User's Manual

S7G2マイクロコントローラグループ
ユーザーズマニュアル
（参考資料）

Renesas Synergy™ プラットフォーム
Synergyマイクロコントローラ
S7シリーズ

本資料は英語版を翻訳した参考資料です。内容に相違がある場合には英語版を優先します。資料によっては英語版のバージョンが更新され、内容が変わっている場合があります。日本語版は参考用としてご使用のうえ、最新および正式な内容については英語版のドキュメントをご参照ください。

資料番号R01UM0001EU0140、リビジョンRev.1.40、発行日2018 年8 月6 日の翻訳版です。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.40　2019.05

参考資料

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
   家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
   金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1.　本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.4.0-1　2017.11)

参考資料

製品ご使用上の注意事項

1. 静電気対策

   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、VIL（Max.）から VIH（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、VIL（Max.）から VIH（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

参考資料

はじめに

1. このマニュアルについて

このマニュアルは、Renesas Synergy™ Microcontroller についての機能と電気的特性を記述します。

このマニュアルは主に、製品の概要、CPU、システム制御機能、周辺機能、電気的特性の仕様および使用上の注意事項で構成されています。このマニュアルはマイクロコントローラ（MCU）のスーパーセットの製品特性を記述します。お客様の製品によっていくつかの端子、レジスタまたは機能が存在しないものがある場合があります。使用できないレジスタが割り当てられているアドレス空間は予約されています。

2. 対象読者

このマニュアルは、Renesas Synergy Microcontroller を使用したプログラミングアプリケーションを設計およびプログラミングするシステム設計者を対象としています。読者には、電気回路、論理回路および MCU に関する基本的な知識が求められます。

3. ルネサス刊行物

弊社では、Renesas Synergy Microcontroller 用に下記のドキュメントを提供しています。これらのドキュメントを使用する前には、www.renesas.com にアクセスして最新版を取得してください。

構成	ドキュメントの種類	内容
マイクロコントローラ	データシート	特長、概要およびMCUの電気的特性
	ユーザーズマニュアル：マイクロコントローラ	ピン配置、メモリマップ、周辺機能、電気特性、タイミング図、および動作記述などのMCU仕様
	アプリケーションノート	テクニカルノート、ボードデザインのガイドラインおよびソフトウェア移行情報
	テクニカルアップデート（TU）	制限や正誤表などの製品仕様に関する予備レポート
ソフトウェア	データシート	Renesas Synergy Software Package（SSP）に含まれるソフトウェアモジュールの機能説明と特定のパフォーマンスデータ
	ユーザーズマニュアル：ソフトウェア	SSPアーキテクチャおよびプログラミング情報を含むAPIリファレンス
	アプリケーションノート	プロジェクトファイル、ソフトウェアプログラミングのガイドラインおよび組み込みソフトウェアアプリケーションを開発するためのアプリケーション例
ツール＆キット、ソリューション	ユーザーズマニュアル：開発ツール	開発キット（DK）、スターターキット（SK）、プロモーションキット（PK）、製品例（PE）、およびアプリケーション例（AE）を使用して組み込みソフトウェアアプリケーションを開発するためのユーザーズマニュアルおよびクイックスタートガイド
	ユーザーズマニュアル：ソフトウェア	
	クイックスタートガイド	
	アプリケーションノート	プロジェクトファイル、ソフトウェアプログラミングのガイドラインおよび組み込みソフトウェアアプリケーションを開発するためのアプリケーション例

参考資料

4. 数値の表記法

数値には、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
011b	2進数。たとえば、数値3を2進数で表記すると011bになります。
1Fh	16進数。たとえば、数値31を16進数で表記すると1Fhになります。場合によっては、C/C++フォーマットに基づいて、プレフィックス0xが付いた16進数が示されます。
1234	10進数。一般的に10進数には後付き記号を付けません。

5. シンボルの表記法

シンボルには、このマニュアル全体を通じて下記の表記法が用いられています。

例	内容
ICU.NMICR.NMIMD	機能モジュールのシンボル（ICU）、レジスタのシンボル（NMICR）、およびビットフィールドのシンボル（NMIMD）は、ピリオドで区切られます。
ICU.NMICR	機能モジュールのシンボル（ICU）とレジスタのシンボル（NMICR）は、ピリオドで区切られます。
NMICR.NMIMD	レジスタのシンボル（NMICR）とビットフィールドのシンボル（NMIMD）は、ピリオドで区切られます。
NFCLKSEL[1:0]	レジスタビット名において、角括弧内に記されたビット範囲は、その位置におけるフィールドのビット番号を示します。たとえば、NFCLKSEL[1:0]はNMI端子割り込みコントロールレジスタ(NMICR)の指定位置の2ビットフィールドを表します。

6. 単位記号

下記の単位記号は誤解を招くことがあります。これらの単位記号は、このマニュアル全体を通して下記の意味で用いられます。

例	内容
b	Bit
B	Byte この単位記号は、一般にMCUおよびアドレススペースのメモリ指定に使用されます。
k	$1000 = 10^3$ kは1024（2^{10}）を表すのにも使用されますが、この単位記号はこのマニュアル全体を通して1000（10^3）表すために使用されます。
K	$1024 = 2^{10}$ この単位記号は、このマニュアル全体を通して1000（10^3）ではなく1024（2^{10}）を表すために使用されます。

7. 特殊用語

下記の用語には特殊な意味があります。

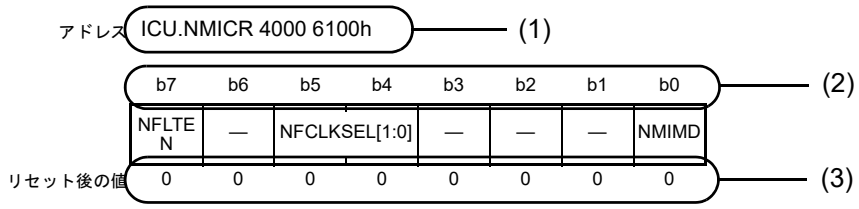
用語	内容
NC	非接続の端子。NCは、端子がMCUに接続されていないことを意味します。
Hi-Z	ハイインピーダンス

参考資料

8. レジスタの説明

各章の「レジスタの説明」には、ビットの並びを示すレジスタ配置図と、各ビットの内容を説明するレジスタのビット機能表があります。これらの表で使用されている記号例については、以降の項で説明します。以下は、レジスタの説明および関連するビットフィールド定義の例です。

X.X.X NMI 端子割り込みコントロールレジスタ（NMICR）



(4) (5) (6)

ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI検出設定	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMIデジタルフィルタサンプリングクロック選択	b5 b4 0 0：PCLKB 0 1：PCLKB/8 1 0：PCLKB/32 1 1：PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMIデジタルフィルタ有効	0：デジタルフィルタ無効 1：デジタルフィルタ有効	R/W

(1) 機能モジュールのシンボル、レジスタのシンボル、およびアドレス割り当て

この部分には、通常、機能モジュールのシンボル、レジスタのシンボル、およびこのレジスタのアドレス割り当てが記載されます。たとえば、ICU.NMICR 4000 6100h は、割り込みコントローラユニット（ICU）の NMI 端子割り込みコントロールレジスタ（NMICR）がアドレス 4000 6100h に割り当てられることを表します。

(2) ビット番号

この番号はビット番号を表します。32 ビットレジスタの場合は b31 ～ b0 の順に、16 ビットレジスタの場合は b15 ～ b0 の順に、8 ビットレジスタの場合は b7 ～ b0 の順に示されます。

(3) リセット後の値

これらのシンボルや数字は、ハードリセット後の各ビット値を示しています。特に記載のない限り、値は 2 進数で示されます。

0：ハードリセット後、値は 0
1：ハードリセット後、値は 1
x：ハードリセット後、値は不定

(4) ビットシンボル

ビットシンボルは、ビットフィールドの略名です。予約ビットの場合は、— と表記されます。

(5) ビット名

ビット名は、ビットフィールドの正式名です。

(6) R/W

R/W 列は、そのビットフィールドが読み出し可能であるか書き込み可能であるかを示します。

R/W： 読み出しも書き込みも可能
R/(W)：読み出しも書き込みも可能。しかし、本ビットフィールドに書き込むにはいくつかの制限があります。制限の詳細については、それぞれのレジスタの説明または注釈を参照してください。
R： 読み出しのみ可能。書き込みは無効
W： 書き込みのみ可能。読み出し値は不定

参考資料

9. 略称

このマニュアルで使用する略称が下表に示されています。

略称	内容
AES	Advanced Encryption Standard（高度暗号化標準）
AHB	Advanced High-performance Bus（アドバンストハイパフォーマンスバス）
AHB-AP	AHB Access Port（AHBアクセスポート）
APB	Advanced Peripheral Bus（アドバンスト周辺バス）
ARC	Alleged RC（Alleged RC暗号）
ATB	Advanced Trace Bus（アドバンストトレースバス）
BCD	Binary Coded Decimal（2進化10進数）
BSDL	Boundary Scan Description Language（バウンダリスキャン記述言語）
DES	Data Encryption Standard（データ暗号化標準）
DSA	Digital Signature Algorithm（デジタル署名アルゴリズム）
ECC	Error Correction Code（誤り訂正コード）
ETB	Embedded Trace Buffer（エンベデッドトレースバッファ）
ETM	Embedded Trace Macrocell（エンベデッドトレースマクロセル）
FLL	Frequency Locked Loop（周波数安定化ループ回路）
FPU	Floating Point Unit（浮動小数点ユニット）
GSM	Global System for Mobile communications（第2世代移動通信システム (2G) 規格）
HMI	Human Machine Interface（ヒューマンマシーンインタフェース）
IrDA	Infrared Data Association（赤外線通信協会／規格）
LSB	Least Significant Bit（最下位ビット）
MSB	Most Significant Bit（最上位ビット）
NVIC	Nested Vector Interrupt Controller（ネスト型ベクタ割り込みコントローラ）
PC	Program Counter（プログラムカウンタ）
PFS	Port Function Select（ポート機能選択）
PLL	Phase Locked Loop（位相同期回路）
POR	Power-on Reset（パワーオンリセット）
PWM	Pulse Width Modulation（パルス幅変調）
RSA	Rivest Shamir Adleman（Rivest/Shamir/Adlemanによる公開鍵暗号方式）
SHA	Secure Hash Algorithm（セキュアハッシュアルゴリズム）
S/H	Sample and Hold（サンプルアンドホールド）
SP	Stack Pointer（スタックポインタ）
SWD	Serial Wire Debug（シリアルワイヤデバッグ）
SW-DP	Serial Wire-Debug Port（シリアルワイヤデバッグポート）
TRNG	True Random Number Generator（真性乱数発生器）
UART	Universal Asynchronous Receiver/Transmitter（調歩同期式シリアルインタフェース）

参考資料

10. 所有権通知

このマニュアルに含まれるすべてのテキスト、画像、写真、商標、ロゴ、挿絵、コンピュータコード（総称して「コンテンツ」）は、ルネサスが所有、管理、またはライセンス保持するものであり、トレードドレス法、著作権法、特許法、商標法、その他の知的所有権法、不当競争法で保護されています。このマニュアルに明示的に記述されている場合を除いて、ルネサスから事前に承諾書を得ることなく、このマニュアルの一部またはコンテンツを、公開または頒布目的で、あるいは営利目的で、コピー、複製、再版、掲載、開示、エンコード、翻訳、伝送すること、およびいかなる媒体においても配布することは禁じられています。

Arm® および Cortex® は、Arm Limited の登録商標です。CoreSight™ は Arm Limited の商標です。

CoreMark® は、Embedded Microprocessor Benchmark Consortium の登録商標です。

Magic Packet™ は、Advanced Micro Devices、Inc. の商標です。

SuperFlash® は、Silicon Storage Technology、Inc. の日本と米国を含むいくつかの国での登録商標です。

このマニュアルに記載されているその他のブランド名は、それぞれの所有者の商標または登録商標です。

11. ウェブサイトとサポート

Synergy プラットフォームの各コンポーネントや関連ドキュメントの入手、ソフトウェアやサンプルプログラムのダウンロード、技術サポートの問い合わせなど、下記、各ウェブサイトを通じて利用できます。

ソフトフトウェア	www.renesas.com/synergy/software
Synergy Software Package	www.renesas.com/synergy/ssp
ソフトウェアアドオン	www.renesas.com/synergy/addons
SSP コンポーネンツ機能解説	www.renesas.com/synergy/softwareglossary
開発ツール	www.renesas.com/synergy/tools
ハードウェア	www.renesas.com/synergy/hardware
マイクロコントローラ	www.renesas.com/synergy/mcus
マイクロコントローラ機能解説	www.renesas.com/synergy/mcuglossary
製品概要仕様による検索	www.renesas.com/synergy/parametric
キット	www.renesas.com/synergy/kits
ソリューションギャラリー	www.renesas.com/synergy/solutionsgallery
パートナープロジェクト	www.renesas.com/synergy/partnerprojects
アプリケーションプロジェクト	www.renesas.com/synergy/applicationprojects
セルフラーニング・各種サポート	
ドキュメント	www.renesas.com/synergy/docs
ナレッジベース	www.renesas.com/synergy/knowledgebase
フォーラム（英語）	www.renesas.com/synergy/forum
フォーラム（日本語）	japan.renesasrulz.com/cafe_rene/
トレーニング	www.renesas.com/synergy/training
YouTube	www.renesas.com/synergy/videos
サポート	www.renesas.com/synergy/resourcelibrary

参考資料

12. 製品へのフィードバック

本製品に対するご意見や提案がある場合は、http://www.renesassynergy.com/support にてお寄せください。

13. コンテンツへのフィードバック

改善のための一般的な提案など、ドキュメントに関するご意見がある場合は、下記の情報を https://www.renesas.com/ja-jp/support/contact.html にてお寄せください。

- Renesas Synergy ドキュメントのタイトル
- ドキュメント番号
- 該当する場合、お客様のご意見の参照ページ番号
- お客様のご意見の詳細説明

参考資料

目次

特長 62

1. 概要 63
   1.1 機能の概要 63
   1.2 ブロック図 70
   1.3 型名 71
   1.4 機能の比較 72
   1.5 端子機能 73
   1.6 ピン配置図 78
   1.7 端子一覧 84
2. CPU 97
   2.1 概要 97
      2.1.1 CPU 97
      2.1.2 デバッグ 98
      2.1.3 動作周波数 99
   2.2 MCU の実装オプション 100
   2.3 トレースインタフェース 100
   2.4 JTAG/SWD インタフェース 101
   2.5 デバッグモード 102
      2.5.1 デバッグモード定義 102
      2.5.2 デバッグモードの影響 102
   2.6 プログラマモデル 104
      2.6.1 アドレス空間 104
      2.6.2 Cortex-M4 ペリフェラルアドレスマップ 104
      2.6.3 CoreSight ROM テーブル 105
      2.6.4 DBGREG モジュール 106
      2.6.5 OCDREG モジュール 109
   2.7 CoreSight ATB ファネル 112
   2.8 SysTick システムタイマ 113
   2.9 CoreSight タイムスタンプジェネレータ 113
   2.10 OCD エミュレータ接続 113
      2.10.1 DBGEN 114
      2.10.2 アンロック ID コード 114
      2.10.3 OCD エミュレータ接続における制限 114
      2.10.4 接続順序と JTAG/SWD 認証 115
   2.11 参考資料 116
3. 動作モード 117
   3.1 動作モードの種類と選択 117
   3.2 動作モードの説明 117
      3.2.1 シングルチップモード 117

参考資料

3.2.2 SCI ブートモード 117
3.2.3 USB ブートモード 117
3.3 動作モード遷移 118
3.3.1 モード設定端子による動作モード遷移 118
4. アドレス空間 119
4.1 アドレス空間 119
4.2 外部アドレス空間 120
5. メモリミラー機能（MMF） 121
5.1 概要 121
5.2 レジスタの説明 122
5.2.1 MemMirror 特殊機能レジスタ（MMSFR） 122
5.2.2 MemMirror イネーブルレジスタ（MMEN） 123
5.3 動作説明 124
5.3.1 MMF 動作 124
5.3.2 設定例 127
6. リセット 128
6.1 概要 128
6.2 レジスタの説明 132
6.2.1 リセットステータスレジスタ 0（RSTSR0） 132
6.2.2 リセットステータスレジスタ 1（RSTSR1） 134
6.2.3 リセットステータスレジスタ 2（RSTSR2） 137
6.3 動作説明 138
6.3.1 RES 端子リセット 138
6.3.2 パワーオンリセット 139
6.3.3 電圧監視リセット 140
6.3.4 ディープソフトウェアスタンバイリセット 142
6.3.5 独立ウォッチドッグタイマリセット 142
6.3.6 ウォッチドッグタイマリセット 142
6.3.7 ソフトウェアリセット 142
6.3.8 コールドスタート／ウォームスタート判定機能 143
6.3.9 リセット発生要因の判定 144
7. オプション設定メモリ 145
7.1 概要 145
7.2 レジスタの説明 146
7.2.1 オプション機能選択レジスタ 0（OFS0） 146
7.2.2 オプション機能選択レジスタ 1（OFS1） 150
7.2.3 アクセスウィンドウ設定コントロールレジスタ（AWSC） 151
7.2.4 アクセスウィンドウ設定レジスタ（AWS） 152
7.2.5 OCD ／シリアルプログラマ ID 設定レジスタ（OSIS） 154
7.3 オプション設定メモリの設定方法 155
7.3.1 オプション設定メモリへのデータの配置方法 155

参考資料

7.3.2 オプション設定メモリにプログラムするデータの設定方法 155
7.4 使用上の注意事項 155
7.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ 155
8. 低電圧検出（LVD） 156
8.1 概要 156
8.2 レジスタの説明 159
8.2.1 電圧モニタ 1 回路コントロールレジスタ 1（LVD1CR1） 159
8.2.2 電圧モニタ 1 回路ステータスレジスタ（LVD1SR） 160
8.2.3 電圧モニタ 2 回路コントロールレジスタ 1（LVD2CR1） 161
8.2.4 電圧モニタ 2 回路ステータスレジスタ（LVD2SR） 162
8.2.5 電圧モニタ回路コントロールレジスタ（LVCMPCR） 163
8.2.6 電圧検出レベル選択レジスタ（LVDLVLR） 164
8.2.7 電圧モニタ 1 回路コントロールレジスタ 0（LVD1CR0） 165
8.2.8 電圧モニタ 2 回路コントロールレジスタ 0（LVD2CR0） 166
8.3 VCC 入力電圧のモニタ 167
8.3.1 Vdet0 のモニタ 167
8.3.2 Vdet1 のモニタ 167
8.3.3 Vdet2 のモニタ 167
8.4 電圧監視 0 リセット 168
8.5 電圧監視 1 割り込み、電圧監視 1 リセット 169
8.6 電圧監視 2 割り込み、電圧監視 2 リセット 172
8.7 イベントリンク出力 175
8.7.1 割り込み処理とイベントリンクの関係 175
9. クロック発生回路 176
9.1 概要 176
9.2 レジスタの説明 181
9.2.1 システムクロック分周コントロールレジスタ（SCKDIVCR） 181
9.2.2 システムクロック分周コントロールレジスタ 2（SCKDIVCR2） 184
9.2.3 システムクロックソースコントロールレジスタ（SCKSCR） 185
9.2.4 PLL クロックコントロールレジスタ（PLLCCR） 186
9.2.5 PLL コントロールレジスタ（PLLCR） 187
9.2.6 外部バスクロックコントロールレジスタ（BCKCR） 188
9.2.7 メインクロック発振器コントロールレジスタ（MOSCCR） 189
9.2.8 サブクロック発振器コントロールレジスタ（SOSCCR） 190
9.2.9 低速オンチップオシレータコントロールレジスタ（LOCOCR） 191
9.2.10 高速オンチップオシレータコントロールレジスタ（HOCOCR） 192
9.2.11 高速オンチップオシレータウェイトコントロールレジスタ（HOCOWTCR） 193
9.2.12 中速オンチップオシレータコントロールレジスタ（MOCOCR） 194
9.2.13 FLL コントロールレジスタ 1（FLLCR1） 195
9.2.14 FLL コントロールレジスタ 2（FLLCR2） 197
9.2.15 発振安定フラグレジスタ（OSCSF） 198

参考資料

9.2.16 発振停止検出コントロールレジスタ（OSTDCR） 200
9.2.17 発振停止検出ステータスレジスタ（OSTDSR） 201
9.2.18 メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR） 202
9.2.19 メインクロック発振器モード発振コントロールレジスタ（MOMCR） 203
9.2.20 サブクロック発振器モードコントロールレジスタ（SOMCR） 204
9.2.21 クロックアウトコントロールレジスタ（CKOCR） 205
9.2.22 外部バスクロック出力コントロールレジスタ（EBCKOCR） 206
9.2.23 SDRAM クロック出力コントロールレジスタ（SDCKOCR） 206
9.2.24 LOCO ユーザトリミングコントロールレジスタ（LOCOUTCR） 207
9.2.25 MOCO ユーザトリミングコントロールレジスタ（MOCOUTCR） 207
9.2.26 HOCO ユーザトリミングコントロールレジスタ（HOCOUTCR） 208
9.2.27 トレースクロックコントロールレジスタ（TRCKCR） 208
9.3 メインクロック発振器 209
9.3.1 水晶振動子を接続する方法 209
9.3.2 外部クロックを入力する方法 210
9.3.3 外部クロック入力に関する注意事項 210
9.4 サブクロック発振器 211
9.4.1 32.768kHz 水晶振動子を接続する方法 211
9.4.2 サブクロック発振器を使用しない場合の端子処理 212
9.5 発振停止検出機能 213
9.5.1 発振停止検出と検出後の動作 213
9.5.2 発振停止検出割り込み 215
9.6 PLL 回路 216
9.7 内部クロック 216
9.7.1 システムクロック（ICLK） 217
9.7.2 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD） 217
9.7.3 フラッシュインタフェースクロック（FCLK） 217
9.7.4 外部バスクロック（BCLK） 217
9.7.5 SDRAM クロック（SDCLK） 218
9.7.6 USB クロック（UCLK） 218
9.7.7 USB-PHY クロック（USBMCLK） 218
9.7.8 CAN クロック（CANMCLK） 218
9.7.9 CAC クロック（CACCLK） 218
9.7.10 RTC 専用クロック（RTCSCLK、RTCLCLK） 219
9.7.11 IWDT 専用クロック（IWDTCLK） 219
9.7.12 AGT 専用クロック（AGTSCLK, AGTLCLK） 219
9.7.13 SysTick タイマ専用クロック（SYSTICCLK） 219
9.7.14 クロック／ブザー出力クロック（CLKOUT） 219
9.7.15 JTAG クロック（JTAGTCK） 219
9.8 使用上の注意事項 220
9.8.1 クロック発生回路に関する制限 220

参考資料

9.8.2 発振子に関する制限 220
9.8.3 ボード設計に関する制限 220
9.8.4 発振子接続端子に関する制限 221
10. クロック周波数精度測定回路（CAC） 222
10.1 概要 222
10.2 レジスタの説明 224
10.2.1 CAC コントロールレジスタ 0（CACR0） 224
10.2.2 CAC コントロールレジスタ 1（CACR1） 225
10.2.3 CAC コントロールレジスタ 2（CACR2） 226
10.2.4 CAC 割り込みコントロールレジスタ（CAICR） 227
10.2.5 CAC ステータスレジスタ（CASTR） 228
10.2.6 CAC 上限値設定レジスタ（CAULVR） 229
10.2.7 CAC 下限値設定レジスタ（CALLVR） 229
10.2.8 CAC カウンタバッファレジスタ（CACNTBR） 229
10.3 動作説明 230
10.3.1 クロック周波数測定 230
10.3.2 CACREF 端子のデジタルフィルタ機能 231
10.4 割り込み要求 231
10.5 使用上の注意事項 231
10.5.1 モジュールストップ機能の設定 231
11. 低消費電力モード 232
11.1 概要 232
11.2 レジスタの説明 237
11.2.1 スタンバイコントロールレジスタ（SBYCR） 237
11.2.2 モジュールストップコントロールレジスタ A（MSTPCRA） 238
11.2.3 モジュールストップコントロールレジスタ B（MSTPCRB） 239
11.2.4 モジュールストップコントロールレジスタ C（MSTPCRC） 241
11.2.5 モジュールストップコントロールレジスタ D（MSTPCRD） 243
11.2.6 動作電力コントロールレジスタ（OPCCR） 245
11.2.7 サブ動作電力コントロールレジスタ（SOPCCR） 246
11.2.8 スヌーズコントロールレジスタ（SNZCR） 248
11.2.9 スヌーズ終了コントロールレジスタ（SNZEDCR） 249
11.2.10 スヌーズ要求コントロールレジスタ（SNZREQCR） 251
11.2.11 ディープソフトウェアスタンバイコントロールレジスタ（DPSBYCR） 253
11.2.12 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0（DPSIER0） 255
11.2.13 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1（DPSIER1） 256
11.2.14 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2（DPSIER2） 257
11.2.15 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3（DPSIER3） 258
11.2.16 ディープソフトウェアスタンバイ割り込みフラグレジスタ 0（DPSIFR0） 259
11.2.17 ディープソフトウェアスタンバイ割り込みフラグレジスタ 1（DPSIFR1） 261
11.2.18 ディープソフトウェアスタンバイ割り込みフラグレジスタ 2（DPSIFR2） 263

参考資料

11.2.19 ディープソフトウェアスタンバイ割り込みフラグレジスタ 3（DPSIFR3） 265
11.2.20 ディープソフトウェアスタンバイ割り込みエッジレジスタ 0（DPSIEGR0） 266
11.2.21 ディープソフトウェアスタンバイ割り込みエッジレジスタ 1（DPSIEGR1） 267
11.2.22 ディープソフトウェアスタンバイ割り込みエッジレジスタ 2（DPSIEGR2） 267
11.2.23 システムコントロール OCD コントロールレジスタ（SYOCDCR） 268
11.2.24 スタンバイ条件レジスタ（STCONR） 269
11.3 クロックの切り替えによる消費電力の低減 270
11.4 モジュールストップ機能 270
11.5 低消費電力機能 270
11.5.1 動作電力制御モードの設定方法 270
11.6 スリープモード 273
11.6.1 スリープモードへの遷移 273
11.6.2 スリープモードの解除 273
11.7 ソフトウェアスタンバイモード 274
11.7.1 ソフトウェアスタンバイモードへの遷移 274
11.7.2 ソフトウェアスタンバイモードの解除 275
11.7.3 ソフトウェアスタンバイモードの応用例 276
11.8 スヌーズモード 277
11.8.1 スヌーズモードへの遷移 277
11.8.2 スヌーズモードの解除 278
11.8.3 ソフトウェアスタンバイモードへの復帰 279
11.8.4 スヌーズモードの動作例 280
11.9 ディープソフトウェアスタンバイモード 284
11.9.1 ディープソフトウェアスタンバイモードへの遷移 284
11.9.2 ディープソフトウェアスタンバイモードの解除 285
11.9.3 ディープソフトウェアスタンバイモード解除時の端子状態 285
11.9.4 ディープソフトウェアスタンバイモードの応用例 286
11.9.5 ディープソフトウェアスタンバイモード使用時のフローチャート 287
11.10 使用上の注意事項 288
11.10.1 レジスタアクセス 288
11.10.2 I/O ポートの状態 289
11.10.3 DMAC と DTC のモジュールストップ状態 290
11.10.4 内部割り込み要因 290
11.10.5 DIRQnE ビット（n = 0 ～ 15）による入力バッファ制御 290
11.10.6 低消費電力モードへの遷移 290
11.10.7 WFI 命令のタイミング 290
11.10.8 スリープモード／スヌーズモード時の DMAC または DTC による WDT および IWDT レジスタへの書き込みについて 290
11.10.9 スヌーズモードにおける発振器について 290
11.10.10 RXD0 の立ち下がりエッジによるスヌーズモードエントリ 291
11.10.11 スヌーズモードにおける SCI0 の使用 291
11.10.12 スヌーズモードにおける A/D 変換開始条件 291

参考資料

11.10.13 スヌーズモードにおける CTSU の条件 291
11.10.14 スヌーズモードにおける ELC イベント 291
11.10.15 ソフトウェアスタンバイモードからのウェイクアップに関する制限 292
11.10.16 ADC12 に対するモジュールストップ機能 294
12. バッテリバックアップ機能 295
12.1 概要 295
12.1.1 バッテリバックアップ機能 295
12.1.2 バッテリ電源スイッチ 295
12.1.3 バックアップレジスタ 295
12.1.4 時間キャプチャ端子検出 295
12.2 レジスタの説明 297
12.2.1 VBATT バックアップレジスタ（VBTBKRn）（n = 0 ～ 511） 297
12.2.2 VBATT 入力コントロールレジスタ（VBTICTLR） 297
12.3 動作説明 298
12.3.1 バッテリバックアップ機能 298
12.3.2 VBATT バッテリ電源スイッチの使用法 299
12.3.3 VBATT バックアップレジスタの使用法 299
12.4 使用上の注意事項 300
13. レジスタライトプロテクション 301
13.1 概要 301
13.2 レジスタの説明 302
13.2.1 プロテクトレジスタ（PRCR） 302
14. 割り込みコントローラユニット（ICU） 303
14.1 概要 303
14.2 レジスタの説明 305
14.2.1 IRQ コントロールレジスタ i（IRQCRi）（i = 0 ～ 15） 305
14.2.2 ノンマスカブル割り込みステータスレジスタ（NMISR） 307
14.2.3 ノンマスカブル割り込みイネーブルレジスタ（NMIER） 310
14.2.4 ノンマスカブル割り込みステータスクリアレジスタ（NMICLR） 312
14.2.5 NMI 端子割り込みコントロールレジスタ（NMICR） 314
14.2.6 ICU イベントリンク設定レジスタ n（IELSRn）（n = 0 ～ 95） 315
14.2.7 DMAC イベントリンク設定レジスタ n（DELSRn）（n = 0 ～ 7） 317
14.2.8 SYS イベントリンク設定レジスタ（SELSR0） 317
14.2.9 ウェイクアップ割り込みイネーブルレジスタ（WUPEN） 318
14.3 ベクタテーブル 321
14.3.1 割り込みベクタテーブル 321
14.3.2 イベント番号 324
14.4 割り込み動作 333
14.4.1 割り込みの検出 333
14.4.2 割り込み要求先の選択 334
14.4.3 デジタルフィルタ 336

参考資料

14.4.4 外部端子割り込み 336
14.5 ノンマスカブル割り込みの動作 337
14.6 低消費電力モードからの復帰 338
14.6.1 スリープモードからの復帰 338
14.6.2 ソフトウェアスタンバイモードからの復帰 338
14.6.3 スヌーズモードからの復帰 338
14.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合 339
14.8 参考資料 339
15. バス 340
15.1 概要 340
15.2 バスの説明 342
15.2.1 メインバス 342
15.2.2 スレーブインタフェース 342
15.2.3 外部バス 343
15.2.4 並列動作 346
15.2.5 バスの設定 346
15.2.6 制限事項 346
15.3 レジスタの説明 347
15.3.1 CSn コントロールレジスタ（CSnCR）（n = 0 ～ 7） 347
15.3.2 CSn リカバリサイクル設定レジスタ（CSnREC）（n = 0 ～ 7） 348
15.3.3 CS リカバリサイクル挿入イネーブルレジスタ（CSRECEN） 350
15.3.4 CSn モードレジスタ（CSnMOD）（n = 0 ～ 7） 352
15.3.5 CSn ウェイトコントロールレジスタ 1（CSnWCR1）（n = 0 ～ 7） 354
15.3.6 CSn ウェイトコントロールレジスタ 2（CSnWCR2）（n = 0 ～ 7） 356
15.3.7 SDC コントロールレジスタ（SDCCR） 359
15.3.8 SDC モードレジスタ（SDCMOD） 359
15.3.9 SDRAM アクセスモードレジスタ（SDAMOD） 360
15.3.10 SDRAM セルフリフレッシュコントロールレジスタ（SDSELF） 360
15.3.11 SDRAM リフレッシュコントロールレジスタ（SDRFCR） 361
15.3.12 SDRAM オートリフレッシュコントロールレジスタ（SDRFEN） 363
15.3.13 SDRAM 初期化シーケンスコントロールレジスタ（SDICR） 363
15.3.14 SDRAM 初期化レジスタ（SDIR） 364
15.3.15 SDRAM アドレスレジスタ（SDADR） 366
15.3.16 SDRAM タイミングレジスタ（SDTR） 367
15.3.17 SDRAM モードレジスタ（SDMOD） 369
15.3.18 SDRAM ステータスレジスタ（SDSR） 370
15.3.19 マスタバスコントロールレジスタ（BUSMCNT<master>） 371
15.3.20 スレーブバスコントロールレジスタ（BUSSCNT<slave>） 373
15.3.21 バスエラーアドレスレジスタ（BUSnERRADD）（n = 1 ～ 11） 375
15.3.22 バスエラーステータスレジスタ（BUSnERRSTAT）（n = 1 ～ 11） 376
15.4 エンディアン形式とデータアライメント 377

参考資料

15.4.1 CS 領域のデータアライメント制御 377
15.4.2 SDRAM 領域のデータアライメント制御 381
15.5 CS 領域コントローラの動作説明 385
15.5.1 セパレートバス 385
15.5.2 外部ウェイト機能 397
15.5.3 リカバリサイクルの挿入 399
15.5.4 非アクセス時の状態 402
15.5.5 ライトバッファ機能（外部バス） 402
15.5.6 制限事項 402
15.6 SDRAM 領域コントローラの動作説明 404
15.6.1 SDRAM アクセスの許可／禁止、SDRAM バス幅の設定 404
15.6.2 非アクセス時の状態 404
15.6.3 リカバリサイクルの挿入 404
15.6.4 ライトバッファ機能 405
15.6.5 SDRAM コマンド 405
15.6.6 SDRAMC レジスタの設定条件 406
15.6.7 セルフリフレッシュ 406
15.6.8 オートリフレッシュ 408
15.6.9 初期化シーケンサ 410
15.6.10 モードレジスタの設定 411
15.6.11 SDRAMC の設定例 412
15.6.12 アドレスマルチプレクス 423
15.6.13 SDRAM 接続例 424
15.6.14 制限事項 426
15.7 バスエラー監視部 427
15.7.1 バスエラーの種類 427
15.7.2 バスエラー発生時の動作 427
15.7.3 不正アドレスアクセスエラーを引き起こす条件 428
15.7.4 タイムアウト 428
15.8 フラッシュキャッシュ使用時の制限 429
15.9 参考資料 429
16. メモリプロテクションユニット（MPU） 430
16.1 概要 430
16.2 CPU スタックポインタモニタ 431
16.2.1 レジスタの説明 434
16.2.2 動作説明 439
16.3 Arm MPU 439
16.4 バスマスタ MPU 440
16.4.1 レジスタの説明 442
16.4.2 動作説明 447
16.5 バススレーブ MPU 451

参考資料

16.5.1 レジスタの説明 452
16.5.2 動作説明 473
16.6 参考資料 473
17. DMA コントローラ（DMAC） 474
17.1 概要 474
17.2 レジスタの説明 476
17.2.1 DMA 転送元アドレスレジスタ（DMSAR） 476
17.2.2 DMA 転送先アドレスレジスタ（DMDAR） 476
17.2.3 DMA 転送カウントレジスタ（DMCRA） 477
17.2.4 DMA ブロック転送カウントレジスタ（DMCRB） 479
17.2.5 DMA 転送モードレジスタ（DMTMD） 480
17.2.6 DMA 割り込み設定レジスタ（DMINT） 481
17.2.7 DMA アドレスモードレジスタ（DMAMD） 483
17.2.8 DMA オフセットレジスタ（DMOFR） 486
17.2.9 DMA 転送イネーブルレジスタ（DMCNT） 486
17.2.10 DMA ソフトウェア起動レジスタ（DMREQ） 487
17.2.11 DMA ステータスレジスタ（DMSTS） 488
17.2.12 DMACA モジュール起動レジスタ（DMAST） 490
17.3 動作説明 491
17.3.1 転送モード 491
17.3.2 拡張リピート領域機能 495
17.3.3 オフセットを使用したアドレス更新機能 497
17.3.4 起動要因 501
17.3.5 動作タイミング 502
17.3.6 DMAC の実行サイクル 503
17.3.7 DMAC の起動 504
17.3.8 DMA 転送の開始 505
17.3.9 DMA 転送中のレジスタ 505
17.3.10 チャネル優先順位 506
17.4 DMA 転送の終了 507
17.4.1 設定した総転送回数完了による転送終了 507
17.4.2 リピートサイズ終了割り込みによる転送終了 507
17.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了 507
17.4.4 DMA 転送の終了に関する注意事項 508
17.5 割り込み 509
17.6 イベントリンク 511
17.7 低消費電力機能 511
17.8 使用上の注意事項 512
17.8.1 外部デバイスへの DMA 転送について 512
17.8.2 DMA 転送中のレジスタアクセスについて 512
17.8.3 予約領域への DMA 転送について 512

参考資料

17.8.4 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ（DELSRn）の設定 512
17.8.5 DMA 起動の保留／再開方法 512
18. データトランスファコントローラ（DTC） 513
18.1 概要 513
18.2 レジスタの説明 515
18.2.1 DTC モードレジスタ A（MRA） 515
18.2.2 DTC モードレジスタ B（MRB） 516
18.2.3 DTC 転送元レジスタ（SAR） 517
18.2.4 DTC 転送先レジスタ（DAR） 517
18.2.5 DTC 転送カウントレジスタ A（CRA） 518
18.2.6 DTC 転送カウントレジスタ B（CRB） 519
18.2.7 DTC コントロールレジスタ（DTCCR） 519
18.2.8 DTC ベクタベースレジスタ（DTCVBR） 520
18.2.9 DTC モジュール起動レジスタ（DTCST） 520
18.2.10 DTC ステータスレジスタ（DTCSTS） 521
18.3 起動要因 522
18.3.1 転送情報の配置と DTC ベクタテーブル 522
18.4 動作説明 524
18.4.1 転送情報のリードスキップ機能 526
18.4.2 転送情報のライトバックスキップ機能 527
18.4.3 ノーマル転送モード 528
18.4.4 リピート転送モード 529
18.4.5 ブロック転送モード 531
18.4.6 チェーン転送 532
18.4.7 動作タイミング 533
18.4.8 DTC の実行サイクル 535
18.4.9 DTC のバス権解放タイミング 535
18.5 DTC の設定手順 536
18.6 DTC の使用例 537
18.6.1 ノーマル転送 537
18.6.2 チェーン転送 538
18.6.3 カウンタ = 0 のときのチェーン転送 540
18.7 割り込み要因 542
18.8 イベントリンク 542
18.9 スヌーズ制御インタフェース 542
18.10 モジュールストップ機能 542
18.11 使用上の注意事項 543
18.11.1 転送情報の開始アドレス 543
19. イベントリンクコントローラ（ELC） 544
19.1 概要 544
19.2 レジスタの説明 545

参考資料

19.2.1 イベントリンクコントローラレジスタ（ELCR） 545
19.2.2 イベントリンクソフトウェアイベント発生レジスタ n（ELSEGRn）（n = 0, 1） 546
19.2.3 イベントリンク設定レジスタ（ELSRn）（n = 0 ～ 18） 547
19.3 動作説明 555
19.3.1 割り込み処理とイベントリンクの関係 555
19.3.2 イベントのリンク 555
19.3.3 イベントリンクの動作設定手順例 555
19.4 使用上の注意事項 556
19.4.1 DMAC または DTC 転送終了のイベントリンクを使用する場合 556
19.4.2 クロック設定について 556
19.4.3 モジュールストップ機能の設定 556
19.4.4 ELC 遅延時間 556
20. I/O ポート 558
20.1 概要 558
20.2 レジスタの説明 561
20.2.1 ポートコントロールレジスタ 1（PCNTR1/PODR/PDR） 561
20.2.2 ポートコントロールレジスタ 2（PCNTR2/EIDR/PIDR） 562
20.2.3 ポートコントロールレジスタ 3（PCNTR3/PORR/POSR） 563
20.2.4 ポートコントロールレジスタ 4（PCNTR4/EORR/EOSR） 564
20.2.5 ポート mn 端子機能選択レジスタ（PmnPFS/PmnPFS_HA/PmnPFS_BY）（m = 0 ～ 9, A, B; n = 00 ～ 15） 565
20.2.6 書き込みプロテクトレジスタ（PWPR） 567
20.2.7 イーサネットコントロールレジスタ（PFENET） 568
20.3 動作説明 569
20.3.1 汎用入出力ポート 569
20.3.2 ポート機能選択 569
20.3.3 ELC のポートグループ機能 570
20.4 未使用端子の処理 572
20.5 使用上の注意事項 573
20.5.1 端子機能の設定手順 573
20.5.2 ポートグループ入力の使用手順 573
20.5.3 ポート出力データレジスタ（PODR）の概要 573
20.5.4 アナログ機能使用時の注意事項 573
20.5.5 入出力バッファの仕様 574
20.6 製品ごとの周辺選択設定 575
20.7 PmnPFS レジスタ設定に関する注意事項 575
21. キー割り込み機能（KINT） 592
21.1 概要 592
21.2 レジスタの説明 594
21.2.1 キーリターンコントロールレジスタ（KRCTL） 594
21.2.2 キーリターンフラグレジスタ（KRF） 594
21.2.3 キーリターンモードレジスタ（KRM） 595

参考資料

21.3 動作説明 596
21.3.1 キー割り込みフラグを使用しない場合の動作（KRMD = 0） 596
21.3.2 キー割り込みフラグを使用する場合の動作（KRMD = 1） 597
21.4 使用上の注意事項 599
22. GPT 用ポートアウトプットイネーブル（POEG） 600
22.1 概要 600
22.2 レジスタの説明 602
22.2.1 POEG グループ n 設定レジスタ（POEGGn）（n = A ～ D） 602
22.3 出力禁止制御の動作 604
22.3.1 端子入力レベル検出時の動作 604
22.3.2 GPT からの出力禁止要求 605
22.3.3 コンパレータ割り込みの検出 605
22.3.4 発振停止検出による出力禁止制御 605
22.3.5 レジスタによる出力禁止制御 605
22.3.6 出力禁止状態の解除 606
22.4 割り込み要因 607
22.5 GPT に対する外部トリガ出力 608
22.6 使用上の注意事項 609
22.6.1 ソフトウェアスタンバイモードへの遷移 609
22.6.2 GPT 対応端子の指定 609
23. 汎用 PWM タイマ（GPT） 610
23.1 概要 610
23.2 レジスタの説明 615
23.2.1 汎用 PWM タイマ書き込み保護レジスタ（GTWP） 617
23.2.2 汎用 PWM タイマソフトウェアスタートレジスタ（GTSTR） 619
23.2.3 汎用 PWM タイマソフトウェアストップレジスタ（GTSTP） 620
23.2.4 汎用 PWM タイマソフトウェアクリアレジスタ（GTCLR） 620
23.2.5 汎用 PWM タイマスタート要因選択レジスタ（GTSSR） 621
23.2.6 汎用 PWM タイマストップ要因選択レジスタ（GTPSR） 624
23.2.7 汎用 PWM タイマクリア要因選択レジスタ（GTCSR） 627
23.2.8 汎用 PWM タイマアップカウント要因選択レジスタ（GTUPSR） 630
23.2.9 汎用 PWM タイマダウンカウント要因選択レジスタ（GTDNSR） 633
23.2.10 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A（GTICASR） 636
23.2.11 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B（GTICBSR） 640
23.2.12 汎用 PWM タイマコントロールレジスタ（GTCR） 644
23.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ（GTUDDTYC） 646
23.2.14 汎用 PWM タイマ I/O コントロールレジスタ（GTIOR） 648
23.2.15 汎用 PWM タイマ割り込み出力設定レジスタ（GTINTAD） 652
23.2.16 汎用 PWM タイマステータスレジスタ（GTST） 654
23.2.17 汎用 PWM タイマバッファイネーブルレジスタ（GTBER） 660
23.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC） 663

参考資料

23.2.19 汎用 PWM タイマカウンタ（GTCNT） 665
23.2.20 汎用 PWM タイマコンペアキャプチャレジスタ n（GTCCRn）（n = A ～ F） 665
23.2.21 汎用 PWM タイマ周期設定レジスタ（GTPR） 666
23.2.22 汎用 PWM タイマ周期設定バッファレジスタ（GTPBR） 666
23.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ（GTPDBR） 666
23.2.24 A/D 変換開始要求タイミングレジスタ m（GTADTRm）（m = A, B） 667
23.2.25 A/D 変換開始要求タイミングバッファレジスタ m（GTADTBRm）（m = A, B） 667
23.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ m（GTADTDBRm）（m = A, B） 668
23.2.27 汎用 PWM タイマデッドタイムコントロールレジスタ（GTDTCR） 669
23.2.28 汎用 PWM タイマデッドタイム値レジスタ m（GTDVm）（m = U, D） 671
23.2.29 汎用 PWM タイマデッドタイムバッファレジスタ m（GTDBm）（m = U, D） 672
23.2.30 汎用 PWM タイマ出力保護機能ステータスレジスタ（GTSOS） 672
23.2.31 汎用 PWM タイマ出力保護機能一時解除レジスタ（GTSOTR） 673
23.2.32 出力相切り替えコントロールレジスタ（OPSCR） 674
23.3 動作説明 677
23.3.1 基本動作 677
23.3.2 バッファ動作 689
23.3.3 PWM 出力動作モード 700
23.3.4 デッドタイム自動設定機能 712
23.3.5 カウント方向切り替え機能 717
23.3.6 出力デューティ 0% および出力デューティ 100% 機能 718
23.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作 720
23.3.8 同期動作 729
23.3.9 PWM 出力動作例 733
23.3.10 位相計数機能 739
23.3.11 出力相切り替え（GPT_OPS） 749
23.4 割り込み要因 758
23.4.1 割り込み要因 758
23.4.2 DMAC/DTC 起動 765
23.4.3 割り込み、A/D 変換要求の間引き機能 765
23.5 A/D 変換開始要求 769
23.6 ELC によるリンク動作 771
23.6.1 ELC へのイベント信号出力 771
23.6.2 ELC からのイベント信号入力 771
23.7 ノイズフィルタ機能 772
23.8 保護機能 773
23.8.1 レジスタの書き込み保護 773
23.8.2 バッファ動作の禁止 773
23.8.3 GTIOC 端子出力のネゲート制御 774
23.8.4 GTIOC 端子出力の出力保護機能 775

参考資料

23.9 出力端子の初期化方法 785
23.9.1 リセット後の端子設定 785
23.9.2 動作中の異常による端子の初期化 785
23.10 使用上の注意事項 786
23.10.1 モジュールストップ機能の設定 786
23.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定（n = A ～ F） 786
23.10.3 GTCNT カウンタの範囲設定 787
23.10.4 GTCNT カウンタのスタート／ストップ 787
23.10.5 イベントごとの優先順位 788
24. PWM 遅延生成回路 789
24.1 概要 789
24.2 レジスタの説明 791
24.2.1 PWM 出力遅延コントロールレジスタ（GTDLYCR） 791
24.2.2 PWM 出力遅延コントロールレジスタ 2（GTDLYCR2） 792
24.2.3 GTIOCnA 立ち上がり出力遅延レジスタ（GTDLYRnA）（n = 0 ～ 3） 793
24.2.4 GTIOCnA 立ち下がり出力遅延レジスタ（GTDLYFnA）（n = 0 ～ 3） 794
24.2.5 GTIOCnB 立ち上がり出力遅延レジスタ（GTDLYRnB）（n = 0 ～ 3） 795
24.2.6 GTIOCnB 立ち下がり出力遅延レジスタ（GTDLYFnB）（n = 0 ～ 3） 796
24.3 動作説明 797
24.3.1 PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整 797
24.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミング 798
24.4 使用上の注意事項 800
24.4.1 モジュールストップ機能の設定 800
24.4.2 PWM 遅延生成回路の遅延設定に関する注意事項 800
25. 非同期汎用タイマ（AGT） 801
25.1 概要 801
25.2 レジスタの説明 803
25.2.1 AGT カウンタレジスタ（AGT） 803
25.2.2 AGT コンペアマッチ A レジスタ（AGTCMA） 803
25.2.3 AGT コンペアマッチ B レジスタ（AGTCMB） 804
25.2.4 AGT コントロールレジスタ（AGTCR） 805
25.2.5 AGT モードレジスタ 1（AGTMR1） 807
25.2.6 AGT モードレジスタ 2（AGTMR2） 808
25.2.7 AGT I/O コントロールレジスタ（AGTIOC） 809
25.2.8 AGT イベント端子選択レジスタ（AGTISR） 810
25.2.9 AGT コンペアマッチ機能選択レジスタ（AGTCMSR） 810
25.2.10 AGT 端子選択レジスタ（AGTIOSEL） 811
25.3 動作説明 812
25.3.1 リロードレジスタおよびカウンタの書き換え動作 812
25.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作 814

参考資料

25.3.3 タイマモード 815
25.3.4 パルス出力モード 816
25.3.5 イベントカウンタモード 817
25.3.6 パルス幅測定モード 818
25.3.7 パルス周期測定モード 819
25.3.8 コンペアマッチ機能 820
25.3.9 各モードの出力設定 822
25.3.10 スタンバイモード 824
25.3.11 割り込み要因 824
25.3.12 イベントリンクコントローラ（ELC）への出力 825
25.4 使用上の注意事項 826
25.4.1 カウント動作の開始および停止制御 826
25.4.2 カウンタレジスタへのアクセス 826
25.4.3 モード変更時 827
25.4.4 デジタルフィルタ 827
25.4.5 イベント番号、パルス幅、およびパルス周期の計算方法 827
25.4.6 TSTOP ビットで強制的にカウントを停止した場合 827
25.4.7 カウントソースとして AGT0 アンダーフローを選択した場合 828
25.4.8 I/O レジスタのリセット 828
25.4.9 カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合 828
25.4.10 カウントソースに AGTSCLK または AGTLCLK を選択した場合 828
26. リアルタイムクロック（RTC） 829
26.1 概要 829
26.2 レジスタの説明 831
26.2.1 64Hz カウンタ（R64CNT） 831
26.2.2 秒カウンタ （RSECCNT）／バイナリカウンタ 0（BCNT0） 832
26.2.3 分カウンタ （RMINCNT）／バイナリカウンタ 1（BCNT1） 833
26.2.4 時カウンタ （RHRCNT）／バイナリカウンタ 2（BCNT2） 834
26.2.5 曜日カウンタ （RWKCNT）／バイナリカウンタ 3（BCNT3） 835
26.2.6 日カウンタ（RDAYCNT） 836
26.2.7 月カウンタ（RMONCNT） 836
26.2.8 年カウンタ（RYRCNT） 837
26.2.9 秒アラームレジスタ （RSECAR）／バイナリカウンタ 0 アラームレジスタ（BCNT0AR） 838
26.2.10 分アラームレジスタ （RMINAR）／バイナリカウンタ 1 アラームレジスタ（BCNT1AR） 839
26.2.11 時アラームレジスタ （RHRAR）／バイナリカウンタ 2 アラームレジスタ（BCNT2AR） 840
26.2.12 曜日アラームレジスタ （RWKAR）／バイナリカウンタ 3 アラームレジスタ（BCNT3AR） 842
26.2.13 日アラームレジスタ （RDAYAR）／バイナリカウンタ 0 アラームイネーブルレジスタ（BCNT0AER） 844

参考資料

26.2.14 月アラームレジスタ （RMONAR）／バイナリカウンタ 1 アラームイネーブルレジスタ（BCNT1AER） ... 845
26.2.15 年アラームレジスタ （RYRAR）／バイナリカウンタ 2 アラームイネーブルレジスタ（BCNT2AER） ... 846
26.2.16 年アラームイネーブルレジスタ （RYRAREN）／バイナリカウンタ 3 アラームイネーブルレジスタ（BCNT3AER） ... 847
26.2.17 RTC コントロールレジスタ 1（RCR1） ... 848
26.2.18 RTC コントロールレジスタ 2（RCR2） ... 850
26.2.19 RTC コントロールレジスタ 4（RCR4） ... 854
26.2.20 周波数レジスタ（RFRH/RFR） ... 855
26.2.21 時計誤差補正レジスタ（RADJ） ... 856
26.2.22 時間キャプチャコントロールレジスタ y（RTCCRy）（y = 0 ～ 2） ... 857
26.2.23 秒キャプチャレジスタ y（RSECCPy）（y = 0 ～ 2）／ BCNT0 キャプチャレジスタ y（BCNT0CPy）（y = 0 ～ 2） ... 859
26.2.24 分キャプチャレジスタ y（RMINCPy）（y = 0 ～ 2）／ BCNT1 キャプチャレジスタ y（BCNT1CPy）（y = 0 ～ 2） ... 860
26.2.25 時キャプチャレジスタ y（RHRCPy）（y = 0 ～ 2）／ BCNT2 キャプチャレジスタ y（BCNT2CPy）（y = 0 ～ 2） ... 861
26.2.26 日キャプチャレジスタ y（RDAYCPy）（y = 0 ～ 2）／ BCNT3 キャプチャレジスタ y（BCNT3CPy）（y = 0 ～ 2） ... 862
26.2.27 月キャプチャレジスタ y（RMONCPy）（y = 0 ～ 2） ... 863
26.3 動作説明 ... 864
26.3.1 電源投入後のレジスタ初期設定の概要 ... 864
26.3.2 クロックおよびカウントモードの設定手順 ... 865
26.3.3 時刻の設定 ... 866
26.3.4 30 秒調整 ... 867
26.3.5 64Hz カウンタと時刻の読み出し ... 868
26.3.6 アラーム機能 ... 869
26.3.7 アラーム割り込み禁止手順 ... 870
26.3.8 時計誤差補正機能 ... 871
26.4 割り込み要因 ... 874
26.5 イベントリンクコントローラ（ELC）への出力 ... 876
26.5.1 割り込み処理とイベントリンク機能 ... 876
26.6 使用上の注意事項 ... 876
26.6.1 カウント動作時のレジスタ書き込みについて ... 876
26.6.2 周期割り込みの使用について ... 877
26.6.3 RTCOUT（1Hz/64Hz）クロック出力について ... 877
26.6.4 レジスタ設定後の低消費電力モードへの遷移について ... 877
26.6.5 レジスタの書き込み／読み出し時の注意事項 ... 878
26.6.6 カウントモードの変更について ... 878
26.6.7 リアルタイムクロックを使用しない場合の初期化手順 ... 879
27. ウォッチドッグタイマ（WDT） ... 880
27.1 概要 ... 880

参考資料

27.2 レジスタの説明 882
27.2.1 WDT リフレッシュレジスタ（WDTRR） 882
27.2.2 WDT コントロールレジスタ（WDTCR） 883
27.2.3 WDT ステータスレジスタ（WDTSR） 886
27.2.4 WDT リセットコントロールレジスタ（WDTRCR） 888
27.2.5 WDT カウント停止コントロールレジスタ（WDTCSTPR） 888
27.2.6 オプション機能選択レジスタ 0（OFS0） 888
27.3 動作説明 889
27.3.1 スタートモード別のカウント動作 889
27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御 892
27.3.3 リフレッシュ動作 893
27.3.4 リセット出力 894
27.3.5 割り込み要因 894
27.3.6 ダウンカウンタ値の読み出し 894
27.3.7 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応関係 895
27.4 イベントリンクコントローラ（ELC）への出力 895
27.5 使用上の注意事項 895
27.5.1 ICU イベントリンク設定レジスタ n（IELSRn）の設定に関する制限 895
28. 独立ウォッチドッグタイマ（IWDT） 896
28.1 概要 896
28.2 レジスタの説明 898
28.2.1 IWDT リフレッシュレジスタ（IWDTRR） 898
28.2.2 IWDT ステータスレジスタ（IWDTSR） 899
28.2.3 オプション機能選択レジスタ 0（OFS0） 901
28.3 動作説明 904
28.3.1 オートスタートモード 904
28.3.2 リフレッシュ動作 906
28.3.3 ステータスフラグ 907
28.3.4 リセット出力 907
28.3.5 割り込み要因 908
28.3.6 ダウンカウンタ値の読み出し 908
28.4 イベントリンクコントローラ（ELC）への出力 909
28.5 使用上の注意事項 909
28.5.1 リフレッシュ動作 909
28.5.2 クロック分周比の設定に関する制限 909
29. イーサネット MAC コントローラ（ETHERC） 910
29.1 概要 910
29.2 レジスタの説明 914
29.2.1 ETHERC モードレジスタ（ECMR） 914
29.2.2 受信フレーム長上限レジスタ（RFLR） 916
29.2.3 ETHERC ステータスレジスタ（ECSR） 917

参考資料

29.2.4 ETHERC 割り込みイネーブルレジスタ（ECSIPR） 918
29.2.5 PHY 部インタフェースレジスタ（PIR） 919
29.2.6 PHY 部ステータスレジスタ（PSR） 920
29.2.7 乱数生成カウンタ上限値設定レジスタ（RDMLR） 920
29.2.8 Interpacket Gap 設定レジスタ（IPGR） 921
29.2.9 自動 PAUSE フレーム設定レジスタ（APR） 921
29.2.10 手動 PAUSE フレーム設定レジスタ（MPR） 922
29.2.11 受信 PAUSE フレームカウンタ（RFCF） 922
29.2.12 自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER） 923
29.2.13 PAUSE フレーム再送回数カウンタ（TPAUSECR） 923
29.2.14 Broadcast フレーム受信回数設定レジスタ（BCFRR） 924
29.2.15 MAC アドレス上位設定レジスタ（MAHR） 924
29.2.16 MAC アドレス下位設定レジスタ（MALR） 925
29.2.17 送信リトライオーバーカウンタレジスタ（TROCR） 925
29.2.18 遅延衝突検出カウンタレジスタ（CDCR） 926
29.2.19 キャリア消失カウンタレジスタ（LCCR） 926
29.2.20 キャリア未検出カウンタレジスタ（CNDCR） 927
29.2.21 CRC エラーフレーム受信カウンタレジスタ（CEFCR） 927
29.2.22 フレーム受信エラーカウンタレジスタ（FRECR） 928
29.2.23 ショートフレーム受信カウンタレジスタ（TSFRCR） 928
29.2.24 ロングフレーム受信カウンタレジスタ（TLFRCR） 929
29.2.25 端数ビットフレーム受信カウンタレジスタ（RFCR） 929
29.2.26 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR） 930
29.3 動作説明 931
29.3.1 送信 931
29.3.2 受信 932
29.3.3 フレームタイミング 934
29.3.4 MII および RMII レジスタへのアクセス 937
29.3.5 Magic Packet の検出 939
29.3.6 IPG の変更による伝送効率の調整 939
29.3.7 フロー制御 940
29.4 割り込み 941
29.5 使用上の注意事項 941
29.5.1 LCHNG フラグの 1 への誤設定の防止 941
29.5.2 RMII 選択時の RMIIn_RX_ER 端子入力について 941
30. イーサネット PTP コントローラ（EPTPC） 942
30.1 概要 942
30.1.1 クロックデバイスと Ethernet ポートの組み合わせ 944
30.1.2 PTP メッセージのフレームフォーマット 945
30.1.3 PTP メッセージタイプと処理詳細 946
30.2 レジスタの説明 947

参考資料

30.2.1 ETHER_MINT 割り込み要因ステータスレジスタ（MIESR）..... 947
30.2.2 ETHER_MINT 割り込み要求イネーブルレジスタ（MIEIPR）..... 949
30.2.3 ELC 出力／ ETHER_IPLS 割り込み要求許可レジスタ（ELIPPR）..... 950
30.2.4 ELC 出力／ ETHER_IPLS 割り込み許可自動クリア設定レジスタ（ELIPACR）..... 952
30.2.5 STCA ステータスレジスタ（STSR）..... 954
30.2.6 STCA ステータス通知イネーブルレジスタ（STIPR）..... 955
30.2.7 STCA クロック周波数設定レジスタ（STCFR）..... 956
30.2.8 STCA 動作モードレジスタ（STMR）..... 957
30.2.9 Sync メッセージ受信タイムアウトレジスタ（SYNTOR）..... 959
30.2.10 ETHER_IPLS 割り込み要求タイマ選択レジスタ（IPTSELR）..... 960
30.2.11 ETHER_MINT 割り込み要求タイマ選択レジスタ（MITSELR）..... 961
30.2.12 ELC 出力タイマ選択レジスタ（ELTSELR）..... 962
30.2.13 時刻同期チャネル選択レジスタ（STCHSELR）..... 963
30.2.14 スレーブ時刻同期スタートレジスタ（SYNSTARTR）..... 963
30.2.15 ローカルクロックカウンタ初期値ロード指示レジスタ（LCIVLDR）..... 964
30.2.16 同期外れ検出しきい値レジスタ（SYNTDARU、SYNTDARL）..... 965
30.2.17 同期検出しきい値レジスタ（SYNTDBRU、SYNTDBRL）..... 966
30.2.18 ローカルクロックカウンタ初期値レジスタ（LCIVRU、LCIVRM、LCIVRL）..... 967
30.2.19 ワースト 10 値取得指示レジスタ（GETW10R）..... 969
30.2.20 プラス側傾き制限値レジスタ（PLIMITRU、PLIMITRM、PLIMITRL）..... 970
30.2.21 マイナス側傾き制限値レジスタ（MLIMITRU、MLIMITRM、MLIMITRL）..... 972
30.2.22 統計情報保持制御レジスタ（GETINFOR）..... 974
30.2.23 ローカルクロックカウンタ（LCCVRU、LCCVRM、LCCVRL）..... 975
30.2.24 プラス側傾きワースト 10 値レジスタ（PW10VRU、PW10VRM、PW10VRL）..... 977
30.2.25 マイナス側傾きワースト 10 値レジスタ（MW10RU、MW10RM、MW10RL）..... 978
30.2.26 タイマスタート時刻設定レジスタ m（TMSTTRUm、TMSTTRLm）（m = 0 ～ 5）..... 979
30.2.27 タイマ周期設定レジスタ m（TMCYCRm）（m = 0 ～ 5）..... 980
30.2.28 タイマパルス幅設定レジスタ m（TMPLSRm）（m = 0 ～ 5）..... 981
30.2.29 タイマスタートレジスタ（TMSTARTR）..... 982
30.2.30 PRC-TC ステータスレジスタ（PRSR）..... 983
30.2.31 PRC-TC ステータス通知イネーブルレジスタ（PRIPR）..... 985
30.2.32 チャネル 0 自局 MAC アドレスレジスタ（PRMACRU0、PRMACRL0）..... 986
30.2.33 チャネル 1 自局 MAC アドレスレジスタ（PRMACRU1、PRMACRL1）..... 987
30.2.34 パケット送信抑止コントロールレジスタ（TRNDISR）..... 988
30.2.35 中継モードレジスタ（TRNMR）..... 989
30.2.36 カットスルー転送開始しきい値レジスタ（TRNCTTDR）..... 990
30.2.37 SYNFP ステータスレジスタ（SYSR）..... 991
30.2.38 SYNFP ステータス通知イネーブルレジスタ（SYIPR）..... 994
30.2.39 SYNFP MAC アドレスレジスタ（SYMACRU、SYMACRL）..... 995
30.2.40 SYNFP LLC-CTL 値レジスタ（SYLLCCTLR）..... 996

参考資料

30.2.41 SYNFP 自局 IP アドレスレジスタ（SYIPADDRR）..... 996
30.2.42 SYNFP 仕様バージョン設定レジスタ（SYSPVRR）..... 997
30.2.43 SYNFP ドメイン番号設定レジスタ（SYDOMR）..... 997
30.2.44 アナウンスメッセージフラグフィールド設定レジスタ（ANFR）..... 998
30.2.45 Sync メッセージフラグフィールド設定レジスタ（SYNFR）..... 999
30.2.46 Delay_Req メッセージフラグフィールド設定レジスタ（DYRQFR）..... 1000
30.2.47 Delay_Resp メッセージフラグフィールド設定レジスタ（DYRPFR）..... 1001
30.2.48 SYNFP 自局クロック ID レジスタ（SYCIDRU、SYCIDRL）..... 1002
30.2.49 SYNFP 自局ポート番号レジスタ（SYPNUMR）..... 1003
30.2.50 SYNFP レジスタ値ロード指示レジスタ（SYRVLDR）..... 1004
30.2.51 SYNFP 受信フィルタレジスタ 1（SYRFL1R）..... 1006
30.2.52 SYNFP 受信フィルタレジスタ 2（SYRFL2R）..... 1008
30.2.53 SYNFP 送信イネーブルレジスタ（SYTRENR）..... 1009
30.2.54 マスタクロック ID レジスタ（MTCIDU、MTCIDL）..... 1010
30.2.55 マスタクロックポート番号レジスタ（MTPID）..... 1011
30.2.56 SYNFP 送信間隔設定レジスタ（SYTLIR）..... 1012
30.2.57 SYNFP 受信 logMessageInterval 値表示レジスタ（SYRLIR）..... 1013
30.2.58 offsetFromMaster 値レジスタ（OFMRU、OFMRL）..... 1014
30.2.59 meanPathDelay 値レジスタ（MPDRU、MPDRL）..... 1015
30.2.60 grandmasterPriority フィールド設定レジスタ（GMPR）..... 1016
30.2.61 grandmasterClockQuality フィールド設定レジスタ（GMCQR）..... 1016
30.2.62 grandmasterIdentity フィールド設定レジスタ（GMIDRU、GMIDRL）..... 1017
30.2.63 curentUtcOffset/timeSource フィールド設定レジスタ（CUOTSR）..... 1018
30.2.64 stepsRemoved フィールド設定レジスタ（SRR）..... 1018
30.2.65 PTP-primary メッセージ用宛先 MAC アドレス設定レジスタ（PPMACRU、PPMACRL）..... 1019
30.2.66 PTP-pdelay メッセージ用 MAC アドレス設定レジスタ（PDMACRU、PDMACRL）..... 1020
30.2.67 PTP メッセージ Ethertype 設定レジスタ（PETYPER）..... 1021
30.2.68 PTP-primary メッセージ用宛先 IP アドレス設定レジスタ（PPIPR）..... 1021
30.2.69 PTP-pdelay メッセージ用宛先 IP アドレス設定レジスタ（PDIPR）..... 1022
30.2.70 PTP event メッセージ用 TOS 設定レジスタ（PETOSR）..... 1022
30.2.71 PTP general メッセージ用 TOS 設定レジスタ（PGTOSR）..... 1023
30.2.72 PTP-primary メッセージ用 TTL 設定レジスタ（PPTTLR）..... 1023
30.2.73 PTP-pdelay メッセージ用 TTL 設定レジスタ（PDTTLR）..... 1024
30.2.74 PTP event メッセージ用 UDP 宛先ポート番号設定レジスタ（PEUDPR）..... 1024
30.2.75 PTP general メッセージ用 UDP 宛先ポート番号設定レジスタ（PGUDPR）..... 1025
30.2.76 フレーム受信フィルタ設定レジスタ（FFLTR）..... 1026
30.2.77 フレーム受信フィルタ用 MAC アドレス 0 設定レジスタ（FMAC0RU、FMAC0RL）..... 1027
30.2.78 フレーム受信フィルタ用 MAC アドレス 1 設定レジスタ（FMAC1RU、FMAC1RL）..... 1028

参考資料

30.2.79 非対称遅延値設定レジスタ（DASYMRU、DASYMRL） 1029
30.2.80 タイムスタンプ遅延値設定レジスタ（TSLATR） 1030
30.2.81 SYNFP 動作設定レジスタ（SYCONFR） 1031
30.2.82 SYNFP フレームフォーマット設定レジスタ（SYFORMR） 1032
30.2.83 レスポンスメッセージ受信タイムアウトレジスタ（RSTOUTR） 1032
30.2.84 PTP リセットレジスタ（PTRSTR） 1033
30.2.85 STCA クロック選択レジスタ（STCSELR） 1034
30.2.86 1588 モジュールバイパスレジスタ（BYPASS） 1035
30.3 動作説明 1036
30.3.1 非 PTP メッセージの送受信と中継 1037
30.3.2 非 PTP メッセージの通信経路 1038
30.3.3 PTP メッセージの送受信と中継 1039
30.3.4 PTP メッセージの通信経路 1040
30.3.5 クロックデバイス 1042
30.3.6 EPTPC の初期化 1046
30.3.7 E2E マスタ動作 1047
30.3.8 E2E スレーブ動作 1049
30.3.9 P2P 動作（マスタおよびスレーブ共通） 1052
30.3.10 P2P マスタ動作 1054
30.3.11 P2P スレーブ動作 1056
30.3.12 E2E TC 動作 1058
30.3.13 P2P TC 動作 1058
30.3.14 メッセージ受信の監視 1059
30.3.15 時刻同期の補正機能 1060
30.3.16 ローカルクロックカウンタ 1064
30.3.17 パルス出力タイマ 1065
30.3.18 送信優先制御 1067
30.4 割り込み 1069
30.5 イベントリンク機能（出力） 1071
30.6 使用上の注意事項 1072
30.6.1 レジスタアクセスの制限 1072
30.6.2 レジスタアクセス時のウェイト数 1073
31. イーサネット DMA コントローラ（EDMAC） 1075
31.1 概要 1075
31.2 レジスタの説明 1077
31.2.1 EDMAC モードレジスタ（EDMR） 1077
31.2.2 EDMAC 送信要求レジスタ（EDTRR） 1078
31.2.3 EDMAC 受信要求レジスタ（EDRRR） 1078
31.2.4 送信ディスクリプタリスト開始アドレスレジスタ（TDLAR） 1079
31.2.5 受信ディスクリプタリスト開始アドレスレジスタ（RDLAR） 1079
31.2.6 ETHERC/EDMAC ステータスレジスタ（EDMACn.EESR）（n = 0, 1） 1080

参考資料

31.2.7 PTP 用 EDMAC ステータスレジスタ（PTPEDMAC.EESR） 1083
31.2.8 ETHERC/EDMAC ステータス割り込みイネーブルレジスタ（EDMACn.EESIPR）（n = 0, 1） 1086
31.2.9 PTP/EDMAC ステータス割り込みイネーブルレジスタ（PTPEDMAC.EESIPR） 1088
31.2.10 ETHERC/EDMAC 送受信ステータスコピー指示レジスタ（EDMACn.TRSCER）（n = 0, 1） 1089
31.2.11 ミスドフレームカウンタレジスタ（RMFCR） 1090
31.2.12 送信 FIFO しきい値指定レジスタ（TFTR） 1091
31.2.13 FIFO 容量指定レジスタ（FDR） 1092
31.2.14 受信方式コントロールレジスタ（RMCR） 1092
31.2.15 送信 FIFO アンダーフローカウンタ（TFUCR） 1093
31.2.16 受信 FIFO オーバーフローカウンタ（RFOCR） 1093
31.2.17 個別出力信号設定レジスタ（IOSR） 1094
31.2.18 フローコントロール開始 FIFO しきい値設定レジスタ（FCFTR） 1095
31.2.19 受信データパディング挿入設定レジスタ（RPADIR） 1096
31.2.20 送信割り込み設定レジスタ（TRIMD） 1097
31.2.21 受信バッファライトアドレスレジスタ（RBWAR） 1098
31.2.22 受信ディスクリプタフェッチアドレスレジスタ（RDFAR） 1098
31.2.23 送信バッファリードアドレスレジスタ（TBRAR） 1099
31.2.24 送信ディスクリプタフェッチアドレスレジスタ（TDFAR） 1099
31.3 動作説明 1100
31.3.1 ディスクリプタリストとデータバッファ 1100
31.3.2 送信 1105
31.3.3 受信 1106
31.3.4 マルチバッファフレーム送信 1107
31.3.5 EDMAC チャネルの優先順位 1109
31.4 割り込み 1111
31.5 使用上の注意事項 1111
31.5.1 モジュールストップ機能の設定 1111
31.5.2 動作中の EDMAC の停止 1111
32. USB2.0 フルスピードモジュール（USBFS） 1112
32.1 概要 1112
32.2 レジスタの説明 1114
32.2.1 システムコンフィグレーションコントロールレジスタ（SYSCFG） 1114
32.2.2 システムコンフィグレーションステータスレジスタ 0（SYSSTS0） 1116
32.2.3 デバイスステートコントロールレジスタ 0（DVSTCTR0） 1117
32.2.4 CFIFO ポートレジスタ（CFIFO/CFIFOL）
D0FIFO ポートレジスタ（D0FIFO/D0FIFOL）
D1FIFO ポートレジスタ（D1FIFO/D1FIFOL） 1120
32.2.5 CFIFO ポート選択レジスタ（CFIFOSEL）
D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL） 1122

参考資料

32.2.6 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR） 1126
32.2.7 割り込みイネーブルレジスタ 0（INTENB0） 1128
32.2.8 割り込みイネーブルレジスタ 1（INTENB1） 1129
32.2.9 BRDY 割り込みイネーブルレジスタ（BRDYENB） 1130
32.2.10 NRDY 割り込みイネーブルレジスタ（NRDYENB） 1131
32.2.11 BEMP 割り込みイネーブルレジスタ（BEMPENB） 1132
32.2.12 SOF 出力コンフィグレーションレジスタ（SOFCFG） 1133
32.2.13 割り込みステータスレジスタ 0（INTSTS0） 1134
32.2.14 割り込みステータスレジスタ 1（INTSTS1） 1137
32.2.15 BRDY 割り込みステータスレジスタ（BRDYSTS） 1140
32.2.16 NRDY 割り込みステータスレジスタ（NRDYSTS） 1141
32.2.17 BEMP 割り込みステータスレジスタ（BEMPSTS） 1142
32.2.18 フレームナンバレジスタ（FRMNUM） 1143
32.2.19 デバイスステート切り替えレジスタ（DVCHGR） 1144
32.2.20 USB アドレスレジスタ（USBADDR） 1145
32.2.21 USB リクエストタイプレジスタ（USBREQ） 1146
32.2.22 USB リクエストバリューレジスタ（USBVAL） 1147
32.2.23 USB リクエストインデックスレジスタ（USBINDX） 1148
32.2.24 USB リクエストレングスレジスタ（USBLENG） 1149
32.2.25 DCP コンフィグレーションレジスタ（DCPCFG） 1150
32.2.26 DCP マックスパケットサイズレジスタ（DCPMAXP） 1151
32.2.27 DCP コントロールレジスタ（DCPCTR） 1152
32.2.28 パイプウィンドウ選択レジスタ（PIPESEL） 1156
32.2.29 パイプコンフィグレーションレジスタ（PIPECFG） 1157
32.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP） 1159
32.2.31 パイプ周期コントロールレジスタ（PIPEPERI） 1160
32.2.32 パイプ n コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9） 1161
32.2.33 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）
（n = 1 ～ 5） 1168
32.2.34 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5） 1169
32.2.35 デバイスアドレス n コンフィグレーションレジスタ（DEVADDn）（n = 0 ～ 5） .. 1170
32.2.36 PHY クロスポイント調整レジスタ（PHYSLEW） 1171
32.2.37 ディープソフトウェアスタンバイ USB トランシーバコントロール／
端子モニタレジスタ（DPUSR0R） 1172
32.2.38 ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込み
レジスタ（DPUSR1R） 1173
32.3 動作説明 1175
32.3.1 システム制御 1175
32.3.2 割り込み 1184
32.3.3 割り込みの説明 1187

参考資料

32.3.4 パイプコントロール 1198
32.3.5 FIFO バッファ 1203
32.3.6 FIFO バッファクリア 1204
32.3.7 FIFO ポートの機能 1204
32.3.8 DMA 転送（D0FIFO/D1FIFO ポート） 1205
32.3.9 DCP を使用したコントロール転送 1206
32.3.10 バルク転送（パイプ 1 ～ 5） 1208
32.3.11 インタラプト転送（パイプ 6 ～ 9） 1208
32.3.12 アイソクロナス転送（パイプ 1 ～ 2） 1209
32.3.13 SOF 補完機能 1216
32.3.14 パイプスケジュール 1217
32.4 使用上の注意事項 1218
32.4.1 モジュールストップ機能の設定 1218
32.4.2 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア 1218
32.4.3 ポート機能設定後の割り込みステータスレジスタのクリア 1218
33. USB2.0 ハイスピードモジュール（USBHS） 1219
33.1 概要 1219
33.2 レジスタの説明 1221
33.2.1 システムコンフィグレーションコントロールレジスタ（SYSCFG） 1221
33.2.2 CPU バスウェイトレジスタ（BUSWAIT） 1224
33.2.3 システムコンフィグレーションステータスレジスタ（SYSSTS0） 1225
33.2.4 PLL ステータスレジスタ（PLLSTA） 1226
33.2.5 デバイスステートコントロールレジスタ 0（DVSTCTR0） 1227
33.2.6 USB テストモードレジスタ（TESTMODE） 1230
33.2.7 CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO） 1232
33.2.8 CFIFO ポート選択レジスタ（CFIFOSEL） 1235
33.2.9 D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL） 1237
33.2.10 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR） 1239
33.2.11 割り込みイネーブルレジスタ 0（INTENB0） 1241
33.2.12 割り込みイネーブルレジスタ 1（INTENB1） 1242
33.2.13 BRDY 割り込みイネーブルレジスタ（BRDYENB） 1243
33.2.14 NRDY 割り込みイネーブルレジスタ（NRDYENB） 1243
33.2.15 BEMP 割り込みイネーブルレジスタ（BEMPENB） 1244
33.2.16 SOF 出力コンフィグレーションレジスタ（SOFCFG） 1245
33.2.17 PHY 設定レジスタ（PHYSET） 1246
33.2.18 割り込みステータスレジスタ 0（INTSTS0） 1247
33.2.19 割り込みステータスレジスタ 1（INTSTS1） 1249

参考資料

33.2.20 BRDY 割り込みステータスレジスタ（BRDYSTS）..... 1252
33.2.21 NRDY 割り込みステータスレジスタ（NRDYSTS）..... 1252
33.2.22 BEMP 割り込みステータスレジスタ（BEMPSTS）..... 1253
33.2.23 フレームナンバレジスタ（FRMNUM）..... 1254
33.2.24 μ フレームナンバレジスタ（UFRMNUM）..... 1255
33.2.25 USB アドレスレジスタ（USBADDR）..... 1256
33.2.26 USB リクエストタイプレジスタ（USBREQ）..... 1257
33.2.27 USB リクエストバリューレジスタ（USBVAL）..... 1258
33.2.28 USB リクエストインデックスレジスタ（USBINDX）..... 1258
33.2.29 USB リクエストレングスレジスタ（USBLENG）..... 1259
33.2.30 DCP コンフィグレーションレジスタ（DCPCFG）..... 1260
33.2.31 DCP マックスパケットサイズレジスタ（DCPMAXP）..... 1261
33.2.32 DCP コントロールレジスタ（DCPCTR）..... 1262
33.2.33 パイプウィンドウ選択レジスタ（PIPESEL）..... 1266
33.2.34 パイプコンフィグレーションレジスタ（PIPECFG）..... 1267
33.2.35 パイプバッファ指定レジスタ（PIPEBUF）..... 1270
33.2.36 パイプマックスパケットサイズレジスタ（PIPEMAXP）..... 1272
33.2.37 パイプ周期コントロールレジスタ（PIPEPERI）..... 1273
33.2.38 パイプ n コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）..... 1274
33.2.39 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）..... 1279
33.2.40 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）..... 1280
33.2.41 デバイスアドレス m コンフィグレーションレジスタ（DEVADDm）（m = 0 ～ A）..... 1281
33.2.42 ローパワーコントロールレジスタ（LPCTRL）..... 1282
33.2.43 ローパワーステータスレジスタ（LPSTS）..... 1283
33.2.44 Battery Charging コントロールレジスタ（BCCTRL）..... 1284
33.2.45 ファンクション L1 コントロールレジスタ 1（PL1CTRL1）..... 1286
33.2.46 ファンクション L1 コントロールレジスタ 2（PL1CTRL2）..... 1287
33.2.47 ホスト L1 コントロールレジスタ 1（HL1CTRL1）..... 1288
33.2.48 ホスト L1 コントロールレジスタ 2（HL1CTRL2）..... 1289
33.2.49 ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ（DPUSR0R）..... 1290
33.2.50 ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ（DPUSR1R）..... 1291
33.2.51 ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ（DPUSR2R）..... 1292
33.2.52 ディープソフトウェアスタンバイ USB サスペンド／レジュームコマンドレジスタ（DPUSRCR）..... 1292
33.3 動作説明 1293
33.3.1 システム制御 1293
33.3.2 抵抗による USB データバス制御 1293
33.3.3 クロック供給 1294

参考資料

33.3.4 クロック停止時の制限事項 1296
33.3.5 割り込み 1296
33.3.6 割り込みの説明 1300
33.3.7 パイプコントロール 1313
33.3.8 FIFO バッファ 1318
33.3.9 DCP を使用したコントロール転送 1322
33.3.10 バルク転送（パイプ 1 ～ 5） 1325
33.3.11 インタラプト転送（パイプ 6 ～ 9） 1326
33.3.12 アイソクロナス転送（パイプ 1 ～ 2） 1326
33.3.13 SOF 補完機能 1335
33.3.14 パイプスケジュール 1336
33.3.15 Battery Charging 検知処理 1337
33.3.16 Link Power Management 処理 1341
33.3.17 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除 1344
33.3.18 外部接続回路例 1349
33.4 使用上の注意事項 1353
33.4.1 モジュールストップ機能の設定 1353
33.4.2 ディープソフトウェアスタンバイモード遷移時の設定 1353
33.4.3 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア 1353
33.4.4 ポート機能設定後の割り込みステータスレジスタのクリア 1353
34. シリアルコミュニケーションインタフェース（SCI） 1354
34.1 概要 1354
34.2 レジスタの説明 1359
34.2.1 レシーブシフトレジスタ（RSR） 1359
34.2.2 レシーブデータレジスタ（RDR） 1359
34.2.3 レシーブデータレジスタ HL（RDRHL） 1359
34.2.4 レシーブ FIFO データレジスタ H, L, HL（FRDRH, FRDRL, FRDRHL） 1360
34.2.5 送信データレジスタ（TDR） 1362
34.2.6 送信 9 ビットデータレジスタ（TDRHL） 1362
34.2.7 トランスミット FIFO データレジスタ H, L, HL（FTDRH, FTDRL, FTDRHL） 1363
34.2.8 トランスミットシフトレジスタ（TSR） 1364
34.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ（SMR）（SCMR.SMIF = 0） 1364
34.2.10 スマートカードインタフェースモード用シリアルモードレジスタ（SMR_SMCI）（SCMR.SMIF = 1） 1366
34.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ（SCR）（SCMR.SMIF = 0） 1368
34.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ（SCR_SMCI）（SCMR.SMIF = 1） 1370
34.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ（SSR）（SCMR.SMIF = 0 および FCR.FM = 0） 1372

参考資料

34.2.14 非スマートカードインタフェースおよび FIFO モード用シリアルステータスレジスタ（SSR_FIFO）（SCMR.SMIF = 0 および FCR.FM = 1） 1375
34.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ（SSR_SMCI）（SCMR.SMIF = 1） 1378
34.2.16 スマートカードモードレジスタ（SCMR） 1381
34.2.17 ビットレートレジスタ（BRR） 1383
34.2.18 モジュレーションデューティレジスタ（MDDR） 1394
34.2.19 シリアル拡張モードレジスタ（SEMR） 1397
34.2.20 ノイズフィルタ設定レジスタ（SNFR） 1399
34.2.21 IIC モードレジスタ 1（SIMR1） 1400
34.2.22 IIC モードレジスタ 2（SIMR2） 1401
34.2.23 IIC モードレジスタ 3（SIMR3） 1402
34.2.24 IIC ステータスレジスタ（SISR） 1404
34.2.25 SPI モードレジスタ（SPMR） 1405
34.2.26 FIFO コントロールレジスタ（FCR） 1407
34.2.27 FIFO データ数レジスタ（FDR） 1409
34.2.28 ラインステータスレジスタ（LSR） 1410
34.2.29 コンペアマッチデータレジスタ（CDR） 1411
34.2.30 データコンペアマッチコントロールレジスタ（DCCR） 1412
34.2.31 シリアルポートレジスタ（SPTR） 1414
34.3 調歩同期式モードの動作 1415
34.3.1 シリアル転送フォーマット 1416
34.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 1418
34.3.3 クロック 1419
34.3.4 倍速動作とビットレートの 6 倍の周波数 1419
34.3.5 CTS、RTS 機能 1419
34.3.6 アドレス一致（受信データ一致）検出機能 1420
34.3.7 SCI の初期化（調歩同期式モード） 1424
34.3.8 シリアルデータの送信（調歩同期式モード） 1426
34.3.9 シリアルデータの受信（調歩同期式モード） 1432
34.4 マルチプロセッサ通信機能 1439
34.4.1 マルチプロセッサシリアルデータ送信 1441
34.4.2 マルチプロセッサシリアルデータ受信 1444
34.5 クロック同期式モードの動作 1449
34.5.1 クロック 1449
34.5.2 CTS、RTS 機能 1450
34.5.3 SCI の初期化（クロック同期式モード） 1450
34.5.4 シリアルデータの送信（クロック同期式モード） 1453
34.5.5 シリアルデータの受信（クロック同期式モード） 1458
34.5.6 シリアルデータの同時送受信動作（クロック同期式モード） 1463
34.6 スマートカードインタフェースモードの動作 1467
34.6.1 接続例 1467

参考資料

34.6.2 データフォーマット（ブロック転送モード時を除く） 1468
34.6.3 ブロック転送モード 1469
34.6.4 受信データのサンプリングタイミングと受信マージン 1470
34.6.5 SCI の初期化 1471
34.6.6 シリアルデータの送信（ブロック転送モード時を除く） 1472
34.6.7 シリアルデータの受信（ブロック転送モード時を除く） 1475
34.6.8 クロック出力制御 1477
34.7 簡易 IIC モードの動作 1478
34.7.1 開始条件、再開始条件、停止条件の生成 1479
34.7.2 クロック同期化 1480
34.7.3 SDA 出力遅延 1481
34.7.4 SCI の初期化（簡易 IIC モード） 1482
34.7.5 マスタ送信動作（簡易 IIC モード） 1483
34.7.6 マスタ受信動作（簡易 IIC モード） 1485
34.8 簡易 SPI モードの動作 1487
34.8.1 マスタモード、スレーブモードと各端子の状態 1488
34.8.2 マスタモード時の SS 機能 1488
34.8.3 スレーブモード時の SS 機能 1488
34.8.4 クロックと送受信データの関係 1489
34.8.5 SCI の初期化（簡易 SPI モード） 1489
34.8.6 シリアルデータの送受信（簡易 SPI モード） 1490
34.9 ビットレートモジュレーション機能 1490
34.10 割り込み要因 1491
34.10.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時） 1491
34.10.2 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時） 1491
34.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み 1491
34.10.4 スマートカードインタフェースモードにおける割り込み 1493
34.10.5 簡易 IIC モードにおける割り込み 1494
34.11 イベントリンク機能 1495
34.12 アドレス不一致イベント出力（SCI0_DCUF） 1496
34.13 ノイズ除去機能 1497
34.14 使用上の注意事項 1498
34.14.1 モジュールストップ状態の設定 1498
34.14.2 低消費電力状態での SCI 動作 1498
34.14.3 ブレークの検出と処理について 1503
34.14.4 マーク状態とブレークの送出 1503
34.14.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード） 1503
34.14.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード） 1504
34.14.7 DMAC または DTC 使用時の制限事項 1506
34.14.8 通信の開始に関する注意事項 1506

参考資料

34.14.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力 1506
34.14.10 簡易 SPI モードでの制限事項 1507
35. IrDA インタフェース 1508
35.1 概要 1508
35.2 レジスタの説明 1509
35.2.1 IrDA コントロールレジスタ（IRCR） 1509
35.3 動作説明 1510
35.3.1 IrDA インタフェースの設定手順 1510
35.3.2 送信 1510
35.3.3 受信 1510
35.4 使用上の注意事項 1511
35.4.1 モジュールストップ機能の設定 1511
35.4.2 調歩同期式モードにおける SCI1 の基準クロック 1511
36. I2C バスインタフェース（IIC） 1512
36.1 概要 1512
36.2 レジスタの説明 1515
36.2.1 I2C バスコントロールレジスタ 1（ICCR1） 1515
36.2.2 I2C バスコントロールレジスタ 2（ICCR2） 1517
36.2.3 I2C バスモードレジスタ 1（ICMR1） 1521
36.2.4 I2C バスモードレジスタ 2（ICMR2） 1522
36.2.5 I2C バスモードレジスタ 3（ICMR3） 1524
36.2.6 I2C バスファンクションイネーブルレジスタ（ICFER） 1526
36.2.7 I2C バスステータスイネーブルレジスタ（ICSER） 1528
36.2.8 I2C バス割り込みイネーブルレジスタ（ICIER） 1530
36.2.9 I2C バスステータスレジスタ 1（ICSR1） 1532
36.2.10 I2C バスステータスレジスタ 2（ICSR2） 1535
36.2.11 I2C バスウェイクアップユニットレジスタ（ICWUR） 1539
36.2.12 Reserved（ICWUR2） 1540
36.2.13 スレーブアドレスレジスタ Ly（SARLy）（y = 0 ～ 2） 1540
36.2.14 スレーブアドレスレジスタ Uy（SARUy）（y = 0 ～ 2） 1541
36.2.15 I2C バスビットレート Low レジスタ（ICBRL） 1542
36.2.16 I2C バスビットレート High レジスタ（ICBRH） 1543
36.2.17 I2C バス送信データレジスタ（ICDRT） 1545
36.2.18 I2C バス受信データレジスタ（ICDRR） 1545
36.2.19 I2C バスシフトレジスタ（ICDRS） 1545
36.3 動作説明 1546
36.3.1 通信データフォーマット 1546
36.3.2 初期設定 1547
36.3.3 マスタ送信動作 1548
36.3.4 マスタ受信動作 1552
36.3.5 スレーブ送信動作 1557

参考資料

36.3.6 スレーブ受信動作 1560
36.4 SCL 同期回路 1562
36.5 SDA 出力遅延機能 1563
36.6 デジタルノイズフィルタ回路 1564
36.7 アドレス一致検出機能 1565
36.7.1 スレーブアドレス一致検出機能 1565
36.7.2 ジェネラルコールアドレス検出機能 1567
36.7.3 デバイス ID アドレス検出機能 1567
36.7.4 ホストアドレス検出機能 1569
36.8 ウェイクアップ機能 1570
36.8.1 ノーマルウェイクアップモード 1 1571
36.8.2 ノーマルウェイクアップモード 2 1574
36.8.3 コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード） 1577
36.8.4 WFI コマンドの実行に関する注意事項 1580
36.9 SCL の自動 Low ホールド機能 1581
36.9.1 送信データの誤送信防止機能 1581
36.9.2 NACK 受信転送中断機能 1582
36.9.3 受信データ取りこぼし防止機能 1583
36.10 アービトレーションロスト検出機能 1585
36.10.1 マスタアービトレーションロスト検出機能（MALE ビット） 1585
36.10.2 NACK 送信中のアービトレーションロスト検出機能（NALE ビット） 1587
36.10.3 スレーブアービトレーションロスト検出機能（SALE ビット） 1588
36.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 1589
36.11.1 スタートコンディション発行動作 1589
36.11.2 リスタートコンディション発行動作 1589
36.11.3 ストップコンディション発行動作 1592
36.12 バスハングアップ 1593
36.12.1 タイムアウト検出機能 1593
36.12.2 SCL クロック追加出力機能 1595
36.12.3 IIC リセット、内部リセット 1596
36.13 SMBus 動作 1597
36.13.1 SMBus タイムアウト測定 1597
36.13.2 パケットエラーコード（PEC） 1598
36.13.3 SMBus ホスト通知プロトコル（Notify ARP Master コマンド） 1598
36.14 割り込み要因 1599
36.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作 1599
36.15 各コンディション発行時のレジスタの状態 1600
36.16 イベントリンクコントローラ（ELC）への出力 1601
36.16.1 割り込み処理とイベントリンク機能 1601
36.17 使用上の注意事項 1601
36.17.1 モジュールストップ機能の設定 1601

参考資料

36.17.2 割り込み発生後の転送開始 1601

37. CAN（Controller Area Network）モジュール 1602

37.1 概要 1602

37.2 レジスタの説明 1605

37.2.1 コントロールレジスタ（CTLR） 1605

37.2.2 ビットコンフィグレーションレジスタ（BCR） 1608

37.2.3 マスクレジスタ k（MKRk）（k = 0 ～ 7） 1610

37.2.4 FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1） 1611

37.2.5 マスク無効レジスタ（MKIVLR） 1613

37.2.6 メールボックスレジスタ j（MBj_ID、MBj_DL、MBj_Dm、MBj_TS）（j = 0 ～ 31; m = 0 ～ 7） 1614

37.2.7 メールボックス割り込みイネーブルレジスタ（MIER） 1619

37.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ（MIER_FIFO） 1620

37.2.9 送信用メッセージコントロールレジスタ（MCTL_TXj）（j = 0 ～ 31） 1621

37.2.10 受信用メッセージコントロールレジスタ（MCTL_RXj）（j = 0 ～ 31） 1624

37.2.11 受信 FIFO コントロールレジスタ（RFCR） 1626

37.2.12 受信 FIFO ポインタコントロールレジスタ（RFPCR） 1628

37.2.13 送信 FIFO コントロールレジスタ（TFCR） 1629

37.2.14 送信 FIFO ポインタコントロールレジスタ（TFPCR） 1631

37.2.15 ステータスレジスタ（STR） 1632

37.2.16 メールボックスサーチモードレジスタ（MSMR） 1634

37.2.17 メールボックスサーチステータスレジスタ（MSSR） 1635

37.2.18 チャネルサーチサポートレジスタ（CSSR） 1636

37.2.19 アクセプタンスフィルタサポートレジスタ（AFSR） 1637

37.2.20 エラー割り込みイネーブルレジスタ（EIER） 1638

37.2.21 エラー割り込み要因判定レジスタ（EIFR） 1640

37.2.22 受信エラーカウントレジスタ（RECR） 1642

37.2.23 送信エラーカウントレジスタ（TECR） 1642

37.2.24 エラーコード格納レジスタ（ECSR） 1643

37.2.25 タイムスタンプレジスタ（TSR） 1645

37.2.26 テストコントロールレジスタ（TCR） 1646

37.3 動作モード 1648

37.3.1 CAN リセットモード 1649

37.3.2 CAN halt モード 1650

37.3.3 CAN スリープモード 1651

37.3.4 CAN オペレーションモード（バスオフ状態以外） 1651

37.3.5 CAN オペレーションモード（バスオフ状態） 1652

37.4 データ転送レートの設定 1653

37.4.1 クロックの設定 1653

37.4.2 ビットタイミングの設定 1653

37.4.3 データ転送レート 1654

参考資料

37.5 メールボックスとマスクレジスタの構成 1655
37.6 アクセプタンスフィルタ機能とマスク機能 1657
37.7 受信／送信 1660
37.7.1 受信 1661
37.7.2 送信 1663
37.8 割り込み 1664
37.9 使用上の注意事項 1665
37.9.1 モジュールストップ機能の設定 1665
37.9.2 動作クロックの設定 1665
38. シリアルペリフェラルインタフェース（SPI） 1666
38.1 概要 1666
38.2 レジスタの説明 1670
38.2.1 SPI コントロールレジスタ（SPCR） 1670
38.2.2 SPI スレーブ選択極性レジスタ（SSLP） 1672
38.2.3 SPI 端子コントロールレジスタ（SPPCR） 1673
38.2.4 SPI ステータスレジスタ（SPSR） 1674
38.2.5 SPI データレジスタ（SPDR/SPDR_HA） 1677
38.2.6 SPI シーケンスコントロールレジスタ（SPSCR） 1680
38.2.7 SPI シーケンスステータスレジスタ（SPSSR） 1681
38.2.8 SPI ビットレートレジスタ（SPBR） 1682
38.2.9 SPI データコントロールレジスタ（SPDCR） 1683
38.2.10 SPI クロック遅延レジスタ（SPCKD） 1685
38.2.11 SPI スレーブ選択ネゲート遅延レジスタ（SSLND） 1686
38.2.12 SPI 次アクセス遅延レジスタ（SPND） 1687
38.2.13 SPI コントロールレジスタ 2（SPCR2） 1688
38.2.14 SPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7） 1690
38.3 動作説明 1693
38.3.1 SPI 動作の概要 1693
38.3.2 SPI 端子の制御 1694
38.3.3 SPI システム構成例 1695
38.3.4 データフォーマット 1701
38.3.5 転送フォーマット 1710
38.3.6 データ転送モード 1712
38.3.7 送信バッファエンプティ／受信バッファフル割り込み 1714
38.3.8 エラー検出 1716
38.3.9 SPI の初期化 1721
38.3.10 SPI 動作 1722
38.3.11 クロック同期式動作 1737
38.3.12 ループバックモード 1743
38.3.13 パリティビット機能の自己診断 1744
38.3.14 割り込み要因 1745

参考資料

38.4 イベントリンクコントローラ（ELC）への出力 ... 1746
38.4.1 受信バッファフルイベント出力 ... 1746
38.4.2 送信バッファエンプティイベント出力 ... 1746
38.4.3 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力 ... 1746
38.4.4 SPI アイドルイベント出力 ... 1747
38.4.5 送信完了イベント出力 ... 1747
38.5 使用上の注意事項 ... 1748
38.5.1 モジュールストップ機能の設定 ... 1748
38.5.2 低消費電力機能に関する制約 ... 1748
38.5.3 転送の開始に関する制限 ... 1748
38.5.4 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力に関する制限 ... 1748
38.5.5 SPRF および SPTEF フラグに関する制限 ... 1748
39. クワッドシリアルペリフェラルインタフェース（QSPI） ... 1749
39.1 概要 ... 1749
39.2 レジスタの説明 ... 1751
39.2.1 転送モードコントロールレジスタ（SFMSMD） ... 1751
39.2.2 チップ選択コントロールレジスタ（SFMSSC） ... 1752
39.2.3 クロックコントロールレジスタ（SFMSKC） ... 1753
39.2.4 ステータスレジスタ（SFMSST） ... 1754
39.2.5 通信ポートレジスタ（SFMCOM） ... 1755
39.2.6 通信モードコントロールレジスタ（SFMCMD） ... 1755
39.2.7 通信ステータスレジスタ（SFMCST） ... 1756
39.2.8 命令コードレジスタ（SFMSIC） ... 1756
39.2.9 アドレスモードコントロールレジスタ（SFMSAC） ... 1757
39.2.10 ダミーサイクルコントロールレジスタ（SFMSDC） ... 1758
39.2.11 SPI プロトコルコントロールレジスタ（SFMSPC） ... 1759
39.2.12 ポートコントロールレジスタ（SFMPMD） ... 1759
39.2.13 外部 QSPI アドレスレジスタ（SFMCNT1） ... 1760
39.3 メモリマップ ... 1761
39.3.1 内部バス空間 ... 1761
39.3.2 SPI 空間と SPI バスのアドレス幅 ... 1762
39.4 SPI バス ... 1763
39.4.1 SPI プロトコル ... 1763
39.4.2 SPI モード ... 1765
39.5 SPI バスタイミング補正 ... 1766
39.5.1 SPI バス基準周期 ... 1766
39.5.2 QSPCLK 信号デューティ比 ... 1767
39.5.3 QSSL 信号の最小 High レベル幅 ... 1767
39.5.4 QSSL 信号セットアップ時間 ... 1768
39.5.5 QSSL 信号ホールド時間 ... 1768

参考資料

39.5.6 シリアルデータ出力許可のホールド時間 1769
39.5.7 シリアルデータ出力のセットアップ時間 1769
39.5.8 シリアルデータ出力のホールド時間 1770
39.5.9 シリアルデータ受信レイテンシ 1770
39.6 フラッシュアクセスに使用される SPI 命令セット 1771
39.6.1 自動生成される SPI 命令 1771
39.6.2 標準リード命令 1772
39.6.3 ファストリード命令 1773
39.6.4 ファストリード Dual 出力命令 1774
39.6.5 ファストリード Dual I/O 命令 1775
39.6.6 ファストリード Quad 出力命令 1776
39.6.7 ファストリード Quad I/O 命令 1777
39.6.8 4 バイトモード遷移命令 1778
39.6.9 4 バイトモード解除命令 1778
39.6.10 ライトイネーブル命令 1779
39.7 SPI バスサイクル配置 1780
39.7.1 個々の変換に基づくフラッシュリード 1780
39.7.2 プリフェッチ機能を使用したフラッシュリード 1780
39.7.3 プリフェッチの停止 1781
39.7.4 プリフェッチ先の直接指定 1781
39.7.5 プリフェッチ状態ポーリング 1781
39.7.6 SPI バスサイクル拡張機能を使用したフラッシュリード 1782
39.8 XIP 制御 1783
39.8.1 XIP モードの選択 1783
39.8.2 XIP モードの解除 1783
39.9 QIO2 端子、QIO3 端子の状態 1784
39.10 直接通信モード 1785
39.10.1 直接通信 1785
39.10.2 直接通信モードの使用 1785
39.10.3 直接通信時の SPI バスサイクルの発生 1785
39.11 動作説明 1788
39.11.1 複数のコントロールレジスタの設定変更手順 1788
39.12 割り込み 1788
39.13 使用上の注意事項 1788
39.13.1 モジュールストップ機能の設定 1788
40. 巡回冗長検査（CRC）演算器 1789
40.1 概要 1789
40.2 レジスタの説明 1790
40.2.1 CRC コントロールレジスタ 0（CRCCR0） 1790
40.2.2 CRC コントロールレジスタ 1（CRCCR1） 1791
40.2.3 CRC データ入力レジスタ（CRCDIR/CRCDIR_BY） 1791

参考資料

40.2.4 CRC データ出力レジスタ（CRCDOR/CRCDOR_HA/CRCDOR_BY） 1792
40.2.5 スヌープアドレスレジスタ（CRCSAR） 1793
40.3 動作説明 1794
40.3.1 基本動作 1794
40.3.2 CRC スヌープ 1798
40.4 使用上の注意事項 1799
40.4.1 モジュールストップ機能の設定 1799
40.4.2 送信時の注意事項 1799
41. シリアルサウンドインタフェース（SSI） 1800
41.1 概要 1800
41.2 レジスタの説明 1803
41.2.1 コントロールレジスタ（SSICR） 1803
41.2.2 ステータスレジスタ（SSISR） 1808
41.2.3 FIFO コントロールレジスタ（SSIFCR） 1810
41.2.4 FIFO ステータスレジスタ（SSIFSR） 1812
41.2.5 送信 FIFO データレジスタ（SSIFTDR） 1814
41.2.6 受信 FIFO データレジスタ（SSIFRDR） 1814
41.2.7 TDM モードレジスタ（SSITDMR） 1815
41.3 動作説明 1816
41.3.1 バスフォーマット 1816
41.3.2 非圧縮モード 1816
41.3.3 WS コンティニュモード 1821
41.3.4 動作状態 1822
41.3.5 送信動作 1823
41.3.6 受信動作 1826
41.3.7 シリアルビットクロック制御 1828
41.4 割り込み 1829
41.5 使用上の注意事項 1829
41.5.1 モジュールストップ機能の設定 1829
41.5.2 転送モードを切り替える場合の注意事項 1829
41.5.3 WS コンティニュモードの制限 1829
42. サンプリングレートコンバータ（SRC） 1830
42.1 概要 1830
42.2 レジスタの説明 1831
42.2.1 入力データレジスタ（SRCID） 1831
42.2.2 出力データレジスタ（SRCOD） 1832
42.2.3 入力データコントロールレジスタ（SRCIDCTRL） 1833
42.2.4 出力データコントロールレジスタ（SRCODCTRL） 1834
42.2.5 コントロールレジスタ（SRCCTRL） 1835
42.2.6 ステータスレジスタ（SRCSTAT） 1838
42.2.7 フィルタ係数テーブル n（SRCFCTRn）（n = 0 ～ 5551） 1841

参考資料

42.3 動作説明 1842
42.3.1 初期設定 1842
42.3.2 データ入力 1843
42.3.3 データ出力 1844
42.4 割り込み 1846
42.5 使用上の注意事項 1847
42.5.1 レジスタアクセス時の注意 1847
42.5.2 フラッシュ処理に関する注意 1847
42.5.3 DMAC/DTC 転送時の注意 1847
42.5.4 SRC 動作時の注意 1847
42.5.5 モジュールストップ機能の設定 1847
43. SD/MMC ホストインタフェース（SDHI） 1848
43.1 概要 1848
43.2 レジスタの説明 1850
43.2.1 コマンドタイプレジスタ（SD_CMD） 1850
43.2.2 SD コマンドアーギュメントレジスタ（SD_ARG） 1851
43.2.3 SD コマンドアーギュメントレジスタ 1（SD_ARG1） 1851
43.2.4 データストップレジスタ（SD_STOP） 1852
43.2.5 ブロックカウントレジスタ（SD_SECCNT） 1853
43.2.6 SD カードレスポンスレジスタ 10 (SD_RSP10)、SD カードレスポンスレジスタ 32 (SD_RSP32)、SD カードレスポンスレジスタ 54 (SD_RSP54) 1853
43.2.7 SD カードレスポンスレジスタ 1 (SD_RSP1)、SD カードレスポンスレジスタ 3 (SD_RSP3)、SD カードレスポンスレジスタ 5 (SD_RSP5) 1854
43.2.8 SD カードレスポンスレジスタ 76（SD_RSP76） 1854
43.2.9 SD カードレスポンスレジスタ 7（SD_RSP7） 1855
43.2.10 SD カード割り込みフラグレジスタ 1（SD_INFO1） 1856
43.2.11 SD カード割り込みフラグレジスタ 2（SD_INFO2） 1859
43.2.12 SD INFO1 割り込みマスクレジスタ（SD_INFO1_MASK） 1864
43.2.13 SD INFO2 割り込みマスクレジスタ（SD_INFO2_MASK） 1865
43.2.14 SD クロックコントロールレジスタ（SD_CLK_CTRL） 1866
43.2.15 転送データ長レジスタ（SD_SIZE） 1867
43.2.16 SD カードアクセスコントロールオプションレジスタ（SD_OPTION） 1868
43.2.17 SD エラーステータスレジスタ 1（SD_ERR_STS1） 1869
43.2.18 SD エラーステータスレジスタ 2（SD_ERR_STS2） 1870
43.2.19 SD バッファレジスタ（SD_BUF0） 1871
43.2.20 SDIO モードコントロールレジスタ（SDIO_MODE） 1872
43.2.21 SDIO 割り込み割り込みフラグレジスタ（SDIO_INFO1） 1874
43.2.22 SD INFO1 割り込みマスクレジスタ（SDIO_INFO1_MASK） 1875
43.2.23 DMA モードイネーブルレジスタ（SD_DMAEN） 1876
43.2.24 ソフトウェアリセットレジスタ（SOFT_RST） 1877
43.2.25 SD インタフェースモード設定レジスタ（SDIF_MODE） 1878
43.2.26 スワップコントロールレジスタ（EXT_SWAP） 1879

参考資料

43.3 動作説明 1880
43.3.1 SD/MMC インタフェース 1880
43.3.2 カード検出／ライトプロテクト 1882
43.3.3 割り込み要求と DMA 転送要求 1883
43.3.4 通信エラーとタイムアウト 1885
43.3.5 データ転送を行わないコマンド（SD/MMC） 1887
43.3.6 シングルブロックリード（SD/MMC） 1889
43.3.7 シングルブロックライト（SD/MMC） 1891
43.3.8 マルチブロックリード（SD/MMC） 1893
43.3.9 マルチブロックライト（内蔵タイマによる SD/MMC） 1895
43.3.10 マルチブロックライト（外付けタイマによる MMC） 1897
43.3.11 IO_RW_DIRECT コマンド（SD：CMD52） 1899
43.3.12 IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックリード） 1900
43.3.13 IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックライト） 1902
43.3.14 DMA 転送（SD/MMC） 1904
43.3.15 SD_CMD レジスタへの設定例 1906
43.4 使用上の注意事項 1909
43.4.1 SD_BUF0 不正書き込み（SD/MMC） 1909
43.4.2 マルチブロックリードのブロック数制限（SD） 1909
43.4.3 SD/MMC クロック出力の自動制御（SD/MMC） 1910
43.4.4 マルチブロックライトの C52PUB 設定の制御（SD） 1910
43.4.5 SD_CLK_CTRL レジスタ設定時の注意（SD/MMC） 1910
43.4.6 仕様の制限 1910
43.4.7 マルチブロックリード時の STP ビット設定（SD/MMC） 1911
43.4.8 レジスタ設定時の注意 1911
44. パラレルデータキャプチャユニット（PDC） 1912
44.1 概要 1912
44.2 レジスタの説明 1914
44.2.1 PDC コントロールレジスタ 0（PCCR0） 1914
44.2.2 PDC コントロールレジスタ 1（PCCR1） 1916
44.2.3 PDC ステータスレジスタ（PCSR） 1917
44.2.4 PDC 端子モニタレジスタ（PCMONR） 1920
44.2.5 PDC 受信データレジスタ（PCDR） 1921
44.2.6 垂直方向キャプチャレジスタ（VCR） 1922
44.2.7 水平方向キャプチャレジスタ（HCR） 1923
44.3 動作説明 1924
44.3.1 転送フォーマット 1924
44.3.2 転送タイミング 1925
44.3.3 VCR レジスタ、HCR レジスタの設定とキャプチャ範囲 1926
44.3.4 受信動作 1928
44.3.5 水平ブランキング期間中の動作 1929

参考資料

44.3.6 フレームエンドでの継続受信動作 1929
44.3.7 エラー検出 1930
44.3.8 初期設定 1933
44.3.9 動作フロー 1934
44.3.10 割り込み要因 1936
44.3.11 リセット状況 1937
44.4 使用上の注意事項 1938
44.4.1 モジュールストップ機能の設定 1938
44.4.2 低消費電力機能の制限 1938
44.4.3 エラー割り込みの制限 1938
44.4.4 DTC 使用の制限 1938
44.4.5 DMAC 使用の制限 1938
45. バウンダリスキャン 1939
45.1 概要 1939
45.2 レジスタの説明 1940
45.2.1 インストラクションレジスタ（JTIR） 1941
45.2.2 ID コードレジスタ（JTIDR） 1942
45.2.3 バイパスレジスタ（JTBPR） 1942
45.2.4 バウンダリスキャンレジスタ（JTBSR） 1942
45.3 動作説明 1943
45.3.1 TAP コントローラ 1943
45.3.2 コマンド 1944
45.4 使用上の注意事項 1945
46. セキュア暗号エンジン（SCE7） 1946
46.1 概要 1946
46.2 動作説明 1948
46.2.1 暗号エンジン 1948
46.2.2 暗号化と復号 1949
46.3 使用上の注意事項 1949
46.3.1 ソフトウェアスタンバイモード 1949
46.3.2 モジュールストップ機能の設定 1949
47. 12 ビット A/D コンバータ（ADC12） 1950
47.1 概要 1950
47.2 レジスタの説明 1955
47.2.1 A/D データレジスタ y（ADDRy）、
A/D データ 2 重化レジスタ（ADDBLDR）、
A/D データ 2 重化レジスタ A（ADDBLDRA）、
A/D データ 2 重化レジスタ B（ADDBLDRB）、
A/D 温度センサデータレジスタ（ADTSDR）、
A/D 内部基準電圧データレジスタ（ADOCDR） 1955
47.2.2 A/D 自己診断データレジスタ（ADRD） 1959
47.2.3 A/D コントロールレジスタ（ADCSR） 1963
47.2.4 A/D チャネル選択レジスタ A0（ADANSA0） 1967

参考資料

47.2.5 A/D チャネル選択レジスタ A1（ADANSA1） 1968
47.2.6 A/D チャネル選択レジスタ B0（ADANSB0） 1969
47.2.7 A/D チャネル選択レジスタ B1（ADANSB1） 1970
47.2.8 A/D 変換値加算／平均チャネル選択レジスタ 0（ADADS0） 1971
47.2.9 A/D 変換値加算／平均チャネル選択レジスタ 1（ADADS1） 1972
47.2.10 A/D 変換値加算／平均回数選択レジスタ（ADADC） 1973
47.2.11 A/D コントロール拡張レジスタ（ADCER） 1974
47.2.12 A/D 変換開始トリガ選択レジスタ（ADSTRGR） 1976
47.2.13 A/D 変換拡張入力コントロールレジスタ（ADEXICR） 1978
47.2.14 A/D サンプリングステートレジスタ n（ADSSTRn）（n = 00 ～ 06, L, T, O） 1980
47.2.15 A/D サンプル & ホールド回路コントロールレジスタ（ADSHCR） 1981
47.2.16 A/D サンプル & ホールド動作モード選択レジスタ（ADSHMSR） 1982
47.2.17 A/D 断線検出コントロールレジスタ（ADDISCR） 1983
47.2.18 A/D グループスキャン優先コントロールレジスタ（ADGSPCR） 1984
47.2.19 A/D コンペア機能コントロールレジスタ（ADCMPCR） 1985
47.2.20 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0（ADCMPANSR0） 1987
47.2.21 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1（ADCMPANSR1） 1988
47.2.22 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ（ADCMPANSER） 1989
47.2.23 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0（ADCMPLR0） 1990
47.2.24 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1（ADCMPLR1） 1992
47.2.25 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ（ADCMPLER） .. 1993
47.2.26 A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ （ADCMPDR0）、A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ （ADCMPDR1）、A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ （ADWINLLB）、A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ （ADWINULB） 1994
47.2.27 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0（ADCMPSR0） ... 1996
47.2.28 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1（ADCMPSR1） ... 1997
47.2.29 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ（ADCMPSER） 1998
47.2.30 A/D コンペア機能ウィンドウ B チャネルステータスレジスタ（ADCMPBNSR） ... 1999
47.2.31 A/D コンペア機能ウィンドウ B ステータスレジスタ（ADCMPBSR） 2001
47.2.32 A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ（ADWINMON） 2002
47.2.33 A/D プログラマブルゲインアンプコントロールレジスタ（ADPGACR） 2004
47.2.34 A/D プログラマブルゲインアンプゲイン設定レジスタ 0（ADPGAGS0） 2005
47.2.35 A/D プログラマブルゲインアンプ差動入力コントロールレジスタ（ADPGADCR0） 2006
47.3 動作説明 2007
47.3.1 スキャンの動作説明 2007
47.3.2 シングルスキャンモード 2008
47.3.3 連続スキャンモード 2017
47.3.4 グループスキャンモード 2025
47.3.5 コンペア機能（ウィンドウ A、ウィンドウ B） 2038

参考資料

47.3.6 アナログ入力のサンプリング時間とスキャン変換時間 2042
47.3.7 A/D データレジスタの自動クリア機能の使用例 2045
47.3.8 A/D 変換値加算／平均モード 2045
47.3.9 断線検出アシスト機能 2046
47.3.10 非同期トリガによる A/D 変換の開始 2047
47.3.11 周辺モジュールからの同期トリガによる A/D 変換の開始 2048
47.3.12 プログラマブルゲインアンプ機能 2048
47.4 割り込み要因と DTC/DMAC 転送要求 2049
47.4.1 割り込み要求 2049
47.5 イベントリンク機能 2051
47.5.1 ELC へのイベント出力 2051
47.5.2 ELC からのイベントによる ADC12 の動作 2051
47.6 使用上の注意事項 2052
47.6.1 データレジスタの読み出しに関する制限 2052
47.6.2 A/D 変換停止時の注意事項 2053
47.6.3 A/D 変換強制停止と再開時の動作タイミング 2054
47.6.4 スキャン終了割り込み処理の制限 2054
47.6.5 モジュールストップ機能の設定 2054
47.6.6 低消費電力状態への遷移に関する注意事項 2054
47.6.7 断線検出アシスト機能使用時の絶対精度誤差 2054
47.6.8 AN000 ～ AN002 および AN100 ～ AN102 の使用可能な機能とレジスタ設定 2054
47.6.9 動作モードおよびステータスビット 2056
47.6.10 ボード設計に関する注意事項 2056
47.6.11 ノイズ軽減 2057
47.6.12 12 ビット A/D コンバータ入力を使用する場合のポートの設定 2057
47.6.13 A/D コンバータと ACMPHS の関係 2058
48. 12 ビット D/A コンバータ（DAC12） 2059
48.1 概要 2059
48.2 レジスタの説明 2061
48.2.1 D/A データレジスタ m（DADRm）（m = 0, 1） 2061
48.2.2 D/A コントロールレジスタ（DACR） 2062
48.2.3 DADRm フォーマット選択レジスタ（DADPR） 2063
48.2.4 D/A A/D 同期スタートコントロールレジスタ（DAADSCR） 2064
48.2.5 D/A 出力アンプコントロールレジスタ（DAAMPCR） 2065
48.2.6 D/A A/D 同期ユニット選択レジスタ（DAADUSR） 2066
48.3 動作説明 2067
48.3.1 D/A 変換と A/D 変換の干渉の最小化 2068
48.4 イベントリンクの動作設定手順 2070
48.4.1 DA0 イベントリンクの動作設定手順 2070
48.4.2 DA1 イベントリンクの動作設定手順 2070
48.5 イベントリンク動作における注意事項 2070

参考資料

48.6 使用上の注意事項 2071
48.6.1 モジュールストップ機能の設定 2071
48.6.2 モジュールストップ時の DAC12 の動作 2071
48.6.3 ソフトウェアスタンバイモード時の DAC12 の動作 2071
48.6.4 ディープソフトウェアスタンバイモード時の DAC12 の動作 2071
48.6.5 出力アンプ使用時の制限 2071
48.6.6 D/A 変換と A/D 変換の干渉低減有効時の制限 2071
49. 温度センサ（TSN） 2072
49.1 概要 2072
49.2 レジスタの説明 2073
49.2.1 温度センサコントロールレジスタ（TSCR） 2073
49.3 温度センサの使用方法 2074
49.3.1 使用前の準備 2074
49.3.2 温度センサの使用手順 2075
49.4 使用上の注意事項 2077
49.4.1 モジュールストップ機能の設定 2077
49.4.2 制限事項 2077
50. 高速アナログコンパレータ（ACMPHS） 2078
50.1 概要 2078
50.2 レジスタの説明 2080
50.2.1 コンパレータコントロールレジスタ（CMPCTL） 2080
50.2.2 コンパレータ入力選択レジスタ（CMPSEL0） 2081
50.2.3 コンパレータ基準電圧選択レジスタ（CMPSEL1） 2082
50.2.4 コンパレータ出力モニタレジスタ（CMPMON） 2082
50.2.5 コンパレータ出力コントロールレジスタ（CPIOC） 2083
50.3 動作説明 2084
50.4 ノイズフィルタ 2086
50.5 ACMPHS 割り込み 2087
50.6 イベントリンクコントローラ（ELC）への ACMPHS 出力 2087
50.7 ACMPHS 端子出力 2087
50.8 使用上の注意事項 2087
50.8.1 モジュールストップ機能の設定 2087
50.8.2 ADC12 との関係 2087
51. 静電容量式タッチセンシングユニット（CTSU） 2088
51.1 概要 2088
51.2 レジスタの説明 2090
51.2.1 CTSU コントロールレジスタ 0（CTSUCR0） 2090
51.2.2 CTSU コントロールレジスタ 1（CTSUCR1） 2092
51.2.3 CTSU 同期ノイズ低減設定レジスタ（CTSUSDPRS） 2093
51.2.4 CTSU センサ安定待ち時間コントロールレジスタ（CTSUSST） 2094
51.2.5 CTSU 計測チャネルレジスタ 0（CTSUMCH0） 2095

参考資料

51.2.6 CTSU 計測チャネルレジスタ 1（CTSUMCH1） 2096
51.2.7 CTSU チャネルイネーブルコントロールレジスタ 0（CTSUCHAC0） 2097
51.2.8 CTSU チャネルイネーブルコントロールレジスタ 1（CTSUCHAC1） 2097
51.2.9 CTSU チャネルイネーブルコントロールレジスタ 2（CTSUCHAC2） 2098
51.2.10 CTSU チャネル送受信コントロールレジスタ 0（CTSUCHTRC0） 2098
51.2.11 CTSU チャネル送受信コントロールレジスタ 1（CTSUCHTRC1） 2099
51.2.12 CTSU チャネル送受信コントロールレジスタ 2（CTSUCHTRC2） 2099
51.2.13 CTSU 高域ノイズ低減コントロールレジスタ（CTSUDCLKC） 2100
51.2.14 CTSU ステータスレジスタ（CTSUST） 2101
51.2.15 CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ（CTSUSSC） 2103
51.2.16 CTSU センサオフセットレジスタ 0（CTSUSO0） 2104
51.2.17 CTSU センサオフセットレジスタ 1（CTSUSO1） 2105
51.2.18 CTSU センサカウンタ（CTSUSC） 2106
51.2.19 CTSU リファレンスカウンタ（CTSURC） 2107
51.2.20 CTSU エラーステータスレジスタ（CTSUERRS） 2108
51.3 動作説明 2109
51.3.1 計測動作原理 2109
51.3.2 計測モード 2111
51.3.3 複数モードに関わる共通機能 2122
51.4 使用上の注意事項 2125
51.4.1 計測結果データ（CTSUSC カウンタ、CTSURC カウンタ） 2125
51.4.2 ソフトウェアトリガ 2125
51.4.3 外部トリガ 2125
51.4.4 強制動作停止の注意事項 2125
51.4.5 TSCAP 端子 2126
51.4.6 計測動作時（CTSUCR0.CTSUSTRT ビット = 1）の注意事項 2126
52. データ演算回路（DOC） 2127
52.1 概要 2127
52.2 レジスタの説明 2128
52.2.1 DOC コントロールレジスタ（DOCR） 2128
52.2.2 DOC データインプットレジスタ（DODIR） 2129
52.2.3 DOC データ設定レジスタ（DODSR） 2129
52.3 動作説明 2130
52.3.1 データ比較モード 2130
52.3.2 データ加算モード 2130
52.3.3 データ減算モード 2131
52.4 イベントリンクコントローラ（ELC）への割り込み要求と出力 2132
52.5 使用上の注意事項 2132
52.5.1 モジュールストップ機能の設定 2132
53. SRAM 2133
53.1 概要 2133

参考資料

53.2 レジスタの説明 2134
53.2.1 SRAM パリティエラー検出後動作レジスタ（PARIOAD） 2134
53.2.2 SRAM プロテクトレジスタ（SRAMPRCR） 2134
53.2.3 SRAM ウェイトステートコントロールレジスタ（SRAMWTSC） 2135
53.2.4 OED 動作モードコントロールレジスタ（DEDMODE） 2137
53.2.5 DED 2 ビットエラーステータスレジスタ（DED2STS） 2137
53.2.6 DED 1 ビットエラー情報更新イネーブルレジスタ（DED1STSEN） 2138
53.2.7 DED 1 ビットエラーステータスレジスタ（DED1STS） 2138
53.2.8 DED プロテクトレジスタ（DEDPRCR） 2139
53.2.9 SRAM DED エラー検出後動作レジスタ（DEDOAD） 2139
53.3 動作説明 2140
53.3.1 低消費電力機能 2140
53.3.2 DED 機能 2140
53.3.3 DED エラー発生 2140
53.3.4 パリティ計算機能 2140
53.3.5 SRAM エラー要因 2142
53.3.6 アクセスサイクル 2143
53.4 使用上の注意事項 2144
53.4.1 ウェイトステートの挿入 2144
53.4.2 SRAM 領域からの命令フェッチ 2144
53.4.3 SRAM のストアバッファ 2144
54. スタンバイ SRAM 2145
54.1 概要 2145
54.2 動作説明 2145
54.2.1 データ保持 2145
54.2.2 低消費電力機能 2145
54.2.3 パリティ計算機能 2145
54.2.4 アクセスサイクル 2146
54.3 使用上の注意事項 2146
54.3.1 スタンバイ SRAM 領域からの命令フェッチ 2146
55. フラッシュメモリ 2147
55.1 概要 2147
55.2 メモリ構成 2149
55.3 フラッシュキャッシュ 2150
55.3.1 概要 2150
55.3.2 レジスタの説明 2151
55.4 動作説明 2153
55.4.1 フラッシュキャッシュ使用における注意 2153
55.5 フラッシュメモリ関連の動作モード 2154
55.5.1 ID コードプロテクト 2154
55.6 機能概要 2156

参考資料

55.6.1 構成領域ビットマップ 2158
55.6.2 スタートアップ領域選択 2158
55.6.3 アクセスウィンドウによるプロテクション 2159
55.7 プログラムコマンド 2162
55.8 サスペンド動作 2162
55.9 プロテクション機能 2162
55.10 シリアルプログラミングモード 2163
55.10.1 SCI ブートモード 2163
55.10.2 USB ブートモード 2164
55.11 シリアルプログラマを使用したプログラミング 2165
55.11.1 シリアルプログラミング 2165
55.11.2 プログラミング環境 2165
55.12 セルフプログラミングでの書き換え 2166
55.12.1 概要 2166
55.12.2 バックグラウンドオペレーション 2166
55.13 フラッシュメモリの読み出し 2167
55.13.1 コードフラッシュメモリの読み出し 2167
55.13.2 データフラッシュメモリの読み出し 2167
55.14 使用上の注意事項 2167
55.14.1 プログラム／イレースを中断した領域の読み出し 2167
55.14.2 追加の書き込みに関する制約 2167
55.14.3 プログラム／イレース中のリセット 2167
55.14.4 プログラム／イレース中の割り込み／例外ベクタの配置 2167
55.14.5 プログラム／イレース中の制限 2167
55.14.6 プログラム／イレース中の異常終了 2168
56. 2D 描画エンジン（DRW） 2169
56.1 概要 2169
56.2 レジスタの説明 2172
56.2.1 ジオメトリコントロールレジスタ（CONTROL） 2172
56.2.2 サーフェスコントロールレジスタ（CONTROL2） 2174
56.2.3 割り込みコントロールレジスタ（IRQCTL） 2177
56.2.4 キャッシュコントロールレジスタ（CACHECTL） 2178
56.2.5 ステータスコントロールレジスタ（STATUS） 2179
56.2.6 ハードウェアバージョンおよび機能セット ID レジスタ（HWREVISION） 2180
56.2.7 ベースカラーレジスタ（COLOR1） 2181
56.2.8 セカンダリカラーレジスタ（COLOR2） 2182
56.2.9 パターンレジスタ（PATTERN） 2183
56.2.10 リミッタ N 開始値レジスタ（LnSTART） 2183
56.2.11 リミッタ N X 軸インクリメントレジスタ（LnXADD） 2184
56.2.12 リミッタ N Y 軸インクリメントレジスタ（LnYADD） 2184
56.2.13 リミッタ M バンド幅パラメータレジスタ（LmBAND） 2185

参考資料

56.2.14 テクスチャベースアドレスレジスタ（TEXORIGIN） 2185
56.2.15 テクスチャライン別テクセル数レジスタ（TEXPITCH） 2186
56.2.16 テクスチャサイズ／テクスチャアドレスマスクレジスタ（TEXMASK） 2186
56.2.17 U リミッタ開始値レジスタ（LUSTART） 2187
56.2.18 U リミッタ X 軸インクリメントレジスタ（LUXADD） 2187
56.2.19 U リミッタ Y 軸インクリメントレジスタ（LUYADD） 2188
56.2.20 V リミッタ開始値整数部レジスタ（LVSTARTI） 2188
56.2.21 V リミッタ開始値小数部レジスタ（LVSTARTF） 2189
56.2.22 V リミッタ X 軸インクリメント整数部レジスタ（LVXADDI） 2189
56.2.23 V リミッタ Y 軸インクリメント整数部レジスタ（LVYADDI） 2190
56.2.24 V リミッタインクリメント小数部レジスタ（LVYXADDF） 2190
56.2.25 CLUT 開始アドレスレジスタ（TEXCLADDR） 2191
56.2.26 CLUT データレジスタ（TEXCLDATA） 2191
56.2.27 CLUT オフセットレジスタ（TEXCLOFFSET） 2192
56.2.28 カラーキーレジスタ（COLKEY） 2192
56.2.29 バウンディングボックス次元レジスタ（SIZE） 2193
56.2.30 フレームバッファピッチおよびスパンストア遅延レジスタ（PITCH） 2193
56.2.31 フレームバッファベースアドレスレジスタ（ORIGIN） 2194
56.2.32 ディスプレイリスト開始アドレスレジスタ（DLISTSTART） 2194
56.2.33 パフォーマンスカウンタコントロールレジスタ（PERFTRIGGER） 2195
56.2.34 パフォーマンスカウンタ k（PERFCOUNTk）（k = 1, 2） 2195
56.3 描画機能 2196
56.3.1 描画機能の概要 2196
56.3.2 ベクタ描画 2197
56.3.3 BitBLT 2198
56.4 入出力データフォーマット 2200
56.4.1 転送元データと転送先データ 2200
56.4.2 フレームバッファカラーフォーマット 2200
56.4.3 テクスチャカラーフォーマット 2200
56.5 テクスチャデータの処理 2202
56.5.1 テクスチャカラーフォーマット 2202
56.5.2 ランレングスエンコード（RLE）ユニット 2202
56.5.3 カラールックアップテーブル（CLUT） 2204
56.5.4 カラーキーイング 2205
56.6 レンダリングパイプライン 2206
56.6.1 座標変換 2206
56.6.2 ラスタライゼーション 2206
56.6.3 テクスチャ処理 2218
56.6.4 カラライゼーション 2221
56.6.5 ブレンディング 2222
56.7 レンダリングモード 2226

参考資料

56.7.1 レジスタモード 2226
56.7.2 ディスプレイリストモード 2226
56.7.3 レンダリング処理の停止 2230
56.8 割り込み 2231
56.8.1 割り込み要因 2231
56.8.2 割り込みコントロール 2231
56.9 パフォーマンスカウンタ 2233
56.10 2D 描画エンジンのレンダリング処理の停止 2234
57. JPEG コーデック 2235
57.1 概要 2235
57.2 レジスタの説明 2236
57.2.1 JPEG コードモードレジスタ（JCMOD） 2236
57.2.2 JPEG コードコマンドレジスタ（JCCMD） 2237
57.2.3 JPEG コード量子化テーブル番号レジスタ（JCQTN） 2238
57.2.4 JPEG コードハフマンテーブル番号レジスタ（JCHTN） 2238
57.2.5 JPEG コード DRI 上位レジスタ（JCDRIU） 2239
57.2.6 JPEG コード DRI 下位レジスタ（JCDRID） 2239
57.2.7 JPEG コード垂直方向サイズ上位レジスタ（JCVSZU） 2239
57.2.8 JPEG コード垂直方向サイズ下位レジスタ（JCVSZD） 2240
57.2.9 JPEG コード水平方向サイズ上位レジスタ（JCHSZU） 2240
57.2.10 JPEG コード水平方向サイズ下位レジスタ（JCHSZD） 2240
57.2.11 JPEG コードデータカウント上位レジスタ（JCDTCU） 2241
57.2.12 JPEG コードデータカウント中位レジスタ（JCDTCM） 2241
57.2.13 JPEG コードデータカウント下位レジスタ（JCDTCD） 2241
57.2.14 JPEG 割り込みイネーブルレジスタ 0（JINTE0） 2242
57.2.15 JPEG 割り込みステータスレジスタ 0（JINTS0） 2243
57.2.16 JPEG コードデコードエラーレジスタ（JCDERR） 2243
57.2.17 JPEG コード再起動レジスタ（JCRST） 2244
57.2.18 JPEG インタフェース圧縮コントロールレジスタ（JIFECNT） 2245
57.2.19 JPEG インタフェース圧縮ソースアドレスレジスタ（JIFESA） 2246
57.2.20 JPEG インタフェース圧縮ラインオフセットレジスタ（JIFESOFST） 2246
57.2.21 JPEG インタフェース圧縮デスティネーションアドレスレジスタ（JIFEDA） 2247
57.2.22 JPEG インタフェース圧縮ソースラインカウントレジスタ（JIFESLC） 2247
57.2.23 JPEG インタフェース伸長コントロールレジスタ（JIFDCNT） 2248
57.2.24 JPEG インタフェース伸長ソースアドレスレジスタ（JIFDSA） 2249
57.2.25 JPEG インタフェース伸長ラインオフセットレジスタ（JIFDDOFST） 2250
57.2.26 JPEG インタフェース伸長デスティネーションアドレスレジスタ（JIFDDA） 2250
57.2.27 JPEG インタフェース伸長ソースデータカウントレジスタ（JIFDSDC） 2251
57.2.28 JPEG インタフェース伸長デスティネーションラインカウントレジスタ（JIFDDLC） 2252
57.2.29 JPEG インタフェース伸長 α 設定レジスタ（JIFDADT） 2252

参考資料

57.2.30 JPEG 割り込みイネーブルレジスタ 1（JINTE1） 2253
57.2.31 JPEG 割り込みステータスレジスタ 1（JINTS1） 2254
57.3 動作説明 2255
57.3.1 圧縮 2255
57.3.2 伸長 2261
57.3.3 伸長時の出力ピクセルフォーマット 2267
57.3.4 画像データ格納 2270
57.4 割り込み 2271
57.4.1 圧縮伸長処理割り込み要求（JPEG_JEDI） 2271
57.4.2 データ転送処理割り込み要求（JPEG_JDTI） 2272
57.5 バスリセット処理 2273
58. グラフィック LCD コントローラ（GLCDC） 2274
58.1 機能概要 2276
58.1.1 GLCDC 構成 2277
58.1.2 画面フォーマット 2279
58.1.3 グラフィック、カラーパレット（CLUT）のデータフォーマット 2279
58.1.4 データフォーマットの出力制御 2280
58.1.5 パネル指向型補正処理の出力制御 2285
58.1.6 TCON の出力制御 2286
58.1.7 グラフィックデータインタフェース 2286
58.1.8 ブレンディング 2287
58.2 レジスタの説明 2290
58.2.1 カラーパレット（CLUT） 2290
58.2.2 バックグラウンドプレーン設定動作コントロールレジスタ （BG_EN） 2291
58.2.3 バックグラウンドプレーン設定フリーラン周期レジスタ （BG_PERI） 2293
58.2.4 バックグラウンドプレーン設定同期位置レジスタ（BG_SYNC） 2294
58.2.5 バックグラウンドプレーン設定垂直方向画像フルサイズレジスタ（BG_VSIZE） 2295
58.2.6 バックグラウンドプレーン設定水平方向画像フルサイズレジスタ（BG_HSIZE） 2296
58.2.7 バックグラウンドプレーン設定背景色レジスタ（BG_BGC） 2297
58.2.8 バックグラウンドプレーン設定ステータスモニタレジスタ（BG_MON） 2298
58.2.9 グラフィック 1 レジスタ更新コントロールレジスタ（GR1_VEN）
グラフィック 2 レジスタ更新コントロールレジスタ（GR2_VEN） 2299
58.2.10 グラフィック 1 フレームバッファ読み出しコントロールレジスタ（GR1_FLMRD）
グラフィック 2 フレームバッファ読み出しコントロールレジスタ（GR2_FLMRD） 2300
58.2.11 グラフィック 1 フレームバッファコントロールレジスタ 1（GR1_FLM1）
グラフィック 2 フレームバッファコントロールレジスタ 1（GR2_FLM1） 2301
58.2.12 グラフィック 1 フレームバッファコントロールレジスタ 2（GR1_FLM2）
グラフィック 2 フレームバッファコントロールレジスタ 2（GR2_FLM2） 2302
58.2.13 グラフィック 1 フレームバッファコントロールレジスタ 3（GR1_FLM3）
グラフィック 2 フレームバッファコントロールレジスタ 3（GR2_FLM3） 2303

参考資料

58.2.14 グラフィック 1 フレームバッファコントロールレジスタ 5（GR1_FLM5）
グラフィック 2 フレームバッファコントロールレジスタ 5（GR2_FLM5）..... 2304

58.2.15 グラフィック 1 フレームバッファコントロールレジスタ 6（GR1_FLM6）
グラフィック 2 フレームバッファコントロールレジスタ 6（GR2_FLM6）..... 2305

58.2.16 グラフィック 1 アルファブレンディングコントロールレジスタ 1（GR1_AB1）
グラフィック 2 アルファブレンディングコントロールレジスタ 1（GR2_AB1）... 2306

58.2.17 グラフィック 1 アルファブレンディングコントロールレジスタ 2（GR1_AB2）
グラフィック 2 アルファブレンディングコントロールレジスタ 2（GR2_AB2）... 2308

58.2.18 グラフィック 1 アルファブレンディングコントロールレジスタ 3（GR1_AB3）
グラフィック 2 アルファブレンディングコントロールレジスタ 3（GR2_AB3）... 2309

58.2.19 グラフィック 1 アルファブレンディングコントロールレジスタ 4（GR1_AB4）
グラフィック 2 アルファブレンディングコントロールレジスタ 4（GR2_AB4）... 2310

58.2.20 グラフィック 1 アルファブレンディングコントロールレジスタ 5（GR1_AB5）
グラフィック 2 アルファブレンディングコントロールレジスタ 5（GR2_AB5）... 2311

58.2.21 グラフィック 1 アルファブレンディングコントロールレジスタ 6（GR1_AB6）
グラフィック 2 アルファブレンディングコントロールレジスタ 6（GR2_AB6）... 2312

58.2.22 グラフィック 1 アルファブレンディングコントロールレジスタ 7（GR1_AB7）
グラフィック 2 アルファブレンディングコントロールレジスタ 7（GR2_AB7）... 2313

58.2.23 グラフィック 1 アルファブレンディングコントロールレジスタ 8（GR1_AB8）
グラフィック 2 アルファブレンディングコントロールレジスタ 8（GR2_AB8）... 2314

58.2.24 グラフィック 1 アルファブレンディングコントロールレジスタ 9（GR1_AB9）
グラフィック 2 アルファブレンディングコントロールレジスタ 9（GR2_AB9）... 2315

58.2.25 グラフィック 1 背景色コントロールレジスタ（GR1_BASE）
グラフィック 2 背景色コントロールレジスタ（GR2_BASE）..... 2316

58.2.26 グラフィック 1CLUT テーブル割り込みコントロールレジスタ
（GR1_CLUTINT）
グラフィック 2CLUT テーブル割り込みコントロールレジスタ
（GR2_CLUTINT）..... 2317

58.2.27 グラフィック 1 ステータスモニタレジスタ（GR1_MON）
グラフィック 2 ステータスモニタレジスタ（GR2_MON）..... 2318

58.2.28 ガンマ G レジスタ更新コントロールレジスタ（GAMG_LATCH）
ガンマ B レジスタ更新コントロールレジスタ（GAMB_LATCH）
ガンマ R レジスタ更新コントロールレジスタ（GAMR_LATCH）..... 2319

58.2.29 ガンマ補正ブロック機能切り替えレジスタ（GAM_SW）..... 2320

58.2.30 ガンマ G 補正ブロックテーブル設定レジスタ 1（GAMG_LUT1）
ガンマ B 補正ブロックテーブル設定レジスタ 1（GAMB_LUT1）
ガンマ R 補正ブロックテーブル設定レジスタ 1（GAMR_LUT1）..... 2321

58.2.31 ガンマ G 補正ブロックテーブル設定レジスタ 2（GAMG_LUT2）
ガンマ B 補正ブロックテーブル設定レジスタ 2（GAMB_LUT2）
ガンマ R 補正ブロックテーブル設定レジスタ 2（GAMR_LUT2）..... 2323

58.2.32 ガンマ G 補正ブロックテーブル設定レジスタ 3（GAMG_LUT3）
ガンマ B 補正ブロックテーブル設定レジスタ 3（GAMB_LUT3）
ガンマ R 補正ブロックテーブル設定レジスタ 3（GAMR_LUT3）..... 2324

58.2.33 ガンマ G 補正ブロックテーブル設定レジスタ 4（GAMG_LUT4）
ガンマ B 補正ブロックテーブル設定レジスタ 4（GAMB_LUT4）
ガンマ R 補正ブロックテーブル設定レジスタ 4（GAMR_LUT4）..... 2325

58.2.34 ガンマ G 補正ブロックテーブル設定レジスタ 5（GAMG_LUT5）
ガンマ B 補正ブロックテーブル設定レジスタ 5（GAMB_LUT5）
ガンマ R 補正ブロックテーブル設定レジスタ 5（GAMR_LUT5）..... 2326

参考資料

58.2.35 ガンマ G 補正ブロックテーブル設定レジスタ 6（GAMG_LUT6）
ガンマ B 補正ブロックテーブル設定レジスタ 6（GAMB_LUT6）
ガンマ R 補正ブロックテーブル設定レジスタ 6（GAMR_LUT6）..... 2327

58.2.36 ガンマ G 補正ブロックテーブル設定レジスタ 7（GAMG_LUT7）
ガンマ B 補正ブロックテーブル設定レジスタ 7（GAMB_LUT7）
ガンマ R 補正ブロックテーブル設定レジスタ 7（GAMR_LUT7）..... 2328

58.2.37 ガンマ G 補正ブロックテーブル設定レジスタ 8（GAMG_LUT8）
ガンマ B 補正ブロックテーブル設定レジスタ 8（GAMB_LUT8）
ガンマ R 補正ブロックテーブル設定レジスタ 8（GAMR_LUT8）..... 2329

58.2.38 ガンマ G 補正ブロック領域設定レジスタ 1（GAMG_AREA1）
ガンマ B 補正ブロック領域設定レジスタ 1（GAMB_AREA1）
ガンマ R 補正ブロック領域設定レジスタ 1（GAMR_AREA1）..... 2330

58.2.39 ガンマ G 補正ブロック領域設定レジスタ 2（GAMG_AREA2）
ガンマ B 補正ブロック領域設定レジスタ 2（GAMB_AREA2）
ガンマ R 補正ブロック領域設定レジスタ 2（GAMR_AREA2）..... 2331

58.2.40 ガンマ G 補正ブロック領域設定レジスタ 3（GAMG_AREA3）
ガンマ B 補正ブロック領域設定レジスタ 3（GAMB_AREA3）
ガンマ R 補正ブロック領域設定レジスタ 3（GAMR_AREA3）..... 2332

58.2.41 ガンマ G 補正ブロック領域設定レジスタ 4（GAMG_AREA4）
ガンマ B 補正ブロック領域設定レジスタ 4（GAMB_AREA4）
ガンマ R 補正ブロック領域設定レジスタ 4（GAMR_AREA4）..... 2333

58.2.42 ガンマ G 補正ブロック領域設定レジスタ 5（GAMG_AREA5）
ガンマ B 補正ブロック領域設定レジスタ 5（GAMB_AREA5）
ガンマ R 補正ブロック領域設定レジスタ 5（GAMR_AREA5）..... 2334

58.2.43 出力コントロールブロックレジスタ更新コントロールレジスタ
（OUT_VLATCH）..... 2335

58.2.44 出力コントロールブロック出力インタフェースレジスタ（OUT_SET）..... 2336

58.2.45 出力コントロールブロック輝度補正レジスタ 1（OUT_BRIGHT1）..... 2338

58.2.46 出力コントロールブロック輝度補正レジスタ 2（OUT_BRIGHT2）..... 2339

58.2.47 出力コントロールブロックコントラスト補正レジスタ（OUT_CONTRAST）..... 2340

58.2.48 出力コントロールブロックパネルディザ補正レジスタ（OUT_PDTHA）..... 2341

58.2.49 出力コントロールブロック出力相コントロールレジスタ（OUT_CLKPHASE）.... 2344

58.2.50 TCON リファレンスタイミング設定レジスタ（TCON_TIM）..... 2346

58.2.51 TCON 垂直タイミング設定レジスタ A1（TCON_STVA1）
TCON 垂直タイミング設定レジスタ B1（TCON_STVB1）..... 2348

58.2.52 TCON 垂直タイミング設定レジスタ A2（TCON_STVA2）
TCON 垂直タイミング設定レジスタ B2（TCON_STVB2）..... 2350

58.2.53 TCON 水平タイミング設定レジスタ STHA1（TCON_STHA1）
TCON 水平タイミング設定レジスタ STHB1（TCON_STHB1）..... 2352

58.2.54 TCON 水平タイミング設定レジスタ STHA2（TCON_STHA2）
TCON 水平タイミング設定レジスタ STHB2（TCON_STHB2）..... 2354

58.2.55 TCON データイネーブル極性設定レジスタ（TCON_DE）..... 2355

58.2.56 システムコントロールブロックステート検出コントロールレジスタ
（SYSCNT_DTCTEN）..... 2356

58.2.57 システムコントロールブロック割り込み要求イネーブルコントロールレジスタ
（SYSCNT_INTEN）..... 2357

58.2.58 システムコントロールブロックステータスクリアレジスタ（SYSCNT_STCLR）. 2358

参考資料

58.2.59 システムコントロールブロックステータスモニタレジスタ（SYSCNT_STMON） 2359
58.2.60 システムコントロールブロックバージョンおよびパネルクロックコントロールレジスタ（SYSCNT_PANEL_CLK） 2361
58.3 動作説明 2363
58.3.1 制御の概要 2363
58.3.2 画面の定義 2367
58.3.3 アンダーフローと割り込み 2368
59. 内部電圧レギュレータ 2370
59.1 概要 2370
59.2 動作説明 2370
59.3 使用上の注意事項 2371
60. 電気的特性 2372
60.1 絶対最大定格 2373
60.2 DC 特性 2374
60.2.1 Tj/Ta の定義 2374
60.2.2 I/O V_{IH}, V_{IL} 2375
60.2.3 I/O I_{OH}, I_{OL} 2376
60.2.4 I/O V_{OH}、V_{OL}、その他の特性 2377
60.2.5 動作電流とスタンバイ電流 2378
60.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数 2380
60.3 AC 特性 2381
60.3.1 周波数 2381
60.3.2 クロックタイミング 2382
60.3.3 リセットタイミング 2385
60.3.4 ウェイクアップタイミングと期間 2386
60.3.5 NMI/IRQ ノイズフィルタ 2390
60.3.6 バスタイミング 2391
60.3.7 I/O ポート、POEG、GPT32、AGT、KINT、ADC12 トリガタイミング 2403
60.3.8 PWM 遅延生成回路タイミング 2406
60.3.9 CAC タイミング 2406
60.3.10 SCI タイミング 2407
60.3.11 SPI タイミング 2412
60.3.12 QSPI タイミング 2417
60.3.13 IIC タイミング 2418
60.3.14 SSI タイミング 2421
60.3.15 SD/MMC ホストインタフェースタイミング 2423
60.3.16 ETHERC タイミング 2424
60.3.17 PDC タイミング 2428
60.3.18 グラフィック LCD コントローラタイミング 2430
60.4 USB 特性 2432
60.4.1 USBHS タイミング 2432

参考資料

60.4.2 USBFS タイミング 2436
60.5 ADC12 特性 2438
60.6 DAC12 特性 2441
60.7 TSN 特性 2441
60.8 OSC 停止検出特性 2441
60.9 POR/LVD 特性 2442
60.10 VBATT 特性 2445
60.11 CTSU 特性 2445
60.12 コンパレータ特性 2445
60.13 PGA 特性 2446
60.14 フラッシュメモリ特性 2448
60.14.1 コードフラッシュメモリ特性 2448
60.14.2 データフラッシュメモリ特性 2450
60.15 バウンダリスキャン 2451
60.16 ジョイントテストアクショングループ（JTAG） 2453
60.17 シリアルワイヤデバッグ（SWD） 2454
60.18 エンベデッドトレースマクロインタフェース（ETM） 2455
付録 1. 各プロセスモードのポート状態 2456
付録 2. 外形寸法図 2462
付録 3. I/O レジスタ 2468
3.1 ペリフェラルベースアドレス 2468
3.2 アクセスサイクル 2471
3.3 レジスタの説明 2473
改訂記録 2525

トップ性能の240MHz Arm® Cortex®-M4コア、最大4MBのコードフラッシュメモリ、640KB SRAM、グラフィックLCDコントローラ、2D描画エンジン、静電容量式タッチセンシングユニット、IEEE1588 PTP対応イーサネットMACコントローラ、USB2.0ハイスピード、USB2.0フルスピード、SDHI、クワッドシリアルペリフェラルインタフェース、セキュリティ＆セーフティ機能、および高度なアナログ機能

特長

■ 浮動小数点ユニット(FPU)内蔵 Arm Cortex-M4 コア
- Armv7E-M アーキテクチャ（DSP 命令セット搭載）
- 最高動作周波数：240MHz
- 4GB アドレス空間をサポート
- オンチップデバッグシステム：JTAG、SWD、および ETM
- バウンダリスキャンおよび Arm メモリプロテクションユニット（Arm MPU）

■ メモリ
- 最大 4MB のコードフラッシュメモリ（80MHz ゼロウェイトステート）
- 64KB データフラッシュメモリ（最大 125000 回のイレース／ライトサイクル）
- 最大 640KB の SRAM
- フラッシュキャッシュ（FCACHE）
- メモリプロテクションユニット（MPU）
- メモリミラー機能（MMF）
- 128 ビットの固有の ID

■ 接続性
- イーサネット MAC コントローラ（ETHERC）× 2
- イーサネット DMA コントローラ（EDMAC）
- イーサネット PTP コントローラ（EPTPC）
- USB2.0 ハイスピード（USBHS）モジュール
  - オンチップトランシーバ
  - USB バッテリチャージバージョン 1.2 対応
- USB2.0 フルスピード（USBFS）モジュール
  - オンチップトランシーバ
- FIFO 内蔵シリアルコミュニケーションインタフェース（SCI）× 10
- シリアルペリフェラルインタフェース（SPI）× 2
- I^2C バスインタフェース（IIC）× 3
- CAN モジュール（CAN）× 2
- シリアルサウンドインタフェース（SSI）× 2
- SD/MMC ホストインタフェース（SDHI）× 2
- クワッドシリアルペリフェラルインタフェース（QSPI）
- IrDA インタフェース
- サンプリングレートコンバータ（SRC）
- 外部メモリ空間
  - 8 ビットまたは 16 ビットバス空間を領域ごとに選択可能
  - SDRAM 対応

■ アナログ
- 12 ビット A/D コンバータ（ADC12）× 2、それぞれに 3 つのサンプル＆ホールド回路を搭載
- 12 ビット D/A コンバータ（DAC12）× 2
- 高速アナログコンパレータ（ACMPHS）× 6
- プログラマブルゲインアンプ（PGA）× 6
- 温度センサ（TSN）

■ タイマ
- 32 ビット拡張高分解能汎用 PWM タイマ（GPT32EH）× 4
- 32 ビット拡張汎用 PWM タイマ（GPT32E）× 4
- 32 ビット汎用 PWM タイマ（GPT32）× 6
- 非同期汎用タイマ（AGT）× 2
- ウォッチドッグタイマ（WDT）

■ セーフティ
- SRAM のパリティエラー検査
- フラッシュ領域の保護
- ADC 自己診断機能
- クロック周波数精度測定回路（CAC）
- 巡回冗長検査（CRC）演算器
- データ演算回路（DOC）
- GPT 用のポートアウトプットイネーブル（POEG）
- 独立ウォッチドッグタイマ（IWDT）
- GPIO リードバックレベル検出
- レジスタライトプロテクション
- メインクロック発振器停止検出
- 不正メモリアクセス

■ システムおよびパワーマネジメント
- 各種の低消費電力モード
- スイッチングレギュレータ
- カレンダおよび VBATT 対応のリアルタイムクロック（RTC）
- イベントリンクコントローラ（ELC）
- DMA コントローラ（DMAC）× 8
- データトランスファコントローラ（DTC）
- キー割り込み機能（KINT）
- パワーオンリセット
- 低電圧検出機能（LVD）の設定可能

■ セキュリティおよび暗号化
- AES128/192/256
- 3DES/ARC4
- SHA1/SHA224/SHA256/MD5
- GHASH
- RSA/DSA/ECC
- 真性乱数発生器（TRNG）

■ ヒューマンマシーンインタフェース（HMI）
- グラフィック LCD コントローラ（GLCDC）
- JPEG コーデック
- 2D 描画エンジン（DRW）
- 静電容量式タッチセンシングユニット（CTSU）
- パラレルデータキャプチャユニット（PDC）

■ マルチクロックソース
- メインクロック発振器（MOSC）（8 ～ 24MHz）
- サブクロック発振器（SOSC）（32.768kHz）
- 高速オンチップオシレータ（HOCO）（16/18/20MHz）
- 中速オンチップオシレータ（MOCO）（8MHz）
- 低速オンチップオシレータ（LOCO）（32.768kHz）
- IWDT 専用オンチップオシレータ（15kHz）
- HOCO/MOCO/LOCO に対するクロックトリム機能
- クロックアウトのサポート

■ 汎用入出力ポート
- 最大 172 本の入出力端子
  - 最大 9 本の CMOS 入力
  - 最大 163 本の CMOS 入出力
    - 最大 22 本の 5V トレラント入出力
    - 最大 24 本の大電流端子（20mA）

■ 動作電圧
- VCC：2.7 ～ 3.6V

■ 動作温度およびパッケージ
- Ta = -40 ℃～ +85 ℃
  - 224 ピン BGA（13mm × 13mm、0.8mm ピッチ）
  - 176 ピン BGA（13mm × 13mm、0.8mm ピッチ）
  - 145 ピン LGA（7mm × 7mm、0.5mm ピッチ）
- Ta = -40 ℃～ +105 ℃
  - 176 ピン LQFP（24mm × 24mm、0.5mm ピッチ）
  - 144 ピン LQFP（20mm × 20mm、0.5mm ピッチ）
  - 100 ピン LQFP（14mm × 14mm、0.5mm ピッチ）

1. 概要

MCU は、さまざまなシリーズのソフトウェアおよび端子と互換性のある Arm® ベースの 32 ビットコアを内蔵しています。同じ一連のルネサス周辺デバイスを共有することで、設計の拡張性やプラットフォームベースの製品開発の効率が高まります。

本 MCU は最大 240MHz で動作する高性能な Arm Cortex®-M4 コアを内蔵しており、以下の特長があります。

- 最大 4MB のコードフラッシュメモリ
- 640KB の SRAM
- グラフィック LCD コントローラ（GLCDC）
- 2D 描画エンジン（DRW）
- 静電容量式タッチセンシングユニット（CTSU）
- IEEE 1588 PTP 対応イーサネット MAC コントローラ（ETHERC）、USBFS、USBHS、SD/MMC ホストインタフェース
- クワッドシリアルペリフェラルインタフェース（QSPI）
- セキュリティ&セーフティ機能
- アナログ周辺機能

1.1 機能の概要

表 1.1 Arm コア

機能	機能の説明
Arm Cortex-M4	• 最高動作周波数：240MHz • Arm Cortex-M4 コア： - リビジョン：r0p1-01rel0 - Armv7E-M アーキテクチャプロファイル - 単精度浮動小数点ユニット（ANSI/IEEE 規格 754-2008 に準拠） • Arm メモリプロテクションユニット（Arm MPU）： - Armv7 保護メモリシステムアーキテクチャ - 8 つのメモリ保護領域 • SysTick タイマ： - SYSTICCLK(LOCO)または ICLK クロックによる駆動

表 1.2 メモリ

機能	機能の説明
コードフラッシュメモリ	最大 4MB のコードフラッシュメモリ。「55. フラッシュメモリ」を参照してください。
データフラッシュメモリ	64KB のデータフラッシュメモリ。「55. フラッシュメモリ」を参照してください。
オプション設定メモリ	オプション設定メモリは、MCU のリセット後の状態を決定します。「7. オプション設定メモリ」を参照してください。
メモリミラー機能（MMF）	メモリミラー機能（MMF）を構成することで、コードフラッシュメモリ内のアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリミラー空間アドレスにおけるアプリケーションイメージのリンクアドレス（メモリミラー空間アドレス）へミラーすることができます。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクします。 アプリケーションコードでは、コードフラッシュメモリ内に格納されるときのロードアドレスを認識する必要がありません。「5. メモリミラー機能（MMF）」を参照してください。
SRAM	パリティビットまたはダブルビットエラー検出（DED）が可能な高速 SRAM を内蔵しています。DED の対象は SRAM0 の最初の 32KB です。パリティチェックはその他の領域で行われます。「53. SRAM」を参照してください。
スタンバイ SRAM	ディープソフトウェアスタンバイモード時にデータを保持できる SRAM を内蔵しています。「54. スタンバイ SRAM」を参照してください。

表 1.3 システム (1/2)

機能	機能の説明
動作モード	2種類の動作モード： - シングルチップモード - SCI/USB ブートモード 「3. 動作モード」を参照してください。
リセット	以下の14種類のリセットをサポートしています。 • RES端子リセット • パワーオンリセット • 電圧監視リセット0 • 電圧監視リセット1 • 電圧監視リセット2 • 独立ウォッチドッグタイマリセット • ウォッチドッグタイマリセット • ディープソフトウェアスタンバイリセット • SRAMパリティエラーリセット • SRAM DEDエラーリセット • バスマスタMPUエラーリセット • バススレーブMPUエラーリセット • スタックポインタエラーリセット • ソフトウェアリセット 「6. リセット」を参照してください。
低電圧検出（LVD）	低電圧検出（LVD）機能は、VCC端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。「8. 低電圧検出（LVD）」を参照してください。
クロック	• メインクロック発振器（MOSC） • サブクロック発振器（SOSC） • 高速オンチップオシレータ（HOCO） • 中速オンチップオシレータ（MOCO） • 低速オンチップオシレータ（LOCO） • PLL周波数シンセサイザ • 独立ウォッチドッグタイマ（IWDT）オンチップオシレータ • クロックアウトのサポート 「9. クロック発生回路」を参照してください。
クロック周波数精度測定回路（CAC）	クロック周波数精度測定回路（CAC）は、測定基準として使用するクロック（測定基準クロック）で生成した時間内に、測定対象となるクロック（測定対象クロック）のパルスをカウントし、パルス数が許容範囲内であるかどうかを判定します。 測定が完了している場合、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない場合は、割り込み要求が発生します。 「10. クロック周波数精度測定回路（CAC）」を参照してください。
割り込みコントローラユニット（ICU）	割り込みコントローラユニット（ICU）は、NVIC/DTCモジュールとDMACモジュールにリンクされるイベント信号を制御します。また、NMI割り込みも制御します。「14. 割り込みコントローラユニット（ICU）」を参照してください。
キー割り込み機能（KINT）	キー割り込みは、キーリターンモードレジスタ（KRM）を設定し、キー割り込み入力端子に立ち上がりエッジ／立ち下がりエッジを入力することで発生させることができます。「21. キー割り込み機能（KINT）」を参照してください。
低消費電力モード	クロック分周器の設定、EBCLK出力制御、SDCLK出力制御、モジュールストップ設定、通常動作時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな方法で消費電力を低減できます。「11. 低消費電力モード」を参照してください。
バッテリバックアップ機能	バッテリバックアップ機能によってバッテリによる部分電力供給が可能です。バッテリ電源領域に含まれるものには、RTC、SOSC、バックアップメモリ、およびVCC/VBATT切り替えがあります。「12. バッテリバックアップ機能」を参照してください。
レジスタライトプロテクション	レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。「13. レジスタライトプロテクション」を参照してください。
メモリプロテクションユニット（MPU）	メモリ保護のために3つのメモリプロテクションユニット（MPU）とCPUスタックポインタモニタ機能が備えられています。「16. メモリプロテクションユニット（MPU）」を参照してください。

表 1.3 システム (2/2)

機能	機能の説明
ウォッチドッグタイマ（WDT）	ウォッチドッグタイマ（WDT）は14ビットのダウンカウンタです。システムが暴走してWDTをリフレッシュできないためにカウンタがアンダーフローした場合、MCUをリセットするために使用できます。また、アンダーフローにより、ノンマスカブル割り込みまたは割り込みを発生させることもできます。 カウンタのリフレッシュには、リフレッシュ許可期間の設定が可能であり、この許可期間を暴走検知の条件として使用できます。「27. ウォッチドッグタイマ（WDT）」を参照してください。
独立ウォッチドッグタイマ（IWDT）	独立ウォッチドッグタイマ（IWDT）は14ビットダウンカウンタで構成されますが、このカウンタはアンダーフロー防止のため定期的に動作させる必要があります。IWDTには、MCUをリセットする機能や、タイマのアンダーフローに備えて割り込み／ノンマスカブル割り込みを生成する機能があります。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCUをフェールセーフ機構と呼ばれる状態に戻すことに特に役立ちます。IWDTは、リセット、アンダーフロー、またはリフレッシュエラー時に自動的に起動します。あるいはレジスタのカウント値のリフレッシュによっても起動します。「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

表 1.4 イベントリンク

機能	機能の説明
イベントリンクコントローラ（ELC）	イベントリンクコントローラ（ELC）は、各周辺モジュールで発生する割り込み要求をイベント信号として使用し、それらを異なるモジュールに接続することにより、CPU を介さずにモジュール間の直接的な相互作用を可能にします。「19. イベントリンクコントローラ（ELC）」を参照してください。

表 1.5 ダイレクトメモリアクセス

機能	機能の説明
データトランスファコントローラ（DTC）	データトランスファコントローラ（DTC）モジュールは割り込み要求による起動時に、データ転送を行います。「18. データトランスファコントローラ（DTC）」を参照してください。
DMAコントローラ（DMAC）	8チャネルのDMAコントローラ（DMAC）モジュールを内蔵しており、CPUを介さずにデータ転送が可能です。DMA転送要求が発生すると、DMACは転送元アドレスに格納されているデータを転送先アドレスへ転送します。「17. DMAコントローラ（DMAC）」を参照してください。

表 1.6 外部バスインタフェース

機能	機能の説明
外部バス	• CS領域（EXBIU）：外部デバイス（外部メモリインタフェース）を接続 • SDRAM領域（EXBIU）：SDRAM（外部メモリインタフェース）を接続 • QSPI領域（EXBIUT2）：QSPI（外部デバイスインタフェース）を接続

表 1.7 タイマ (1/2)

機能	機能の説明
汎用PWMタイマ（GPT）	汎用PWMタイマ（GPT）は14チャネルの32ビットタイマです。PWM波形は、アップカウンタ、ダウンカウンタ、またはアップダウンカウンタを制御することで発生させることができます。さらに、ブラシレスDCモータ制御用のPWM波形を発生させることもできます。GPTは汎用タイマとしても使用可能です。「23. 汎用PWMタイマ（GPT）」を参照してください。
GPT用のポートアウトプットイネーブル（POEG）	汎用PWMタイマ（GPT）の出力端子を出力禁止状態とするには、ポートアウトプットイネーブル（POEG）機能を使用します。「22. GPT用ポートアウトプットイネーブル（POEG）」を参照してください。
非同期汎用タイマ（AGT）	非同期汎用タイマ（AGT）は、パルスの出力、外部パルスの幅／周期の測定、および外部イベントのカウントに利用可能な16ビットタイマです。 この16ビットタイマは、リロードレジスタとダウンカウンタで構成されます。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGTレジスタでアクセスが可能です。「25. 非同期汎用タイマ（AGT）」を参照してください。

表 1.7 タイマ (2/2)

機能	機能の説明
リアルタイムクロック（RTC）	リアルタイムクロック（RTC）は、カレンダカウントモードとバイナリカウントモードの2種類のカウントモードを持ちます。これらはレジスタ設定で制御されます。 カレンダカウントモードは、2000年から2099年の100年間を、うるう年を自動で判定してカウントするモードです。 バイナリカウントモードは、秒をカウントし、その情報をシリアル値として保持するモードです。バイナリカウントモードは、西暦以外のカレンダに使用できます。「26. リアルタイムクロック（RTC）」を参照してください。

表 1.8 通信インタフェース (1/2)

機能	機能の説明
シリアルコミュニケーションインタフェース（SCI）	シリアルコミュニケーションインタフェース（SCI）は、下記の5種類の調歩同期式および同期式シリアルインタフェースとして設定可能です。 • 調歩同期式インタフェース（UARTおよび調歩同期式通信アダプタ（ACIA）） • 8ビットクロック同期式インタフェース • 簡易IIC（マスタのみ） • 簡易SPI • スマートカードインタフェース スマートカードインタフェースは、電子信号と伝送プロトコルに関してISO/IEC 7816-3規格に準拠しています。 各SCIはFIFOバッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。「34. シリアルコミュニケーションインタフェース（SCI）」を参照してください。
IrDAインタフェース（IrDA）	IrDAインタフェースはSCI1と連携してIrDA（Infrared Data Association）規格バージョン1.0に基づくIrDAデータ通信波形の送受信を実現します。「35. IrDAインタフェース」を参照してください。
I^2Cバスインタフェース（IIC）	3チャネルのI^2Cバスインタフェース（IIC）は、NXP社が提唱するI^2Cバス（Inter-Integrated Circuit bus）インタフェース方式に準拠しており、そのサブセット機能を提供しています。「36. I^2Cバスインタフェース（IIC）」を参照してください。
シリアルペリフェラルインタフェース（SPI）	2つの独立したシリアルペリフェラルインタフェース（SPI）チャネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。「38. シリアルペリフェラルインタフェース（SPI）」を参照してください。
シリアルサウンドインタフェース（SSI）	シリアルサウンドインタフェース（SSI）周辺機器は、PCMオーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由でMCUに接続する機能を提供しています。SSIは最大50MHzのオーディオクロック周波数をサポートしており、各種アプリケーションに適合するスレーブまたはマスタレシーバ／トランスミッタ／トランシーバとして動作します。SSIはレシーバとトランスミッタに8段FIFOバッファを内蔵し、割り込みおよびDMA駆動によるデータ送受信をサポートしています。「41. シリアルサウンドインタフェース（SSI）」を参照してください。
クワッドシリアルペリフェラルインタフェース（QSPI）	クワッドシリアルペリフェラルインタフェース（QSPI）は、SPI互換インタフェースを持つシリアルROM（シリアルフラッシュメモリ、シリアルEEPROM、シリアルFeRAMなどの不揮発性メモリ）に接続するためのメモリコントローラです。「39. クワッドシリアルペリフェラルインタフェース（QSPI）」を参照してください。
Controller Area Network（CAN）モジュール	Controller Area Network（CAN）モジュールは、電磁ノイズの多い応用機器において、複数のスレーブ・マスタ間でメッセージベースのプロトコルを用いたデータの送受信機能を提供しています。 CANモジュールは、ISO 11898-1（CAN 2.0A/CAN 2.0B）規格に準拠しており、通常のメールボックスモードおよびFIFOモードを送受信用に設定可能な最大32個のメールボックスをサポートしています。標準（11ビット）と拡張（29ビット）の両方のメッセージフォーマットに対応しています。「37. CAN（Controller Area Network）モジュール」を参照してください。
USB2.0フルスピードモジュール（USBFS）	ホストコントローラまたはデバイスコントローラとして動作可能なUSB2.0フルスピードモジュール（USBFS）です。このモジュールは、ユニバーサルシリアルバス規格2.0のフルスピードおよびロースピード転送（ホストコントローラのみ）をサポートしています。またUSBトランシーバを内蔵しており、ユニバーサルシリアルバス規格2.0で定義されている全転送タイプに対応しています。 データ転送用にバッファメモリを内蔵し、最大10本のパイプを使用できます。パイプ1～9に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。「32. USB2.0フルスピードモジュール（USBFS）」を参照してください。

表 1.8 通信インタフェース (2/2)

機能	機能の説明
USB2.0ハイスピードモジュール（USBHS）	ホストコントローラまたはデバイスコントローラとして動作可能なUSB2.0ハイスピードモジュール（USBHS）です。ホストコントローラの場合、USBHSはユニバーサルシリアルバス規格2.0のハイスピード転送、フルスピード転送、およびロースピード転送をサポートします。デバイスコントローラの場合、USBHSはユニバーサルシリアルバス規格2.0のハイスピード転送とフルスピード転送をサポートします。またUSBトランシーバを内蔵しており、ユニバーサルシリアルバス規格2.0で定義されている全転送タイプに対応しています。 データ転送用にFIFOバッファを内蔵し、最大10本のパイプを使用できます。また、パイプ1～9に対しては、通信を行う周辺デバイスやユーザシステムに合わせた任意のエンドポイント番号の割り付けが可能です。「33. USB2.0ハイスピードモジュール（USBHS）」を参照してください。
IEEE 1588 PTP対応イーサネットMAC（ETHERC）	イーサネット／IEEE802.3のMedia Access Control（MAC）層規格に準拠した2チャネルのイーサネットMACコントローラ（ETHERC）です。各ETHERCはMAC層のインタフェースを1チャネル内蔵しており、物理層のLSI（PHY-LSI）と接続することにより、イーサネット／IEEE802.3規格に準拠したフレームの送受信が可能です。また、ETHERCはMCUの内部でイーサネットDMAコントローラ（EDMAC）に接続されており、CPUを介することなくデータ転送を行うことができます。 デバイス間の時刻同期を行うために、イーサネットPTPコントローラ（EPTPC）用のPrecision Time Protocol（PTP）モジュールを内蔵しており、IEEE 1588-2008バージョン2.0規格で規定されたPTPを利用します。 EPTPCは下記のもので構成されます。 • 同期フレーム処理部（SYNFP0およびSYNFP1） • パケット中継部（PRC-TC） • 統計的クロック補正部（STCA） EPTPC は、内蔵イーサネットMACコントローラ（ETHERC）およびイーサネットPTPコントローラ用DMAコントローラ（PTPEDMAC）と合わせて使用してください。「29. イーサネットMACコントローラ（ETHERC）」を参照してください。
SD/MMCホストインタフェース（SDHI）	SDHIおよびマルチメディアカード（MMC）インタフェースモジュールは、各種外部メモリカードをMCUと接続するために必要な機能を提供します。SDHIは、SD、SDHC、およびSDXCフォーマットに対応するメモリカードを接続するために1ビットと4ビットのバスをサポートしています。SD規格に対応したホスト機器を開発する際は、SD Host/Ancillary Product License Agreement（SD HALA）に従う必要があります。 MMCインタフェースは、eMMC 4.51（JEDEC Standard JESD 84-B451）デバイスアクセスを可能にする1ビット、4ビット、および8ビットのMMCバスをサポートしています。このインタフェースには下位互換性があり、高速SDR転送モードもサポートしています。 「43. SD/MMCホストインタフェース（SDHI）」を参照してください。

表 1.9 アナログ

機能	機能の説明
12ビットA/Dコンバータ（ADC12）	逐次比較方式の12ビットA/Dコンバータ（ADC12）を最大2ユニット内蔵しています。ユニット0では、最大13チャネルのアナログ入力を選択できます。ユニット1では、最大12チャネルのアナログ入力、温度センサ出力、および内部基準電圧を選択できます。A/D変換精度として、12ビット、10ビット、および8ビットの各変換が選択可能であり、デジタル値生成における速度と分解能のバランスを最適化できます。「47. 12ビットA/Dコンバータ（ADC12）」を参照してください。
12ビットD/Aコンバータ（DAC12）	出力アンプ付きの12ビットD/Aコンバータ（DAC12）です。「48. 12ビットD/Aコンバータ（DAC12）」を参照してください。
温度センサ（TSN）	デバイス動作の信頼性確保のため、内蔵されている温度センサ（TSN）でダイの温度を決定し、監視することが可能です。このセンサはダイ温度に正比例した電圧を出力するため、ダイ温度と出力電圧はリニアな関係にあります。 出力された電圧はADC12で変換されてから、末端の応用機器で使用できます。「49. 温度センサ（TSN）」を参照してください。
高速アナログコンパレータ（ACMPHS）	高速アナログコンパレータ（ACMPHS）を使用することで、テスト電圧と基準電圧の比較や、変換結果に基づいたデジタル出力が可能です。 テスト電圧と基準電圧は、どちらも内部電源（DAC12出力や内部基準電圧）と外部電源（内部PGAありまたはなし）からコンパレータに供給できます。 こうした柔軟性は、必ずしもA/D変換を必要とせずに、アナログ信号に対して実行／中止の比較を行わなければならないアプリケーションに有効です。「50. 高速アナログコンパレータ（ACMPHS）」を参照してください。

表 1.10 ヒューマンマシーンインタフェース

機能	機能の説明
静電容量式タッチセンシングユニット（CTSU）	静電容量式タッチセンシングユニット（CTSU）はタッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。「51. 静電容量式タッチセンシングユニット（CTSU）」を参照してください。

表 1.11 グラフィック

機能	機能の説明
グラフィックLCDコントローラ（GLCDC）	グラフィックLCDコントローラ（GLCDC）には多数の機能があり、各種のデータフォーマットやパネルをサポートしています。GLCDCの主な機能は以下の通りです。 • グラフィックデータにアクセスするためのGPXバスマスタ機能 • 3枚のパネルの重ね合わせ（単一色の背景プレーン、グラフィック1プレーン、グラフィック2プレーン） • ピクセルあたり32または16ビットの各種グラフィックデータ、および8ビット、4ビット、または1ビットのLUTデータフォーマットのサポート • WVGA以上のビデオ画像サイズをサポートするデジタルインタフェース信号出力 「58. グラフィックLCDコントローラ（GLCDC）」を参照してください。
2D描画エンジン（DRW）	2D描画エンジン（DRW）は順応性のある機能を提供しており、直線、三角形、円といった数少ない特定のジオメトリに限定されることなく、ほぼすべてのオブジェクトジオメトリをサポートしています。オブジェクトのエッジに、個別にぼかしやアンチエイリアスをかけることができます。 ラスタライゼーションは、オブジェクトのバウンディングボックス上で、左から右、上から下へ、1クロック当たり1ピクセルの速度で実行されます。場合によっては、パフォーマンス最適化のために、下から上へラスタライゼーションを実行することも可能です。さらに、バウンディングボックスに多数の空ピクセルが含まれる場合、そのラスタライゼーションをスキップする最適化手法も備えています。 オブジェクトの各エッジまでの距離は、バウンディングボックスのすべてのピクセルに対して一連のエッジ方程式を設定することによって計算できます。これらのエッジ方程式を連結することで、オブジェクト全体を記述できます。 オブジェクト内にあるピクセルはレンダリング用に選択されます。オブジェクト外にあるピクセルは破棄されます。ピクセルがエッジ上にある場合、そのピクセルから最も近いエッジまでの距離に比例したアルファ値がアンチエイリアシング用に選択されます。 レンダリング用に選択されたすべてのピクセルはテクスチャ化可能です。結果として得られた4要素aRGBは、4チャネルのぞれぞれに対して個別に、一般的なラスタ演算で変更が可能です。さらに、この4要素aRGBは、DRWの多数のブレンドモードの1つを用いてブレンドできます。 DRWには2本の入力（テクスチャリードおよびフレームバッファリード）と、1本の出力（フレームバッファライト）があります。 内部カラーフォーマットは常にaRGB（8888）です。入力からのカラーフォーマットは読み出し時に内部フォーマットに変換され、書き込み時に元のフォーマットに戻されます。 「56. 2D描画エンジン（DRW）」を参照してください。
JPEGコーデック（JPEG）	JPEGコーデック（JPEG）は、JPEGベースラインの圧縮伸長方式に準拠したJPEGコーデックを内蔵しています。画像データの圧縮およびJPEGデータの復号を高速に処理することができます。「57. JPEGコーデック」を参照してください。
パラレルデータキャプチャ（PDC）ユニット	画像センサなど外部I/Oデバイスとの通信用にパラレルデータキャプチャ（PDC）ユニットが1つあり、外部I/Oデバイスから出力される画像などのパラレルデータを、DTCまたはDMACを介して内蔵SRAMや外部アドレス空間（CS領域、SDRAM領域）へ転送します。「44. パラレルデータキャプチャユニット（PDC）」を参照してください。

表 1.12 データ処理

機能	機能の説明
巡回冗長検査（CRC）演算器	巡回冗長検査（CRC）演算器は、CRCコードを生成してデータエラーを検出します。LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることができます。さらに、さまざまなCRC生成多項式を使用できます。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントでCRCコードの自動生成が必要となるアプリケーションで役立ちます。 「40. 巡回冗長検査（CRC）演算器」を参照してください。
データ演算回路（DOC）	データ演算回路（DOC）は、16ビットのデータを比較、加算、または減算する機能です。 「52. データ演算回路（DOC）」を参照してください。
サンプリングレートコンバータ（SRC）	サンプリングレートコンバータ（SRC）は、WMA/MP3/AACなどの各種オーディデコーダで生成されたデータのサンプリングレートを変換します。16ビットのステレオデータとモノラルデータの両方に対応しています。「42. サンプリングレートコンバータ（SRC）」を参照してください。

表 1.13 セキュリティ

機能	機能の説明
セキュアクリプトエンジン7（SCE7）	• セキュリティアルゴリズム： - 対称暗号方式：AES、3DES、ARC4 - 非対称暗号方式：RSA、DSA、ECC • その他のサポート機能： - TRNG（真性乱数発生器） - ハッシュ値生成：SHA1、SHA224、SHA256、GHASH、MD5 - 128ビットの固有のID

1.2 ブロック図

図 1.1 に、本 MCU のスーパーセットのブロック図を示します。グループ内の個々のデバイスによっては、その機能のサブセットを持つ場合があります。

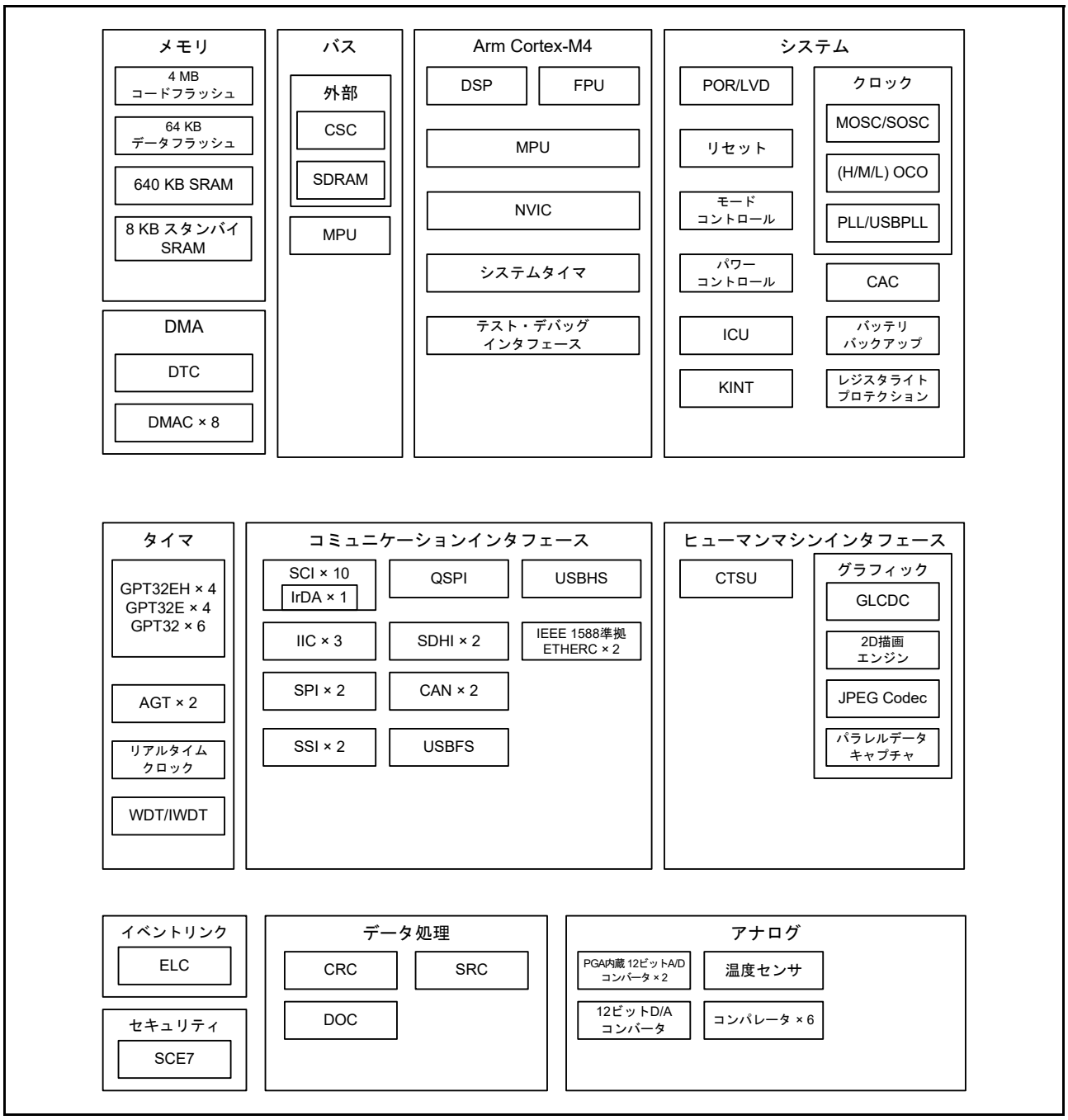


図 1.1 ブロック図

1.3 型名

図 1.2 に、製品の型名の読み方、メモリ容量、およびパッケージの種類について示します。表 1.4 に、製品一覧を示します。

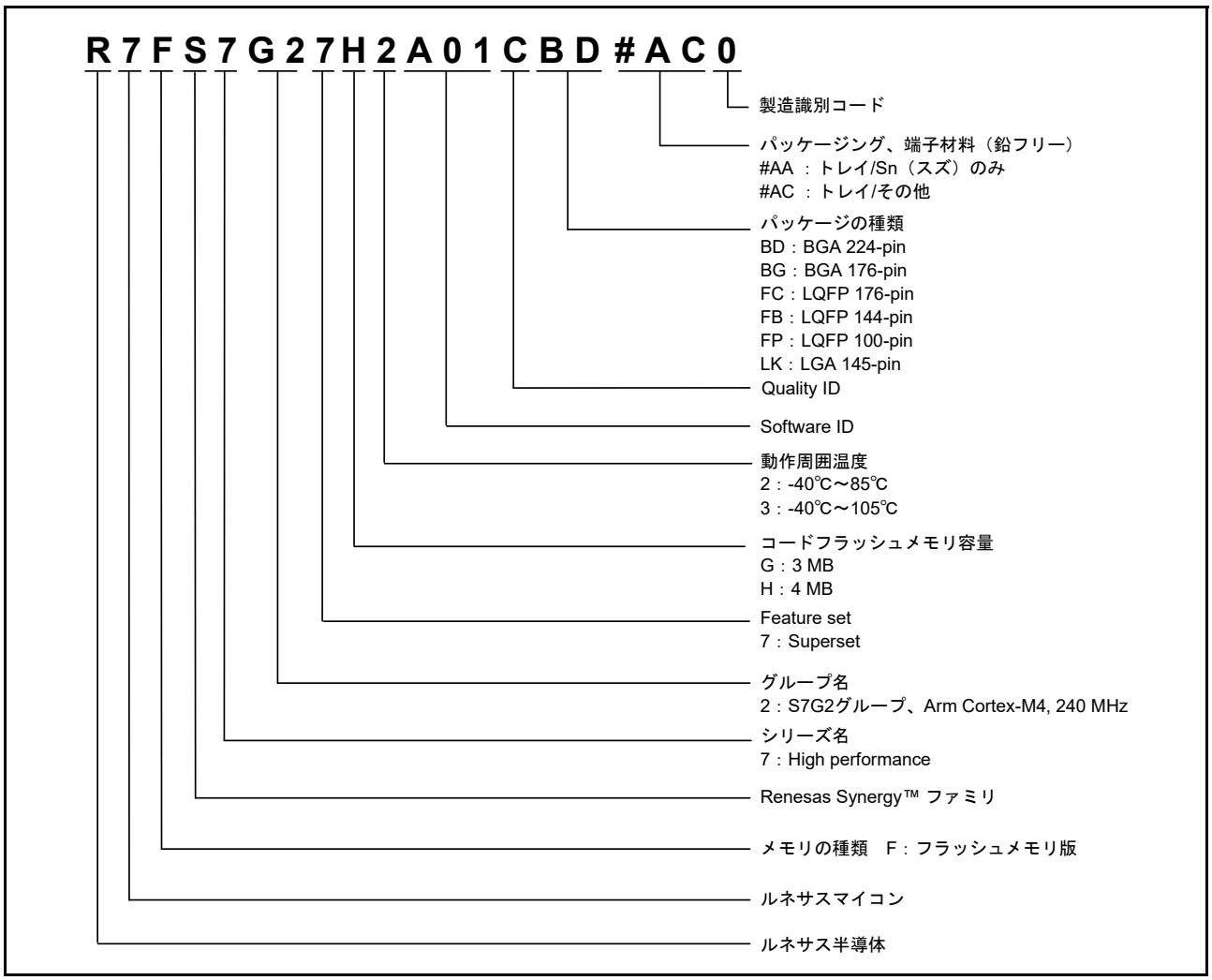


図 1.2 型名の読み方

表 1.14 製品一覧

型名	発注型名	パッケージ	コードフラッシュ	データフラッシュ	SRAM	動作温度
R7FS7G27H2A01CBD	R7FS7G27H2A01CBD#AC0	PLBG0224GA-A	4 MB	64 KB	640 KB	-40 ～ +85℃
R7FS7G27H2A01CBG	R7FS7G27H2A01CBG#AC0	PLBG0176GE-A				-40 ～ +85℃
R7FS7G27H3A01CFC	R7FS7G27H3A01CFC#AA0	PLQP0176KB-A				-40 ～ +105℃
R7FS7G27H2A01CLK	R7FS7G27H2A01CLK#AC0	PTLG0145KA-A				-40 ～ +85℃
R7FS7G27H3A01CFB	R7FS7G27H3A01CFB#AA0	PLQP0144KA-B				-40 ～ +105℃
R7FS7G27G2A01CBD	R7FS7G27G2A01CBD#AC0	PLBG0224GA-A	3 MB			-40 ～ +85℃
R7FS7G27G2A01CBG	R7FS7G27G2A01CBG#AC0	PLBG0176GE-A				-40 ～ +85℃
R7FS7G27G3A01CFC	R7FS7G27G3A01CFC#AA0	PLQP0176KB-A				-40 ～ +105℃
R7FS7G27G2A01CLK	R7FS7G27G2A01CLK#AC0	PTLG0145KA-A				-40 ～ +85℃
R7FS7G27G3A01CFB	R7FS7G27G3A01CFB#AA0	PLQP0144KA-B				-40 ～ +105℃
R7FS7G27G3A01CFP	R7FS7G27G3A01CFP#AA0	PLQP0100KB-B				-40 ～ +105℃

1.4 機能の比較

表 1.15 機能の比較

機能		型名					
		R7FS7G27H2A01CBD/ R7FS7G27G2A01CBD	R7FS7G27H2A01CBG/ R7FS7G27G2A01CBG	R7FS7G27H3A01CFC/ R7FS7G27G3A01CFC	R7FS7G27H2A01CLK/ R7FS7G27G2A01CLK	R7FS7G27H3A01CFB/ R7FS7G27G3A01CFB	R7FS7G27G3A01CFP
端子総数		224	176	176	145	144	100
パッケージ		BGA	BGA	LQFP	LGA	LQFP	LQFP
コードフラッシュメモリ		4/3MB					3MB
データフラッシュメモリ		64KB					
SRAM		640KB					
	パリティ	608KB					
	DED	32KB					
スタンバイSRAM		8KB					
システム	CPUクロック	240MHz					
	バックアップレジスタ	512バイト					
	ICU	あり					
	KINT	8					
イベントリンク	ELC	あり					
DMA	DTC	あり					
	DMAC	8					
BUS	外部バス	16ビットバス					8ビットバス
	SDRAM	あり					なし
タイマ	GPT32EH	4	4	4	4	4	4
	GPT32E	4	4	4	4	4	3
	GPT32	6	6	6	6	6	5
	AGT	2	2	2	2	2	2
	RTC	あり					
	WDT/IWDT	あり					
通信	SCI	10					
	IIC	3					2
	SPI	2					
	SSI	2					1
	QSPI	1					Dual-SPI 1
	SDHI	2					
	CAN	2					
	USBFS	あり					
	USBHS	あり			なし		
	ETHERC	2					1
アナログ	ADC12	25	21	21	19	19	16
	DAC12	2					
	ACMPHS	6					
	TSN	あり					
HMI	CTSU	18	12	12	18		12
	KINT	8					
グラフィック	GLCDC	RGB888					RGB565
	DRW	あり					
	JPEG	あり					
	PDC	あり					なし
データ処理	CRC	あり					
	DOC	あり					
	SRC	あり					
セキュリティ		SCE7					

1.5 端子機能

表 1.16 端子機能 (1/5)

機能	端子名	入出力	説明
電源	VCC	入力	電源端子。システムの電源に接続してください。この端子は0.1μFのコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCC_DCDC	入力	スイッチングレギュレータ電源端子
	VLO	入出力	スイッチングレギュレータ端子
	VCL0～VCL2	入力	この端子は、内部電源を安定化するための平滑コンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
	VCL_F	入力	
	VSS	入力	グランド端子。システムの電源（0V）に接続してください。
	VBATT	入力	バックアップ電源端子
クロック	XTAL	出力	水晶振動子用の接続端子。EXTAL端子を通じて外部クロック信号の入力が可能です。
	EXTAL	入力	
	XCIN	入力	サブクロック発振器用の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください。
	XCOUT	出力	
	EBCLK	出力	外部デバイス用の外部バスクロック出力端子
	SDCLK	出力	SDRAM専用のクロック出力端子
	CLKOUT	出力	クロック出力端子
動作モードコントロール	MD	入力	動作モード設定用の端子。この端子の信号レベルは、リセット解除時の動作モードの遷移中に変更しないでください。
システム制御	RES	入力	リセット信号入力端子。この端子がLowになると、MCUはリセット状態となります。
CAC	CACREF	入力	測定基準クロックの入力端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0～IRQ15	入力	マスカブル割り込み要求端子
KINT	KR00～KR07	入力	キー割り込みは、キー割り込み入力端子に立ち下がりエッジを入力することで発生させることができます。
オンチップエミュレータ	TMS	入出力	オンチップエミュレータ用またはバウンダリスキャン用端子
	TDI	入力	
	TCK	入力	
	TDO	出力	
	TCLK	出力	トレースデータと同期をとるためのクロックを出力します。
	TDATA0～TDATA3	出力	トレースデータの出力
	SWDIO	入出力	シリアルワイヤデバッグデータの入出力端子
	SWCLK	入力	シリアルワイヤクロック端子
	SWO	出力	シリアルワイヤトレース出力端子
外部バスインタフェース	RD	出力	外部バスインタフェース空間から読み出し中であることを示すストローブ信号。アクティブLow
	WR	出力	1ライトストローブモード時、外部バスインタフェース空間に書き込み中であることを示すストローブ信号。アクティブLow
	WR0, WR1	出力	バイトストローブモード時、外部バスインタフェース空間に書き込み中で、データバス（D07～D00またはD15～D08）のいずれかが有効であることを示すストローブ信号。アクティブLow
	BC0, BC1	出力	1ライトストローブモード時、外部バスインタフェース空間にアクセス中で、データバス（D07～D00またはD15～D08）のいずれかが有効であることを示すストローブ信号。アクティブLow
	WAIT	入力	外部空間をアクセスするときのウェイト要求信号用の入力端子。アクティブLow
	CS0～CS7	出力	CS領域選択信号。アクティブLow
	A00～A23	出力	アドレスバス
	D00～D15	入出力	データバス

表 1.16 端子機能 (2/5)

機能	端子名	入出力	説明
SDRAM インタフェース	CKE	出力	SDRAMクロックイネーブル信号
	SDCS	出力	SDRAMチップセレクト信号。アクティブLow
	RAS	出力	SDRAMロウアドレスストローブ信号。アクティブLow
	CAS	出力	SDRAMカラムアドレスストローブ信号。アクティブLow
	WE	出力	SDRAMライトイネーブル信号。アクティブLow
	DQM0	出力	SDRAM入出力データマスクイネーブル信号（DQ07～DQ00を制御）
	DQM1	出力	SDRAM入出力データマスクイネーブル信号（DQ15～DQ08を制御）
	A00～A15	出力	アドレスバス
	DQ00～DQ15	入出力	データバス
GPT	GTETRGA, GTETRGB, GTETRGC, GTETRGD	入力	外部トリガ入力端子
	GTIOC0A～GTIOC13A, GTIOC0B～GTIOC13B	入出力	インプットキャプチャ、アウトプットコンペア、またはPWM出力端子
	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力（正相U相）
	GTOULO	出力	BLDCモータ制御用3相PWM出力（逆相U相）
	GTOVUP	出力	BLDCモータ制御用3相PWM出力（正相V相）
	GTOVLO	出力	BLDCモータ制御用3相PWM出力（逆相V相）
	GTOWUP	出力	BLDCモータ制御用3相PWM出力（正相W相）
	GTOWLO	出力	BLDCモータ制御用3相PWM出力（逆相W相）
AGT	AGTEE0, AGTEE1	入力	外部イベント入力イネーブル信号
	AGTIO0, AGTIO1	入出力	外部イベント入力およびパルス出力端子
	AGTO0, AGTO1	出力	パルス出力端子
	AGTOA0, AGTOA1	出力	出力コンペアマッチA出力端子
	AGTOB0, AGTOB1	出力	出力コンペアマッチB出力端子
RTC	RTCOUT	出力	1Hzまたは64Hzのクロック出力端子
	RTCIC0～RTCIC2	入力	時間キャプチャイベント入力端子
SCI	SCK0～SCK9	入出力	クロック用の入出力端子（クロック同期式モード）
	RXD0～RXD9	入力	受信データ用の入力端子（調歩同期式モード／クロック同期式モード）
	TXD0～TXD9	出力	送信データ用の出力端子（調歩同期式モード／クロック同期式モード）
	CTS0_RTS0～CTS9_RTS9	入出力	送受信の開始制御用の入出力端子 （調歩同期式モード／クロック同期式モード）、アクティブLow
	SCL0～SCL9	入出力	クロック用の入出力端子（簡易IICモード）
	SDA0～SDA9	入出力	データ用の入出力端子（簡易IICモード）
	SCK0～SCK9	入出力	クロック用の入出力端子（簡易SPIモード）
	MISO0～MISO9	入出力	データのスレーブ送信用の入出力端子（簡易SPIモード）
	MOSI0～MOSI9	入出力	データのマスタ送信用の入出力端子（簡易SPIモード）
	SS0～SS9	入力	チップセレクト入力端子（簡易SPIモード）、アクティブLow
IIC	SCL0～SCL2	入出力	クロック用の入出力端子
	SDA0～SDA2	入出力	データ用の入出力端子
SSI	SSISCK0	入出力	SSIシリアルビットクロック端子
	SSISCK1		
	SSIWS0	入出力	ワード選択端子
	SSIWS1		
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
	SSIDATA1	入出力	シリアルデータ入出力端子
	AUDIO_CLK	入力	オーディオ用の外部クロック端子（入力オーバーサンプリングクロック）

表 1.16 端子機能 (3/5)

機能	端子名	入出力	説明
SPI	RSPCKA, RSPCKB	入出力	クロック入出力端子
	MOSIA, MOSIB	入出力	マスタからの出力データ用の入出力端子
	MISOA, MISOB	入出力	スレーブからの出力データ用の入出力端子
	SSLA0, SSLB0	入出力	スレーブ選択用の入出力端子
	SSLA1～SSLA3, SSLB1～SSLB3	出力	スレーブ選択用の出力端子
QSPI	QSPCLK	出力	QSPIクロック出力端子
	QSSL	出力	QSPIスレーブ出力端子
	QIO0～QIO3	入出力	Data0～Data3
CAN	CRX0, CRX1	入力	受信データ
	CTX0, CTX1	出力	送信データ
USBFS	VCC_USB	入力	電源端子
	VSS_USB	入力	グランド端子
	USB_DP	入出力	USB内蔵トランシーバD+入出力端子。この端子はUSBバスのD+端子に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子。この端子はUSBバスのD-端子に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子。USBバスのVBUSに接続してください。ファンクションコントローラ機能選択時のVBUSの接続／切断を検出することができます。
	USB_EXICEN	出力	外部電源（OTG）チップの低消費電力制御信号
	USB_VBUSEN	出力	外部電源チップへのVBUS（5V）の供給許可信号
	USB_OVRCURA, USB_OVRCURB	入力	これらの端子には外部過電流検出信号を接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号を接続してください。
	USB_ID	入力	OTG動作時にMicroABコネクタのID入力信号を接続してください。
USBHS	VCC_USBHS	入力	電源端子
	VSS1_USBHS	入力	グランド端子
	VSS2_USBHS	入力	グランド端子
	AVCC_USBHS	入力	USBHS用のアナログ電源端子
	AVSS_USBHS	入力	USBHS用のアナロググランド端子。PVSS_USBHS端子とショートしてください。
	PVSS_USBHS	入力	USBHS用のPLL回路のグランド端子。AVSS_USBHS端子とショートしてください。
	USBHS_RREF	入出力	USBHS基準電流源端子。この端子は2.2kΩ（± 1%）の抵抗を介してAVSS_USBHS端子に接続してください。
	USBHS_DP	入出力	USBバスのD+データ端子
	USBHS_DM	入出力	USBバスのD-データ端子
	USBHS_EXICEN	出力	この端子はOTG電源ICに接続してください。
	USBHS_ID	入力	この端子はOTG電源ICに接続してください。
	USBHS_VBUSEN	出力	USB用VBUSパワーイネーブル信号
	USBHS_OVRCURA, USBHS_OVRCURB	入力	USB用オーバーカレント端子
	USBHS_VBUS	入力	USBケーブルの接続／切断検出入力端子

表 1.16 端子機能 (4/5)

機能	端子名	入出力	説明
ETHERC	REF50CK0, REF50CK1	入力	50MHz基準クロック。これらの端子は、RMIIモード時に送受信タイミング用の基準信号を入力します。
	RMII0_CRS_DV, RMII1_CRS_DV	入力	RMIIモード時のキャリア検出信号。有効な受信データがRMII_RXD1とRMII_RXD0上にあることを示します。
	RMII0_TXD0, RMII0_TXD1, RMII1_TXD0, RMII1_TXD1	出力	RMIIモード時の2ビット送信データ
	RMII0_RXD0, RMII0_RXD1, RMII1_RXD0, RMII1_RXD1	入力	RMIIモード時の2ビット受信データ
	RMII0_TXD_EN, RMII1_TXD_EN	出力	RMIIモード時のデータ送信イネーブル信号
	RMII0_RX_ER, RMII1_RX_ER	入力	RMIIモード時にデータ受信中にエラーが発生したことを示す信号
	ET0_CRS, ET1_CRS	入力	キャリア検出／データ受信イネーブル信号
	ET0_RX_DV, ET1_RX_DV	入力	有効な受信データがETn_ETXD3～ETn_ETXD0 (n = 0,1)上にあることを示す信号
	ET0_EXOUT, ET1_EXOUT	出力	汎用外部出力端子
	ET0_LINKSTA, ET1_LINKSTA	入力	PHY-LSIからのリンク状態を入力
	ET0_ETXD0～ET0_ETXD3, ET1_ETXD0～ET1_ETXD3	出力	MIIの4ビット送信データ
	ET0_ERXD0～ET0_ERXD3, ET1_ERXD0～ET1_ERXD3	入力	MIIの4ビット受信データ
	ET0_TX_EN, ET1_TX_EN	出力	送信イネーブル信号。ETn_ETXD3～ETn_ETXD0 (n = 0, 1)上に送信データが準備できたことを示す信号として機能します。
	ET0_TX_ER, ET1_TX_ER	出力	送信エラー端子。送信中のエラーをPHY_LSIに通知する信号として機能します。
	ET0_RX_ER, ET1_RX_ER	入力	受信エラー端子。データ受信中に発生したエラー状態を認識する信号として機能します。
	ET0_TX_CLK, ET1_TX_CLK	入力	送信クロック端子。これらの端子は、ETn_TX_EN、ETn_ETXD3～ETn_ETXD0、およびETn_TX_ER (n = 0,1)からの出力タイミング用の基準信号を入力します。
	ET0_RX_CLK, ET1_RX_CLK	入力	受信クロック端子。これらの端子は、ETn_RX_DV、ETn_ERXD3～ETn_ERXD0、およびETn_RX_ER (n = 0,1)への入力タイミング用の基準信号を入力します。
	ET0_COL, ET1_COL	入力	衝突検出信号
	ET0_WOL, ET1_WOL	出力	Magic Packet受信を示す信号
	ET0_MDC, ET1_MDC	出力	ETn_MDIO (n = 0,1)による情報転送用の基準クロック出力信号
ETHERC	ET0_MDIO, ET1_MDIO	入出力	PHY-LSIと管理情報を交換するための双方向入出力信号
SDHI	SD0CLK, SD1CLK	出力	SDクロック出力端子
	SD0CMD, SD1CMD	入出力	コマンド出力端子、レスポンス入力信号端子
	SD0DAT0～SD0DAT7, SD1DAT0～SD1DAT7	入出力	SD/MMCデータバス端子
	SD0CD, SD1CD	入力	SDカード検出端子
	SD0WP, SD1WP	入力	SDライトプロテクト信号

表 1.16 端子機能 (5/5)

機能	端子名	入出力	説明
アナログ電源	AVCC0	入力	アナログ電圧源端子。この端子をVCCに接続してください。
	AVSS0	入力	アナロググランド端子。この端子をVSSに接続してください。
	VREFH0	入力	ADC12用のアナログ基準電圧源端子。ADC12を使用しない場合はVCCに接続してください。
	VREFL0	入力	ADC12用のアナログ基準グランド端子。ADC12を使用しない場合はVSSに接続してください。
	VREFH	入力	ADC12（ユニット1）とD/Aコンバータ用の基準電圧入力端子。それぞれのモジュールのアナログ電源端子として使用されます。ADC12（ユニット1）またはDAC12を使用しない場合はVCCに接続してください。
	VREFL	入力	ADC12とD/Aコンバータ用の基準グランド端子。それぞれのモジュールのアナロググランド端子として使用されます。この端子はVSSと同電位にしてください。
ADC12	AN000～AN006, AN016～AN021	入力	ADC12で処理されるアナログ信号用の入力端子
	AN100～AN106, AN116～AN120	入力	
	ADTRG0	入力	A/D変換を開始する外部トリガ信号用の入力端子。アクティブLow
	ADTRG1	入力	
	PGAVSS000/ PGAVSS100	入力	差動入力端子
DAC12	DA0, DA1	出力	D/Aコンバータで処理されるアナログ信号用の出力端子
ACMPHS	VCOUT	出力	コンパレータ出力端子
	IVREF0～IVREF3	入力	コンパレータ用の基準電圧入力端子
	IVCMP0～IVCMP2	入力	コンパレータ用のアナログ電圧入力端子
CTSU	TS00～TS17	入力	静電容量式タッチ検出端子（タッチ端子）
	TSCAP	-	タッチドライバ用の二次電源端子
I/Oポート	P000～P007	入力	汎用入力端子
	P008～P011, P014, P015	入出力	汎用入出力端子
	P100～P115	入出力	汎用入出力端子
	P200	入力	汎用入力端子
	P201～P207, P212, P213	入出力	汎用入出力端子
	P300～P315	入出力	汎用入出力端子
	P400～P415	入出力	汎用入出力端子
	P500～P515	入出力	汎用入出力端子
	P600～P615	入出力	汎用入出力端子
	P700～P713	入出力	汎用入出力端子
	P800～P813	入出力	汎用入出力端子
	P900～P915	入出力	汎用入出力端子
	PA00～PA15	入出力	汎用入出力端子
	PB00～PB07	入出力	汎用入出力端子
GLCDC	LCD_DATA00～LCD_DATA23	出力	パネル用のデータ出力端子
	LCD_TCON0～LCD_TCON3	出力	パネルタイミング調整用の出力端子
	LCD_CLK	出力	パネルクロック出力端子
	LCD_EXTCLK	入力	パネルクロックソース入力端子
PDC	PIXCLK	入力	画像転送用クロック端子
	VSYNC	入力	垂直同期信号端子
	HSYNC	入力	水平同期信号端子
	PIXD0～PIXD7	入力	8ビット画像データ端子
	PCKO	出力	ドットクロック用の出力端子

1.6 ピン配置図

図 1.3 ～図 1.8 にピン配置図を示します。

R7FS7G2xxxA01CBD

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	P407	P408	P410	P708	VSS	USBHS_DM	PVSS_USBHS	P212/EXTAL	XCIN	VCL0	P707	P701	P403	P401	P511	15
14	USB_DP	USB_DM	P409	P411	P415	USBHS_DP	AVSS_USBHS	P213/XTAL	XCOUT	VBATT	P706	P700	P402	P514	P512	14
13	VCC_USB	VSS_USB	P207	P412	P709	VCC_USBHS	USBHS_RREF	AVCC_USBHS	VSS	PB01	P705	P405	P400	P513	P805	13
12	P202	P203	P205	P413	P711	VSS1_USBHS	VSS2_USBHS	VCC	PB05	PB03	VCC	P806	P002	P807	P000	12
11	P902	P901	P315	P204	P414	P712	PB07	PB06	PB02	P702	VSS	P004	P008	P001	P005	11
10	VCL1	VSS	VSS	VCC	P313	P710	P713	PB04	P704	P404	P003	P010	P011	P006	P009	10
9	VLO	VLO	P904	P903	P900	P314	P206	PB00	P406	P515	P007	P014	AVSS0	VREFL0	VREFH0	9
8	VCC_DCDC	P200	P201/MD	P910	P909	RES	P615	P913	P703	P809	VSS	P015	VREFL	AVCC0	VREFH	8
7	P911	P912	P311	P308	P908	P907	PA08	PA13	PA00	P808	VCC	P508	P510	VCC	VSS	7
6	P905	P312	P310	P307	P915	P906	PA11	PA02	PA01	P606	P812	P506	P507	P509	VCL2	6
5	VSS	VCC	P309	P306	P914	P300/TCK/SWCLK	PA12	PA10	PA03	P607	P811	P505	P502	P503	P504	5
4	VSS	VCC	P304	P305	P114	P608	P609	PA09	PA04	P107	P106	P804	P501	P803	P500	4
3	P303	P301	P112	P113	P115	P613	PA14	VCC	PA05	P603	P600	P105	P104	P810	P802	3
2	P302	P108/TMS/SWDIO	P110/TDI	VSS	P611	P612	PA15	VSS	PA06	P604	P601	VCC	P103	P800	P801	2
1	NC	P109/TDO	P111	VCC	P610	P614	P813	VCL_F	PA07	P605	P602	VSS	P102	P101	P100	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

図 1.3 224-pin BGA のピン配置図（上面図）

R7FS7G2xxxA01CBG

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	
15	P407	P409	P411	P414	VSS	USBHS_DM	PVSS_USBHS	P212/EXTAL	XCIN	VCL0	P707	P703	P700	P405	P401	15
14	USB_DP	USB_DM	P410	P412	P415	USBHS_DP	AVSS_USBHS	P213/XTAL	XCOUT	VBATT	P706	P701	P406	P402	P512	14
13	P204	VCC_USB	VSS_USB	P408	P413	VCC_USBHS	USBHS_RREF	AVCC_USBHS	VSS	PB01	P704	P404	P400	P511	P805	13
12	P313	P202	P207	P206	P205	VSS1_USBHS	VSS2_USBHS	VCC	PB00	P705	P702	P403	P513	P806	P000	12
11	P900	P315	P314	P203								VCC	P001	P004	P002	11
10	VCL1	VSS	P901	VSS								VSS	P006	P008	P005	10
9	VLO	VLO	RES	VCC								P009	AVSS0	VREFL0	VREFH0	9
8	VCC_DCDC	P201/MD	P200	P908								P010	AVCC0	VREFL	VREFH	8
7	P906	P905	P312	P907								VCC	VSS	P015	P014	7
6	P310	P309	P307	P311								P007	P507	P505	VCL2	6
5	P308	P305	VSS	VCC								P003	P503	P504	P506	5
4	P306	P304	P300/TCK/SWCLK	P111	VSS	P613	PA09	PA00	P607	VCC	VSS	VSS	VCC	P501	P502	4
3	P303	P302	P108/TMS SWDIO	P110/TDI	VCC	P610	VCC	VSS	P604	P603	P105	P102	P800	P804	P500	3
2	P301	P112	P114	P608	P611	P614	PA10	PA01	P605	P601	P107	P104	P101	P802	P803	2
1	P109/TDO	P113	P115	P609	P612	P615	PA08	VCL_F	P606	P602	P600	P106	P103	P100	P801	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	

図 1.4 176-pin BGA のピン配置図（上面図）

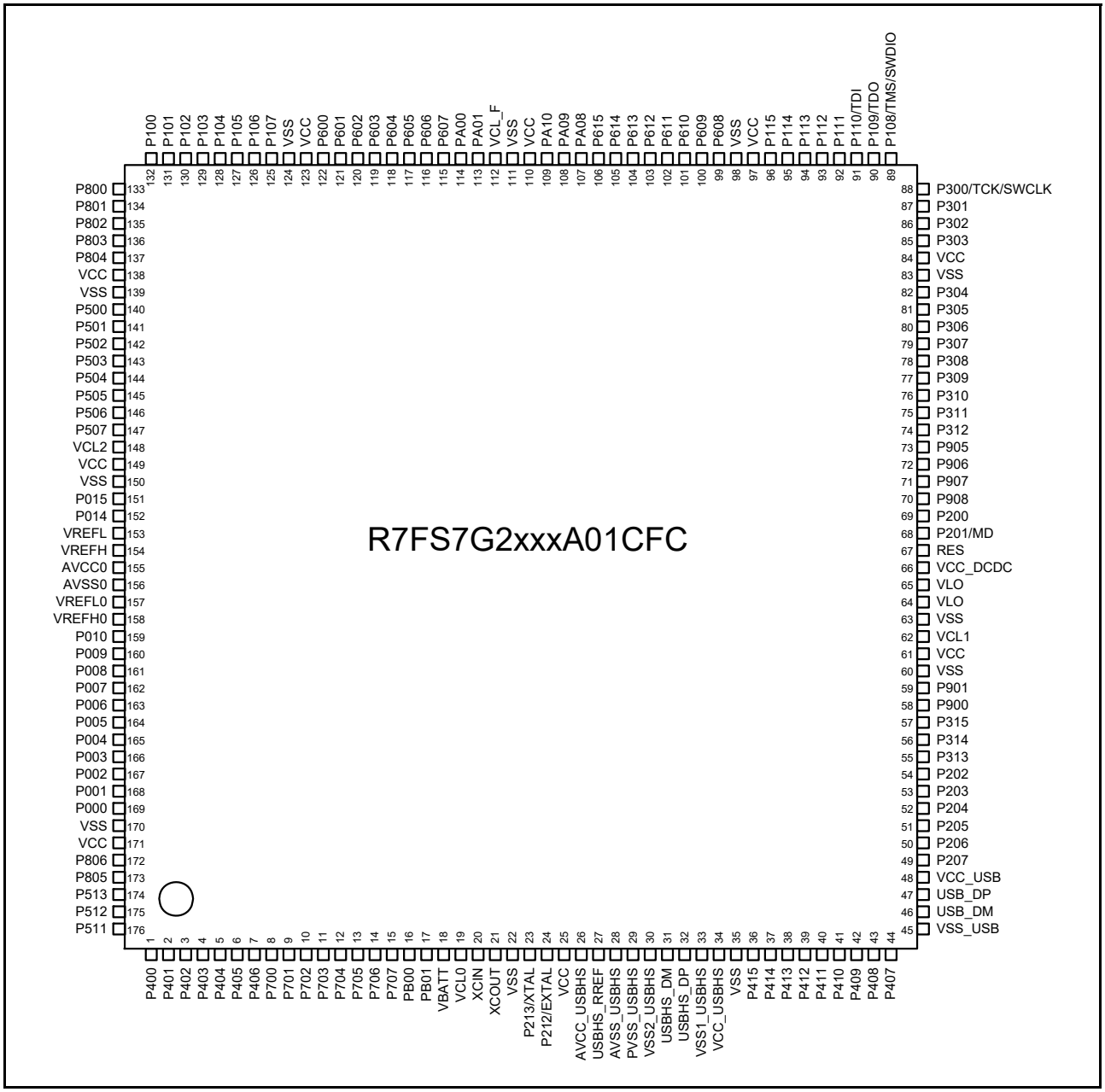


図 1.5 176-pin LQFP のピン配置図（上面図）

R7FS7G2xxxA01CLK

	A	B	C	D	E	F	G	H	J	K	L	M	N	
13	P407	P409	P412	P708	P711	VCC	P212 /EXTAL	XCIN	VCL0	P702	P405	P402	P400	13
12	USB_DM	USB_DP	P410	P414	P710	VSS	P213 /XTAL	XCOUT	VBATT	P701	P404	P511	VCC	12
11	VCC_ USB	VSS_ USB	P207	P411	P415	P712	P705	P704	P703	P403	P401	P512	VSS	11
10	P205	P206	P204	P408	P413	P709	P713	P700	P406	P003	P000	P002	P001	10
9	P203	P313	P202	VSS						P004	P006	P009	P008	9
8	VCL1	VSS	P200	VCC						P005	AVSS0	VREFL0	VREFH0	8
7	VLO	VLO	RES	P310						P007	AVCC0	VREFL	VREFH	7
6	VCC_ DCDC	P201/MD	P312	P305						P505	P506	P015	P014	6
5	P309	P311	P308	P303	NC					P503	P504	VSS	VCC	5
4	P307	P306	P304	P109/TDO	P114	P608	P604	P600	P105	P500	P502	P501	VCL2	4
3	VSS	VCC	P301	P112	P115	P610	P614	P603	P107	P106	P104	VSS	VCC	3
2	P302	P300/TCK /SWCLK	P111	VCC	P609	P612	VSS	P605	P601	VCC	P800	P101	P801	2
1	P108/TMS /SWDIO	P110/TDI	P113	VSS	P611	P613	VCC	VCL_F	P602	VSS	P103	P102	P100	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	

図 1.6 145-pin LGA のピン配置図（上面図）

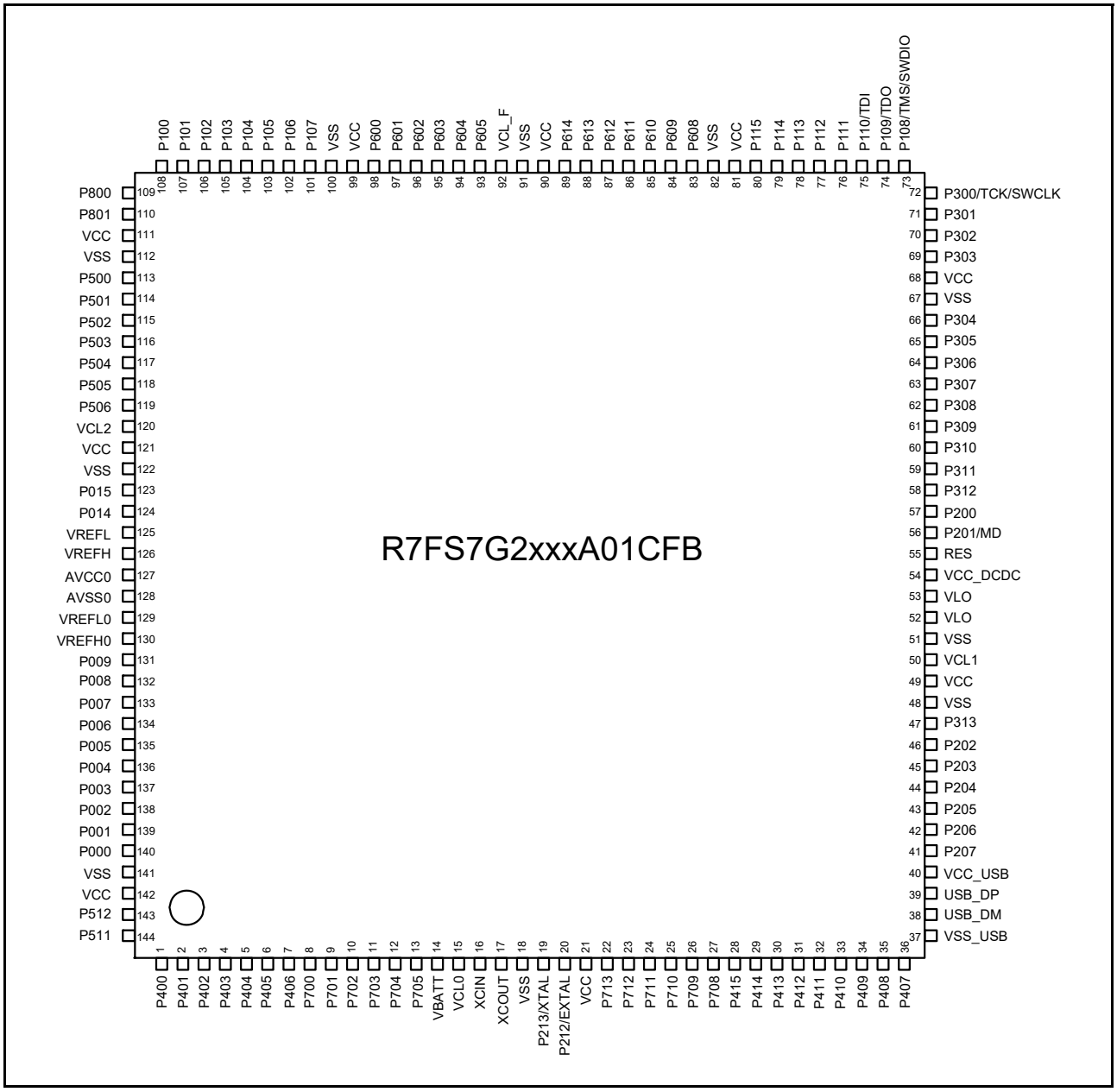


図 1.7 144-pin LQFP のピン配置図（上面図）

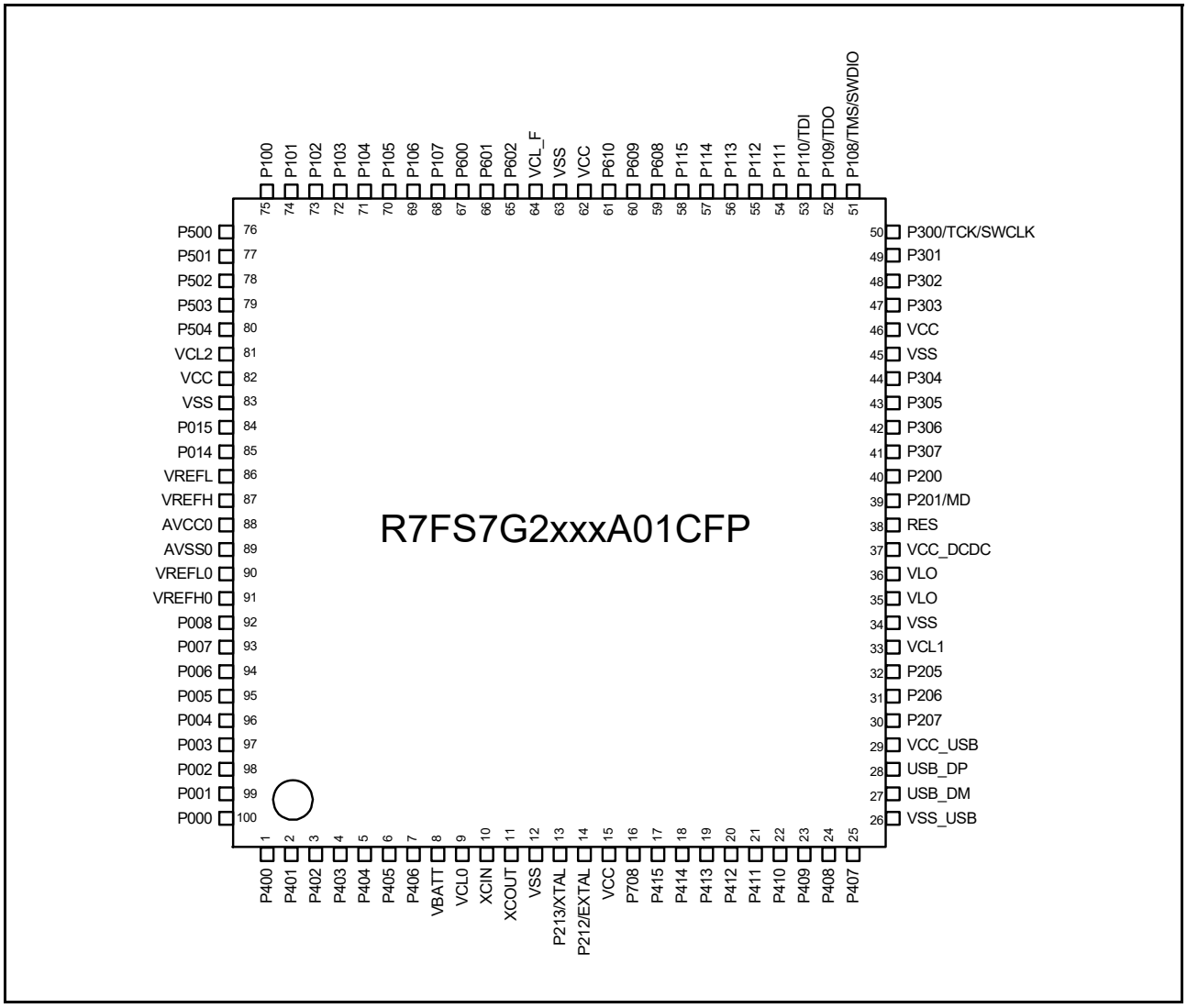


図 1.8 100-pin LQFP のピン配置図（上面図）

1.7 端子一覧

Table 1.17 端子一覧 (1/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース										アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
N13	N13	1	N13	1	1	-	IRQ0	P400	-	-	-	-	GTIOC6A_A	-	-	SCK4_B	SCK7_A	SCL0_A	-	AUDIO_CLK	ET1_TX_CLK	-	-	-	ADTRG1_B	-	-	-
P15	R15	2	L11	2	2	-	IRQ5-DS	P401	-	-	-	GTETRGA_B	GTIOC6B_A	-	CTX0_B	CTS4_RTS4_B/SS4_B	TXD7_A/MOSI7_A/SDA7_A	SDA0_A	-	-	ET0_MDC	ET0_MDC	-	-	-	-	-	-
N14	P14	3	M13	3	3	-	IRQ4-DS	P402	-	-	AGTIO0_B/AGTIO1_B	-	-	RTCIC0	CRX0_B	-	RXD7_A/MISO7_A/SCL7_A	-	-	-	ET0_MDIO	ET0_MDIO	-	-	-	-	-	-
N15	M12	4	K11	4	4	-	-	P403	-	-	AGTIO0_C/AGTIO1_C	-	GTIOC3A_B	RTCIC1	-	-	CTS7_RTS7_A/SS7_A	-	-	SSISCK0_A	ET1_MDC	ET1_MDC	-	-	-	-	-	PIXD7
K10	M13	5	L12	5	5	-	-	P404	-	-	-	-	GTIOC3B_B	RTCIC2	-	-	-	-	-	SSIWS0_A	ET1_MDIO	ET1_MDIO	-	-	-	-	-	PIXD6
M13	P15	6	L13	6	6	-	-	P405	-	-	-	-	GTIOC1A_B	-	-	-	-	-	-	SSITXD0_A	ET1_TX_EN	RMII1_TXD_EN	-	-	-	-	-	PIXD5
J9	N14	7	J10	7	7	-	-	P406	-	-	-	-	GTIOC1B_B	-	-	-	-	-	-	SSIRXD0_A	ET1_RX_ER	RMII1_TXD1	-	-	-	-	-	PIXD4
M14	N15	8	H10	8	-	-	-	P700	-	-	-	-	GTIOC5A_B	-	-	-	-	-	-	-	ET1_ETXD1	RMII1_TXD0	-	-	-	-	-	PIXD3
M15	M14	9	K12	9	-	-	-	P701	-	-	-	-	GTIOC5B_B	-	-	-	-	-	-	-	ET1_ETXD0	REF50CK1	-	-	-	-	-	PIXD2
K11	L12	10	K13	10	-	-	-	P702	-	-	-	-	GTIOC6A_B	-	-	-	-	-	-	-	ET1_ERXD1	RMII1_RXD0	-	-	-	-	-	PIXD1
J8	M15	11	J11	11	-	-	-	P703	-	-	-	-	GTIOC6B_B	-	-	-	-	-	-	-	ET1_ERXD0	RMII1_RXD1	-	-	-	-	-	PIXD0
J10	L13	12	H11	12	-	-	-	P704	-	-	-	-	-	-	-	-	-	-	-	-	ET1_RX_CLK	RMII1_RX_ER	-	-	-	-	-	HSYNC
L13	K12	13	G11	13	-	-	-	P705	-	-	-	-	-	-	-	-	-	-	-	-	ET1_CRS	RMII1_CRS_DV	-	-	-	-	-	PIXCLK
L14	L14	14	-	-	-	-	IRQ7	P706	-	-	-	-	-	-	-	-	RXD3_B/MISO3_B/SCL3_B	-	-	-	-	-	USBHS_OVRCURB	-	-	-	-	-

Table 1.17 端子一覧 (2/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース										アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
L15	L15	15	-	-	-	-	IRQ8	P707	-	-	-	-	-	-	-	-	TXD3_B/MOSI3_B/SDA3_B	-	-	-	-	-	USBHS_OVRCURA	-	-	-	-	-
H9	J12	16	-	-	-	-		PB00	-	-	-	-	-	-	-	-	SCK3_B	-	-	-	-	-	USBHS_VBUSEN	-	-	-	-	-
J11	-	-	-	-	-	-		PB02	-	-	-	-	-	-	-	CTS8_RTS8_B/SS8_B	-	-	-	-	ET1_RX_DV	-	-	-	-	-	-	-
K12	-	-	-	-	-	-		PB03	-	-	-	-	-	-	-	SCK8_B	-	-	-	-	ET1_COL	-	-	-	-	-	-	-
H10	-	-	-	-	-	-	IRQ12	PB04	-	-	-	-	-	-	-	TXD8_B/MOSI8_B/SDA8_B	-	-	-	-	ET1_ERXD2	-	-	-	-	-	-	-
K13	K13	17	-	-	-	-		PB01	-	-	-	-	-	-	-	-	CTS3_RTS3_B/SS3_B	-	-	-	-	-	USBHS_VBUS	-	-	-	-	-
J12	-	-	-	-	-	-	IRQ13	PB05	-	-	-	-	-	-	-	RXD8_B/MISO6_B/SCL6_B	-	-	-	-	ET1_ERXD3	-	-	-	-	-	-	-
H11	-	-	-	-	-	-	-	PB06	-	-	-	-	-	-	-		-	-	-	-	ET1_WOL	ET1_WOL	-	-	-	-	-	-
G11	-	-	-	-	-	-	-	PB07	-	-	-	-	-	-	-		-	-	-	-	ET1_LINKSTA	ET1_LINKSTA	-	-	-	-	-	-
K14	K14	18	J12	14	8	VBATT	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
K15	K15	19	J13	15	9	VCL0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
J15	J15	20	H13	16	10	XCIN	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
J14	J14	21	H12	17	11	XCOUT	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
J13	J13	22	F12	18	12	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
H14	H14	23	G12	19	13	XTAL	IRQ2	P213	-	-	-	GTETRGC_A	-	-	-	-	TXD1_A/MOSI1_A/SDA1_A	-	-	-	-	-	-	-	ADTRG1_A	-	-	-
H15	H15	24	G13	20	14	EXTAL	IRQ3	P212	-	-	AGTEE1	GTETRGD_A	-	-	-	-	RXD1_A/MISO1_A/SCL1_A	-	-	-	-	-	-	-	-	-	-	-
H12	H12	25	F13	21	15	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Table 1.17 端子一覧 (3/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース											アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
H13	H13	26	-	-	-	AVCC_USBHS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G13	G13	27	-	-	-	USBHS_RREF	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G14	G14	28	-	-	-	AVSS_USBHS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G15	G15	29	-	-	-	PVSS_USBHS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G12	G12	30	-	-	-	VSS2_USBHS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
F15	F15	31	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	USBHS_DM	-	-	-	-	-
F14	F14	32	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	USBHS_DP	-	-	-	-	-
F12	F12	33	-	-	-	VSS1_USBHS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
F13	F13	34	-	-	-	VCC_USBHS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
E15	E15	35	-	-	-	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-		-
G10	-	-	G10	22	-	-	-	P713	-	-	-	-	GTIOC2A_B	-	-	-	-	-	-	-	ET1_EXOUT	ET1_EXOUT	-	-	-	-	TS17	-
F11	-	-	F11	23	-	-	-	P712	-	-	-	-	GTIOC2B_B	-	-	-	-	-	-	-	-	-	-	-	-	-	TS16	-
E12	-	-	E13	24	-	-	-	P711	-	-	-	-	-	-	-	-	CTS1_RTS1_B/SS1_B	-	-	-	ET0_TX_CLK	-	-	-	-	-	TS15	-
F10	-	-	E12	25	-	-	-	P710	-	-	-	-	-	-	-	-	SCK1_B	-	-	-	ET0_TX_ER	-	-	-	-	-	TS14	-
E13	-	-	F10	26	-	-	IRQ10	P709	-	-	-	-	-	-	-	-	TXD1_B/MOSI1_B/SDA1_B	-	-	-	ET0_ETXD2	-	-	-	-	-	TS13	-
D15	-	-	D13	27	16	CACREF_B	IRQ11	P708	-	-	-	-	-	-	-	-	RXD1_B/MISO1_B/SCL1_B	-	SSLA3_B	-	ET0_ETXD3	-	-	-	-	-	TS12	-
E14	E14	36	E11	28	17	-	-	P415	-	-	-	-	-	-	-	-	-	-	SSLA2_B	-	ET0_TX_EN	RMII0_TXD_EN	-	-	-	-	TS11	-

Table 1.17 端子一覧 (4/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース											アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
E11	D15	37	D12	29	18	-	-	P414	-	-	-	-	-	-	-	-	-	-	SSLA1_B	-	ET0_RX_ER	RMII0_TXD1	-	SD0WP	-	-	TS10	-
D12	E13	38	E10	30	19	-	-	P413	-	-	-	GTOUUP_B	-	-	-	CTS0_RTS0_B/SS0_B	-	-	SSLA0_B	-	ET0_ETXD1	RMII0_TXD0	-	SD0CLK	-	-	TS09	-
D13	D14	39	C13	31	20	-	-	P412	-	-	-	GTOULO_B	-	-	-	SCK0_B	-	-	RSPCKA_B	-	ET0_ETXD0	REF50CK0	-	SD0CMD	-	-	TS08	-
D14	C15	40	D11	32	21	-	IRQ4	P411	-	-	AGTOA1	GTOVUP_B	GTIOC9A_A	-	-	TXD0_B/MOSI0_B/SDA0_B	CTS3_RTS3_A/SS3_A	-	MOSIA_B	-	ET0_ERXD1	RMII0_RXD0	-	SD0DAT0	-	-	TS07	-
C15	C14	41	C12	33	22	-	IRQ5	P410	-	-	AGTOB1	GTOVLO_B	GTIOC9B_A	-	-	RXD0_B/MISO0_B/SCL0_B	SCK3_A	-	MISOA_B	-	ET0_ERXD0	RMII0_RXD1	-	SD0DAT1	-	-	TS06	-
C14	B15	42	B13	34	23	-	IRQ6	P409	-	-	-	GTOWUP_B	GTIOC10A_A	-	USB_EXICEN_A	-	TXD3_A/MOSI3_A/SDA3_A	-	-	-	ET0_RX_CLK	RMII0_RX_ER	USBHS_EXICEN	-	-	-	TS05	-
B15	D13	43	D10	35	24	-	IRQ7	P408	-	-	-	GTOWLO_B	GTIOC10B_A	-	USB_ID_A	-	RXD3_A/MISO3_A/SCL3_A	-	-	-	ET0_CRS	RMII0_CRS_DV	USBHS_ID	-	-	-	TS04	-
A15	A15	44	A13	36	25	-	-	P407	-	-	-	-	-	RTCOUT	USB_VBUS	CTS4_RTS4_A/SS4_A	-	SDA0_B	SSLB3_A	-	ET0_EXOUT	ET0_EXOUT	-	-	ADTRG0	-	TS03	-
B13	C13	45	B11	37	26	VSS_USB	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B14	B14	46	A12	38	27		-	-	-	-	-	-	-	-	USB_DM	-	-	-	-	-	-	-	-	-	-	-	-	-
A14	A14	47	B12	39	28		-	-	-	-	-	-	-	-	USB_DP	-	-	-	-	-	-	-	-	-	-	-	-	-
A13	B13	48	A11	40	29	VCC_USB	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
C13	C12	49	C11	41	30	-	-	P207	A17	-	-	-	-	-	-	-	-	-	SSLB2_A	-	-	-	-	-	-	-	TS02	-
G9	D12	50	B10	42	31	-	IRQ0-DS	P206	WAIT	-	-	GTIU_A	-	-	USB_VBUSEN_A	RXD4_A/MISO4_A/SCL4_A	-	SDA1_A	SSLB1_A	SSIDATA1_A	ET0_LINKSTA	ET0_LINKSTA	-	SD0DAT2	-	-	TS01	-

Table 1.17 端子一覧 (5/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース											アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
C12	E12	51	A10	43	32	CLKOUT_A	IRQ1-DS	P205	A16	-	AGTO1	GTIV_A	GTIOC4A_B	-	USB_OVRCURA_A-DS	TXD4_A/MOSI4_A/SDA4_A	CTS9_RTS9_A/SS9_A	SCL1_A	SSLB0_A	SSIWS1_A	ET0_WOL	ET0_WOL	-	SD0DAT3	-	-	TSCAP_A	-
D11	A13	52	C10	44	-	CACREF_A	-	P204	A18	-	AGTIO1_A	GTIW_A	GTIOC4B_B	-	USB_OVRCURB_A-DS	SCK4_A	SCK9_A	SCL0_B	RSPCKB_A	SSISCK1_A	ET0_RX_DV	-	-	SD0DAT4	-	-	TS00	-
B12	D11	53	A9	45	-	-	IRQ2-DS	P203	A19	-	-	-	GTIOC5A_A	-	CTX0_A	CTS2_RTS2_A/SS2_A	TXD9_A/MOSI9_A/SDA9_A	-	MOSIB_A	-	ET0_COL	-	-	SD0DAT5	-	-	TSCAP_B	-
A12	B12	54	C9	46	-	-	IRQ3-DS	P202	WR1/BC1	-	-	-	GTIOC5B_A	-	CRX0_A	SCK2_A	RXD9_A/MISO9_A/SDA9_A	-	MISOB_A		ET0_ERXD2	-	-	SD0DAT6	-	-	-	LCD_TCON3_B
E10	A12	55	B9	47	-	-	-	P313	A20	-	-	-	-	-	-	-	-	-	-	-	ET0_ERXD3	-	-	SD0DAT7	-	-	-	LCD_TCON2_B
F9	C11	56	-	-	-	-	-	P314	A21	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_TCON1_B
C11	B11	57	-	-	-	-	-	P315	A22	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_TCON0_B
E9	A11	58	-	-	-	-	-	P900	A23	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_CLK_B
B11	C10	59	-	-	-	-	-	P901		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA15_B
A11	-	-	-	-	-	-	-	P902	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA23_B
C10	D10	60	D9	48	-	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
D10	D9	61	D8	49	-	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
D9	-	-	-	-	-	-	-	P903	-	-	-	-	GTIOC7A_B	-	-	-	-	-	-	-	-	-	-	SD0CD	-	-	-	-
C9	-	-	-	-	-	-	-	P904	-	-	-	-	GTIOC7B_B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
A10	A10	62	A8	50	33	VCL1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B10	B10	63	B8	51	34	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
A9	A9	64	A7	52	35	VLO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B9	B9	65	B7	53	36	VLO	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
A8	A8	66	A6	54	37	VCC_DCDC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Table 1.17 端子一覧 (6/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース											アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
H8	-	-	-	-	-		-	P913	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
F8	C9	67	C7	55	38	RES	-		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
C8	B8	68	B6	56	39	MD	-	P201	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B8	C8	69	C8	57	40	-	NMI	P200	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B7	-	-	-	-	-	-	-	P912	-	-	-	-	GTIOC8A_B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
A7	-	-	-	-	-	-	-	P911	-	-	-	-	GTIOC8B_B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
D8	-	-	-	-	-	-	-	P910	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA22_B
E8	-	-	-	-	-	-	-	P909	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA21_B
E7	D8	70	-	-	-	-	-	P908	CS7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA14_B
F7	D7	71	-	-	-	-	-	P907	CS6	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA13_B
F6	A7	72	-	-	-	-	-	P906	CS5	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA12_B
A6	B7	73	-	-	-	-	-	P905	CS4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA11_B
B6	C7	74	C6	58	-	-	-	P312	CS3	CAS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
C7	D6	75	B5	59	-	-	-	P311	CS2	RAS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA23_A
A4	-	-	-	-	-	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B4	-	-	-	-	-	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
C6	A6	76	D7	60	-	-	-	P310	A15	A15	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA22_A
C5	B6	77	A5	61	-	-	-	P309	A14	A14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA21_A
D7	A5	78	C5	62	-	-	-	P308	A13	A13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA20_A
D6	C6	79	A4	63	41	-	-	P307	A12	A12	-	-	-	-	-	CTS6_RTS6_A/SS6_A	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA19_A
D5	A4	80	B4	64	42	-	-	P306	A11	A11	-	-	-	-	-	SCK6_A	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA18_A

Table 1.17 端子一覧 (7/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース										アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
D4	B5	81	D6	65	43	-	IRQ8	P305	A10	A10	-	-	-	-	-	TXD6_A/MOSI6_A/SDA6_A	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA17_A
C4	B4	82	C4	66	44	-	IRQ9	P304	A09	A09	-	-	GTIOC7A_A	-	-	RXD6_A/MISO6_A/SCL6_A	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA16_A
A5	C5	83	A3	67	45	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
B5	D5	84	B3	68	46	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
E6	-	-	-	-	-	-	-	P915	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA20_B
E5	-	-	-	-	-	-	-	P914	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA19_B
A3	A3	85	D5	69	47	-	-	P303	A08	A08	-	-	GTIOC7B_A	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA15_A
A2	B3	86	A2	70	48	-	IRQ5	P302	A07	A07	-	GTOUUP_A	GTIOC4A_A	-	-	TXD2_A/MOSI2_A/SDA2_A	-	-	SSLB3_B	-	-	-	-	-	-	-	-	LCD_DATA14_A
B3	A2	87	C3	71	49	-	IRQ6	P301	A06	A06	-	GTOULO_A	GTIOC4B_A	-	-	RXD2_A/MISO2_A/SCL2_A	-	-	SSLB2_B	-	-	-	-	-	-	-	-	LCD_DATA13_A
F5	C4	88	B2	72	50	TCK/SWCLK	-	P300	-	-	-	-	GTIOC0A_A	-	-	-	-	-	SSLB1_B	-	-	-	-	-	-	-	-	-
B2	C3	89	A1	73	51	TMS/SWDIO	-	P108	-	-	-	-	GTIOC0B_A	-	-	-	CTS9_RTS9_B/SS9_B	-	SSLB0_B	-	-	-	-	-	-	-	-	-
B1	A1	90	D4	74	52	CLKOUT_B/TDO/SWO	-	P109	-	-	-	GTOVUP_A	GTIOC1A_A	-	CTX1_A	-	TXD9_B/MISO9_B/SDA9_B	-	MOSIB_B	-	-	-	-	-	-	-	-	-
C2	D3	91	B1	75	53	TDI	IRQ3	P110	-	-	-	GTOVLO_A	GTIOC1B_A	-	CRX1_A	CTS2_RTS2_B/SS2_B	RXD9_B/MISO9_B/SCL9_B	-	MISOB_B	-	-	-	-	-	-	VCOUT	-	-
C1	D4	92	C2	76	54	-	IRQ4	P111	A05	A05	-	-	GTIOC3A_A	-	-	SCK2_B	SCK9_B	-	RSPCKB_B	-	-	-	-	-	-	-	-	LCD_DATA12_A

Table 1.17 端子一覧 (8/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース										アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
C3	B2	93	D3	77	55	-	-	P112	A04	A04	-	-	GTIOC3B_A	-	-	TXD2_B/MOSI2_B/SDA2_B	-	-	-	SSISCK0_B		-	-	-	-	-	-	LCD_DATA11_A
D3	B1	94	C1	78	56	-	-	P113	A03	A03	-	-	-	-	-	RXD2_B/MISO2_B/SCL2_B	-	-	-	SSIWS0_B		-	-	-	-	-	-	LCD_DATA10_A
E4	C2	95	E4	79	57	-	-	P114	A02	A02	-	-	-	-	-	-	-	-	-	SSIRXD0_B		-	-	-	-	-	-	LCD_DATA09_A
E3	C1	96	E3	80	58	-	-	P115	A01	A01	-	-	-	-	-	-	-	-	-	SSITXD0_B		-	-	-	-	-	-	LCD_DATA08_A
D1	E3	97	D2	81	-	VCC	-		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
D2	E4	98	D1	82	-	VSS	-		-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
F4	D2	99	F4	83	59	-	-	P608	A00/BC0	A00/DQM1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA07_A
G4	D1	100	E2	84	60	-	-	P609	CS1	CKE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA06_A
E1	F3	101	F3	85	61	-	-	P610	CS0	WE	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA05_A
E2	E2	102	E1	86	-	-	-	P611		SDCS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
F2	E1	103	F2	87	-	-	-	P612	D08	DQ08	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
F3	F4	104	F1	88	-	-	-	P613	D09	DQ09	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
F1	F2	105	G3	89	-	-	-	P614	D10	DQ10	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G8	F1	106	-	-	-	-	-	P615	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA10_B
G7	G1	107	-	-	-	-	-	PA08	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA09_B
G6	-	-	-	-	-	-	-	PA11	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA18_B
G5	-	-	-	-	-	TCLK	-	PA12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
H4	G4	108	-	-	-	-	-	PA09	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA08_B
H7	-	-	-	-	-	TDATA0	-	PA13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G3	-	-	-	-	-	TDATA1	-	PA14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
H5	G2	109	-	-	-	-	-	PA10	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA07_B

Table 1.17 端子一覧 (9/13)

ピン番号									Extbus		タイマ				通信インタフェース										アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100	電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
G2	-	-	-	-	-	TDATA2	-	PA15	-	-	-	-	GTIOC9A_B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
G1	-	-	-	-	-	TDATA3	-	P813	-	-	-	-	GTIOC9B_B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
H3	G3	110	G1	90	62	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
H2	H3	111	G2	91	63	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
H1	H1	112	H1	92	64	VCL_F	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
J1	-	-	-	-	-		-	PA07	-	-	-	-	GTIOC10A_B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
J2	-	-	-	-	-		-	PA06	-	-	-	-	GTIOC10B_B	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
J3	-	-	-	-	-		-	PA05	-	-	-	-	GTIOC11A_B	-	-	-	CTS7_RTS7_B/SS7_B	-	-	-	-	-	-	-	-	-	-	-
J4	-	-	-	-	-		-	PA04	-	-	-	-	GTIOC11B_B	-	-	-	SCK7_B	-	-	-	-	-	-	-	-	-	-	-
J5	-	-	-	-	-		IRQ9	PA03	-	-	-	-	-	-	-	-	RXD7_B/MISO7_B/SCL7_B	-	-	-	-	-	-	-	-	-	-	-
H6	-	-	-	-	-		IRQ10	PA02	-	-	-	-	-	-	-	-	TXD7_B/MOSI7_B/SDA7_B	-	-	-	-	-	-	-	-	-	-	-
J6	H2	113	-	-	-		-	PA01	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA06_B
J7	H4	114	-	-	-		-	PA00	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA05_B
K5	J4	115	-	-	-		-	P607	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA04_B
K6	J1	116	-	-	-		-	P606	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA03_B
K1	J2	117	H2	93	-		-	P605	D11	DQ11	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
K2	J3	118	G4	94	-		-	P604	D12	DQ12	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
K3	K3	119	H3	95	-		-	P603	D13	DQ13	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
L1	K1	120	J1	96	65		-	P602	EBCLK	SDCLK	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA04_A
L2	K2	121	J2	97	66	-	-	P601	WR/WR0	DQM0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA03_A

Table 1.17 端子一覧 (10/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース										アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
L3	L1	122	H4	98	67	-	-	P600	RD	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA02_A
M2	K4	123	K2	99	-	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
M1	L4	124	K1	100	-	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
K4	L2	125	J3	101	68	-	KR07	P107	D07	DQ07	-	-	GTIOC8A_A	-	-	CTS8_RTS8_A/SS8_A	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA01_A
L4	M1	126	K3	102	69	-	KR06	P106	D06	DQ06	-	-	GTIOC8B_A	-	-	SCK8_A	-	-	SSLA3_A	-	-	-	-	-	-	-	-	LCD_DATA00_A
M3	L3	127	J4	103	70	-	IRQ0/KR05	P105	D05	DQ05	-	GTETRGA_C	-	-	-	TXD8_A/MOSI8_A/SDA8_A	-	-	SSLA2_A	-	-	-	-	-	-	-	-	LCD_TCON3_A
N3	M2	128	L3	104	71	-	IRQ1/KR04	P104	D04	DQ04	-	GTETRGB_B	-	-	-	RXD8_A/MISO8_A/SCL8_A	-	-	SSLA1_A	-	-	-	-	-	-	-	-	LCD_TCON2_A
N2	N1	129	L1	105	72	-	KR03	P103	D03	DQ03	-	GTOWUP_A	GTIOC2A_A	-	-	CTS0_RTS0_A/SS0_A	-	-	SSLA0_A	-	-	-	-	-	-	-	-	LCD_TCON1_A
N1	M3	130	M1	106	73	-	KR02	P102	D02	DQ02	AGTO0	GTOWLO_A	GTIOC2B_A	-	-	SCK0_A	-	-	RSPCKA_A	-	-	-	-	-	ADTRG0_A	-	-	LCD_TCON0_A
P1	N2	131	M2	107	74	-	IRQ1/KR01	P101	D01	DQ01	AGTEE0	GTETRGB_A	-	-	-	TXD0_A/MOSI_A/SDA0_A	CTS1_RTS1_A/SS1_A	SDA1_B	MOSIA_A	-	-	-	-	-	-	-	-	LCD_CLK_A
R1	P1	132	N1	108	75	-	IRQ2/KR00	P100	D00	DQ00	AGTIO0_A	GTETRGA_A	-	-	-	RXD0_A/MISO0_A/SLC0_A	SCK1_A	SCL1_B	MISOA_A	-	-	-	-	-	-	-	-	LCD_EXTCLK_A
P2	N3	133	L2	109	-	-	-	P800	D14	DQ14	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R2	R1	134	N2	110	-	-	-	P801	D15	DQ15	-	-	-	-	-	-	-	-	-	-	-	-	-	SD1DAT4	-	-	-	-
K7	-	-	-	-	-	-	-	P808	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
K8	-	-	-	-	-	-	-	P809	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
P3	-	-	-	-	-	-	-	P810	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R3	P2	135	-	-	-	-	-	P802	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SD1DAT5	-	-	-	LCD_DATA02_B

Table 1.17 端子一覧 (11/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース											アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
P4	R2	136	-	-	-	-	-	P803	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SD1DAT6	-	-	-	LCD_DATA01_B
M4	P3	137	-	-	-		-	P804	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SD1DAT7	-	-	-	LCD_DATA00_B
L5	-	-	-	-	-		-	P811	-	-	-	-	-	-	CTX0_C	-	-	-	-	-	-	-	-	-	-	-	-	-
L6	-	-	-	-	-		-	P812	-	-	-	-	-	-	CRX0_C	-	-	-	-	-	-	-	-	-	-	-	-	-
L7	N4	138	N3	111	-	VCC	-		-	-	-	-	-	-		-	-	-	-	-	-	-	-	-	-	-	-	-
L8	M4	139	M3	112	-	VSS	-		-	-	-	-	-	-		-	-	-	-	-	-	-	-	-	-	-	-	-
R4	R3	140	K4	113	76	-	-	P500	-	-	AGTOA0	GTIU_B	GTIOC11A_A	-	USB_VBUSEN_B	-	-	-	QSPCLK	-	-	-	-	SD1CLK	AN016	IVREF0	-	-
N4	P4	141	M4	114	77	-	IRQ11	P501	-	-	AGTOB0	GTIV_B	GTIOC11B_A	-	USB_OVRCURA_B	-	TXD5_A/MOSI5_A/SDA5_A	-	QSSL	-	-	-	-	SD1CMD	AN116	IVREF1	-	-
N5	R4	142	L4	115	78	-	IRQ12	P502	-	-	-	GTIW_B	GTIOC12A	-	USB_OVRCURB_B	-	RXD5_A/MISO5_A/SCL5_A	-	QIO0	-	-	-	-	SD1DAT0	AN017	IVCMP0	-	-
P5	N5	143	K5	116	79	-		P503	-	-	-	GETRGC_B	GTIOC12B	-	USB_EXICEN_B	CTS6_RTS6_B/SS6_B	SCK5_A	-	QIO1	-	-	-	-	SD1DAT1	AN117	-	-	-
R5	P5	144	L5	117	80	-		P504	-	-	-	GETRGD_B	GTIOC13A	-	USB_ID_B	SCK6_B	CTS5_RTS5_A/SS5_A		QIO2	-	-	-	-	SD1DAT2	AN018	-	-	-
M5	P6	145	K6	118	-	-	IRQ14	P505	-	-	-	-	GTIOC13B	-	-	RXD6_B/MISO6_B/SCL6_B	-	-	QIO3	-	-	-	-	SD1DAT3	AN118	-	-	-
M6	R5	146	L6	119	-	-	IRQ15	P506	-	-	-	-	-	-	-	TXD6_B/MOSI6_B/SDA6_B	-	-	-	-	-	-	-	SD1CD	AN019	-	-	-
N6	N6	147	-	-	-	-	-	P507	-	-	-	-	-	-	-		CTS5_RTS5_B/SS5_B	-	-	-	-	-	-	SD1WP	AN119	-	-	-
M7	-	-	-	-	-	-	-	P508	-	-	-	-	-	-	-		SCK5_B	-	-	-	-	-	-	-	AN020	-	-	-

Table 1.17 端子一覧 (12/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース										アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
P6	-	-	-	-	-	-	-	P509	-	-	-	-	-	-	-		TXD5_B/MOSI5_B/SDA5_B	-	-	-	-	-	-	-	AN120	-	-	-
N7	-	-	-	-	-	-	-	P510	-	-	-	-	-	-	-	-	RXD5_B/MISO5_B/SCL5_B	-	-	-	-	-	-	-	AN021	-	-	-
R6	R6	148	N4	120	81	VCL2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
P7	M7	149	N5	121	82	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R7	N7	150	M5	122	83	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
M8	P7	151	M6	123	84	-	IRQ13	P015	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN006/AN106	DA1/IVCMP1	-	-
M9	R7	152	N6	124	85	-	-	P014	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN005/AN105	DA0/IVREF3	-	-
N8	P8	153	M7	125	86	VREFL	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R8	R8	154	N7	126	87	VREFH	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
P8	N8	155	L7	127	88	AVCC0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
N9	N9	156	L8	128	89	AVSS0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
P9	P9	157	M8	129	90	VREFL0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R9	R9	158	N8	130	91	VREFH0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
N10	-	-	-	-	-	-	IRQ15-DS	P011	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN104	-	-	-
M10	M8	159	-	-	-	-	IRQ14-DS	P010	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN103	-	-	-
R10	M9	160	M9	131	-	-	IRQ13-DS	P009	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN004	-	-	-
N11	P10	161	N9	132	92	-	IRQ12-DS	P008	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN003	-	-	-
L9	M6	162	K7	133	93	-	-	P007	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PGAVSS100	-	-	-
P10	N10	163	L9	134	94	-	IRQ11-DS	P006	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN102	IVCMP2	-	-
R11	R10	164	K8	135	95	-	IRQ10-DS	P005	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN101	IVCMP2	-	-
M11	P11	165	K9	136	96	-	IRQ9-DS	P004	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN100	IVCMP2	-	-
L10	M5	166	K10	137	97	-	-	P003	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PGAVSS000	-	-	-
N12	R11	167	M10	138	98	-	IRQ8-DS	P002	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN002	IVCMP2	-	-
P11	N11	168	N10	139	99	-	IRQ7-DS	P001	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN001	IVCMP2	-	-

Table 1.17 端子一覧 (13/13)

ピン番号						電源、システム、クロック、デバッグ、CAC	割り込み	I/Oポート	Extbus		タイマ				通信インタフェース											アナログ		HMI	
BGA224	BGA176	LQFP176	LGA145	LQFP144	LQFP100				外部バス	SDRAM	AGT	GPT	GPT	RTC	USBFS, CAN	SCI0,2,4,6,8 (30MHz)	SCI1,3,5,7,9 (30MHz)	IIC	SPI, QSPI	SSI	MII (25MHz)	RMII (50MHz)	USBHS	SDHI	ADC12	DAC12, ACMPHS	CTSU	GLCDC, PDC
R12	R12	169	L10	140	100	-	IRQ6-DS	P000	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	AN000	IVCMP2	-	-
L11	M10	170	N11	141	-	VSS	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
L12	M11	171	N12	142	-	VCC	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
M12	P12	172	-	-	-	-	-	P806	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_EXTCLK_B
R13	R13	173	-	-	-	-	-	P805	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LCD_DATA17_B
P12	-	-	-	-	-	-	-	P807	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
P13	N12	174	-	-	-	-	-	P513	-	-	-	-	-	-	-	-	-	-	-	-	ET1_ETXD3	-	-	-	-	-	-	LCD_DATA16_B
K9	-	-	-	-	-	-	-	P515	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R14	R14	175	M11	143	-	-	IRQ14	P512	-	-	-	-	GTIOC0A_B	-	CTX1_B	TXD4_B/MOSI4_B/SDA4_B	-	SCL2	-	-	ET1_ETXD2	-	-	-	-	-	-	VSYNC
P14	-	-	-	-	-	-		P514	-	-	-	GTETRGB_C	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R15	P13	176	M12	144	-	-	IRQ15	P511	-	-	-	-	GTIOC0B_B	-	CRX1_B	RXD4_B/MISO4_B/SCL4_B	-	SDA2	-	-	ET1_TX_ER	-	-	-	-	-	-	PCKO

注 . いくつかの端子名には、_A、_B、および _C という接尾語が付加されています。IIC、SPI、および SSI 機能を割り当てる場合、同じ接尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。

2. CPU

2.1 概要

本 MCU は、Arm® Cortex®-M4 コアをベースにしています。

2.1.1 CPU

- Arm Cortex-M4
  - リビジョン：r0p1-01rel0
  - Armv7E-M アーキテクチャプロファイル
  - 単精度浮動小数点ユニット（ANSI/IEEE 規格 754-2008 に準拠）
- メモリプロテクションユニット（MPU）
  - Armv7 保護メモリシステムアーキテクチャ
  - 8 つのメモリ保護領域
- SysTick タイマ
  - SYSTICCLK（LOCO）または ICLK クロックによる駆動

詳細は、参考資料 1. および参考資料 2. を参照してください。

2.1.2 デバッグ

- Arm CoreSight™ ETM-M4
  - リビジョン：r0p1-00rel0
  - Arm ETM アーキテクチャバージョン 3.5
- CoreSight 計装トレースマクロセル（ITM)）
- データウォッチポイント & トレース（DWT）ユニット
  - ウォッチポイントとトリガ用の 4 つのコンパレータ
- フラッシュパッチ&ブレークポイント（FPB）ユニット
  - 6 つの命令コンパレータ
  - 2 つのリテラルコンパレータ
- CoreSight タイムスタンプジェネレータ（TSG）
  - ETM および ITM 用タイムスタンプ
  - CPU クロックによる駆動
- デバッグレジスタモジュール（DBGREG）
  - リセットコントロール
  - 停止コントロール
- CoreSight デバッグアクセスポート（DAP）
  - JTAG デバッグポート（JTAG-DP）
  - シリアルワイヤデバッグポート（SW-DP）
- Cortex-M4 トレースポートインタフェースユニット（TPIU）
  - 4 ビット TPIU フォーマッタ出力
  - シリアルワイヤ出力
- CoreSight エンベデッドトレースバッファ（ETB）
  - CoreSight トレースメモリコントローラ（ETB コンフィグレーション内蔵）
  - バッファサイズ：2KB

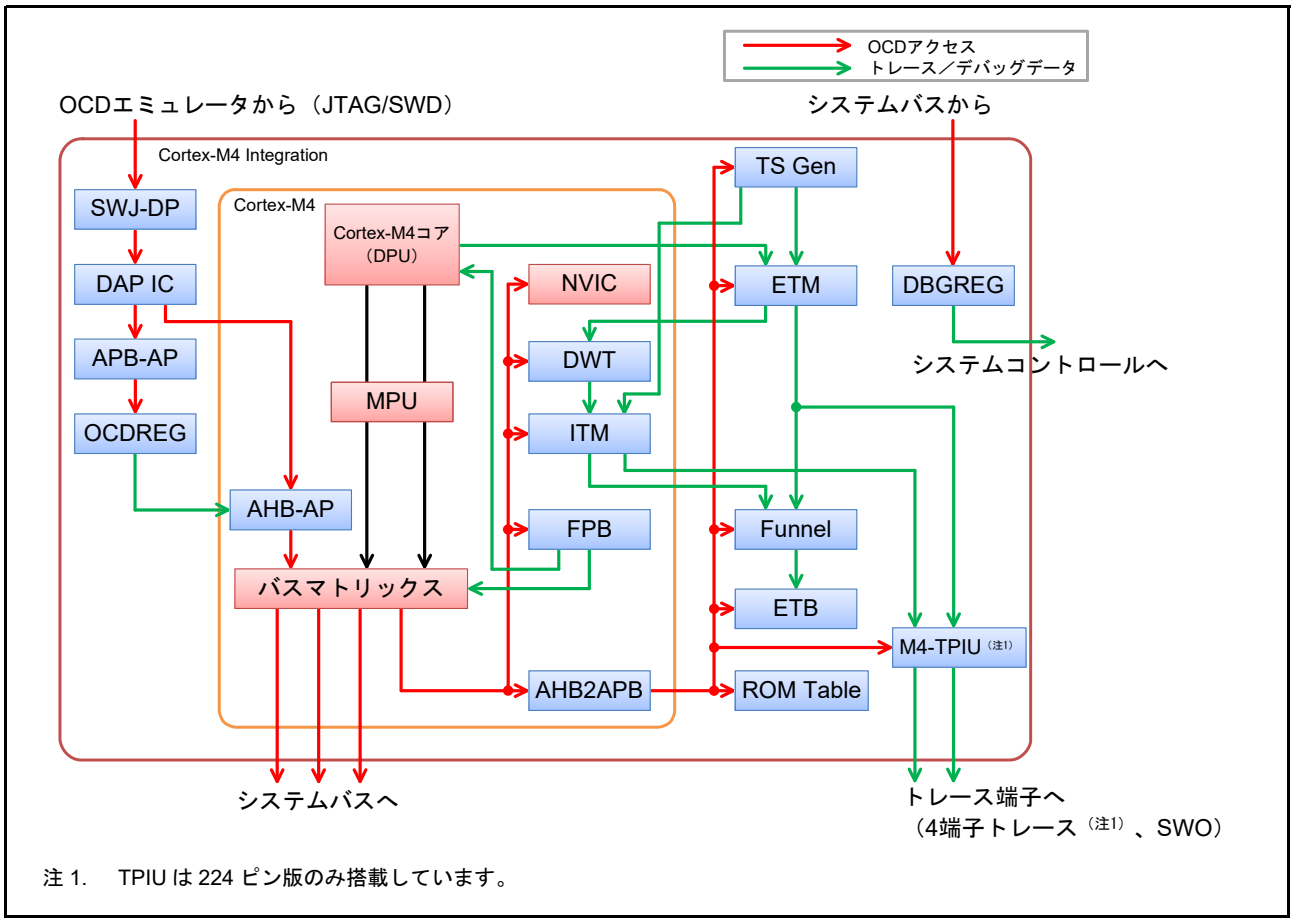
詳細は、参考資料 1. および参考資料 2. を参照してください。

2.1.3 動作周波数

本 MCU の動作周波数は以下の通りです。

- CPU：最大 240MHz
- トレース（4 ビット TPIU）：最大 120MHz
- トレース（SWO）：最大 60MHz
- JTAG インタフェース：最大 25MHz
- SWD インタフェース：最大 25MHz

図 2.1 に Cortex-M4 コアのブロック図を示します。



注 1. TPIU は 224 ピン版のみ搭載しています。

図 2.1 Cortex-M4 CPU ブロック図

2.2 MCU の実装オプション

表 2.1 実装オプション

オプション	実装
MPU	あり（8つのメモリ保護領域）
FPU	あり
割り込み回数	96
プライオリティビット数	4
ウェイクアップ割り込みコントローラ（WIC（注1））の数	なし
スリープモードパワーセーブ	スリープモードなどの低消費電力モードがサポートされています。 詳細は、「11. 低消費電力モード」を参照してください。 SCB.SCR.SLEEPDEEPは無視されます。
エンディアン形式	リトルエンディアン
SysTick SYST_CALIB レジスタ	SYST_CALIB = 4000 0147h ビット[31] = 0 基準クロック提供 ビット[30] = 1 TERMS値が精度異常 ビット[29:24] = 00h 予約ビット ビット[23:0] = 000147h TERM: (32768 × 10ms) - 1/32.768kHz = 326.66（10進） = 327（スキューを含む） = 000147h
イベント入出力	実装なし
システムリセット要求出力	アプリケーション割り込みおよびリセットコントロールレジスタのSYSRESETREQビットによってCPUがリセットされます。
補助フォルト入力（AUXFAULT）	実装なし

注 1. ウェイクアップ割り込みコントローラ（WIC）の代わりに、ICU によって CPU のウェイクアップが可能です。
詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

2.3 トレースインタフェース

トレースポートインタフェースユニット（TPIU）とシリアルワイヤ出力（SWO）は、トレース出力を行います。TPIU は、224 ピンバージョンでのみ利用可能です。表 2.2 は、この機能に対応する MCU 端子を示しています。これらの端子は他機能との兼用端子です。

表 2.2 トレース機能の端子

名称	入出力	幅	機能	使用しない場合
TCLK	出力	1ビット	トレースクロック	オープン
TDATA0	出力	1ビット	トレースデータ出力0	オープン
TDATA1	出力	1ビット	トレースデータ出力1	オープン
TDATA2	出力	1ビット	トレースデータ出力2	オープン
TDATA3	出力	1ビット	トレースデータ出力3	オープン
TDO/SWO	出力	1ビット	シリアルワイヤ出力 JTAG TDO端子と兼用	オープン

2.4 JTAG/SWD インタフェース

表 2.3 は MCU の JTAG/SWD 端子を示しています。

表 2.3 JTAG/SWD端子

名称	入出力	P/N	幅	機能	使用しない場合
TCK/SWCLK	入力	Pos.	1ビット	JTAGクロック端子	プルアップ
TMS/SWDIO	入出力	Neg.	1ビット	JTAG TMS端子 シリアルワイヤデータ入出力端子	プルアップ
TDI	入力	Pos.	1ビット	JTAG TDI端子	プルアップ
TDO/SWO	出力	Neg.	1ビット	JTAG TDO端子 シリアルワイヤ出力と兼用	オープン

2.5 デバッグモード

2.5.1 デバッグモード定義

シングルチップモードでは、デバッガを接続した状態を OCD モード、デバッガを接続していない状態をユーザモードと定義します。

表 2.4 は、2 つの CPU デバッグモードと、それぞれの使用条件を示しています。

表 2.4 CPU デバッグモードおよび条件

条件		モード	
OCD 接続	JTAG/SWD 認証	デバッグモード	デバッグ認証
未接続	—	ユーザモード	禁止
接続	不合格	ユーザモード	禁止
接続	合格	OCD モード	許可

注 . OCD 接続は、SWJ-DP レジスタの CDBGPWRUPREQ ビット出力によって判別されます。このビットは OCD によってのみ書き込むことができます。ただし、このビットのレベルは、DBGSTR.CDBGPWRUPREQ ビットの読み出しによって確認できます。

注 . デバッグ認証は、Armv7-M アーキテクチャによって定義されます。「許可」とは、侵入型と非侵入型の両方の CPU デバッグが許可されることを意味します。「禁止」とは、両方とも許可されないことを意味します。

2.5.2 デバッグモードの影響

この節ではデバッグモードの影響について説明します。デバッグモードは CPU の内部および外部に影響を与えます。

2.5.2.1 低消費電力モード

すべての CoreSight デバッグコンポーネントは、CPU がソフトウェアスタンバイモード、スヌーズモード、あるいはディープソフトウェアスタンバイモードに入った場合でも、レジスタの設定値を格納することが可能です。ただし、これらの低消費電力モードにおいては、AHB-AP はオンチップデバッグ（OCD）アクセスに応答できません。CoreSight デバッグコンポーネントにアクセスするには、OCD は低消費電力モードが解除されるのを待つ必要があります。OCD は MCUCTRL レジスタの DBIRQ ビットを設定することで、低消費電力モードの解除を要求できます。詳細は、2.6.5.3 MCU コントロールレジスタ（MCUCTRL）を参照してください。

2.5.2.2 リセット

OCD モードでは、一部のリセットは CPU 状態と DBGSTOPCR の設定内容に依存します。

表 2.5 リセットまたは割り込みおよびモード設定

リセットまたは割り込みの名称	オンチップデバッグ（OCD）モード時の制御	
	OCD ブレークモード	OCD RUN モード
RES端子リセット	ユーザモードと同じ	
パワーオンリセット	ユーザモードと同じ	
独立ウォッチドッグタイマリセット／割り込み	発生なし（注1）	DBGSTOPCRの設定内容に依存（注2）
ウォッチドッグタイマリセット／割り込み	発生なし（注1）	DBGSTOPCRの設定内容に依存（注2）
電圧監視0リセット	DBGSTOPCRの設定内容に依存（注3）	
電圧監視1リセット／割り込み	DBGSTOPCRの設定内容に依存（注3）	
電圧監視2リセット／割り込み	DBGSTOPCRの設定内容に依存（注3）	
SRAMパリティエラーリセット／割り込み	DBGSTOPCRの設定内容に依存（注3）	
SRAM DEDエラーリセット／割り込み	DBGSTOPCRの設定内容に依存（注3）	
MPUバスマスタリセット／割り込み	ユーザモードと同じ	
MPUバススレーブリセット／割り込み	ユーザモードと同じ	
スタックポインタエラーリセット／割り込み	ユーザモードと同じ	
ディープソフトウェアスタンバイリセット	ユーザモードと同じ	
ソフトウェアリセット	ユーザモードと同じ	

注 . OCD ブレークモードでは CPU が停止しています。OCD RUN モードでは CPU が OCD モードにあって、停止していません。
注 1. このモードでは IWDT と WDT は常に停止しています。
注 2. IWDT と WDT の動作は、DBGSTOPCR の設定内容に依存します。
注 3. リセットまたは割り込みのマスク処理は、DBGSTOPCR の設定内容に依存します。

2.6 プログラマモデル

2.6.1 アドレス空間

本 MCU のデバッグシステムには、次の 2 つの CoreSight アクセスポート（AP）があります。

- AHB-AP：CPU バスマトリックスに接続され、CPU と同様にシステムアドレス空間にアクセスします
- APB-AP：専用のアドレス空間（OCD アドレス空間）を持ち、OCD レジスタに接続されます

図 2.2 は、AP 接続とアドレス空間のブロック図です。

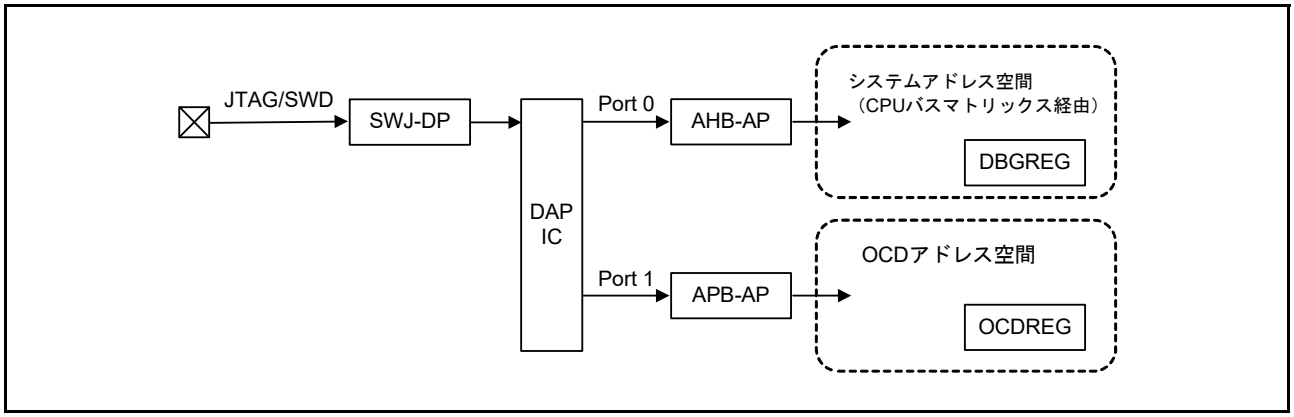


図 2.2 JTAG/SWD 認証のブロック図

デバッグ用に、DBGREG と OCDREG の 2 つのレジスタモジュールが存在します。DBGREG はシステムアドレス空間に配置され、OCD エミュレータ、CPU、および MCU の他のバスマスタからアクセスが可能です。OCDREG は OCD アドレス空間に配置され、OCD ツールからのみアクセスが可能です。CPU と他のバスマスタは OCD レジスタにアクセスできません。

2.6.2 Cortex-M4 ペリフェラルアドレスマップ

システムアドレス空間では、Cortex-M4 コアは専用周辺バス（PPB）を備えます。このバスは CPU および OCD エミュレータからのみアクセスが可能です。PPB は、本 MCU に対する Cortex-M4 オリジナル実装から拡張されます。表 2.6 は、本 MCU のアドレスマップを示しています。

表 2.6 Cortex-M4 ペリフェラルアドレスマップ

コンポーネント名	開始アドレス	終了アドレス	備考
ITM	E000 0000h	E000 0FFFh	参考資料2. を参照してください。
DWT	E000 1000h	E000 1FFFh	参考資料2. を参照してください。
FPB	E000 2000h	E000 2FFFh	参考資料2. を参照してください。
SCS	E000 E000h	E000 EFFFh	参考資料2. を参照してください。
TPIU	E004 0000h	E004 0FFFh	参考資料2. を参照してください。
ETM	E004 1000h	E004 1FFFh	参考資料5. を参照してください。
ATB ファネル	E004 2000h	E004 2FFFh	2.7 および参考資料4. を参照してください。
ETB	E004 3000h	E004 3FFFh	参考資料6. を参照してください。
タイムスタンプジェネレータ	E004 4000h	E004 4FFFh	2.9 および参考資料4. を参照してください。
ROM テーブル	E00F F000h	E00F FFFFh	2.6.3 および参考資料7. を参照してください。

2.6.3 CoreSight ROM テーブル

本 MCU には 1 つの CoreSight ROM テーブルがあります。これは Arm コンポーネントの一覧表です。

2.6.3.1 ROM エントリ

ROM エントリは、システムのコンポーネントの一覧表です。OCD エミュレータは、この ROM エントリを使用して、システムに実装されているコンポーネントを識別できます。詳細は参考資料 7. を参照してください。

表 2.7 CoreSight ROM テーブルの ROM エントリ

#	アドレス	アクセスサイズ	R/W	値	コンポーネント
0	E00F F000h	32 ビット	R	FFF0F003	SCS
1	E00F F004h	32 ビット	R	FFF02003	DWT
2	E00F F008h	32 ビット	R	FFF03003	FPB
3	E00F F00Ch	32 ビット	R	FFF01003	ITM
4	E00F F010h	32 ビット	R	FFF41003	TPIU
5	E00F F014h	32 ビット	R	FFF42003	ETM
6	E00F F018h	32 ビット	R	FFF43003	ファネル
7	E00F F01Ch	32 ビット	R	FFF44003	ETB
8	E00F F020h	32 ビット	R	FFF45003	TSG
9	E00F F024h	32 ビット	R	00000000	（エントリ終了）

2.6.3.2 CoreSight レジスタ

CoreSight ROM テーブルは、Arm CoreSight アーキテクチャで定義された CoreSight レジスタの一覧表です。詳細は参考資料 7. を参照してください。

表 2.8 CoreSight ROM テーブルの CoreSight レジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
DEVTYPE	E00F FFCCh	32 ビット	R	00000001h
PID4	E00F FFD0h	32 ビット	R	00000004h
PID5	E00F FFD4h	32 ビット	R	00000000h
PID6	E00F FFD8h	32 ビット	R	00000000h
PID7	E00F FFDCh	32 ビット	R	00000000h
PID0	E00F FFE0h	32 ビット	R	00000001h
PID1	E00F FFE4h	32 ビット	R	00000030h
PID2	E00F FFE8h	32 ビット	R	0000000Ah
PID3	E00F FFECh	32 ビット	R	00000000h
CID0	E00F FFF0h	32 ビット	R	0000000Dh
CID1	E00F FFF4h	32 ビット	R	00000010h
CID2	E00F FFF8h	32 ビット	R	00000005h
CID3	E00F FFFCh	32 ビット	R	000000B1h

2.6.4 DBGREG モジュール

DBGREG モジュールは、デバッグ機能を制御し、CoreSight 準拠のコンポーネントとして実装されています。表 2.9 に、CoreSight コンポーネントレジスタ以外の DBGREG レジスタを示します。

表 2.9 非CoreSight DBGREG レジスタ

名称		DAP ポート	アドレス	アクセスサイズ	R/W
デバッグステータスレジスタ	DBGSTR	ポート 0	4001 B000h	32 ビット	R
デバッグストップコントロールレジスタ	DBGSTOPCR	ポート 0	4001 B010h	32 ビット	R/W
トレースコントロールレジスタ	TRACECTR	ポート 0	4001 B020h	32 ビット	R/W

2.6.4.1 デバッグステータスレジスタ （DBGSTR）

アドレス DBG.DBGSTR 4001 B000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CDBGPWRUPACK	CDBGPWRUPREQ	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと 0 が読めます。	R
b28	CDBGPWRUPREQ	デバッグパワーアップリクエスト	0：OCD はデバッグパワーアップを要求していない 1：OCD はデバッグパワーアップを要求している	R
b29	CDBGPWRUPACK	デバッグパワーアップアクノリッジ	0：デバッグパワーアップ要求は承認されない 1：デバッグパワーアップ要求は承認される	R
b31-b30	—	予約ビット	読むと 0 が読めます。	R

2.6.4.2 デバッグストップコントロールレジスタ（DBGSTOPCR）

アドレス DBG.DBGSTOPCR 4001 B010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	DBGSTOP_RDEDR	DBGSTOP_RPER	—	—	—	—	—	DBGSTOP_LVD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DBGSTOP_WDT	DBGSTOP_IWDT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	DBGSTOP_IWDT	IWDTリセット／割り込み用のマスクビット	0：IWDTリセット／割り込みを許可 1：IWDTリセット／割り込みをマスクし、CPUがOCDブレークモードの場合はWDTカウントを停止	R/W
b1	DBGSTOP_WDT	WDTリセット／割り込み用のマスクビット	0：WDTリセット／割り込みを許可 1：WDTリセット／割り込みをマスクし、CPUがOCDブレークモードの場合はWDTカウントを停止	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DBGSTOP_LVD[2:0]	LVD0リセット用のマスクビット	0：LVD0リセットを許可 1：LVD0リセットをマスク	R/W
b17		LVD1リセット／割り込み用のマスクビット	0：LVD1リセット／割り込みを許可 1：LVD1リセット／割り込みをマスク	R/W
b18		LVD2リセット／割り込み用のマスクビット	0：LVD2リセット／割り込みを許可 1：LVD2リセット／割り込みをマスク	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DBGSTOP_RPER	SRAMパリティエラーリセット／割り込み用のマスクビット	0：SRAMパリティエラーリセット／割り込みを許可 1：SRAMパリティエラーリセット／割り込みをマスク	R/W
b25	DBGSTOP_RDEDR	SRAM DEDエラーリセット／割り込み用のマスクビット	0：SRAM DEDエラーリセット／割り込みを許可 1：SRAM DEDエラーリセット／割り込みをマスク	R/W
b31-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

デバッグストップコントロールレジスタ（DBGSTOPCR）は、OCD モード時の機能停止を指定します。このレジスタの全ビットは、MCU が OCD モードでないときは、0 とみなされます。

2.6.4.3 トレースコントロールレジスタ（TRACECTR）

アドレス DBG.TRACECTR 4001 B020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ENETB FULL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	ENETBFULL	ETB フル時の停止要求用のイネーブルビット	0：ETB フルはCPU を停止させない 1：ETB フルはCPU を停止させる	R/W

2.6.4.4 DBGREG CoreSight コンポーネントレジスタ

DBGREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを備えています。表 2.10 は、これらのレジスタの一覧です。詳細は参考資料 7. を参照してください。

表 2.10 DBGREG CoreSight コンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	4001 BFD0h	32 ビット	R	00000004h
PID5	4001 BFD4h	32 ビット	R	00000000h
PID6	4001 BFD8h	32 ビット	R	00000000h
PID7	4001 BFDCh	32 ビット	R	00000000h
PID0	4001 BFE0h	32 ビット	R	00000005h
PID1	4001 BFE4h	32 ビット	R	00000030h
PID2	4001 BFE8h	32 ビット	R	0000001Ah
PID3	4001 BFECh	32 ビット	R	00000000h
CID0	4001 BFF0h	32 ビット	R	0000000Dh
CID1	4001 BFF4h	32 ビット	R	000000F0h
CID2	4001 BFF8h	32 ビット	R	00000005h
CID3	4001 BFFCh	32 ビット	R	000000B1h

2.6.5 OCDREG モジュール

OCDREG モジュールは、オンチップデバッグ（OCD）エミュレータ機能を制御します。OCDREG は、CoreSight 準拠のコンポーネントとして実装されています。表 2.11 に、CoreSight コンポーネントレジスタ以外の OCDREG レジスタを示します。

表 2.11 非CoreSight OCDREG レジスタ

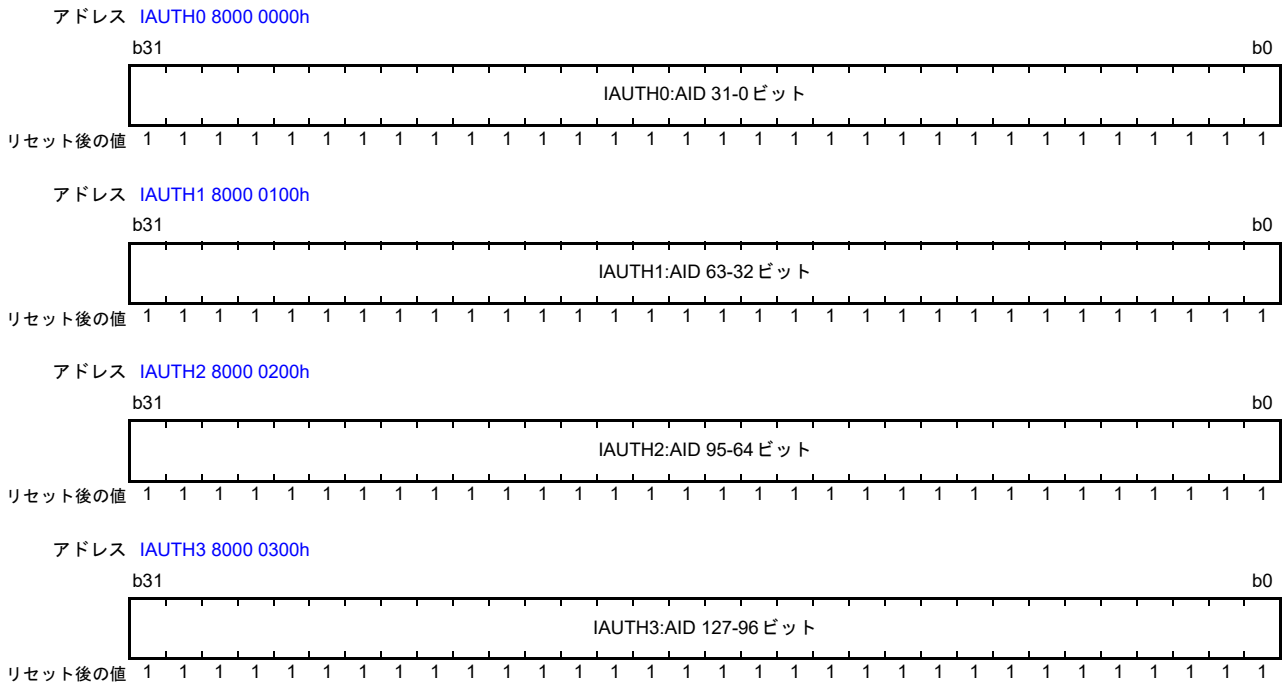
名称		DAPポート	アドレス	アクセスサイズ	R/W
ID認証コードレジスタ0	IAUTH0	ポート1	8000 0000h	32ビット	W
ID認証コードレジスタ1	IAUTH1	ポート1	8000 0100h	32ビット	W
ID認証コードレジスタ2	IAUTH2	ポート1	8000 0200h	32ビット	W
ID認証コードレジスタ3	IAUTH3	ポート1	8000 0300h	32ビット	W
MCUステータスレジスタ	MCUSTAT	ポート1	8000 0400h	32ビット	R
MCUコントロールレジスタ	MCUCTRL	ポート1	8000 0410h	32ビット	R/W

注 . OCDREG は専用の OCD アドレス空間に配置されます。このアドレスマップはシステムのアドレスマップから独立しています。2.6.2 Cortex-M4 ペリフェラルアドレスマップを参照してください。

2.6.5.1 ID 認証コードレジスタ（IAUTH0 ～ 3）

128 ビットキーを書き込むための 4 つの認証レジスタが存在します。これらのレジスタは、IAUTH0 から IAUTH3 への順序で書き込む必要があります。レジスタセットへの書き込みがこの順序に従わないと、予測できない結果となります。

32 ビットの書き込みのみが許可されます。このレジスタの初期値はすべて 1 です。これは、OSIS レジスタの ID コードが初期値の場合、JTAG/SWD アクセスが許可されることを意味します。2.10.2 アンロック ID コードを参照してください。



2.6.5.2 MCU ステータスレジスタ（MCUSTAT）

アドレス MCUSTAT 8000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CPUSTOPCLK	CPUSLEEP	AUTH
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1/0 (注1)	1/0 (注1)	0

ビット	シンボル	ビット名	機能	R/W
b0	AUTH	認証ステータス	0：認証失敗 1：認証成功	R
b1	CPUSLEEP		0：CPUは非スリープモード 1：CPUはスリープモード	R
b2	CPUSTOPCLK		0：CPUクロックを停止させない。MCUが通常モードまたはスリープモードであることを示す 1：CPUクロックを停止させる。MCUがスヌーズモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードであることを示す	R
b31-b3	—	予約ビット	読むと0が読めます。	R

注 1. MCU 状態に依存します。

2.6.5.3 MCU コントロールレジスタ（MCUCTRL）

アドレス MCUCTRL 8000 0410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DBIRQ	—	—	—	—	—	—	—	EDBGRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EDBGRQ	外部デバッグ要求	このビットに1を書き込むと、CPUが停止するかデバッグモニタ例外となります。 0：デバッグイベントを要求しない 1：デバッグイベントを要求する EDBGRQビットが0のとき、またはCPUが停止したときは、EDBCRQビットはクリアされます。	R/W
b7-b1	—	予約ビット	読むと0が読めます。	R
b8	DBIRQ	デバッグ割り込み要求	このビットに1を書き込むと、MCUは低消費電力モードから復帰します。 0：デバッグ割り込みを要求しない 1：デバッグ割り込みを要求する この条件はDBIRQビットに0を書き込むことで解除できます。	R/W
b31-b9	—	予約ビット	読むと0が読めます。	R

注 . DBIRQ ビットと EDBGRQ ビットには同じ値を設定してください。

2.6.5.4 OCDREG CoreSight コンポーネントレジスタ

OCDREG モジュールは、Arm CoreSight アーキテクチャで定義された CoreSight コンポーネントレジスタを備えています。表 2.12 は、これらのレジスタの一覧です。詳細は参考資料 7. を参照してください。

表 2.12 OCDREG CoreSightコンポーネントレジスタ

名称	アドレス	アクセスサイズ	R/W	初期値
PID4	8000 0FD0h	32ビット	R	00000004h
PID5	8000 0FD4h	32ビット	R	00000000h
PID6	8000 0FD8h	32ビット	R	00000000h
PID7	8000 0FDCh	32ビット	R	00000000h
PID0	8000 0FE0h	32ビット	R	00000004h
PID1	8000 0FE4h	32ビット	R	00000030h
PID2	8000 0FE8h	32ビット	R	0000000Ah
PID3	8000 0FECh	32ビット	R	00000000h
CID0	8000 0FF0h	32ビット	R	0000000Dh
CID1	8000 0FF4h	32ビット	R	000000F0h
CID2	8000 0FF8h	32ビット	R	00000005h
CID3	8000 0FFCh	32ビット	R	000000B1h

2.7 CoreSight ATB ファネル

MCU には、1 個の CoreSight ATB ファネルがあります。このファネルは、2 個の ATB スレーブと 1 個の ATB マスタを含み、ETM および ITM から ETB へのデバッグトレースのソースを選択するために使用されます。図 2.3 は、本 MCU における CoreSight ATB 接続を示しています。

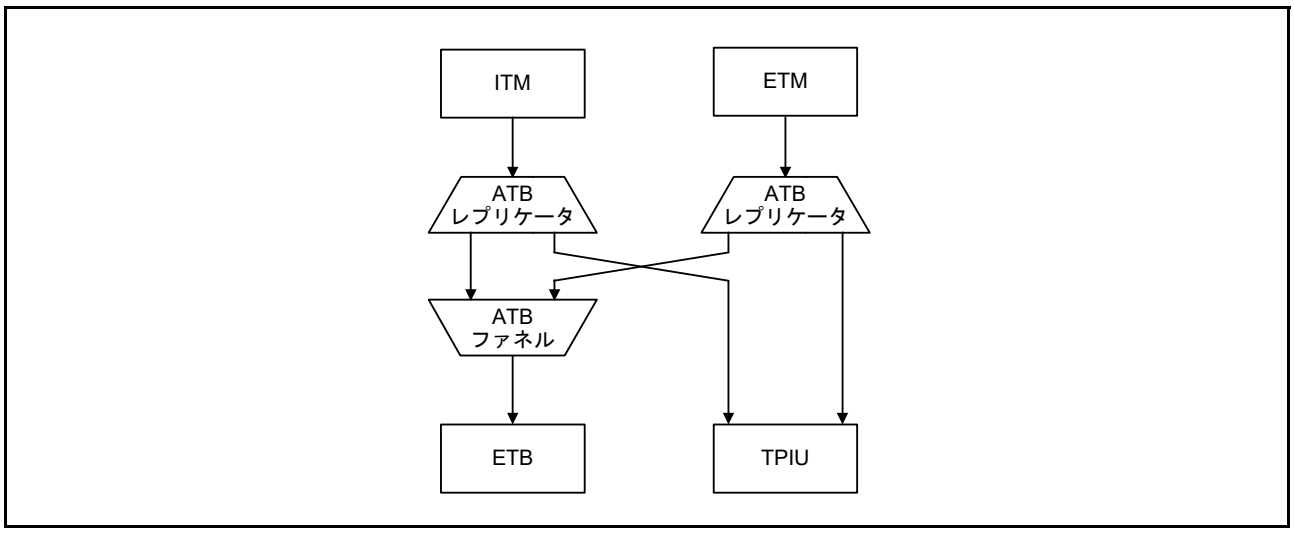


図 2.3 CoreSight ATB 接続

表 2.13 は ATB ファネルのスレーブ接続を示しています。

表 2.13 ATBスレーブ接続

ATBスレーブ番号	接続されるトレースソース
#0	ITM
#1	ETM

ATB とファネルの詳細は、参考資料 4. を参照してください。

2.8 SysTick システムタイマ

SysTick システムタイマは、簡易的な 24 ビットダウンカウンタを備えています。このタイマの基準クロックには、CPU クロック（ICLK）または SysTick タイマクロック（SYSTICCLK）を選択できます。詳細は参考資料 1.（注 1）を参照してください。

注 1. 参考資料では、IMPLEMENTATION DEFINED 外部基準クロックは SYSTICCLK (LOCO)、プロセッサクロックは ICLK です。

2.9 CoreSight タイムスタンプジェネレータ

CoreSight タイムスタンプジェネレータは、CPU クロックベースのタイムスタンプを ITM と ETM に供給します。64 ビットカウンタの 48 LSB ビットが、これら 2 つのコンポーネントに用いられます。詳細は参考資料 4. を参照してください。

2.10 OCD エミュレータ接続

JTAG/SWD 認証機構は、デバッグと MCU リソースへのアクセス許可をチェックします。全デバッグ機能を取得するには、この認証機構の合格結果が必要です。図 2.4 に、認証機構のブロック図を示します。

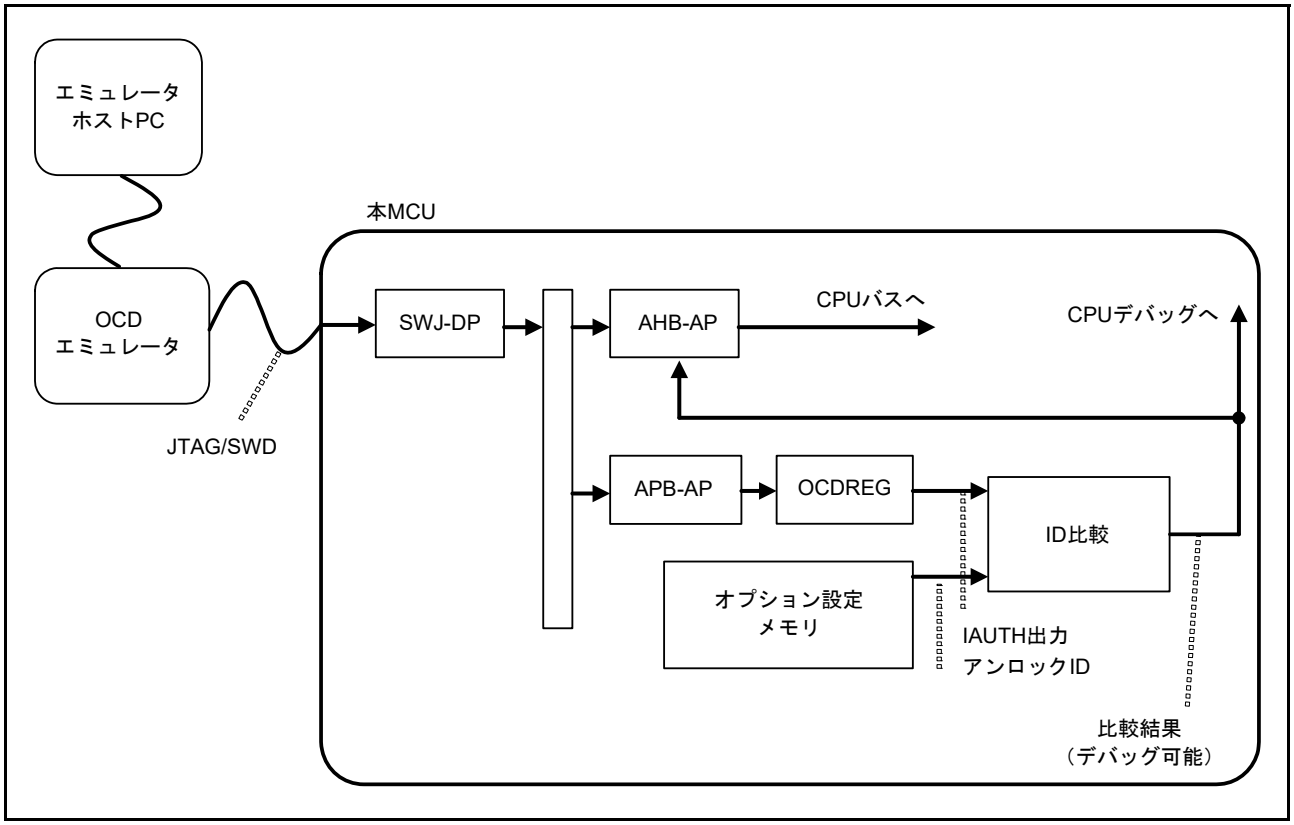


図 2.4 認証機構のブロック図

本 MCU には認証用の ID コンパレータがあります。このコンパレータは、OCDREG からの 128 ビットの IAUTH 出力と、オプション設定メモリからの 128 ビットのアンロック ID コードを比較します。これら 2 つの出力が同一であると、CPU デバッグ機能と、OCD エミュレータからのシステムバスアクセスが許可されます。

2.10.1 DBGEN

OCD エミュレータは、アクセス許可を取得した後、システムコントロール OCD コントロールレジスタ（SYOCDCR）の DBGEN ビットを設定する必要があります。また、OCD エミュレータは DBGEN ビットをクリアしないと切断されません。詳細は、「11. 低消費電力モード」を参照してください。

2.10.2 アンロック ID コード

アンロック ID コードは、デバッグとオンチップリソースへのアクセスの許可を判定するために用いられます。アンロック ID コードが ID 認証レジスタ 0 ～ 3 に書き込まれた 128 ビットデータと一致した場合、JTAG/SWD デバッガはアクセス許可を取得します。アンロック ID コードは、オプション設定メモリの OCD／シリアルプログラマ ID 設定レジスタに（OSIS）書き込まれます。アンロック ID コードの初期値は、すべて 1（FFFFFFFF_FFFFFFFF_FFFFFFFFh）です。「7. オプション設定メモリ」を参照してください。

2.10.3 OCD エミュレータ接続における制限

この節では、エミュレータのアクセス制限について説明します。

2.10.3.1 低消費電力モード中の接続開始

OCD エミュレータから JTAG/SWD 接続を開始するとき、MCU はノーマルモードかスリープモードでなければいけません。MCU がソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードであると、OCD エミュレータは MCU をハングさせます。

2.10.3.2 OCD モードにおける低消費電力モードの切り替え

MCU が OCD モードであるとき、MCU の低消費電力モードへの切り替えが可能です。ただし、AHB-AP からのシステムバスアクセスは、ソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードでは禁止されます。これらのモードでは、SWJ-DP、APB-AP、および OCDREG に対してのみ、OCD エミュレータからのアクセスが可能です。表 2.14 はこれらの制限を示しています。

表 2.14 各モードの制限

アクティブモード	OCD エミュレータ接続の開始	低消費電力モードへの切り替え	AHB-AP とシステムバスへのアクセス	APB-AP と OCDREG へのアクセス
ノーマル	可能	可能	可能	可能
スリープ	可能	可能	可能	可能
ソフトウェアスタンバイ	不可能	可能	不可能	可能
スヌーズ	不可能	可能	不可能	可能
ディープソフトウェアスタンバイ	不可能	可能	不可能	可能

ソフトウェアスタンバイモード、スヌーズモード、またはディープソフトウェアスタンバイモードにおいてシステムバスアクセスが必要な場合は、OCDREG の OCUCTRL.DBIRG ビットを設定して、MCU を低消費電力モードから復帰させてください。同時に、OCDREG の OCUCTRL.EDBGRQ ビットを用いることで、OCD エミュレータは CPU ブレークによって CPU の実行を開始することなく、MCU を復帰させることが可能です。

2.10.3.3 OSIS におけるアンロック ID コードの変更

OSIS においてアンロック ID コードを変更した後、OCD エミュレータは、RES 端子をアサートするか、またはシステムコントロールブロックのアプリケーション割り込みおよびリセットコントロールレジスタの SYSRESETREQ ビットを 1 にすることによって、MCU をリセットする必要があります。変更されたアンロック ID コードは、リセット後に反映されます。

2.10.4 接続順序と JTAG/SWD 認証

OCD エミュレータは JTAG/SWD 認証機構で保護されているため、OCD では認証レジスタに対し ID コードの入力が必要となる場合があります。オプション設定メモリの OSIS 値によって、コード入力が必要かどうかが決まります。

コールドスタート時のリセットのネゲート後は、OSIS 値のコンペアまでに、8.5µs の待機時間が必要です。

(1) OSIS の MSB が 0 の場合（ビット 127 = 0）

ID コードは常に不一致であり、オンチップデバッガへの接続は禁止されます。

(2) OSIS がすべて 1 の場合（デフォルト）

OCD 認証は不要であり、OCD は認証なしで AHB-AP を使用できます。

1. JTAG または SWD インタフェースを介して OCD エミュレータを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. システムアドレス空間にアクセスするよう AHB-AP を設定します。この AHB-AP は DAP バスのポート 0 に接続されます。
4. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(3) OSIS[127:126] = 10b の場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ～ 3 にアンロック ID コードを書き込んでから、AHB-AP を使用する必要があります。

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJDP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。この AHB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0 ～ 3 に 128 ビット ID コードを書き込みます。
5. この 128 ビット ID コードが OSIS の値と一致した場合、AHB-AP に対して AHB トランザクションを発行する権限が与えられます。認証結果は、MCUSTAT レジスタの AUTH ビット、または AHB-AP コントロールステータスワードレジスタの DbgStatus ビットで確認できます。
   - DbgStatus ビットが 1 の場合、128 ビット ID コードが OSIS 値と一致している。AHB 転送が許可される
   - DbgStatus ビットが 0 の場合、128 ビット ID コードが OSIS 値と一致していない。AHB 転送は許可されない
6. システムアドレス空間にアクセスするよう AHB-AP を設定します。この AHB-AP は DAP バスのポート 0 に接続されます。
7. AHB-AP を使用して、CPU デバッグリソースへのアクセスを開始します。

(4) OSIS[127:126] = 11b の場合

OCD 認証が必要であり、OCD は、OCDREG の IAUTH レジスタ 0 ～ 3 にアンロック ID コードを書き込む必要があります。接続順序は、「ALeRASE」機能を除いて、OSIS[127:126] = 10b の場合と同じです。

IATUH レジスタ 0 ～ 3 に ASCII コードで「ALeRASE」と書き込まれている場合、コードフラッシュ、データフラッシュ、および構成領域の内容はただちに消去されます。詳細は、「55. フラッシュメモリ」を参照してください。

ALeRASE のシーケンスは下記のとおりです。

1. JTAG または SWD インタフェースを介して OCD デバッガを本 MCU に接続します。
2. DAP バスにアクセスするよう SWJ-DP を設定します。この設定において、OCD エミュレータは SWJ-DP コントロールステータスレジスタの CDBGPWRUPREQ をアサートする必要があります。その後、同じレジスタの CSDBGPWRUPACK がアサートされるまで待ちます。
3. OCDREG にアクセスするよう APB-AP を設定します。この AHB-AP は DAP バスのポート 1 に接続されます。
4. APB-AP を使用して、OCDREG の IAUTH レジスタ 0 ～ 3 に 128 ビット ID コードを書き込みます。
5. 128 ビット ID コードが ASCII コードの「ALeRASE」（414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFFh）の場合、コードフラッシュ、データフラッシュ、および構成領域の内容は消去されます。その後、MCU はスリープモードに遷移します。

2.11 参考資料

1. *ARM®v7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)*
3. *Cortex®-M4 Devices Generic User Guide (ARM DUI 0553A)*
4. *ARM® CoreSight™ SoC-400 Technical Reference Manual (ARM DDI 0480F)*
5. *CoreSight™ ETM-M4 Technical Reference Manual (ARM DDI 0440C)*
6. *CoreSight™ Trace Memory Controller Technical Reference Manual (ARM DDI 0461B)*
7. *ARM® CoreSight™ Architecture Specification (ARM IHI 0029D)*

3. 動作モード

3.1 動作モードの種類と選択

表 3.1 は、モード設定端子による動作モードの選択を示しています。詳細は、3.2 動作モードの説明を参照してください。どのモードで起動しても、内蔵フラッシュメモリが有効な場合に動作を開始します。

表 3.1 モード設定端子による動作モードの選択

モード設定端子 MD	動作モード	内蔵フラッシュメモリ	外部バス
1	シングルチップモード	有効	無効
0	SCI/USB ブートモード	有効	無効

3.2 動作モードの説明

3.2.1 シングルチップモード

シングルチップモードでは、すべての入出力端子が、入出力ポート、周辺機能入出力、または割り込み入力として使用可能です。MD 端子が High になっているときにリセットが解除されると、MCU はシングルチップモードで起動し、内蔵フラッシュメモリが有効になります。

3.2.2 SCI ブートモード

このモードでは、MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き込みルーチン（SCI ブートプログラム）が用いられます。調歩同期式シリアル通信インタフェース（UART）SCI を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「55. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、ブートモードで起動します。

3.2.3 USB ブートモード

このモードでは、MCU 内部のブート領域に格納された、内蔵フラッシュメモリ書き込みルーチン（USB ブートプログラム）が用いられます。USB を使用して、MCU 外部から内蔵フラッシュメモリ（コードフラッシュメモリ、データフラッシュメモリ）を書き換えることができます。詳細は、「55. フラッシュメモリ」を参照してください。MD 端子を Low に保持してリセットを解除すると、USB ブートモードで起動します。

3.3 動作モード遷移

3.3.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

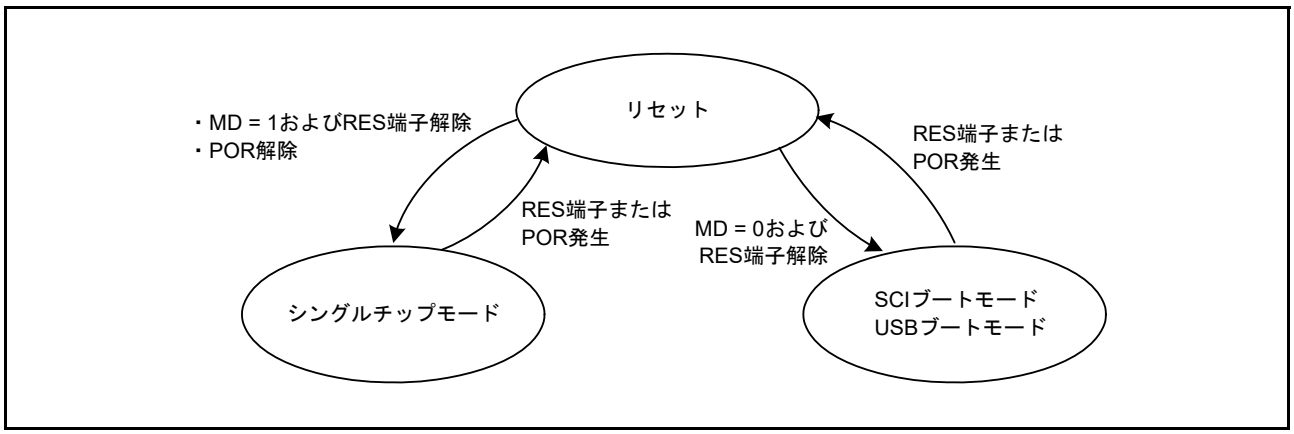
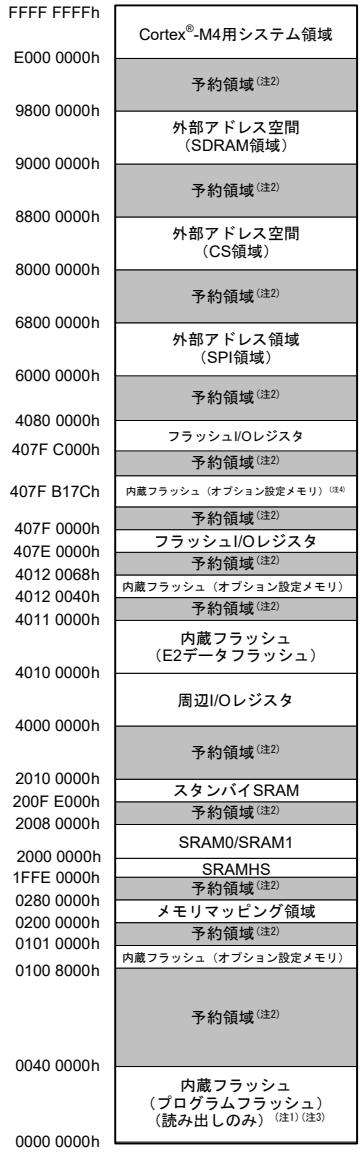


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

本 MCU は、プログラムとデータの両方を格納できる 4GB のリニアアドレス空間（0000 0000h ～ FFFF FFFFh）をサポートしています。図 4.1 にメモリマップを示します。



注 1. フラッシュ容量は製品によって異なります：

製品	アドレス
4M バイト製品	0000 0000h ～ 003F FFFFh
3M バイト製品	0000 0000h ～ 002F FFFFh

注 2. 予約領域はアクセス禁止です。

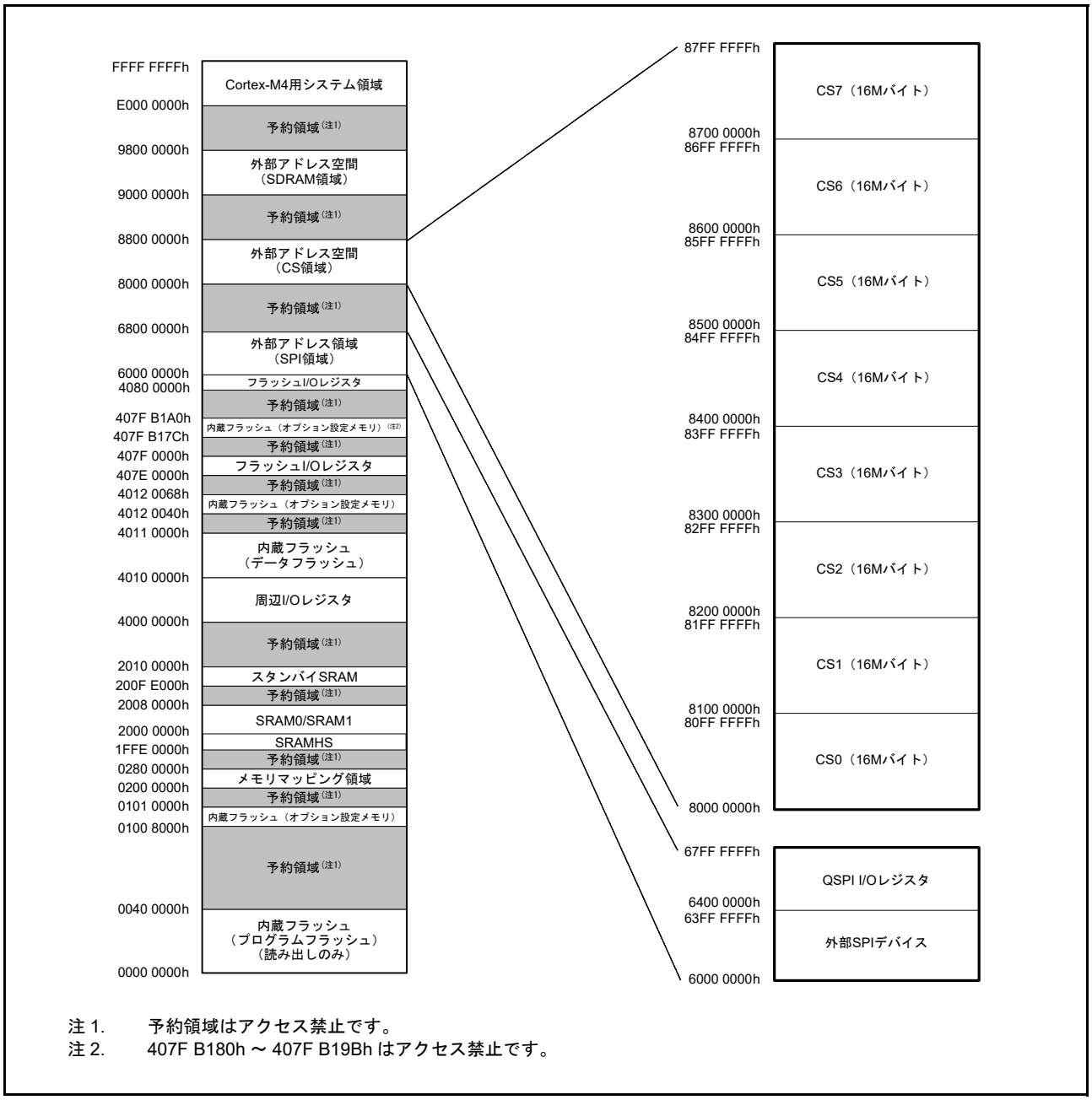
注 3. いくつかの領域はオプション設定メモリによって予約されています。領域に関する詳細は「7. オプション設定メモリ」を参照してください。

注 4. 407F B180h ～ 407F B19Bh はアクセス禁止です。

図 4.1 メモリマップ

4.2 外部アドレス空間

外部アドレス空間は、CS 領域（CS0 ～ CS7）、SDRAM 領域（SDCS）、および SPI 領域に分割されています。8 つの CS 領域（CS0 ～ CS7）のぞれぞれは、CSn 端子（n = 0 ～ 7）から出力される CSn 信号に対応しています。また、SPI 領域は、QSPI I/O レジスタと外部 SPI デバイス空間の 2 つの領域に分割されています。図 4.2 に、個々の CS 領域（CS0 ～ CS7）、SDRAM 領域（SDCS）、および SPI 領域に対応するアドレス範囲を示します。



注 1. 予約領域はアクセス禁止です。
注 2. 407F B180h ～ 407F B19Bh はアクセス禁止です。

図 4.2 外部アドレス空間と CS 領域の対応

5. メモリミラー機能（MMF）

5.1 概要

本 MCU はメモリミラー機能（MMF）を備えています。MMF を構成することによって、コードフラッシュメモリ内のアプリケーションイメージのロードアドレスを、未使用の 23 ビットメモリミラー空間アドレスにおけるアプリケーションイメージのリンクアドレスへマップすることが可能です。ユーザアプリケーションコードを開発する場合、この MMF 転送先アドレスから実行するようにリンクする必要があります。アプリケーションコードでは、コードフラッシュメモリ内に格納されるときのロードアドレスを認識する必要がありません。MMF の仕様を表 5.1 に示します。

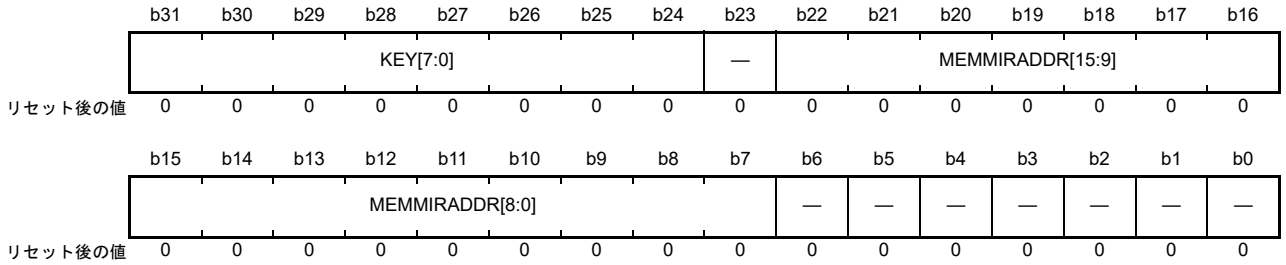
表 5.1 MMFの仕様

項目	内容
メモリミラー空間	8MB（0200 0000h～027F FFFFh）
メモリミラー境界	128バイト

5.2 レジスタの説明

5.2.1 MemMirror 特殊機能レジスタ（MMSFR）

アドレス MMF.MMSFR 4000 1000h



ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22-b7	MEMMIRADDR[15:0]	メモリミラーアドレス	0000h～FFFFh（8MB）	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMSFRキーコード	MEMMIRADDRビットの書き換えの可否を制御します。	R/W

MEMMIRADDR[15:0] ビット（メモリミラーアドレス）

メモリミラーアドレスの [22:7] ビットを指定します。これらのビットでは、メモリミラー空間アドレスの開始アドレス（0200 0000h）のリンク先を定義します。これらのビットへの書き込みは、このレジスタが 32 ビットワードでアクセスされ、かつ DBh の値が KEY[7:0] ビットに書き込まれた場合にのみ有効になります。

KEY[7:0] ビット（MMSFR キーコード）

MEMMIRADDR ビットの書き換えの可否を制御します。KEY ビットへの書き込みデータは保存されません。読むと 0 が読めます。このキーコードと MEMMIRADDR は、同じサイクルで書き込む必要があります。

5.2.2 MemMirror イネーブルレジスタ（MMEN）

アドレス MMF.MMEN 4000 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	KEY[7:0]								—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN	メモリミラー機能イネーブル	0：MMFは無効 1：MMFは有効	R/W
b23-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b24	KEY[7:0]	MMENキーコード	ENビットの書き換えの可否を制御します。	R/W

EN ビット（メモリミラー機能イネーブル）

EN ビットへの書き込みは、MemMirror イネーブルレジスタが 32 ビットワードでアクセスされ、かつ DBh の値が KEY[7:0] ビットに書き込まれた場合にのみ有効になります。

KEY[7:0] ビット（MMEN キーコード）

EN ビットの書き換えの可否を制御します。KEY[7:0] ビットへの書き込みデータは保存されません。読むと 0 が読めます。このキーコードと EN は、同じサイクルで書き込む必要があります。

5.3 動作説明

5.3.1 MMF 動作

MMF は、メモリミラー空間（0200 0000h ～ 027F FFFFh）をコードフラッシュメモリ領域にリンクさせます。MMEN.EN = 1 の場合、CPU は通常のアドレス（開始アドレス：0000 0000h）とメモリミラー空間アドレス（開始アドレス：0200 0000h）の両方を使用してコードフラッシュメモリにアクセスできます。
図 5.1 に MMF の概要を示します。MMSFR.MEMMIRADDR では、メモリミラー空間アドレスの開始アドレス（0200 0000h）のリンク先を指定します。図 5.2、図 5.3、および図 5.4 に MMF の動作を示します。また、図 5.5 に MMF の設定手順を示します。

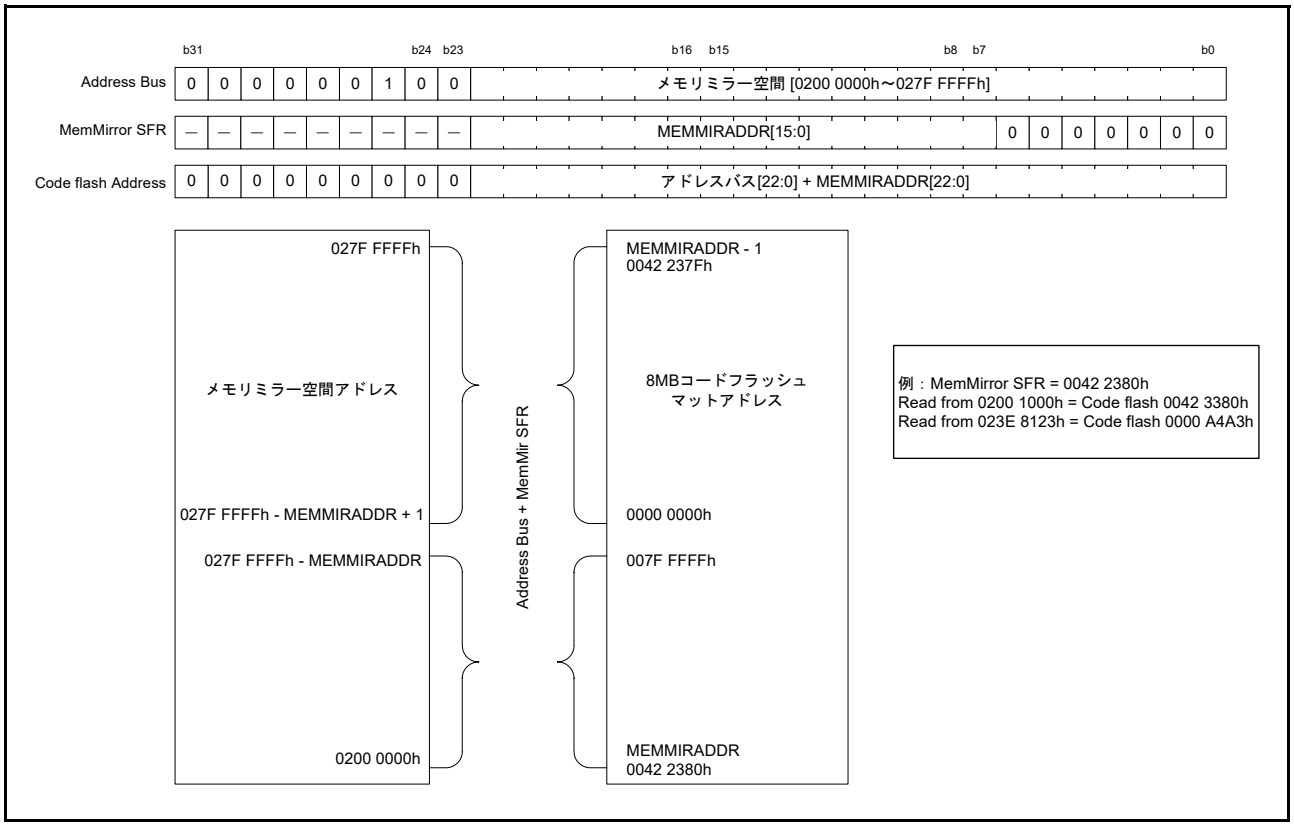
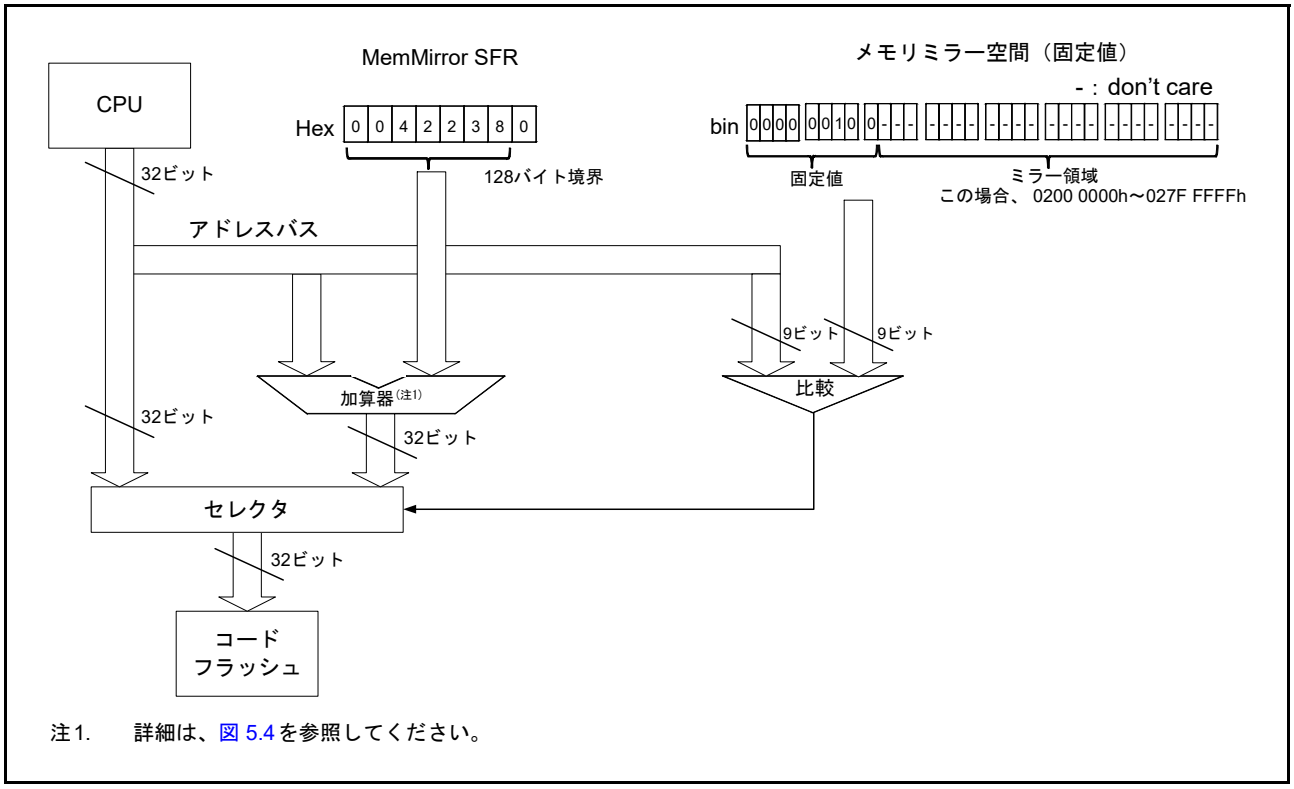


図 5.1 MMF 動作



注1. 詳細は、図 5.4 を参照してください。

図 5.2 MMF ブロック図

図 5.3 に、各モジュールで処理されるアドレスを示します。Arm® MPU は CPU のオリジナルアドレスを使用します。

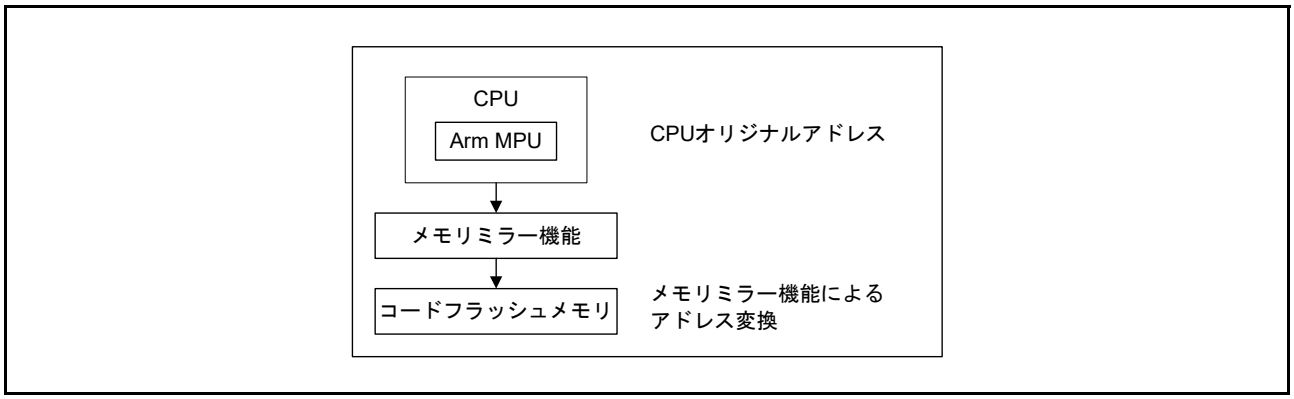


図 5.3 各モジュールで処理されるアドレス

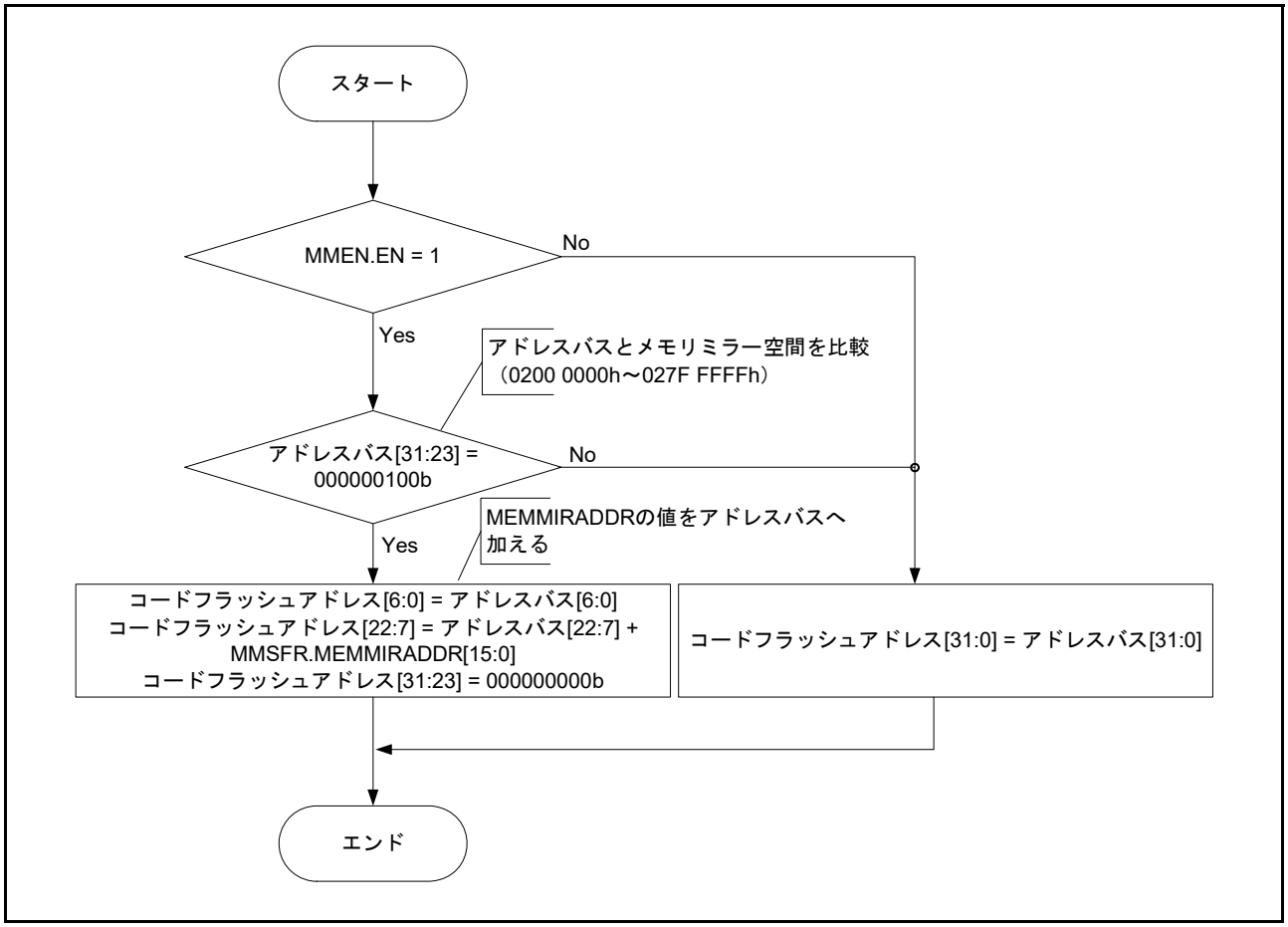


図 5.4　　MMF 動作フロー

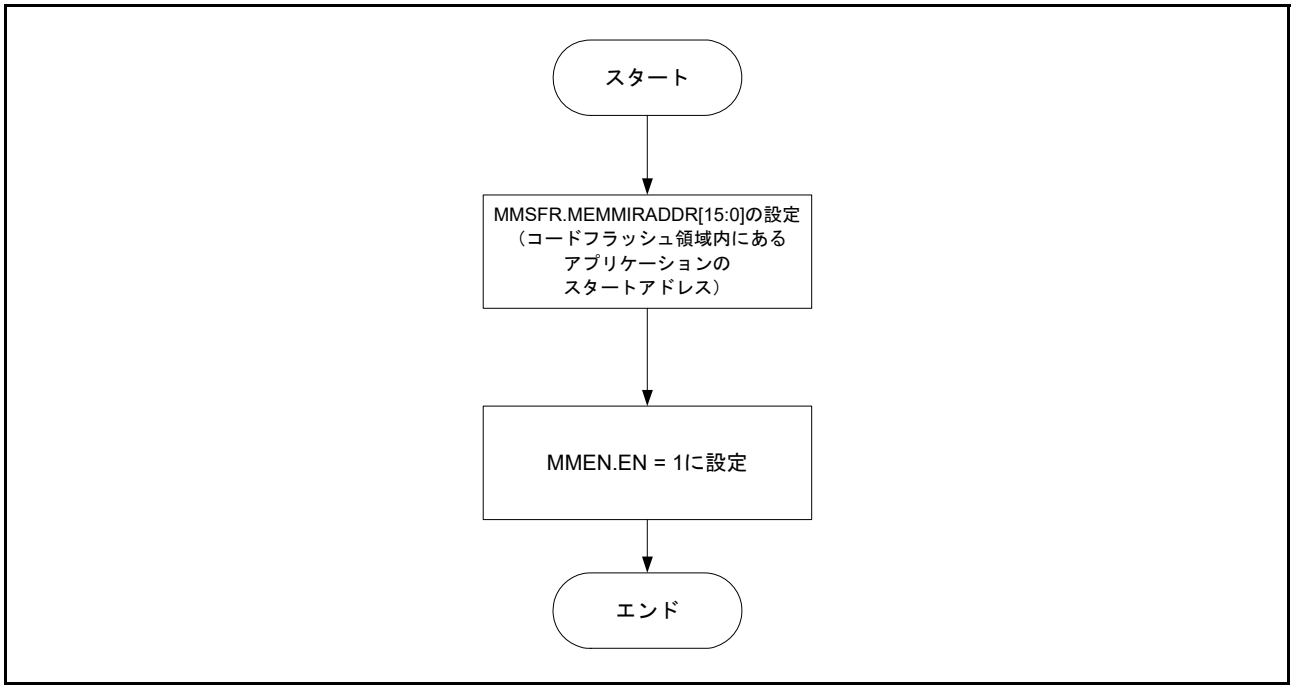


図 5.5　　MMF 設定フロー

5.3.2 設定例

コードフラッシュメモリ上のアプリケーションコードは、MMSFR.MEMMIRADDR でコードフラッシュメモリの開始アドレスを指定し、MMEN.EN = 1 に設定することによって、メモリミラー空間上のアドレス 0200 0000h からアクセスすることが可能です。

図 5.6 に、MMF の使用方法の例を示します。

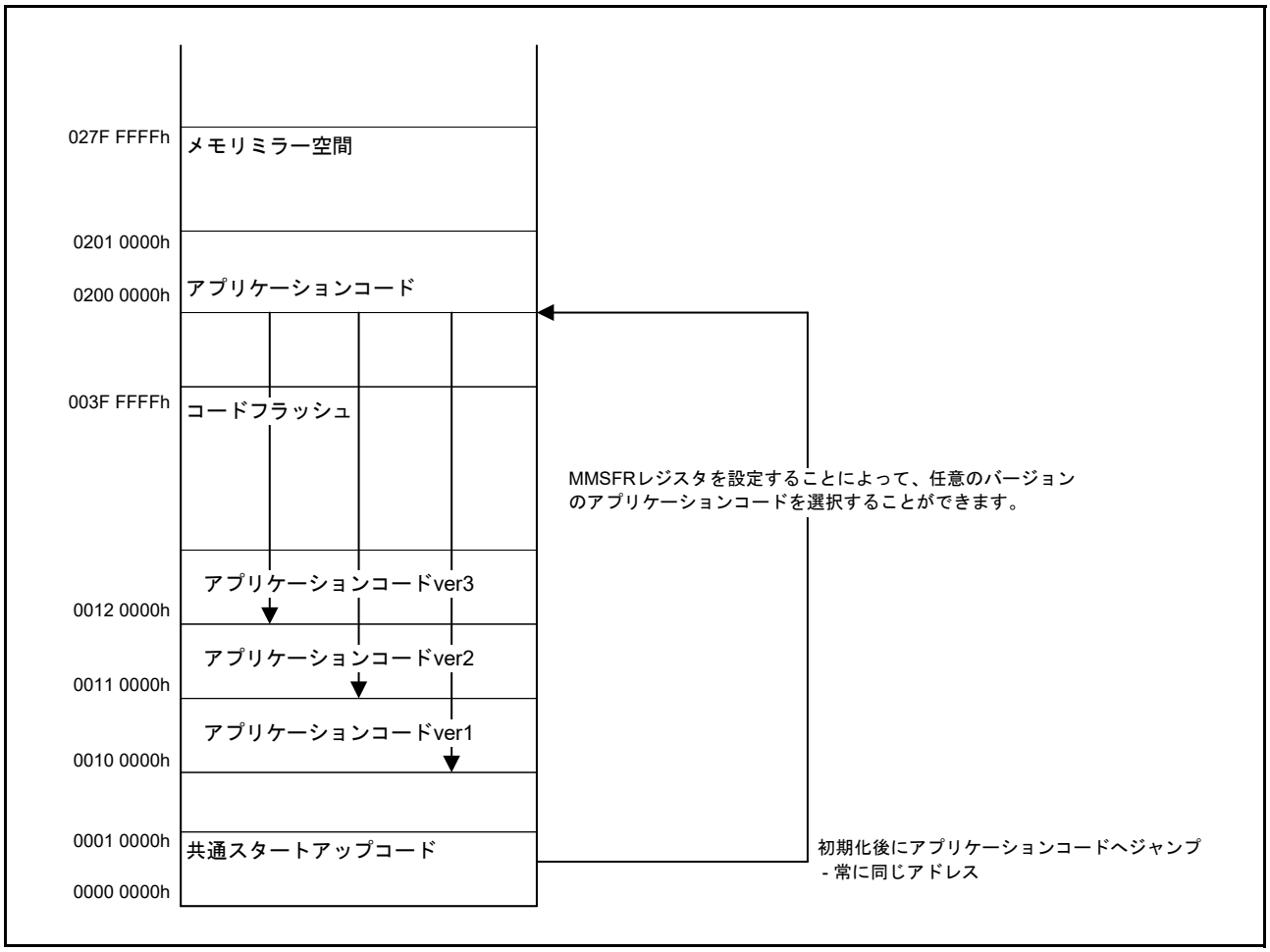


図 5.6 MMF 設定例

アプリケーションコード ver1 を使用するには、MMSFR レジスタを DB10 0000h に設定してください。

アプリケーションコード ver2 を使用するには、MMSFR レジスタを DB11 0000h に設定してください。

アプリケーションコード ver3 を使用するには、MMSFR レジスタを DB12 0000h に設定してください。

6. リセット

6.1 概要

本 MCU は、以下の 14 種類のリセットをサポートしています。

- RES 端子リセット
- パワーオンリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- 電圧監視 0 リセット
- 電圧監視 1 リセット
- 電圧監視 2 リセット
- SRAM パリティエラーリセット
- SRAM DED エラーリセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- スタックポインタエラーリセット
- ディープソフトウェアスタンバイリセット
- ソフトウェアリセット

表 6.1 にリセットの名称と要因を示します。

表 6.1 リセットの名称と要因

リセット名	要因
RES端子リセット	RES端子への入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）(注1)
独立ウォッチドッグタイマリセット	IWDTのアンダーフローまたはリフレッシュエラー
ウォッチドッグタイマリセット	WDTのアンダーフローまたはリフレッシュエラー
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）(注1)
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）(注1)
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）(注1)
SRAMパリティエラーリセット	SRAMパリティエラー検出
SRAM DEDエラーリセット	SRAM DEDエラー検出
バスマスタMPUエラーリセット	バスマスタMPUエラー検出
バススレーブMPUエラーリセット	バススレーブMPUエラー検出
スタックポインタエラーリセット	スタックポインタエラー検出
ディープソフトウェアスタンバイリセット	割り込みによるディープソフトウェアスタンバイモードの解除
ソフトウェアリセット	レジスタ設定（Arm® ソフトウェアリセットビット、AIRCR.SYSRESETREQ）

注 1. 監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「8. 低電圧検出（LVD）」と「60. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。表 6.2 と表 6.3 に、リセット種別ごとの初期化対象を示します。

表 6.2 リセット要因ごとの初期化対象リセット検出フラグ

初期化対象フラグ	リセット要因							
	RES端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視1リセット	電圧監視2リセット	ソフトウェアリセット
パワーオンリセット検出フラグ（RSTSR0.PORF）	○	x	x	x	x	x	x	x
電圧監視0リセット検出フラグ（RSTSR0.LVD0RF）	○	○	x	x	x	x	x	x
独立ウォッチドッグタイマリセット検出フラグ（RSTSR1.IWDTRF）	○	○	○	x	x	x	x	x
ウォッチドッグタイマリセット検出フラグ（RSTSR1.WDTRF）	○	○	○	x	x	x	x	x
電圧監視1リセット検出フラグ（RSTSR0.LVD1RF）	○	○	○	x	x	x	x	x
電圧監視2リセット検出フラグ（RSTSR0.LVD2RF）	○	○	○	x	x	x	x	x
ソフトウェアリセット検出フラグ（RSTSR1.SWRF）	○	○	○	x	x	x	x	x
SRAMパリティエラーリセット検出フラグ（RSTSR1.RPERF）	○	○	○	x	x	x	x	x
SRAM DEDエラーリセット検出フラグ（RSTSR1.REERF）	○	○	○	x	x	x	x	x
バススレーブMPUエラーリセット検出フラグ（RSTSR1.BUSSRF）	○	○	○	x	x	x	x	x
バスマスタMPUエラーリセット検出フラグ（RSTSR1.BUSMRF）	○	○	○	x	x	x	x	x
スタックポインタエラーリセット検出フラグ（RSTSR1.SPERF）	○	○	○	x	x	x	x	x
ディープソフトウェアスタンバイリセット検出フラグ（RSTSR0.DPSRSTF）	○	○	○	x	x	x	x	x
コールドスタート／ウォームスタート判別フラグ（RSTSR2.CWSF）	x	○	x	x	x	x	x	x

初期化対象フラグ	リセット要因						
	SRAMパリティエラーリセット	SRAM DEDエラーリセット	バスマスタMPUエラーリセット	バススレーブMPUエラーリセット	スタックポインタエラーリセット	ディープソフトウェアスタンバイリセット	
						DEEPCUT[0] = 0	DEEPCUT[0] = 1
パワーオンリセット検出フラグ（RSTSR0.PORF）	x	x	x	x	x	x	x
電圧監視0リセット検出フラグ（RSTSR0.LVD0RF）	x	x	x	x	x	x	x
独立ウォッチドッグタイマリセット検出フラグ（RSTSR1.IWDTRF）	x	x	x	x	x	○	○
ウォッチドッグタイマリセット検出フラグ（RSTSR1.WDTRF）	x	x	x	x	x	○	○
電圧監視1リセット検出フラグ（RSTSR0.LVD1RF）	x	x	x	x	x	x	x
電圧監視2リセット検出フラグ（RSTSR0.LVD2RF）	x	x	x	x	x	x	x
ソフトウェアリセット検出フラグ（RSTSR1.SWRF）	x	x	x	x	x	○	○
SRAMパリティエラーリセット検出フラグ（RSTSR1.RPERF）	x	x	x	x	x	○	○
SRAM DEDエラーリセット検出フラグ（RSTSR1.REERF）	x	x	x	x	x	○	○
バススレーブMPUエラーリセット検出フラグ（RSTSR1.BUSSRF）	x	x	x	x	x	○	○
バスマスタMPUエラーリセット検出フラグ（RSTSR1.BUSMRF）	x	x	x	x	x	○	○
スタックポインタエラーリセット検出フラグ（RSTSR1.SPERF）	x	x	x	x	x	○	○
ディープソフトウェアスタンバイリセット検出フラグ（RSTSR0.DPSRSTF）	x	x	x	x	x	x	x
コールドスタート／ウォームスタート判別フラグ（RSTSR2.CWSF）	x	x	x	x	x	x	x

○：0 に初期化される。x：初期化されない。

表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタ

初期化対象レジスタ		リセット要因							
		RES端子リセット	パワーオンリセット	電圧監視0リセット	独立ウォッチドッグタイマリセット	ウォッチドッグタイマリセット	電圧監視1リセット	電圧監視2リセット	ソフトウェアリセット
ウォッチドッグタイマのレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	○	○	○	○	○	○	○	○
電圧監視機能1のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	○	○	○	○	○	x	x	x
	LVD1CR1/LVD1SR	○	○	○	○	○	x	x	x
電圧監視機能2のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	○	○	○	○	○	x	x	x
	LVD2CR1/LVD2SR	○	○	○	○	○	x	x	x
SOSCのレジスタ	SOSCCR	x	○（注1）	x	x	x	x	x	x
	SOMCR	x	x	x	x	x	x	x	x
LOCOのレジスタ	LOCOCR	○	○	○	○	○	○	○	○
	LOCOUTCR	x	○	○	x	x	○	○	x
MOSCのレジスタ	MOMCR	○	○	○	○	○	○	○	○
リアルタイムクロック（RTC）のレジスタ（注2）		x	x	x	x	x	x	x	x
AGTのレジスタ		x	○	○	x	x	○	○	x
USBFSのレジスタ	DPUSR0R, DPUSR1R以外	○	○	○	○	○	○	○	○
	DPUSR0R, DPUSR1R	○	○	○	○	○	○	○	○
USBHSのレジスタ	DPUSR0R, DPUSR1R, DPUSR2R, DPUSRCR以外	○	○	○	○	○	○	○	○
	DPUSR0R, DPUSR1R, DPUSR2R, DPUSRCR	○	○	○	○	○	○	○	○
MPUのレジスタ		○	○	○	○	○	○	○	○
端子状態（XCIN/XCOUT端子以外）		○	○	○	○	○	○	○	○
端子状態（XCIN/XCOUT端子）		x	x	x	x	x	x	x	x
低消費電力機能のレジスタ	DPSBYCR, DPSIER0～DPSIER3, DPSIFR0～DPSIFR3, DPSIEGR0～DPSIEGR2	○	○	○	○	○	○	○	○
バッテリバックアップのレジスタ		x	x	x	x	x	x	x	x
上記以外のレジスタ、CPU、および内部状態		○	○	○	○	○	○	○	○

初期化対象レジスタ		リセット要因						
		SRAMパリティエラーリセット	SRAM DEDエラーリセット	バスマスタMPUエラーリセット	バススレーブMPUエラーリセット	スタックポインタエラーリセット	ディープソフトウェアスタンバイリセット	
							DEEPCUT[0] = 0	DEEPCUT[0] = 1
ウォッチドッグタイマのレジスタ	WDTRR, WDTCR, WDTSR, WDTRCR, WDTCSTPR	○	○	○	○	○	○	○
電圧監視機能1のレジスタ	LVD1CR0, LVCMPCR.LVD1E, LVDLVLR.LVD1LVL	x	x	x	x	x	x	x
	LVD1CR1/LVD1SR	x	x	x	x	x	○	○
電圧監視機能2のレジスタ	LVD2CR0, LVCMPCR.LVD2E, LVDLVLR.LVD2LVL	x	x	x	x	x	x	x
	LVD2CR1/LVD2SR	x	x	x	x	x	○	○
SOSCのレジスタ	SOSCCR	x	x	x	x	x	x	x
	SOMCR	x	x	x	x	x	x	x
LOCOのレジスタ	LOCOCR	○	○	○	○	○	○	○
	LOCOUTCR	x	x	x	x	x	x	○
MOSCのレジスタ	MOMCR	○	○	○	○	○	x	x
リアルタイムクロック（RTC）のレジスタ（注2）		x	x	x	x	x	x	x
AGTのレジスタ		x	x	x	x	x	x	○
USBFSのレジスタ	DPUSR0R, DPUSR1R以外	○	○	○	○	○	x	x
	DPUSR0R, DPUSR1R	○	○	○	○	○	x	○
USBHSのレジスタ	DPUSR0R, DPUSR1R, DPUSR2R, DPUSRCR以外	○	○	○	○	○	x	x
	DPUSR0R, DPUSR1R, DPUSR2R, DPUSRCR	○	○	○	○	○	x	○
MPUのレジスタ		○	○	x	x	x	○	○
端子状態（XCIN/XCOUT端子以外）		○	○	○	○	○	（注3）	（注3）
端子状態（XCIN/XCOUT端子）		x	x	x	x	x	x	x
低消費電力機能のレジスタ	DPSBYCR, DPSIER0～DPSIER3, DPSIFR0～DPSIFR3, DPSIEGR0～DPSIEGR2	○	○	○	○	○	x	x

初期化対象レジスタ	リセット要因						
	SRAM パリティ エラー リセット	SRAM DED エラー リセット	バスマスタ MPU エラー リセット	バススレーブ MPU エラー リセット	スタック ポインタ エラー リセット	ディープソフトウェア スタンバイリセット	
						DEEPCUT[0] = 0	DEEPCUT[0] = 1
バッテリバックアップのレジスタ	x	x	x	x	x	x	x
上記以外のレジスタ、CPU、および内部状態	○	○	○	○	○	○	○

○：初期化される。x：初期化されない。

注 1. 各レジスタの初期値については、「9. クロック発生回路」を参照してください。

注 2. RTC にはソフトウェアリセットがあります。RCR1.RTCOS、RCR1.CIE、RCR2.RTCOE、RCR2.ADJ30、および RCR2.RESET は、すべてのタイプのリセットで初期化されます。対象ビットの詳細については、「26. リアルタイムクロック（RTC）」を参照してください。

注 3. DPSBYCR.IOKEEP の設定値に依存します。

RTC はいずれのリセット要因によっても初期化されません。SOSC と LOCO は、RTC のクロックソースとして選択可能です。下表は、リセット発生時の SOSC と LOCO の状態を示しています。

表 6.4 リセット発生時の SOSC の状態

状態		リセット要因	
		POR	その他
SOSC	有効または無効	有効に初期化	リセット発生前に選択された状態を継続
	駆動能力	リセット発生前に選択された状態を継続	

表 6.5 リセット発生時の LOCO の状態

状態		リセット要因	
		POR, LVD0, LVD1, LVD2/ ディープソフトウェアスタンバイ（DEEPCUT[0] = 1）	その他
LOCO	有効または無効	有効に初期化	
	発振精度（注 1）	LOCOUTCR によるトリミング前の精度に初期化（精度：± 15%）	LOCOUTCR によってトリミングされた精度を継続

注 1. LOCO ユーザトリミングコントロールレジスタ（LOCOUTCR）は、POR、LVD0、LVD1、LVD2、および Deep Software Standby（DEEPCUT[0] = 1）の各リセットで初期値に戻り、LOCO もデフォルトの発振精度に戻ります。これによって、RTC が LOCOUTCR のユーザトリミング値で LOCO を RTC のクロックソースとして使用した場合に、RTC の精度が影響を受ける場合があります。LOCO の発振精度をリセット前の精度に回復するには、これらのリセット後は、必要なトリミング値を LOCOUTCR にリロードしてください。

表 6.6 にリセット機能に関連する入出力端子を示します。

表 6.6 リセットの入出力端子

端子名	入出力	機能
RES	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0（RSTSR0）

アドレス SYSTEM.RSTSR0 4001 E410h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSRSTF	—	—	—	LVD2RF	LVD1RF	LVD0RF	PORF
リセット後の値	x（注1）	0	0	0	x（注1）	x（注1）	x（注1）	x（注1）

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0：パワーオンリセット未検出 1：パワーオンリセット検出	R(/W)（注2）
b1	LVD0RF	電圧監視0リセット検出フラグ	0：電圧監視0リセット未検出 1：電圧監視0リセット検出	R(/W)（注2）
b2	LVD1RF	電圧監視1リセット検出フラグ	0：電圧監視1リセット未検出 1：電圧監視1リセット検出	R(/W)（注2）
b3	LVD2RF	電圧監視2リセット検出フラグ	0：電圧監視2リセット未検出 1：電圧監視2リセット検出	R(/W)（注2）
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSRSTF	ディープソフトウェアスタンバイリセットフラグ	0：割り込みによるディープソフトウェアスタンバイモード解除要求の発生なし 1：割り込みによるディープソフトウェアスタンバイモード解除要求の発生あり	R(/W)（注2）

注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをクリアするための 0 の書き込みのみ可能です。このフラグは、1 を読んだ後、0 を書くことでクリアする必要があります。

PORF フラグ（パワーオンリセット検出フラグ）

パワーオンリセットが発生したことを示します。

[1 になる条件]

- パワーオンリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD0RF フラグ（電圧監視 0 リセット検出フラグ）

VCC 電圧が Vdet0 レベル以下になったことを示します。

[1 になる条件]

- 電圧監視 0 リセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD1RF フラグ（電圧監視 1 リセット検出フラグ）

VCC 電圧が Vdet1 レベル以下になったことを示します。

［1 になる条件］

- 電圧監視 1 リセットが発生したとき

［0 になる条件］

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下になったことを示します。

［1 になる条件］

- 電圧監視 2 リセットが発生したとき

［0 になる条件］

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

DPSRSTF フラグ（ディープソフトウェアスタンバイリセットフラグ）

外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたこと、および、ディープソフトウェアスタンバイモードからの例外発生時に内部リセット（ディープソフトウェアスタンバイリセット）が発生したことを示します。

［1 になる条件］

- 外部または内部割り込みによってディープソフトウェアスタンバイモードが解除されたとき。詳細は、「11. 低消費電力モード」を参照してください。

［0 になる条件］

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

6.2.2 リセットステータスレジスタ 1（RSTSR1）

アドレス SYSTEM.RSTSR1 4001 E0C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPERF	BUSMRF	BUSSRF	REERF	RPERF	—	—	—	—	—	SWRF	WDTRF	IWDTRF
リセット後の値	0	0	0	x（注1）	x（注1）	x（注1）	x（注1）	x（注1）	0	0	0	0	0	x（注1）	x（注1）	x（注1）

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0：独立ウォッチドッグタイマリセット未検出 1：独立ウォッチドッグタイマリセット検出	R(/W)（注2）
b1	WDTRF	ウォッチドッグタイマリセット検出フラグ	0：ウォッチドッグタイマリセット未検出 1：ウォッチドッグタイマリセット検出	R(/W)（注2）
b2	SWRF	ソフトウェアリセット検出フラグ	0：ソフトウェアリセット未検出 1：ソフトウェアリセット検出	R(/W)（注2）
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	RPERF	SRAMパリティエラーリセット検出フラグ	0：SRAMパリティエラーリセット未検出 1：SRAMパリティエラーリセット検出	R(/W)（注2）
b9	REERF	SRAM DEDエラーリセット検出フラグ	0：SRAM DEDエラーリセット未検出 1：SRAM DEDエラーリセット検出	R(/W)（注2）
b10	BUSSRF	バススレーブMPUエラーリセット検出フラグ	0：バススレーブMPUエラーリセット未検出 1：バススレーブMPUエラーリセット検出	R(/W)（注2）
b11	BUSMRF	バスマスタMPUエラーリセット検出フラグ	0：バスマスタMPUエラーリセット未検出 1：バスマスタMPUエラーリセット検出	R(/W)（注2）
b12	SPERF	SPエラーリセット検出フラグ	0：SPエラーリセット未検出 1：SPエラーリセット検出	R(/W)（注2）
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをクリアするための 0 の書き込みのみ可能です。このフラグは、1 を読んだ後、0 を書くことでクリアする必要があります。

IWDTRF フラグ（独立ウォッチドッグタイマリセット検出フラグ）

独立ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

WDTRF フラグ（ウォッチドッグタイマリセット検出フラグ）

ウォッチドッグタイマリセットが発生したことを示します。

[1 になる条件]

- ウォッチドッグタイマリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

SWRF フラグ（ソフトウェアリセット検出フラグ）

ソフトウェアリセットが発生したことを示します。

[1 になる条件]

- ソフトウェアリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

RPERF フラグ（SRAM パリティエラーリセット検出フラグ）

SRAM パリティエラーリセットが発生したことを示します。

[1 になる条件]

- SRAM パリティエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

REERF フラグ（SRAM DED エラーリセット検出フラグ）

SRAM DED エラーリセットが発生したことを示します。

[1 になる条件]

- SRAM DED エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSSRF フラグ（バススレーブ MPU エラーリセット検出フラグ）

バススレーブ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バススレーブ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

BUSMRF フラグ（バスマスタ MPU エラーリセット検出フラグ）

バスマスタ MPU エラーリセットが発生したことを示します。

[1 になる条件]

- バスマスタ MPU エラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

SPERF フラグ（SP エラーリセット検出フラグ）

スタックポインタエラーリセットが発生したことを示します。

[1 になる条件]

- スタックポインタエラーリセットが発生したとき

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき
- 1 を読んだ後、0 を書いたとき

6.2.3 リセットステータスレジスタ 2（RSTSR2）

アドレス SYSTEM.RSTSR2 4001 E411h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CWSF
リセット後の値	0	0	0	0	0	0	0	x（注1）

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート／ウォームスタート判別フラグ	0：コールドスタート 1：ウォームスタート	R(/W)（注2）
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. リセット後の値は、リセット要因で異なります。
注 2. フラグをセットするための 1 の書き込みのみ可能です。

RSTSR2 レジスタは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを判定するレジスタです。

CWSF フラグ（コールドスタート／ウォームスタート判別フラグ）

リセット処理の種類（コールドスタートまたはウォームスタート）を示します。CWSF フラグは、パワーオンリセットで初期化されます。RES 端子リセットでは初期化されません。

[1 になる条件]

- ソフトウェアで 1 を書いたとき。0 を書いても変化しない

[0 になる条件]

- 表 6.2 に示すリセットを行ったとき

6.3 動作説明

6.3.1 RES 端子リセット

RES 端子によるリセットです。RES 端子が Low になると実行中の処理はすべて打ち切られ、MCU はリセット状態になります。MCU を適切にリセットするには、電源投入時の規定の電源安定時間だけ RES 端子は Low を保持していなければいけません。

RES 端子が Low から High になったとき、RES 解除後待機時間（tRESWT）経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「60. 電気的特性」を参照してください。

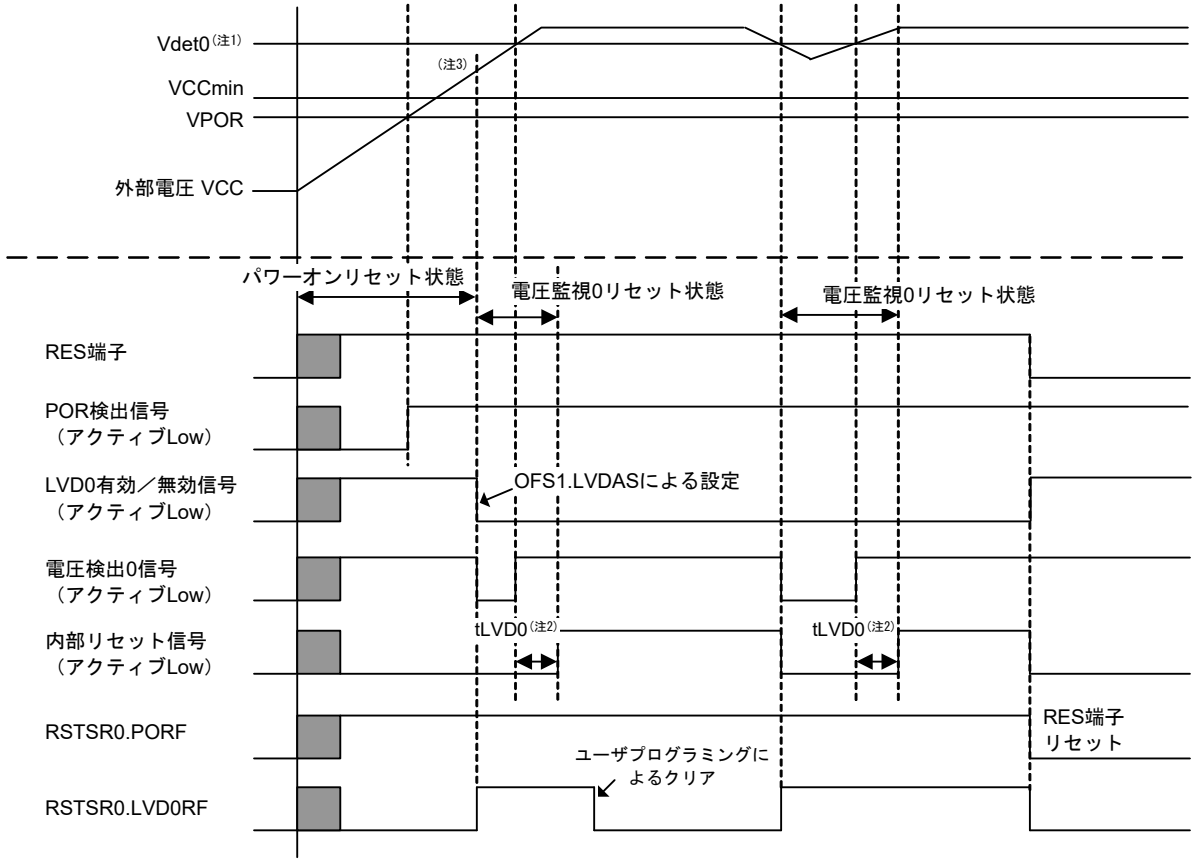
6.3.2 パワーオンリセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。RES 端子を High にした状態で電源を投入すると、パワーオンリセットが発生します。VCC が VPOR を超えると、ある一定時間（パワーオンリセット時間）経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間とは、外部電源と MCU 回路のための安定期間です。パワーオンリセットが発生すると、RSTSR0.PORF フラグが 1 になります。PORF フラグは、RES 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1（OFS1）の電圧検出 0 回路起動ビット（LVDAS）が 0（リセット後、電圧監視 0 リセット有効）の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。

VCC が Vdet0 を超えると、電圧監視 0 リセット時間（tLVD0）経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。Vdet0 の電圧検出レベルは、オプション機能選択レジスタ 1（OFS1）の VDSEL[1:0] ビットの設定により変更できます。

図 6.1 に、パワーオンリセットおよび電圧監視 0 リセット時の動作例を示します。



注 . 電気的特性の詳細は、「60. 電気的特性」を参照してください。
注 1. Vdet0 は、電圧監視 0 リセット検知レベル、VPOR はパワーオンリセット検知レベル、VCCmin は、MCU の最低保証電圧を表します。
注 2. tLVD0 は電圧監視 0 リセット時間を表します。
注 3. 電源投入時には、VCC が最低保証電圧に達してからでなければ、POR リセットを解除することはできません。

図 6.1 パワーオンリセットおよび電圧監視 0 リセット時の動作例

6.3.3 電圧監視リセット

電圧監視 0 リセットは、電圧監視回路による内部リセットです。オプション機能選択レジスタ 1（OFS1）の電圧検出 0 回路起動ビット（LVDAS）が 0（リセット後、電圧監視 0 リセット有効）の状態で、VCC が Vdet0 以下になると、RSTSR0.LVD0RF フラグが 1 になり、電圧検出回路は電圧監視 0 リセットを発生させます。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にしてください。VCC が Vdet0 を超えると、電圧監視 0 リセット時間（tLVD0）経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 1 回路コントロールレジスタ 0（LVD1CR0）の電圧監視 1 割り込み／リセット許可ビット（RIE）が 1（電圧検出回路によるリセット／割り込み有効）で、かつ電圧監視 1 回路モード選択ビット（RI）が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC が Vdet1 以下になると、RSTSR0.LVD1RF フラグが 1 になり、電圧検出回路は電圧監視 1 リセットを発生させます。

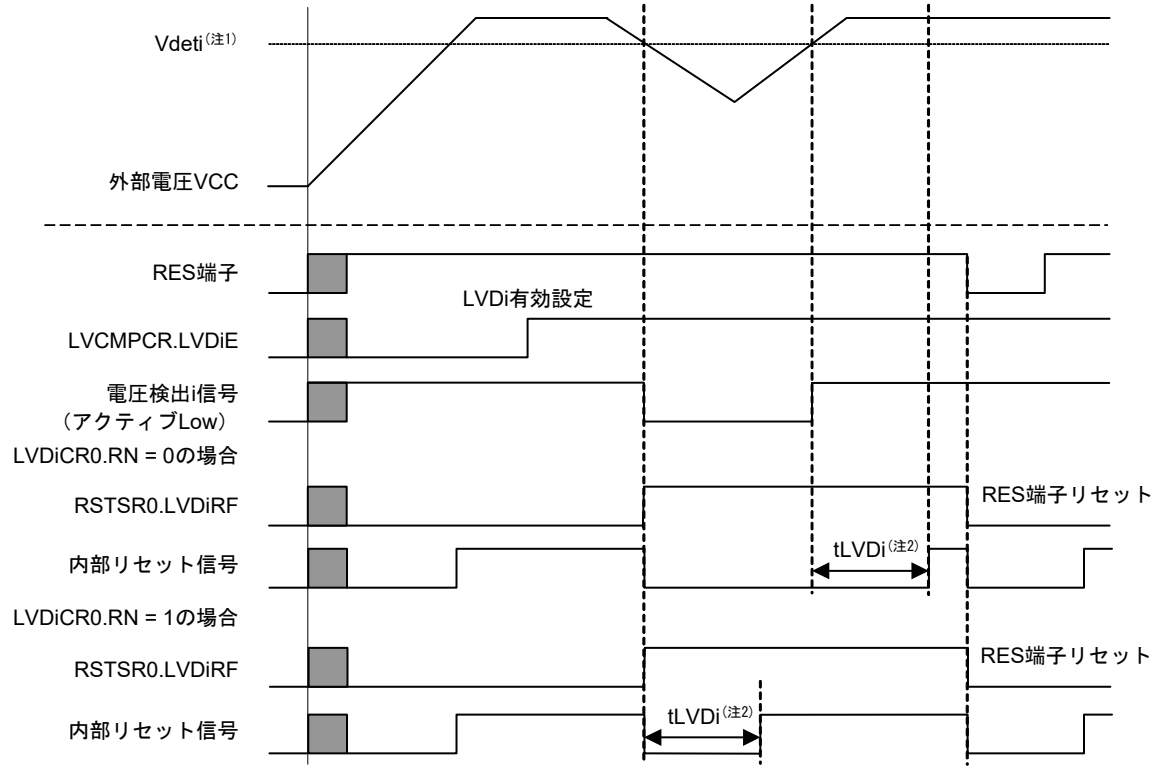
同様に、電圧監視 2 回路コントロールレジスタ 0（LVD2CR0）の電圧監視 2 割り込み／リセット許可ビット（RIE）が 1（電圧検出回路によるリセット／割り込み有効）で、かつ電圧監視 2 回路モード選択ビット（RI）が 1（低電圧検出時、リセット発生）の状態にあるとき、VCC が Vdet2 以下になると、RSTSR0.LVD2RF フラグが 1 になり、電圧検出回路は電圧監視 2 リセットを発生させます。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット（RN）で選択可能です。RN ビットが 0 で、かつ VCC が Vdet1 以下になっている場合、Vdet1 を超えてから LVD1 リセット時間（tLVD1）が経過すると、内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.RN ビットが 1 で、かつ VCC が Vdet1 以下になっている場合、LVD1 リセット時間（tLVD1）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様であり、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット（RN）で選択可能です。

Vdet1 および Vdet2 の電圧検出レベルは、電圧検出レベル選択レジスタ（LVDLVLR）で変更できます。

図 6.2 に電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例を示します。電圧監視 1 リセットと電圧監視 2 リセットの詳細は、「8. 低電圧検出（LVD）」を参照してください。



注 . 電気的特性の詳細は、「60. 電気的特性」を参照してください。
注1. Vdetiは、電圧監視1リセットと電圧監視2リセットの検出レベルを表しています。（i = 1, 2）
注2. tLVDiは、電圧監視1リセット時間と電圧監視2リセット時間を表しています。（i = 1, 2）

図 6.2 電圧監視 1 リセットおよび電圧監視 2 リセット時の動作例

6.3.4 ディープソフトウェアスタンバイリセット

ディープソフトウェアスタンバイリセットは、ディープソフトウェアスタンバイモードが関連の割り込みによって解除されると発生する内部リセットです。ディープソフトウェアスタンバイモード解除後復帰時間（tDSBY）が経過すると、ディープソフトウェアスタンバイリセットは解除されます。このとき同時に、ディープソフトウェアスタンバイモードも解除されます。

ディープソフトウェアスタンバイモードの解除後に、ディープソフトウェアスタンバイモード解除後待機時間（tDSBYWT）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ディープソフトウェアスタンバイリセットの詳細は、「11. 低消費電力モード」を参照してください。

6.3.5 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマリセットは、独立ウォッチドッグタイマ（IWDT）による内部リセットです。オプション機能選択レジスタ 0（OFS0）によって、IWDT から独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセットの出力を選択した場合、IWDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、このリセットが発生します。独立ウォッチドッグタイマリセットの発生後に、内部リセット時間（tRESW2）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は、「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

6.3.6 ウォッチドッグタイマリセット

ウォッチドッグタイマリセットは、ウォッチドッグタイマ（WDT）による内部リセットです。WDT リセットコントロールレジスタ（WDTRCR）またはオプション機能選択レジスタ 0（OFS0）によって、WDT からウォッチドッグタイマリセットを出力するかどうかを選択できます。

ウォッチドッグタイマリセットの出力を選択した場合、WDT がアンダーフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行ったときに、このリセットが発生します。ウォッチドッグタイマリセットの発生後に、内部リセット時間（tRESW2）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

ウォッチドッグタイマリセットの詳細は、「27. ウォッチドッグタイマ（WDT）」を参照してください。

6.3.7 ソフトウェアリセット

これは Arm コア内部の AIRCR レジスタの SYSRESETREQ ビットに対するソフトウェア設定によって発生する内部リセットです。SYSRESETREQ ビットを 1 にすると、ソフトウェアリセットが発生します。ソフトウェアリセットの発生後に、内部リセット時間（tRESW2）が経過すると、内部リセットは解除され、CPU がリセット例外処理を開始します。

SYSRESETREQ ビットについての詳細は、*ARM® Cortex®-M4 Technical Reference Manual* を参照してください。

6.3.8 コールドスタート／ウォームスタート判定機能

RSTSR2.CWSF フラグの読み出しによって、リセット処理の原因を判定できます。このフラグは、電源が投入されたときのリセット処理（コールドスタート）なのか、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）なのかを示します。

このフラグは、パワーオンリセットが発生すると 0（コールドスタート）になります。その他のリセットを行っても 0 になりません。また、ソフトウェアで 1 を書くと 1 になります。0 を書いても 0 になりません。

図 6.3 にコールドスタート／ウォームスタート判定機能の動作例を示します。

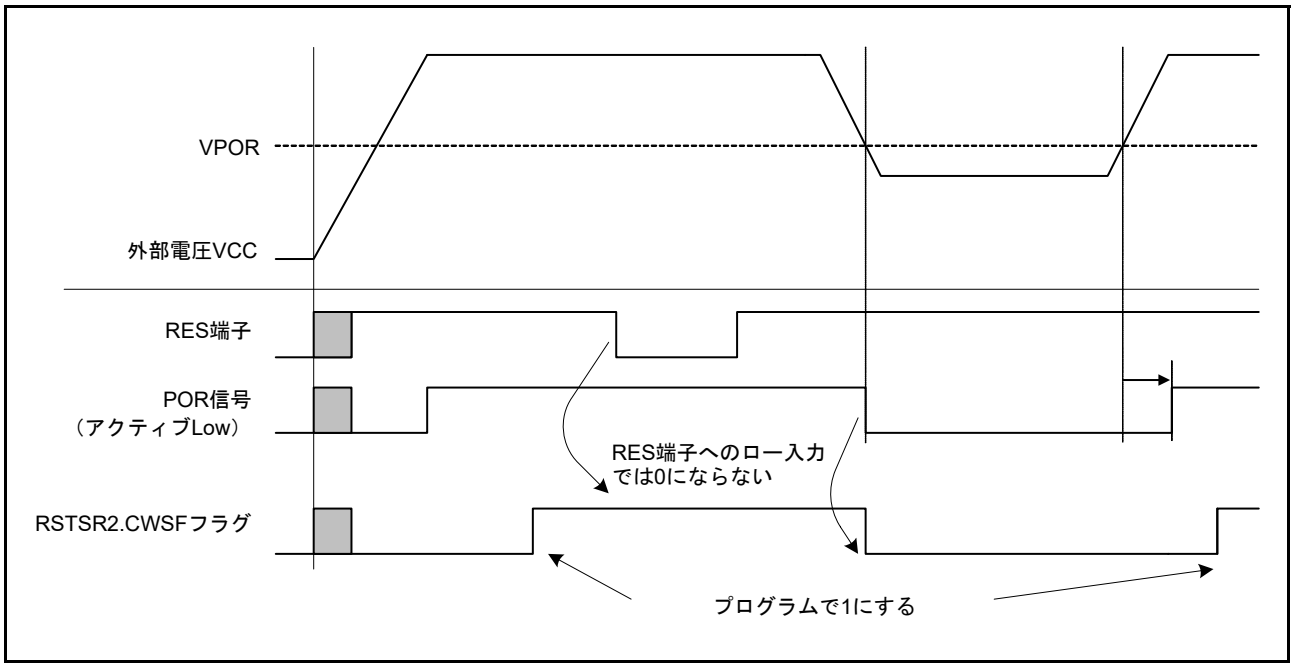
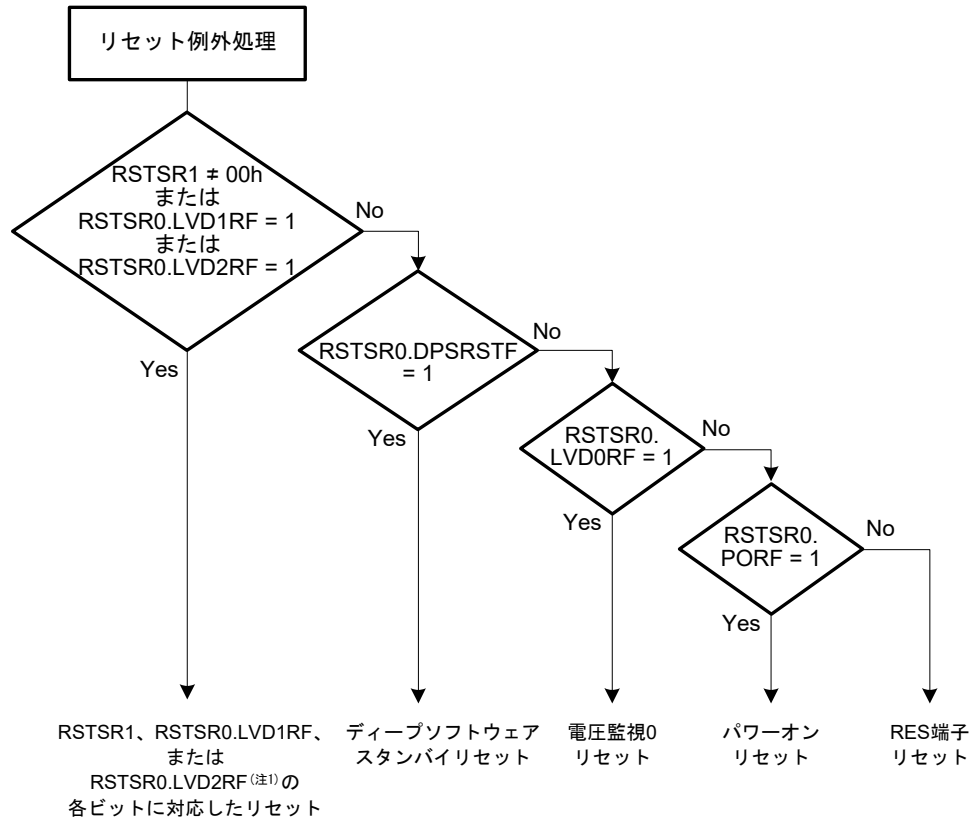


図 6.3 コールドスタート／ウォームスタート判定機能の動作例

6.3.9 リセット発生要因の判定

RSTSR0 レジスタと RSTSR1 レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認できます。図 6.4 にリセット発生要因の判定フロー例を示します。リセットフラグは、1 を読んだ後に 0 を書く必要があります。



注1. RSTSR1、RSTSR0.LVD1RF、またはRSTSR0.LVD2RF の各ビットに関連する2つ以上のリセットが同時に発生した場合、すべてのリセットフラグが1になります。

図 6.4 リセット発生要因の判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、MCU のリセット後の状態を決定します。これはフラッシュメモリのコンフィグレーション設定領域とプログラムフラッシュ領域にあり、これら 2 つの領域で設定方法が異なります。図 7.1 にオプション設定メモリの領域を示します。

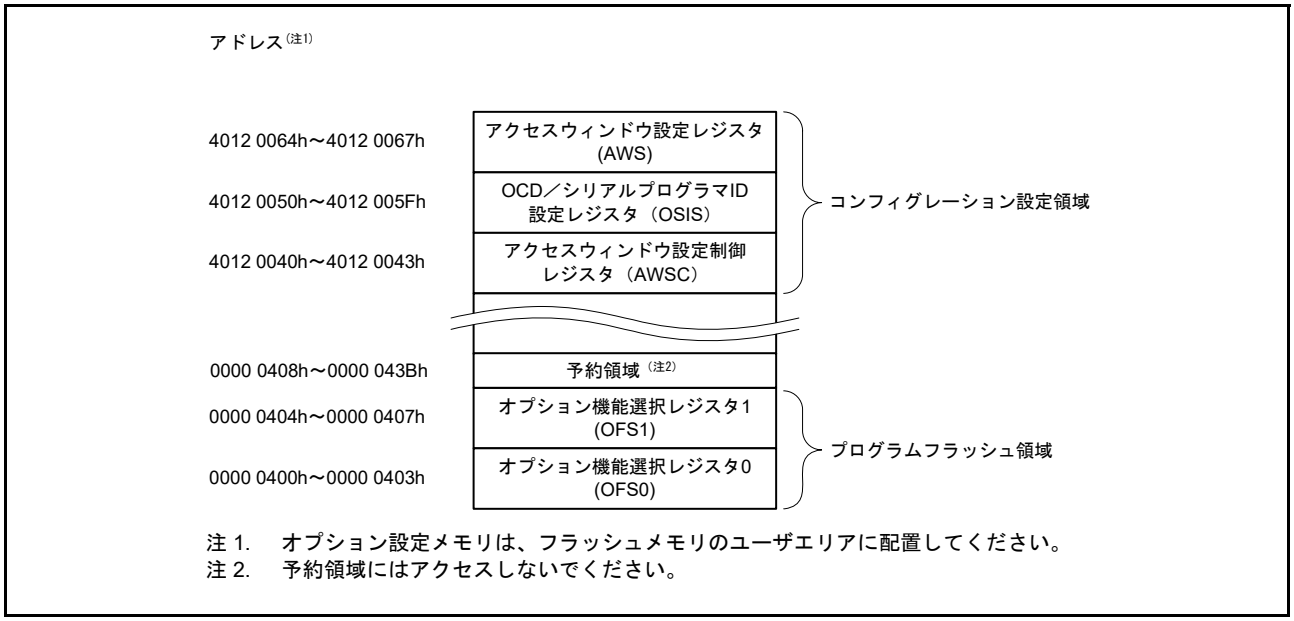


図 7.1 オプション設定メモリの領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0（OFS0）

アドレス OFS0 0000 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	WDTSTPCTL	—	WDTRSTIRQS	WDTRPSS[1:0]		WDTRPES[1:0]		WDTCKS[3:0]				WDTTOPS[1:0]		WDTSTRT	—
リセット後の値	ユーザの設定値（注1）															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	IWDTSTPCTL	—	IWDTRSTIRQS	IWDTRPSS[1:0]		IWDTRPES[1:0]		IWDTCKS[3:0]				IWDTTOPS[1:0]		IWDTSTRT	—
リセット後の値	ユーザの設定値（注1）															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b1	IWDTSTRT	IWDTスタートモード選択	0：リセット後、IWDTは自動的に起動 （オートスタートモード） 1：IWDTは無効	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択	b3 b2 0 0：128サイクル（007Fh） 0 1：512サイクル（01FFh） 1 0：1024サイクル（03FFh） 1 1：2048サイクル（07FFh）	R
b7-b4	IWDTCKS[3:0]	IWDT専用クロック分周比選択	b7 b4 0 0 0 0：1分周 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください。	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R
b12	IWDTRSTIRQS	IWDTリセット割り込み要求選択	0：ノンマスカブル割り込み要求、または割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b14	IWDTSTPCTL	IWDT停止制御	0：カウントは継続 1：スリープモード、スヌーズモード、またはソフトウェアスタンバイモードの状態にあるとき、カウント停止	R
b16-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b17	WDTSTRT	WDTスタートモード選択	0：リセット後、WDTは自動的に起動 （オートスタートモード） 1：リセット後、WDTは停止状態 （レジスタスタートモード）	R

ビット	シンボル	ビット名	機能	R/W
b19-b18	WDTTOPS[1:0]	WDTタイムアウト期間選択	b19 b18 0 0：1024サイクル（03FFh） 0 1：4096サイクル（0FFFh） 1 0：8192サイクル（1FFFh） 1 1：16384サイクル（3FFFh）	R
b23-b20	WDTCKS[3:0]	WDTクロック分周比選択	b23 b20 0 0 0 1：PCLKB/4 0 1 0 0：PCLKB/64 1 1 1 1：PCLKB/128 0 1 1 0：PCLKB/512 0 1 1 1：PCLKB/2048 1 0 0 0：PCLKB/8192 上記以外は設定しないでください。	R
b25-b24	WDTRPES[1:0]	WDTウィンドウ終了位置選択	b25 b24 0 0：75% 0 1：50% 1 0：25% 1 1：0%（ウィンドウの終了位置設定なし）	R
b27-b26	WDTRPSS[1:0]	WDTウィンドウ開始位置選択	b27 b26 0 0：25% 0 1：50% 1 0：75% 1 1：100%（ウィンドウの開始位置設定なし）	R
b28	WDTRSTIRQS	WDTリセット割り込み要求選択	WDT動作の選択 0：NMI 1：リセット	R
b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R
b30	WDTSTPCTL	WDT停止制御	0：カウントは継続 1：スリープモード遷移時にカウント停止	R
b31	—	予約ビット	読んだ場合は、プログラムした値が読めます。 書く場合、1としてください。	R

注 1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

IWDTSTRT ビット（IWDT スタートモード選択）

リセット後の IWDT の起動モード（停止状態または起動状態）を選択します。

IWDTTOPS[1:0] ビット（IWDT タイムアウト期間選択）

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128、512、1024、2048 の各サイクル数で指定します。リフレッシュ後、カウンタがアンダーフローするまでのサイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

IWDTCKS[3:0] ビット（IWDT 専用クロック分周比選択）

IWDT 専用クロックを分周するプリスケーラの分周比設定を、1、16、32、64、128、256 の各分周から選択します。この設定を IWDTTOPS[1:0] ビット設定と組み合わせることで、IWDT のカウント期間は 128 から 524,288 までの IWDT クロック数に設定可能です。

詳細は、「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

IWDTRPES[1:0] ビット（IWDT ウィンドウ終了位置選択）

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の設定値のみが有効となります。

IWDTRPSS[1:0] および IWDTRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、IWDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

IWDTRPSS[1:0] ビット（IWDT ウィンドウ開始位置選択）

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外はリフレッシュ禁止期間です。

詳細は、「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

IWDTSTPCTL ビット（IWDT 停止制御）

スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止するかどうかを選択します。

詳細は、「28. 独立ウォッチドッグタイマ（IWDT）」を参照してください。

WDTSTRT ビット（WDT スタートモード選択）

リセット後の WDT の起動モード（停止状態または起動状態）を選択します。オートスタートモードでの起動の場合、WDT の設定は OFS0 レジスタの設定が有効となります。

WDTTOPS[1:0] ビット（WDT タイムアウト期間選択）

ダウンカウンタがアンダーフローするまでのタイムアウト期間を、WDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024、4096、8192、16384 の各サイクル数で指定します。リフレッシュ後、カウンタがアンダーフローするまでの PCLKB サイクル数は、WDTCKS[3:0] ビットと WDTTOPS[1:0] ビットの組み合わせで決定されます。

詳細は、「27. ウォッチドッグタイマ（WDT）」を参照してください。

WDTCKS[3:0] ビット（WDT クロック分周比選択）

PCLKB を分周するプリスケーラの分周比設定を、4、64、128、512、2048、8192 の各分周から選択します。この設定を WDTTOPS[1:0] ビット設定と組み合わせることで、WDT のカウント期間は 4,096 から 134,217,728 までの PCLKB クロック数に設定可能です。

詳細は、「27. ウォッチドッグタイマ（WDT）」を参照してください。

WDTRPES[1:0] ビット（WDT ウィンドウ終了位置選択）

ダウンカウンタのウィンドウ終了位置を、カウント値の 0%、25%、50%、75% から選択します。ウィンドウ終了位置の値はウィンドウ開始位置の値よりも小さくなければいけません。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値にした場合、ウィンドウ開始位置の設定値のみが有効となります。

WDTRPSS[1:0] ビットおよび WDTRPES[1:0] ビットで設定したウィンドウ開始および終了位置に対応するカウンタ値は、WDTTOPS[1:0] ビットの設定によって変わります。

詳細は、「27. ウォッチドッグタイマ（WDT）」を参照してください。

WDTRPSS[1:0] ビット（WDT ウィンドウ開始位置選択）

ダウンカウンタのウィンドウ開始位置を、カウント値の 25%、50%、75%、100% から選択します。このとき、カウント開始時が 100%、アンダーフロー発生時が 0% です。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となります。それ以外はリフレッシュ禁止期間です。

詳細は、「27. ウォッチドッグタイマ（WDT）」を参照してください。

WDTRSTIRQS ビット（WDT リセット割り込み要求選択）

ダウンカウンタのアンダーフロー、またはリフレッシュエラー発生時の動作を設定します。ウォッチドッグタイマリセット、ノンマスカブル割り込み要求、または割り込み要求のいずれかを選択できます。

詳細は、「27. ウォッチドッグタイマ（WDT）」を参照してください。

WDTSTPCTL ビット（WDT 停止制御）

スリープモード遷移時のカウント停止を選択します。詳細は、「27. ウォッチドッグタイマ（WDT）」を参照してください。

7.2.2 オプション機能選択レジスタ 1（OFS1）

アドレス OFS1 0000 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	ユーザの設定値（注1）															

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	HOCOFRQ0[1:0]		HOCOEN	—	—	—	—	—	LVDAS	VDSEL0[1:0]	
	ユーザの設定値（注1）															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL0[1:0]	電圧検出0レベル選択	b1 b0 0 0：設定禁止 0 1：2.94Vを選択 1 0：2.87Vを選択 1 1：2.80Vを選択	R
b2	LVDAS	電圧検出0回路起動	0：リセット後、電圧監視0リセット有効 1：リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b8	HOCOEN	HOCO発振有効	0：リセット後、HOCO発振が有効 1：リセット後、HOCO発振が無効	R
b10-b9	HOCOFRQ0[1:0]	HOCO周波数設定0	b10 b9 0 0：16MHz 0 1：18MHz 1 0：20MHz 1 1：設定禁止	R
b31-b11	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

注 1. ブランク品は、FFFF FFFFh です。ユーザがプログラムした値になります。

VDSEL0[1:0] ビット（電圧検出 0 レベル選択）

電圧検出 0 回路の電圧検出レベルを選択します。

LVDAS ビット（電圧検出 0 回路起動）

リセット後、電圧監視 0 リセットを有効にするか無効にするかを選択します。

HOCOEN ビット（HOCO 発振有効）

リセット後、HOCO 用発振許可ビットを有効にするか無効にするかを選択します。このビットを 0 にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

注 . HOCOEN ビットを 0 にしても、システムクロックソースは HOCO に切り替わりません。クロックソース選択ビット（SCKSCR.CKSEL[2:0]）を設定することによってのみ、システムクロックソースは HOCO に切り替わります。HOCO を使用する場合は、OFS1.HOCOFRQ0 ビットを最適な値に設定してください。

HOCOFRQ0[1:0] ビット（HOCO 周波数設定 0）

リセット後の HOCO 周波数を、16、18、20MHz から選択します。

7.2.3 アクセスウィンドウ設定コントロールレジスタ（AWSC）

アドレス AWSC 4012 0040h

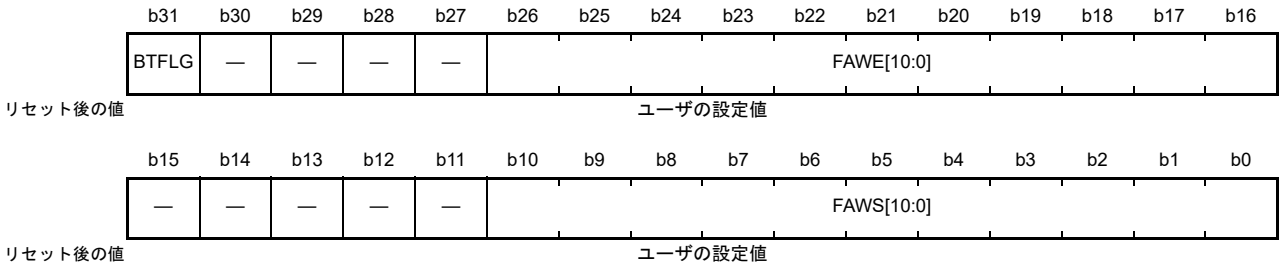
b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	FSPR	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値								ユーザの設定値							

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値								ユーザの設定値							

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b28	FSPR	アクセスウィンドウとスタートアップ領域選択機能の保護	アクセスウィンドウ、スタートアップ領域選択フラグ（AWS.BTFLG）、およびテンポラリブートスワップに対するプログラム／イレース保護のプログラミングを制御します。このビットは一度0にすると、1に変更できません。 0：アクセスウィンドウ（FAWE[10:0]、FAWS[10:0]）とスタートアップ領域選択フラグ（AWS.BTFLG）のプログラミングに対するコンフィグレーション設定コマンドの実行は無効。FSUACレジスタのスタートアップ領域選択ビット（SAS[1:0]）への書き込みは無効。 1：アクセスウィンドウ（FAWE[10:0]、FAWS[10:0]）とスタートアップ領域選択フラグ（AWS.BTFLG）のプログラミングに対するコンフィグレーション設定コマンドの実行は有効。FSUACレジスタのスタートアップ領域選択ビット（SAS[1:0]）への書き込みは有効。	R
b31-b29	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R

7.2.4 アクセスウィンドウ設定レジスタ（AWS）

アドレス AWS 4012 0064h



ビット	シンボル	ビット名	機能	R/W
b10-b0	FAWS[10:0]	アクセスウィンドウ開始ブロックアドレス	アクセスウィンドウの開始ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。このブロックアドレスでは、ブロックの先頭アドレスを設定します。アドレスビット[23:13]で構成されます。	R
b15-b11	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b26-b16	FAWE[10:0]	アクセスウィンドウ終了ブロックアドレス	アクセスウィンドウの終了ブロックアドレスを指定します。これらのビットは、アクセスウィンドウのブロック番号を表すものではありません。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウの終了ブロックアドレスは、アクセスウィンドウで定義されるプログラム／イレース受け付け可能領域の次のブロックです。このブロックアドレスでは、ブロックの先頭アドレスを設定します。アドレスビット[23:13]で構成されます。	R
b30-b27	—	予約ビット	読んだ場合は、プログラムした値が読めます。書く場合、1としてください。	R
b31	BTFLG	スタートアップ領域選択フラグ	スタートアップ領域のアドレスをブートスワップ機能用に入れ替えるか否かを指定します。 0：最初の8KB領域（0000 0000h～0000 1FFFh）と次の8KB領域（0000 2000h～0000 3FFFh）が入れ替わる 1：最初の8KB領域（0000 0000h～0000 1FFFh）と次の8KB領域（0000 2000h～0000 3FFFh）は入れ替わらない	R

アクセスウィンドウ外の領域にプログラム／イレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウはプログラムフラッシュ領域でのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。アクセスウィンドウは FSPR ビットでロックすることが可能です。

アクセスウィンドウは、FAWS ビットと FAWE ビットの両方で設定されます。以下に、FAWS ビットと FAWE ビットの設定方法を説明します。

- FAWE＝FAWS：P/E コマンドは、全プログラムフラッシュ領域に対して実行が許可される
- FAWE ＞ FAWS：P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウでのみ実行が許可される
- FAWE ＜ FAWS：P/E コマンドは、プログラムフラッシュ領域に対して実行が禁止される

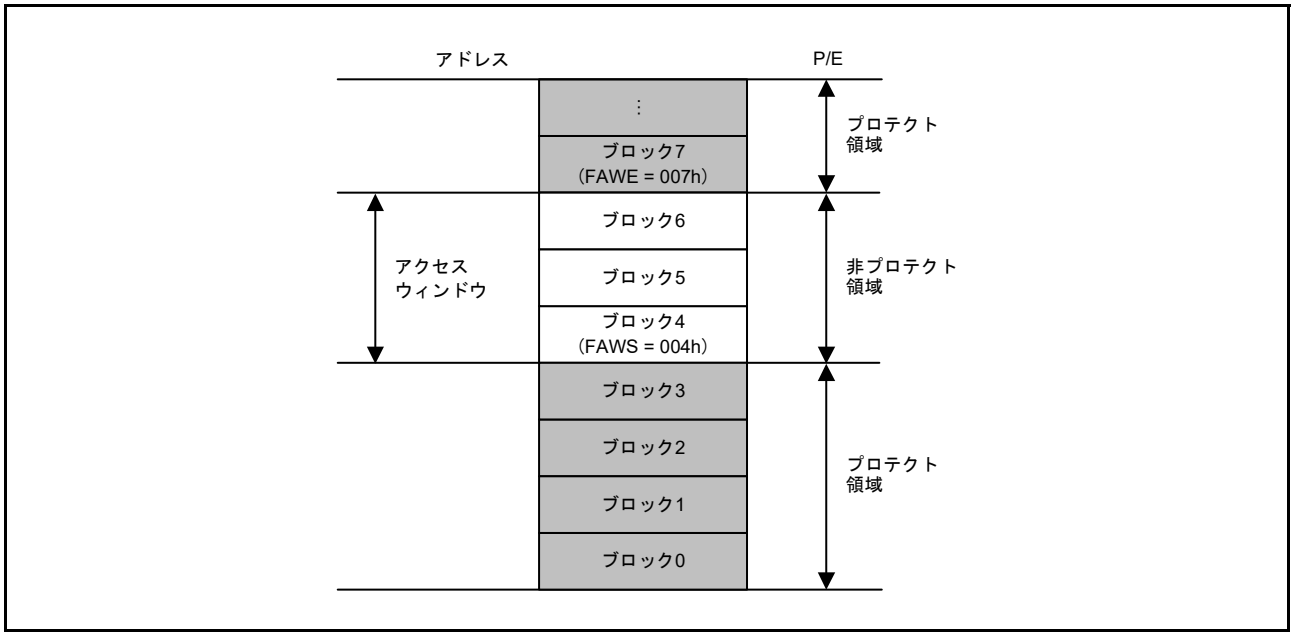


図 7.2 アクセスウィンドウの概要

7.2.5 OCD／シリアルプログラマ ID 設定レジスタ（OSIS）

このレジスタは、OCD／シリアルプログラマの ID コードプロテクト機能の ID を格納します。OCD／シリアルプログラマを接続する場合、MCU がその接続を許可するか否か判定できるようにするための値を書き込んでください。このレジスタを用いて、OCD／シリアルプログラマから送られてくるコードが、オプション設定メモリ上の ID コードと一致するか否かを判定してください。

ID コードが一致した場合、OCD／シリアルプログラマとの接続が許可されます。一致しない場合、OCD／シリアルプログラマとの接続はできません。OSIS レジスタは 32 ビット単位で設定する必要があります。

アドレス OSIS 4012 0050h, OSIS 4012 0054h, OSIS 4012 0058h, OSIS 4012 005Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値								ユーザの設定値								

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値								ユーザの設定値								

OCD／シリアルプログラマの ID 認証に使用する ID を格納します。

ID コードのビット 127 とビット 126 は、ID コードプロテクト機能の有効／無効を判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 7.1 に示します。

表 7.1 IDコードプロテクト機能の仕様

起動時の動作モード	IDコード	プロテクト状態	プログラマまたは オンチップデバッガ接続時の動作
シリアルプログラミングモード（SCI/USB ブートモード） オンチップデバッグモード（JTAG/SWD ブートモード）	FFh, …, FFh （全バイトがFFh）	プロテクト無効	IDコードはチェックされません。IDコードは常に一致して、プログラマまたはオンチップデバッガへの接続が許可されます。
	ビット127 = 1およびビット126 = 1、かつビット125からビット0のどれか1ビットでも0である場合	プロテクト有効	IDコードの一致 = 認証が完了し、プログラマまたはオンチップデバッガとの接続が許可されます。 IDコードの不一致 = IDコードプロテクト待ち状態へ遷移します。 プログラマまたはオンチップデバッガから送られてきたIDコードがASCIIコードの“ALeRASE”（414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFFh）であると、ユーザフラッシュ（コードおよびデータ）領域と構成領域の内容は消去されます。 ただし、FSPRビットが0であれば、強制消去は実行されません。
	ビット127 = 1およびビット126 = 0	プロテクト有効	IDコードの一致 = 認証が完了し、プログラマまたはオンチップデバッガとの接続が許可されます。 IDコードの不一致 = IDコードプロテクト待ち状態へ遷移します。
	ビット127 = 0	プロテクト有効	IDコードはチェックされません。IDコードは常に不一致であり、プログラマまたはオンチップデバッガへの接続は禁止されます。

7.3 オプション設定メモリの設定方法

7.3.1 オプション設定メモリへのデータの配置方法

プログラムデータは、図 7.1 に示すオプション設定メモリのアドレスに配置されます。配置したデータは、フラッシュ書き込みソフトウェアやオンチップデバッガなどのツールで使用されます。

注 . プログラムの書式はコンパイラによって異なります。詳細は、コンパイラのマニュアルを参照してください。

7.3.2 オプション設定メモリにプログラムするデータの設定方法

図 7.1 に示したようにデータを配置するだけでは、オプション設定メモリにプログラムできません。同時に、下記のいずれかを実施する必要があります。

(1) セルフプログラミングでオプション設定メモリを変更する場合

プログラムフラッシュ領域へデータを書き込むため、プログラムコマンドを使用してください。また、コンフィグレーション設定領域のオプション設定メモリへデータを書き込むため、コンフィグレーション設定コマンドを使用してください。さらに、スタートアップ領域選択機能を用いて、オプション設定メモリを含むブートプログラムを安全に更新してください。

プログラムコマンド、コンフィグレーション設定コマンド、およびスタートアップ領域選択機能の詳細については、「55. フラッシュメモリ」を参照してください。

(2) OCD によるデバッグ時またはフラッシュライタによってプログラムする場合

この手順は使用するツールによって異なるため、詳細はツールのマニュアルを参照してください。本 MCU では以下の設定手順が可能です。

- 図 7.1 に示すように配置されたデータを、コンパイラが生成するオブジェクトファイルやモトローラ S 形式ファイルから読み出し、本 MCU へプログラムする
- ツールの GUI インタフェースを使用して、図 7.1 に示すものと同じデータをプログラムする

7.4 使用上の注意事項

7.4.1 オプション設定メモリの予約領域および予約ビットにプログラムするデータ

オプション設定メモリの予約領域および予約ビットがプログラム範囲内にある場合、予約領域の全ビットおよび全予約ビットには 1 を書いてください。

8. 低電圧検出（LVD）

8.1 概要

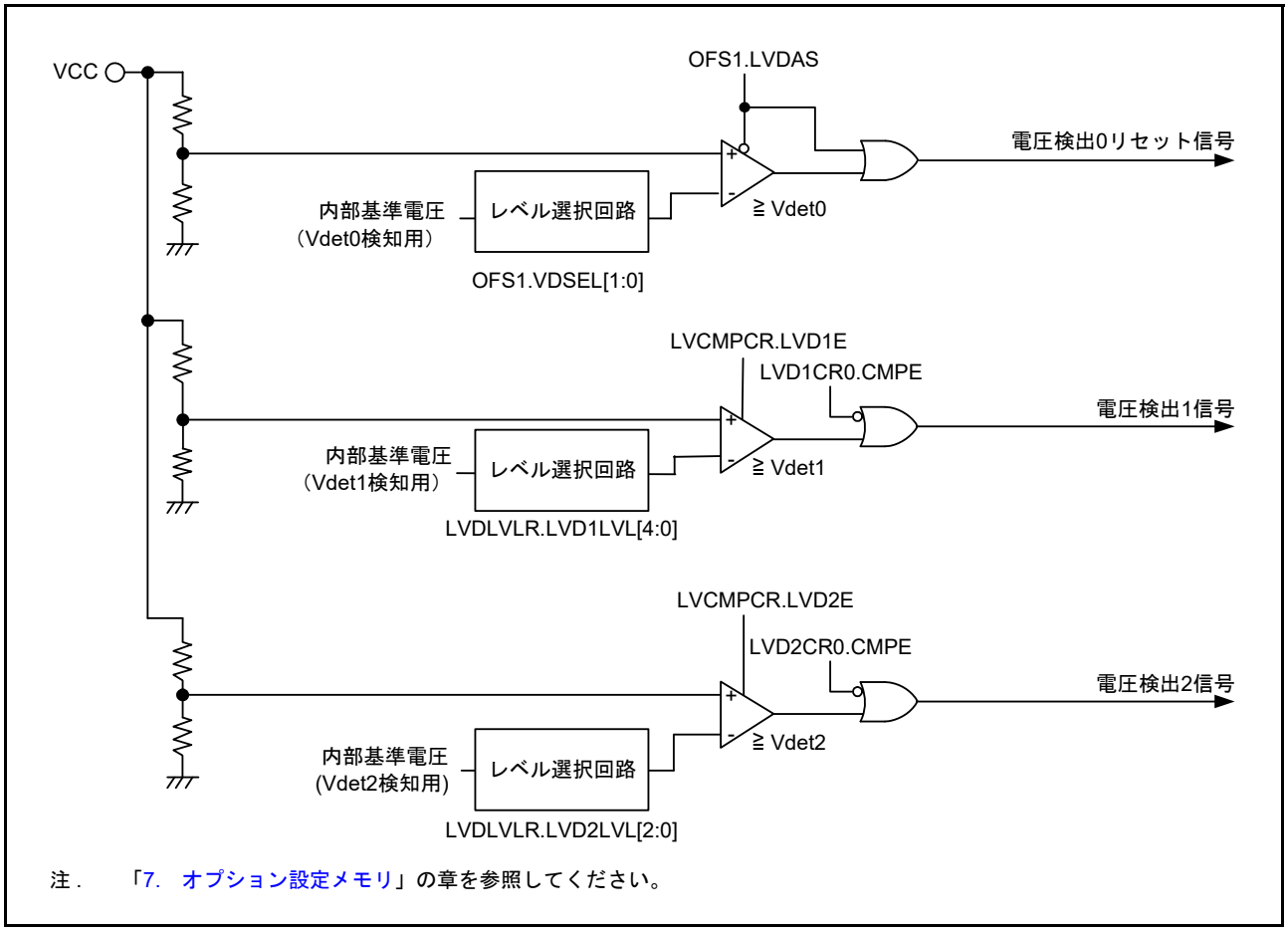
低電圧検出（LVD）モジュールは、VCC 端子へ入力された電圧レベルを監視します。検出レベルはソフトウェアプログラムで選択できます。LVD モジュールは、3 つの独立した電圧レベル検出器（0、1、2 回路）で構成され、それぞれが VCC 端子への入力電圧レベルを測定します。LVD 電圧検出レジスタにより、さまざまな電圧しきい値で VCC の変動を検出するようにユーザアプリケーションを設定できます。

それぞれの電圧レベル検出器には、電圧監視 0、1、2 などの電圧監視回路が対応しています。電圧監視レジスタを用いることで、電圧しきい値を通過したときに、割り込み、イベントリンク出力、またはリセットを発生させるように LVD を設定できます。

表 8.1 に LVD の仕様を示します。また、図 8.1 に電圧検出 0、1、2 回路のブロック図を、図 8.2 に電圧監視 1 割り込み／リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み／リセット発生回路のブロック図を示します。

表 8.1 LVDの仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視電圧	Vdet0	Vdet1	Vdet2
	検出イベント	下降してVdet0を通過	上昇または下降してVdet1を通過	上昇または下降してVdet2を通過
	検出電圧	OFS1.VDSEL0[1:0]ビットで3レベルから選択可能	LVDLVLR.LVD1LVL[4:0]ビットで3レベルから選択可能	LVDLVLR.LVD2LVL[2:0]ビットで3レベルから選択可能
	モニタフラグ	なし	LVD1SR.MONフラグ：電圧がVdet1より高いか低いかを監視	LVD2SR.MONフラグ：電圧がVdet2より高いか低いかを監視
			LVD1SR.DETフラグ：Vdet1通過検出	LVD2SR.DETフラグ：Vdet2通過検出
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0＞VCCでリセット。VCC＞Vdet0の一定時間後にCPU動作再開	Vdet1＞VCCでリセット。CPU動作再開タイミングとして、VCC＞Vdet1の一定時間後、またはVdet1＞VCCの一定時間後を選択可能	Vdet2＞VCCでリセット。CPU動作再開タイミングとして、VCC＞Vdet2の一定時間後、またはVdet2＞VCCの一定時間後を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスカブル割り込み、またはマスカブル割り込みを選択可能	ノンマスカブル割り込み、またはマスカブル割り込みを選択可能
			Vdet1＞VCCまたはVCC＞Vdet1のとき割り込み要求	Vdet2＞VCCまたはVCC＞Vdet2のとき割り込み要求
デジタルフィルタ	有効／無効の切り替え	デジタルフィルタ機能なし	あり	あり
	サンプリング時間	—	LOCOのn分周 × 2（n：2, 4, 8, 16）	LOCOのn分周 × 2（n：2, 4, 8, 16）
イベントリンク機能		なし	あり Vdet1通過検出時にイベント信号出力	あり Vdet2通過検出時にイベント信号出力



注． 「7. オプション設定メモリ」の章を参照してください。

図 8.1 電圧検出 0、1、2 回路のブロック図

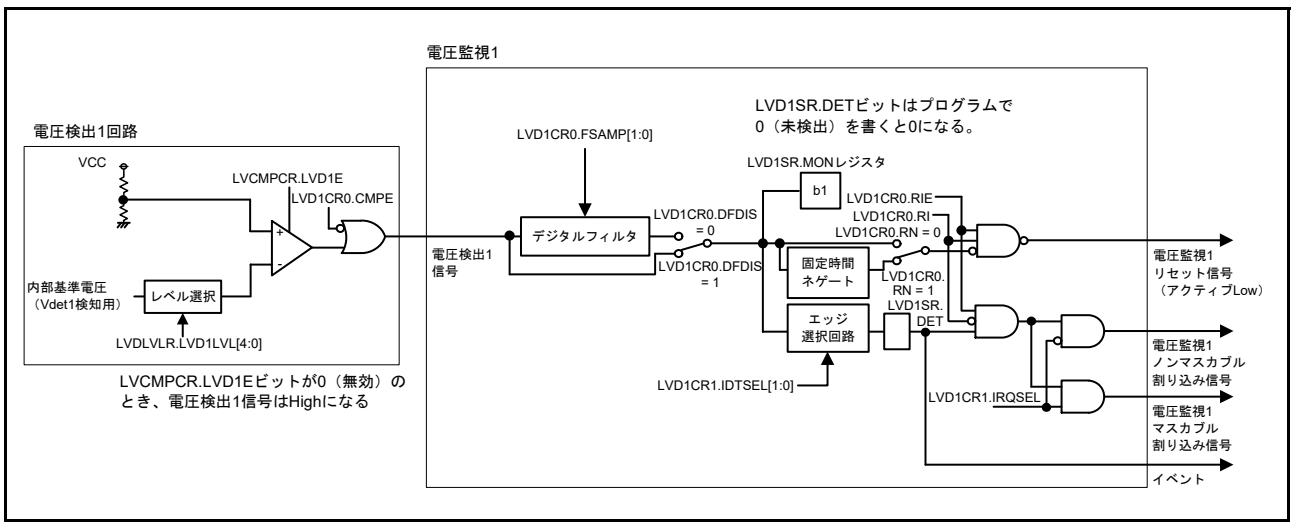


図 8.2 電圧監視 1 割り込み／リセット発生回路のブロック図

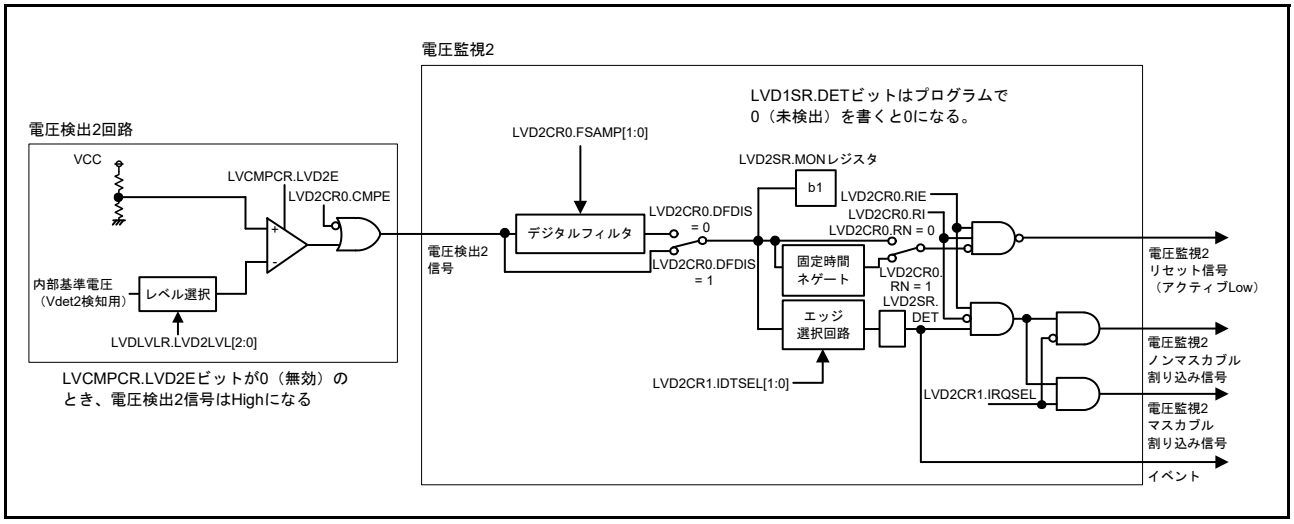


図 8.3　　電圧監視 2 割り込み／リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧モニタ 1 回路コントロールレジスタ 1（LVD1CR1）

アドレス SYSTEM.LVD1CR1 4001 E0E0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視1割り込み発生条件選択	b1 b0 0 0：VCC≧Vdet1（上昇）検出時 0 1：VCC＜Vdet1（下降）検出時 1 0：下降および上昇検出時 1 1：設定禁止	R/W
b2	IRQSEL	電圧監視1割り込み種類選択	0：ノンマスカブル割り込み 1：マスカブル割り込み（注1）	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. マスカブル割り込みを設定する場合、ICU にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

8.2.2 電圧モニタ 1 回路ステータスレジスタ（LVD1SR）

アドレス SYSTEM.LVD1SR 4001 E0E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視1電圧変化検出フラグ	0：未検出 1：Vdet1通過検出	R(/W) （注1）
b1	MON	電圧監視1信号モニタフラグ	0：VCC＜Vdet1 1：VCC≧Vdet1またはMON無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

DET フラグ（電圧監視 1 電圧変化検出フラグ）

DET フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

DET フラグを 0 にするときは、LVD1CR0.RIE を 0（禁止）にしてから行ってください。LVD1CR0.RIE を 0 にした後、再度 1（許可）にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

I/O レジスタの読み出しに要する PCLKB のサイクル数によっては、待ち時間として PCLKB の 2 サイクル以上が必要です。

MON フラグ（電圧監視 1 信号モニタフラグ）

MON フラグは、LVCMPCR.LVD1E ビットが 1（電圧検出 1 回路有効）であり、かつ LVD1CR0.CMPE ビットが 1（電圧監視 1 回路比較結果出力許可）のときに有効になります。

注 . PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.3 電圧モニタ 2 回路コントロールレジスタ 1（LVD2CR1）

アドレス SYSTEM.LVD2CR1 4001 E0E2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	IRQSEL	IDTSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	IDTSEL[1:0]	電圧監視2割り込み発生条件選択	b1 b0 0 0：VCC≧Vdet2（上昇）検出時 0 1：VCC＜Vdet2（下降）検出時 1 0：下降および上昇検出時 1 1：設定禁止	R/W
b2	IRQSEL	電圧監視2割り込み種類選択	0：ノンマスカブル割り込み 1：マスカブル割り込み（注1）	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。
注 1. マスカブル割り込みを設定する場合、ICU 側にある NMIER.LVD1EN ビットをリセット状態から変更しないでください。

8.2.4 電圧モニタ 2 回路ステータスレジスタ（LVD2SR）

アドレス SYSTEM.LVD2SR 4001 E0E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MON	DET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	DET	電圧監視2電圧変化検出フラグ	0：未検出 1：Vdet2通過検出	R(/W) （注1）
b1	MON	電圧監視2信号モニタフラグ	0：VCC＜Vdet2 1：VCC≧Vdet2またはMON無効	R
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このビットには 0 のみ書けます。0 を書いた後、このビットの読み出し値に反映されるまでにシステムクロックの 2 サイクルが必要です。

DET フラグ（電圧監視 2 電圧変化検出フラグ）

DET フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

DET フラグを 0 にするときは、LVD2CR0.RIE を 0（禁止）にしてから行ってください。LVD2CR0.RIE を 0 にした後、再度 1（許可）にする場合は、PCLKB の 2 サイクル以上が経過してから行ってください。

I/O レジスタの読み出しに要する PCLKB のサイクル数によっては、待ち時間として PCLKB の 2 サイクル以上が必要です。

MON フラグ（電圧監視 2 信号モニタフラグ）

MON フラグは、LVCMPCR.LVD2E ビットが 1（電圧検出 2 回路有効）であり、かつ LVD2CR0.CMPE ビットが 1（電圧監視 2 回路比較結果出力許可）のときに有効になります。

注 . PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.5 電圧モニタ回路コントロールレジスタ（LVCMPCR）

アドレス SYSTEM.LVCMPCR 4001 E417h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	LVD1E	電圧検出1有効	0：電圧検出1回路無効 1：電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2有効	0：電圧検出2回路無効 1：電圧検出2回路有効	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

LVD1E ビット（電圧検出 1 有効）

電圧検出 1 の割り込み／リセットを使用する場合、または LVD1SR.MON ビットを使用する場合、LVD1E ビットを 1 にしてください。LVD1E ビットを 0 から 1 に変更した後、td(E-A) 経過すると、電圧検出 1 回路が動作します。ディープソフトウェアスタンバイモード時に電圧検出 1 回路を使用する場合は、DPSBYCR.DEEPCUT[1:0] ビットを 11b にしないでください。

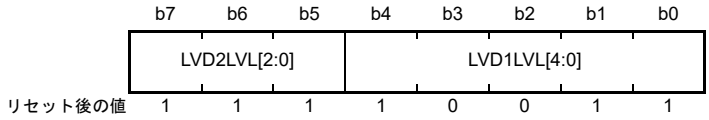
LVD2E ビット（電圧検出 2 有効）

電圧検出 2 の割り込み／リセットを使用する場合、または LVD2SR.MON ビットを使用する場合、LVD2E ビットを 1 にしてください。LVD2E ビットを 0 から 1 に変更した後、td(E-A) 経過すると、電圧検出 2 回路が動作します。ディープソフトウェアスタンバイモード時に電圧検出 2 回路を使用する場合は、DPSBYCR.DEEPCUT[1:0] ビットを 11b にしないでください。

注 . PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.6 電圧検出レベル選択レジスタ（LVDLVLR）

アドレス SYSTEM.LVDLVLR 4001 E418h



ビット	シンボル	ビット名	機能	R/W
b4-b0	LVD1LVL[4:0]	電圧検出1レベル選択 （電圧下降時の標準電圧）	b4 b0 1 0 0 0 1 : 2.99V (Vdet1_1) 1 0 0 1 0 : 2.92V (Vdet1_2) 1 0 0 1 1 : 2.85V (Vdet1_3) 上記以外は設定しないでください。	R/W
b7-b5	LVD2LVL[2:0]	電圧検出2レベル選択 （電圧下降時の標準電圧）	b7 b5 1 0 1 : 2.99V (Vdet2_1) 1 1 0 : 2.92V (Vdet2_2) 1 1 1 : 2.85V (Vdet2_3) 上記以外は設定しないでください。	R/W

LVDLVLR レジスタは、LVCMPCR.LVD1E ビット、LVCMPCR.LVD2E ビットがともに 0（電圧検出 n 回路無効、n = 1, 2）の場合のみ変更可能です。また、LVD の電圧検出 1 および 2 回路は、同じ電圧検出レベルに設定しないでください。

PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.7 電圧モニタ 1 回路コントロールレジスタ 0（LVD1CR0）

アドレス SYSTEM.LVD1CR0 4001 E41Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視1割り込み／リセット許可	0：禁止 1：許可	R/W
b1	DFDIS	電圧監視1デジタルフィルタ無効モード選択	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	CMPE	電圧監視1回路比較結果出力許可	0：電圧監視1回路比較結果出力禁止 1：電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	FSAMP[1:0]	サンプリングクロック選択	b5 b4 0 0：LOCOの2分周 0 1：LOCOの4分周 1 0：LOCOの8分周 1 1：LOCOの16分周	R/W
b6	RI	電圧監視1回路モード選択	0：Vdet1通過時に電圧監視1割り込み発生 1：下降してVdet1通過時に電圧監視1リセット許可	R/W
b7	RN	電圧監視1リセットネゲート選択	0：VCC＞Vdet1検出時、安定時間（tLVD1）経過後にネゲート 1：LVD1リセットアサート時、安定時間（tLVD1）経過後にネゲート	R/W

RIE ビット（電圧監視 1 割り込み／リセット許可）

電圧監視 1 リセットと電圧監視 1 割り込みを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 1 リセットと電圧監視 1 割り込みのどちらも発生させないようにしてください。

DFDIS ビット（電圧監視 1 デジタルフィルタ無効モード選択）

デジタルフィルタ回路を有効にします。このビットが 0（有効）の場合、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。電圧監視 1 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1（無効）にしてください。

FSAMP[1:0] ビット（サンプリングクロック選択）

LVD1CR0.DFDIS ビットが 1（デジタルフィルタ回路無効）の場合のみ、FSAMP[1:0] ビットを書き換えてください。LVD1CR0.DFDIS ビットが 0（デジタルフィルタ回路有効）の場合は書き換えないでください。

RI ビット（電圧監視 1 回路モード選択）

RI ビットが 1（電圧監視 1 リセット選択）、または LVD2CR0.RI ビットが 1（電圧監視 2 リセット選択）の場合、ディープソフトウェアスタンバイモードへ遷移できません。この場合、ソフトウェアスタンバイモードへ遷移します。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0（電圧監視 1 割り込み選択）、かつ LVD2CR0.RI ビットを 0（電圧監視 2 割り込み選択）にしてください。

RN ビット（電圧監視 1 リセットネゲート選択）

RN ビットを 1（LVD1 リセットアサート時、安定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは、RN ビットは 0（VCC ＞ Vdet1 検出時、安定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

注 . PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.2.8 電圧モニタ 2 回路コントロールレジスタ 0（LVD2CR0）

アドレス SYSTEM.LVD2CR0 4001 E41Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	RN	RI	FSAMP[1:0]		—	CMPE	DFDIS	RIE
リセット後の値	1	0	0	0	x	0	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RIE	電圧監視2割り込み／リセット許可	0：禁止 1：許可	R/W
b1	DFDIS	電圧監視2デジタルフィルタ無効モード選択	0：デジタルフィルタ有効 1：デジタルフィルタ無効	R/W
b2	CMPE	電圧監視2回路比較結果出力許可	0：電圧監視2回路比較結果出力禁止 1：電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b5-b4	FSAMP[1:0]	サンプリングクロック選択	b5 b4 0 0：LOCOの2分周 0 1：LOCOの4分周 1 0：LOCOの8分周 1 1：LOCOの16分周	R/W
b6	RI	電圧監視2回路モード選択	0：Vdet2通過時に電圧監視2割り込み発生 1：下降してVdet2通過時に電圧監視2リセット許可	R/W
b7	RN	電圧監視2リセットネゲート選択	0：VCC＞Vdet2検出時、安定時間（tLVD2）経過後にネゲート 1：LVD2リセットアサート時、安定時間（tLVD2）経過後にネゲート	R/W

RIE ビット（電圧監視 2 割り込み／リセット許可）

電圧監視 2 リセットと電圧監視 2 割り込みを許可または禁止にします。フラッシュメモリのプログラム／イレース中は、電圧監視 2 リセットと電圧監視 2 割り込みのどちらも発生させないようにしてください。

DFDIS ビット（電圧監視 2 デジタルフィルタ無効モード選択）

デジタルフィルタ回路を有効にします。このビットが 0（有効）の場合、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。電圧監視 2 回路をソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで使用する場合、このビットを 1（無効）にしてください。

FSAMP[1:0] ビット（サンプリングクロック選択）

LVD2CR0.DFDIS ビットが 1（デジタルフィルタ回路無効）の場合のみ、FSAMP[1:0] ビットを書き換えてください。LVD2CR0.DFDIS ビットが 0（デジタルフィルタ回路有効）の場合は書き換えないでください。

RI ビット（電圧監視 2 回路モード選択）

RI ビットが 1（電圧監視 2 リセット選択）、または LVD1CR0.RI ビットが 1（電圧監視 1 リセット選択）の場合、ディープソフトウェアスタンバイモードへ遷移できません。この場合、ソフトウェアスタンバイモードへ遷移します。ディープソフトウェアスタンバイモードへ遷移するには、RI ビットを 0（電圧監視 2 割り込み選択）、かつ LVD1CR0.RI ビットを 0（電圧監視 1 割り込み選択）にしてください。

RN ビット（電圧監視 2 リセットネゲート選択）

RN ビットを 1（LVD2 リセットアサート時、安定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは 0（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードでは、RN ビットは 0（VCC ＞ Vdet2 検出時、安定時間経過後にネゲート）のみが可能です。この場合、RN ビットを 1 にしないでください。

注 . PRCR.PRC3 ビットを 1（書き込み許可）にしてから、このレジスタを書き換えてください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

電圧監視 0 の比較結果は、読み出すことができません。

8.3.2 Vdet1 のモニタ

表 8.2 に Vdet1 のモニタの設定手順を示します。設定が完了すると、LVD1SR.MON フラグで電圧監視 1 の比較結果をモニタできます。

表 8.2 Vdet1のモニタの設定手順

手順		電圧監視1の比較結果のモニタ
電圧検出1回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0にして、電圧検出1を無効にする
	2	LVDLVLR.LVD1LVL[4:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD1E = 1にして、電圧検出1を有効にする
	4	td(E-A)（LVD有効切り替え後のLVD動作安定時間）以上待つ（注1）
デジタルフィルタの設定（注2）	5	LVD1CR0.FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD1CR0.DFDIS = 0にして、デジタルフィルタを有効にする
	7	LOCOの2n + 3サイクル以上待つ（ここで、n = 2, 4, 8, 16であり、デジタルフィルタのサンプリングクロックはLOCOのn分周である）
出力許可の設定	8	LVD1CR0.CMPE = 1にして、電圧監視1の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5 ～ 7 を行うことができます。td(E-A) の詳細は、「60. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5 ～ 7 は不要です。

8.3.3 Vdet2 のモニタ

表 8.3 に Vdet2 のモニタの設定手順を示します。設定が完了すると、LVD2SR.MON フラグで電圧監視 2 の比較結果をモニタできます。

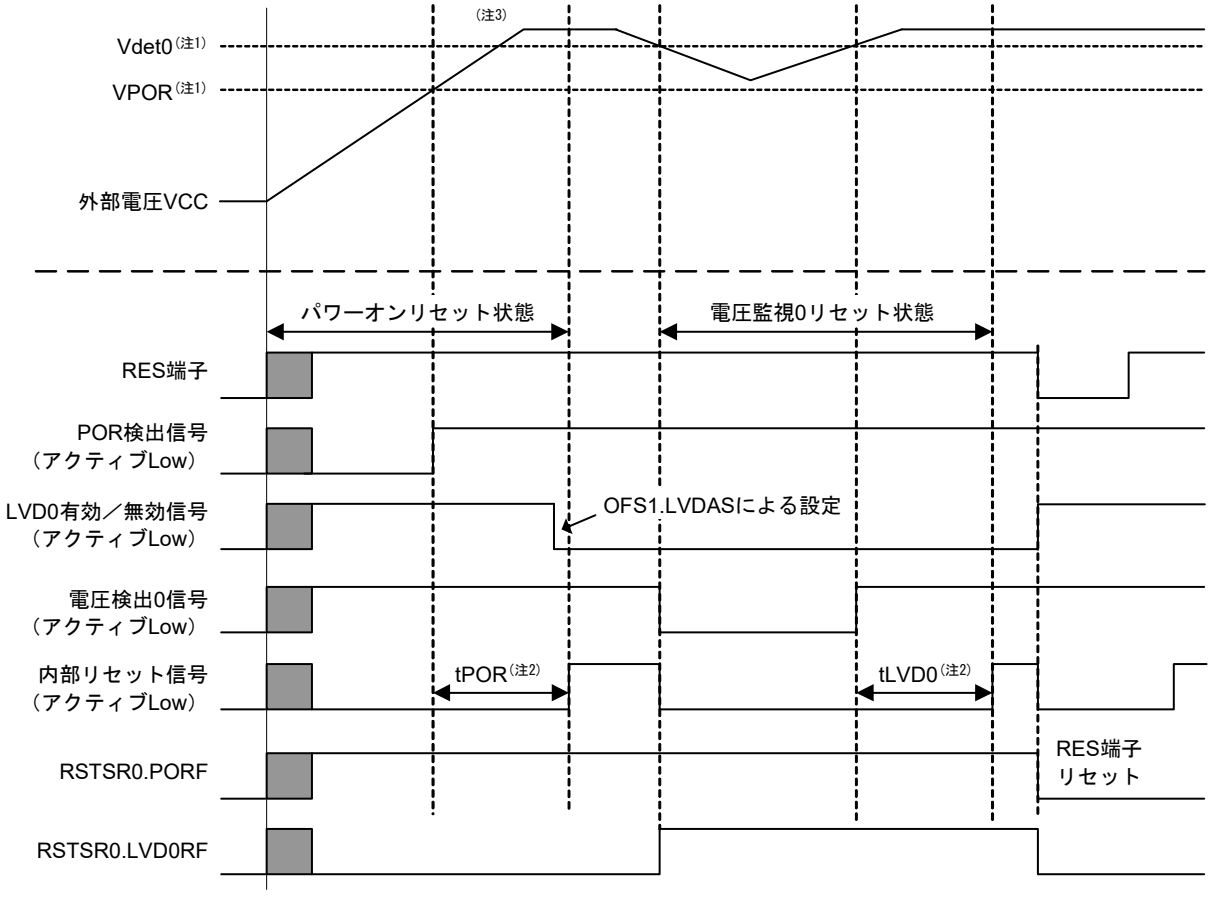
表 8.3 Vdet2のモニタの設定手順

手順		電圧監視2の比較結果のモニタ
電圧検出2回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD2E = 0にして、電圧検出2回路を無効にする
	2	LVDLVLR.LVD2LVL[2:0] ビットで検出電圧を選択する
	3	LVCMPCR.LVD2E = 1にして、電圧検出2回路を有効にする
	4	td(E-A)（LVD有効切り替え後のLVD動作安定時間）以上待つ（注1）
デジタルフィルタの設定（注2）	5	LVD2CR0.FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する
	6	LVD2CR0.DFDIS = 0にして、デジタルフィルタを有効にする
	7	LOCOの2n + 3サイクル以上待つ（ここで、n = 2, 4, 8, 16であり、デジタルフィルタのサンプリングクロックはLOCOのn分周である）
出力許可の設定	8	LVD2CR0.CMPE = 1にして、電圧監視2の比較結果出力を許可する

注 1. 手順 4 の待ち時間中に手順 5 ～ 7 を行うことができます。td(E-A) の詳細は、「60. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5 ～ 7 は不要です。

8.4 電圧監視 0 リセット

電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを 0 にして、リセット後の電圧監視 0 リセットを有効にしてください。ただし、ブートモード時は、OFS1.LVDAS ビットの値にかかわらず電圧監視 0 からのリセットは無効になります。図 8.4 に電圧監視 0 リセットの動作例を示します。



注 . 電気的特性の詳細は、「60. 電気的特性」を参照してください。
注1. VPORはパワーオンリセットの検出レベルを表し、Vdet0は電圧監視0リセットの検出レベルを表します。
注2. tPORはパワーオンリセットの期間を表し、tLVD0は電圧監視0リセットの期間を表します。
注3. 電源投入時には、VCCが最低保証電圧に達してからでなければ、PORリセットを解除することはできません。

図 8.4 電圧監視 0 リセットの動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

電圧監視 1 回路での比較結果により、割り込みやリセットを発生させることができます。

表 8.4 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を示します。表 8.5 に、電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を示します。図 8.5 に電圧監視 1 割り込みの動作例を示します。電圧監視 1 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 1 回路を使用する場合は、回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効（LVD1CR0.DFDIS = 1）にする
- VCC ＞ Vdet1 検出時、安定時間経過後に電圧監視 1 リセット信号をネゲート（LVD1CR0.RN = 0）にする

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効（LVD1CR0.DFDIS = 1）にする
- 電圧監視 1 割り込みを許可（LVD1CR0.RI = 0）にする。電圧監視 1 リセットが許可（LVD1CR0.RI = 1）になっている場合、ディープソフトウェアスタンバイモードへ遷移せず、ソフトウェアスタンバイモードへ遷移する
- DPSBYCR.DEEPCUT[1:0] ビットが 11b の場合は、電圧監視 1 回路が停止する。ディープソフトウェアスタンバイモードで電圧監視 1 回路を使用するには、DPSBYCR.DEEPCUT[1:0] ビットを 11b 以外にする

表 8.4 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順		電圧監視 1 割り込み（電圧監視 1 ELC イベント出力）	電圧監視 1 リセット
電圧検出 1 回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD1E = 0 にして、電圧検出 1 回路を無効にする	
	2	LVDLVLR.LVD1LVL[3:0] ビットで検出電圧を選択する	
	3	LVCMPCR.LVD1E = 1 にして、電圧検出 1 回路を有効にする	
	4	td(E-A)（LVD 有効切り替え後の LVD 動作安定時間）以上待つ（注 1）	
デジタルフィルタの設定（注 2）	5	LVD1CR0.FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する	
	6	LVD1CR0.DFDIS = 0 にして、デジタルフィルタを有効にする	
	7	LOCO の 2n + 3 サイクル以上待つ（ここで、n = 2, 4, 8, 16 であり、デジタルフィルタのサンプリングクロックは LOCO の n 分周である）（注 4）	
電圧監視 1 割り込み／リセットの設定	8	LVD1CR0.RI = 0 にして、電圧監視 1 割り込みを選択する	• LVD1CR0.RI = 1 にして、電圧監視 1 リセットを選択する • LVD1CR0.RN ビットでリセットネゲートの種類を選択する
	9	• LVD1CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する • LVD1CR1.IRQSEL ビットで割り込みの種類を選択する	—
出力許可の設定	10	LVD1SR.DET = 0 にする	
	11	LVD1CR0.RIE = 1 にして、電圧監視 1 割り込み／リセットを許可する（注 3）	
	12	LVD1CR0.CMPE = 1 にして、電圧監視 1 の比較結果出力を許可する	

注 1. 手順 4 の待ち時間中に手順 5 ～ 11 を行うことができます。td(E-A) の詳細は、「60. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5 ～ 7 は不要です。
注 3. ELC イベント信号のみを出力させる場合、手順 11 は不要です。
注 4. 手順 7 の待ち時間中に手順 8 ～ 11 を行うことができます。

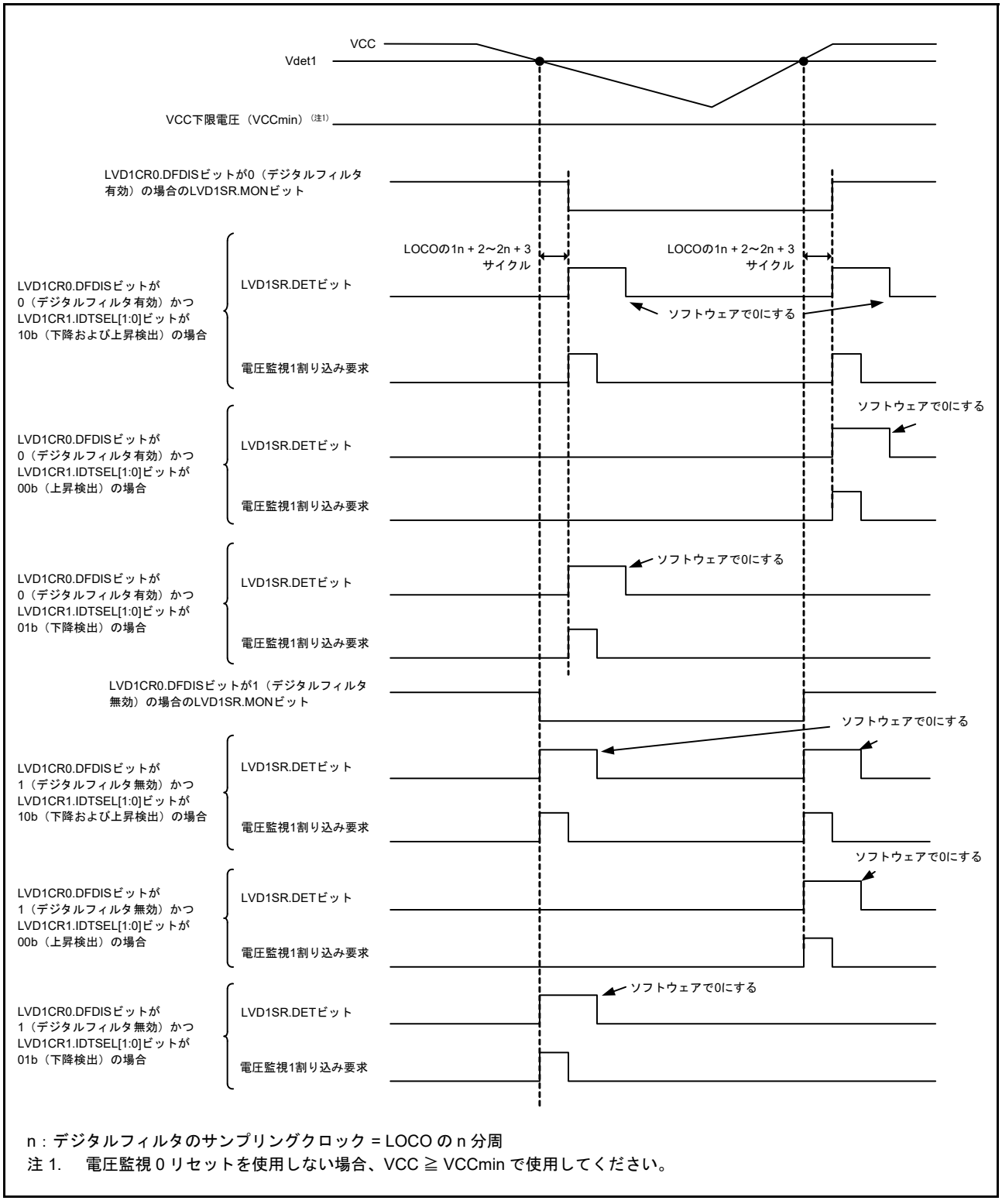
表 8.5 電圧監視1割り込み、電圧監視1リセット関連ビットの停止設定手順

手順		電圧監視1割り込み（電圧監視1 ELCイベント出力）、電圧監視1リセット
出力許可停止の設定	1	LVD1CR0.CMPE = 0にして、電圧監視1の比較結果出力を禁止する
	2	LOCOの2n + 3サイクル以上待つ（ここで、n = 2, 4, 8, 16であり、デジタルフィルタのサンプリングクロックはLOCOのn分周である）（注1）
	3	LVD1CR0.RIE = 0にして、電圧監視1割り込み／リセットを禁止する（注2）
デジタルフィルタ停止の設定	4	LVD1CR0.DFDIS = 1にして、デジタルフィルタを無効にする（注1）（注3）
電圧検出1回路停止の設定	5	LVCMPCR.LVD1E = 0にして、電圧検出1回路を無効にする

注 1. デジタルフィルタを使用しない場合、手順 2 と 4 は不要です。
注 2. ELC イベント信号のみを出力させる場合、手順 3 は不要です。
注 3. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO クロックの 2 サイクル以上待つ必要があります。

電圧監視 1 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略することができます。

- 電圧検出 1 回路の設定を変更しない場合、回路の設定または停止は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタの設定または停止は不要
- 電圧監視 1 割り込み／リセットの設定を変更しない場合、電圧監視 1 割り込み／リセットの設定は不要



n：デジタルフィルタのサンプリングクロック = LOCO の n 分周

注 1. 電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 8.5 電圧監視 1 割り込みの動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

電圧監視 2 回路での比較結果により、割り込みやリセットを発生させることができます。

表 8.6 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を示します。表 8.7 に、電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を示します。図 8.6 に電圧監視 2 割り込みの動作例を示します。電圧監視 2 リセットの動作については、「6. リセット」の図 6.2 を参照してください。

なお、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードで電圧監視 2 回路を使用する場合は、回路を以下のように設定してください。

(1) ソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効（LVD2CR0.DFDIS = 1）にする
- VCC ＞ Vdet2 検出時、安定時間経過後に電圧監視 2 リセット信号をネゲート（LVD2CR0.RN = 0）にする

(2) ディープソフトウェアスタンバイモード時の設定

- デジタルフィルタを無効（LVD2CR0.DFDIS = 1）にする
- 電圧監視 2 割り込みを許可（LVD2CR0.RI = 0）にする。電圧監視 2 リセットが許可（LVD2CR0.RI = 1）になっている場合、ディープソフトウェアスタンバイモードへ遷移せず、ソフトウェアスタンバイモードへ遷移する
- DPSBYCR.DEEPCUT[1:0] ビットが 11b の場合は、電圧監視 2 回路が停止する。ディープソフトウェアスタンバイモードで電圧監視 2 回路を使用するには、DPSBYCR.DEEPCUT[1:0] ビットを 11b 以外にする

表 8.6 電圧監視2割り込み、電圧監視2リセット関連ビットの動作設定手順

手順		電圧監視2割り込み（電圧監視2 ELCイベント出力）	電圧監視2リセット
電圧検出2回路の設定	1	LVDLVLR レジスタへ書き込む前に、LVCMPCR.LVD2E = 0にして、電圧検出2回路を無効にする	
	2	LVDLVLR.LVD2LVL[2:0] ビットで検出電圧を選択する	
	3	LVCMPCR.LVD2E = 1にして、電圧検出2回路を有効にする	
	4	td(E-A)（LVD有効切り替え後のLVD動作安定時間）以上待つ（注1）	
デジタルフィルタの設定（注2）	5	LVD2CR0.FSAMP[1:0] ビットでデジタルフィルタのサンプリングクロックを選択する	
	6	LVD2CR0.DFDIS = 0にして、デジタルフィルタを有効にする	
	7	LOCOの2n + 3サイクル以上待つ（ここで、n = 2, 4, 8, 16であり、デジタルフィルタのサンプリングクロックはLOCOのn分周である）（注4）	
電圧監視2割り込み／リセットの設定	8	LVD2CR0.RI = 0にして、電圧監視2割り込みを選択する	• LVD2CR0.RI = 1にして、電圧監視2リセットを選択する • LVD2CR0.RN ビットでリセットネゲートの種類を選択する
	9	• LVD2CR1.IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する • LVD2CR1.IRQSEL ビットで割り込みの種類を選択する	—
出力許可の設定	10	LVD2SR.DET = 0にする	
	11	LVD2CR0.RIE = 1にして、電圧監視2割り込み／リセットを許可する（注3）	
	12	LVD2CR0.CMPE = 1にして、電圧監視2の比較結果出力を許可する	

注 1. 手順 4 の待ち時間中に手順 5 ～ 11 を行うことができます。td(E-A) の詳細は、「60. 電気的特性」を参照してください。
注 2. デジタルフィルタを使用しない場合、手順 5 ～ 7 は不要です。
注 3. ELC イベント信号のみを出力させる場合、手順 11 は不要です。
注 4. 手順 7 の待ち時間中に手順 8 ～ 11 を行うことができます。

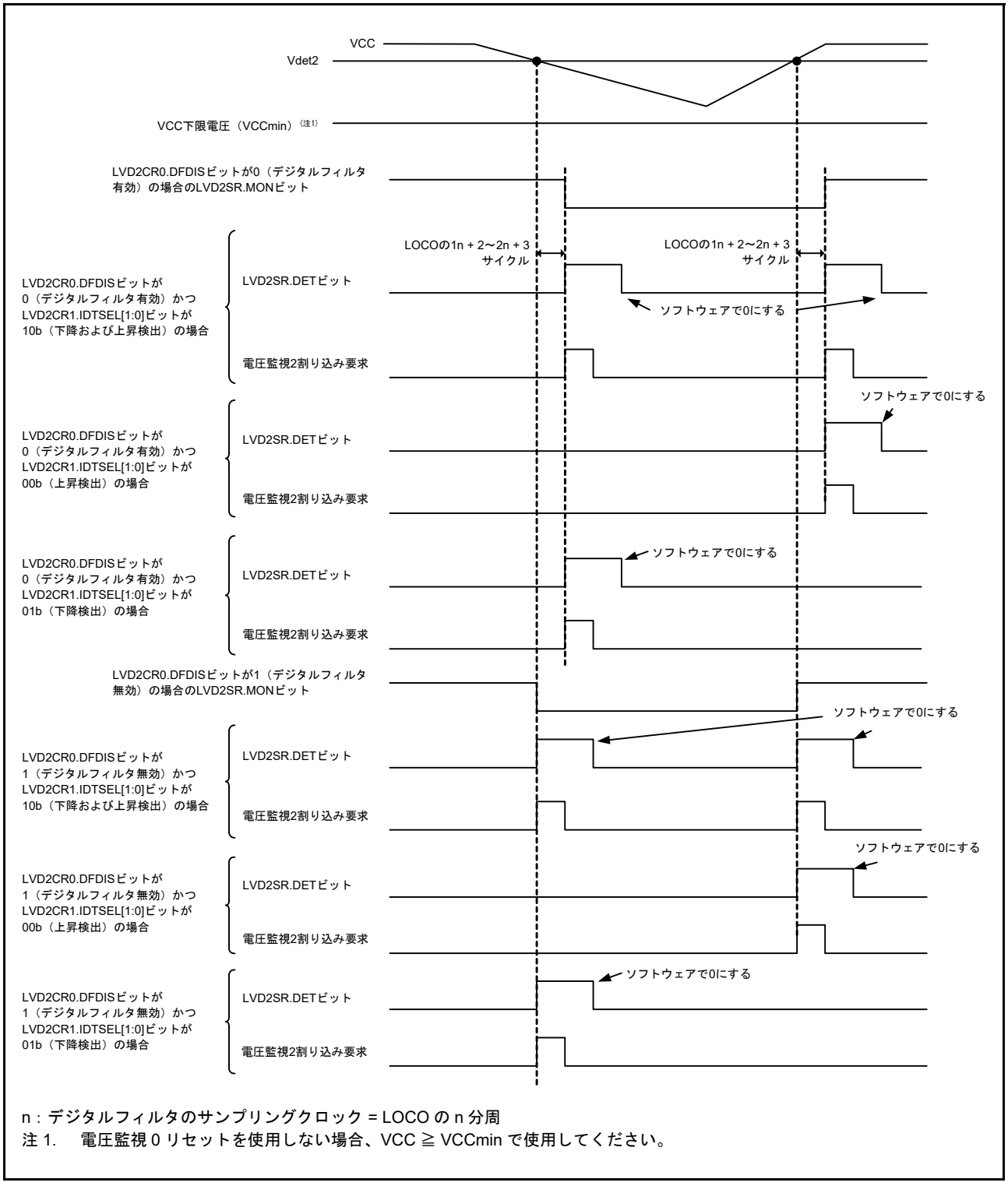
表 8.7 電圧監視2割り込み、電圧監視2リセット関連ビットの停止設定手順

手順		電圧監視2割り込み（電圧監視2 ELCイベント出力）、電圧監視2リセット
出力許可停止の設定	1	LVD2CR0.CMPE = 0にして、電圧監視2の比較結果出力を禁止する
	2	LOCOの2n + 3サイクル以上待つ（ここで、n = 2, 4, 8, 16であり、デジタルフィルタのサンプリングクロックはLOCOのn分周である）（注1）
	3	LVD2CR0.RIE = 0にして、電圧監視2割り込み／リセットを禁止する（注2）
デジタルフィルタ停止の設定	4	LVD2CR0.DFDIS = 1にして、デジタルフィルタを無効にする（注1）（注3）
電圧検出1回路停止の設定	5	LVCMPCR.LVD2E = 0にして、電圧検出2回路を無効にする

注 1. デジタルフィルタを使用しない場合、手順 2 と 4 は不要です。
注 2. ELC イベント信号のみを出力させる場合、手順 3 は不要です。
注 3. デジタルフィルタを有効状態から無効にした後に再度有効にする場合、無効にしてから再度有効にするまで、LOCO の 2 サイクル以上待つ必要があります

電圧監視 2 割り込み／リセットを使用した後にいったん停止してから再度設定する場合は、条件によって停止手順と再設定手順を次のように省略してください。

- 電圧検出 2 回路の設定を変更しない場合、回路の設定または停止は不要
- デジタルフィルタの設定を変更しない場合、デジタルフィルタの設定または停止は不要
- 電圧監視 2 割り込み／リセットの設定を変更しない場合、電圧監視 2 割り込み／リセットの設定は不要



n：デジタルフィルタのサンプリングクロック = LOCO の n 分周

注 1. 電圧監視 0 リセットを使用しない場合、VCC ≧ VCCmin で使用してください。

図 8.6 電圧監視 2 割り込みの動作例

8.7 イベントリンク出力

LVD は、イベントリンクコントローラ（ELC）に対してイベント信号出力が可能です。

(1) Vdet1 通過検出イベント

電圧検出 1 回路有効かつ電圧監視 1 回路比較結果出力許可の状態において、Vdet1 通過を検出した場合にイベント信号を出力します。

(2) Vdet2 通過検出イベント

電圧検出 2 回路有効かつ電圧監視 2 回路比較結果出力許可の状態において、Vdet2 通過を検出した場合にイベント信号を出力します。

LVD のイベントリンク出力機能を有効にする場合、LVD を有効にしてから、ELC 側の LVD イベントリンク機能を有効にする必要があります。LVD のイベントリンク出力機能を停止にする場合は、LVD を停止してから、ELC 側の LVD イベントリンク機能を無効にする必要があります。

8.7.1 割り込み処理とイベントリンクの関係

LVD には、電圧監視 1 割り込みと電圧監視 2 割り込みのそれぞれに割り込み許可／禁止を制御するビットがあります。割り込み要因が発生すると、割り込み許可ビットが許可の場合は、割り込み信号（LVD1CR0.RIE または LVD2CR0.RIE）が CPU へ出力されます。

これに対してイベントリンク信号は、割り込み許可ビットの状態とは無関係に、割り込み要因が発生するとただちに ELC を介して他のモジュールにイベント信号として出力されます。

ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードにおいても、電圧監視 1 割り込み信号および電圧監視 2 割り込み信号を出力することが可能です。ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでは、ELC 用のイベント信号が以下のように出力されます。

- ソフトウェアスタンバイモード期間中に Vdet1 または Vdet2 通過イベントを検出した場合、ソフトウェアスタンバイモードではクロックが供給されていないため ELC 用のイベント信号は出力されない。Vdet1 および Vdet2 通過検出フラグは保持されているため、ソフトウェアスタンバイモードから復帰してクロック供給が再開されると、Vdet1 および Vdet2 検出フラグの状態にしたがって ELC 用のイベント信号が出力される
- ディープソフトウェアスタンバイモード期間中に Vdet1 または Vdet2 通過イベントを検出した場合、ELC 用のイベント信号は出力されない

9. クロック発生回路

9.1 概要

表 9.1 と表 9.2 にクロック発生回路の仕様、図 9.1 にブロック図、そして表 9.3 に入出力端子を示します。

表 9.1 クロック発生回路の仕様（クロックソース）

クロックソース	項目	内容
メインクロック発振器（MOSC）	発振子周波数	8～24MHz USB ブートモード：8、10、12、15、16、20、24MHz
	外部クロック入力周波数	最大24MHz
	外部発振子または付加回路：セラミック発振子、水晶振動子	あり
	接続端子：EXTAL、XTAL	
	駆動能力切り替え	
	発振停止検出機能	
サブクロック発振器（SOSC）	発振子周波数	32.768kHz
	外部発振子または付加回路：水晶振動子	あり
	接続端子：XCIN、XCOUT	
	駆動能力切り替え	
PLL回路	入力クロックソース	メイン、HOCO
	入力分周比	1、2、3分周から選択可能
	入力周波数	8～24MHz
	逓倍比	10～30逓倍から選択可能 （0.5ステップ単位）（注1）（注2）
	PLL出力周波数	120～240MHz
高速オンチップオシレータ（HOCO）	発振周波数	16、18、20MHz
	ユーザトリミング	あり
中速 オンチップオシレータ（MOCO）	発振周波数	8MHz
	ユーザトリミング	あり
低速オンチップオシレータ（LOCO）	発振周波数	32.768kHz
	ユーザトリミング	あり
IWDT専用オンチップオシレータ（IWDTLOCO）	発振周波数	15kHz
JTAG用外部クロック入力（TCK）	入力クロック周波数	最大25MHz
SWD用外部クロック入力（SWCLK）	入力クロック周波数	最大25MHz

注 1. 発振停止検出機能が有効であり、かつ 12MHz 未満の入力周波数を使用している場合は、10 ～ 20 から選択可能です。
注 2. 注 1 に示した条件以外では、発振停止検出機能は CAC によって使用可能です。

表 9.2 クロック発生回路の仕様（内部クロック）(1/2)

項目	クロックソース	クロック供給	内容
システムクロック（ICLK）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	CPU, DTC, DMAC, ROM, RAM	最大240MHz 分周比：1、2、4、8、16、32、64
周辺モジュールクロックA（PCLKA）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール（ETHERC、EDMAC、USBHS、QSPI、SPI、SCI、SCE7、グラフィックLCD、SDHI、CRC、JPEGエンジン、DRW、IrDA、GPTバスクロック、スタンバイSRAM）	最大120MHz（注2） 分周比：1、2、4、8、16、32、64
周辺モジュールクロックB（PCLKB）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール（IIC、SSI、SRC、DOC、CAC、CAN、DAC12、POEG、CTSU、AGT、ELC、I/Oポート、RTC、WDT、IWDT、ADC12、KINT、USBFS、ACMPHS、TSN、PDC）	最大60MHz 分周比：1、2、4、8、16、32、64
周辺モジュールクロックC（PCLKC）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール（ADC12変換クロック）	最大60MHz 分周比：1、2、4、8、16、32、64
周辺モジュールクロックD（PCLKD）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	周辺モジュール（GPTカウントクロック）	最大120MHz 分周比：1、2、4、8、16、32、64
フラッシュインタフェースクロック（FCLK）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	フラッシュインタフェース	4～60MHz（P/E） 最大60MHz（読み出し）（注1） 分周比：1、2、4、8、16、32、64
外部バスクロック（BCLK）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	外部バス	最大120MHz 分周比：1、2、4、8、16、32、64
EBCLK端子出力（EBCLK）	BCLKまたは1/2 BCLK	EBCLK端子	最大60MHz 分周比：1、2
SDCLK端子出力（SDCLK）	BCLK	SDCLK端子	最大120MHz
USBクロック（UCLK）	PLL	USB	48MHz 分周比：3、4、5
USB-PHYクロック（USBMCLK）	MOSC	USB-PHY	20～24MHz
CANクロック（CANMCLK）	MOSC	CAN	8～24MHz
LCD_CLK端子出力（LCD_CLK）およびグラフィックLCDピクセルクロック（PXCLK）	LCD_EXTCLK、PLL出力	LCD_CLK端子、周辺モジュール（グラフィックLCDコントローラ）	最大54MHz（パラレルRGB） 最大60MHz（シリアルRGB） LCD_CLK分周比：1、2、3、4、5、6、7、8、9、12、16、24、32 LCD_CLK: PXCLK = 1:1（パラレルRGB） LCD_CLK: PXCLK = 4:1（シリアルRGB）
AGTクロック（AGTSCLK、AGTLCLK）	SOSC, LOCO	AGT	32.768kHz
CACメインクロック（CACMCLK）	MOSC	CAC	最大24MHz
CACサブクロック（CACSCLK）	SOSC	CAC	32.768kHz
CAC LOCOクロック（CACLCLK）	LOCO	CAC	32.768kHz
CAC MOCOクロック（CACMOCLK）	MOCO	CAC	8MHz

表 9.2 クロック発生回路の仕様（内部クロック）(2/2)

項目	クロックソース	クロック供給	内容
CAC HOCOクロック（CACHCLK）	HOCO	CAC	16、18、20MHz
CAC IWDTLOCOクロック（CACILCLK）	IWDTLOCO	CAC	15kHz
RTCクロック（RTCSCLK、RTCLCLK）	SOSC, LOCO	RTC	32.768kHz
IWDTクロック（IWDTCLK）	IWDTLOCO	IWDT	15kHz
SysTickタイマクロック（SYSTICCLK）	LOCO	SysTickタイマ	32.768kHz
JTAGクロック（JTAGTCK）	TCK端子	JTAG	最大25MHz
クロックおよびブザー出力（CLKOUT）	MOSC, SOSC, LOCO, MOCO, HOCO	CLKOUT端子	最大24MHz 分周比：1、2、4、8、16、32、64、128
シリアルワイヤクロック（SWCLK）	SWCLK端子	OCD	最大25MHz
トレースクロック（TRCLK）	MOSC, SOSC, HOCO, MOCO, LOCO, PLL	CPU-OCD	最大120MHz 分周比：1、2、4
TCLK端子出力（TCLK）	TRCLKの2分周	TCLK端子	最大60MHz

注 . クロック周波数の設定に関する制限：ICLK ≧ PCLKA ≧ PCLKB、PCLKD ≧ PCLKA ≧ PCLKB
クロック周波数比に関する制限（N：整数、最大 64）：
ICLK:FCLK = N:1、ICLK:BCLK = N:1、ICLK:PCLKA = N:1、ICLK:PCLKB = N:1
ICLK:PCLKC = N:1 または 1:N、ICLK:PCLKD = N:1 または 1:N
A/D コンバータが有効な場合のクロック周波数比に関する制限：
PCLKB:PCLKC = 1:1、1:2、1:4、2:1、4:1、または 8:1

注 . クロックには、許容周波数範囲があります（表 9.2 を参照してください）。
フラッシュメモリと SRAM にも、各ウェイトサイクルの設定値に許容動作周波数範囲があります（「53. SRAM」および「55. フラッシュメモリ」を参照してください）。
これらのクロック周波数範囲は、HOCO 自身に最大または最小周波数があったとしても、必ず満たす必要があります（「60. 電気的特性」を参照してください）。

注 . PLL 基準クロックソースが HOCO の場合、PLL 逓倍の設定値は、HOCO 周波数（最小／最大値）を考慮して 120 ～ 240MHz に設定する必要があります。

注 1. プログラム／イレース（P/E）モードでの最小 FCLK 周波数は 4MHz です。

注 2. ETHERC を使用した場合の PCLKA 周波数は 12.5MHz ≦ PCLKA ≦ 120MHz の範囲になります。

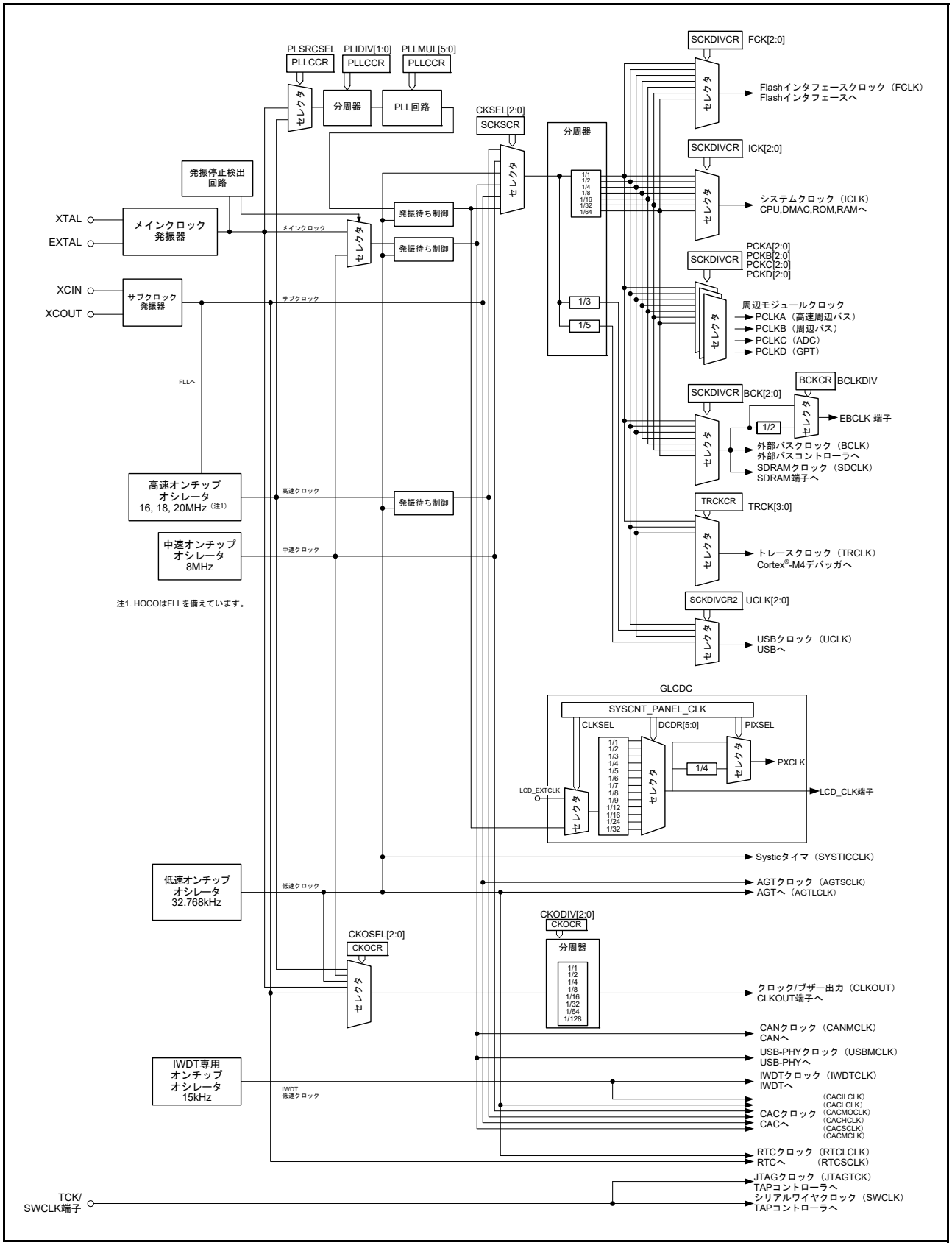


図 9.1　　クロック発生回路のブロック図

表 9.3 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	水晶振動子の接続 EXTAL端子は外部クロックの入力にも使用可能です。詳細は、9.3.2 外部クロックを入力する方法を参照してください。
EXTAL	入力	
XCIN	入力	32.768kHz水晶振動子の接続
XCOUT	出力	
TCK/SWCLK	入力	JTAGクロック入力
EBCLK	出力	外部デバイスに外部バスクロック（EBCLK）を供給
SDCLK	出力	外部デバイスにSDRAMクロック（SDCLK）を供給
CLKOUT	出力	CLKOUTおよびBUZZERクロックを出力

9.2 レジスタの説明

9.2.1 システムクロック分周コントロールレジスタ（SCKDIVCR）

アドレス SYSTEM.SCKDIVCR 4001 E020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	FCK[2:0]			—	ICK[2:0]			—	—	—	—	—	BCK[2:0]		
リセット後の値	0	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	PCKA[2:0]			—	PCKB[2:0]			—	PCKC[2:0]			—	PCKD[2:0]		
リセット後の値	0	0	1	0	0	0	1	0	0	0	1	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	PCKD[2:0]	周辺モジュールクロックD（PCLKD）選択(注4)	b2 b0 0 0 0：1分周 0 0 1：2分周 0 1 0：4分周 0 1 1：8分周 1 0 0：16分周 1 0 1：32分周 1 1 0：64分周 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	PCKC[2:0]	周辺モジュールクロックC（PCLKC）選択(注4)	b6 b4 0 0 0：1分周 0 0 1：2分周 0 1 0：4分周 0 1 1：8分周 1 0 0：16分周 1 0 1：32分周 1 1 0：64分周 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	PCKB[2:0]	周辺モジュールクロックB（PCLKB）選択(注3)	b10 b8 0 0 0：1分周 0 0 1：2分周 0 1 0：4分周 0 1 1：8分周 1 0 0：16分周 1 0 1：32分周 1 1 0：64分周 上記以外は設定しないでください。	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b12	PCKA[2:0]	周辺モジュールクロックA（PCLKA）選択(注3)	b14 b12 0 0 0：1分周 0 0 1：2分周 0 1 0：4分周 0 1 1：8分周 1 0 0：16分周 1 0 1：32分周 1 1 0：64分周 上記以外は設定しないでください。	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b18-b16	BCK[2:0]	外部バスクロック（BCLK）選択 （注2）	b18 b16 0 0 0：1分周 0 0 1：2分周 0 1 0：4分周 0 1 1：8分周 1 0 0：16分周 1 0 1：32分周 1 1 0：64分周 上記以外は設定しないでください。	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	ICK[2:0]	システムクロック（ICLK）選択 （注1）（注2）（注3）（注4）（注5）	b26 b24 0 0 0：1分周 0 0 1：2分周 0 1 0：4分周 0 1 1：8分周 1 0 0：16分周 1 0 1：32分周 1 1 0：64分周 上記以外は設定しないでください。	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30-b28	FCK[2:0]	フラッシュインタフェースクロック（FCLK）選択（注1）	b30 b28 0 0 0：1分周 0 0 1：2分周 0 1 0：4分周 0 1 1：8分周 1 0 0：16分周 1 0 1：32分周 1 1 0：64分周 上記以外は設定しないでください。	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. システムクロック（ICLK）とフラッシュインタフェースクロック（FCLK）との間には次の周波数関係が必要です。
ICLK:FCLK = N:1（N：整数）
ICLK ＜ FCLK となる書き込みは無視されます。

注 2. システムクロック（ICLK）と外部バスクロック（BCLK）との間には次の周波数関係が必要です。
ICLK:BCLK = N:1（N：整数）
ICLK ＜ BCLK となる書き込みは無視されます。

注 3. システムクロック（ICLK）と周辺モジュールクロック（PCLKA, PCLKB）の間には次の周波数関係が必要です。
ICLK:PCLKA = N:1、ICLK:PCLKB = N:1（N：整数）
ICLK ＜ PCLKA または ICLK ＜ PCLKB となる書き込みは無視されます。

注 4. システムクロック（ICLK）と周辺モジュールクロック（PCLKC, PCLKD）の間には次の周波数関係が必要です。
ICLK:PCLKC = N:1 または 1:N、ICLK:PCLKD = N:1 または 1:N（N：整数）

注 5. システムクロック（ICLK）の周波数は、フラッシュウェイトサイクルレジスタ（FLWT）によって制限されます。「55. フラッシュメモリ」を参照してください。

SCKDIVCR レジスタは、システムクロック（ICLK）、周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）、フラッシュインタフェースクロック（FCLK）、外部バスクロック（BCLK）、および SDRAM クロック（SDCLK）の周波数を選択するレジスタです。

PCKD[2:0] ビット（周辺モジュールクロック D（PCLKD）選択）

周辺モジュールクロック D（PCLKD）の周波数を選択します。

PCKC[2:0] ビット（周辺モジュールクロック C（PCLKC）選択）

周辺モジュールクロック C（PCLKC）の周波数を選択します。

PCKB[2:0] ビット（周辺モジュールクロック B（PCLKB）選択）

周辺モジュールクロック B（PCLKB）の周波数を選択します。

PCKA[2:0] ビット（周辺モジュールクロック A（PCLKA）選択）

周辺モジュールクロック A（PCLKA）の周波数を選択します。

BCK[2:0] ビット（外部バスクロック（BCLK）選択）

外部バスクロック（BCLK）と SDRAM クロック（SDCLK）の周波数を選択します。

ICK[2:0] ビット（システムクロック（ICLK）選択）

CPU、DMAC、および DTC 用システムクロックの周波数を選択します。

FCK[2:0] ビット（フラッシュインタフェースクロック（FCLK）選択）

フラッシュインタフェースクロック（FCLK）の周波数を選択します。

9.2.2 システムクロック分周コントロールレジスタ 2（SCKDIVCR2）

アドレス SYSTEM.SCKDIVCR2 4001 E024h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	UCK[2:0]			—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	UCK[2:0]	USBクロック（UCLK）選択	b6 b4 0 1 0：3分周 0 1 1：4分周 1 0 0：5分周 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . SCKDIVCR2 レジスタと SCKSCR レジスタには、同時に 32 ビットアクセスで書き込まないでください。

SCKDIVCR2 レジスタは、USB クロック（UCLK）の周波数を選択するレジスタです。

UCK[2:0] ビット（USB クロック（UCLK）選択）

USB クロック（UCLK）の周波数を選択します。3 分周選択時のデューティ比は 2:1 であり、5 分周選択時のデューティ比は 3:2 です。

9.2.3 システムクロックソースコントロールレジスタ（SCKSCR）

アドレス SYSTEM.SCKSCR 4001 E026h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CKSEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKSEL[2:0]	クロックソース選択	b2 b0 0 0 0 : HOCO 0 0 1 : MOCO 0 1 0 : LOCO 0 1 1 : メインクロック発振器 1 0 0 : サブクロック発振器 1 0 1 : PLL 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . SCKDIVCR2 レジスタと SCKSCR レジスタには、同時に 32 ビットアクセスで書き込まないでください。

SCKSCR レジスタは、システムクロックのクロックソースを選択するレジスタです。

CKSEL[2:0] ビット（クロックソース選択）

下記モジュールのクロックソースを選択します。

- システムクロック（ICLK）
- 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、および PCLKD）
- フラッシュインタフェースクロック（FCLK）
- 外部バスクロック（BCLK）
- SDRAM クロック（SDCLK）
- USBFS クロック（UCLK）

下記のクロックソースから 1 つ選択します。

- 低速オンチップオシレータ（LOCO）
- 中速オンチップオシレータ（MOCO）
- 高速オンチップオシレータ（HOCO）
- メインクロック発振器
- サブクロック発振器
- PLL 回路

停止しているクロックソースへの切り替えは禁止です。

9.2.4 PLL クロックコントロールレジスタ（PLLCCR）

アドレス SYSTEM.PLLCCR 4001 E028h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PLLMUL[5:0]						—	—	—	PLSRCSEL	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択（注1）	b1 b0 0 0：1分周 0 1：2分周 1 0：3分周 1 1：設定禁止	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PLSRCSEL	PLLクロックソース選択	0：メインクロック発振器（注4） 1：HOCO	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	PLLMUL[5:0]	PLL周波数逓倍率選択（注2）（注3）	b13 b8 0 1 0 0 1 1：10.0分周 0 1 0 1 0 0：10.5分周 0 1 0 1 0 1：11.0分周 ： 0 1 1 1 0 0：14.5分周 0 1 1 1 0 1：15.0分周 0 1 1 1 1 0：15.5分周 ： 1 1 1 0 1 0：29.5分周 1 1 1 0 1 1：30.0分周 上記以外は設定しないでください。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. PLIDIV[1:0] ビットは、PLL の入力周波数が表 9.1 に示す範囲に収まるように設定する必要があります。
注 2. PLLMUL[5:0] ビットは、PLL の出力周波数が表 9.1 に示す範囲に収まるように設定する必要があります。
注 3. PLLMUL[5:0] ビットは、発振停止検出機能が有効であり、かつ 12MHz 未満の入力周波数を使用している場合は、20 分周以下に設定してください。
注 4. PLSRCSEL ビットは、UCLK 使用時には 0 にする必要があります。

PLLCCR レジスタは、PLL 回路の動作を設定するレジスタです。PLL が動作中（PLLCR.PLLSTP ビットが 0）の場合、PLLCCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット（PLL 入力分周比選択）

PLL クロックソースの分周比を選択します。

PLSRCSEL ビット（PLL クロックソース選択）

PLL のクロックソースを選択します。

PLLMUL[5:0] ビット（PLL 周波数逓倍率選択）

PLL 回路の周波数逓倍率を選択します。

9.2.5 PLL コントロールレジスタ（PLLCR）

アドレス SYSTEM.PLLCR 4001 E02Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLSTP	PLL停止制御	0：PLL動作 1：PLL停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PLLCR レジスタは、PLL 回路の動作を制御するレジスタです。

PLLSTP ビット（PLL 停止制御）

PLL 回路を起動または停止させます。PLLCCR.PLSRCSEL ビットで、PLL のクロックソースとしてメインクロック発振器を選択する場合、メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）も設定する必要があります。

PLLSTP ビットを 0 にした後、OSCSF.PLLSF ビットが 1 になっていることを確認してから、PLL クロックを使用してください。PLL を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- PLL の停止後、動作を再開させる前に OSCSF.PLLSF ビットが 0 であることを確認すること
- PLL を停止させる前に、PLL が動作していること、および OSCSF.PLLSF ビットが 1 であることを確認すること
- PLL クロックをシステムクロックとして選択しているかどうかにかかわらず、PLL を動作させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- PLL を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.PLLSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件下で PLLSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）

PLLSTP に 0 を書き込む前に、以下の条件が適用されていることを確認してください。

- PLL クロックソース = MOSC の場合、OSCSF.MOSCSF ビット = 1
- PLL クロックソース = HOCO の場合、OSCSF.HOCOSF ビット = 1

9.2.6 外部バスクロックコントロールレジスタ（BCKCR）

アドレス SYSTEM.BCKCR 4001 E030h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BCLKDIV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BCLKDIV	EBCLK端子出力選択	0：BCLK 1：BCLK/2	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BCKCR レジスタは、外部バスクロック端子を制御するレジスタです。

BCLKDIV ビット（EBCLK 端子出力選択）

EBCLK 端子から出力するクロックを選択します。SCKDIVCR.BCK[2:0] ビットで選択した周波数の BCLK、または BCLK の 2 分周を選択できます。

9.2.7 メインクロック発振器コントロールレジスタ（MOSCCR）

アドレス SYSTEM.MOSCCR 4001 E032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止	0：メインクロック発振器動作（注1） 1：メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. MOSTP を 0 にする前に、MOMCR レジスタを設定する必要があります。

MOSCCR レジスタは、メインクロック発振器を制御するレジスタです。

MOSTP ビット（メインクロック発振器停止）

メインクロック発振器を起動または停止させます。メインクロック発振器を動作させるには、このビットを 0 にします。このビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。メインクロック発振器を使用する場合は、MOSTP ビットを 0 にする前に、メインクロック発振器モード発振コントロールレジスタ（MOMCR）およびメインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）を設定する必要があります。

MOSTP ビットを 0 にした後、OSCSF.MOSCSF ビットが 1 になっていることを確認してから、メインクロック発振器を使用してください。メインクロック発振器を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- メインクロック発振器の停止後､動作を再開させる前に OSCSF.MOSCSF ビットが 0 であることを確認すること
- メインクロック発振器を停止させる前に、メインクロック発振器が動作していること、および OSCSF.MOSCSF ビットが 1 であることを確認すること
- メインクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- メインクロック発振器を停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件下で MOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）および PLLCR.PLLSTP = 0（PLL 動作）

9.2.8 サブクロック発振器コントロールレジスタ（SOSCCR）

アドレス SYSTEM.SOSCCR 4001 E480h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SOSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOSTP	サブクロック発振器停止	0：サブクロック発振器動作（注1） 1：サブクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SOSTP を 0 にする前に、SOMCR レジスタを設定する必要があります。

SOSCCR レジスタは、サブクロック発振器を制御するレジスタです。

SOSTP ビット（サブクロック発振器停止）

サブクロック発振器を起動または停止させます。このビットの値を変更した場合、必ずビット値を読み出して、値が更新されたことを確認してから、次の命令を実行してください。RTC などの周辺モジュールに対するソースとしてサブクロック発振器を使用する場合、SOSTP ビットを使用します。サブクロック発振器を使用する場合は、SOSTP ビットを 0 にする前に、サブクロック発振器モードコントロールレジスタ（SOMCR）を設定する必要があります。

SOSTP ビットを 0 にした後、必ずサブクロック発振安定待機時間（tSUBOSCOWT）が経過してから、サブクロック発振器を使用してください。サブクロック発振器を動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- サブクロック発振器の停止後、動作を再開させるまでに SOSC で 5 サイクル以上の待ち時間が必要
- サブクロック発振器を停止させる前に、サブクロック発振器の発振が安定していることを確認すること
- サブクロック発振器をシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードへ遷移する場合は、サブクロック発振器の発振が安定していることを確認した上で WFI 命令を実行すること
- サブクロック発振器を停止させた後、ソフトウェアスタンバイモードへ遷移する場合は、停止させてから SOSC で 3 サイクル以上待った後、WFI 命令を実行すること

以下の条件下で SOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 100b（システムクロックソース = SOSC）

9.2.9 低速オンチップオシレータコントロールレジスタ（LOCOCR）

アドレス SYSTEM.LOCOCR 4001 E490h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止	0：LOCOクロック動作 1：LOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

LOCOCR レジスタは、LOCO クロックを制御するレジスタです。

LCSTP ビット（LOCO 停止）

LOCO クロックを起動または停止させます。LCSTP ビットを 0 にして LOCO クロックを起動した後、必ず LOCO クロック発振安定待機時間（tLOCOWT）が経過してから、LOCO クロックを使用してください。LOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- LOCO クロックの停止後、動作を再開させるまでに LOCO クロックで 5 サイクル以上の待ち時間が必要
- LOCO クロックを停止させる前に、LOCO クロックの発振が安定していることを確認すること
- LOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、LOCO クロックの発振が安定していることを確認した上で WFI 命令を実行すること
- LOCO クロックを停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、停止させてから LOCO クロックで 3 サイクル以上待った後、WFI 命令を実行すること

以下の条件下で LOSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 010b（システムクロックソース = LOCO）

LOCO クロックは他の発振器の待機時間を計測しているため、LOCOCR.LCSTP ビットの設定値にかかわらず、待機時間の計測中は LOCO クロックが発振しています。そのため、LCSTP ビットが停止に設定されていても、意図せず LOCO クロックが供給される場合があります。

9.2.10 高速オンチップオシレータコントロールレジスタ（HOCOCR）

アドレス SYSTEM.HOCOCR 4001 E036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1（注1）

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止	0：HOCOクロック動作（注2） 1：HOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. OFS1.HOCOEN ビットが 0 のとき、HCSTP ビットのリセット後の値は 0 になります。OFS1.HOCOEN ビットが 1 のとき、このビットのリセット後の値は 1 になります。

注 2. HOCO を使用する場合（HCSTP = 0）、OFS1.HOCOFRQ1 ビットを最適な値に設定する必要があります。

HOCOCR レジスタは、HOCO クロックを制御するレジスタです。

HCSTP ビット（HOCO 停止）

HOCO クロックを起動または停止させます。HOCO が動作するには、HOCO ウェイトコントロールレジスタ（HOCOWTCR）も設定する必要があります。HCSTP ビットを 0 にして HOCO クロックを起動した後、OSCSF.HOSCSF ビットが 1 になっていることを確認してから、このクロックを使用してください。OFS1.HOCOEN ビットが 1 になっている場合、OSCSF.HOCOSF ビットも 1 になっていることを確認してから、HOCO クロックを使用してください。HOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- HOCO クロックの停止後、動作を再開させる前に OSCSF.HOCOSF ビットが 0 であることを確認すること
- HOCO クロックを停止させる前に、HOCO が動作していること、および OSCSF.HOCOSF ビットが 1 であることを確認すること
- HOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.HOSCSF ビットが 1 になっていることを確認した上で WFI 命令を実行すること
- HOCO クロックを停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、OSCSF.MOSCSF ビットが 0 になっていることを確認した上で WFI 命令を実行すること

以下の条件下で HCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 000b（システムクロックソース = HOCO）
- PLLCCR.PLSRCSEL = 1（PLL ソースクロック = HOCO）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）
- PLLCCR.PLSRCSEL = 1（PLL ソースクロック = HOCO）および PLLCR.PLLSTP = 0（PLL 動作）

9.2.11 高速オンチップオシレータウェイトコントロールレジスタ（HOCOWTCR）

アドレス SYSTEM.HOCOWTCR 4001 E0A5h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	HSTS[2:0]		
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	HOCO待機時間設定	待機時間（s）= (HSTS[2:0]設定値 + 3)/fLOCO	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

HSTS[2:0] ビット（HOCO 待機時間設定）

HSTS[2:0] ビットは 110b にする必要があります。ただし、スヌーズモードで SCI0 を使用する場合、HSTS[2:0] ビットは 010b にしなければいけません。

9.2.12 中速オンチップオシレータコントロールレジスタ（MOCOCR）

アドレス SYSTEM.MOCOCR 4001 E038h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MCSTP	MOCO停止	0：MOCOクロック動作 1：MOCOクロック停止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MOCOCR レジスタは、MOCO クロックを制御するレジスタです。

MCSTP ビット（MOCO 停止）

MOCO クロックを起動または停止させます。MCSTP ビットを 0 にして MOCO クロックを起動した後、必ず MOCO クロック発振安定時間（tMOCOWT）が経過してから、MOCO クロックを使用してください。MOCO クロックを動作するように設定してから、発振が安定するまでに一定の時間を要します。また、発振が停止するまでにも一定の時間を要します。

動作の開始および停止に関しては、以下の制限があります。

- MOCO クロックの停止後､動作を再開させるまでに MOCO クロックで 5 サイクル以上の待ち時間が必要
- MOCO クロックを停止させる前に、MOCO クロックの発振が安定していることを確認すること
- MOCO クロックをシステムクロックとして選択しているかどうかにかかわらず、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、MOCO クロックの発振が安定していることを確認した上で WFI 命令を実行すること
- MOCO クロックを停止させた後、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、停止させてから MOCO クロックで 3 サイクル以上待った後、WFI 命令を実行すること

以下の条件下で MCSTP ビットに 1 を書き込むことは禁止されています。

- SCKSCR.CKSEL[2:0] = 001b（システムクロックソース = MOCO）

発振停止検出コントロールレジスタの発振停止検出機能許可ビット（OSTDCR.OSTDE）を有効にしているとき、MCSTP ビットを 1（MOCO 停止）にすることは禁止されています。

9.2.13 FLL コントロールレジスタ 1（FLLCR1）

アドレス SYSTEM.FLLCR1 4001 E039h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FLLEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLLEN	FLL有効	0：FLL機能は無効 1：FLL機能は有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。 書く場合、0としてください。	R/W

注 . HOCO を停止（HOCOCR.HCSTP = 1）にしてから、FLLCR1.FLLEN ビットを変更する必要があります。
注 . FLL が有効（FLLCR1.FLLEN = 1）であるとき、SOSC は安定して動作中でなければいけません。

FLLCR1 レジスタは、HOCO の FLL 機能を制御するレジスタです。FLL の目的は HOCO の精度向上のために SOSC を利用することです。

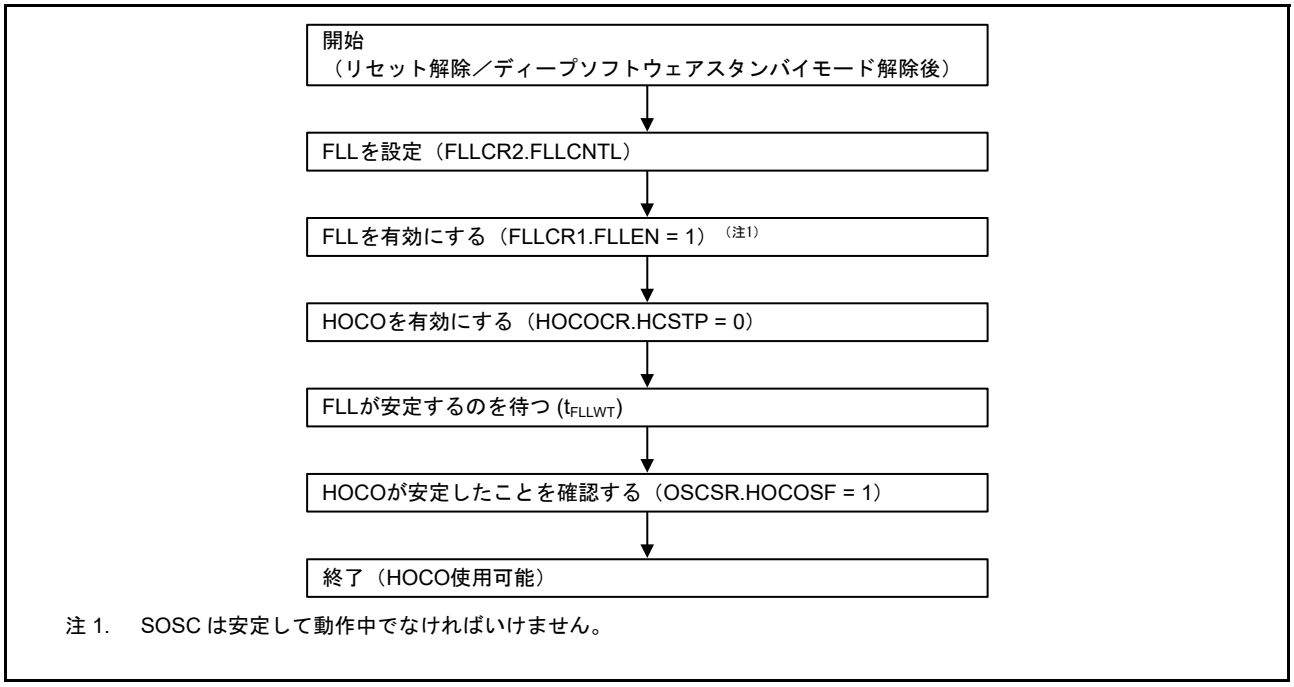
FLLEN ビット（FLL 有効）

HOCO の FLL 機能を有効または無効にします。

FLL が有効な場合、FLL が安定してからでなければ周波数精度は保証されません。FLL が安定したことは、HOCO が安定した後にクロック周波数精度測定回路（CAC）の周波数測定によって確認できます。

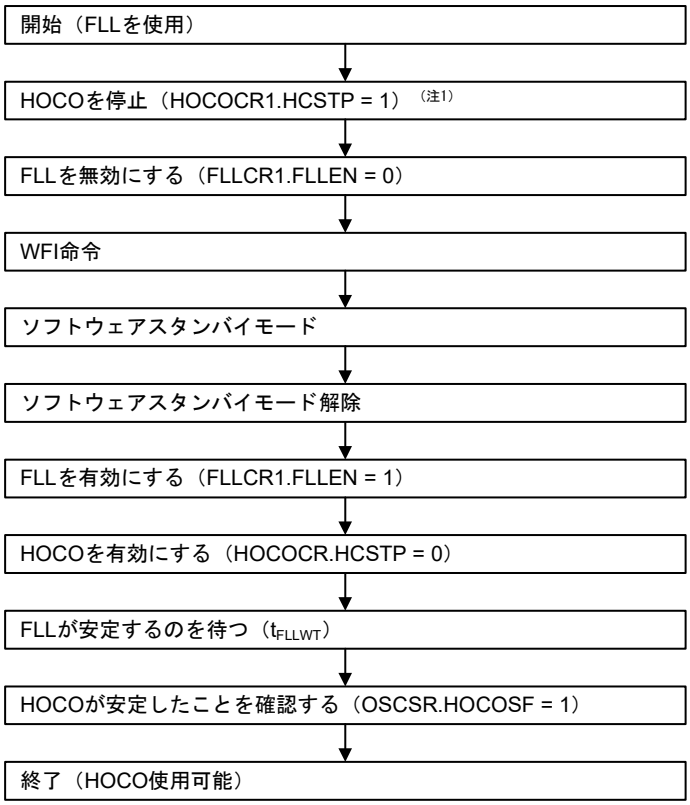
ソフトウェアスタンバイモードへ遷移する前に、FLL を無効にする必要があります。そのため、ソフトウェアスタンバイへ遷移する前に、このビットを 0 にする必要があります。

図 9.2 および図 9.3 に、FLL の設定フロー例を示します。



注 1. SOSC は安定して動作中でなければいけません。

図 9.2 FLL 設定フロー（リセット解除後／ディープソフトウェアスタンバイモード解除後）



注 1. HOCO をシステムクロックまたは PLL 基準クロックとして使用している場合、HOCO を停止させる前に、これらのクロックソースを他のクロックに変更する必要があります。

図 9.3 ソフトウェアスタンバイモード遷移／解除フロー

9.2.14 FLL コントロールレジスタ 2（FLLCR2）

アドレス SYSTEM.FLLCR2 4001 E03Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FLLCNTL[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	FLLCNTL[10:0]	FLL逓倍制御	• OFS1.HOCOFRQ0[1:0]ビットが00b（16MHz）の場合、これらのビットは1E9hにする必要があります。 • OFS1.HOCOFRQ0[1:0]ビットが01b（18MHz）の場合、これらのビットは226hにする必要があります。 • OFS1.HOCOFRQ0[1:0]ビットが10b（20MHz）の場合、これらのビットは263hにする必要があります。 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。 書く場合、0としてください。	R/W

FLLCR2 レジスタは、HOCO の FLL 機能を制御するレジスタです。

FLLCNTL[10:0] ビット（FLL 逓倍制御）

FLL 基準クロックの逓倍比を選択します。

FLL を有効（FLLCR1.FLLEN = 1）にする前に、これらのビットを設定する必要があります。

9.2.15 発振安定フラグレジスタ（OSCSF）

アドレス SYSTEM.OSCSF 4001 E03Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PLLSF	—	MOSCSF	—	—	HOCOSF
リセット後の値	0	0	0	0	0	0	0	0/1（注1）

ビット	シンボル	ビット名	機能	R/W
b0	HOCOSF	HOCOクロック発振安定フラグ	0：HOCOクロックは停止、または発振安定待ち中 1：HOCOクロックは安定、システムクロックとして使用可能	R
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MOSCSF	メインクロック発振安定フラグ	0：メインクロック発振器は停止（MOSTP = 1）、または発振安定待ち中（注2） 1：メインクロック発振器は安定、システムクロックとして使用可能	R
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PLLSF	PLLクロック発振安定フラグ	0：PLLクロックは停止、または発振安定待ち中 1：PLLクロックは安定、システムクロックとして使用可能	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. リセット後の値は、OFS1.HOCOEN の設定値で決まります。
OFS1.HOCOEN が 0 になっている場合、HOCOSF のリセット後の値は 0 です。
OFS1.HOCOEN が 1 になっている場合は、リセット解除直後に HOCOSF の値が 0 になり、HOCO 発振安定待機時間の経過後に HOCOSF の値が 1 になります。

注 2. 該当する発振器のウェイトコントロールレジスタに適切な値が設定されている場合に当てはまります。値（待機時間）が不十分な場合、発振が安定する前に発振安定フラグが 1 になり、内部回路へのクロック信号の供給が開始します。

OSCSF レジスタの各フラグは、各発振器の発振安定待ち回路内にあるカウンタの動作状態を示します。これらのカウンタは、発振開始後、対応する発振器の出力クロックが内部回路に供給されるまでの待機時間を計測します。カウンタのオーバーフローは、クロック供給が安定しており、対応する回路で利用可能なことを示します。

HOCOSF フラグ（HOCO クロック発振安定フラグ）

高速クロック発振器（HOCO）の待機時間を計測するカウンタの動作状態を示します。OFS1.HOCOEN ビットが 1 になっている場合、OSCSF.HOCOSF ビットも 1 になっていることを確認してから、HOCO クロックを使用してください。

［1 になる条件］

- HOCO クロックが停止し HOCOCR.HCSTP ビットが 0 になった後、HOCOWTCR レジスタの設定値に応じた LOCO サイクル数が経過してから、MCU へクロック供給が開始されたとき

［0 になる条件］

- HOCO クロックの動作時に、HOCOCR.HCSTP ビットを 1 にした結果、HOCO クロックが発振停止になったとき

MOSCSF フラグ（メインクロック発振安定フラグ）

メインクロック発振器の待機時間を計測するカウンタの動作状態を示します。

［1 になる条件］

- メインクロック発振器が停止し MOSCCR.MOSTP ビットが 0 になった後、MOSCWTCR レジスタの設定値に応じた LOCO サイクル数が経過してから、MCU へ クロック供給が開始されたとき

［0 になる条件］

- メインクロック発振器の動作時に、MOSCCR.MOSTP ビットを 1 にした結果、メインクロック発振器が発振停止になったとき

PLLSF フラグ（PLL クロック発振安定フラグ）

PLL の待機時間を計測するカウンタの動作状態を示します。

［1 になる条件］

- PLL が停止し PLLCR.PLLSTP ビットが 0 になった後、LOCO クロックで 31 サイクル経過してから、MCU へクロック供給が開始されたとき。ただし、PLLSTP ビットを 0 にしたときに、PLLCCR.PLSRCSEL ビットで選択された PLL クロックソースの発振が安定していなければ、PLL クロックソースの発振が安定した後も LOCO サイクルのカウントは継続します。待機時間は次式で計算されます。

  1 サイクル＝LOCO（32.768kHz）× 8（3.81μs（標準））

［0 になる条件］

- PLL の動作時に、PLLCCR.PLLSTP ビットを 1 にした結果、PLL が発振停止になったとき

9.2.16 発振停止検出コントロールレジスタ（OSTDCR）

アドレス SYSTEM.OSTDCR 4001 E040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可	0：発振停止検出割り込みを禁止（POEGへの通知なし） 1：発振停止検出割り込みを許可（POEGへの通知あり）	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	OSTDE	発振停止検出機能有効	0：発振停止検出機能は無効 1：発振停止検出機能は有効	R/W

OSTDCR レジスタは、発振停止検出機能を制御するレジスタです。

OSTDIE ビット（発振停止検出割り込み許可）

発振停止検出機能割り込みを許可します。また、発振停止検出を POEG に通知するかどうかを制御します。

発振停止検出ステータスレジスタの発振停止検出フラグ（OSTDSR.OSTDF）をクリアする必要がある場合、OSTDIE ビットを 0 にしてから OSTDF をクリアしてください。OSTDIE ビットを 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

OSTDE ビット（発振停止検出機能有効）

発振停止検出機能を有効にします。OSTDE を 1（有効）にすると、MOCO 停止ビット（MOCOCR.MCSTP）が 0 となり、MOCO が起動します。発振停止検出機能が有効の間は、MOCO クロックは停止できません。MOCOCR.MCSTP ビットへの 1 の書き込み（MOCO 停止）は無効です。

発振停止検出ステータスレジスタの発振停止検出フラグ（OSTDSR.OSTDF）が 1（メインクロック発振停止検出）のとき、OSTDE ビットへの 0 の書き込みは無効です。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、OSTDE をクリアする必要があります。ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する場合は、最初に OSTDE を 0 にしてから WFI 命令を実行してください。

発振停止検出機能を使用する場合、以下の制限があります。

- Low-speed モードでは、ICLK、FCLK、BCLK、PCLKA、PCLKB、PCLKC、および PCLKD に対する 1 分周、2 分周、4 分周、8 分周の設定は禁止

9.2.17 発振停止検出ステータスレジスタ（OSTDSR）

アドレス SYSTEM.OSTDSR 4001 E041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0：メインクロック発振停止を未検出 1：メインクロック発振停止を検出	R(/W) （注1）
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. 0 のみ書けます。

OSTDSR レジスタは、メインクロック発振器の発振停止の検出状態を示すレジスタです。

OSTDF フラグ（発振停止検出フラグ）

メインクロック発振器の状態を示します。OSTDF フラグが 1 のとき、メインクロックの発振停止が検出されたことを表します。発振停止が検出された後、発振が再開しても OSTDF フラグは 0 になりません。OSTDF フラグは、1 の状態を読み出した後、0 を書き込むことで 0 になります。

OSTDF に 0 を書き込んでから、0 を読み出せるようになるまで、ICLK で 3 サイクル以上待つ必要があります。メインクロックの発振が停止しているとき、OSTDF フラグを 0 にすると、OSTDF フラグはいったん 0 になった後、再度 1 に戻ります。

以下の条件下では、OSTDSR.OSTDF ビットは 0 にクリアできません。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）

クロックソースをメインクロック発振器と PLL 以外に切り替えた後、OSTDF フラグを 0 にする必要があります。

［1 になる条件］

- OSTDCR.OSTDE ビットが 1（発振停止検出機能有効）の状態で、メインクロック発振器が停止したとき

［0 になる条件］

- SCKSCR.CKSEL[2:0] ビットが 011b（システムクロック = MOSC）でも、101b（システムクロック = PLL）でもなく、かつ PLLCCR.PLSRCSEL ビットが 0（PLL ソースクロック = MOSC）以外の場合に、1 を読んだ後、0 を書いたとき

9.2.18 メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）

アドレス SYSTEM.MOSCWTCR 4001 E0A2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	MSTS[3:0]			
リセット後の値	0	0	0	0	0	1	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	MSTS[3:0]	メインクロック発振器待機時間設定	b3 b0 0 0 0 1：待機時間 = 35サイクル（133.5μs） 0 0 1 0：待機時間 = 67サイクル（255.6μs） 0 0 1 1：待機時間 = 131サイクル（499.7μs） 0 1 0 0：待機時間 = 259サイクル（988.0μs） 0 1 0 1：待機時間 = 547サイクル（2086.6μs）（リセット後の値） 0 1 1 0：待機時間 = 1059サイクル（4039.8μs） 0 1 1 1：待機時間 = 2147サイクル（8190.2μs） 1 0 0 0：待機時間 = 4291サイクル（16368.9μs） 1 0 0 1：待機時間 = 8163サイクル（31139.4μs） 上記以外は設定しないでください。 待機時間は次式で計算されます。 1サイクル（μs）= 1/(f_LOCO [MHz] × 8) = 1/(0.032768 × 8) = 3.81μs	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

MSTS[3:0] ビット（メインクロック発振器待機時間設定）

メインクロック発振器の発振安定待機時間を設定します。発振器メーカが推奨する安定時間以上の時間を設定してください。メインクロックが外部から入力される場合、発振安定時間は必要ないので 0001b に設定してください。

これらのビットに設定した待機時間は、次式を用いてカウントされます。

1 サイクル（μs）= 1/(f_LOCO [MHz] × 8) = 1/(0.032768 × 8) = 3.81 (μs)

LOCO クロックは、必要であれば、LOCOCR.LCSTP ビットの値にかかわらず、自動的に発振を開始します。設定した待機時間が経過すると、MCU 内部へメインクロック発振器の供給が開始され、OSCSF.MOSCSF フラグは 1 になります。設定した待機時間が短いと、クロックの発振が安定になる前に、メインクロック発振器の供給が開始されます。

MOSCWTCR レジスタの書き換えは、MOSCCR.MOSTP ビットが 1 で、かつ OSCSF.MOSCSF フラグが 0 の場合にのみ行ってください。他の状態ではレジスタの書き換えを行わないでください。

9.2.19 メインクロック発振器モード発振コントロールレジスタ（MOMCR）

アドレス SYSTEM.MOMCR 4001 E413h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV0[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	MODRV0[1:0]	メインクロック発振器駆動能力0切り替え	b5 b4 0 0：20～24MHz 0 1：16～20MHz 1 0：8～16MHz 1 1：8MHz	R/W
b6	MOSEL	メインクロック発振器切り替え	0：発振子 1：外部クロック入力	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . EXTAL/XTAL 端子もポートとして使用されます。初期状態では、ポート機能が選択されています。
注 . このレジスタを変更する前に、MOSTP ビットを 1（MOSC 停止）にする必要があります。

MODRV0[1:0] ビット（メインクロック発振器駆動能力 0 切り替え）

メインクロック発振器の駆動能力を切り替えます。

MOSEL ビット（メインクロック発振器切り替え）

メインクロック発振器の発振源を切り替えます。

9.2.20 サブクロック発振器モードコントロールレジスタ（SOMCR）

アドレス SYSTEM.SOMCR 4001 E481h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SODRV1	—
リセット後の値	0	0	0	0	0	0	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	SODRV1	サブクロック発振器駆動能力切り替え	0：標準 1：Low	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . このレジスタを変更する前に、SOSCCR.SOSTP ビットを 1（SOSC 停止）にする必要があります。

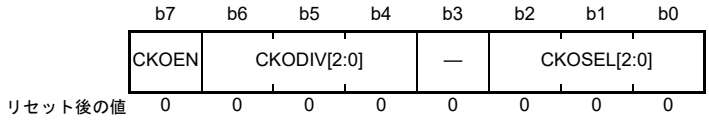
SODRV1 ビット（サブクロック発振器駆動能力切り替え）

サブクロック発振器の駆動能力を切り替えます。初電源投入時の値は定義されていませんが、SOSCCR.SOSTP ビットのリセット後の値は 0（SOSC 動作）です。そのため、初電源投入時に SOSC を以下のように設定してください。

1. SOSCCR.SOSTP ビットを 1（SOSC 停止）にする
2. このビットに電流コンデンサに合った正しい値を設定する
3. SOSCCR.SOSTP ビットを 0（SOSC 動作）にする

9.2.21 クロックアウトコントロールレジスタ（CKOCR）

アドレス SYSTEM.CKOCR 4001 E03Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKOSEL[2:0]	クロックアウトソース選択	b2 b0 0 0 0 : HOCO 0 0 1 : MOCO 0 1 0 : LOCO 0 1 1 : MOSC 1 0 0 : SOSC 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CKODIV[2:0]	クロックアウト入力分周比選択	b6 b4 0 0 0 : 1分周 0 0 1 : 2分周 0 1 0 : 4分周 0 1 1 : 8分周 1 0 0 : 16分周 1 0 1 : 32分周 1 1 0 : 64分周 1 1 1 : 128分周	R/W
b7	CKOEN	クロックアウト許可	0：クロックアウト禁止 1：クロックアウト許可	R/W

CKOSEL[2:0] ビット（クロックアウトソース選択）

HOCO、MOCO、LOCO、MOSC、または SOSC クロックを、CLKOUT 端子から出力するクロックのソースとして設定します。CLKOUT ソースクロックを変更する場合、CKOEN ビットを 0 にしてください。

CKODIV[2:0] ビット（クロックアウト入力分周比選択）

クロック分周比を設定します。分周比を変更する場合、CKOEN ビットを 0 にしてください。出力クロック周波数の分周比は、CLKOUT 端子出力周波数の特性を超えない値に設定する必要があります。CLKOUT 端子の特性の詳細については、「60. 電気的特性」を参照してください。

CKOEN ビット（クロックアウト許可）

CLKOUT 端子からの出力を許可します。CKOEN に 1 を書き込むと、選択したクロックが出力されます。CKOEN に 0 を書き込むと、Low が出力されます。このビットを変更する場合は、CKOSEL[2:0] ビットで選択したクロックアウトのソースクロックが安定していることを確認してください。安定していないと、出力にグリッチを生じる恐れがあります。

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する際は、これらのモードで選択中のクロックアウトソースを停止させる場合、事前に CKOEN ビットをクリアしてください。

9.2.22 外部バスクロック出力コントロールレジスタ（EBCKOCR）

アドレス SYSTEM.EBCKOCR 4001 E052h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EBCKOEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EBCKOEN	EBCLK端子出力制御	0：EBCLK端子出力を禁止（High固定） 1：EBCLK端子出力を許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

9.2.23 SDRAM クロック出力コントロールレジスタ（SDCKOCR）

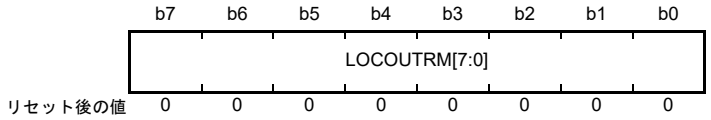
アドレス SYSTEM.SDCKOCR 4001 E053h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SDCKOEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SDCKOEN	SDCLK端子出力制御	0：SDCLK端子出力を禁止（High固定） 1：SDCLK端子出力を許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

9.2.24 LOCO ユーザトリミングコントロールレジスタ（LOCOUTCR）

アドレス SYSTEM.LOCOUTCR 4001 E492h

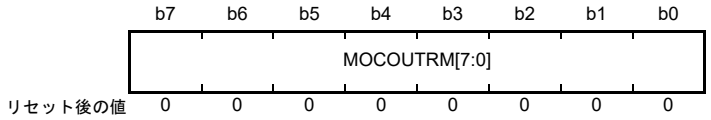


ビット	シンボル	ビット名	機能	R/W
b7-b0	LOCOUTRM[7:0]	LOCOユーザトリミング	b7 b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 : 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 : 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のLOCO トリミングビットに追加されます。	R/W

注 . LOCO 周波数が仕様外となるような値に LOCOUTCR を設定した場合、MCU 動作は保証されません。
注 . LOCOUTCR を変更した場合、必要な周波数安定待機時間は、MCU 動作開始時の周波数安定待機時間に相当します。

9.2.25 MOCO ユーザトリミングコントロールレジスタ（MOCOUTCR）

アドレス SYSTEM.MOCOUTCR 4001 E061h

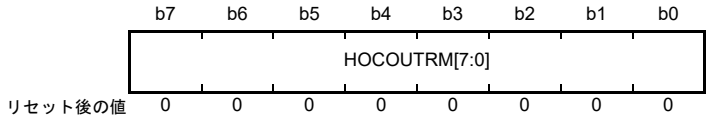


ビット	シンボル	ビット名	機能	R/W
b7-b0	MOCOUTRM[7:0]	MOCOユーザトリミング	b7 b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 : 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 : 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のMOCO トリミングビットに追加されます。	R/W

注 . MOCO 周波数が仕様外となるような値に MOCOUTCR を設定した場合、MCU 動作は保証されません。
注 . MOCOUTCR を変更した場合、必要な周波数安定待機時間は、MCU 動作開始時の周波数安定待機時間に相当します。

9.2.26 HOCO ユーザトリミングコントロールレジスタ（HOCOUTCR）

アドレス SYSTEM.HOCOUTCR 4001 E062h

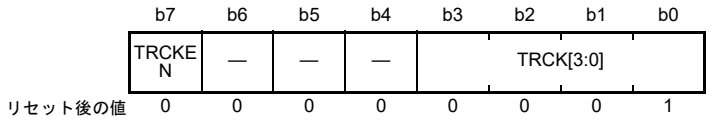


ビット	シンボル	ビット名	機能	R/W
b7-b0	HOCOUTRM[7:0]	HOCOユーザトリミング	b7 b0 1 0 0 0 0 0 0 0 : -128 1 0 0 0 0 0 0 1 : -127 1 0 0 0 0 0 1 0 : -126 : 1 1 1 1 1 1 1 1 : -1 0 0 0 0 0 0 0 0 : センターコード 0 0 0 0 0 0 0 1 : +1 : 0 1 1 1 1 1 0 1 : +125 0 1 1 1 1 1 1 0 : +126 0 1 1 1 1 1 1 1 : +127 これらのビットは、元のHOCO トリミングビットに追加されます。	R/W

注 . HOCO 周波数が仕様外となるような値に HOCOUTCR を設定した場合、MCU 動作は保証されません。
注 . HOCOUTCR を変更した場合、必要な周波数安定待機時間は、MCU 動作開始時の周波数安定待機時間に相当します。
注 . FLL を有効（FLLCR1.FLLEN = 1）にした場合、これらのビットは 00000000b にする必要があります。

9.2.27 トレースクロックコントロールレジスタ（TRCKCR）

アドレス SYSTEM.TRCKCR 4001 E03Fh



ビット	シンボル	ビット名	機能	R/W
b3-b0	TRCK[3:0]	トレースクロック動作周波数選択	b3 b0 0 0 0 0 : 1分周 0 0 0 1 : 2分周（リセット後の値） 0 0 1 0 : 4分周 上記以外は設定しないでください。	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	TRCKEN	トレースクロック動作許可	0 : 動作禁止 1 : 動作許可	R/W

トレースクロックコントロールレジスタ（TRCKCR）は、トレースクロックの切り替えを制御するレジスタです。TRCLK 周波数を変更する場合、最初に TRCKEN ビットを 0 にしてください。TRCKCR レジスタはすべてのリセットソースによって初期化されます。

9.3 メインクロック発振器

メインクロック発振器にクロック信号を供給するには、下記のいずれかの方法を使用します。

- 発振器を接続
- 外部クロック信号の入力を接続

9.3.1 水晶振動子を接続する方法

水晶振動子の接続例を図 9.4 に示します。必要に応じてダンピング抵抗（Rd）を挿入することができます。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカが外部帰還抵抗（Rf）の使用を推奨している場合は、その指示に従って EXTAL と XTAL の間に Rf を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 9.1 に記載されているように、メインクロック発振器の発振子周波数の範囲内としてください。

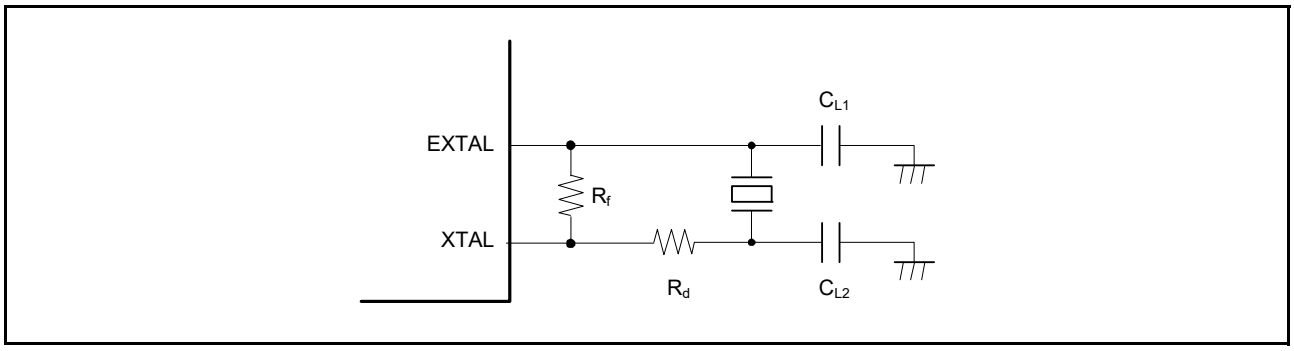


図 9.4 水晶振動子の接続例

水晶振動子の等価回路を図 9.5 に示します。

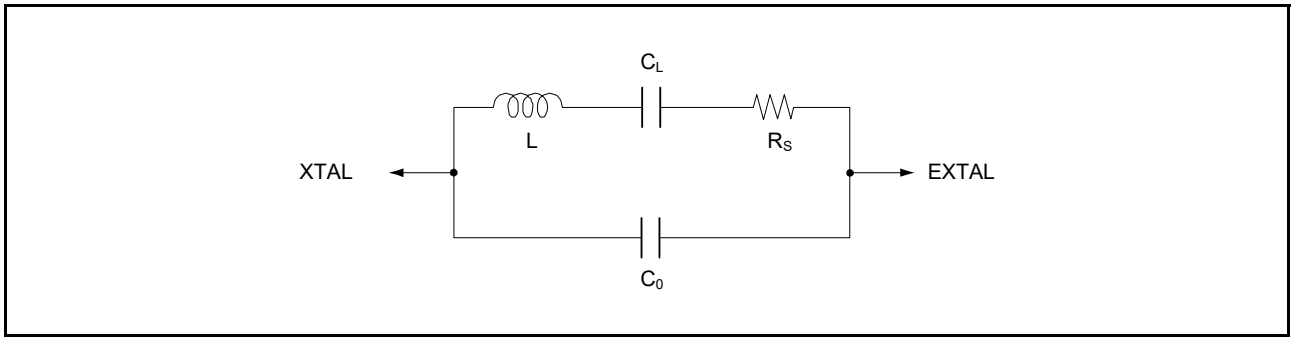


図 9.5 水晶振動子の等価回路

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図 9.6 に示します。外部クロックで発振器を動作させるには、MOMCR.MOSEL ビットを 1 にしてください。XTAL 端子は PFS.P213PFS レジスタで設定した機能です。

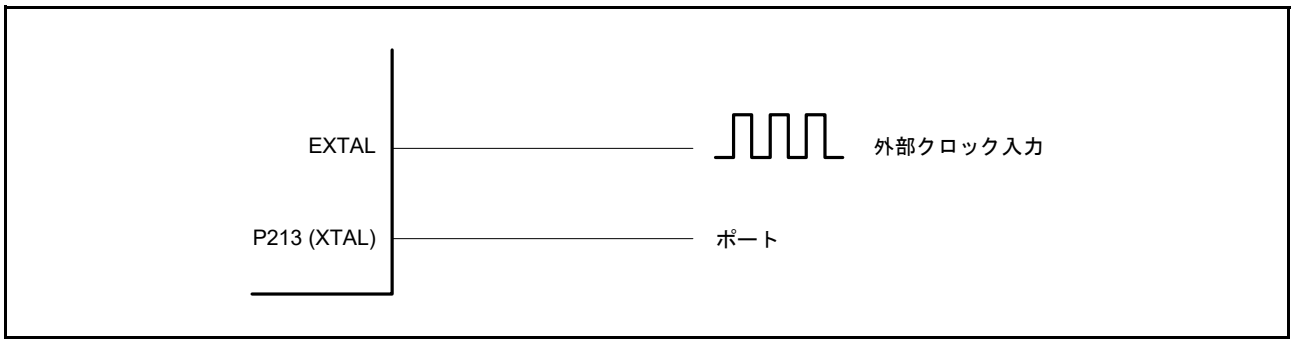


図 9.6 外部クロックの等価回路

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器の停止ビット（MOSCCR.MOSTP）が 0 の場合、外部クロック入力周波数を変更しないでください。

9.4 サブクロック発振器

サブクロック発振器へクロックを供給する唯一の方法は、水晶振動子を接続することです。

9.4.1 32.768kHz 水晶振動子を接続する方法

サブクロック発振器へクロックを供給するには、図 9.7 に示すように 32.768kHz 水晶振動子を接続します。必要に応じてダンピング抵抗（Rd）を挿入することができます。この抵抗値は、振動子と発振駆動能力によって異なるので、振動子メーカの推奨する値を使用してください。また、振動子メーカが外部帰還抵抗（Rf）の使用を推奨している場合は、その指示に従って XCIN と XCOUT の間に Rf を挿入してください。

振動子を接続してクロックを供給する場合、その振動子の周波数は、表 9.1 に記載されているように、サブクロック発振器の発振子周波数の範囲内としてください。

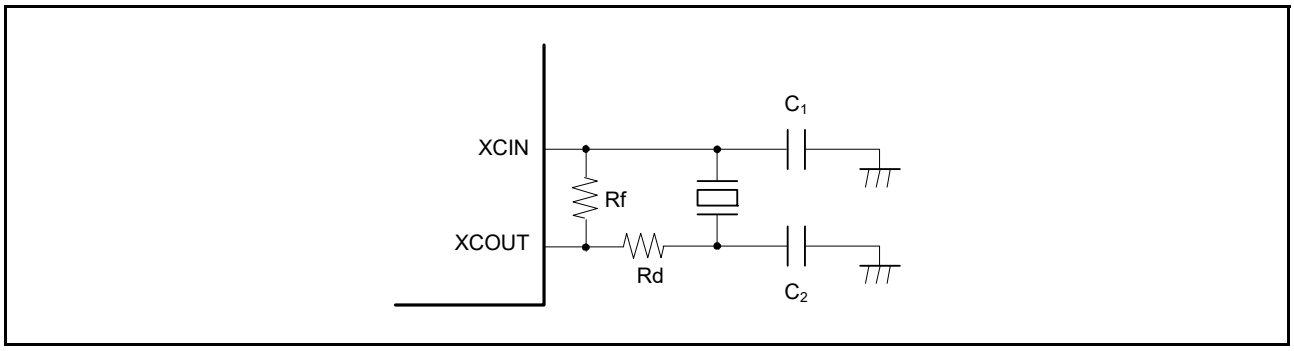


図 9.7 32.768kHz 水晶振動子の接続例

32.768kHz 水晶振動子の等価回路を図 9.8 に示します。

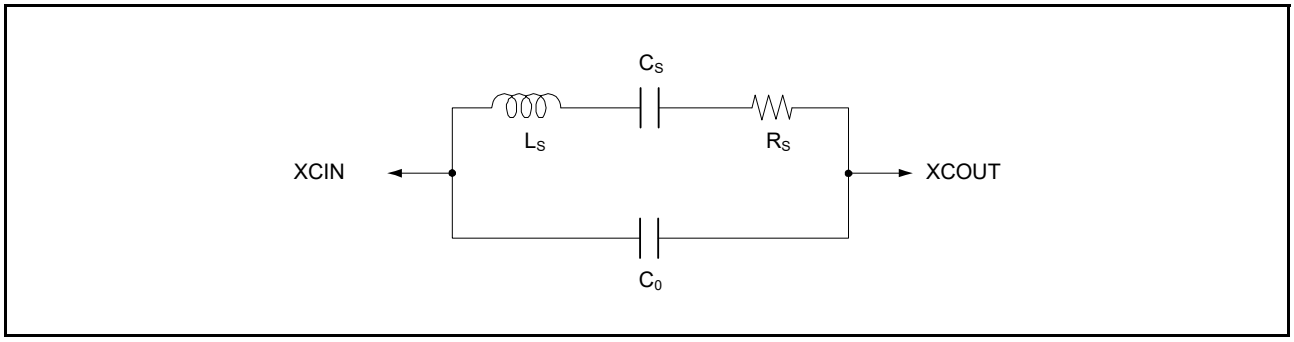


図 9.8 32.768kHz 水晶振動子の等価回路

9.4.2 サブクロック発振器を使用しない場合の端子処理

サブクロック発振器を使用しない場合は、図 9.9 に示すように、XCIN 端子を抵抗を介して VSS に接続（プルダウン）し、XCOUT 端子をオープンとしてください。さらに、発振器を接続しない場合、サブクロック発振器の停止ビット（SOSCCR.SOSTP）を 1 にして発振器を停止してください。

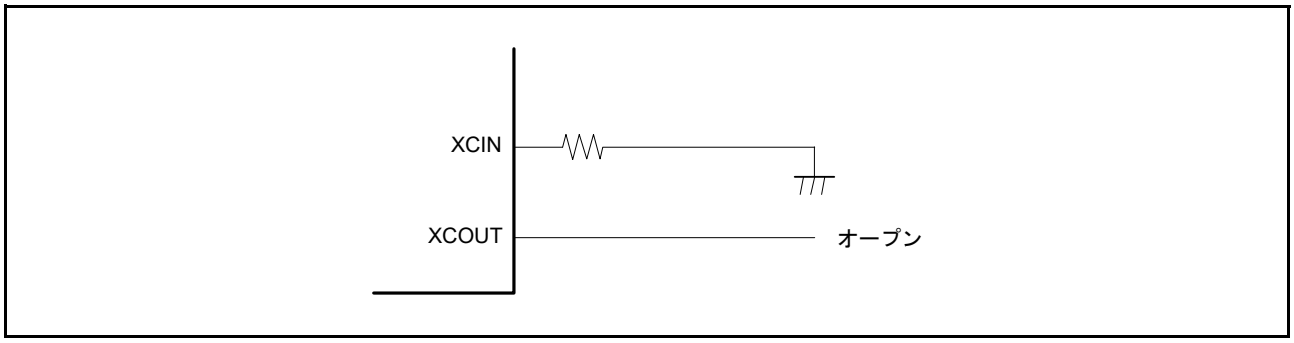


図 9.9 サブクロック発振器を使用しない場合の端子処理

9.5 発振停止検出機能

9.5.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出します。発振停止が検出されると、システムクロックは以下のように切り替わります。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）で発振停止が検出された場合、システムクロックソースは MOCO クロックに切り替わる
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）で発振停止が検出された場合、PLL クロックはシステムクロックソースのままとなる。周波数はフリーランとなり、SCKSCR.CKSEL[2:0] ビットの設定は変化しない

発振停止検出時には発振停止検出割り込み要求を発生させることができます。さらに、検出時の汎用 PWM タイマ（GPT）出力をハイインピーダンスにすることができます。

メインクロック発振器に異常が発生した場合など、入力クロックが一定期間 0 または 1 のままとなった場合、メインクロック発振停止が検出されます。「60. 電気的特性」を参照してください。

メインクロック発振器と MOCO クロックの切り替え、または PLL クロックと PLL フリーランクロックの切り替えは、発振停止検出フラグ（OSTDSR.OSTDF）によって制御されます。

OSTDF フラグは切り替えたクロックを以下のように制御します。

- SCKSCR.CKSEL[2:0] = 011b（システムクロックソース = MOSC）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは MOCO クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは MOSC に戻る
- PLLCCR.PLSRCSEL = 0（PLL ソースクロック = MOSC）および SCKSCR.CKSEL[2:0] = 101b（システムクロックソース = PLL）の場合：
  - OSTDF が 0 から 1 になると、クロックソースは PLL フリーラン発振クロックに切り替わる
  - OSTDF が 1 から 0 になると、クロックソースは PLL に戻る

発振停止検出後にクロックソースをメインクロック発振器または PLL クロックに戻したい場合は、いったん CKSEL[2:0] ビットの設定をメインクロック発振器または PLL クロック以外に変更し、OSTDF フラグを 0 にしてください。さらに、OSTDF フラグが 1 になっていないことを確認した後、所定の発振安定時間が経過してから、CKSEL[2:0] ビットの設定をメインクロック発振器または PLL クロックに変更してください。

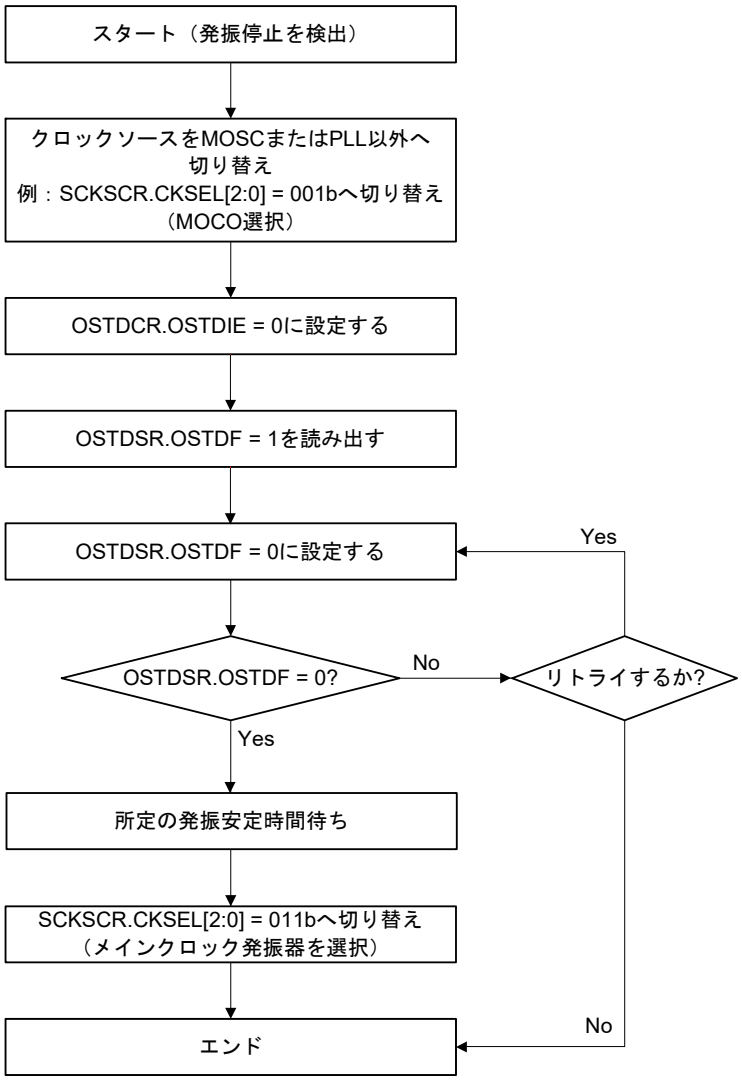
リセット解除後、メインクロック発振器は停止して、発振停止検出機能は無効になります。発振停止検出機能を有効にするには、メインクロック発振器を動作させた後、所定の発振安定時間が経過してから、発振停止検出機能有効ビット（OSTDCR.OSTDE）に 1 を書き込んでください。

発振停止検出機能は、外部要因によってメインクロック発振器が停止したことを検出します。そのため、ソフトウェアによってメインクロック発振器を停止させる前や、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードへ遷移する前に、発振停止検出機能を無効にする必要があります。

発振停止検出機能は、以下のクロックを MOCO クロック（システムクロックが MOSC の場合）または PLL フリーランクロック（システムクロックが PLL の場合）に切り替えます。

- CLKOUT 以外の MOSC クロックまたは PLL として選択できるすべてのクロック
- MOCO 動作中（システムクロックが MOSC の場合）または PLL フリーラン動作中（システムクロックが PLL の場合）のシステムクロック（ICLK）周波数は、MOCO 発振周波数と、システムクロック選択ビット（SCKDIVCR.ICK[2:0]）で設定された分周比に指定される

発振停止検出後にCKSEL[2:0] = 011b（メインクロック発振器を選択）として
復帰する場合の例



注 . 発振停止状態から復帰する際は、ユーザシステムにおいてメインクロック発振回路の停止要因が取り除かれ、再度発振可能な状態となっている必要があります。

図 9.10 発振停止検出時の復帰フロー

9.5.2 発振停止検出割り込み

発振停止検出フラグ（OSTDSR.OSTDF）が 1 で、かつ発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット（OSTDCR.OSTDIE）が 1（許可）のとき、発振停止検出割り込み（MOSC_STOP）が発生します。このとき GPT 用ポートアウトプットイネーブル（POEG）に対して、メインクロック発振器の停止が通知されます。POEG はこの通知を受けて、POEG グループ n 設定レジスタの発振停止検出フラグ（POEGGn.OSTPF）を 1 にします（n = A, B, C, D）。

この POEGGn.OSTPF フラグに対しては、発振停止を検出後、PCLKB で 10 サイクル以上経過するまで書き込みできません。

OSTDSR.OSTDF フラグのクリアは、発振停止検出コントロールレジスタの発振停止検出割り込み許可ビット（OSTDCR.OSTDIE）を 0 にした後に行ってください。その後、OSTDCR.OSTDIE ビットを再度 1 にする場合は、PCLKB で 2 サイクル以上待ってから行ってください。I/O レジスタの読み出しに要するサイクル数によっては、これ以上の PCLKB 待ち時間が必要になる場合があります。

発振停止検出割り込みはノンマスカブル割り込みです。リセット解除後の初期状態ではノンマスカブル割り込みは禁止されているため、発振停止検出割り込みを使用する前にソフトウェアでノンマスカブル割り込みを許可にしてください。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

9.6 PLL 回路

PLL 回路は、発振器からの周波数を逓倍する機能を提供します。

9.7 内部クロック

内部クロック用のクロックソースには以下のものがあります。

- メインクロック発振器
- サブクロック発振器
- HOCO クロック
- MOCO クロック
- LOCO クロック
- PLL クロック
- IWDT 専用クロック
- JTAG 用外部クロック

これらのソースから、以下の内部クロックが生成されます。

- CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロック — システムクロック（ICLK）
- 周辺モジュールの動作クロック — PCLKA、PCLKB、PCLKC、および PCLKD
- フラッシュインタフェースの動作クロック — FCLK
- 外部バスコントローラおよび外部端子出力のクロック — EBCLK
- SDRAM 用の外部バスコントローラおよび外部端子出力のクロック — SDCLK
- USBFS および USBHS の動作クロック — UCLK
- USBHS の動作クロック — USBMCLK
- CAN の動作クロック — CANMCLK
- CAC の動作クロック — CACCLK
- RTC LOCO クロックの動作クロック — RTCLCLK
- RTC サブクロックの動作クロック — RTCSCLK
- IWDT の動作クロック — IWDTCLK
- AGT LOCO クロックの動作クロック — AGTLCLK
- AGT サブクロックの動作クロック — AGTSCLK
- SysTick タイマの動作クロック — SYSTICCLK
- 外部端子出力のクロック — CLKOUT
- JTAG の動作クロック — JTAGTCK

内部クロックの周波数設定に使用するレジスタの詳細については、9.7.1 システムクロック（ICLK）～ 9.7.15 JTAG クロック（JTAGTCK）を参照してください。各ビットを書き換えると、変更後の周波数で動作します。

9.7.1 システムクロック（ICLK）

システムクロック（ICLK）は、CPU、DMAC、DTC、フラッシュメモリ、および SRAM の動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR.ICK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ[1:0] ビット

9.7.2 周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）

周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）は、周辺モジュールの動作クロックです。周波数は下記のビットで指定します。

- SCKDIVCR.PCKA[2:0] ビット、SCKDIVCR.PCKB[2:0] ビット、SCKDIVCR.PCKC[2:0] ビット、および SCKDIVCR.PCKD[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ[1:0] ビット

9.7.3 フラッシュインタフェースクロック（FCLK）

フラッシュインタフェースクロック（FCLK）は、フラッシュメモリインタフェースの動作クロックです。データフラッシュからの読み出しに加え、コードフラッシュとデータフラッシュのプログラム／イレースに使用されます。周波数は下記のビットで指定します。

- SCKDIVCR.FCK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ[1:0] ビット

9.7.4 外部バスクロック（BCLK）

外部バスクロック（BCLK）は、外部バスコントローラの動作クロックです。BCLK は外部接続バスに対して EBCLK 端子からも外部に出力されます。EBCLK 端子から BCLK を出力するには、EBCKOCR.EBCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0] ビットを 01011b にします。PmnPFS.PSEL[4:0] ビットを 01011b に変更できるのは、EBCKOCR.EBCKOEN ビットが 0 の場合だけです。また、BCKCR.BCLKDIV ビットを 1 にすると、EBCLK 端子から BCLK の 2 分周クロックを出力することができます。周波数は下記のビットで指定します。

- SCKDIVCR.BCK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ[1:0] ビット

BCLK をシステムクロック（ICLK）より高い周波数に設定しないでください。

9.7.5 SDRAM クロック（SDCLK）

SDRAM クロック（SDCLK）は、外部バスコントローラの動作クロックです。外部バスに接続された SDRAM に対して SDCLK 端子から外部に出力されます。SDCLK 端子から SDCLK を出力するには、SDCKOCR.SDCKOEN ビットを 1 にして、PmnPFS.PSEL[4:0] ビットを 01011b（SDCLK 出力許可）にします。PmnPFS.PSEL[4:0] ビットの値を変更できるのは、SDCKOCR.SDCKOEN ビットが 0 の場合だけです。周波数は下記のビットで指定します。

- SCKDIVCR.BCK[2:0] ビット、SCKSCR.CKSEL[2:0] ビット、PLLCCR.PLLMUL[5:0] ビット、PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ[1:0] ビット

SDCLK をシステムクロック（ICLK）より高い周波数に設定しないでください。

9.7.6 USB クロック（UCLK）

USB クロック（UCLK）は、USBFS モジュールの動作クロックです。USBFS モジュールには 48MHz クロックを供給する必要があります。このモジュールを使用する場合は、UCLK クロックを 48MHz に設定してください。周波数は下記のビットで指定します。

- SCKDIVCR2.UCK[2:0] ビット
- SCKSCR.CKSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット

9.7.7 USB-PHY クロック（USBMCLK）

USB-PHY クロック（USBMCLK）は、USBHS-PHY の動作クロックです。USBMCLK の周波数は 24MHz で、メインクロック発振器から供給されます。

9.7.8 CAN クロック（CANMCLK）

CAN クロック（CANMCLK）は、CAN モジュールの動作クロックです。CANMCLK は、メインクロック発振器で生成されます。

9.7.9 CAC クロック（CACCLK）

CAC クロック（CACCLK）は、CAC の動作クロックです。CACCLK は下記の発振器で生成されます。

- メインクロック発振器
- サブクロック発振器
- 高速クロック発振器（HOCO）
- 中速クロック発振器（MOCO）
- 低速オンチップオシレータ（LOCO）
- IWDT 専用オンチップオシレータ

9.7.10 RTC 専用クロック（RTCSCLK、RTCLCLK）

RTC 専用クロック（RTCSCLK および RTCLCLK）は、RTC の動作クロックです。RTCSCLK はサブクロック発振器で生成され、RTCLCLK は LOCO クロックで生成されます。

9.7.11 IWDT 専用クロック（IWDTCLK）

IWDT 専用クロック（IWDTCLK）は、IWDT の動作クロックです。IWDTCLK は、IWDT 専用オンチップオシレータの内部発振によって生成されます。

9.7.12 AGT 専用クロック（AGTSCLK, AGTLCLK）

AGT 専用クロック（AGTSCLK および AGTLCLK）は、AGT の動作クロックです。AGTSCLK はサブクロック発振器で生成され、AGTLCLK は LOCO クロックで生成されます。

9.7.13 SysTick タイマ専用クロック（SYSTICCLK）

SysTick タイマ専用クロック（SYSTICCLK）は、SYSTICCLK の動作クロックです。SYSTICCLK は、LOCO クロックで生成されます。

9.7.14 クロック／ブザー出力クロック（CLKOUT）

CLKOUT は、クロック出力またはブザー出力用に CLKOUT 端子から外部に出力されます。CKOCR.CKOEN を 1 にすると、CLKOUT を CLKOUT 端子に出力できます。CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビットの値を変更できるのは、CKOCR.CKOEN ビットが 0 の場合だけです。周波数は下記のビットで指定します。

- CKOCR.CKODIV[2:0] ビットまたは CKOCR.CKOSEL[2:0] ビット
- PLLCCR.PLLMUL[5:0] ビットおよび PLLCCR.PLIDIV[1:0] ビット
- OFS1.HOCOFRQ[1:0] ビット

9.7.15 JTAG クロック（JTAGTCK）

JTAG 専用クロック（JTAGTCK）は、JTAG の動作クロックです。JTAGTCK は、JTAG 外部クロック（TCK）で生成されます。

9.8 使用上の注意事項

9.8.1 クロック発生回路に関する制限

各モジュールに供給されるシステムクロック（ICLK）、周辺モジュールクロック（PCLKA ～ PCLKD）、フラッシュインタフェースクロック（FCLK）、外部バスクロック（BCLK）、および SDRAM クロック（SDCLK）の周波数は、SCKDIVCR レジスタの設定に従って変化します。各周波数は、以下の条件を満たす必要があります。

- 各周波数は、AC 電気的特性で規定されるクロックサイクル時間（tcyc）の動作保証範囲内に収まるように選択すること。「60. 電気的特性」を参照してください
- 周波数は表 9.2 に記載の周波数範囲を超えないこと
- 周辺モジュールは PCLKA と PCLKB を基準に動作する。そのため、周波数変更の前後で、タイマや SCI などのモジュールは動作速度が変化する
- システムクロック（ICLK）、周辺モジュールクロック（PCLKA ～ PCLKD）、フラッシュインタフェースクロック（FCLK）、および外部バスクロック（BCLK）は、表 9.2 に従って設定すること

外部バスアクセス中は、クロック周波数の変更を実施しないでください。また、クロック周波数の変更後に外部バスによるアクセスを開始する場合は、常に周波数変更が完了したことを確認してからアクセスを開始するようにしてください。クロック周波数変更後の処理を確実に実行するには、最初に該当のクロックコントロールレジスタに書き込んで周波数を変更し、次にレジスタ値を読み出して確認し、最後にその後の処理を実行してください。

9.8.2 発振子に関する制限

発振子の特性はユーザのボード設計に密接に関係するので、使用する前に十分な評価が必要です。発振子の接続例については図 9.7 を参照してください。発振子の回路定数は、使用する発振子および実装回路の浮動容量によって異なります。回路定数を決定する際は、常に発振子メーカと相談してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.8.3 ボード設計に関する制限

水晶振動子を使用する場合は、振動子およびコンデンサはできるだけ XTAL/EXTAL 端子の近くに配置してください。図 9.11 に示すように、発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

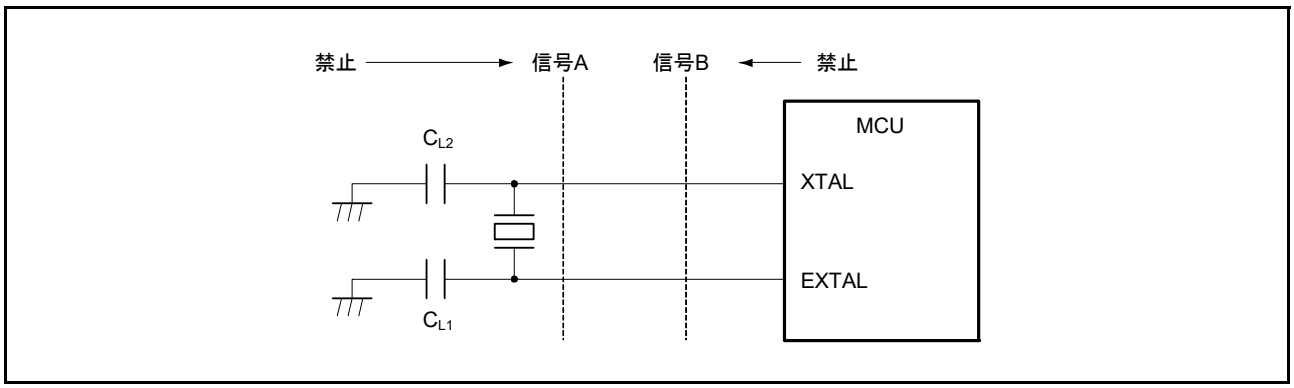


図 9.11 発振回路部のボード設計に関する注意事項（メインクロック発振器の場合、サブクロック発振器も同様）

9.8.4 発振子接続端子に関する制限

メインクロック発振器を使用しない場合、EXTAL 端子と XTAL 端子は、汎用ポート P212 および P213 として使用可能です。これらの端子を汎用ポートとして使用する場合は、メインクロック発振器を停止させる（MOSCCR.MOSTP ビットを 1 にする）必要があります。

10. クロック周波数精度測定回路（CAC）

10.1 概要

クロック周波数精度測定回路（CAC）は、測定基準として使用するクロック（測定基準クロック）で生成した時間内に、測定対象となるクロック（測定対象クロック）のパルスをカウントし、パルス数が許容範囲内であるかどうかを判定します。

測定が完了している場合、または測定基準クロックで生成した時間内のパルス数が許容範囲内でない場合は、割り込み要求が発生します。

表 10.1 に CAC の仕様、図 10.1 にブロック図、そして表 10.2 に入出力端子を示します。

表 10.1 CACの仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCLKクロック • 周辺モジュールクロックB（PCLKB）
測定基準クロック	以下のクロックを基準として使用可能 • 外部からCACREF端子に入力したクロック • メインクロック発振器 • サブクロック発振器 • HOCOクロック • MOCOクロック • LOCOクロック • IWDTCLKクロック • 周辺モジュールクロックB（PCLKB）
選択機能	デジタルフィルタ
割り込み要因	• 測定終了 • 周波数エラー • オーバーフロー
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

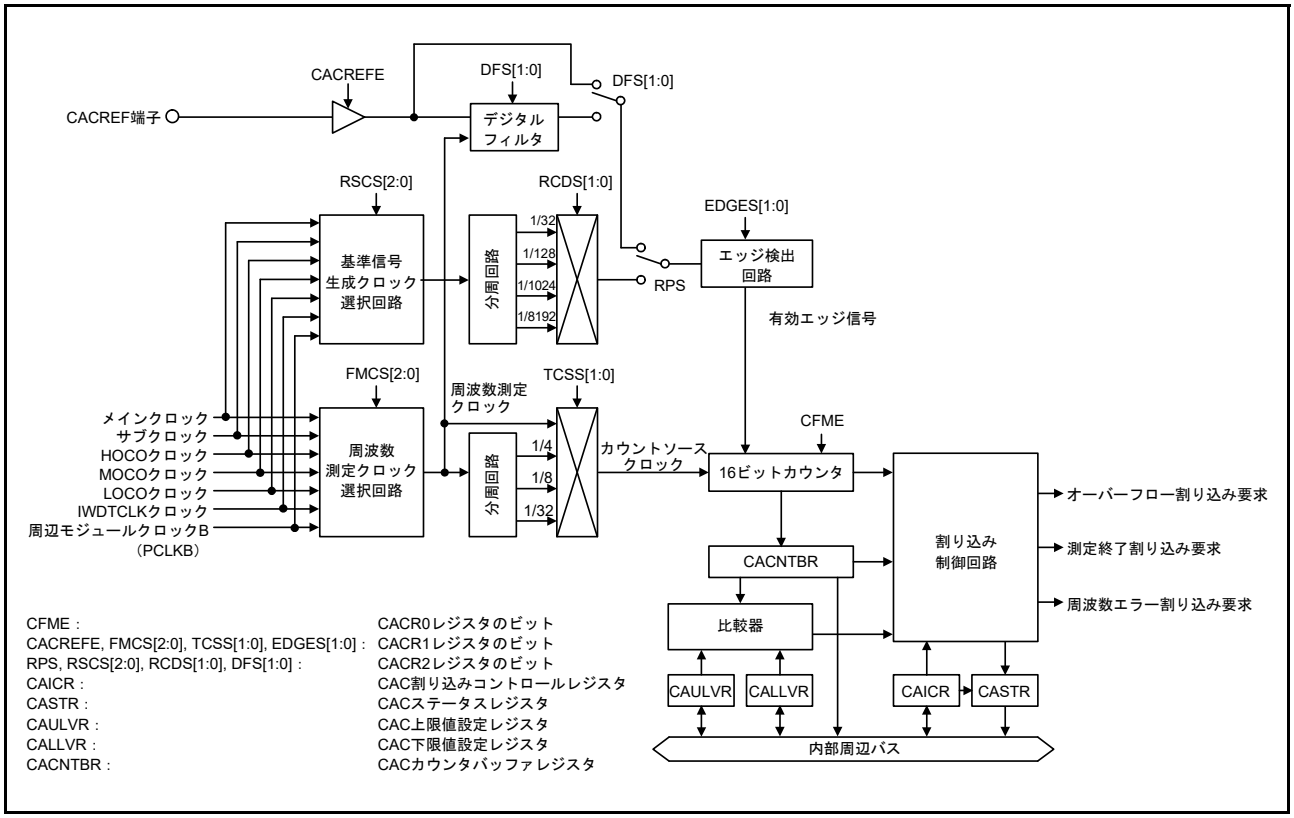


図 10.1　　CAC のブロック図

表 10.2　　CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0（CACR0）

アドレス CAC.CACR0 4004 4600h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

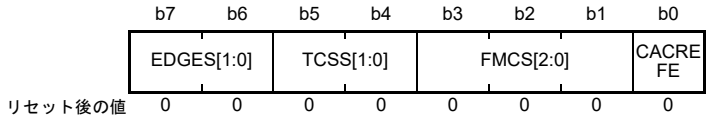
ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効	0：無効 1：有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CFME ビット（クロック周波数測定有効）

クロック周波数測定を有効にします。CFME ビットを読み出すことで、このビットが変更されたことを確認できます。変更が完了するまでは、さらなる書き込みは無視されます。

10.2.2 CAC コントロールレジスタ 1（CACR1）

アドレス CAC.CACR1 4004 4601h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF端子入力有効	0：無効 1：有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択	b3 b1 0 0 0：メインクロック発振器 0 0 1：サブクロック発振器 0 1 0：HOCOクロック 0 1 1：MOCOクロック 1 0 0：LOCOクロック 1 0 1：周辺モジュールクロック（PCLKB） 1 1 0：IWDTCLKクロック 1 1 1：設定禁止	R/W
b5-b4	TCSS[1:0]	測定対象クロック分周比選択	b5 b4 0 0：分周なしクロック 0 1：4分周クロック 1 0：8分周クロック 1 1：32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択	b7 b6 0 0：立ち上がりエッジ 0 1：立ち下がりエッジ 1 0：立ち上がり／立ち下がり両エッジ 1 1：設定禁止	R/W

注 1. CACR1 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

CACREFE ビット（CACREF 端子入力有効）

CACREF 端子入力を有効にします。

FMCS[2:0] ビット（測定対象クロック選択）

周波数を測定するクロックを選択します。

TCSS[1:0] ビット（測定対象クロック分周比選択）

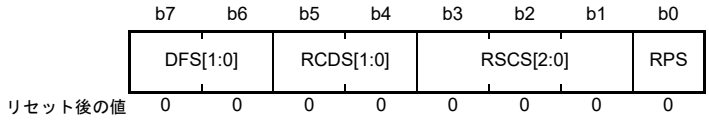
測定対象クロックの分周比を選択します。

EDGES[1:0] ビット（有効エッジ選択）

基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2（CACR2）

アドレス CAC.CACR2 4004 4602h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択	0：CACREF端子入力 1：内部クロック（内部生成信号）	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択	b3 b2 b1 0 0 0：メインクロック発振器 0 0 1：サブクロック発振器 0 1 0：HOCOクロック 0 1 1：MOCOクロック 1 0 0：LOCOクロック 1 0 1：周辺モジュールクロック（PCLKB） 1 1 0：IWDTCLKクロック 1 1 1：設定禁止	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択	b5 b4 0 0：32分周クロック 0 1：128分周クロック 1 0：1024分周クロック 1 1：8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択	b7 b6 0 0：デジタルフィルタ機能無効 0 1：デジタルフィルタ用のサンプリングクロックを周波数測定クロックとして使用 1 0：デジタルフィルタ用のサンプリングクロックを周波数測定クロックの4分周クロックとして使用 1 1：デジタルフィルタ用のサンプリングクロックを周波数測定クロックの16分周クロックとして使用	R/W

注 1. CACR2 レジスタは、CACR0.CFME ビットが 0 のときに設定してください。

RPS ビット（基準信号選択）

基準信号として CACREF 端子入力と内部クロック（内部生成信号）のどちらを使用するかを選択します。

RSCS[2:0] ビット（測定基準クロック選択）

測定基準クロックを選択します。

RCDS[1:0] ビット（測定基準クロック分周比選択）

内部基準クロックが選択（RPS = 1）されたときは、測定基準クロックの分周比を選択します。RPS = 0（CACREF 端子を基準クロックソースとして使用）のときは、基準クロックは分周されません。

DFS[1:0] ビット（デジタルフィルタ機能選択）

このビットの設定により、デジタルフィルタが有効または無効になります。また、そのサンプリングクロックを選択します。

10.2.4 CAC 割り込みコントロールレジスタ（CAICR）

アドレス CAC.CAICR 4004 4603h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFCL	MENDFCL	FERRFCL	—	OVFIE	MENDIE	FERRIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可	0：禁止 1：許可	R/W
b1	MENDIE	測定終了割り込み要求許可	0：禁止 1：許可	R/W
b2	OVFIE	オーバーフロー割り込み要求許可	0：禁止 1：許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	FERRFCL	FERRF フラグクリア	このビットを1にするとCASTR.FERRF フラグをクリアします。 読むと0が読めます。	R/W
b5	MENDFCL	MENDF フラグクリア	このビットを1にするとCASTR.MENDF フラグをクリアします。 読むと0が読めます。	R/W
b6	OVFFCL	OVFF フラグクリア	このビットを1にするとCASTR.OVFF フラグをクリアします。 読むと0が読めます。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FERRIE ビット（周波数エラー割り込み要求許可）

周波数エラー割り込み要求を許可します。

MENDIE ビット（測定終了割り込み要求許可）

測定終了割り込み要求を許可します。

OVFIE ビット（オーバーフロー割り込み要求許可）

オーバーフロー割り込み要求を許可します。

FERRFCL ビット（FERRF フラグクリア）

このビットを 1 にすると CASTR.FERRF フラグをクリアします。

MENDFCL ビット（MENDF フラグクリア）

このビットを 1 にすると CASTR.MENDF フラグをクリアします。

OVFFCL ビット（OVFF フラグクリア）

このビットを 1 にすると CASTR.OVFF フラグをクリアします。

10.2.5 CAC ステータスレジスタ（CASTR）

アドレス CAC.CASTR 4004 4604h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OVFF	MENDF	FERRF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0：クロック周波数は許容範囲内 1：クロック周波数が許容範囲を外れた（周波数エラー）	R
b1	MENDF	測定終了フラグ	0：測定中 1：測定終了	R
b2	OVFF	オーバーフローフラグ	0：カウンタがオーバーフローしていない 1：カウンタがオーバーフローした	R
b7-b3	—	予約ビット	読むと0が読めます。	R

FERRF フラグ（周波数エラーフラグ）

クロック周波数が設定値から外れた（周波数エラー）ことを示します。

[1 になる条件]

- クロック周波数が CAULVR と CALLVR の両レジスタで定義された許容範囲を外れたとき

[0 になる条件]

- FERRFCL ビットに 1 を書いたとき

MENDF フラグ（測定終了フラグ）

測定が終了したことを示します。

[1 になる条件]

- 測定が終了したとき

[0 になる条件]

- MENDFCL ビットに 1 を書いたとき

OVFF フラグ（オーバーフローフラグ）

カウンタがオーバーフローしたことを示します。

[1 になる条件]

- カウンタがオーバーフローしたとき

[0 になる条件]

- OVFFCL ビットに 1 を書いたとき

10.2.6 CAC 上限値設定レジスタ（CAULVR）

アドレス CAC.CAULVR 4004 4606h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CAULVR レジスタは、許容範囲の上限値を指定する 16 ビットの読み出し／書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を上回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに格納されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

10.2.7 CAC 下限値設定レジスタ（CALLVR）

アドレス CAC.CALLVR 4004 4608h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CALLVR レジスタは、許容範囲の下限値を指定する 16 ビットの読み出し／書き込み可能なレジスタです。カウンタ値がこのレジスタに指定された値を下回った場合、周波数エラーが検出されます。CACR0.CFME ビットが 0 のときに設定してください。

デジタルフィルタやエッジ検出回路と CACREF 端子入力信号との位相差によって、CACNTBR レジスタに格納されるカウンタ値がずれる可能性があります。そのため、余裕を持った値を設定してください。

10.2.8 CAC カウンタバッファレジスタ（CACNTBR）

アドレス CAC.CACNTBR 4004 460Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CACNTBR レジスタは、測定結果を格納する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

CAC は、CACREF 端子入力または内部クロックを基準にしてクロック周波数を測定します。図 10.2 に CAC の動作例を示します。

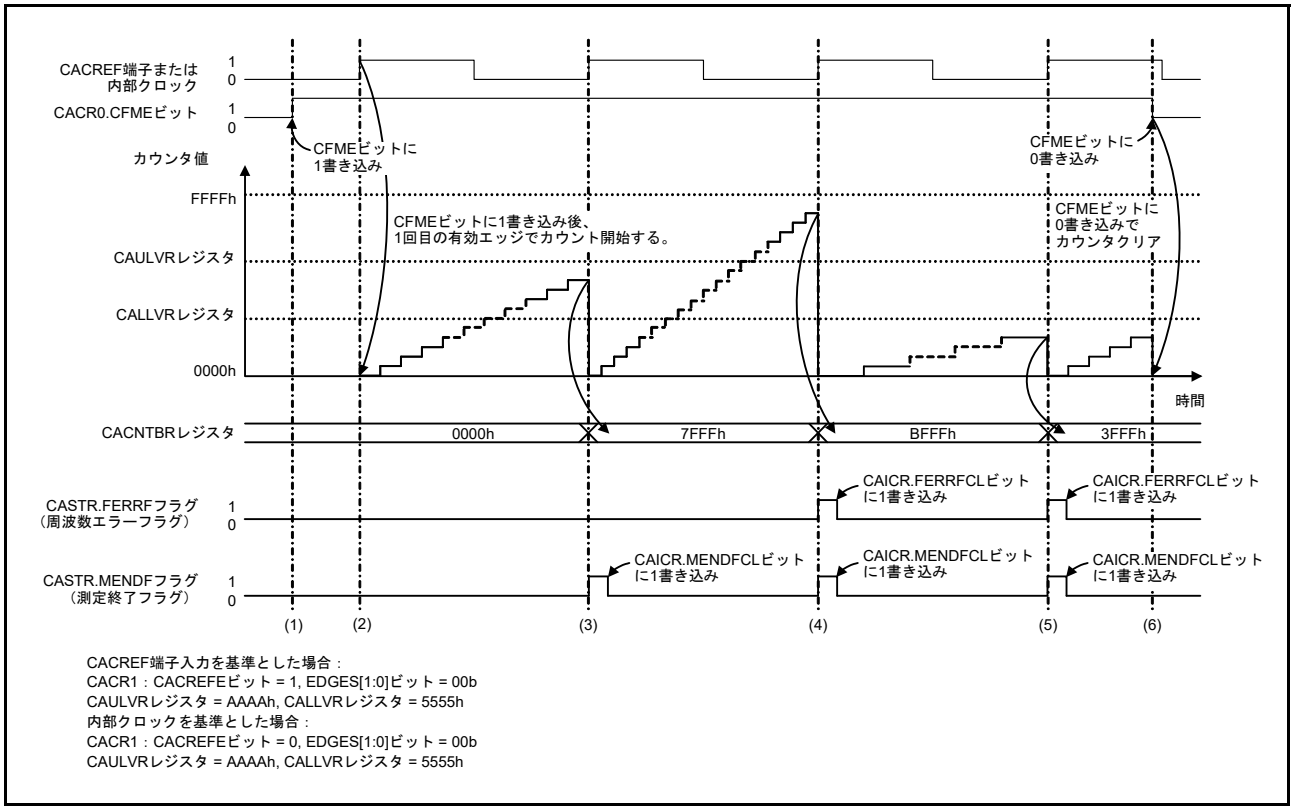


図 10.2 CAC の動作例

図 10.2 のイベントについて以下に示す：

1. CACR0.CFME ビットに 1 を書き込む前に、CACR1 レジスタと CACR2 レジスタを設定して、測定対象クロックと測定基準クロックを定義します。CACR0.CFME ビットに 1 を書き込むと、クロック周波数測定が有効になります。
2. CACR1.EDGES[1:0] ビットで選択した有効エッジが測定基準クロックから入力されると、タイマがカウントアップを開始します。図 10.2 において、有効エッジは立ち上がりエッジ（CACR1.EDGES[1:0] = 00b）です。
3. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR ≦ CAULVR かつ CACNTBR ≧ CALLVR が成立する場合、クロック周波数は正常なので CASTR.MENDF フラグのみが 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
4. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR ＞ CAULVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。CASTR.MENDF フラグは測定が終了すると 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。
5. 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACNTBR ＜ CALLVR の場合、クロック周波数は異常なので CASTR.FERRF フラグが 1 になります。また、CAICR.FERRIE ビットが 1 の場合は、周波数エラー割り込みが発生します。CASTR.MENDF フラグは測定が終了すると 1 になります。また、CAICR.MENDIE ビットが 1 の場合は、測定終了割り込みが発生します。

6. CACR0.CFME ビットが 1 のときは、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタ値および CALLVR レジスタ値と比較します。CACR0.CFME ビットに 0 を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期で CACREF 端子レベルが 3 回連続で一致した場合、内部回路に一致したレベルを送信します。再度サンプリングした端子のレベルが 3 回連続で一致するまで内部へ同じレベルを送信し続けます。デジタルフィルタ機能では、デジタルフィルタ機能の有効／無効と、サンプリングクロックの設定が可能です。

デジタルフィルタと CACREF 端子入力信号の位相差によって、CACNTBR レジスタに転送されるカウンタ値には、サンプリングクロックの最大 1 周期分の誤差が生じる場合があります。カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウンタ値の誤差を表すことができます。

カウント値誤差 =（カウントソースクロック 1 周期）／（サンプリングクロック 1 周期）

10.4 割り込み要求

CAC は次の 3 種類の割り込み要求を発生させます。

- 周波数エラー割り込み
- 測定終了割り込み
- オーバーフロー割り込み

割り込み要因が発生すると、対応するステータスフラグが 1 になります。表 10.3 に、CAC の割り込み要求に関する情報を示します。

表 10.3 CAC の割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較した結果が、CACNTBR ＞ CAULVR または CACNTBR ＜ CALLVR のとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	• CACREF 端子または内部クロックから有効エッジが入力されたとき • CACR0.CFME ビットに 1 を書き込んだ後の 1 回目の有効エッジでは、測定終了割り込みの発生なし
オーバーフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバーフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）により、CAC の動作を禁止／許可することが可能です。リセット後の初期状態では、CAC モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

11. 低消費電力モード

11.1 概要

本 MCU には、クロック分周器の設定、EBCLK 出力制御、SDCLK 出力制御、モジュールストップ設定、通常モード時の電力制御モード選択、低消費電力モードへの遷移など、さまざまな消費電力低減機能があります。

表 11.1 に低消費電力モード機能の仕様を示します。表 11.2 に、低消費電力モードへの遷移条件、CPU と周辺モジュールの状態、および各モードの解除方法を示します。リセット後、MCU はプログラム実行状態に遷移しますが、DMAC、DTC、および SRAM のみが動作しています。

表 11.1 低消費電力モード機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック（ICLK）、周辺モジュールクロック（PCLKA、PCLKB、PCLKC、PCLKD）、外部バスクロック（BCLK）、フラッシュインタフェースクロック（FCLK）に対して、個別に分周比を選択可能（注1）
EBCLK出力制御	BCLK出力またはHigh出力に選択可能
SDCLK出力制御	SDCLK出力またはHigh出力に選択可能
モジュールストップ状態	周辺モジュール機能を個別に停止可能
低消費電力モード	• スリープモード • ソフトウェアスタンバイモード • スヌーズモード • ディープソフトウェアスタンバイモード
電力制御モード	動作周波数と動作電圧に応じて適切な動作電力制御モードを選択することにより、通常モード、スリープモード、およびスヌーズモード時の消費電力を低減することが可能 利用可能な動作電力制御モード： • High-speedモード • Low-speedモード • Subosc-speedモード

注 1. 詳細は、「9. クロック発生回路」を参照してください。

表 11.2 各低消費電力モードの動作状態 (1/3)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード（注1）	ディープソフトウェアスタンバイモード
遷移条件	SBYCR.SSBY = 0の状態でWFI命令	SBYCR.SSBY = 1かつDPSBYCR.DPSBY = 0の状態でWFI命令	ソフトウェアスタンバイモードにおけるスヌーズ要求トリガSNZCR.SNZE = 1	SBYCR.SSBY = 1かつDPSBYCR.DPSBY = 1の状態でWFI命令
解除方法	すべての割り込み。このモードで利用可能なすべてのリセット	表 11.3に示す割り込み。このモードで利用可能なすべてのリセット	表 11.3に示す割り込み。このモードで利用可能なすべてのリセット	表 11.3に示す割り込み。このモードで利用可能なすべてのリセット
割り込みによる解除後の状態	プログラム実行状態（割り込み処理）	プログラム実行状態（割り込み処理）	プログラム実行状態（割り込み処理）	リセット状態
リセットによる解除後の状態	リセット状態	リセット状態	リセット状態	リセット状態
メインクロック発振器	選択可能	停止	選択可能（注2）	停止
サブクロック発振器	選択可能	選択可能	選択可能	選択可能
高速オンチップオシレータ	選択可能	停止	選択可能	停止
中速オンチップオシレータ	選択可能	停止	選択可能	停止
低速オンチップオシレータ	選択可能	選択可能	選択可能	選択可能（注3）

表 11.2 各低消費電力モードの動作状態 (2/3)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード（注1）	ディープソフトウェアスタンバイモード
IWDT専用オンチップオシレータ	選択可能（注7）	選択可能（注7）	選択可能（注7）	停止
PLL	選択可能	停止	選択可能（注2）	停止
発振停止検出機能	選択可能	動作禁止	動作禁止	動作禁止
クロック／ブザー出力機能	選択可能	選択可能（注4）	選択可能	停止（不定）
外部バス（EBCLK）	選択可能	停止（保持）	動作禁止	停止（保持）
CPU	停止（保持）	停止（保持）	停止（保持）	停止（不定）
SRAMn（n = 0, 1）、SRAMHS、DED SRAM	選択可能	停止（保持）	選択可能	停止（不定）
スタンバイSRAM	選択可能	停止（保持）	選択可能	停止（保持／不定）（注5）
フラッシュメモリ	動作	停止（保持）	停止（保持）	停止（保持）
DMAコントローラ（DMAC）	選択可能	停止（保持）	動作禁止	停止（不定）
データトランスファコントローラ（DTC）	選択可能	停止（保持）	選択可能	停止（不定）
USB2.0フルスピードモジュール（USBFS）	選択可能	停止（保持） USBレジューム検出は可能	動作禁止 USBレジューム検出は可能	停止（保持／不定） USBレジューム検出は可能（注6）
USB2.0ハイスピードモジュール（USBHS）	選択可能	停止（保持） USBレジューム検出は可能	動作禁止 USBレジューム検出は可能	停止（保持／不定） USBレジューム検出は可能（注6）
ウォッチドッグタイマ（WDT）	選択可能（注7）	停止（保持）	停止（保持）	停止（不定）
独立ウォッチドッグタイマ（IWDT）	選択可能（注7）	選択可能（注7）	選択可能（注7）	停止（不定）
リアルタイムクロック（RTC）	選択可能	選択可能	選択可能	選択可能（注8）
非同期汎用タイマ（AGTn、n = 0, 1）	選択可能	選択可能（注9）	選択可能（注9）	選択可能（注9）
12ビットA/Dコンバータ（ADC12）	選択可能	停止（保持）	選択可能（注19）	停止（不定）
プログラマブルゲインアンプ（PGA）	選択可能（注13）	選択可能（注13）	選択可能（注13）	停止（不定）
12ビットD/Aコンバータ（DAC12）	選択可能	停止（保持）	選択可能	停止（不定）
静電容量式タッチセンシングユニット（CTSU）	選択可能	停止（保持）	選択可能	停止（不定）
データ演算回路（DOC）	選択可能	停止（保持）	選択可能	停止（不定）
シリアルコミュニケーションインタフェース（SCI0）	選択可能	停止（保持）	選択可能（スヌーズモードにRXD0立ち下がりエッジが利用可能）（調歩同期式モード時のみ）（注15）	停止（不定）
シリアルコミュニケーションインタフェース（SCIn、n = 1～9）	選択可能	停止（保持）	動作禁止	停止（不定）
I^2Cバスインタフェース（IIC0）	選択可能	選択可能（注14）	動作禁止	停止（不定）
I^2Cバスインタフェース（IICn、n = 1, 2）	選択可能	停止（保持）	動作禁止	停止（不定）
イベントリンクコントローラ（ELC）	選択可能	停止（保持）	選択可能（注10）	停止（不定）

表 11.2 各低消費電力モードの動作状態 (3/3)

項目	スリープモード	ソフトウェアスタンバイモード	スヌーズモード（注1）	ディープソフトウェアスタンバイモード
高速アナログコンパレータ（ACMPHS0）	選択可能	選択可能（注12）	選択可能 VCOUT機能のみ（注12）	停止（不定）
高速アナログコンパレータ（ACMPHSn、n = 1～5）	選択可能	選択可能（注11）	選択可能 VCOUT機能のみ（注11）	停止（不定）
IRQn（n = 0～15）端子割り込み	選択可能	選択可能	選択可能	停止（不定）
NMI、IRQn-DS（n = 0～15）端子割り込み	選択可能	選択可能	選択可能	選択可能
キー割り込み機能（KINT）	選択可能	選択可能	選択可能	停止（不定）
低電圧検出（LVD）	選択可能	選択可能	選択可能	選択可能（注16）
パワーオンリセット回路	動作	動作	動作	動作（注17）
その他の周辺モジュール	選択可能	停止（保持）	動作禁止	停止（不定）
I/Oポート	動作	保持（注18）	動作	保持（注18）

注 . 「選択可能」とは、動作／停止がコントロールレジスタによって選択できることを意味します。
「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
「動作禁止」とは、ソフトウェアスタンバイモードへ遷移する前に、その機能を停止させる必要があることを意味します。
「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。

注 1. モジュールストップビットが 0 に設定されているモジュールはすべて、スヌーズモード遷移後に PCLK が供給されると、ただちに起動します。スヌーズモード時に ICC の増大を防ぐには、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要なモジュールのストップビットを 1 にしてください。

注 2. スヌーズモードで SCI0 を使用する場合、MOSCCR.MOSTP ビットと PLLCR.PLLSTP ビットは 1 でなければいけません。

注 3. DPSBYCR.DEEPCUT[1:0] ビットが 00b の場合、発振器の状態はディープソフトウェアスタンバイモード遷移前と同じです。
DPSBYCR.DEEPCUT[1:0] ビットが 00b でない場合、MCU がディープソフトウェアスタンバイモードへ遷移すると発振器は停止します。

注 4. クロックアウトプットソース選択ビット（CKOCR.CKOSEL[2:0]）が 010b（LOCO）および 100b（SOSC）以外の値に設定されている場合は停止します。

注 5. DPSBYCR.DEEPCUT[1:0] ビットが 00b の場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータが保持されます。DPSBYCR.DEEPCUT[1:0] ビットが 00b でない場合、ディープソフトウェアスタンバイモードではスタンバイ SRAM のデータが保持され不定です。

注 6. DPSBYCR.DEEPCUT[1:0] ビットが 00b の場合、ディープソフトウェアスタンバイモードでは、USB レジューム検出回路レジスタの値が保持され、USB レジューム検出機能が有効になります。その他のレジスタの値は不定です。
DPSBYCR.DEEPCUT[1:0] ビットが 00b でない場合、ディープソフトウェアスタンバイモードでは全レジスタの値が不定です。

注 7. IWDT 専用オンチップ発振器および IWDT は、IWDT オートスタートモード時にプション機能選択レジスタ 0（OFS0）の IWDT 停止制御ビット（IWDTSTPCTL）の設定により、動作または停止を選択することが可能です。
WDT は、WDT オートスタートモード時にオプション機能選択レジスタ 0（OFS0）の WDT 停止制御ビット（WDTSTPCTL）の設定により、動作または停止を選択することが可能です。

注 8. RCR4.RCKSEL ビットが 1（LOCO）になっている場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0] ビットを 00b にする必要があります。

注 9. AGT0.AGTMR1.TCK[2:0] ビットで 100b（AGTLCLK）または 110b（AGTSCLK）が選択されている場合、AGT0 は動作可能です。
AGT1.AGTMR1.TCK[2:0] ビットで 100b（AGTLCLK）、110b（AGTSCLK）、または 101（AGT0 からのアンダーフローイベント信号）が選択されている場合、AGT1 は動作可能です。
AGTn.AGTMR1.TCK[2:0] ビット（n = 0, 1）で 100b（AGTLCLK）が選択されている場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0] ビットを 00b にする必要があります。

注 10. イベントは、11.10.14 スヌーズモードにおける ELC イベントに記載のものに限定されます。

注 11. VCOUT 機能のみが許可されます。ACMPHS がデジタルフィルタを使用していない場合に、VCOUT 端子は動作します。
デジタルフィルタの詳細については、「50. 高速アナログコンパレータ（ACMPHS）」を参照してください。

注 12. CMPCTL0.CSTEN ビットが 1 の場合、コンパレータ検出によるソフトウェアスタンバイモードの解除またはスヌーズモードへの遷移が可能です。

注 13. プログラマブルゲインアンプを使用する場合、MSTPDn（n = 15, 16）を 0 にする必要があります。詳細は、47.3.12 プログラマブルゲインアンプ機能を参照してください。

注 14. IIC0 ウェイクアップ割り込みが利用可能です。

注 15. SCI0 のシリアル通信モードは、調歩同期式モードになります。

注 16. ディープソフトウェアスタンバイモードで LVD を使用する場合、ディープソフトウェアスタンバイモードへ遷移する前に DPSBYCR.DEEPCUT[1:0] ビットを 00b または 01b にする必要があります。

注 17. DPSBYCR.DEEPCUT[1:0] ビットが 11b の状態で MCU がディープソフトウェアスタンバイモードへ遷移した場合、LVD 回

路は停止し、パワーオンリセット回路の低消費電力機能が有効になります。

注 18. アドレスバスおよびバス制御信号（SRAM の場合：[CS0 ～ CS7、RD、WR0 ～ WR1、WR、および BC0 ～ BC1]、SDRAM の場合：[SDCS、RAS、CAS、WE]）に対して、出力状態の維持やハイインピーダンス状態への変更は、SBYCR.OPE ビットで選択可能です。

注 19. スヌーズモードで 12 ビット A/D コンバータを使用する場合、ADCMPCR.CMPAE ビットおよび ADCMPCR.CMPBE ビットは 1 でなければいけません。

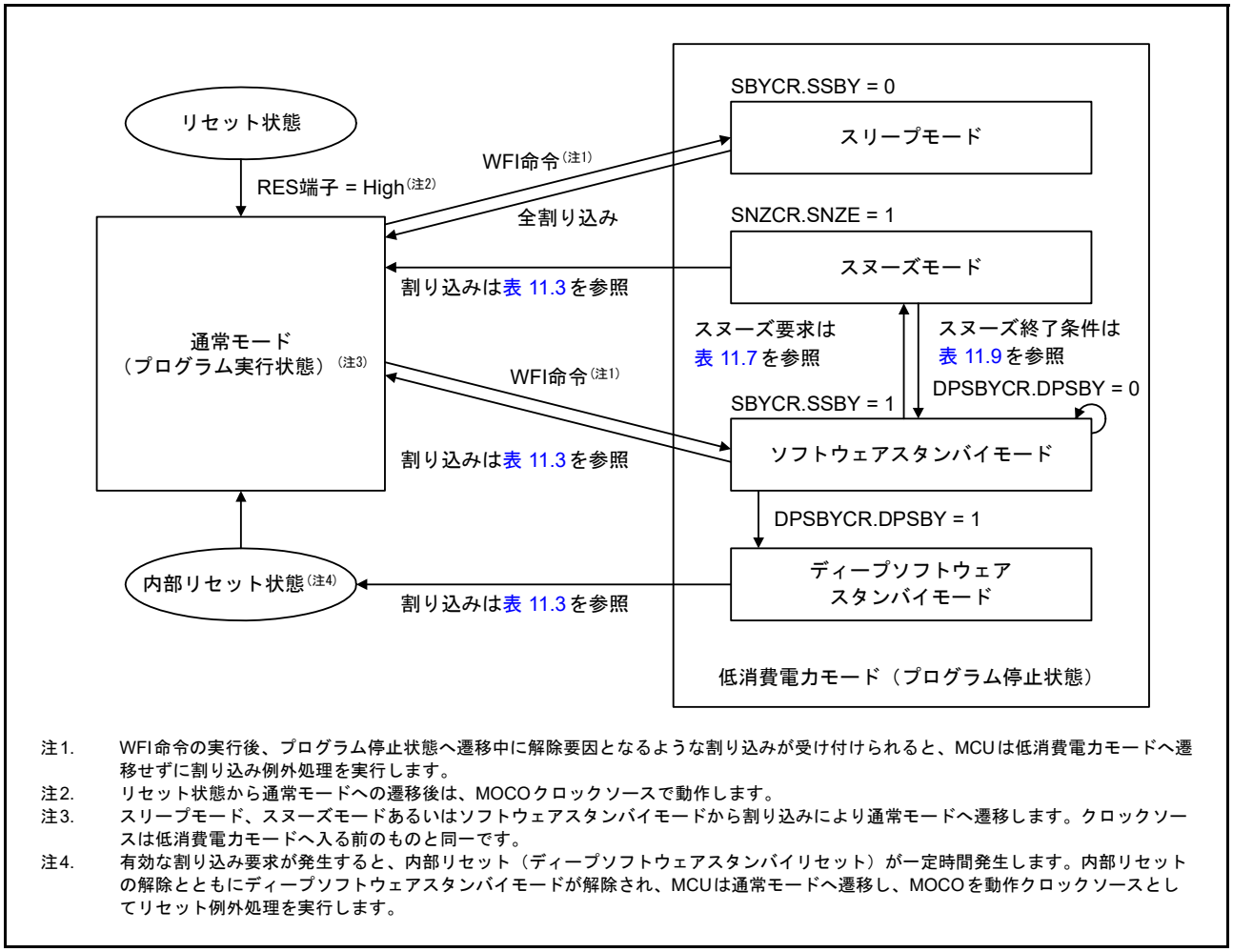
表 11.3 スヌーズモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因

割り込み要因	名称	ソフトウェアスタンバイモード	スヌーズモード	ディープソフトウェアスタンバイモード
NMI		可能	可能	可能
ポート	PORT_IRQn（n = 0～15）	可能	可能	不可能
	PORT_IRQn-DS（n = 0～15）	可能	可能	可能
LVD	LVD_LVD1	可能	可能	可能
	LVD_LVD2	可能	可能	可能
IWDT	IWDT_NMIUNDF	可能	可能	不可能
USBFS	USBFS_USBR	可能	可能	可能
USBHS	USBHS_USBIR	可能	可能	可能
RTC	RTC_ALM	可能	可能	可能
	RTC_PRD	可能	可能	可能
KINT	KEY_INTKR	可能	可能	不可能
AGT1	AGT1_AGTI	可能	可能（注3）	可能
	AGT1_AGTCMAI	可能	可能	不可能
	AGT1_AGTCMBI	可能	可能	不可能
ACMPHS	ACMP_HS0	可能	可能	不可能
IIC0	IIC0_WUI	可能	不可能	不可能
ADC12n (n = 0, 1)	ADC12n_WCMPM	不可能	SELSR0で可能（注1）（注3）	不可能
	ADC12n_WCMPUM	不可能	SELSR0で可能（注1）（注3）	不可能
SCI0	SCI0_AM	不可能	SELSR0で可能（注1）（注2）	不可能
	SCI0_RXI_OR_ERI	不可能	SELSR0で可能（注1）（注2）	不可能
DTC	DTC_COMPLETE	不可能	SELSR0で可能（注1）（注3）	不可能
DOC	DOC_DOPCI	不可能	SELSR0で可能（注1）	不可能
CTSU	CTSU_CTSUFN	不可能	SELSR0で可能（注1）	不可能

注 1. 割り込み要求をスヌーズモードからの復帰トリガとして使用するには、この割り込み要求を SELSR0 で選択する必要があります。「14. 割り込みコントローラユニット（ICU）」を参照してください。SELSR0 で選択したトリガが、WFI 命令の実行後、通常モードからソフトウェアスタンバイモードへの遷移途中に発生した場合は、その要求が受け付けられる可能性はトリガ発生のタイミングに依存します。

注 2. SCI0_AM または SCI0_RXI_OR_ERI のいずれか一方のみ設定可能です。

注 3. SNZEDCR レジスタで許可されたイベントを使用してはいけません。



注1. WFI命令の実行後、プログラム停止状態へ遷移中に解除要因となるような割り込みが受け付けられると、MCUは低消費電力モードへ遷移せずに割り込み例外処理を実行します。
注2. リセット状態から通常モードへの遷移後は、MOCOクロックソースで動作します。
注3. スリープモード、スヌーズモードあるいはソフトウェアスタンバイモードから割り込みにより通常モードへ遷移します。クロックソースは低消費電力モードへ入る前のものと同一です。
注4. 有効な割り込み要求が発生すると、内部リセット（ディープソフトウェアスタンバイリセット）が一定時間発生します。内部リセットの解除とともにディープソフトウェアスタンバイモードが解除され、MCUは通常モードへ遷移し、MOCOを動作クロックソースとしてリセット例外処理を実行します。

図 11.1 モード遷移

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ（SBYCR）

アドレス SYSTEM.SBYCR 4001 E00Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	OPE	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	OPE	出力ポート許可	0：ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時、アドレスバスとバス制御信号をハイインピーダンス状態に設定。スヌーズモード時、アドレスバスとバス制御信号の状態はソフトウェアスタンバイモード遷移前と同じ 1：ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時、アドレスバスとバス制御信号の出力状態を保持	R/W
b15	SSBY	ソフトウェアスタンバイ	0：スリープモード 1：DPSBYCR.DPSBY = 0の場合、ソフトウェアスタンバイモード、DPSBYCR.DPSBY = 1の場合、ディープソフトウェアスタンバイモード	R/W

OPE ビット（出力ポート許可）

ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモード時に、アドレスバスとバス制御信号（SRAM の場合：[CS0 ～ CS7、RD、WR0 ～ WR1、WR、および BC0 ～ BC1]、SDRAM の場合：[SDCS、RAS、CAS、および WE]）の出力を保持するか、ハイインピーダンス状態にするかを選択します。

SSBY ビット（ソフトウェアスタンバイ）

WFI 命令実行後の遷移先を設定します。SSBY ビットが 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。なお、MCU が割り込みによってソフトウェアスタンバイモードを解除したときは、SSBY ビットは 1 のままです。0 を書き込むことにより、SSBY ビットをクリアできます。

OSTDCR.OSTDE ビットが 1 のときは、SSBY ビットは無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。

FENTRYR.FENTRYi ビット（i = 0 ～ 3）が 1、または FENTRYR.FENTRYD ビットが 1 の場合、SSBY ビットは無視されます。SSBY ビットが 1 であっても、WFI 命令を実行するとスリープモードへ遷移します。詳細は表 11.6 を参照してください。

HOCO クロックを使用してソフトウェアスタンバイモードへ遷移する場合、STCONR.STCON[1:0] ビットは 00b、HOCOWTCR.HSTS[2:0] ビットは 110b にする必要があります。ただし、スヌーズモードで SCI0 を使用する場合、HOCOWTCR.HSTS[2:0] ビットは 010b にする必要があります。

11.2.2 モジュールストップコントロールレジスタ A（MSTPCRA）

アドレス SYSTEM.MSTPCRA 4001 E01Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	MSTPA22	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	MSTPA7	MSTPA6	MSTPA5	—	—	—	MSTPA1	MSTPA0
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	1	1	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPA0	SRAM0モジュールストップ設定（注1）	対象モジュール：SRAM0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPA1	SRAM1モジュールストップ設定	対象モジュール：SRAM1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b4-b2	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPA5	高速SRAMモジュールストップ設定	対象モジュール：高速SRAM 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPA6	DED SRAMモジュールストップ設定（注1）	対象モジュール：DED SRAM 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPA7	スタンバイSRAMモジュールストップ設定	対象モジュール：スタンバイSRAM 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b21-b8	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPA22	DMAコントローラ／データトランスファコントローラモジュールストップ設定（注2）	対象モジュール：DMAC, DTC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b31-b23	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注 1. MSTPA0 ビットと MSTPA6 ビットの設定値は同じでなければいけません。
注 2. MSTPA22 ビットを 0 から 1 に書き換える場合、DMAC および DTC を無効にしてから MSTPA22 ビットを設定してください。

11.2.3 モジュールストップコントロールレジスタ B（MSTPCRB）

アドレス MSTP.MSTPCRB 4004 7000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPB31	MSTPB30	MSTPB29	MSTPB28	MSTPB27	MSTPB26	MSTPB25	MSTPB24	MSTPB23	MSTPB22	—	—	MSTPB19	MSTPB18	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	—	MSTPB9	MSTPB8	MSTPB7	MSTPB6	MSTPB5	—	—	MSTPB2	MSTPB1	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b1	MSTPB1	コントローラエリアネットワーク1モジュールストップ設定（注1）	対象モジュール：CAN1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPB2	コントローラエリアネットワーク0モジュールストップ設定（注1）	対象モジュール：CAN0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b4-b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPB5	IrDAモジュールストップ設定	対象モジュール：IrDA 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPB6	クワッドシリアルペリフェラルインタフェースモジュールストップ設定	対象モジュール：QSPI 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPB7	I²Cバスインタフェース2モジュールストップ設定	対象モジュール：IIC2 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPB8	I²Cバスインタフェース1モジュールストップ設定	対象モジュール：IIC1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPB9	I²Cバスインタフェース0モジュールストップ設定	対象モジュール：IIC0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b11	MSTPB11	ユニバーサルシリアルバス2.0 FSインタフェースモジュールストップ設定（注2）	対象モジュール：USBFS 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPB12	ユニバーサルシリアルバス2.0 HSインタフェースモジュールストップ設定	対象モジュール：USBHS 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPB13	EPTPCおよびPTPEDMACモジュールストップ設定（注3）	対象モジュール：EPTPCおよびPTPEDMAC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPB14	ETHERC1およびEDMAC1モジュールストップ設定	対象モジュール：ETHERC1およびEDMAC1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPB15	ETHERC0およびEDMAC0コントローラモジュールストップ設定	対象モジュール：ETHERC0, EDMAC0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b17-b16	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b18	MSTPB18	シリアルペリフェラルインタフェース1モジュールストップ設定	対象モジュール：SPI1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b19	MSTPB19	シリアルペリフェラルインタフェース0モジュールストップ設定	対象モジュール：SPI0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b21-b20	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPB22	シリアルコミュニケーションインタフェース9モジュールストップ設定	対象モジュール：SCI9 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b23	MSTPB23	シリアルコミュニケーションインタフェース8モジュールストップ設定	対象モジュール：SCI8 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPB24	シリアルコミュニケーションインタフェース7モジュールストップ設定	対象モジュール：SCI7 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPB25	シリアルコミュニケーションインタフェース6モジュールストップ設定	対象モジュール：SCI6 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定	対象モジュール：SCI5 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPB27	シリアルコミュニケーションインタフェース4モジュールストップ設定	対象モジュール：SCI4 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPB28	シリアルコミュニケーションインタフェース3モジュールストップ設定	対象モジュール：SCI3 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b29	MSTPB29	シリアルコミュニケーションインタフェース2モジュールストップ設定	対象モジュール：SCI2 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定	対象モジュール：SCI1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b31	MSTPB31	シリアルコミュニケーションインタフェース0モジュールストップ設定	対象モジュール：SCI0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

注 1. MSTPBi ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 CAN クロック（CANMCLK）が 2 サイクル経過してから WFI 命令を実行してください（i = 0 ～ 2）。

注 2. MSTPB11 ビットを書き換えた後、ソフトウェアスタンバイモードへ遷移するには、書き換え後 USB クロック（UCLK）が 2 サイクル経過してから WFI 命令を実行してください。

注 3. EPTPC および PTPEDMAC の動作が有効（MSTPB13 = 0）であっても、EPTPC モジュールの一部のレジスタは、MSTPB14 ビット、MSTPB15 ビット、および EPTPC バイパスビット（EPTPC_CFG.BYPASS.BYPASS[1:0] ビット）の設定値の組み合わせ次第でアクセスできなくなります。詳細は、「30. イーサネット PTP コントローラ（EPTPC）」を参照してください。

11.2.4 モジュールストップコントロールレジスタ C（MSTPCRC）

アドレス MSTP.MSTPCRC 4004 7004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSTPC31	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MSTPC14	MSTPC13	MSTPC12	MSTPC11	—	MSTPC9	MSTPC8	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0 （注1）	クロック周波数精度測定回路モジュールストップ設定	対象モジュール：CAC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b1	MSTPC1	巡回冗長検査演算器モジュールストップ設定	対象モジュール：CRC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b2	MSTPC2	パラレルデータキャプチャモジュールストップ設定	対象モジュール：PDC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPC3	静電容量式タッチセンシングユニットモジュールストップ設定	対象モジュール：CTSU 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b4	MSTPC4	グラフィックLCDコントローラモジュールストップ設定	対象モジュール：GLCDC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPC5	JPEGコーデックエンジンモジュールストップ設定	対象モジュール：JPEGコーデックエンジン 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPC6	2D描画エンジンモジュールストップ設定	対象モジュール：2D描画エンジン 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b7	MSTPC7	同期式シリアルインタフェース1モジュールストップ設定	対象モジュール：SSI1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b8	MSTPC8	同期式シリアルインタフェース0モジュールストップ設定	対象モジュール：SSI0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b9	MSTPC9	サンプリングレートコンバータモジュールストップ設定	対象モジュール：SRC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b10	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b11	MSTPC11	セキュアデジタルホストIF／マルチメディアカード1モジュールストップ設定	対象モジュール：SDHI/MMC1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b12	MSTPC12	セキュアデジタルホストIF／マルチメディアカード0モジュールストップ設定	対象モジュール：SDHI/MMC0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b13	MSTPC13	データ演算回路モジュールストップ設定	対象モジュール：DOC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b14	MSTPC14	イベントリンクコントローラモジュールストップ設定	対象モジュール：ELC 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b30-b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b31	MSTPC31	SCE7モジュールストップ設定	対象モジュール：SCE7 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

注 1. MSTPC0 ビットの書き換えは、このビットによって制御されるクロックの発振が安定しているときに行う必要があります。このビットを書き換えた後、ソフトウェアスタンバイモードへ遷移する場合は、発振器によって出力されるクロックのうち、最も遅いクロックが 2 サイクル経過してから WFI 命令を実行してください。

11.2.5 モジュールストップコントロールレジスタ D（MSTPCRD）

アドレス MSTP.MSTPCRD 4004 7008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPD28	MSTPD27	MSTPD26	MSTPD25	MSTPD24	MSTPD23	MSTPD22	—	MSTPD20	—	—	—	MSTPD16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPD15	MSTPD14	—	—	—	—	—	—	—	MSTPD6	MSTPD5	—	MSTPD3	MSTPD2	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	MSTPD2	非同期汎用タイマ1モジュールストップ設定（注1）	対象モジュール：AGT1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b3	MSTPD3	非同期汎用タイマ0モジュールストップ設定（注2）	対象モジュール：AGT0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b4	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	MSTPD5	汎用PWMタイマ32EH0～32EH3、32E4～32E7およびPWM遅延発生回路モジュールストップ設定	対象モジュール：GPT32EHx（x = 0～3）、GPT32Ey（y = 4～7）、PWM遅延発生回路 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b6	MSTPD6	汎用PWMタイマ328～3213モジュールストップ設定	対象モジュール：GPT32x（x = 8～13） 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b13-b7	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14	MSTPD14	GPT用ポートアウトプットイネーブルモジュールストップ設定	対象モジュール：POEG 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPD15	12ビットA/Dコンバータ1モジュールストップ設定	対象モジュール：ADC121 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b16	MSTPD16	12ビットA/Dコンバータ0モジュールストップ設定	対象モジュール：ADC120 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b19-b17	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b20	MSTPD20	12ビットD/Aコンバータモジュールストップ設定	対象モジュール：DAC12 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b21	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b22	MSTPD22	温度センサモジュールストップ設定	対象モジュール：TSN 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b23	MSTPD23	高速アナログコンパレータ5モジュールストップ設定	対象モジュール：ACMPHS5 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b24	MSTPD24	高速アナログコンパレータ4モジュールストップ設定	対象モジュール：ACMPHS4 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b25	MSTPD25	高速アナログコンパレータ3モジュールストップ設定	対象モジュール：ACMPHS3 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W

ビット	シンボル	ビット名	機能	R/W
b26	MSTPD26	高速アナログコンパレータ2モジュールストップ設定	対象モジュール：ACMPHS2 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b27	MSTPD27	高速アナログコンパレータ1モジュールストップ設定	対象モジュール：ACMPHS1 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b28	MSTPD28	高速アナログコンパレータ0モジュールストップ設定	対象モジュール：ACMPHS0 0：モジュールストップ状態を解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注 1. カウントソースがサブクロック発振器または LOCO の場合、MSTPD2 ビットを 1 にしても、AGT1 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT1 レジスタにアクセスする場合を除いて、このビットを 1 にする必要があります。

注 2. カウントソースがサブクロック発振器または LOCO の場合、MSTPD3 ビットを 1 にしても、AGT0 のカウントは停止しません。カウントソースがサブクロック発振器または LOCO の場合、AGT0 レジスタにアクセスする場合を除いて、このビットを 1 にする必要があります。

11.2.6 動作電力コントロールレジスタ（OPCCR）

アドレス SYSTEM.OPCCR 4001 E0A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OPCMTSF	—	—	OPCM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OPCM[1:0]	動作電力制御モード選択	b1 b0 0 0 : High-speedモード 1 1 : Low-speedモード 上記以外は設定しないでください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	OPCMTSF	動作電力制御モード遷移状態フラグ	• 読み出し 0：遷移完了 1：遷移中 • 書き込み 書く場合、0としてください。	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

OPCCR レジスタは、より低い動作周波数と動作電圧を指定することによって、通常モードおよびスリープモード時の消費電力を低減させるためのレジスタです。動作電力制御モードの変更手順については、11.5 低消費電力機能を参照してください。

ソフトウェアスタンバイモードから通常モードまたはスヌーズモードへ遷移する場合は、ソフトウェアスタンバイモード遷移前の設定値にかかわらず、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットの設定値は以下の通りです。

- OPCCR.OPCM[1:0] = 00b（High-speed モード）
- SOPCCR.SOPCM = 0（Subosc-speed モード以外）

ソフトウェアスタンバイモードへの遷移が完了する前にソフトウェアスタンバイモードが解除されると、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

OPCM[1:0] ビット（動作電力制御モード選択）

通常モードとスリープモード時の動作電力制御モードを選択します。表 11.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

動作電力制御モード切り替え時の切り替え制御状態を示します。このフラグは、OPCM[1:0] ビットへのライトアクセス時に 1 になり、モード遷移が完了すると 0 になります。本フラグが 0 であることを確認してから次の処理を行ってください。

11.2.7 サブ動作電力コントロールレジスタ（SOPCCR）

アドレス SYSTEM.SOPCCR 4001 E0AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SOPCMTSF	—	—	—	SOPCM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOPCM	サブ動作電力制御モード選択	0：Subosc-speed モード以外 1：Subosc-speed モード	R/W
b3-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	SOPCMTSF	サブ動作電力制御モード遷移状態フラグ	0：遷移完了 1：遷移中	R
b7-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SOPCCR レジスタは、Subosc-speed モードへの遷移とこのモードからの復帰によって、通常モードとスリープモード時の消費電力を低減させるためのレジスタです。Subosc-speed モードは、サブクロック発振器または分周なしの LOCO を使用した場合に限り利用可能です。

動作電力制御モードを切り替える場合は、FCACHEE.FCACHEEN を 0 にしてフラッシュキャッシュ機能を禁止にしてから行ってください。詳細は、「55. フラッシュメモリ」を参照してください。

動作電力制御モードの変更手順については、11.5 低消費電力機能を参照してください。

SOPCM ビット（サブ動作電力制御モード選択）

通常モードおよびスリープモード時の動作電力制御モードを選択します。このビットを 1 にすることで、Subosc-speed モードへ遷移できます。また、このビットを 0 にすることで、Subosc-speed モード遷移前の動作モード（OPCCR.OPCM[1:0] で設定された動作モード）へ復帰できます。

ソフトウェアスタンバイモードから通常モードまたはスヌーズモードへの遷移時は、ソフトウェアスタンバイモード遷移前の設定値にかかわらず、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットの設定値は以下の通りです。

- OPCCR.OPCM[1:0] = 00b（High-speed モード）
- SOPCCR.SOPCM = 0（Subosc-speed モード以外）

ソフトウェアスタンバイモードへの遷移が完了する前にソフトウェアスタンバイモードが解除されると、OPCCR.OPCM[1:0] ビットと SOPCCR.SOPCM ビットは、WFI 命令実行前の設定値を保持します。これによって問題が生じる場合は、ソフトウェアスタンバイモードを解除する際の例外処理手順において MCU を High-speed モードに設定してください。

表 11.4 は、各動作電力制御モードと、OPCM[1:0] ビットおよび SOPCM ビットの設定値との関係を示しています。

SOPCMTSF フラグ（サブ動作電力制御モード遷移状態フラグ）

動作電力制御モードを Subosc-speed モードへまたは Subosc-speed モードから切り替えたときの切り替え制御状態を示します。本フラグは、SOPCM ビットへのライトアクセス時に 1 になり、モード遷移が完了すると 0 になります。本フラグが 0 であることを確認してから処理を行ってください。

表 11.4 各動作電力制御モードと、OPCM[1:0] ビットおよびSOPCM ビットの設定値との関係

動作電力制御モード	OPCM[1:0] ビット	SOPCM ビット	消費電力
High-speed モード	00b	0	高 ↓ 低
Low-speed モード	11b	0	
Subosc-speed モード	00b, 11b	1	

注 . 動作周波数範囲と電圧範囲については、「60. 電気的特性」を参照してください。

High-speed モード

リセット解除後、MCU はこのモードで動作します。

Low-speed モード

Low-speed モードには下記の制限事項があります。

- フラッシュメモリに対するプログラム／イレース操作は禁止
- PLL は使用禁止。11.10.1 レジスタアクセスを参照してください。

このモードでは、同じ条件（動作周波数、動作電圧など）で同じ動作をさせる場合、High-speed モードよりも消費電力を低減できます。

Subosc-speed モード

Subosc-speed モードには下記の制限事項があります。

- フラッシュメモリに対するプログラム／イレース操作は禁止
- データフラッシュの読み出しは禁止
- MOSC、PLL、MOCO、HOCO は使用禁止。11.10.1 レジスタアクセスを参照してください。
- ICK または FCK に対して分周クロックは使用禁止。11.10.1 レジスタアクセスを参照してください。
- メインクロック発振器の発振停止検出機能は使用禁止

このモードでは、同じ条件（動作周波数、動作電圧など）で同じ動作をさせる場合、Low-speed モードよりも消費電力を低減できます。

11.2.8 スヌーズコントロールレジスタ（SNZCR）

アドレス SYSTEM.SNZCR 4001 E092h

	b7	b6	b5	b4	b3	b2	b1	b0
	SNZE	—	—	—	—	—	SNZDTCEN	RXDREQEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RXDREQEN	RXD0スヌーズ要求許可	0：ソフトウェアスタンバイモード時にRXD0の立ち下がりエッジを無視 1：ソフトウェアスタンバイモード時にRXD0の立ち下がりエッジを検出	R/W
b1	SNZDTCEN	スヌーズモード時のDTC許可	0：スヌーズモード時にDTC動作を禁止 1：スヌーズモード時にDTC動作を許可	R/W
b6-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SNZE	スヌーズモード許可	0：スヌーズモードを禁止 1：スヌーズモードを許可	R/W

RXDREQEN ビット（RXD0 スヌーズ要求許可）

ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジを検出するか否かを指定します。このビットは調歩同期式モード (SCI0) でのみ使用可能です。RXD0 端子の立ち下がりエッジを検出するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを設定してください。このビットが 1 の場合、ソフトウェアスタンバイモード時に RXD0 端子の立ち下がりエッジが検出されると、MCU はスヌーズモードへ遷移します。

SNZDTCEN ビット（スヌーズモード時の DTC 許可）

スヌーズモード時に DTC と SRAM を使用するか否かを指定します。スヌーズモードで DTC と SRAM を使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットが 1 の場合、IELSRn（ICU イベントリンク設定レジスタ n）を設定することで、DTC を起動することができます。

SNZE ビット（スヌーズモード許可）

ソフトウェアスタンバイモードからスヌーズモードへの遷移を許可または禁止します。スヌーズモードを使用するには、ソフトウェアスタンバイモードへ遷移する前に、このビットを 1 にしてください。このビットを 1 にすると、ソフトウェアスタンバイモード時に発生するいずれかのイベントトリガ（表 11.7 に示すもの）によって、MCU はスヌーズモードへ遷移します。ソフトウェアスタンバイモードまたはスヌーズモードから通常モードへ遷移した後、ソフトウェアスタンバイモードへ再遷移する場合は、あらかじめ SNZE ビットをいったんクリアしてから再設定してください。詳細は、11.8 スヌーズモードを参照してください。

11.2.9 スヌーズ終了コントロールレジスタ（SNZEDCR）

アドレス SYSTEM.SNZEDCR 4001 E094h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCI0UMTED	AD1UMTED	AD1MATED	AD0UMTED	AD0MATED	DTCNZRED	DTCZRED	AGTUNFED
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AGTUNFED	AGT1アンダーフロー時スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W
b1	DTCZRED	最後のDTC送信完了時スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W
b2	DTCNZRED	最後以外のDTC送信完了時スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W
b3	AD0MATED	ADコンペアマッチ0スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W
b4	AD0UMTED	ADコンペア不一致0スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W
b5	AD1MATED	ADコンペアマッチ1スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W
b6	AD1UMTED	ADコンペア不一致1スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W
b7	SCI0UMTED	SCI0アドレス不一致スヌーズ終了許可	0：スヌーズ終了要求を禁止 1：スヌーズ終了要求を許可	R/W

表 11.8 に示すトリガの 1 つをスヌーズモードからソフトウェアスタンバイモードへの切り替え条件として使用するには、SNZEDCR レジスタの対応するビットを 1 にしてください。表 11.3 に示したような、スヌーズモードから通常モードへ復帰させるためのイベントは、SNZEDCR レジスタで許可しないでください。

AGTUNFED ビット（AGT1 アンダーフロー時スヌーズ終了許可）

AGT1 アンダーフロー時のスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「25. 非同期汎用タイマ（AGT）」を参照してください。

DTCZRED ビット（最後の DTC 送信完了時スヌーズ終了許可）

最後の DTC 送信完了時（DTC の CRA または CRB レジスタが 0 のとき）のスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「18. データトランスファコントローラ（DTC）」を参照してください。

DTCNZRED ビット（最後以外の DTC 送信完了時スヌーズ終了許可）

各 DTC 送信完了時（DTC の CRA または CRB レジスタが 0 以外のとき）のスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「18. データトランスファコントローラ（DTC）」を参照してください。

AD0MATED ビット（AD コンペアマッチ 0 スヌーズ終了許可）

変換結果が期待値と一致した場合に、AD0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「47. 12 ビット A/D コンバータ（ADC12）」を参照してください。

AD0UMTED ビット（AD コンペア不一致 0 スヌーズ終了許可）

変換結果が期待値と一致しない場合に、AD0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「47. 12 ビット A/D コンバータ（ADC12）」を参照してください。

AD1MATED ビット（AD コンペアマッチ 1 スヌーズ終了許可）

変換結果が期待値と一致した場合に、AD1 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「47. 12 ビット A/D コンバータ（ADC12）」を参照してください。

AD1UMTED ビット（AD コンペア不一致 1 スヌーズ終了許可）

変換結果が期待値と一致しない場合に、AD1 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「47. 12 ビット A/D コンバータ（ADC12）」を参照してください。

SCI0UMTED ビット（SCI0 アドレス不一致スヌーズ終了許可）

ソフトウェアスタンバイモード時に受信したアドレスが期待値と一致しない場合に、SCI0 イベントによるスヌーズモードからソフトウェアスタンバイモードへの遷移を許可または禁止します。トリガ条件については、「34. シリアルコミュニケーションインタフェース（SCI）」を参照してください。このビットは調歩同期式モード (SCI0) の場合にのみ 1 にしてください。

11.2.10 スヌーズ要求コントロールレジスタ（SNZREQCR）

アドレス SYSTEM.SNZREQCR 4001 E098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	SNZREQEN30	SNZREQEN29	SNZREQEN28	—	—	SNZREQEN25	SNZREQEN24	—	SNZREQEN22	—	—	—	—	SNZREQEN17	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SNZREQEN15	SNZREQEN14	SNZREQEN13	SNZREQEN12	SNZREQEN11	SNZREQEN10	SNZREQEN9	SNZREQEN8	SNZREQEN7	SNZREQEN6	SNZREQEN5	SNZREQEN4	SNZREQEN3	SNZREQEN2	SNZREQEN1	SNZREQEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SNZREQEN0	スヌーズ要求許可0	IRQ0端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b1	SNZREQEN1	スヌーズ要求許可1	IRQ1端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b2	SNZREQEN2	スヌーズ要求許可2	IRQ2端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b3	SNZREQEN3	スヌーズ要求許可3	IRQ3端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b4	SNZREQEN4	スヌーズ要求許可4	IRQ4端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b5	SNZREQEN5	スヌーズ要求許可5	IRQ5端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b6	SNZREQEN6	スヌーズ要求許可6	IRQ6端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b7	SNZREQEN7	スヌーズ要求許可7	IRQ7端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b8	SNZREQEN8	スヌーズ要求許可8	IRQ8端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b9	SNZREQEN9	スヌーズ要求許可9	IRQ9端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b10	SNZREQEN10	スヌーズ要求許可10	IRQ10端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b11	SNZREQEN11	スヌーズ要求許可11	IRQ11端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b12	SNZREQEN12	スヌーズ要求許可12	IRQ12端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b13	SNZREQEN13	スヌーズ要求許可13	IRQ13端子のスヌーズ要求を許可 0：禁止 1：許可	R/W

ビット	シンボル	ビット名	機能	R/W
b14	SNZREQEN14	スヌーズ要求許可14	IRQ14端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b15	SNZREQEN15	スヌーズ要求許可15	IRQ15端子のスヌーズ要求を許可 0：禁止 1：許可	R/W
b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17	SNZREQEN17	スヌーズ要求許可17	キー割り込みのスヌーズ要求を許可 0：禁止 1：許可	R/W
b21-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	SNZREQEN22	スヌーズ要求許可22	ACMPHS0のスヌーズ要求を許可 0：禁止 1：許可	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	SNZREQEN24	スヌーズ要求許可24	RTCアラームのスヌーズ要求を許可 0：禁止 1：許可	R/W
b25	SNZREQEN25	スヌーズ要求許可25	RTC周期のスヌーズ要求を許可 0：禁止 1：許可	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	SNZREQEN28	スヌーズ要求許可28	AGT1アンダーフローのスヌーズ要求を許可 0：禁止 1：許可	R/W
b29	SNZREQEN29	スヌーズ要求許可29	AGT1コンペアマッチAのスヌーズ要求を許可 0：禁止 1：許可	R/W
b30	SNZREQEN30	スヌーズ要求許可30	AGT1コンペアマッチBのスヌーズ要求を許可 0：禁止 1：許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SNZREQCR レジスタは、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのトリガを制御します。WUPEN レジスタ（「14. 割り込みコントローラユニット（ICU）」を参照）において、トリガがソフトウェアスタンバイモードの解除要求として選択されている場合、SNZREQCR の対応するビットが 1 であっても、そのトリガが発生すると MCU は通常モードへ遷移します。WUPEN レジスタの設定値は、SNZREQCR レジスタの設定値よりも常に優先順位は高くなります。詳細は、11.8 スヌーズモードと「14. 割り込みコントローラユニット（ICU）」を参照してください。

11.2.11 ディープソフトウェアスタンバイコントロールレジスタ（DPSBYCR）

アドレス SYSTEM.DPSBYCR 4001 E400h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSBY	IOKEEP	—	—	—	—	DEEPCUT[1:0]	
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	DEEPCUT[1:0]	電源制御	b1 b0 0 0：ディープソフトウェアスタンバイモード時に、スタンバイSRAM、低速オンチップオシレータ、AGTn、およびUSBFS/USBHS レジューム検出部へ電源を供給する 0 1：ディープソフトウェアスタンバイモード時に、スタンバイSRAM、低速オンチップオシレータ、AGTn、およびUSBFS/USBHS レジューム検出部へ電源を供給しない 1 0：設定禁止 1 1：ディープソフトウェアスタンバイモード時に、スタンバイSRAM、低速オンチップオシレータ、AGTn、およびUSBFS/USBHS レジューム検出部へ電源を供給しない。さらに、LVD を無効にし、パワーオンリセット回路の低消費電力機能を有効にする	R/W
b5-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IOKEEP	I/Oポート保持	0：ディープソフトウェアスタンバイモード解除時に、I/Oポートをリセット状態にクリア 1：ディープソフトウェアスタンバイモード解除時に、I/Oポートをディープソフトウェアスタンバイモード時と同じ状態に保持	R/W
b7	DPSBY	ディープソフトウェアスタンバイ	0：スリープモード（SBYCR.SSBY = 0）またはソフトウェアスタンバイモード（SBYCR.SSBY = 1） 1：スリープモード（SBYCR.SSBY = 0）またはディープソフトウェアスタンバイモード（SBYCR.SSBY = 1）	R/W

DPSBYCR レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

DEEPCUT[1:0] ビット（電源制御）

ディープソフトウェアスタンバイモード時に、スタンバイ SRAM、低速オンチップオシレータ、AGTn、および USBFS/USBHS レジューム検出部へ供給する内部電源を制御します。さらに、ディープソフトウェアスタンバイモード時に、LVD とパワーオンリセット回路の状態を制御します。ディープソフトウェアスタンバイモードの解除要因として USBFS/HS サスペンド／レジューム割り込みを使用する場合、DEEPCUT[1:0] ビットを 00b にする必要があります。また、ディープソフトウェアスタンバイモード時に LVD 割り込みを使用する場合は、DEEPCUT[1:0] ビットを 00b または 01b にする必要があります。

消費電力を低減させるため、LVD を停止させて、パワーオンリセット回路の低消費電力モード機能を有効にするには、DEEPCUT[1:0] ビットを 11b にしてください。DEEPCUT[1:0] ビットの設定値にかかわらず、ディープソフトウェアスタンバイモード時には SRAM の内部電源供給は停止します。

IOKEEP ビット（I/O ポート保持）

ディープソフトウェアスタンバイモード時に、I/O ポートはソフトウェアスタンバイモード時と同じ状態を維持します。IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除後、I/O ポートの状態をリセットするか否かを指定します。

DPSBY ビット（ディープソフトウェアスタンバイ）

ディープソフトウェアスタンバイモードへの遷移を制御します。詳細は表 11.6 を参照してください。

SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットがともに 1 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードを経由してディープソフトウェアスタンバイモードへ遷移します。

外部端子割り込みの発生元となる一部の端子（NMI および IRQ0-DS ～ IRQ15-DS）、または周辺機能割り込み（RTC アラーム、RTC 周期、USB サスペンド／レジューム、電圧監視 1、電圧監視 2）によってディープソフトウェアスタンバイモードを解除したときは、DPSBY ビットは 1 のままです。このビットを 0 にするには、0 を書いてください。

OFS0.IWDTSTPCTL ビットが 0（カウント継続）の場合、OFS0.IWDTSTRT ビットまたは DPSBYCR.DPSBY ビットの設定値にかかわらず、DPSBY ビットの設定値は無効です。SBYCR.SSBY ビットと DPSBY ビットが 1 であっても、WFI 命令実行後はソフトウェアスタンバイモードへ遷移します。

また、電圧監視 1 リセットが許可（LVD1CR0.RI = 1）になっている場合、あるいは電圧監視 2 リセットが許可（LVD2CR0.RI = 1）になっている場合も、DPSBY ビットの設定値は無効です。SBYCR.SSBY ビットと DPSBY ビットが 1 であっても、WFI 命令を実行すると MCU はソフトウェアスタンバイモードへ遷移します。

11.2.12 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 0（DPSIER0）

アドレス SYSTEM.DPSIER0 4001 E402h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7E	DIRQ6E	DIRQ5E	DIRQ4E	DIRQ3E	DIRQ2E	DIRQ1E	DIRQ0E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0E	IRQ0-DS端子許可	IRQ0-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b1	DIRQ1E	IRQ1-DS端子許可	IRQ1-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b2	DIRQ2E	IRQ2-DS端子許可	IRQ2-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b3	DIRQ3E	IRQ3-DS端子許可	IRQ3-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b4	DIRQ4E	IRQ4-DS端子許可	IRQ4-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b5	DIRQ5E	IRQ5-DS端子許可	IRQ5-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b6	DIRQ6E	IRQ6-DS端子許可	IRQ6-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b7	DIRQ7E	IRQ7-DS端子許可	IRQ7-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W

DPSIER0 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。なお、DPSIER0 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、DPSIFR0 レジスタの対応するビット値が 1 になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR0 レジスタを 0 にしてください。

11.2.13 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 1（DPSIER1）

アドレス SYSTEM.DPSIER1 4001 E403h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15E	DIRQ14E	DIRQ13E	DIRQ12E	DIRQ11E	DIRQ10E	DIRQ9E	DIRQ8E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8E	IRQ8-DS端子許可	IRQ8-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b1	DIRQ9E	IRQ9-DS端子許可	IRQ9-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b2	DIRQ10E	IRQ10-DS端子許可	IRQ10-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b3	DIRQ11E	IRQ11-DS端子許可	IRQ11-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b4	DIRQ12E	IRQ12-DS端子許可	IRQ12-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b5	DIRQ13E	IRQ13-DS端子許可	IRQ13-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b6	DIRQ14E	IRQ14-DS端子許可	IRQ14-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b7	DIRQ15E	IRQ15-DS端子許可	IRQ15-DS端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W

DPSIER1 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。なお、DPSIER1 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、DPSIFR1 レジスタの対応するビット値が 1 になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR1 レジスタを 0 にしてください。

11.2.14 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 2（DPSIER2）

アドレス SYSTEM.DPSIER2 4001 E404h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIE	DRTCAIE	DRTCIIE	DLVD2IE	DLVD1IE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IE	LVD1ディープソフトウェアスタンバイ解除信号許可	電圧監視1信号によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b1	DLVD2IE	LVD2ディープソフトウェアスタンバイ解除信号許可	電圧監視2信号によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b2	DRTCIIE	RTC周期割り込みディープソフトウェアスタンバイ解除信号許可	RTC周期割り込み信号によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b3	DRTCAIE	RTCアラーム割り込みディープソフトウェアスタンバイ解除信号許可	RTCアラーム割り込み信号によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b4	DNMIE	NMI端子許可	NMI端子によるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W （注1）
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 一度だけ 1 を書くことができます。以後のライトアクセスは無効です。

DPSIER2 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。なお、DPSIER2 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、DPSIFR2 レジスタの対応するビット値が 1 になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR2 レジスタを 0 にしてください。

11.2.15 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ 3（DPSIER3）

アドレス SYSTEM.DPSIER3 4001 E405h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DAGT1IE	DUSBHSIE	DUSBFSIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DUSBFSIE	USBFSサスペンド／レジュームディープソフトウェアスタンバイ解除信号許可	USBFSサスペンド／レジュームによるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b1	DUSBHSIE	USBHSサスペンド／レジュームディープソフトウェアスタンバイ解除信号許可	USBHSサスペンド／レジュームによるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b2	DAGT1IE	AGT1アンダーフローディープソフトウェアスタンバイ解除信号許可	AGT1アンダーフローによるディープソフトウェアスタンバイモードの解除を許可 0：禁止 1：許可	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DPSIER3 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。なお、DPSIER3 レジスタの設定を変更すると、対応する端子の状態によっては内部的にエッジが発生し、DPSIFR3 レジスタの対応するビット値が 1 になる可能性があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR3 レジスタを 0 にしてください。

11.2.16 ディープソフトウェアスタンバイ割り込みフラグレジスタ 0（DPSIFR0）

アドレス SYSTEM.DPSIFR0 4001 E406h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7F	DIRQ6F	DIRQ5F	DIRQ4F	DIRQ3F	DIRQ2F	DIRQ1F	DIRQ0F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0F	IRQ0-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ0-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）
b1	DIRQ1F	IRQ1-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ1-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）
b2	DIRQ2F	IRQ2-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ2-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）
b3	DIRQ3F	IRQ3-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ3-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）
b4	DIRQ4F	IRQ4-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ4-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）
b5	DIRQ5F	IRQ5-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ5-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）
b6	DIRQ6F	IRQ6-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ6-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）
b7	DIRQ7F	IRQ7-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ7-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R/(W)（注1）

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

DPSIEGR0 レジスタで設定した該当の解除要求が発生すると、DPSIFR0 レジスタのフラグが 1 になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すると 1 になる場合があります。また、DPSIER0 レジスタの設定を変更しても 1 になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR0 レジスタを 00h にしてください。

DPSIER0 レジスタの設定変更後に DPSIFR0 レジスタを 00h にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR0 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER0 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。DPSIFR0 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）（n = 0 ～ 7）

IRQn-DS 端子による解除要求が発生したことを示します。

［1 になる条件］

- DPSIEGR0 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

11.2.17 ディープソフトウェアスタンバイ割り込みフラグレジスタ 1（DPSIFR1）

アドレス SYSTEM.DPSIFR1 4001 E407h

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15F	DIRQ14F	DIRQ13F	DIRQ12F	DIRQ11F	DIRQ10F	DIRQ9F	DIRQ8F
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8F	IRQ8-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ8-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b1	DIRQ9F	IRQ9-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ9-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b2	DIRQ10F	IRQ10-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ10-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b3	DIRQ11F	IRQ11-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ11-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b4	DIRQ12F	IRQ12-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ12-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b5	DIRQ13F	IRQ13-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ13-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b6	DIRQ14F	IRQ14-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ14-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b7	DIRQ15F	IRQ15-DS端子ディープソフトウェアスタンバイ解除フラグ	IRQ15-DS端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

DPSIEGR1 レジスタで設定した対応する解除要求が発生すると、DPSIFR1 レジスタのフラグが 1 になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すると 1 になる場合があります。また、DPSIER1 レジスタの設定を変更しても 1 になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR1 レジスタを 00h にしてください。

DPSIER1 レジスタの設定変更後に DPSIFR1 レジスタを 00h にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR1 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER1 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。DPSIFR1 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

DIRQnF フラグ（IRQn-DS 端子ディープソフトウェアスタンバイ解除フラグ）（n = 8 ～ 15）

IRQn-DS 端子による解除要求が発生したことを示します。

［1 になる条件］

- DPSIEGR1 レジスタで選択した IRQn-DS 端子による解除要求が発生したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

11.2.18 ディープソフトウェアスタンバイ割り込みフラグレジスタ 2（DPSIFR2）

アドレス SYSTEM.DPSIFR2 4001 E408h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIF	DRTCAIF	DRTCIIF	DLVD2IF	DLVD1IF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1IF	LVD1ディープソフトウェアスタンバイ解除フラグ	電圧監視1信号によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W) （注1）
b1	DLVD2IF	LVD2ディープソフトウェアスタンバイ解除フラグ	電圧監視2信号によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W) （注1）
b2	DRTCIIF	RTC周期割り込みディープソフトウェアスタンバイ解除フラグ	RTC周期割り込み信号によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W) （注1）
b3	DRTCAIF	RTCアラーム割り込みディープソフトウェアスタンバイ解除フラグ	RTCアラーム割り込み信号によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W) （注1）
b4	DNMIF	NMIディープソフトウェアスタンバイ解除フラグ	NMI端子によるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W) （注1）
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

DPSIEGR2 レジスタで設定した対応する解除要求が発生すると、DPSIFR2 レジスタのフラグが 1 になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば 1 になる場合があります。また、DPSIER2 レジスタの設定を変更しても 1 になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR2 レジスタを 00h にしてください。

DPSIER2 レジスタの設定変更後に DPSIFR2 レジスタを 00h にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR2 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER2 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。DPSIFR2 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

DLVDmIF フラグ（LVDm ディープソフトウェアスタンバイ解除フラグ）（m = 1, 2）

電圧監視 m 信号による解除要求が発生したことを示します。

[1 になる条件]

- DPSIEGR2 レジスタで選択した電圧監視 m 信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DRTCIIF フラグ（RTC 周期割り込みディープソフトウェアスタンバイ解除フラグ）

RTC 周期割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

- RTC 周期割り込み信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DRTCAIF フラグ（RTC アラーム割り込みディープソフトウェアスタンバイ解除フラグ）

RTC アラーム割り込み信号による解除要求が発生したことを示します。

[1 になる条件]

- RTC アラーム割り込み信号による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

DNMIF フラグ（NMI ディープソフトウェアスタンバイ解除フラグ）

NMI 端子による解除要求が発生したことを示します。

[1 になる条件]

- DPSIEGR2 レジスタで設定した NMI 端子による解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

11.2.19 ディープソフトウェアスタンバイ割り込みフラグレジスタ 3（DPSIFR3）

アドレス SYSTEM.DPSIFR3 4001 E409h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	DAGT1IF	DUSBHSIF	DUSBFSIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DUSBFSIF	USBFSサスペンド／レジューム ディープソフトウェアスタンバイ解除フラグ	USBFSのサスペンド／レジュームによるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b1	DUSBHSIF	USBHSサスペンド／レジューム ディープソフトウェアスタンバイ解除フラグ	USBHSのサスペンド／レジュームによるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b2	DAGT1IF	AGT1アンダーフローディープソフトウェアスタンバイ解除フラグ	AGT1アンダーフローによるディープソフトウェアスタンバイモード解除要求の発生を示します。 0：要求の発生なし 1：要求の発生あり	R(/W)（注1）
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

対応する解除要求が発生すると、DPSIFR3 レジスタのフラグが 1 になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば 1 になる場合があります。また、DPSIER3 レジスタの設定を変更しても 1 になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DPSIFR3 レジスタを 00h にしてください。

DPSIER3 レジスタの設定変更後に DPSIFR3 レジスタを 00h にする場合は、PCLKB が 6 サイクル以上経過してから、DPSIFR3 レジスタを読んだ後、0 を書いてください。たとえば、DPSIER3 レジスタを読むことによって、PCLKB の 6 サイクル以上が確保されます。DPSIFR3 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、「6. リセット」を参照してください。

DUSBFSIF フラグ（USBFS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ）

USBFS のサスペンド／レジュームによる解除要求が発生したことを示します。

［1 になる条件］

- USBFS のサスペンド／レジュームによる解除要求が発生したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

DUSBHSIF フラグ（USBHS サスペンド／レジュームディープソフトウェアスタンバイ解除フラグ）

USBHS のサスペンド／レジュームによる解除要求が発生したことを示します。

［1 になる条件］

- USBHS のサスペンド／レジュームによる解除要求が発生したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

DAGT1IF フラグ（AGT1 アンダーフローディープソフトウェアスタンバイ解除フラグ）

AGT1 アンダーフローによる解除要求が発生したことを示します。

[1 になる条件]

- AGT1 アンダーフローによる解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

11.2.20 ディープソフトウェアスタンバイ割り込みエッジレジスタ 0（DPSIEGR0）

アドレス SYSTEM.DPSIEGR0 4001 E40Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ7EG	DIRQ6EG	DIRQ5EG	DIRQ4EG	DIRQ3EG	DIRQ2EG	DIRQ1EG	DIRQ0EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ0EG	IRQ0-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ1EG	IRQ1-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ2EG	IRQ2-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ3EG	IRQ3-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ4EG	IRQ4-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ5EG	IRQ5-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ6EG	IRQ6-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ7EG	IRQ7-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W

DPSIEGR0 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

11.2.21 ディープソフトウェアスタンバイ割り込みエッジレジスタ 1（DPSIEGR1）

アドレス SYSTEM.DPSIEGR1 4001 E40Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	DIRQ15EG	DIRQ14EG	DIRQ13EG	DIRQ12EG	DIRQ11EG	DIRQ10EG	DIRQ9EG	DIRQ8EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DIRQ8EG	IRQ8-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b1	DIRQ9EG	IRQ9-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b2	DIRQ10EG	IRQ10-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b3	DIRQ11EG	IRQ11-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b4	DIRQ12EG	IRQ12-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b5	DIRQ13EG	IRQ13-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b6	DIRQ14EG	IRQ14-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7	DIRQ15EG	IRQ15-DS端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W

DPSIEGR1 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

11.2.22 ディープソフトウェアスタンバイ割り込みエッジレジスタ 2（DPSIEGR2）

アドレス SYSTEM.DPSIEGR2 4001 E40Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DNMIEG	—	—	DLVD2EG	DLVD1EG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLVD1EG	LVD1エッジ選択	0：VCC＜Vdet1（下降）検出時に解除要求を発生 1：VCC≧Vdet1（上昇）検出時に解除要求を発生	R/W
b1	DLVD2EG	LVD2エッジ選択	0：VCC＜Vdet2（下降）検出時に解除要求を発生 1：VCC≧Vdet2（上昇）検出時に解除要求を発生	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DNMIEG	NMI端子エッジ選択	0：立ち下がりエッジで解除要求を発生 1：立ち上がりエッジで解除要求を発生	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DPSIEGR2 レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。詳細は、表 6.2 リセット要因ごとの初期化対象リセット検出フラグを参照してください。

11.2.23 システムコントロール OCD コントロールレジスタ（SYOCDCR）

アドレス SYSTEM.SYOCDCR 4001 E40Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	DBGEN	—	—	—	—	—	—	DOCDF
リセット後の値	0	0	0	0	0	0	0	x

ビット	シンボル	ビット名	機能	R/W
b0	DOCDF	ディープソフトウェアスタンバイ OCD フラグ	MCUCTRL.DBIRQ ビットによる解除要求を示します。 0：DBIRQ の発生なし 1：DBIRQ の発生あり	R/(W)（注 1）
b6-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	DBGEN	デバッガ有効	0：オンチップデバッガは無効 1：オンチップデバッガは有効 オンチップデバッグモードで最初に 1 にしてください。	R/W

注 1. 0 を書くとフラグが 0 になります。1 の書き込みは無視されます。

SYOCDCR レジスタは、ディープソフトウェアスタンバイモードを解除する内部リセット信号では初期化されません。

DOCDF フラグ（ディープソフトウェアスタンバイ OCD フラグ）

MCUCTRL.DBIRQ ビットによる解除要求が発生したことを示します。解除要求が発生したときに 1 になります。ディープソフトウェアスタンバイモードではない状態でも、解除要求が発生すれば 1 になる場合があります。ディープソフトウェアスタンバイモードへ遷移する前に、DOCDF フラグを 0 にしてください。

[1 になる条件]

- MCUCTRL.DBIRQ ビットによる解除要求が発生したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- DBGEN ビットが 0 のとき

DBGEN ビット（デバッガ有効）

オンチップデバッガモードを有効にします。このビットは、オンチップデバッグモードで最初に 1 にする必要があります。

[1 になる条件]

- デバッガの接続時に 1 を書いたとき

[0 になる条件]

- パワーオンリセットが発生したとき
- 0 を書いたとき

11.2.24 スタンバイ条件レジスタ（STCONR）

アドレス SYSTEM.STCONR 4001 E40Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	STCON 1	STCON 0
リセット後の値	1	1	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	STCON[1:0]	SSTBY条件	b1 b0 0 0：HOCO使用時にソフトウェアスタンバイモードへ遷移する 1 1：HOCO不使用時にソフトウェアスタンバイモードへ遷移する	R/W
b5-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

STCON[1:0] ビット（SSTBY 条件）

HOCO クロックの使用時にソフトウェアスタンバイモードへ遷移するには、STCON[1:0] ビットを常に 00b にする必要があります。

11.3 クロックの切り替えによる消費電力の低減

SCKDIVCR.FCK[2:0]、ICK[2:0]、BCK[2:0]、PCKA[2:0]、PCKB[2:0]、PCKC[2:0]、PCKD[2:0] の各ビットを設定すると、クロック周波数が切り替わります。モジュールとクロックの対応関係は以下の通りです。

- CPU、DMAC、DTC、フラッシュ、および SRAM は、ICK[2:0] ビットで設定された動作クロックを使用
- 周辺モジュールは、PCKA[2:0]、PCKB[2:0]、PCKC[2:0]、PCKD[2:0] の各ビットで設定された動作クロックを使用
- フラッシュメモリインタフェースは、FCK[2:0] ビットで設定された動作クロックを使用
- 外部バスは、BCK[2:0] ビットで設定された動作クロックを使用

詳細は、「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。MSTPCRA ～ MSTPCRD レジスタの MSTPmi ビット（m = A ～ D、i = 31 ～ 0）を 1 にすると、指定したモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は動作を継続します。MSTPmi ビットを 0 にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュール内部の状態が保持されます。

リセット解除後は、DMAC、DTC、および SRAM モジュール以外の全モジュールがモジュールストップ状態になります。MSTPmi ビットが 1 であるときは、対応するモジュールにアクセスしないでください。そうでないと、そのモジュールに対するデータの読み出し／書き込みやモジュールの動作は保証されません。また、対応するモジュールにアクセス中であるときは、MSTPmi ビットを 1 にしないでください。

11.5 低消費電力機能

所定の動作周波数と動作電圧に合わせて適切な動作電力モードを選択することにより、通常モード時、スリープモード時、およびスヌーズモード時の消費電力を削減できます。

11.5.1 動作電力制御モードの設定方法

動作電力制御モードを切り替える場合は、その前後において、電圧範囲や周波数範囲などの動作条件が仕様範囲内に収まっていることを必ず確認してください。動作電力制御モードの切り替え手順例を以下に示します。

表 11.5 各モードで利用可能な発振器

モード	発振器						
	PLL	高速オンチップオシレータ	中速オンチップオシレータ	低速オンチップオシレータ	メインクロック発振器	サブクロック発振器	IWDT専用オンチップオシレータ
High-speed	可能	可能	可能	可能	可能	可能	可能
Low-speed	不可能	可能	可能	可能	可能	可能	可能
Subosc-speed	不可能	不可能	不可能	可能	不可能	可能	可能

(1) 消費電力が大きいモードから小さいモードへ切り替える場合

例 1：High-speed モードから Low-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. 発振器を Low-speed モードで使用するものに変更する。各クロックの周波数を、Low-speed モードにおける最大動作周波数未満とする。

2. Low-speed モードで不要な発振器をオフにする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. OPCCR.OPCM[1:0] ビットを 11b（Low-speed モード）にする。
5. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。

   動作は Low-speed モードになります。

例 2：High-speed モードから Subosc-speed モードへの切り替え

最初は High-speed モードで動作しています。

1. High-speed モードにおいてフラッシュキャッシュがキャッシャブルのときに、FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止する。
2. クロックソースをサブクロック発振器に変更する。HOCO、MOCO、LOCO、メイン発振器、および PLL をオフにする。
3. サブクロック発振器以外の全クロックソースが停止していることを確認する。
4. FLWT.FLWT[2:0] ビットを 000b にする。
5. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
6. SOPCCR.SOPCM ビットを 1（Subosc-speed モード）にする。
7. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
8. Subosc-speed モードにおいてフラッシュキャッシュがキャッシャブルのときに、以下の手順を行う。

   a. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートする。

   b. FCACHEIV.FCACHEIV が 0 であることを確認する。

   c. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可する。

   動作は Subosc-speed モードになります。

(2) 消費電力が小さいモードから大きいモードへ切り替える場合

例 1：Subosc-speed モードから High-speed モードへの切り替え

最初は Subosc-speed モードで動作しています。

1. Subosc-speed モードにおいてフラッシュキャッシュがキャッシャブルのときに、FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止する。
2. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
3. SOPCCR.SOPCM ビットを 0（High-speed モード）にする。
4. SOPCCR.SOPCMTSF フラグが 0（遷移完了）であることを確認する。
5. FLWT.FLWT[2:0] を設定してクロック周波数に対して適切なウェイトサイクルを設定する。
6. High-speed モードで必要な発振器をオンにする。
7. 各クロックの周波数を、High-speed または Low-speed モードにおける最大動作周波数未満とする。
8. High-speed モードにおいてフラッシュキャッシュがキャッシャブルのときに、以下の手順を行う。

   a. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートする。

   b. FCACHEIV.FCACHEIV が 0 であることを確認する。

   c. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可する。

   動作は High-speed モードになります。

例 2：Low-speed モードから High-speed モードへの切り替え

最初は Low-speed モードで動作しています。

1. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
2. OPCCR.OPCM[1:0] ビットを 00b（High-speed モード）にする。
3. OPCCR.OPCMTSF フラグが 0（遷移完了）であることを確認する。
4. High-speed モードで必要なすべての発振器をオンにする。
5. 各クロックの周波数を、High-speed モードにおける最大動作周波数未満とする。

動作は High-speed モードになります。

11.6 スリープモード

11.6.1 スリープモードへの遷移

SBYCR.SSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はスリープモードへ遷移します。スリープモードでは、CPU は動作を停止しますが、CPU の内部レジスタの値は保持されます。CPU 以外の周辺機能は停止しません。スリープモードで利用可能なリセットまたは割り込みが発生すると、スリープモードが解除されます。すべての割り込み要因が利用可能です。割り込みを使用してスリープモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がスリープモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がスリープモードへ遷移しても IWDT はカウントを継続します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 1（スリープモード時に WDT カウント停止）の場合、MCU がスリープモードへ遷移すると WDT はカウントを停止します。

WDT がオートスタートモードであり、かつ OFS0.WDTSTPCTL ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。同様に、WDT がレジスタスタートモードであり、かつ WDTCSTPR.SLCSTP ビットが 0（スリープモード時に WDT カウント継続）の場合、MCU がスリープモードへ遷移しても WDT はカウントを継続します。

11.6.2 スリープモードの解除

スリープモードは、すべての割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、SRAM パリティエラーリセット、SRAM DED エラーリセット、バスマスタ MPU エラーリセット、バススレーブ MPU エラーリセット、あるいは、IWDT または WDT アンダーフローによるリセットによって解除されます。動作は以下の通りです。

- 割り込みによる解除
  利用可能な割り込み要求（表 11.3 を参照）が発生すると、スリープモードが解除されて、MCU は割り込み処理を開始します。
- RES 端子リセットによる解除
  RES 端子を Low にすると、MCU はリセット状態になります。「60. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つ必要があります。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
- IWDT リセットによる解除
  IWDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。下記の条件下では、スリープモード時に IWDT が停止して、スリープモードを解除するための内部リセットが発生しません。
  - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
- WDT リセットによる解除
  WDT アンダーフローによる内部リセットが発生すると、スリープモードが解除されて、MCU はリセット例外処理を開始します。下記の条件下では、通常モード時にカウントしている場合でもスリープモードで WDT は停止して、スリープモードを解除するための内部リセットが発生しません。
  - OFS0.WDTSTRT = 0（オートスタートモード）かつ OFS0.WDTSTPCTL = 1
  - OFS0.WDTSTRT = 1（レジスタスタートモード）かつ WDTCSTPR.SLCSTP = 1

- スリープモードで利用可能な他のリセットによる解除
  対応するリセットによってスリープモードは解除され、MCU はリセット例外処理を開始します。

注 . 割り込みの正しい設定方法については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

11.7 ソフトウェアスタンバイモード

11.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1、かつ DPSBYCR.DPSBY ビットが 0 の状態で WFI 命令を実行すると、MCU はソフトウェアスタンバイモードへ遷移します。このモードでは、CPU、ほとんどの内蔵周辺機能、および発振器が停止します。ただし、CPU の内部レジスタの値と SRAM データ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、ほとんどの発振器が停止するため、消費電力が大幅に削減されます。表 11.2 に、内蔵周辺機能と発振器の状態を示します。ソフトウェアスタンバイモードで利用可能なリセットまたは割り込みが発生すると、ソフトウェアスタンバイモードが解除されます。利用可能な割り込み要因については表 11.3 を、ソフトウェアスタンバイモードからの復帰については、14.2.9 ウェイクアップ割り込みイネーブルレジスタ（WUPEN）を参照してください。割り込みを使用してソフトウェアスタンバイモードを解除する場合、WFI 命令の実行前に、対応する IELSRn レジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

ソフトウェアスタンバイモード時のアドレスバスとバス制御信号の状態は、SBYCR.OPE ビットで選択可能です。

スヌーズモード時に DTC を使用する場合を除き、DMAST.DMST ビットと DTCST.DTCST ビットを 0 にしてから WFI 命令を実行してください。スヌーズモード時に DTC が必要な場合は、DTCST.DTCST ビットを 1 にしてから WFI 命令を実行してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント停止）の場合、MCU がソフトウェアスタンバイモードへ遷移すると IWDT はカウントを停止します。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 0（スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード時に IWDT カウント継続）の場合、MCU がソフトウェアスタンバイモードへ遷移しても IWDT はカウントを継続します。

MCU がソフトウェアスタンバイモードへ遷移すると、WDT はカウントを停止します。

OSTDCR.OSTDE が 1（発振停止検出機能が有効）の状態で、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、発振停止検出機能を無効（OSTDCR.OSTDE を 0）にした後、WFI 命令を実行してください。OSTDCR.OSTDE が 1 の状態で WFI 命令を実行すると、SBYCR.SSBY が 1 であっても、MCU はスリープモードへ遷移します。フラッシュメモリのプログラム／イレース処理中は、ソフトウェアスタンバイモードへ遷移しないでください。ソフトウェアスタンバイモードへ遷移する場合は、プログラム／イレース処理が完了してから WFI 命令を実行してください。

表 11.6 に、関連する制御ビットの設定値と、WFI 命令実行時に遷移するモードを示します。

表 11.6 WFI命令実行時のモードに影響を与えるビット設定

他のビットの設定値		SBYCR.SSBYビットとDPSBYCR.DPSBYビットの設定値			
		SSBY = 0, DPSBY = 0	SSBY = 0, DPSBY = 1	SSBY = 1, DPSBY = 0	SSBY = 1, DPSBY = 1
OSTDCR.OSTDE	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1			スリープモード	スリープモード
FENTRYR.FENTRYi	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1			スリープモード	スリープモード
OFS0.IWDTSTPCTL	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ソフトウェアスタンバイモード
	1				ディープソフトウェアスタンバイモード
LVD1CR0.RI	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1				ソフトウェアスタンバイモード
LVD2CR0.RI	0	スリープモード	スリープモード	ソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード
	1				ソフトウェアスタンバイモード

11.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、表 11.3 に示す割り込み、RES 端子リセット、パワーオンリセット、電圧監視リセット、または IWDT アンダーフローによるリセットによって解除されます。ソフトウェアスタンバイモードが解除されると、ソフトウェアスタンバイモードへ遷移する前に動作していた発振器が動作を再開します。これらすべての発振器が安定してから、MCU はソフトウェアスタンバイモードを解除します。ソフトウェアスタンバイモードからの復帰については、14.2.9 ウェイクアップ割り込みイネーブルレジスタ（WUPEN）を参照してください。

以下の方法のいずれかによって、ソフトウェアスタンバイモードを解除できます。

- 割り込みによる解除
  利用可能な割り込み要求（表 11.3 を参照）が発生すると、ソフトウェアスタンバイモードへ遷移する前に動作していたすべての発振器が動作を再開します。これらすべての発振器が安定してから、MCU はソフトウェアスタンバイモードを解除して、割り込み処理を開始します。
- RES 端子リセットによる解除
  RES 端子を Low にすると、MCU はリセット状態に遷移し、発振器はデフォルト状態で動作を開始します。「60. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
- IWDT リセットによる解除
  IWDT アンダーフローによる内部リセットが発生すると、ソフトウェアスタンバイモードが解除されて、MCU はリセット例外処理を開始します。下記の条件下では、ソフトウェアスタンバイモード時に IWDT が停止して、ソフトウェアスタンバイモードを解除するための内部リセットが発生しません。
  - OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSTPCTL = 1
- ソフトウェアスタンバイモードで利用可能な他のリセットによる解除
  対応するリセットによってソフトウェアスタンバイモードは解除され、MCU はリセット例外処理を開始します。

11.7.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がりエッジ検出時のソフトウェアスタンバイモードへの遷移と、IRQn 端子の立ち上がりエッジ検出時のソフトウェアスタンバイモードの解除の例を図 11.2 に示します。この例では、通常モードにおいて ICU の IRQCRi.IRQMD[1:0] ビットが 01b（立ち下がりエッジ）のとき、IRQn 端子割り込みを受け付けた後、このビットを 10b（立ち上がりエッジ）にしています。続いて、SBYCR.SSBY ビットを 1 にして、WFI 命令を実行しています。ソフトウェアスタンバイモードへの遷移が完了し、その後、IRQn 端子の立ち上がりエッジによってソフトウェアスタンバイモードが解除されます。

ソフトウェアスタンバイモードからの復帰には、ICU の設定も必要になります。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。図 11.2 の発振安定時間については、「60. 電気的特性」に示されています。

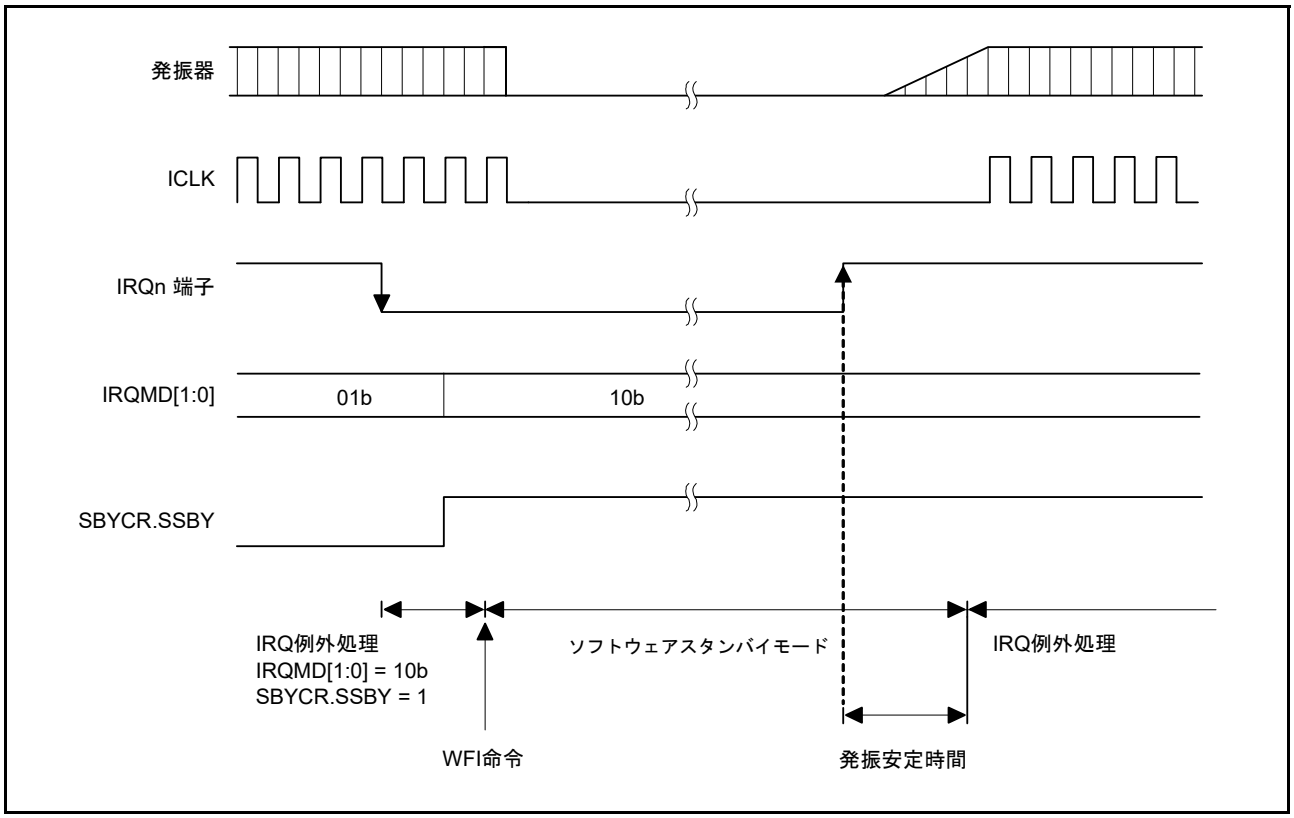


図 11.2 ソフトウェアスタンバイモードの応用例

11.8 スヌーズモード

11.8.1 スヌーズモードへの遷移

図 11.3 に、スヌーズモードエントリの構成を示します。ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。このモードでは、CPU が復帰していなくても一部の周辺モジュールは動作します。スヌーズモードで動作可能な周辺モジュールを、表 11.2 に示します。また、スヌーズモード時の DTC の動作は、SNZCR.SNZDTCEN ビットで選択できます。

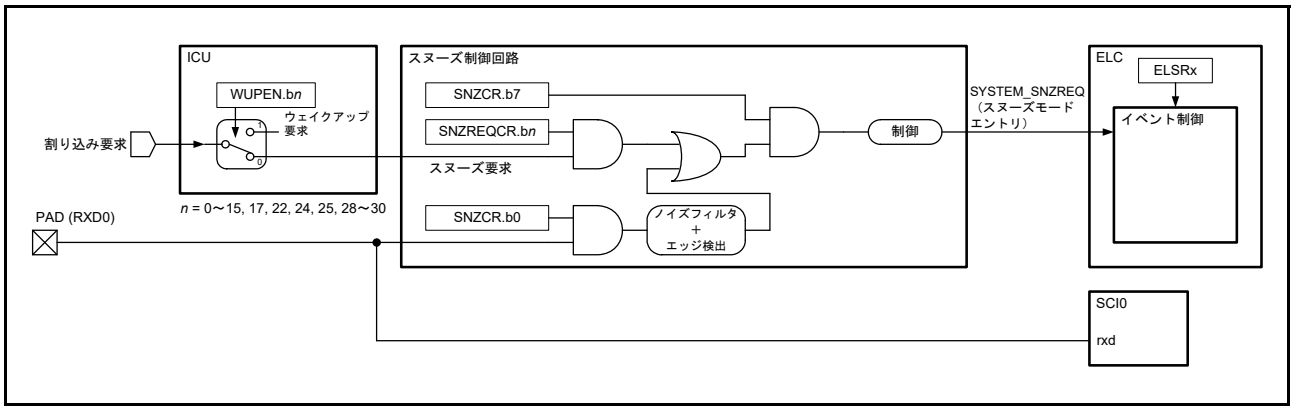


図 11.3 スヌーズエントリの構成

表 11.7 に、MCU をソフトウェアスタンバイモードからスヌーズモードへ切り替えるためのスヌーズ要求を示します。これらのスヌーズ要求をスヌーズモードへ切り替えるためのトリガとして使用するには、ソフトウェアスタンバイモードへ遷移する前に、SNZREQCR レジスタの対応する SNZREQENn ビット、または SNZCR レジスタの RXDREQEN ビットを設定する必要があります。

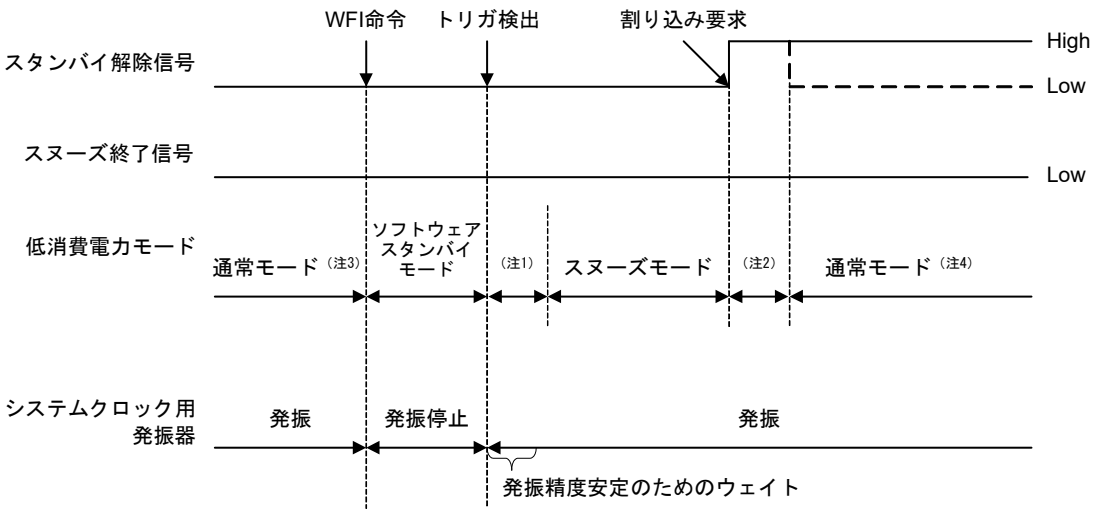
表 11.7 スヌーズモードへの切り替えに利用可能なイベント

スヌーズ要求	コントロールレジスタ	
	レジスタ	ビット（注1）
PORT_IRQn（n = 0～15）	SNZREQCR	SNZREQENn（n = 0～15）
KEY_INTKR	SNZREQCR	SNZREQEN17
ACMP_HS0	SNZREQCR	SNZREQEN22
RTC_ALM	SNZREQCR	SNZREQEN24
RTC_PRD	SNZREQCR	SNZREQEN25
AGT1_AGTI	SNZREQCR	SNZREQEN28
AGT1_AGTCMAI	SNZREQCR	SNZREQEN29
AGT1_AGTCMBI	SNZREQCR	SNZREQEN30
RXD0立ち下がりエッジ	SNZCR	RXDREQEN（注2）

注 1. 同時に複数のスヌーズ要求を有効にしないでください。
注 2. 調歩同期式モード以外では、RXDREQEN ビットを 1 にしないでください。

11.8.2 スヌーズモードの解除

スヌーズモードは、ソフトウェアスタンバイモードで利用可能なすべての割り込み要求、またはすべてのリセットで解除されます。各モードを解除するために使用可能な要求を、表 11.3 に示します。スヌーズモードを解除すると、MCU は通常モードへ遷移して、該当の割り込みまたはリセットの例外処理を開始します。SELSR0 で選択した割り込み要求によって引き起こされる動作が、スヌーズモードを解除します。スヌーズモードを解除するための割り込みは、対応する割り込み処理の NVIC とリンクさせるため、IELSRn（n = 0 ～ 95）で選択する必要があります。SELSR0 と IELSRn の設定方法については、「14. 割り込みコントローラユニット（ICU）」を参照してください。



注1. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注2. スヌーズモードから通常モードへの遷移時間
注3. ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可します（SNZCR.SNZE = 1）。
注4. スヌーズモードの解除直後に必ずスヌーズモードを禁止してください（SNZCR.SNZE = 0）。

図 11.4 割り込み要求信号が発生する場合のスヌーズモードの解除

11.8.3 ソフトウェアスタンバイモードへの復帰

表 11.8 に、ソフトウェアスタンバイモードへの復帰トリガとして使用可能なスヌーズ終了要求を示します。スヌーズ終了要求は、スヌーズモードでのみ利用可能です。MCU がスヌーズモード状態でないときに要求が発生しても、それらは無視されます。複数の要求を選択した場合、それぞれの要求がスヌーズモードからソフトウェアスタンバイモードへの遷移を行います。

表 11.9 に、スヌーズ終了条件を構成するスヌーズ終了要求と周辺モジュールの条件を示します。CTSU、SCI0、ADC120、ADC121、DTC の各モジュールは、それらの動作が完了するまで MCU をスヌーズモード状態に保ちます。

ソフトウェアスタンバイモードへの復帰トリガとしての AGT1 アンダーフローは、SCI0 の動作完了を待たずにスヌーズモードを解除します。

図 11.5 に、スヌーズモードからソフトウェアスタンバイモードへ遷移する際のタイミング図を示します。このようなモード遷移は、SNZEDCR レジスタで設定したスヌーズ終了要求に従って発生します。ソフトウェアスタンバイモードへ復帰後、スヌーズ要求は自動的にクリアされます。

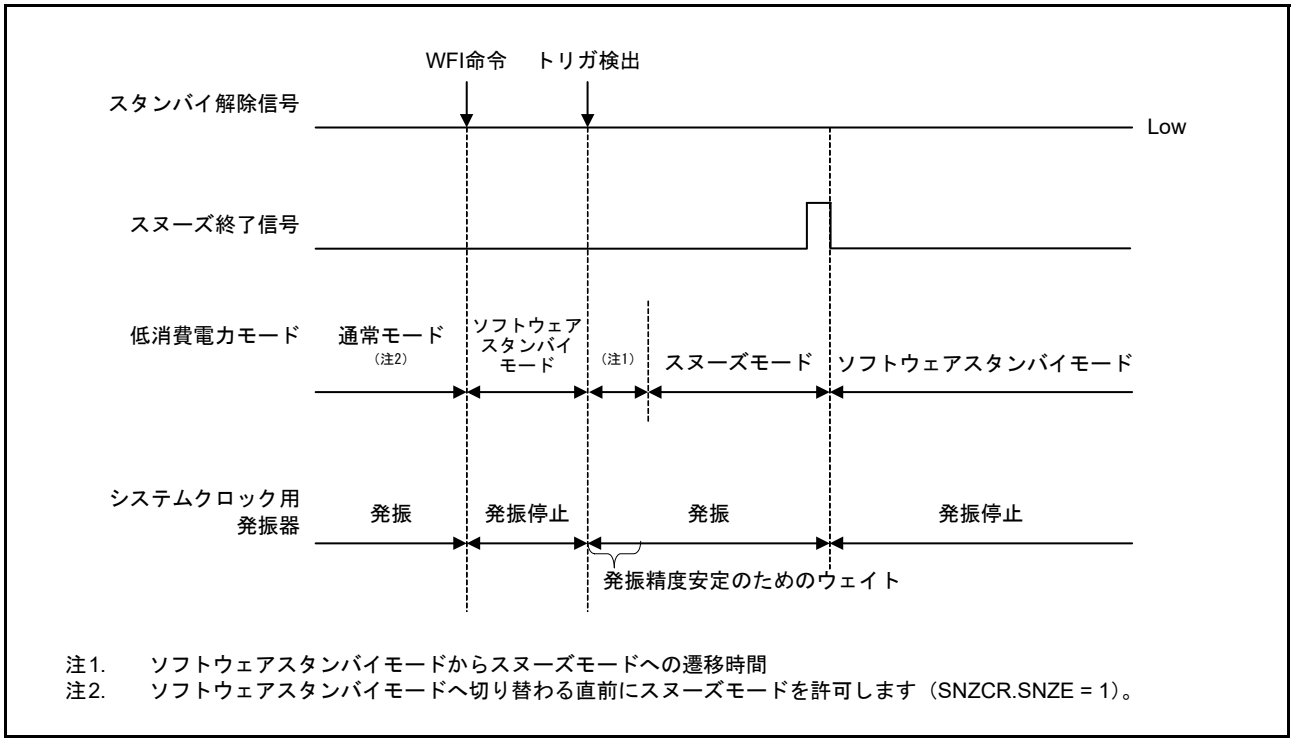
表 11.8 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）

スヌーズ終了要求	許可／禁止制御	
	レジスタ	ビット
AGT1アンダーフローまたは測定終了（AGT1_AGTI）	SNZEDCR	b0
DTC転送終了（DTC_COMPLETE）	SNZEDCR	b1
DTC転送終了以外（DTC_TRANSFER）	SNZEDCR	b2
ADC120ウィンドウA/Bコンペアマッチ（ADC120_WCMPM）	SNZEDCR	b3
ADC120ウィンドウA/Bコンペア不一致（ADC120_WCMPUM）	SNZEDCR	b4
ADC121ウィンドウA/Bコンペアマッチ（ADC121_WCMPM）	SNZEDCR	b5
ADC121ウィンドウA/Bコンペア不一致（ADC121_WCMPUM）	SNZEDCR	b6
SCI0アドレス不一致（SCI0_DCUF）	SNZEDCR	b7

表 11.9 スヌーズ終了条件

<table>
<tr><th rowspan="2">スヌーズ終了要求発生時の動作モジュール</th><th colspan="2">スヌーズ終了要求</th></tr>
<tr><th>AGT1アンダーフロー</th><th>AGT1アンダーフロー以外のすべて</th></tr>
<tr><td>DTC</td><td rowspan="4">これら全モジュールが動作を完了した後、MCUはソフトウェアスタンバイモードへ遷移する。</td><td rowspan="5">これら全モジュールが動作を完了した後、MCUはソフトウェアスタンバイモードへ遷移する。</td></tr>
<tr><td>ADC120</td></tr>
<tr><td>ADC121</td></tr>
<tr><td>CTSU</td></tr>
<tr><td>SCI0</td><td>スヌーズ終了要求の発生後、MCUはただちにソフトウェアスタンバイモードへ遷移する。</td></tr>
<tr><td>その他の全モジュール</td><td colspan="2">スヌーズ終了要求の発生後、MCUはただちにソフトウェアスタンバイモードへ遷移する。</td></tr>
</table>

注 . DTC を用いて ADC120、ADC121、CTSU、または SCI を起動した場合は、スヌーズ終了要求の発生後、MCU はただちにソフトウェアスタンバイモードへ遷移します。



注1. ソフトウェアスタンバイモードからスヌーズモードへの遷移時間
注2. ソフトウェアスタンバイモードへ切り替わる直前にスヌーズモードを許可します（SNZCR.SNZE = 1）。

図 11.5 割り込み要求信号が発生しない場合のスヌーズモードの解除

11.8.4 スヌーズモードの動作例

図 11.6 に、スヌーズモードで ELC を使用する場合の設定例を示します。

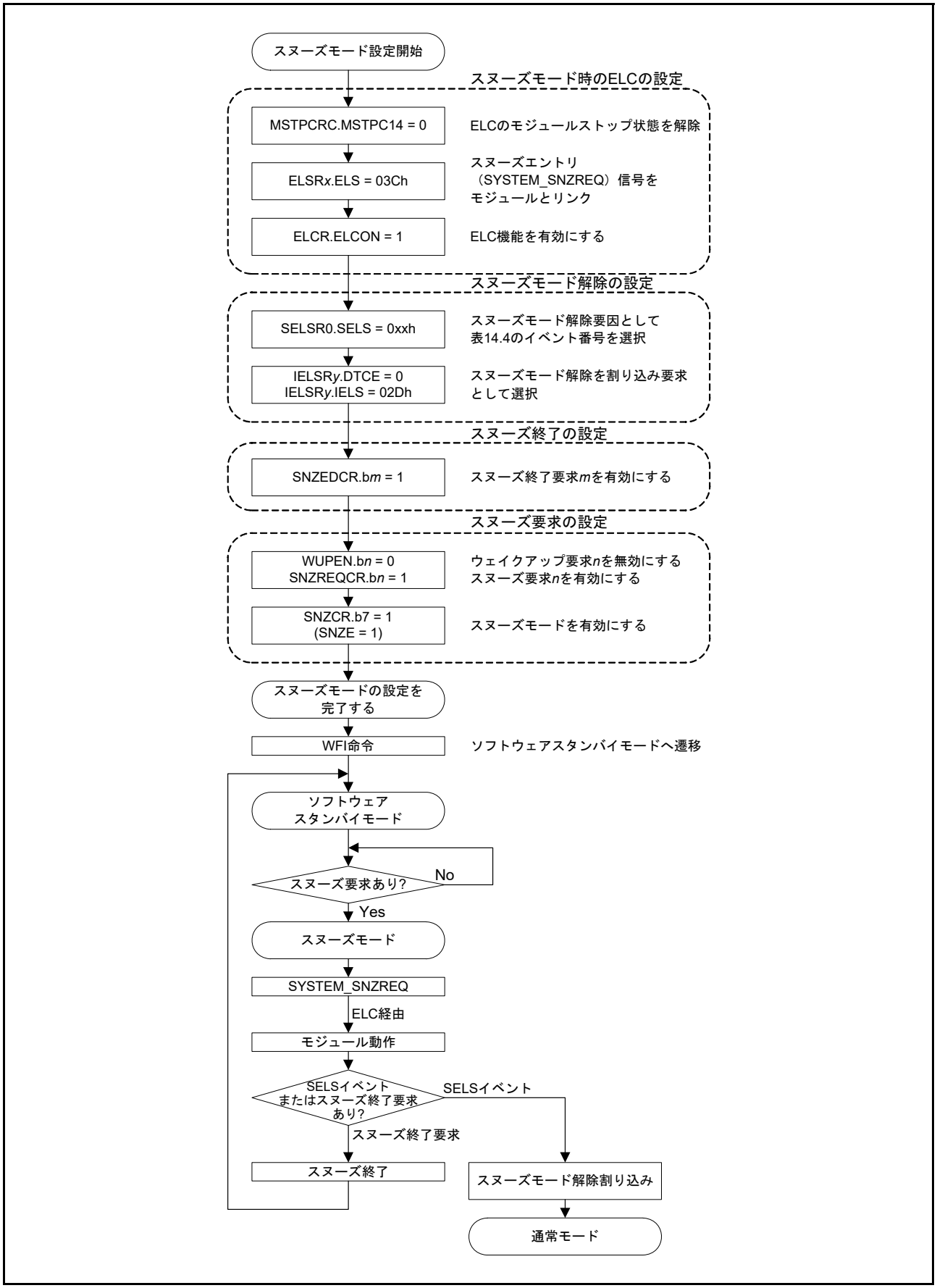


図 11.6 スヌーズモードで ELC を使用するための設定例

本 MCU は、CPU を介さずに SCI0 の調歩同期式モードでデータの送受信が可能です。表 11.10 に、スヌーズモードにおける SCI0 の最大転送速度を示します。スヌーズモードで SCI0 を使用する場合、High-speed モードまたは Low-speed モードのいずれかを使用してください。

Subosc-speed モードは使用しないでください。

表 11.10 HOCO：± 2.4%（Ta = -20～105℃） **（単位：bps）**

ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、BCLK、TRCLKの最大分周比	HOCO周波数					
	LOCO動作中			LOCO停止中		
	16MHz	18MHz	20MHz	16MHz	18MHz	20MHz
1	2,400			600		
2						
4						
8	1,200					
16						
32						
64						

注 . スヌーズモードで SCI0 を使用する場合、次のように設定してください：BGDM = 0、ABCS = 0、ABCSE = 0。
詳細は、「34. シリアルコミュニケーションインタフェース（SCI）」を参照してください。

図 11.7 に、スヌーズモードエントリで SCI0 を使用する場合の設定例を示します。

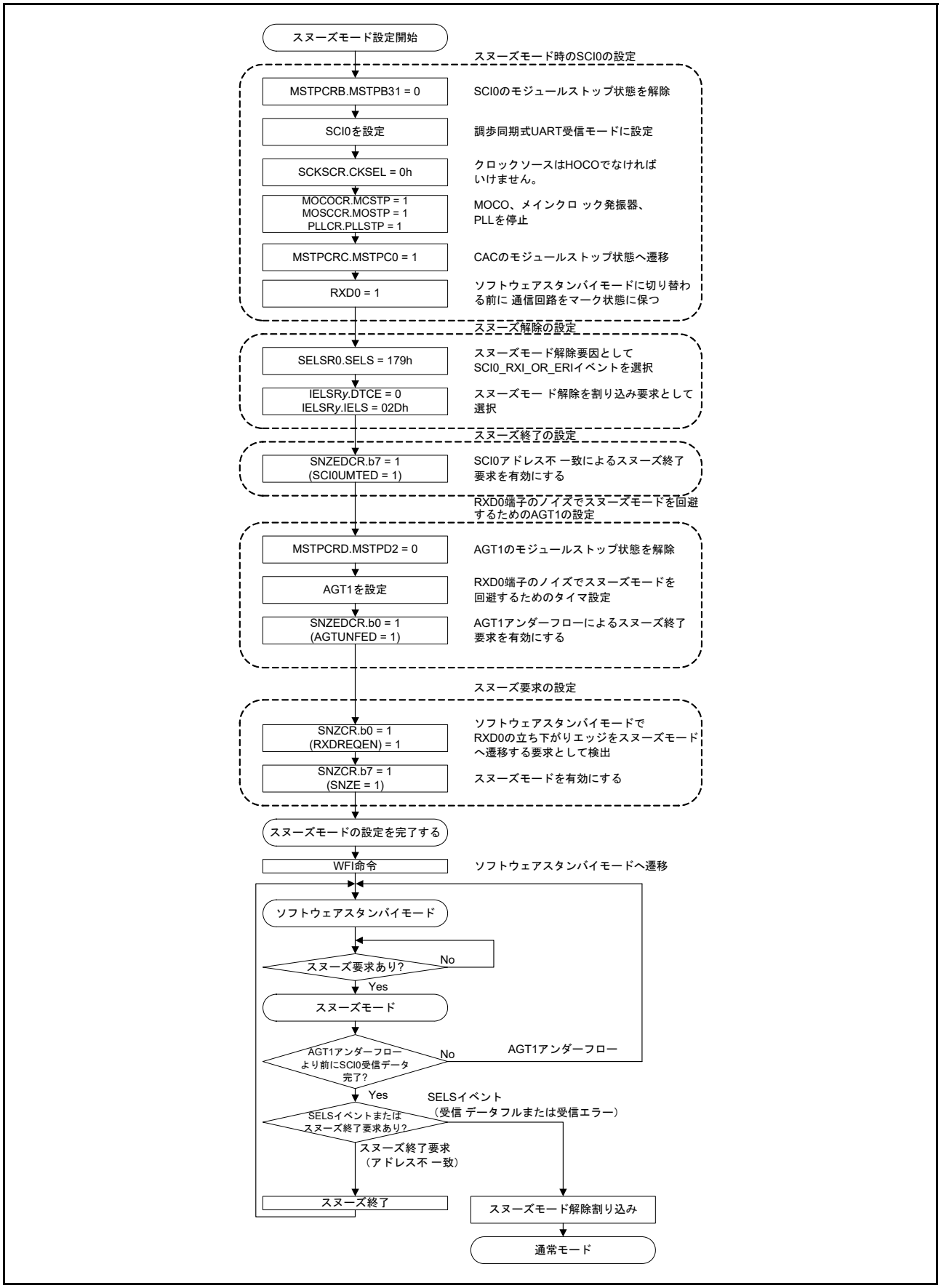


図 11.7　スヌーズモードエントリで SCI0 を使用するための設定例

11.9 ディープソフトウェアスタンバイモード

11.9.1 ディープソフトウェアスタンバイモードへの遷移

SBYCR.SSBY ビットが 1、かつ DPSBYCR.DPSBY ビットが 1 の状態で WFI 命令を実行すると、MCU はディープソフトウェアスタンバイモードへ遷移します。関連する制御ビットの設定値については、表 11.6 を参照してください。

ディープソフトウェアスタンバイモードでは、CPU、内蔵周辺機能（RTC アラーム、RTC 周期、USB サスペンド／レジューム検出部は除く）、SRAM（スタンバイ SRAM は除く）、およびすべての発振器（サブクロック発振器、低速オンチップオシレータは除く）が停止します。これらのモジュールに対する内部電源の供給が停止するので、消費電力が削減されます。CPU レジスタと内蔵周辺モジュール（RTC アラーム、RTC 周期、USB サスペンド／レジューム検出部は除く）の内容はすべて不定となります。

スタンバイ SRAM のデータは、DEEPCUT[1:0] ビットの設定値が 00b であると保持されます。DEEPCUT[1:0] ビットの設定値が 01b であると、スタンバイ SRAM と USB レジューム検出部への内部電源の供給が止するので、消費電力が削減されます。このとき、スタンバイ SRAM のデータは不定となります。

DEEPCUT[1:0] ビットの設定値が 11b であると、スタンバイ SRAM と USB レジューム検出部への内部電源の供給停止に加えて、LVD が停止し、パワーオンリセット回路の低消費電力モード機能が有効になります。そのため、消費電力はさらに削減されます。詳細は、「60. 電気的特性」を参照してください。

IWDT がオートスタートモードであり、かつ OFS0.IWDTSTPCTL ビットが 1 の状態で MCU がディープソフトウェアスタンバイモードへ遷移すると、IWDT 専用クロックと IWDT への電源供給が停止します。IWDT はカウントも停止します。

OFS0.IWDTSTPCTL ビットが 0 の場合は、OFS0.IWDTSTRT ビットまたは DPSBYCR.DPSBY ビットの設定値にかかわらず、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。OFS0.IWDTSTRT ビットが 0（オートスタートモード）であるとき OFS0.IWDTSTPCTL ビットが 0 の場合は、IWDT 専用クロックと IWDT は動作を継続します。

LVD1CR0.RI ビットが 1（電圧監視 1 リセット選択）、または LVD2CR0.RI ビットが 1（電圧監視 2 リセット選択）の場合は、MCU はディープソフトウェアスタンバイモードではなく、ソフトウェアスタンバイモードへ遷移します。I/O ポートの状態はソフトウェアスタンバイモード時と同じです。

注 1. WFI 命令を実行する前に、ソフトウェアスタンバイモードへ遷移するための DTC、DMAC、および IWDT に関する条件を満たしておく必要があります。詳細は、11.7 ソフトウェアスタンバイモードを参照してください。

11.9.2 ディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、表 11.3 に示す割り込み、RES 端子リセット、パワーオンリセット、または電圧監視 0 リセットによって解除されます。動作は以下の通りです。

1. 割り込みによる解除
   割り込みによる解除は、DPSIERn（n = 0 ～ 3）レジスタと DPSIFRn（n = 0 ～ 3）レジスタで制御されます。利用可能な割り込み要求が発生すると、DPSIFRn レジスタの当該フラグが 1 になります。DPSIERn レジスタで割り込みが許可されていると、ディープソフトウェアスタンバイモードが解除されます。立ち上がりまたは立ち下がりエッジ検出は、DPSIEGRn（n = 0 ～ 2）で選択できます。検出エッジは、NMI、IRQ0-DS ～ IRQ15-DS、電圧監視 1、電圧監視 2 の各割り込みに対して選択可能です。ディープソフトウェアスタンバイモードの解除要求が発生すると、内部電源が供給され、MOCO クロックが発振を開始し、その後 MCU 全体に対して内部リセット（ディープソフトウェアスタンバイリセット）が発生します。安定した MOCO クロックが MCU 全体に供給され、ディープソフトウェアスタンバイリセットが解除されます。そして MCU はリセット例外処理を開始します。
   外部割り込み端子または内部割り込み信号によってディープソフトウェアスタンバイモードが解除されると、RSTSR0.DPSRSTF フラグが 1 になります。
2. RES 端子リセットによる解除
   RES 端子を Low にすると、MCU はディープソフトウェアスタンバイモードを解除して、リセット状態になります。「60. 電気的特性」に示す規定の期間に従って、RES 端子を Low に保つようにしてください。規定の期間が経過した後、RES 端子を High にすると、CPU はリセット例外処理を開始します。
3. パワーオンリセットによる解除
   パワーオンリセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。
4. 電圧監視 0 リセットによる解除
   電圧検出回路による電圧監視 0 リセットによってディープソフトウェアスタンバイモードが解除され、MCU はリセット例外処理を開始します。

11.9.3 ディープソフトウェアスタンバイモード解除時の端子状態

ディープソフトウェアスタンバイモード時、I/O ポートはソフトウェアスタンバイモードと同じ状態を保持しています。ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって MCU は初期化され、ただちにリセット例外処理が開始されます。DPSBYCR.IOKEEP ビットの設定値によって、I/O ポートを初期化するか、またはソフトウェアスタンバイモード時の I/O ポート状態を保持するかが決まります。ビット設定に対する I/O ポート状態は下記の通りです。

- DPSBYCR.IOKEEP ビット = 0 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、I/O ポートは初期化されます。
- DPSBYCR.IOKEEP ビット = 1 の場合
  ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって、MCU は初期化されますが、I/O ポートは MCU の内部状態にかかわらずソフトウェアスタンバイモード時の状態を保持します。I/O ポートまたは周辺モジュールの設定を行っても、I/O ポート状態はソフトウェアスタンバイモード時のまま変わりません。DPSBYCR.IOKEEP ビットを 0 にすることによって、保持されていた I/O ポート状態が解放され、MCU は内部状態に従って動作します。DPSBYCR.IOKEEP ビットは、ディープソフトウェアスタンバイモードの解除に伴う内部リセットによって初期化されません。

11.9.4 ディープソフトウェアスタンバイモードの応用例

(1) ディープソフトウェアスタンバイモードの遷移と復帰

IRQn-DS 端子の立ち下がりエッジ検出時のディープソフトウェアスタンバイモードへの遷移と、IRQn-DS 端子の立ち上がりエッジ検出時のディープソフトウェアスタンバイモードからの復帰の例を図 11.8 に示します。この例では、ICU の IRQCRi.IRQMD[1:0] ビットを 01b（立ち下がりエッジ）にした状態で、IRQn 端子の割り込みを受け付けています。次に、DPSIEGRy.DIRQnEG ビット（y = 0, 1、n = 0 ～ 15）を 1（立ち上がりエッジ）にして、SBYCR.SSBY ビットと DPSBYCR.DPSBY ビットをともに 1 にした後、WFI 命令を実行しています。その結果、MCU はディープソフトウェアスタンバイモードへ遷移します。その後、IRQn-DS 端子の立ち上がりエッジでディープソフトウェアスタンバイモードが解除されます。

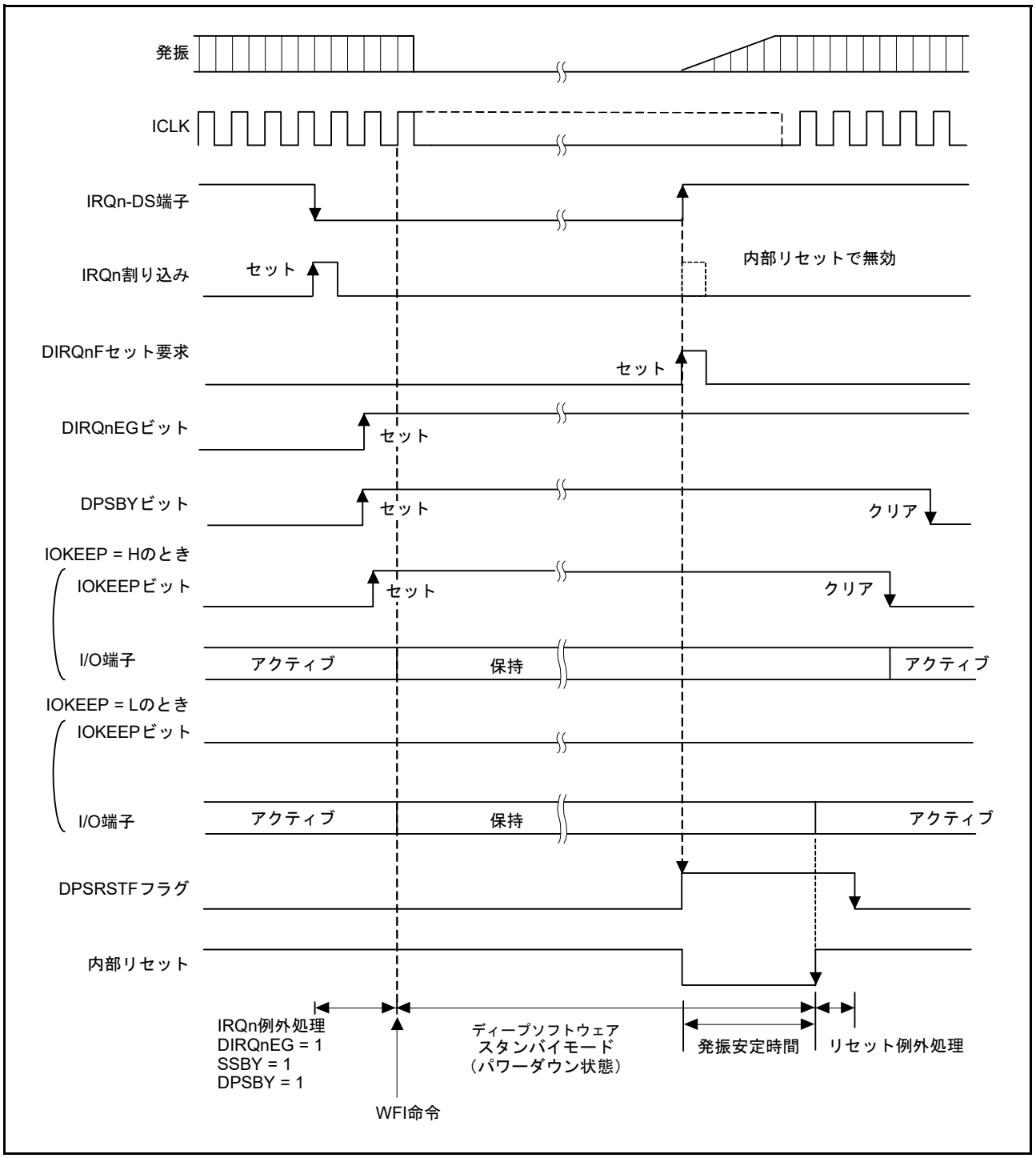


図 11.8 ディープソフトウェアスタンバイモードの応用例

11.9.5 ディープソフトウェアスタンバイモード使用時のフローチャート

図 11.9 に、ディープソフトウェアスタンバイモード使用時のフローチャート例を示します。この例では、リセット例外処理の後、リセット機能の RSTSR0.DPSRSTF フラグを読み出して、RES 端子によるリセットか、ディープソフトウェアスタンバイモード解除によるリセットかを判定しています。RES 端子によるリセットの場合は、必要なレジスタの設定を行った後、ディープソフトウェアスタンバイモードへ遷移しています。ディープソフトウェアスタンバイモード解除によるリセットの場合は、I/O ポートの設定をした上で、DPSBYCR.IOKEEP ビットを 0 にしています。

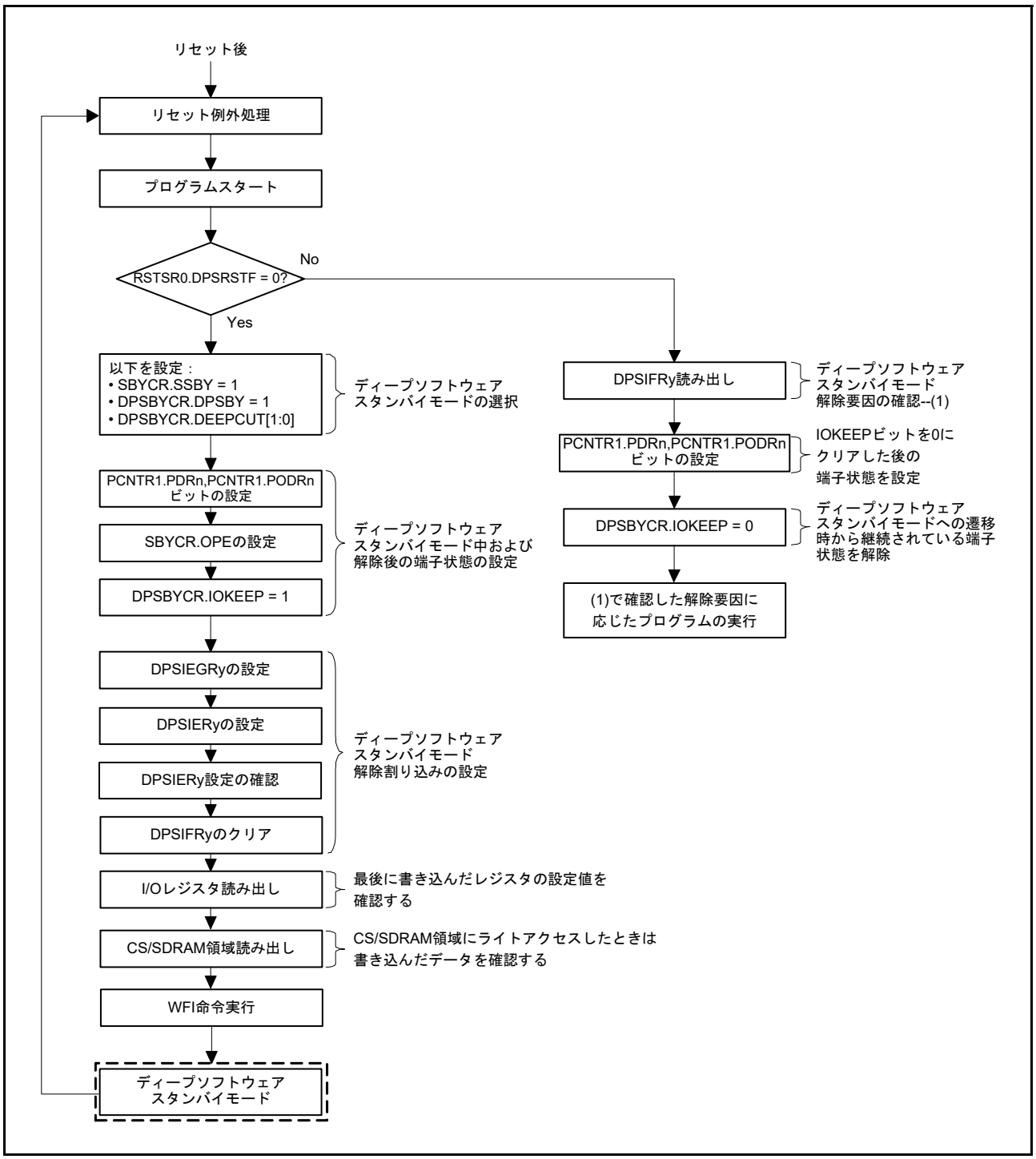


図 11.9 ディープソフトウェアスタンバイモード使用時のフローチャート例

11.10 使用上の注意事項

11.10.1 レジスタアクセス

(1) 特定モードの期間中または遷移中の無効なレジスタへのライトアクセス

下記の条件のいずれかに当てはまる場合、下記のレジスタに書き込まないでください。

［レジスタ］

- “SYSTEM” という周辺名をもつ全レジスタ

［条件］

- OPCCR.OPCMTSF = 1 または SOPCCR.SOPCMTSF = 1（動作電力制御モードへの遷移中）
- WFI 命令の実行から通常モードへ復帰するまでの期間中
- FENTRYR.FENTRYi = 1（i = 0 ～ 3）（フラッシュ P/E モード）、または FENTRYR.FENTRYD = 1（データフラッシュ P/E モード）

(2) クロック関連レジスタに対する有効な設定値

表 11.11 と表 11.12 に、各動作電力制御モードにおけるクロック関連レジスタの有効な設定値を示します。有効な設定値以外の値を書き込まないようにしてください。これら以外の値を書き込んでも無視されます。また、各レジスタには、動作電力制御モード関連以外の特定の条件下で禁止される設定値もあります。これらの各レジスタに対する他の条件については、「9. クロック発生回路」を参照してください。

表 11.11 クロック関連レジスタに対する有効な設定値（1）

モード	有効な設定値							
	SCKSCR.CKSEL[2:0] CKOCR.CKOSEL[2:0]	SCKDIVCR.FCK[2:0] ICK[2:0]	PLLCR.PLLSTP	HOCOCR.HCSTP	MOCOCR.MCSTP	LOCOCR.LCSTP	MOSCCR.MOSTP	SOSCCR.SOSTP
High-speed	000b（HOCO） 001b（MOCO） 010b（LOCO） 011b（メインクロック） 100b（サブクロック） 101b（PLL）（注1）	000b (1/1) 001b (1/2) 010b (1/4) 011b (1/8) 100b (1/16) 101b (1/32) 110b (1/64)	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）	0（動作） 1（停止）
Low-speed	000b（HOCO） 001b（MOCO） 010b（LOCO） 011b（メインクロック） 100b（サブクロック）		1（停止）					
Subosc-speed	010b（LOCO） 100b（サブクロック）	000b (1/1)	1（停止）	1（停止）	1（停止）	0（動作） 1（停止）	1（停止）	0（動作） 1（停止）

注 1. SCKSCR.CKSEL[2:0] のみ

表 11.12 クロック関連レジスタに対する有効な設定値（2）

動作発振器	有効な設定値	
	OPCCR.OPCM[1:0]	SOPCCR.SOPCM
PLL	00b	0
高速オンチップオシレータ	00b, 11b	0
中速オンチップオシレータ		
メインクロック発振器		
低速オンチップオシレータ	00b, 11b	0, 1
サブクロック発振器		
IWDT専用オンチップオシレータ		

(3) Subosc-speed モードにおける無効なレジスタへのライトアクセス

下記の条件に当てはまる場合、下記のレジスタに書き込まないでください。

［レジスタ］

- SCKSCR, OPCCR

［条件］

- SOPCCR.SOPCM = 1（Subosc-speed モード）

(4) DTC または DMAC による無効なレジスタへのライトアクセス

DTC または DMAC によって、下記のレジスタに書き込まないでください。

［レジスタ］

- MSTPCRA, MSTPCRB, MSTPCRC, MSTPCRD

(5) スヌーズモードにおける無効なレジスタへのライトアクセス

スヌーズモード時に、下記のレジスタに書き込まないでください。これらのレジスタの設定は、ソフトウェアスタンバイモードへ遷移する前に行ってください。

［レジスタ］

- SNZCR, SNZEDCR, SNZREQCR

(6) FLWT.FLWT[2:0] への無効なライトアクセス

下記の条件に当てはまる場合、FLWT.FLWT[2:0] ビットに 000b 以外の値を書き込まないでください。

［条件］

- SOPCCR.SOPCM = 1（Subosc-speed モード）

(7) PRCR.PRC1 ビットが 0 の場合の無効なライトアクセス

PRCR.PRC1 ビットが 0 の場合、下記のレジスタに書き込まないでください。

［レジスタ］

- SBYCR, SNZCR, SNZEDCR, SNZREQCR, OPCCR, SOPCCR, DPSBYCR, DPSIERn (n = 0～3), DPSIFRn (n = 0 ～ 3), DPSIEGRn (n = 0 ～ 2), SYOCDCR

11.10.2 I/O ポートの状態

ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、およびスヌーズモード（スヌーズモード時に書き換える場合は除く）における I/O ポート状態は、各モードへ遷移する前と同じです。したがって、High を出力している間、消費電力は低減されません。

11.10.3 DMAC と DTC のモジュールストップ状態

MSTPCRA.MSTPA22 ビットを 1 にする前に、DMAC の DMAST.DMST ビットと、DTC の DTCST.DTCST ビットを 0 にしてください。

11.10.4 内部割り込み要因

モジュールストップ状態では、割り込みの動作ができません。割り込み要求が発生しているとき、モジュールストップビットを設定すると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に対応する割り込みを禁止してから、モジュールストップビットを設定してください。

11.10.5 DIRQnE ビット（n = 0 ～ 15）による入力バッファ制御

DPSIERy.DIRQnE ビット（y = 0, 1、n = 0 ～ 15）を 1 にすることによって、IRQ0-DS ～ IRQ15-DS 端子の対応する入力バッファが有効になります。これらの端子への入力は DPSIFRy.DIRQnF ビット（y = 0, 1、n = 0 ～ 15）に伝わりますが、ICU、周辺モジュール、または I/O ポートには伝わりません。

11.10.6 低消費電力モードへの遷移

本 MCU はイベントによるウェイクアップをサポートしていないため、WFE 命令の実行によって低消費電力モード（スリープモード、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモード）へ遷移させないでください。また、本 MCU は SLEEPDEEP による低消費電力モードをサポートしていないため、Cortex®-M4 コアが内蔵するシステムコントロールレジスタの SLEEPDEEP ビットは設定しないでください。

11.10.7 WFI 命令のタイミング

WFI 命令は、I/O レジスタと CS/SDRAM 領域の書き込みが完了する前に実行されることがあり、その場合、意図しない動作を起こす恐れがあります。これは、I/O レジスタまたは CS/SDRAM 領域への書き込み直後に WFI 命令が実行された場合に生じます。この問題を避けるには、書き込まれたレジスタまたは CS/SDRAM 領域を読み戻して、書き込みの完了を確認してください。

たとえば、WFI 命令の実行前に MSTPCRB レジスタを読み出すことで、I/O レジスタへの書き込みが完了するまでの時間を確保できます。

11.10.8 スリープモード／スヌーズモード時の DMAC または DTC による WDT および IWDT レジスタへの書き込みについて

スリープモードやスヌーズモードへ遷移すると WDT や IWDT は停止します。その間に DMAC または DTC によって WDT または IWDT レジスタを書き換えないでください。

11.10.9 スヌーズモードにおける発振器について

ソフトウェアスタンバイモードへ遷移して停止した発振器は、スヌーズモードへの切り替えトリガが発生すると、自動的に動作を再開します。すべての発振器が安定するまで、MCU はスヌーズモードへ遷移しません。スヌーズモード時には、ソフトウェアスタンバイモードへ遷移する前に、スヌーズモードで不要な発振器を無効にする必要があります。そうしないと、ソフトウェアスタンバイモードからスヌーズモードへの遷移に時間がかかります。

11.10.10 RXD0 の立ち下がりエッジによるスヌーズモードエントリ

SNZCR.RXDREQEN ビットが 1 の場合、RXD0 端子のノイズが原因で、MCU がソフトウェアスタンバイモードからスヌーズモードへ遷移する場合があります。また RXD0 端子のノイズによって、スヌーズモード時に後続の RXD0 データを受信する可能性があります。ノイズ発生後、MCU が RXD0 データを受信しなければ、割り込み（SCI0_ERI や SCI0_RXI など）もアドレス不一致イベントも発生せず、MCU はスヌーズモードを維持します。この問題を避けるには、スヌーズモードで SCI0 を使用する場合、AGT1 アンダーフロー割り込みを用いてソフトウェアスタンバイモードまたは通常モードへ復帰するようにしてください。ただし SCI 通信中は、ソフトウェアスタンバイモードへの復帰要因として AGT1 アンダーフローを使用しないでください。これは、SCI0 の動作を中途半端に停止させます。

11.10.11 スヌーズモードにおける SCI0 の使用

スヌーズモードで SCI0 を使用する場合、割り込み要求またはスヌーズ終了要求には AGT1 アンダーフローを使用する必要があります。これ以外のトリガは使用しないでください。

スヌーズモードで SCI0 を使用する場合は、下記の条件が満たされなければいけません。

- クロックソースは HOCO であること
- MOCO、メインクロック発振器、および PLL は、ソフトウェアスタンバイモード遷移前に停止していること
- RXD0 端子は、ソフトウェアスタンバイモード遷移前に High レベルを維持していること
- SCI 通信中は、ソフトウェアスタンバイモードへの遷移が生じないこと
- ソフトウェアスタンバイモード遷移前に、MSTPCRC.MSTPC0 ビットが 1 であること

11.10.12 スヌーズモードにおける A/D 変換開始条件

スヌーズモードでは、ELC のみが ADC12 の開始トリガとなれます。ソフトウェアトリガや ADTRGn 端子を使用しないでください。

11.10.13 スヌーズモードにおける CTSU の条件

スヌーズモードでは、ELC のみが CTSU を起動できます。

11.10.14 スヌーズモードにおける ELC イベント

スヌーズモードでは、下記に示す ELC イベントのみが利用可能です。これ以外のイベントは使用しないでください。スヌーズモードへ遷移後、初めて周辺モジュールを起動する場合は、イベントリンク設定レジスタ（ELSRn）において、スヌーズモードエントリイベント（SYSTEM_SNZREQ）をトリガとして設定する必要があります。

- スヌーズモードエントリ（SYSTEM_SNZREQ）
- DTC 転送終了（DTC_DTCEND）
- ADC12n ウィンドウ A/B コンペアマッチ（ADC12n_WCMPM）（n = 0, 1）
- ADC12n ウィンドウ A/B コンペア不一致（ADC12n_WCMPUM）（n = 0, 1）
- データ演算回路割り込み（DOC_DOPCI）

11.10.15 ソフトウェアスタンバイモードからのウェイクアップに関する制限

MCU が周辺機能割り込みによってソフトウェアスタンバイモードから復帰した後、その割り込み信号がネゲートされる前に再度ソフトウェアスタンバイモードへ遷移した場合、同じ周辺機能ウェイクアップ割り込みが発生しても、MCU はソフトウェアスタンバイモードを解除できません（図 11.10 を参照）。この問題を避けるには、アプリケーションがソフトウェアスタンバイモードと通常モードの間で遷移を繰り返すような場合、周辺機能割り込み信号がネゲートされるまで待ってから、ソフトウェアスタンバイモードへ遷移してください（図 11.11 を参照）。

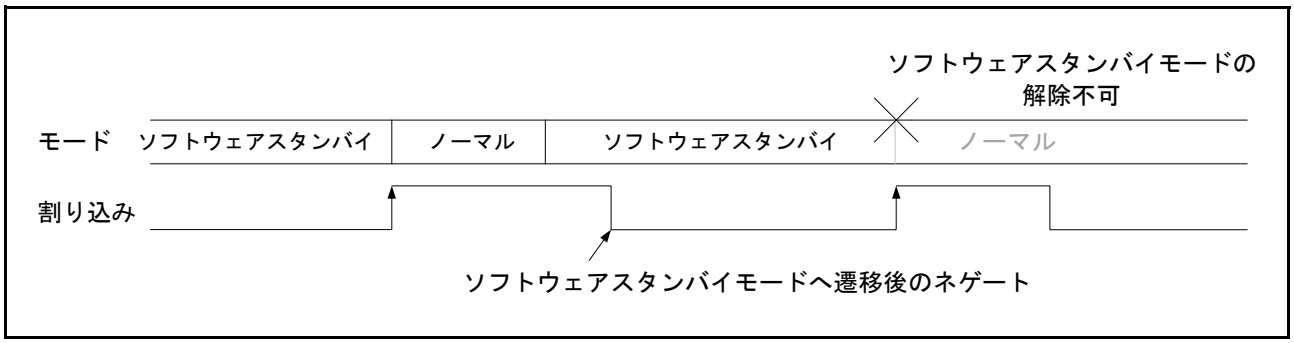


図 11.10 割り込み信号がネゲートされる前のソフトウェアスタンバイモードへの遷移

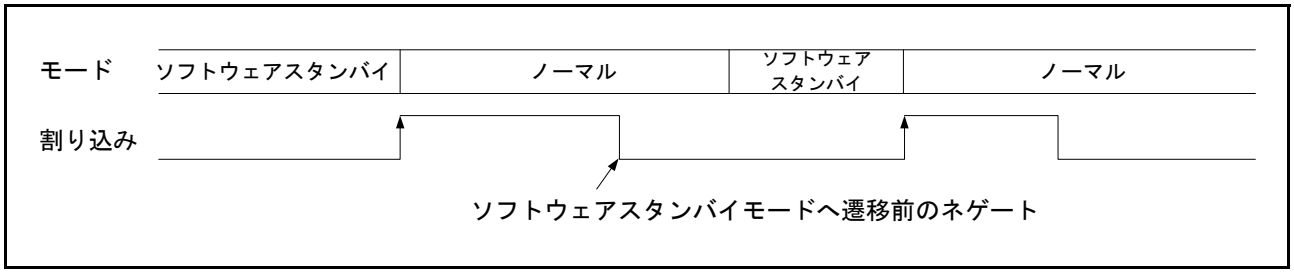


図 11.11 割り込み信号がネゲートされた後のソフトウェアスタンバイモードへの遷移

対応する周辺機能割り込みは以下の通りです。

- AGT1 割り込み（AGT1_AGTI：イベント番号 043h）
- AGT1 コンペアマッチ A（AGT1_AGTCMAI：イベント番号 044h）
- AGT1 コンペアマッチ B（AGT1_AGTCMBI：イベント番号 045h）
- アラーム割り込み（RTC_ALM：イベント番号 048h）
- 周期割り込み（RTC_PRD：イベント番号 049h）
- コンパレータ割り込み 0（ACMP_HS0：イベント番号 057h）

表 11.13 に、周辺機能割り込み信号のアサート期間と確認方法を示します。

表 11.13 周辺機能割り込み信号のアサート期間と確認方法

割り込み信号	アサート期間	確認方法
AGT1_AGT1	• クロックソースがサブクロック発振器またはLOCOの場合、クロックソースの1～128サイクル - 30μs～3.9ms • クロックソースがAGTチャネル0のアンダーフロー信号の場合、アンダーフロー信号のパルス幅 - 30μs～25.6s	AGT1.AGTCR.TUNDF
AGT1_AGTCMAI		AGT1.AGTCR.TCMAF
AGT1_AGTCMBI		AGT1.AGTCR.TCMBF
RTC_ALM	• アラーム条件一致の期間（アラームレジスタの設定値に依存） - 1s超	なし
RTC_PRD	• カウントソースの2サイクル - 60μs	なし
ACMP_HS0	• 比較信号の状態に依存 - 不明	ACMPHS0.CMPMON.CMPMON

周辺機能割り込み信号がネゲートされるのを待たずにソフトウェアスタンバイモードへ遷移した場合、1タイマおよび1割り込みベクタなどの追加リソースを持った補助タイマを用いることによって、ソフトウェアスタンバイモードを解除することが可能です。図 11.12 に、この補助タイマを用いる方法を示します。タイマとしては GPT と AGT が使用可能です。

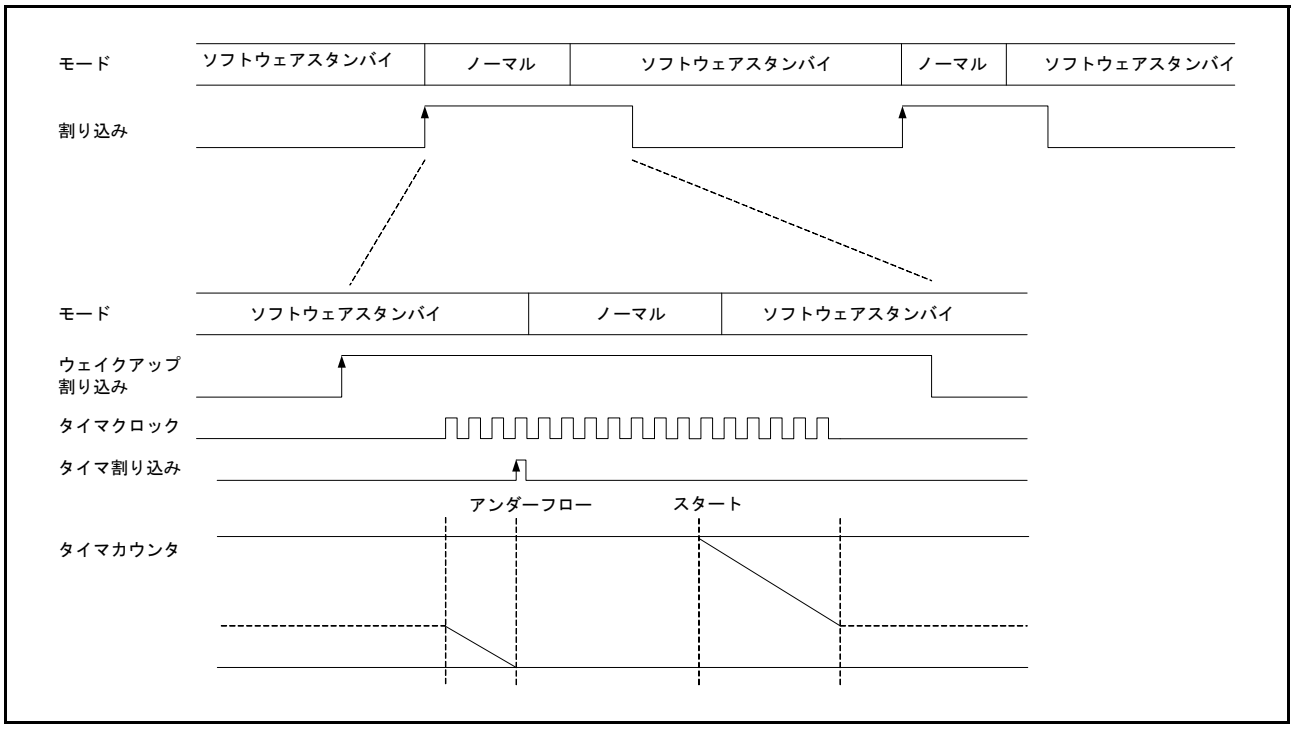


図 11.12 AGT と GPT を補助タイマとして使用することでソフトウェアスタンバイモードを解除する場合の例

補助タイマを使用してソフトウェアスタンバイモードを解除する方法は以下の通りです。

1. タイマを選択し、割り込みベクタを割り当てる。
2. WFI 命令を実行する前に、補助タイマのカウントを開始する。クロックが停止したとき、MCU はソフトウェアスタンバイモードへ遷移する。
3. ウェイクアップ割り込みが発生すると、MCU はソフトウェアスタンバイモードを解除できない。しかし補助タイマがカウントを再開する。
4. 補助タイマがアンダーフローすると、割り込みが発生して MCU はソフトウェアスタンバイモードを解除できる。補助タイマは割り込み処理ルーチンで停止させる必要がある。その結果、アプリケーションは元のウェイクアップ割り込み処理ルーチンを呼び出すことが可能となる。

5. 次のソフトウェアスタンバイモードへの遷移に備えて同じ動作を繰り返す。

注 . WFI 命令の実行が周辺機能割り込み信号のネゲートよりも高速であると、MCU はソフトウェアスタンバイモードから正常に復帰できます。

注 . MCU をソフトウェアスタンバイモードから復帰させる要因が複数ある場合、最初の割り込み処理ルーチンで補助タイマを停止させてください。そうしないと、不要な割り込みが発生する場合があります。

11.10.16 ADC12 に対するモジュールストップ機能

ソフトウェアスタンバイモードへ遷移する場合は、ADC12 をモジュールストップ（MSTPD15 または MSTPD16 ビット）状態に設定して消費電力を削減することが推奨されます。

この場合、DTC を用いて ADC12 のモジュールストップを解除すると、スヌーズモードで ADC12 が利用可能になります。同様に、スヌーズモードからソフトウェアスタンバイモードへ復帰する前に、DTC を使用してモジュールストップ状態に戻してください。

また、ソフトウェアスタンバイモードで ACMPHS のアナログ電圧入力電源（IVCMP2 または IVCMP3）を使用する場合は、ADC12 をモジュールストップ状態に設定しないでください。

12. バッテリバックアップ機能

12.1 概要

本 MCU はバッテリバックアップ機能を備えており、電力低下が生じた場合に、バッテリによる部分給電が維持されます。VCC 端子と VBATT 端子を切り替えることにより、RTC、SOSC、およびバックアップメモリには常に電源が供給されます。正常に動作しているとき、バッテリ電源領域には主電源（VCC 端子）から電源が供給されます。VCC 端子に電圧降下が検出されると、電源は専用のバッテリバックアップ用電源端子（VBATT 端子）に切り替わります。そして電圧が上昇すると、電源は再び VBATT 端子から VCC 端子へ切り替わります。

12.1.1 バッテリバックアップ機能

バッテリバックアップ機能は以下のもので構成されます。

- バッテリ電源スイッチ
- バックアップレジスタ
- 時間キャプチャ端子検出

12.1.2 バッテリ電源スイッチ

VCC 端子の印加電圧が低下すると、この機能によって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。

12.1.3 バックアップレジスタ

バッテリ電源領域には、512 個の 1 バイトバックアップレジスタが搭載されています。これらのレジスタは、電源が VBATT 端子に供給され、VCC 端子がパワーオフ状態にあるときだけデータを保持します。

12.1.4 時間キャプチャ端子検出

RTC は、時間キャプチャ端子の入力レベルの変化を検出します。詳細は、「26. リアルタイムクロック（RTC）」を参照してください。

注 . VCC が VDETBATT を下回り、かつ（VBATT + 0.6V）を上回ると、内部ダイオードを介して VCC 端子から VBATT 端子へ注入電流が流れます。VBATT 端子に接続された電源バッテリが、この電流注入に対応していない（たとえば、バッテリが再充電可能なものではない）場合、弊社では、電源バッテリと VBATT 端子の間に低電圧しきい値のダイオードを接続することを強く推奨しています。

注 . 電圧監視 0 リセットを許可にした上で、バッテリバックアップ機能を使用する必要があります。電圧監視 0 レベルは、VBATT 切り替えレベルよりも高く設定しなければいけません。

図 12.1 に、バッテリバックアップ機能の構成図を示します。

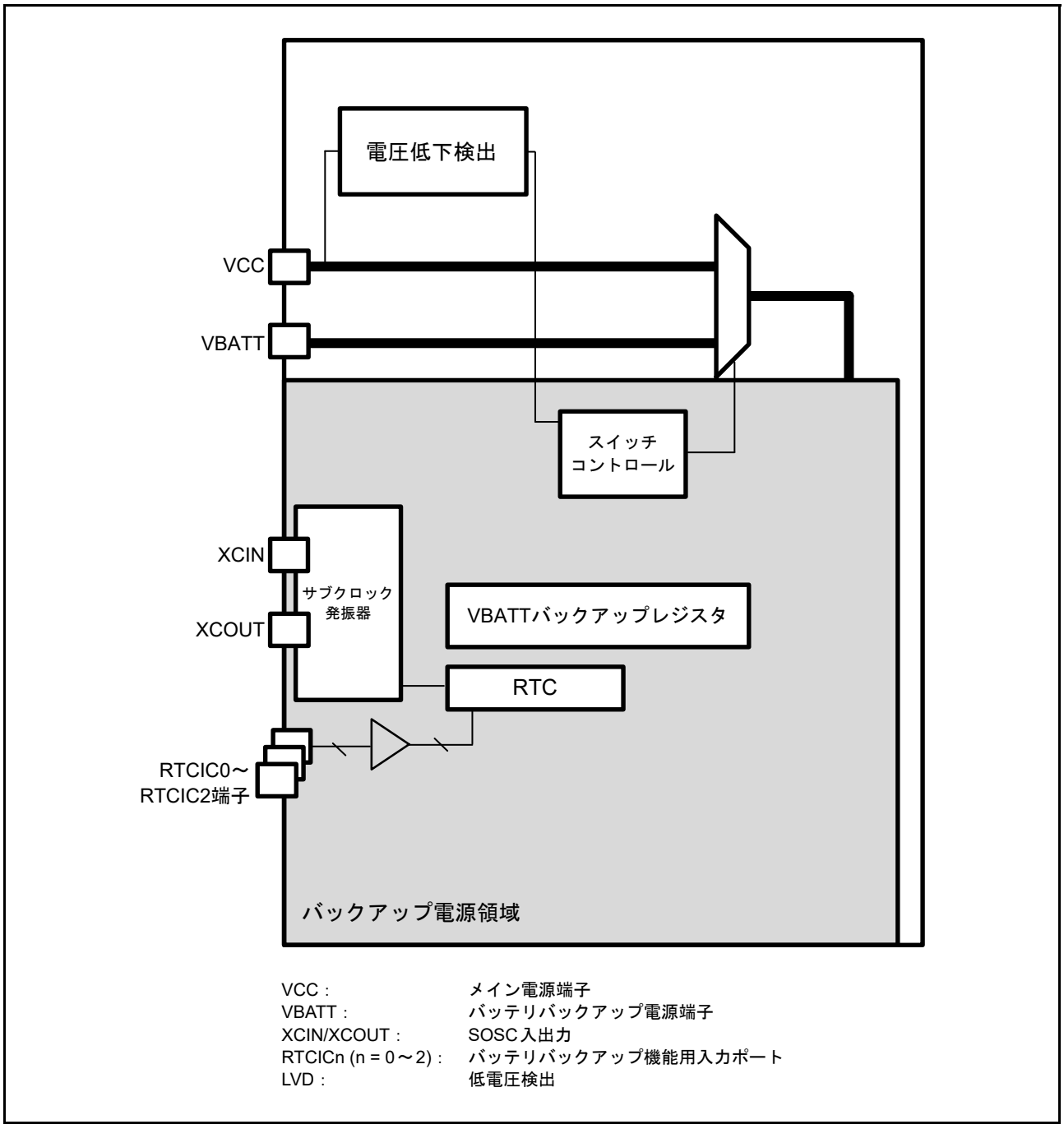


図 12.1 バッテリバックアップ機能の構成図

12.2 レジスタの説明

12.2.1 VBATT バックアップレジスタ（VBTBKRn）（n = 0 ～ 511）

アドレス SYSTEM.VBTBKR[0] 4001 E500h～SYSTEM.VBTBKR[511] 4001 E6FFh

	b7	b6	b5	b4	b3	b2	b1	b0
	VBTBKR[7:0]							
リセット後の値	x	x	x	x	x	x	x	x

x：不定

VBTBKRn レジスタは、VBATT 電源供給時にデータを格納するための、8 ビット単位で読み出し／書き込みが可能なレジスタです。このレジスタの値は、VCC に電源が供給されていなくても、VBATT に供給されていれば保持されます。このレジスタはいずれのリセットによっても初期化されません。

12.2.2 VBATT 入力コントロールレジスタ（VBTICTLR）

アドレス SYSTEM.VBTICTLR 4001 E4BBh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	VCH2INEN	VCH1INEN	VCH0INEN
リセット後の値	0	0	0	0	0	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	VCH0INEN	VBATT CH0 入力許可	0：禁止 1：許可	R/W
b1	VCH1INEN	VBATT CH1 入力許可	0：禁止 1：許可	R/W
b2	VCH2INEN	VBATT CH2 入力許可	0：禁止 1：許可	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

VBTICTLR レジスタは、VBATT 入出力端子の入力方向を選択するレジスタです。

VCHnINEN（VBATT CHn 入力許可）（n = 0 ～ 2）

対応する VBATT チャネルの入力方向を許可します。

［1 になる条件］

- CHn 入力が許可のとき

［0 になる条件］

- CHn 入力が禁止のとき

CH0 ～ CH2 対応機能については、20.5.5　入出力バッファの仕様を参照してください。

12.3 動作説明

12.3.1 バッテリバックアップ機能

VCC 端子の電圧が低下したとき、RTC とサブクロック発振器には VBATT 端子から電源が供給されます。VCC 端子の電圧降下が検出されると、電源との接続は VBATT 端子に切り替わります。また、VCC 端子の電圧が VDETBATT を超えると、VCC 端子からの電源供給に戻ります。電源の切り替わりは RTC の動作に影響を与えません。

電圧監視 0 リセットを許可にした上で、バッテリバックアップ機能を使用する必要があります。RTC は時間キャプチャ端子検出をサポートしており、時間キャプチャ端子の入力レベルの変化を検出します。

VBATT 端子からは、以下のモジュールに電力が供給されます。

- RTC
- サブクロック発振器（XCIN、XCOUT 端子を含む）
- VBATT バックアップレジスタ

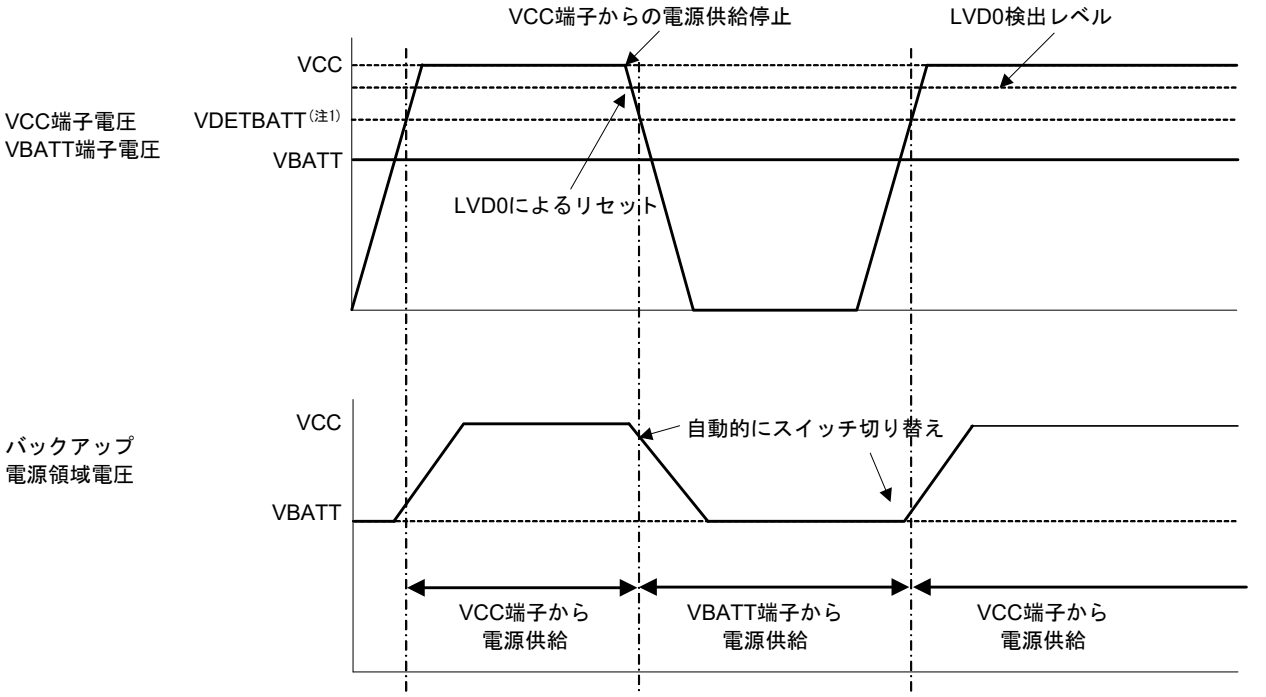
表 12.1 に、VBATT モード時の動作状態を示します。

表 12.1 VBATT モード時の動作状態

動作状態	VBATT モード
遷移条件	VCC 電圧降下の検出
リセット以外の解除方法	VCC 電圧上昇の検出
割り込みによる解除後の状態	—
リセットによる解除後の状態	—
メインクロック発振器	停止
サブクロック発振器	動作
高速オンチップオシレータ	停止
中速オンチップオシレータ	停止
低速オンチップオシレータ	停止
IWDT 専用オンチップオシレータ	停止
PLL	停止
CPU	停止（不定）
SRAM（DED SRAM を含む）	停止（不定）
スタンバイ SRAM	停止（不定）
VBATT バックアップレジスタ	停止（保持）
フラッシュメモリ	停止（保持）
リアルタイムクロック（RTC）	カウントソースとして機能するクロックを選択した場合に選択可能
AGTn (n = 0, 1)	停止（不定）
低電圧検出（LVD）	停止
パワーオンリセット回路	停止
その他の周辺モジュール	停止（不定）
I/O ポート	• RTCICn ポート（n = 0～2）：動作 • ここに指定されていない全ポート：不定

注 . 「選択可能」とは、動作または停止がコントロールレジスタで選択できることを意味します。モジュールによっては、対応するモジュールストップビットで制御できるものもあります。
注 . 「停止（保持）」とは、内部レジスタの内容は保持されるが、動作は中断されることを意味します。
注 . 「停止（不定）」とは、内部レジスタの内容が不定で、内部回路への通電が遮断されることを意味します。

図 12.2 に、バッテリバックアップ機能の切り替え順序を示します。



注 . 電気的特性についての詳細は、「60. 電気的特性」を参照してください。
注1. VDETBATTは、VCC端子とVBATT端子の間で電源を切り替える際のしきい値レベルを表します。

図 12.2 バッテリバックアップ機能の切り替え順序

12.3.2 VBATT バッテリ電源スイッチの使用法

VCC 端子の印加電圧が低下すると、バッテリ電源スイッチによって、電源が VCC 端子から VBATT 端子に切り替わります。そして電圧が上昇すると、再び VBATT 端子から VCC 端子へ切り替わります。

注 . 電圧監視 0 リセットを許可にした上で、バッテリバックアップ機能を使用する必要があります。電圧監視 0 レベルは、VBATT 切り替えレベルよりも高く設定する必要があります。

12.3.3 VBATT バックアップレジスタの使用法

VBATT バックアップレジスタ VBTBKRn（n = 0 ～ 511）を使用して、8 ビットリード／ライト操作により、データの格納／復元を行います。

12.4 使用上の注意事項

1. VBATT の電圧レベルが動作保証範囲を下回ったとき、サブクロック発振器と RTC の動作は保証されません。VBATT 端子が動作保証電圧を下回った後、再度電源を立ち上げたときには、RTC の初期設定を行ってください。
2. 本章に記載のレジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。
3. VCC が VDETBATT を上回っているときは、VCC 端子と VBATT 端子は切り離されます。VCC が VDETBATT を下回ってスイッチが VBATT 端子に接続された場合、VBATT の電圧が低下すると（VCC - 0.6V）、VCC 端子と VBATT 端子の間の寄生ダイオードを介して VBATT 端子に電流が流れ込む可能性があります。
4. VBATT 端子からの電圧とバックアップ領域内の I/O ポート（P402、P403、P404）によって RTC が動作しているとき、その電源領域は RTC の時間キャプチャイベント入力端子としてのみ使用可能です。

13. レジスタライトプロテクション

13.1 概要

レジスタライトプロテクション機能は、ソフトウェアエラーによって重要なレジスタが書き換えられないように保護します。保護されるレジスタは、プロテクトレジスタ（PRCR）で設定します。表 13.1 に PRCR レジスタのビットと保護されるレジスタの対応を示します。

表 13.1 PRCR レジスタのビットと保護されるレジスタの対応関係

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	• クロック発生回路関連レジスタ SCKDIVCR, SCKDIVCR2, SCKSCR, PLLCCR, PLLCR, BCKCR, MOSCCR, HOCOCR, MOCOCR, CKOCR, TRCKCR, OSTDCR, OSTDSR, EBCKOCR, SDCKOCR, MOCOUTCR, HOCOUTCR, MOSCWTCR, MOMCR, SOSCCR, SOMCR, LOCOCR, LOCOUTCR, HOCOWTCR, FLLCR1, FLLCR2
PRC1 ビット	• 低消費電力モード関連レジスタ SBYCR, SNZCR, SNZEDCR, SNZREQCR, OPCCR, SOPCCR, DPSBYCR, DPSIER0～3, DPSIFR0～3, DPSIEGR0～2, SYOCDCR, STCONR • バッテリバックアップ機能関連レジスタ VBTBKRn (n = 0～511), VBTICTLR
PRC3 ビット	• LVD 関連レジスタ LVD1CR1, LVD1SR, LVD2CR1, LVD2SR, LVCMPCR, LVDLVLR, LVD1CR0, LVD2CR0

13.2 レジスタの説明

13.2.1 プロテクトレジスタ（PRCR）

アドレス SYSTEM.PRCR 4001 E3FEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	PRC3	—	PRC1	PRC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b1	PRC1	プロテクトビット1	低消費電力モードおよびバッテリバックアップ機能関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0：書き込み禁止 1：書き込み許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	PRCキーコード	PRCRレジスタへの書き込みを制御します。PRCRレジスタを書き換える場合、上位8ビットにA5h、下位8ビットに必要な値を、16ビット単位で書いてください。	W （注1）

注 1. 書き込みデータは保持されません。読むと 00h が読めます。

PRCn ビット（プロテクトビット n）（n = 0, 1, 3）

保護されるレジスタ（表 13.1 を参照）への書き込みを許可または禁止します。PRCn ビットを 1 にすると書き込み許可、0 にすると書き込み禁止になります。

14. 割り込みコントローラユニット（ICU）

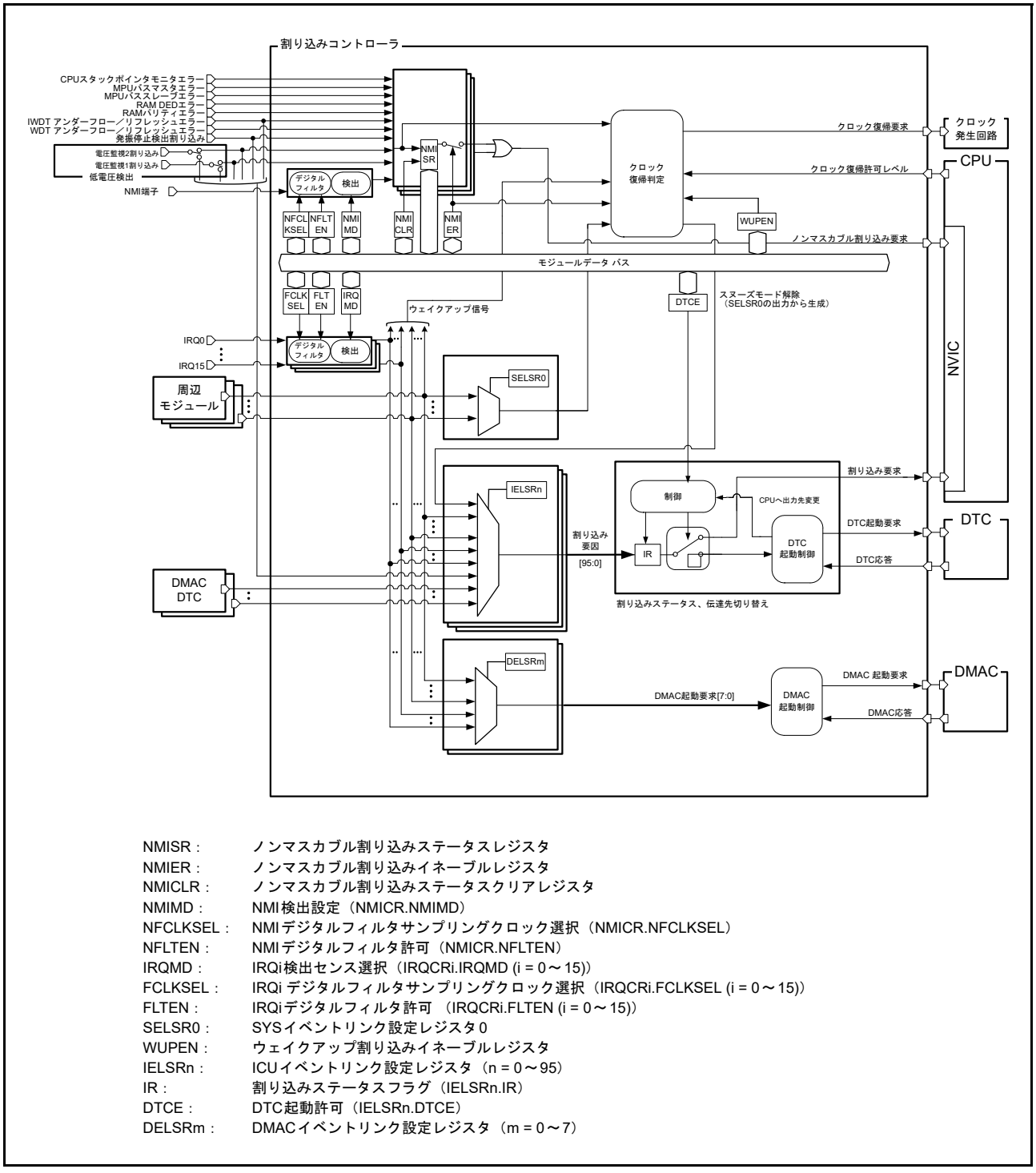
14.1 概要

割り込みコントローラユニット（ICU）は、NVIC、DTC、およびDMACモジュールにリンクされるイベント信号を制御します。ICUはノンマスカブル割り込みも制御します。表14.1にICUの仕様、図14.1にブロック図、そして表14.2に入出力端子を示します。

表14.1 ICUの仕様

項目		内容
割り込み	周辺機能割り込み	• 周辺モジュールからの割り込み 要因数：316（イベントリスト番号64～511から要因を選択）
	外部端子割り込み	• 割り込み検出：Lowレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ これらの検出法は要因ごとに1つ設定可能 • デジタルフィルタ機能をサポート • 16要因（IRQ0～IRQ15端子からの割り込み）
	DTCおよびDMAC制御	割り込み要因によってDTCとDMACの起動が可能（注1）
	NVICへの割り込み要因	96要因
ノンマスカブル割り込み（注2）	NMI端子割り込み	• NMI端子からの割り込み • 割り込み検出：立ち下がりエッジまたは立ち上がりエッジ • デジタルフィルタ機能をサポート
	発振停止検出割り込み（注3）	メイン発振器の停止を検出したときの割り込み
	WDTアンダーフロー／リフレッシュエラー（注3）	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	IWDTアンダーフロー／リフレッシュエラー（注3）	ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時の割り込み
	電圧監視1割り込み（注3）	低電圧検出1回路（LVD1）の電圧監視割り込み
	電圧監視2割り込み（注3）	低電圧検出2回路（LVD2）の電圧監視割り込み
	RPEST	SRAMパリティエラー発生時の割り込み
	RDEDST	SRAM DEDエラー発生時の割り込み
	BUSSST	MPUバススレーブエラー発生時の割り込み
	BUSMST	MPUバスマスタエラー発生時の割り込み
	SPEST	CPUスタックポインタモニタによる割り込み
低消費電力モードからの復帰（注4）		• スリープモード：ノンマスカブル割り込みまたはその他の割り込み要因によって復帰 • ソフトウェアスタンバイモード：ノンマスカブル割り込みによって復帰 割り込みはWUPENレジスタで選択可能 • スヌーズモード：ノンマスカブル割り込みによって復帰 割り込みはSELSR0およびWUPENレジスタで選択可能 14.2.8 SYSイベントリンク設定レジスタ（SELSR0）および14.2.9 ウェイクアップ割り込みイネーブルレジスタ（WUPEN）を参照してください。

注1. DTCとDMACの起動要因については、表14.4を参照してください。
注2. リセット解除後に1回だけノンマスカブル割り込みを許可することができます。
注3. これらのノンマスカブル割り込みは、イベント信号としても使用可能です。割り込みとして使用する場合、NMIERレジスタの値をリセット状態から変更しないでください。電圧監視1と電圧監視2の割り込みを許可するには、LVD1CR1.IRQSELビットとLVD2CR1.IRQSELビットを1にしてください。
注4. ディープソフトウェアスタンバイモードからの復帰については、11.9 ディープソフトウェアスタンバイモードを参照してください。



NMISR： ノンマスカブル割り込みステータスレジスタ
NMIER： ノンマスカブル割り込みイネーブルレジスタ
NMICLR： ノンマスカブル割り込みステータスクリアレジスタ
NMIMD： NMI検出設定（NMICR.NMIMD）
NFCLKSEL： NMIデジタルフィルタサンプリングクロック選択（NMICR.NFCLKSEL）
NFLTEN： NMIデジタルフィルタ許可（NMICR.NFLTEN）
IRQMD： IRQi検出センス選択（IRQCRi.IRQMD (i = 0～15)）
FCLKSEL： IRQi デジタルフィルタサンプリングクロック選択（IRQCRi.FCLKSEL (i = 0～15)）
FLTEN： IRQiデジタルフィルタ許可 （IRQCRi.FLTEN (i = 0～15)）
SELSR0： SYSイベントリンク設定レジスタ0
WUPEN： ウェイクアップ割り込みイネーブルレジスタ
IELSRn： ICUイベントリンク設定レジスタ（n = 0～95）
IR： 割り込みステータスフラグ（IELSRn.IR）
DTCE： DTC起動許可（IELSRn.DTCE）
DELSRm： DMACイベントリンク設定レジスタ（m = 0～7）

図 14.1 ICU のブロック図

表 14.2 ICUの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスカブル割り込み要求端子
IRQ0～IRQ15	入力	外部割り込み要求端子

14.2 レジスタの説明

本章では、Arm® NVIC の内部レジスタについては説明していません。これらのレジスタについては、*ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)* を参照してください。

14.2.1 IRQ コントロールレジスタ i（IRQCRi）（i = 0 ～ 15）

アドレス ICU.IRQCR0 4000 6000h, ICU.IRQCR1 4000 6001h, ICU.IRQCR2 4000 6002h, ICU.IRQCR3 4000 6003h, ICU.IRQCR4 4000 6004h, ICU.IRQCR5 4000 6005h, ICU.IRQCR6 4000 6006h, ICU.IRQCR7 4000 6007h

ICU.IRQCR8 4000 6008h, ICU.IRQCR9 4000 6009h, ICU.IRQCR10 4000 600Ah, ICU.IRQCR11 4000 600Bh, ICU.IRQCR12 4000 600Ch, ICU.IRQCR13 4000 600Dh, ICU.IRQCR14 4000 600Eh, ICU.IRQCR15 4000 600Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	FLTEN	—	FCLKSEL[1:0]		—	—	IRQMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IRQMD[1:0]	IRQi検出センス選択	b1 b0 0 0：立ち下がりエッジ 0 1：立ち上がりエッジ 1 0：両エッジ 1 1：Low レベル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	FCLKSEL[1:0]	IRQiデジタルフィルタサンプリングクロック選択	b5 b4 0 0：PCLKB 0 1：PCLKB/8 1 0：PCLKB/32 1 1：PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	FLTEN	IRQiデジタルフィルタ有効	0：無効 1：有効	R/W

IRQCRi レジスタの変更には、以下の条件があります。

- CPU 割り込みまたは DTC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の IELSRn レジスタ（n = 0 ～ 95）を設定する必要があります。
  対象の IELSRn.IELS[8:0] ビットが 0000h の場合にのみ、レジスタ値の変更が可能です。
- DMAC 起動要因の場合：
  IRQCRi レジスタの設定を変更してから、対象の DELSRn レジスタ（n = 0 ～ 7）を設定する必要があります。
  対象の DELSRn.DELS[8:0] ビットが 0000h の場合にのみ、レジスタ値の変更が可能です。
- ウェイクアップ許可信号の場合：
  IRQCRi レジスタの設定を変更してから、対象の WUPEN.IRQWUPENn ビット（n = 0 ～ 15）を設定する必要があります。
  対象の WUPEN.IRQWUPENn ビットが 0 の場合にのみ、レジスタ値の変更が可能です。

IRQMD[1:0] ビット（IRQi 検出センス選択）

IRQi 外部端子割り込み要因の検出センシング方法を設定します。設定値に関する詳細は、14.4.4 外部端子割り込みを参照してください。

FCLKSEL[1:0] ビット（IRQi デジタルフィルタサンプリングクロック選択）

IRQi 外部端子割り込み要求のデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB（毎サイクル）
- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細については、14.4.3　デジタルフィルタを参照してください。

FLTEN ビット（IRQi デジタルフィルタ有効）

IRQi 外部端子割り込み要因に使用するデジタルフィルタを有効にします。デジタルフィルタは、FLTEN ビットが 1 の場合に有効になり、FLTEN ビットが 0 の場合に無効になります。IRQi 端子レベルは、FCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、14.4.3　デジタルフィルタを参照してください。

14.2.2 ノンマスカブル割り込みステータスレジスタ（NMISR）

アドレス ICU.NMISR 4000 6140h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPEST	BUSMST	BUSSST	RDEDST	RPEST	NMIST	OSTST	—	—	LVD2ST	LVD1ST	WDTST	IWDTST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTST	IWDTアンダーフロー／リフレッシュエラーステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b1	WDTST	WDTアンダーフロー／リフレッシュエラーステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b2	LVD1ST	電圧監視1割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b3	LVD2ST	電圧監視2割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b5-b4	—	予約ビット	読むと0が読めます。	R
b6	OSTST	メイン発振停止検出割り込みステータスフラグ	0：メイン発振停止検出割り込み要求なし 1：メイン発振停止検出割り込み要求あり	R
b7	NMIST	NMIステータスフラグ	0：NMI端子割り込み要求なし 1：NMI端子割り込み要求あり	R
b8	RPEST	SRAMパリティエラー割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b9	RDEDST	SRAM DEDエラー割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b10	BUSSST	MPUバススレーブエラー割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b11	BUSMST	MPUバスマスタエラー割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b12	SPEST	CPUスタックポインタモニタ割り込みステータスフラグ	0：割り込み要求なし 1：割り込み要求あり	R
b15-b13	—	予約ビット	読むと0が読めます。	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスを監視します。NMISR レジスタへの書き込みは無視されます。ノンマスカブル割り込み許可レジスタ（NMIER）の設定は、このレジスタのステータスフラグには影響しません。ノンマスカブル割り込みの処理ルーチンでは、このレジスタの全ビットが 0 になっていることをチェックして、他の NMI 要求が発生していないことを確認してから、処理を終了してください。

IWDTST フラグ（IWDT アンダーフロー／リフレッシュエラーステータスフラグ）

IWDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.IWDTCLR ビットでクリアされます。

［1 になる条件］

IWDT アンダーフロー／リフレッシュエラー割り込みが発生し、この割り込み要因が許可されているとき

［0 になる条件］

NMICLR.IWDTCLR ビットに 1 を書いたとき

WDTST フラグ（WDT アンダーフロー／リフレッシュエラーステータスフラグ）

WDT アンダーフロー／リフレッシュエラー割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.WDTCLR ビットでクリアされます。

［1 になる条件］

WDT アンダーフロー／リフレッシュエラー割り込みが発生したとき

［0 になる条件］

NMICLR.WDTCLR ビットに 1 を書いたとき

LVD1ST フラグ（電圧監視 1 割り込みステータスフラグ）

電圧監視 1 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD1CLR ビットでクリアされます。

［1 になる条件］

電圧監視 1 割り込みが発生し、この割り込み要因が許可されているとき

［0 になる条件］

NMICLR.LVD1CLR ビットに 1 を書いたとき

LVD2ST フラグ（電圧監視 2 割り込みステータスフラグ）

電圧監視 2 割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.LVD2CLR ビットでクリアされます。

［1 になる条件］

電圧監視 2 割り込みが発生し、この割り込み要因が許可されているとき

［0 になる条件］

NMICLR.LVD2CLR ビットに 1 を書いたとき

OSTST フラグ（メイン発振停止検出割り込みステータスフラグ）

メイン発振停止検出割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.OSTCLR ビットでクリアされます。

［1 になる条件］

発振停止検出割り込みが発生したとき

［0 になる条件］

NMICLR.OSTCLR ビットに 1 を書いたとき

NMIST フラグ（NMI ステータスフラグ）

NMI 端子割り込み要求を示します。このフラグは読み出し専用であり、NMICLR.NMICLR ビットでクリアされます。

［1 になる条件］

NMICR.NMIMD ビットで指定したエッジが NMI 端子に入力されたとき

［0 になる条件］

NMICLR.NMICLR ビットに 1 を書いたとき

RPEST フラグ（SRAM パリティエラー割り込みステータスフラグ）

SRAM パリティエラー割り込み要求を示します。

［1 になる条件］

SRAM パリティエラーにより、割り込みが発生したとき

［0 になる条件］

NMICLR.RPECLR ビットに 1 を書いたとき

RDEDST フラグ（SRAM DED エラー割り込みステータスフラグ）

SRAM DED エラー割り込み要求を示します。

[1 になる条件]

SRAM DED エラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.RDEDCLR ビットに 1 を書いたとき

BUSSST フラグ（MPU バススレーブエラー割り込みステータスフラグ）

バススレーブエラー割り込み要求を示します。

[1 になる条件]

バススレーブエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSSCLR ビットに 1 を書いたとき

BUSMST フラグ（MPU バスマスタエラー割り込みステータスフラグ）

バスマスタエラー割り込み要求を示します。

[1 になる条件]

バスマスタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.BUSMCLR ビットに 1 を書いたとき

SPEST フラグ（CPU スタックポインタモニタ割り込みステータスフラグ）

CPU スタックポインタモニタ割り込み要求を示します。

[1 になる条件]

CPU スタックポインタモニタエラーにより、割り込みが発生したとき

[0 になる条件]

NMICLR.SPECLR ビットに 1 を書いたとき

14.2.3 ノンマスカブル割り込みイネーブルレジスタ（NMIER）

アドレス ICU.NMIER 4000 6120h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPEEN	BUSMEN	BUSSEN	RDEDEN	RPEEN	NMIEN	OSTEN	—	—	LVD2EN	LVD1EN	WDTEN	IWDTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTEN	IWDTアンダーフロー／リフレッシュエラー割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b1	WDTEN	WDTアンダーフロー／リフレッシュエラー割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b2	LVD1EN	電圧監視1割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b3	LVD2EN	電圧監視2割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b5-b4	—	予約ビット	読むと0が読めます。 書く場合、0としてください。	R/W
b6	OSTEN	発振停止検出割り込み許可	0：メイン発振に対して禁止 1：メイン発振に対して許可	R/(W) （注1）（注2）
b7	NMIEN	NMI端子割り込み許可	0：禁止 1：許可	R/(W) （注1）
b8	RPEEN	SRAMパリティエラー割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b9	RDEDEN	SRAM DEDエラー割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b10	BUSSEN	MPUバススレーブエラー割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b11	BUSMEN	MPUバスマスタエラー割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b12	SPEEN	CPUスタックポインタモニタ割り込み許可	0：禁止 1：許可	R/(W) （注1）（注2）
b15-b13	—	予約ビット	読むと0が読めます。 書く場合、0としてください。	R/W

注 1. リセット後、1 回だけ 1 を書き込むことができ、以後のライトアクセスは無効です。0 の書き込みは無効です。
注 2. イベント信号として使用する場合、1 にしないでください。

IWDTEN ビット（IWDT アンダーフロー／リフレッシュエラー割り込み許可）

NMI の起動要因となる IWDT アンダーフロー／リフレッシュエラー割り込みを許可します。

WDTEN ビット（WDT アンダーフロー／リフレッシュエラー割り込み許可）

NMI の起動要因となる WDT アンダーフロー／リフレッシュエラー割り込みを許可します。

LVD1EN ビット（電圧監視 1 割り込み許可）

NMI の起動要因となる電圧監視 1 割り込みを許可します。

LVD2EN ビット（電圧監視 2 割り込み許可）

NMI の起動要因となる電圧監視 2 割り込みを許可します。

OSTEN ビット（発振停止検出割り込み許可）

NMI の起動要因となるメイン発振停止検出割り込みを許可します。

NMIEN ビット（NMI 端子割り込み許可）

NMI の起動要因となる NMI 端子割り込みを許可します。

RPEEN ビット（SRAM パリティエラー割り込み許可）

NMI の起動要因となる SRAM パリティエラー割り込みを許可します。

RDEDEN ビット（SRAM DED エラー割り込み許可）

NMI の起動要因となる SRAM DED エラー割り込みを許可します。

BUSSEN ビット（MPU バススレーブエラー割り込み許可）

NMI の起動要因となるバススレーブエラー割り込みを許可します。

BUSMEN ビット（MPU バスマスタエラー割り込み許可）

NMI の起動要因となるバスマスタエラー割り込みを許可します。

SPEEN ビット（CPU スタックポインタモニタ割り込み許可）

NMI の起動要因となる CPU スタックポインタモニタ割り込みを許可します。

14.2.4 ノンマスカブル割り込みステータスクリアレジスタ（NMICLR）

アドレス ICU.NMICLR 4000 6130h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SPECLR	BUSMCLR	BUSSCLR	RDEDCLR	RPECLR	NMICLR	OSTCLR	—	—	LVD2CLR	LVD1CLR	WDTCLR	IWDTCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IWDTCLR	IWDTクリア	0：無効 1：NMISR.IWDTSTフラグをクリア	R/(W) （注1）
b1	WDTCLR	WDTクリア	0：無効 1：NMISR.WDTSTフラグをクリア	R/(W) （注1）
b2	LVD1CLR	LVD1クリア	0：無効 1：NMISR.LVD1STフラグをクリア	R/(W) （注1）
b3	LVD2CLR	LVD2クリア	0：無効 1：NMISR.LVD2STフラグをクリア	R/(W) （注1）
b5-b4	—	予約ビット	書く場合、0としてください。	R/(W) （注1）
b6	OSTCLR	OSTクリア	0：無効 1：NMISR.OSTSTフラグをクリア	R/(W) （注1）
b7	NMICLR	NMIクリア	0：無効 1：NMISR.NMISTフラグをクリア	R/(W) （注1）
b8	RPECLR	SRAMパリティエラークリア	0：無効 1：NMISR.RPESTフラグをクリア	R/(W) （注1）
b9	RDEDCLR	SRAM DEDエラークリア	0：無効 1：NMISR.RDEDSTフラグをクリア	R/(W) （注1）
b10	BUSSCLR	バススレーブエラークリア	0：無効 1：NMISR.BUSSSTフラグをクリア	R/(W) （注1）
b11	BUSMCLR	バスマスタエラークリア	0：無効 1：NMISR.BUSMSTフラグをクリア	R/(W) （注1）
b12	SPECLR	CPUスタックポインタモニタ割り込みクリア	0：無効 1：NMISR.SPESTフラグをクリア	R/(W) （注1）
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/(W) （注1）

注 1. このビットには 1 のみ書けます。

IWDTCLR ビット（IWDT クリア）

1 を書き込むことにより、NMISR.IWDTST フラグをクリアします。読むと 0 が読めます。

WDTCLR ビット（WDT クリア）

1 を書き込むことにより、NMISR.WDTST フラグをクリアします。読むと 0 が読めます。

LVD1CLR ビット（LVD1 クリア）

1 を書き込むことにより、NMISR.LVD1ST フラグをクリアします。読むと 0 が読めます。

LVD2CLR ビット（LVD2 クリア）

1 を書き込むことにより、NMISR.LVD2ST フラグをクリアします。読むと 0 が読めます。

OSTCLR ビット（OST クリア）

1 を書き込むことにより、NMISR.OSTST フラグをクリアします。読むと 0 が読めます。

NMICLR ビット（NMI クリア）

1 を書き込むことにより、NMISR.NMIST フラグをクリアします。読むと 0 が読めます。

RPECLR ビット（SRAM パリティエラークリア）

1 を書き込むことにより、NMISR.RPEST フラグをクリアします。読むと 0 が読めます。

RDEDCLR ビット（SRAM DED エラークリア）

1 を書き込むことにより、NMISR.RDEDST フラグをクリアします。読むと 0 が読めます。

BUSSCLR ビット（バススレーブエラークリア）

1 を書き込むことにより、NMISR.BUSSST フラグをクリアします。読むと 0 が読めます。

BUSMCLR ビット（バスマスタエラークリア）

1 を書き込むことにより、NMISR.BUSMSST フラグをクリアします。読むと 0 が読めます。

SPECLR ビット（CPU スタックポインタモニタ割り込みクリア）

1 を書き込むことにより、NMISR.SPEST フラグをクリアします。読むと 0 が読めます。

14.2.5 NMI 端子割り込みコントロールレジスタ（NMICR）

アドレス ICU.NMICR 4000 6100h

	b7	b6	b5	b4	b3	b2	b1	b0
	NFLTEN	—	NFCLKSEL[1:0]		—	—	—	NMIMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIMD	NMI検出設定	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	NFCLKSEL[1:0]	NMIデジタルフィルタサンプリングクロック選択	b5 b4 0 0：PCLKB 0 1：PCLKB/8 1 0：PCLKB/32 1 1：PCLKB/64	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	NFLTEN	NMIデジタルフィルタ有効	0：無効 1：有効	R/W

NMICR レジスタの設定を変更してから、NMI 端子割り込みを許可（NMIER.NMIEN ビットを 1）にしてください。

NMIMD ビット（NMI 検出設定）

NMI 端子割り込みの検出センシング方法を選択します。

NFCLKSEL[1:0] ビット（NMI デジタルフィルタサンプリングクロック選択）

NMI 端子割り込みのデジタルフィルタサンプリングクロックを選択します。下記から選択できます。

- PCLKB（毎サイクル）
- PCLKB/8（8 サイクルに 1 回）
- PCLKB/32（32 サイクルに 1 回）
- PCLKB/64（64 サイクルに 1 回）

デジタルフィルタの詳細については、14.4.3 デジタルフィルタを参照してください。

NFLTEN ビット（NMI デジタルフィルタ有効）

NMI 端子割り込みのデジタルフィルタを有効にします。デジタルフィルタは、NFLTEN ビットが 1 の場合に有効になり、NFLTEN ビットが 0 の場合に無効になります。NMI 端子レベルは、NMIFLTC.NFCLKSEL[1:0] ビットで指定されたサイクルでサンプリングされます。サンプリングされたレベルが 3 回一致すると、デジタルフィルタからの出力レベルが変化します。デジタルフィルタの詳細については、14.4.3 デジタルフィルタを参照してください。

14.2.6 ICU イベントリンク設定レジスタ n（IELSRn）（n = 0 ～ 95）

アドレス ICU.IELSR0 4000 6300h, ICU.IELSR1 4000 6304h, ICU.IELSR2 4000 6308h, ICU.IELSR3 4000 630Ch……
……ICU.IELSR92 4000 6470h, ICU.IELSR93 4000 6474h, ICU.IELSR94 4000 6478h, ICU.IELSR95 4000 647Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	DTCE	—	—	—	—	—	—	—	IR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IELS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	IELS[8:0]	ICUイベントリンク選択	b8 b0 000000000：対応するNVICまたはDTCモジュールへの割り込みは禁止 000000001～111111111：リンクするイベント信号の番号 詳細は、表 14.4 を参照してください。	R/W （注1）
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	IR	割り込みステータスフラグ	0：割り込み要求の発生なし 1：割り込み要求の発生あり	R/(W) （注2）
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	DTCE	DTC起動許可	0：禁止 1：許可	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このレジスタにはハーフワードまたはワードアクセスが必要です。
注 2. IR フラグを 1 にする書き込みは禁止です。

IELSRn レジスタでは、NVIC で使用する IRQ 要因を選択します。詳細は、表 14.4 を参照してください。IELSRn（n = 0 ～ 95）は、NVIC IRQ 入力要因番号 0 ～ 95 に対応しています。

IELS[8:0] ビット（ICU イベントリンク選択）

対応する NVIC または DTC モジュールにリンクするイベント信号を指定します。これら全ビットを同時に書き込む必要があります。

IR フラグ（割り込みステータスフラグ）

IELS[8:0] で指定されたイベントからの割り込み要求の有無を示します。

［1 になる条件］

対応する周辺モジュールまたは IRQi 端子から割り込み要求を受信したとき

［0 になる条件］

0 を書いたとき。DTCE ビットを 0 にしてから、IR フラグを 0 にすること

IR フラグのクリア方法：

1. 入力割り込み信号をネゲートする。
2. 周辺リードアクセスを 1 回実行し、対象モジュールクロックの 2 クロックサイクル分待つ。
3. 0 を書き込んで IR フラグをクリアする。

DTCE ビット（DTC 起動許可）

DTCE ビットを 1 にすると、対応するイベントが DTC 起動要因として選択されます。

［1 になる条件］

1 を書いたとき

［0 になる条件］

- 設定の転送数が終了したとき。チェーン転送の場合は、指定された最後のチェーン転送の転送数が終了したとき
- 0 を書いたとき

14.2.7 DMAC イベントリンク設定レジスタ n（DELSRn）（n = 0 ～ 7）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス ICU.DELSR0 4000 6280h, ICU.DELSR1 4000 6284h, ICU.DELSR2 4000 6288h, ICU.DELSR3 4000 628Ch, ICU.DELSR4 4000 6290h, ICU.DELSR5 4000 6294h, ICU.DELSR6 4000 6298h, ICU.DELSR7 4000 629Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DELS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	DELS[8:0]	DMACイベントリンク選択	b8 b0 000000000：対応するDMACモジュールへのDMA起動要求は無効 000000001～111111111：リンクするイベント信号の番号 詳細は、表 14.4 を参照してください。	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . このレジスタにはハーフワードまたはワードアクセスが必要です。

DELS[8:0] ビット（DMAC イベントリンク選択）

DMAC モジュールへのイベント信号を指定します。これら全ビットを同時に書き込む必要があります。

14.2.8 SYS イベントリンク設定レジスタ（SELSR0）

アドレス ICU.SELSR0 4000 6200h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SELS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	SELS[8:0]	SYSイベントリンク選択	b8 b0 000000000：対応する低消費電力モードモジュールへのイベント出力は無効 000000001～111111111：リンクするイベント信号の番号 詳細は、表 14.4 を参照してください。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . このレジスタにはハーフワードアクセスが必要です。

SELSR0 レジスタでは、スヌーズモードから CPU を復帰させるためのイベントを選択します。表 14.4 において「スヌーズモードの解除／ SELSR0 の使用」欄に○印が付いたイベントのみを使用できます。このレジスタで指定されるイベントは、表 14.4 では ICU_SNZCANCEL（02Dh）と定義されています。IELSRn.IELS ビットに 02Dh が設定されると、SELSR0 イベント割り込みが発生します。

SELS[8:0] ビット（SYS イベントリンク選択）

これら全ビットを同時に書き込む必要があります。

14.2.9 ウェイクアップ割り込みイネーブルレジスタ（WUPEN）

アドレス ICU.WUPEN 4000 61A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IIC0WUPEN	AGT1CBWUPEN	AGT1CAWUPEN	AGT1UDWUPEN	USBFSWUPEN	USBHSWUPEN	RTCPRDWUPEN	RTCALMWUPEN	—	ACMPHS0WUPEN	—	—	LVD2WUPEN	LVD1WUPEN	KEYWUPEN	IWDTWUPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IRQWUPEN[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	IRQWUPEN[15:0]	IRQ割り込みソフトウェアスタンバイ復帰許可	0：IRQ割り込みによるソフトウェアスタンバイ復帰禁止 1：IRQ割り込みによるソフトウェアスタンバイ復帰許可	R/W
b16	IWDTWUPEN	IWDT割り込みソフトウェアスタンバイ復帰許可	0：IWDT割り込みによるソフトウェアスタンバイ復帰禁止 1：IWDT割り込みによるソフトウェアスタンバイ復帰許可	R/W
b17	KEYWUPEN	キー割り込みソフトウェアスタンバイ復帰許可	0：キー割り込みによるソフトウェアスタンバイ復帰禁止 1：キー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b18	LVD1WUPEN	LVD1割り込みソフトウェアスタンバイ復帰許可	0：LVD1割り込みによるソフトウェアスタンバイ復帰禁止 1：LVD1割り込みによるソフトウェアスタンバイ復帰許可	R/W
b19	LVD2WUPEN	LVD2割り込みソフトウェアスタンバイ復帰許可	0：LVD2割り込みによるソフトウェアスタンバイ復帰禁止 1：LVD2割り込みによるソフトウェアスタンバイ復帰許可	R/W
b21-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	ACMPHS0WUPEN	ACMPHS0割り込みソフトウェアスタンバイ復帰許可	0：ACMPHS0割り込みによるソフトウェアスタンバイ復帰禁止 1：ACMPHS0割り込みによるソフトウェアスタンバイ復帰許可	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	RTCALMWUPEN	RTCアラーム割り込みソフトウェアスタンバイ復帰許可	0：RTCアラーム割り込みによるソフトウェアスタンバイ復帰禁止 1：RTCアラーム割り込みによるソフトウェアスタンバイ復帰許可	R/W
b25	RTCPRDWUPEN	RTC周期割り込みソフトウェアスタンバイ復帰許可	0：RTC周期割り込みによるソフトウェアスタンバイ復帰禁止 1：RTC周期割り込みによるソフトウェアスタンバイ復帰許可	R/W
b26	USBHSWUPEN	USBHS割り込みソフトウェアスタンバイ復帰許可	0：USBHS割り込みによるソフトウェアスタンバイ復帰禁止 1：USBHS割り込みによるソフトウェアスタンバイ復帰許可	R/W
b27	USBFSWUPEN	USBFS割り込みソフトウェアスタンバイ復帰許可	0：USBFS割り込みによるソフトウェアスタンバイ復帰禁止 1：USBFS割り込みによるソフトウェアスタンバイ復帰許可	R/W

ビット	シンボル	ビット名	機能	R/W
b28	AGT1UDWUPEN	AGT1アンダーフロー割り込みソフトウェアスタンバイ復帰許可	0：AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰禁止 1：AGT1アンダーフロー割り込みによるソフトウェアスタンバイ復帰許可	R/W
b29	AGT1CAWUPEN	AGT1コンペアマッチA割り込みソフトウェアスタンバイ復帰許可	0：AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰禁止 1：AGT1コンペアマッチA割り込みによるソフトウェアスタンバイ復帰許可	R/W
b30	AGT1CBWUPEN	AGT1コンペアマッチB割り込みソフトウェアスタンバイ復帰許可	0：AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰禁止 1：AGT1コンペアマッチB割り込みによるソフトウェアスタンバイ復帰許可	R/W
b31	IIC0WUPEN	IIC0アドレス一致割り込みソフトウェアスタンバイ復帰許可	0：IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰禁止 1：IIC0アドレス一致割り込みによるソフトウェアスタンバイ復帰許可	R/W

このレジスタの各ビットは、対応する割り込みがソフトウェアスタンバイモードから CPU を復帰させることができるかどうかを制御します。

IRQWUPEN[15:0] ビット（IRQ 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため IRQn 割り込みの使用を許可します。

IWDTWUPEN ビット（IWDT 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため IWDT 割り込みの使用を許可します。

KEYWUPEN ビット（キー割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するためキー割り込みの使用を許可します。

LVD1WUPEN ビット（LVD1 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため LVD1 割り込みの使用を許可します。

LVD2WUPEN ビット（LVD2 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため LVD2 割り込みの使用を許可します。

ACMPHS0WUPEN ビット（ACMPHS0 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため ACMPHS0 割り込みの使用を許可します。

RTCALMWUPEN ビット（RTC アラーム割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため RTC アラーム割り込みの使用を許可します。

RTCPRDWUPEN ビット（RTC 周期割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため RTC 周期割り込みの使用を許可します。

USBHSWUPEN ビット（USBHS 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため USBHS 割り込みの使用を許可します。

USBFSWUPEN ビット（USBFS 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため USBFS 割り込みの使用を許可します。

AGT1UDWUPEN ビット（AGT1 アンダーフロー割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため AGT1 アンダーフロー割り込みの使用を許可します。

AGT1CAWUPEN ビット（AGT1 コンペアマッチ A 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ A 割り込みの使用を許可します。

AGT1CBWUPEN ビット（AGT1 コンペアマッチ B 割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため AGT1 コンペアマッチ B 割り込みの使用を許可します。

IIC0WUPEN ビット（IIC0 アドレス一致割り込みソフトウェアスタンバイ復帰許可）

ソフトウェアスタンバイモードを解除するため IIC0 割り込みの使用を許可します。

14.3 ベクタテーブル

ICU は、マスカブル割り込みとノンマスカブル割り込みの 2 種類の割り込みを検出します。割り込み優先順位は Arm NVIC で設定されます。*ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)* の NVIC の章を参照してください。

14.3.1 割り込みベクタテーブル

表 14.3 に割り込みベクタを示します。アドレスは、NVIC の仕様に従います。

表 14.3 割り込みベクタテーブル (1/3)

例外番号	IRQ番号	ベクタオフセット	発生元	内容
0	-	000h	Arm	初期スタックポインタ
1	-	004h	Arm	初期プログラムカウンタ（リセットベクタ）
2	-	008h	Arm	ノンマスカブル割り込み（NMI）
3	-	00Ch	Arm	ハード障害
4	-	010h	Arm	MemManage障害
5	-	014h	Arm	バス障害
6	-	018h	Arm	使用障害
7	-	01Ch	Arm	予約
8	-	020h	Arm	予約
9	-	024h	Arm	予約
10	-	028h	Arm	予約
11	-	02Ch	Arm	スーパバイザコール（SVCall）
12	-	030h	Arm	デバッグ監視
13	-	034h	Arm	予約
14	-	038h	Arm	システムサービスに対する保留可能な要求（PendableSrvReq）
15	-	03Ch	Arm	システムティックタイマ（SysTick）
16	0	040h	ICU.IELSR0	ICU.IELSR0 レジスタで選択されたイベント
17	1	044h	ICU.IELSR1	ICU.IELSR1 レジスタで選択されたイベント
18	2	048h	ICU.IELSR2	ICU.IELSR2 レジスタで選択されたイベント
19	3	04Ch	ICU.IELSR3	ICU.IELSR3 レジスタで選択されたイベント
20	4	050h	ICU.IELSR4	ICU.IELSR4 レジスタで選択されたイベント
21	5	054h	ICU.IELSR5	ICU.IELSR5 レジスタで選択されたイベント
22	6	058h	ICU.IELSR6	ICU.IELSR6 レジスタで選択されたイベント
23	7	05Ch	ICU.IELSR7	ICU.IELSR7 レジスタで選択されたイベント
24	8	060h	ICU.IELSR8	ICU.IELSR8 レジスタで選択されたイベント
25	9	064h	ICU.IELSR9	ICU.IELSR9 レジスタで選択されたイベント
26	10	068h	ICU.IELSR10	ICU.IELSR10 レジスタで選択されたイベント
27	11	06Ch	ICU.IELSR11	ICU.IELSR11 レジスタで選択されたイベント
28	12	070h	ICU.IELSR12	ICU.IELSR12 レジスタで選択されたイベント
29	13	074h	ICU.IELSR13	ICU.IELSR13 レジスタで選択されたイベント
30	14	078h	ICU.IELSR14	ICU.IELSR14 レジスタで選択されたイベント
31	15	07Ch	ICU.IELSR15	ICU.IELSR15 レジスタで選択されたイベント
32	16	080h	ICU.IELSR16	ICU.IELSR16 レジスタで選択されたイベント
33	17	084h	ICU.IELSR17	ICU.IELSR17 レジスタで選択されたイベント
34	18	088h	ICU.IELSR18	ICU.IELSR18 レジスタで選択されたイベント
35	19	08Ch	ICU.IELSR19	ICU.IELSR19 レジスタで選択されたイベント
36	20	090h	ICU.IELSR20	ICU.IELSR20 レジスタで選択されたイベント

表 14.3 割り込みベクタテーブル (2/3)

例外番号	IRQ番号	ベクタ オフセット	発生元	内容
37	21	094h	ICU.IELSR21	ICU.IELSR21 レジスタで選択されたイベント
38	22	098h	ICU.IELSR22	ICU.IELSR22 レジスタで選択されたイベント
39	23	09Ch	ICU.IELSR23	ICU.IELSR23 レジスタで選択されたイベント
40	24	0A0h	ICU.IELSR24	ICU.IELSR24 レジスタで選択されたイベント
41	25	0A4h	ICU.IELSR25	ICU.IELSR25 レジスタで選択されたイベント
42	26	0A8h	ICU.IELSR26	ICU.IELSR26 レジスタで選択されたイベント
43	27	0ACh	ICU.IELSR27	ICU.IELSR27 レジスタで選択されたイベント
44	28	0B0h	ICU.IELSR28	ICU.IELSR28 レジスタで選択されたイベント
45	29	0B4h	ICU.IELSR29	ICU.IELSR29 レジスタで選択されたイベント
46	30	0B8h	ICU.IELSR30	ICU.IELSR30 レジスタで選択されたイベント
47	31	0BCh	ICU.IELSR31	ICU.IELSR31 レジスタで選択されたイベント
48	32	0C0h	ICU.IELSR32	ICU.IELSR32 レジスタで選択されたイベント
49	33	0C4h	ICU.IELSR33	ICU.IELSR33 レジスタで選択されたイベント
50	34	0C8h	ICU.IELSR34	ICU.IELSR34 レジスタで選択されたイベント
51	35	0CCh	ICU.IELSR35	ICU.IELSR35 レジスタで選択されたイベント
52	36	0D0h	ICU.IELSR36	ICU.IELSR36 レジスタで選択されたイベント
53	37	0D4h	ICU.IELSR37	ICU.IELSR37 レジスタで選択されたイベント
54	38	0D8h	ICU.IELSR38	ICU.IELSR38 レジスタで選択されたイベント
55	39	0DCh	ICU.IELSR39	ICU.IELSR39 レジスタで選択されたイベント
56	40	0E0h	ICU.IELSR40	ICU.IELSR40 レジスタで選択されたイベント
57	41	0E4h	ICU.IELSR41	ICU.IELSR41 レジスタで選択されたイベント
58	42	0E8h	ICU.IELSR42	ICU.IELSR42 レジスタで選択されたイベント
59	43	0ECh	ICU.IELSR43	ICU.IELSR43 レジスタで選択されたイベント
60	44	0F0h	ICU.IELSR44	ICU.IELSR44 レジスタで選択されたイベント
61	45	0F4h	ICU.IELSR45	ICU.IELSR45 レジスタで選択されたイベント
62	46	0F8h	ICU.IELSR46	ICU.IELSR46 レジスタで選択されたイベント
63	47	0FCh	ICU.IELSR47	ICU.IELSR47 レジスタで選択されたイベント
64	48	100h	ICU.IELSR48	ICU.IELSR48 レジスタで選択されたイベント
65	49	104h	ICU.IELSR49	ICU.IELSR49 レジスタで選択されたイベント
66	50	108h	ICU.IELSR50	ICU.IELSR50 レジスタで選択されたイベント
67	51	10Ch	ICU.IELSR51	ICU.IELSR51 レジスタで選択されたイベント
68	52	110h	ICU.IELSR52	ICU.IELSR52 レジスタで選択されたイベント
69	53	114h	ICU.IELSR53	ICU.IELSR53 レジスタで選択されたイベント
70	54	118h	ICU.IELSR54	ICU.IELSR54 レジスタで選択されたイベント
71	55	11Ch	ICU.IELSR55	ICU.IELSR55 レジスタで選択されたイベント
72	56	120h	ICU.IELSR56	ICU.IELSR56 レジスタで選択されたイベント
73	57	124h	ICU.IELSR57	ICU.IELSR57 レジスタで選択されたイベント
74	58	128h	ICU.IELSR58	ICU.IELSR58 レジスタで選択されたイベント
75	59	12Ch	ICU.IELSR59	ICU.IELSR59 レジスタで選択されたイベント
76	60	130h	ICU.IELSR60	ICU.IELSR60 レジスタで選択されたイベント
77	61	134h	ICU.IELSR61	ICU.IELSR61 レジスタで選択されたイベント
78	62	138h	ICU.IELSR62	ICU.IELSR62 レジスタで選択されたイベント
79	63	13Ch	ICU.IELSR63	ICU.IELSR63 レジスタで選択されたイベント
80	64	140h	ICU.IELSR64	ICU.IELSR64 レジスタで選択されたイベント
81	65	144h	ICU.IELSR65	ICU.IELSR65 レジスタで選択されたイベント

表 14.3 割り込みベクタテーブル (3/3)

例外番号	IRQ番号	ベクタ オフセット	発生元	内容
82	66	148h	ICU.IELSR66	ICU.IELSR66 レジスタで選択されたイベント
83	67	14Ch	ICU.IELSR67	ICU.IELSR67 レジスタで選択されたイベント
84	68	150h	ICU.IELSR68	ICU.IELSR68 レジスタで選択されたイベント
85	69	154h	ICU.IELSR69	ICU.IELSR69 レジスタで選択されたイベント
86	70	158h	ICU.IELSR70	ICU.IELSR70 レジスタで選択されたイベント
87	71	15Ch	ICU.IELSR71	ICU.IELSR71 レジスタで選択されたイベント
88	72	160h	ICU.IELSR72	ICU.IELSR72 レジスタで選択されたイベント
89	73	164h	ICU.IELSR73	ICU.IELSR73 レジスタで選択されたイベント
90	74	168h	ICU.IELSR74	ICU.IELSR74 レジスタで選択されたイベント
91	75	16Ch	ICU.IELSR75	ICU.IELSR75 レジスタで選択されたイベント
92	76	170h	ICU.IELSR76	ICU.IELSR76 レジスタで選択されたイベント
93	77	174h	ICU.IELSR77	ICU.IELSR77 レジスタで選択されたイベント
94	78	178h	ICU.IELSR78	ICU.IELSR78 レジスタで選択されたイベント
95	79	17Ch	ICU.IELSR79	ICU.IELSR79 レジスタで選択されたイベント
96	80	180h	ICU.IELSR80	ICU.IELSR80 レジスタで選択されたイベント
97	81	184h	ICU.IELSR81	ICU.IELSR81 レジスタで選択されたイベント
98	82	188h	ICU.IELSR82	ICU.IELSR82 レジスタで選択されたイベント
99	83	18Ch	ICU.IELSR83	ICU.IELSR83 レジスタで選択されたイベント
100	84	190h	ICU.IELSR84	ICU.IELSR84 レジスタで選択されたイベント
101	85	194h	ICU.IELSR85	ICU.IELSR85 レジスタで選択されたイベント
102	86	198h	ICU.IELSR86	ICU.IELSR86 レジスタで選択されたイベント
103	87	19Ch	ICU.IELSR87	ICU.IELSR87 レジスタで選択されたイベント
104	88	1A0h	ICU.IELSR88	ICU.IELSR88 レジスタで選択されたイベント
105	89	1A4h	ICU.IELSR89	ICU.IELSR89 レジスタで選択されたイベント
106	90	1A8h	ICU.IELSR90	ICU.IELSR90 レジスタで選択されたイベント
107	91	1ACh	ICU.IELSR91	ICU.IELSR91 レジスタで選択されたイベント
108	92	1B0h	ICU.IELSR92	ICU.IELSR92 レジスタで選択されたイベント
109	93	1B4h	ICU.IELSR93	ICU.IELSR93 レジスタで選択されたイベント
110	94	1B8h	ICU.IELSR94	ICU.IELSR94 レジスタで選択されたイベント
111	95	1BCh	ICU.IELSR95	ICU.IELSR95 レジスタで選択されたイベント

14.3.2 イベント番号

下表は、イベント番号を記した表 14.4 の各項目の説明です。

項目	内容
割り込み要求の発生元	割り込み要求の発生元の名称
名称	割り込みの名称
NVICへの接続	CPU割り込み（IELSRnの設定）として使用可能な割り込みが○印で示されています。
DTCの起動	DTCの起動要求（IELSRnの設定）に使用可能な割り込みが○印で示されています。
DMACの起動	DMACの起動要求（DELSRnの設定）に使用可能な割り込みが○印で示されています。
スヌーズモードの解除	スヌーズモードからの復帰要求に使用可能な割り込みが○印で示されています。
ソフトウェアスタンバイモードの解除	ソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。
ディープソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードからの復帰要求に使用可能な割り込みが○印で示されています。

表 14.4 イベントテーブル (1/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
001h	ポート	PORT_IRQ0	○	○	○	○	○	○
002h		PORT_IRQ1	○	○	○	○	○	○
003h		PORT_IRQ2	○	○	○	○	○	○
004h		PORT_IRQ3	○	○	○	○	○	○
005h		PORT_IRQ4	○	○	○	○	○	○
006h		PORT_IRQ5	○	○	○	○	○	○
007h		PORT_IRQ6	○	○	○	○	○	○
008h		PORT_IRQ7	○	○	○	○	○	○
009h		PORT_IRQ8	○	○	○	○	○	○
00Ah		PORT_IRQ9	○	○	○	○	○	○
00Bh		PORT_IRQ10	○	○	○	○	○	○
00Ch		PORT_IRQ11	○	○	○	○	○	○
00Dh		PORT_IRQ12	○	○	○	○	○	○
00Eh		PORT_IRQ13	○	○	○	○	○	○
00Fh		PORT_IRQ14	○	○	○	○	○	○
010h		PORT_IRQ15	○	○	○	○	○	○
020h	DMAC0	DMAC0_INT	○	○	-	-	-	-
021h	DMAC1	DMAC1_INT	○	○	-	-	-	-
022h	DMAC2	DMAC2_INT	○	○	-	-	-	-
023h	DMAC3	DMAC3_INT	○	○	-	-	-	-
024h	DMAC4	DMAC4_INT	○	○	-	-	-	-
025h	DMAC5	DMAC5_INT	○	○	-	-	-	-
026h	DMAC6	DMAC6_INT	○	○	-	-	-	-
027h	DMAC7	DMAC7_INT	○	○	-	-	-	-
029h	DTC	DTC_COMPLETE	○	-	-	○（注5）	-	-
02Dh	ICU	ICU_SNZCANCEL	○	-	-	○	-	-
030h	FCU	FCU_FIFERR	○	-	-	-	-	-
031h		FCU_FRDYI	○	-	-	-	-	-
038h	LVD	LVD_LVD1	○	-	-	○	○	○
039h		LVD_LVD2	○	-	-	○	○	○

表 14.4 イベントテーブル (2/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
03Bh	MOSC	MOSC_STOP	○	-	-	-	-	-
03Ch	低消費電力モード	SYSTEM_SNZREQ	-	○	-	-	-	-
040h	AGT0	AGT0_AGTI	○	○	○	-	-	-
041h		AGT0_AGTCMAI	○	○	○	-	-	-
042h		AGT0_AGTCMBI	○	○	○	-	-	-
043h	AGT1	AGT1_AGTI	○	○	○	○	○	○
044h		AGT1_AGTCMAI	○	○	○	○	○	-
045h		AGT1_AGTCMBI	○	○	○	○	○	-
046h	IWDT	IWDT_NMIUNDF	○	-	-	○	○	-
047h	WDT	WDT_NMIUNDF	○	-	-	-	-	-
048h	RTC	RTC_ALM	○	-	-	○	○	○
049h		RTC_PRD	○	-	-	○	○	○
04Ah		RTC_CUP	○	-	-	-	-	-
04Bh	ADC120	ADC120_ADI	○	○	○	-	-	-
04Ch		ADC120_GBADI	○	○	○	-	-	-
04Dh		ADC120_CMPAI	○	-	-	-	-	-
04Eh		ADC120_CMPBI	○	-	-	-	-	-
04Fh		ADC120_WCMPM	-	○	○	○（注5）	-	-
050h		ADC120_WCMPUM	-	○	○	○（注5）	-	-
051h	ADC121	ADC121_ADI	○	○	○	-	-	-
052h		ADC121_GBADI	○	○	○	-	-	-
053h		ADC121_CMPAI	○	-	-	-	-	-
054h		ADC121_CMPBI	○	-	-	-	-	-
055h		ADC121_WCMPM	-	○	○	○（注5）	-	-
056h		ADC121_WCMPUM	-	○	○	○（注5）	-	-
057h	ACMPHS	ACMP_HS0	○	-	-	○（注1）	○（注1）	-
058h		ACMP_HS1	○	-	-	-	-	-
059h		ACMP_HS2	○	-	-	-	-	-
05Ah		ACMP_HS3	○	-	-	-	-	-
05Bh		ACMP_HS4	○	-	-	-	-	-
05Ch		ACMP_HS5	○	-	-	-	-	-
05Fh	USBFS	USBFS_D0FIFO	○	○	○	-	-	-
060h		USBFS_D1FIFO	○	○	○	-	-	-
061h		USBFS_USBI	○	-	-	-	-	-
062h		USBFS_USBR	○	-	-	○	○	○
063h	IIC0	IIC0_RXI	○	○	○	-	-	-
064h		IIC0_TXI	○	○	○	-	-	-
065h		IIC0_TEI	○	-	-	-	-	-
066h		IIC0_EEI	○	-	-	-	-	-
067h		IIC0_WUI	○	-	-	-	○	-
068h	IIC1	IIC1_RXI	○	○	○	-	-	-
069h		IIC1_TXI	○	○	○	-	-	-
06Ah		IIC1_TEI	○	-	-	-	-	-
06Bh		IIC1_EEI	○	-	-	-	-	-

表 14.4 イベントテーブル (3/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
06Dh	IIC2	IIC2_RXI	○	○	○	-	-	-
06Eh		IIC2_TXI	○	○	○	-	-	-
06Fh		IIC2_TEI	○	-	-	-	-	-
070h		IIC2_EEI	○	-	-	-	-	-
072h	SSI0	SSI0_SSITXI	○	○	○	-	-	-
073h		SSI0_SSIRXI	○	○	○	-	-	-
075h		SSI0_SSIF	○	-	-	-	-	-
078h	SSI1	SSI1_SSIRT	○	○	○	-	-	-
079h		SSI1_SSIF	○	-	-	-	-	-
07Ah	SRC	SRC_IDEI	○	○	○	-	-	-
07Bh		SRC_ODFI	○	○	○	-	-	-
07Ch		SRC_OVFI	○	-	-	-	-	-
07Dh		SRC_UDFI	○	-	-	-	-	-
07Eh		SRC_CEFI	○	-	-	-	-	-
07Fh	PDC	PDC_PCDFI	○	○	○	-	-	-
080h		PDC_PCFEI	○	-	-	-	-	-
081h		PDC_PCERI	○	-	-	-	-	-
082h	CTSU	CTSU_CTSUWR	○	○	○	-	-	-
083h		CTSU_CTSURD	○	○	○	-	-	-
084h		CTSU_CTSUFN	○	-	-	○（注5）	-	-
085h	KINT	KEY_INTKR	○	-	-	○（注2）	○（注2）	-
086h	DOC	DOC_DOPCI	○	-	-	○（注5）	-	-
087h	CAC	CAC_FERRI	○	-	-	-	-	-
088h		CAC_MENDI	○	-	-	-	-	-
089h		CAC_OVFI	○	-	-	-	-	-
08Ah	CAN0	CAN0_ERS	○	-	-	-	-	-
08Bh		CAN0_RXF	○	-	-	-	-	-
08Ch		CAN0_TXF	○	-	-	-	-	-
08Dh		CAN0_RXM	○	-	-	-	-	-
08Eh		CAN0_TXM	○	-	-	-	-	-
08Fh	CAN1	CAN1_ERS	○	-	-	-	-	-
090h		CAN1_RXF	○	-	-	-	-	-
091h		CAN1_TXF	○	-	-	-	-	-
092h		CAN1_RXM	○	-	-	-	-	-
093h		CAN1_TXM	○	-	-	-	-	-
094h	I/Oポート	IOPORT_GROUP1	○	○（注3）	○（注3）	-	-	-
095h		IOPORT_GROUP2	○	○（注3）	○（注3）	-	-	-
096h		IOPORT_GROUP3	○	○（注3）	○（注3）	-	-	-
097h		IOPORT_GROUP4	○	○（注3）	○（注3）	-	-	-
098h	ELC	ELC_SWEVT0	○（注4）	○	-	-	-	-
099h		ELC_SWEVT1	○（注4）	○	-	-	-	-
09Ah	POEG	POEG_GROUP0	○	-	-	-	-	-
09Bh		POEG_GROUP1	○	-	-	-	-	-
09Ch		POEG_GROUP2	○	-	-	-	-	-
09Dh		POEG_GROUP3	○	-	-	-	-	-

表 14.4 イベントテーブル (4/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
0B0h	GPT32EH0	GPT0_CCMPA	○	○	○	-	-	-
0B1h		GPT0_CCMPB	○	○	○	-	-	-
0B2h		GPT0_CMPC	○	○	○	-	-	-
0B3h		GPT0_CMPD	○	○	○	-	-	-
0B4h		GPT0_CMPE	○	○	○	-	-	-
0B5h		GPT0_CMPF	○	○	○	-	-	-
0B6h		GPT0_OVF	○	○	○	-	-	-
0B7h		GPT0_UDF	○	○	○	-	-	-
0B8h		GPT0_ADTRGA	○	○	○	-	-	-
0B9h		GPT0_ADTRGB	○	○	○	-	-	-
0BAh	GPT32EH1	GPT1_CCMPA	○	○	○	-	-	-
0BBh		GPT1_CCMPB	○	○	○	-	-	-
0BCh		GPT1_CMPC	○	○	○	-	-	-
0BDh		GPT1_CMPD	○	○	○	-	-	-
0BEh		GPT1_CMPE	○	○	○	-	-	-
0BFh		GPT1_CMPF	○	○	○	-	-	-
0C0h		GPT1_OVF	○	○	○	-	-	-
0C1h		GPT1_UDF	○	○	○	-	-	-
0C2h		GPT1_ADTRGA	○	○	○	-	-	-
0C3h		GPT1_ADTRGB	○	○	○	-	-	-
0C4h	GPT32EH2	GPT2_CCMPA	○	○	○	-	-	-
0C5h		GPT2_CCMPB	○	○	○	-	-	-
0C6h		GPT2_CMPC	○	○	○	-	-	-
0C7h		GPT2_CMPD	○	○	○	-	-	-
0C8h		GPT2_CMPE	○	○	○	-	-	-
0C9h		GPT2_CMPF	○	○	○	-	-	-
0CAh		GPT2_OVF	○	○	○	-	-	-
0CBh		GPT2_UDF	○	○	○	-	-	-
0CCh		GPT2_ADTRGA	○	○	○	-	-	-
0CDh		GPT2_ADTRGB	○	○	○	-	-	-
0CEh	GPT32EH3	GPT3_CCMPA	○	○	○	-	-	-
0CFh		GPT3_CCMPB	○	○	○	-	-	-
0D0h		GPT3_CMPC	○	○	○	-	-	-
0D1h		GPT3_CMPD	○	○	○	-	-	-
0D2h		GPT3_CMPE	○	○	○	-	-	-
0D3h		GPT3_CMPF	○	○	○	-	-	-
0D4h		GPT3_OVF	○	○	○	-	-	-
0D5h		GPT3_UDF	○	○	○	-	-	-
0D6h		GPT3_ADTRGA	○	○	○	-	-	-
0D7h		GPT3_ADTRGB	○	○	○	-	-	-

表 14.4 イベントテーブル (5/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
0D8h	GPT32E4	GPT4_CCMPA	○	○	○	-	-	-
0D9h		GPT4_CCMPB	○	○	○	-	-	-
0DAh		GPT4_CMPC	○	○	○	-	-	-
0DBh		GPT4_CMPD	○	○	○	-	-	-
0DCh		GPT4_CMPE	○	○	○	-	-	-
0DDh		GPT4_CMPF	○	○	○	-	-	-
0DEh		GPT4_OVF	○	○	○	-	-	-
0DFh		GPT4_UDF	○	○	○	-	-	-
0E0h		GPT4_ADTRGA	○	○	○	-	-	-
0E1h		GPT4_ADTRGB	○	○	○	-	-	-
0E2h	GPT32E5	GPT5_CCMPA	○	○	○	-	-	-
0E3h		GPT5_CCMPB	○	○	○	-	-	-
0E4h		GPT5_CMPC	○	○	○	-	-	-
0E5h		GPT5_CMPD	○	○	○	-	-	-
0E6h		GPT5_CMPE	○	○	○	-	-	-
0E7h		GPT5_CMPF	○	○	○	-	-	-
0E8h		GPT5_OVF	○	○	○	-	-	-
0E9h		GPT5_UDF	○	○	○	-	-	-
0EAh		GPT5_ADTRGA	○	○	○	-	-	-
0EBh		GPT5_ADTRGB	○	○	○	-	-	-
0ECh	GPT32E6	GPT6_CCMPA	○	○	○	-	-	-
0EDh		GPT6_CCMPB	○	○	○	-	-	-
0EEh		GPT6_CMPC	○	○	○	-	-	-
0EFh		GPT6_CMPD	○	○	○	-	-	-
0F0h		GPT6_CMPE	○	○	○	-	-	-
0F1h		GPT6_CMPF	○	○	○	-	-	-
0F2h		GPT6_OVF	○	○	○	-	-	-
0F3h		GPT6_UDF	○	○	○	-	-	-
0F4h		GPT6_ADTRGA	○	○	○	-	-	-
0F5h		GPT6_ADTRGB	○	○	○	-	-	-
0F6h	GPT32E7	GPT7_CCMPA	○	○	○	-	-	-
0F7h		GPT7_CCMPB	○	○	○	-	-	-
0F8h		GPT7_CMPC	○	○	○	-	-	-
0F9h		GPT7_CMPD	○	○	○	-	-	-
0FAh		GPT7_CMPE	○	○	○	-	-	-
0FBh		GPT7_CMPF	○	○	○	-	-	-
0FCh		GPT7_OVF	○	○	○	-	-	-
0FDh		GPT7_UDF	○	○	○	-	-	-
0FEh		GPT7_ADTRGA	○	○	○	-	-	-
0FFh		GPT7_ADTRGB	○	○	○	-	-	-

表 14.4 イベントテーブル (6/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
100h	GPT328	GPT8_CCMPA	○	○	○	-	-	-
101h		GPT8_CCMPB	○	○	○	-	-	-
102h		GPT8_CMPC	○	○	○	-	-	-
103h		GPT8_CMPD	○	○	○	-	-	-
104h		GPT8_CMPE	○	○	○	-	-	-
105h		GPT8_CMPF	○	○	○	-	-	-
106h		GPT8_OVF	○	○	○	-	-	-
107h		GPT8_UDF	○	○	○	-	-	-
10Ah	GPT329	GPT9_CCMPA	○	○	○	-	-	-
10Bh		GPT9_CCMPB	○	○	○	-	-	-
10Ch		GPT9_CMPC	○	○	○	-	-	-
10Dh		GPT9_CMPD	○	○	○	-	-	-
10Eh		GPT9_CMPE	○	○	○	-	-	-
10Fh		GPT9_CMPF	○	○	○	-	-	-
110h		GPT9_OVF	○	○	○	-	-	-
111h		GPT9_UDF	○	○	○	-	-	-
114h	GPT3210	GPT10_CCMPA	○	○	○	-	-	-
115h		GPT10_CCMPB	○	○	○	-	-	-
116h		GPT10_CMPC	○	○	○	-	-	-
117h		GPT10_CMPD	○	○	○	-	-	-
118h		GPT10_CMPE	○	○	○	-	-	-
119h		GPT10_CMPF	○	○	○	-	-	-
11Ah		GPT10_OVF	○	○	○	-	-	-
11Bh		GPT10_UDF	○	○	○	-	-	-
11Eh	GPT3211	GPT11_CCMPA	○	○	○	-	-	-
11Fh		GPT11_CCMPB	○	○	○	-	-	-
120h		GPT11_CMPC	○	○	○	-	-	-
121h		GPT11_CMPD	○	○	○	-	-	-
122h		GPT11_CMPE	○	○	○	-	-	-
123h		GPT11_CMPF	○	○	○	-	-	-
124h		GPT11_OVF	○	○	○	-	-	-
125h		GPT11_UDF	○	○	○	-	-	-
128h	GPT3212	GPT12_CCMPA	○	○	○	-	-	-
129h		GPT12_CCMPB	○	○	○	-	-	-
12Ah		GPT12_CMPC	○	○	○	-	-	-
12Bh		GPT12_CMPD	○	○	○	-	-	-
12Ch		GPT12_CMPE	○	○	○	-	-	-
12Dh		GPT12_CMPF	○	○	○	-	-	-
12Eh		GPT12_OVF	○	○	○	-	-	-
12Fh		GPT12_UDF	○	○	○	-	-	-

表 14.4 イベントテーブル (7/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
132h	GPT3213	GPT13_CCMPA	○	○	○	-	-	-
133h		GPT13_CCMPB	○	○	○	-	-	-
134h		GPT13_CMPC	○	○	○	-	-	-
135h		GPT13_CMPD	○	○	○	-	-	-
136h		GPT13_CMPE	○	○	○	-	-	-
137h		GPT13_CMPF	○	○	○	-	-	-
138h		GPT13_OVF	○	○	○	-	-	-
139h		GPT13_UDF	○	○	○	-	-	-
150h	GPT	GPT_UVWEDGE	○			-	-	-
160h	イーサネットコントローラ	ETHER_IPLS	○	○	○	-	-	-
161h		ETHER_MINT	○	-	-	-	-	-
162h		ETHER_PINT	○	-	-	-	-	-
163h		ETHER_EINT0	○	-	-	-	-	-
164h		ETHER_EINT1	○	-	-	-	-	-
171h	USBHS	USBHS_D0FIFO	○	○	○	-	-	-
172h		USBHS_D1FIFO	○	○	○	-	-	-
173h		USBHS_USBIR	○	-	-	○	○	○
174h	SCI0	SCI0_RXI	○	○	○	-	-	-
175h		SCI0_TXI	○	○	○	-	-	-
176h		SCI0_TEI	○	-	-	-	-	-
177h		SCI0_ERI	○	-	-	-	-	-
178h		SCI0_AM	○	-	-	○（注5）	-	-
179h		SCI0_RXI_OR_ERI	-	-	-	○（注5）	-	-
17Ah	SCI1	SCI1_RXI	○	○	○	-	-	-
17Bh		SCI1_TXI	○	○	○	-	-	-
17Ch		SCI1_TEI	○	-	-	-	-	-
17Dh		SCI1_ERI	○	-	-	-	-	-
17Eh		SCI1_AM	○	-	-	-	-	-
180h	SCI2	SCI2_RXI	○	○	○	-	-	-
181h		SCI2_TXI	○	○	○	-	-	-
182h		SCI2_TEI	○	-	-	-	-	-
183h		SCI2_ERI	○	-	-	-	-	-
184h		SCI2_AM	○	-	-	-	-	-
186h	SCI3	SCI3_RXI	○	○	○	-	-	-
187h		SCI3_TXI	○	○	○	-	-	-
188h		SCI3_TEI	○	-	-	-	-	-
189h		SCI3_ERI	○	-	-	-	-	-
18Ah		SCI3_AM	○	-	-	-	-	-
18Ch	SCI4	SCI4_RXI	○	○	○	-	-	-
18Dh		SCI4_TXI	○	○	○	-	-	-
18Eh		SCI4_TEI	○	-	-	-	-	-
18Fh		SCI4_ERI	○	-	-	-	-	-
190h		SCI4_AM	○	-	-	-	-	-

表 14.4 イベントテーブル (8/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
192h	SCI5	SCI5_RXI	○	○	○	-	-	-
193h		SCI5_TXI	○	○	○	-	-	-
194h		SCI5_TEI	○	-	-	-	-	-
195h		SCI5_ERI	○	-	-	-	-	-
196h		SCI5_AM	○	-	-	-	-	-
198h	SCI6	SCI6_RXI	○	○	○	-	-	-
199h		SCI6_TXI	○	○	○	-	-	-
19Ah		SCI6_TEI	○	-	-	-	-	-
19Bh		SCI6_ERI	○	-	-	-	-	-
19Ch		SCI6_AM	○	-	-	-	-	-
19Eh	SCI7	SCI7_RXI	○	○	○	-	-	-
19Fh		SCI7_TXI	○	○	○	-	-	-
1A0h		SCI7_TEI	○	-	-	-	-	-
1A1h		SCI7_ERI	○	-	-	-	-	-
1A2h		SCI7_AM	○	-	-	-	-	-
1A4h	SCI8	SCI8_RXI	○	○	○	-	-	-
1A5h		SCI8_TXI	○	○	○	-	-	-
1A6h		SCI8_TEI	○	-	-	-	-	-
1A7h		SCI8_ERI	○	-	-	-	-	-
1A8h		SCI8_AM	○	-	-	-	-	-
1AAh	SCI9	SCI9_RXI	○	○	○	-	-	-
1ABh		SCI9_TXI	○	○	○	-	-	-
1ACh		SCI9_TEI	○	-	-	-	-	-
1ADh		SCI9_ERI	○	-	-	-	-	-
1AEh		SCI9_AM	○	-	-	-	-	-
1BCh	SPI0	SPI0_SPRI	○	○	○	-	-	-
1BDh		SPI0_SPTI	○	○	○	-	-	-
1BEh		SPI0_SPII	○	-	-	-	-	-
1BFh		SPI0_SPEI	○	-	-	-	-	-
1C0h		SPI0_SPTEND	○	-	-	-	-	-
1C1h	SPI1	SPI1_SPRI	○	○	○	-	-	-
1C2h		SPI1_SPTI	○	○	○	-	-	-
1C3h		SPI1_SPII	○	-	-	-	-	-
1C4h		SPI1_SPEI	○	-	-	-	-	-
1C5h		SPI1_SPTEND	○	-	-	-	-	-
1C6h	QSPI	QSPI_INTR	○	-	-	-	-	-
1C7h	SDHI0	SDHI_MMC0_ACCS	○	-	-	-	-	-
1C8h		SDHI_MMC0_SDIO	○	-	-	-	-	-
1C9h		SDHI_MMC0_CARD	○	-	-	-	-	-
1CAh		SDHI_MMC0_ODMSDBREQ	-	○	○	-	-	-
1CBh	SDHI1	SDHI_MMC1_ACCS	○	-	-	-	-	-
1CCh		SDHI_MMC1_SDIO	○	-	-	-	-	-
1CDh		SDHI_MMC1_CARD	○	-	-	-	-	-
1CEh		SDHI_MMC1_ODMSDBREQ	-	○	○	-	-	-
1FAh	GLCDC	GLCDC_VPOS	○	-	-	-	-	-
1FBh		GLCDC_L1UNDF	○	-	-	-	-	-
1FCh		GLCDC_L2UNDF	○	-	-	-	-	-

表 14.4 イベントテーブル (9/9)

イベント番号	割り込み要求の発生元	名称	IELSRn		DELSRn	スヌーズモードの解除	ソフトウェアスタンバイモードの解除	ディープソフトウェアスタンバイモードの解除
			NVICへの接続	DTCの起動	DMACの起動			
1FDh	2D描画エンジン	DRW_IRQ	○	-	-	-	-	-
1FEh	JPEGコーデック	JPEG_JEDI	○	-	-	-	-	-
1FFh		JPEG_JDTI	○	-	-	-	-	-

注 1. CMPCTL0.CSTEN = 1 の場合にのみサポートされます。
注 2. KRCTL.KRMD = 1 の場合にのみサポートされます。
注 3. 最初のエッジ検出のみが有効です。
注 4. DTC 転送後の割り込みのみがサポートされます。
注 5. SELSR0 の使用

14.4 割り込み動作

ICU は下記の機能を実行します。

- 割り込みの検出
- 割り込みの許可／禁止
- 割り込み要求先の選択（CPU 割り込み、DTC 起動、DMAC 起動など）

14.4.1 割り込みの検出

外部端子割り込み要求は、割り込み信号のエッジまたはレベル（立ち下がりエッジ／立ち上がりエッジ／両エッジ／ Low レベル）のいずれかで検出されます。IRQi 端子検出モードを選択するには、IRQCRi レジスタの IRQMD[1:0] ビットを設定します。周辺モジュールに関連した割り込み要因については、14.3.2 イベント番号を参照してください。イベントは、割り込みが発生して CPU に受け付けられる前に、NVIC で受け付けられる必要があります。

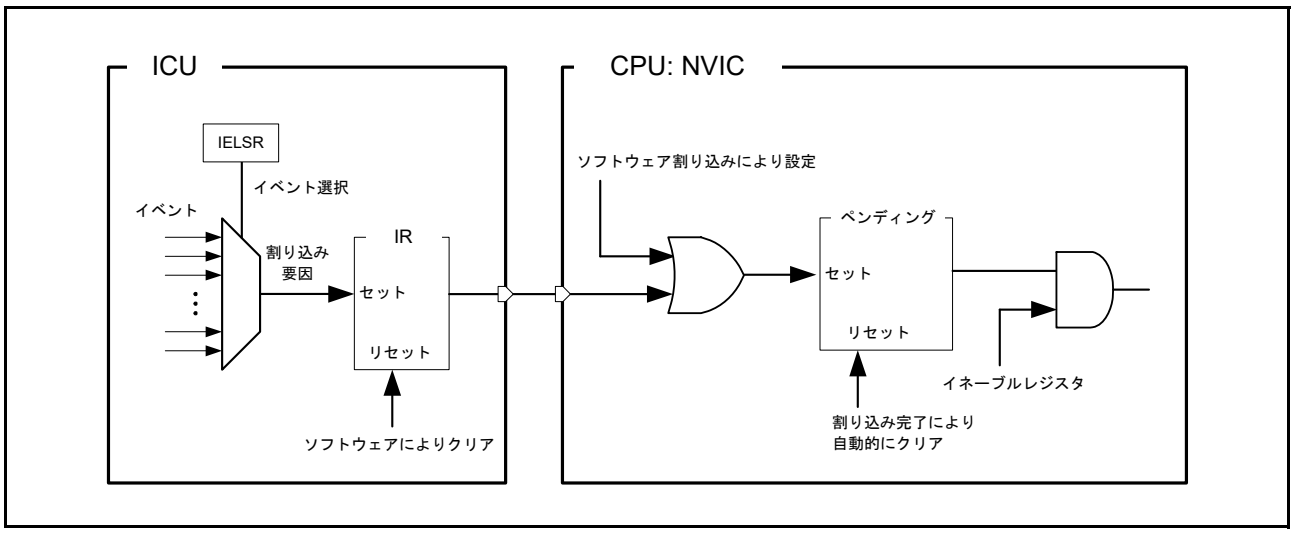


図 14.2 ICU および CPU: NVIC の割り込み経路

割り込みを検出するには以下の手順に従ってください。

- 割り込み中の一般的動作
  - 非ソフトウェア割り込みが発生したとき：
    IELSRn.IR フラグと割り込みセット／クリア保留レジスタ（NVIC）が設定される
  - ソフトウェア割り込みが発生したとき：
    割り込みセット保留レジスタを設定する
  - 割り込みが完了したとき：
    ソフトウェアで IELSRn.IR フラグをクリアする。
    割り込みセット／クリア保留レジスタは自動的にクリアされる
- 割り込みが許可される場合

  a. 割り込みセットイネーブルレジスタ（NVIC）を設定する。

  b. IELSRn.IELS ビットを割り込み要因として設定する。

  c. イベント要因に対し動作設定値を指定する。
- 割り込みが禁止される場合

a. イベント要因に対し設定値を無効にする。

b. IELSRn.IELS ビットをクリアする（IELSRn.IELS = 0000h）。必要に応じて、IELSRn.IR フラグをクリアする。

c. 割り込みクリアイネーブルレジスタをクリアする。必要に応じて、割り込みクリア保留レジスタをクリアする。

- 割り込みのポーリングを行う場合

a. 割り込みクリアイネーブルレジスタを設定（割り込みを禁止）する。

b. IELSRn.IELS ビットを設定（割り込み要因を選択）する。

c. イベント要因に対し動作設定値を指定する。

d. 割り込みセット保留レジスタをポーリングする。

e. ポーリングが不要になった場合、割り込みが完了したときに、そのクリア手順に従う（ソフトウェアで IELSRn.IR フラグをクリアする）。

14.4.2 割り込み要求先の選択

割り込み出力先（CPU、DTC、または DMAC）は、割り込み要因ごとに個別に選択できます。利用可能な出力先は、表 14.4 に示されているように、割り込みごとに固定されています。

注 . イベントリスト（表 14.4）で○印が付いていない割り込み要求先の設定は使用しないでください。

1 つの IELSRn レジスタで CPU または DTC を選択した場合、他の IELSRn レジスタで同じ割り込み要因を設定することは禁止されます。同様に、1 つの DELSRn レジスタで DMAC を選択した場合、他の DELSRn レジスタで同じ割り込み要因を設定することは禁止されます。

注 . IELSRn や DELSRn で同じ割り込みを設定することは禁止されています。

DMAC または DTC が IRQi 端子からの要求先として選択された場合、その割り込みに対して IRQCRi の IRQMD[1:0] ビットをエッジ検出の選択に設定する必要があります。

14.4.2.1 CPU 割り込み要求

IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。以下の手順に従ってください。

IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 0 にする。

14.4.2.2 DTC の起動

IELSRn.DTCE = 1 のとき、IELSRn レジスタで指定されたイベントが DTC に出力されます。DTC 送信の完了後、対応する割り込みが発生します。以下の手順に従ってください。

1. IELSRn.IELS ビットを対象のイベントに設定し、IELSRn.DTCE ビットを 1 にする。
2. DTC モジュール起動ビット（DTCST.DTCST）を 1 にする。

DTC が要求先となる場合の動作を表 14.5 に示します。

表 14.5 DTCが起動するときの動作

割り込み要求先	DISEL（注1）	残り転送動作	1要求あたりの動作	IR（注2）	転送後の割り込み要求先
DTC（注3）	1	≠ 0	DTC転送→ CPU割り込み	CPUによる割り込み受け付け時にクリアされる。	DTC
		= 0	DTC転送→ CPU割り込み	CPUによる割り込み受け付け時にクリアされる。	IELSRn.DTCEビットがクリアされ、CPUが要求先になる。
	0	≠ 0	DTC転送	DTC転送データの読み出し後、DTCデータ転送の開始時にクリアされる。	DTC
		= 0	DTC転送→ CPU割り込み	CPUによる割り込み受け付け時にクリアされる。	IELSRn.DTCEビットがクリアされ、CPUが要求先になる。

注 1. DTC.MRB.DISEL ビットで DTC 用の割り込み要求モードを設定します。
注 2. IELSRn.IR フラグが 1 のとき、再度発生した割り込み要求（DTC 起動要求）は無視されます。
注 3. チェーン転送の場合は、最後のチェーン転送が終了するまで DTC 転送が継続します。このとき、DISEL ビットの状態と残りの転送数によって、転送後の CPU 割り込み発生の有無、IESRn.IR フラグクリアのタイミング、および割り込み要求先が決まります。「18. データトランスファコントローラ（DTC）」の表 18.3 チェーン転送の条件を参照してください。

14.4.2.3 DMAC 起動時の動作

DELSRn レジスタで指定されたイベントが DMAC に出力されます。割り込みを使用する場合、IELSRn.IELS[8:0] ビットで DMAC を割り込み要因として選択し、IELSRn.DTCE ビットを 1 にして DMAC 出力を許可する必要があります。IELSRn.DTCE = 0 のとき、IELSRn レジスタで指定されたイベントが NVIC に出力されます。以下の手順に従ってください。

1. DELSRn.DELS[8:0] ビットを対象のイベントに設定する。
2. 割り込みを使用する場合、IELSRn.IELS ビットを設定して DMAC を割り込み要因とし、IELSRn.DTCE ビットを 1 にする。
3. 対象の DMAC チャネルの起動要因（DMACm.DMTMD.DCTG[1:0]）を 01b（割り込みモジュール検出）にする。
4. 対象の DMAC チャネルの DMAC 転送許可ビット（DMACm.DMCNT.DTE）を 1 にする。
5. DMAC 動作許可ビット（DMACm.DMAST.DMST）を 1 にする。

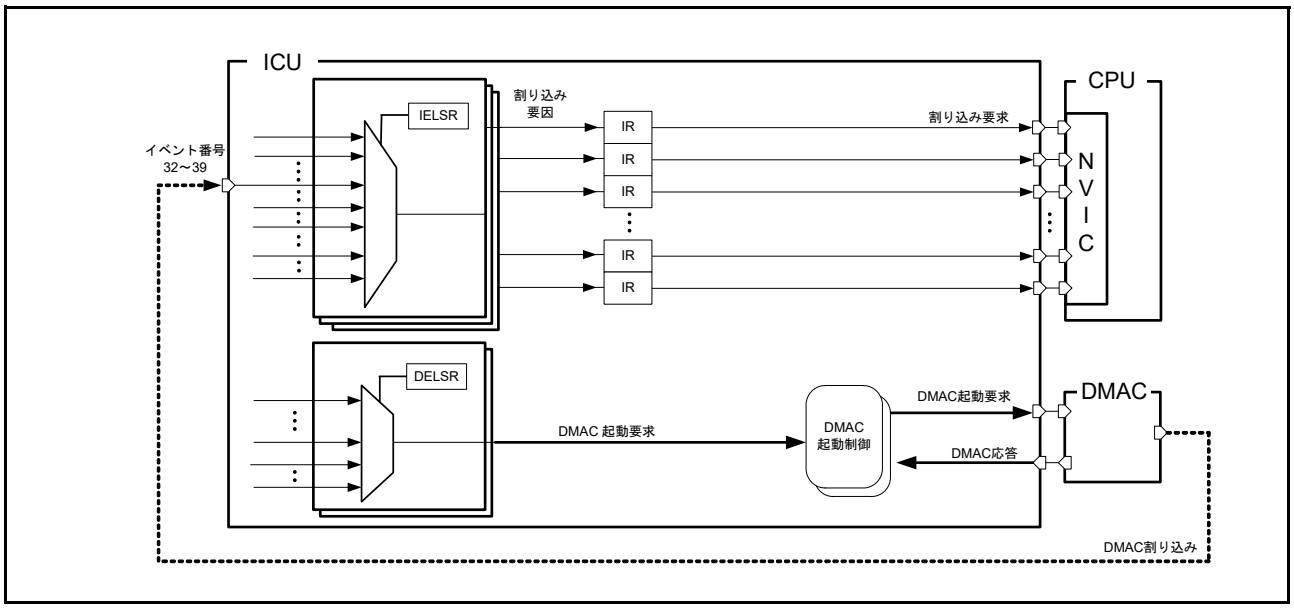


図 14.3 DMAC 要求トリガと割り込み経路

14.4.3 デジタルフィルタ

デジタルフィルタ機能は、外部割り込み要求端子（IRQi、i = 0 ～ 15）と NMI 端子割り込みのために準備されています。この機能は、入力信号をフィルタサンプリングクロック（PCLKB）でサンプリングし、3 サンプリングサイクル未満のパルス幅を持つ信号を除去します。

IRQi 端子に対するデジタルフィルタの使用法：

1. IRQCRi.FCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. IRQCRi.FLTEN. ビットを 1（デジタルフィルタ有効）にする。

NMI 端子に対するデジタルフィルタの使用法：

1. NMICR.NFCLKSEL[1:0] ビットで、サンプリングクロックサイクルを PCLKB、PCLKB/8、PCLKB/32、または PCLKB/64 に設定する。
2. NMICR.NFLTEN ビットを 1（デジタルフィルタ有効）にする。

図 14.4 にデジタルフィルタの動作例を示します。

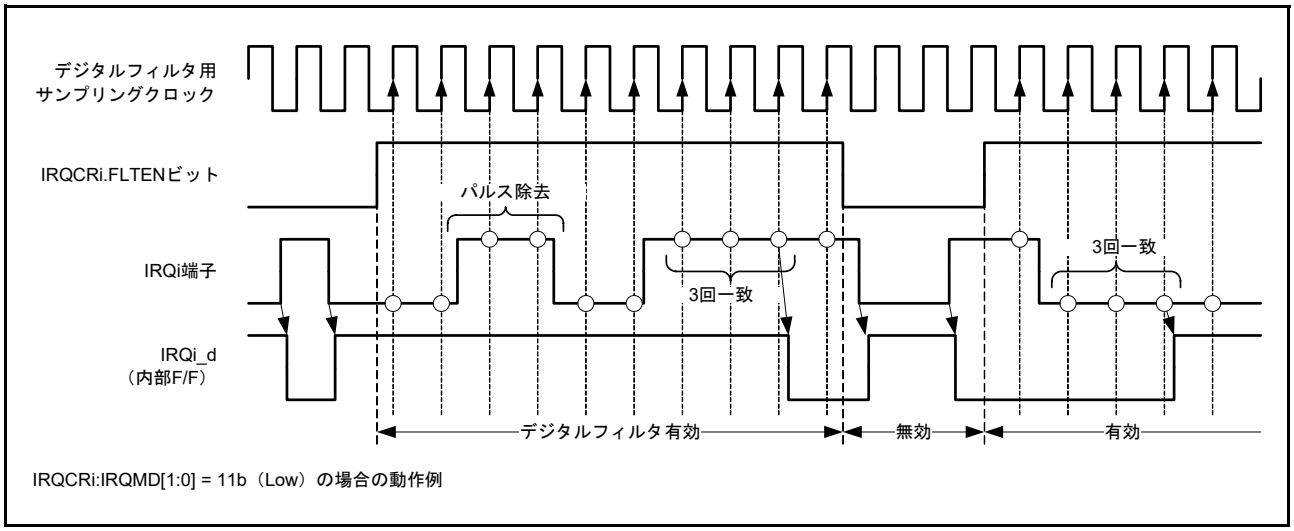


図 14.4 デジタルフィルタの動作例

ソフトウェアスタンバイモードへ遷移する前に、IRQCRi.FLTEN ビットと NMICR.NFLTEN ビットをクリアして、デジタルフィルタを無効にしてください。ICU のクロックはソフトウェアスタンバイモードでは停止します。ソフトウェアスタンバイモードの終了時、回路はスタンバイ前の状態をスタンバイ解除後の状態と比較することでエッジを検出します。ソフトウェアスタンバイモード中に入力が変化すると、誤ったエッジが検出される可能性があります。ソフトウェアスタンバイモードの終了後、デジタルフィルタを再度有効にできます。

14.4.4 外部端子割り込み

外部端子割り込みの使用法：

1. IRQCRi.FLTEN ビット（i = 0 ～ 15）を 0（デジタルフィルタ無効）にする。
2. I/O ポートの設定を行うかまたは確認する。
3. IRQCRi レジスタの IRQMD[1:0] ビット、FCLKSEL[1:0] ビット、および FLTEN ビットを設定する。
4. IRQ 端子を以下のように選択する。
   - IRQ 端子を CPU 割り込み要求に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 0 にする
   - IRQ 端子を DTC 起動に使用する場合、IELSRn.IELS ビットを設定し、IELSRn.DTCE ビットを 1 にする
   - IRQ 端子を DMAC 起動に使用する場合、DELSRn.DELS ビットを設定する

14.5 ノンマスカブル割り込みの動作

ノンマスカブル割り込みをトリガできるのは、以下の要因です。

- NMI 端子割り込み
- 発振停止検出割り込み
- WDT アンダーフロー／リフレッシュエラー割り込み
- IWDT アンダーフロー／リフレッシュエラー割り込み
- 電圧監視 1 割り込み
- 電圧監視 2 割り込み
- SRAM パリティエラー割り込み
- SRAM DED エラー割り込み
- MPU バスマスタエラー割り込み
- MPU バススレーブエラー割り込み
- CPU スタックポインタモニタ割り込み

ノンマスカブル割り込みは CPU でのみ使用可能です。DTC または DMAC の起動には使用できません。ノンマスカブル割り込みは他のすべての割り込みよりも優先します。ノンマスカブル割り込みの状態は、ノンマスカブル割り込みステータスレジスタ（NMISR）で確認できます。NMI 処理ルーチンから復帰する前に、NMISR のビットがすべて 0 であることを確認してください。

ノンマスカブル割り込みはデフォルトで無効になっています。ノンマスカブル割り込みを使用するには、以下の手順に従う必要があります。

1. NMI 端子を使用するために、NMICR.NFLTEN ビットを 0（デジタルフィルタ無効）にする。
2. NMI 端子を使用するために、NMICR レジスタの NMIMD ビット、NFCLKSEL[1:0] ビット、および NFLTEN ビットを設定する。
3. NMI 端子を使用するために、NMICLR.NMICLR ビットを 1 にして NMISR.NMIST フラグを 0 にする。
4. ノンマスカブル割り込みイネーブルレジスタ（NMIER）の対応するビットを 1 にしてノンマスカブル割り込みを許可にする。

NMIER レジスタに 1 を書いた後は、NMIER レジスタの NMIEN ビットに対する後続のライトアクセスは無視されます。NMI 割り込みは、リセットの場合を除いて、許可されたものを禁止することはできません。

14.6 低消費電力モードからの復帰

スリープモードまたはソフトウェアスタンバイモードを終了させるために使用可能な割り込み要因は、表 14.4 に示されています。詳細は、「11. 低消費電力モード」を参照してください。14.6.1 ～ 14.6.3 には、割り込みを使用してスリープモード、ソフトウェアスタンバイモード、およびスヌーズモードから復帰する方法が示されています。ディープソフトウェアスタンバイモードについては、11.9 ディープソフトウェアスタンバイモードを参照してください。

14.6.1 スリープモードからの復帰

割り込みによってスリープモードから復帰する方法：

1. 割り込み要求先として CPU を選択する。
2. NVIC で割り込みを許可にする。

ノンマスカブル割り込みによってスリープモードから復帰するには、NMIER レジスタにおいて必要な割り込み要求を許可します。

14.6.2 ソフトウェアスタンバイモードからの復帰

ICU は、ノンマスカブル割り込みを用いるか、または WUPEN レジスタで選択された割り込みを用いて、ソフトウェアスタンバイモードからの復帰を可能にします。14.2.9 ウェイクアップ割り込みイネーブルレジスタ（WUPEN）を参照してください。

ソフトウェアスタンバイモードからの復帰方法：

1. ソフトウェアスタンバイモードからの復帰を許可する割り込み要因を選択する。
   - ノンマスカブル割り込みの場合、NMIER レジスタを使用して必要な割り込み要求を許可する
   - マスカブル割り込みの場合、WUPEN レジスタを使用して必要な割り込み要求を許可する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可にする。

14.6.3 スヌーズモードからの復帰

ICU は、スヌーズモード用の割り込みを用いて、スヌーズモードからの復帰を可能にします。

スヌーズモードから通常モードへの復帰方法：

1. 以下のいずれかの方法でスヌーズモードから通常モードへ復帰させるためのイベントを選択してください。
   - スヌーズモードから通常モードへ復帰させるためのイベントを SELSR0.SEL に設定し、IELSRn.IELS の設定値を 02Dh（ICU_SNZCANCEL）にする
   - スヌーズモードから通常モードへ復帰させるためのイベントを IELSRn.IELS に設定する
2. 割り込み要求先として CPU を選択する。
3. NVIC で割り込みを許可する

注 . スヌーズモードでは、クロックが ICU に供給されます。IELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、CPU は割り込みアクノリッジを実行できます。DELSRn で選択したイベントが検出された場合、ソフトウェアスタンバイモードから通常モードに復帰した後、DMAC は割り込みアクノリッジを実行できます。

14.7 ノンマスカブル割り込みとともに WFI 命令を使用する場合

WFI 命令を実行するときは、常に NMISR レジスタのステータスフラグがすべて 0 であることを確認してください。

14.8 参考資料

ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D).

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
メインバス	ICodeバス（CPU）	• CPUを接続 • 内蔵メモリ（コードフラッシュメモリ、SRAMHS）を接続
	DCodeバス（CPU）	• CPUを接続 • 内蔵メモリ（コードフラッシュメモリ、SRAMHS）を接続
	システムバス（CPU）	• CPUを接続 • 内蔵メモリ、内部周辺バス、および外部バスを接続
	DMAバス	• DMACおよびDTCを接続 • 内蔵メモリ、内部周辺バス、および外部バスを接続
	ETHERバス	• EDMACを接続 • 内蔵メモリ、内部周辺バス、および外部バスを接続
	GPXバス	• JPEGコーデック、GLCDC、および2D描画エンジンを接続 • 内蔵メモリと外部バスを接続
スレーブインタフェース	メモリバス1	• コードフラッシュメモリを接続
	メモリバス2	• SRAMHSを接続
	メモリバス3	• DMAバス、ETHERバス、およびGPXバスを介して、コードフラッシュメモリとSRAMHSを接続
	メモリバス4	• SRAM0を接続
	メモリバス5	• SRAM1とスタンバイSRAMを接続
	内部周辺バス1	• 周辺モジュール関連のシステムコントロールを接続
	内部周辺バス3	• 周辺モジュール（CAC、ELC、I/Oポート、POEG、RTC、WDT、IWDT、IIC、CAN、SSI、SRC、ADC12、DAC12、TSN、DOC）を接続
	内部周辺バス4	• 周辺モジュール（GPT、ETHERC、EPTPC、EDMAC、USBHS、SCI、IrDA、SPI、CRC、SDHI）を接続
	内部周辺バス5	• 周辺モジュール（KINT、AGT、USBFS、PDC、ACMPHS、CTSU）を接続
	内部周辺バス7	• セキュアIP（SCE7）を接続
	内部周辺バス8	• グラフィックIP（JPEGコーデック、GLCDC、および2D描画エンジン）を接続
	内部周辺バス9	• フラッシュメモリ（P/E時）(注1)、データフラッシュメモリおよびTSNを接続
外部バス	CS領域	• 外部デバイスを接続
	SDRAM領域	• SDRAMを接続
	QSPI領域	• 外部SPIデバイスを接続

注 1. P/E：プログラム／イレース

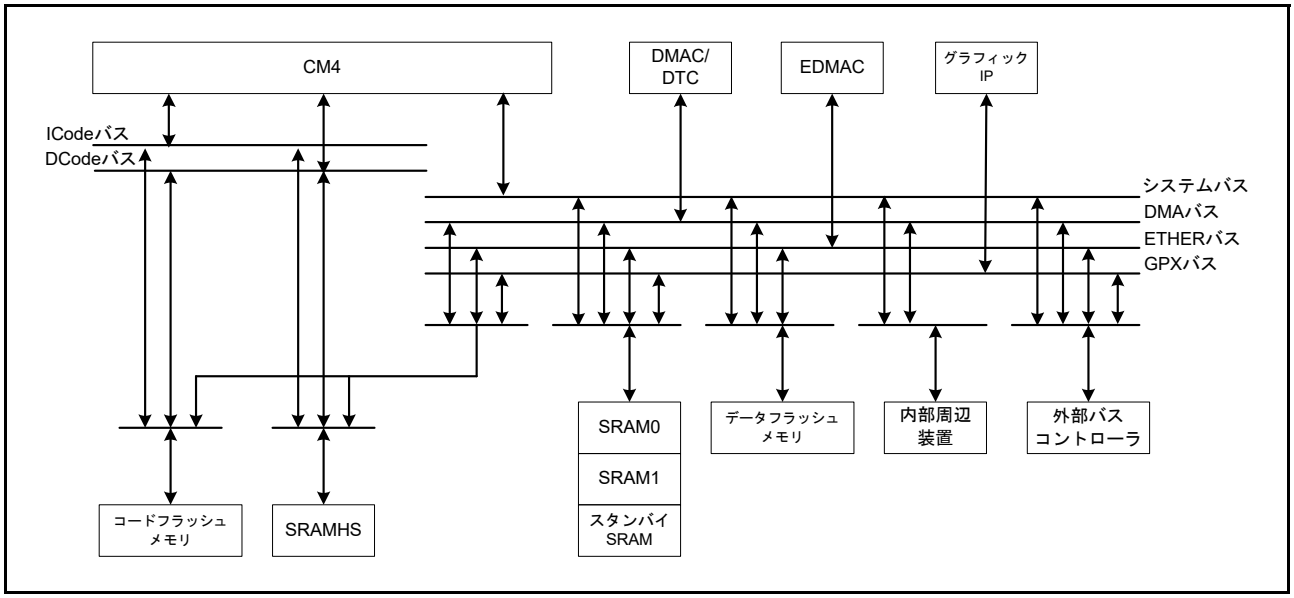


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	領域
0000 0000h～01FF FFFFh	メモリバス1、3	コードフラッシュメモリ
1FFE 0000h～1FFF FFFFh	メモリバス2、3	SRAMHS
2000 0000h～2003 FFFFh	メモリバス4	SRAM0
2004 0000h～200F FFFFh	メモリバス5	SRAM1とスタンバイSRAM
4000 0000h～4001 FFFFh	内部周辺バス1	周辺I/Oレジスタ
4004 0000h～4005 FFFFh	内部周辺バス3	
4006 0000h～4007 FFFFh	内部周辺バス4	
4008 0000h～4009 FFFFh	内部周辺バス5	
400C 0000h～400D FFFFh	内部周辺バス7	セキュアIP
400E 0000h～400F FFFFh	内部周辺バス8	グラフィックIP（JPEGコーデック、GLCDC、および2D描画エンジン）
4010 0000h～407F FFFFh	内部周辺バス9	フラッシュメモリ（P/E時(注1)）、データフラッシュメモリおよびTSN
6000 0000h～67FF FFFFh	外部バス	QSPI領域
8000 0000h～97FF FFFFh	外部バス	CS領域とSDRAM領域

注 1. P/E：プログラム／イレース

15.2 バスの説明

15.2.1 メインバス

CPU 用のメインバスは、ICode バス、DCode バス、およびシステムバスで構成されます。

- ICode バスと DCode バス: コードフラッシュメモリと SRAMHS に接続。ICode バスは CPU への命令アクセスに使用、DCode バスは CPU へのデータアクセスに使用
- システムバス：SRAM0、SRAM1、スタンバイ SRAM、データフラッシュメモリ、内部周辺バス、および外部バスに接続。CPU への命令およびデータのアクセスに使用

CPU 以外のモジュール用のメインバスは、DMA バス、ETHER バス、および GPX バスで構成されます。

- DMA バス：コードフラッシュメモリ、SRAMHS、SRAM0、SRAM1、スタンバイ SRAM、データフラッシュメモリ、および外部バスに接続
- ETHER バス：コードフラッシュメモリ、SRAMHS、SRAM0、SRAM1、スタンバイ SRAM、データフラッシュメモリ、および外部バスに接続
- GPX バス：コードフラッシュメモリ、SRAMHS、SRAM0、SRAM1、スタンバイ SRAM、および外部バスに接続

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

DMAC および DTC では、DMAC と DTC の間で DMA バス権の調停が行われます。下記の固定優先順位が用いられます。

DMAC0 > DMAC1 > DMAC2 > DMAC3 > DMAC4 > DMAC5 > DMAC6 > DMAC7 > DTC

1 つの DTC チャネル と起動要求を受け付けた DMAC チャネルだけが、バス権要求の発行が可能です。また、DTC の転送制御情報を読み出している間は、DTC 以外のマスタからのバスアクセス要求は受け付けません。

JPEG コーデック、GLCDC、2D 描画エンジンからの GPX バス権要求が調停されます。調停プロトコルには、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、15.3.20 スレーブバスコントロールレジスタ（BUSSCNT<slave>）を参照してください。

15.2.2 スレーブインタフェース

Cortex®-M4 コアを用いた製品には、ICode および DCode バス領域とシステムバス領域が含まれています。

ICode および DCode バス領域を作成するため、バスマトリックスは、メインバスからコードフラッシュメモリと SRAMHS のスレーブインタフェースまで、ICode バス、DCode バス、およびメモリバス 3 を接続しています。これらのバス間で、スレーブインタフェースへのバスアクセスが調停されます。調停プロトコルには、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、15.3.20 スレーブバスコントロールレジスタ（BUSSCNT<slave>）を参照してください。

システムバス領域を作成するため、バスマトリックスは、メインバスから SRAM0、SRAM1、スタンバイ SRAM、データフラッシュメモリ、内部周辺バス、および外部バスのスレーブインタフェースまで、システムバス、DMA バス、ETHER バス、および GPX バスを接続しています。これら 4 つのバス間で、スレーブインタフェースへのバスアクセスが調停されます。調停プロトコルには、優先順位固定またはラウンドロビンのいずれかを選択できます。詳細は、15.3.20 スレーブバスコントロールレジスタ（BUSSCNT<slave>）を参照してください。

メインバスからスレーブインタフェースへの接続については、表 15.1 に記載のスレーブインタフェースを参照してください。外部バスについては、15.2.3 外部バスを参照してください。

マスタ転送とスレーブ転送のさまざまな組み合わせの同時通信が可能です。

15.2.3 外部バス

外部バスコントローラは、CPU システムバス、DMAC バス、ETHER バス、および GPX バスからの外部アドレス空間におけるバスアクセス要求を調停します。その優先順位は外部バスのプライオリティ制御ビット（BUSSCNT.ARBMET）で設定可能です。詳細は、15.3.20 スレーブバスコントロールレジスタ（BUSSCNT<slave>）を参照してください。

バスシステムには QSPI 用の外部空間があります。「39. クワッドシリアルペリフェラルインタフェース（QSPI）」を参照してください。

表 15.3 に外部バスの仕様を、表 15.4 に入出力端子を示します。

表 15.3 外部バスの仕様

項目	内容
外部アドレス空間	• 外部アドレス空間を8つのCS領域（CS0～CS7）とSDRAM領域（SDCS）に分割して管理 • 領域ごとにチップセレクト信号の出力が可能 • 領域ごとにバス幅を選択可能 - セパレートバス：8ビットバス空間／16ビットバス空間を選択可能 • 領域ごとにエンディアン形式を設定可能
CS領域コントローラ	• リカバリサイクルを挿入可能 - リードリカバリ：最大15サイクル - ライトリカバリ：最大15サイクル • サイクルウェイト機能：最大31サイクルウェイト（ページアクセスには最大7サイクルウェイト） • ウェイト制御の設定 - チップセレクト信号（CS0～CS7）のアサート／ネゲートタイミング - リード信号（RD）とライト信号（WR0/WRおよびWR1）のアサートタイミング - データ出力の開始／終了タイミング • ライトアクセスモード - 1ライトストローブモード／バイトストローブモード
SDRAM領域コントローラ	• ロウアドレス／カラムアドレスのマルチプレクス出力（8、9、10、または11ビット） • オートリフレッシュとセルフリフレッシュを選択可能 • CASレイテンシを1～3に設定可能
ライトバッファ機能	バスマスタからのライトデータをライトバッファに書き込んだ時点で、バスマスタ側のライトアクセスを終了
周波数	• CS領域コントローラ（CSC）は外部バスクロック（BCLK）に同期して動作（注1） • EBCLK端子出力の周波数は、デフォルトでBCLKと同じ。外部バスクロックコントロールレジスタのEBCLK端子出力選択ビット（BCKCR.BCLKDIV）により、BCLKサイクルの2分周が可能。 詳細は、「9. クロック発生回路」を参照してください。 • SDRAM領域コントローラ（SDRAMC）は、SDRAMクロック（SDCLK）に同期して動作

注 1. SDRAM 使用時は、BCLK と SDCLK は同じ周波数で動作させる必要があります。

表 15.4 外部バスの入出力端子

端子名	入出力	関連機能	内容
EBCLK, SDCLK（注1）	出力	CSC, SDRAMC	クロック出力端子
A23～A00（注2）	出力	CSC, SDRAMC	アドレス出力端子
D15～D00 DQ15～DQ00	入出力	CSC, SDRAMC	D15～D00はCSCデータの入出力端子 DQ15～DQ00はSDRAMCデータの入出力端子： • 16ビットバス空間を設定した場合、D15～D00、DQ15～DQ00端子が有効となる • 8ビットバス空間を設定した場合、D07～D00、DQ07～DQ00端子が有効となる
BC0	出力	CSC	• 1ライトストローブモード時、外部アドレス空間へのアクセス中にD07～D00が有効であることを示すストローブ信号（Lowの場合）、アクティブLow • 8ビットバス空間を設定した場合、ライトアクセスモードに関係なく常にLow出力となる
BC1	出力	CSC	• 1ライトストローブモード時、外部アドレス空間へのアクセス中にD15～D08が有効であることを示すストローブ信号（Lowの場合）、アクティブLow • 8ビットバス空間を設定した場合、使用しない
CS0（注3）	出力	CSC	領域0（CS0）のチップセレクト信号、アクティブLow
CS1（注3）	出力	CSC	領域1（CS1）のチップセレクト信号、アクティブLow
CS2（注3）	出力	CSC	領域2（CS2）のチップセレクト信号、アクティブLow
CS3（注3）	出力	CSC	領域3（CS3）のチップセレクト信号、アクティブLow
CS4	出力	CSC	領域4（CS4）のチップセレクト信号、アクティブLow
CS5	出力	CSC	領域5（CS5）のチップセレクト信号、アクティブLow
CS6	出力	CSC	領域6（CS6）のチップセレクト信号、アクティブLow
CS7	出力	CSC	領域7（CS7）のチップセレクト信号、アクティブLow
RD	出力	CSC	外部アドレス空間（CS0～CS7）から読み出し中であることを示すストローブ信号、アクティブLow
WR0/WR（注4）	出力	CSC	• WR0信号は、バイトストローブモード時、外部アドレス空間へ書き込み中であること、およびD07～D00が有効であることを示すストローブ信号（Lowの場合）、アクティブLow • WR信号は、1ライトストローブモード時、外部アドレス空間へ書き込み中であることを示すストローブ信号（Lowの場合）、アクティブLow • 8ビットバス空間を設定した場合、ライトアクセスモードに関係なくライトアクセス中は常にLow出力となる
WR1	出力	CSC	• バイトストローブモード時、外部アドレス空間への書き込み中にD15～D08が有効であることを示すストローブ信号（Lowの場合）、アクティブLow • 1ライトストローブモード時、この信号は無効 • 8ビットバス空間を設定した場合、使用しない
WAIT	入力	CSC	外部アドレス空間（CS0～CS7）へのアクセス時に用いられるウェイト要求信号（Lowの場合）、アクティブLow
CKE	出力	SDRAMC	クロックイネーブル信号
SDCS	出力	SDRAMC	チップセレクト信号、アクティブLow
RAS	出力	SDRAMC	ロウアドレスストローブ信号、アクティブLow
CAS	出力	SDRAMC	カラムアドレスストローブ信号、アクティブLow
WE	出力	SDRAMC	ライトイネーブル信号、アクティブLow
DQM0	出力	SDRAMC	入出力データマスクイネーブル信号（DQ07～DQ00を制御）
DQM1	出力	SDRAMC	入出力データマスクイネーブル信号（DQ15～DQ08を制御）

注 1. EBCLK 端子機能と SDCLK 端子機能は、CS 領域コントローラ（CSC）と SDRAM 領域コントローラ（SDRAMC）によって共有されます。CSC と SDRAMC を同時に使用する場合、SDCLK 端子機能が有効です。

注 2. A23 ～ A00 端子機能は、CSC と SDRAMC によって共有されます。
CSC のみを使用する場合：
A00 端子機能と BC0 端子機能は同じ端子を共有しており、領域に応じてどちらか一方が有効になります。バイトストローブモード時は A00 端子機能、1 ライトストローブモード時は BC0 端子機能になります。1 ライトストローブモード時は、8 ビット外部バス幅の設定は禁止です。
SDRAMC のみを使用する場合：
A15 ～ A00 端子機能が有効です。A00 端子機能と DQM1 端子機能は同じ端子を共有しており、外部バス幅に応じてどちらか

一方が有効になります。8 ビットバス幅を選択した場合、A00 端子機能になります。16 ビットバス幅を選択した場合、DQM1 端子機能になります。
CSC と SDRAMC を同時に使用する場合：
A23 ～ A16 端子機能は、CSC に対して有効です。A15 ～ A00 端子機能は、CSC と SDRAMC によって共有されます。
CSC に対する A00/BC0 端子機能は上記の通りです。
SDRAMC に対する A00/DQM1 端子機能は上記の通りです。

注 3. CS0 ～ CS3（CSC）端子機能と SDRAMC 端子機能は同じ端子を共有しています。CSC と SDRAMC を同時に使用する場合、CS0 ～ CS3 端子機能は無効です。

注 4. WR0 信号と WR 信号は同じ信号です。1 ライトストローブモード時、WR0 信号は WR 端子のことを示します。

15.2.4 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPU がフラッシュから命令、SRAM からオペランドをフェッチする場合、同時に DMAC は、周辺バスと外部バスの間で転送処理が可能です。

図 15.2 に並列動作の例を示します。この例では、CPU は命令バスとオペランドバスを使用して、それぞれフラッシュと SRAM に同時にアクセスしています。また、CPU がフラッシュメモリと SRAM にアクセスする間、DMAC/DTC、EDMAC、および JPEG コーデック／GLCDC／2D 描画エンジンは、DMA バス（DMAC/DTC）、ETHER バス（EDMAC）、および GPX バス（JPEG コーデック／GLCDC／2D 描画エンジン）を同時に使用して、周辺バスまたは外部バスにアクセスしています。

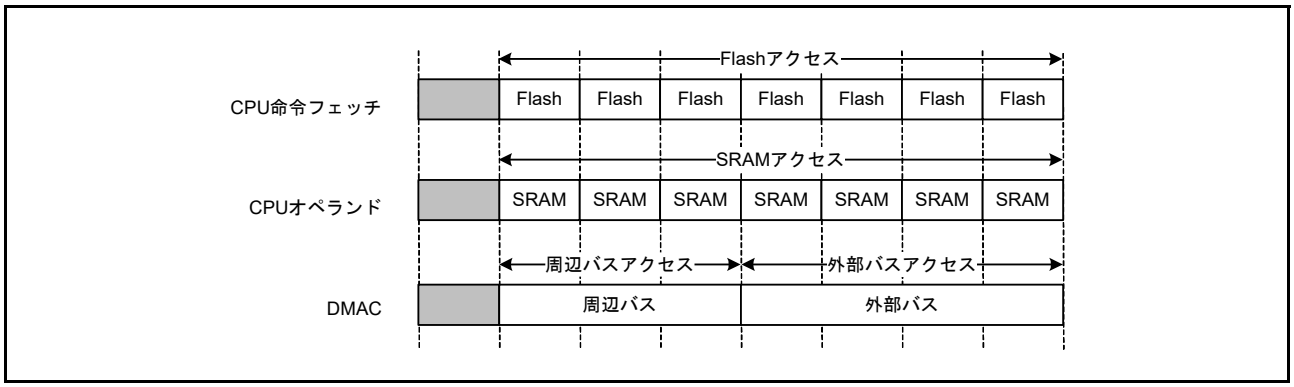


図 15.2 並列動作の例

15.2.5 バスの設定

外部バスの設定には、以下のレジスタを使用します。

- モード設定：
  CSn モードレジスタ（CSnMOD）、CSn ウェイトコントロールレジスタ 1（CSnWCR1）、CSn ウェイトコントロールレジスタ 2（CSnWCR2）、CSn コントロールレジスタ（CSnCR）、CSn リカバリサイクル設定レジスタ（CSnREC）、CS リカバリサイクル挿入イネーブルレジスタ（CSRECEN）、およびバスプライオリティコントロールレジスタ（BUSSCNT）
- I/O ポートの割り当て：
  PmnPFS.PMR = 1 および PmnPFS.PSEL[4:0] = 0Bh
- 外部バスクロック（BCLK）と SDRAM クロック（SDCLK）の周波数：
  SCKDIVCR レジスタ

PmnPFS については「20. I/O ポート」を、SCKDIVCR については「9. クロック発生回路」を参照してください。

15.2.6 制限事項

エンディアンに関する制限事項

Cortex-M4 コアでコードを実行する場合、メモリ空間はリトルエンディアンでなければいけません。

15.3 レジスタの説明

15.3.1 CSn コントロールレジスタ（CSnCR）（n = 0 ～ 7）

アドレス BUS.CS0CR 4000 3802h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1

アドレス BUS.CS1CR 4000 3812h, BUS.CS2CR 4000 3822h, BUS.CS3CR 4000 3832h, BUS.CS4CR 4000 3842h, BUS.CS5CR 4000 3852h, BUS.CS6CR 4000 3862h, BUS.CS7CR 4000 3872h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可	0：動作禁止 1：動作許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	BSIZE[1:0]	外部バス幅選択	b5 b4 0 0：16ビットバス空間 0 1：設定禁止 1 0：8ビットバス空間 1 1：設定禁止	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EMODE	エンディアンモード指定	0：リトルエンディアン 1：ビッグエンディアン	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSnCR レジスタに書き込まないでください。

EXENB ビット（動作許可）

対応する CS 領域の動作を許可します。MCU のリセット時は、領域 0（CS0）のみ動作許可（EXENB = 1）になり、それ以外の領域は動作禁止（EXENB = 0）になります。禁止領域へアクセスしても何も影響されません。

CSC と SDRAMC を同時使用する場合、BCLK と SDCLK は同じ周波数で動作させる必要があります。

BSIZE[1:0] ビット（外部バス幅選択）

対応する領域のデータバス幅を指定します。

EMODE ビット（エンディアンモード指定）

対応する領域のエンディアン形式を指定します。Cortex-M4 コアはリトルエンディアンで固定されています。そのため、リトルエンディアンが指定された場合にのみ命令コードが外部空間に配置されます。領域にビッグエンディアンが指定された場合、命令コードは配置されません。

15.3.2 CSn リカバリサイクル設定レジスタ（CSnREC）（n = 0 ～ 7）

アドレス BUS.CS0REC 4000 380Ah, BUS.CS1REC 4000 381Ah, BUS.CS2REC 4000 382Ah, BUS.CS3REC 4000 383Ah, BUS.CS4REC 4000 384Ah, BUS.CS5REC 4000 385Ah, BUS.CS6REC 4000 386Ah, BUS.CS7REC 4000 387Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	WRCV[3:0]				—	—	—	—	RRCV[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	RRCV[3:0]	リードリカバリ設定	b3 b0 0 0 0 0 ： リカバリサイクルの挿入なし 0 0 0 1 ： リカバリサイクルを1サイクル挿入 0 0 1 0 ： リカバリサイクルを2サイクル挿入 0 0 1 1 ： リカバリサイクルを3サイクル挿入 0 1 0 0 ： リカバリサイクルを4サイクル挿入 0 1 0 1 ： リカバリサイクルを5サイクル挿入 0 1 1 0 ： リカバリサイクルを6サイクル挿入 0 1 1 1 ： リカバリサイクルを7サイクル挿入 1 0 0 0 ： リカバリサイクルを8サイクル挿入 1 0 0 1 ： リカバリサイクルを9サイクル挿入 1 0 1 0 ： リカバリサイクルを10サイクル挿入 1 0 1 1 ： リカバリサイクルを11サイクル挿入 1 1 0 0 ： リカバリサイクルを12サイクル挿入 1 1 0 1 ： リカバリサイクルを13サイクル挿入 1 1 1 0 ： リカバリサイクルを14サイクル挿入 1 1 1 1 ： リカバリサイクルを15サイクル挿入	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	WRCV[3:0]	ライトリカバリ設定	b11 b8 0 0 0 0 ： リカバリサイクルの挿入なし 0 0 0 1 ： リカバリサイクルを1サイクル挿入 0 0 1 0 ： リカバリサイクルを2サイクル挿入 0 0 1 1 ： リカバリサイクルを3サイクル挿入 0 1 0 0 ： リカバリサイクルを4サイクル挿入 0 1 0 1 ： リカバリサイクルを5サイクル挿入 0 1 1 0 ： リカバリサイクルを6サイクル挿入 0 1 1 1 ： リカバリサイクルを7サイクル挿入 1 0 0 0 ： リカバリサイクルを8サイクル挿入 1 0 0 1 ： リカバリサイクルを9サイクル挿入 1 0 1 0 ： リカバリサイクルを10サイクル挿入 1 0 1 1 ： リカバリサイクルを11サイクル挿入 1 1 0 0 ： リカバリサイクルを12サイクル挿入 1 1 0 1 ： リカバリサイクルを13サイクル挿入 1 1 1 0 ： リカバリサイクルを14サイクル挿入 1 1 1 1 ： リカバリサイクルを15サイクル挿入	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSnREC レジスタに書き込まないでください。

前バスアクセスがセパレートバスからの場合、CSRECEN レジスタのセパレートバス用リカバリサイクル挿入許可ビット（RCVENi（i = 0 ～ 7））でリカバリサイクルの挿入が許可されているとき、CSnREC レジスタが有効になります。詳細は、15.5.3 リカバリサイクルの挿入を参照してください。

RRCV[3:0] ビット（リードリカバリ設定）

CSn（n = 0 ～ 7）の外部バスに対するリードアクセス後に挿入するリカバリサイクル数を指定します。リカバリサイクルの挿入を許可し、これらのビットを 0000b 以外にすると、以下の場合に 1 ～ 15 のリカバリサイクルが挿入されます。

- 外部バスにリードアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにリードアクセスする場合

- 外部バスにリードアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにライトアクセスする場合

WRCV[3:0] ビット（ライトリカバリ設定）

CSn（n = 0 ～ 7）の外部バスに対するライトアクセス後に挿入するリカバリサイクル数を指定します。リカバリサイクルの挿入を許可し、これらのビットを 0000b 以外にすると、以下の場合に 1 ～ 15 のリカバリサイクルが挿入されます。

- 外部バスにライトアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにライトアクセスする場合

15.3.3 CS リカバリサイクル挿入イネーブルレジスタ（CSRECEN）

アドレス BUS.CSRECEN 4000 3880h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RCVEN7	RCVEN6	RCVEN5	RCVEN4	RCVEN3	RCVEN2	RCVEN1	RCVEN0
リセット後の値	0	0	1	1	1	1	1	0	0	0	1	1	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	RCVEN0	セパレートバス用リカバリサイクル挿入許可0	0：禁止 1：許可	R/W
b1	RCVEN1	セパレートバス用リカバリサイクル挿入許可1	0：禁止 1：許可	R/W
b2	RCVEN2	セパレートバス用リカバリサイクル挿入許可2	0：禁止 1：許可	R/W
b3	RCVEN3	セパレートバス用リカバリサイクル挿入許可3	0：禁止 1：許可	R/W
b4	RCVEN4	セパレートバス用リカバリサイクル挿入許可4	0：禁止 1：許可	R/W
b5	RCVEN5	セパレートバス用リカバリサイクル挿入許可5	0：禁止 1：許可	R/W
b6	RCVEN6	セパレートバス用リカバリサイクル挿入許可6	0：禁止 1：許可	R/W
b7	RCVEN7	セパレートバス用リカバリサイクル挿入許可7	0：禁止 1：許可	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b9	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSRECEN レジスタに書き込まないでください。リカバリサイクルの挿入については、15.5.3 リカバリサイクルの挿入を参照してください。

RCVENi ビット（セパレートバス用リカバリサイクル挿入許可 i）（i = 0 ～ 7）

外部バスにリード／ライトアクセスした後、同じまたは異なる領域の外部バスにリード／ライトアクセスする場合、リードリカバリサイクルまたはライトリカバリサイクルの挿入を許可します。

表 15.5 RCVENnビットとアクセスの種類の対応関係

アクセスの種類	外部アドレス空間	リカバリサイクルの挿入	対応するビット
リードアクセス後のリードアクセス	同じ領域	RRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN0
	異なる領域	RRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN1
リードアクセス後のライトアクセス	同じ領域	RRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN2
	異なる領域	RRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN3
ライトアクセス後のリードアクセス	同じ領域	WRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN4
	異なる領域	WRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN5
ライトアクセス後のライトアクセス	同じ領域	WRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN6
	異なる領域	WRCV[3:0]ビットで設定されたリカバリサイクル数が、優先アクセス領域に対して挿入されます。	RCVEN7

15.3.4 CSn モードレジスタ（CSnMOD）（n = 0 ～ 7）

アドレス BUS.CS0MOD 4000 3002h, BUS.CS1MOD 4000 3012h, BUS.CS2MOD 4000 3022h, BUS.CS3MOD 4000 3032h, BUS.CS4MOD 4000 3042h, BUS.CS5MOD 4000 3052h, BUS.CS6MOD 4000 3062h, BUS.CS7MOD 4000 3072h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRMOD	—	—	—	—	—	PWENB	PRENB	—	—	—	—	EWENB	—	—	WRMOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WRMOD	ライトアクセスモード選択	0：バイトストローブモード 1：1ライトストローブモード	R/W
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	EWENB	外部ウェイト許可	0：禁止 1：許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	PRENB	ページリードアクセス許可	0：禁止 1：許可	R/W
b9	PWENB	ページライトアクセス許可	0：禁止 1：許可	R/W
b14-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	PRMOD	ページリードアクセスモード選択	0：ノーマルアクセス互換モード 1：外部データリード連続アサートモード	R/W

CSn 領域へのアクセス中は、CSnMOD レジスタに書き込まないでください。

WRMOD ビット（ライトアクセスモード選択）

ライトアクセス時の動作モードを選択します。このビットを 0 にすると、バイトストローブモードになります。このとき、それぞれのバイト位置に対応した WRn 信号（n = 0, 1）によってデータライトが制御されます。このビットを 1 にすると、1 ライトストローブモードになります。このとき、それぞれのバイト位置に対応した BCn 信号（n = 0, 1）と WR 信号によってデータライトが制御されます。

注 . 1 ライトストローブモード時は、8 ビット外部バス幅の設定は禁止です。

表 15.6 ライトアクセスモードの制御信号

ライトアクセスモード	端子名			
	WR1	WR0/WR	BC1	BC0
バイトストローブモード	○	○（WR0）	x	x
1ライトストローブモード	x	○（WR）	○	○

○：有効、x：無効

EWENB ビット（外部ウェイト許可）

外部ウェイトを許可します。このビットを 0 にすると、WAIT 信号は禁止されます。1 にすると、外部ウェイトが許可され、WAIT 信号によってサイクルあたりのウェイト数の制御が可能になります。この場合、WAIT 信号が Low のとき、ウェイトサイクルが挿入されます。

PRENB ビット（ページリードアクセス許可）

ページリードアクセスを許可します。

PWENB ビット（ページライトアクセス許可）

ページライトアクセスを許可します。

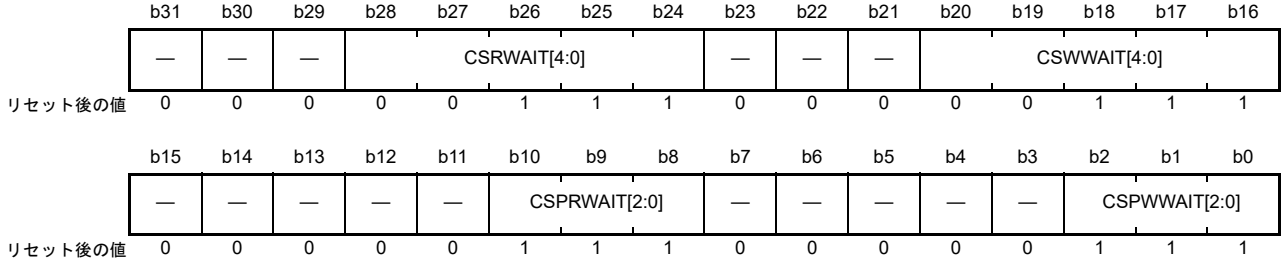
PRMOD ビット（ページリードアクセスモード選択）

ページリードアクセスの動作モードを選択します。このビットを 0 にすると、ノーマルアクセス互換モードになります。このとき、1 つのデータを読み出すごとに RD 信号がネゲートされ、RD アサートウェイトが挿入されます。RD アサートウェイトがない場合、外部バスアクセスの最後の転送以外、RD 信号はネゲートされません。

このビットを 1 にすると、外部データリード連続アサートモードになります。このとき、RD アサートウェイトが挿入され、ウェイト中に RD 信号がアサートされ続けます。

15.3.5 CSn ウェイトコントロールレジスタ 1（CSnWCR1）（n = 0 ～ 7）

アドレス BUS.CS0WCR1 4000 3004h, BUS.CS1WCR1 4000 3014h, BUS.CS2WCR1 4000 3024h, BUS.CS3WCR1 4000 3034h, BUS.CS4WCR1 4000 3044h, BUS.CS5WCR1 4000 3054h, BUS.CS6WCR1 4000 3064h, BUS.CS7WCR1 4000 3074h



ビット	シンボル	ビット名	機能	R/W
b2-b0	CSPWWAIT[2:0]	ページライトサイクルウェイト選択（注1）	b2 b0 0 0 0：ウェイトの挿入なし 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	CSPRWAIT[2:0]	ページリードサイクルウェイト選択（注2）	b10 b8 0 0 0：ウェイトの挿入なし 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b20-b16	CSWWAIT[4:0]	ノーマルライトサイクルウェイト選択	b20 b16 0 0 0 0 0：ウェイトの挿入なし 0 0 0 0 1：ウェイトを1サイクル挿入 0 0 0 1 0：ウェイトを2サイクル挿入 0 0 0 1 1：ウェイトを3サイクル挿入 nビットに等しい値のサイクル数を挿入 1 1 1 0 1：ウェイトを29サイクル挿入 1 1 1 1 0：ウェイトを30サイクル挿入 1 1 1 1 1：ウェイトを31サイクル挿入	R/W
b23-b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	CSRWAIT[4:0]	ノーマルリードサイクルウェイト選択	b28 b24 0 0 0 0 0：ウェイトの挿入なし 0 0 0 0 1：ウェイトを1サイクル挿入 0 0 0 1 0：ウェイトを2サイクル挿入 0 0 0 1 1：ウェイトを3サイクル挿入 nビットに等しい値のサイクル数を挿入 1 1 1 0 1：ウェイトを29サイクル挿入 1 1 1 1 0：ウェイトを30サイクル挿入 1 1 1 1 1：ウェイトを31サイクル挿入	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CSPWWAIT[2:0] ビットの設定値は、CSnMOD.PWENB ビットが 1 の場合のみ有効となります。
注 2. CSPRWAIT[2:0] ビットの設定値は、CSnMOD.PRENB ビットが 1 の場合のみ有効となります。

外部バスへのアクセス中は、CSnWCR1 レジスタに書き込まないでください。これらのビットは、15.5.6 制限事項の (1) セパレートバスインタフェース使用時の制限に記載の制限を満たすように設定してください。

CSPWWAIT[2:0] ビット（ページライトサイクルウェイト選択）

ページライトサイクル時の 2 サイクル目以降のアクセスに挿入するウェイトサイクル数を設定します。設定値は、CSnMOD.PWENB ビットが 1 のとき有効になります。

注 . 1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット、および CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

CSPRWAIT[2:0] ビット（ページリードサイクルウェイト選択）

ページリードサイクル時の 2 サイクル目以降のアクセスに挿入するウェイトサイクル数を設定します。設定値は、CSnMOD.PRENB ビットが 1 のとき有効になります。

注 . CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。

CSWWAIT[4:0] ビット（ノーマルライトサイクルウェイト選択）

ノーマルライトサイクルまたはページライトサイクル時の最初のアクセスに挿入するウェイトサイクル数を設定します。

注 . 1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット、および CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。

CSRWAIT[4:0] ビット（ノーマルリードサイクルウェイト選択）

ノーマルリードサイクルまたはページリードサイクル時の最初のアクセスに挿入するウェイトサイクル数を設定します。

注 . CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。

15.3.6 CSn ウェイトコントロールレジスタ 2（CSnWCR2）（n = 0 ～ 7）

アドレス BUS.CS0WCR2 4000 3008h, BUS.CS1WCR2 4000 3018h, BUS.CS2WCR2 4000 3028h, BUS.CS3WCR2 4000 3038h, BUS.CS4WCR2 4000 3048h, BUS.CS5WCR2 4000 3058h, BUS.CS6WCR2 4000 3068h, BUS.CS7WCR2 4000 3078h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CSON[2:0]			—	WDON[2:0]			—	WRON[2:0]			—	RDON[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	WDOFF[2:0]			—	CSWOFF[2:0]			—	CSROFF[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	CSROFF[2:0]	リードアクセス時CS延長サイクル選択	b2 b0 0 0 0：ウェイトの挿入なし 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	CSWOFF[2:0]	ライトアクセス時CS延長サイクル選択	b6 b4 0 0 0：ウェイトの挿入なし 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	WDOFF[2:0]	ライトデータ出力延長サイクル選択	b10 b8 0 0 0：ウェイトの挿入なし 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	RDON[2:0]	RDアサートウェイト選択	b18 b16 0 0 0：ウェイトの挿入なし 0 0 1：ウェイトを1サイクル挿入 0 1 0：ウェイトを2サイクル挿入 0 1 1：ウェイトを3サイクル挿入 1 0 0：ウェイトを4サイクル挿入 1 0 1：ウェイトを5サイクル挿入 1 1 0：ウェイトを6サイクル挿入 1 1 1：ウェイトを7サイクル挿入	R/W
b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b22-b20	WRON[2:0]	WRアサートウェイト選択	b22 b20 0 0 0 : ウェイトの挿入なし 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	WDON[2:0]	ライトデータ出力ウェイト選択	b26 b24 0 0 0 : ウェイトの挿入なし 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30-b28	CSON[2:0]	CSアサートウェイト選択	b30 b28 0 0 0 : ウェイトの挿入なし 0 0 1 : ウェイトを1サイクル挿入 0 1 0 : ウェイトを2サイクル挿入 0 1 1 : ウェイトを3サイクル挿入 1 0 0 : ウェイトを4サイクル挿入 1 0 1 : ウェイトを5サイクル挿入 1 1 0 : ウェイトを6サイクル挿入 1 1 1 : ウェイトを7サイクル挿入	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

外部バスへのアクセス中は、CSnWCR2 レジスタに書き込まないでください。これらのビットは、15.5.6 制限事項の (1) セパレートバスインタフェース使用時の制限に記載の制限を満たすように設定してください。

CSROFF[2:0] ビット（リードアクセス時 CS 延長サイクル選択）

リードアクセスモード時に、ウェイトサイクルの終了（RD 信号のネゲート）から CSn 信号（n = 0 ～ 7）がネゲートされるまでの間に挿入するウェイトサイクル数を設定します。

CSWOFF[2:0] ビット（ライトアクセス時 CS 延長サイクル選択）

ライトアクセスモード時に、ウェイトサイクルの終了（WRn 信号（n = 0, 1）のネゲート）から CSn 信号（n = 0 ～ 7）がネゲートされるまでの間に挿入するウェイトサイクル数を設定します。

注 . CSnWCR2.WDOFF[2:0] ビット≦ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

WDOFF[2:0] ビット（ライトデータ出力延長サイクル選択）

ライトアクセスモード時に、ウェイトサイクルの終了（WRn 信号（n = 0, 1）のネゲート）からライトデータ出力が終了するまでの間に挿入するウェイトサイクル数を設定します。

注 . CSnWCR2.WDOFF[2:0] ビット≦ CSnWCR2.CSWOFF[2:0] ビットとなるように設定してください。

RDON[2:0] ビット（RD アサートウェイト選択）

RD 信号のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。

WRON[2:0] ビット（WR アサートウェイト選択）

WRn 信号（n = 0, 1）のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビット、および CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビット、および CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

WDON[2:0] ビット（ライトデータ出力ウェイト選択）

ライトデータの出力前に挿入するウェイトサイクル数を設定します。

注 . ノーマルライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。
ページライトアクセス時、1 ≦ CSnWCR2.WDON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

CSON[2:0] ビット（CS アサートウェイト選択）

CSn 信号（n = 0 ～ 7）のアサート前に挿入するウェイトサイクル数を設定します。

注 . ノーマルリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSRWAIT[4:0] ビットとなるように設定してください。
ページリードアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.RDON[2:0] ビット≦ CSnWCR1.CSPRWAIT[2:0] ビットとなるように設定してください。
ノーマルライトアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSWWAIT[4:0] ビットとなるように設定してください。
ページライトアクセス時、CSnWCR2.CSON[2:0] ビット≦ CSnWCR2.WRON[2:0] ビット≦ CSnWCR1.CSPWWAIT[2:0] ビットとなるように設定してください。

15.3.7 SDC コントロールレジスタ（SDCCR）

アドレス BUS.SDCCR 4000 3C00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	BSIZE[1:0]		—	—	—	EXENB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXENB	動作許可	0：禁止 1：許可	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	BSIZE[1:0]	SDRAMバス幅選択	b5 b4 0 0：16ビットバス空間 0 1：設定禁止 1 0：8ビットバス空間 1 1：設定禁止	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EXENB ビット（動作許可）

SDRAM アドレス空間の動作を許可します。リセット時、動作は禁止（EXENB = 0）になります。禁止領域へアクセスしても何も影響されません。

CSC と SDRAMC を同時使用する場合、BCLK と SDCLK は同じ周波数で動作させる必要があります。

15.3.8 SDC モードレジスタ（SDCMOD）

アドレス BUS.SDCMOD 4000 3C01h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EMODE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EMODE	エンディアンモード指定	0：SDRAMアドレス空間のエンディアンは動作モードのエンディアンと同じ 1：SDRAMアドレス空間のエンディアンは動作モードのエンディアンと異なる	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

EMODE ビット（エンディアンモード指定）

SDRAM アドレス空間のエンディアン形式を設定します。Cortex-M4 コアはリトルエンディアンで固定されています。そのため、リトルエンディアンが指定された場合にのみ命令コードが外部空間に配置されます。領域にビッグエンディアンが指定された場合、命令コードは配置されません。

15.3.9 SDRAM アクセスモードレジスタ（SDAMOD）

アドレス BUS.SDAMOD 4000 3C02h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	BE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BE	連続アクセス許可	0：禁止 1：許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SDAMOD レジスタは、表 15.13 の条件が満たされる場合にのみ設定可能です。条件に違反した場合の動作は保証されません。

BE ビット（連続アクセス許可）

SDRAM アクセス空間への連続アクセスを許可します。

注 . グラフィック IP 以外のバスマスタから SDRAM 領域へアクセスする場合、設定値にかかわらず連続アクセスは常に禁止されます。

15.3.10 SDRAM セルフリフレッシュコントロールレジスタ（SDSELF）

アドレス BUS.SDSELF 4000 3C10h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SFEN	SDRAMセルフリフレッシュ動作許可	0：禁止 1：許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

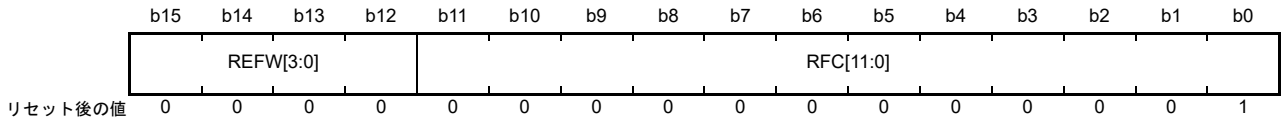
SDSELF レジスタは、表 15.13 の条件が満たされる場合にのみ設定可能です。条件に違反した場合の動作は保証されません。

SFEN ビット（SDRAM セルフリフレッシュ動作許可）

セルフリフレッシュ動作を制御します。このビットを 1 にすると、オートリフレッシュサイクルを行い、その後セルフリフレッシュを開始します。0 にすると、セルフリフレッシュを終了し、オートリフレッシュが再開されます。このビットを 1 にした場合、書き込み値はセルフリフレッシュの開始時点で有効になります。0 にした場合、セルフリフレッシュ終了後のオートリフレッシュ開始時点で、書き込み値はすでに有効になっています。

15.3.11 SDRAM リフレッシュコントロールレジスタ（SDRFCR）

アドレス BUS.SDRFCR 4000 3C14h



ビット	シンボル	ビット名	機能	R/W
b11-b0	RFC[11:0]	オートリフレッシュ要求間隔設定	b11 b0 0 0 0 0 0 0 0 0 0 0 0 0 : 設定禁止 0 0 0 0 0 0 0 0 0 0 0 1 : 2サイクル 0 0 0 0 0 0 0 0 0 0 1 0 : 3サイクル : 1 1 1 1 1 1 1 1 1 1 1 1 : 4096サイクル	R/W
b15-b12	REFW[3:0]	オートリフレッシュサイクル数／セルフリフレッシュ解除サイクル数設定	b15 b12 0 0 0 0 : 1サイクル 0 0 0 1 : 2サイクル 0 0 1 0 : 3サイクル 0 0 1 1 : 4サイクル 0 1 0 0 : 5サイクル 0 1 0 1 : 6サイクル 0 1 1 0 : 7サイクル 0 1 1 1 : 8サイクル 1 0 0 0 : 9サイクル 1 0 0 1 : 10サイクル 1 0 1 0 : 11サイクル 1 0 1 1 : 12サイクル 1 1 0 0 : 13サイクル 1 1 0 1 : 14サイクル 1 1 1 0 : 15サイクル 1 1 1 1 : 16サイクル	R/W

RFC[11:0] ビット（オートリフレッシュ要求間隔設定）

オートリフレッシュ要求間隔を設定します。SDRFEN レジスタのオートリフレッシュ動作許可ビット（SDRFEN.RFEN）の状態にかかわらず、いつでも書き込みが可能です。オートリフレッシュが許可の場合、書き込み値はオートリフレッシュサイクルの終了後に有効になります。リフレッシュカウンタは SDCLK を使用します。

REFW[3:0] ビット（オートリフレッシュサイクル数／セルフリフレッシュ解除サイクル数設定）

オートリフレッシュサイクル数とセルフリフレッシュ解除サイクル数を設定します。SDRFEN レジスタのオートリフレッシュ動作許可ビット（SDRFEN.RFEN）の状態にかかわらず、いつでも書き込みが可能です。オートリフレッシュが許可の場合、オートリフレッシュサイクル中であれば、書き込み値はオートリフレッシュサイクル終了後に有効になります。

注 . SDRAM のアクセス中はオートリフレッシュ要求は受け付けられません。すなわち、アクセス終了まで待たされるので、オートリフレッシュ間隔が広がる場合があります。RFC[11:0] ビットには、使用する SDRAM の仕様を満たすオートリフレッシュ要求間隔を設定してください。このとき、オートリフレッシュ要求間隔はオートリフレッシュサイクルより長くなるように設定してください。また、動作中に周波数を変更したときのオートリフレッシュ間隔の自動追随はできません。その場合、セルフリフレッシュを行い、周波数に対応したオートリフレッシュ間隔を設定し直すようにしてください。

15.3.11.1 オートリフレッシュ要求間隔と RFC[11:0] ビット設定値の関係

SDRAMC（SDRAM 領域コントローラ）は 12 ビットのリフレッシュカウンタを内蔵しており、定期的にオートリフレッシュ要求を発生させます。オートリフレッシュ要求間隔から RFC[11:0] ビットの設定値を計算する場合、次式を使用してください。

RFC =（オートリフレッシュ要求間隔 / SDCLK 周期）- 1

注 . SDRAM のアクセス中はオートリフレッシュ要求は受け付けられません。アクセスが終了するまで待たされます。ただし、要求が受け付けられたか否かにかかわらず、カウンタ値は更新されます。SDRAM のアクセス中に 2 回以上オートリフレッシュ要求が発生した場合、2 回目以降の要求は無視されます。

15.3.12 SDRAM オートリフレッシュコントロールレジスタ（SDRFEN）

アドレス BUS.SDRFEN 4000 3C16h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RFEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFEN	オートリフレッシュ動作許可	0：禁止 1：許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RFEN ビット（オートリフレッシュ動作許可）

オートリフレッシュ動作を許可します。オートリフレッシュを要求する場合、SDRAM アクセスの前に RFEN ビットを 1 にしてください。

オートリフレッシュが許可されているときにこのビットを 0 にすると、オートリフレッシュサイクルの終了後に、オートリフレッシュ動作が停止します。リフレッシュ要求の発生間隔は、SDRAM リフレッシュコントロールレジスタ（SDRFCR）のオートリフレッシュ要求間隔選択ビット（RFC[11:0]）の設定値に従います。

SDRFEN レジスタに書き込んだ後、SDRFEN レジスタを読み出す場合は、このレジスタを 4 回以上読み出して、3 回目の読み出し後に値が更新されていることを確認してください。

15.3.13 SDRAM 初期化シーケンスコントロールレジスタ（SDICR）

アドレス BUS.SDICR 4000 3C20h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	INIRQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INIRQ	初期化シーケンス開始	0：無効 1：初期化シーケンスを開始	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

INIRQ ビット（初期化シーケンス開始）

INIRQ ビットを 1 にすると SDRAM 初期化シーケンスが開始され、自動的に SDRAM ステータスレジスタの初期化ステータスビット（SDSR.INIST）が 1 になります。初期化シーケンス終了後、SDSR.INIST ビットは自動的に 0 になります。INIRQ ビットへ書いた値は保持されません。

注 . SDRAM 初期化シーケンス開始ビット（INIRQ）は、表 15.13 の条件が満たされる場合にのみ設定可能です。条件に違反した場合の動作は保証されません。

15.3.14 SDRAM 初期化レジスタ（SDIR）

アドレス BUS.SDIR 4000 3C24h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PRC[2:0]			ARFC[3:0]				ARFI[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ARFI[3:0]	初期化オートリフレッシュ間隔	b3 b0 0 0 0 0 : 3サイクル 0 0 0 1 : 4サイクル 0 0 1 0 : 5サイクル 0 0 1 1 : 6サイクル 0 1 0 0 : 7サイクル 0 1 0 1 : 8サイクル 0 1 1 0 : 9サイクル 0 1 1 1 : 10サイクル 1 0 0 0 : 11サイクル 1 0 0 1 : 12サイクル 1 0 1 0 : 13サイクル 1 0 1 1 : 14サイクル 1 1 0 0 : 15サイクル 1 1 0 1 : 16サイクル 1 1 1 0 : 17サイクル 1 1 1 1 : 18サイクル	R/W
b7-b4	ARFC[3:0]	初期化オートリフレッシュ回数	b7 b4 0 0 0 0 : 設定禁止 0 0 0 1 : 1回 0 0 1 0 : 2回 0 0 1 1 : 3回 0 1 0 0 : 4回 0 1 0 1 : 5回 0 1 1 0 : 6回 0 1 1 1 : 7回 1 0 0 0 : 8回 1 0 0 1 : 9回 1 0 1 0 : 10回 1 0 1 1 : 11回 1 1 0 0 : 12回 1 1 0 1 : 13回 1 1 1 0 : 14回 1 1 1 1 : 15回	R/W
b10-b8	PRC[2:0]	初期化プリチャージサイクル数	b10 b8 0 0 0 : 3サイクル 0 0 1 : 4サイクル 0 1 0 : 5サイクル 0 1 1 : 6サイクル 1 0 0 : 7サイクル 1 0 1 : 8サイクル 1 1 0 : 9サイクル 1 1 1 : 10サイクル	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

ARFI[3:0] ビット（初期化オートリフレッシュ間隔）

SDRAM の初期化シーケンスにおけるオートリフレッシュコマンドの発行間隔を設定します。

ARFC[3:0] ビット（初期化オートリフレッシュ回数）

SDRAM の初期化シーケンスにおけるオートリフレッシュの実行回数を設定します。

PRC[2:0] ビット（初期化プリチャージサイクル数）

SDRAM の初期化シーケンスにおけるプリチャージサイクル数を設定します。

注 . 初期化シーケンスを開始する前に、接続する SDRAM の仕様を満たすように設定してください。

15.3.15 SDRAM アドレスレジスタ（SDADR）

アドレス BUS.SDADR 4000 3C40h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MXC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MXC[1:0]	アドレスマルチプレクス選択	b1 b0 0 0 : 8ビットシフト 0 1 : 9ビットシフト 1 0 : 10ビットシフト 1 1 : 11ビットシフト	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SDADR レジスタは、表 15.13 の条件が満たされる場合にのみ設定可能です。条件に違反した場合の動作は保証されません。

MXC[1:0] ビット（アドレスマルチプレクス選択）

ロウアドレス／カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に SDRAMC の連続アクセス動作時に比較するロウアドレスを選択します。詳細は、表 15.18 を参照してください。

15.3.16 SDRAM タイミングレジスタ（SDTR）

アドレス BUS.SDTR 4000 3C44h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RAS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RCD[1:0]		RP[2:0]			WR	—	—	—	—	—	CL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CL[2:0]	SDRAMCカラムレイテンシ設定	b2 b0 0 0 0：設定禁止 0 0 1：1サイクル 0 1 0：2サイクル 0 1 1：3サイクル 1 0 0：設定禁止 1 0 1：設定禁止 1 1 0：設定禁止 1 1 1：設定禁止	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	WR	ライトリカバリ期間設定	0：1サイクル 1：2サイクル	R/W
b11-b9	RP[2:0]	ロウプリチャージ期間設定	b11 b9 0 0 0：1サイクル 0 0 1：2サイクル 0 1 0：3サイクル 0 1 1：4サイクル 1 0 0：5サイクル 1 0 1：6サイクル 1 1 0：7サイクル 1 1 1：8サイクル	R/W
b13-b12	RCD[1:0]	ロウカラムレイテンシ設定	b13 b12 0 0：1サイクル 0 1：2サイクル 1 0：3サイクル 1 1：4サイクル	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	RAS[2:0]	ロウアクティブ期間設定	b18 b16 0 0 0：1サイクル 0 0 1：2サイクル 0 1 0：3サイクル 0 1 1：4サイクル 1 0 0：5サイクル 1 0 1：6サイクル 1 1 0：7サイクル 1 1 1：設定禁止	R/W
b31-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SDTR レジスタは、SDRAM のリード／ライトアクセスのタイミングを設定するレジスタです。詳細は、15.6.11.3 タイミングレジスタ設定値とアクセスタイミングを参照してください。

SDTR レジスタは、表 15.13 の条件が満たされる場合にのみ設定可能です。条件に違反した場合の動作は保証されません。

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

CL[2:0] ビット（SDRAMC カラムレイテンシ設定）

SDRAMC のカラムレイテンシを設定します。この設定は、SDRAMC 側のレイテンシ設定のみに影響します。外部接続の SDRAM にカラムレイテンシを設定するには、SDRAM モードレジスタ（SDMOD）を使用してください。

WR ビット（ライトリカバリ期間設定）

SDRAM のライト（WRIT）コマンドから非活性化（PALL）までの期間を設定します。

RP[2:0] ビット（ロウプリチャージ期間設定）

SDRAM の非活性化（PALL）コマンドから次の有効なコマンドまでの最短サイクル数を設定します。

RAS[2:0] ビット（ロウアクティブ期間設定）

SDRAM の行活性化（ACTV）コマンドから非活性化（PALL）までの最短期間を設定します。RAS[2:0] ビットの値は、ロウカラムレイテンシ（RCD[1:0]）とカラムレイテンシ（CL[2:0]）の合計以下でなければいけません。

15.3.17 SDRAM モードレジスタ（SDMOD）

アドレス BUS.SDMOD 4000 3C48h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	MR[14:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	MR[14:0]	モードレジスタ設定	モードレジスタセットコマンドをトリガします。	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SDMOD レジスタは、SDRAM のモードレジスタに書く値を設定するレジスタです。SDMOD レジスタに書き込むことによって、自動的に SDRAM に対しモードレジスタセットコマンドが発行されます。SDMOD レジスタは、表 15.13 の条件が満たされる場合にのみ設定可能です。条件に違反した場合の動作は保証されません。

このレジスタは、リセット解除後、一度だけ書き込みが可能です。2 回以上ライトアクセスを行った場合の動作は保証されません。

MR[14:0] ビット（モードレジスタ設定）

MR[14:0] ビットに書き込むことによって、SDRAM に対しモードレジスタセットコマンドが発行され、アドレスの下位側に MR[14:0] ビットの設定値が出力されます。詳細は、15.6.10 モードレジスタの設定を参照してください。

注 . SDRAM に対してバースト長 1 を設定する必要があります。これ以外のバースト長を設定した場合、動作は保証されません。

注 . SDRAM のカラムレイテンシは、SDRAM タイミングレジスタの SDRAMC カラムレイテンシ設定ビット（SDTR.CL[2:0]）の値と一致していなければいけません。両者が一致していないと、動作は保証されません。

注 . SDRAM ステータスレジスタ（SDSR）のステータスビット（SRFST、INIST、MRSST）がすべて 0 になっていることを確認してください。

15.3.18 SDRAM ステータスレジスタ（SDSR）

アドレス BUS.SDSR 4000 3C50h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SRFST	INIST	—	—	MRSST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MRSST	モードレジスタセットステータス	0：モードレジスタセット動作中ではない 1：モードレジスタセット動作中	R
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	INIST	初期化ステータス	0：初期化シーケンス中ではない 1：初期化シーケンス中	R
b4	SRFST	セルフリフレッシュ遷移／復帰ステータス	0：遷移／復帰動作中ではない 1：遷移／復帰動作中	R
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MRSST ビット（モードレジスタセットステータス）

1 になっているときは、SDRAM がモードレジスタセット動作中であることを示します。SDMOD レジスタに書き込んだ後、SDSR レジスタを読み出す場合は、このレジスタを 4 回以上読み出して、3 回目の後に MRSST ビットが 0 であることを確認してください。

INIST ビット（初期化ステータス）

1 になっているときは、SDRAM が SDRAM 初期化シーケンス実行中であることを示します。SDICR レジスタに書き込んだ後、SDSR レジスタを読み出す場合は、このレジスタを 4 回以上読み出して、3 回目の後に INIST ビットが 0 であることを確認してください。

SRFST ビット（セルフリフレッシュ遷移／復帰ステータス）

1 になっているときは、SDRAM がセルフリフレッシュの遷移／復帰動作中であることを示します。「動作中」の期間は、表 15.7 に示すビットに書き込まれた時点から始まり、対応するコマンドが発行されるまで続きます。

注 . セルフリフレッシュ、初期化シーケンス、およびモードレジスタセットの実行は、すべてのステータスビットが 0 の場合にのみ可能です。ステータスビット（SRFST、INIST、MRSST）のいずれかが 1 の場合、表 15.7 に示すレジスタおよびビットを書き換えないでください。

表 15.7 ステータスビットの確認が必要なレジスタ、ビット名

機能	レジスタ	ビット
セルフリフレッシュ	SDSELF	SFEN
初期化シーケンス	SDICR	INIRQ
モードレジスタセット	SDMOD	MR[14:0]

15.3.19 マスタバスコントロールレジスタ（BUSMCNT<master>）

アドレス BUS.BUSMCNTM4I 4000 4000h, BUS.BUSMCNTM4D 4000 4004h, BUS.BUSMCNTSYS 4000 4008h, BUS.BUSMCNTDMA 4000 400Ch, BUS.BUSMCNTEDM 4000 4010h, BUS.BUSMCNTGPX 4000 4014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	IERES	—	—	—	—	—	—	EWRES	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EWRES	早期ライト応答	0：早期ライト応答は無効 1：早期ライト応答は有効	R/W
b14-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	IERES	エラー応答無視	0：バスエラーを通知する 1：バスエラーを通知しない	R/W

注． 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

表 15.8 に、バスの種類に対応したレジスタを示します。

表 15.8 バスの種類とレジスタの対応関係

バスの種類	マスタバス コントロールレジスタ	スレーブバス コントロールレジスタ	バスエラー アドレスレジスタ	バスエラー ステータスレジスタ
ICodeバス（CPU）	BUSMCNTM4I	-	BUS1ERRADD	BUS1ERRSTAT
DCodeバス（CPU）	BUSMCNTM4D	-	BUS2ERRADD	BUS2ERRSTAT
システムバス（CPU）	BUSMCNTSYS	-	BUS3ERRADD	BUS3ERRSTAT
DMAバス	BUSMCNTDMA	-	BUS4ERRADD	BUS4ERRSTAT
EDMACバス	BUSMCNTEDM	-	BUS5ERRADD	BUS5ERRSTAT
JPEGコーデック（データ入力）からのGPXバス	BUSMCNTGPX	BUSSCNTGPX	BUS6ERRADD	BUS6ERRSTAT
JPEGコーデック（データ出力）からのGPXバス	BUSMCNTGPX	BUSSCNTGPX	BUS7ERRADD	BUS7ERRSTAT
GLCDC（グラフィック1）からのGPXバス	BUSMCNTGPX	BUSSCNTGPX	BUS8ERRADD	BUS8ERRSTAT
GLCDC（グラフィック2）からのGPXバス	BUSMCNTGPX	BUSSCNTGPX	BUS9ERRADD	BUS9ERRSTAT
2D描画エンジン（テクスチャ）からのGPXバス	BUSMCNTGPX	BUSSCNTGPX	BUS10ERRADD	BUS10ERRSTAT
2D描画エンジン（データ）からのGPXバス	BUSMCNTGPX	BUSSCNTGPX	BUS11ERRADD	BUS11ERRSTAT
メモリバス1	-	BUSSCNTFLI	-	-
メモリバス2	-	BUSSCNTRAMH	-	-
メモリバス3	-	BUSSCNTMBIU	-	-
メモリバス4	-	BUSSCNTRAM0	-	-
メモリバス5	-	BUSSCNTRAM1	-	-
内部周辺バス1, 3, 4, 5, 7, 8	-	BUSSCNTPnB（n = 0, 2, 3, 4, 6, 7）	-	-
内部周辺バス9	-	BUSSCNTFBU	-	-
外部バス（CSおよびSDRAM領域）	-	BUSSCNTEXT	-	-
外部バス（QSPI領域）	-	BUSSCNTEXT2	-	-

EWRES ビット（早期ライト応答）

現行のライトトランザクションの応答がある前に、次のライト要求を受け付けるか否かを指定します。本ビットが 1 の場合、次のライト要求が受け付けられ高速転送が可能になりますが、AHB-Lite エラー応答は検出されません。バスエラーは、AHB-Lite のエラー応答プロトコルを用いて要求マスタ IP に返されます。各バスに生じるエラーについての詳細は、15.7　バスエラー監視部を参照してください。BUSMCNTSYS レジスタのみを使用してください。

IERES ビット（エラー応答無視）

このビットを 1 にすると、AHB-Lite プロトコルエラー応答が無効になります。

15.3.20 スレーブバスコントロールレジスタ（BUSSCNT<slave>）

アドレス BUS.BUSSCNTFLI 4000 4100h, BUS.BUSSCNTRAMH 4000 4104h, BUS.BUSSCNTMBIU 4000 4108h, BUS.BUSSCNTRAM0 4000 410Ch, BUS.BUSSCNTRAM1 4000 4110h, BUS.BUSSCNTP0B 4000 4114h, BUS.BUSSCNTP2B 4000 4118h, BUS.BUSSCNTP3B 4000 411Ch, BUS.BUSSCNTP4B 4000 4120h, BUS.BUSSCNTP6B 4000 4128h, BUS.BUSSCNTP7B 4000 412Ch, BUS.BUSSCNTFBU 4000 4130h, BUS.BUSSCNTEXT 4000 4134h, BUS.BUSSCNTEXT2 4000 4138h, BUS.BUSSCNTGPX 4000 413Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EWRES	—	—	ARBMET[1:0]		—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	ARBMET[1:0]	調停法	グループ優先順位を指定します。 b5 b4 0 0：優先順位固定 0 1：ラウンドロビン 1 0：設定禁止 1 1：設定禁止	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EWRES	早期ライト応答	0：早期ライト応答は無効 1：早期ライト応答は有効	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 予約ビットを初期値 0 から変更することは禁止されています。書き換え中の動作は保証されません。

表 15.8 に、バスの種類に対応したレジスタを示します。

ARBMET[1:0] ビット（調停法）

調停プロトコルを、すべてのバスマスタに定義される優先順位で指定します。優先順位固定については、表 15.9 を参照してください。ラウンドロビンについては、表 15.10 を参照してください。

EWRES ビット（早期ライト応答）

現行のライトトランザクションの応答がある前に、次のライト要求を受け付けるか否かを指定します。本ビットが 1 の場合、次のライト要求が受け付けられ高速転送が可能になりますが、AHB-Lite エラー応答は検出されません。バスエラーは、AHB-Lite のエラー応答プロトコルを用いて要求マスタ IP に返されます。各バスに生じるエラーについての詳細は、15.7 バスエラー監視部を参照してください。BUSSCNTMBIU、BUSSCNTP0B、および BUSSCNTEXT レジスタのみを使用してください。

表 15.9 優先順位固定（ARBMET[1:0] = 00b）によるバス優先順位

スレーブバス コントロールレジスタ	スレーブインタフェース	優先順位
BUSSCNTFLI	メモリバス1	メモリバス3＞DCodeバス（CPU）＞ICodeバス（CPU）
BUSSCNTRAMH	メモリバス2	メモリバス3＞DCodeバス（CPU）＞ICodeバス（CPU）
BUSSCNTMBIU	メモリバス3	GPXバス＞ETHERバス＞DMAバス
BUSSCNTRAM0	メモリバス4	GPXバス＞ETHERバス＞DMAバス＞システムバス（CPU）
BUSSCNTRAM1	メモリバス5	GPXバス＞ETHERバス＞DMAバス＞システムバス（CPU）
BUSSCNTPnB （n = 0, 2, 3, 4, 6, 7）	内部周辺バス1、3、4、5、7、8	DMAバス＞システムバス（CPU）
BUSSCNTFBU	内部周辺バス9	ETHERバス＞DMAバス＞システムバス（CPU）
BUSSCNTEXT	外部バス（CSおよびSDRAM領域）	GPXバス＞ETHERバス＞DMAバス＞システムバス（CPU）
BUSSCNTEXT2	外部バス（QSPI領域）	GPXバス＞ETHERバス＞DMAバス＞システムバス（CPU）
BUSSCNTGPX	GPXバス	GLCDC（グラフィック1）＞2D描画エンジン（テクスチャ）＞2D描画エンジン（データ）＞JPEGコーデック（入力）＞GLCDC（グラフィック2）＞JPEGコーデック（出力）

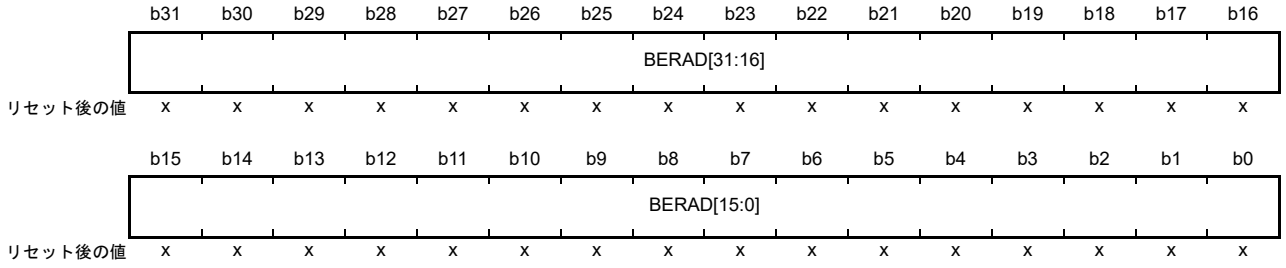
表 15.10 ラウンドロビン（ARBMET[1:0] = 01b）によるバス優先順位

スレーブバス コントロールレジスタ	スレーブインタフェース	優先順位（注1）
BUSSCNTFLI	メモリバス1	メモリバス3 <=> DCodeバス（CPU）<=> ICodeバス（CPU）
BUSSCNTRAMH	メモリバス2	メモリバス3 <=> DCodeバス（CPU）<=> ICodeバス（CPU）
BUSSCNTMBIU	メモリバス3	GPXバス <=> ETHERバス <=> DMAバス
BUSSCNTRAM0	メモリバス4	GPXバス <=> ETHERバス <=> DMAバス <=> システムバス（CPU）
BUSSCNTRAM1	メモリバス5	GPXバス <=> ETHERバス <=> DMAバス <=> システムバス（CPU）
BUSSCNTPnB （n = 0, 2, 3, 4, 6, 7）	内部周辺バス1、3、4、5、7、8	DMAバス <=> システムバス（CPU）
BUSSCNTFBU	内部周辺バス9	ETHERバス <=> DMAバス <=> システムバス（CPU）
BUSSCNTEXT	外部バス（CSおよびSDRAM領域）	GPXバス <=> ETHERバス <=> DMAバス <=> システムバス（CPU）
BUSSCNTEXT2	外部バス（QSPI領域）	GPXバス <=> ETHERバス <=> DMAバス <=> システムバス（CPU）
BUSSCNTGPX	GPXバス	GLCDC（グラフィック1）＞2D描画エンジン（テクスチャ）＞2D描画エンジン（データ）＞JPEGコーデック（入力）<=> GLCDC（グラフィック2）＞JPEGコーデック（出力）

注 1. ラウンドロビンであることは <=> で示されます。

15.3.21 バスエラーアドレスレジスタ（BUSnERRADD）（n = 1 ～ 11）

アドレス BUS.BUS1ERRADD 4000 4800h, BUS.BUS2ERRADD 4000 4810h, BUS.BUS3ERRADD 4000 4820h, BUS.BUS4ERRADD 4000 4830h, BUS.BUS5ERRADD 4000 4840h, BUS.BUS6ERRADD 4000 4850h, BUS.BUS7ERRADD 4000 4860h, BUS.BUS8ERRADD 4000 4870h, BUS.BUS9ERRADD 4000 4880h, BUS.BUS10ERRADD 4000 4890h, BUS.BUS11ERRADD 4000 48A0h



x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	BERAD[31:0]	バスエラーアドレス	バスエラーが発生した場合、そのエラーアドレスを格納します。	R

注． このレジスタは、MPU 関連以外のリセットによってのみクリアされます。詳細については、「6. リセット」と「16. メモリプロテクションユニット（MPU）」を参照してください。

表 15.8 に、バスの種類に対応したレジスタを示します。

BERAD[31:0] ビット（バスエラーアドレス）

バスエラーが発生した場合、そのアクセスアドレスを格納します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と 15.7 バスエラー監視部を参照してください。

BUSnERRADD.BERAD[31:0] ビット（n = 1 ～ 11）の値は、BUSnERRSTAT.ERRSTAT ビット（n = 1 ～ 11）が 1 の場合にのみ有効です。

15.3.22 バスエラーステータスレジスタ（BUSnERRSTAT）（n = 1 ～ 11）

アドレス BUS.BUS1ERRSTAT 4000 4804h, BUS.BUS2ERRSTAT 4000 4814h, BUS.BUS3ERRSTAT 4000 4824h, BUS.BUS4ERRSTAT 4000 4834h, BUS.BUS5ERRSTAT 4000 4844h, BUS.BUS6ERRSTAT 4000 4854h, BUS.BUS7ERRSTAT 4000 4864h, BUS.BUS8ERRSTAT 4000 4874h, BUS.BUS9ERRSTAT 4000 4884h, BUS.BUS10ERRSTAT 4000 4894h, BUS.BUS11ERRSTAT 4000 48A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	ERRSTAT	—	—	—	—	—	—	ACCSTAT
リセット後の値	0	0	0	0	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	ACCSTAT	エラーアクセス状態	エラー発生時のアクセス状態 1：ライトアクセス 0：リードアクセス	R
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ERRSTAT	バスエラー状態	0：バスエラー発生なし 1：バスエラー発生あり	R

注 . このレジスタは、MPU 関連以外のリセットによってのみクリアされます。詳細については、「6. リセット」と「16. メモリプロテクションユニット（MPU）」を参照してください。

表 15.8 に、バスの種類に対応したレジスタを示します。

ACCSTAT ビット（エラーアクセス状態）

対応するバスにエラーが発生した場合、そのアクセス状態（ライトアクセスまたはリードアクセス）を示します。詳細については、BUSnERRSTAT.ERRSTAT ビットの説明と 15.7 バスエラー監視部を参照してください。

このビットの値は、BUSnERRSTAT.ERRSTAT ビット（n = 1 ～ 11）が 1 の場合にのみ有効です。

ERRSTAT ビット（バスエラー状態）

バスエラーの発生の有無を示します。対応するバスにエラーが発生した場合、そのアクセスアドレスとアクセス状態（ライトアクセスまたはリードアクセス）が格納されます。BUSnERRSTAT.ERRSTAT ビット（n = 1 ～ 11）は 1 になります。

それぞれのバスでは、下記のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

バスマスタ MPU エラーまたはバススレーブ MPU エラーの検出時に、それぞれの OAD ビットでリセットが選択されていると、ウェイト設定によっては MPU エラーを発生させたバスアクセスが内部リセット信号の生成よりも後に完了する場合があり、この場合、BUSnERRSTAT.ERRSTAT（n = 1 ～ 11）は 1 になりません。

バスマスタ MPU エラーまたはバススレーブ MPU エラーの検出時に、それぞれの OAD ビットで NMI が選択されていると、MPU エラーを発生させたバスアクセスの完了時に BUSnERRSTAT.ERRSTAT（n = 1 ～ 11）は 1 になります。

各バスに生じるエラーについては、15.7 バスエラー監視部と「16. メモリプロテクションユニット（MPU）」を参照してください。GPX バスについては、バスマスタ MPU エラーアクセスの後、異なるマスタバスによって転送要求が行われない限り、通常は BUSnERRSTAT.ERRSTAT（n = 6 ～ 11）は 1 になります。

15.4 エンディアン形式とデータアライメント

外部バスはデータアライメント機能を持っており、外部アドレス空間（CS 領域、SDRAM 領域）をアクセスするとき、データバスのどちらのバイト（D15 ～ D08 または D07 ～ D00）を使用するか制御します。データアライメントは、アクセスする領域のバス仕様（8 ビットまたは 16 ビットバス空間）、データサイズ、およびエンディアン形式に基づいています。

15.4.1 CS 領域のデータアライメント制御

(1) 16 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス（A23 ～ A01）が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス（A00）は無効（Low 固定）になります。

バイトストローブモード（CSnMOD.WRMOD ビット = 0）を選択した場合、WR0 端子と WR1 端子が有効になります。BC0 端子と BC1 端子は使用しません。

1 ライトストローブモード（CSnMOD.WRMOD ビット = 1）を選択した場合、WR0 端子のみが有効となり、データサイズに関係なくライトアクセス時には WR0 端子から常に Low が出力されます。このとき、WR1 端子は無効（High 固定）になります。有効なバイト位置は、BC0 端子と BC1 端子により表します。

制御信号と MCU 外部データの有効位置は、エンディアン形式によって異なります。図 15.3 と図 15.4 を参照してください。

32 ビット単位のデータアクセスに対して、ページアクセスが発生する場合があります。アクセスが 32 ビット境界を越えず、かつ BC0 および BC1 信号に変化が生じない場合に限り、ページアクセスが発生します。ページアクセスが発生する場合を図 15.3 と図 15.4 に（p）で示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1/BC1 RD データバス D15	D08	WR0/BC0 RD データバス D07	D00
8ビット	4n	1回	1回目	8ビット	4n				7	0
	4n+1	1回	1回目	8ビット	4n		7	0		
	4n+2	1回	1回目	8ビット	4n+2				7	0
	4n+3	1回	1回目	8ビット	4n+2		7	0		
16ビット	4n	1回	1回目	16ビット	4n		15	8	7	0
	4n+2	1回	1回目	16ビット	4n+2		15	8	7	0
32ビット	4n	2回	1回目	16ビット	4n		15	8	7	0
			2回目	16ビット	4n+2	(p)	31	24	23	16

(p)：ページアクセス（CSnMOD.PRENB、PWENBビットでページアクセスが許可の場合のみ）

図 15.3 CS 領域の 16 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1/BC1 / WR0/BC0 / RD / データバス D15 D08 D07 D00
8ビット	4n	1回	1回目	8ビット	4n	7 0
	4n+1	1回	1回目	8ビット	4n	7 0
	4n+2	1回	1回目	8ビット	4n+2	7 0
	4n+3	1回	1回目	8ビット	4n+2	7 0
16ビット	4n	1回	1回目	16ビット	4n	15 8 7 0
	4n+2	1回	1回目	16ビット	4n+2	15 8 7 0
32ビット	4n	2回	1回目	16ビット	4n	31 24 23 16
			2回目	16ビット	4n+2 (p)	15 8 7 0

(p) : ページアクセス（CSnMOD.PRENB、PWENBビットでページアクセスが許可の場合のみ）

図 15.4 CS 領域の 16 ビットバス空間におけるデータアライメント（ビッグエンディアン）

(2) 8 ビットバス空間

CSnCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス（A23 ～ A00）がバイト単位のアドレス出力信号として有効になります。

8 ビットバス空間では、ライトアクセスモードの設定にかかわらず、WR0 端子のみが有効になります。WR0 端子にはライトアクセス時に常に Low が出力されます。WR1 端子と BC0 端子は使用しません。

エンディアン形式にかかわらず、MCU 外部データの有効位置は D07 ～ D00 であり、WR0 端子は制御信号として使用されます。図 15.5 と図 15.6 を参照してください。

16 ビットまたは 32 ビット単位のデータアクセスに対して、ページアクセスが発生する場合があります。アクセスが 32 ビット境界を越えない場合に限り、ページアクセスが発生します。ページアクセスが発生する場合を図 15.5 と図 15.6 に（p）で示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス	WR1/BC1 / WR0/BC0 / RD データバス D15 D08 D07 D00
8ビット	4n	1回	1回目	8ビット	4n	7 0
	4n+1	1回	1回目	8ビット	4n+1	7 0
	4n+2	1回	1回目	8ビット	4n+2	7 0
	4n+3	1回	1回目	8ビット	4n+3	7 0
16ビット	4n	2回	1回目	8ビット	4n	7 0
			2回目	8ビット	4n+1 (p)	15 8
	4n+2	2回	1回目	8ビット	4n+2	7 0
			2回目	8ビット	4n+3 (p)	15 8
32ビット	4n	4回	1回目	8ビット	4n	7 0
			2回目	8ビット	4n+1 (p)	15 8
			3回目	8ビット	4n+2 (p)	23 16
			4回目	8ビット	4n+3 (p)	31 24

(p)：ページアクセス（CSnMOD.PRENB、PWENBビットでページアクセスが許可の場合のみ）

図 15.5 CS 領域の 8 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		WR1/BC1 RD データバス D15 D08	WR0/BC0 RD データバス D07 D00
8ビット	4n	1回	1回目	8ビット	4n			7 0
	4n+1	1回	1回目	8ビット	4n+1			7 0
	4n+2	1回	1回目	8ビット	4n+2			7 0
	4n+3	1回	1回目	8ビット	4n+3			7 0
16ビット	4n	2回	1回目	8ビット	4n			15 8
			2回目	8ビット	4n+1	(p)		7 0
	4n+2	2回	1回目	8ビット	4n+2			15 8
			2回目	8ビット	4n+3	(p)		7 0
32ビット	4n	4回	1回目	8ビット	4n			31 24
			2回目	8ビット	4n+1	(p)		23 16
			3回目	8ビット	4n+2	(p)		15 8
			4回目	8ビット	4n+3	(p)		7 0

(p)：ページアクセス（CSnMOD.PRENB、PWENBビットでページアクセスが許可の場合のみ）

図 15.6　CS 領域の 8 ビットバス空間におけるデータアライメント（ビッグエンディアン）

15.4.2 SDRAM 領域のデータアライメント制御

(1) 16 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 16 ビットバス空間を選択すると、アドレスバス（A26 ～ A01）が 16 ビット単位のアドレス出力信号として有効になり、アドレスバス（A00）は無効（Low 固定）になります。有効なバイト位置は、DQM0 信号と DQM1 信号により表します。

外部データは、DQ15 ～ DQ08 および DQ07 ～ DQ00 端子と、DQM0 および DQM1 制御信号を用いてアクセスされます。1 回にアクセスできるデータサイズは、8 ビットまたは 16 ビットです。

制御信号と MCU 外部データの有効位置は、エンディアン形式によって異なります。図 15.7 と図 15.8 を参照してください。

8 ビットまたは 16 ビット単位のデータアクセスに対して、連続アクセスが発生する場合があります。1 転送要求に対して 1 回のバスアクセスが発生する場合に限り、連続アクセスが発生します。連続アクセスが発生する場合を図 15.7 と図 15.8 に（r1）で示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE / データバス DQ15 DQ08 DQ07 DQ00
8ビット	4n	1回	1回目	8ビット	4n	(r1)	7 0
	4n+1	1回	1回目	8ビット	4n	(r1)	7 0
	4n+2	1回	1回目	8ビット	4n+2	(r1)	7 0
	4n+3	1回	1回目	8ビット	4n+2	(r1)	7 0
16ビット	4n	1回	1回目	16ビット	4n	(r1)	15 8 7 0
	4n+2	1回	1回目	16ビット	4n+2	(r1)	15 8 7 0
32ビット	4n	2回	1回目	16ビット	4n		15 8 7 0
			2回目	16ビット	4n+2		31 24 23 16

（r1）：連続アクセス（バースト転送中は、SDAMOD.BE = 1で連続アクセスが許可の場合のみ）

図 15.7 SDRAM 領域の 16 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE / データバス DQ15 DQ08 DQ07 DQ00
8ビット	4n	1回	1回目	8ビット	4n	(r1)	7 0
	4n+1	1回	1回目	8ビット	4n	(r1)	7 0
	4n+2	1回	1回目	8ビット	4n+2	(r1)	7 0
	4n+3	1回	1回目	8ビット	4n+2	(r1)	7 0
16ビット	4n	1回	1回目	16ビット	4n	(r1)	15 8 7 0
	4n+2	1回	1回目	16ビット	4n+2	(r1)	15 8 7 0
32ビット	4n	2回	1回目	16ビット	4n		31 24 23 16
			2回目	16ビット	4n+2		15 8 7 0

(r1) ：連続アクセス（バースト転送中は、SDAMOD.BE = 1で連続アクセスが許可の場合のみ）

図 15.8 SDRAM 領域の 16 ビットバス空間におけるデータアライメント（ビッグエンディアン）

(2) 8 ビットバス空間

SDCCR.BSIZE[1:0] ビットで 8 ビットバス空間を選択すると、アドレスバス（A26 ～ A00）が 8 ビット単位のアドレス出力信号として有効になります。

外部データは、DQ07 ～ DQ00 端子と、DQM0 制御信号を用いてアクセスされます。8 ビットデータでは 1 回、16 ビットデータでは 2 回、32 ビットデータでは 4 回の 8 ビットアクセスを実行します。

制御信号と MCU 外部データの有効位置は、エンディアン形式によって異なります。図 15.9 と図 15.10 を参照してください。

8 ビット単位のデータアクセスに対して、連続アクセスが発生する場合があります。1 転送要求に対して 1 回のバスアクセスが発生する場合に限り、連続アクセスが発生します。連続アクセスが発生する場合を図 15.9 と図 15.10 に（r1）で示します。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 / DQM0 / WE / データバス DQ15 DQ08 DQ07 DQ00
8ビット	4n	1回	1回目	8ビット	4n	（r1）	7 0
	4n+1	1回	1回目	8ビット	4n+1	（r1）	7 0
	4n+2	1回	1回目	8ビット	4n+2	（r1）	7 0
	4n+3	1回	1回目	8ビット	4n+3	（r1）	7 0
16ビット	4n	2回	1回目	8ビット	4n		7 0
			2回目	8ビット	4n+1		15 8
	4n+2	2回	1回目	8ビット	4n+2		7 0
			2回目	8ビット	4n+3		15 8
32ビット	4n	4回	1回目	8ビット	4n		7 0
			2回目	8ビット	4n+1		15 8
			3回目	8ビット	4n+2		23 16
			4回目	8ビット	4n+3		31 24

（r1）：連続アクセス（バースト転送中は、SDAMOD.BE = 1で連続アクセスが許可の場合のみ）

図 15.9 SDRAM 領域の 8 ビットバス空間におけるデータアライメント（リトルエンディアン）

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	アドレス		DQM1 DQM0 WE データバス DQ15 DQ08 DQ07 DQ00
8ビット	4n	1回	1回目	8ビット	4n	(r1)	7 0
	4n+1	1回	1回目	8ビット	4n+1	(r1)	7 0
	4n+2	1回	1回目	8ビット	4n+2	(r1)	7 0
	4n+3	1回	1回目	8ビット	4n+3	(r1)	7 0
16ビット	4n	2回	1回目	8ビット	4n		15 8
			2回目	8ビット	4n+1		7 0
	4n+2	2回	1回目	8ビット	4n+2		15 8
			2回目	8ビット	4n+3		7 0
32ビット	4n	4回	1回目	8ビット	4n		31 24
			2回目	8ビット	4n+1		23 16
			3回目	8ビット	4n+2		15 8
			4回目	8ビット	4n+3		7 0

（r1）：連続アクセス（バースト転送中は、SDAMOD.BE = 1で連続アクセスが許可の場合のみ）

図 15.10 SDRAM 領域の 8 ビットバス空間におけるデータアライメント（ビッグエンディアン）

15.5 CS 領域コントローラの動作説明

15.5.1 セパレートバス

本節では、タイミング図に記載のサイクルについて説明します。CS 領域コントローラ（CSC）は外部バスクロック（BCLK）に同期して動作します。CSC のレジスタで設定されるウェイトサイクルなどの動作サイクルは、BCLK でカウントされます。以下では、特に断りのない限り、外部バスクロック（BCLK）と EBCLK 端子出力は、同一周波数であるものとします。外部バスアクセス開始の起点は、EBCLK 端子出力の立ち上がり時点になります。ただし、外部バスクロック（BCLK）と EBCLK 端子出力が異なる周波数の場合、2 回目以降の外部バスアクセスの開始は、ウェイト設定によっては EBCLK 端子出力の立ち下がり時点になる可能性があります。図 15.16 ～図 15.20 を参照してください。また、バスアクセスに対してリカバリサイクルが挿入されている場合にも、リカバリサイクル数の設定によっては EBCLK 端子出力の立ち下がり時点になる可能性があります。図 15.32 を参照してください。

(a) Tw1 ～ Twn（ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト）

Tw1 から Twn までの期間は、外部バスアクセス開始からストローブ信号有効サイクルの 1 サイクル前までのサイクル数です。0 ～ 31 サイクルを選択できます。この期間内に、CSn、RD、WRn 信号アサーション（信号を Low にする）のタイミングは、それぞれのウェイト設定によって決定されます。ウェイト期間は、CSn ウェイトコントロールレジスタ 2（CSnWCR2）の CS アサートウェイト選択ビット（CSON）、RD アサートウェイト選択ビット（RDON）、WR アサートウェイト選択ビット（WRON）、およびライトデータ出力ウェイト選択ビット（WDON）によって制御されます。各ウェイトのサイクル数は、外部バスアクセス開始のサイクルを起点にして、0 ～ 7 サイクルから選択できます。選択可能なサイクル数は、リード／ライトサイクルウェイトに必要な全サイクル数の範囲内です。

(b) Tend（ストローブ信号有効サイクル）

Tend は、ノーマルリード／ライトサイクルウェイト期間、あるいはページリード／ライトサイクルウェイト期間が終了した次のサイクルです。これらのサイクルウェイト選択ビットが 0 の場合、バスアクセス開始のサイクルがストローブ信号有効サイクルとなります。その次のサイクルで、RD 信号と WRn 信号がネゲートされます。リードアクセスの場合、ストローブ信号有効サイクルは、リードデータのサンプルサイクルです。外部ウェイト許可の場合、ストローブ信号有効サイクルでウェイト信号がサンプリングされます。ウェイト信号が Low の場合、バスサイクルを延長します。ウェイト信号が High になると、次のサイクルでバスサイクルを終了します。Tend は、ウェイト信号のサンプリングを開始するサイクルを示します。

ページアクセスでストローブ信号が有効な最初のサイクル後、ライトデータ出力延長サイクルに 0 以外の値が設定されているライトアクセス時（(d) Tdw1 ～ Tdwn（ライトデータ出力延長サイクル）を参照）を除いて、次のサイクルでは 2 回目以降のページアクセス（(e) Tpw1 ～ Tpwn（ページリードサイクルウェイト、ページライトサイクルウェイト）を参照）が開始されます。RD アサートウェイトまたは WR アサートウェイトの設定が 0 以外の場合、次のサイクルで RD 信号と WRn 信号がネゲートされます。0 の場合はアサートが継続されます。また、CSn 信号はネゲートされずにアサートされ続けます。

(c) Tn1 ～ Tnm（CS 延長サイクル）

ノーマルアクセスの場合、Tn1 ～ Tnm は、ストローブ信号が有効なサイクル（Tend）の次のサイクルから CSn 信号をネゲートするまでの期間のクロックサイクルを表します。ネゲートするタイミングは、リードアクセス時は、CSn ウェイトコントロールレジスタ 2（CSnWCR2）のリードアクセス時 CS 延長サイクル選択ビット（CSROFF）、ライトアクセス時は、ライトアクセス時 CS 延長サイクル選択ビット（CSWOFF）によって制御することができます。サイクル数は、ストローブ信号有効サイクルの次のサイクルを起点に数えます。

ページアクセスの場合、Tn1 ～ Tnm は、ストローブ信号が有効な最後のサイクルから CSn 信号をネゲートするまでの期間のクロックサイクルを表します。

ライトアクセス時は、ライトデータ出力延長サイクル選択ビット（WDOFF）により、アドレスおよび出力データが有効な期間の延長が制御されます。

(d) Tdw1 ～ Tdwn（ライトデータ出力延長サイクル）

ライトアクセス時、ライトデータ出力延長ウェイトの設定が 0 以外の場合、指定されたサイクルがストローブ信号有効サイクル（Tend）の次のサイクルから挿入されます。

ノーマルアクセスの場合、CS 延長サイクル期間（Tn1 ～ Tnm）内に挿入されます。

ページアクセスの場合、ストローブ信号有効サイクルと後続のページアクセスの期間内、またはCS延長サイクル期間（Tn1 ～ Tnm）内に挿入されます。この期間にわたって、アドレスと出力データが延長され、WRn信号がネゲートされます。

(e) Tpw1 ～ Tpwn（ページリードサイクルウェイト、ページライトサイクルウェイト）

ページアクセス中の2回目以降のバスサイクルについては、ノーマルリード／ライトサイクルウェイトの代わりに、ページリードサイクルウェイトまたはページライトサイクルウェイトの値が使用されます。WRアサートウェイト選択ビットの設定は、1回目のアクセスと同様に有効となります。RDアサート制御は、下記に示すように、ページリードアクセスモード（CSnMOD.PRMODビット）の設定によって動作が異なります。

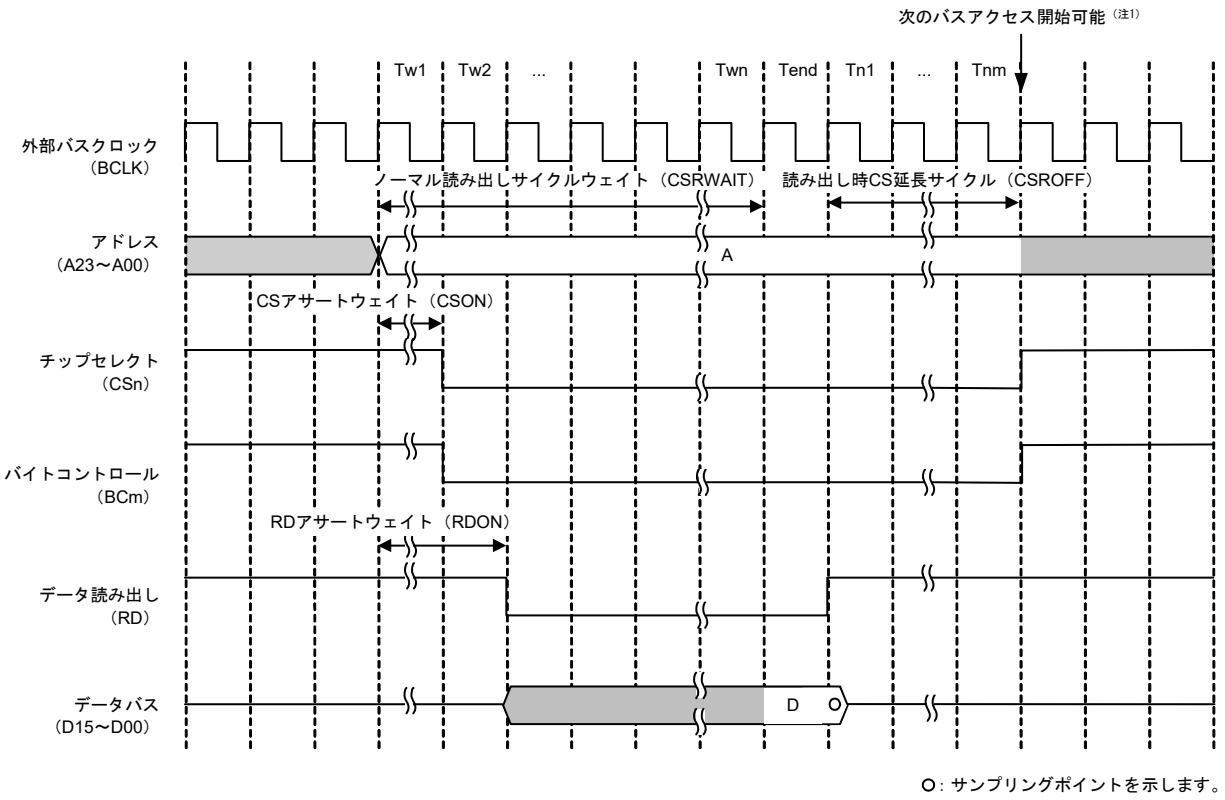
- CSnMOD.PRMODビット = 0の場合:1回目と同様にRDアサートウェイトが挿入され、RD信号がネゲートされる
- CSnMOD.PRMODビット = 1の場合：ノーマルアクセス互換モードと同様に、RDアサートウェイトが挿入されるが、その間、RD信号がアサートされ続ける

(f) Tr1 ～ Trn（リカバリサイクル）

バスサイクルの終了時点（CSn信号のネゲート時点）からリカバリサイクルの挿入が可能です。リカバリサイクル数は、CSnリカバリサイクル設定レジスタ（CSnREC）のリードリカバリ設定ビット（RRCV）、ライトリカバリ設定ビット（WRCV）によって制御することができます。各リカバリサイクル数は、バスサイクルの終了時点（CSn信号のネゲート時点）を起点に数え、0 ～ 15サイクルの選択が可能です。詳細は、15.5.3 リカバリサイクルの挿入を参照してください。

(1) ノーマルアクセス

CSnMODレジスタのPRENBビットとPWENBビットを0（ページリードアクセスおよびページライトアクセスを禁止）にした場合、すべてのバスアクセスはノーマルアクセスを行います。これらのビットを1（ページリードアクセスおよびページライトアクセスを許可）にした場合でも、ページアクセスに該当しないバスアクセスは、ノーマルアクセスとなります。図15.11 ～図15.13にノーマルアクセスの動作例を示します。



注 1. CSnWCR2.CSROFF[2:0] = 000b の場合は、次のバスアクセス開始は 1 サイクル後から可能になります。

図 15.11 ノーマルリードアクセスのバスタイミング（n = 0 ～ 7; m = 0, 1）

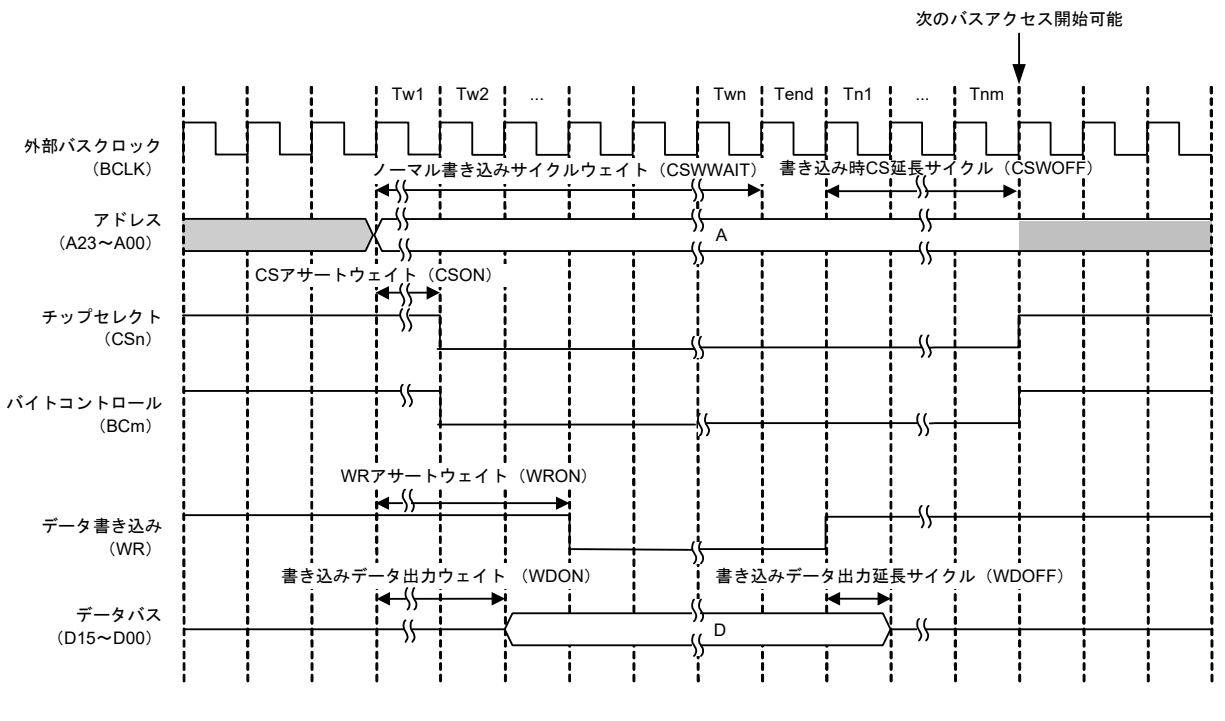


図 15.12 ノーマルライトアクセスのバスタイミング（1 ライトストローブモード）（n = 0 ～ 7; m = 0, 1）

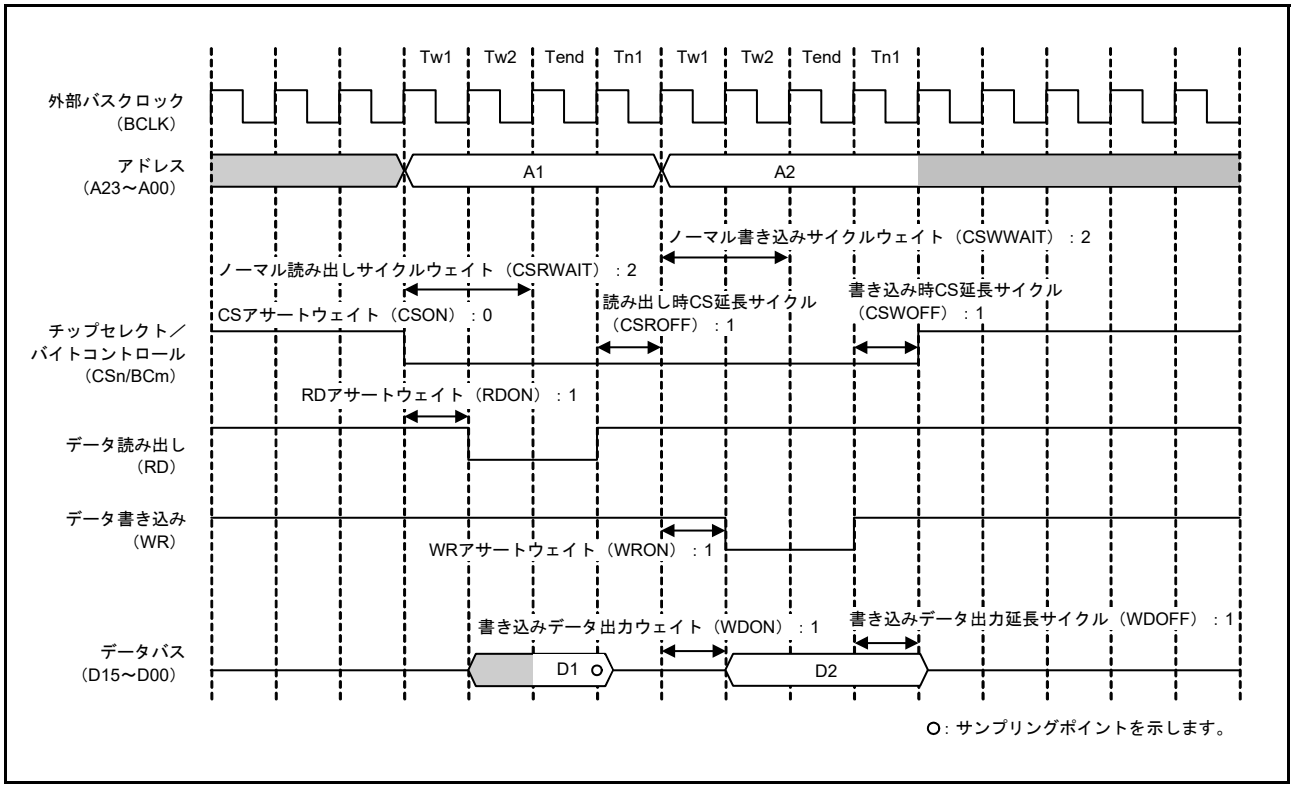


図 15.13　　ノーマルアクセスの動作例（リード／ライト）（n = 0 ～ 7; m = 0, 1）

バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合は、ノーマルアクセス動作を繰り返します。(a)　Tw1 ～ Twn（ノーマルリードサイクルウェイト、ノーマルライトサイクルウェイト）～ (d)　Tdw1 ～ Tdwn（ライトデータ出力延長サイクル）を参照してください。図 15.14 と図 15.15 に、1 転送要求に対して 2 回バスアクセスが発生する場合の動作例を示します。ただし、リカバリサイクル挿入条件が成り立つ場合は、2 回目以降の外部バスアクセスにもリカバリサイクル（(f)　Tr1 ～ Trn（リカバリサイクル））が挿入されます。図 15.30 を参照してください。

図に示す各ウェイトコントロールレジスタの値は設定例です。アプリケーションにおいては、接続するデバイスの仕様に合わせて適切にレジスタを設定してください。

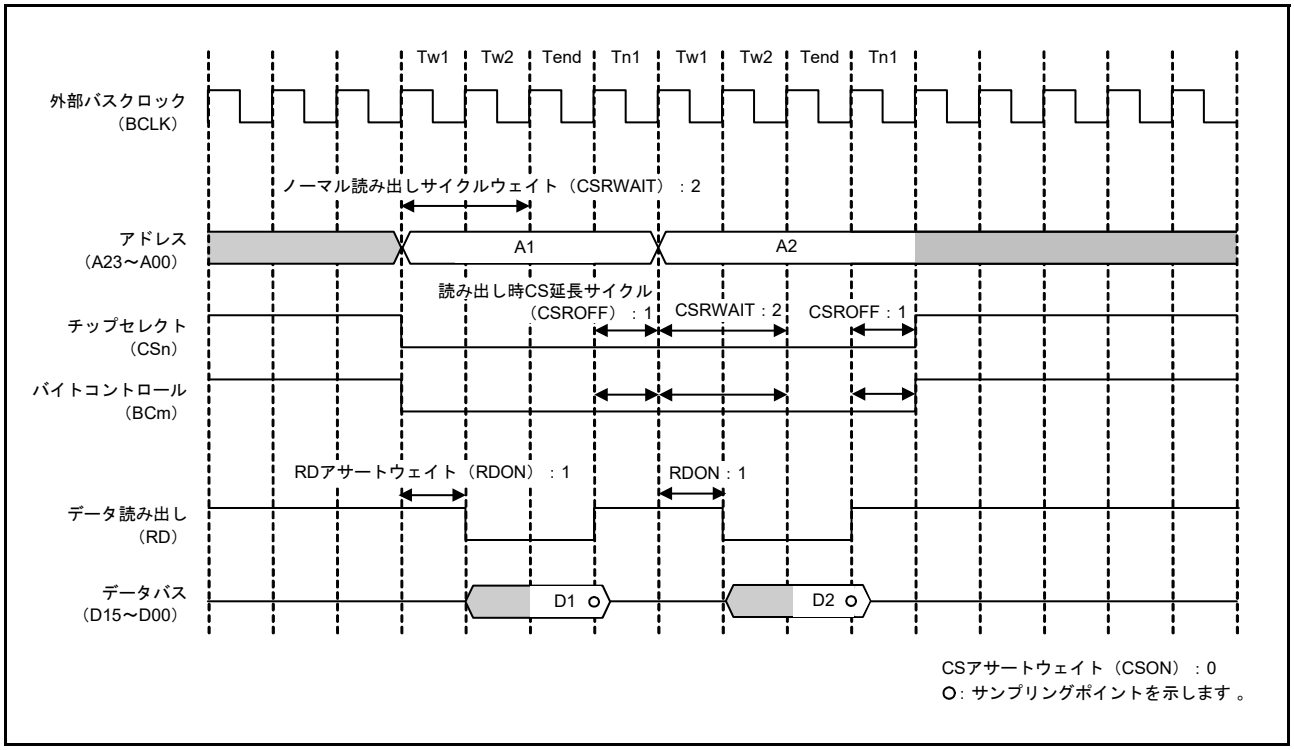


図 15.14　ノーマルリードアクセスの動作例（1 転送要求に対して 2 回バスアクセスが発生する場合）（n = 0 ～ 7; m = 0, 1）

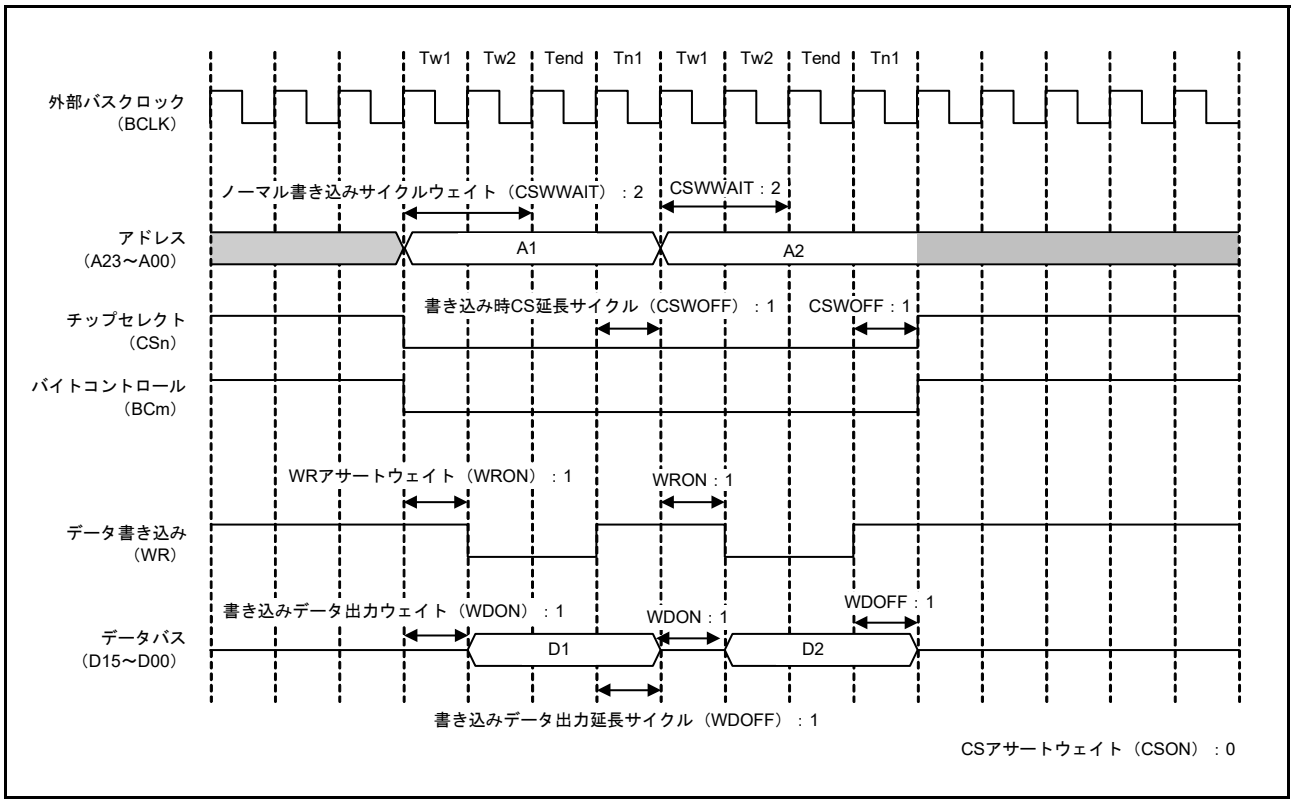


図 15.15　ノーマルライトアクセスの動作例（1 転送要求に対して 2 回バスアクセスが発生する場合：1 ライトストローブモード時）（n = 0 ～ 7; m = 0, 1）

図 15.16 ～図 15.20 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のノーマルアクセスの動作例を示します。

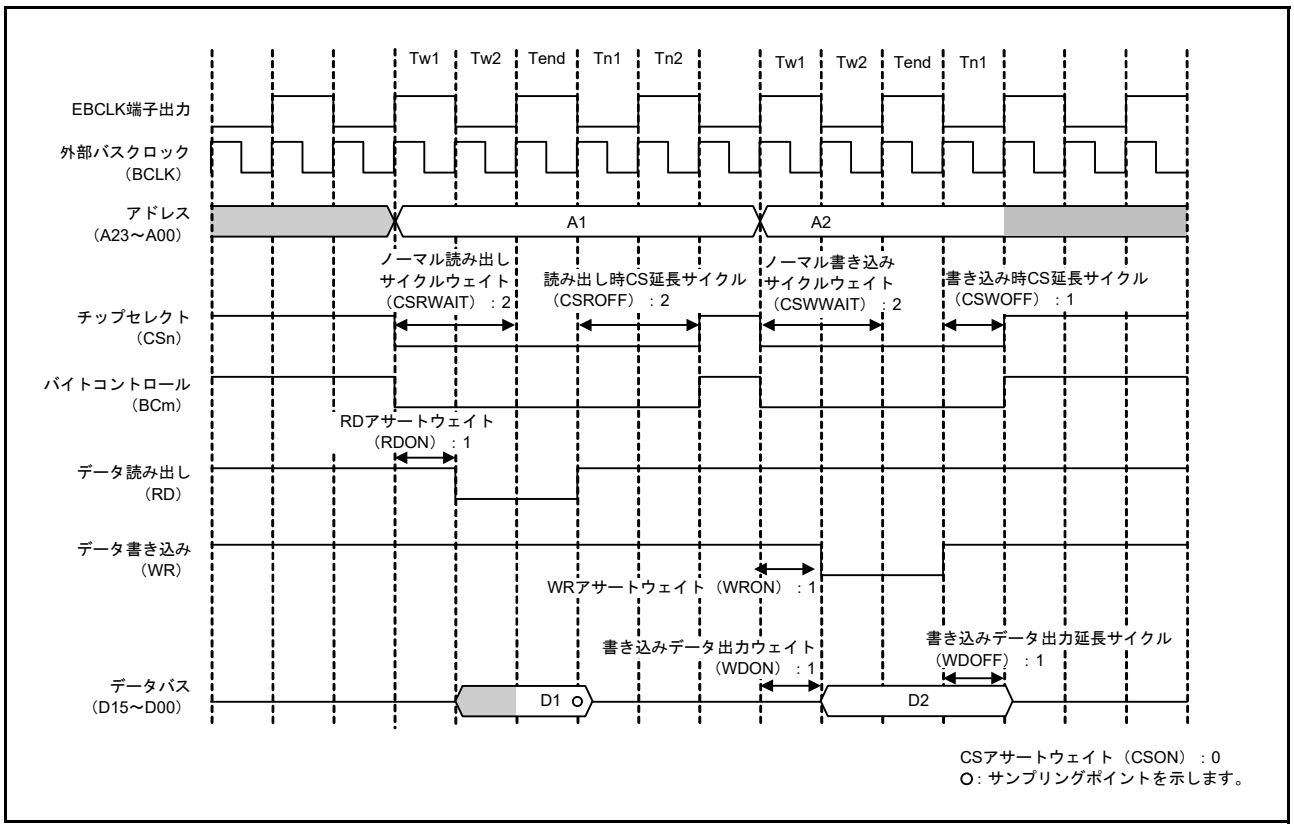


図 15.16　ノーマルアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合）（n = 0 ～ 7; m = 0, 1）

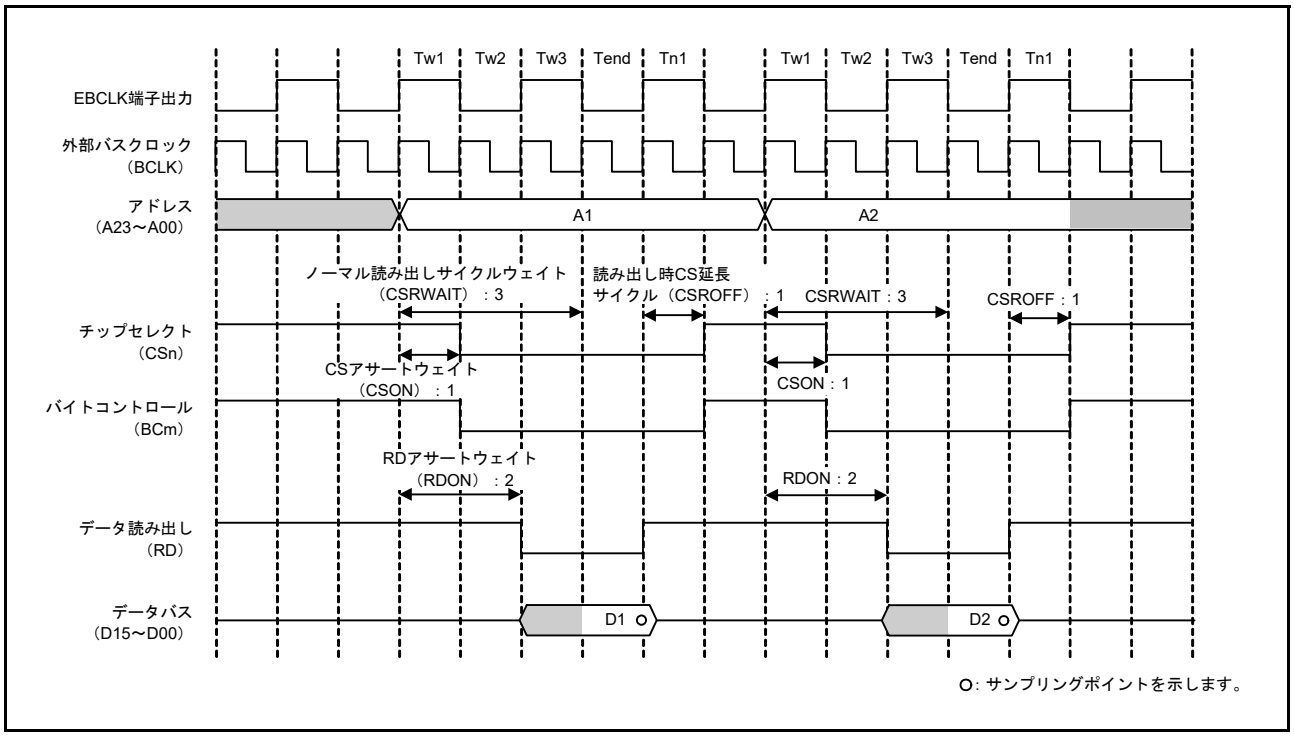


図 15.17　ノーマルリードアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合）（n = 0 ～ 7; m = 0, 1）

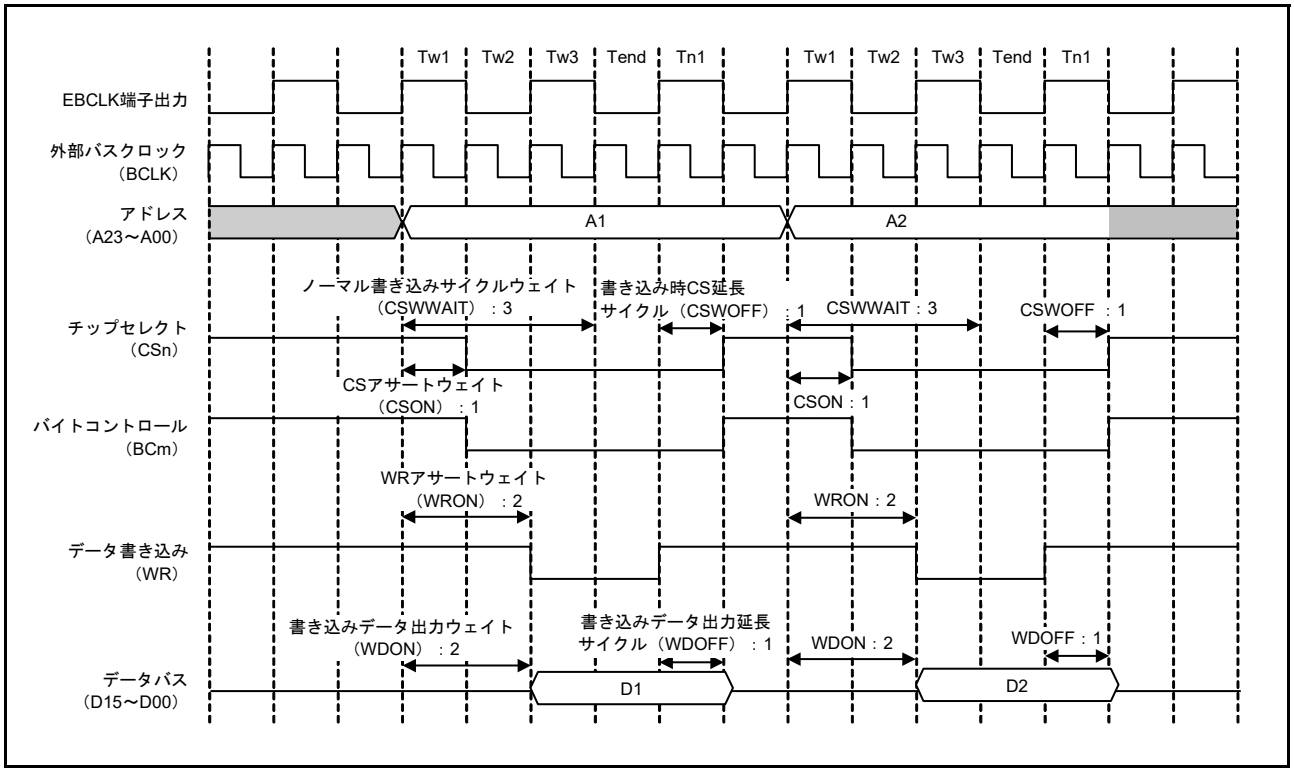


図 15.18　ノーマルライトアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合）（n = 0 ～ 7; m = 0, 1）

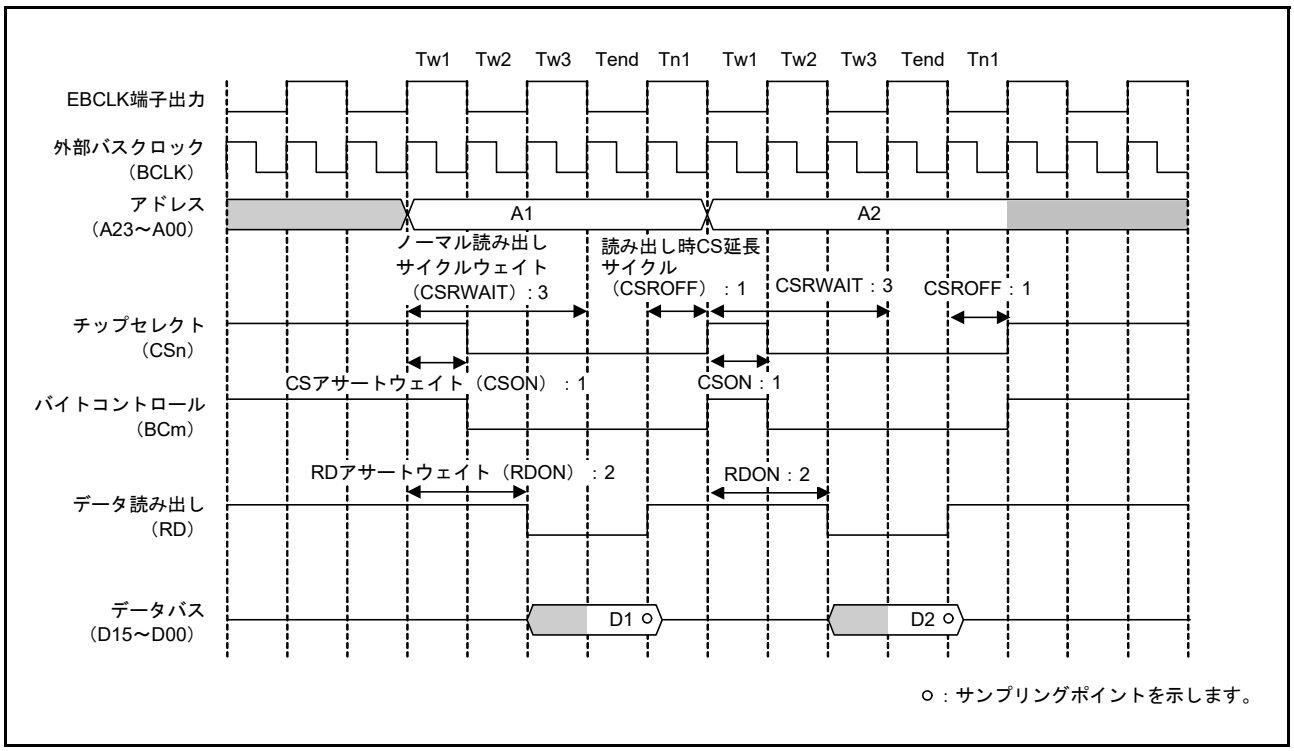


図 15.19　ノーマルリードアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合）（n = 0 ～ 7; m = 0, 1）

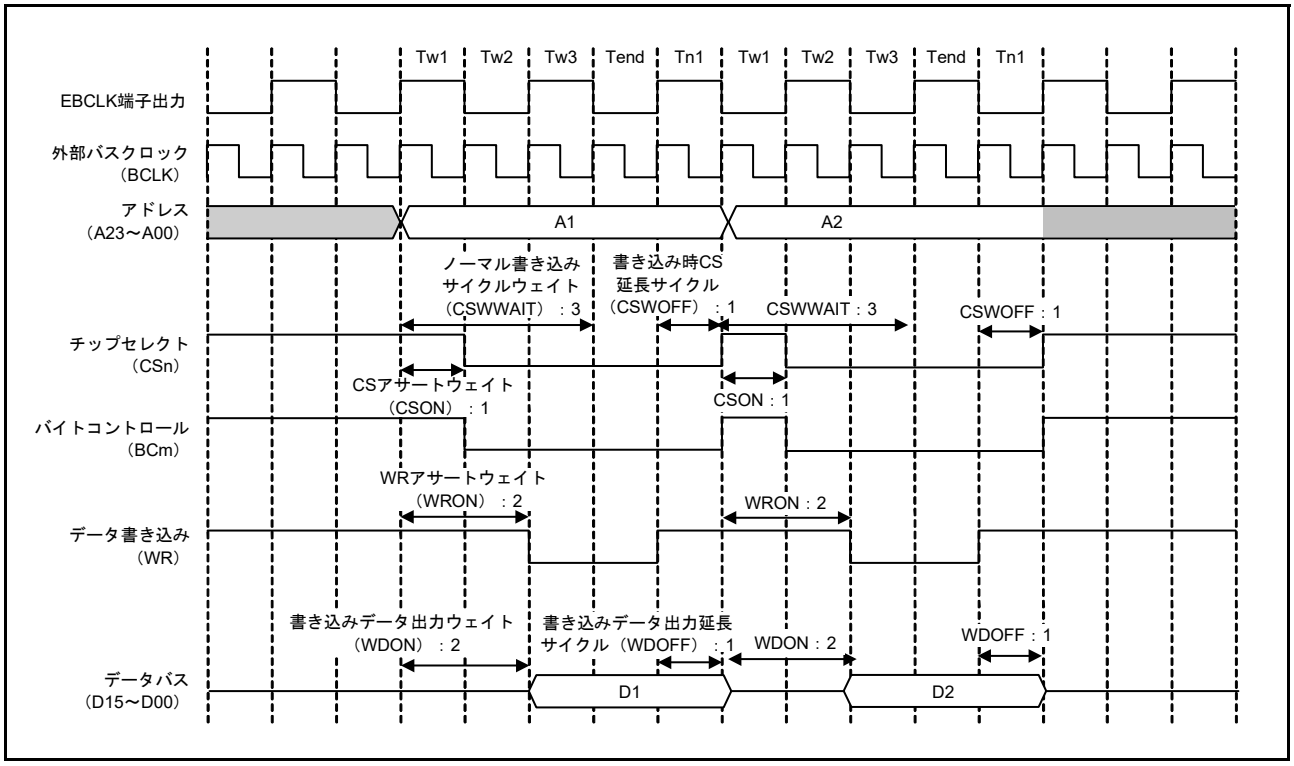
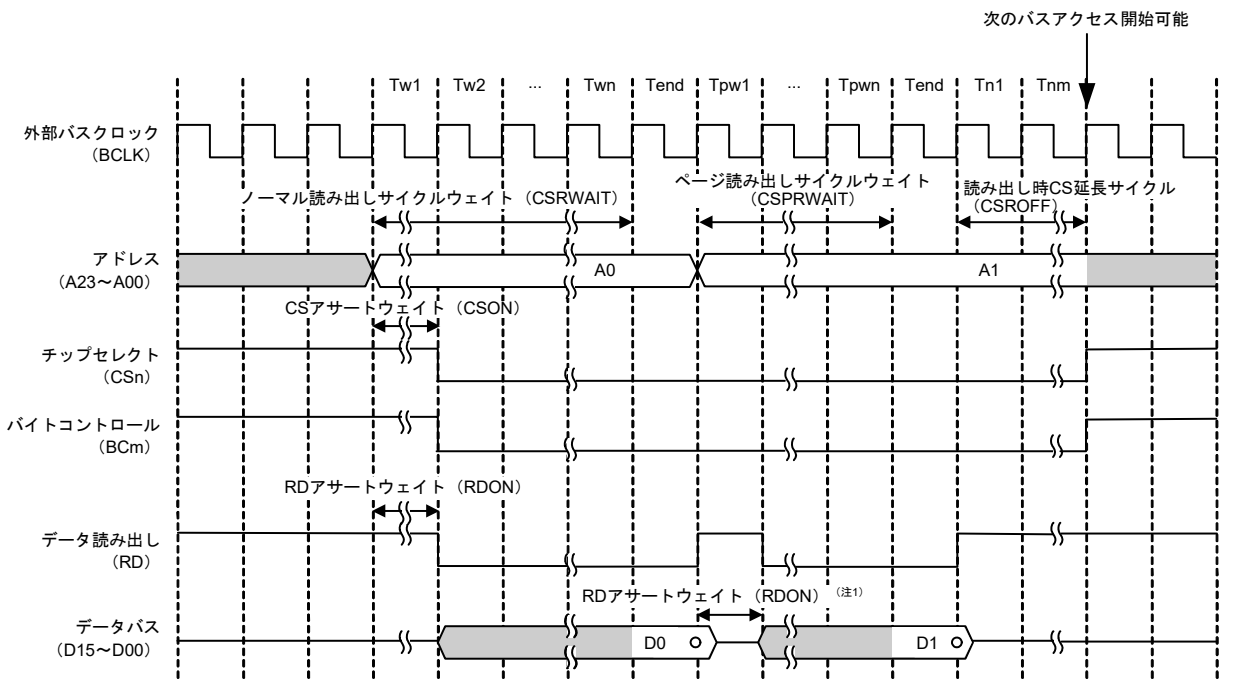


図 15.20　ノーマルライトアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合）（n = 0 ～ 7; m = 0, 1）

(2)　ページアクセス

CSnMOD レジスタの PRENB ビットと PWENB ビットを 1（ページリードアクセスおよびページライトアクセスを許可）にした場合、ページアクセスに該当するバスアクセスはページアクセスとなります。バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合に限り、ページアクセスが発生します。ページアクセスが発生する条件については、図 15.3 ～図 15.6 を参照してください。

図 15.21 と図 15.22 にページアクセスの動作例を示します。



注 1. 2 回目以降のバスアクセスで RD アサートウェイトの動作は、ページ読み出しアクセスモードの設定により異なります。

図 15.21 ページリードアクセスのタイミング（n = 0 ～ 7; m = 0, 1）

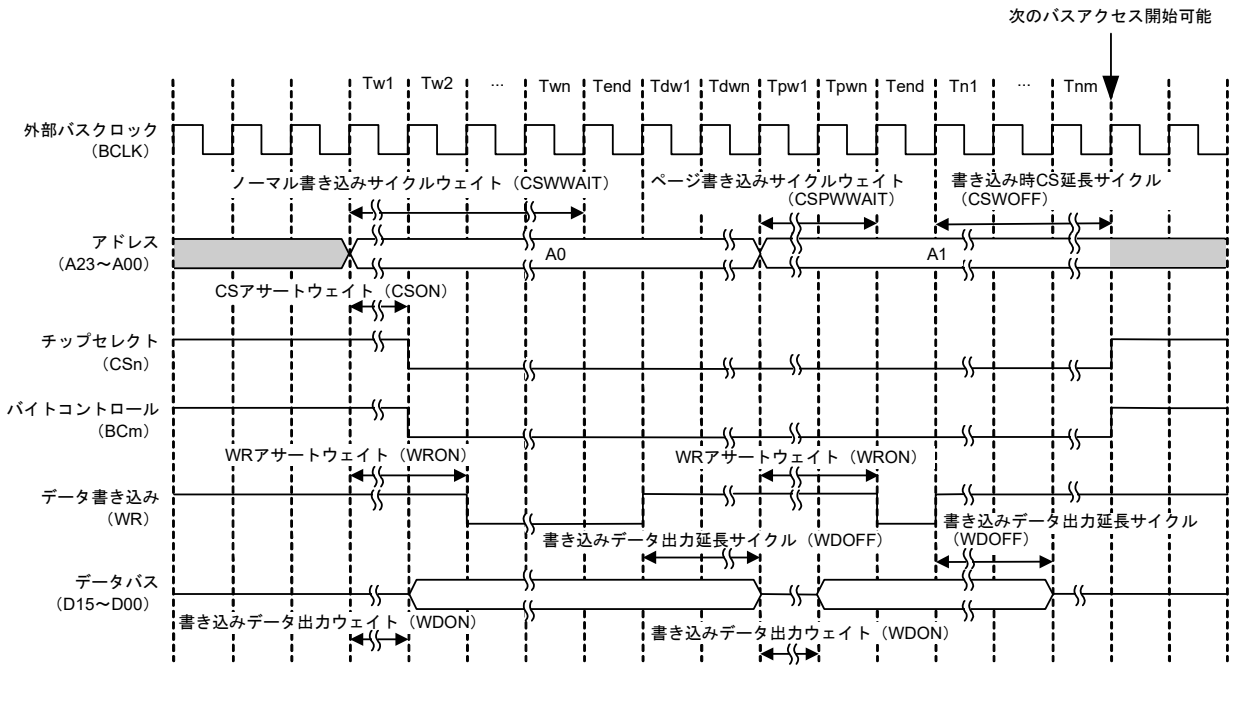


図 15.22 ページライトアクセスのタイミング（n = 0 ～ 7; m = 0, 1）

図 15.23 と図 15.24 に、16 ビットバス空間に対する 32 ビットアクセスの動作例を示します。図に示す各ウェイトコントロールレジスタの値は設定例です。アプリケーションにおいては、接続するデバイスの仕様に合わせて適切にレジスタを設定してください。

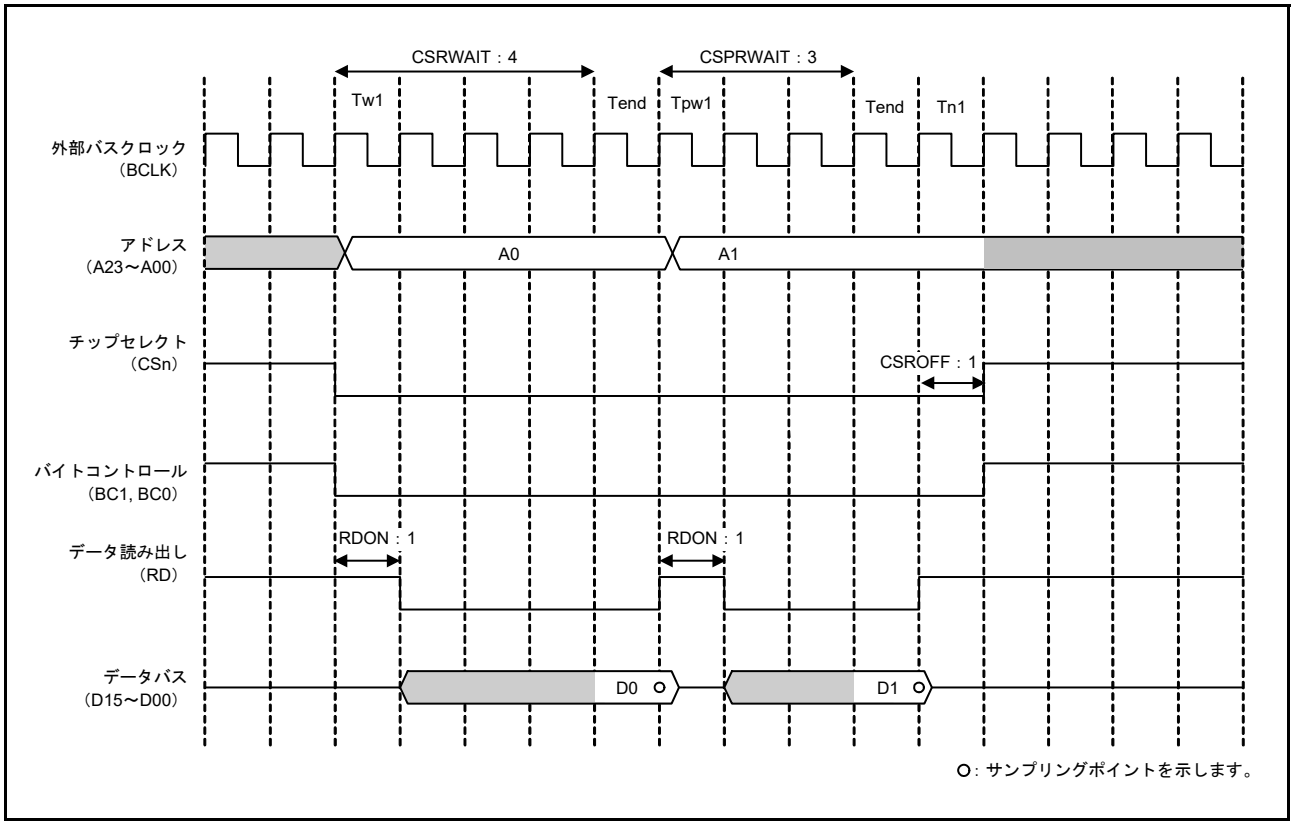


図 15.23 ページリードアクセスの動作例（16 ビットバス空間に対する 32 ビットアクセスの場合）（n = 0 ～ 7）

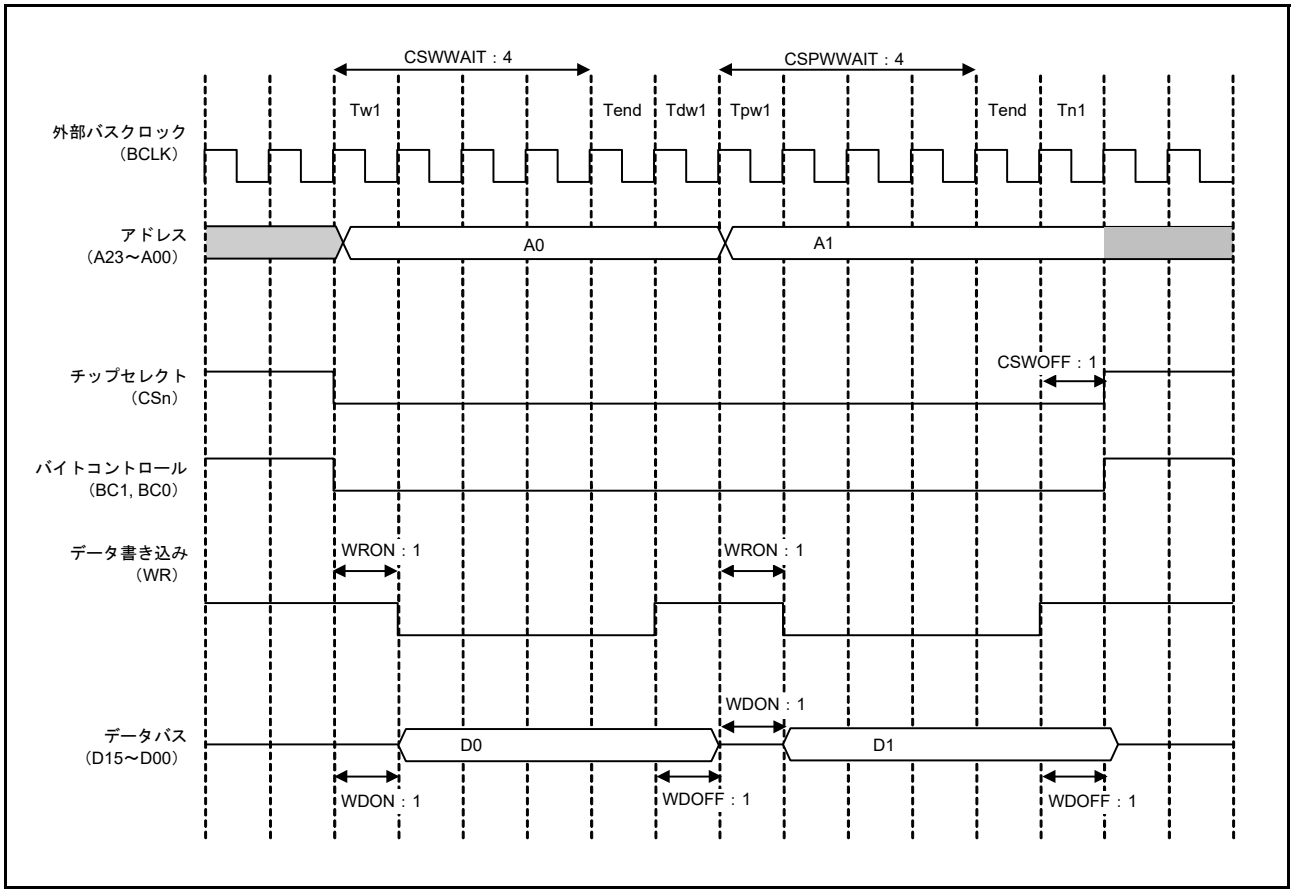


図 15.24 ページライトアクセスの動作例（16 ビットバス空間に対する 32 ビットアクセスの場合、1 ライトストローブモード時）（n = 0 ～ 7）

図 15.25 と図 15.26 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のページアクセスの動作例を示します。

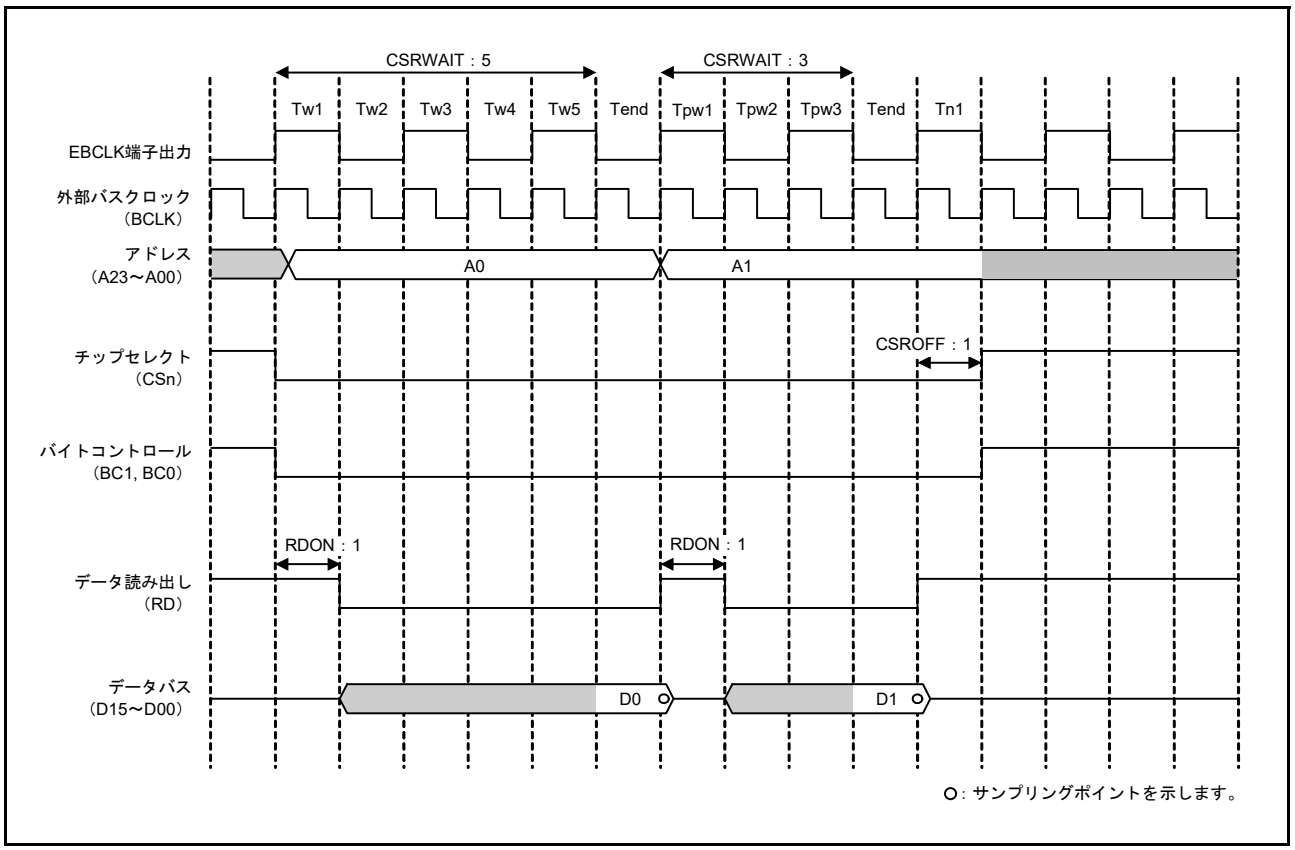


図 15.25 ページリードアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合）（n = 0 ～ 7）

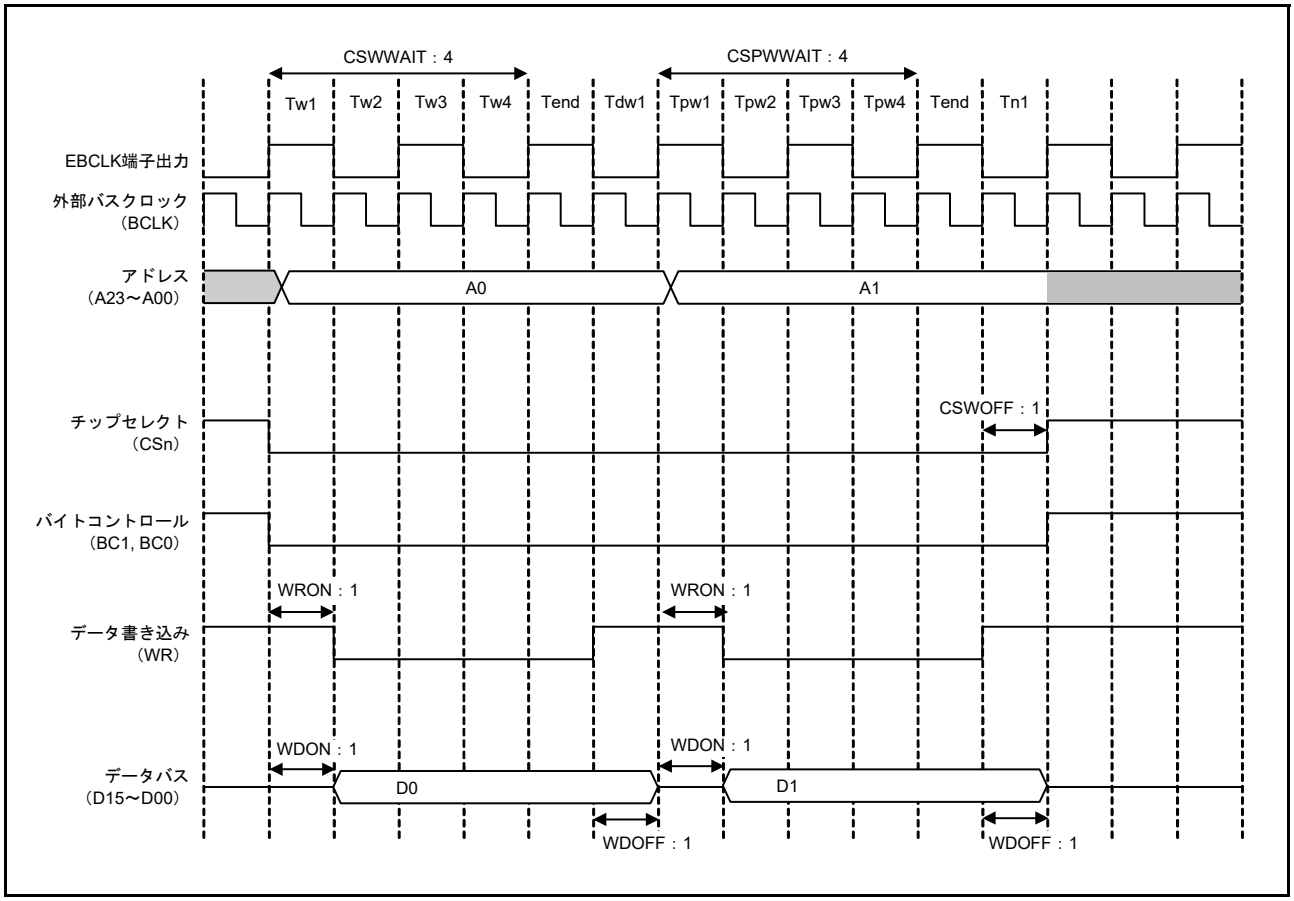


図 15.26　ページライトアクセスの動作例（EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、および 1 転送要求に対して 2 回バスアクセスが発生する場合、1 ライトストローブモード時）（n = 0 ～ 7）

15.5.2　外部ウェイト機能

WAIT 信号により、CSn ウェイトコントロールレジスタ 1（CSnWCR1）で設定したノーマルアクセスサイクルウェイト（CSRWAIT[4:0] ビット、CSWWAIT[4:0] ビット）や、ページアクセスサイクルウェイト（CSPRWAIT[2:0] ビット、CSPWWAIT[2:0] ビット）を超えて、ウェイトサイクルを延長することができます。

外部ウェイト許可（CSnMOD.EWENB ビット = 1）にすると、WAIT 信号が Low の間、ウェイトサイクルが挿入されます。外部ウェイト禁止（CSnMOD.EWENB ビット = 0）であれば WAIT 信号は無効です。なお、CSnWCR1 レジスタで設定した各サイクルウェイトは、WAIT 信号にかかわらず挿入されます。外部ウェイト許可（CSnMOD.EWENB ビット = 1）の場合、BCLK と EBCLK は同じ周波数で動作しなければいけません。

(1)　ノーマルアクセス

CSnWCR1 レジスタで設定したウェイトサイクル数が完了した時点（Tend）から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、バスサイクルが延長されます。WAIT 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

(2)　ページアクセス

最初のアクセスは、ノーマルアクセスと同じです。CSnWCR1 レジスタで設定したウェイトサイクル数が完了した時点（Tend）から WAIT 信号がサンプリングされます。WAIT 信号が Low の間、バスサイクルが延長されます。WAIT 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

2 番目以降のアクセスに対しては、ページアクセスのウェイトサイクルが完了した時点（Tend）から

WAIT 信号がサンプリングされます。WAIT 信号が Low の間、ページアクセスのウェイトサイクルが延長され、WAIT 信号が High になった次のサイクルがウェイトサイクルの終了（Tend）となります。

図 15.27 と図 15.28 に、セパレートバスインタフェース時の外部ウェイトのタイミング例を示します。

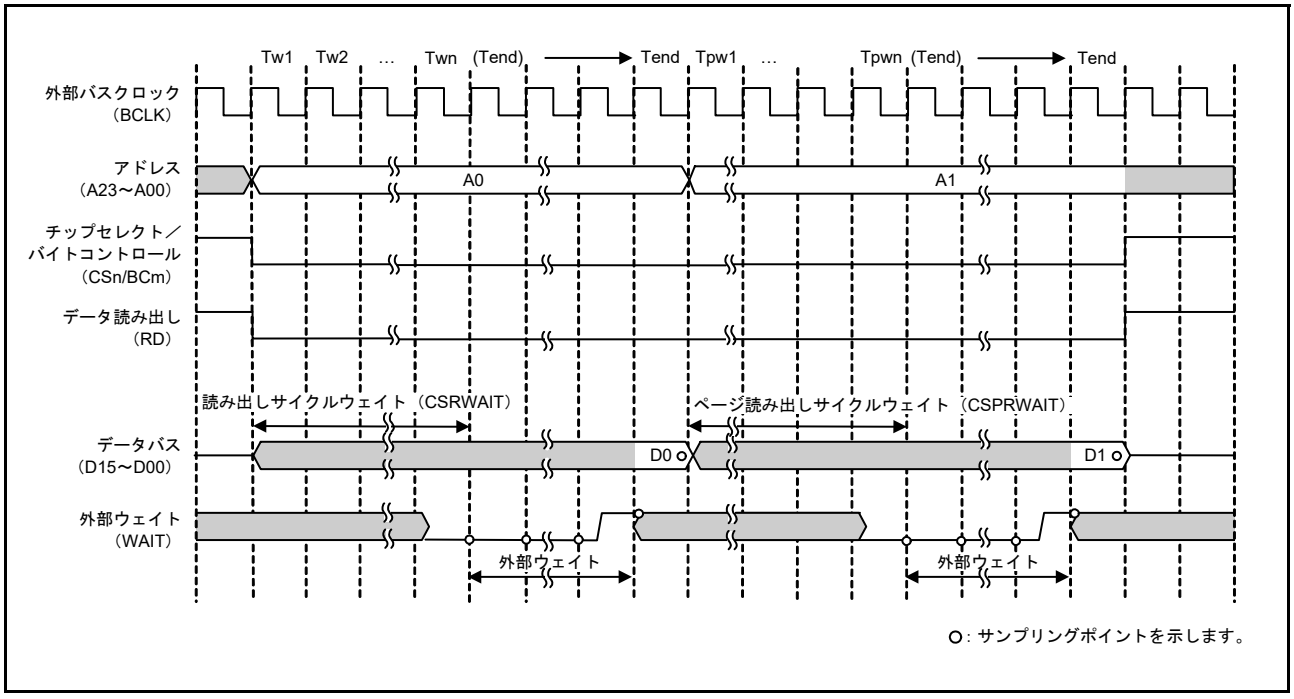


図 15.27　外部ウェイトタイミング例（16 ビットバス空間に対するページリードアクセスの場合）（n = 0 ～ 7; m = 0, 1）

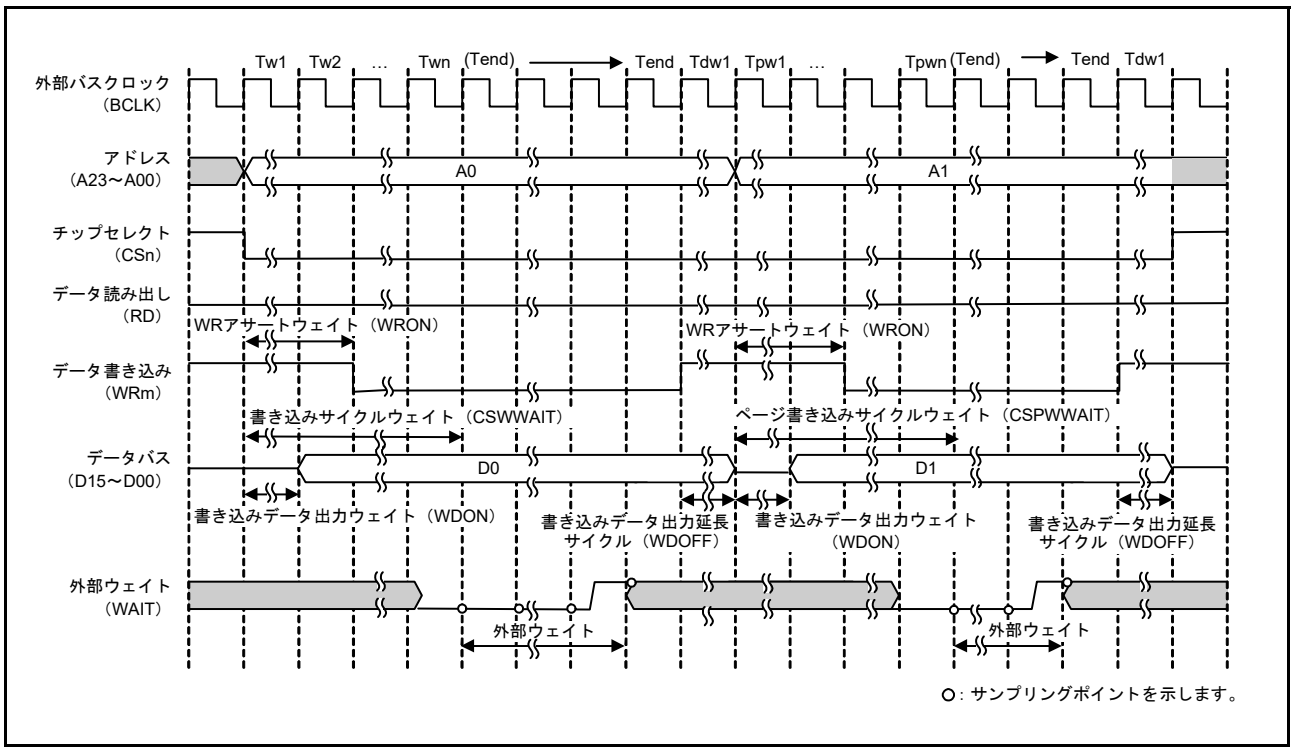


図 15.28　外部ウェイトタイミング例（16 ビットバス空間に対するページライトアクセスの場合、バイトストローブモード時）（n = 0 ～ 7; m = 0, 1）

15.5.3 リカバリサイクルの挿入

CSRECEN レジスタのリカバリサイクル挿入許可ビットを 1 にすることにより、連続する外部バスアクセスの間にリカバリサイクルを挿入することができます。リードサイクル後とライトサイクル後に挿入するリカバリサイクル数は、CSn リカバリサイクル設定レジスタ（CSnREC）で各領域に対し個別に設定可能です。前バスサイクルがライトアクセスの場合、対応する領域のライトリカバリサイクル設定ビット（CSnREC.WRCV[3:0]）で、ライトリカバリサイクル数を設定する必要があります。前バスサイクルがリードアクセスの場合、対応する領域のリードリカバリサイクル設定ビット（CSnREC.RRCV[3:0]）で、リードリカバリサイクル数を設定する必要があります。たとえば、CS0 リードアクセス後に CS1 リードアクセスがある場合、この間に挿入するリカバリサイクル数は、CS0REC.RRCV[3:0] ビットで設定されます。前バスアクセスがセパレートバスアクセスの場合、CSRECEN.RCVENi ビット（i = 0 ～ 7）でリカバリサイクルの挿入を許可または禁止にできます。

リカバリサイクルの挿入可能な条件は、以下の通りです。

- 外部バスにリードアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにリードアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにリードアクセス後、異なる領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにリードアクセスする場合
- 外部バスにライトアクセス後、同じ領域の外部バスにライトアクセスする場合
- 外部バスにライトアクセス後、異なる領域の外部バスにライトアクセスする場合

リカバリサイクルの起点は、前バスサイクルの終了時点（たとえば、CSn 信号（n = 0 ～ 7）のネゲート時点）です。この時点から始まって、設定したリカバリサイクル期間に CSn 信号の High 期間が挿入されます。

最短では、リカバリサイクルの終了直後に、次のバスアクセスの CSn 信号がアサートされます。リカバリサイクル中に次の外部アドレス領域へのアクセス要求が発生した場合も、リカバリサイクル終了直後に次の外部バスアクセスを開始します。

バスマスタからの 1 転送要求に対して、2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。ただし、ページリードアクセス許可（CSnMOD.PRENB = 1）、あるいは、ページライトアクセス許可（CSnMOD.PWENB = 1）に設定された場合、リカバリサイクル挿入条件が成り立つ場合でも途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。図 15.31 を参照してください。

同様に、ページアクセス許可設定時にノーマルアクセスとなる場合も、途中のバスアクセスにリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。ページアクセス許可設定とは無関係に、リカバリサイクル挿入条件が成り立つ場合、途中のバスアクセスにもリカバリサイクルが挿入されます。

図 15.29 ～図 15.31 に、セパレートバスインタフェース時のリカバリサイクルの挿入例を示します。

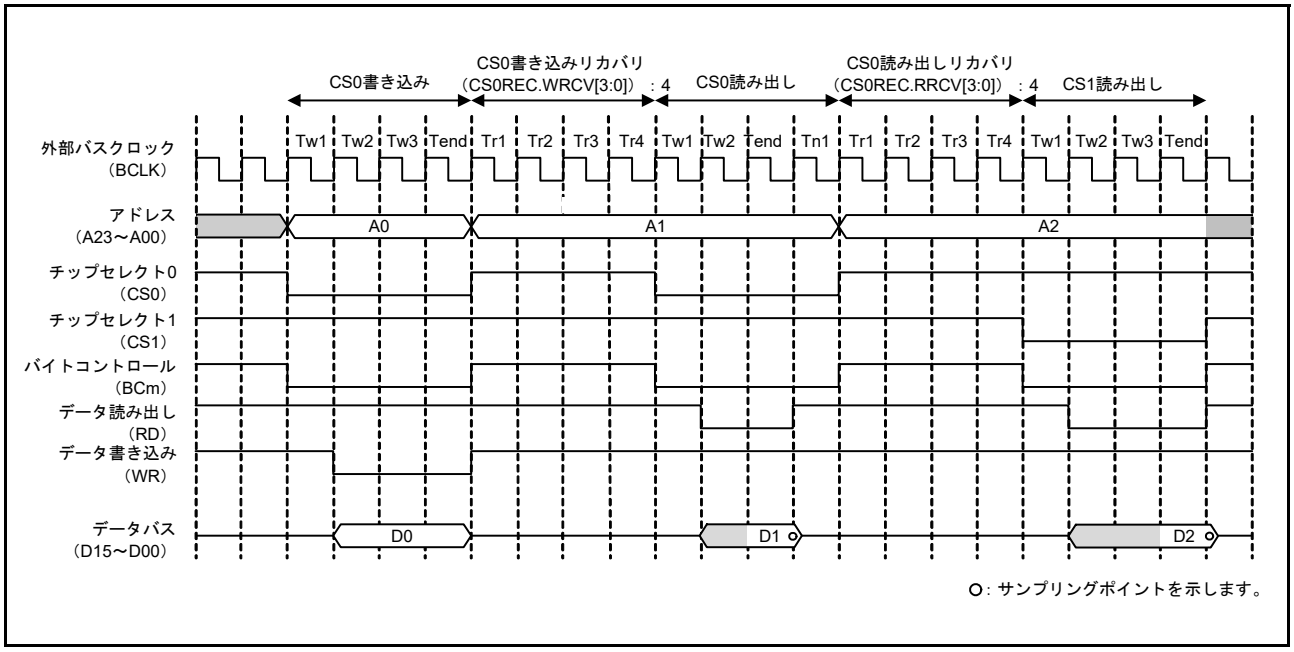


図 15.29　セパレートバスインタフェース時のリカバリサイクルの挿入例（m = 0, 1）

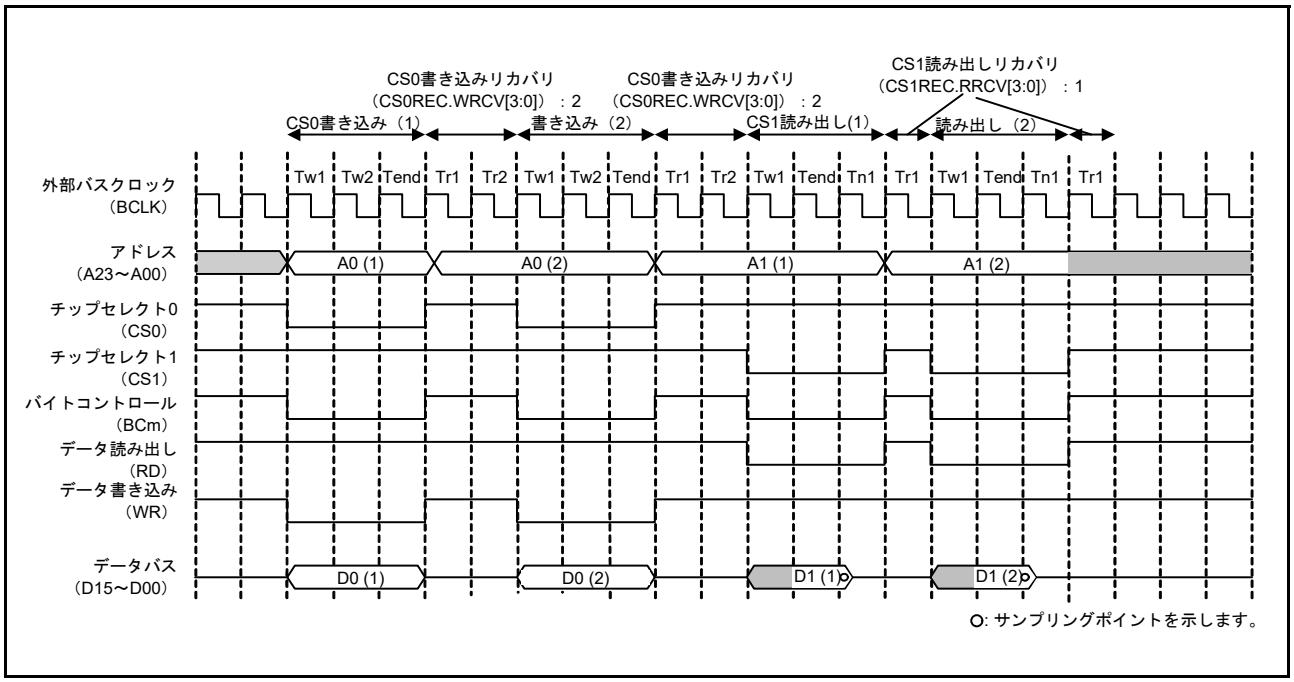


図 15.30　バスアクセスが分割された場合のリカバリサイクルの挿入例（セパレートバスインタフェースによるノーマルアクセスの場合）（m = 0, 1）

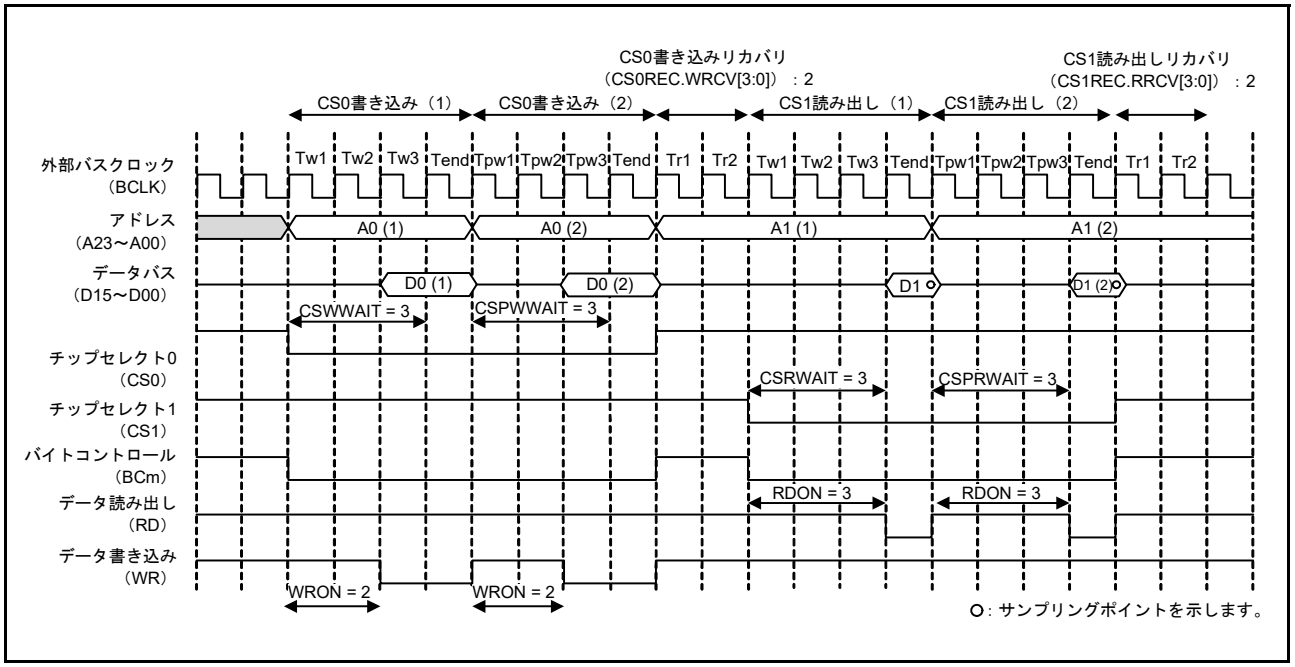


図 15.31　バスアクセスが分割された場合のリカバリサイクルの挿入例（セパレートバスインタフェースによるページアクセスの場合）（m = 0, 1）

図 15.32 に、EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合の動作例を示します。

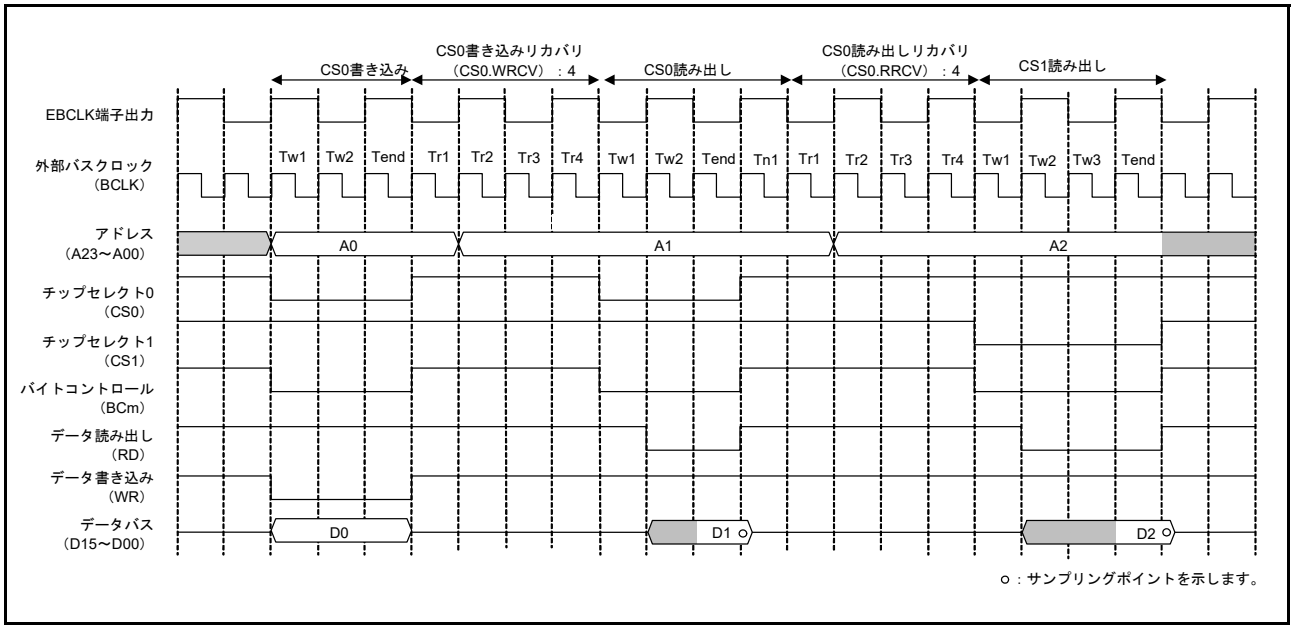


図 15.32　EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合のリカバリサイクルの動作例（セパレートバスインタフェースによるノーマルアクセスの場合）（m = 0, 1）

15.5.4 非アクセス時の状態

外部アドレス空間に対して処理を行っていない場合、CSn 信号、BCn 信号、WRn 信号、RD 信号は High に、D15 ～ D00 はハイインピーダンスになります。

15.5.5 ライトバッファ機能（外部バス）

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずにメインバスが解放されます。そのため、次のバスアクセスを開始することが可能です。ただし、次のアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタに対するものであれば、前の外部バス動作が終了するまで待たされます。

図 15.33 に、ライトバッファ機能を使用したときの動作例を示します。この機能を使用したとき、外部ライトの次に内部アクセスがある場合は、外部ライトの終了を待たずに内部アクセスが並列して実行されます。

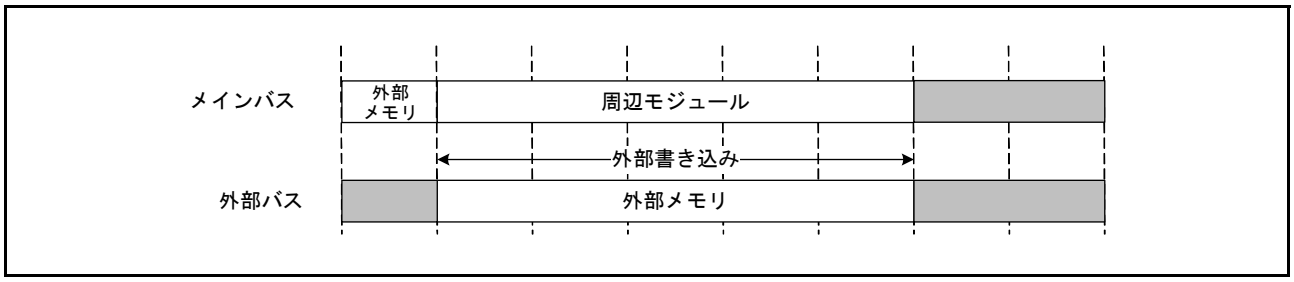


図 15.33 ライトバッファ機能使用時の動作例

15.5.6 制限事項

(1) セパレートバスインタフェース使用時の制限

表 15.11 に、ノーマルアクセス時とページアクセス時の CSn ウェイトコントロールレジスタ 1（CSnWCR1）と CSn ウェイトコントロールレジスタ 2（CSnWCR2）の各ビットに適用される制約事項を示します。

CSn モードレジスタのページリードアクセス許可ビットまたはページライトアクセス許可ビットが許可（CSnMOD.PRENB = 1 または CSnMOD.PWENB = 1）になっていても、ページアクセスの 1 回目のアクセス、あるいはページアクセスの対象とならないアクセス時はノーマルアクセス動作となります。そのため、ノーマルアクセスの制限事項を満たす必要があります。

表 15.11 ノーマルアクセスとページアクセスに対する制限事項

ノーマルアクセスの制限		ページアクセスの制限	
読み出し	書き込み	読み出し	書き込み
CSON[2:0]≦CSRWAIT RDON[2:0]≦CSRWAIT CSON[2:0]≦RDON	1≦WDON[2:0] CSON[2:0]≦CSWWAIT WRON[2:0]≦CSWWAIT WDON[2:0]≦CSWWAIT WDOFF[2:0]≦CSWOFF WDON[2:0]≦WRON CSON[2:0]≦WRON	CSON[2:0]≦CSPRWAIT RDON[2:0]≦CSPRWAIT CSON[2:0]≦RDON	1≦WDON[2:0] CSON[2:0]≦CSPWWAIT WRON[2:0]≦CSPWWAIT WDON[2:0]≦CSPWWAIT WDOFF[2:0]≦CSWOFF WDON[2:0]≦WRON CSON[2:0]≦WRON

注 . バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが必要となる場合で、リカバリサイクル挿入条件が成り立つ場合、ページリードアクセス許可（CSnMOD.PRENB = 1）またはページライトアクセス許可（CSnMOD.PWENB = 1）に設定されていれば、途中のバスアクセスにはリカバリサイクルは挿入されず、最後の転送のバスアクセスに対してのみリカバリサイクルが挿入されます。

(2) A00 および BC0 機能の兼用端子に対する制限

8 ビットバス空間では 1 ライトストローブモードの設定は禁止されています。

(3) EBCLK 端子出力選択ビットで BCLK の 2 分周を選択した場合の制限

EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部バスアクセス開始の起点は、EBCLK 端子出力の立ち上がり時点になります。ただし、バスマスタからの 1 転送要求に対して 2 回以上の外部バスアクセスが発生する場合、2 回目以降の外部バスアクセスの開始は、ウェイトサイクル数の設定によっては、EBCLK 端子出力の立ち下がり時点になる可能性があります。接続するデバイスの仕様に合わせて適切にレジスタを設定してください。EBCLK 端子出力選択ビットで BCLK の 2 分周を設定した場合、外部ウェイトを許可（CSnMOD.EWENB = 1）にすることは禁止されています。

(4) 命令コードの制限

命令コードはリトルエンディアンに固定する必要があります。

15.6 SDRAM 領域コントローラの動作説明

本節では、SDRAM 領域コントローラ（SDRAMC）の動作許可、SDRAM バス幅の設定、および SDRAMC に対して行う各種動作（読み出し、書き込み、オートリフレッシュ、セルフリフレッシュ、初期化シーケンス、モードレジスタ設定）について説明します。

15.6.1 SDRAM アクセスの許可／禁止、SDRAM バス幅の設定

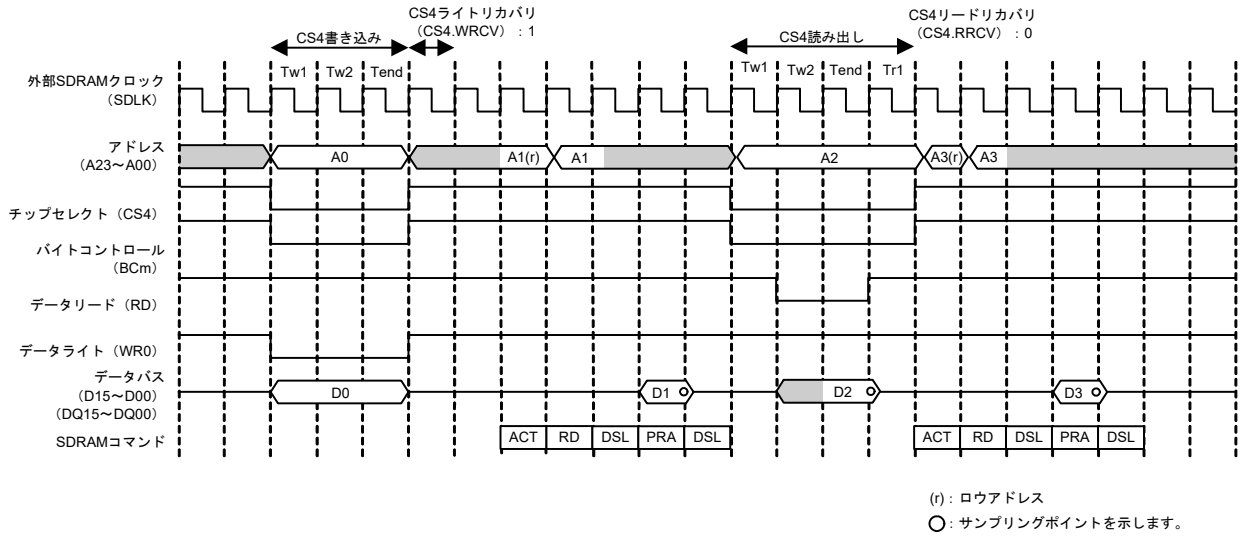
SDRAM アクセスは、SDC コントロールレジスタ（SDCCR）を用いて許可または禁止することが可能です。また、SDRAM バス幅の設定も SDCCR レジスタで行います。SDRAM アドレス空間の動作を禁止しても、セルフリフレッシュまたはオートリフレッシュ動作が許可されている限り、リフレッシュ動作は行われます。

15.6.2 非アクセス時の状態

外部アドレス空間に対して処理を行っていない場合、SDCS 信号、WE 信号、RAS 信号、CAS 信号は High になります。

15.6.3 リカバリサイクルの挿入

CS 領域へのアクセスに続いて SDRAM 領域へのアクセスが行われる場合、CSC（CS 領域コントローラ）に対してデータリカバリサイクルが挿入されます。CSC に対するリカバリサイクル数がない場合は、最短で、CSn 信号のネゲート直後に、次の SDRAM アクセスのための ACT コマンドが発行されます。リカバリサイクル数が 0 以外であると、最短で、CSn 信号のネゲートから、指定されたリカバリサイクル期間が経過した 2 サイクル後に、ACT コマンドが発行されます。SDRAM 領域へのアクセス中にデータ衝突が発生することはありえないため、SDRAM に対するデータリカバリサイクルの設定は不要です（0 サイクルに固定されます）。



注． SDRAM を CS 領域へのアクセスと同時に使用する場合：
- EBCLK は使用不可
- CS0 ～ CS3 は使用不可

図 15.34 リカバリタイミングの例（SDRAM アクセス時）

15.6.4 ライトバッファ機能

ライトアクセスの場合、データをライトバッファに書くことにより、動作の終了を待たずにメインバスが解放されます。そのため、次のバスアクセスを開始することが可能です。ただし、次のアクセスが外部アドレス空間、あるいは外部バスコントローラのレジスタに対するものであれば、前の外部バス動作が終了するまで待たされます。

15.6.5 SDRAM コマンド

SDRAM を制御するため、SDRAMC はバスサイクルごとにコマンドを発行します。コマンドは、SDCS/RAS/CAS/WE/CKE 信号などの組み合わせによって定義されます。表 15.12 に SDRAMC が発行するコマンドを示します。

表 15.12 SDRAMC コマンド

名称	略称	コマンド	SDCS	RAS	CAS	WE	CKE		BA1	BA0
							n-1	n		
DESL	DSL	デバイス非選択	H	x	x	x	H	x	x	x
ACTV	ACT	バンクアクティブ	L	L	H	H	H	x	V	V
READ	RD	リード	L	H	L	H	H	x	V	V
WRIT	WRI	ライト	L	H	L	L	H	x	V	V
PALL	PRA	オールバンクプリチャージ	L	L	H	L	H	x	x	x
REF	RFA	オートリフレッシュ	L	L	L	H	H	x	x	x
MRS	MRS	モードレジスタセット	L	L	L	L	H	x	L	L
SELF	RFS	セルフリフレッシュエントリ	L	L	L	H	H	L	x	x
SELFX	RFX	セルフリフレッシュ終了	H	x	x	x	L	H	x	x

注 . H：High、L：Low、V：有効、x：Don't Care
n = コマンド発行サイクル、n-1 = コマンド発行の 1 サイクル前

15.6.6 SDRAMC レジスタの設定条件

SDRAMC のレジスタを書き換える場合、必ず表 15.13 に示す全条件を満たす必要があります。

表 15.13 レジスタの書き換え条件

機能または動作	レジスタ	条件
セルフリフレッシュ	SDSELF（注1）	• SDRAMアクセス禁止（SDCCR.EXENB = 0（注2）） • オートリフレッシュ動作許可（SDRFEN.RFEN = 1）
オートリフレッシュ	SDRFCR	セルフリフレッシュ動作禁止（SDSELF.SFEN = 0）
	SDRFEN	SDRAMアクセス禁止（SDCCR.EXENB = 0（注2）） セルフリフレッシュ動作禁止（SDSELF.SFEN = 0）
初期化シーケンス	SDIR（注1）	SDICR設定前、かつSDICRの書き換えと同じ条件
	SDICR（注1）	• SDRAMアクセス禁止（SDCCR.EXENB = 0（注2）） • オートリフレッシュ動作禁止（SDRFEN.RFEN = 0） • セルフリフレッシュ動作禁止（SDSELF.SFEN = 0）
アドレスレジスタ設定	SDADR	• SDRAMアクセス禁止（SDCCR.EXENB = 0（注2）） • オートリフレッシュ動作禁止（SDRFEN.RFEN = 0） • セルフリフレッシュ動作禁止（SDSELF.SFEN = 0）
タイミングレジスタ設定	SDTR	• セルフリフレッシュ動作中（SDSELF.SFEN = 1） • SDRAMアクセス禁止（SDCCR.EXENB = 0（注2）） • オートリフレッシュ動作禁止（SDRFEN.RFEN = 0） • セルフリフレッシュ動作禁止（SDSELF.SFEN = 0）
モードレジスタ設定	SDMOD（注1）	• SDRAMアクセス禁止（SDCCR.EXENB = 0（注2）） • セルフリフレッシュ動作禁止（SDSELF.SFEN = 0）
アクセスモードレジスタ設定	SDAMOD	• SDRAMアクセス禁止（SDCCR.EXENB = 0（注2）） • オートリフレッシュ動作禁止（SDRFEN.RFEN = 0） • セルフリフレッシュ動作禁止（SDSELF.SFEN = 0）

注 1. このレジスタを書き換える前に、SDSR レジスタのステータスビットがすべて 0 になっていることを確認してください。
注 2. EXENB ビットに 0 を書いた後、同ビットが 0 になっていることを確認してください。

15.6.7 セルフリフレッシュ

SDRAM セルフリフレッシュコントロールレジスタ（SDSELF）で、セルフリフレッシュモードへの遷移や同モードからの復帰を制御できます。セルフリフレッシュモードへの遷移直前に、オートリフレッシュ動作が実行されます。セルフリフレッシュモードでは、CKE 信号が Low になります。セルフリフレッシュモードからの復帰直後には、オートリフレッシュサイクルが起動されます。

図 15.35 にセルフリフレッシュモードへの遷移タイミング例を、図 15.36 に復帰タイミング例を示します。

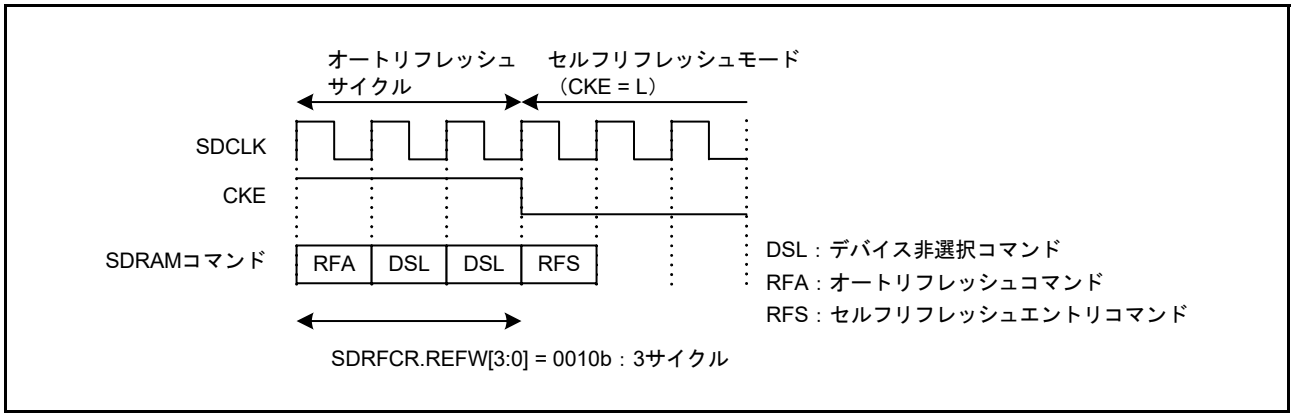


図 15.35 セルフリフレッシュモードへの遷移タイミング例（SDRFCR.REFW[3:0] ビット = 0010b：3 サイクルの場合）

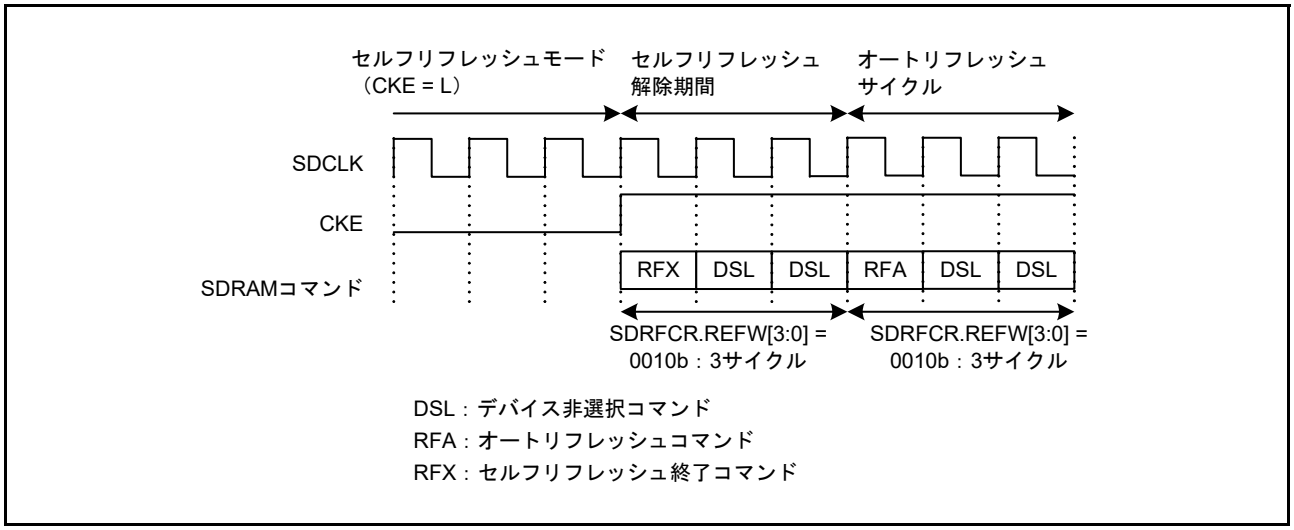


図 15.36　セルフリフレッシュモードからの復帰タイミング例

(1)　ソフトウェアスタンバイモードでのセルフリフレッシュ

ソフトウェアスタンバイモードでセルフリフレッシュを起動する場合は、最初に、15.6.11.2　セルフリフレッシュモード遷移／復帰手順に示す手順に従ってください。その後、ソフトウェアスタンバイモードへの遷移を設定してください。このモードでは、スタンバイコントロールレジスタの出力ポートイネーブルビット（SBYCR.OPE ビット）を 1 にして、アドレスバスとバス制御信号の出力状態を保持してください。

ソフトウェアスタンバイモードの解除後は、15.6.11.2　セルフリフレッシュモード遷移／復帰手順に示す手順に従ってください。ソフトウェアスタンバイモードの遷移と解除については、「11.　低消費電力モード」を参照してください。

(2)　ディープソフトウェアスタンバイモードでのセルフリフレッシュ

ディープソフトウェアスタンバイモードは、ソフトウェアスタンバイモード内から起動されます。この遷移において、端子状態は不変です。したがって、ディープソフトウェアスタンバイモードでのセルフリフレッシュの起動は、ソフトウェアスタンバイモードの場合と同様ですが、追加の設定が 1 つ必要です。すなわち、ディープスタンバイコントロールレジスタの I/O ポート保持ビット（DPSBYCR.IOKEEP）を 1 にする必要があります。

ディープソフトウェアスタンバイモードの解除時に、SDRAMC の内部状態がリセットされるので、SDRAM 関連のコントロールレジスタの再設定が必要になります。ディープソフトウエアスタンバイモードの解除後は、セルフリフレッシュを解除するために以下の手順に従ってください。

図 15.37 に、ディープソフトウェアスタンバイモードにおけるセルフリフレッシュサイクルのタイミング例を示します。ディープソフトウェアスタンバイモードの遷移と解除については、「11.　低消費電力モード」を参照してください。

セルフリフレッシュモードの解除方法は以下の通りです。

1. DPSBYCR.IOKEEP ビットを 1 にして、ディープソフトウェアスタンバイモードにおいて CKE 信号出力を Low に保持します。
2. SDRAMC へのクロック供給を開始します。
3. SDRAM 関連のコントロールレジスタ（SDCMOD、SDAMOD、SDADR、SDTR）を再設定します。これらのレジスタは、ディープソフトウエアスタンバイモード遷移時に内部リセットで初期化されています。
4. SDRFEN.RFEN ビットを 1 にして、オートリフレッシュ動作を許可します。
5. SDSR レジスタのすべてのステータスビットが 0 であることを確認し、SDSELF.SFEN ビットを 1 にして、セルフリフレッシュモードを再度選択します。
6. ポートの設定を SDRAM インタフェースに変更します。

7. SDCKOCR.SDCKOEN ビットを 1 にして、SDCLK 端子から SDRAM へクロック供給を開始します。
8. SDSR レジスタのすべてのステータスビットが 0 であることを確認し、SDSELF.SFEN ビットを 0 にして、セルフリフレッシュモードを解除します。

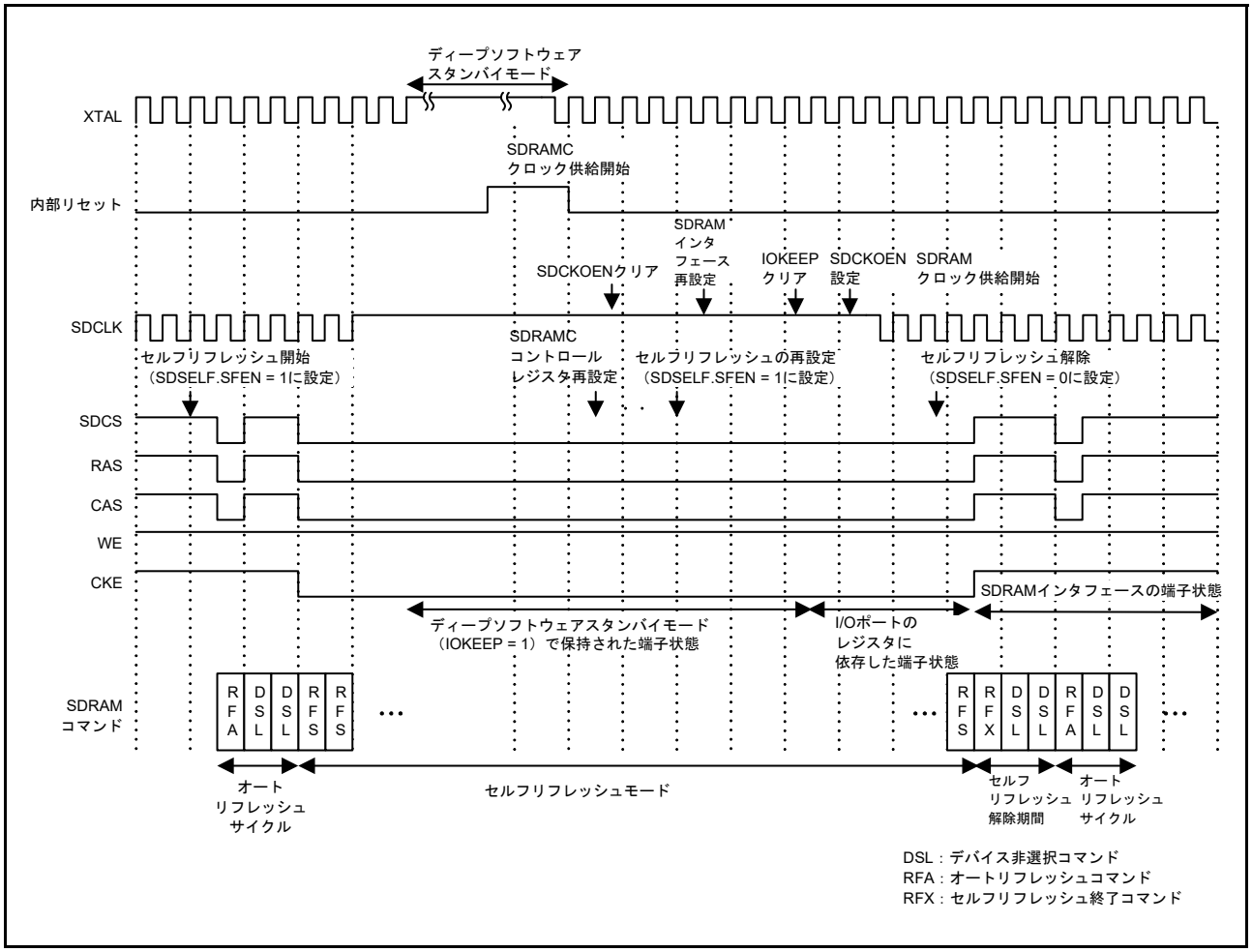


図 15.37　ディープソフトウェアスタンバイモードにおけるセルフリフレッシュサイクルのタイミング例

15.6.8　オートリフレッシュ

オートリフレッシュサイクルは、SDRAM オートリフレッシュコントロールレジスタのオートリフレッシュ動作許可ビット（SDRFEN.RFEN）を 1 にすると開始されます。以後は、リフレッシュカウンタにより定期的にリフレッシュ要求が発生します。ただし、リフレッシュ要求はリード／ライトアクセス中には受け付けられないため、オートリフレッシュサイクルの起動が待たされることがあります。連続アクセス中にオートリフレッシュ要求が発生した場合は、バスマスタからの 1 転送要求に対するバスアクセスが終了した後、オートリフレッシュサイクルが開始されます。

SDRAM アクセスとリフレッシュ要求が同時に発生した場合は、リフレッシュ要求が優先されます。また、CS 領域アクセスとリフレッシュ要求は同時に行うことができます。ただし、リフレッシュコマンドの発行に必要な SDCS/RAS/CAS/WE/CKE 信号は、SDRAM アクセス専用の信号でなければなりません。

リフレッシュカウンタは、セルフリフレッシュ中は停止します。セルフリフレッシュモードからの復帰後は、オートリフレッシュサイクルが開始され、カウンタ値がリセットされてカウント動作が再開されます。

図 15.38 に、オートリフレッシュサイクルのタイミング例を示します。

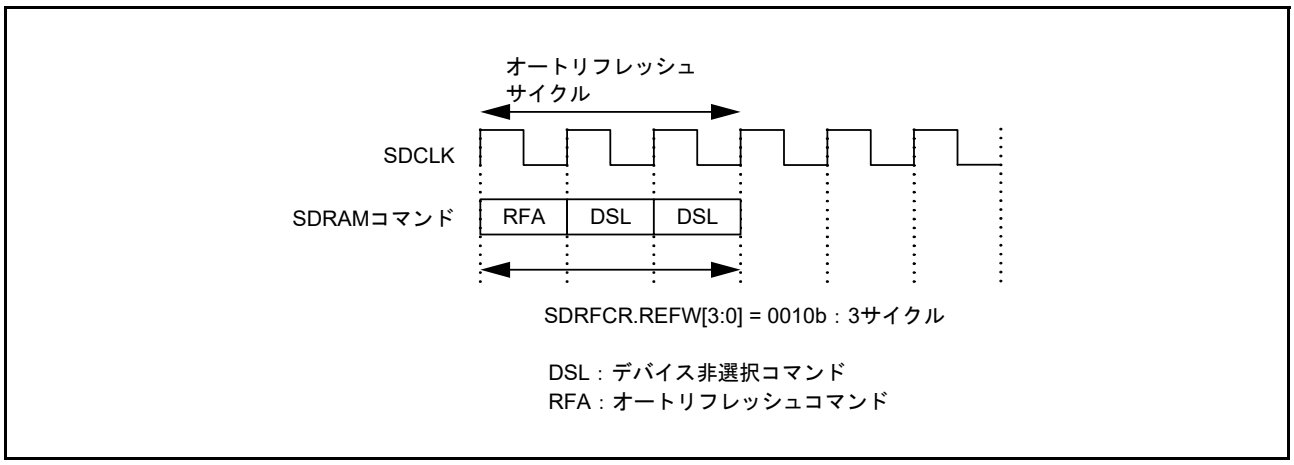


図 15.38　オートリフレッシュサイクルのタイミング例（1）

図 15.39 に、シングルアクセス中にオートリフレッシュ要求が発生した場合の動作例を、図 15.40 に、連続アクセス中にオートリフレッシュ要求が発生した場合の動作例を示します。

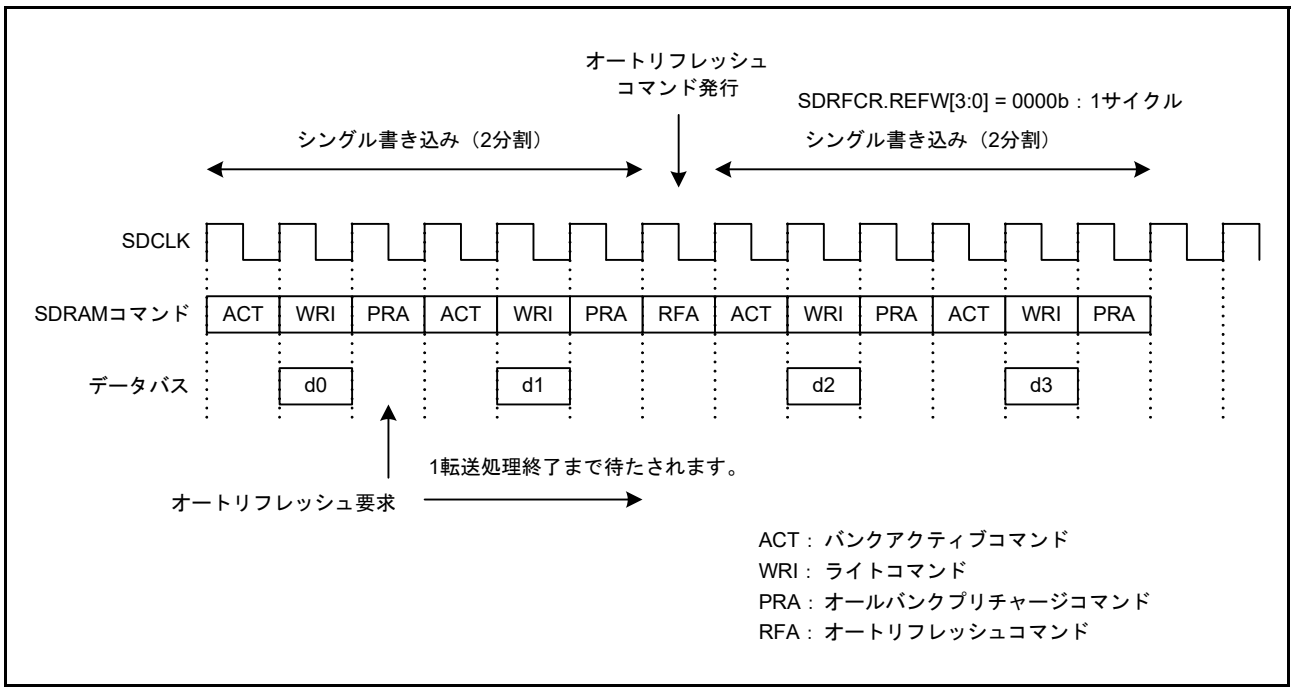


図 15.39　オートリフレッシュサイクルのタイミング例（2）（シングルアクセス中にオートリフレッシュ要求が発生した場合）

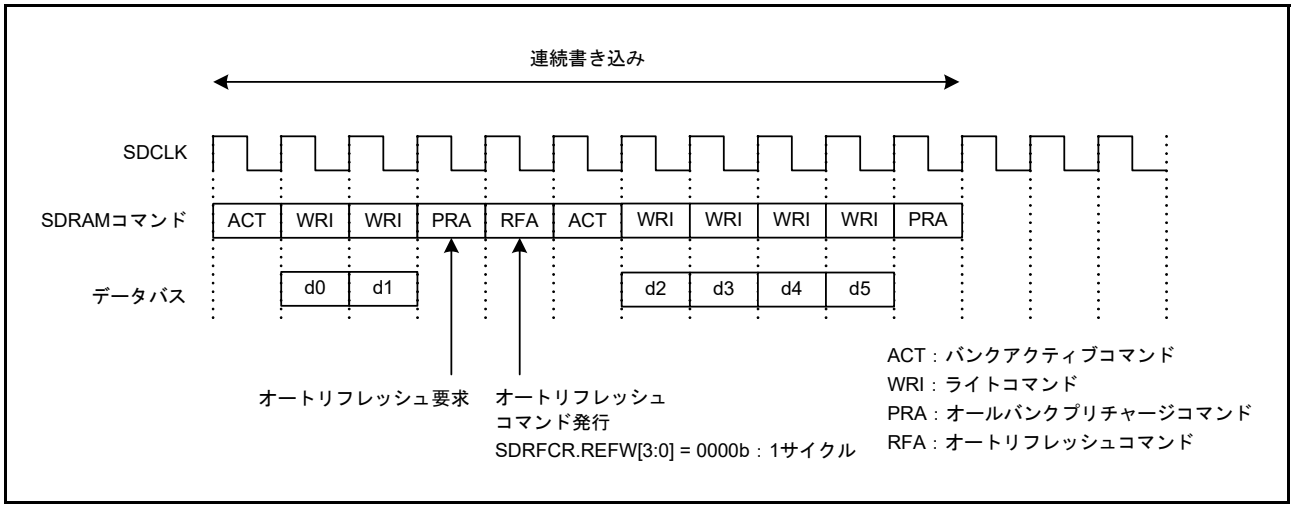


図 15.40　オートリフレッシュサイクルのタイミング例（3）（連続アクセス中にオートリフレッシュ要求が発生した場合）

15.6.9　初期化シーケンサ

SDRAMC は、SDRAM を初期化するためのコマンドを発行するシーケンサを備えています。初期化シーケンサの起動はリセット後に行ってください。SDRAM を初期化しなかった場合の動作は保証されません。

SDRAM の初期化シーケンサは、オールバンクプリチャージコマンドを発行した後、オートリフレッシュコマンドを n 回（n = 1 ～ 15）発行します。SDRAM 初期化シーケンスのタイミングは、SDRAM 初期化レジスタ（SDIR）で設定可能です。SDRAM 初期化シーケンスは、SDRAM 初期化シーケンスコントロールレジスタ（SDICR）で起動できます。これらのレジスタを設定する場合、必ず表 15.13 に示す条件を満たす必要があります。

図 15.41 に、SDRAM 初期化シーケンスのタイミング例を示します。オートリフレッシュ動作が 2 回以上実行されるように SDIR.ARFC[3:0] ビットが設定されている場合、初期化シーケンスではオートリフレッシュサイクルが繰り返されます。

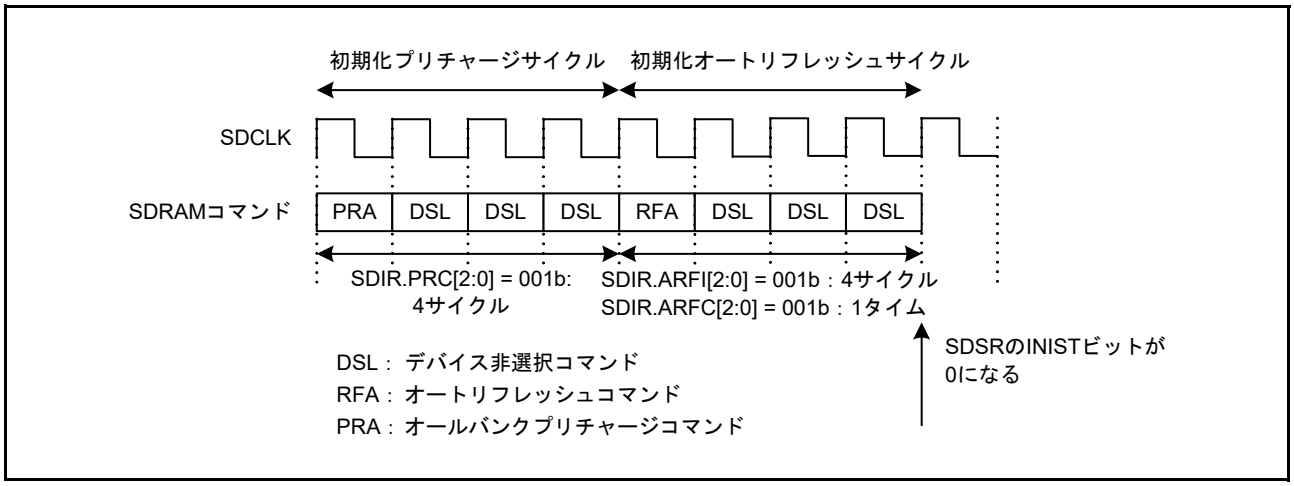


図 15.41　SDRAM 初期化シーケンスのタイミング例

15.6.10 モードレジスタの設定

SDRAM モードレジスタ（SDMOD）を設定することにより、SDRAM に対しモードレジスタセットコマンドを発行し、SDMOD.MR[14:0] ビットに設定した値をアドレスの下位側に出力することができます。データバス幅が 8 ビットの場合は A14 ～ A00 に、16 ビットの場合は A15 ～ A01 に出力されます。モードレジスタの設定前に、SDC コントロールレジスタの SDRAM バス幅選択ビット（SDCCR.BSIZE[1:0]）を設定し、SDRAM のデータバス幅を確定しておく必要があります。

図 15.42 にモードレジスタ設定動作タイミングを示します。

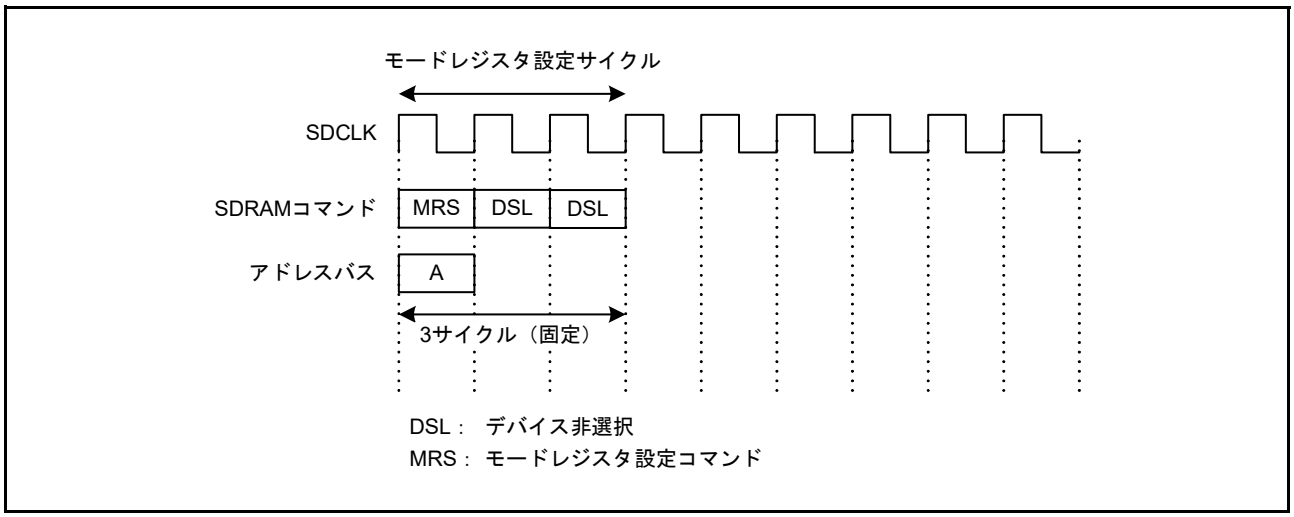


図 15.42 モードレジスタ設定動作タイミング

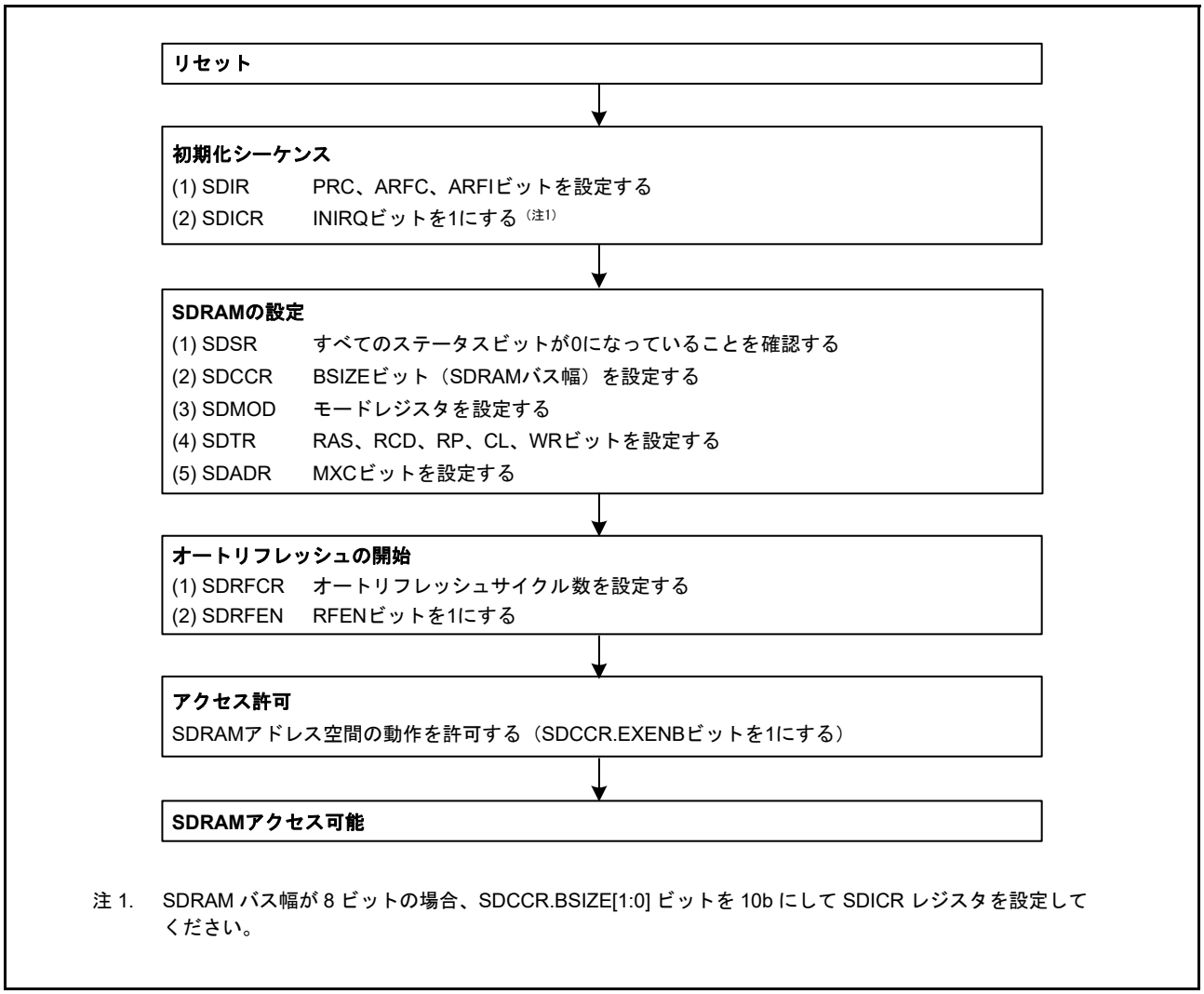
15.6.11 SDRAMC の設定例

ここでは以下の内容を説明します。

- SDRAMC の設定手順
- タイミングレジスタの設定例
- セルフリフレッシュモード遷移／復帰手順

15.6.11.1 SDRAMC のアクセス手順

図 15.43 に SDRAMC の設定手順を示します。



注 1. SDRAM バス幅が 8 ビットの場合、SDCCR.BSIZE[1:0] ビットを 10b にして SDICR レジスタを設定してください。

図 15.43 SDRAMC の設定手順

15.6.11.2 セルフリフレッシュモード遷移／復帰手順

図 15.44 に、セルフリフレッシュモード遷移／復帰手順を示します。

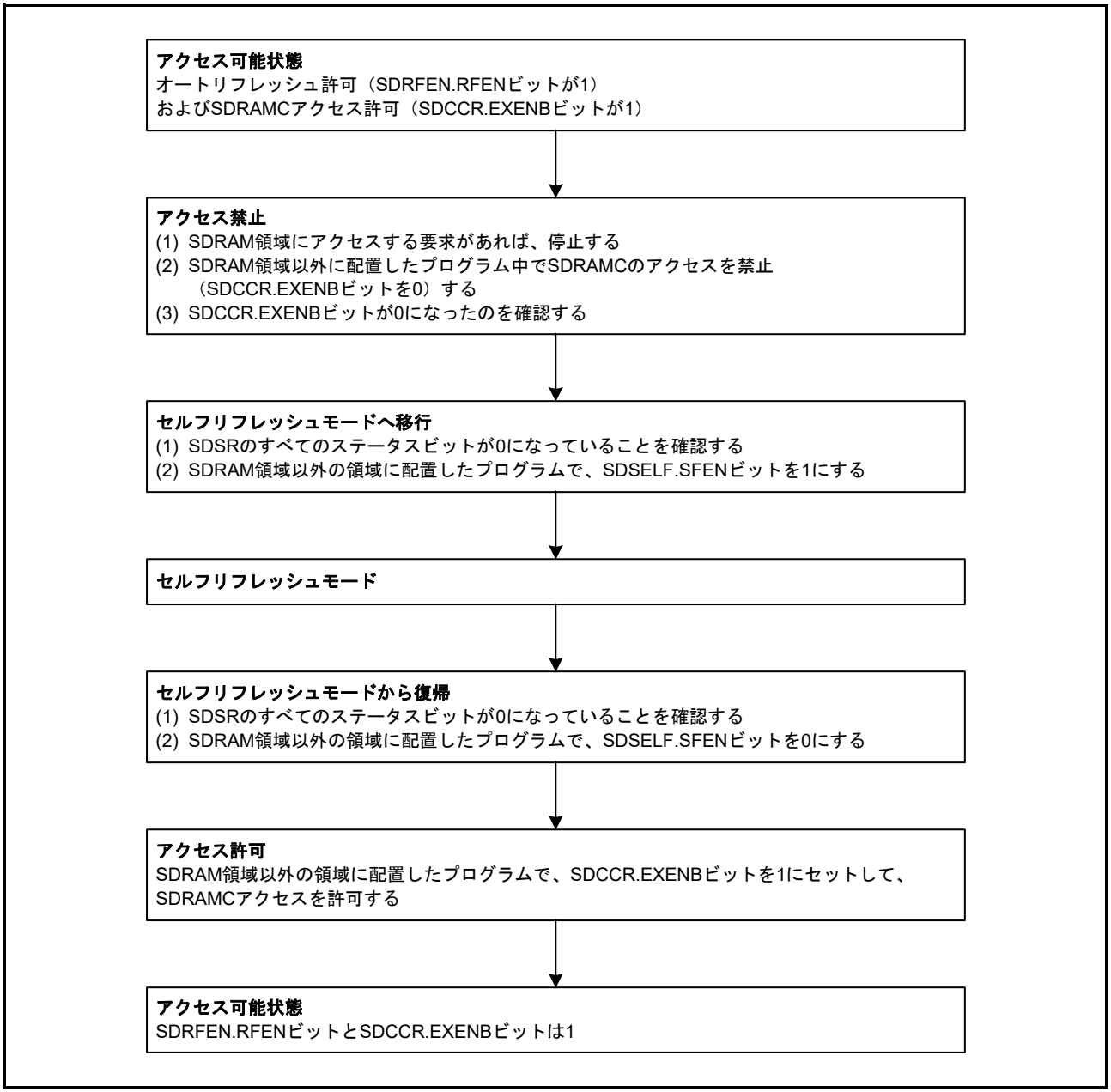


図 15.44 セルフリフレッシュモード遷移／復帰手順

注 . SDRAM のアクセス中は、セルフリフレッシュモードを起動できません。セルフリフレッシュモードの遷移および復帰中は、SDRAM アクセスを禁止する必要があります。図 15.45 に示すプログラミング指示に従ってください。

注 . セルフリフレッシュモードへ遷移する前に、SDRAM 領域へのアクセスを禁止してください。

注 . セルフリフレッシュモード遷移時、セルフリフレッシュ動作中、およびセルフリフレッシュモード復帰時に実行するプログラムは、SDRAM 領域へのオペランドアクセス、命令フェッチ（プリフェッチを含む）が生じないようにしてください。

図 15.45 に、ディープスタンバイモードでのセルフリフレッシュモード遷移／復帰手順を示します。

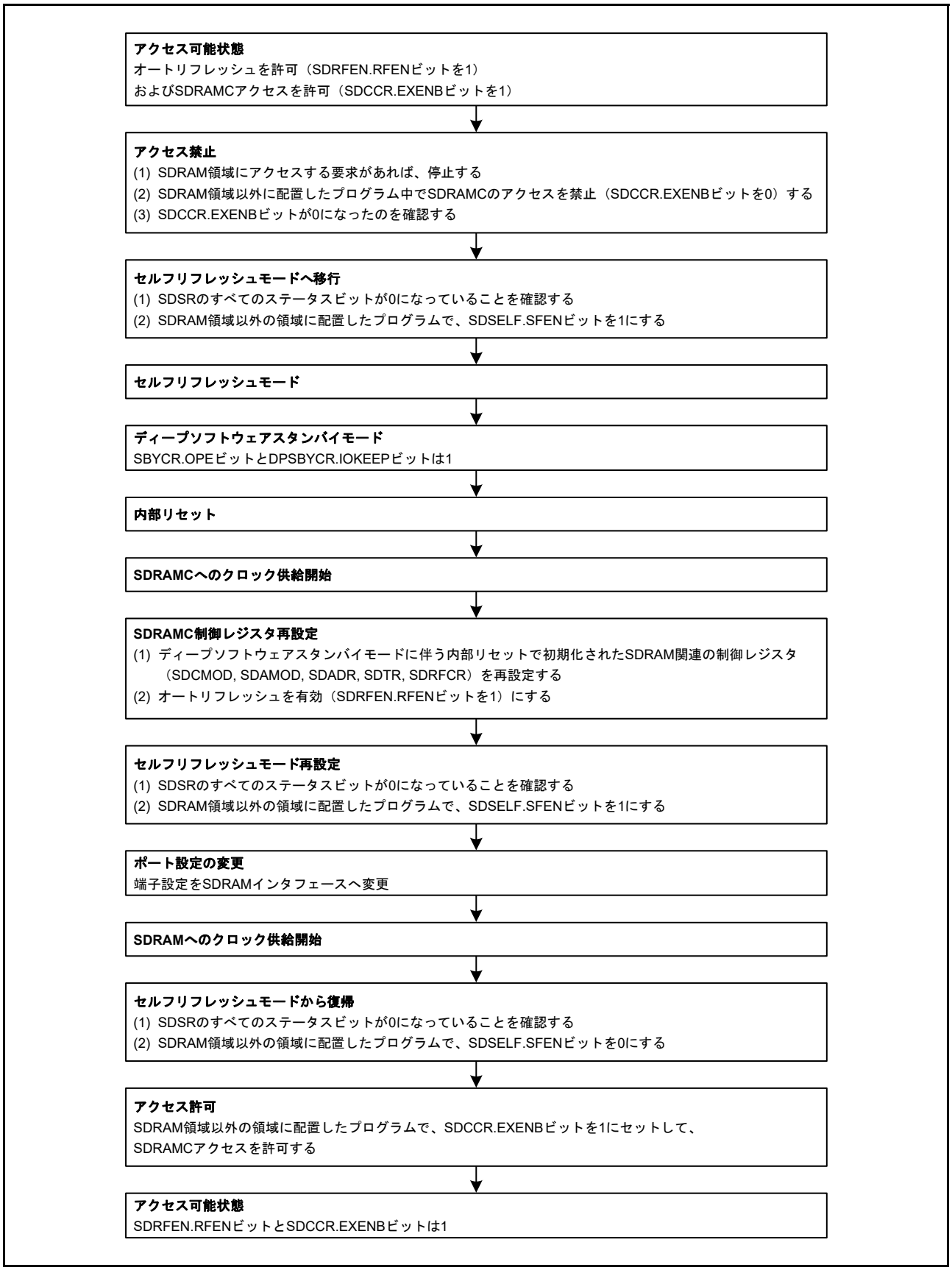


図 15.45 ディープソフトウェアスタンバイモードでのセルフリフレッシュモード遷移／復帰手順

15.6.11.3 タイミングレジスタ設定値とアクセスタイミング

ここでは、リードアクセス／ライトアクセスのタイミングと、SDRAM タイミングレジスタ（SDTR）設定値との関係について説明します。

(1) シングルリードタイミング設定例

図 15.46 ～図 15.50 に、シングルリードタイミングと SDRAM タイミングレジスタ（SDTR）設定値との関係を示します。表 15.14 に、それぞれの図と SDTR レジスタ設定値との対応を示します。

リードアクセスの場合は、最短でリードデータが有効になった 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合は、図 15.50 に示すように、最短でリードデータが有効になった 1 サイクル後に次のバスアクセスが可能となります。

表 15.14 SDTR レジスタ設定値とタイミング図の対応表（シングルリードタイミング）

図番号	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図 15.46	010	3	00	1	001	2	010	2
図 15.47	000	1	01	2	001	2	010	2
図 15.48	000	1	01	2	001	2	011	3
図 15.49、図 15.50	010	3	00	1	000	1	010	2

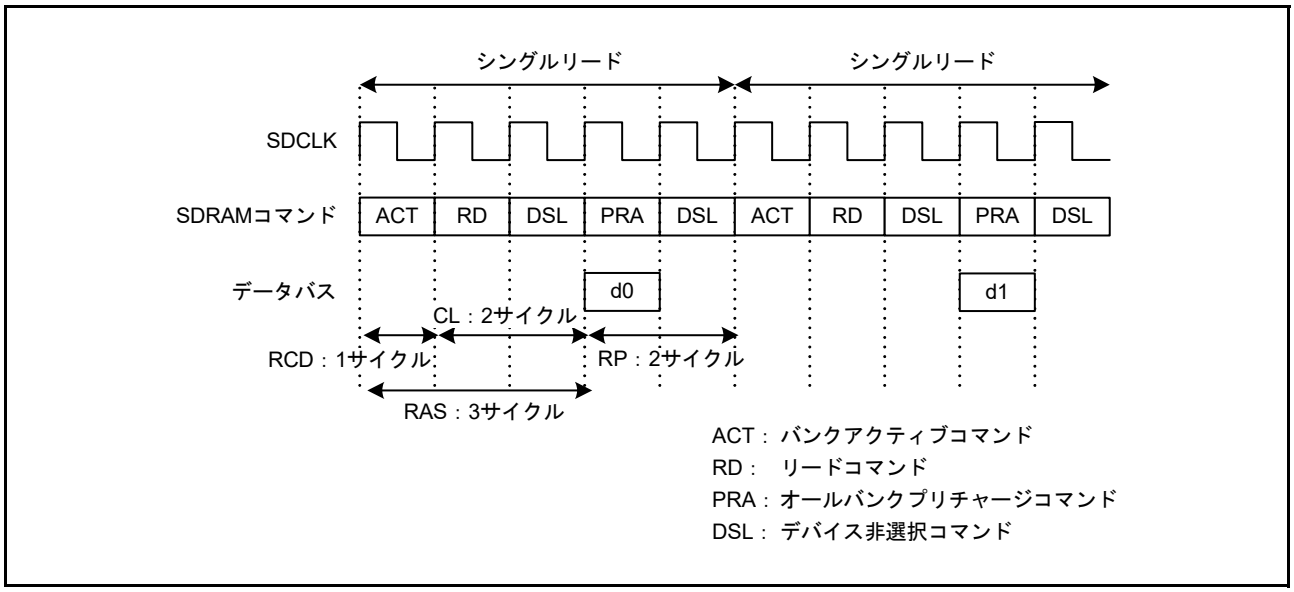
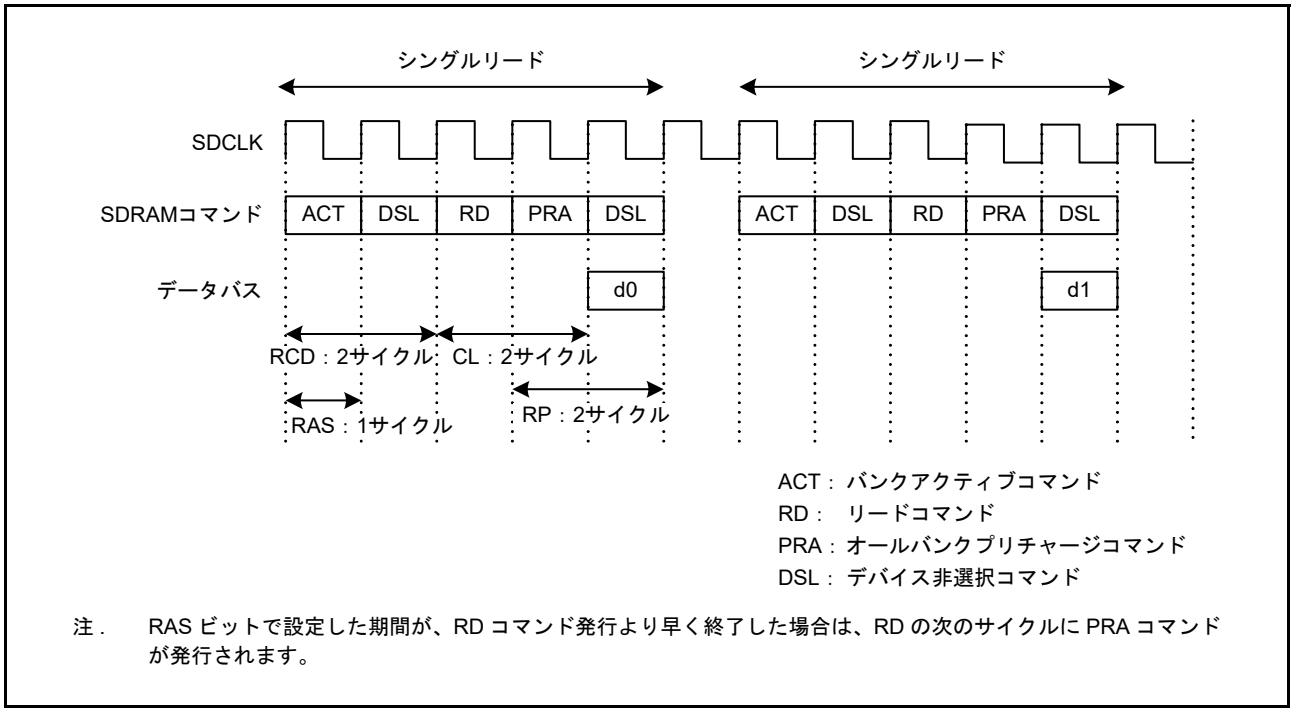


図 15.46 シングルリードタイミング例（1）



注． RAS ビットで設定した期間が、RD コマンド発行より早く終了した場合は、RD の次のサイクルに PRA コマンドが発行されます。

図 15.47 シングルリードタイミング例（2）

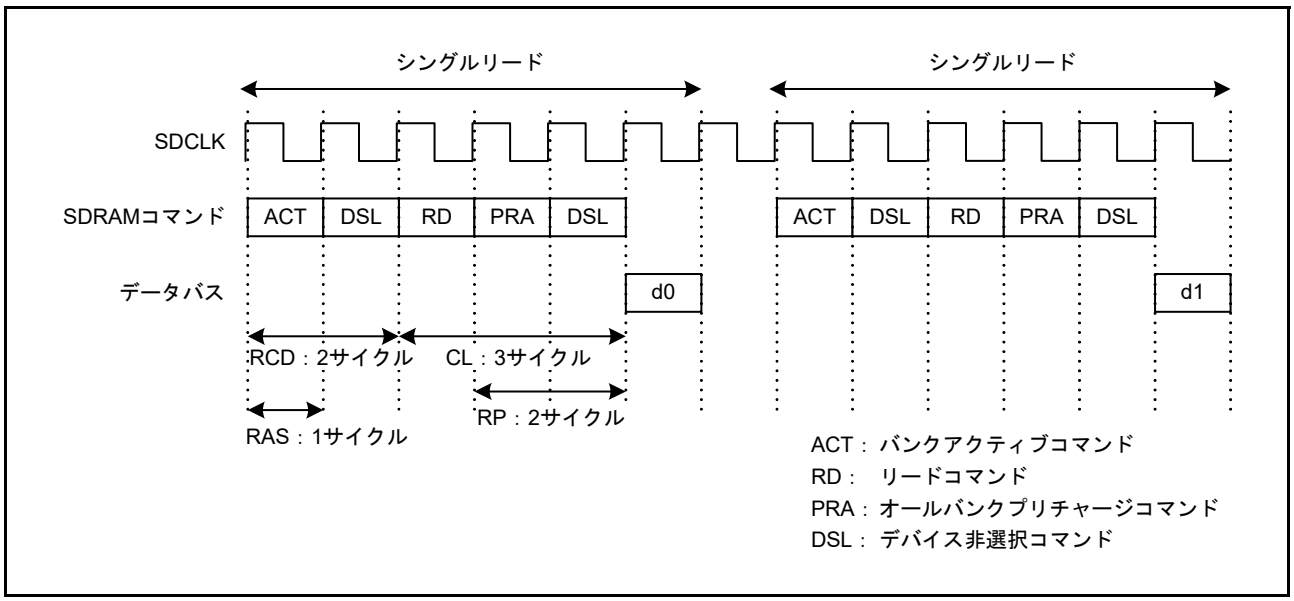


図 15.48 シングルリードタイミング例（3）

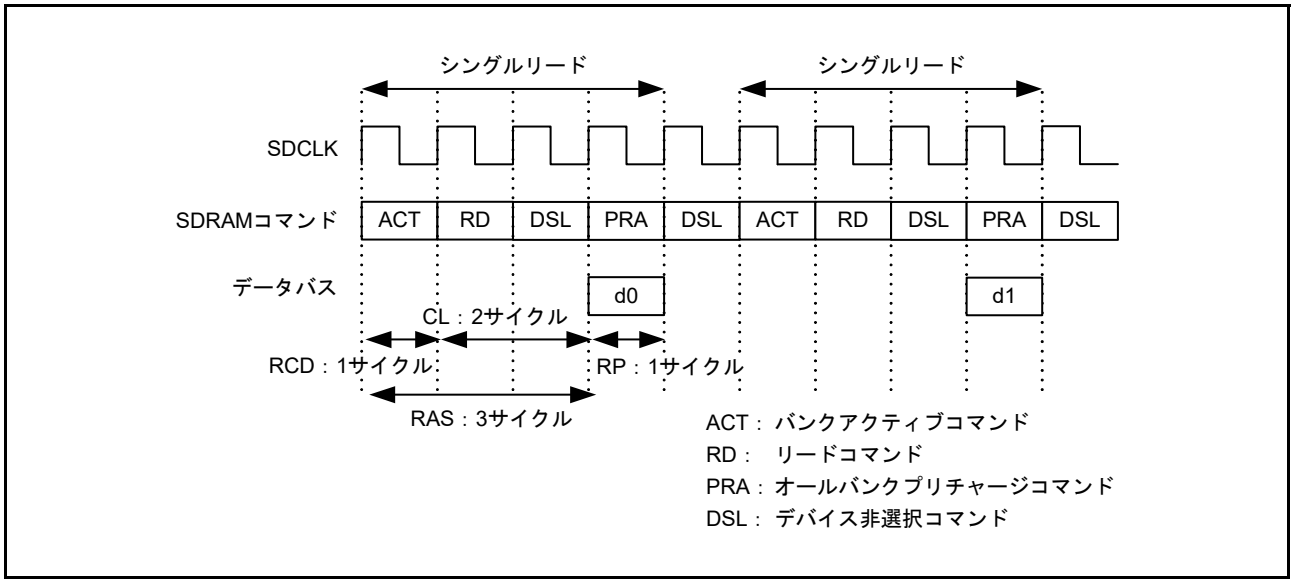


図 15.49　シングルリードタイミング例（4）

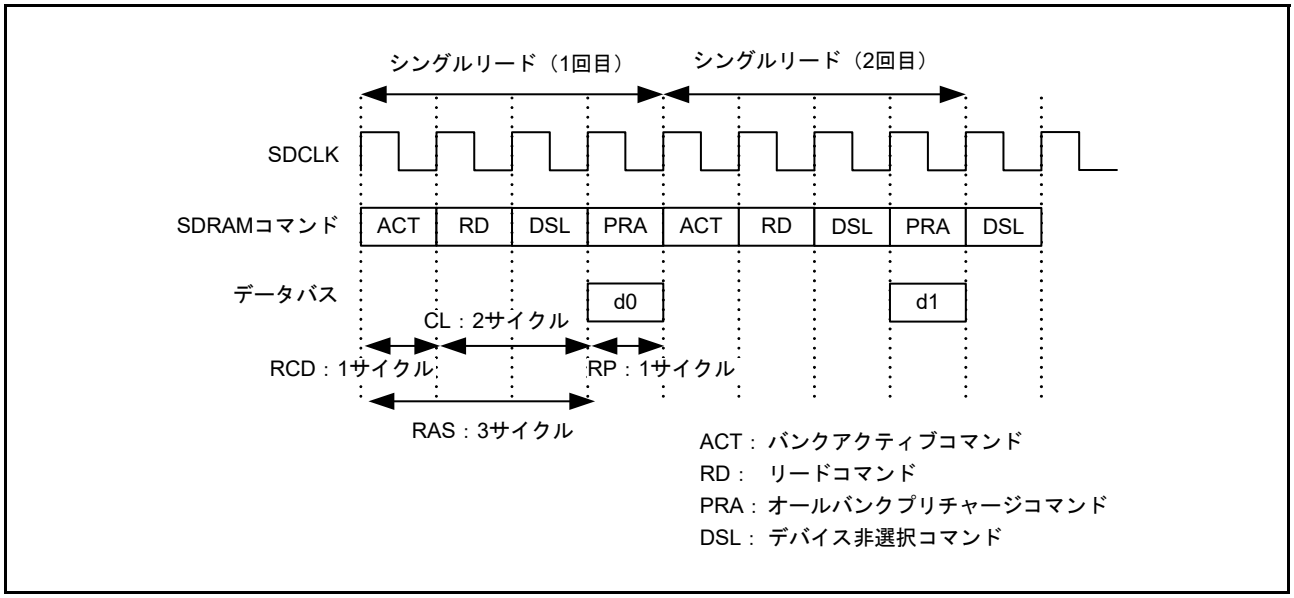


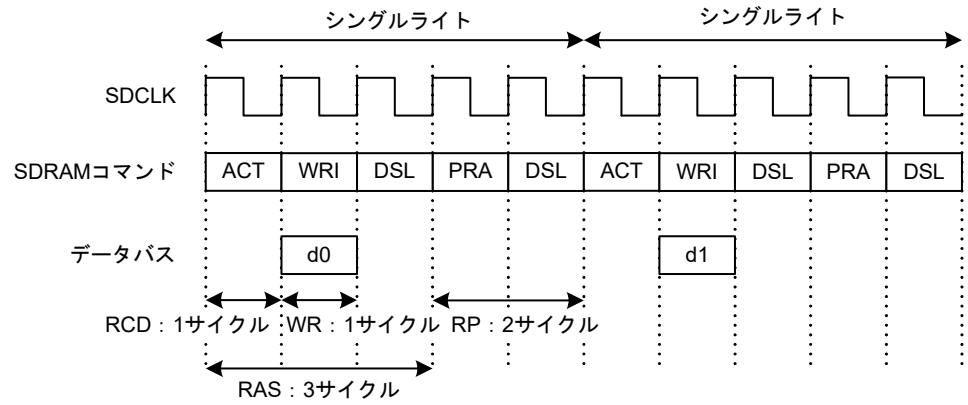
図 15.50　シングルリードタイミング例（5）（1 転送要求に対して 2 回バスアクセスが発生する場合）

(2)　シングルライトタイミング設定例

図 15.51 ～図 15.52 に、シングルライトタイミングと SDRAM タイミングレジスタ（SDTR）設定値との関係を示します。表 15.15 に、それぞれの図と SDTR レジスタ設定値との対応を示します。ライトアクセスの場合は、最短でオールバンクプリチャージコマンド（PRA）が発行された 2 サイクル後に次のバスアクセスが可能となります。ただし、1 転送要求に対して 2 回以上のバスアクセスが発生する場合は、図 15.55 に示すように、最短で PRA が発行された 1 サイクル後に次のバスアクセスが可能となります。

表 15.15 SDTR レジスタ設定値とタイミング図の対応表（シングルライトタイミング）

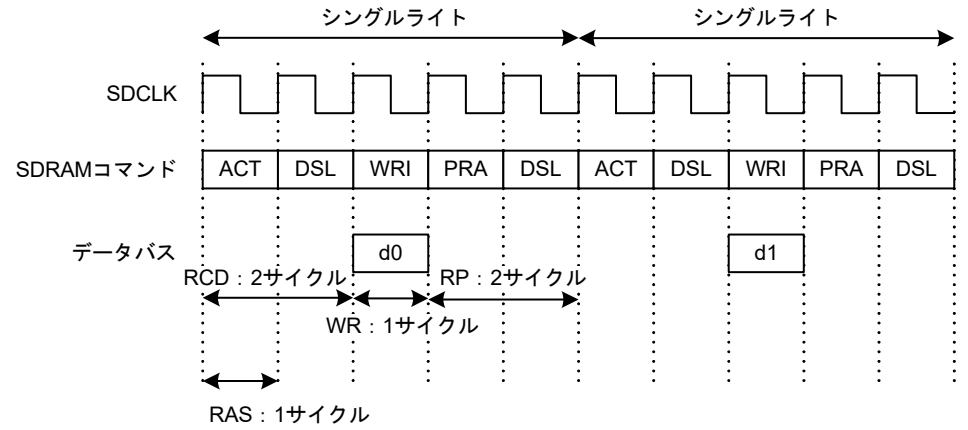
図番号	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図 15.51	010	3	00	1	001	2	0	1
図 15.52	000	1	01	2	001	2	0	1
図 15.53	000	1	01	2	001	2	1	2
図 15.54、図 15.55	010	3	00	0	000	2	0	1



ACT：バンクアクティブコマンド
WRI：ライトコマンド
PRA：オールバンクプリチャージコマンド
DSL：デバイス非選択コマンド

注． RAS ビットで設定した期間が、WRI コマンド発行から WR 期間経過するよりも長い場合、RAS ビットの設定が適用されます。

図 15.51 シングルライトタイミング例（1）



ACT：バンクアクティブコマンド
WRI：ライトコマンド
PRA：オールバンクプリチャージコマンド
DSL：デバイス非選択コマンド

注． RAS ビットで設定した期間が、WRI コマンド発行から WR 期間経過するよりも短い場合、WR ビットの設定が適用されます。

図 15.52 シングルライトタイミング例（2）

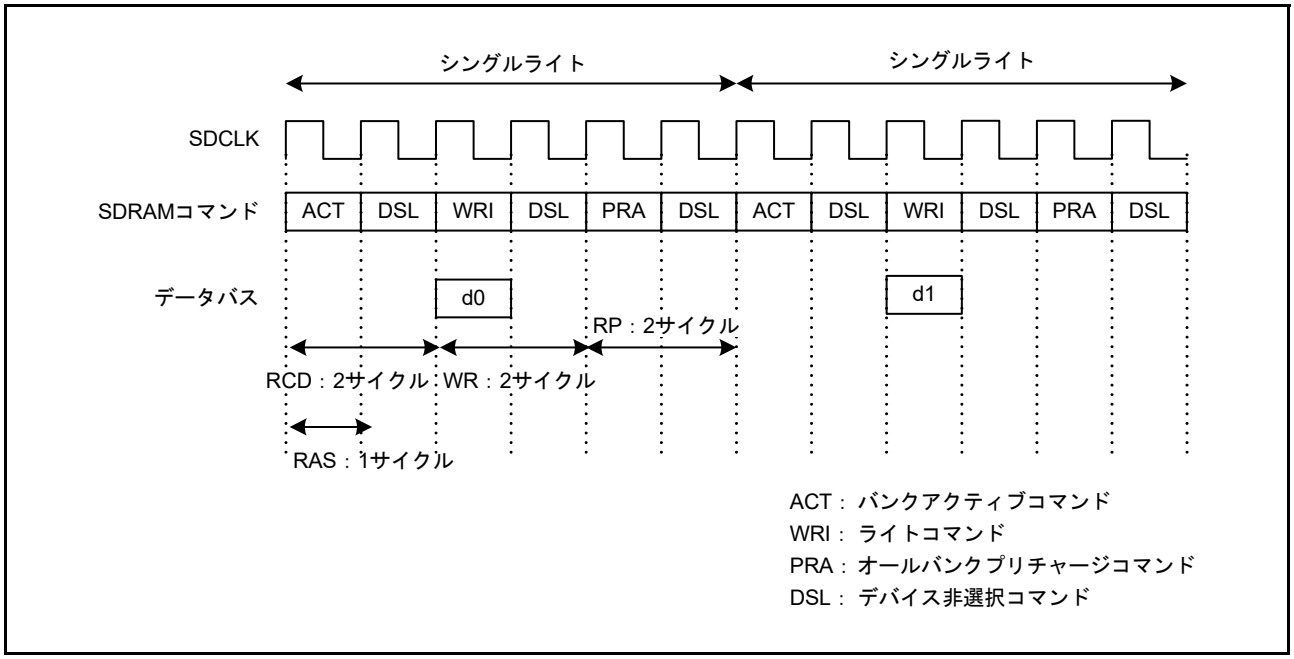
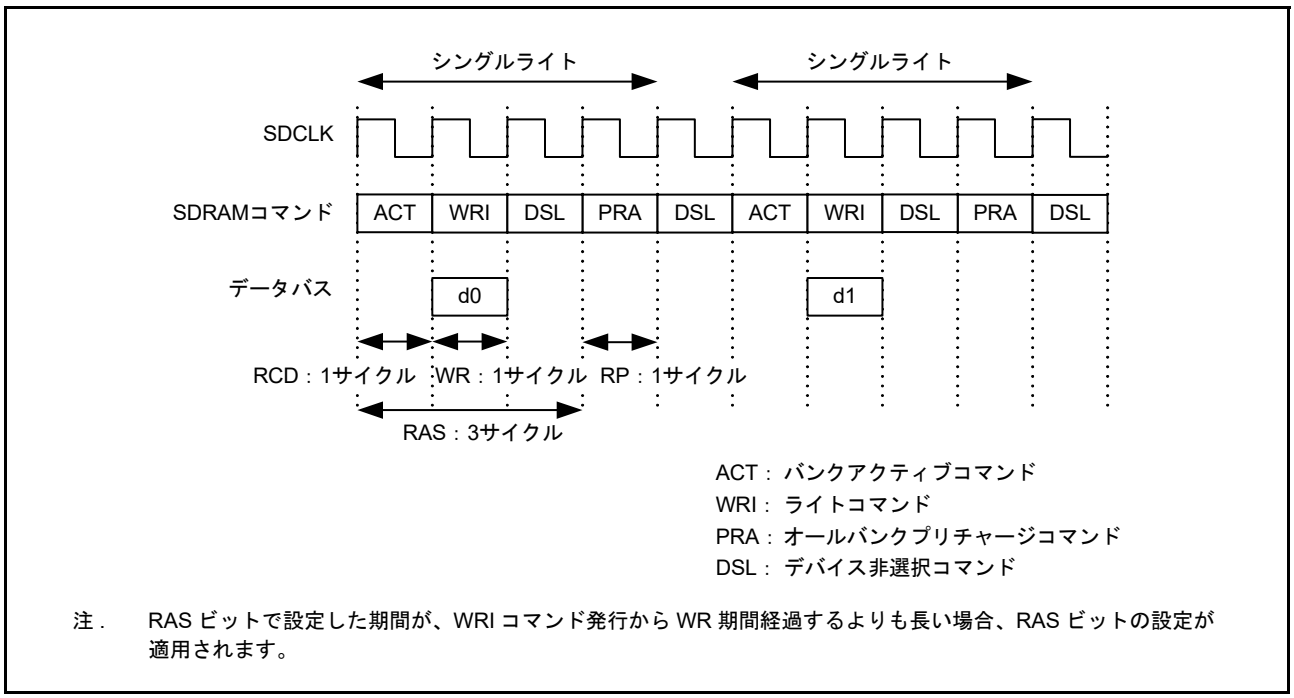
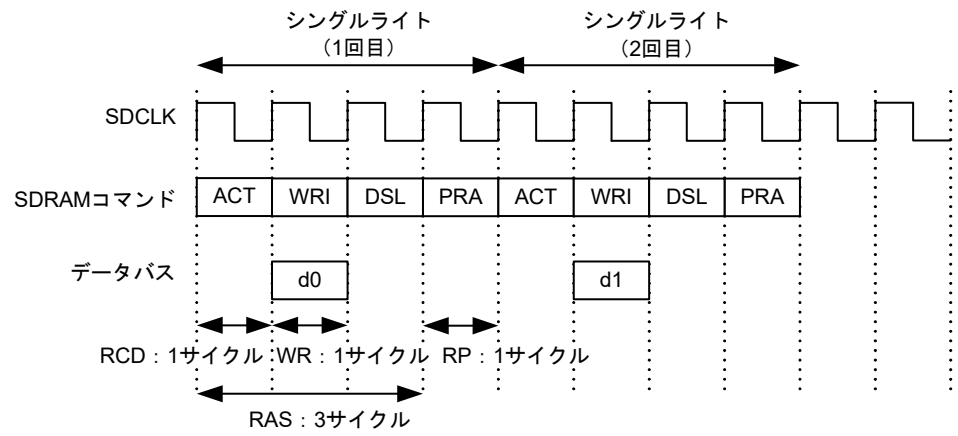


図 15.53　シングルライトタイミング例（3）



注．　RAS ビットで設定した期間が、WRI コマンド発行から WR 期間経過するよりも長い場合、RAS ビットの設定が適用されます。

図 15.54　シングルライトタイミング例（4）



注． RAS ビットで設定した期間が、WRI コマンド発行から WR 期間経過するよりも長い場合、RAS ビットの設定が適用されます。

図 15.55 シングルライトタイミング例（5）（1 転送要求に対して 2 回バスアクセスが発生する場合）

(3) 連続リードタイミング設定例

図 15.56 ～図 15.58 に、4 データの連続リード時のタイミングと、SDRAM タイミングレジスタ（SDTR）設定値との関係を示します。表 15.16 に、それぞれの図と SDTR レジスタ設定値との対応を示します。

表 15.16 SDTR レジスタ設定値とタイミング図の対応表（連続リードタイミング）

図番号	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	CL[2:0] 設定値	サイクル数
図 15.56	010	3	00	1	001	2	010	2
図 15.57	000	1	01	2	001	2	010	2
図 15.58	000	1	01	2	001	2	011	3

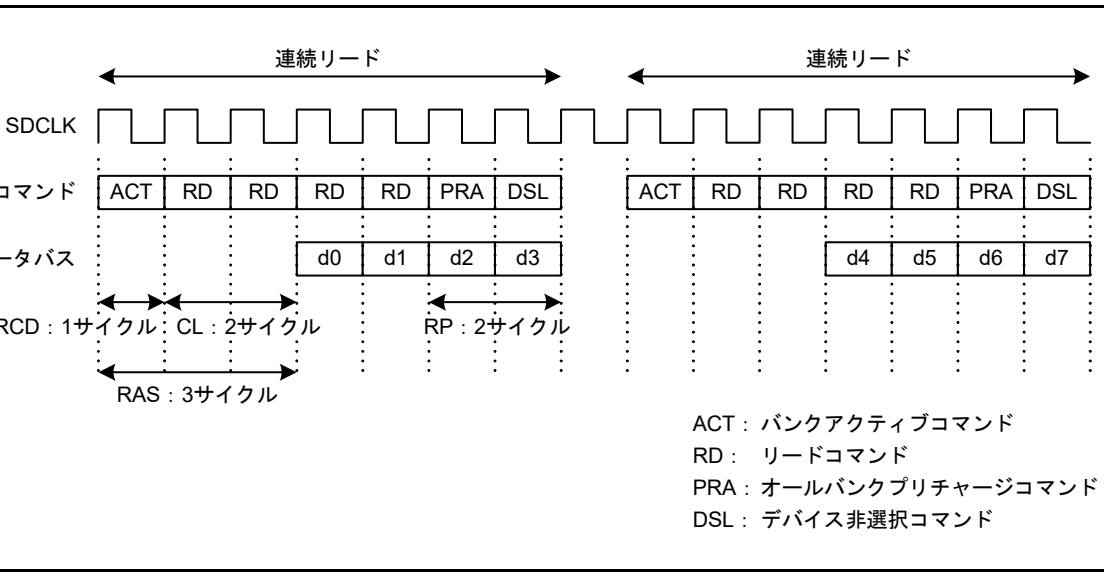


図 15.56 連続リードタイミング例（1）

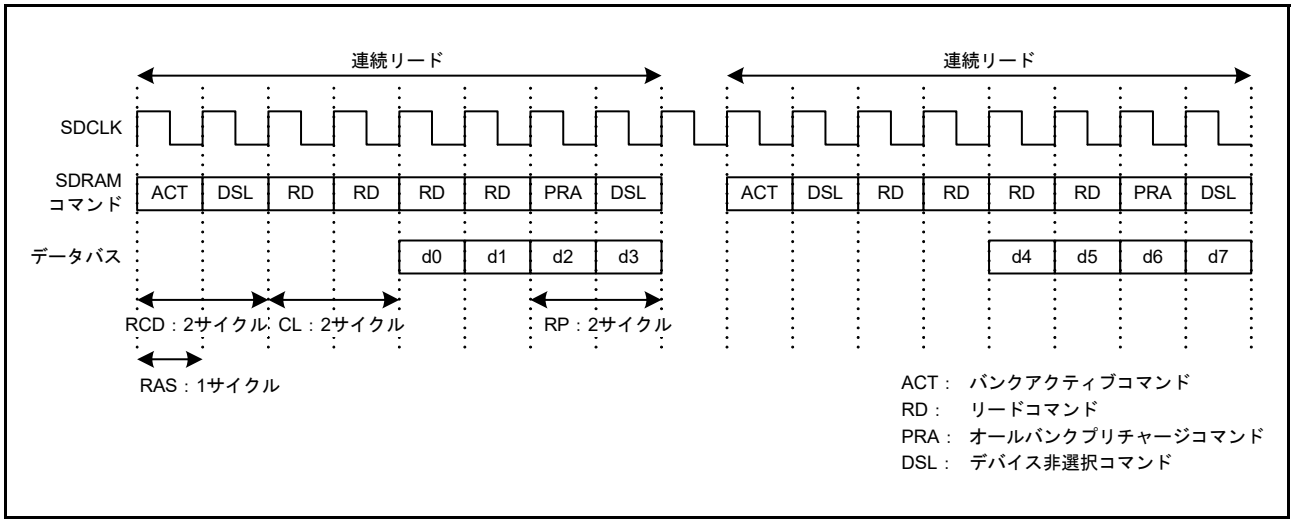


図 15.57　連続リードタイミング例（2）

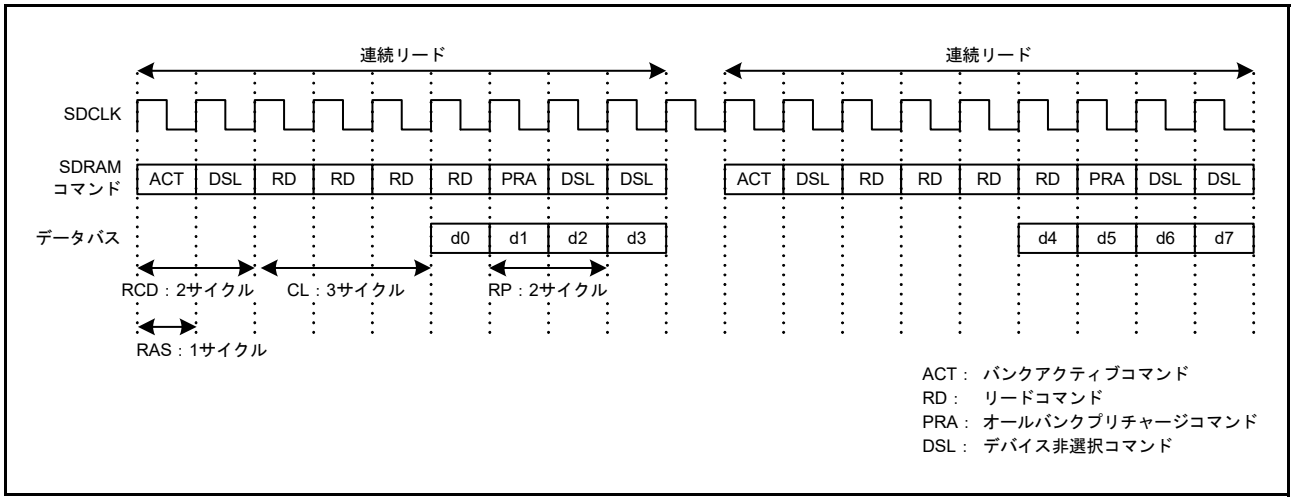


図 15.58　連続リードタイミング例（3）

(4)　連続ライトタイミング設定例

図 15.59 ～図 15.61 に、4 データの連続ライト時のタイミングと、SDRAM タイミングレジスタ（SDTR）設定値との関係を示します。表 15.17 に、それぞれの図と SDTR レジスタ設定値との対応を示します。

表 15.17　SDTR レジスタ設定値とタイミング図の対応表（連続ライトタイミング）

図番号	RAS[2:0] 設定値	サイクル数	RCD[1:0] 設定値	サイクル数	RP[2:0] 設定値	サイクル数	WR 設定値	サイクル数
図 15.59	010	3	00	1	001	2	0	1
図 15.60	000	1	01	2	001	2	0	1
図 15.61	000	1	01	2	001	2	1	2

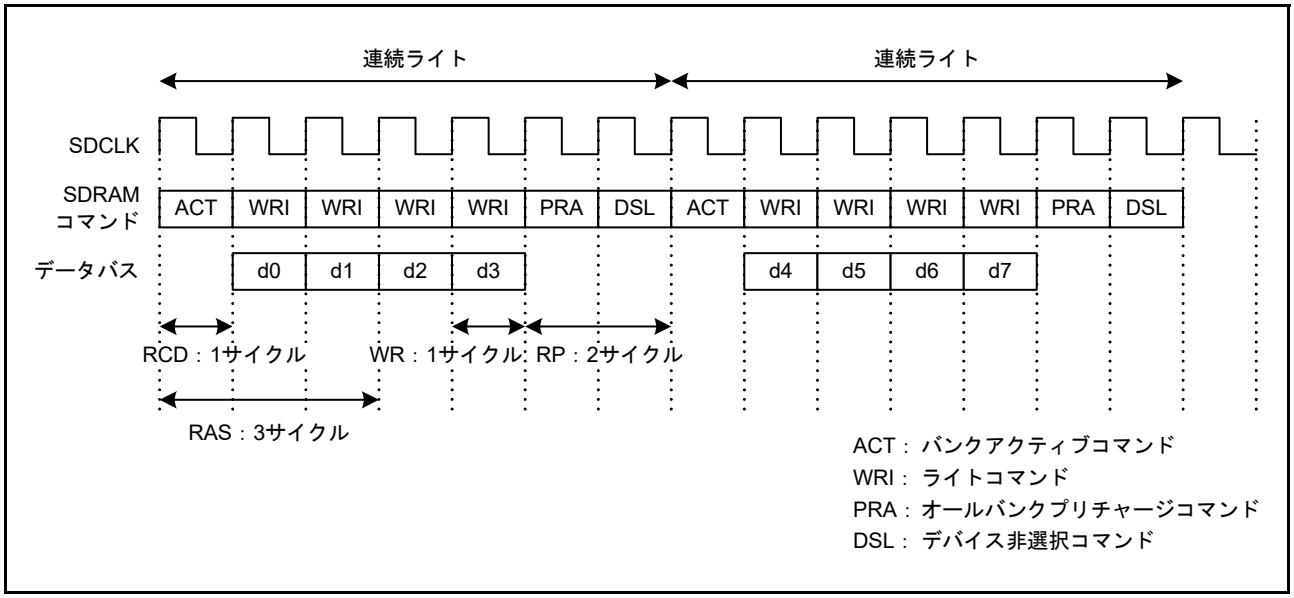


図 15.59 連続ライトタイミング例（1）

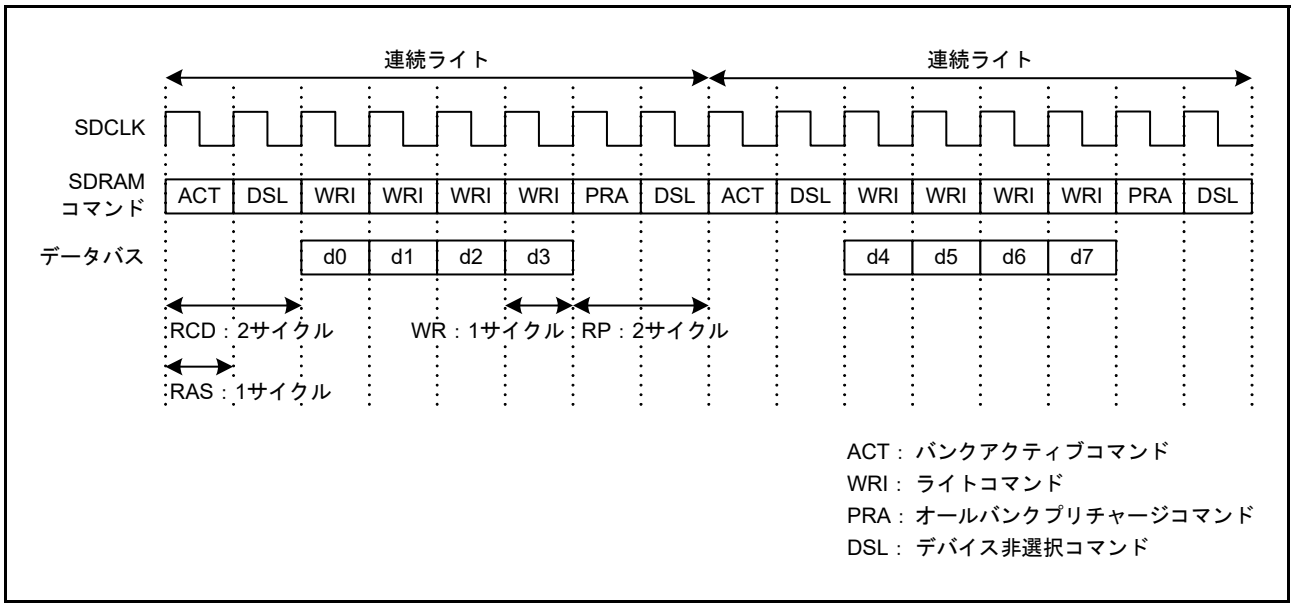


図 15.60 連続ライトタイミング例（2）

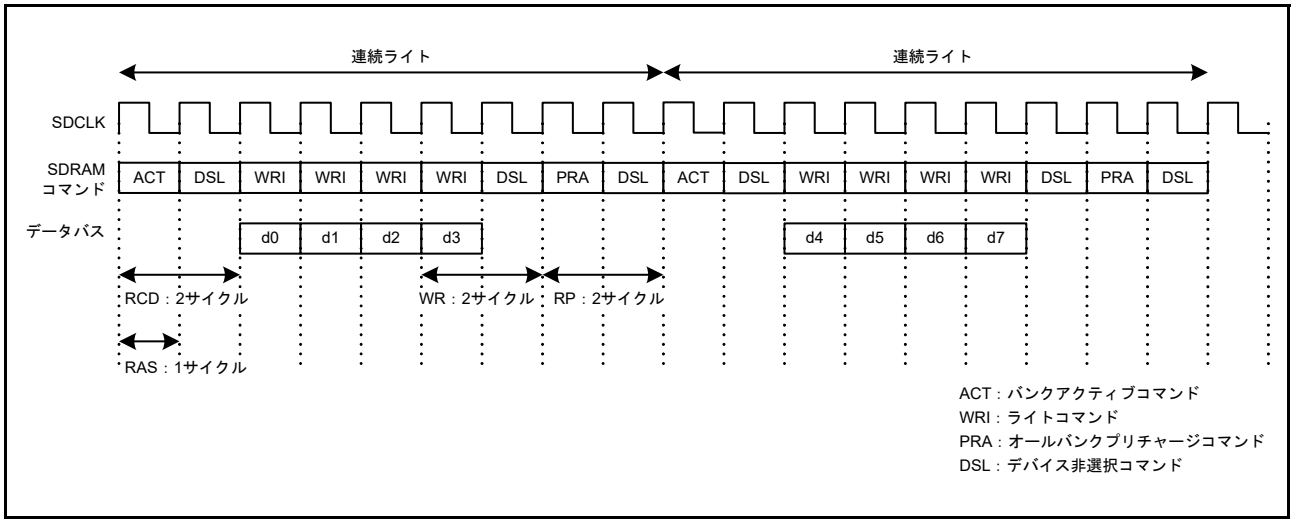


図 15.61　連続ライトタイミング例（3）

15.6.12　アドレスマルチプレクス

SDRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。SDRAM アドレスレジスタ（SDADR）のアドレスマルチプレクス選択ビット（SDADR.MXC[1:0]）でロウアドレスのシフト量を選択する必要があります。また、SDRAM 空間では、カラムアドレスの上位側にアドレスプリチャージ選択コマンド（Precharge-sel）が出力されます。表 15.18 に、SDADR.MXC[1:0] ビットの設定値とシフト量の関係を示します。

表 15.18　アドレスマルチプレクス

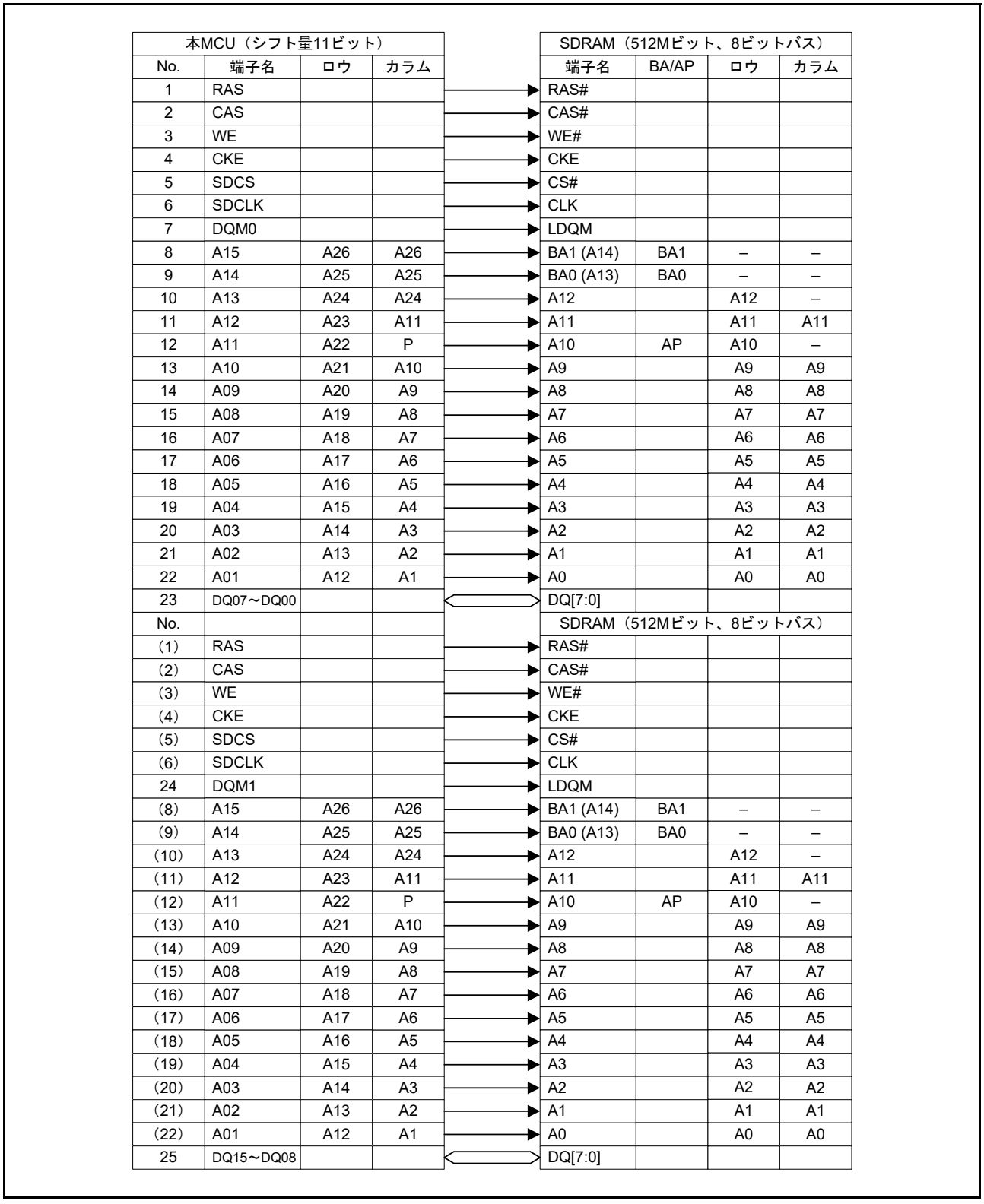
MXC [1:0]	シフト量	データバス幅	アドレス	マイコン外部アドレス端子															
				A15	A14	A13	A12	A11	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
00	8ビット	8ビット	ロウ	A23	A22	A21	A20	A19	A18*	A17	A16	A15	A14	A13	A12	A11	A10	A09	A08
			カラム	A23	A22	A21	A20	A19	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16ビット	ロウ	A23	A22	A21	A20	A19*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09	A08
			カラム	A23	A22	A21	A20	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
01	9ビット	8ビット	ロウ	A24	A23	A22	A21	A20	A20*	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09
			カラム	A24	A23	A22	A21	A20	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16ビット	ロウ	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A09
			カラム	A24	A23	A22	A21	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
10	10ビット	8ビット	ロウ	A25	A24	A23	A22	A21	A20*	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	A25	A24	A23	A22	A21	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16ビット	ロウ	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			カラム	A25	A24	A23	A22	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
11	11ビット	8ビット	ロウ	A26	A25	A24	A23	A22	A21*	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	A26	A25	A24	A23	A10	P	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00
		16ビット	ロウ	A26	A25	A24	A23	A22*	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
			カラム	A26	A25	A24	A11	P	A10	A09	A08	A07	A06	A05	A04	A03	A02	A01	A00

注．　P：プリチャージ選択コマンド（Precharge-sel）を出力します。
*：PALL コマンド発行時は Precharge-sel = 1（High）を出力します。Active コマンド発行時は対応するアドレスを出力します。

15.6.13 SDRAM 接続例

15.6.13.1 16 ビットバス空間

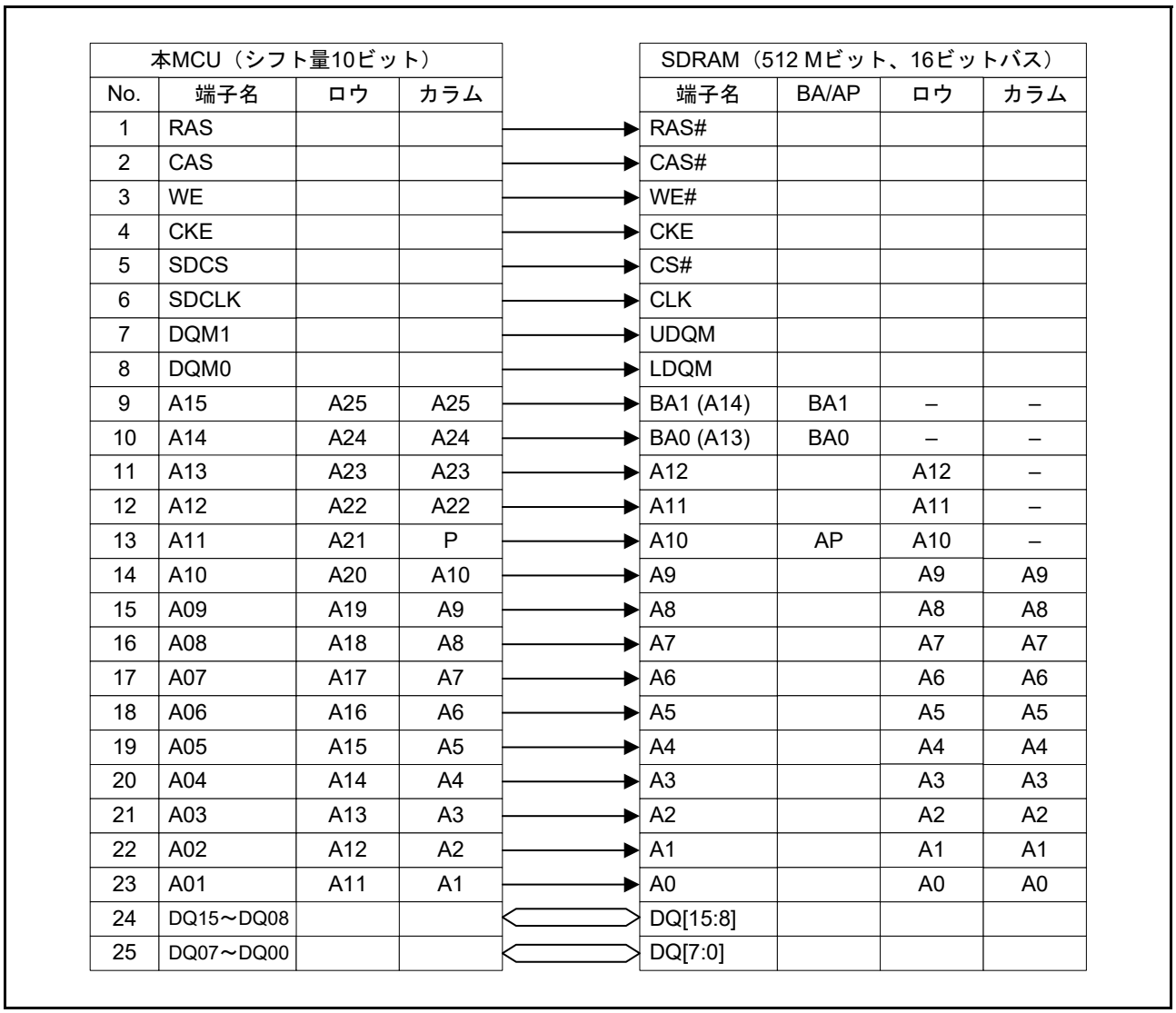
図 15.62 に、ロウアドレス 13 ビット、カラムアドレス 11 ビット、および 8 ビットバスの 512M ビット SDRAM を 2 個接続する場合の例を示します。



本MCU（シフト量11ビット）					SDRAM（512Mビット、8ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM0			→	LDQM			
8	A15	A26	A26	→	BA1 (A14)	BA1	–	–
9	A14	A25	A25	→	BA0 (A13)	BA0	–	–
10	A13	A24	A24	→	A12		A12	–
11	A12	A23	A11	→	A11		A11	A11
12	A11	A22	P	→	A10	AP	A10	–
13	A10	A21	A10	→	A9		A9	A9
14	A09	A20	A9	→	A8		A8	A8
15	A08	A19	A8	→	A7		A7	A7
16	A07	A18	A7	→	A6		A6	A6
17	A06	A17	A6	→	A5		A5	A5
18	A05	A16	A5	→	A4		A4	A4
19	A04	A15	A4	→	A3		A3	A3
20	A03	A14	A3	→	A2		A2	A2
21	A02	A13	A2	→	A1		A1	A1
22	A01	A12	A1	→	A0		A0	A0
23	DQ07～DQ00			⟷	DQ[7:0]			
No.					SDRAM（512Mビット、8ビットバス）			
(1)	RAS			→	RAS#			
(2)	CAS			→	CAS#			
(3)	WE			→	WE#			
(4)	CKE			→	CKE			
(5)	SDCS			→	CS#			
(6)	SDCLK			→	CLK			
24	DQM1			→	LDQM			
(8)	A15	A26	A26	→	BA1 (A14)	BA1	–	–
(9)	A14	A25	A25	→	BA0 (A13)	BA0	–	–
(10)	A13	A24	A24	→	A12		A12	–
(11)	A12	A23	A11	→	A11		A11	A11
(12)	A11	A22	P	→	A10	AP	A10	–
(13)	A10	A21	A10	→	A9		A9	A9
(14)	A09	A20	A9	→	A8		A8	A8
(15)	A08	A19	A8	→	A7		A7	A7
(16)	A07	A18	A7	→	A6		A6	A6
(17)	A06	A17	A6	→	A5		A5	A5
(18)	A05	A16	A5	→	A4		A4	A4
(19)	A04	A15	A4	→	A3		A3	A3
(20)	A03	A14	A3	→	A2		A2	A2
(21)	A02	A13	A2	→	A1		A1	A1
(22)	A01	A12	A1	→	A0		A0	A0
25	DQ15～DQ08			⟷	DQ[7:0]			

図 15.62 SDRAM 接続例（512M ビット品 × 2 個、8 ビットバス）

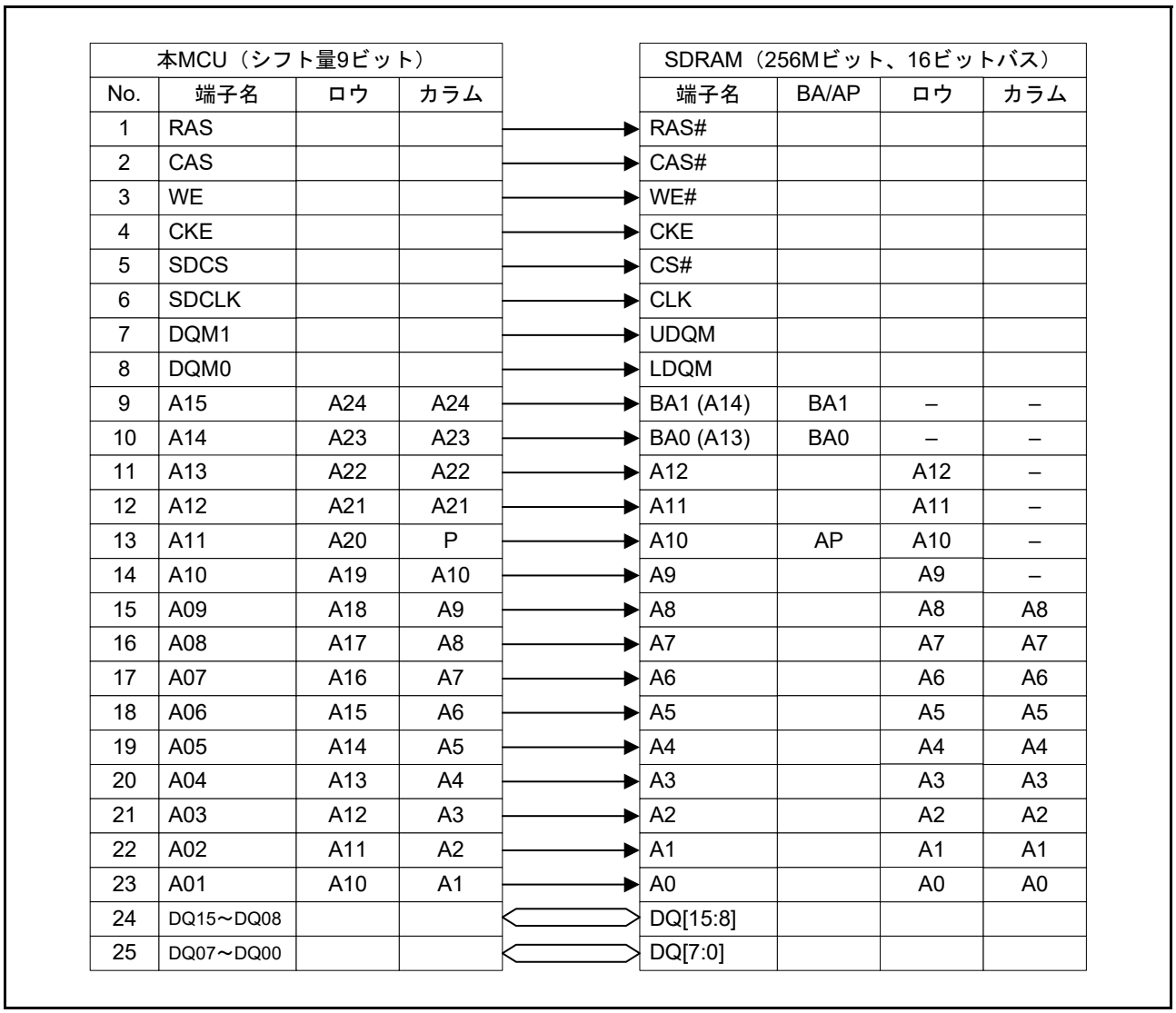
図 15.63 に、ロウアドレス 13 ビット、カラムアドレス 10 ビット、および 16 ビットバスの 512M ビット SDRAM を 1 個接続する場合の例を示します。



本MCU（シフト量10ビット）					SDRAM（512 Mビット、16ビットバス）			
No.	端子名	ロウ	カラム		端子名	BA/AP	ロウ	カラム
1	RAS			→	RAS#			
2	CAS			→	CAS#			
3	WE			→	WE#			
4	CKE			→	CKE			
5	SDCS			→	CS#			
6	SDCLK			→	CLK			
7	DQM1			→	UDQM			
8	DQM0			→	LDQM			
9	A15	A25	A25	→	BA1 (A14)	BA1	–	–
10	A14	A24	A24	→	BA0 (A13)	BA0	–	–
11	A13	A23	A23	→	A12		A12	–
12	A12	A22	A22	→	A11		A11	–
13	A11	A21	P	→	A10	AP	A10	–
14	A10	A20	A10	→	A9		A9	A9
15	A09	A19	A9	→	A8		A8	A8
16	A08	A18	A8	→	A7		A7	A7
17	A07	A17	A7	→	A6		A6	A6
18	A06	A16	A6	→	A5		A5	A5
19	A05	A15	A5	→	A4		A4	A4
20	A04	A14	A4	→	A3		A3	A3
21	A03	A13	A3	→	A2		A2	A2
22	A02	A12	A2	→	A1		A1	A1
23	A01	A11	A1	→	A0		A0	A0
24	DQ15～DQ08			⇔	DQ[15:8]			
25	DQ07～DQ00			⇔	DQ[7:0]			

図 15.63　SDRAM 接続例（512M ビット品 × 1 個、16 ビットバス）

図 15.64 に、ロウアドレス 13 ビット、カラムアドレス 9 ビット、および 16 ビットバスの 256M ビット SDRAM を 1 個接続する場合の例を示します。



本MCU（シフト量9ビット）				SDRAM（256Mビット、16ビットバス）			
No.	端子名	ロウ	カラム	端子名	BA/AP	ロウ	カラム
1	RAS			RAS#			
2	CAS			CAS#			
3	WE			WE#			
4	CKE			CKE			
5	SDCS			CS#			
6	SDCLK			CLK			
7	DQM1			UDQM			
8	DQM0			LDQM			
9	A15	A24	A24	BA1 (A14)	BA1	–	–
10	A14	A23	A23	BA0 (A13)	BA0	–	–
11	A13	A22	A22	A12		A12	–
12	A12	A21	A21	A11		A11	–
13	A11	A20	P	A10	AP	A10	–
14	A10	A19	A10	A9		A9	–
15	A09	A18	A9	A8		A8	A8
16	A08	A17	A8	A7		A7	A7
17	A07	A16	A7	A6		A6	A6
18	A06	A15	A6	A5		A5	A5
19	A05	A14	A5	A4		A4	A4
20	A04	A13	A4	A3		A3	A3
21	A03	A12	A3	A2		A2	A2
22	A02	A11	A2	A1		A1	A1
23	A01	A10	A1	A0		A0	A0
24	DQ15～DQ08			DQ[15:8]			
25	DQ07～DQ00			DQ[7:0]			

図 15.64　SDRAM 接続例（256M ビット品 × 1 個、16 ビットバス）

15.6.14　制限事項

(1)　低消費電力状態

ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードでは、SDRAMC へのクロック供給が停止するため、オートリフレッシュ動作は利用できません。外部に SDRAM を接続し、SDRAM のデータを保持したい場合には、セルフリフレッシュ機能を使用してください。セルフリフレッシュモードの遷移／復帰手順については、15.6.7　セルフリフレッシュを参照してください。

(2)　SDRAM タイミングレジスタの設定

SDRAM タイミングレジスタ（SDTR）の RAS[2:0] ビット値は、ロウーカラムレイテンシ（SDTR.RCD[1:0]）＋カラムレイテンシ（SDTR.CL[2:0]）以下に設定してください。この条件が満たされない場合の動作は保証していません。

(3)　命令コードの制限

命令コードはリトルエンディアンに固定する必要があります。

15.7 バスエラー監視部

この監視システムは、個々の領域を監視して、エラーを検出すると AHB-Lite エラー応答プロトコルを用いてそのエラーを要求マスタ IP に返します。

15.7.1 バスエラーの種類

それぞれのバスでは、下記のエラーが生じる可能性があります。

- 不正アドレスアクセス
- バスマスタ MPU エラー
- バススレーブ MPU エラー
- タイムアウト

表 15.19 に、アクセスによって不正アドレスアクセスエラーが引き起こされるアドレスレンジを示します。スレーブの予約領域は、不正アドレスアクセスエラーを引き起こしません。バスマスタ MPU とバススレーブ MPU については、「16. メモリプロテクションユニット（MPU）」を参照してください。

15.7.2 バスエラー発生時の動作

バスエラーが発生すると、動作は保証されず、要求マスタ IP にエラーが返されます。マスタごとに発生するバスエラーが、BUSnERRADD レジスタと BUSnERRSTAT レジスタに格納されます。これらのレジスタは必ずリセットでクリアする必要があります。詳細については、15.3.21 バスエラーアドレスレジスタ（BUSnERRADD）（n = 1 ～ 11）と 15.3.22 バスエラーステータスレジスタ（BUSnERRSTAT）（n = 1 ～ 11）を参照してください。

注 . DMAC と DTC はバスエラーを受信しません。DMAC または DTC がバスにアクセスした場合、転送は継続されます。バスエラーを受信する他のマスタについては、下記を参照してください。

- 「31. イーサネット DMA コントローラ（EDMAC）」
- 「56. 2D 描画エンジン（DRW）」
- 「57. JPEG コーデック」
- 「58. グラフィック LCD コントローラ（GLCDC）」

15.7.3 不正アドレスアクセスエラーを引き起こす条件

表 15.19 に、不正アドレスアクセスエラーを引き起こす、バスごとのアドレス空間を示します。

表 15.19 不正アドレスアクセスエラーを引き起こす条件

アドレス	スレーブバス名	マスタバス			
		CPU（ICode、DCode、システム）	DMA	ETHER	GPX
0000 0000h～01FF FFFFh	メモリバス1 メモリバス3	—	—	—	—
0200 0000h～027F FFFFh	メモリマッピング領域	（注1）	E	E	E
0280 0000h～1FFD FFFFh	予約領域	E	E	E	E
1FFE 0000h～1FFF FFFFh	メモリバス2 メモリバス3	—	—	—	—
2000 0000h～2003 FFFFh	メモリバス4	—	—	—	—
2004 0000h～200F FFFFh	メモリバス5	—	—	—	—
2010 0000h～3FFF FFFFh	予約領域	E	E	E	E
4000 0000h～4001 FFFFh	周辺バス1	—	—	E	E
4002 0000h～4003 FFFFh	予約領域	E	E	E	E
4004 0000h～4005 FFFFh	周辺バス3	—	—	E	E
4006 0000h～4007 FFFFh	周辺バス4	—	—	E	E
4008 0000h～4009 FFFFh	周辺バス5	—	—	E	E
400A 0000h～400B FFFFh	予約領域	—	—	E	E
400C 0000h～400D FFFFh	周辺バス7	—	—	E	E
400E 0000h～400F FFFFh	周辺バス8	—	—	E	E
4010 0000h～407F FFFFh	周辺バス9	—	—	—	E
4080 0000h～5FFF FFFFh	予約領域	E	E	E	E
6000 0000h～67FF FFFFh	QSPI領域	—	—	—	—
6800 0000h～7FFF FFFFh	予約領域	E	E	E	E
8000 0000h～97FF FFFFh	CS/SDRAM領域	—	—	—	—
9800 0000h～DFFF FFFFh	予約領域	E	E	E	E
E000 0000h～FFFF FFFFh	Cortex-M4用システム	—	E	E	E

E：不正アドレスアクセスエラーが生じる経路を示します。

注 1. バスモジュールは、MMF がアドレスを切り替えたか否かの検出を行いません。そのため、MMF が有効な状態で CPU が 0200 0000h にアクセスしても、エラーは発生しません（これは、切り替えられたアドレスに依存します）。
MMF が無効な状態で CPU が 0200 0000h にアクセスすると、バスモジュールがエラーを検出します。

バスモジュールは、スレーブに対して何も領域が割り当てられていない場合など、予約領域へのアクセスに起因したアクセスエラーを検出します。

- 0200 0000h ～ 1FFD FFFFh：アクセスエラーを検出
- 0000 0000h ～ 01FF FFFFh：メモリバス 1 のアクセスエラー検出なし

15.7.4 タイムアウト

一部の周辺モジュールでは、モジュールストップ機能によってタイムアウトエラーが発生します。一定期間スレーブから応答がないと、タイムアウトエラーが検出されます。タイムアウトエラーは、AHB-Lite エラー応答プロトコルを用いて要求マスタ IP に返されます。

15.8 フラッシュキャッシュ使用時の制限

CPU からのアクセスを通じてフラッシュキャッシュを使用する場合は、Arm® MPU をキャッシング対象に設定する必要があります。詳細については、参考資料の 1. および 2. を参照してください。

15.9 参考資料

1. *ARMv7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *Cortex®-M4 Devices Generic User Guide (ARM DUI 0553A)*
3. *AMBA 3 AHB-Lite Protocol v1.0 Specification (ARM IHI 0033A)*

16. メモリプロテクションユニット（MPU）

16.1 概要

本 MCU は、3 つのメモリプロテクションユニット（MPU）と、CPU スタックポインタモニタ機能を備えています。表 16.1 に MPU の仕様を、表 16.2 に各 MPU エラー検出時の動作を示します。

表 16.1 MPUの仕様

項目	モジュール／機能	内容
不正メモリアクセス	Arm® Cortex®-M4 CPU	• Arm CPUはデフォルトのメモリマップを内蔵。CPUが不正アクセスを行うと、例外割り込みが発生 • デフォルトのメモリマップはMPUで変更可能
	CPUスタックポインタモニタ	2領域 • メインスタックポインタ（MSP） • プロセススタックポインタ（PSP）
メモリプロテクション	Arm MPU	CPU用のメモリプロテクション機能 • 8 MPU領域（サブ領域とバックグラウンド領域を含む）
	バスマスタMPU	CPUを除く各バスマスタ用のメモリプロテクション機能 • バスマスタMPUグループA：32領域 • バスマスタMPUグループB：8領域 • バスマスタMPUグループC：8領域
	バススレーブMPU	各バススレーブ用のメモリプロテクション機能

表 16.2 MPUエラー検出時の動作

MPUの種類	通知動作	エラー検出時のバスアクセス	エラーアクセス情報の格納
CPUスタックポインタモニタ	リセットまたはノンマスカブル割り込み	Don't care	格納なし
Arm MPU	ハード障害	• 正しくライトアクセスできない • 正しくリードアクセスできない	Cortex-M4 プロセッサ内に格納
バスマスタMPU	リセットまたはノンマスカブル割り込み	• 保護領域にライトアクセス • 保護領域にリードアクセス	格納
バススレーブMPU	• リセットまたはノンマスカブル割り込み • ハード障害	• ライトアクセスは無視 • リードアクセスは0が読める	格納

Arm MPU に対するエラーアクセスについては、16.6 章を参照してください。他の MPU に対するエラーアクセスについては、「15. バス」の 15.3.21 および 15.3.22 を参照してください。

16.2 CPU スタックポインタモニタ

CPU スタックポインタモニタは、スタックポインタのオーバーフローとアンダーフローを検出します。Arm CPU には、メインスタックポインタ（MSP）とプロセススタックポインタ（PSP）の 2 つのスタックポインタがあるため、2 つの CPU スタックポインタモニタをサポートしています。スタックポインタのアンダーフローやオーバーフローを検出すると、CPU スタックポインタモニタはリセットまたはノンマスカブル割り込みを発生させます。

CPU スタックポインタモニタを有効にするには、スタックポインタモニタアクセスコントロールレジスタ（MSPMPUCTL、PSPMPUCTL）のスタックポインタモニタ有効ビットを 1 にします。

表 16.3 に CPU スタックポインタモニタの仕様、図 16.1 にブロック図、そして図 16.2 にレジスタの設定フローを示します。

表 16.3 CPUスタックポインタモニタの仕様

項目	内容
保護領域	SRAM領域
領域数	2領域：メインスタックポインタ、プロセススタックポインタ
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のスタックポインタモニタの有効／無効設定	対応する領域の設定を有効／無効
エラー検出時の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

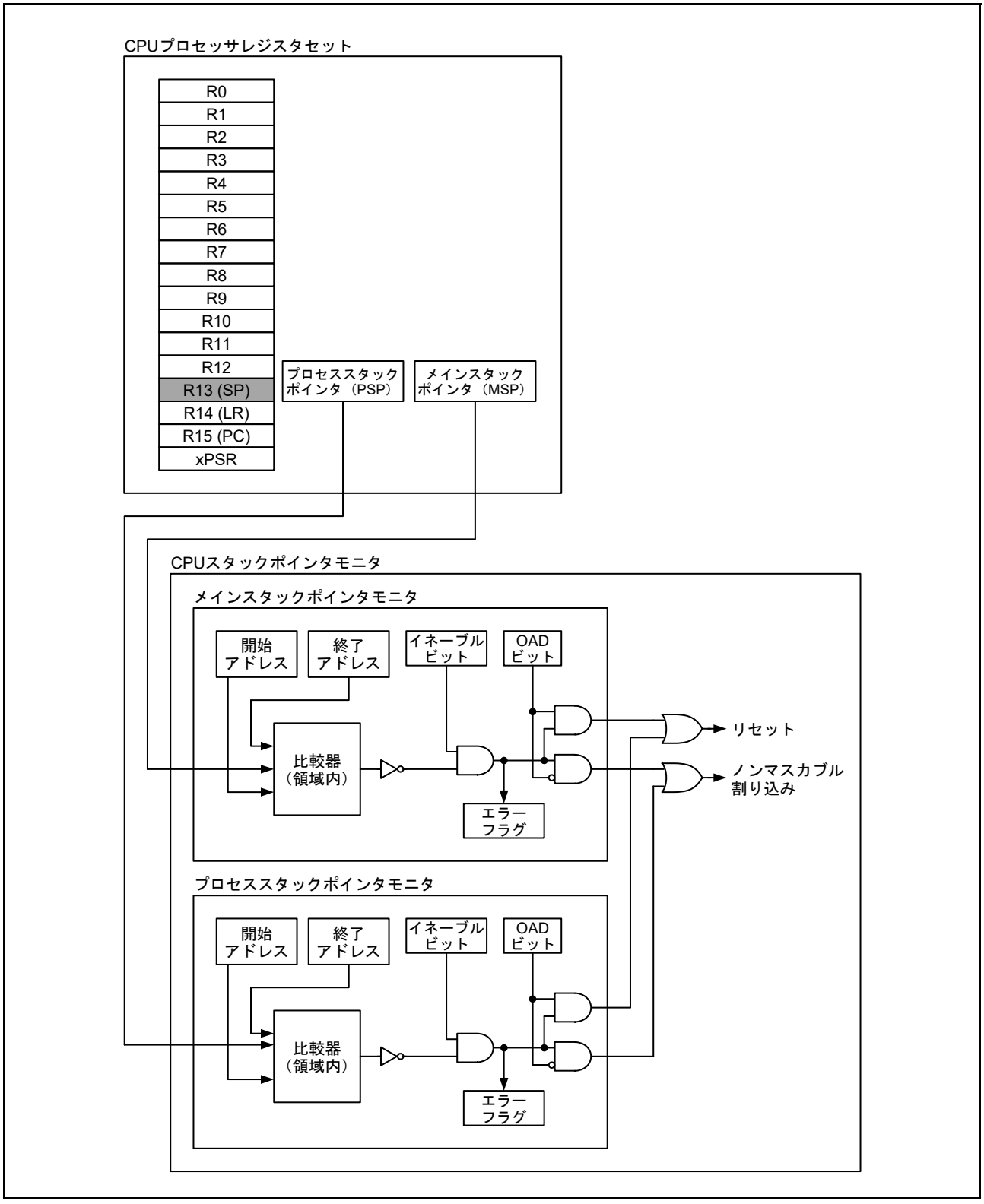


図 16.1 CPU スタックポインタモニタのブロック図

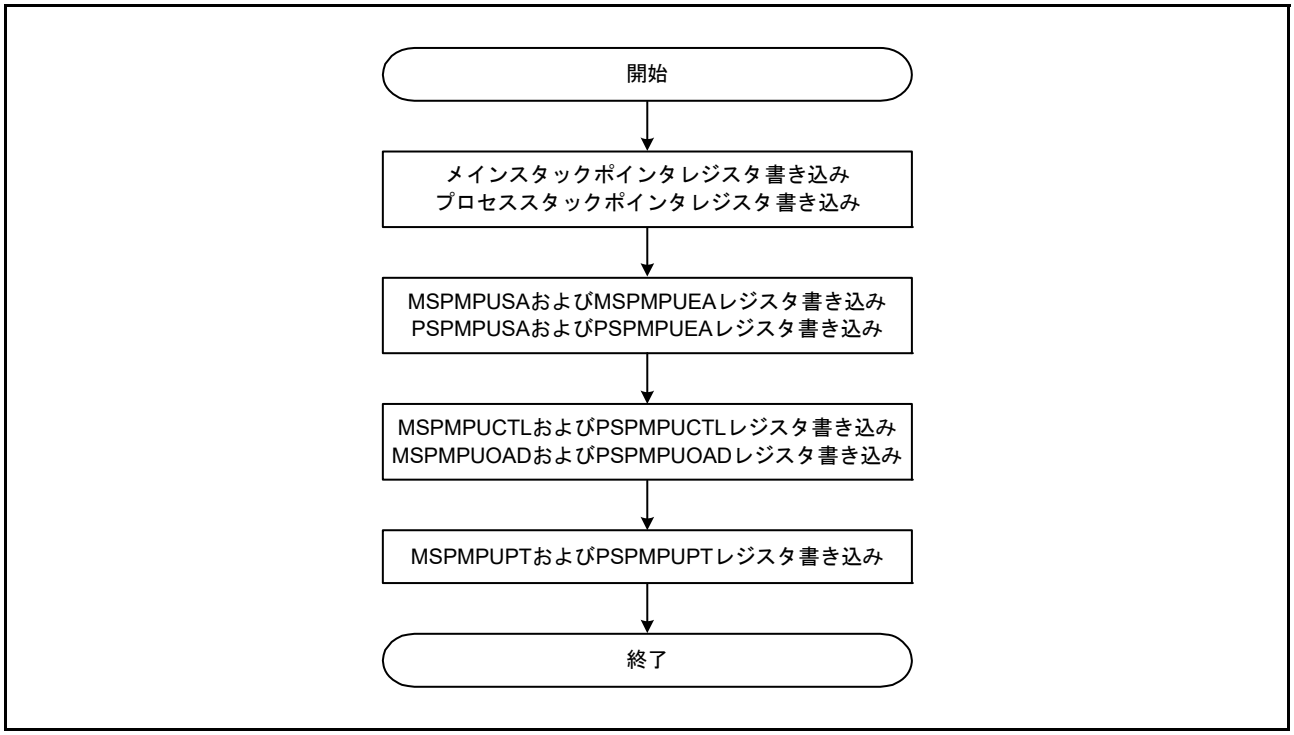


図 16.2 レジスタの設定フロー

16.2.1 レジスタの説明

注 . バスアクセスは、必ずレジスタへの書き込み前に停止する必要があります。

16.2.1.1 メインスタックポインタモニタ開始アドレスレジスタ（MSPMPUSA）

アドレス SPMON.MSPMPUSA 4000 0D08h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSPMPUSA[31:16]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSPMPUSA[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUSA[31:0]	領域開始アドレス	領域定義に使用する領域開始アドレス。下位2ビットは0にしてください。値の範囲は、予約領域を除く1FF0 0000h～200F FFFFhでなければいけません。	R/W

MSPMPUSA レジスタと MSPMPUEA レジスタでは、SRAM の CPU スタック領域（1FF0 0000h ～ 200F FFFFh のうち、予約領域を除く領域）を指定します。カバーされる SRAM 領域については、図 4.1 メモリマップを参照してください。

16.2.1.2 メインスタックポインタモニタ終了アドレスレジスタ（MSPMPUEA）

アドレス SPMON.MSPMPUEA 4000 0D0Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MSPMPUEA[31:16]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSPMPUEA[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1

x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MSPMPUEA[31:0]	領域終了アドレス	領域定義に使用する領域終了アドレス。下位2ビットは1にしてください。値の範囲は、予約領域を除く1FF0 0003h～200F FFFFhでなければいけません。	R/W

16.2.1.3 プロセススタックポインタモニタ開始アドレスレジスタ（PSPMPUSA）

アドレス SPMON.PSPMPUSA 4000 0D18h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PSPMPUSA[31:16]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSPMPUSA[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUSA[31:0]	領域開始アドレス	領域定義に使用する領域開始アドレス。下位2ビットは0にしてください。値の範囲は、予約領域を除く1FF0 0000h～200F FFFChでなければいけません。	R/W

PSPMPUSA レジスタと PSPMPUEA レジスタでは、SRAM の CPU スタック領域（1FF0 0000h ～ 200F FFFFh のうち、予約領域を除く領域）を指定します。カバーされる SRAM 領域については、図 4.1　メモリマップを参照してください。

16.2.1.4 プロセススタックポインタモニタ終了アドレスレジスタ（PSPMPUEA）

アドレス SPMON.PSPMPUEA 4000 0D1Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PSPMPUEA[31:16]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

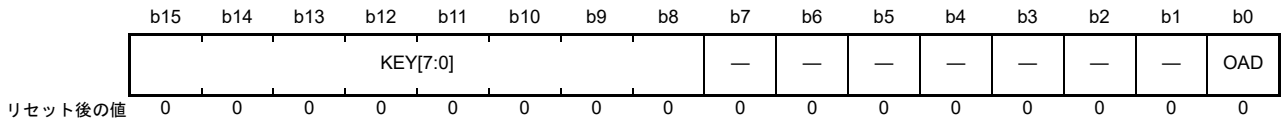
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSPMPUEA[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	PSPMPUEA[31:0]	領域終了アドレス	領域定義に使用する領域終了アドレス。下位2ビットは1にしてください。値の範囲は、予約領域を除く1FF0 0003h～200F FFFFhでなければいけません。	R/W

16.2.1.5 スタックポインタモニタ検出後動作レジスタ（MSPMPUOAD, PSPMPUOAD）

アドレス SPMON.MSPMPUOAD 4000 0D00h, SPMON.PSPMPUOAD 4000 0D10h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0：ノンマスカブル割り込み 1：リセット	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットへの書き込みを許可または禁止します。	R/(W) （注1）

注 1. 書き込みデータは保持されません。

OAD ビット（検出後の動作）

CPU スタックポインタモニタによってスタックポインタのアンダーフローまたはオーバーフローが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。メインスタックポインタモニタとプロセススタックポインタモニタは、この OAD ビットを使用して、スタックポインタのアンダーフローまたはオーバーフロー時に発生させる信号を決定します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット（キーコード）

OAD ビットへの書き込みを許可または禁止します。OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

16.2.1.6 スタックポインタモニタアクセスコントロールレジスタ（MSPMPUCTL, PSPMPUCTL）

アドレス SPMON.MSPMPUCTL 4000 0D04h, SPMON.PSPMPUCTL 4000 0D14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ERROR	—	—	—	—	—	—	—	ENABLE
リセット後の値	0	0	0	0	0	0	0	0/1（注1）	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	スタックポインタモニタ有効	0：スタックポインタモニタ無効 1：スタックポインタモニタ有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ERROR	スタックポインタモニタエラーフラグ	0：スタックポインタのアンダーフローまたはオーバーフロー発生なし 1：スタックポインタのアンダーフローまたはオーバーフロー発生あり	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 初期値はリセット発生要因によって異なります。

ENABLE ビット（スタックポインタモニタ有効）

対応するスタックポインタモニタ機能を有効または無効にします。メインスタックポインタ（MSP）モニタとプロセススタックポインタ（PSP）モニタを個別に設定できます。

- MSPMPUCTL.ENABLE ビットを 1 にした場合、MSPMPUSA、MSPMPUEA、および MSPMPUOAD が利用可能
- MSPMPUCTL.ENABLE ビットを 0 にした場合、MSPMPUSA、MSPMPUEA、および MSPMPUOAD が利用不可能
- PSPMPUCTL.ENABLE ビットを 1 にした場合、PSPMPUSA、PSPMPUEA、および PSPMPUOAD が利用可能
- PSPMPUCTL.ENABLE ビットを 0 にした場合、PSPMPUSA、PSPMPUEA、および PSPMPUOAD が利用不可能

ERROR ビット（スタックポインタモニタエラーフラグ）

スタックポインタモニタエラーの状態を示します。各スタックポインタモニタは独立した ERROR ビットを持っています。このビットには 0 のみ書けます。

［1 になる条件］

- スタックポインタがアンダーフローまたはオーバーフローしたとき

［0 になる条件］

- 本ビットへの 0 の書き込み
- バスマスタ MPU エラーリセット以外のリセット、バススレーブ MPU エラーリセット、およびスタックポインタエラーリセット

注 . ERROR ビットには 0 のみ書けます。

16.2.1.7 スタックポインタモニタ保護レジスタ（MSPMPUPT, PSPMPUPT）

アドレス SPMON.MSPMPUPT 4000 0D06h, SPMON.PSPMPUPT 4000 0D16h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0：スタックポインタモニタ関連レジスタの書き込みを許可 1：スタックポインタモニタ関連レジスタの書き込みから保護（読み出しは許可）	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECTビットへの書き込みを許可または禁止します。	R/(W)（注1）

注 1. 書き込みデータは保持されません。

PROTECT ビット（レジスタの保護）

保護するレジスタへの書き込みを許可または禁止にします。メインスタックポインタ（MSP）モニタとプロセススタックポインタ（PSP）モニタをそれぞれ個別に設定できます。

MSPMPUPT.PROTECT ビットは、下記のメインスタックポインタ関連レジスタへの書き込みアクセスを制御します。

- MSPMPUCTL
- MSPMPUSA
- MSPMPUEA

PSPMPUT.PROTECT ビットは、下記のプロセススタックポインタ関連レジスタへの書き込みアクセスを制御します。

- PSPMPUCTL
- PSPMPUSA
- PSPMPUEA

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット（キーコード）

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

16.2.2 動作説明

16.2.2.1 レジスタの保護

CPU スタックポインタモニタ関連のレジスタを保護するには、対応する PROTECT ビットを設定します。

16.2.2.2 オーバーフローエラーとアンダーフローエラー

オーバーフローまたはアンダーフローエラーが検出されると、CPU スタックポインタモニタはエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。ノンマスカブル割り込み状態は ICU.NMISR.SPEST フラグに示されます（「14. 割り込みコントローラユニット（ICU）」を参照してください）。リセット状態は SYSTEM.RSTSR1.SPERF フラグに示されます（「6. リセット」を参照してください）。

ICU.NMISR.SPEST フラグが CPU スタックポインタモニタ割り込みの発生を示した場合、MSPMPUCTL レジスタと PSPMPUCTL レジスタの ERROR ビットをチェックして、メインスタックポインタモニタとプロセススタックポインタモニタのどちらでエラーが発生したのかを判定してください。

スタックポインタがアンダーフローまたはオーバーフローすると、ノンマスカブル割り込みが連続して出力されます。エラーをクリアするには、ノンマスカブル割り込みフラグをクリアしてください。ICU.NMICLR.SPECLR ビットを 1 にすると、スタックポインタがリセットされます。MSPMPUCTL レジスタまたは PSPMPUCTL レジスタの ERROR ビットに 0 を書いてクリアしてください。

16.3 Arm MPU

Arm MPU は 8 つの領域の MPU を備えており、下記の項目を全面的にサポートしています。

- 保護領域
- 保護領域のオーバーラップ（優先順位は昇順）
  7 = 最高優先順位
  0 = 最低優先順位
- アクセス許可
- メモリ属性のシステムへのエクスポート

Arm MPU の不一致および許可違反によって、優先順位のプログラム可能な MemManage フォルト（ハード障害）ハンドラが呼び出されます。詳細は、16.6 参考資料を参照してください。

16.4 バスマスタ MPU

バスマスタ MPU は、全アドレス空間（0000 0000h ～ FFFF FFFFh）を対象にバスマスタがアクセスするアドレスを監視しています。アクセス制御は、読み出し許可と書き込み許可からなり、最大 32 の領域に対して個別に設定が可能です。バスマスタ MPU は、これらの設定に基づいて各領域へのアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はリセットまたはノンマスカブル割り込みを発生させます。エラーアクセスについての詳細は、「15. バス」の 15.3.21 および 15.3.22 を参照してください。

表 16.4 にバスマスタ MPU の仕様を、図 16.3 にブロック図を示します。図 16.4 に、バスマスタ MPU のグループ A、B、および C を図示します。

表 16.4 バスマスタ MPU の仕様

項目	内容
保護されるマスタグループ	• バスマスタ MPU グループ A: DMA バス • バスマスタ MPU グループ B: ETHER バス • バスマスタ MPU グループ C: GPX バス
保護領域	0000 0000h ～ FFFF FFFFh
領域数	• バスマスタ MPU グループ A: 32 領域 • バスマスタ MPU グループ B: 8 領域 • バスマスタ MPU グループ C: 8 領域
各領域のアドレス仕様	領域の開始および終了アドレスの設定可能
各領域のメモリプロテクションの有効／無効設定	対応する領域の設定を有効／無効
各領域のアクセス制御設定	読み出し許可と書き込み許可
エラー検出時の動作	リセットまたはノンマスカブル割り込み
レジスタの保護	レジスタに対する不正書き込みの防止が可能

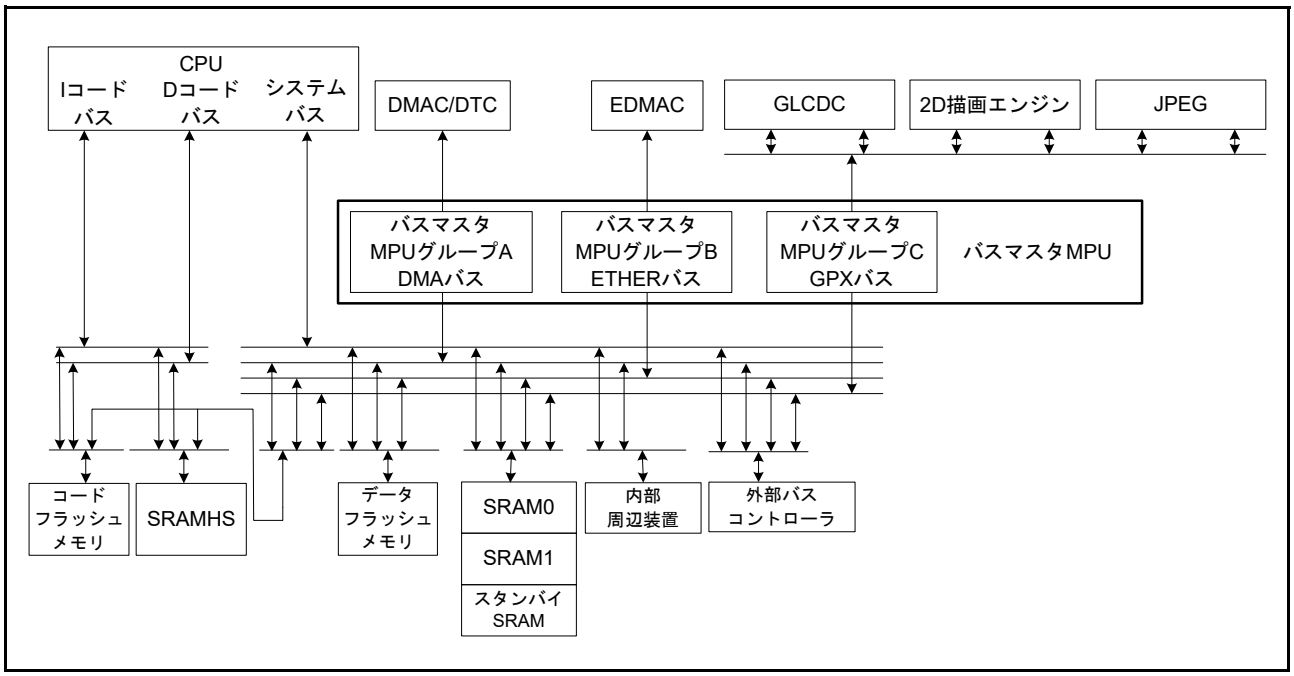


図 16.3 バスマスタ MPU のブロック図

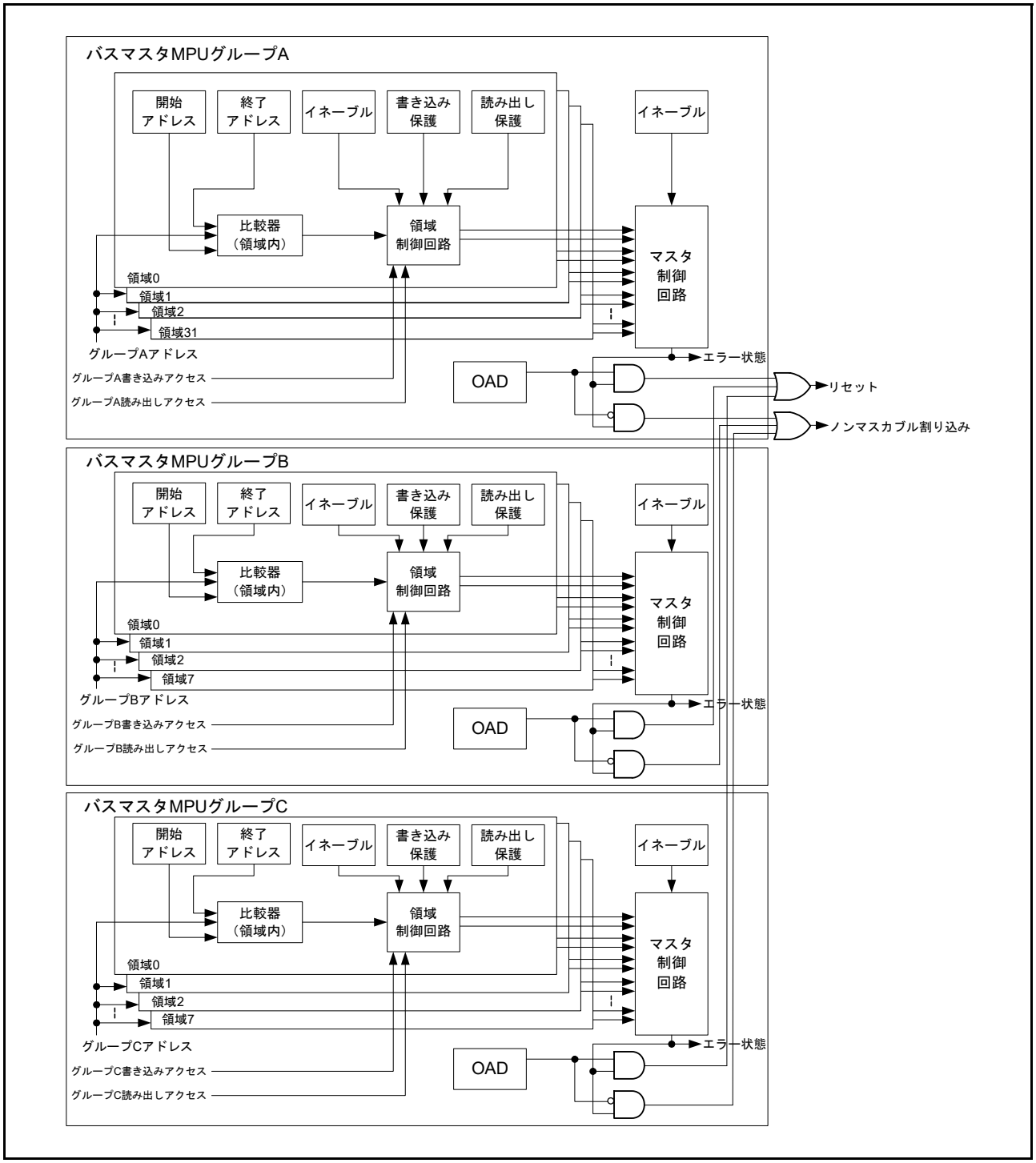


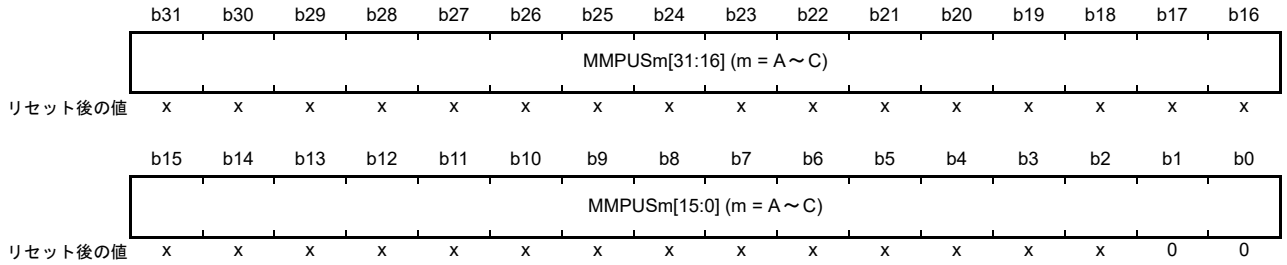
図 16.4　バスマスタ MPU のグループ A、B、および C

16.4.1 レジスタの説明

注 . これらのレジスタへ書き込む場合は、前もってバスアクセスを停止させる必要があります。

16.4.1.1 グループ m 領域 n 開始アドレスレジスタ（MMPUSmn）（m = A ～ C; n = 0 ～ 31）

アドレス MMPU.MMPUSA0 4000 0204h, MMPU.MMPUSA1 4000 0214h, MMPU.MMPUSA2 4000 0224h, MMPU.MMPUSA3 4000 0234h, MMPU.MMPUSA4 4000 0244h, MMPU.MMPUSA5 4000 0254h, MMPU.MMPUSA6 4000 0264h, MMPU.MMPUSA7 4000 0274h, MMPU.MMPUSA8 4000 0284h, MMPU.MMPUSA9 4000 0294h, MMPU.MMPUSA10 4000 02A4h, MMPU.MMPUSA11 4000 02B4h, MMPU.MMPUSA12 4000 02C4h, MMPU.MMPUSA13 4000 02D4h, MMPU.MMPUSA14 4000 02E4h, MMPU.MMPUSA15 4000 02F4h, MMPU.MMPUSA16 4000 0304h, MMPU.MMPUSA17 4000 0314h, MMPU.MMPUSA18 4000 0324h, MMPU.MMPUSA19 4000 0334h, MMPU.MMPUSA20 4000 0344h, MMPU.MMPUSA21 4000 0354h, MMPU.MMPUSA22 4000 0364h, MMPU.MMPUSA23 4000 0374h, MMPU.MMPUSA24 4000 0384h, MMPU.MMPUSA25 4000 0394h, MMPU.MMPUSA26 4000 03A4h, MMPU.MMPUSA27 4000 03B4h, MMPU.MMPUSA28 4000 03C4h, MMPU.MMPUSA29 4000 03D4h, MMPU.MMPUSA30 4000 03E4h, MMPU.MMPUSA31 4000 03F4h, MMPU.MMPUSB0 4000 0604h, MMPU.MMPUSB1 4000 0614h, MMPU.MMPUSB2 4000 0624h, MMPU.MMPUSB3 4000 0634h, MMPU.MMPUSB4 4000 0644h, MMPU.MMPUSB5 4000 0654h, MMPU.MMPUSB6 4000 0664h, MMPU.MMPUSB7 4000 0674h, MMPU.MMPUSC0 4000 0A04h, MMPU.MMPUSC1 4000 0A14h, MMPU.MMPUSC2 4000 0A24h, MMPU.MMPUSC3 4000 0A34h, MMPU.MMPUSC4 4000 0A44h, MMPU.MMPUSC5 4000 0A54h, MMPU.MMPUSC6 4000 0A64h, MMPU.MMPUSC7 4000 0A74h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUSm[31:0] (m = A～C)	領域開始アドレス	領域定義に使用する領域開始アドレス。下位2ビットは0にしてください。	R/W

16.4.1.2 グループ m 領域 n 終了アドレスレジスタ（MMPUEmn）（m = A ～ C; n = 0 ～ 31）

アドレス MMPU.MMPUEA0 4000 0208h, MMPU.MMPUEA1 4000 0218h, MMPU.MMPUEA2 4000 0228h, MMPU.MMPUEA3 4000 0238h, MMPU.MMPUEA4 4000 0248h, MMPU.MMPUEA5 4000 0258h, MMPU.MMPUEA6 4000 0268h, MMPU.MMPUEA7 4000 0278h, MMPU.MMPUEA8 4000 0288h, MMPU.MMPUEA9 4000 0298h, MMPU.MMPUEA10 4000 02A8h, MMPU.MMPUEA11 4000 02B8h, MMPU.MMPUEA12 4000 02C8h, MMPU.MMPUEA13 4000 02D8h, MMPU.MMPUEA14 4000 02E8h, MMPU.MMPUEA15 4000 02F8h, MMPU.MMPUEA16 4000 0308h, MMPU.MMPUEA17 4000 0318h, MMPU.MMPUEA18 4000 0328h, MMPU.MMPUEA19 4000 0338h, MMPU.MMPUEA20 4000 0348h, MMPU.MMPUEA21 4000 0358h, MMPU.MMPUEA22 4000 0368h, MMPU.MMPUEA23 4000 0378h, MMPU.MMPUEA24 4000 0388h, MMPU.MMPUEA25 4000 0398h, MMPU.MMPUEA26 4000 03A8h, MMPU.MMPUEA27 4000 03B8h, MMPU.MMPUEA28 4000 03C8h, MMPU.MMPUEA29 4000 03D8h, MMPU.MMPUEA30 4000 03E8h, MMPU.MMPUEA31 4000 03F8h, MMPU.MMPUEB0 4000 0608h, MMPU.MMPUEB1 4000 0618h, MMPU.MMPUEB2 4000 0628h, MMPU.MMPUEB3 4000 0638h, MMPU.MMPUEB4 4000 0648h, MMPU.MMPUEB5 4000 0658h, MMPU.MMPUEB6 4000 0668h, MMPU.MMPUEB7 4000 0678h, MMPU.MMPUEC0 4000 0A08h, MMPU.MMPUEC1 4000 0A18h, MMPU.MMPUEC2 4000 0A28h, MMPU.MMPUEC3 4000 0A38h, MMPU.MMPUEC4 4000 0A48h, MMPU.MMPUEC5 4000 0A58h, MMPU.MMPUEC6 4000 0A68h, MMPU.MMPUEC7 4000 0A78h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MMPUEm[31:16] (m = A～C)															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MMPUEm[15:0] (m = A～C)															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MMPUEm[31:0] (m = A～C)	領域終了アドレス	領域定義に使用する領域終了アドレス。下位2ビットは1にしてください。	R/W

16.4.1.3 グループ m 領域 n アクセスコントロールレジスタ（MMPUACmn）（m = A ～ C; n = 0 ～ 31）

アドレス MMPU.MMPUACA0 4000 0200h, MMPU.MMPUACA1 4000 0210h, MMPU.MMPUACA2 4000 0220h, MMPU.MMPUACA3 4000 0230h, MMPU.MMPUACA4 4000 0240h, MMPU.MMPUACA5 4000 0250h, MMPU.MMPUACA6 4000 0260h, MMPU.MMPUACA7 4000 0270h, MMPU.MMPUACA8 4000 0280h, MMPU.MMPUACA9 4000 0290h, MMPU.MMPUACA10 4000 02A0h, MMPU.MMPUACA11 4000 02B0h, MMPU.MMPUACA12 4000 02C0h, MMPU.MMPUACA13 4000 02D0h, MMPU.MMPUACA14 4000 02E0h, MMPU.MMPUACA15 4000 02F0h, MMPU.MMPUACA16 4000 0300h, MMPU.MMPUACA17 4000 0310h, MMPU.MMPUACA18 4000 0320h, MMPU.MMPUACA19 4000 0330h, MMPU.MMPUACA20 4000 0340h, MMPU.MMPUACA21 4000 0350h, MMPU.MMPUACA22 4000 0360h, MMPU.MMPUACA23 4000 0370h, MMPU.MMPUACA24 4000 0380h, MMPU.MMPUACA25 4000 0390h, MMPU.MMPUACA26 4000 03A0h, MMPU.MMPUACA27 4000 03B0h, MMPU.MMPUACA28 4000 03C0h, MMPU.MMPUACA29 4000 03D0h, MMPU.MMPUACA30 4000 03E0h, MMPU.MMPUACA31 4000 03F0h, MMPU.MMPUACB0 4000 0600h, MMPU.MMPUACB1 4000 0610h, MMPU.MMPUACB2 4000 0620h, MMPU.MMPUACB3 4000 0630h, MMPU.MMPUACB4 4000 0640h, MMPU.MMPUACB5 4000 0650h, MMPU.MMPUACB6 4000 0660h, MMPU.MMPUACB7 4000 0670h, MMPU.MMPUACC0 4000 0A00h, MMPU.MMPUACC1 4000 0A10h, MMPU.MMPUACC2 4000 0A20h, MMPU.MMPUACC3 4000 0A30h, MMPU.MMPUACC4 4000 0A40h, MMPU.MMPUACC5 4000 0A50h, MMPU.MMPUACC6 4000 0A60h, MMPU.MMPUACC7 4000 0A70h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	WP	RP	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	領域有効	0：グループm領域nユニットは無効 1：グループm領域nユニットは有効	R/W
b1	RP	読み出し保護	0：リードアクセスを許可 1：リードアクセスを保護	R/W
b2	WP	書き込み保護	0：ライトアクセスを許可 1：ライトアクセスを保護	R/W
b15-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

グループ m 領域 n ユニットごとに、ENABLE ビット、RP ビット、WP ビットは個別に設定が可能です。

ENABLE ビット（領域有効）

グループ m 領域 n ユニットを有効または無効にします。ENABLE ビットを 1 にした場合、RP ビットと WP ビットによって、MMPUSmn レジスタと MMPUEmn レジスタで設定された領域へのアクセスを許可または保護することが可能です。ENABLE ビットを 0 にした場合、グループ m 領域 n のアクセスに対して領域は指定されません。

RP ビット（読み出し保護）

グループ m 領域 n の読み出し保護を有効または無効にします。ENABLE ビットを 1 にした場合に RP ビットを使用できます。

WP ビット（書き込み保護）

グループ m 領域 n の書き込み保護を有効または無効にします。ENABLE ビットを 1 にした場合に WP ビットを使用できます。

表 16.5 領域制御回路の機能

MMPUACmn.ENABLE	MMPUACmn.RP	MMPUACmn.WP	アクセス	領域	グループm領域nユニットの出力
0	—	—	リード	—	領域外
			ライト	—	領域外
1	0	0	リード	内部	許可領域
				外部	領域外
			ライト	内部	許可領域
				外部	領域外
	0	1	リード	内部	許可領域
				外部	領域外
			ライト	内部	保護領域
				外部	領域外
	1	0	リード	内部	保護領域
				外部	領域外
			ライト	内部	許可領域
				外部	領域外
	1	1	リード	内部	保護領域
				外部	領域外
			ライト	内部	保護領域
				外部	領域外

注 . m = A ～ C
m = A の場合、n = 0 ～ 31
m = B または C の場合、n = 0 ～ 7

表 16.6 マスタ制御回路の機能

MMPUCTLm.ENABLE	グループm領域0ユニットの出力	グループm領域1ユニットの出力	グループA領域2～31ユニットの出力、グループBまたはC領域2～7ユニットの出力	グループmの機能
1	保護領域	Don’t care	Don’t care	エラー発生
1	Don’t care	保護領域	Don’t care	エラー発生
1	Don’t care	Don’t care	保護領域	エラー発生
1	領域外	領域外	領域外	エラー発生
その他の場合				エラーなし

注 . m = A ～ C

マスタ MPU エラーは下記の条件で発生します。

- MMPUCTLm.ENABLE = 1 で、かつ 1 つ以上の領域 n ユニットの出力が保護領域の場合
- MMPUCTLm.ENABLE = 1 で、かつすべての領域 n ユニットの出力が領域外の場合

その他の場合は許可領域として処理される。

16.4.1.4 バスマスタ MPU コントロールレジスタ（MMPUCTLm）（m = A ～ C）

アドレス MMPU.MMPUCTLA 4000 0000h, MMPU.MMPUCTLB 4000 0400h, MMPU.MMPUCTLC 4000 0800h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	OAD	ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENABLE	マスタグループ有効	0：マスタグループmは無効 1：マスタグループmは有効	R/W
b1	OAD	検出後の動作	0：ノンマスカブル割り込み 1：リセット	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとENABLEビットへの書き込みを許可または禁止します。	R/(W) （注1）

注 1. 書き込みデータは保持されません。

ENABLE ビット（マスタグループ有効）

マスタグループごとに、バスマスタ MPU 機能を有効または無効にします。このビットを 1 にすると、MMPUACmn レジスタが使用可能になります。このビットを 0 にすると、すべての領域の許可領域を含めて、MMPUACmn レジスタが使用できなくなります。各マスタグループのバスマスタ MPU 機能は、ENABLE ビットを個別に使用します。ENABLE ビットを設定する際は、同時に KEY[7:0] ビットに A5h を書き込んでください。

OAD ビット（検出後の動作）

バスマスタ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。各マスタグループのバスマスタ MPU 機能は、それぞれの OAD ビットを個別に使用します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット（キーコード）

ENABLE ビットと OAD ビットへの書き込みを許可または禁止します。ENABLE ビットと OAD ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、ENABLE ビットと OAD ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

16.4.1.5 グループ m レジスタ保護（MMPUPTm）（m = A ～ C）

アドレス MMPU.MMPUPTA 4000 0102h, MMPU.MMPUPTB 4000 0502h, MMPU.MMPUPTC 4000 0902h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	KEY[7:0]								—	—	—	—	—	—	—	PROTECT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PROTECT	レジスタの保護	0：全バスマスタ MPU グループ m レジスタの書き込みを許可 1：全バスマスタ MPU グループ m レジスタの書き込みを保護（読み出しは可能）	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15-b8	KEY[7:0]	キーコード	PROTECT ビットへの書き込みを許可または禁止します。	R/(W)（注 1）

注 1. 書き込みデータは保持されません。

PROTECT ビット（レジスタの保護）

保護するレジスタへの書き込みを許可または禁止します。MMPUTm.PROTECT ビットは、下記のバスマスタ MPU グループ m 関連レジスタへの書き込み保護を制御します。

- MMPUSmn
- MMPUEmn
- MMPUACmn
- MMPUCTLm

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット（キーコード）

PROTECT ビットへの書き込みを許可または禁止します。PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

16.4.2 動作説明

16.4.2.1 メモリプロテクション

バスマスタ MPU は、アクセス制御領域に対して個別に設定された制御情報を用いてメモリアクセスを監視します。保護領域に対するアクセスが検出されると、バスマスタ MPU はメモリプロテクションエラーを発生させます。

バスマスタ MPU は、最大 32 の保護領域に対して設定することができます。保護領域には、許可領域と保護領域のオーバーラップした領域と、2 つの許可領域のオーバーラップした領域が含まれます。

バスマスタ MPU には 3 つのグループ A、B、C があります。メモリプロテクション機能は、統合したマスタグループに対してバスのアドレスをチェックするため、マスタグループによる全アクセスが保護されます。バスマスタ MPU は、リセット後、すべての領域を許可に設定します。MMPUCTLm.ENABLE ビットを 1 にすることで、すべての領域が保護されます。領域ごとに、許可領域が保護領域の内部に設定されます。保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。

図 16.5 に、バスマスタ MPU の使用例を示します。

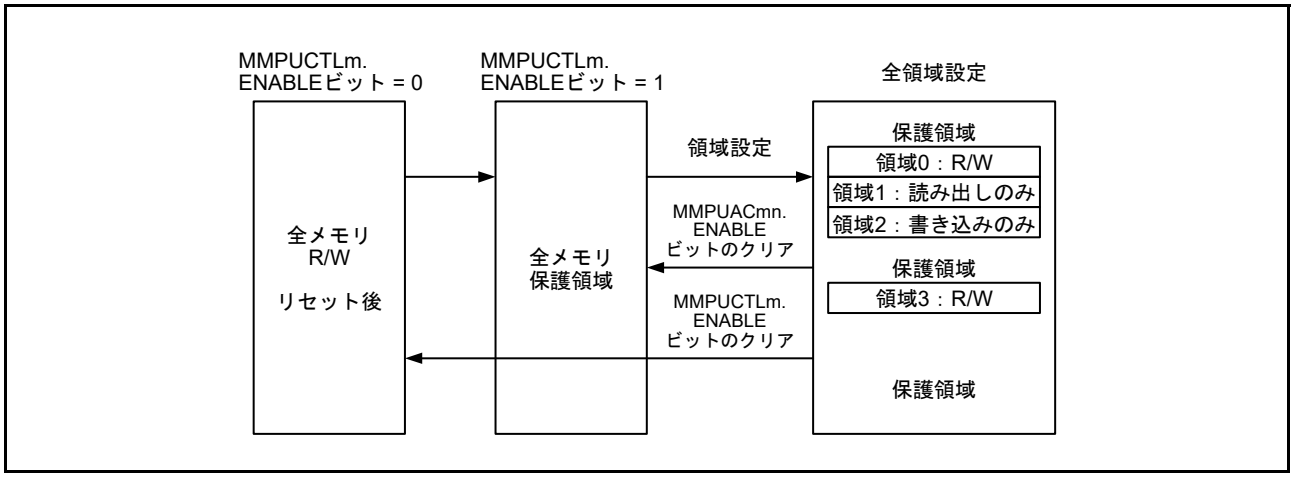


図 16.5　バスマスタ MPU の使用例

図 16.6 に、バスマスタ MPU のオーバーラップ領域に対するアクセスの許可または保護について示します。オーバーラップ領域に対するアクセス制御は以下の通りです。

- 1 つ以上の領域ユニットの出力が保護領域の場合、領域は保護領域として処理される
- すべての領域ユニットの出力が領域外の場合、領域は保護領域として処理される
- その他の場合は許可領域として処理される

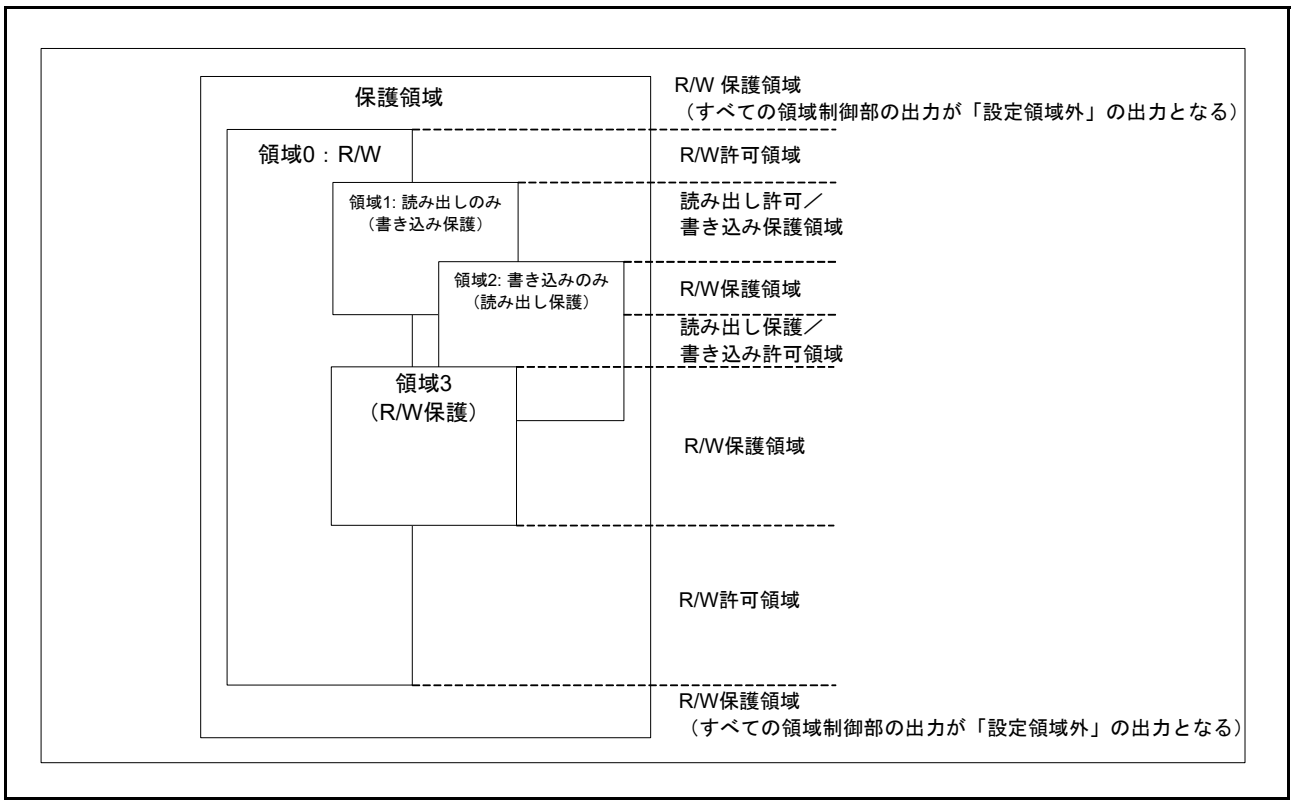


図 16.6　バスマスタ MPU 領域のオーバーラップによるアクセスの許可または保護

図 16.7 に、リセット後のレジスタ設定フローを示します。このレジスタ設定中は、CPU を除く全マスタを停止してください。

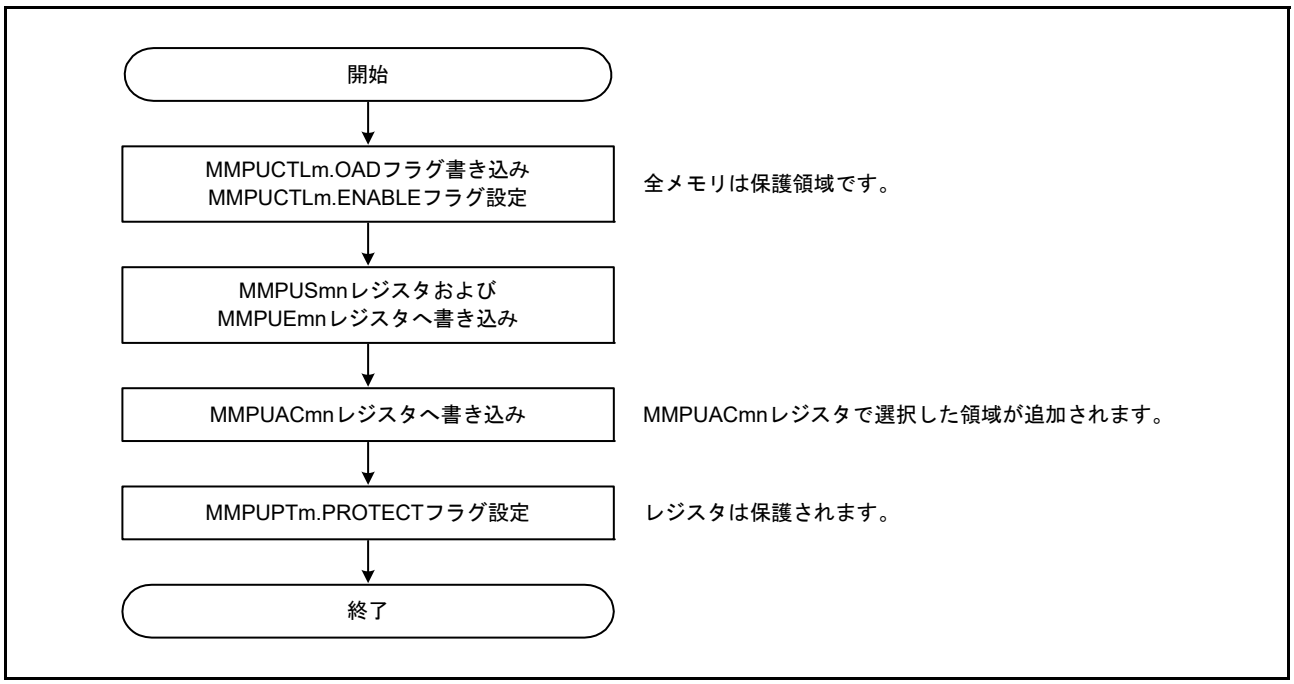


図 16.7 リセット後のレジスタ設定フロー

図 16.8 に、領域を追加するためのレジスタ設定フローを示します。このレジスタ設定中は、CPU を除く全マスタを停止してください。

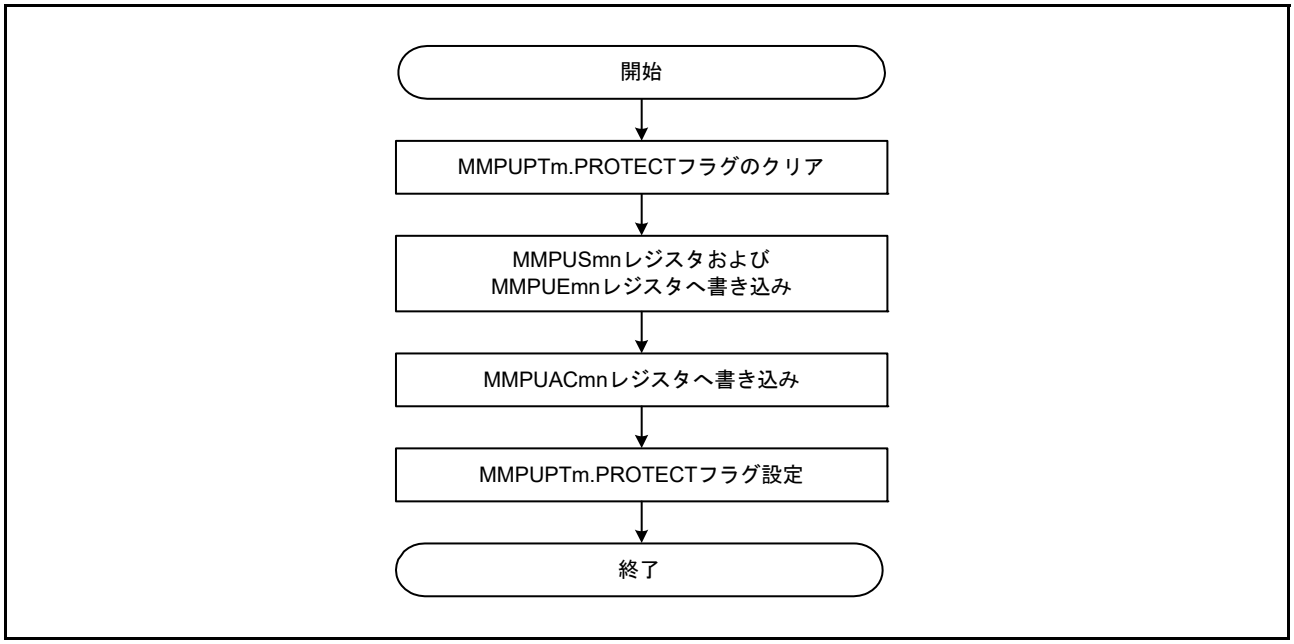


図 16.8 領域追加のレジスタ設定フロー

16.4.2.2 レジスタの保護

バスマスタ MPU 関連のレジスタを保護するには、MMPUPTm レジスタの PROTECT ビットを設定します。

16.4.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バスマスタ MPU はエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。ノンマスカブル割り込みまたはリセットは、バスマスタ MPU のグループ A、B、C で共有されます。ノンマスカブル割り込み状態は ICU.NMISR.BUSMST フラグに示されます（「14. 割り込みコントローラユニット（ICU）」を参照してください）。リセット状態は SYSTEM.RSTSR1.BUSMRF フラグに示されます（「6. リセット」を参照してください）。

16.5 バススレーブ MPU

バススレーブ MPU は、フラッシュや SRAM などのバススレーブ機能に対するアクセスを監視します。この機能は、4 つのバスマスタ（CPU、バスマスタ MPU グループ A、B、C）からアクセスできます。バススレーブ MPU は、これら 4 つのバスマスタごとに独立したプロテクトレジスタを備えており、それぞれ個別に読み出し許可と書き込み許可からなるアクセス保護が可能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はリセットまたはノンマスカブル割り込みを発生させ、バスエラーアドレス、バスエラー状態、およびエラーアクセス状態を記録します。詳細は「15. バス」の 15.3.21 および 15.3.22 を参照してください。

表 16.7 にバススレーブ MPU の仕様を、図 16.9 にブロック図を示します。

表 16.7 バススレーブMPUの仕様

項目	内容
保護されるバスマスタ	• バスマスタ MPU グループA: DMA バス • バスマスタ MPU グループB: ETHER バス • バスマスタ MPU グループC: GPX バス
保護されるスレーブ機能	• メモリバス 3：コードフラッシュメモリ、SRAMHS • 内部周辺バス 9：フラッシュメモリ（P/E 時）、データフラッシュメモリおよびTSN • メモリバス 4：SRAM0 • メモリバス 5：SRAM1、スタンバイ SRAM • 内部周辺バス 1：DTC、DMAC、割り込みコントローラ、フラッシュレジスタ、MPU、CSC、SDRAMC、SRAM レジスタ、システムコントローラ、バスコントローラ • 内部周辺バス 3、4、5：その他の周辺モジュール • 内部周辺バス 7：セキュア IPs（SCE7） • 内部周辺バス 8：グラフィック IPs（JPEG/GLCDC/2D 描画エンジン） • EXBIU：外部メモリインタフェース（SDRAM, CSC） • EXBIU2：外部デバイスインタフェース（QSPI）
各領域のアクセス制御設定	読み出し許可と書き込み許可
エラー検出時の動作	リセット、ノンマスカブル割り込み、または例外
レジスタの保護	レジスタに対する不正書き込みの防止が可能

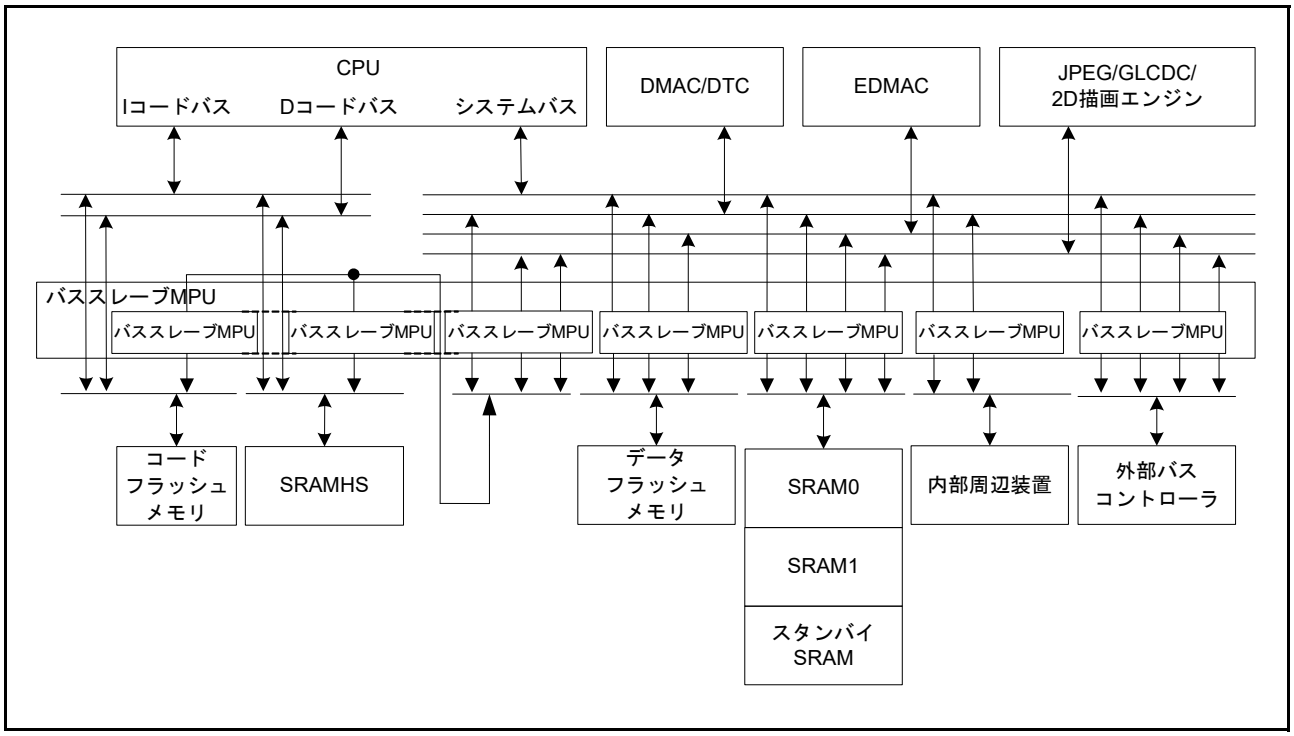


図 16.9 バススレーブ MPU のブロック図

16.5.1 レジスタの説明

注 . バスアクセスは、必ずレジスタへの書き込み前に停止する必要があります。

16.5.1.1 メモリバス 3 アクセスコントロールレジスタ（SMPUMBIU）

アドレス SMPU.SMPUMBIU 4000 0C10h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WPSRAMHS	RPSRAMHS	WPFLI	RPFLI	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	—	—
リセット後の値	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	0：マスタグループB読み出しのメモリプロテクションは無効 1：マスタグループB読み出しのメモリプロテクションは有効	R/W
b5	WPGRPB	マスタグループB書き込み保護	0：マスタグループB書き込みのメモリプロテクションは無効 1：マスタグループB書き込みのメモリプロテクションは有効	R/W
b6	RPGRPC	マスタグループC読み出し保護	0：マスタグループC読み出しのメモリプロテクションは無効 1：マスタグループC読み出しのメモリプロテクションは有効	R/W
b7	WPGRPC	マスタグループC書き込み保護	0：マスタグループC書き込みのメモリプロテクションは無効 1：マスタグループC書き込みのメモリプロテクションは有効	R/W
b11-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	RPFLI	コードフラッシュメモリ読み出し保護	0：マスタグループA、B、Cからのコードフラッシュメモリ読み出しのメモリプロテクションは無効 1：マスタグループA、B、Cからのコードフラッシュメモリ読み出しのメモリプロテクションは有効	R/W
b13	WPFLI	コードフラッシュメモリ書き込み保護	1：マスタグループA、B、Cからのコードフラッシュメモリ書き込みのメモリプロテクションは有効 読むと1が読めます。書く場合、1としてください。	R/W
b14	RPSRAMHS	SRAMHS読み出し保護	0：マスタグループA、B、CからのSRAMHS読み出しのメモリプロテクションは無効 1：マスタグループA、B、CからのSRAMHS読み出しのメモリプロテクションは有効	R/W
b15	WPSRAMHS	SRAMHS書き込み保護	0：マスタグループA、B、CからのSRAMHS書き込みのメモリプロテクションは無効 1：マスタグループA、B、CからのSRAMHS書き込みのメモリプロテクションは有効	R/W

SMPUMBIU レジスタは、マスタグループ A、B、または C からコードフラッシュメモリと SRAMHS へのアクセスに対して、指定したマスタおよびスレーブのメモリプロテクションを有効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

メモリバス 3 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

メモリバス 3 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

メモリバス 3 でのマスタグループ B による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPB ビット（マスタグループ B 書き込み保護）

メモリバス 3 でのマスタグループ B による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPC ビット（マスタグループ C 読み出し保護）

メモリバス 3 でのマスタグループ C による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPC ビット（マスタグループ C 書き込み保護）

メモリバス 3 でのマスタグループ C による書き込みに対してメモリプロテクションを有効または無効にします。

RPFLI ビット（コードフラッシュメモリ読み出し保護）

コードフラッシュメモリでのマスタグループ A、B、または C による読み出しに対してメモリプロテクションを有効または無効にします。

WPFLI ビット（コードフラッシュメモリ書き込み保護）

コードフラッシュメモリでのマスタグループ A、B、または C による書き込みに対してメモリプロテクションを有効にします。

RPSRAMHS ビット（SRAMHS 読み出し保護）

SRAMHS でのマスタグループ A、B、または C による読み出しに対してメモリプロテクションを有効または無効にします。

WPSRAMHS ビット（SRAMHS 書き込み保護）

SRAMHS でのマスタグループ A、B、または C による書き込みに対してメモリプロテクションを有効または無効にします。

16.5.1.2 内部周辺バス 9 アクセスコントロールレジスタ（SMPUFBIU）

アドレス SMPU.SMPUFBIU 4000 0C14h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	0：マスタグループB読み出しのメモリプロテクションは無効 1：マスタグループB読み出しのメモリプロテクションは有効	R/W
b5	WPGRPB	マスタグループB書き込み保護	0：マスタグループB書き込みのメモリプロテクションは無効 1：マスタグループB書き込みのメモリプロテクションは有効	R/W
b6	RPGRPC	マスタグループC読み出し保護	1：マスタグループC読み出しのメモリプロテクションは有効 読むと1が読めます。書く場合、1としてください。	R/W
b7	WPGRPC	マスタグループC書き込み保護	1：マスタグループC書き込みのメモリプロテクションは有効 読むと1が読めます。書く場合、1としてください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

内部周辺バス 9 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

内部周辺バス 9 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

内部周辺バス 9 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

内部周辺バス 9 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

内部周辺バス 9 でのマスタグループ B による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPB ビット（マスタグループ B 書き込み保護）

内部周辺バス 9 でのマスタグループ B による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPC ビット（マスタグループ C 読み出し保護）

内部周辺バス 9 でのマスタグループ C による読み出しに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 9 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPC ビット（マスタグループ C 書き込み保護）

内部周辺バス 9 でのマスタグループ C による書き込みに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 9 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

16.5.1.3 メモリバス 4 アクセスコントロールレジスタ（SMPUSRAM0）

アドレス SMPU.SMPUSRAM0 4000 0C18h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	0：マスタグループB読み出しのメモリプロテクションは無効 1：マスタグループB読み出しのメモリプロテクションは有効	R/W
b5	WPGRPB	マスタグループB書き込み保護	0：マスタグループB書き込みのメモリプロテクションは無効 1：マスタグループB書き込みのメモリプロテクションは有効	R/W
b6	RPGRPC	マスタグループC読み出し保護	0：マスタグループC読み出しのメモリプロテクションは無効 1：マスタグループC読み出しのメモリプロテクションは有効	R/W
b7	WPGRPC	マスタグループC書き込み保護	0：マスタグループC書き込みのメモリプロテクションは無効 1：マスタグループC書き込みのメモリプロテクションは有効	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

メモリバス 4 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

メモリバス 4 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

メモリバス 4 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

メモリバス 4 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

メモリバス 4 でのマスタグループ B による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPB ビット（マスタグループ B 書き込み保護）

メモリバス 4 でのマスタグループ B による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPC ビット（マスタグループ C 読み出し保護）

メモリバス 4 でのマスタグループ C による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPC ビット（マスタグループ C 書き込み保護）

メモリバス 4 でのマスタグループ C による書き込みに対してメモリプロテクションを有効または無効にします。

16.5.1.4 メモリバス 5 アクセスコントロールレジスタ（SMPUSRAM1）

アドレス SMPU.SMPUSRAM1 4000 0C1Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	0：マスタグループB読み出しのメモリプロテクションは無効 1：マスタグループB読み出しのメモリプロテクションは有効	R/W
b5	WPGRPB	マスタグループB書き込み保護	0：マスタグループB書き込みのメモリプロテクションは無効 1：マスタグループB書き込みのメモリプロテクションは有効	R/W
b6	RPGRPC	マスタグループC読み出し保護	0：マスタグループC読み出しのメモリプロテクションは無効 1：マスタグループC読み出しのメモリプロテクションは有効	R/W
b7	WPGRPC	マスタグループC書き込み保護	0：マスタグループC書き込みのメモリプロテクションは無効 1：マスタグループC書き込みのメモリプロテクションは有効	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

メモリバス 5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

メモリバス 5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

メモリバス 5 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

メモリバス 5 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

メモリバス 5 でのマスタグループ B による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPB ビット（マスタグループ B 書き込み保護）

メモリバス 5 でのマスタグループ B による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPC ビット（マスタグループ C 読み出し保護）

メモリバス 5 でのマスタグループ C による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPC ビット（マスタグループ C 書き込み保護）

メモリバス 5 でのマスタグループ C による書き込みに対してメモリプロテクションを有効または無効にします。

16.5.1.5 内部周辺バス 1 アクセスコントロールレジスタ（SMPUP0BIU）

アドレス SMPU.SMPUP0BIU 4000 0C20h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	1：マスタグループB読み出しのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b5	WPGRPB	マスタグループB書き込み保護	1：マスタグループB書き込みのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b6	RPGRPC	マスタグループC読み出し保護	1：マスタグループC読み出しのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b7	WPGRPC	マスタグループC書き込み保護	1：マスタグループC書き込みのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

内部周辺バス 1 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

内部周辺バス 1 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

内部周辺バス 1 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

内部周辺バス 1 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

内部周辺バス 1 でのマスタグループ B による読み出しに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 1 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPB ビット（マスタグループ B 書き込み保護）

内部周辺バス 1 でのマスタグループ B による書き込みに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 1 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

RPGRPC ビット（マスタグループ C 読み出し保護）

内部周辺バス 1 でのマスタグループ C による読み出しに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 1 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPC ビット（マスタグループ C 書き込み保護）

内部周辺バス 1 でのマスタグループ C による書き込みに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 1 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

16.5.1.6 内部周辺バス 3 アクセスコントロールレジスタ（SMPUP2BIU）

アドレス SMPU.SMPUP2BIU 4000 0C24h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	1：マスタグループB読み出しのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b5	WPGRPB	マスタグループB書き込み保護	1：マスタグループB書き込みのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b6	RPGRPC	マスタグループC読み出し保護	1：マスタグループC読み出しのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b7	WPGRPC	マスタグループC書き込み保護	1：マスタグループC書き込みのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

内部周辺バス 3、4、5 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

内部周辺バス 3、4、5 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

内部周辺バス 3、4、5 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

内部周辺バス 3、4、5 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

内部周辺バス 3、4、5 でのマスタグループ B による読み出しに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 3、4、5 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPB ビット（マスタグループ B 書き込み保護）

内部周辺バス 3、4、5 でのマスタグループ B による書き込みに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 3、4、5 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

RPGRPC ビット（マスタグループ C 読み出し保護）

内部周辺バス 3、4、5 でのマスタグループ C による読み出しに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 3、4、5 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPC ビット（マスタグループ C 書き込み保護）

内部周辺バス 3、4、5 でのマスタグループ C による書き込みに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 3、4、5 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

16.5.1.7 内部周辺バス 7 アクセスコントロールレジスタ（SMPUP6BIU）

アドレス SMPU.SMPUP6BIU 4000 0C28h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	1：マスタグループB読み出しのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b5	WPGRPB	マスタグループB書き込み保護	1：マスタグループB書き込みのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b6	RPGRPC	マスタグループC読み出し保護	1：マスタグループC読み出しのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b7	WPGRPC	マスタグループC書き込み保護	1：マスタグループC書き込みのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

内部周辺バス 7 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

内部周辺バス 7 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

内部周辺バス 7 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

内部周辺バス 7 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

内部周辺バス 7 でのマスタグループ B による読み出しに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 7 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPB ビット（マスタグループ B 書き込み保護）

内部周辺バス 7 でのマスタグループ B による書き込みに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 7 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

RPGRPC ビット（マスタグループ C 読み出し保護）

内部周辺バス 7 でのマスタグループ C による読み出しに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 7 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPC ビット（マスタグループ C 書き込み保護）

内部周辺バス 7 でのマスタグループ C による書き込みに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 7 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

16.5.1.8 内部周辺バス 8 アクセスコントロールレジスタ（SMPUP7BIU）

アドレス SMPU.SMPUP7BIU 4000 0C2Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	1：マスタグループB読み出しのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b5	WPGRPB	マスタグループB書き込み保護	1：マスタグループB書き込みのメモリプロテクションは有効 マスタグループBは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b6	RPGRPC	マスタグループC読み出し保護	1：マスタグループC読み出しのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b7	WPGRPC	マスタグループC書き込み保護	1：マスタグループC書き込みのメモリプロテクションは有効 マスタグループCは保護され、検出されません。 読むと1が読めます。書く場合、1としてください。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

内部周辺バス 8 での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

内部周辺バス 8 での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

内部周辺バス 8 でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

内部周辺バス 8 でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

内部周辺バス 8 でのマスタグループ B による読み出しに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 8 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPB ビット（マスタグループ B 書き込み保護）

内部周辺バス 8 でのマスタグループ B による書き込みに対してメモリプロテクションを有効にします。マスタグループ B と内部周辺バス 8 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

RPGRPC ビット（マスタグループ C 読み出し保護）

内部周辺バス 8 でのマスタグループ C による読み出しに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 8 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

WPGRPC ビット（マスタグループ C 書き込み保護）

内部周辺バス 8 でのマスタグループ C による書き込みに対してメモリプロテクションを有効にします。マスタグループ C と内部周辺バス 8 は接続されていません。読むと 1 が読めます。書く場合、1 としてください。

16.5.1.9 CS/SDRAM 領域アクセスコントロールレジスタ（SMPUEXBIU）

アドレス SMPU.SMPUEXBIU 4000 0C30h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	0：マスタグループB読み出しのメモリプロテクションは無効 1：マスタグループB読み出しのメモリプロテクションは有効	R/W
b5	WPGRPB	マスタグループB書き込み保護	0：マスタグループB書き込みのメモリプロテクションは無効 1：マスタグループB書き込みのメモリプロテクションは有効	R/W
b6	RPGRPC	マスタグループC読み出し保護	0：マスタグループC読み出しのメモリプロテクションは無効 1：マスタグループC読み出しのメモリプロテクションは有効	R/W
b7	WPGRPC	マスタグループC書き込み保護	0：マスタグループC書き込みのメモリプロテクションは無効 1：マスタグループC書き込みのメモリプロテクションは有効	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

CS 領域と SDRAM 領域での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

CS 領域と SDRAM 領域での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

CS 領域と SDRAM 領域でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

CS 領域と SDRAM 領域でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

CS 領域と SDRAM 領域でのマスタグループ B による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPB ビット（マスタグループ B 書き込み保護）

CS 領域と SDRAM 領域でのマスタグループ B による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPC ビット（マスタグループ C 読み出し保護）

CS 領域と SDRAM 領域でのマスタグループ C による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPC ビット（マスタグループ C 書き込み保護）

CS 領域と SDRAM 領域でのマスタグループ C による書き込みに対してメモリプロテクションを有効または無効にします。

16.5.1.10 QSPI 領域アクセスコントロールレジスタ（SMPUEXBIU2）

アドレス SMPU.SMPUEXBIU2 4000 0C34h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	WPGRPC	RPGRPC	WPGRPB	RPGRPB	WPGRPA	RPGRPA	WPCPU	RPCPU
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RPCPU	CPU読み出し保護	0：CPU読み出しのメモリプロテクションは無効 1：CPU読み出しのメモリプロテクションは有効	R/W
b1	WPCPU	CPU書き込み保護	0：CPU書き込みのメモリプロテクションは無効 1：CPU書き込みのメモリプロテクションは有効	R/W
b2	RPGRPA	マスタグループA読み出し保護	0：マスタグループA読み出しのメモリプロテクションは無効 1：マスタグループA読み出しのメモリプロテクションは有効	R/W
b3	WPGRPA	マスタグループA書き込み保護	0：マスタグループA書き込みのメモリプロテクションは無効 1：マスタグループA書き込みのメモリプロテクションは有効	R/W
b4	RPGRPB	マスタグループB読み出し保護	0：マスタグループB読み出しのメモリプロテクションは無効 1：マスタグループB読み出しのメモリプロテクションは有効	R/W
b5	WPGRPB	マスタグループB書き込み保護	0：マスタグループB書き込みのメモリプロテクションは無効 1：マスタグループB書き込みのメモリプロテクションは有効	R/W
b6	RPGRPC	マスタグループC読み出し保護	0：マスタグループC読み出しのメモリプロテクションは無効 1：マスタグループC読み出しのメモリプロテクションは有効	R/W
b7	WPGRPC	マスタグループC書き込み保護	0：マスタグループC書き込みのメモリプロテクションは無効 1：マスタグループC書き込みのメモリプロテクションは有効	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPCPU ビット（CPU 読み出し保護）

QSPI 領域での CPU による読み出しに対してメモリプロテクションを有効または無効にします。

WPCPU ビット（CPU 書き込み保護）

QSPI 領域での CPU による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPA ビット（マスタグループ A 読み出し保護）

QSPI 領域でのマスタグループ A による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPA ビット（マスタグループ A 書き込み保護）

QSPI 領域でのマスタグループ A による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPB ビット（マスタグループ B 読み出し保護）

QSPI 領域でのマスタグループ B による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPB ビット（マスタグループ B 書き込み保護）

QSPI 領域でのマスタグループ B による書き込みに対してメモリプロテクションを有効または無効にします。

RPGRPC ビット（マスタグループ C 読み出し保護）

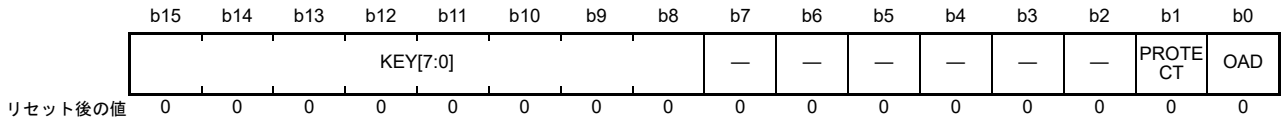
QSPI 領域でのマスタグループ C による読み出しに対してメモリプロテクションを有効または無効にします。

WPGRPC ビット（マスタグループ C 書き込み保護）

QSPI 領域でのマスタグループ C による書き込みに対してメモリプロテクションを有効または無効にします。

16.5.1.11 スレーブ MPU コントロールレジスタ（SMPUCTL）

アドレス SMPU.SMPUCTL 4000 0C00h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	0：ノンマスカブル割り込み 1：リセット	R/W
b1	PROTECT	レジスタの保護	0：全バススレーブレジスタの書き込みを許可 1：全バススレーブレジスタの書き込みを保護（読み出しは許可）	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	KEY[7:0]	キーコード	OADビットとPROTECTビットへの書き込みを許可または禁止します。	R/(W) （注1）

注 1. 書き込みデータは保持されません。

OAD ビット（検出後の動作）

バススレーブ MPU によって保護領域へのアクセスが検出されたとき、リセットまたはノンマスカブル割り込みのどちらを発生させるか選択します。OAD ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

PROTECT ビット（レジスタの保護）

保護するレジスタへの書き込みを許可または禁止します。SMPUCTL.PROTECT ビットは下記のレジスタを制御します。

- SMPUMBIU
- SMPUFBIU
- SMPUSRAM0
- SMPUSRAM1
- SMPUP0BIU
- SMPUP2BIU
- SMPUP6BIU
- SMPUP7BIU
- SMPUEXBIU
- SMPUEXBIU2

PROTECT ビットへ書き込む際は、同時にハーフワードアクセスによって KEY[7:0] ビットに A5h を書き込んでください。

KEY[7:0] ビット（キーコード）

OAD ビットと PROTECT ビットへの書き込みを許可または禁止します。OAD ビットと PROTECT ビットへ書き込む際は、同時に KEY[7:0] ビットに A5h を書き込んでください。これ以外の値を書き込むと、OAD ビットと PROTECT ビットは更新されません。KEY[7:0] ビットは読むと常に 00h が読み出されます。

16.5.2 動作説明

16.5.2.1 メモリプロテクション

バススレーブ MPU は、各アクセスコントロールレジスタに設定されたアクセス制御情報を用いて、バススレーブによるアクセスがアクセス制御設定に違反していないか監視する機能です。保護領域に対するアクセスが検出されると、バススレーブ MPU はメモリプロテクションエラーを発生させます。

バススレーブ MPU は、アクセスコントロールレジスタ（SMPUMBIU, SMPUFBIU, SMPUSRAM0, SMPUSRAM1, SMPUP0BIU, SMPUP2BIU, SMPUP6BIU, SMPUP7BIU, SMPUEXBIU, SMPUEXBIU2）の書き込み保護（WPCPU または WPGRPA）ビットまたは読み出し保護（RPCPU または RPGRPA）ビットを 1 にすることで有効になります。

16.5.2.2 レジスタの保護

バススレーブ MPU 関連のレジスタを保護するには、SMPUCTL レジスタの PROTECT ビットを設定します。

16.5.2.3 メモリプロテクションエラー

保護領域に対するアクセスが検出されると、バススレーブ MPU はエラーを発生させます。OAD ビットを設定することで、このエラーをノンマスカブル割り込みとリセットのどちらで通知するか選択できます。ノンマスカブル割り込み状態は ICU.NMISR.BUSSST フラグに示されます（「14. 割り込みコントローラユニット（ICU）」を参照してください）。リセット状態は SYSTEM.RSTSR1.BUSSRF フラグに示されます（「6. リセット」を参照してください）。

16.6 参考資料

1. *ARMv7-M Architecture Reference Manual (ARM DDI 0403D)*
2. *ARM® Cortex®-M4 Processor Technical Reference Manual (ARM DDI 0439D)*
3. *ARM® Cortex®-M4 Devices Generic User Guide (ARM DUI 0553A)*

17. DMA コントローラ（DMAC）

17.1 概要

8 チャネルの DMA コントローラ（DMAC）によって、CPU を介さずにデータ転送が可能です。DMA 転送要求が発生すると、DMAC は転送元アドレスに格納されているデータを転送先アドレスへ転送します。表 17.1 に DMAC の仕様を、図 17.1 にブロック図を示します。

表 17.1 DMACの仕様

項目		内容
チャネル数		8チャネル（DMACm、m = 0～7）
転送空間		4Gバイト（0000 0000h～FFFF FFFFhのうち、予約領域を除く領域）
最大転送データ数		64Mデータ（ブロック転送モードにおける最大総転送数：1,024データ × 65,536ブロック）
DMA起動要因		チャネルごとに選択可能 • ソフトウェアトリガ • 周辺モジュールからの割り込み要求／外部割り込み入力端子からのトリガ（注1）
チャネル優先順位		チャネル0＞チャネル1＞チャネル2＞チャネル3...＞チャネル7（チャネル0：最優先）
転送データ	1データ	ビット長：8ビット、16ビット、32ビット
	ブロックサイズ	データ数：1～1,024データ
転送モード	ノーマル転送モード	• 1回のDMA転送要求で1データを転送 • 総データ転送数を指定しない設定（フリーランニングモード）を選択可能
	リピート転送モード	• 1回のDMA転送要求で1データを転送 • 転送元または転送先に指定したリピートサイズ分のデータを転送すると、転送開始時のアドレスに復帰 • 設定可能な最大リピートサイズ：1,024
	ブロック転送モード	• 1回のDMA転送要求で1ブロックを転送 • 設定可能な最大ブロックサイズ：1,024データ
選択機能	拡張リピート領域機能	• 転送アドレスレジスタの上位ビット値を固定したまま、特定範囲のアドレスを繰り返すことでデータ転送が可能 • 拡張リピート領域は2バイトから128Mバイトまで転送元、転送先別に設定可能
割り込み要求（DMACm_INT）	転送終了割り込み	転送カウンタで設定したデータ数の転送終了時に発生
	転送エスケープ終了割り込み	下記の条件で発生 • リピートサイズ分のデータ転送を終了したとき • 拡張リピート領域の転送元アドレスがオーバーフローしたとき • 拡張リピート領域の転送先アドレスがオーバーフローしたとき
イベントリンク起動（DMACm_INT）		各データ転送後（ブロックの場合は各ブロック転送後）、イベントリンク要求を発生
モジュールストップ機能		モジュールストップ状態に設定して消費電力を削減

注 1. DMAC の起動要因については、「14. 割り込みコントローラユニット（ICU）」の表 14.3 を参照してください。

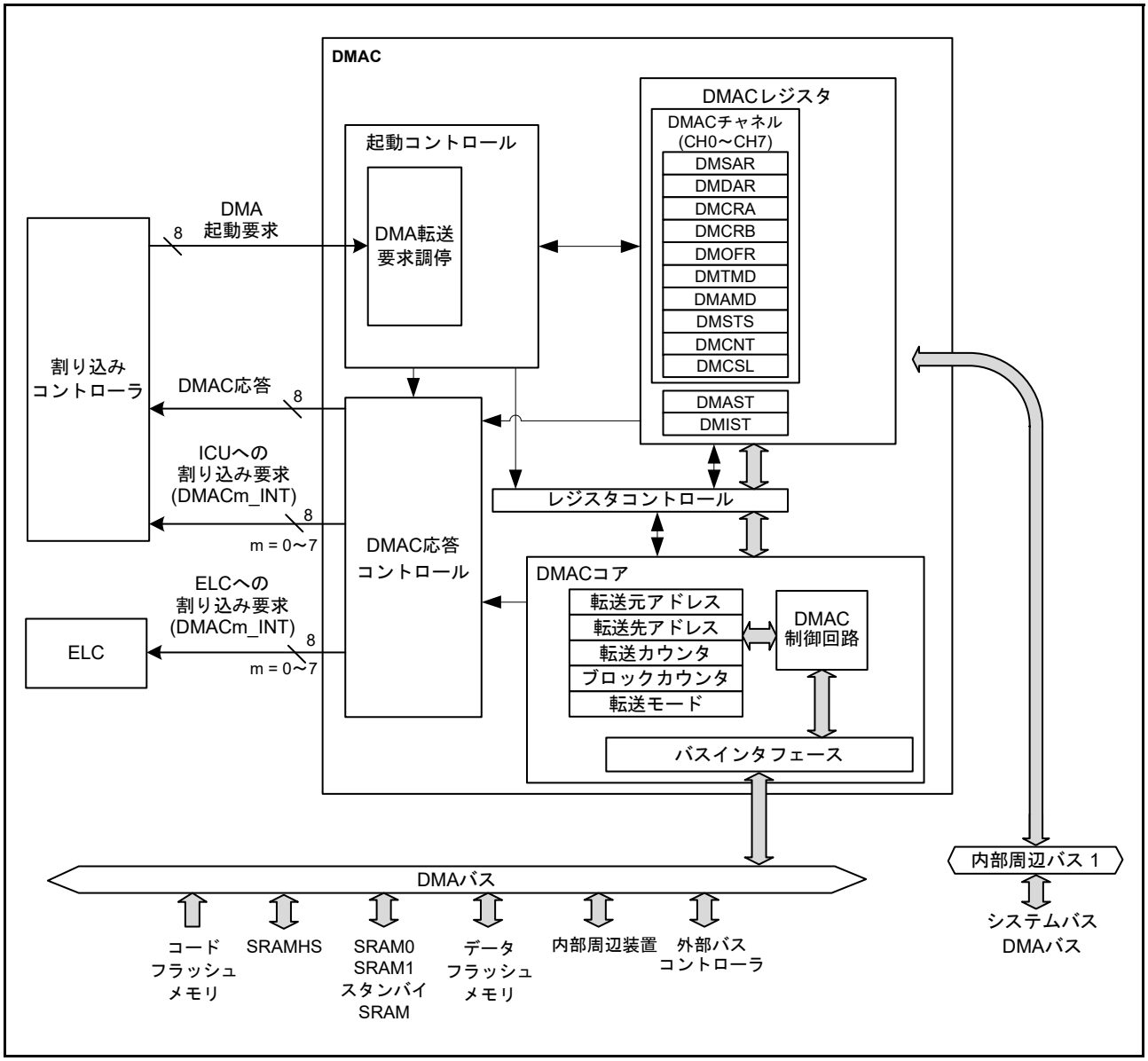


図 17.1 DMAC のブロック図

17.2 レジスタの説明

17.2.1 DMA 転送元アドレスレジスタ（DMSAR）

アドレス DMAC0.DMSAR 4000 5000h, DMAC1.DMSAR 4000 5040h, DMAC2.DMSAR 4000 5080h, DMAC3.DMSAR 4000 50C0h, DMAC4.DMSAR 4000 5100h, DMAC5.DMSAR 4000 5140h, DMAC6.DMSAR 4000 5180h, DMAC7.DMSAR 4000 51C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元の開始アドレスを設定	0000 0000h～FFFF FFFFh（4Gバイト）	R/W

DMSAR レジスタは、DMAC 起動禁止（DMAST.DMST ビット＝0）、または DMA 転送禁止（DMCNT.DTE ビット＝0）のときに設定してください。

注 . このレジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

17.2.2 DMA 転送先アドレスレジスタ（DMDAR）

アドレス DMAC0.DMDAR 4000 5004h, DMAC1.DMDAR 4000 5044h, DMAC2.DMDAR 4000 5084h, DMAC3.DMDAR 4000 50C4h, DMAC4.DMDAR 4000 5104h, DMAC5.DMDAR 4000 5144h, DMAC6.DMDAR 4000 5184h, DMAC7.DMDAR 4000 51C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送先の開始アドレスを設定	0000 0000h～FFFF FFFFh（4Gバイト）	R/W

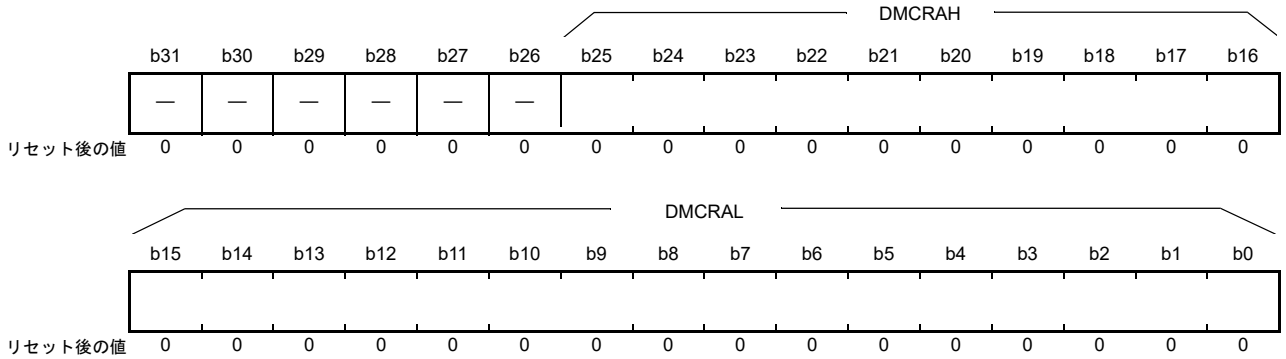
DMDAR レジスタは、DMAC 起動禁止（DMAST.DMST ビット＝0）、または DMA 転送禁止（DMCNT.DTE ビット＝0）のときに設定してください。

注 . このレジスタのアドレスアライメントは、DMTMD レジスタの SZ ビットで選択した転送データサイズ値と一致している必要があります。

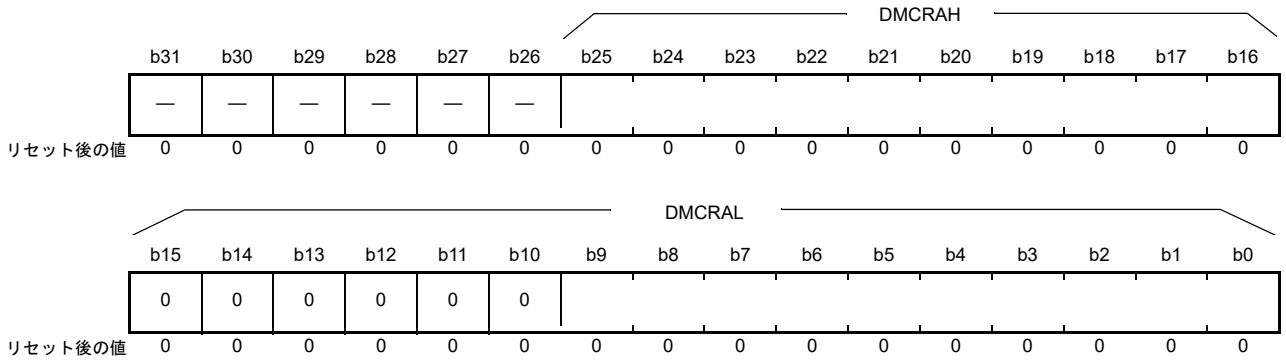
17.2.3 DMA 転送カウントレジスタ（DMCRA）

アドレス DMAC0.DMCRA 4000 5008h, DMAC1.DMCRA 4000 5048h, DMAC2.DMCRA 4000 5088h, DMAC3.DMCRA 4000 50C8h
DMAC4.DMCRA 4000 5108h, DMAC5.DMCRA 4000 5148h, DMAC6.DMCRA 4000 5188h, DMAC7.DMCRA 4000 51C8h

- ノーマル転送モード



- リピート転送モード、ブロック転送モード



シンボル	ビット名	機能	R/W
DMCRAL	転送カウント下位ビット	転送回数を設定	R/W
DMCRAH	転送カウント上位ビット		R/W

注 . リピート転送モードとブロック転送モードでは、DMCRAH レジスタと DMCRAL レジスタに同じ値を設定してください。

(1) ノーマル転送モード（DMACm.DMTMD.MD[1:0] ビット = 00b）のとき

ノーマル転送モードでは、DMCRAL レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回となります。1 回のデータ転送を行うたびにデクリメント（-1）されます。

設定値が 0000h のときは転送回数の指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニングモード）。ノーマル転送モードでは、DMCRAH レジスタを使用しないでください。DMCRAH レジスタへは 0000h を書いてください。

(2) リピート転送モード（DMACm.DMTMD.MD[1:0] ビット = 01b）のとき

リピート転送モードでは、DMCRAH レジスタはリピートサイズを指定し、DMCRAL レジスタは 10 ビットの転送カウンタとして機能します。転送回数は、設定値が 001h のときは 1 回、3FFh のときは 1,023 回、000h のときは 1,024 回となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、000h ～ 3FFh（1 ～ 1,024 回）です。

DMCRAL レジスタのビット [15:10] の設定は無効です。これらのビットには 0 を書いてください。DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント（-1）され、000h になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

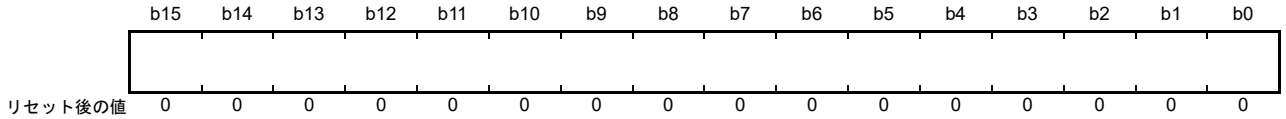
(3) ブロック転送モード（DMACm.DMTMD.MD[1:0] ビット = 10b）のとき

ブロック転送モードでは、DMCRAH レジスタはブロックサイズを指定し、DMCRAL レジスタは 10 ビットのブロックサイズカウンタとして機能します。設定値が 001h のときはブロックサイズ 1、3FFh のときはブロックサイズ 1,023、000h のときはブロックサイズ 1,024 となります。このモードでは、DMCRAH レジスタと DMCRAL レジスタの設定可能範囲は、000h ～ 3FFh です。

DMCRAL レジスタのビット [15:10] の設定は無効です。これらのビットには 0 を書いてください。
DMCRAL レジスタは 1 回のデータ転送を行うたびにデクリメント（-1）され、000h になると DMCRAH レジスタの値が DMCRAL レジスタにロードされます。

17.2.4 DMA ブロック転送カウントレジスタ（DMCRB）

アドレス DMAC0.DMCRB 4000 500Ch, DMAC1.DMCRB 4000 504Ch, DMAC2.DMCRB 4000 508Ch, DMAC3.DMCRB 4000 50CCh, DMAC4.DMCRB 4000 510Ch, DMAC5.DMCRB 4000 514Ch, DMAC6.DMCRB 4000 518Ch, DMAC7.DMCRB 4000 51CCh



ビット	機能	設定範囲	R/W
b15-b0	ブロック転送回数またはリピート転送回数を設定	0001h～FFFFh（1～65,535回） 0000h（65,536回）	R/W

DMCRB レジスタは、ブロック転送モード時とリピート転送モード時の転送回数を指定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。

リピート転送モードの場合、1 リピートサイズの最終データ転送時にデクリメント（-1）されます。ブロック転送モードの場合、1 ブロックサイズの最終データ転送時にデクリメント（-1）されます。ノーマル転送モードでは、設定は無効ですので、DMCRB レジスタは使用しないでください。

17.2.5 DMA 転送モードレジスタ（DMTMD）

アドレス DMAC0.DMTMD 4000 5010h, DMAC1.DMTMD 4000 5050h, DMAC2.DMTMD 4000 5090h, DMAC3.DMTMD 4000 50D0h, DMAC4.DMTMD 4000 5110h, DMAC5.DMTMD 4000 5150h, DMAC6.DMTMD 4000 5190h, DMAC7.DMTMD 4000 51D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MD[1:0]		DTS[1:0]		—	—	SZ[1:0]		—	—	—	—	—	—	DCTG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DCTG[1:0]	転送要求元選択	b1 b0 0 0：ソフトウェア 0 1：周辺モジュールまたは外部割り込み入力端子からの割り込み（注1） 1 0：設定禁止 1 1：設定禁止	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	SZ[1:0]	データ転送サイズ選択	b9 b8 0 0：8ビット 0 1：16ビット 1 0：32ビット 1 1：設定禁止	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	DTS[1:0]	リピート領域選択	b13 b12 0 0：転送先をリピート領域またはブロック領域に設定 0 1：転送元をリピート領域またはブロック領域に設定 1 0：リピート領域、ブロック領域の設定なし 1 1：設定禁止	R/W
b15-b14	MD[1:0]	転送モード選択	b15 b14 0 0：ノーマル転送 0 1：リピート転送 1 0：ブロック転送 1 1：設定禁止	R/W

注 1. DMAC の起動要因を選択するには、ICU.DELSRn レジスタを使用してください。DMAC の起動要因については、「14. 割り込みコントローラユニット（ICU）」の表 14.4 イベントテーブルを参照してください。

DTS[1:0] ビット（リピート領域選択）

転送元または転送先を、リピート転送モードではリピート領域、ブロック転送モードではブロック領域として選択します。ノーマル転送モードでは、これらのビットの設定値は無効です。

17.2.6 DMA 割り込み設定レジスタ（DMINT）

アドレス DMAC0.DMINT 4000 5013h, DMAC1.DMINT 4000 5053h, DMAC2.DMINT 4000 5093h, DMAC3.DMINT 4000 50D3h, DMAC4.DMINT 4000 5113h, DMAC5.DMINT 4000 5153h, DMAC6.DMINT 4000 5193h, DMAC7.DMINT 4000 51D3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	DTIE	ESIE	RPTIE	SARIE	DARIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DARIE	転送先アドレス拡張リピート領域オーバーフロー割り込み許可	0：禁止 1：許可	R/W
b1	SARIE	転送元アドレス拡張リピート領域オーバーフロー割り込み許可	0：禁止 1：許可	R/W
b2	RPTIE	リピートサイズ終了割り込み許可	0：禁止 1：許可	R/W
b3	ESIE	転送エスケープ終了割り込み許可	0：禁止 1：許可	R/W
b4	DTIE	転送終了割り込み許可	0：禁止 1：許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DARIE ビット（転送先アドレス拡張リピート領域オーバーフロー割り込み許可）

DARIE ビットが 1 の間に、転送先アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送先アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャネルの DMACm.DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送先アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

SARIE ビット（転送元アドレス拡張リピート領域オーバーフロー割り込み許可）

SARIE ビットが 1 のときに、転送元アドレスの拡張リピート領域オーバーフローが発生すると、DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、転送元アドレスの拡張リピート領域オーバーフローによって割り込み要求がトリガされたことを示します。

拡張リピート領域機能をブロック転送モードと併用する場合は、1 ブロック分のデータ転送終了後に割り込みが発生します。割り込みにより転送を終了したチャネルの DMACm.DMCNT.DTE ビットを 1 にすると、転送終了時の状態から再び転送を開始することができます。

転送元アドレスに拡張リピート領域を設定していない場合、このビットは無視されます。

RPTIE ビット（リピートサイズ終了割り込み許可）

リピート転送モードにおいて RPTIE ビットを 1 にすると、1 リピートサイズ分の転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときでも、リピートサイズ終了割り込み要求を発生させることができます。

RPTIE ビットをブロック転送モードで 1 にしたときも、リピート転送モードの場合と同様に 1 ブロックの転送終了後に DMCNT.DTE ビットが 0 になります。同時に DMSTS.ESIF フラグが 1 になり、リピートサイズ終了割り込み要求が発生したことを示します。DMTMD.DTS[1:0] ビットを 10b（リピート領域、ブロック領域の指定なし）にしたときでも、リピートサイズ終了割り込み要求を発生させることができます。

ESIE ビット（転送エスケープ終了割り込み許可）

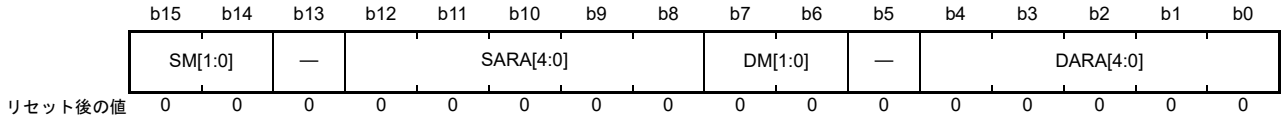
DMA 転送中に発生した転送エスケープ終了割り込み要求（リピートサイズ終了割り込み要求、拡張リピート領域オーバーフロー割り込み要求）を許可します。このビットが 1 のとき割り込みが発生して、DMSTS.ESIF フラグが 1 になります。転送エスケープ終了割り込みを解除するには、このビットまたは DMSTS.ESIF フラグを 0 にします。

DTIE ビット（転送終了割り込み許可）

指定した回数のデータ転送が終了したときに発生する転送終了割り込み要求を許可します。このビットが 1 のとき割り込みが発生して、DMSTS.DTIF フラグが 1 になります。転送終了割り込みを解除するには、このビットまたは DMSTS.DTIF フラグを 0 にします。

17.2.7 DMA アドレスモードレジスタ（DMAMD）

アドレス DMAC0.DMAMD 4000 5014h, DMAC1.DMAMD 4000 5054h, DMAC2.DMAMD 4000 5094h, DMAC3.DMAMD 4000 50D4h, DMAC4.DMAMD 4000 5114h, DMAC5.DMAMD 4000 5154h, DMAC6.DMAMD 4000 5194h, DMAC7.DMAMD 4000 51D4h



ビット	シンボル	ビット名	機能	R/W
b4-b0	DARA[4:0]	転送先アドレス拡張リピート領域設定	転送先アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 17.2 を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	DM[1:0]	転送先アドレス更新モード設定	b7 b6 0 0：アドレス固定 0 1：オフセット加算 1 0：インクリメント 1 1：デクリメント	R/W
b12-b8	SARA[4:0]	転送元アドレス拡張リピート領域設定	転送元アドレスに拡張リピート領域を設定します。設定値についての詳細は、表 17.2 を参照してください。	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	SM[1:0]	転送元アドレス更新モード設定	b15 b14 0 0：アドレス固定 0 1：オフセット加算 1 0：インクリメント 1 1：デクリメント	R/W

DARA[4:0] ビット（転送先アドレス拡張リピート領域設定）

転送先アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送先にリピート領域またはブロック領域を設定している場合、転送先アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送を選択した場合、DMACm.DMTMD.DTS[1:0] = 00b（転送先にリピート領域またはブロック領域を設定）であれば、DARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域にオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.DARIE ビットを 1 にします。表 17.2 には、各設定値に対応した拡張リピート領域が示されています。

DM[1:0] ビット（転送先アドレス更新モード設定）

転送先アドレスの更新モードを選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送先アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

SARA[4:0] ビット（転送元アドレス拡張リピート領域設定）

転送元アドレスに拡張リピート領域を設定します。拡張リピート領域機能は、指定した下位アドレスビットを更新し、残りの上位アドレスビットを固定することで実現されます。拡張リピート領域のサイズは、2バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。

アドレスのインクリメントにより下位アドレスが拡張リピート領域をオーバーフローすると、拡張リピート領域の開始アドレスが設定されます。同様にアドレスのデクリメントにより下位アドレスが拡張リピート領域をアンダーフローすると、拡張リピート領域の終了アドレスが設定されます。

転送元にリピート領域またはブロック領域を設定している場合、転送元アドレスに拡張リピート領域を設定しないでください。リピート転送またはブロック転送のとき、DMACm.DMTMD.DTS[1:0] = 01b（転送先側がリピート領域またはブロック領域）に設定している場合、SARA[4:0] ビットには 00000b を書いてください。

拡張リピート領域にオーバーフローまたはアンダーフローが発生したとき、割り込みを要求するには、DMINT.SARIE ビットを 1 にします。表 17.2 には、各設定値に対応した拡張リピート領域が示されています。

SM[1:0] ビット（転送元アドレス更新モード設定）

転送元アドレスの更新モードを選択します。

- インクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにインクリメントされる
- デクリメントを選択し、DMTMD.SZ[1:0] ビットに 00b、01b、または 10b を設定した場合、転送元アドレスはそれぞれ 1、2、または 4 ごとにデクリメントされる
- オフセット加算を選択した場合、DMACm.DMOFR レジスタで設定したオフセット値をアドレスに加算

.

表 17.2 SARA[4:0] またはDARA[4:0]の設定値と対応するリピート領域 (1/2)

SARA4～SARA0またはDARA4～DARA0	拡張リピート領域
00000b	拡張リピート領域を設定しない
00001b	当該アドレスの下位1ビット（2バイト）を拡張リピート領域に設定
00010b	当該アドレスの下位2ビット（4バイト）を拡張リピート領域に設定
00011b	当該アドレスの下位3ビット（8バイト）を拡張リピート領域に設定
00100b	当該アドレスの下位4ビット（16バイト）を拡張リピート領域に設定
00101b	当該アドレスの下位5ビット（32バイト）を拡張リピート領域に設定
00110b	当該アドレスの下位6ビット（64バイト）を拡張リピート領域に設定
00111b	当該アドレスの下位7ビット（128バイト）を拡張リピート領域に設定
01000b	当該アドレスの下位8ビット（256バイト）を拡張リピート領域に設定
01001b	当該アドレスの下位9ビット（512バイト）を拡張リピート領域に設定
01010b	当該アドレスの下位10ビット（1Kバイト）を拡張リピート領域に設定
01011b	当該アドレスの下位11ビット（2Kバイト）を拡張リピート領域に設定
01100b	当該アドレスの下位12ビット（4Kバイト）を拡張リピート領域に設定
01101b	当該アドレスの下位13ビット（8Kバイト）を拡張リピート領域に設定
01110b	当該アドレスの下位14ビット（16Kバイト）を拡張リピート領域に設定
01111b	当該アドレスの下位15ビット（32Kバイト）を拡張リピート領域に設定
10000b	当該アドレスの下位16ビット（64Kバイト）を拡張リピート領域に設定
10001b	当該アドレスの下位17ビット（128Kバイト）を拡張リピート領域に設定
10010b	当該アドレスの下位18ビット（256Kバイト）を拡張リピート領域に設定
10011b	当該アドレスの下位19ビット（512Kバイト）を拡張リピート領域に設定
10100b	当該アドレスの下位20ビット（1Mバイト）を拡張リピート領域に設定
10101b	当該アドレスの下位21ビット（2Mバイト）を拡張リピート領域に設定

表 17.2 SARA[4:0]またはDARA[4:0]の設定値と対応するリピート領域 (2/2)

SARA4～SARA0またはDARA4～DARA0	拡張リピート領域
10110b	当該アドレスの下位22ビット（4Mバイト）を拡張リピート領域に設定
10111b	当該アドレスの下位23ビット（8Mバイト）を拡張リピート領域に設定
11000b	当該アドレスの下位24ビット（16Mバイト）を拡張リピート領域に設定
11001b	当該アドレスの下位25ビット（32Mバイト）を拡張リピート領域に設定
11010b	当該アドレスの下位26ビット（64Mバイト）を拡張リピート領域に設定
11011b	当該アドレスの下位27ビット（128Mバイト）を拡張リピート領域に設定
11100b～11111b	設定禁止

17.2.8 DMA オフセットレジスタ（DMOFR）

アドレス DMAC0.DMOFR 4000 5018h, DMAC1.DMOFR 4000 5058h, DMAC2.DMOFR 4000 5098h, DMAC3.DMOFR 4000 50D8h, DMAC4.DMOFR 4000 5118h, DMAC5.DMOFR 4000 5158h, DMAC6.DMOFR 4000 5198h, DMAC7.DMOFR 4000 51D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	設定範囲	R/W
b31-b0	転送元または転送先のアドレス更新モードとしてオフセット加算が選択されている場合、そのオフセット値を設定	00000000h～00FFFFFFh（0バイト～(16M - 1) バイト） FF000000h～FFFFFFFFh（-16Mバイト～-1バイト）	R/W

このレジスタへの書き込みは、データ転送中ではなく、DMAC 動作停止中または DMA 転送が禁止されているときに行ってください。[31:25] ビットの設定は無効です。[24] ビットの値が [31:25] ビットへ拡張されます。DMOFR レジスタを読み出した場合、ビット拡張された値が読み出されます。

17.2.9 DMA 転送イネーブルレジスタ（DMCNT）

アドレス DMAC0.DMCNT 4000 501Ch, DMAC1.DMCNT 4000 505Ch, DMAC2.DMCNT 4000 509Ch, DMAC3.DMCNT 4000 50DCh, DMAC4.DMCNT 4000 511Ch, DMAC5.DMCNT 4000 515Ch, DMAC6.DMCNT 4000 519Ch, DMAC7.DMCNT 4000 51DCh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTE	DMA転送許可	0：禁止 1：許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DTE ビット（DMA 転送許可）

DMA 転送を許可します。DMA 転送を許可するには、DMAST.DMST ビットを 1（DMAC 起動許可）にした後、対応するチャネルの DTE ビットを 1（DMA 転送許可）にしてください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- 0 を書いたとき
- 設定されたデータ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

17.2.10 DMA ソフトウェア起動レジスタ（DMREQ）

アドレス DMAC0.DMREQ 4000 501Dh, DMAC1.DMREQ 4000 505Dh, DMAC2.DMREQ 4000 509Dh, DMAC3.DMREQ 4000 50DDh, DMAC4.DMREQ 4000 511Dh, DMAC5.DMREQ 4000 515Dh, DMAC6.DMREQ 4000 519Dh, DMAC7.DMREQ 4000 51DDh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CLRS	—	—	—	SWREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWREQ	DMAソフトウェア起動	0：DMA転送要求なし 1：DMA転送要求あり	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CLRS	DMAソフトウェア起動ビット自動クリア選択	0：ソフトウェアによるDMA転送開始後にSWREQビットをクリアする 1：ソフトウェアによるDMA転送開始後にSWREQビットをクリアしない	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SWREQ ビット（DMA ソフトウェア起動）

SWREQ ビットを 1 にすると DMA 転送要求が発生します。その要求に対して DMA 転送が開始されると、CLRS ビットが 0 の場合、SWREQ ビットが 0 になります。

CLRS ビットが 1 の場合は SWREQ ビットはクリアされません。DMA 転送要求は、転送終了後に再発行されます。

注 . DMTMD.DCTG[1:0] ビットが 00b（DMA 起動要因がソフトウェア）になっている場合のみ、このビットの設定が有効となり、ソフトウェアによる DMA 転送が可能となります。DMTMD.DCTG[1:0] ビットが 00b 以外になっている場合、このビットの設定は無効です。

CLRS ビットが 0 の状態でソフトウェアによる DMA 転送を行う場合、SWREQ ビットが 0 であることを確認してから SWREQ ビットに 1 を書いてください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- CLRS ビットが 0（ソフトウェアによる DMA 転送開始後に SWREQ ビットをクリアする）の場合に、ソフトウェアによる DMA 転送要求が受け付けられて DMA 転送が開始したとき
- 0 を書いたとき

CLRS ビット（DMA ソフトウェア起動ビット自動クリア選択）

SWREQ ビットを 1 にして転送要求を発生させた場合、その要求に対して DMA 転送が開始した後、SWREQ ビットを 0 にするか否かを設定します。

- CLRS ビットを 0 にすると、DMA 転送の開始後、SWREQ ビットは 0 になります
- CLRS ビットを 1 にすると、SWREQ ビットは 0 にクリアされません。DMA 転送要求は、転送終了後に再発行されます

17.2.11 DMA ステータスレジスタ（DMSTS）

アドレス DMAC0.DMSTS 4000 501Eh, DMAC1.DMSTS 4000 505Eh, DMAC2.DMSTS 4000 509Eh, DMAC3.DMSTS 4000 50DEh, DMAC4.DMSTS 4000 511Eh, DMAC5.DMSTS 4000 515Eh, DMAC6.DMSTS 4000 519Eh, DMAC7.DMSTS 4000 51DEh

	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	DTIF	—	—	—	ESIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ESIF	転送エスケープ終了割り込みフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b3-b1	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b4	DTIF	転送終了割り込みフラグ	0：割り込み発生なし 1：割り込み発生あり	R/W （注1）
b6-b5	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b7	ACT	DMAアクティブフラグ	0：DMACが停止中 1：DMACが動作中	R

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

ESIF フラグ（転送エスケープ終了割り込みフラグ）

転送エスケープ終了割り込みが発生したことを示します。

［1 になる条件］

- リピート転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 リピートサイズ分のデータ転送が終了したとき
- ブロック転送モードにおいて、DMINT.RPTIE ビットが 1 の状態で 1 ブロック分のデータ転送が終了したとき
- DMINT.SARIE ビットが 1 であり、かつ DMAMD.SARA[4:0] ビットが 00000b 以外（転送元アドレスに拡張リピート領域を設定）の状態で、転送元アドレスに拡張リピート領域オーバーフローが発生したとき
- DMINT.DARIE ビットが 1 であり、かつ DMAMD.DARA[4:0] ビットが 00000b 以外（転送先アドレスに拡張リピート領域を設定）の状態で、転送先アドレスに拡張リピート領域オーバーフローが発生したとき

［0 になる条件］

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

DTIF フラグ（転送終了割り込みフラグ）

転送終了割り込みが発生したことを示します。

［1 になる条件］

- ノーマル転送モードにおいて、指定した回数のデータ転送が終了したとき（DMCRAL レジスタの値が 0 になり転送が終了したとき）
- リピート転送モードにおいて、指定した回数のリピート転送が終了したとき（DMCRB レジスタの値が 0 になり転送が終了したとき）
- ブロック転送モードにおいて、指定したブロック数の転送が終了したとき（DMCRB レジスタの値が 0 になり転送が終了したとき）

［0 になる条件］

- 0 を書いたとき
- DMCNT.DTE ビットに 1 を書いたとき

ACT フラグ（DMA アクティブフラグ）

DMAC がアイドル状態であるか、または動作中であるかを示します。

［1 になる条件］

- DMAC がデータ転送を開始したとき

［0 になる条件］

- 1 転送要求に対するデータ転送が終了したとき

17.2.12 DMACA モジュール起動レジスタ（DMAST）

アドレス DMA.DMAST 4000 5200h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DMST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DMST	DMAC動作許可	0：禁止 1：許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DMST ビット（DMAC 動作許可）

DMST ビットを 1 にすると、DMAC 全チャネルの起動が許可されます。DMST ビットを 1（DMAC 起動許可）にした場合、複数チャネルの DMACm.DMCNT.DTE ビットを 1（DMA 転送許可）にすることで、対応する全チャネルが同時に転送要求受け付け可能状態になります。

DMA 転送中に DMST ビットを 0 にすると、実行中の 1 転送要求に対するデータ転送が終了した後、DMA 転送が一時停止します。DMA 転送を再開するには、再度 DMST ビットを 1 にしてください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- 0 を書いたとき

17.3 動作説明

17.3.1 転送モード

(1) ノーマル転送モード

ノーマル転送モードでは、1 転送要求に対して 1 データの転送を行います。DMACm.DMCRAL レジスタで転送回数を最大 65,535 回まで指定できます。また、これらのビットを 0000h にすると、転送回数は指定なしとなり、転送カウンタが停止した状態でデータ転送を行います（フリーランニングモード）。

フリーランニングモードを除き、指定した転送回数の終了後に転送終了割り込み要求を発生させることができます。

ノーマル転送モードでは、DMACm.DMCRB レジスタの設定は無効です。

ノーマル転送モードにおけるレジスタ更新動作を表 17.3 に示します。

表 17.3 ノーマル転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算
DMACm.DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算
DMACm.DMCRAL	転送カウント	1減算／更新なし（フリーランニングモード時）
DMACm.DMCRAH	-	更新なし（ノーマル転送モードでは使用しない）
DMACm.DMCRB	-	更新なし（ノーマル転送モードでは使用しない）

ノーマル転送モードにおける転送動作を図 17.2 に示します。

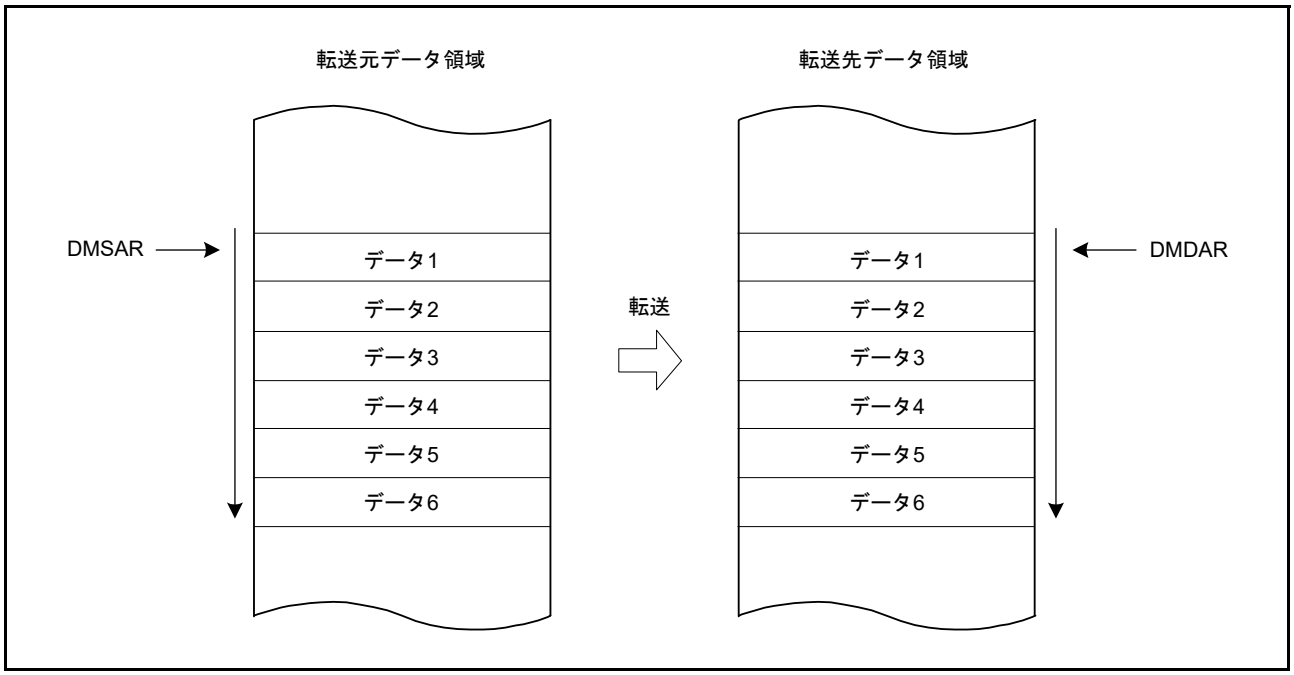


図 17.2 ノーマル転送モードにおける転送動作

(2) リピート転送モード

リピート転送モードでは、1 転送要求に対して 1 データの転送を行います。総データ転送サイズは、最大 64M データ（1K データ ×64K リピート転送回数）まで指定可能です。そのためには、DMACm.DMCRA レジスタで最大 1K データのリピート転送サイズを設定し、DMACm.DMCRB レジスタで最大 64K 回のリピート転送回数を設定します。

転送元または転送先のどちらか一方をリピート領域に指定することができます。リピート領域に指定された方のアドレスレジスタ（DMACm.DMSAR または DMACm.DMDAR）は、リピートサイズ分のデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、指定したリピートサイズ分のデータ転送が終了したとき、DMA 転送を停止させて、リピートサイズ終了割り込みを要求することができます。DMA 転送を再開させるには、リピートサイズ終了割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

また、指定したリピート転送回数の終了後に、転送終了割り込み要求を発生させることができます。

リピート転送モードにおけるレジスタ更新動作を表 17.4 に、リピート転送モードにおける転送動作を図 17.3 に示します。

表 17.4 リピート転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する転送終了後の更新動作	
		DMACm.DMCRAL レジスタが 1 以外のとき	DMACm.DMCRAL レジスタが1のとき（リピートサイズの最終データ転送）
DMACm.DMSAR	転送元アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMACm.DMDAR	転送先アドレス	インクリメント／デクリメント／固定／オフセット加算	• DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMACm.DMCRAH	リピートサイズ	更新なし	更新なし
DMACm.DMCRAL	転送カウント	1減算	DMACm.DMCRAH
DMACm.DMCRB	リピート転送回数のカウント	更新なし	1減算

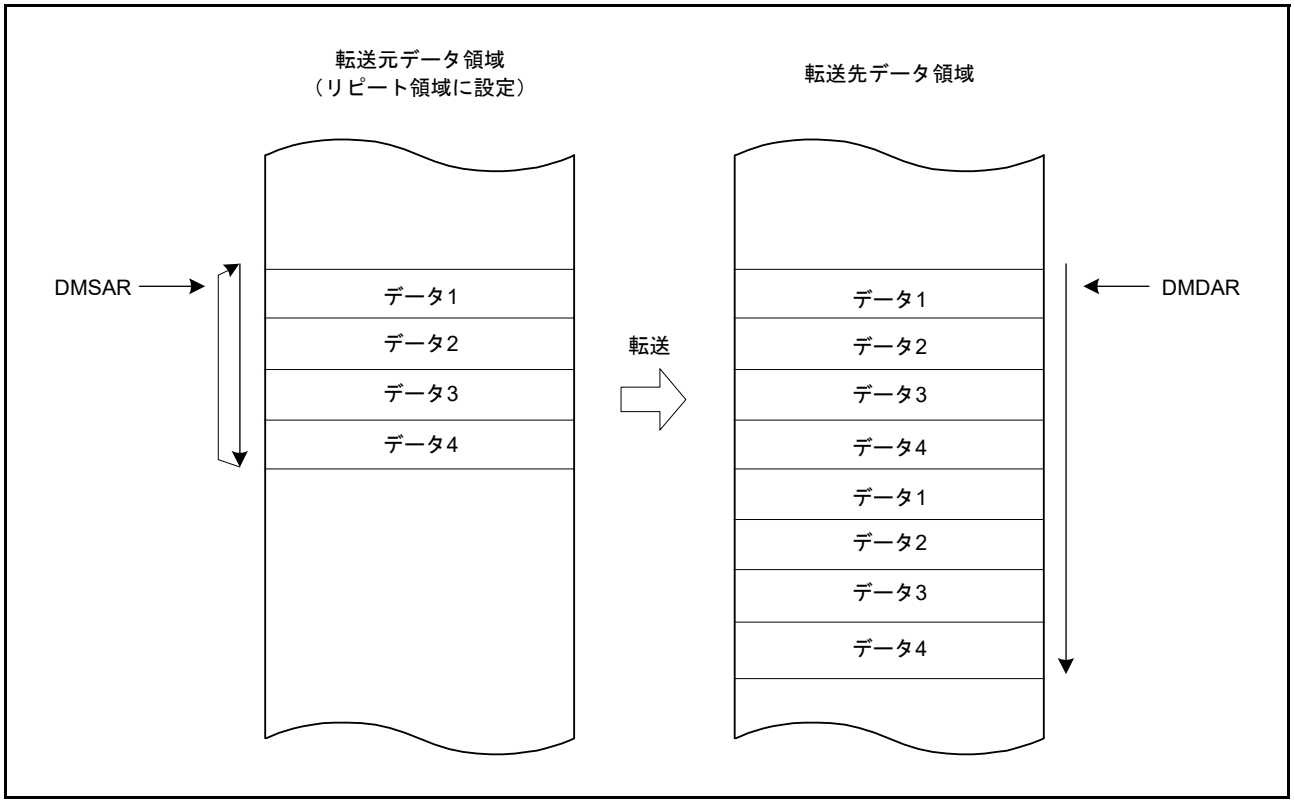


図 17.3　リピート転送モードにおける転送動作

(3) ブロック転送モード

ブロック転送モードでは、1 転送要求に対して 1 ブロックのデータ転送を行います。総データ転送サイズは、最大 64M データ（1K データ ×64K ブロック転送回数）まで指定可能です。そのためには、DMACm.DMCRA レジスタで最大 1K データのブロック転送サイズを設定し、DMACm.DMCRB レジスタで最大 64K 回のブロック転送回数を設定します。

転送元または転送先のどちらか一方をブロック領域に指定することができます。ブロック領域に指定された方のアドレスレジスタ（DMACm.DMSAR または DMACm.DMDAR）は、1 ブロックのデータ転送が終了すると、転送開始時のアドレスに復帰します。このモードでは、1 ブロックのデータ転送が終了したとき、DMA 転送を停止させて、リピートサイズ終了割り込みを要求することができます。DMA 転送を再開させるには、リピートサイズ終了割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

また、指定したブロック転送回数の終了後に、転送終了割り込み要求を発生させることができます。

ブロック転送モードにおけるレジスタ更新動作を表 17.5 に、ブロック転送モードにおける転送動作を図 17.4 に示します。

表 17.5　ブロック転送モードにおけるレジスタ更新動作

レジスタ	機能	1転送要求に対する1ブロック転送終了後の更新動作
DMACm.DMSAR	転送元アドレス	• DMACm.DMTMD.DTS[1:0] = 00b インクリメント／デクリメント／固定／オフセット加算 • DMACm.DMTMD.DTS[1:0] = 01b DMACm.DMSARの初期値 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMACm.DMDAR	転送先アドレス	• DMACm.DMTMD.DTS[1:0] = 00b DMACm.DMDARの初期値 • DMACm.DMTMD.DTS[1:0] = 01b インクリメント／デクリメント／固定／オフセット加算 • DMACm.DMTMD.DTS[1:0] = 10b インクリメント／デクリメント／固定／オフセット加算
DMACm.DMCRAH	ブロックサイズ	更新なし
DMACm.DMCRAL	転送カウント	DMACm.DMCRAH
DMACm.DMCRB	ブロック転送回数のカウント	1減算

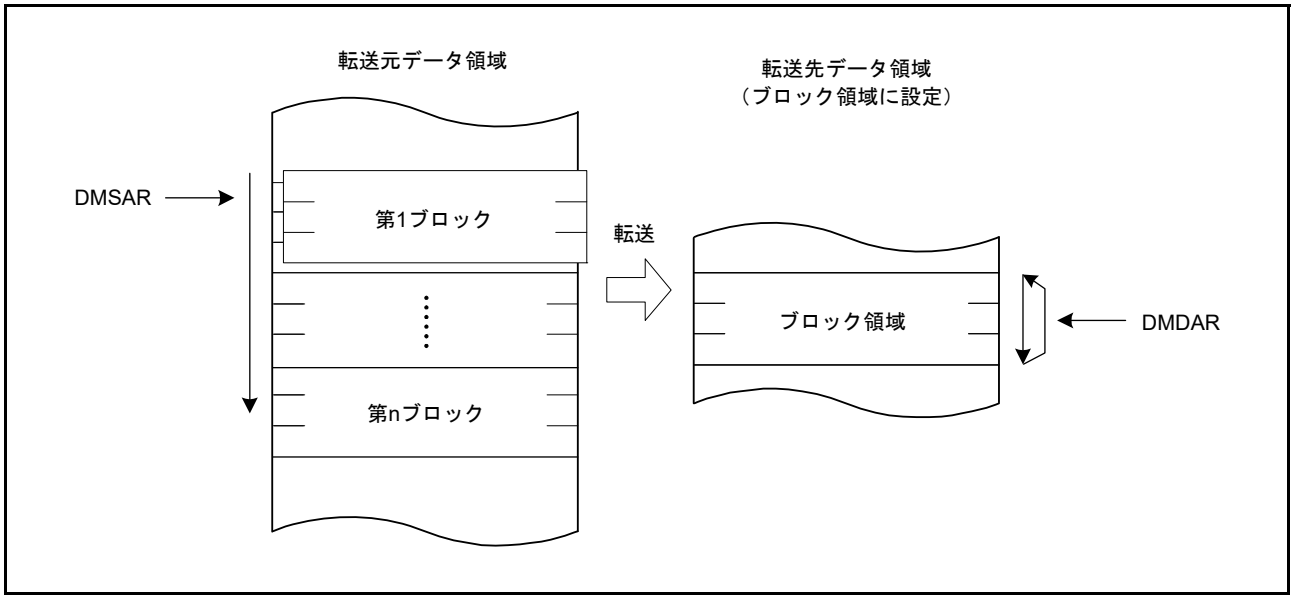


図 17.4　ブロック転送モードにおける転送動作

17.3.2 拡張リピート領域機能

DMAC は転送元アドレスと転送先アドレスに対して拡張リピート領域をサポートしています。DMACm.DMSAR レジスタ（転送元アドレスレジスタ）と、DMACm.DMDAR レジスタ（転送先アドレスレジスタ）でそれぞれ個別に設定可能です。この機能を設定すると、アドレスレジスタは拡張リピート領域に指定した範囲のアドレス値を繰り返します。転送元アドレスの拡張リピート領域は、DMACm.DMAMD.SARA[4:0] ビットで設定します。

転送先アドレスの拡張リピート領域は、DMACm.DMAMD.DARA[4:0] ビットで設定します。転送元と転送先に異なるサイズの設定が可能です。ただし、リピート領域またはブロック領域として設定した転送元または転送先に、拡張リピート領域を設定することはできません。

アドレスレジスタの値が拡張リピート領域の終了アドレスに到達し、拡張リピート領域がオーバーフローすると、DMA 転送を停止させて、拡張リピート領域オーバーフロー割り込み要求を発生させることができます。DMACm.DMINT.SARIE ビットが 1 のとき、転送元の拡張リピート領域がオーバーフローすると、DMACm.DMSTS.ESIF フラグが 1 になり、DMACm.DMCNT.DTE ビットを 0 にして DMA 転送を終了させます。このとき、DMACm.DMINT.ESIE ビットが 1 になっていると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMACm.DMINT.DARIE ビットが 1 の場合、この機能は転送先アドレスレジスタが対象になります。DMA 転送を再開させるには、割り込み処理で DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

図 17.5 に、拡張リピート領域の動作例を示します。

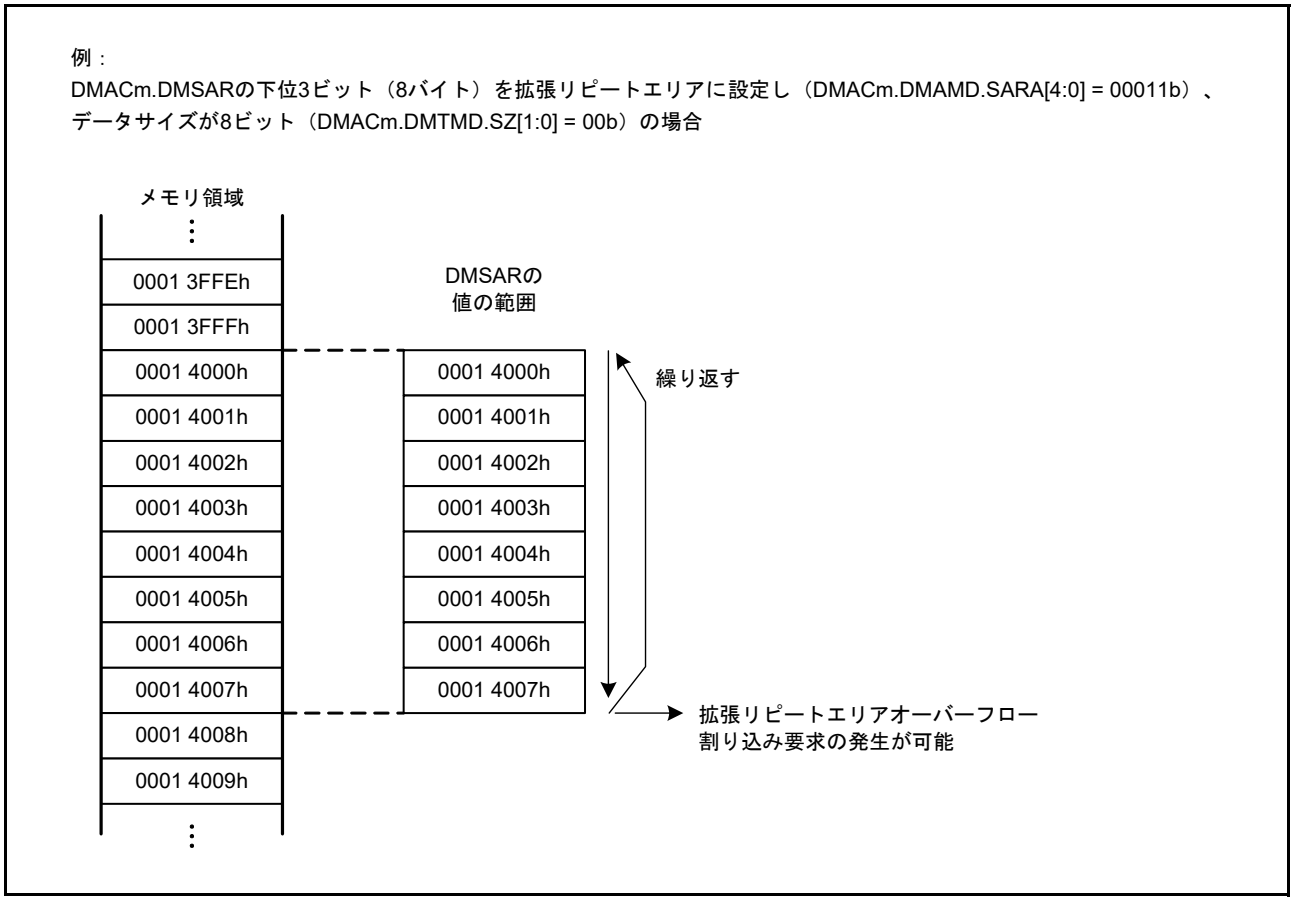


図 17.5 拡張リピート領域の動作例

ブロック転送モードで拡張リピート領域オーバーフロー割り込みを使用する場合は、以下の点に注意してください。

- 拡張リピート領域オーバーフロー割り込みで転送を終了させる場合、ブロックサイズを 2 のべき乗になるように設定するか、またはブロックサイズの境界と拡張リピート領域の範囲の境界が一致するようにアドレスレジスタの値を設定する必要があります。また、1 ブロックの転送中に拡張リピート領域にオーバーフローが発生した場合、そのブロックの転送が終了するまで拡張リピート領域オーバーフロー割り込みは保留され、転送はオーバーランします。

図 17.6 に、ブロック転送モードにおける拡張リピート領域機能の使用例を示します。

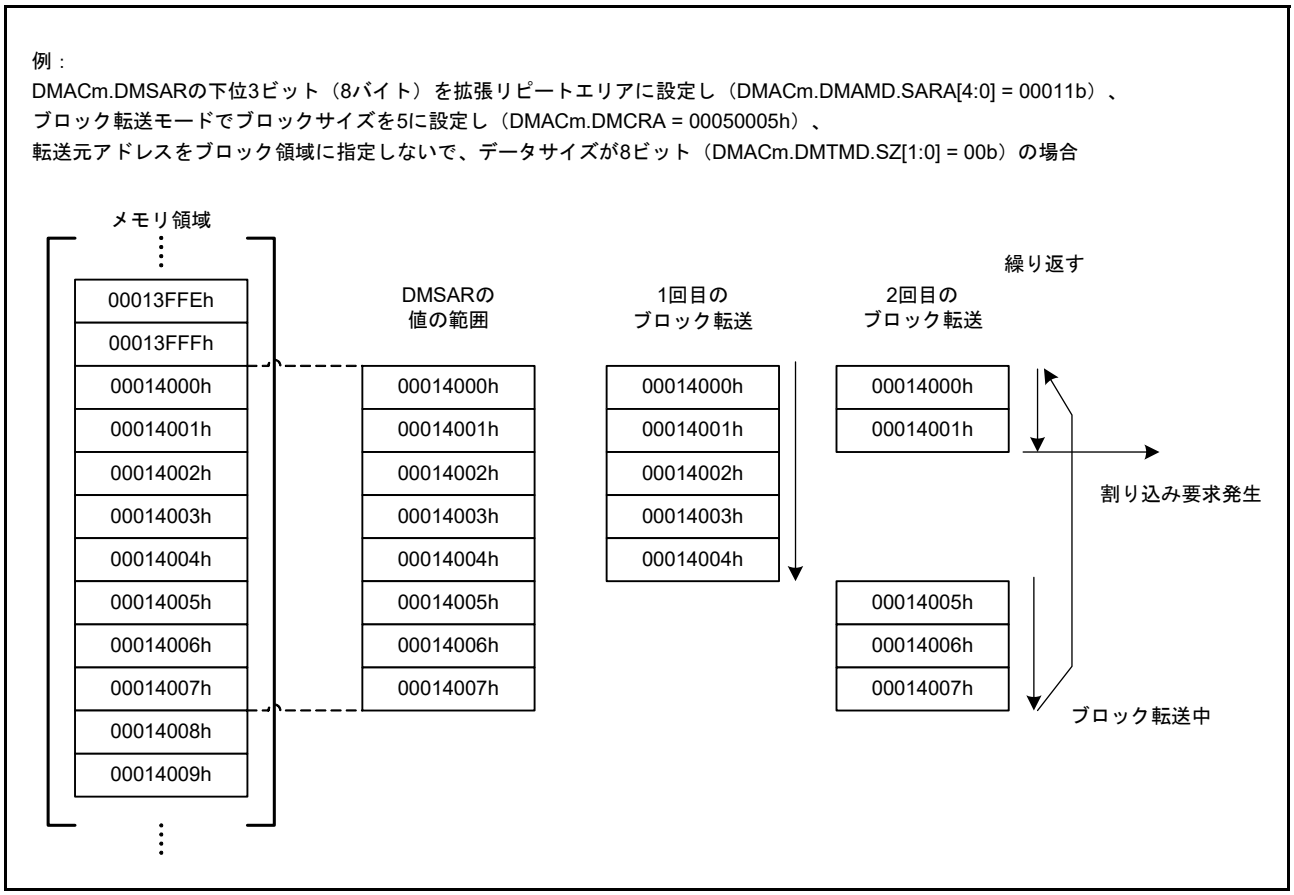


図 17.6 ブロック転送モードにおける拡張リピート領域機能の使用例

17.3.3 オフセットを使用したアドレス更新機能

転送元アドレスと転送先アドレスの更新方法には、固定、インクリメント、デクリメントの他にオフセット加算があります。オフセット加算では、DMAC が 1 データの転送を実行するたびに、DMA オフセットレジスタ（DMACm.DMOFR）で設定したオフセット値がアドレスに加算されます。また、DMACm.DMOFR に負の値を設定すると、オフセットによる減算も可能です。負の値は 2 の補数で設定する必要があります。

各アドレス更新モードにおけるアドレス更新方法を表 17.6 に示します。

表 17.6 各アドレス更新モードにおけるアドレス更新方法

アドレス更新モード	アドレス更新モードに対する DMACm.DMAMD.SM[1:0] および DMACm.DMAMD.DM[1:0] の設定値	DMACm.DMTMD.SZ[1:0]の設定値別アドレス更新方法		
		SZ[1:0] = 00b	SZ[1:0] = 01b	SZ[1:0] = 10b
アドレス固定	00b	固定		
オフセット加算	01b	+DMACm.DMOFR（注 1）		
インクリメント	10b	+1	+2	+4
デクリメント	11b	-1	-2	-4

注 1. DMA オフセットレジスタに負の値を設定する場合、その値は次式で計算される 2 の補数でなければいけません。
負のオフセット値の 2 の補数表現 = ～（オフセット値）+1（～：ビット反転）

(1) オフセット加算を使用した基本的な転送

オフセット加算によるアドレス更新機能の動作例を図 17.7 に示します。

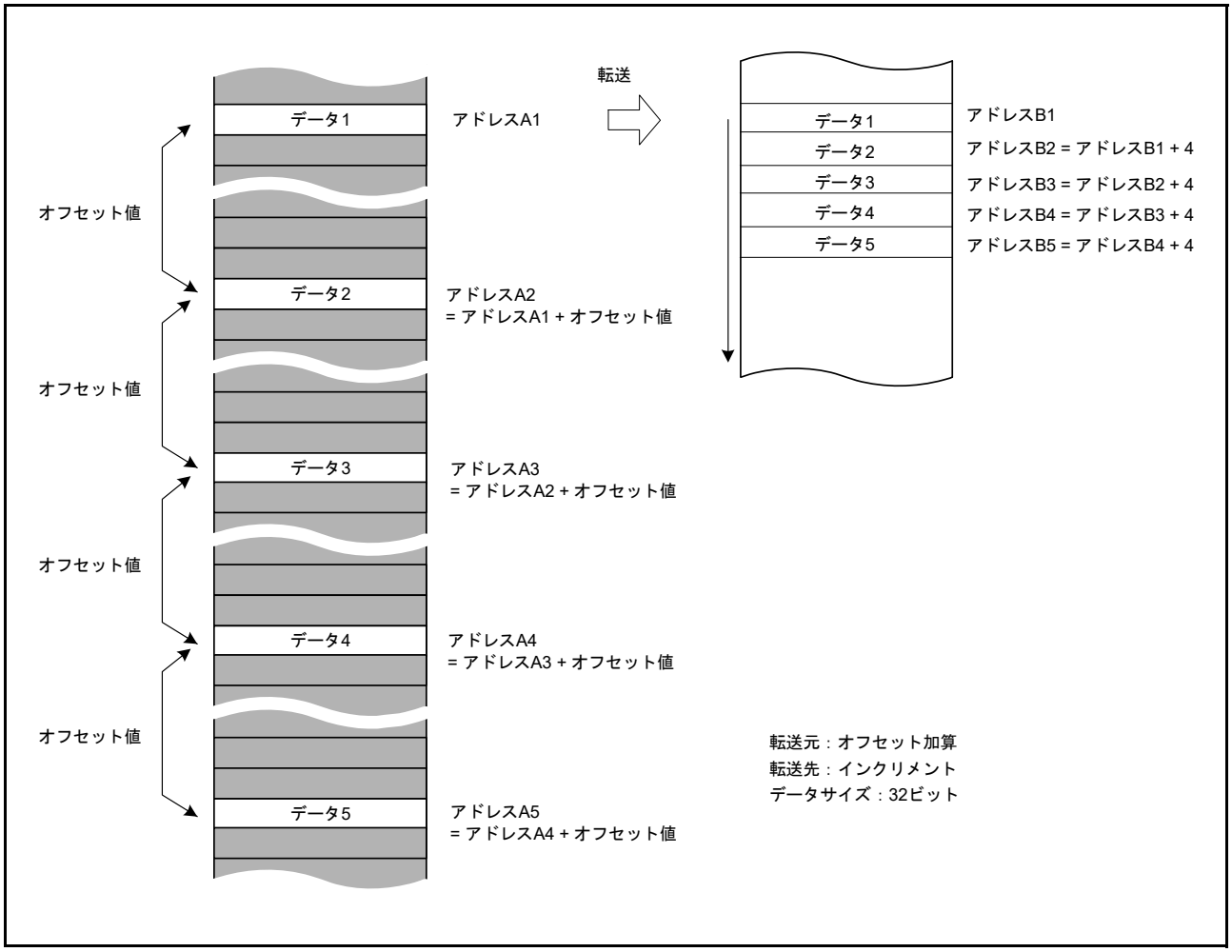


図 17.7 オフセット加算によるアドレス更新機能の動作例

図 17.7 では、以下のように設定しています。

- 転送データサイズは 32 ビット
- 転送元アドレスの更新モードはオフセット加算
- 転送先アドレスの更新モードはインクリメント

2 回目以降のデータは、前回のアドレスにオフセット値を加算することで得られる転送元アドレスから読み出されます。指定された間隔で読み出されたデータは、転送先では連続した領域に書き込まれます。

(2) オフセット加算を使用した XY 変換例

図 17.8 に、リピート転送モードとオフセット加算を組み合わせて XY 変換を行うときの動作を示します。設定方法は以下の通りです。

- DMAC0.DMAMD — 転送元アドレス更新モード設定：オフセット加算
- DMAC0.DMAMD — 転送先アドレス更新モード設定：インクリメント
- DMAC0.DMTMD — データ転送サイズ選択：32 ビット
- DMAC0.DMTMD — 転送モード設定：リピート転送
- DMAC0.DMTMD — リピート領域選択：転送元をリピート領域に設定
- DMAC0.DMOFR — オフセットアドレス：10h
- DMAC0.DMCRA — リピートサイズ：4h
- DMAC0.DMINT — リピートサイズ終了割り込みを許可

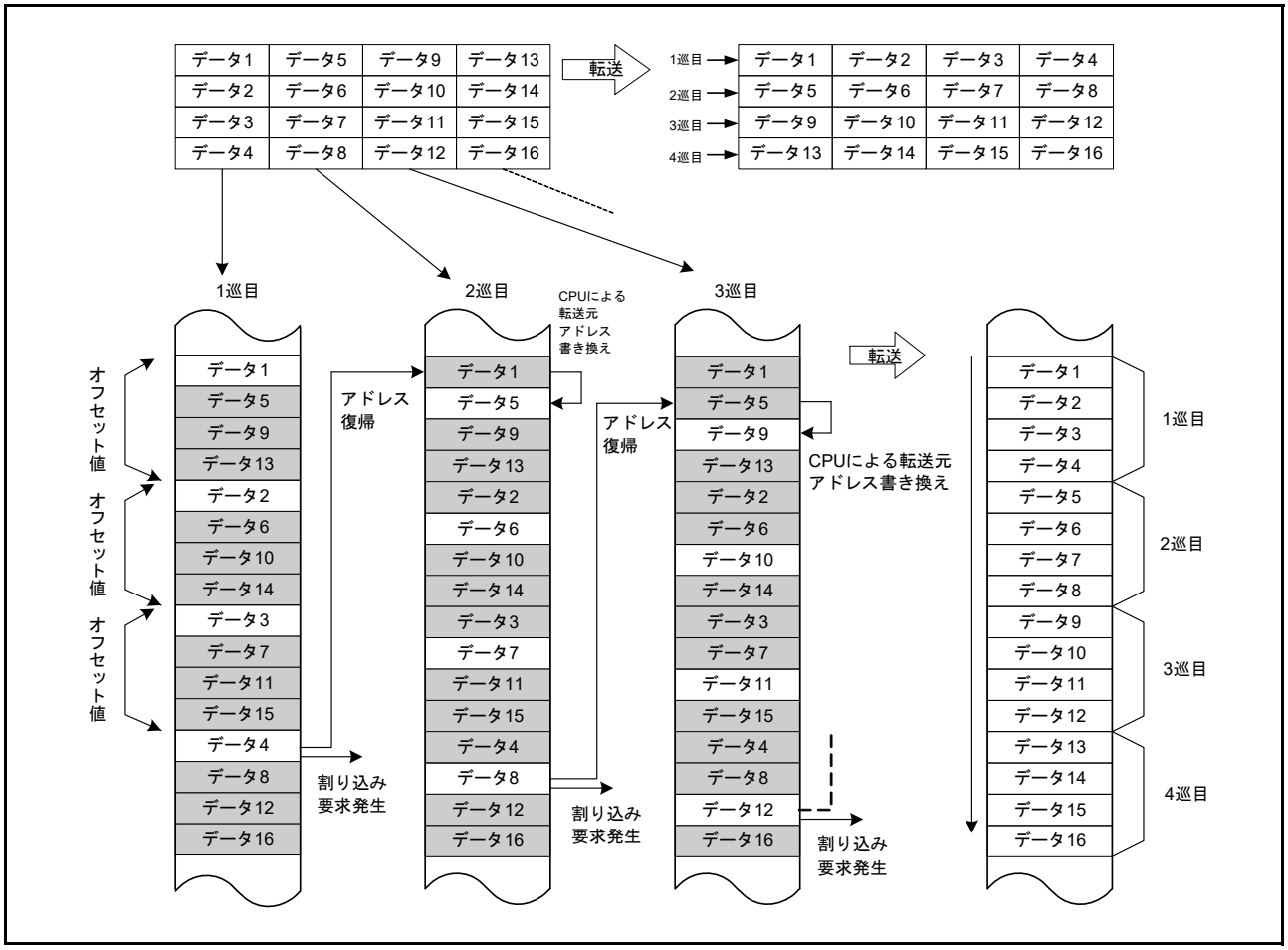


図 17.8 リピート転送モード + オフセット加算による XY 変換動作

転送が開始されると、毎回、転送元アドレスにオフセット値を加算してデータ転送が行われます。転送データは、連続した転送先アドレスに書き込まれます。“ データ 4” まで転送されたときの動作は以下の通りです。

- リピートサイズ分のデータ転送が終了する
- 転送元アドレスは転送開始時のアドレス（転送元の “ データ 1” のアドレス）に復帰する
- リピートサイズ終了割り込要求が発生する

この割り込みによって転送が一時停止している間、以下の処理を行います。

- DMAC0.DMSAR — DMA 転送元アドレスを “ データ 5” のアドレスに書き換える
（この例では “ データ 1” のアドレスに 4 を加算）
- DMAC0.DMCNT — DTE ビットを 1 にする

DMA 転送が中断したときの状態から DMA 転送が再開されます。以降、同じ処理を繰り返すと、転送元のデータが転送先で配置を入れ替えられます（XY 変換）。

図 17.9 に XY 変換の処理フローを示します。

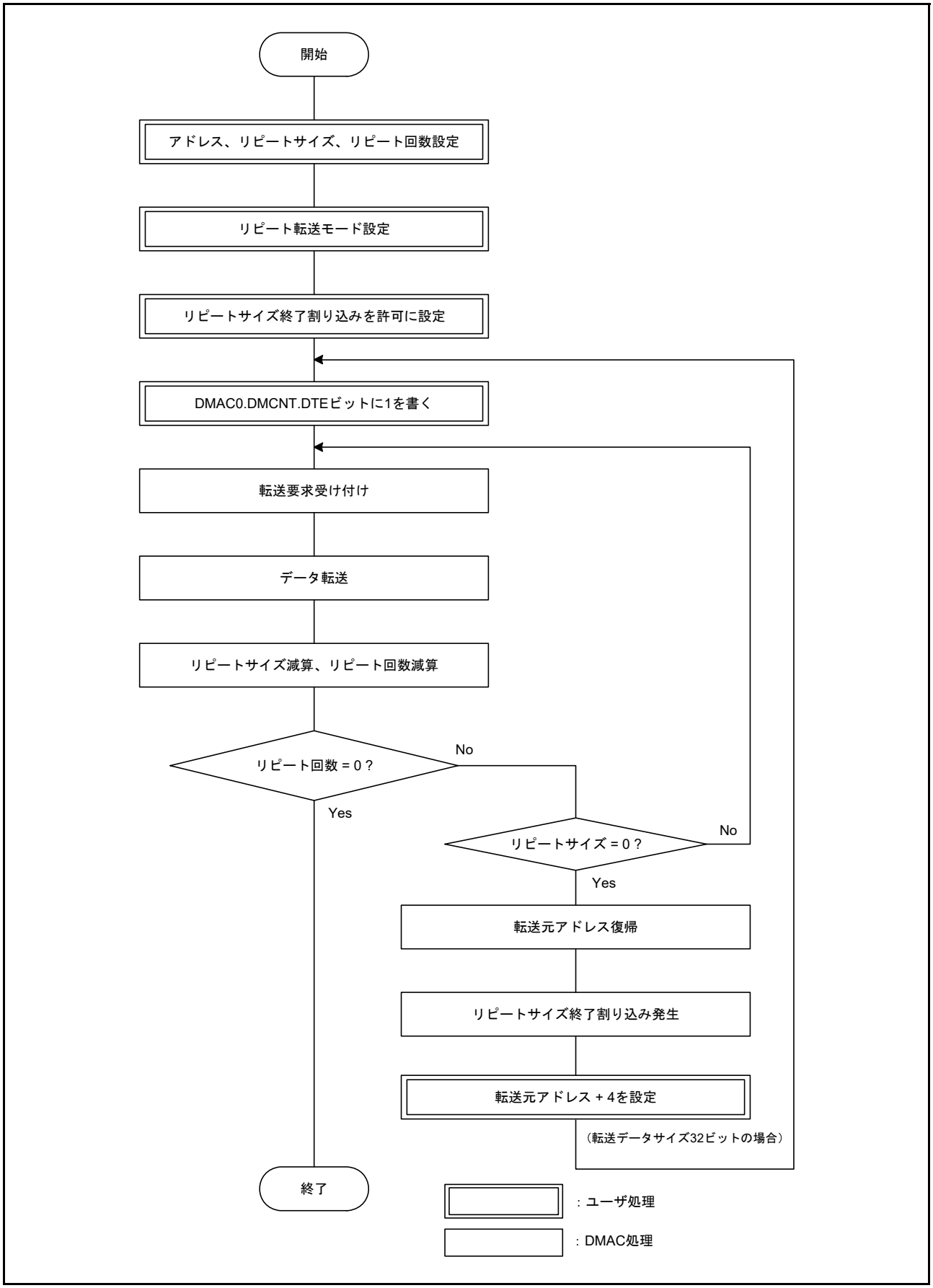


図 17.9　リピート転送モード + オフセット加算による XY 変換フロー

17.3.4 起動要因

ソフトウェア、周辺モジュールからの割り込み要求、および外部割り込み要求は、すべて DMAC 起動要因として指定可能です。起動要因を選択するには、DMACm.DMTMD.DCTG[1:0] ビットを設定します。

(1) ソフトウェアによる DMAC 起動

ソフトウェアによって DMA 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 00b にする。
2. DMACm.DMCNT.DTE ビットを 1（DMA 転送許可）にする。
3. DMAST.DMST ビットを 1（DMAC 起動許可）にする。
4. DMACm.DMREQ.SWREQ ビットを 1（DMA 転送要求あり）にする。

DMACm.DMREQ.CLRS ビットが 0 の状態でソフトウェアによる DMAC 起動を行った場合、DMA 転送要求に対する転送が開始されると DMACm.DMREQ.SWREQ ビットが 0 になります。DMACm.DMREQ.CLRS ビットが 1 の状態でソフトウェアによる DMAC 起動を行った場合は、転送を開始しても DMACm.DMREQ.SWREQ ビットは 0 になりません。要求に対する転送終了後、再び DMA 転送要求が発生します。

(2) 内蔵周辺モジュール／外部割り込み要求による DMAC 起動

内蔵周辺モジュールからの割り込み要求と外部割り込み要求を、DMAC 起動要因に指定することができます。起動要因は、ICU.DELSRn.DELS[8:0] ビット（n = 0 ～ 7）でチャネルごとに個別に選択できます。

内蔵周辺モジュールからの割り込み要求または外部割り込み要求によって DMAC 転送を開始する場合、以下の手順に従います。

1. DMACm.DMTMD.DCTG[1:0] ビットを 01b（周辺モジュールまたは外部割り込み端子からの割り込み）にする。
2. DMACm.DMCNT.DTE ビットを 1（DMA 転送許可）にする。
3. ICU.DELSRn.DSEL ビットにイベント番号を設定する（DMAC イベントリンクを選択する）。
4. DMAST.DMST ビットを 1（DMAC 起動許可）にする。

DMAC 起動要因となる割り込み要求については、「14. 割り込みコントローラユニット（ICU）」の表 14.3 を参照してください。

17.3.5 動作タイミング

下記のタイミング図は、最小実行サイクル数を示しています。

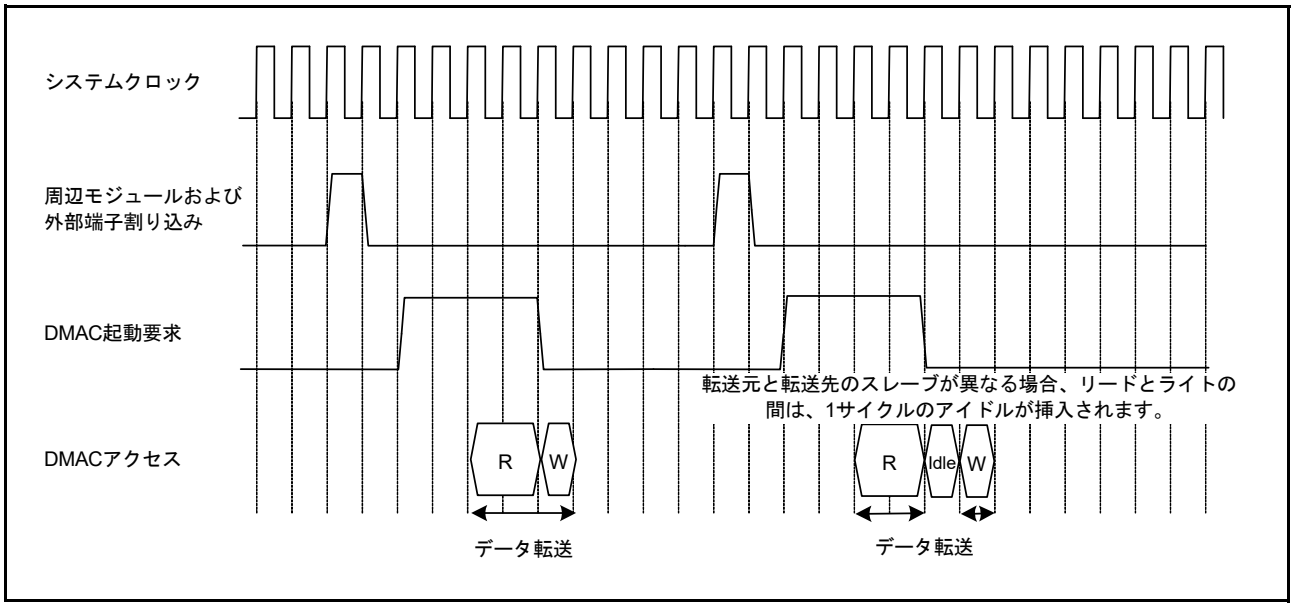


図 17.10 DMAC 動作タイミング例 1：周辺モジュールまたは外部割り込み入力端子からの割り込みによる DMA 起動（ノーマル転送モードまたはリピート転送モードの場合）

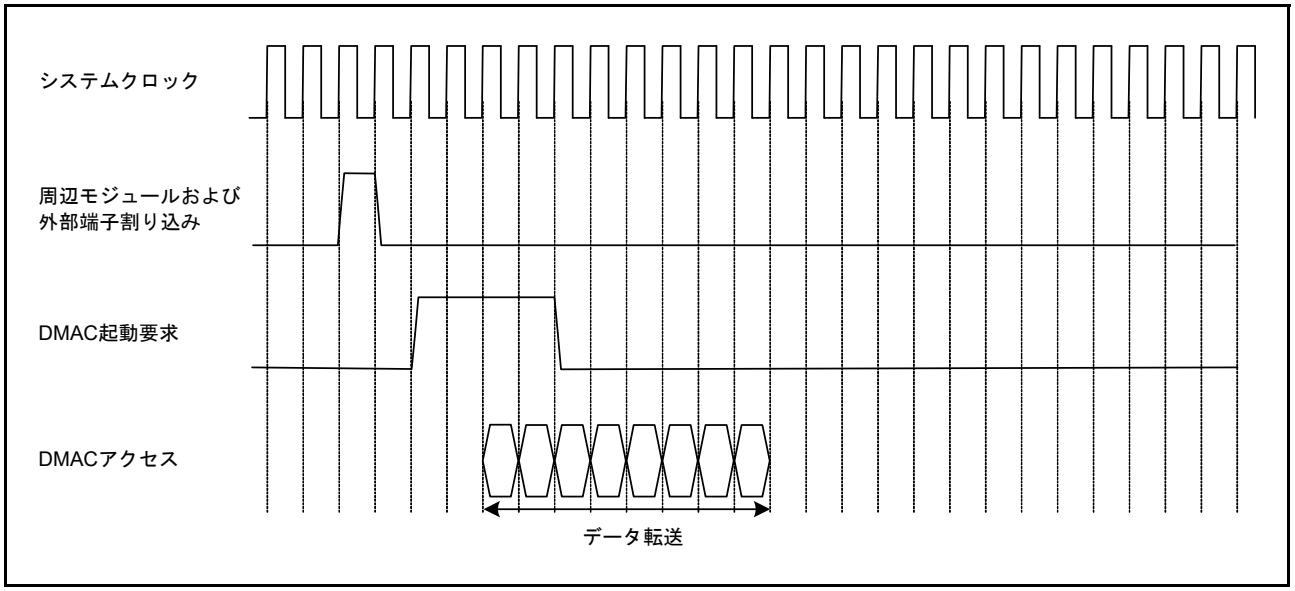


図 17.11 DMAC 動作タイミング例 2：周辺モジュールまたは外部割り込み入力端子からの割り込みによる DMA 起動（ブロック転送モードでブロックサイズ = 4 の場合）

17.3.6 DMAC の実行サイクル

表 17.7 に、DMAC の 1 回のデータ転送の実行サイクルを示します。

表 17.7 DMACの実行サイクル

転送モード	データ転送（読み出し）	データ転送（書き込み）
ノーマル	Cr + Cs + 1	Cw + Cs
リピート	Cr + Cs + 1	Cw + Cs
ブロック（注1）	P × (Cr + Cs)	P × (Cw + Cs)

注 . P = ブロックサイズ（DMCRAH レジスタの設定値）
Cr = データリード先アクセスサイクル
Cw = データライト先アクセスサイクル
Cs = SRAMHS、外部バス、および周辺モジュール関連システムコントロールへのアクセス時：2 サイクル
上記以外へのアクセス時：0 サイクル
スレーブバスがリード／ライトデータ転送によって変化する場合、さらに 1 サイクルを追加

注 1. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

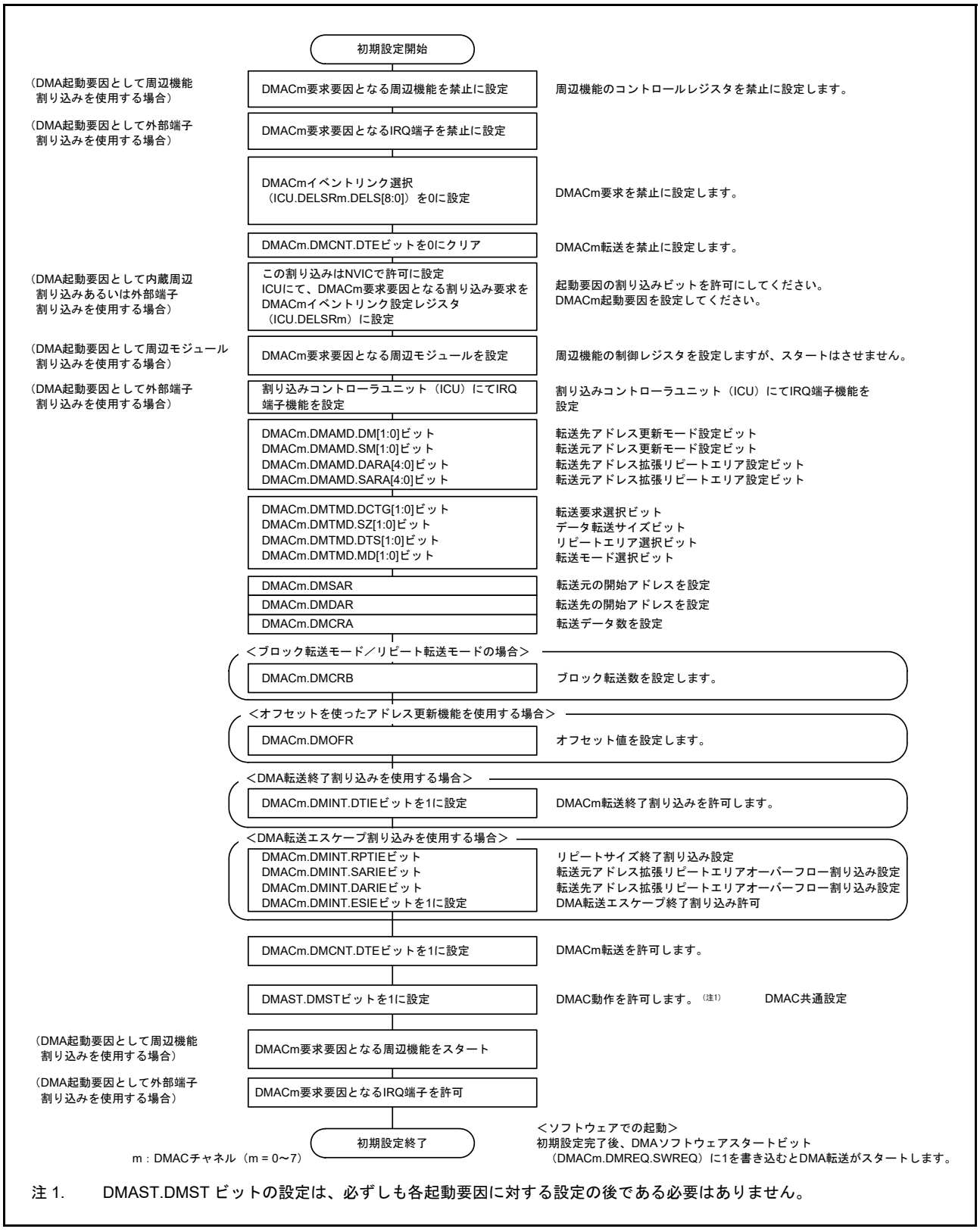
Cr と Cw はアクセス先で異なります。アクセス先ごとのサイクル数については、「53. SRAM」、「55. フラッシュメモリ」、および 15.2.3 外部バスを参照してください。システムクロックと周辺クロックの周波数比も考慮されています。

データ転送（読み出し）列の「+1」の単位は、システムクロック（ICLK）の 1 サイクルです。動作例については、17.3.5 動作タイミングを参照してください。

DMAC の応答時間は、DMAC の起動要因が検出されてから DMAC 転送が始まるまでの時間です。表 17.7 には、DMAC の起動要因がアクティブになってから DMAC 転送が始まるまでの時間は含まれていません。

17.3.7 DMAC の起動

図 17.12 にレジスタの設定手順を示します。



注 1. DMAST.DMST ビットの設定は、必ずしも各起動要因に対する設定の後である必要はありません。

図 17.12 レジスタの設定手順

17.3.8 DMA 転送の開始

チャネル m の DMA 転送を有効にするには、DMACm.DMCNT.DTE ビットを 1（DMA 転送許可）にして、DMAST.DMST ビットを 1（DMAC 起動許可）にします。他の DMAC チャネルや DTC の転送中は、新たな起動要求は受け付けられません。先行する転送が終了した時点で最も優先順位の高いチャネルの DMA 転送要求が選択され、そのチャネルの DMA 転送が開始されます。DMA 転送が始まると、DMACm.DMSTS.ACT フラグが 1（DMAC 動作中）になります。

17.3.9 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理によって値が更新されます。更新される値は、各種設定や転送の状態によって異なります。更新されるレジスタは、DMACm.DMSAR、DMACm.DMDAR、DMACm.DMCRA、DMACm.DMCRB、DMACm.DMCNT、および DMACm.DMSTS です。これらの説明を下記に示します。各転送モードにおけるレジスタの更新動作については、表 17.3 ～表 17.5 を参照してください。

(1) DMA 転送元アドレスレジスタ（DMACm.DMSAR）

1 転送要求に対するデータ転送が終了すると、DMSAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

(2) DMA 転送先アドレスレジスタ（DMACm.DMDAR）

1 転送要求に対するデータ転送が終了すると、DMDAR レジスタの内容は、次の転送要求でアクセスするアドレスに更新されます。

(3) DMA 転送カウントレジスタ（DMACm.DMCRA）

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

(4) DMA ブロック転送カウントレジスタ（DMACm.DMCRB）

1 転送要求に対するデータ転送が終了すると、カウント値が更新されます。更新動作は、選択した転送モードによって異なります。

(5) DMA 転送許可ビット（DMACm.DMCNT.DTE）

DMACm.DMCNT.DTE ビットは、レジスタを書くことによってデータ転送の許可／禁止を制御します。DMA 転送の状態に応じて自動的に DMAC によって 0 にクリアされます。

DMAC がこのビットをクリアする条件は、以下の通りです。

- 設定された総転送データ数の転送が終了したとき
- リピートサイズ終了割り込みによって DMA 転送が停止したとき
- 拡張リピート領域オーバーフロー割り込みによって DMA 転送が停止したとき

対応する DMACm.DMCNT.DTE ビットが 1 になっているチャネルのレジスタへの書き込みは禁止です（DMACm.DMCNT レジスタを除く）。DTE ビットを 0 にした後のみ、書き込みが可能になります。

(6) DMA アクティブフラグ（DMACm.DMSTS.ACT）

DMACm.DMSTS.ACT フラグは、DMACm がアイドル状態であるか、または動作中であるかを示します。このフラグは DMAC がデータ転送を開始すると 1 になり、1 転送要求に対するデータ転送が終了すると 0 になります。DMA 転送中に DMACm.DMCNT.DTE ビットに 0 を書いて DMA 転送を停止させた場合でも、このフラグは DMA 転送が終了するまで 1 を保持します。

(7) 転送終了割り込みフラグ（DMACm.DMSTS.DTIF）

総転送サイズ分の DMA 転送が終了すると、DMACm.DMSTS.DTIF フラグは 1 になります。このフラグと DMACm.DMINT.DTIE ビットがともに 1 の場合、転送終了割り込み要求が発生します。このフラグが 1 になるタイミングは、DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、このフラグは

自動的に 0 クリアされます。

(8) 転送エスケープ終了割り込みフラグ（DMACm.DMSTS.ESIF）

リピートサイズ終了割り込み要求、または拡張リピート領域オーバーフロー割り込み要求が発生したとき、DMACm.DMSTS.ESIF フラグは 1 になります。このフラグと DMACm.DMINT.ESIE ビットがともに 1 の場合、転送エスケープ終了割り込み要求が発生します。このフラグが 1 になるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了し、DMACm.DMSTS.ACT フラグが 0 になって DMA 転送終了を示したときです。割り込み処理中に DMACm.DMCNT.DTE ビットを 1 にした場合、このフラグは自動的に 0 になります。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

17.3.10 チャネル優先順位

DMAC は、複数の DMA 転送要求が発生したとき、DMA 転送要求のあるチャネルの優先順位を判断します。

チャネル優先順位は、チャネル 0 ＞チャネル 1 ＞チャネル 2 ＞チャネル 3 ＞チャネル 4 ＞チャネル 5 ＞チャネル 6 ＞チャネル 7 の順で固定です（チャネル 0 が最優先）。

データ転送中に DMA 転送要求が発生した場合は、最終データの転送後にチャネルアービトレーションを行い、最も優先順位の高いチャネルの転送が開始されます。

17.4 DMA 転送の終了

DMA 転送の終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMACm.DMCNT.DTE ビットと DMACm.DMSTS.ACT フラグが 1 から 0 になります。

17.4.1 設定した総転送回数完了による転送終了

(1) ノーマル転送モード（DMACm.DMTMD.MD[1:0] = 00b）の場合

DMACm.DMCRAL レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ転送終了割り込み要求が送信されます。

(2) リピート転送モード（DMACm.DMTMD.MD[1:0] = 01b）の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

(3) ブロック転送モード（DMACm.DMTMD.MD[1:0] = 10b）の場合

DMACm.DMCRB レジスタの値が 1 から 0 になると、対応するチャネルの DMA 転送が終了し、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.DTIF フラグが 1 になります。このとき DMACm.DMINT.DTIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

17.4.2 リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DMACm.DMINT.RPTIE ビットが 1 であれば、1 リピートサイズ分の転送終了時にリピートサイズ終了割り込み要求が発生します。DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。転送を再開させるには、DMACm.DMCNT.DTE ビットに 1 を書き込んでください。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。1 ブロックサイズ分の転送終了時に、リピート転送モードと同様に割り込み要求が発生します。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

17.4.3 拡張リピート領域オーバーフロー割り込みによる転送終了

拡張リピート領域が指定され、かつ DMACm.DMINT.SARIE ビットまたは DMACm.DMINT.DARIE ビットが 1 の場合に、拡張リピート領域がオーバーフローすると、拡張リピート領域オーバーフロー割り込み要求が発生します。DMA 転送が停止して、DMACm.DMCNT.DTE ビットが 0 になり、DMACm.DMSTS.ESIF フラグが 1 になります。このとき DMACm.DMINT.ESIE ビットが 1 であると、CPU または DTC へ割り込み要求が送信されます。

この割り込み要求がリードサイクル中に発生しても、以降のライトサイクルは実行されます。ブロック転送モードでは、割り込み要求が 1 ブロックの転送中に発生しても、そのブロックの残りのデータが転送されるまで、転送は終了しません。

DMAC からの割り込み要求を CPU または DTC へ送信する前に、割り込みコントロールレジスタを設定する必要があります。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

17.4.4 DMA 転送の終了に関する注意事項

DMA 転送終了後、次の要求時に DMA 起動要求が発生する場合があります。このような状況が生じた場合、DMA 転送が開始され、DMA 起動要求は DMAC 内に保持されます。これを避けるには、ICU の DELSRn.DSELS[8:0] ビットを 0 にして、DMA 起動要求を停止してください。

最後の DMA 転送後に DMA 起動要求が発生した場合は、ダミーの DMA 転送を用いて DMA 起動要求をクリアしてください。図 17.13 を参照してください。

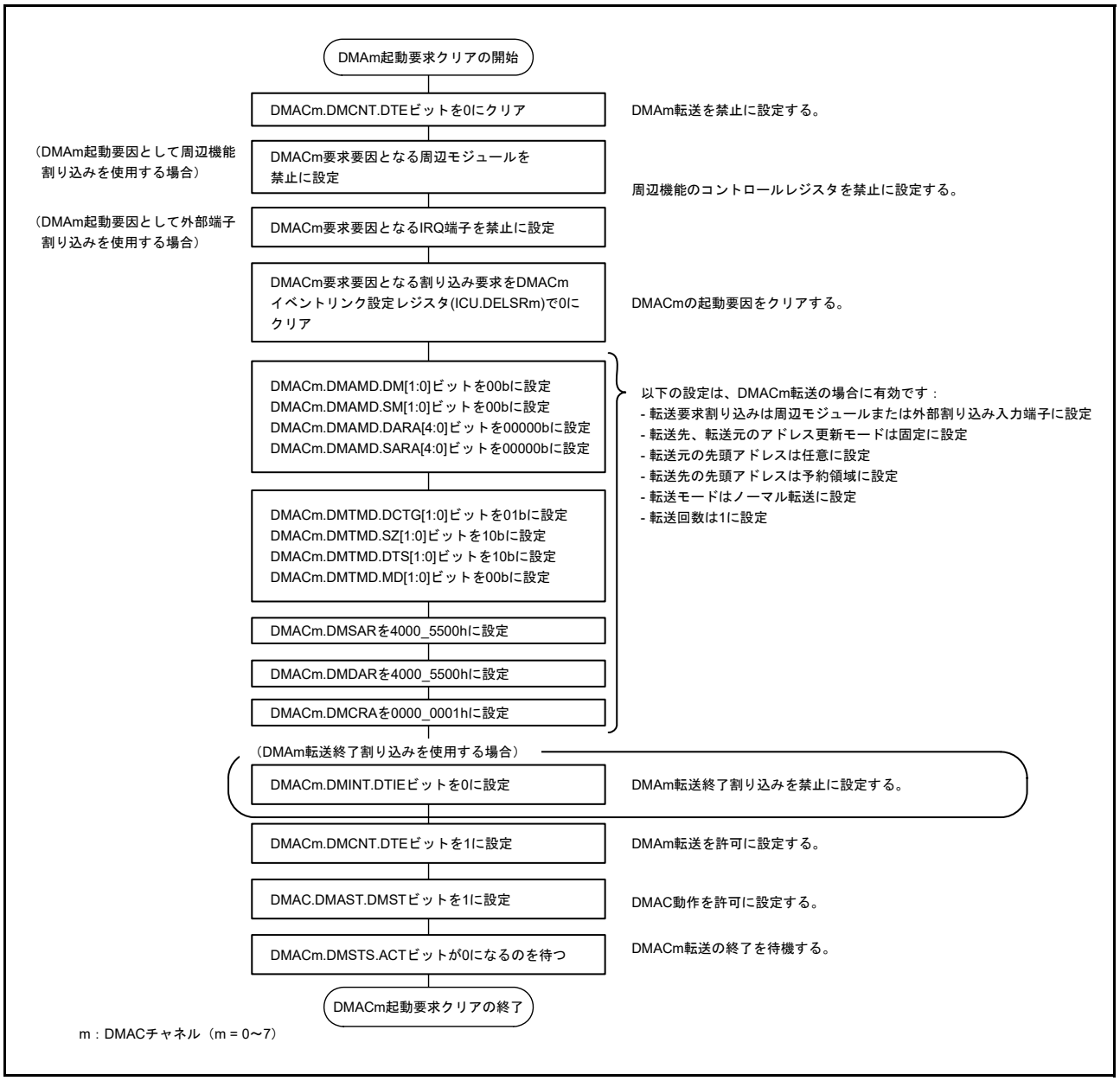


図 17.13 DMA 起動要求をクリアするためのレジスタ設定手順例

17.5 割り込み

各 DMAC チャネルは、1 要求分の転送終了後、CPU または DTC へ割り込み要求（DMACm_INT）を出力することができます。転送先が外部バスの場合、実際の転送先への書き込みではなく、ライトバッファへの書き込みが完了した時点で、割り込み要求が発生します。

表 17.8 に、各割り込み要因とそれらに対応するステータスフラグおよび許可ビットを示します。図 17.14 に、割り込み出力の概略論理図（DMAC0 ～ DMAC7）を示します。また、DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順を図 17.15 に示します。

表 17.8 割り込み要因、割り込みステータスフラグ、割り込み許可ビットの対応関係

割り込み要因		割り込み許可ビット	割り込みステータスフラグ	要求出力許可ビット
転送終了		—	DMACm.DMSTS.DTIF	DMACm.DMINT.DTIE
エスケープ転送終了	リピートサイズ終了	DMACm.DMINT.RPTIE	DMACm.DMSTS.ESIF	DMACm.DMINT.ESIE
	転送元アドレス拡張リピート領域オーバーフロー	DMACm.DMINT.SARIE		
	転送先アドレス拡張リピート領域オーバーフロー	DMACm.DMINT.DARIE		

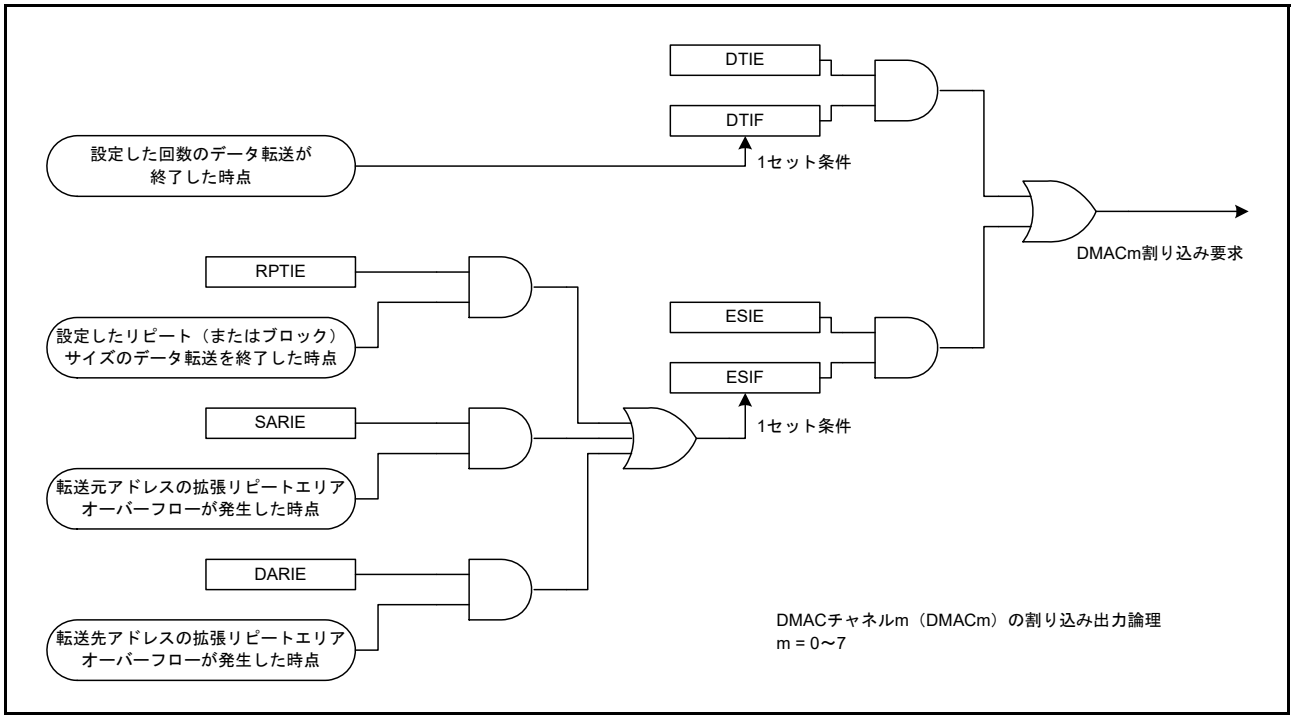


図 17.14 割り込み出力（DMAC0 ～ DMAC7）の概略論理図

割り込みを解除して DMA 転送を再開する方法は、以下のケースで異なります。

- DMA 転送を終了した場合
- DMA 転送を継続した場合

(1) DMA 転送を終了した場合

転送終了割り込みの場合は、DMACm.DMSTS.DTIF フラグに 0 を書いてください。また、リピートサイズ割り込みと拡張リピート領域オーバーフロー割り込みの場合は、DMACm.DMSTS.ESIF フラグに 0 を書いてください。割り込み要因がクリアされます。DMACm は停止状態を保ちます。その後、新たな DMA 転送を開始する場合は、必要なレジスタを設定して、DMACm.DMCNT.DTE ビットを 1（DMA 転送許可）にしてください。

(2) DMA 転送を継続した場合

DMACm.DMCNT.DTE ビットに 1 を書いてください。自動的に DMACm.DMSTS.ESIF フラグが 0（割り込み要因がクリア）になり、DMA 転送が再開します。

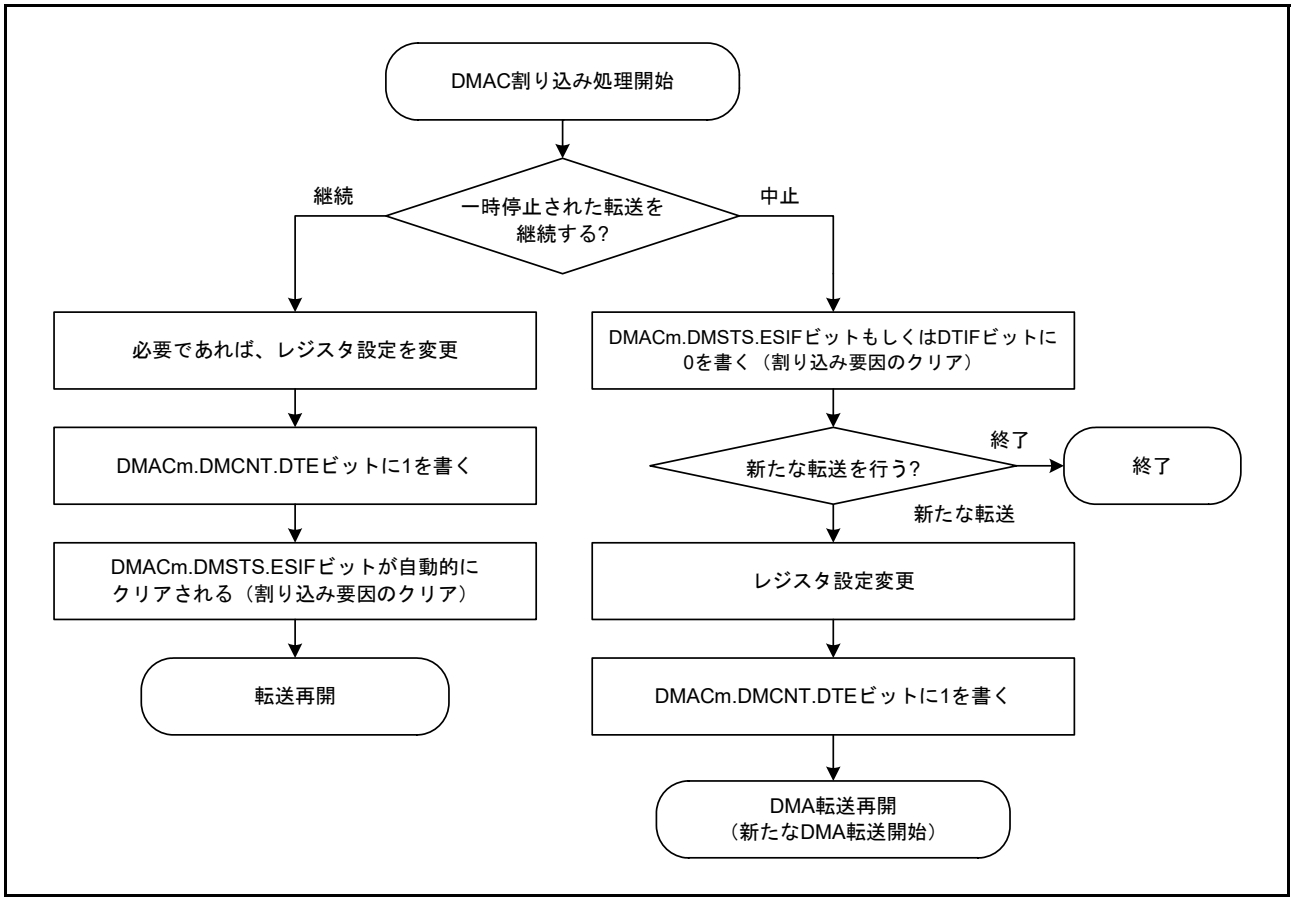


図 17.15 DMAC 割り込み処理ルーチンで DMA 転送を再開／終了する手順

17.6 イベントリンク

各 DMAC チャネルは、1 回のデータ転送（ブロック転送モードの場合は 1 ブロックの転送）が終了するたびに、イベントリンク要求信号（DMACm_INT）を出力します。転送先が外部バスの場合、ライトバッファへの書き込みが受け付けられた時点で、イベントリンク要求信号が発生します。詳細は、「19. イベントリンクコントローラ（ELC）」を参照してください。

17.7 低消費電力機能

モジュールストップ状態、ソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する際は、最初に DMAST.DMST ビットを 0（DMAC モジュール停止）にして、以下のように設定してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DMAC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたとき、DMA 転送が動作中の場合は、DMA 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のとき、DMAC のレジスタにアクセスすることは禁止されています。MSTPCRA.MSTPA22 ビットに 0 を書くことで、DMAC のモジュールストップ状態は解除されます。

(2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

11.7.1 ソフトウェアスタンバイモードへの遷移および 11.9.1 ディープソフトウェアスタンバイモードへの遷移に示す手順に従って設定してください。

WFI 命令実行時に DMA 転送が動作中の場合、DMA 転送が終了してからソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移します。

(3) 低消費電力機能に関する注意事項

WFI 命令とレジスタの設定については、11.10.7 WFI 命令のタイミングを参照してください。

低消費電力モードから復帰後、DMA 転送を行うには、再度 DMAST.DMST ビットを 1 にしてください。ソフトウェアスタンバイモード時に発生した要求を、DMAC 起動要求ではなく CPU への割り込み要求として使用する場合は、14.4.2 割り込み要求先の選択に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。

17.8 使用上の注意事項

17.8.1 外部デバイスへの DMA 転送について

外部デバイスへの DMA 転送では、最後のデータライトが開始されてから外部バスアクセスが終了するまで、DMACm.DMSTS.ACT フラグを 0（DMAC 停止中）にする必要があります。

17.8.2 DMA 転送中のレジスタアクセスについて

DMACm.DMSTS.ACT フラグが 1（DMAC 動作中）、または DMACm.DMCNT.DTE ビットが 1（DMA 転送許可）の状態で、同じチャネルの下記のレジスタに書き込まないでください。

- DMSAR
- DMDAR
- DMCRA
- DMCRB
- DMTMD
- DMINT
- DMAMD
- DMOFR

17.8.3 予約領域への DMA 転送について

予約領域への DMA 転送は禁止です。予約領域へアクセスが発生した場合の転送結果は保証されません。予約領域の詳細は、「4. アドレス空間」を参照してください。

17.8.4 割り込みコントローラユニットの DMAC イベントリンク設定レジスタ（DELSRn）の設定

DMAC イベントリンク設定レジスタ（ICU.DELSRn）を設定する前に、DMA 転送許可ビット（DMACm.DMCNT.DTE ビット）が 0（DMA 転送禁止）であることを確認してください。また、ICU.DELSRn レジスタで設定したイベント番号に対応する DTC 起動許可レジスタ（ICU.IELSRn.DTCE）を 1 にしないでください。ICU.IELSRn.DTCE レジスタと ICU.DELSRn レジスタの詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

17.8.5 DMA 起動の保留／再開方法

DMA 起動要求を保留するには、DMAC イベントリンク選択ビット（ICU.DELSRn.DELS[8:0]）を 0 にしてください。DMA 転送を再開するには、17.3.7 DMAC の起動に示す設定を行った上で、ICU.DELSRn.DELS[8:0] ビットにイベント番号を書き込んでください。

18. データトランスファコントローラ（DTC）

18.1 概要

データトランスファコントローラ（DTC）は、割り込み要求によって起動するとデータ転送を行います。表 18.1 に DTC の仕様を、図 18.1 にブロック図を示します。

表 18.1 DTCの仕様

項目	内容
転送モード	• ノーマル転送モード 1回の起動で1データを転送 • リピート転送モード 1回の起動で1データを転送 リピートサイズ分データを転送すると転送開始時のアドレスに復帰 リピート回数は最大256回設定可能で、最大256 × 32ビット（1,024バイト）転送可能 • ブロック転送モード 1回の起動で1ブロックを転送 ブロックサイズは、最大256 × 32ビット= 1,024バイト設定可能
転送チャネル	• 割り込み要因に対応するチャネルの転送が可能（ICUからのDTC起動要求で転送） • 1つの起動要因に対して複数データの転送が可能（チェーン転送） • チェーン転送は「カウンタが0のとき実施」または「毎回実施」のいずれかを選択可能
転送空間	• 4Gバイト（0000 0000h～FFFF FFFFhのうち、予約領域を除く領域）
データ転送単位	• 1データ：1バイト（8ビット）、1ハーフワード（16ビット）、1ワード（32ビット） • 1ブロックサイズ：1～256データ
CPU割り込み要因	• DTCを起動した割り込みでCPUへの割り込み要求を発生可能 • 1回のデータ転送後にCPUへの割り込み要求を発生可能 • 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
イベントリンク機能	1回のデータ転送後（ブロックの場合は1ブロック転送後）、イベントリンク要求を発生
リードスキップ	転送情報のリードスキップを実行可能
ライトバックスキップ	転送元アドレスまたは転送先アドレスが固定の場合、ライトバックスキップを実行可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

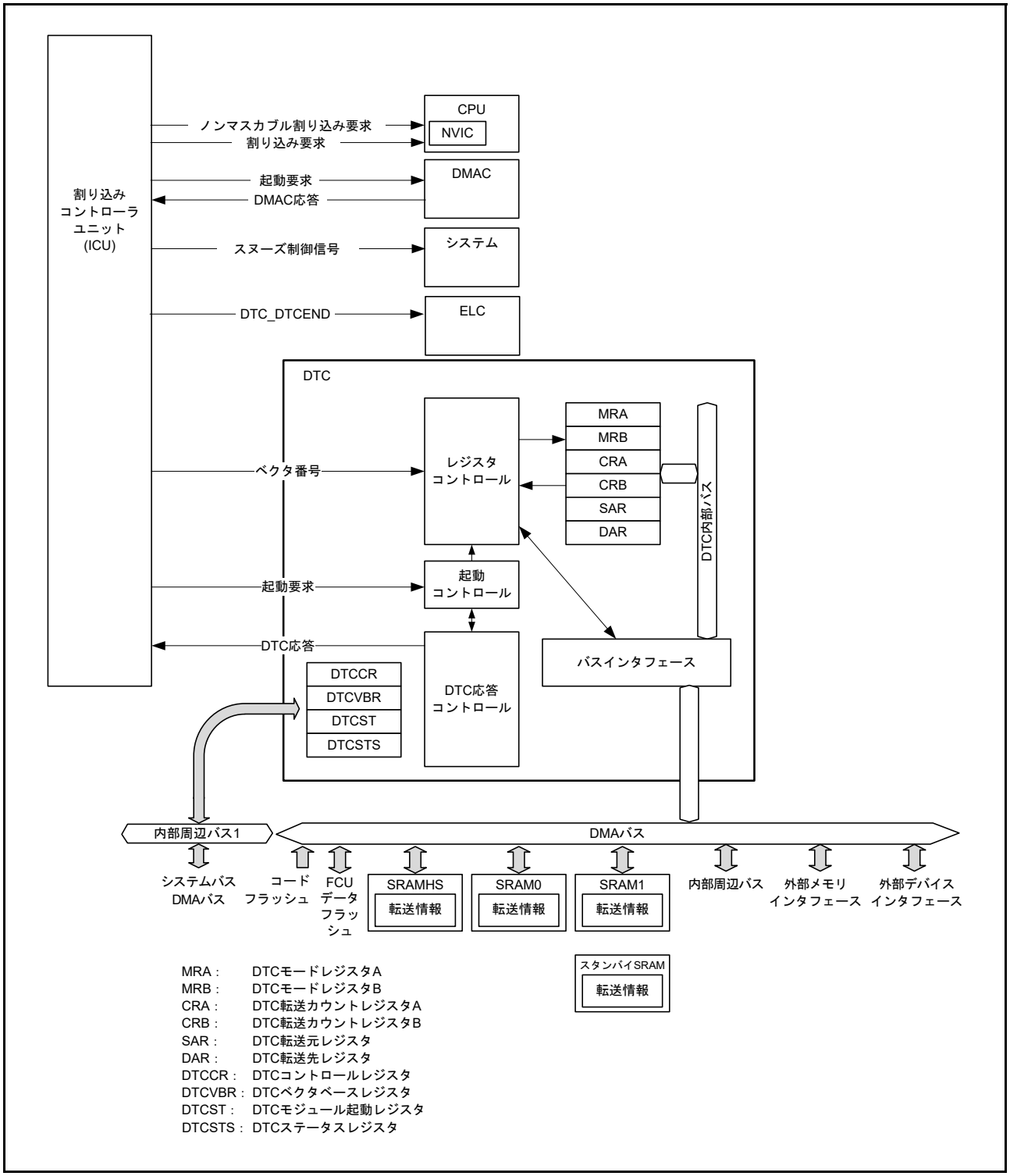


図 18.1 DTC のブロック図

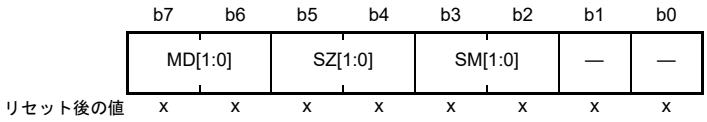
DTC と NVIC（CPU 内）の接続関係については、「14. 割り込みコントローラユニット（ICU）」の 14.1 概要を参照してください。

18.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB は、すべて DTC の内部レジスタであり、CPU から直接アクセスすることはできません。これら DTC 内部レジスタの設定値は、SRAM 領域に転送情報として配置されます。起動要求が発生すると、DTC は SRAM 領域から転送情報を読み出して、それを DTC の内部レジスタに設定します。データ転送の終了後、内部レジスタの内容は転送情報として SRAM 領域にライトバックされます。

18.2.1 DTC モードレジスタ A（MRA）

アドレス （CPUから直接アクセス不可。18.3.1 を参照してください）



x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモード	b3 b2 0 0：SARレジスタはアドレス固定（SARレジスタへのライトバックをスキップ） 0 1：SARレジスタはアドレス固定（SARレジスタへのライトバックをスキップ） 1 0：転送後SARレジスタをインクリメント（SZ[1:0] = 00bのとき+1、01bのとき+2、10bのとき+4） 1 1：転送後SARレジスタをデクリメント（SZ[1:0] = 00bのとき-1、01bのとき-2、10bのとき-4）	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズ	b5 b4 0 0：バイト（8ビット）転送 0 1：ハーフワード（16ビット）転送 1 0：ワード（32ビット）転送 1 1：設定禁止	—
b7-b6	MD[1:0]	DTC転送モード選択	b7 b6 0 0：ノーマル転送モード 0 1：リピート転送モード 1 0：ブロック転送モード 1 1：設定禁止	—

MRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報（n）の開始アドレス + 03h）にアクセス可能なので、DTC によって MRA レジスタから（および MRA レジスタへ）自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

18.2.2 DTC モードレジスタ B（MRB）

アドレス（CPUから直接アクセス不可。18.3.1を参照してください）

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]		—	—
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモード	b3 b2 0 0：DARレジスタはアドレス固定（DARレジスタへのライトバックをスキップ） 0 1：DARレジスタはアドレス固定（DARレジスタへのライトバックをスキップ） 1 0：転送後DARレジスタをインクリメント（MRA.SZ[1:0] = 00bのとき+1、01bのとき+2、10bのとき+4） 1 1：転送後DARレジスタをデクリメント（MRA.SZ[1:0] = 00bのとき-1、01bのとき-2、10bのとき-4）	—
b4	DTS	DTC転送モード選択	0：転送先がリピート領域またはブロック領域 1：転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC割り込み選択	0：指定されたデータ転送終了時、CPUへの割り込みが発生 1：DTCデータ転送のたびに、CPUへの割り込みが発生	—
b6	CHNS	DTCチェーン転送選択	0：連続してチェーン転送を行う 1：転送カウンタが1→0、または1→CRAHとなったとき、チェーン転送を行う	—
b7	CHNE	DTCチェーン転送許可	0：チェーン転送禁止 1：チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報（n）の開始アドレス＋02h）にアクセス可能なので、DTC によって MRB レジスタから（および MRB レジスタへ）自動的に転送されます。18.3.1　転送情報の配置と DTC ベクタテーブルを参照してください。

DTS ビット（DTC 転送モード選択）

リピート転送モードあるいはブロック転送モードにおいて、転送元または転送先をリピート領域またはブロック領域に選択します。

CHNS ビット（DTC チェーン転送選択）

チェーン転送の条件を選択します。CHNE ビットが 0 のとき、CHNS ビットの設定は無視されます。チェーン転送の条件については、表 18.3　チェーン転送の条件を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定も、起動要因フラグのクリアも行われず、CPU への割り込み要求は発生しません。

CHNE ビット（DTC チェーン転送許可）

チェーン転送を許可します。チェーン転送条件の選択は、CHNS ビットで行います。チェーン転送の詳細については、18.4.6　チェーン転送を参照してください。

18.2.3 DTC 転送元レジスタ（SAR）

アドレス（CPUから直接アクセス不可。18.3.1を参照してください）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報（n）の開始アドレス＋04h）にアクセス可能なので、DTC によって SAR レジスタから（および SAR レジスタへ）自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

注 . DTC 転送では、アドレスの不整合は禁止されます。MRA.SZ[1:0] = 01b の場合、ビット [0] は 0 であり、MRA.SZ[1:0] = 10b の場合、ビット [1] およびビット [0] は 0 でなければいけません。

18.2.4 DTC 転送先レジスタ（DAR）

アドレス（CPUから直接アクセス不可。18.3.1を参照してください）

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

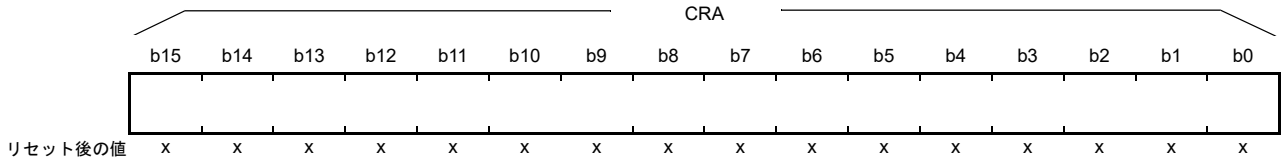
DAR レジスタは、転送先の開始アドレスを設定するレジスタです。CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報（n）の開始アドレス＋08h）にアクセス可能なので、DTC によって DAR レジスタから（および DAR レジスタへ）自動的に転送されます。18.3.1 転送情報の配置と DTC ベクタテーブルを参照してください。

注 . DTC 転送では、アドレスの不整合は禁止されます。MRA.SZ[1:0] = 01b の場合、ビット [0] は 0 であり、MRA.SZ[1:0] = 10b の場合、ビット [1] およびビット [0] は 0 でなければいけません。

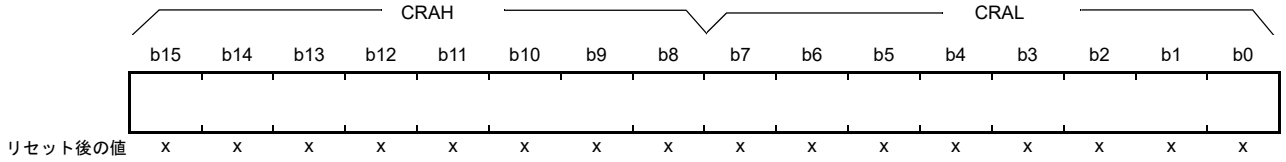
18.2.5 DTC 転送カウントレジスタ A（CRA）

アドレス（CPUから直接アクセス不可。18.3.1を参照してください）

- ノーマル転送モード



- リピート転送モード／ブロック転送モード



x：不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定	—
CRAH	転送カウンタA上位レジスタ		—

注．　転送モードによって機能が異なります。
注．　リピート転送モードとブロック転送モードでは、CRAH および CRAL レジスタには同じ値を設定してください。

CRA レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報（n）の開始アドレス＋0Eh）にアクセス可能なので、DTC によって CRA レジスタから（および CRA レジスタへ）自動的に転送されます。18.3.1　転送情報の配置と DTC ベクタテーブルを参照してください。

(1)　ノーマル転送モードの場合（MRA.MD[1:0] = 00b）

ノーマル転送モードでは、CRA レジスタは 16 ビットの転送カウンタとして機能します。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。CRA レジスタの値は、データ転送を 1 回行うたびにデクリメント（-1）されます。

(2)　リピート転送モードの場合（MRA.MD[1:0] = 01b）

リピート転送モードでは、CRAH レジスタは転送回数を保持し、CRAL レジスタは 8 ビットの転送カウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント（-1）されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

(3)　ブロック転送モードの場合（MRA.MD[1:0] = 10b）

ブロック転送モードでは、CRAH レジスタはブロックサイズを保持し、CRAL レジスタは 8 ビットのブロックサイズカウンタとして機能します。転送回数は、設定値が 01h のときは 1 回、FFh のときは 255 回、00h のときは 256 回となります。CRAL レジスタの値は、データ転送を 1 回行うたびにデクリメント（-1）されます。00h に達すると、CRAH レジスタの値が CRAL レジスタへ転送されます。

18.2.6 DTC 転送カウントレジスタ B（CRB）

アドレス（CPUから直接アクセス不可。18.3.1を参照してください）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

CRB レジスタは、ブロック転送モードのブロック転送回数を設定するレジスタです。転送回数は、設定値が 0001h のときは 1 回、FFFFh のときは 65,535 回、0000h のときは 65,536 回となります。CRB レジスタの値は、1 ブロックサイズの最終データ転送時にデクリメント（-1）されます。ノーマル転送モードまたはリピート転送モードを選択した場合、CRB レジスタは使用されず、設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。CPU は SRAM 領域（転送情報（n）の開始アドレス＋0Ch）にアクセス可能なので、DTC によって CRB レジスタから（および CRB レジスタへ）自動的に転送されます。18.3.1　転送情報の配置と DTC ベクタテーブルを参照してください。

18.2.7 DTC コントロールレジスタ（DTCCR）

アドレス DTC.DTCCR 4000 5400h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RRS	—	—	—	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b4	RRS	DTC転送情報リードスキップ許可	0：転送情報のリードスキップを行わない 1：ベクタ番号が一致したとき、転送情報のリードスキップを行う	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RRS ビット（DTC 転送情報リードスキップ許可）

ベクタ番号が一致したとき、転送情報のリードスキップを許可します。

DTC ベクタ番号は、前回起動時のベクタ番号と比較されます。ベクタ番号が一致し、かつ RRS ビットが 1 になっていると、転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送のときは、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

前回の転送がノーマル転送で転送カウンタ（CRA レジスタ）が 0 になっている場合と、ブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、RRS ビットの値にかかわらず転送情報の読み出しが行われます。

18.2.8 DTC ベクタベースレジスタ（DTCVBR）

アドレス DTC.DTCVBR 4000 5404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	ビット名	機能	R/W
b31-b0	DTCベクタベースアドレス	DTCベクタベースアドレスを設定（下位10ビットは0にしてください）	R/W

DTCVBR レジスタは、DTC ベクタテーブルのアドレス計算に用いられるベースアドレスを設定するレジスタです。0000 0000h ～ FFFF FFFFh（4G バイト）の範囲内で 1K バイト単位の設定が可能です。

18.2.9 DTC モジュール起動レジスタ（DTCST）

アドレス DTC.DTCST 4000 540Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動	0：DTCモジュール停止 1：DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DTCST ビット（DTC モジュール起動）

DTC が転送要求を受け付けられるようにするには、DTCST ビットを 1 にしてください。DTCST ビットを 0 にすると、新たな転送要求を受け付けません。データ転送中に 0 に書き換えた場合、受け付け済みの転送要求は処理が終了するまで有効です。

下記の状態へ遷移する際は、事前に DTCST ビットを 0 にする必要があります。

- モジュールストップ状態
- スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード
- ディープソフトウェアスタンバイモード

これらの遷移については、18.10 モジュールストップ機能と「11. 低消費電力モード」を参照してください。

18.2.10 DTC ステータスレジスタ（DTCSTS）

アドレス DTC.DTCSTS 4000 540Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ACT	—	—	—	—	—	—	—	VECN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTCアクティブベクタ番号モニタ	DTC転送動作中にその起動要因をベクタ番号で示します。 この値は、DTC転送動作中（ACTフラグが1の場合）にのみ有効です。	R
b14-b8	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b15	ACT	DTCアクティブフラグ	0：DTC転送動作なし 1：DTC転送動作中	R

VECN[7:0] ビット（DTC アクティブベクタ番号モニタ）

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。ACT フラグが 1（DTC 転送動作中）であれば、読み出された VECN[7:0] の値は有効であり、ACT フラグが 0（DTC 転送動作なし）であれば、読み出された VECN[7:0] の値は無効です。

ACT フラグ（DTC アクティブフラグ）

DTC の転送動作状態を示します。

［1 になる条件］

- 転送要求によって DTC が起動したとき

［0 になる条件］

- 転送要求に対する DTC の転送が完了したとき

18.3 起動要因

DTC は割り込み要求によって起動します。ICU の ICU.IELSRn.DTCE ビットを 1 にすると、対応する割り込みによって DTC が起動します。ICU.IELSR で設定された選択出力番号 n （n = 0 ～ 95）は、割り込みベクタ番号として定義されます。許可された割り込みに対して、各割り込みベクタ番号 n に対応した特定の DTC 割り込み要因が、ICU.IELSRn.IELS[8:0]（n = 0 ～ 95）によって選択されます。

ICU.IELSRn.IELS[8:0]（n = 0 ～ 95）の設定方法については、「14. 割り込みコントローラユニット（ICU）」の表 14.4 イベントテーブルを参照してください。ソフトウェアによる起動については、19.2.2 イベントリンクソフトウェアイベント発生レジスタ n（ELSEGRn）（n = 0, 1）を参照してください。

割り込みベクタ番号は DTC ベクタテーブル番号と同等です。DTC が起動要求を受け付けると、その要求に対する転送が終了するまで、新たな起動要求は優先順位にかかわらず受け付けません。DMAC または DTC 転送中に複数の起動要求が発生した場合、転送の終了時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット（DTCST.DTCST）が 0 の状態で、複数の起動要求が発生した場合、DTC は、その後このビットが 1 になったときに最も優先順位の高い要求を受け付けます。割り込みベクタ番号が小さいほど優先順位は高くなります。

1 回のデータ転送開始時（チェーン転送の場合、連続した最後の転送時）、DTC は以下のように動作します。

- 指定した回数のデータ転送が終了すると、ICU.IELSRn.DTCE ビットが 0 になり、CPU に対して割り込み要求が送信される
- MRB.DISEL ビットが 1 の場合、データ転送完了時に CPU に対して割り込み要求が送信される
- 上記のいずれでもない場合、起動要因となった ICU.IELSRn.IR ビットはデータ転送開始時に 0 になる

18.3.1 転送情報の配置と DTC ベクタテーブル

DTC は、起動要因ごとにベクタテーブルから転送情報の開始アドレスを読み出して、このアドレスから始まる転送情報を読み出します。

ベクタテーブルのベースアドレス（開始アドレス）は、下位 10 ビットが 0 になるように配置する必要があります。DTC ベクタベースレジスタ（DTCVBR）を用いて、DTC ベクタテーブルのベースアドレスを設定してください。転送情報は SRAM 領域に配置します。SRAM 領域では、ベクタ番号 n を持つ転送情報（n）の開始アドレスは、ベクタテーブルのベースアドレス +4n 番地でなければいけません。

DTC ベクタテーブルと転送情報の対応を図 18.2 に示します。SRAM 領域上の転送情報の配置を図 18.3 に示します。

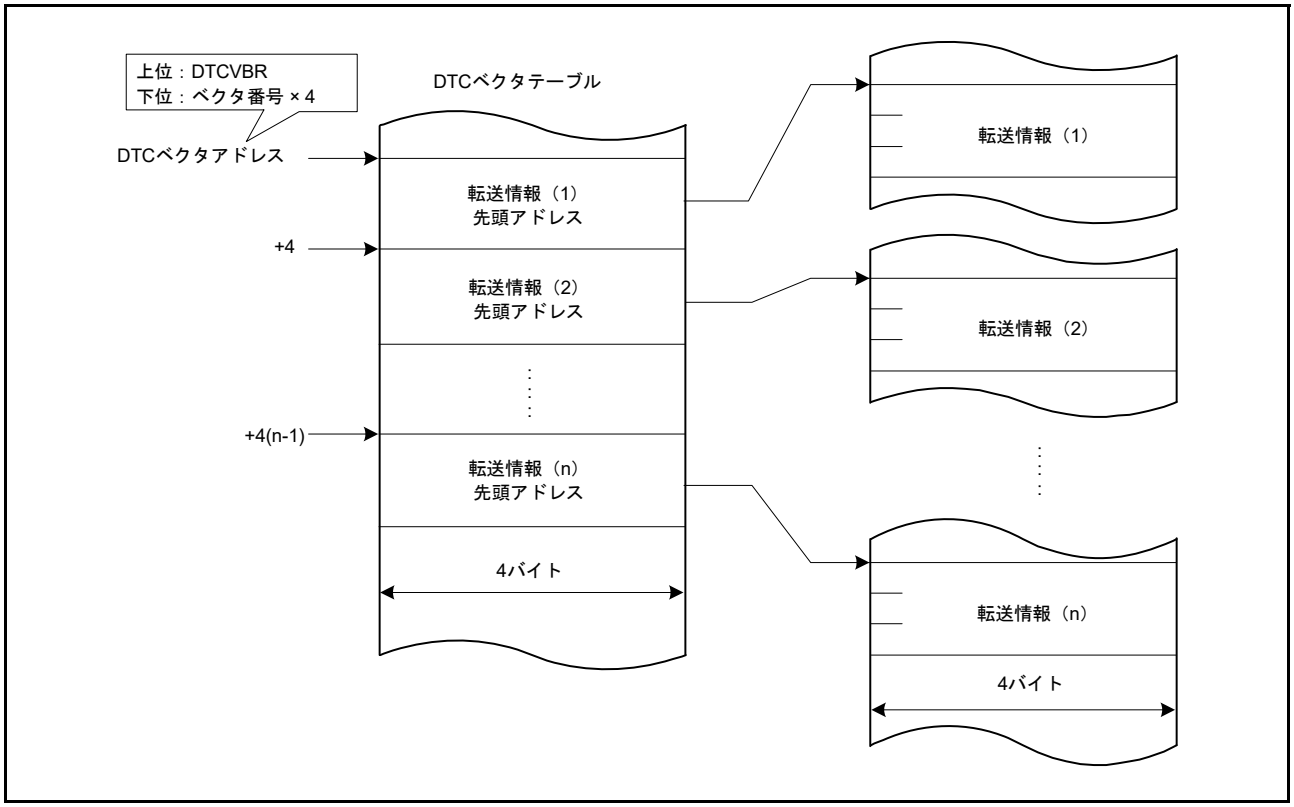


図 18.2　DTC ベクタテーブルと転送情報の対応

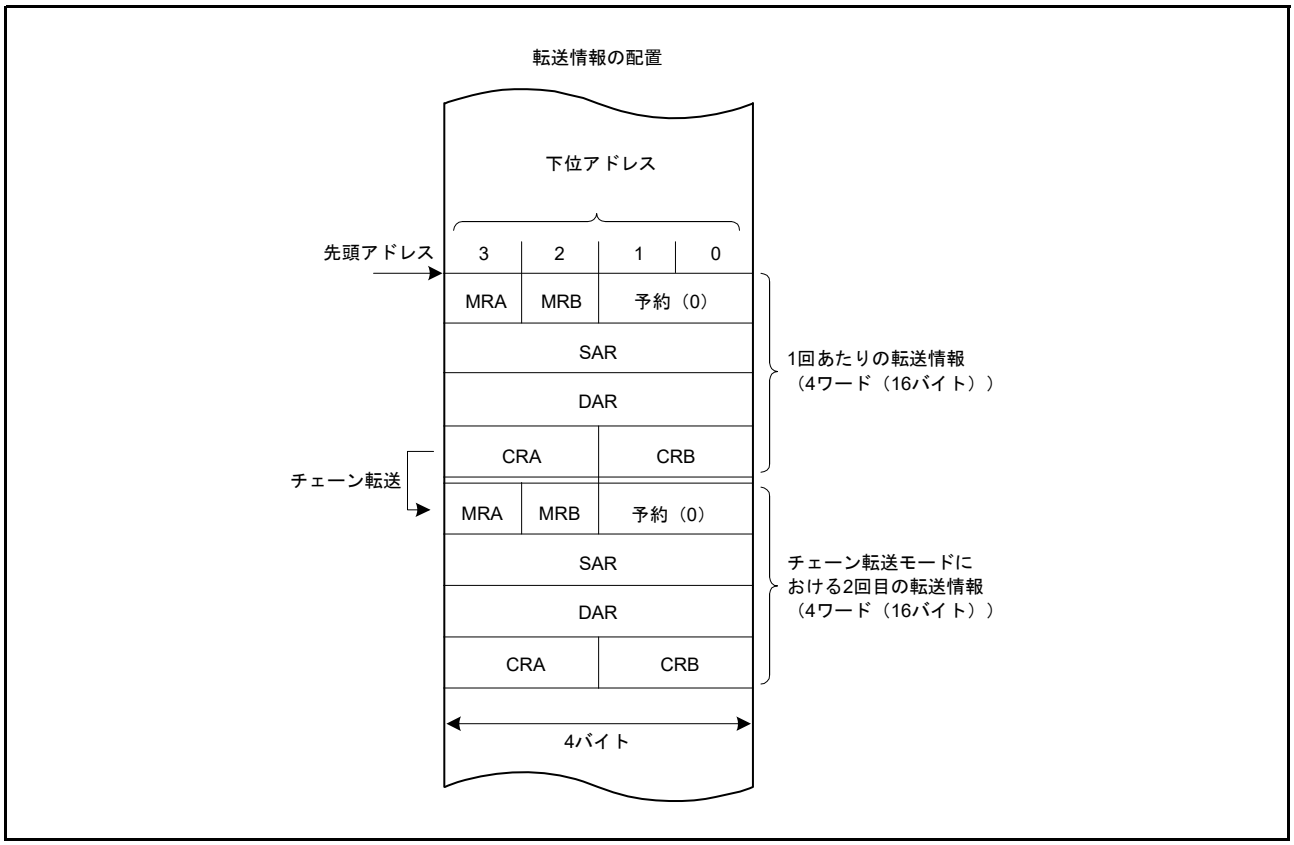


図 18.3　SRAM 領域上の転送情報の配置

18.4 動作説明

DTC は、転送情報に従ってデータを転送します。DTC を動作させるには、あらかじめ転送情報を SRAM 領域に格納しておく必要があります。DTC が起動すると、DTC はベクタ番号に対応する DTC ベクタを読み出します。次に DTC は、DTC ベクタが示す転送情報格納アドレスから転送情報を読み出して、データ転送を行います。データ転送後に、DTC は転送情報のライトバックを行います。転送情報を SRAM 領域に格納することで、任意のチャネル数のデータ転送が可能になります。

転送モードには、下記の種類があります。

- ノーマル転送モード
- リピート転送モード
- ブロック転送モード

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。これらのレジスタ値は、データの転送後、それぞれ個別にインクリメント、デクリメント、あるいはアドレス固定されます。

DTC の転送モードを表 18.2 に示します。

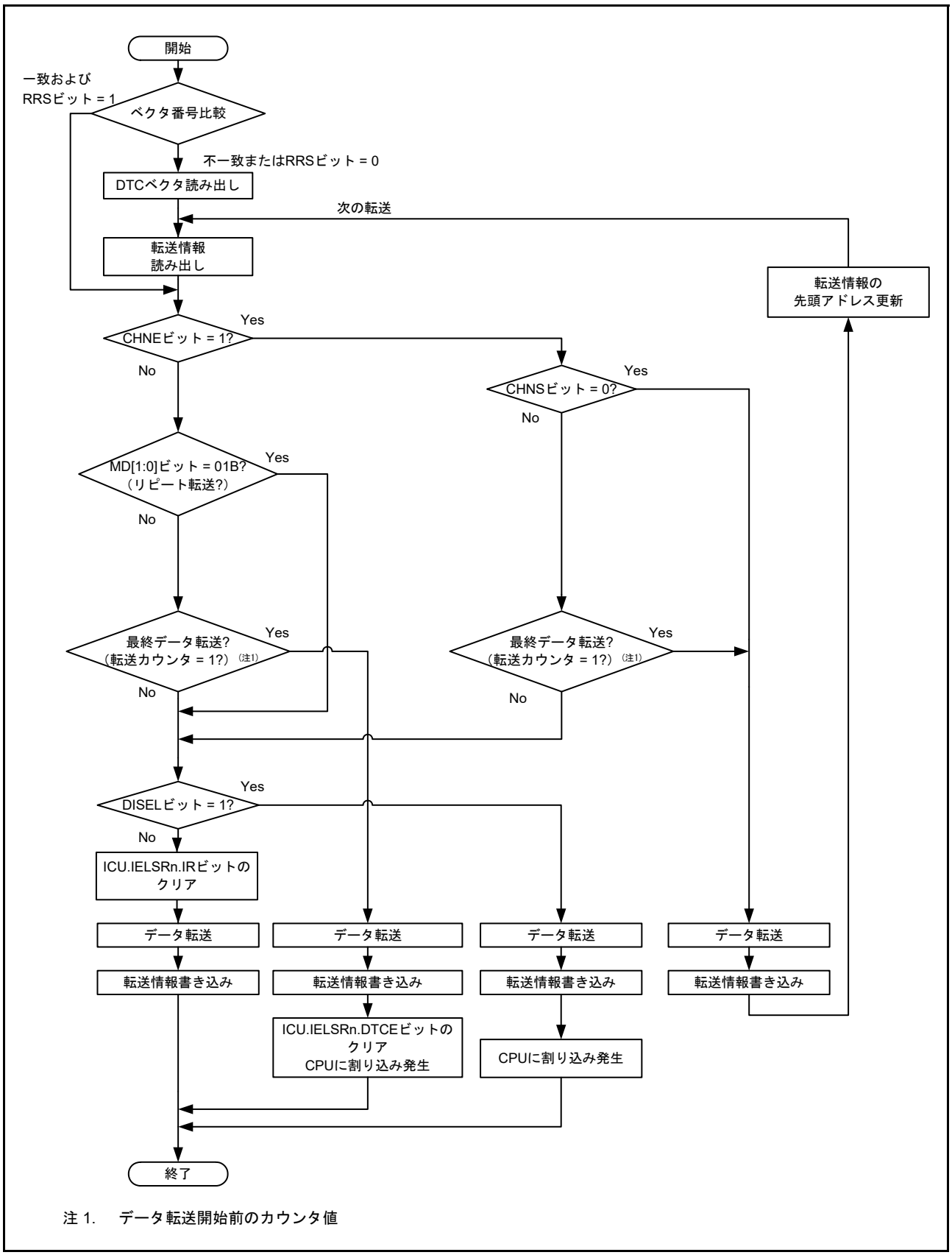
表 18.2 DTC の転送モード

転送モード	1 回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65,536 回
リピート転送モード（注 1）	1 バイト（8 ビット）／1 ハーフワード（16 ビット）／1 ワード（32 ビット）	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～256 回（注 3）
ブロック転送モード（注 2）	CRAH レジスタで指定したブロックサイズ（1～256 バイト／1～256 ハーフワード（2～512 バイト）／1～256 ワード（4～1,024 バイト））	1、2、4 ずつインクリメントまたはデクリメント、あるいはアドレス固定	1～65,536 回

注 1. 転送元または転送先のいずれかをリピート領域に設定します。
注 2. 転送元または転送先のいずれかをブロック領域に設定します。
注 3. 指定回数の転送終了後は、初期状態を回復し動作を再開します。

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数転送またはチェーン転送が可能です。指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローを図 18.4 に示します。チェーン転送の条件を表 18.3 に示します。この表では、2 番目以降の転送に対する制御情報の組み合わせは省略されています。



注 1. データ転送開始前のカウンタ値

図 18.4 DTC の動作フローチャート

表 18.3 チェーン転送の条件

第1転送				第2転送（注3）				DTC転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ（注1）（注2）	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ（注1）（注2）	
0	—	0	（1→0）以外	—	—	—	—	第1転送で終了
0	—	0	（1→0）	—	—	—	—	第1転送で終了しCPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	（1→0）以外	第2転送で終了
				0	—	0	（1→0）	第2転送で終了しCPUへ割り込み要求
				0	—	1	—	
1	1	0	（1→*）以外	—	—	—	—	第1転送で終了
1	1	—	（1→*）	0	—	0	（1→0）以外	第2転送で終了
				0	—	0	（1→0）	第2転送で終了しCPUへ割り込み要求
				0	—	1	—	
1	1	1	（1→*）以外	—	—	—	—	第1転送で終了しCPUへ割り込み要求

注 1. 使用する転送カウンタは、以下のように、各転送モードで異なります。
ノーマル転送モード：CRA レジスタ
リピート転送モード：CRAL レジスタ
ブロック転送モード：CRB レジスタ

注 2. 転送終了時のカウンタ動作は以下の通りです。
ノーマル転送モード、ブロック転送モードでは（1 → 0）
リピート転送モードでは（1 → CRAH）
表中の（1 → *）は、モードに応じて、これら両方の動作を表します。

注 3. 2 番目以降の転送に対してチェーン転送の選択が可能です。第 2 転送と CHNE ビットが 1 の組み合わせに対する条件は省略されています。

18.4.1 転送情報のリードスキップ機能

DTCCR.RRS ビットを設定することにより、ベクタアドレスと転送情報の読み出しをスキップできます。DTC 起動要求時に、今回の DTC ベクタ番号と前回起動時の DTC ベクタ番号が比較されます。ベクタ番号が一致し、かつ DTCCR.RRS ビットが 1 になっているときは、ベクタアドレスと転送情報の読み出しを行わずに DTC のデータ転送が行われます。ただし、前回の転送がチェーン転送の場合は、ベクタアドレスと転送情報が読み出されます。また、前回の転送がノーマル転送で、転送カウンタ（CRA レジスタ）が 0 になっている場合、またはブロック転送で転送カウンタ（CRB レジスタ）が 0 になっている場合も、DTCCR.RRS ビットの値にかかわらず転送情報が読み出されます。転送情報のリードスキップの動作例を図 18.12 に示します。

DTC ベクタテーブルと転送情報を更新する場合は、DTCCR.RRS ビットを 0 にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを 1 に戻してください。DTCCR.RRS ビットをいったん 0 にすることによって、格納されていたベクタ番号が破棄されます。次回の起動時には、更新された DTC ベクタテーブルと転送情報が読み出されます。

18.4.2 転送情報のライトバックスキップ機能

MRA.SM[1:0] ビットまたは MRB.DM[1:0] ビットを「アドレス固定」に設定すると、転送情報の一部はライトバックされません。転送情報のライトバックスキップ条件と対応するレジスタを表 18.4 に示します。CRA レジスタと CRB レジスタはライトバックされますが、MRA レジスタと MRB レジスタのライトバックはスキップされます。

表 18.4 転送情報のライトバックスキップ条件と適用されるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

18.4.3 ノーマル転送モード

このモードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、または 1 ワード（32 ビット）のデータ転送が可能です。転送回数は 1 ～ 65,536 回まで設定できます。転送元アドレスと転送先アドレスは、それぞれ個別に、インクリメント、デクリメント、または固定に設定できます。指定回数の転送が終了すると、CPU への割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表 18.5 に、ノーマル転送モードのメモリマップを図 18.5 に示します。

表 18.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	インクリメント／デクリメント／固定（注 1）
DAR	転送先アドレス	インクリメント／デクリメント／固定（注 1）
CRA	転送カウンタ A	CRA - 1
CRB	転送カウンタ B	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

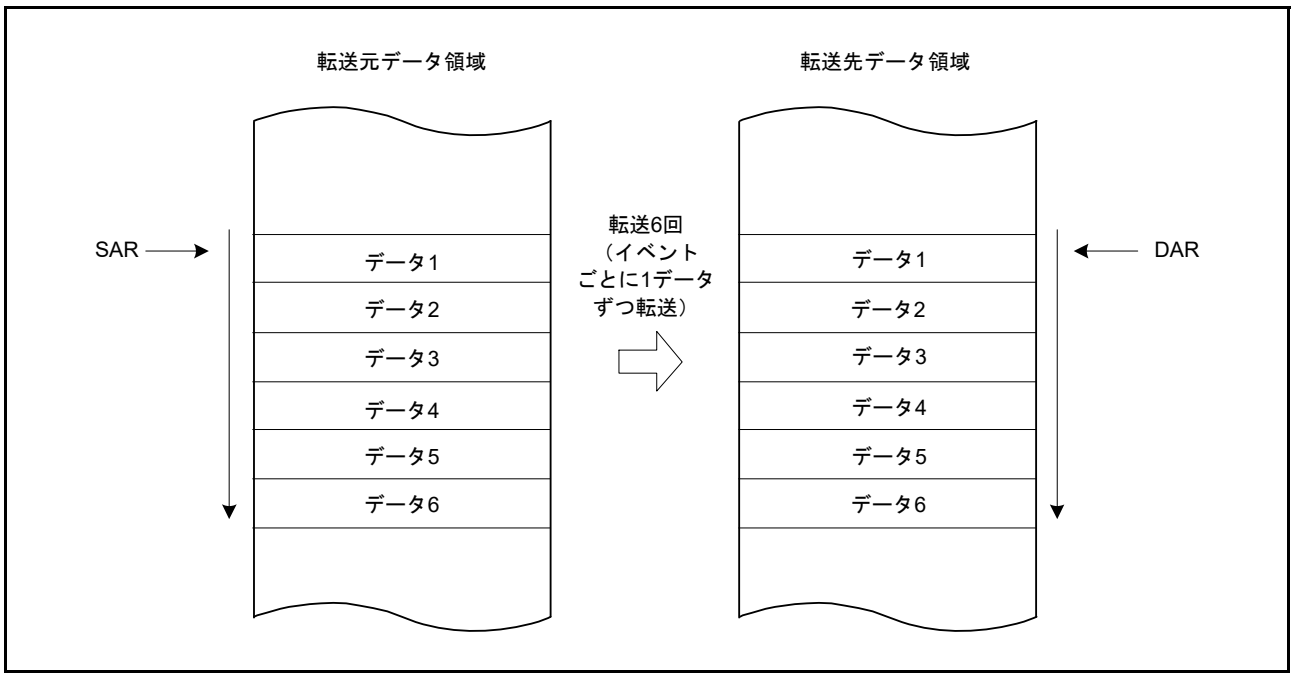


図 18.5 ノーマル転送モードのメモリマップ（MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRA = 0006h）

18.4.4 リピート転送モード

このモードでは、1 つの起動要因で、1 バイト（8 ビット）、1 ハーフワード（16 ビット）、または 1 ワード（32 ビット）のデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをリピート領域に指定する必要があります。転送回数は 1 ～ 256 回まで設定できます。指定回数の転送が終了すると、リピート領域に設定された方のアドレスレジスタは初期値に戻り、転送カウンタも初期値に戻ります。そして転送が繰り返されます。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ（CRAL レジスタ）が 00h になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタが 00h にならないので、MRB.DISEL ビットが 0 になっていると、CPU への割り込み要求は禁止されます。指定されたデータ転送が終了したとき、CPU への割り込みが発生します。

リピート転送モードのレジスタ機能を表 18.6 に、リピート転送モードのメモリマップを図 18.6 に示します。

表 18.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値	
		CRALが1以外のとき	CRALが1のとき
SAR	転送元アドレス	インクリメント／デクリメント／固定（注1）	（MRB.DTSビット＝0のとき） インクリメント／デクリメント／固定（注1） （MRB.DTSビット＝1のとき） SARレジスタの初期値
DAR	転送先アドレス	インクリメント／デクリメント／固定（注1）	（MRB.DTSビット＝0のとき） DARレジスタの初期値 （MRB.DTSビット＝1のとき） インクリメント／デクリメント／固定（注1）
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタA	CRAL - 1	CRAH
CRB	転送カウンタB	更新なし	更新なし

注 1. アドレス固定のとき、ライトバックはスキップされます。

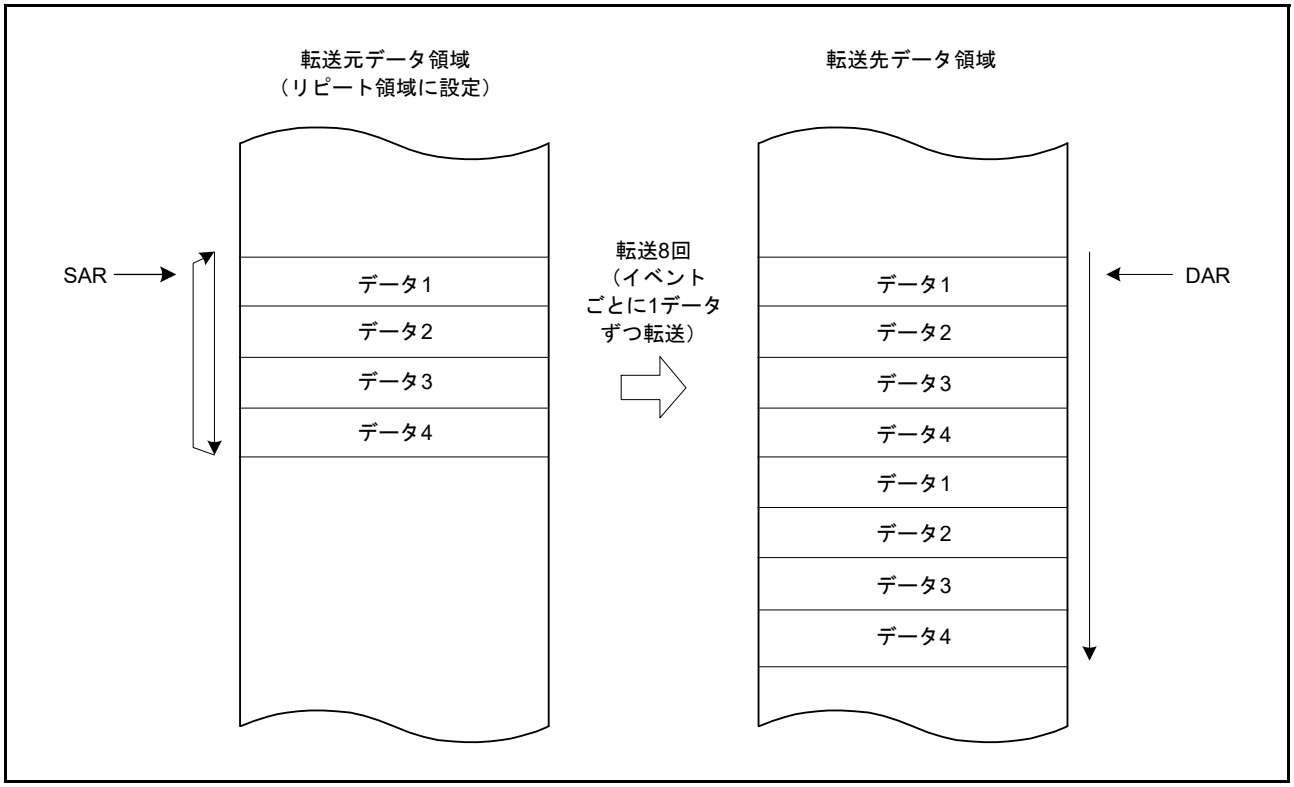


図 18.6 リピート転送モードのメモリマップ（転送元をリピート領域に設定した場合）（MRA.SM[1:0] = 10b, MRB.DM[1:0] = 10b, CRAH = 04h）

18.4.5 ブロック転送モード

このモードでは、1 つの起動要因で 1 ブロックのデータ転送が可能です。MRB.DTS ビットで、転送元と転送先のいずれかをブロック領域に指定する必要があります。ブロックサイズは、1 ～ 256 バイト、1 ～ 256 ハーフワード（2 ～ 512 バイト）、または 1 ～ 256 ワード（4 ～ 1,024 バイト）に設定できます。指定された 1 ブロックの転送が終了すると、ブロックサイズカウンタ（CRAL レジスタ）と、ブロック領域に指定したアドレスレジスタ（MRB.DTS ビットが 1 のとき SAR レジスタ、DTS ビットが 0 のとき DAR レジスタ）は初期値に戻ります。他方のアドレスレジスタは、連続してインクリメントまたはデクリメントされるか、あるいはアドレス固定になります。

転送回数（ブロック数）は、1 ～ 65,536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込み要求を発生させることができます。

ブロック転送モードのレジスタ機能を表 18.7 に、ブロック転送モードのメモリマップを図 18.7 に示します。

表 18.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報のライトバックによって書き戻される値
SAR	転送元アドレス	（MRB.DTS ビット = 0 のとき） インクリメント／デクリメント／固定（注 1） （MRB.DTS ビット = 1 のとき） SAR レジスタの初期値
DAR	転送先アドレス	（MRB.DTS ビット = 0 のとき） DAR レジスタの初期値 （MRB.DTS ビット = 1 のとき） インクリメント／デクリメント／固定（注 1）
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注 1. アドレス固定のとき、ライトバックはスキップされます。

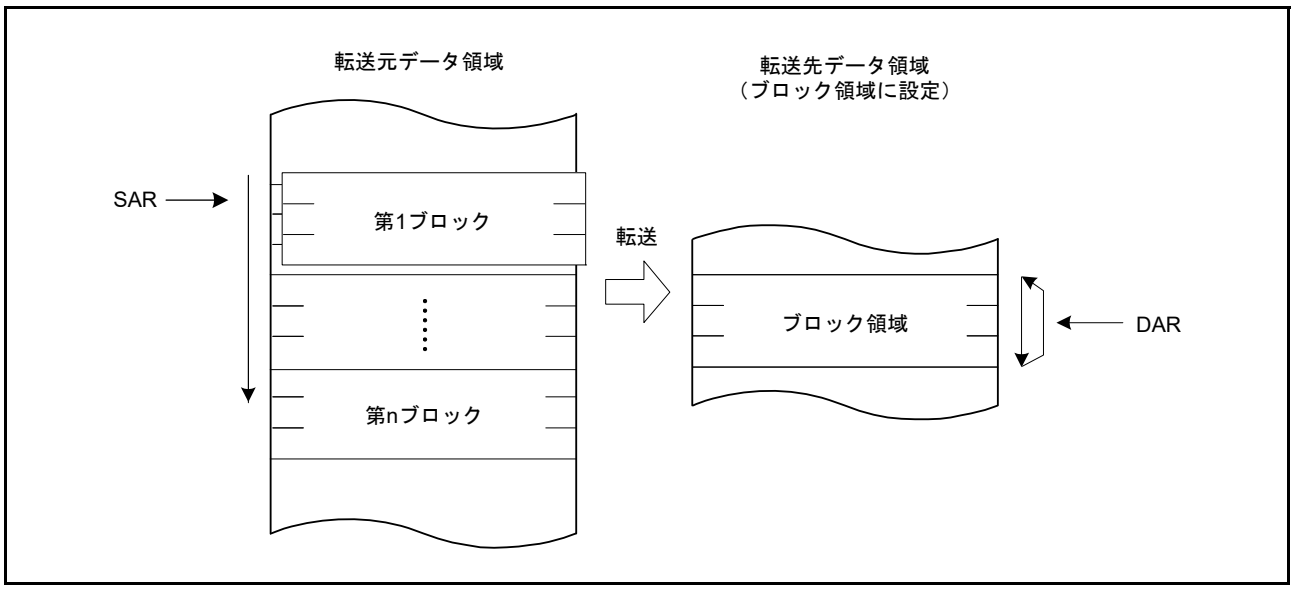


図 18.7 ブロック転送モードのメモリマップ

18.4.6 チェーン転送

MRB.CHNE ビットを 1 にすると、1 つの起動要因で複数のデータ転送を連続して行うチェーン転送が可能になります。MRB.CHNE ビットを 1 にして、MRB.CHNS ビットを 0 にした場合は、指定した転送回数の終了による CPU への割り込み要求も、MRB.DISEL ビット = 1 による CPU への割り込み要求も発生しません。割り込み要求は、DTC データ転送のたびに CPU に送信されます。データ転送が、起動要因の ICU.IELSRn.IR ビットに影響を与えることはありません。

データ転送を定義するための SAR、DAR、CRA、CRB、MRA、および MRB レジスタは、それぞれ個別に設定可能です。図 18.8 にチェーン転送の動作を示します。

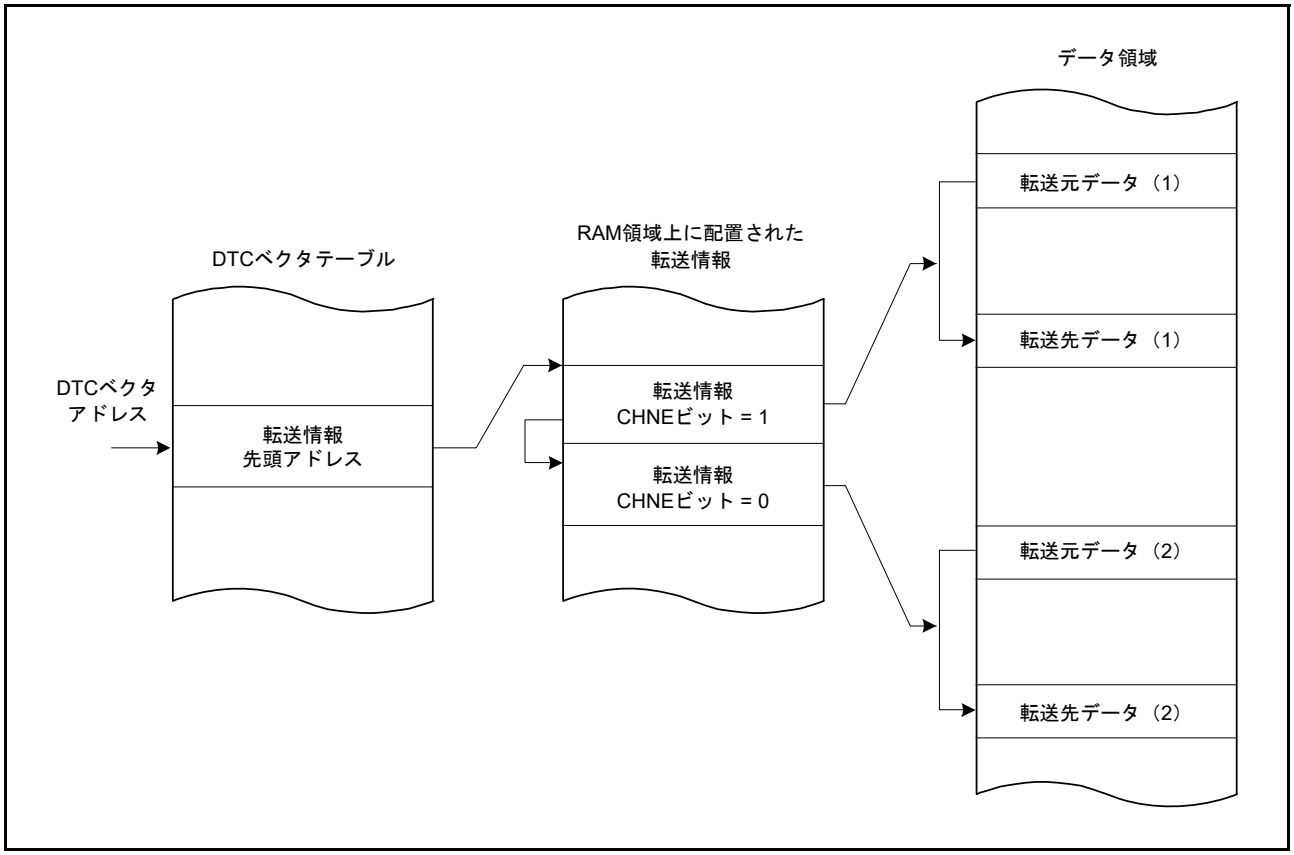


図 18.8 チェーン転送の動作

MRB.CHNE ビットと MRB.CHNS ビットを 1 にした場合、指定されたデータ転送終了時にのみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送の終了時にチェーン転送が実行されます。チェーン転送の条件については、表 18.3 を参照してください。

18.4.7 動作タイミング

図 18.9 ～図 18.12 に示すタイミング図は、最小実行サイクル数を示しています。

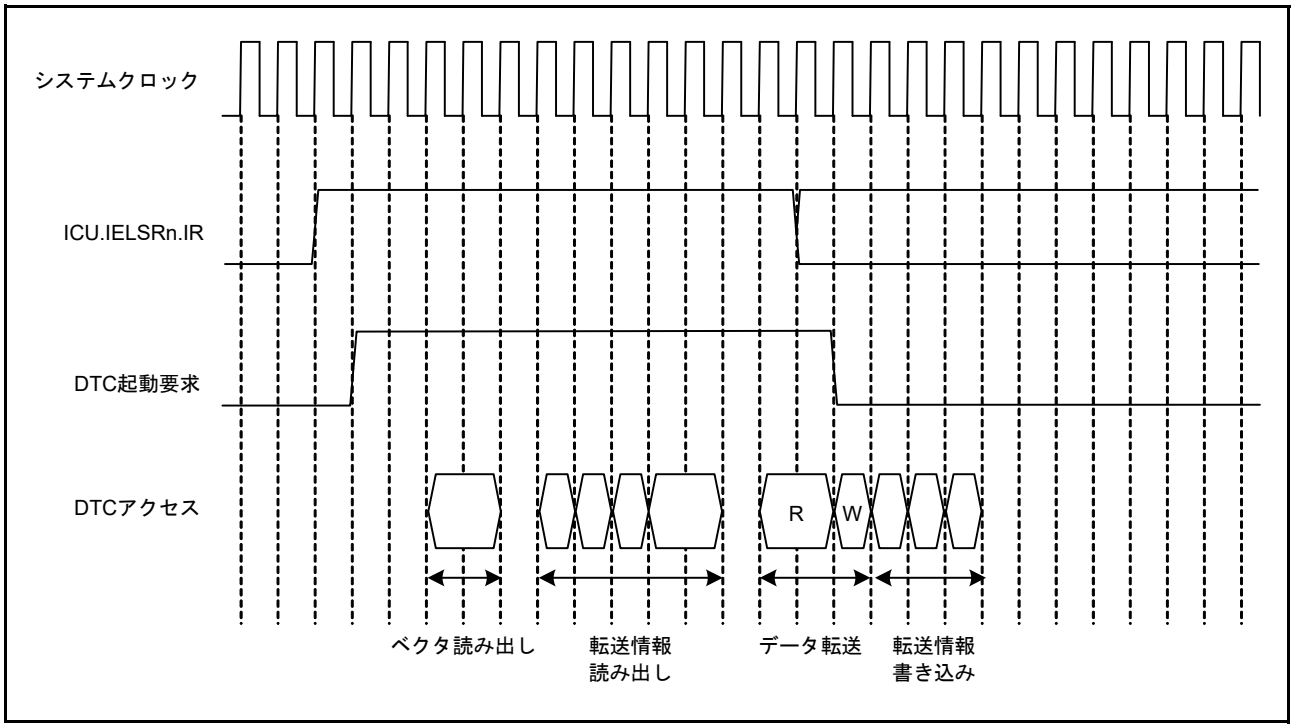


図 18.9 DTC 動作タイミング例（1）（ノーマル転送モード、リピート転送モードの場合）

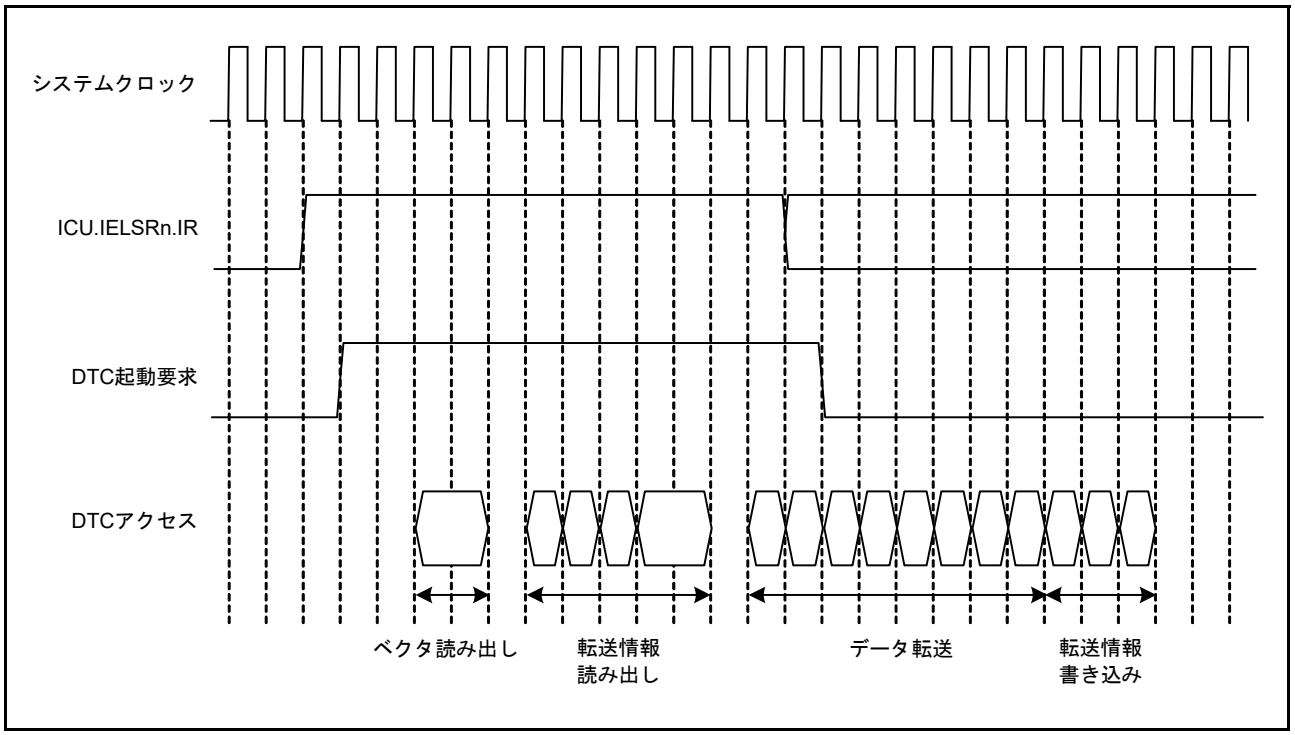


図 18.10 DTC 動作タイミング例（2）（ブロック転送モードでブロックサイズ = 4 の場合）

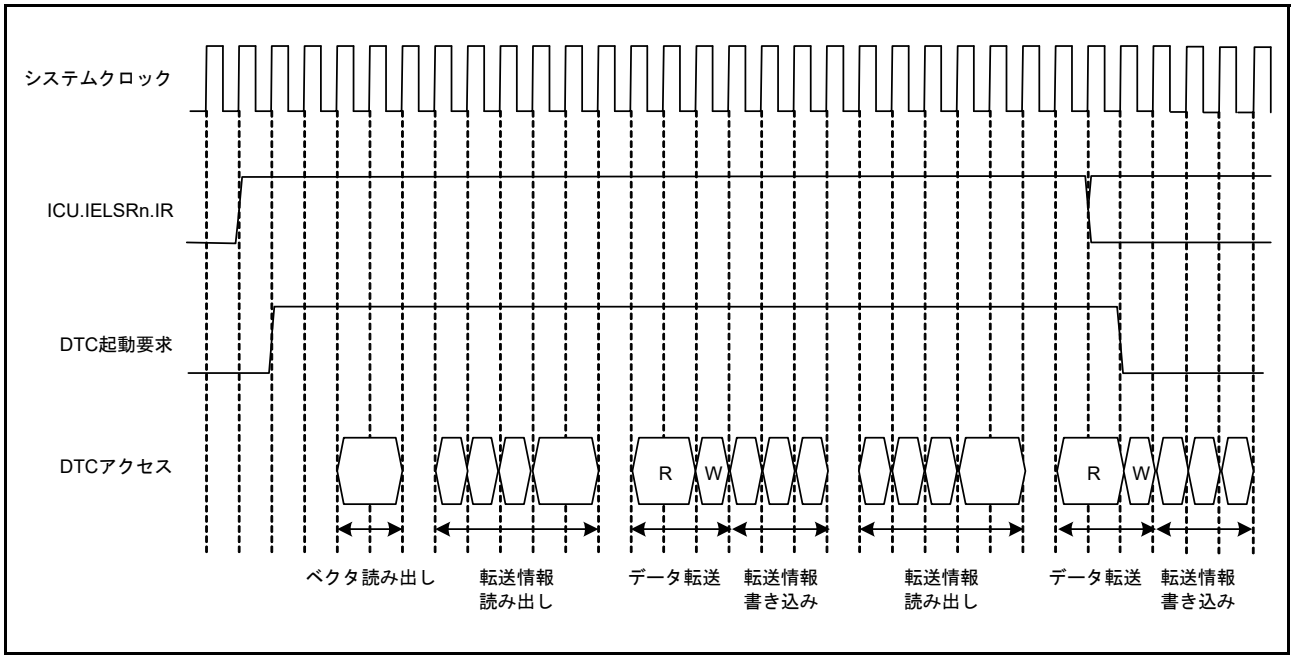
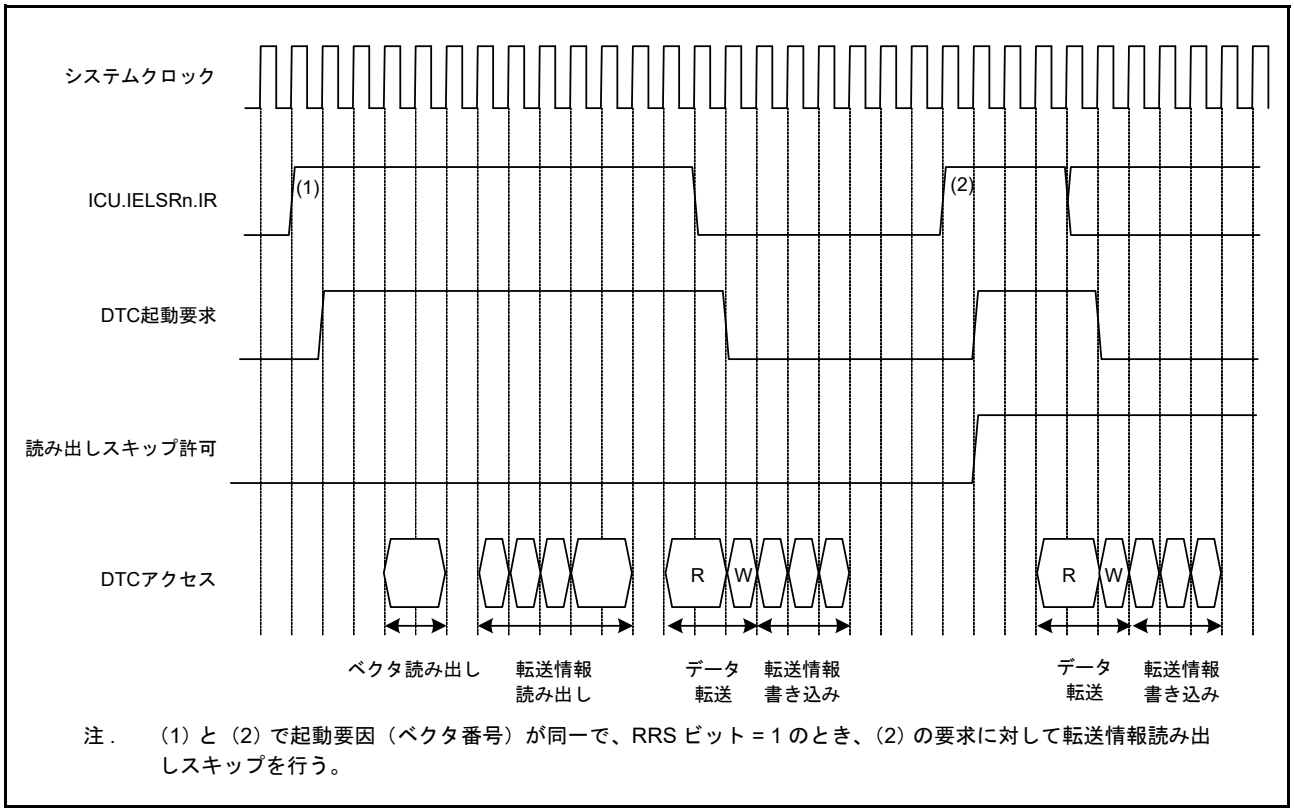


図 18.11　DTC 動作タイミング例（3）（チェーン転送の場合）



注．　(1) と (2) で起動要因（ベクタ番号）が同一で、RRS ビット = 1 のとき、(2) の要求に対して転送情報読み出しスキップを行う。

図 18.12　転送情報リードスキップ時の動作例（ベクタ、転送情報、転送先データが SRAM にあり、転送元データが周辺モジュールにある場合）

18.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 18.8 に示します。

各実行状態の順序については、18.4.7 動作タイミングを参照してください。

表 18.8 DTCの実行サイクル

転送モード	ベクタ読み出し		転送情報読み出し		転送情報書き込み			データ転送		内部動作	
								読み出し	書き込み		
ノーマル	Cv + Cs1 + 1	0（注1）	4 × (Ci + Cs1) + 1	0（注1）	3 × (Ci + Cs1) + 1（注2）	2 × (Ci + Cs1) + 1（注3）	(Ci + Cs1)（注4）	Cr + Cs2 + 1	Cw + Cs2 + 1	2	0（注1）
リピート								Cr + Cs2 + 1	Cw + Cs2 + 1		
ブロック（注5）								P × (Cr + Cs2)	P × (Cw + Cs2)		

注 1. 転送情報がリードスキップされる場合
注 2. SAR レジスタと DAR レジスタがともにアドレス固定でない場合
注 3. SAR レジスタと DAR レジスタのいずれかがアドレス固定の場合
注 4. SAR レジスタと DAR レジスタがともにアドレス固定の場合
注 5. ブロックサイズが 2 以上の場合。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P： ブロックサイズ（CRAHおよびCRALレジスタの初期設定値）
Cv： ベクタ転送情報格納先へのアクセスサイクル
Ci： 転送情報格納先アドレスへのアクセスサイクル
Cr： データリード先へのアクセスサイクル
Cw： データライト先へのアクセスサイクル
Cs1：SRAMHSおよび外部バスへのアクセス時：2サイクル
　　上記以外へのアクセス時：0サイクル
　　スレーブバスがリード／ライトデータ転送によって変化する場合、さらに1サイクルを追加
Cs2：SRAMHS、外部バス、および周辺モジュール関連システムコントロールへのアクセス時：2サイクル
　　上記以外へのアクセス時：0サイクル
　　スレーブバスがリード／ライトデータ転送によって変化する場合、さらに1サイクルを追加
ベクタ読み出し、転送情報読み出し、データ転送読み出しの各列に記載の“+1”の単位と、内部動作の列に記載の“2”の単位は、システムクロック（ICLK）です。

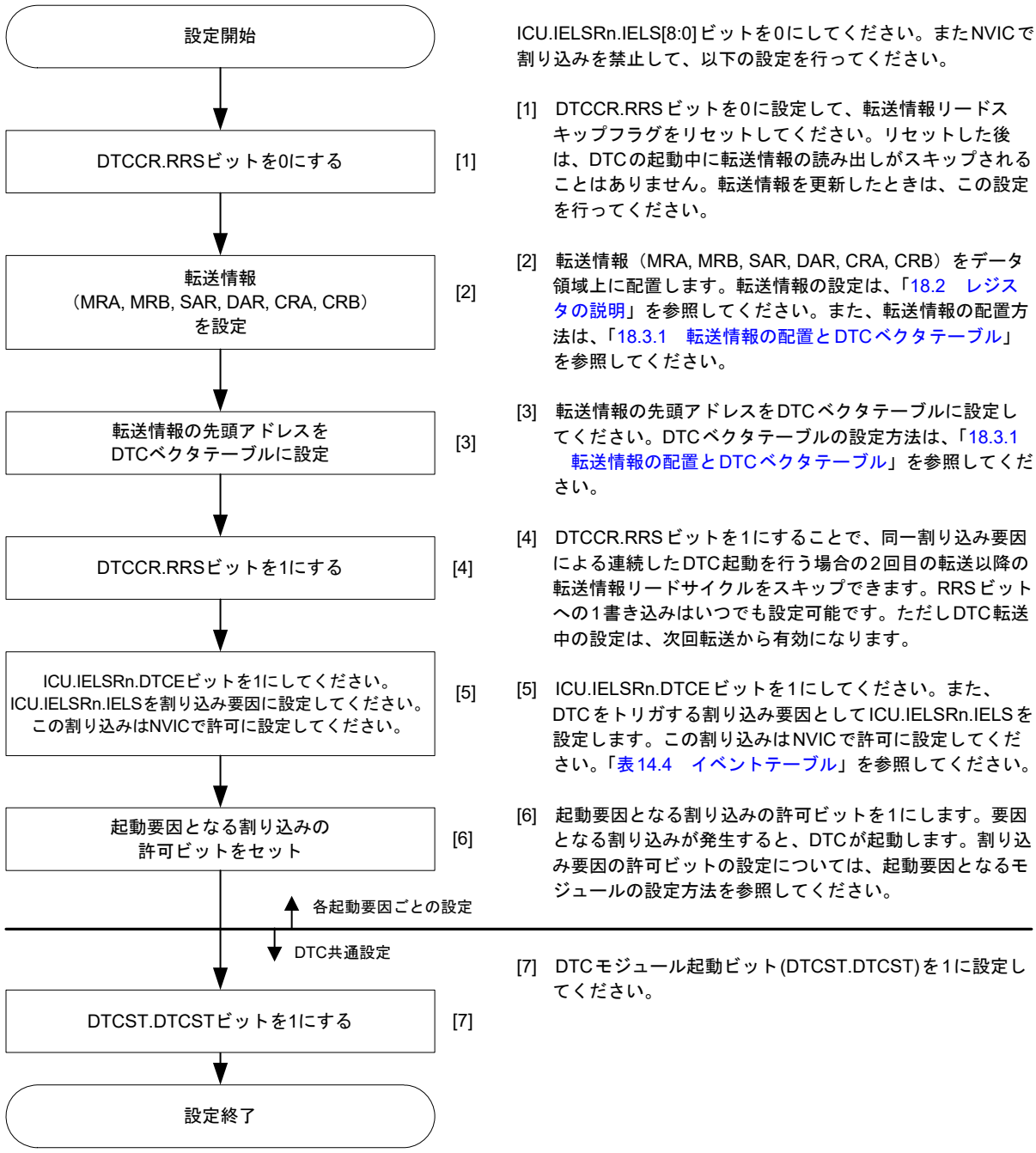
Cv、Ci、Cr、Cwは対応するアクセス先で異なります。
それぞれのアクセス先に対するサイクル数については、「53. SRAM」、「55. フラッシュメモリ」および15.2.3 外部バスを参照してください。
システムクロックと周辺クロックの周波数比も考慮されています。
DTCの応答時間は、DTCの起動要因が検出されてからDTC転送が始まるまでの時間です。
この表には、DTCの起動要因がアクティブになってからDTCデータ転送が始まるまでの時間は含まれていません。

18.4.9 DTC のバス権解放タイミング

DTC は、転送情報の読み出し中はバス権を解放しません。転送情報の読み出しや書き込みが実施される前に、バスマスタ調停部によって決定された優先順位に従ってバス調停が行われます。バス調停については、「15. バス」を参照してください。

18.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ（DTCVBR）を設定してください。図 18.13 に、DTC の設定手順を示します。



注． DTCST.DTCST ビットの設定は、起動要因ごとの設定が完了してなくても構いません。

図 18.13 DTC の設定手順

18.6 DTC の使用例

18.6.1 ノーマル転送

ここでは、DTC の使用例として、SCI から 128 バイトのデータ受信を行う場合を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定（MRA.SM[1:0] = 00b）、ノーマル転送モード（MRA.MD[1:0] = 00b）、およびバイト転送（MRA.SZ[1:0] = 00b）を設定します。MRB レジスタには、転送先アドレスインクリメント（MRB.DM[1:0] = 10b）と、1 回の割り込みで 1 回のデータ転送（MRB.CHNE = 0、MRB.DISEL = 0）を設定します。MRB.DTS ビットは、任意の値を設定できます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する SRAM 領域の開始アドレス、CRA レジスタには 128 回（0080h）を設定します。CRB レジスタは任意の値を設定できます。

(2) DTC ベクタテーブルの設定

RXI 割り込み用の転送情報の開始アドレスを、DTC のベクタテーブルに設定します。

(3) ICU の設定と DTC モジュールの起動

ICU.IELSRn.DTCE ビットを 1 にします。また、SCI 割り込みとして ICU.IELSRn.IELS ビットを設定します。この割り込みは NVIC で許可に設定する必要があります。DTCST.DTCST ビットを 1 にします。

(4) SCI の設定

SCI の SCR.RIE ビットを 1 にして RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると、受信が停止します。これに対処するため、CPU が受信エラー割り込みを受け付けられるように設定してください。

(5) DTC 転送

SCI が 1 バイトのデータ受信を完了するごとに RXI 割り込みが発生し、DTC が起動します。DTC によって、受信データが SCI の RDR レジスタから SRAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントが行われます。

(6) 割り込み処理

128 回のデータ転送が終了して CRA レジスタが 0 になると、CPU に対する RXI 割り込み要求が発生します。割り込み処理ルーチンで終了処理を行ってください。

18.6.2 チェーン転送

ここでは、DTC のチェーン転送の例として、汎用 PWM タイマ（GPT）によってパルスを出力する場合を示します。チェーン転送を利用して、PWM タイマのコンペア値を転送し、GPT 用 PWM タイマの周期を変更することができます。

チェーン転送の最初の転送には、GPT32m.GTCCRC レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 2 番目の転送には、GPT32m.GTCCRE レジスタへの転送用にノーマル転送モードを指定します。チェーン転送の 3 番目の転送には、GPT32m.GTPBR レジスタへの転送用にノーマル転送モードを指定します。これは、起動要因のクリアや指定回数の転送終了時の割り込み発生が、チェーン転送の 3 番目の転送、すなわち MRB.CHNE = 0 のときの転送にのみ行われるからです。

以下の例では、DTC の起動要因として、GPT32EH0.GTPR レジスタによるカウンタオーバーフロー割り込みの使用方法を説明します。

(1) 第 1 転送情報の設定

GPT32EH0.GTCCRC レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント（MRA.SM[1:0] = 10b）を選択します。
2. ノーマル転送モード（MRA.MD[1:0] = 00b）と、ワード転送（MRA.SZ[1:0] = 10b）を設定します。
3. MRB レジスタで、転送先アドレスの固定（MRB.DM[1:0] = 00b）を選択し、チェーン転送（MRB.CHNE = 1、MRB.CHNS = 0）を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT32EH0.GTCCRC レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(2) 第 2 転送情報の設定

GPT32EH0.GTCCRE レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント（MRA.SM[1:0] = 10b）を選択します。
2. ノーマル転送モード（MRA.MD[1:0] = 00b）と、ワード転送（MRA.SZ[1:0] = 10b）を設定します。
3. MRB レジスタで、転送先アドレスの固定（MRB.DM[1:0] = 00b）を選択し、チェーン転送（MRB.CHNE = 1、MRB.CHNS = 0）を設定します。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT32EH0.GTCCRE レジスタのアドレスを設定します。
6. CRAH および CRAL レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(3) 第 3 転送情報の設定

GPT32EH0.GTPBR レジスタへの転送を設定します。

1. MRA レジスタで、転送元アドレスのインクリメント（MRA.SM[1:0] = 10b）を選択します。
2. ノーマル転送モード（MRA.MD[1:0] = 00b）と、ワード転送（MRA.SZ[1:0] = 10b）を設定します。
3. MRB レジスタで、転送先アドレスの固定（MRB.DM[1:0] = 00b）を選択し、1 回の割り込みで 1 回のデータ転送（MRB.CHNE = 0、MRB.DISEL = 0）を設定します。MRB.DTS ビットは、任意の値を設定できます。
4. SAR レジスタにデータテーブルの先頭アドレスを設定します。
5. DAR レジスタに GPT32EH0.GTPBR レジスタのアドレスを設定します。
6. CRA レジスタにデータテーブルのサイズを設定します。CRB レジスタは任意の値を設定できます。

(4) 転送情報の配置

GPT32EH0.GTPBR レジスタへのデータ転送で使用する転送情報は、GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタで使用する転送制御情報のすぐ後に配置します。

(5) DTC ベクタテーブルの設定

DTC ベクタテーブルで、GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタへの転送で使用する転送制御情報の開始アドレスを設定します。

(6) ICU の設定と DTC モジュールの起動

1. GPT32EH0 カウンタオーバーフロー割り込みに対応する ICU.IELSRn.DTCE ビットを設定します。
2. ICU.IELSRn.IELS[8:0] ビットを 182（B6h）にして、GPT32EH0 カウンタオーバーフローを指定します。
3. DTCST.DTCST ビットを 1 にします。

(7) GPT の設定

1. GTCCRA および GTCCRB レジスタがアウトプットコンペアレジスタとして動作できるように、GPT32EH0.GTIOR レジスタを設定します。
2. GPT32EH0.GTCCRA レジスタと GPT32EH0.GTCCRB レジスタには、デフォルトの PWM タイマコンペア値を設定し、GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタには、次の PWM タイマコンペア値を設定します。
3. GPT32EH0.GTPR レジスタには、デフォルトの PWM タイマ周期を設定し、GPT32EH0.GTPBR レジスタには、次の PWM タイマ周期を設定します。
4. PmnPFS.PDR の出力ビットを 1 にして、PmnPFS.PSEL[4:0] の周辺選択ビットを 00011b にします。

(8) GPT の起動

GPT32EH0.GTSTR.CSTRT ビットを 1 にして、GPT32EH0.GTCNT カウンタのカウント動作を開始します。

(9) DTC 転送

GPT32EH0.GTPR レジスタで GPT32EH0 カウンタオーバーフローが発生するたびに、次の PWM タイマコンペア値が GPT32EH0.GTCCRC レジスタと GPT32EH0.GTCCRE レジスタへ転送されます。また、次の PWM タイマ周期の設定値が GPT32EH0.GTPBR レジスタへ転送されます。

(10) 割り込み処理

指定した回数の転送終了後（たとえば、GPT 転送用 CRA レジスタの値が 0 になると）、CPU に対して GPT カウンタオーバーフロー割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

18.6.3 カウンタ = 0 のときのチェーン転送

第 2 転送は第 1 データ転送の転送カウンタが 0 になったときにだけ実行されます。第 1 データ転送情報は第 2 転送が実行されるたびに繰り返し変更されます。チェーン転送によって、256 回以上のリピート転送が可能になります。

以下に、128K バイトの入力バッファを構成する例を示します。入力バッファは下位アドレスが 0000h から始まるように設定されています。カウンタ = 0 のときのチェーン転送を図 18.14 に示します。

1. 第 1 データ転送のデータ入力用にノーマル転送モードを設定します。以下のように設定してください。
   a. 転送元アドレス = 固定
   b. CRA レジスタ = 0000h（65,536 回）
   c. MRB.CHNE ビット = 1（チェーン転送許可）
   d. MRB.CHNS ビット = 1（転送カウンタが 0 の場合のみチェーン転送を行う）
   e. MRB.DISEL ビット = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
2. 第 1 データ転送の転送先アドレスの 65,536 回ごとに、開始アドレスの上位 8 ビットアドレスを別の領域（フラッシュなど）に用意してください。たとえば、入力バッファを 20 0000h ～ 21 FFFFh にする場合は、21h と 20h を用意します。
3. 第 2 データ転送は以下のように設定してください。
   a. 第 1 データ転送の転送先アドレスをリセットするため、リピート転送モード（転送元をリピート領域）に設定
   b. 転送先として、第 1 転送情報領域の DAR レジスタの上位 8 ビットを指定
   c. MRB.CHNE ビット = 0（チェーン転送禁止）
   d. MRB.DISEL ビット = 0（指定されたデータ転送の終了時、CPU への割り込み要求が発生）
   e. 入力バッファを 20 0000h ～ 21 FFFFh にした場合は、転送カウンタ = 2
4. 1 回の割り込みで、第 1 データ転送が 65,536 回実行されます。第 1 データ転送の転送カウンタが 0 になると、第 2 データ転送がスタートします。第 1 データ転送の転送元アドレスの上位 8 ビットを 21h にしてください。転送先アドレスの下位 16 ビットおよび第 1 データ転送の転送カウンタは 0000h になります。
5. 引き続き 1 回の割り込みで、第 1 データ転送用に指定された 65,536 回だけ、第 1 データ転送が実行されます。第 1 データ転送の転送カウンタが 0 になると、第 2 データ転送がスタートします。第 1 データ転送の転送元アドレスの上位 8 ビットを 20h にしてください。転送先アドレスの下位 16 ビットおよび第 1 データ転送の転送カウンタは 0000h になります。
6. 手順 4 と 5 が無限に繰り返されます。第 2 データ転送はリピート転送モードのため、CPU への割り込み要求は発生しません。

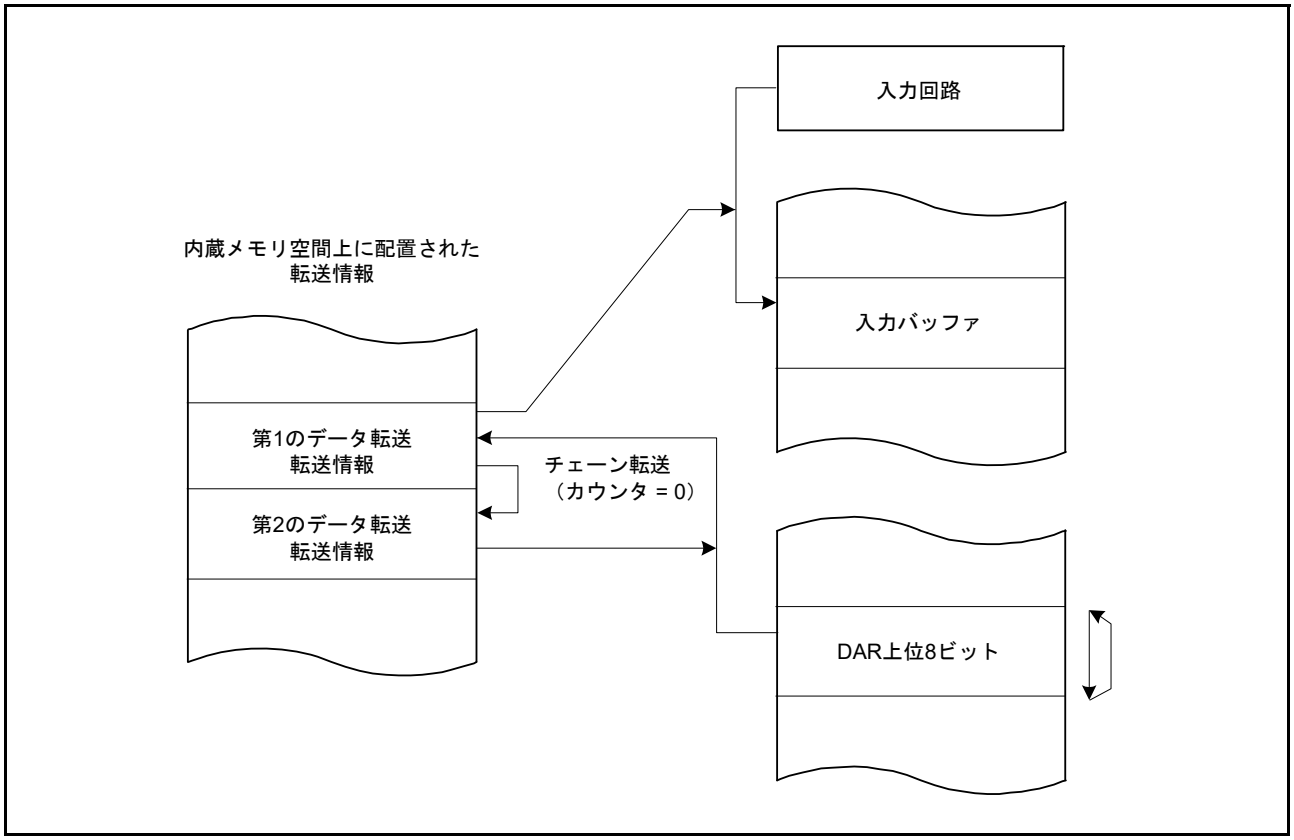


図 18.14　カウンタ = 0 のときのチェーン転送

18.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、または MRB.DISEL ビットが 1 のデータ転送が終了したとき、DTC の起動要因によって CPU に対する割り込みが発生します。CPU に対する割り込みは、NVIC および ICU.IELSRn.IELS[8:0] ビットの設定に従って制御されます。「14. 割り込みコントローラユニット（ICU）」を参照してください。

DTC が決定する起動要因の優先順位は、割り込みベクタ番号が小さいほど高くなります。CPU への割り込みの優先順位は、NVIC の優先順位で決定されます。

18.8 イベントリンク

1 転送要求分の転送完了時に、DTC はイベントリンク要求を出力できます。転送先が外部バスの場合、実際の転送先への書き込みではなく、ライトバッファへの書き込みが完了した時点で、イベントリンク要求を発行します。

18.9 スヌーズ制御インタフェース

DTC によってスヌーズモードからソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。11.8.3 ソフトウェアスタンバイモードへの復帰を参照してください。

SYSTEM.SNZEDCR.DTCZRED は、最後の DTC 送信完了（CRA と CRB が 0 であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。

SYSTEM.SNZEDCR.DTCNZRED は、最後以外の DTC 送信完了（CRA と CRB が 0 以外であることによって検出）時に、スヌーズ終了要求を許可または禁止にします。

18.10 モジュールストップ機能

モジュールストップ機能、スヌーズモードへの遷移を伴わないソフトウェアスタンバイモード、またはディープソフトウェアスタンバイモードへ遷移する際は、事前に DTCST.DTCST ビットを 0 にしてください。その後、本節に示す動作を実行してください。LPW.SNZCR.SNZDTCEN を 1 にすると、DTC はスヌーズモードでも利用可能です。「11. 低消費電力モード」を参照してください。

(1) モジュールストップ機能

MSTPCRA.MSTPA22 ビットに 1 を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA22 ビットに 1 を書いたときに DTC 転送が動作中の場合、DTC 転送終了後にモジュールストップ状態へ遷移します。MSTPCRA.MSTPA22 ビットが 1 のときは、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA22 ビットに 0 を書くことで、DTC のモジュールストップ状態が解除されます。

(2) ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード

11.7.1 ソフトウェアスタンバイモードへの遷移または 11.9.1 ディープソフトウェアスタンバイモードへの遷移の手順に従って設定してください。

WFI 命令実行時点で DTC 転送が動作中の場合、DTC 転送が終了してからソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移します。

ソフトウェアスタンバイモード時に、スヌーズ制御回路がスヌーズ要求を受信すると、MCU はスヌーズモードへ遷移します。11.8.1 スヌーズモードへの遷移を参照してください。スヌーズモード時の DTC の動作は、SYSTEM.SNZCR.SNZDTCEN ビットで選択できます。スヌーズモード時に DTC 動作を許可にする場合、ソフトウェアスタンバイモードへ遷移する前に、DTCST.DTCST ビットを 1 にしてください。DTC によってソフトウェアスタンバイモードへ復帰させるには、SYSTEM.SNZEDCR.DTCZRED または SYSTEM.SNZEDCR.DTCNZRED を 1 にしてください。11.8.3 ソフトウェアスタンバイモードへの復帰を参照してください。ソフトウェアスタンバイモード中は ICU からの DTC 起動要求は停止しますが、スヌーズモード中は停止しません。

(3) モジュールストップ機能の注意事項

WFI 命令とレジスタの設定手順については、「11. 低消費電力モード」を参照してください。

スヌーズモードへ遷移しないで低消費電力モードから復帰した後に DTC 転送を行うには、再度 DTCST.DTCST ビットを 1 にしてください。

ソフトウェアスタンバイモード時に発生した要求を、DTC 起動要求ではなく CPU への割り込み要求として使用する場合は、14.4.2 割り込み要求先の選択に示すように、割り込み要求先を CPU に切り替えてから WFI 命令を実行してください。スヌーズモード時に DTC 動作を許可にする場合、DTC のモジュールストップ機能を使用しないでください。

18.11 使用上の注意事項

18.11.1 転送情報の開始アドレス

ベクタテーブルに指定する転送情報の開始アドレスは 4n 番地でなければいけません。4n 番地以外を指定すると、アドレスの最下位 2 ビットは 00b としてアクセスされます。

19. イベントリンクコントローラ（ELC）

19.1 概要

イベントリンクコントローラ（ELC）は、各周辺モジュールで発生するイベント要求をソース信号として使用し、それらのモジュールを別のモジュールと接続することによって、CPU を介さない直接リンクを実現します。表 19.1 に ELC の仕様を、図 19.1 にブロック図を示します。

表 19.1 ELCの仕様

項目	内容
イベントリンク機能	270種類のイベント信号を、直接モジュールに接続可能。ELCイベント信号と、DTC起動用のイベントの発生が可能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

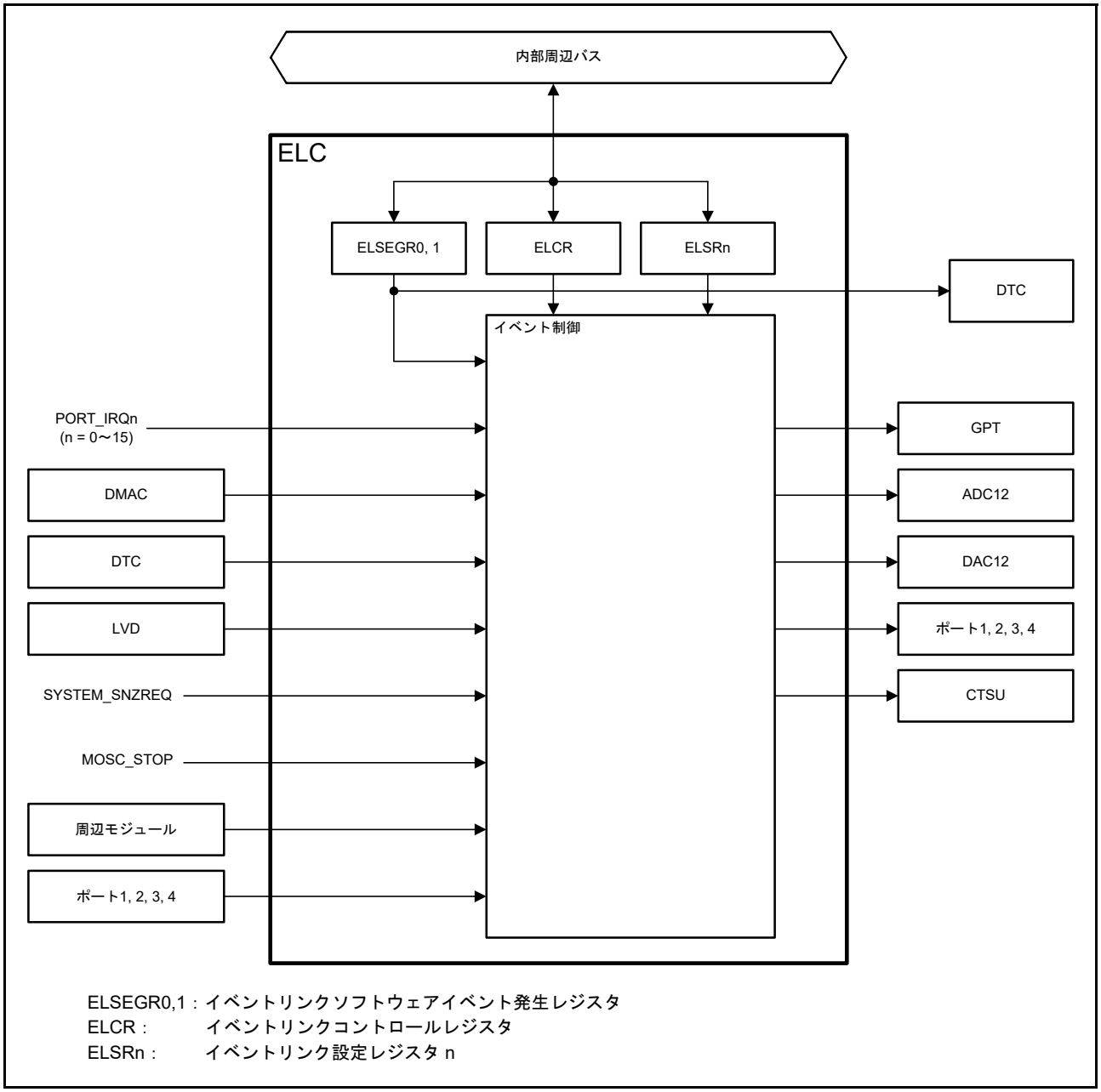


図 19.1 ELC のブロック図（n = 0 ～ 18）

19.2 レジスタの説明

19.2.1 イベントリンクコントローラレジスタ（ELCR）

アドレス ELC.ELCR 4004 1000h

	b7	b6	b5	b4	b3	b2	b1	b0
	ELCON	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	ELCON	全イベントリンク有効	0：ELC機能は無効 1：ELC機能は有効	R/W

ELCR レジスタは、ELC の動作を制御するレジスタです。

19.2.2 イベントリンクソフトウェアイベント発生レジスタ n（ELSEGRn）（n = 0, 1）

アドレス ELC.ELSEGR0 4004 1002h, ELC.ELSEGR1 4004 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	WI	WE	—	—	—	—	—	SEG
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEG	ソフトウェアイベント発生	0：通常動作 1：ソフトウェアイベント発生	W
b5-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	WE	SEGビット書き込み許可	0：SEGビットへの書き込み禁止 1：SEGビットへの書き込み許可	R/W
b7	WI	ELSEGRレジスタ書き込み禁止	0：ELSEGRレジスタへの書き込み許可 1：ELSEGRレジスタへの書き込み禁止	W

SEG ビット（ソフトウェアイベント発生）

WE ビットが 1 の状態で SEG ビットに 1 を書くと、ソフトウェアイベントが発生します。読むと 0 が読めます。1 を書いてもデータは格納されません。WE ビットを 1 にしてから、このビットを書く必要があります。

ソフトウェアイベントは、DTC に対してイベントリンクをトリガすることができます。

WE ビット（SEG ビット書き込み許可）

WE ビットが 1 の場合にのみ、SEG ビットへの書き込みが可能になります。WI ビットを 0 にクリアしてから、このビットを書く必要があります。

［1 になる条件］

- WI ビットが 0 の状態で 1 を書いたとき

［0 になる条件］

- WI ビットが 0 の状態で 0 を書いたとき

WI ビット（ELSEGR レジスタ書き込み禁止）

WI ビットへの書き込み値が 0 の場合にのみ、ELSEGR レジスタに対する書き込みが可能になります。読むと 1 が読めます。WI ビットを 0 にしてから、WE または SEG ビットを設定する必要があります。

19.2.3 イベントリンク設定レジスタ（ELSRn）（n = 0 ～ 18）

アドレス ELC.ELSR0 4004 1010h, ELC.ELSR1 4004 1014h, ELC.ELSR2 4004 1018h, ELC.ELSR3 4004 101Ch, ELC.ELSR4 4004 1020h, ELC.ELSR5 4004 1024h, ELC.ELSR6 4004 1028h, ELC.ELSR7 4004 102Ch, ELC.ELSR8 4004 1030h, ELC.ELSR9 4004 1034h, ELC.ELSR10 4004 1038h, ELC.ELSR11 4004 103Ch, ELC.ELSR12 4004 1040h, ELC.ELSR13 4004 1044h, ELC.ELSR14 4004 1048h, ELC.ELSR15 4004 104Ch, ELC.ELSR16 4004 1050h, ELC.ELSR17 4004 1054h, ELC.ELSR18 4004 1058h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ELS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	ELS[8:0]	イベントリンク選択	b8 b0 000000000：対応する周辺モジュールへのイベント出力は禁止 000000001～111000101b：リンクするイベント信号の番号を指定 上記以外は設定しないでください。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELSRn レジスタは、周辺モジュールごとに、リンクするイベント信号を指定するレジスタです。ELSRn レジスタと周辺モジュールの対応を表 19.2 に示します。また、ELSRn レジスタに設定するイベント信号名と信号番号の対応を表 19.3 に示します。

表 19.2 ELSRn レジスタと周辺機能の対応

レジスタ名	周辺機能（モジュール）	イベント名
ELSR0	GPT (A)	ELC_GPTA
ELSR1	GPT (B)	ELC_GPTB
ELSR2	GPT (C)	ELC_GPTC
ELSR3	GPT (D)	ELC_GPTD
ELSR4	GPT (E)	ELC_GPTE
ELSR5	GPT (F)	ELC_GPTF
ELSR6	GPT (G)	ELC_GPTG
ELSR7	GPT (H)	ELC_GPTH
ELSR8	ADC12A0	ELC_AD00
ELSR9	ADC12B0	ELC_AD01
ELSR10	ADC12A1	ELC_AD10
ELSR11	ADC12B1	ELC_AD11
ELSR12	DAC12チャネル0	ELC_DA0
ELSR13	DAC12チャネル1	ELC_DA1
ELSR14	PORT 1	ELC_PORT1
ELSR15	PORT 2	ELC_PORT2
ELSR16	PORT 3	ELC_PORT3
ELSR17	PORT 4	ELC_PORT4
ELSR18	CTSU	ELC_CTSU

表 19.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (1/7)

イベント番号	割り込み要求の発生元	名称	内容
001h	ポート	PORT_IRQ0（注1）	外部端子割り込み0
002h		PORT_IRQ1（注1）	外部端子割り込み1
003h		PORT_IRQ2（注1）	外部端子割り込み2
004h		PORT_IRQ3（注1）	外部端子割り込み3
005h		PORT_IRQ4（注1）	外部端子割り込み4
006h		PORT_IRQ5（注1）	外部端子割り込み5
007h		PORT_IRQ6（注1）	外部端子割り込み6
008h		PORT_IRQ7（注1）	外部端子割り込み7
009h		PORT_IRQ8（注1）	外部端子割り込み8
00Ah		PORT_IRQ9（注1）	外部端子割り込み9
00Bh		PORT_IRQ10（注1）	外部端子割り込み10
00Ch		PORT_IRQ11（注1）	外部端子割り込み11
00Dh		PORT_IRQ12（注1）	外部端子割り込み12
00Eh		PORT_IRQ13（注1）	外部端子割り込み13
00Fh		PORT_IRQ14（注1）	外部端子割り込み14
010h		PORT_IRQ15（注1）	外部端子割り込み15
020h	DMAC0	DMAC0_INT	DMAC転送終了0
021h	DMAC1	DMAC1_INT	DMAC転送終了1
022h	DMAC2	DMAC2_INT	DMAC転送終了2
023h	DMAC3	DMAC3_INT	DMAC転送終了3
024h	DMAC4	DMAC4_INT	DMAC転送終了4
025h	DMAC5	DMAC5_INT	DMAC転送終了5
026h	DMAC6	DMAC6_INT	DMAC転送終了6
027h	DMAC7	DMAC7_INT	DMAC転送終了7
02Ah	DTC	DTC_DTCEND（注3）	DTC転送終了
038h	LVD	LVD_LVD1	電圧監視1割り込み
039h		LVD_LVD2	電圧監視2割り込み
03Bh	MOSC	MOSC_STOP	メインクロック発振停止
03Ch	低消費電力モード	SYSTEM_SNZREQ（注2）（注3）	スヌーズエントリ
040h	AGT0	AGT0_AGTI	AGT割り込み
041h		AGT0_AGTCMAI	コンペアマッチA
042h		AGT0_AGTCMBI	コンペアマッチB
043h	AGT1	AGT1_AGTI	AGT割り込み
044h		AGT1_AGTCMAI	コンペアマッチA
045h		AGT1_AGTCMBI	コンペアマッチB
046h	IWDT	IWDT_NMIUNDF	IWDTアンダーフロー
047h	WDT	WDT_NMIUNDF	WDTアンダーフロー
049h	RTC	RTC_PRD	周期割り込み
04Bh	ADC120	ADC120_ADI	A/Dスキャン変換終了割り込み
04Fh		ADC120_WCMPM（注3）	コンペアマッチ
050h		ADC120_WCMPUM（注3）	コンペア不一致
051h	ADC121	ADC121_ADI	A/Dスキャン変換終了割り込み
055h		ADC121_WCMPM（注3）	コンペアマッチ
056h		ADC121_WCMPUM（注3）	コンペア不一致

表 19.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (2/7)

イベント番号	割り込み要求の発生元	名称	内容
057h	ACMPHS	ACMP_HS0（注1）	高速アナログコンパレータ割り込み0
058h		ACMP_HS1（注1）	高速アナログコンパレータ割り込み1
059h		ACMP_HS2（注1）	高速アナログコンパレータ割り込み2
05Ah		ACMP_HS3（注1）	高速アナログコンパレータ割り込み3
05Bh		ACMP_HS4（注1）	高速アナログコンパレータ割り込み4
05Ch		ACMP_HS5（注1）	高速アナログコンパレータ割り込み5
063h	IIC0	IIC0_RXI	受信データフル
064h		IIC0_TXI	送信データエンプティ
065h		IIC0_TEI	送信終了
066h		IIC0_EEI	通信エラー
068h	IIC1	IIC1_RXI	受信データフル
069h		IIC1_TXI	送信データエンプティ
06Ah		IIC1_TEI	送信終了
06Bh		IIC1_EEI	通信エラー
06Dh	IIC2	IIC2_RXI	受信データフル
06Eh		IIC2_TXI	送信データエンプティ
06Fh		IIC2_TEI	送信終了
070h		IIC2_EEI	通信エラー
086h	DOC	DOC_DOPCI（注3）	データ演算回路割り込み
094h	I/Oポート	IOPORT_GROUP1	ポート1イベント
095h		IOPORT_GROUP2	ポート2イベント
096h		IOPORT_GROUP3	ポート3イベント
097h		IOPORT_GROUP4	ポート4イベント
098h	ELC	ELC_SWEVT0	ソフトウェアイベント0
099h		ELC_SWEVT1	ソフトウェアイベント1
0B0h	GPT32EH0	GPT0_CCMPA	コンペアマッチA
0B1h		GPT0_CCMPB	コンペアマッチB
0B2h		GPT0_CMPC	コンペアマッチC
0B3h		GPT0_CMPD	コンペアマッチD
0B4h		GPT0_CMPE	コンペアマッチE
0B5h		GPT0_CMPF	コンペアマッチF
0B6h		GPT0_OVF	オーバーフロー
0B7h		GPT0_UDF	アンダーフロー
0B8h		GPT0_ADTRGA	A/D変換開始要求A
0B9h		GPT0_ADTRGB	A/D変換開始要求B
0BAh	GPT32EH1	GPT1_CCMPA	コンペアマッチA
0BBh		GPT1_CCMPB	コンペアマッチB
0BCh		GPT1_CMPC	コンペアマッチC
0BDh		GPT1_CMPD	コンペアマッチD
0BEh		GPT1_CMPE	コンペアマッチE
0BFh		GPT1_CMPF	コンペアマッチF
0C0h		GPT1_OVF	オーバーフロー
0C1h		GPT1_UDF	アンダーフロー
0C2h		GPT1_ADTRGA	A/D変換開始要求A
0C3h		GPT1_ADTRGB	A/D変換開始要求B

表 19.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (3/7)

イベント番号	割り込み要求の発生元	名称	内容
0C4h	GPT32EH2	GPT2_CCMPA	コンペアマッチA
0C5h		GPT2_CCMPB	コンペアマッチB
0C6h		GPT2_CMPC	コンペアマッチC
0C7h		GPT2_CMPD	コンペアマッチD
0C8h		GPT2_CMPE	コンペアマッチE
0C9h		GPT2_CMPF	コンペアマッチF
0CAh		GPT2_OVF	オーバーフロー
0CBh		GPT2_UDF	アンダーフロー
0CCh		GPT2_ADTRGA	A/D変換開始要求A
0CDh		GPT2_ADTRGB	A/D変換開始要求B
0CEh	GPT32EH3	GPT3_CCMPA	コンペアマッチA
0CFh		GPT3_CCMPB	コンペアマッチB
0D0h		GPT3_CMPC	コンペアマッチC
0D1h		GPT3_CMPD	コンペアマッチD
0D2h		GPT3_CMPE	コンペアマッチE
0D3h		GPT3_CMPF	コンペアマッチF
0D4h		GPT3_OVF	オーバーフロー
0D5h		GPT3_UDF	アンダーフロー
0D6h		GPT3_ADTRGA	A/D変換開始要求A
0D7h		GPT3_ADTRGB	A/D変換開始要求B
0D8h	GPT32E4	GPT4_CCMPA	コンペアマッチA
0D9h		GPT4_CCMPB	コンペアマッチB
0DAh		GPT4_CMPC	コンペアマッチC
0DBh		GPT4_CMPD	コンペアマッチD
0DCh		GPT4_CMPE	コンペアマッチE
0DDh		GPT4_CMPF	コンペアマッチF
0DEh		GPT4_OVF	オーバーフロー
0DFh		GPT4_UDF	アンダーフロー
0E0h		GPT4_ADTRGA	A/D変換開始要求A
0E1h		GPT4_ADTRGB	A/D変換開始要求B
0E2h	GPT32E5	GPT5_CCMPA	コンペアマッチA
0E3h		GPT5_CCMPB	コンペアマッチB
0E4h		GPT5_CMPC	コンペアマッチC
0E5h		GPT5_CMPD	コンペアマッチD
0E6h		GPT5_CMPE	コンペアマッチE
0E7h		GPT5_CMPF	コンペアマッチF
0E8h		GPT5_OVF	オーバーフロー
0E9h		GPT5_UDF	アンダーフロー
0EAh		GPT5_ADTRGA	A/D変換開始要求A
0EBh		GPT5_ADTRGB	A/D変換開始要求B

表 19.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (4/7)

イベント番号	割り込み要求の発生元	名称	内容
0ECh	GPT32E6	GPT6_CCMPA	コンペアマッチA
0EDh		GPT6_CCMPB	コンペアマッチB
0EEh		GPT6_CMPC	コンペアマッチC
0EFh		GPT6_CMPD	コンペアマッチD
0F0h		GPT6_CMPE	コンペアマッチE
0F1h		GPT6_CMPF	コンペアマッチF
0F2h		GPT6_OVF	オーバーフロー
0F3h		GPT6_UDF	アンダーフロー
0F4h		GPT6_ADTRGA	A/D 変換開始要求A
0F5h		GPT6_ADTRGB	A/D 変換開始要求B
0F6h	GPT32E7	GPT7_CCMPA	コンペアマッチA
0F7h		GPT7_CCMPB	コンペアマッチB
0F8h		GPT7_CMPC	コンペアマッチC
0F9h		GPT7_CMPD	コンペアマッチD
0FAh		GPT7_CMPE	コンペアマッチE
0FBh		GPT7_CMPF	コンペアマッチF
0FCh		GPT7_OVF	オーバーフロー
0FDh		GPT7_UDF	アンダーフロー
0FEh		GPT7_ADTRGA	A/D 変換開始要求A
0FFh		GPT7_ADTRGB	A/D 変換開始要求B
100h	GPT328	GPT8_CCMPA	コンペアマッチA
101h		GPT8_CCMPB	コンペアマッチB
102h		GPT8_CMPC	コンペアマッチC
103h		GPT8_CMPD	コンペアマッチD
104h		GPT8_CMPE	コンペアマッチE
105h		GPT8_CMPF	コンペアマッチF
106h		GPT8_OVF	オーバーフロー
107h		GPT8_UDF	アンダーフロー
10Ah	GPT329	GPT9_CCMPA	コンペアマッチA
10Bh		GPT9_CCMPB	コンペアマッチB
10Ch		GPT9_CMPC	コンペアマッチC
10Dh		GPT9_CMPD	コンペアマッチD
10Eh		GPT9_CMPE	コンペアマッチE
10Fh		GPT9_CMPF	コンペアマッチF
110h		GPT9_OVF	オーバーフロー
111h		GPT9_UDF	アンダーフロー
114h	GPT3210	GPT10_CCMPA	コンペアマッチA
115h		GPT10_CCMPB	コンペアマッチB
116h		GPT10_CMPC	コンペアマッチC
117h		GPT10_CMPD	コンペアマッチD
118h		GPT10_CMPE	コンペアマッチE
119h		GPT10_CMPF	コンペアマッチF
11Ah		GPT10_OVF	オーバーフロー
11Bh		GPT10_UDF	アンダーフロー

表 19.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (5/7)

イベント番号	割り込み要求の発生元	名称	内容
11Eh	GPT3211	GPT11_CCMPA	コンペアマッチA
11Fh		GPT11_CCMPB	コンペアマッチB
120h		GPT11_CMPC	コンペアマッチC
121h		GPT11_CMPD	コンペアマッチD
122h		GPT11_CMPE	コンペアマッチE
123h		GPT11_CMPF	コンペアマッチF
124h		GPT11_OVF	オーバーフロー
125h		GPT11_UDF	アンダーフロー
128h	GPT3212	GPT12_CCMPA	コンペアマッチA
129h		GPT12_CCMPB	コンペアマッチB
12Ah		GPT12_CMPC	コンペアマッチC
12Bh		GPT12_CMPD	コンペアマッチD
12Ch		GPT12_CMPE	コンペアマッチE
12Dh		GPT12_CMPF	コンペアマッチF
12Eh		GPT12_OVF	オーバーフロー
12Fh		GPT12_UDF	アンダーフロー
132h	GPT3213	GPT13_CCMPA	コンペアマッチA
133h		GPT13_CCMPB	コンペアマッチB
134h		GPT13_CMPC	コンペアマッチC
135h		GPT13_CMPD	コンペアマッチD
136h		GPT13_CMPE	コンペアマッチE
137h		GPT13_CMPF	コンペアマッチF
138h		GPT13_OVF	オーバーフロー
139h		GPT13_UDF	アンダーフロー
150h	GPT	GPT_UVWEDGE	UVWのエッジイベント
165h	イーサネットコントローラ	ETHER_RISE0	パルス出力タイマ0立ち上がりエッジ検出
166h		ETHER_RISE1	パルス出力タイマ1立ち上がりエッジ検出
167h		ETHER_RISE2	パルス出力タイマ2立ち上がりエッジ検出
168h		ETHER_RISE3	パルス出力タイマ3立ち上がりエッジ検出
169h		ETHER_RISE4	パルス出力タイマ4立ち上がりエッジ検出
16Ah		ETHER_RISE5	パルス出力タイマ5立ち上がりエッジ検出
16Bh		ETHER_FALL0	パルス出力タイマ0立ち下がりエッジ検出
16Ch		ETHER_FALL1	パルス出力タイマ1立ち下がりエッジ検出
16Dh		ETHER_FALL2	パルス出力タイマ2立ち下がりエッジ検出
16Eh		ETHER_FALL3	パルス出力タイマ3立ち下がりエッジ検出
16Fh		ETHER_FALL4	パルス出力タイマ4立ち下がりエッジ検出
170h		ETHER_FALL5	パルス出力タイマ5立ち下がりエッジ検出
174h	SCI0	SCI0_RXI（注4）	受信データフル
175h		SCI0_TXI（注4）	送信データエンプティ
176h		SCI0_TEI	送信終了
177h		SCI0_ERI（注4）	受信エラー
178h		SCI0_AM	アドレス一致イベント

表 19.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (6/7)

イベント番号	割り込み要求の発生元	名称	内容
17Ah	SCI1	SCI1_RXI（注4）	受信データフル
17Bh		SCI1_TXI（注4）	送信データエンプティ
17Ch		SCI1_TEI	送信終了
17Dh		SCI1_ERI（注4）	受信エラー
17Eh		SCI1_AM	アドレス一致イベント
180h	SCI2	SCI2_RXI（注4）	受信データフル
181h		SCI2_TXI（注4）	送信データエンプティ
182h		SCI2_TEI	送信終了
183h		SCI2_ERI（注4）	受信エラー
184h		SCI2_AM	アドレス一致イベント
186h	SCI3	SCI3_RXI（注4）	受信データフル
187h		SCI3_TXI（注4）	送信データエンプティ
188h		SCI3_TEI	送信終了
189h		SCI3_ERI（注4）	受信エラー
18Ah		SCI3_AM	アドレス一致イベント
18Ch	SCI4	SCI4_RXI（注4）	受信データフル
18Dh		SCI4_TXI（注4）	送信データエンプティ
18Eh		SCI4_TEI	送信終了
18Fh		SCI4_ERI（注4）	受信エラー
190h		SCI4_AM	アドレス一致イベント
192h	SCI5	SCI5_RXI（注4）	受信データフル
193h		SCI5_TXI（注4）	送信データエンプティ
194h		SCI5_TEI	送信終了
195h		SCI5_ERI（注4）	受信エラー
196h		SCI5_AM	アドレス一致イベント
198h	SCI6	SCI6_RXI（注4）	受信データフル
199h		SCI6_TXI（注4）	送信データエンプティ
19Ah		SCI6_TEI	送信終了
19Bh		SCI6_ERI（注4）	受信エラー
19Ch		SCI6_AM	アドレス一致イベント
19Eh	SCI7	SCI7_RXI（注4）	受信データフル
19Fh		SCI7_TXI（注4）	送信データエンプティ
1A0h		SCI7_TEI	送信終了
1A1h		SCI7_ERI（注4）	受信エラー
1A2h		SCI7_AM	アドレス一致イベント
1A4h	SCI8	SCI8_RXI（注4）	受信データフル
1A5h		SCI8_TXI（注4）	送信データエンプティ
1A6h		SCI8_TEI	送信終了
1A7h		SCI8_ERI（注4）	受信エラー
1A8h		SCI8_AM	アドレス一致イベント
1AAh	SCI9	SCI9_RXI（注4）	受信データフル
1ABh		SCI9_TXI（注4）	送信データエンプティ
1ACh		SCI9_TEI	送信終了
1ADh		SCI9_ERI（注4）	受信エラー
1AEh		SCI9_AM	アドレス一致イベント

表 19.3 ELSRn.ELS ビットに設定するイベント信号名と信号番号の対応 (7/7)

イベント番号	割り込み要求の発生元	名称	内容
1BCh	SPI0	SPI0_SPRI	受信データフル
1BDh		SPI0_SPTI	送信データエンプティ
1BEh		SPI0_SPII	アイドル
1BFh		SPI0_SPEI	受信エラー
1C0h		SPI0_SPTEND	送信終了
1C1h	SPI1	SPI1_SPRI	受信データフル
1C2h		SPI1_SPTI	送信データエンプティ
1C3h		SPI1_SPII	アイドル
1C4h		SPI1_SPEI	受信エラー
1C5h		SPI1_SPTEND	送信終了

注 1. パルス（エッジ検出）のみがサポートされています。
注 2. ELSR8 ～ ELSR11、ELSR14 ～ ELSR17、および ELSR18 が、このイベントを選択できます。
注 3. このイベントはスヌーズモードでも発生可能です。
注 4. このイベントは FIFO モードではサポートされていません。

19.3 動作説明

19.3.1 割り込み処理とイベントリンクの関係

イベントリンクのイベント番号は、対応する割り込み要因のイベント番号と同一です。イベント信号の発生方法については、各イベント出力元モジュールの章を参照してください。

19.3.2 イベントのリンク

イベントリンク設定レジスタ（ELSRn）に設定しておいたイベントが発生すると、対応するモジュールが起動します。起動するモジュールの動作設定は、前もって完了しておく必要があります。表 19.4 に、イベントが発生したときのモジュール別動作一覧を示します。

表 19.4 イベント発生時のモジュールの動作

モジュール	イベント発生時の動作
GPT	• カウント開始 • カウント停止 • カウントクリア • アップカウント • ダウンカウント • インプットキャプチャ
ADC12	A/D 変換開始
DAC12	D/A 変換開始
I/O ポート	• EORR（リセット）または EOSR（セット）に基づく端子出力の変化 • 端子状態を EIDR にラッチ • ELC で使用可能なポート： PORT 1 PORT 2 PORT 3 PORT 4
CTSU	測定動作開始
DTC	DTC データ転送開始

19.3.3 イベントリンクの動作設定手順例

イベントのリンク方法は以下の通りです。

1. イベントをリンクするモジュールの動作設定を行います。
2. イベントをリンクするモジュールに対して、ELSRn レジスタを設定します。
3. ELCR.ELCON ビットを 1 にして、すべてのイベントリンクを有効にします。
4. イベント出力元モジュールの設定を行い、起動させます。これによって、2 つのモジュール間のリンクがアクティブになります。
5. モジュール単位でイベントリンク動作を停止させるには、そのモジュールに対応する ELSRn.ELS[8:0] ビットを 000000000b にします。また、ELCR.ELCON ビットを 0 にすることにより、すべてのイベントリンクを停止します。

RTC のイベントリンク出力機能を使用する場合は、RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC の設定後に RTC の設定を行うと、意図しないイベント出力が発生する可能性があります。

19.4 使用上の注意事項

19.4.1 DMAC または DTC 転送終了のイベントリンクを使用する場合

DMAC または DTC 転送終了のイベントリンクを使用する場合、DMAC または DTC 転送先とイベントのリンク先を同一周辺モジュールに設定しないでください。設定すると、周辺モジュールへの DMAC または DTC 転送が完了する前に、周辺モジュールが起動する場合があります。

19.4.2 クロック設定について

イベントリンクを使用するには、ELC と対象モジュールが動作可能な状態でなければいけません。対象モジュールがモジュールストップ状態の場合、または、対象モジュールが停止するような低消費電力モード（ソフトウェアスタンバイモードやディープソフトウェアスタンバイモード）の場合、そのモジュールは動作できません。モジュールによっては、スヌーズモードで動作できるものもあります。詳細については、表 19.3 と「11. 低消費電力モード」を参照してください。

19.4.3 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）によって、ELC 動作を禁止または許可することが可能です。リセット後の初期状態では、ELC の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細については、表 19.3 と「11. 低消費電力モード」を参照してください。MSTPCRC レジスタを用いて ELC 動作を禁止する場合は、事前に ELCON ビットを 0 にする必要があります。

19.4.4 ELC 遅延時間

図 19.2 に示すように、モジュール A は ELC を介してモジュール B にアクセスします。モジュール A とモジュール B の間には、ELC モジュールでの遅延時間が存在します。表 19.5 ELC 遅延時間を参照してください。

モジュール A とモジュール B のクロックドメインが同一であれば、遅延時間は 0 です。しかし、モジュール A とモジュール B のクロックドメインが異なっていれば、ELC モジュールにある程度の遅延が生じます。この時間遅延は、モジュール A とモジュール B の各クロックのうち遅い方のクロック周波数で決まります。

表 19.5 ELC遅延時間

クロックドメイン	クロック周波数	ELC遅延時間
Clock_A = Clock_B	Clock_A = Clock_B	0サイクル
Clock_A ≠ Clock_B	Clock_A = Clock_B	1～2サイクル
	Clock_A＞Clock_B	Bの1～2サイクル
	Clock_A＜Clock_B	Aの1～2サイクル

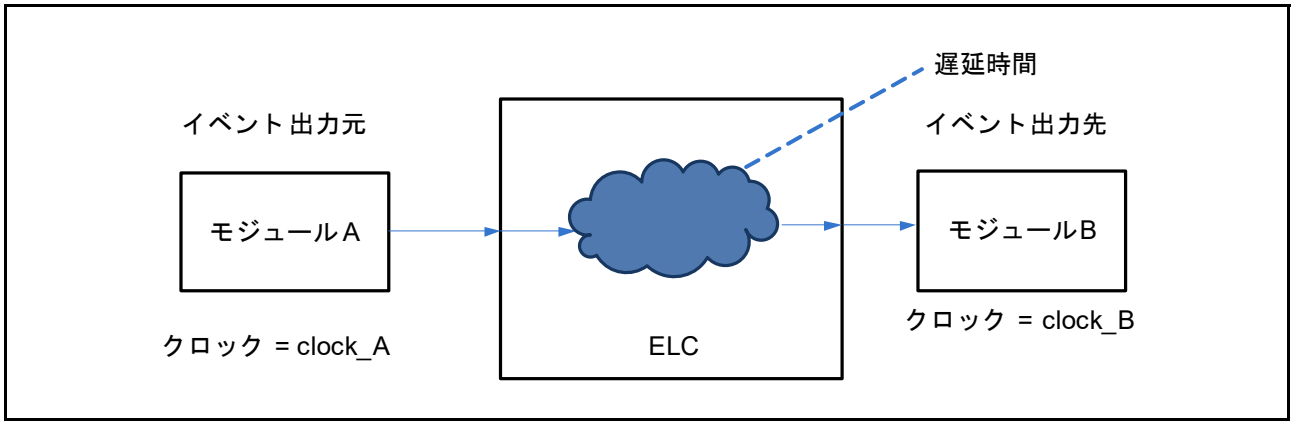


図 19.2 ELC 遅延時間

20. I/O ポート

20.1 概要

I/O ポート端子は、汎用入出力ポート端子、周辺モジュールの入出力端子、割り込み入力端子、アナログ入出力、ELC のポートグループ機能、またはバス制御端子として動作します。すべての端子は、リセット直後は入力端子として動作しますが、レジスタの設定によって機能を切り替えることができます。各端子の I/O ポートと周辺モジュールは、対応するレジスタで設定します。図 20.1 に、I/O ポートレジスタの接続図を示します。パッケージによって I/O ポートの構成は異なります。表 20.1 にパッケージ別の I/O ポートの仕様を、表 20.2 に I/O ポートの機能を示します。

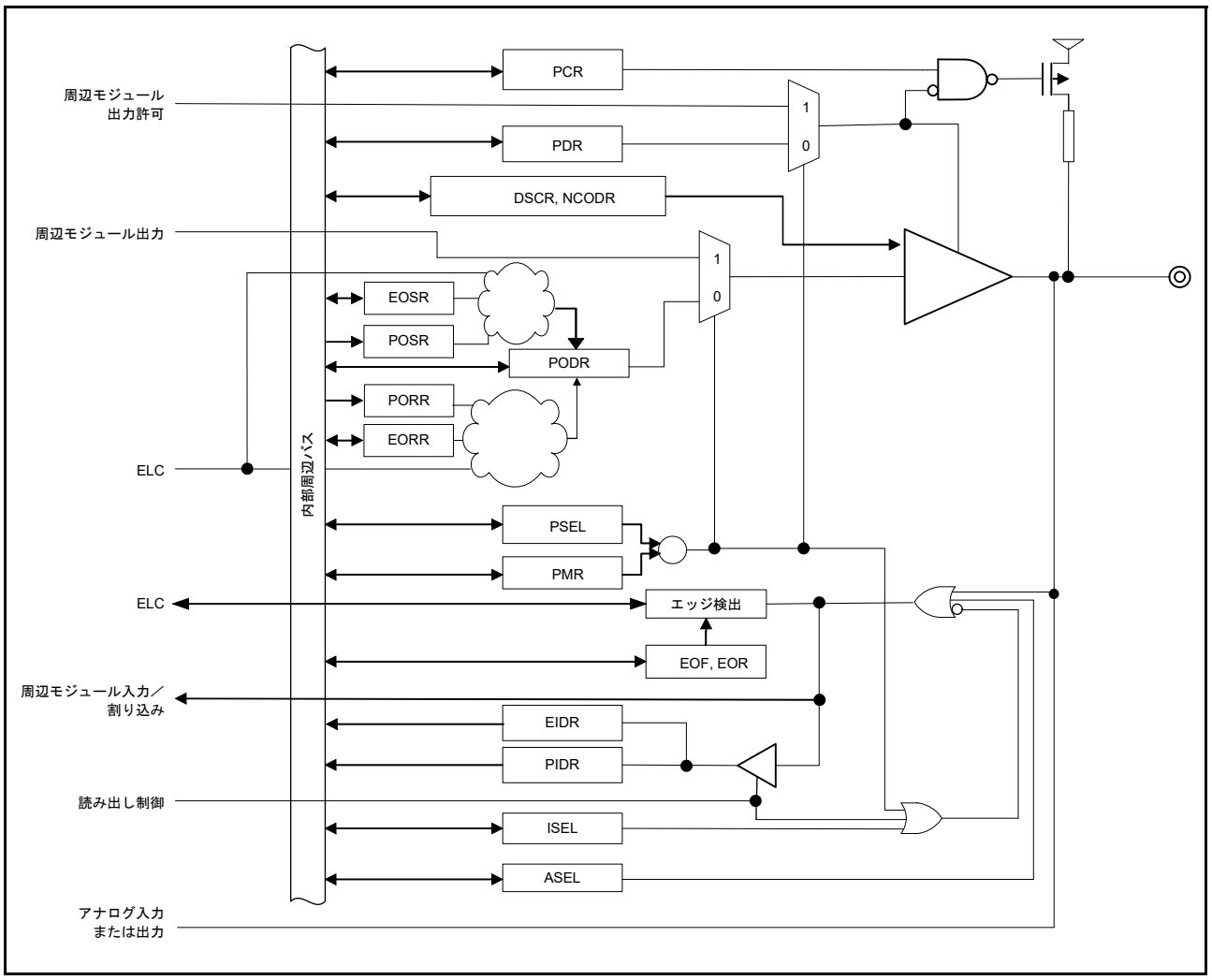


図 20.1 I/O ポートレジスタの接続図

注 . この図はポートの基本構成を示しています。ポートによって構成は異なります。

表 20.1 I/Oポートの仕様

ポート	パッケージ 224ピン	本数	パッケージ 176ピン	本数	パッケージ 144ピン、145ピン	本数	パッケージ 100ピン	本数
ポート0	P000～P011, P014, P015	14	P000～P010, P014, P015	13	P000～P009, P014, P015	12	P000～P008, P014, P015	11
ポート1	P100～P115	16	P100～P115	16	P100～P115	16	P100～P115	16
ポート2	P200～P207, P212, P213	10	P200～P207, P212, P213	10	P200～P207, P212, P213	10	P200, P201, P205～P207, P212, P213	7
ポート3	P300～P315	16	P300～P315	16	P300～P313	14	P300～P307	8
ポート4	P400～P415	16	P400～P415	16	P400～P415	16	P400～P415	16
ポート5	P500～P515	16	P500～P507, P511～P513	11	P500～P506, P511, P512	9	P500～P504	5
ポート6	P600～P615	16	P600～P615	16	P600～P605, P608～P614	13	P600～P602, P608～P610	6
ポート7	P700～P713	14	P700～P707	8	P700～P705, P708～P713	12	P708	1
ポート8	P800～P813	14	P800～P806	7	P800, P801	2	なし	0
ポート9	P900～P915	16	P900, P901, P905～P908	6	なし	0	なし	0
ポートA	PA00～PA15	16	PA00, PA01, PA08～PA10	5	なし	0	なし	0
ポートB	PB00～PB07	8	PB00, PB01	2	なし	0	なし	0
	合計本数	172	合計本数	126	合計本数	104	合計本数	70

表 20.2 I/Oポートの機能

ポート	ポート名	入力プルアップ	オープンドレイン出力	駆動能力切り替え	5Vトレラント
ポート0	P000～P007	-	-	-	-
	P008～P011, P014, P015	○	○	-	-
ポート1	P100～P115	○	○	低／中／高	-
ポート2	P200	○	-	-	-
	P202～P204, P207	○	○	低／中／高	-
	P205, P206	○	○	低／中／高	○
	P201, P212, P213	○	○	-	-
ポート3	P300～P315	○	○	低／中／高	-
ポート4	P400, P401	○	○	-	○
	P402～P404	○	○	低／中	-
	P405～P406	○	○	低／中／高	-
	P407	○	○	低／中／高	○
	P408～P415	○	○	低／中／高	○
ポート5	P500～P510, P513～P515	○	○	低／中／高	-
	P511, P512	○	○	-	○
ポート6	P600～P615	○	○	低／中／高	-
ポート7	P700～P707	○	○	低／中／高	-
	P708～P713	○	○	低／中／高	○
ポート8	P800～P813	○	○	低／中／高	-
ポート9	P900～P915	○	○	低／中／高	-
ポートA	PA00～PA15	○	○	低／中／高	-
ポートB	PB00, PB02～PB07	○	○	低／中／高	-
	PB01	○	○	低／中／高	○

○：可能

20.2 レジスタの説明

20.2.1 ポートコントロールレジスタ 1（PCNTR1/PODR/PDR）

アドレス PORT0.PCNTR1 4004 0000h, PORT1.PCNTR1 4004 0020h, PORT2.PCNTR1 4004 0040h, PORT3.PCNTR1 4004 0060h,
PORT4.PCNTR1 4004 0080h, PORT5.PCNTR1 4004 00A0h, PORT6.PCNTR1 4004 00C0h, PORT7.PCNTR1 4004 00E0h,
PORT8.PCNTR1 4004 0100h, PORT9.PCNTR1 4004 0120h, PORTA.PCNTR1 4004 0140h, PORTB.PCNTR1 4004 0160h

PORT0.PODR 4004 0000h, PORT1.PODR 4004 0020h, PORT2.PODR 4004 0040h, PORT3.PODR 4004 0060h,
PORT4.PODR 4004 0080h, PORT5.PODR 4004 00A0h, PORT6.PODR 4004 00C0h, PORT7.PODR 4004 00E0h,
PORT8.PODR 4004 0100h, PORT9.PODR 4004 0120h, PORTA.PODR 4004 0140h, PORTB.PODR 4004 0160h

PORT0.PDR 4004 0002h, PORT1.PDR 4004 0022h, PORT2.PDR 4004 0042h, PORT3.PDR 4004 0062h,
PORT4.PDR 4004 0082h, PORT5.PDR 4004 00A2h, PORT6.PDR 4004 00C2h, PORT7.PDR 4004 00E2h,
PORT8.PDR 4004 0102h, PORT9.PDR 4004 0122h, PORTA.PDR 4004 0142h, PORTB.PDR 4004 0162h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PODR 15	PODR 14	PODR 13	PODR 12	PODR 11	PODR 10	PODR 09	PODR 08	PODR 07	PODR 06	PODR 05	PODR 04	PODR 03	PODR 02	PODR 01	PODR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	PDR09	PDR08	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PDRn	Pmn方向	0：入力（入力端子として機能） 1：出力（出力端子として機能）	R/W
b31-b16	PODRn	Pmn出力データ	0：Low出力 1：High出力	R/W

m = 0 ～ 9, A, B
n = 00 ～ 15

ポートコントロールレジスタ 1 は、ポート方向とポート出力データを制御する 32 ビットおよび 16 ビットの読み出し／書き込みレジスタです。

PCNTR1 は、ポート方向と出力データの両方を 32 ビット単位で指定するレジスタです。PDR レジスタ（PCNTR1 レジスタのビット [15:0]）と PODR レジスタ（PCNTR1 レジスタのビット [31:16]）は、それぞれポート方向とポート出力データを指定するレジスタで、16 ビット単位でアクセスが可能です。

PDRn ビットは、汎用入出力端子として設定されている個々のポート端子の入力／出力方向を選択します。ポート m の各端子は PCNTR1.PDRn ビットに対応しています。入出力方向は 1 ビット単位で指定できます。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P000 ～ P007 と P200 は入力専用です。そのため PORT0.PCNTR1[7:0] ビットと PORT2.PCNTR1[0] ビットは予約ビットです。PORTm.PCNTR1 レジスタの PDRn ビットは、PFS.PmnPFS レジスタの PDR ビットと同じ機能を果たします。

PODRn ビットは、汎用入出力端子から出力されるデータを格納します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。P000 ～ P007 と P200 は入力専用です。そのため PORT0.PCNTR1[23:16] ビットと PORT2.PCNTR1[16] ビットは予約ビットです。P000 ～ P007 と P200 に値を書いても何も影響されません。PORTm.PCNTR1 レジスタの PODRn ビットは、PFS.PmnPFS レジスタの PODR ビットと同じ機能を果たします。

20.2.2 ポートコントロールレジスタ 2（PCNTR2/EIDR/PIDR）

アドレス PORT0.PCNTR2 4004 0004h, PORT1.PCNTR2 4004 0024h, PORT2.PCNTR2 4004 0044h, PORT3.PCNTR2 4004 0064h, PORT4.PCNTR2 4004 0084h, PORT5.PCNTR2 4004 00A4h, PORT6.PCNTR2 4004 00C4h, PORT7.PCNTR2 4004 00E4h, PORT8.PCNTR2 4004 0104h, PORT9.PCNTR2 4004 0124h, PORTA.PCNTR2 4004 0144h, PORTB.PCNTR2 4004 0164h

PORT1.EIDR 4004 0024h, PORT2.EIDR 4004 0044h, PORT3.EIDR 4004 0064h, PORT4.EIDR 4004 0084h

PORT0.PIDR 4004 0006h, PORT1.PIDR 4004 0026h, PORT2.PIDR 4004 0046h, PORT3.PIDR 4004 0066h, PORT4.PIDR 4004 0086h, PORT5.PIDR 4004 00A6h, PORT6.PIDR 4004 00C6h, PORT7.PIDR 4004 00E6h, PORT8.PIDR 4004 0106h, PORT9.PIDR 4004 0126h, PORTA.PIDR 4004 0146h, PORTB.PIDR 4004 0166h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EIDR15	EIDR14	EIDR13	EIDR12	EIDR11	EIDR10	EIDR09	EIDR08	EIDR07	EIDR06	EIDR05	EIDR04	EIDR03	EIDR02	EIDR01	EIDR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PIDR15	PIDR14	PIDR13	PIDR12	PIDR11	PIDR10	PIDR09	PIDR08	PIDR07	PIDR06	PIDR05	PIDR04	PIDR03	PIDR02	PIDR01	PIDR00
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	PIDRn	Pmn状態	0：Low レベル 1：High レベル	R
b31-b16	EIDRn	ポートイベント入力データ（注1）（注2）	ELC_PORTx信号の発生時： 0：Low入力 1：High入力	R

m = 0 ～ 9, A, B

n = 00 ～ 15

x = 1 ～ 4

注 1. ポート 1 ～ 4 に対応しています。

注 2. GPT、ETHERC、SCI、または SPI をイベントトリガとして使用する場合、下記の条件に従って周辺機能の動作周波数を設定してください。
GPT 使用時：PCLKD ≦ 60MHz
ETHERC、SCI、または SPI 使用時：PCLKA ≦ 60MHz

ポートコントロールレジスタ 2 は、Pmn 状態およびポートイベント入力データへ 32 ビットまたは 16 ビットでリードアクセスすることができます。

PCNTR2 レジスタ は、Pmn 状態およびポートイベント入力データを設定し、32 ビット単位でアクセスが可能です。PIDRn（PCNTR2 レジスタのビット [15:0]）および EIDRn（PCNTR2 レジスタのビット [31:16]）はそれぞれ 16 ビット単位でアクセスが可能です。存在しない端子に対応するビットは予約ビットです。予約ビットは、読むと不定値が読めます。

PIDRn ビットは、PmnPFS.PMR ビットと PORTm.PCNTR1.PDRn ビットの設定値にかかわらず、ポートの個々の端子状態を反映します。PORTm.PCNTR2 レジスタの PIDRn ビットは、PFS.PmnPFS レジスタの PIDR ビットと同じ機能を果たします。

以下の機能のいずれかが有効な場合、端子の状態は PIDRn ビットに反映されません。

- メインクロック発振器（MOSC）
- CS 領域コントローラ（CSC）
- アナログ機能（ASEL = 1）
- 静電容量式タッチセンシングユニット（CTSU）
- USB2.0 フルスピードモジュール（USBFS）

EIDRn ビットは、ELC_PORTx 信号の発生時に端子の状態をラッチします。PmnPFS.PMR ビットおよび PORTm.PCNTR1.PDRn ビットが 0 の場合にのみ、EIDRn ビットに端子状態を入力できます。PmnPFS.ASEL ビットが 1 の場合は、対応する端子の状態は EIDRn ビットに反映されません。

20.2.3 ポートコントロールレジスタ 3（PCNTR3/PORR/POSR）

アドレス PORT0.PCNTR3 4004 0008h, PORT1.PCNTR3 4004 0028h, PORT2.PCNTR3 4004 0048h, PORT3.PCNTR3 4004 0068h, PORT4.PCNTR3 4004 0088h, PORT5.PCNTR3 4004 00A8h, PORT6.PCNTR3 4004 00C8h, PORT7.PCNTR3 4004 00E8h, PORT8.PCNTR3 4004 0108h, PORT9.PCNTR3 4004 0128h, PORTA.PCNTR3 4004 0148h, PORTB.PCNTR3 4004 0168h

PORT0.PORR 4004 0008h, PORT1.PORR 4004 0028h, PORT2.PORR 4004 0048h, PORT3.PORR 4004 0068h, PORT4.PORR 4004 0088h, PORT5.PORR 4004 00A8h, PORT6.PORR 4004 00C8h, PORT7.PORR 4004 00E8h, PORT8.PORR 4004 0108h, PORT9.PORR 4004 0128h, PORTA.PORR 4004 0148h, PORTB.PORR 4004 0168h

PORT0.POSR 4004 000Ah, PORT1.POSR 4004 002Ah, PORT2.POSR 4004 004Ah, PORT3.POSR 4004 006Ah, PORT4.POSR 4004 008Ah, PORT5.POSR 4004 00AAh, PORT6.POSR 4004 00CAh, PORT7.POSR 4004 00EAh, PORT8.POSR 4004 010Ah, PORT9.POSR 4004 012Ah, PORTA.POSR 4004 014Ah, PORTB.POSR 4004 016Ah

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORR 15	PORR 14	PORR 13	PORR 12	PORR 11	PORR 10	PORR 09	PORR 08	PORR 07	PORR 06	PORR 05	PORR 04	PORR 03	PORR 02	PORR 01	PORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	POSR 15	POSR 14	POSR 13	POSR 12	POSR 11	POSR 10	POSR 09	POSR 08	POSR 07	POSR 06	POSR 05	POSR 04	POSR 03	POSR 02	POSR 01	POSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	POSRn	Pmn出力設定	0：出力に影響なし 1：High出力	W
b31-b16	PORRn	Pmn出力リセット	0：出力に影響なし 1：Low出力	W

m = 0 ～ 9, A, B

n = 00 ～ 15

注 . EORRn または EOSRn が設定されている場合は、PODRn、PORRn、および POSRn への書き込みは禁止です。

注 . PORRn および POSRn を同時に設定しないでください。

ポートコントロールレジスタ 3 は、ポート出力データの設定またはリセットを制御する 32 ビットおよび 16 ビットの書き込みレジスタです。

PCNTR3 は、ポート出力データの設定とリセットの両方を制御するレジスタで、32 ビット単位で設定が可能です。POSR レジスタ（PCNTR3 レジスタのビット [15:0]）と PORR レジスタ（PCNTR3 レジスタのビット [31:16]）は、それぞれポート出力データの設定とリセットを制御するレジスタで、16 ビット単位でアクセスが可能です。

POSR ビットがソフトウェア書き込みによって設定されると、PODR ビットが変更されます。たとえば P100 の場合、PORT1.POSR00 = 1 になると、PORT1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P000 ～ P007 と P200 は入力専用です。そのため PORT0.PCNTR3[7:0] ビットと PORT2.PCNTR3[0] ビットは予約ビットです。

PORR ビットがソフトウェア書き込みによってリセットされると、PODR ビットが変更されます。たとえば P100 の場合、PORT1.PORR00 = 1 になると、PORT1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P000 ～ P007 と P200 は入力専用です。そのため PORT0.PCNTR3[23:16] ビットと PORT2.PCNTR3[16] ビットは予約ビットです。

20.2.4 ポートコントロールレジスタ 4（PCNTR4/EORR/EOSR）

アドレス PORT1.PCNTR4 4004 002Ch, PORT2.PCNTR4 4004 004Ch, PORT3.PCNTR4 4004 006Ch, PORT4.PCNTR4 4004 008Ch

PORT1.EORR 4004 002Ch, PORT2.EORR 4004 004Ch, PORT3.EORR 4004 006Ch, PORT4.EORR 4004 008Ch

PORT1.EOSR 4004 002Eh, PORT2.EOSR 4004 004Eh, PORT3.EOSR 4004 006Eh, PORT4.EOSR 4004 008Eh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EORR 15	EORR 14	EORR 13	EORR 12	EORR 11	EORR 10	EORR 09	EORR 08	EORR 07	EORR 06	EORR 05	EORR 04	EORR 03	EORR 02	EORR 01	EORR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EOSR 15	EOSR 14	EOSR 13	EOSR 12	EOSR 11	EOSR 10	EOSR 09	EOSR 08	EOSR 07	EOSR 06	EOSR 05	EOSR 04	EOSR 03	EOSR 02	EOSR 01	EOSR 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EOSRn	Pmnイベント出力設定	ELC_PORTx信号の発生時： 0：出力に影響なし 1：High出力	R/W
b31-b16	EORRn	Pmnイベント出力リセット	ELC_PORTx信号の発生時： 0：出力に影響なし 1：Low出力	R/W

m = 1 ～ 4
n = 00 ～ 15
x = 1 ～ 4

注 . EORRn または EOSRn が設定されている場合は、PODRn、PORRn、および POSRn への書き込みは禁止です。
注 . PORRn および POSRn を同時に設定しないでください。

ポートコントロールレジスタ 4 は、ELC からのイベント入力によるポート出力データの設定またはリセットを制御する、32 ビットおよび 16 ビットの読み出し／書き込みレジスタです。PCNTR4 は、ELC からのイベント入力によるポート出力データの設定およびリセットの両方を制御するレジスタで、32 ビット単位で設定が可能です。EOSR レジスタ（PCNTR4 レジスタのビット [15:0]）と EORR レジスタ（PCNTR4 レジスタのビット [31:16]）は、それぞれ ELC からのイベント入力による出力データの設定およびリセットを制御するレジスタで、16 ビット単位でアクセスが可能です。

EOSR ビットが ELC_PORTx 信号の発生によって設定されると、PODR ビットが変更されます。たとえば P100 の場合、ELC_PORTx 信号の発生時に PORT1.EOSR00 が 1 になると、PORT1.PODR00 は 1 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P000 ～ P007 および P200 は入力専用です。そのため PORT0.PCNTR4 ビット [7:0] および PORT2.PCNTR4 ビット [0] は予約ビットです。

EORR ビットが ELC_PORTx 信号の発生によってリセットされると、PODR ビットが変更されます。たとえば P100 の場合、ELC_PORTx 信号の発生時に PORT1.EORR00 = 1 になると、PORT1.PODR00 は 0 を出力します。存在しない端子に対応するビットは予約ビットです。書く場合、常に 0 としてください。P000 ～ P007 および P200 は入力専用です。そのため PORT0.PCNTR4 ビット [23:16] および PORT2.PCNTR4 ビット [16] は予約ビットです。

20.2.5 ポート mn 端子機能選択レジスタ（PmnPFS/PmnPFS_HA/PmnPFS_BY）（m = 0 ～ 9, A, B; n = 00 ～ 15）

アドレス PFS.P000PFS 4004 0800h～PFS.P015PFS 4004 083Ch, PFS.P100PFS 4004 0840h～PFS.P115PFS 4004 087Ch,
PFS.P200PFS 4004 0880h～PFS.P215PFS 4004 08BCh, PFS.P300PFS 4004 08C0h～PFS.P315PFS 4004 08FCh,
PFS.P400PFS 4004 0900h～PFS.P415PFS 4004 093Ch, PFS.P500PFS 4004 0940h～PFS.P515PFS 4004 097Ch,
PFS.P600PFS 4004 0980h～PFS.P615PFS 4004 09BCh, PFS.P700PFS 4004 09C0h～PFS.P715PFS 4004 09FCh,
PFS.P800PFS 4004 0A00h～PFS.P815PFS 4004 0A3Ch, PFS.P900PFS 4004 0A40h～PFS.P915PFS 4004 0A7Ch,
PFS.PA00PFS 4004 0A80h～PFS.PA15PFS 4004 0ABCh, PFS.PB00PFS 4004 0AC0h～PFS.PB07PFS 4004 0ADCh

PFS.P000PFS_HA 4004 0802h～PFS.P015PFS_HA 4004 083Eh, PFS.P100PFS_HA 4004 0842h～PFS.P115PFS_HA 4004 087Eh,
PFS.P200PFS_HA 4004 0882h～PFS.P215PFS_HA 4004 08BEh, PFS.P300PFS_HA 4004 08C2h～PFS.P315PFS_HA 4004 08FEh,
PFS.P400PFS_HA 4004 0902h～PFS.P415PFS_HA 4004 093Eh, PFS.P500PFS_HA 4004 0942h～PFS.P515PFS_HA 4004 097Eh,
PFS.P600PFS_HA 4004 0982h～PFS.P615PFS_HA 4004 09BEh, PFS.P700PFS_HA 4004 09C2h～PFS.P715PFS_HA 4004 09FEh,
PFS.P800PFS_HA 4004 0A02h～PFS.P815PFS_HA 4004 0A3Eh, PFS.P900PFS_HA 4004 0A42h～PFS.P915PFS_HA 4004 0A7Eh,
PFS.PA00PFS_HA 4004 0A82h～PFS.PA15PFS_HA 4004 0ABEh, PFS.PB00PFS_HA 4004 0AC2h～PFS.PB07PFS_HA 4004 0ADEh

PFS.P000PFS_BY 4004 0803h～PFS.P015PFS_BY 4004 083Fh, PFS.P100PFS_BY 4004 0843h～PFS.P115PFS_BY 4004 087Fh,
PFS.P200PFS_BY 4004 0883h～PFS.P215PFS_BY 4004 08BFh, PFS.P300PFS_BY 4004 08C3h～PFS.P315PFS_BY 4004 08FFh,
PFS.P400PFS_BY 4004 0903h～PFS.P415PFS_BY 4004 093Fh, PFS.P500PFS_BY 4004 0943h～PFS.P515PFS_BY 4004 097Fh,
PFS.P600PFS_BY 4004 0983h～PFS.P615PFS_BY 4004 09BFh, PFS.P700PFS_BY 4004 09C3h～PFS.P715PFS_BY 4004 09FFh,
PFS.P800PFS_BY 4004 0A03h～PFS.P815PFS_BY 4004 0A3Fh, PFS.P900PFS_BY 4004 0A43h～PFS.P915PFS_BY 4004 0A7Fh,
PFS.PA00PFS_BY 4004 0A83h～PFS.PA15PFS_BY 4004 0ABFh, PFS.PB00PFS_BY 4004 0AC3h～PFS.PB07PFS_BY 4004 0ADFh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	PSEL[4:0]					—	—	—	—	—	—	—	PMR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0（注2）

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASEL	ISEL	EOF	EOR	DSCR[1:0]		—	—	—	NCODR	—	PCR	—	PDR	PIDR	PODR
リセット後の値	0	0	0	0	0	0（注2）	0	0	0	0	0	0（注2）	0	0	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	PODR	ポート出力データ	0：Low出力 1：High出力	R/W
b1	PIDR	Pmn状態	0：Low レベル 1：High レベル	R
b2	PDR	ポート方向	0：入力（入力端子として機能） 1：出力（出力端子として機能）	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PCR	プルアップ制御	0：入力プルアップ無効 1：入力プルアップ有効	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	NCODR	Nチャネルオープンドレイン制御	0：CMOS出力 1：NMOSオープンドレイン出力	R/W
b9-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b10	DSCR[1:0]	ポート駆動能力	b11 b10 0 0：低駆動 0 1：中駆動 1 0：設定禁止 1 1：高駆動	R/W
b13-b12	EOF/EOR	立ち下がり時イベント／立ち上がり時イベント（注1）	b13 b12 0 0：Don’tcare 0 1：立ち上がりエッジ検出 1 0：立ち下がりエッジ検出 1 1：両エッジ検出	R/W
b14	ISEL	IRQ入力許可	0：IRQn入力端子として使用しない 1：IRQn入力端子として使用する	R/W

ビット	シンボル	ビット名	機能	R/W
b15	ASEL	アナログ入力許可	0：アナログ端子として使用しない 1：アナログ端子として使用する	R/W
b16	PMR	ポートモード制御	0：汎用入出力端子として使用する 1：周辺機能用の入出力ポートとして使用する	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28-b24	PSEL[4:0]	周辺機能選択	周辺機能を選択します。各端子の機能については、この章の関連する表を参照してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 32 ビット、16 ビット、8 ビット用の P012PFS ～ P013PFS、P208PFS ～ P211FPS、P214PFS ～ P215FPS、P714FPS ～ P715FPS、および P814PFS ～ P815PFS へのアクセスはできません。

注 1. ポート 1 ～ 4 に対応しています。

注 2. P108、P109、P110、P201、P300 の初期値は 0000_0000h 以外になります。
P108 は 0001_0410h、P109 は 0001_0400h、P110 は 0001_0010h、P201 は 0000_0010h、P300 は 0001_0010h となります。

ポート mn 端子機能選択レジスタは、ポート mn 端子機能を選択するための 32 ビット、16 ビット、および 8 ビットで読み出し／書き込みが可能な制御レジスタです。PmnPFS は、32 ビット単位でアクセスが可能です。

PmnPFS は 32 ビット単位で設定が可能です。PmnPFS_HA レジスタ（PmnPFS レジスタのビット [15:0]）は 16 ビット単位、PmnPFS_BY レジスタ（PmnPFS レジスタのビット [7:0]）は 8 ビット単位でアクセスが可能です。

PDR ビット、PIDR ビット、および PODR ビットは、PCNTR レジスタと同じ機能を果たします。これらのビットを読むと、PCNTR レジスタ値が読めます。

PCR ビットは、ポートの各端子に対して入力プルアップ抵抗を有効または無効にします。端子が入力状態にあって、PORTm.PCR の対応するビットが 1 になっている場合、その端子に接続されたプルアップ抵抗が有効になります。外部バス端子、汎用ポート出力端子、または周辺機能出力端子に設定されている場合は、PCR の設定値にかかわらず、プルアップ抵抗は無効になります。リセット状態でもプルアップ抵抗は無効になります。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

NCODR ビットは、ポート端子の出力タイプを設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

DSCR ビットは、ポートの駆動能力を切り替えます。端子の駆動能力が固定されている場合、対応するビットは読み出し／書き込み可能ですが、駆動能力は変更できません。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

EOF/EOR ビットは、ポートグループ入力信号のエッジ検出方法を選択します。立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を選択できます。EOF/EOR ビットを 01b、10b、または 11b にすると、入出力セルの入力許可がアサートされます。それに続いて、外部端子からイベントパルスが入力され、GPIO が ELC にイベントパルスを出力します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

ISEL ビットは、IRQ 入力端子を設定します。周辺機能と組み合わせて使用することも可能です。ただし、同じ番号の IRQn（外部端子割り込み）は 1 つの端子にのみ許可できます。

ASEL ビットは、アナログ端子を設定します。このビットで、端子をアナログ端子に設定する場合：

1. ポートモードコントロールビット (PmnPFS.PMR) で、その端子を汎用入出力ポートに指定します。
2. プルアップ制御ビット（PmnPFS.PCR）で、入力プルアップ抵抗を無効にします。
3. ポート方向ビット (PmnPFS.PDR) で、入力に指定します。このとき、端子状態を読むことはできません。PmnPFS レジスタは、ライトプロテクトレジスタ（PWPR）によって保護されています。書き込み禁止を解除してから、レジスタを書き換えてください。

未指定の IRQn に対する ISEL ビットは予約ビットです。未指定のアナログ入出力端子に対する ASEL ビットは予約ビットです。

PMR ビットは、ポートの端子機能を設定します。存在しない端子に対応するビットは予約ビットです。予約ビットは読むと 0 が読めます。書く場合、0 としてください。

PSEL[4:0] ビットは、周辺機能を割り当てます。

製品ごとの周辺選択設定に関する詳細は 20.6　製品ごとの周辺選択設定を参照してください。

20.2.6　書き込みプロテクトレジスタ（PWPR）

アドレス PMISC.PWPR 4004 0D03h

	b7	b6	b5	b4	b3	b2	b1	b0
	B0WI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	PFSWE	PmnPFS レジスタ書き込み許可	0：PmnPFS レジスタへの書き込みを禁止 1：PmnPFS レジスタへの書き込みを許可	R/W
b7	B0WI	PFSWE ビット書き込み禁止	0：PFSWE ビットへの書き込みを許可 1：PFSWE ビットへの書き込みを禁止	R/W

PFSWE ビット（PmnPFS レジスタ書き込み許可）

PFSWE ビットを 1 にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。最初に B0WI ビットに 0 を書いてから、PFSWE ビットを 1 にする必要があります。

B0WI ビット（PFSWE ビット書き込み禁止）

B0WI ビットを 0 にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

20.2.7 イーサネットコントロールレジスタ（PFENET）

アドレス PMISC.PFENET 4004 0D00h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PHYMODE1	PHYMODE0	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b4	PHYMODE0	イーサネットモード設定チャネル0	0：RMIIモード（ETHERCチャネル0） 1：MIIモード（ETHERCチャネル0）	R/W
b5	PHYMODE1	イーサネットモード設定チャネル1	0：RMIIモード（ETHERCチャネル1） 1：MIIモード（ETHERCチャネル1）	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

PHYMODE0 ビット（イーサネットモード設定チャネル 0）

ETHERC チャネル 0 の PHY モードを設定します。端子機能選択ビット（PmnPFS.PSEL[4:0]）で設定したモードと同じモードに設定してください。PmnPFS.PSEL[4:0] ビットで RMII モードの信号を指定した場合、PHYMODE ビットを 0（RMII モード）にしてください。PmnPFS.PSEL[4:0] ビットで MII モードの信号を指定した場合、PHYMODE ビットを 1（MII モード）にしてください。

PHYMODE1 ビット（イーサネットモード設定チャネル 1）

ETHERC チャネル 1 の PHY モードを設定します。端子機能選択ビット（PmnPFS.PSEL[4:0]）で設定したモードと同じモードに設定してください。PmnPFS.PSEL[4:0] ビットで RMII モードの信号を指定した場合、PHYMODE ビットを 0（RMII モード）にしてください。PmnPFS.PSEL[4:0] ビットで MII モードの信号を指定した場合、PHYMODE ビットを 1（MII モード）にしてください。

20.3 動作説明

20.3.1 汎用入出力ポート

リセット後は、P108、P109、P110、および P300 を除くすべての端子は汎用入力ポートとして動作します。汎用入出力ポートは各ポート 16 ビットで構成され、ポートコントロールレジスタ（PCNTRn; n = 1 ～ 4）によるポート単位のアクセス、または端子機能選択レジスタによる端子単位のアクセスが可能です。これらのレジスタの詳細は、「20. レジスタの説明」を参照してください。

各ポートのビットを以下に示します。

- ポート方向ビット（PDR）：入力／出力の方向を選択する
- ポート出力データビット（PODR)：出力用データを格納する
- ポート入力データビット（PIDR）：端子状態を示す
- イベント入力データビット（EIDR）：ELC_PORT1, 2, 3, 4 信号発生時の端子状態を示す
- ポート出力設定ビット（POSR）：ソフトウェア書き込み発生時の出力値を示す
- ポート出力リセットビット（PORR）：ソフトウェア書き込み発生時の出力値を示す
- イベント出力設定ビット（EOSR）：ELC_PORT1, 2, 3, 4 信号発生時の出力値を示す
- イベント出力リセットビット（EORR）：ELC_PORT1, 2, 3, 4 信号発生時の出力値を示す

20.3.2 ポート機能選択

各端子の設定時、以下のポート機能を利用できます。

- 入出力設定：相補出力またはオープンドレイン出力、プルアップ制御、および駆動強度
- 汎用入出力ポート：ポート方向、出力データ設定、および読み出し入力データ
- 代替機能：端子への機能の割り当て

各端子はそれぞれ端子機能選択レジスタ（PmnPFS）に対応しており、PODR、PIDR、PDR などの対応ビットを持ちます。さらに、PmnPFS レジスタは以下のビットを持ちます。

- PCR：入力プルアップ MOS のオン／オフを切り替えるためのプルアップ抵抗制御ビット
- NCODR：各端子の出力タイプを選択するための N チャネルオープンドレイン制御ビット
- DSCR：駆動能力を選択するための駆動能力制御ビット
- EOR：ポート入力の立ち上がりエッジ検出に使用する立ち上がり時イベントビット
- EOF：ポート入力の立ち下がりエッジ検出に使用する立ち下がり時イベントビット
- ISEL：IRQ 入力端子を設定するための IRQ 入力許可ビット
- ASEL：アナログ端子を設定するためのアナログ入力許可ビット
- PMR：各ポートの端子機能を設定するためのポートモードビット
- PSEL：対応する周辺機能を選択するためのポート機能選択ビット

これらの設定を実行するには、端子機能選択レジスタに対して単一レジスタアクセスを行います。詳細は、20.2.5 ポート mn 端子機能選択レジスタ（PmnPFS/PmnPFS_HA/PmnPFS_BY）（m = 0 ～ 9, A, B; n = 00 ～ 15）を参照してください。

20.3.3 ELC のポートグループ機能

本 MCU では、ポート 1 ～ 4 が ELC ポートグループ機能に割り当てられています。

20.3.3.1 ELC から ELC_PORT1, 2, 3, 4 が入力された場合の動作

ELC から ELC_PORT1, 2, 3, 4 信号が入力されたとき、本 MCU は、以下に示す 2 つの機能をサポートしています。

(1) EIDR への入力

GPI 機能（PmnPFS レジスタで PDR = 0 および PMR = 0）では、ELC から ELC_PORT1, 2, 3, 4 信号が入力されると、入出力セルの入力許可がアサートされ、外部端子からのデータが EIDR ビットに読み出されます。GPO 機能（PDR = 1）または周辺モード（PMR = 1）では、外部端子から EIDR ビットに 0 が入力されます。

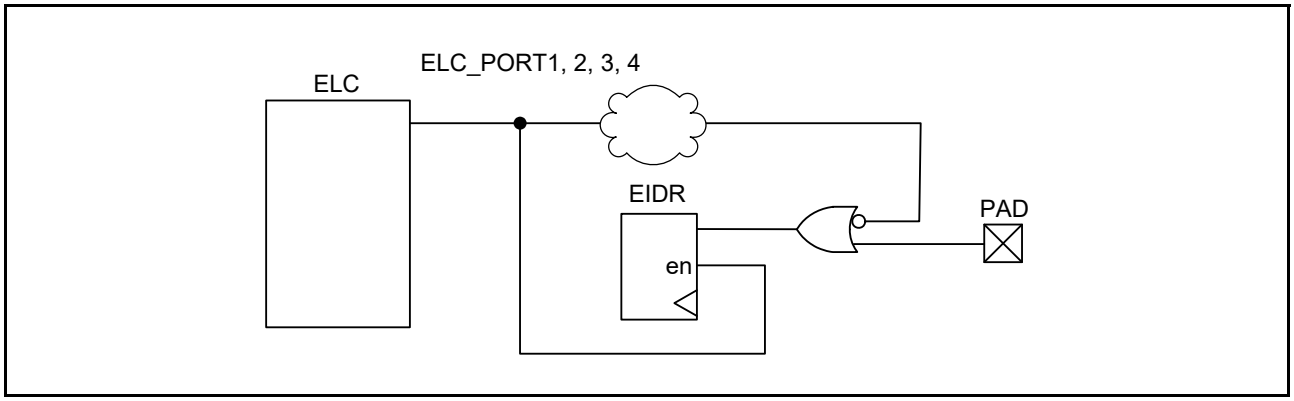


図 20.2 イベントポート入力データ

(2) EOSR および EORR による PODR からの出力

ELC_PORT1, 2, 3, 4 信号の発生時に、EOSR および EORR レジスタの設定値に基づいて、PODR から外部端子へデータが出力されます。

- EOSR を 1 にすると、ELC_PORT1, 2, 3, 4 発生時に PODR レジスタは外部端子へ 1 を出力する。EOSR = 0 の場合、PODR の値が保持される
- EORR を 1 にすると、ELC_PORT1, 2, 3, 4 発生時に PODR レジスタは外部端子へ 0 を出力する。EORR = 0 の場合、PODR の値が保持される

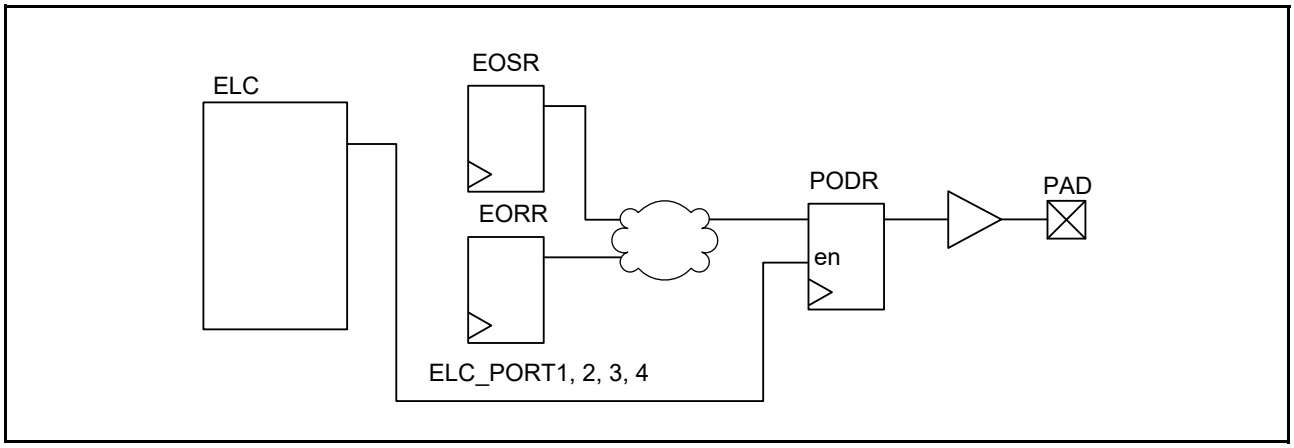


図 20.3 イベントポート出力データ

20.3.3.2 イベントパルスが ELC に出力された場合の動作

外部端子から ELC へイベントパルスを出力するには、PmnPFS レジスタの EOR/EOF ビットを設定します。詳細は、20.2.5 ポート mn 端子機能選択レジスタ（PmnPFS/PmnPFS_HA/PmnPFS_BY）（m = 0 ～ 9, A, B; n = 00 ～ 15）を参照してください。EOR/EOF ビットを設定すると、入出力セルの入力許可がアサートされます。

外部端子からのデータが入力となります。たとえばポート 1 に対して、P100 から P115 へデータが入力されると、これら 16 端子のデータは OR 論理で構成されます。このデータは、ワンショットパルスとして形成され、ELC に入力されます。ポート 2 ～ 4 の動作も同じです。

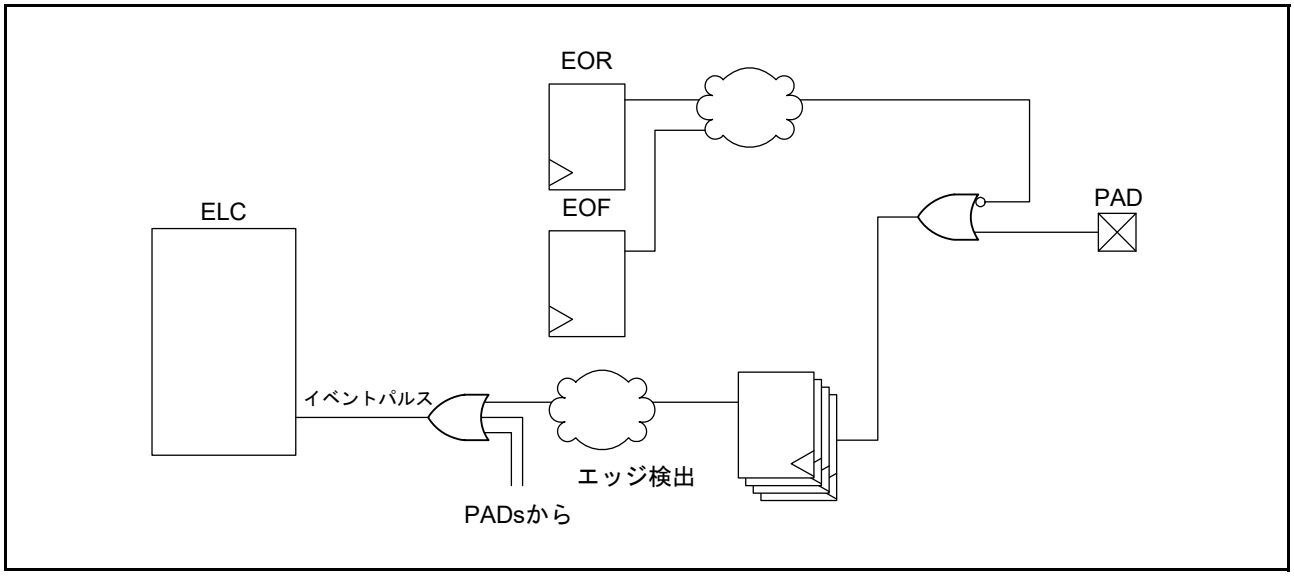


図 20.4 イベントパルスの発生

20.4 未使用端子の処理

表 20.3 に、未使用端子の処理方法を示します。

表 20.3 未使用端子の処理

端子名	未使用時の処理
MD	モード端子として使用
RES	抵抗を介してVCCに接続（プルアップ）
USB_DP	開放したまま
USB_DM	開放したまま
P200/NMI	抵抗を介してVCCに接続（プルアップ）
EXTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP212）に設定。 この端子をポートP212として使用しない場合、ポート1～9と同じ方法で設定される
XTAL	メインクロック発振器を使用しない場合、MOSCCR.MOSTPビットを1（汎用ポートP213）に設定。 外部クロックがEXTAL端子に入力される場合、XTAL端子はP213として機能する。 この端子をポートP213として使用しない場合、ポート1～9と同じ方法で設定される
XCIN	抵抗を介してVSSに接続（プルダウン）
XCOUT	開放したまま
P000～P007	抵抗を介してAVCC0に接続（プルアップ）、または抵抗を介してAVSS0に接続（プルダウン）（注1）
P008～P010 P014～P015	• 入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子を抵抗を介してAVCC0に接続（プルアップ）、または抵抗を介してAVSS0に接続（プルダウン）（注1） • 出力（PCNTR1.PDRn = 1）に設定した場合、端子を解放（注1）
P1x～P9x PAx～PBx	• 入力（PCNTR1.PDRn = 0）に設定した場合、対応する端子を抵抗を介してVCCに接続（プルアップ）、または抵抗を介してVSSに接続（プルダウン）（注1）（注2） • 出力（PCNTR1.PDRn = 1）に設定した場合、端子を解放（注1）（注3）
VREFH0, VREFH	AVCC0に接続
VREFL0, VREFL	AVSS0に接続
USBHS_DP USBHS_DM USBHS_RREF	• 前提条件 AVCC_USBHS = VCC_USBHS：VCCに接続 AVSS_USBHS = PVSS_USBHS = VSS1_USBHS = VSS2_USBHS：VSSに接続 USBHSに対してモジュールストップ状態（MSTPCRB.MSTPB12 = 1）を設定 • 処理詳細 USBHS_DP, USBHS_DM, USBHS_RREF：開放
VCC_DCDC, VLO	• スイッチングレギュレータ（DCDC）を使用しない場合（注4） • VCC_DCDCをVSSに接続
VBATT	• VCCまたはVSSに接続。消費電力の観点から、VSS接続を推奨している（注5）

注 1. PmnPFS.PMR ビット、PmnPFS.ISEL ビット、PmnPFS.PCR ビット、および PmnPFS.ASEL ビットを 0 にクリアしてください。

注 2. P108、P110、および P300 端子は、初期値（PmnPFS.PCR = 1）から有効な入力プルアップなので、抵抗を介して VCC に接続（プルアップ）することを推奨します。

注 3. P109 端子は、初期値から出力されるので、出力（PCNTR1.PDRn = 1）として設定することを推奨します。

注 4. 詳細は、「59. 内部電圧レギュレータ」を参照してください。

注 5. 電気的特性については、「60. 電気的特性」を参照してください。

20.5 使用上の注意事項

20.5.1 端子機能の設定手順

入出力端子機能を設定するには、下記の手順に従ってください。

1. PWPR.B0WI ビットをクリアします。PWPR.PFSWE ビットに書き込みできるようになります。
2. PWPR.PFSWE ビットを 1 にします。PmnPFS レジスタに書き込みできるようになります。
3. 当該端子の PMR のポートモード制御を 0 にして、汎用入出力ポートに設定します。
4. PmnPFS.PSEL[4:0] ビットによって、この端子の入出力機能を設定します。
5. 必要に応じて PMR ビットを 1 にして、選択した入出力機能に切り替えます。
6. PWPR.PFSWE ビットをクリアします。PmnPFS レジスタへの書き込みが禁止されます。
7. PWPR.B0WI ビットを 1 にします。PWPR.PFSWE ビットへの書き込みが禁止されます。

20.5.2 ポートグループ入力の使用手順

ポートグループ入力（ポート 1 ～ 4）を使用するには、下記の手順に従ってください。

1. ELSRx.ELS[8:0] ビットを 000000000b にして、意図しないパルスを無視します。詳細は、「19. イベントリンクコントローラ（ELC）」を参照してください。
2. PmnPFS.EOF/EOR ビットを設定して、立ち上がりエッジ検出、立ち下がりエッジ検出、または両エッジ検出を指定します。
3. ダミーリードを実行するか、少しの間（たとえば 100ns）待ちます。意図しないパルスを無視するかどうかは、外部端子の初期値によって異なります。
4. ELSRx.ELS[8:0] ビットを設定して、イベント信号を許可します。

20.5.3 ポート出力データレジスタ（PODR）の概要

このレジスタは下記のようにデータを出力します。

1. ELC_PORT1, 2, 3, 4 発生時に PCNTR4.EORR が 1 になると、0 を出力する。
2. ELC_PORT1, 2, 3, 4 発生時に PCNTR4.EOSR が 1 になると、1 を出力する。
3. PCNTR3.PORR が 1 になると、0 を出力する。
4. PCNTR3.POSR が 1 になると、1 を出力する。
5. PCNTR1.PODR が設定された結果、0 または 1 を出力する。
6. PmnPFS.PODR が設定された結果、0 または 1 を出力する。

上記の番号は、PODR への書き込み優先順位に相当しています。たとえば、上記の 1. と 3. が同時に発生した場合、優先順位の高い 1. が実行されます。

20.5.4 アナログ機能使用時の注意事項

アナログ機能を使用するには、ポートモード制御ビット（PMR）とポート方向ビット（PDR）の対応するビットを両方とも 0 にして、端子が汎用入力ポートとして動作できるようにしてください。その後、ポート mn 端子機能選択レジスタのアナログ入力許可ビット（ASEL）を 1 にしてください。

20.5.5 入出力バッファの仕様

P402、P403、および P404 は、RTC 入力、AGT 入力、およびその他の周辺機能として使用できます。

表 20.4 に、P402、P403、P404 の仕様を示します。

表 20.4 P402、P403、P404の仕様

機能					
I/Oポート	RTCおよびAGT			その他の周辺機能	
	RTCおよびAGT 入力イネーブルレジスタ	RTC	AGT	他の周辺機能 イネーブルレジスタ	GPT、CAN SCI、MII、RMII、割り込み、およびPDC
P402	VBTICTLR .VCH0INEN	RTCIC0	AGTIO0_B AGTIO1_B	P402PFS.PSEL およびPMR	詳細は表 20.13 を参照してください。 入出力端子機能のレジスタ設定（ポート4）
P403	VBTICTLR .VCH1INEN	RTCIC1	AGTIO0_C AGTIO1_C	P403PFS.PSEL およびPMR	
P404	VBTICTLR .VCH2INEN	RTCIC2	—	P404PFS.PSEL およびPMR	

これらの RTC および AGT 入力は、RTC および AGT 入力の機能選択において最優先される、VBTICTLR レジスタによって制御されます。図 20.5 を参照してください。

VBTICTLR レジスタは、リセット時に初期化されません。そのため、RTC または AGT 入力を使用しない場合、VBTICTLR レジスタの対応するビットは、リセット後に 0 にする必要があります。

VBTICTLR レジスタの詳細は 12.2.2 VBATT 入力コントロールレジスタ（VBTICTLR）を参照してください。

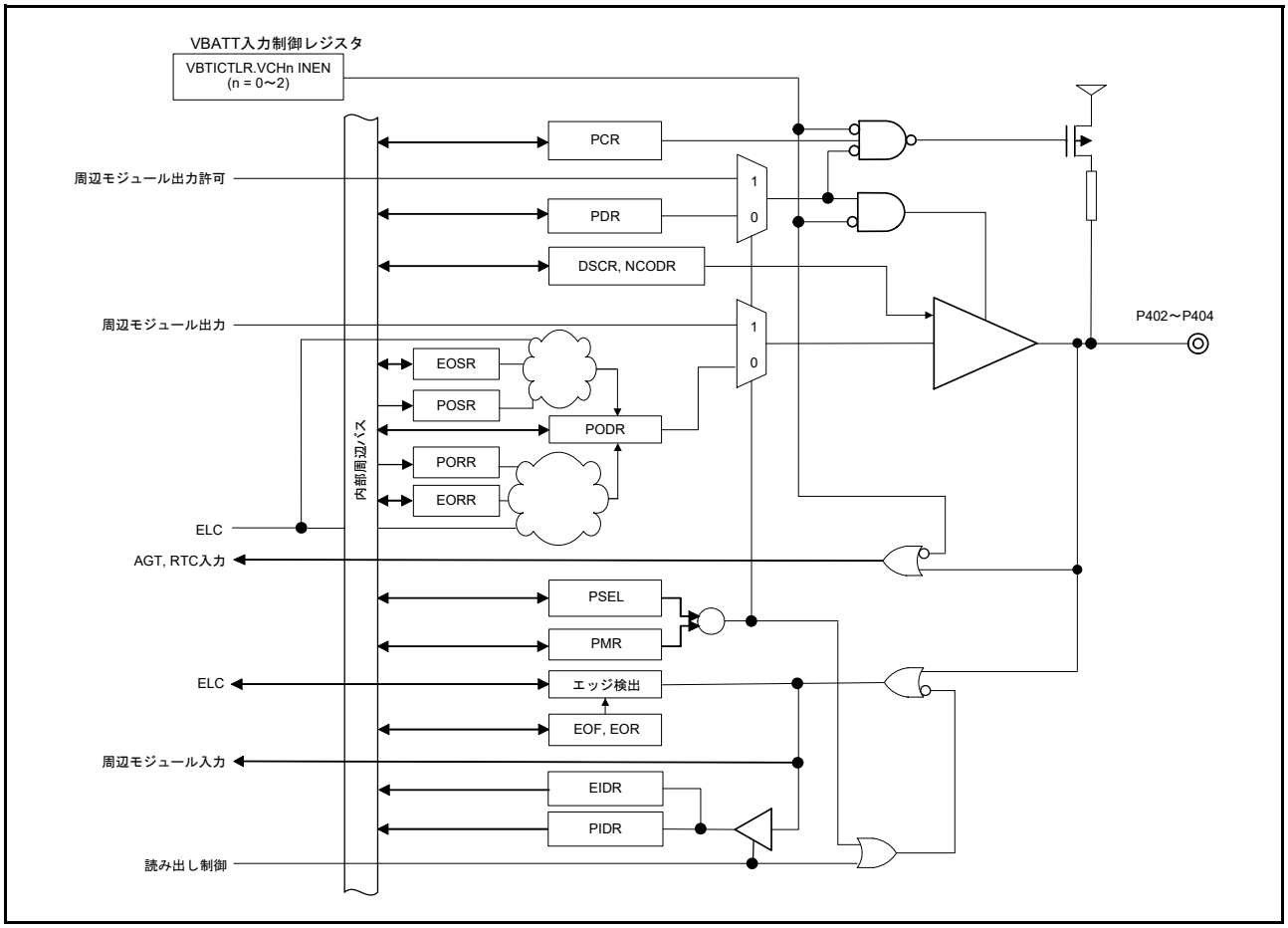


図 20.5 P402、P403、P404 の接続図

20.6 製品ごとの周辺選択設定

本節では、PmnPFS レジスタを用いた端子機能選択設定について説明します。いくつかの端子名には、_A、_B、および _C という接尾語が付加されています。IIC、SPI、および SSI 機能を割り当てる場合、同じ接尾語の機能端子を選択してください。その他の端子は、接尾語に関係なく選択可能です。ただし、同じ機能を 2 つ以上の端子に同時に割り当てることはしないでください。

20.7 PmnPFS レジスタ設定に関する注意事項

（1）Pmn 端子機能選択レジスタ（PmnPFS）では、対象端子の PMR ビットが 0 のときに、PSEL ビットを設定する必要があります。PMR ビットが 1 のときに PSEL ビットを設定すると、入力機能の場合は意図しないエッジが入力され、出力機能の場合は意図しないパルスが外部端子に出力される場合があります。

（2）PmnPFS レジスタの PSEL ビットでは、許可された値（機能）以外に設定しないでください。このレジスタに許可されていない値を設定した場合、正しい動作は保証されません。

（3）PmnPFS レジスタでは、1 つの機能を複数の端子に割り付けないでください。

（4）ポート 0 とポート 5 は、A/D コンバータや D/A コンバータなどのアナログ機能を持っています。これらの端子をアナログ機能用に使用する場合、分解能の低下を防止するため、PMR ビットと PDR ビットは 0 にしてください。その後、ASEL ビットを 1 にしてください。

表 20.5 入出力端子機能のレジスタ設定（ポート0）

PSEL[4:0]ビット設定値	機能	端子							
		P000	P001	P002	P003	P004	P005	P006	P007
ASELビット		AN000/ IVCMP2	AN001/ IVCMP2	AN002/ IVCMP2	PGAVSS000	AN100/ IVCMP2	AN101/ IVCMP2	AN102/ IVCMP2	PGAVSS100
ISELビット		IRQ6-DS	IRQ7-DS	IRQ8-DS		IRQ9-DS	IRQ10-DS	IRQ11-DS	
DSCR[1:0]ビット	駆動能力制御								
NCODRビット	Nチャネルオープンドレイン								
PCRビット	プルアップ								
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	○
	100ピン	○	○	○	○	○	○	○	○

○：可能

表 20.6 入出力端子機能のレジスタ設定（ポート0）

PSEL[4:0]ビット設定値	機能	端子					
		P008	P009	P010	P011	P014	P015
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z					
ASELビット		AN003	AN004	AN103	AN104	AN005/ AN105/ DA0/ IVREF3	AN006/ AN106/ DA1/ IVCMP1
ISELビット		IRQ12-DS	IRQ13-DS	IRQ14-DS	IRQ15-DS		IRQ13
DSCR[1:0]ビット	駆動能力制御	（注1）	（注1）	（注1）	（注1）	（注1）	（注1）
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○
	176ピン	○	○	○		○	○
	144ピン、145ピン	○	○			○	○
	100ピン	○				○	○

○：可能

注 1. このポートの駆動強度は、PmnPFS.DSCR[1:0] ビットで制御することはできません。

表 20.7 入出力端子機能のレジスタ設定（ポート1）

PSEL[4:0]ビット設定値	機能	端子							
		P100	P101	P102	P103	P104	P105	P106	P107
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTIO0_A	AGTEE0	AGTO0	—	—	—	—	—
00010b	GPT	GTETRGA_A	GTETRGB_A	GTOWLO_A	GTOWUP_A	GTETRGB_B	GTETRGA_C	—	—
00011b	GPT（注2）	—	—	GTIOC2B_A	GTIOC2A_A	—	—	GTIOC8B_A	GTIOC8A_A
00100b	SCI	RXD0_A/MISO0_A/SCL0_A	TXD0_A/MOSI0_A/SDA0_A	SCK0_A	CTS0_RTS0_A/SS0_A	RXD8_A/MISO8_A/SCL8_A	TXD8_A/MOSI8_A/SDA8_A	SCK8_A	CTS8_RTS8_A/SS8_A
00101b	SCI	SCK1_A	CTS1_RTS1_A/SS1_A	—	—	—	—	—	—
00110b	SPI（注1）	MISOA_A	MOSIA_A	RSPCKA_A	SSLA0_A	SSLA1_A	SSLA2_A	SSLA3_A	—
00111b	IIC（注1）	SCL1_B	SDA1_B	—	—	—	—	—	
01000b	KINT	KR00	KR01	KR02	KR03	KR04	KR05	KR06	KR07
01010b	CAC/ADC12	—	—	ADTRG0_A	—	—	—	—	—
01011b	バス	D00/DQ00	D01/DQ01	D02/DQ02	D03/DQ03	D04/DQ04	D05/DQ05	D06/DQ06	D07/DQ07
11001b	GLCDC	LCD_EXTCLK_A	LCD_CLK_A	LCD_TCON0_A	LCD_TCON1_A	LCD_TCON2_A	LCD_TCON3_A	LCD_DATA00_A	LCD_DATA01_A
ASELビット									
ISELビット		IRQ2	IRQ1			IRQ1	IRQ0		
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	○
	100ピン	○	○	○	○	○	○	○	○

○：可能
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に “_A” や “_B” などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.8　入出力端子機能のレジスタ設定（ポート1）

PSEL[4:0]ビット設定値	機能	端子							
		P108	P109	P110	P111	P112	P113	P114	P115
00000b（リセット後の値）	Hi-Z/JTAG/SWD	TMS/SWDIO	TDO/SWO	TDI	Hi-Z				
00010b	GPT	—	GTOVUP_A	GTOVLO_A	—	—	—	—	—
00011b	GPT（注2）	GTIOC0B_A	GTIOC1A_A	GTIOC1B_A	GTIOC3A_A	GTIOC3B_A	—	—	—
00100b	SCI	—	—	CTS2_RTS2_B/SS2_B	SCK2_B	TXD2_B/MOSI2_B/SDA2_B	RXD2_B/MISO2_B/SCL2_B	—	—
00101b	SCI	CTS9_RTS9_B/SS9_B	TXD9_B/MOSI9_B/SDA9_B	RXD9_B/MISO9_B/SCL9_B	SCK9_B	—	—	—	—
00110b	SPI（注1）	SSLB0_B	MOSIB_B	MISOB_B	RSPCKB_B	—	—	—	—
01001b	CLKOUT/ACMPHS/RTC	—	CLKOUT_B	VCOUT	—	—	—	—	—
01011b	バス	—	—	—	A05	A04	A03	A02	A01
10000b	CAN	—	CTX1_A	CRX1_A	—	—	—	—	—
10010b	SSI（注1）	—	—	—	—	SSISCK0_B	SSIWS0_B	SSIRXD0_B	SSITXD0_B
11001b	GLCDC	—	—	—	LCD_DATA12_A	LCD_DATA11_A	LCD_DATA10_A	LCD_DATA09_A	LCD_DATA08_A
ASELビット									
ISELビット				IRQ3	IRQ4				
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	○
	100ピン	○	○	○	○	○	○	○	○

○：可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に “_A” や “_B” などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.9 入出力端子機能のレジスタ設定（ポート2）

PSEL[4:0]ビット設定値	機能	端子							
		P200	P201	P202	P203	P204	P205	P206	P207
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	—	—	—	—	AGTIO1	AGTO1	—	—
00010b	GPT	—	—	—	—	GTIW_A	GTIV_A	GTIU_A	—
00011b	GPT（注2）	—	—	GTIOC5B_A	GTIOC5A_A	GTIOC4B_B	GTIOC4A_B	—	—
00100b	SCI	—	—	SCK2_A	CTS2_RTS2_A/SS2_A	SCK4_A	TXD4_A/MOSI4_A/SDA4_A	RXD4_A/MISO4_A/SCL4_A	—
00101b	SCI	—	—	RXD9_A/MISO9_A/SCL9_A	TXD9_A/MOSI9_A/SDA9_A	SCK9_A	CTS9_RTS9_A/SS9_A	—	—
00110b	SPI（注1）	—	—	MISOB_A	MOSIB_A	RSPCKB_A	SSLB0_A	SSLB1_A	SSLB2_A
00111b	IIC（注1）	—	—	—	—	SCL0_B	SCL1_A	SDA1_A	—
01001b	CLKOUT/ACMPHS/RTC	—	—	—	—	—	CLKOUT_A	—	—
01010b	CAC/ADC12	—	—	—	—	CACREF_A	—	—	—
01011b	バス	—	—	WR1/BC1	A19	A18	A16	WAIT	A17
01100b	CTSU	—	—	—	TSCAP_B	TS00	TSCAP_A	TS01	TS02
10000b	CAN	—	—	CRX0_A	CTX0_A	—	—	—	—
10010b	SSI（注1）	—	—	—	—	SSISCK1_A	SSIWS1_A	SSIDATA1_A	—
10011b	USBFS	—	—	—	—	USB_OVRCURB_A-DS	USB_OVRCURA_A-DS	USB_VBUSEN_A	—
10101b	SDHI	—	—	SD0DAT6	SD0DAT5	SD0DAT4	SD0DAT3	SD0DAT2	—
10110b	ETHERC	—	—	ET0_ERXD2	ET0_COL	ET0_RX_DV	ET0_WOL	ET0_LINKSTA	—
10111b	ETHERC	—	—	—	—	—	ET0_WOL	ET0_LINKSTA	—
11001b	GLCDC	—	—	LCD_TCON3_B	—	—	—	—	—
ASELビット									
ISELビット		NMI		IRQ3-DS	IRQ2-DS		IRQ1-DS	IRQ0-DS	
DSCR[1:0]ビット	駆動能力制御		（注3）	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン		○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	○
	100ピン	○	○				○	○	○

○：可能

—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に “_A” や “_B” などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

注 3. このポートの駆動強度は、PmnPFS.DSCR[1:0] ビットで制御することはできません。

表 20.10　入出力端子機能のレジスタ設定（ポート2）

PSEL[4:0]ビット設定値	機能	端子	
		P212	P213
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z	
00001b	AGT	AGTEE1	—
00010b	GPT	GTETRGD_A	GTETRGC_A
00101b	SCI	RXD1_A/MISO1_A/SCL1_A	TXD1_A/MOSI1_A/SDA1_A
01010b	CAC/ADC12	—	ADTRG1_A
ASELビット			
ISELビット		IRQ3	IRQ2
DSCR[1:0]ビット	駆動能力制御	（注1）	（注1）
NCODRビット	Nチャネルオープンドレイン	○	○
PCRビット	プルアップ	○	○
ピン本数	224ピン	○	○
	176ピン	○	○
	144ピン、145ピン	○	○
	100ピン	○	○

○：可能
—：設定禁止
注 1.　このポートの駆動強度は、PmnPFS.DSCR[1:0] ビットで制御することはできません。

表 20.11 入出力端子機能のレジスタ設定（ポート3）

PSEL[4:0]ビット設定値	機能	端子							
		P300	P301	P302	P303	P304	P305	P306	P307
00000b（リセット後の値）	Hi-Z/JTAG/SWD	TCK/SWCLK	Hi-Z						
00010b	GPT	—	GTOULO_A	GTOUUP_A	—	—	—	—	—
00011b	GPT（注2）	GTIOC0A_A	GTIOC4B_A	GTIOC4A_A	GTIOC7B_A	GTIOC7A_A	—	—	—
00100b	SCI	—	RXD2_A/MISO2_A/SCL2_A	TXD2_A/MOSI2_A/SDA2_A	—	RXD6_A/MISO6_A/SCL6_A	TXD6_A/MOSI6_A/SDA6_A	SCK6_A	CTS6_RTS6_A/SS6_A
00110b	SPI（注1）	SSLB1_B	SSLB2_B	SSLB3_B	—	—	—	—	—
01011b	バス	—	A06	A07	A08	A09	A10	A11	A12
11001b	GLCDC	—	LCD_DATA13_A	LCD_DATA14_A	LCD_DATA15_A	LCD_DATA16_A	LCD_DATA17_A	LCD_DATA18_A	LCD_DATA19_A
ASELビット									
ISELビット			IRQ6	IRQ5		IRQ9	IRQ8		
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	○
	100ピン	○	○	○	○	○	○	○	○

○：可能
—：設定禁止

注 1. 所属グループを示すため、端子名の末尾に “_A” や “_B” などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2. 中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.12 入出力端子機能のレジスタ設定（ポート3）

PSEL[4:0]ビット設定値	機能	端子							
		P308	P309	P310	P311	P312	P313	P314	P315
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
01011b	バス	A13	A14	A15	CS2/RAS	CS3/CAS	A20	A21	A22
10101b	SDHI	—	—	—	—	—	SD0DAT7	—	—
10110b	ETHERC	—	—	—	—	—	ET0_ERXD3	—	—
11001b	GLCDC	LCD_DATA20_A	LCD_DATA21_A	LCD_DATA22_A	LCD_DATA23_A	—	LCD_TCON2_B	LCD_TCON1_B	LCD_TCON0_B
ASELビット									
ISELビット									
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○		
	100ピン								

○：可能
—：設定禁止

表 20.13 入出力端子機能のレジスタ設定（ポート4）

PSEL[4:0]ビット設定値	機能	端子							
		P400	P401	P402	P403	P404	P405	P406	P407
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00010b	GPT	—	GTETRGA_B	—	—	—	—	—	—
00011b	GPT（注4）	GTIOC6A_A	GTIOC6B_A	—	GTIOC3A_B	GTIOC3B_B	GTIOC1A_B	GTIOC1B_B	—
00100b	SCI	SCK4_B	CTS4_RTS4_B/SS4_B	—	—	—	—	—	CTS4_RTS4_A/SS4A
00101b	SCI	SCK7_A	TXD7_A/MOSI7_A/SDA7_A	RXD7_A/MISO7_A/SCL7_A	CTS7_RTS7_A/SS7_A	—	—	—	—
00110b	SPI（注3）	—	—	—	—	—	—	—	SSLB3_A
00111b	IIC（注3）	SCL0_A	SDA0_A	—	—	—	—	—	SDA0_B
01001b	CLKOUT/ACMPHS/RTC	—	—	—	—	—	—	—	RTCOUT
01010b	CAC/ADC12	ADTRG1_B	—	—	—	—	—	—	ADTRG0_B
01100b	CTSU	—	—	—	—	—	—	—	TS03
10000b	CAN	—	CTX0_B	CRX0_B	—	—	—	—	—
10010b	SSI（注3）	AUDIO_CLK	—	—	SSISCK0_A	SSIWS0_A	SSITXD0_A	SSIRXD0_A	—
10011b	USBFS	—	—	—	—	—	—	—	USB_VBUS
10110b	ETHERC	ET1_TX_CLK	ET0_MDC	ET0_MDIO	ET1_MDC	ET1_MDIO	ET1_TX_EN	ET1_RX_ER	ET0_EXOUT
10111b	ETHERC	—	ET0_MDC	ET0_MDIO	ET1_MDC	ET1_MDIO	RMII1_TXD_EN	RMII1_TXD1	ET0_EXOUT
11000b	PDC	—	—	—	PIXD7	PIXD6	PIXD5	PIXD4	—
Don't care	AGT/RTC	—	—	AGTIO0_B（注1）/AGTIO1_B（注1）/RTCIC0（注1）	AGTIO0_C（注1）/AGTIO1_C（注1）/RTCIC1（注1）	RTCIC2（注1）	—	—	—
ASELビット									
ISELビット		IRQ0	IRQ5-DS	IRQ4-DS					
DSCR[1:0]ビット	駆動能力制御	（注2）	（注2）	低／中	低／中	低／中	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	○
	100ピン	○	○	○	○	○	○	○	○

○：可能
—：設定禁止

注 1. この端子機能を使用する場合は、該当端子を汎用入力（PmnPFS.PDR ビットと PmnPFS.PMR ビットを 0）にしてください。

注 2. このポートの駆動強度は、PmnPFS.DSCR[1:0] ビットで制御することはできません。

注 3. 所属グループを示すため、端子名の末尾に “_A” や “_B” などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 4. 中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.14　入出力端子機能のレジスタ設定（ポート4）

PSEL[4:0]ビット設定値	機能	端子							
		P408	P409	P410	P411	P412	P413	P414	P415
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	—	—	AGTOB1	AGTOA1	—	—	—	—
00010b	GPT	GTOWLO_B	GTOWUP_B	GTOVLO_B	GTOVUP_B	GTOULO_B	GTOUUP_B	—	—
00011b	GPT（注2）	GTIOC10B_A	GTIOC10A_A	GTIOC9B_A	GTIOC9A_A	—	—	—	—
00100b	SCI	—	—	RXD0_B/ MISO0_B/ SCL0_B	TXD0_B/ MOSI0_B/ SDA0_B	SCK0_B	CTS0_RTS0_ B/SS0_B	—	—
00101b	SCI	RXD3_A/ MISO3_A/ SCL3_A	TXD3_A/ MOSI3_A/ SDA3_A	SCK3_A	CTS3_RTS3_ A/SS3_A	—	—	—	—
00110b	SPI（注1）	—	—	MISOA_B	MOSIA_B	RSPCKA_B	SSLA0_B	SSLA1_B	SSLA2_B
01100b	CTSU	TS04	TS05	TS06	TS07	TS08	TS09	TS10	TS11
10011b	USBFS	USB_ID_A	USB_EXICEN _A	—	—	—	—	—	—
10100b	USBHS	USBHS_ID	USBHS_EXIC EN	—	—	—	—	—	—
10101b	SDHI	—	—	SD0DAT1	SD0DAT0	SD0CMD	SD0CLK	SD0WP	—
10110b	ETHERC	ET0_CRS	ET0_RX_CLK	ET0_ERXD0	ET0_ERXD1	ET0_ETXD0	ET0_ETXD1	ET0_RX_ER	ET0_TX_EN
10111b	ETHERC	RMII0_CRS_D V	RMII0_RX_ER	RMII0_RXD1	RMII0_RXD0	REF50CK0	RMII0_TXD0	RMII0_TXD1	RMII0_TXD_E N
ASELビット									
ISELビット		IRQ7	IRQ6	IRQ5	IRQ4				
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	○
	100ピン	○	○	○	○	○	○	○	○

○：可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に “_A” や “_B” などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.15　入出力端子機能のレジスタ設定（ポート5）

PSEL[4:0]ビット設定値	機能	端子							
		P500	P501	P502	P503	P504	P505	P506	P507
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00001b	AGT	AGTOA0	AGTOB0	—	—	—	—	—	—
00010b	GPT	GTIU_B	GTIV_B	GTIW_B	GTETRGC_B	GTETRGD_B	—	—	—
00011b	GPT（注1）	GTIOC11A_A	GTIOC11B_A	GTIOC12A	GTIOC12B	GTIOC13A	GTIOC13B	—	—
00100b	SCI	—	—	—	CTS6_RTS6_B/SS6_B	SCK6_B	RXD6_B/MISO6_B/SCL6_B	TXD6_B/MOSI6_B/SDA6_B	—
00101b	SCI	—	TXD5_A/MISO5_A/SDA5_A	RXD5_A/MISO5_A/SCL5_A	SCK5_A	CTS5_RTS5_A/SS5_A	—	—	CTS5_RTS5_B/SS5_B
10001b	QSPI	QSPCLK	QSSL	QIO0	QIO1	QIO2	QIO3	—	—
10011b	USBFS	USB_VBUSEN_B	USB_OVRCURA_B	USB_OVRCURB_B	USB_EXICEN_B	USB__ID_B	—	—	—
10101b	SDHI	SD1CLK	SD1CMD	SD1DAT0	SD1DAT1	SD1DAT2	SD1DAT3	SD1CD	SD1WP
ASELビット		AN016 IVREF0	AN116 IVREF1	AN017 IVCMP0	AN117	AN018	AN118	AN019	AN119
ISELビット			IRQ11	IRQ12			IRQ14	IRQ15	
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	
	100ピン	○	○	○	○	○			

○：可能
—：設定禁止

注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.16　入出力端子機能のレジスタ設定（ポート5）

PSEL[4:0]ビット設定値	機能	端子							
		P508	P509	P510	P511	P512	P513	P514	P515
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00010b	GPT	—	—	—	—	—	—	GTETRGB_C	—
00011b	GPT（注2）	—	—	—	GTIOC0B_B	GTIOC0A_B	—	—	—
00100b	SCI	—	—	—	RXD4_B/ MISO4_B/ SCL4_B	TXD4_B/ MOSI4_B/ SDA4_B	—	—	—
00101b	SCI	SCK5_B	TXD5_B/ MOSI5_B/ SDA5_B	RXD5_B/ MISO5_B/ SCL5_B	—	—	—	—	—
00111b	IIC	—	—	—	SDA2	SCL2	—	—	—
10000b	CAN	—	—	—	CRX1_B	CTX1_B	—	—	—
10110b	ETHERC	—	—	—	ET1_TX_ER	ET1_ETXD2	ET1_ETXD3	—	—
11000b	PDC	—	—	—	PCKO	VSYNC	—	—	—
11001b	GLCDC	—	—	—	—	—	LCD_DATA16_B	—	—
ASELビット		AN020	AN120	AN021					
ISELビット					IRQ15	IRQ14			
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	（注1）	（注1）	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン				○	○	○		
	144ピン、145ピン				○	○			
	100ピン								

○：可能
—：設定禁止
注 1.　このポートの駆動強度は、PmnPFS.DSCR[1:0] ビットで制御することはできません。
注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.17　入出力端子機能のレジスタ設定（ポート6）

PSEL[4:0]ビット設定値	機能	端子							
		P600	P601	P602	P603	P604	P605	P606	P607
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
01011b	バス	RD	WR/WR0/DQM0	EBCLK/SDCLK	D13/DQ13	D12/DQ12	D11/DQ11	—	—
11001b	GLCDC	LCD_DATA02_A	LCD_DATA03_A	LCD_DATA04_A	—	—	—	LCD_DATA03_B	LCD_DATA04_B
ASELビット									
ISELビット									
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○		
	100ピン	○	○	○					

○：可能
—：設定禁止

表 20.18　入出力端子機能のレジスタ設定（ポート6）

PSEL[4:0]ビット設定値	機能	端子							
		P608	P609	P610	P611	P612	P613	P614	P615
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
01011b	バス	A00/BC0/DQM1	CS1/CKE	CS0/WE	SDCS	D08/DQ08	D09/DQ09	D10/DQ10	—
11001b	GLCDC	LCD_DATA07_A	LCD_DATA06_A	LCD_DATA05_A	—	—	—	—	LCD_DATA10_B
ASELビット									
ISELビット									
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○	○	
	100ピン	○	○	○					

○：可能
—：設定禁止

表 20.19　入出力端子機能のレジスタ設定（ポート7）

PSEL[4:0]ビット設定値	機能	端子							
		P700	P701	P702	P703	P704	P705	P706	P707
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00011b	GPT（注1）	GTIOC5A_B	GTIOC5B_B	GTIOC6A_B	GTIOC6B_B	—	—	—	—
00101b	SCI	—	—	—	—	—	—	RXD3_B/ MISO3_B/ SCL3_B	TXD3_B/ MOSI3_B/ SDA3_B
10100b	USBHS	—	—	—	—	—	—	USBHS_OVRCURB	USBHS_OVRCURA
10110b	ETHERC	ET1_ETXD1	ET1_ETXD0	ET1_ERXD1	ET1_ERXD0	ET1_RX_CLK	ET1_CRS	—	—
10111b	ETHERC	RMII1_TXD0	REF50CK1	RMII1_RXD0	RMII1_RXD1	RMII1_RX_ER	RMII1_CRS_DV	—	—
11000b	PDC	PIXD3	PIXD2	PIXD1	PIXD0	HSYNC	PIXCLK	—	—
ASELビット									
ISELビット								IRQ7	IRQ8
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	○
	144ピン、145ピン	○	○	○	○	○	○		
	100ピン								

○：可能
—：設定禁止
注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.20　入出力端子機能のレジスタ設定（ポート7）

PSEL[4:0]ビット設定値	機能	端子					
		P708	P709	P710	P711	P712	P713
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z					
00011b	GPT（注2）	—	—	—	—	GTIOC2B_B	GTIOC2A_B
00101b	SCI	RXD1_B/MISO1_B/SCL1_B	TXD1_B/MOSI1_B/SDA1_B	SCK1_B	RTS1_CTS1_B/SS1_B	—	—
00110b	SPI（注1）	SSLA3_B	—	—	—	—	—
01010b	CAC/ADC12	CACREF_B	—	—	—	—	—
01100b	CTSU	TS12	TS13	TS14	TS15	TS16	TS17
10110b	ETHERC	ET0_ETXD3	ET0_ETXD2	ET0_TX_ER	ET0_TX_CLK	—	ET1_EXOUT
10111b	ETHERC	—	—	—	—	—	ET1_EXOUT
ASELビット							
ISELビット		IRQ11	IRQ10				
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○
	176ピン						
	144ピン、145ピン	○	○	○	○	○	○
	100ピン	○					

○：可能
—：設定禁止

注 1.　所属グループを示すため、端子名の末尾に “_A” や “_B” などの文字を付加した端子の使用を推奨します。インタフェースについては、電気的特性の AC タイミングを各グループで測定しています。

注 2.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.21　入出力端子機能のレジスタ設定（ポート8）

PSEL[4:0]ビット設定値	機能	端子							
		P800	P801	P802	P803	P804	P805	P806	P807
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
01011b	バス	D14/DQ14	D15/DQ15	—	—	—	—	—	—
10101b	SDHI	—	SD1DAT4	SD1DAT5	SD1DAT6	SD1DAT7	—	—	—
11001b	GLCDC	—	—	LCD_DATA02_B	LCD_DATA01_B	LCD_DATA00_B	LCD_DATA17_B	LCD_EXTCLK_B	—
ASELビット									
ISELビット									
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○	○	○	○	○	
	144ピン、145ピン	○	○						
	100ピン								

○：可能
—：設定禁止

表 20.22　入出力端子機能のレジスタ設定（ポート8）

PSEL[4:0]ビット設定値	機能	端子					
		P808	P809	P810	P811	P812	P813
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z					
00011b	GPT（注1）	—	—	—	—	—	GTIOC9B_B
10000b	CAN	—	—	—	CTX0_C	CRX0_C	—
11010b	トレース（デバッグ）	—	—	—	—	—	TDATA3
ASELビット							
ISELビット							
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○
	176ピン						
	144ピン、145ピン						
	100ピン						

○：可能
—：設定禁止
注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.23　入出力端子機能のレジスタ設定（ポート9）

PSEL[4:0]ビット設定値	機能	端子							
		P900	P901	P902	P903	P904	P905	P906	P907
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00011b	GPT（注1）	—	—	—	GTIOC7A_B	GTIOC7B_B	—	—	—
01011b	バス	A23	—	—	—	—	CS4	CS5	CS6
10101b	SDHI	—	—	—	SD0CD	—	—	—	—
11001b	GLCDC	LCD_CLK_B	LCD_DATA15_B	LCD_DATA23_B	—	—	LCD_DATA11_B	LCD_DATA12_B	LCD_DATA13_B
ASELビット									
ISELビット									
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○				○	○	○
	144ピン、145ピン								
	100ピン								

○：可能
—：設定禁止
注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.24　入出力端子機能のレジスタ設定（ポート9）

PSEL[4:0]ビット設定値	機能	端子							
		P908	P909	P910	P911	P912	P913	P914	P915
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00011b	GPT（注1）	—	—	—	GTIOC8B_B	GTIOC8A_B	—	—	—
01011b	バス	CS7	—	—	—	—	—	—	—
11001b	GLCDC	LCD_DATA14_B	LCD_DATA21_B	LCD_DATA22_B	—	—	—	LCD_DATA19_B	LCD_DATA20_B
ASELビット									
ISELビット									
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○							
	144ピン、145ピン								
	100ピン								

○：可能
—：設定禁止
注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.25　入出力端子機能のレジスタ設定（ポートA）

PSEL[4:0]ビット設定値	機能	端子							
		PA00	PA01	PA02	PA03	PA04	PA05	PA06	PA07
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00011b	GPT（注1）	—	—	—	—	GTIOC11B_B	GTIOC11A_B	GTIOC10B_B	GTIOC10A_B
00101b	SCI	—	—	TXD7_B/ MOSI7_B/ SDA7_B	RXD7_B/ MISO7_B/ SCL7_B	SCK7_B	CTS7_RTS7_ B/SS7_B	—	—
11001b	GLCDC	LCD_DATA05_ B	LCD_DATA06_ B	—	—	—	—	—	—
ASELビット									
ISELビット				IRQ10	IRQ9				
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○						
	144ピン、145ピン								
	100ピン								

○：可能
—：設定禁止
注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.26　入出力端子機能のレジスタ設定（ポートA）

PSEL[4:0]ビット設定値	機能	端子							
		PA08	PA09	PA10	PA11	PA12	PA13	PA14	PA15
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00011b	GPT（注1）	—	—	—	—	—	—	—	GTIOC9A_B
11001b	GLCDC	LCD_DATA09_ B	LCD_DATA08_ B	LCD_DATA07_ B	LCD_DATA18_ B	—	—	—	—
11010b	トレース（デバッグ）	—	—	—	—	TCLK	TDATA	TDATA1	TDATA2
ASELビット									
ISELビット									
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○	○					
	144ピン、145ピン								
	100ピン								

○：可能
—：設定禁止
注 1.　中駆動と高駆動の 2 種類の出力バッファが存在します。
出力スキューの仕様（t_{GTISK}）に合わせて、同じ駆動バッファを用いることを推奨します。

表 20.27　入出力端子機能のレジスタ設定（ポートB）

PSEL[4:0]ビット設定値	機能	端子							
		PB00	PB01	PB02	PB03	PB04	PB05	PB06	PB07
00000b（リセット後の値）	Hi-Z/JTAG/SWD	Hi-Z							
00100b	SCI	—	—	CTS8_RTS8_B/SS8_B	SCK8_B	TXD8_B/MOSI8_B/SDA8_B	RXD8_B/MISO8_B/SCL8_B	—	—
00101b	SCI	SCK3_B	CTS3_RTS3_B/SS3_B	—	—	—	—	—	—
10100b	USBHS	USBHS_VBUSEN	USBHS_VBUS	—	—	—	—	—	—
10110b	ETHERC	—	—	ET1_RX_DV	ET1_COL	ET1_ERXD2	ET1_ERXD3	ET1_WOL	ET1_LINKSTA
10111b	ETHERC	—	—	—	—	—	—	ET1_WOL	ET1_LINKSTA
ASELビット									
ISELビット						IRQ12	IRQ13		
DSCR[1:0]ビット	駆動能力制御	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高	低／中／高
NCODRビット	Nチャネルオープンドレイン	○	○	○	○	○	○	○	○
PCRビット	プルアップ	○	○	○	○	○	○	○	○
ピン本数	224ピン	○	○	○	○	○	○	○	○
	176ピン	○	○						
	144ピン、145ピン								
	100ピン								

○：可能
—：設定禁止

21. キー割り込み機能（KINT）

21.1 概要

キー割り込み（KEY_INTKR）は、キーリターンモードレジスタ（KRM）を設定し、キー割り込み入力端子 KR0 ～ KR7 に立ち上がりまたは立ち下がりエッジを入力することで発生させることができます。表 21.1 にキー割り込み検出端子の配置、表 21.2 にこの機能の構成、そして図 21.1 にブロック図を示します。

表 21.1 キー割り込み検出端子の配置

キー割り込みモードコントロールn (n = 0～7)	内容
KRM0	1ビット単位でKR00信号を制御
KRM1	1ビット単位でKR01信号を制御
KRM2	1ビット単位でKR02信号を制御
KRM3	1ビット単位でKR03信号を制御
KRM4	1ビット単位でKR04信号を制御
KRM5	1ビット単位でKR05信号を制御
KRM6	1ビット単位でKR06信号を制御
KRM7	1ビット単位でKR07信号を制御

表 21.2 キー割り込み機能の構成

項目	構成
入力	KR00～KR07
コントロールレジスタ	キーリターンコントロールレジスタ（KRCTL） キーリターンモードレジスタ（KRM） キーリターンフラグレジスタ（KRF）

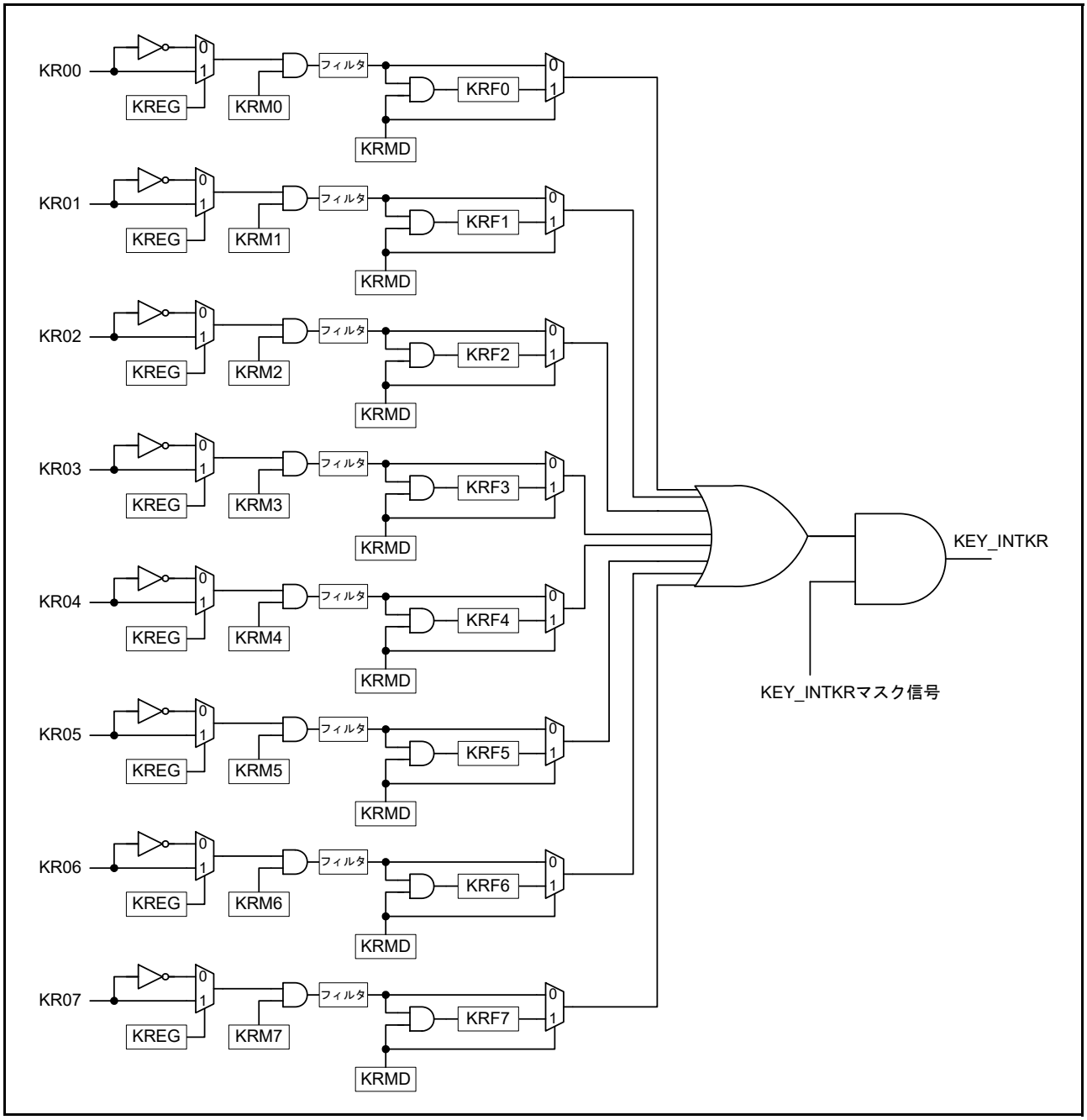


図 21.1　　キー割り込みのブロック図

すべてのキー復帰要因が OR ゲートでマージされます。マージされたキー復帰要因が AND ゲートで KEY_INTKR マスク信号によってマスクされ、AND ゲートの出力がキー割り込み（KEY_INTKR）になります。KRFn（KRMD = 1）を使用する場合、KEY_INTKR マスク信号は、KRFn をクリアすることでアサートされる出力マスクとして使用されます。

21.2 レジスタの説明

21.2.1 キーリターンコントロールレジスタ（KRCTL）

アドレス KINT.KRCTL 4008 0000h

	b7	b6	b5	b4	b3	b2	b1	b0
	KRMD	—	—	—	—	—	—	KREG
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	KREG	検出エッジ選択 （KR00～KR07）	0：立ち下がりエッジ 1：立ち上がりエッジ	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	KRMD	キー割り込みフラグ使用状態 （KRF0～KRF7）	0：キー割り込みフラグを使用しない 1：キー割り込みフラグを使用する	R/W

KRCTL レジスタは、キー割り込みフラグ（KRF0 ～ KRF7）の使用状態を制御し、検出エッジを設定するためのレジスタです。

21.2.2 キーリターンフラグレジスタ（KRF）

アドレス KINT.KRF 4008 0004h

	b7	b6	b5	b4	b3	b2	b1	b0
	KRF7	KRF6	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRFn	キー割り込みフラグn	0：割り込みの検出なし 1：割り込みの検出あり	R/W

n = 0 ～ 7

注 . KRMD = 0 の場合、KRFn ビットを 1 にすることは禁止されます。
注 . KRFn ビットを 1 に設定しても KRFn の値は変化しません。KRFn ビットをクリアする場合は、0 を書き込む前に該当ビットが 1 であることを確認し、その後でその他のビットには 1 を書き込んでください。

KRF レジスタは、キー割り込みフラグ（KRF0 ～ KRF7）を制御するレジスタです。

21.2.3 キーリターンモードレジスタ（KRM）

アドレス KINT.KRM 4008 0008h

	b7	b6	b5	b4	b3	b2	b1	b0
	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	KRMn	キー割り込みモード制御n	0：キー割り込み信号を検出しない 1：キー割り込み信号を検出する	R/W

n = 0 ～ 7

注 . 対応するキー割り込み入力端子をプルアップ抵抗に設定することで、内蔵プルアップ抵抗の適用が可能です。詳細は、「20. I/O ポート」を参照してください。

注 . キー割り込みは PmnPFS.PSEL ビットで割り当てることができます。詳細は、「20. I/O ポート」を参照してください。

注 . キー割り込み入力端子へ入力中の信号が Low レベル（KREG = 0）または High レベル（KREG = 1）のとき、KRM レジスタの対象ビットがセットされると割り込みが発生します。この割り込みを無視するには、割り込み処理を禁止してから、KRM レジスタを設定してください。

KRM レジスタは、キー割り込みモードの設定を行うレジスタです。

21.3 動作説明

21.3.1 キー割り込みフラグを使用しない場合の動作（KRMD = 0）

キー割り込み端子 KR00 ～ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み（KEY_INTKR）が発生します。有効エッジが入力されたチャネルを判別するには、キー割り込み（KEY_INTKR）の発生後にポートレジスタを読み出して、ポートのレベルをチェックしてください。

KEY_INTKR 信号は、キー割り込み入力端子（KR00 ～ KR07）の入力レベルに応じて変化します。

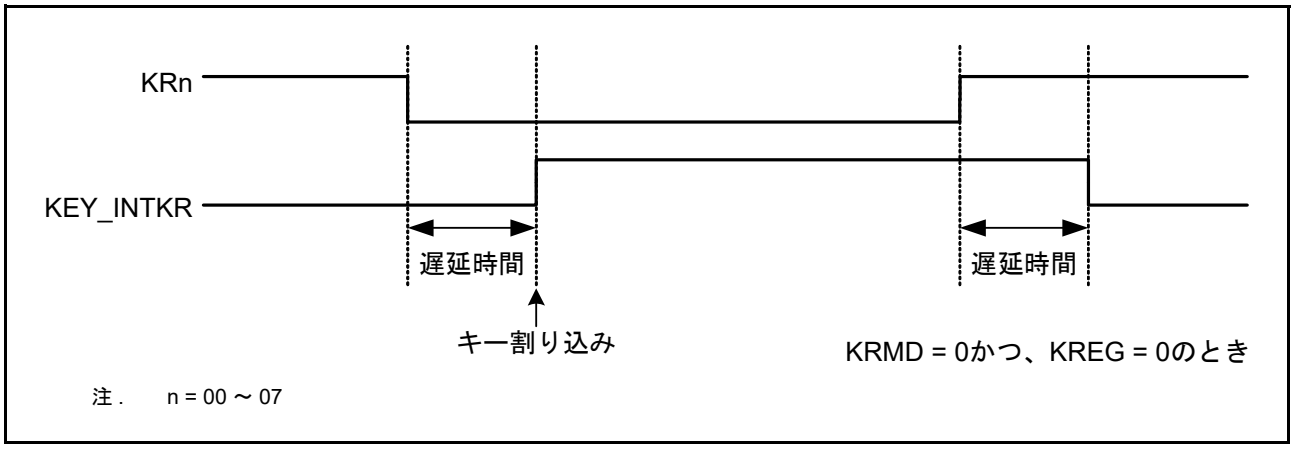


図 21.2 キー割り込みが 1 つのチャネルに入力された場合の KEY_INTKR 信号の動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 21.3 に示します。一方の端子に Low レベルが入力中であると、KEY_INTKR 信号がセットされます（KREG = 0 の場合）。そのため、この期間中に他方の端子に立ち下がりエッジが入力されても、再度キー割り込み（KEY_INTKR）は発生しません。図 21.3 の [1] を参照してください。

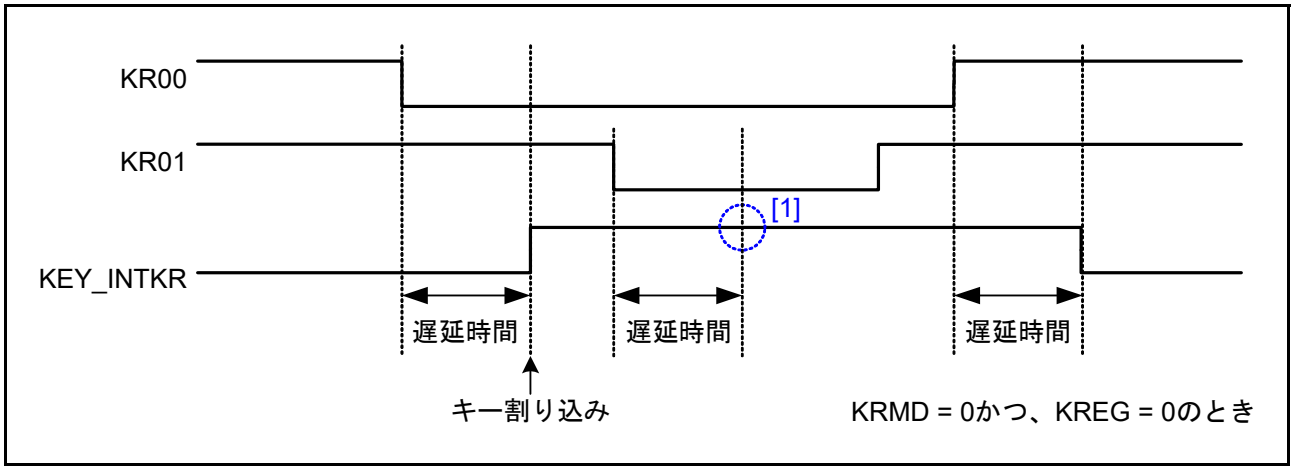


図 21.3 キー割り込みが複数のチャネルに入力された場合の KEY_INTKR 信号の動作

21.3.2 キー割り込みフラグを使用する場合の動作（KRMD = 1）

キー割り込み端子 KR00 ～ KR07 に、KREG ビットで指定された有効エッジが入力されたとき、キー割り込み（KEY_INTKR）が発生します。有効エッジが入力されたチャネルを判別するには、キー割り込み（KEY_INTKR）の発生後にキーリターンフラグレジスタ（KRF）を読み出します。KRMD ビットが 1 になっている場合は、KRF レジスタの対応するビットをクリアして、KEY_INTKR 信号をクリアしてください。

図 21.4 に示すように、1 つのチャネルに立ち下がりエッジが入力されるごとに、1 回だけ割り込みが発生します（KREG = 0 の場合）。立ち上がりエッジが入力される前や後に KRFn ビットがクリアされても、それ以上割り込みは発生しません。

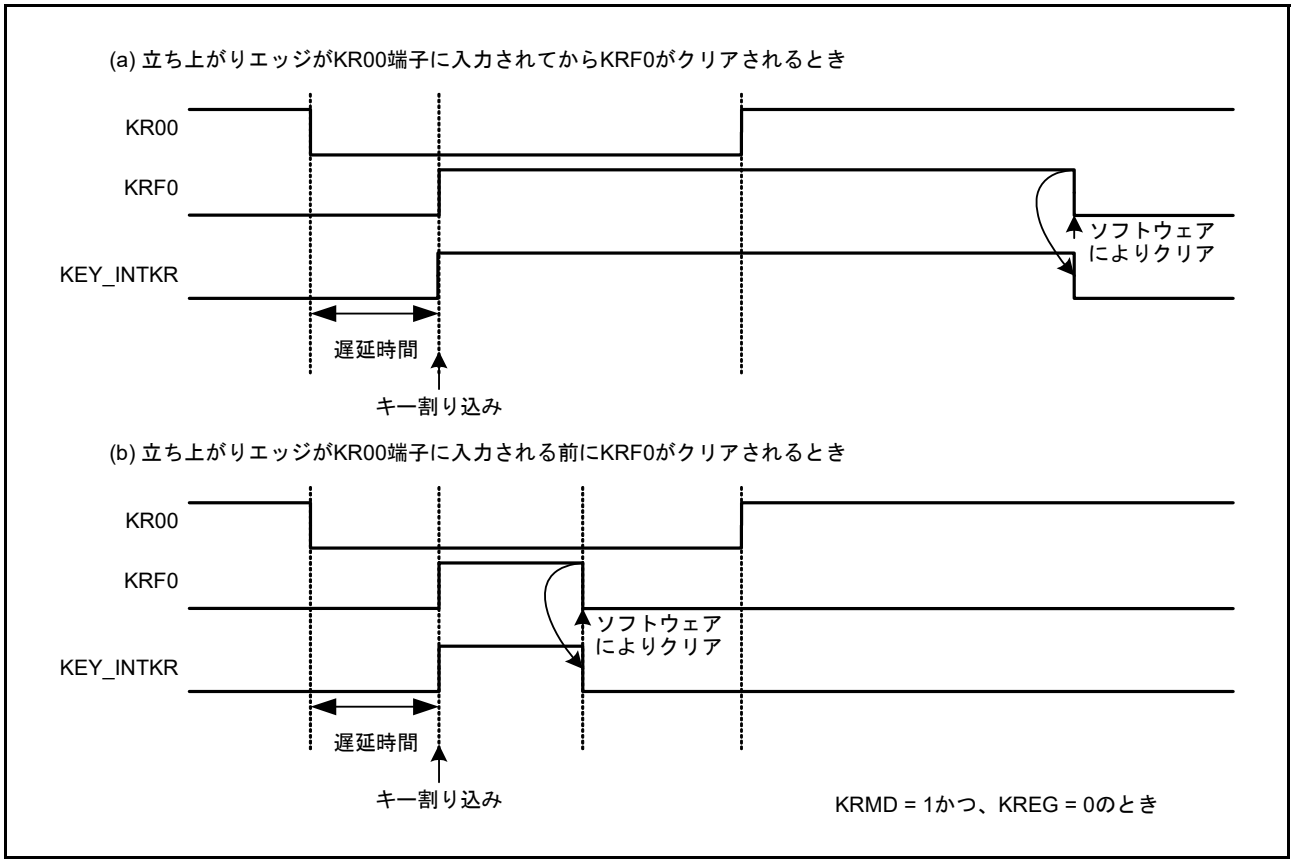


図 21.4 キー割り込みフラグを使用する場合の KEY_INTKR 信号の基本動作

有効エッジが複数のキー割り込み入力端子に入力された場合の動作を図 21.5 に示します。KR00 端子に立ち下がりエッジが入力された後に、KR01 端子と KR05 端子にも立ち下がりエッジが入力されます（KREG = 0 の場合）。KRF0 ビットがクリアされたとき、KRF1 ビットはセット状態になっています。そのため、KRF0 ビットがクリアされると、キー割り込みが 1 クロック（PCLKB）を生成します。図 21.5 の [1] を参照してください。また、KR05 端子に立ち下がりエッジが入力された後に、KRF5 ビットがセットされます。KRF1 ビットがクリアされたとき、図中の [2] の状態になります。そのため、KRF1 ビットがクリアされると、キー割り込みが 1 クロック（PCLKB）を生成します。図中の [3] を参照してください。したがって、複数チャネルに有効エッジが入力されたとき、それぞれキー割り込みを発生させることが可能です。

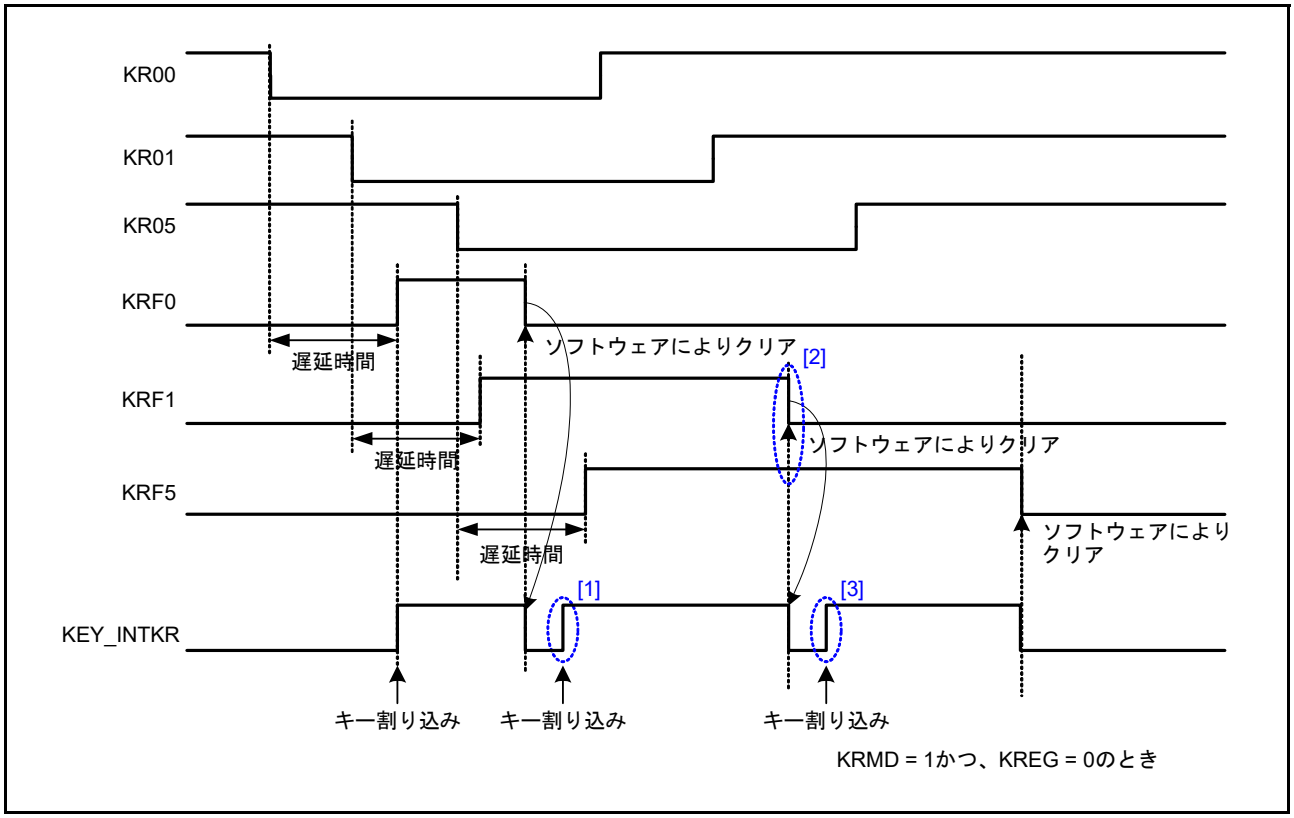


図 21.5　キー割り込みが複数のチャネルに入力された場合の KEY_INTKR 信号の動作

21.4 使用上の注意事項

- KEY_INTKR をスヌーズ要求として用いる場合は、KRMD を 0 にすること
- KEY_INTKR をスヌーズモードおよびソフトウェアスタンバイモードから通常モードへ復帰するための割り込み要因として用いる場合は、KRMD ビットを 1 にすること
- キー割り込み機能（KINT）が MPC によって端子に割り当てられる場合、この端子入力はソフトウェアスタンバイモード時に常に許可される。また、端子レベルが変化すると、対応する KRFn がセットされる可能性がある。そのため、ソフトウェアスタンバイモードの解除時に、キー割り込みが発生する場合がある

ソフトウェアスタンバイモード時のキー割り込み端子の変化を無視するには、ソフトウェアスタンバイモードへ遷移する前に、対応する KRM ビットをクリアしてください。ソフトウェアスタンバイモードの解除後は、対応する KRM ビットがセットされる前に、KRFn をクリアする必要があります。

22. GPT 用ポートアウトプットイネーブル（POEG）

22.1 概要

汎用 PWM タイマ（GPT）の出力端子を出力禁止状態とするには、GPT 用ポートアウトプットイネーブル（POEG）機能において、以下の方法の 1 つを使用します。

- GTETRGn (n = A,B,C,D) 端子の入力レベル検出
- GPT からの出力禁止要求
- コンパレータ割り込み要求検出
- クロック発生回路の発振停止検出
- レジスタ設定

GTETRGn (n = A,B,C,D) 端子は、GPT への外部トリガ入力端子としても利用可能です。

表 22.1 に POEG の仕様、図 22.1 にブロック図、そして表 22.2 に入力端子を示します。

表 22.1 POEGの仕様

項目	内容
入力レベル検出による出力禁止制御	極性とフィルタの選択後、GTETRGA～GTETRGD端子の立ち上がりエッジまたはHighレベルをサンプリングした場合、GPT出力端子を出力禁止に設定可能
GPTからの出力禁止要求	• GTIOCAおよびGTIOCB端子が同時にアクティブレベルとなる場合、GPTはPOEGに対して出力禁止要求を発生させる。POEGは、これらの要求を受信して、GTIOCAおよびGTIOCB端子を出力禁止にするか否かの制御が可能 • GPT出力端子がデッドタイムエラーを検出した場合に、GPT出力端子を出力禁止に設定可能
コンパレータ（ACMPHS）割り込み検出による出力禁止制御	割り込み要求がどのコンパレータ出力結果の変化によって発生した場合でも、GPT出力端子を出力禁止に設定可能
発振停止検出による出力禁止制御	クロック発生回路の発振が停止した場合に、GPT出力端子を出力禁止に設定可能
ソフトウェア（レジスタ）による出力禁止制御	レジスタの設定値を書き換えることにより、GPT出力端子を出力禁止に設定可能
割り込み	• 入力レベル検出による出力禁止制御が可能 • GPTまたはACMPHSからの出力禁止要求が可能
GPTに対する外部トリガ出力（カウント開始／カウント停止／カウントクリア／アップカウント／ダウンカウント／インプットキャプチャ機能）	極性とフィルタの選択後、GTETRGA～GTETRGD信号をGPTへ出力可能
ノイズフィルタリング	• どの入力端子（GTETRGA～GTETRGD）に対しても、PCLKB/1、PCLKB/8、PCLKB/32、またはPCLKB/128クロックごとに3回のサンプリングを設定可能 • どの入力端子（GTETRGA～GTETRGD）に対しても、正または負の極性を選択可能 • 極性およびフィルタ選択後の信号状態のモニタが可能

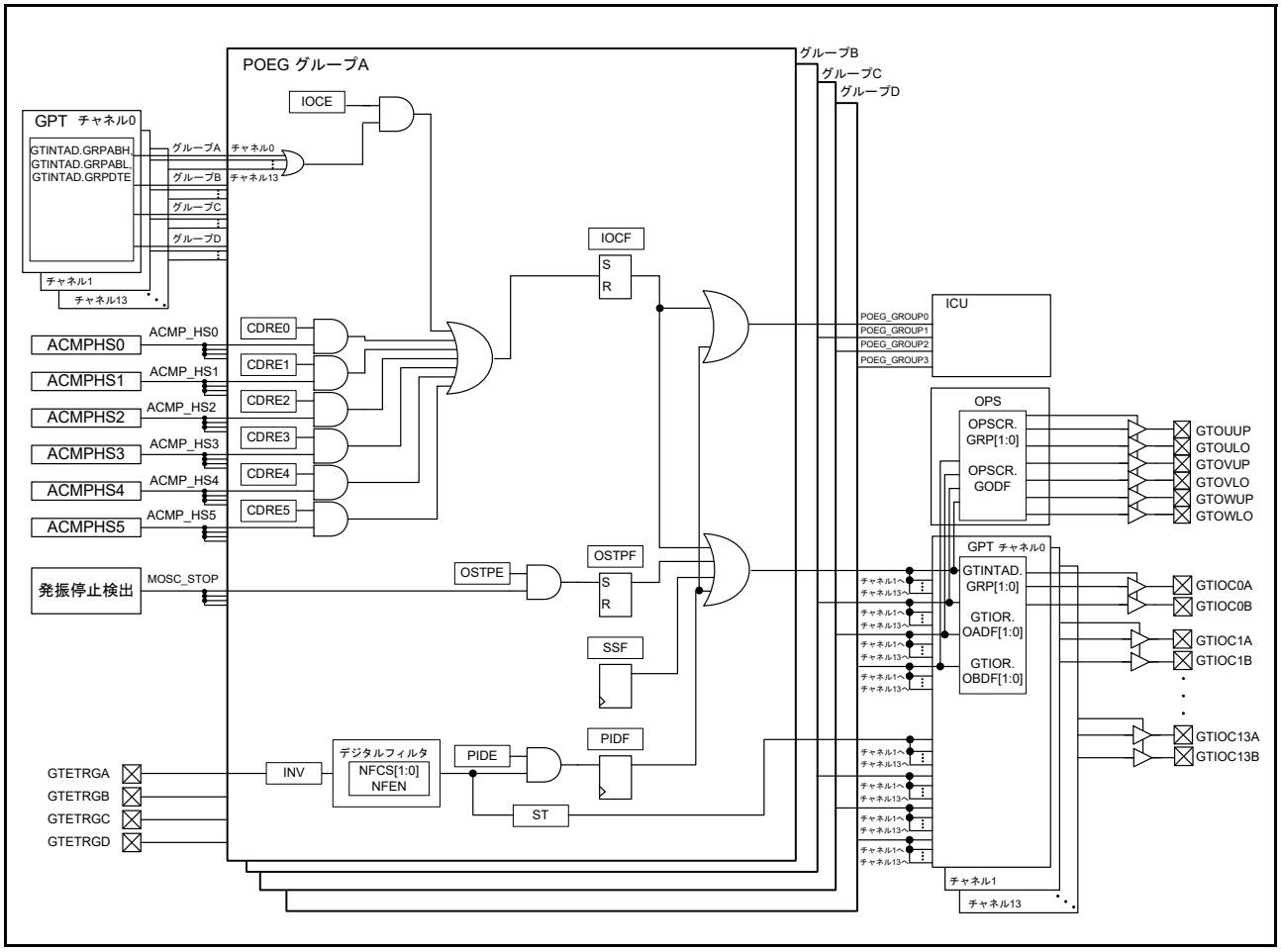


図 22.1 POEG のブロック図

表 22.2 POEGの入力端子

端子名	入出力	機能
GTETRGA	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子A
GTETRGB	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子B
GTETRGC	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子C
GTETRGD	入力	GPT出力端子の出力禁止要求信号およびGPT外部トリガ入力端子D

22.2 レジスタの説明

22.2.1 POEG グループ n 設定レジスタ（POEGGn）（n = A ～ D）

アドレス POEG.POEGGA 4004 2000h, POEG.POEGGB 4004 2100h, POEG.POEGGC 4004 2200h, POEG.POEGGD 4004 2300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]		NFEN	INV	—	—	—	—	—	—	—	—	—	—	—	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CDRE5	CDRE4	CDRE3	CDRE2	CDRE1	CDRE0	—	OSTPE	IOCE	PIDE	SSF	OSTPF	IOCF	PIDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIDF	ポート入力検出フラグ	0：GTETRGn端子からの出力禁止要求なし 1：GTETRGn端子からの出力禁止要求あり	R(/W) （注1）
b1	IOCF	GPTまたはACMPHS出力禁止要求検出フラグ	0：GPTの禁止要求またはコンパレータ割り込みによる出力禁止要求なし 1：GPTの禁止要求またはコンパレータ割り込みによる出力禁止要求あり	R(/W) （注1）
b2	OSTPF	発振停止検出フラグ	0：発振停止検出による出力禁止要求なし 1：発振停止検出による出力禁止要求あり	R(/W) （注1）
b3	SSF	ソフトウェア停止フラグ	0：ソフトウェアによる出力禁止要求なし 1：ソフトウェアによる出力禁止要求あり	R/W
b4	PIDE	ポート入力検出許可	0：GTETRGn端子からの出力禁止要求を禁止 1：GTETRGn端子からの出力禁止要求を許可	R/W （注2）
b5	IOCE	GPT出力禁止要求許可	0：GPTの禁止要求による出力禁止要求を禁止 1：GPTの禁止要求による出力禁止要求を許可	R/W （注2）
b6	OSTPE	発振停止検出許可	0：発振停止検出による出力禁止要求を禁止 1：発振停止検出による出力禁止要求を許可	R/W （注2）
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CDRE0	ACMP_HS0許可	0：コンパレータ0の禁止要求を禁止 1：コンパレータ0の禁止要求を許可	R/W （注2）
b9	CDRE1	ACMP_HS1許可	0：コンパレータ1の禁止要求を禁止 1：コンパレータ1の禁止要求を許可	R/W （注2）
b10	CDRE2	ACMP_HS2許可	0：コンパレータ2の禁止要求を禁止 1：コンパレータ2の禁止要求を許可	R/W （注2）
b11	CDRE3	ACMP_HS3許可	0：コンパレータ3の禁止要求を禁止 1：コンパレータ3の禁止要求を許可	R/W （注2）
b12	CDRE4	ACMP_HS4許可	0：コンパレータ4の禁止要求を禁止 1：コンパレータ4の禁止要求を許可	R/W （注2）
b13	CDRE5	ACMP_HS5許可	0：コンパレータ5の禁止要求を禁止 1：コンパレータ5の禁止要求を許可	R/W （注2）
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ST	GTETRGn入力ステータスフラグ	0：フィルタリング後のGTETRGn入力は0 1：フィルタリング後のGTETRGn入力は1	R
b27-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	INV	GTETRGn入力反転	0：GTETRGnをそのまま入力 1：GTETRGnを反転して入力	R/W
b29	NFEN	ノイズフィルタ有効	0：ノイズフィルタリングを禁止 1：ノイズフィルタリングを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCS[1:0]	ノイズフィルタクロック選択	b1 b0 0 0：GTETRGn端子の入力レベルをPCLKB/1クロックごとに3回サンプリング 0 1：GTETRGn端子の入力レベルをPCLKB/8クロックごとに3回サンプリング 1 0：GTETRGn端子の入力レベルをPCLKB/32クロックごとに3回サンプリング 1 1：GTETRGn端子の入力レベルをPCLKB/128クロックごとに3回サンプリング	R/W

注 1. フラグをクリアするための 0 の書き込みのみ可能です。
注 2. リセット後、1 回のみ書き込み可能です。

POEGGA ～ POEGGD レジスタは、GPT 端子の出力禁止状態、割り込み、および GPT への外部トリガ入力を制御するレジスタです。以下の説明で POEGGn とは、POEGGA ～ POEGGD レジスタのすべてを表しています。

22.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、およびBLDCモータ制御用3相PWM出力端子は、出力禁止状態に設定可能になります。

- GTETRGA ～ GTETRGD端子の入力レベルまたはエッジ検出
  POEGGn.PIDEビットが1の状態で、POEGGn.PIDFフラグが1になったとき
- GPTからの出力禁止要求
  POEGGn.IOCEビットが1の状態で、POEGGn.IOCFフラグが1になったとき（GTINTAD.GRPDTE、GTINTAD.GRPABH、およびGTINTAD.GRPABLビットによって許可された禁止要求は、GPTレジスタのGTINTAD.GRP[1:0]とOPSCR.GRP[1:0]ビットで選択されたグループに適用されるため）
- コンパレータ（ACMPHS）割り込み要求検出
  POEGGn.CDRE[5:0]ビットのいずれかが1の状態で、コンパレータ割り込みの検出をアクティブにし、対応するコンパレータ割り込みが発生したとき。POEGGn.IOCFフラグが検出状態を示します。
- クロック発生回路の発振停止検出
  POEGGn.OSTPEビットが1の状態で、POEGGn.OSTPFフラグが1になったとき
- SSFビットの設定
  POEGGn.SSFフラグが1になったとき

出力禁止の状態は、GPTモジュールで制御します。GTIOCxA端子とGTIOCxB端子の出力禁止は、GPTxのGTINTAD.GRP[1:0]ビット、GTIOR.OADF[1:0]ビット、およびGTIOR.OBDF[1:0]ビットで設定します。BLDCモータ制御用3相PWM出力端子の出力禁止は、GPT_OPSのOPSCR.GRP[1:0]ビットおよびOPSCR.GODFビットで設定します。

22.3.1 端子入力レベル検出時の動作

POEGGn.PIDEビット、POEGGn.NFCS[1:0]ビット、POEGGn.NFENビット、およびPOEGGn.INVビットに設定された入力条件が、GTETRGA ～ GTETRGD端子で発生すると、GPT出力端子は出力禁止状態になります。

22.3.1.1 デジタルフィルタ

図 22.2 に、デジタルフィルタによる High 検出時の動作を示します。POEGGn.INV ビットの極性の設定に対応した High 状態が、POEGGn.NFCS[1:0] ビットと POEGGn.NFEN ビットで選択したサンプリングクロックにおいて 3 回連続して検出されたとき、High 検出とみなされて、GPT 出力端子は出力禁止状態になります。このとき、一度でも Low を検出した場合は High 検出とみなされません。さらに、サンプリングクロックが出力されていない期間は、GTETRGA ～ GTETRGD 端子のレベル変化が無視されます。

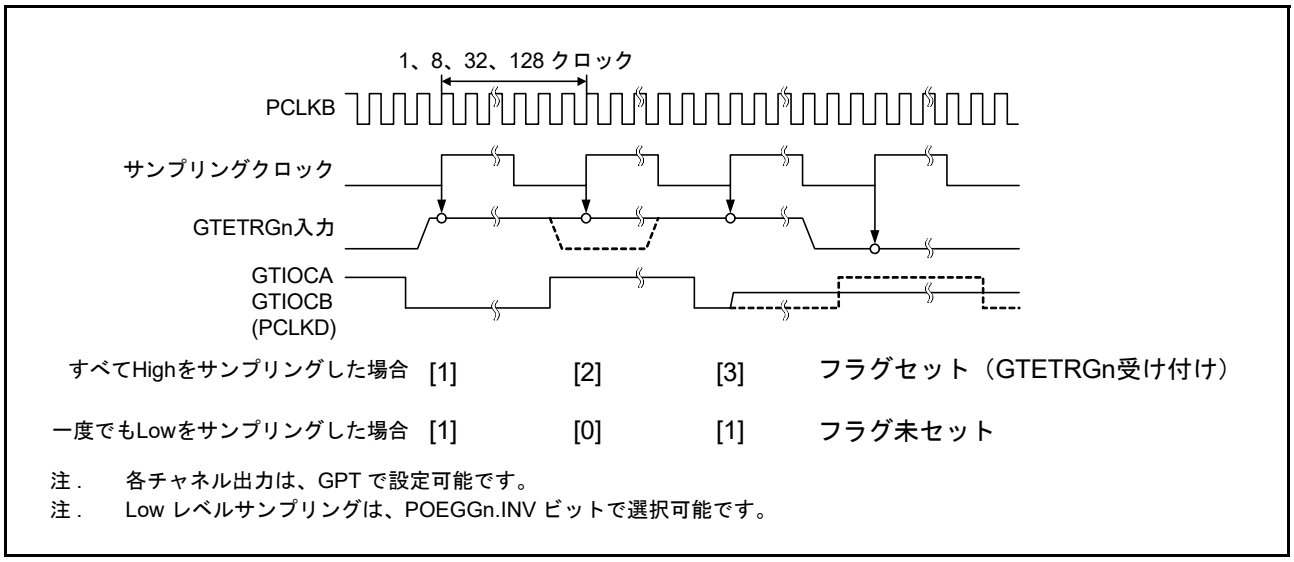


図 22.2 デジタルフィルタの動作例

22.3.2 GPT からの出力禁止要求

この動作の詳細については、「23. 汎用 PWM タイマ（GPT）」における GTIOC 端子出力ネゲート制御の説明を参照してください。

22.3.3 コンパレータ割り込みの検出

POEGGn.CDRE[5:0] ビットが 1 の場合、対応するコンパレータ割り込み要求が発生すると、GPT 出力端子はグループごとに出力禁止状態になります。ステータスフラグは POEGGn.IOCF であり、これは GPT の出力禁止検出と共通です。

22.3.4 発振停止検出による出力禁止制御

POEGGn.OSTPE ビットが 1 の場合、クロック発生回路の発振停止検出機能が発振停止を検出すると、GPT 出力端子はグループごとに出力禁止状態になります。

22.3.5 レジスタによる出力禁止制御

GPT 出力端子は、ソフトウェア停止フラグ（POEGGn.SSF）に書き込むことで直接制御が可能です。

22.3.6 出力禁止状態の解除

出力禁止状態になっている GPT 出力端子を解放するには、リセットによって初期状態に復帰させるか、または下記のフラグをすべてクリアします。

- POEGGn.PIDF フラグ
- POEGGn.IOCF フラグ
- POEGGn.OSTPF フラグ
- POEGGn.SSF フラグ

外部入力端子 GTETRGA ～ GTETRGD が無効ではなく、かつ POEGGn.ST ビットが 0 になっていなければ、POEGGn.PIDF フラグに 0 を書いても無視されます（フラグはクリアされません）。

GPT の GTST.DTEF フラグ、GTST.OABHF フラグ、および GTST.OABLF フラグがすべて 0 になっている場合にのみ、POEGGn.IOCF フラグに 0 を書くこと（フラグをクリアすること）ができます。

クロック発生回路の OSTDSR.OSTDF フラグが 0 になっていない場合、POEGGn.OSTPF フラグに 0 を書いても無視されます（フラグはクリアされません）。また、フラグのセットとクリアが同時に発生した場合、セットが優先されます。

図 22.3 に、出力禁止状態の解除タイミングを示します。フラグがクリアされた後、次の GPT カウント周期の開始時に、出力禁止状態が解除されます。

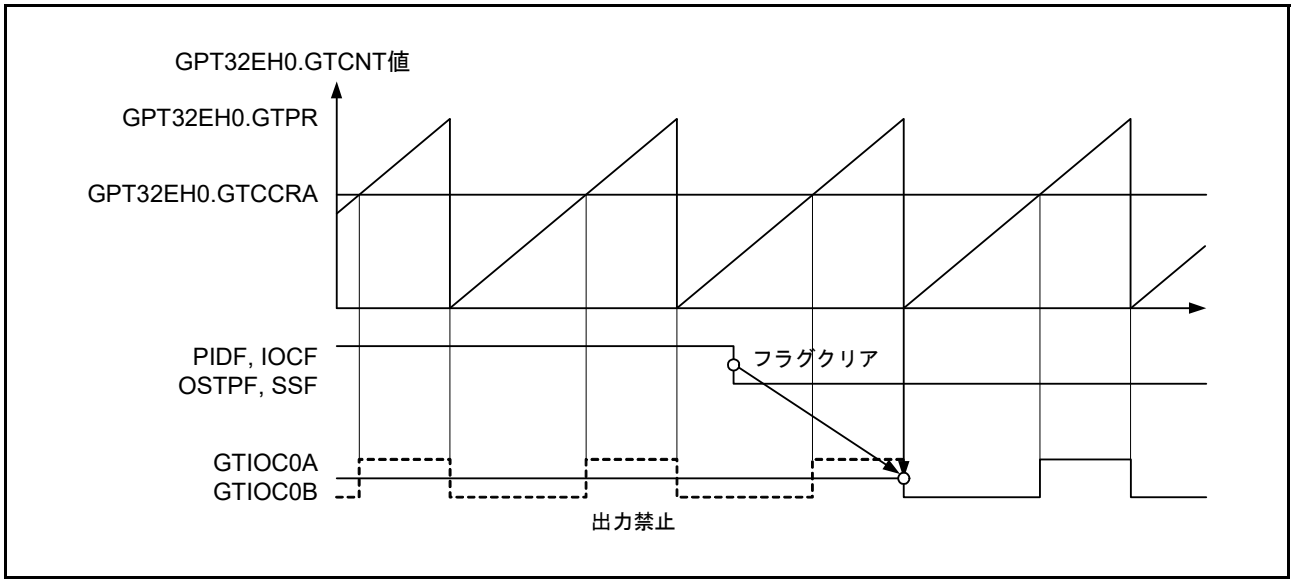


図 22.3 GPT 端子出力の出力禁止状態の解除タイミング

22.4 割り込み要因

POEGは、以下の要因によってトリガされたとき、割り込み要求を発生させます。

- 入力レベル検出による出力禁止制御
- GPTからの出力禁止要求
- コンパレータ割り込み要求検出

表22.3に、割り込み要求の条件を示します。

表22.3 割り込み要因と条件

割り込み要因	シンボル	対応するフラグ	トリガ条件
POEGグループA割り込み	POEG_GROUP0	POEGGA.IOCF	GPTからの出力禁止要求の発生
			コンパレータ割り込みによる出力禁止要求の発生
		POEGGA.PIDF	GTETRGA端子からの出力禁止要求の発生
POEGグループB割り込み	POEG_GROUP1	POEGGB.IOCF	GPTからの出力禁止要求の発生
			コンパレータ割り込みによる出力禁止要求の発生
		POEGGB.PIDF	GTETRGB端子からの出力禁止要求の発生
POEGグループC割り込み	POEG_GROUP2	POEGGC.IOCF	GPTからの出力禁止要求の発生
			コンパレータ割り込みによる出力禁止要求の発生
		POEGGC.PIDF	GTETRGC端子からの出力禁止要求の発生
POEGグループD割り込み	POEG_GROUP3	POEGGD.IOCF	GPTからの出力禁止要求の発生
			コンパレータ割り込みによる出力禁止要求の発生
		POEGGD.PIDF	GTETRGD端子からの出力禁止要求の発生

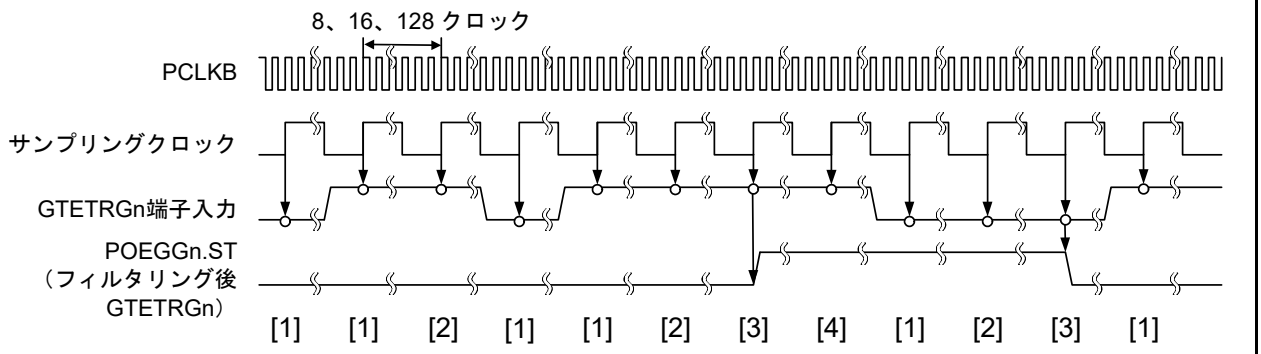
22.5 GPT に対する外部トリガ出力

POEG は、下記の GPT 動作のトリガ信号として、GTETRGn 信号を出力します。

- カウント開始
- カウント停止
- カウントクリア
- アップカウント
- ダウンカウント
- インプットキャプチャ

POEGG.INV ビットで設定した極性信号に対し、POEGGn.NFCS[1:0] および POEGGn.NFEN ビットで選択したサンプリングクロックで同じレベルが 3 回連続して入力されたとき、その値が出力されます。22.3.1 端子入力レベル検出時の動作に記載のコントロールレジスタと同じものを設定してください。フィルタリング後の状態は POEGGn.ST フラグでモニタできます。

図 22.4 に、GPT に対する外部トリガ出力のタイミングを示します。



注． 各チャネル出力は、GPT で設定可能です。
注． 極性は POEGGn.INV ビット設定により反転可能です。

図 22.4 GPT に対する外部トリガ出力のタイミング

22.6 使用上の注意事項

22.6.1 ソフトウェアスタンバイモードへの遷移

POEG を使用する場合は、ソフトウェアスタンバイモードへ遷移させないでください。このモードでは POEG が停止するため、端子の出力禁止を制御することができません。

22.6.2 GPT 対応端子の指定

POEG は、PmnPFS.PMR および PmnPFS.PSEL ビットによって、GPT 対応端子として指定された場合にのみ出力禁止制御を行います。端子が汎用入出力端子として指定されている場合、POEG は出力禁止制御を行いません。

23. 汎用 PWM タイマ（GPT）

23.1 概要

汎用 PWM タイマ（GPT）は高度に設定可能な 32 ビットの一連の汎用タイマを内蔵しています。また、GPT は、PWM 波形と PWM 遅延の生成、パルス幅の測定、アップカウンタとダウンカウンタによるインプットキャプチャを行うための拡張機能も備えています。カウンタのスタート／ストップ／クリアの各動作は、複数の内部イベント、またはいくつかの外部入力によって起動が可能です。GPT は、チャネルごとに個別にクロックソースを選択できる柔軟性を備えています。

本 MCU は、4 つの GPT32EH チャネル、4 つの GPT32E チャネル、および 6 つの GPT32 チャネルを内蔵しています。表 23.1 に GPT の仕様を、表 23.2 に GPT の機能一覧を示します。表 23.2 に示す差異点に加え、GPT32EH は専用 PWM 遅延生成回路に接続されます。詳細は、「24. PWM 遅延生成回路」を参照してください。

図 23.1 に GPT のブロック図を、図 23.2 に複数の GPT の使用例を、表 23.3 に GPT の入出力端子を示します。

表 23.1 GPTの仕様

項目	内容
機能	• 32ビット × 14チャネル • 各カウンタは、アップカウントもしくはダウンカウント（のこぎり波）、またはアップダウンカウント（三角波） • チャネルごとに独立したクロックソースを選択可能 • チャネルごとに2本の入出力端子 • チャネルごとにアウトプットコンペア／インプットキャプチャ用レジスタが2本 • 各チャネル2本のアウトプットコンペア／インプットキャプチャレジスタに対し、それぞれバッファレジスタとして4本のレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 • アウトプットコンペア動作時に山／谷それぞれバッファ動作可能で左右非対称なPWM波形を生成 • チャネルごとにフレーム周期設定用レジスタを搭載（オーバーフロー／アンダーフローで割り込み可能） • PWM動作の際にデットタイム生成が可能 • 任意チャネルのカウンタの同期スタート／ストップ／クリア • 最大8個のELCイベントに対応したアップ／ダウンカウンタのスタート／ストップ／クリア • 入力レベル比較に対応したアップ／ダウンカウンタのスタート／ストップ／クリア • 最大4個の外部トリガに対応したアップ／ダウンカウンタのスタート／ストップ／クリア • デッドタイムエラーおよび出力端子間の短絡検出による出力端子無効機能 • A/Dコンバータの変換開始トリガ生成が可能 • ブラシレスDCモータ制御用のPWM波形生成が可能 • コンペアマッチA～Fイベント、オーバーフローイベント／アンダーフローイベント、および入力UVWエッジイベントをELCに出力可能 • インプットキャプチャおよび入力UVWのノイズフィルタを使用可能 • バスクロック：PCLKA • コアクロック：PCLKD • 周波数比：PCLKA:PCLKD = 1:N（N = 1/2/4/8/16/32/64）

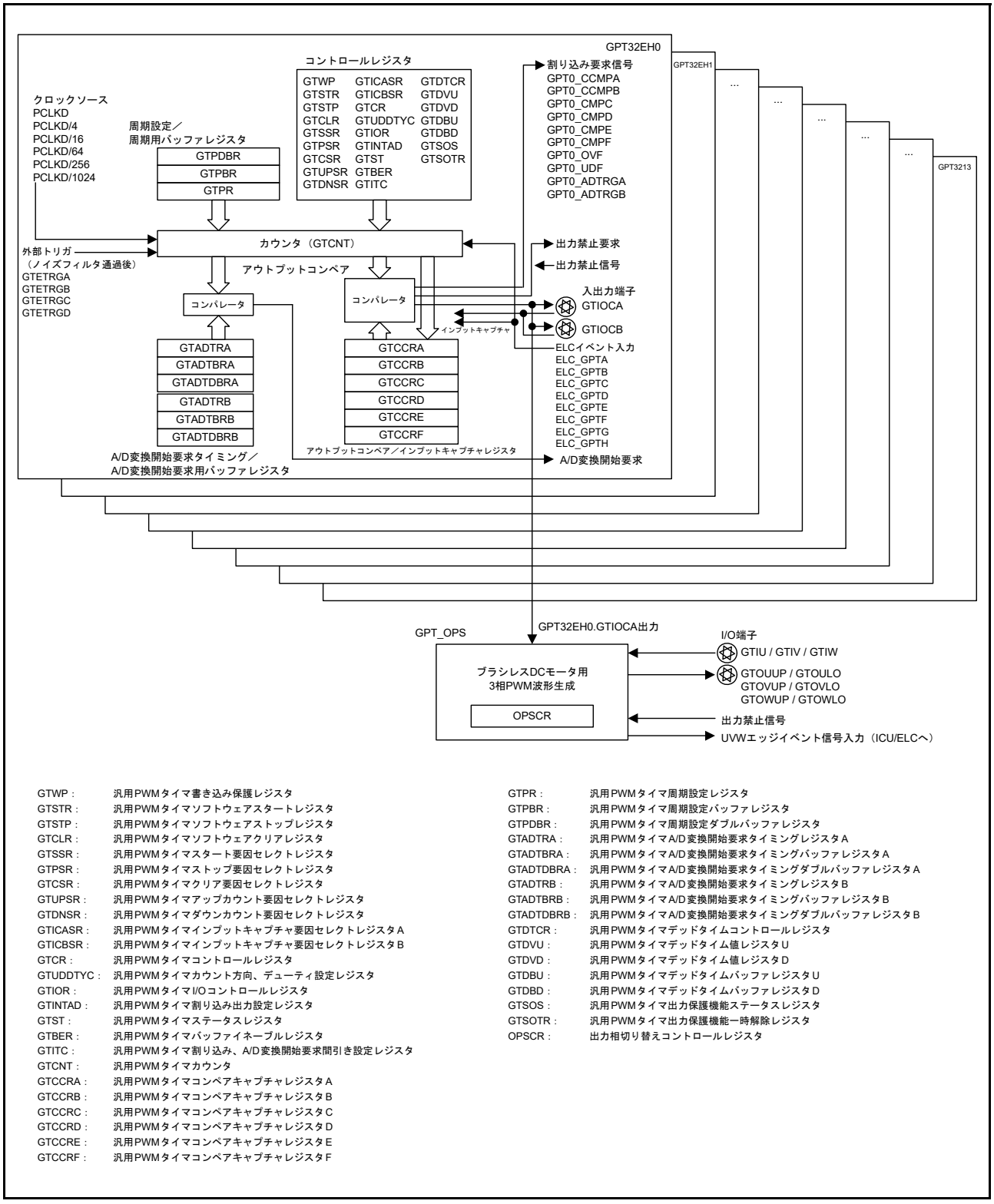
表 23.2 GPTの機能一覧 (1/2)

項目	GPT32EH, GPT32E	GPT32
カウントクロック	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024	PCLKD PCLKD/4 PCLKD/16 PCLKD/64 PCLKD/256 PCLKD/1024
アウトプットコンペア／インプットキャプチャレジスタ（GTCCR）	GTCCRA GTCCRB	GTCCRA GTCCRB
コンペア／バッファレジスタ	GTCCRC GTCCRD GTCCRE GTCCRF	GTCCRC GTCCRD GTCCRE GTCCRF
周期設定レジスタ	GTPR	GTPR

表 23.2 GPTの機能一覧 (2/2)

項目		GPT32EH, GPT32E	GPT32
周期設定バッファレジスタ		GTPBR GTPDBR	GTPBR
入出力端子		GTIOCA GTIOCB	GTIOCA GTIOCB
外部トリガ入力端子（注1）		GTETRGA GTETRGB GTETRGC GTETRGD	GTETRGA GTETRGB GTETRGC GTETRGD
カウンタクリア要因		GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETRGn (n = A,B,C,D)端子入力	GTPRレジスタコンペアマッチ、インプットキャプチャ、入力端子状態、ELCイベント入力、およびGTETRGn (n = A,B,C,D)端子入力
コンペアマッチ出力	Low出力	可能	可能
	High出力	可能	可能
	トグル出力	可能	可能
インプットキャプチャ機能		可能	可能
デッドタイム自動付加機能		可能	可能 （デッドタイムバッファなし）
PWMモード		可能	可能
位相計数機能		可能	可能
バッファ動作		ダブルバッファ	ダブルバッファ
ワンショット動作		可能	可能
DTCの起動		すべての割り込み要因	すべての割り込み要因
A/D変換開始トリガ		GTADTRAまたはGTADTRBのコンペアマッチ	-
ブラシレスDCモータ制御機能		可能	可能
割り込み要因		10要因 • GTCCRAコンペアマッチ／インプットキャプチャ（GPTn_CCMPA） • GTCCRBコンペアマッチ／インプットキャプチャ（GPTn_CCMPB） • GTCCRCコンペアマッチ（GPTn_CMPC） • GTCCRDコンペアマッチ（GPTn_CMPD） • GTCCREコンペアマッチ（GPTn_CMPCE） • GTCCRFコンペアマッチ（GPTn_CMPF） • GTADTRAコンペアマッチ（GPTn_ADTRGA） • GTADTRBコンペアマッチ（GPTn_ADTRGB） • GTCNTオーバーフロー（GTPRコンペアマッチ）（GPTn_OVF） • GTCNTアンダーフロー（GPTn_UDF）	8要因 • GTCCRAコンペアマッチ／インプットキャプチャ（GPTn_CCMPA） • GTCCRBコンペアマッチ／インプットキャプチャ（GPTn_CCMPB） • GTCCRCコンペアマッチ（GPTn_CMPC） • GTCCRDコンペアマッチ（GPTn_CMPD） • GTCCREコンペアマッチ（GPTn_CMPE） • GTCCRFコンペアマッチ（GPTn_CMPF） • GTCNTオーバーフロー（GTPRコンペアマッチ）（GPTn_OVF） • GTCNTアンダーフロー（GPTn_UDF）
割り込み間引き機能		GTCNTオーバーフロー（GTPRコンペアマッチ）（GPTn_OVF）の間引き／GTCNTアンダーフロー（GPTn_UDF）割り込み（その他割り込みまたはA/D変換要求に対するインターロック機能付き）の間引き	-
イベントリンク（ELC）機能		可能	可能
ノイズフィルタ機能		可能	可能

注 1. GTRETRGn のトリガは、POEG モジュール経由で GPT に接続します。そのため、この GPT 機能を使用するには、POEG に（MSTPD のビット 14 のクリアによる）クロックを供給する必要があります。



GTWP : 汎用PWMタイマ書き込み保護レジスタ
GTSTR : 汎用PWMタイマソフトウェアスタートレジスタ
GTSTP : 汎用PWMタイマソフトウェアストップレジスタ
GTCLR : 汎用PWMタイマソフトウェアクリアレジスタ
GTSSR : 汎用PWMタイマスタート要因セレクトレジスタ
GTPSR : 汎用PWMタイマストップ要因セレクトレジスタ
GTCSR : 汎用PWMタイマクリア要因セレクトレジスタ
GTUPSR : 汎用PWMタイマアップカウント要因セレクトレジスタ
GTDNSR : 汎用PWMタイマダウンカウント要因セレクトレジスタ
GTICASR : 汎用PWMタイマインプットキャプチャ要因セレクトレジスタA
GTICBSR : 汎用PWMタイマインプットキャプチャ要因セレクトレジスタB
GTCR : 汎用PWMタイマコントロールレジスタ
GTUDDTYC : 汎用PWMタイマカウント方向、デューティ設定レジスタ
GTIOR : 汎用PWMタイマI/Oコントロールレジスタ
GTINTAD : 汎用PWMタイマ割り込み出力設定レジスタ
GTST : 汎用PWMタイマステータスレジスタ
GTBER : 汎用PWMタイマバッファイネーブルレジスタ
GTITC : 汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ
GTCNT : 汎用PWMタイマカウンタ
GTCCRA : 汎用PWMタイマコンペアキャプチャレジスタA
GTCCRB : 汎用PWMタイマコンペアキャプチャレジスタB
GTCCRC : 汎用PWMタイマコンペアキャプチャレジスタC
GTCCRD : 汎用PWMタイマコンペアキャプチャレジスタD
GTCCRE : 汎用PWMタイマコンペアキャプチャレジスタE
GTCCRF : 汎用PWMタイマコンペアキャプチャレジスタF

GTPR : 汎用PWMタイマ周期設定レジスタ
GTPBR : 汎用PWMタイマ周期設定バッファレジスタ
GTPDBR : 汎用PWMタイマ周期設定ダブルバッファレジスタ
GTADTRA : 汎用PWMタイマA/D変換開始要求タイミングレジスタA
GTADTBRA : 汎用PWMタイマA/D変換開始要求タイミングバッファレジスタA
GTADTDBRA : 汎用PWMタイマA/D変換開始要求タイミングダブルバッファレジスタA
GTADTRB : 汎用PWMタイマA/D変換開始要求タイミングレジスタB
GTADTBRB : 汎用PWMタイマA/D変換開始要求タイミングバッファレジスタB
GTADTDBRB : 汎用PWMタイマA/D変換開始要求タイミングダブルバッファレジスタB
GTDTCR : 汎用PWMタイマデッドタイムコントロールレジスタ
GTDVU : 汎用PWMタイマデッドタイム値レジスタU
GTDVD : 汎用PWMタイマデッドタイム値レジスタD
GTDBU : 汎用PWMタイマデッドタイムバッファレジスタU
GTDBD : 汎用PWMタイマデッドタイムバッファレジスタD
GTSOS : 汎用PWMタイマ出力保護機能ステータスレジスタ
GTSOTR : 汎用PWMタイマ出力保護機能一時解除レジスタ
OPSCR : 出力相切り替えコントロールレジスタ

図 23.1 GPT のブロック図

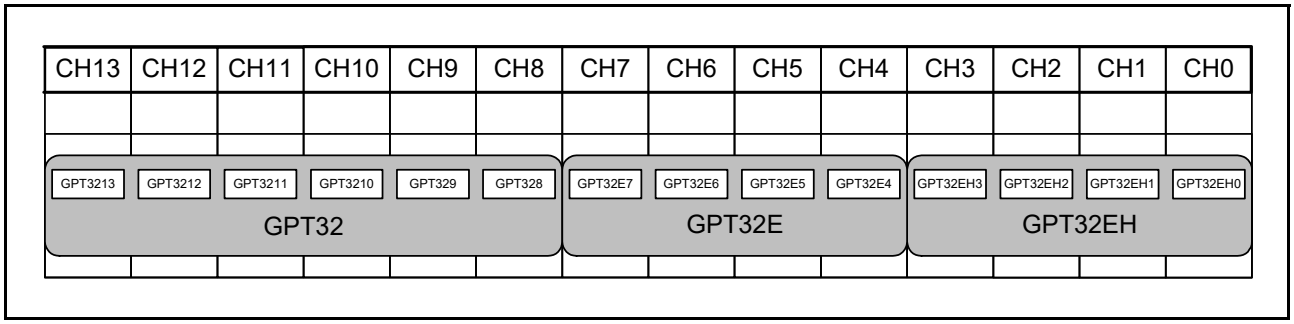


図 23.2 GPT チャネルとモジュール名の関係

表 23.3 GPTの入出力端子 (1/2)

チャネル	端子名	入出力	機能
共通	GTETRGA	入力	外部トリガ入力端子A（ノイズフィルタリング後）
	GTETRGB	入力	外部トリガ入力端子B（ノイズフィルタリング後）
	GTETRGC	入力	外部トリガ入力端子C（ノイズフィルタリング後）
	GTETRGD	入力	外部トリガ入力端子D（ノイズフィルタリング後）
GPT32EH0	GTIOC0A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC0B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32EH1	GTIOC1A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC1B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32EH2	GTIOC2A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC2B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32EH3	GTIOC3A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC3B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E4	GTIOC4A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC4B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E5	GTIOC5A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC5B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E6	GTIOC6A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC6B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT32E7	GTIOC7A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC7B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子

表 23.3 GPTの入出力端子 (2/2)

チャネル	端子名	入出力	機能
GPT328	GTIOC8A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC8B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT329	GTIOC9A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC9B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT3210	GTIOC10A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC10B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT3211	GTIOC11A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC11B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT3212	GTIOC12A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC12B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT3213	GTIOC13A	入出力	GTCCRAレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	GTIOC13B	入出力	GTCCRBレジスタのインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
GPT_OPS	GTIU	入力	ホールセンサ入力端子U
	GTIV	入力	ホールセンサ入力端子V
	GTIW	入力	ホールセンサ入力端子W
	GTOUUP	出力	BLDCモータ制御用3相PWM出力（正相U相）
	GTOULO	出力	BLDCモータ制御用3相PWM出力（逆相U相）
	GTOVUP	出力	BLDCモータ制御用3相PWM出力（正相V相）
	GTOVLO	出力	BLDCモータ制御用3相PWM出力（逆相V相）
	GTOWUP	出力	BLDCモータ制御用3相PWM出力（正相W相）
	GTOWLO	出力	BLDCモータ制御用3相PWM出力（逆相W相）

23.2 レジスタの説明

表 23.4 に GPT のレジスター覧を示します。

表 23.4 GPT レジスタ (1/2)

モジュールシンボル	レジスタ名	レジスタシンボル	リセット値	アドレス（m = 0～13）	アクセスサイズ	GPT32EH/GPT32E	GPT32
GPT32EHm (m = 0～3) GPT32Em (m = 4～7) GPT32m (m = 8～13)	汎用PWMタイマ書き込み保護レジスタ	GTWP	0000_0000h	4007 8000h + 0100h × m	32	○	○
	汎用PWMタイマソフトウェアスタートレジスタ	GTSTR	0000_0000h	4007 8004h + 0100h × m	32	○	○
	汎用PWMタイマソフトウェアストップレジスタ	GTSTP	FFFF_FFFFh	4007 8008h + 0100h × m	32	○	○
	汎用PWMタイマソフトウェアクリアレジスタ	GTCLR	0000_0000h	4007 800Ch + 0100h × m	32	○	○
	汎用PWMタイマスタート要因選択レジスタ	GTSSR	0000_0000h	4007 8010h + 0100h × m	32	○	○
	汎用PWMタイマストップ要因選択レジスタ	GTPSR	0000_0000h	4007 8014h + 0100h × m	32	○	○
	汎用PWMタイマクリア要因選択レジスタ	GTCSR	0000_0000h	4007 8018h + 0100h × m	32	○	○
	汎用PWMタイマアップカウント要因選択レジスタ	GTUPSR	0000_0000h	4007 801Ch + 0100h × m	32	○	○
	汎用PWMタイマダウンカウント要因選択レジスタ	GTDNSR	0000_0000h	4007 8020h + 0100h × m	32	○	○
	汎用PWMタイマインプットキャプチャ要因選択レジスタA	GTICASR	0000_0000h	4007 8024h + 0100h × m	32	○	○
	汎用PWMタイマインプットキャプチャ要因選択レジスタB	GTICBSR	0000_0000h	4007 8028h + 0100h × m	32	○	○
	汎用PWMタイマコントロールレジスタ	GTCR	0000_0000h	4007 802Ch + 0100h × m	32	○	○
	汎用PWMタイマカウント方向、デューティ設定レジスタ	GTUDDTYC	0000_0001h	4007 8030h + 0100h × m	32	○	○
	汎用PWMタイマI/Oコントロールレジスタ	GTIOR	0000_0000h	4007 8034h + 0100h × m	32	○	○
	汎用PWMタイマ割り込み出力設定レジスタ	GTINTAD	0000_0000h	4007 8038h + 0100h × m	32	○	(○) (注1)
	汎用PWMタイマステータスレジスタ	GTST	0000_8000h	4007 803Ch + 0100h × m	32	○	(○) (注1)
	汎用PWMタイマバッファイネーブルレジスタ	GTBER	0000_0000h	4007 8040h + 0100h × m	32	○	(○) (注1)
GPT32EHm (m = 0～3) GPT32Em (m = 4～7)	汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ	GTITC	0000_0000h	4007 8044h + 0100h × m	32	○	-
GPT32EHm (m = 0～3) GPT32Em (m = 4～7) GPT32m (m = 8～13)	汎用PWMタイマカウンタ	GTCNT	0000_0000h	4007 8048h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタA	GTCCRA	FFFF_FFFFh	4007 804Ch + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタB	GTCCRB	FFFF_FFFFh	4007 8050h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタC	GTCCRC	FFFF_FFFFh	4007 8054h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタE	GTCCRE	FFFF_FFFFh	4007 8058h + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタD	GTCCRD	FFFF_FFFFh	4007 805Ch + 0100h × m	32	○	○
	汎用PWMタイマコンペアキャプチャレジスタF	GTCCRF	FFFF_FFFFh	4007 8060h + 0100h × m	32	○	○
	汎用PWMタイマ周期設定レジスタ	GTPR	FFFF_FFFFh	4007 8064h + 0100h × m	32	○	○
	汎用PWMタイマ周期設定バッファレジスタ	GTPBR	FFFF_FFFFh	4007 8068h + 0100h × m	32	○	○

表 23.4 GPT レジスタ (2/2)

モジュールシンボル	レジスタ名	レジスタシンボル	リセット値	アドレス（m = 0～13）	アクセスサイズ	GPT32EH/GPT32E	GPT32
GPT32EHm (m = 0～3) GPT32Em (m = 4～7)	汎用PWMタイマ周期設定ダブルバッファレジスタ	GTPDBR	FFFF_FFFFh	4007 806Ch + 0100h × m	32	○	-
	A/D変換開始要求タイミングレジスタA	GTADTRA	FFFF_FFFFh	4007 8070h + 0100h × m	32	○	-
	A/D変換開始要求タイミングバッファレジスタA	GTADTBRA	FFFF_FFFFh	4007 8074h + 0100h × m	32	○	-
	A/D変換開始要求タイミングダブルバッファレジスタA	GTADTDBRA	FFFF_FFFFh	4007 8078h + 0100h × m	32	○	-
	A/D変換開始要求タイミングレジスタB	GTADTRB	FFFF_FFFFh	4007 807Ch + 0100h × m	32	○	-
	A/D変換開始要求タイミングバッファレジスタB	GTADTBRB	FFFF_FFFFh	4007 8080h + 0100h × m	32	○	-
	A/D変換開始要求タイミングダブルバッファレジスタB	GTADTDBRB	FFFF_FFFFh	4007 8084h + 0100h × m	32	○	-
GPT32EHm (m = 0～3) GPT32Em (m = 4～7) GPT32m (m = 8～13)	汎用PWMタイマデッドタイムコントロールレジスタ	GTDTCR	0000_0000h	4007 8088h + 0100h × m	32	○	(○) (注1)
	汎用PWMタイマデッドタイム値レジスタU	GTDVU	FFFF_FFFFh	4007 808Ch + 0100h × m	32	○	○
GPT32EHm (m = 0～3) GPT32Em (m = 4～7)	汎用PWMタイマデッドタイム値レジスタD	GTDVD	FFFF_FFFFh	4007 8090h + 0100h × m	32	○	-
	汎用PWMタイマデッドタイムバッファレジスタU	GTDBU	FFFF_FFFFh	4007 8094h + 0100h × m	32	○	-
	汎用PWMタイマデッドタイムバッファレジスタD	GTDBD	FFFF_FFFFh	4007 8098h + 0100h × m	32	○	-
	汎用PWMタイマ出力保護機能ステータスレジスタ	GTSOS	0000_0000h	4007 809Ch + 0100h × m	32	○	-
	汎用PWMタイマ出力保護機能一時解除レジスタ	GTSOTR	0000_0000h	4007 80A0h + 0100h × m	32	○	-
GPT_OPS	出力相切り替えコントロールレジスタ	OPSCR	0000_0000h	4007 8FF0h	32	○	○

注 1. GPT32EH/GPT32E から一部機能が削減されます。

23.2.1 汎用 PWM タイマ書き込み保護レジスタ（GTWP）

アドレス GPT32EHm.GTWP 4007 8000h + 0100h × m (m = 0～3),
GPT32Em.GTWP 4007 8000h + 0100h × m (m = 4～7),
GPT32m.GTWP 4007 8000h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PRKEY[7:0]								—	—	—	—	—	—	—	WP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WP	レジスタ書き込み禁止	0：レジスタへの書き込みを許可 1：レジスタへの書き込みを禁止	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b8	PRKEY[7:0]	GTWPキーコード	A5hを書き込むと、WPビットへの書き込みが許可されます。 読むと0が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTWP レジスタは、誤書き込み防止のため以下のレジスタへの書き込みを許可／禁止するレジスタです。

- GTSSR
- GTPSR
- GTCSR
- GTUPSR
- GTDNSR
- GTICASR
- GTIBCSR
- GTCR
- GTUDDTYC
- GTIOR
- GTINTAD
- GTST
- GTBER
- GTITC
- GTCNT
- GTCCRA
- GTCCRB
- GTCCRC
- GTCCRD
- GTCCRE
- GTCCRF

- GTPR
- GTPBR
- GTPDBR
- GTADTRA
- GTADTBRA
- GTADTDBRA
- GTADTRB
- GTADTBRB
- GTADTDBRB
- GTDTCR
- GTDVU
- GTDVD
- GTDBU
- GTDBD
- GTSOS
- GTSOTR

23.2.2 汎用 PWM タイマソフトウェアスタートレジスタ（GTSTR）

アドレス GPT32EHm.GTSTR 4007 8004h + 0100h × m (m = 0～3),
GPT32Em.GTSTR 4007 8004h + 0100h × m (m = 4～7),
GPT32m.GTSTR 4007 8004h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CSTRT 13	CSTRT 12	CSTRT 11	CSTRT 10	CSTRT 9	CSTRT 8	CSTRT 7	CSTRT 6	CSTRT 5	CSTRT 4	CSTRT 3	CSTRT 2	CSTRT 1	CSTRT 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTSTR レジスタは、各チャネル x（x = 0 ～ 13）の GTCNT カウンタ動作を開始します。

GTSTR レジスタのビット番号はチャネル番号に相当します。GTSTR レジスタは各チャネル共通です。1 が書き込まれた GTSTR レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を開始します。0 を書き込んでも、GTCNT カウンタの状態および GTSTR レジスタの値には影響しません。GTSTR のビット番号とチャネル番号の対応関係については、図 23.2 を参照してください。

CSTRTx ビット（チャネル x GTCNT カウントスタート）（x = 0 ～ 13）

チャネル x の GTCNT カウンタ動作を開始します。GPTx.GTSSR.CSTRT ビットを 1 にしない限り、GTSTR.CSTRTx ビットへの書き込みは無効です。

リードデータは各チャネルのカウンタ状態（GTCR.CST ビット値）を示します。0 はカウンタ停止を、1 はカウンタ実行を意味します。

23.2.3 汎用 PWM タイマソフトウェアストップレジスタ（GTSTP）

アドレス GPT32EHm.GTSTP 4007 8008h + 0100h × m (m = 0～3),
GPT32Em.GTSTP 4007 8008h + 0100h × m (m = 4～7),
GPT32m.GTSTP 4007 8008h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CSTOP 13	CSTOP 12	CSTOP 11	CSTOP 10	CSTOP 9	CSTOP 8	CSTOP 7	CSTOP 6	CSTOP 5	CSTOP 4	CSTOP 3	CSTOP 2	CSTOP 1	CSTOP 0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTSTP レジスタは、各チャネル x（x = 0 ～ 13）の GTCNT カウンタ動作を停止します。

GTSTP レジスタのビット番号はチャネル番号に相当します。GTSTP レジスタは各チャネル共通です。1 が書き込まれた GTSTP レジスタのビット番号に対応するチャネルの GTCNT カウンタが動作を停止します。0 を書き込んでも、GTCNT カウンタの状態および GTSTP レジスタの値には影響しません。GTSTP のビット番号とチャネル番号の対応関係については、図 23.2 を参照してください。

CSTOPx ビット（チャネル x GTCNT カウントストップ）（x = 0 ～ 13）

チャネル x の GTCNT カウンタ動作を停止します。GPTx.GTPSR.CSTOP ビットを 1 にしない限り、GTSTP.CSTOPx ビットへの書き込みは無効です。リードデータは各チャネルのカウンタ状態（GTCR.CST ビットの反転値）を示します。0 はカウンタ実行を、1 はカウンタ停止を意味します。

23.2.4 汎用 PWM タイマソフトウェアクリアレジスタ（GTCLR）

アドレス GPT32EHm.GTCLR 4007 800Ch + 0100h × m (m = 0～3),
GPT32Em.GTCLR 4007 800Ch + 0100h × m (m = 4～7),
GPT32m.GTCLR 4007 800Ch + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CCLR 13	CCLR 12	CCLR 11	CCLR 10	CCLR 9	CCLR 8	CCLR 7	CCLR 6	CCLR 5	CCLR 4	CCLR 3	CCLR 2	CCLR 1	CCLR 0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCLR レジスタは書き込み専用レジスタであり、各チャネル x（x = 0 ～ 13）の GTCNT カウンタ動作をクリアします。

GTCLR レジスタのビット番号はチャネル番号に相当します。GTCLR レジスタは各チャネル共通です。1 が書き込まれた GTCLR レジスタのビット番号に対応するチャネルの GTCNT カウンタがクリアされます。0 を書き込んでも GTCNT カウンタの状態には影響しません。GTCLR のビット番号とチャネル番号の対応関係については、図 23.2 を参照してください。

CCLRx ビット（チャネル x GTCNT カウントクリア）（x = 0 ～ 13）

1 を書き込むと、チャネル x の GTCNT カウンタ値がクリアされます。読むと 0 が読めます。

23.2.5 汎用 PWM タイマスタート要因選択レジスタ（GTSSR）

アドレス GPT32EHm.GTSSR 4007 8010h + 0100h × m (m = 0～3),
GPT32Em.GTSSR 4007 8010h + 0100h × m (m = 4～7),
GPT32m.GTSSR 4007 8010h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTRT	—	—	—	—	—	—	—	SSELCH	SSELCG	SSELCF	SSELCE	SSELCD	SSELCC	SSELCB	SSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSCBFAH	SSCBFAL	SSCBRAH	SSCBRAL	SSCAFBH	SSCAFBL	SSCARBH	SSCARBL	SSGTRGDF	SSGTRGDR	SSGTRGCF	SSGTRGCR	SSGTRGBF	SSGTRGBR	SSGTRGAF	SSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタスタート許可	0：GTETRGA入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b1	SSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタスタート許可	0：GTETRGA入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b2	SSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタスタート許可	0：GTETRGB入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b3	SSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタスタート許可	0：GTETRGB入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b4	SSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタスタート許可	0：GTETRGC入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b5	SSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタスタート許可	0：GTETRGC入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b6	SSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタスタート許可	0：GTETRGD入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b7	SSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタスタート許可	0：GTETRGD入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b8	SSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b9	SSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタスタート許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタスタートを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	SSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b11	SSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタスタート許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b12	SSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b13	SSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタスタート許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタスタートを許可	R/W
b14	SSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b15	SSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタスタート許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタスタートを許可	R/W
b16	SSELCA	ELC_GPTA要因カウンタスタート許可	0：ELC_GPTA入力でのカウンタスタートを禁止 1：ELC_GPTA入力でのカウンタスタートを許可	R/W
b17	SSELCB	ELC_GPTB要因カウンタスタート許可	0：ELC_GPTB入力でのカウンタスタートを禁止 1：ELC_GPTB入力でのカウンタスタートを許可	R/W
b18	SSELCC	ELC_GPTC要因カウンタスタート許可	0：ELC_GPTC入力でのカウンタスタートを禁止 1：ELC_GPTC入力でのカウンタスタートを許可	R/W
b19	SSELCD	ELC_GPTD要因カウンタスタート許可	0：ELC_GPTD入力でのカウンタスタートを禁止 1：ELC_GPTD入力でのカウンタスタートを許可	R/W
b20	SSELCE	ELC_GPTE要因カウンタスタート許可	0：ELC_GPTE入力でのカウンタスタートを禁止 1：ELC_GPTE入力でのカウンタスタートを許可	R/W
b21	SSELCF	ELC_GPTF要因カウンタスタート許可	0：ELC_GPTF入力でのカウンタスタートを禁止 1：ELC_GPTF入力でのカウンタスタートを許可	R/W
b22	SSELCG	ELC_GPTG要因カウンタスタート許可	0：ELC_GPTG入力でのカウンタスタートを禁止 1：ELC_GPTG入力でのカウンタスタートを許可	R/W
b23	SSELCH	ELC_GPTH要因カウンタスタート許可	0：ELC_GPTH入力でのカウンタスタートを禁止 1：ELC_GPTH入力でのカウンタスタートを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTRT	ソフトウェア要因カウンタスタート許可	0：GTSTRレジスタによるカウンタスタートを禁止 1：GTSTRレジスタによるカウンタスタートを許可	R/W

GTSSR レジスタは GTCNT カウンタの開始要因を設定するレジスタです。

SSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタスタート許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタスタート許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタスタート許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタスタート許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタスタート許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタスタート許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタスタート許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタスタート許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタスタート許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタスタート許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタスタート許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタスタート許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタスタート許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタスタート許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタスタート許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタスタート許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタスタートの許可／禁止を選択します。

SSELCm ビット（ELC_GPTm 要因カウンタスタート許可）（m = A ～ H）

ELC_GPTm 入力での GTCNT カウンタスタートの許可／禁止を選択します。

CSTRT ビット（ソフトウェア要因カウンタスタート許可）

GTSTR レジスタによる GTCNT カウンタスタートの許可／禁止を選択します。

23.2.6 汎用 PWM タイマストップ要因選択レジスタ（GTPSR）

アドレス GPT32EHm.GTPSR 4007 8014h + 0100h × m (m = 0～3),
GPT32Em.GTPSR 4007 8014h + 0100h × m (m = 4～7),
GPT32m.GTPSR 4007 8014h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CSTOP	—	—	—	—	—	—	—	PSELCH	PSELCG	PSELCF	PSELCE	PSELCD	PSELCC	PSELCB	PSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PSCBFAH	PSCBFAL	PSCBRAH	PSCBRAL	PSCAFBH	PSCAFBL	PSCARBH	PSCARBL	PSGTRGDF	PSGTRGDR	PSGTRGCF	PSGTRGCR	PSGTRGBF	PSGTRGBR	PSGTRGAF	PSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタストップ許可	0：GTETRGA入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b1	PSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタストップ許可	0：GTETRGA入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b2	PSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタストップ許可	0：GTETRGB入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b3	PSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタストップ許可	0：GTETRGB入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b4	PSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタストップ許可	0：GTETRGC入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタストップを許可	R/W
b5	PSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタストップ許可	0：GTETRGC入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタストップを許可	R/W
b6	PSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタストップ許可	0：GTETRGD入力の立ち上がりエッジでのカウンタストップを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタストップを許可	R/W
b7	PSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタストップ許可	0：GTETRGD入力の立ち下がりエッジでのカウンタストップを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタストップを許可	R/W
b8	PSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W
b9	PSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタストップ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタストップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	PSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b11	PSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタストップ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタストップを許可	R/W
b12	PSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b13	PSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタストップ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタストップを許可	R/W
b14	PSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b15	PSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタストップ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタストップを許可	R/W
b16	PSELCA	ELC_GPTA要因カウンタストップ許可	0：ELC_GPTA入力でのカウンタストップを禁止 1：ELC_GPTA入力でのカウンタストップを許可	R/W
b17	PSELCB	ELC_GPTB要因カウンタストップ許可	0：ELC_GPTB入力でのカウンタストップを禁止 1：ELC_GPTB入力でのカウンタストップを許可	R/W
b18	PSELCC	ELC_GPTC要因カウンタストップ許可	0：ELC_GPTC入力でのカウンタストップを禁止 1：ELC_GPTC入力でのカウンタストップを許可	R/W
b19	PSELCD	ELC_GPTD要因カウンタストップ許可	0：ELC_GPTD入力でのカウンタストップを禁止 1：ELC_GPTD入力でのカウンタストップを許可	R/W
b20	PSELCE	ELC_GPTE要因カウンタストップ許可	0：ELC_GPTE入力でのカウンタストップを禁止 1：ELC_GPTE入力でのカウンタストップを許可	R/W
b21	PSELCF	ELC_GPTF要因カウンタストップ許可	0：ELC_GPTF入力でのカウンタストップを禁止 1：ELC_GPTF入力でのカウンタストップを許可	R/W
b22	PSELCG	ELC_GPTG要因カウンタストップ許可	0：ELC_GPTG入力でのカウンタストップを禁止 1：ELC_GPTG入力でのカウンタストップを許可	R/W
b23	PSELCH	ELC_GPTH要因カウンタストップ許可	0：ELC_GPTH入力でのカウンタストップを禁止 1：ELC_GPTH入力でのカウンタストップを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CSTOP	ソフトウェア要因カウンタストップ許可	0：GTSTPレジスタによるカウンタストップを禁止 1：GTSTPレジスタによるカウンタストップを許可	R/W

GTPSRレジスタはGTCNTカウンタの停止要因を設定するレジスタです。

PSGTRGARビット（GTETRGA端子立ち上がり入力要因カウンタストップ許可）

GTETRGA端子入力の立ち上がりエッジでのGTCNTカウンタストップの許可／禁止を選択します。

PSGTRGAFビット（GTETRGA端子立ち下がり入力要因カウンタストップ許可）

GTETRGA端子入力の立ち下がりエッジでのGTCNTカウンタストップの許可／禁止を選択します。

PSGTRGBRビット（GTETRGB端子立ち上がり入力要因カウンタストップ許可）

GTETRGB端子入力の立ち上がりエッジでのGTCNTカウンタストップの許可／禁止を選択します。

PSGTRGBFビット（GTETRGB端子立ち下がり入力要因カウンタストップ許可）

GTETRGB端子入力の立ち下がりエッジでのGTCNTカウンタストップの許可／禁止を選択します。

PSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタストップ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタストップ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタストップ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタストップ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタストップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタストップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタストップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタストップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタストップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタストップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタストップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタストップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタストップの許可／禁止を選択します。

PSELCm ビット（ELC_GPTm 要因カウンタストップ許可）（m = A ～ H）

ELC_GPTm 入力での GTCNT カウンタストップの許可／禁止を選択します。

CSTOP ビット（ソフトウェア要因カウンタストップ許可）

GTSTP レジスタによる GTCNT カウンタストップの許可／禁止を選択します。

23.2.7 汎用 PWM タイマクリア要因選択レジスタ（GTCSR）

アドレス GPT32EHm.GTCSR 4007 8018h + 0100h × m (m = 0～3),
GPT32Em.GTCSR 4007 8018h + 0100h × m (m = 4～7),
GPT32m.GTCSR 4007 8018h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CCLR	—	—	—	—	—	—	—	CSELCH	CSELCG	CSELCF	CSELCE	CSELCD	CSELCC	CSELCB	CSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CSCBFAH	CSCBFAL	CSCBRAH	CSCBRAL	CSCAFBH	CSCAFBL	CSCARBH	CSCARBL	CSGTRGDF	CSGTRGDR	CSGTRGCF	CSGTRGCR	CSGTRGBF	CSGTRGBR	CSGTRGAF	CSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタクリア許可	0：GTETRGA入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b1	CSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタクリア許可	0：GTETRGA入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b2	CSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタクリア許可	0：GTETRGB入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b3	CSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタクリア許可	0：GTETRGB入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b4	CSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタクリア許可	0：GTETRGC入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b5	CSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタクリア許可	0：GTETRGC入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b6	CSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタクリア許可	0：GTETRGD入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b7	CSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタクリア許可	0：GTETRGD入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b8	CSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b9	CSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタクリア許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタクリアを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	CSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b11	CSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタクリア許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b12	CSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b13	CSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタクリア許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタクリアを許可	R/W
b14	CSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b15	CSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタクリア許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタクリアを許可	R/W
b16	CSELCA	ELC_GPTA要因カウンタクリア許可	0：ELC_GPTA入力でのカウンタクリアを禁止 1：ELC_GPTA入力でのカウンタクリアを許可	R/W
b17	CSELCB	ELC_GPTB要因カウンタクリア許可	0：ELC_GPTB入力でのカウンタクリアを禁止 1：ELC_GPTB入力でのカウンタクリアを許可	R/W
b18	CSELCC	ELC_GPTC要因カウンタクリア許可	0：ELC_GPTC入力でのカウンタクリアを禁止 1：ELC_GPTC入力でのカウンタクリアを許可	R/W
b19	CSELCD	ELC_GPTD要因カウンタクリア許可	0：ELC_GPTD入力でのカウンタクリアを禁止 1：ELC_GPTD入力でのカウンタクリアを許可	R/W
b20	CSELCE	ELC_GPTE要因カウンタクリア許可	0：ELC_GPTE入力でのカウンタクリアを禁止 1：ELC_GPTE入力でのカウンタクリアを許可	R/W
b21	CSELCF	ELC_GPTF要因カウンタクリア許可	0：ELC_GPTF入力でのカウンタクリアを禁止 1：ELC_GPTF入力でのカウンタクリアを許可	R/W
b22	CSELCG	ELC_GPTG要因カウンタクリア許可	0：ELC_GPTG入力でのカウンタクリアを禁止 1：ELC_GPTG入力でのカウンタクリアを許可	R/W
b23	CSELCH	ELC_GPTH要因カウンタクリア許可	0：ELC_GPTH入力でのカウンタクリアを禁止 1：ELC_GPTH入力でのカウンタクリアを許可	R/W
b30-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31	CCLR	ソフトウェア要因カウンタクリア許可	0：GTCLRレジスタによるカウンタクリアを禁止 1：GTCLRレジスタによるカウンタクリアを許可	R/W

GTCSR レジスタは GTCNT カウンタのクリア要因を設定するレジスタです。

CSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタクリア許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタクリア許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタクリア許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタクリア許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタクリア許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタクリア許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタクリア許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタクリア許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタクリア許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタクリア許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタクリア許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタクリア許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタクリア許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタクリア許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタクリア許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタクリア許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタクリアの許可／禁止を選択します。

CSELCm ビット（ELC_GPTm 要因カウンタクリア許可）（m = A ～ H）

ELC_GPTm 入力での GTCNT カウンタクリアの許可／禁止を選択します。

CCLR ビット（ソフトウェア要因カウンタクリア許可）

GTCLR レジスタによる GTCNT カウンタクリアの許可／禁止を選択します。

23.2.8 汎用 PWM タイマアップカウント要因選択レジスタ（GTUPSR）

アドレス GPT32EHm.GTUPSR 4007 801Ch + 0100h × m (m = 0～3),
GPT32Em.GTUPSR 4007 801Ch + 0100h × m (m = 4～7),
GPT32m.GTUPSR 4007 801Ch + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	USELCH	USELCG	USELCF	USELCE	USELCD	USELCC	USELCB	USELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	USCBFAH	USCBFAL	USCBRAH	USCBRAL	USCAFBH	USCAFBL	USCARBH	USCARBL	USGTRGDF	USGTRGDR	USGTRGCF	USGTRGCR	USGTRGBF	USGTRGBR	USGTRGAF	USGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b1	USGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b2	USGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b3	USGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b4	USGTRGCR	GTETRGC端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b5	USGTRGCF	GTETRGC端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b6	USGTRGDR	GTETRGD端子立ち上がり入力要因カウンタカウントアップ許可	0：GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b7	USGTRGDF	GTETRGD端子立ち下がり入力要因カウンタカウントアップ許可	0：GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b8	USCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b9	USCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	USCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b11	USCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b12	USCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b13	USCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントアップ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントアップを許可	R/W
b14	USCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b15	USCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントアップ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントアップを許可	R/W
b16	USELCA	ELC_GPTAイベント要因カウンタカウントアップ許可	0：ELC_GPTA入力でのカウンタカウントアップを禁止 1：ELC_GPTA入力でのカウンタカウントアップを許可	R/W
b17	USELCB	ELC_GPTBイベント要因カウンタカウントアップ許可	0：ELC_GPTB入力でのカウンタカウントアップを禁止 1：ELC_GPTB入力でのカウンタカウントアップを許可	R/W
b18	USELCC	ELC_GPTCイベント要因カウンタカウントアップ許可	0：ELC_GPTC入力でのカウンタカウントアップを禁止 1：ELC_GPTC入力でのカウンタカウントアップを許可	R/W
b19	USELCD	ELC_GPTDイベント要因カウンタカウントアップ許可	0：ELC_GPTD入力でのカウンタカウントアップを禁止 1：ELC_GPTD入力でのカウンタカウントアップを許可	R/W
b20	USELCE	ELC_GPTEイベント要因カウンタカウントアップ許可	0：ELC_GPTE入力でのカウンタカウントアップを禁止 1：ELC_GPTE入力でのカウンタカウントアップを許可	R/W
b21	USELCF	ELC_GPTFイベント要因カウンタカウントアップ許可	0：ELC_GPTF入力でのカウンタカウントアップを禁止 1：ELC_GPTF入力でのカウンタカウントアップを許可	R/W
b22	USELCG	ELC_GPTGイベント要因カウンタカウントアップ許可	0：ELC_GPTG入力でのカウンタカウントアップを禁止 1：ELC_GPTG入力でのカウンタカウントアップを許可	R/W
b23	USELCH	ELC_GPTHイベント要因カウンタカウントアップ許可	0：ELC_GPTH入力でのカウンタカウントアップを禁止 1：ELC_GPTH入力でのカウンタカウントアップを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTUPSR レジスタは GTCNT カウンタのカウントアップ要因を設定するレジスタです。

GTUPSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタがカウントアップされますが、GTCR.TPCS で設定した GTCNT カウンタはカウントを実行しません。

USGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタカウントアップ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタカウントアップ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントアップ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントアップの許可／禁止を選択します。

USELCm ビット（ELC_GPTm 要因カウンタカウントアップ許可）（m = A ～ H）

ELC_GPTm 入力での GTCNT カウンタカウントアップの許可／禁止を選択します。

23.2.9 汎用 PWM タイマダウンカウント要因選択レジスタ（GTDNSR）

アドレス GPT32EHm.GTDNSR 4007 8020h + 0100h × m (m = 0～3),
GPT32Em.GTDNSR 4007 8020h + 0100h × m (m = 4～7),
GPT32m.GTDNSR 4007 8020h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DSELCH	DSELCG	DSELCF	DSELCE	DSELCD	DSELCC	DSELCB	DSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSCBFAH	DSCBFAL	DSCBRAH	DSCBRAL	DSCAFBH	DSCAFBL	DSCARBH	DSCARBL	DSGTRGDF	DSGTRGDR	DSGTRGCF	DSGTRGCR	DSGTRGBF	DSGTRGBR	DSGTRGAF	DSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DSGTRGAR	GTETRGA端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b1	DSGTRGAF	GTETRGA端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b2	DSGTRGBR	GTETRGB端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b3	DSGTRGBF	GTETRGB端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b4	DSGTRGCR	GTETRGC端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGC入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGC入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b5	DSGTRGCF	GTETRGC端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGC入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGC入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b6	DSGTRGDR	GTETRGD端子立ち上がり入力要因カウンタカウントダウン許可	0：GTETRGD入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTETRGD入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b7	DSGTRGDF	GTETRGD端子立ち下がり入力要因カウンタカウントダウン許可	0：GTETRGD入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTETRGD入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b8	DSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b9	DSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	DSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b11	DSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b12	DSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b13	DSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのカウンタカウントダウンを許可	R/W
b14	DSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b15	DSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因カウンタカウントダウン許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのカウンタカウントダウンを許可	R/W
b16	DSELCA	ELC_GPTA要因カウンタカウントダウン許可	0：ELC_GPTA入力でのカウンタカウントダウンを禁止 1：ELC_GPTA入力でのカウンタカウントダウンを許可	R/W
b17	DSELCB	ELC_GPTB要因カウンタカウントダウン許可	0：ELC_GPTB入力でのカウンタカウントダウンを禁止 1：ELC_GPTB入力でのカウンタカウントダウンを許可	R/W
b18	DSELCC	ELC_GPTC要因カウンタカウントダウン許可	0：ELC_GPTC入力でのカウンタカウントダウンを禁止 1：ELC_GPTC入力でのカウンタカウントダウンを許可	R/W
b19	DSELCD	ELC_GPTD要因カウンタカウントダウン許可	0：ELC_GPTD入力でのカウンタカウントダウンを禁止 1：ELC_GPTD入力でのカウンタカウントダウンを許可	R/W
b20	DSELCE	ELC_GPTE要因カウンタカウントダウン許可	0：ELC_GPTE入力でのカウンタカウントダウンを禁止 1：ELC_GPTE入力でのカウンタカウントダウンを許可	R/W
b21	DSELCF	ELC_GPTF要因カウンタカウントダウン許可	0：ELC_GPTF入力でのカウンタカウントダウンを禁止 1：ELC_GPTF入力でのカウンタカウントダウンを許可	R/W
b22	DSELCG	ELC_GPTG要因カウンタカウントダウン許可	0：ELC_GPTG入力でのカウンタカウントダウンを禁止 1：ELC_GPTG入力でのカウンタカウントダウンを許可	R/W
b23	DSELCH	ELC_GPTH要因カウンタカウントダウン許可	0：ELC_GPTH入力でのカウンタカウントダウンを禁止 1：ELC_GPTH入力でのカウンタカウントダウンを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDNSR レジスタは GTCNT カウンタのカウントダウン要因を設定するレジスタです。

GTDNSR レジスタの少なくとも 1 つのビットを 1 にすると、そのビットに対応する要因によって GTCNT カウンタがカウントダウンされますが、GTCR.TPCS で設定した GTCNT カウンタはカウントを実行しません。

DSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因カウンタカウントダウン許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因カウンタカウントダウン許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因カウンタカウントダウン許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCNT カウンタカウントダウンの許可／禁止を選択します。

DSELCm ビット（ELC_GPTm 要因カウンタカウントダウン許可）（m = A ～ H）

ELC_GPTm 入力での GTCNT カウンタカウントダウンの許可／禁止を選択します。

23.2.10 汎用 PWM タイマインプットキャプチャ要因選択レジスタ A（GTICASR）

アドレス GPT32EHm.GTICASR 4007 8024h + 0100h × m (m = 0～3),
GPT32Em.GTICASR 4007 8024h + 0100h × m (m = 4～7),
GPT32m.GTICASR 4007 8024h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	ASELCH	ASELCG	ASELCF	ASELCE	ASELCD	ASELCC	ASELCB	ASELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ASCBFAH	ASCBFAL	ASCBRAH	ASCBRAL	ASCAFBH	ASCAFBL	ASCARBH	ASCARBL	ASGTRGDF	ASGTRGDR	ASGTRGCF	ASGTRGCR	ASGTRGBF	ASGTRGBR	ASGTRGAF	ASGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ASGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b1	ASGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b2	ASGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b3	ASGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b4	ASGTRGCR	GTETRGC端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGC入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGC入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b5	ASGTRGCF	GTETRGC端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGC入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGC入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b6	ASGTRGDR	GTETRGD端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGD入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGD入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b7	ASGTRGDF	GTETRGD端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTETRGD入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTETRGD入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b8	ASCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b9	ASCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	ASCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b11	ASCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b12	ASCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b13	ASCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b14	ASCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b15	ASCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRAインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRAインプットキャプチャを許可	R/W
b16	ASELCA	ELC_GPTA要因GTCCRAインプットキャプチャ許可	0：ELC_GPTA入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTA入力でのGTCCRAインプットキャプチャを許可	R/W
b17	ASELCB	ELC_GPTB要因GTCCRAインプットキャプチャ許可	0：ELC_GPTB入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTB入力でのGTCCRAインプットキャプチャを許可	R/W
b18	ASELCC	ELC_GPTC要因GTCCRAインプットキャプチャ許可	0：ELC_GPTC入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTC入力でのGTCCRAインプットキャプチャを許可	R/W
b19	ASELCD	ELC_GPTD要因GTCCRAインプットキャプチャ許可	0：ELC_GPTD入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTD入力でのGTCCRAインプットキャプチャを許可	R/W
b20	ASELCE	ELC_GPTE要因GTCCRAインプットキャプチャ許可	0：ELC_GPTE入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTE入力でのGTCCRAインプットキャプチャを許可	R/W
b21	ASELCF	ELC_GPTF要因GTCCRAインプットキャプチャ許可	0：ELC_GPTF入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTF入力でのGTCCRAインプットキャプチャを許可	R/W
b22	ASELCG	ELC_GPTG要因GTCCRAインプットキャプチャ許可	0：ELC_GPTG入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTG入力でのGTCCRAインプットキャプチャを許可	R/W
b23	ASELCH	ELC_GPTH要因GTCCRAインプットキャプチャ許可	0：ELC_GPTH入力でのGTCCRAインプットキャプチャを禁止 1：ELC_GPTH入力でのGTCCRAインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICASR レジスタは GTCCRA のインプットキャプチャ要因を設定するレジスタです。

ASGTRGAR ビット（GTETRGA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGAF ビット（GTETRGA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGBR ビット（GTETRGB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGBF ビット（GTETRGB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGCR ビット（GTETRGC 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGCF ビット（GTETRGC 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGDR ビット（GTETRGD 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASGTRGDF ビット（GTETRGD 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRA インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRA インプットキャプチャの許可／禁止を選択します。

ASELCm ビット（ELC_GPTm 要因カウンタ GTCCRA インプットキャプチャ許可）（m = A ～ H）

ELC_GPTm 入力での GTCCRA インプットキャプチャの許可／禁止を選択します。

23.2.11 汎用 PWM タイマインプットキャプチャ要因選択レジスタ B（GTICBSR）

アドレス GPT32EHm.GTICBSR 4007 8028h + 0100h × m (m = 0～3),
GPT32Em.GTICBSR 4007 8028h + 0100h × m (m = 4～7),
GPT32m.GTICBSR 4007 8028h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	BSELCH	BSELCG	BSELCF	BSELCE	BSELCD	BSELCC	BSELCB	BSELCA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSCBFAH	BSCBFAL	BSCBRAH	BSCBRAL	BSCAFBH	BSCAFBL	BSCARBH	BSCARBL	BSGTRGDF	BSGTRGDR	BSGTRGCF	BSGTRGCR	BSGTRGBF	BSGTRGBR	BSGTRGAF	BSGTRGAR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BSGTRGAR	GTETRGA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b1	BSGTRGAF	GTETRGA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b2	BSGTRGBR	GTETRGB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b3	BSGTRGBF	GTETRGB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b4	BSGTRGCR	GTETRGC端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGC入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGC入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b5	BSGTRGCF	GTETRGC端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGC入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGC入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b6	BSGTRGDR	GTETRGD端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGD入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGD入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b7	BSGTRGDF	GTETRGD端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTETRGD入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTETRGD入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b8	BSCARBL	GTIOCB値LowでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b9	BSCARBH	GTIOCB値HighでのGTIOCA端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b10	BSCAFBL	GTIOCB値LowでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が0のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b11	BSCAFBH	GTIOCB値HighでのGTIOCA端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCB入力が1のとき、GTIOCA入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b12	BSCBRAL	GTIOCA値LowでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b13	BSCBRAH	GTIOCA値HighでのGTIOCB端子立ち上がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち上がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b14	BSCBFAL	GTIOCA値LowでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が0のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b15	BSCBFAH	GTIOCA値HighでのGTIOCB端子立ち下がり入力要因GTCCRBインプットキャプチャ許可	0：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを禁止 1：GTIOCA入力が1のとき、GTIOCB入力の立ち下がりエッジでのGTCCRBインプットキャプチャを許可	R/W
b16	BSELCA	ELC_GPTA要因GTCCRBインプットキャプチャ許可	0：ELC_GPTA入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTA入力でのGTCCRBインプットキャプチャを許可	R/W
b17	BSELCB	ELC_GPTB要因GTCCRBインプットキャプチャ許可	0：ELC_GPTB入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTB入力でのGTCCRBインプットキャプチャを許可	R/W
b18	BSELCC	ELC_GPTC要因GTCCRBインプットキャプチャ許可	0：ELC_GPTC入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTC入力でのGTCCRBインプットキャプチャを許可	R/W
b19	BSELCD	ELC_GPTD要因GTCCRBインプットキャプチャ許可	0：ELC_GPTD入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTD入力でのGTCCRBインプットキャプチャを許可	R/W
b20	BSELCE	ELC_GPTE要因GTCCRBインプットキャプチャ許可	0：ELC_GPTE入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTE入力でのGTCCRBインプットキャプチャを許可	R/W
b21	BSELCF	ELC_GPTF要因GTCCRBインプットキャプチャ許可	0：ELC_GPTF入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTF入力でのGTCCRBインプットキャプチャを許可	R/W
b22	BSELCG	ELC_GPTG要因GTCCRBインプットキャプチャ許可	0：ELC_GPTG入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTG入力でのGTCCRBインプットキャプチャを許可	R/W
b23	BSELCH	ELC_GPTH要因GTCCRBインプットキャプチャ許可	0：ELC_GPTH入力でのGTCCRBインプットキャプチャを禁止 1：ELC_GPTH入力でのGTCCRBインプットキャプチャを許可	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTICBSR レジスタは GTCCRB のインプットキャプチャ要因を設定するレジスタです。

BSGTRGAR ビット（GTETRGA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGAF ビット（GTETRGA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGBR ビット（GTETRGB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGBF ビット（GTETRGB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGCR ビット（GTETRGC 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGC 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGCF ビット（GTETRGC 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGC 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGDR ビット（GTETRGD 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGD 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSGTRGDF ビット（GTETRGD 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTETRGD 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCARBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCARBH ビット（GTIOCB 値 High での GTIOCA 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCAFBL ビット（GTIOCB 値 Low での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 0 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCAFBH ビット（GTIOCB 値 High での GTIOCA 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCB 入力が 1 のとき、GTIOCA 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBRAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBRAH ビット（GTIOCA 値 High での GTIOCB 端子立ち上がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち上がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBFAL ビット（GTIOCA 値 Low での GTIOCB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 0 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSCBFAH ビット（GTIOCA 値 High での GTIOCB 端子立ち下がり入力要因 GTCCRB インプットキャプチャ許可）

GTIOCA 入力が 1 のとき、GTIOCB 端子入力の立ち下がりエッジでの GTCCRB インプットキャプチャの許可／禁止を選択します。

BSELCm ビット（ELC_GPTm 要因カウンタ GTCCRB インプットキャプチャ許可）（m = A ～ H）

ELC_GPTm 入力での GTCCRB インプットキャプチャの許可／禁止を選択します。

23.2.12 汎用 PWM タイマコントロールレジスタ（GTCR）

アドレス GPT32EHm.GTCR 4007 802Ch + 0100h × m (m = 0～3),
GPT32Em.GTCR 4007 802Ch + 0100h × m (m = 4～7),
GPT32m.GTCR 4007 802Ch + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	TPCS[2:0]			—	—	—	—	—	MD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST	カウントスタート	0：カウント動作を停止 1：カウント動作を実行	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	MD[2:0]	モード選択	b18 b16 0 0 0：のこぎり波PWMモード（シングル／ダブルバッファ可） 0 0 1：のこぎり波ワンショットパルスモード（バッファ動作固定） 0 1 0：設定禁止 0 1 1：設定禁止 1 0 0：三角波PWMモード1（谷32ビット転送）（シングル／ダブルバッファ可） 1 0 1：三角波PWMモード2（山／谷32ビット転送）（シングル／ダブルバッファ可） 1 1 0：三角波PWMモード3（谷64ビット転送）（バッファ動作固定） 1 1 1：設定禁止	R/W
b23-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b24	TPCS[2:0]	タイマプリスケーラ選択	b26 b24 0 0 0：PCLKD/1 0 0 1：PCLKD/4 0 1 0：PCLKD/16 0 1 1：PCLKD/64 1 0 0：PCLKD/256 1 0 1：PCLKD/1024	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTCR レジスタは、GTCNT カウンタを制御するレジスタです。

CST ビット（カウントスタート）

GTCNT カウンタのスタート／ストップを制御します。

［1 になる条件］

- GTSSR.CSTRT ビットが 1 の状態で、GTSTR レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき
- ELC イベント入力、またはカウンタスタート要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETRGn ポート入力が発生したとき
- ソフトウェアで直接 1 を書き込んだとき

［0 になる条件］

- GTSSR.CSTOP ビットが 1 の状態で、GTSTP レジスタの値（チャネル番号はビット番号に対応）を 1 にしたとき

- ELC イベント入力、またはカウンタストップ要因により GTSSR レジスタで許可した GTIOCA/GTIOCB/GTETRGn ポート入力が発生したとき
- ソフトウェアで直接 0 を書き込んだとき

MD[2:0] ビット（モード選択）

GPT の動作モードを選択します。MD[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

TPCS[2:0] ビット（タイマプリスケーラ選択）

GTCNT カウンタのクロックを選択します。チャネルごとに個別にクロックプリスケーラの選択が可能です。TPCS[2:0] ビットの設定は、GTCNT カウンタの動作が停止しているときに行ってください。

23.2.13 汎用 PWM タイマカウント方向、デューティ設定レジスタ（GTUDDTYC）

アドレス GPT32EHm.GTUDDTYC 4007 8030h + 0100h × m (m = 0～3),
GPT32Em.GTUDDTYC 4007 8030h + 0100h × m (m = 4～7),
GPT32m.GTUDDTYC 4007 8030h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	OBDTYR	OBDTYF	OBDTY[1:0]		—	—	—	—	OADTYR	OADTYF	OADTY[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UDF	UD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	UD	カウント方向設定	0：GTCNTをカウントダウン 1：GTCNTをカウントアップ	R/W
b1	UDF	カウント方向強制設定	0：強制設定しない 1：強制設定する	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	OADTY[1:0]	GTIOCA出力デューティ設定	b17 b16 0 x：GTIOCA端子のデューティはコンペアマッチに依存 1 0：GTIOCA端子のデューティは0% 1 1：GTIOCA端子のデューティは100%	R/W
b18	OADTYF	GTIOCA出力デューティ強制設定	0：強制設定しない 1：強制設定する	R/W
b19	OADTYR	0%/100%デューティ設定解除後のGTIOCA出力値選択	0：0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOA[3:2]機能に適用 1：0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOA[3:2]機能に適用	R/W
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	OBDTY[1:0]	GTIOCB出力デューティ設定	b25 b24 0 x：GTIOCB端子のデューティはコンペアマッチに依存 1 0：GTIOCB端子のデューティ = 0% 1 1：GTIOCB端子のデューティ = 100%	R/W
b26	OBDTYF	GTIOCB出力デューティ強制設定	0：強制設定しない 1：強制設定する	R/W
b27	OBDTYR	0%/100%デューティ設定解除後のGTIOCB出力値選択	0：0%/100%デューティ設定解除後に、0%/100%デューティに設定された出力値をGTIOB[3:2]機能に適用 1：0%/100%デューティ設定解除後に、マスクされたコンペアマッチ出力値をGTIOB[3:2]機能に適用	R/W
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x：Don't care

GTUDDTYC レジスタは、GTCNT カウンタのカウント方向（アップ／ダウン）および GTIOCA/GTIOCB 端子出力のデューティを設定するレジスタです。

【カウント方向】

- のこぎり波モードの場合

アップカウント中に UD ビットを 0 にした場合、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。ダウンカウント中に UD ビットを 1 にした場合、アンダーフロー時に（GTCNT カウンタ値が 0 になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウントストップ中に UDF ビットが 0 の状態で UD 値を 1 から 0 に変更した場合、カウント動作はアップカウントとなり、オーバーフロー時に（GTCNT カウンタ値が GTPR 値になった後、カウントクロックに

同期したタイミングで）カウント方向が切り替わります。カウントストップ中にUDFビットが0の状態でUD値を0から1に変更した場合、カウント動作はダウンカウントとなり、アンダーフロー時に（GTCNTカウンタ値が0になった後、カウントクロックに同期したタイミングで）カウント方向が切り替わります。

カウントストップ中にUDFビットを1にすると、UDビットの値がカウントスタート時のカウント方向に反映されます。

- 三角波モードの場合

カウント中にUD値を変更しても、カウント方向は切り替わりません。カウントストップ中にUDFビットが0の状態でUDビットの値を変更しても、カウントスタート時のカウント方向には反映されません。

カウントストップ中にUDFビットを1にすると、UDビットの値がカウントスタート時のカウント方向に反映されます。

UDビット（カウント方向設定）

GTCNTカウンタのカウント方向（アップ／ダウン）を設定します。

UDFビット（カウント方向強制設定）

GTCNTカウンタ動作スタート時のカウント方向を強制的にUDビットの値に設定します。カウンタ動作中の書き込みは、0としてください。カウントストップ中に1を書いた場合、カウントスタートまでに0に戻してください。

【出力デューティ】

- のこぎり波モードの場合

アップカウント動作中にOADTY/OBDTY値を変更すると、オーバーフロー時にデューティが反映されます（GTCNT＝GTPR）。ダウンカウント動作中にOADTY/OBDTY値を変更すると、アンダーフロー時にデューティが反映されます（GTCNT＝0）。

カウントストップ中に、OADTYF/OBDTYFビットが0の状態でOADTY/OBDTY値を1に変更すると、カウンタ動作開始時に出力デューティは反映されません。カウント方向がアップカウントの場合、オーバーフロー時（GTCNT＝GTPR）に出力デューティが反映されます。カウント方向がダウンカウントの場合、アンダーフロー時（GTCNT＝0）に出力デューティが反映されます。カウントストップ中に、OADTYF/OBDTYFビットが1の状態でOADTY/OBDTY値を0に変更すると、カウンタ動作開始時に出力デューティが反映されます。

- 三角波モードの場合

カウント動作中にOADTY/OBDTY値を変更すると、アンダーフロー時にデューティが反映されます。カウントストップ中に、OADTYF/OBDTYFビットが0の状態でOADTY/OBDTY値を1に変更すると、カウンタ動作開始時に出力デューティは反映されませんが、アンダーフロー時には出力デューティが反映されます。

カウントストップ中に、OADTYF/OBDTYFビットが1の状態でOADTY/OBDTY値を0に変更すると、カウンタ動作開始時に出力デューティが反映されます。

OmDTY[1:0]ビット（GTIOCm出力デューティ設定）（m = A, B）

GTIOCm端子の出力デューティ（0%、100%、またはコンペアマッチ制御）を設定します。

OmDTYFビット（GTIOCm出力デューティ強制設定）（m = A, B）

出力デューティサイクルをOmDTYの設定値に強制的に設定します。カウンタ動作時には、本ビットを0として使用してください。カウント停止中に本ビットを1にした場合、カウンタスタート後、最初の周期が終わるまでに本ビットを0に戻してください。

OmDTYRビット（0%/100%デューティ設定解除後のGTIOCm出力値選択）（m = A, B）

制御が0%/100%デューティ設定からGTIOCm端子のコンペアマッチに変更され、かつGTIOR.GTIOm[3:2]ビットが00b（周期の終わりで出力保持）または11b（周期の終わりでトグル出力）に設定された場合、周期の終わりで出力保持／トグル出力の対象となる値を選択します。

0%/100%デューティ動作実行中、GPTは内部でコンペアマッチ動作を継続します。OmDTYRビットを1にすると、周期の終わりでのコンペアマッチの値がGTIOR.GTIOm[3:2]に適用されます。

23.2.14 汎用 PWM タイマ I/O コントロールレジスタ（GTIOR）

アドレス GPT32EHm.GTIOR 4007 8034h + 0100h × m (m = 0～3),
GPT32Em.GTIOR 4007 8034h + 0100h × m (m = 4～7),
GPT32m.GTIOR 4007 8034h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCSB[1:0]		NFBEN	—	—	OBDF[1:0]		OBE	OBHLD	OBDFLT	—	GTIOB[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	NFCSA[1:0]		NFAEN	—	—	OADF[1:0]		OAE	OAHLD	OADFLT	—	GTIOA[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	GTIOA[4:0]	GTIOCA端子機能選択	表 23.5を参照してください。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	OADFLT	カウントストップ時のGTIOCA端子出力値設定	0：カウントストップ時にGTIOCA端子はLowを出力 1：カウントストップ時にGTIOCA端子はHighを出力	R/W
b7	OAHLD	カウントスタート／ストップ時のGTIOCA端子出力設定	0：カウントスタート／ストップ時のGTIOCA端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート／ストップ時のGTIOCA端子の出力レベルを保持する	R/W
b8	OAE	GTIOCA端子出力許可	0：出力禁止 1：出力許可	R/W
b10-b9	OADF[1:0]	GTIOCA端子禁止値設定	b10 b9 0 0：出力禁止を禁止 0 1：出力禁止時にGTIOCA端子をHi-Zにする 1 0：出力禁止時にGTIOCA端子を0にする 1 1：出力禁止時にGTIOCA端子を1にする	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	NFAEN	ノイズフィルタAを許可	0：GTIOCA端子のノイズフィルタを停止 1：GTIOCA端子のノイズフィルタを許可	R/W
b15-b14	NFCSA[1:0]	ノイズフィルタAサンプリングクロック選択	b15 b14 0 0：PCLKD/1 0 1：PCLKD/4 1 0：PCLKD/16 1 1：PCLKD/64	R/W
b20-b16	GTIOB[4:0]	GTIOCB端子機能選択	表 23.5を参照してください。	R/W
b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b22	OBDFLT	カウントストップ時のGTIOCB端子出力値設定	0：カウントストップ時にGTIOCB端子はLowを出力 1：カウントストップ時にGTIOCB端子はHighを出力	R/W
b23	OBHLD	カウントスタート／ストップ時のGTIOCB端子出力設定	0：カウントスタート／ストップ時のGTIOCB端子の出力レベルは、レジスタ設定値に従う 1：カウントスタート／ストップ時のGTIOCB端子の出力レベルを保持する	R/W
b24	OBE	GTIOCB端子出力許可	0：出力禁止 1：出力許可	R/W
b26-b25	OBDF[1:0]	GTIOCB端子無効値設定	b26 b25 0 0：出力無効を禁止 0 1：出力無効時にGTIOCB端子をHi-Zにする 1 0：出力無効時にGTIOCB端子を0にする 1 1：出力無効時にGTIOCB端子を1にする	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFBEN	ノイズフィルタBを許可	0：GTIOCB端子のノイズフィルタを停止 1：GTIOCB端子のノイズフィルタを許可	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b30	NFCSB[1:0]	ノイズフィルタBサンプリングクロック選択	b31 b30 0 0 : PCLKD/1 0 1 : PCLKD/4 1 0 : PCLKD/16 1 1 : PCLKD/64	R/W

GTIOR レジスタは、GTIOCA 端子および GTIOCB 端子の機能を設定するレジスタです。

GTIOA[4:0] ビット（GTIOCA 端子機能選択）

GTIOCA 端子の機能を選択します。詳細は、表 23.5 を参照してください。

OADFLT ビット（カウントストップ時の GTIOCA 端子出力値設定）

カウントストップ時に、GTIOCA 端子が Low または High のいずれを出力するかを設定します。

OAHLD ビット（カウントスタート／ストップ時の GTIOCA 端子出力設定）

GTIOCA 端子の出力レベルを保持するか、カウントスタート／ストップ時にレジスタ設定値に従うかを設定します。

［OAHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOA[4:0] ビットのビット [4] で指定した値を出力
- カウントストップ時に、OADFLT ビットで指定した値を出力
- カウントストップ中に OADFLT ビットを書き換えた場合、ただちに出力に反映される

［OAHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OAE ビット（GTIOCA 端子出力許可）

GTIOCA 端子出力の許可／禁止を選択します。

GTCCRA レジスタをインプットキャプチャレジスタとして使用する場合（GTICASR レジスタの少なくとも 1 つのビットを 1 にした場合）、GTIOCA 端子出力は完全に OAE ビット値に依存します。

OADF[1:0] ビット（GTIOCA 端子禁止値設定）

出力禁止要求発生時に GTIOCA 端子の出力値を選択します。

NFAEN ビット（ノイズフィルタ A を許可）

GTIOCA 端子からの入力に対してノイズフィルタの許可／停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを切り替えてください。

NFCSA[1:0] ビット（ノイズフィルタ A サンプリングクロック選択）

GTIOCA 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能に設定してください。

GTIOB[4:0] ビット（GTIOCB 端子機能選択）

GTIOCB 端子の機能を選択します。詳細は、表 23.5 を参照してください。

OBDFLT ビット（カウントストップ時の GTIOCB 端子出力値設定）

カウントストップ時に、GTIOCB 端子が High または Low のいずれを出力するかを設定します。

OBHLD ビット（カウントスタート／ストップ時の GTIOCB 端子出力設定）

GTIOCB 端子の出力レベルを保持するか、カウントスタート／ストップ時のレベルはレジスタ設定値に従うかを設定します。

［OBHLD ビットを 0 にした場合］

- カウントスタート時に、GTIOB[4:0] ビットのビット [4] で指定した値を出力
- カウントストップ時に、OBDFLT ビットで指定した値を出力
- カウントストップ中に OBDFLT ビットを書き換えた場合、ただちに出力に反映される

［OBHLD ビットを 1 にした場合］

- カウントスタート／ストップ時に出力が保持される

OBE ビット（GTIOCB 端子出力許可）

GTIOCB 端子出力の許可／禁止を選択します。

GTCCRB レジスタをインプットキャプチャレジスタとして使用している場合（GTICBSR レジスタの少なくとも 1 ビットが 1）、GTIOCB 端子の出力は完全に OBE ビット値に依存します。

OBDF[1:0] ビット（GTIOCB 端子無効値設定）

出力禁止要求発生時に GTIOCB 端子の出力値を選択します。

NFBEN ビット（ノイズフィルタ B を許可）

GTIOCB 端子の入力のノイズフィルタ機能の許可／停止を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、GTIOR レジスタの該当端子機能をアウトプットコンペア機能に設定した状態で、本ビットを切り替えてください。

NFCSB[1:0] ビット（ノイズフィルタ B サンプリングクロック選択）

GTIOCB 端子のノイズフィルタのサンプリング周期を設定します。これらのビットを設定する場合、選択したサンプリング周期の 2 周期分待った後、インプットキャプチャ機能を設定してください。

表 23.5 GTIOA[4:0]ビットとGTIOB[4:0]ビットの設定値

GTIOA/GTIOB[4:0]ビット					機能		
b4	b3	b2	b1	b0	b4	b3-b2	b1-b0
0	0	0	0	0	初期出力Lowの設定	周期の終わりで出力保持	GTCCRA/GTCCRBコンペアマッチで出力保持
0	0	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	0	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	0	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
0	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBコンペアマッチで出力保持
0	0	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	0	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	0	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
0	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRBコンペアマッチで出力保持
0	1	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	1	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	1	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
0	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBコンペアマッチで出力保持
0	1	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
0	1	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
0	1	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	0	0	0	0	初期出力Highの設定	周期の終わりで出力保持	GTCCRA/GTCCRBコンペアマッチで出力保持
1	0	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	0	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	0	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	0	1	0	0		周期の終わりでLow出力	GTCCRA/GTCCRBコンペアマッチで出力保持
1	0	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	0	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	0	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	1	0	0	0		周期の終わりでHigh出力	GTCCRA/GTCCRBコンペアマッチで出力保持
1	1	0	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	1	0	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	1	0	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力
1	1	1	0	0		周期の終わりでトグル出力	GTCCRA/GTCCRBコンペアマッチで出力保持
1	1	1	0	1			GTCCRA/GTCCRBコンペアマッチでLow出力
1	1	1	1	0			GTCCRA/GTCCRBコンペアマッチでHigh出力
1	1	1	1	1			GTCCRA/GTCCRBコンペアマッチでトグル出力

注 . 周期の終わりとは、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）、またはアンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）を意味します。この場合、三角波の谷（GTCNT カウンタが 0 から 1 に変化）およびのこぎり波に対して GTCNT カウンタがクリアされます。

注 . コンペアマッチ動作時、周期の終わりと GTCCRA/GTCCRB コンペアマッチのタイミングが一致する場合、のこぎり波 PWM モードでは b3-b2 の設定が優先され、それ以外のモードでは b1-b0 の設定が優先されます。

注 . GTUPSR レジスタまたは GTDNSR レジスタの少なくとも 1 つのビットが 1 の場合のイベントカウント動作では、b3-b2 の設定値は無視されます。

23.2.15 汎用 PWM タイマ割り込み出力設定レジスタ（GTINTAD）

アドレス GPT32EHm.GTINTAD 4007 8038h + 0100h × m (m = 0～3),
GPT32Em.GTINTAD 4007 8038h + 0100h × m (m = 4～7),
GPT32m.GTINTAD 4007 8038h + 0100h × m (m = 8～13)

- GPT32EH, GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	GRPDTE	—	—	GRP[1:0]		—	—	—	—	ADTRBDEN	ADTRBUEN	ADTRADEN	ADTRAUEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	GRPABL	GRPABH	—	—	—	GRP[1:0]		—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	ADTRAUEN	GTADTRAコンペアマッチ（アップカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b17	ADTRADEN	GTADTRAコンペアマッチ（ダウンカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b18	ADTRBUEN	GTADTRBコンペアマッチ（アップカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b19	ADTRBDEN	GTADTRBコンペアマッチ（ダウンカウント）A/D変換開始要求許可	0：A/D変換開始要求を禁止 1：A/D変換開始要求を許可	R/W
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0：グループA出力禁止要求を選択 0 1：グループB出力禁止要求を選択 1 0：グループC出力禁止要求を選択 1 1：グループD出力禁止要求を選択	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	GRPDTE	デッドタイムエラー出力禁止要求許可	0：デッドタイムエラー出力禁止要求を禁止 1：デッドタイムエラー出力禁止要求を許可	R/W
b29	GRPABH	同時出力レベルHigh禁止要求許可	0：同時出力レベルHigh禁止要求を禁止 1：同時出力レベルHigh禁止要求を許可	R/W
b30	GRPABL	同時出力レベルLow禁止要求許可	0：同時出力レベルLow禁止要求を禁止 1：同時出力レベルLow禁止要求を許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTINTAD レジスタは、割り込み要求、A/D 変換開始要求、および出力禁止要求の許可／禁止を設定するレジスタです。

ADTRAUEN ビット（GTADTRA コンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタのアップカウント中に、GTADTRA コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

ADTRADEN ビット（GTADTRA コンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタのダウンカウント中に、GTADTRA コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

ADTRBUEN ビット（GTADTRB コンペアマッチ（アップカウント）A/D 変換開始要求許可）

GTCNT カウンタのアップカウント中に、GTADTRB コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

ADTRBDEN ビット（GTADTRB コンペアマッチ（ダウンカウント）A/D 変換開始要求許可）

GTCNT カウンタのダウンカウント中に、GTADTRB コンペアマッチによって生成される A/D 変換開始要求を許可／禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

GRP[1:0] ビット（出力禁止要因選択）

GTIOCA 端子および GTIOCB 端子の出力禁止要因を選択します。POEG への出力禁止要求は、出力禁止要求許可ビットに基づいてデッドタイムエラー、同時出力レベル High、または同時出力レベル Low が発生するときに、GRP[1:0] ビットで選択されるグループへ出力されます。

GTST.ODF が、GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。

GRP[1:0] ビットの設定は、GTIOR.OAE ビットと GTIOR.OBE ビットの両方が 0 のときに行ってください。

GRPDTE ビット（デッドタイムエラー出力禁止要求許可）

デッドタイムエラー出力禁止要求を許可／禁止します。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

GRPABH ビット（同時出力レベル High 禁止要求許可）

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力する場合の出力禁止要求を許可／禁止します。

GRPABL ビット（同時出力レベル Low 禁止要求許可）

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力する場合の出力禁止要求を許可／禁止します。

23.2.16 汎用 PWM タイマステータスレジスタ（GTST）

アドレス GPT32EHm.GTST 4007 802Ch + 0100h × m (m = 0～3),
GPT32Em.GTST 4007 802Ch + 0100h × m (m = 4～7),
GPT32m.GTST 4007 802Ch + 0100h × m (m = 8～13)

- GPT32EH, GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	DTEF	—	—	—	ODF	—	—	—	—	ADTRBDF	ADTRBUF	ADTRADF	ADTRAUF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	ITCNT[2:0]			TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	OABLF	OABHF	—	—	—	—	ODF	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TUCF	—	—	—	—	—	—	—	TCFPU	TCFPO	TCFF	TCFE	TCFD	TCFC	TCFB	TCFA
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCFA	インプットキャプチャ／コンペアマッチフラグA	0：GTCCRAのインプットキャプチャ／コンペアマッチの発生なし 1：GTCCRAのインプットキャプチャ／コンペアマッチの発生あり	R/(W)（注1）
b1	TCFB	インプットキャプチャ／コンペアマッチフラグB	0：GTCCRBのインプットキャプチャ／コンペアマッチの発生なし 1：GTCCRBのインプットキャプチャ／コンペアマッチの発生あり	R/(W)（注1）
b2	TCFC	インプットコンペアマッチフラグC	0：GTCCRCのコンペアマッチの発生なし 1：GTCCRCのコンペアマッチの発生あり	R/(W)（注1）
b3	TCFD	インプットコンペアマッチフラグD	0：GTCCRDのコンペアマッチの発生なし 1：GTCCRDのコンペアマッチの発生あり	R/(W)（注1）
b4	TCFE	インプットコンペアマッチフラグE	0：GTCCREのコンペアマッチの発生なし 1：GTCCREのコンペアマッチの発生あり	R/(W)（注1）
b5	TCFF	インプットコンペアマッチフラグF	0：GTCCRFのコンペアマッチの発生なし 1：GTCCRFのコンペアマッチの発生あり	R/(W)（注1）
b6	TCFPO	オーバーフローフラグ	0：オーバーフロー（山）の発生なし 1：オーバーフロー（山）の発生あり	R/(W)（注1）
b7	TCFPU	アンダーフローフラグ	0：アンダーフロー（谷）の発生なし 1：アンダーフロー（谷）の発生あり	R/(W)（注1）
b10-b8	ITCNT[2:0]	GPTn_OVF/GPTn_UDF割り込み間引き回数カウンタ	タイマ割り込みが間引かれる回数をカウントするカウンタ	R
b14-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	TUCF	カウント方向フラグ	0：GTCNTカウンタはダウンカウント 1：GTCNTカウンタはアップカウント	R
b16	ADTRAUF	GTADTRAコンペアマッチ（アップカウント）A/Dコンバータ開始リクエストフラグ	0：アップカウント時のGTADTRAのコンペアマッチの発生なし 1：アップカウント時のGTADTRAのコンペアマッチの発生あり	R/(W)（注1）

ビット	シンボル	ビット名	機能	R/W
b17	ADTRADF	GTADTRAコンペアマッチ（ダウンカウント）A/Dコンバータ開始リクエストフラグ	0：ダウンカウント時のGTADTRAのコンペアマッチの発生なし 1：ダウンカウント時のGTADTRAのコンペアマッチの発生あり	R/(W)（注1）
b18	ADTRBUF	GTADTRBコンペアマッチ（アップカウント）A/Dコンバータ開始リクエストフラグ	0：アップカウント時のGTADTRBのコンペアマッチの発生なし 1：アップカウント時のGTADTRBのコンペアマッチの発生あり	R/(W)（注1）
b19	ADTRBDF	GTADTRBコンペアマッチ（ダウンカウント）A/Dコンバータ開始リクエストフラグ	0：ダウンカウント時のGTADTRBのコンペアマッチの発生なし 1：ダウンカウント時のGTADTRBのコンペアマッチの発生あり	R/(W)（注1）
b23-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	ODF	出力禁止フラグ	0：出力禁止要求の発生なし 1：出力禁止要求の発生あり	R
b27-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	DTEF	デッドタイムエラーフラグ	0：デッドタイムエラーの発生なし 1：デッドタイムエラーの発生あり	R
b29	OABHF	同時出力レベルHighフラグ	0：GTIOCA端子とGTIOCB端子は同時に1を出力しなかった 1：GTIOCA端子とGTIOCB端子は同時に1を出力した	R
b30	OABLF	同時出力レベルLowフラグ	0：GTIOCA端子とGTIOCB端子は同時に0を出力しなかった 1：GTIOCA端子とGTIOCB端子は同時に0を出力した	R
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このビットには 0 のみ書けます。1 を書き込まないでください。

GTST レジスタは、GPT の状態を示します。

TCFA フラグ（インプットキャプチャ／コンペアマッチフラグ A）

GTCCRA のインプットキャプチャまたはコンペアマッチのステータスを示します。

［1 になる条件］

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ＝GTCCRA レジスタになったとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

［0 になる条件］

- このフラグに 0 を書いたとき

TCFB フラグ（インプットキャプチャ／コンペアマッチフラグ B）

GTCCRB のインプットキャプチャまたはコンペアマッチのステータスを示します。

［1 になる条件］

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ＝GTCCRB レジスタになったとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

［0 になる条件］

- このフラグに 0 を書いたとき

TCFC フラグ（インプットコンペアマッチフラグ C）

GTCCRC のコンペアマッチのステータスを示します。

［1 になる条件］

- GTCNT カウンタ＝GTCCRC レジスタになったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

TCFD フラグ（インプットコンペアマッチフラグ D）

GTCCRD のコンペアマッチのステータスを示します。

［1 になる条件］

- GTCNT カウンタ = GTCCRD レジスタになったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 10b、11b（GTCCRD レジスタがバッファ動作）

TCFE フラグ（インプットコンペアマッチフラグ E）

GTCCRE のコンペアマッチのステータスを示します。

［1 になる条件］

- GTCNT カウンタ = GTCCRE レジスタになったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

TCFF フラグ（インプットコンペアマッチフラグ F）

GTCCRF のコンペアマッチのステータスを示します。

［1 になる条件］

- GTCNT カウンタ = GTCCRF レジスタになったとき

［0 になる条件］

- このフラグに 0 を書いたとき

［比較を行わない条件］

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 10b、11b（GTCCRF レジスタがバッファ動作）

TCFPO フラグ（オーバーフローフラグ）

オーバーフローまたは山が発生したことを示します。

［1 になる条件］

- のこぎり波モードでオーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき
- 三角波モードで山（GTCNT カウンタが GTPR 値から GTPR 値 -1 に変化）が発生したとき
- ハードウェア要因によるカウントで、オーバーフロー（アップカウント時に GTCNT カウンタが GTPR 値から 0 に変化）が発生したとき

［0 になる条件］

- このフラグに 0 を書いたとき

TCFPU フラグ（アンダーフローフラグ）

アンダーフローまたは谷が発生したことを示します。

［1 になる条件］

- のこぎり波モードでアンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき
- 三角波モードで山（GTCNT カウンタが 0 から 1 に変化）が発生したとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタが 0 から GTPR 値に変化）が発生したとき

［0 になる条件］

- このフラグに 0 を書いたとき

ITCNT[2:0] ビット（GPTn_OVF/GPTn_UDF 割り込み間引き回数カウンタ）

GPTn_OVF/GPTn_UDF（n = 0 ～ 7）割り込み間引き機能を使用（GTITC.IVTC[1:0] ビットを 00b 以外に設定）した場合、GTITC.IVTC[1:0] ビットで指定した GPTn_OVF/GPTn_UDF 割り込み要因が発生するたびに、ITCNT[2:0] ビットが 1 カウントアップします。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

［0 になる条件］

- GPTn_OVF/GPTn_UDF 割り込み間引き機能を使用しないとき（GTITC.IVTC[1:0] ビット = 00b で、GTITC.IVTT[2:0] ビット = 000b のとき）
- GPTn_OVF/GPTn_UDF 割り込み間引き回数が指定した回数と一致したとき（ITCNT[2:0] ビット値が GTITC.IVTT[2:0] ビットで指定した間引き回数と一致したとき）

TUCF フラグ（カウント方向フラグ）

GTCNT カウンタのカウント方向を示します。イベントカウント動作において、このフラグはアップカウント時に 1、ダウンカウント時に 0 になります。

ADTRAUF フラグ（GTADTRA コンペアマッチ（アップカウント）A/D コンバータ開始リクエストフラグ）

GTADTRA コンペアマッチのアップカウント時のステータスフラグです。

［1 になる条件］

- アップカウント時に GTCNT = GTADTRA のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ADTRADF フラグ（GTADTRA コンペアマッチ （ダウンカウント）A/D コンバータ開始リクエストフラグ）

GTADTRA コンペアマッチのダウンカウント時のステータスフラグです。

［1 になる条件］

- ダウンカウント時に GTCNT = GTADTRA のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ADTRBUF フラグ（GTADTRB コンペアマッチ（アップカウント）A/D コンバータ開始リクエストフラグ）

GTADTRB コンペアマッチのアップカウント時のステータスフラグです。

［1 になる条件］

- アップカウント時に GTCNT = GTADTRB のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ADTRBDF フラグ（GTADTRB コンペアマッチ （ダウンカウント）A/D コンバータ開始リクエストフラグ）

GTADTRB コンペアマッチのダウンカウント時のステータスフラグです。

［1 になる条件］

- ダウンカウント時に GTCNT = GTADTRB のとき

［0 になる条件］

- このフラグに 0 を書いたとき

ODF フラグ（出力禁止フラグ）

GRP[1:0] ビットで選択した出力禁止要因グループの要求を示します。出力禁止時、出力禁止要求がネゲートされる周期の間、出力禁止制御は解除されません。次の周期に解除されます。

DTEF フラグ（デッドタイムエラーフラグ）

デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたことを示します。

デッドタイム自動付加後のタイマ出力トグルポイントがタイマ周期に戻ると、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。

［1 になる条件］

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期を超えたとき
  アップカウント時の三角波の場合：GTCCRA レジスタ – GTDVU レジスタ ≦ 0
  ダウンカウント時の三角波の場合：GTCCRA レジスタ – GTDVD レジスタ＜ 0
  アップカウント時ののこぎり波ワンショットパルスモードの場合：
  GTCCRA レジスタ – GTDVU レジスタ＜ 0、または GTCCRA レジスタ + GTDVD レジスタ＞ GTPR レジスタ
  ダウンカウント時ののこぎり波ワンショットパルスモードの場合：
  GTCCRA レジスタ + GTDVU レジスタ＞ GTPR レジスタ、または GTCCRA レジスタ – GTDVD レジスタ＜ 0

［0 になる条件］

- デッドタイム自動付加後のタイマ出力トグルポイントが、タイマ周期内にあるとき
  GPT32EH と GPT32E にのみ、本フラグがあります。GPT32 には、本フラグはありません。
  GPT32 には、デッドタイム自動設定機能がありますが、デッドタイムエラーは生成しません。

OABHF フラグ（同時出力レベル High フラグ）

GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 0 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。OABHF フラグによる割り込みが許可（GTINTAD.GRPABH ビット = 1）されている場合、OABHF フラグが出力禁止要求として POEG に出力されます。

［1 になる条件］

- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき

［0 になる条件］

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき
- OAE ビットと OBE ビットのどちらかが 0 のとき

OABLF フラグ（同時出力レベル Low フラグ）

GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したことを示します。

GTIOCA 端子または GTIOCB 端子が 1 を出力した場合、このフラグは 0 に戻ります。このフラグは読み出し専用です。このフラグをクリアするために 0 を書き込むことはしないでください。OABLF フラグによる割り込みが許可（GTINTAD.GRPABL ビット = 1）されている場合、OABLF フラグが出力禁止要求として POEG に出力されます。

［1 になる条件］

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子が同時に 0 を出力したとき

［0 になる条件］

- OAE ビットと OBE ビットがどちらも 1 で、GTIOCA 端子と GTIOCB 端子の出力値が異なるとき
- OAE ビットと OBE ビットが両方とも 1 になっている場合に、GTIOCA 端子と GTIOCB 端子が同時に 1 を出力したとき
- OAE ビットと OBE ビットの少なくとも一方が 0 になったとき

OABHF/OABLF フラグを生成する比較対象信号は、出力禁止機能でマスクされる前のコンペアマッチ出力（PWM 出力）信号です。出力禁止状態が実行される場合、コンペアマッチも GPT 内部で継続して実行され、OABHF/OABLF フラグは比較値の結果に応じて更新されます。

23.2.17 汎用 PWM タイマバッファイネーブルレジスタ（GTBER）

アドレス GPT32EHm.GTBER 4007 8040h + 0100h × m (m = 0～3),
GPT32Em.GTBER 4007 8040h + 0100h × m (m = 4～7),
GPT32m.GTBER 4007 8040h + 0100h × m (m = 8～13)

- GPT32EH,GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	ADTDB	ADTTB[1:0]		—	ADTDA	ADTTA[1:0]		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	BD[3]	BD[2]	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—		—	—	—		—	CCRSWT	PR[1:0]		CCRB[1:0]		CCRA[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BD[1]	BD[0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BD[0]	GTCCRバッファ動作禁止	0：バッファ動作を許可 1：バッファ動作を禁止	R/W
b1	BD[1]	GTPRバッファ動作禁止		R/W
b2	BD[2]	GTADTRバッファ動作禁止		R/W
b3	BD[3]	GTDVバッファ動作禁止		R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	CCRA[1:0]	GTCCRAバッファ動作	b17 b16 0 0：バッファ動作しない 0 1：シングルバッファ動作（GTCCRA レジスタ⇔GTCCRC レジスタ） 1 x：ダブルバッファ動作（GTCCRA レジスタ⇔GTCCRC レジスタ⇔GTCCRD レジスタ）	R/W
b19-b18	CCRB[1:0]	GTCCRBバッファ動作	b19 b18 0 0：バッファ動作しない 0 1：シングルバッファ動作（GTCCRB レジスタ⇔GTCCRE レジスタ） 1 x：ダブルバッファ動作（GTCCRB レジスタ⇔GTCCRE レジスタ⇔GTCCRF レジスタ）	R/W
b21-b20	PR[1:0]	GTPRバッファ動作	b21 b20 0 0：バッファ動作しない 0 1：シングルバッファ動作（GTPBR レジスタ⇒GTPR レジスタ） 1 x：ダブルバッファ動作（GTPDBR レジスタ⇒GTPBR レジスタ⇒GTPR レジスタ）	R/W
b22	CCRSWT	GTCCRAおよびGTCCRB強制バッファ動作	1を書くとGTCCRAおよびGTCCRB レジスタのバッファ転送を強制的に行います。このビットは1を書いた後、自動的に0に戻ります。読むと0が読めます。	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b25-b24	ADTTA[1:0]	GTADTRAバッファ転送タイミング選択	• 三角波の場合 b25 b24 0 0：転送しない 0 1：山で転送 1 0：谷で転送 1 1：山と谷の両方で転送 • のこぎり波の場合 b25 b24 0 0：転送しない 0 0以外：アンダーフロー（ダウンカウント時）またはオーバーフロー（アップカウント時）で転送	R/W
b26	ADTDA	GTADTRAダブルバッファ動作	0：シングルバッファ動作 （GTADTBRAレジスタ⇒GTADTRAレジスタ） 1：ダブルバッファ動作 （GTADTDBRAレジスタ⇒GTADTBRAレジスタ⇒GTADTDRAレジスタ）	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29-b28	ADTTB[1:0]	GTADTRBバッファ転送タイミング選択	• 三角波の場合 b29 b28 0 0：転送しない 0 1：山で転送 1 0：谷で転送 1 1：山と谷の両方で転送 • のこぎり波の場合 b29 b28 0 0：転送しない 0 0以外：アンダーフロー（ダウンカウント時）またはオーバーフロー（アップカウント時）で転送	R/W
b30	ADTDB	GTADTRBダブルバッファ動作	0：シングルバッファ動作 （GTADTBRBレジスタ⇒GTADTRBレジスタ） 1：ダブルバッファ動作 （GTADTDBRBレジスタ⇒GTADTBRBレジスタ⇒GTADTDRBレジスタ）	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTBER レジスタは、バッファ動作を設定するレジスタです。GTCNT カウンタが停止しているときに設定する必要があります。

BD[0] ビット（GTCCR バッファ動作禁止）

GPT の GTCCRA、GTCCRB、GTCCRC、GTCCRD、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDE ビットが 1 のとき、BD[0] ビットを 0 にすると、GTCCRB レジスタはバッファ動作を実行せずに、デッドタイム付き逆相波形のコンペアマッチ値に自動的に設定されます。

BD[1] ビット（GTPR バッファ動作禁止）

GPT の GTPR、GTPBR、および GTPDBR レジスタを組み合わせたバッファ動作を禁止します。

BD[2] ビット（GTADTR バッファ動作禁止）

GPT の GTADTRA、GTADTRB、GTADTBRA、GTADTBRB、GTADTDBRA、および GTADTDBRB レジスタを組み合わせたバッファ動作を禁止します。イベントカウント動作時は、このビットは使用できず、GTADTR バッファ動作は実行されません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

BD[3] ビット（GTDV バッファ動作禁止）

GPT の GTDVU、GTDVD、GTDBD、および GTDBU レジスタを組み合わせたバッファ動作を禁止します。

GTDTCR.TDFER ビットが 1、かつ BD[3] ビットが 0 の場合、バッファ動作は実行されず、GTDVD 値には GTDVU レジスタの値が自動的に設定されます。イベントカウント動作時は、このビットは使用できず、GTDV バッファ動作は実行されません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

CCRA[1:0] ビット（GTCCRA バッファ動作）

GPT の GTCCRA、GTCCRC、および GTCCRD レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。（注 1）

CCRB[1:0] ビット（GTCCRB バッファ動作）

GPT の GTCCRB、GTCCRE、および GTCCRF レジスタを組み合わせたバッファ動作を設定します。GTCR レジスタで設定した動作モードによってバッファ動作が制限される場合は、GTCR レジスタの設定が優先されます。（注 1）

PR[1:0] ビット（GTPR バッファ動作）

GPT の GTPR、GTPBR、および GTPDBR レジスタを組み合わせたバッファ動作を設定します。GPT32 には、PR[1] ビットはありません。GPT32 では、PR[0] ビットによるシングルバッファ動作の設定のみが可能です。

CCRSWT ビット（GTCCRA および GTCCRB 強制バッファ動作）

CCRSWT ビットに 1 を書くと、強制的に GTCCRA レジスタと GTCCRB レジスタのバッファ転送を行います。このビットは 1 を書いた後、自動的に 0 に戻ります。読むと 0 が読め、有効となるのは指定したコンペアマッチ動作でカウントが停止した場合のみです。

ADTTA[1:0] ビット（GTADTRA バッファ転送タイミング選択）

GTADTRA、GTADTBRA、および GTADTDBRA レジスタのバッファ動作の転送タイミングを設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

ADTDA ビット（GTADTRA ダブルバッファ動作）

GTADTRA、GTADTBRA、および GTADTDBRA レジスタを組み合わせたバッファ動作を設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

ADTTB[1:0] ビット（GTADTRB バッファ転送タイミング選択）

GTADTRB、GTADTBRB、および GTADTDBRB レジスタのバッファ動作の転送タイミングを設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

ADTDB ビット（GTADTRB ダブルバッファ動作）

GPT の GTADTRB、GTADTBRB、および GTADTDBRB レジスタを組み合わせたバッファ動作を設定します。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

注 1. のこぎり波ワンショットパルスモード、または三角波 PWM モード 3（谷 64 ビット転送）の場合、バッファ動作モードは固定となります。

23.2.18 汎用 PWM タイマ割り込み、A/D 変換開始要求間引き設定レジスタ（GTITC）

アドレス GPT32EHm.GTITC 4007 8044h + 0100h × m (m = 0～3),
GPT32Em.GTITC 4007 8044h + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	ADTBL	—	ADTAL	—	IVTT[2:0]			IVTC[1:0]		ITLF	ITLE	ITLD	ITLC	ITLB	ITLA
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITLA	GTCCRAコンペアマッチ／インプットキャプチャ割り込み連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b1	ITLB	GTCCRBコンペアマッチ／インプットキャプチャ割り込み連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b2	ITLC	GTCCRCコンペアマッチ割り込み連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b3	ITLD	GTCCRDコンペアマッチ割り込み連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b4	ITLE	GTCCREコンペアマッチ割り込み連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b5	ITLF	GTCCRFコンペアマッチ割り込み連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b7-b6	IVTC[1:0]	GPTn_OVF/GPTn_UDF割り込み間引き機能選択	b7 b6 0 0：間引きしない 0 1：のこぎり波ではオーバーフローとアンダーフローの両方、三角波では山をカウントして間引く 1 0：のこぎり波ではオーバーフローとアンダーフローの両方、三角波では谷をカウントして間引く 1 1：のこぎり波ではオーバーフローとアンダーフローの両方、三角波では山と谷の両方をカウントして間引く	R/W
b10-b8	IVTT[2:0]	GPTn_OVF/GPTn_UDF割り込み間引き回数選択	b10 b8 0 0 0：間引きしない 0 0 1：間引き回数：1回 0 1 0：間引き回数：2回 0 1 1：間引き回数：3回 1 0 0：間引き回数：4回 1 0 1：間引き回数：5回 1 1 0：間引き回数：6回 1 1 1：間引き回数：7回	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	ADTAL	GTADTRA A/D変換開始要求連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	ADTBL	GTADTRB A/D変換開始要求連動	0：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動しない 1：GPTn_OVF/GPTn_UDF割り込み間引き機能と連動する	R/W
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTITC レジスタは、GTCNT カウンタオーバーフロー（GTPR コンペアマッチ）割り込み（GPTn_OVF）と、GTCNT カウンタアンダーフロー割り込み（GPTn_UDF）に対して間引き機能を設定します。また、その他の割り込みと A/D 変換開始要求を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させるか否かを指定します。デッドタイムエラー割り込みを、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させることはできません。イベントカウント動作時は使用できません。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはなく、0 が読み出されます。

ITLA ビット（GTCCRA コンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRA コンペアマッチ／インプットキャプチャ割り込み（GTCIA）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

ITLB ビット（GTCCRB コンペアマッチ／インプットキャプチャ割り込み連動）

GTCCRB コンペアマッチ／インプットキャプチャ割り込み（GTCIB）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

ITLC ビット（GTCCRC コンペアマッチ割り込み連動）

GTCCRC コンペアマッチ割り込み（GTCIC）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

ITLD ビット（GTCCRD コンペアマッチ割り込み連動）

GTCCRD コンペアマッチ割り込み（GTCID）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

ITLE ビット（GTCCRE コンペアマッチ割り込み連動）

GTCCRE コンペアマッチ割り込み（GTCIE）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

ITLF ビット（GTCCRF コンペアマッチ割り込み連動）

GTCCRF コンペアマッチ割り込み（GTCIF）を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

IVTC[1:0] ビット（GPTn_OVF/GPTn_UDF 割り込み間引き機能選択）

GTPR コンペアマッチ（GTCNT オーバーフロー）割り込み（GPTn_OVF）と、GTCNT カウンタアンダーフロー割り込み（GPTn_UDF）に対して間引き機能を設定します。

IVTT[2:0] ビット（GPTn_OVF/GPTn_UDF 割り込み間引き回数選択）

GTPR コンペアマッチ（GTCNT オーバーフロー）割り込み（GPTn_OVF）と、GTCNT カウンタアンダーフロー割り込み（GPTn_UDF）に対して間引き回数を設定します。IVTT[2:0] ビットを書き換える場合は、最初に IVTC[1:0] ビットを 00b にしてください。

ADTAL ビット（GTADTRA A/D 変換開始要求連動）

GTADTRA の A/D 変換開始要求を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

ADTBL ビット（GTADTRB A/D 変換開始要求連動）

GTADTRB の A/D 変換開始要求を、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動させる否かを指定します。

23.2.19 汎用 PWM タイマカウンタ（GTCNT）

アドレス GPT32EHm.GTCNT 4007 8048h + 0100h × m (m = 0～3),
GPT32Em.GTCNT 4007 8048h + 0100h × m (m = 4～7),
GPT32m.GTCNT 4007 8048h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GTCNT レジスタは、32 ビットの読み出し／書き込み可能なカウンタです。カウントストップ後にのみ書き込み可能です。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。GTCNT レジスタは、0 ≦ GTCNT ≦ GTPR の範囲に収まるように設定する必要があります。

23.2.20 汎用 PWM タイマコンペアキャプチャレジスタ n（GTCCRn）（n = A ～ F）

アドレス GPT32EHm.GTCCRA 4007 804Ch + 0100h × m (m = 0～3),
GPT32Em.GTCCRA 4007 804Ch + 0100h × m (m = 4～7),
GPT32m.GTCCRA 4007 804Ch + 0100h × m (m = 8～13),
GPT32EHm.GTCCRB 4007 8050h + 0100h × m (m = 0～3),
GPT32Em.GTCCRB 4007 8050h + 0100h × m (m = 4～7),
GPT32m.GTCCRB 4007 8050h + 0100h × m (m = 8～13),
GPT32EHm.GTCCRC 4007 8054h + 0100h × m (m = 0～3),
GPT32Em.GTCCRC 4007 8054h + 0100h × m (m = 4～7),
GPT32m.GTCCRC 4007 8054h + 0100h × m (m = 8～13),
GPT32EHm.GTCCRE 4007 8058h + 0100h × m (m = 0～3),
GPT32Em.GTCCRE 4007 8058h + 0100h × m (m = 4～7),
GPT32m.GTCCRE 4007 8058h + 0100h × m (m = 8～13),
GPT32EHm.GTCCRD 4007 805Ch + 0100h × m (m = 0～3),
GPT32Em.GTCCRD 4007 805Ch + 0100h × m (m = 4～7),
GPT32EHm.GTCCRF 4007 8060h + 0100h × m (m = 0～3),
GPT32Em.GTCCRF 4007 8060h + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTCCRn レジスタは、読み出し／書き込み可能なレジスタです。

GTCCRA レジスタと GTCCRB レジスタは、アウトプットコンペア／インプットキャプチャ兼用のレジスタです。

GTCCRC レジスタと GTCCRE レジスタは、コンペアマッチレジスタですが、GTCCRA レジスタと GTCCRB レジスタ用のバッファレジスタとしても機能します。

GTCCRD レジスタと GTCCRF レジスタは、コンペアマッチレジスタですが、GTCCRC レジスタと GTCCRE レジスタ用のバッファレジスタ（GTCCRA レジスタと GTCCRB レジスタ用のダブルバッファレジスタ）としても機能します。

23.2.21 汎用 PWM タイマ周期設定レジスタ（GTPR）

アドレス GPT32EHm.GTPR 4007 8064h + 0100h × m (m = 0～3),
GPT32Em.GTPR 4007 8064h + 0100h × m (m = 4～7),
GPT32m.GTPR 4007 8064h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPR レジスタは、読み出し／書き込み可能なレジスタであり、GTCNT カウンタの最大カウント値を設定します。のこぎり波の場合、GTPR 値 + 1 がカウント周期になります。三角波の場合、GTPR 値 × 2 がカウント周期になります。

23.2.22 汎用 PWM タイマ周期設定バッファレジスタ（GTPBR）

アドレス GPT32EHm.GTPBR 4007 8068h + 0100h × m (m = 0～3),
GPT32Em.GTPBR 4007 8068h + 0100h × m (m = 4～7),
GPT32m.GTPBR 4007 8068h + 0100h × m (m = 8～13)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPBR レジスタは、読み出し／書き込み可能なレジスタであり、GTPR レジスタ用のバッファレジスタとして機能します。

23.2.23 汎用 PWM タイマ周期設定ダブルバッファレジスタ（GTPDBR）

アドレス GPT32EHm.GTPDBR 4007 806Ch + 0100h × m (m = 0～3),
GPT32Em.GTPDBR 4007 806Ch + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTPDBR レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTPBR レジスタ用のバッファレジスタ（GTPR レジスタ用のダブルバッファレジスタ）として機能します。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

23.2.24 A/D 変換開始要求タイミングレジスタ m（GTADTRm）（m = A, B）

アドレス GPT32EHm.GTADTRA 4007 8070h + 0100h × m (m = 0～3),
GPT32Em.GTADTRA 4007 8070h + 0100h × m (m = 4～7)

GPT32EHm.GTADTRB 4007 807Ch + 0100h × m (m = 0～3),
GPT32Em.GTADTRB 4007 807Ch + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTRm レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、A/D 変換開始要求のタイミングを設定します。GTADTRm レジスタの値が GTCNT カウンタ値と一致したとき、A/D 変換開始要求が発生します。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

23.2.25 A/D 変換開始要求タイミングバッファレジスタ m（GTADTBRm）（m = A, B）

アドレス GPT32EHm.GTADTBRA 4007 8074h + 0100h × m (m = 0～3),
GPT32Em.GTADTBRA 4007 8074h + 0100h × m (m = 4～7)

GPT32EHm.GTADTBRB 4007 8080h + 0100h × m (m = 0～3),
GPT32Em.GTADTBRB 4007 8080h + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

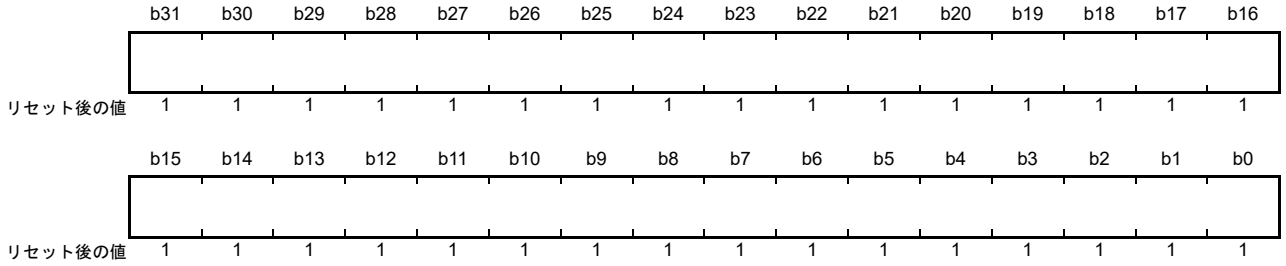
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTBRm レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTADTRm レジスタ用のバッファレジスタとして動作します。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

23.2.26 A/D 変換開始要求タイミングダブルバッファレジスタ m（GTADTDBRm）（m = A, B）

アドレス GPT32EHm.GTADTDBRA 4007 8078h + 0100h × m (m = 0～3),
GPT32Em.GTADTDBRA 4007 8078h + 0100h × m (m = 4～7)

GPT32EHm.GTADTDBRB 4007 8084h + 0100h × m (m = 0～3),
GPT32Em.GTADTDBRB 4007 8084h + 0100h × m (m = 4～7)



	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTADTDBRm レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTADTBRm レジスタ用のバッファレジスタ（GTADTR レジスタ用のダブルバッファレジスタ）として動作します。32 ビット単位でアクセスしてください。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

23.2.27 汎用 PWM タイマデッドタイムコントロールレジスタ（GTDTCR）

アドレス GPT32EHm.GTDTCR 4007 8088h + 0100h × m (m = 0～3),
GPT32Em.GTDTCR 4007 8088h + 0100h × m (m = 4～7),
GPT32m.GTDTCR 4007 8088h + 0100h × m (m = 8～13)

- GPT32EH,GPT32E

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDFER	—	—	TDBDE	TDBUE	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

- GPT32

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TDE	逆相波形設定	0：GTDVUおよびGTDVDレジスタを使用しないで、GTCCRBレジスタを個別に設定する 1：GTDVUおよびGTDVDレジスタを使用して、デッドタイム付き逆相波形のコンペアマッチ値をGTCCRBレジスタに自動設定する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TDBUE	GTDVUバッファ動作許可	0：GTDVUバッファ動作を禁止 1：GTDVUバッファ動作を許可	R/W
b5	TDBDE	GTDVDバッファ動作許可	0：GTDVDバッファ動作を禁止 1：GTDVDバッファ動作を許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TDFER	GTDVD設定	0：GTDVUおよびGTDVDレジスタを個別に設定する 1：GTDVUレジスタに書き込んだ値を、GTDVDレジスタにも自動設定する	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDTCR レジスタは、デッドタイム付き逆相波形のコンペアマッチ値の自動設定を許可するレジスタです。

GPT32EH、GPT32E、および GPT32 には、デッドタイム制御機能があります。GPT32 は、デッドタイムバッファ機能を持たず、デッドタイム値の設定には GTDVU レジスタのみを使用します。

TDE ビット（逆相波形設定）

GTDVU および GTDVD レジスタを使用するか否かを指定します。GTDVU および GTDVD レジスタを使用する場合、正相波形のコンペアマッチ値（GTCCRA）とデッドタイム値（GTDVU および GTDVD）から算出したデッドタイム付き逆相波形のコンペアマッチ値が、GTCCRB レジスタに自動設定されます。

TDE ビットの設定値は、のこぎり波 PWM モードでは無視され、自動設定は行われません。

GTCCRB レジスタ値が自動設定されるとき、下記のような上限／下限値があります。算出された GTCCRB 値が上限値／下限値の範囲外となる場合は、GTCCRB レジスタには以下の制限値が設定され、GTST.DTEF フラグが 1 になります。ただし三角波では、算出された GTCCRB 値が上限値を超えると、GTST.DTEF フラグが 0 になります。

- 三角波の場合
  上限値：GTPR レジスタ値 – 1
  下限値：アップカウント時は 1、ダウンカウント時は 0
- のこぎり波ワンショットパルスモード

  上限値：GTPR レジスタ値

  下限値：0

TDBUE ビット（GTDVU バッファ動作許可）

GTDVU レジスタと GTDBU レジスタを組み合わせたバッファ動作を許可します。バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバーフローまたはアンダーフローです。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

TDBDE ビット（GTDVD バッファ動作許可）

GTDVD レジスタと GTDBD レジスタを組み合わせたバッファ動作を許可します。バッファ転送タイミングは、三角波では谷、のこぎり波ではオーバーフローまたはアンダーフローです。TDFER ビットを同時に 1 にした場合、TDFER ビットの設定が優先されます。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

TDFER ビット（GTDVD 設定）

GTDVU レジスタに書き込んだ値を GTDVD レジスタにも自動設定するかどうかを設定します。

GPT32EH と GPT32E にのみ、本ビットがあります。GPT32 には、本ビットはありません。

23.2.28 汎用 PWM タイマデッドタイム値レジスタ m（GTDVm）（m = U, D）

アドレス GPT32EHm.GTDVU 4007 808Ch + 0100h × m (m = 0～3),
GPT32Em.GTDVU 4007 808Ch + 0100h × m (m = 4～7),
GPT32m.GTDVU 4007 808Ch + 0100h × m (m = 8～13),
GPT32EHm.GTDVD 4007 8090h + 0100h × m (m = 0～3),
GPT32Em.GTDVD 4007 8090h + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTDVm レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、デッドタイム付きの PWM 波形を生成するためのデッドタイムを設定します。GTDVU レジスタはアップカウント、GTDVD レジスタはダウンカウントに使用します。

GTDVm 値は GTPR 以上に設定しないでください。また、周期を超えるデッドタイム値の設定もしないでください。デッドタイム自動設定機能によって設定された逆相波形のコンペアマッチ値は、GTCCRB レジスタ値を読むことで確認できます。

GTDVm レジスタを使用する場合、GTCCRB レジスタへの書き込みはしないでください。このレジスタ値を 0 にすると、デッドタイムなしの波形が出力されます。GTDVm レジスタは 32 ビット単位でアクセスする必要があります。8 ビット単位／ 16 ビット単位でのアクセスはしないでください。GTDVm を書き換える方法は GPT チャネル番号によって異なります。

GPT32EH0 ～ GPT32EH3 および GPT32E4 ～ GPT32E7

GTDVm バッファ動作が許可されている場合、GTDVm はいつでも書き込み可能です。GTDVm バッファ動作が禁止されている場合、GTDVm を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。

GPT328 ～ GPT3213

GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU を新しい値に変更するには、GTCR レジスタの CST ビットで GPT を停止してください。

GPT32EH と GPT32E にのみ、GTDVD レジスタがあります。GPT32 には、GTDVD レジスタはありません。本レジスタは、リセット後の値が読み出されます。

23.2.29 汎用 PWM タイマデッドタイムバッファレジスタ m（GTDBm）（m = U, D）

アドレス GPT32EHm.GTDBU 4007 8094h + 0100h × m (m = 0～3),
GPT32Em.GTDBU 4007 8094h + 0100h × m (m = 4～7)

GPT32EHm.GTDBD 4007 8098h + 0100h × m (m = 0～3),
GPT32Em.GTDBD 4007 8098h + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

GTDBm レジスタは、32 ビットの読み出し／書き込み可能なレジスタであり、GTDVm レジスタ用のバッファレジスタとして動作します。

GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。本レジスタは、リセット後の値が読み出されます。

23.2.30 汎用 PWM タイマ出力保護機能ステータスレジスタ（GTSOS）

アドレス GPT32EHm.GTSOS 4007 809Ch + 0100h × m (m = 0～3),
GPT32Em.GTSOS 4007 809Ch + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SOS[1:0]	出力保護機能ステータス	b1 b0 0 0：通常動作 0 1：保護状態（谷または山での転送時にGTCCRA = 0が設定された） 1 0：保護状態（谷での転送時にGTCCRA≧GTPRが設定された） 1 1：保護状態（山での転送時にGTCCRA≧GTPRが設定された）	R
b31-b2	—	予約ビット	読むと0が読めます。	R

GTSOS レジスタは出力保護機能の状態を示すステータスレジスタです。出力保護機能は、三角波モードでデッドタイムが自動設定（GTDTCR.TDE ビット = 1）されている場合にのみ有効です。

GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。読むと 0000_0000h が読めます。

SOS[1:0] ビット（出力保護機能ステータス）

三角波 PWM モードにおいて、出力保護機能のステータスを示します。

23.2.31 汎用 PWM タイマ出力保護機能一時解除レジスタ（GTSOTR）

アドレス GPT32EHm.GTSOTR 4007 80A0h + 0100h × m (m = 0～3),
GPT32Em.GTSOTR 4007 80A0h + 0100h + 0100h × m (m = 4～7)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SOTR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SOTR	出力保護機能一時解除	0：保護状態を解除しない 1：保護状態を解除する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書き込みは無視されます。	R/W

GTSOTR レジスタは、出力保護が設定されている場合に、GTIOCB 端子出力の保護状態を一時的に解除します。GTSOS.SOS[1:0] ビット = 10b（保護状態、谷での転送時に GTCCRA ≧ GTPR が設定された）の場合に限り、保護状態を解除できます。他の状態の場合には、保護状態は解除できません。

GPT32EH と GPT32E にのみ、本レジスタがあります。GPT32 には、本レジスタはありません。読むと 0000_0000h が読めます。

SOTR ビット（出力保護機能一時解除）

出力保護状態時に、GTIOCB 端子出力の保護状態を一時的に解除するか否かを設定します。SOTR ビットを 1 にすると、最初に現れる谷以降の出力保護機能が解除されます。SOTR ビットを 0 にすると、最初に現れる谷以降の出力保護機能が再開します。

23.2.32 出力相切り替えコントロールレジスタ（OPSCR）

アドレス GPT_OPS.OPSCR 4007 8FF0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	NFCS[1:0]		NFEN	—	—	GODF	GRP[1:0]		—	—	ALIGN	—	INV	N	P	FB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EN	—	W	V	U	—	WF	VF	UF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	入力相ソフト設定	ソフトウェア設定により入力相を設定します。OPSCR.FBビットが1場合に、これらのビットの設定が有効になります。	R/W
b1	VF			R/W
b2	WF			R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	U	入力U相監視	入力相の状態を監視します。 OPSCR.FB = 0：PCLKDによる外部入力を監視 OPSCR.FB = 1：ソフトウェア設定（UF/VF/WFビット）	R
b5	V	入力V相監視		R
b6	W	入力W相監視		R
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	EN	イネーブル相出力制御	0：出力しない（“Hi-Z”外部端子） 1：出力する（注1）	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FB	外部フィードバック信号許可	ソフトウェア設定および外部入力から入力相を選択します。 0：外部入力を選択 1：ソフトウェア設定を選択（OPSCR.UF、VF、WFビット）	R/W
b17	P	正相出力（P）制御	0：レベル信号を出力 1：PWM信号を出力（GPT32EH0のPWM）	R/W
b18	N	逆相出力（N）制御	0：レベル信号を出力 1：PWM信号を出力（GPT32EH0のPWM）	R/W
b19	INV	反転相出力制御	0：正論理（アクティブHigh）を出力 1：負論理（アクティブLow）を出力	R/W
b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b21	ALIGN	入力相アライメント	0：入力相をPCLKDに調整 1：入力相をPWMに調整	R/W
b23-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b24	GRP[1:0]	出力禁止要因選択	b25 b24 0 0：グループA出力禁止要因を選択 0 1：グループB出力禁止要因を選択 1 0：グループC出力禁止要因を選択 1 1：グループD出力禁止要因を選択	R/W
b26	GODF	グループ出力禁止機能	0：このビット機能を無視 1：グループ禁止でOPSCR.ENビットをクリア（注1）	R/W
b28-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b29	NFEN	外部入力ノイズフィルタ有効	0：外部入力にノイズフィルタを使用しない 1：外部入力にノイズフィルタを使用する	R/W
b31-b30	NFCS[1:0]	外部入力ノイズフィルタクロック選択	外部入力のノイズフィルタサンプリングクロック設定 b31 b30 0 0：PCLKD/1 0 1：PCLKD/4 1 0：PCLKD/16 1 1：PCLKD/64	R/W

注 1. OPSCR.GODF ビット = 1、かつ OPSCR.GRP ビットで選択した信号値が High の場合、OPSCR.EN ビットは 0 になります。

OPSCR レジスタは、ブラシレス DC モータ制御に必要な信号波形の出力を設定するレジスタです。

UF、VF、WF ビット（入力相ソフト設定）

ソフトウェア設定からの入力相を設定します。OPSCR.FB ビット = 1 の場合に、これらのビットが有効になります。UF/VF/WF ビットの設定値が U/V/W 外部入力に取って代わります。

U、V、W ビット（入力相モニタ）

OPSCR.FB ビット = 0 の場合、PCLKD と同期した外部入力を U、V、W ビットで監視します。OPSCR.FB ビット = 1 の場合、OPSCR.U、OPSCR.V、OPSCR.W ビットは、OPSCR.UF、OPSCR.VF、OPSCR.WF ビットの値を読み出せます。

EN ビット（イネーブル相出力制御）

出力許可信号出力相（正相／逆相）を制御します。

OPSCR.EN ビット = 1 の場合、信号波形が出力されます。

OPSCR.EN ビット = 0 の場合は、最初に OPSCR.FB、OPSCR.UF/VF/WF（ソフトウェア設定を選択）、OPSCR.P/N、OPSCR.INV、OPSCR.RV、OPSCR.ALIGN、OPSCR.GRP、OPSCR.GODF、OPSCR.NFEN、OPSCR.NFCS ビットを設定してください。その後、このビットを 1 にしてください。また、OPSCR.GODF ビット = 1、かつ OPSCR.GRP ビットで選択した信号値が High の場合、OPSCR.EN ビットは 0 になります。

FB ビット（外部フィードバック信号許可）

ソフトウェア設定（OPSCR.UF、VF、WF ビット）、およびホール素子などの外部入力からの入力相を選択します。

P ビット（正相出力（P）制御）

レベル信号出力（GPT32EH0 の PWM）、または正相出力の PWM 信号出力（GTOUUP 端子、GTOVUP 端子、GTOWUP 端子）のどちらかを選択します。

N ビット（逆相出力（N）制御）

レベル信号出力（GPT32EH0 の PWM）、または逆相出力の PWM 信号出力（GTOULO 端子、GTOVLO 端子、GTOWLO 端子）のどちらかを選択します。

INV ビット（反転相出力制御）

出力相として、正論理（アクティブ High）出力または負論理（アクティブ Low）出力のどちらかを選択します。

ALIGN ビット（入力相アライメント）

入力相のサンプリングとして、PCLKD または PWM を選択します（入力相は OPSCR.FB ビットで指定）。

OPSCR.ALIGN ビット = 0 のとき、入力相は PCLKD に調整されます。

注 . PWM 出力（OPSCR.P/N ビット = 1）を選択して、PCLKD 入力相を調整すると、PWM パルスは短パルスになる場合があります。

注 . OPSCR.ALIGN ビット = 1 のとき、入力相は PWM 出力に調整されます。

GRP[1:0] ビット（出力禁止要因選択）

出力禁止要因（A ～ D）を選択します。

GODF ビット（グループ出力禁止機能）

GODF ビット = 1、かつ OPSCR.GRP ビットで選択した信号値が High の場合、OPSCR.EN ビットが 0 になります。GODF ビット = 0 の場合、このビットは無視されます。

NFEN ビット（外部入力ノイズフィルタ有効）

外部入力用のノイズフィルタを選択します。

OPSCR.NFEN ビット = 0 の場合、外部入力にノイズフィルタは使用されません。

注 . 意図しない内部エッジにより、このビットが切り替わった場合、最初に OPSCR.EN ビットを 0 にしてください。

NFCS[1:0] ビット（外部入力ノイズフィルタクロック選択）

外部入力ノイズフィルタのクロックを選択します。OPSCR.NFEN ビット = 1 の場合、外部入力のノイズフィルタサンプリングクロック設定が有効になります。

クロックを選択して有効にするには：

1. NFCS[1:0] ビットを設定します。
2. クロックの 2 周期分待ちます。
3. OPSCR.EN ビットを 1 にします。

23.3 動作説明

23.3.1 基本動作

各チャネルには 32 ビットタイマがあり、各タイマは、カウントクロックとハードウェア要因を用いて周期的なカウント動作を実行します。カウント機能にはアップカウントとダウンカウントの両方があります。GTPR レジスタがカウント周期を制御します。GTCNT カウンタ値が GTCCRA または GTCCRB レジスタの値と一致する場合、対応する GTIOCA 端子または GTIOCB 端子からの出力を変更できます。GTCCRA または GTCCRB レジスタは、ハードウェア要因によるインプットキャプチャレジスタとして使用可能です。

GTCCRC および GTCCRD レジスタは、GTCCRA レジスタ用のバッファレジスタとして機能します。また、GTCCRE および GTCCRF レジスタは、GTCCRB レジスタ用のバッファレジスタとして機能します。

23.3.1.1 カウンタの動作

(1) カウンタスタート／ストップ

各チャネルのカウンタは、GTCR.CST ビットを 1 にするとカウント動作を開始します。GTCR.CST ビット値は以下の要因によって変化します。

- GTCR レジスタへの書き込み
- GTSSR.CSTRT ビットが 1 の場合、GTSTR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTPSR.CSTOP ビットが 1 の場合、GTSTP レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTSSR レジスタで選択したハードウェア要因
- GTPSR レジスタで選択したハードウェア要因

(2) カウントクロックによるアップカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、対応する GTCR.CST ビットが 1 で、GTUPSR および GTDNSR レジスタが 0000_0000h の場合に、アップカウントを開始します。GTCNT カウンタ値が GTPR 値から 0 に変化（オーバーフロー）すると、GTST.TCFPO フラグが 1 になります。GTCNT カウンタはオーバーフロー時、0000_0000h からアップカウントを継続します。

アップカウント時の周期カウント動作例を図 23.3 に示します。

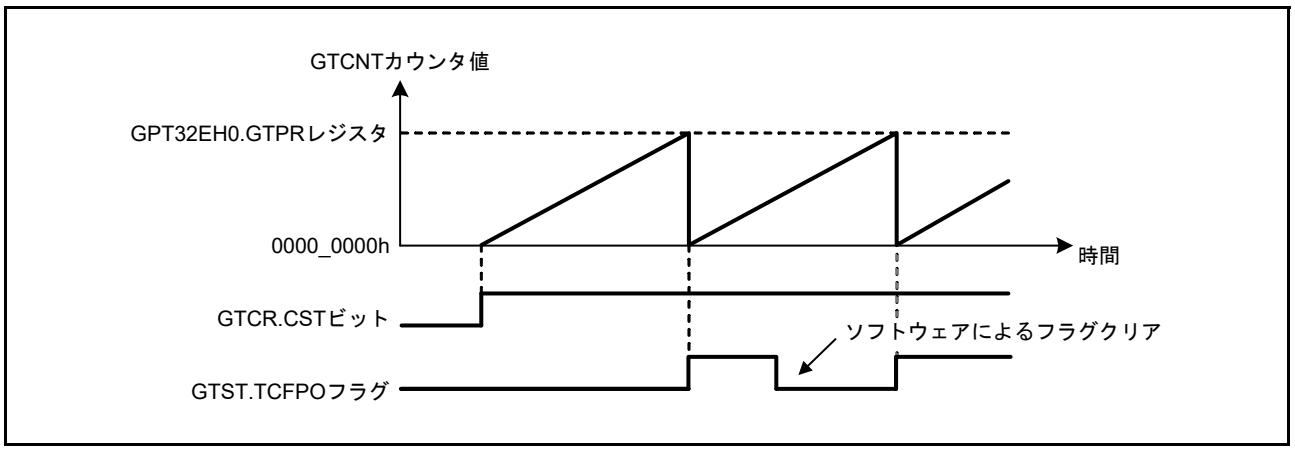


図 23.3 カウントクロックによるアップカウント時の周期カウント動作例

アップカウント時の周期カウント動作設定例を図 23.4 に示します。

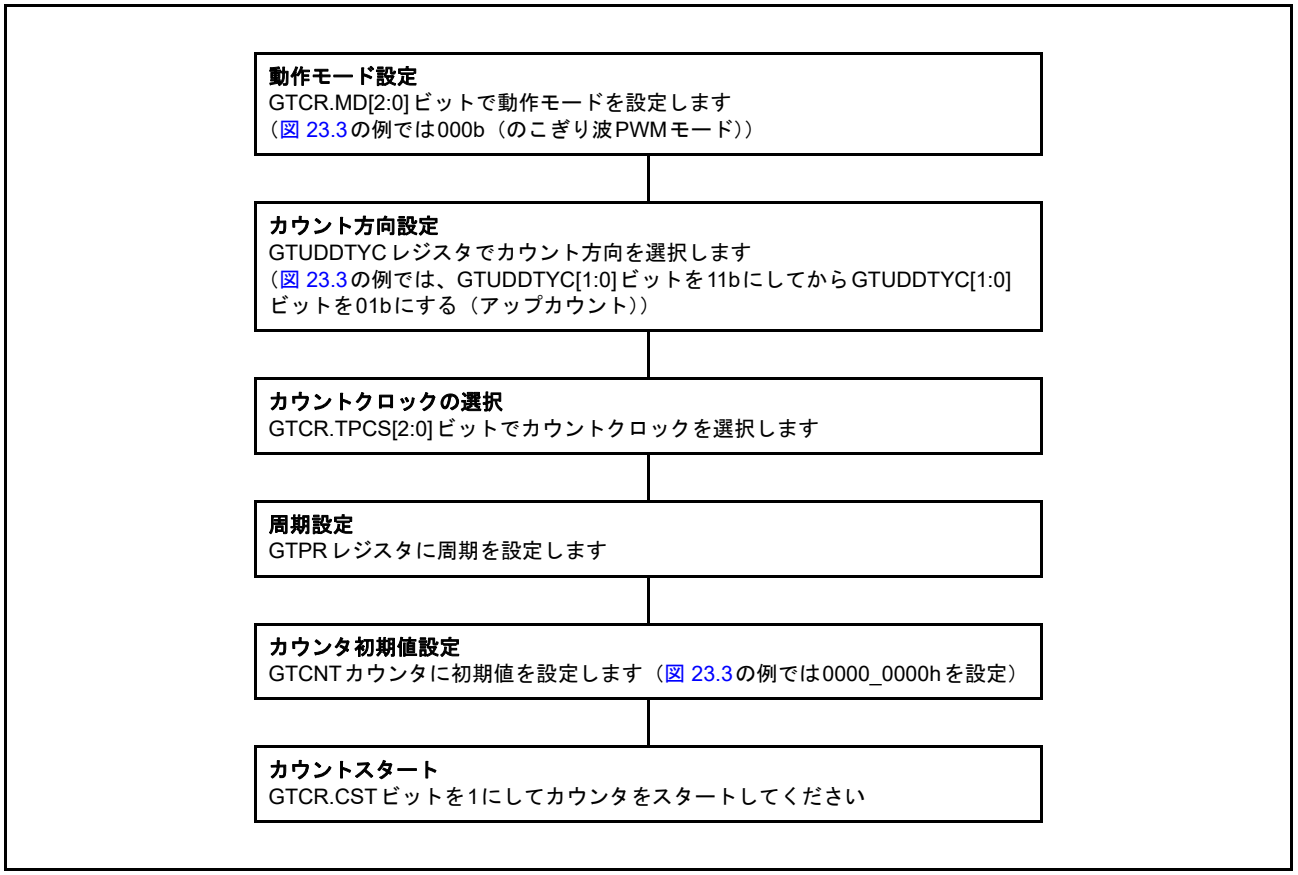


図 23.4　カウントクロックによるアップカウント時の周期カウント動作設定例

(3)　カウントクロックによるダウンカウント時の周期カウント動作

各チャネルの GTCNT カウンタは、GTUPSR および GTDNSR レジスタを 0000_0000h にした状態で、GTUDDTYC.UD ビットを設定することにより、ダウンカウントを実行できます。GTCNT カウンタ値が 0 から GTPR 値に変化（アンダーフロー）すると、GTST.TCFPU ビットが 1 になります。GTCNT カウンタがアンダーフローすると、GTPR 値からダウンカウントを再開します。

カウントクロックによるダウンカウント時の周期カウント動作例を図 23.5 に示します。

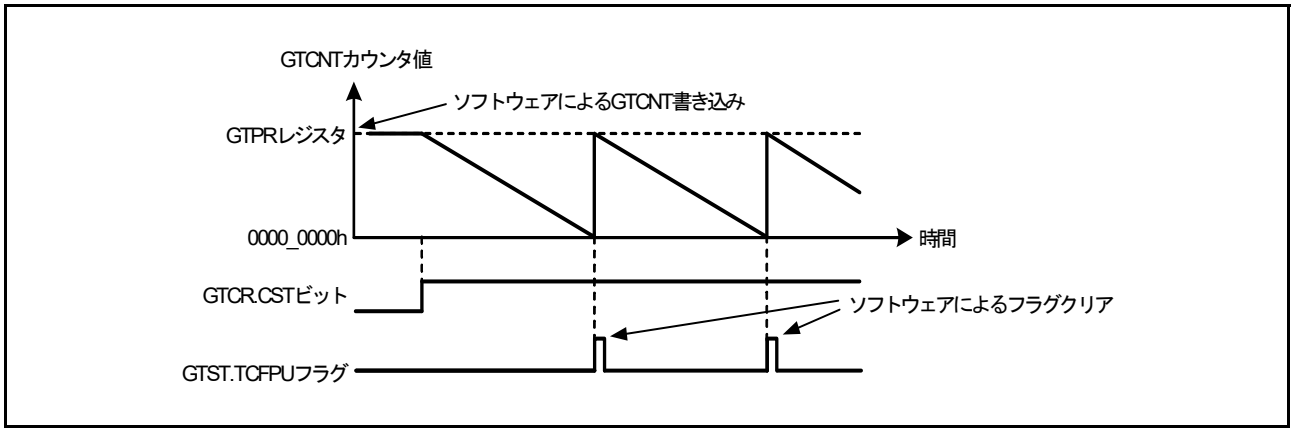


図 23.5　カウントクロックによるダウンカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作設定例を図 23.6 に示します。

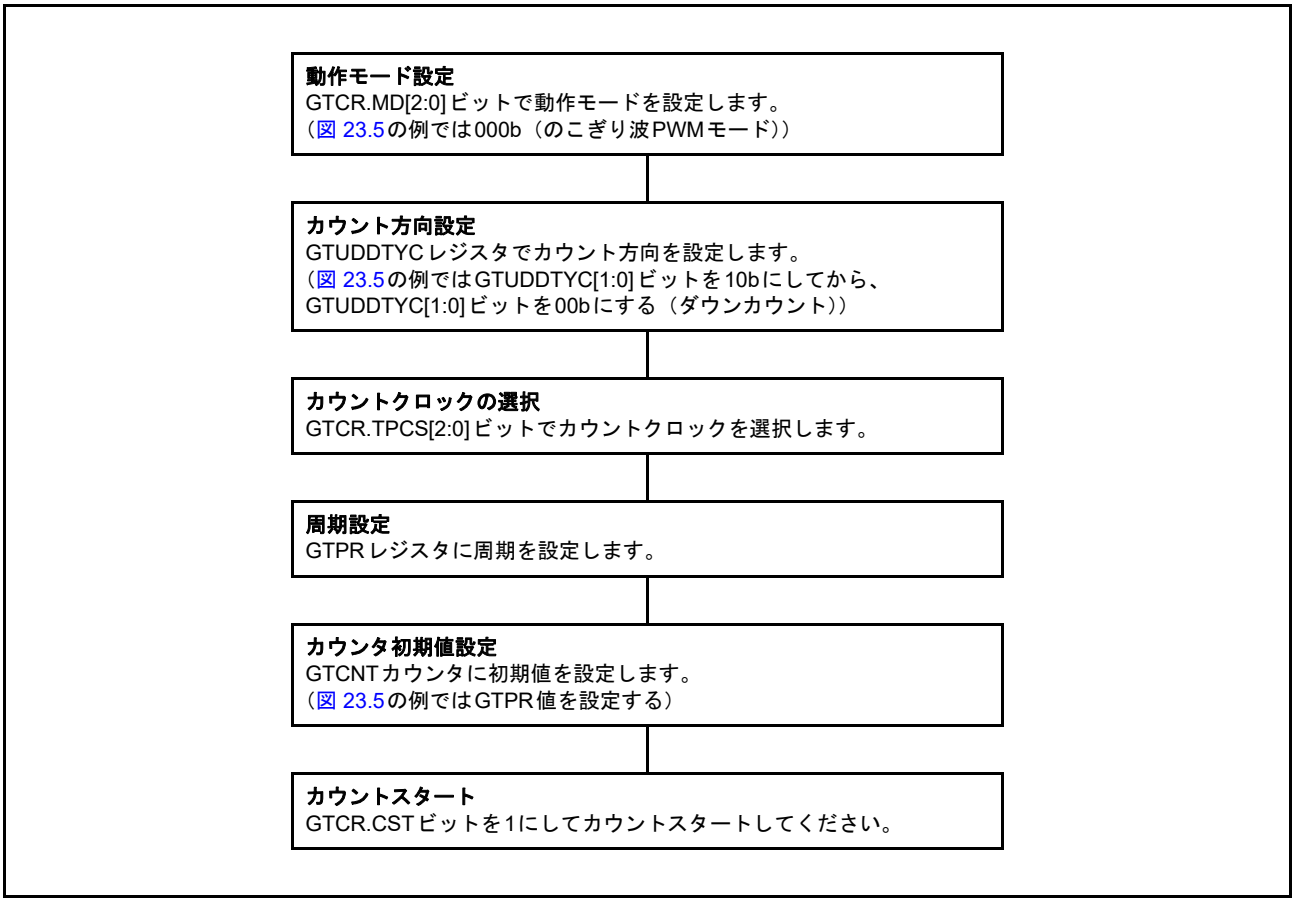


図 23.6 カウントクロックによるダウンカウント時の周期カウント動作設定例

(4) ハードウェア要因によるアップカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTUPSR レジスタで設定したハードウェア要因によるアップカウントを実行できます。

GTUPSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるアップカウントのオーバーフロー動作は、カウントクロックによるアップカウントのオーバーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるカウントアップを行う場合、カウント動作が有効になります。GTCR.CST ビットを 1 にした後も、カウント動作は GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0] ビットで指定された 1 クロックサイクルの間、カウンタはカウントアップを行えません。GTCR.CST ビットを 1 にした後、GTCR.TPCS[2:0] ビットを 000b にして、PCLKD 1 クロック分の遅延でカウントアップを行ってください。

ハードウェア要因（GTETRGA 端子の立ち上がりエッジ）によるアップカウント時の周期カウント動作例を図 23.7 に示します。

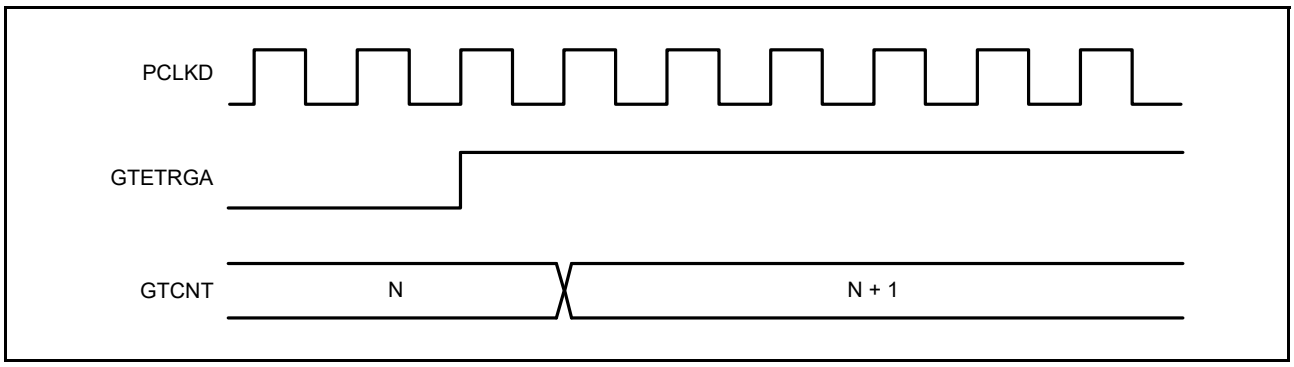


図 23.7　ハードウェア要因によるアップカウント時の周期カウント動作例

カウントクロックによるダウンカウント時の周期カウント動作設定例を図 23.8 に示します。

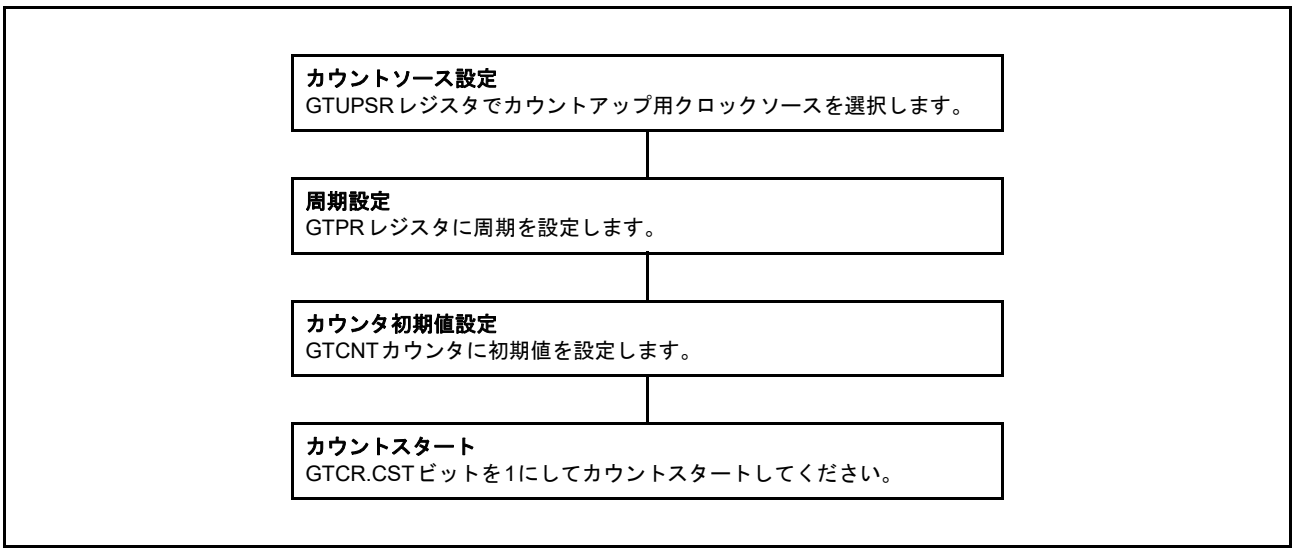


図 23.8　ハードウェア要因によるアップカウント時のイベントカウント動作設定例

(5)　ハードウェア要因によるダウンカウント時のイベントカウント動作

各チャネルの GTCNT カウンタは、GTDNSR レジスタで設定したハードウェア要因によるダウンカウントを実行できます。

GTDNSR レジスタを許可に設定すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックと、GTUDDTYC.UD ビットで選択したカウント方向は無視されます。ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。ハードウェア要因によるダウンカウントのアンダーフロー動作は、カウントクロックによるダウンカウントのアンダーフロー動作と同じです。

GTCR.CST ビットを 1 にしてハードウェア要因によるカウントダウンを行うと、カウント動作が有効になります。GTCR.CST ビットを 1 にした後も、カウント動作は GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期するため、GTCR.TPCS[2:0] ビットで指定された 1 クロックサイクルの間、カウンタはカウントダウンを行えません。GTCR.CST ビットを 1 にした後、GTCR.TPCS[2:0] ビットを 000b にして、PCLKD 1 クロック分の遅延でカウントダウンを行ってください。

ハードウェア要因（GTETRGA 端子の立ち下がりエッジ）によるダウンカウント時の周期カウント動作例を図 23.9 に示します。

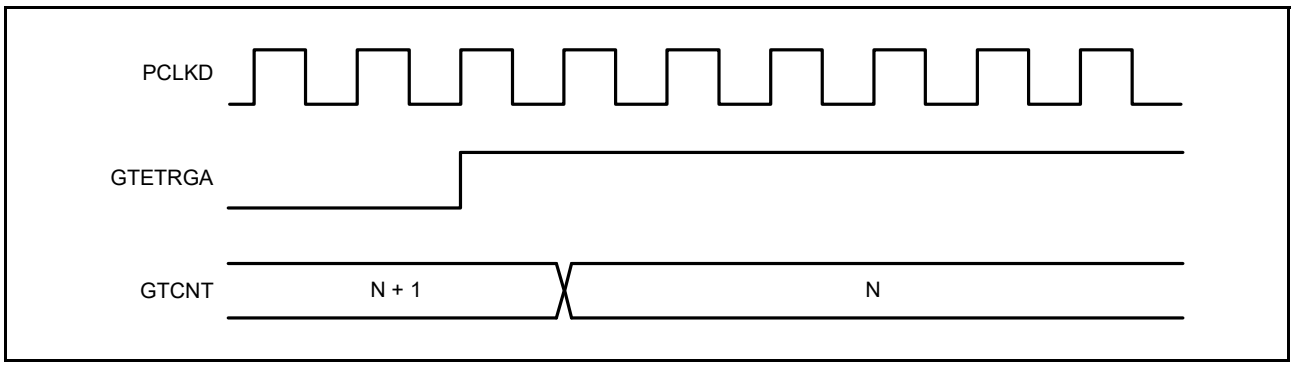


図 23.9　イベントカウント動作例（ハードウェア要因によるダウンカウント時）

ハードウェア要因によるダウンカウント時の周期カウント動作設定例を図 23.10 に示します。

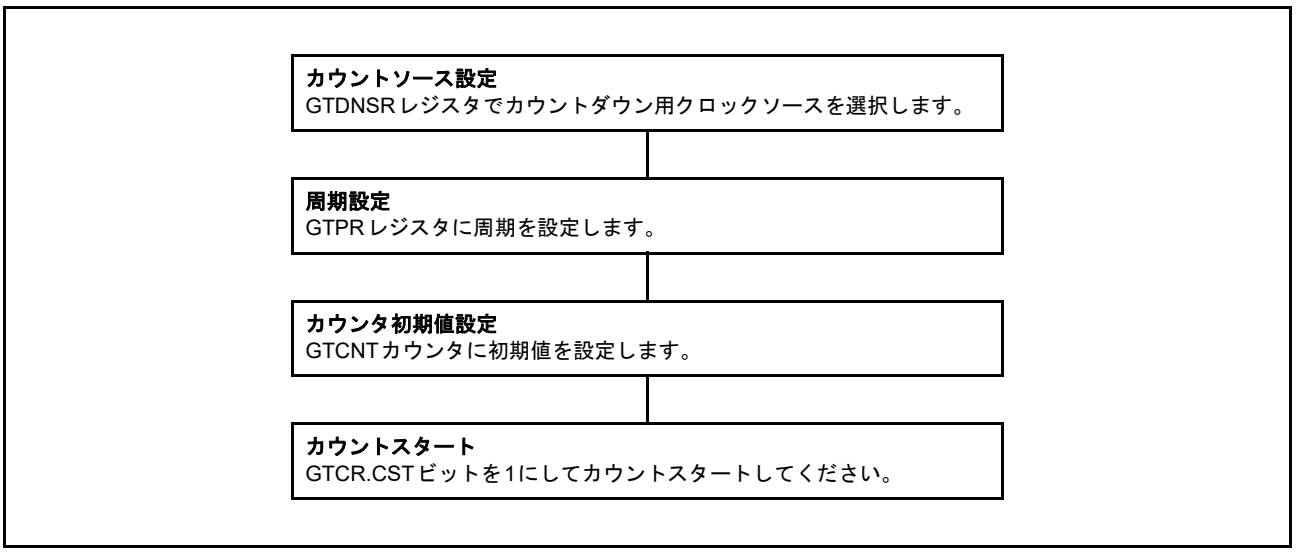


図 23.10　ハードウェア要因によるダウンカウント時のイベントカウント動作設定例

(6) カウンタクリア動作

各チャネルのカウンタは、下記の要因でクリアされます。

- GTCNT レジスタへの 0 の書き込み
- GTCSR.CCLR ビットが 1 の場合、GTCLR レジスタの GPT チャネル番号に対応したビットへの 1 の書き込み
- GTCSR レジスタで選択したハードウェア要因

カウント動作時は、GTCNT レジスタへの書き込みはしないでください。GTCNT カウンタは、カウント中でも（GTCR.CST ビット = 1）、カウント中でなくても（GTCR.CST ビット = 0）、GTCLR レジスタへの 1 の書き込みとハードウェア要因のクリア要求の両方の方法でクリアできます。

GTCR.MD[2:0] ビットおよびダウンカウント（GTST.TUCF ビット = 0）を示すカウント方向フラグで指定したのこぎり波の場合、GTCLR レジスタに 1 を書き込み、かつハードウェア要因によりクリアすると、GTCNT レジスタは GTPR レジスタの値に設定されます。のこぎり波モードでもダウンカウントでもない場合、GTCLR レジスタへの 1 の書き込みと、ハードウェア要因によるクリアの実行時に、GTCNT レジスタは 0 になります。

GTUPSR または GTDNSR レジスタの少なくとも 1 ビットが 1 の場合のイベントカウント動作では、クリア要因発生後、GTCLR レジスタへの書き込みとハードウェア要因によるクリアがただちに実行され、PCLKD と同期が取られます。その他の設定を使用すると、GTCR.TPCS[2:0] ビットで選択したカウンタクロックと同期してクリアが実行されます。

23.3.1.2 コンペアマッチによる波形出力機能

コンペアマッチとは、GTCNT カウンタ値が GTCCRA または GTCCRB レジスタ値と一致することを意味します。コンペアマッチが発生すると、イベントカウントを含むカウントクロックと同期して、コンペアマッチフラグが発生します。同時に、GPT は、対応する GTIOCA または GTIOCB 出力端子から Low 出力／High 出力／トグル出力を行うことができます。また、GTPR レジスタで決定される “ 周期の終わり ” でも、GTIOCA または GTIOCB 端子出力を Low 出力／ High 出力／トグル出力とすることができます。

“ 周期の終わり ” とは、以下の場合です。

- アップカウント時ののこぎり波の場合 : GTCNT カウンタが GTPR 値から 0 に変化したとき（オーバーフロー）
- ダウンカウント時ののこぎり波の場合 : GTCNT カウンタが 0 から GTPR 値に変化したとき（アンダーフロー）
- のこぎり波の場合 : GTCNT カウンタがクリアされたとき
- 三角波の場合 : GTCNT カウンタが 0 から 1 に変化したとき（谷）

(1) Low 出力／ High 出力

GTCCRA および GTCCRB レジスタのコンペアマッチによる Low 出力／ High 出力の動作例を図 23.11 に示します。

この例では、GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GPT32EH0.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子から High が出力され、GPT32EH0.GTCCRB レジスタのコンペアマッチによって GTIOC0B 端子から Low が出力されるように設定しています。設定したレベルと端子レベルが一致した場合、端子レベルは変化しません。

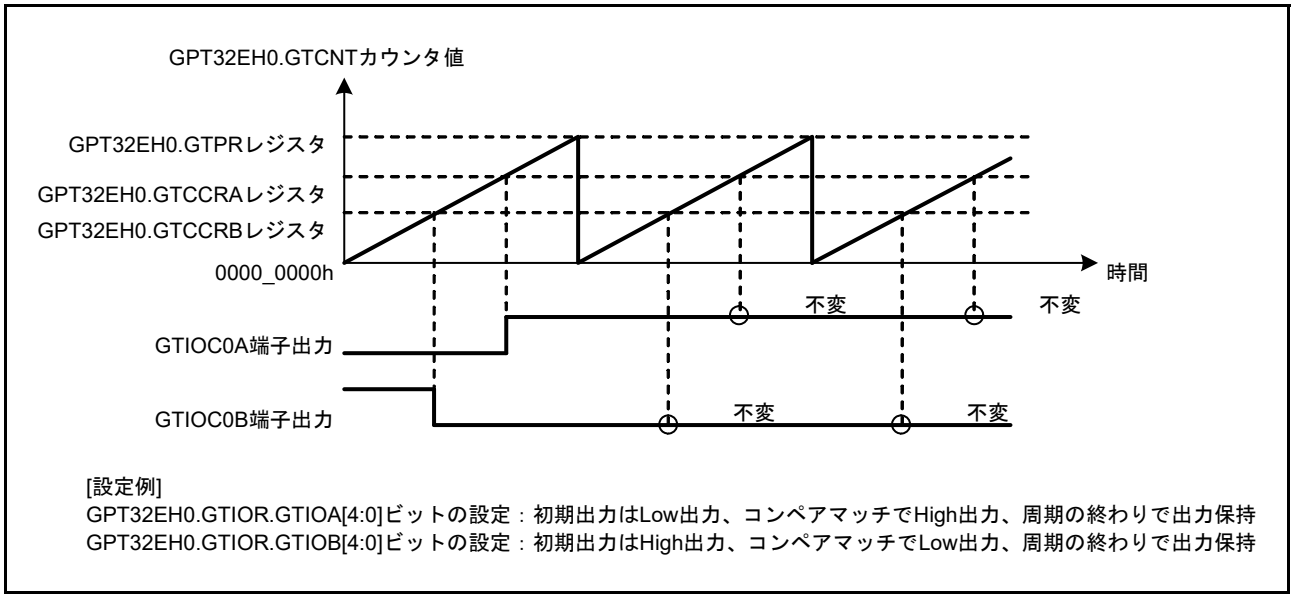
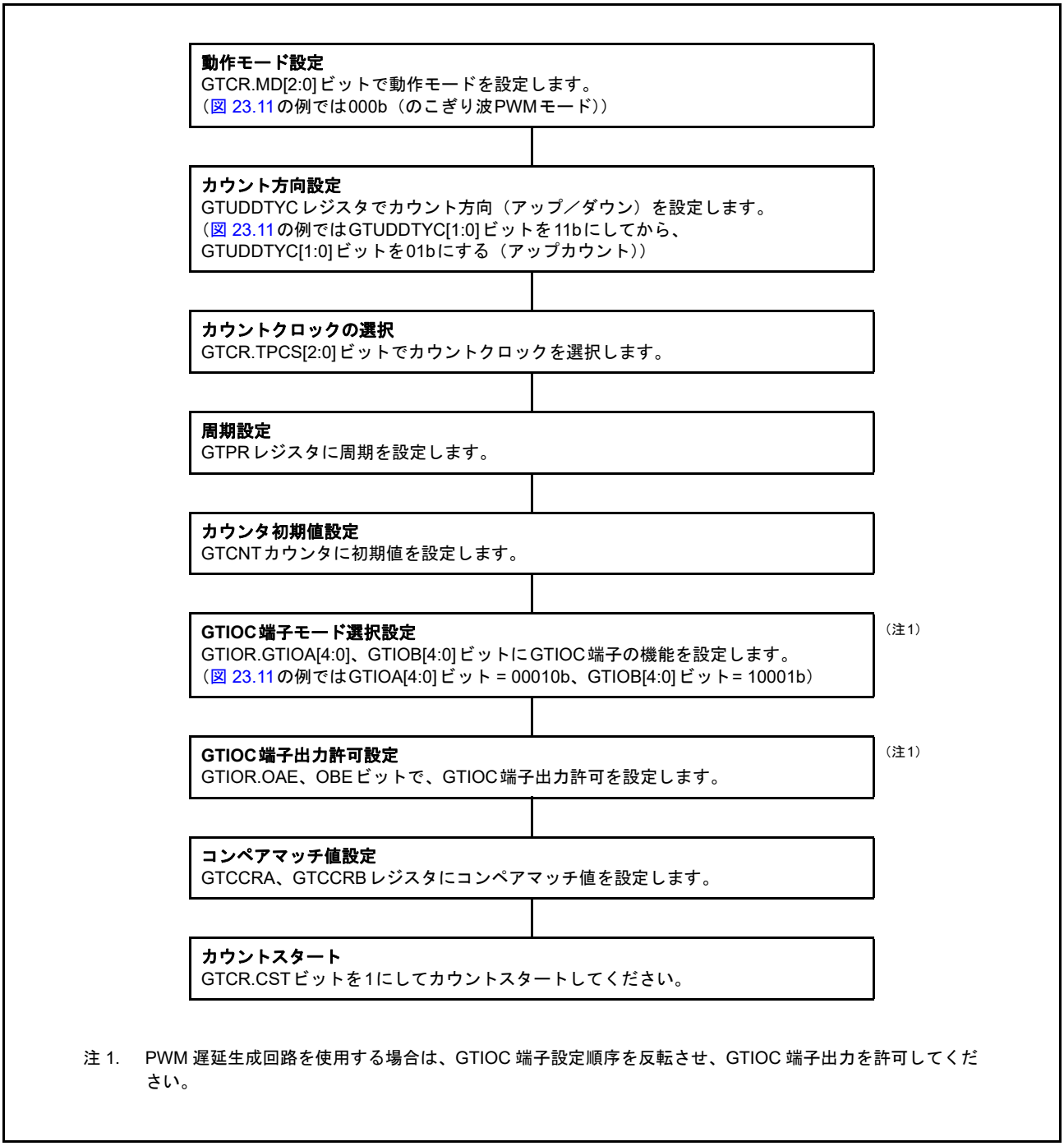


図 23.11 Low 出力／ High 出力動作例

Low 出力／ High 出力動作設定例を図 23.12 に示します。



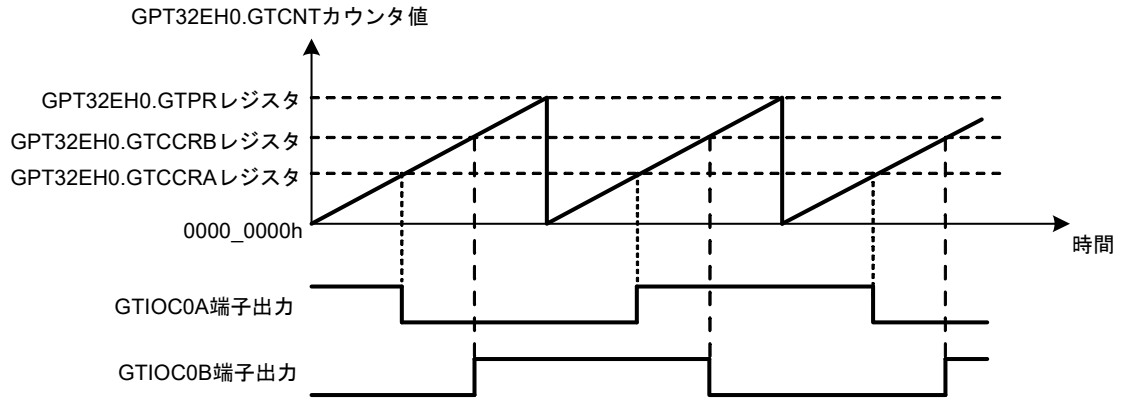
注 1. PWM 遅延生成回路を使用する場合は、GTIOC 端子設定順序を反転させ、GTIOC 端子出力を許可してください。

図 23.12 Low 出力／ High 出力動作設定例

(2) トグル出力

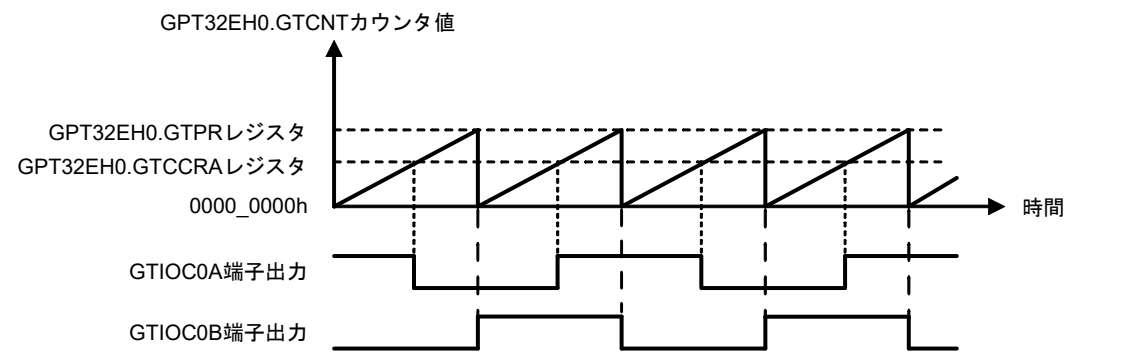
GTCCRA および GTCCRB レジスタのコンペアマッチによるトグル出力の動作例を、図 23.13 および図 23.14 に示します。図 23.13 は、GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GPT32EH0.GTCCRA、GPT32EH0.GTCCRB レジスタのコンペアマッチによって、それぞれ GTIOC0A 端子と GTIOC0B 端子がトグル出力となるように設定した場合の例です。

図 23.14 は、GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GPT32EH0.GTCCRA レジスタのコンペアマッチによって GTIOC0A 端子をトグル出力、周期の終わりで GTIOC0B 端子をトグル出力となるように設定した場合の例です。



［設定例］
GPT32EH0.GTIOR.GTIOA[4:0] ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GPT32EH0.GTIOR.GTIOB[4:0] ビットの設定：初期出力はLow出力、コンペアマッチでトグル出力、周期の終わりで出力保持

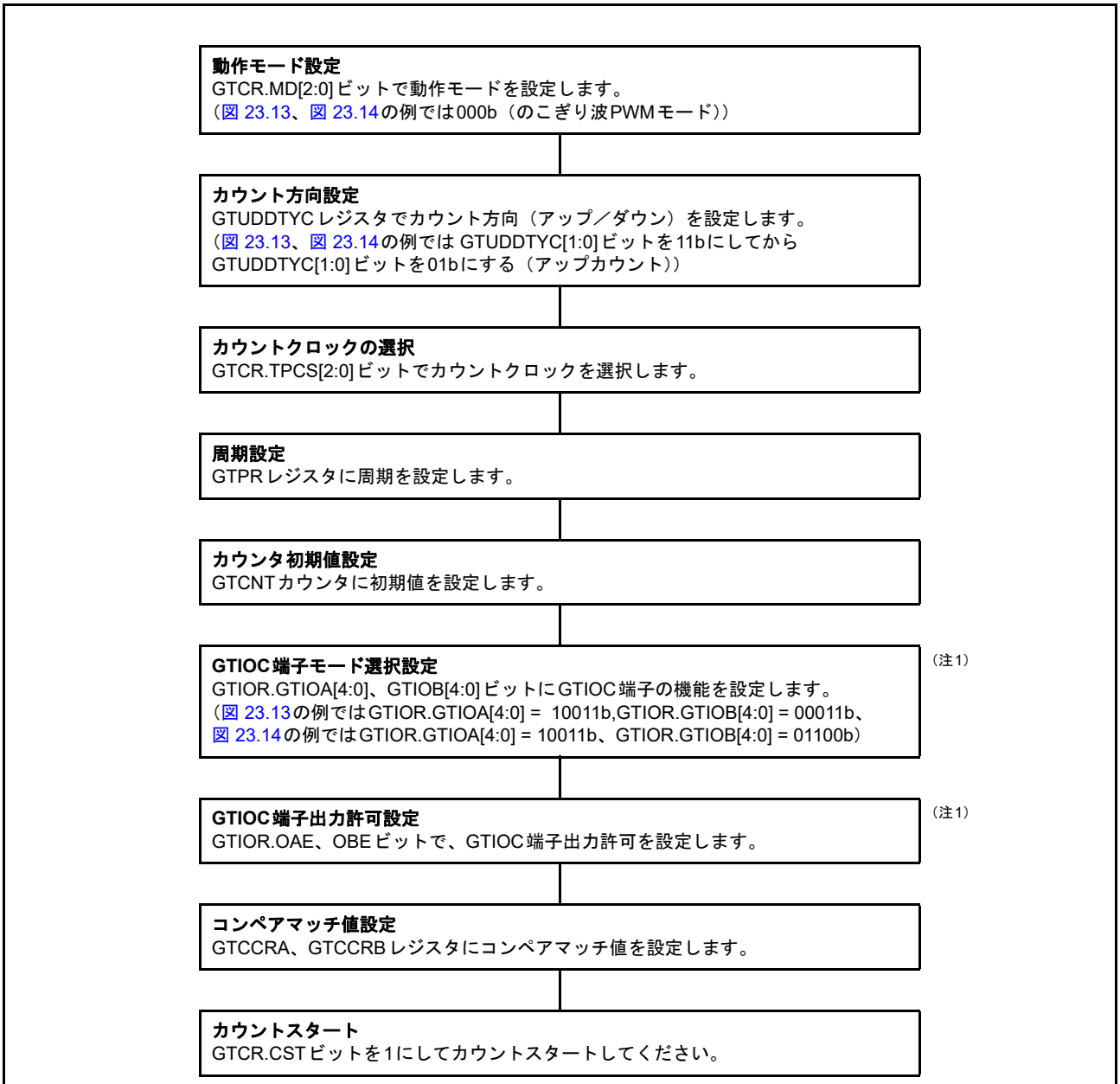
図 23.13　トグル出力動作例（1）



［設定例］
GPT32EH0.GTIOR.GTIOA[4:0]ビットの設定：初期出力はHigh出力、コンペアマッチでトグル出力、周期の終わりで出力保持
GPT32EH0.GTIOR.GTIOB[4:0]ビットの設定：初期出力はLow出力、コンペアマッチで出力保持 、周期の終わりでトグル出力

図 23.14　トグル出力動作例（2）

トグル出力動作設定例を図 23.15 に示します。



注 1. PWM 遅延生成回路を使用する場合は、GTIOC 端子設定順序を反転させ、GTIOC 端子出力を許可してください。

図 23.15 トグル出力動作設定例

23.3.1.3 インプットキャプチャ機能

GTICASR および GTICBSR レジスタに設定されたハードウェア要因の検出時に、GTCCRA レジスタまたは GTCCRB レジスタのいずれか一方に GTCNT カウンタ値を転送できます。

インプットキャプチャ機能の動作例を図 23.16 に示します。

この例では、カウントクロックで GPT32EH0.GTCNT カウンタがアップカウント動作を行い、GTIOC0A 入力端子の両エッジで GTICCRA レジスタにインプットキャプチャを実行し、GTIOC0B 入力端子の立ち上がりエッジで GTICCRB レジスタにインプットキャプチャを実行するように設定しています。

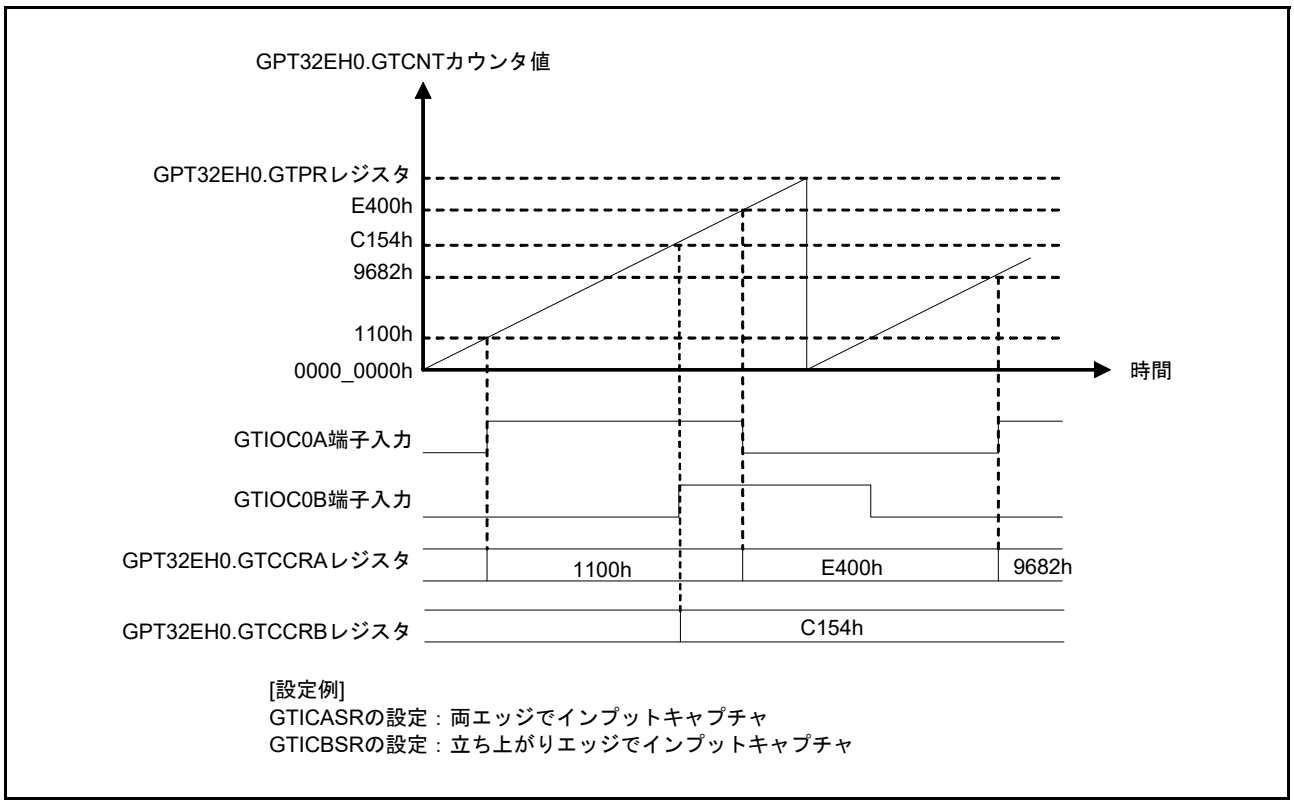


図 23.16 インプットキャプチャ動作例

カウントクロックによるカウント動作でのインプットキャプチャ動作設定例を図 23.17 に示します。

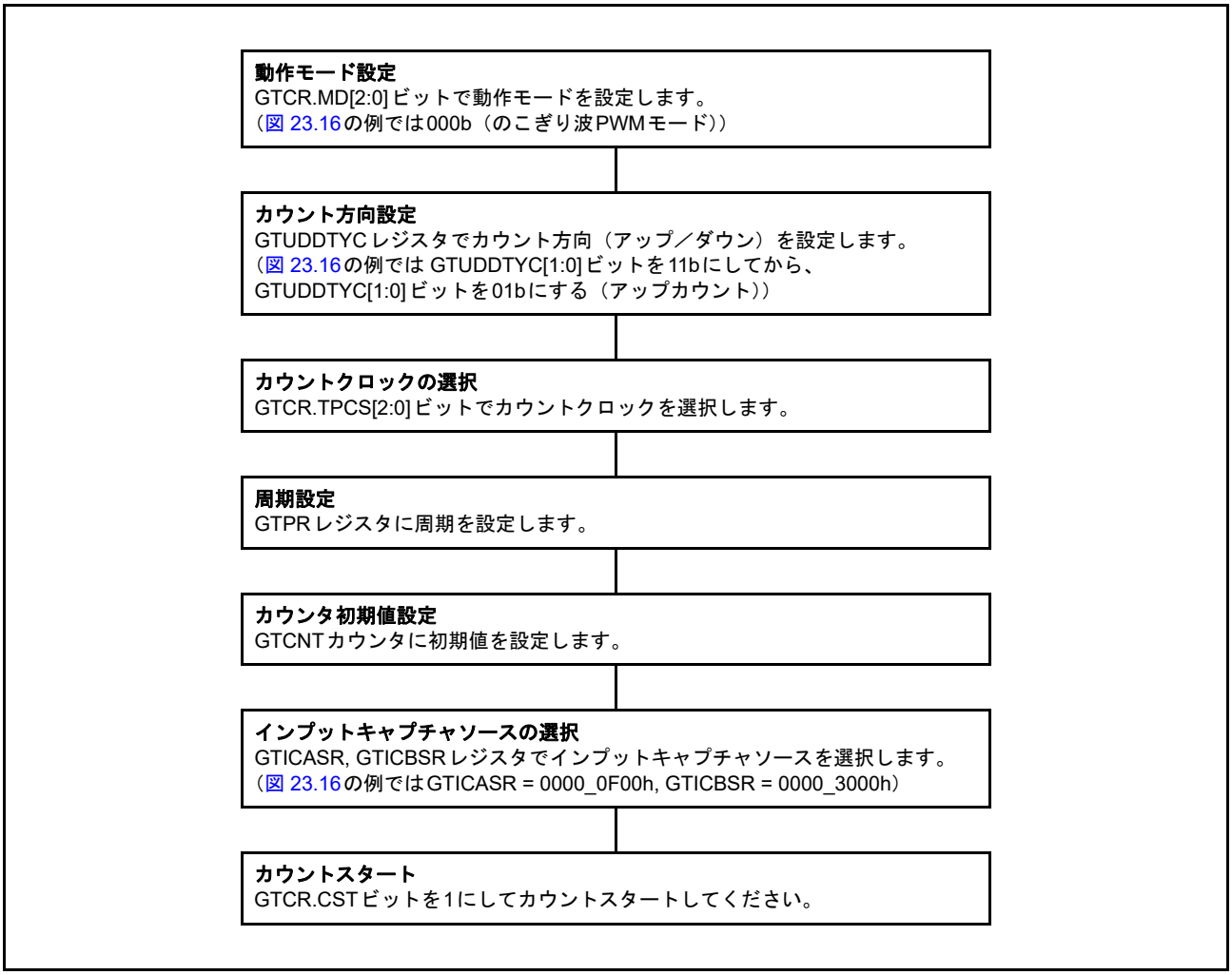


図 23.17　　インプットキャプチャ動作設定例

23.3.2 バッファ動作

GTBER レジスタによって、以下のバッファ動作の設定が可能です。

- GTPR、GTPBR、および GTPDBR
- GTCCRA、GTCCRC、および GTCCRD
- GTCCRB、GTCCRE、および GTCCRF
- GTADTRA、GTADTBRA、および GTADTDBRA
- GTADTRB、GTADTBRB、および GTADTDBRB

GTDTCR レジスタを設定することにより、以下のバッファ動作が可能です。

- GTDVU および GTDBU
- GTDVU および GTDBD

23.3.2.1 GTPR レジスタのバッファ動作

GTPBR レジスタは GTPR レジスタのバッファレジスタ、GTPDBR レジスタは GTPBR レジスタ用のバッファレジスタ（GTPR レジスタ用のダブルバッファレジスタ）として動作します。バッファ転送は、のこぎり波モードまたはイベントカウントのオーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）、および三角波モードの谷で実行されます。

のこぎり波モードまたはイベントカウントでは、カウント中に以下のカウンタクリア動作が発生すると、バッファ転送が実行されます。

- ハードウェア要因によるクリア（クリア要因は GTCSR[23:0] ビットで選択）
- ソフトウェアによるクリア（GTCSR.CCLR ビットが 1、GTCLR[n] ビットが 1、n＝チャネル番号）

GTPR レジスタのダブルバッファ動作を設定するには、GTBER.PR[1:0] ビットを 10b または 11b にしてください。GTPR レジスタのバッファ動作を設定しない場合は、GTBER.PR[1:0] ビットを 00b にしてください。

GTPR レジスタのバッファ動作例を図 23.18 ～図 23.20 に、GTPR レジスタのバッファ動作設定例を図 23.21 に示します。

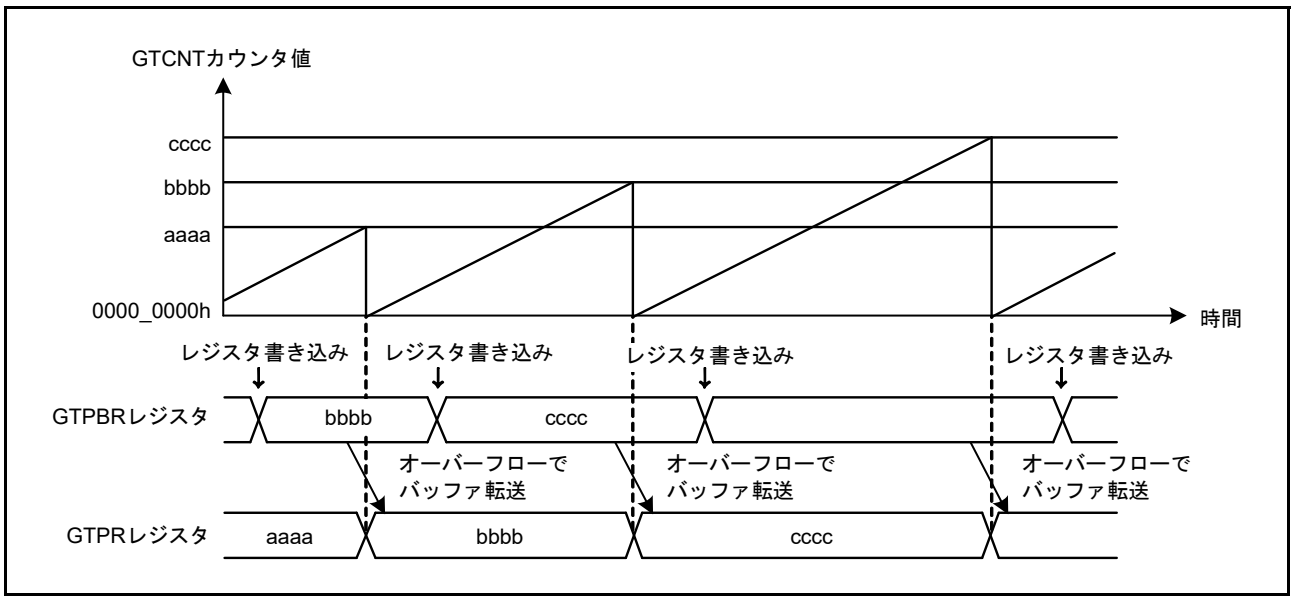


図 23.18 GTPR レジスタのバッファ動作例（のこぎり波でアップカウントの場合）

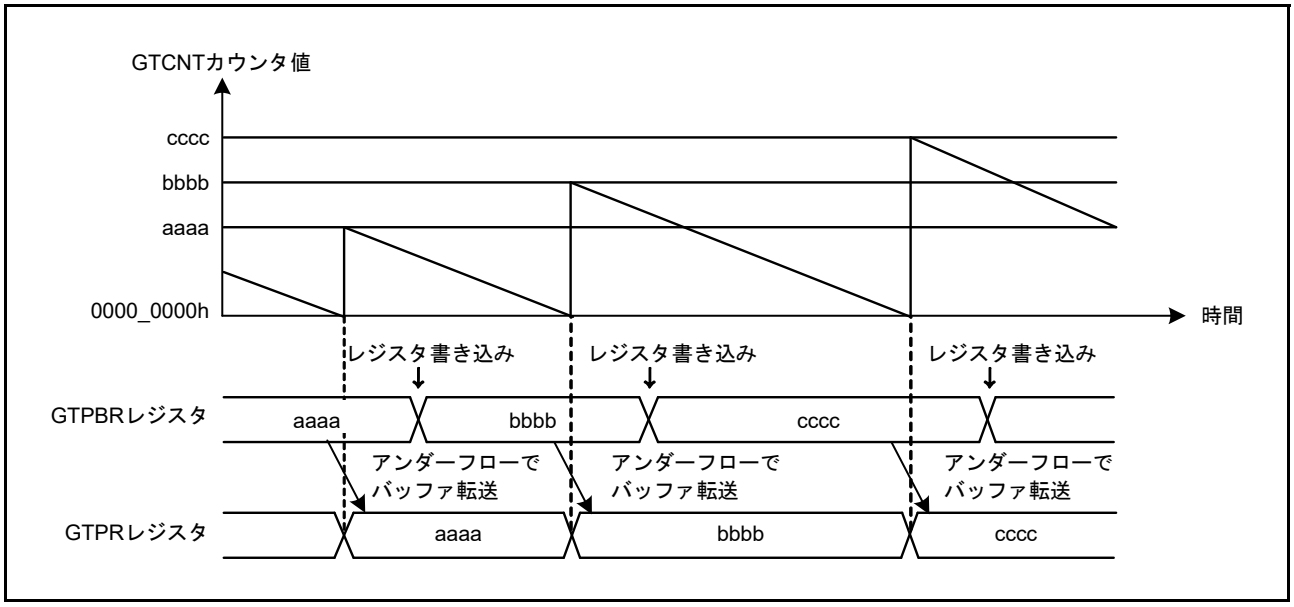


図 23.19　GTPR レジスタのバッファ動作例（のこぎり波でダウンカウントの場合）

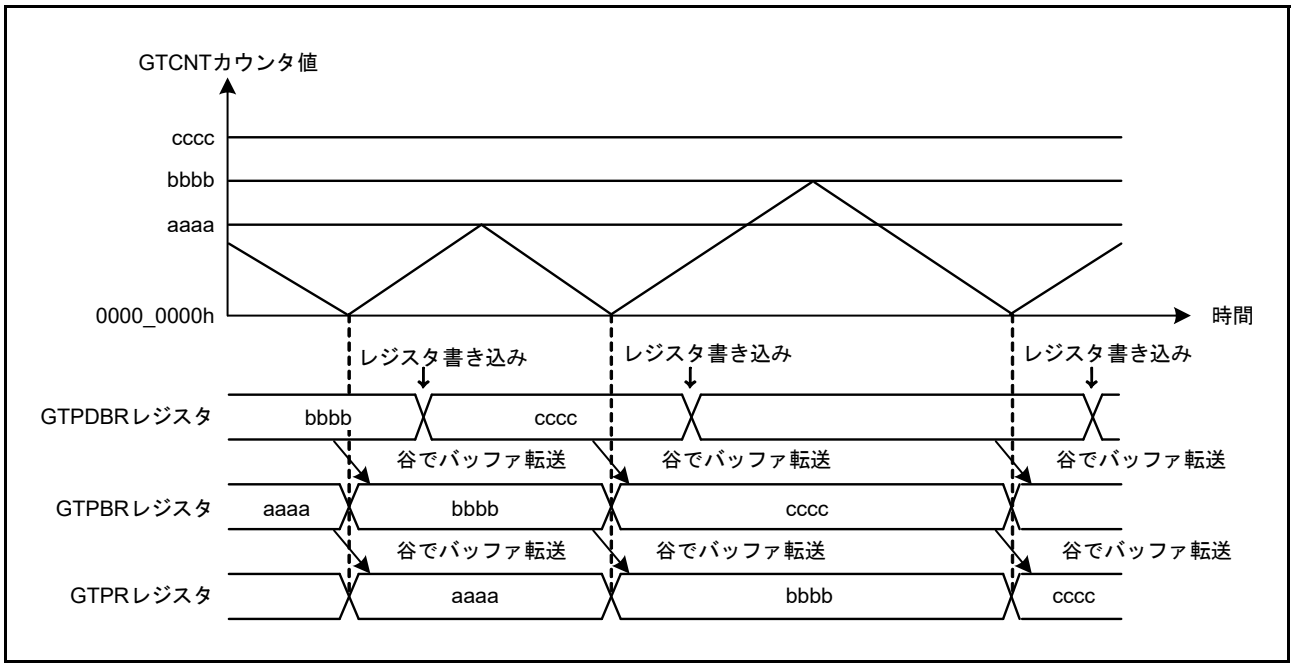


図 23.20　GTPR レジスタのダブルバッファ動作例（三角波の場合）

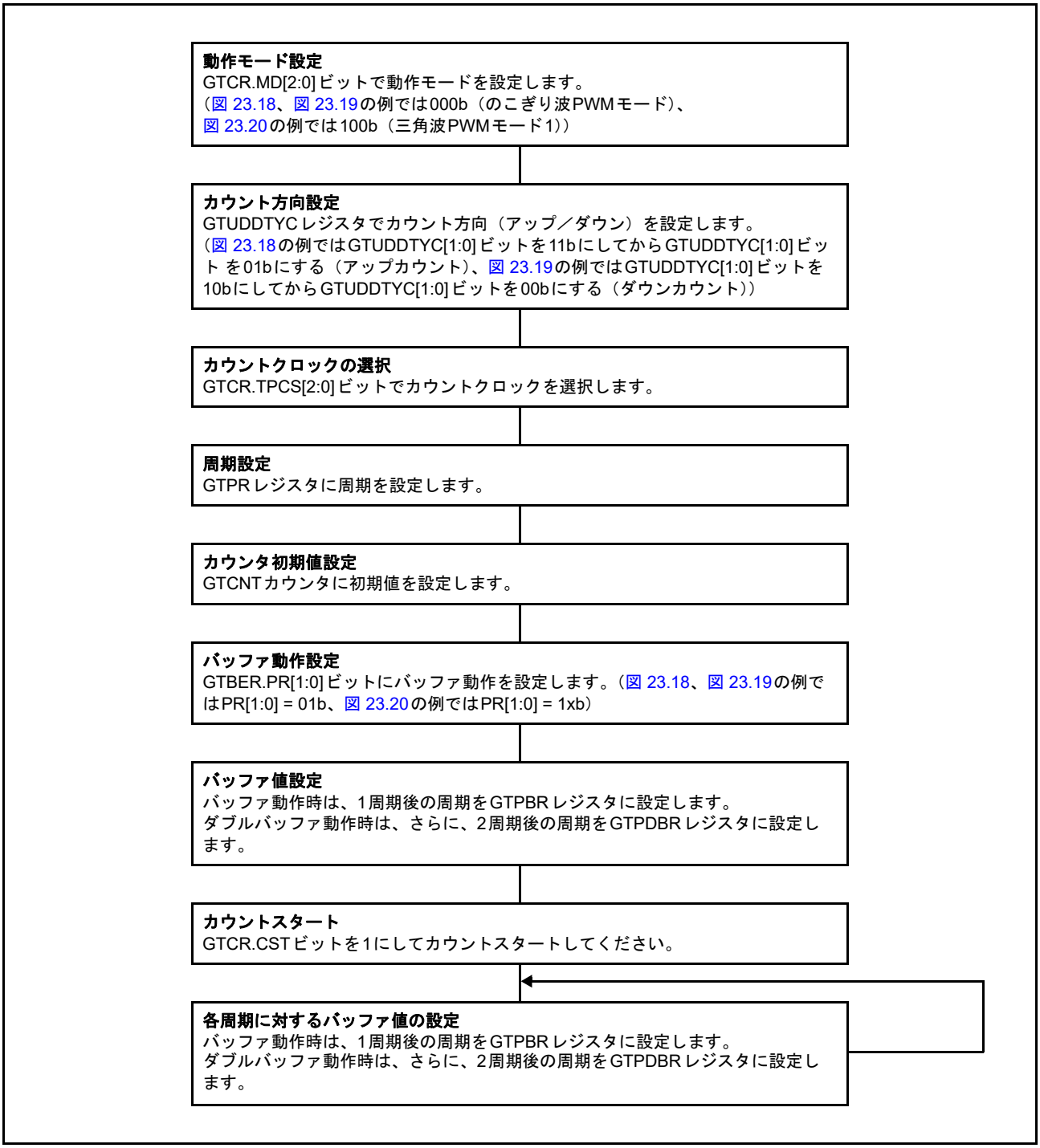


図 23.21　GTPR レジスタのバッファ動作設定例

23.3.2.2 GTCCRA、GTCCRB レジスタのバッファ動作

GTCCRC レジスタは GTCCRA レジスタのバッファレジスタ、GTCCRD レジスタは GTCCRC レジスタのバッファレジスタ（GTCCRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTCCRE レジスタは GTCCRB レジスタのバッファレジスタ、GTCCRF レジスタは GTCCRE レジスタのバッファレジスタ（GTCCRB レジスタのダブルバッファレジスタ）として動作します。

GTCCRA または GTCCRB レジスタをダブルバッファ動作させるには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 10b または 11b にします。シングルバッファとして動作設定するには、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 01b にします。GTCCRA または GTCCRB レジスタをバッファ動作させない場合は、GTBER.CCRA[1:0] または GTBER.CCRB[1:0] ビットを 00b にします。

(1) GTCCRA または GTCCRB レジスタがアウトプットコンペアレジスタとして動作している場合

バッファ転送は以下の状況で発生します。

- オーバーフロー／アンダーフローによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、オーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）に、バッファ転送が実行されます。三角波モードでは、谷（三角波 PWM モード 1）または山と谷（三角波 PWM モード 2）で、バッファ転送が実行されます。
- カウンタクリアによるバッファ転送
  のこぎり波モードまたはイベントカウント動作では、カウント中に 23.3.2.1 GTPR レジスタのバッファ動作に示すものと同じカウンタクリア要因によって、バッファ転送が（アップカウント中のオーバーフロー時またはダウンカウント中のアンダーフロー時と同様に）実行されます。三角波モードでは、カウンタクリアによるバッファ転送は実行されません。
- バッファ強制転送
  GTBER.CCRSWT ビットをカウント停止中に 1 にすると、のこぎり波モード、イベントカウント動作、および三角波モードでは、GTCCRA および GTCCRB レジスタのバッファ転送が強制的に実行されます。さらに、のこぎり波ワンショットパルスモードまたは三角波 PWM モード 3 では、GTCCRD レジスタから一時レジスタ A へのバッファ転送、および GTCCRF レジスタから一時レジスタ B へのバッファ転送が実行されます。

GTCCRA および GTCCRB レジスタのバッファ動作例を図 23.22 ～図 23.24 に、GTCCRA および GTCCRB レジスタのバッファ動作設定例を図 23.25 に示します。

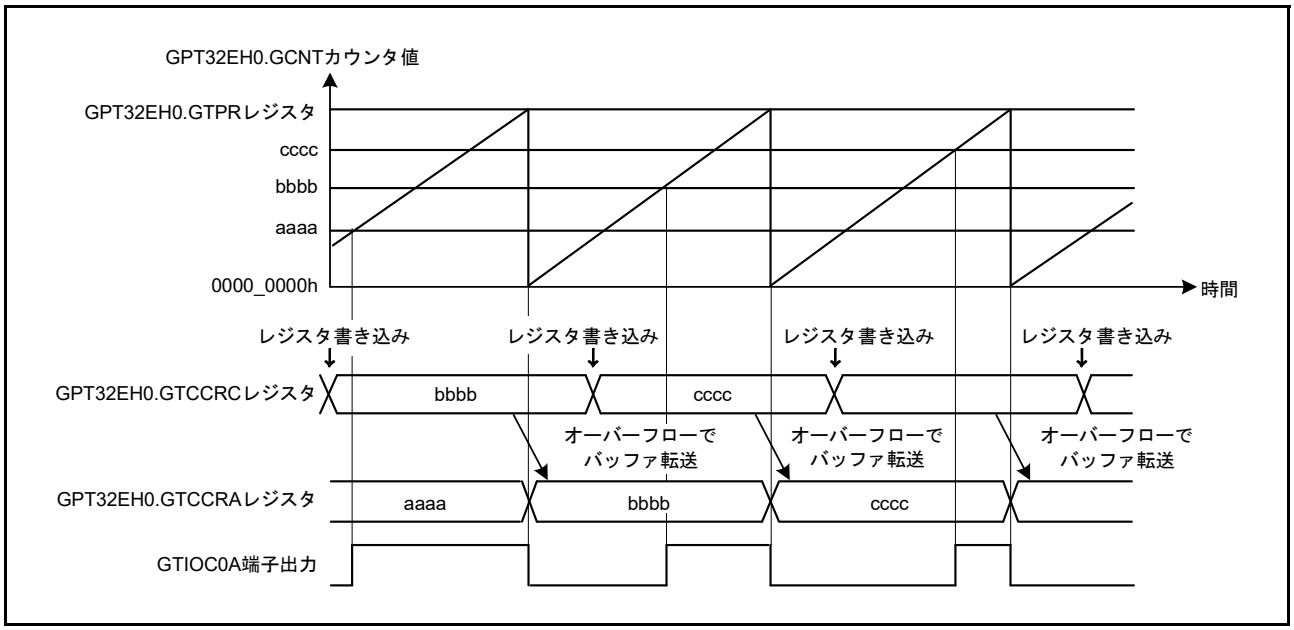


図 23.22 GTCCRA、GTCCRB レジスタのバッファ動作例（アウトプットコンペア、アップカウント時ののこぎり波、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）

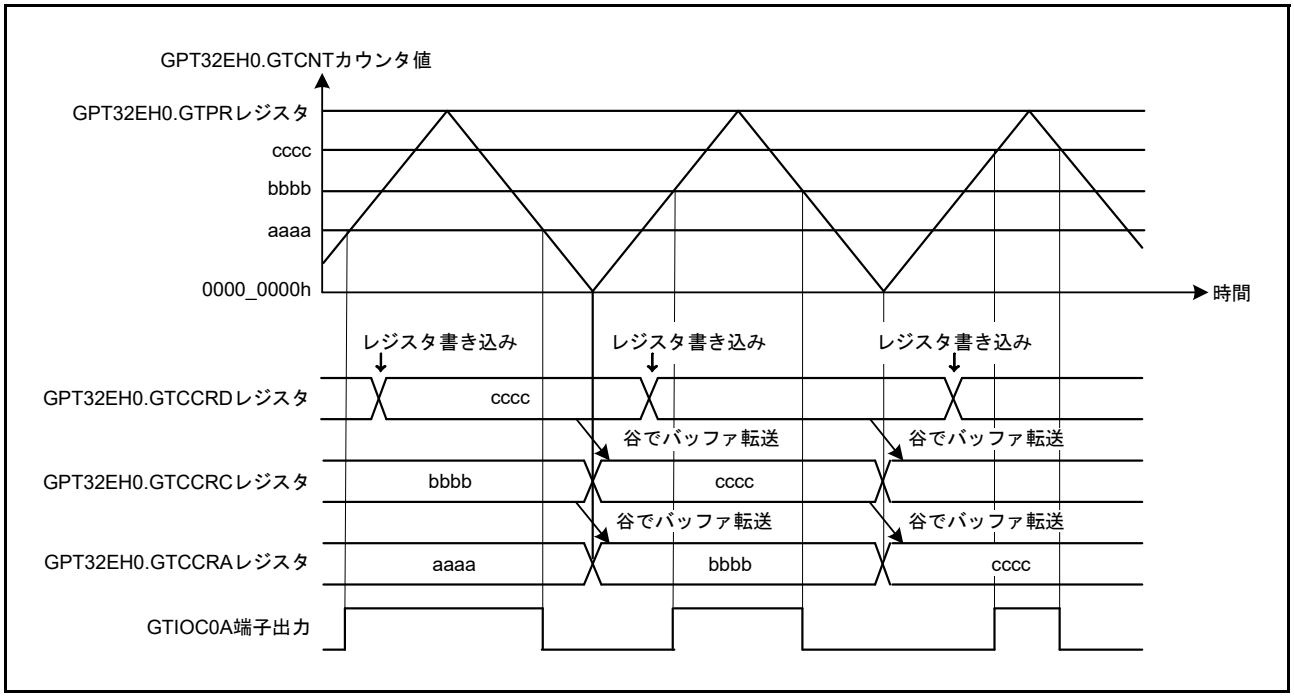


図 23.23　GTCCRA、GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、谷でバッファ動作、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

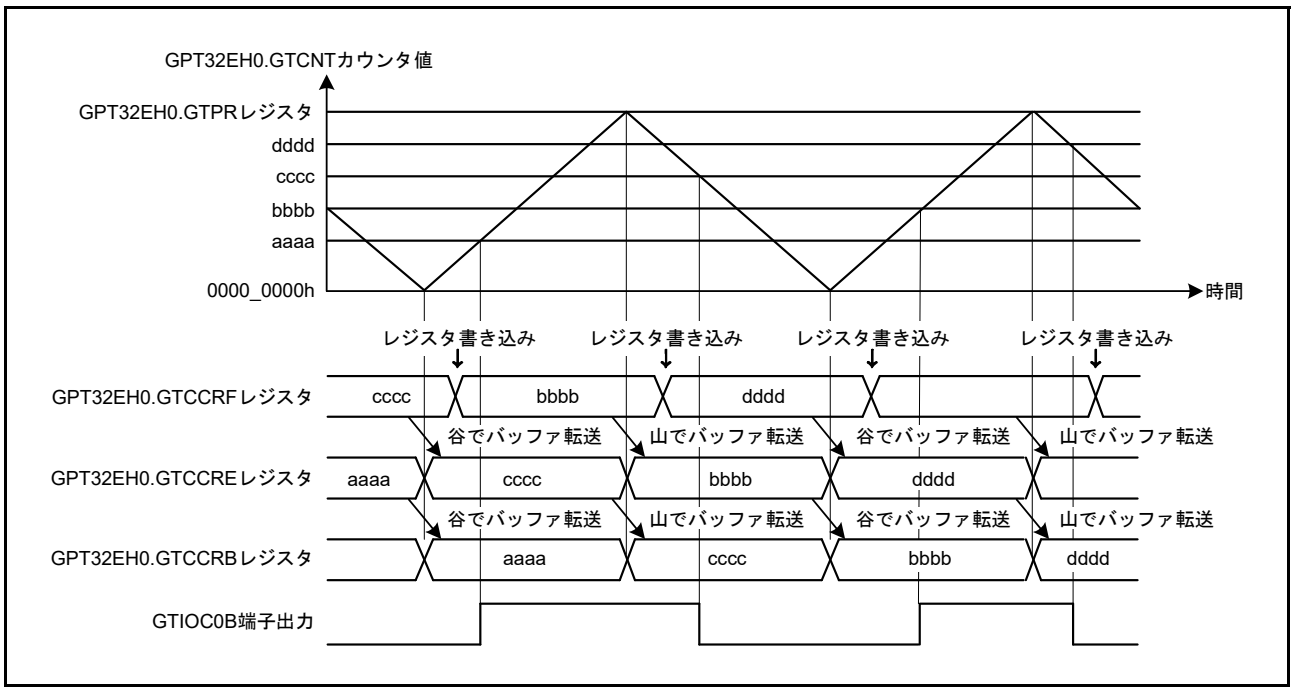


図 23.24　GTCCRA、GTCCRB レジスタのダブルバッファ動作例（アウトプットコンペア、三角波、山と谷でバッファ動作、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

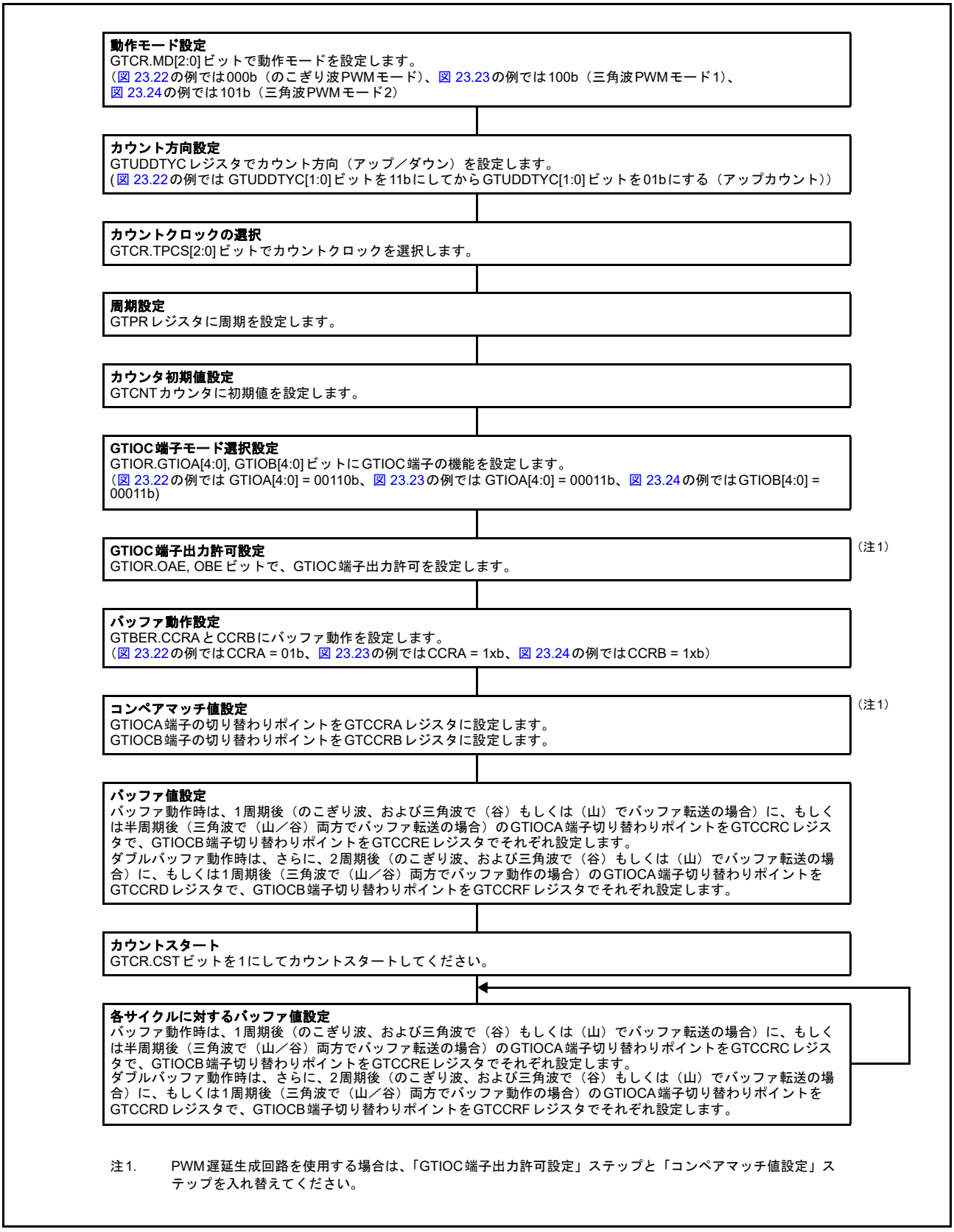


図 23.25 GTCCRA、GTCCRB レジスタのバッファ動作設定例（アウトプットコンペア時）

(2) GTCCRA または GTCCRB レジスタがインプットキャプチャレジスタとして動作している場合

インプットキャプチャが発生すると、GTCNT カウンタ値が GTCCRA および GTCCRB レジスタに転送されると同時に、それまで格納されていた GTCCRA および GTCCRB レジスタ値がバッファレジスタに転送されます。インプットキャプチャ動作では、カウンタクリアによるバッファ転送は実行されません。

GTCCRA および GTCCRB レジスタのバッファ動作例を図 23.26 と図 23.27 に、GTCCRB レジスタのバッファ動作設定例を図 23.28 に示します。

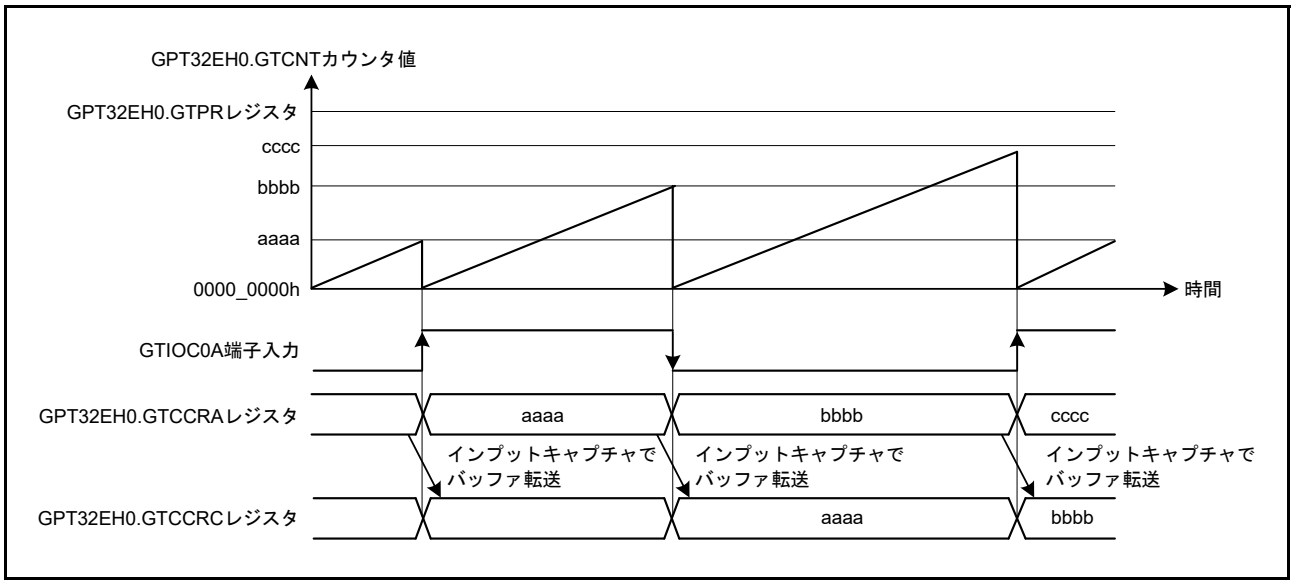


図 23.26　GTCCRA、GTCCRB レジスタのバッファ動作例（GTIOC0A 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0A 端子入力の両エッジで GTCNT カウンタクリアの場合）

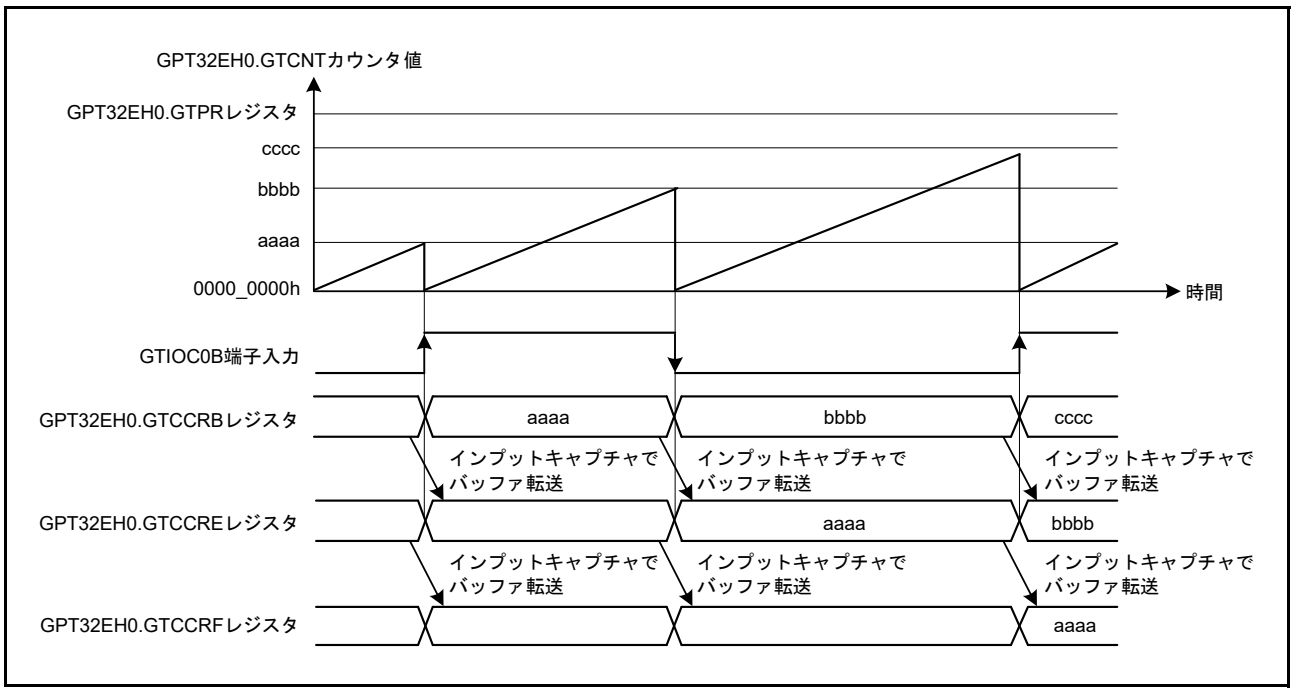


図 23.27　GTCCRA、GTCCRB レジスタのダブルバッファ動作例（GTIOC0B 端子入力の両エッジでインプットキャプチャ、のこぎり波でアップカウント、GTIOC0B 端子入力の両エッジで GTCNT カウンタクリアの場合）

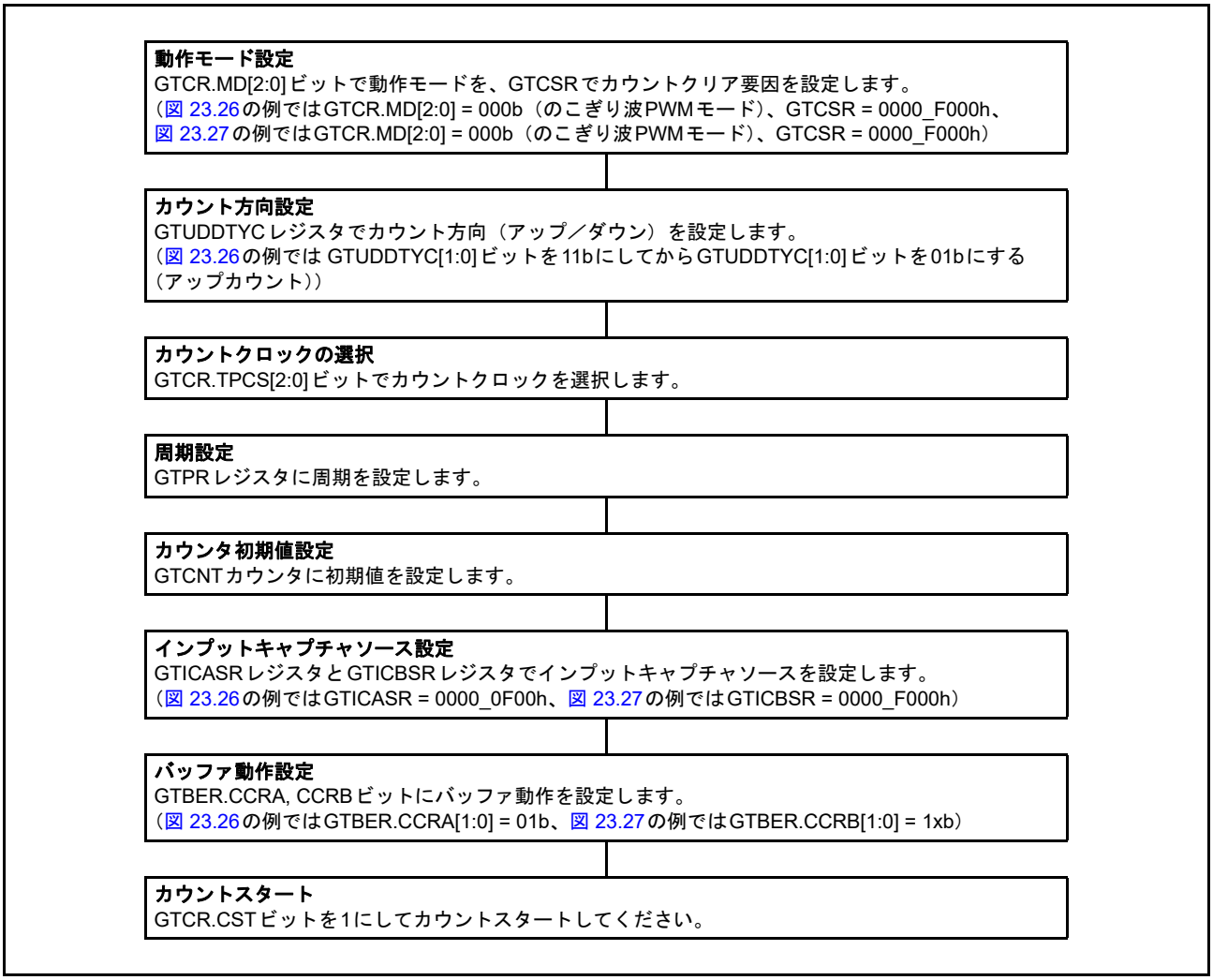


図 23.28 GTCCRA、GTCCRB レジスタのバッファ動作設定例（インプットキャプチャ時）

23.3.2.3 GTADTRA、GTADTRB レジスタのバッファ動作

GTADTBRA レジスタは GTADTRA レジスタのバッファレジスタ、GTADTDBRA レジスタは GTADTBRA レジスタのバッファレジスタ（GTADTRA レジスタのダブルバッファレジスタ）として動作します。同様に、GTADTBRB レジスタは GTADTRB レジスタのバッファレジスタ、GTADTDBRB レジスタは GTADTBRB レジスタのバッファレジスタ（GTADTRB レジスタのダブルバッファレジスタ）として動作します。

GTADTRA または GTADTRB レジスタのダブルバッファ動作させる場合には、GTBER.ADTDA または GTBER.ADTDB ビットを 1 にします。シングルバッファとして動作設定するには、GTBER.ADTDA または GTBER.ADTDB ビットを 0 にします。GTADTRA または GTADTRB レジスタのバッファ動作させない場合は、GTBER.ADTTA[1:0] または GTBER.ADTTB[1:0] ビットを 00b にします。

バッファ転送のタイミングは、GTBER.ADTTA[1:0] ビットで設定できます。のこぎり波の場合、オーバーフロー（アップカウント中）またはアンダーフロー（ダウンカウント中）を選択できます。三角波の場合、GTBER.ADTTA[1:0] ビット = 01b のときは山、GTBER.ADTTA[1:0] ビット = 10b のときは谷、GTBER.ADTTA[1:0] ビット = 11b のときは山と谷の両方を選択できます。

GTADTRA および GTADTRB レジスタのバッファ動作例を図 23.29 ～図 23.31 に、GTDTRA および GTADTRB レジスタのバッファ動作設定例を図 23.32 に示します。

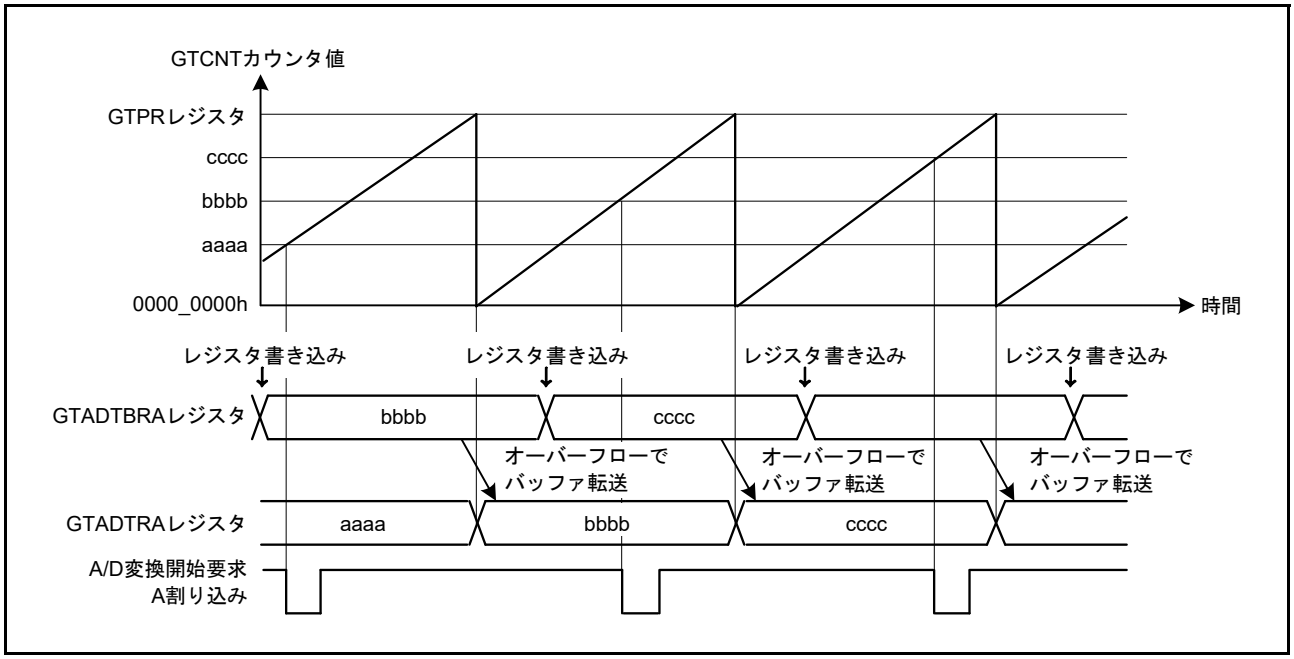


図 23.29 GTADTRA、GTADTRB レジスタのバッファ動作例（のこぎり波でアップカウント、アップカウントで A/D 変換開始要求割り込み発生の場合）

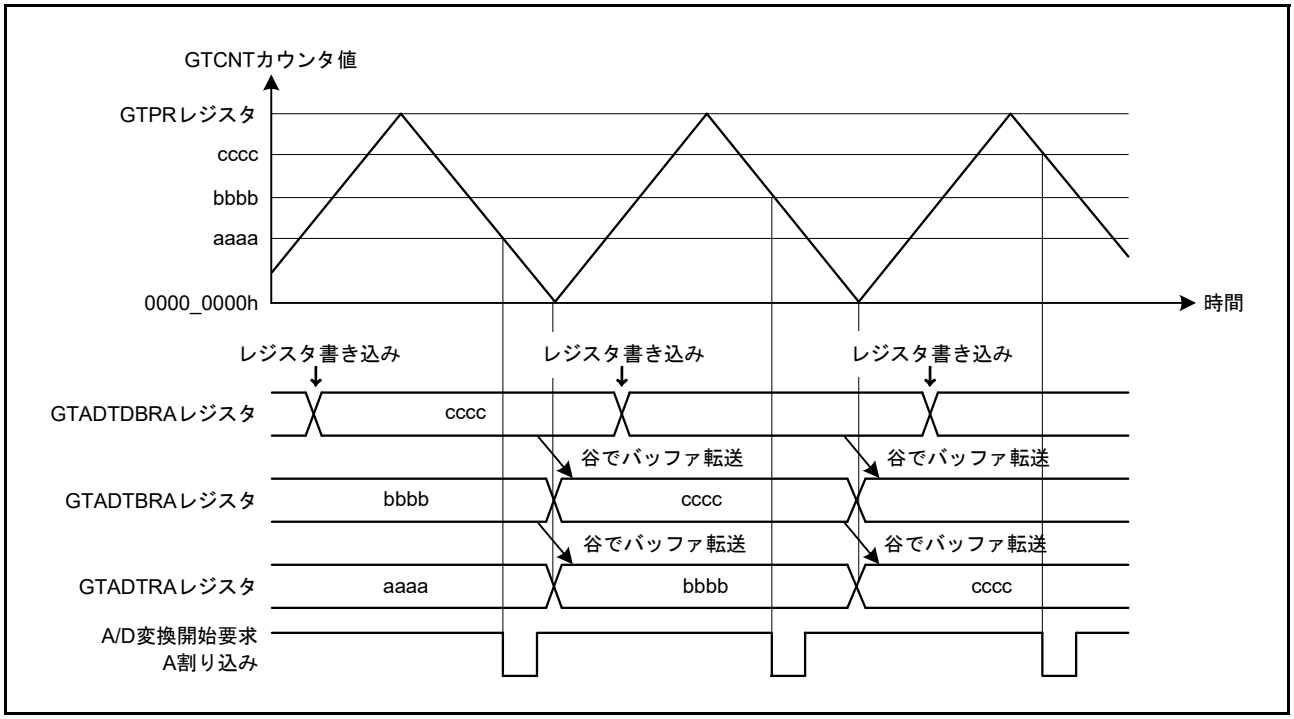


図 23.30　GTADTRA、GTADTRB レジスタのダブルバッファ動作例（三角波、谷でバッファ転送、ダウンカウントで A/D 変換開始要求割り込み発生の場合）

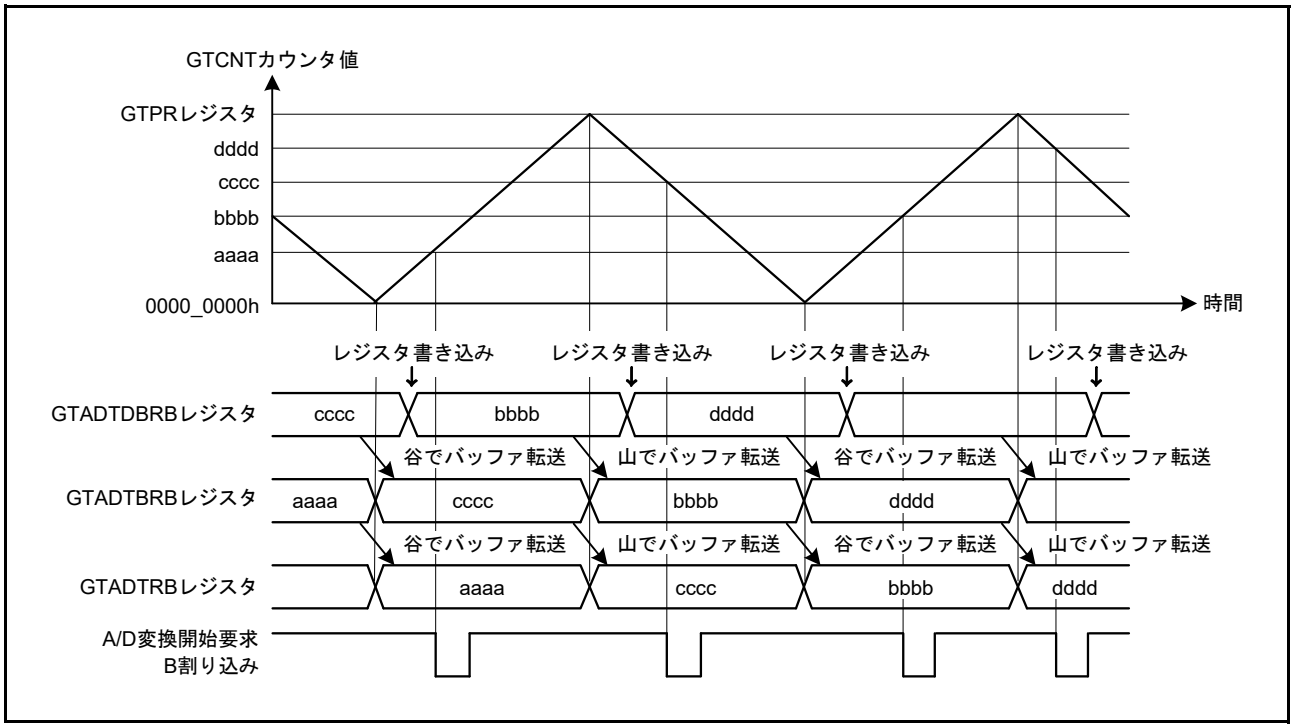


図 23.31　GTADTRA、GTADTRB レジスタのダブルバッファ動作例（三角波、谷と山の両方でバッファ転送、アップカウントとダウンカウント両方で A/D 変換開始要求割り込み発生の場合）

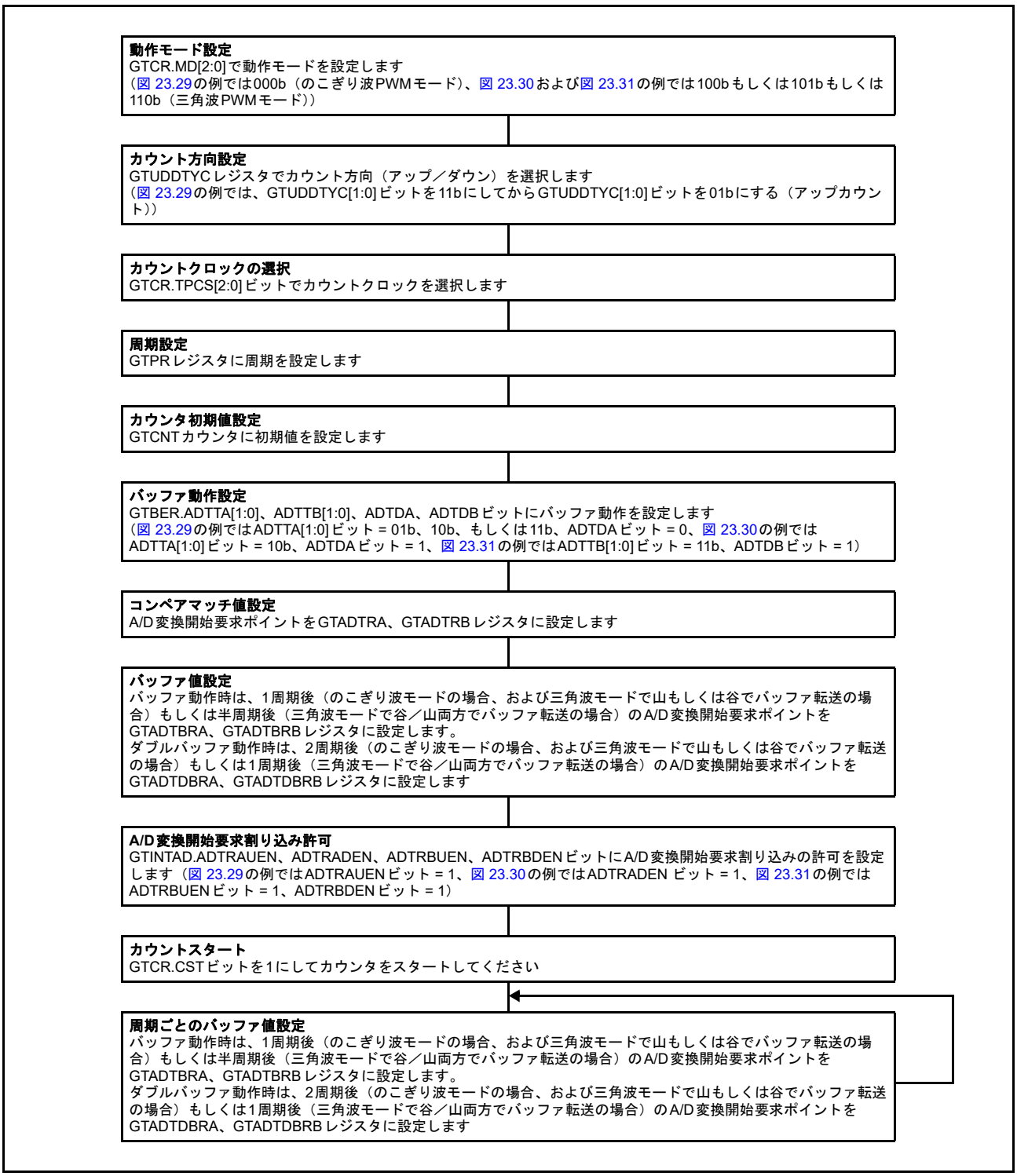


図 23.32 GTADTRA、GTADTRB レジスタのバッファ動作設定例

23.3.3 PWM 出力動作モード

GPT は、GTCNT カウンタと GTCCRA または GTCCRB レジスタとのコンペアマッチに基づいて、GTIOCA 端子または GTIOCB 端子へ PWM 波形を出力することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

23.3.3.1 のこぎり波 PWM モード

のこぎり波 PWM モードは、GTPR レジスタに周期を設定することにより、GTCNT カウンタにのこぎり波（半波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に、GTIOCA または GTIOCB 端子に PWM 波形を出力するモードです。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力を設定することができます。

図 23.33 にのこぎり波 PWM モードの動作例を、図 23.34 にのこぎり波 PWM モードの設定例を示します。

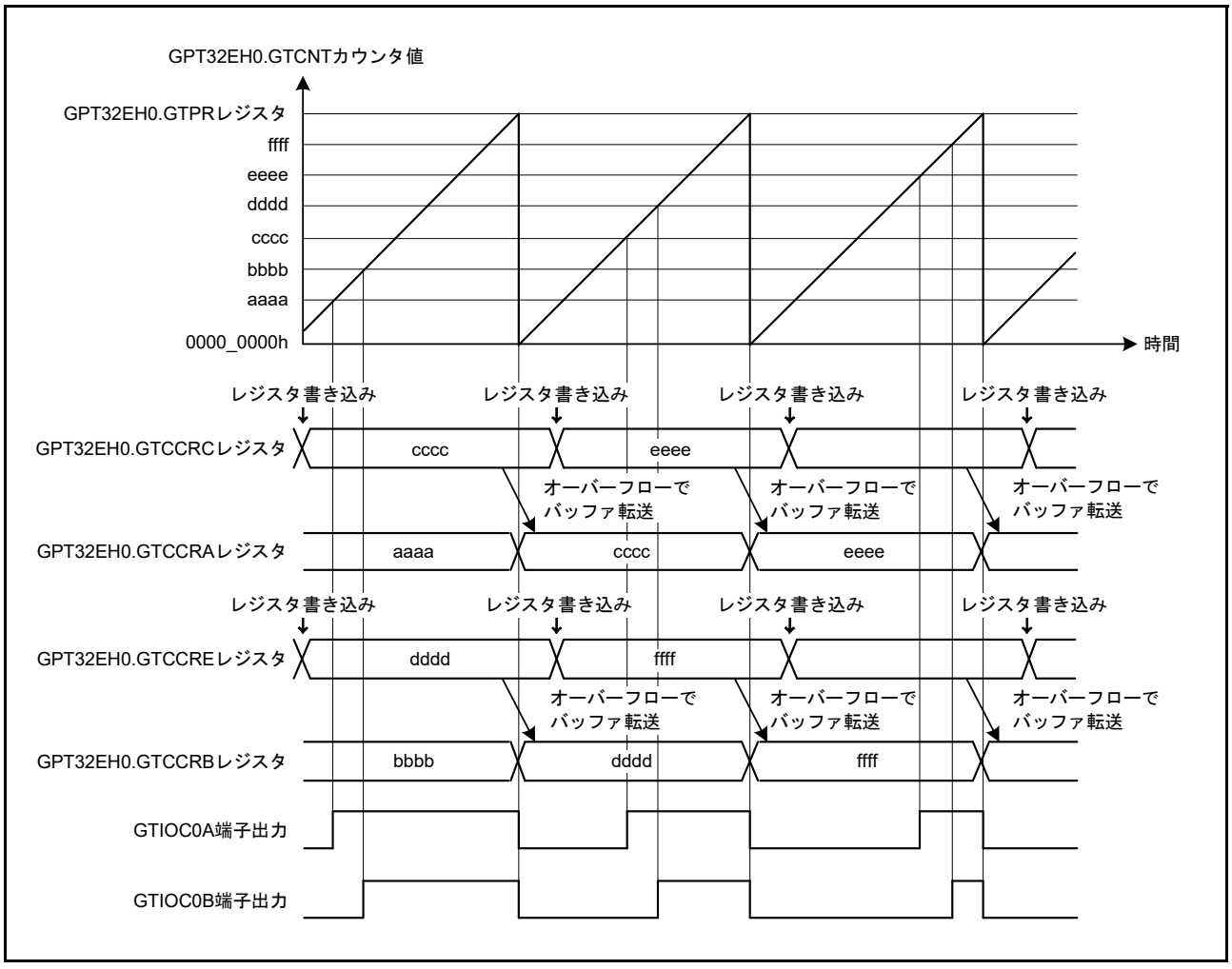
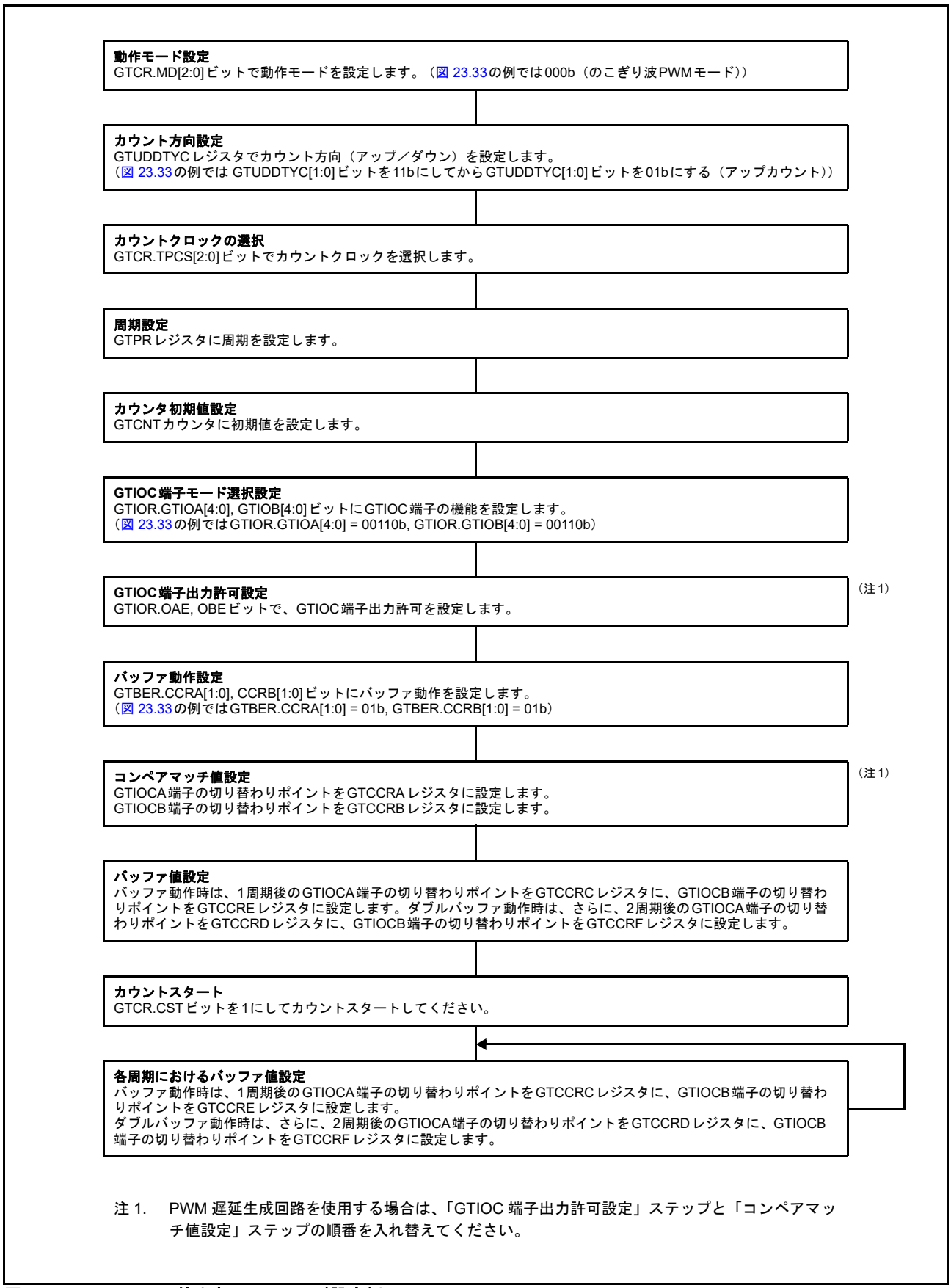


図 23.33 のこぎり波 PWM モード動作例（アップカウント、バッファ動作、GTCCRA/GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力の場合）



注 1. PWM 遅延生成回路を使用する場合は、「GTIOC 端子出力許可設定」ステップと「コンペアマッチ値設定」ステップの順番を入れ替えてください。

図 23.34 のこぎり波 PWM モード設定例

23.3.3.2 のこぎり波ワンショットパルスモード

のこぎり波ワンショットパルスモードは、GTPR レジスタに周期を設定するモードです。GTCNT カウンタにのこぎり波（半波）動作を実行させ、バッファ動作固定で、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力します。

のこぎり波ワンショットパルスモードでのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 周期の終わりに GTCCRC レジスタから GTCCRA レジスタへ
- 周期の終わりに GTCCRE レジスタから GTCCRB レジスタへ
- 周期の終わりに GTCCRD レジスタから一時レジスタ A へ
- 周期の終わりに GTCCRF レジスタから一時レジスタ B へ
- GTCCRA レジスタのコンペアマッチ時に、一時レジスタ A から GTCCRA レジスタへ
- GTCCRB レジスタのコンペアマッチ時に、一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力を設定することができます。GTBER.CCRSWT ビットをカウント停止中に 1 にすると、GTCCRD レジスタから一時レジスタ A へ、および GTCCRF レジスタから一時レジスタ B へ、バッファ転送が強制的に実行されます。また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値は GTCCRB レジスタに自動設定されます。

図 23.35 に、のこぎり波ワンショットパルスモードの動作例を、図 23.36 に、のこぎり波ワンショットパルスモードの設定例を示します。

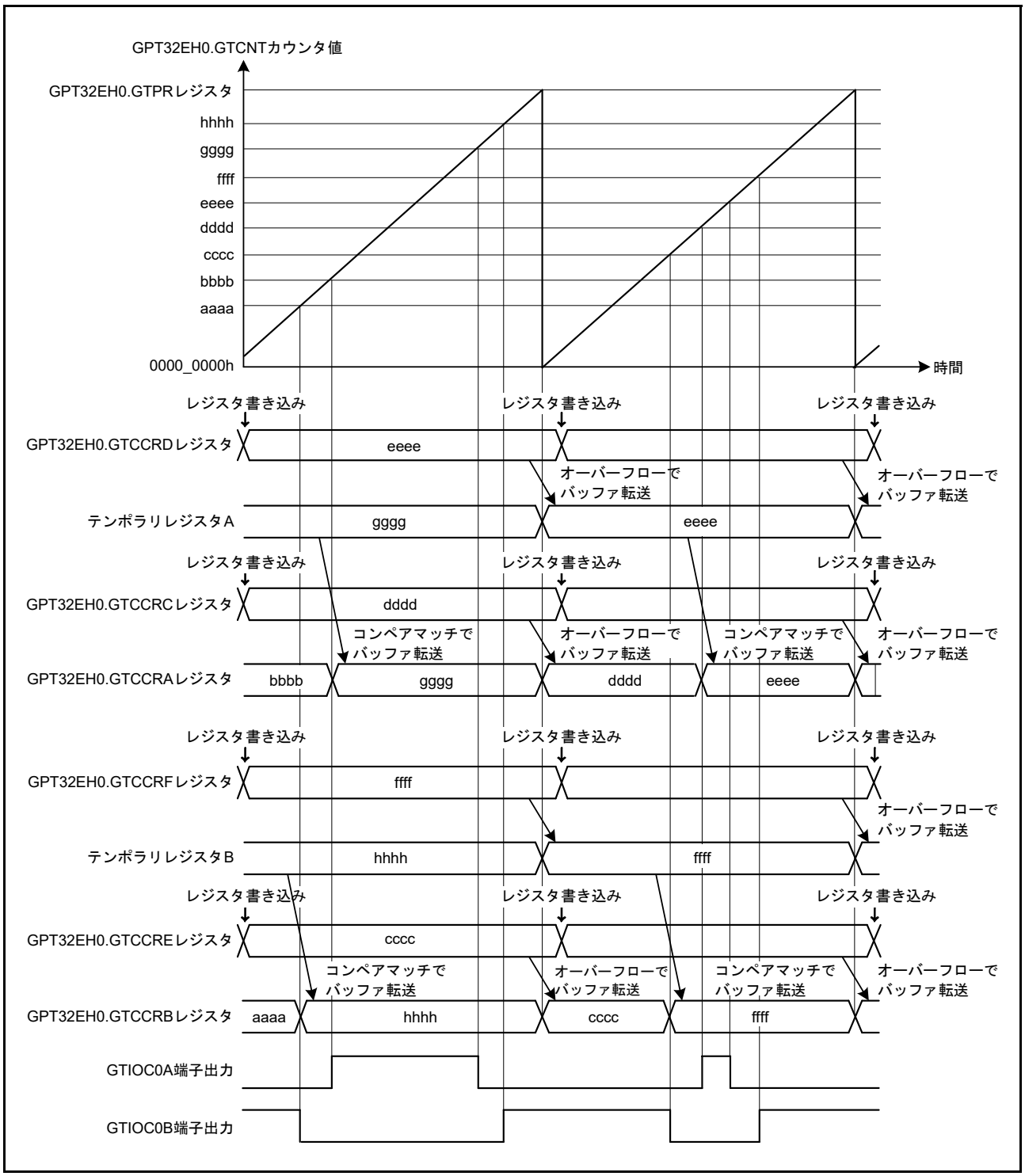
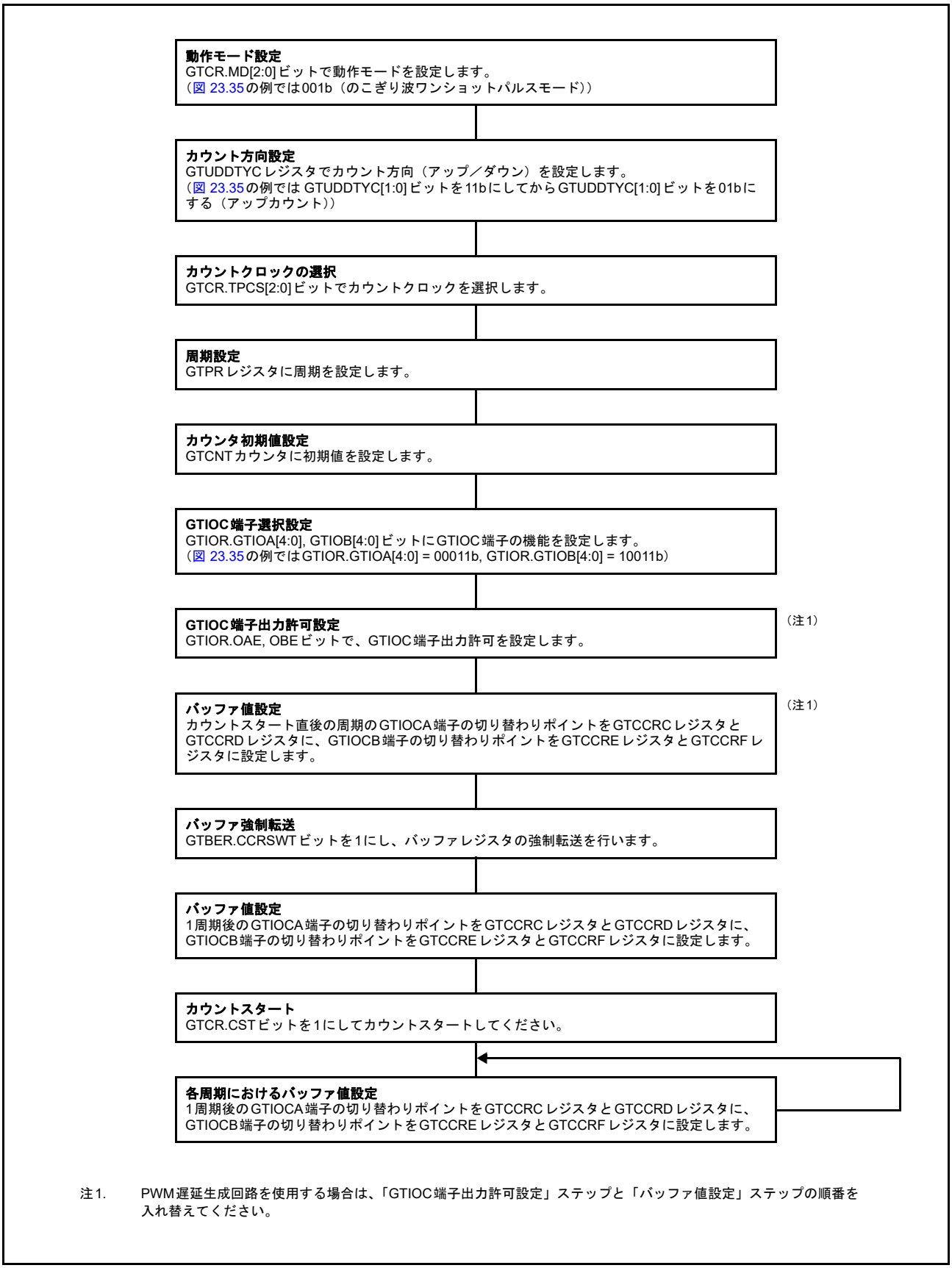


図 23.35 のこぎり波ワンショットパルスモード動作例（アップカウント、カウントスタート時 GTIOC0A 端子 = Low 出力／ GTIOC0B 端子 = High 出力、GTCCRA ／ GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



注1. PWM遅延生成回路を使用する場合は、「GTIOC端子出力許可設定」ステップと「バッファ値設定」ステップの順番を入れ替えてください。

図 23.36 のこぎり波ワンショットパルスモード設定例

23.3.3.3 三角波 PWM モード 1（谷 32 ビット転送）

三角波 PWM モード 1 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。バッファ転送は谷で行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力／High 出力／トグル出力から選択できます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 23.37 に三角波 PWM モード 1 の動作例を、図 23.38 に三角波 PWM モード 1 の設定例を示します。

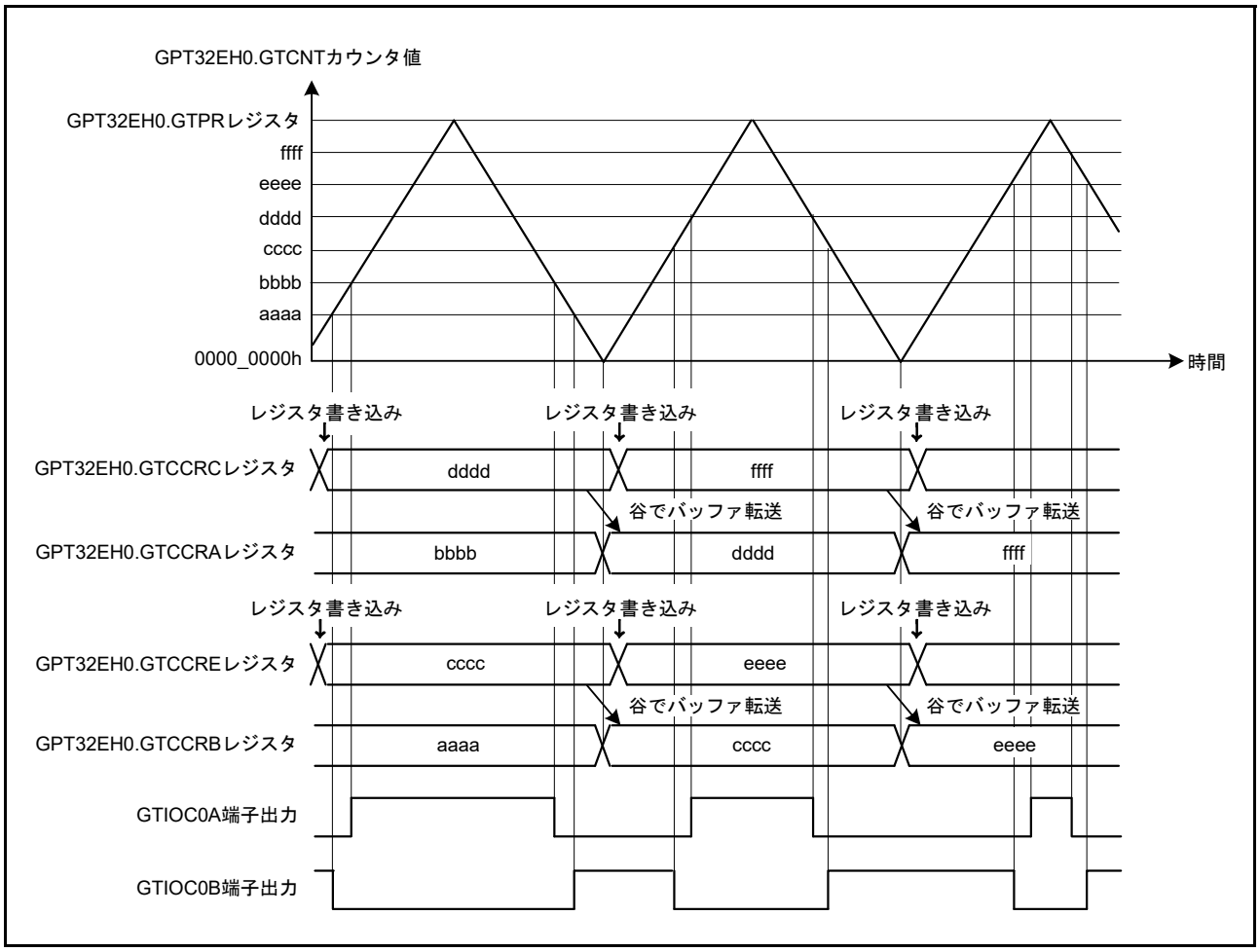
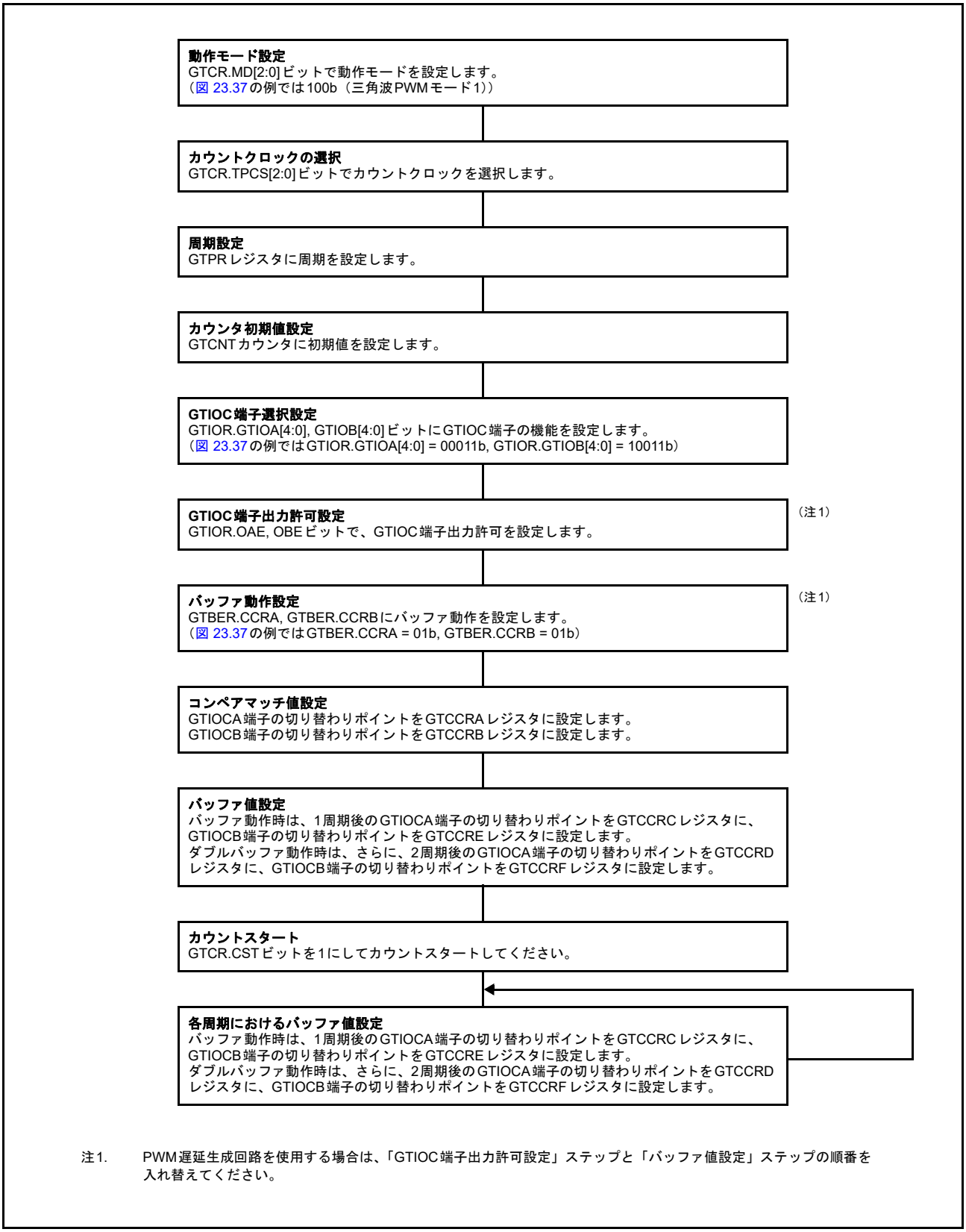


図 23.37 三角波 PWM モード 1 動作例（バッファ動作、カウントスタート時 GTIOC0A 端子 = Low 出力／GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



注1. PWM遅延生成回路を使用する場合は、「GTIOC端子出力許可設定」ステップと「バッファ値設定」ステップの順番を入れ替えてください。

図 23.38 三角波 PWM モード 1 設定例

23.3.3.4 三角波 PWM モード 2（山／谷 32 ビット転送）

三角波 PWM モード 1 と同様に、三角波 PWM モード 2 でも GTPR レジスタに周期を設定します。GTCNT カウンタに三角波（全波）動作を実行させ、GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。山と谷の両方でバッファ転送が行われます。端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチで Low 出力／ High 出力／トグル出力、周期の終わりで Low 出力／ High 出力／トグル出力を設定することができます。

また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 23.39 に三角波 PWM モード 2 の動作例を、図 23.40 に三角波 PWM モード 2 の設定例を示します。

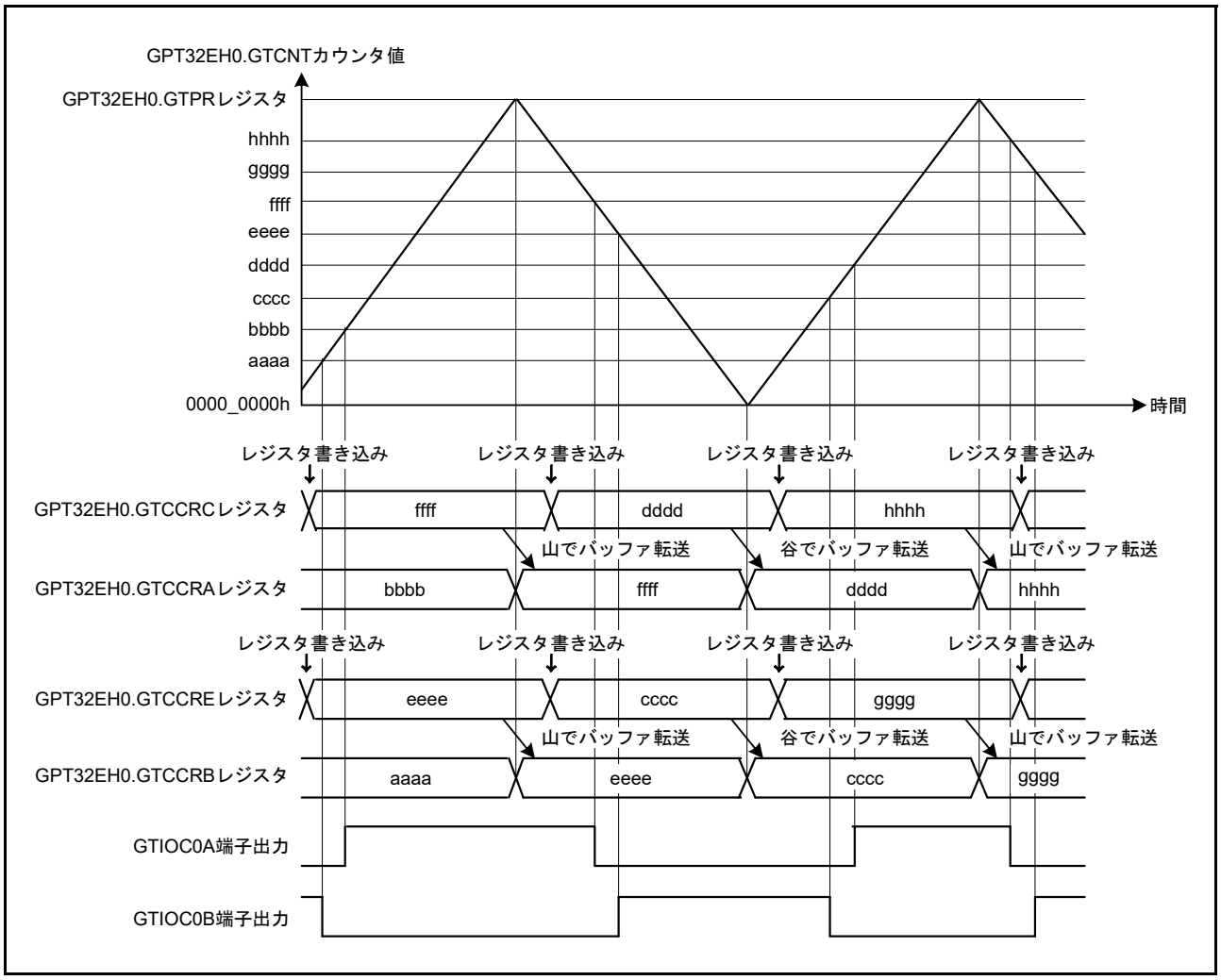
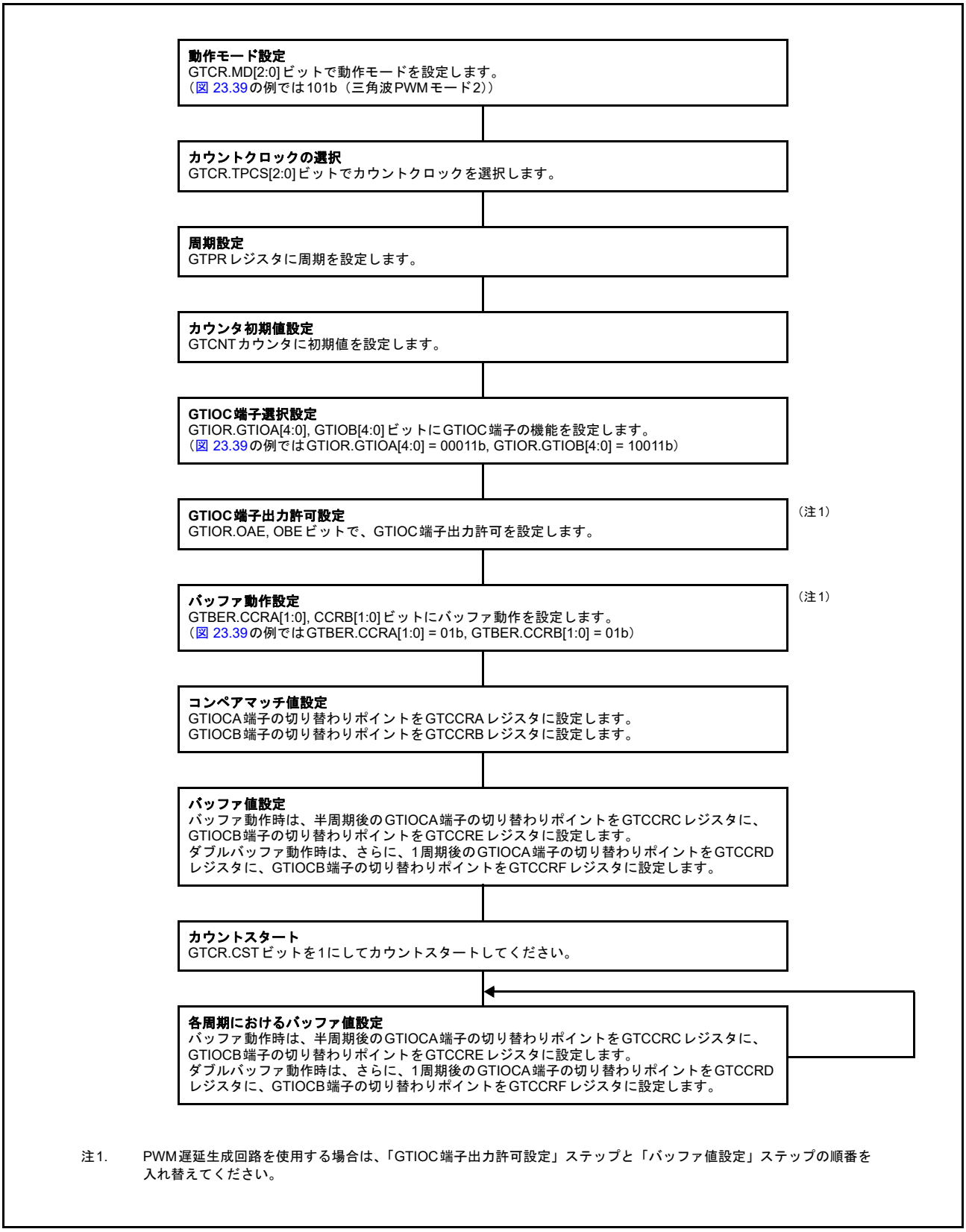


図 23.39 三角波 PWM モード 2 動作例（バッファ動作、カウントスタート時 GTIOC0A 端子 = Low 出力／GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）



注1. PWM遅延生成回路を使用する場合は、「GTIOC端子出力許可設定」ステップと「バッファ値設定」ステップの順番を入れ替えてください。

図 23.40 三角波 PWM モード 2 設定例

23.3.3.5 三角波 PWM モード 3（谷 64 ビット転送）

三角波 PWM モード 3 は、GTPR レジスタに周期を設定するモードです。GTCNT カウンタに三角波（全波）動作を実行させ、バッファ動作を固定させた状態で GTCCRA または GTCCRB レジスタのコンペアマッチ発生時に GTIOCA または GTIOCB 端子に PWM 波形を出力させます。三角波 PWM モード 3 でのバッファ動作は、通常のバッファ動作とは異なります。バッファ転送は以下のように実行されます。

- 谷で GTCCRC レジスタから GTCCRA レジスタへ
- 谷で GTCCRE レジスタから GTCCRB レジスタへ
- 谷で GTCCRD レジスタから一時レジスタ A へ
- 谷で GTCCRF レジスタから一時レジスタ B へ
- 山で一時レジスタ A から GTCCRA レジスタへ
- 山で一時レジスタ B から GTCCRB レジスタへ

端子の出力値は、GTIOR レジスタの設定によって、コンペアマッチ時と周期の終わりでそれぞれ個別に Low 出力／ High 出力／トグル出力から選択できます。また、GTDTCR、GTDVU、および GTDVD レジスタを設定することにより、デッドタイム付き逆相波形のコンペアマッチ値を、GTCCRB レジスタに自動設定することが可能です。

図 23.41 に三角波 PWM モード 3 の動作例を、図 23.42 に三角波 PWM モード 3 の設定例を示します。

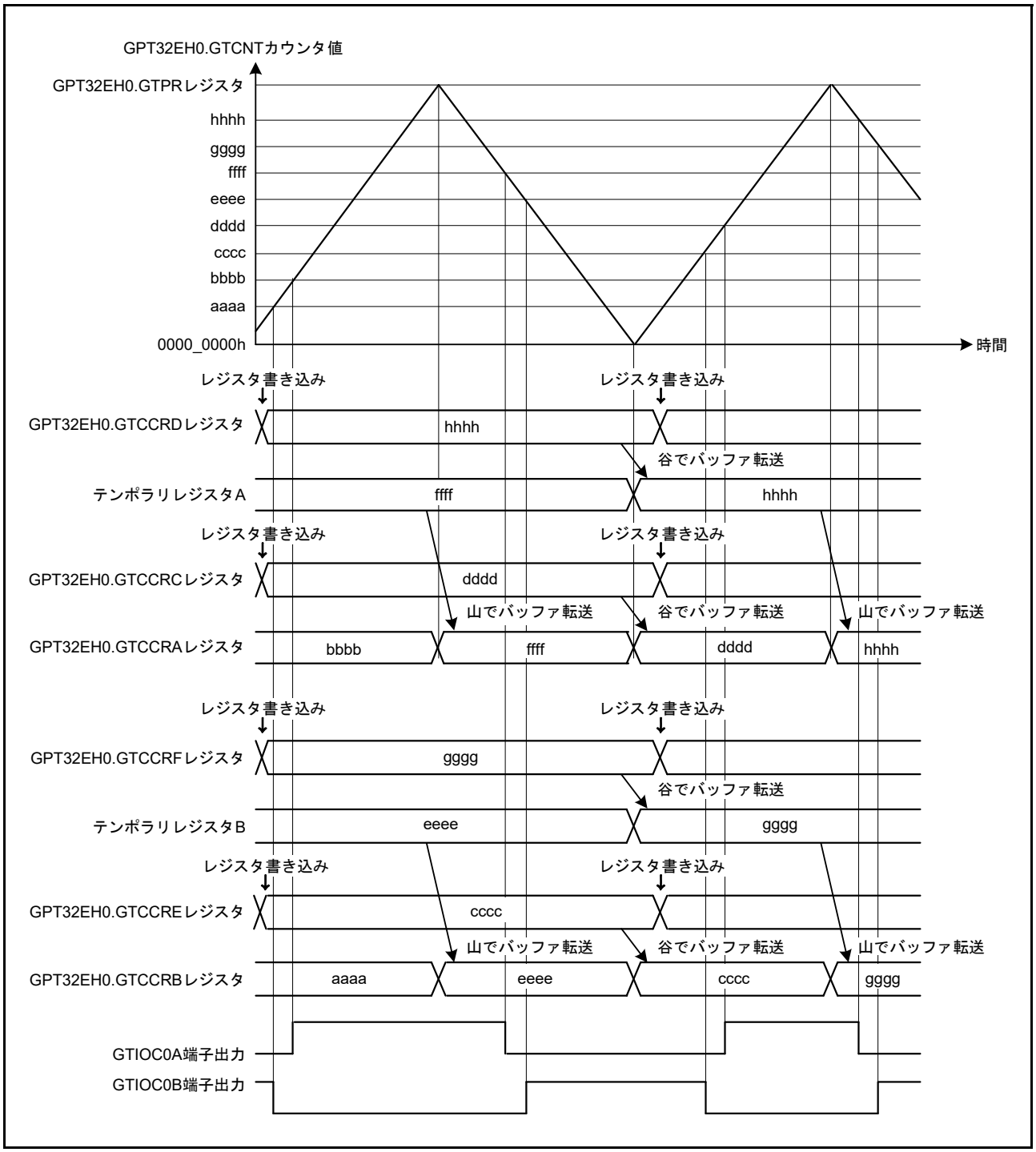


図 23.41 三角波 PWM モード 3 動作例（カウントスタート時 GTIOC0A 端子 = Low 出力／ GTIOC0B 端子 = High 出力、GTCCRA/GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力保持の場合）

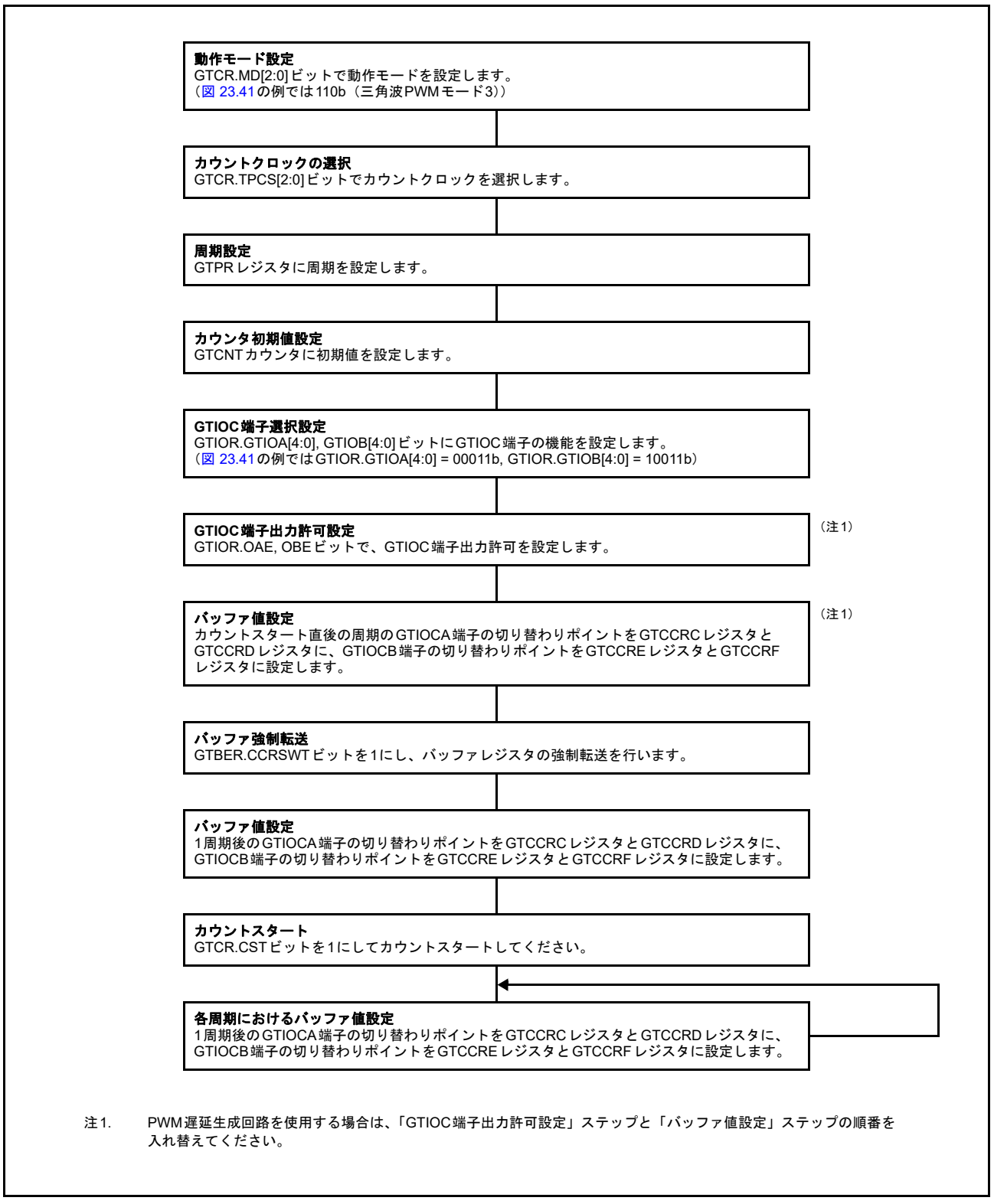


図 23.42 三角波 PWM モード 3 設定例

23.3.4 デッドタイム自動設定機能

GTDTCR レジスタを設定することにより、正相波形のコンペアマッチ値（GTCCRA 値）と指定したデッドタイム値（GTDVU および GTDVD 値）からデッドタイム付き逆相波形のコンペアマッチ値を生成し、GTCCRB レジスタに自動設定することが可能です。このデッドタイム自動設定機能は、のこぎり波ワンショットパルスモードと、すべての三角波 PWM モードで使用できます。

デッドタイムは、1 つの波形の前半部と後半部で個別に設定できます。逆相波形の前半部の切り替わりポイントにおけるデッドタイムは GTDVU レジスタに、後半部の切り替わりポイントにおけるデッドタイムは GTDVD レジスタに設定します。GTDTCR.TDFER ビットを 1 にすることにより、前半部と後半部で同じデッドタイムを設定することも可能です。

GTDBU レジスタは GTDVU レジスタのバッファレジスタとして、GTDBD レジスタは GTDVD レジスタのバッファレジスタとして使用可能です。バッファ転送は、のこぎり波の場合は GTCNT カウンタのオーバーフロー時（アップカウント中）、アンダーフロー時（ダウンカウント中）、またはクリア時に周期の終わりで実行され、三角波では谷で実行されます。

デッドタイム自動設定機能によって設定されたコンペアマッチ値は、GTCCRB レジスタ値を読むことで確認できます。なお、デッドタイム自動設定機能を使用する場合、GTCCRB レジスタへの書き込みはしないでください。

周期を超えるデッドタイムの設定はしないでください。デッドタイムエラーが発生した場合、正相波形と逆相波形のコンペアマッチ値は、デッドタイム付きの波形を生成するために、表 23.6 に示すように補正されます。GTCCRB レジスタは、逆相波形を補正した値に、自動的に設定されます。正相波形を補正した値は、GTCCRA レジスタに設定されずに、内部信号として使用されます。

のこぎり波ワンショットパルスモードでは、補正値が周期を超えるか、または補正された波形のトグルポイントが適切でないと、波形の相補性は保証されません。

三角波モードでは、GTCCRA に対して GTCCR = 0 または GTCCRA ≧ GTPR を設定することにより、デッドタイムが周期を超える場合、出力保護機能が出力のレベルを維持します。詳細は、23.8.4 GTIOC 端子出力の出力保護機能を参照してください。GTCCRA ≧ GTPR + GTDVm の場合は、GTCCRB に GTPR-1 が上限値として設定されます。GTCCRB にデッドタイム値が自動設定されるのは、次のカウントクロック周期で、デッドタイム自動設定値の計算用レジスタが更新されるときです。

GTDVm を書き換える方法は GPT チャネル番号によって異なります。

表 23.6 デッドタイムエラー補正後のコンペアマッチ値

PWM 出力動作モード	カウント方向	前半部／後半部	デッドタイムエラーの条件	補正後のコンペアマッチ値	
				正相波形	逆相波形
のこぎり波ワンショットパルスモード	アップ	前半部	GTCCRA - GTDVU＜0	GTDVU	0
		後半部	GTCCRA + GTDVD＞GTPR	GTPR - GTDVD	GTPR
	ダウン	前半部	GTCCRA + GTDVU＞GTPR	GTPR - GTDVU	GTPR
		後半部	GTCCRA - GTDVD＜0	GTDVD	0
三角波PWMモード1/2/3	アップ	（前半部）	GTCCRA - GTDVU <= 0	GTDVU + 1	1
	ダウン	（後半部）	GTCCRA - GTDVD＜0	GTDVD	0

GPT32EH0 ～ GPT32EH3 および GPT32E4 ～ GPT32E7

GTDVm レジスタのバッファ動作が許可されている場合、GTDBm はいつでも書き込み可能です。GTDBm は周期の終わりに GTDVm へ転送されます。

GTDVm レジスタのバッファ動作が禁止されている場合、GTDVm レジスタを新しい値に変更するには、最初に GTCR レジスタの CST ビットを用いて GPT を停止してください。

GPT328 ～ GPT3213

GPT の動作中は、GTDVU レジスタ値の変更はしないでください。GTDVU レジスタを新しい値に変更するには、最初に GTCR レジスタの CST ビットを用いて GPT を停止してください。

GPT32EH と GPT32E のデッドタイム自動設定機能の動作例を図 23.43 ～図 23.46 に示します。設定例を図 23.47 および図 23.48 に示します。

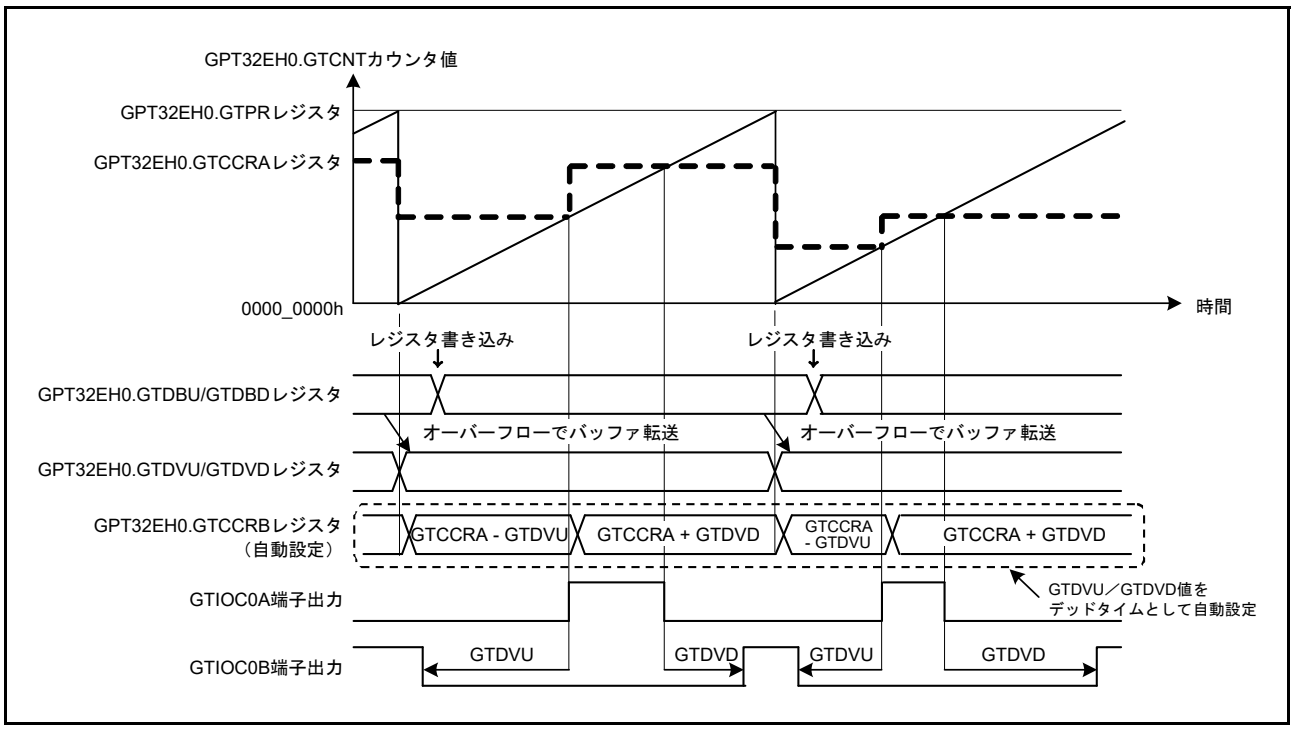


図 23.43　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、アップカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

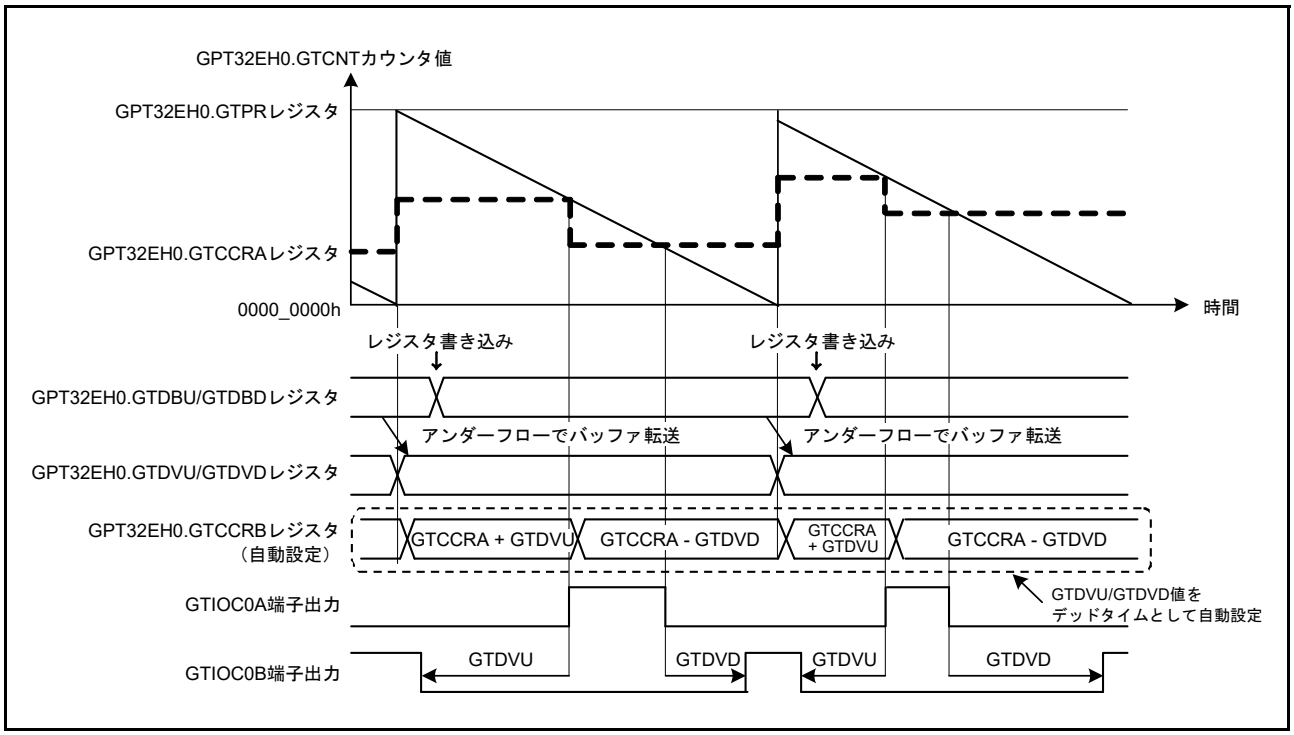


図 23.44　デッドタイム自動設定機能の動作例（のこぎり波ワンショットパルスモード、ダウンカウント、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

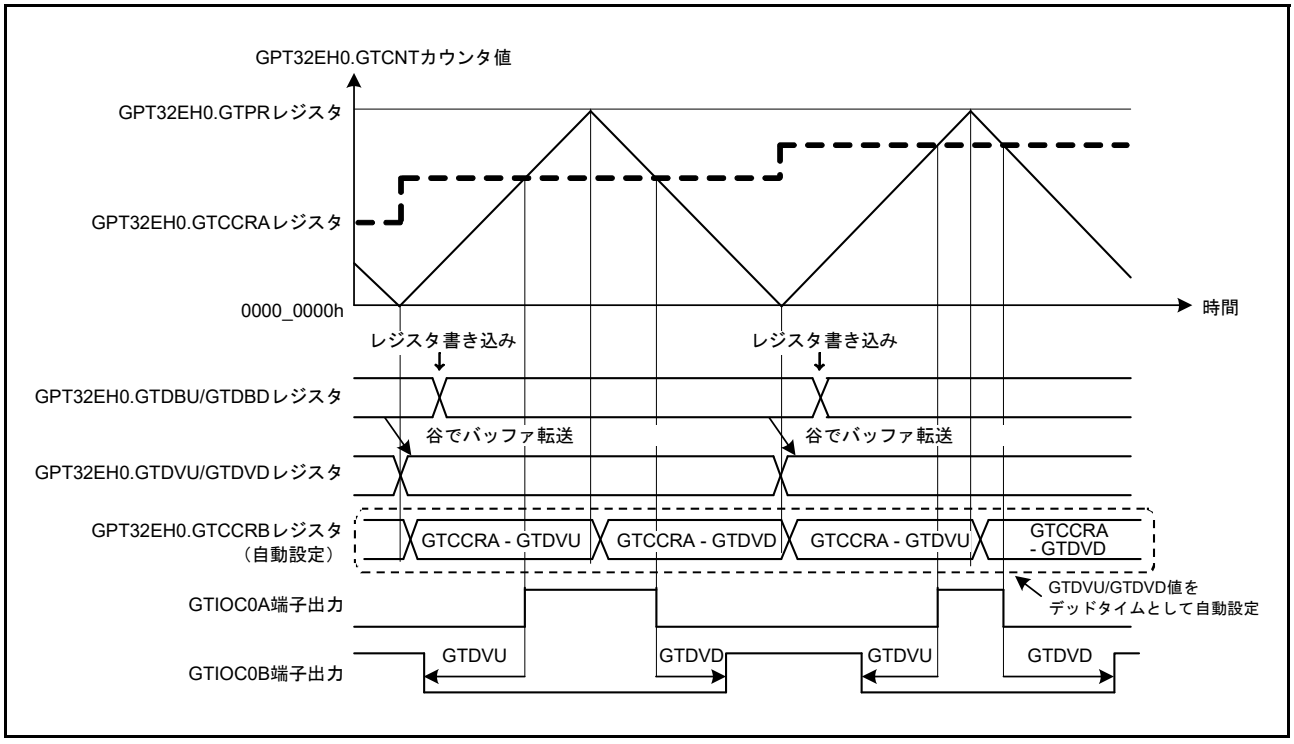


図 23.45　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 1、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）

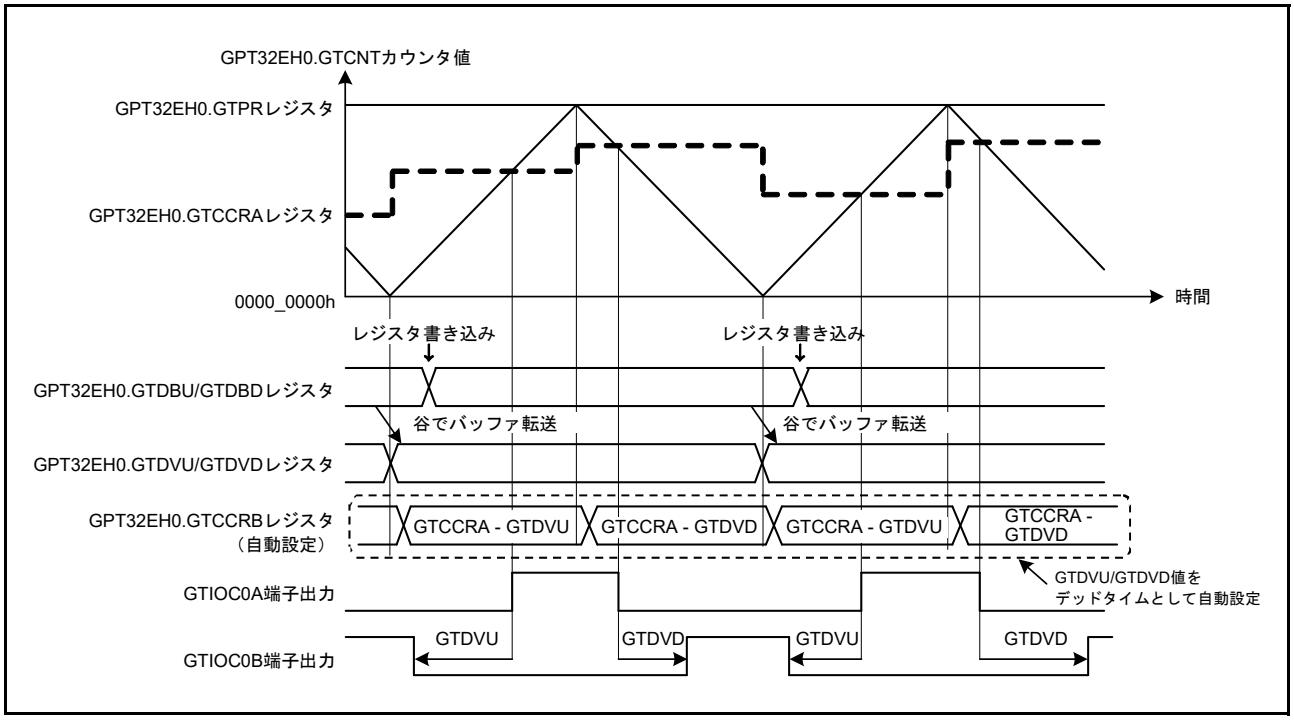
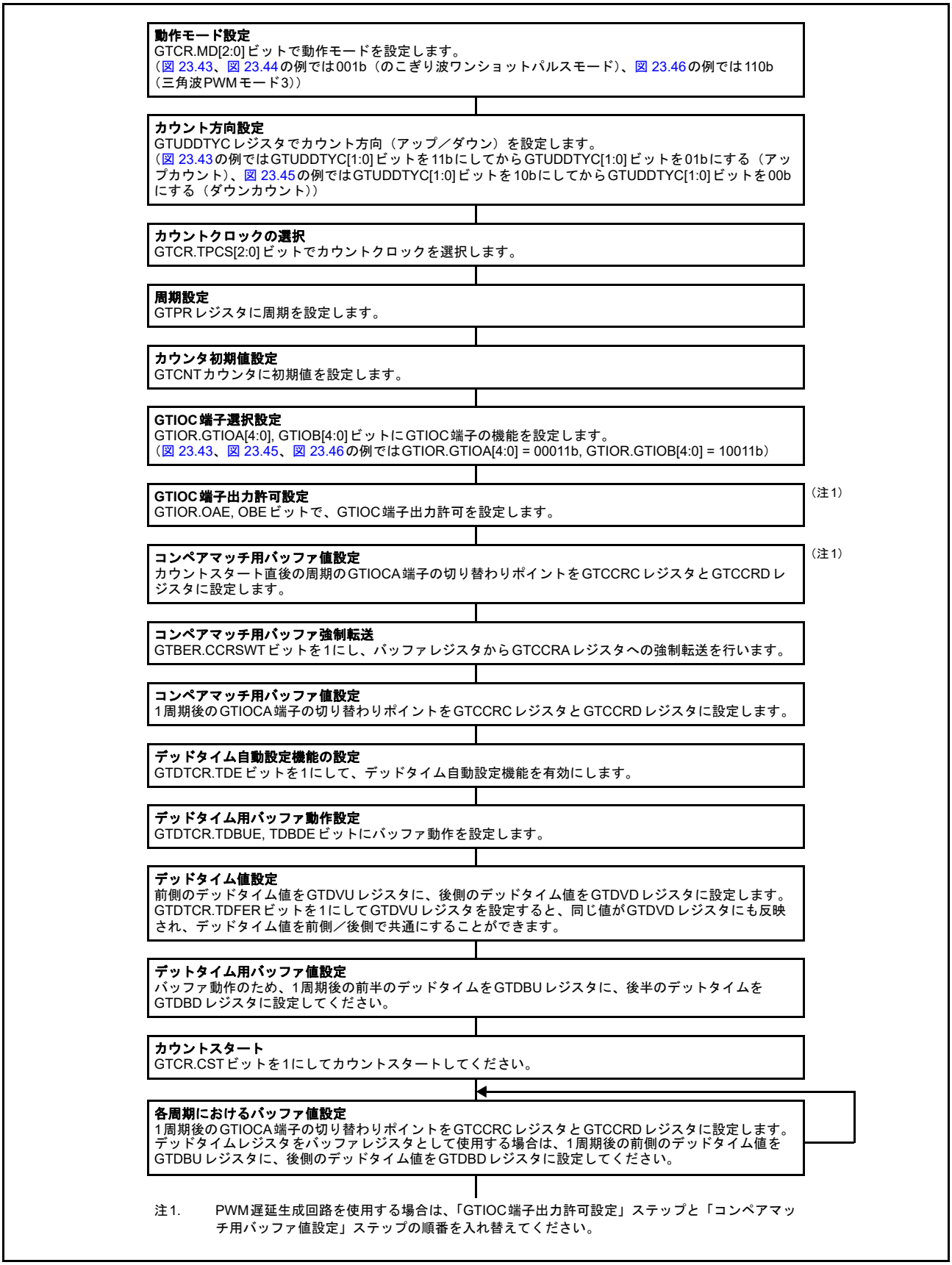
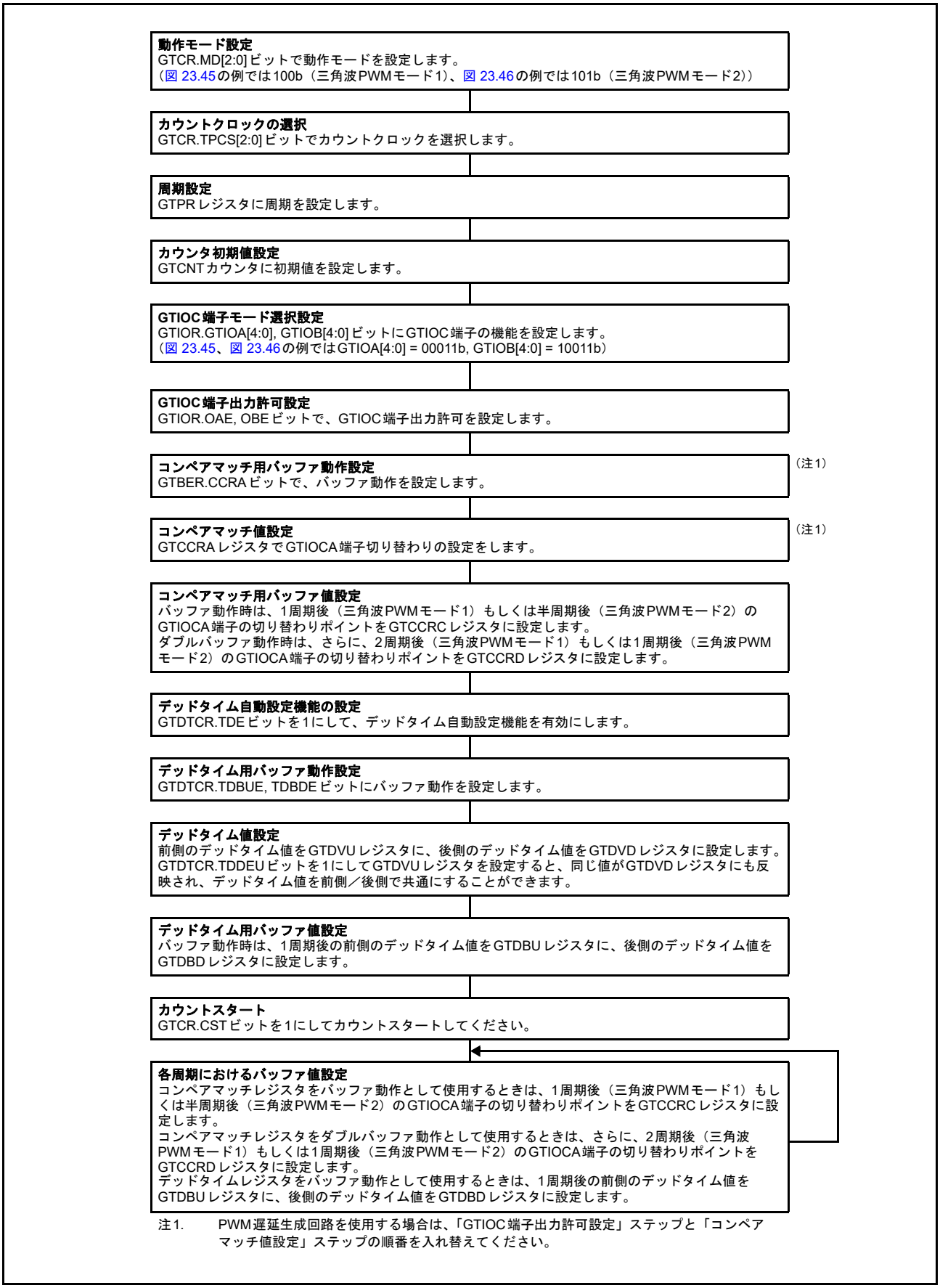


図 23.46　デッドタイム付きコンペアマッチ値の自動設定機能の動作例（三角波 PWM モード 2 または 3、GTDVU/GTDVD レジスタはバッファ動作、アクティブ High の場合）



注1. PWM遅延生成回路を使用する場合は、「GTIOC端子出力許可設定」ステップと「コンペアマッチ用バッファ値設定」ステップの順番を入れ替えてください。

図 23.47 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波 PWM モード 3 の場合）



注1. PWM遅延生成回路を使用する場合は、「GTIOC端子出力許可設定」ステップと「コンペアマッチ値設定」ステップの順番を入れ替えてください。

図 23.48 デッドタイム自動設定機能の設定例（三角波 PWM モード 1 または 2 の場合）

23.3.5 カウント方向切り替え機能

GTUDDTYC.UD ビットの値を書き換えることにより、GTCNT カウンタのカウント方向を切り替えることが可能です。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、カウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その変更値はカウントスタート時に反映されず、オーバーフローまたはアンダーフロー発生時にカウント方向が切り替わります。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.UD ビット値を変更しても、カウント方向は切り替わりません。同様に、カウントストップ中に GTUDDTYC.UDF ビットが 0 の状態で GTUDDTYC.UD ビット値を変更しても、その値はカウント動作に反映されません。カウントストップ中に GTUDDTYC.UDF ビットを 1 にすると、そのときの GTUDDTYC.UD ビット値がカウントスタート時に反映されます。

のこぎり波のカウント動作中にカウント方向を変更すると、アップカウント中はアップカウントスタート後の GTPR 値がカウント周期に反映され、ダウンカウント中はダウンカウントスタート前の GTPR 値が反映されます。

図 23.49 にカウント方向切り替え機能の動作例を示します。

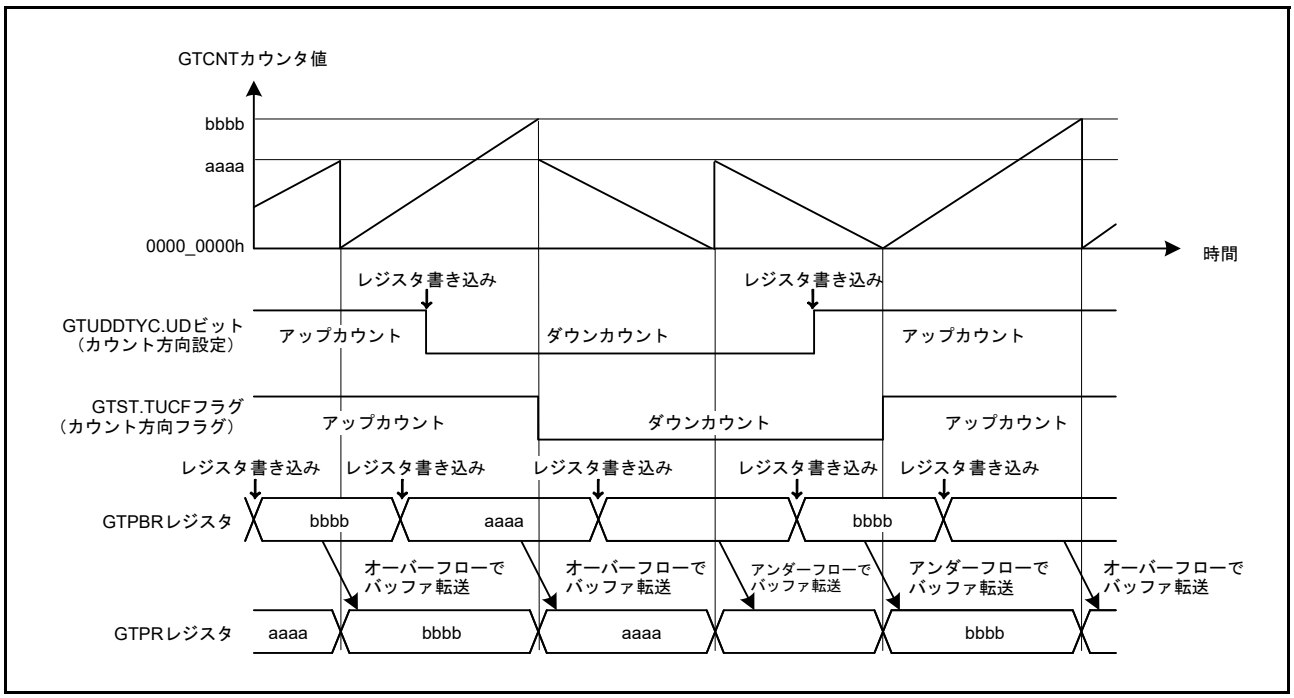


図 23.49 カウント方向切り替え機能の動作例（バッファ動作時）

23.3.6 出力デューティ 0% および出力デューティ 100% 機能

GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更することにより、GTIOCA 端子と GTIOCB 端子の出力デューティが 0% または 100% に設定されます。

のこぎり波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、オーバーフロー（アップカウント中に変更した場合）またはアンダーフロー（ダウンカウント中に変更した場合）発生時に、出力デューティの設定値が反映されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。出力デューティはオーバーフローまたはアンダーフロー発生時に変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットを 1 にすると、そのときの GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビット値がカウントスタート時に反映されます。

三角波モードの場合、カウント動作中に GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、アンダーフロー発生時に出力デューティの設定値が反映されます。

カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 0 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更しても、出力デューティの変更値はカウントスタート時に反映されません。アンダーフロー時に出力デューティが変更されます。カウントストップ中に GTUDDTYC.OADTYF ビットまたは GTUDDTYC.OBDTYF ビットが 1 の状態で GTUDDTYC.OADTY ビットまたは GTUDDTYC.OBDTY ビットを変更すると、出力デューティの変更値はカウントスタート時に反映されます。

0% または 100% デューティ動作の実行時、GPT は内部で以下の動作を継続します。

- コンペアマッチ動作の実行
- コンペアマッチフラグの設定
- 割り込み出力
- バッファ動作の実行

0% または 100% デューティ設定からコンペアマッチに制御が変更されると、周期の終わりでの GTIOCA 端子の出力値は、GTIOR.GTIOA[3:2] ビットと GTUDDTYC.OADTYR ビットで決定されます。周期の終わりでの GTIOCB 端子の出力値は、GTIOR.GTIOB[3:2] ビットと GTUDDTYC.OBDTYR ビットで決定されます。

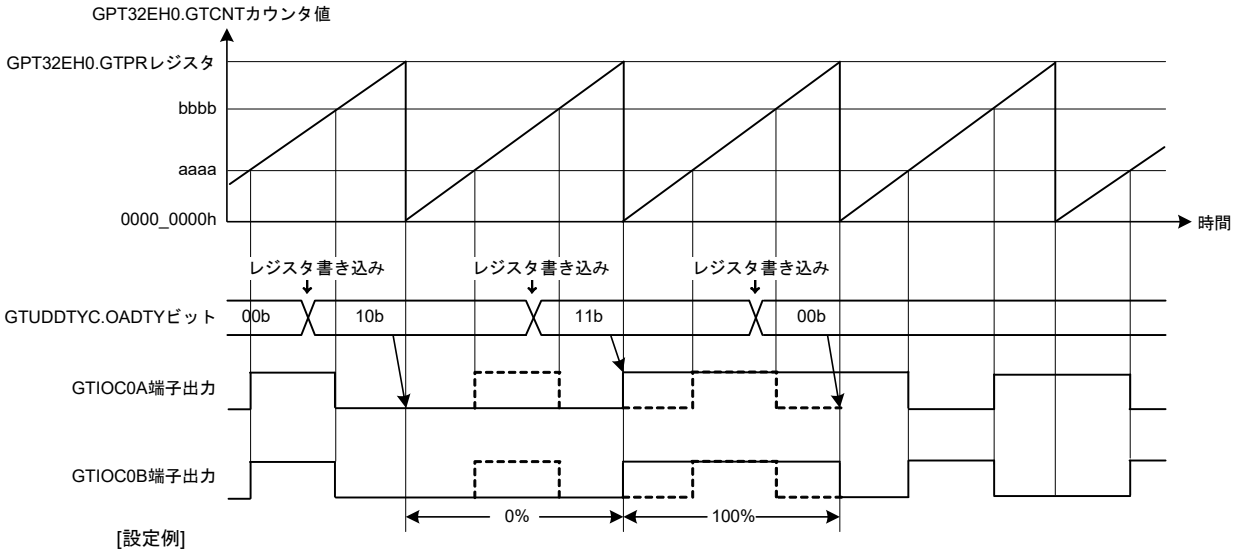
GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 01b にすると、出力端子は周期の終わりで Low 出力となります。GTIOR.GTIOA[3:2] ビットと GTIOR.GTIOB[3:2] ビットを 10b にすると、出力端子は周期の終わりで High 出力となります。

GTIOR.GTIOm[3:2] ビットが 00b（周期の終わりで出力保持）または 11b（周期の終わりでトグル出力）になっている場合、GTUDDTYC.OADTYR ビットでは、周期の終わりで出力保持／トグル出力の対象となる値を選択します。周期の終わりでの GTIOCA/GTIOCB 端子の出力値を表 23.7 に示します。

表 23.7 0%または100%デューティ設定解除後の出力値（m = A, B）

GTIOR.GTIOm[3:2]	0%または100%デューティ設定でマスクされた周期の終わりでのコンペアマッチ値	デューティ 0%設定時のGTUDDTYC.OmDTYR		デューティ 100%設定時のGTUDDTYC.OmDTYR	
		0	1	0	1
00（周期の終わりで出力保持）	0	0	0	1	0
	1	0	1	1	1
01（周期の終わりでLow出力）	—	0	0	0	0
10（周期の終わりでHigh出力）	—	1	1	1	1
11（周期の終わりでトグル出力）	0	1	1	0	1
	1	1	0	0	0

図 23.50 にカウント方向切り替え機能の動作例を示します。



[設定例]

GPT32EH0.GTIOR.GTIOA[4:0]ビット： 00011b
初期出力はLow、コンペアマッチでトグル出力、周期の終わりで出力保持

GPT32EH0.GTUDDTYC.OADTYRビット： 0
0%/100%デューティー設定解除後にデューティー設定された出力値に対してGTIOA[3:2]ビットで設定した機能を適用

GPT32EH0.GTIOR.GTIOB[4:0]ビット： 00011b
初期出力はLow、コンペアマッチでトグル出力、周期の終わりで出力保持

GPT32EH0.GTUDDTYC.OBDTYRビット： 1
0%/100%デューティー設定解除後にマスクされていたコンペアマッチ出力値に対してGTIOB[3:2]ビットで設定した機能を適用

図 23.50 出力デューティ 0%、100% 機能動作例

23.3.7 ハードウェアカウントスタート／カウントストップ、カウントクリア動作

下記のハードウェア要因によって、GTCNT カウンタのカウントスタート、カウントストップ、またはカウントクリアが可能です。

- 出力トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

23.3.7.1 ハードウェアスタート動作

GTSSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントスタートが可能です。

図 23.51 にハードウェア要因によるカウントスタートの動作例を示します。図 23.52 に設定例を示します。

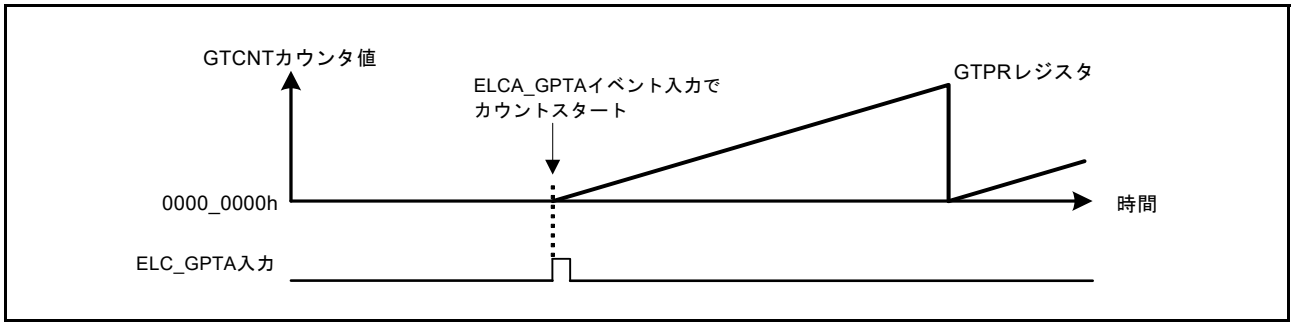


図 23.51 ハードウェア要因 ELC_GPTA によるカウントスタート動作例

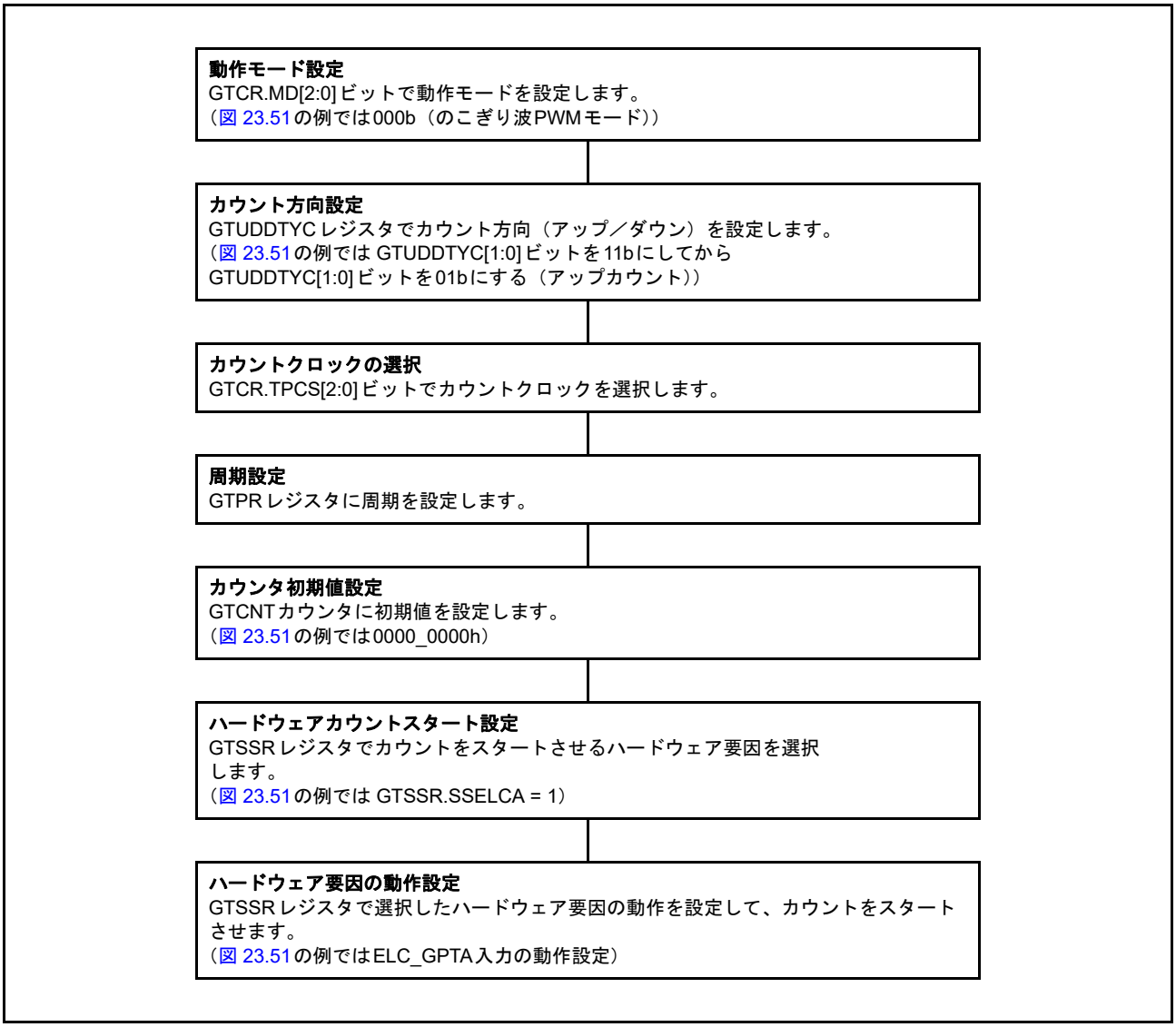


図 23.52　ハードウェア要因によるカウントスタート動作設定例

23.3.7.2 ハードウェアストップ動作

GTPSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントストップが可能です。図 23.53 にハードウェア要因によるカウントストップの動作例を示します。図 23.54 に設定例を示します。この例では、カウント動作が ELC_GPTA 入力のエッジでストップし、ELC_GPTB 入力のエッジで再スタートしています。

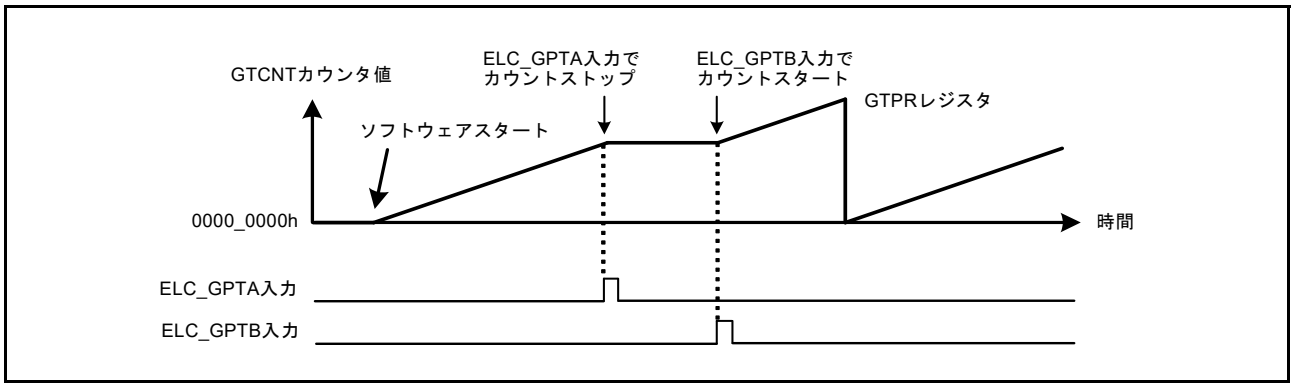


図 23.53 ハードウェア要因によるカウントストップ動作例（ソフトウェアによるスタート、ELC_GPTA 入力でのストップ、ELC_GPTB 入力での再スタートの場合）

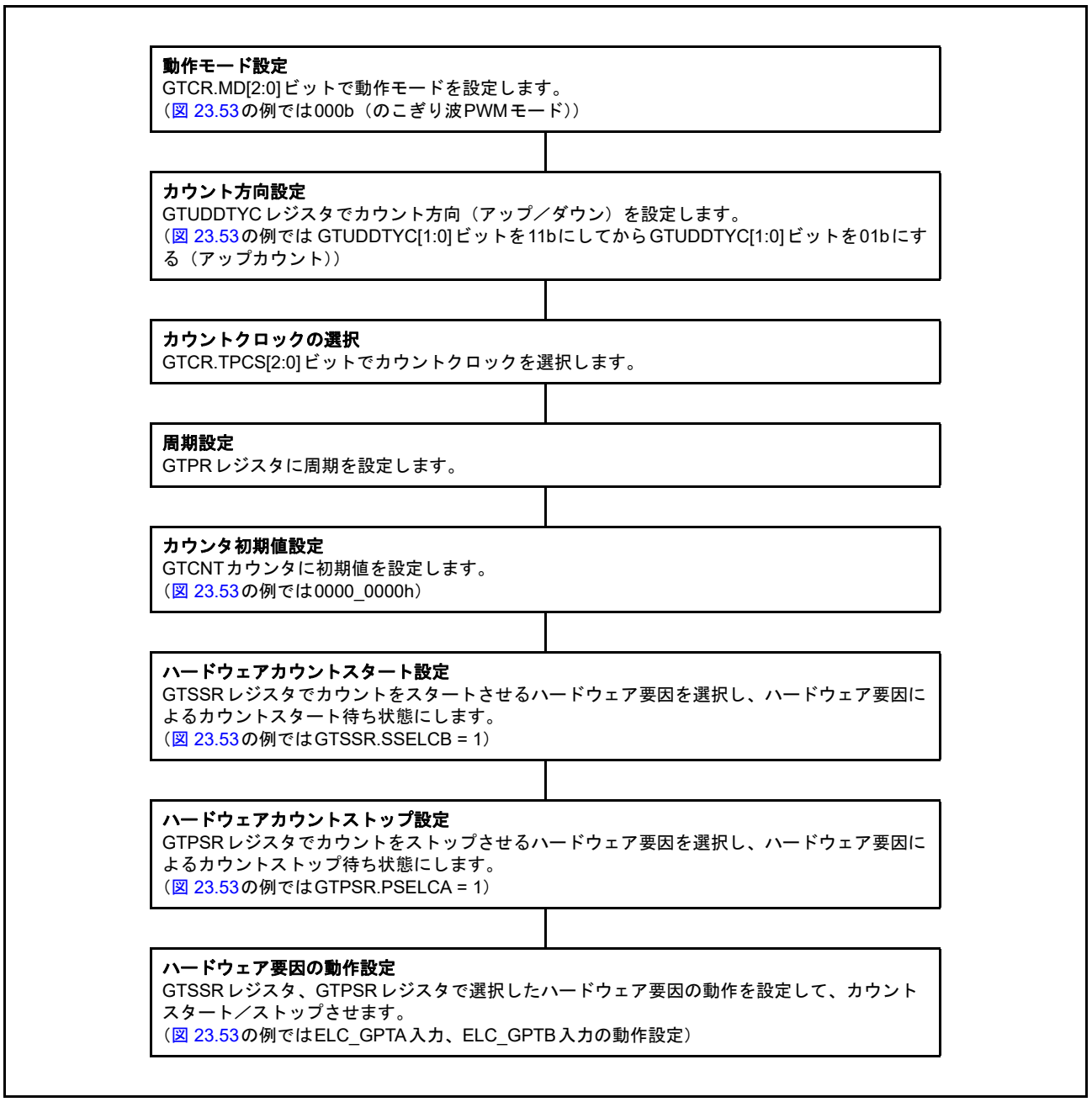


図 23.54　ハードウェア要因によるカウントストップ動作設定例

図 23.55 にハードウェア要因によるカウントスタート／ストップ動作例を示します。図 23.56 に設定例を示します。この例では、外部トリガ入力 GTETRGA 端子が High の期間に、カウンタが動作しています。

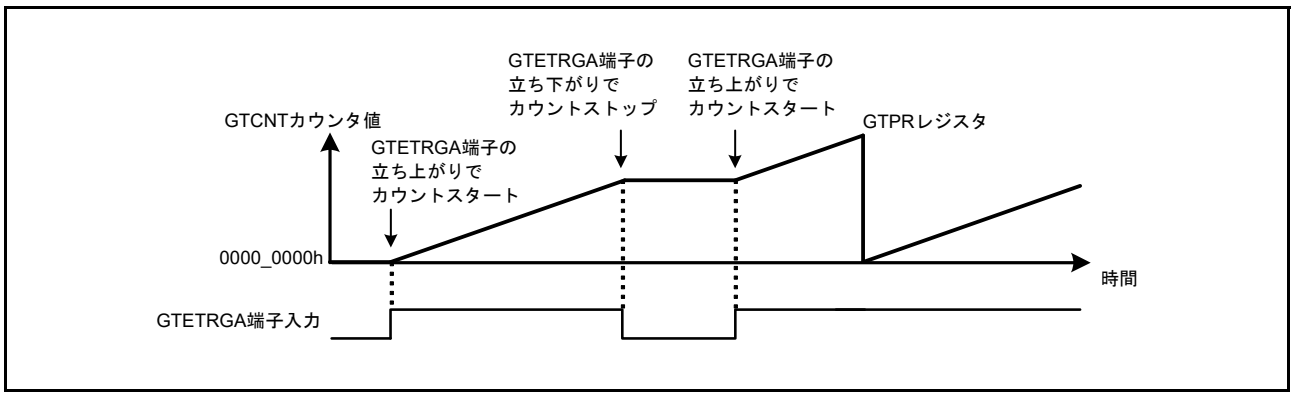


図 23.55 ハードウェア要因によるカウントスタート／ストップ動作例（GTETRGA 端子入力の立ち上がりエッジでスタート、GTETRGA 端子入力の立ち下がりエッジでストップの場合）

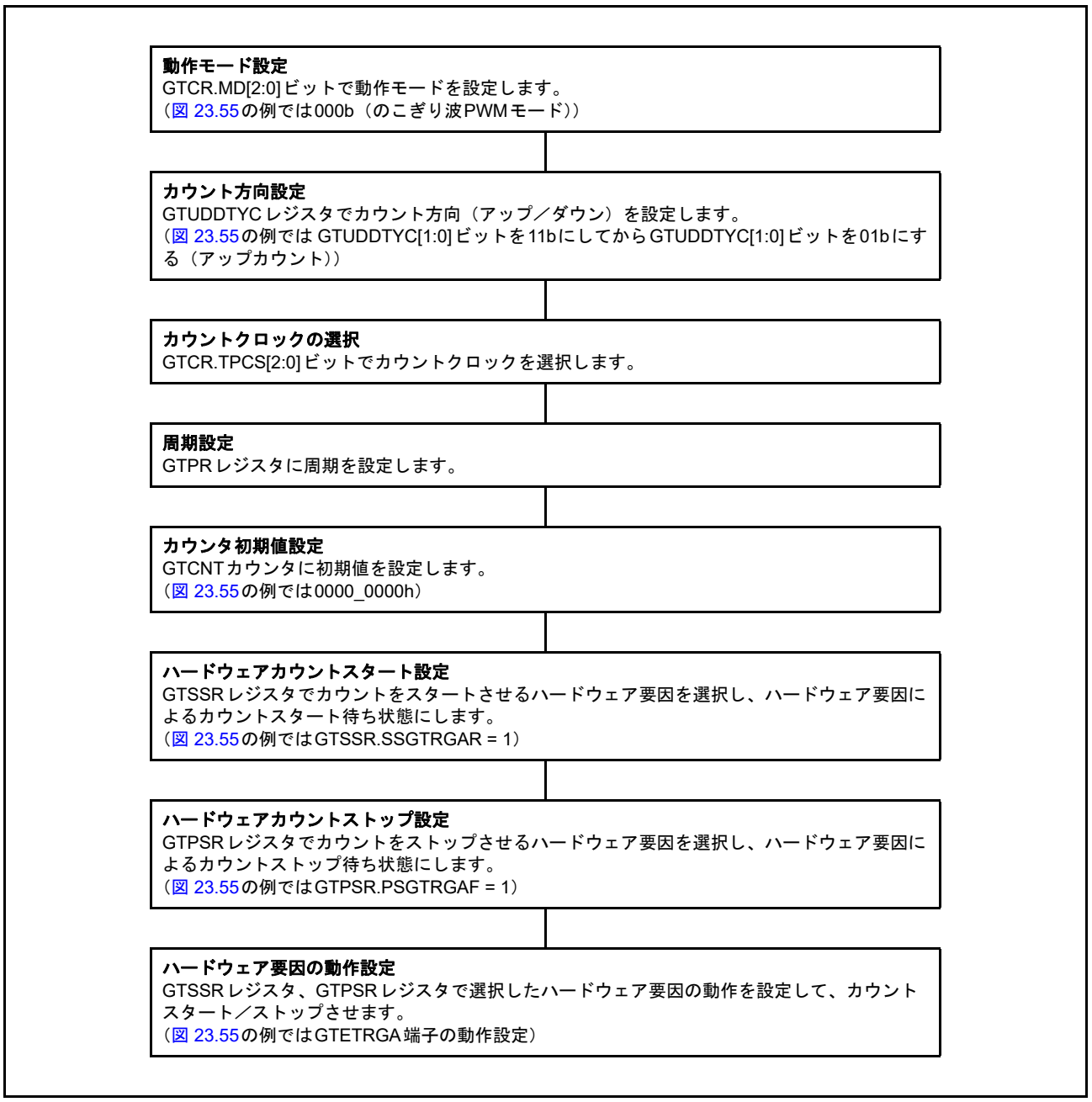


図 23.56　ハードウェア要因によるカウントスタート／ストップ動作設定例

23.3.7.3 ハードウェアクリア動作

GTCSR レジスタでハードウェア要因を選択することにより、GTCNT カウンタのカウントクリアが可能です。ハードウェア要因またはソフトウェアによって GTCNT カウンタがクリアされても、GPTn_OVF/GPTn_UDF（n = 0 ～ 13）割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 23.57 および図 23.58 に、ハードウェア要因による GTCNT カウンタのクリア動作例を示します。図 23.59 に設定例を示します。この例では、GTCNT カウンタは ELC_GPTA 入力のエッジでスタートし、ELC_GPTB 入力のエッジでストップ／クリアされています。

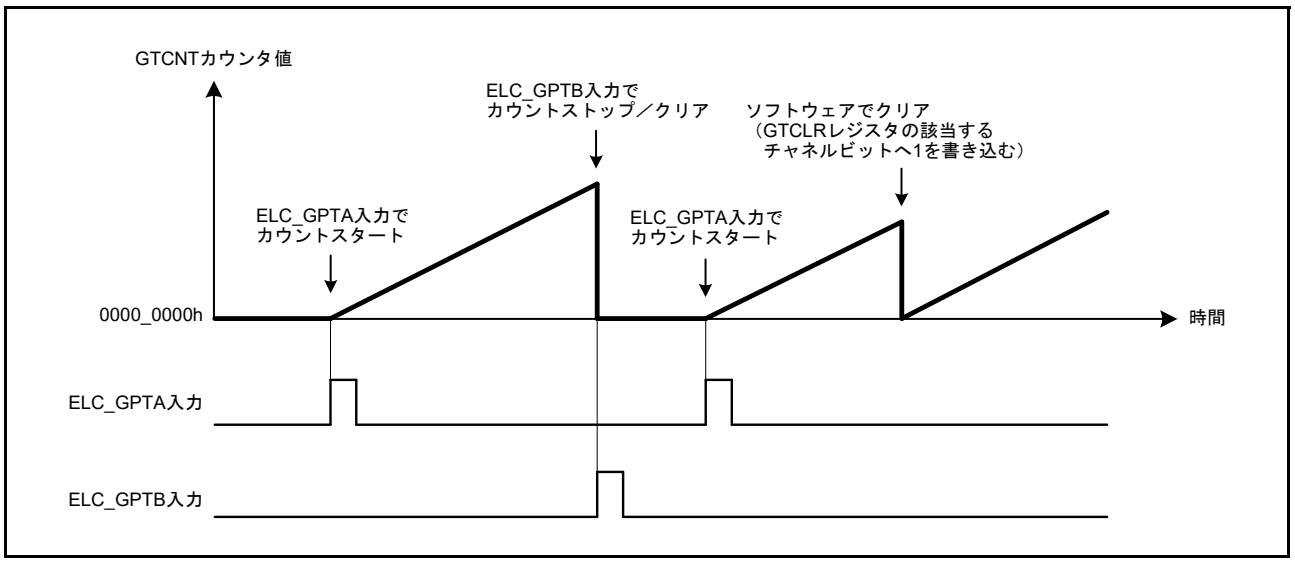


図 23.57 ハードウェア要因によるカウントクリア動作例（のこぎり波アップカウント、ELC_GPTA イベント入力でスタート、ELC_GPTB イベント入力でストップ／クリアの場合）

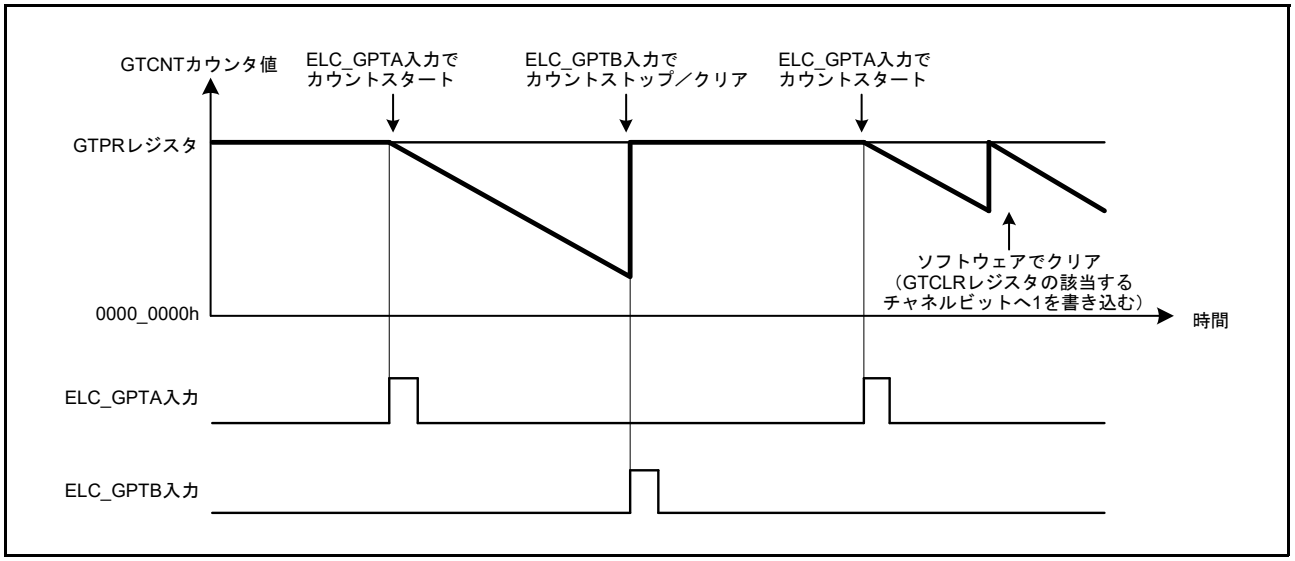


図 23.58 ハードウェア要因によるカウントクリア動作例（のこぎり波ダウンカウント、ELC_GPTA 入力でスタート、ELC_GPTB 入力でストップ／クリアの場合）

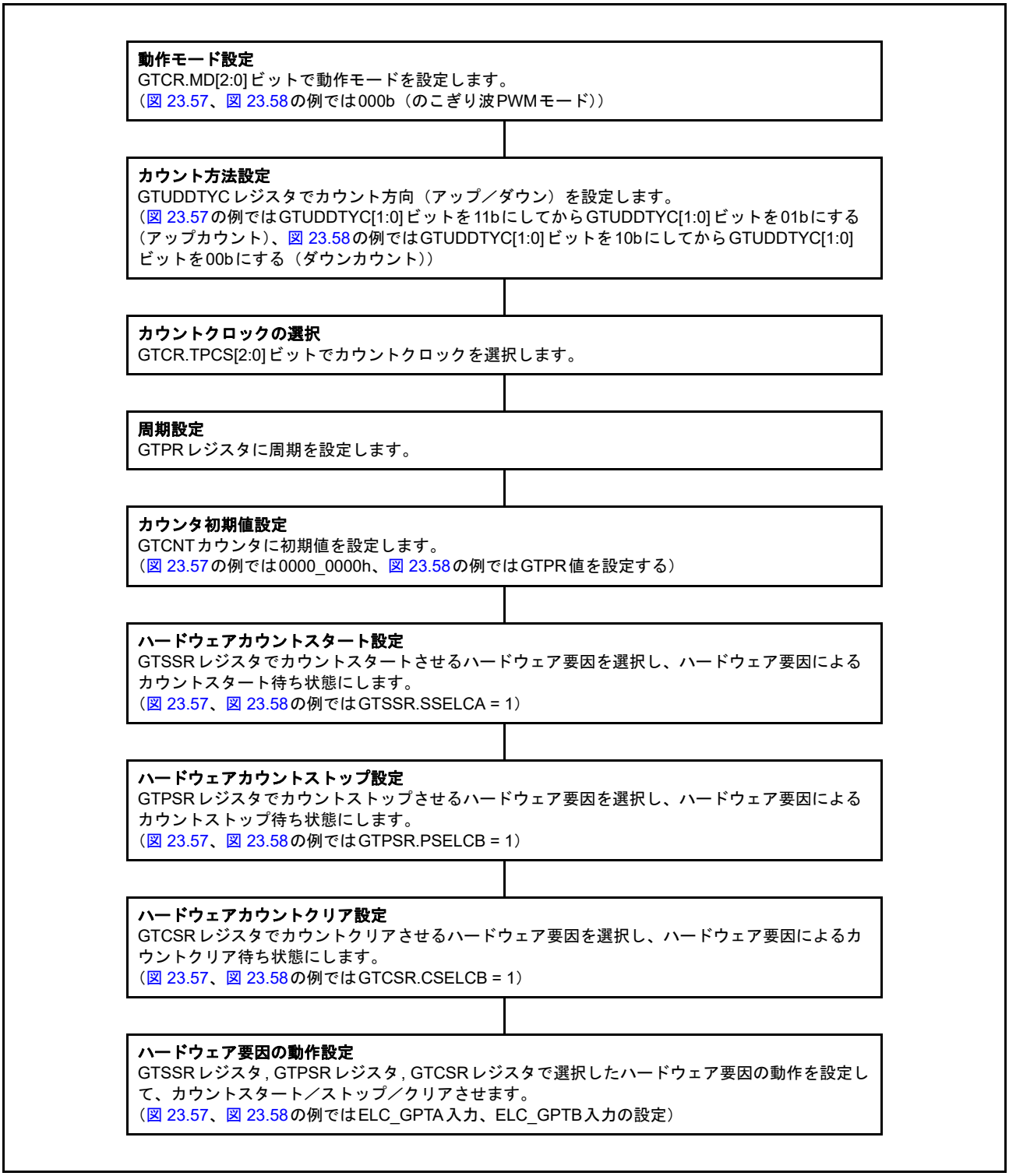


図 23.59 ハードウェア要因によるカウントクリア動作設定例

ハードウェア要因またはソフトウェアによってカウンタがクリアされても、GPTn_OVF/GPTn_UDF（n = 0 ～ 13）割り込み（オーバーフロー／アンダーフロー割り込み）は発生しません。

図 23.60 にハードウェア要因によるカウンタクリアと GPTn_OVF/GPTn_UDF（n = 0 ～ 13）割り込みの関係を示します。

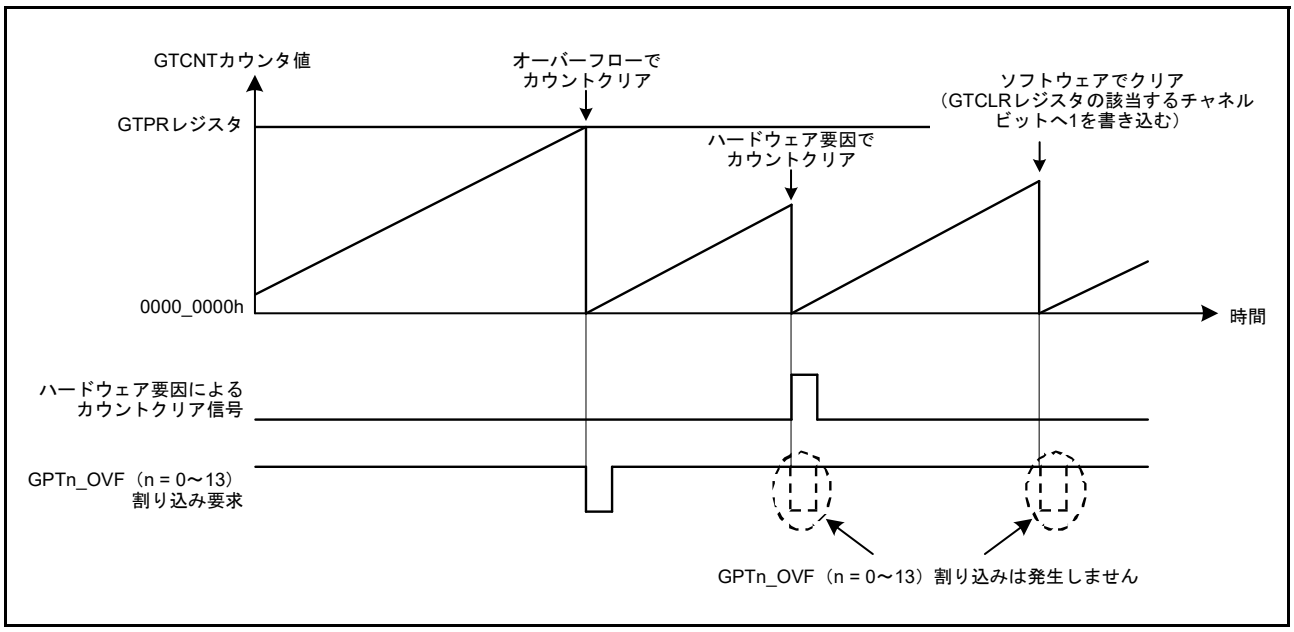


図 23.60 ハードウェア要因によるカウンタクリアと GPTn_OVF（n = 0 ～ 13）割り込みの関係

23.3.8 同期動作

同期スタート／ストップ／クリア動作など、チャネル間の同期動作を実行できます。

23.3.8.1 ソフトウェアによる同期動作

GTCNT カウンタは、対応する GTSTR ビット、GTSTP ビット、または GTCLR ビットを同時に 1 にすることにより、複数のチャネル上でスタート／ストップ／クリアが可能です。

また、GTCNT カウンタの初期値を設定し、対応する GTSTR ビットを同時に 1 にすることにより、位相の異なるカウントスタートが可能です。

図 23.61 に、ソフトウェアによる同時スタート／ストップ／クリアの動作例を示します。図 23.62 に、ソフトウェアによる位相スタートの動作例を示します。

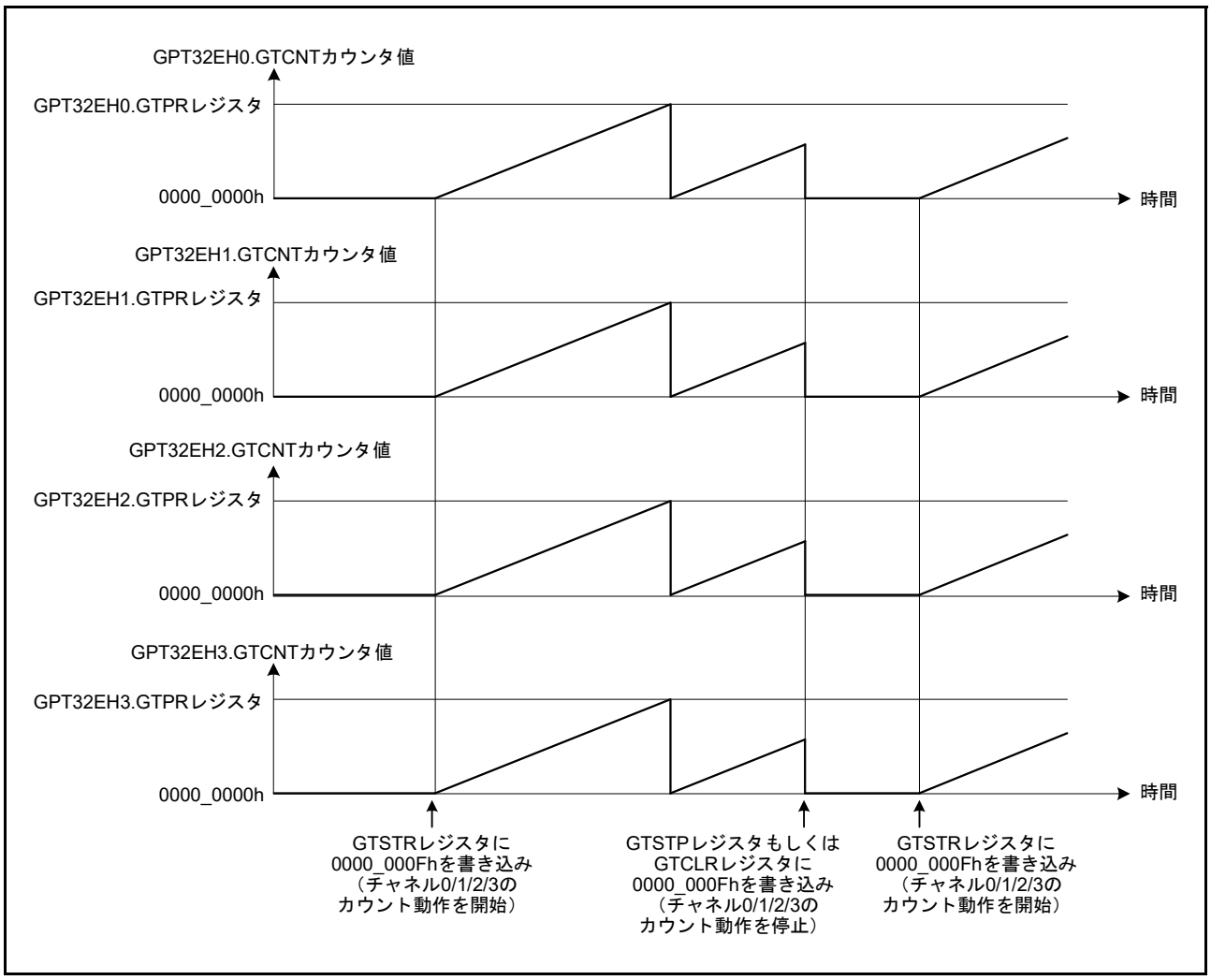


図 23.61 ソフトウェアによる同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

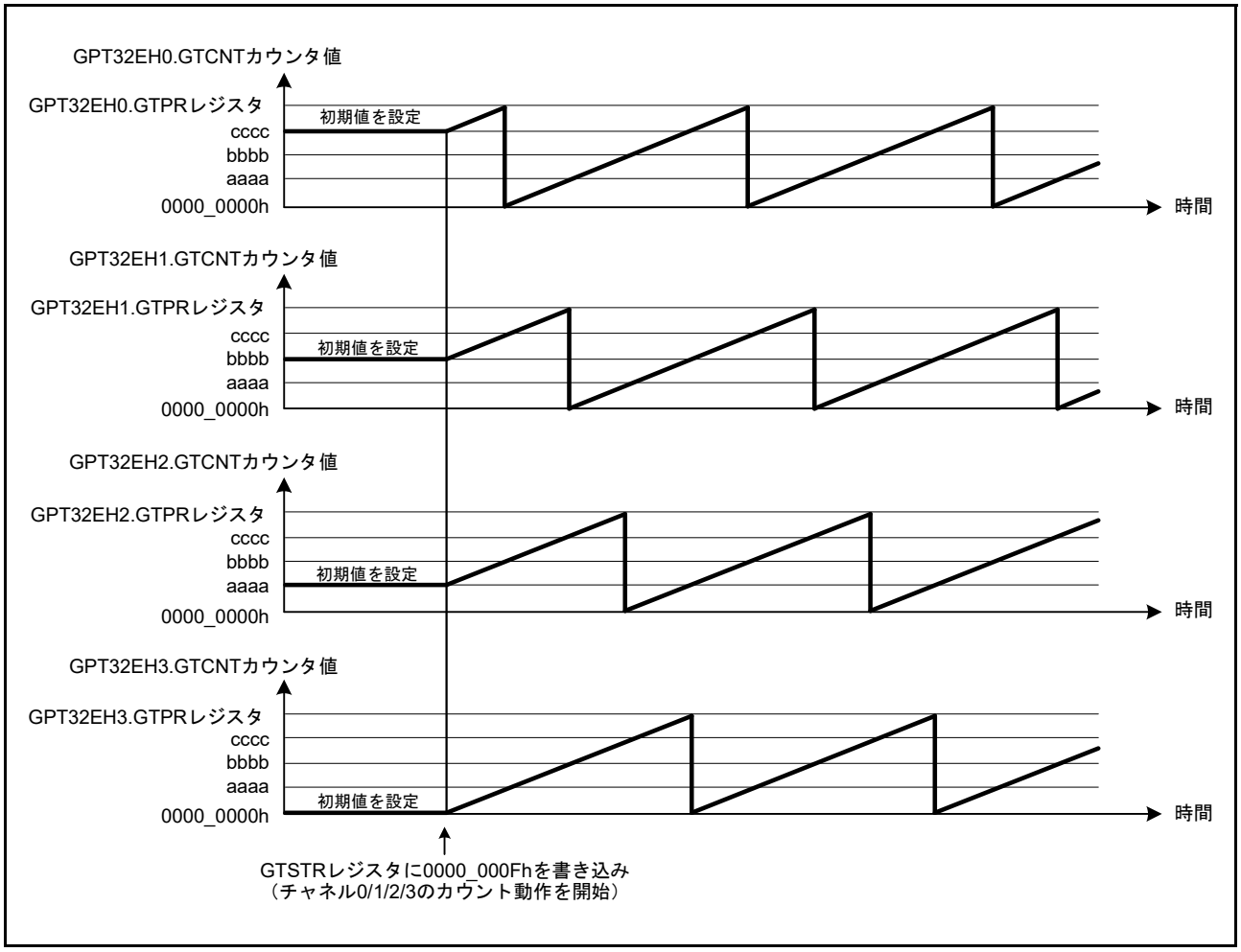


図 23.62　ソフトウェアによる位相スタート動作例（カウント周期（GTPR レジスタ値）が同一のとき）

23.3.8.2 ハードウェアによる同期動作

下記のハードウェア要因によって、GTCNT カウンタの同時スタートが可能です。

- 出力トリガ入力
- ELC イベント入力
- GTIOCA/GTIOCB 端子入力

図 23.63 にハードウェア要因による同時スタート／ストップ／クリアの動作例を示します。図 23.64 に設定例を示します。

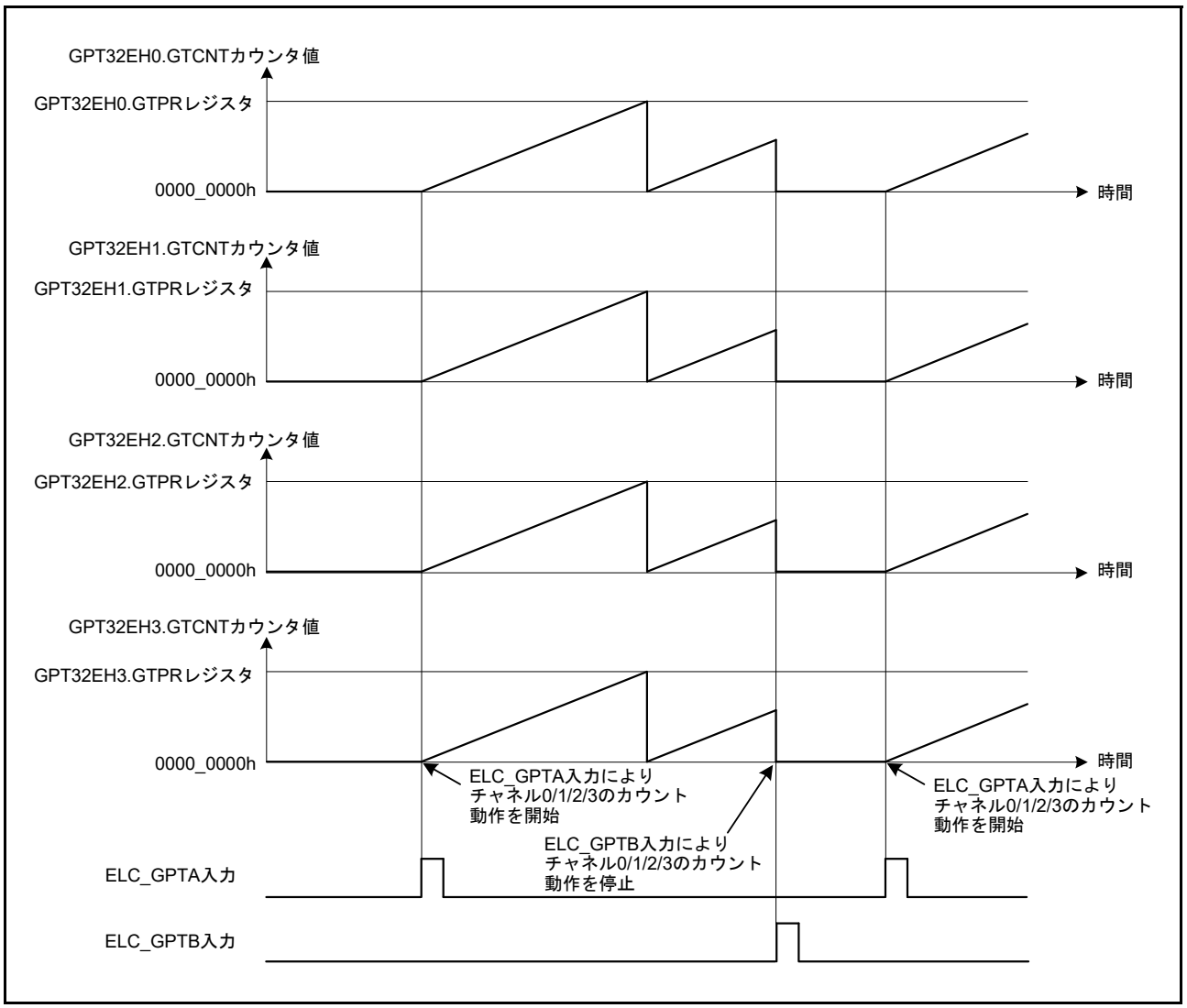


図 23.63 ハードウェア要因による同時スタート／ストップ／クリア動作例（カウント周期（GTPR レジスタ値）が同一のとき）

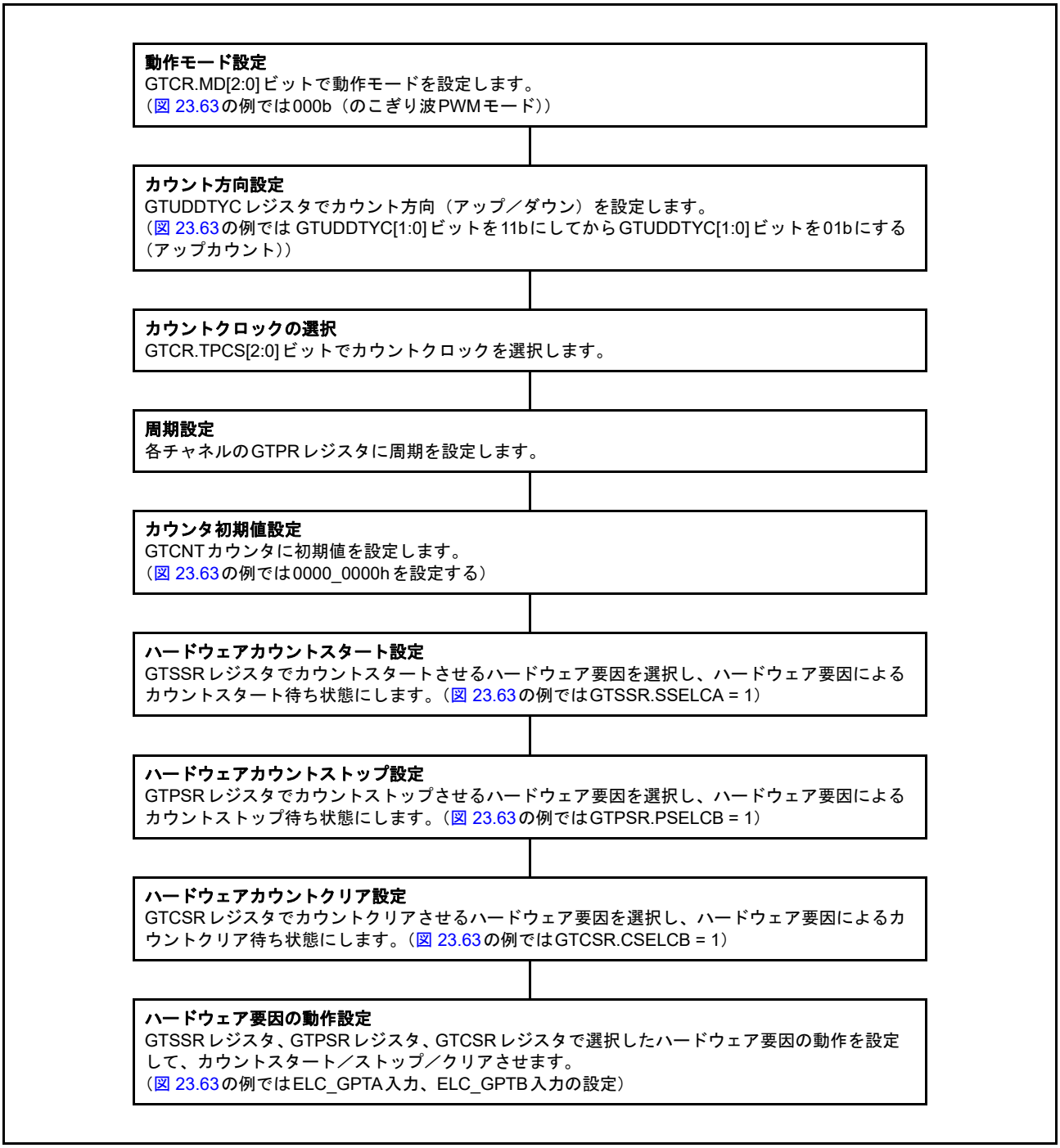


図 23.64　ハードウェア要因による同時スタート設定例

23.3.9 PWM 出力動作例

23.3.9.1 同期 PWM 出力

複数の GPT を使用することで、最大 14 チャネル 28 相の連動した PWM 波形を出力します。

図 23.65 に、4 チャネルをのこぎり波 PWM モードで同期動作させて、8 相の PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として Low 出力、GTCCRB レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。

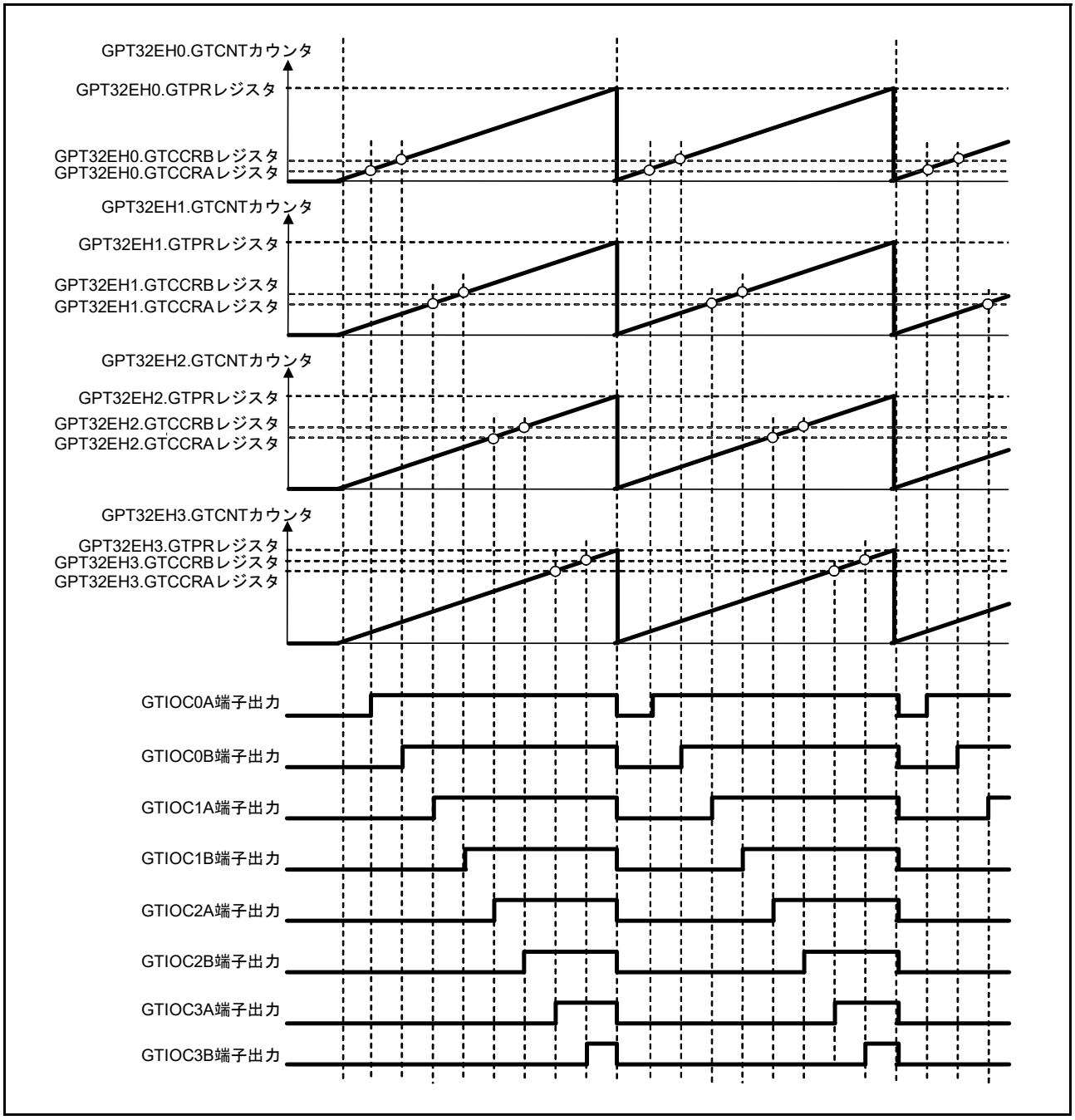


図 23.65 同期 PWM 出力例

23.3.9.2 のこぎり波 3 相相補 PWM 出力

図 23.66 に、3 チャネルをのこぎり波 PWM モードで同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチで Low 出力、周期の終わりで High 出力するように設定されています。

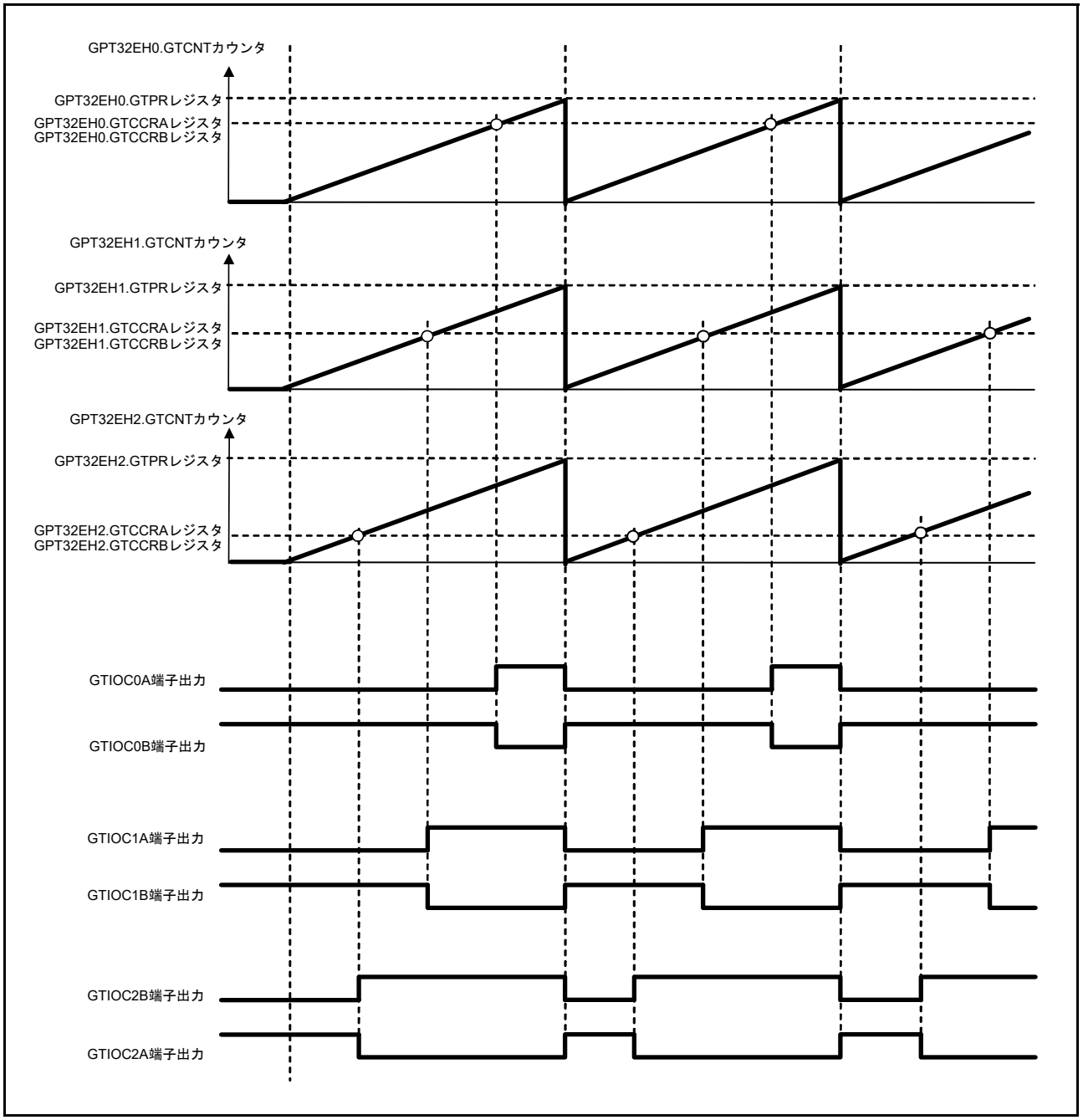


図 23.66 のこぎり波 3 相相補 PWM 出力例

23.3.9.3 のこぎり波 3 相相補 PWM 出力（デッドタイム自動設定）

図 23.67 に、デッドタイム自動設定機能を使用して、3 チャネルをのこぎり波ワンショットパルスモードで同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

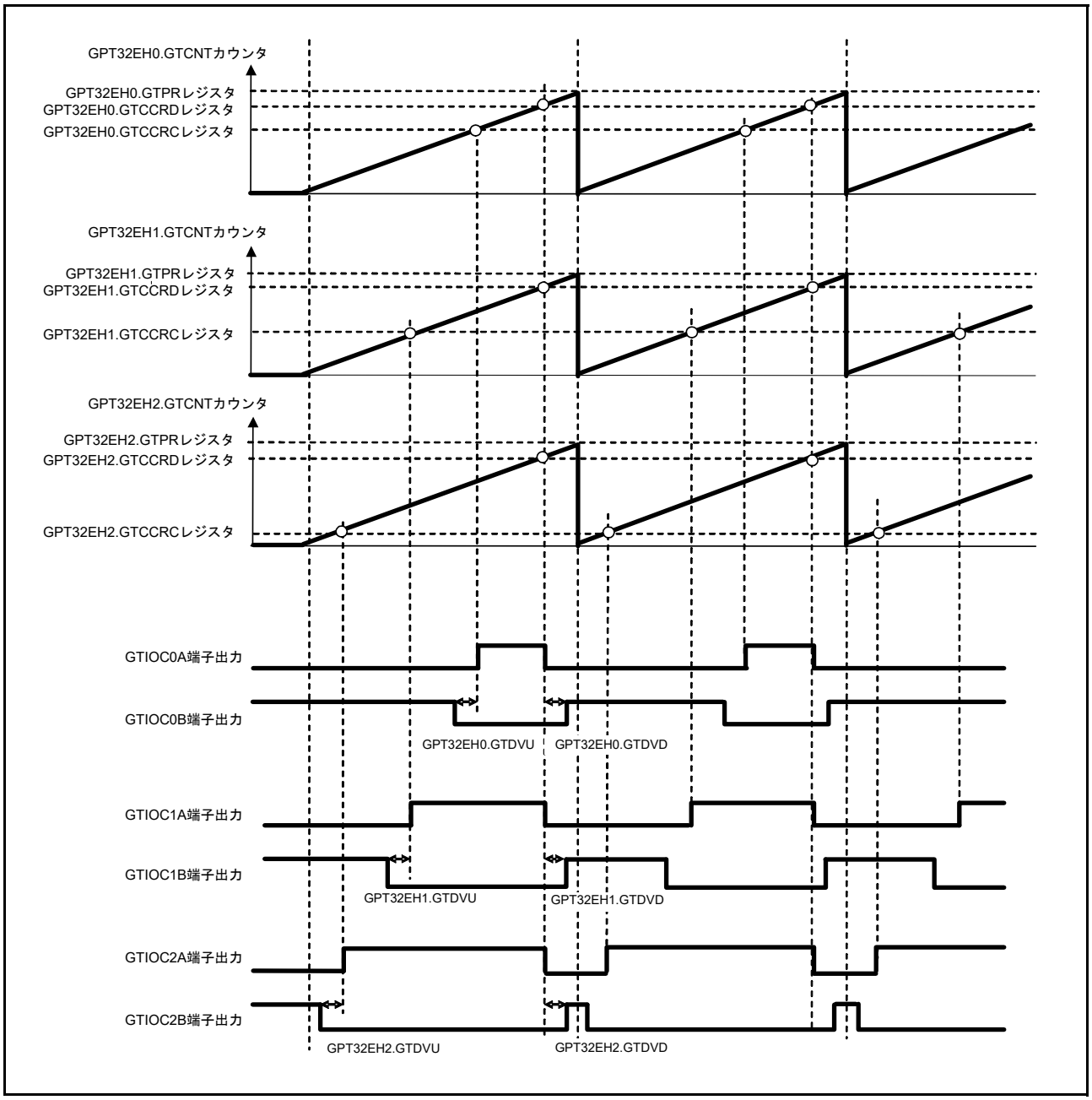


図 23.67 のこぎり波 3 相相補 PWM 出力例（デッドタイム自動設定）

23.3.9.4 三角波 3 相相補 PWM 出力

図 23.68 に、3 チャネルを三角波 PWM モード 1 で同期動作させて、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

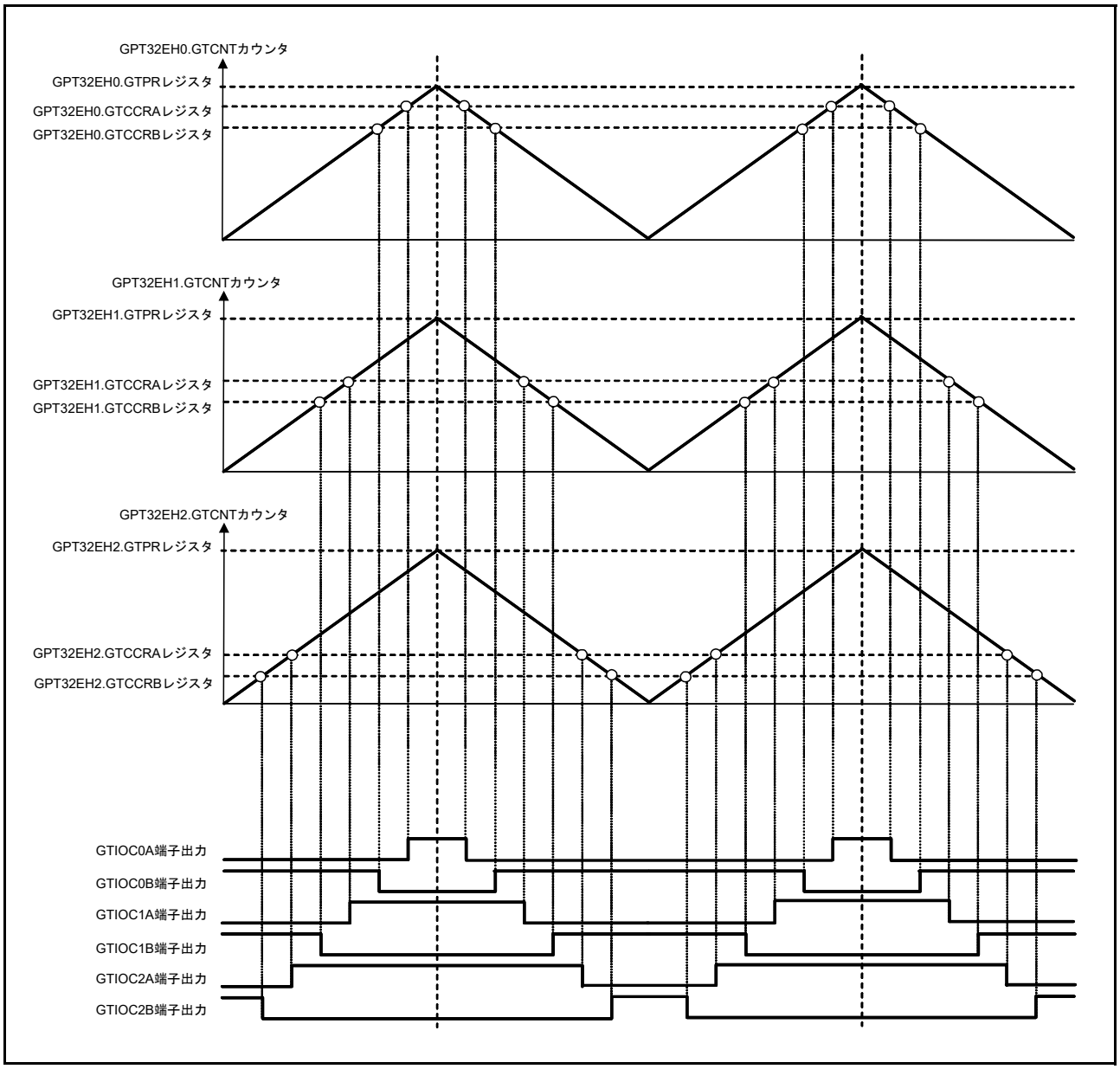


図 23.68 三角波 3 相相補 PWM 出力例

23.3.9.5 三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 23.69 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 1 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

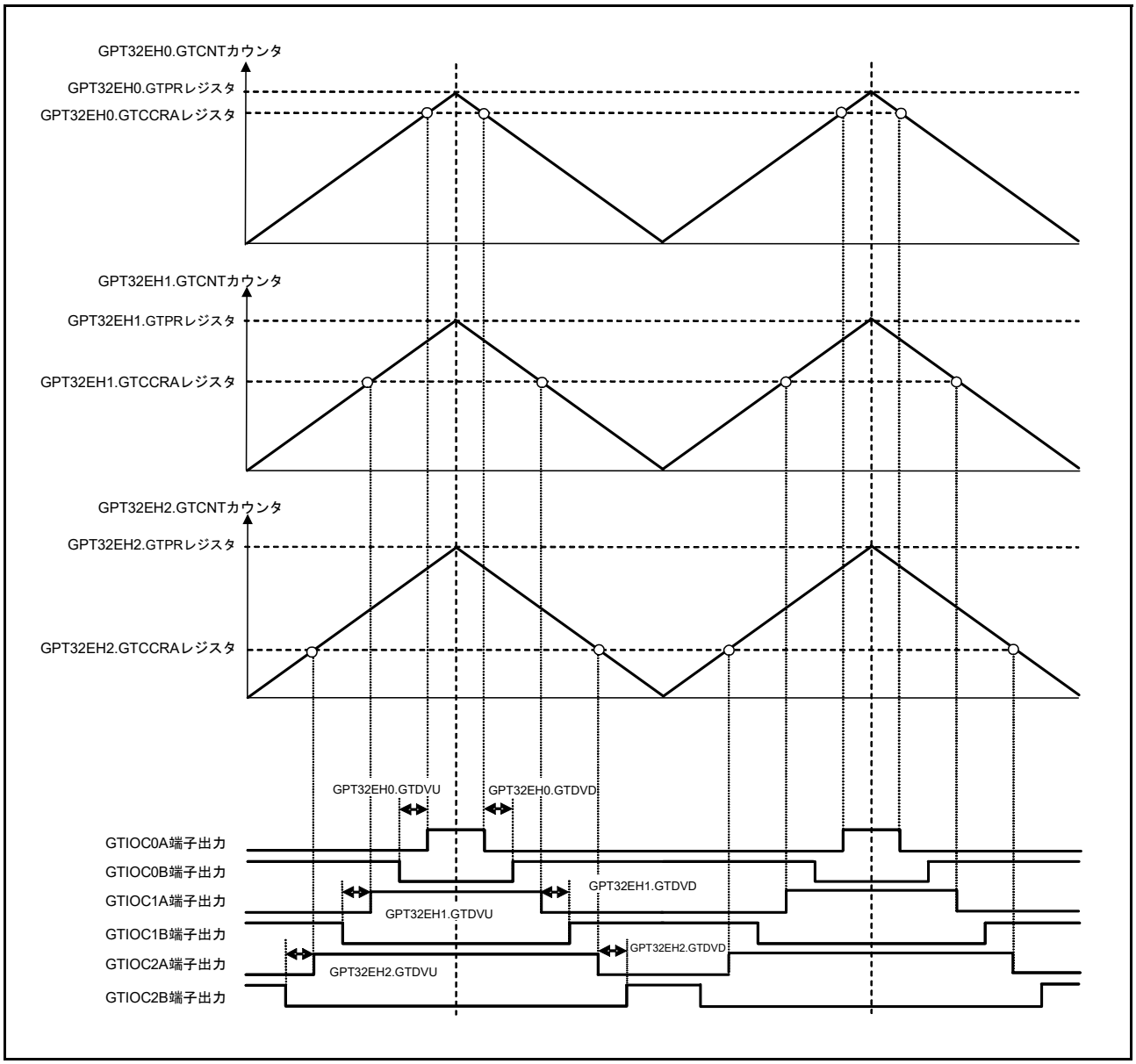


図 23.69 三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

23.3.9.6 非対称三角波 3 相相補 PWM 出力（デッドタイム自動設定）

図 23.70 に、デッドタイム自動設定機能を使用して、3 チャネルを三角波 PWM モード 3 で同期動作させ、3 相の相補 PWM 波形を出力させる例を示します。GTIOCA 端子は、初期値として Low 出力、GTCCRA レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。GTIOCB 端子は、初期値として High 出力、GTCCRB レジスタのコンペアマッチでトグル出力、周期の終わりで出力を保持するように設定されています。

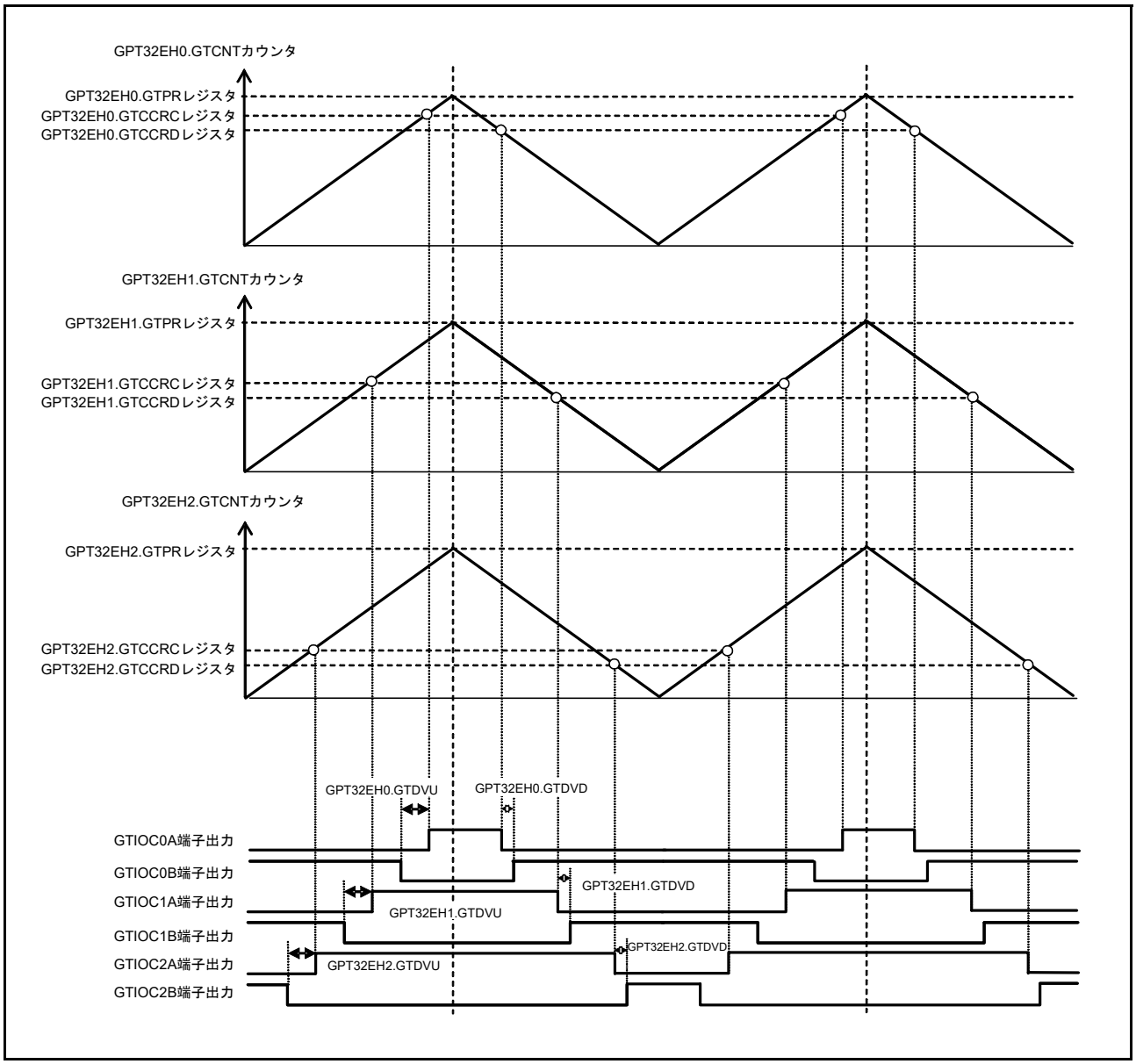


図 23.70 非対称三角波 3 相相補 PWM 出力例（デッドタイム自動設定）

23.3.10 位相計数機能

GTIOCA 端子入力と GTIOCB 端子入力の間で位相差を検出し、対応する GTCNT カウンタがカウントアップまたはカウントダウンを実行します。GTUPSR および GTDNSR レジスタに設定されている GTIOCA 端子入力と GTIOCB 端子入力のレベルとエッジの関係が、どのような組み合わせであっても位相差を検出できます。カウント動作については、23.3.1.1 カウンタの動作を参照してください。

図 23.71 ～図 23.80 に、位相計数モード 1 ～ 5 を示します。表 23.8 ～表 23.17 に、アップカウント／ダウンカウントの条件と、GTUPSR および GTDNSR レジスタの設定値を示します。

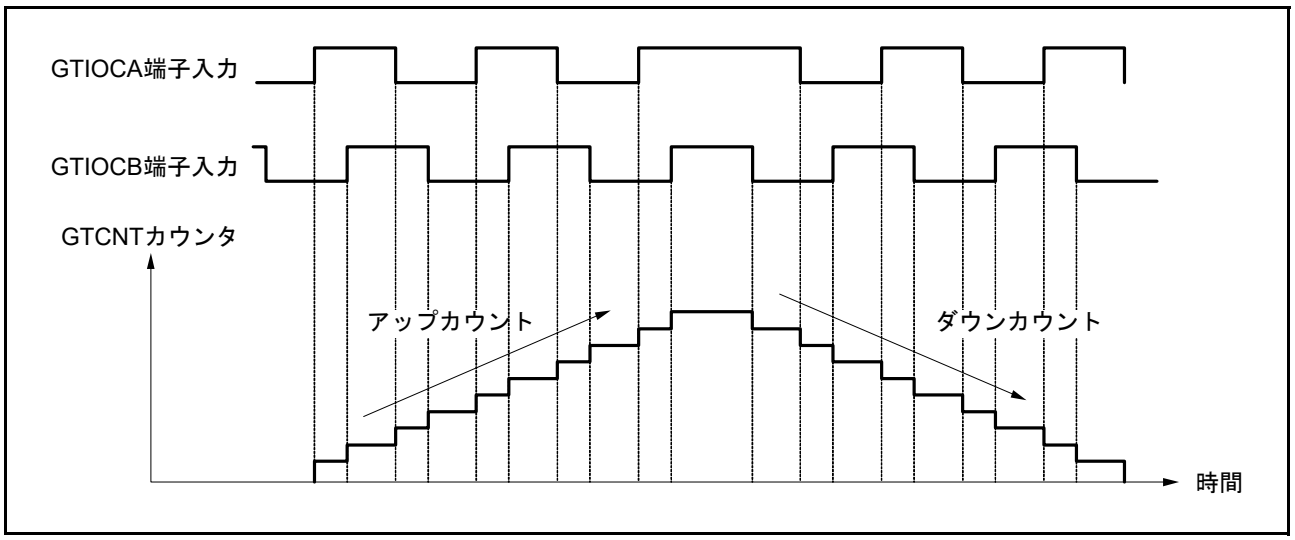


図 23.71 位相計数モード 1 の動作例

表 23.8 位相計数モード1でのアップカウント／ダウンカウントの条件

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 0000_6900h GTDNSR レジスタ = 0000_9600h
Low	↓		
↑	Low		
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High		
↓	Low		

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

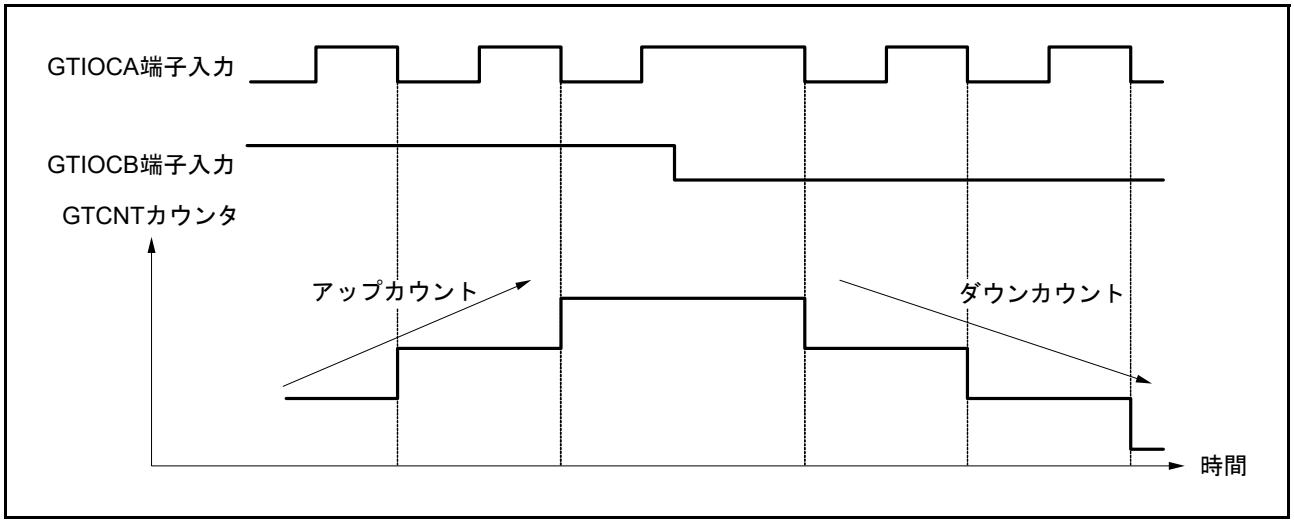


図 23.72　位相計数モード 2 の動作例（A）

表 23.9　位相計数モード2でのアップカウント／ダウンカウントの条件（A）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↓	Don't care	GTUPSR レジスタ = 0000_0800h GTDNSR レジスタ = 0000_0400h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low	ダウンカウント	

↑：立ち上がりエッジ

↓：立ち下がりエッジ

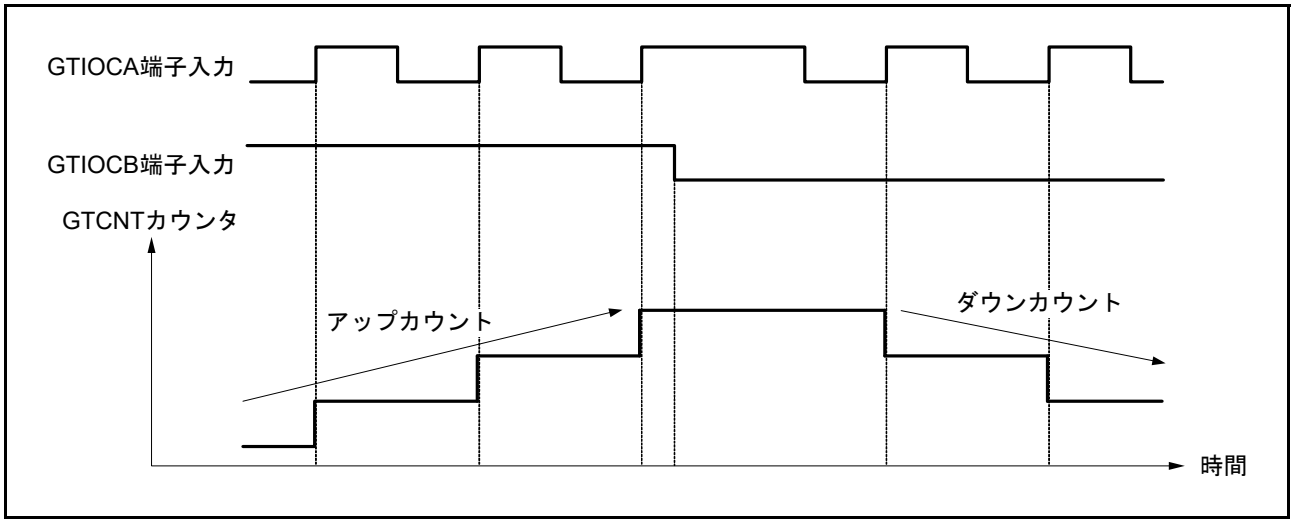


図 23.73　位相計数モード 2 の動作例（B）

表 23.10　位相計数モード2でのアップカウント／ダウンカウントの条件（B）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↓	Don't care	GTUPSR レジスタ = 0000_0200h GTDNSR レジスタ = 0000_0100h
Low	↓		
↑	Low	ダウンカウント	
↓	High	Don't care	
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

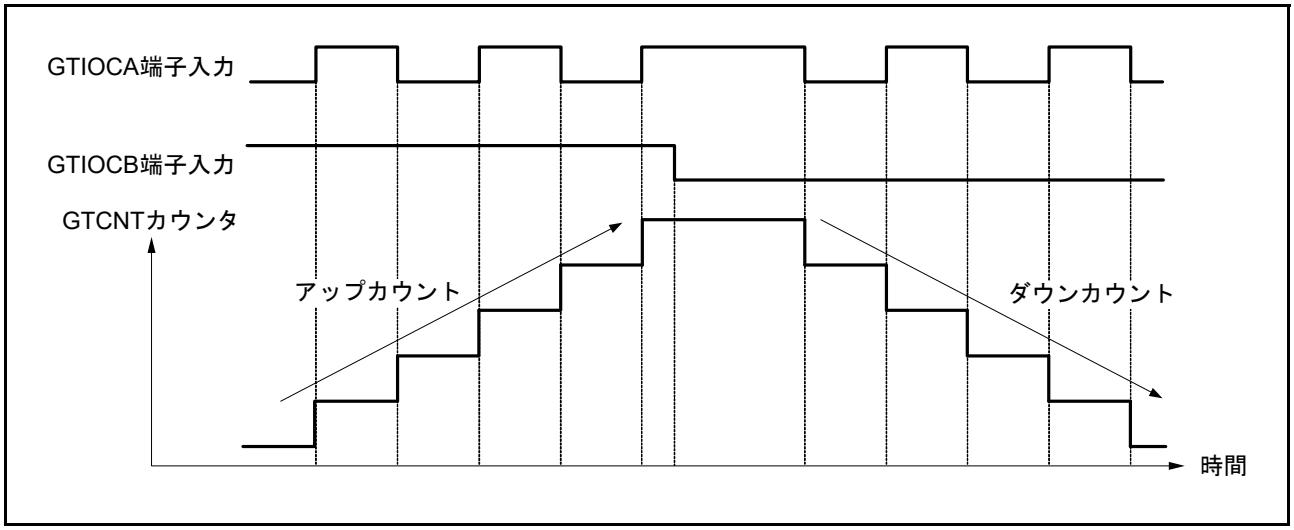


図 23.74　位相計数モード 2 の動作例（C）

表 23.11　位相計数モード2でのアップカウント／ダウンカウントの条件（C）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don’t care	GTUPSR レジスタ = 0000_0A00h GTDNSR レジスタ = 0000_0500h
Low	↓		
↑	Low	ダウンカウント	
↓	High	アップカウント	
High	↓	Don’t care	
Low	↑		
↑	High	アップカウント	
↓	Low	ダウンカウント	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

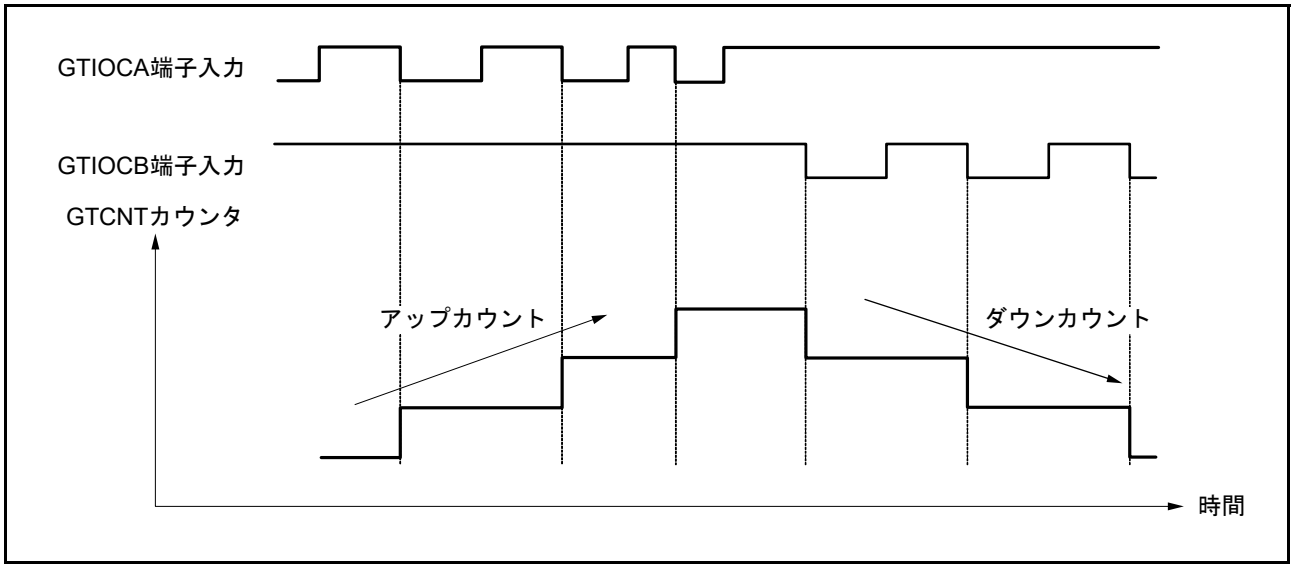


図 23.75　位相計数モード 3 の動作例（A）

表 23.12　位相計数モード3でのアップカウント／ダウンカウントの条件（A）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	Don't care	GTUPSR レジスタ = 0000_0800h GTDNSR レジスタ = 0000_8000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

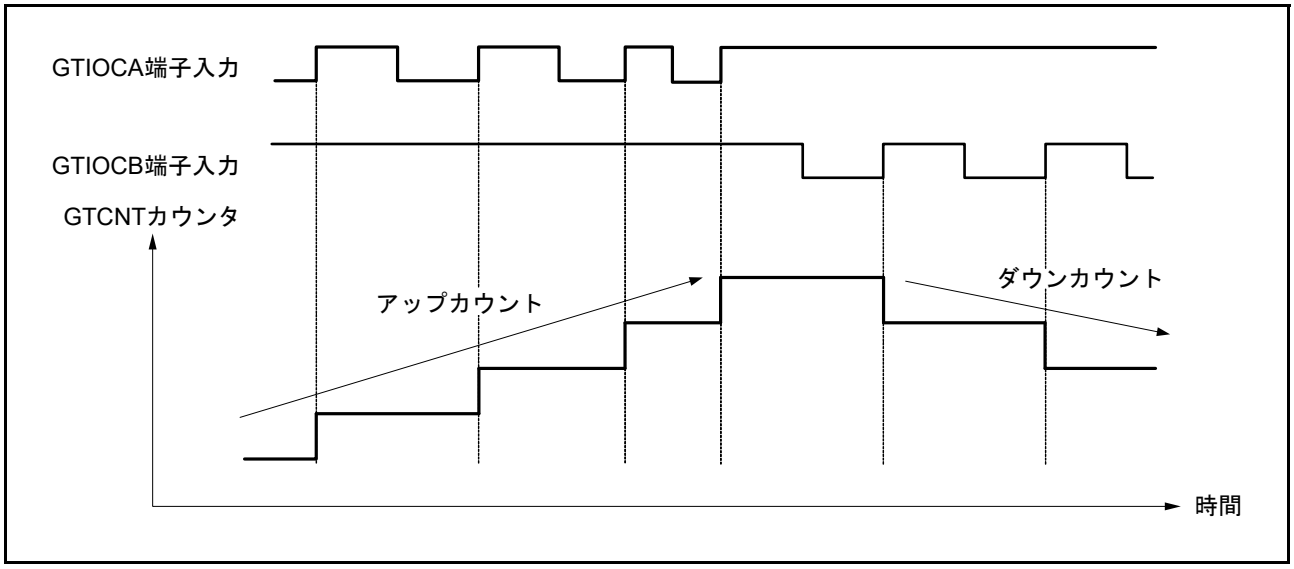


図 23.76　位相計数モード 3 の動作例（B）

表 23.13　位相計数モード3でのアップカウント／ダウンカウントの条件（B）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	ダウンカウント	GTUPSR レジスタ = 0000_0200h GTDNSR レジスタ = 0000_2000h
Low	↓	Don’t care	
↑	Low		
↓	High		
High	↓		
Low	↑		
↑	High	アップカウント	
↓	Low	Don’t care	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

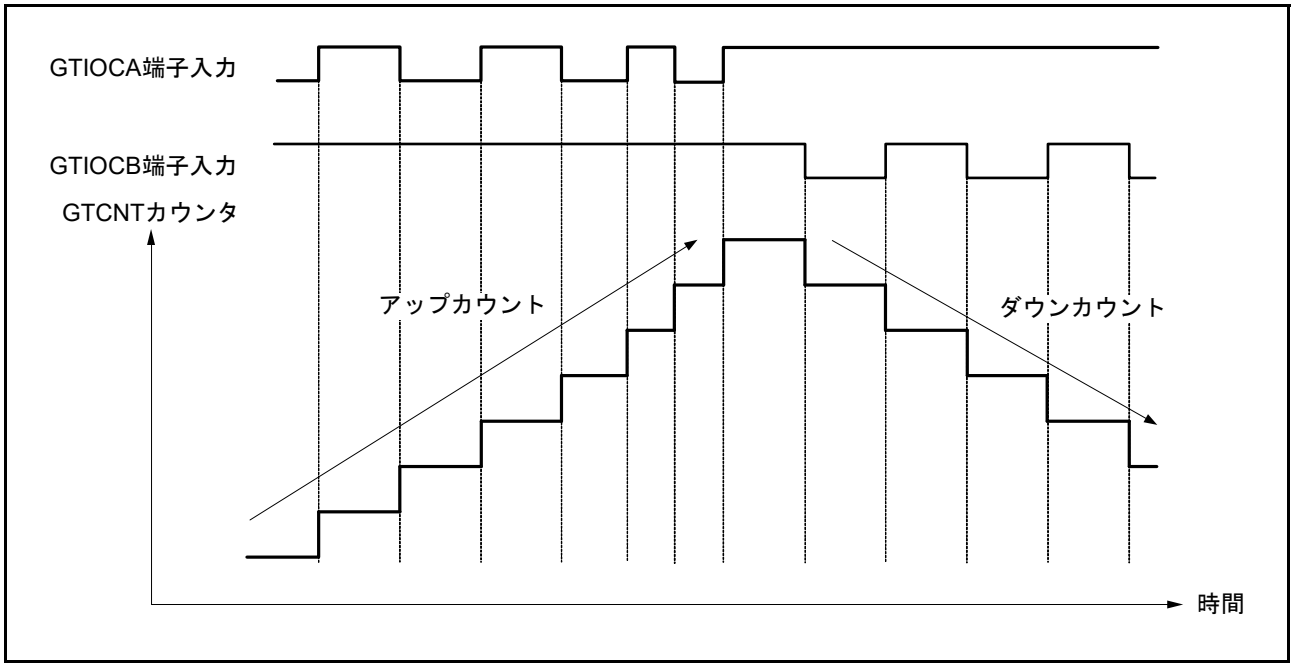


図 23.77　位相計数モード 3 の動作例（C）

表 23.14　位相計数モード3でのアップカウント／ダウンカウントの条件（C）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↓	ダウンカウント	GTUPSR レジスタ = 0000_0A00h GTDNSR レジスタ = 0000_A000h
Low	↓	Don't care	
↑	Low		
↓	High	アップカウント	
High	↓	ダウンカウント	
Low	↑	Don't care	
↑	High	アップカウント	
↓	Low	Don't care	

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

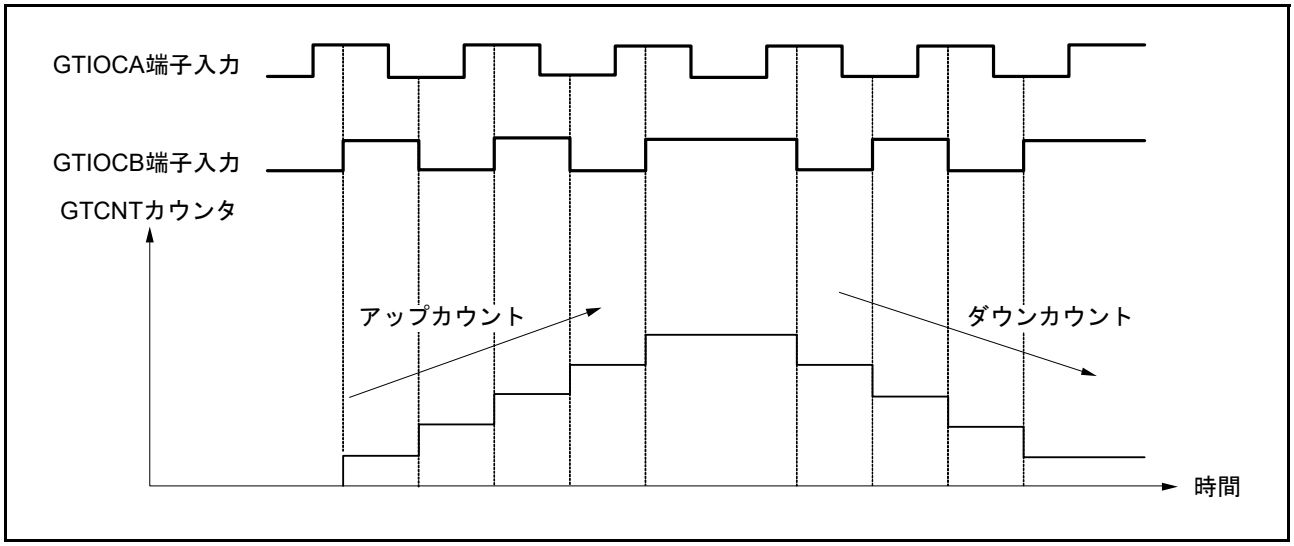


図 23.78　位相計数モード 4 の動作例

表 23.15　位相計数モード4でのアップカウント／ダウンカウントの条件

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↑	アップカウント	GTUPSR レジスタ = 0000_6000h GTDNSR レジスタ = 0000_9000h
Low	↓		
↑	Low	Don’t care	
↓	High		
High	↓	ダウンカウント	
Low	↑		
↑	High	Don’t care	
↓	Low		

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

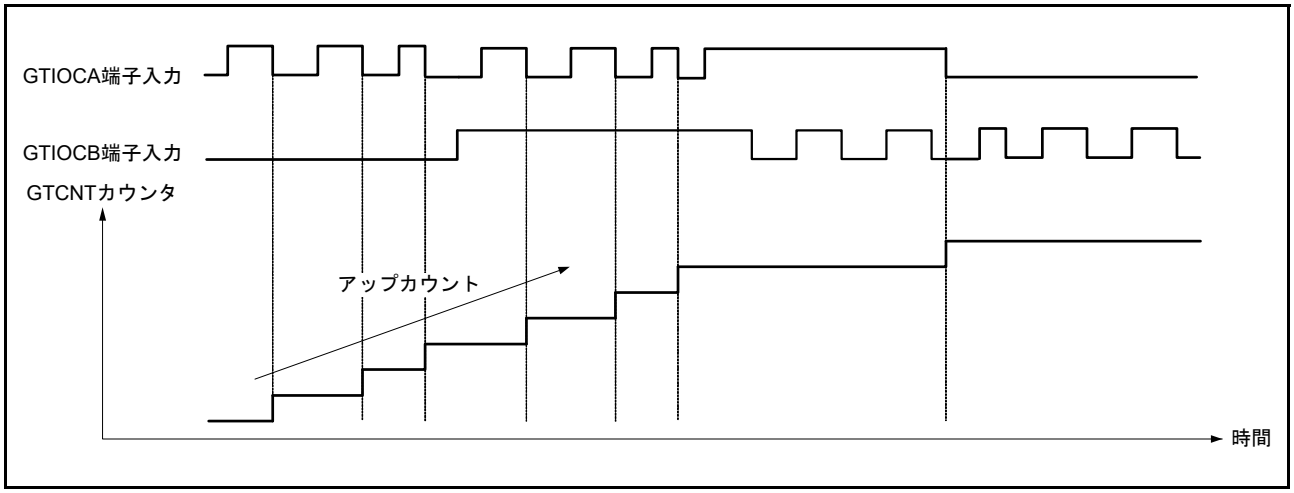


図 23.79　位相計数モード 5 の動作例（A）

表 23.16　位相計数モード5でのアップカウント／ダウンカウントの条件（A）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↓	Don't care	GTUPSR レジスタ = 0000_0C00h GTDNSR レジスタ = 0000_0000h
Low	↓		
↑	Low		
↓	High	アップカウント	
High	↓	Don't care	
Low	↑		
↑	High		
↓	Low	アップカウント	

↑：立ち上がりエッジ

↓：立ち下がりエッジ

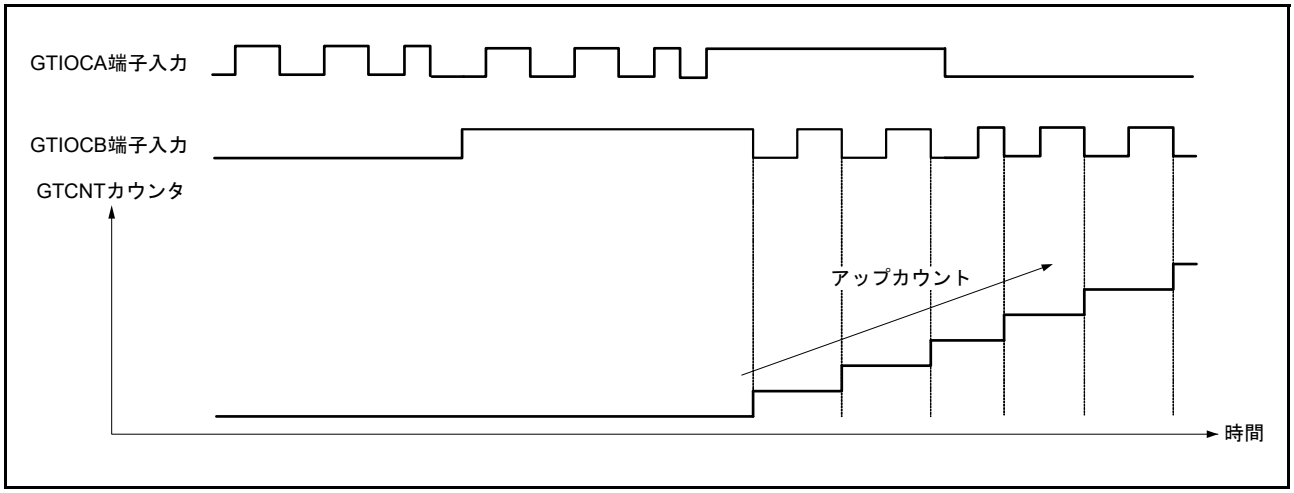


図 23.80　位相計数モード 5 の動作例（B）

表 23.17　位相計数モード5でのアップカウント／ダウンカウントの条件（B）

GTIOCA端子入力	GTIOCB端子入力	動作	レジスタ設定値
High	↓	Don't care	GTUPSR レジスタ = 0000_C000h GTDNSR レジスタ = 0000_0000h
Low	↓	アップカウント	
↑	Low	Don't care	
↓	High		
High	↓	アップカウント	
Low	↑	Don't care	
↑	High		
↓	Low		

↑ ：立ち上がりエッジ

↓ ：立ち下がりエッジ

23.3.11 出力相切り替え（GPT_OPS）

GPT_OPS は、出力相切り替えコントロールレジスタ（OPSCR）によるブラシレス DC モータ動作の簡易制御機能を提供します。

GPT_OPS は、6 相モータ制御の各相（U 正相／逆相、V 正相／逆相、W 正相／逆相）のレベル信号またはチョッパ制御に使用する PWM 信号を出力します。この機能では、ソフトウェアで設定したソフト設定値（OPSCR.UF、VF、WF ビット）、ホール素子により検知した外部信号、GPT32EH0.GTIOCA 端子の PWM 波形などを使用します。

図 23.81 に GPT_OPS 制御フローの概念図を示します。

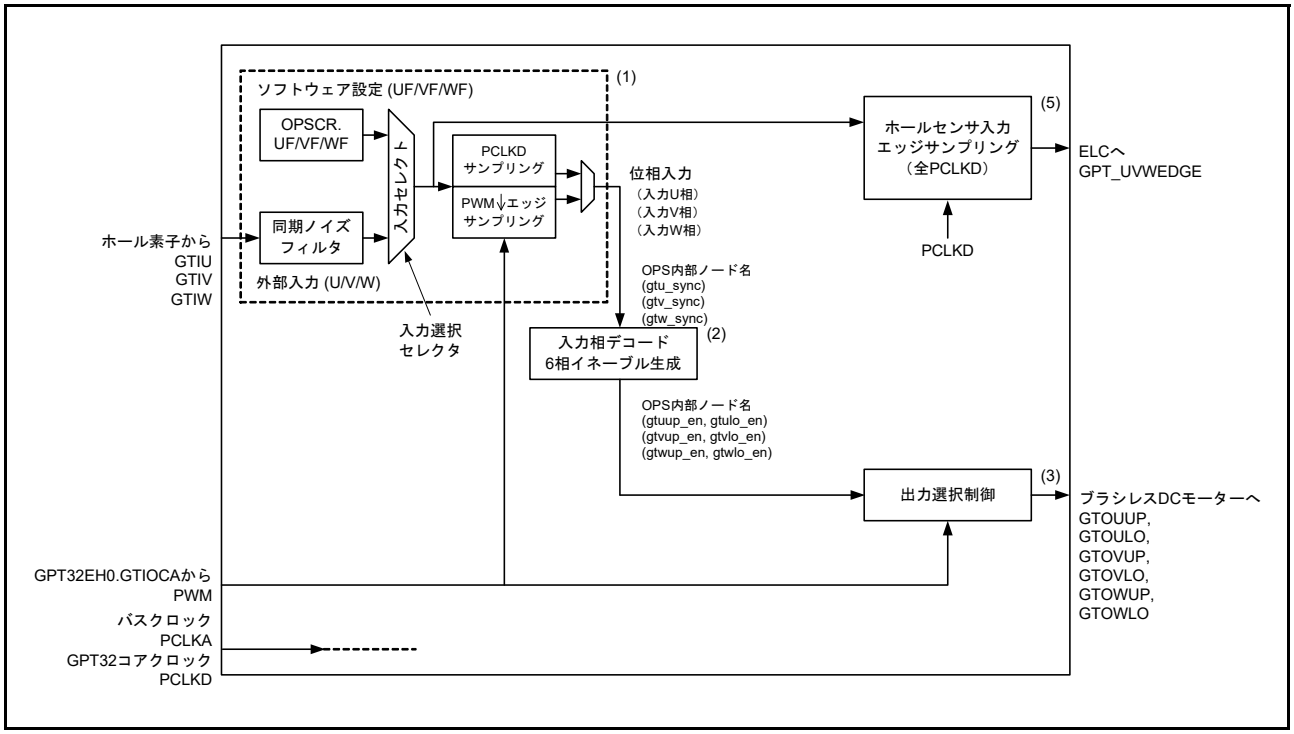
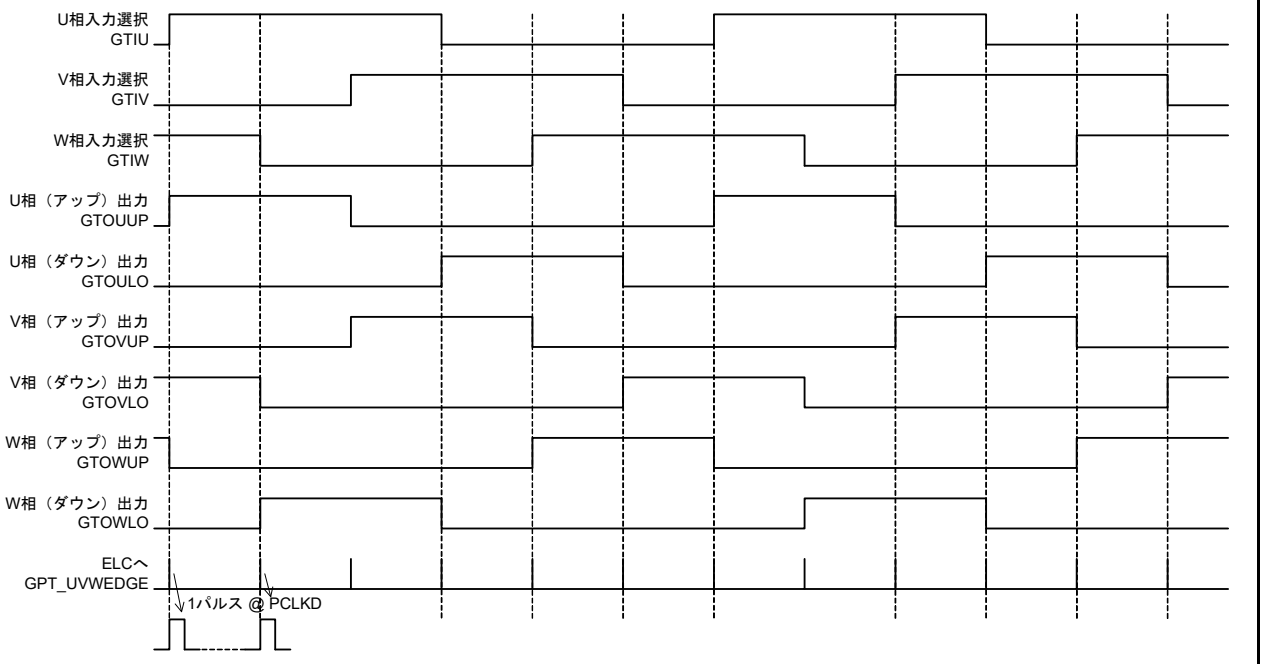


図 23.81 GPT_OPS 制御フローの概念図

図 23.82 に GPT_OPS 動作の 6 相レベル信号出力例を示します。

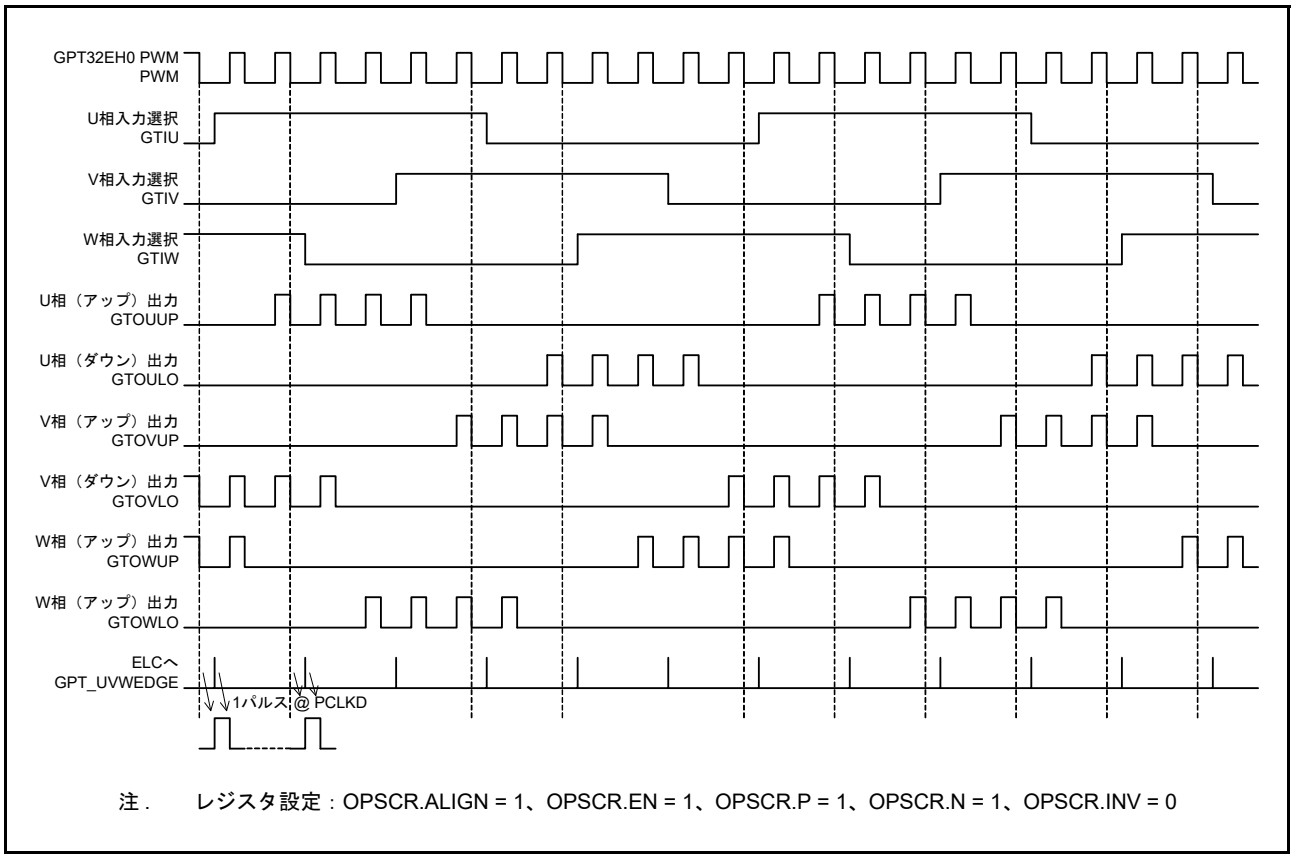
図 23.82 の GPT_UVWEDGE 信号は、ELC 出力へのホールセンサ入力エッジです。



注 . レジスタ設定：OPSCR.ALIGN = 0、OPSCR.EN = 1、OPSCR.P = 0、OPSCR.N = 0、OPSCR.INV = 0

図 23.82 6 相レベル出力動作例

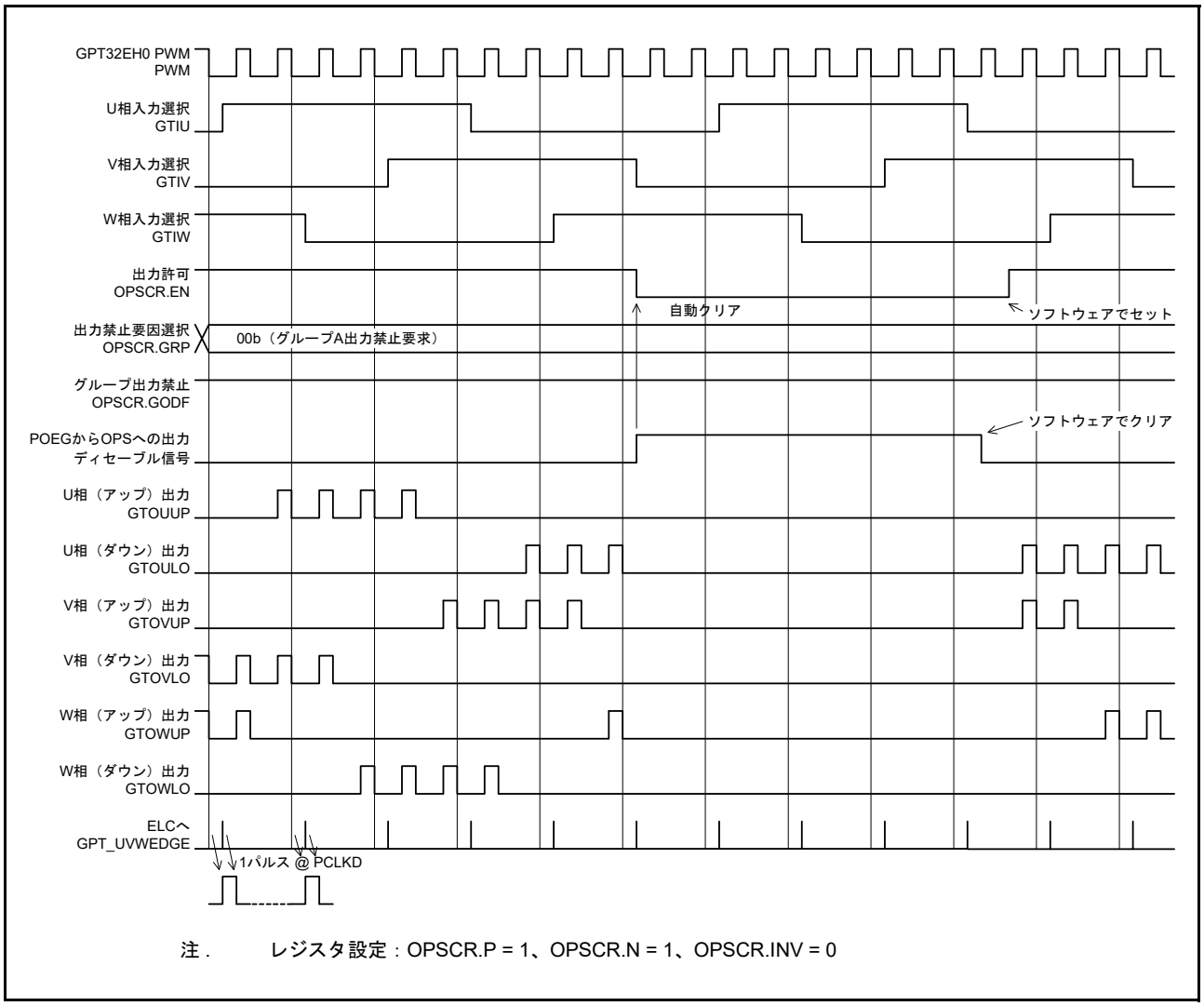
図 23.83 に OPS 動作の 6 相 PWM 出力例（チョッパ制御）を示します。



注 . レジスタ設定：OPSCR.ALIGN = 1、OPSCR.EN = 1、OPSCR.P = 1、OPSCR.N = 1、OPSCR.INV = 0

図 23.83 6 相 PWM 出力動作例（チョッパ制御）

図 23.84 に出力禁止制御の例（6 相 PWM 出力動作）を示します。



注 . レジスタ設定：OPSCR.P = 1、OPSCR.N = 1、OPSCR.INV = 0

図 23.84 グループ出力禁止制御動作例

23.3.11.1 外部入力信号の同期および入力選択

図 23.81 に示す GPT_OPS 制御フロー概念図の（1）の部分では、ソフトウェア設定による入力相と OPSCR.FB ビットによる外部入力を選択します。

OPSCR.FB ビット = 0 の場合、外部入力を選択してください。GPT コアクロック（PCLKD）で同期してから入力信号を許可してください。ノイズフィルタ（オプション）実施後、OPSCR.ALIGN ビット = 1 でサンプリングした立ち下がりエッジで、外部入力を PWM（GPT32EH0.GTIOCA 端子の PWM）の入力相に設定してください。

OPSCR.FB ビット = 1 の場合、OPSCR.ALIGN ビット = 1 でサンプリングした立ち下がりエッジで、PWM（GPT32EH0.GTIOCA 端子の PWM）の入力相の値でソフト設定（OPSCR.UF、VF、WF ビット）を選択してください。

OPSCR.ALIGN ビットが 0 の場合、OPS は OPSCR.FB ビットが 0 または 1 のいずれかと同期した PCLKD の入力相で動作します。ただし、切り替えタイミング（直前／直後）の出力 U/V/W 相（PWM 出力モード）の PWM パルス幅が狭くなる場合があります。

表 23.18 に、入力選択処理と対応する OPSCR レジスタのビット設定を示します。

表 23.18 入力選択処理方法

OPSCR レジスタ		入力相サンプリング方法の選択（U/V/W 相）	同期入出力選択処理（OPS 内部ノード名）
FB ビット	ALIGN ビット		
0	1	PWM 立ち下がりエッジサンプリングでの外部入力（PCLKD 同期 + 立ち下がりエッジサンプル）	“入力相” 入力 U 相（gtu_sync） 入力 V 相（gtv_sync） 入力 W 相（gtw_sync）
	0	PCLKD 同期出力での外部入力（PCLKD 同期 + スルーモード）	
1	1	PWM 立ち下がりエッジサンプリングでのソフトウェア設定（立ち下がりエッジサンプルの OPSCR.UF、VF、WF ビット）	
	0	ソフトウェア設定値選択 （= OPSCR.UF/VF/WF ビット値）（= PCLKD 同期）	

23.3.11.2 入力サンプリング

OPSCR.U、V、W レジスタは、OPSCR.FB ビットで選択した入力の PCLKD サンプリング結果を示すレジスタです。

OPSCR.FB ビット = 0 の場合、GPT コアクロック（PCLKD）との同期およびノイズフィルタリング（オプション）後に、OPSCR.U、V、W レジスタは外部入力のサンプリング結果を示します。OPSCR.FB ビット = 1 の場合、OPSCR.U、V、W レジスタはソフト設定値（OPSCR.UF、VF、WF ビット）です。

23.3.11.3 入力相デコード

図 23.81 に示す GPT_OPS 制御フロー概念図の（2）の部分では、OPSCR.FB ビットで選択した入力相をデコードすることにより、6 相信号を有効にします。6 相許可信号は、GPT_OPS の内部処理に使用されます。

表 23.19 に入力相のデコード表を示します。

表 23.19 入力相デコード表

入力相（U/V/W）（OPS内部ノード名）			入力相のデコードによる6相許可［U/V/W（Up/Lo）］（OPS内部ノード名）					
入力U相	入力V相	入力W相	U相（Up）	U相（Lo）	V相（Up）	V相（Lo）	W相（Up）	W相（Lo）
(gtu_sync)	(gtv_sync)	(gtw_sync)	(gtuup_en)	(gtulo_en)	(gtvup_en)	(gtvlo_en)	(gtwup_en)	(gtwlo_en)
1	0	1	1	0	0	1	0	0
1	0	0	1	0	0	0	0	1
1	1	0	0	0	1	0	0	1
0	1	0	0	1	1	0	0	0
0	1	1	0	1	0	0	1	0
0	0	1	0	0	0	1	1	0
0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0

23.3.11.4 出力選択制御

図 23.81 に示す GPT_OPS 制御フロー概念図の（3）の部分では、OPSCR レジスタのビットを設定することによって出力波形を選択します。

出力選択に関連するビットを以下に示します。

- OPSCR.EN ビット：6 相出力の出力／停止を制御
- OPSCR.P ビットおよび OPSCR.N ビット：出力相に対してレベル信号／ PWM 信号（チョッパ出力）を選択可能
- 出力相の極性は、OPSCR.INV ビットで正論理／負論理に設定可能

表 23.20 および表 23.21 に、OPSCR レジスタのビットを使用した出力選択制御方法を示します。

表 23.20 出力選択制御方法（正相）

イネーブル相出力制御	正相出力（P）制御	反転相出力制御	出力ポート名（正相 = Up） （出力選択内部ノード割り当て）	
OPSCR.EN ビット	OPSCR.P ビット	OPSCR.INV ビット	GTOUUP GTOVUP GTOWUP	モード
0	x	x	0	出力停止 （外部端子：Hi-Z） GPT_OPS⇒0出力
1	0	0	レベル信号 （gtuup_en） （gtvup_en） （gtwup_en）	レベル出力モード （正相） （正論理）
1	0	1	レベル信号 （～gtuup_en） （～gtvup_en） （～gtwup_en）	レベル出力モード （正相） （負論理）
1	1	0	PWM信号 （PWM & gtuup_en） （PWM & gtvup_en） （PWM & gtwup_en）	PWM出力モード （正相） （正論理）
1	1	1	PWM信号 （～（PWM & gtuup_en）） （～（PWM & gtvup_en）） （～（PWM & gtwup_en））	PWM出力モード （正相） （負論理）

表 23.21 出力選択制御方法（逆相）

イネーブル相出力制御	逆相出力（N）制御	反転相出力制御	出力ポート名（逆相 = Lo） （出力選択内部ノード割り当て）	
OPSCR.EN ビット	OPSCR.N ビット	OPSCR.INV ビット	GTOULO GTOVLO GTOWLO	モード
0	x	x	0	出力停止 （外部端子：Hi-Z） GPT_OPS⇒0出力
1	0	0	レベル信号 （gtulo_en） （gtvlo_en） （gtwlo_en）	レベル出力モード （逆相） （正論理）
1	0	1	レベル信号 （～gtulo_en） （～gtvlo_en） （～gtwlo_en）	レベル出力モード （逆相） （負論理）
1	1	0	PWM信号 （PWM & gtulo_en） （PWM & gtvlo_en） （PWM & gtwlo_en）	PWM出力モード （逆相） （正論理）
1	1	1	PWM信号 （～（PWM & gtulo_en）） （～（PWM & gtvlo_en）） （～（PWM & gtwlo_en））	PWM出力モード （逆相） （負論理）

23.3.11.5 出力選択制御（グループ出力禁止機能）

OPSCR.GODF ビット = 1、かつ OPSCR.GRP ビットで選択した信号値が High（出力禁止要求）の場合、GPT_OPS 出力端子は非同期に Hi-Z に変化し、PCLKD と同期した出力禁止要求信号によって OPSCR.EN ビットは 0 になります。その応答として、ソフトウェアで出力禁止要求をクリアした後、OPSCR.EN ビットを 1 にしてください。

OPSCR.EN ビットが 0 にクリアされるタイミングは、出力禁止要求が発生してから PCLKD の 3 周期後です。出力禁止制御を確実に実行するには、（POEG の出力禁止要求フラグのクリアによる）出力禁止要求の発生から停止まで、少なくとも PCLKD の 4 周期分待つ必要があります。グループ出力禁止制御の動作例については、図 23.84 を参照してください。

23.3.11.6 イベントリンクコントローラ（ELC）出力

図 23.81 に示す GPT_OPS 制御フロー概念図の（5）の部分では、ホールセンサ入力信号エッジを ELC に出力します。

ホールセンサ入力エッジ信号は、PCLKD でサンプリングされた U 相／ V 相／ W 相入力のそれぞれの立ち上がり／立ち下がりエッジとの論理和となります。すなわち、U 相／ V 相／ W 相入力のそれぞれの High レベル持続期間が短いと、その時点でホールセンサエッジ入力信号は出力されません。

OPSCR.FB ビット = 0 の場合、ホールセンサ入力エッジ信号は、PCLKD でサンプリングされた外部入力相のエッジ信号の論理和となります。OPSCR.FB ビット = 1 の場合、ホールセンサ入力エッジ信号は、PCLKD でサンプリングされたソフト設定（OPSCR.UF、VF、WF ビット）のエッジ信号の論理和となります。

ELC への出力信号の例については、図 23.82 ～図 23.84 を参照してください。

23.3.11.7 GPT_OPS スタート動作設定フロー

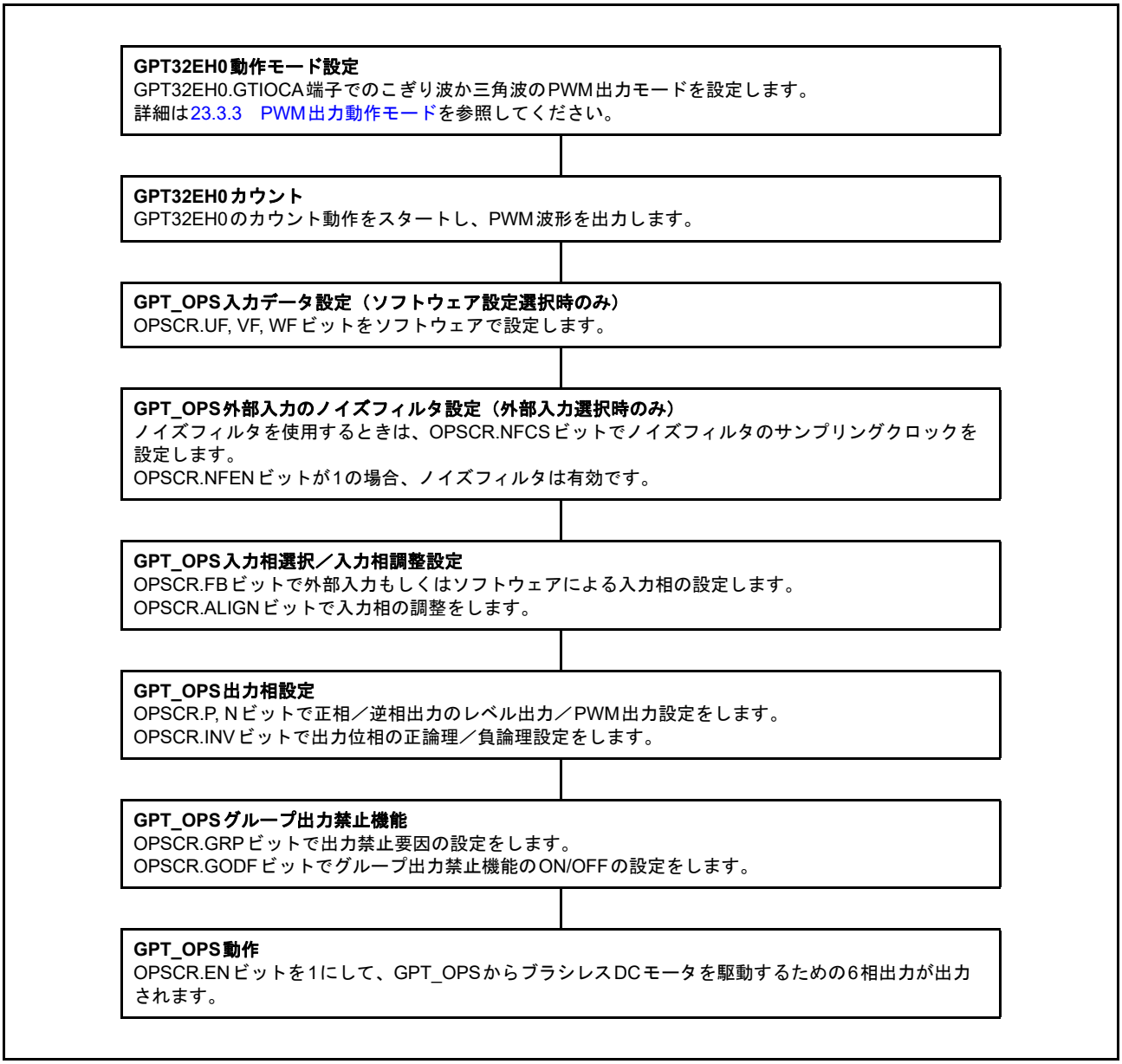


図 23.85 GPT_OPS スタート動作設定例

23.4 割り込み要因

23.4.1 割り込み要因

GPT には以下の割り込み要因があります。

- GTCCR インプットキャプチャ／コンペアマッチ
- GTADTR コンペアマッチ
- GTCNT カウンタオーバーフロー（GTPR コンペアマッチ）／アンダーフロー

各割り込み要因には、それぞれ専用のステータスフラグがあります。割り込み要因信号が発生すると、GTST レジスタの対応するステータスフラグが 1 になります。GTST レジスタの対応するステータスフラグは、0 を書き込むことでクリアできます。フラグのセットとクリアが同時に発生した場合、フラグのクリアが優先されます。これらのフラグは、内部状態によって自動更新されます。表 23.22 に GPT の割り込み要因を示します。

表 23.22 割り込み要因 (1/4)

チャネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
0	GPT0_CCMPA	GPT32EH0.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT0_CCMPB	GPT32EH0.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT0_CMPC	GPT32EH0.GTCCRCコンペアマッチ	TCFC	可能
	GPT0_CMPD	GPT32EH0.GTCCRDコンペアマッチ	TCFD	可能
	GPT0_CMPE	GPT32EH0.GTCCREコンペアマッチ	TCFE	可能
	GPT0_CMPF	GPT32EH0.GTCCRFコンペアマッチ	TCFF	可能
	GPT0_ADTRGA	GPT32EH0.GTADTRAコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT0_ADTRGB	GPT32EH0.GTADTRBコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT0_OVF	GPT32EH0.GTCNTオーバーフロー（GPT32EH0.GTPRコンペアマッチ）	TCFPO	可能
	GPT0_UDF	GPT32EH0.GTCNTアンダーフロー	TCFPU	可能
1	GPT1_CCMPA	GPT32EH1.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT1_CCMPB	GPT32EH1.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT1_CMPC	GPT32EH1.GTCCRCコンペアマッチ	TCFC	可能
	GPT1_CMPD	GPT32EH1.GTCCRDコンペアマッチ	TCFD	可能
	GPT1_CMPE	GPT32EH1.GTCCREコンペアマッチ	TCFE	可能
	GPT1_CMPF	GPT32EH1.GTCCRFコンペアマッチ	TCFF	可能
	GPT1_ADTRGA	GPT32EH1.GTADTRAコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT1_ADTRGB	GPT32EH1.GTADTRBコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT1_OVF	GPT32EH1.GTCNTオーバーフロー（GPT32EH1.GTPRコンペアマッチ）	TCFPO	可能
	GPT1_UDF	GPT32EH1.GTCNTアンダーフロー	TCFPU	可能

表 23.22 割り込み要因 (2/4)

チャネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
2	GPT2_CCMPA	GPT32EH2.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT2_CCMPB	GPT32EH2.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT2_CMPC	GPT32EH2.GTCCRCコンペアマッチ	TCFC	可能
	GPT2_CMPD	GPT32EH2.GTCCRDコンペアマッチ	TCFD	可能
	GPT2_CMPE	GPT32EH2.GTCCREコンペアマッチ	TCFE	可能
	GPT2_CMPF	GPT32EH2.GTCCRFコンペアマッチ	TCFF	可能
	GPT2_ADTRGA	GPT32EH2.GTCCREコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT2_ADTRGB	GPT32EH2.GTCCRFコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT2_OVF	GPT32EH2.GTCNTオーバーフロー（GPT32EH2.GTPRコンペアマッチ）	TCFPO	可能
	GPT2_UDF	GPT32EH2.GTCNTアンダーフロー	TCFPU	可能
3	GPT3_CCMPA	GPT32EH3.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT3_CCMPB	GPT32EH3.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT3_CMPC	GPT32EH3.GTCCRCコンペアマッチ	TCFC	可能
	GPT3_CMPD	GPT32EH3.GTCCRDコンペアマッチ	TCFD	可能
	GPT3_CMPE	GPT32EH3.GTCCREコンペアマッチ	TCFE	可能
	GPT3_CMPF	GPT32EH3.GTCCRFコンペアマッチ	TCFF	可能
	GPT3_ADTRGA	GPT32EH3.GTADTRAコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT3_ADTRGB	GPT32EH3.GTADTRBコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT3_OVF	GPT32EH3.GTCNTオーバーフロー（GPT32EH3.GTPRコンペアマッチ）	TCFPO	可能
	GPT3_UDF	GPT32EH3.GTCNTアンダーフロー	TCFPU	可能
4	GPT4_CCMPA	GPT32E4.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT4_CCMPB	GPT32E4.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT4_CMPC	GPT32E4.GTCCRCコンペアマッチ	TCFC	可能
	GPT4_CMPD	GPT32E4.GTCCRDコンペアマッチ	TCFD	可能
	GPT4_CMPE	GPT32E4.GTCCREコンペアマッチ	TCFE	可能
	GPT4_CMPF	GPT32E4.GTCCRFコンペアマッチ	TCFF	可能
	GPT4_ADTRGA	GPT32E4.GTADTRAコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT4_ADTRGB	GPT32E4.GTADTRBコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT4_OVF	GPT32E4.GTCNTオーバーフロー（GPT32E4.GTPRコンペアマッチ）	TCFPO	可能
	GPT4_UDF	GPT32E4.GTCNTアンダーフロー	TCFPU	可能

表 23.22 割り込み要因 (3/4)

チャネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
5	GPT5_CCMPA	GPT32E5.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT5_CCMPB	GPT32E5.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT5_CMPC	GPT32E5.GTCCRCコンペアマッチ	TCFC	可能
	GPT5_CMPD	GPT32E5.GTCCRDコンペアマッチ	TCFD	可能
	GPT5_CMPE	GPT32E5.GTCCREコンペアマッチ	TCFE	可能
	GPT5_CMPF	GPT32E5.GTCCRFコンペアマッチ	TCFF	可能
	GPT5_ADTRGA	GPT32E5.GTADTRAコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT5_ADTRGB	GPT32E5.GTADTRBコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT5_OVF	GPT32E5.GTCNTオーバーフロー（GPT32E5.GTPRコンペアマッチ）	TCFPO	可能
	GPT5_UDF	GPT32E5.GTCNTアンダーフロー	TCFPU	可能
6	GPT6_CCMPA	GPT32E6.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT6_CCMPB	GPT32E6.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT6_CMPC	GPT32E6.GTCCRCコンペアマッチ	TCFC	可能
	GPT6_CMPD	GPT32E6.GTCCRDコンペアマッチ	TCFD	可能
	GPT6_CMPE	GPT32E6.GTCCREコンペアマッチ	TCFE	可能
	GPT6_CMPF	GPT32E6.GTCCRFコンペアマッチ	TCFF	可能
	GPT6_ADTRGA	GPT32E6.GTADTRAコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT6_ADTRGB	GPT32E6.GTADTRBコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT6_OVF	GPT32E6.GTCNTオーバーフロー（GPT32E6.GTPRコンペアマッチ）	TCFPO	可能
	GPT6_UDF	GPT32E6.GTCNTアンダーフロー	TCFPU	可能
7	GPT7_CCMPA	GPT32E7.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT7_CCMPB	GPT32E7.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT7_CMPC	GPT32E7.GTCCRCコンペアマッチ	TCFC	可能
	GPT7_CMPD	GPT32E7.GTCCRDコンペアマッチ	TCFD	可能
	GPT7_CMPE	GPT32E7.GTCCREコンペアマッチ	TCFE	可能
	GPT7_CMPF	GPT32E7.GTCCRFコンペアマッチ	TCFF	可能
	GPT7_ADTRGA	GPT32E7.GTADTRAコンペアマッチ	ADTRAUF ADRTADF	可能
	GPT7_ADTRGB	GPT32E7.GTADTRBコンペアマッチ	ADTRBUF ADRTBDF	可能
	GPT7_OVF	GPT32E7.GTCNTオーバーフロー（GPT32E7.GTPRコンペアマッチ）	TCFPO	可能
	GPT7_UDF	GPT32E7.GTCNTアンダーフロー	TCFPU	可能
8	GPT8_CCMPA	GPT328.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT8_CCMPB	GPT328.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT8_CMPC	GPT328.GTCCRCコンペアマッチ	TCFC	可能
	GPT8_CMPD	GPT328.GTCCRDコンペアマッチ	TCFD	可能
	GPT8_CMPE	GPT328.GTCCREコンペアマッチ	TCFE	可能
	GPT8_CMPF	GPT328.GTCCRFコンペアマッチ	TCFF	可能
	GPT8_OVF	GPT328.GTCNTオーバーフロー（GPT328.GTPRコンペアマッチ）	TCFPO	可能
	GPT8_UDF	GPT328.GTCNTアンダーフロー	TCFPU	可能

表 23.22 割り込み要因 (4/4)

チャネル	名称	割り込み要因	割り込みフラグ	DMAC/DTCの起動
9	GPT9_CCMPA	GPT329.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT9_CCMPB	GPT329.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT9_CMPC	GPT329.GTCCRCコンペアマッチ	TCFC	可能
	GPT9_CMPD	GPT329.GTCCRDコンペアマッチ	TCFD	可能
	GPT9_CMPE	GPT329.GTCCREコンペアマッチ	TCFE	可能
	GPT9_CMPF	GPT329.GTCCRFコンペアマッチ	TCFF	可能
	GPT9_OVF	GPT329.GTCNTオーバーフロー（GPT329.GTPRコンペアマッチ）	TCFPO	可能
	GPT9_UDF	GPT329.GTCNTアンダーフロー	TCFPU	可能
10	GPT10_CCMPA	GPT3210.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT10_CCMPB	GPT3210.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT10_CMPC	GPT3210.GTCCRCコンペアマッチ	TCFC	可能
	GPT10_CMPD	GPT3210.GTCCRDコンペアマッチ	TCFD	可能
	GPT10_CMPE	GPT3210.GTCCREコンペアマッチ	TCFE	可能
	GPT10_CMPF	GPT3210.GTCCRFコンペアマッチ	TCFF	可能
	GPT10_OVF	GPT3210.GTCNTオーバーフロー（GPT3210.GTPRコンペアマッチ）	TCFPO	可能
	GPT10_UDF	GPT3210.GTCNTアンダーフロー	TCFPU	可能
11	GPT11_CCMPA	GPT3211.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT11_CCMPB	GPT3211.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT11_CMPC	GPT3211.GTCCRCコンペアマッチ	TCFC	可能
	GPT11_CMPD	GPT3211.GTCCRDコンペアマッチ	TCFD	可能
	GPT11_CMPE	GPT3211.GTCCREコンペアマッチ	TCFE	可能
	GPT11_CMPF	GPT3211.GTCCRFコンペアマッチ	TCFF	可能
	GPT11_OVF	GPT3211.GTCNTオーバーフロー（GPT3211.GTPRコンペアマッチ）	TCFPO	可能
	GPT11_UDF	GPT3211.GTCNTアンダーフロー	TCFPU	可能
12	GPT12_CCMPA	GPT3212.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT12_CCMPB	GPT3212.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT12_CMPC	GPT3212.GTCCRCコンペアマッチ	TCFC	可能
	GPT12_CMPD	GPT3212.GTCCRDコンペアマッチ	TCFD	可能
	GPT12_CMPE	GPT3212.GTCCREコンペアマッチ	TCFE	可能
	GPT12_CMPF	GPT3212.GTCCRFコンペアマッチ	TCFF	可能
	GPT12_OVF	GPT3212.GTCNTオーバーフロー（GPT3212.GTPRコンペアマッチ）	TCFPO	可能
	GPT12_UDF	GPT3212.GTCNTアンダーフロー	TCFPU	可能
13	GPT13_CCMPA	GPT3213.GTCCRAインプットキャプチャ／コンペアマッチ	TCFA	可能
	GPT13_CCMPB	GPT3213.GTCCRBインプットキャプチャ／コンペアマッチ	TCFB	可能
	GPT13_CMPC	GPT3213.GTCCRCコンペアマッチ	TCFC	可能
	GPT13_CMPD	GPT3213.GTCCRDコンペアマッチ	TCFD	可能
	GPT13_CMPE	GPT3213.GTCCREコンペアマッチ	TCFE	可能
	GPT13_CMPF	GPT3213.GTCCRFコンペアマッチ	TCFF	可能
	GPT13_OVF	GPT3213.GTCNTオーバーフロー（GPT3213.GTPRコンペアマッチ）	TCFPO	可能
	GPT13_UDF	GPT3213.GTCNTアンダーフロー	TCFPU	可能

(1) GPTn_ADTRGA 割り込み（n = 0 ～ 7）

GTCNT カウンタ値が GTADTRA レジスタ値と一致した場合、以下の条件で割り込み要求が発生します。

- アップカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRAUEN）が 1 のとき
- ダウンカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRADEN）が 1 のとき

イベントカウント動作実行時、この割り込み要求は発生しません。

(2) GPTn_ADTRGB 割り込み（n = 0 ～ 7）

GTCNT カウンタ値が GTADTRB レジスタ値と一致した場合、以下の条件で割り込み要求が発生します。

- アップカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRBUEN）が 1 のとき
- ダウンカウント時、GTINTAD レジスタの割り込み許可ビット（ADTRBDEN）が 1 のとき

イベントカウント動作実行時、この割り込み要求は発生しません。

(3) GPTn_CCMPA 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- GTCCRA レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRA レジスタ値と一致したとき
- GTCCRA レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRA レジスタに転送されたとき

(4) GPTn_CCMPB 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- GTCCRB レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRB レジスタ値と一致したとき
- GTCCRB レジスタがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によって GTCNT カウンタ値が GTCCRB レジスタに転送されたとき

(5) GPTn_CMPC 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- GTCCRC レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRC レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 01b、10b、11b（GTCCRC レジスタがバッファ動作）

(6) GPTn_CMPD 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- GTCCRD レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRD レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRA[1:0] ビット = 10b、11b（GTCCRD レジスタがバッファ動作）

(7) GPTn_CMPE 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- GTCCRE レジスタがコンペアマッチレジスタとして機能している場合、GTCNT カウンタ値が GTCCRE レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 01b、10b、11b（GTCCRE レジスタがバッファ動作）

(8) GPTn_CMPF 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- GTCCRF レジスタがコンペアマッチレジスタとして機能している場合､GTCNT カウンタ値が GTCCRF レジスタ値と一致したとき

以下の条件ではコンペアマッチが行われないため、割り込み要求は発生しません。

- GTCR.MD[2:0] ビット = 001b（のこぎり波ワンショットパルスモード）
- GTCR.MD[2:0] ビット = 110b（三角波 PWM モード 3）
- GTBER.CCRB[1:0] ビット = 10b、11b（GTCCRF レジスタがバッファ動作）

(9) GPTn_OVF 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、オーバーフロー時（アップカウント中に GTCNT カウンタ値が GTPR 値から 0 に変化）に割り込み要求が許可されているとき
- 三角波モードの場合、山（GTCNT カウンタ値が GTPR 値から GTPR 値 -1 に変化）で割り込み要求が許可されているとき
- ハードウェア要因によるカウントで、オーバーフロー（アップカウント時に GTCNT カウンタ値が GTPR 値から 0 に変化）が発生したとき

(10) GPTn_UDF 割り込み（n = 0 ～ 13）

割り込み要求は以下の条件で発生します。

- のこぎり波モードの場合、アンダーフロー時（ダウンカウント中に GTCNT カウンタ値が 0 から GTPR 値に変化）に割り込み要求が許可されているとき
- 三角波モードの場合、谷（GTCNT カウンタ値が 0 から 1 に変化）で割り込み要求が許可されているとき
- ハードウェア要因によるカウントで、アンダーフロー（ダウンカウント時に GTCNT カウンタ値が 0 から GTPR 値に変化）が発生したとき

表 23.23　割り込み信号、割り込み許可ビット、割り込みステータスフラグ

割り込み信号	割り込み許可ビット	割り込みステータスフラグ
GPTn_UDF	—（注1）	GTST[7] (TCFPU)
GPTn_OVF		GTST[6] (TCFPO)
GPTn_ADTRGB	GTINTAD[19] (ADTRBDEN) GTINTAD[18] (ADTRBUEN)	GTST[19] (ADTRBDF) GTST[18] (ADTRBUF)
GPTn_ADTRGA	GTINTAD[17] (ADTRADEN) GTINTAD[16] (ADTRAUEN)	GTST[17] (ADTRADF) GTST[16] (ADTRAUF)
GPTn_CMPF	—（注1）	GTST[5] (TCFF)
GPTn_CMPE		GTST[4] (TCFE)
GPTn_CMPD		GTST[3] (TCFD)
GPTn_CMPC		GTST[2] (TCFC)
GPTn_CCMPB		GTST[1] (TCFB)
GPTn_CCMPA		GTST[0] (TCFA)

注 1.　割り込みは常に許可されます。

23.4.2 DMAC/DTC 起動

各チャネルの割り込みによって、DMAC と DTC を起動することができます。詳細は、「14. 割り込みコントローラユニット（ICU）」と「18. データトランスファコントローラ（DTC）」を参照してください。

23.4.3 割り込み、A/D 変換要求の間引き機能

GTITC レジスタを設定することにより、GTCNT カウンタのオーバーフロー（GTPR レジスタのコンペアマッチ）割り込み（GPTn_OVF）と、アンダーフロー割り込み（GPTn_UDF）を間引くことが可能です。また、他の割り込みや A/D 変換開始要求信号も、GPTn_OVF/GPTn_UDF 割り込み間引き機能と連動して間引くことができます。

割り込み要求間引き機能は、GTITC レジスタの設定のみに依存し、GTINTAD レジスタの割り込み許可ビットの設定には依存しません。

三角波モードで谷と山の両方をカウントして間引く場合、間引き回数を奇数に設定すると、間引きカウンタの開始タイミングによっては、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込み要求が発生しません。三角波モードで谷と山の両方をカウントし、谷のみまたは山のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、間引き回数を偶数に設定してください。

同様に、のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントして間引く場合、オーバーフローまたはアンダーフローのいずれか一方のみでは GPTn_OVF 割り込み要求が発生しません。のこぎり波モードでカウント方向を変えながらオーバーフローとアンダーフローの両方をカウントし、オーバーフローまたはアンダーフローのいずれか一方のみで GPTn_OVF/GPTn_UDF 割り込みを発生させるには、最初に間引き状態を十分に検討してください。

間引き回数を変更する前に、間引き機能をいったん解除（GTITC.IVTC[1:0] ビット = 00b）してください。

間引き機能の動作例を図 23.86 ～図 23.91 に示します。

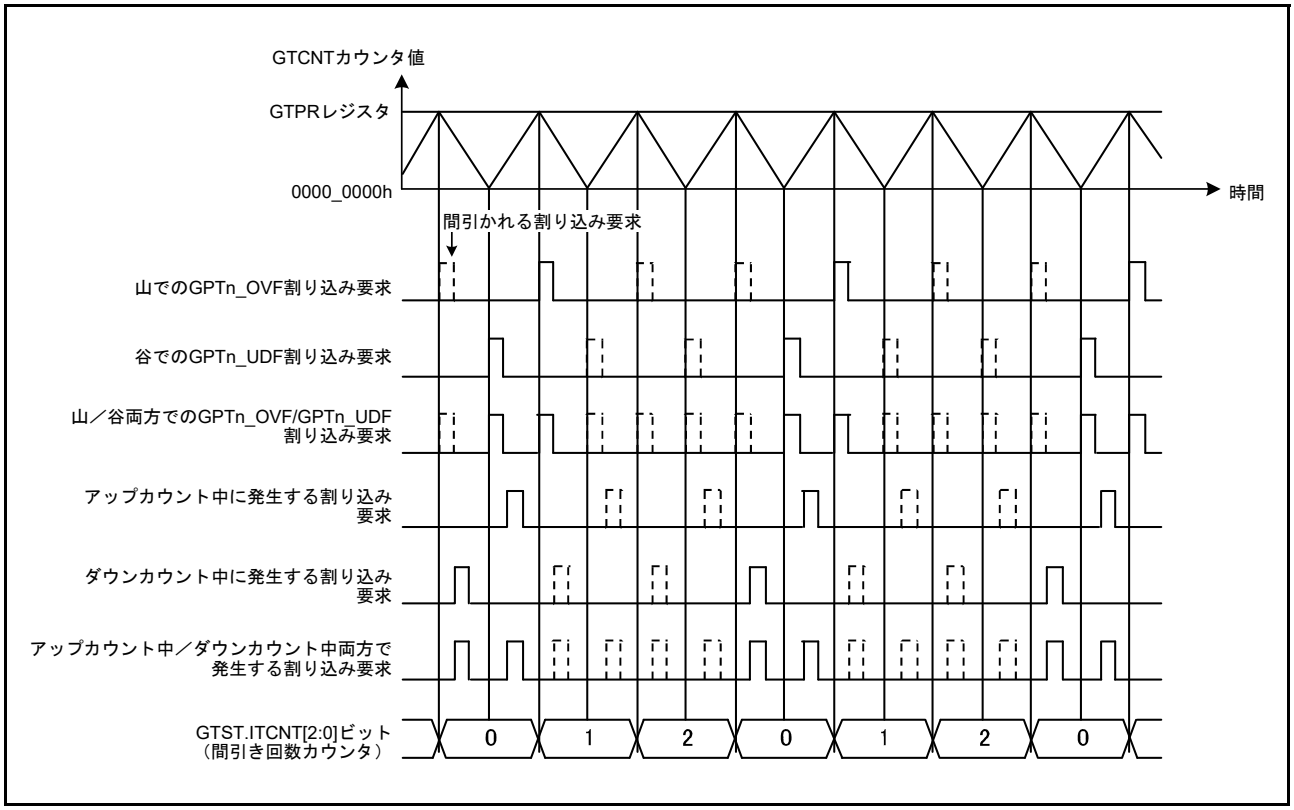


図 23.86 割り込み間引き機能の動作例（三角波、山をカウントして間引き、間引き回数 2 の場合）

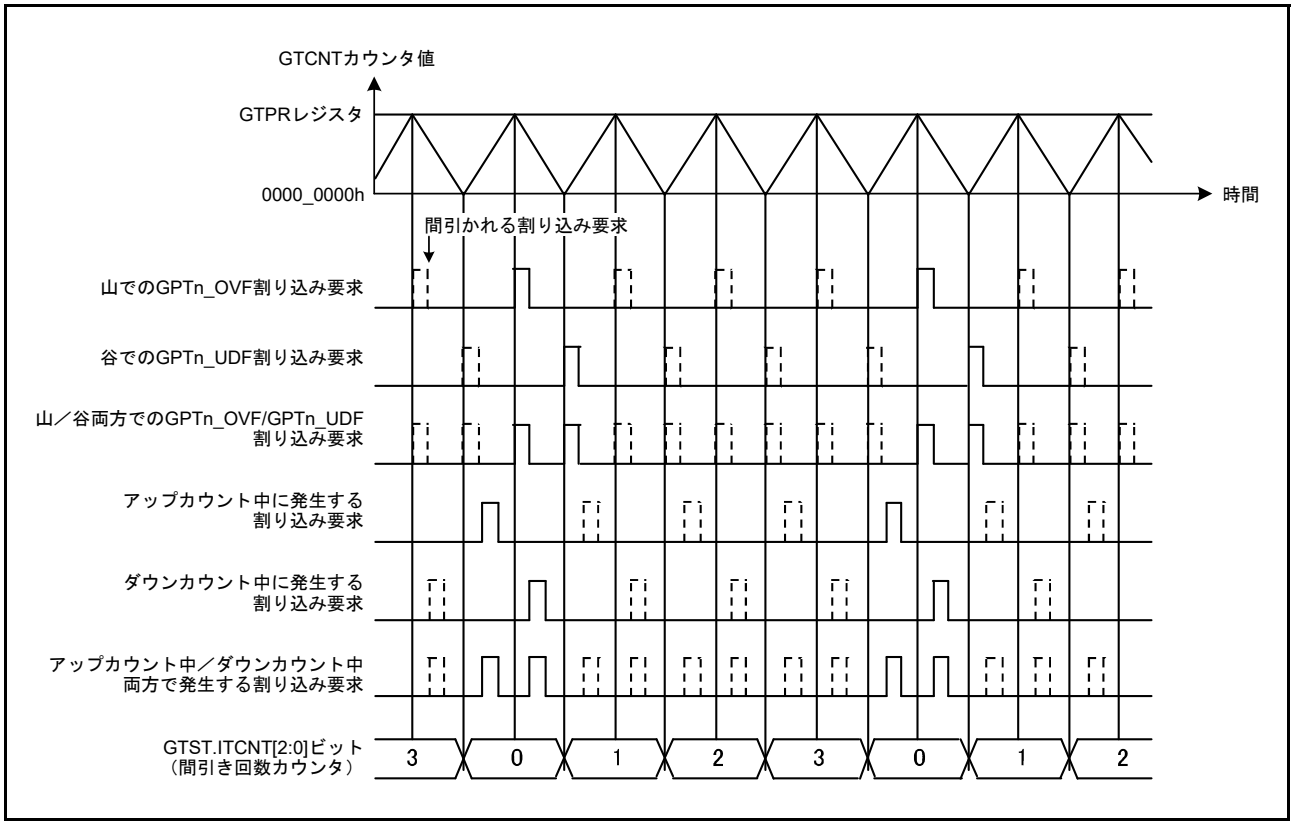


図 23.87　割り込み間引き機能の動作例（三角波、谷をカウントして間引き、間引き回数 3 の場合）

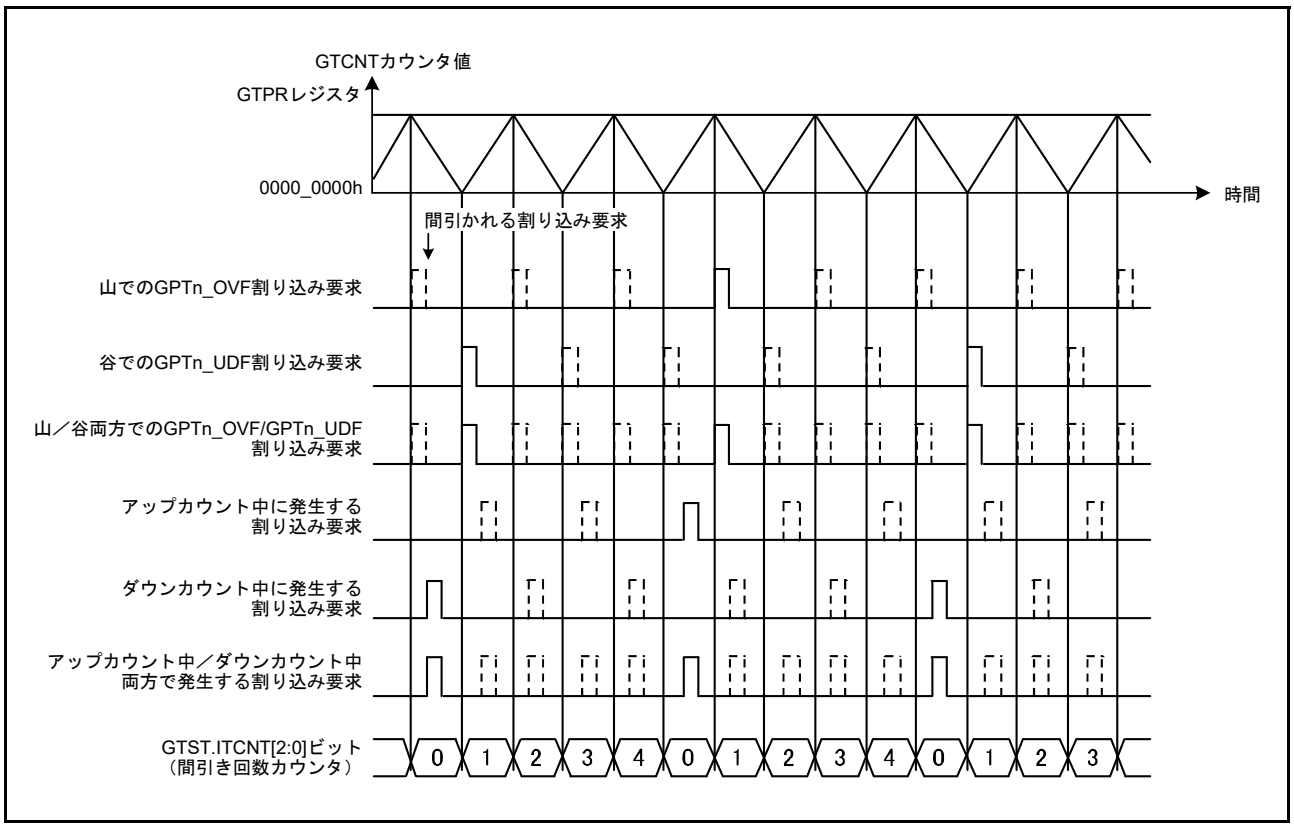


図 23.88　割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 4 の場合）

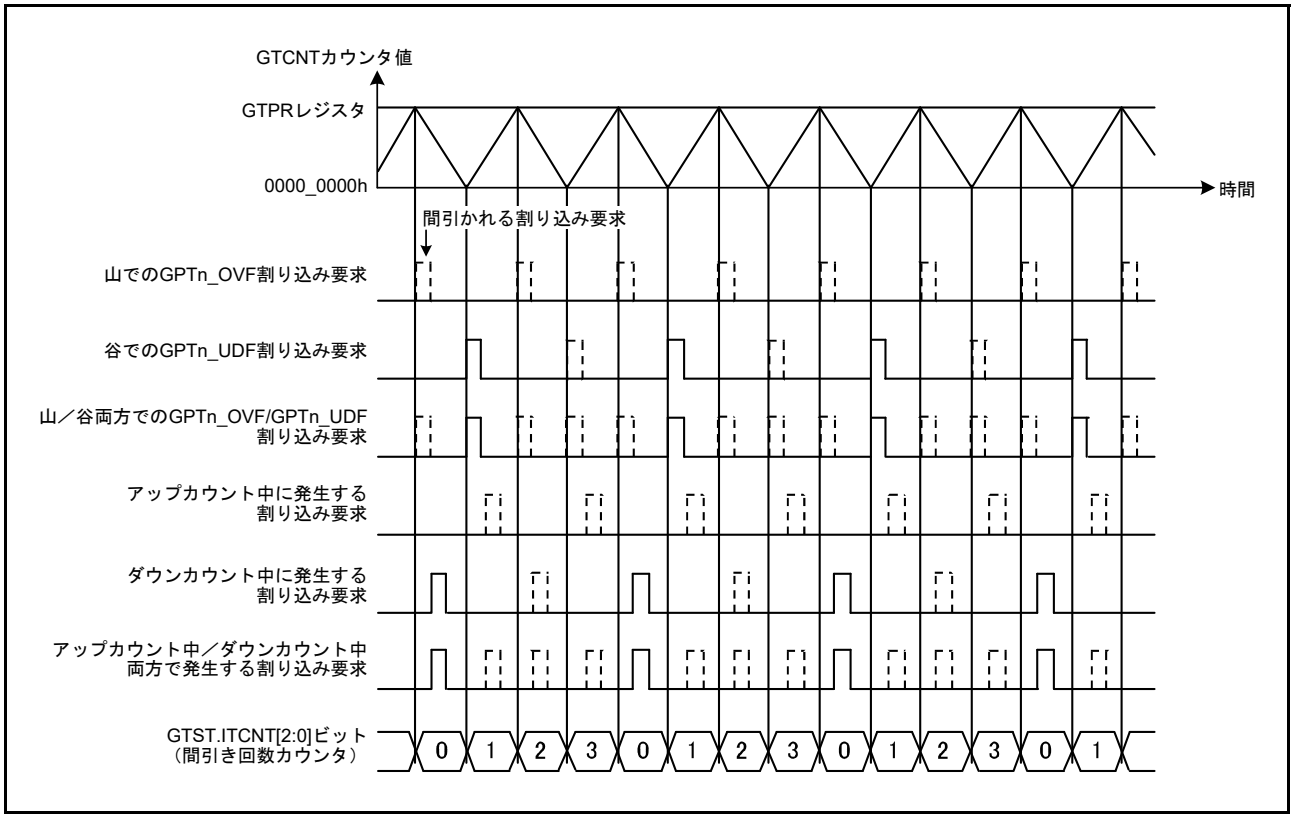


図 23.89 割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、アップカウントで間引き開始の場合）

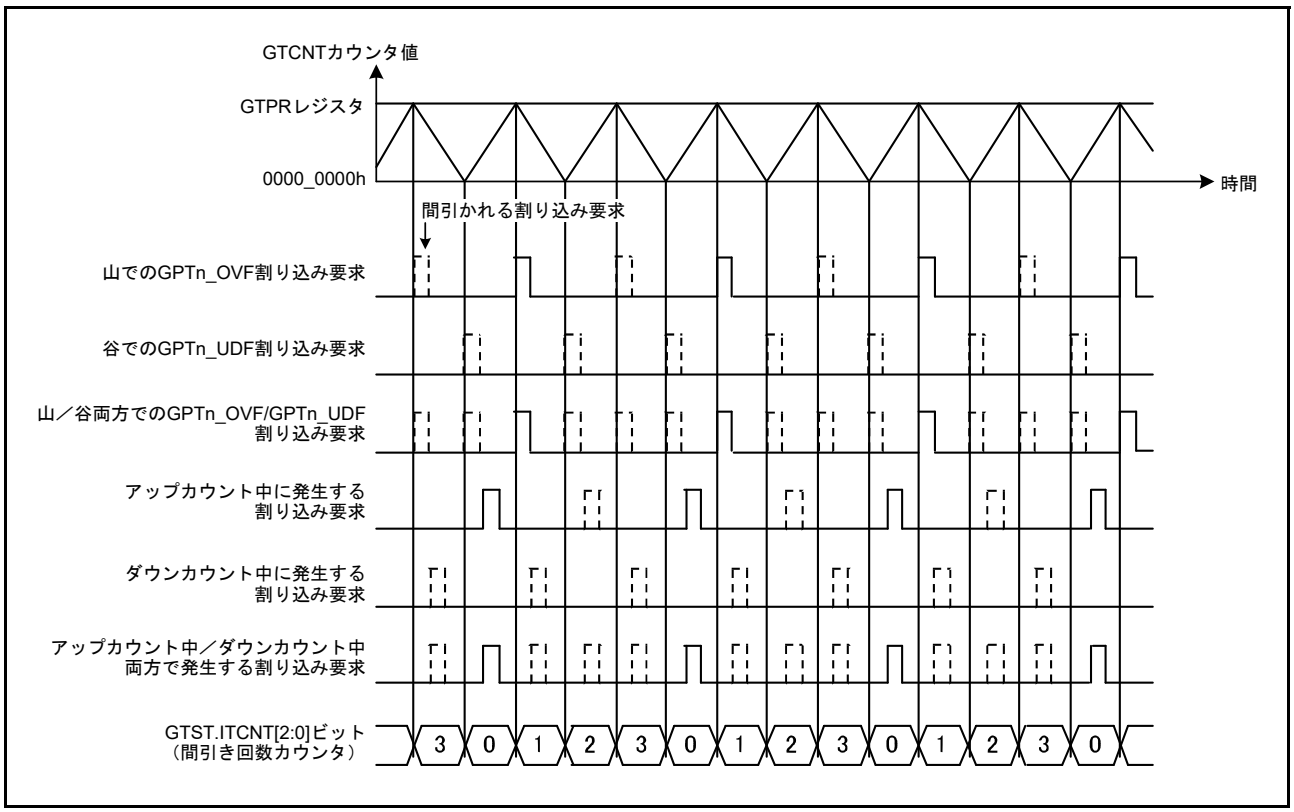


図 23.90 割り込み間引き機能の動作例（三角波、谷と山の両方をカウントして間引き、間引き回数 3、ダウンカウントで間引き開始の場合）

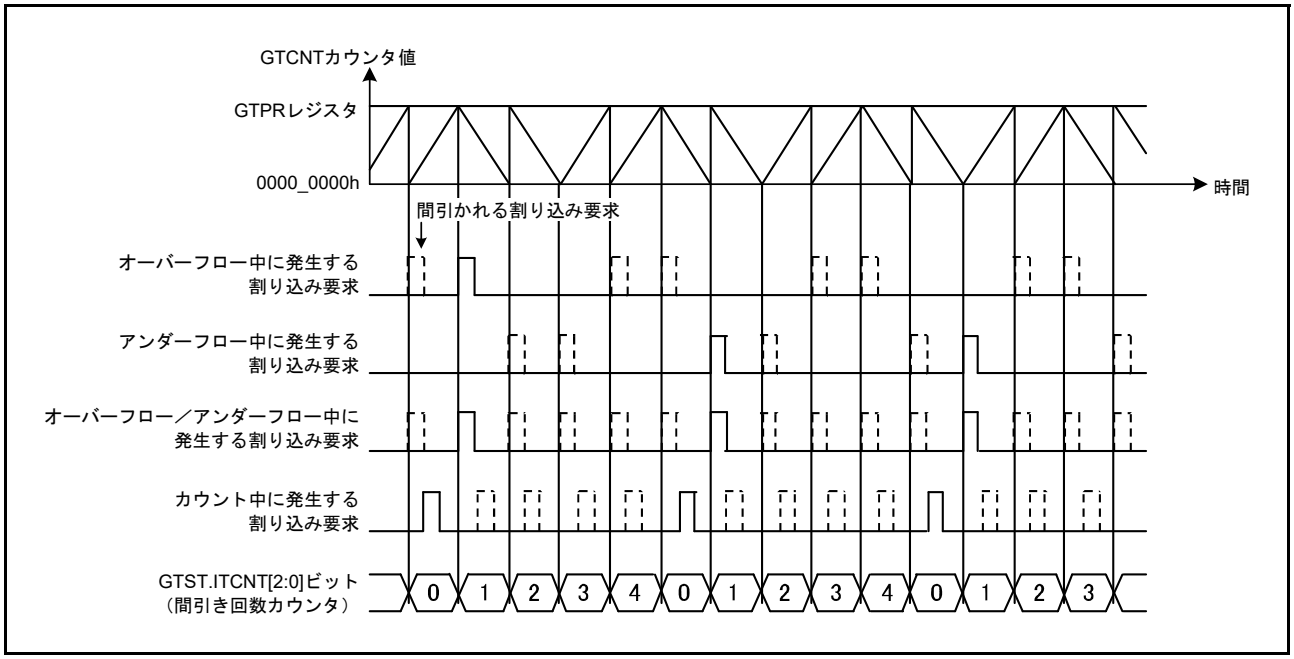


図 23.91　割り込み間引き機能の動作例（のこぎり波でカウント方向を切替えながら動作、オーバーフローとアンダーフローの両方をカウントして間引き、間引き回数 4 の場合）

23.5 A/D 変換開始要求

GTCNT カウンタと GTADTRA または GTADTRB レジスタとのコンペアマッチで、A/D 変換開始要求を発生させることができます。アップカウント時のみ、ダウンカウント時のみ、またはアップカウントとダウンカウント両方の指定ができます。

イベントカウント動作実行時は、A/D 変換開始要求割り込みを発生させることはできません。A/D 変換開始要求は、A/D コンバータモジュールに直接出力されませんが、ELC にイベント信号として出力されます。

GTADTRA および GTADTRB レジスタは、それぞれ 2 つのバッファレジスタを持ちます。GTADTRA レジスタでは、GTADTBRA レジスタと GTADTDBRA レジスタを組み合わせたバッファ動作が、GTADTRB レジスタでは、GTADTBRB レジスタと GTADTDBRB レジスタを組み合わせたバッファ動作が可能です。

図 23.92 に A/D 変換開始要求の動作例を、図 23.93 に A/D 変換開始要求動作設定例を示します。

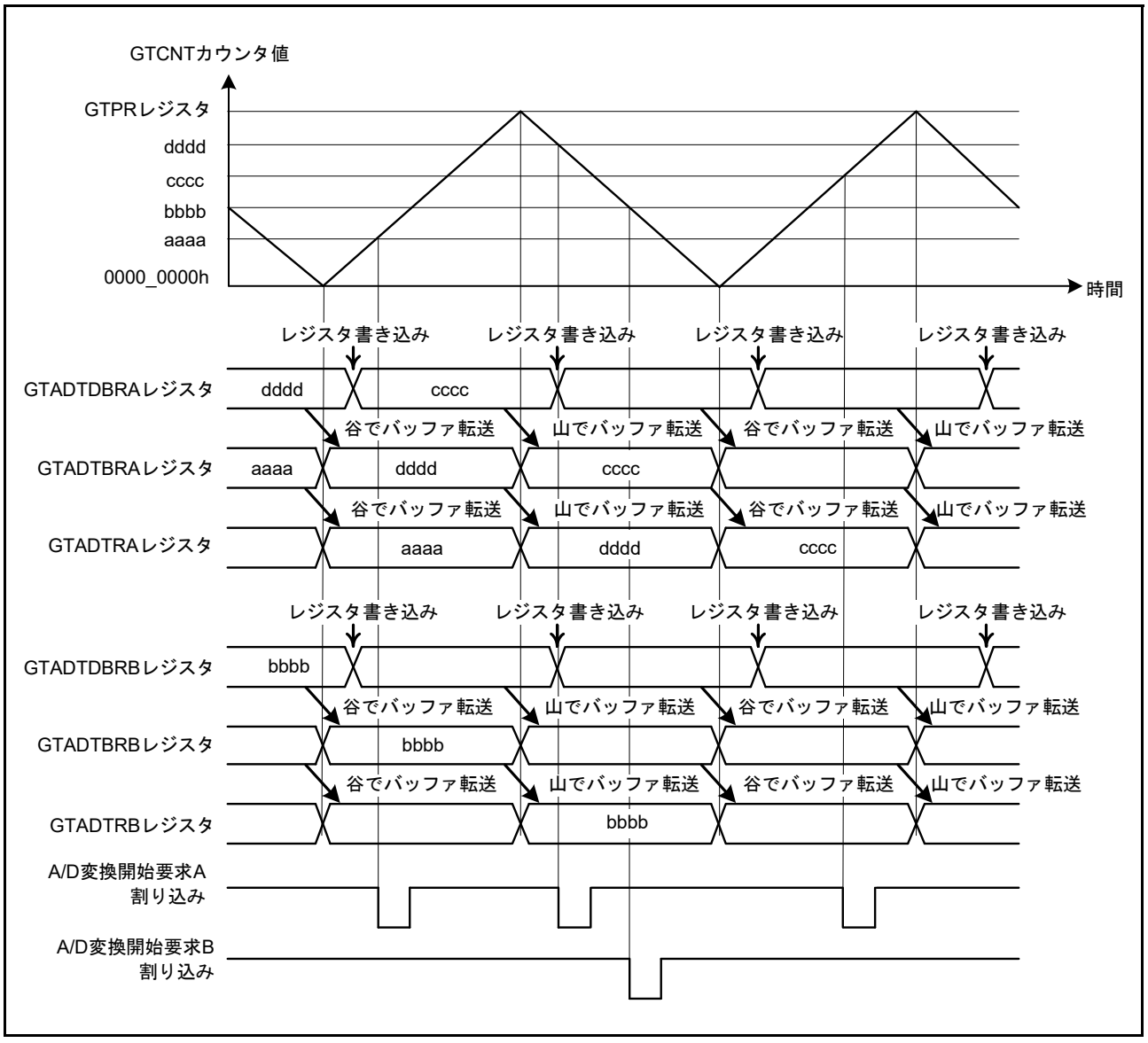


図 23.92 A/D 変換開始要求タイミング動作例（三角波、ダブルバッファ動作、谷と山の両方でバッファ転送、GTADTRA レジスタはアップカウントとダウンカウントの両方で A/D 変換開始要求割り込みを発生、GTADTRB レジスタはダウンカウントで A/D 変換開始要求割り込みを発生の場合）

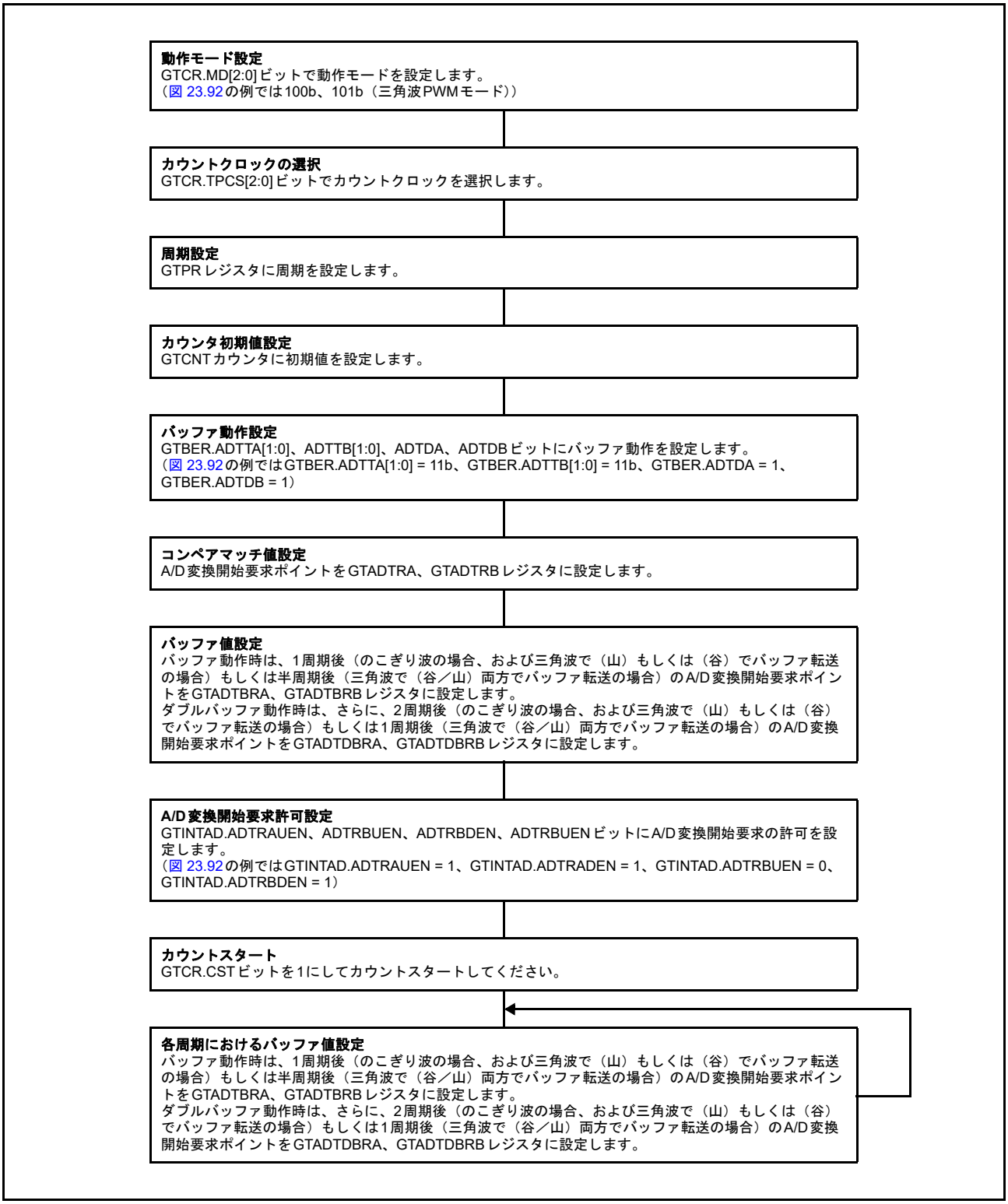


図 23.93　A/D 変換開始要求タイミング動作設定例

23.6 ELCによるリンク動作

23.6.1 ELCへのイベント信号出力

GPTでは、その割り込み要求信号をELCでイベント信号として使用して、あらかじめ設定しておいたモジュールとのリンク動作が可能です。

A/D変換開始要求は、割り込み要求許可ビットによって、割り込みとELCへのイベント出力の両方に対し、アップカウントとダウンカウントでそれぞれ個別に許可または禁止できます。

GPTには以下のELCイベント信号があります。

- コンペアマッチA割り込み発生（GPTn_CCMPA（n = 0 ～ 13））
- コンペアマッチB割り込み発生（GPTn_CCMPB（n = 0 ～ 13））
- コンペアマッチC割り込み発生（GPTn_CMPC（n = 0 ～ 13））
- コンペアマッチD割り込み発生（GPTn_CMPD（n = 0 ～ 13））
- コンペアマッチE割り込み発生（GPTn_CMPE（n = 0 ～ 13））
- コンペアマッチF割り込み発生（GPTn_CMPF（n = 0 ～ 13））
- オーバーフロー割り込み発生（GPTn_OVF（n = 0 ～ 13））
- アンダーフロー割り込み発生（GPTn_UDF（n = 0 ～ 13））
- A/D変換開始要求A割り込み（GPTn_ADTRGA（n = 0 ～ 7））
- A/D変換開始要求B割り込み（GPTn_ADTRGB（n = 0 ～ 7））

23.6.2 ELCからのイベント信号入力

GPTは、ELCからの最大8個のイベントに対して、以下の動作を実行できます。

- カウントスタート／ストップ／クリア
- アップカウント／ダウンカウント
- インプットキャプチャ

ハードウェア要因についての詳細は、23.3 動作説明を参照してください。

23.7 ノイズフィルタ機能

GPT のインプットキャプチャ入力端子とホールセンサ入力端子には、ノイズフィルタが装備されています。ノイズフィルタは、入力信号をサンプリングクロックでサンプリングし、3 サンプリング周期に満たない長さのパルスを除去します。

ノイズフィルタ機能では、端子ごとにノイズフィルタ機能を有効／無効にすることや、チャネルごとにサンプリングクロックを設定することが可能です。

図 23.94 にノイズフィルタのタイミングを示します。

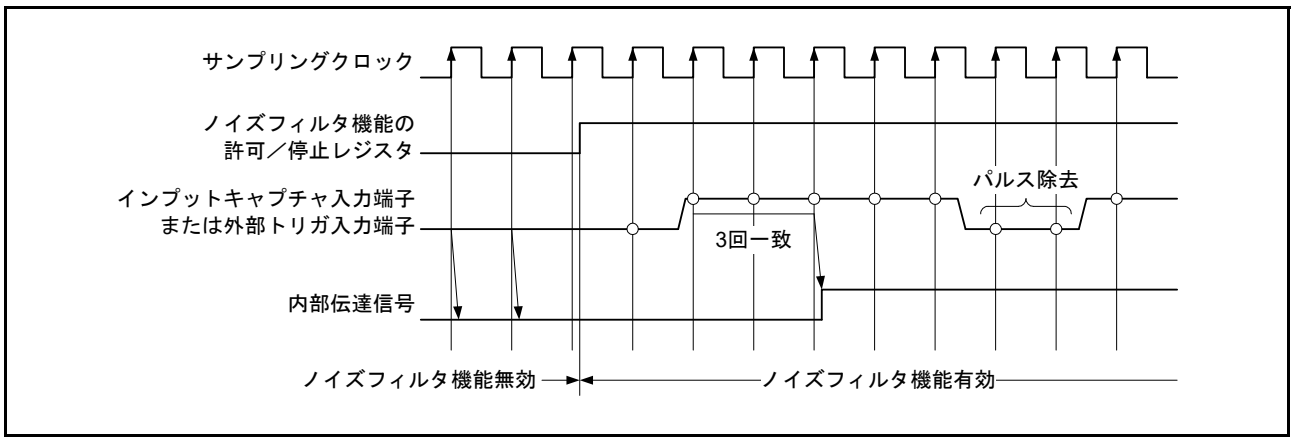


図 23.94 ノイズフィルタのタイミング

ノイズフィルタ機能を有効にすると、「最小サンプリング周期 × 2 + PCLKD」の遅延の後、ノイズフィルタ対象信号の両エッジでインプットキャプチャ動作または外部トリガ動作が実行されます。この遅延は、インプットキャプチャ入力または外部トリガ動作に対するノイズフィルタリングに起因するものです。

23.8 保護機能

23.8.1 レジスタの書き込み保護

レジスタへの誤書き込みを防止するため、GTWP.WP ビットを設定することで、チャネル単位でレジスタへの書き込みを禁止できます。下記のレジスタに対して、書き込み保護の設定が可能です。

GTSSR, GTPSR, GTCSR, GTUPSR, GTDNSR, GTICASR, GTIBCSR, GTCR, GTUDDTYC, GTIOR, GTINTAD,GTST, GTBER, GTITC, GTCNT, GTCCRA, GTCCRB, GTCCRC, GTCCRD, GTCCRE, GTCCRF, GTPR,

GTPBR, GTPDBR, GTADTRA, GTADTBRA, GTADTDBRA, GTADTRB, GTADTBRB, GTADTDBRB, GTDTCR, GTDVU, GTDVD, GTDBU, GTDBD, GTSOS, GTSOTR

23.8.2 バッファ動作の禁止

バッファレジスタへの書き込みタイミングが、バッファの転送タイミングに対して遅延した場合、GTBER.BD ビットの設定でバッファ動作の中断が可能です。バッファレジスタの書き込み中にバッファ転送条件が発生した場合でも、バッファ転送を一時的に禁止することができます。そのためには、バッファレジスタの書き込み前に対応する GTBER.BD ビットを 1（バッファ動作禁止）にしておき、すべてのバッファレジスタへの書き込み終了後に 0（バッファ動作許可）に戻します。図 23.95 にバッファ動作を禁止するための動作例を示します。

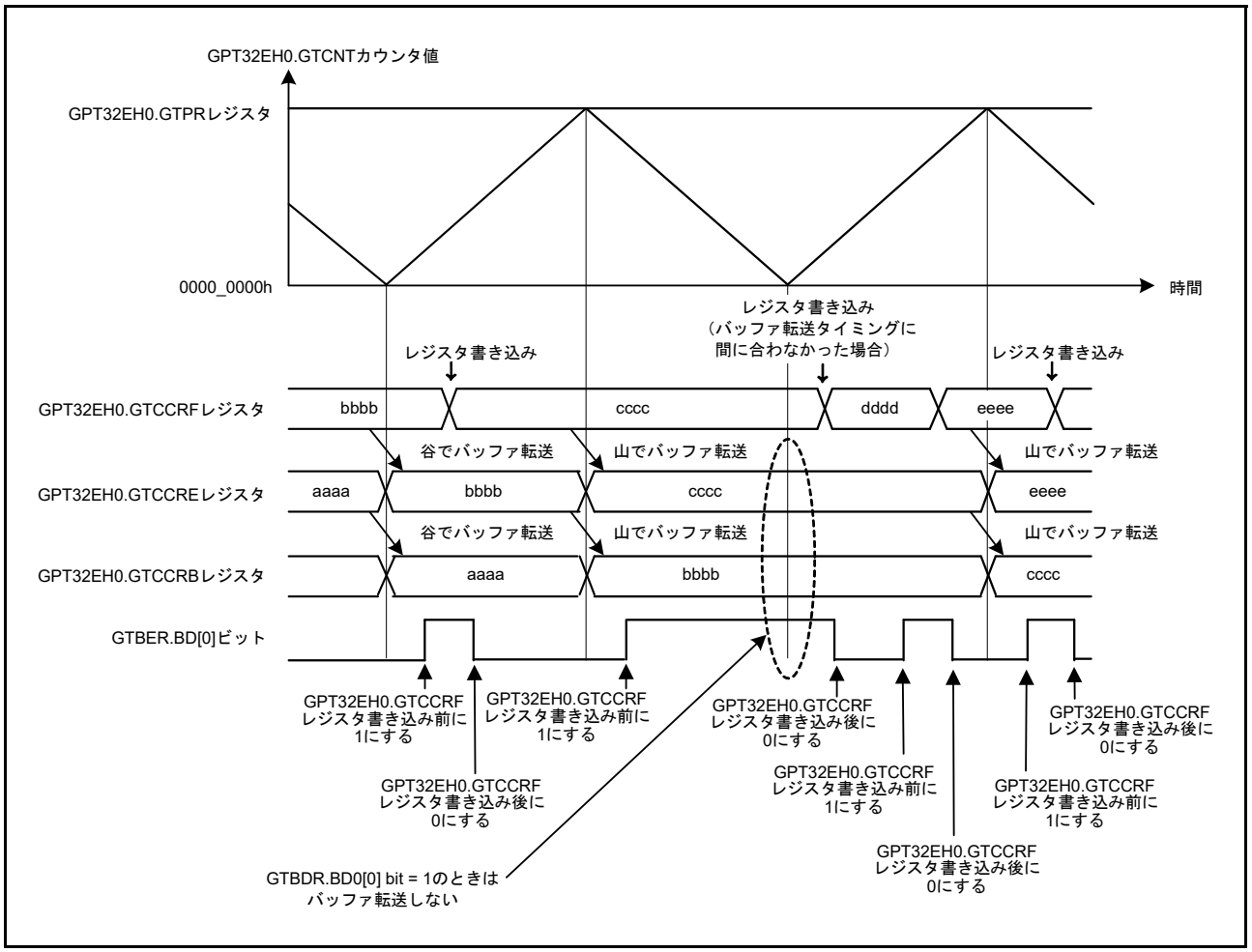


図 23.95 バッファ動作禁止の動作例（三角波、ダブルバッファ動作、谷と山の両方でバッファ転送の場合）

23.8.3 GTIOC 端子出力のネゲート制御

システム障害から保護するために、POEG からの出力禁止要求によって、GTIOC 端子の出力値を強制的に変更する出力禁止制御が備えられています。

デッドタイムエラーが発生した場合や、GTIOCA 端子の出力値が GTIOCB 端子の出力値と同じ場合には、出力保護が必要です。GPT はこのような条件を検出すると、GTINTAD.GRPDTE ビット、GTINTAD.GRPABH ビット、GTINTAD.GRPABL ビットなどの出力禁止要求許可ビットの設定に応じて、POEG に対して出力禁止要求を生成します。POEG は、各チャネルから出力禁止要求を受信すると、OR 演算を用いて外部入力を計算し、GPT に対して出力禁止要求を発生させます。

POEG が生成した 4 つの出力禁止要求のうちの 1 つの出力禁止要求信号（GTIOCA 端子と GTIOCB 端子の共通出力禁止要求信号）を、GTINTAD.GRP[1:0] ビットの設定で選択します。選択した禁止出力要求の状態は、GTST.ODF ビットを読むことでモニタできます。出力禁止中の出力レベルは、GTIOCA 端子については GTIOR.OADF[1:0] ビットの設定、GTIOCB 端子については GTIOR.OBDF[1:0] ビットの設定に依存します。

出力禁止状態への変更は、POEG から出力禁止要求を発生させることで非同期に実行されます。出力禁止状態の解除は、出力禁止要求を停止させることで周期の終わりに実行されます。出力禁止状態の解除タイミングは、出力禁止要求の停止から、早くとも PCLKD の 3 周期後です。出力禁止制御を確実に実行するには、（POEG で出力禁止要求フラグをクリアすることにより）出力禁止要求が発生してから停止するまでに、少なくとも PCLKD で 4 周期分待つ必要があります。

イベントカウント実行時、または出力禁止状態を周期の終わりを待たずにただちに解除する必要がある場合は、GTIOR.OADF[1:0] ビットを 00b（GTIOCA 端子の場合）にするか、または GTIOR.OBDF[1:0] ビットを 00b（GTIOCB 端子の場合）にする必要があります。

図 23.96 に GTIOC 端子出力禁止制御動作例を示します。

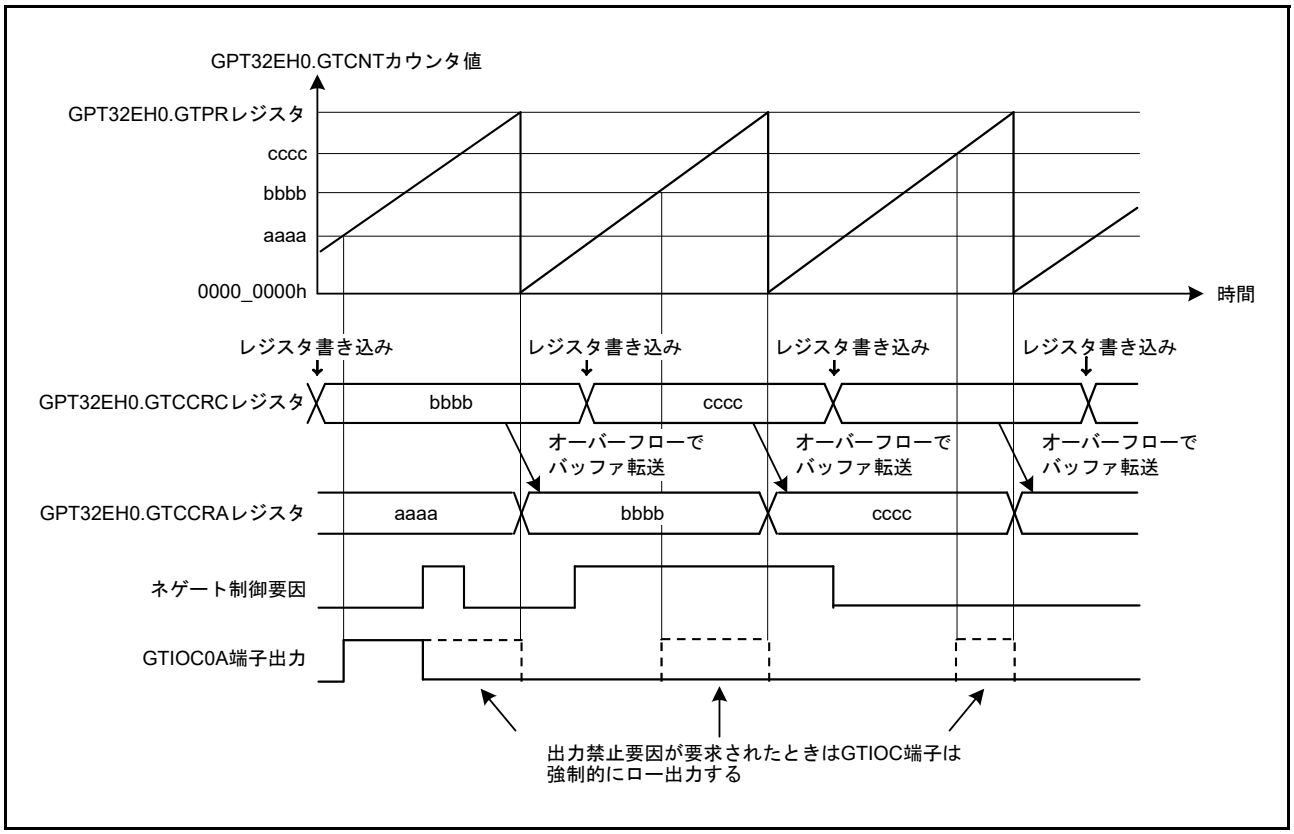


図 23.96 GTIOC 端子出力禁止制御動作例（のこぎり波でアップカウント、バッファ動作、アクティブレベル 1、GTCCRA レジスタのコンペアマッチで High 出力、周期の終わりで Low 出力、出力禁止で Low 出力の場合）

23.8.4 GTIOC 端子出力の出力保護機能

GTCCRA レジスタの誤設定（「0 ＜ GTCCRA レジスタ＜ GTPR レジスタ」の範囲外の設定）に備えて、三角波モードでデッドタイム自動設定（GTDTCR.TDE ビット = 1）が実行されると、GTIOC 端子出力の出力保護機能（禁止機能）が起動されます。出力保護機能の状態は、GTSOS.SOS[1:0] ビットを読むことで確認できます。

図 23.97 に出力保護機能の状態遷移を示します。

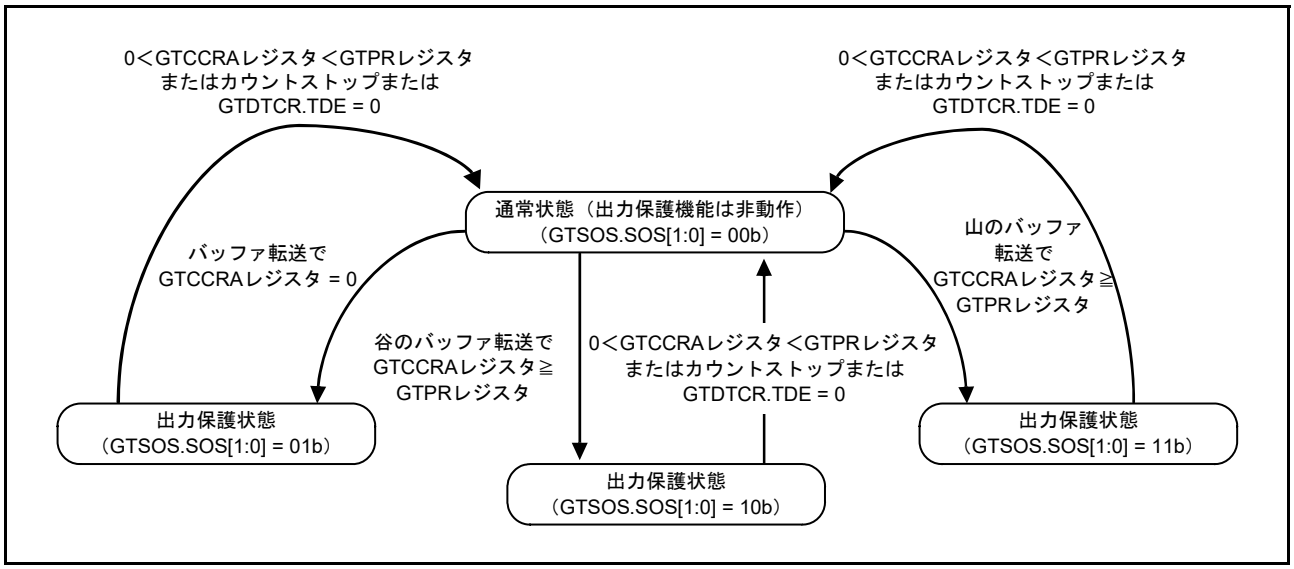
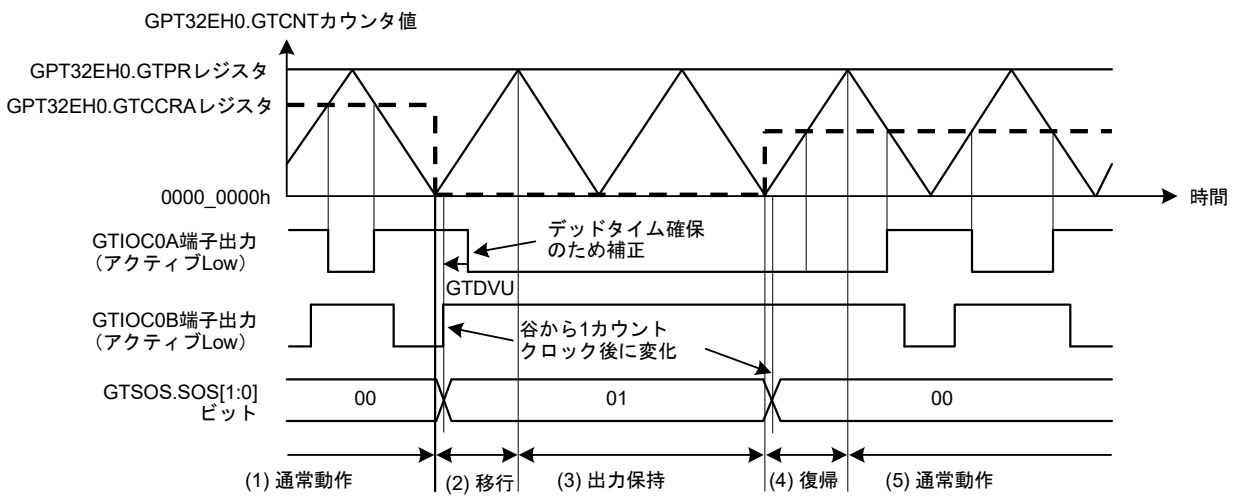


図 23.97 出力保護機能

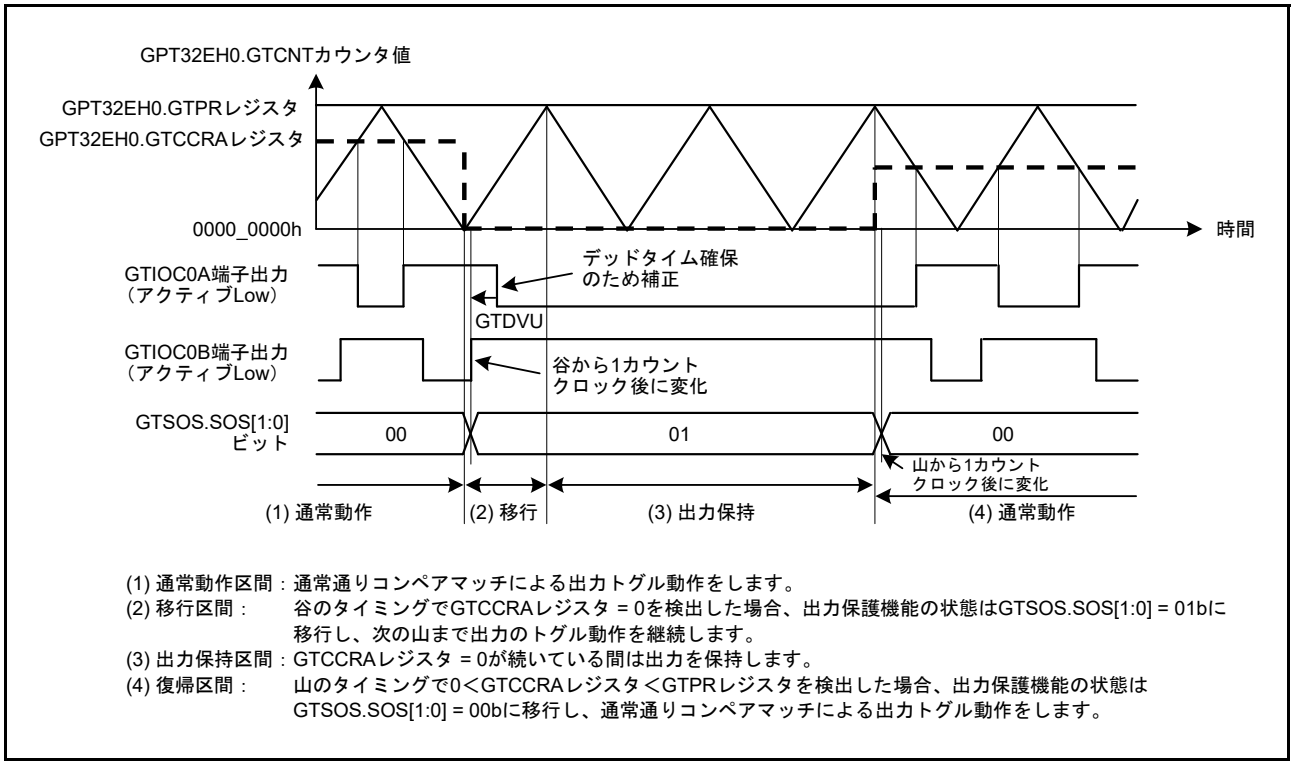
23.8.4.1 バッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能

図 23.98 と図 23.99 に、谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例を、図 23.100 と図 23.101 に、山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例を示します。



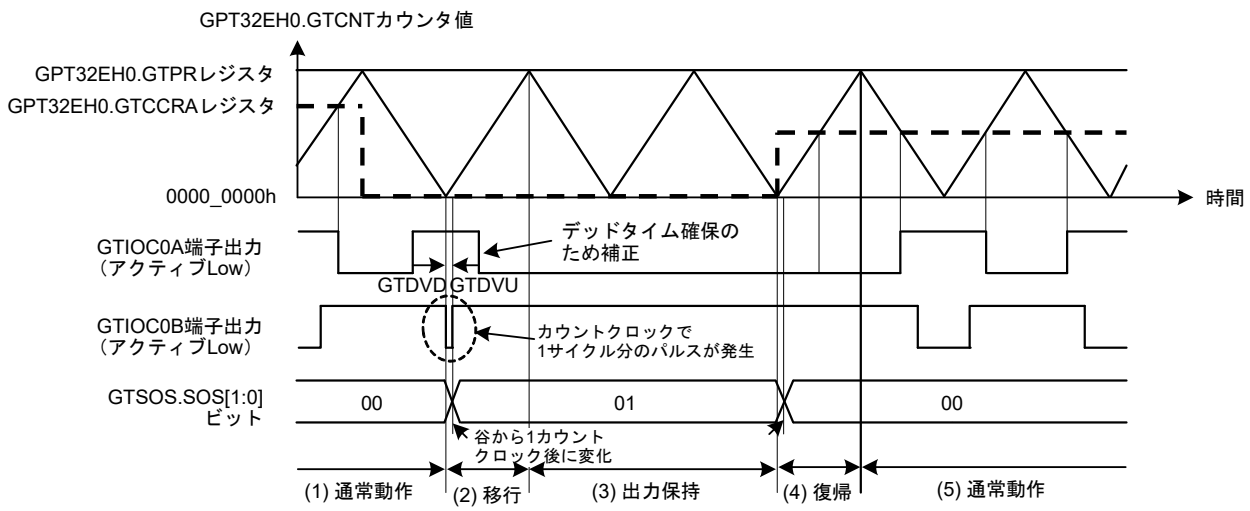
(1) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間： 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間：GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 復帰区間： 谷のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の山まで出力保持を維持します。
(5) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。

図 23.98 谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）



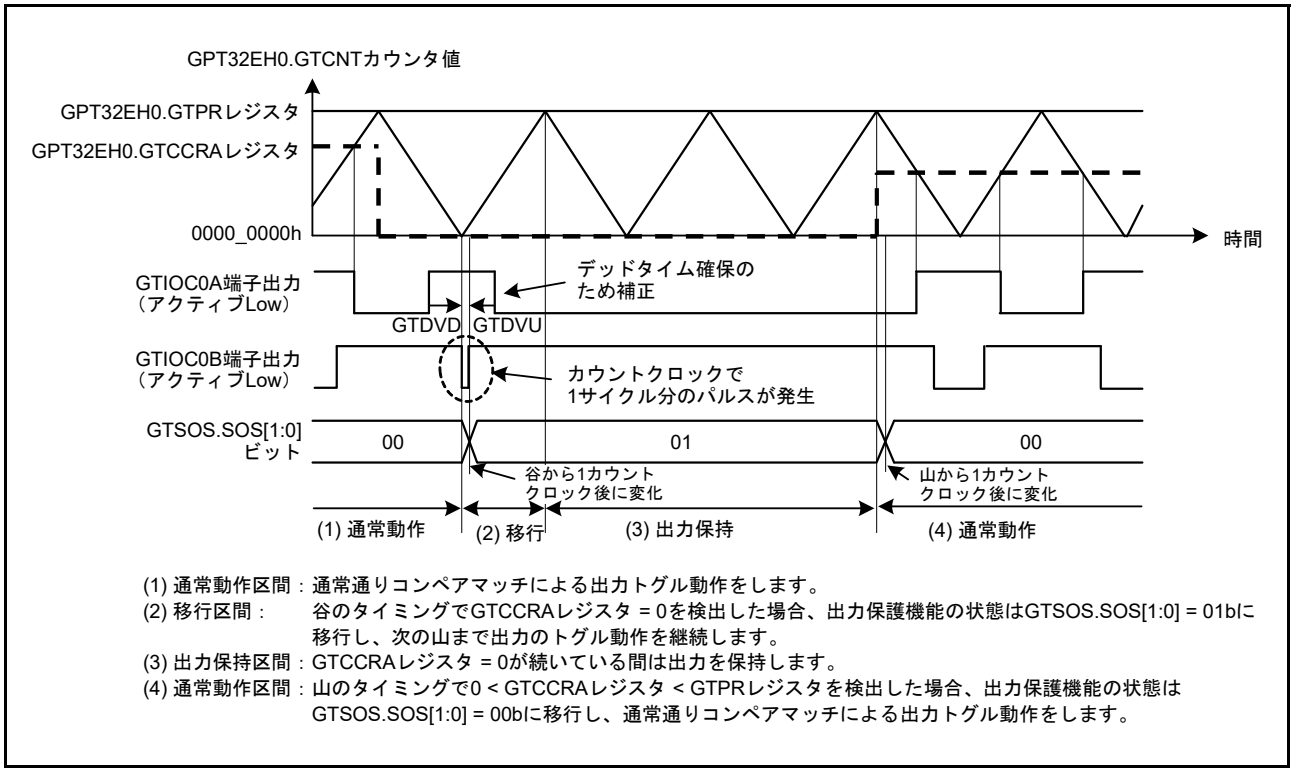
(1) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間： 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間：GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 復帰区間： 山のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします。

図 23.99 谷でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（山でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）



(1) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間： 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間：GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 復帰区間： 谷のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の山まで出力保持を維持します。
(5) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。

図 23.100 山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）

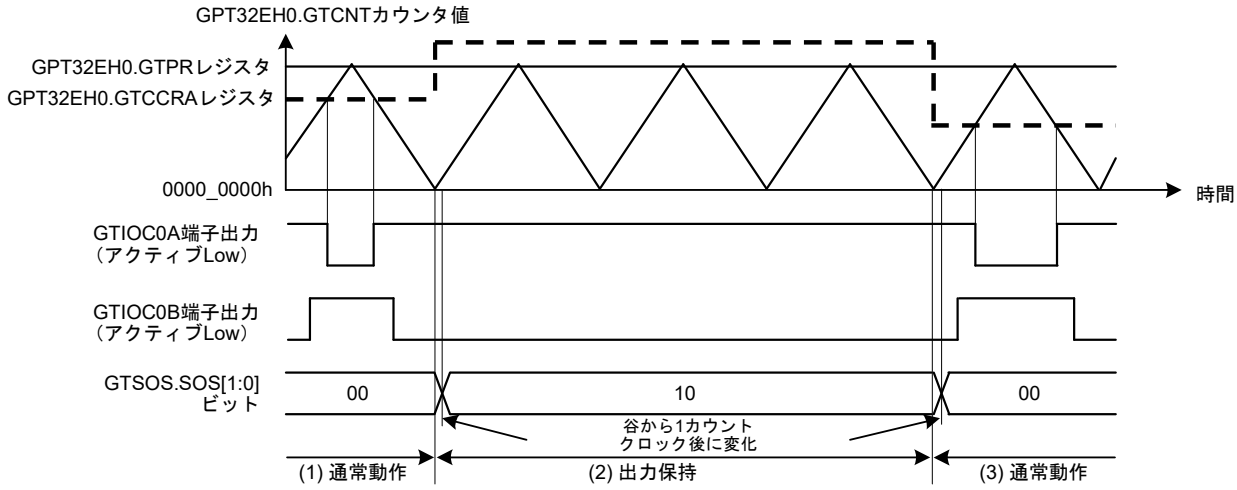


(1) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。
(2) 移行区間： 谷のタイミングでGTCCRAレジスタ = 0を検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 01bに移行し、次の山まで出力のトグル動作を継続します。
(3) 出力保持区間：GTCCRAレジスタ = 0が続いている間は出力を保持します。
(4) 通常動作区間：山のタイミングで0 < GTCCRAレジスタ < GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします。

図 23.101 山でのバッファ転送中に GTCCRA レジスタが 0 になった場合の出力保護機能の動作例（山でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）

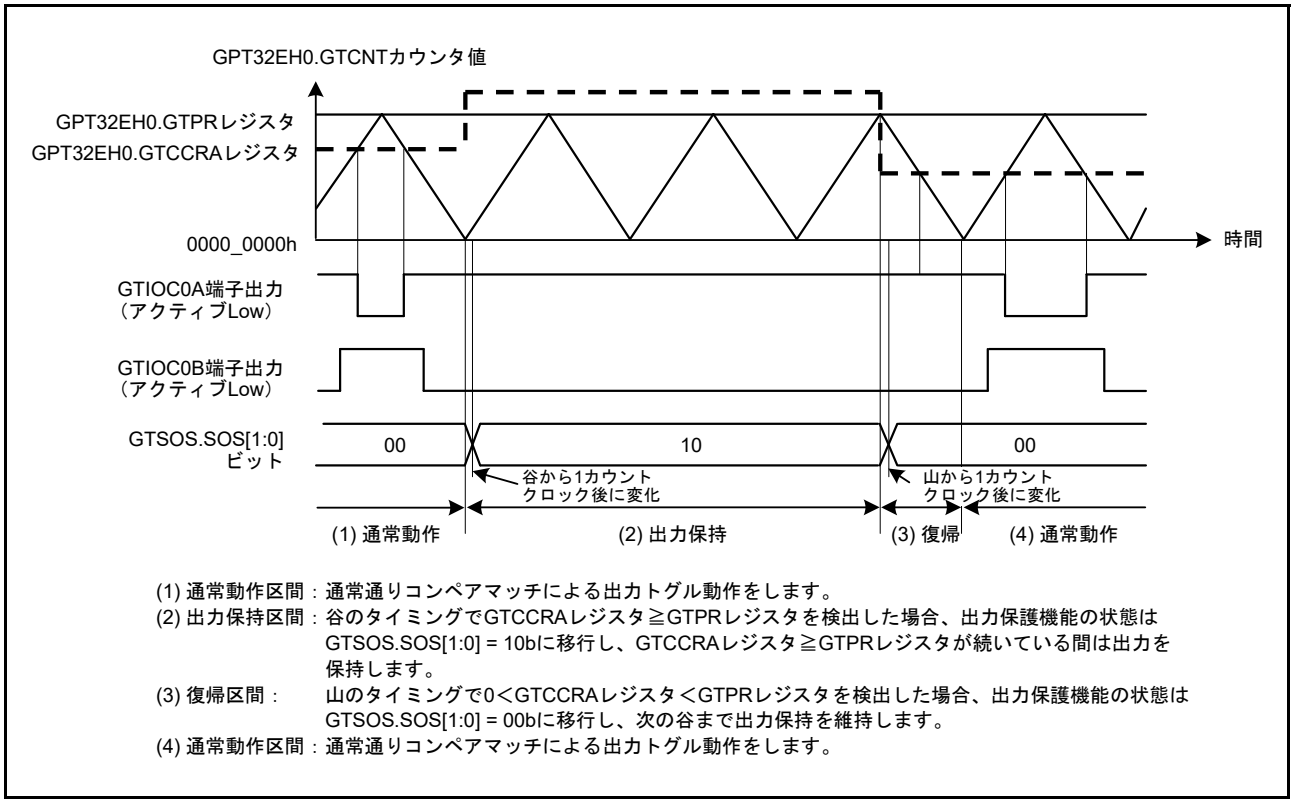
23.8.4.2 谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能

図 23.102 と図 23.103 に、谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。
(2) 出力保持区間：谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 10bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します。
(3) 通常動作区間：谷のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします。

図 23.102 谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）

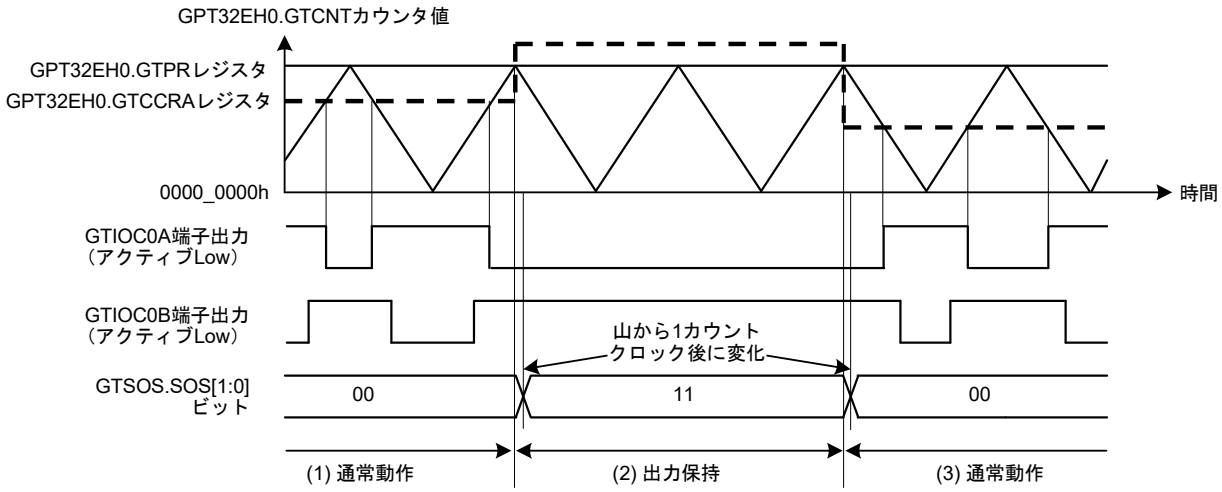


(1) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。
(2) 出力保持区間：谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 10bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します。
(3) 復帰区間：山のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、次の谷まで出力保持を維持します。
(4) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。

図 23.103 谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（山でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）

23.8.4.3 山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能

図 23.104 と図 23.105 に、山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例を示します。



(1) 通常動作区間：通常通りコンペアマッチによる出力トグル動作をします。
(2) 出力保持区間：山のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 11bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します。
(3) 通常動作区間：山のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします。

図 23.104 山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（山でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）

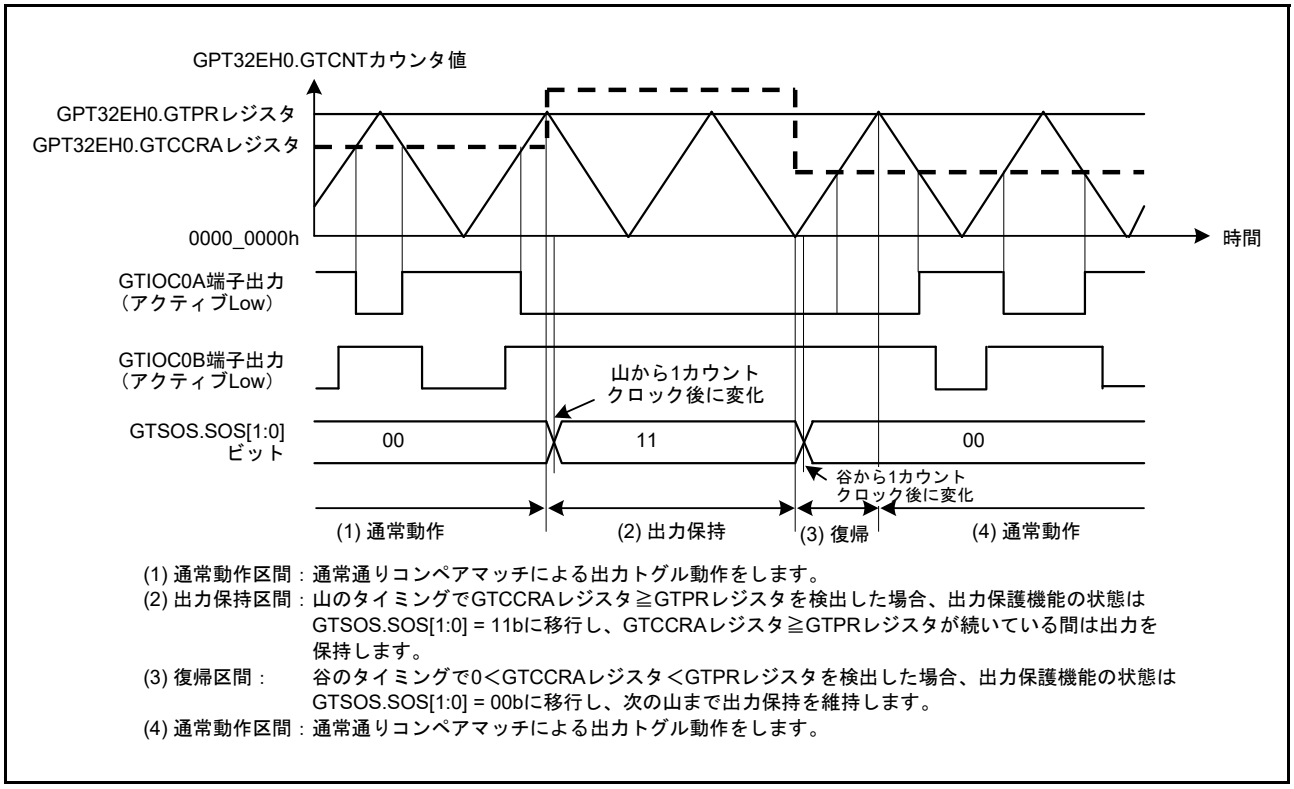


図 23.105 山でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の動作例（谷でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）

23.8.4.4 出力保護機能の注意事項

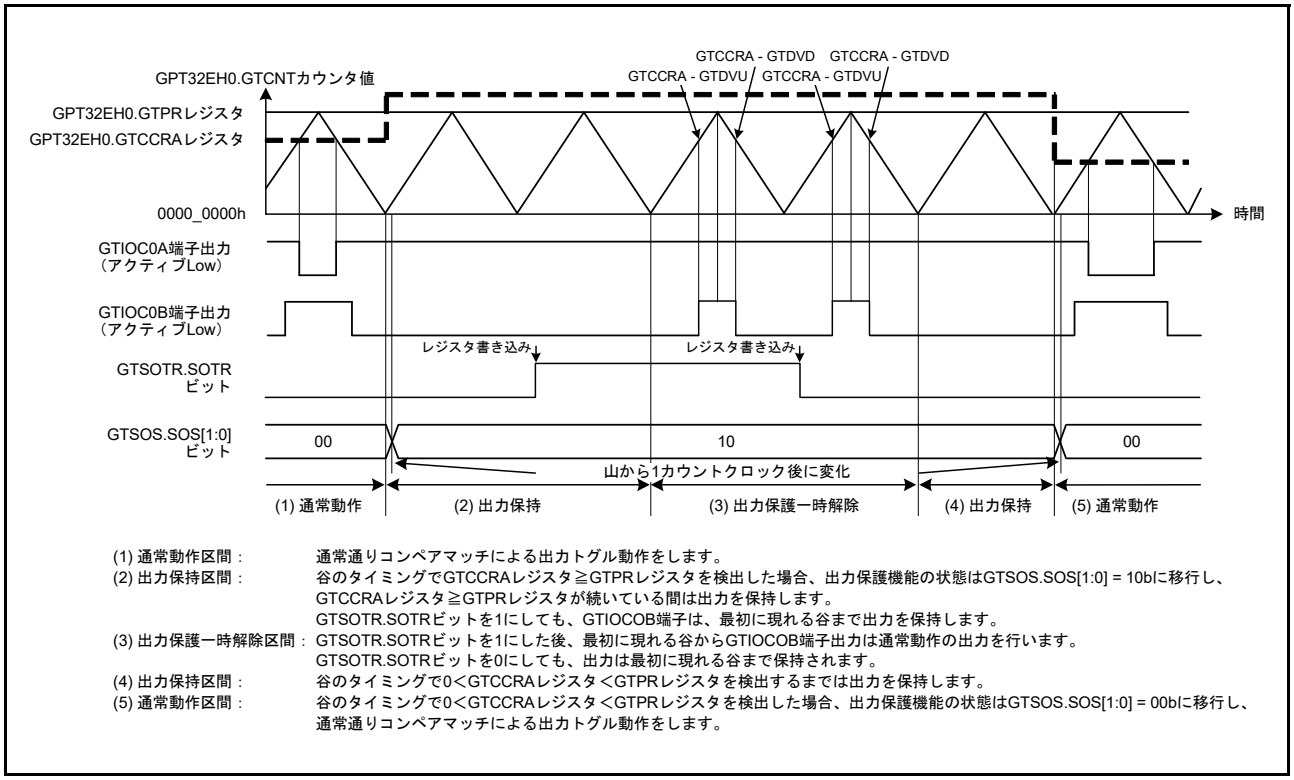
カウントスタート時に、GTCCRA レジスタの値は、0 ＜ GTCCRA レジスタ＜ GTPR レジスタの範囲に設定してください。カウント動作中に GTCCRA レジスタに異常値（0 ＜ GTCCRA レジスタ＜ GTPR レジスタの範囲外の値）が設定されると、出力保護機能は、正相出力と逆相出力のうちどちらかが非アクティブ出力となるように機能します。以下の条件を満たさない場合、この機能は正常に動作しません。

- カウント開始時に 0 ＜ GTCCRA ＜ GTPR
- 山でバッファ転送のときに GTCCRA ＜ GTPR + GTDVD - 1
- 谷でバッファ転送のときに GTCCRA が GTPR 以上の状態で GTCCRA ＞ GTDVU + 1

23.8.4.5 出力保護機能の一時解除

GTSOS.SOS[1:0] ビットが 10b の状態（谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなったことによる出力保護状態）で、GTSOTR.SOTR ビットを 1 にすると、GTIOCB 端子の出力保護機能が一時的に解除されます。出力保護機能を解除しても、GTSOS.SOS[1:0] ビットは 10b の値を保持します。SOTR ビットを 0 にすると、GTIOCB 端子の出力保護機能が再開します。

図 23.106 に、谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能の一時解除例を示します。



(1) 通常動作区間： 通常通りコンペアマッチによる出力トグル動作をします。
(2) 出力保持区間： 谷のタイミングでGTCCRAレジスタ≧GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 10bに移行し、GTCCRAレジスタ≧GTPRレジスタが続いている間は出力を保持します。
GTSOTR.SOTRビットを1にしても、GTIOCOB端子は、最初に現れる谷まで出力を保持します。
(3) 出力保護一時解除区間： GTSOTR.SOTRビットを1にした後、最初に現れる谷からGTIOCOB端子出力は通常動作の出力を行います。
GTSOTR.SOTRビットを0にしても、出力は最初に現れる谷まで保持されます。
(4) 出力保持区間： 谷のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出するまでは出力を保持します。
(5) 通常動作区間： 谷のタイミングで0＜GTCCRAレジスタ＜GTPRレジスタを検出した場合、出力保護機能の状態はGTSOS.SOS[1:0] = 00bに移行し、通常通りコンペアマッチによる出力トグル動作をします。

図 23.106 谷でのバッファ転送中に GTCCRA レジスタ≧ GTPR レジスタとなった場合の出力保護機能一時解除例（谷でのバッファ転送中に 0 ＜ GTCCRA レジスタ＜ GTPR レジスタを回復、アクティブ Low の場合）

23.9 出力端子の初期化方法

23.9.1 リセット後の端子設定

GPT のレジスタはリセット時に初期化されます。PmnPFS レジスタでポート端子機能を選択し、GTIOR.OAE および GTIOR.OBE ビットを設定し、GPT 機能を外部端子に出力してから、カウントを開始してください。

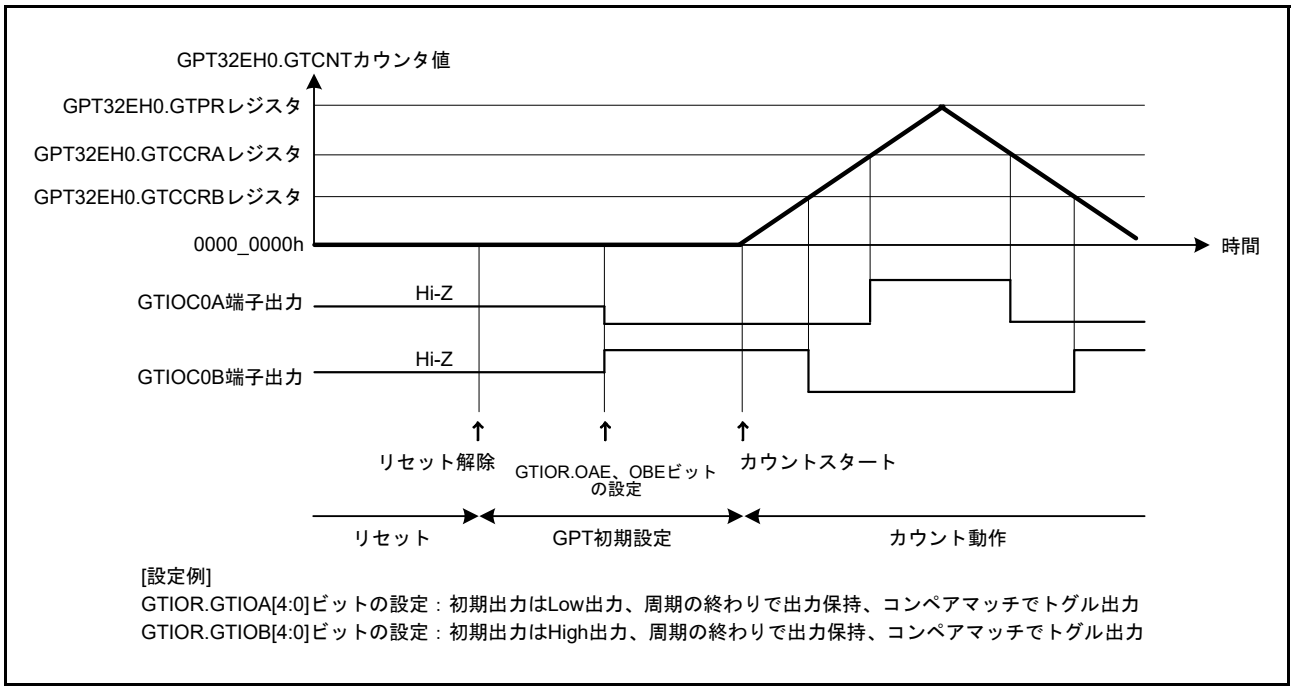


図 23.107 リセット後の端子設定例

23.9.2 動作中の異常による端子の初期化

GPT の動作中に異常が発生した場合、端子を初期化する前に、下記の 4 種類の端子処理を実行できます。

- GTIOR レジスタの OAHLD および OBHLD ビットを 1 にして、カウントストップ時の出力を保持する
- GTIOR レジスタの OAHLD および OBHLD ビットを 0 にするとともに、GTIOR レジスタの OADFLT および OBDFLT ビットに任意の出力値を設定して、カウントストップ時に任意の値を出力させる
- あらかじめ I/O ポートの PDR、PODR、PmnPFS レジスタを設定することにより、端子が汎用出力ポートとして任意の値を出力するように設定する。GTIOR レジスタの OAE および OBE ビットを 0 にするとともに、端子に対応した PmnPFS レジスタの制御ビットを 0 にして、エラー発生時に、汎用出力ポートとして設定した端子から任意の値が出力されるように設定する
- POEG 機能を使用して、出力をハイインピーダンス状態にする

デッドタイムの自動設定を行った場合、カウントストップ後に GTDTCR.TDE ビットを 0 にしてください。カウントストップ時は、GPT の外部要因によって変更されたレジスタ値のみが変化します。カウントが再開すると、停止していた状態から動作が継続します。カウント動作を停止した場合は、各レジスタを初期化してからカウントを再開してください。

23.10 使用上の注意事項

23.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、GPT の動作を禁止／許可することが可能です。リセット後の初期状態では、GPT モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

23.10.2 コンペアマッチ動作時の GTCCRn レジスタの設定（n = A ～ F）

(1) 三角波 PWM モードでデッドタイムの自動設定を行う場合

GTCCRA レジスタは次の条件を満たす必要があります。

GTDVU ＜ GTCCRA、GTDVD ＜ GTCCRA、および GTCCRA ＜ GTPR

カウント動作中に GTCCRA レジスタ = 0 または GTCCRA レジスタ≧ GTPR レジスタとなった場合、出力保護機能が起動します。以下の条件を満たさない場合、この機能は正常に動作しません。

- カウント開始時に 0 ＜ GTCCRA ＜ GTPR
- 山でバッファ転送のときに GTCCRA ＜ GTPR + GTDVD - 1
- 谷でバッファ転送のときに GTCCRA が GTPR 以上の状態で GTCCRA ＞ GTDVU + 1

詳細は、23.8.4 GTIOC 端子出力の出力保護機能を参照してください。

(2) 三角波 PWM モードでデッドタイムの自動設定を行わない場合

GTCCRA レジスタは、0 ＜ GTCCRA ＜ GTPR の範囲に収まるように設定する必要があります。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA ＞ GTPR に設定すると、コンペアマッチは発生しません。

同様に GTCCRB レジスタも、0 ＜ GTCCRB ＜ GTPR の範囲に収まるように設定する必要があります。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB ＞ GTPR に設定すると、コンペアマッチは発生しません。

(3) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行う場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定してください。この制限を満たさない場合、デッドタイムを確保した正常な出力波形が得られない場合があります。

- アップカウント時 : GTCCRC ＜ GTCCRD, GTCCRC ＞ GTDVU, GTCCRD ＜ (GTPR – GTDVD)
- ダウンカウント時 : GTCCRC ＞ GTCCRD, GTCCRC ＜ (GTPR – GTDVU), GTCCRD ＞ GTDVD

(4) のこぎり波ワンショットパルスモードでデッドタイムの自動設定を行わない場合

GTCCRC および GTCCRD レジスタは、以下の制限を満たすように設定する必要があります。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時 : 0 ＜ GTCCRC ＜ GTCCRD ＜ GTPR
- ダウンカウント時 : GTPR ＞ GTCCRC ＞ GTCCRD ＞ 0

同様に、GTCCRE および GTCCRF レジスタは、以下の制限を満たすように設定してください。この制限を満たさない場合、コンペアマッチが 2 回発生せず、パルス出力が得られません。

- アップカウント時 : 0 ＜ GTCCRE ＜ GTCCRF ＜ GTPR
- ダウンカウント時 : GTPR ＞ GTCCRE ＞ GTCCRF ＞ 0

(5) のこぎり波 PWM モードの場合

GTCCRA レジスタは、0 < GTCCRA < GTPR の範囲に収まるように設定してください。GTCCRA = 0 または GTCCRA = GTPR に設定すると、GTCCRA = 0 または GTCCRA = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRA > GTPR に設定すると、コンペアマッチは発生しません。

同様に、GTCCRB レジスタは、0 < GTCCRB < GTPR の範囲に収まるように設定してください。GTCCRB = 0 または GTCCRB = GTPR に設定すると、GTCCRB = 0 または GTCCRB = GTPR が成立した場合にのみ、コンペアマッチが周期内で発生します。GTCCRB > GTPR に設定すると、コンペアマッチは発生しません。

23.10.3 GTCNT カウンタの範囲設定

GTCNT カウンタレジスタは、0 ≦ GTCNT ≦ GTPR の範囲に収まるように設定してください。

23.10.4 GTCNT カウンタのスタート／ストップ

GTCR.CST ビットによる GTCNT カウンタのスタート／ストップ制御タイミングは、GTCR.TPCS[2:0] ビットで選択したカウントクロックと同期しています。GTCR.CST ビットを更新すると、GTCR.TPCS[2:0] ビットで選択したカウントクロックに従って、GTCNT カウンタがスタート／ストップします。このため、GTCNT カウンタが実際にスタートする前に発生したイベントは無視され、結果として GTCR.CST ビットが 0 になってからイベントが受け付けられたり、割り込みが発生したりします。

23.10.5 イベントごとの優先順位

(1) GTCNT レジスタ

表 23.24 に、GTCNT レジスタを更新するイベントの優先順位を示します。

表 23.24 GTCNTを更新する要因の優先順位

GTCNTを更新する要因	優先順位
CPUによる書き込み（GTCNT/GTCLRレジスタへの書き込み）	高 ↑ 低
GTCSRレジスタで設定したハードウェア要因によるクリア	
GTUPSR/GTDNSRレジスタで設定したハードウェア要因によるカウントアップ／ダウン	
カウント動作	

ハードウェア要因によるアップカウントとダウンカウントが同時に発生した場合、GTCNT カウンタ値は変化しません。GTCNT レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(2) GTCR.CST ビット

GTSSR/GTPSR レジスタで設定したハードウェア要因によるスタート／ストップと CPU による書き込み（GTCR/GTSTR/GTSTP レジスタへの書き込み）の間で競合があると、CPU による書き込みが優先されます。

GTSSR レジスタで設定したハードウェア要因によるスタートと GTPSR レジスタに設定したハードウェア要因によるストップの間で競合があると、GTCR.CST ビット値は変化しません。GTCR.CST ビットの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(3) GTCCRm レジスタ（m = A ～ F）

インプットキャプチャ／バッファ転送動作と GTCCRm レジスタへの書き込みの間で競合があると、GTCCRm レジスタへの書き込みが優先されます。インプットキャプチャと CPU によるカウンタレジスタへの書き込みまたはハードウェア要因によるカウンタレジスタの更新の間で競合があると、更新前のカウンタ値がキャプチャされます。GTCCRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(4) GTPR レジスタ

バッファ転送動作と GTPR レジスタへの書き込みの間で競合があると、GTPR レジスタへの書き込みが優先されます。GTPR レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(5) GTADTRm レジスタ（m = A, B）

バッファ転送動作と GTADTRm レジスタへの書き込みの間で競合があると、GTADTRm レジスタへの書き込みが優先されます。GTADTRm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

(6) GTDVm レジスタ（m = U, D）

バッファ転送動作と GTDVm レジスタへの書き込みの間で競合があると、GTDVm レジスタへの書き込みが優先されます。GTDVm レジスタの更新と CPU による読み出しの間で競合があると、更新前のデータが読み出されます。

24. PWM 遅延生成回路

24.1 概要

本 MCU は、汎用 PWM タイマ（General PWM Timer：GPT）に接続可能な 4 チャネルの遅延回路を備えています。表 24.1 に PWM 遅延生成回路の仕様を、図 24.1 にブロック図を、表 24.2 に入出力端子を示します。

表 24.1 PWM遅延生成回路の仕様

項目	内容
機能	この回路は、チャネル0、1、2、3それぞれ2つのPWM出力端子の信号の立ち上がりまたは立ち下がりタイミングを、GPTクロック（PCLKD）周期の最大1/32倍の精度で制御できます。

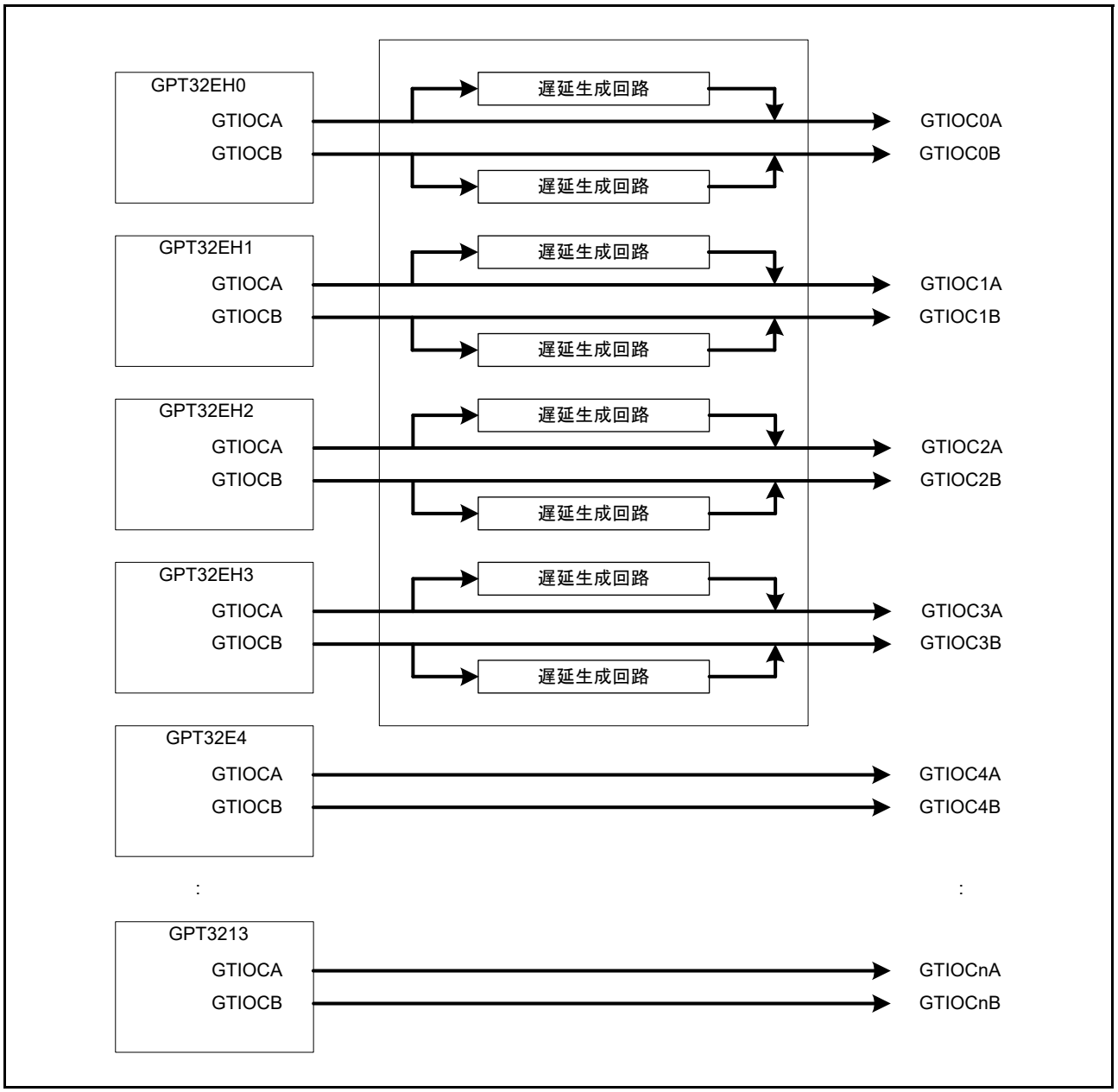


図 24.1 PWM 遅延生成回路のブロック図

表 24.2 PWM遅延生成回路の入出力端子

入出力端子	入出力	機能
GTIOC0A	出力	GPTチャネル0のGTIOCA端子の遅延出力
GTIOC0B	出力	GPTチャネル0のGTIOCB端子の遅延出力
GTIOC1A	出力	GPTチャネル1のGTIOCA端子の遅延出力
GTIOC1B	出力	GPTチャネル1のGTIOCB端子の遅延出力
GTIOC2A	出力	GPTチャネル2のGTIOCA端子の遅延出力
GTIOC2B	出力	GPTチャネル2のGTIOCB端子の遅延出力
GTIOC3A	出力	GPTチャネル3のGTIOCA端子の遅延出力
GTIOC3B	出力	GPTチャネル3のGTIOCB端子の遅延出力

24.2 レジスタの説明

24.2.1 PWM 出力遅延コントロールレジスタ（GTDLYCR）

アドレス GPT_ODC.GTDLYCR 4007 B000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DLYRST	DLLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLLEN	DLL動作許可	0：DLL動作を禁止 1：DLL動作を許可	R/W
b1	DLYRST	PWM遅延生成回路リセット	0：通常動作 1：リセット	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYCR レジスタは、PWM 出力に遅延を適用するための PWM 遅延生成回路を制御します。GTDLYCR レジスタは、レジスタライトプロテクション機能が無効（GPT32EH0.GTWP.WP = 0）のときに書き込むことができます。

DLLEN ビット（DLL 動作許可）

PWM 遅延生成回路のオンチップ DLL を起動するかどうかを選択します。

DLYRST ビット（PWM 遅延生成回路リセット）

PWM 遅延生成回路の内部状態をリセットします。

24.2.2 PWM 出力遅延コントロールレジスタ 2（GTDLYCR2）

アドレス GPT_ODC.GTDLYCR2 4007 B002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DLYEN3	DLYEN2	DLYEN1	DLYEN0	—	—	—	—	DLYBS3	DLYBS2	DLYBS1	DLYBS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DLYBS0	チャネル0のPWM遅延生成回路バイパス	0：チャネル0の遅延生成回路をバイパスする 1：チャネル0の遅延生成回路をバイパスしない	R/W
b1	DLYBS1	チャネル1のPWM遅延生成回路バイパス	0：チャネル1の遅延生成回路をバイパスする 1：チャネル1の遅延生成回路をバイパスしない	R/W
b2	DLYBS2	チャネル2のPWM遅延生成回路バイパス	0：チャネル2の遅延生成回路をバイパスする 1：チャネル2の遅延生成回路をバイパスしない	R/W
b3	DLYBS3	チャネル3のPWM遅延生成回路バイパス	0：チャネル3の遅延生成回路をバイパスする 1：チャネル3の遅延生成回路をバイパスしない	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DLYEN0	チャネル0のPWM遅延生成回路許可	0：チャネル0の遅延生成回路を許可 1：チャネル0の遅延生成回路を禁止	R/W
b9	DLYEN1	チャネル1のPWM遅延生成回路許可	0：チャネル1の遅延生成回路を許可 1：チャネル1の遅延生成回路を禁止	R/W
b10	DLYEN2	チャネル2のPWM遅延生成回路許可	0：チャネル2の遅延生成回路を許可 1：チャネル2の遅延生成回路を禁止	R/W
b11	DLYEN3	チャネル3のPWM遅延生成回路許可	0：チャネル3の遅延生成回路を許可 1：チャネル3の遅延生成回路を禁止	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYCR2 レジスタは、PWM 遅延生成回路の各チャネルを制御します。GTDLYCR2 レジスタは、レジスタライトプロテクション機能が無効（GPT32EH0.GTWP.WP = 0）のときに書き込むことができます。

DLYBSn（n = 0 ～ 3）ビット（チャネル n 用 PWM 遅延生成回路バイパス）

GTIOCnA および GTIOCnB 端子（n = 0 ～ 3）からの PWM 出力信号に PWM 遅延生成回路で遅延を適用するか否か、あるいは回路をバイパスするか否かを選択します。

PWM 遅延生成回路で遅延された信号は、PWM 遅延生成回路をバイパスした場合よりも、GPT 動作クロック（PCLKD）の 3 サイクル分遅れて出力されます。

DLYENn（n = 0 ～ 3）ビット（チャネル n 用 PWM 遅延生成回路許可）

PWM 遅延生成回路のチャネル n（n = 0 ～ 3）の電源をオンにするかオフにするかを選択します。PWM 遅延生成回路のチャネル n を使用しない場合、1 にしてください。

24.2.3 GTIOCnA 立ち上がり出力遅延レジスタ（GTDLYRnA）（n = 0 ～ 3）

アドレス GPT_ODC.GTDLYR0A 4007 B018h, GPT_ODC.GTDLYR1A 4007 B01Ch,
GPT_ODC.GTDLYR2A 4007 B020h, GPT_ODC.GTDLYR3A 4007 B024h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnA出力立ち上がりエッジ遅延設定	b4 b0 0 0 0 0 0：立ち上がりエッジで遅延を適用しない 0 0 0 0 1：PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0：PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1：PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0：PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1：PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0：PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1：PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0：PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1：PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0：PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1：PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0：PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1：PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0：PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1：PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0：PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1：PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0：PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1：PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0：PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1：PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0：PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1：PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0：PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1：PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0：PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1：PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0：PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1：PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0：PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1：PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYRnA レジスタは、GTIOCnA 端子の出力信号の立ち上がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、24.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミングを参照してください。

GTDLYRnA レジスタは、レジスタライトプロテクション機能が無効（GPT32EHn.GTWP.WP = 0）のときに書き込むことができます。

24.2.4 GTIOCnA 立ち下がり出力遅延レジスタ（GTDLYFnA）（n = 0 ～ 3）

アドレス GPT_ODC.GTDLYF0A 4007 B028h, GPT_ODC.GTDLYF1A 4007 B02Ch,
GPT_ODC.GTDLYF2A 4007 B030h, GPT_ODC.GTDLYF3A 4007 B034h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnA出力立ち下がりエッジ遅延設定	b4 b0 0 0 0 0 0：立ち下がりエッジで遅延を適用しない 0 0 0 0 1：PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0：PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1：PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0：PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1：PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0：PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1：PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0: PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1：PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0：PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1：PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0：PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1：PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0：PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1：PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0：PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1：PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0：PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1：PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0：PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1：PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0：PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1：PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0：PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1：PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0：PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1：PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0：PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1：PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0：PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1：PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYFnA レジスタは、GTIOCnA 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、24.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミングを参照してください。GTDLYFnA レジスタは、レジスタライトプロテクション機能が無効（GPT32EHn.GTWP.WP = 0）のときに書き込むことができます。

24.2.5 GTIOCnB 立ち上がり出力遅延レジスタ（GTDLYRnB）（n = 0 ～ 3）

アドレス GPT_ODC.GTDLYR0B 4007 B01Ah, GPT_ODC.GTDLYR1B 4007 B01Eh, GPT_ODC.GTDLYR2B 4007 B022h, GPT_ODC.GTDLYR3B 4007 B026h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnB出力立ち上がりエッジ遅延設定	b4 b0 0 0 0 0 0：立ち上がりエッジで遅延を適用しない 0 0 0 0 1：PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0：PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1：PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0：PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1：PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0：PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1：PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0：PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1：PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0：PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1：PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0：PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1：PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0：PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1：PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0：PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1：PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0：PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1：PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0：PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1：PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0：PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1：PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0：PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1：PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0：PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1：PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0：PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1：PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0：PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1：PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYRnB レジスタは、GTIOCnB 端子の出力信号の立ち上がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、24.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミングを参照してください。GTDLYRnB レジスタは、レジスタライトプロテクション機能が無効（GPT32EHn.GTWP.WP = 0）のときに書き込むことができます。

24.2.6 GTIOCnB 立ち下がり出力遅延レジスタ（GTDLYFnB）（n = 0 ～ 3）

アドレス GPT_ODC.GTDLYF0B 4007 B02Ah, GPT_ODC.GTDLYF1B 4007 B02Eh, GPT_ODC.GTDLYF2B 4007 B032h, GPT_ODC.GTDLYF3B 4007 B036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	DLY[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DLY[4:0]	GTIOCnB出力立ち下がりエッジ遅延設定	b4 b0 0 0 0 0 0：立ち下がりエッジで遅延を適用しない 0 0 0 0 1：PCLKD周期の1/32倍の遅延を適用 0 0 0 1 0：PCLKD周期の2/32倍の遅延を適用 0 0 0 1 1：PCLKD周期の3/32倍の遅延を適用 0 0 1 0 0：PCLKD周期の4/32倍の遅延を適用 0 0 1 0 1：PCLKD周期の5/32倍の遅延を適用 0 0 1 1 0：PCLKD周期の6/32倍の遅延を適用 0 0 1 1 1：PCLKD周期の7/32倍の遅延を適用 0 1 0 0 0：PCLKD周期の8/32倍の遅延を適用 0 1 0 0 1：PCLKD周期の9/32倍の遅延を適用 0 1 0 1 0：PCLKD周期の10/32倍の遅延を適用 0 1 0 1 1：PCLKD周期の11/32倍の遅延を適用 0 1 1 0 0：PCLKD周期の12/32倍の遅延を適用 0 1 1 0 1：PCLKD周期の13/32倍の遅延を適用 0 1 1 1 0：PCLKD周期の14/32倍の遅延を適用 0 1 1 1 1：PCLKD周期の15/32倍の遅延を適用 1 0 0 0 0：PCLKD周期の16/32倍の遅延を適用 1 0 0 0 1：PCLKD周期の17/32倍の遅延を適用 1 0 0 1 0：PCLKD周期の18/32倍の遅延を適用 1 0 0 1 1：PCLKD周期の19/32倍の遅延を適用 1 0 1 0 0：PCLKD周期の20/32倍の遅延を適用 1 0 1 0 1：PCLKD周期の21/32倍の遅延を適用 1 0 1 1 0：PCLKD周期の22/32倍の遅延を適用 1 0 1 1 1：PCLKD周期の23/32倍の遅延を適用 1 1 0 0 0：PCLKD周期の24/32倍の遅延を適用 1 1 0 0 1：PCLKD周期の25/32倍の遅延を適用 1 1 0 1 0：PCLKD周期の26/32倍の遅延を適用 1 1 0 1 1：PCLKD周期の27/32倍の遅延を適用 1 1 1 0 0：PCLKD周期の28/32倍の遅延を適用 1 1 1 0 1：PCLKD周期の29/32倍の遅延を適用 1 1 1 1 0：PCLKD周期の30/32倍の遅延を適用 1 1 1 1 1：PCLKD周期の31/32倍の遅延を適用	R/W
b15-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

GTDLYFnB レジスタは、GTIOCnB 端子の出力信号の立ち下がりエッジに適用する遅延を設定します。設定値の転送タイミングについては、24.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミングを参照してください。GTDLYFnB レジスタは、レジスタライトプロテクション機能が無効（GPT32EHn.GTWP.WP = 0）のときに書き込むことができます。

24.3 動作説明

24.3.1 PWM 波形の立ち上がりおよび立ち下がりエッジのタイミング調整

GTIOCnA および GTIOCnB 端子（n はチャネル番号）から出力される PWM 波形の立ち上がりおよび立ち下がりエッジのタイミングは、GPT 動作クロック（PCLKD）周期の 1/32 の精度で遅延させることができます。

GTIOCnA および GTIOCnB 端子から出力される PWM 波形の立ち上がりおよび立ち下がりエッジのタイミングを調整する必要がある場合、図 24.2 の手順に従って PWM 生成回路の初期設定を行ってください。

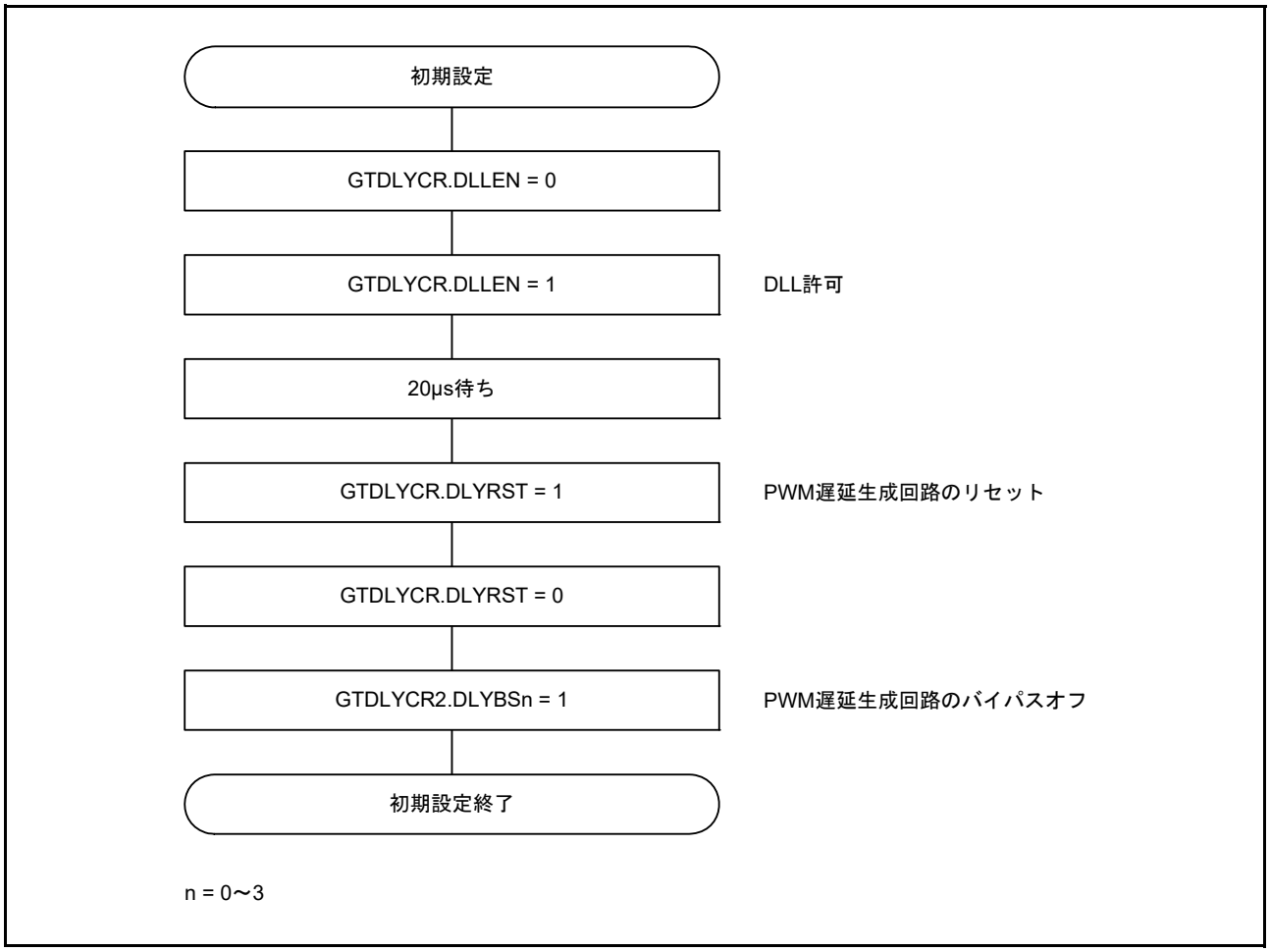


図 24.2 PWM 遅延生成回路の初期化フロー例

PWM 遅延生成回路では、PWM 出力の立ち上がりおよび立ち下がりエッジに、GPT 動作クロック（PCLKD）周期の 1/32 の精度で遅延を適用できます。詳細は、23.3.3 PWM 出力動作モードを参照してください。設定値に対応した遅延が、24.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミングに示すタイミングで PWM 出力に反映されます。GTDLYRnA、GTLDYRnB、GTDLYFnA、および GTDLYFnB レジスタと、PWM 出力との対応関係を表 24.3 に示します。

表 24.3 PWM出力端子と遅延設定レジスタの対応関係

PWM出力端子	立ち上がりエッジ遅延設定レジスタ	立ち下がりエッジ遅延設定レジスタ
GTIOC0A	GTDLYR0A	GTDLYF0A
GTIOC0B	GTDLYR0B	GTDLYF0B
GTIOC1A	GTDLYR1A	GTDLYF1A
GTIOC1B	GTDLYR1B	GTDLYF1B
GTIOC2A	GTDLYR2A	GTDLYF2A
GTIOC2B	GTDLYR2B	GTDLYF2B
GTIOC3A	GTDLYR3A	GTDLYF3A
GTIOC3B	GTDLYR3B	GTDLYF3B

PWM 遅延生成回路を使用している場合、PWM 出力信号の立ち上がりおよび立ち下がりタイミングを、GPT 動作クロック（PCLKD）周期の 1/32 の精度で制御できます。この機能を使用していない場合、PWM 出力波形の周期は、タイマカウンタの入力クロック（PCLKD）の 1 周期の精度で制御されます。PWM 遅延生成回路を使用すると、32 倍精密な精度で出力を制御できます。また、遅延設定では、PWM 波形の High レベルおよび Low レベルの周期を、特定の精度で制御することも可能です。各 PWM 遅延生成回路チャネルは、それぞれ個別に有効または無効にできます。

24.3.2 GTDLYRnA、GTLDYRnB、GTDLYFnA、GTDLYFnB レジスタ設定値の転送タイミング

GTDLYRnA、GTLDYRnB、GTDLYFnA、および GTDLYFnB レジスタの設定値は、最初に一時レジスタに転送され、その後、GTIOCnA および GTIOCnB（n = 0 ～ 3）出力の遅延量に反映されます。設定値は、のこぎり波の場合はオーバーフロー時（アップカウント中）またはアンダーフロー時（ダウンカウント中）、三角波の場合は谷のとき転送されます。

GTDLYR0A および GTDLYF0A レジスタの動作例を図 24.3 と図 24.4 に示します。

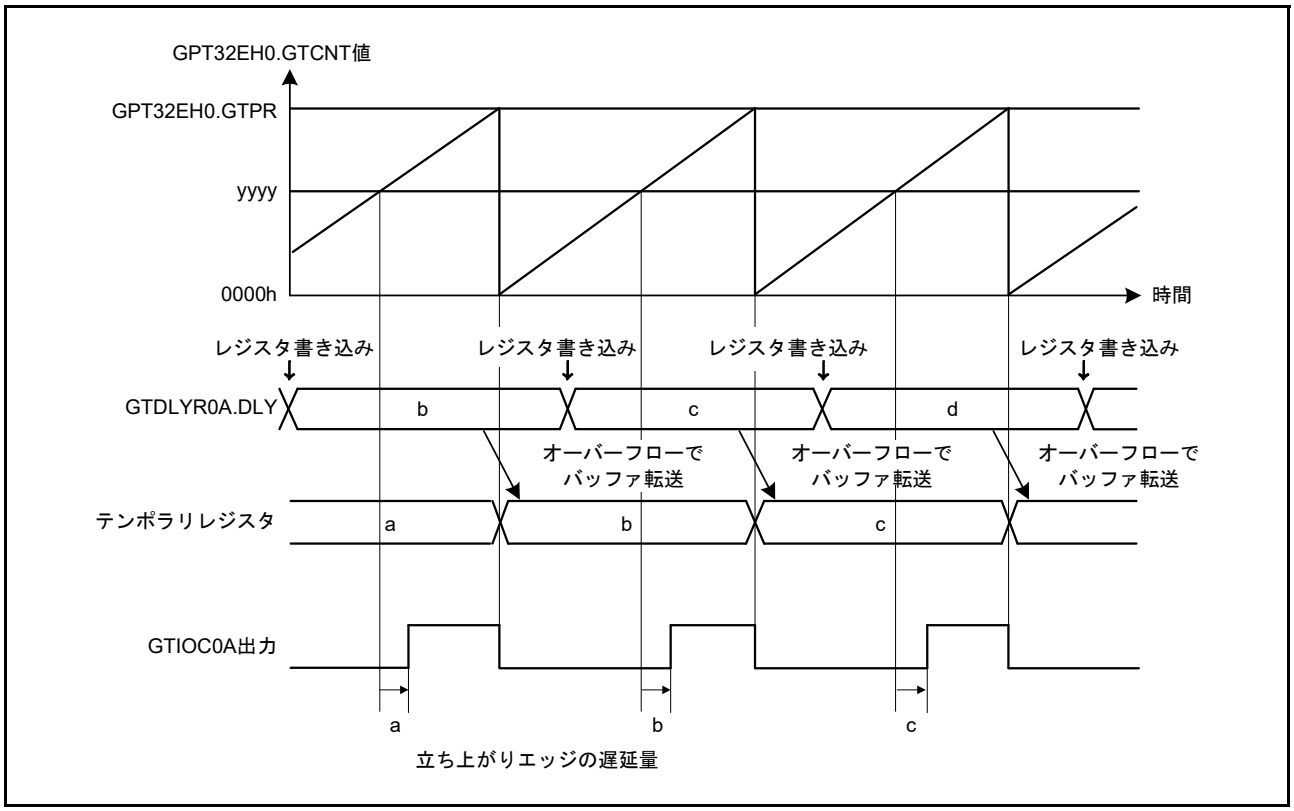


図 24.3 GTLDYR0A レジスタの動作例（PWM のこぎり波生成時）

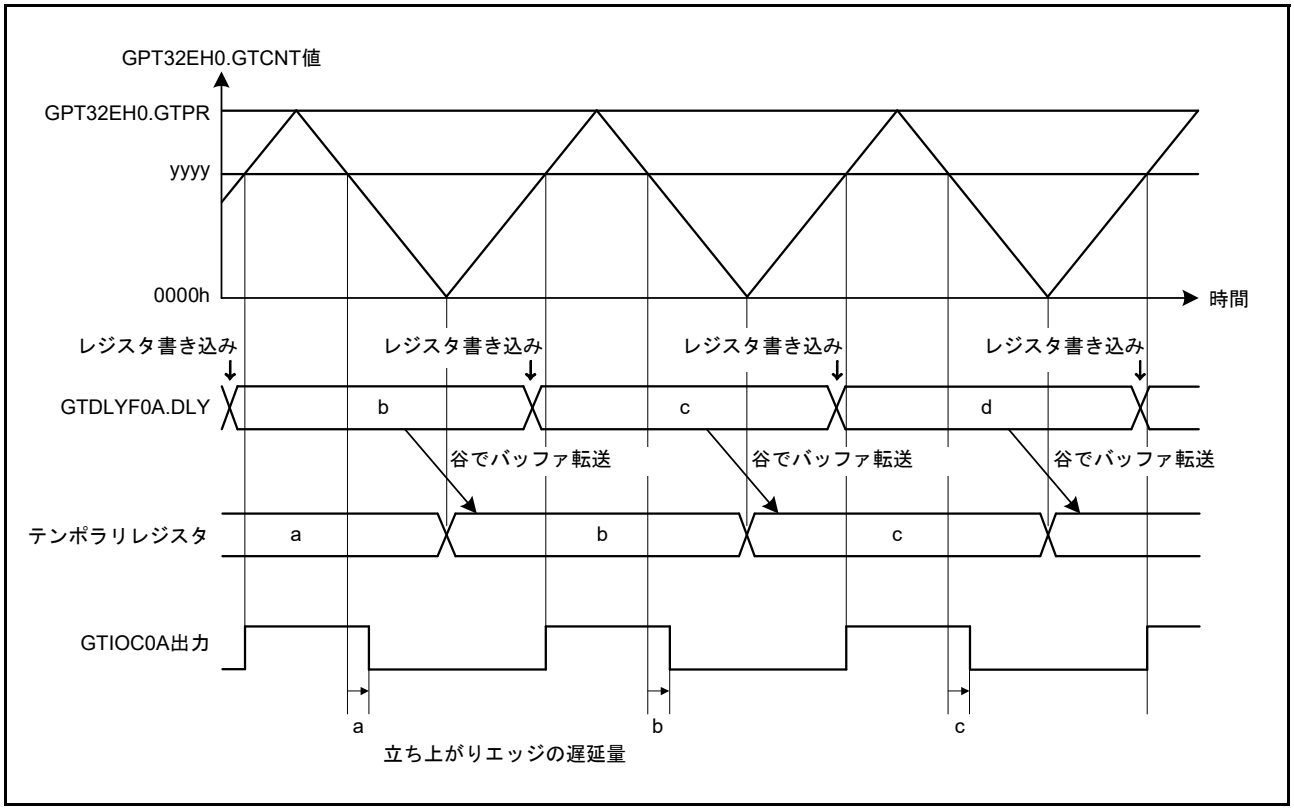


図 24.4 GTLDYF0A レジスタの動作例（PWM 三角波生成時）

24.4 使用上の注意事項

24.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D (MSTPCRD) により、PWM 遅延生成回路の動作を禁止／許可できます。リセット後の初期状態では、PWM 遅延生成回路の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

24.4.2 PWM 遅延生成回路の遅延設定に関する注意事項

PWM 遅延生成回路が PWM 出力波形の遅延を生成し、その波形がコンペアマッチに対してトグルされる場合、コンペアマッチ値が下表に示す範囲にある間は、遅延の設定を変更しないでください。この制約は GTDLYFnA、GTDLYRnA、GTDLFnB、および GTDLYRnB レジスタに適用されます。

表 24.4 遅延設定の制約

モード	カウント方向	コンペアマッチ値
のこぎり波モード	アップ	GTPR - 2以上
	ダウン	2以下
三角波モード	ダウン	2以下

この制約が、のこぎり波ワンショットパルスモード（カウントアップ）の GTDLYFnA レジスタの設定タイミングに適用される例を図 24.5 に示します。GTCCRD ≧ GTPR - 2 の間は GTDLYFnA レジスタの設定値を変更しないでください。

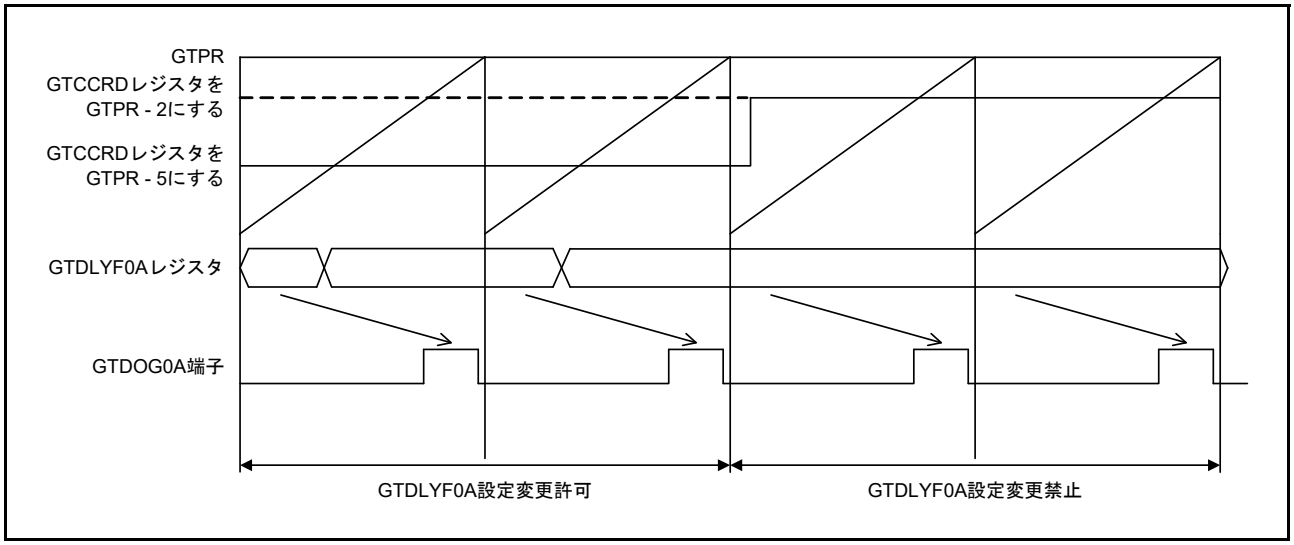


図 24.5 GTDLYF0A レジスタの設定タイミングの制約

設定変更が禁止されている期間に、GTDLYFnA、GTDLYRnA、GTDLYFnB、および GTDLYRnB レジスタの値を変更すると、出力波形の切り替わりポイントのタイミングが期待値とずれるなど、出力波形の不良の原因となる恐れがあります。

25. 非同期汎用タイマ（AGT）

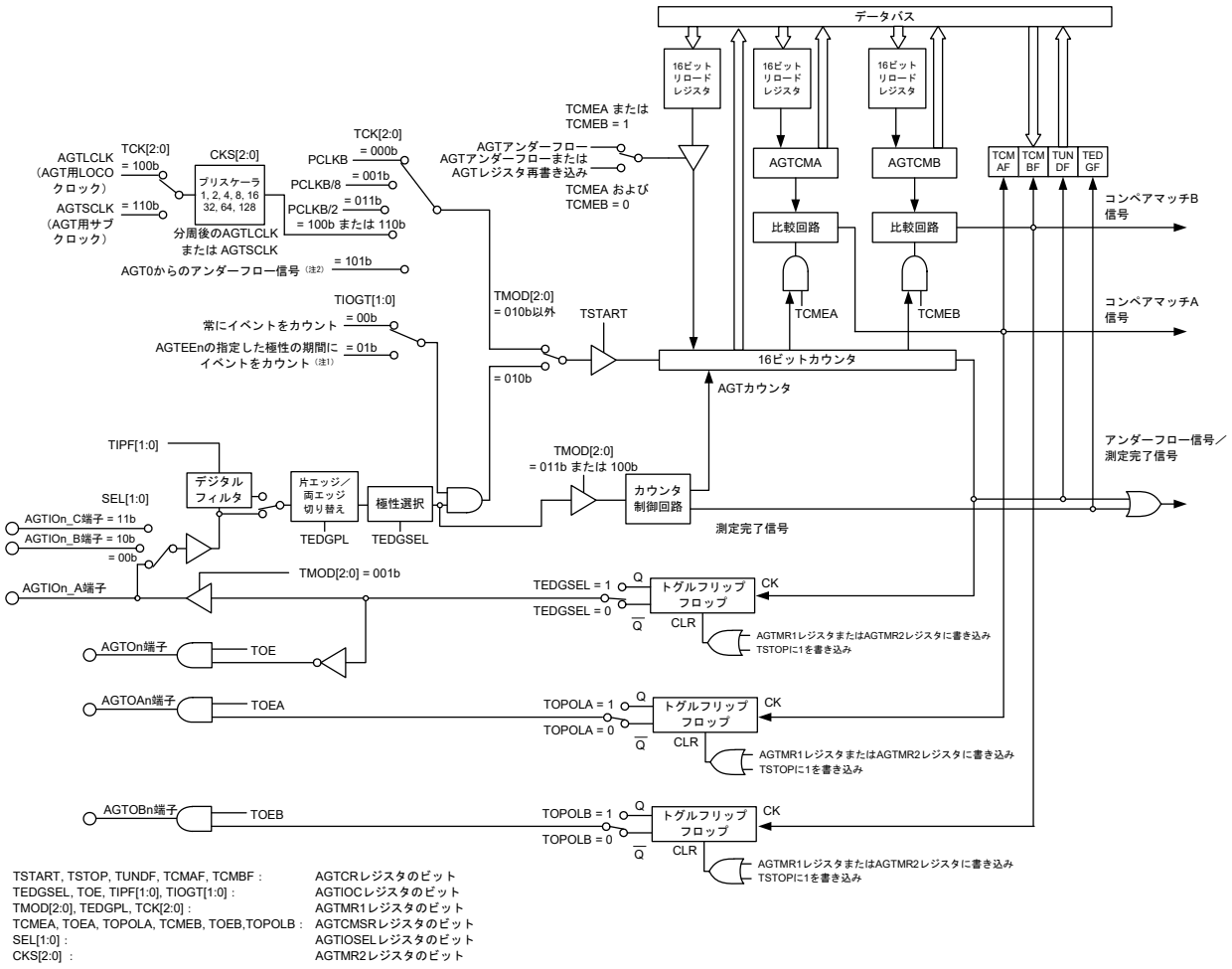
25.1 概要

非同期汎用タイマ（AGT）は、パルス出力、外部パルスの幅または周期の測定、および外部イベントのカウントに利用可能な 16 ビットのタイマです。この 16 ビットタイマは、リロードレジスタとダウンカウンタで構成されています。これらのリロードレジスタとダウンカウンタは、同一アドレスに配置され、AGT レジスタでアクセス可能です。表 25.1 に AGT の仕様を、図 25.1 にブロック図を、表 25.2 に入出力端子を示します。

表 25.1 AGTの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウント
	パルス出力モード	タイマがアンダーフローするごとにカウントソースをカウントし、出力を反転
	イベントカウンタモード	外部イベントをカウント
	パルス幅測定モード	外部パルス幅を測定
	パルス周期測定モード	外部パルス周期を測定
カウントソース（動作クロック）（注2）		PCLKB、PCLKB/2、PCLKB/8、AGTLCLK、AGTLCLK/2、AGTLCLK/4、AGTLCLK/8、AGTLCLK/16、AGTLCLK/32、AGTLCLK/64、AGTLCLK/128、 AGTSCLK、AGTSCLK/2、AGTSCLK/4、AGTSCLK/8、AGTSCLK/16、AGTSCLK/32、AGTSCLK/64、AGTSCLK/128、またはAGT0のアンダーフロー信号（注1）を選択可能
割り込み／イベントリンク機能（出力）		アンダーフローイベント信号または測定完了イベント信号 • カウンタがアンダーフローしたとき • 外部入力（AGTIO）のアクティブ幅の測定がパルス幅測定モードで終了したとき • 外部入力（AGTIO）の設定エッジがパルス周期測定モードで入力されたとき コンペアマッチAイベント信号 • AGTとAGTCMAの値が一致したとき（コンペアマッチA機能が有効） コンペアマッチBイベント信号 • AGTとAGTCMBの値が一致したとき（コンペアマッチB機能が有効）
選択可能な機能		• コンペアマッチ機能 コンペアマッチAレジスタとコンペアマッチBレジスタの両方または一方を選択可能

注 1. AGT0 では使用できません。AGT1 が、AGT0 タイマからのアンダーフローイベント信号に直接接続します。
注 2. 周辺モジュールクロック（PCLKB）周波数≧カウントソースクロック周波数となるように設定してください。



注 1. AGTISR レジスタの EEPS ビットで極性を選択できます。
注 2. AGT0 では本機能は使用できません。AGT1 では AGT0 からのアンダーフロー信号を使用します。

図 25.1 AGT のブロック図

表 25.2 AGTの入出力端子

端子名	入出力	機能
AGTEEn	入力	AGTの外部イベント入力
AGTIOn（注1）	入力（注1）／出力	AGTの外部イベント入力およびパルス出力
AGTOn	出力	AGTのパルス出力
AGTOAn	出力	AGTの出力コンペアマッチA出力
AGTOBn	出力	AGTの出力コンペアマッチB出力

注 . チャネル番号（n = 0, 1）
注 1. AGTIO はディープソフトウェアスタンバイモードでも使用可能です。

AGTIO は VBTICTLR レジスタで制御できます。

詳細については、12.2.2 VBATT 入力コントロールレジスタ（VBTICTLR）と 20.5.5 入出力バッファの仕様を参照してください。

25.2 レジスタの説明

25.2.1 AGT カウンタレジスタ（AGT）

アドレス AGT0.AGT 4008 4000h, AGT1.AGT 4008 4100h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	機能	設定範囲	R/W
b15-b0	16 ビットのカウンタおよびリロードレジスタ（注 1）（注 2）	0000h～FFFFh	R/W

注 1. AGTCR レジスタの TSTOP ビットに 1 を書き込むと、この 16 ビットカウンタは強制的に停止して、FFFFh になります。

注 2. AGTMR1 レジスタの TCK[2:0] ビットの設定値が 001b（PCLKB/8）または 011b（PCLKB/2）以外の場合、AGT レジスタが 0000h になると、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。AGTOn および AGTIOn はトグル出力となります。
イベントカウンタモードで AGT レジスタが 0000h になると、TCK[2:0] ビットの値にかかわらず、ICU、DTC、および ELC への要求信号が、カウント開始直後に一度発生します。
また、指定したカウント期間以外の期間でも AGTOn はトグル出力となります。AGT レジスタが 0001h 以上になると、AGT がアンダーフローするたびに要求信号が発生します。

AGT は 16 ビットのレジスタです。書き込み値はリロードレジスタに書き込まれ、読み出し値はカウンタから読み出されます。

リロードレジスタとカウンタの状態は、AGTCR レジスタの TSTART ビットと AGTCMSR レジスタの TCMEA/TCMEB ビットに応じて変化します。詳細は、25.3.1 リロードレジスタおよびカウンタの書き換え動作を参照してください。AGT レジスタは、16 ビットのメモリ操作命令によって設定できます。

25.2.2 AGT コンペアマッチ A レジスタ（AGTCMA）

アドレス AGT0.AGTCMA 4008 4002h, AGT1.AGTCMA 4008 4102h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

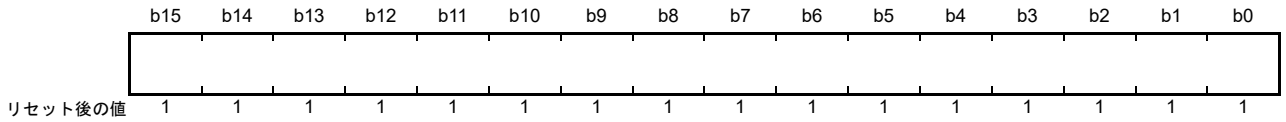
ビット	機能	設定範囲	R/W
b15-b0	16 ビットのコンペアマッチ A データを格納（注 1）	0000h～FFFFh	R/W

注 1. コンペアマッチ A を使用しない場合、AGTCMA レジスタは FFFFh にしてください。

AGTCMA レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込み可能なレジスタです。リロードレジスタとコンペアレジスタ A の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、25.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作を参照してください。AGTCMA レジスタは、16 ビットのメモリ操作命令によって設定できます。

25.2.3 AGT コンペアマッチ B レジスタ（AGTCMB）

アドレス AGT0.AGTCMB 4008 4004h, AGT1.AGTCMB 4008 4104h



ビット	機能	設定範囲	R/W
b15-b0	16 ビットのコンペアマッチ B データを格納（注 1）	0000h～FFFFh	R/W

注 1. コンペアマッチ B を使用しない場合、AGTCMB レジスタは FFFFh にしてください。

AGTCMB レジスタは、AGT カウンタとのコンペアマッチ値を設定するための、読み出し／書き込み可能なレジスタです。リロードレジスタとコンペアレジスタ B の状態は、AGTCR レジスタの TSTART ビットに応じて変化します。詳細は、25.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作を参照してください。AGTCMB レジスタは、16 ビットのメモリ操作命令によって設定できます。

25.2.4 AGT コントロールレジスタ（AGTCR）

アドレス AGT0.AGTCR 4008 4008h, AGT1.AGTCR 4008 4108h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCMBF	TCMAF	TUNDF	TEDGF	—	TSTOP	TCSTF	TSTART
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTART	AGTカウント開始（注2）	0：カウント停止 1：カウント開始	R/W
b1	TCSTF	AGTカウント状態フラグ（注2）	0：カウント停止 1：カウント動作中	R
b2	TSTOP	AGTカウント強制停止（注1）	0：無効（0の書き込みは無効です） 1：強制的にカウント停止	W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TEDGF	アクティブエッジ判定フラグ	0：アクティブエッジ未受信 1：アクティブエッジ受信	R/(W)（注3）
b5	TUNDF	アンダーフローフラグ	0：アンダーフローなし 1：アンダーフロー	R/(W)（注3）
b6	TCMAF	コンペアマッチAフラグ	0：不一致 1：一致	R/(W)（注3）
b7	TCMBF	コンペアマッチBフラグ	0：不一致 1：一致	R/(W)（注3）

注 1. TSTOP ビットに 1（強制的にカウント停止）を書き込むと、TSTOP、TSTART、および TCSTF ビットが同時に初期化されます。パルス出力レベルも初期化されます。読むと 0 が読めます。

注 2. TSTART および TCSTF ビットの使用については、25.4.1 カウント動作の開始および停止制御を参照してください。

注 3. フラグをクリアするための 0 の書き込みのみ可能です。

TSTART ビット（AGT カウント開始）

TSTART ビットに 1 を書き込むとカウント動作が開始し、0 を書き込むとカウント動作が停止します。このビットを 1 にすると、カウントソースと同期して、TCSTF ビットが 1（カウント実行中）になります。また、TSTART ビットに 0 を書き込むと、カウントソースと同期して、TCSTF ビットが 0（カウント停止）になります。詳細は、25.4.1 カウント動作の開始および停止制御を参照してください。

TCSTF フラグ（AGT カウント状態フラグ）

AGT のカウント状態を示します。

[1 になる条件]

- TSTART ビットに 1 を書いたとき（カウントソースと同期して、TCSTF ビットが 1 になる）

[0 になる条件]

- TSTART ビットに 0 を書いたとき（カウントソースと同期して、TCSTF ビットが 0 になる）
- TSTOP ビットに 1 を書いたとき

TSTOP ビット（AGT カウント強制停止）

TSTOP ビットに 1 を書くと、強制的にカウントが停止します。読むと 0 が読めます。

TEDGF フラグ（アクティブエッジ判定フラグ）

アクティブエッジが検出されたことを示します。

[1 になる条件]

- 外部入力（AGTIO）のアクティブ幅の測定がパルス幅測定モードで終了したとき
- 外部入力（AGTIO）の設定エッジがパルス周期測定モードで入力されたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

TUNDF フラグ（アンダーフローフラグ）

カウンタがアンダーフローしたことを示します。

[1 になる条件]

- カウンタがアンダーフローしたとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

TCMAF フラグ（コンペアマッチ A フラグ）

コンペアマッチ A が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMA レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

TCMBF フラグ（コンペアマッチ B フラグ）

コンペアマッチ B が検出されたことを示します。

[1 になる条件]

- AGT レジスタ値が AGTCMB レジスタ値と一致したとき

[0 になる条件]

- ソフトウェアで 0 を書いたとき

25.2.5 AGT モードレジスタ 1（AGTMR1）

アドレス AGT0.AGTMR1 4008 4009h, AGT1.AGTMR1 4008 4109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TCK[2:0]			TEDGPL	TMOD[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TMOD[2:0]	動作モード（注3）	b2 b1 b0 0 0 0：タイマモード 0 0 1：パルス出力モード 0 1 0：イベントカウンタモード 0 1 1：パルス幅測定モード 1 0 0：パルス周期測定モード 上記以外は設定しないでください。	R/W
b3	TEDGPL	エッジ極性（注4）	0：片エッジ 1：両エッジ	R/W
b6-b4	TCK[2:0]	カウントソース（注1）（注2）（注5）	b6 b5 b4 0 0 0：PCLKB 0 0 1：PCLKB/8 0 1 1：PCLKB/2 1 0 0：AGTMR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTLCLK 1 0 1：AGT0 からのアンダーフローイベント信号（注6） 1 1 0：AGTMR2 レジスタの CKS[2:0] ビットで設定した分周クロック AGTSCLK 上記以外は設定しないでください。	R/W
b7	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 . AGTMR1 レジスタに書き込みを行うと、AGT の AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子（n = 0, 1）からの出力が初期化されます。初期化時の出力レベルについては、25.2.7 AGT I/O コントロールレジスタ（AGTIOC）の説明を参照してください。

注 1. イベントカウンタモードを選択した場合、TCK[2:0] ビットの設定にかかわらず、カウントソースに外部入力（AGTIOn）が選択されます。

注 2. カウント動作中は、カウントソースを切り替えないでください。AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0（カウント停止）の場合にのみ、カウントソースを切り替えてください。

注 3. AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0（カウント停止）に設定されているときに、カウントが停止した場合にのみ、動作モードを変更できます。カウント動作中は、動作モードを変更しないでください。

注 4. TEDGPL ビットは、イベントカウンタモード時に限り有効です。

注 5. ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで使用する場合、AGTSCLK または AGTLCLK（TCK[2:0] = 100b または 110b）をカウントソースにしてください。

注 6. AGT0 では使用できません（設定禁止）。AGT1 が、AGT0 のアンダーフローを使用します。

25.2.6 AGT モードレジスタ 2（AGTMR2）

アドレス AGT0.AGTMR2 4008 400Ah, AGT1.AGTMR2 4008 410Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LPM	—	—	—	—	CKS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	AGTSCLK/AGTLCLKカウントソースクロック分周比（注1）（注2）（注3）	b2 b0 0 0 0 : 1/1 0 0 1 : 1/2 0 1 0 : 1/4 0 1 1 : 1/8 1 0 0 : 1/16 1 0 1 : 1/32 1 1 0 : 1/64 1 1 1 : 1/128	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	LPM	低消費電力モード	0：通常モード 1：低消費電力モード	R/W

注 1. カウント動作中は、CKS[2:0] ビットを書き換えないでください。CKS[2:0] は、AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0（カウント停止）の場合にのみ書き換えてください。

注 2. カウントソースが AGTSCLK/AGTLCLK の場合に、CKS[2:0] の切り替えが有効です。

注 3. CKS[2:0] ビットが 000b 以外の場合は、AGTMR1 レジスタの TCK[2:0] ビットを切り替えないでください。CKS[2:0] ビットを 000b にした後、AGTMR1 レジスタの TCK[2:0] ビットを切り替えて、カウントソースの 1 サイクル分待機してください。

LPM ビット（低消費電力モード）

低消費電力モードを選択すると、特定の AGT レジスタへのアクセスに影響があります。低消費電力で動作させるには 1 にしてください。本ビットが 1 の場合、次のレジスタにはアクセスしないでください。

- AGT/AGTCMA/AGTCMB/AGTCR

本ビットを 1 から 0 に切り替えた後は、上記のレジスタへの最初のアクセスが以下のように制限されます。

- AGT：AGT レジスタを 2 回読む必要があります。2 回目の読み出しデータのみが有効です
- AGT、AGTCMA、AGTCMB、および AGTCR：レジスタに書き込む場合、少なくともカウントソースクロックの 2 サイクルは必要です

25.2.7 AGT I/O コントロールレジスタ（AGTIOC）

アドレス AGT0.AGTIOC 4008 400Ch, AGT1.AGTIOC 4008 410Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	TIOGT[1:0]		TIPF[1:0]		—	TOE	—	TEDGSEL
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TEDGSEL	I/O極性切り替え	動作モードによって機能が異なります。表 25.3 と表 25.4 を参照してください。 TEDGSEL ビットは、AGTO の出力極性、および AGTIO の入出力エッジと極性を切り替えます。パルス出力モードでは、AGTOn の出力極性と AGTIOn の出力極性のみ操作します。AGTMR1 レジスタに書き込みを行った場合、および AGTCR レジスタの TSTOP ビットに 1 を書いた場合、AGTOn 出力と AGTIOn 出力が初期化されます。	R/W
b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b2	TOE	AGTOn 出力許可	0：AGTOn 出力を禁止 1：AGTOn 出力を許可	R/W
b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5-b4	TIPF[1:0]	入力フィルタ（注3）	b5 b4 0 0：フィルタなし 0 1：PCLKB でのフィルタサンプリング 1 0：PCLKB/8 でのフィルタサンプリング 1 1：PCLKB/32 でのフィルタサンプリング これらのビットは、AGTIOn 入力用フィルタのサンプリング周波数を指定します。AGTIOn 端子への入力がサンプリングされ、3 回連続して値が一致すると、その値が入力値とみなされます。	R/W
b7-b6	TIOGT[1:0]	カウント制御（注1）（注2）（注4）	b7 b6 0 0：常にイベントをカウントする 0 1：AGTEEn に指定された極性の期間に、イベントをカウントする 上記以外は設定しないでください。	R/W

注 1. AGTEEn 端子を使用する場合、イベントをカウントするための極性は AGTISR レジスタの EEPS ビットで選択できます。
注 2. TIOGT[1:0] ビットは、イベントカウンタモード時に限り有効です。
注 3. ソフトウェアスタンバイモードとディープソフトウェアスタンバイモード中にイベントカウンタモード動作が実行される場合、デジタルフィルタ機能は使用できません。
注 4. ディープソフトウェアスタンバイモードで使用する場合、TIOGT[1:0] ビットは 00b（常にイベントをカウントする）にしてください。

表 25.3 AGTIOn の入出力エッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない
パルス出力モード	0：High で出力開始（初期レベル：High） 1：Low で出力開始（初期レベル：Low）
イベントカウンタモード	0：立ち上がりエッジでカウント 1：立ち下がりエッジでカウント
パルス幅測定モード	0：Low レベル幅を測定 1：High レベル幅を測定
パルス周期測定モード	0：ある立ち上がりエッジから次の立ち上がりエッジまで測定 1：ある立ち下がりエッジから次の立ち下がりエッジまで測定

表 25.4 AGTOn の出力極性切り替え

動作モード	機能
全モード	0：Low で出力開始（初期レベル：Low） 1：High で出力開始（初期レベル：High）

25.2.8 AGT イベント端子選択レジスタ（AGTISR）

アドレス AGT0.AGTISR 4008 400Dh, AGT1.AGTISR 4008 410Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	EEPS	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	EEPS	AGTEEn極性選択	0：Lowの期間、イベントをカウントする 1：Highの期間、イベントをカウントする	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

25.2.9 AGT コンペアマッチ機能選択レジスタ（AGTCMSR）

アドレス AGT0.AGTCMSR 4008 400Eh, AGT1.AGTCMSR 4008 410Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	TOPOLB	TOEB	TCMEB	—	TOPOLA	TOEA	TCMEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TCMEA	コンペアマッチAレジスタ許可（注1）（注2）	0：コンペアマッチAレジスタを禁止 1：コンペアマッチAレジスタを許可	R/W
b1	TOEA	AGTOAn出力許可（注1）（注2）	0：AGTOAn出力を禁止 1：AGTOAn出力を許可	R/W
b2	TOPOLA	AGTOAn極性選択（注1）（注2）	0：AGTOAn出力をLowで開始 1：AGTOAn出力をHighで開始	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TCMEB	コンペアマッチBレジスタ許可（注1）（注2）	0：コンペアマッチBレジスタを禁止 1：コンペアマッチBレジスタを許可	R/W
b5	TOEB	AGTOBn出力許可（注1）（注2）	0：AGTOBn出力を禁止 1：AGTOBn出力を許可	R/W
b6	TOPOLB	AGTOBn極性選択（注1）（注2）	0：AGTOBn出力をLowで開始 1：AGTOBn出力をHighで開始	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. カウント動作中は、AGTCMSR レジスタを書き換えないでください。AGTCR レジスタの TSTART および TCSTF ビットが、どちらも 0（カウント停止）の場合にのみ、AGTCMSR レジスタを書き換えてください。

注 2. パルス幅測定モードまたはパルス周期測定モード時は、1 にしないでください。

25.2.10 AGT 端子選択レジスタ（AGTIOSEL）

アドレス AGT0.AGTIOSEL 4008 400Fh, AGT1.AGTIOSEL 4008 410Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	TIES	—	—	SEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SEL[1:0]	AGTIO端子選択	b1 b0 0 0：AGTIO_AをAGTIOとして選択 ディープソフトウェアスタンバイモード時、AGTIO_Aは AGTIO入力端子として使用できません。 0 1：設定禁止 1 0：AGTIO_BをAGTIOとして選択 ディープソフトウェアスタンバイモード時、AGTIO_Bは AGTIO入力端子として使用できます。AGTIO_Bは入力専用です。出力には使用できません。 1 1：AGTIO_CをAGTIOとして選択 ディープソフトウェアスタンバイモード時、AGTIO_Cは AGTIO入力端子として使用できます。AGTIO_Cは入力専用です。出力には使用できません。	R/W（注1）
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIES	AGTIO入力許可	0：ソフトウェアスタンバイモード中、外部イベント入力を禁止 1：ソフトウェアスタンバイモード中、外部イベント入力を許可	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ディープソフトウェアスタンバイモード時、AGTIO_B および AGTIO_C は、AGT の外部イベント入力端子として使用できます。ディープソフトウェアスタンバイモード時、AGTIO_A は、AGT の外部イベント入力端子として使用できません。AGTIO_B および AGTIO_C は入力専用です。

注 2. AGTIOn_A を選択した場合、端子機能選択レジスタを設定する必要があります。「20. I/O ポート」を参照してください。

ディープソフトウェアスタンバイモードおよびソフトウェアスタンバイモード時に AGTIO を使用すると、AGTIOSEL レジスタによって AGTIO 端子が設定されます。AGTIOSEL レジスタは、8 ビットのメモリ操作命令によって設定できます。

SEL[1:0] ビット（AGTIO 端子選択）

AGTIO 端子の機能を選択します。

TIES ビット（AGTIO 入力許可）

外部イベント入力を許可または禁止します。

25.3 動作説明

25.3.1 リロードレジスタおよびカウンタの書き換え動作

動作モードにかかわらず、リロードレジスタとカウンタへの書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値、および AGTCMSR レジスタの TCMEA または TCMEB ビット値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタとカウンタに直接書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA および TCMEB ビットが 0（コンペアマッチ A/B レジスタが無効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、次のカウントソースと同期してカウンタに書き込まれます。TSTART ビットが 1（カウント開始）で、かつ TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してカウンタに書き込まれます。

TSTART ビット値および TCMEA/TCMEB ビット値による書き換え動作のタイミングを図 25.2 および図 25.3 に示します。

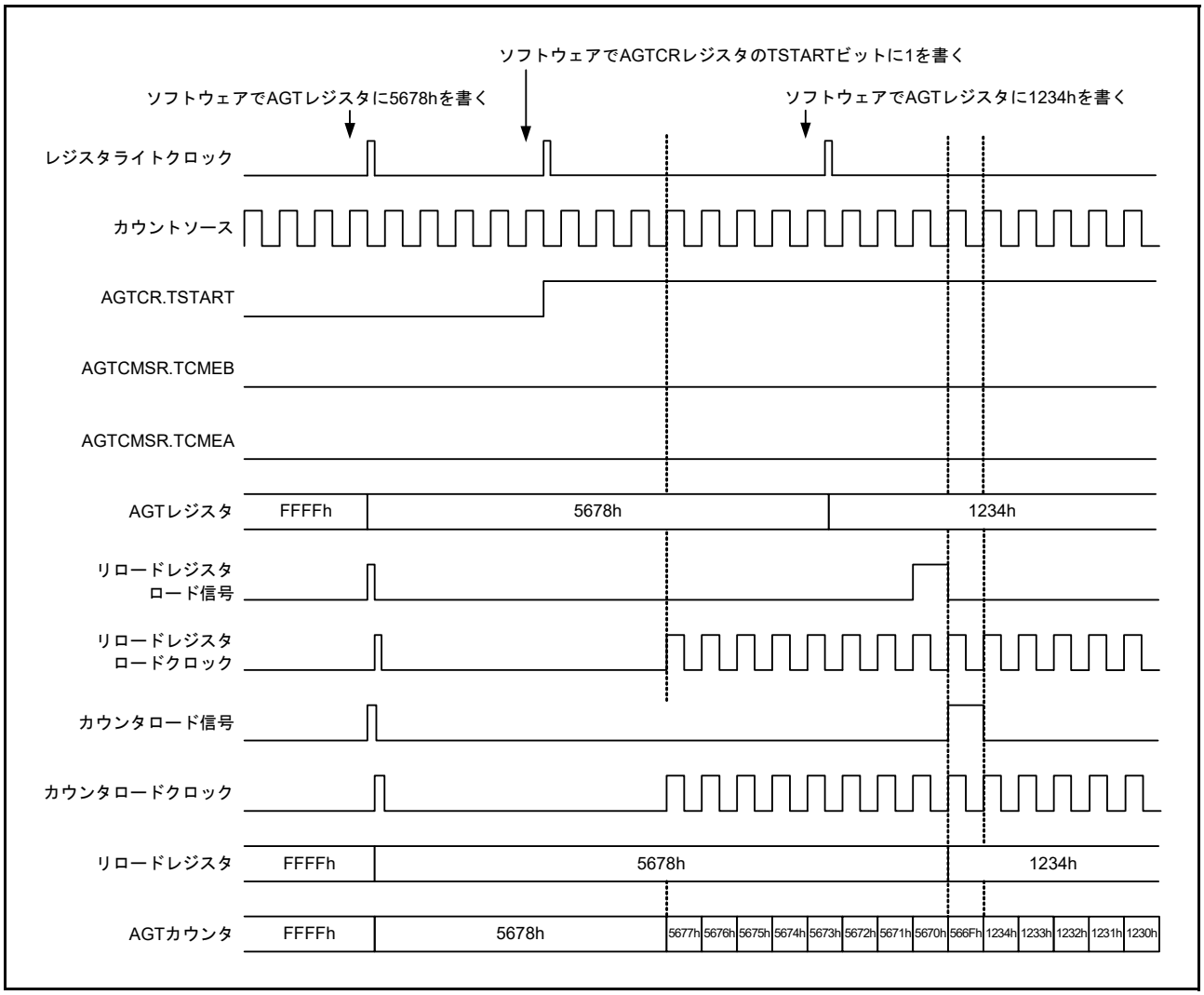


図 25.2 TSTART ビット値および TCMEA または TCMEB ビット値による書き換え動作のタイミング（コンペアマッチレジスタ A または B が無効の場合）

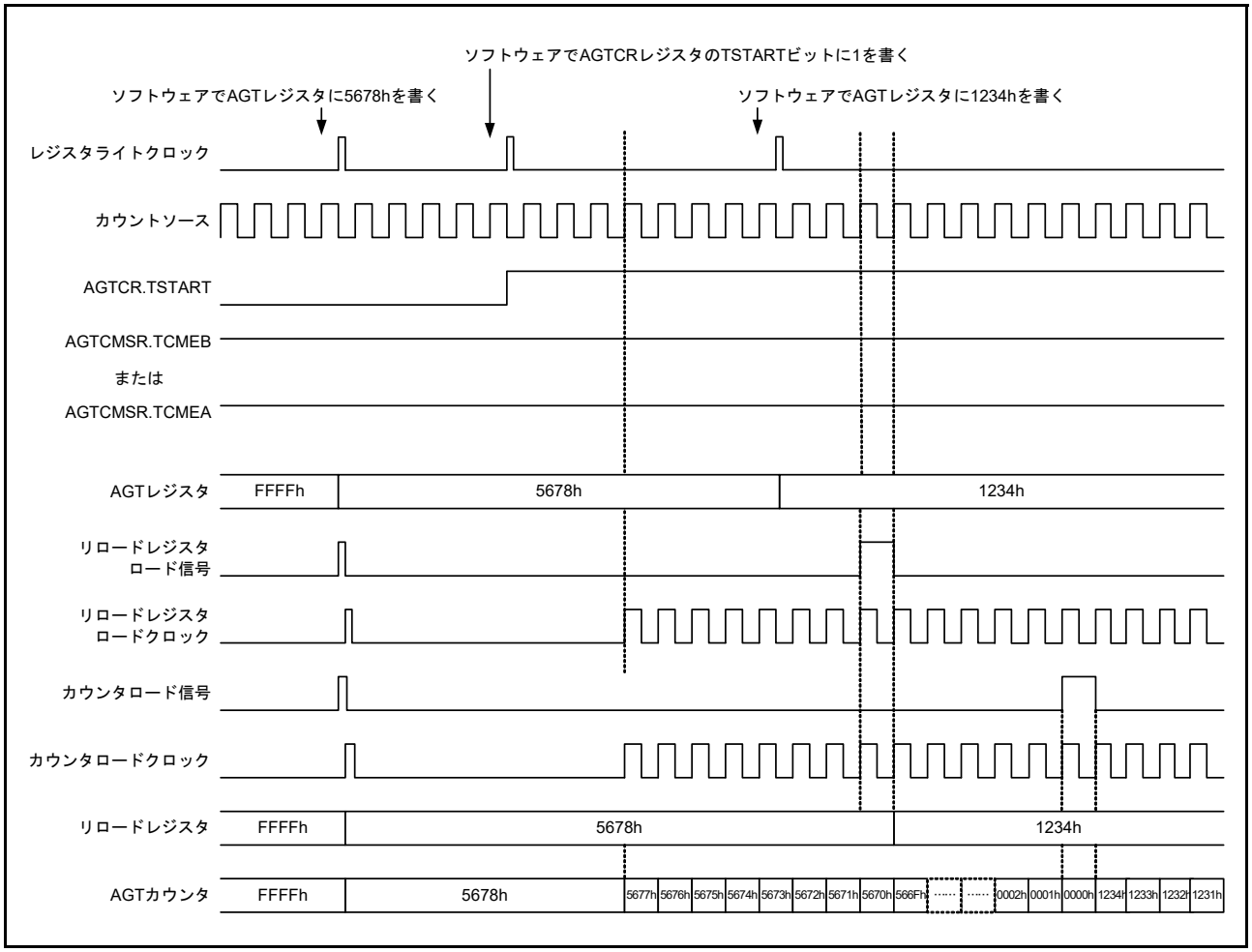


図 25.3 TSTART ビット値および TCMEA または TCMEB ビット値による書き換え動作のタイミング（コンペアマッチレジスタ A または B が有効の場合）

25.3.2 リロードレジスタおよびコンペアレジスタ A/B の書き換え動作

動作モードにかかわらず、コンペアレジスタ A/B への書き換え動作のタイミングは、AGTCR レジスタの TSTART ビット値によって異なります。TSTART ビットが 0（カウント停止）の場合、カウント値がリロードレジスタとコンペアレジスタ A/B に直接書き込まれます。TSTART ビットが 1（カウント開始）の場合、値がカウントソースと同期してリロードレジスタに書き込まれた後、カウンタのアンダーフローと同期してコンペアレジスタに書き込まれます。

TSTART ビット値によるコンペアレジスタ A への書き換え動作のタイミングを図 25.4 に示します。コンペアレジスタ B の場合もコンペアレジスタ A と同じです。

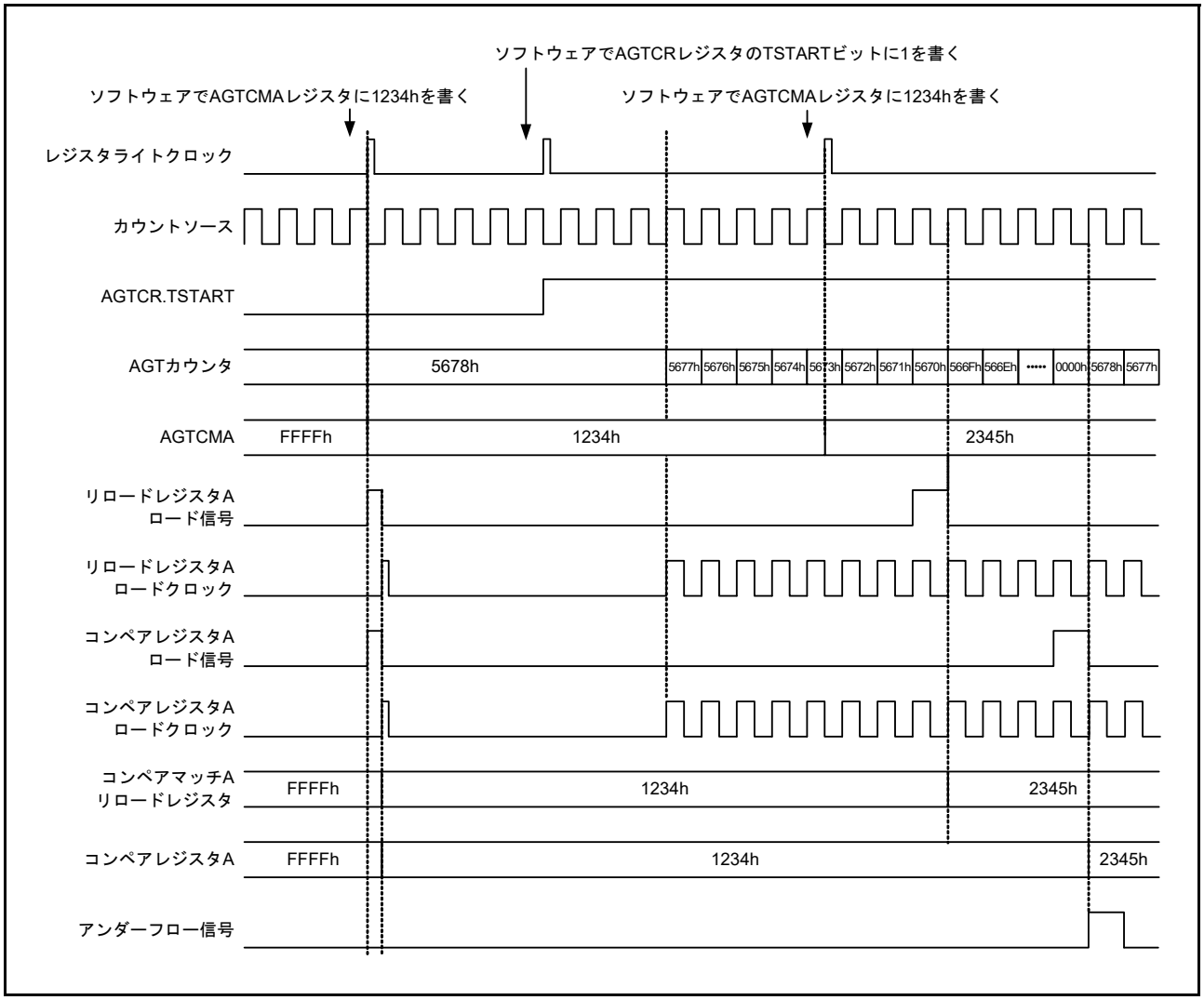


図 25.4 TSTART ビット値による書き換え動作のタイミング（コンペアレジスタ A の場合）

25.3.3 タイマモード

このモードでは、AGT カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。タイマモードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。

タイマモードでの動作例を図 25.5 に示します。

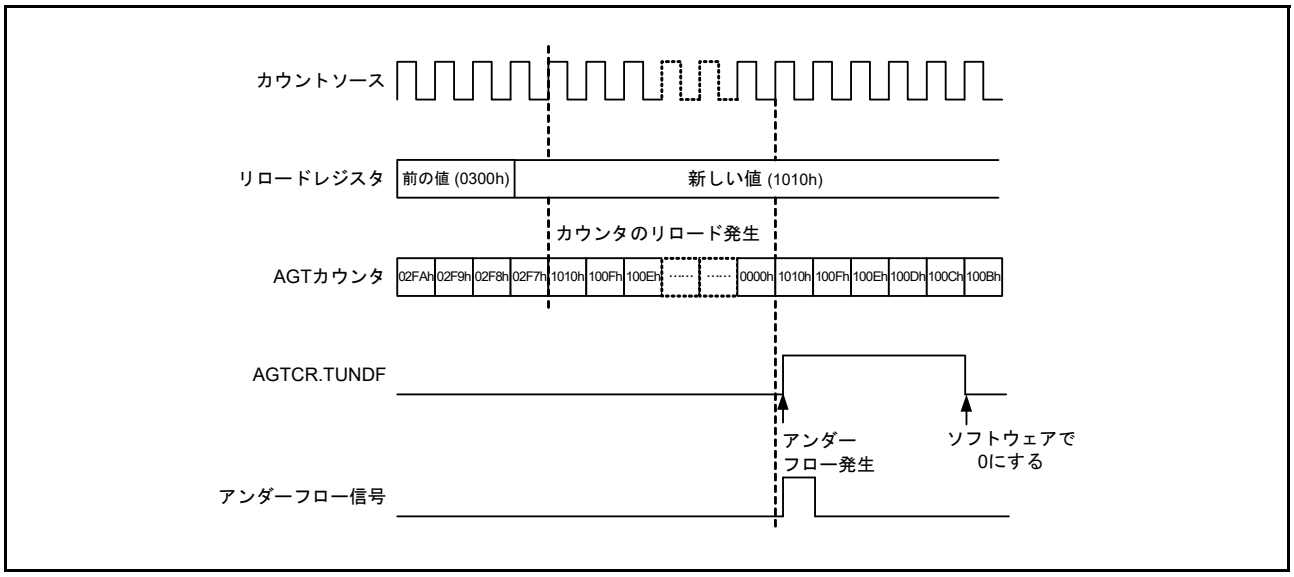


図 25.5 タイマモードでの動作例

25.3.4 パルス出力モード

このモードでは、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントし、アンダーフローが発生するごとに AGTIOn および AGTOn 端子の出力レベルが反転します。

パルス出力モードでは、カウント値がカウントソースの立ち上がりエッジごとに 1 ずつデクリメントします。カウント値が 0000h に達して、次のカウントソースが入力されると、アンダーフローが発生して割り込み要求が生成されます。さらに、AGTIOn および AGTOn 端子からパルスを出力できます。その出力レベルは、アンダーフローが発生するたびに反転します。AGTOn 端子からのパルス出力は、AGTIOC レジスタの TOE ビットで停止できます。出力レベルは、AGTIOC レジスタの TEDGSEL ビットで選択できます。

パルス出力モードでの動作例を図 25.6 に示します。

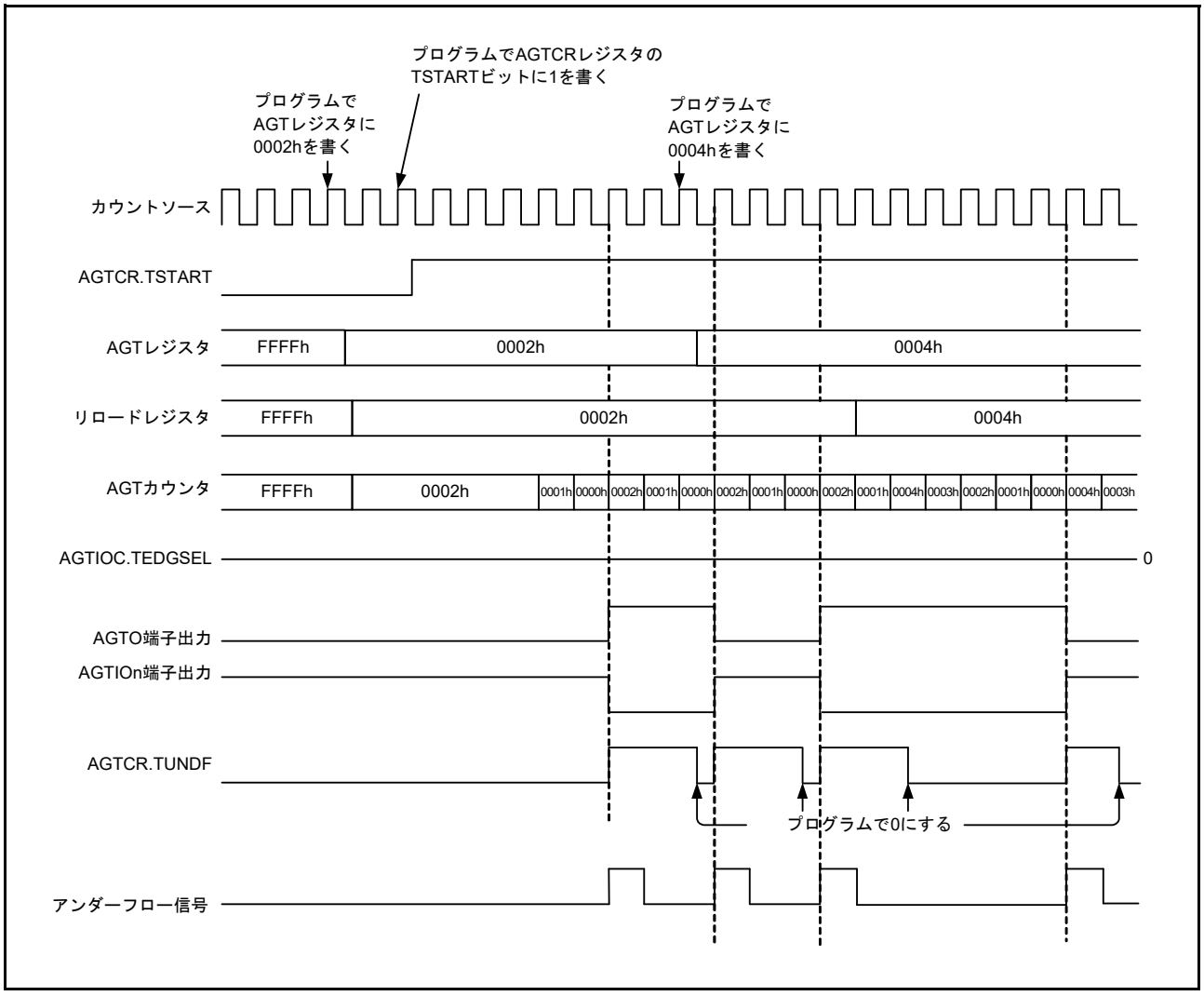


図 25.6 パルス出力モードでの動作例

25.3.5 イベントカウンタモード

このモードでは、カウンタは AGTIOn 端子への外部イベント信号入力によってデクリメントします。イベントをカウントする期間は、AGTIOC レジスタの TIOGT[1:0] ビットと AGTISR レジスタによってさまざまな設定が可能です。さらに、AGTIOC レジスタの TIPF[1:0] ビットによって、AGTIOn 入力用のフィルタ機能を指定できます。イベントカウンタモードでも、AGTOn 端子からトグル出力が可能です。

イベントカウンタモードでの動作例を図 25.7 に示します。

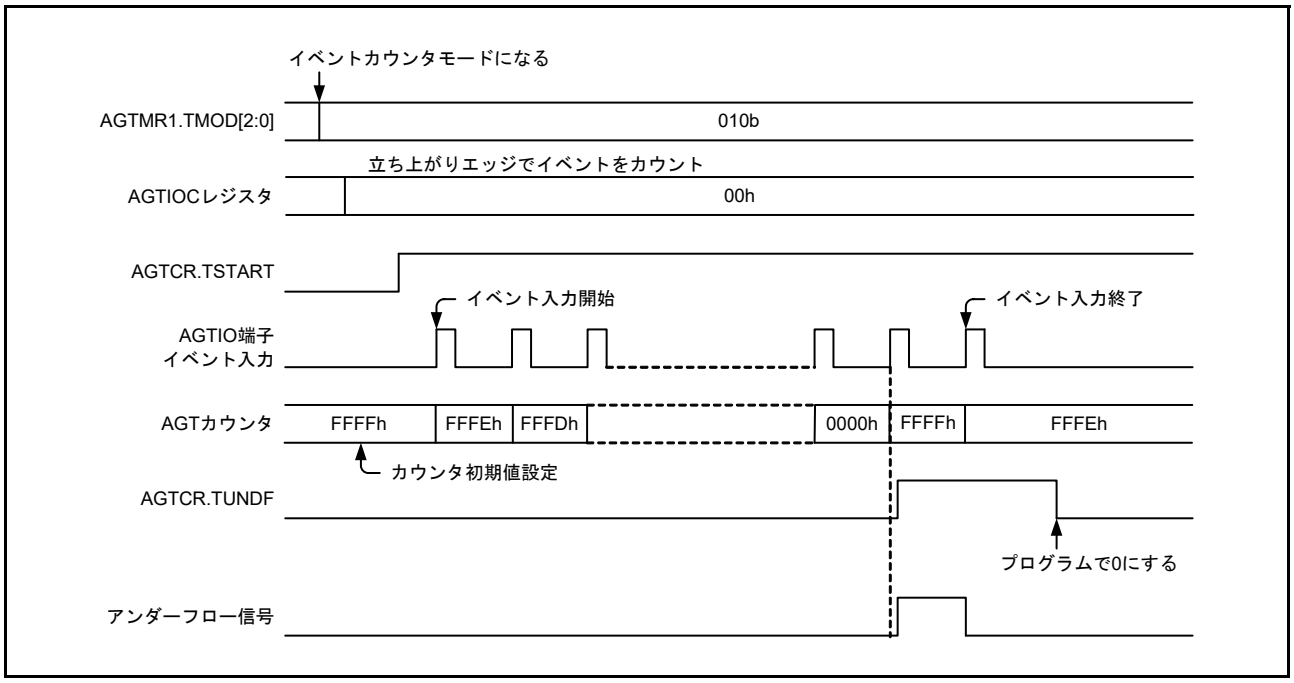
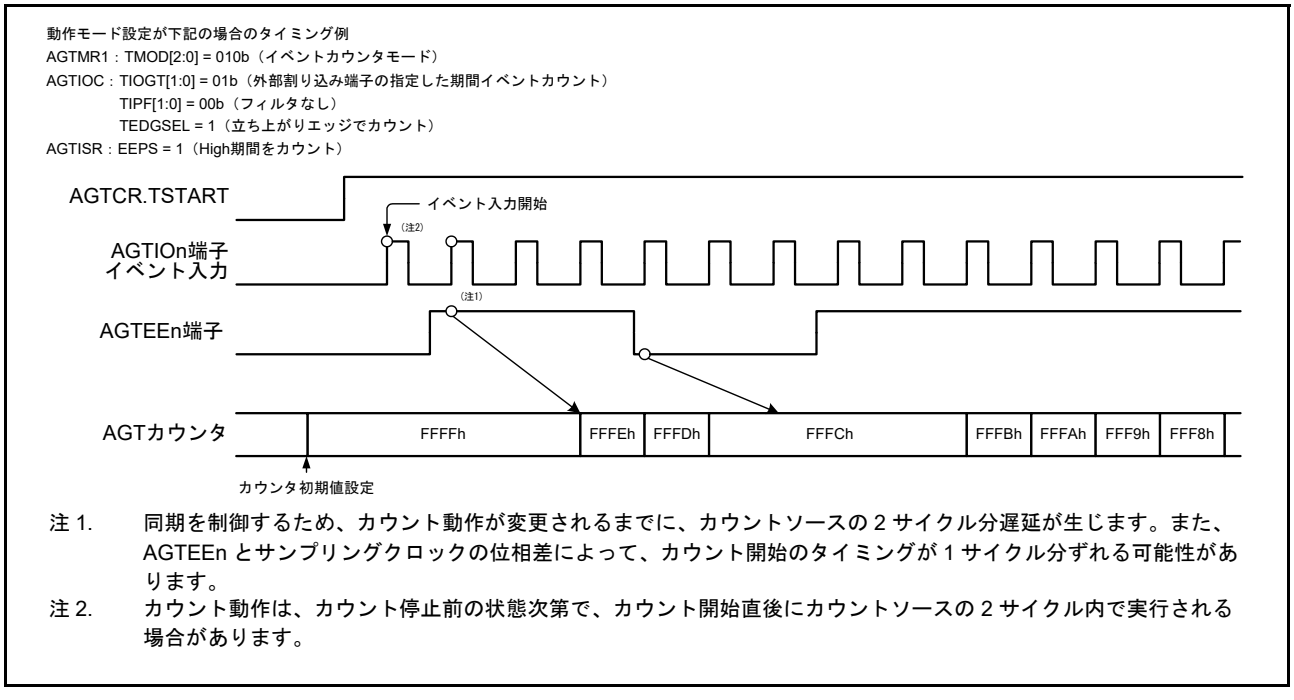


図 25.7 イベントカウンタモードでの動作例 1

イベントカウンタモードの指定期間（AGTIOC レジスタの TIOGT[1:0] ビットが 01b）中の動作例を図 25.8 に示します。



注 1. 同期を制御するため、カウント動作が変更されるまでに、カウントソースの 2 サイクル分遅延が生じます。また、AGTEEn とサンプリングクロックの位相差によって、カウント開始のタイミングが 1 サイクル分ずれる可能性があります。

注 2. カウント動作は、カウント停止前の状態次第で、カウント開始直後にカウントソースの 2 サイクル内で実行される場合があります。

図 25.8 イベントカウンタモードでの動作例 2

25.3.6 パルス幅測定モード

このモードでは、AGTIOn 端子に入力される外部信号のパルス幅を測定します。AGTIOC レジスタの TEDGSEL ビットで指定したレベルが AGTIOn 端子に入力されると、カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。指定した AGTIOn 端子レベルが終了すると、カウンタは停止して、AGTCR レジスタの TEDGF ビットが 1（アクティブエッジ受信）になり、割り込み要求が発生します。カウンタの停止中にカウント値を読み出すことで、パルス幅データが測定されます。また、測定中にカウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1 になり、割り込み要求が発生します。

パルス幅測定モードでの動作例を図 25.9 に示します。

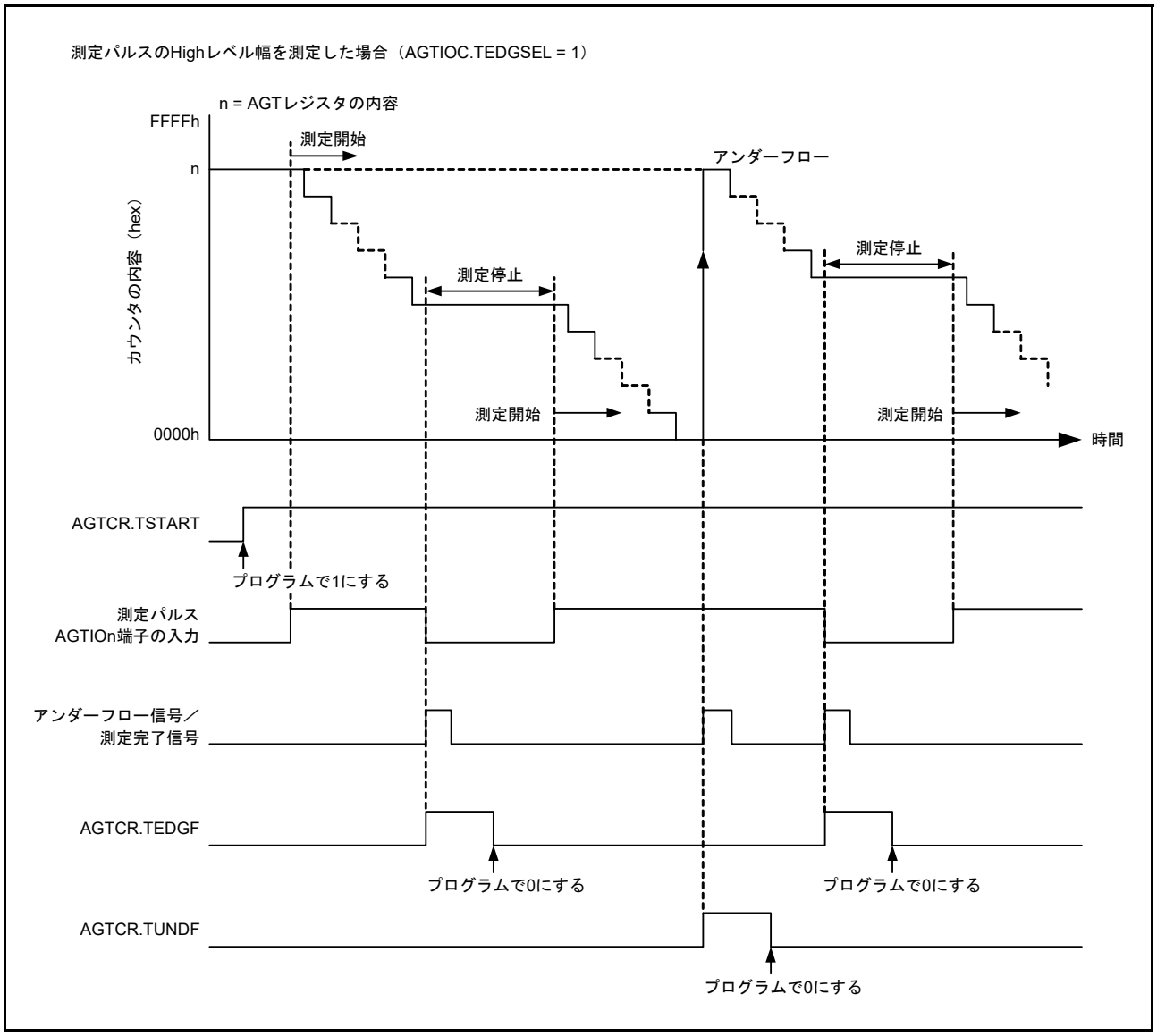


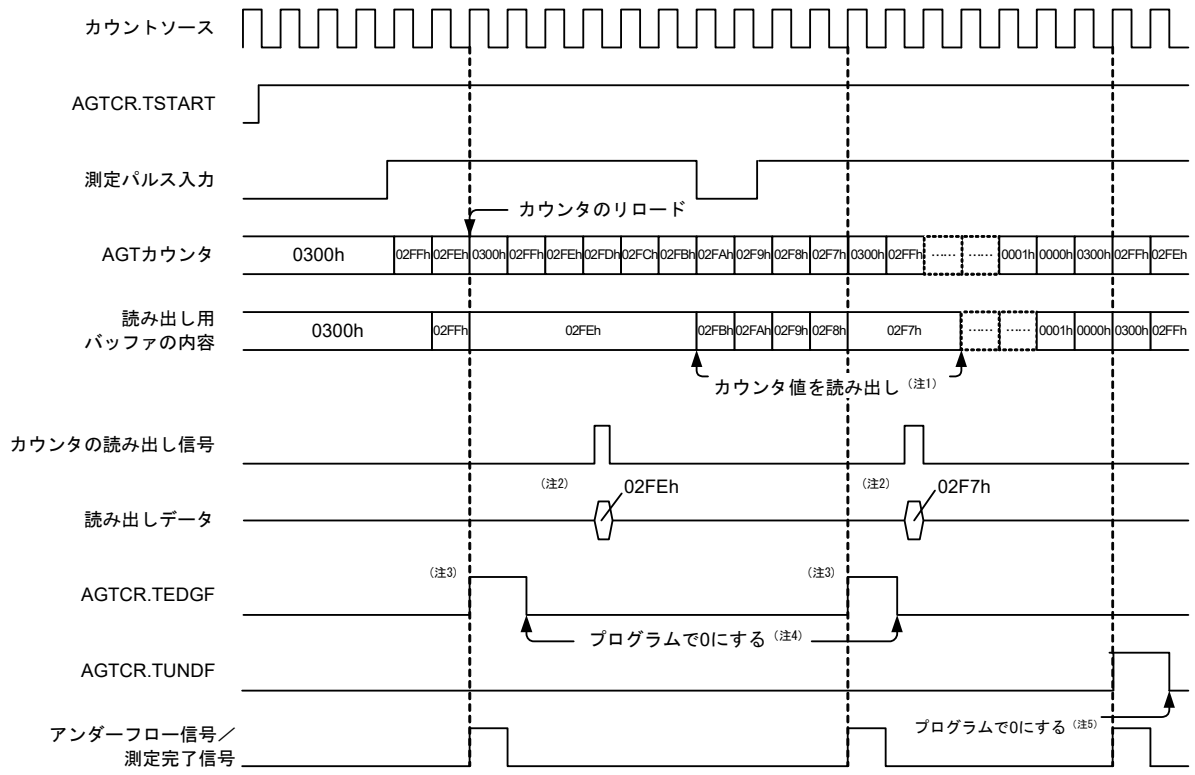
図 25.9 パルス幅測定モードでの動作例

25.3.7 パルス周期測定モード

このモードでは、AGTIOn 端子に入力される外部信号のパルス周期を測定します。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGTIOC レジスタの TEDGSEL ビットで指定した周期のパルスが AGTIOn 端子に入力されると、カウントソースの立ち上がりエッジでカウント値が読み出しバッファに転送されます。リロードレジスタの値は、次の立ち上がりエッジでカウンタにロードされます。同時に、AGTCR レジスタの TEDGF ビットが 1（アクティブエッジ受信）になり、割り込み要求が発生します。この時点で読み出しバッファ（AGT レジスタ）が読み出され、リロード値（25.4.5 イベント番号、パルス幅、およびパルス周期の計算方法を参照）との差が入力パルスの周期データとなります。この周期データは、読み出しバッファが読み出されるまで保持されます。カウンタがアンダーフローすると、AGTCR レジスタの TUNDF ビットが 1（アンダーフロー）になり、割り込み要求が発生します。

パルス周期測定モードでの動作例を図 25.10 に示します。

カウントソース周期の 2 倍よりも長い周期を持つ入力パルスのみが測定されます。また、Low 幅と High 幅は、両方ともカウントソースの周期より長くなければいけません。これらの条件よりも短いパルス周期が入力されると、その入力は無視される場合があります。



AGT レジスタの初期値を0300h とし、AGTIOC レジスタのTEDGSEL ビットを0 にし、測定パルスの立ち上がりまで測定した場合です。

注 1. AGT レジスタの読み出しは、TEDGF ビットが 1（有効エッジあり）になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は、AGT レジスタを読み出すまで保持されます。したがって、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。

注 2. パルス周期測定モードで AGT レジスタを読み出すと、読み出し用バッファの内容が読めます。

注 3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、AGTCR レジスタの TEDGF ビットが 1（有効エッジあり）になります。

注 4. プログラムで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TEDGF ビットに 0 を書いてください。

注 5. プログラムで 0 にするときは、8 ビットメモリ操作命令を用いて AGTCR レジスタの TUNDF ビットに 0 を書いてください。

図 25.10 パルス周期測定モードでの動作例

25.3.8 コンペアマッチ機能

この機能は、AGTCMA/AGTCMB レジスタの内容と AGT レジスタの内容の一致（コンペアマッチ）を検出します。この機能は、AGTCMSR レジスタの TCMEA または TCMEB ビットが 1（コンペアマッチ A/B レジスタが有効）の場合に有効となります。カウンタは AGTMR1 レジスタの TCK[2:0] ビットで選択したカウントソースによってデクリメントします。AGT の値と AGTCMA/AGTCMB の値が一致した場合、AGTCR レジスタの TCMAF/TCMBF ビットが 1（一致）になり、割り込み要求が発生します。

コンペアマッチ機能が有効の場合、リロードレジスタとカウンタでは、書き替え動作のタイミングが異なります。詳細は、25.3.1 リロードレジスタおよびカウンタの書き換え動作を参照してください。また、AGTOAn および AGTOBn 端子の出力レベルは、一致およびアンダーフローによって反転します。出力レベルは、AGTCMSR レジスタの TOPOLA または TOPOLB ビットで選択できます。

コンペアマッチモードでの動作例を図 25.11 に示します。

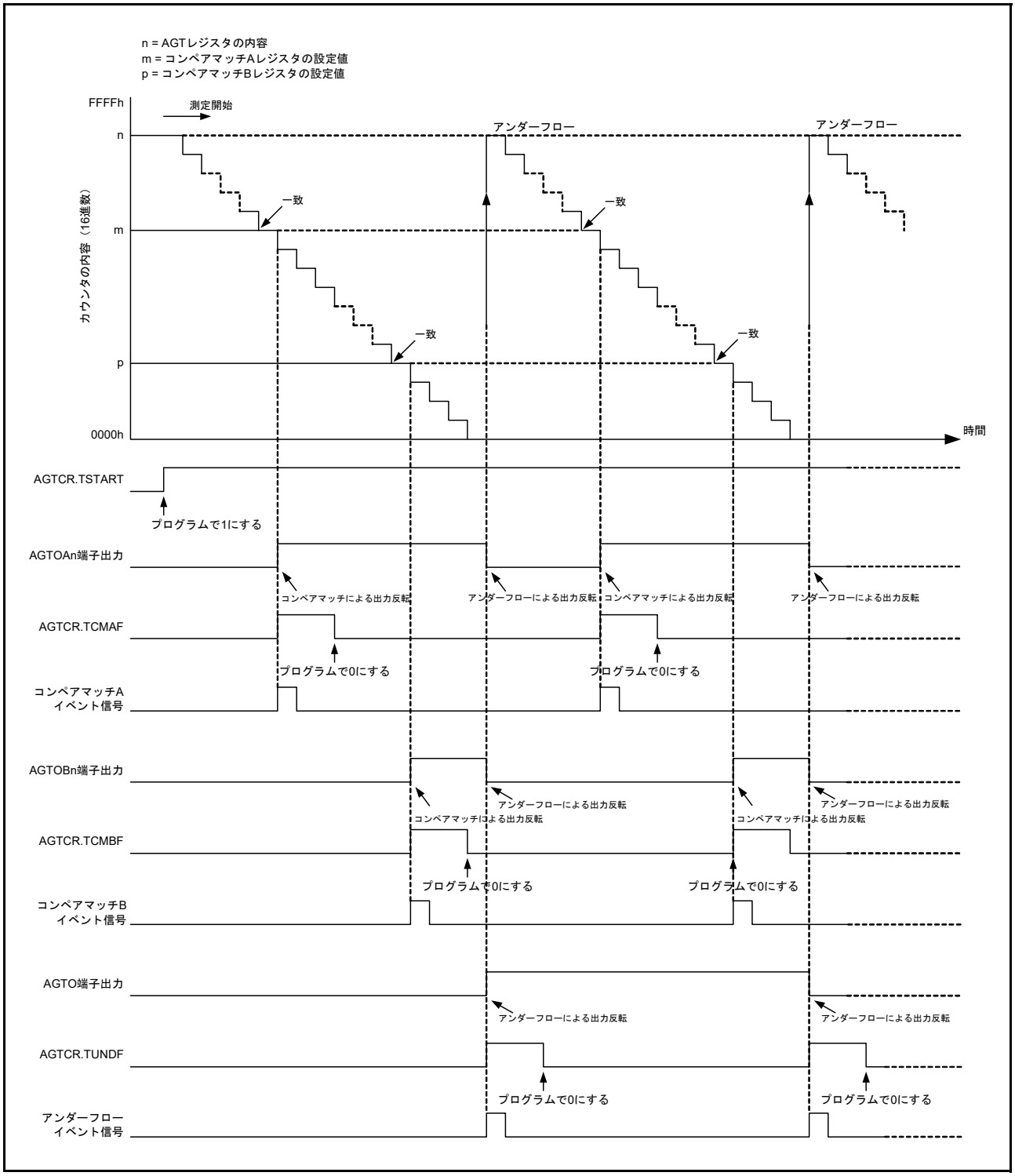


図 25.11　　コンペアマッチモードでの動作例（TOPOLA = 0、TOPOLB = 0）

25.3.9 各モードの出力設定

各モードでの AGTOn、AGTIOn、AGTOAn、および AGTOBn 端子の状態を表 25.5 ～表 25.8 に示します。

表 25.5 AGTOn 端子の設定

動作モード	AGTIOC レジスタ		AGTOn 端子出力
	TOE ビット	TEDGSEL ビット	
全モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止

表 25.6 AGTIOn 端子の設定

動作モード	AGTIOC レジスタ	AGTIOn 端子入出力
	TEDGSEL ビット	
タイマモード	0 または 1	入力 （使用しない）
パルス出力モード	1	通常出力
	0	反転出力
イベントカウンタモード	0 または 1	入力
パルス幅測定モード		
パルス周期測定モード		

表 25.7 AGTOAn 端子の設定

動作モード	AGTCMSR レジスタ		AGTOAn 端子出力
	TOEA ビット	TOPOLA ビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止 （使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止 （使用しない）
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0 または 1	出力禁止 （使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

表 25.8 AGTOBn端子の設定

動作モード	AGTCMSRレジスタ		AGTOBn端子出力
	TOEBビット	TOPOLBビット	
タイマモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 （使用しない）
パルス出力モード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 （使用しない）
イベントカウンタモード	1	1	反転出力
		0	通常出力
	0	0または1	出力禁止 （使用しない）
パルス幅測定モード	0	0	禁止
パルス周期測定モード			

25.3.10 スタンバイモード

AGT はソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで動作可能です。カウント動作開始（TSTART = 1 および TCSTF = 1）の状態で、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードに設定してください。

ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで使用可能な設定を表 25.9 および表 25.10 に示します。

表 25.9 ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで使用可能なAGT0の設定

動作モード	AGTMR1 レジスタの TCK[2:0] ビット	動作クロック	CPUの回復要因
タイマモード	100bまたは110b	AGTLCLKまたはAGTSCLK	—
パルス出力モード	100bまたは110b	AGTLCLKまたはAGTSCLK	—
イベントカウンタモード	–（無効）	AGTIOn	—
パルス幅測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	—
パルス周期測定モード	100bまたは110b	AGTLCLKまたはAGTSCLK	—

表 25.10 ソフトウェアスタンバイモードとディープソフトウェアスタンバイモードで使用可能なAGT1の設定

動作モード	AGTMR1 レジスタの TCK[2:0] ビット	動作クロック	CPUの回復要因
タイマモード	100b、110b、または101b（注1）	AGTLCLK、AGTSCLK、またはAGT0アンダーフロー	• アンダーフロー • コンペアマッチA/B
パルス出力モード	100b、110b、または101b（注1）	AGTLCLK、AGTSCLK、またはAGT0アンダーフロー	• アンダーフロー • コンペアマッチA/B
イベントカウンタモード	–（無効）	AGTIOn	• アンダーフロー • コンペアマッチA/B
パルス幅測定モード	100b、110b、または101b（注1）	AGTLCLK、AGTSCLK、またはAGT0アンダーフロー	• アンダーフロー • アクティブエッジ
パルス周期測定モード	100b、110b、または101b（注1）	AGTLCLK、AGTSCLK、またはAGT0アンダーフロー	• アンダーフロー • アクティブエッジ

注 . ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードの解除は AGT1 のみです。
注 1. AGT0 が表 25.9 の状態で動作している場合のみ。

25.3.11 割り込み要因

AGT には、表 25.11 に示すように 3 種類の割り込み要因があります。

表 25.11 AGTの割り込み要因

名称	割り込み要因	DMAC/DTCの起動
AGTn_AGTI	• カウンタがアンダーフローしたとき • 外部入力（AGTIO）のアクティブ幅の測定がパルス幅測定モードで終了したとき • 外部入力（AGTIO）の設定エッジがパルス周期測定モードで入力されたとき	可能
AGTn_AGTCMAI	AGTとAGTCMAの値が一致したとき	可能
AGTn_AGTCMBI	AGTとAGTCMBの値が一致したとき	可能

注 . チャネル番号 n = 0 または 1

25.3.12 イベントリンクコントローラ（ELC）への出力

AGT は ELC を用いて、割り込み要求信号をイベント信号として使用することにより、指定したモジュールに対してリンク動作が可能です。AGT は、コンペアマッチ A、コンペアマッチ B、およびアンダーフロー／測定完了信号をイベント信号として出力します。詳細は、「19. イベントリンクコントローラ（ELC）」を参照してください。

25.4 使用上の注意事項

25.4.1 カウント動作の開始および停止制御

- 動作モード（表 25.1 参照）がイベントカウンタモード以外に設定されている場合、またはカウントソースが AGT0 アンダーフロー（TCK[2:0] = 101b）以外に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF ビットは、カウントソースの 3 サイクル間、0（カウント停止）のままです。TCSTF ビットが 1（カウント動作中）になるまで、TCSTF ビット以外の AGT 関連レジスタ（注 1）にはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、カウントソースの 3 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ（注 1）にはアクセスしないでください。
  - TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

注 1. AGT 関連レジスタ：AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

- 動作モード（表 25.1 参照）がイベントカウンタモードに設定されている場合、またはカウントソースが AGT0 アンダーフロー（TCK[2:0] = 101b）に設定されている場合
  - カウント停止中に AGTCR レジスタの TSTART ビットに 1（カウント開始）を書き込んでも、AGTCR レジスタの TCSTF ビットは、PCLKB の 2 サイクル間、0（カウント停止）のままです。TCSTF ビットが 1（カウント動作中）になるまで、TCSTF ビット以外の AGT 関連レジスタ（注 1）にはアクセスしないでください。
  - カウント動作中に TSTART ビットに 0（カウント停止）を書き込んでも、PCLKB の 2 サイクル中は、TCSTF ビットは 1 のままです。TCSTF ビットが 0 になったとき、カウントが停止します。TCSTF ビットが 0 になるまで、TCSTF ビット以外の AGT 関連レジスタ（注 1）にはアクセスしないでください。
  - TSTART ビットを 0 から 1 に変更する前に、割り込みレジスタをクリアしてください。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

注 1. AGT 関連レジスタ：AGT、AGTCMA、AGTCMB、AGTCR、AGTMR1、AGTMR2、AGTIOC、AGTISR、および AGTCMSR

25.4.2 カウンタレジスタへのアクセス

AGTCR レジスタの TSTART および TCSTF ビットがともに 1（カウント開始）の場合、AGT レジスタへ連続して書き込むときの書き込み間隔には、少なくともカウントソースクロックの 3 サイクル分の余裕が必要です。

25.4.3 モード変更時

AGT の動作モードに関連するレジスタ（AGTMR1、AGTMR2、AGTIOC、AGTISR、AGTCMSR、および AGTIOC）は、TSTART および TCSTF ビットがともに 0（カウント停止）になって、カウントが停止した場合にのみ変更可能です。カウント動作中は、これらのレジスタを変更しないでください。

AGT の動作モードに関連するレジスタが変更されると、TEDGF、TUNDF、TCMAF、および TCMBF ビットの値は不定となります。カウントを開始する前に、以下のビットに 0 を書き込んでください。

- TEDGF（アクティブエッジ未受信）
- TUNDF（アンダーフローなし）
- TCMAF（不一致）
- TCMBF（不一致）

25.4.4 デジタルフィルタ

デジタルフィルタの使用時に、TIPF[1:0] ビットを設定した後、および AGTIOC レジスタの TEDGSEL ビットを変更した場合は、デジタルフィルタクロックの 5 サイクル内はタイマ動作を開始しないでください。

25.4.5 イベント番号、パルス幅、およびパルス周期の計算方法

- イベントカウントモードでは、イベント番号が以下のように計算されます。
  イベント番号 = カウンタ［AGT レジスタ］の初期値 − アクティブイベント終了のカウンタ値
- パルス幅測定モードでは、パルス幅が以下のように計算されます。
  パルス幅 = 測定停止のカウンタ値 − 次の測定停止のカウンタ値
- パルス周期測定モードでは、入力パルス周期が以下のように計算されます。
  入力パルス周期 =（カウンタ［AGT レジスタ］の初期値 − 読み出しバッファの読み出し値）+ 1

25.4.6 TSTOP ビットで強制的にカウントを停止した場合

AGTCR レジスタの TSTOP ビットでカウンタを強制的に停止した後、カウントソースの 1 サイクル間、下記の I/O レジスタにアクセスしないでください。

- AGT
- AGTCMA
- AGTCMB
- AGTCR
- AGTMR1
- AGTMR2

25.4.7 カウントソースとして AGT0 アンダーフローを選択した場合

カウントソースとして AGT のアンダーフロー信号を選択した場合、以下の手順に従って AGT を操作してください。

(1) 動作開始手順

1. AGT0 および AGT1 を設定します。
2. AGT1 のカウント動作を開始します。
3. AGT0 のカウント動作を開始します。

(2) 動作停止手順

1. AGT0 のカウント動作を停止します。
2. AGT1 のカウント動作を停止します。
3. AGT1 のカウントソースクロックを停止します（AGT1.AGTMR1.TCK[2:0] ビットに 000b を書き込む）。

25.4.8 I/O レジスタのリセット

AGT の I/O レジスタは、リセットの種類によっては初期化されません。詳細は、「6. リセット」を参照してください。

25.4.9 カウントソースに PCLKB、PCLKB/8、または PCLKB/2 を選択した場合

リセット発生後、AGT の動作は保証されません。AGT 関連レジスタを再設定してください。

25.4.10 カウントソースに AGTSCLK または AGTLCLK を選択した場合

MSTPCRD レジスタの MSTPD2 ビットは、AGT1 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPCRD レジスタの MSTPD3 ビットは、AGT0 レジスタにアクセスする場合を除き、1 にする必要があります。MSTPD2 または MSTPD3 ビットが 0 の状態でリセットが発生した場合、AGT1 または AGT0 の動作は保証されません。AGT 関連レジスタを再設定してください。

26. リアルタイムクロック（RTC）

26.1 概要

リアルタイムクロック（RTC）には、カレンダカウントモードとバイナリカウントモードの 2 種類のカウントモードがあり、レジスタ設定を切り替えることで使用します。カレンダカウントモードは、2000 年から 2099 年の 100 年間を、うるう年を自動で判定してカウントするモードです。バイナリカウントモードでは、RTC は秒をカウントし、その情報をシリアル値として保持します。バイナリカウントモードは、西暦以外のカレンダに利用可能です。

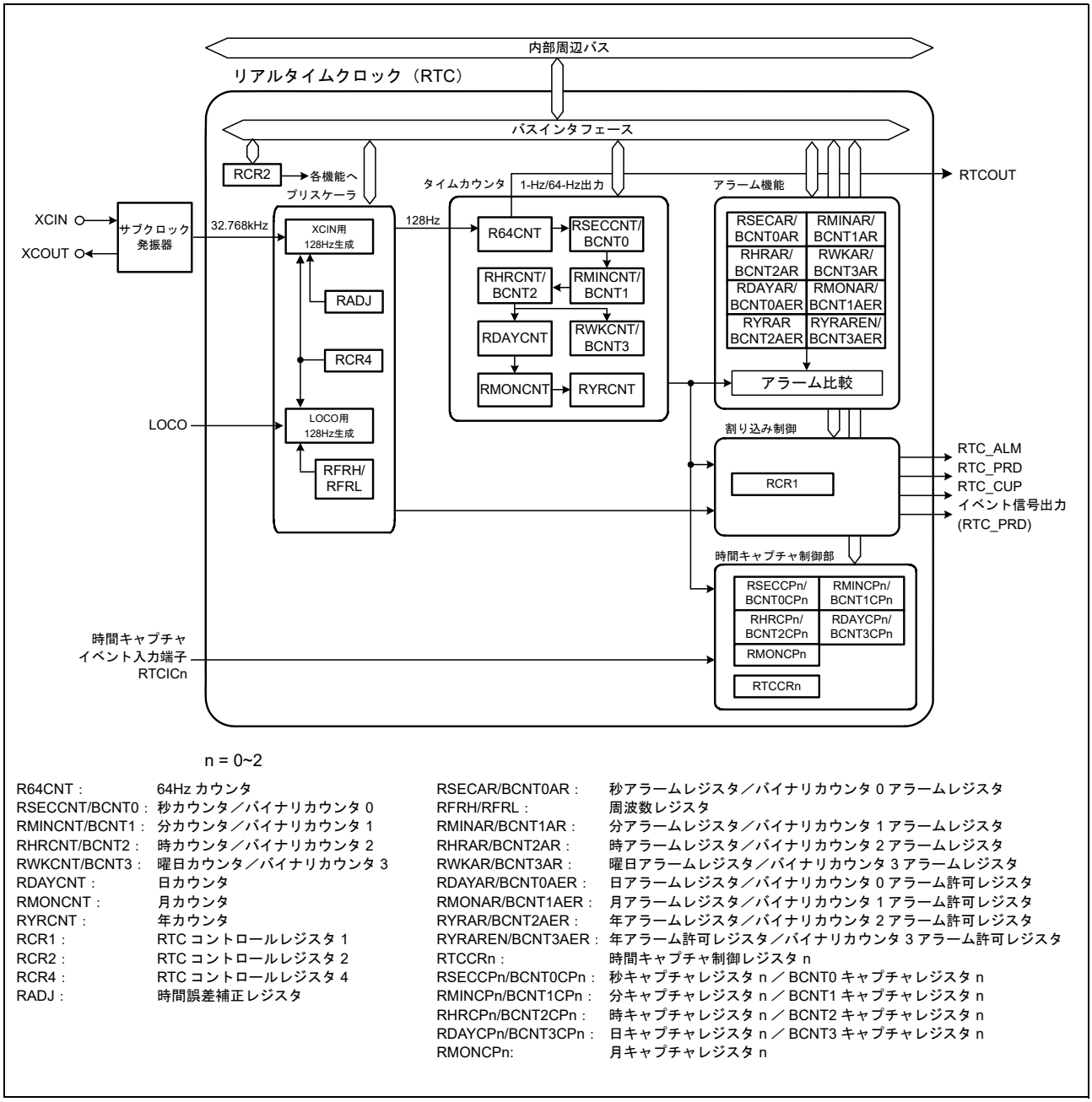
時計カウンタのカウントソースとして、サブクロック発振器または LOCO を選択できます。RTC は、カウントソースをプリスケーラで分周して得られた 128Hz クロックを使用します。年、月、日、曜日、午前／午後（12 時間モード時）、時、分、秒、または 32 ビットバイナリを 1/128 秒単位でカウントします。

表 26.1 に RTC の仕様を、図 26.1 にブロック図を、表 26.2 に入出力端子を示します。

表 26.1 RTCの仕様

項目	内容
カウントモード	カレンダカウントモード／バイナリカウントモード
カウントソース（注1）	サブクロック発振器（XCIN）またはLOCO
時計／カレンダ機能	• カレンダカウントモード 年、月、日、曜日、時、分、秒をカウント、BCD表示 12時間／24時間モード切り替え機能 30秒調整機能（30秒未満は00秒に切り捨て、30秒以上は1分に切り上げ） うるう年自動補正機能 • バイナリカウントモード 秒を32ビットでカウント、バイナリ表示 • 両モード共通 スタート／ストップ機能 秒以下の桁のバイナリ表示（1Hz、2Hz、4Hz、8Hz、16Hz、32Hz、64Hz） 時計誤差補正機能 クロック（1Hz/64Hz）出力
割り込み	• アラーム割り込み（RTC_ALM） アラーム割り込み条件として、比較対象を下記から選択可能 カレンダカウントモード：年、月、日、曜日、時、分、秒 バイナリカウントモード：32ビットバイナリカウンタの各ビット • 周期割り込み（RTC_PRD） 割り込み周期として、2秒、1秒、1/2秒、1/4秒、1/8秒、1/16秒、1/32秒、1/64秒、1/128秒、1/256秒から選択可能 • 桁上げ割り込み（RTC_CUP） 次のいずれかの条件で割り込み発生 • 64Hzカウンタから秒カウンタへ桁上げが生じたとき • 64Hzカウンタの変化とR64CNTレジスタの読み出しタイミングが重なったとき • アラーム割り込みまたは周期割り込みによる、ソフトウェアスタンバイモードまたはディープソフトウェアスタンバイモードからの復帰が可能
時間キャプチャ機能	• 時間キャプチャイベント入力端子のエッジ検出時に、時間のキャプチャが可能 イベント入力ごとに、月、日、時、分、および秒をキャプチャ、または32ビットバイナリカウンタ値をキャプチャ
イベントリンク機能	周期イベント出力（RTC_PRD）

注 1. 周辺モジュールクロック（PCLKB）周波数≧カウントソースクロック周波数となるように設定してください。



n = 0~2

R64CNT： 64Hz カウンタ
RSECCNT/BCNT0： 秒カウンタ／バイナリカウンタ 0
RMINCNT/BCNT1： 分カウンタ／バイナリカウンタ 1
RHRCNT/BCNT2： 時カウンタ／バイナリカウンタ 2
RWKCNT/BCNT3： 曜日カウンタ／バイナリカウンタ 3
RDAYCNT： 日カウンタ
RMONCNT： 月カウンタ
RYRCNT： 年カウンタ
RCR1： RTC コントロールレジスタ 1
RCR2： RTC コントロールレジスタ 2
RCR4： RTC コントロールレジスタ 4
RADJ： 時間誤差補正レジスタ

RSECAR/BCNT0AR： 秒アラームレジスタ／バイナリカウンタ 0 アラームレジスタ
RFRH/RFRL： 周波数レジスタ
RMINAR/BCNT1AR： 分アラームレジスタ／バイナリカウンタ 1 アラームレジスタ
RHRAR/BCNT2AR： 時アラームレジスタ／バイナリカウンタ 2 アラームレジスタ
RWKAR/BCNT3AR： 曜日アラームレジスタ／バイナリカウンタ 3 アラームレジスタ
RDAYAR/BCNT0AER： 日アラームレジスタ／バイナリカウンタ 0 アラーム許可レジスタ
RMONAR/BCNT1AER： 月アラームレジスタ／バイナリカウンタ 1 アラーム許可レジスタ
RYRAR/BCNT2AER： 年アラームレジスタ／バイナリカウンタ 2 アラーム許可レジスタ
RYRAREN/BCNT3AER： 年アラーム許可レジスタ／バイナリカウンタ 3 アラーム許可レジスタ
RTCCRn： 時間キャプチャ制御レジスタ n
RSECCPn/BCNT0CPn： 秒キャプチャレジスタ n ／ BCNT0 キャプチャレジスタ n
RMINCPn/BCNT1CPn： 分キャプチャレジスタ n ／ BCNT1 キャプチャレジスタ n
RHRCPn/BCNT2CPn： 時キャプチャレジスタ n ／ BCNT2 キャプチャレジスタ n
RDAYCPn/BCNT3CPn： 日キャプチャレジスタ n ／ BCNT3 キャプチャレジスタ n
RMONCPn: 月キャプチャレジスタ n

図 26.1 RTC のブロック図

表 26.2 RTCの入出力端子

端子名	入出力	機能
XCIN	入力	32.768kHzの水晶振動子を接続します。
XCOUT	出力	
RTCOUT	出力	1Hz/64Hzの波形出力に使用します。ただし、ディープソフトウェアスタンバイモード時には出力しません。
RTCIC0	入力	時間キャプチャイベント入力端子です。 RTCIC0～RTCIC2は、VBTICTLRレジスタで制御できます。 詳細については、「12. バッテリバックアップ機能」と「20. I/Oポート」を参照してください。
RTCIC1	入力	
RTCIC2	入力	

26.2 レジスタの説明

RTC レジスタの書き込み／読み出しは、26.6.5 レジスタの書き込み／読み出し時の注意事項に従って行ってください。

RTC レジスタのビットで、リセット後の値が x（不定）のビットは、リセットでは初期化されません。カウント動作時（たとえば RCR2.START ビットが 1 のとき）に、RTC がリセット状態または低消費電力状態へ遷移した場合、年／月／曜日／日／時／分／秒／ 64Hz カウンタは動作を継続します。

注 . レジスタへの書き込み中にリセットが発生すると、レジスタ値が破壊される可能性があります。また、レジスタ設定直後にソフトウェアスタンバイモードやディープソフトウェアスタンバイモードへ遷移しないでください。詳細は、26.6.4 レジスタ設定後の低消費電力モードへの遷移についてを参照してください。

26.2.1 64Hz カウンタ（R64CNT）

アドレス RTC.R64CNT 4004 4000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	F1HZ	F2HZ	F4HZ	F8HZ	F16HZ	F32HZ	F64HZ
リセット後の値	0	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	F64HZ	64Hz	秒以下の桁の 1Hz～64Hz の状態を示します。	R
b1	F32HZ	32Hz		R
b2	F16HZ	16Hz		R
b3	F8HZ	8Hz		R
b4	F4HZ	4Hz		R
b5	F2HZ	2Hz		R
b6	F1HZ	1Hz		R
b7	—	予約ビット	読むと 0 が読めます。	R

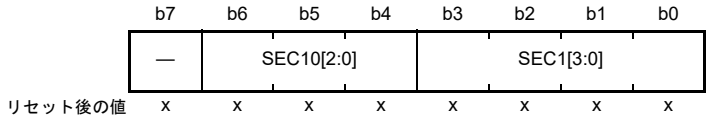
R64CNT カウンタは、カレンダカウントモード／バイナリカウントモード共通で使用します。64Hz カウンタ（R64CNT）は、128Hz クロックでアップカウントするカウンタで、秒周期を生成します。このカウンタを読み出すことで、秒以下の領域の状態を確認できます。

このカウンタは、RTC ソフトウェアリセットまたは 30 秒調整によって 00h になります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.2 秒カウンタ（RSECCNT）／バイナリカウンタ 0（BCNT0）

(1) カレンダカウントモード時

アドレス RTC.RSECCNT 4004 4002h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒カウント	1秒ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	SEC10[2:0]	10秒カウント	0から5までカウントして、60秒カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

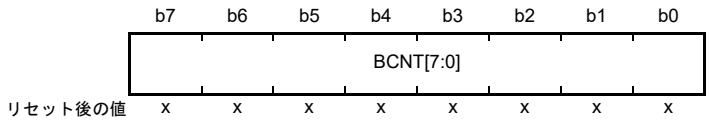
RSECCNT カウンタは、BCD コード化された秒の値の設定およびカウントに用いられます。64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。

設定可能範囲は 10 進で 00 ～ 59 です。これ以外の値が設定されると、RTC は正常に動作しません。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。

このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0 4004 4002h



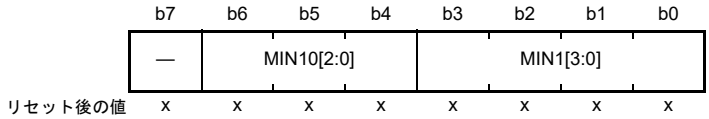
x：不定

BCNT0 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b7 ～ b0 で、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.3 分カウンタ（RMINCNT）／バイナリカウンタ 1（BCNT1）

(1) カレンダカウントモード時

アドレス RTC.RMINCNT 4004 4004h



x：不定

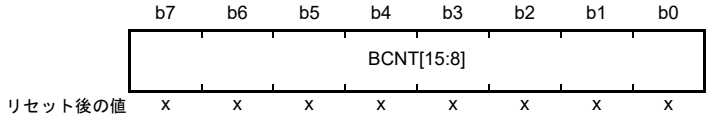
ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分カウント	1分ごとに0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b6-b4	MIN10[2:0]	10分カウント	0から5までカウントして、60分カウントを行います。	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RMINCNT カウンタは、BCD コード化された分の値の設定およびカウントに用いられます。秒カウンタの 1 分ごとの桁上げによってカウント動作を行います。

設定可能範囲は 10 進（BCD）で 00 ～ 59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT1 4004 4004h



x：不定

BCNT1 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b15 ～ b8 で、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.4 時カウンタ（RHRCNT）／バイナリカウンタ 2（BCNT2）

(1) カレンダカウントモード時

アドレス RTC.RHRCNT 4004 4006h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PM	HR10[1:0]		HR1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間カウント	1時間に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	HR10[1:0]	10時間カウント	一の位からの桁上げごとに1回、0から2までカウントします。	R/W
b6	PM	PM	時計カウンタの設定に対するAM/PMの選択 0：午前 1：午後	R/W
b7	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RHRCNT カウンタは、BCD コード化された時間の値の設定およびカウントに用いられます。分カウンタの 1 時間ごとの桁上げによってカウント動作を行います。設定可能範囲は、時間モードビット（RCR2.HR24）の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ～ 11（BCD）
- RCR2.HR24 ビットが 1 の場合、00 ～ 23（BCD）

この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。PM ビットは、RCR2.HR24 ビットが 0 の場合にのみ有効です。それ以外では、PM ビットの値は無効です。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT2 4004 4006h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNT[23:16]							
リセット後の値	x	x	x	x	x	x	x	x

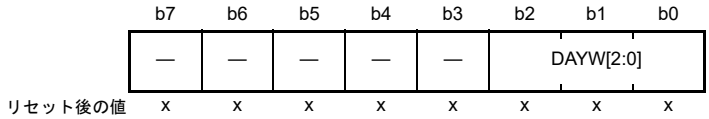
x：不定

BCNT2 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b23 ～ b16 で、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.5 曜日カウンタ（RWKCNT）／バイナリカウンタ 3（BCNT3）

(1) カレンダカウントモード時

アドレス RTC.RWKCNT 4004 4008h



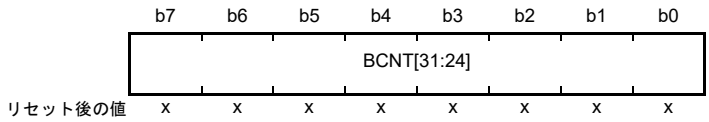
x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日カウント	b2 b1 b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定禁止	R/W
b7-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W

RWKCNT カウンタは、コード化された曜日の値の設定およびカウントに用いられます。時カウンタの 1 日ごとの桁上げによってカウント動作を行います。設定可能範囲は 0 ～ 6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT3 4004 4008h



x：不定

BCNT3 は、書き込み／読み出し可能な 32 ビットバイナリカウンタの b31 ～ b24 で、64Hz カウンタの 1 秒ごとの桁上げによってカウント動作を行います。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.6 日カウンタ（RDAYCNT）

アドレス RTC.RDAYCNT 4004 400Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DATE10[1:0]		DATE1[3:0]			
リセット後の値	0	0	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日カウント	1日に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b5-b4	DATE10[1:0]	10日カウント	一の位からの桁上げごとに1回、0から3までカウントします。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDAYCNT カウンタは、カレンダカウントモード時に使用します。RDAYCNT カウンタは、BCD コード化された日の値の設定およびカウントに用いられます。時カウンタの 1 日ごとの桁上げによってカウント動作を行います。カウント動作は、月によっても、うるう年か否かによっても異なります。うるう年は、年カウンタ（RYRCNT）の値が 400、100、および 4 で割り切れるか否かで判定されます。

設定可能範囲は 10 進（BCD）で 01 ～ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。値を設定する際は、指定可能な日数範囲が月によっても、うるう年か否かによっても異なるので注意してください。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5　64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.7 月カウンタ（RMONCNT）

アドレス RTC.RMONCNT 4004 400Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
リセット後の値	0	0	0	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月カウント	1月に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b4	MON10	10月カウント	一の位からの桁上げごとに1回、0から1までカウントします。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMONCNT カウンタは、カレンダカウントモード時に使用します。RMONCNT カウンタは、BCD コード化された月の値の設定およびカウントに用いられます。日カウンタの 1 月ごとの桁上げによってカウント動作を行います。

設定可能範囲は 10 進（BCD）で 01 ～ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5　64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.8 年カウンタ（RYRCNT）

アドレス RTC.RYRCNT 4004 400Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年カウント	1年に1回、0から9までカウントします。桁上げが生じると、十の位が+1されます。	R/W
b7-b4	YR10[3:0]	10年カウント	一の位からの桁上げごとに1回、0から9までカウントします。 十の位に桁上げが生じると、百の位が+1されます。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

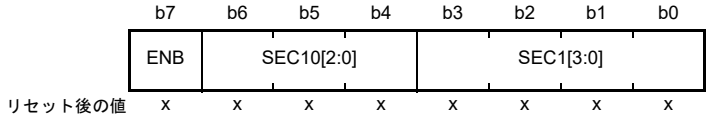
RYRCNT カウンタは、カレンダカウントモード時に使用します。RYRCNT カウンタは、BCD コード化された年の値の設定およびカウントに用いられます。月カウンタの 1 年ごとの桁上げによってカウント動作を行います。

設定可能範囲は 10 進（BCD）で 00 ～ 99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへの書き込みは、RCR2.START ビットでカウント動作を停止させてから行う必要があります。このカウンタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。

26.2.9 秒アラームレジスタ（RSECAR）／バイナリカウンタ 0 アラームレジスタ（BCNT0AR）

(1) カレンダカウントモード時

アドレス RTC.RSECAR 4004 4010h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒	一秒の位の設定値	R/W
b6-b4	SEC10[2:0]	10秒	十秒の位の設定値	R/W
b7	ENB	ENB	0：このレジスタ値とRSECCNTカウンタ値の比較を行わない 1：このレジスタ値とRSECCNTカウンタ値の比較を行う	R/W

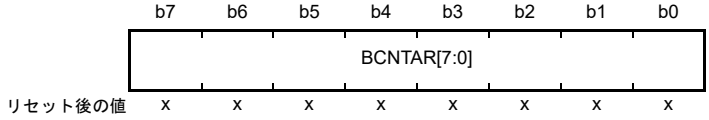
RSECAR レジスタは、BCD コード化された秒カウンタ（RSECCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RSECAR レジスタ値が RSECCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RSECAR レジスタの設定可能範囲は、10 進（BCD）で 00 ～ 59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AR 4004 4010h



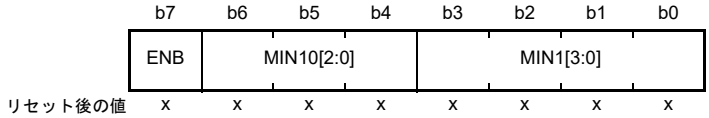
x：不定

BCNT0AR は、32 ビットバイナリカウンタの b7 ～ b0 に対応する書き込み／読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

26.2.10 分アラームレジスタ（RMINAR）／バイナリカウンタ 1 アラームレジスタ（BCNT1AR）

(1) カレンダカウントモード時

アドレス RTC.RMINAR 4004 4012h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分	一分の位の設定値	R/W
b6-b4	MIN10[2:0]	10分	十分の位の設定値	R/W
b7	ENB	ENB	0：このレジスタ値とRMINCNTカウンタ値の比較を行わない 1：このレジスタ値とRMINCNTカウンタ値の比較を行う	R/W

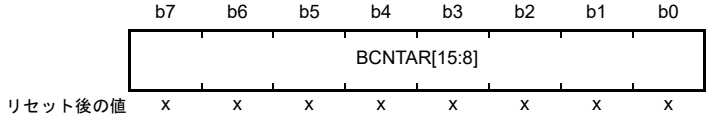
RMINAR レジスタは、BCD コード化された分カウンタ（RMINCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RMINAR レジスタ値が RMINCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMINAR レジスタの設定可能範囲は、10 進（BCD）で 00 ～ 59 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AR 4004 4012h



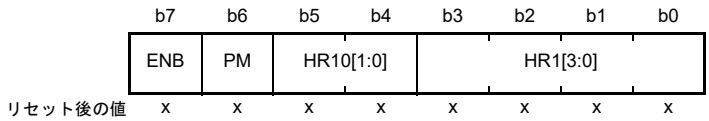
x：不定

BCNT1AR は、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み／読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

26.2.11 時アラームレジスタ（RHRAR）／バイナリカウンタ 2 アラームレジスタ（BCNT2AR）

(1) カレンダカウントモード時

アドレス RTC.RHRAR 4004 4014h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間	一時間の位の設定値	R/W
b5-b4	HR10[1:0]	10時間	十時間の位の設定値	R/W
b6	PM	PM	アラーム設定に対するAM/PMの選択 0：午前 1：午後	R/W
b7	ENB	ENB	0：このレジスタ値とRHRCNTカウンタ値の比較を行わない 1：このレジスタ値とRHRCNTカウンタ値の比較を行う	R/W

RHRAR レジスタは、BCD コード化されたときカウンタ（RHRCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RHRAR レジスタ値が RHRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

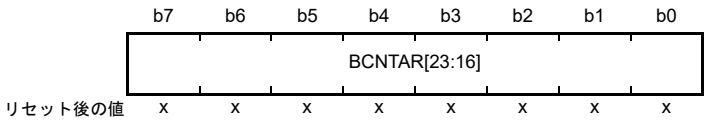
それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。設定可能範囲は、時間モードビット（RCR2.HR24）の設定値に応じて以下のように異なります。

- RCR2.HR24 ビットが 0 の場合、00 ～ 11（BCD）
- RCR2.HR24 ビットが 1 の場合、00 ～ 23（BCD）

この範囲にない値が設定されると、RTC は正常に動作しません。RCR2.HR24 ビットが 0 の場合、PM ビットを設定する必要があります。RCR2.HR24 ビットが 1 の場合、PM ビットの設定は無効です。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AR 4004 4014h



x：不定

BCNT2AR は、32 ビットバイナリカウンタの b23 ～ b16 に対応する書き込み／読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

26.2.12 曜日アラームレジスタ（RWKAR）／バイナリカウンタ 3 アラームレジスタ（BCNT3AR）

(1) カレンダカウントモード時

アドレス RTC.RWKAR 4004 4016h

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	DAYW[2:0]		
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	DAYW[2:0]	曜日設定	b2 b0 0 0 0：日 0 0 1：月 0 1 0：火 0 1 1：水 1 0 0：木 1 0 1：金 1 1 0：土 1 1 1：設定禁止	R/W
b6-b3	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：このレジスタ値とRWKCNTカウンタ値の比較を行わない 1：このレジスタ値とRWKCNTカウンタ値の比較を行う	R/W

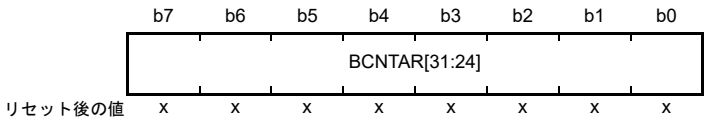
RWKAR レジスタは、コード化された曜日カウンタ（RWKCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RWKAR レジスタ値が RWKCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RWKAR レジスタの設定可能範囲は、10 進（BCD）で 0 ～ 6 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AR 4004 4016h



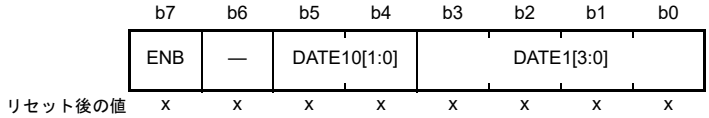
x：不定

BCNT3AR は、32 ビットバイナリカウンタの b31 ～ b24 に対応する書き込み／読み出し可能なアラームレジスタです。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

26.2.13 日アラームレジスタ（RDAYAR）／バイナリカウンタ 0 アラームイネーブルレジスタ（BCNT0AER）

(1) カレンダカウントモード時

アドレス RTC.RDAYAR 4004 4018h



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日	一日の位の設定値	R/W
b5-b4	DATE10[1:0]	10日	十日の位の設定値	R/W
b6	—	予約ビット	0を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：このレジスタ値とRDAYCNTカウンタ値の比較を行わない 1：このレジスタ値とRDAYCNTカウンタ値の比較を行う	R/W

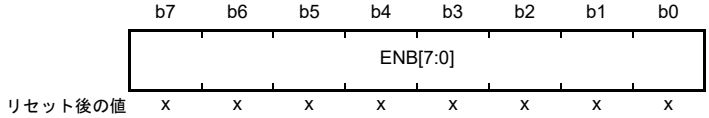
RDAYAR レジスタは、BCD コード化された日カウンタ（RDAYCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RDAYAR レジスタ値が RDAYCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RDAYAR レジスタの設定可能範囲は、10 進（BCD）で 01 ～ 31 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT0AER 4004 4018h



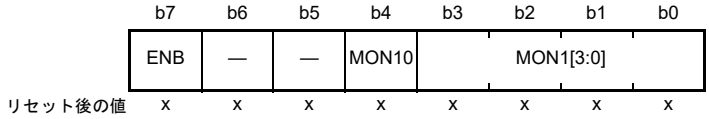
x：不定

BCNT0AER は、32 ビットバイナリカウンタの b7 ～ b0 に対応する書き込み／読み出し可能なアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較して、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

26.2.14 月アラームレジスタ（RMONAR）／バイナリカウンタ 1 アラームイネーブルレジスタ（BCNT1AER）

(1) カレンダカウントモード時

アドレス RTC.RMONAR 4004 401Ah



x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1 月	一月の位の設定値	R/W
b4	MON10	10 月	十月の位の設定値	R/W
b6-b5	—	予約ビット	0 を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：このレジスタ値と RMONCNT カウンタ値の比較を行わない 1：このレジスタ値と RMONCNT カウンタ値の比較を行う	R/W

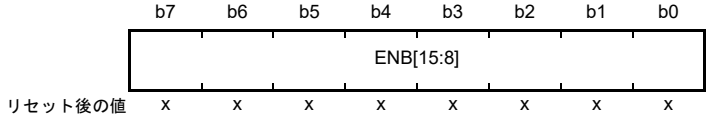
RMONAR レジスタは、BCD コード化された月カウンタ（RMONCNT）に対応するアラームレジスタです。ENB ビットが 1 であれば、RMONAR レジスタ値が RMONCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。RMONAR レジスタの設定可能範囲は、10 進（BCD）で 01 ～ 12 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1AER 4004 401Ah



x：不定

BCNT1AER は、32 ビットバイナリカウンタの b15 ～ b8 に対応する書き込み／読み出し可能なアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較して、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

26.2.15 年アラームレジスタ（RYRAR）／バイナリカウンタ 2 アラームイネーブルレジスタ（BCNT2AER）

(1) カレンダカウントモード時

アドレス RTC.RYRAR 4004 401Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	YR10[3:0]				YR1[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	YR1[3:0]	1年	一年の位の設定値	R/W
b7-b4	YR10[3:0]	10年	十年の位の設定値	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RYRAR レジスタは、BCD コード化された年カウンタ（RYRCNT）に対応するアラームレジスタです。RYRAR レジスタの設定可能範囲は、10 進（BCD）で 00 ～ 99 です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタは、RTC ソフトウェアリセットによって 0000h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2AER 4004 401Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ENB[23:16]							
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

BCNT2AER は、32 ビットバイナリカウンタの b23 ～ b16 に対応する書き込み／読み出し可能なアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較して、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットを実行すると 0000h になります。

26.2.16 年アラームイネーブルレジスタ（RYRAREN）／バイナリカウンタ 3 アラームイネーブルレジスタ（BCNT3AER）

(1) カレンダカウントモード時

アドレス RTC.RYRAREN 4004 401Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	0 を設定してください。読むと設定値が読めます。	R/W
b7	ENB	ENB	0：このレジスタ値と RYRCNT カウンタ値の比較を行わない 1：このレジスタ値と RYRCNT カウンタ値の比較を行う	R/W

RYRAREN レジスタの ENB ビットが 1 であれば、RYRAR レジスタ値が RYRCNT カウンタ値と比較されます。以下のアラームレジスタのうち、ENB ビットが 1 になっているものだけが、対応するカウンタと比較されます。

- RSECAR
- RMINAR
- RHRAR
- RWKAR
- RDAYAR
- RMONAR
- RYRAREN

それぞれの値がすべて一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3AER 4004 401Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	ENB[31:24]							
リセット後の値	x	x	x	x	x	x	x	x

x：不定

BCNT3AER は、32 ビットバイナリカウンタの b31 ～ b24 に対応する書き込み／読み出し可能なアラーム許可設定用のレジスタです。ENB[31:0] ビットのうち、1 になっているビットに対応するバイナリカウンタ（BCNT[31:0]）とバイナリアラームレジスタ（BCNTAR[31:0]）を比較して、すべてが一致すると、RTC_ALM 割り込みに対応した IR フラグが 1 になります。このレジスタは、RTC ソフトウェアリセットによって 00h になります。

26.2.17 RTC コントロールレジスタ 1（RCR1）

アドレス RTC.RCR1 4004 4022h

	b7	b6	b5	b4	b3	b2	b1	b0
	PES[3:0]				RTCOS	PIE	CIE	AIE
リセット後の値	x	x	x	x	0	x	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	AIE	アラーム割り込み許可	0：アラーム割り込み要求を禁止 1：アラーム割り込み要求を許可	R/W
b1	CIE	桁上げ割り込み許可	0：桁上げ割り込み要求を禁止 1：桁上げ割り込み要求を許可	R/W
b2	PIE	周期割り込み許可	0：周期割り込み要求を禁止 1：周期割り込み要求を許可	R/W
b3	RTCOS	RTCOUT出力選択	0：RTCOUTは1Hzを出力 1：RTCOUTは64Hzを出力	R/W
b7-b4	PES[3:0]	周期割り込み選択	b7 b4 0 1 1 0：1/256秒ごとに周期割り込みを発生（注1） 0 1 1 1：1/128秒ごとに周期割り込みを発生 1 0 0 0：1/64秒ごとに周期割り込みを発生 1 0 0 1：1/32秒ごとに周期割り込みを発生 1 0 1 0：1/16秒ごとに周期割り込みを発生 1 0 1 1：1/8秒ごとに周期割り込みを発生 1 1 0 0：1/4秒ごとに周期割り込みを発生 1 1 0 1：1/2秒ごとに周期割り込みを発生 1 1 1 0：1秒ごとに周期割り込みを発生 1 1 1 1：2秒ごとに周期割り込みを発生 上記以外の設定：周期割り込みは発生しない	R/W

注 1. PES[3:0] ビット = 0110b のときに LOCO を選択（RCR4.RCKSEL ビット = 1）すると、周期割り込みは 1/128 秒ごとに発生します。

RCR1 レジスタは、カレンダカウントモード／バイナリカウントモード共通で使用します。AIE、PIE、PES[3:0] ビットは、カウントソースに同期して更新されます。RCR1 レジスタを書き換えた場合は、全ビットが更新されたことを確認してから次の処理を実行してください。

AIE ビット（アラーム割り込み許可）

アラーム割り込み要求を許可または禁止します。

ディープソフトウェアスタンバイモード時にカウンタとアラームの設定時刻が一致した場合、AIE ビット値とは無関係に、MCU はこのモードから復帰します。

CIE ビット（桁上げ割り込み許可）

RSECCNT/BCNT0 カウンタへの桁上げが生じたとき、または 64Hz カウンタの読み出し中に 64Hz カウンタ（R64CNT）への桁上げが生じたときの割り込み要求の許可／禁止を選択します。

PIE ビット（周期割り込み許可）

周期割り込み要求の許可／禁止を選択します。

ディープソフトウェアスタンバイモード時にカウンタと PES[3:0] ビットの設定周期が一致した場合、PIE ビット値とは無関係に、MCU はこのモードから復帰します。

RTCOS ビット（RTCOUT 出力選択）

RTCOUT の出力周期を選択します。RTCOS ビットは、カウント動作停止（RCR2.START ビット = 0）、かつ RTCOUT 出力禁止（RCR2.RTCOE ビット = 0）のときに書き換えてください。RTCOUT を外部端子に出力する場合は、RCR2.RTCOE ビットを許可にしてください。I/O ポートの制御については、20.5.1　端子機能の設定手順を参照してください。

PES[3:0] ビット（周期割り込み選択）

周期割り込みの周期を設定します。これらのビットで設定した周期に応じて周期割り込みが発生します。

26.2.18 RTC コントロールレジスタ 2（RCR2）

(1) カレンダカウントモード時

アドレス RTC.RCR2 4004 4024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	HR24	AADJP	AADJE	RTCOE	ADJ30	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0：プリスケーラと時計カウンタは停止 1：プリスケーラと時計カウンタは通常動作	R/W
b1	RESET	RTCソフトウェアリセット	• 書き込み時 0：無効（0の書き込みは無効です） 1：プリスケーラおよびRTCソフトウェアリセット対象レジスタを初期化（注1） • 読み出し時 0：通常の時計動作中またはRTCソフトウェアリセット完了 1：RTCソフトウェアリセット処理中	R/W
b2	ADJ30	30秒調整	• 書き込み時 0：無効（0の書き込みは無効です） 1：30秒調整を実行 • 読み出し時 0：通常の時計動作中または30秒調整が完了 1：30秒調整処理中	R/W
b3	RTCOE	RTCOUT出力許可	0：RTCOUT出力を禁止 1：RTCOUT出力を許可	R/W
b4	AADJE	自動補正有効（注2）	0：自動補正は無効 1：自動補正は有効	R/W
b5	AADJP	自動補正周期選択（注2）	0：1分ごとにプリスケーラのカウント値に対してRADJ.ADJ[5:0]ビット値を加減算 1：10秒ごとにプリスケーラのカウント値に対してRADJ.ADJ[5:0]ビット値を加減算	R/W
b6	HR24	時間モード	0：RTCは12時間モードで動作 1：RTCは24時間モードで動作	R/W
b7	CNTMD	カウントモード選択	0：カレンダカウントモード 1：バイナリカウントモード	R/W

注 1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRy, RSECCPy/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCPy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注 2. LOCO を選択した場合、本ビットの設定は無効です。

RCR2 レジスタは、時間モード、自動補正機能、RTCOUT 出力許可、30 秒調整、RTC ソフトウェアリセット、およびカウント制御に関するレジスタです。

START ビット（スタート）

プリスケーラまたは時計カウンタの動作を停止または再開します。本ビットは、カウントソースの次の周期に同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

プリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。本ビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると RESET ビットは自動的に 0 になります。本ビットが 0 であることを確認してから次の処理を実行してください。

ADJ30 ビット（30 秒調整）

30 秒調整を行います。

ADJ30 ビットに 1 を書くと、RSECCNT カウンタ値が 30 秒未満の場合は 00 秒に切り捨てられ、30 秒以上の場合は 1 分に切り上げられます。

30 秒調整は、カウントソースに同期して行われます。ADJ30 ビットに 1 を書いた場合、30 秒調整が完了すると ADJ30 ビットは自動的に 0 になります。ADJ30 ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。30 秒調整を実行すると、プリスケーラと R64CNT カウンタもリセットされます。RTC ソフトウェアリセットを実行すると、ADJ30 ビットは 0 になります。

RTCOE ビット（RTCOUT 出力許可）

RTCOUT 端子からの 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と、RTCOE ビット値の変更は、同時に行わないでください。

RTCOUT を外部端子から出力する場合は、RTCOE ビットを許可にするとともに、この端子にポート制御を設定してください。

AADJE ビット（自動補正有効）

自動補正機能を制御（有効または無効に）します。

AADJE ビット値を変更する前に、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正を行わない）にしてください。

AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

自動補正の周期を選択します。

AADJP ビット値の変更は、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正を行わない）にしてから行ってください。

AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

HR24 ビット（時間モード）

RTC を 12 時間モードと 24 時間モードのどちらで動作させるかを指定します。

HR24 ビット値の変更は、START ビットでカウント動作を停止させてから行ってください。カウント動作の停止（START ビットへの 0 の書き込み）と、HR24 ビット値の変更は、同時に行わないでください。

CNTMD ビット（カウントモード選択）

RTC をカレンダカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、26.3.1　電源投入後のレジスタ初期設定の概要を参照してください。

(2) バイナリカウントモード時

アドレス RTC.RCR2 4004 4024h

	b7	b6	b5	b4	b3	b2	b1	b0
	CNTMD	—	AADJP	AADJE	RTCOE	—	RESET	START
リセット後の値	x	x	x	x	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	START	スタート	0：32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケーラを停止 1：32ビットバイナリカウンタ、64Hzカウンタ、およびプリスケーラを通常動作	R/W
b1	RESET	RTCソフトウェアリセット	• 書き込み時 0：無効（0の書き込みは無効です） 1：プリスケーラおよびRTCソフトウェアリセット対象レジスタ（注1）を初期化 • 読み出し時 0：通常の時計動作中またはRTCソフトウェアリセット完了 1：RTCソフトウェアリセット処理中	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	RTCOE	RTCOUT出力許可	0：RTCOUT出力を禁止 1：RTCOUT出力を許可	R/W
b4	AADJE	自動補正有効（注2）	0：自動補正は無効 1：自動補正は有効	R/W
b5	AADJP	自動補正周期選択（注2）	0：32秒ごとにプリスケーラのカウント値に対してRADJ.ADJ[5:0]ビット値を加減算 1：8秒ごとにプリスケーラのカウント値に対してRADJ.ADJ[5:0]ビット値を加減算	R/W
b6	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b7	CNTMD	カウントモード選択	0：カレンダカウントモード 1：バイナリカウントモード	R/W

注 1. R64CNT, RSECAR/BCNT0AR, RMINAR/BCNT1AR, RHRAR/BCNT2AR, RWKAR/BCNT3AR, RDAYAR/BCNT0AER, RMONAR/BCNT1AER, RYRAR/BCNT2AER, RYRAREN/BCNT3AER, RADJ, RTCCRy, RSECCPy/BCNT0CPy, RMINCPy/BCNT1CPy, RHRCPy/BCNT2CPy, RDAYCPy/BCNT3CPy, RMONCPy, RCR2.ADJ30, RCR2.AADJE, RCR2.AADJP

注 2. LOCO を選択した場合、本ビットの設定は無効です。

START ビット（スタート）

プリスケーラまたはカウンタ（時計）の動作を停止または再開します。本ビットは、カウントソースに同期して更新されます。START ビットを書き換えた場合は、このビットが更新されたことを確認してから次の処理を実行してください。

RESET ビット（RTC ソフトウェアリセット）

プリスケーラと RTC ソフトウェアリセット対象レジスタを初期化します。このビットに 1 を書くと、カウントソースに同期して初期化が始まります。初期化が完了すると、RESET ビットは自動的に 0 になります。RESET ビットに 1 を書いた場合は、このビットが 0 になったことを確認してから次の処理を実行してください。

RTCOE ビット（RTCOUT 出力許可）

RTCOUT 端子からの 1Hz/64Hz クロック信号出力を許可します。

RTCOE ビット値を変更する前に、START ビットでカウント動作を停止させてください。カウント動作の停止（START ビットへの 0 の書き込み）と、RTCOE ビット値の変更は、同時に行わないでください。RTCOUT 信号を外部端子から出力する場合は、このビットを許可にするとともに、ポート制御を有効にしてください。

AADJE ビット（自動補正有効）

自動補正機能を制御（有効または無効に）します。

AADJE ビット値を変更する前に、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正を行わない）にしてください。AADJE ビットは、RTC ソフトウェアリセットによって 0 になります。

AADJP ビット（自動補正周期選択）

自動補正の周期を選択します。

バイナリカウントモードでは、32 秒ごとまたは 8 秒ごとの補正周期を選択できます。

AADJP ビット値の変更は、プラスマイナスビット（RADJ.PMADJ[1:0]）を 00b（補正を行わない）にしてから行ってください。AADJP ビットは、RTC ソフトウェアリセットによって 0 になります。

CNTMD ビット（カウントモード選択）

RTC をカレンダカウントモードとバイナリカウントモードのどちらで動作させるかを指定します。

カウントモード設定時は、RTC ソフトウェアリセットを実行し、初期設定からやり直してください。本ビットはカウントソースに同期して更新され、RTC ソフトウェアリセットが完了する前に値が確定します。

初期設定の詳細は、26.3.1　電源投入後のレジスタ初期設定の概要を参照してください。

26.2.19 RTC コントロールレジスタ 4（RCR4）

アドレス RTC.RCR4 4004 4028h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RCKSEL
リセット後の値	0	0	0	0	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RCKSEL	カウントソース選択	0：サブクロック発振器を選択 1：LOCO を選択	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

RCR4 レジスタは、カウントソースを選択するためのレジスタで、カレンダカウントモード／バイナリカウントモード共通で使用します。

RCKSEL ビットが 0 のときサブクロック発振器を使用して時計のカウント動作を行います。RCKSEL ビットを 1 にすると、LOCO を使用して時計のカウント動作を行います。

RCKSEL ビット（カウントソース選択）

カウントソースを、サブクロック発振器と LOCO から選択します。

カウントソースの選択は、電源投入後、RTC レジスタの初期設定前に一度だけ行ってください。

26.2.20 周波数レジスタ（RFRH/RFR）

アドレス RTC.RFRH 4004 402Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFC16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RFC16	予約ビット	コールドスタート後、RFRL レジスタに書き込む前に 0 を書いてください。	R/W
b15-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

アドレス RTC.RFRL.4004 402Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFC[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFC[15:0]	周波数比較値	LOCO 使用時は、このレジスタに 00FFh を書いてください。	R/W

RFRL レジスタは、LOCO 選択時のプリスケーラを制御するレジスタです。

RTC の時計カウンタは、128Hz クロック信号を基本クロックとして動作します。そのため、LOCO を選択した場合、プリスケーラで LOCO が分周されて 128Hz クロック信号が生成されます。RFC[15:0] ビットには、LOCO 周波数から 128Hz クロックを生成するための周波数比較値を設定します。コールドスタート後、RFC[15:0] へ書き込む前に、RFRH レジスタに 0000h を書き込んでください。

周波数比較値の設定可能範囲は、0007h ～ 01FFh です。この範囲にない値が設定されると、RTC は正常に動作しません。このレジスタへの書き込みは、必ず事前に RCR2.START ビットでカウント動作を停止させてから行ってください。周辺モジュールクロックと LOCO の動作周波数は、「周辺モジュールクロック ≧ LOCO」となるようにしてください。

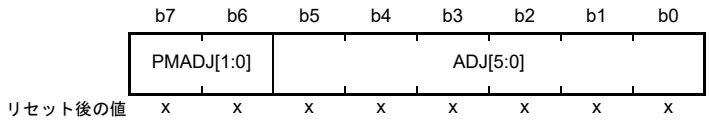
周波数比較値計算方法：

RFC[15:0] =（LOCO クロック周波数）÷ 128 - 1

LOCO 周波数が 32.768kHz の場合、RFRL レジスタは 00FFh にしてください。

26.2.21 時計誤差補正レジスタ（RADJ）

アドレス RTC.RADJ 4004 402Eh



x：不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADJ[5:0]	補正値	プリスケーラに対する補正値を設定します。	R/W
b7-b6	PMADJ[1:0]	プラスマイナス	b7 b6 0 0：補正動作を行わない 0 1：プリスケーラに対して値を加算して補正を行う 1 0：プリスケーラに対して値を減算して補正を行う 1 1：設定禁止	R/W

プリスケーラに対して値を加算または減算することによって補正を行います。自動補正機能有効ビット（RCR2.AADJE）が 0 であると、RADJ レジスタへの書き込み時に補正を行います。RCR2.AADJE ビットが 1 であると、自動補正周期選択ビット（RCR2.AADJP）で設定した間隔で補正を行います。

ソフトウェア設定による補正（自動補正が無効）では、レジスタの設定後、カウントソースの 320 サイクル以内に次の補正値を設定すると、現在の補正値の設定が無効となる場合があります。連続して補正を行う場合は、レジスタの設定後、カウントソースで 320 サイクル以上待ってから次の補正値を設定してください。

RADJ レジスタは、カウントソースに同期して更新されます。RADJ レジスタを書き換えた場合は、全ビットの値が更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。サブクロック発振器を選択した場合にのみ、本レジスタの設定が有効になります。LOCO を選択した場合、補正は行われません。

ADJ[5:0] ビット（補正値）

プリスケーラに対する補正値（サブクロックのサイクル数）を設定します。

PMADJ[1:0] ビット（プラスマイナス）

ADJ[5:0] ビットで設定した誤差補正値に従って、時計を進めるか、遅らせるかを選択します。

26.2.22 時間キャプチャコントロールレジスタ y（RTCCRy）（y = 0 ～ 2）

アドレス RTC.RTCCR0 4004 4040h, RTC.RTCCR1 4004 4042h, RTC.RTCCR2 4004 4044h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCEN	—	TCNF[1:0]		—	TCST	TCCT[1:0]	
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	TCCT[1:0]	時間キャプチャ制御	b1 b0 0 0：イベントを検出しない 0 1：立ち上がりエッジを検出 1 0：立ち下がりエッジを検出 1 1：両エッジを検出	R/W
b2	TCST	時間キャプチャステータス	0：イベント検出なし 1：イベント検出あり（注1）	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	TCNF[1:0]	時間キャプチャノイズフィルタ制御	b5 b4 0 0：ノイズフィルタ OFF 0 1：設定禁止 1 0：ノイズフィルタ ON（カウントソース） 1 1：ノイズフィルタ ON（カウントソースの32分周）	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	TCEN	時間キャプチャイベント入力端子有効	0：RTCICn（n = 0～2）端子は時間キャプチャイベント入力として無効 1：RTCICn（n = 0～2）端子は時間キャプチャイベント入力として有効	R/W

注 1. イベントが検出されたことを示します。1 の書き込みは無効です。0 を書き込むと 0 になります。

RTCCRy レジスタは、カレンダカウントモード／バイナリカウントモード共通で使用します。RTCCR0 レジスタが RTCIC0 端子、RTCCR1 レジスタが RTCIC1 端子、RTCCR2 レジスタが RTCIC2 端子をそれぞれ制御します。

RTCCRy レジスタは、カウントソースに同期して更新されます。RTCCRy レジスタを書き換えた場合は、TCST ビット以外の全ビットが更新されたことを確認してから次の処理を実行してください。このレジスタは、RTC ソフトウェアリセットによって 00h になります。RTCICn を時間キャプチャ端子として使用する場合、VBTICTLR.VCHnIEN ビット（n = 0 ～ 2）を 1 にしてください。詳細は、「12. バッテリバックアップ機能」を参照してください。

TCCT[1:0] ビット（時間キャプチャ制御）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）のエッジ検出を制御します。検出するエッジの選択が可能です。TCCT[1:0] ビットは、VBTICTLR.VCHnIEN ビットが 1 の状態で設定してください。

TCST ビット（時間キャプチャステータス）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）のイベントが検出されたことを示します。TCST ビットが 0 の場合、イベントは検出されていないことを示します。TCST ビットが 1 の場合、対応する端子でイベントが検出されたこと、およびキャプチャレジスタが有効であることを示します。複数回イベントが検出された場合は、最初のイベントのキャプチャ時刻を保持します。

カウント動作が停止中（すなわち RCR2.START ビットが 0 のとき）にイベントを検出した場合、そのキャプチャ値は保証されません。その場合は、TCST ビットを 0 にしてキャプチャ値を削除してください。TCST ビットに 0 を書き込むことで、TCST ビットを 0 にできます。0 以外の値の書き込みは無効です。

TCST ビットの設定は、TCCT[1:0] ビットが 00b（イベント検出しない）の状態で行ってください。TCST ビットは、カウントソースに同期して 0 になります。TCST ビットを 0 にした場合、このビットが更新されたことを確認してから次の処理を実行してください。

TCNF[1:0] ビット（時間キャプチャノイズフィルタ制御）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、RTCIC2）のノイズフィルタを制御します。

ノイズフィルタが ON の場合、カウントソースの 1 分周または 32 分周を選択できます。このとき、時間キャプチャイベント入力端子の入力レベルが設定したサンプリング周期で 3 回連続して一致すると、その入力レベルが確定します。

TCNF[1:0] ビットの設定は、TCCT[1:0] ビットが 00b（イベント検出しない）の状態で行ってください。ノイズフィルタを使用する場合は、TCNF[1:0] ビットの設定後、設定したサンプリング周期の 3 周期分待った後、TCCT[1:0] ビットの設定を行ってください。また、TCNF[1:0] ビットの設定は、VBTICTLR.VCHnIEN ビットが 1 の状態で行ってください。

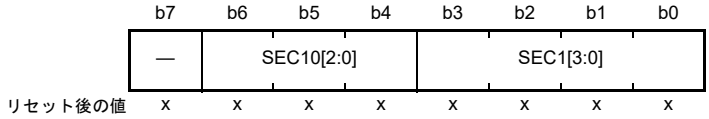
TCEN ビット（時間キャプチャイベント入力端子有効）

時間キャプチャイベント入力端子（RTCIC0、RTCIC1、および RTCIC2）を制御します。時間キャプチャイベント入力端子（RTCIC0、RTCIC1、および RTCIC2）に複数の機能を割り当てる場合は、最初に VBTICTLR レジスタを設定する必要があります。TCEN ビットを 0 にする場合、TCCT[1:0] ビットも 00b にしてください。

26.2.23 秒キャプチャレジスタ y（RSECCPy）（y = 0 ～ 2）／BCNT0 キャプチャレジスタ y（BCNT0CPy）（y = 0 ～ 2）

(1) カレンダカウントモード時

アドレス RTC.RSECCP0 4004 4052h, RTC.RSECCP1 4004 4062h, RTC.RSECCP2 4004 4072h



x：不定

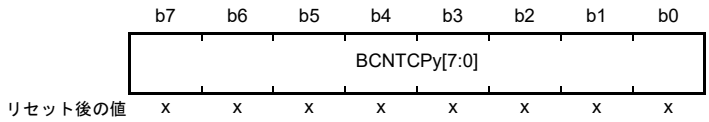
ビット	シンボル	ビット名	機能	R/W
b3-b0	SEC1[3:0]	1秒キャプチャ	一秒の位のキャプチャ値を示します。	R
b6-b4	SEC10[2:0]	10秒キャプチャ	十秒の位のキャプチャ値を示します。	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

RSECCPy レジスタは、時間キャプチャイベント検出時に RSECCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RSECCP0 レジスタに、RTCIC1 端子によるイベント検出時は RSECCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RSECCP2 レジスタに、それぞれイベント検出時刻を格納します。このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させてから行ってください。

(2) バイナリカウントモード時

アドレス RTC.BCNT0CP0 4004 4052h, RTC.BCNT0CP1 4004 4062h, RTC.BCNT0CP2 4004 4072h



x：不定

BCNT0CPy レジスタは、時間キャプチャイベント検出時に BCNT0 カウンタ値をキャプチャする読み出し専用のレジスタです。RTCIC0 端子によるイベント検出時は BCNT0CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT0CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT0CP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

26.2.24 分キャプチャレジスタ y（RMINCPy）（y = 0 ～ 2）／ BCNT1 キャプチャレジスタ y（BCNT1CPy）（y = 0 ～ 2）

(1) カレンダカウントモード時

アドレス RTC.RMINCP0 4004 4054h, RTC.RMINCP1 4004 4064h, RTC.RMINCP2 4004 4074h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MIN10[2:0]			MIN1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MIN1[3:0]	1分キャプチャ	一分の位のキャプチャ値を示します。	R
b6-b4	MIN10[2:0]	10分キャプチャ	十分の位のキャプチャ値を示します。	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

RMINCPy レジスタは、時間キャプチャイベント検出時に RMINCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMINCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMINCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMINCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

(2) バイナリカウントモード時

アドレス RTC.BCNT1CP0 4004 4054h, RTC.BCNT1CP1 4004 4064h, RTC.BCNT1CP2 4004 4074h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNTCPy[15:8]							
リセット後の値	x	x	x	x	x	x	x	x

x：不定

BCNT1CPy レジスタは、時間キャプチャイベント検出時に BCNT1 カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は BCNT1CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT1CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT1CP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

26.2.25 時キャプチャレジスタ y（RHRCPy）（y = 0 ～ 2）／ BCNT2 キャプチャレジスタ y（BCNT2CPy）（y = 0 ～ 2）

(1) カレンダカウントモード時

アドレス RTC.RHRCP0 4004 4056h, RTC.RHRCP1 4004 4066h, RTC.RHRCP2 4004 4076h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	PM	HR10[1:0]		HR1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	HR1[3:0]	1時間キャプチャ	一時間の位のキャプチャ値を示します。	R
b5-b4	HR10[1:0]	10時間キャプチャ	十時間の位のキャプチャ値を示します。	R
b6	PM	PM	0：午前 1：午後	R
b7	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

RHRCPy レジスタは、時間キャプチャイベント検出時に RHRCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RHRCP0 レジスタに、RTCIC1 端子によるイベント検出時は RHRCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RHRCP2 レジスタに、それぞれイベント検出時刻を格納します。

RCR2.HR24 ビットが 0（12 時間モード）の場合にのみ、PM ビットが有効になります。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

(2) バイナリカウントモード時

アドレス RTC.BCNT2CP0 4004 4056h, RTC.BCNT2CP1 4004 4066h, RTC.BCNT2CP2 4004 4076h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNTCPy[23:16]							
リセット後の値	x	x	x	x	x	x	x	x

x：不定

BCNT2CPy レジスタは、時間キャプチャイベント検出時に BCNT2 カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は BCNT2CP0 レジスタに、RTCIC1 端子によるイベント検出時は BCNT2CP1 レジスタに、そして RTCIC2 端子によるイベント検出時は BCNT2CP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

26.2.26 日キャプチャレジスタ y（RDAYCPy）（y = 0 ～ 2）／BCNT3 キャプチャレジスタ y（BCNT3CPy）（y = 0 ～ 2）

(1) カレンダカウントモード時

アドレス RTC.RDAYCP0 4004 405Ah, RTC.RDAYCP1 4004 406Ah, RTC.RDAYCP2 4004 407Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DATE10[1:0]		DATE1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DATE1[3:0]	1日キャプチャ	一日の位のキャプチャ値を示します。	R
b5-b4	DATE10[1:0]	10日キャプチャ	十日の位のキャプチャ値を示します。	R
b7-b6	—	予約ビット	RTCソフトウェアリセット後、読むと0が読めます。	R

RDAYCPy レジスタは、時間キャプチャイベント検出時に RDAYCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RDAYCP0 レジスタに、RTCIC1 端子によるイベント検出時は RDAYCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RDAYCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

(2) バイナリカウントモード時

アドレス RTC.BCNT3CP0 4004 405Ah, RTC.BCNT3CP1 4004 406Ah, RTC.BCNT3CP2 4004 407Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	BCNTCPy[31:24]							
リセット後の値	x	x	x	x	x	x	x	x

x：不定

BCNT3CPy レジスタは、時間キャプチャイベント検出時に BCNT3 カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCTC0 端子によるイベント検出時は BCNT3CP0 レジスタに、RTCTC1 端子によるイベント検出時は BCNT3CP1 レジスタに、そして RTCTC2 端子によるイベント検出時は BCNT3CP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

26.2.27 月キャプチャレジスタ y（RMONCPy）（y = 0 ～ 2）

(1) カレンダカウントモード時

アドレス RTC.RMONCP0 4004 405Ch, RTC.RMONCP1 4004 406Ch, RTC.RMONCP2 4004 407Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	MON10	MON1[3:0]			
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	MON1[3:0]	1月キャプチャ	一月の位のキャプチャ値を示します。	R
b4	MON10	10月キャプチャ	十月の位のキャプチャ値を示します。	R
b7-b5	—	予約ビット	読むと0が読めます。	R

RMONCPy レジスタは、時間キャプチャイベント検出時に RMONCNT カウンタ値をキャプチャする読み出し専用のレジスタです。

RTCIC0 端子によるイベント検出時は RMONCP0 レジスタに、RTCIC1 端子によるイベント検出時は RMONCP1 レジスタに、そして RTCIC2 端子によるイベント検出時は RMONCP2 レジスタに、それぞれイベント検出時刻を格納します。

このレジスタは、RTC ソフトウェアリセットによって 00h になります。このレジスタから値を読み出す際は、事前に RTCCRy.TCCT[1:0] ビットで時間キャプチャイベント検出を停止させる必要があります。

26.3 動作説明

26.3.1 電源投入後のレジスタ初期設定の概要

電源投入後は、クロック設定、カウントモード設定、時計誤差補正、時刻設定、アラーム、割り込み、および時間キャプチャコントロールレジスタに対して、必ず初期設定を行ってください。

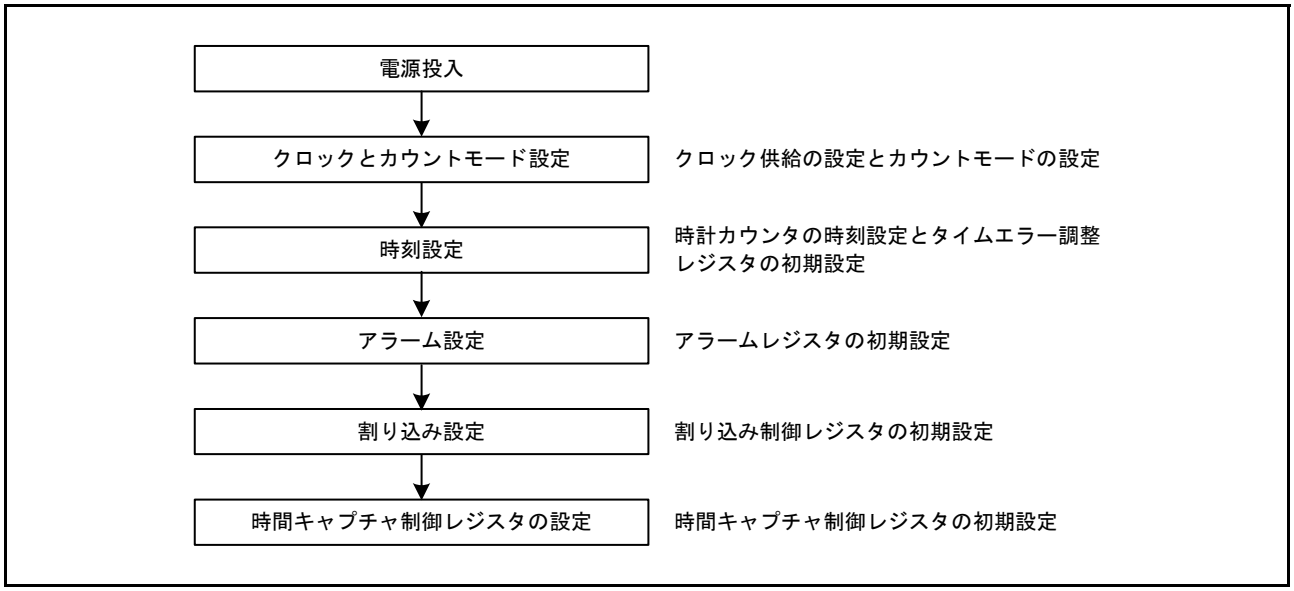
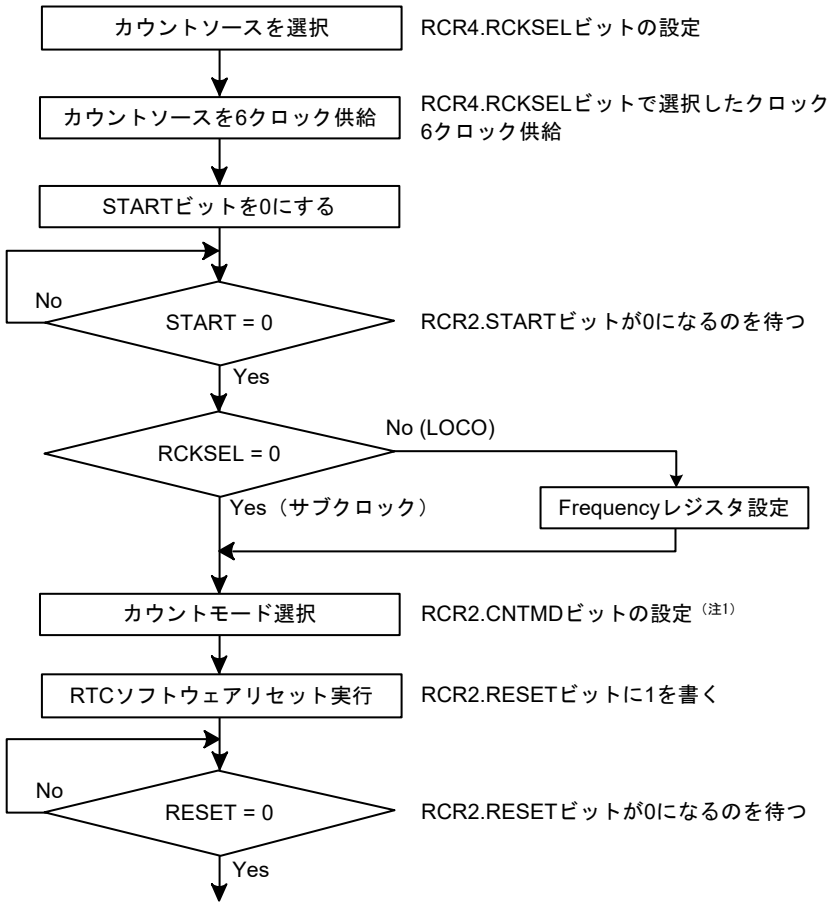


図 26.2 電源投入後の初期設定の概要

26.3.2 クロックおよびカウントモードの設定手順

図 26.3 にクロックおよびカウントモードの設定手順を示します。

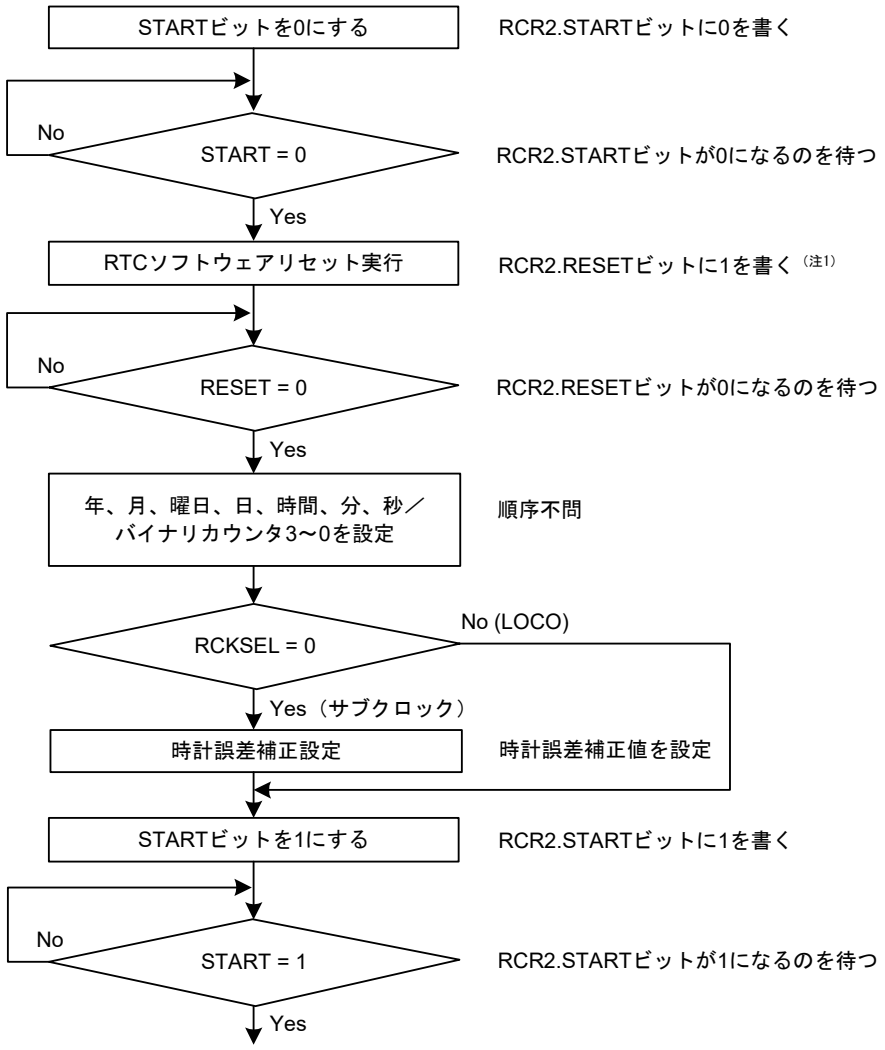


注 1. START ビットに 0 を書くのと同時にカウントモードを設定している場合、本手順を省略できます。
RCR2.CNTMD ビットには、カウントモード設定に応じた値を書き込んでください。

図 26.3 クロックおよびカウントモードの設定手順

26.3.3 時刻の設定

図 26.4 に時刻の設定手順を示します。



注 1. 電源投入時の初期設定では、クロック設定手順で RTC ソフトウェアリセットを実施するため、時刻設定手順では不要です。

図 26.4 時刻の設定

26.3.4 30 秒調整

図 26.5 に 30 秒調整の実行手順を示します。

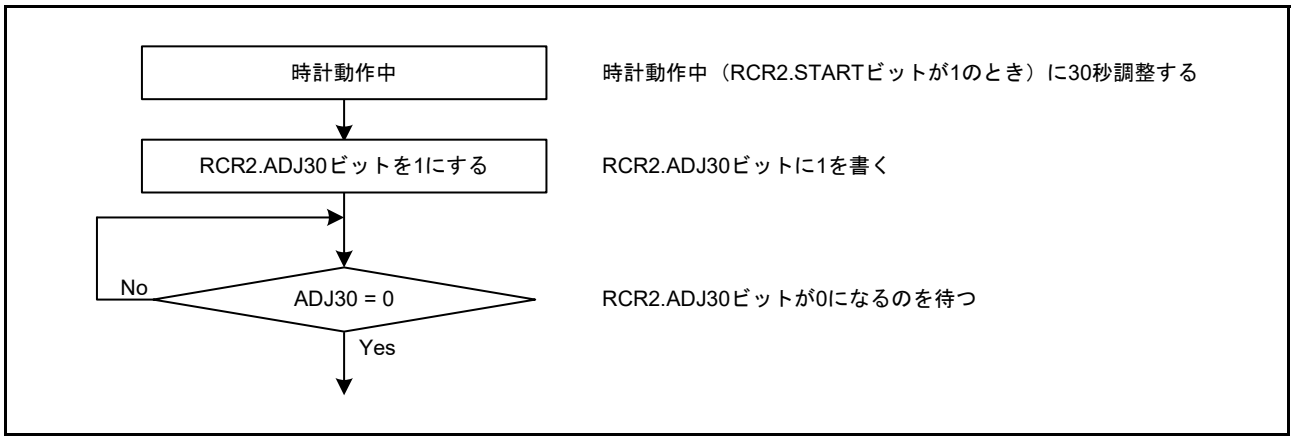


図 26.5 30 秒調整

26.3.5 64Hz カウンタと時刻の読み出し

図 26.6 に 64Hz カウンタと時刻の読み出し手順を示します。

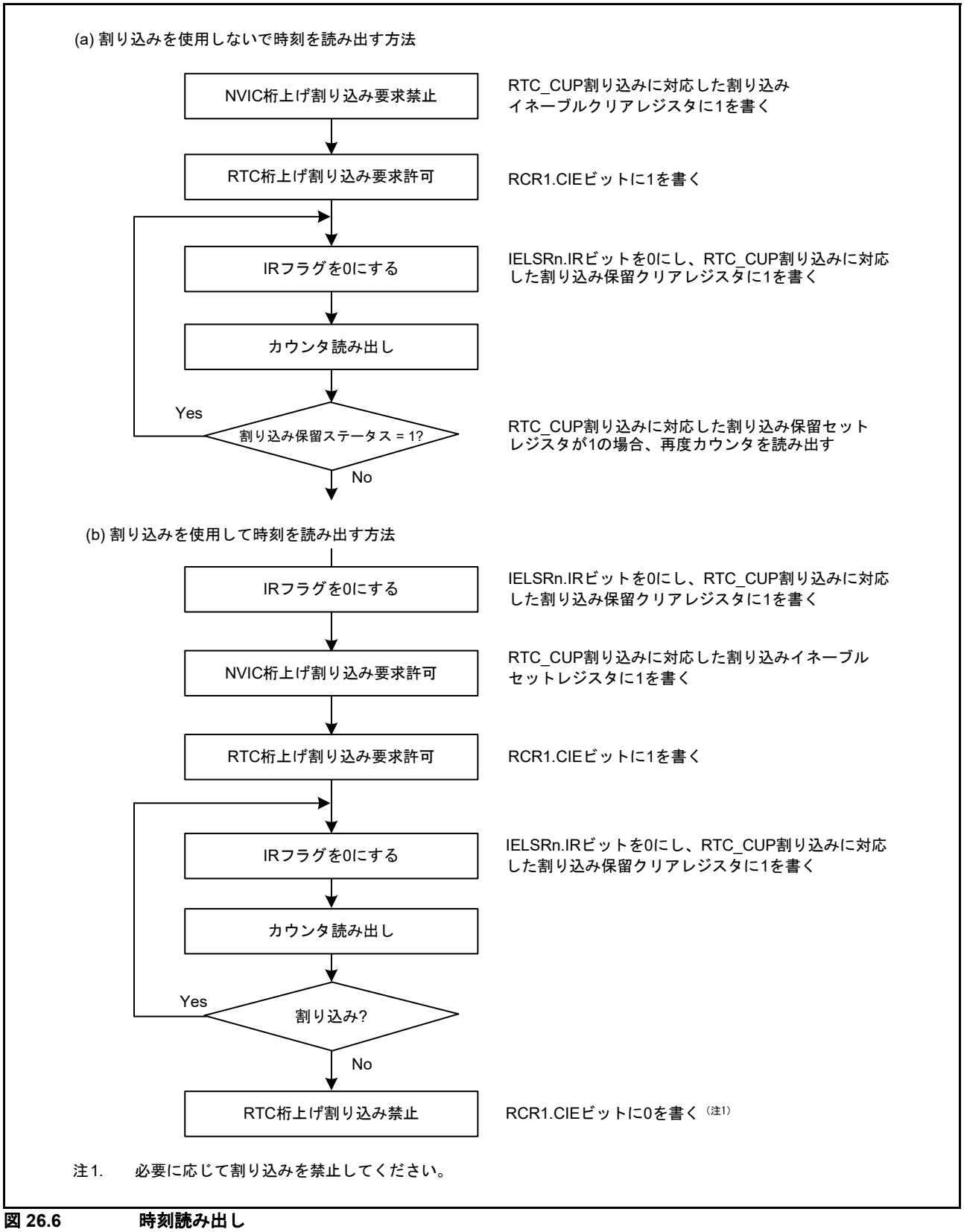


図 26.6 時刻読み出し

64Hz カウンタと時刻の読み出し中に桁上げが生じると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しないで時刻を読み出す場合の手順を図 26.6 の（a）に、桁上げ割り込みを使用する場合の手順を（b）に示します。通常は、プログラムを簡潔にするため、割り込みを使用しない方法（a）を推奨します。

26.3.6 アラーム機能

図 26.7 にアラーム機能の使用手順を示します。

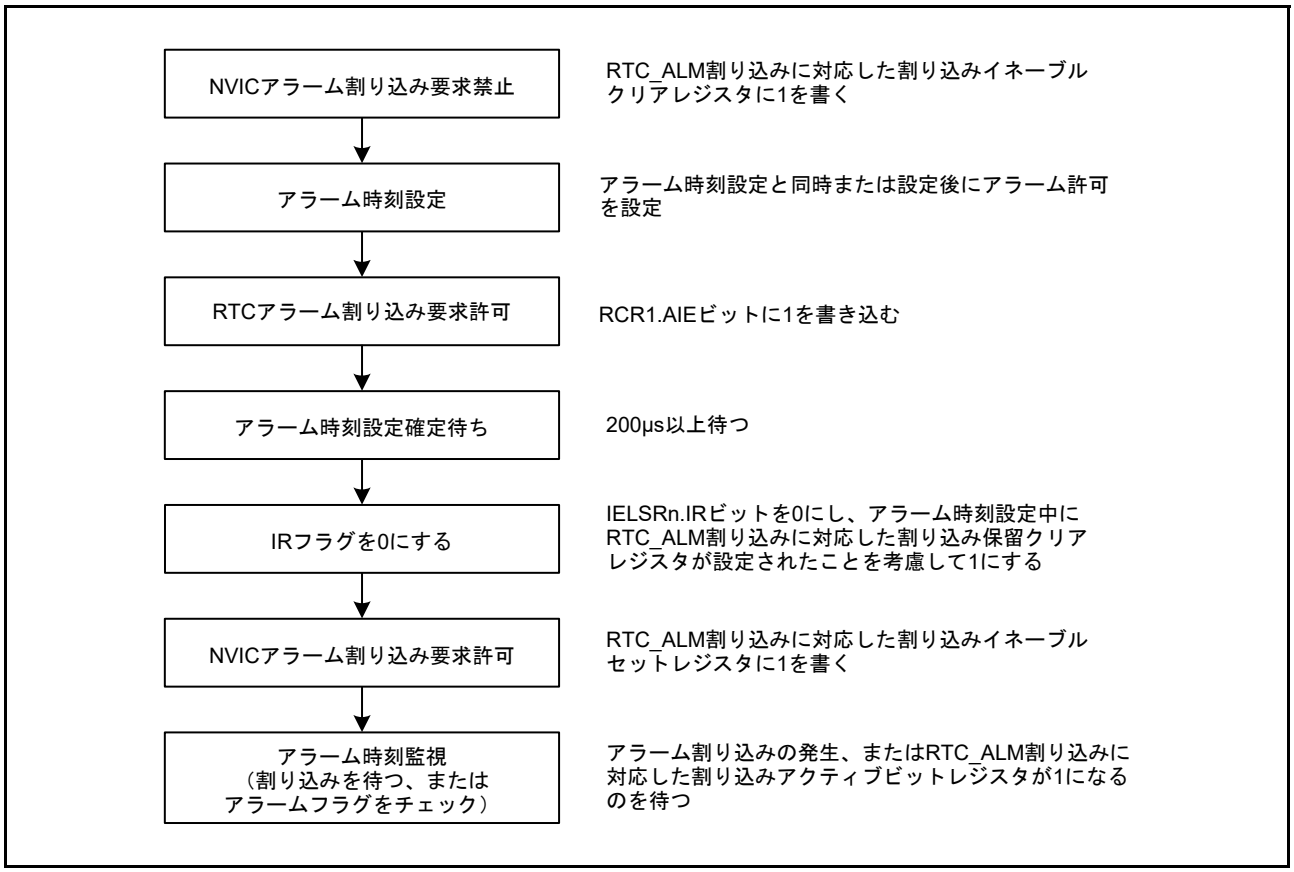


図 26.7 アラーム機能の使用手順

カレンダカウントモードでは、年、月、日、曜日、時、分、秒のいずれか 1 つ、またはこれらの任意の組み合わせで、アラームを発生させることができます。アラーム設定を必要とする各アラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

バイナリカウントモードでは、32 ビットの任意ビットの組み合わせでアラームを発生させることができます。アラームの対象とするビットに対応するアラームイネーブルレジスタの ENB ビットに 1 を書き込み、アラームレジスタにアラーム時刻を設定します。アラームの対象外とするビットに対しては、アラームイネーブルレジスタの ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致すると、IELSRn.IR ビットと、RTC_ALM 割り込みに対応した割り込みセット保留／クリア保留レジスタが 1 になります。アラームの検出は、RTC_ALM 割り込みに対応した割り込みセット保留レジスタを読み出すことで確認できますが、通常は割り込みで行うことを推奨します。RTC_ALM 割り込みに対応した割り込みセットイネーブルレジスタが 1 になっている場合、アラームイベント発生時にアラーム割り込みが発生し、アラームの検出が可能になります。

RTC_ALM 割り込みに対応した IELSRn.IR ビットは、0 を書き込むと 0 になります。割り込みを許可した場合、割り込みハンドラの終了後、RTC_ALM 割り込みに対応した割り込みセット保留／クリア保留レジスタが自動的にクリアされます。割り込みを禁止した場合は、RTC_ALM 割り込みに対応した割り込みクリア保留レジスタに 1 を書き込むと、レジスタはクリアされます。

低消費電力状態のときにカウンタとアラーム時刻が一致すると、MCU は低消費電力状態から復帰します。ディープソフトウェアスタンバイモード時は、アラーム割り込み要求が禁止の場合でも、MCU はディープソフトウェアスタンバイモードから復帰します。

26.3.7 アラーム割り込み禁止手順

図 26.8 に、許可状態のアラーム割り込み要求を禁止する手順を示します。

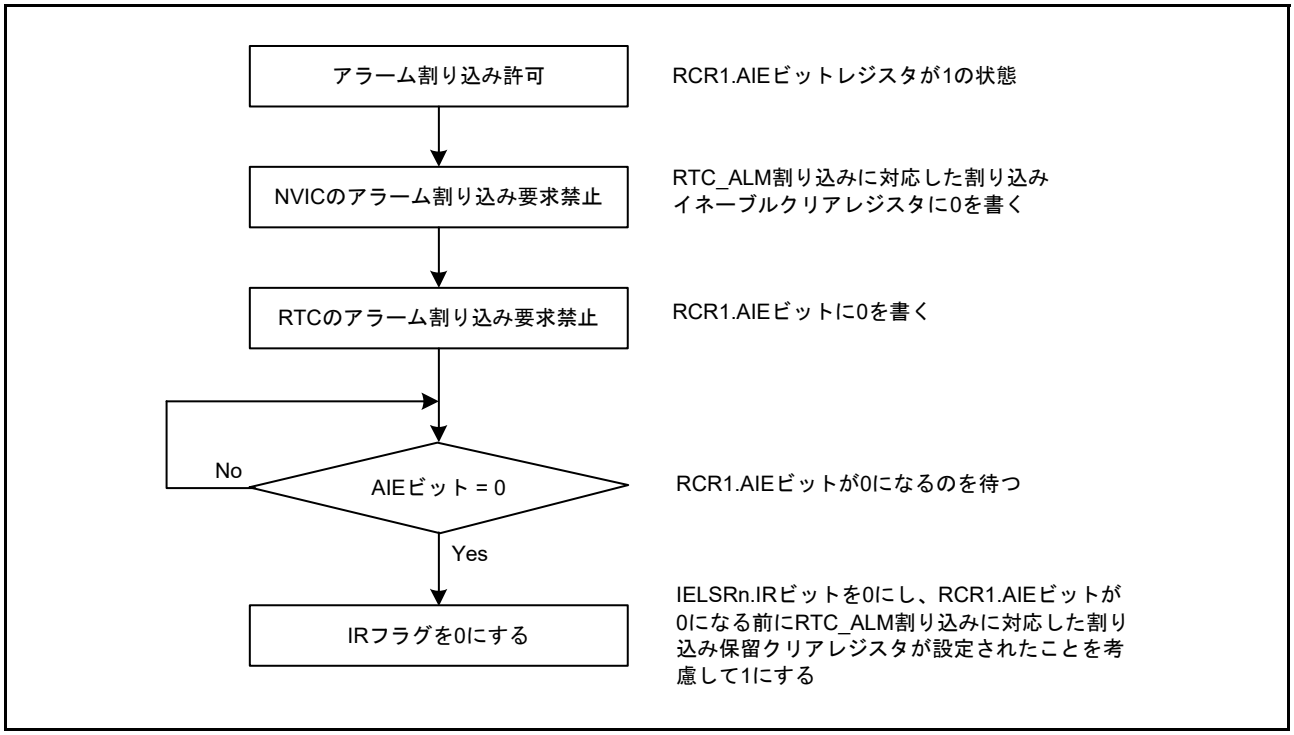


図 26.8 アラーム割り込み要求の禁止手順

26.3.8 時計誤差補正機能

時計誤差補正機能は、サブクロック発振器による発振精度の変動に起因した、時計の誤差（遅れ／進み）を補正するために使用します。サブクロック発振器を選択した場合、サブクロック発振器の 32,768 サイクルが 1 秒の動作に相当するため、サブクロック発振器の周波数が高いと時計が進み、低いと時計が遅れます。

時間誤差補正機能には以下の種類があります。

- 自動補正
- ソフトウェアによる補正

自動補正またはソフトウェアによる補正は、RCR2.AADJE ビットで選択してください。

26.3.8.1 自動補正

RCR2.AADJE ビットを 1 にすると、自動補正が有効になります。自動補正機能では、RCR2.AADJP ビットで選択した補正周期ごとに、プリスケーラでカウントした値に対して RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32,769 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 分当たり 60 クロックサイクルのペースで早くなるため、1 分ごとに 60 クロックサイクルだけ遅らせる方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP ビット = 0（1 分ごとに補正）
- RADJ.PMADJ[1:0] ビット = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] ビット = 60（3Ch）

(2) 例 2：サブクロック発振器が 32.766kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.766kHz で動作している場合、32,766 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 2 クロックサイクル分時計が遅れます。時計は、10 秒当たり 20 クロックサイクルのペースで遅くなるため、10 秒ごとに 20 クロックサイクル分時計を進める方法で補正が可能です。

レジスタ設定値：（RCR2.CNTMD = 0 の場合）

- RCR2.AADJP ビット = 1（10 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] ビット = 20（14h）

(3) 例 3：サブクロック発振器が 32.764kHz で動作している場合

(a) 補正方法

32.764kHz で動作している場合、32,764 クロックサイクルで 1 秒経過します。RTC は、32,768 クロックサイクルを 1 秒として動作するため、時計は 1 秒間に 4 クロックサイクル分遅れます。8 秒間では 32 クロックサイクル分遅れるため、8 秒ごとに 32 クロックサイクル分時計を進めることで補正が可能です。

レジスタ設定値（RCR2.CNTMD = 1 の場合）

- RCR2.AADJP ビット = 1（8 秒ごとに補正）
- RADJ.PMADJ[1:0] ビット = 01b（プリスケーラに対して値を加算して補正）
- RADJ.ADJ[5:0] ビット = 32（20h）

26.3.8.2 ソフトウェアによる補正

RCR2.AADJE ビットを 0 にすると、ソフトウェアによる補正が有効になります。ソフトウェアによる補正では、RADJ レジスタへの書き込み命令を実行したタイミングで、プリスケーラでカウントした値に対し RADJ レジスタ値を加算または減算します。

(1) 例 1：サブクロック発振器が 32.769kHz で動作している場合

(a) 補正方法

サブクロック発振器が 32.769kHz で動作している場合、32,769 クロックサイクルごとに 1 秒経過します。RTC は、32,768 クロックサイクルで動作するよう設計されているため、1 秒ごとに 1 クロックサイクル分時計が進みます。時計は、1 秒当たり 1 クロックサイクルのペースで早くなるため、1 秒ごとに 1 クロックサイクル分、時計を遅らせる方法で補正が可能です。

(b) レジスタ設定値

- RADJ.PMADJ[1:0] ビット = 10b（プリスケーラに対して値を減算して補正）
- RADJ.ADJ[5:0] ビット = 1（01h）
  この値を、1 秒の割り込みにつき 1 回、RADJ レジスタに書き込みます。

26.3.8.3 補正モードの変更手順

補正モードを変更する場合は、RADJ.PMADJ[1:0] ビットを 00b（補正を行わない）にした後、RCR2.AADJE ビットの値を変更してください。

ソフトウェアによる補正から自動補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 1（自動補正有効）にします。
3. RCR2.AADJP ビットで補正周期を選択します。
4. RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正値を設定します。

自動補正からソフトウェアによる補正へ切り替える場合

1. RADJ.PMADJ[1:0] ビットを 00b（補正を行わない）にします。
2. RCR2.AADJE ビットを 0（ソフトウェアによる補正を有効）にします。
3. 任意のタイミングで、RADJ.PMADJ[1:0] ビットに加算または減算を設定し、RADJ.ADJ[5:0] ビットに時計誤差補正値を設定することにより、補正を開始します。以降、RADJ レジスタに値を書き込むごとに時間補正が行われます。

26.3.8.4 補正の停止手順

補正機能を停止するには、RADJ.PMADJ[1:0] ビットを 00b（補正しない）にします。

26.3.8.5 時間キャプチャ

RTC は、時間キャプチャイベント入力端子のエッジ検出によって、月、日、時、分、および秒の値、またはバイナリカウンタ 3 ～ 0 の値を格納することが可能です。

また、RTC の時間キャプチャイベント入力端子には、ノイズフィルタを使用できます。ノイズフィルタを有効にした場合、端子の入力レベルが 3 回一致すると TCST ビットが 1 になります。

時間キャプチャイベント入力端子は、端子ごとにノイズフィルタの ON/OFF を設定できます。VBTICTLR.VCHnIEN（n = 0 ～ 2）を 1 にして、RTCICn 入力を有効にしてください。ノイズフィルタ OFF の場合の動作を図 26.9 に、ノイズフィルタ ON の場合の動作を図 26.10 に示します。

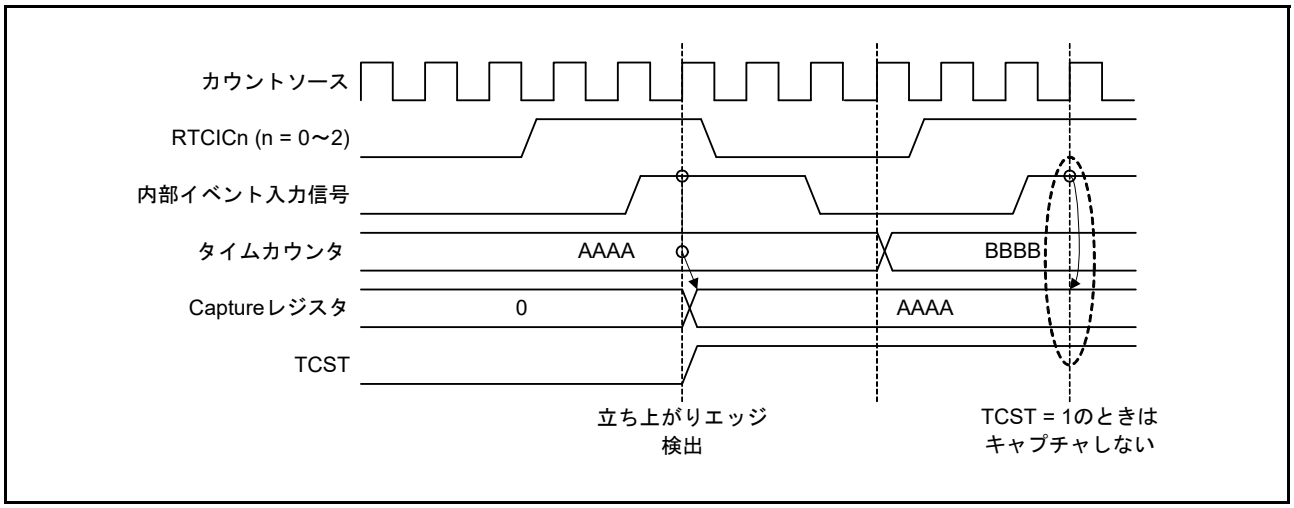


図 26.9 時間キャプチャ動作タイミング（フィルタ OFF）

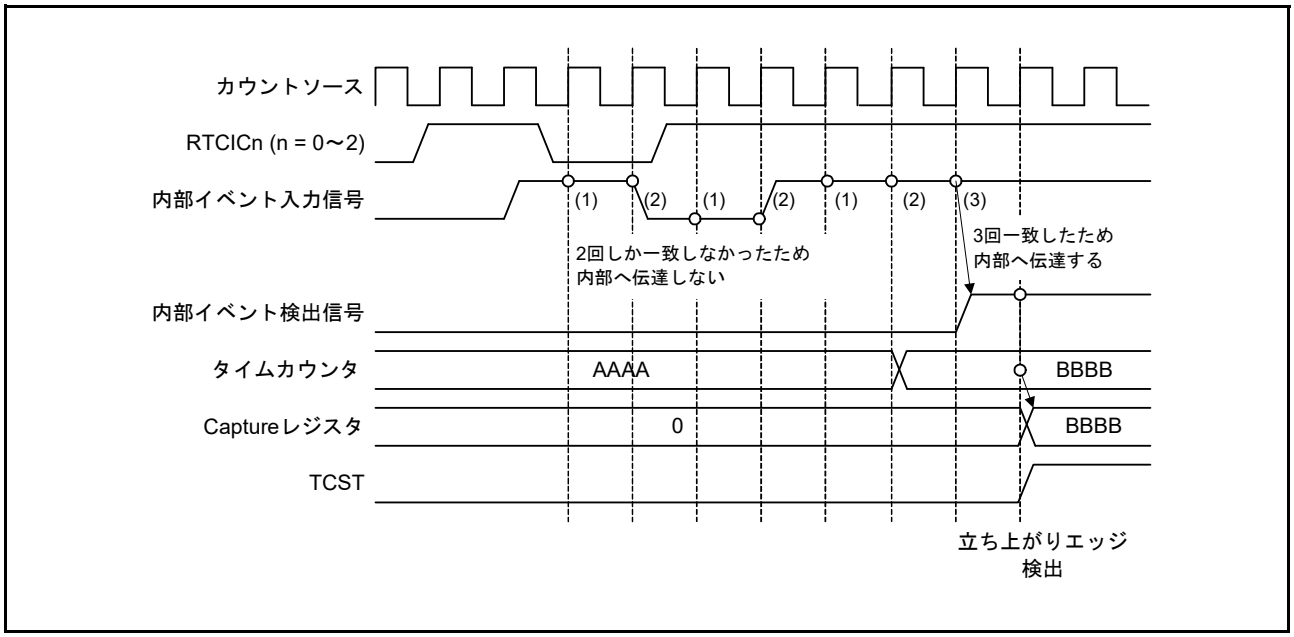


図 26.10 時間キャプチャ動作タイミング（フィルタ ON）

26.4 割り込み要因

RTC には、表 26.3 に示すように、3 種類の割り込み要因があります。

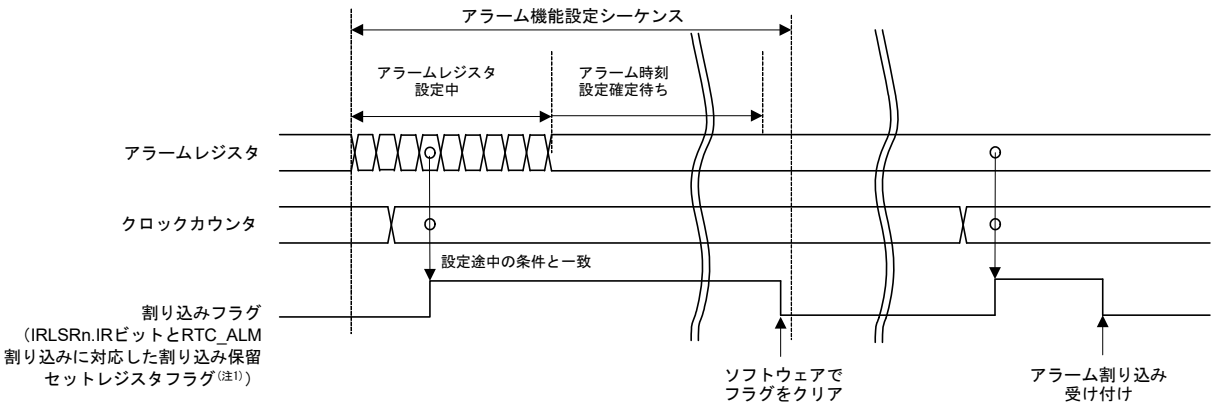
表 26.3 RTCの割り込み要因

名称	割り込み要因
RTC_ALM	アラーム割り込み
RTC_PRD	周期割り込み
RTC_CUP	桁上げ割り込み

(1) アラーム割り込み（RTC_ALM）

この割り込みは、アラームレジスタと RTC カウンタの比較結果に基づいて発生します。詳細は、26.3.6 アラーム機能を参照してください。

アラームレジスタの設定値が時計カウンタと一致したとき、割り込みフラグが 1 になる可能性があるため、アラームレジスタの値を変更した後は、アラーム時刻の設定が確定されるまで待って、IELSRn.IR ビットと、RTC_ALM 割り込みに対応する割り込みセット保留レジスタを再び 0 にクリアしてください。アラーム割り込みの割り込みフラグが 1 になった後、アラームレジスタと時計カウンタを不一致状態に戻すと、再び一致するかアラームレジスタの値の再設定を行うまでフラグは 1 になりません。



注 1. 対応する割り込みベクタ番号は「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 26.11 アラーム割り込み（RTC_ALM）のタイミング

(2) 周期割り込み（RTC_PRD）

この割り込みは、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、または 1/256 秒周期で発生します。RCR1.PES[3:0] ビットによって割り込み周期の選択が可能です。

(3) 桁上げ割り込み（RTC_CUP）

この割り込みは、秒カウンタ／バイナリカウンタ 0 への桁上げが生じたとき、または 64Hz カウンタの読み出しと R64CNT カウンタへの桁上げが重なったときに発生します。

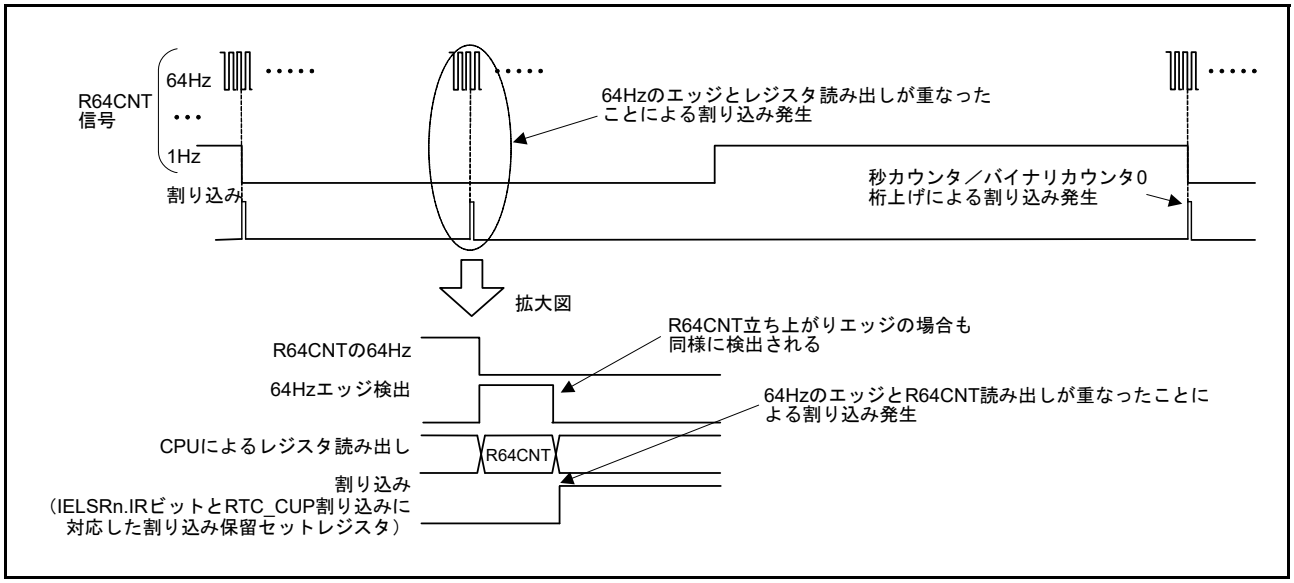


図 26.12 桁上げ割り込み（RTC_CUP）のタイミング

26.5 イベントリンクコントローラ（ELC）への出力

RTC は、ELC 用の周期イベント出力（RTC_PRD）のイベント信号を発生させることで、あらかじめ選択しておいた他のモジュールを動作させることが可能です。

RCR1.PES[3:0] ビットの設定により、2 秒、1 秒、1/2 秒、1/4 秒、1/8 秒、1/16 秒、1/32 秒、1/64 秒、1/128 秒、1/256 秒から選択した周期でイベントを出力します。

イベント発生を選択した直後のイベント発生周期は保証されません。

注 . RTC からのイベントリンク機能を使用する場合は、必ず RTC の設定（初期化、時刻設定など）を行った後、ELC を設定してください。ELC の設定後に RTC を設定すると、意図しないイベント信号を出力する場合があります。

26.5.1 割り込み処理とイベントリンク機能

RTC には、周期割り込みを許可または禁止する許可ビットがあります。割り込み要因が発生すると、対応する割り込み許可ビットが許可の場合に、CPU に対して割り込み要求信号を出力します。

これに対して、イベントリンク出力信号は、対応する割り込み許可ビットの設定とは無関係に、割り込み要因が発生すると、ELC を介して他のモジュールにイベント信号として出力します。

注 . ソフトウェアスタンバイまたはディープソフトウェアスタンバイモード中も、アラーム割り込みと周期割り込みの出力は可能ですが、ELC 用の周期イベント信号は出力しません。

26.6 使用上の注意事項

26.6.1 カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2.START ビットが 1 のとき）は、以下のレジスタに書き込みを行わないでください。

- RSECCNT/BCNT0
- RMINCNT/BCNT1
- RHRCNT/BCNT2
- RDAYCNT
- RWKCNT/BCNT3
- RMONCNT
- RYRCNT
- RCR1.RTCOS
- RCR2.RTCOE
- RCR2.HR24
- RFRL

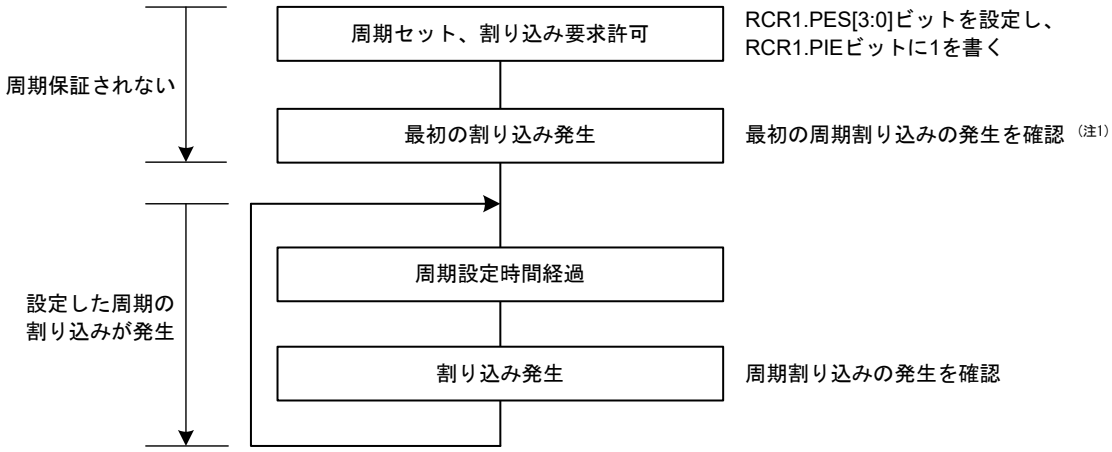
上記のレジスタのいずれかに書き込みを行う場合、カウントを停止してから書き込んでください。

26.6.2 周期割り込みの使用について

周期割り込みの使用法を図 26.13 に示します。

周期割り込みの発生とその周期は、RCR1.PES[3:0] ビットの設定で変更できます。ただし、割り込みの生成にはプリスケーラ R64CNT と RSECCNT/BCNT0 カウンタが使用されるため、RCR1.PES[3:0] ビットの設定直後は、割り込み発生周期が保証されません。

さらに、RCR2 レジスタ値を変更して、カウント動作の停止／動作／リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、割り込み発生周期に影響を与えます。時計誤差補正機能を使用した場合、補正後の割り込み発生周期は、補正値に従って加算または減算されます。



注 1. 周期割り込みを使用中に割り込み発生周期を変更した場合は、設定完了時に割り込みが発生する場合があります。設定直後に割り込みが発生している場合は、設定直後の割り込みを含めて 2 回目の割り込みまで周期が保証されません。

図 26.13 周期割り込み機能の使用方法

26.6.3 RTCOUT（1Hz/64Hz）クロック出力について

RCR2 レジスタ値を変更して、カウント動作の停止／動作／リセット、RTC ソフトウェアリセット、および 30 秒調整を行うと、RTCOUT（1Hz/64Hz）出力周期に影響を与えす。時計誤差補正機能を使用した場合、補正後の RTCOUT（1Hz/64Hz）出力周期は、補正値に従って加算または減算されます。

26.6.4 レジスタ設定後の低消費電力モードへの遷移について

RTC 内レジスタへの書き込み中に低消費電力状態（ソフトウェアスタンバイモード／ディープソフトウェアスタンバイモード／バッテリバックアップ状態）へ遷移すると、レジスタ値が破壊する可能性があります。レジスタの設定後は、設定が確定されたことを確認してから低消費電力モードへ遷移してください。

26.6.5 レジスタの書き込み／読み出し時の注意事項

- カウンタレジスタ（秒カウンタなど）へ書き込んだ後、そのカウンタレジスタを読み出す際は、26.3.5 64Hz カウンタと時刻の読み出しに示す手順に従ってください。
- カウントレジスタ、アラームレジスタ、年アラームイネーブルレジスタ、RCR2.AADJE 、AADJP 、HR24 ビット、RCR4 レジスタ、または周波数レジスタに書いた値は、書き込み後、4 回目の読み出しから反映されます。
- RCR1.CIE ビット、RCR1.RTCOS ビット、および RCR2.RTCOE ビットは、書き込み直後に書いた値を読み出すことができます。
- リセットあるいはソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード、またはバッテリバックアップ状態から復帰した後、タイマカウンタ値を読み出す際は、時計が動作中（RCR2.START ビットが 1）の状態で 1/128 秒間待ってから読み出しを行ってください。
- リセット発生後、カウントソースクロックが 6 サイクル経過してから、RTC レジスタへ書き込んでください。

26.6.6 カウントモードの変更について

カウントモード（カレンダ／バイナリ）を変更する場合は、RCR2.START ビットを 0 にしてカウント動作を停止させた後、初期設定からやり直してください。初期設定の詳細は、26.3.1 電源投入後のレジスタ初期設定の概要を参照してください。

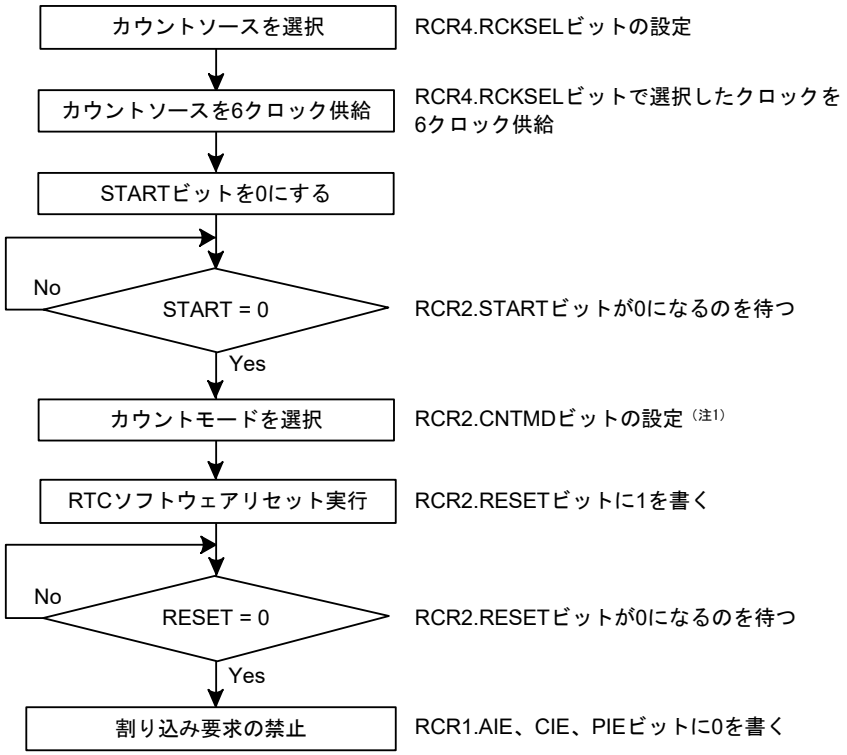
26.6.7 リアルタイムクロックを使用しない場合の初期化手順

RTC 内のレジスタは、リセットによって初期化されません。初期状態によっては、意図しない割り込み要求の発生やカウンタの動作によって、電力消費が多くなります。

リアルタイムクロックを必要としない製品では、図 26.14 に示す初期化手順に従って、レジスタを初期化してください。

他の方法として、サブクロック発振器をシステムクロックにもリアルタイムクロックにも使用しない場合は、RCR4.RCKSEL ビットを 0（サブクロック発振器を選択）にした後、サブクロック発振器を停止させることでカウンタを停止できます。サブクロック発振器を停止するには、SOSCCR.SOSTP ビットに 1 を書き込んでください。

SOSCCR.SOSTP ビットの設定については、「9. クロック発生回路」を参照してください。



注 1. START ビットに 0 を書くのと同時にカウントモードを設定している場合、本手順を省略できます。

図 26.14 初期化手順

27. ウォッチドッグタイマ（WDT）

27.1 概要

ウォッチドッグタイマ（WDT）は 14 ビットのダウンカウンタです。システムが暴走して WDT をリフレッシュできなくなったため、カウンタがアンダーフローした場合に MCU をリセットするために使用できます。さらに、ノンマスカブル割り込みやアンダーフロー割り込みを発生させるためにも使用できます。リフレッシュ許可期間を設定することで、カウンタのリフレッシュやシステムの暴走検知が可能になります。表 27.1 に WDT の仕様を、図 27.1 にブロック図を示します。

表 27.1 WDTの仕様

項目	内容
カウントソース	周辺クロック（PCLKB）
クロック分周比	4分周／64分周／128分周／512分周／2048分周／8192分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	• オートスタートモード：リセット後、またはアンダーフロー／リフレッシュエラー発生後に自動的にカウント開始 • レジスタスタートモード：リフレッシュ動作（WDTRRレジスタへの書き込み）によってカウント開始
カウンタ停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラー発生時
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
WDTリセット要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）
カウンタ値の読み出し	WDTSRレジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力

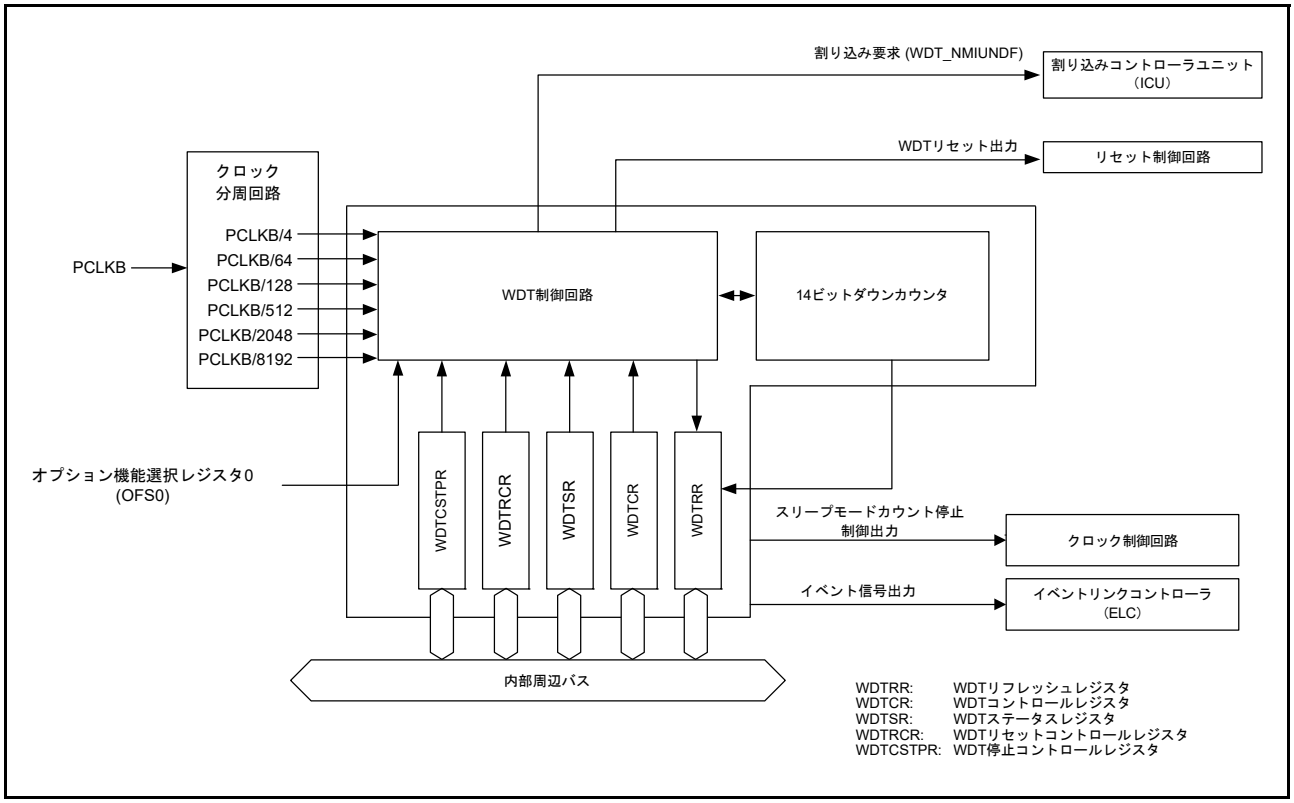
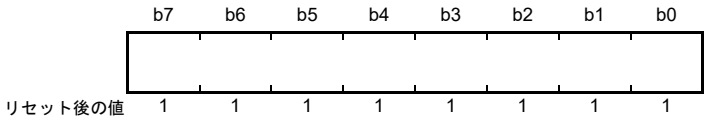


図 27.1 WDT のブロック図

27.2 レジスタの説明

27.2.1 WDT リフレッシュレジスタ（WDTRR）

アドレス WDT.WDTRR 4004 4200h



ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

WDTRR レジスタは、WDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に、WDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、WDT のダウンカウンタがリフレッシュされます。オートスタートモードでは、ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0 の WDT タイムアウト期間選択ビット（OFS0.WDTTOPS[1:0]）で設定した値からダウンカウントを行います。レジスタスタートモードでは、WDT コントロールレジスタのタイムアウト期間選択ビット（WDTCR.TOPS[1:0]）で設定した値からダウンカウントを行います。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、27.3.3 リフレッシュ動作を参照してください。

27.2.2 WDT コントロールレジスタ（WDTCR）

アドレス WDT.WDTCR 4004 4202h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RPSS[1:0]		—	—	RPES[1:0]		CKS[3:0]				—	—	TOPS[1:0]	
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択	b1 b0 0 0 : 1024サイクル（03FFh） 0 1 : 4096サイクル（0FFFh） 1 0 : 8192サイクル（1FFFh） 1 1 : 16384サイクル（3FFFh）	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b4	CKS[3:0]	クロック分周比選択	b7 b4 0 0 0 1 : PCLKB/4 0 1 0 0 : PCLKB/64 1 1 1 1 : PCLKB/128 0 1 1 0 : PCLKB/512 0 1 1 1 : PCLKB/2048 1 0 0 0 : PCLKB/8192 上記以外は設定しないでください。	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0%（ウィンドウ終了位置の設定なし）	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100%（ウィンドウ開始位置の設定なし）	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

WDTCR レジスタへの書き込みには、いくつかの制限があります。詳細は、27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御を参照してください。

オートスタートモードの場合、WDTCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0（OFS0）の設定値が有効となります。OFS0 レジスタの設定は、WDTCR レジスタと同様の設定が可能です。詳細は、27.3.7 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応関係を参照してください。

TOPS[1:0] ビット（タイムアウト期間選択）

ダウンカウンタがアンダーフローするまでのタイムアウト期間について、CKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、1024 サイクル／ 4096 サイクル／ 8192 サイクル／ 16384 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの PCLKB サイクル数は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 27.2 に、CKS[3:0] および TOPS[1:0] ビットの設定値、タイムアウト期間、および PCLKB サイクル数の関係を示します。

表 27.2 タイムアウト期間の設定

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間（サイクル数）	PCLKB クロックサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	1	0	0	PCLKB/4	1024	4096
				0	1		4096	16384
				1	0		8192	32768
				1	1		16384	65536
0	1	0	0	0	0	PCLKB/64	1024	65536
				0	1		4096	262144
				1	0		8192	524288
				1	1		16384	1048576
1	1	1	1	0	0	PCLKB/128	1024	131072
				0	1		4096	524288
				1	0		8192	1048576
				1	1		16384	2097152
0	1	1	0	0	0	PCLKB/512	1024	524288
				0	1		4096	2097152
				1	0		8192	4194304
				1	1		16384	8388608
0	1	1	1	0	0	PCLKB/2048	1024	2097152
				0	1		4096	8388608
				1	0		8192	16777216
				1	1		16384	33554432
1	0	0	0	0	0	PCLKB/8192	1024	8388608
				0	1		4096	33554432
				1	0		8192	67108864
				1	1		16384	134217728

CKS[3:0] ビット（クロック分周比選択）

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、周辺クロック（PCLKB）の 4 分周／ 64 分周／ 128 分周／ 512 分周／ 2048 分周／ 8192 分周から選択できます。TOPS[1:0] ビット設定と組み合わせて、WDT のカウント期間を PCLKB クロックの 4096 ～ 134217728 サイクルの間で設定できます。

RPES[1:0] ビット（ウィンドウ終了位置選択）

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定してください（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置がウィンドウ開始位置よりも大きいと、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット（ウィンドウ開始位置選択）

リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値を設定してください。ウィンドウ開始位置に対してウィンドウ終了位置以下の値を設定した場合、ウィンドウ終了位置は 0% になります。

ウィンドウ開始、終了位置のカウンタ値を表 27.3 に、RPSS[1:0]、RPES[1:0]、TOPS[1:0] ビットで設定されるリフレッシュ許可期間を図 27.2 に示します。

表 27.3 タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

TOPS[1:0]ビット		タイムアウト期間		ウィンドウ開始／終了カウンタ値			
		サイクル数	カウンタ値	100%	75%	50%	25%
0	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
0	1	4096	0FFFh	0FFFh	0BFFh	07FFh	03FFh
1	0	8192	1FFFh	1FFFh	17FFh	0FFFh	07FFh
1	1	16384	3FFFh	3FFFh	2FFFh	1FFFh	0FFFh

RPSS[1:0]ビット		RPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始（%）	終了（%）
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75

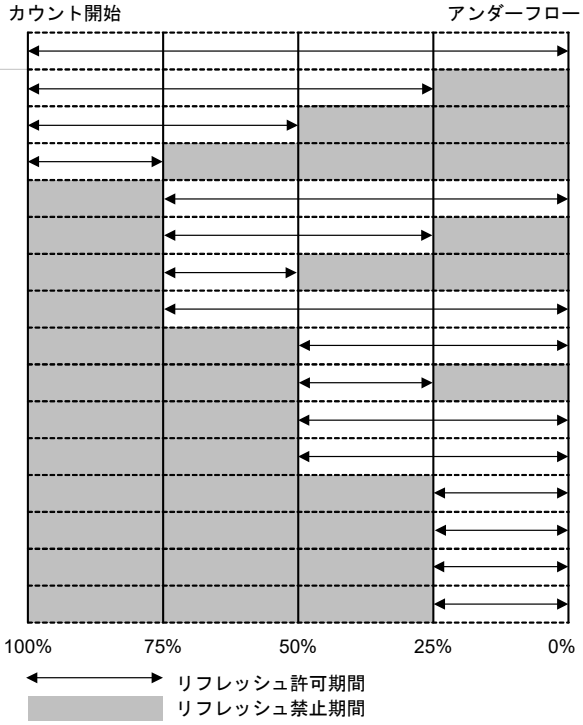


図 27.2 RPSS[1:0] および RPES[1:0] ビットとリフレッシュ許可期間

27.2.3 WDT ステータスレジスタ（WDTSR）

アドレス WDT.WDTSR 4004 4204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	REFEF	UNDFF	CNTVAL[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	ダウンカウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFF	アンダーフローフラグ	0：アンダーフロー発生なし 1：アンダーフロー発生あり	R(/W) （注1）
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラー発生なし 1：リフレッシュエラー発生あり	R(/W) （注1）

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

CNTVAL[13:0] ビット（ダウンカウンタ値）

CNTVAL[13:0] ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、ダウンカウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、（N + 1）PCLKB サイクルを要します。さらに、アンダーフローの発生から（N + 1）PCLKB サイクル数の間は、このフラグをクリアしても無視されます。N は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512
- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラー発生状態を確認できます。リフレッシュエラーは、リフレッシュ禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生した状態です。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、（N + 1）PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から（N + 1）PCLKB サイクル数の間は、このフラグをクリアしても無視されます。N は、次式のように、WDTCR.CKS[3:0] ビットで指定されます。

- WDTCR.CKS[3:0] = 0001b のとき、N = 4
- WDTCR.CKS[3:0] = 0100b のとき、N = 64
- WDTCR.CKS[3:0] = 1111b のとき、N = 128
- WDTCR.CKS[3:0] = 0110b のとき、N = 512

- WDTCR.CKS[3:0] = 0111b のとき、N = 2048
- WDTCR.CKS[3:0] = 1000b のとき、N = 8192

27.2.4 WDT リセットコントロールレジスタ（WDTRCR）

アドレス WDT.WDTRCR 4004 4206h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIRQS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	RSTIRQS	リセット割り込み要求選択	0：ノンマスカブル割り込み要求または割り込み要求出力を許可 1：リセット出力を許可	R/W

WDTRCR レジスタへの書き込みには、いくつかの制限があります。詳細は、27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御を参照してください。

オートスタートモードの場合、WDTRCR レジスタの設定値は無効となり、オプション機能選択レジスタ 0（OFS0）の設定値が有効となります。WDTCR レジスタの設定は、OFS0 レジスタでも可能です。詳細は、227.3.7 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応関係を参照してください。

27.2.5 WDT カウント停止コントロールレジスタ（WDTCSTPR）

アドレス WDT.WDTCSTPR 4004 4208h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCSTP	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SLCSTP	スリープモードカウント停止制御	0：カウント停止を禁止 1：スリープモード遷移時にカウント停止	R/W

WDTCSTPR レジスタは、低消費電力モードにおいて、WDT カウンタを停止させるかどうかを制御します。WDTCSTPR レジスタへの書き込みには、いくつかの制限があります。詳細は、27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御を参照してください。

オートスタートモードの場合、WDTCSTPR レジスタの設定値は無効となり、オプション機能選択レジスタ 0（OFS0）の設定値が有効となります。OFS0 レジスタの設定は、WDTCSTPR レジスタと同様の設定が可能です。詳細は、27.3.7 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応関係を参照してください。

SLCSTP ビット（スリープモードカウント停止制御）

スリープモード遷移時に、カウントを停止させるかどうかを選択します。

27.2.6 オプション機能選択レジスタ 0（OFS0）

OFS0 レジスタについては、27.3.7 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応関係を参照してください。

27.3 動作説明

27.3.1 スタートモード別のカウント動作

WDT には、次の 2 つのスタートモードがあります。

- オートスタートモード：リセット状態の解除後、自動的にカウント開始
- レジスタスタートモード：リフレッシュ（レジスタへの書き込み）によってカウント開始

オートスタートモードでは、リセット状態の解除後、フラッシュ内のオプション機能選択レジスタ 0（OFS0）の設定に従って自動的にカウントを開始します。

レジスタスタートモードでは、リセット状態の解除後、各レジスタを設定してからリフレッシュ（レジスタへの書き込み）を行うと、カウントを開始します。

オートスタートモードまたはレジスタスタートモードの選択は、OFS0 レジスタの WDT スタートモード選択ビット（OFS0.WDTSTRT）で行います。オートスタートモードを選択した場合、WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）、および WDT カウント停止コントロールレジスタ（WDTCSTPR）の設定値は無効となり、OFS0 レジスタの設定値が有効となります。レジスタスタートモードを選択した場合、OFS0 レジスタの設定値は無効となり、WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）、および WDT カウント停止コントロールレジスタ（WDTCSTPR）の設定値が有効となります。

27.3.1.1 レジスタスタートモード

WDT スタートモード選択ビット（OFS0.WDTSTRT）が 1 の場合、レジスタスタートモードが選択されて、WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）、および WDT カウント停止コントロールレジスタ（WDTCSTPR）が有効となります。

リセット状態の解除後、WDTCSTPR レジスタで以下をスリープモードに設定してください。

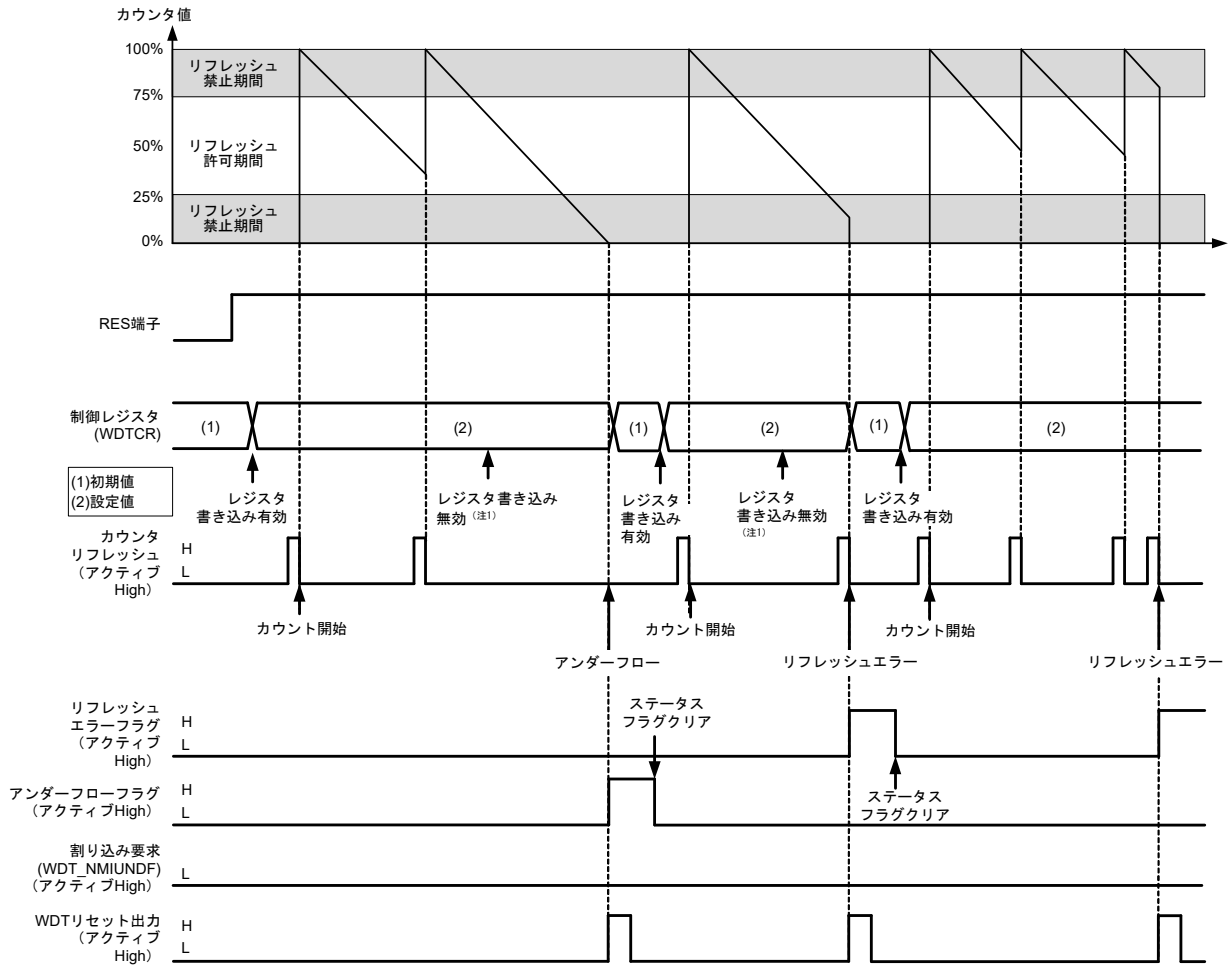
- クロック分周比
- ウィンドウ開始／終了位置
- WDTCR レジスタにおいて、タイムアウト期間
- WDTRCR レジスタにおいて、リセット出力または割り込み要求出力
- 遷移時のカウンタ停止制御

ダウンカウンタをリフレッシュして、タイムアウト期間選択ビット（WDTCR.TOPS[1:0]）で設定した値からダウンカウントを開始してください。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、WDT はリセット信号を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュできなかったか、あるいはリフレッシュ許可期間外のリフレッシュ動作によってリフレッシュエラーが発生したため、カウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求（WDT_NMIUNDF）をアサートします。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット（WDTRCR.RSTIRQS）で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット（NMIER.WDTEN）で行います。

図 27.3 に、下記の条件下での動作例を示します。

- レジスタスタートモード（OFS0.WDTSTRT = 1）
- リセット出力を許可（WDTRCR.RSTIRQS = 1）
- ウィンドウ開始位置 75%（WDTCR.RPSS[1:0] = 10b）
- ウィンドウ終了位置 25%（WDTCR.RPES[1:0] = 10b）



注 1. 27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御を参照してください。

図 27.3 レジスタスタートモードでの動作例

27.3.1.2 オートスタートモード

WDT スタートモード選択ビット（OFS0.WDTSTRT）が 0 の場合、オートスタートモードが選択されます。WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）、および WDT カウント停止コントロールレジスタ（WDTCSTPR）の設定値は無効となり、OFS0 レジスタの設定値が有効となります。

リセット状態の間に、オプション機能選択レジスタ 0（OFS0）の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始／終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- スリープモード遷移時のカウント停止制御

リセット状態が解除されると、WDT タイムアウト期間選択ビット（OFS0.WDTTOPS[1:0]）で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウント継続中、WDT はリセット信号を出力しません。ただし、プログラムの暴走によってダウンカウンタをリフレッシュが不可能になったか、あるいはリフレッシュ許可期間外のリフレッシュによってリフレッシュエラーが発生したため、カウンタがアンダーフローした場合は、WDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求（WDT_NMIUNDF）をアサートします。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードします。ダウンカウンタにタイムアウト期間の値が設定され、カウントが再開します。リセット出力または割り込み要求出力の選択は、WDT リセット割り込み要求選択ビット（OFS0.WDTRSTIRQS）で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、WDT アンダーフロー／リフレッシュエラー割り込み許可ビット（NMIER.WDTEN）で行います。

図 27.4 に、下記の条件下での動作（ノンマスカブル割り込み）例を示します。

- オートスタートモード（OFS0.WDTSTRT = 0）
- ノンマスカブル割り込み要求出力を許可（OFS0.WDTRSTIRQS = 0）
- ウィンドウ開始位置 75%（WDTCR.RPSS[1:0] = 10b）
- ウィンドウ終了位置 25%（WDTCR.RPES[1:0] = 10b）

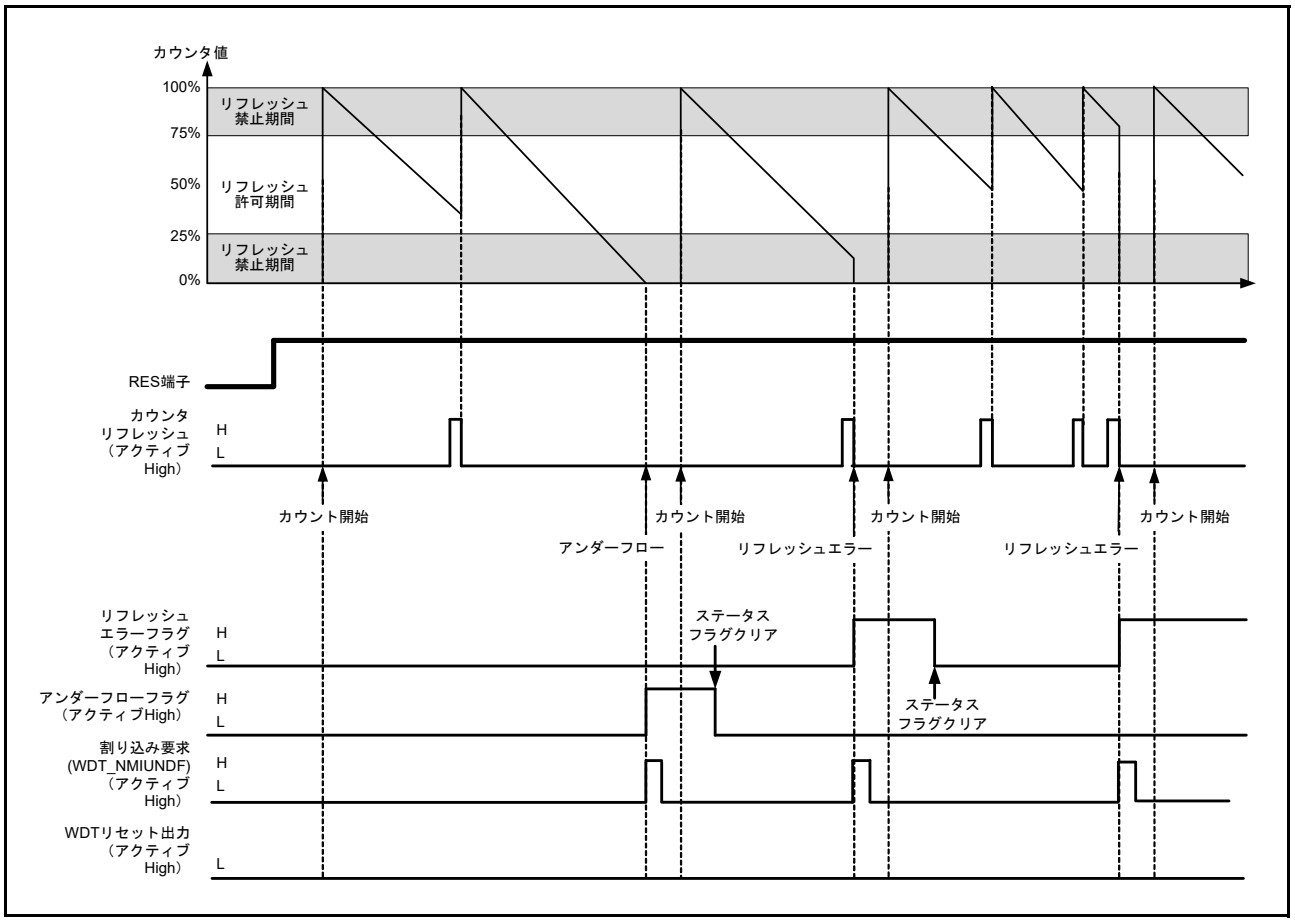


図 27.4　オートスタートモードでの動作例

27.3.2 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込み制御

WDT コントロールレジスタ（WDTCR）、WDT リセットコントロールレジスタ（WDTRCR）、および WDT カウント停止コントロールレジスタ（WDTCSTPR）への書き込みは、リセット状態の解除から最初のリフレッシュ動作までの間に 1 回可能です。

リフレッシュ（カウントスタート）後、あるいは WDTCR、WDTRCR、または WDTCSTPR レジスタへ書き込み後に、WDT 内部のプロテクト信号が 1 となり、以後 WDTCR、WDTRCR、および WDTCSTPR レジスタへの書き込みを保護します。この保護動作は、WDT のリセット要因によって解除されます。それ以外のリセット要因では解除されません。

図 27.5 に、WDTCR レジスタへの書き込みに対して生成される制御波形を示します。

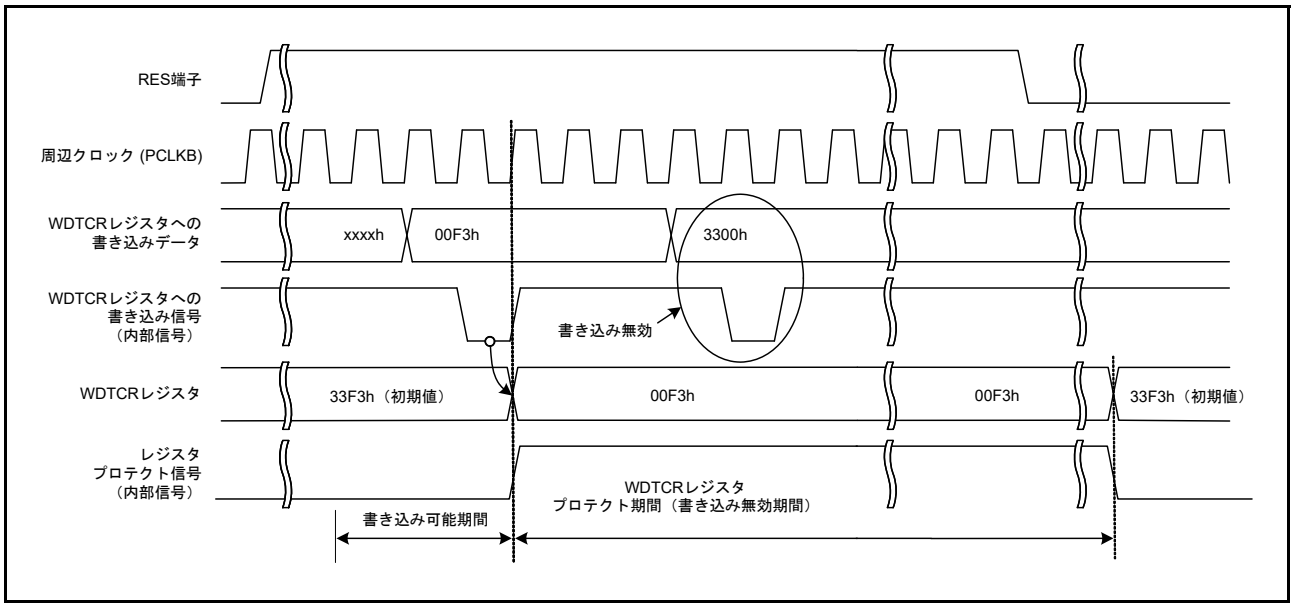


図 27.5 WDTCR レジスタへの書き込みに対して生成される制御波形

27.3.3 リフレッシュ動作

ダウンカウンタをリフレッシュしてカウント動作を開始するには、WDT リフレッシュレジスタ（WDTRR）に 00h と FFh の書き込みを行います。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、WDTRR レジスタへ 00h と FFh を書き込むと、正常なリフレッシュが再開します。

また、WDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、WDTRR 以外のレジスタにアクセスするか、または WDTRR レジスタを読み出しても、正常にリフレッシュが行われます。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があります。この判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h（n-1 回目）→ 00h（n 回目）→ FFh
- 00h →別レジスタへのアクセスまたは WDTRR レジスタの読み出し→ FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h（00h 以外の値）→ FFh
- 00h → 54h（FFh 以外の値）
- 00h → AAh（00h および FFh 以外の値）→ FFh

ダウンカウンタのリフレッシュには、WDT リフレッシュレジスタ（WDTRR）に FFh を書き込んでから、カウント信号のサイクル数で最大 4 サイクルを要します。この要件を満たすには、ダウンカウンタのアンダーフローが発生する 4 カウントサイクル前までに、WDTRR レジスタへの FFh の書き込みを完了する必要があります。

図 27.6 に、クロック分周比が PCLKB/64 である場合の WDT リフレッシュ動作波形を示します。

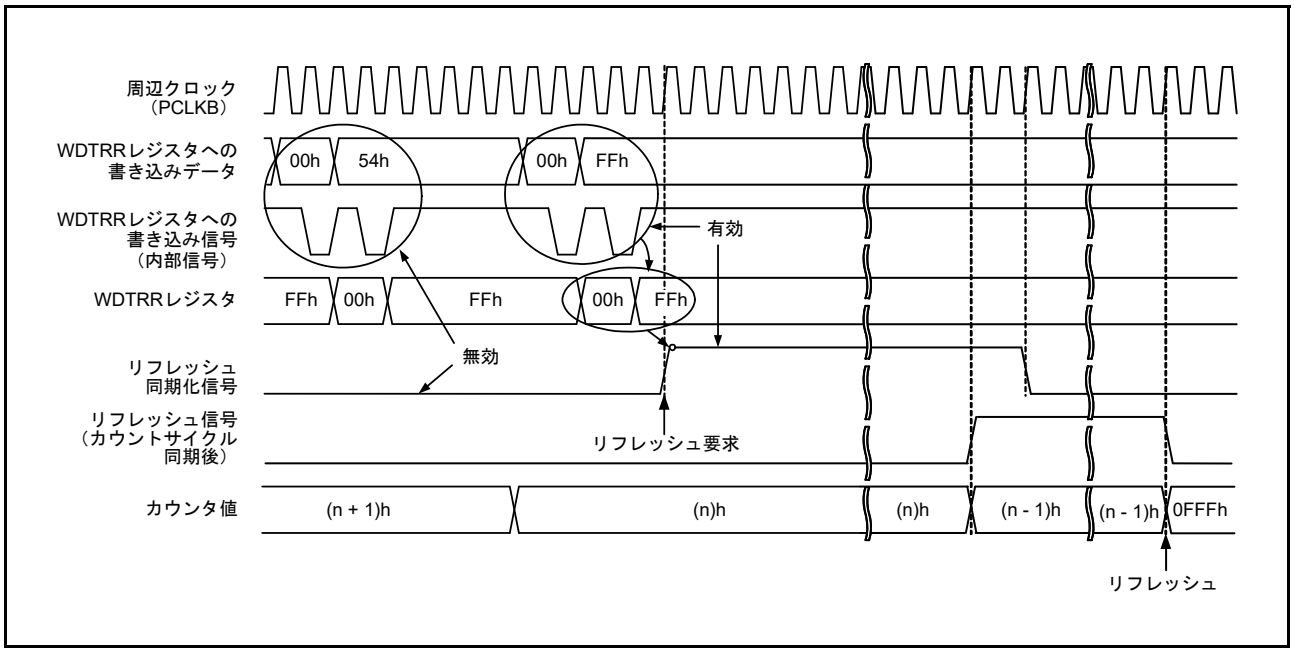


図 27.6 WDT リフレッシュ動作波形（WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合）

27.3.4 リセット出力

レジスタスタートモードでリセット割り込み選択ビット（WDTRCR.RSTIRQS）を 1 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0（OFS0）の WDT リセット割り込み要求選択ビット（OFS0.WDTRSTIRQS）を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を 1 サイクル間出力します。

レジスタスタートモードでは、リセット信号の出力後、ダウンカウンタが初期化され（全ビットが 0 になり）、その状態のまま停止します。リセット状態が解除されて、プログラムが再起動した後は、リフレッシュ動作によってカウンタが設定され、ダウンカウントを再開します。オートスタートモードでは、リセット状態の解除後、自動的にダウンカウントを開始します。

27.3.5 割り込み要因

レジスタスタートモードでリセット割り込み選択ビット（WDTRCR.RSTIRQS）を 0 にした場合、またはオートスタートモードでオプション機能選択レジスタ 0（OFS0）の WDT リセット割り込み要求選択ビット（OFS0.WDTRSTIRQS）を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号（WDT_NMIUNDF）が発生します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

表 27.4 WDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
WDT_NMIUNDF	• ダウンカウンタのアンダーフロー • リフレッシュエラー	不可能	不可能

27.3.6 ダウンカウンタ値の読み出し

WDT は、カウンタ値を WDT ステータスレジスタのダウンカウンタ値ビット（WDTSR.CNTVAL[13:0]）に格納します。これらのビットを確認して、カウンタ値を取得してください。

図 27.7 に、クロック分周比が PCLKB/64 である場合の WDT ダウンカウンタ値の読み出し処理を示します。

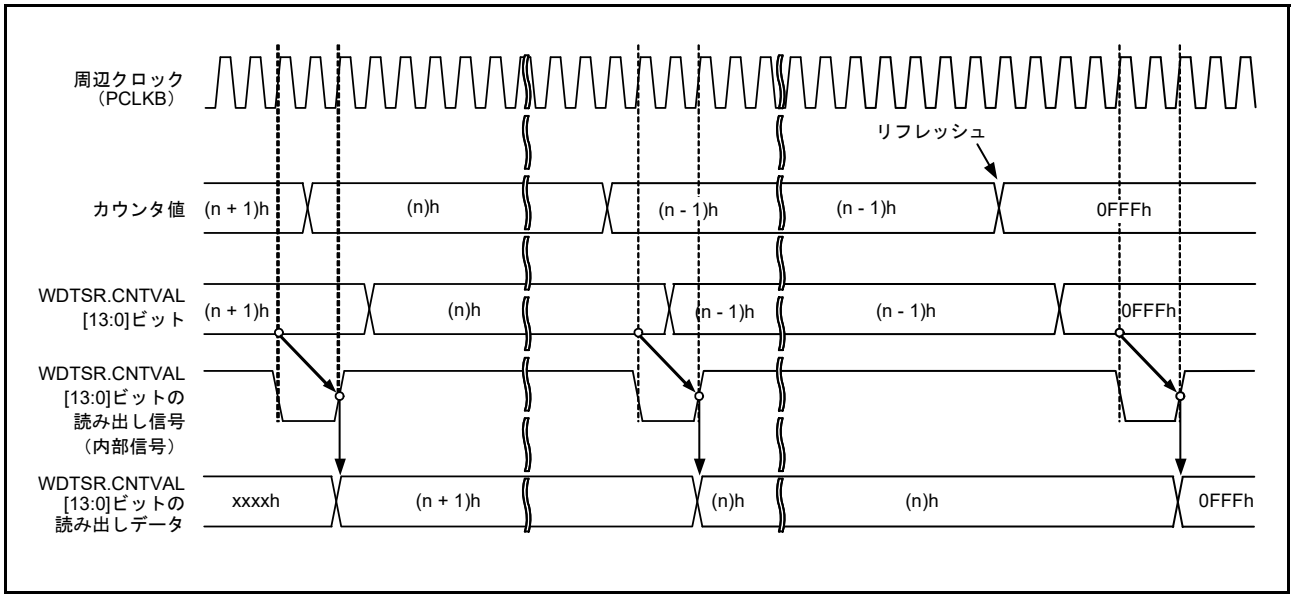


図 27.7 WDT ダウンカウンタ値の読み出し処理（WDTCR.CKS[3:0] = 0100b、WDTCR.TOPS[1:0] = 01b の場合）

27.3.7 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応関係

表 27.5 に、オートスタートモードで使用するオプション機能選択レジスタ 0（OFS0）と、レジスタスタートモードで使用するレジスタの対応関係を示します。OFS0 レジスタの設定値は、WDT 動作中は変更しないでください。オプション機能選択レジスタ 0（OFS0）の詳細は、7.2.1 オプション機能選択レジスタ 0（OFS0）を参照してください。

表 27.5 オプション機能選択レジスタ 0（OFS0）と WDT レジスタの対応関係

制御対象	機能	OFS0 レジスタ（オートスタートモードで有効）OFS0.WDTSTRT = 0	WDT レジスタ（レジスタスタートモードで有効）OFS0.WDTSTRT = 1
ダウンカウンタ	タイムアウト期間選択	OFS0.WDTTOPS[1:0]	WDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.WDTCKS[3:0]	WDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.WDTRPSS[1:0]	WDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.WDTRPES[1:0]	WDTCR.RPES[1:0]
リセット出力／割り込み要求出力	リセット出力／割り込み要求出力選択	OFS0.WDTRSTIRQS	WDTRCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.WDTSTPCTL	WDTCSTPR.SLCSTP

27.4 イベントリンクコントローラ（ELC）への出力

ELC が割り込み要求信号をイベント信号として使用する場合、WDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、レジスタスタートモードでは WDTRCR.RSTIRQS ビットの設定とは無関係に、オートスタートモードでは OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。リフレッシュエラーフラグ（WDTSR.REFEF）またはアンダーフローフラグ (WDTSR.UNDFF) が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「19. イベントリンクコントローラ（ELC）」を参照してください。

27.5 使用上の注意事項

27.5.1 ICU イベントリンク設定レジスタ n（IELSRn）の設定に関する制限

WDT リセットアサートを許可（OFS0.WDTRSTIRQS = 1 または WDTRCR.RSTIRQS = 1）にした場合、またはイベントリンク動作を許可（ELSRm.ELS[8:0] = 47h）にした場合、ICU イベントリンク設定レジスタ n（IELSRn.IELS[8:0]）に 47h を設定することは禁止されています。

28. 独立ウォッチドッグタイマ（IWDT）

28.1 概要

独立ウォッチドッグタイマ（IWDT）は 14 ビットのダウンカウンタです。このカウンタは、アンダーフロー防止のため周期的に動作させる必要があります。IWDT は、MCU をリセットするため、あるいはノンマスカブル割り込みやアンダーフロー割り込みを生成するために使用できます。このタイマは独立した専用のクロックソースで動作するため、システムが暴走したとき、MCU をフェイルセーフ機構と呼ばれる状態に戻すことに特に役立ちます。IWDT は、リセット、アンダーフロー、リフレッシュエラー、またはレジスタのカウント値のリフレッシュで自動的に起動します。

IWDT の機能は、WDT とは以下の点で異なります。

- カウントソースとして IWDT 専用クロック（IWDTCLK）の分周したものを使用（PCLKB の影響を受けない）
- IWDT はレジスタスタートモードを非サポート
- 低消費電力モード（ディープソフトウェアスタンバイモードを除く）へ遷移する場合、OFS0.IWDTSTPCTL ビットを使用してカウンタを停止する／しないの選択が可能

表 28.1 に IWDT の仕様を、図 28.1 にブロック図を示します。

表 28.1 IWDTの仕様

項目	内容
カウントソース（注1）	IWDT専用クロック（IWDTCLK）
クロック分周比	1分周／16分周／32分周／64分周／128分周／256分周
カウンタ動作	14ビットのダウンカウンタによるダウンカウント
カウンタ開始条件	• リセット後、自動的にカウント開始
カウンタ停止条件	• リセット（ダウンカウンタおよび他のレジスタが初期値に戻る） • カウンタのアンダーフローまたはリフレッシュエラーの発生（自動的にカウント再スタート）
ウィンドウ機能	ウィンドウ開始／終了位置を設定可能（リフレッシュ許可／禁止期間）
IWDTリセット要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）
ノンマスカブル割り込み／割り込み要因	• ダウンカウンタがアンダーフローしたとき • リフレッシュ許可期間外でリフレッシュを行ったとき（リフレッシュエラー）
カウンタ値の読み出し	IWDTSRレジスタを読み出すことで、ダウンカウンタ値の読み出しが可能
イベントリンク機能（出力）	• ダウンカウンタアンダーフローイベント出力 • リフレッシュエラーイベント出力
出力信号（内部信号）	• リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード	下記のトリガに設定可能： • リセット後のクロック分周比（OFS0.IWDTCKS[3:0]ビット） • IWDTのタイムアウト期間（OFS0.IWDTTOPS[1:0]ビット） • IWDTのウィンドウ開始位置（OFS0.IWDTRPSS[1:0]ビット） • IWDTのウィンドウ終了位置（OFS0.IWDTRPES[1:0]ビット） • リセット出力または割り込み要求出力（OFS0.IWDTRSTIRQSビット） • スリープモード、ソフトウェアスタンバイモード、またはスヌーズモード遷移時のダウンカウント停止機能（OFS0.IWDTSTPCTLビット）

注 1. 周辺モジュールクロック（PCLKB）周波数≧ 4 ×（カウントクロックソースの分周後周波数）となるように設定してください。

IWDT を使用するには、IWDT 専用クロック（IWDTCLK）を供給する必要があります。バスインタフェース部とレジスタ部は PCLKB で動作し、14 ビットカウンタと制御回路は IWDTCLK で動作します。

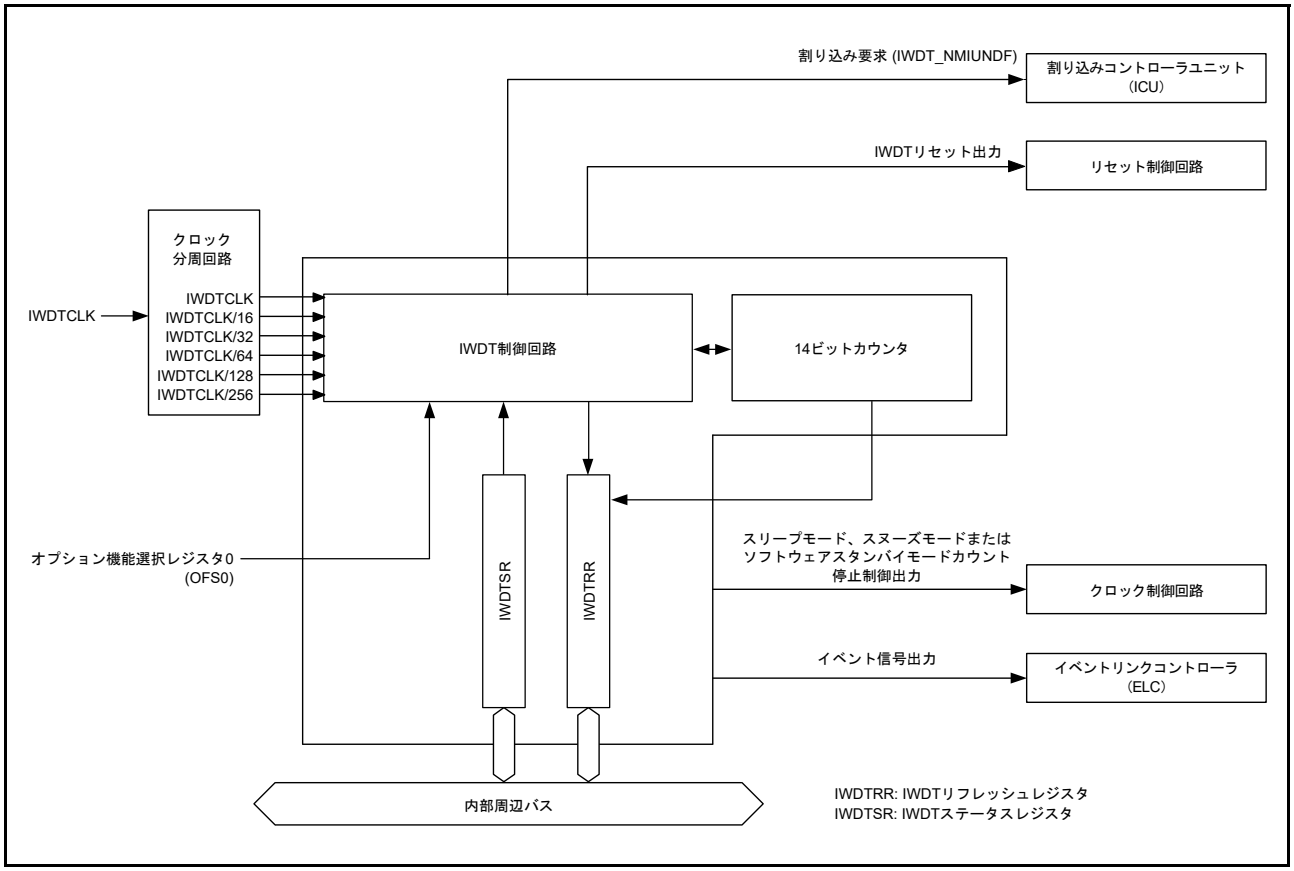
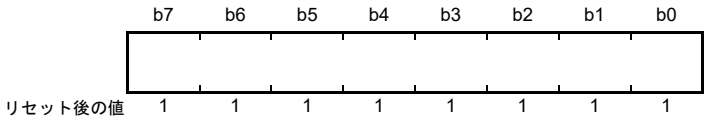


図 28.1 IWDT のブロック図

28.2 レジスタの説明

28.2.1 IWDT リフレッシュレジスタ（IWDTRR）

アドレス IWDT.IWDTRR 4004 4400h



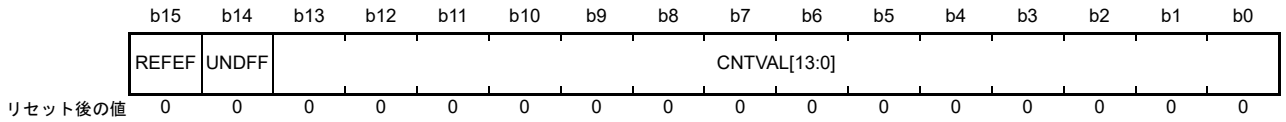
ビット	機能	R/W
b7-b0	このレジスタに対して、00hの書き込み後、FFhの書き込みでダウンカウンタがリフレッシュ	R/W

IWDTRR レジスタは、IWDT のダウンカウンタをリフレッシュするためのレジスタです。リフレッシュ許可期間内に IWDTRR レジスタに 00h を書き込んだ後、FFh を書き込むこと（リフレッシュ動作）により、IWDT のダウンカウンタがリフレッシュされます。ダウンカウンタがリフレッシュされると、オプション機能選択レジスタ 0（OFS0）の IWDT タイムアウト期間選択ビット（OFS0.IWDTTOPS[1:0]）で設定した値からダウンカウントを行います。

読み出し値は、00h を書き込んだ場合は 00h であり、00h 以外の値を書き込んだ場合は FFh となります。リフレッシュ動作の詳細は、28.3.2 リフレッシュ動作を参照してください。

28.2.2 IWDT ステータスレジスタ（IWDTSR）

アドレス IWDT.IWDTSR 4004 4404h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値	ダウンカウンタのカウンタ値	R
b14	UNDFF	アンダーフローフラグ	0：アンダーフロー発生なし 1：アンダーフロー発生あり	R/(W) （注1）
b15	REFEF	リフレッシュエラーフラグ	0：リフレッシュエラー発生なし 1：リフレッシュエラー発生あり	R/(W) （注1）

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

CNTVAL[13:0] ビット（カウンタ値）

CNTVAL[13:0] ビットを読み出すことにより、ダウンカウンタの値を確認できます。読み出し値は、実際のカウント値から 1 カウントずれる場合があります。

UNDFF フラグ（アンダーフローフラグ）

UNDFF フラグを読み出すことにより、カウンタのアンダーフロー発生状態を確認できます。読み出し値が 1 のとき、ダウンカウンタがアンダーフローしたことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

UNDFF フラグのクリアには、（N＋2）IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、アンダーフローの発生から（N＋2）IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64
- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

REFEF フラグ（リフレッシュエラーフラグ）

REFEF フラグを読み出すことにより、リフレッシュエラーが発生したか否かを確認できます。リフレッシュエラーは、リフレッシュ禁止期間中にリフレッシュ動作が実行されたことを示します。読み出し値が 1 のとき、リフレッシュエラーが発生したことを示します。値を 0 にするには 0 を書き込んでください。1 の書き込みは無効です。

REFEF フラグのクリアには、（N＋2）IWDTCLK サイクルと 2PCLKB サイクルを要します。さらに、リフレッシュエラーの発生から（N＋2）IWDTCLK サイクル数の間は、このフラグをクリアしても無視されます。N は、次式のように、IWDTCKS[3:0] ビットで指定されます。

- IWDTCKS[3:0] = 0000b のとき、N = 1
- IWDTCKS[3:0] = 0010b のとき、N = 16
- IWDTCKS[3:0] = 0011b のとき、N = 32
- IWDTCKS[3:0] = 0100b のとき、N = 64

- IWDTCKS[3:0] = 1111b のとき、N = 128
- IWDTCKS[3:0] = 0101b のとき、N = 256

28.2.3 オプション機能選択レジスタ 0（OFS0）

オプション機能選択レジスタ 0（OFS0）については、7.2.1 オプション機能選択レジスタ 0（OFS0）を参照してください。

IWDTTOPS[1:0] ビット（IWDT タイムアウト期間選択）

ダウンカウンタがアンダーフローするまでのタイムアウト期間について、IWDTCKS[3:0] ビットで設定した分周クロックを 1 サイクルとして、128 サイクル／ 512 サイクル／ 1024 サイクル／ 2048 サイクルから選択します。ダウンカウンタのリフレッシュ後、アンダーフローするまでの IWDTCLK サイクル数は、IWDTCKS[3:0] ビットと IWDTTOPS[1:0] ビットの組み合わせにより決定します。

表 28.2 に、IWDTCKS[3:0] および IWDTTOPS[1:0] ビットの設定値、タイムアウト期間、および IWDTCLK サイクル数の関係を示します。

表 28.2 タイムアウト期間の設定

IWDTCKS[3:0] ビット				IWDTTOPS[1:0] ビット		クロック分周比	タイムアウト期間（サイクル数）	IWDTCLK のサイクル数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	IWDTCLK/1	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	IWDTCLK/16	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	IWDTCLK/32	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	IWDTCLK/64	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	IWDTCLK/128	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	IWDTCLK/256	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

IWDTCKS[3:0] ビット（IWDT 専用クロック分周比選択）

ダウンカウンタで使用するクロックの分周比を設定します。分周比は、IWDT 専用クロック（IWDTCLK）の 1 分周／ 16 分周／ 32 分周／ 64 分周／ 128 分周／ 256 分周から選択できます。IWDTTOPS[1:0] ビット設定と組み合わせて、IWDT のカウント期間を IWDTCLK クロックの 128 ～ 524288 サイクルの間で設定できます。

IWDTRPES[1:0] ビット（IWDT ウィンドウ終了位置選択）

リフレッシュ許可期間を示すウィンドウの終了位置を設定します。ウィンドウ終了位置は、タイムアウト期間の 75%、50%、25%、0% から選択できます。ウィンドウ終了位置には、ウィンドウ開始位置より小さい値を設定します（ウィンドウ開始位置＞ウィンドウ終了位置）。ウィンドウ終了位置がウィンドウ開始位置よりも大きいと、ウィンドウ開始位置の設定のみが有効となります。

IWDTRPSS[1:0] ビット（IWDT ウィンドウ開始位置選択）

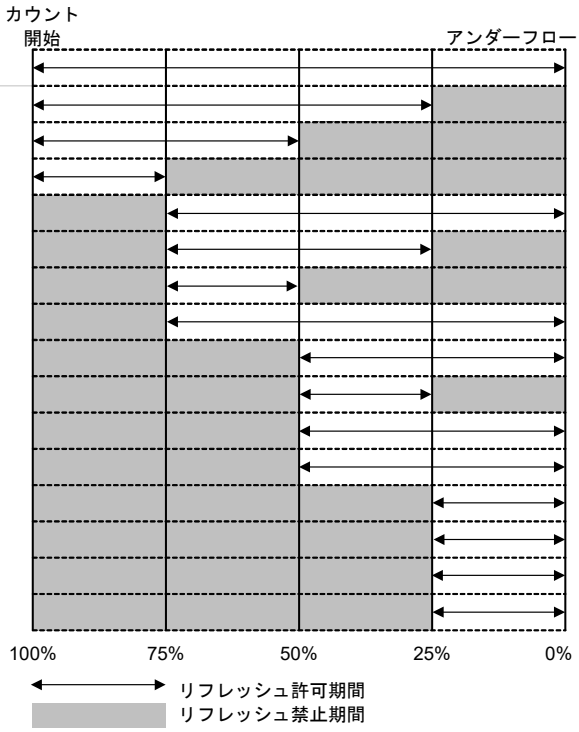
リフレッシュ許可期間を示すウィンドウの開始位置を設定します。ウィンドウ開始位置は、タイムアウト期間の 100%、75%、50%、25% から選択できます。ウィンドウ開始位置には、ウィンドウ終了位置より大きい値に設定します。ウィンドウ開始位置をウィンドウ終了位置以下の値に設定した場合、ウィンドウ終了位置は 0% になります。

IWDTRPSS[1:0]、IWDTRPES[1:0]、IWDTTOPS[1:0] ビットで設定されるウィンドウ開始、終了位置のカウンタ値を表 28.3 に、設定されるリフレッシュ許可期間を図 28.2 に示します。

表 28.3　タイムアウト期間とウィンドウ開始／終了カウンタ値の対応表

IWDTTOPS[1:0] ビット		タイムアウト期間		ウィンドウ開始／終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

IWDTRPSS[1:0]ビット		IWDTRPES[1:0]ビット		ウィンドウ	
b13	b12	b9	b8	開始 (%)	終了 (%)
1	1	1	1	100	0
		1	0		25
		0	1		50
		0	0		75
1	0	1	1	75	0
		1	0		25
		0	1		50
		0	0		75
0	1	1	1	50	0
		1	0		25
		0	1		50
		0	0		75
0	0	1	1	25	0
		1	0		25
		0	1		50
		0	0		75



注．　「ウィンドウ終了」≧「ウィンドウ開始」設定を行った場合、「ウィンドウ終了」設定は 0% になります。

図 28.2　IWDTRPSS[1:0] および IWDTRPES[1:0] ビットとリフレッシュ許可期間

IWDTRSTIRQS ビット（IWDT リセット割り込み要求選択）

アンダーフローまたはリフレッシュエラー発生時の動作を指定します。1 にすると、リセット出力を選択します。0 にすると、ノンマスカブル割り込みまたは割り込みを選択します。

IWDTSTPCTL ビット（IWDT 停止制御）

スリープモード、スヌーズモード、またはソフトウェアスタンバイモード遷移時にカウントを停止させるかどうかを制御します。

28.3 動作説明

28.3.1 オートスタートモード

IWDT スタートモード選択ビット（OFS0.IWDTSTRT）が 0 の場合、オートスタートモードが選択されています。それ以外では IWDT は無効です。

リセット状態の間に、オプション機能選択レジスタ 0（OFS0）の下記の設定値が IWDT のレジスタに設定されます。

- クロック分周比
- ウィンドウ開始および終了位置
- タイムアウト期間
- リセット出力または割り込み要求
- 低消費電力モード遷移時のカウント停止制御

リセット状態が解除されると、IWDT タイムアウト期間選択ビット（OFS0.IWDTTOPS[1:0]）で設定された値からダウンカウンタが自動でダウンカウントを開始します。

以降、プログラムが正常に動作し続けて、リフレッシュ許可期間内にカウンタがリフレッシュされている場合は、リフレッシュごとにカウンタ値がリセットされて、ダウンカウントを継続します。カウントが継続する間、IWDT はリセット信号を出力しません。ただし、プログラムがクラッシュしたか、あるいはリフレッシュ許可期間外のリフレッシュ動作によってリフレッシュエラーが発生したため、カウンタがアンダーフローした場合は、IWDT はリセット信号またはノンマスカブル割り込み要求／割り込み要求（IWDT_NMIUNDF）をアサートします。

リセット信号またはノンマスカブル割り込み要求／割り込み要求が発生してから 1 サイクルカウント後に、カウンタはタイムアウト期間をリロードして、カウント動作を再開します。リセット出力または割り込み要求出力の選択は、IWDT リセット割り込み要求選択ビット（OFS0.IWDTRSTIRQS）で行います。ノンマスカブル割り込み要求または割り込み要求の選択は、IWDT アンダーフロー／リフレッシュエラー割り込み許可ビット（NMIER.IWDTEN）で行います。

図 28.3 に、下記の条件下での動作例を示します。

- オートスタートモード（OFS0.IWDTSTRT = 0）
- ノンマスカブル割り込み要求出力を許可（OFS0.IWDTRSTIRQS = 0）
- ウィンドウ開始位置 75%（OFS0.IWDTRPSS[1:0] = 10b）
- ウィンドウ終了位置 25%（OFS0.IWDTRPES[1:0] = 10b）

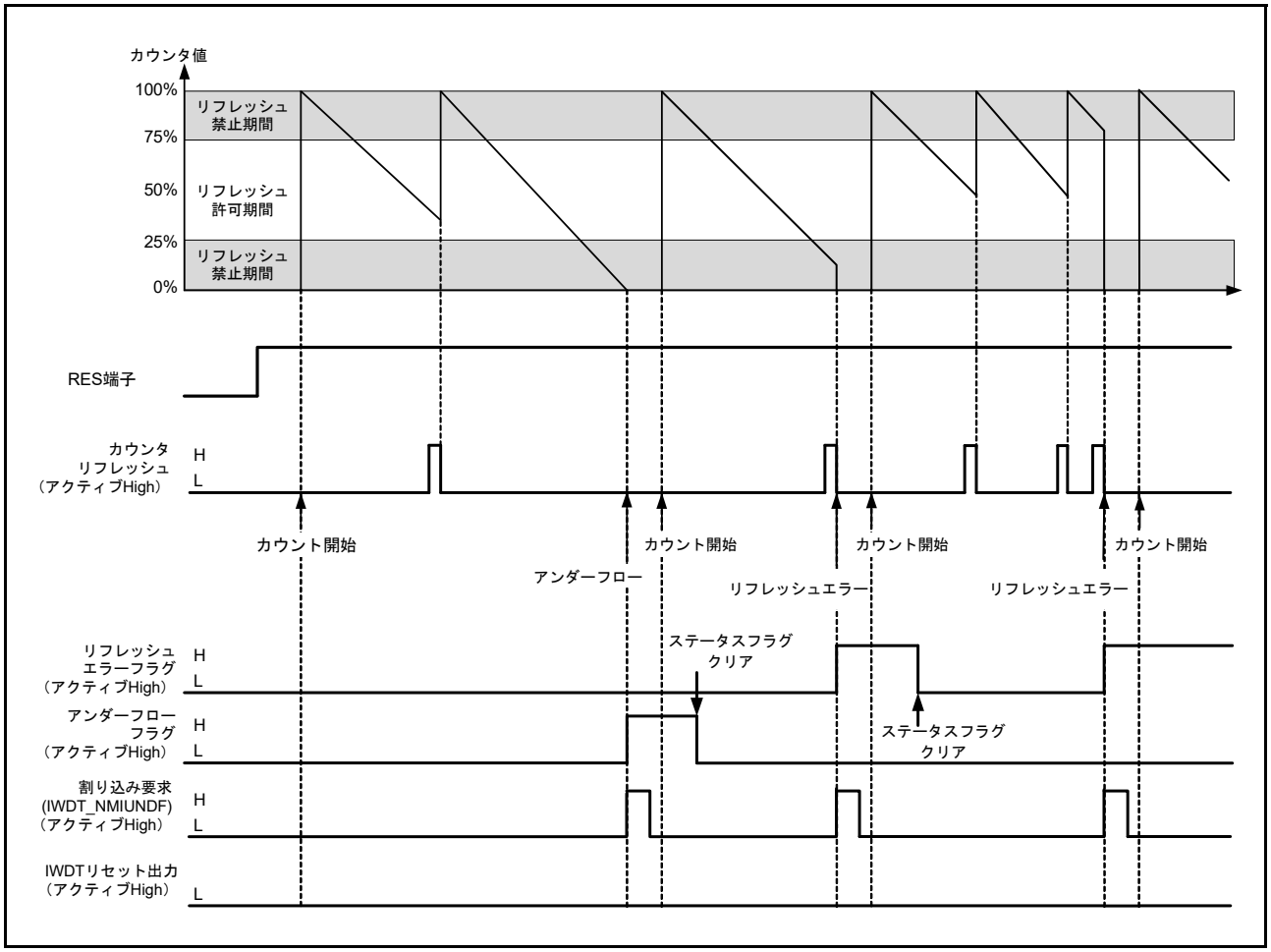


図 28.3　　オートスタートモードでの動作例

28.3.2 リフレッシュ動作

ダウンカウンタは、IWDT リフレッシュレジスタ（IWDTRR）に 00h と FFh を書き込むことによってリフレッシュされます。00h の後に FFh 以外の値を書き込むと、ダウンカウンタはリフレッシュされません。無効な値を書き込んだ場合は、IWDTRR レジスタへ 00h と FFh を書き込むと、正常なリフレッシュが再開します。

00h（1 回目）→ 00h（2 回目）の順で書き込みを行った場合でも、その後に FFh を書き込めば、00h → FFh の書き込み順序が成立します。00h（n–1 回目）→ 00h（n 回目）→ FFh という書き込み順序は有効であり、正常にリフレッシュを行います。00h より前の書き込み値が 00h 以外であっても、動作に 00h → FFh という書き込み順序が含まれている限り、正常にリフレッシュを行います。

また、IWDTRR レジスタへの 00h の書き込みと FFh の書き込みの間に、IWDTRR 以外のレジスタにアクセスするか、または IWDTRR レジスタを読み出しても、正常にリフレッシュを行います。カウンタをリフレッシュするための書き込みは、リフレッシュ許可期間中に行う必要があり、この判定は FFh の書き込み時に行われます。そのため、00h の書き込みがリフレッシュ許可期間外であっても、リフレッシュは正常に行われます。

【カウンタのリフレッシュに有効な書き込み順序の例】

- 00h → FFh
- 00h（n - 1 回目）→ 00h（n 回目）→ FFh
- 00h →別レジスタへのアクセスまたは IWDTRR レジスタの読み出し→ FFh

【カウンタのリフレッシュに無効な書き込み順序の例】

- 23h（00h 以外の値）→ FFh
- 00h → 54h（FFh 以外の値）
- 00h → AAh（00h および FFh 以外の値）→ FFh

ダウンカウンタがリフレッシュされるタイミングは、IWDT リフレッシュレジスタ（IWDTRR）に FFh を書き込んだ後、カウント信号のサイクル数で最大 4 サイクル必要です（1 サイクル間の IWDT 専用クロック（IWDTCLK）数は、IWDT 専用クロック分周比選択ビット（OFS0.IWDTCKS[3:0]）の設定値により異なります）。この要件を満たすには、リフレッシュ許可期間の終了またはカウンタのアンダーフローが発生する 4 カウントサイクル前までに、IWDTRR レジスタへの FFh 書き込みを完了してください。カウンタの値はカウンタ値ビット（IWDTSR.CNTVAL[13:0]）で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置を 1FFFh とした場合､IWDTRR レジスタへの 00h の書き込みが 1FFFh より前(たとえば 2002h）であっても、IWDTSR.CNTVAL[13:0] ビット値が 1FFFh になってから IWDTRR レジスタへ FFh を書き込めば、リフレッシュを行います。
- ウィンドウ終了位置を 1FFFh とした場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 2003h（1FFFh の 4 カウントサイクル前）以上であれば、リフレッシュを行います。
- リフレッシュ許可期間が 0000h まで続く場合、アンダーフローの直前でリフレッシュが可能です。この場合、IWDTRR レジスタへ 00h → FFh を書き込んだ直後に IWDTSR.CNTVAL[13:0] ビットから読み出した値が 0003h（アンダーフローの 4 カウントサイクル前）以上であれば、アンダーフローは発生しないでリフレッシュを行います。

図 28.4 に、PCLKB ＞ IWDTCLK のとき、クロック分周比が IWDTCLK である場合の IWDT リフレッシュ動作波形を示します。

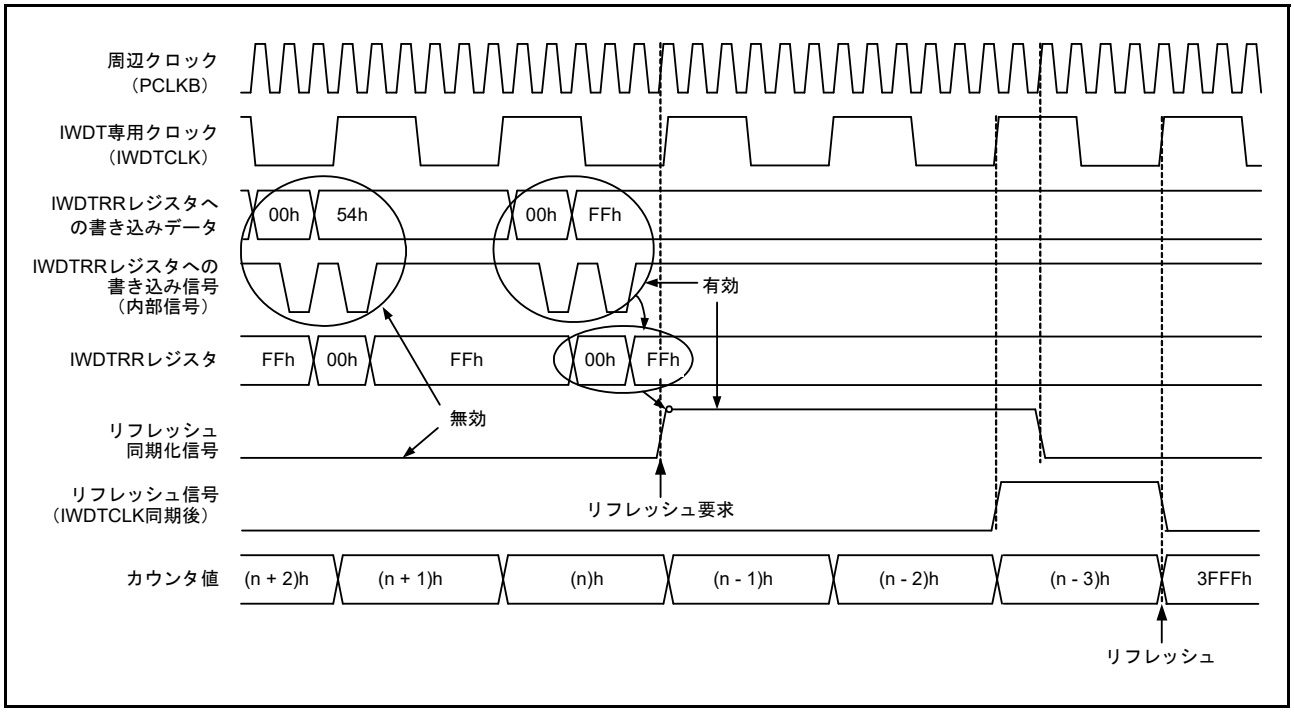


図 28.4 IWDT リフレッシュ動作波形（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

28.3.3 ステータスフラグ

リフレッシュエラーフラグ（IWDTSR.REFEF）とアンダーフローフラグ（IWDTSR.UNDFF）は、IWDT がリセット信号を出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。リセット状態の解除後、または割り込み要求の発生後に、IWDTSR.REFEF フラグと UNDFF フラグを読み出すことで、リセット要因や割り込み要因の発生状態を確認できます。各フラグは、0 を書くことによってクリアされます。1 の書き込みは無効です。

ステータスフラグをそのままにしておいても、動作に影響を与えません。次に IWDT がリセットまたは割り込み要求を出力したとき、フラグがクリアされていなければ、古いリセット要因や割り込み要因はクリアされて、新しいリセット要因や割り込み要因が書き込まれます。なお、各フラグに 0 を書いてから、その値が反映されるまでに、最大で 3 IWDTCLK サイクルと 2 PCLKB サイクルを要します。

28.3.4 リセット出力

オプション機能選択レジスタ 0（OFS0）の IWDT リセット割り込み要求選択ビット（OFS0.IWDTRSTIRQS）を 1 にした場合、ダウンカウンタのアンダーフローまたはリフレッシュエラー発生時に、リセット信号を出力します。リセット出力後、自動でダウンカウントを開始します。

28.3.5 割り込み要因

オプション機能選択レジスタ 0（OFS0）の IWDT リセット割り込み要求選択ビット（OFS0.IWDTRSTIRQS）を 0 にした場合、カウンタのアンダーフローまたはリフレッシュエラー発生時に、割り込み信号（IWDT_NMIUNDF）を生成します。この割り込みは、ノンマスカブル割り込みと割り込みの両方に対応しています。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

表 28.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動	DMACの起動
IWDT_NMIUNDF	• ダウンカウンタのアンダーフロー • リフレッシュエラー	不可能	不可能

28.3.6 ダウンカウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック（IWDTCLK）で動作しているため、カウンタ値を直接読み出すことはできません。IWDT は、カウンタ値を周辺クロック（PCLKB）に同期させて、IWDT ステータスレジスタのダウンカウンタ値ビット（IWDTSR.CNTVAL[13:0]）へ格納します。これらのビットを確認して、間接的にカウンタ値を取得してください。カウンタ値の読み出しには PCLKB で数クロックサイクル（最大 4 クロックサイクル）を要するため、読み出されるカウント値は、実際のカウンタ値から 1 カウントずれる場合があります。

図 28.5 に、PCLKB ＞ IWDTCLK のとき、クロック分周比が IWDTCLK である場合の IWDT カウンタ値の読み出し処理を示します。

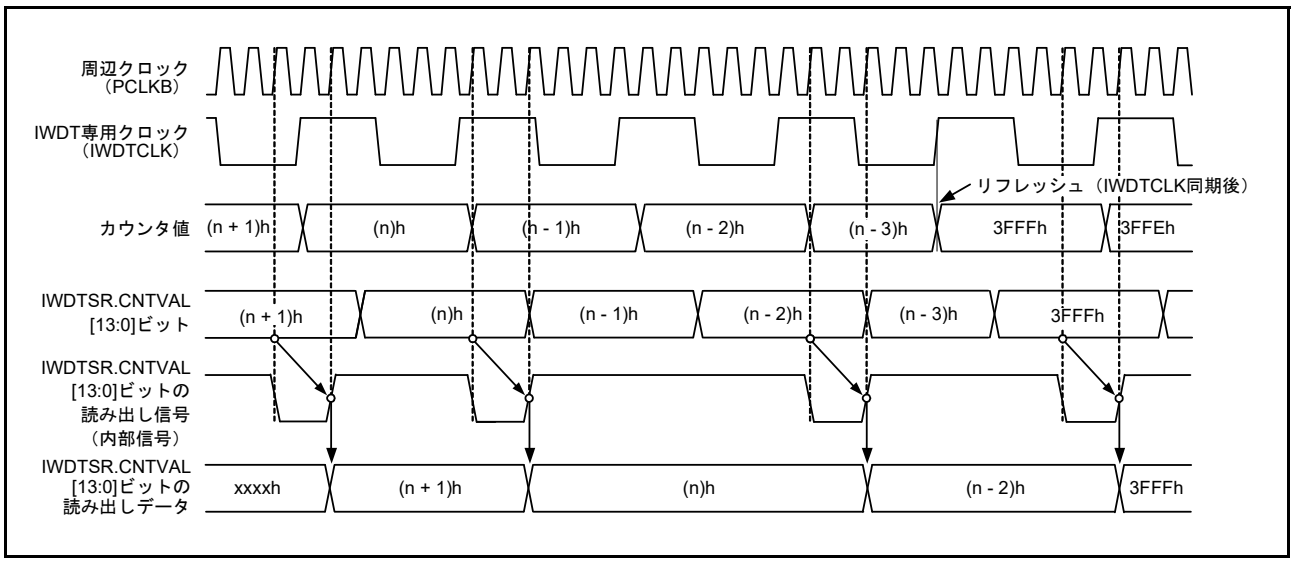


図 28.5 IWDT カウンタ値の読み出し処理（OFS0.IWDTCKS[3:0] = 0000b、OFS0.IWDTTOPS[1:0] = 11b の場合）

28.4 イベントリンクコントローラ（ELC）への出力

ELC が割り込み要求信号をイベント信号として使用する場合、IWDT は設定したモジュールに対してリンク動作が可能です。イベント信号はカウンタのアンダーフローまたはリフレッシュエラーによって出力されます。

イベント信号は、OFS0.WDTRSTIRQS ビットの設定とは無関係に出力されます。また、リフレッシュエラーフラグ（IWDTSR.REFEF）またはアンダーフローフラグ（IWDTSR.UNDFF）が 1 の状態で次の割り込み要因が発生した場合も、イベント信号の出力が可能です。詳細は、「19. イベントリンクコントローラ（ELC）」を参照してください。

28.5 使用上の注意事項

28.5.1 リフレッシュ動作

リフレッシュ時間を設定する際は、PCLKB と IWDTCLK の精度における誤差範囲内での変動を考慮してください。その上で、リフレッシュできる値を設定してください。

28.5.2 クロック分周比の設定に関する制限

周辺モジュールクロック（PCLKB）の周波数が下記の要件を満たすように設定してください。

PCLKB ≧ 4 ×（カウントクロックソースの分周後周波数）

29. イーサネット MAC コントローラ（ETHERC）

29.1 概要

本 MCU は、イーサネット／IEEE802.3 の Media Access Control（MAC）層規格に準拠したイーサネットコントローラ（ETHERC）を 2 チャネル内蔵しています。各 ETHERC チャネルには、1 チャネルの MAC 層インタフェースがあります。物理層の LSI（PHY-LSI）と接続することにより、イーサネット／IEEE802.3 に準拠したフレームの送受信を行うことができます。また、ETHERC はイーサネット PTP コントローラ（EPTPC）経由でイーサネットコントローラ用 DMA コントローラ（EDMAC）に接続されており、CPU を介することなくデータ転送を行うことができます。EPTPC を使用しない場合、EPTPC 内のバイパスレジスタを設定して EPTPC をバイパスすることができます。30.2.86 1588 モジュールバイパスレジスタ（BYPASS）を参照してください。

表 29.1 に ETHERC の仕様を、図 29.1 に ETHERC の構成を、表 29.2 に ETHERC の入出力端子を示します。また、図 29.2 と図 29.3 に外部 PHY-LSI との接続例を示します。

表 29.1 ETHERCの仕様

項目	内容
チャネル数	2チャネル
プロトコル	IEEE802.3xに準拠したフロー制御
データ送受信	イーサネット／IEEE802.3に準拠したフレームを送受信
ビットレート	10Mbpsおよび100Mbpsに対応
通信方式	全二重通信および半二重通信に対応
インタフェース	IEEE802.3uに準拠したMII（Media Independent Interface）およびRMII（Reduced Media Independent Interface）に対応
機能	Magic Packet™（注1）の検出およびWake-On-LAN（WOL）信号の出力

注 1. Magic Packet は、Advanced Micro Devices, Inc. の商標です。

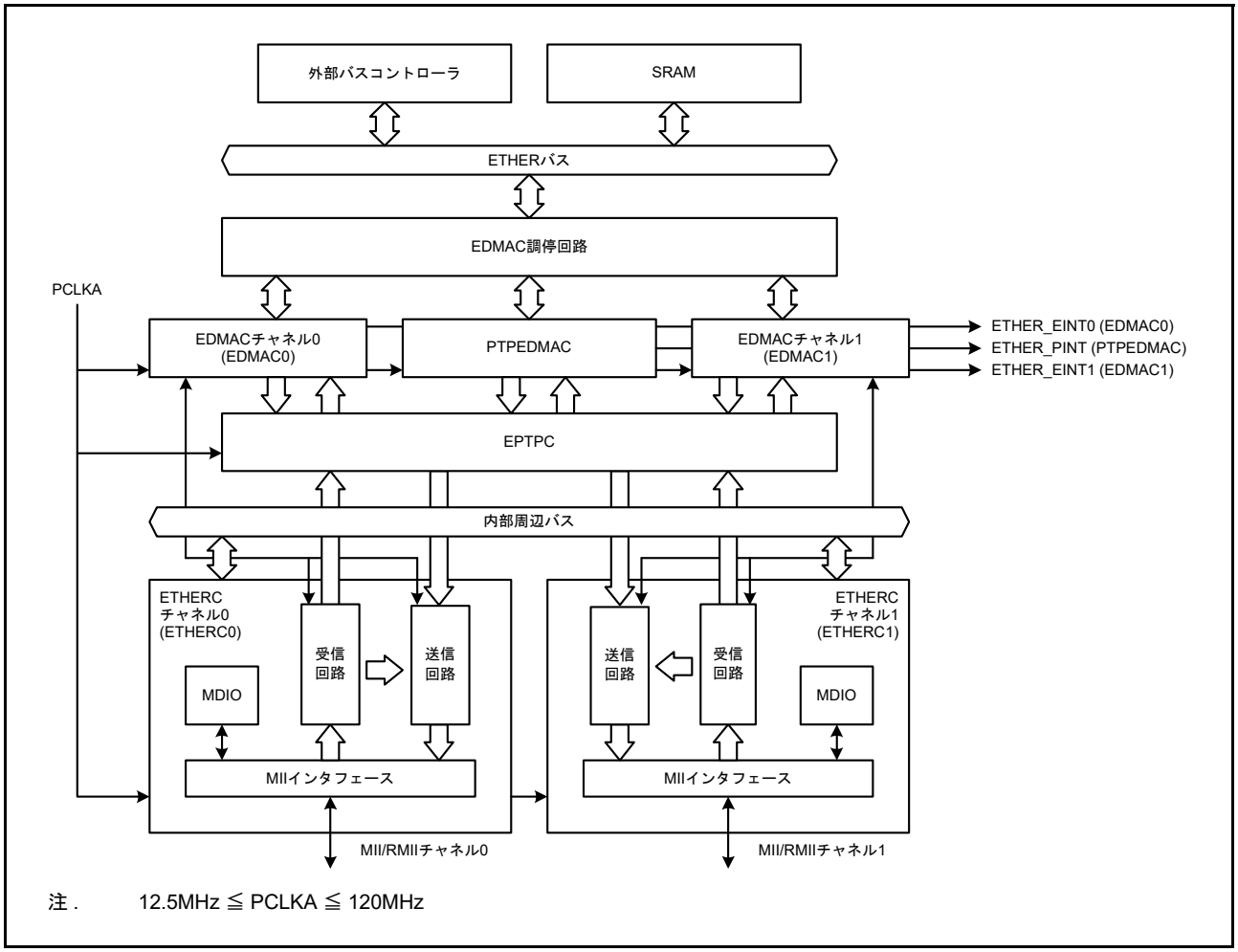


図 29.1 ETHERC の構成

表 29.2 ETHERCの入出力端子（n = 0, 1）

動作モード	端子名	入出力	機能
MII	ETn_TX_CLK（注1）	入力	送信クロック ETn_TX_EN、ETn_ETXD3～ETn_ETXD0、ETn_TX_ER信号出力時のタイミング基準信号
	ETn_RX_CLK（注1）	入力	受信クロック ETn_RX_DV、ETn_ERXD3～ETn_ERXD0、ETn_RX_ER信号入力時のタイミング基準信号
	ETn_TX_EN（注1）	出力	送信データ有効 ETn_ETXD3～ETn_ETXD0端子上に有効な送信データが出力されていることを示す信号
	ETn_ETXD3～ETn_ETXD0（注1）	出力	4ビットの送信データ
	ETn_TX_ER（注1）	出力	送信エラー 送信中のエラーをPHY-LSIに通知するための信号
	ETn_RX_DV（注1）	入力	受信データ有効 ETn_ERXD3～ETn_ERXD0上に有効な受信データがあることを示す信号
	ETn_ERXD3～ETn_ERXD0（注1）	入力	4ビットの受信データ
	ETn_RX_ER（注1）	入力	受信エラー PHY-LSIからETHERCへ転送中のフレームにエラーがあることを示す信号
	ETn_CRS（注1）	入力	キャリア感知
	ETn_COL（注1）	入力	衝突検出信号
	ETn_MDC（注1）	出力	管理用データクロック ETn_MDIOによる情報転送用の基準クロック信号
	ETn_MDIO（注1）	入出力	管理データ入出力 PHY-LSIとの間で管理情報を交換するための双方向データ信号
	ETn_LINKSTA	入力	PHY-LSIからのリンクステータス入力
	ETn_EXOUT	出力	汎用出力端子
	ETn_WOL	出力	Wake-on-LAN。Magic Packet受信を示す信号
RMII	REF50CKn（注2）	入力	基準クロック RMIIn_TXD_EN、RMIIn_TXD1～RMIIn_TXD0、RMIIn_CRS_DV、RMIIn_RXD1～RMIIn_RXD0、RMIIn_RX_ER端子のタイミング基準信号
	RMIIn_TXD_EN（注2）	出力	送信データ有効 RMIIn_TXD1～RMIIn_TXD0端子上に有効な送信データが出力されていることを示す信号
	RMIIn_TXD1～RMIIn_TXD0（注2）	出力	2ビットの送信データ
	RMIIn_CRS_DV（注2）	入力	キャリア感知／受信データ有効 有効な受信データがRMIIn_RXD1～RMIIn_RXD0端子上にあることを示す信号
	RMIIn_RXD1～RMIIn_RXD0（注2）	入力	2ビットの受信データ
	RMIIn_RX_ER（注2）	入力	受信エラー PHY-LSIからETHERCへ転送中のフレームにエラーがあることを示す信号 「29. RMII選択時のRMIIn_RX_ER端子入力について」を参照してください。
	ETn_MDC（注2）	出力	管理用データクロック ETn_MDIOによる情報転送用の基準クロック信号
	ETn_MDIO（注2）	入出力	管理用データ入出力 PHY-LSIとの間で管理情報を交換するための双方向データ信号
	ETn_LINKSTA	入力	PHY-LSIからのリンクステータス入力
	ETn_EXOUT	出力	汎用出力端子
	ETn_WOL	出力	Wake-on-LAN。Magic Packet受信を示す信号

注 1. IEEE802.3u 準拠の MII 信号
注 2. IEEE802.3u 準拠の RMII 信号

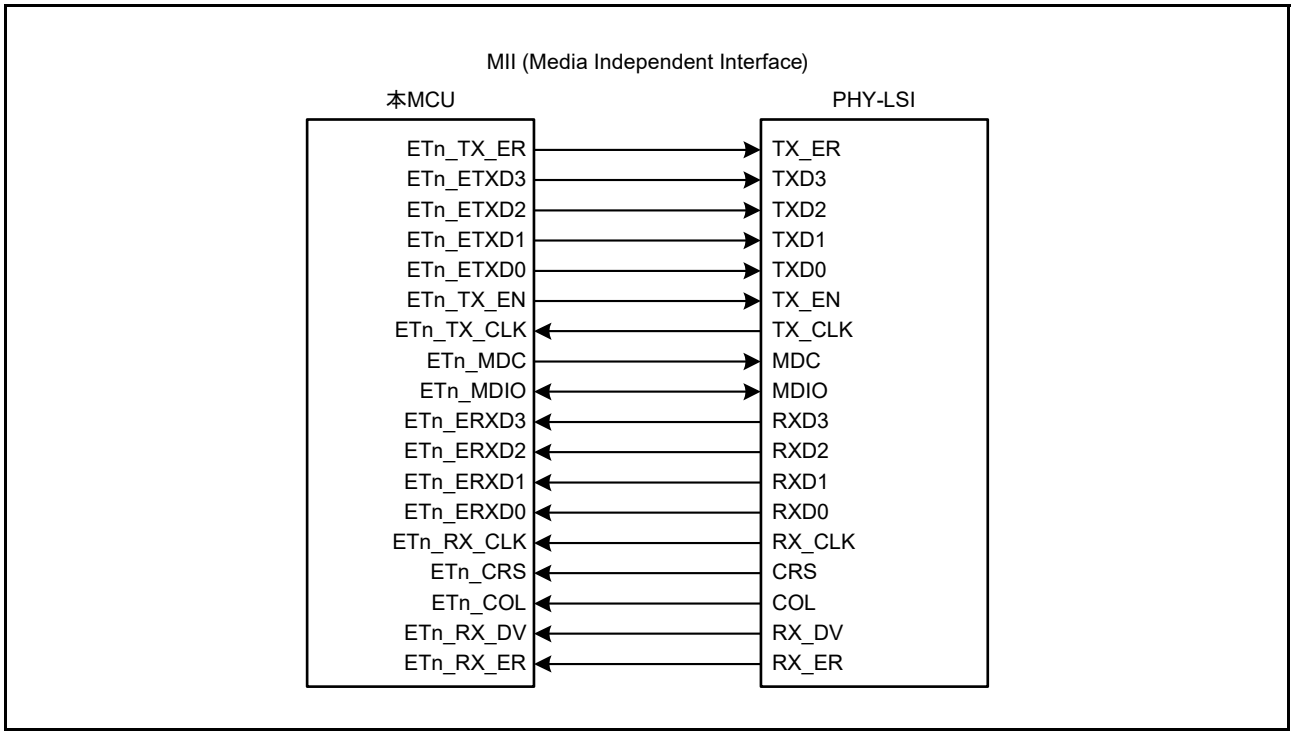


図 29.2 PHY-LSI との接続例（MII）

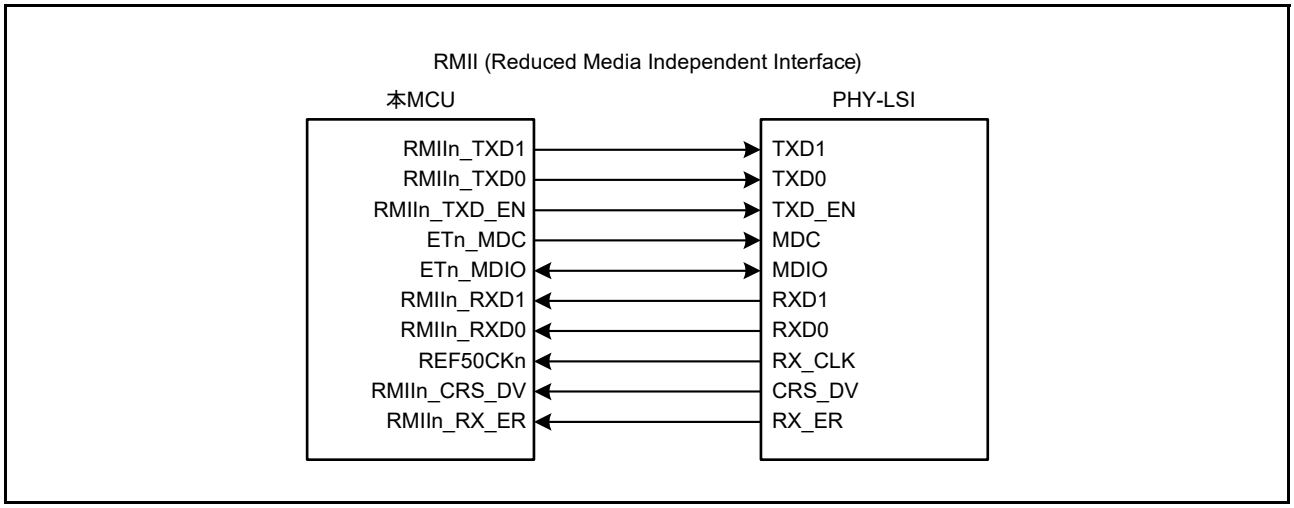


図 29.3 PHY-LSI との接続例（RMII）

29.2 レジスタの説明

29.2.1 ETHERC モードレジスタ（ECMR）

アドレス ETHERC0.ECMR 4006 4100h, ETHERC1.ECMR 4006 4300h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TPC	ZPF	PFR	RXF	TXF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PRCEF	—	—	MPDE	—	—	RE	TE	—	ILB	RTM	DM	PRM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PRM	プロミスキャスモード	0：プロミスキャスモードを禁止 1：プロミスキャスモードを許可	R/W
b1	DM	デュプレックスモード	0：半二重モード 1：全二重モード	R/W
b2	RTM	送受信レート	0：10Mbps 1：100Mbps	R/W
b3	ILB	内部ループバックモード	0：標準のデータ送受信を実行 1：全二重通信のときETHERC内部でループバックを行う	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TE	送信許可	0：送信機能は無効 1：送信機能は有効	R/W
b6	RE	受信許可	0：受信機能は無効 1：受信機能は有効	R/W
b8-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	MPDE	Magic Packet検出許可	0：Magic Packetの検出禁止 1：Magic Packetの検出許可	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	PRCEF	CRCエラーフレーム受信モード	0：CRCエラーをEDMACに通知する 1：CRCエラーをEDMACに通知しない	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	TXF	送信系フロー制御動作モード	0：PAUSEフレームの自動送信禁止 （PAUSEフレームの送信は自動的に行われない） 1：PAUSEフレームの自動送信許可 （PAUSEフレームの送信は必要に応じて自動的に行われる）	R/W
b17	RXF	受信系フロー制御動作モード	0：PAUSEフレーム検出禁止 1：PAUSEフレーム検出許可	R/W
b18	PFR	PAUSEフレーム受信モード	0：PAUSEフレームをEDMACに送信しない 1：PAUSEフレームをEDMACに送信する	R/W
b19	ZPF	0 time PAUSEフレーム使用許可	0：0のpause_timeパラメータを含むPAUSEフレームを使用しない 1：0のpause_timeパラメータを含むPAUSEフレームを使用する	R/W
b20	TPC	PAUSEフレーム送信	0：PAUSE期間中もPAUSEフレームを送信 1：PAUSE期間中はPAUSEフレームを送信しない	R/W
b31-b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ECMR レジスタは、ETHERC の動作を制御するレジスタです。TE および RE ビットを除き、このレジスタへのビットの設定はリセット後の初期化中に行ってください。それ以外のときに書き換える場合は、EDMACn.EDMR.SWR ビットを 1 にして、EDMAC と ETHERC を初期状態に戻してから再設定してください。

PRM ビット（プロミスキャスモード）

PRM ビットを 1 にすると、すべてのイーサネットフレームを受信するプロミスキャスモードで動作します。プロミスキャスモードは、宛先アドレスの相違、ブロードキャストアドレスであるかどうか、マルチキャストビットの有無などにかかわらず、受信可能なすべてのフレームを受信するモードです。

RTM ビット（送受信レート）

RTM ビットは、RMII 選択時の送受信のビットレートを指定します。

ILB ビット（内部ループバックモード）

ILB ビットを 1 にすると、MCU 内部で送信フレームをループバックさせることができます。ループバックテストを行うときは DM ビットも 1（全二重通信）にしてください。

TE ビット（送信許可）

TE ビット 1 にすると、この送信機能が有効になります。TE ビットを 0 にすると、処理中のフレームの送信を完了してから送信機能が無効になります。

RE ビット（受信許可）

RE ビットを 1 にすると、この受信機能が有効になります。RE ビットを 0 にすると、処理中のフレームの受信を完了してから受信機能が無効になります。

PRCEF ビット（CRC エラーフレーム受信モード）

PRCEF ビットを 1 にすると、受信フレームの CRC エラーを検出した場合も、EDMAC に通知しません。結果として EDMACn.EESR.CERF フラグ、受信ディスクリプタ 0（RD0）の RFS0 ビットは 1 になりません。

ZPF ビット（0 time PAUSE フレーム使用許可）

ZPF ビットが 1 の場合、前回送信した PAUSE フレームの PAUSE 時間が経過していないうちに PAUSE フレーム送信要求が取り消されると、pause_time パラメータが 0 の PAUSE フレームを送信します。また、pause_time パラメータが 0 の PAUSE フレームを受信すると、送信待ちを解除します。

ZPF ビットが 0 の場合、受信 FIFO からの PAUSE フレーム送信要求が取り消されても、前回送信した PAUSE フレームの PAUSE 時間が経過するまでは、次の PAUSE フレームを送信しません。また、pause_time パラメータが 0 の PAUSE フレームを受信した場合、それを破棄します。

29.2.2 受信フレーム長上限レジスタ（RFLR）

アドレス ETHERC0.RFLR 4006 4108h, ETHERC1.RFLR 4006 4308h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RFL[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	RFL[11:0]	受信フレーム長上限値	設定した値がそのまま上限値として使用されます。設定できる最小値は1518バイト、最大値は2048バイトです。ただし、1518バイト未満の値は1518バイトとみなされ、2048バイト超の値は2048バイトとみなされます。	R/W
b31-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RFLR レジスタは、本 MCU が受信できる最大フレーム長を指定するレジスタです。最大フレーム長はバイト単位で設定します。ECMR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。

RFL[11:0] ビット（受信フレーム長上限値）

RFL[11:0] ビットには、チェックするフレーム長を設定します。フレーム長は、受信したフレームの宛先アドレス部から FCS（フレームチェックシーケンス）部までのバイト数です。この長さが RFL[11:0] ビットの値を超えた場合、EDMAC にロングフレーム受信エラーが通知され、超過データは破棄されます。

29.2.3 ETHERC ステータスレジスタ（ECSR）

アドレス ETHERC0.ECSR 4006 4110h, ETHERC1.ECSR 4006 4310h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFR	PSRTO	—	LCHNG	MPD	ICD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICD	不正キャリア検出フラグ	0：PHY-LSIは、回線上で不正キャリアを検出していない 1：PHY-LSIは、回線上で不正キャリアを検出した	R/W（注1）
b1	MPD	Magic Packet検出フラグ	0：Magic Packetを検出していない 1：Magic Packetを検出した	R/W（注1）
b2	LCHNG	リンク信号変化フラグ	0：ETn_LINKSTA信号の変化を検出していない 1：ETn_LINKSTA信号の変化（HighからLow、またはLowからHigh）を検出した	R/W（注1）
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PSRTO	PAUSEフレーム再送リトライオーバーフラグ	0：PAUSEフレーム再送回数が上限値に達していない 1：PAUSEフレーム再送回数が上限値に達した	R/W（注1）
b5	BFR	Broadcastフレーム連続受信フラグ	0：Broadcastフレームの連続受信を検出していない 1：Broadcastフレームの連続受信を検出した	R/W（注1）
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. フラグをクリアするには 1 を書いてください。

ECSR レジスタは、ETHERC のステータスを表示するレジスタです。ECSR レジスタのいずれかのフラグが 1 になったとき、ECSIPR レジスタの対応するビットが 1（割り込み許可）であると、EDMACn.EESR.ECI フラグが 1 になります。

ICD フラグ（不正キャリア検出フラグ）

回線上で PHY-LSI が不正なキャリアを検出したことを表します。PHY-LSI から図 29.11 に示すような受信エラー信号を受け取った場合、フラグが 1 になります。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを確認してください。

LCHNG フラグ（リンク信号変化フラグ）

LCHNG フラグは、PHY-LSI から入力される ETn_LINKSTA 信号が、High から Low、または Low から High に変化したことを表します。現在のリンク状態を確認するには、PSR.LMON フラグを参照してください。詳細は、「29. LCHNG フラグの 1 への誤設定の防止」を参照してください。

PSRTO フラグ（PAUSE フレーム再送リトライオーバーフラグ）

PAUSE フレームの自動送信機能を有効にしたときの PAUSE フレームの再送において、再送回数が TPAUSER レジスタに設定した値に達したことを表します。

29.2.4 ETHERC 割り込みイネーブルレジスタ（ECSIPR）

アドレス ETHERC0.ECSIPR 4006 4118h, ETHERC1.ECSIPR 4006 4318h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BFSIPR	PSRTOIP	—	LCHNGIP	MPDIP	ICDIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ICDIP	不正キャリア検出割り込み許可	0：割り込み通知禁止 1：割り込み通知許可	R/W
b1	MPDIP	Magic Packet検出割り込み許可	0：割り込み通知禁止 1：割り込み通知許可	R/W
b2	LCHNGIP	リンク信号変化割り込み許可	0：割り込み通知禁止 1：割り込み通知許可	R/W
b3	—	予約ビット	0：割り込み通知禁止 1：割り込み通知許可	R/W
b4	PSRTOIP	PAUSEフレーム再送リトライオーバー割り込み許可	0：割り込み通知禁止 1：割り込み通知許可	R/W
b5	BFSIPR	Broadcastフレーム連続受信割り込み許可	0：割り込み通知禁止 1：割り込み通知許可	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ECSIPR レジスタは、ECSR レジスタが示すステータスを EDMAC に通知するかどうかを選択します。各ビットは、ECSR レジスタの同番号のフラグに対応しています。

29.2.5 PHY 部インタフェースレジスタ（PIR）

アドレス ETHERC0.PIR 4006 4120h, ETHERC1.PIR 4006 4320h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MDC	MII/RMIIマネジメントデータクロック	ビットの値をETn_MDC端子から出力し、MII/RMIIへのマネジメントデータクロックを供給します。	R/W
b1	MMD	MII/RMIIマネジメントモード	0：読み出し 1：書き込み	R/W
b2	MDO	MII/RMIIマネジメントデータアウト	MMDビットが1（書き込み）で、0（読み出し）ではないとき、ETn_MDIO端子からこの値が出力されます。	R/W
b3	MDI	MII/RMIIマネジメントデータイン	ETn_MDIO端子のレベルを表します。 書く場合、0としてください。	R
b31-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PIR レジスタは、MII または RMII 経由で PHY-LSI のレジスタにアクセスします。マネジメントクロック、マネジメントデータともソフトウェアにて制御します。MII および RMII レジスタへのアクセス方法については、29.3.4 MII および RMII レジスタへのアクセスを参照してください。

29.2.6 PHY 部ステータスレジスタ（PSR）

アドレス ETHERC0.PSR 4006 4128h, ETHERC1.PSR 4006 4328h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LMON
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

ビット	シンボル	ビット名	機能	R/W
b0	LMON	ETn_LINKSTA端子状態フラグ	ETn_LINKSTA端子にPHY-LSIから出力されるリンク信号を接続することによって、リンク状態を読むことができます。極性については、接続するPHY-LSIの仕様を参照してください。	R
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

PSR レジスタは、PHY-LSI からのインタフェース信号を監視します。

29.2.7 乱数生成カウンタ上限値設定レジスタ（RDMLR）

アドレス ETHERC0.RDMLR 4006 4140h, ETHERC1.RDMLR 4006 4340h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	RMD[19:16]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RMD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b19-b0	RMD[19:0]	乱数生成カウンタ	00000h：通常動作 00001h～FFFFFEh：設定禁止	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RDMLR レジスタは、乱数生成部で使用しているカウンタの上限値を指定するレジスタです。また、ECMR.TE ビットが 1（送信機能有効）、または ECMR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。

29.2.8 Interpacket Gap 設定レジスタ（IPGR）

アドレス ETHERC0.IPGR 4006 4150h, ETHERC1.IPGR 4006 4350h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IPG[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IPG[4:0]	Interpacket Gap	00h：16ビット時間 01h：20ビット時間 ： 14h：96ビット時間（初期値） ： 1Fh：140ビット時間	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

IPGR レジスタは、Interpacket Gap （IPG）の値を指定するレジスタです。また、ECMR.TE ビットが 1（送信機能有効）、または ECMR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。IPG の詳細については 29.3.6 IPG の変更による伝送効率の調整を参照してください。

29.2.9 自動 PAUSE フレーム設定レジスタ（APR）

アドレス ETHERC0.APR 4006 4154h, ETHERC1.APR 4006 4354h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AP[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	AP[15:0]	自動PAUSE時間設定	自動送信するPAUSEフレームのpause_timeパラメータ値を設定します。 設定値の512倍のビット時間、送信を待たせることができます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

APR レジスタは、自動送信する PAUSE フレームの PAUSE 時間を指定するレジスタです。APR レジスタに設定した値が PAUSE フレームの pause_time パラメータとして使用されます。また、ECMR.TE ビットが 1（送信機能有効）、または ECMR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。

29.2.10 手動 PAUSE フレーム設定レジスタ（MPR）

アドレス ETHERC0.MPR 4006 4158h, ETHERC11.MPR 4006 4358h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MP[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b15-b0	MP[15:0]	手動PAUSE時間設定	手動送信するPAUSEフレームのpause_timeパラメータ値を設定します。 設定値の512倍のビット時間、送信を待たせることができます。 読むと不定値が読めます。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MPR レジスタは、手動送信する PAUSE フレームの PAUSE 時間を指定するレジスタです。MPR レジスタに設定した値が PAUSE フレームの pause_time パラメータとして使用されます。このレジスタに値を設定すると、PAUSE フレームが送信されます。このレジスタへの書き込みは、ECMR.TE ビットが 1（送信機能有効）のときに行ってください。

29.2.11 受信 PAUSE フレームカウンタ（RFCF）

アドレス ETHERC0.RFCF 4006 4160h, ETHERC1.RFCF 4006 4360h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RPAUSE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	RPAUSE[7:0]	PAUSEフレーム受信回数	PAUSEフレームの受信回数	R
b31-b8	—	予約ビット	読むと0が読めます。	R

RFCF レジスタは、PAUSE フレームの受信カウンタです。レジスタを読むとカウンタはリセットされます。

29.2.12 自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）

アドレス ETHERC0.TPAUSER 4006 4164h, ETHERC1.TPAUSER 4006 4364h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TPAUSE[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TPAUSE[15:0]	自動PAUSEフレーム再送回数上限値	0000h： 再送回数は無制限 0001h： 再送回数の上限値は、1回 ： FFFFh： 再送回数の上限値は、65535回	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TPAUSER レジスタは、PAUSE フレームの自動再送回数の上限値を設定するレジスタです。ECMR.TE ビットが 1（送信機能有効）のときは、このレジスタを書き換えないでください。

29.2.13 PAUSE フレーム再送回数カウンタ（TPAUSECR）

アドレス ETHERC0.TPAUSECR 4006 4168h, ETHERC1.TPAUSECR 4006 4368h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TXP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TXP[7:0]	PAUSEフレーム再送回数	PAUSEフレームの再送回数	R
b31-b8	—	予約ビット	読むと0が読めます。	R

TPAUSECR レジスタは、PAUSE フレームの自動再送回数を示すカウンタです。レジスタを読むとカウンタはリセットされます。

29.2.14 Broadcast フレーム受信回数設定レジスタ（BCFRR）

アドレス ETHERC0.BCFRR 4006 416Ch, ETHERC1.BCFRR 4006 436Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BCF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	BCF[15:0]	Broadcastフレーム連続受信回数設定	0000h： 受信回数制限なし 0001h： 1フレーム受信 ： FFFFh： 65535フレーム受信	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BCFRR レジスタは、Broadcast フレームを連続で受信できる回数を設定するレジスタです。受信フレーム数が BCF[15:0] ビット値を超えた場合、以降の Broadcast フレームは破棄されます。EMCR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。

29.2.15 MAC アドレス上位設定レジスタ（MAHR）

アドレス ETHERC0.MAHR 4006 41C0h, ETHERC1.MAHR 4006 43C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MAHR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MAHR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	MAHR[31:0]	MACアドレス上位ビット	この表に続く説明を参照してください	R/W

MAHR レジスタは、48 ビットの MAC アドレスの上位 32 ビット（[47:16]）を指定するレジスタです。たとえば MAC アドレスが “01-23-45-67-89-AB” である場合は、0123 4567h を設定します。

MAHR レジスタの設定は、リセット後の初期設定時に行ってください。また、ECMR.TE ビットが 1（送信機能有効）、または ECMR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。このレジスタの値を変更する場合は、EDMACn.EDMR.SWR ビットを 1 にして EDMAC と ETHERC を初期状態に戻してから再設定してください。

29.2.16 MAC アドレス下位設定レジスタ（MALR）

アドレス ETHERC0.MALR 4006 41C8h, ETHERC1.MALR 4006 43C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	MACアドレスの下位16ビットを設定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MALR レジスタは、48 ビットの MAC アドレスの下位 16 ビットを指定するレジスタです。たとえば MAC アドレスが “01-23-45-67-89-AB” である場合は、0000 89ABh を設定します。

MALR レジスタの設定は、リセット後の初期設定時に行ってください。また、ECMR.TE ビットが 1（送信機能有効）、または ECMR.RE ビットが 1（受信機能有効）のときは、このレジスタを書き換えないでください。このレジスタの値を変更する場合は、EDMACn.EDMR.SWR ビットを 1 にして EDMAC と ETHERC を初期状態に戻してから再設定してください。

29.2.17 送信リトライオーバーカウンタレジスタ（TROCR）

アドレス ETHERC0.TROCR 4006 41D0h, ETHERC1.TROCR 4006 43D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TROCR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TROCR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	TROCR[31:0]	送信リトライオーバーカウンタ	この表に続く説明を参照してください	R/W

TROCR レジスタは、送信リトライオーバーになったフレームの数を示すカウンタです。このレジスタは、15 回目の再送を失敗すると 1 インクリメントされます。レジスタ値が FFFF FFFFh になるとカウントを停止します。TROCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.18 遅延衝突検出カウンタレジスタ（CDCR）

アドレス ETHERC0.CDCR 4006 41D4h, ETHERC1.CDCR 4006 43D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CDCR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CDCR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	CDCR[31:0]	遅延衝突検出カウンタ	この表に続く説明を参照してください	R/W

CDCR レジスタは、送信開始以降に検出した遅延衝突の回数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。CDCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.19 キャリア消失カウンタレジスタ（LCCR）

アドレス ETHERC0.LCCR 4006 41D8h, ETHERC1.LCCR 4006 43D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LCCR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LCCR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	LCCR[31:0]	キャリア消失カウンタ	この表に続く説明を参照してください	R/W

LCCR レジスタは、フレーム送信中のキャリア消失を検出した回数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。LCCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.20 キャリア未検出カウンタレジスタ（CNDCR）

アドレス ETHERC0.CNDCR 4006 41DCh, ETHERC1.CNDCR 4006 43DCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CNDCR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CNDCR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	CNDCR[31:0]	キャリア未検出カウンタ	この表に続く説明を参照してください	R/W

CNDCR レジスタは、プリアンブル送信中にキャリアを検出できなかった回数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。CNDCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.21 CRC エラーフレーム受信カウンタレジスタ（CEFCR）

アドレス ETHERC0.CEFCR 4006 41E4h, ETHERC1.CEFCR 4006 43E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CEFCR[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

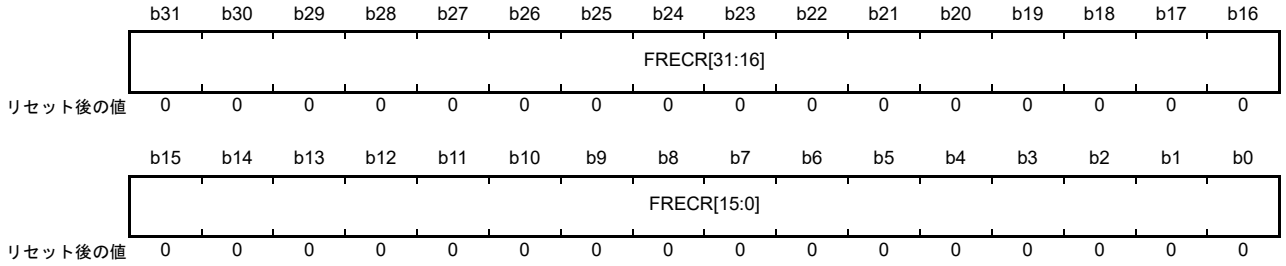
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CEFCR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	CEFCR[31:0]	CRC エラーフレーム受信カウンタ	この表に続く説明を参照してください	R/W

CEFCR レジスタは、CRC エラーを検出した受信フレームの数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。CEFCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.22 フレーム受信エラーカウンタレジスタ（FRECR）

アドレス ETHERC0.FRECR 4006 41E8h, ETHERC1.FRECR 4006 43E8h

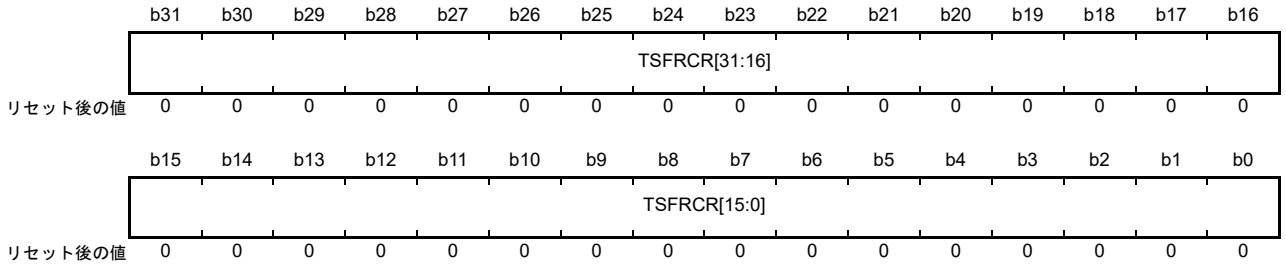


ビット	シンボル	ビット名	機能	R/W
b31-b0	FRECR[31:0]	フレーム受信エラーカウンタ	この表に続く説明を参照してください	R/W

FRECR レジスタは、フレーム受信エラーの発生回数を示すカウンタです。フレーム受信エラーは PHY-LSI から ETn_RX_ER 端子を使用して通知されます。FRECR レジスタは、ETn_RX_ER 端子が High になるごとに 1 インクリメントされます。レジスタの値が FFFF FFFFh になるとカウントを停止します。FRECR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.23 ショートフレーム受信カウンタレジスタ（TSFRCR）

アドレス ETHERC0.TSFRCR 4006 41ECh, ETHERC1.TSFRCR 4006 43ECh

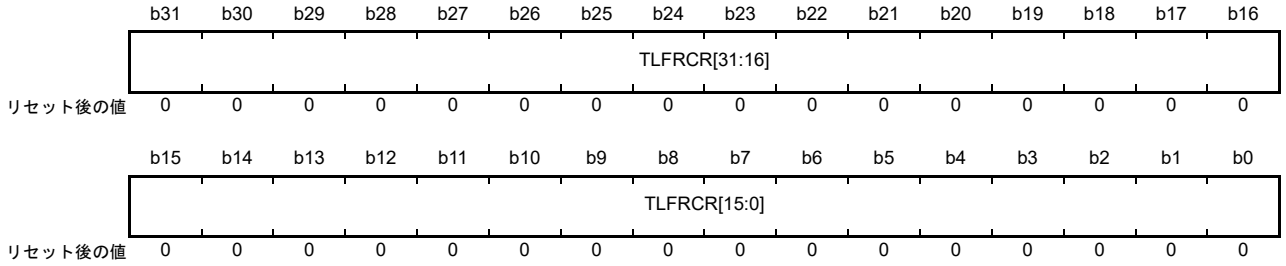


ビット	シンボル	ビット名	機能	R/W
b31-b0	TSFRCR[31:0]	ショートフレーム受信カウンタ	この表に続く説明を参照してください	R/W

TSFRCR レジスタは、ショートフレーム（64 バイト未満のフレーム）の受信回数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。TSFRCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.24 ロングフレーム受信カウンタレジスタ（TLFRCR）

アドレス ETHERC0.TLFRCR 4006 41F0h, ETHERC1.TLFRCR 4006 43F0h



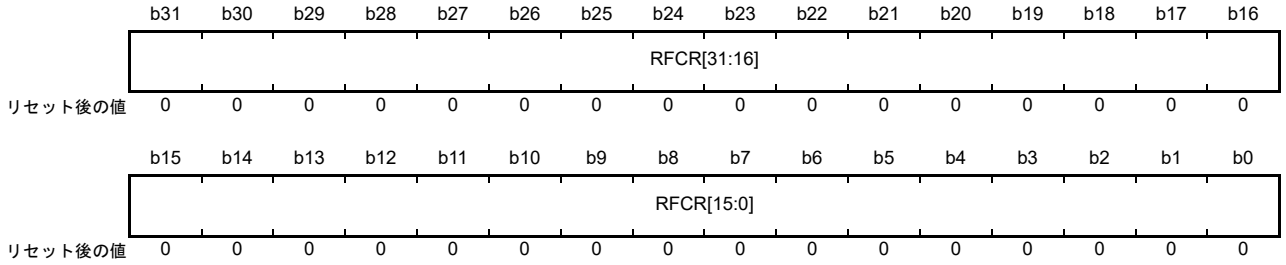
ビット	シンボル	ビット名	機能	R/W
b31-b0	TLFRCR[31:0]	ロングフレーム受信カウンタ	この表に続く説明を参照してください	R/W

TLFRCR レジスタは、ロングフレーム（RFLR レジスタに設定した長さを超えるフレーム）の受信回数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。TLFRCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

注 . なお、端数ビットフレームを受信した場合は、TLFRCR レジスタはインクリメントされません。この場合は、端数ビットフレーム受信カウンタレジスタ（RFCR）がインクリメントされます。

29.2.25 端数ビットフレーム受信カウンタレジスタ（RFCR）

アドレス ETHERC0.RFCR 4006 41F4h, ETHERC1.RFCR 4006 43F4h

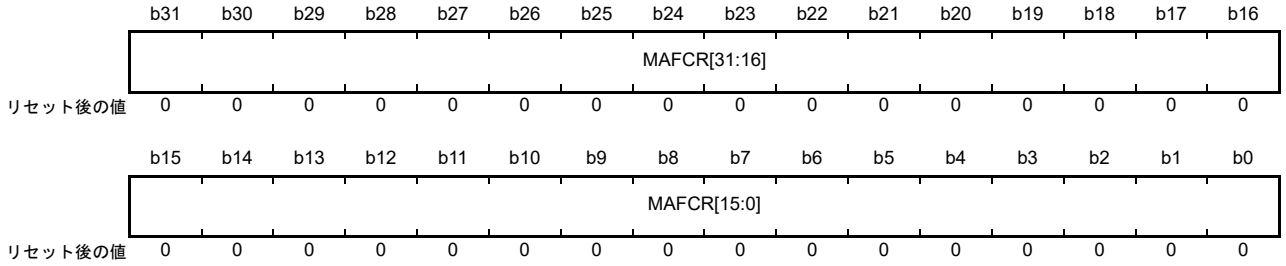


ビット	シンボル	ビット名	機能	R/W
b31-b0	RFCR[31:0]	端数ビットフレーム受信カウンタ	この表に続く説明を参照してください	R/W

RFCR レジスタは、端数ビットフレーム（8 ビットに満たない端数ビットデータを含むフレーム）の受信回数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。RFCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.2.26 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）

アドレス ETHERC0.MAFCR 4006 41F8h, ETHERC1.MAFCR 4006 43F8h



ビット	シンボル	ビット名	機能	R/W
b31-b0	MAFCR[31:0]	マルチキャストアドレスフレーム受信カウンタ	この表に続く説明を参照してください	R/W

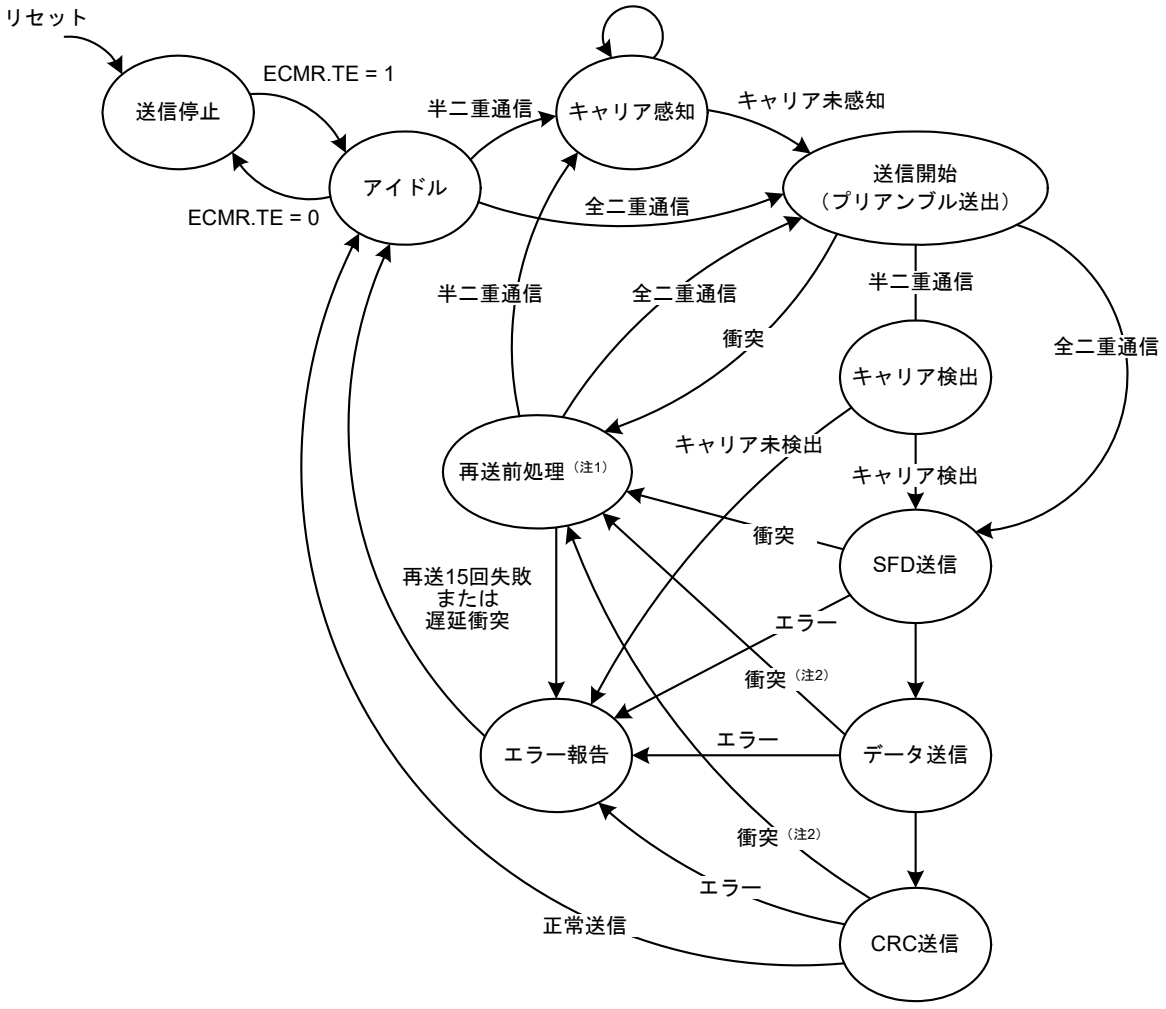
MAFCR レジスタは、マルチキャストアドレスが指定されたフレームの受信回数を示すカウンタです。レジスタの値が FFFF FFFFh になるとカウントを停止します。MAFCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

29.3 動作説明

ETHERC の動作概要を以下に示します。ETHERC は IEEE802.3x に準拠したフロー制御をサポートしており、PAUSE フレームの送信および受信が可能です。

29.3.1 送信

送信部は、EDMAC から送信要求があると、送信データをフレームに組み立てて MII または RMII に出力します。MII または RMII を経由した送信フレームは、PHY-LSI によって回線上に送出されます。ETHERC 送信部の状態遷移図を図 29.4 に示します。



注 1. 衝突検出後の再送前処理にはジャムの送出とバックオフアルゴリズムによる送信時間間隔の調整が含まれます。
注 2. プリアンブル送信開始より、512 ビット時間以内に衝突を検出したときのみ再送処理を行います。512 ビット時間を超えた後に衝突を検出した場合は、ジャムの送出のみ行い、バックオフアルゴリズムによる再送処理は行いません。

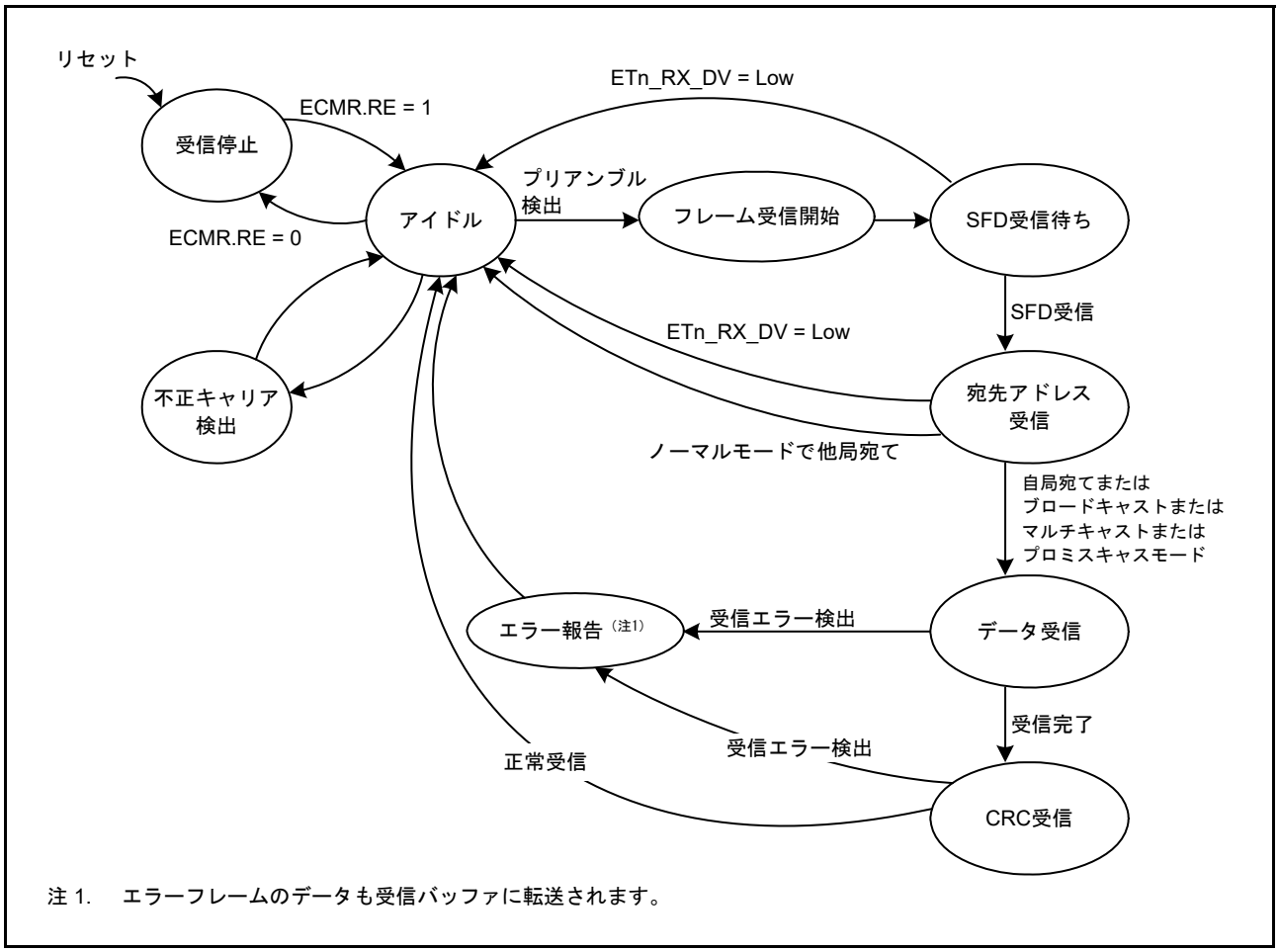
図 29.4 ETHERC 送信部状態遷移図

ETHERC 送信部状態は以下のように遷移します。

1. ECMR.TE ビットを 1 にすると、ETHERC は送信アイドル状態に遷移します。
2. EDMAC から送信要求があると、ETHERC はキャリア感知状態に遷移します。Interpacket Gap 時間を待ってからプリアンブルを MII または RMII に送出します。キャリア感知を必要としない全二重通信モードを選択しているときには、EDMAC から送信要求があると即座にプリアンブルを送出します。
3. SFD（スタートフレームデリミタ）、送信データ、CRC を順次送信します。送信が正常に終了すると、ETHERC は EDMAC に正常終了を通知し、EDMAC は EDMACn.EESR.TC フラグを 1 にします。また、データ送信中に遅延衝突、あるいはキャリア消失を検出すると、ETHERC は送信を中断し EDMAC にその要因を通知します。
4. Interpacket Gap 時間を経た後、ETHERC はアイドル状態に遷移し、以後送信データがあれば送信を継続します。

29.3.2 受信

ETHERC 受信部は、MII または RMII より入力された受信フレームをプリアンブル、SFD（スタートフレームデリミタ）、受信データおよび CRC に分解し、EDMAC には受信データ（宛先アドレス、送信元アドレス、タイプ／長さ、データ／ LLC）のみを転送します。ETHERC 受信部の状態遷移図を図 29.5 に示します。



注 1. エラーフレームのデータも受信バッファに転送されます。

図 29.5 ETHERC 受信部状態遷移図

ETHERC 受信部状態は以下のように遷移します。

1. ECMR.RE ビットを 1 にすると、ETHERC は受信アイドル状態に遷移します。
2. 受信パケットのプリアンブルに続く SFD を検出すると、ETHERC は受信処理を開始します。不正な SFD を受信すると、ETHERC はフレームを破棄します。
3. ETHERC が通常動作の場合は、受信フレームの宛先アドレスが本 MCU 宛のとき、または受信フレームがブロードキャストフレームかマルチキャストフレームのときに、データ受信を開始します。ETHERC がプロミスキャスモード動作の場合は、受信フレームの種類にかかわらずデータ受信を開始します。
4. MII または RMII からのデータを受信した後、ETHERC は CRC をチェックします。CRC チェックの結果は、EDMAC に通知され、受信バッファに受信データが転送された後、受信ディスクリプタ内にステータスとしてライトバックされます。また、EDMACn.EESR.CERF フラグにも反映されます。
5. 1 フレームの受信が完了した後、ECMR.RE ビットが 1 の場合、次のフレーム受信に備えます。

29.3.3 フレームタイミング

29.3.3.1 MII フレームタイミング

MII フレームのタイミングを図 29.6 ～図 29.11 に示します。

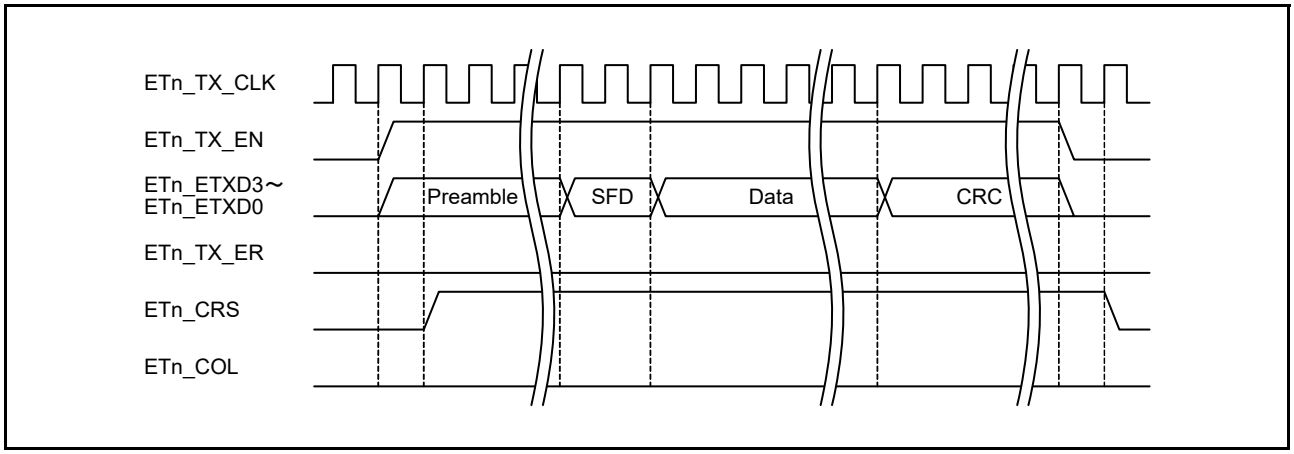


図 29.6 MII フレーム送信タイミング（正常送信時）

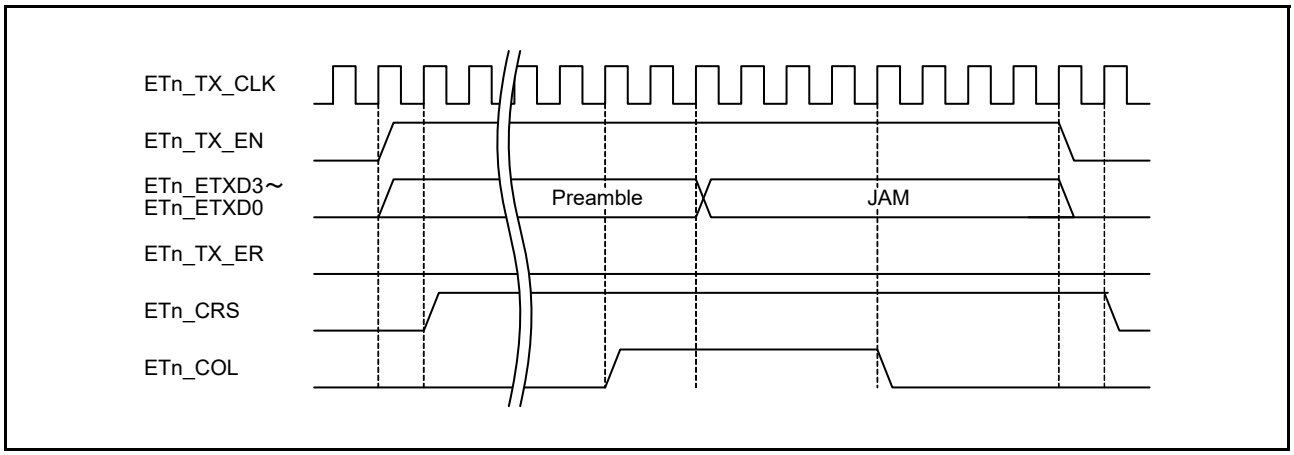


図 29.7 MII フレーム送信タイミング（衝突発生時）

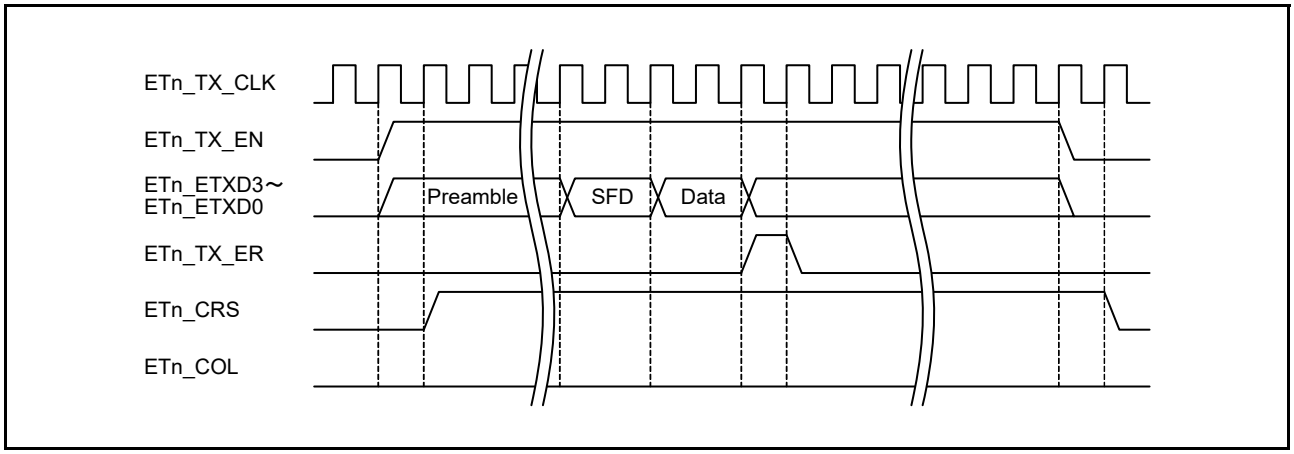


図 29.8 MII フレーム送信タイミング（送信エラー発生時）

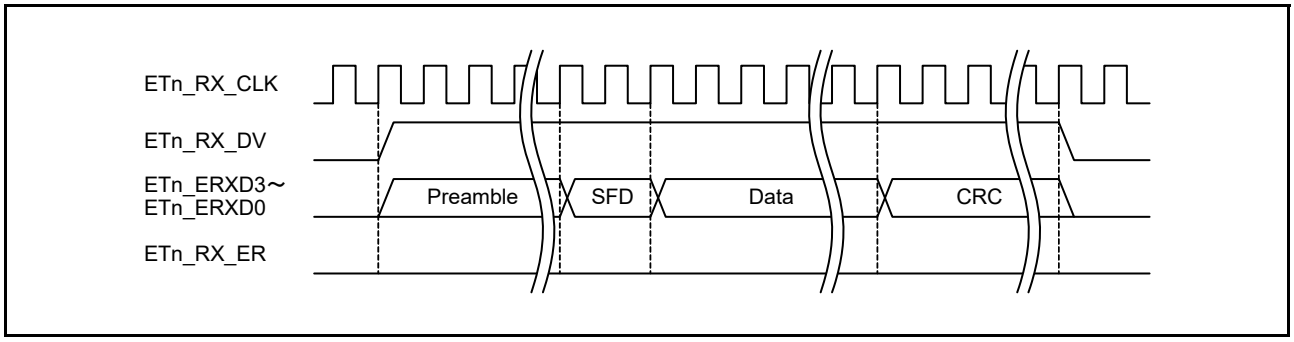


図 29.9　MII フレーム受信タイミング（正常受信時）

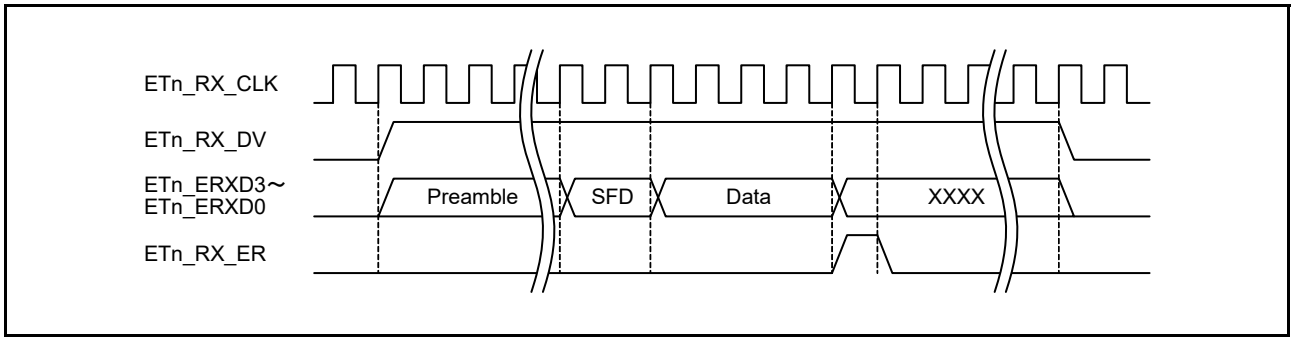


図 29.10　MII フレーム受信タイミング（受信エラー通知時）

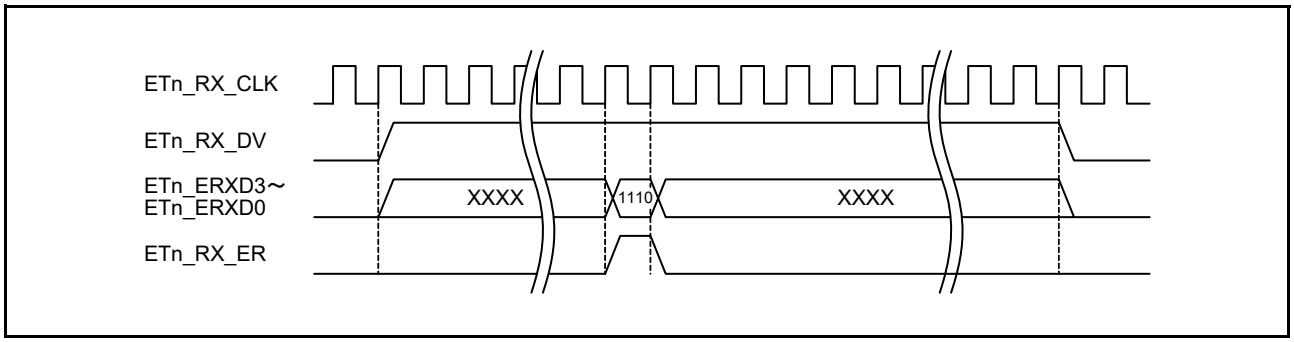


図 29.11　MII フレーム受信タイミング（不正キャリア検出通知時）

29.3.3.2 RMII フレームタイミング

RMII フレームのタイミングを図 29.12 ～図 29.14 に示します。

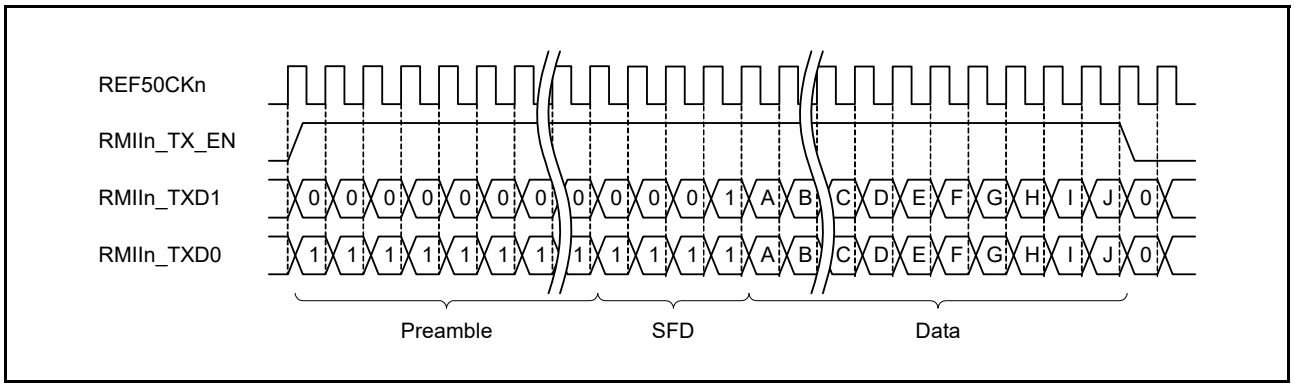


図 29.12 RMII フレーム送信タイミング（正常送信時）

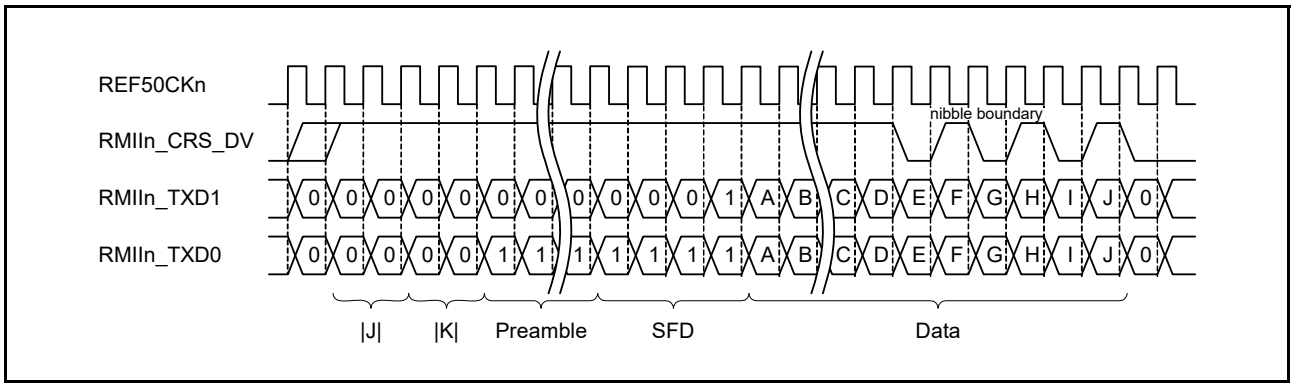


図 29.13 RMII フレーム受信タイミング（正常受信時）

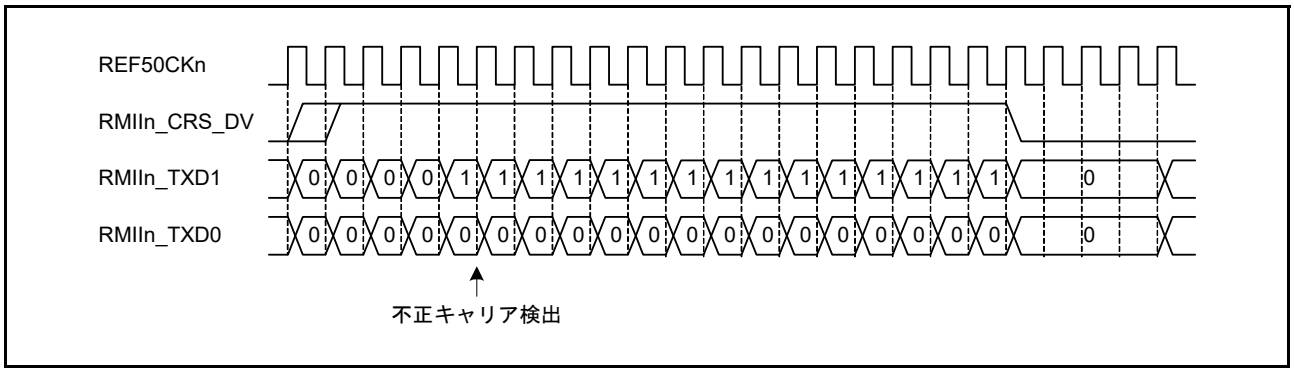


図 29.14 RMII フレーム受信タイミング（不正キャリア検出を伴う受信時）

29.3.4 MII および RMII レジスタへのアクセス

PHY-LSI 内にある MII と RMII レジスタへは、PIR レジスタを使用してアクセスします。MII および RMII 管理フレームフォーマットに従ったシリアルデータを、ETn_MDC、ETn_MDIO 端子をソフトウェアで制御して送受信します。

29.3.4.1 MII および RMII 管理フレームのフォーマット

MII および RMII 管理フレームのフォーマットを表 29.3 に示します。

表 29.3 MIIおよびRMII管理フレームのフォーマット

アクセスの種類		MIIおよびRMII管理フレーム							
	パラメータ	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
	ビット数	32	2	2	5	5	2	16	1
読み出し		1...1	01	10	00001	RRRRR	Z0	DDDDDDDDDDDDDDDD	Z
書き込み		1...1	01	01	00001	RRRRR	10	DDDDDDDDDDDDDDDD	Z

注 . PRE（Preamble）： 32 個の連続した 1 を送信
ST（Stat of Frame）： 01b を送信
OP（Operation code）： 読み出し時は 10b、書き込み時は 01b を送信
PHYAD（PHY Address）： 1 つの MAC に最大 32 の PHY-LSI が接続可能。この 5 ビットで PHY-LSI を選択。PHY-LSI のアドレスが 1 番の場合、00001b を送信。
REGAD（Register Address）: PHY-LSI にある最大 32 個のレジスタから 1 つを選択。レジスタアドレスが 1 番の場合、00001b を送信。
TA（Turnarround）： 読み出し時にレジスタアドレスとデータが衝突しないようにするため 2 ビット分の切り替え時間を使用。書き込み時は 10b を送信。読み出し時は、1 ビット分のバス解放（Z 出力）を行う。
（PHY-LSI からは次のクロックで 0 が出力されるので「Z0」と表記）
DATA（Data）:16 ビットデータ。MSB 側から順次送信あるいは受信。
IDLE（Idle Condition）： 次の MII または RMII 管理フォーマット入力までの待機時間。書き込み時は、バス解放（Z 出力）を行う。読み出し時は、TA 時にバス解放済みであり制御不要。

29.3.4.2 MII および RMII レジスタアクセス手順

MII および RMII レジスタへのアクセスは、1 ビット単位のデータの書き込み、1 ビット単位のデータの読み出し、およびバス解放を含みます。MII および RMII レジスタアクセスタイミングの例を図 29.15 ～図 29.18 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

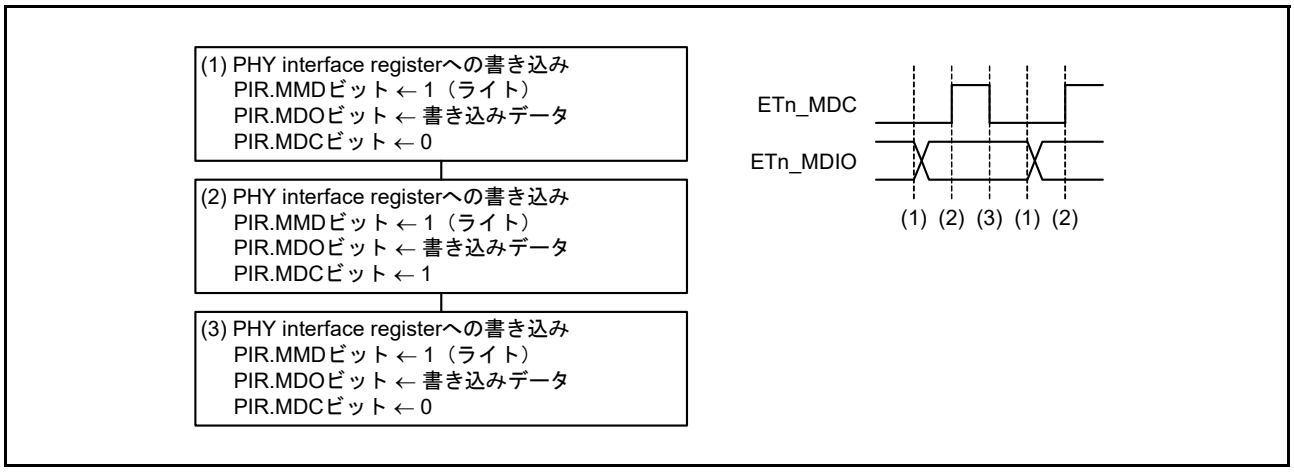


図 29.15 1 ビットデータのライトフロー

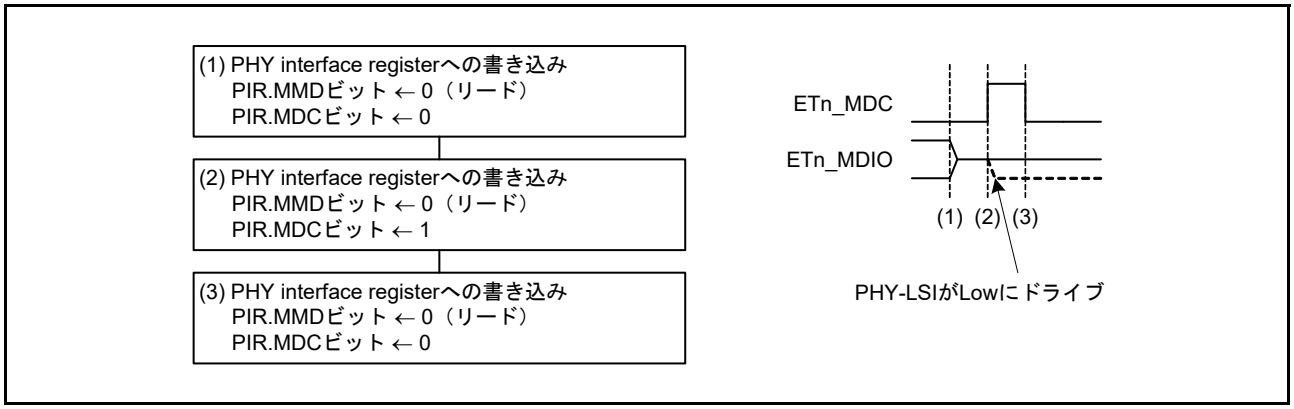


図 29.16　バス解放フロー（表 29.3 中の読み出し時の TA）

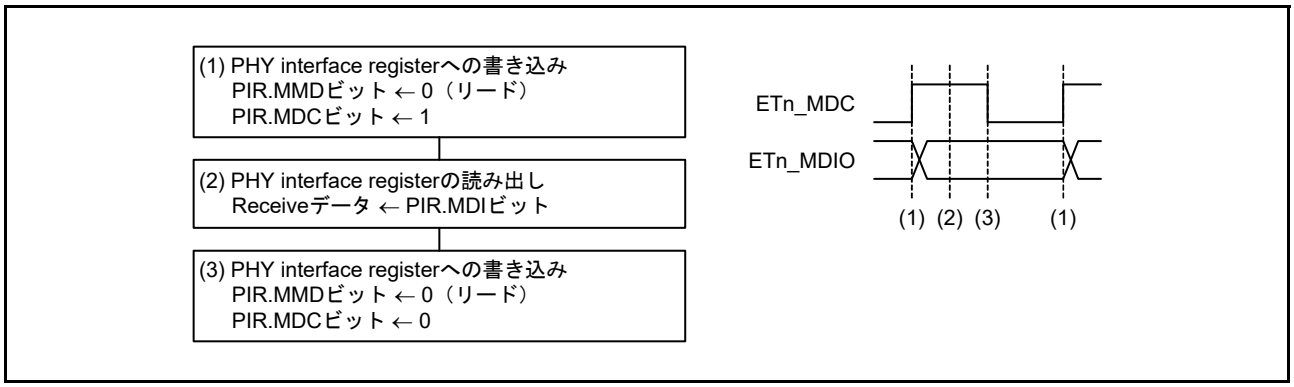


図 29.17　1 ビットデータのリードフロー

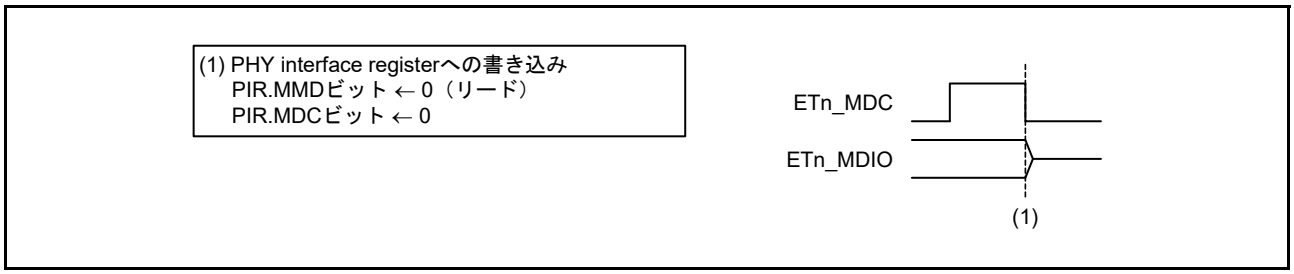


図 29.18　バス解放フロー（表 29.3 中の書き込み時の IDLE）

29.3.5 Magic Packet の検出

ETHERC は、Wake-On-LAN（WOL）に対応しています。これは、ホスト装置などから送出される Magic Packet を検出し、スリープモードなどの低消費電力状態から MCU を復帰する機能です。ETHERC が Magic Packet を検出すると、ETn_WOL 端子から High を出力します。ETn_WOL 端子を Low にするには EDMACn.EDMR.SWR ビットに 1 を書いてください。

Magic Packet は、ブロードキャストで送信されるため、そのフォーマット内で指定された宛先 MAC アドレスにかかわらず受信されます。ETHERC はその宛先 MAC アドレスと自身の MAC アドレスが合致した場合のみ、ETn_WOL 端子から High を出力します。Magic Packet に関する詳細については、AMD 社の技術資料を参照してください。

MCU で WOL を使用するには、以下の例の手順を利用してください。

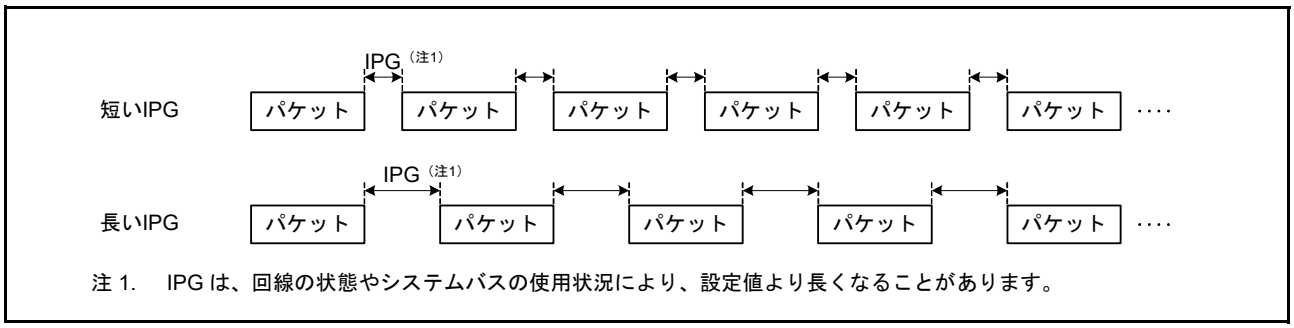
1. ICU を設定して、ETHER_EINTn 割り込み要求を禁止します。
2. ECMR.MPDE ビットを 1 にして Magic Packet 検出を許可し、ECMR.RE ビットを 1 にして受信を許可します。
3. ECSIPR.MPDIP ビットを 1 にして、Magic Packet 検出割り込みの通知を許可します。
4. EDMACn.EESIPR.ECIIP ビットを 1 にして、ETHERC ステータスレジスタ要因割り込みを許可します
5. ICU を設定して、ETHER_EINTn 割り込み要求を許可します。
6. 必要に応じて、CPU の動作モードをスリープモードにするか、使用しない周辺機能をモジュールストップ状態にします。
7. Magic Packet を検出すると、CPU へ割り込みが要求されます。また、MCU 外部に対しては、ETn_WOL 端子から High を出力して、Magic Packet を検出したことを通知します

29.3.5.1 Magic Packet 検出時の制約

ETHERC は、Magic Packet の受信を待っているときも、ブロードキャストパケットなどを受信しています。そのため、Magic Packet を検出したとき、EDMAC の受信 FIFO には受信データが蓄積されている場合があります。同様に、ECSR レジスタや EDMACn.EESR レジスタの各フラグも、変化している場合があります。Magic Packet 検出により通常の動作に復帰する場合は、EDMACn.EDMR.SWR ビットを 1 にして、ETHERC と EDMAC の初期化を行ってください。

29.3.6 IPG の変更による伝送効率の調整

IPG は、送信フレーム間の無送信期間です。ETHERC は、IPGR レジスタに設定されている値に基づき送信効率を増加／減少させるため、IPG の値を変更することができます。一般的な値は IEEE802.3 規格に定められています。設定を変更するときは、同じネットワークでそれぞれの機器がうまく動作するかどうかの確認作業を十分に行ってください。



注 1. IPG は、回線の状態やシステムバスの使用状況により、設定値より長くなることがあります。

図 29.19 IPG の変更による伝送効率の違い

29.3.7 フロー制御

全二重通信モードで動作しているとき、ETHERC は、IEEE802.3x に準拠したフロー制御を行うことができ、受信側と送信側を個別に設定することができます。PAUSE フレームの送信方法には、自動送信と手動送信の 2 種類があります。

29.3.7.1 PAUSE フレームの自動送信

ECMR.TXF ビットを 1 にすると、PAUSE フレームの自動送信機能が有効になります。PAUSE フレームの送信は、EDMAC からの PAUSE フレーム送信要求によって、自動的に行われます。PAUSE フレームの pause_time パラメータには、APR.AP[15:0] ビットに設定した値が使用されます。

PAUSE フレームを送信した後、PAUSE 時間が経過した時点で、EDMAC からの PAUSE フレーム送信要求がなくなっていない場合は、再度 PAUSE フレームを送信します。PAUSE フレームの再送回数の上限は TPAUSER.TPAUSE[15:0] ビットで設定することができます。設定した回数に達した場合は、以降の PAUSE フレーム送信は行われません。

図 29.20 に PAUSE フレームの自動送信の設定手順例を示します。

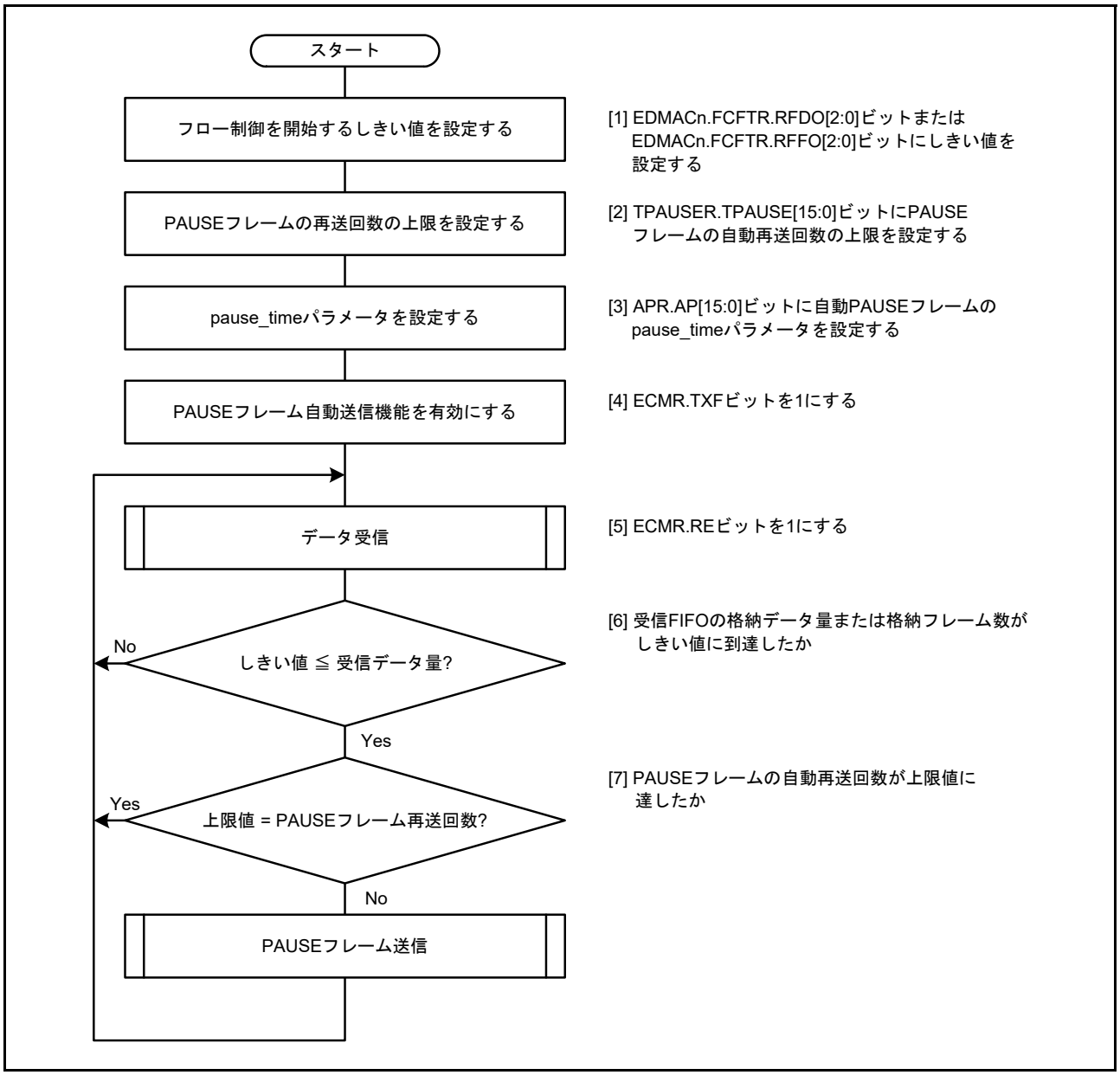


図 29.20 PAUSE フレームの自動送信の設定手順例

29.3.7.2 PAUSE フレームの手動送信

PAUSE フレームの手動送信は、任意のタイミングで行うことができます。ソフトウェアで MPR.MP[15:0] ビットに PAUSE フレームの pause_time パラメータを書き込むと、ETHERC は PAUSE フレームを 1 回送信します。PAUSE フレームの手動送信を複数回行う場合は、MPR.MP[15:0] ビットへの書き込みを複数回行ってください。

29.3.7.3 PAUSE フレームの受信

ECMR.RXF ビットを 1 にすると、PAUSE フレームの検出機能が有効になります。PAUSE フレームを受信すると、ETHERC は送信中のフレームを送信してから、受信した PAUSE フレームの PAUSE 時間が経過するまで次のフレームを送信しません。ETHERC は、RFCF.RPAUSE[7:0] ビット値もインクリメントします。

ECMR.ZPF ビットが 1 のときは、pause_time パラメータが 0 の PAUSE フレームを受信すると、送信待ちを即座に解除します。

29.4 割り込み

ECSR レジスタの各フラグが 1 になったとき、ECSIPR レジスタの対応するビットが 1 であると、ETHERC は EDMAC に割り込み要因のステータスを通知します。通知を受け取ると、EDMAC は EDMACn.EESR.ECI フラグを 1 にします。このとき、EDMACn.EESIPR.ECIIP ビットが 1 であると、EDMAC は ETHER_EINTn 割り込みを CPU に要求します。詳細は、「31. イーサネット DMA コントローラ（EDMAC）」を参照してください。

29.5 使用上の注意事項

29.5.1 LCHNG フラグの 1 への誤設定の防止

ETn_LINKSTA 端子の入力レベルが変化していない場合でも、ECSR.LCHNG フラグが 1 になる場合があります。このような事態が発生すると、MPC.PmnPFS レジスタを設定し、ポートに ETn_LINKSTA 信号を割り付けたときや、EDMACn.EDMR.SWR ビットによる ETHERC と EDMAC のソフトウェアリセットを解除したときに、ETn_LINKSTA 端子に High が入力されます。MPC で ETn_LINKSTA 信号を割り付けていないときや、ETHERC と EDMAC のソフトウェアリセットを行っているときは、ETHERC 内部の ETn_LINKSTA 信号が、外部端子への入力レベルとは無関係に Low に固定されているため、ECSR.LCHNG が 1 になります。

誤ってリンク信号変化割り込みを発生させないように、ECSR.LCHNG フラグをクリアしてから、ECSIPR.LCHNGIP ビットを 1 にしてください。

29.5.2 RMII 選択時の RMIIn_RX_ER 端子入力について

RMII 選択時、PHY-LSI から受け取る受信エラー信号の幅が REF50CKn クロック（50MHz）の 1 サイクル分しかない場合、エラー信号として認識しません。

30. イーサネット PTP コントローラ（EPTPC）

30.1 概要

本 MCU は、イーサネットコントローラ用 PTP モジュール（EPTPC）を提供しています。EPTPC は、IEEE 1588-2008（Version2）で規定された PTP を用い、機器間のタイミング同期を処理します。EPTPC は、同期フレーム処理部（SYNFP0、SYNFP1）、パケット中継部（PRC-TC）、統計的クロック補正部（STCA）で構成されています。

EPTPC は、イーサネットコントローラ（ETHERC）および PTP 用イーサネットコントローラ用 DMA コントローラ（PTPEDMAC）と合わせて使用してください。EPTPC を使用しない場合、EPTPC 内のバイパスレジスタを設定してバイパスすることができます。30.2.86 1588 モジュールバイパスレジスタ（BYPASS）を参照してください。

表 30.1 に EPTPC の仕様を示します。図 30.1 に EPTPC の構成を示します。

表 30.1 EPTPCの仕様

項目	内容
プロトコル	IEEE 1588で規定されたPrecision Time Protocol (PTP)に準拠
同期フレーム処理部（SYNFP0、SYNFP1）	• PTPメッセージをマスタまたはスレーブとして送受信可能 • 複数クロックデバイスのサポート - Ordinary Clock（OC） - Boundary Clock（BC） - Transparent Clock（TC） • End-to-End（E2E）およびPeer-to-Peer（P2P）マスタ／スレーブ動作のサポート • IEEE 1588で規定されたmeanPathDelay値およびoffsetFromMaster値を算出 • マスタクロックとして動作可能 • マルチキャストパケット受信時、MACアドレスによって、ハードウェアフィルタリングが可能 • PTPメッセージの種類で、ハードウェアフィルタリングが可能 • PTPメッセージのフレームは、Layer4（IPv4、UDP）およびLayer2（イーサネットフレーム）に対応 • 時刻同期機能を使用しない場合、通常のEthernetポートとして使用可能
パケット中継部（PRC-TC）	• Ethernetポート0および1の間で、受信データの中継が可能 • Ethernetポート0および1に同じMACアドレスを設定して、双方のポートから、あるいは片方のポートのみからデータを送信することが可能 • パケットの中継方法は、ストア＆フォワード方式とカットスルー方式から選択
統計的クロック補正部（STCA）	• 統計的クロック補正部への供給クロックは、20、25、50、100MHzから選択 • スレーブ動作で、事前に指定したしきい値、またはプラスおよびマイナス方向の傾き値を収集し、その統計から指定したしきい値（ワースト10値取得機能）未満のoffsetFromMaster値から、同期状態を把握することが可能 • マスタクロックより取得および補正した時刻情報を、自身の時刻情報としてローカルクロックカウンタに保持 • STCAクロックをクロックソースとするパルス出力タイマmからパルスを生成可能（m = 0 ~ 5） • パルス出力タイマによる割り込み要求やELCへのイベント出力により、マスタクロックに同期したパルスのエッジで、GPTなどの周辺モジュールの開始あるいは停止などの制御が可能
割り込み要因	ETHER_MINT割り込み • 各モジュールのステータス変化が変化したときに要求 • それぞれのパルス出力タイマが生成するパルスの立ち上がりエッジで要求 ETHER_IPLS割り込み • 事前に選択したパルス出力タイマグループが生成するパルスの立ち上がりあるいは立ち下がりエッジで要求 • エッジごと、あるいは1回のみ要求することが可能
イベントリンク機能	• それぞれのパルス出力タイマが生成するパルスの立ち上がりエッジあるいは立ち下がりエッジで、ELCへイベントを出力 • エッジごとにあるいは1回のみイベントを出力することが可能

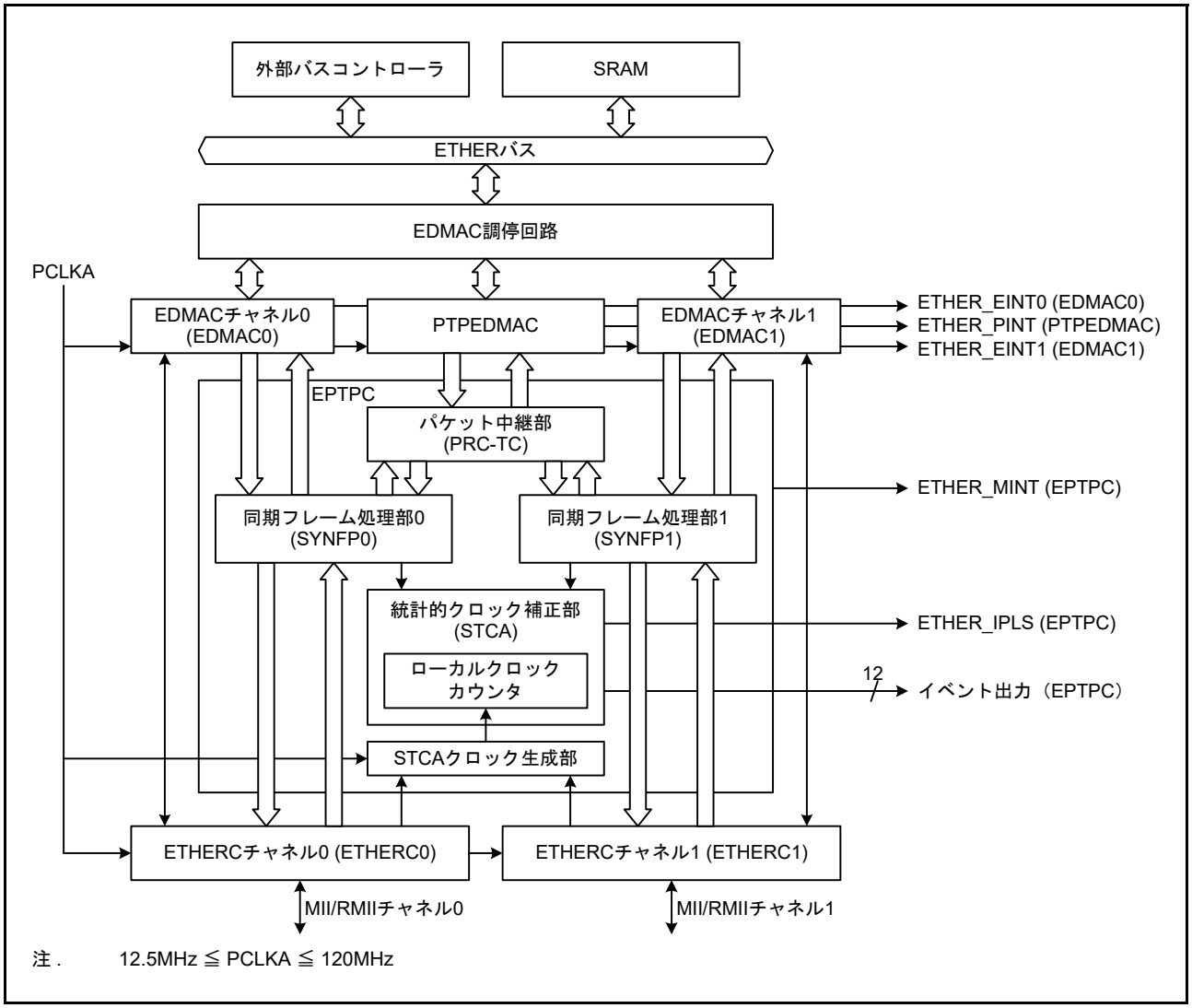


図 30.1 EPTPC の構成

本章では、複数のチャネルが存在するモジュールの全体を指すとき、チャネルを省略することがあります。表 30.2 に表記の一覧を示します。

表 30.2 表記例

モジュール名	チャネル	意味
SYNFPnモジュール	n = 0, 1	同期フレーム処理部0および1（SYNFP0、SYNFP1）
パルス出力タイマm	m = 0～5	パルス出力タイマのチャネル0～5

30.1.1 クロックデバイスと Ethernet ポートの組み合わせ

EPTPC は、3 種類のクロックデバイスとしての動作に対応しています。

- Ordinary Clock（OC）
- Boundary Clock（BC）
- Transparent Clock（TC）

また、各クロックデバイスは、End-to-End（E2E）動作と Peer-to-Peer（P2P）動作をサポートしています。表 30.3 に、利用可能な Ethernet ポート 0 および 1 の組み合わせを示します。

表 30.3 クロックデバイスとEthernetポートの組み合わせ

クロックデバイス	Ethernetポート0		Ethernetポート1	
EPTPCによる制御なし	PTPパケットは処理されません。			
Ordinary Clock (OC) PTPパケットの処理にEthernetポート0のみ使用	マスタ	End-to-end (E2E)	PTPパケットは処理されません。	
		Peer-to-peer (P2P)		
	スレーブ	E2E		
		P2P		
Ordinary Clock (OC) PTPパケットの処理にEthernetポート1のみ使用	PTPパケットは処理されません。		マスタ	E2E
				P2P
			スレーブ	E2E
				P2P
Boundary Clock (BC)	マスタ	E2E	マスタ	E2E
		E2E		P2P
		P2P		E2E
		P2P		P2P
	マスタ	E2E	スレーブ	E2E
		E2E		P2P
		P2P		E2E
		P2P		P2P
	スレーブ	E2E	マスタ	E2E
		E2E		P2P
		P2P		E2E
		P2P		P2P
Transparent Clock (TC)	E2E TC			
	P2P TC			

30.1.2 PTP メッセージのフレームフォーマット

PTP メッセージのフレームフォーマットは、SYNFP フレームフォーマット設定レジスタ（SYFORMR）の FORM0 ビットおよび FORM1 ビットにより選択できます。EPTPC が送受信する PTP メッセージのフォーマットの一覧を図 30.2 に示します。

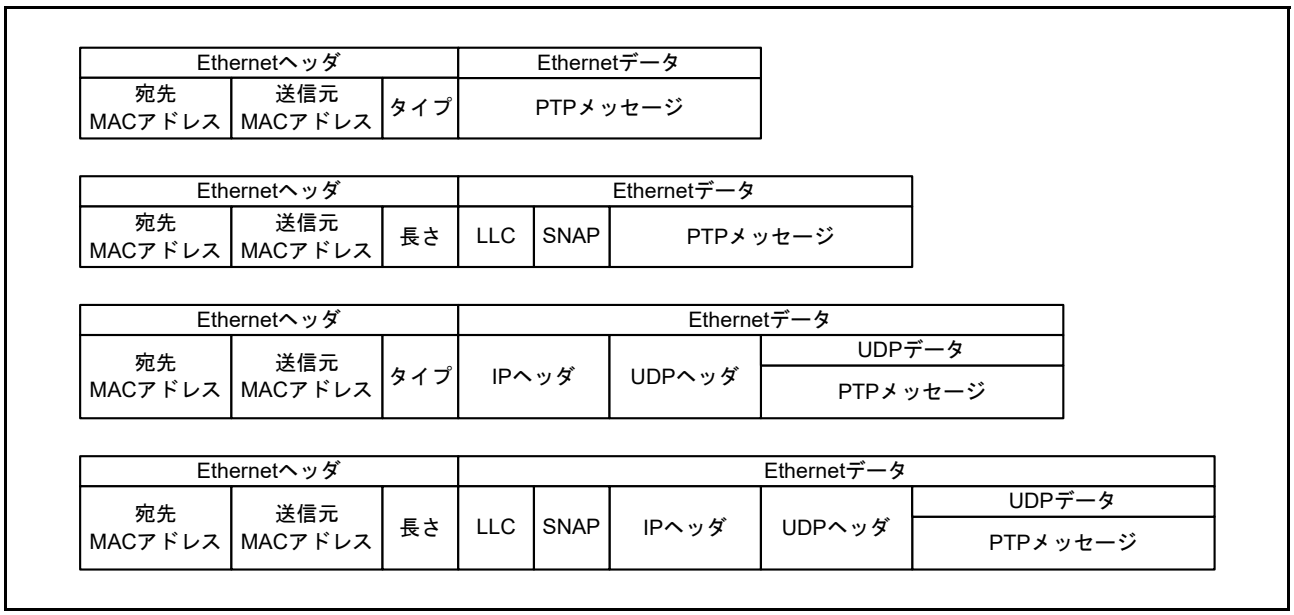


図 30.2 PTP メッセージのフレームフォーマット

EPTPC は、PTP メッセージを送信することができます。EPTPC が PTP メッセージを送信する際、宛先に指定する MAC アドレスや IP アドレスは、送信する PTP メッセージの種類により、通常は、IEEE 1588 で規定されたマルチキャストアドレスを指定します。また、UDP を用いて PTP メッセージをカプセル化する場合に使用するポート番号も IEEE 1588 で規定されており、PTP メッセージの種類により指定する必要があります。

PTP メッセージのイーサフレームフォーマットと指定するために必要な情報の一覧を表 30.4 に示します。

表 30.4 マルチキャスト時の PTP メッセージの種類と Ethernet フレームフォーマットに指定する情報の一覧

PTP メッセージタイプ			IEEE802.3 フレームフォーマット (SYFORMR.FORM0 ビット = 1)		Ethernet II フレームフォーマット (SYFORMR.FORM0 ビット = 0)		UDP ポート番号 (注1)
			MAC アドレス	IP アドレス	MAC アドレス	EtherType	
PTP-primary	Event messages	Sync	01-00-5E-00-01-81	224.0.1.129	01-1B-19-00-00-00	88F7h	319
		Delay_Req					
PTP-pdelay		Pdelay_Req	01-00-5E-00-00-6B	224.0.0.107	01-80-C2-00-00-0E		
		Pdelay_Resp					
	General messages	Pdelay_Resp_Follow_Up					320
PTP-primary		Announce	01-00-5E-00-01-81	224.0.1.129	01-1B-19-00-00-00		
		Follow_Up					
		Delay_Resp					
		Signaling					
		Management					

注 1. UDP で PTP メッセージをカプセル化する場合（SYFORMR.FORM1 ビット = 1）のみ指定する必要があります。

30.1.3 PTP メッセージタイプと処理詳細

PTP メッセージの送受信に対する EPTPC の処理内容を表 30.5 と表 30.6 に示します。

表 30.5 EPTPCが受信したPTPメッセージの処理

メッセージタイプ	メッセージ	EPTPC...
イベント	Sync	flagFieldのtwoStepFlagがFALSEである場合、offsetFromMaster値を算出します。
	Delay_Req	Delay_Respの応答を行います。
	Pdelay_Req	Pdelay_Respの応答を行います。
	Pdelay_Resp	flagFieldのtwoStepFlagがFALSEの場合、meanPathDelay値を算出します。
General	Announce	—
	Follow_Up	先に受信したSyncメッセージのflagFieldのtwoStepFlagがTRUEでかつ、meanPathDelay値が確定している場合、offsetFromMaster値の算出を行います。
	Delay_Resp	meanPathDelay値を算出します。
	Pdelay_Resp_Follow_Up	先に受信したPdelay_RespメッセージのflagFieldのtwoStepFlagがTRUEである場合、meanPathDelay値を算出します。
	Management	—
	Signaling	—

表 30.6 EPTPCが送信するPTPメッセージの処理

メッセージタイプ	メッセージ	EPTPC...
イベント	Sync	SYTLIR.SYNC[7:0]ビットに指定されている間隔でSyncメッセージを送信します。
	Delay_Req	0からSYTLIR.DREQ[7:0]ビットで指定された2倍の時間の間隔と乱数値により決定されたインターバル時間で、送信を行います。
	Pdelay_Req	SYTLIR.DREQ[7:0]ビットに指定されている間隔でPdelay_Reqメッセージを送信します。
	Pdelay_Resp	Pdelay_Reqに対する応答送信を行います。
General	Announce	SYTLIR.ANCE[7:0]ビットに指定されている間隔でAnnounceメッセージを送信します。
	Follow_Up	—
	Delay_Resp	Delay_Reqに対する応答送信を行います。
	Pdelay_Resp_Follow_Up	—
	Management	—
	Signaling	—

30.2 レジスタの説明

30.2.1 ETHER_MINT 割り込み要因ステータスレジスタ（MIESR）

アドレス EPTPC.MIESR 4006 5000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PRC	SY1	SY0	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ST	STCAステータスフラグ	0：STCAモジュールのステータスに変化なし 1：STCAモジュールのステータスに変化あり	R
b1	SY0	SYNFP0ステータスフラグ	0：SYNFP0モジュールのステータスに変化なし 1：SYNFP0モジュールのステータスに変化あり	R
b2	SY1	SYNFP1ステータスフラグ	0：SYNFP1モジュールのステータスに変化なし 1：SYNFP1モジュールのステータスに変化あり	R
b3	PRC	PRC-TCステータスフラグ	0：PRC-TCモジュールのステータスに変化なし 1：PRC-TCモジュールのステータスに変化あり	R
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	CYC0	パルス出力タイマ0立ち上がりエッジ検出フラグ	0：パルス出力タイマ0からの周期パルス信号で立ち上がりエッジ未検出 1：パルス出力タイマ0からの周期パルス信号で立ち上がりエッジ検出	R/W（注1）
b17	CYC1	パルス出力タイマ1立ち上がりエッジ検出フラグ	0：パルス出力タイマ1からの周期パルス信号で立ち上がりエッジ未検出 1：パルス出力タイマ1からの周期パルス信号で立ち上がりエッジ検出	R/W（注1）
b18	CYC2	パルス出力タイマ2立ち上がりエッジ検出フラグ	0：パルス出力タイマ2からの周期パルス信号で立ち上がりエッジ未検出 1：パルス出力タイマ2からの周期パルス信号で立ち上がりエッジ検出	R/W（注1）
b19	CYC3	パルス出力タイマ3立ち上がりエッジ検出フラグ	0：パルス出力タイマ3からの周期パルス信号で立ち上がりエッジ未検出 1：パルス出力タイマ3からの周期パルス信号で立ち上がりエッジ検出	R/W（注1）
b20	CYC4	パルス出力タイマ4立ち上がりエッジ検出フラグ	0：パルス出力タイマ4からの周期パルス信号で立ち上がりエッジ未検出 1：パルス出力タイマ4からの周期パルス信号で立ち上がりエッジ検出	R/W（注1）
b21	CYC5	パルス出力タイマ5立ち上がりエッジ検出フラグ	0：パルス出力タイマ5からの周期パルス信号で立ち上がりエッジ未検出 1：パルス出力タイマ5からの周期パルス信号で立ち上がりエッジ検出	R/W（注1）
b31-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 1 を書くとフラグが 0 になります。0 を書いてもフラグの値は変化しません。

MIESR レジスタは、ETHER_MINT 割り込みの要因となる、STCA、SYNFPn、PRC-TC モジュールのステータスの変化の有無を表示し、パルス出力タイマ m（m = 0 ～ 5）の立ち上がりエッジの検出を表示するレジスタです。ETHER_MINT 割り込みの詳細は、30.4 割り込みを参照してください。

ST フラグ（STCA ステータスフラグ）

STCA モジュールのステータス変化の有無を表します。

［1 になる条件］

- STIPR レジスタで通知が許可された、STSR レジスタのいずれかのステータスが変化したとき

［0 になる条件］

下記のいずれかが成立したとき

- STSR レジスタのフラグがすべて 0
- STIPR レジスタのビットがすべて 0
- STIPR レジスタで 1 に設定されたビットがあるが、STSR レジスタの関連するフラグが 0

SYn フラグ（SYNFPn ステータスフラグ）

SYNFPn モジュールのステータス変化の有無を表します。

［1 になる条件］

- SYIPR レジスタで通知が許可された、SYSR レジスタのいずれかのステータスが変化したとき

［0 になる条件］

下記のいずれかが成立したとき

- SYSR レジスタのフラグがすべて 0
- SYIPR レジスタのビットがすべて 0
- SYIPR レジスタで 1 に設定されたビットがあるが、SYSR レジスタの関連するフラグが 0

PRC フラグ（PRC-TC ステータスフラグ）

PRC-TC モジュールのステータス変化の有無を表します。

［1 になる条件］

- PRIPR レジスタで通知が許可された、PRSR レジスタのいずれかのステータスが変化したとき

［0 になる条件］

下記のいずれかが成立したとき

- PRSR レジスタのフラグがすべて 0
- PRIPR レジスタのビットがすべて 0
- PRIPR レジスタで 1 に設定されたビットがあるが、PRSR レジスタの関連するフラグが 0

CYCm フラグ（パルス出力タイマ m 立ち上がりエッジ検出フラグ）

パルス出力タイマ m が生成する周期パルスの立ち上がりエッジ検出の有無を表します。

［1 になる条件］

- MITSELR レジスタで通知が許可されたパルス出力タイマの周期パルスの立ち上がりエッジを検出したとき

［0 になる条件］

- このフラグに 1 を書いたとき
  （フラグをクリアした後、再びパルス出力タイマの周期パルスの立ち上がりエッジを検出すると再度 1 になります）

30.2.2 ETHER_MINT 割り込み要求イネーブルレジスタ（MIEIPR）

アドレス EPTPC.MIEIPR 4006 5004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	CYC5	CYC4	CYC3	CYC2	CYC1	CYC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PR	SY1	SY0	ST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ST	STCAステータス割り込み要求許可	0：STCAステータスフラグによるETHER_MINT割り込み要求を禁止 1：STCAステータスフラグによるETHER_MINT割り込み要求を許可	R/W
b1	SY0	SYNFP0ステータス割り込み要求許可	0：SYNFP0ステータスフラグによるETHER_MINT割り込み要求を禁止 1：SYNFP0ステータスフラグによるETHER_MINT割り込み要求を許可	R/W
b2	SY1	SYNFP1ステータス割り込み要求許可	0：SYNFP1ステータスフラグによるETHER_MINT割り込み要求を禁止 1：SYNFP1ステータスフラグによるETHER_MINT割り込み要求を許可	R/W
b3	PR	PRC-TCステータス割り込み要求許可	0：PRC-TCステータスフラグによるETHER_MINT割り込み要求を禁止 1：PRC-TCステータスフラグによるETHER_MINT割り込み要求を許可	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	CYC0	パルス出力タイマ0立ち上がりエッジ検出割り込み要求許可	0：パルス出力タイマ0立ち上がりエッジ検出によるETHER_MINT割り込み要求を禁止 1：パルス出力タイマ0立ち上がりエッジ検出によるETHER_MINT割り込み要求を許可	R/W
b17	CYC1	パルス出力タイマ1立ち上がりエッジ検出割り込み要求許可	0：パルス出力タイマ1立ち上がりエッジ検出によるETHER_MINT割り込み要求を禁止 1：パルス出力タイマ1立ち上がりエッジ検出によるETHER_MINT割り込み要求を許可	R/W
b18	CYC2	パルス出力タイマ2立ち上がりエッジ検出割り込み要求許可	0：パルス出力タイマ2立ち上がりエッジ検出によるETHER_MINT割り込み要求を禁止 1：パルス出力タイマ2立ち上がりエッジ検出によるETHER_MINT割り込み要求を許可	R/W
b19	CYC3	パルス出力タイマ3立ち上がりエッジ検出割り込み要求許可	0：パルス出力タイマ3立ち上がりエッジ検出によるETHER_MINT割り込み要求を禁止 1：パルス出力タイマ3立ち上がりエッジ検出によるETHER_MINT割り込み要求を許可	R/W
b20	CYC4	パルス出力タイマ4立ち上がりエッジ検出割り込み要求許可	0：パルス出力タイマ4立ち上がりエッジ検出によるETHER_MINT割り込み要求を禁止 1：パルス出力タイマ4立ち上がりエッジ検出によるETHER_MINT割り込み要求を許可	R/W
b21	CYC5	パルス出力タイマ5立ち上がりエッジ検出割り込み要求許可	0：パルス出力タイマ5立ち上がりエッジ検出によるETHER_MINT割り込み要求を禁止 1：パルス出力タイマ5立ち上がりエッジ検出によるETHER_MINT割り込み要求を許可	R/W
b31-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MIEIPR レジスタは、ETHER_MINT 割り込みの要因が発生したとき、ETHER_MINT 割り込み要求を禁止または許可するレジスタです。

30.2.3 ELC 出力／ ETHER_IPLS 割り込み要求許可レジスタ（ELIPPR）

アドレス EPTPC.ELIPPR 4006 5010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	PLSN	—	—	—	—	—	—	—	PLSP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CYCN5	CYCN4	CYCN3	CYCN2	CYCN1	CYCN0	—	—	CYCP5	CYCP4	CYCP3	CYCP2	CYCP1	CYCP0
リセット後の値	0	0	1	1	1	1	1	1	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CYCP0	パルス出力タイマ0立ち上がりエッジ検出イベント出力許可	0：パルス出力タイマ0の立ち上がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ0の立ち上がりエッジのELCへのイベント信号出力を許可	R/W
b1	CYCP1	パルス出力タイマ1立ち上がりエッジ検出イベント出力許可	0：パルス出力タイマ1の立ち上がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ1の立ち上がりエッジのELCへのイベント信号出力を許可	R/W
b2	CYCP2	パルス出力タイマ2立ち上がりエッジ検出イベント出力許可	0：パルス出力タイマ2の立ち上がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ2の立ち上がりエッジのELCへのイベント信号出力を許可	R/W
b3	CYCP3	パルス出力タイマ3立ち上がりエッジ検出イベント出力許可	0：パルス出力タイマ3の立ち上がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ3の立ち上がりエッジのELCへのイベント信号出力を許可	R/W
b4	CYCP4	パルス出力タイマ4立ち上がりエッジ検出イベント出力許可	0：パルス出力タイマ4の立ち上がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ4の立ち上がりエッジのELCへのイベント信号出力を許可	R/W
b5	CYCP5	パルス出力タイマ5立ち上がりエッジ検出イベント出力許可	0：パルス出力タイマ5の立ち上がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ5の立ち上がりエッジのELCへのイベント信号出力を許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CYCN0	パルス出力タイマ0立ち下がりエッジ検出イベント出力許可	0：パルス出力タイマ0の立ち下がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ0の立ち下がりエッジのELCへのイベント信号出力を許可	R/W
b9	CYCN1	パルス出力タイマ1立ち下がりエッジ検出イベント出力許可	0：パルス出力タイマ1の立ち下がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ1の立ち下がりエッジのELCへのイベント信号出力を許可	R/W
b10	CYCN2	パルス出力タイマ2立ち下がりエッジ検出イベント出力許可	0：パルス出力タイマ2の立ち下がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ2の立ち下がりエッジのELCへのイベント信号出力を許可	R/W
b11	CYCN3	パルス出力タイマ3立ち下がりエッジ検出イベント出力許可	0：パルス出力タイマ3の立ち下がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ3の立ち下がりエッジのELCへのイベント信号出力を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b12	CYCN4	パルス出力タイマ4立ち下がりエッジ検出イベント出力許可	0：パルス出力タイマ4の立ち下がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ4の立ち下がりエッジのELCへのイベント信号出力を許可	R/W
b13	CYCN5	パルス出力タイマ5立ち下がりエッジ検出イベント出力許可	0：パルス出力タイマ5の立ち下がりエッジのELCへのイベント信号出力を禁止 1：パルス出力タイマ5の立ち下がりエッジのELCへのイベント信号出力を許可	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	PLSP	パルス出力タイマ立ち上がりエッジ検出ETHER_IPLS割り込み要求許可	0：選択したパルス出力タイマの立ち上がりエッジによるETHER_IPLS割り込み要求を禁止 1：選択したパルス出力タイマの立ち上がりエッジによるETHER_IPLS割り込み要求を許可	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	PLSN	パルス出力タイマ立ち下がりエッジ検出ETHER_IPLS割り込み要求許可	0：選択したパルス出力タイマの立ち下がりエッジによるETHER_IPLS割り込み要求を禁止 1：選択したパルス出力タイマの立ち下がりエッジによるETHER_IPLS割り込み要求を許可	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELIPPR レジスタは、パルス出力タイマ m が生成する周期パルスのうち、立ち上がりエッジまたは立ち下がりエッジの検出イベントを、ELC へイベント信号出力するかどうかを決めるレジスタです。また、IPTSELR レジスタで選択したパルス出力タイマの立ち上がりエッジ、あるいは立ち下がりエッジによる ETHER_IPLS 割り込みを禁止または許可します。

パルス出力タイマ m が生成する周期パルスを、ELC のリンク機能を使用して GPT などの周辺モジュールの動作要因に設定することで、PTP によって同期されたクロックによりそれら周辺モジュールを制御することができます。

ELIPACR レジスタにより、ELC へのイベント出力、または ETHER_IPLS 割り込みの要求を 1 回だけとすることもできます。ETHER_IPLS 割り込みの詳細は、30.4　割り込みを参照してください。

30.2.4 ELC 出力／ETHER_IPLS 割り込み許可自動クリア設定レジスタ（ELIPACR）

アドレス EPTPC.ELIPACR 4006 5014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	PLSN	—	—	—	—	—	—	—	PLSP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CYCN5	CYCN4	CYCN3	CYCN2	CYCN1	CYCN0	—	—	CYCP5	CYCP4	CYCP3	CYCP2	CYCP1	CYCP0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CYCP0	ELIPPR.CYCP0 ビット自動クリア許可	0：パルス出力タイマ0立ち上がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ0立ち上がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b1	CYCP1	ELIPPR.CYCP1 ビット自動クリア許可	0：パルス出力タイマ1立ち上がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ1立ち上がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b2	CYCP2	ELIPPR.CYCP2 ビット自動クリア許可	0：パルス出力タイマ2立ち上がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ2立ち上がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b3	CYCP3	ELIPPR.CYCP3 ビット自動クリア許可	0：パルス出力タイマ3立ち上がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ3立ち上がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b4	CYCP4	ELIPPR.CYCP4 ビット自動クリア許可	0：パルス出力タイマ4立ち上がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ4立ち上がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b5	CYCP5	ELIPPR.CYCP5 ビット自動クリア許可	0：パルス出力タイマ5立ち上がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ5立ち上がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CYCN0	ELIPPR.CYCN0 ビット自動クリア許可	0：パルス出力タイマ0立ち下がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ0立ち下がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b9	CYCN1	ELIPPR.CYCN1 ビット自動クリア許可	0：パルス出力タイマ1立ち下がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ1立ち下がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b10	CYCN2	ELIPPR.CYCN2 ビット自動クリア許可	0：パルス出力タイマ2立ち下がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ2立ち下がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b11	CYCN3	ELIPPR.CYCN3 ビット自動クリア許可	0：パルス出力タイマ3立ち下がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ3立ち下がりエッジ検出イベント出力許可の自動クリアモード許可	R/W

ビット	シンボル	ビット名	機能	R/W
b12	CYCN4	ELIPPR.CYCN4 ビット自動クリア許可	0：パルス出力タイマ4立ち下がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ4立ち下がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b13	CYCN5	ELIPPR.CYCN5 ビット自動クリア許可	0：パルス出力タイマ5立ち下がりエッジ検出イベント出力許可の自動クリアモード禁止 1：パルス出力タイマ5立ち下がりエッジ検出イベント出力許可の自動クリアモード許可	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	PLSP	ELIPPR.PLSP ビット自動クリア許可	0：パルス出力タイマ立ち上がりエッジ検出時ETHER_IPLS割り込み要求許可の自動クリアモード無効 1：パルス出力タイマ立ち上がりエッジ検出時ETHER_IPLS割り込み要求許可の自動クリアモード許可	R/W
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	PLSN	ELIPPR.PLSN ビット自動クリア許可	0：パルス出力タイマ立ち下がりエッジ検出時ETHER_IPLS割り込み要求許可の自動クリアモード無効 1：パルス出力タイマ立ち下がりエッジ検出時ETHER_IPLS割り込み要求許可の自動クリアモード許可	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELIPACR レジスタは、パルス出力タイマ m が生成する周期パルスのエッジ検出による、ELC へのイベント出力および ETHER_IPLS 割り込み要求を、それぞれ 1 回だけ許可するレジスタです。通常、ELIPPR レジスタの対応するビットが 1（許可）の場合、ELC へのイベント出力または ETHER_IPLS 割り込み要求は、パルス出力タイマ m の周期パルスのエッジごとに発生します。ELIPPR レジスタのビットが 1 で、ELIPACR レジスタの対応するビットも 1 のとき、ELC へのイベント出力または ETHER_IPLS 割り込み要求が発生すると、ELIPPR レジスタの関連ビットが自動的に 0 になります。ETHER_IPLS 割り込みの詳細は、30.4　割り込みを参照してください。

30.2.5 STCA ステータスレジスタ（STSR）

アドレス EPTPC.STSR 4006 5040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	W10D	SYNTOUT	—	SYNCOUT	SYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	同期状態検出フラグ	0：同期状態の検出なし 1：同期状態の検出あり	R/W （注1）
b1	SYNCOUT	同期外れ検出フラグ	0：同期外れの検出なし 1：同期外れの検出あり	R/W （注1）
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	SYNTOUT	Syncメッセージ受信タイムアウト検出フラグ	0：Syncメッセージ受信タイムアウトの検出なし 1：Syncメッセージ受信タイムアウトの検出あり	R/W （注1）
b4	W10D	ワースト10取得完了フラグ	0：ワースト10値未取得 1：ワースト10値取得完了	R/W （注1）
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . SYNSTARTR.STR ビットが 0 のとき、対応するフラグの値は変化しません。
注 1. 1 を書くとフラグが 0 になります。0 を書いてもフラグの値は変化しません。

STSR レジスタは、STCA モジュールのステータスを表示するレジスタです。

SYNC フラグ（同期状態検出フラグ）

STMR.ALEN0 ビットが 1 のとき、STMR.SYTH[3:0] ビットで指定した回数以上、同期状態が連続で発生したことを示します。STMR.ALEN0 ビットが 0 のときは、指定した回数以上、同期状態が連続で発生しても、SYNC フラグは 1 になりません。

SYNCOUT フラグ（同期外れ検出フラグ）

STMR.ALEN0 ビットが 1 のとき、STMR.DVTH[3:0] ビットで指定した回数以上、同期外れが連続で発生したことを示します。

時刻同期を開始した（SYNSTARTR.STR ビットを 1 にした）直後は同期外れの状態なので、STMR.ALEN0 ビットの値にかかわらず、SYNCOUT フラグは 1 になります。SYNTOUT フラグを使用する場合は、時刻同期を開始した直後に SYNTOUT フラグを 0 にしてください。

STMR.ALEN0 ビットが 0 のときは、時刻同期を開始した直後に SYNTOUT フラグを 0 にすると、その後指定した回数以上、同期外れが連続で発生しても、SYNCOUT フラグは 1 になりません。

SYNTOUT フラグ（Sync メッセージ受信タイムアウト検出フラグ）

STMR.ALEN1 ビットが 1 のとき、SYNTOR レジスタで指定した期間、Sync メッセージを受信しなかったことを示します。EPTPC 開始後 Sync メッセージを受信していない時に、時刻同期を開始した（SYNSTARTR.STR ビットを 1 にした）場合、直後に SYNTOUT フラグが 1 になります。SYNTOUT フラグを使用する場合は、時刻同期を開始した直後に SYNTOUT フラグを 0 にしてください。

W10D フラグ（ワースト 10 取得完了フラグ）

ワースト 10 値の取得が終了したことを示します。

30.2.6 STCA ステータス通知イネーブルレジスタ（STIPR）

アドレス EPTPC.STIPR 4006 5044h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	W10D		—	SYNCOUT	SYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC	SYNCステータス通知許可	0：STSR.SYNCステータスの通知を禁止 1：STSR.SYNCステータスの通知を許可	R/W
b1	SYNCOUT	SYNCOUTステータス通知許可	0：STSR.SYNCOUTステータスの通知を禁止 1：STSR.SYNCOUTステータスの通知を許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	SYNTOUT	SYNTOUTステータス通知許可	0：STSR.SYNTOUTステータスの通知を禁止 1：STSR.SYNTOUTステータスの通知を許可	R/W
b4	W10D	W10Dステータス通知許可	0：STSR.W10Dステータスの通知を禁止 1：STSR.W10Dステータスの通知を許可	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

STIPR レジスタは、STCA モジュールのステータスの変化を、MIESR.ST フラグに反映するかどうかを指定するレジスタです。

30.2.7 STCA クロック周波数設定レジスタ（STCFR）

アドレス EPTPC.STCFR 4006 5050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STCF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	STCF[1:0]	STCAクロック周波数	b1 b0 0 0 : 20MHz 0 1 : 25MHz 1 0 : 50MHz 1 1 : 100MHz	R/W
b31-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . このレジスタの設定は、EDMAC、ETHERC、または PTPEDMAC の動作を開始させる前に行ってください。動作中は設定を変更しないでください。

STCFR レジスタは、STCA モジュールのクロックソース（STCA クロック）の周波数を指定するレジスタです。STCFR レジスタに指定する周波数は、STCSELR レジスタで選択した周波数と同じ周波数にしてください。

STCF[1:0] ビット（STCA クロック周波数）

STCA クロックの周波数を指定します。IEEE 1588 による同期制御を行うためには、STCA クロックの周波数は、20MHz、25MHz、50MHz、100MHz のいずれかを指定する必要があります。また、このビットで指定された周波数と、STCA モジュールに実際に入力されたクロックの周波数が異なる場合、動作を保証できません。

30.2.8 STCA 動作モードレジスタ（STMR）

アドレス EPTPC.STMR 4006 5054h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ALEN1	ALEN0	—	—	—	—	DVTH[3:0]				SYTH[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	W10S	—	CMOD	—	—	—	—	—	WINT[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	WINT[7:0]	ワースト10値取得時間	00h：ワースト10値を取得しない 01h：Syncメッセージ受信1回 ： FFh：Syncメッセージ受信255回	R/W
b12-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	CMOD	時刻同期補正モード	0：モード1 1：モード2	R/W
b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	W10S	ワースト10値取得制御選択	0：ハードウェアによる測定を開始して、PW10VRまたはMW10Rレジスタで取得した値をフィルタリング限度として使用 1：GETW10R.GW10ビットを使って測定を開始して、PLIMITRまたはMLIMITRレジスタに設定した値をフィルタリング限度として使用	R/W
b19-b16	SYTH[3:0]	同期状態検出しきい値設定	0h：検出を行わない（注1） 1h：1回 ： Fh：15回	R/W
b23-b20	DVTH[3:0]	同期外れ検出しきい値設定	0h：検出を行わない（注2） 1h：1回 ： Fh：15回	R/W
b27-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	ALEN0	アラーム検出許可0	0：同期状態または同期外れを検出したとき、STSR.SYNCフラグまたはSYNCOUTフラグを1にしない 1：同期状態または同期外れを検出したとき、STSR.SYNCフラグまたはSYNCOUTフラグを1にする	R/W
b29	ALEN1	アラーム検出許可1	0：Syncメッセージの受信タイムアウト割り込みを検出したとき、STSR.SYNTOUTフラグを1にしない 1：Syncメッセージの受信タイムアウト割り込みを検出したとき、STSR.SYNTOUTフラグを1にする	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ALEN0 ビットの値にかかわらず、STSR.SYNC フラグは 1 になりません。
注 2. ALEN0 ビットの値にかかわらず、STSR.SYNCOUT フラグは 1 になりません。

STMR レジスタは、STCA モジュールの動作モードを指定するレジスタです。

WINT[7:0] ビット（ワースト 10 値取得時間）

傾きのワースト 10 取得時間（Sync メッセージ受信回数）を設定します。たいていの場合は、Sync メッセージ受信数を 32 以上にすることをお勧めします。

CMOD ビット（時刻同期補正モード）

スレーブクロックとして動作する場合、CMOD ビットで自身の時刻情報を 2 種類のモード（モード 1 またはモード 2）で補正できます。システム構成に応じて適切なモードを選択してください。表 30.7 に各補正モードに関しての概要を示します。

表 30.7 補正モードの機能

補正モード	機能	特長	注意点
モード1	Syncメッセージを受信するごとに、最新のoffsetFromMaster値で補正するモード。補正スタート直後はモード1で動作し、その後設定したモードに遷移します。	マスタクロックの時刻情報を、特定の時点で自身の時刻情報として設定することが可能です。	offsetFromMasterの計算が不可能な場合、同期は保証されません。たとえば、通信障害により、パケットが一時的に破棄中の場合が挙げられます。
モード2	offsetFromMaster値から求めた傾きを保持し（ワースト10制御）、マスタクロックの時刻情報に近づくように補正するモードです。	offsetFromMaster値が算出できなくなっても、ある程度の同期が保証できます（傾き情報から補正するため）。	同期確立までの時間が長くなります。

W10S ビット（ワースト 10 値取得制御選択）

W10S ビットは、傾き値のワースト 10 値の測定およびフィルタリングに使用する値を選択します。W10S ビットを 0 にした場合は、PW10VRU、PW10VRM、PW10VRL レジスタおよび MW10RU、MW10RM、MW10RL レジスタに取得した値をフィルタの制限値として使用します。W10S ビットを 1 にした場合は、PLIMITRU、PLIMITRM、PLIMITRL レジスタおよび MLIMITRU、MLIMITRM、MLIMITRL レジスタに設定した値をフィルタの制限値として使用します。

SYTH[3:0] ビット（同期状態検出しきい値設定）

SYTH[3:0] ビットは、同期状態と考えられる、SYNTDBRU および SYNTDBRL レジスタで設定されたしきい値内で連続回数の値を指定します。ALEN0 ビットが 1 の場合、STSR.SYNCOUT フラグが 1 になります。

DVTH[3:0] ビット（同期外れ検出しきい値設定）

DVTH[3:0] ビットは、STCA モジュールが同期外れを検出するために、offsetFromMaster の値が指定したしきい値を超えている必要がある、連続回数の値を指定します。しきい値は、SYNTDARU および SYNTDARL レジスタに指定されています。ALEN0 ビットが 1 の場合、同期外れ検出時に STSR.SYNCOUT フラグが 1 になります。

ALEN0 ビット（アラーム検出許可 0）

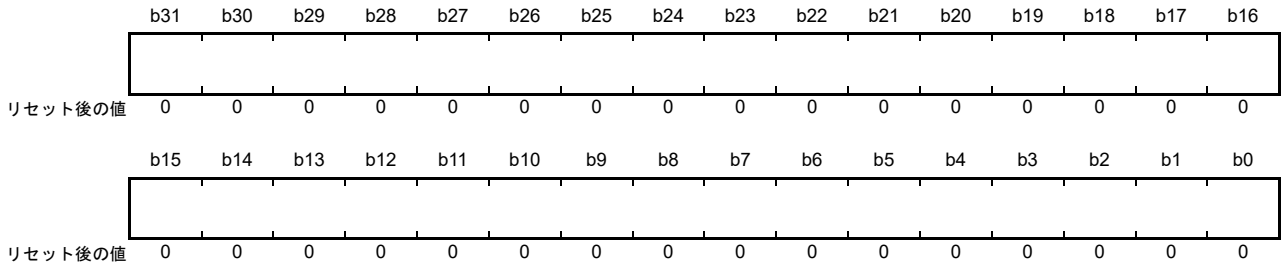
ALEN0 ビットが 1 のとき、同期状態または同期外れを検出すると、STSR.SYNC フラグまたは SYNCOUT フラグが 1 になります。ALEN0 ビットが 0 のとき、同期状態または同期外れを検出しても、SYNC または SYNCOUT フラグは 1 になりません。

ALEN1 ビット（アラーム検出許可 1）

ALEN1 ビットが 1 のとき、SYNTOR レジスタに指定された期間内に Sync メッセージを受信しなかった場合、STSR.SYNTOUT フラグが 1 になります。ALEN1 ビットが 0 のとき、受信タイムアウトが発生しても SYNTOUT フラグは 1 になりません。

30.2.9 Sync メッセージ受信タイムアウトレジスタ（SYNTOR）

アドレス EPTPC.SYNTOR 4006 5058h



ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	設定値をnとすると、1024 × n [ns]以内にSyncメッセージを受信しなかった場合、Syncメッセージ受信タイムアウトとなり、STSR.SYNTOUTフラグが1になります。	R/W

SYNTOR レジスタは Sync メッセージの受信タイムアウト時間を指定するレジスタです。設定値の 1024 倍がタイムアウト時間で、単位は ns です。これらのビットに指定された期間内に Sync メッセージが受信されなかった場合、タイムアウトが検出されます。SYNTOR レジスタの値が 0 のとき、STSR.SYNTOUT フラグは 1 になりません。

30.2.10 ETHER_IPLS 割り込み要求タイマ選択レジスタ（IPTSELR）

アドレス EPTPC.IPTSELR 4006 5060h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	IPTSEL5	IPTSEL4	IPTSEL3	IPTSEL2	IPTSEL1	IPTSEL0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IPTSEL0	パルス出力タイマ0選択	0：ETHER_IPLS割り込み要求の要因にパルス出力タイマ0を選択しない 1：ETHER_IPLS割り込み要求の要因にパルス出力タイマ0を選択する	R/W
b1	IPTSEL1	パルス出力タイマ1選択	0：ETHER_IPLS割り込み要求の要因にパルス出力タイマ1を選択しない 1：ETHER_IPLS割り込み要求の要因にパルス出力タイマ1を選択する	R/W
b2	IPTSEL2	パルス出力タイマ2選択	0：ETHER_IPLS割り込み要求の要因にパルス出力タイマ2を選択しない 1：ETHER_IPLS割り込み要求の要因にパルス出力タイマ2を選択する	R/W
b3	IPTSEL3	パルス出力タイマ3選択	0：ETHER_IPLS割り込み要求の要因にパルス出力タイマ3を選択しない 1：ETHER_IPLS割り込み要求の要因にパルス出力タイマ3を選択する	R/W
b4	IPTSEL4	パルス出力タイマ4選択	0：ETHER_IPLS割り込み要求の要因にパルス出力タイマ4を選択しない 1：ETHER_IPLS割り込み要求の要因にパルス出力タイマ4を選択する	R/W
b5	IPTSEL5	パルス出力タイマ5選択	0：ETHER_IPLS割り込み要求の要因にパルス出力タイマ5を選択しない 1：ETHER_IPLS割り込み要求の要因にパルス出力タイマ5を選択する	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

IPTSELR レジスタは、ETHER_IPLS 割り込み要求を生成するパルス出力タイマを選択するレジスタです。

パルス出力タイマ m（m = 0 ～ 5）は、STCA クロックをクロックソースとし、指定された周期およびデューティ比でパルスを出力できます。ELIPPR.PLSP ビットが 1 のときはパルスの立ち上がりエッジを、ELIPPR.PLSN ビットが 1 のときはパルスの立ち下がりエッジを検出したときに、ETHER_IPLS 割り込みを要求します。IPTSELR レジスタで複数のパルス出力タイマが選択されている場合、割り込み要求信号は各パルス出力タイマからの割り込み要求の論理和になります。ETHER_IPLS 割り込みの詳細は、30.4 割り込みを参照してください。

30.2.11 ETHER_MINT 割り込み要求タイマ選択レジスタ（MITSELR）

アドレス EPTPC.MITSELR 4006 5064h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	MINTEN5	MINTEN4	MINTEN3	MINTEN2	MINTEN1	MINTEN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MINTEN0	パルス出力タイマ0 ETHER_MINT割り込み出力許可	0：パルス出力タイマ0立ち上がりエッジ検出時にMIESR.CYC0フラグを設定しない 1：パルス出力タイマ0立ち上がりエッジ検出時にMIESR.CYC0フラグを設定する	R/W
b1	MINTEN1	パルス出力タイマ1 ETHER_MINT割り込み出力許可	0：パルス出力タイマ1立ち上がりエッジ検出時にMIESR.CYC1フラグを設定しない 1：パルス出力タイマ1立ち上がりエッジ検出時にMIESR.CYC1フラグを設定する	R/W
b2	MINTEN2	パルス出力タイマ2 ETHER_MINT割り込み出力許可	0：パルス出力タイマ2立ち上がりエッジ検出時にMIESR.CYC2フラグを設定しない 1：パルス出力タイマ2立ち上がりエッジ検出時にMIESR.CYC2フラグを設定する	R/W
b3	MINTEN3	パルス出力タイマ3 ETHER_MINT割り込み出力許可	0：パルス出力タイマ3立ち上がりエッジ検出時にMIESR.CYC3フラグを設定しない 1：パルス出力タイマ3立ち上がりエッジ検出時にMIESR.CYC3フラグを設定する	R/W
b4	MINTEN4	パルス出力タイマ4 ETHER_MINT割り込み出力許可	0：パルス出力タイマ4立ち上がりエッジ検出時にMIESR.CYC4フラグを設定しない 1：パルス出力タイマ4立ち上がりエッジ検出時にMIESR.CYC4フラグを設定する	R/W
b5	MINTEN5	パルス出力タイマ5 ETHER_MINT割り込み出力許可	0：パルス出力タイマ5立ち上がりエッジ検出時にMIESR.CYC5フラグを設定しない 1：パルス出力タイマ5立ち上がりエッジ検出時にMIESR.CYC5フラグを設定する	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MITSELR レジスタは、MIESR レジスタに割り込みフラグを設定するパルス出力タイマを選択するレジスタです。パルス出力タイマ m（m＝0 ～ 5）は、STCA クロックをクロックソースとし、指定された周期およびデューティ比でパルスを出力できます。MITSELR.MINTENm ビットと MIEIPR.CYCm ビットがどちらも 1 のとき、対応するパルス出力タイマ m からのパルス信号の立ち上がりエッジを検出すると、ETHER_MINT 割り込みを要求します。ETHER_MINT 割り込みの詳細は、30.4 割り込みを参照してください。

30.2.12 ELC 出力タイマ選択レジスタ（ELTSELR）

アドレス EPTPC.ELTSELR 4006 5068h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ELTDIS5	ELTDIS4	ELTDIS3	ELTDIS2	ELTDIS1	ELTDIS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELTDIS0	パルス出力タイマ0イベント生成禁止	0：ELCへのイベント信号の生成にパルス出力タイマ0を使用する 1：ELCへのイベント信号の生成にパルス出力タイマ0を使用しない	R/W
b1	ELTDIS1	パルス出力タイマ1イベント生成禁止	0：ELCへのイベント信号の生成にパルス出力タイマ1を使用する 1：ELCへのイベント信号の生成にパルス出力タイマ1を使用しない	R/W
b2	ELTDIS2	パルス出力タイマ2イベント生成禁止	0：ELCへのイベント信号の生成にパルス出力タイマ2を使用する 1：ELCへのイベント信号の生成にパルス出力タイマ2を使用しない	R/W
b3	ELTDIS3	パルス出力タイマ3イベント生成禁止	0：ELCへのイベント信号の生成にパルス出力タイマ3を使用する 1：ELCへのイベント信号の生成にパルス出力タイマ3を使用しない	R/W
b4	ELTDIS4	パルス出力タイマ4イベント生成禁止	0：ELCへのイベント信号の生成にパルス出力タイマ4を使用する 1：ELCへのイベント信号の生成にパルス出力タイマ4を使用しない	R/W
b5	ELTDIS5	パルス出力タイマ5イベント生成禁止	0：ELCへのイベント信号の生成にパルス出力タイマ5を使用する 1：ELCへのイベント信号の生成にパルス出力タイマ5を使用しない	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ELTSELR レジスタは、ELC にイベント信号を出力するパルス出力タイマを選択するレジスタです。パルス出力タイマ m（m＝0 ～ 5）は、STCA クロックをクロックソースとし、指定された周期およびデューティ比でパルスを出力できます。ELIPPR.CYCPm ビットが 1 のときはパルスの立ち上がりエッジを、ELIPPR.CYCNm ビットが 1 のときはパルスの立ち下がりエッジを検出したときに、ELC へイベントを出力します。ELC へのイベント出力については 30.5 イベントリンク機能（出力）を参照してください。

30.2.13 時刻同期チャネル選択レジスタ（STCHSELR）

アドレス EPTPC.STCHSELR 4006 506Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SYSEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SYSEL	時刻情報入力選択	0：SYNFP0モジュールからの時刻情報を使用 1：SYNFP1モジュールからの時刻情報を使用	R/W （注1）
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SYNSTARTR.STR ビットが 1 のとき、このビットを書き換えないでください。

STCHSELR レジスタは、STCA モジュールへ入力する時刻情報を選択するレジスタです。

30.2.14 スレーブ時刻同期スタートレジスタ（SYNSTARTR）

アドレス EPTPC.SYNSTARTR 4006 5080h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR	スレーブ時刻同期制御	0：スレーブ時刻同期を中止 1：スレーブ時刻同期を開始	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYNSTARTR レジスタは、時刻同期の開始／停止を行います。スレーブノードとして動作するときに使用します。

30.2.15 ローカルクロックカウンタ初期値ロード指示レジスタ（LCIVLDR）

アドレス EPTPC.LCIVLDR 4006 5084h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LOAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LOAD	ローカルクロックカウンタ初期値ロード指示	0：ローカルクロックカウンタに初期値を読み込まない 1：ローカルクロックカウンタに初期値を読み込む	W （注1）
b31-b1	—	予約ビット	書く場合、0としてください。	W

注 1. SYNSTARTR.STR ビットが 1 のとき、このビットを書き換えないでください。

LCIVLDR レジスタは、LCIVRU、LCIVRM、LCIVRL レジスタの値を、ローカルクロックカウンタの初期値として指定するレジスタです。

30.2.16 同期外れ検出しきい値レジスタ（SYNTDARU、SYNTDARL）

アドレス EPTPC.SYNTDARU 4006 5090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	同期外れ検出しきい値の上位32ビットを指定します。	R/W

アドレス EPTPC.SYNTDARL 4006 5094h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	同期外れ検出しきい値の下位32ビットを指定します。	R/W

SYNTDARU、SYNTDARL レジスタは、offsetFromMaster 値が、同期外れと判定されるしきい値を指定するレジスタです。しきい値を設定するときは、SYNTDARU レジスタには上位 32 ビットを、SYNTDARL レジスタには下位 32 ビットをこの順で連続して書いてください。offsetFromMaster 値が、SYNTDARU、SYNTDARL レジスタに指定された値以上になったとき、同期外れが検出されます。SYNTDARU、SYNTDARL レジスタにはナノ秒で値を指定してください。マスタクロックとして動作する場合、SYNTDARU、SYNTDARL レジスタの値は使用されません。

30.2.17 同期検出しきい値レジスタ（SYNTDBRU、SYNTDBRL）

アドレス EPTPC.SYNTDBRU 4006 5098h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	同期状態検出しきい値の上位32ビットを指定します。	R/W

アドレス EPTPC.SYNTDBRL 4006 509Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	同期状態検出しきい値の下位32ビットを指定します。	R/W

SYNTDBR(U/L) レジスタは、offsetFromMaster 値が、同期状態と判定されるしきい値を指定するレジスタです。しきい値を設定するときは、SYNTDBRU レジスタには上位 32 ビットを、SYNTDBRL レジスタには下位 32 ビットをこの順で連続して書いてください。offsetFromMaster 値が、SYNTDBR(U/L) レジスタに指定された値を下回ったとき、同期状態が検出されます。SYNTDBR(U/L) レジスタにはナノ秒で値を指定してください。マスタクロックとして動作する場合、SYNTDBR(U/L) レジスタの値は使用されません。

30.2.18 ローカルクロックカウンタ初期値レジスタ（LCIVRU、LCIVRM、LCIVRL）

アドレス EPTPC.LCIVRU 4006 50B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	ローカルクロックカウンタに設定する初期値の整数部上位16ビットを指定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC.LCIVRM 4006 50B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	ローカルクロックカウンタに設定する初期値の整数部下位32ビットを指定します。	R/W

アドレス EPTPC.LCIVRL 4006 50B8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	ローカルクロックカウンタに設定する初期値の小数部をns単位で指定します。	R/W

LCIVRU、LCIVRM、およびLCIVRLレジスタは、ローカルクロックカウンタの初期値を秒単位で設定するレジスタです。初期値を設定するときは、LCIVRUレジスタには整数部の上位16ビットを、LCIVRMレジスタには整数部の下位32ビットを、LCIVRLレジスタには小数部をナノ秒単位で、この順で連続して書いてください。

これらのレジスタの値は、ローカルクロックカウンタの初期値として使用できます。これらのレジスタの値をローカルクロックカウンタに設定するには、LCIVLDR.LOADビットを1にしてください。

(1) 例

2.000000025sを初期値として設定する場合、以下の値をレジスタに書き込みます。

- LCIVRU：0000_0000h
- LCIVRM：0000_0002h
- LCIVRL：0000_0019h

30.2.19 ワースト 10 値取得指示レジスタ（GETW10R）

アドレス EPTPC.GETW10R 4006 5124h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GW10
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GW10	ワースト10値取得指示	0：ワースト10値を取得しない 1：ワースト10値の取得を開始する	R/W （注1）
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. STMR.W10S ビットが 0 のときは、このビットを 1 にしないでください。

GETW10R レジスタは、ソフトウェア制御で傾き値の算出を開始し、ワースト 10 値の選出を行わせるためのレジスタです。

傾き値とは、ある時刻が経過したときのスレーブのクロックカウンタの増分を指します。STMR.W10S ビットが 1 のときに GW10 ビットを 1 にすると、EPTPC は、Sync メッセージを受信するごとに傾き値を算出します。STMR.WINT[7:0] ビットで指定された回数分、傾き値の算出が行われます。指定された回数の算出が終了すると、GW10 ビットは 0 になります。マスタクロックとして動作する場合、GETW10R レジスタは使用されません。

30.2.20 プラス側傾き制限値レジスタ（PLIMITRU、PLIMITRM、PLIMITRL）

アドレス EPTPC.PLIMITRU 4006 5128h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	—	プラス側傾き制限値の上位31ビットを指定します。	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC.PLIMITRM 4006 512Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	プラス側傾き制限値の中位32ビットを指定します。	R/W

アドレス EPTPC.PLIMITRL 4006 5130h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	プラス側傾き制限値の下位32ビットを指定します。	R/W

PLIMITRU、PLIMITRM、PLIMITRL レジスタは、時刻同期に使用する傾き値の上限（プラス側の傾き値）を指定するレジスタです。上限を設定する場合、PLIMITRU、PLIMITRM、PLIMITRL の順番で連続的にレジスタに書き込みます。これらのレジスタに指定された値以上の傾き値は時刻同期に使用されません。マスタクロックとして動作する場合、これらのレジスタの値は使用されません。STMR.CMOD と W10S ビットが 1 のとき、レジスタが有効になります。

レジスタに設定する傾き値を求めるには、以下の式を使用します。

PLIMITRU、PLIMITRM、PLIMITRL レジスタ値 = A [s] ÷ T [s] × 2^{32}

A: Sync メッセージの受信周期の時間に、スレーブクロックの時刻が進む時間 [s]

T: Sync メッセージの受信周期（Sync メッセージ周期）時間 [s]

たとえば、Sync メッセージ周期が 0.5 秒でその間にローカルクロックのカウンタが 0.7 秒進む場合を上限値として設定する場合には、設定値 PLIMITR = 0.7 ÷ 0.5 × 2^{32} = 6 012 954 214 = 1 6666 6666h となり、各レジスタの設定値は以下のようになります。

- PLIMITRU = 0000_0000h
- PLIMITRM = 0000_0001h
- PLIMITRL = 6666_6666h

設定できる最小値は、ローカルクロックカウンタのカウントソースである STCA クロックの周波数に依存します。たとえば、STCA クロックの周波数が 50MHz の場合には、最小 PLIMITRU、PLIMITRM、PLIMITRL レジスタ値 = (1/50[MHz]) [s] ÷ 0.5 [s] × 2^{32} = 172 = ACh となり、各レジスタの設定値は以下のようになります。

- PLIMITRU = 0000_0000h
- PLIMITRM = 0000_0000h
- PLIMITRL = 0000_00ACh

設定する傾き制限値は、時刻同期補正モードが 2（STMR.CMOD ビットが 1）で、傾きがソフトウェアで制御されている（STMR.W10S ビットが 1）場合に有効となります。

30.2.21 マイナス側傾き制限値レジスタ（MLIMITRU、MLIMITRM、MLIMITRL）

アドレス EPTPC.MLIMITRU 4006 5134h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b30-b0	—	—	マイナス側傾き制限値の上位31ビットを指定します。	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC.MLIMITRM 4006 5138h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マイナス側傾き制限値の中位32ビットを指定します。	R/W

アドレス EPTPC.MLIMITRL 4006 513Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マイナス側傾き制限値の下位32ビットを指定します。	R/W

MLIMITRU、MLIMITRM、MLIMITRL レジスタは、時刻同期に使用する傾き値の下限（マイナス側の傾き値）を指定するレジスタです。2 の補数を使用して下限値を設定してください。下限を設定する場合、MLIMITRU、MLIMITRM、MLIMITRL の順番で連続的にレジスタに書き込みます。これらのレジスタに指定された値未満の傾き値は時刻同期に使用されません。マスタクロックとして動作する場合、これらのレジスタの値は使用されません。STMR.CMOD と W10S ビットが 1 のとき、レジスタが有効になります。

値の設定方法および設定できる最小値は、PLIMITRU、PLIMITRM、PLIMITRL レジスタと同じです。

30.2.22 統計情報保持制御レジスタ（GETINFOR）

アドレス EPTPC.GETINFOR 4006 5140h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INFO
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INFO	情報保持制御	書き込み時 0：無効 1：情報保持指示 読み出し時 0：情報保持完了 1：情報保持処理中 情報フェッチ指示後、情報フェッチ完了となる前に読み出された一部の統計情報の値は保証されません。	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

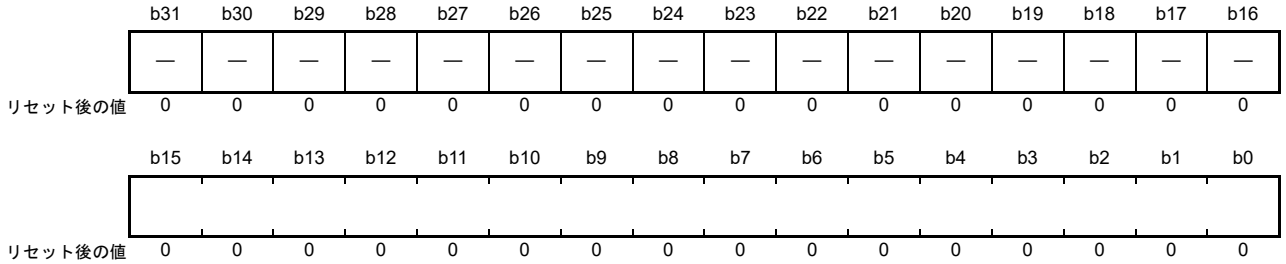
GETINFOR レジスタは、以下の統計情報の保持制御を行うレジスタです。

- LCCVRU、LCCVRM、LCCVRL レジスタ
- PW10VRU、PW10VRM、PW10VRL レジスタ
- MW10RU、MW10RM、MW10RL レジスタ

INFO ビットには 1 のみ書き込めます。PW10VRU、PW10VRM、PW10VRL レジスタ、または MW10RU、MW10RM、MW10RL レジスタに値を設定する場合、STMR.W10S ビットが 1 のときのみ、INFO ビットを 1 にしてください。なお、ワースト 10 値の取得が完了する前に INFO ビットを 1 にした場合、PW10VRU、PW10VRM、PW10VRL レジスタと MW10RU、MW10RM、MW10RL レジスタに保持された情報が正しいかどうかは保証しません。GETW10R.GW10 ビットによって、統計情報の取得が完了したことを確認してから INFO ビットを 1 にしてください。INFO ビットは、情報のフェッチが完了すると自動で 0 に戻ります。

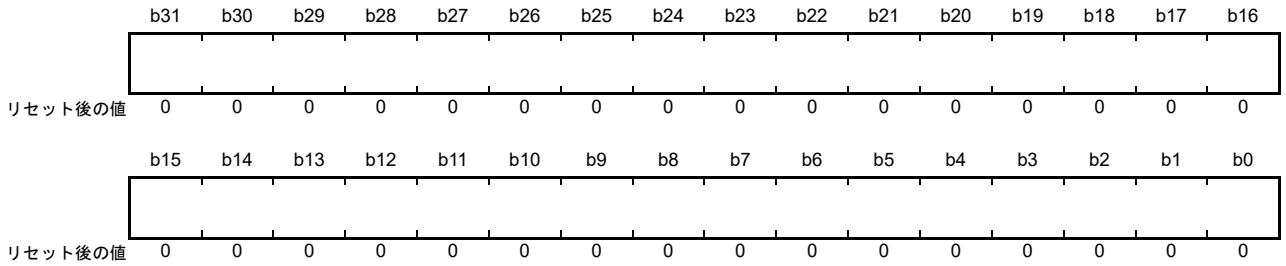
30.2.23 ローカルクロックカウンタ（LCCVRU、LCCVRM、LCCVRL）

アドレス EPTPC.LCCVRU 4006 5170h



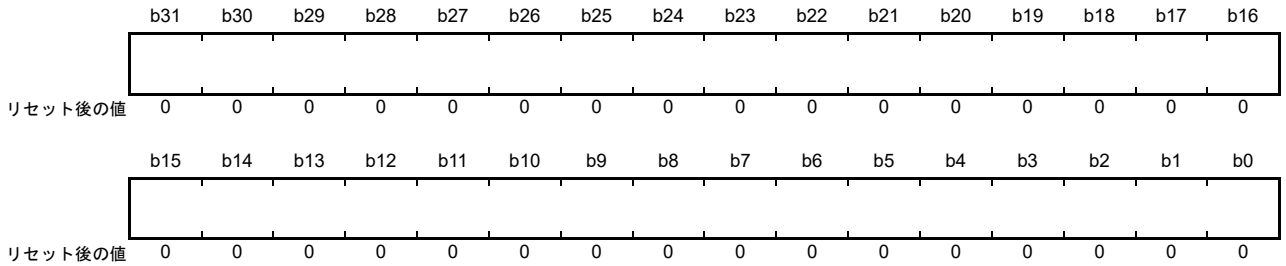
ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	ローカルクロックカウンタに設定する値の整数部上位16ビットを示します。	R
b31-b16	—	予約ビット	読むと0が読めます。	R

アドレス EPTPC.LCCVRM 4006 5174h



ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	ローカルクロックカウンタに設定する値の整数部下位32ビットを示します。	R

アドレス EPTPC.LCCVRL 4006 5178h



ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	ローカルクロックカウンタに設定する値の小数部をナノ秒単位で指定します。	R

LCCVRU、LCCVRM、LCCVRL レジスタは、ローカルクロックカウンタの値を示します。GETINFOR.INFO ビットを 1 にすると、その時点のローカルクロックカウンタの値がこれらのレジスタに保持されます。

- LCCVRU：整数部の上位 16 ビット（秒）
- LCCVRM：整数部の下位 32 ビット（秒）
- LCCVRL：小数部（ナノ秒）

たとえば、保持している時刻情報が 14 時 25 分 44 秒 10 ミリ秒 23 マイクロ秒 39 ナノ秒であった場合、レジスタの表示値は次のようになります。
上位 48 ビット：$14 \times 3600 + 25 \times 60 + 44 = 51944$ [s] = 0000_0000_CAE8h
下位 32 ビット：$10 \times 10^6 + 23 \times 10^3 + 39 = 10023039$ [ns] = 0098_F07Fh

30.2.24 プラス側傾きワースト 10 値レジスタ（PW10VRU、PW10VRM、PW10VRL）

アドレス EPTPC.PW10VRU 4006 5210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	プラス側傾き値の上位32ビットを示します。	R

アドレス EPTPC.PW10VRM 4006 5214h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	プラス側傾き値の中位32ビットを示します。	R

アドレス EPTPC.PW10VRL 4006 5218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	プラス側傾き値の下位32ビットを示します。	R

PW10VRU、PW10VRM、PW10VRL レジスタは、プラス側の傾き値のワースト 10 値を表示するレジスタです。

GETINFOR.INFO ビットを 1 にすると、その時点でのワースト 10 値がこれらのレジスタに保持されます。レジスタに保持される傾きワースト 10 値の形式は、PLIMITRU、PLIMITRM、PLIMITRL レジスタと同様です。PLIMITR レジスタの説明を参照してください。マスタクロックとして動作する場合、PW10VRU、PW10VRM、PW10VRL レジスタは使用しません。

30.2.25 マイナス側傾きワースト 10 値レジスタ（MW10RU、MW10RM、MW10RL）

アドレス EPTPC.MW10RU 4006 52D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マイナス側傾き値の上位32ビットを示します。	R

アドレス EPTPC.MW10RM 4006 52D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マイナス側傾き値の中位32ビットを示します。	R

アドレス EPTPC.MW10RL 4006 52D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マイナス側傾き値の下位32ビットを示します。	R

MW10RU、MW10RM、MW10RL レジスタは、マイナス側の傾き値のワースト 10 値を表示するレジスタです。

GETINFOR.INFO ビットを 1 にすると、その時点でのワースト 10 値がこれらのレジスタに保持されます。レジスタに保持される傾きワースト 10 値の形式は、MLIMITRU、MLIMITRM、MLIMITRL レジスタと同様です。MLIMITR レジスタの説明を参照してください。マスタクロックとして動作する場合、MW10RU、MW10RM、MW10RL レジスタは使用しません。

30.2.26 タイマスタート時刻設定レジスタ m（TMSTTRUm、TMSTTRLm）（m = 0 ～ 5）

アドレス EPTPC.TMSTTRU0 4006 5300h, EPTPC.TMSTTRU1 4006 5310h, EPTPC.TMSTTRU2 4006 5320h, EPTPC.TMSTTRU3 4006 5330h, EPTPC.TMSTTRU4 4006 5340h, EPTPC.TMSTTRU5 4006 5350h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	パルス出力タイマ開始時刻の上位32ビットをns単位で指定します。	R/W

アドレス EPTPC.TMSTTRL0 4006 5304h, EPTPC.TMSTTRL1 4006 5314h, EPTPC.TMSTTRL2 4006 5324h, EPTPC.TMSTTRL3 4006 5334h, EPTPC.TMSTTRL4 4006 5344h, EPTPC.TMSTTRL5 4006 5354h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	パルス出力タイマ開始時刻の下位32ビットをns単位で指定します。	R/W

TMSTTRUm、TMSTTRLm レジスタは、パルス出力タイマ m の開始時刻を指定するレジスタです。

パルス出力タイマ m の開始時刻（64 ビット）をナノ秒単位で設定してください。設定はナノ秒単位で行いますが、パルス出力タイマ m の開始時刻は STCA クロックの分解能に依存します。たとえば STCA クロックが 50MHz の場合、1 周期は 20ns になりますから、タイマの開始時刻はこれらのレジスタに設定した時刻より ± 20ns の範囲でずれる可能性があります。レジスタに値を書くときは、TMSTARTR.ENm ビットが 0 のときに TMSTTRUm、TMSTTRLm レジスタの順に連続で書いてください。これらのレジスタに設定する時刻の形式は 30.2.23 ローカルクロックカウンタ（LCCVRU、LCCVRM、LCCVRL）と異なります。

30.2.27 タイマ周期設定レジスタ m（TMCYCRm）（m = 0 ～ 5）

アドレス EPTPC.TMCYCR0 4006 5308h, EPTPC.TMCYCR1 4006 5318h, EPTPC.TMCYCR2 4006 5328h, EPTPC.TMCYCR3 4006 5338h, EPTPC.TMCYCR4 4006 5348h, EPTPC.TMCYCR5 4006 5358h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—														
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b29-b0	—	—	パルス出力タイマの周期をns単位で指定します。STCAクロックの4周期以上の値を設定してください。	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TMCYCRm レジスタは、関連するパルス出力タイマ m が生成するパルスの周期を指定するレジスタです。

TMSTARTR.ENm ビットの値が 0 の場合、STCA クロックの 4 周期以上の値をナノ秒単位で設定してください。なお、設定はナノ秒単位で行いますが、パルス出力タイマ m が生成するパルスの周期と開始時刻は STCA クロックの周期に依存します。たとえば STCA クロックが 50MHz の場合、1 周期は 20ns になりますから、パルス出力タイマ m がカウントするクロックソースはこれらのレジスタに設定した時刻より ± 19ns の範囲でずれる可能性があります。SYNFP モジュールでは、このずれを補正するための計算が行われています。

たとえば、STCA クロックが 50MHz のときにタイマの周期を 81ns に設定した場合、実際のタイマの周期は 80ns か 100ns にしかなりません。このとき、SYNFP モジュールはタイマの周期を 20 回のうち 19 回を 80ns に、1 回を 100ns に設定して、周期の平均値が 81ns になるように調整します。

$$(80\ (ns) \times 19 + 100\ (ns) \times 1) \div 20 = 81\ (ns)$$

TMCYCRm レジスタに設定可能な最小値は STCA クロック 4 周期分です。たとえば、STCA クロックが 50MHz の場合は 80ns になります。この値以上を設定しない場合、タイマ動作は保証できません。

30.2.28 タイマパルス幅設定レジスタ m（TMPLSRm）（m = 0 ～ 5）

アドレス EPTPC.TMPLSR0 4006 530Ch, EPTPC.TMPLSR1 4006 531Ch, EPTPC.TMPLSR2 4006 532Ch, EPTPC.TMPLSR3 4006 533Ch, EPTPC.TMPLSR4 4006 534Ch, EPTPC.TMPLSR5 4006 535Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b28-b0	—	—	タイマのパルス信号のHigh幅をナノ秒単位で指定します。STCAクロックの2周期以上の値を設定してください。	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TMPLSRm レジスタは、関連するパルス出力タイマ m が生成する出力信号の High 幅を指定するレジスタです。

STCA クロックの 2 周期以上の値をナノ秒単位で設定してください。設定はナノ秒単位で行いますが、タイマからの信号の High 幅は STCA クロックの周期に依存します。タイマの High 幅の補正方法は、TMCYCRm レジスタに記載したタイマ周期の補正方法と同様です。

TMPLSRm レジスタの上位 3 ビットは予約ビットです。読んだ場合 000b が読めます。書く場合は 000b を書いてください。

TMPLSRm レジスタの設定は、TMSTARTR.ENm ビットが 0 のときに行ってください。

30.2.29 タイマスタートレジスタ（TMSTARTR）

アドレス EPTPC.TMSTARTR 4006 537Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	EN5	EN4	EN3	EN2	EN1	EN0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN0	パルス出力タイマ0スタート	0：パルス出力タイマ0を停止 1：パルス出力タイマ0を起動	R/W
b1	EN1	パルス出力タイマ1スタート	0：パルス出力タイマ1を停止 1：パルス出力タイマ1を起動	R/W
b2	EN2	パルス出力タイマ2スタート	0：パルス出力タイマ2を停止 1：パルス出力タイマ2を起動	R/W
b3	EN3	パルス出力タイマ3スタート	0：パルス出力タイマ3を停止 1：パルス出力タイマ3を起動	R/W
b4	EN4	パルス出力タイマ4スタート	0：パルス出力タイマ4を停止 1：パルス出力タイマ4を起動	R/W
b5	EN5	パルス出力タイマ5スタート	0：パルス出力タイマ5を停止 1：パルス出力タイマ5を起動	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TMSTARTR レジスタはパルス出力タイマ m の動作を停止または開始させるレジスタです。

30.2.30 PRC-TC ステータスレジスタ（PRSR）

アドレス EPTPC.PRSR 4006 5400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	URE1	URE0	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACE	—	—	—	—	OVRE3	OVRE2	OVRE1	OVRE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRE0	中継パケットオーバーフロー検出フラグ0	0：SYNFP1→PTPEDMACでオーバーフローなし 1：SYNFP1→PTPEDMACでオーバーフロー検出	R/W（注1）
b1	OVRE1	中継パケットオーバーフロー検出フラグ1	0：SYNFP0→PTPEDMACでオーバーフローなし 1：SYNFP0→PTPEDMACでオーバーフロー検出	R/W（注1）
b2	OVRE2	中継パケットオーバーフロー検出フラグ2	0：SYNFP1→SYNFP0でオーバーフローなし 1：SYNFP1→SYNFP0でオーバーフロー検出	R/W（注1）
b3	OVRE3	中継パケットオーバーフロー検出フラグ3	0：SYNFP0→SYNFP1でオーバーフローなし 1：SYNFP0→SYNFP1でオーバーフロー検出	R/W（注1）
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	MACE	送信元MACアドレス不一致検出フラグ	0：MACアドレス不一致未検出 1：MACアドレス不一致検出	R/W（注1）
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27-b16	—	予約ビット	読んだ場合、その値は不定。 書く場合、0としてください。	R/W
b28	URE0	中継パケットアンダーフロー検出フラグ0	0：SYNFP1→SYNFP0でアンダーフローなし 1：SYNFP1→SYNFP0でアンダーフロー検出	R/W（注1）
b29	URE1	中継パケットアンダーフロー検出フラグ1	0：SYNFP0→SYNFP1でアンダーフローなし 1：SYNFP0→SYNFP1でアンダーフロー検出	R/W（注1）
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 1 を書くとフラグが 0 になります。0 を書いてもフラグの値は変化しません。

PRSR レジスタは PRC-TC モジュールのステータスを表示するレジスタです。

PRC-TC モジュールでは、Ethernet ポート 0、Ethernet ポート 1、PTPEDMAC のそれぞれを介して Ether パケットの送受信を行います。PRSR レジスタは、Ether パケットの送受信において発生する、オーバーフロー、アンダーフロー、MAC アドレス不一致などのステータスを表します。

OVRE0 フラグ（中継パケットオーバーフロー検出フラグ 0）

SYNFP1 モジュールから PTPEDMAC へデータを転送するときに、FIFO のオーバーフローが発生したことを示します。OVRE0 フラグが 1 の場合、PTPEDMAC に受信したデータが不正である可能性があります。

OVRE1 フラグ（中継パケットオーバーフロー検出フラグ 1）

SYNFP0 モジュールから PTPEDMAC へデータを転送するときに、FIFO のオーバーフローが発生したことを示します。OVRE1 フラグが 1 の場合、PTPEDMAC に受信したデータが不正である可能性があります。

OVRE2 フラグ（中継パケットオーバーフロー検出フラグ 2）

SYNFP1 モジュールから SYNFP0 モジュールへデータを転送するときに、FIFO のオーバーフローが発生したことを示します。

OVRE3 フラグ（中継パケットオーバーフロー検出フラグ 3）

SYNFP0 モジュールから SYNFP1 モジュールへデータを転送するときに、FIFO のオーバーフローが発生したことを示します。

MACE フラグ（送信元 MAC アドレス不一致検出フラグ）

PTPEDMAC から送信されるパケットの送信元 MAC アドレスが、PRMACRU0、PRMACRL0、PRMACRU1、PRMACRL1 レジスタのいずれにも一致しない場合に、このフラグが 1 になります。

URE0 フラグ（中継パケットアンダーフロー検出フラグ 0）

SYNFP1 モジュールから SYNFP0 モジュールへデータを転送するときに、FIFO のアンダーフローが発生したことを示します。

URE1 フラグ（中継パケットアンダーフロー検出フラグ 1）

SYNFP0 モジュールから SYNFP1 モジュールへデータを転送するときに、FIFO のアンダーフローが発生したことを示します。

30.2.31 PRC-TC ステータス通知イネーブルレジスタ（PRIPR）

アドレス EPTPC.PRIPR 4006 5404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	URE1	URE0	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACE	—	—	—	—	OVRE3	OVRE2	OVRE1	OVRE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRE0	PRSR.OVRE0ステータス通知許可	0：PRSR.OVRE0ステータスの通知を禁止 1：PRSR.OVRE0ステータスの通知を許可	R/W
b1	OVRE1	PRSR.OVRE1ステータス通知許可	0：PRSR.OVRE1ステータスの通知を禁止 1：PRSR.OVRE1ステータスの通知を許可	R/W
b2	OVRE2	PRSR.OVRE2ステータス通知許可	0：PRSR.OVRE2ステータスの通知を禁止 1：PRSR.OVRE2ステータスの通知を許可	R/W
b3	OVRE3	PRSR.OVRE3ステータス通知許可	0：PRSR.OVRE3ステータスの通知を禁止 1：PRSR.OVRE3ステータスの通知を許可	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	MACE	PRSR.MACEステータス通知許可	0：PRSR.MACEステータスの通知を禁止 1：PRSR.MACEステータスの通知を許可	R/W
b27-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	URE0	PRSR.URE0ステータス通知許可	0：PRSR.URE0ステータスの通知を禁止 1：PRSR.URE0ステータスの通知を許可	R/W
b29	URE1	PRSR.URE1ステータス通知許可	0：PRSR.URE1ステータスの通知を禁止 1：PRSR.URE1ステータスの通知を許可	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PRIPR レジスタは、PRC-TC モジュールのステータスの変化を、MIESR.PRC フラグに反映するかどうかを指定するレジスタです。

30.2.32 チャネル 0 自局 MAC アドレスレジスタ（PRMACRU0、PRMACRL0）

アドレス EPTPC.PRMACRU0 4006 5410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	Ethernetポート0自局MACアドレスの上位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC.PRMACRL0 4006 5414h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	Ethernetポート0自局MACアドレスの下位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PRMACRU0、PRMACRL0 レジスタは、Ethernet ポート 0 の自局 MAC アドレスを指定するレジスタです。

PRMACRU0 に MAC アドレスの上位 24 ビットを、PRMACRL0 に下位 24 ビットを設定します。PTPEDMAC からの送信時に使用し、フレームの送信元 MAC アドレスと本レジスタの設定値が一致したフレームを、Ethernet ポート 0 側へ送信します。これらのレジスタには、Ethernet ポート 0（EPTPC0.SYMACRU および EPTPC0.SYMACRL）の SYMACRU および SYMACRL レジスタと同じ値を設定します。

これらのレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.33 チャネル 1 自局 MAC アドレスレジスタ（PRMACRU1、PRMACRL1）

アドレス EPTPC.PRMACRU1 4006 5418h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	Ethernetポート1自局MACアドレスの上位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC.PRMACRL1 4006 541Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	Ethernetポート1自局MACアドレスの下位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PRMACRU1、PRMACRL1 レジスタは、Ethernet ポート 1 の自局 MAC アドレスを指定するレジスタです。PRMACRU1 に MAC アドレスの上位 24 ビットを、PRMACRL1 に下位 24 ビットを設定します。PTPEDMAC からの送信時に使用し、フレームの送信元 MAC アドレスと本レジスタの設定値が一致したフレームを、Ethernet ポート 1 側へ送信します。これらのレジスタには、Ethernet ポート 1（EPTPC1.SYMACRU および EPTPC1.SYMACRL）の SYMACRU および SYMACRL レジスタと同じ値を設定します。

これらのレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.34 パケット送信抑止コントロールレジスタ（TRNDISR）

アドレス EPTPC.TRNDISR 4006 5420h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TDIS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TDIS[1:0]	パケット送信抑止制御	b1 b0 0 0 : Ethernetポート0と1の両方でPTPパケットを送信する 0 1 : Ethernetポート0でのみPTPパケットを送信する 1 0 : Ethernetポート1でのみPTPパケットを送信する 1 1 : 設定禁止	R/W
b31-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TRNDISR レジスタは、Ethernet ポート 0 と 1 の各自局 MAC アドレスが同じ場合の、PTP パケットの送信動作を制御するレジスタです。PRMACRU0、PRMACRL0 レジスタと PRMACRU1、PRMACRL1 レジスタに同じ MAC アドレスが指定されている場合、EPTPC は、双方のポートから同じ PTP パケットを送信するか、あるいはポート 0 または 1 のみから送信するかを選択できます。

Ethernet ポート 0 およびポート 1 に異なる MAC アドレスが指定されている場合、TDIS[1:0] ビットは 00b にしてください。00b 以外を設定した場合、フレームの送信元 MAC アドレスと同じ自局 MAC アドレスが設定された Ethernet ポートから、フレームを送信できない可能性があります。

TRNDISR レジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.35 中継モードレジスタ（TRNMR）

アドレス EPTPC.TRNMR 4006 5430h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	FWD1	FWD0	—	—	—	—	—	—	—	MOD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MOD	カットスルーモード	0：ストア＆フォワード 1：カットスルー	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	FWD0	チャネル0中継許可	0：他ノードからのユニキャスト／マルチキャスト（PTPパケットを除く）／ブロードキャストメッセージをPort0からPort1へ中継しない 1：他ノードからのユニキャスト／マルチキャスト（PTPパケットを除く）／ブロードキャストメッセージをPort0からPort1へ中継する	R/W
b9	FWD1	チャネル1中継許可	0：他ノードからのユニキャスト／マルチキャスト（PTPパケットを除く）／ブロードキャストメッセージをPort1からPort0へ中継しない 1：他ノードからのユニキャスト／マルチキャスト（PTPパケットを除く）／ブロードキャストメッセージをPort1からPort0へ中継する	R/W
b31-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TRNMR レジスタは、PRC-TC モジュールが行う Ethernet ポート 0 と Ethernet ポート 1 間のパケット中継を制御するレジスタです。たとえば、図 30.3 に示すように、本 MCU を用いてネットワークをデイジーチェーン方式で構成する場合、Ethernet ポート 0 と Ethernet ポート 1 間（図中央の機器 2）のパケット中継を有効にすることにより、任意の機器間でパケットを送受信できます。

パケットの転送では CRC 値の再計算を行うとき、カットスルーモードの場合、CRC 値が異常であったパケットが、正常な CRC 値が付与されて転送される可能性があります。異常パケットの破棄が必要な場合は、ストア & フォワードモードを使用してください。なお、96 バイト未満のパケットのレイテンシは、カットスルーモードとストア & フォワードモードで差がありません。

TRNMR レジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

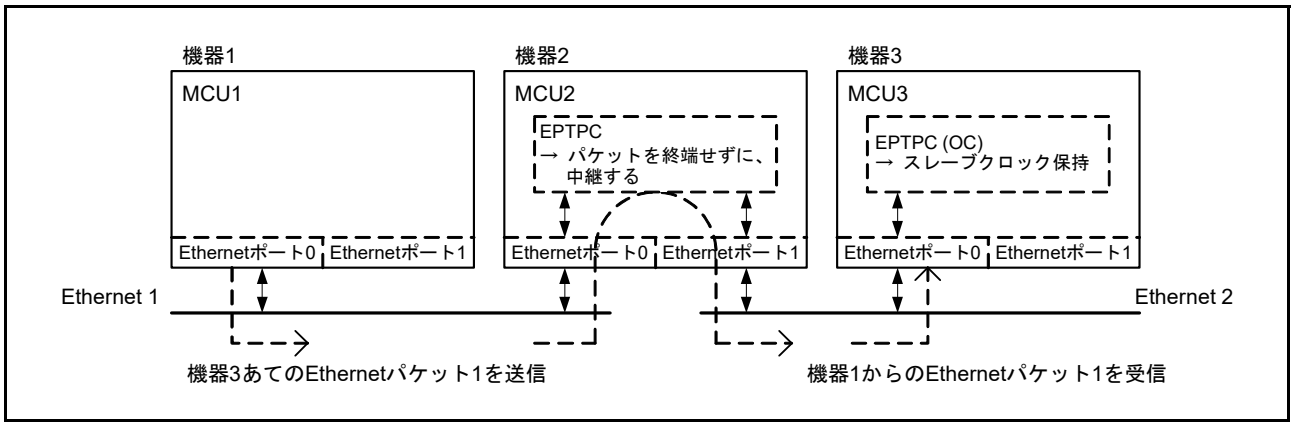


図 30.3 ネットワーク構成例

30.2.36 カットスルー転送開始しきい値レジスタ（TRNCTTDR）

アドレス EPTPC.TRNCTTDR 4006 5434h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	THVAL[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	THVAL[10:0]	FIFO読み出し開始しきい値	カットスルーモード時の中継FIFO読み出し開始しきい値（バイト数で指定）（注1）（注2）	R
b10-b2				R/W
b31-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 下位 2 ビットには値を設定できません。0 固定です。
注 2. 96 バイト以上の値を設定してください。

TRNCTTDR レジスタは、Ethernet ポート間の中継方式がカットスルーモードの場合に、送信ポートが中継 FIFO の読み出しを開始するしきい値を設定するレジスタです（TRNMR.MOD ビットが 1 の場合）。

カットスルーモードでは、中継 FIFO にすべてのフレームデータが格納されるのを待たずに転送を行うことができます。THVAL[10:0] ビットには、中継 FIFO にどれだけのデータが格納されたら転送を開始するかのしきい値をバイト数で設定します。しきい値には 4 の倍数を設定してください。

中継 FIFO の読み出しは以下のどちらかの条件が成立したときに開始されます。

- 中継 FIFO に格納されたデータ量が THVAL[10:0] ビットで指定されたバイト数以上になったとき
- 中継 FIFO に格納されたフレーム数が 1 以上になったとき

TRNCTTDR レジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.37 SYNFP ステータスレジスタ（SYSR）

アドレス EPTPC0.SYSR 4006 5800h, EPTPC1.SYSR 4006 5C00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GENDN	RESDN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	INFABT	—	RECLP	—	—	—	—	—	DRQOVR	INTDEV	DRPTO	—	MPDUD	INTCHG	OFMUD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OFMUD	offsetFromMaster値更新フラグ	0：offsetFromMaster値未更新 1：offsetFromMaster値更新	R/W（注1）
b1	INTCHG	受信logMessageInterval値変更検出フラグ	0：受信したlogMessageInterval値が変化していない 1：受信したlogMessageInterval値が変化した	R/W（注1）
b2	MPDUD	meanPathDelay値更新フラグ	0：meanPathDelay値未更新 1：meanPathDelay値更新	R/W（注1）
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DRPTO	Delay_Resp/Pdelay_Resp受信タイムアウト検出フラグ	0：Delay_Resp/Pdelay_Resp受信タイムアウトの発生なし 1：Delay_Resp/Pdelay_Resp受信タイムアウトの発生あり	R/W（注1）
b5	INTDEV	logMessageInterval値範囲外フラグ	0：受信したlogMessageInterval値が範囲内 1：受信したlogMessageInterval値が範囲外	R/W（注1）
b6	DRQOVR	Delay_Req受信FIFOオーバーフロー検出フラグ	0：Delay_Reqの受信FIFOオーバーフローなし 1：Delay_Reqの受信FIFOオーバーフローあり	R/W（注1）
b11-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	RECLP	ループ受信検出フラグ	0：ループ受信なし 1：ループ受信あり	R/W（注1）
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INFABT	制御情報異常検出フラグ	0：制御情報に異常なし 1：制御情報に異常あり	R/W（注1）
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	RESDN	応答停止完了検出フラグ	0：応答停止が未完了 1：応答停止が完了	R/W（注1）
b17	GENDN	生成停止完了検出フラグ	0：生成停止が未完了 1：生成停止が完了	R/W（注1）
b23-b18	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 1 を書くとフラグが 0 になります。0 を書いてもフラグの値は変化しません。

SYSR レジスタは、SYNFP モジュールのステータスを表示するレジスタです。

OFMUD フラグ（offsetFromMaster 値更新フラグ）

offsetFromMaster 値を更新したことを表します。

INTCHG フラグ（受信 logMessageInterval 値変更検出フラグ）

Delay_Resp、Sync または Announce メッセージの logMessageInterval 値が先に受信した値と異なっていることを表します。

MPDUD フラグ（meanPathDelay 値更新フラグ）

meanPathDelay 値を更新したことを表します。

DRPTO フラグ（Delay_Resp/Pdelay_Resp 受信タイムアウト検出フラグ）

RSTOUTR レジスタで設定した期間内に、Delay_Resp/Pdelay_Resp メッセージを受信しなかったことを表します。

INTDEV フラグ（logMessageInterval 値範囲外フラグ）

logMessageInterval 値が -7 ～ +6 の範囲外である Delay_Resp メッセージを受信したことを表します。

DRQOVR フラグ（Delay_Req 受信 FIFO オーバーフロー検出フラグ）

受信した Delay_Req メッセージの情報を格納する FIFO に 32 エントリ以上格納されたことを表します。

RECLP フラグ（ループ受信検出フラグ）

sourcePortIdentity フィールド値が、SYCIDRU、SYCIDRL および SYPNUMR レジスタに設定されている自局の PortIdentity と一致する PTP メッセージを受信したことを表します。

INFABT フラグ（制御情報異常検出フラグ）

制御情報に不一致が発生したことを表します。ETHERC と EPTPC がデータを受信しているときに外部回路の破損フレームまたはノイズのため、誤りのあるフレームが検出された場合、それ以降の正常フレームが正しく受信されないことがあります。

誤りのあるフレームが検出されたら、EDMAC、ETHERC、および EPTPC をリセットしてください。次に必要なサイクル数だけ待機してから、通信の再設定を行ってください。

(1) 誤りのあるフレームの検出

誤りのあるフレームを検出するには、EPTPCn.SYSR レジスタの INFABT フラグを読み出します。INFABT フラグは、イーサネットチャネルごとに用意されていますが、ETHER_MINT 割り込みは両方のチャネルで共有されています。この場合、誤りのあるフレームが検出されたチャネルを確認するために、ETHER_MINT 割り込みハンドラに両方の INFABT フラグを読み出す必要があります。

EPTPCn を使用せずに EDMACn と ETHERCn（n = 0, 1）のみを使用して標準 Ethernet フレームを送受信する場合、INFABT フラグを読み出して誤りのあるフレームを検出してください。

(2) 誤りのあるフラグ検出後のリセット

EPTPCn.SYSR.INFABT フラグを 1 にしたら、関連するチャネルの EPTPCn と ETHERCn をリセットし、必要なサイクル数だけ待機してからレジスタの設定を行ってください。

EPTPCn を使用せずに EDMACn と ETHERCn（n = 0, 1）のみを使用して標準 Ethernet フレームを送受信する場合、EPTPCn とレジスタをリセットしてください。この場合、PTPEDMAC のリセットは不要です。

EPTPCn とレジスタをリセットするには以下を行ってください。

1. EPTPCn.PTRSTR.RESET ビットを 1 にします。
2. EDMACn.EDMR.SWR ビットを 1 にします。
3. ソフトウェアループまたはタイマを使って、周辺モジュールクロック PCLKA の 64 サイクル以上待機します。この手順は、EDMACn と ETHERCn を初期化するために必要です。
4. EPTPCn.PTRSTR.RESET ビットを 0 にします。
5. 通信を許可するために、EDMACn、ETHERCn、PTPEDMAC、EPTPCn レジスタを設定して通信をリセットします。

RESDN フラグ（応答停止完了検出フラグ）

SYNFP モジュールによる受信 Delay_Req もしくは Pdelay_Req の処理が SYRFL1R および SYRVLDR レジスタで無効になっているとき、RESDN フラグは、応答メッセージとしての Delay_Resp もしくは Pdelay_Resp の送信処理が完了したことを示します。

GENDN フラグ（生成停止完了検出フラグ）

SYTRENR、SYRVLDR レジスタにて、無効に設定したメッセージの送信処理が完了したことを表します。

30.2.38 SYNFP ステータス通知イネーブルレジスタ（SYIPR）

アドレス EPTPC0.SYIPR 4006 5804h, EPTPC1.SYIPR 4006 5C04h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GENDN	RESDN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	INFABT	—	RECLP	—	—	—	—	—	DRQOVR	INTDEV	DRPTO	—	MPDUD	INTCHG	OFMUD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OFMUD	SYSR.OFMUDステータス通知許可	0：SYSR.OFMUDステータスの通知を禁止 1：SYSR.OFMUDステータスの通知を許可	R/W
b1	INTCHG	SYSR.INTCHGステータス通知許可	0：SYSR.INTCHGステータスの通知を禁止 1：SYSR.INTCHGステータスの通知を許可	R/W
b2	MPDUD	SYSR.MPDUDステータス通知許可	0：SYSR.MPDUDステータスの通知を禁止 1：SYSR.MPDUDステータスの通知を許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DRPTO	SYSR.DRPTOステータス通知許可	0：SYSR.DRPTOステータスの通知を禁止 1：SYSR.DRPTOステータスの通知を許可	R/W
b5	INTDEV	SYSR.INTDEVステータス通知許可	0：SYSR.INTDEVステータスの通知を禁止 1：SYSR.INTDEVステータスの通知を許可	R/W
b6	DRQOVR	SYSR.DRQOVRステータス通知許可	0：SYSR.DRQOVRステータスの通知を禁止 1：SYSR.DRQOVRステータスの通知を許可	R/W
b11-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	RECLP	SYSR.RECLPステータス通知許可	0：SYSR.RECLPステータスの通知を禁止 1：SYSR.RECLPステータスの通知を許可	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INFABT	SYSR.INFABTステータス通知許可	0：SYSR.INFABTステータスの通知を禁止 1：SYSR.INFABTステータスの通知を許可	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	RESDN	SYSR.RESDNステータス通知許可	0：SYSR.RESDNステータスの通知を禁止 1：SYSR.RESDNステータスの通知を許可	R/W
b17	GENDN	SYSR.GENDNステータス通知許可	0：SYSR.GENDNステータスの通知を禁止 1：SYSR.GENDNステータスの通知を許可	R/W
b31-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYIPR レジスタは、SYNFPn モジュールのステータスの変化を、MIESR.SYn フラグに反映するかどうかを指定するレジスタです。

30.2.39 SYNFP MAC アドレスレジスタ（SYMACRU、SYMACRL）

アドレス EPTPC0.SYMACRU 4006 5810h, EPTPC1.SYMACRU 4006 5C10h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	自局MACアドレスの上位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC0.SYMACRL 4006 5814h, EPTPC1.SYMACRL 4006 5C14h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	自局MACアドレスの下位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYMACRU、SYMACRL レジスタは、Ethernet ポート 0 および Ethernet ポート 1 の自局 MAC アドレスを指定するレジスタです。これらのレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.40 SYNFP LLC-CTL 値レジスタ（SYLLCCTLR）

アドレス EPTPC0.SYLLCCTLR 4006 5818h, EPTPC1.SYLLCCTLR 4006 5C18h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CTL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	CTL[7:0]	LLC-CTL フィールド	IEEE802.3準拠のフレームを生成するときに、LLCサブレイヤの制御フィールドで使用する値を指定します。	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYLLCCTLR レジスタは、SYNFP モジュールが生成する LLC フレームの制御フィールド（LLC-CTL）値を指定するレジスタです。レジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.41 SYNFP 自局 IP アドレスレジスタ（SYIPADDRR）

アドレス EPTPC0.SYIPADDRR 4006 581Ch, EPTPC1.SYIPADDRR 4006 5C1Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

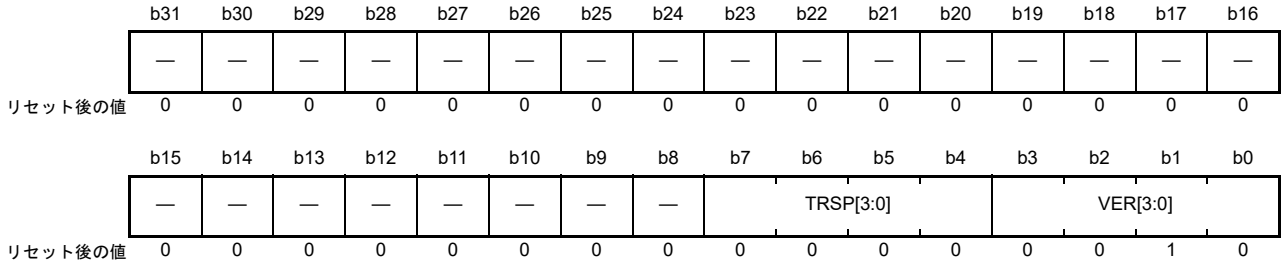
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	これらのビットは自局IPアドレスを指定します。	R/W

SYIPADDRR レジスタは、Ethernet ポート 0 および Ethernet ポート 1 の自局 IP アドレスを指定するレジスタです。SYIPADDRR レジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.42 SYNFP 仕様バージョン設定レジスタ（SYSPVRR）

アドレス EPTPC0.SYSPVRR 4006 5840h, EPTPC1.SYSPVRR 4006 5C40h

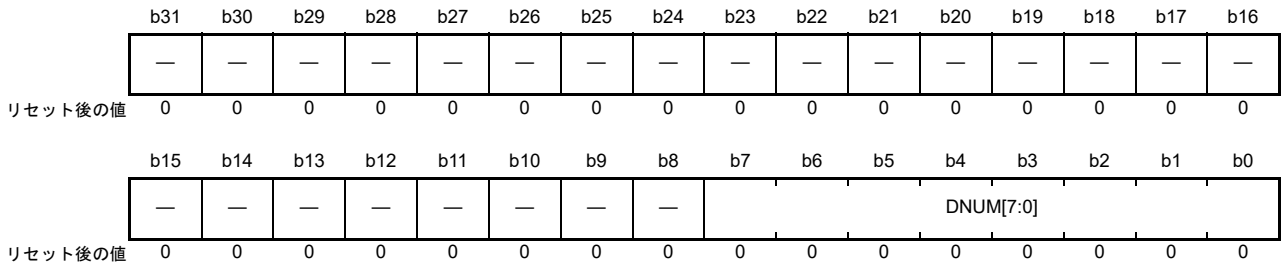


ビット	シンボル	ビット名	機能	R/W
b3-b0	VER[3:0]	versionPTP フィールド値	PTP v2 ヘッダの versionPTP フィールドの値を設定します。 メッセージ受信時、受信フレームの versionPTP フィールドと比較されます。 メッセージ生成時、送信フレームの versionPTP フィールドに使用されます。 0010b（PTP v2）を設定してください。	R/W
b7-b4	TRSP[3:0]	transportSpecific フィールド値	PTP v2 ヘッダの transportSpecific フィールドの値を設定します。 メッセージ受信時、受信フレームの transportSpecific フィールドと比較されます。 メッセージ生成時、送信フレームの transportSpecific フィールドに使用されます。 0000b（IEEE 1588）を設定してください。	R/W
b31-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SYSPVRR レジスタは、PTP v2 メッセージヘッダの transportSpecific および versionPTP フィールドの値を指定するレジスタです。PTP メッセージの受信もしくは送信が許可されているとき、この設定を変更しないでください。

30.2.43 SYNFP ドメイン番号設定レジスタ（SYDOMR）

アドレス EPTPC0.SYDOMR 4006 5844h, EPTPC1.SYDOMR 4006 5C44h



ビット	シンボル	ビット名	機能	R/W
b7-b0	DNUM[7:0]	domainNumber フィールド値設定	PTP v2 ヘッダの domainNumber フィールドの値を設定します。 メッセージ受信時、PTP 受信処理の条件として受信フレームの domainNumber フィールドと比較されます。 メッセージ生成時、送信フレームの domainNumber フィールドに使用されます。	R/W
b31-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SYDOMR レジスタは、PTP v2 メッセージヘッダの domainNumber フィールドの値を指定するレジスタです。PTP メッセージの受信もしくは送信が許可されているとき、この設定を変更しないでください。

30.2.44 アナウンスメッセージフラグフィールド設定レジスタ（ANFR）

アドレス EPTPC0.ANFR 4006 5850h, EPTPC1.ANFR 4006 5C50h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG14	FLAG13	—	—	FLAG10	—	FLAG8	—	—	FLAG5	FLAG4	FLAG3	FLAG2	FLAG1	FLAG0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FLAG0	leap61	timePropertiesDS の leap61 メンバの論理値を指定します。 0：leap61 に FALSE を設定 1：leap61 に TRUE を設定	R/W
b1	FLAG1	leap59	timePropertiesDS の leap59 メンバの論理値を指定します。 0：leap59 に FALSE を設定 1：leap59 に TRUE を設定	R/W
b2	FLAG2	currentUtcOffsetValid	timePropertiesDS の currentUtcOffsetValid メンバの論理値を指定します。 0：currentUtcOffsetValid に FALSE を設定 1：currentUtcOffsetValid に TRUE を設定	R/W
b3	FLAG3	ptpTimescale	timePropertiesDS の ptpTimescale メンバの論理値を指定します。 0：ptpTimescale に FALSE を設定 1：ptpTimescale に TRUE を設定	R/W
b4	FLAG4	timeTraceable	timePropertiesDS の timeTraceable メンバの論理値を指定します。 0：timeTraceable に FALSE を設定 1：timeTraceable に TRUE を設定	R/W
b5	FLAG5	frequencyTraceable	timePropertiesDS の frequencyTraceable メンバの論理値を指定します。 0：frequencyTraceable に FALSE を設定 1：frequencyTraceable に TRUE を設定	R/W
b7-b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b8	FLAG8	alternateMasterFlag	0：alternateMasterFlag に FALSE を設定 1：alternateMasterFlag に TRUE を設定	R/W
b9	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b10	FLAG10	unicastFlag	0：unicastFlag に FALSE を設定 1：unicastFlag に TRUE を設定	R/W
b12-b11	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b13	FLAG13	PTP profile Specific 1	0：PTP profile Specific 1 を FALSE に設定 1：PTP profile Specific 1 を TRUE に設定	R/W
b14	FLAG14	PTP profile Specific 2	0：PTP profile Specific 2 を FALSE に設定 1：PTP profile Specific 2 を TRUE に設定	R/W
b31-b15	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

ANFR レジスタは、SYNFP モジュールが Announce メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を指定するレジスタです。このレジスタに設定したデータは、SYRVLDR.ANUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.45 Sync メッセージフラグフィールド設定レジスタ（SYNFR）

アドレス EPTPC0.SYNFR 4006 5854h, EPTPC1.SYNFR 4006 5C54h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG14	FLAG13	—	—	FLAG10	FLAG9	FLAG8	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	FLAG8	alternateMasterFlag	0：alternateMasterFlagにFALSEを設定 1：alternateMasterFlagにTRUEを設定	R/W
b9	FLAG9	twoStepFlag	0（FALSE）にしてください。	R/W
b10	FLAG10	unicastFlag	0：unicastFlagにFALSEを設定 1：unicastFlagにTRUEを設定	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FLAG13	PTP profile Specific 1	0：PTP profile Specific 1をFALSEに設定 1：PTP profile Specific 1をTRUEに設定	R/W
b14	FLAG14	PTP profile Specific 2	0：PTP profile Specific 2をFALSEに設定 1：PTP profile Specific 2をTRUEに設定	R/W
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYNFR レジスタは、SYNFP モジュールが Sync メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を指定するレジスタです。このレジスタに設定したデータは、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.46 Delay_Req メッセージフラグフィールド設定レジスタ（DYRQFR）

アドレス EPTPC0.DYRQFR 4006 5858h, EPTPC1.DYRQFR 4006 5C58h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG14	FLAG13	—	—	FLAG10	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	FLAG10	unicastFlag	0：unicastFlagにFALSEを設定 1：unicastFlagにTRUEを設定	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FLAG13	PTP profile Specific 1	0：PTP profile Specific 1をFALSEに設定 1：PTP profile Specific 1をTRUEに設定	R/W
b14	FLAG14	PTP profile Specific 2	0：PTP profile Specific 2をFALSEに設定 1：PTP profile Specific 2をTRUEに設定	R/W
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DYRQFR レジスタは、SYNFP モジュールが Delay_Req または Pdelay_Req メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を指定するレジスタです。このレジスタに設定したデータは、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.47 Delay_Resp メッセージフラグフィールド設定レジスタ（DYRPFR）

アドレス EPTPC0.DYRPFR 4006 585Ch, EPTPC1.DYRPFR 4006 5C5Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	FLAG14	FLAG13	—	—	FLAG10	FLAG9	FLAG8	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	FLAG8	alternateMasterFlag（注1）	0：alternateMasterFlagにFALSEを設定 1：alternateMasterFlagにTRUEを設定	R/W
b9	FLAG9	twoStepFlag（注2）	0（FALSE）にしてください。	R/W
b10	FLAG10	unicastFlag	0：unicastFlagにFALSEを設定 1：unicastFlagにTRUEを設定	R/W
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FLAG13	PTP profile Specific 1	0：PTP profile Specific 1をFALSEに設定 1：PTP profile Specific 1をTRUEに設定	R/W
b14	FLAG14	PTP profile Specific 2	0：PTP profile Specific 2をFALSEに設定 1：PTP profile Specific 2をTRUEに設定	R/W
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. Pdelay_Resp メッセージでは予約ビットです。0 にしてください。
注 2. Delay_Resp メッセージでは予約ビットです。

DYRPFR レジスタは、SYNFP モジュールが Delay_Resp または PDelay_Resp メッセージを生成するときに、ヘッダの flagField フィールドに使用する値を指定するレジスタです。このレジスタに設定したデータは、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。Delay_Resp メッセージまたは Pdelay_Resp メッセージの送信が有効であるとき、このレジスタの設定を変更しないでください。この送信処理を無効にした後は、SYSR.RESDN フラグが 1 になるまで設定を変更しないでください。

30.2.48 SYNFP 自局クロック ID レジスタ（SYCIDRU、SYCIDRL）

アドレス EPTPC0.SYCIDRU 4006 5860h, EPTPC1.SYCIDRU 4006 5C60h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	自ポートのClock-IDの上位32ビットを指定します。	R/W

アドレス EPTPC0.SYCIDRL 4006 5864h, EPTPC1.SYCIDRL 4006 5C64h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	自ポートのClock-IDの下位32ビットを指定します。	R/W

SYCIDR レジスタは、自ポートの Clock-ID を指定するレジスタです。SYNFP モジュールが PTP メッセージを生成するときに、ヘッダの sourcePortIdentity フィールドの clockIdentity 部に使用されます。また、PTP メッセージを受信したときは、sourcePortIdentity フィールドの clockIdentity 部と比較され、自身が送信した PTP メッセージであるかどうかの判定に使われます。通常は、portDS.portIdentity.clockIdentity 値と同じ値を設定してください。

PTP メッセージの受信もしくは送信が許可されているとき、これらのレジスタ内の設定を変更しないでください。

30.2.49 SYNFP 自局ポート番号レジスタ（SYPNUMR）

アドレス EPTPC0.SYPNUMR 4006 5868h, EPTPC1.SYPNUMR 4006 5C68h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PNUM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PNUM[15:0]	自局ポート番号設定	自ポートのポート番号を指定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYPNUMR レジスタは、自ポートのポート番号を指定します。SYNFP モジュールが PTP メッセージ生成するときに、ヘッダの sourcePortIdentity フィールドの portNumber 部に使用されます。また、PTP メッセージを受信したときは、sourcePortIdentity フィールドの portNumber 部と比較され、自身が送信した PTP メッセージであるかどうかの判定に使われます。通常は、portDS.portIdentity.portNumber 値と同じ値を設定してください。

PTP メッセージの受信もしくは送信が許可されているとき、これらのレジスタ内の設定を変更しないでください。

30.2.50 SYNFP レジスタ値ロード指示レジスタ（SYRVLDR）

アドレス EPTPC0.SYRVLDR 4006 5880h, EPTPC1.SYRVLDR 4006 5C80h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ANUP	STUP	BMUP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BMUP	BMC更新	このビットを1にすると、マスタクロックの識別情報を保持するレジスタの値を、SYNFPモジュールへ同時に反映します。	W
b1	STUP	ステート更新	このビットを1にすると、PTPメッセージ受信および送信に関するレジスタの値を、SYNFPモジュールへ同時に反映します。	W
b2	ANUP	Announceメッセージ生成情報更新	このビットを1にすると、Announceメッセージ生成に必要なレジスタの値を、Announceメッセージ生成ブロックへ同時に反映します。	W
b31-b3	—	予約ビット	書く場合、0としてください。	W

SYRVLDR レジスタは、複数のレジスタの値を SYNFP モジュールへ同時に更新させるために使用するレジスタです。

BMUP ビット（BMC 更新）

BMUP ビットを 1 にすると、マスタクロックの識別情報を保持する次のレジスタの値を、SYNFP モジュールへ同時に反映します。

- MTCIDU、MTCIDL レジスタ
- MTPID レジスタ

STUP ビット（ステート更新）

STUP ビットを 1 にすると、PTP メッセージ受信および送信に関する次のレジスタおよびビットの値を、SYNFP モジュールへ同時に反映します。

- SYNFR レジスタ
- DYRQFR レジスタ
- SYTLIR.DREQ[7:0] ビット
- RSTOUTR レジスタ
- SYRFL1R レジスタ
- SYRFL2R レジスタ
- SYTRENR レジスタ

ANUP ビット（Announce メッセージ生成情報更新）

このビットを 1 にすると、Announce メッセージ生成に必要な次のレジスタおよびビットの値を、Announce メッセージ生成ブロックへ同時に反映します。

- ANFR レジスタ
- SYTLIR.ANCE[7:0] ビット
- GMPR レジスタ
- GMCQR レジスタ
- GMIDRU、GMIDRL レジスタ
- CUOTSR レジスタ
- SRR レジスタ

30.2.51 SYNFP 受信フィルタレジスタ 1（SYRFL1R）

アドレス EPTPC0.SYRFL1R 4006 5890h, EPTPC1.SYRFL1R 4006 5C90h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	PDFUP[2:0]			—	PDRP[2:0]			—	PDRQ[2:0]			—	DRP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	DRQ[2:0]			—	FUP[2:0]			—	SYNC[2:0]			—	—	ANCE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANCE[1:0]	Announceメッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b1			0：PRC-TCで中継（Port0、Port1間の中継）しない 1：PRC-TCで中継（Port0、Port1間の中継）する	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SYNC[2:0]	Syncメッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b5			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b6			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	FUP[2:0]	Follow_Upメッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b9			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b10			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	DRQ[2:0]	Delay_Reqメッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b13			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b14			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DRP[2:0]	Delay_Respメッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b17			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b18			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b20	PDRQ[2:0]	Pdelay_Reqメッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b21			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b22			0：SYNFPで処理しない 1：SYNFPで処理する	R/W

ビット	シンボル	ビット名	機能	R/W
b23	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	PDRP[2:0]	Pdelay_Respメッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b25			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b26			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	PDFUP[2:0]	Pdelay_Resp_Follow_Up メッセージ処理設定	0：PTPEDMACへ転送しない 1：PTPEDMACへ転送する	R/W
b29			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b30			0：SYNFPで処理しない 1：SYNFPで処理する	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYRFL1R レジスタは、PTP メッセージの受信フィルタを指定するレジスタです。メッセージタイプごとに、複数ビットを 1 にすることができます。あるメッセージタイプのすべてのビットを 0 にすると、当該メッセージタイプのすべてのメッセージが破棄されます。このレジスタに設定したデータは、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.52 SYNFP 受信フィルタレジスタ 2（SYRFL2R）

アドレス EPTPC0.SYRFL2R 4006 5894h, EPTPC1.SYRFL2R 4006 5C94h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	ILL[1:0]		—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SIG[1:0]		—	—	MAN[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MAN[1:0]	Managementメッセージ処理設定	0：PTPEDMACにメッセージを送信しない 1：PTPEDMACにメッセージを送信する	R/W
b1			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SIG[1:0]	Signalingメッセージ処理設定	0：PTPEDMACにメッセージを送信しない 1：PTPEDMACにメッセージを送信する	R/W
b5			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b27-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	ILL[1:0]	イリーガルメッセージ処理設定 （注1）	0：PTPEDMACにメッセージを送信しない 1：PTPEDMACにメッセージを送信する	R/W
b29			0：PRC-TCでポート0と1間のメッセージを中継しない 1：PRC-TCでポート0と1間のメッセージを中継する	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. PTP v2 以外、もしくはメッセージタイプが未定義の PTP メッセージをイリーガルメッセージとして扱います。

SYRFL2R レジスタは、PTP メッセージの受信フィルタを指定するレジスタです。メッセージタイプごとに、複数ビットを 1 にすることができます。あるメッセージタイプのすべてのビットを 0 にすると、当該メッセージタイプのすべてのメッセージが破棄されます。このレジスタに設定したデータは、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.53 SYNFP 送信イネーブルレジスタ（SYTRENR）

アドレス EPTPC0.SYTRENR 4006 5898h, EPTPC1.SYTRENR 4006 5C98h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PDRQ	—	—	—	DRQ	—	—	—	SYNC	—	—	—	ANCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANCE	Announceメッセージ送信許可	0：Announceメッセージを送信しない 1：Announceメッセージを送信する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SYNC	Syncメッセージ送信許可	0：Syncメッセージを送信しない 1：Syncメッセージを送信する	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DRQ	Delay_Reqメッセージ送信許可	0：Delay_Reqメッセージを送信しない 1：Delay_Reqメッセージを送信する	R/W
b11-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	PDRQ	Pdelay_Reqメッセージ送信許可	0：Pdelay_Reqメッセージを送信しない 1：Pdelay_Reqメッセージを送信する	R/W
b31-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYTRENR レジスタは、PTP メッセージ送信を許可または禁止するレジスタです。PDRQ ビットと DRQ ビットを同時に 1 にしないでください。双方が 1 の場合の動作は保証できません。このレジスタに設定したデータは、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.54 マスタクロック ID レジスタ（MTCIDU、MTCIDL）

アドレス EPTPC0.MTCIDU 4006 58A0h, EPTPC1.MTCIDU 4006 5CA0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マスタクロックのClock-IDの上位32ビットを指定します。	R/W

アドレス EPTPC0.MTCIDL 4006 58A4h, EPTPC1.MTCIDL 4006 5CA4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	マスタクロックのClock-IDの下位32ビットを指定します。	R/W

MTCIDU、MTCIDL レジスタは、同期させるマスタクロックの Clock-ID を指定するレジスタです。これらのレジスタに指定した値は、SYRVLDR.BMUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.55 マスタクロックポート番号レジスタ（MTPID）

アドレス EPTPC0.MTPID 4006 58A8h, EPTPC1.MTPID 4006 5CA8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

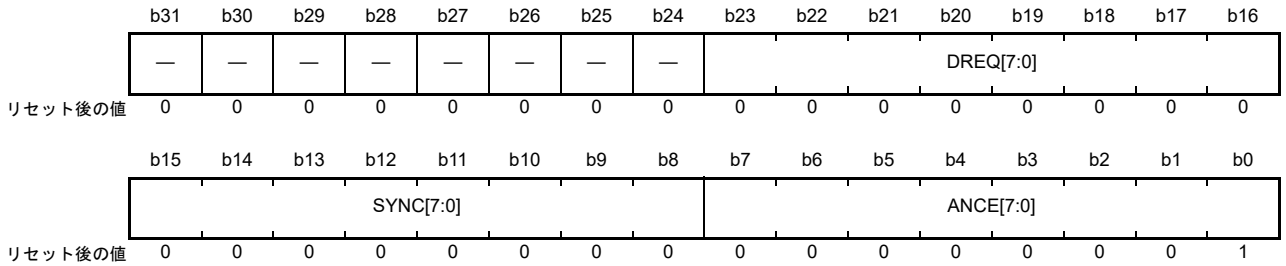
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PNUM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	PNUM[15:0]	マスタクロックポート番号設定	マスタクロックのポート番号を指定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MTPID レジスタは、同期させるマスタクロックのポート番号を指定するレジスタです。このレジスタに指定した値は、SYRVLDR.BMUP ビットを 1 にすることで、SYNFP モジュールに反映されます。通常は、parentDS.parentPortIdentity.portNumber 値を設定してください。

30.2.56 SYNFP 送信間隔設定レジスタ（SYTLIR）

アドレス EPTPC0.SYTLIR 4006 58C0h, EPTPC1.SYTLIR 4006 5CC0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	ANCE[7:0]	Announceメッセージ送信間隔設定	Announceメッセージの送信間隔を設定します。	R/W
b15-b8	SYNC[7:0]	Syncメッセージ送信間隔設定	Syncメッセージの送信間隔を設定します。また、設定値はSyncメッセージのlogMessageIntervalフィールドにも使用されます。	R/W
b23-b16	DREQ[7:0]	Delay_Reqメッセージ送信間隔平均値／Pdelay_Reqメッセージ送信間隔設定	Delay_Reqメッセージの平均送信間隔とPdelay_Reqメッセージの送信間隔を設定します。また、設定値はDelay_RespメッセージのlogMessageIntervalフィールドにも使用されます。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYTLIR レジスタは、SYNFP モジュールが生成するメッセージの送信間隔を指定するレジスタです。値は 2 を底とする対数（log2(x)）で設定します。設定した値を n とすると、送信間隔は 2n [s] となります。設定可能な値は、-7（F9h）～ +6（06h）です。

例：

- 06h を設定した場合、送信間隔は、$2^{6} = 64$ [s] となります
- 00h を設定した場合、送信間隔は、$2^{0} = 1$ [s] となります
- FFh を設定した場合、送信間隔は、$2^{-1} = 0.5$ [s] = 500 [ms] となります
- F9h を設定した場合、送信間隔は、$2^{-7} = 0.0078125$ [s] = 7.8125 [ms] となります

ANCE[7:0] ビットに指定したデータは、SYRVLDR.ANUP ビットを 1 にすることで、SYNFP モジュールに反映されます。DREQ[7:0] および SYNC[7:0] ビットに指定したデータは、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.57 SYNFP 受信 logMessageInterval 値表示レジスタ（SYRLIR）

アドレス EPTPC0.SYRLIR 4006 58C4h, EPTPC1.SYRLIR 4006 5CC4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DRESP[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SYNC[7:0]								ANCE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ANCE[7:0]	Announceメッセージ logMessageIntervalフィールド表示フラグ	受信したAnnounceメッセージのlogMessageIntervalフィールドの値が表示されます。	R
b15-b8	SYNC[7:0]	Syncメッセージ logMessageIntervalフィールド表示フラグ	受信したSyncメッセージのlogMessageIntervalフィールドの値が表示されます。	R
b23-b16	DRESP[7:0]	Delay_Respメッセージ logMessageIntervalフィールド表示フラグ	受信したDelay_RespメッセージのlogMessageIntervalフィールドの値が表示されます。	R
b31-b24	—	予約ビット	読むと0が読めます。	R

SYRLIR レジスタは、受信した PTP メッセージの logMessageInterval フィールドの値を表示するレジスタです。

30.2.58 offsetFromMaster 値レジスタ（OFMRU、OFMRL）

アドレス EPTPC0.OFMRU 4006 58C8h, EPTPC1.OFMRU 4006 5CC8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	算出したoffsetFromMaster値の上位32ビットが表示されます。	R

アドレス EPTPC0.OFMRL4006 58CCh, EPTPC1.OFMRL 4006 5CCCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	算出したoffsetFromMaster値の下位32ビットが表示されます。	R

OFMR(U/L) レジスタは、offsetFromMaster の算出値を表示するレジスタです。表示される値は 2 の補数で、単位は ns です。データセット currentDS.offsetFromMaster の数値表現とは異なります。以下の注意事項を参照してください。レジスタを読み出す場合は、OFMRU、OFMRL の順番でアクセスします。

注 . currentDS.offsetFromMaster の数値は 2^{16} 倍されています。例：2.5 [ns] = 0000_0000_0002_8000h

30.2.59 meanPathDelay 値レジスタ（MPDRU、MPDRL）

アドレス EPTPC0.MPDRU 4006 58D0h, EPTPC1.MPDRU 4006 5CD0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	算出したmeanPathDelay値の上位32ビットが表示されます。	R

アドレス EPTPC0.MPDRL 4006 58D4h, EPTPC1.MPDRL 4006 5CD4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

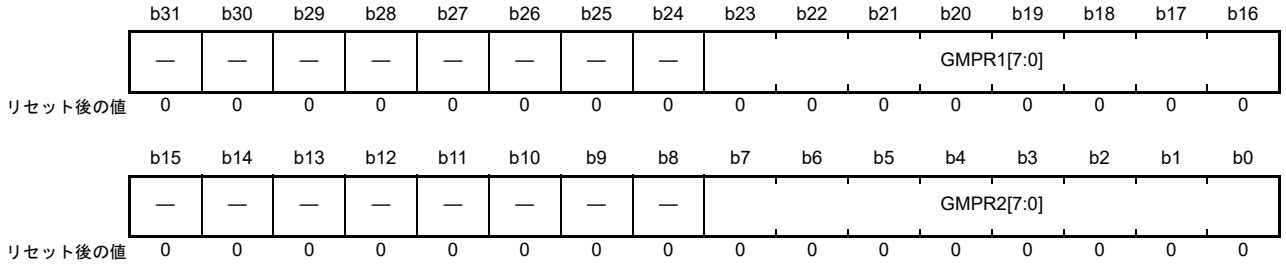
ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	算出したmeanPathDelay値の下位32ビットが表示されます。	R

MPDRU、MPDRL レジスタは、meanPathDelay の算出値を表示するレジスタです。表示される値は 2 の補数で、単位は ns です。データセット currentDS.meanPathDelay の数値表現とは異なります。以下の注意事項を参照してください。レジスタを読み出す場合は、MPDRU、MPDRL の順番でアクセスします。

注 . currentDS.meanPathDelay の数値は 2^{16} 倍されています。例：2.5 [ns] = 0000_0000_0002_8000h

30.2.60 grandmasterPriority フィールド設定レジスタ（GMPR）

アドレス EPTPC0.GMPR 4006 58E0h, EPTPC1.GMPR 4006 5CE0h

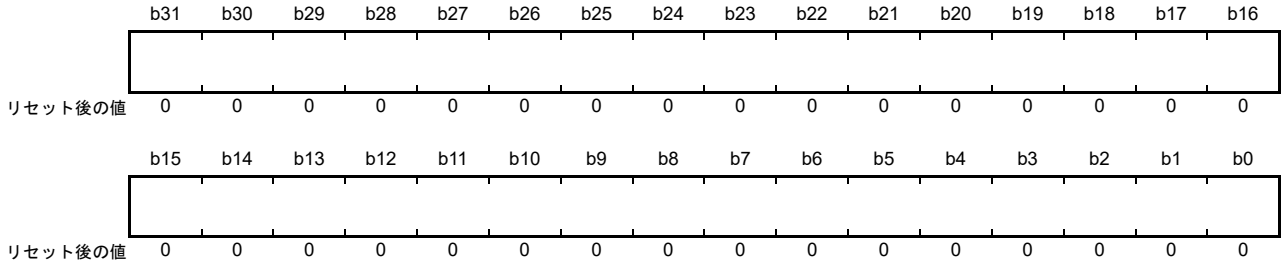


ビット	シンボル	ビット名	機能	R/W
b7-b0	GMPR2[7:0]	grandmasterPriority2 フィールド値設定	Announce メッセージの grandmasterPriority2 フィールドに使用する値を指定します。	R/W
b15-b8	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b23-b16	GMPR1[7:0]	grandmasterPriority1 フィールド値設定	Announce メッセージの grandmasterPriority1 フィールドに使用する値を指定します。	R/W
b31-b24	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

GMPR レジスタは、SYNFP モジュールが生成する Announce メッセージの grandmasterPriority1 および grandmasterPriority2 フィールドの値を指定するレジスタです。このレジスタに設定したデータは、SYRVLDR.ANUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.61 grandmasterClockQuality フィールド設定レジスタ（GMCQR）

アドレス EPTPC0.GMCQR 4006 58E4h, EPTPC1.GMCQR 4006 5CE4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	Announce メッセージの grandmasterClockQuality フィールドに使用する値を指定します。なお、ビットと grandmasterClockQuality フィールドの関連は次のようになっています。 b31-b24：clockClass b23-b16：clockAccuracy b15-b0：offsetScaledLogVariance	R/W

GMCQR レジスタは、SYNFP モジュールが生成する Announce メッセージの grandmasterClockQuality フィールドの値を指定するレジスタです。GMCQR レジスタに指定した値は、SYRVLDR.ANUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.62 grandmasterIdentity フィールド設定レジスタ（GMIDRU、GMIDRL）

アドレス EPTPC0.GMIDRU 4006 58E8h, EPTPC1.GMIDRU 4006 5CE8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	Announceメッセージのgrandmasterldentityフィールドに使用する値の上位32ビットを指定します。	R/W

アドレス EPTPC0.GMIDRL 4006 58ECh, EPTPC1.GMIDRL 4006 5CECh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	Announceメッセージのgrandmasterldentityフィールドに使用する値の下位32ビットを指定します。	R/W

GMIDRU、GMIDRL レジスタは、SYNFP モジュールが生成する Announce メッセージの grandmasterIdentity フィールドの値を指定するレジスタです。これらのレジスタに指定した値は、SYRVLDR.ANUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.63 curentUtcOffset/timeSource フィールド設定レジスタ（CUOTSR）

アドレス EPTPC0.CUOTSR 4006 58F0h, EPTPC1.CUOTSR 4006 5CF0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CUTO[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TSRC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TSRC[7:0]	timeSourceフィールド値設定	Announceメッセージのフィールドに使用する値を指定します。	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b16	CUTO[15:0]	currentUtcOffsetフィールド値設定	Announceメッセージのフィールドに使用する値を指定します。	R/W

CUOTSR レジスタは、SYNFP モジュールが生成する Announce メッセージの currentUtcOffset および timeSource フィールドの値を指定するレジスタです。このレジスタに設定したデータは、SYRVLDR.ANUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.64 stepsRemoved フィールド設定レジスタ（SRR）

アドレス EPTPC0.SRR 4006 58F4h, EPTPC1.SRR 4006 5CF4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRMV[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	SRMV[15:0]	stepsRemovedフィールド値設定	Announceメッセージのフィールドに使用する値を指定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SRR レジスタは、SYNFP モジュールが生成する Announce メッセージの stepsRemoved フィールドの値を指定するレジスタです。このレジスタに指定した値は、SYRVLDR.ANUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.65 PTP-primary メッセージ用宛先 MAC アドレス設定レジスタ（PPMACRU、PPMACRL）

アドレス EPTPC0.PPMACRU 4006 5900h, EPTPC1.PPMACRU 4006 5D00h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	1	1	0	1	1	0	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	PTP-primaryメッセージ用宛先MACアドレスの上位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC0.PPMACRL 4006 5904h, EPTPC1.PPMACRL 4006 5D04h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	PTP-primaryメッセージ用宛先MACアドレスの下位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PPMACR レジスタは、PTP-primary メッセージの宛先 MAC アドレスを指定するレジスタです。通常は、01:1B:19:00:00:00 を設定してください。PTP-primary メッセージフレームを Ethernet フォーマットで生成する場合の宛先 MAC アドレスフィールドに使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。これらのレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.66 PTP-pdelay メッセージ用 MAC アドレス設定レジスタ（PDMACRU、PDMACRL）

アドレス EPTPC0.PDMACRU 4006 5908h, EPTPC1.PDMACRU 4006 5D08h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	0	0	0	0	0	0	0	1	1	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	PTP-pdelayメッセージ用宛先MACアドレスの上位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC0.PDMACRL 4006 590Ch, EPTPC1.PDMACRL 4006 5D0Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	PTP-pdelayメッセージ用宛先MACアドレスの下位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PDMACR レジスタは、PTP-pdelay メッセージの宛先 MAC アドレスを指定するレジスタです。通常は、01:80:C2:00:00:0E を設定してください。PTP-pdelay メッセージフレームを Ethernet フォーマットで生成する場合の宛先 MAC アドレスフィールドに使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。これらのレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.67 PTP メッセージ Ethertype 設定レジスタ（PETYPER）

アドレス EPTPC0.PETYPER 4006 5910h, EPTPC1.PETYPER 4006 5D10h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[15:0]															
リセット後の値	1	0	0	0	1	0	0	0	1	1	1	1	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	TYPE[15:0]	PTPメッセージEthertype値設定	Ethernet IIフレームのEthertypeフィールドの値を指定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PETYPER レジスタは、PTP メッセージのフレームの Ethertype を指定するレジスタです。通常は、0000_88F7h を設定してください。PTP メッセージフレームを Ethernet II フォーマットで生成する場合の Ethertype フィールドに使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。これらのレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.68 PTP-primary メッセージ用宛先 IP アドレス設定レジスタ（PPIPR）

アドレス EPTPC0.PPIPR 4006 5920h, EPTPC1.PPIPR 4006 5D20h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	PTP-primaryメッセージ用宛先IPアドレスを指定します。	R/W

PPIPR レジスタは、PTP-primary メッセージの宛先 IP アドレスを指定するレジスタです。通常は、E000_0181h（224.0.1.129）を設定してください。PTP-primary メッセージフレームを IPv4 フォーマットで生成する場合の宛先 IP アドレスフィールドに使用されます。下位 23 ビットは Ethernet フレームの宛先 MAC アドレスフィールドにも使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.69 PTP-pdelay メッセージ用宛先 IP アドレス設定レジスタ（PDIPR）

アドレス EPTPC0.PDIPR 4006 5924h, EPTPC1.PDIPR 4006 5D24h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	1	1	0	1	0	1	1

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	PTP-pdelayメッセージ用宛先IPアドレスを指定します。	R/W

PDIPR レジスタは、PTP-pdelay メッセージの宛先 IP アドレスを指定するレジスタです。通常は、E000_006Bh（224.0.0.107）を設定してください。PTP-pdelay メッセージフレームを IPv4 フォーマットで生成する場合の宛先 IP アドレスフィールドに使用されます。下位 23 ビットは Ethernet フレームの宛先 MAC アドレスフィールドにも使用されます。また、受信時には PTP メッセージのフレーム判定条件として使用されます。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.70 PTP event メッセージ用 TOS 設定レジスタ（PETOSR）

アドレス EPTPC0.PETOSR 4006 5928h, EPTPC1.PETOSR 4006 5D28h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	EVTO[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	EVTO[7:0]	PTP eventメッセージ用TOSフィールド値設定	PTP eventメッセージのIPv4ヘッダ内TOSフィールドに使用する値を指定します。	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PETOSR レジスタは、PTP event メッセージの IPv4 ヘッダ内の TOS（Type of Service）フィールドの値を指定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.71 PTP general メッセージ用 TOS 設定レジスタ（PGTOSR）

アドレス EPTPC0.PGTOSR 4006 592Ch, EPTPC1.PGTOSR 4006 5D2Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	GETO[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	GETO[7:0]	PTP generalメッセージ用TOSフィールド値設定	PTP generalメッセージのIPv4ヘッダ内TOSフィールドに使用する値を指定します。	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PGTOSR レジスタは、PTP general メッセージの IPv4 ヘッダ内の TOS（Type of Service）フィールドの値を指定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.72 PTP-primary メッセージ用 TTL 設定レジスタ（PPTTLR）

アドレス EPTPC0.PPTTLR 4006 5930h, EPTPC1.PPTTLR 4006 5D30h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PRTL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PRTL[7:0]	PTP-primaryメッセージ用TTLフィールド値設定	PTP-primaryメッセージのIPv4ヘッダ内TTLフィールドに使用する値を指定します。	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PPTTLR レジスタは、PTP-primary メッセージの IPv4 ヘッダ内の TTL（Time to Live）フィールドの値を指定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.73 PTP-pdelay メッセージ用 TTL 設定レジスタ（PDTTLR）

アドレス EPTPC0.PDTTLR 4006 5934h, EPTPC1.PDTTLR 4006 5D34h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PDTL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b7-b0	PDTL[7:0]	PTP-pdelayメッセージ用TTLフィールド値	PTP-pdelayメッセージのIPv4ヘッダ内TTLフィールドに使用する値を指定します。	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PDTTLR レジスタは、PTP-pdelay メッセージの IPv4 ヘッダ内の TTL フィールドの値を指定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.74 PTP event メッセージ用 UDP 宛先ポート番号設定レジスタ（PEUDPR）

アドレス EPTPC0.PEUDPR 4006 5938h, EPTPC1.PEUDPR 4006 5D38h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EVUPT[15:0]															
リセット後の値	0	0	0	0	0	0	0	1	0	0	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b15-b0	EVUPT[15:0]	PTP eventメッセージ用宛先ポート番号設定	PTP eventメッセージのUDPヘッダ内宛先ポート番号フィールドに使用する値を指定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PEUDPR レジスタは、PTP event メッセージの UDP ヘッダ内の宛先ポート番号フィールドの値を指定するレジスタです。通常は、013Fh（319）を設定してください。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.75 PTP general メッセージ用 UDP 宛先ポート番号設定レジスタ（PGUDPR）

アドレス EPTPC0.PGUDPR 4006 593Ch, EPTPC1.PGUDPR 4006 5D3Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GEUPT[15:0]															
リセット後の値	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	GEUPT[15:0]	PTP generalメッセージ用宛先ポート番号	PTP generalメッセージのUDPヘッダ内宛先ポート番号フィールドに使用する値を指定します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PGUDPR レジスタは、PTP general メッセージの UDP ヘッダ内の宛先ポート番号フィールドの値を指定するレジスタです。通常は、0140h（320）を設定してください。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.76 フレーム受信フィルタ設定レジスタ（FFLTR）

アドレス EPTPC0.FFLTR 4006 5940h, EPTPC1.FFLTR 4006 5D40h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	EXTPRM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	ENB	PRT	SEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEL	受信MACアドレス選択（注1）	PTPメッセージ以外のマルチキャストフレームに対するフィルタ設定を行います。 b2 b0 0 0 0：フィルタリング禁止（すべてのマルチキャストフレームを受信） 0 0 1：フィルタリング禁止（すべてのマルチキャストフレームを受信） 0 1 0：フィルタリング禁止（すべてのマルチキャストフレームを受信） 0 1 1：フィルタリング禁止（すべてのマルチキャストフレームを受信） 1 0 0：マルチキャストフレームを受信しない 1 0 1：マルチキャストフレームを受信しない 1 1 0：FMAC0RU、FMAC0RLレジスタのMACアドレスと一致するマルチキャストフレームのみ受信 1 1 1：FMAC1RU、FMAC1RLレジスタのMACアドレスと一致するマルチキャストフレームのみ受信	R/W
b1	PRT	フレーム受信許可（注1）		R/W
b2	ENB	受信フィルタ許可（注1）		R/W
b15-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	EXTPRM	拡張プロミスキャスモード設定	0：標準動作（EPTPC宛ユニキャスト受信、PTPフレームフィルタリング、マルチキャストフレームフィルタリング、全ブロードキャストフレーム受信） 1：拡張プロミスキャスモード（すべてのフレームを受信）	R/W
b31-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. これらのビットの設定は、EXTPRM ビットが 0 のときのみ有効です。

FFLTR レジスタは、拡張プロミスキャスモードの設定と、PTP メッセージ以外のマルチキャストフレームに対する受信フィルタの設定を行うレジスタです。PTP メッセージ以外のマルチキャストフレームに対する受信フィルタを許可するには、ENB、PRT、SEL ビットを 110b または 111b にします。受信フィルタを通過したフレームは EDMACn に転送されます。PTP メッセージ以外のマルチキャストフレームの中継は TRNMR レジスタの設定に基づき、PTP メッセージの中継および受信処理は SYRFL1R レジスタおよび SYRFL2R レジスタの設定に基づいています。

このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.77 フレーム受信フィルタ用 MAC アドレス 0 設定レジスタ（FMAC0RU、FMAC0RL）

アドレス EPTPC0.FMAC0RU 4006 5960h, EPTPC1.FMAC0RU 4006 5D60h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	受信したマルチキャストフレーム用宛先MACアドレスの上位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC0.FMAC0RL 4006 5964h, EPTPC1.FMAC0RL 4006 5D64h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	受信したマルチキャストフレーム用宛先MACアドレスの下位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FMAC0RU、FMAC0RL レジスタは、PTP メッセージ以外のマルチキャストフレームの受信フィルタ時に使用する MAC アドレスを指定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.78 フレーム受信フィルタ用 MAC アドレス 1 設定レジスタ（FMAC1RU、FMAC1RL）

アドレス EPTPC0.FMAC1RU 4006 5968h, EPTPC1.FMAC1RU 4006 5D68h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	受信したマルチキャストフレーム用宛先MACアドレスの上位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC0.FMAC1RL 4006 596Ch, EPTPC1.FMAC1RL 4006 5D6Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0	—	—	受信したマルチキャストフレーム用宛先MACアドレスの下位24ビットを指定します。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FMAC1RU、FMAC1RL レジスタは、PTP メッセージ以外のマルチキャストフレームの受信フィルタ時に使用する MAC アドレスを指定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.79 非対称遅延値設定レジスタ（DASYMRU、DASYMRL）

アドレス EPTPC0.DASYMRU 4006 59C0h, EPTPC1.DASYMRU 4006 5DC0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	非対称遅延値の上位16ビットを指定します。0000hにしてください。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

アドレス EPTPC0.DASYMRL 4006 59C4h, EPTPC1.DASYMRL 4006 5DC4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	非対称遅延値の下位32ビットを指定します。0000 0000hにしてください。	R/W

DASYMRU、DASYMRL レジスタは、非対称遅延値（delayAsymmetry）を指定するレジスタです。DASYMRU レジスタと DASYMRL レジスタはともに 0000 0000h にしてください。

30.2.80 タイムスタンプ遅延値設定レジスタ（TSLATR）

アドレス EPTPC0.TSLATR 4006 59C8h, EPTPC1.TSLATR 4006 5DC8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	INGP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EGP[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	EGP[15:0]	出力ポートタイムスタンプ遅延値設定	これらのビットは、出力ポートのタイムスタンプ遅延（ナノ秒）を指定します。	R/W
b31-b16	INGP[15:0]	入力ポートタイムスタンプ遅延値設定	これらのビットは、入力ポートのタイムスタンプ遅延（ナノ秒）を指定します。	R/W

TSLATR レジスタは、タイムスタンプ取得遅延量を ns 単位で指定するレジスタです。PTP メッセージの受信もしくは送信が許可されているとき、この設定を変更しないでください。

EGP[15:0] ビット（出力ポートタイムスタンプ遅延値設定）

ターゲットシステムに対して表 30.8 に記載されている固定値で EGP[15:0] ビットを設定します。Link 転送速度（100Mbps/10Mbps）と STCA クロック周波数（20MHz/25MHz/50MHz/100MHz）により、タイムスタンプ遅延値が異なります。

表 30.8 EGP[15:0] ビットの設定（ns）

リンク転送レート		STCA クロック周波数			
		20MHz	25MHz	50MHz	100MHz
MII	100Mbps	590	625	695	730
	10Mbps	7430	7465	7535	7570
RMII	100Mbps	770	805	875	910
	10Mbps	9230	9265	9335	9370

INGP[15:0] ビット（入力ポートタイムスタンプ遅延値設定）

ターゲットシステムに対して表 30.9 に記載されている固定値で INGP[15:0] ビットを設定します。Link 転送速度（100Mbps/10Mbps）と STCA クロック周波数（20MHz/25MHz/50MHz/100MHz）により、タイムスタンプ遅延値が異なります。

表 30.9 INGP[15:0] ビットの設定（ns）

リンク転送レート		STCA クロック周波数			
		20MHz	25MHz	50MHz	100MHz
MII	100Mbps	980	945	875	840
	10Mbps	8180	8145	8075	8015
RMII	100Mbps	1060	1025	955	920
	10Mbps	8980	8945	8875	8815

30.2.81 SYNFP 動作設定レジスタ（SYCONFR）

アドレス EPTPC0.SYCONFR 4006 59CCh, EPTPC1.SYCONFR 4006 5DCCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	TCMOD	—	—	—	FILDIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SBDIS	—	—	—	—	TCYC[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	TCYC[7:0]	PTPメッセージ送信間隔設定	送信完了から送信開始までの時間を送信クロックのサイクル数で指定します。設定値をnとすると、nサイクルの送信間隔を確保します。 00hを設定した場合は送信間隔の確保は行いません。 推奨設定：28h（40サイクル）	R/W
b11-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	SBDIS	Syncメッセージ送信帯域確保機能無効化	0：SYNCメッセージ送信の帯域幅確保有効（EDMACによる送信の優先度を低くする） 1：SYNCメッセージ送信の帯域幅確保無効（EDMACによる送信の優先度を高くする）	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	FILDIS	受信メッセージdomainNumberフィルタ禁止	0：PTPメッセージ受信で、フィルタリング条件のdomainNumberフィールドの比較を含める 1：PTPメッセージ受信で、フィルタリング条件のdomainNumberフィールドの比較を含めない	R/W
b19-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b20	TCMOD	TCモード設定	0：E2E TC 1：P2P TC	R/W
b31-b21	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYCONFR レジスタは、SYNFP モジュールの動作を設定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

TCYC[7:0] ビット（PTP メッセージ送信間隔設定）

TCYC[7:0] ビットは、送信遅延時間を一定にするために、パケット間の待ち時間を指定します。ETHERC の送信完了信号が入力されてから次の送信要求信号を出力するまでの時間を送信クロック（Link 転送速度が 10Mbps のときは 2.5MHz、100Mbps のときは 25MHz）のサイクル数で設定します。

SBDIS ビット（Sync メッセージ送信帯域確保機能無効化）

Sync メッセージの送信周期精度向上のために確保している帯域を無効にするビットです。

TCMOD ビット（TC モード設定）

TC として動作する場合の Delay Mechanism を設定します。この設定により、TC における correctionField フィールドの演算方法を変更します。

30.2.82 SYNFP フレームフォーマット設定レジスタ（SYFORMR）

アドレス EPTPC0.SYFORMR 4006 59D0h, EPTPC1.SYFORMR 4006 5DD0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FORM1	FORM0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FORM0	Ethernetフレームフォーマット設定	0：Ethernet IIフレームフォーマット 1：IEEE802.3フレームフォーマット	R/W
b1	FORM1	Ethernet/UDPカプセル化	0：PTP directly over Ethernet 1：PTP over UDP/IPv4	R/W
b31-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SYFORMR レジスタは、SYNFP モジュールが生成するフレームフォーマットの種類を指定するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

30.2.83 レスポンスメッセージ受信タイムアウトレジスタ（RSTOUTR）

アドレス EPTPC0.RSTOUTR 4006 59D4h, EPTPC1.RSTOUTR 4006 5DD4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	レスポンスメッセージ受信タイムアウト時間設定	n × 1024（ns）内にレスポンスメッセージを受信しない場合（nはこれらのビットの設定）、タイムアウトが検出されます。	R/W

RSTOUTR レジスタは、PTP のレスポンスメッセージ（Delay_Resp/Pdelay_Resp）の受信タイムアウト検出機能に使用し、タイムアウトまでの時間を指定するレジスタです。Delay_Req または Pdelay_Req メッセージを送信した後、設定した時間内に Delay_Resp または Pdelay_Resp メッセージを受信できなかった場合、SYSR.DRPTO フラグが 1 になります。このレジスタに指定した値は、SYRVLDR.STUP ビットを 1 にすることで、SYNFP モジュールに反映されます。

30.2.84 PTP リセットレジスタ（PTRSTR）

アドレス EPTPC_CFG.PTRSTR 4006 4500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RESET
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RESET	EPTPC ソフトウェアリセット	0：EPTPC をリセットしない 1：EPTPC をリセットする（注1）	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ソフトウェアリセット実行中は、本レジスタ以外の EPTPC 関連レジスタにアクセスしないでください。

PTRSTR レジスタは、EPTPC をリセットします。EPTPC の初期化完了までの所要時間は、周辺モジュールクロック（PCLKA）で 64 サイクルです。RESET ビットを 1 にした後、PCLKA64 サイクル待ってから RESET ビットを 0 に戻してください。

30.2.85 STCA クロック選択レジスタ（STCSELR）

アドレス EPTPC_CFG.STCSELR 4006 4504h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCLKSEL[2:0]			—	—	—	—	—	SCLKDIV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCLKDIV[2:0]	PCLKAクロック分周	b2 b0 0 0 1：1 0 1 0：1/2 0 1 1：1/3 1 0 0：1/4 1 0 1：1/5 1 1 0：1/6 上記以外は設定しないでください。	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	SCLKSEL[2:0]	STCAクロック選択	b10 b8 0 0 0：PCLKAの1～6分周クロックを使用 0 1 0：REF50CK0端子からの入力クロック 0 1 1：REF50CK1端子からの入力クロック 上記以外は設定しないでください。	R/W
b31-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

STCSELR レジスタは、EPTPC で使用する STCA クロックを選択するレジスタです。このレジスタの設定は、EDMAC、ETHERC および PTPEDMAC の動作を開始させる前に行ってください。また、動作中は書き換えないでください。

SCLKDIV[2:0] ビット（PCLKA クロック分周）

SCLKDIV[2:0] ビットは、PCLKA の分周比を選択します。SCLKSEL[2:0] ビットが 000b のとき、分周した PCLKA が STCA クロックとして使用されます。

SCLKSEL[2:0] ビット（STCA クロック選択）

SCLKSEL[2:0] ビットは、EPTPC で使用する STCA クロックを選択します。

30.2.86 1588 モジュールバイパスレジスタ（BYPASS）

アドレス EPTPC_CFG.BYPASS 4006 4508h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BYPASS1
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BYPASS0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BYPASS0	Ether 0ch 1588モジュールバイパス設定	0：Etherチャネル0の1588モジュールを使用 1：Etherチャネル0の1588モジュールをバイパス	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	BYPASS1	Ether 1ch 1588モジュールバイパス設定	0：Etherチャネル1の1588モジュールを使用 1：Etherチャネル1の1588モジュールをバイパス	R/W
b31-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . Ether の動作中は、バイパスレジスタにアクセスしないでください。EPTPC を使用しない場合、EPTPC 内のバイパスレジスタを設定してバイパスすることができます。

30.3 動作説明

リセット解除後、EPTPC は PTP メッセージの受信（解析）または送信（生成）を行わない設定になっているため、ETHERC または EDMAC は、EPTPC の影響を受けずに、リセット直後にフレームの送受信を行います。EPTPC のレジスタに値を設定することで、ETHERC と EDMAC は、SYNFP モジュールの MAC アドレスによるパケットフィルタ機能や、PRC-TC モジュールの Ethernet ポート間中継機能を使用することができるようになります。PTP メッセージの送受信を行うには、EPTPC レジスタの設定を行う必要があります。

フレーム転送と中継に関するモジュールのブロック図を図 30.4 に示します。

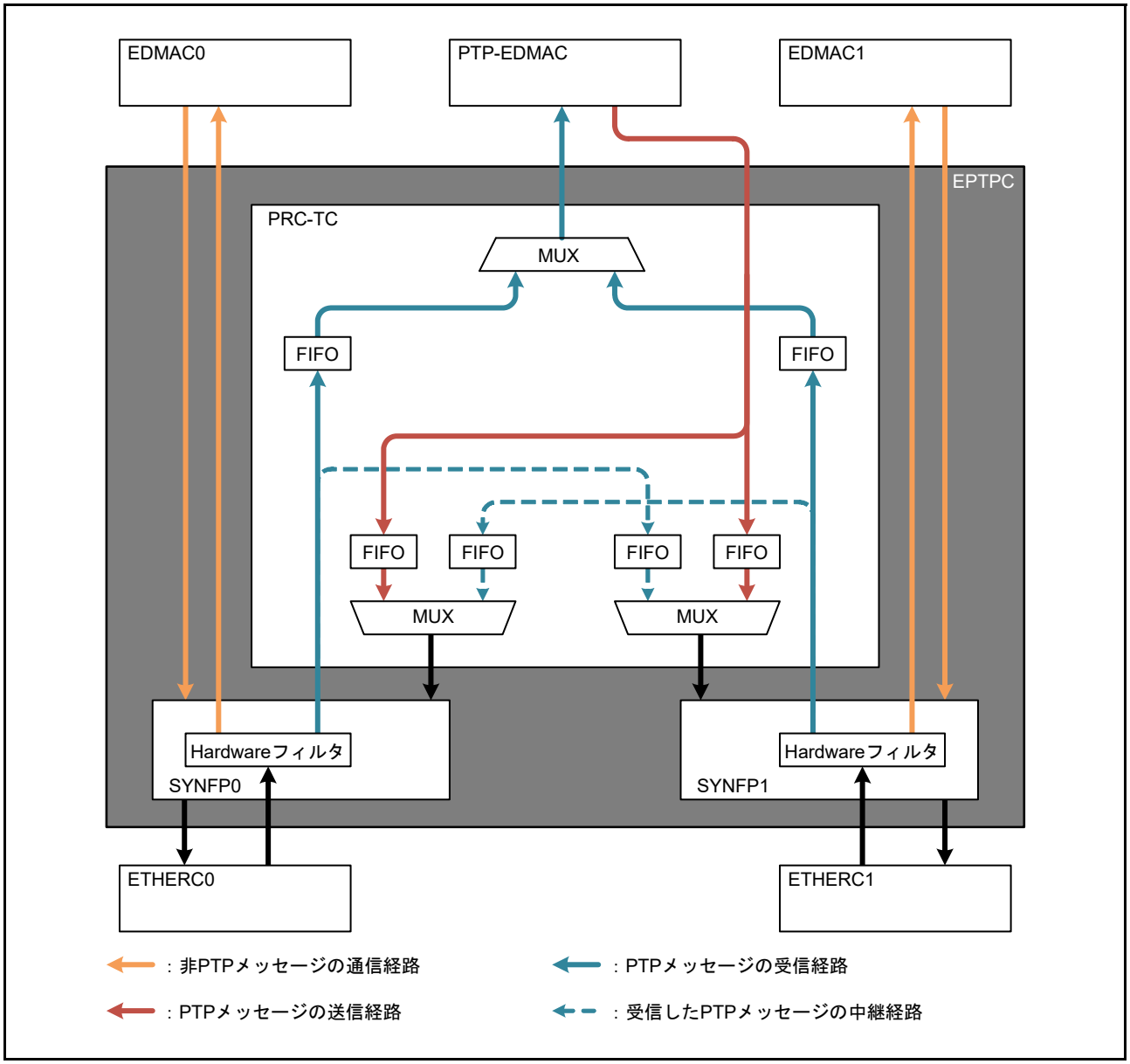


図 30.4 フレーム転送と中継に関するモジュールのブロック図

30.3.1 非 PTP メッセージの送受信と中継

FFLTR.EXTPRM ビットが 1 のとき、EPTPC は拡張プロミスキャスモードで動作します。拡張プロミスキャスモードでは、Ethernet ポートから受信したフレームは、フィルタリングされず、すべて EDMAC へ転送されます。FFLTR.EXTPRM ビットが 0 のとき、EPTPC は通常動作モードで動作します。通常動作モードでは、Ethernet ポートで受信したフレームは、SYNFP モジュールのハードウェアフィルタ機能により、フィルタリングされます。

また、TRNMR.FWD0 ビットおよび FWD1 ビットに基づいて、あるノード宛のフレームをもう一方の Ethernet ポートへ中継することもできます。

ユニキャストフレームを受信した場合、そのフレームが自ノード宛であれば、EPTPC および EDMAC はフレームを転送します。他ノード宛のフレームを受信した場合、Ethernet ポート間の中継機能が有効であれば、EPTPC は他 Ethernet ポートへ受信したフレームを中継できます。

マルチキャストフレームを受信した場合の動作は、次のいずれかに設定できます。

- EDMAC へフレームを転送する
- EDMAC へフレームを転送しない
- 指定した MAC アドレスと一致した場合のみ、EDMAC へフレームを転送する

また、Ethernet ポート間の中継機能が有効であれば、EPTPC は他 Ethernet ポートへマルチキャストフレームを中継します。

ブロードキャストフレームを受信した場合、EPTPC は自 Ethernet ポートの EDMAC へフレームを転送します。また、Ethernet ポート間の中継機能が有効であれば、他 Ethernet ポートへブロードキャストフレームを中継します。

受信したフレームを他 Ethernet ポートへ中継する機能を持つ PRC-TC モジュールには、フレームを中継するための中継 FIFO が存在します。中継 FIFO からのデータの読み出しは、ストア & フォワード方式とカットスルー方式の 2 種類から選択できます。カットスルー方式では、中継 FIFO 内にフレームが 1 つ以上存在するか、中継 FIFO 内にしきい値以上のデータが存在するか、のいずれかあるいは両方が成立したときに中継 FIFO の読み出しを開始します。中継 FIFO 読み出しのしきい値は、TRNCTTDR.THVAL[10:0] ビットで指定します。

カットスルー方式では、読み出し開始後に障害（リードデータ化けなど）が発生して、当該フレームがエラーフレーム扱いになった場合、ETHERC へエラーを通知する手段がありません。そのため、ETHERC はそのようなエラーフレームを通常のフレームとして送信してしまう可能性があります。このような状況を回避するには、ストア & フォワード方式で中継 FIFO を読み出すようにしてください。ストア & フォワード方式では、PRC-TC モジュール内でエラーフレームが破棄されます。

30.3.2 非 PTP メッセージの通信経路

Ethernet ポートで受信したメッセージは、EDMAC へ転送されます。また、PRC-TC モジュールの Ethernet ポート間中継機能により、Ethernet ポート間でメッセージを中継することができます。非 PTP メッセージの送受信と中継の経路を図 30.5 に示します。

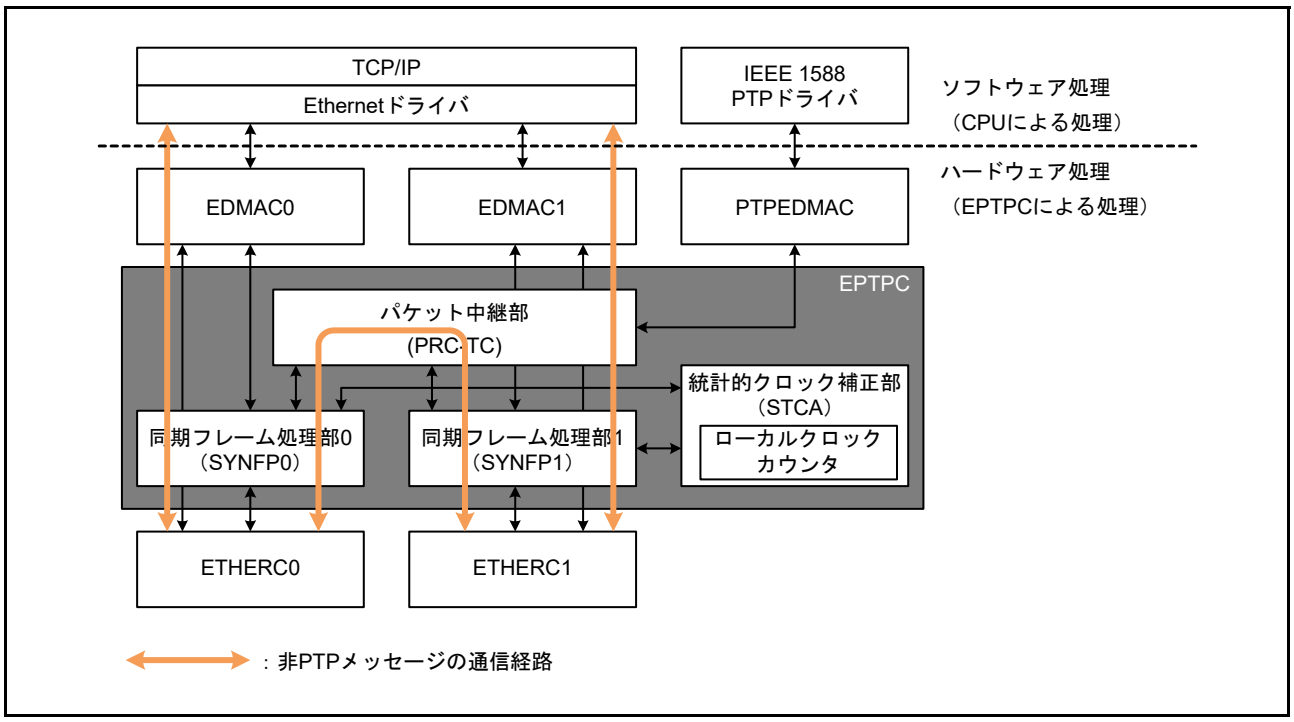


図 30.5 非 PTP メッセージの送受信と中継の経路

30.3.3 PTP メッセージの送受信と中継

EPTPC では、受信した PTP メッセージの解析およびフィールドの抽出と、PTP メッセージの生成および送信を、ハードウェアが自動で行います。ただし、一部の PTP メッセージは、ソフトウェアによって送受信する必要があります。各種 PTP メッセージの送受信制御の仕様を表 30.10 に示します。

表 30.10 PTP メッセージの送受信の制御

メッセージタイプ	メッセージ	OC（Ordinary Clock）/BC（Boundary Clock）		Transparent Clock（TC）
		マスタ	スレーブ	
イベント	Sync	生成（自動）	受信（自動）	中継（自動）
	Delay_Req	生成（自動）	受信（自動）	中継（自動）
	Pdelay_Req	生成および受信（自動）	生成および受信（自動）	生成および受信（自動）
	Pdelay_Resp	生成および受信（自動）	生成および受信（自動）	生成および受信（自動）
General	Announce	生成（自動）	受信（ソフトウェア）	受信（ソフトウェア）
	Follow_Up	—（注1）	受信（自動）	中継（自動）
	Delay_Resp	パケット生成	受信（自動）	中継（自動）
	Pdelay_Resp_Follow_Up	—（注1）	受信（自動）	中継（自動）
	Management	送受信（ソフトウェア）		送受信（ソフトウェア） 中継（自動）
	Signaling	送受信（ソフトウェア）		送受信（ソフトウェア） 中継（自動）

注 1. One-Step で対応するため、制御の必要はありません。

30.3.4 PTP メッセージの通信経路

PTP メッセージの通信経路は、ソフトウェアによる処理が必要なメッセージと、ハードウェアによって自動で処理されるメッセージとで異なります。

30.3.4.1 ソフトウェア処理が必要な PTP メッセージの通信経路

送信にソフトウェア処理が必要な PTP メッセージの通信経路を図 30.6 に示します。表 30.10 で「(ソフトウェア)」が付くすべての処理が、図に示す経路を使用します。

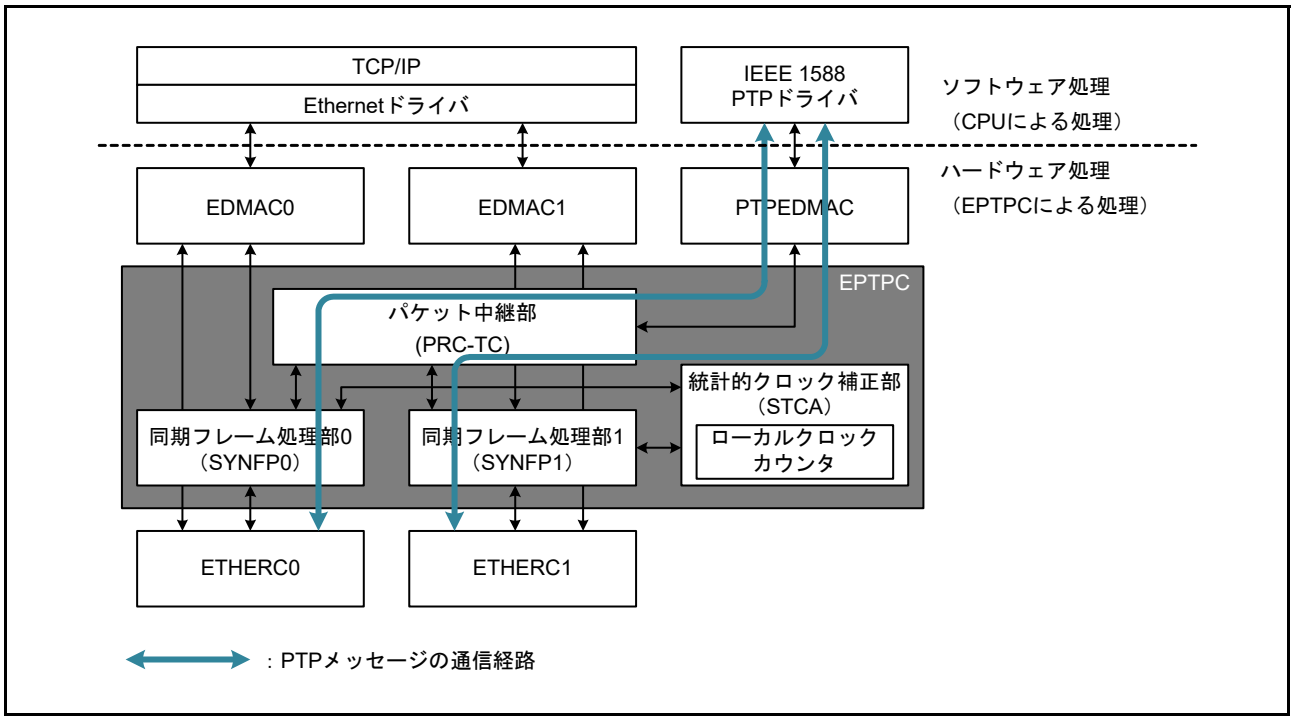


図 30.6 ソフトウェア処理が必要な PTP メッセージの通信経路

30.3.4.2 自動で処理されるPTPメッセージの通信経路

ハードウェアによって自動で処理されるPTPメッセージの送受信はSYNFPモジュールによって、中継はPRC-TCモジュールによって行われます。

(1) ハードウェアによるPTPメッセージの生成と応答

SYNFPモジュールが自動的にPTPメッセージを生成したり、自動的に応答するときの通信経路を図30.7に示します。表30.10で中継以外の「(自動)」が付く処理が、図に示す経路を使用します。

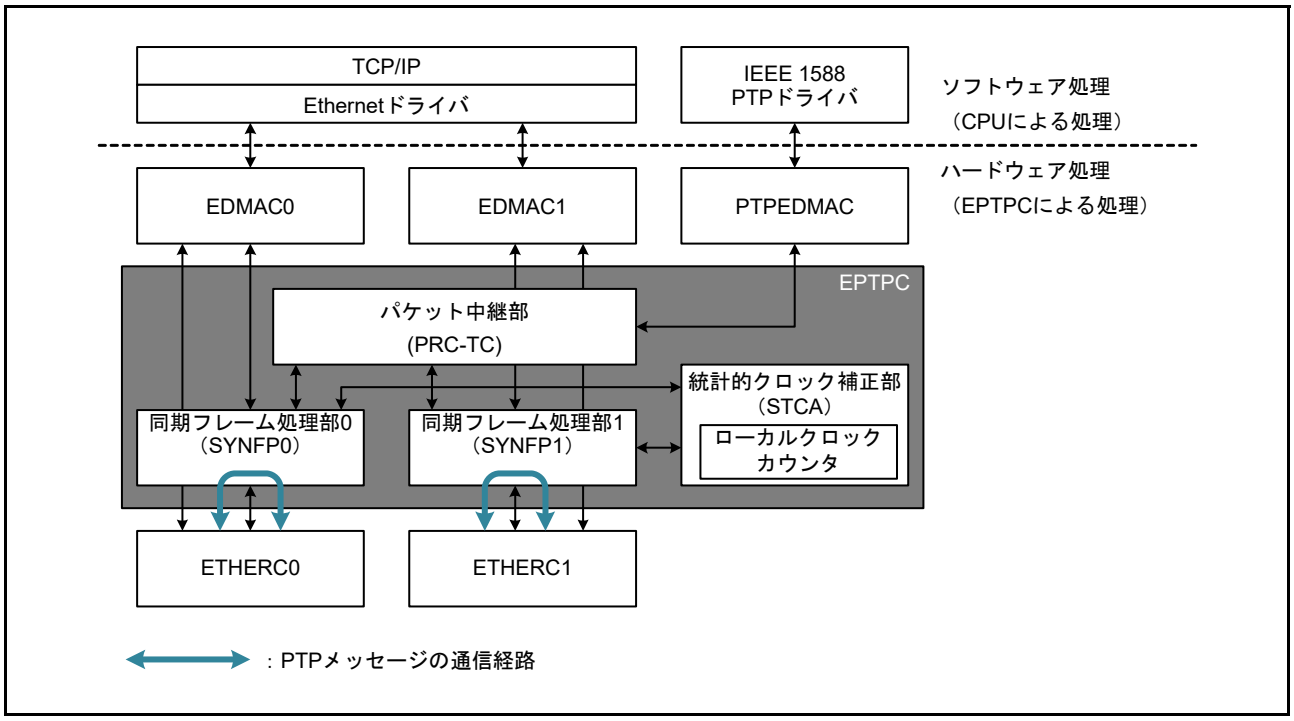


図30.7 ハードウェアによるPTPメッセージの生成と応答の経路

(2) ハードウェアによるPTPメッセージの中継

PRC-TCモジュールにより、PTPメッセージが中継される経路を図30.8に示します。表30.10の中継処理が、図に示す経路を使用します。

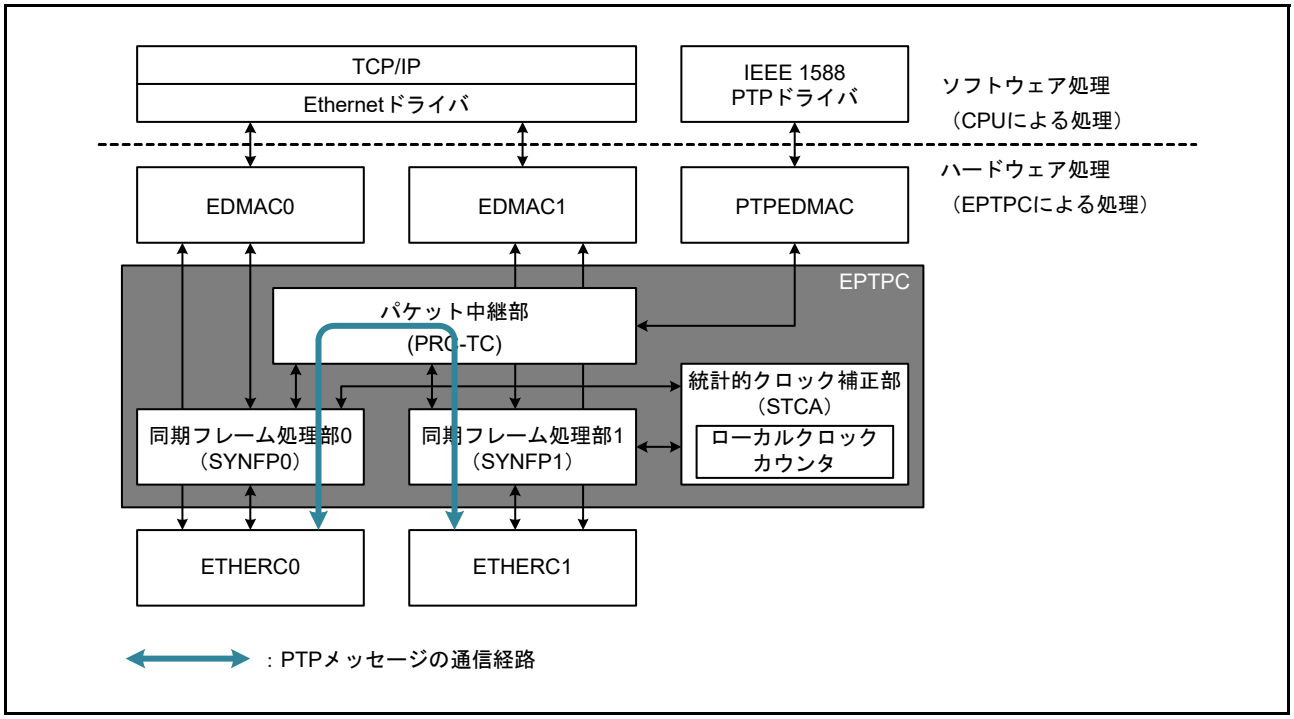


図 30.8　ハードウェアによる PTP メッセージの中継経路

30.3.5　クロックデバイス

EPTPC は、IEEE 1588 で規定されているクロックデバイスとして動作することができます。

30.3.5.1　End-to-End（E2E）

(1)　マスタ

EPTPC が End-to-End（E2E）マスタとして動作する場合、表 30.11 で説明されているように PTP メッセージの送受信を行います。

表 30.11　E2Eマスタによる PTP メッセージの処理

メッセージタイプ	メッセージ	EPTPC...
イベント	Sync	SYTLIR.SYNC[7:0]ビットに指定されている間隔でSyncメッセージを送信します。
	Delay_Req	このメッセージを受信した場合、応答でDelay_Respメッセージを送信します。
	Pdelay_Req	—
	Pdelay_Resp	—
General	Announce	SYTLIR.ANCE[7:0]ビットに指定されている間隔でAnnounceメッセージを送信します。
	Follow_Up	—
	Delay_Resp	Delay_Reqメッセージを受信すると、これを応答送信します。
	Pdelay_Resp_Follow_Up	—
	Management	PTPEDMACを介してソフトウェアによるManagementメッセージを送受信します。
	Signaling	PTPEDMACを介してソフトウェアによるSignalingメッセージを送受信します。

(2)　スレーブ

EPTPC が End-to-End（E2E）スレーブとして動作する場合、表 30.12 で説明されているように PTP メッセージの送受信を行い、算出した offsetFromMaster 値で自身の時刻情報を補正します。

表 30.12 E2Eスレーブによる PTP メッセージの処理

メッセージタイプ	メッセージ	EPTPC...
イベント	Sync	flagFieldのtwoStepFlagがFALSE（1-step clock）の場合、このメッセージを受信するとoffsetFromMaster値を算出します。
	Delay_Req	0～SYTLIR.DREQ[7:0]ビットに指定されている時間×2の間隔で、Delay_Reqメッセージをランダムに送信します。
	Pdelay_Req	—
	Pdelay_Resp	—
General	Announce	PTPEDMAC経由でソフトウェアによりAnnounceメッセージを送信します。
	Follow_Up	先に受信したSyncメッセージのflagFieldのtwoStepFlagがTRUE（two-step clock）である場合、このメッセージを受信するとoffsetFromMaster値を算出します。
	Delay_Resp	このメッセージ受信時にmeanPathDelay値を算出します。
	Pdelay_Resp_Follow_Up	—
	Management	PTPEDMAC経由でソフトウェアによりManagementメッセージを送受信します。
	Signaling	PTPEDMAC経由でソフトウェアによりSignalingメッセージを送受信します。

30.3.5.2 Peer-to-Peer（P2P）

(1) マスタ

EPTPC が Peer-to-Peer（P2P）マスタとして動作する場合、表 30.13 で説明されているように PTP メッセージの送受信を行います。

表 30.13 P2Pマスタによる PTP メッセージの処理

パケットの種類	メッセージ	EPTPC...
イベント	Sync	SYTLIR.SYNC[7:0]ビットに指定された間隔でタイムスタンプを送信します。
	Delay_Req	—
	Pdelay_Req	• SYTLIR.DREQ[7:0]ビットに指定されている間隔でPdelay_Reqメッセージを送信します • このメッセージの受信時、Pdelay_Respメッセージを応答送信します
	Pdelay_Resp	• Pdelay_Reqメッセージを受信すると、これを応答送信します • flagFieldのtwoStepFlagがFALSE（one-step clock）の場合、このメッセージを受信するとmeanPathDelay値を算出します
General	Announce	SYTLIR.ANCE[7:0]ビットに指定されている間隔でAnnounceメッセージを送信します。
	Follow_Up	—
	Delay_Resp	—
	Pdelay_Resp_Follow_Up	先に受信したPdelay_RespメッセージのflagFieldのtwoStepFlagがTRUE（two-step clock）である場合、このメッセージを受信するとmeanPathDelay値を算出します。
	Management	PTPEDMAC経由でソフトウェアによりManagementメッセージを送信します。
	Signaling	PTPEDMAC経由でソフトウェアによりSignalingメッセージを送信します。

(2) スレーブ

EPTPC が Peer-to-Peer（P2P）スレーブとして動作する場合、表 30.14 で説明されているように PTP メッセージの送受信を行い、算出した offsetFromMaster 値で自身の時刻情報を補正します。

表 30.14 P2P スレーブによる PTP メッセージの処理

パケットの種類	メッセージ	EPTPC...
イベント	Sync	flagField の twoStepFlag が FALSE（1-step clock）の場合、このメッセージを受信すると offsetFromMaster 値を算出します。
	Delay_Req	—
	Pdelay_Req	• SYTLIR.DREQ[7:0] ビットに指定されている間隔で Pdelay_Req メッセージを送信します • このメッセージの受信時、Pdelay_Resp メッセージを応答送信します
	Pdelay_Resp	• Pdelay_Req メッセージを受信すると、これを応答送信します • flagField の twoStepFlag が FALSE（one-step clock）の場合、このメッセージを受信すると meanPathDelay 値を算出します
General	Announce	PTPEDMAC 経由でソフトウェアにより Announce メッセージを送信します。
	Follow_Up	先に受信した Sync メッセージの flagField の twoStepFlag が TRUE（two-step clock）である場合、このメッセージを受信すると offsetFromMaster 値を算出します。
	Delay_Resp	—
	Pdelay_Resp_Follow_Up	先に受信した Pdelay_Resp メッセージの flagField の twoStepFlag が TRUE（2-step clock）である場合、このメッセージを受信すると meanPathDelay 値を算出します。
	Management	PTPEDMAC を介してソフトウェアによる Management メッセージを送受信します。
	Signaling	PTPEDMAC を介してソフトウェアによる Signaling メッセージを送受信します。

30.3.5.3 Ordinary Clock（OC）

いずれか一方の Ethernet ポートで PTP メッセージの送受信を行います。OC は、グランドマスタクロックか、マスタ - スレーブ階層でのスレーブクロックとして動作します。E2E マスタ、E2E スレーブ、P2P マスタ、および P2P スレーブとしての動作に関しては次のセクションを参照してください。

- 30.3.7 E2E マスタ動作
- 30.3.8 E2E スレーブ動作
- 30.3.10 P2P マスタ動作
- 30.3.11 P2P スレーブ動作

30.3.5.4 Boundary Clock（BC）

両方の Ethernet ポートで PTP メッセージの送受信を行います。一方のポートはルートとなるマスタクロックに同期したスレーブとして、他方のポートはマスタクロックに同期した時刻情報を配信するマスタとして動作します。また、両方のポートをマスタとして動作させることも可能です。E2E マスタ、E2E スレーブ、P2P マスタ、および P2P スレーブとしての動作に関しては次のセクションを参照してください。

- 30.3.7 E2E マスタ動作
- 30.3.8 E2E スレーブ動作
- 30.3.10 P2P マスタ動作
- 30.3.11 P2P スレーブ動作

30.3.5.5 Transparent Clock（TC）

(1) E2E TC

E2E TC として動作する場合、受信した PTP-primary および PTP-pdelay メッセージを中継します。

表 30.15 E2E TCによるパケットの処理

メッセージタイプ	メッセージ	EPTPC...
イベント	Sync	クロックデバイス内での滞留時間を加算し、中継します。
	Delay_Req	
	Pdelay_Req	
	Pdelay_Resp	
General	Announce	これらのメッセージを中継します。
	Follow_Up	
	Delay_Resp	
	Pdelay_Resp_Follow_Up	
	Management	• これらのメッセージを中継します • PTPEDMAC経由でソフトウェアによりメッセージを送受信します
	Signaling	

(2) P2P TC

P2P TC として動作する場合、Delay_Req と Delay_Resp を除く PTP-primary メッセージを中継します。

表 30.16 P2P TCによるパケットの処理

メッセージタイプ	メッセージ	EPTPC...
イベント	Sync	このメッセージの受信時、クロックデバイス内での滞留時間を加算して、中継します。
	Delay_Req	—
	Pdelay_Req	• SYTLIR.DREQ[7:0]ビットに指定されている間隔でPdelay_Reqメッセージを送信します • このメッセージの受信時、Pdelay_Respメッセージを応答送信します
	Pdelay_Resp	• Pdelay_Reqメッセージを受信すると、これを応答送信します • flagFieldのtwoStepFlagがFALSE（1-step clock）の場合、このメッセージを受信するとmeanPathDelay値を算出します
General	Announce	これらのメッセージを中継します。
	Follow_Up	
	Delay_Resp	—
	Pdelay_Resp_Follow_Up	先に受信したPdelay_RespメッセージのflagFieldのtwoStepFlagがTRUE（2-step clock）である場合、このメッセージを受信するとmeanPathDelay値を算出します。
	Management	• これらのメッセージを中継します • PTPEDMAC経由でソフトウェアによりメッセージを送受信します
	Signaling	

30.3.6 EPTPC の初期化

PTP メッセージを送受信するには、表 30.17 に記載されている EPTPC レジスタの設定が必要です。使用する Ethernet ポートに対応したレジスタに初期設定を行ってください。PTP メッセージのフレームフォーマットに UDP/IPv4 を使用する場合、表 30.18 に示すレジスタにも初期設定を行ってください。

表 30.17 EPTPC 初期化のために設定が必要なレジスタ

レジスタ名	設定内容	機能
STCFR	例：0000_0002h	例として50MHzを示しています。他に3種設定可能です。
PRMACRU0、PRMACRL0	任意	Ethernetポート0を使用しない場合、設定は不要です。
PRMACRU1、PRMACRL1	任意	Ethernetポート1を使用しない場合、設定は不要です。
SYCONFR	例：0000_0002h	動作させるデバイスタイプにより、設定値が異なります。
SYMACRU、SYMACRL	任意	—
SYSPVRR	0000_0002h	transportSpecificおよびversionフィールド
SYDOMR	任意	—
SYCIDRU、SYCIDRL	任意	Ethernetポート0とEthernetポート1で同じ値を設定してください。
SYPNUMR	0000_0001h もしくは 0000_0002h	OCの場合、0000_0001hを設定します。BCまたはTCの場合、一方のポートには0000_0001hを他方のポートには0000_0002hを設定してください。
PPMACRU、PPMACRL	01:1B:19:00:00:00	PTP-primaryメッセージのMACアドレス
PDMACRU、PDMACRL	01:80:C2:00:00:0E	PTP-pdelayメッセージのMACアドレス
DASYMRU、DASYMRL	0000_0000h	—
TSLATR	任意	Link転送速度とSTCAクロック周波数に依存します。
SYFORMR	任意	4種の設定が可能です。
SYLLCCTLR	0000_0003h	EthernetフレームのLLC-CTLフィールド値
PETYPER	0000_88F7h	PTPメッセージのEtherタイプ

表 30.18 UDPまたはIPv4使用時に追加設定が必要なレジスタ

レジスタ名	設定内容	機能
SYIPADDRR	任意	自局IPアドレス
PRIPR	E000_0181h	PTP-primaryメッセージのIPアドレス
PETOSR	任意	differentiated service (DS)フィールドの値は、利用可能な1番高いtraffic class selector codepointを設定してください。
PGTOSR	任意	—
PPTTLR	任意	PTP-primaryメッセージのTTLフィールド値
PEUDPR	0000_013Fh	EventメッセージのUDPポート番号
PGUDPR	0000_0140h	GeneralメッセージのUDPポート番号
PDIPR	E000_006Bh	PTP-pdelayメッセージのIPアドレス
PDTTLR	0000_0001h	PTP-pdelayメッセージのTTLフィールド値

OC または BC として動作させる場合は、図 30.9 に示すように、受信した Announce、Management および Signaling メッセージが PTPEDMAC に転送されるように設定してください。

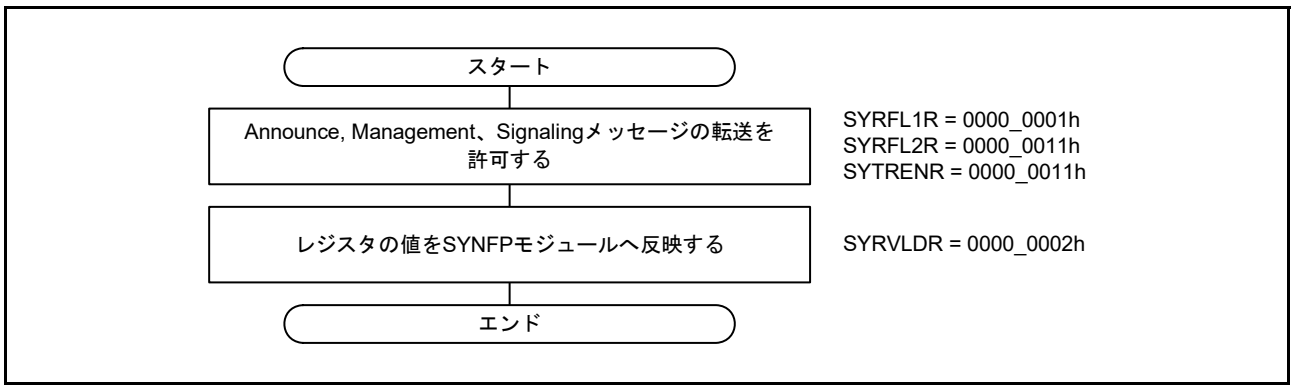


図 30.9 PTP デバイス共通設定

30.3.7 E2E マスタ動作

30.3.7.1 初期設定

E2E マスタとして動作させるために使用するレジスタを表 30.19 に示します。OC、もしくは両方の Ethernet ポートがマスタである BC として動作させる場合、必要に応じて事前に時刻情報の初期値を設定してください。この値については、30.2.18 ローカルクロックカウンタ初期値レジスタ（LCIVRU、LCIVRM、LCIVRL）を参照してください。これらのレジスタに設定されている値を反映するには、SYRVLDR.STUP または ANUP ビットを 1 にしてください。

表 30.19 E2E マスタ動作で使用するレジスタ

レジスタ名	ロード指示に使用する SYRVLDR レジスタのビット	設定内容	機能
SYNFR	STUP	0000_0000h	Sync メッセージ flagField
SYTLIR	STUP ANUP	例：0000_0001h	Delay_Resp: 1s Sync: 1s Announce: 2s
ANFR	ANUP	0000_0000h	Announce メッセージ flagField
GMPR	ANUP	任意	—
GMCQR	ANUP	任意	—
GMIDRU, GMIDRL	ANUP	任意	—
CUOTSR	ANUP	任意	timeSource: Internal Oscillator
SRR	ANUP	任意	• OC もしくは両ポートがマスタの BC として動作させる場合、0000_0000h を設定してください • BC でスレーブ／マスタとして動作させる場合、スレーブで受信した Announce メッセージの StepsRemoved フィールドの値に 1 を加算した値を設定してください
SYRFL1R	STUP	0000_4001h	Delay_Req メッセージを SYNFP モジュールで処理
SYRFL2R	STUP	0000_0011h	Signaling、Management メッセージを PTPEDMAC へ転送
SYTRENR	STUP	0000_0011h	Sync、Announce メッセージを送信

30.3.7.2 動作の開始手順

E2E マスタ動作の開始手順を図 30.10 に示します。

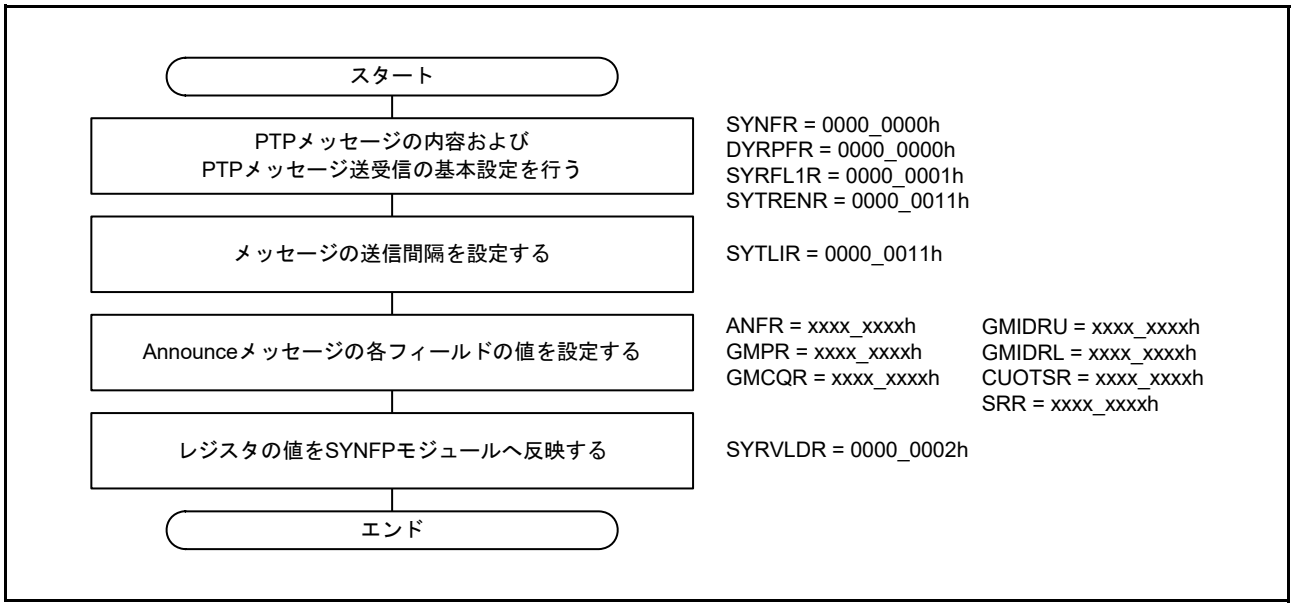


図 30.10 E2E マスタ動作の開始手順

30.3.7.3 設定内容の変更手順

ネットワークの状況によっては、Delay_Req メッセージの受信頻度が上がり、Delay_Req メッセージ受信 FIFO がオーバーフローすることがあります。このような場合には、スレーブの Delay_Req メッセージ送信間隔を長くするために、Delay_Resp メッセージの logMessageInterval フィールド値を変更します。logMessageInterval フィールド値の変更手順を図 30.11 に示します。

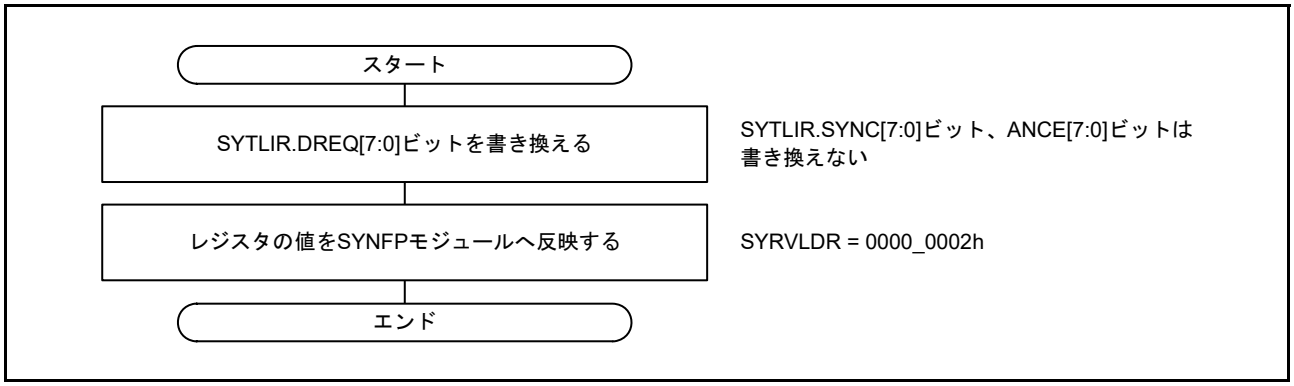


図 30.11 Delay_Resp メッセージの logMessageInterval フィールド値の変更手順

30.3.7.4 動作の停止手順

E2E マスタ動作の停止手順を図 30.12 に示します。SYSR.GENDN フラグと RESDN フラグを読み出してメッセージの生成と応答の送信が停止したことを確認し、動作が完全に停止したことを確認してください。

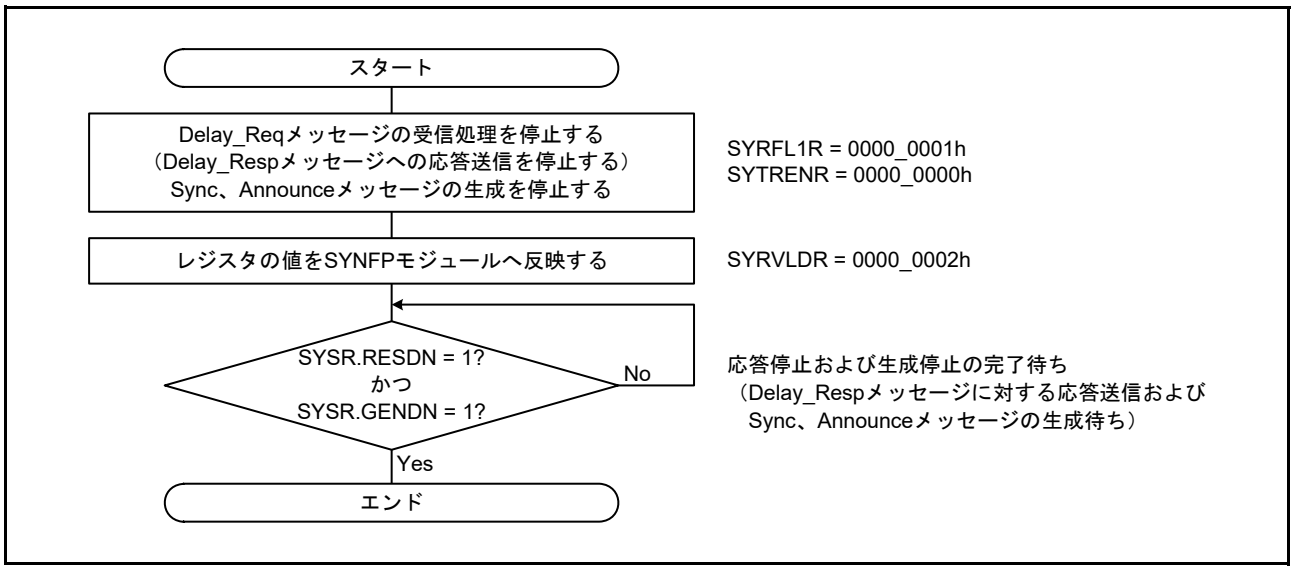


図 30.12 E2E マスタ動作の停止手順

30.3.8 E2E スレーブ動作

30.3.8.1 初期設定

E2E スレーブとして動作させるために使用するレジスタを表 30.20 に示します。レジスタに設定した値を SYNFP の動作に反映させるには、SYRVLDR.STUP ビット、ANUP ビット、または BMUP ビットを 1 にしてください。

表 30.20 E2E スレーブ動作で使用するレジスタ

レジスタ名	ロード指示に使用する SYRVLDR レジスタのビット	設定内容	機能
MTCID	BMUP	任意	同期するマスタクロックの clockIdentity
MTPID	BMUP	任意	同期するマスタクロックの portNumber
SYTLIR	ANUP BMUP	0000_0000h	Delay_Resp: 1s（注1）
RSTOUTR	STUP	任意	—
SYNTOR	—	任意	—
SYRFL1R	STUP	0004_0441h	Delay_Resp、Follow_Up、Sync メッセージを受信 Announce メッセージを PTPEDMAC へ転送
SYRFL2R	STUP	0000_0011h	Signaling、Management メッセージを PTPEDMAC へ転送
SYTRENR	STUP	0000_0100h	Delay_Req メッセージを生成

注 1. Delay_Resp メッセージを受信した場合、E2E スレーブは、SYTLIR.DREQ[7:0] ビットを、SYRLIR.DRESP[7:0] フラグに表示される値に更新する必要があります。なお、SYTLIR.DREQ[7:0] ビットに指定できる値の範囲は -7 ～ +6 です。SYRLIR.DRESP[7:0] フラグに表示された値が -8 以下である場合は -7 を、7 以上である場合は 6 を SYTLIR.DREQ[7:0] ビットに設定してください。

30.3.8.2 動作の開始手順

E2E スレーブ動作の開始手順を図 30.13 に示します。

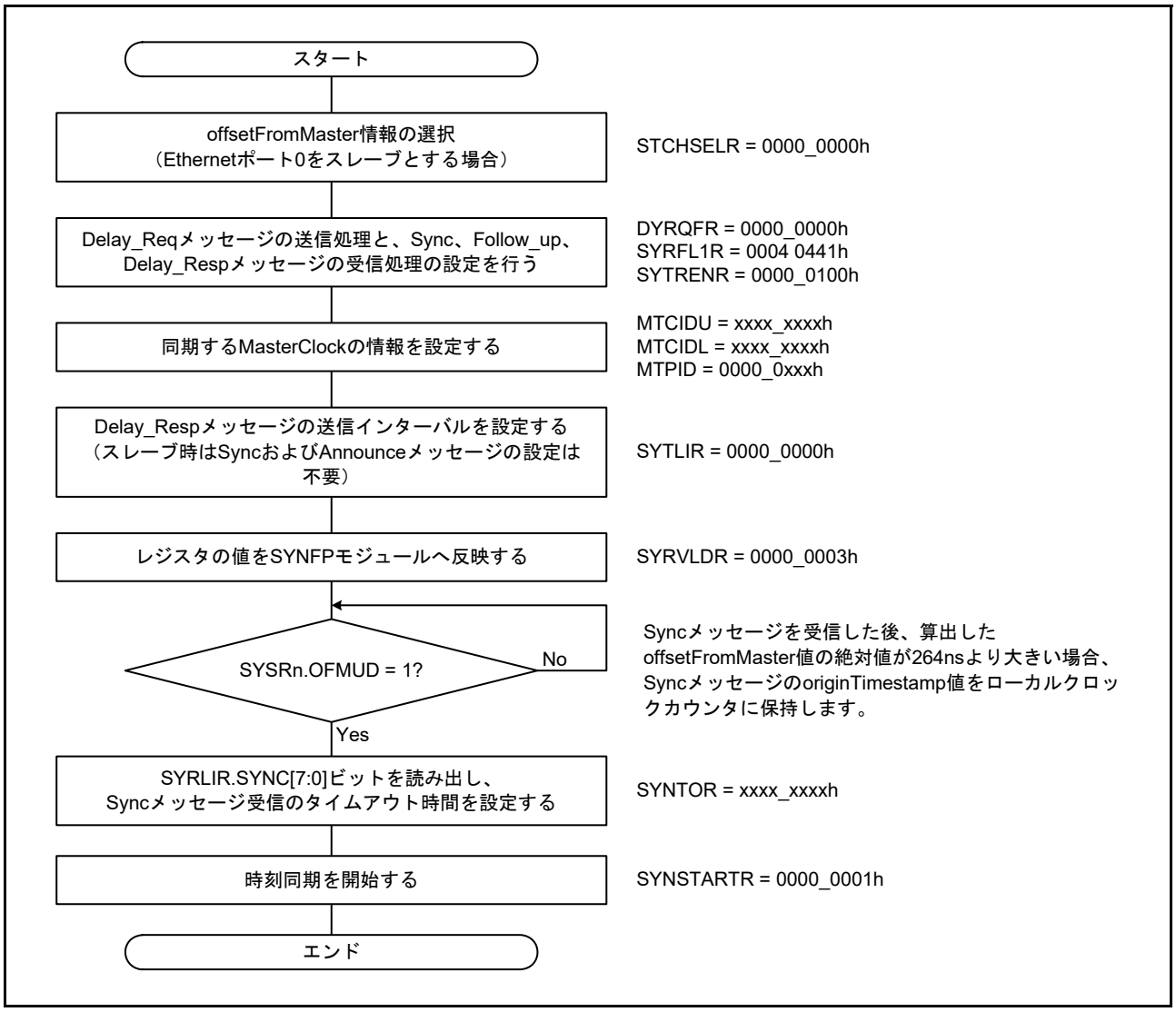


図 30.13 E2E スレーブ動作の開始手順

30.3.8.3 設定内容の変更手順

IEEE 1588 の規定では、Delay_Req メッセージの平均送信間隔は、受信した Delay_Resp メッセージの logMessageInterval フィールドの値に合わせる必要があります。EPTPC では、受信したメッセージの logMessageInterval 値が先に受信した値と異なっていると、SYSR.INTCHG フラグが 1 になります。

この場合、SYTLIR.DREQ[7:0] ビットに、SYRLIR.DRESP[7:0] フラグの値を設定する必要があります。なお、SYTLIR.DREQ[7:0] ビットに指定できる値の範囲は -7 ～ +6 です。SYRLIR.DRESP[7:0] フラグに表示された値が -8 以下である場合は -7 を、7 以上である場合は 6 を SYTLIR.DREQ[7:0] ビットに設定してください。

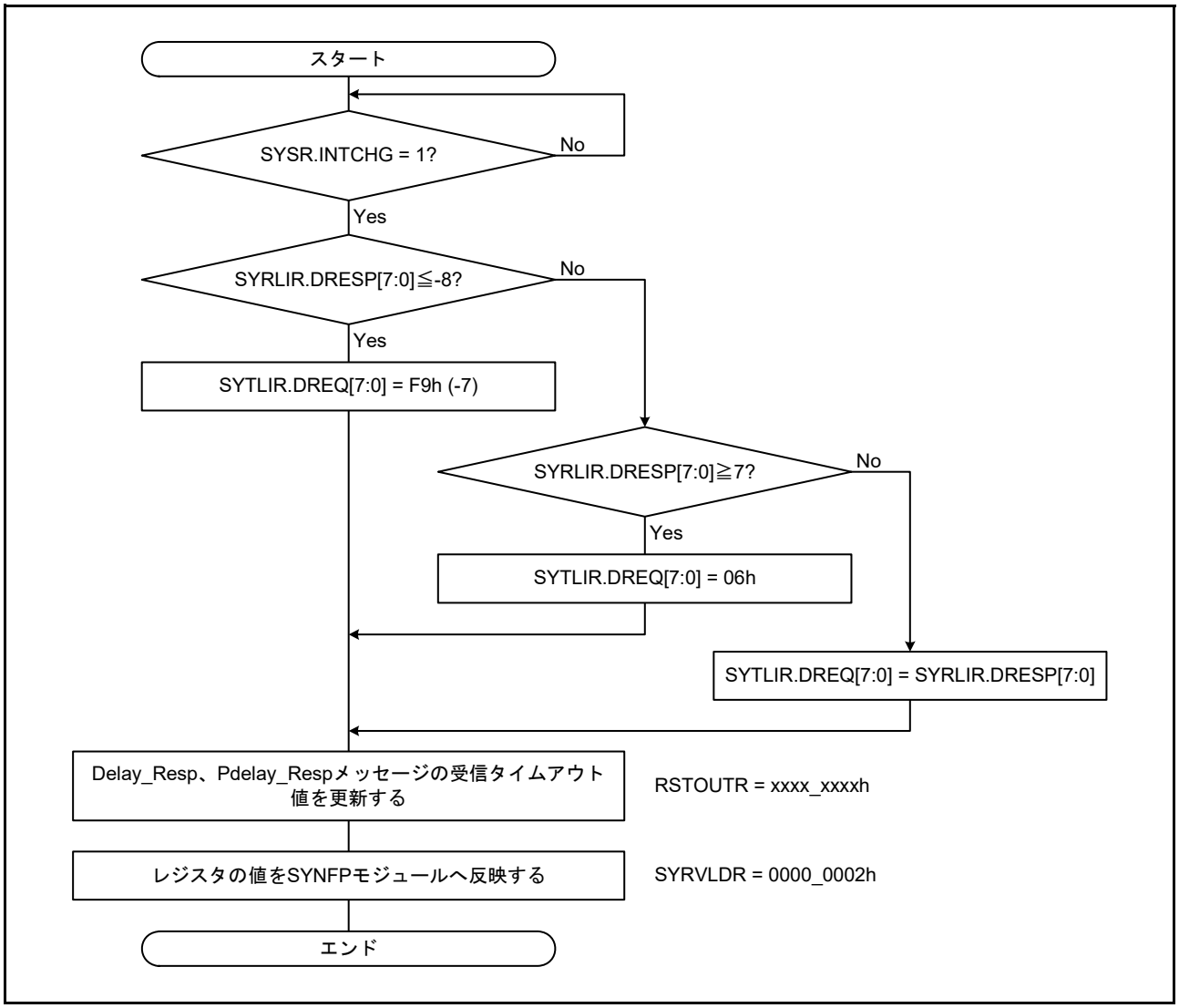


図 30.14 Delay_Req メッセージの送信間隔の変更手順

30.3.8.4 動作の停止手順

E2E スレーブ動作の停止手順を図 30.15 に示します。SYSR.GENDN フラグで、生成停止の完了を確認し、E2E スレーブ動作の停止完了を確認してください。

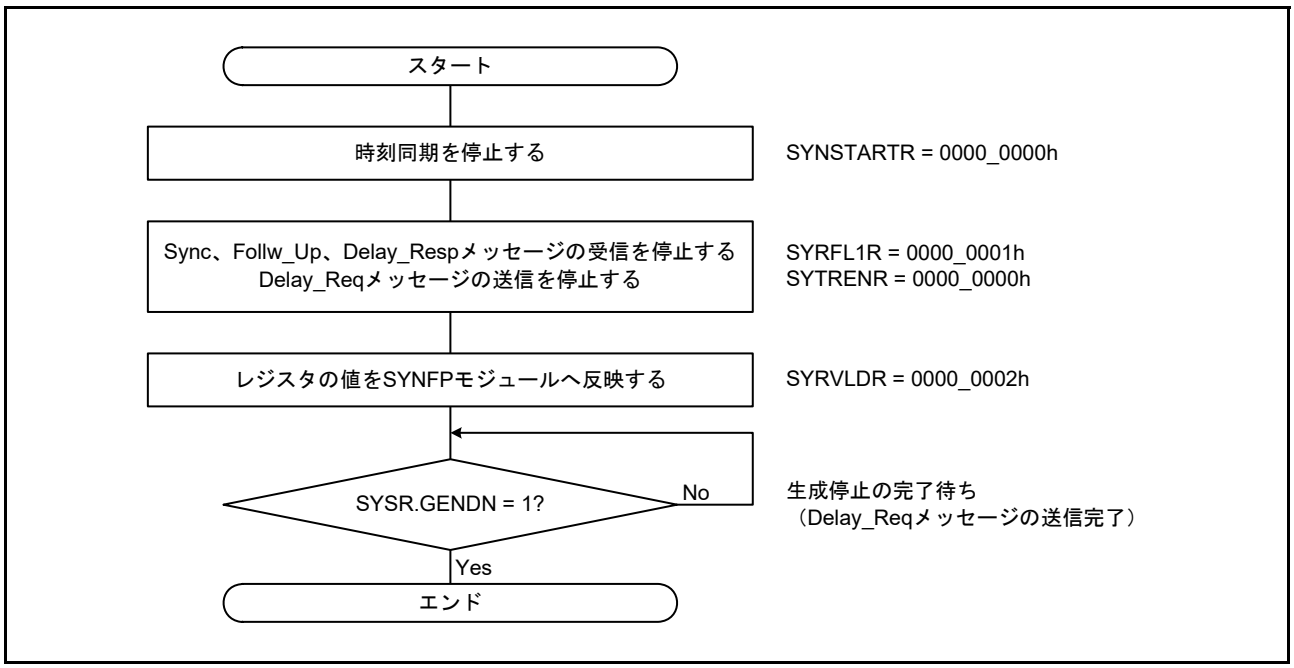


図 30.15 E2E スレーブ動作の停止手順

30.3.9 P2P 動作（マスタおよびスレーブ共通）

P2P 動作で使用するレジスタを表 30.21 に示します。EPTPC を P2P プロトコルで動作させる場合、マスタあるいはスレーブ動作にかかわらず、PTP-pdelay メッセージは SYNFP モジュールで処理されます。また、Pdelay_Req メッセージの送信間隔と、Pdelay_Resp メッセージの受信監視パラメータの設定が必要です。

表 30.21 P2P動作で使用するレジスタ

レジスタ名	ロード指示に使用する SYRVLDR レジスタのビット	設定内容	機能
MTCID	BMUP	任意	同期するマスタクロックのclockIdentity
MTPID	BMUP	任意	同期するマスタクロックのportNumber
SYTLIR	ANUP STUP	0000_0000h	Announce: — Sync: — Pdelay_Req: 1s
RSTOUTR	STUP	任意	—
SYRFL1R	STUP	4440_0001h	Pdelay_Req、Pdelay_Resp、Pdelay_Resp_Follow_Up メッセージを受信 AnnounceメッセージをPTPEDMACへ転送
SYRFL2R	STUP	0000_0011h	Signaling、ManagementメッセージをPTPEDMACへ転送
SYTRENR	STUP	0000_1000h	Pdelay_Reqメッセージを生成

30.3.9.1 動作の開始手順

P2P 動作（PTP-pdelay メッセージの送受信）を開始するための手順を図 30.16 に示します。

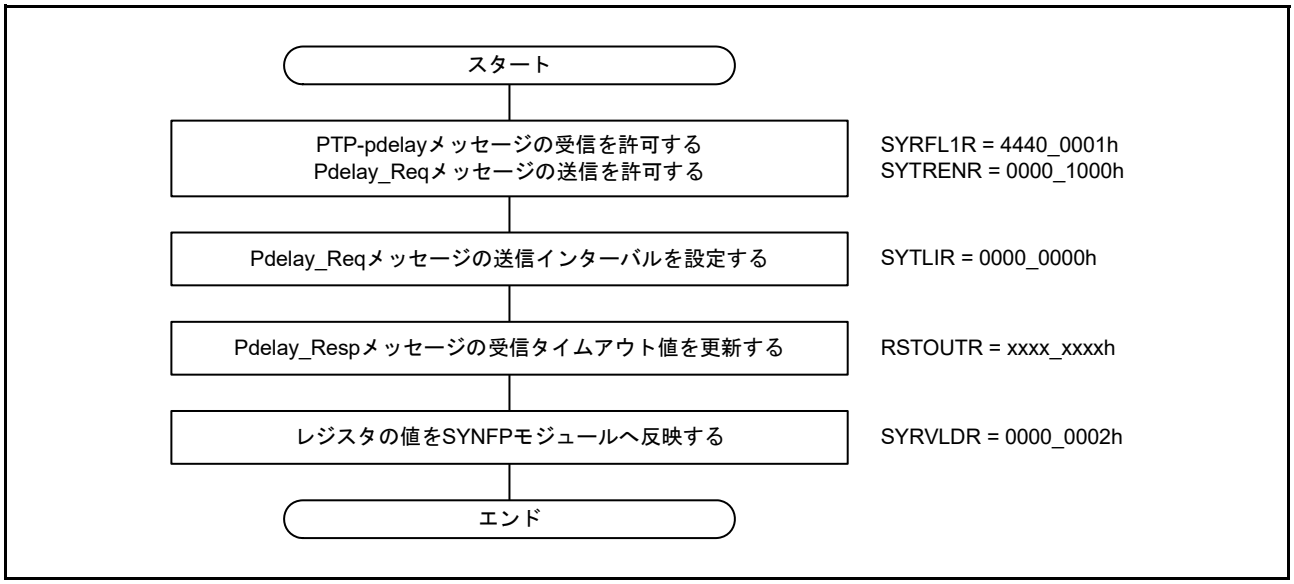


図 30.16 P2P 動作開始手順

30.3.9.2 動作の停止手順

P2P 動作（PTP-pdelay メッセージの送受信）を停止するための手順を図 30.17 に示します。

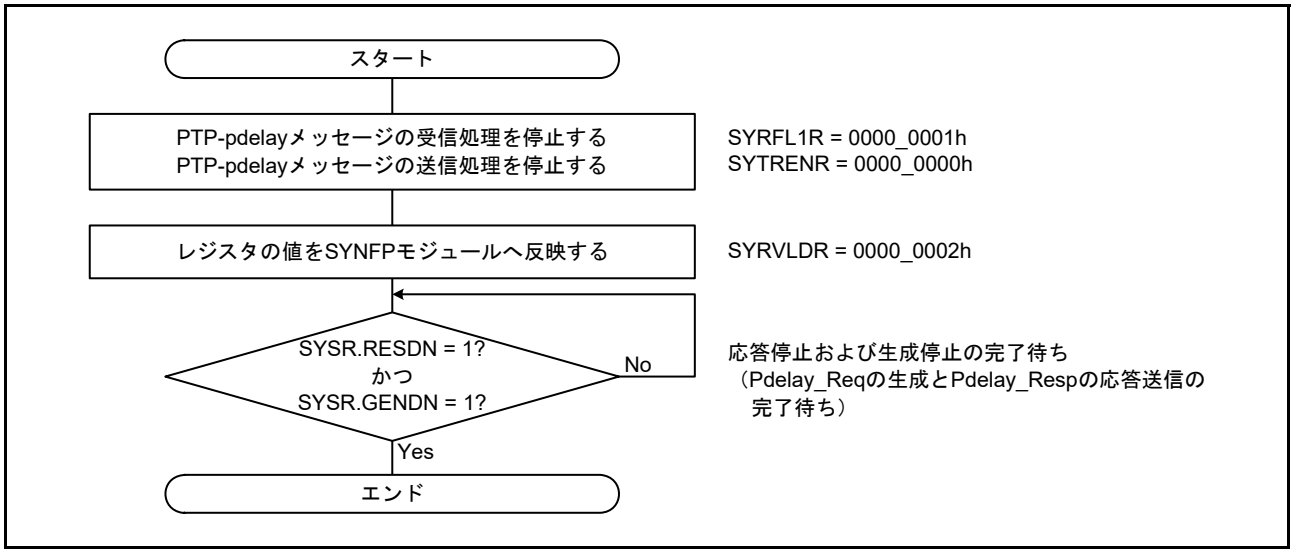


図 30.17 P2P 動作停止手順

30.3.10 P2P マスタ動作

P2P マスタとして動作させるために使用するレジスタを表 30.22 に示します。OC、もしくは両方の Ethernet ポートがマスタである BC として動作させる場合、必要に応じて事前に時刻情報の初期値を設定してください。この値については、30.2.18 ローカルクロックカウンタ初期値レジスタ（LCIVRU、LCIVRM、LCIVRL）を参照してください。

表 30.22 P2Pマスタ動作で使用するレジスタ

レジスタ名	ロード指示に使用するSYRVLDRレジスタのビット	設定内容	機能
SYCONFR	—	0000_0028h	—
ANFR	ANUP	0000_0000h	Announceメッセージ flagField
SYNFR	STUP	0000_0000h	Syncメッセージ flagField
SYTLIR	ANUP STUP	0000_0001h	Announce: 2s Sync: 1s Pdelay_Req: 1s
GMPR	ANUP	任意	Grandmaster Priority1 およびPriority2
GMCQR	ANUP	任意	Grandmaster Quality
GMIDR	ANUP	任意	Grandmaster Identity
CUOTSR	ANUP	任意	currentUtcOffset、timeSource
SRR	ANUP	任意	StepsRemoved
RSTOUTR	STUP	任意	—
SYRFL1R	STUP	4440_0000h	Pdelay_Req、Pdelay_Resp、Pdelay_Resp_Follow_Up メッセージを受信
SYRFL2R	STUP	0000_0011h	Signaling、Managementメッセージを PTPEDMACへ転送
SYTRENR	STUP	0000_1011h	Pdelay_Req、Sync、Announceメッセージを送信

30.3.10.1 動作の開始手順

P2P 動作（PTP-pdelay メッセージの送受信）中に、Sync メッセージ、Announce メッセージの送信を開始すると、P2P マスタとして動作します。P2P マスタ動作の開始手順を図 30.18 に示します。

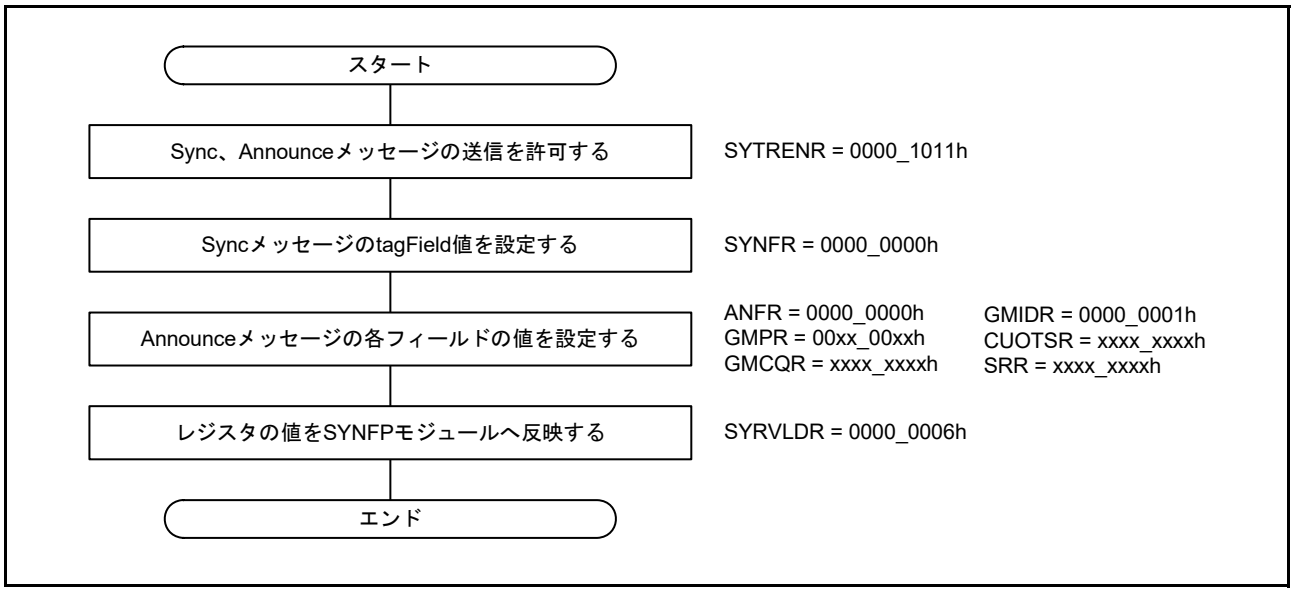


図 30.18 P2P マスタ動作の開始手順

30.3.10.2 動作の停止手順

P2P マスタとしての動作を停止するため、Sync メッセージと Announce メッセージの送信を停止する手順を図 30.19 に示します。

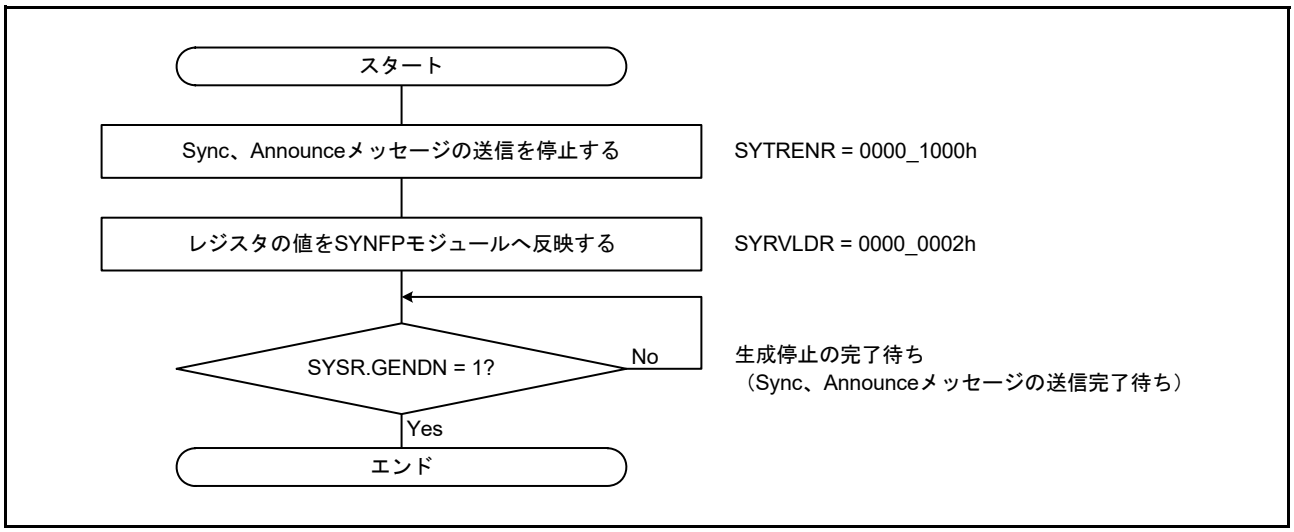


図 30.19 P2P マスタ動作の停止手順

30.3.11 P2P スレーブ動作

P2P スレーブとして動作させるために使用するレジスタを表 30.23 に示します。P2P 動作中に、Sync メッセージと Follow_Up メッセージを SYNFP モジュールで受信するように設定することで、P2P スレーブとして動作します。同期させるマスタクロックの情報を指定する必要があります。

表 30.23 P2Pスレーブ動作で使用するレジスタ

レジスタ名	ロード指示に使用するSYRVLDRレジスタのビット	設定内容	機能
MTCID	BMUP	任意	同期するマスタクロックのclockIdentity
MTPID	BMUP	任意	同期するマスタクロックのportNumber
RSTOUTR	STUP	任意	—
SYRFL1R	STUP	4440_0441h	Pdelay_Req、Pdelay_Resp、Pdelay_Resp_Follow_Up、Follow_Up、Syncメッセージを受信 AnnounceメッセージをPTPEDMACへ転送

30.3.11.1 動作の開始手順

P2P 動作（PTP-pdelay メッセージの送受信）中に、スレーブ動作に遷移するための追加設定を行う手順を図 30.20 に示します。

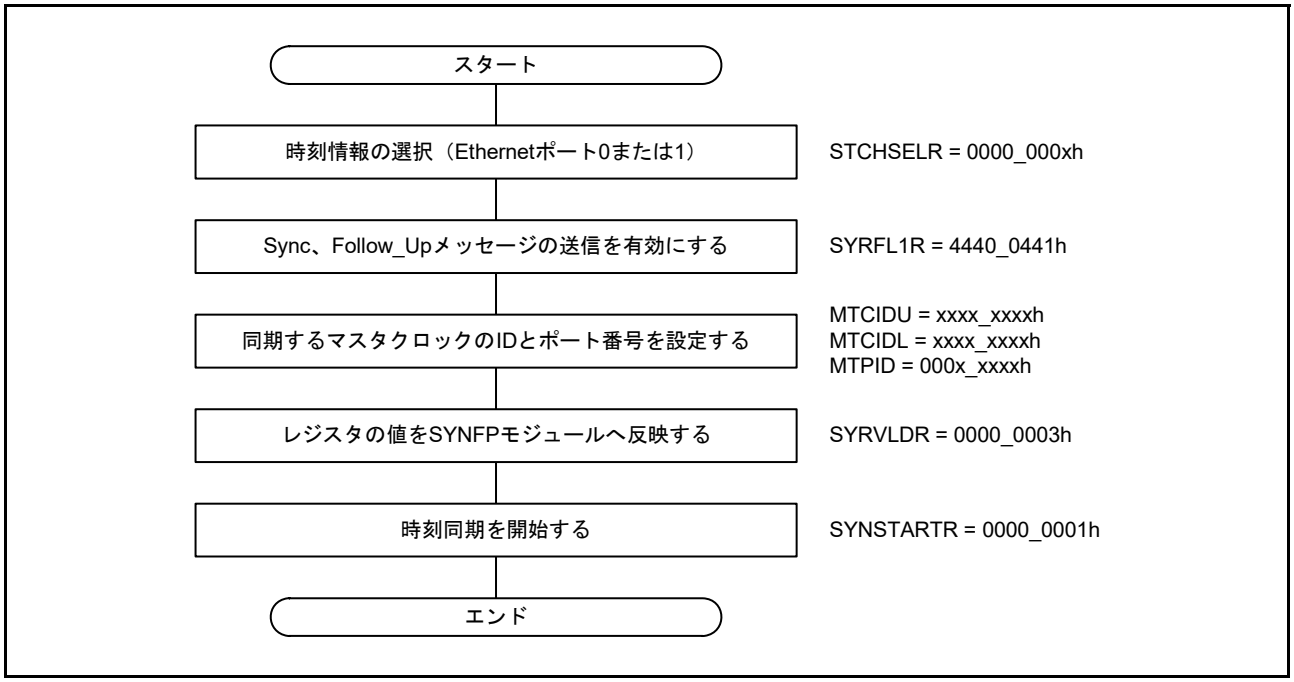


図 30.20 P2P スレーブ動作の開始手順

30.3.11.2 動作の停止手順

P2P スレーブとしての動作を停止するため、Sync メッセージと Follow_Up メッセージの受信を停止する手順を図 30.21 に示します。

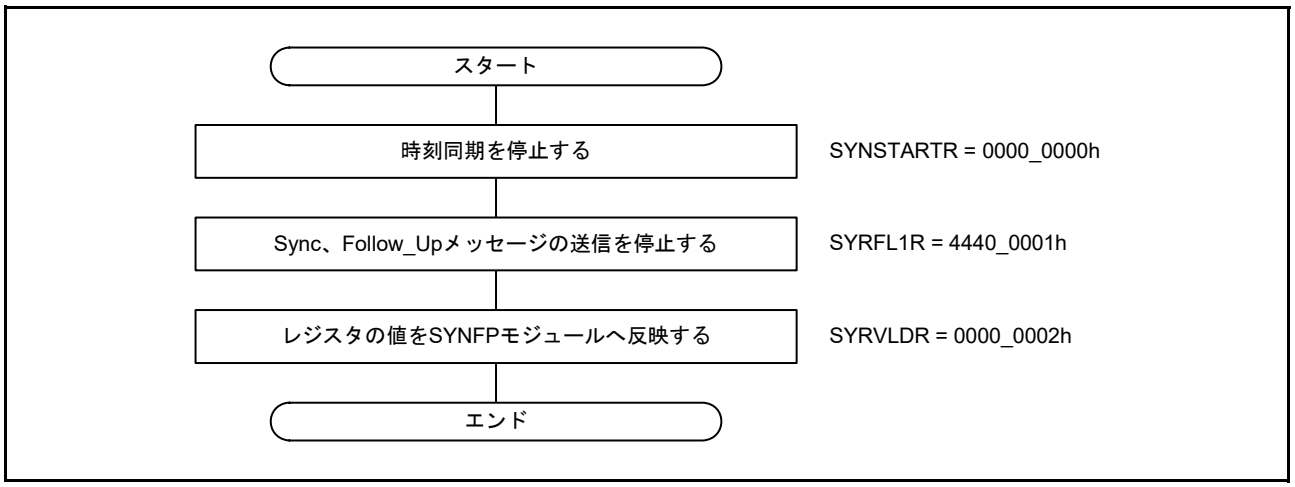


図 30.21 P2P スレーブ動作の停止手順

30.3.12 E2E TC 動作

30.3.12.1 初期設定

E2E TC として動作させるために使用するレジスタを表 30.24 に示します。SYNFP0 モジュールと SYNFP1 モジュールの両方に設定を行ってください。

表 30.24 E2E TC動作で使用されるレジスタ

レジスタ名	ロード指示に使用する SYRVLDR レジスタのビット	設定内容	機能
SYCONFR	—	例：0000_0028h	PTP デバイス初期設定でTCMOD ビットを0にしてください。
SYRFL1R	STUP	2222_2222h	各メッセージをPRC-TC で中継
SYRFL2R	STUP	2000_0033h	Signaling、Management メッセージをPTPEDMAC へ転送するとともにPRC-TC で中継
SYTRENR	STUP	0000_0000h	メッセージの生成なし

30.3.12.2 動作の開始手順

E2E TC としての動作を開始するための手順を図 30.22 に示します。

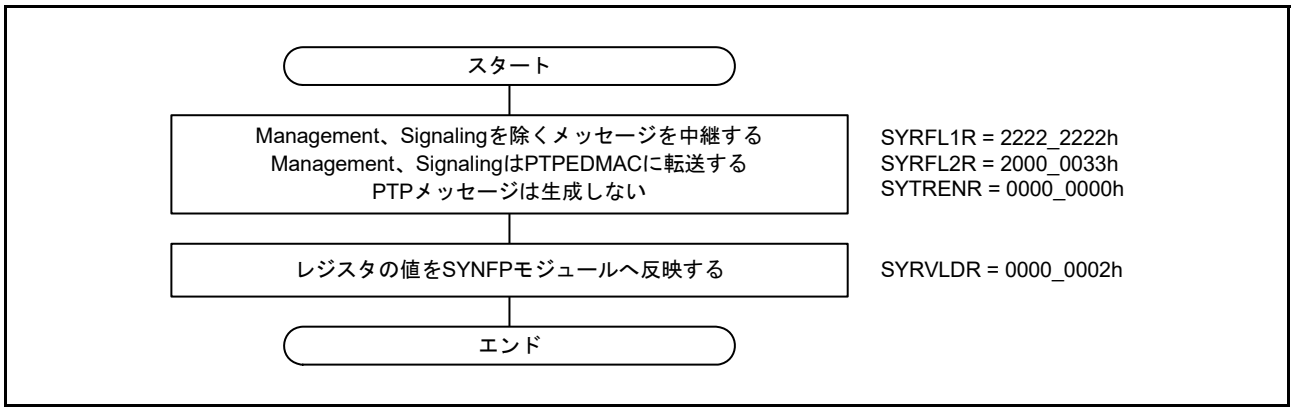


図 30.22 E2E TC 動作の開始手順

30.3.13 P2P TC 動作

P2P TC として動作させるために使用するレジスタを表 30.25 に示します。SYNFP0 モジュールと SYNFP1 モジュールの両方に設定を行ってください。

表 30.25 P2P TC動作で使用されるレジスタ

レジスタ名	ロード指示に使用する SYRVLDR レジスタのビット	設定内容	機能
SYCONFR	—	例：0010_0028h	PTP デバイス初期設定でTCMOD ビットを1にしてください。
RSTOUTR	STUP	任意	—
SYTLIR	STUP	例：0000_0000h	Pdelay_Req: 1s
SYRFL1R	STUP	4440_0222h	Delay_Req、Delay_Resp メッセージを破棄、Sync、Follow_Up、Announce メッセージをPRC-TC で中継
SYRFL2R	STUP	2000_0033h	Signaling、Management メッセージをPTPEDMAC へ転送するとともにPRC-TC で中継
SYTRENR	STUP	0000_1000h	Pdelay_Req メッセージを生成

30.3.13.1 動作の開始手順

P2P TC としての動作を開始するための手順を図 30.23 に示します。

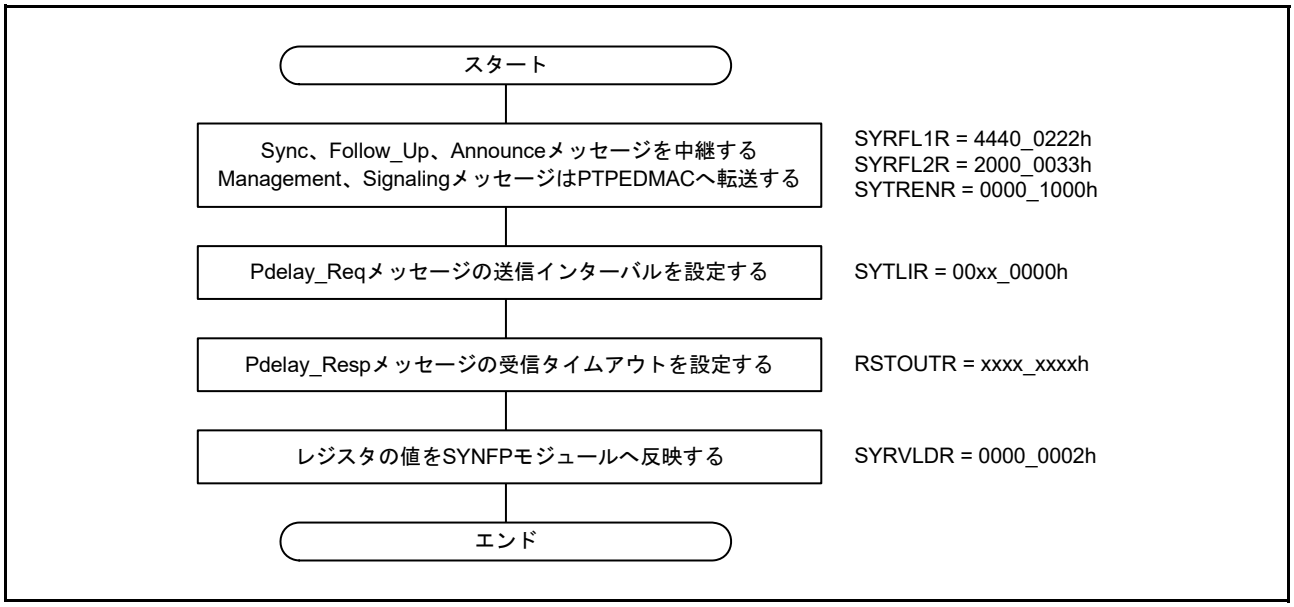


図 30.23 P2P TC 動作の開始手順

30.3.14 メッセージ受信の監視

30.3.14.1 Announce メッセージの受信

EPTPC は、Announce メッセージの受信時にタイムアウトを検出しません。タイムアウトを検出するには、ソフトウェアで Announce メッセージの受信を監視する必要があります。

30.3.14.2 Sync メッセージの受信

時刻同期の補正中の Sync メッセージ受信時にタイムアウトが発生すると、STSR.SYNTOUT フラグが 1 になります。

また、時刻同期の補正中であるかどうかにかかわらず、Sync メッセージを受信すると、SYSR.OFMUD フラグが 1 になります。このため、Sync メッセージの受信タイムアウトにより時刻同期の補正が停止している場合でも、このフラグを参照することで、Sync メッセージの受信を検出することができます。

30.3.14.3 Delay_Resp、Pdelay_Resp メッセージの受信

E2E スレーブ動作時に Delay_Req メッセージの送信後に Delay_Resp メッセージの受信タイムアウトが発生したとき、あるいは P2P 動作時に Pdelay_Req メッセージの送信後に Pdelay_Resp メッセージの受信タイムアウトが発生したとき、SYSR.DRPTO フラグが 1 になります。

Delay_Resp メッセージまたは Pdelay_Resp メッセージを受信すると、SYSR.MPDUD フラグが 1 になるため、受信タイムアウト発生後であっても、Delay_Resp メッセージまたは Pdelay_Resp メッセージの受信を検出することができます。

30.3.15 時刻同期の補正機能

スレーブは、マスタクロックに対するクロックの傾き差分を算出します。クロックの傾き差分の算出には、IEEE 1588 規格に基づいたアルゴリズムで算出される offsetFromMaster 値を使用するため、周波数差ではないネットワークのゆらぎ成分も含まれています。ネットワーク負荷やその他の動的条件によるゆらぎ成分の除去のために、EPTPC はワースト 10 機能を有しています。得られた傾き差分値を元に時刻補正を行うことで、図 30.25 に示すような補正結果が得られます。

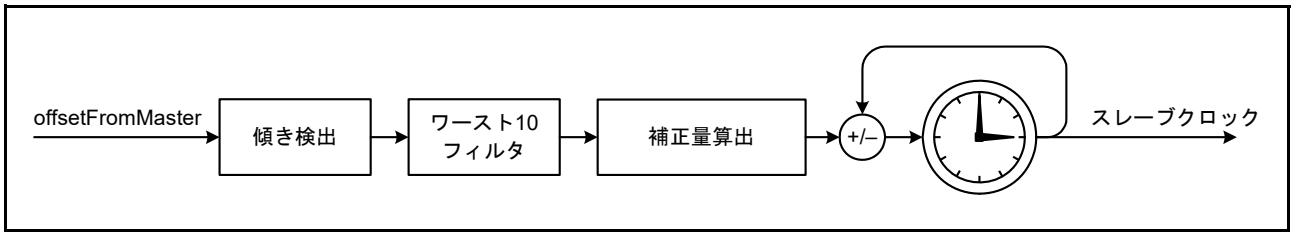


図 30.24 時刻補正回路の構成

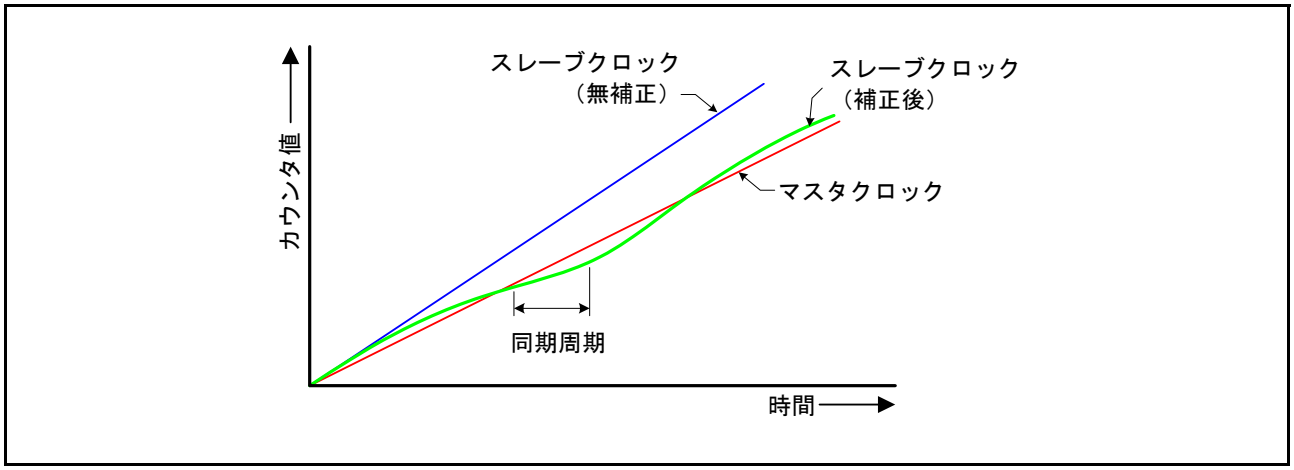


図 30.25 時刻補正の概念

30.3.15.1 同期外れおよび同期状態の判定

offsetFromMaster の絶対値が SYNTDARU または SYNTDARL レジスタに指定されている値以上になると、同期外れが検出されます。同期状態とは、offsetFromMaster の絶対値が、SYNTDBRU、SYNTDBRL レジスタで指定した値未満になったことを指します。

同期外れ状態になると STSR.SYNCOUT フラグが 1 になり、同期状態になると STSR.SYNC フラグが 1 になります。それぞれのしきい値を異なる値にすることで、ヒステリシスを持たせることができます。また、STMR.DVTH[3:0]、SYTH[3:0] ビットによって、何回連続で検出すれば同期または同期外れ状態と判定するかを指定することもできます。

ネットワークの揺らぎによる同期外れにより制御を中断させる必要のあるシステムにおいては、SYNTDARU、SYNTDARL レジスタの設定値を小さな値にし、同期外れ判定の連続検出回数を 1 回にします。そのような必要がないシステムの場合には、SYNTDARU、SYNTDARL レジスタの設定値および連続検出回数を大きな値にします。

同期外れ発生および同期状態の回復例を図 30.26 に示します。この例では同期外れおよび同期状態と判定する連続検出回数を、ともに 3 回としています。

注 . STSR.SYNCOUT フラグは、同期外れと判定される条件が発生していなくても、時刻同期を開始したときに 1 になります。そのため、時刻同期を開始した直後の同期外れ検出は無視する必要があります。

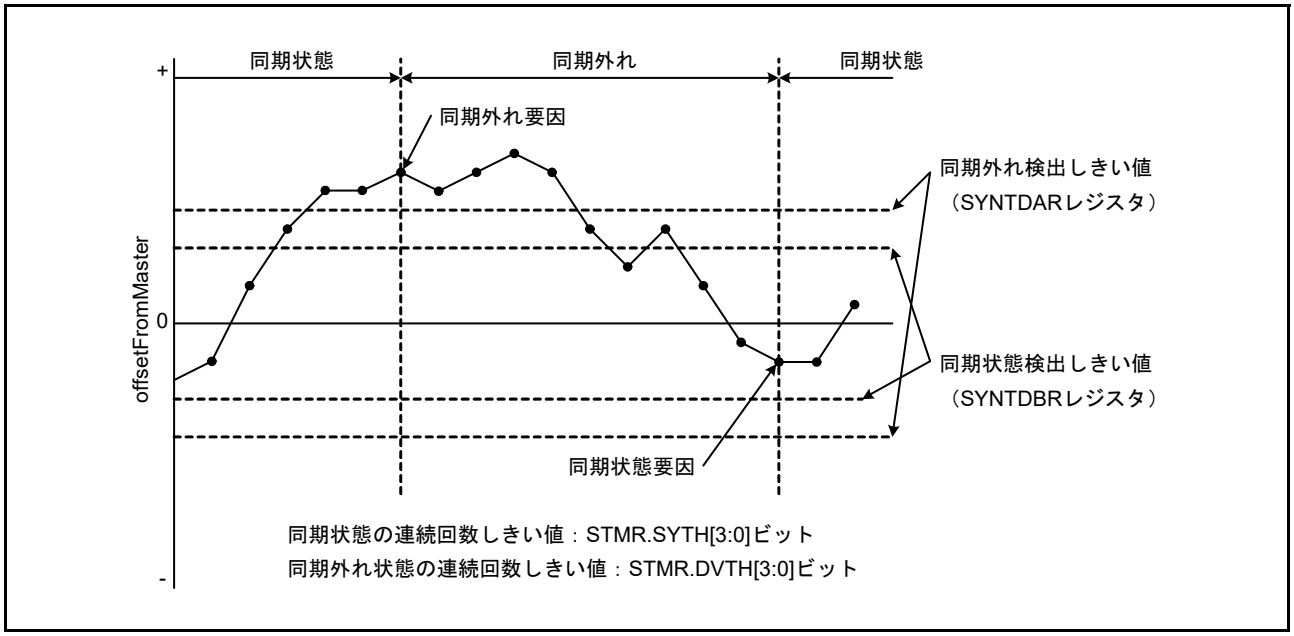


図 30.26　同期外れおよび同期状態の発生例（STMR.DVTH[3:0] ビットおよび SYTH[3:0] ビットで連続検出回数を 3 回に指定）

30.3.15.2　ワースト 10 機能

ワースト 10 機能とは、算出したクロック傾き差分のうち、過大または過小な値に対して制限をかけるための機能です。これらの値は、一定期間の通信状態を観測してクロックの傾き差分を収集し、その中から選出します。クロック誤差だけでなくネットワークの揺らぎも考慮して、図 30.27 に示すようなプラス、マイナス両方の値を収集します。

収集したプラスおよびマイナスの傾き差分の内、傾きの大きい値の 1 位から 10 位（ワースト 1 からワースト 10）を抽出して並べ、ワースト 10 値をしきい値として使用します。このしきい値を超える大きさの値をワースト 10 値に置き換えることで、スレーブクロックの時刻揺らぎを抑制することができます。事前に測定した結果からしきい値を設定する方法を使用したり、動作中にしきい値を更新するために、傾き差分の定期的な収集を行うことも可能です。

なお、ワースト 10 値による傾き差分値のフィルタリングを有効にすることで、スレーブクロックの揺らぎを抑制できますが、マスタクロックへの追従は遅くなります。

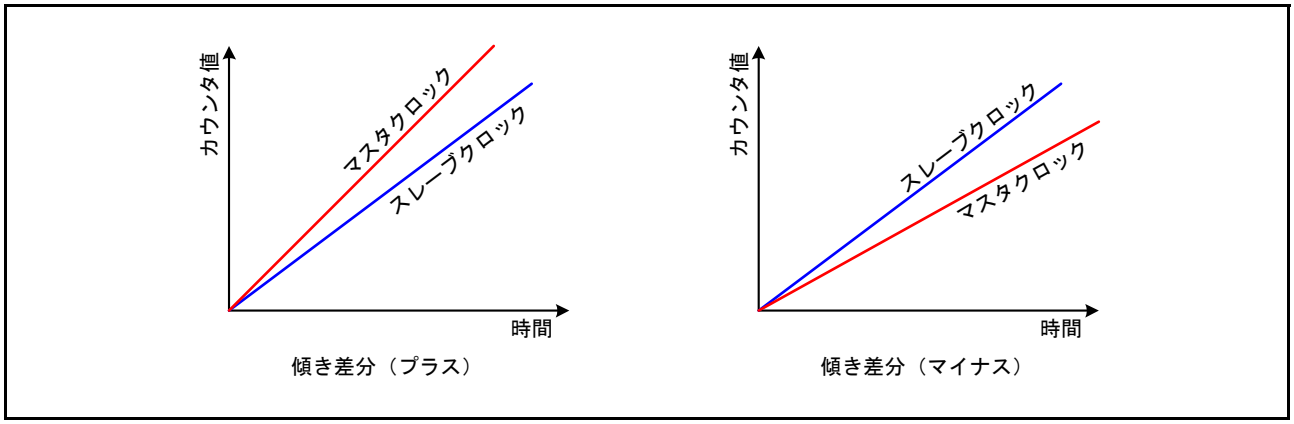


図 30.27　傾き差分の概念

30.3.15.3 クロック傾き差分値の収集とワースト 10 値の選出

EPTPC は、スレーブ動作時、受信したメッセージから offsetFromMaster 値を算出し、そこからマスタクロックと自身のクロック（スレーブクロック）との傾き差分を算出することができます。収集した傾き差分値の集合から、ワースト 10 値を選出します。ワースト 10 値の取得開始とフィルタリングの実施方法として、ハードウェアで自動的に行う方法と、ソフトウェアで指示する方法の 2 種類があります。傾き差分値収集の概念を図 30.28 に示します。

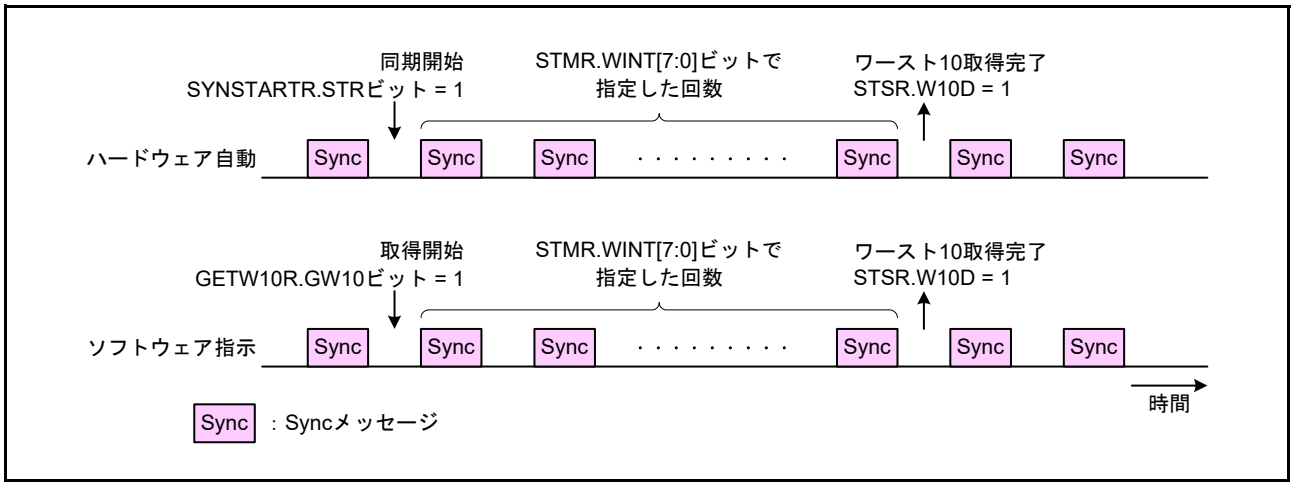


図 30.28 傾き差分値収集の概念

(1) ハードウェアによる傾き差分の収集およびワースト 10 値の選出

STMR.W10S ビットが 0 のとき、EPTPC はハードウェアで傾き差分値の収集を行います。

SYNSTARTR.STR ビットを 1（スレーブ時刻同期を開始）にすると、EPTPC は STMR.WINT[7:0] ビットで指定された回数分、傾き差分値を収集します。傾き差分値の収集が終了すると、プラス側とマイナス側のそれぞれ値の大きい方から 10 番目の値をワースト 10 値として、PW10VRU、PW10VRM、PW10VRL レジスタおよび MW10RU、MW10RM、MW10RL レジスタに格納します。ワースト 10 値の取得が完了すると、STSR.W10D フラグが 1 になります。傾き差分値のフィルタリングは、格納したワースト 10 値を使用して自動的に行われます。

STMR.WINT[7:0] ビットに指定した回数が 10 回に満たない場合、収集した内でのプラス側の最良値の 2 倍の値を PW10VRU、PW10VRM、PW10VRL レジスタに格納します。マイナス側の最良値の ½ の値を MW10RU、MW10RM、MW10RL レジスタに格納します。

(2) ソフトウェアによる傾き差分の収集およびワースト 10 値の選出

STMR.W10S ビットが 1 のとき、EPTPC はソフトウェアで傾き差分値の収集を行います。

時刻同期開始後に GETW10R.GW10 ビットを 1 にすると、EPTPC は STMR.WINT[7:0] ビットで指定された回数分、傾き差分値を収集します。傾き差分値の収集が終了すると、プラス側とマイナス側のそれぞれ値の大きい方から 10 番目の値をワースト 10 値として、PW10VRU、PW10VRM、PW10VRL レジスタおよび MW10RU、MW10RM、MW10RL レジスタに格納します。ワースト 10 値の取得が完了すると、STSR.W10D フラグが 1 になります。

傾き差分値のフィルタリングは、PLIMITRU、PLIMITRM、PLIMITRL レジスタの値をフィルタリングの上限値、そして MLIMITRU、MLIMITRM、MLIMITRL レジスタの値を下限値として行われるので、PW10VRU、PW10VRM、PW10VRL レジスタと MW10RU、MW10RM、MW10RL レジスタに格納された値を、それぞれ PLIMITRU、PLIMITRM、PLIMITRL レジスタと MLIMITRU、MLIMITRM、MLIMITRL レジスタに書き込む必要があります。

STMR.WINT[7:0] ビットに指定した回数が 10 回に満たない場合、収集した内でのプラスの最良値の 2 倍の値を PW10VRU、PW10VRM、PW10VRL レジスタに格納します。マイナス側の最良値の ½ の値を MW10RU、MW10RM、MW10RL レジスタに格納します。

ソフトウェアによるワースト 10 値の取得手順の例を図 30.29 に示します。

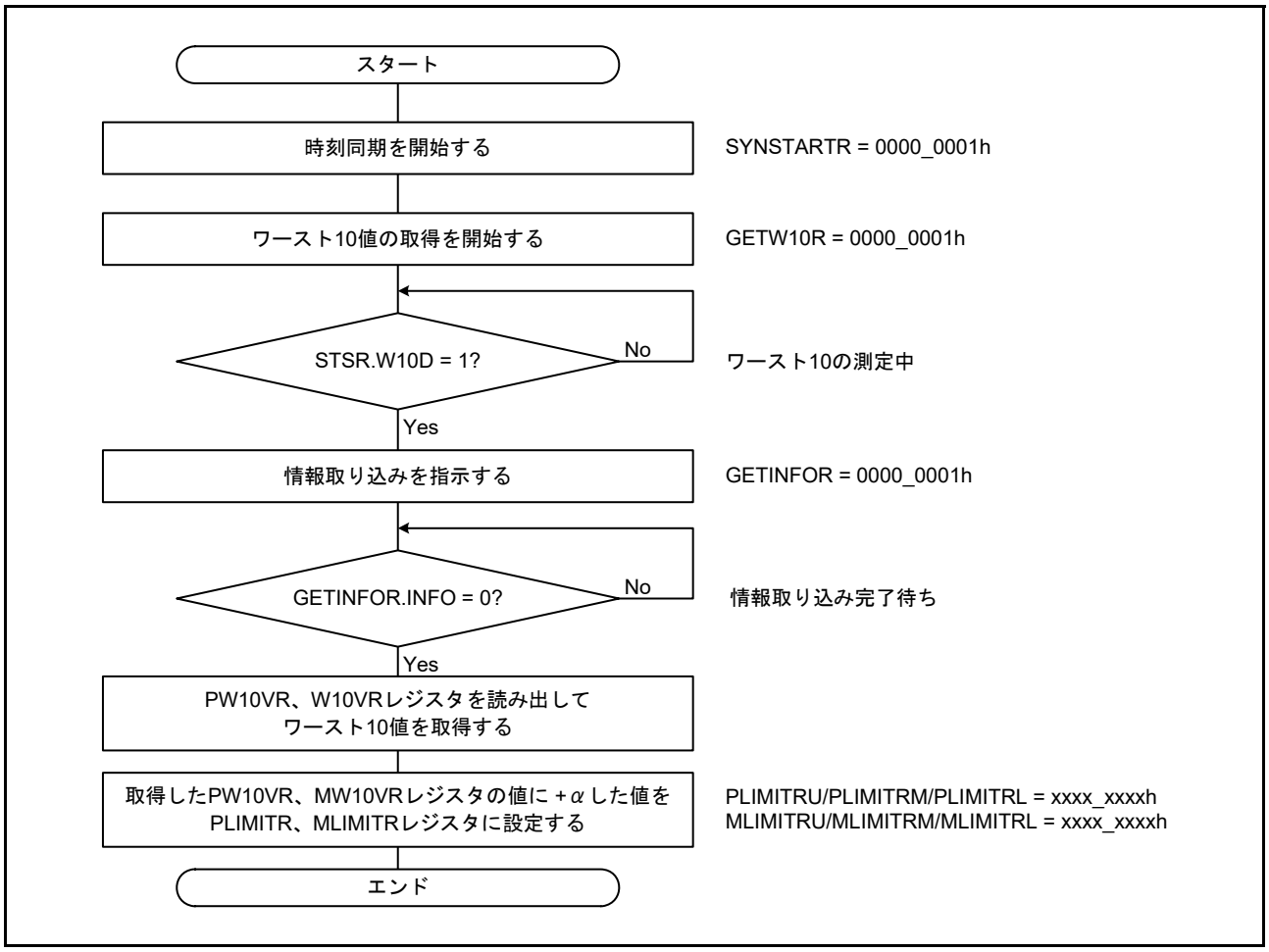


図 30.29 ソフトウェアによるワースト 10 値取得手順例

30.3.16 ローカルクロックカウンタ

ローカルクロックカウンタとは、同期された時刻情報を保持するカウンタです。ETHERC のモジュールストップ解除後、または EPTPC のソフトウェアリセット解除後に 0 からカウントを開始します。ローカルクロックカウンタには初期値として任意の値を設定することができます。ローカルクロックカウンタの初期値の設定手順を図 30.30 に示します。

また、ローカルクロックカウンタの時刻情報を読み出すこともできます。ローカルクロックカウンタの時刻情報の読み出し手順を図 30.31 に示します。

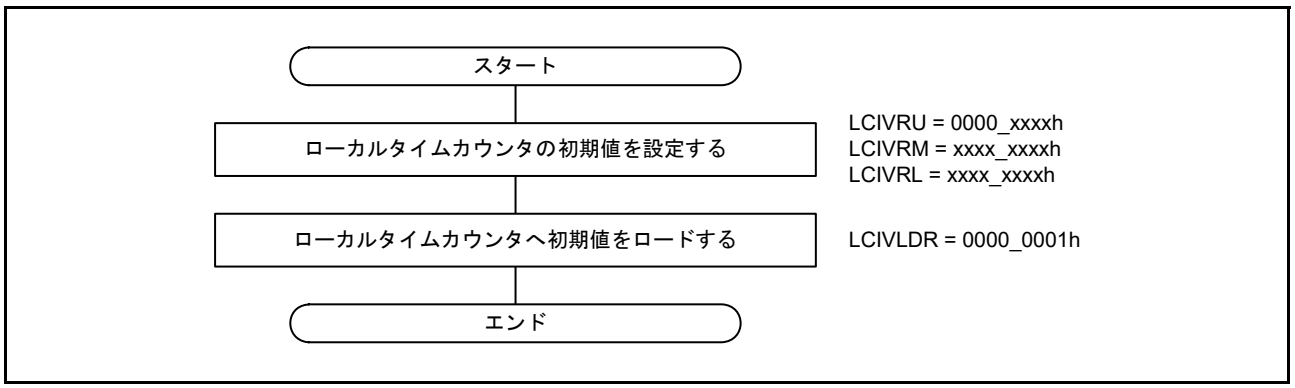


図 30.30 ローカルクロックカウンタへの初期値設定の手順

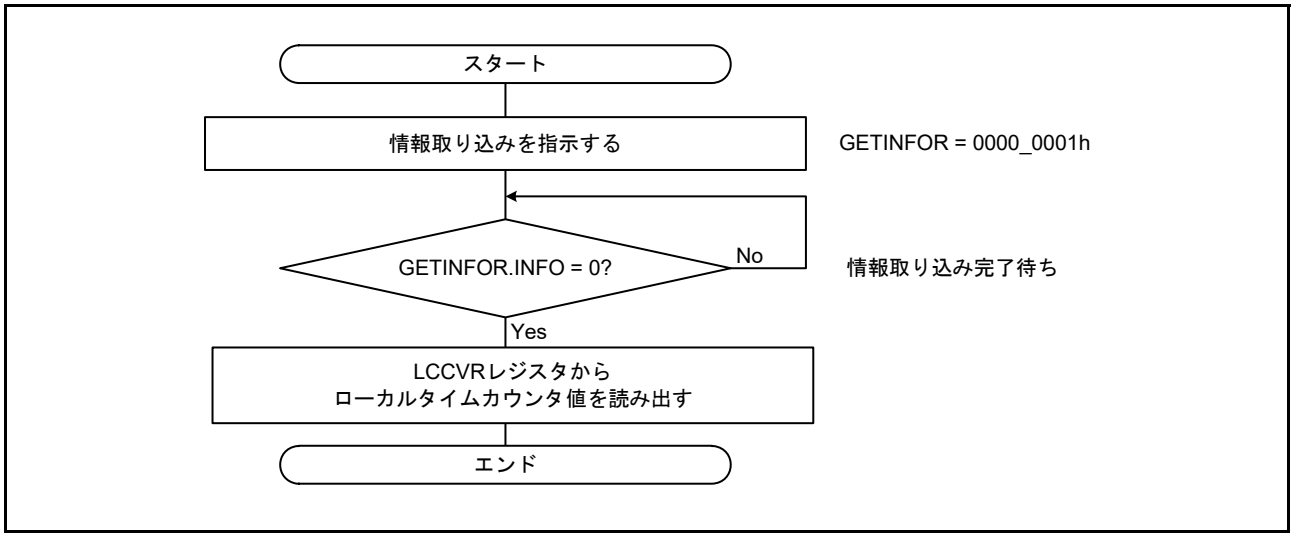


図 30.31 ローカルクロックカウンタからの時刻の読み出し手順

30.3.17 パルス出力タイマ

EPTPC の STCA モジュールには、それぞれ独立して動作するタイマが 6 チャネル（パルス出力タイマ 0 ～パルス出力タイマ 5）内蔵されています。パルス出力タイマはそれぞれに周期パルスを生成することができ、周期パルスの立ち上がりエッジや立ち下がりエッジで、割り込み要求を生成したり ELC へのイベント出力を行ったりできます。また、パルス出力タイマは動作開始時刻（t_{start}）、周期パルスの周期（t_c）およびパルス幅（t_w）を指定することができます。

図 30.32 にパルス出力タイマの動作タイミングを、表 30.26 に設定の制限事項を示します。

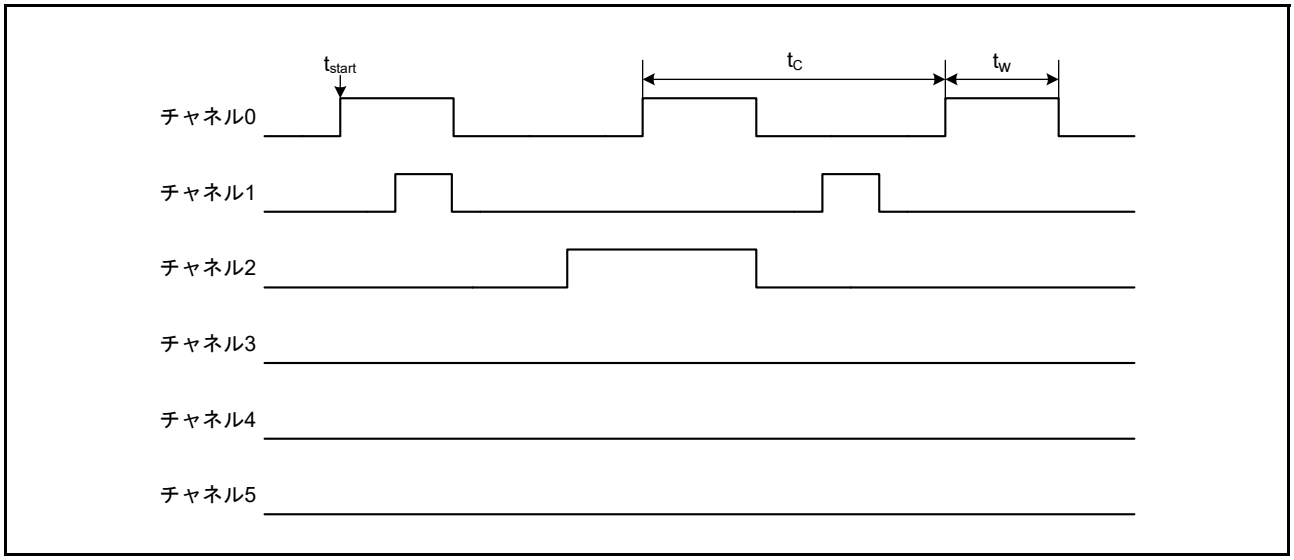


図 30.32 パルス出力タイマの動作タイミング

表 30.26 パルス出力タイマに対して指定できる値の制限事項

項目	制限事項
周期（t_C）	STCAクロックの4周期以上、1s以下
周期の分解能	ナノ秒で設定 ただし、立ち上がりエッジのタイミングはシステムクロック周期（50/40/20/10ns）により丸められます。
パルス幅（t_w）	STCAクロックの2周期以上、500ms以下
パルス幅の分解能	ナノ秒で設定 ただし、立ち下がりエッジのタイミングはシステムクロック周期（50/40/20/10ns）により丸められます。

30.3.17.1 パルス出力タイマの設定手順

パルス出力タイマの設定手順を図 30.33 に示します。

注 . なお、TMSTTRUm、TMSTTRLm レジスタ（m = 0 ～ 5）に設定した時刻以降にパルス出力タイマを起動させた場合、周期パルスは発生しません。パルス出力タイマの開始時刻は、パルス出力タイマの起動を行う時刻より後の時刻を指定してください。

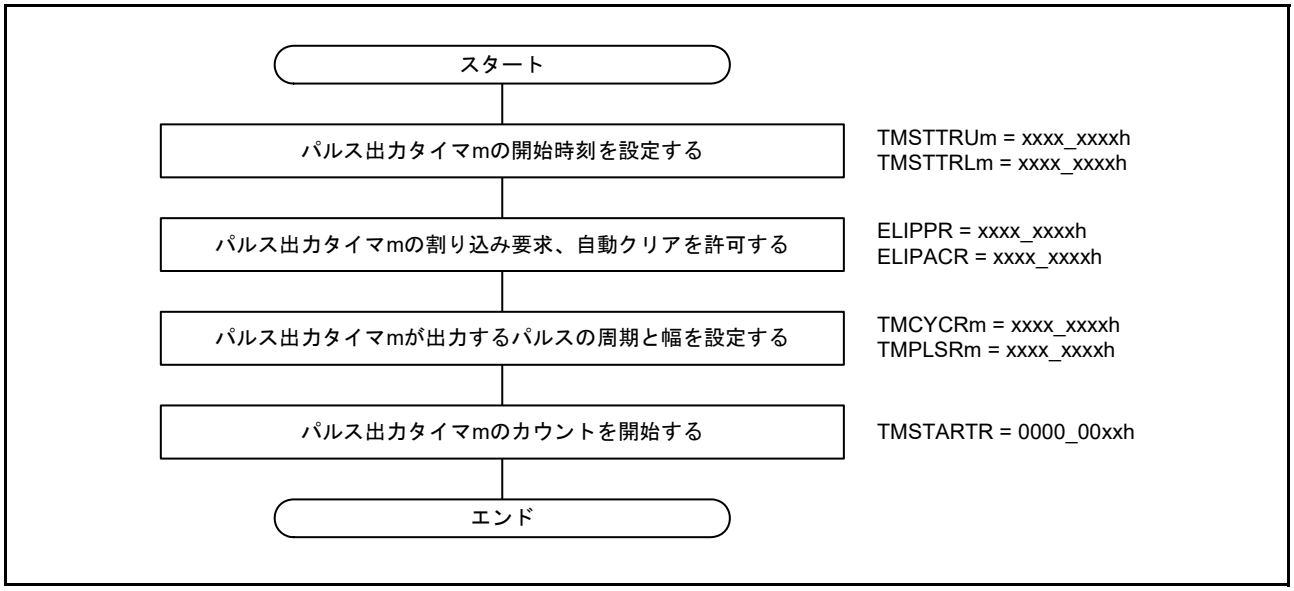


図 30.33 パルス出力タイマ設定手順

30.3.17.2 周期パルスによる割り込み要求とイベント出力

パルス出力タイマが生成する周期パルスの立ち上がりエッジまたは立ち下がりエッジの検出により、ETHER_MINT 割り込み要求、ETHER_IPLS 割り込み要求、ELC へのイベント出力信号の生成を行うことができます。また、検出するエッジの種類や使用するパルス出力タイマを設定可能で、ETHER_IPLS 割り込み／イベント出力許可の自動クリアなどを指定することができます。これらの指定は、TMSTARTR.ENm ビットを 1（パルス出力タイマ m を起動）にする前に行ってください。

(1) ETHER_MINT 割り込み要求

パルス出力タイマからの周期パルスの立ち上がりエッジ時に、ETHER_MINT 割り込み要求を生成できます。立ち下がりエッジ時には生成できません。MITSELR.MINTENm ビットで、これらの要求を生成するパルス出力タイマを選択します。ETHER_MINT 割り込み要求許可ビットの自動クリアはできません。

(2) ETHER_IPLS 割り込み要求

パルス出力タイマからの周期パルスの立ち上がりエッジまたは立ち下がりエッジ時に、ETHER_IPLS 割り込み要求を生成できます。IPTSELR.IPTSELm ビットで、これらの要求を生成するパルス出力タイマを選択します。ELIPACR.PLSP ビットおよび PLSN ビットにより ETHER_IPLS 割り込み要求許可ビットの自動クリアを有効にすることができます。

(3) ELC へのイベント出力

パルス出力タイマからの周期パルスの立ち上がりエッジまたは立ち下がりエッジ時に、ELC にイベントを出力できます。イベント出力のパルス出力タイマおよび ELIPPR.CYCPm または CYCNm ビットで有効なエッジを選択してください。ELIPACR.CYCPm ビットおよび CYCNm ビットによりイベント出力許可ビットの自動クリアを有効にすることができます。

30.3.18 送信優先制御

30.3.18.1 アービトレーション

PRC-TC モジュールで PTPEDMAC からの送信要求と他チャネルからの中継要求が競合した場合、他チャネルからの中継要求が優先されます。また、SYNFP モジュールで複数のメッセージ送信要求が競合した場合、表 30.27 に示すアービトレーション優先度に従って順番に処理されます。

表 30.27 送信メッセージのアービトレーション優先度

送信メッセージ	優先順位	説明
Sync	1（最高優先順位）	—
Delay_Req、Pdelay_Req	2	Delay_Reqメッセージと Pdelay_Reqメッセージを同時に送信するデバイスタイプはありません。
Delay_Resp、Pdelay_Resp	3	Delay_Respメッセージと Pdelay_Respメッセージを同時に送信するデバイスタイプはありません。
Announce	4	—
他チャネルからの中継メッセージ	5	この2つは PRC-TC モジュールで優先順位が決定されます。
PTPEDMACから送信するメッセージ	5	
EDMACから送信するメッセージ	6	—

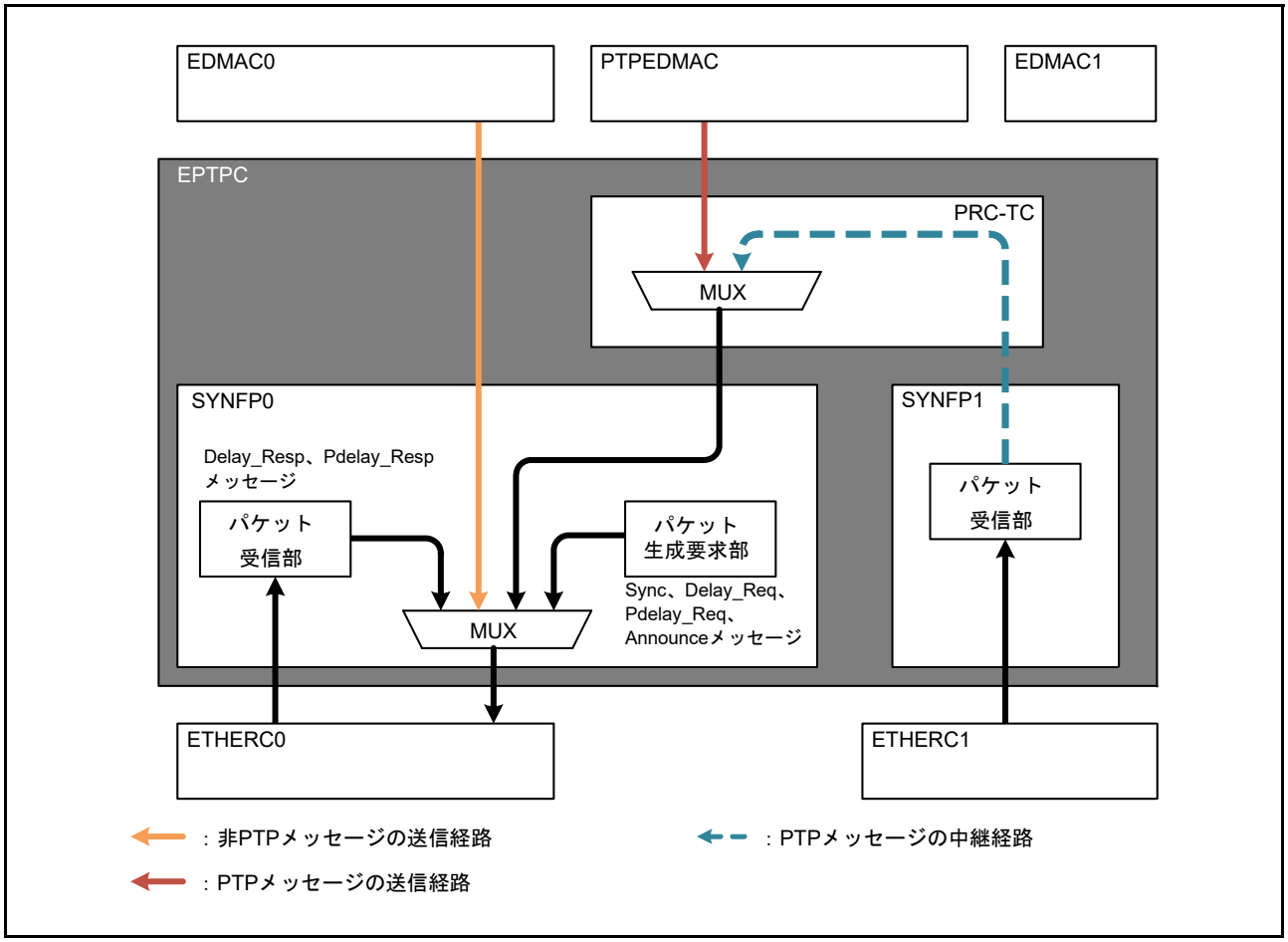


図 30.34 送信メッセージのアービトレーション

30.3.18.2 Sync メッセージ送信帯域確保機能

EPTPC は、Sync メッセージを送信するための帯域を確保して、高い精度で定周期送信を行うことができます。

一定周期で Sync メッセージを送信しようとしていても、そのときに PTPEDMAC からの送信や他のチャネルからのメッセージ中継が行われていると、Sync メッセージの送信はそれらの処理が完了した後に行われるため、送信周期が一定でなくなってしまいます。Sync メッセージ送信帯域確保機能により、EDMAC0、EDMAC1 および PTPEDMAC からのメッセージ送信を制限し、揺らぎのない Sync メッセージの送信が行えます。Sync メッセージ送信帯域確保を無効にするには、SYCONFR.SBDIS を 1 にします。

Sync メッセージ送信帯域確保機能の概念を図 30.35 に示します。

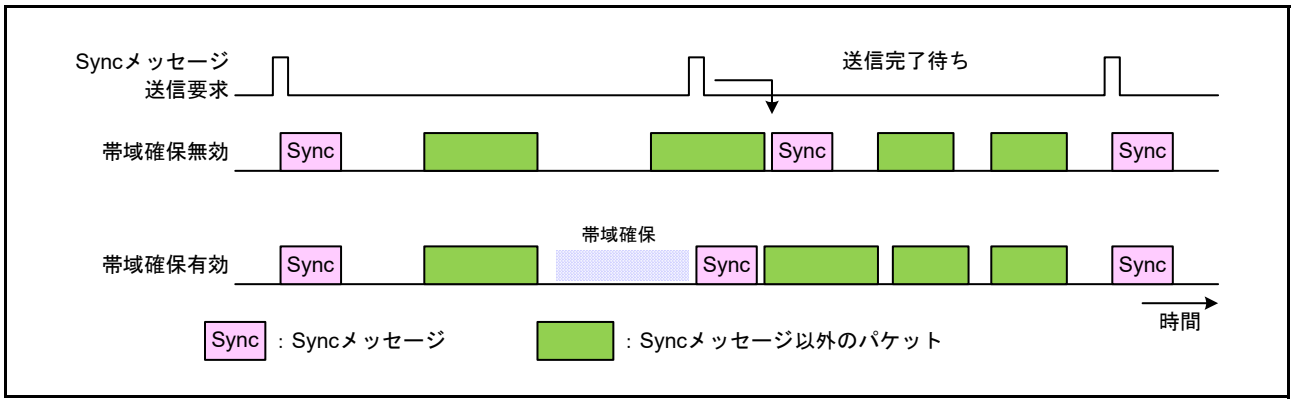


図 30.35 Sync メッセージ送信帯域の確保

30.3.18.3 送信間隔確保機能

ETHERC でのメッセージ送信において、送信要求から Ethernet ポート 0 または Ethernet ポート 1 の MII 上にメッセージが送出されるまでの遅延時間が一定であれば、スレーブは PTP メッセージのタイムスタンプ値を使って正確に遅延量を算出することができます。しかし、連続送信を行った場合など、Inter-packet Gap 時間が必要でメッセージの待機処理が発生するような場合は、遅延時間に揺らぎが生じる可能性があります。

SYCONFR.TCYC[7:0] ビットで送信フレームの間隔を指定し、送信完了から次の送信要求までの間隔を制御することで、ETHERC のタイムスタンプ値の信頼性を確保することができます。こうすることにより、Inter-packet Gap 時間の影響を回避して、送出遅延を一定に保つことができます。

30.4 割り込み

EPTPC には、ETHER_MINT および ETHER_IPLS 割り込み要求があります。2 つの割り込み要求間の関係を図 30.36 に示します。図 30.37 にパルス出力タイマの割り込み要求の詳細を示します。

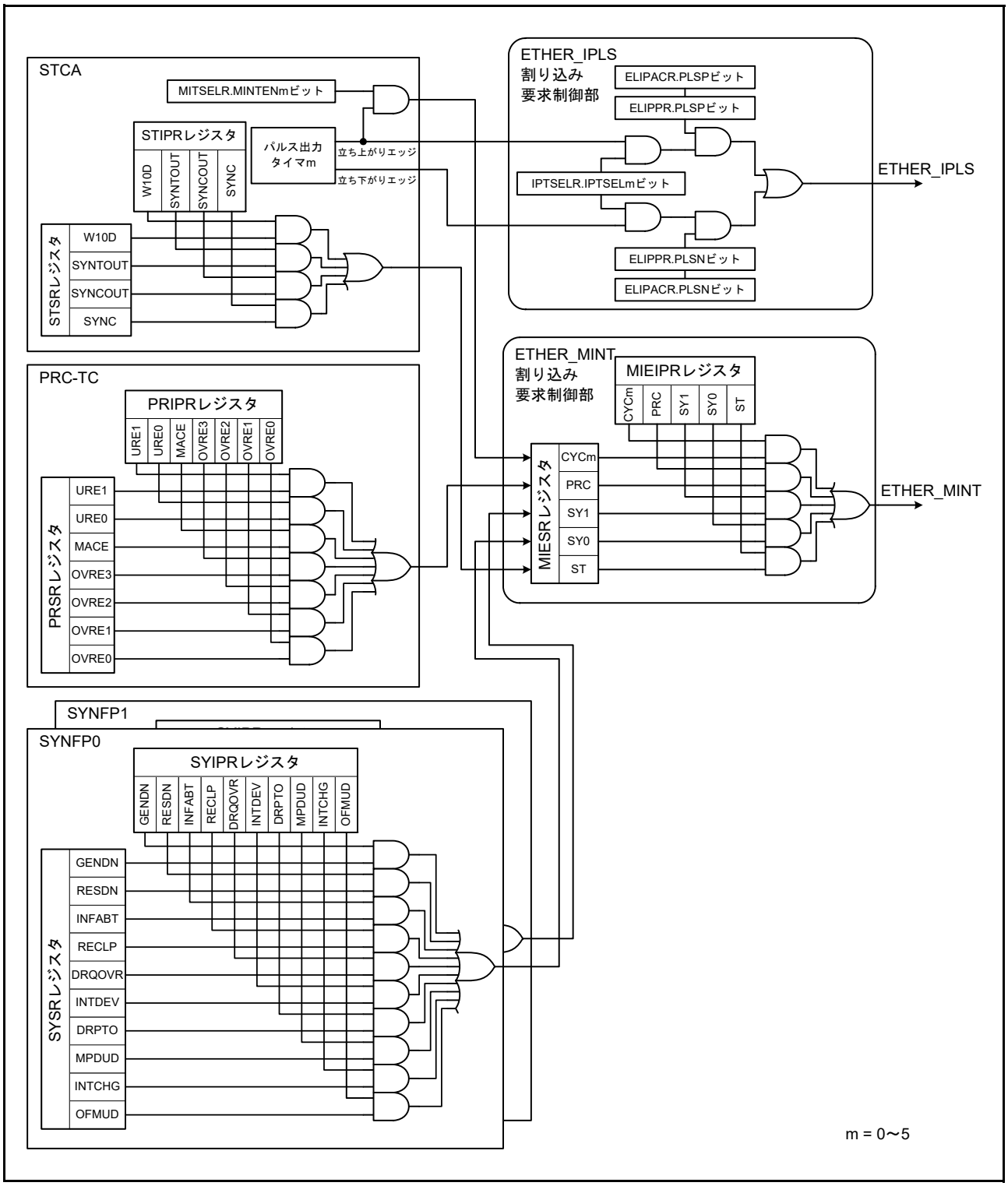


図 30.36 ETHER_MINT と ETHER_IPLS 割り込み要求

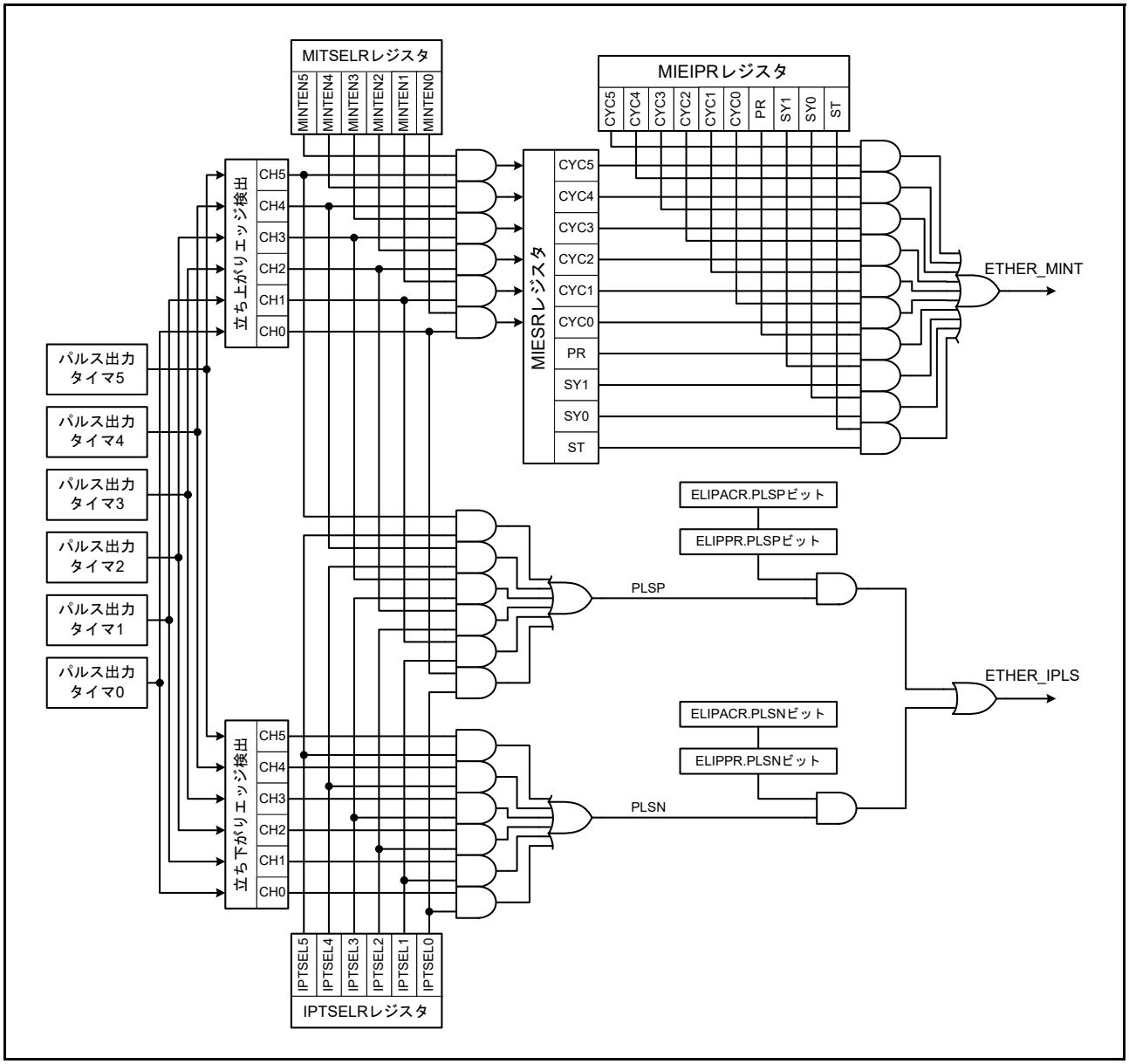


図 30.37　　パルス出力タイマの割り込み要求の詳細

30.5 イベントリンク機能（出力）

EPTPC は、パルス出力タイマからのパルスの立ち上がりエッジまたは立ち下がりエッジの検出により、ELC へイベントを出力することができます。図 30.38 にパルス出力タイマと ELC の関係を示します。

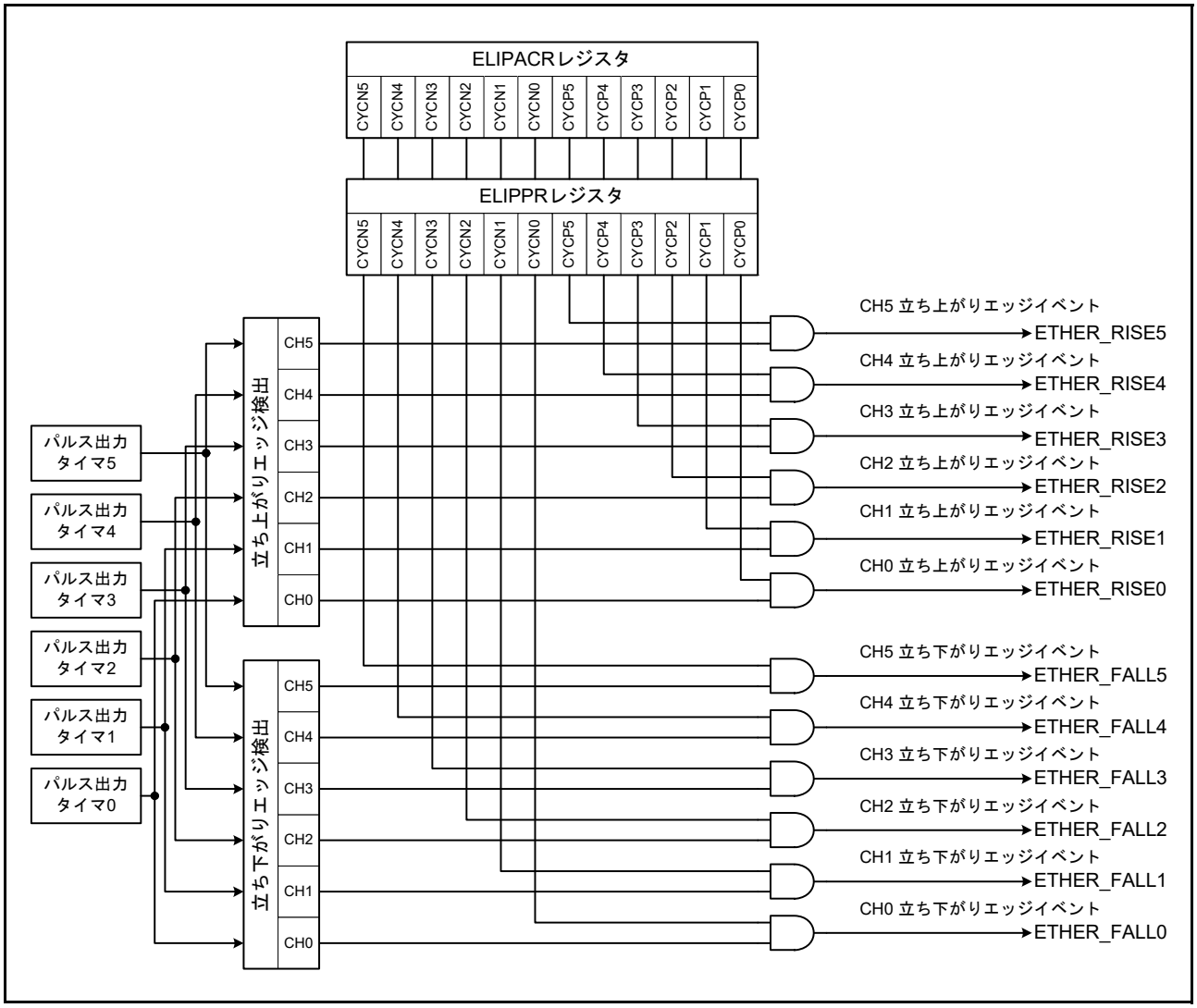


図 30.38 パルス出力タイマと ELC の関係

30.6 使用上の注意事項

30.6.1 レジスタアクセスの制限

EPTPC および PTPEDMAC の動作が許可されている場合（MSTPCRB.MSTPB13 = 0）、MSTPCRB.MSTPB14 ビット、MSTPCRB.MSTPB15 ビット、および EPTPC バイパスビット（BYPASS.BYPASS[1:0] ビット）の各設定の組み合わせによっては、EPTPC の一部のレジスタにアクセスできなくなります。レジスタへのアクセスに関する制限事項の要約を、表 30.28 ～表 30.31 に示します。

表 30.28 チャネルのバイパスがない場合（BYPASS.BYPASS0 = 0 およびBYPASS.BYPASS1 = 0）のレジスタアクセスの制限事項

レジスタアクセスの制限事項							
Ethernetポート使用		アクセス用のレジスタアドレスの割り当て					
MSTPB15設定（EMACC0およびEDMAC0）	MSTPB14設定（EMACC1およびEDMAC1）	4006 4500h～4006 45FFh	4006 5000h～4006 503Fh	4006 5040h～4006 53FFh（STCA）	4006 5400h～4006 57FFh（PRC-TC）	4006 5800h～4006 5BFFh（SYNFP0）	4006 5C00h～4006 5FFFh（SYNFP1）
0	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能
0	1	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止
1	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止	アクセス可能
1	1	アクセス可能	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止

表 30.29 チャネル0のバイパス時（BYPASS.BYPASS0 = 1 およびBYPASS.BYPASS1 = 0）のレジスタアクセスの制限事項

レジスタアクセスの制限事項							
Ethernetポート使用		アクセス用のレジスタアドレスの割り当て					
MSTPB15設定（ETHERC0とEDMAC0）	MSTPB14設定（ETHERC1とEDMAC1）	4006 4500h～4006 45FFh	4006 5000h～4006 503Fh	4006 5040h～4006 53FFh（STCA）	4006 5400h～4006 57FFh（PRC-TC）	4006 5800h～4006 5BFFh（SYNFP0）	4006 5C00h～4006 5FFFh（SYNFP1）
0	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止	アクセス可能
0	1	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止	アクセス禁止
1	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止	アクセス可能
1	1	アクセス可能	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止

表 30.30 チャネル0のバイパス時（BYPASS.BYPASS0 = 0 およびBYPASS.BYPASS1 = 1）のレジスタアクセスの制限事項

レジスタアクセスの制限事項							
Ethernetポート使用		アクセス用のレジスタアドレスの割り当て					
MSTPB15設定（ETHERC0とEDMAC0）	MSTPB14設定（ETHERC1とEDMAC1）	4006 4500h～4006 45FFh	4006 5000h～4006 503Fh	4006 5040h～4006 53FFh（STCA）	4006 5400h～4006 57FFh（PRC-TC）	4006 5800h～4006 5BFFh（SYNFP0）	4006 5C00h～4006 5FFFh（SYNFP1）
0	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止
0	1	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止
1	0	アクセス可能	アクセス可能	アクセス可能	アクセス可能	アクセス禁止	アクセス禁止
1	1	アクセス可能	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止

表 30.31 チャネル0と1の両方バイパス時（BYPASS.BYPASS0 = 1およびBYPASS.BYPASS1 = 1）のレジスタアクセスの制限事項

レジスタアクセスの制限事項							
Ethernetポート使用		アクセス用のレジスタアドレスの割り当て					
MSTPB15設定（ETHERC0とEDMAC0）	MSTPB14設定（ETHERC1とEDMAC1）	4006 4500h～4006 45FFh	4006 5000h～4006 503Fh	4006 5040h～4006 53FFh（STCA）	4006 5400h～4006 57FFh（PRC-TC）	4006 5800h～4006 5BFFh（SYNFP0）	4006 5C00h～4006 5FFFh（SYNFP1）
0	0	アクセス可能	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
0	1	アクセス可能	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
1	0	アクセス可能	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止
1	1	アクセス可能	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止	アクセス禁止

注 . アクセス禁止のレジスタにアクセスした場合、バスタイムアウトエラーを起こす場合があります。バスタイムアウトエラーが発生した場合、PTRSTR.RESET ビットを 1 にして、EPTPC ソフトウェアリセットを行ってください。

30.6.2 レジスタアクセス時のウェイト数

EPTPC のレジスタをアクセスしたときには、周辺モジュールクロック（PCLKA）と STCA クロック、TX_CLK などの MII クロックなど複数のクロックとの調停が行われます。そのため、これらのクロック信号の周波数設定の組み合わせによってレジスタアクセス時に生じるウェイト数が異なります。

ウェイト数の例を表 30.32 に示します。アクセスサイクル数は、この値に 1 ～ 2 サイクル加算してください。

表 30.32 STCAクロックが20MHzの場合のレジスタアクセス待機サイクル

	STCAクロック = 20MHz							
	周辺モジュールクロックPCLKA = 120MHz				周辺モジュールクロックPCLKA = 20MHz			
	MIIクロック 25MHz（100Mbps）		MIIクロック 2.5MHz（10Mbps）		MIIクロック 25MHz（100Mbps）		MIIクロック 2.5MHz（10Mbps）	
アドレス範囲	読み出し	書き込み	読み出し	書き込み	読み出し	書き込み	読み出し	書き込み
4006 4500h～4006 45FFh	2	2	2	2	2	2	2	2
4006 5000h～4006 503Fh	4	4	4	4	4	4	4	4
4006 5040h～4006 53FFh（STCA）	7	27～41（注1）	7	27～41（注1）	7	15～17（注1）	7	15～17（注1）
4006 5400h～4006 57FFh（PRC-TC）	8	8	8	8	8	8	8	8
4006 5800h～4006 5BFFh（SYNFP0）	8	23～33（注2）	8	111～209（注2）	8	15～17（注2）	8	31～49（注2）
4006 5C00h～4006 5FFFh（SYNFP1）	8	23～33（注2）	8	111～209（注2）	8	15～17（注2）	8	31～49（注2）

注 1. STCA 関連レジスタのウェイト数（W_{STCA}）は、周辺モジュールクロックの周期（$t_{c(PCLKA)}$）と STCA クロックの周期（$t_{c(STCA)}$）より、下記の範囲になることが計算できます。

W_{STCA}の最小値 = Int ($t_{c(STCA)} \div t_{c(PCLKA)}$) × 2 + 15 ($t_{c(PCLKA)} \leqq t_{c(STCA)}$)
= 15 ($t_{c(PCLKA)} > t_{c(STCA)}$)

W_{STCA}の最大値 = Int ($t_{c(STCA)} \div t_{c(PCLKA)}$) × 4 + 17 ($t_{c(PCLKA)} \leqq t_{c(STCA)}$)
= 17 ($t_{c(PCLKA)} > t_{c(STCA)}$)

- Int(A)は、Aを超えない最大の整数値を求める演算です。
- 本計算では、CPUクロックの周期と周辺モジュールクロックの周期が一致していることが前提です。

たとえば、周辺モジュールクロックが120MHz、STCAクロックは周辺モジュールクロックの6分周（= 20MHz）で動作している場合、

W_{STCA}の最小値 = Int (50 [ns] ÷ 8.3 [ns]) × 2 + 15 = 27
W_{STCA}の最大値 = Int (50 [ns] ÷ 8.3 [ns]) × 4 + 17 = 41

STCAクロックとしてREF50CK0またはREF50CK1を使用する場合、STCAクロック周波数は25MHzです。

注 2. SYNFP 関連レジスタのウェイト数（W_{SYNF}）は、周辺モジュールクロックの周期 ($t_{c(PCLKA)}$) と MII クロックの周期 ($t_{c(MII)}$) より、下記の範囲になることが計算できます。

W_{SYNF}の最小値 = Int ($t_{c(MII)} \div t_{c(PCLKA)}$) × 2 + 15 ($t_{c(PCLKA)} \leqq t_{c(MII)}$)
= 15 ($t_{c(PCLKA)} > t_{c(MII)}$)

W_{SYNF}の最大値 = Int ($t_{c(MII)} \div t_{c(PCLKA)}$) × 4 + 17 ($t_{c(PCLKA)} \leqq t_{c(MII)}$)
= 17 ($t_{c(PCLKA)} > t_{c(MII)}$)

- Int(A)は、Aを超えない最大の整数値を求める演算です。
- 本計算では、CPUクロックの周期と周辺モジュールクロックの周期が一致していることが前提です。

たとえば、周辺モジュールクロックが120MHz、送信レートが10Mbps（MIIクロックが2.5MHz）の場合、

W_{SYNF}の最小値 = Int (400 [ns] ÷ 8.3 [ns]) × 2 + 15 = 111

W_{SYNF}の最大値 = Int (400 [ns] ÷ 8.3 [ns]) × 4 + 17 = 209

31. イーサネット DMA コントローラ（EDMAC）

31.1 概要

本 MCU は、イーサネット DMA コントローラ（EDMAC）用に 3 チャネル、イーサネットコントローラ（ETHERC）用に 2 チャネル、およびイーサネット PTP コントローラ（EPTPC）用に 1 チャネル内蔵しています。EDMAC0 は ETHERC0 の、ETHERC1 は EDMAC1 のデータ送受信を制御しています。PTPEDMAC は、EPTPC の設定に基づいて ETHERC0 と ETHERC1 のデータ送受信を制御します。なお本章では、チャネル番号は n で表記します（n = 0, 1）。

EDMAC は、通信の送信および受信バッファ管理の大半を制御しています。これにより CPU 負荷が減少し、効率的なデータの送受信が可能になります。これらのデータ転送は、メモリ内に配置されたディスクリプタと呼ばれる情報に基づいて制御されます。

表 31.1 に EDMAC の仕様を、図 31.1 にその構成を示します。図 31.2 に、メモリ内のディスクリプタおよび送受信バッファの構成を示します。

表 31.1 EDMACの仕様

項目	内容
データ送受信	• ディスクリプタによる送受信制御 • 1バッファ／フレーム（シングルバッファフレーム送受信）、複数バッファ／フレーム（マルチバッファフレーム送受信）の転送方式に対応
機能	• ブロック転送（32バイト単位）によるシステムバス占有時間を最短化 • 送信または受信フレームステータスのディスクリプタへのライトバック • 受信データへのパディング挿入
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

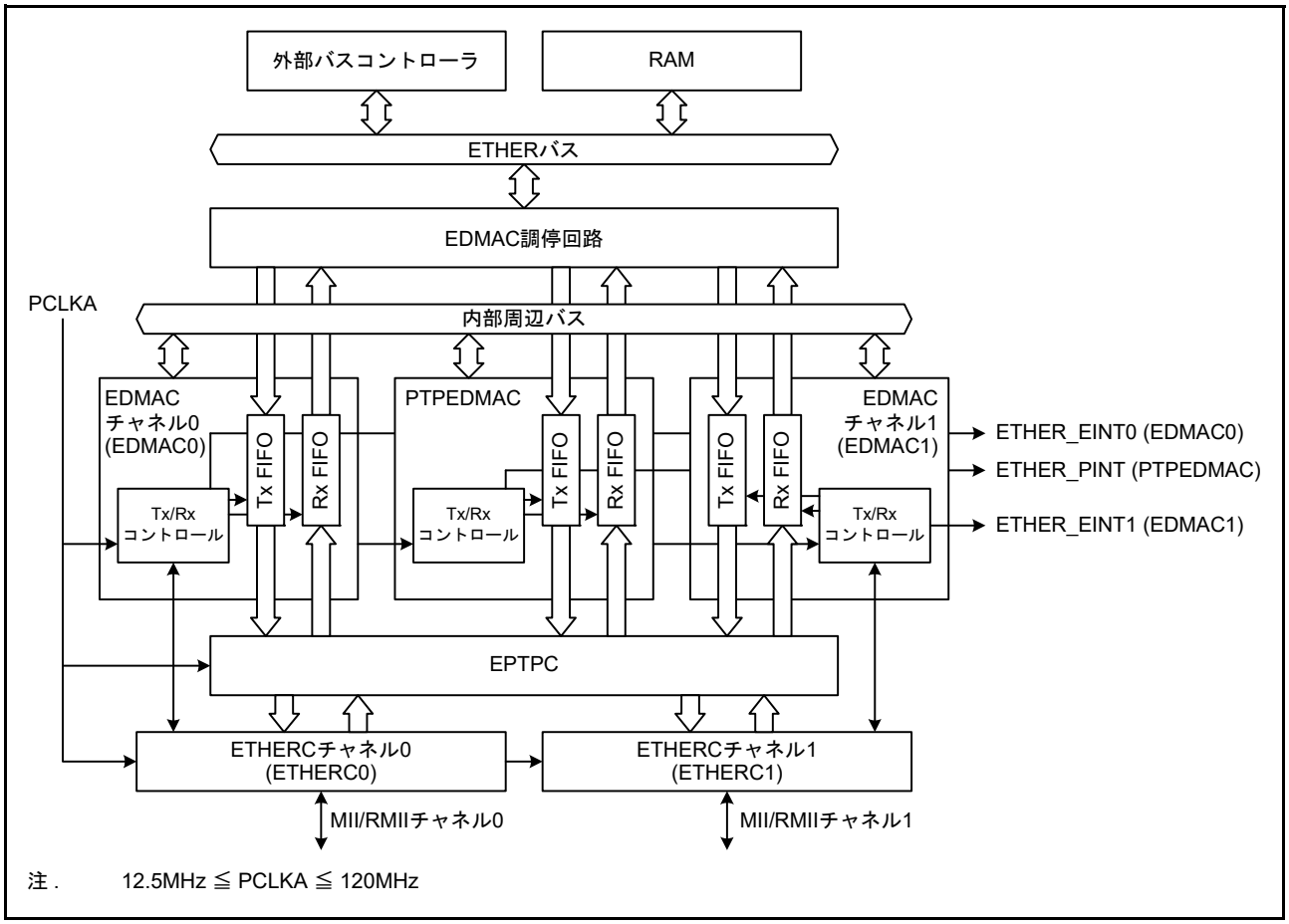


図 31.1 EDMAC の構成

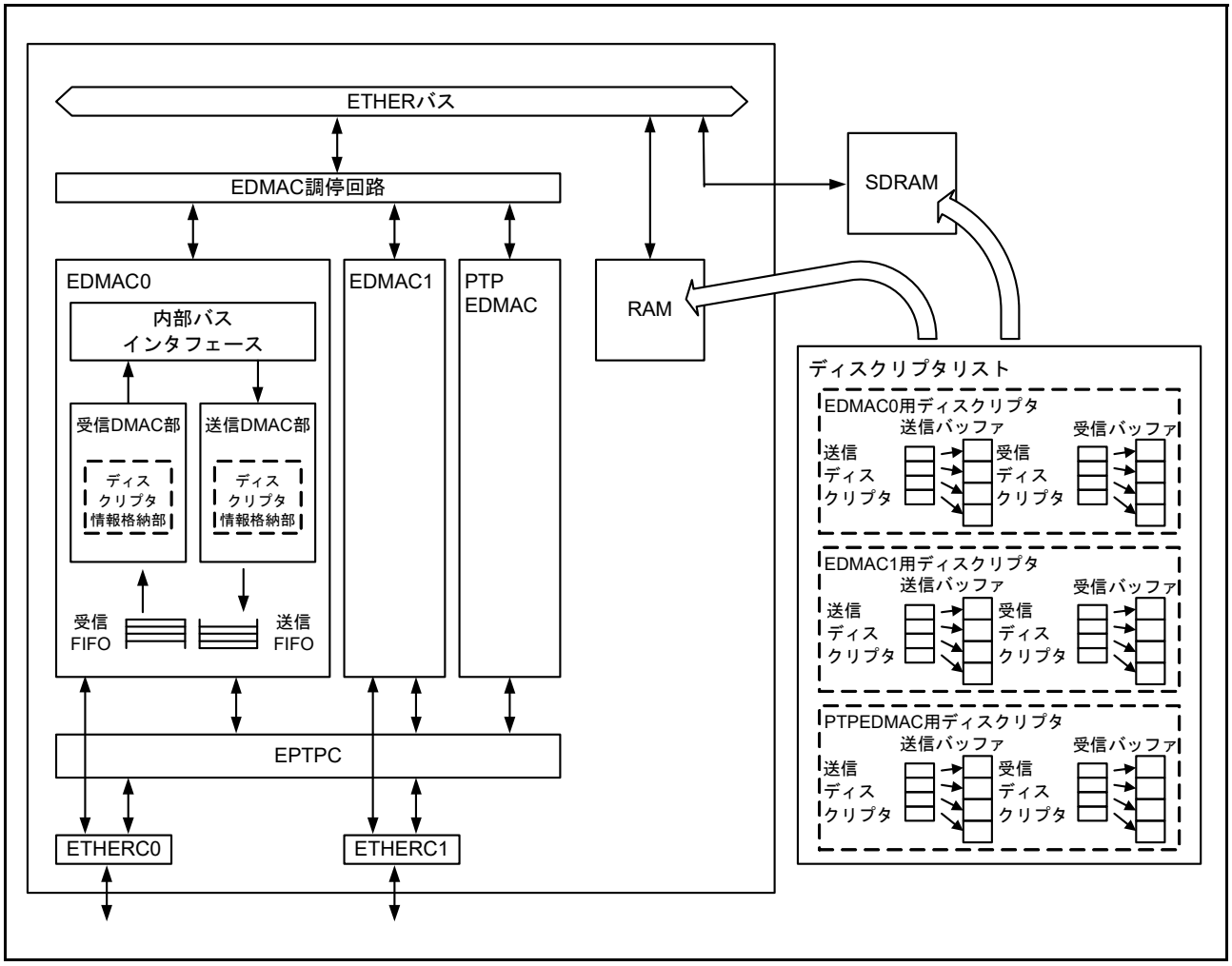


図 31.2　　メモリ内のディスクリプタおよび送受信バッファの構成

31.2 レジスタの説明

31.2.1 EDMAC モードレジスタ（EDMR）

アドレス EDMAC0.EDMR 4006 4000h, EDMAC1.EDMR 4006 4200h, PTPEDMAC.EDMR 4006 4400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	DE	DL[1:0]		—	—	—	SWR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SWR	ソフトウェアリセット	1を書くと、EDMACとETHERCの関連するチャネルをリセットします。 注：PTPEDMACの場合、ETHERCはリセットされません。 このビットでは、TDLAR、RDLAR、RMFCR、TFUCR、およびRFOCRレジスタはリセットされません。読むと0が読めます。	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	DL[1:0]	送受信ディスクリプタ長指定	b5 b4 0 0：16バイト 0 1：32バイト 1 0：64バイト 1 1：16バイト	R/W
b6	DE	ビッグエンディアンモード／リトルエンディアンモード指定（注1）	0：ビッグエンディアンモード 1：リトルエンディアンモード	R/W
b31-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 送受信バッファのデータについて有効になります。送受信ディスクリプタ、レジスタについては無効です。

EDMR レジスタは、EDMAC の動作を制御するレジスタです。EDMR レジスタの設定は、リセット後の初期設定時に行ってください。それ以外のときに書き換える場合は、SWR ビットを 1 にして、EDMAC と ETHERC を初期状態に戻してから再設定してください。データの送受信時に ETHERC と EDMAC がリセットされる場合、異常なデータが送信される可能性があります。ETHERC 送信または受信機能が有効のときは、このレジスタを書き換えないでください。なお、ETHERC および EDMAC の初期化完了までの所要時間は、周辺モジュールクロック（PCLKA）で 64 サイクルです。ETHERC および EDMAC 内のレジスタアクセスは、初期化が完了した後に行ってください。

31.2.2 EDMAC 送信要求レジスタ（EDTRR）

アドレス EDMAC0.EDTRR 4006 4008h, EDMAC1.EDTRR 4006 4208h, PTPEDMAC.EDTRR 4006 4408h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TR	送信要求	1を書くと、EDMACは関連するディスクリプタを読み出し、TD0.TACTビットが1であるフレームを送信します。有効なフレームすべてを送信した後、TRビットは0になります。0の書き込みは無効です。	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EDTRR レジスタは、EDMAC の送信を制御するレジスタです。EDMAC は 1 つのフレームの送信を終了すると、次のディスクリプタを読み出します。この TD0.TACT ビットが 1 であれば、送信を継続します。0 であれば、EDMAC は TR ビットを 0 にして、送信を停止します。

31.2.3 EDMAC 受信要求レジスタ（EDRRR）

アドレス EDMAC0.EDRRR 4006 4010h, EDMAC1.EDRRR 4006 4210h, PTPEDMAC.EDRRR 4006 4410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

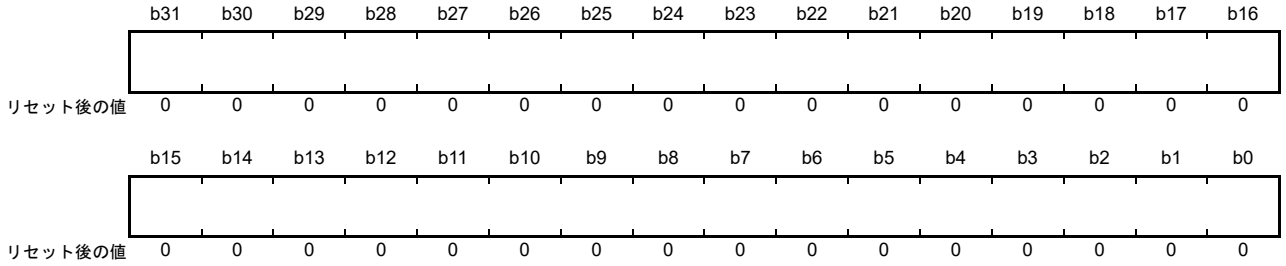
ビット	シンボル	ビット名	機能	R/W
b0	RR	受信要求	0：受信機能は無効（注1） 1：受信ディスクリプタを読み出し、受信機能を有効にします	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. フレーム受信時に受信機能が無効になっている場合、受信ディスクリプタのライトバックは正常に行われません。受信ディスクリプタを読み出すためのそれ以降のポインタは異常になり、EDMAC は正常に動作できません。この場合、再度 EDMAC の受信機能を有効にするためには、EDMR.SWR ビットを 1 にしてソフトウェアリセットを実施する必要があります。
EDMAC をリセットせずに受信機能を無効にするには、ETHERCn の ECMR.RE ビットを 0 にします。EDMAC の受信が完了し、受信ディスクリプタのライトバックが確認できた後、RR ビットを 0 にしてください。

EDRRR レジスタは、EDMAC の受信を制御するレジスタです。RR ビットが 1 になると、EDMAC は当該受信ディスクリプタを読み出します。RD0.RACT ビットが 1 であれば、ETHERC からの受信要求を待ちます。受信バッファ分の受信が完了すると、EDMAC は次のディスクリプタを読み出し、フレームの受信を待ちます。このとき RD0.RACT ビットが 0 である場合は、EDMAC は RR ビットを 0 にして、受信を停止します。

31.2.4 送信ディスクリプタリスト開始アドレスレジスタ（TDLAR）

アドレス EDMAC0.TDLAR 4006 4018h, EDMAC1.TDLAR 4006 4218h, PTPEDMAC.TDLAR 4006 4418h

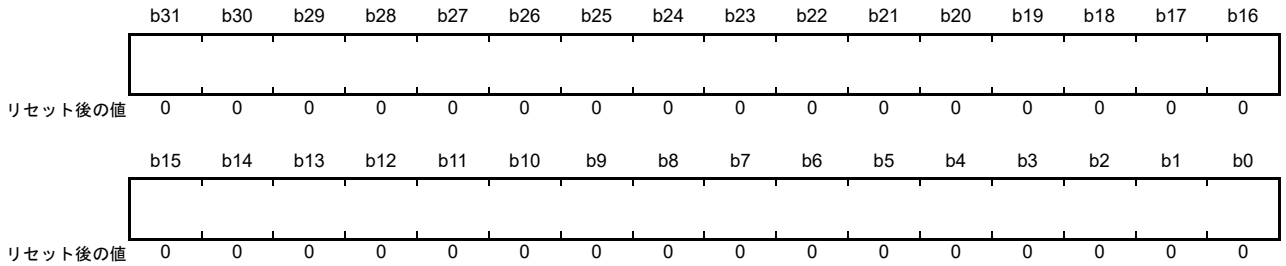


ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	これらのビットは、送信ディスクリプタリストの開始アドレスを指定するレジスタです。EDMR.DL[1:0]ビットで指定したディスクリプタ長に合わせて開始アドレスを設定してください。 • 16バイトバウンダリ：下位4ビット = 0000b • 32バイトバウンダリ：下位5ビット = 00000b • 64バイトバウンダリ：下位6ビット = 000000b	R/W

TDLAR レジスタは、送信ディスクリプタリストの開始アドレスを指定するレジスタです。各ディスクリプタは、EDMR.DL[1:0] ビットで指定したディスクリプタ長に合致する関連境界に配置してください。送信中に TDLAR レジスタを書き換えないでください。TDLAR レジスタの書き換えは、EDTRR.TR ビットが 0 の状態で行ってください。

31.2.5 受信ディスクリプタリスト開始アドレスレジスタ（RDLAR）

アドレス EDMAC0.RDLAR 4006 4020h, EDMAC1.RDLAR 4006 4220h, PTPEDMAC.RDLAR 4006 4420h



ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	受信ディスクリプタリストの開始アドレスを設定します。EDMR.DL[1:0]ビットで指定したディスクリプタ長に合わせて開始アドレスを設定してください。 • 16バイトバウンダリ：下位4ビット = 0000b • 32バイトバウンダリ：下位5ビット = 00000b • 64バイトバウンダリ：下位6ビット = 000000b	R/W

RDLAR レジスタは、受信ディスクリプタリストの開始アドレスを指定するレジスタです。各ディスクリプタは、EDMR.DL[1:0] ビットで指定したディスクリプタ長に合致する関連境界に配置してください。受信中に RDLAR レジスタを書き換えないでください。RDLAR レジスタの書き換えは、EDRRR.RR ビットが 0 の状態で行ってください。

31.2.6 ETHERC/EDMAC ステータスレジスタ（EDMACn.EESR）（n = 0, 1）

アドレス EDMAC0.EESR 4006 4028h, EDMAC1.EESR 4006 4228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB	—	—	—	TABT	RABT	RFCOF	ADE	ECI	TC	TDE	TFUF	FR	RDE	RFOF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CND	DLC	CD	TRO	RMAF	—	—	RRF	RTLF	RTSF	PRE	CERF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERF	CRCエラーフラグ	0：CRCエラーの発生なし 1：CRCエラー検出	R/W
b1	PRE	PHY-LSI受信エラーフラグ	0：PHY-LSI受信エラー未検出 1：PHY-LSI受信エラー検出	R/W
b2	RTSF	ショートフレーム受信エラーフラグ	0：ショートフレーム受信エラー未検出 1：ショートフレーム受信エラー検出	R/W
b3	RTLF	ロングフレーム受信エラーフラグ	0：ロングフレーム受信エラー未検出 1：ロングフレーム受信エラー検出	R/W
b4	RRF	端数ビットフレーム受信フラグ	0：端数ビットフレーム受信エラー未検出 1：端数ビットフレーム受信エラー検出	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	RMAF	マルチキャストアドレスフレーム受信フラグ	0：マルチキャストアドレスフレーム未受信 1：マルチキャストアドレスフレーム受信	R/W
b8	TRO	送信リトライオーバーフラグ	0：送信リトライオーバー未検出 1：送信リトライオーバー検出	R/W
b9	CD	遅延衝突検出フラグ	0：遅延衝突未検出 1：フレーム送信中に遅延衝突を検出	R/W
b10	DLC	キャリア消失検出フラグ	0：キャリア消失未検出 1：フレーム送信中にキャリア消失を検出	R/W
b11	CND	キャリア未検出フラグ	0：送信開始時にキャリア検出 1：プリアンブル送信中にキャリア未検出	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	RFOF	受信FIFOオーバーフローフラグ	0：オーバーフロー発生なし 1：オーバーフロー発生	R/W
b17	RDE	受信ディスクリプタ枯渇フラグ	0：受信ディスクリプタ有効ビットRD0.RACT = 1を検出 1：受信ディスクリプタ有効ビットRD0.RACT = 0を検出	R/W
b18	FR	フレーム受信フラグ	0：フレーム未受信 1：フレーム受信と受信ディスクリプタ更新完了	R/W
b19	TFUF	送信FIFOアンダーフローフラグ	0：アンダーフローなし 1：アンダーフロー発生	R/W
b20	TDE	送信ディスクリプタ枯渇フラグ	0：送信ディスクリプタ有効ビットTD0.TACT = 1を検出 1：送信ディスクリプタ有効ビットTD0.TACT = 0を検出	R/W
b21	TC	フレーム転送完了フラグ	0：転送未完了または転送要求なし 1：送信ディスクリプタで指示された全フレームの送信FIFOへの転送が完了した	R/W
b22	ECI	ETHERCステータスレジスタ要因フラグ	0：ETHERCステータス割り込み要因未検出 1：ETHERCステータス割り込み要因検出	R（注1）
b23	ADE	アドレスエラーフラグ	0：不正なメモリアドレスは検出していない（正常動作） 1：不正なメモリアドレスを検出した（注2）	R/W

ビット	シンボル	ビット名	機能	R/W
b24	RFCOF	受信フレームカウンタオーバーフローフラグ	0：受信フレームカウンタがオーバーフローしていない 1：受信フレームカウンタがオーバーフローした	R/W
b25	RABT	受信中断検出フラグ	0：フレーム受信中断未発生または受信未指示 1：フレーム受信中断	R/W
b26	TABT	送信中断検出フラグ	0：フレーム送信中断未発生または送信未指示 1：フレーム送信中断	R/W
b29-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30	TWB	ライトバック完了フラグ	0：ライトバック未完了または送信要求なし 1：送信ディスクリプタのライトバック完了	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ECI フラグは読み出しのみ可能です。ETHERCn の ECSR レジスタの要因がクリアされると ECI フラグも 0 になります。
注 2. アドレスエラーが検出されると EDMAC は処理を停止します。再開するには、EDMR.SWR ビットを 1（EDMAC および ETHERC をリセット）にしてから、EDMAC および ETHERC を再設定してください。

EDMACn.EESR レジスタは、ETHERC と EDMAC の通信ステータスを示すレジスタです。EESR レジスタの各フラグは、EDMAC からの割り込み要求信号（ETHER_EINTn）として出力することができます。1 を書き込むと ECI 以外の全フラグが 0 になります。0 を書いてもフラグの値は変化しません。割り込み要因を有効にするには、EDMACn.EESIPR レジスタの関連するビットを設定します。

CERF フラグ（CRC エラーフラグ）

受信フレームのフレームチェックシーケンス（FCS）部のチェックを行い、誤りがある場合に CERF フラグが 1 になります。

PRE フラグ（PHY-LSI 受信エラーフラグ）

PHY-LSI から出力される RX_ER 信号が High であったことを示します。

RTSF フラグ（ショートフレーム受信エラーフラグ）

64 バイト未満のフレームを受信したことを示します。

RTLF フラグ（ロングフレーム受信エラーフラグ）

ETHERCn.RFLR レジスタで設定した受信フレーム長の上限値を超えるバイト数のフレームを受信したことを示します。なお、設定値を超えた部分のデータについては、破棄されます。

RRF フラグ（端数ビットフレーム受信フラグ）

1 ～ 7 ビットの端数が生じたことを示します。端数ビットを含む最後の 1 ワードは転送されません。

RMAF フラグ（マルチキャストアドレスフレーム受信フラグ）

マルチキャストフレームを受信したことを示します。

TRO フラグ（送信リトライオーバーフラグ）

フレーム送信の 15 回目のリトライ中に、再度衝突が発生したことを示します。

CD フラグ（遅延衝突検出フラグ）

フレーム送信中に遅延衝突を検出したことを示します。

DLC フラグ（キャリア消失検出フラグ）

フレーム送信中のキャリア消失を検出したことを示します。

CND フラグ（キャリア未検出フラグ）

プリアンブルの送信中にキャリアが検出されない場合に 1 になります。

RFOF フラグ（受信 FIFO オーバーフローフラグ）

フレーム受信中に受信 FIFO がオーバーフローしたことを示します。

RDE フラグ（受信ディスクリプタ枯渇フラグ）

読み出した受信ディスクリプタが無効であったことを示します。このフラグが 1 になった場合は、当該受信ディスクリプタの RD0.RACT ビットを 1 にし、EDRRR.RR ビットを 1 にすると、受信を再開することができます。

FR フラグ（フレーム受信フラグ）

フレームを受信し、受信ディスクリプタを更新したことを示します。FR フラグは、1 フレームの受信が完了する度に 1 になります。

TFUF フラグ（送信 FIFO アンダーフローフラグ）

フレーム送信中に送信 FIFO 内のデータがなくなったことを示します。回線には不完全なデータが送出されます。

TDE フラグ（送信ディスクリプタ枯渇フラグ）

マルチバッファフレーム送信のとき、処理中の送信ディスクリプタがフレームを完結しない設定（TD0.TFP[1:0] ビットが 10b または 00b）である場合に、次に読み出したディスクリプタの TD0.TACT ビットが 0 であったことを示します。結果として、不完全なフレームを送出する場合があります。

このフラグが 1 になった場合は、ソフトウェアリセットを実施してから EDTRR.TR ビットを 1 にして、送信を再開してください。このとき TDLAR レジスタに格納されているアドレスからの送信開始となります。

TC フラグ（フレーム転送完了フラグ）

送信ディスクリプタによって指定されたデータをすべて ETHERC から送信したことを示します。シングルバッファフレーム送信の場合、1 フレームの送信が完了したときにフラグが 1 になります。マルチバッファフレーム送信の場合は、フレーム最後のデータを送信し、次に読み出した送信ディスクリプタの TD0.TACT ビットが 0 のときに、フラグが 1 になります。フレーム送信完了後、EDMAC は転送ステータスを当該ディスクリプタにライトバックします。

ECI フラグ（ETHERC ステータスレジスタ要因フラグ）

ETHERC.ECSR レジスタによる割り込み要求が発生したときに 1 になります。

ADE フラグ（アドレスエラーフラグ）

EDMAC が転送に使用しようとしたメモリアドレスが不正であったことを示します。

RFCOF フラグ（受信フレームカウンタオーバーフローフラグ）

受信 FIFO 内に格納できるフレーム数が上限（16 フレーム）に達しているときに、次のフレームの受信が始まったことを示します。RFCOF フラグが 1 のときに受信したフレームは破棄されます。

RABT フラグ（受信中断検出フラグ）

フレーム受信時、CRC エラー、PHY-LSI 受信エラー、ショートフレーム受信エラー、ロングフレーム受信エラーなどによって、ETHERC がフレーム受信を中断したことを示します。

TABT フラグ（送信中断検出フラグ）

フレーム送信時、送信リトライオーバー、キャリア消失、キャリア未検出などによって ETHERC がフレーム送信を中断したことを示します。

TWB フラグ（ライトバック完了フラグ）

フレーム送信完了後の EDMAC による当該ディスクリプタへのライトバックが完了したことを示します。TRIMD.TIM ビットが 0 の場合、フレームの送信ごとに 1 になります。TRIMD.TIS ビットが 1 のときのみ、1 になります。

31.2.7 PTP 用 EDMAC ステータスレジスタ（PTPEDMAC.EESR）

アドレス PTPEDMAC.EESR 4006 4428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWB	—	—	—	TABT	—	RFCOF	ADE	—	TC	TDE	TFUF	FR	RDE	RFOF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACE	RPORT	—	—	PVER	TYPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	TYPE[3:0]	PTP v2メッセージタイプフラグ	b3 b0 0 0 0 0：Sync 0 0 0 1：Delay_Req 0 0 1 0：Pdelay_Req 0 0 1 1：Pdelay_Resp 1 0 0 0：Follow_Up 1 0 0 1：Delay_Resp 1 0 1 0：Pdelay_Resp_Follow_Up 1 0 1 1：Announce 1 1 0 0：Signaling 1 1 0 1：Management その他の設定は予約されています。	R/W
b4	PVER	PTP v2パケットフラグ	0：PTP v2パケットではない 1：PTP v2パケットである	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	RPORT	受信ポート表示フラグ	0：ポート0 1：ポート1	R/W
b8	MACE	MACアドレス不一致フラグ	0：送信フレームデータの送信元MACアドレスが設定値と一致 1：送信フレームデータの送信元MACアドレスが設定値と一致していない	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	RFOF	受信FIFOオーバーフローフラグ	0：オーバーフロー発生なし 1：オーバーフロー発生	R/W
b17	RDE	受信ディスクリプタ枯渇フラグ	0：受信ディスクリプタ有効ビットRD0.RACT = 1を検出 1：受信ディスクリプタ有効ビットRD0.RACT = 0を検出	R/W
b18	FR	フレーム受信フラグ	0：フレーム未受信 1：フレーム受信、および受信ディスクリプタ更新	R/W
b19	TFUF	送信FIFOアンダーフローフラグ	0：アンダーフローなし 1：アンダーフロー発生	R/W
b20	TDE	送信ディスクリプタ枯渇フラグ	0：送信ディスクリプタ有効ビットTD0.TACT = 1を検出 1：送信ディスクリプタ有効ビットTD0.TACT = 0を検出	R/W
b21	TC	フレーム転送完了フラグ	0：転送未完了または転送要求なし 1：送信ディスクリプタで指示された全フレームの送信FIFOへの転送が完了した	R/W
b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	ADE	アドレスエラーフラグ	0：不正なメモリアドレスは検出していない（正常動作） 1：不正なメモリアドレスを検出した（注1）	R/W
b24	RFCOF	受信フレームカウンタオーバーフローフラグ	0：受信フレームカウンタがオーバーフローしていない 1：受信フレームカウンタがオーバーフローした	R/W
b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26	TABT	送信中断検出フラグ	0：フレーム送信中断未発生または送信未指示 1：フレーム送信中断	R/W

ビット	シンボル	ビット名	機能	R/W
b29-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30	TWB	ライトバック完了フラグ	0：ライトバック未完了または送信要求なし 1：送信ディスクリプタのライトバック完了	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. アドレスエラーが検出されると EDMAC は処理を停止します。再開するには、EDMR.SWR ビットを 1（EDMAC および ETHERC をリセット）にしてから、EDMAC および ETHERC を再設定してください。

PTPEDMAC.EESR レジスタは、PTPEDMAC の通信ステータスを示すレジスタです。EESR レジスタの各フラグは、PTPEDMAC からの割り込み要求信号（ETHER_PINT）として出力することができます。1 を書くとフラグが 0 になります。0 を書いてもフラグの値は変化しません。TYPE[3:0] フラグを除くすべての割り込み要因は、PTPEDMAC.EESIPR レジスタで関連ビットを設定することにより有効になります。

TYPE[3:0] フラグ（PTP v2 メッセージタイプフラグ）

受信した PTP メッセージのタイプを示します。

PVER フラグ（PTP v2 パケットフラグ）

受信したパケットが PTP v2 パケットであるかどうかを示します。

RPORT フラグ（受信ポート表示フラグ）

PTP メッセージをどちらの Ethernet ポートで受信したかを示します。

MACE フラグ（MAC アドレス不一致フラグ）

送信元 MAC アドレスが設定値と異なることを示します。

RFOF フラグ（受信 FIFO オーバーフローフラグ）

フレーム受信中に受信 FIFO がオーバーフローしたことを示します。

RDE フラグ（受信ディスクリプタ枯渇フラグ）

読み出した受信ディスクリプタが無効であったことを示します。このフラグが 1 になった場合は、当該受信ディスクリプタの RD0.RACT ビットを 1 にし、EDRRR.RR ビットを 1 にすると、受信を再開することができます。

FR フラグ（フレーム受信フラグ）

フレームを受信し、受信ディスクリプタを更新したことを示します。FR フラグは、1 フレームの受信が完了する度に 1 になります。

TFUF フラグ（送信 FIFO アンダーフローフラグ）

フレーム送信中に送信 FIFO 内のデータがなくなったことを示します。回線には不完全なデータが送出されます。

TDE フラグ（送信ディスクリプタ枯渇フラグ）

マルチバッファフレーム送信のとき、処理中の送信ディスクリプタがフレームを完結しない設定（TD0.TFP[1:0] ビットが 10b または 00b）である場合に、次に読み出したディスクリプタの TD0.TACT ビットが 0 であったことを示します。結果として、不完全なフレームを送出する場合があります。

このフラグが 1 になった場合は、ソフトウェアリセットを実施してから EDTRR.TR ビットを 1 にして、送信を再開してください。このとき TDLAR レジスタに格納されているアドレスからの送信開始となります。

TC フラグ（フレーム転送完了フラグ）

送信ディスクリプタによって指定されたデータをすべて ETHERC から送信したことを示します。シングルバッファフレーム送信の場合は、1 フレームの送信が完了したときフラグが 1 になります。マルチバッファフレーム送信の場合は、フレーム最後のデータを送信し、次に読み出した送信ディスクリプタの TD0.TACT ビットが 0 のときに、フラグが 1 になります。フレーム送信完了後、PTPEDMAC は転送ステータスを当該ディスクリプタにライトバックします。

ADE フラグ（アドレスエラーフラグ）

PTPEDMAC が転送に使用しようとしたメモリアドレスが不正であったことを示します。

RFCOF フラグ（受信フレームカウンタオーバーフローフラグ）

受信 FIFO 内に格納できるフレーム数が上限（16 フレーム）に達しているときに、次のフレームの受信が始まったことを示します。RFCOF フラグが 1 のときに受信したフレームは破棄されます。

TABT フラグ（送信中断検出フラグ）

フレーム送信時、送信リトライオーバー、キャリア消失、キャリア未検出などによって ETHERC がフレーム送信を中断したことを示します。

TWB フラグ（ライトバック完了フラグ）

フレーム送信完了後の PTPEDMAC による当該ディスクリプタへのライトバックが完了したことを示します。TRIMD.TIM ビットが 0 の場合、フレームの送信ごとに 1 になります。TRIMD.TIS ビットを 1 にしたときのみ、1 になります。

31.2.8 ETHERC/EDMAC ステータス割り込みイネーブルレジスタ（EDMACn.EESIPR）（n = 0, 1）

アドレス EDMAC0.EESIPR 4006 4030h, EDMAC1.EESIPR 4006 4230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWBIP	—	—	—	TABTIP	RABTIP	RFCOFIP	ADEIP	ECIIP	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CNDIP	DLCIP	CDIP	TROIP	RMAFIP	—	—	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CERFIP	CRCエラー割り込み要求許可	0：CRCエラー割り込み要求禁止 1：CRCエラー割り込み要求許可	R/W
b1	PREIP	PHY-LSI受信エラー割り込み要求許可	0：PHY-LSI受信エラー割り込み要求禁止 1：PHY-LSI受信エラー割り込み要求許可	R/W
b2	RTSFIP	ショートフレーム受信エラー割り込み要求許可	0：ショートフレーム受信エラー割り込み要求禁止 1：ショートフレーム受信エラー割り込み要求許可	R/W
b3	RTLFIP	ロングフレーム受信エラー割り込み要求許可	0：ロングフレーム受信エラー割り込み要求禁止 1：ロングフレーム受信エラー割り込み要求許可	R/W
b4	RRFIP	端数ビットフレーム受信割り込み要求許可	0：端数ビットフレーム受信割り込み要求禁止 1：端数ビットフレーム受信割り込み要求許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	RMAFIP	マルチキャストアドレスフレーム受信割り込み要求許可	0：マルチキャストアドレスフレーム受信割り込み要求禁止 1：マルチキャストアドレスフレーム受信割り込み要求許可	R/W
b8	TROIP	送信リトライオーバー割り込み要求許可	0：送信リトライオーバー割り込み要求禁止 1：送信リトライオーバー割り込み要求許可	R/W
b9	CDIP	遅延衝突検出割り込み要求許可	0：遅延衝突検出割り込み要求禁止 1：遅延衝突検出割り込み要求許可	R/W
b10	DLCIP	キャリア消失検出割り込み要求許可	0：キャリア消失検出割り込み要求禁止 1：キャリア消失検出割り込み要求許可	R/W
b11	CNDIP	キャリア未検出割り込み要求許可	0：キャリア未検出割り込み要求禁止 1：キャリア未検出割り込み要求許可	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	RFOFIP	受信FIFOオーバーフロー割り込み要求許可	0：オーバーフロー割り込み要求禁止 1：オーバーフロー割り込み要求許可	R/W
b17	RDEIP	受信ディスクリプタ枯渇割り込み要求許可	0：受信ディスクリプタ枯渇割り込み要求禁止 1：受信ディスクリプタ枯渇割り込み要求許可	R/W
b18	FRIP	フレーム受信割り込み要求許可	0：フレーム受信割り込み要求禁止 1：フレーム受信割り込み要求許可	R/W
b19	TFUFIP	送信FIFOアンダーフロー割り込み要求許可	0：アンダーフロー割り込み要求禁止 1：アンダーフロー割り込み要求許可	R/W
b20	TDEIP	送信ディスクリプタ枯渇割り込み要求許可	0：送信ディスクリプタ枯渇割り込み要求禁止 1：送信ディスクリプタ枯渇割り込み要求許可	R/W
b21	TCIP	フレーム送信完了割り込み要求許可	0：フレーム送信完了割り込み要求禁止 1：フレーム送信完了割り込み要求許可	R/W
b22	ECIIP	ETHERCステータスレジスタ要因割り込み要求許可	0：ETHERCステータス割り込み要求禁止 1：ETHERCステータス割り込み要求許可	R/W

ビット	シンボル	ビット名	機能	R/W
b23	ADEIP	アドレスエラー割り込み要求許可	0：アドレスエラー割り込み要求禁止 1：アドレスエラー割り込み要求許可	R/W
b24	RFCOFIP	受信フレームカウンタオーバーフロー割り込み要求許可	0：受信フレームカウンタオーバーフロー割り込み要求禁止 1：受信フレームカウンタオーバーフロー割り込み要求許可	R/W
b25	RABTIP	受信中断検出割り込み要求許可	0：受信中断検出割り込み要求禁止 1：受信中断検出割り込み要求許可	R/W
b26	TABTIP	送信中断検出割り込み要求許可	0：送信中断検出割り込み要求禁止 1：送信中断検出割り込み要求許可	R/W
b29-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30	TWBIP	ライトバック完了割り込み要求許可	0：ライトバック完了割り込み要求禁止 1：ライトバック完了割り込み要求許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EDMACn.EESIPR レジスタは、EDMACn.EESR レジスタの各ビットに関連する割り込み要求を許可するレジスタです。各ビットを 1 にすることで割り込み要求が許可されます。

31.2.9 PTP/EDMAC ステータス割り込みイネーブルレジスタ（PTPEDMAC.EESIPR）

アドレス PTPEDMAC.EESIPR 4006 4430h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	TWBIP	—	—	—	TABTIP	—	RFCOFIP	ADEIP	—	TCIP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MACEIP	RPORTIP	—	—	PVERIP	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	PVERIP	PTP v2パケット受信割り込み要求許可	0：PTP v2パケット受信割り込み要求禁止 1：PTP v2パケット受信割り込み要求許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	RPORTIP	受信ポート割り込み要求許可	0：ポート1にフレーム受信時の割り込み要求禁止 1：ポート1にフレーム受信時の割り込み要求許可	R/W
b8	MACEIP	MACアドレス不一致割り込み要求許可	0：送信フレームデータの送信元MACアドレスが設定値と一致していないときの割り込み要求を禁止 1：送信フレームデータの送信元MACアドレスが設定値と一致していないときの割り込み要求を許可	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	RFOFIP	受信FIFOオーバーフロー割り込み要求許可	0：オーバーフロー割り込み要求禁止 1：オーバーフロー割り込み要求許可	R/W
b17	RDEIP	受信ディスクリプタ枯渇割り込み要求許可	0：受信ディスクリプタ枯渇割り込み要求禁止 1：受信ディスクリプタ枯渇割り込み要求許可	R/W
b18	FRIP	フレーム受信割り込み要求許可	0：フレーム受信割り込み要求禁止 1：フレーム受信割り込み要求許可	R/W
b19	TFUFIP	送信FIFOアンダーフロー割り込み要求許可	0：アンダーフロー割り込み要求禁止 1：アンダーフロー割り込み要求許可	R/W
b20	TDEIP	送信ディスクリプタ枯渇割り込み要求許可	0：送信ディスクリプタ枯渇割り込み要求禁止 1：送信ディスクリプタ枯渇割り込み要求許可	R/W
b21	TCIP	フレーム送信完了割り込み要求許可	0：フレーム送信完了割り込み要求禁止 1：フレーム送信完了割り込み要求許可	R/W
b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	ADEIP	アドレスエラー割り込み要求許可	0：アドレスエラー割り込み要求禁止 1：アドレスエラー割り込み要求許可	R/W
b24	RFCOFIP	受信フレームカウンタオーバーフロー割り込み要求許可	0：受信フレームカウンタオーバーフロー割り込み要求禁止 1：受信フレームカウンタオーバーフロー割り込み要求許可	R/W
b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26	TABTIP	送信中断検出割り込み要求許可	0：送信中断検出割り込み要求禁止 1：送信中断検出割り込み要求許可	R/W
b29-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30	TWBIP	ライトバック完了割り込み要求許可	0：ライトバック完了割り込み要求禁止 1：ライトバック完了割り込み要求許可	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PTPEDMAC.EESIPR レジスタは、PTPEDMAC.EESR レジスタの各ビットに関連する割り込み要求を許可するレジスタです。各ビットを 1 にすることで割り込み要求が許可されます。

31.2.10 ETHERC/EDMAC 送受信ステータスコピー指示レジスタ（EDMACn.TRSCER）（n = 0, 1）

アドレス EDMAC0.TRSCER 4006 4038h, EDMAC1.TRSCER 4006 4238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	RMAFCE	—	—	RRFCE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	RRFCE	RRF フラグコピー指示	0：EESR.RRF フラグのステータスを受信ディスクリプタのRD0.RFE ビットに反映する 1：EESR.RRF フラグのステータスを受信ディスクリプタのRD0.RFE ビットに反映しない	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	RMAFCE	RMAF フラグコピー指示	0：EESR.RMAF フラグのステータスを受信ディスクリプタの RD0.RFE ビットに反映する 1：EESR.RMAF フラグのステータスを受信ディスクリプタの RD0.RFE ビットに反映しない	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EDMACn.TRSCER レジスタは、EDMACn.EESR レジスタの RMAF フラグおよび RRF フラグが示す受信ステータスを、受信ディスクリプタの RFE ビットにサマリとして反映するか否かを選択するレジスタです。このレジスタの各ビットは、EESR レジスタの同番号のビットに関連しています。RMAFCE または RRFCE ビットを 0 にすると、関連する受信ステータスが RFE ビットに反映されます。RMAFCE または RRFCE ビットを 1 にすると、関連する受信ステータスは反映されません。

31.2.11 ミスドフレームカウンタレジスタ（RMFCR）

アドレス EDMAC0.RMFCR 4006 4040h, EDMAC1.RMFCR 4006 4240h, PTPEDMAC.RMFCR 4006 4440h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MFC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	MFC[15:0]	ミスドフレームカウンタ	受信時に、受信バッファに転送しきれずに破棄されたフレーム数を示します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMFCR レジスタは、受信時に受信 FIFO に収容しきれずに破棄されたフレームの数を示すレジスタです。受信 FIFO がオーバーフローすると、受信 FIFO はデータの受け入れを中断し、これ以降のフレームを破棄します。このとき同時に RMFCR レジスタの値をインクリメントします。RMFCR レジスタの値が FFFFh になるとカウントアップを停止します。RMFCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

途中までしか受信できなかったフレームについては、受信 FIFO 内のデータが受信バッファに転送された後、受信ディスクリプタ 0（RD0）の RACT ビットが 0（ディスクリプタ無効）に、RFS9 ビットが 1（受信 FIFO オーバーフロー）に、および EDMACn.EESR レジスタまたは PTPEDMAC.EESR レジスタの RFOF フラグが 1（オーバーフロー検出）になります。

31.2.12 送信 FIFO しきい値指定レジスタ（TFTR）

アドレス EDMAC0.TFTR 4006 4048h, EDMAC1.TFTR 4006 4248h, PTPEDMAC.TFTR 4006 4448h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TFT[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	TFT[10:0]	送信FIFOしきい値	000h：ストア＆フォワードモード 001h～00Ch：設定禁止 00Dh～200h：設定した値の4倍の値がしきい値になります 例： 00Dh：52バイト 040h：256バイト 100h：1024バイト 200h：2048バイト 201h～7FFh：設定禁止	R/W
b31-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

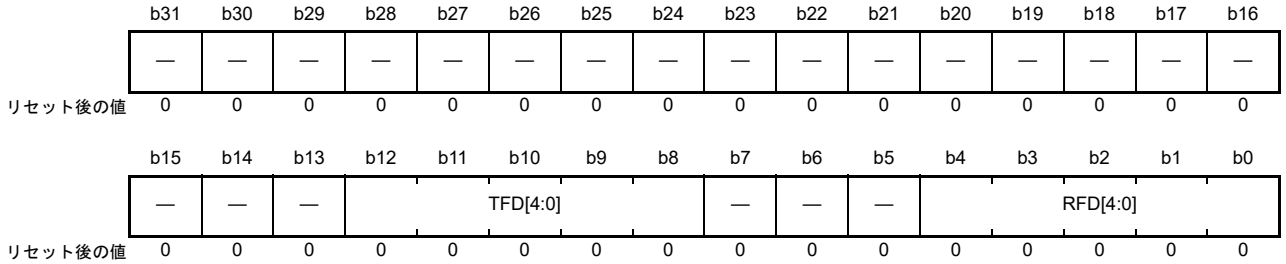
注 . 1 フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダーフローの発生に注意が必要です。送信アンダーフローを防止するため、初期値の使用をお勧めします (ストア & フォワードモード)。

TFTR レジスタは、最初の送信を開始するまでの送信 FIFO のしきい値を設定するレジスタです。実際のしきい値は、設定した数値の 4 倍の値に相当します。

ETHERC は送信 FIFO 内のデータ数がレジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが完了すると送信を開始します。なお TFTR レジスタの設定は、EDTRR.TR ビットが 0 のときに行ってください。

31.2.13 FIFO 容量指定レジスタ（FDR）

アドレス EDMAC0.FDR 4006 4050h, EDMAC1.FDR 4006 4250h, PTPEDMAC.FDR 4006 4450h

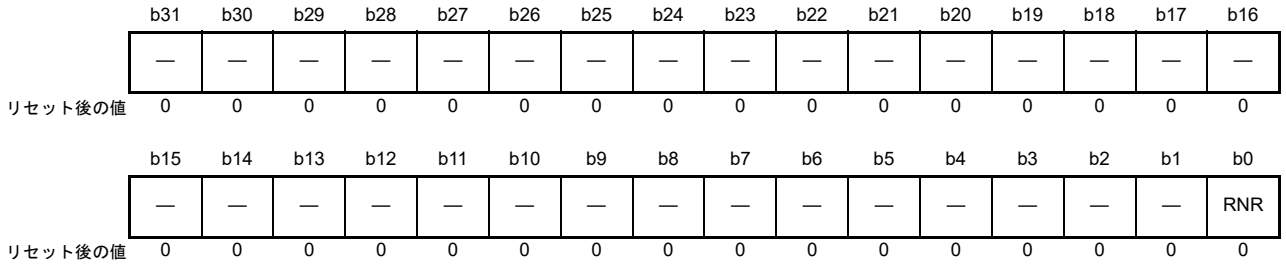


ビット	シンボル	ビット名	機能	R/W
b4-b0	RFD[4:0]	受信FIFO容量	b4 b0 0 1 1 1 1：4096バイト 上記以外は設定しないでください。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12-b8	TFD[4:0]	送信FIFO容量	b12 b8 0 0 1 1 1：2048バイト 上記以外は設定しないでください。	R/W
b31-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FDR レジスタは、送信および受信 FIFO の容量を指定するレジスタです。送受信を開始する前に、0000_070Fh を設定してください。

31.2.14 受信方式コントロールレジスタ（RMCR）

アドレス EDMAC0.RMCR 4006 4058h, EDMAC1.RMCR 4006 4258h, PTPEDMAC.RMCR 4006 4458h



ビット	シンボル	ビット名	機能	R/W
b0	RNR	受信要求リセット	0：1フレームの受信が完了したとき、EDRRR.RRビット（受信要求ビット）を0にする 1：1フレームの受信が完了したとき、EDRRR.RRビット（受信要求ビット）を0にしない	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RMCR レジスタは、フレームを受信するときの EDRRR.RR ビットの制御方法を設定するレジスタです。RNR ビットが 0 の状態で 1 フレームを受信すると EDRRR.RR ビットが 0 になります。後続フレームを受信するには、ソフトウェアで RR ビットを 1 にする必要があります。RNR ビットが 1 の状態で 1 フレームを受信しても、EDRRR.RR ビットは 0 にならないため、EDMAC は次の受信ディスクリプタを読み出してフレームの受信を継続します。連続で受信を行う場合は、RNR ビットを 1 にしておくことを推奨いたします。RMCR レジスタの設定は、EDRRR.RR ビットが 0 のときに行ってください。

31.2.15 送信 FIFO アンダーフローカウンタ（TFUCR）

アドレス EDMAC0.TFUCR 4006 4064h, EDMAC1.TFUCR 4006 4264h, PTPEDMAC.TFUCR 4006 4464h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	UNDER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	UNDER[15:0]	送信FIFOアンダーフロー数	送信FIFOのアンダーフローが発生した回数が表示されます。 カウンタ値がFFFFhに達すると、カウンタは停止します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TFUCR レジスタは、送信 FIFO がアンダーフローした回数を示すレジスタです。TFUCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

31.2.16 受信 FIFO オーバーフローカウンタ（RFOCR）

アドレス EDMAC0.RFOCR 4006 4068h, EDMAC1.RFOCR 4006 4268h, PTPEDMAC.RFOCR 4006 4468h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVER[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	OVER[15:0]	受信FIFOオーバーフロー数	受信FIFOのオーバーフローが発生した回数が表示されます。 カウンタ値がFFFFhに達すると、カウンタは停止します。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RFOCR レジスタは、受信 FIFO がオーバーフローした回数を示すレジスタです。RFOCR レジスタに任意の値を書くと、カウンタの値は 0 になります。

31.2.17 個別出力信号設定レジスタ（IOSR）

アドレス EDMAC0.IOSR 4006 406Ch, EDMAC1.IOSR 4006 426Ch, PTPEDMAC.IOSR 4006 446Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ELB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ELB	外部ループバックモード	0：ETn_EXOUT端子はLowを出力 1：ETn_EXOUT端子はHighを出力	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

IOSR レジスタは、外部ループバックモード時に ETHERC の外部出力端子（ETn_EXOUT）の出力レベルを選択するレジスタです。ELB ビットの値は、外部出力端子（ETn_EXOUT）に出力されます。ETn_EXOUT 端子を用いて PHY-LSI におけるループバックモードの選択などに利用します。このレジスタによって PHY-LSI のループバック機能を実現する場合は、PHY-LSI を ETn_EXOUT 端子に接続する必要があります。

31.2.18 フローコントロール開始 FIFO しきい値設定レジスタ（FCFTR）

アドレス EDMAC0.FCFTR 4006 4070h, EDMAC1.FCFTR 4006 4270h, PTPEDMAC.FCFTR 4006 4470h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFFO[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	RFDO[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	RFDO[2:0]	受信FIFO格納データ量PAUSE送出しきい値	b2 b0 0 0 0：受信FIFO内に224（256～32）バイトのデータを格納時 0 0 1：受信FIFO内に480（512～32）バイトのデータを格納時 ： 1 1 0：受信FIFO内に1760（1792～32）バイトのデータを格納時 1 1 1：受信FIFO内に2016（2048～32）バイトのデータを格納時	R/W
b15-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b18-b16	RFFO[2:0]	受信FIFO格納フレーム数PAUSE送出しきい値	b18 b16 0 0 0：受信FIFO内に受信フレームを2フレーム格納完了時 0 0 1：受信FIFO内に受信フレームを4フレーム格納完了時 0 1 0：受信FIFO内に受信フレームを6フレーム格納完了時 ： 1 1 0：受信FIFO内に受信フレームを14フレーム格納完了時 1 1 1：受信FIFO内に受信フレームを16フレーム格納完了時	R/W
b31-b19	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FCFTR レジスタは ETHERC フロー制御を指定します。PAUSE フレームを自動的に送信するように、しきい値を設定します。受信 FIFO 内の格納データ量（RFDO[2:0] ビット）、格納フレーム数（RFFO[2:0] ビット）によるしきい値を設定できます。格納データ量または格納フレーム数がしきい値に達すると、フロー制御を開始します。

31.2.19 受信データパディング挿入設定レジスタ（RPADIR）

アドレス EDMAC0.RPADIR 4006 4078h, EDMAC1.RPADIR 4006 4278h, PTPEDMAC.RPADIR 4006 4478h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PADS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	PADR[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	PADR[5:0]	パディング挿入位置指定	00h：受信データの先頭にパディングを挿入 01h：受信データの1バイト目と2バイト目の間にパディングを挿入 ： 3Eh：受信データの62バイト目と63バイト目の間にパディングを挿入 3Fh：受信データの63バイト目と64バイト目の間にパディングを挿入	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	PADS[1:0]	パディング挿入サイズ指定	b17 b16 0 0：パディングを挿入しない 0 1：1バイトを挿入 1 0：2バイトを挿入 1 1：3バイトを挿入	R/W
b31-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

RPADIR レジスタは、受信データに対するパディングの挿入を指定するレジスタです。パディング値は 00h です。PRADIR レジスタを書き換える前に、EDMR.SWR ビットを 1 にしてリセットしてください。

31.2.20 送信割り込み設定レジスタ（TRIMD）

アドレス EDMAC0.TRIMD 4006 407Ch, EDMAC1.TRIMD 4006 427Ch, PTPEDMAC.TRIMD 4006 447Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	TIM	—	—	—	TIS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TIS	送信割り込み許可	0：送信割り込み禁止 1：送信割り込み許可 TIMビットで指定したモードでEESR.TWBフラグを1とし、割り込み報告を行う。	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TIM	送信割り込みモード	0：送信完了割り込みモードを選択。フレーム送信が完了したときに割り込みが発生します。 1：ライトバック完了割り込みモードを選択。TWBIビットが1になっている送信ディスクリプタへのライトバックが完了したときに割り込みが発生します。	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TRIMD レジスタは、送信割り込みのモードを指定し、送信割り込みを禁止／許可するレジスタです。このレジスタで選択された条件が満たされると、EESR.TWB フラグが 1 になり、EESIPR.TWBIP ビットが 1 であると、割り込み要求が出力されます。

31.2.21 受信バッファライトアドレスレジスタ（RBWAR）

アドレス EDMAC0.RBWAR 4006 40C8h, EDMAC1.RBWAR 4006 42C8h, PTPEDMAC.RBWAR 4006 44C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RBWAR レジスタは、受信バッファに書き込む際に、EDMAC が最後にデータを書き込んだアドレスを示すレジスタです。このレジスタの内容を確認して、EDMAC が受信バッファ内のどのアドレスに対し書き込み処理を実行しているかを認識できます。ただし、データ受信中は、EDMAC が受信バッファに対して出力しているアドレスと RBWAR レジスタの読み出し値が一致していない場合があります。RBWAR レジスタは、読み出し専用です。書き込みは禁止です。

31.2.22 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）

アドレス EDMAC0.RDFAR 4006 40CCh, EDMAC1.RDFAR 4006 42CCh, PTPEDMAC.RDFAR 4006 44CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RDFAR レジスタは、EDMAC が受信ディスクリプタからディスクリプタ情報を取得するとき、最後に取得した受信ディスクリプタの開始アドレスを示すレジスタです。このレジスタの内容を確認して、EDMAC がアクティブな処理に使用している受信ディスクリプタ情報を認識できます。データ受信中は、EDMAC が取得した受信ディスクリプタのアドレスと RDFAR レジスタの読み出し値が一致していない場合があります。RDFAR レジスタは、読み出し専用です。書き込みは禁止です。

31.2.23 送信バッファリードアドレスレジスタ（TBRAR）

アドレス EDMAC0.TBRAR 4006 40D4h, EDMAC1.TBRAR 4006 42D4h, PTPEDMAC.TBRAR 4006 44D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TBRAR レジスタは、送信バッファから読み出す際に、EDMAC が最後にデータを読み出したアドレスを示すレジスタです。このレジスタの内容を確認して、EDMAC が送信バッファ内のどのアドレスから読み出し処理を実行しているかを認識できます。EDMAC が送信バッファに対して出力しているアドレスと TBRAR レジスタの読み出し値が一致していない場合があります。TBRAR レジスタは、読み出し専用です。書き込みは禁止です。

31.2.24 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）

アドレス EDMAC0.TDFAR 4006 40D8h, EDMAC1.TDFAR 4006 42D8h, PTPEDMAC.TDFAR 4006 44D8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TDFAR レジスタは、EDMAC が送信ディスクリプタからディスクリプタ情報を取得するとき、最後に取得した送信ディスクリプタの開始アドレスを示すレジスタです。このレジスタの内容を確認して、EDMAC がアクティブな処理に使用している送信ディスクリプタ情報を認識できます。EDMAC が取得した送信ディスクリプタのアドレスと TDFAR レジスタの読み出し値が一致していない場合があります。TDFAR レジスタは、読み出し専用です。書き込みは禁止です。

31.3 動作説明

EDMAC は、ディスクリプタに書かれた情報に基づいてデータ転送を行います。送信用と受信用の 2 つのディスクリプタが用意されています。ディスクリプタは、バッファサイズ、アドレス、および送信または受信ステータスで構成されています。このディスクリプタを複数個連続して配置することで、送信および受信を連続して行います。

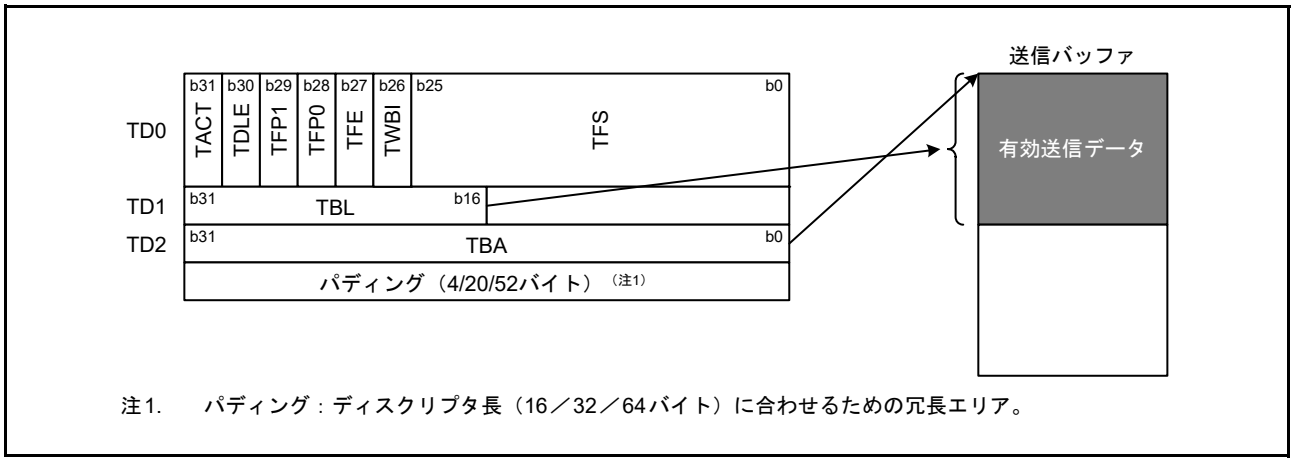
31.3.1 ディスクリプタリストとデータバッファ

EDMAC を使用してデータを転送するには、送信および受信のディスクリプタリストをメモリ内に作成して、送信ディスクリプタリストの開始アドレスを TDLAR レジスタに、受信ディスクリプタリストの開始アドレスを RDLAR レジスタに設定してください。また、それぞれのディスクリプタに対応する送信バッファと受信バッファも確保する必要があります。

ディスクリプタリストは、EDMR.DL[1:0] ビットで設定したディスクリプタ長に従ったアドレス境界に配置してください。送信バッファは、ワード境界、ハーフワード境界、バイト境界のいずれに配置しても構いません。ただし、送信バッファの有効バイト長が 16 バイト以下になる場合は、32 バイト境界に配置してください。受信バッファは、32 バイト境界に配置してください。また、EDMAC0、EDMAC1、PTPEDMAC が使用する送信および受信ディスクリプタや送信および受信バッファのアドレスは、それぞれ重ならないように配置してください。

31.3.1.1 送信ディスクリプタ

図 31.3 に送信ディスクリプタと送信バッファの関係を示します。送信ディスクリプタは、TD0 ～ TD2 で構成されています。送信ディスクリプタへの設定値によって、送信フレームと送信バッファの構成を 1 バッファ／フレーム（シングルバッファフレーム送信）、または複数バッファ／フレーム（マルチバッファフレーム送信）のように関連づけることが可能です。



注1. パディング：ディスクリプタ長（16／32／64バイト）に合わせるための冗長エリア。

図 31.3 送信ディスクリプタと送信バッファの関係

(1) 送信ディスクリプタ 0（TD0）

ビット	シンボル	ビット名	機能	R/W
b25-b0	TFS	送信フレームステータス	ディスクリプタ作成時は全ビットを0にしてください。ライトバックされた後の各ビットの意味は以下のとおりです。 • EDMACnの場合 TFS25～TFS9：予約ビット TFS8：送信中断検出（EESR.TABTフラグに相当） TFS7～TFS4：予約ビット TFS3：キャリア未検出（EESR.CNDフラグに相当） TFS2：キャリア消失検出（EESR.DLCフラグに相当） TFS1：送信中の遅延衝突検出（EESR.CDフラグに相当） TFS0：送信リトライオーバー（EESR.TROフラグに相当） 各ビットが1になった場合、フレーム送信中に該当するエラーが発生したことを示します。TFSのいずれかのビットが1になった場合、TFEビットも1になります。TFS3～TFS0のいずれかのビットが1になった場合、TFS8も1になります。 • PTPEDMACの場合 TFS25～TFS9：予約ビット TFS8：送信中断検出（EESR.TABTフラグに相当） TFS7～TFS1：予約ビット TFS0：送信フレームデータの送信元MACアドレスが設定値と不一致（EESR.MACEフラグに相当） 各ビットが1になった場合、フレーム送信中に該当するエラーが発生したことを示します。TFSのいずれかのビットが1になった場合、TFEビットも1になります。TFS0が1になった場合、TFS8も1になります。	R/W
b26	TWBI	ライトバック完了割り込み指示	0：このディスクリプタへのライトバック完了時に割り込みを発生させない 1：このディスクリプタへのライトバック完了時に割り込みを発生させる	R/W
b27	TFE	送信フレームエラー	0：フレーム送信は正常に終了 1：フレーム送信中にエラー発生（送信中断）	R/W
b29-b28	TFP[1:0]	送信フレーム内位置	b29 b28 0 0：このディスクリプタが示す送信バッファは送信フレームの中間部分（フレームを完結しない） 0 1：このディスクリプタが示す送信バッファは送信フレームの最終部分（フレームを完結する） 1 0：このディスクリプタが示す送信バッファは送信フレームの先頭部分（フレームを完結しない） 1 1：このディスクリプタが示す送信バッファの内容が送信フレームのすべて（1バッファ／フレーム）	R/W
b30	TDLE	送信ディスクリプタリスト最終	ビットが1であると、当該ディスクリプタが受信ディスクリプタリストの最終であることを示します。	R/W
b31	TACT	送信ディスクリプタ有効	当該ディスクリプタが有効であることを示します。	R/W

注．　ライトバックされるビットを下線で示しています。

TD0 は送信フレームの設定と、送信後のステータスを示します。

TFE ビット（送信フレームエラー）

TFE ビットが 1 のとき、TFS ビットのいずれかが 1 になっていることを示します。

TFP[1:0] ビット（送信フレーム内位置）

送信バッファと送信フレームの関連付けを行います。前後のディスクリプタにおいて、TFP[1:0] ビットおよび TD1.TBL ビットの設定は、論理的に矛盾しない関係を維持してください。

TACT ビット（送信ディスクリプタ有効）

該当ディスクリプタが有効であることを示します。TACT ビットはソフトウェアによって 1 にされ、送信フレームの転送が完了したとき、または送信が中断されたときに 0 になります。

(2) 送信ディスクリプタ 1（TD1）

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b16	TBL	送信バッファ長	関連する送信バッファの有効バイト長を指定します。1以上の値を設定してください。	R/W

送信バッファの有効バイト長を指定します。

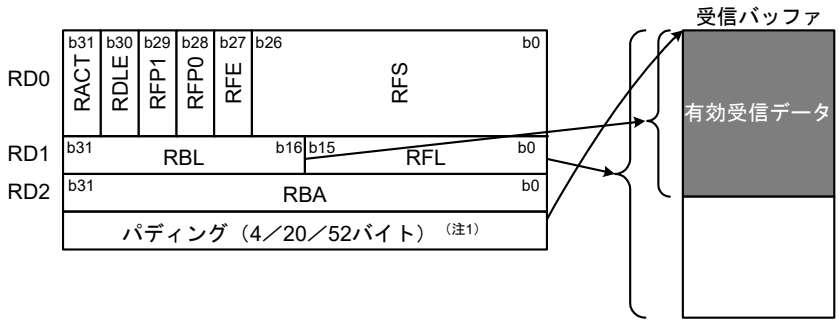
(3) 送信ディスクリプタ 2（TD2）

ビット	シンボル	ビット名	機能	R/W
b31-b0	TBA	送信バッファアドレス	送信バッファの開始アドレスを指定します。TD1.TBLビットの値が1～16バイトの場合は、32バイト境界に配置してください。	R/W

送信バッファの開始アドレスを指定します。

31.3.1.2 受信ディスクリプタ

図 31.4 に、受信ディスクリプタと受信バッファの関係を示します。受信ディスクリプタへの設定値によって、受信フレームと受信バッファの構成を 1 バッファ／フレーム（シングルバッファフレーム受信）、または複数バッファ／フレーム（マルチバッファフレーム受信）のように指定することが可能です。受信バッファ長（RBL）を 0 にした場合、ディスクリプタ指定の動作は保証されません。



注1. パディング：ディスクリプタ長（16／32／64バイト）に合わせるための冗長エリア。

図 31.4 受信ディスクリプタと受信バッファの関係

(1) 受信ディスクリプタ 0（RD0）

ビット	シンボル	ビット名	機能	R/W
b26-b0	RFS	受信フレームステータス	ディスクリプタ作成時は全ビットを0にしてください。ライトバックされた後の各ビットの意味は以下のとおりです。 • EDMACnの場合 RFS26～RFS10：予約ビット RFS9：受信FIFOオーバーフロー（EESR.RFOFフラグに相当） RFS8：受信中断検出（EESR.RABTフラグに相当） RFS7：マルチキャストアドレスフレームを受信（EESR.RMAFフラグに相当） RFS6およびRFS5：予約ビット RFS4：端数ビットフレーム受信エラー（EESR.RRFフラグに相当） RFS3：ロングフレーム受信エラー（EESR.RTLFフラグに相当） RFS2：ショートフレーム受信エラー（EESR.RTSFフラグに相当） RFS1：PHY-LSI受信エラー（EESR.PREフラグに相当） RFS0：CRCエラー（EESR.CERFフラグに相当） 各ビットが1になった場合、フレーム受信中に該当するエラーが発生したことを示します。RFSのいずれかのビットが1になった場合、RFEビットも1になります（RFS7とRFS4は、TRSCERレジスタによってRFEビットに反映させないこともできます）。RFS3～RFS0のいずれかのビットが1になった場合、RFS8も1になります。 • PTPEDMACの場合 RFS26～RFS10：予約ビット RFS9：受信FIFOオーバーフロー（EESR.RFOFフラグに相当） RFS8：予約ビット RFS7：受信ポート（EESR.RPORTフラグに相当） RFS4：PTP v2パケット受信（EESR.PVERフラグに相当）（PTPパケットのみ受信が可能です。非PTPパケットを受信した場合、PTPEDACには転送されずに破棄されます。） RFS3～RFS0：受信PTPメッセージタイプ（EESR.TYPE[3:0]フラグに相当） 各ビットは、受信したフレームのステータスを示します。	R/W
b27	RFE	受信フレームエラー	• EDMACnの場合 0：受信フレームにエラーなし 1：受信フレームにエラーあり • PTPEDMACの場合 予約ビット	R/W
b29-b28	RFP[1:0]	受信フレーム内位置	b29 b28 0 0：このディスクリプタが示す受信バッファは、受信フレームの中間部分（フレームを完結しない） 0 1：このディスクリプタが示す受信バッファは、受信フレームの最終部分（フレームを完結する） 1 0：このディスクリプタが示す受信バッファは、受信フレームの先頭部分（フレームを完結しない） 1 1：このディスクリプタが示す受信バッファは、受信フレームのすべて（1バッファ／フレーム）	R/W
b30	RDLE	受信ディスクリプタリスト最終	ビットが1であると、当該ディスクリプタが受信ディスクリプタリストの最終であることを示します。	R/W
b31	RACT	受信ディスクリプタ有効	当該ディスクリプタが有効であることを示します。	R/W

注． ライトバックされるビットを下線で示しています。

RD0 は、受信フレームのステータスを示します。

RFE ビット（受信フレームエラー）

RFE ビットが 1 のとき、RFS ビットのいずれかが 1 になっていることを示します。EDMACn の RFS7 と RFS4 ビットは、TRSCER レジスタによって RFE ビットに反映させないこともできます。

RFP[1:0] ビット（受信フレーム内位置）

受信バッファと受信フレームの関連づけを行います。

RACT ビット（受信ディスクリプタ有効）

該当ディスクリプタが有効であることを示します。RACT ビットはソフトウェアによって 1 にされ、RD2 で示される受信バッファにすべての転送が完了したとき、または受信バッファが一杯になった場合に 0 になります。

(2) 受信ディスクリプタ 1（RD1）

ビット	シンボル	ビット名	機能	R/W
b15-b0	RFL	受信フレーム長	バッファ内に格納された受信フレームの長さ（バイト数）を指定します。これに、RPADIR レジスタに指定したパディングのバイト数は含みません。フレームの最終部分に関連するディスクリプタにライトバックされます。	R/W
b31-b16	RBL	受信バッファ長	関連する受信バッファのバイト長を指定します。バッファ長は32の整数倍の値を設定してください。	R/W

RD1 には受信バッファ長を指定します。受信が完了すると受信フレーム長がライトバックされます。

(3) 受信ディスクリプタ 2（RD2）

ビット	シンボル	ビット名	機能	R/W
b31-b0	RBA	受信バッファアドレス	受信バッファの開始アドレスを指定します。バッファアドレスは32バイト境界に設定してください。	R/W

RD2 には、受信バッファの開始アドレスを指定します。

31.3.2 送信

ETHERCn.ECMR.TE ビットが 1 のとき、EDTRR.TR ビットを 1 にすると、EDMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（リセット後は TDLAR レジスタが示すディスクリプタ）を読み出します。送信ディスクリプタ（TD0）で TACT ビットが 1 の場合、EDMAC は送信ディスクリプタ 2（TD2）で指定される送信バッファ開始アドレスから順次送信データを読み出して、送信 FIFO 経由で ETHERC に転送します。ETHERC は送信フレームを作成し MII または RMII に向けて送信を開始します。TD1.TBL ビットで指定されたすべてのデータの転送が終わると、TD0.TFP[1:0] ビットの値に基づいて以下のビットにライトバックを行います。

- TD0.TFP[1:0] ビット = 00b または 10b（フレーム継続）の場合、TD0.TACT ビットがライトバックされる
- TD0.TFP[1:0] ビット = 01b または 11b（フレーム終了）の場合、TD0.TACT、TD0.TFS、および TD0.TFE がライトバックされる

読み出したディスクリプタの TD0.TACT ビットが 1 の間は、EDMAC はディスクリプタの読み出しとフレームの送信を継続します。TD0.TACT ビットが 0 のディスクリプタを読み出すと、EDMAC は EDTRR.TR ビットを 0 にして送信処理を終了します。

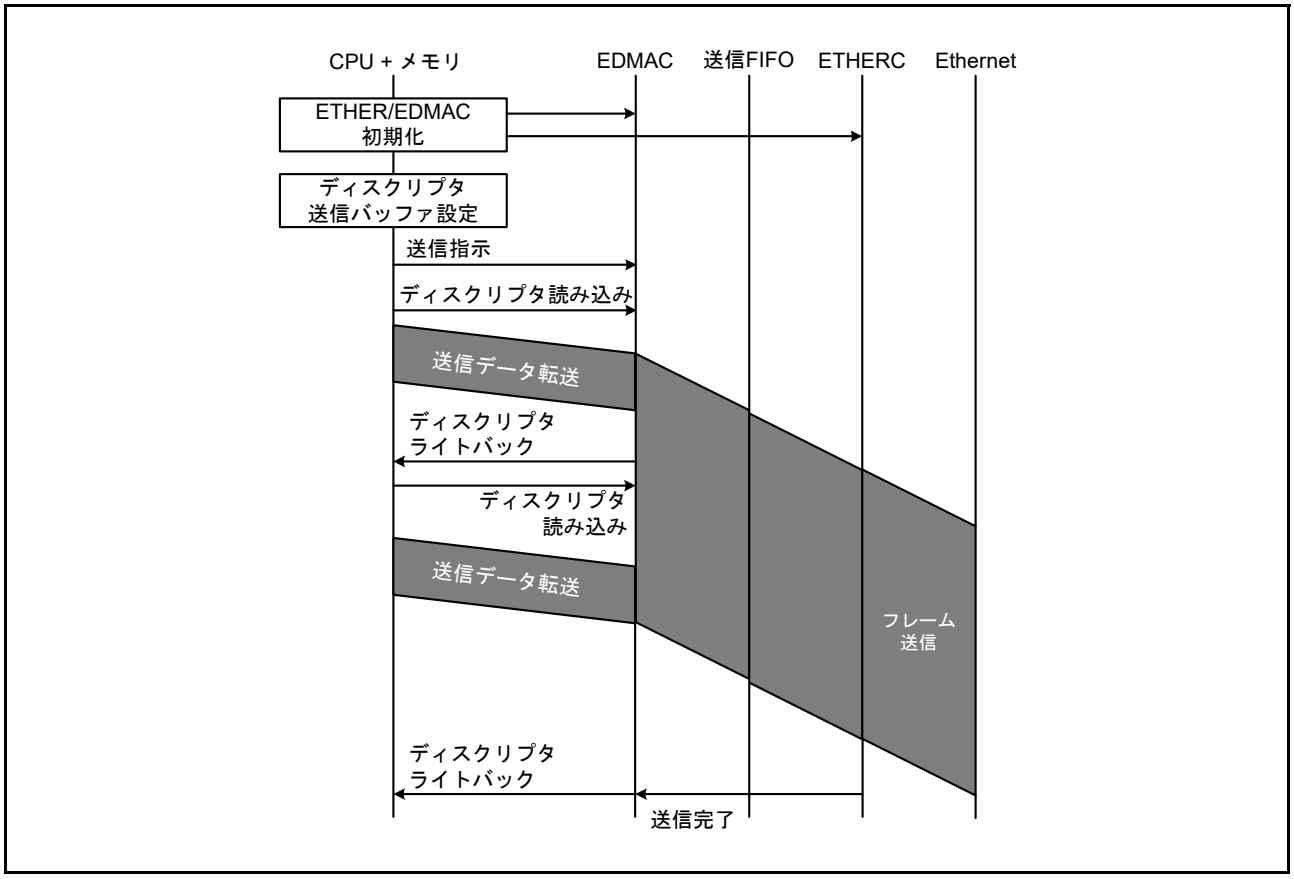


図 31.5 送信フローの例

31.3.3 受信

ETHERCn.ECMR.RE ビットが 1 の状態で EDRRR.RR ビットを 1 にすると、EDMAC は前回使用したディスクリプタの次のディスクリプタ（リセット後は RDLAR レジスタが示すディスクリプタ）を読み出した後に、受信待機状態となります。RD0.RACT ビットが 1 の状態で、受信 FIFO に 32 バイト以上のデータが格納されるか、フレームの最終バイトが受信バッファに格納されると、EDMAC は受信 FIFO から受信ディスクリプタ 2（RD2）で指定される受信バッファにデータを転送します。

受信したフレームのデータ長が、受信ディスクリプタ 1（RD1）の RBL ビットで設定されたバッファ長よりも長い場合は、EDMAC は受信バッファがいっぱいになった時点で、RD0.RFP[1:0] ビットに 10b または 00b を、RD0.RACT ビットに 0 をライトバックした後、次のデータを読み出します。その後、EDMAC は新たな受信バッファに引き続きデータを転送します。

フレームの受信が完了した場合、または何らかのエラーでフレーム受信が中断された場合は、EDMAC は RD0.RFP[1:0] ビットに 11b または 01b を、RD0.RACT ビットに 0 を、および RD1.RFL ビットに受信フレーム長をライトバックします。RMCR.RNR ビットが 1 の場合は、EDMAC は次のディスクリプタを読み出し、受信待機状態となります。RNR ビットが 0 の場合は、EDRRR.RR ビットを 0 にして受信を停止します。

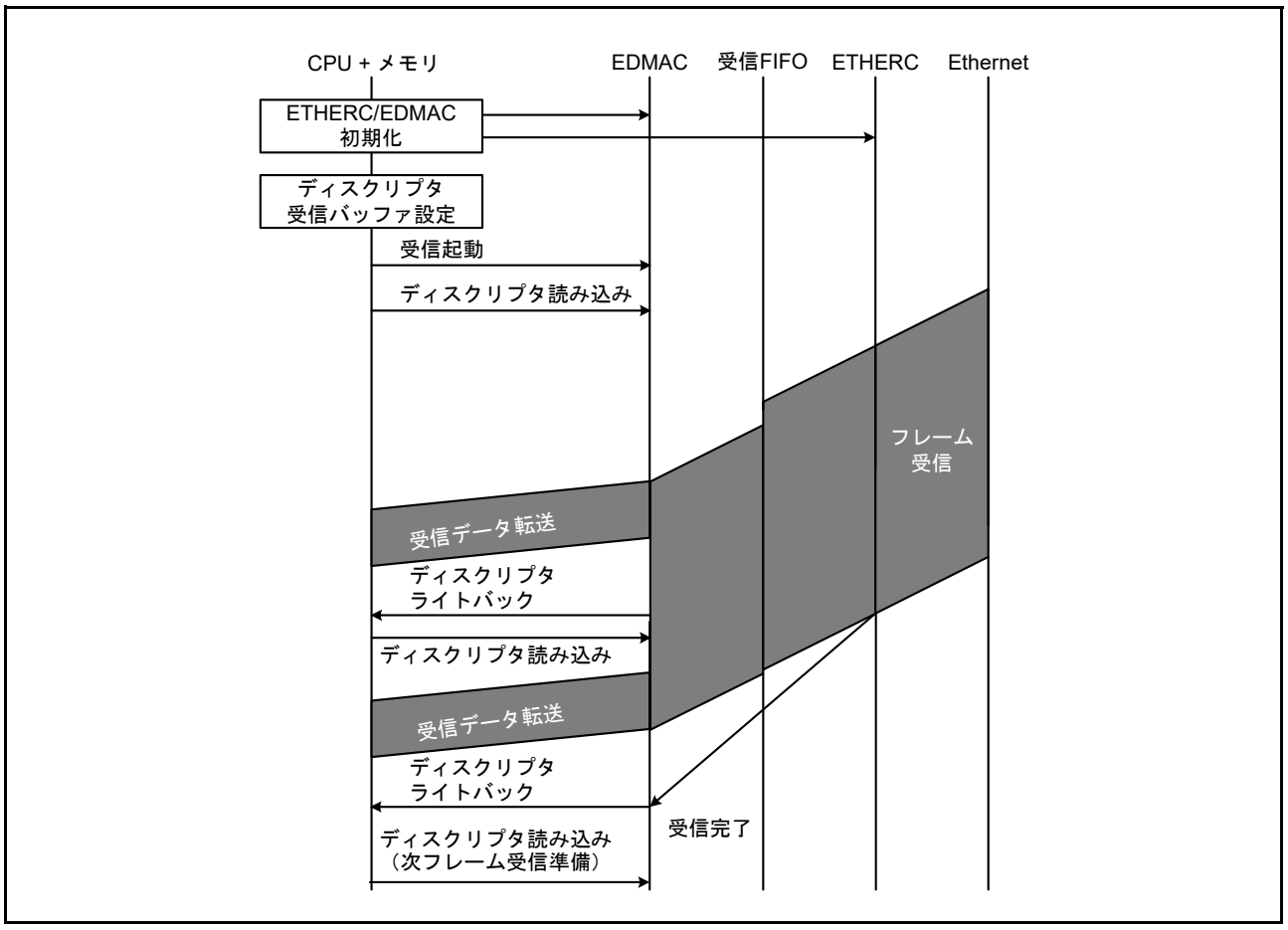


図 31.6 受信フローの例

31.3.4 マルチバッファフレーム送信

31.3.4.1 マルチバッファフレーム送信の送信エラー処理

マルチバッファフレーム送信での送信中にエラーが発生した場合、EDMAC は図 31.7 に示す処理を行います。図中で送信ディスクリプタ 0（TD0）の TACT ビットが 0 のディスクリプタは、すでにバッファ内のデータを正常に送信したことを表しています。TACT ビットが 1 のディスクリプタは、バッファ内のデータが未送信であることを表しています。TD0.TACT ビットが 1 で、かつフレームの先頭部分またはフレームの中間部分でフレーム送信エラー（注 1）が発生した場合は、送信 FIFO からのデータ送信と、EDMAC のデータ転送を停止して TD0.TACT ビットを 0 にします。

その後、次のディスクリプタを読み出し、そのディスクリプタが中間部分（TD0.TFP[1:0] ビットが 00b）なのか、最終部分（TD0.TFP[1:0] ビットが 01b）なのかを判断します。中間部分のディスクリプタである場合は、EDMAC は TD0.TACT ビットを 0 にして、次のディスクリプタの読み出しを行います。最終部分のディスクリプタである場合は、EDMAC は TD0.TACT ビットを 0 にするだけではなく、TD0.TFE ビットおよび TD0.TFS ビットへのライトバックも行います。

エラー発生後、最終部分のディスクリプタへのライトバックまでは、バッファ上のデータは送信されません。EESIPR レジスタで関連する送信エラー割り込みが許可されている場合は、最終部分ディスクリプタのライトバック直後に割り込み要求が発生します。

注 1. EDMACn の場合は、送信リトライオーバー、遅延衝突検出、キャリア消失検出、キャリア未検出。
PTPEDMAC の場合は、MAC アドレス不一致。

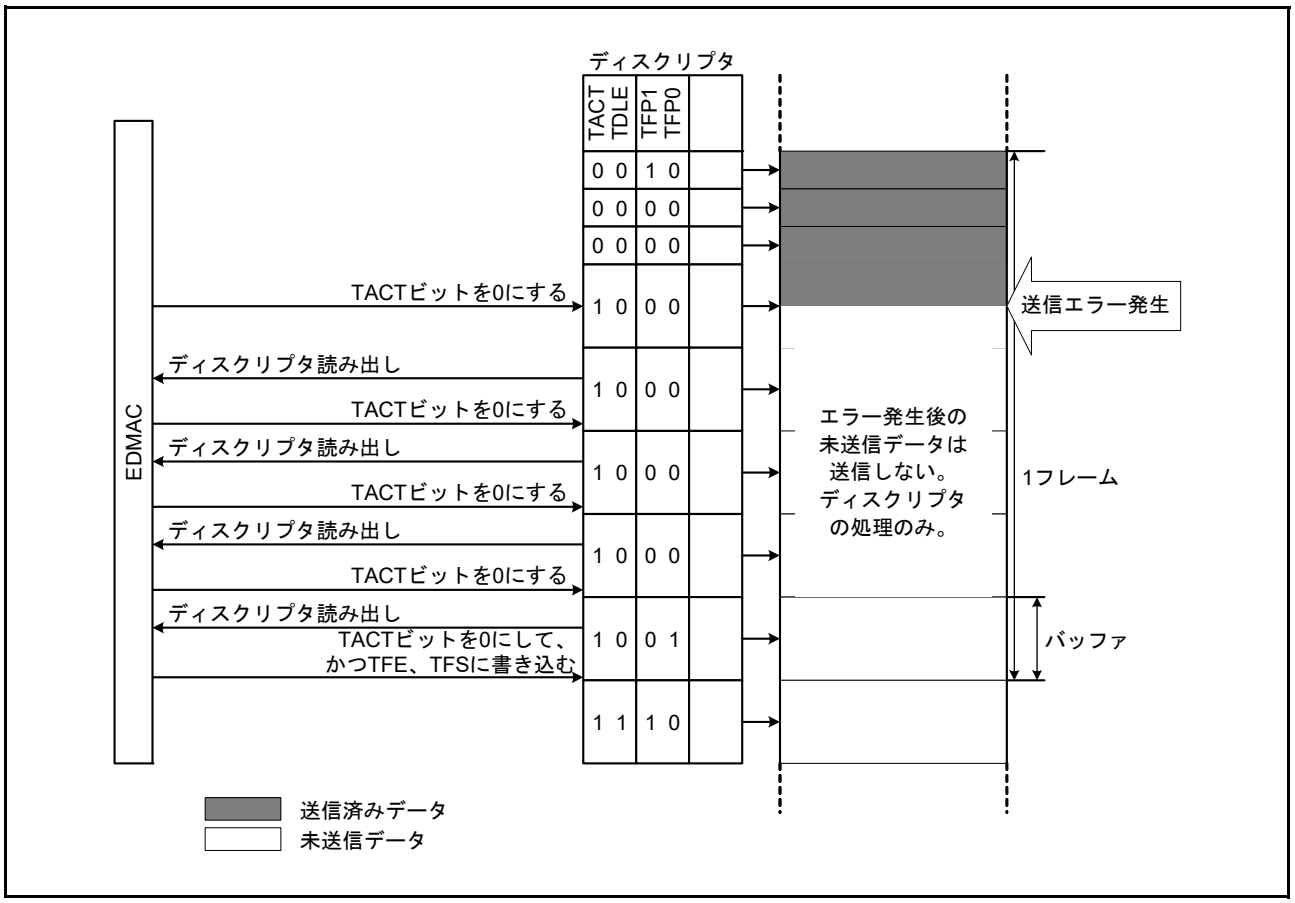


図 31.7 送信エラー発生後の EDMAC 動作

31.3.4.2 マルチバッファフレーム受信の受信エラー処理

マルチバッファフレーム受信での受信中にエラーが発生した場合は、EDMAC は図 31.8 に示す処理を行います。図中で受信ディスクリプタ 0（RD0）の RACT ビットが 0 のディスクリプタは、データをバッファ内に正常に受信したことを表しています。RACT ビットが 1 のディスクリプタは、バッファにデータをまだ受信していないことを表しています。フレーム受信エラー（注 1）が発生した場合、EDMAC は新たなデータの受け入れを中断しますが、それまでに受信 FIFO に格納されたデータは受信バッファに転送されます。

転送中に受信バッファが一杯になった場合は、EDMAC は RACT ビットを 0 に、RFP[1:0] ビットを 10b または 00b にし、次のディスクリプタを読み出します。受信 FIFO 内の全データの転送が完了すると、EDMAC はディスクリプタにステータスのライトバックを行います。

EESIPR レジスタで関連する受信エラー割り込みが許可されている場合は、ライトバック直後に割り込み要求が発生します。新しいフレームの受信要求がある場合には、エラーが発生したディスクリプタの次のディスクリプタを用いて引き続き受信を行います。

注 1. EDMACn の場合、CRC エラー、PHY-LSI 受信エラー、ショートフレーム受信エラー、ロングフレーム受信エラー、端数ビットフレーム受信エラー検出。PTPEDMAC の場合、パリティエラー検出。

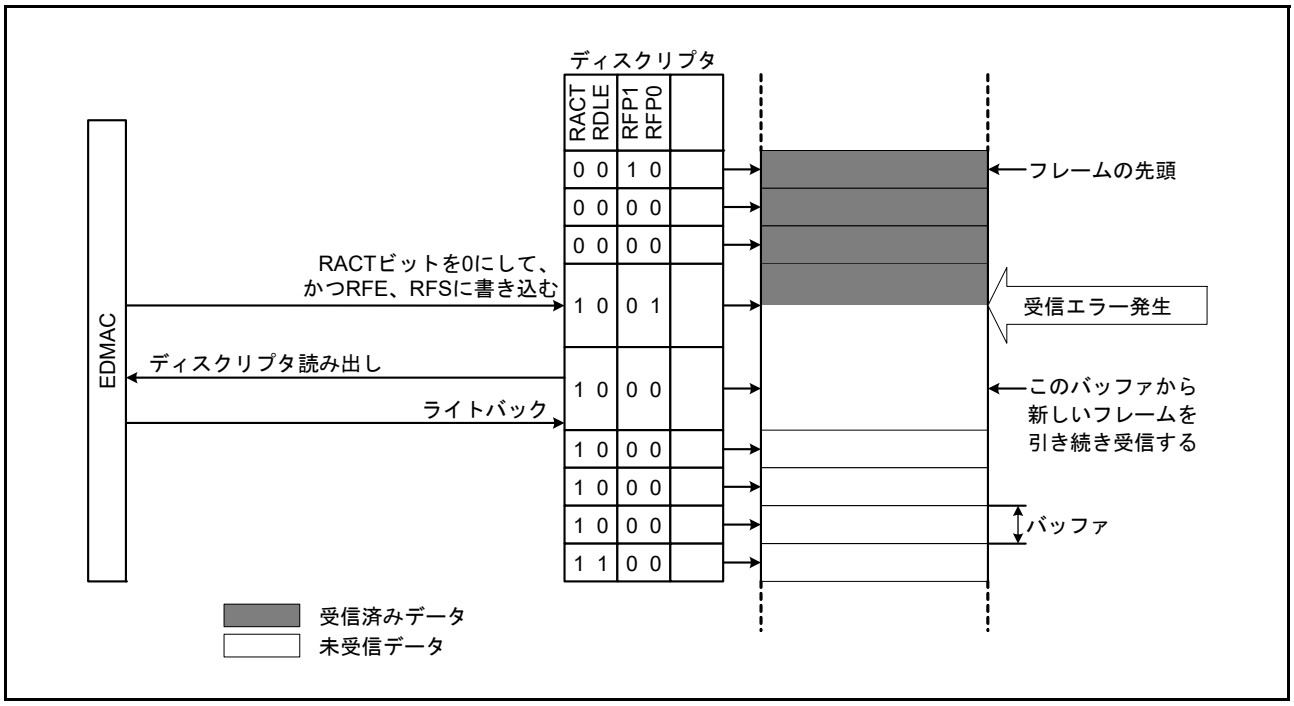


図 31.8 受信エラー発生後の EDMAC 動作

31.3.5 EDMAC チャネルの優先順位

3 つの EDMAC（EDMAC0、EDMAC1、PTPEDMAC）の優先順位はラウンドロビン方式で決められます。ラウンドロビン方式では、1 つのチャネルで転送が終了するごとにそのチャネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 31.9 に示します。なおリセット直後の優先順位は、EDMAC0 ＞ EDMAC1 ＞ PTPEDMAC です。

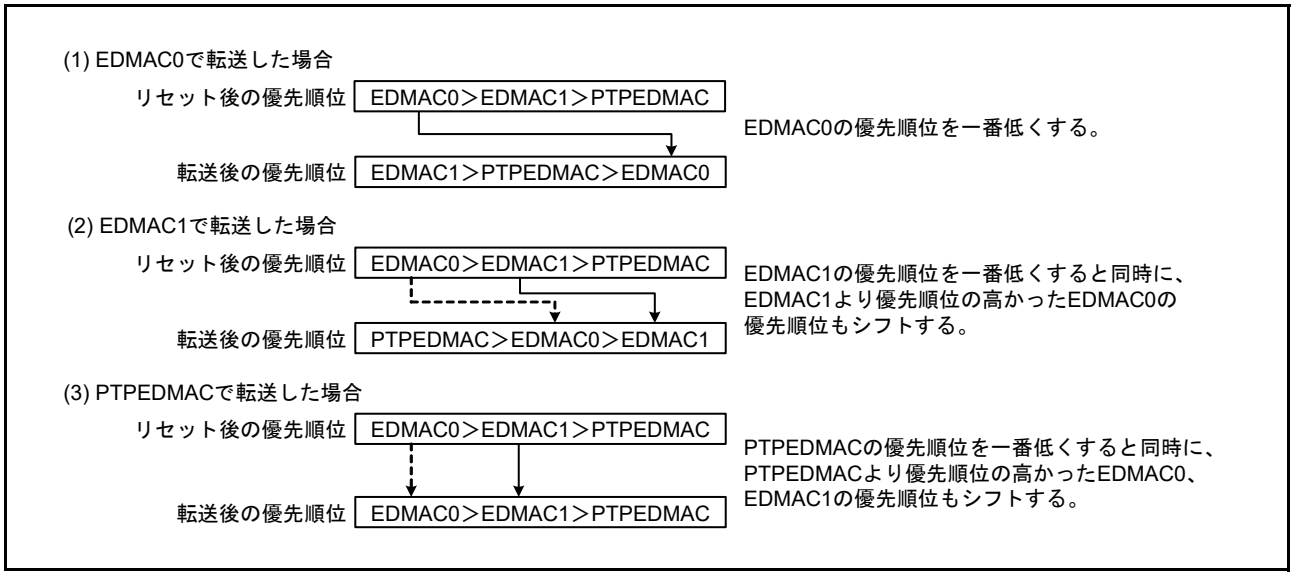


図 31.9 ラウンドロビン方式の動作

図 31.10 に EDMAC0 と PTPEDMAC に同時に転送要求が発生し、さらに EDMAC0 の転送中に EDMAC1 の転送要求が発生した場合のチャネルの優先順位の変化を示します。

図中の動作は以下のようになります。

1. EDMAC0 と PTPEDMAC に同時に転送要求を送信します。
2. EDMAC0 の方が PTPEDAC より優先順位が高いので、EDMAC0 の転送を開始し、PTPEDMAC は転送待ちになります。
3. EDMAC0 の転送中に EDMAC1 に転送要求を送信します。EDMAC1 と PTPEDMAC は転送待ちです。
4. EDMAC0 の転送を終了すると、EDMAC0 の優先順位を一番低くします。
5. この時点で EDMAC1 のほうが PTPEDMAC より優先順位が高いので、EDMAC1 の転送を開始します。PTPEDMAC は転送待ちになります。
6. EDMAC1 の転送を終了すると、EDMAC1 の優先順位を一番低くします。
7. PTPEDMAC の転送を開始します。
8. PTPEDMAC の転送を終了すると、PTPEDMAC の優先順位を一番低くします。

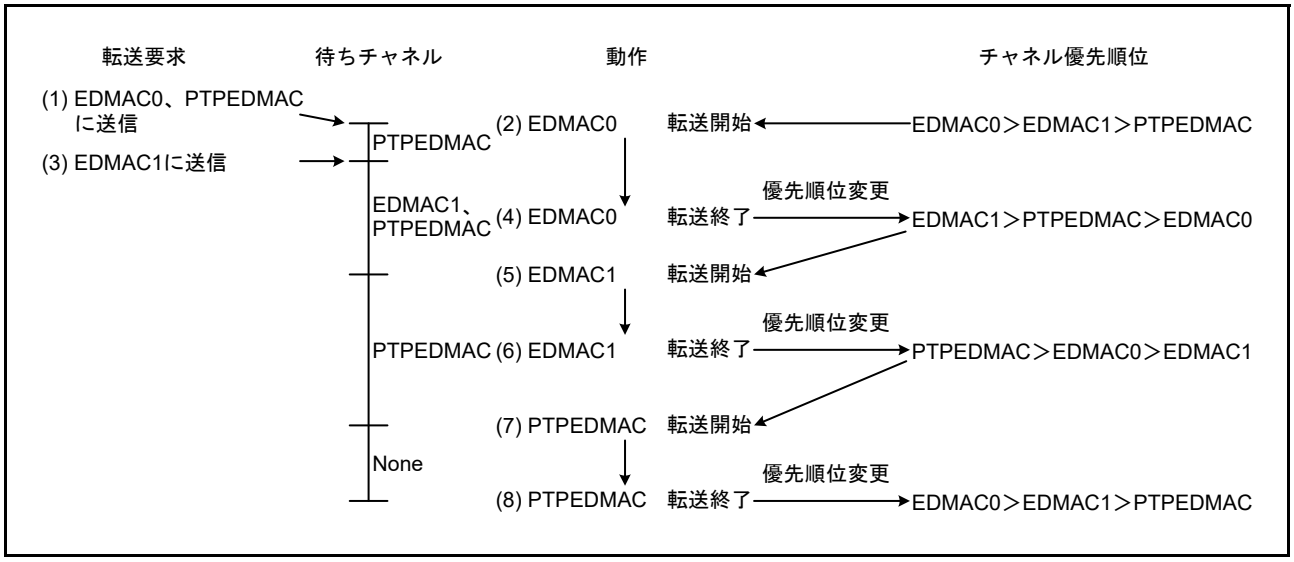


図 31.10 ラウンドロビン方式でのチャネル優先順位

31.4 割り込み

EESR レジスタのステータスフラグのいずれかが 1 になったとき、対応する EESIPR レジスタの割り込み要求許可ビットが 1 であると、EDMACn は ETHER_EINTn 割り込み要求を、PTPEDMAC は ETHER_PINT 割り込み要求を CPU に発行します。

31.5 使用上の注意事項

31.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）の以下のビットによって、EDMAC モジュール動作を許可または禁止することができます。

- MSTPB15 ビットは ETHERC0 および EDMAC0 の動作を許可または禁止できます
- MSTPCRB.MSTPB14 ビットは ETHERC1 および EDMAC1 の動作を許可または禁止できます
- MSTPCRB.MSTPB13 ビットは EPTPC および PTPEDMAC の動作を許可または禁止できます

リセット後の初期状態では、モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

注 . EPTPC および PTPEDMAC の動作が許可されている場合（MSTPB13 = 0）、MSTPB14 ビット、MSTPB15 ビット、および EPTPC バイパスビット（BYPASS.BYPASS0 と BYPASS.BYPASS1）の各設定の組み合わせによっては、EPTPC モジュールの一部のレジスタにアクセスできなくなります。「30. イーサネット PTP コントローラ（EPTPC）」を参照してください。

31.5.2 動作中の EDMAC の停止

EDMAC 動作中に、スリープ命令、またはモジュールストップ機能により動作を停止する場合、EDTRR.TR ビットが 0、EDRRR.RR ビットが 0 であることを確認してください。EDTRR.TR ビットが 1、または EDRRR.RR ビットが 1 のときに EDMAC を停止した場合、送受信中のフレーム、およびスリープモードまたはモジュールストップ状態からの復帰後の EDMAC の動作は保証できません。

32. USB2.0 フルスピードモジュール（USBFS）

32.1 概要

本 MCU は、USB（Universal Serial Bus）2.0 規格に準拠したホストコントローラまたはデバイスコントローラとして動作する USB2.0 フルスピードモジュール（USBFS）を内蔵しています。ホストコントローラは USB2.0 フルスピード転送とロースピード転送に対応し、デバイスコントローラは USB2.0 フルスピード転送に対応しています。また、USBFS は USB トランシーバを内蔵し、USB2.0 規格で定義されている全転送タイプに対応しています。

USBFS はデータ転送用に FIFO バッファを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1 ～ 9 に対しては、周辺デバイスやユーザシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

表 32.1 に USBFS の仕様を、図 32.1 にそのブロック図を、表 32.2 に入出力端子を示します。

表 32.1 USBFSの仕様

項目	内容
機能	• UDC（USB Device Controller）およびUSB2.0 トランシーバ（ホストコントローラ／デバイスコントローラ／OTG（On-The-Go）機能に対応（1チャネル）） • ホストコントローラとデバイスコントローラはソフトウェアで切り替え可能 • セルフパワーモードおよびバスパワーモードを選択可能
	ホストコントローラの特長 • フルスピード転送（12Mbps）およびロースピード転送（1.5Mbps） • SOFおよびパケット送信のスケジュールを自動化 • アイソクロナス転送およびインタラプト転送の転送インターバル設定機能 • ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
	デバイスコントローラ機能選択時 • フルスピード転送（12Mbps）（注1） • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補完
対応する転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィグレーション	• USB通信用のFIFOバッファ • 最大10本のパイプを選択可能（デフォルトコントロールパイプを含む） • パイプ1～9は任意のエンドポイント番号を割り付け可能
	パイプごとに指定可能な転送条件： • パイプ0：64バイトシングルバッファによるコントロール転送 • パイプ1～2：64バイトダブルバッファのバルク転送と256バイトダブルバッファのアイソクロナス転送から選択可能 • パイプ3～5：64バイトダブルバッファによるバルク転送 • パイプ6～9：64バイトシングルバッファによるインタラプト転送
その他の機能	• トランザクションカウントによる受信終了機能 • BRDY割り込みイベント通知タイミング変更機能（BFRE） • DnFIFOポート（n = 0, 1）で指定したパイプのデータを読み出した後に自動でFIFOバッファをクリアする機能（DCLRM） • 転送終了による応答PIDのNAK設定機能（SHTNAK） • D+/D-ラインのプルアップ抵抗、プルダウン抵抗をチップに内蔵
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

注 1. ロースピード転送（1.5Mbps）は未対応です。

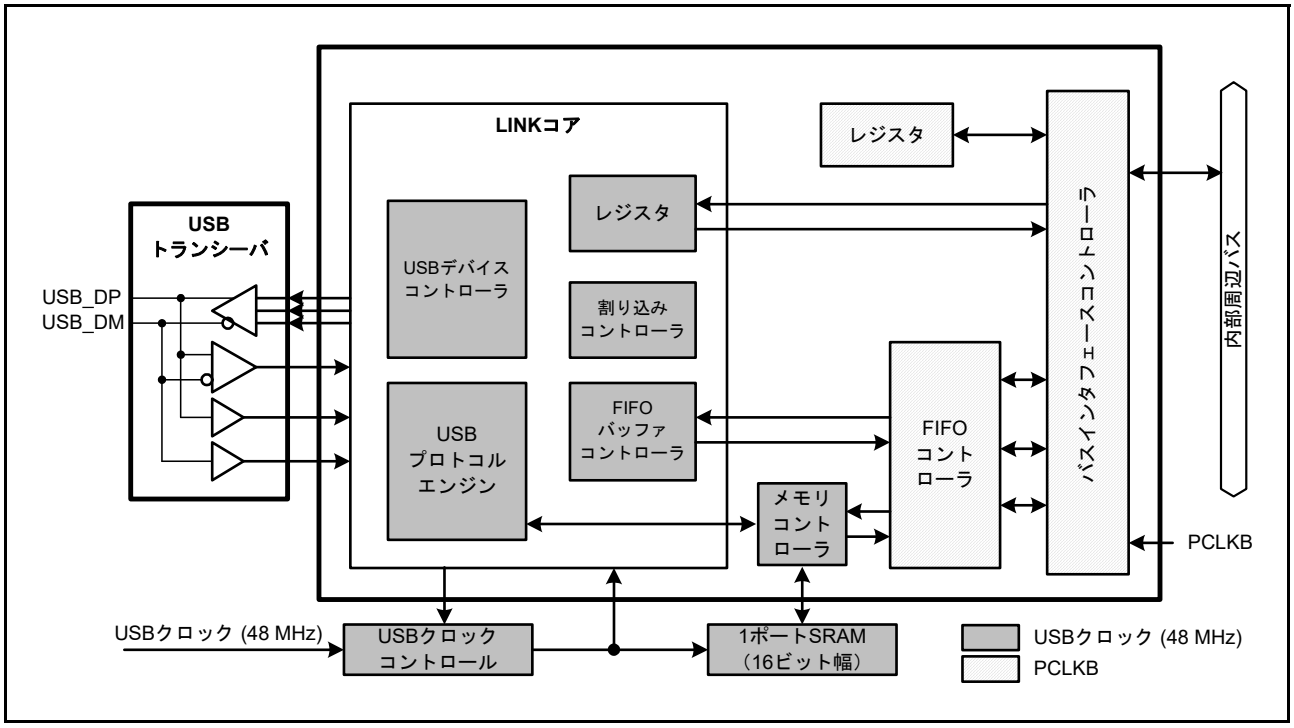


図 32.1 USBFS のブロック図

表 32.2 USBFSの入出力端子

ポート	端子名	入出力	機能
USBFS	USB_DP	入出力	USB内蔵トランシーバD+入出力端子 USBバスのD+データ線に接続してください。
	USB_DM	入出力	USB内蔵トランシーバD-入出力端子 USBバスのD-データ線に接続してください。
	USB_VBUS	入力	USBケーブル接続モニタ端子 USBバスのVBUS信号に接続してください。USBFSがデバイスコントローラとして動作しているときにVBUS端子の状態（接続／切断）を検出することができます。(注1)
	USB_EXICEN	出力	OTG電源IC用ローパワー制御信号
	USB_VBUSEN	出力	外部電源IC用VBUS（5V）イネーブル信号
	USB_OVRCURA USB_OVRCURB	入力	USBFS用オーバーカレント端子 外部オーバーカレント検出信号に接続してください。OTG電源チップとの接続時にはVBUSコンパレータ信号に接続してください。
	USB_ID	入力	OTGモード時MicroABコネクタのID入力信号に接続してください。
共通	VCC_USB	入力	USBトランシーバの入力供給電圧
	VSS_USB	入力	USB用グランド端子

注 1. P407 は 5V トレラントです。

32.2 レジスタの説明

32.2.1 システムコンフィグレーションコントロールレジスタ（SYSCFG）

アドレス USBFS.SYSCFG 4009 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKE	—	—	—	DCFM	DRPD	DPRPU	—	—	—	USBE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBFS 動作許可	0：無効 1：有効	R/W
b3-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b4	DPRPU	D+ ライン抵抗制御	0：ラインのプルアップは禁止 1：ラインのプルアップは許可	R/W
b5	DRPD	D+/D- ライン抵抗制御	0：ラインのプルダウンは禁止 1：ラインのプルダウンは許可	R/W
b6	DCFM	コントローラ機能選択	0：デバイスコントローラを選択 1：ホストコントローラを選択	R/W
b9-b7	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b10	SCKE	USB クロック許可（注 1）	0：USBFS へのクロック供給を停止 1：USBFS へのクロック供給を許可	R/W
b15-b11	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. SCKE ビットに 1 を書き込んだ後、SCKE ビットを読み出して 1 になっていることを確認してください。

USBE ビット（USBFS 動作許可）

USBFS の動作許可／禁止を指定します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 32.3 に示します。このビットの変更は、SCKE ビットが 1 のときに限り実施してください。ホストコントローラモード時は、DRPD ビットを 1 にした後、SYSSTS0.LNST[1:0] フラグのチャタリング除去を行い、USB バスステートが安定したことを確認した後で、USBE ビットを 1 にしてください。

表 32.3 SYSCFG.USBE ビットへの 0 の書き込みにより初期化されるレジスタ

選択した機能	レジスタ	ビット	備考
デバイスコントローラ	SYSSTS0	LNST[1:0]	ホストコントローラモード時、値を保持
	DVSTCTR0	RHST[2:0]	-
	INTSTS0	DVSQ[2:0]	ホストコントローラモード時、値を保持
	USBADDR	USBADDR[6:0]	ホストコントローラモード時、値を保持
	USBREQ	BREQUEST[7:0]、 BMREQUESTTYPE[7:0]	ホストコントローラモード時、値を保持
	USBVAL	WVALUE[15:0]	ホストコントローラモード時、値を保持
	USBINDX	WINDEX[15:0]	ホストコントローラモード時、値を保持
	USBLENG	WLENTUH[15:0]	ホストコントローラモード時、値を保持
ホストコントローラ	DVSTCTR0	RHST[2:0]	-
	FRMNUM	FRNM[10:0]	デバイスコントローラモード時、値を保持

DPRPU ビット（D+ ライン抵抗制御）

デバイスコントローラモードで、D+ ラインのプルアップ許可／禁止を指定します。

デバイスコントローラモードで DPRPU ビットを 1 にすると、USBFS は D+ ラインをプルアップし、USB ホストに対して、アタッチされたことを通知します。DPRPU ビットを 1 から 0 に変更すると、プルアップが解除されるため、USB ホストに対して、デタッチされたことを通知します。

ホストコントローラモードでは 1、デバイスコントローラモードでは 0 にしてください。

DRPD ビット（D+/D- ライン抵抗制御）

ホストコントローラモードで、D+/D- ラインのプルダウン許可／禁止を指定します。

ホストコントローラモードでは 1、デバイスコントローラモードでは 0 にしてください。

DCFM ビット（コントローラ機能選択）

USBFS の機能をホスト機能にするかデバイス機能にするかを選択します。

DCFM ビットの変更は、DPRPU ビットおよび DRPD ビットの両方が 0 のときに行ってください。

SCKE ビット（USB クロック許可）

USBFS への 48MHz クロック供給の停止／許可を指定します。

本ビットが 0 の場合、SYSCFG レジスタのみ読み出し／書き込みが可能です。他の USB 関連レジスタの読み出し／書き込みはしないでください。

32.2.2 システムコンフィグレーションステータスレジスタ 0（SYSSTS0）

アドレス USBFS.SYSSTS0 4009 0004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVCMON[1:0]		—	—	—	—	—	—	—	HTACT	SOFEA	—	—	IDMON	LNST[1:0]	
リセット後の値	0（注1）	0（注1）	0	0	0	0	0	0	0	0	0	0	0	0（注1）	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスモニタ	USBデータラインのステータスが表示されます。 表 32.4 を参照してください。	R
b2	IDMON	外部ID0入力端子モニタ	0：USB_ID端子がLow 1：USB_ID端子がHigh	R
b4-b3	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b5	SOFEA	ホストコントローラモード選択時のアクティブモニタ	0：SOF出力停止 1：SOF出力動作	R
b6	HTACT	USBホストシーケンサステータスモニタ	0：ホストシーケンサが完全に停止している 1：ホストシーケンサが完全に停止していない	R
b13-b7	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b15-b14	OVCMON[1:0]	外部USB_OVRCURA/USB_OVRCURB入力端子モニタ	OVCMON[1]は、USB_OVRCURA端子のステータスを示します。OVCMON[0]は、USB_OVRCURB端子のステータスを示します。	R

注 1. USB_OVRCURA/USB_OVRCURB 端子および USB_ID 端子のステータスに依存します。

LNST[1:0] ビット（USB データラインステータスモニタ）

USB データライン（D+、D-）のステータスが表示されます。詳細は、表 32.4 を参照してください。

デバイスコントローラモード時は、アタッチ処理（SYSCFG.DPRPU ビットを 1 にする）以降に LNST[1:0] ビットを読み出してください。ホストコントローラモード時は、ラインのプルダウンの許可（SYSCFG.DRPD ビットを 1 にする）以降に読み出してください。

表 32.4 USB データバスライン（D+、D-）のステータス

LNST[1:0] ビット	フルスピード動作	ロースピード動作
00b	SE0	SE0
01b	J-State	K-State
10b	K-State	J-State
11b	SE1	SE1

SOFEA ビット（ホストコントローラモード選択時のアクティブモニタ）

ホストコントローラモード時に、DVSTCTR0.UACT ビットを 0 にして USBFS を Suspended ステートにするときに、最後の SOF を出力し終わったかどうかを確認するためのビットです。

ホストコントローラモードで、SYSCFG.USBE ビットを 0 にして USBFS を停止する場合、または SYSCFG.SCKE ビットを 0 にして通信時のクロック信号供給を停止する場合は、事前に HTACT ビットと SOFEA ビットがどちらも 0 であることを確認してください。

HTACT ビット（USB ホストシーケンサステータスモニタ）

USBFS のホストシーケンサが完全に停止しているとき、HTACT ビットは 0 になります。

ホストコントローラモードで、DVSTCTR0.UACT ビットを 0 にして USBFS を Suspended ステートにする場合、または SCKE ビットを 0 にして通信時のクロック信号供給を停止する場合は、事前に HTACT ビットが 0 であることを確認してください。

OVCMON[1:0] ビット（外部 USB_OVRCURA/USB_OVRCURB 入力端子モニタ）

外部電源 IC からのオーバーカレント信号のステータスが表示されます。

32.2.3 デバイスステートコントロールレジスタ 0（DVSTCTR0）

アドレス USBFS.DVSTCTR0 4009 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータス	• ホストコントローラモード： b2 b0 0 0 0：通信速度は不定 （パワード時または非接続時） 1 x x：USBバスリセット処理中 0 0 1：ロースピード接続時 0 1 0：フルスピード接続時 • デバイスコントローラモード： b2 b0 0 0 0：通信速度は不定 0 0 1：USBバスリセット処理中 0 1 0：USBバスリセット処理中またはフルスピード接続時	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	UACT	USBバス許可	0：ダウンポート動作禁止（SOF送出禁止） 1：ダウンポート動作許可（SOF送出許可）	R/W
b5	RESUME	レジューム出力	0：レジューム信号を出力しない 1：レジューム信号を出力する	R/W
b6	USBRST	USBバスリセット出力	0：USBバスリセット信号を出力しない 1：USBバスリセット信号を出力する	R/W
b7	RWUPE	ウェイクアップ検出許可	0：ダウンポートリモートウェイクアップ禁止 1：ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	ウェイクアップ出力	0：リモートウェイクアップ信号を出力しない 1：リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	USB_VBUSEN出力端子制御	0：外部USB_VBUSEN端子はLowを出力 1：外部USB_VBUSEN端子はHighを出力	R/W
b10	EXICEN	USB_EXICEN出力端子制御	0：外部USB_EXICEN端子はLowを出力 1：外部USB_EXICEN端子はHighを出力	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル（HNP）制御	OTGモードで、BデバイスからAデバイスに切り替えるときに使用します。HNPBTOAビットが1であれば、内部機能制御はSYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1にしてもHNP処理が終了するまでSuspendedステートを保ちます。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

x：Don’t care

デバイスコントローラモード時、USBFS コントローラはロースピード接続に対応しません。この値を読み出したときは、上位のアプリケーションソフトウェアで異常接続処理を実行する必要があります。

RHST[2:0] ビット（USB バスリセットステータス）

USB バスリセットのステータスを示します。

ホストコントローラモード時、USBRST ビットを 1 にすると RHST[2:0] ビットが 100b になります。USBRST ビットを 0 にして USBFS が SE0 ステートを終了すると、RHST[2:0] ビットが更新され新しい値が設定されます。

デバイスコントローラモード時、USBFS が USB バスリセットを検出すると、DPRPU ビットが 1 の場合には RHST[2:0] ビットが 010b を表示し、DVST 割り込みが発生します。

UACT ビット（USB バス許可）

ホストコントローラモードで UACT ビットを 1 にすると、UACT ビットは USB バスへの SOF パケットの送信（データと受信を含む）を制御することで、USB バス動作を許可します。USBFS は、UACT ビットに 1 が書かれると、1 フレーム時間内に SOF パケット出力を開始します。UACT を 0 にした場合、USBFS は SOF パケット出力後アイドル状態に遷移します。

以下のいずれかの場合、USBFS は UACT ビットを 0 にします。

- 通信中（UACT ビットが 1 のとき）に DTCH 割り込みを検出した場合
- 通信中（UACT ビットが 1 のとき）に EOFERR 割り込みを検出した場合

UACT ビットに 1 を書くときは、必ず、USB バスリセット処理終了時（USBRST ビットへの 0 書き込み）、または Suspended ステートからのレジューム処理終了時（RESUME ビットへの 0 書き込み）のいずれかのタイミングで行ってください。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

RESUME ビット（レジューム出力）

ホストコントローラモードで、レジューム信号の出力制御を行います。

RESUME ビットを 1 にすると、USBFS は USB ポートを K-State にドライブし、レジューム信号を出力します。RWUPE ビットが 1 で USB Suspended ステートのときにリモートウェイクアップ信号を検出すると、USBFS は RESUME ビットを 1 にします。

また、RESUME ビットが 1 のとき、ソフトウェアが RESUME ビットを 0 にするまで、USBFS は K-State 出力を継続します。RESUME ビットが 1 の期間（レジューム期間）は、USB2.0 規格に定められた時間を確保してください。インタフェースが Suspended ステートのときにのみ、RESUME ビットを 1 にしてください。レジューム処理終了（RESUME ビットへの 0 書き込み）と同時に UACT ビットに 1 を書いてください。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

USBRST ビット（USB バスリセット出力）

ホストコントローラモード時に、USB バス信号の出力制御を行います。USBRST ビットを 1 にすると、USBFS は USB ポートを SE0 ステートにドライブして、USB バスをリセットします。USBFS は、USBRST ビットが 1 の期間、ソフトウェアで USBRST ビットを 0 にするまで SE0 出力を継続します。USBRST ビットが 1 の期間（USB バスリセット期間）は、USB2.0 規格に定められた時間を確保してください。通信中（UACT ビットが 1）またはレジューム処理中（RESUME ビットが 1）に USBRST ビットに 1 を書き込むと、USBFS は UACT ビットおよび RESUME ビットの両方が 0 の状態になるまで USB バスリセットを開始しません。UACT ビットへの 1 の書き込みは、USB バスリセット処理の終了（USBRST ビットへの 0 の書き込み）と同時に行ってください。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

RWUPE ビット（ウェイクアップ検出許可）

ホストコントローラモードで、下流の周辺デバイスからのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。RWUPE ビットを 1 にした場合、USBFS は下流の周辺デバイスからのリモートウェイクアップ信号（2.5µs 間の K-State）を検出し、レジューム処理を行って K-State をドライブします。RWUPE ビットを 0 にした場合、USBFS は、USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。

RWUPE ビットが 1 のときは、Suspended ステートであっても内部クロックを停止しないでください（SYSCFG.SCKE ビットは 1 にしてください）。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

WKUP ビット（ウェイクアップ出力）

デバイスコントローラモードで、USB バスへのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。

USBFS は、リモートウェイクアップ信号の出力タイミングを管理しています。WKUP ビットを 1 にすると、USBFS は 10ms の K-State を出力した後、WKUP ビットをクリアして 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、USBFS は、Suspended ステートを検出した直後に WKUP ビットに 1 を書いて、2ms 待ってから K-State を出力します。

WKUP ビットへの 1 の書き込みは、デバイスが Suspended ステート（INTSTS0.DVSQ[2:0] ビットが 1xxb）であり、かつ USB ホストからリモートウェイクアップ信号が許可されている場合（RWUPE が 1）のみ行ってください。このビットが 1 のときは、Suspended ステートであっても内部クロックを停止しないでください（SYSCFG.SCKE ビットは 1 にしてください）。

ホストコントローラモードでは必ず 0 にしてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル（HNP）制御）

OTG モードにて使用時に、B デバイスから A デバイスに切り替えるときに使用します。

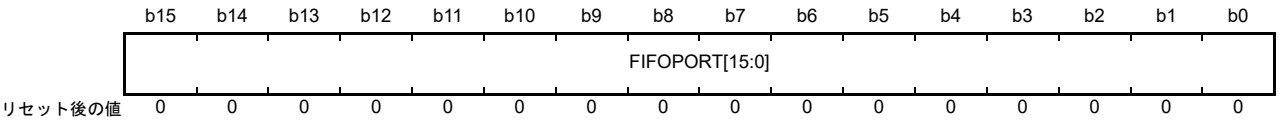
HNPBTOA ビットが 1 の場合、SYSCFG.DPRPU ビットを 0 または SYSCFG.DCFM ビットを 1 にしても、内部機能制御は HNP 処理が終了するまで Suspended ステートを維持します。D+ の立ち下がりを検出しても、レジューム割り込み（RESM）は発生しません。

発信側によるプルアップのためホストアタッチイベントを検出するか、HNP 処理がタイムアウトしたためソフトウェアが HNPBTOA ビットを 0 にすると、HNP 処理は終了します。

32.2.4 CFIFO ポートレジスタ（CFIFO/CFIFOL）
D0FIFO ポートレジスタ（D0FIFO/D0FIFOL）
D1FIFO ポートレジスタ（D1FIFO/D1FIFOL）

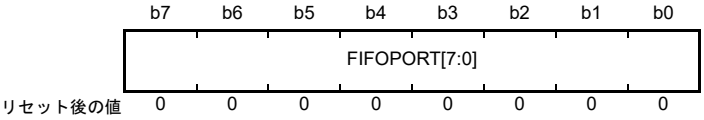
（1）MBW ビットが 1 のとき

アドレス USBFS.CFIFO 4009 0014h, USBFS.D0FIFO 4009 0018h, USBFS.D1FIFO 4009 001Ch



（2）MBW ビットが 0 のとき

アドレス USBFS.CFIFOL 4009 0014h, USBFS.D0FIFOL 4009 0018h, USBFS.D1FIFOL 4009 001Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	FIFOPORT[15:0] （注1）	FIFOポート	これらのビットにアクセスして、FIFOバッファからの受信データの読み出しまたはFIFOバッファへの送信データの書き込みを行います。	R/W

注 1. 有効ビットは、関連するポート選択レジスタにおける MBW の設定値（CFIFOSEL.MBW、D0FIFOSEL.MBW、D1FIFOSEL.MBW）および BIGEND の設定値（CFIFOSEL.BIGEND、D0FIFOSEL.BIGEND、D1FIFOSEL.BIGEND）により異なります。表 32.5、表 32.6 を参照してください。

下記の 3 つの FIFO ポートが用意されています。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートの構成は以下のとおりです。

- FIFO バッファからのデータの読み出しおよび FIFO バッファへのデータの書き込みを行うポートレジスタ（CFIFO、D0FIFO、または D1FIFO）
- FIFO ポートに割り当てられたパイプを選択するポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）
- ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います。
- DMA または DTC 転送用 FIFO バッファへのアクセスは D0FIFO または D1FIFO ポートを通して行います。
- CPU による D0FIFO あるいは D1FIFO ポートアクセスも可能です。
- DMA または DTC 転送機能などの FIFO ポート固有の機能を使用している場合、ポート選択レジスタの CURPIPE[3:0] ビットで選択するパイプ番号は変更できません。
- FIFO ポートを設定するレジスタ群は、他の FIFO ポートに影響を与えることはありません。
- 同一パイプを別々の FIFO ポートに割り当てないでください。

- FIFO バッファの状態には、アクセス権が CPU にある場合と Serial Interface Engine（SIE）にある場合の 2 種類があります。SIE にアクセス権がある場合は、CPU から FIFO バッファにアクセスできません。

FIFOPORT[15:0] ビット（FIFO ポート）

FIFOPORT[15:0] ビットにアクセスすると、USBFS は FIFO バッファからの受信データの読み出し、または FIFO バッファへの送信データの書き込みを行います。FIFO ポートレジスタへのアクセスは、関連するポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY ビットが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の MBW ビットおよび BIGEND ビットの設定値により異なります。表 32.5、表 32.6 を参照してください。

表 32.5　16 ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット［15:8］	ビット［7:0］
0	N + 1 データ	N + 0 データ
1	N + 0 データ	N + 1 データ

表 32.6　8 ビットアクセス時のエンディアン動作表

CFIFOSEL.BIGEND ビット D0FIFOSEL.BIGEND ビット D1FIFOSEL.BIGEND ビット	ビット［15:8］	ビット［7:0］
0	アクセス禁止（注 1）	N + 0 データ
1	アクセス禁止（注 1）	N + 0 データ

注 1.　これらの領域に対する書き込みや読み出しはしないでください。

32.2.5 CFIFO ポート選択レジスタ（CFIFOSEL）
D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL）

CFIFOSEL

アドレス USBFS.CFIFOSEL 4009 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	—	MBW	—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	CFIFOポートアクセスパイプ指定	b3 b0 0 0 0 0：DCP（デフォルトコントロールパイプ） 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外は設定しないでください。	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ISEL	DCP選択時CFIFOポートアクセス方向	0：FIFOバッファ読み出し選択 1：FIFOバッファ書き込み選択	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	CFIFOポートエンディアン制御	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	CFIFOポートアクセスビット幅	0：8ビット幅 1：16ビット幅	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	REW	バッファポインタリワインド	0：バッファポインタのリワインドをしない 1：バッファポインタのリワインドをする	R/W （注1）
b15	RCNT	リードカウントモード	0：CFIFOの全受信データ読み出し終了時にDTLN[8:0]ビット（CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]）をクリア （ダブルバッファモードの場合、一面のみ読み出し終了時にDTLN[8:0]の値をクリア） 1：CFIFOから受信データ読み出しごとにDTLN[8:0]ビットをダウンカウント	R/W

注 1. 読むと 0 が読み出されます。

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が 0000b の場合には、パイプ指定なしとなります。

なお、DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（CFIFO ポートアクセスパイプ指定）

CURPIPE[3:0] ビットは、CFIFO ポート経由でデータの読み出しまたは書き込みに使用するパイプ番号を指定します。CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、CURPIPE[3:0] の設定値を変更しようとしても、アクセスが完了するまで現在のアクセス設定が維持されます。

ISEL ビット（DCP 選択時 CFIFO ポートアクセス方向）

選択パイプが DCP のときに ISEL ビットへの新しい値の書き込みを行ったら、その後で ISEL ビットの読み出しを行い、書き込み値と読み出し値が一致することを確認してから次の処理に進んでください。ISEL ビットと CURPIPE[3:0] ビットの設定は同時に行ってください。

MBW ビット（CFIFO ポートアクセスビット幅）

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、CURPIPE[3:0] ビットと MBW ビットを同時に設定してください。これらのビットへの書き込みで FIFO バッファからのデータ読み出しが開始したら、すべてのデータが読み出されるまでビットの変更を行わないでください。FIFO バッファを読み出すときは、MBW に設定されているアクセスサイズで読み出してください。

選択パイプが送信方向の場合、FIFO バッファへの書き込み処理実行中に 8 ビットから 16 ビットへのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

REW ビット（バッファポインタリワインド）

バッファポインタのリワインドをするかどうかを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に REW ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しを行うことができます。ダブルバッファの場合は、この設定により現在読み出し中の FIFO バッファの面の最初のデータから再読み出しすることが可能になります。

REW ビットを 1 にするとき、CURPIPE[3:0] ビットの設定変更を同時に行わないでください。FRDY ビットが 1 であることを必ず確認してから、REW ビットを 1 にしてください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

D0FIFOSEL、D1FIFOSEL

アドレス USBFS.D0FIFOSEL 4009 0028h, USBFS.D1FIFOSEL 4009 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	—	MBW	—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定	b3 b0 0 0 0 0：パイプ指定なし 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外は設定しないでください。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BIGEND	FIFOポートエンディアン制御	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10	MBW	FIFOポートアクセスビット幅	0：8ビット幅 1：16ビット幅	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	DREQE	DMA/DTC転送要求許可	0：DMA/DTC転送要求禁止 1：DMA/DTC転送要求許可	R/W
b13	DCLRM	指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス	0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリワインド	0：バッファポインタのリワインドをしない 1：バッファポインタのリワインドをする	R/W （注1）
b15	RCNT	リードカウントモード	0：DnFIFOの全受信データ読み出し終了時にDTLN[8:0]フラグ（CFIFOCTR.DTLN[8:0]、D0FIFOCTR.DTLN[8:0]、D1FIFOCTR.DTLN[8:0]）をクリア（ダブルバッファモードの場合、一面のみ読み出し終了後） 1：DnFIFOから受信データ読み出しごとにDTLN[8:0]フラグをダウンカウント n = 0, 1	R/W

注 1. 読むと 0 が読み出されます。

CFIFOSEL、D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットで同一のパイプを指定しないでください。D0FIFOSEL、D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が 0000b の場合には、パイプ指定なしとなります。DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（FIFO ポートアクセスパイプ指定）

DnFIFO ポート経由でのデータの読み出し／書き込みに使用するパイプ番号を指定します。CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、CURPIPE[3:0] の設定値を変更しようとしても、アクセスが完了するまで現在のアクセス設定が維持されます。

MBW ビット（FIFO ポートアクセスビット幅）

DnFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みで FIFO バッファからのデータ読み出しが開始したら、全データが読み出されるまでビットの変更を行わないでください。CURPIPE[3:0] ビットと MBW ビットの設定は同時に行ってください。FIFO バッファを読み出すときは、MBW に設定されているアクセスサイズで読み出してください。

選択パイプが送信方向の場合、FIFO バッファへの書き込み処理実行中に 8 ビットから 16 ビットへのビット幅切り替えは行えません。

16 ビット幅の設定でも、バイトアクセス制御することにより、奇数バイトの書き込みは可能です。

DREQE ビット（DMA/DTC 転送要求許可）

DMA または DTC 転送要求発行の許可／禁止を指定します。DMA または DTC 転送要求を許可する場合、CURPIPE[3:0] ビット設定後に DREQE ビットを 1 にしてください。CURPIPE[3:0] ビットを書き換える場合、まず DREQE ビットを 0 にしてから書き換えてください。

DCLRM ビット（指定パイプデータ読み出し後自動バッファメモリクリアモードアクセス）

選択パイプのデータを読み出した後の自動 FIFO バッファクリアを許可または禁止します。

このビットを 1 にすると、指定パイプに割り当てられた FIFO バッファが空のときに Zero-Length パケットを受信した場合、または PIPECFG.BFRE ビットが 1 で受信したショートパケットの読み出しが完了した場合には、USBFS は FIFO ポートコントロールレジスタの BCLR ビットを 1 にします。

SOFCFG.BRDYM ビットを 1 にして USBFS を使用する場合、DCLRM ビットを 0 にしてください。

REW ビット（バッファポインタリワインド）

バッファポインタのリワインドをするかどうかを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中に REW ビットを 1 にすると、FIFO バッファの最初のデータから再読み出しを行うことができます。ダブルバッファの場合は、この設定により現在読み出し中の FIFO バッファの面の最初のデータから再読み出しすることが可能になります。

REW ビットを 1 にするとき、CURPIPE[3:0] ビットの設定変更を同時に行わないでください。このビットを 1 にするときは、FRDY フラグが 1 であることを必ず確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモード）

CFIFOCTR.DTLN ビットの読み出しモードを指定します。PIPECFG.BFRE ビットを 1 にして DnFIFO にアクセスを行う場合は、RCNT ビットを 0 にしてください。

32.2.6 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR）

アドレス USBFS.CFIFOCTR 4009 0022h, USBFS.D0FIFOCTR 4009 002Ah, USBFS.D1FIFOCTR 4009 002Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	—	—	—	—	DTLN[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	DTLN[8:0]	受信データ長	受信データ長 ポート選択レジスタのRCNTビットの設定により、表示される内容が異なります。詳細は、DTLN[8:0]ビットを参照してください。	R
b12-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	FRDY	FIFOポートレディ	0：FIFOポートアクセス不可能 1：FIFOポートアクセス許可	R
b14	BCLR	CPUバッファクリア	0：何もしない 1：CPU側FIFOバッファクリア	R/W （注1）
b15	BVAL	バッファメモリ有効フラグ	0：無効（0の書き込みは無効です） 1：書き込み終了	R/W

注 1. 読むと 0 が読み出されます。

CFIFOCTR レジスタ、D0FIFOCTR レジスタ、および D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、および D1FIFO バッファに対応しています。

DTLN[8:0] ビット（受信データ長）

受信データ長が表示されます。

FIFO バッファ読み出し中の DTLN[8:0] ビットの値は、DnFIFOSEL.RCNT ビット（n = 0, 1）により、以下のように異なります。

- RCNT = 0
  CPU または DMA/DTC が FIFO バッファ 1 面分の全受信データの読み出しを完了するまで、USBFS は受信データ長を DTLN[8:0] ビットに表示します。
  PIPECFG.BFRE ビットが 1 の場合、読み出しが完了しても、BCLR ビットが 1 になるまで USBFS は受信データ長を保持します。
- RCNT = 1
  FIFO バッファからデータを読み出すごとに USBFS は DTLN[8:0] ビットの表示値をダウンカウントします。（MBW ビットが 0 のときは -1 ずつ、MBW ビットが 1 のときは -2 ずつ値がダウンカウントされます。）
  1 面分の FIFO バッファ読み出し完了時に、USBFS は DTLN[8:0] ビットを 0 にします。ダブルバッファモード時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファにデータを受信した場合は、USBFS は先の 1 面分の読み出し完了時に後の 1 面の受信データ長を DTLN[8:0] ビットに設定します。

FRDY ビット（FIFO ポートレディ）

CPU または DMA/DTC から FIFO ポートにアクセス可能かどうかが表示されます。

以下の場合、USBFS は FRDY ビットを 1 にしますが、読み出すべきデータがないため FIFO ポート経由のデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらのケースでは、BCLR ビットを 1 にして FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU 側の FIFO バッファをクリアする場合は 1 にします。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、FIFO バッファの両面ともに読み出し可能な場合でも、USBFS は片面の FIFO バッファのみをクリアします。選択パイプが DCP のときに BCLR ビットを 1 にすると、FIFO バッファへのアクセス権を持つのが CPU 側か SIE 側かにかかわらず、USBFS は FIFO バッファをクリアします。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0] ビットを 00b（NAK 応答）にしてから BCLR ビットを 1 にしてください。

選択パイプが送信方向の場合、同時に BVAL フラグと BCLR ビットの両方に 1 を書き込むと、USBFS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY フラグの（USBFS による）設定値が 1 のときにのみ行ってください。

BVAL フラグ（バッファメモリ有効フラグ）

CURPIPE[3:0] ビットで選択したパイプの CPU 側の FIFO バッファへの書き込み終了時に 1 にします。

選択パイプが送信方向のとき、以下の場合に BVAL フラグを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み後にこのフラグを 1 にする
- Zero-Length パケットの送信を行いたいとき、FIFO バッファへデータを書き込む前にこのフラグを 1 にする

これを行うと、USBFS は CPU 側の FIFO バッファを SIE 側に切り替え、送信可能状態にします。

連続転送モード時にパイプに対して最大パケットサイズ分のデータを書き込むと、USBFS は BVAL フラグを 1 にし、FIFO バッファを CPU 側から SIE 側に切り替え、送信可能状態にします。

BVAL フラグへの 1 の書き込みは、USBFS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向の場合、BVAL フラグは 1 にしないでください。

32.2.7 割り込みイネーブルレジスタ 0（INTENB0）

アドレス USBFS.INTENB0 4009 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	BRDYE	バッファレディ割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b10	BEMPE	バッファエンプティ割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み許可（注1）	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b12	DVSE	デバイスステート遷移割り込み許可（注1）	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b13	SOFE	フレーム番号更新割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b14	RSME	レジューム割り込み許可（注1）	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15	VBSE	VBUS割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W

注 1. RSME、DVSE、および CTRE ビットは、デバイスコントローラモード時にのみ 1 にできます。ホストコントローラモードでは、これらのビットを 1 にしないでください。

INTSTS0 レジスタのステータスフラグが 1 で、INTENB0 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS0 レジスタのステータスフラグは 1 となります。

INTSTS0 レジスタの関連するステータスフラグが 1 の場合に INTENB0 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBFS 割り込み要求が発行されます。

32.2.8 割り込みイネーブルレジスタ 1（INTENB1）

アドレス USBFS.INTENB1 4009 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	—	—	—	EOFERRE	SIGNE	SACKE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SACKE	SETUP トランザクション正常応答割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	SIGNE	SETUP トランザクションエラー割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b6	EOFERRE	EOF エラー検出割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b10-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	ATTCHE	接続検出割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b12	DTCHE	切断検出割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	BCHGE	USB バス変化割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15	OVRCRE	オーバーカレント入力変化割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W

注 . INTENB1 レジスタのビットは、ホストコントローラモード時にのみ 1 にできます。デバイスコントローラモードでは、1 にしないでください。

INTENB1 レジスタは、ホストコントローラモードおよび SETUP トランザクションでの割り込みマスクを指定します。

INTSTS1 レジスタのステータスフラグが 1 で、INTENB1 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBFS は USBFS 割り込み要求を発行します。

INTENB1 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS1 レジスタのステータスフラグは 1 となります。

INTSTS1 レジスタの関連するステータスフラグが 1 の場合に INTENB1 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBFS 割り込み要求が発行されます。

デバイスコントローラモードでは、割り込みを許可しないでください。

32.2.9 BRDY 割り込みイネーブルレジスタ（BRDYENB）

アドレス USBFS.BRDYENB 4009 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BRDYE	PIPE8BRDYE	PIPE7BRDYE	PIPE6BRDYE	PIPE5BRDYE	PIPE4BRDYE	PIPE3BRDYE	PIPE2BRDYE	PIPE1BRDYE	PIPE0BRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDYE	パイプ0のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	PIPE1BRDYE	パイプ1のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b2	PIPE2BRDYE	パイプ2のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3	PIPE3BRDYE	パイプ3のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b4	PIPE4BRDYE	パイプ4のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	PIPE5BRDYE	パイプ5のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b6	PIPE6BRDYE	パイプ6のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7	PIPE7BRDYE	パイプ7のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b8	PIPE8BRDYE	パイプ8のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	PIPE9BRDYE	パイプ9のBRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットへの 1 の書き込みの許可／禁止を指定します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの関連する PIPEnBRDYE ビット（n = 0 ～ 9）が 1 の場合、INTSTS0.BRDY フラグは 1 になります。この場合、INTENB0 レジスタの BRDYE ビットが 1 であれば、USBFS は BRDY 割り込み要求を発生させます。PIPEnBRDY ビットのうち、少なくともひとつのビットが 1 の状態で、ソフトウェアで BRDYENB レジスタの関連する割り込み要求許可ビットを 0 から 1 に変更すると、USB は BRDY 割り込み要求を発生させます。

32.2.10 NRDY 割り込みイネーブルレジスタ（NRDYENB）

アドレス USBFS.NRDYENB 4009 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDYE	PIPE8NRDYE	PIPE7NRDYE	PIPE6NRDYE	PIPE5NRDYE	PIPE4NRDYE	PIPE3NRDYE	PIPE2NRDYE	PIPE1NRDYE	PIPE0NRDYE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDYE	パイプ0のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	PIPE1NRDYE	パイプ1のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b2	PIPE2NRDYE	パイプ2のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3	PIPE3NRDYE	パイプ3のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b4	PIPE4NRDYE	パイプ4のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	PIPE5NRDYE	パイプ5のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b6	PIPE6NRDYE	パイプ6のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7	PIPE7NRDYE	パイプ7のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b8	PIPE8NRDYE	パイプ8のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	PIPE9NRDYE	パイプ9のNRDY割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットへの 1 の書き込みの許可／禁止を指定します。

NRDYSTS レジスタのステータスフラグが 1 で、NRDYENB レジスタの関連する PIPEnNRDYE ビット（n = 0 ～ 9）が 1 の場合、INTSTS0.NRDY フラグは 1 になります。この場合、INTENB0 レジスタの NRDYE ビットが 1 であれば、USBFS は NRDY 割り込み要求を発生させます。少なくとも 1 つの PIPEnNRDY ビットが 1 のとき、ソフトウェアで NRDYENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は NRDY 割り込み要求を発生させます。

32.2.11 BEMP 割り込みイネーブルレジスタ（BEMPENB）

アドレス USBFS.BEMPENB 4009 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BEMPE	PIPE8BEMPE	PIPE7BEMPE	PIPE6BEMPE	PIPE5BEMPE	PIPE4BEMPE	PIPE3BEMPE	PIPE2BEMPE	PIPE1BEMPE	PIPE0BEMPE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMPE	パイプ0のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b1	PIPE1BEMPE	パイプ1のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b2	PIPE2BEMPE	パイプ2のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3	PIPE3BEMPE	パイプ3のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b4	PIPE4BEMPE	パイプ4のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b5	PIPE5BEMPE	パイプ5のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b6	PIPE6BEMPE	パイプ6のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7	PIPE7BEMPE	パイプ7のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b8	PIPE8BEMPE	パイプ8のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	PIPE9BEMPE	パイプ9のBEMP割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットへの 1 の書き込みの許可／禁止を指定します。

BEMPSTS レジスタのステータスフラグが 1 で、BEMPENB レジスタの関連する PIPEnBEMPE ビット（n = 0 ～ 9）が 1 の場合、INTSTS0.BEMP フラグは 1 になります。この場合、INTENB0 レジスタの BEMPE ビットが 1 であれば、USBFS は BEMP 割り込み要求を発生させます。少なくとも 1 つの PIPEnBEMP ビットが 1 のとき、ソフトウェアで BEMPENB レジスタの関連する割り込み要求許可ビットが 0 から 1 に変更されると、USBFS は BEMP 割り込み要求を発生させます。

32.2.12 SOF 出力コンフィグレーションレジスタ（SOFCFG）

アドレス USBFS.SOFCFG 4009 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	—	EDGESTS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	EDGESTS	エッジ割り込み出力ステータスモニタ（注1）	エッジ割り込み出力信号のエッジ処理中は1となります。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	BRDYM	BRDY割り込みステータスクリアタイミング	0：ソフトウェアによるBRDYフラグのクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBFSがBRDYフラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRNENSEL	トランザクション有効期間切り替え（注1）	0：ロースピード通信非対応 1：ロースピード通信対応	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. USBFS へのクロック供給を停止するときは、事前にこれらのビットが 0 であることを確認してください。

EDGESTS ビット（エッジ割り込み出力ステータスモニタ）

エッジ割り込み出力信号のエッジ処理中は 1 となります。USBFS へのクロック供給を停止するときは、EDGESTS ビットが 0 であることを確認してください。

BRDYM ビット（BRDY 割り込みステータスクリアタイミング）

パイプの BRDY 割り込みステータスフラグのクリア方法を示します。

TRNENSEL ビット（トランザクション有効期間切り替え）

USB ポートでフルスピードまたはロースピード通信を行う場合に、1 フレーム中に USBFS がトークン発行を行う期間（トランザクション有効期間）を指定します。

ロースピードデバイスが接続されたときは、本ビットを 1 にしてください。本ビットは、ホストコントローラモードでのみ有効です。デバイスコントローラモードでは 0 にしてください。

32.2.13 割り込みステータスレジスタ 0（INTSTS0）

アドレス USBFS.INTSTS0 4009 0040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
リセット後の値	0	0	0	0/1（注1）	0	0	0	0	0（注2）	0（注3）	0（注3）	0/1（注3）	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージ	b2 b0 0 0 0：アイドルまたはセットアップステージ 0 0 1：コントロールリードデータステージ 0 1 0：コントロールリードステータスステージ 0 1 1：コントロールライトデータステージ 1 0 0：コントロールライトステータスステージ 1 0 1：コントロールライト（no-Data）ステータスステージ 1 1 0：コントロール転送シーケンスエラー	R
b3	VALID	USB リクエスト受信	0：Setup パケットを受信していない 1：Setup パケットを受信した	R/W（注4）
b6-b4	DVSQ[2:0]	デバイスステート	デバイスステートを表示 b6 b4 0 0 0：Powered ステート 0 0 1：Default ステート 0 1 0：Address ステート 0 1 1：Configured ステート 1 x x：Suspended ステート	R
b7	VBSTS	VBUS 入力ステータス	0：USB_VBUS 端子が Low 1：USB_VBUS 端子が High	R
b8	BRDY	バッファレディ割り込みステータス	0：BRDY 割り込み発生なし 1：BRDY 割り込み発生あり	R
b9	NRDY	バッファノットレディ割り込みステータス	0：NRDY 割り込み発生なし 1：NRDY 割り込み発生あり	R
b10	BEMP	バッファエンプティ割り込みステータス	0：BEMP 割り込み発生なし 1：BEMP 割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータス（注5）	0：コントロール転送ステージ遷移割り込み発生なし 1：コントロール転送ステージ遷移割り込み発生あり	R/W（注4）
b12	DVST	デバイスステート遷移割り込みステータス（注5）	0：デバイスステート遷移割り込み発生なし 1：デバイスステート遷移割り込み発生あり	R/W（注4）
b13	SOFR	フレーム番号更新割り込みステータス	0：SOF 割り込み発生なし 1：SOF 割り込み発生あり	R/W（注4）
b14	RESM	レジューム割り込みステータス（注5）（注6）	0：レジューム割り込み発生なし 1：レジューム割り込み発生あり	R/W（注4）
b15	VBINT	VBUS 割り込みステータス（注6）	0：VBUS 割り込み発生なし 1：VBUS 割り込み発生あり	R/W（注4）

x：Don’t care

注 1. MCU がリセットされると 0、USB バスリセットのとき 1 になります。
注 2. USB_VBUS 端子が High のとき 1、Low のとき 0 になります。
注 3. MCU がリセットされると 000b、USB バスリセットのとき 001b になります。
注 4. VBINT ビット、RESM ビット、SOFR ビット、DVST ビット、CTRT ビット、または VALID ビットをクリアする場合は、クリアしたいビットにのみ 0 を書き込んでください。その他のビットには 1 を書いてください。0 を示しているステータスビットへの 0 書き込みを行わないでください。
注 5. RESM ビット、DVST ビット、CTRT ビットのステータス変化は、デバイスコントローラモードでのみ発生します。ホストコントローラモードでは関連する割り込み許可ビットを 0（禁止）にしてください。
注 6. USBFS は VBINT ビットおよび RESM ビットが示すステータス変化をクロック停止中（SCKE ビットが 0 のとき）でも検出し、関連する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリアする場合は、クロック供給を許可してから行ってください。

CTSQ[2:0] ビット（コントロール転送ステージ）

ホストコントローラモード時、CTSQ[2:0] ビットの読み出し値は無効です。

VALID ビット（USB リクエスト受信）

ホストコントローラモード時、VALID ビットの読み出し値は無効です。

DVSQ[2:0] ビット（デバイスステート）

USB バスリセットで DVSQ[2:0] ビットは初期化されます。ホストコントローラモードでは、読み出し値は無効です。

BRDY フラグ（バッファレディ割り込みステータス）

BRDY 割り込みステータスを示します。

USBFS は BRDY 割り込みが許可された（BRDYENB.PIPEnBRDYE が 1）パイプのうち少なくとも 1 つに対して BRDY 割り込みステータス（PIPEnBRDY が 1、n = 0 ～ 9）を検出したときに、BRDY ビットを 1 にします。

PIPEnBRDY ステータスがアサートされる条件については、32.3.3.1　BRDY 割り込みを参照してください。

ソフトウェアで、1 になっている PIPEnBRDYE ビットに対応する PIPEnBRDY ビットのすべてに 0 を書くと、USBFS は BRDY ビットを 0 にします。ソフトウェアで BRDY フラグに 0 を書いても、このフラグはクリアされません。

NRDY フラグ（バッファノットレディ割り込みステータス）

NRDY 割り込みステータスを示します。

USBFS は NRDY 割り込みが許可された（NRDYENB.PIPEnNRDYE が 1）パイプのうち少なくとも 1 つに対して NRDY 割り込みステータス（PIPEnNRDY が 1、n = 0 ～ 9）を検出したときに、NRDY ビットを 1 にします。

PIPEnNRDY ステータスがアサートされる条件については、32.3.3.2　NRDY 割り込みを参照してください。

ソフトウェアで、1 になっている PIPEnNRDYE ビットに対応する PIPEnNRDY ビットのすべてに 0 を書くと、USBFS は NRDY ビットを 0 にします。ソフトウェアで NRDY フラグに 0 を書いても、このフラグはクリアされません。

BEMP フラグ（バッファエンプティ割り込みステータス）

BEMP 割り込みステータスを示します。

USBFS は BEMP 割り込みが許可された（BEMPENB.PIPEnBEMPE が 1）パイプのうち少なくとも 1 つに対して BEMP 割り込みステータス（PIPEnBEMP が 1、n = 0 ～ 9）を検出したときに、BEMP ビットを 1 にします。

PIPEnBEMP ステータスのアサート条件については、32.3.3.3　BEMP 割り込みを参照してください。

ソフトウェアで、1 になっている PIPEnBEMPE ビットに対応する PIPEnBEMP ビットのすべてに 0 を書くと、USBFS は BEMP ビットを 0 にします。ソフトウェアで BEMP フラグに 0 を書いても、このフラグはクリアされません。

CTRT フラグ（コントロール転送ステージ遷移割り込みステータス）

デバイスコントローラモード時、USBFS がコントロール転送のステージ遷移を検出すると、USBFS は CTSQ[2:0] ビットの値を更新し、CTRT フラグを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBFS が次のコントロール転送ステージ遷移を検出するまでに CTRT フラグをクリアしてください。

ホストコントローラモード時に CTRT フラグから読み出した値は無効です。

DVST フラグ（デバイスステート遷移割り込みステータス）

デバイスコントローラモード時、USBFS がデバイスステートの切り替えを検出すると、USBFS は DVSQ[2:0] ビットの値を更新し、DVST フラグを 1 にします。デバイスステート遷移割り込みが発生した場合、USBFS が次のデバイスステート遷移を検出する前に DVST フラグをクリアしてください。

ホストコントローラモード時に DVST フラグから読み出した値は無効です。

SOFR フラグ（フレーム番号更新割り込みステータス）

ホストコントローラモード時に、ソフトウェアで DVSTCTR0.UACT ビットを 1 にしている場合、USBFS はフレーム番号の更新タイミングで SOFR フラグを 1 にします。SOFR 割り込みの検出間隔は 1ms です。

デバイスコントローラモード時には、USBFS はフレーム番号更新時に SOFR フラグを 1 にします。フレーム番号更新割り込みは、1ms ごとに検出します。

USB ホストから受信した SOF パケットが破損していても、内部補完機能により、USBFS は SOFR 割り込みを検出できます。

RESM フラグ（レジューム割り込みステータス）

デバイスコントローラモード時、USBFS は、Suspended ステート（DVSQ[2:0] = 1xxb）であり、かつ、USB_DP 端子で信号の立ち下がりを検出したときに、RESM フラグを 1 にします。ホストコントローラモード時に RESM フラグから読み出した値は無効です。

VBINT フラグ（VBUS 割り込みステータス）

USBFS は、USB_VBUS 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、VBINT フラグを 1 にします。USBFS は USB_VBUS 端子の入力値を、VBSTS フラグに表示します。VBUS 割り込みが発生した場合は、ソフトウェアで VBSTS フラグを 3 回以上読み出し、値が一致することを確認してトランジェント除去を行ってください。

32.2.14 割り込みステータスレジスタ 1（INTSTS1）

アドレス USBFS.INTSTS1 4009 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	—	—	—	EOFERR	SIGN	SACK	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SACK	SETUP トランザクション正常応答割り込みステータス	0：SACK割り込み発生なし 1：SACK割り込み発生あり	R/W（注1）
b5	SIGN	SETUP トランザクションエラー割り込みステータス	0：SIGN割り込み発生なし 1：SIGN割り込み発生あり	R/W（注1）
b6	EOFERR	EOF エラー検出割り込みステータス	0：EOFERR割り込み発生なし 1：EOFERR割り込み発生あり	R/W（注1）
b10-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	ATTCH	ATTCH割り込みステータス	0：ATTCH割り込み発生なし 1：ATTCH割り込み発生あり	R/W（注1）
b12	DTCH	USB切断検出割り込みステータス	0：DTCH割り込み発生なし 1：DTCH割り込み発生あり	R/W（注1）
b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	BCHG	USBバス変化割り込みステータス（注2）	0：BCHG割り込み発生なし 1：BCHG割り込み発生あり	R/W（注1）
b15	OVRCR	オーバーカレント入力変化割り込みステータス（注2）	0：OVRCR割り込み発生なし 1：OVRCR割り込み発生あり	R/W（注1）

注 1. INTSTS1 レジスタの各ビットを 0 にする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。

注 2. USBFS は OVRCR ビットまたは BCHG ビットのステータス変化をクロック停止中（SYSCFG.SCKE が 0）でも検出し、関連する割り込み要求ビットが 1 であれば割り込みを要求します。ソフトウェアでステータスをクリアする前にクロック供給を許可してください（SYSCFG.SCKE を 1 にする）。その他の割り込みは、クロック停止中（SYSCFG.SCKE ビットが 0）は検出しません。

INTSTS1 レジスタは、ホストコントローラモードでの各割り込みのステータスを確認するレジスタです。INTSTS1 レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラモードでのみ許可してください。

SACK フラグ（SETUP トランザクション正常応答割り込みステータス）

ホストコントローラモード時、SETUP トランザクション正常応答割り込みステータスを示します。

USBFS が発行した SETUP トランザクションにおいて周辺デバイスから ACK 応答が返されると、USBFS は SACK 割り込みを検出し、このフラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

デバイスコントローラモード時に SACK フラグから読み出した値は無効です。

SIGN フラグ（SETUP トランザクションエラー割り込みステータス）

ホストコントローラモード時、SETUP トランザクションエラー割り込みステータスを示します。

USBFS が発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない事態が連続 3 回発生すると、USBFS は SIGN 割り込みを検出し、このフラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS の SIGN 割り込み検出条件は、3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答条件が発生したときです。

- 周辺デバイスが何も応答しない状態で USBFS がタイムアウトを検出したとき
- 破損した ACK パケットを受信したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

デバイスコントローラモード時に SIGN フラグから読み出した値は無効です。

EOFERR フラグ（EOF エラー検出割り込みステータス）

ホストコントローラモード時、EOF エラー検出割り込みステータスを示します。

USBFS は、USB2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを検出すると、EOFERR 割り込みを検出してこのフラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS は、EOFERR 割り込みを検出後、関連する割り込み許可ビットの設定値にかかわらず、以下のハードウェア制御を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの再エニュメレーションを行ってください。

デバイスコントローラモードで EOFERR フラグから読み出した値は無効です。

ATTCH フラグ（ATTCH 割り込みステータス）

ホストコントローラモード時、USB アタッチ検出割り込みステータスを示します。

USBFS は、フルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5µs 間検出すると、ATTCH 割り込みを検出してこのフラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS の ATTCH 割り込み検出条件は以下のいずれかです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5µs 間継続したとき

デバイスコントローラモード時に ATTCH フラグから読み出した値は無効です。

DTCH フラグ（USB 切断検出割り込みステータス）

ホストコントローラモード時、USB 切断検出割り込みステータスを示します。

USBFS は、USB バスデタッチイベントを検出すると、DTCH 割り込みを検出してこのフラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS は、USB2.0 規格に準じてバスデタッチイベントを検出します。

USBFS は、DTCH 割り込みを検出後、関連する割り込み許可ビットの設定値にかかわらず、以下のハードウェア制御を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへのアタッチ待ちの状態（ATTCH 割り込み発生待ちの状態）を呼び出してください。

デバイスコントローラモードで DTCH フラグから読み出した値は無効です。

BCHG フラグ（USB バス変化割り込みステータス）

ホストコントローラモード時、USB バス変化割り込みステータスを示します。

USBFS は、USB ポートでフルスピード信号レベルまたはロースピード信号レベルの変化が起こると、BCHG 割り込みを検出してこのフラグを 1 にします。対象とする変化には、J-State、K-State、SE0 のいずれかから J-State、K-State、SE0 のいずれかへの変化すべてを含みます。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

USBFS は USB ポートの入力状態を、LNST[1:0] フラグに表示します。BCHG 割り込みが発生した場合は、ソフトウェアで LNST[1:0] フラグの読み出しを同じ値が 3 回以上得られるまで繰り返し、トランジェント除去を行ってください。

USB バスステートの変化は、内部クロック停止状態でも検出します。

デバイスコントローラモードで BCHG フラグから読み出した値は無効です。

OVRCR フラグ（オーバーカレント入力変化割り込みステータス）

USB_OVRCURA および USB_OVRCURB 入力端子の変化割り込みステータスを示します。

USB_OVRCURA および USB_OVRCURB 端子の入力値の少なくともどちらか一方が変化（High から Low への変化あるいは Low から High への変化）すると、USBFS は OVRCR 割り込みを検出してこのフラグを 1 にします。ソフトウェアで関連する割り込み許可ビットを 1 にしていれば、USBFS は割り込みを発生させます。

32.2.15 BRDY 割り込みステータスレジスタ（BRDYSTS）

アドレス USBFS.BRDYSTS 4009 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BRDY	PIPE8BRDY	PIPE7BRDY	PIPE6BRDY	PIPE5BRDY	PIPE4BRDY	PIPE3BRDY	PIPE2BRDY	PIPE1BRDY	PIPE0BRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BRDY	パイプ0のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b1	PIPE1BRDY	パイプ1のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b2	PIPE2BRDY	パイプ2のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b3	PIPE3BRDY	パイプ3のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b4	PIPE4BRDY	パイプ4のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b5	PIPE5BRDY	パイプ5のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b6	PIPE6BRDY	パイプ6のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b7	PIPE7BRDY	パイプ7のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b8	PIPE8BRDY	パイプ8のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b9	PIPE9BRDY	パイプ9のBRDY割り込みステータス（注2）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/W（注1）
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SOFCFG.BRDYM ビットが 0 の場合、BRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。

注 2. SOFCFG.BRDYM ビットが 0 の場合、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

32.2.16 NRDY 割り込みステータスレジスタ（NRDYSTS）

アドレス USBFS.NRDYSTS 4009 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9NRDY	PIPE8NRDY	PIPE7NRDY	PIPE6NRDY	PIPE5NRDY	PIPE4NRDY	PIPE3NRDY	PIPE2NRDY	PIPE1NRDY	PIPE0NRDY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0NRDY	パイプ0のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b1	PIPE1NRDY	パイプ1のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b2	PIPE2NRDY	パイプ2のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b3	PIPE3NRDY	パイプ3のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b4	PIPE4NRDY	パイプ4のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b5	PIPE5NRDY	パイプ5のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b6	PIPE6NRDY	パイプ6のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b7	PIPE7NRDY	パイプ7のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b8	PIPE8NRDY	パイプ8のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b9	PIPE9NRDY	パイプ9のNRDY割り込みステータス	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/W（注1）
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. NRDYSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。

32.2.17 BEMP 割り込みステータスレジスタ（BEMPSTS）

アドレス USBFS.BEMPSTS 4009 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPE9BEMP	PIPE8BEMP	PIPE7BEMP	PIPE6BEMP	PIPE5BEMP	PIPE4BEMP	PIPE3BEMP	PIPE2BEMP	PIPE1BEMP	PIPE0BEMP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PIPE0BEMP	パイプ0のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b1	PIPE1BEMP	パイプ1のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b2	PIPE2BEMP	パイプ2のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b3	PIPE3BEMP	パイプ3のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b4	PIPE4BEMP	パイプ4のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b5	PIPE5BEMP	パイプ5のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b6	PIPE6BEMP	パイプ6のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b7	PIPE7BEMP	パイプ7のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b8	PIPE8BEMP	パイプ8のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b9	PIPE9BEMP	パイプ9のBEMP割り込みステータス	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/W（注1）
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. BEMPSTS レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。

32.2.18 フレームナンバレジスタ（FRMNUM）

アドレス USBFS.FRMNUM 4009 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	CRCE	受信データエラー	0：エラーなし 1：エラー発生	R/W （注1）
b15	OVRN	オーバーラン／アンダーラン検出ステータス	0：エラーなし 1：エラー発生	R/W （注1）

注 1. ステータスをクリアする場合は、クリアしたいビットにのみ 0 を書いてください。その他のビットには 1 を書いてください。

FRNM[10:0] フラグ（フレーム番号）

SOF パケットの発行時または受信時に最新のフレーム番号（1ms ごとに更新）を示します。

CRCE フラグ（受信データエラー）

アイソクロナス転送中に CRC エラーやビットスタッフィングエラーが発生した場合、1 になります。ホストコントローラモードで CRC エラー検出時、USBFS は内部 NRDY 割り込みを発生させます。

CRCE フラグをクリアする場合は、このフラグに 0 を書き、FRMNUM レジスタの他のビットは 1 にします。

OVRN フラグ（オーバーラン／アンダーラン検出ステータス）

アイソクロナス転送中にオーバーランエラーやアンダーランエラーが発生した場合、1 になります。このフラグをクリアする場合は、このフラグに 0 を書き、FRMNUM レジスタの他のビットは 1 にします。

ホストコントローラモードでは、以下のいずれかの場合に OVRN フラグが 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、IN トークン発行タイミングに達したとき

デバイスコントローラモードでは、以下のいずれかの場合に OVRN フラグが 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、OUT トークンを受信したとき

32.2.19 デバイスステート切り替えレジスタ（DVCHGR）

アドレス USBFS.DVCHGR 4009 004Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	DVCHG	デバイスステート切り替え	0：USBADDR.STSRECOV[3:0]ビットおよびUSBADDR.USBADDR[6:0]ビットへの書き込み無効 1：USBADDR.STSRECOV[3:0]ビットおよびUSBADDR.USBADDR[6:0]ビットへの書き込み有効	R/W

詳細は、32.3.1.5 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除を参照してください。

32.2.20 USB アドレスレジスタ（USBADDR）

アドレス USBFS.USBADDR 4009 0050h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	STSRECOV[3:0]				—	USBADDR[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	USBADDR[6:0]	USBアドレス	デバイスコントローラモード時、USBFSがSET_ADDRESSリクエストを正常に処理したときに、ホストから割り付けられたUSBアドレスを表示します。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	STSRECOV[3:0]	ステータスリカバリ	• デバイスコントローラモード時の復帰 b11 b8 1 0 0 1：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが010b）、INTSTS0.DVSQ[2:0]ビットが001b（Defaultステート） 1 0 1 0：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが010b）、INTSTS0.DVSQ[2:0]ビットが010b（Addressステート） 1 0 1 1：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが010b）、INTSTS0.DVSQ[2:0]ビットが011b（Configuredステート） 上記以外は設定しないでください。 • ホストコントローラモード時の復帰 b11 b8 0 1 0 0：ロースピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが001b） 1 0 0 0：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが010b） 上記以外は設定しないでください。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

USBADDR[6:0] ビット（USB アドレス）

デバイスコントローラモード時、USBFS が SetAddress 要求の処理を正常に終了すると、USBADDR[6:0] フラグは受信した USB アドレスを表示します。USBFS は USB バスリセットを検出すると、USBADDR[6:0] ビットを 00h にします。

DVCHGR.DVCHG ビットを 1 にしているときに USBADDR[6:0] ビットに書き込み可能となります。USB 電源遮断からの復帰時に、ソフトウェアによる遮断の前に設定されていた USB アドレスから再開することができます。

ホストコントローラモード時、USBADDR[6:0] ビットは無効です。

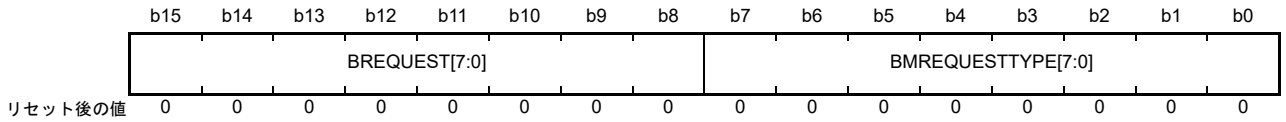
STSRECOV[3:0] ビット（ステータスリカバリ）

USB 電源遮断から復帰するときの内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細は、32.3.1.5 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除を参照してください。

DVCHGR.DVCHG ビットを 1 にしているときに STSRECOV[3:0] ビットに書き込み可能となります。

32.2.21 USB リクエストタイプレジスタ（USBREQ）

アドレス USBFS.USBREQ 4009 0054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプ	USB リクエスト bmRequestType の値	R/W（注1）
b15-b8	BREQUEST[7:0]	リクエスト	USB リクエスト bRequest の値	R/W（注1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しおよび書き込みとも可能です。

USBREQ レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

デバイスコントローラモード時、受信した bRequest および bmRequestType の値を格納します。ホストコントローラモードでは、USBREQ レジスタは送信する bRequest および bmRequestType の値を設定します。

USBREQ レジスタは、USB バスリセットで初期化されます。

BMREQUESTTYPE[7:0] ビット（リクエストタイプ）

USB リクエスト bmRequestType の値を保持します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 の状態でこれらのビットの値の書き換えは行わないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

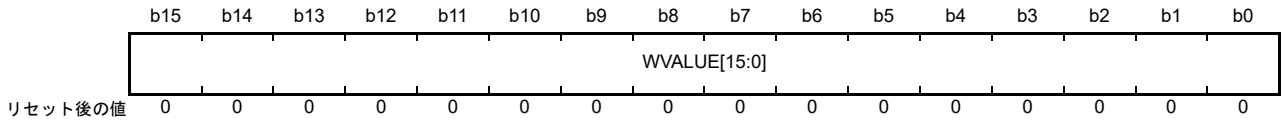
BREQUEST[7:0] ビット（リクエスト）

USB リクエスト bRequest の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 の状態でこれらのビットの値の書き換えは行わないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

32.2.22 USB リクエストバリューレジスタ（USBVAL）

アドレス USBFS.USBVAL 4009 0056h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュー	USB リクエスト wValue の値	R/W（注 1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しおよび書き込みとも可能です。

デバイスコントローラモードでは、USBVAL レジスタは受信した wValue の値を格納します。ホストコントローラモードでは、送信する wValue の値を設定します。

USBVAL レジスタは、USB バスリセットで初期化されます。

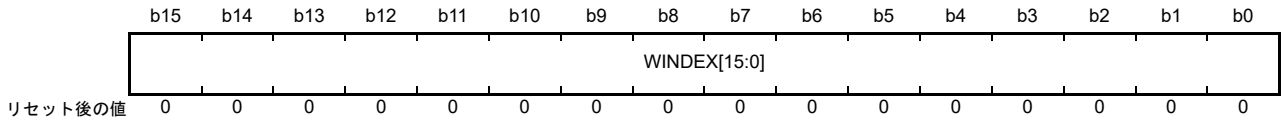
WVALUE[15:0] ビット（バリュー）

USB リクエスト wValue の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。
  DCPCTR.SUREQ ビットが 1 の状態でこれらのビットの値の書き換えは行わないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wValue の値を示します。書き込みは無効です。

32.2.23 USB リクエストインデックスレジスタ（USBINDX）

アドレス USBFS.USBINDX 4009 0058h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックス	USB リクエスト wIndex の値	R/W（注 1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しおよび書き込みとも可能です。

USBINDX レジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

デバイスコントローラモードでは、USBINDX レジスタは受信した wIndex の値を格納します。ホストコントローラモードでは、送信する wIndex の値を設定します。

USBINDX レジスタは、USB バスリセットで初期化されます。

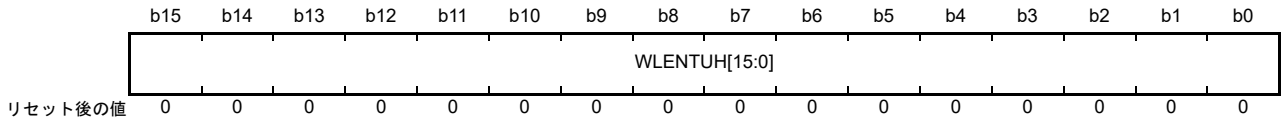
WINDEX[15:0] ビット（インデックス）

USB リクエスト wIndex の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。
  DCPCTR.SUREQ ビットが 1 の状態でこれらのビットの値の書き換えは行わないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。書き込みは無効です。

32.2.24 USB リクエストレングスレジスタ（USBLENG）

アドレス USBFS.USBLENG 4009 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENTUH[15:0]	レングス	USB リクエスト wLength の値	R/W（注 1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しおよび書き込みとも可能です。

USBLENG レジスタはコントロール転送のセットアップリクエストを格納するためのレジスタです。

デバイスコントローラモード時、受信した wLength の値を格納します。ホストコントローラモードでは、送信する wLength の値を設定します。

USBLENG レジスタは、USB バスリセットで初期化されます。

WLENTUH[15:0] ビット（レングス）

USB リクエスト wLength の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。
  DCPCTR.SUREQ ビットが 1 の状態でこれらのビットの値の書き換えは行わないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wLength の値を示します。書き込みは無効です。

32.2.25 DCP コンフィグレーションレジスタ（DCPCFG）

アドレス USBFS.DCPCFG 4009 005Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SHTNAK	—	—	DIR	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DIR	転送方向（注1）	0：データ受信方向 1：データ送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止（注1）	0：転送終了後パイプがオープンの状態を維持 1：転送終了後にパイプを禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 設定は、PID = NAK の状態のときにのみ実施してください。設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビット（転送方向）

ホストコントローラモード時、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。デバイスコントローラモードでは、DIR ビットは 0 にしてください。

SHTNAK ビット（転送終了時のパイプ禁止）

選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。SHTNAK ビットは、選択パイプが受信方向の場合のみ有効なビットです。

SHTNAK ビットが 1 の場合、USBFS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケット（Zero-Length パケットを含む）を正常に受信したとき

32.2.26 DCP マックスパケットサイズレジスタ（DCPMAXP）

アドレス USBFS.DCPMAXP 4009 005Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	最大パケットサイズ（注1）	DCPの最大データペイロード指定（最大パケットサイズ）	R/W
b11-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b12	DEVSEL[3:0]	デバイス選択（注2）	b15 b12 0 0 0 0：アドレス0000b 0 0 0 1：アドレス0001b 0 0 1 0：アドレス0010b 0 0 1 1：アドレス0011b 0 1 0 0：アドレス0100b 0 1 0 1：アドレス0101b 上記以外は設定しないでください。	R/W

注 1. MXPS[6:0] ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。MXPS[6:0] ビットの設定後には、ポート選択レジスタの CURPIPE[3:0] ビットへ DCP を設定後、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファクリア処理を実施してください。

注 2. DEVSEL[3:0] ビットの設定は、PID = NAK の状態および DCPCTR.SUREQ ビットが 0 の期間にのみ実施してください。これらのビットを設定する場合には、DCPCTR.PBUSY ビットが 0 であることを確認し、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

MXPS[6:0] ビット（最大パケットサイズ）

DCP の最大データペイロード（最大パケットサイズ）を指定します。初期値は 40h（64 バイト）です。MXPS[6:0] ビットは、USB2.0 規格に準じた値を設定してください。MXPS[6:0] ビットが 0 の状態で FIFO バッファへの書き込み、あるいは PID = BUF の設定を行わないでください。

DEVSEL[3:0] ビット（デバイス選択）

ホストコントローラモード時、コントロール転送の対象の周辺デバイスのアドレスを指定します。関連する DEVADDn（n = 0 ～ 5）レジスタでデバイスアドレスを設定した後で、DEVSEL[3:0] ビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを 0010b にするには、まず DEVADD2 レジスタでアドレスを設定します。

デバイスコントローラモードでは、DEVSEL[3:0] ビットを 0000b にしてください。

32.2.27 DCP コントロールレジスタ（DCPCTR）

アドレス USBFS.DCPCTR 4009 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ	—	—	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	—	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b2	CCPL	コントロール転送終了許可	0：コントロール転送終了を許可しない 1：コントロール転送終了を許可する	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0：DCPをUSBバスにて未使用 1：DCPをUSBバスにて使用中	R
b6	SQMON	シーケンストグルビットモニタ	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセット （注2）	DCP転送においてシーケンストグルビットを設定します。 0：無効（0の書き込みは無効です） 1：次回トランザクションの期待値をDATA1にする 読むと0が読めます。	R/W （注1）
b8	SQCLR	シーケンストグルビットクリア （注2）	DCP転送におけるシーケンストグルビットをクリアします。 0：無効（0の書き込みは無効です） 1：次回トランザクションの期待値をDATA0にクリアする 読むと0が読めます。	R/W （注1）
b10-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	SUREQCLR	SUREQビットクリア	ホストコントローラモード時にSUREQビットをクリアします。 0：無効（0の書き込みは無効です） 1：SUREQを0にクリアする 読むと0が読めます。	R/W
b13-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	SUREQ	SETUP トークン送出	ホストコントローラモード時のトークン送出を設定します。 0：無効（0の書き込みは無効です） 1：Setupパケット送出	R/W
b15	BSTS	バッファステータス	0：バッファアクセス不可能 1：バッファアクセス可能	R

注 1. 読むと 0 が読めます。

注 2. SQSET ビットおよび SQCLR ビットの設定は、PID = NAK の状態のときに限り行ってください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、DCP の PID[1:0] ビットを BUF から NAK へ変更してから実施してください。USBFS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0] ビット（応答 PID）

PID[1:0] ビットは、コントロール転送における USB 応答の種類を制御します。

ホストコントローラモードでは、以下のように PID[1:0] ビットの設定を NAK から BUF に変更します。

- 送信方向設定時：
  a. DVSTCTR0.UACT ビットが 1 かつ PID = NAK の状態で FIFO バッファにすべての送信データを書き込みます。
  b. PID[1:0] ビットを 01b（BUF）にします。
  これにより、USBFS が OUT トランザクションを実行します。
- 受信方向設定時：
  a. DVSTCTR0.UACT ビットが 1 かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認します（または空の状態にします）。
  b. PID[1:0] ビットを 01b（BUF）にします。
  これにより、USBFS が IN トランザクションを実行します。

USBFS は PID[1:0] ビットの設定値変更を以下のように行います。

- ソフトウェアが PID[1:0] ビットを BUF（01b）にし、USBFS が MaxPacketSize を超えるデータを受信すると、USBFS は PID[1:0] ビットを STALL（11b）にします。
- CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBFS は PID[1:0] ビットを NAK（00b）にします。
- STALL ハンドシェイクを受信すると、USBFS は PID[1:0] ビットを STALL（11b）にします。

デバイスコントローラモードでは、USBFS は PID[1:0] ビットの設定値変更を以下のように行います。

- Setup パケットを受信すると、USBFS は PID[1:0] ビットを NAK（00b）にします。このとき、USBFS は INTSTS0.VALID フラグを 1 にし、ソフトウェアで VALID フラグが 0 にクリアされるまで、PID[1:0] ビットの設定値変更は不可となります。
- ソフトウェアが PID[1:0] ビットを BUF（01b）にし、USBFS が MaxPacketSize を超えるデータを受信すると、USBFS は PID[1:0] ビットを STALL（11b）にします。
- コントロール転送シーケンスエラーを検出すると、USBFS は PID[1:0] ビットを STALL（1xb）にします。
- USB バスリセットを検出したとき、USBFS は PID[1:0] ビットを NAK にします。

SET_ADDRESS リクエスト処理時には、USBFS は PID[1:0] ビットの設定値を参照しません。

PID[1:0] ビットは USB バスリセットで初期化されます。

CCPL ビット（コントロール転送終了許可）

デバイスコントローラモード時、CCPL ビットを 1 にすることによりコントロール転送のステータスステージの終了を許可します。関連する PID[1:0] ビットが BUF のとき、ソフトウェアで CCPL ビットを 1 にすると、USBFS はコントロール転送のステータスステージを完了させます。

コントロールリード転送では、USBFS は USB ホストからの OUT トランザクションに対して、ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送では、USBFS は USB ホストからの IN トランザクションに対して、Zero-Length パケットを送信します。SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USBFS はセットアップステージからステータスステージ完了まで自動応答モードで動作します。

新たな Setup パケットを受信したときに、USBFS は CCPL ビットを 1 から 0 に変更します。INTSTS0.VALID ビットが 1 のとき、ソフトウェアは CCPL ビットを 1 にできません。CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラモードでは、必ず CCPL ビットを 0 にしてください。

PBUSY ビット（パイプビジー）

USBFS が PID[1:0] ビットを BUF から NAK に変更した場合に、DCP がトランザクションに使用されるかどうかを示します。USBFS は、選択パイプに対する USB トランザクションの開始時に、PBUSY ビットを 0 から 1 へ変更します。1 つのトランザクションの完了時に、USBFS は PBUSY ビットを 1 から 0 に変更します。

ソフトウェアが PID を NAK にすると、PBUSY ビットの値はパイプ設定の変更が可能かどうかを示します。詳細は、32.3.4.1　パイプコントロールレジスタの切り替え手順を参照してください。

SQMON ビット（シーケンストグルビットモニタ）

DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を示します。

トランザクションが正常終了すると、USBFS は SQMON ビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON ビットをトグルしません。

デバイスコントローラモードでは、Setup パケット正常受信時に、USBFS は SQMON ビットを 1（期待値を DATA1 に設定）にします。

デバイスコントローラモード時、USBFS はステータスステージの IN または OUT トランザクションでは SQMON ビットを参照しません。また、正常終了しても SQMON ビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット（シーケンストグルビットクリア）

DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SUREQCLR ビット（SUREQ ビットクリア）

ホストコントローラモードでは、SUREQCLR ビットを 1 にすると SUREQ ビットが 0 になります。読むと 0 が読めます。

SETUP トランザクションにおいて SUREQ ビットが 1 のときに転送が停止した場合、ソフトウェアで SUREQCLR ビットを 1 にしてください。正常な SETUP トランザクションでは、その終了時に USBFS が自動的に SUREQ ビットを 0 するため、ソフトウェアによるクリア処理は必要ありません。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットが 0 のときにのみ行ってください。UACT が 0 のときは、通信が停止しているか、バス切断検出により転送が行われていない状態となっています。

デバイスコントローラモードでは、必ず本ビットを 0 にしてください。

SUREQ ビット（SETUP トークン送出）

ホストコントローラモード時、SUREQ ビットを 1 にすると、USBFS による Setup パケット送信がトリガされます。SETUP トランザクション処理終了後、USBFS は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを 0 にします。また、SUREQCLR ビットをソフトウェアで 1 にすることにより、USBFS は SUREQ ビットを 0 にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを 1 にしてください。また、DCP の PID[1:0] ビットを NAK にしていることを確認してください。SUREQ ビットを 1 にした後、SETUP トランザクションが終了するまで（SUREQ ビットが 1）の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。SETUP トークンを出すときのみ SUREQ ビットを 1 にしてください。それ以外の場合は 0 にしてください。

デバイスコントローラモードでは、必ず本ビットを 0 にしてください。

BSTS フラグ（バッファステータス）

DCP FIFO バッファへのアクセスステータスを示します。BSTS フラグが示す内容は、CFIFOSEL.ISEL ビットの設定に応じて以下のように異なります。

- ISEL ビットが 0 のとき、バッファから受信データの読み出しが可能かどうかを示します。
- ISEL ビットが 1 のとき、バッファへの送信データの書き込みが可能かどうかを示します。

32.2.28 パイプウィンドウ選択レジスタ（PIPESEL）

アドレス USBFS.PIPESEL 4009 0064h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	b3 b0 0 0 0 0：パイプ選択なし 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外は設定しないでください。	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PIPESEL レジスタ、PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPEnCTR レジスタ、PIPEnTRE レジスタ、および PIPEnTRN レジスタ（n = 0 ～ 9）を使用して、パイプ 1 ～ 9 を設定します。

PIPESEL レジスタでパイプを選択した後、関連する PIPECFG、PIPEMAXP、および PIPEPERI レジスタでパイプ機能設定を行います。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット（パイプウィンドウ選択）

書き込み／読み出しに使用する PIPECFG、PIPEMAXP、PIPEPERI レジスタに関連付けるパイプ番号を指定します。PIPESEL[3:0] ビットで指定したパイプ番号に関連付けられた PIPECFG、PIPEMAXP、PIPEPERI レジスタの読み出し／書き込みができます。

PIPESEL[3:0] ビットを 0000b にしたときは、PIPECFG、PIPEMAXP、および PIPEPERI レジスタの各ビットは、すべて 0 が読めます。書き込みは無効になります。

32.2.29 パイプコンフィグレーションレジスタ（PIPECFG）

アドレス USBFS.PIPECFG 4009 0068h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]		—	—	—	BFRE	DBLB	—	SHTNAK	—	—	DIR	EPNUM[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号（注1）	選択パイプのエンドポイント番号を指定します。 0000bの設定は、未使用パイプを意味します。	R/W
b4	DIR	転送方向（注2）（注3）	0：受信方向 1：送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止（注1）	0：転送終了後にパイプ動作を継続 1：転送終了後にパイプを禁止	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	DBLB	ダブルバッファモード（注2）（注3）	0：シングルバッファ 1：ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定（注2）（注3）	0：データ送受信でBRDY割り込み生成 1：データ読み出し完了時にBRDY割り込み生成	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	TYPE[1:0]	転送タイプ（注1）	• パイプ1～2 b15 b14 0 0：パイプ不使用 0 1：バルク転送 1 0：設定禁止 1 1：アイソクロナス転送 • パイプ3～5 b15 b14 0 0：パイプ不使用 0 1：バルク転送 1 0：設定禁止 1 1：設定禁止 • パイプ6～9 b15 b14 0 0：パイプ不使用 0 1：設定禁止 1 0：インタラプト転送 1 1：設定禁止	R/W

注 1. TYPE[1:0] ビット、SHTNAK ビット、および EPNUM[3:0] ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 2. BFRE ビット、DBLB ビット、および DIR ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. 選択パイプを使用した USB 通信の終了後に BFRE ビット、DBLB ビット、または DIR ビットを変更する場合は、注 2. の制限事項にある状態に加え、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択パイプに割り当てられた FIFO バッファのクリアを実行してください。

PIPECFG レジスタは、パイプ 1 ～ 9 に対して、各パイプの転送タイプ、FIFO バッファのアクセス方向、およびエンドポイント番号を指定します。またシングルバッファかダブルバッファか、および転送終了時のパイプ動作を禁止するか否かの選択をするレジスタです。

EPNUM[3:0] ビット（エンドポイント番号）

選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが、他のパイプの設定と重複しないように EPNUM[3:0] ビットを設定してください。（すべてのパイプに対して EPNUM[3:0] ビットの設定を 0000b とすることは可能です。）

DIR ビット（転送方向）

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBFS は選択パイプを受信方向に使用します。ソフトウェアで DIR ビットを 1 にすると、USBFS は選択パイプを送信方向に使用します。

SHTNAK ビット（転送終了時のパイプ禁止）

選択パイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更するかどうかを指定します。SHTNAK ビットは、受信方向のパイプ 1 ～ 5 の場合に有効なビットです。

受信方向パイプに対してソフトウェアで SHTNAK ビットを 1 にすると、USBFS は転送終了を判定したときに、関連する PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更します。USBFS は、以下の条件が満たされると転送終了を判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

DBLB ビット（ダブルバッファモード）

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。このビットはパイプ 1 ～ 5 の場合に有効です。

BFRE ビット（BRDY 割り込み動作指定）

USBFS から CPU への選択パイプに関する BRDY 割り込みの発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にし、かつ選択パイプを受信方向で使用している場合、USBFS は転送終了を検出し、パケットの読み出し時に BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生した場合、ソフトウェアによりポートコントロールレジスタの BCLR ビットに 1 を書く必要があります。BCLR ビットに 1 を書くまでは選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを 1 にし、かつ選択パイプを送信方向で使用している場合、USBFS は BRDY 割り込みを発生させません。詳細は、32.3.3.1　BRDY 割り込みを参照してください。

TYPE[1:0] ビット（転送タイプ）

PIPESEL.PIPESEL[3:0] ビットに指定したパイプの転送タイプを指定します。PID を BUF にして選択パイプで USB 通信を開始する前に、TYPE[1:0] ビットを 00b 以外の値にしてください。

32.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP）

アドレス USBFS.PIPEMAXP 4009 006Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				—	—	—	MXPS[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0/1（注1）	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	MXPS[8:0]	最大パケットサイズ（注2）	• パイプ1および2 1バイト（001h）～256バイト（100h） • パイプ3～5 8バイト（008h）、16バイト（010h）、 32バイト（020h）、64バイト（040h） （[8:7]ビットおよび[2:0]ビットはサポートされていません） • パイプ6～9 1バイト（001h）～64バイト（040h） （[8:7]ビットはサポートされていません）	R/W
b11-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b12	DEVSEL[3:0]	デバイス選択（注3）	b3 b0 0 0 0 0：アドレス0000b 0 0 0 1：アドレス0001b 0 0 1 0：アドレス0010b 0 0 1 1：アドレス0011b 0 1 0 0：アドレス0100b 0 1 0 1：アドレス0101b 上記以外は設定しないでください。	R/W

注 1. MXPS[8:0] ビットの値は、PIPESEL.PIPESEL[3:0] ビットでパイプを選択していないときは 000h、選択しているときは 040h です。

注 2. MXPS[8:0] ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. DEVSEL[3:0] ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEMAXP レジスタは、パイプ 1 ～ 9 に対して、最大パケットサイズを指定するレジスタです。

MXPS[8:0] ビット（最大パケットサイズ）

選択パイプの最大データペイロード（最大パケットサイズ）を指定します。

MXPS[8:0] ビットの設定は、転送タイプごとに USB2.0 規格に準拠した値を設定してください。MXPS[8:0] ビットが 0 のとき、FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。これらの書き込みは無効です。

DEVSEL[3:0] ビット（デバイス選択）

ホストコントローラモード時、USB 通信対象デバイスのアドレスを指定します。関連する DEVADDn（n = 0 ～ 5）レジスタでデバイスアドレスを設定した後で、DEVSEL[3:0] ビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを 0010b にするには、まず DEVADD2 レジスタでアドレスを設定します。

デバイスコントローラモードでは、DEVSEL[3:0] ビットを 0000b にしてください。

32.2.31 パイプ周期コントロールレジスタ（PIPEPERI）

アドレス USBFS.PIPEPERI 4009 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]（注1）	インターバルエラー検出間隔	選択パイプのインターバルエラー検出タイミングを、フレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	IFIS	アイソクロナスINバッファフラッシュ	0：バッファフラッシュしない 1：バッファフラッシュする	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IITV[2:0] ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。
USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEPERI レジスタはパイプ 1 ～ 9 に対して、アイソクロナス IN 転送時にインターバルエラーが発生した場合にバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット（インターバルエラー検出間隔）

IITV[2:0] ビットを設定し、USB 通信を行った後で IITV[2:0] ビットを別の値に変更する場合は、PIPEnCTR.PID[1:0] ビットを 00b（NAK）にしてから PIPEnCTR.ACLRM ビットを 1 にして、インターバルタイマの初期化を行ってください。

パイプ 3 ～ 5 に対しては、IITV[2:0] ビットは存在しません。パイプ 3 ～ 5 に関連する IITV[2:0] ビットの位置には、000b を書いてください。

IFIS ビット（アイソクロナス IN バッファフラッシュ）

PIPESEL.PIPESEL[3:0] ビットで選択したパイプがアイソクロナス IN 転送で使用される場合に、バッファフラッシュの有無を指定します。

デバイスコントローラモードでは、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中に USB ホストから IN トークンを USBFS が受信しなかった場合に、USBFS が自動的に FIFO バッファをクリアします。

ダブルバッファ設定時（PIPECFG.DBLB ビットが 1 のとき）は、USBFS は前回使用した 1 面分のデータのみクリアします。

USBFS が FIFO バッファをクリアするタイミングは、USBFS が IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。SOF パケットが破損した場合でも、内部補完機能により SOF パケットの受信が見込まれるタイミングで FIFO バッファをクリアします。

ホストコントローラモードでは、IITV[2:0] ビットを 000b にしてください。

選択パイプの転送タイプがアイソクロナス以外の場合は、IITV[2:0] ビットを 000b にしてください。

ホストコントローラ機能を選択した場合は、本ビットを 0 にしてください。選択パイプをアイソクロナス転送に使用しない場合は、本ビットを 0 にしてください。

32.2.32 パイプ n コントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）

PIPEnCTR（n = 1 ～ 5）

アドレス USBFS.PIPE1CTR 4009 0070h, USBFS.PIPE2CTR 4009 0072h, USBFS.PIPE3CTR 4009 0074h, USBFS.PIPE4CTR 4009 0076h, USBFS.PIPE5CTR 4009 0078h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	—	—	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジー	0：パイプnをトランザクションで未使用 1：パイプnをトランザクションで使用中	R
b6	SQMON	シーケンストグルビット確認	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセット（注2）	パイプnにシーケンストグルビットを設定します。 0：無効（0の書き込みは無効です） 1：次回トランザクションの期待値をDATA1にする 読むと0が読めます。	R/W（注1）
b8	SQCLR	シーケンストグルビットクリア（注2）	パイプnのシーケンストグルビットをクリアします。 0：無効（0の書き込みは無効です） 1：次回トランザクションの期待値をDATA0にクリアする 読むと0が読めます。	R/W（注1）
b9	ACLRM	自動バッファクリアモード（注3）	0：無効 1：許可（全バッファ初期化）	R/W
b10	ATREPM	自動応答モード（注2）	0：自動応答モード禁止 1：自動応答モード許可	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	INBUFM	送信バッファモニタ	0：FIFOバッファに送信可能データなし 1：FIFOバッファに送信可能データあり	R
b15	BSTS	バッファステータス	0：CPUからのバッファアクセス不可能 1：CPUからのバッファアクセス可能	R

注 1. 読むと 0 が読み出されます。

注 2. ATREPM ビットの設定および SQCLR ビットまたは SQSET ビットへの 1 書き込みは、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. ACLRM ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。ACLRM ビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PIPEnCTR レジスタは、PIPESEL レジスタにより選択されたどのパイプに対しても設定可能です。

PID[1:0] ビット（応答 PID）

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビット設定値を BUF に変更してください。PID[1:0] ビット設定値ごとの USBFS の基本動作（通信パケットにエラーがない場合の動作）は表 32.7 および表 32.8 のとおりです。

選択パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットの設定を BUF から NAK に変更する場合、NAK を書いた後、実際にそのパイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0] ビット設定値を変更します。

- 選択パイプが受信方向の場合で、かつ、ソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBFS は転送終了を認識したときに PID = NAK を表示
- 選択パイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID = STALL（11b）を表示
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID = NAK を表示
- ホストコントローラモード時にCRCエラーなどの受信エラーを3回連続で検出した場合、USBFSはPID = NAK を表示
- ホストコントローラモード時に STALL ハンドシェイクを受信した場合、USBFS は PID = STALL（11b）を表示

応答の種類を指定するための PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK（00b）状態から STALL 状態にする場合には、10b を書く
- BUF（01b）状態から STALL 状態にする場合には、11b を書く
- STALL（11b）状態から NAK 状態にする場合には、一度 10b を書いてから 00b を書く
- STALL 状態から BUF 状態にする場合には、一度 NAK 状態にしてから BUF 状態にする

表 32.7 PID[1:0]の設定値ごとのUSBFSの動作（ホストコントローラモード時）

PID[1:0]値	転送タイプ	転送方向（DIR ビット）	USBFS動作
00b（NAK）	設定値に依存しません。	設定値に依存しません。	トークンを発行しません。
01b（BUF）	バルクまたはインタラプト	設定値に依存しません。	DVSTCTR0.UACTビットが1で、選択パイプに関連付けられているFIFOバッファが送受信可能な状態にある場合、トークンを発行します。 DVSTCTR0.UACTビットが0であるか、選択パイプに関連付けられているFIFOバッファが送受信可能な状態にない場合、トークンを発行しません。
	アイソクロナス	設定値に依存しません。	選択パイプに関連付けられているFIFOバッファの状態にかかわらずトークンを発行します。
10b（STALL） または 11b（STALL）	設定値に依存しません。	設定値に依存しません。	トークンを発行しません。

表 32.8 PID[1:0]の設定値ごとのUSBFSの動作（デバイスコントローラモード時）

PID[1:0]値	転送タイプ	転送方向（DIRビット）	USBFS動作
00b（NAK）	バルクまたはインタラプト	設定値に依存しません。	USBホストからのトークンにNAK応答を行います。
	アイソクロナス	設定値に依存しません。	USBホストからのトークンに応答を行いません。
01b（BUF）	バルク	受信方向（DIR = 0）	USBホストからのOUTトークンに対し、選択パイプに関連付けられているFIFOバッファが受信可能な状態であればデータを受信しACK応答を行います。
	インタラプト	受信方向（DIR = 0）	USBホストからのOUTトークンに対し、選択パイプに関連付けられているFIFOバッファが受信可能な状態であればデータを受信しACK応答を行います。
	バルクまたはインタラプト	送信方向（DIR = 1）	USBホストからのトークンに対し、選択パイプに関連付けられているFIFOバッファが送信可能な状態であればデータを送信します。送信可能な状態でなければ、NAK応答を行います。
	アイソクロナス	受信方向（DIR = 0）	USBホストからのOUTトークンに対し、選択パイプに関連付けられているFIFOバッファが受信可能な状態であればデータを受信します。受信可能な状態でなければ、データを破棄します。
	アイソクロナス	送信方向（DIR = 1）	USBホストからのトークンに対し、関連するFIFOバッファが送信可能な状態であればデータを送信します。送信可能な状態でなければ、Zero-Lengthパケットを送信します。
10b（STALL）または 11b（STALL）	バルクまたはインタラプト	設定値に依存しません。	USBホストからのトークンにSTALL応答を行います。
	アイソクロナス	設定値に依存しません。	USBホストからのトークンに応答を行いません。

PBUSY ビット（パイプビジー）

選択パイプを現在のトランザクションで使用中かどうかが表示されます。

USBFS は、選択パイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID = NAK を設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。詳細は、32.3.4.1 パイプコントロールレジスタの切り替え手順を参照してください。

SQMON ビット（シーケンストグルビット確認）

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

選択パイプの転送タイプがアイソクロナス以外の場合、トランザクションの正常完了時に USBFS は SQMON フラグをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON フラグをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBFS は、SQSET ビットを 0 にクリアします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 にクリアします。USBFS は、SQCLR ビットを 0 にクリアします。

ACLRM ビット（自動バッファクリアモード）

選択パイプの自動バッファクリアモードの禁止または許可を指定します。選択パイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書いてください。

表 32.9 は、ACLRM ビットに 1 と 0 を連続して書いた場合にクリアされるデータと、この処理が必要な状況を示しています。

表 32.9 ACLRM = 1 のときに USBFS がクリアするデータ

番号	ACLRM ビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択パイプに割り当てられた FIFO バッファの全データ（ダブルバッファモードでは 2 つの FIFO バッファ）	選択パイプを初期化する場合
2	転送タイプがアイソクロナスの選択パイプのときはインターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFRE ビットに関する内部フラグ	PIPECFG.BFRE ビットの設定値を変更する場合
4	FIFO バッファトグル制御	PIPECFG.DBLB ビットの設定値を変更する場合
5	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

ATREPM ビット（自動応答モード）

選択パイプの自動応答モードの許可／禁止を指定します。

デバイスコントローラモードで、選択パイプの転送タイプがバルク転送のとき、このビットを 1 にすることができます。このビットを 1 にした場合、USBHS は USB ホストからのトークンに対し以下のように応答します。

- 選択パイプの設定がバルク IN 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1 のとき：
  a. ATREPM ビットが 1 かつ PID = BUF の状態の場合、IN トークンに対して USBFS は Zero-Length パケットを送信します。
  b. USBHS は、USB ホストから ACK を受信するごとに、シーケンストグルビット（DATA-PID）を更新（トグルを許可）します。1 トランザクションでは、IN トークン受信、Zero-Length パケット送信、ACK 受信がこの順序で発生します。USBHS は BRDY 割り込みや BEMP 割り込みを生成しません。
- 選択パイプの設定がバルク OUT 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0）のとき：

  ATREPM ビットが 1 かつ PID = BUF の状態の場合、OUT トークンに対して USBFS は NAK 応答を行い、NRDY 割り込みを発生させます。

自動応答モードで USB 通信を行う場合、FIFO バッファは空の状態で ATREPM ビットを 1 にしてください。自動応答モードで USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。選択パイプの転送タイプがアイソクロナスの場合、このビットは必ず 0 にしてください。

ホストコントローラモードでは、必ず ATREPM ビットは 0 にしてください。

INBUFM ビット（送信バッファモニタ）

選択パイプが送信方向の場合に、選択パイプの FIFO バッファステータスを示します。

選択パイプを送信方向（PIPECFG.DIR ビットが 1）に設定している場合、CPU または DMA/DTC が少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、USBFS は本ビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを USBFS がすべて送信完了したときに、USBFS はこのビットを 0 にします。ダブルバッファモード時（PIPECFG.DBLB = 1）には、USBFS が FIFO バッファの 2 面分のデータを送信完了しかつ CPU または DMA/DTC が FIFO バッファの 1 面分のデータ書き込みを完了していないときに、USBFS は INBUFM ビットを 0 にします。

選択パイプを受信方向（PIPECFG.DIR ビットが 0）に設定している場合には、INBUFM ビットは BSTS ビットと同じ値を示します。

BSTS ビット（バッファステータス）

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 32.10 に示すように異なります。

表 32.10 BSTS ビットの動作

DIR 値	BFRE 値	DCLRM 値	BSTS ビットの機能
0	0	0	FIFO バッファからの受信データの読み出しが可能な場合は 1 に、データ読み出し完了時には 0 になります。
		1	設定禁止
	1	0	FIFO バッファからの受信データの読み出しが可能な場合は 1 に、データ読み出し完了後にソフトウェアがポートコントロールレジスタの BCLR ビットを 1 にすると 0 になります。
		1	FIFO バッファからの受信データの読み出しが可能な場合は 1 に、データ読み出し完了時には 0 になります。
1	0	0	FIFO バッファへの送信データ書き込みが可能な場合は 1 に、データ書き込み完了時には 0 になります。
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

PIPEnCTR （n = 6 ～ 9）

アドレス USBFS.PIPE6CTR 4009 007Ah, USBFS.PIPE7CTR 4009 007Ch, USBFS.PIPE8CTR 4009 007Eh, USBFS.PIPE9CTR 4009 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	—	—	—	—	—	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答 PID	b1 b0 0 0：NAK 応答 0 1：BUF 応答（バッファ状態に従う） 1 0：STALL 応答 1 1：STALL 応答	R/W
b4-b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b5	PBUSY	パイプビジー	0：パイプ n をトランザクションで未使用 1：パイプ n をトランザクションで使用中	R
b6	SQMON	シーケンストグルビット確認	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセット（注 2）	パイプ n にシーケンストグルビットを設定します。 0：無効（0 の書き込みは無効です） 1：次回トランザクションの期待値を DATA1 にする 読むと 0 が読めます。	R/W（注 1）
b8	SQCLR	シーケンストグルビットクリア（注 2）	パイプ n のシーケンストグルビットをクリアします。 0：無効（0 の書き込みは無効です） 1：次回トランザクションの期待値を DATA0 にクリアする 読むと 0 が読めます。	R/W（注 1）
b9	ACLRM	自動バッファクリアモード（注 3）	0：無効 1：許可（全バッファ初期化）	R/W
b14-b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15	BSTS	バッファステータス	0：バッファアクセス不可能 1：バッファアクセス可能	R

注 1. 読むと 0 が読み出されます。1 のみ書けます。

注 2. SQCLR ビットまたは SQSET ビットへの 1 書き込みは、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する場合には、PBUSY ビットが 0 であることを確認し、PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

注 3. ACLRM ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。ACLRM ビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認し、PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）へ変更してから実施してください。USBFS が PID[1:0] ビットを 00（NAK）に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

PID[1:0] ビット（応答 PID）

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合には PID[1:0] ビット設定値を BUF に変更してください。PID[1:0] ビット設定値ごとの USBFS の基本動作（送受信パケットにエラーがない場合）は表 32.7 および表 32.8 のとおりです。

選択パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットの設定を BUF から NAK に変更する場合、NAK を書いた後、実際にそのパイプの USB 転送が NAK 状態に遷移したことを確認するために PBUSY ビットが 1 であることを確認してください。USBFS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBFS が PIPEnCTR.PID[1:0] ビットの設定値を変更します。

- 選択パイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBFS は PID を STALL（11b）にする
- デバイスコントローラモード時に USB バスリセットを検出した場合、USBFS は PID を NAK にする
- ホストコントローラモード時にCRCエラーなどの受信エラーを3回連続で検出した場合、USBFSはPIDを NAK にする
- ホストコントローラモード時に STALL ハンドシェイクを受信した場合、USBFS は PID を STALL（11b）にする

応答の種類を指定するための PID[1:0] ビットの設定は以下の手順で行ってください。

- NAK（00b）状態から STALL 状態にする場合には、10b を設定
- BUF（01b）状態から STALL 状態にする場合には、11b を設定
- STALL（11b）状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 NAK 状態にしてから BUF 状態にする

PBUSY ビット（パイプビジー）

選択パイプを現在のトランザクションで使用中かどうかが表示されます。

USBFS は、選択パイプの USB トランザクション開始時に PBUSY ビットを 0 から 1 に変更し、1 つのトランザクションが終了すると PBUSY ビットを 1 から 0 に変更します。

PID = NAK を設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。

SQMON ビット（シーケンストグルビット確認）

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

トランザクションが正常終了すると、USBFS は SQMON フラグをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBFS は SQMON フラグをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBFS は選択パイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA1 に設定します。USBFS は、SQSET ビットを 0 にします。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBFS は選択パイプにおける次回トランザクションのシーケンストグルビットの期待値を DATA0 にクリアします。USBFS は、SQCLR ビットを 0 にします。

ACLRM ビット（自動バッファクリアモード）

選択パイプの自動バッファクリアモードの禁止または許可を指定します。選択パイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書いてください。

表 32.11 は、ACLRM ビットに 1 と 0 を連続して書いた場合にクリアされるデータと、この処理が必要な状況を示しています。

表 32.11 ACLRM = 1のときにUSBFSがクリアするデータ

番号	ACLRMビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択パイプに割り当てられたFIFOバッファの全データ	選択パイプを初期化する場合
2	転送タイプがアイソクロナスの選択パイプのときはインターバルカウント値	インターバルカウント値をリセットする場合
3	PIPECFG.BFREビットに関する内部フラグ	PIPECFG.BFREビットの設定値を変更する場合
4	トランザクションカウントに関する内部フラグ	トランザクションカウント機能を強制終了する場合

BSTS ビット（バッファステータス）

選択パイプの FIFO バッファステータスを示します。

BSTS ビットの意味は、PIPECFG.DIR ビット、PIPECFG.BFRE ビット、および DnFIFOSEL.DCLRM ビットの設定値により表 32.10 に示すように異なります。

32.2.33 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）

アドレス USBFS.PIPE1TRE 4009 0090h, USBFS.PIPE2TRE 4009 0094h, USBFS.PIPE3TRE 4009 0098h, USBFS.PIPE4TRE 4009 009Ch, USBFS.PIPE5TRE 4009 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TRCLR	トランザクションカウンタクリア	0：無効（0の書き込みは無効です） 1：カウンタ値をクリア	R/W
b9	TRENB	トランザクションカウンタ許可	0：トランザクションカウンタ禁止 1：トランザクションカウンタ許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . PIPEnTRE レジスタの各ビットの設定は、PID = NAK 時に実施してください。選択パイプの PIPEnCTR.PID[1:0] ビットを BUF から NAK へ変更した後で各ビットを設定する場合には、PIPEnCTR.PBUSY ビットが 0 であることを確認してから設定してください。ただし、USBFS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

TRCLR ビット（トランザクションカウンタクリア）

TRCLR ビットが 1 の場合、USBFS は選択パイプに関連付けられているトランザクションカウンタの値をクリアし、その後で TRCLR ビットを 0 にします。

TRENB ビット（トランザクションカウンタ許可）

トランザクションカウンタの許可または禁止を指定します。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0] ビットに総受信パケット数を設定した後で TRENB ビットを 1 にすると、USBFS は TRNCNT[15:0] ビットの設定値と同数のパケット受信を終了したときに以下のハードウェア制御を行います。

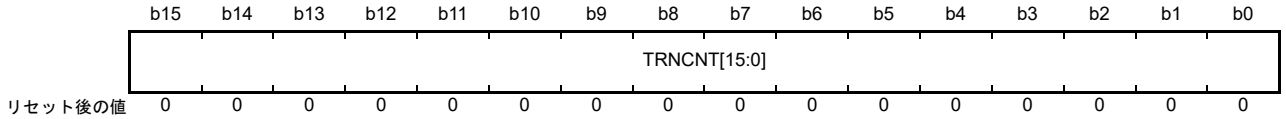
- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットの受信を終了した時点で USBFS は関連するパイプの PIPEnCTR.PID[1:0] ビットを NAK に変更します
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケットを受信しその最後の受信データを読み出し終えたときに、USBFS は BRDY 割り込みをアサートします

送信パイプについては、TRENB ビットを 0 にしてください。

トランザクションカウンタを使用しない場合は、TRENB ビットを 0 にしてください。トランザクションカウンタを使用する場合、TRENB ビットを 1 にする前に TRNCNT[15:0] ビットの設定を行ってください。トランザクションカウンタのカウント対象となる最初のパケットを受信する前に TRENB ビットを 1 にしてください。

32.2.34 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）

アドレス USBFS.PIPE1TRN 4009 0092h, USBFS.PIPE2TRN 4009 0096h, USBFS.PIPE3TRN 4009 009Ah, USBFS.PIPE4TRN 4009 009Eh, USBFS.PIPE5TRN 4009 00A2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタ	• レジスタ書き込み時： 選択パイプが受信すべき総パケット数（トランザクション回数）を指定します。 • レジスタ読み出し時： PIPEnTRE.TRENB ビットが 0 の場合は、指定したトランザクション回数を示します。 PIPEnTRE.TRENB ビットが 1 の場合は、現在のトランザクションカウントを示します。	R/W

PIPEnTRN レジスタは、USB バスリセット時もその設定値を保持します。

TRNCNT[15:0] ビット（トランザクションカウンタ）

USBFS は、パケット受信時の状態が以下をすべて満たしたときに TRNCNT[15:0] ビットの値を 1 インクリメントします。

- PIPEnTRE.TRENB ビットが 1 である
- パケット受信時に「TRNCNT[15:0] 設定値≠現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

USBFS は、以下のいずれかの条件を満たした場合、TRNCNT[15:0] ビットの値を 0 にします。

以下の条件がすべて満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- パケット受信時に「TRNCNT[15:0] 設定値 = 現在のカウンタ値 + 1」である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

以下条件がどちらも満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- USBFS がショートパケットを受信した

以下条件がどちらも満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- PIPEnTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプについては、TRNCNT[15:0] ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRNCNT[15:0] ビットを 0 にしてください。

TRNCNT[15:0] ビットのトランザクション転送回数の設定は、PIPEnTRE.TRENB ビットが 0 のときのみ可能です。トランザクション転送回数を設定するには、PIPEnTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 にして現在のカウンタ値をクリアしてください。

32.2.35 デバイスアドレス n コンフィグレーションレジスタ（DEVADDn）（n = 0 ～ 5）

アドレス USBFS.DEVADD0 4009 00D0h, USBFS.DEVADD1 4009 00D2h, USBFS.DEVADD2 4009 00D4h, USBFS.DEVADD3 4009 00D6h, USBFS.DEVADD4 4009 00D8h, USBFS.DEVADD5 4009 00DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	USBSPD[1:0]		—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	USBSPD[1:0]	通信対象デバイス転送速度	b7 b6 0 0 : DEVADDn レジスタ未使用 0 1 : ロースピード 1 0 : フルスピード 1 1 : 設定禁止	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DEVADDn レジスタは、パイプ 0 ～ 9 に対して、通信対象の周辺デバイスの転送速度を指定するレジスタです。

ホストコントローラモードでは、パイプへの通信を開始する前に、DEVADDn レジスタのビットをすべて設定してください。DEVADDn レジスタの各ビットの変更は、各ビットの設定を使用している有効なパイプが存在しないときにのみ行ってください。有効なパイプとは、以下の両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDn レジスタを指定している
- 選択パイプの PID[1:0] ビットに BUF を設定しているか、または選択パイプが DCP であり DCPCTR.SUREQ ビットが 1 になっている

デバイスコントローラモードでは、本レジスタのすべてのビットは 0 にしてください。

USBSPD[1:0] ビット（通信対象デバイス転送速度）

対象の周辺デバイスの USB 転送速度を設定します。HUB 経由でフルスピードデバイスが接続されたときには、USBSPD[1:0] ビットを 10b にしてください。ホストコントローラモード時、USBFS は USBSPD[1:0] の設定に応じてパケットを生成します。デバイスコントローラモードでは、USBSPD[1:0] ビットを 00b にしてください。

32.2.36 PHY クロスポイント調整レジスタ（PHYSLEW）

アドレス USBFS.PHYSLEW 4009 00F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	x	0	x	x	0	0	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	SLEWF01	SLEWF00	SLEWR01	SLEWR00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	SLEWR00	ドライバのクロスポイント調整00	0：予約ビット 1：ホストまたはデバイスコントローラモード	R/W
b1	SLEWR01	ドライバのクロスポイント調整01	0：ホストまたはデバイスコントローラモード 1：予約ビット	R/W
b2	SLEWF00	ドライバのクロスポイント調整00	0：予約ビット 1：ホストまたはデバイスコントローラモード	R/W
b3	SLEWF01	ドライバのクロスポイント調整01	0：ホストまたはデバイスコントローラモード 1：予約ビット	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b19-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b21-b20	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PHYSLEW レジスタは、ドライバのクロスポイントを調整します。ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、コントローラを動作させる前にこのレジスタの設定を行ってください。

32.2.37 ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ（DPUSR0R）

アドレス USBFS.DPUSR0R 4009 0400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBSTS0	—	DOVCB0	DOVCA0	—	—	DM0	DP0
リセット後の値	0	0	0	0	0	0	0	0	x	0	x	x	0	0	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	FIXPHY0	DRPD0	—	RPUE0	SRPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	SRPC0	USB シングルエンドレシーバ制御	0：DP/DM の入力を禁止 1：DP/DM の入力を許可	R/W
b1	RPUE0（注 1）	DP プルアップ抵抗制御	0：DP プルアップ抵抗を禁止 1：DP プルアップ抵抗を許可	R/W
b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b3	DRPD0（注 1）	D+/D- プルダウン抵抗制御	0：DP/DM プルダウン抵抗を禁止 1：DP/DM プルダウン抵抗を許可	R/W
b4	FIXPHY0	USB トランシーバ出力固定	0：通常モード時およびディープソフトウェアスタンバイモードからの復帰時に出力を固定 1：ディープソフトウェアスタンバイモードへの移行時に出力を固定	R/W
b15-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b16	DP0	USB D+ 入力	USBFS 側の D+ 入力信号を示します。	R
b17	DM0	USB D- 入力	USBFS 側の D- 入力信号を示します。	R
b19-b18	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b20	DOVCA0	USB OVRCURA 入力	USBFS 側の OVRCURA 入力信号を示します。	R
b21	DOVCB0	USB OVRCURB 入力	USBFS 側の OVRCURB 入力信号を示します。	R
b22	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b23	DVBSTS0	USB VBUS 入力	USBFS 側の VBUS 入力信号を示します。	R
b31-b24	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

注 1. このビットは、ディープソフトウェアスタンバイモードでの動作時に使用してください。詳細は、32.3.1.5 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除を参照してください。

SRPC0 ビット（USB シングルエンドレシーバ制御）

USB トランシーバの D+/D- 入力制御を行います。FIXPHY0 ビットが 1 のときのみに有効となります。

FIXPHY0 ビット（USB トランシーバ出力固定）

USB トランシーバの出力を不可に固定します。

32.2.38 ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ（DPUSR1R）

アドレス USBFS.DPUSR1R 4009 0404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBINT0	—	DOVRCRB0	DOVRCRA0	—	—	DMINT0	DPINT0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	DVBSE0	—	DOVRCRBE0	DOVRCRAE0	—	—	DMINTE0	DPINTE0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DPINTE0	USB DP割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b1	DMINTE0	USB DM割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DOVRCRAE0	USB OVRCURA割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b5	DOVRCRBE0	USB OVRCURB割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DVBSE0	USB VBUS割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	DPINT0	USB DP割り込み要因による復帰	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b17	DMINT0	USB DM割り込み要因による復帰	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b19-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b20	DOVRCRA0	USB OVRCURA割り込み要因による復帰	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b21	DOVRCRB0	USB OVRCURB割り込み要因による復帰	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	DVBINT0	USB VBUS割り込み要因による復帰	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DPINTE0 ビット（USB DP 割り込み許可／クリア）

USBFS の DP 入力によるディープソフトウェアスタンバイモードからの復帰の許可／禁止を指定します。DPINT0 ビットが 1 のときにこのビットに 0 を書くことにより、DPINT0 ビットが 0 になります。

DMINTE0 ビット（USB DM 割り込み許可／クリア）

USBFS の DM 入力によるディープソフトウェアスタンバイモードからの復帰の許可／禁止を指定します。DMINT0 ビットが 1 のときにこのビットに 0 を書くことにより、DMINTE0 ビットが 0 にクリアされます。

DOVRCRAE0 ビット （USB OVRCURA 割り込み許可／クリア）

USBFS の OVRCURA 入力によるディープソフトウェアスタンバイモードからの復帰の許可／禁止を指定します。DOVRCRA0 ビットが 1 のときにこのビットに 0 を書くことにより、DOVRCRAE0 ビットが 0 にクリアされます。

DOVRCRBE0 ビット （USB OVRCURB 割り込み許可／クリア）

USBFS の OVRCURB 入力によるディープソフトウェアスタンバイモードからの復帰の許可／禁止を指定します。DOVRCRB0 ビットが 1 のときにこのビットに 0 を書くことにより、DOVRCRB0 ビットが 0 にクリアされます。

DVBSE0 ビット （USB VBUS 割り込み許可／クリア）

USBFS の VBUS 入力によるディープソフトウェアスタンバイモードからの復帰の許可／禁止を指定します。DVBINT0 ビットが 1 のときにこのビットに 0 を書くことにより、DVBINT0 ビットが 0 にクリアされます。

DPINT0 ビット （USB DP 割り込み要因による復帰）

USBFS の DP 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DPINTE0 ビットが 1 のときのみ許可されます。このビットが 1 のときに DPINTE0 ビットに 0 を書くことにより、このビットは 0 にクリアされます。

DMINT0 ビット （USB DM 割り込み要因による復帰）

USBFS の DM 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DMINTE0 ビットが 1 のときのみ許可されます。このビットが 1 のときに DPINTE0 ビットに 0 を書くことにより、このビットは 0 にクリアされます。

DOVRCRA0 ビット （USB OVRCURA 割り込み要因による復帰）

USBFS の OVRCURA 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DOVRCRAE0 ビットが 1 のときのみ許可されます。このビットが 1 のときに DOVRCRAE0 ビットに 0 を書くことにより、このビットは 0 にクリアされます。

DOVRCRB0 ビット （USB OVRCURB 割り込み要因による復帰）

USBFS の OVRCURB 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DOVRCRBE0 ビットが 1 のときのみ許可されます。このビットが 1 のときに DOVRCRBE0 ビットに 0 を書くことにより、このビットは 0 にクリアされます。

DVBINT0 ビット （USB VBUS 割り込み要因による復帰）

USBFS の VBUS 入力が要因でディープソフトウェアスタンバイモードから復帰したことを表示します。この復帰は、DVBSE0 ビットが 1 のときのみ許可されます。このビットが 1 のときに DVBSE0 ビットに 0 を書くことにより、このビットは 0 にクリアされます。

32.3 動作説明

32.3.1 システム制御

USBFS の初期化および消費電力の制御に必要なレジスタの設定について説明します。

32.3.1.1 USBFS 関連レジスタの設定

クロック供給が開始された（SYSCFG.SCKE ビットが 1）状態で、SYSCFG.USBE ビットを 1 にすることにより、USBFS は動作が許可され、動作を開始します。

32.3.1.2 コントローラ機能の選択

USBFS の動作は、ホストコントローラとデバイスコントローラの 2 種類の機能から選択できます。

どちらの機能にするかは、SYSCFG.DCFM ビットで選択できます。DCFM ビットの変更は、リセット解除直後の初期設定時、または D+ プルアップ禁止（SYSCFG.DPRPU ビットは 0）かつ D+/D- プルダウン禁止（SYSCFG.DRPD ビットは 0）のときに行ってください。

32.3.1.3 抵抗による USB データバス制御

USBFS は、D+/D- ラインのプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFG.DPRPU、SYSCFG.DRPD ビットの設定によりラインのプルアップ、プルダウンを設定してください。

デバイスコントローラモードでは、USB ホストへの接続を確認した後で、SYSCFG.DPRPU ビットを 1 にし、D+ ライン（フルスピード通信時）をプルアップしてください。

PC と通信中に SYSCFG.DPRPU ビットに 0 を設定した場合は、USBFS は USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することができます。

ホストコントローラモード時は、SYSCFG.DRPD ビットを 1 に設定し、D+/D- ラインをプルダウンしてください。

表 32.12 USB データバス抵抗制御

SYSCFG レジスタ設定		USB データバス制御		
DRPD ビット	DPRPU ビット	D-	D+	機能
0	0	オープン	オープン	抵抗未使用時
0	1	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	設定禁止

32.3.1.4 外部接続回路例

図 32.2 にセルフパワードシステムでの OTG 接続例を示します。USBFS は、D+ ラインのプルアップ抵抗と D+、D- ラインのプルダウン抵抗を制御します。SYSCFG.DPRPU ビットおよび SYSCFG.DRPD ビットでラインのプルアップとプルダウンを選択してください。デバイスコントローラモードでは、USB ホストとの通信中に SYSCFG.DPRPU ビットを 0 にすると、USB データラインのプルアップ抵抗が無効になります。USBFS はこれを使用して、USB ホストに対してデバイスの切断を知らせることができます。

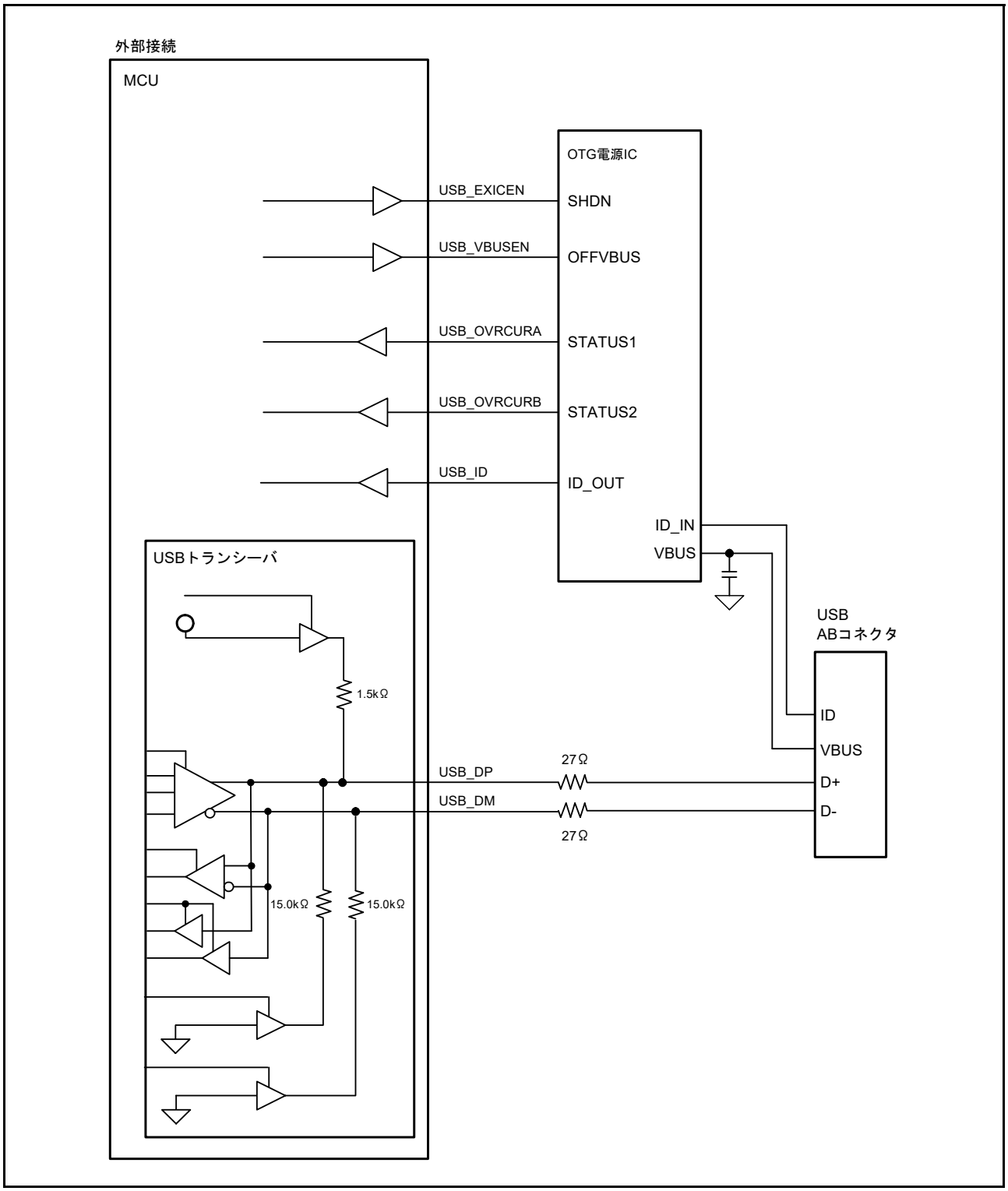
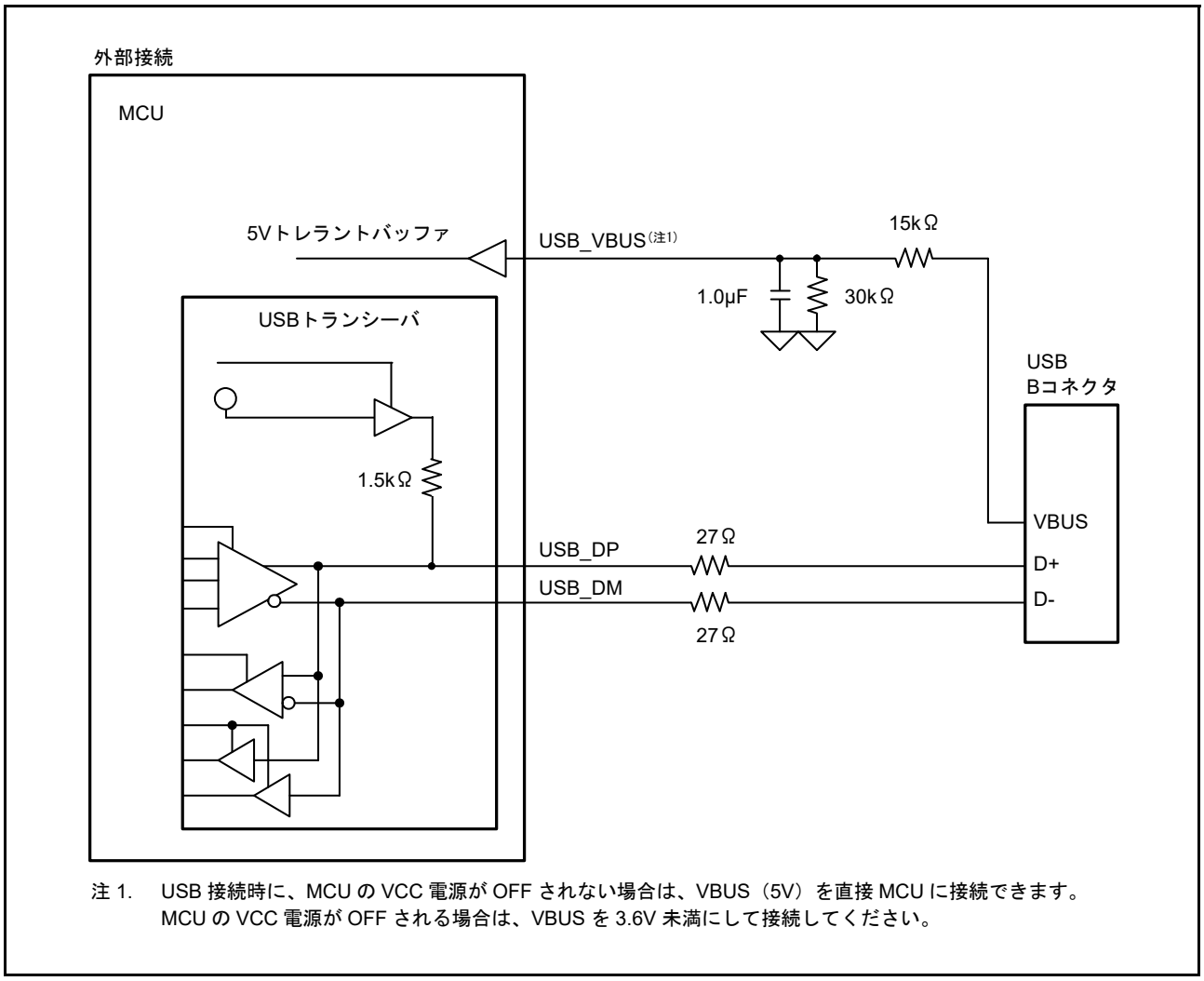


図 32.2 セルフパワードシステムでの OTG 接続例

図 32.3 にセルフパワードシステムでのデバイス接続例を示します。



注 1. USB 接続時に、MCU の VCC 電源が OFF されない場合は、VBUS（5V）を直接 MCU に接続できます。
MCU の VCC 電源が OFF される場合は、VBUS を 3.6V 未満にして接続してください。

図 32.3 セルフパワードシステムでのデバイス接続例

図 32.4 にホスト接続例を示します。

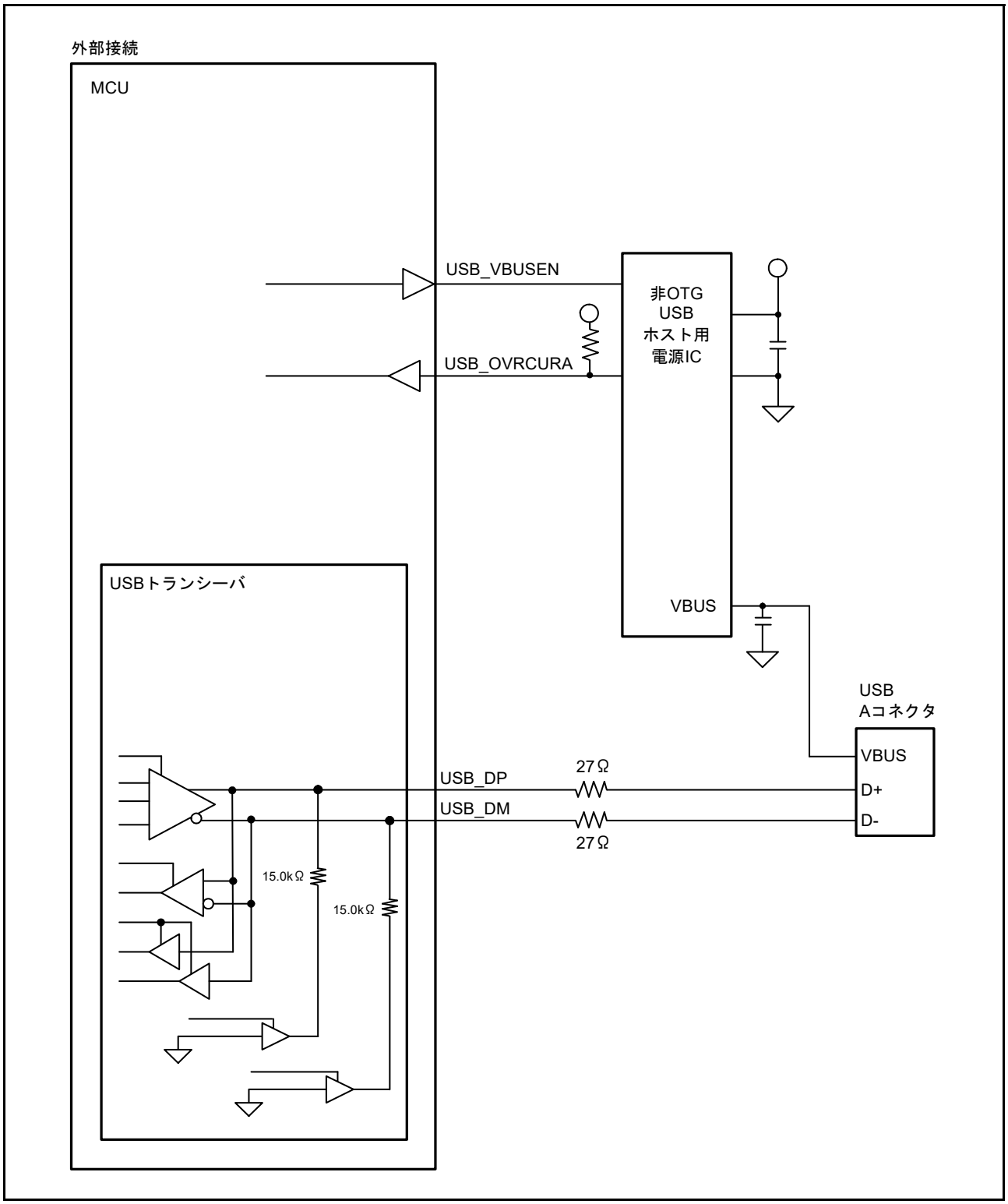


図 32.4 ホスト接続例

図 32.5 にバスパワードシステムでのデバイス接続例を示します。

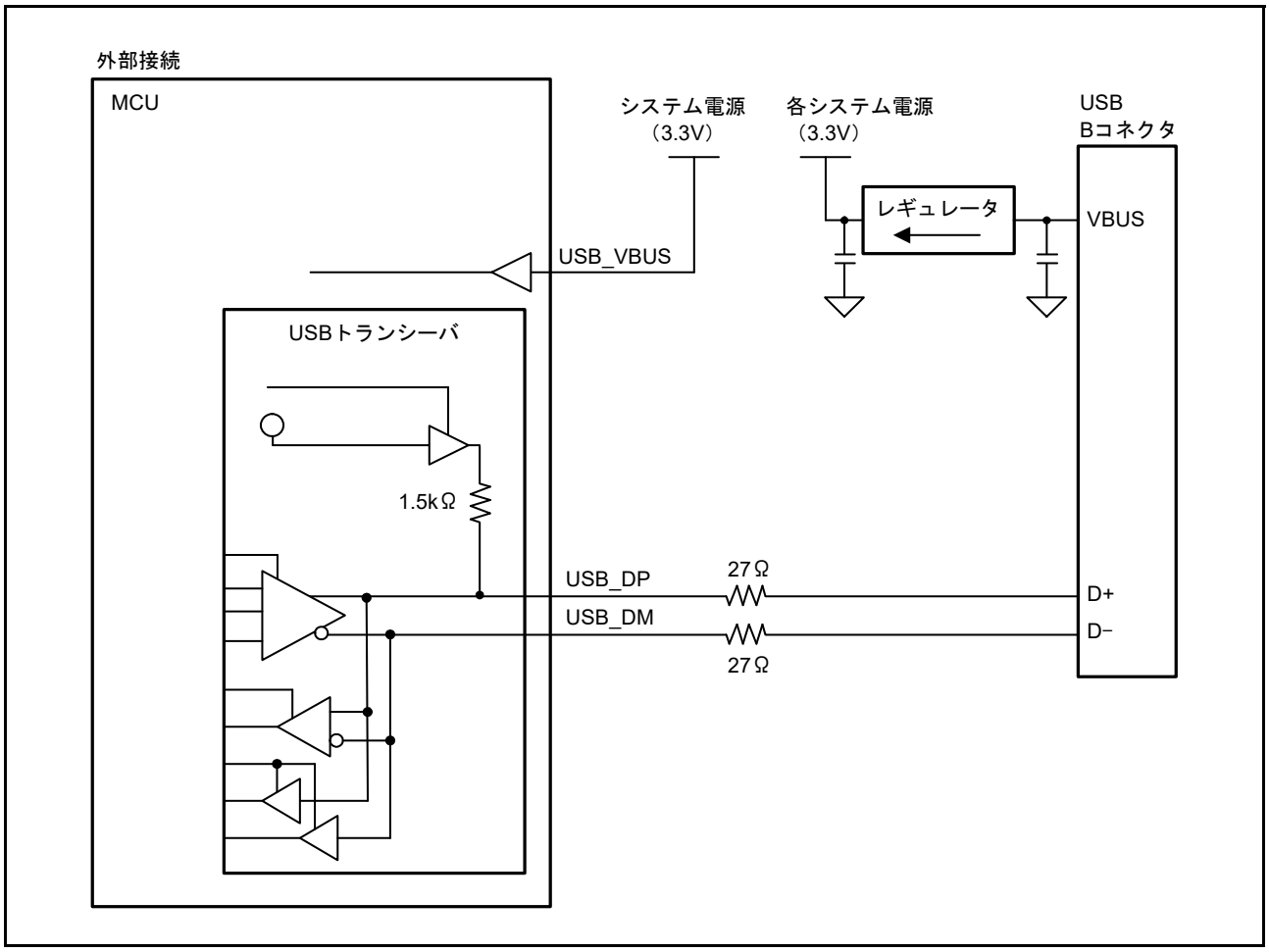


図 32.5 バスパワードシステムでのデバイス接続例

本項に記載した各外部回路例は、概略回路であり、すべてのシステムにおいて動作保証するものではありません。

32.3.1.5 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、USB のサスペンド／レジューム割り込みにより解除できます。USB のサスペンド／レジューム割り込みの検出は、USB レジューム検出部が行います。USB レジューム検出部は、USB 用の入出力端子の制御およびモニタを行い、割り込みを検出する機能を果たします。

図 32.6 に USB レジューム検出部と USB 用の入出力端子の接続概略図を示します。

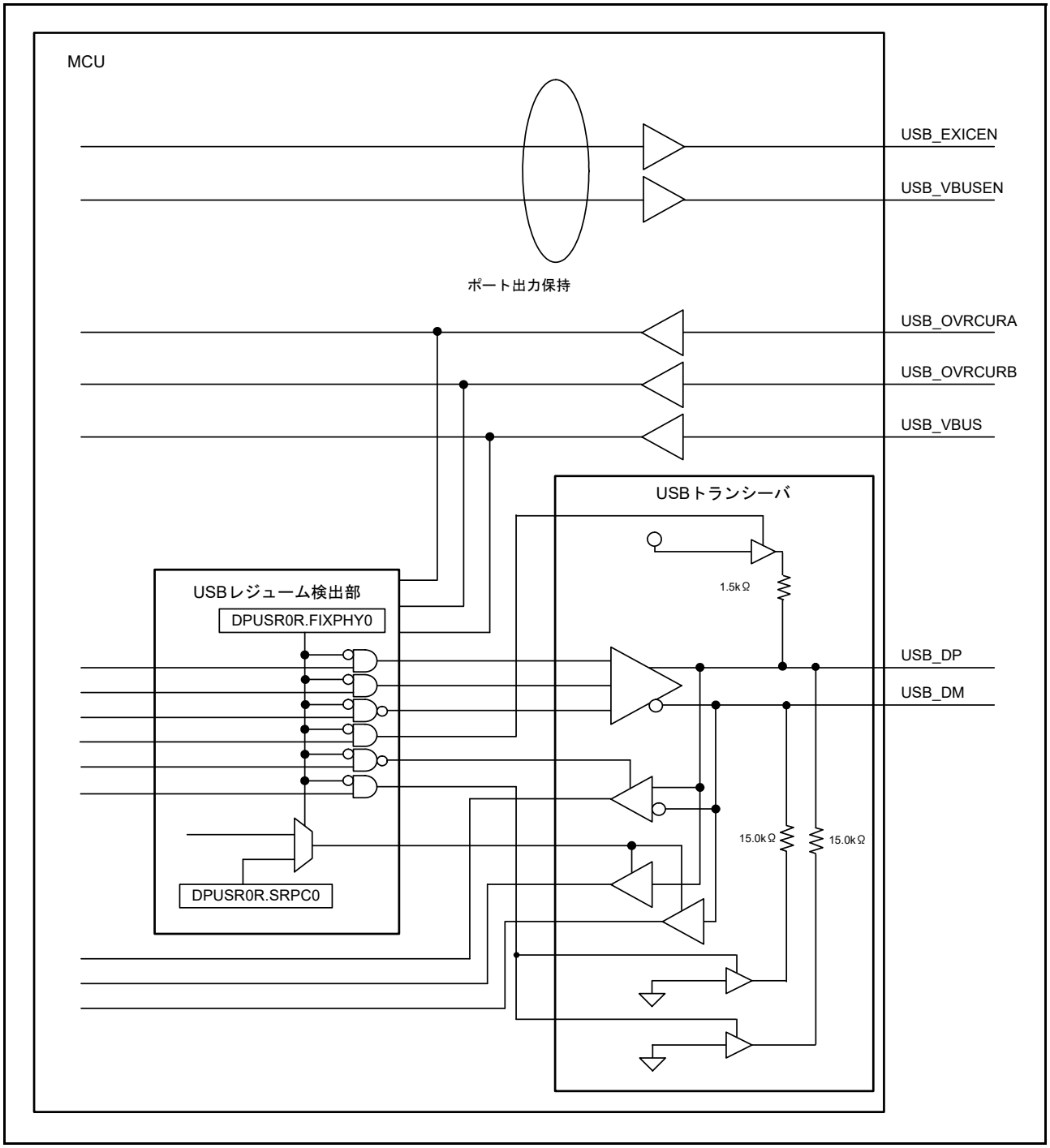


図 32.6 USB レジューム検出部と USB 用の入出力端子の接続

表 32.13 に、USB のサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子を示します。

表 32.13 USBのサスペンド／レジューム割り込みの要因およびそれらに関連する入出力端子

USB動作モード	要因	端子名
デバイス、OTG	レジューム	USB_DP
ホスト、OTG	アタッチまたはデタッチ	USB_DP、USB_DM
デバイス	アタッチまたはデタッチ	USB_VBUS
ホスト	過電流検出	USB_OVRCURA
OTG	過電流検出	USB_OVRCURA、USB_OVRCURB

図 32.7 に、ホストコントローラモードまたはデバイスコントローラモードからディープソフトウェアスタンバイモードに遷移するときの USBFS 設定フローを示します。図 32.8 に、ホストコントローラモードからディープソフトウェアスタンバイモードを解除するときの USBFS 設定フローを示します。図 32.9 に、デバイスコントローラモードからディープソフトウェアスタンバイモードを解除するときの USBFS 設定フローを示します。

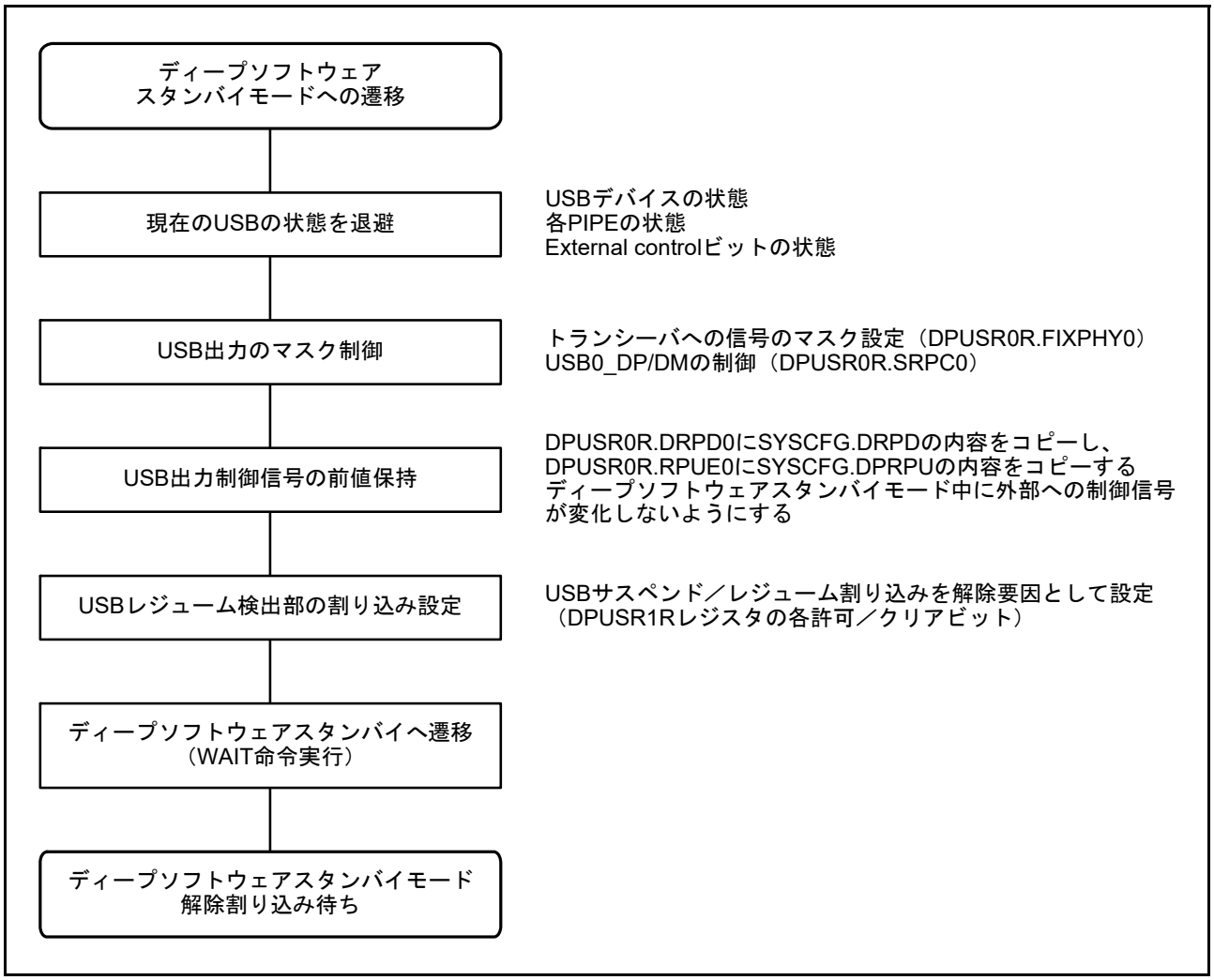


図 32.7 ホストコントローラ機能またはデバイスコントローラ機能選択時におけるディープソフトウェアスタンバイモード遷移時の USBFS 設定フロー

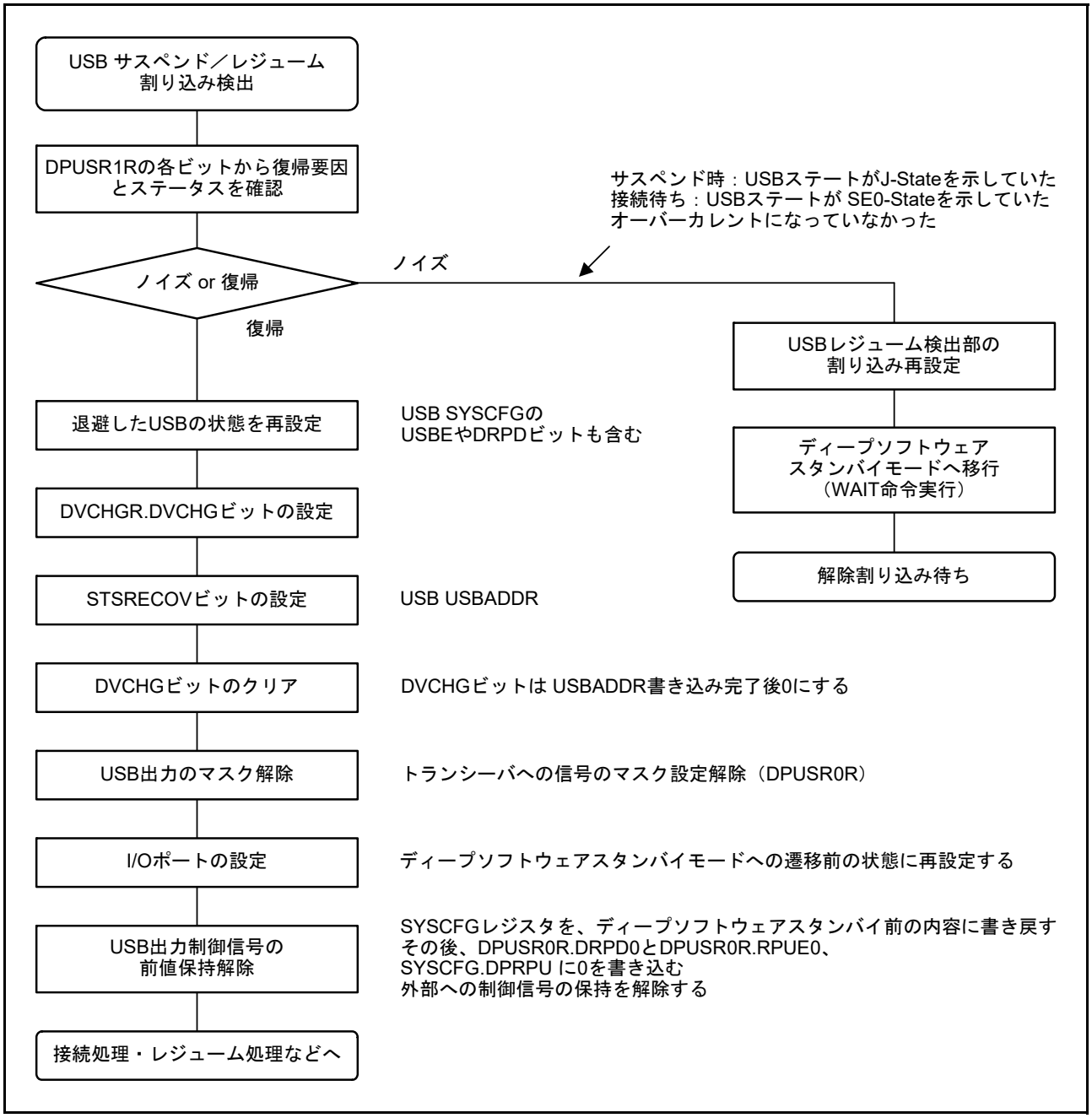


図 32.8 ホストコントローラ機能選択時におけるディープソフトウェアスタンバイモード解除時の USBFS 設定フロー

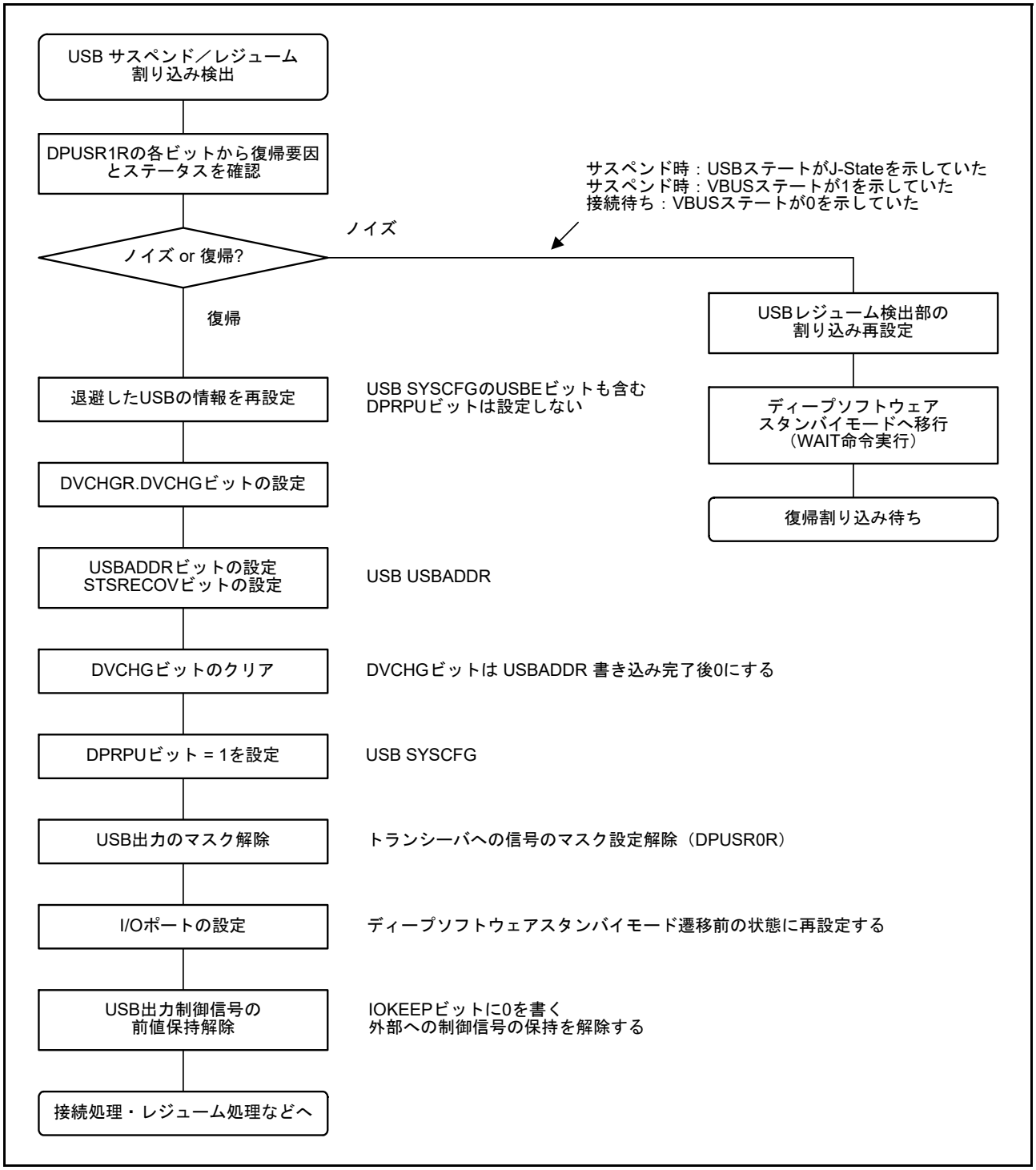


図 32.9 デバイスコントローラ機能選択時におけるディープソフトウェアスタンバイモード解除時の USBFS 設定フロー

32.3.2 割り込み

表 32.14 に USBFS の割り込み要因一覧を示します。これらの割り込み発生条件が成立し、関連する割り込み許可レジスタにて割り込み出力許可に設定されているとき、USBFS は割り込みコントローラユニット（ICU）に対して USBFS 割り込み要求を発行し、USBFS 割り込みが発生します。

表 32.14 割り込み要因 (1/2)

1にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
VBINT	VBUS割り込み	• USB_VBUS入力端子の状態変化を検出したとき（Low→HighまたはHigh→Low）	ホストまたはデバイス（注1）	INTSTS0.VBSTS
RESM	レジューム割り込み	• SuspendedステートにおいてUSBバスの状態変化を検出したとき（J-State→K-StateまたはJ-State→SE0）	デバイス	—
SOFR	フレーム番号更新割り込み	ホストコントローラモード時： • フレーム番号の異なるSOFパケットを送信したとき デバイスコントローラモード時： • フレーム番号の異なるSOFパケットを受信したとき	ホストまたはデバイス	—
DVST	デバイスステート遷移割り込み	• 以下のいずれかのデバイスステート遷移を検出したとき： - USBバスリセットを検出 - Suspendedステートを検出 - SET_ADDRESSリクエストを受信 - SET_CONFIGURATIONリクエストを受信	デバイス	INTSTS0.DVSQ[2:0]
CTRT	コントロール転送ステージ遷移割り込み	• コントロール転送ステージ遷移を、以下のいずれかの状態の発生により検出したとき： - セットアップステージ完了 - コントロールライト転送ステータスステージ遷移発生 - コントロールリード転送ステータスステージ遷移発生 - コントロール転送完了 - コントロール転送シーケンスエラー発生	デバイス	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	• FIFOバッファ中の全データを送信しバッファが空になったとき • 最大パケットサイズを超えたパケットを受信したとき	ホストまたはデバイス	BEMPSTS.PIPEnBEMP
NRDY	バッファノットレディ割り込み	ホストコントローラモード時： • 発行したトークンに対して周辺デバイス側からのSTALL応答を受信したとき • 発行したトークンに対して、周辺デバイス側から応答が正しく受信できなかったとき（無応答が3回連続、またはパケット受信エラーが3回連続） • アイソクロナス転送時にオーバーランエラーまたはアンダーランエラーが発生したとき デバイスコントローラモード時： • PID[1:0]ビットが01b（BUF）のときに、INトークンまたはOUTトークンに対してNAKを応答したとき • アイソクロナス転送でデータ受信時にCRCエラーまたはビットスタッフィングエラーが発生したとき • アイソクロナス転送でデータ受信時にオーバーラン／アンダーランが発生したとき	ホストまたはデバイス	NRDYSTS.PIPEnNRDY
BRDY	バッファレディ割り込み	• バッファがレディ（読み出しもしくは書き込み可能状態）になったとき	ホストまたはデバイス	BRDYSTS.PIPEnBRDY
OVRCR	オーバーカレント入力変化割り込み	• USB_OVRCURA入力端子、またはUSB_OVRCURB入力端子の状態変化を検出したとき（Low→HighまたはHigh→Low）	ホスト	INTSTS1.OVRCR
BCHG	バス変化割り込み	• USBバスステートの変化を検出したとき	ホストまたはデバイス	SYSSTS0.LNST[1:0]
DTCH	フルスピード動作時切断検出	• フルスピード動作時に周辺デバイスの切断を検出したとき	ホスト	DVSTCTR0.RHST[2:0]
ATTCH	デバイス接続検出割り込み	• USBバスでJ-StateまたはK-Stateを継続的に2.5μs検出したときこの割り込みを使って、周辺デバイスが接続されているかどうかを確認できます。	ホスト	—

表 32.14 割り込み要因 (2/2)

1にするビット	名称	割り込み要因	対象となるコントローラ機能	ステータスフラグ
EOFERR	EOFエラー検出割り込み	• 周辺デバイスのEOFエラーを検出したとき	ホスト	—
SACK	SETUP正常割り込み	• SETUPトランザクションの正常応答（ACK）を受信したとき	ホスト	—
SIGN	SETUPエラー割り込み	• SETUPトランザクションのエラー（無応答またはACKパケット破損）を3回連続で検出したとき	ホスト	—

注 1. この割り込みは、ホストコントローラモードでも発生しますが、通常はホストコントローラモードでは使用しません。

図 32.10 に USBFS 割り込みに関連する回路を示します。

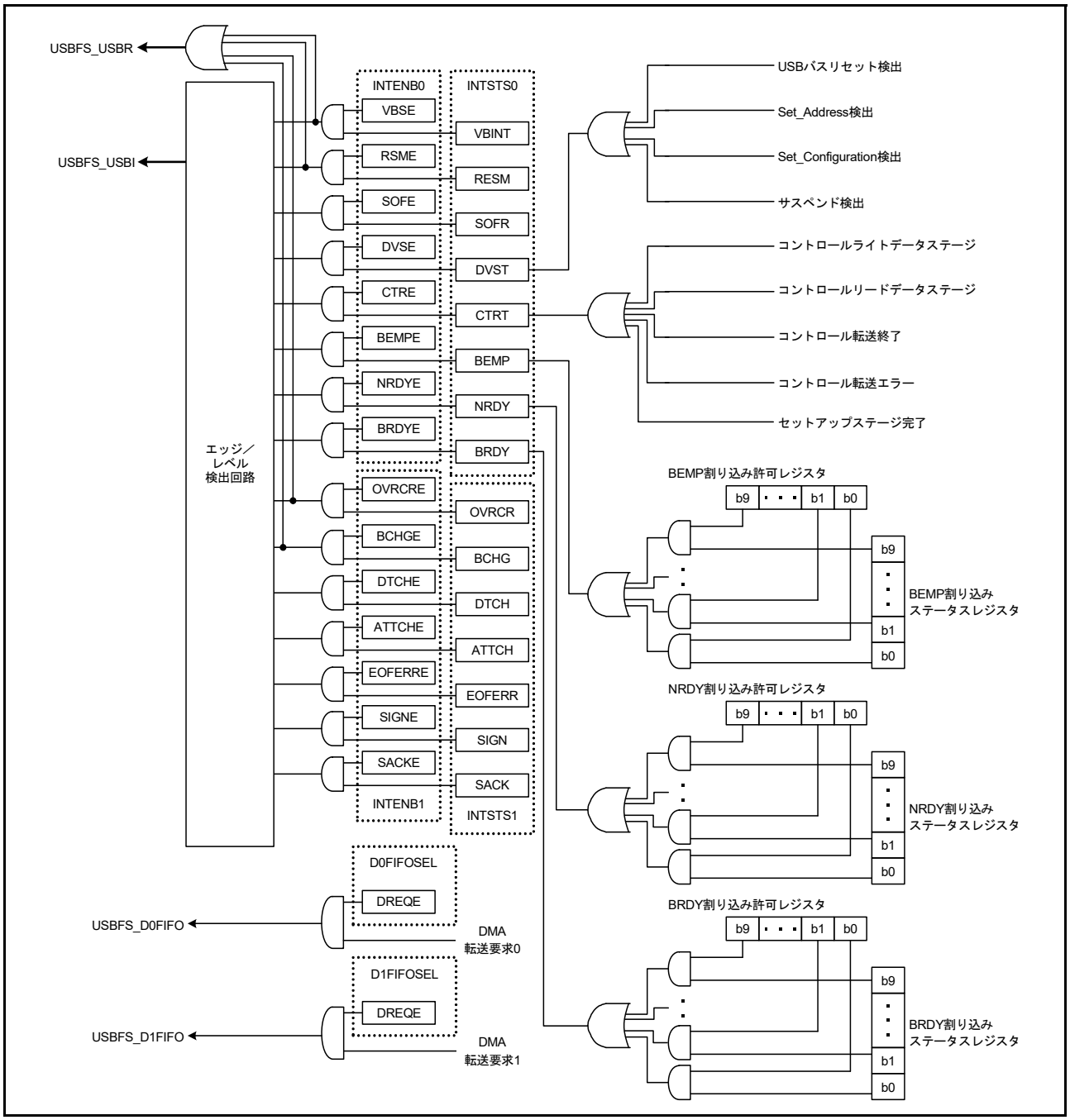


図 32.10 USBFS 割り込みに関連する回路

表 32.15 に USBFS が発生させる割り込みの一覧を示します。

表 32.15 USBFSの割り込み

割り込み名	割り込みステータスフラグ	DTCの起動	DMACの起動	優先順位
USBFS_D0FIFO	DMA転送要求0	可能	可能	高 ▲
USBFS_D1FIFO	DMA転送要求1	可能	可能	
USBFS_USBI	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバーカレント入力変化割り込み、バス変化割り込み、フルスピード動作時切断検出割り込み、デバイス接続検出割り込み、EOFエラー検出割り込み、SETUP正常動作割り込み、SETUPエラー割り込み	不可能	不可能	▼ 低
USBFS_USBR	VBUS割り込み、レジューム割り込み、オーバーカレント入力変化割り込み、バス変化割り込み	不可能	不可能	—

32.3.3 割り込みの説明

32.3.3.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラモードとデバイスコントローラモードのどちらを選択しても発生します。ここでは、USBFS が BRDYSTS の関連するビットを 1 にする条件について説明します。これらの条件の下では、ソフトウェアで当該パイプに関連付けられている BRDYENB レジスタのビットを 1 にし、かつ、INTENB0.BRDYE ビットを 1 にしていれば、USBFS は BRDY 割り込みを発生させます。

BRDY 割り込みは、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定により、発生条件およびクリア条件が異なります。

(1) SOFCFG.BRDYM ビットが 0 かつ PIPECFG.BFRE ビットが 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示す割り込みになります。

USBFS は、以下のいずれかの条件のときに、内部 BRDY 割り込み要求トリガを発生させ、選択パイプに関連付けられている BRDYSTS.PIPEnBRDY ビットを 1 にします。

(a) 送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パイプのパケット送信が完了したとき
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
  FIFO バッファへの書き込み中にもう一方の FIFO バッファへの送信が完了しても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに 1 を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

(b) 受信パイプの場合

- 当該パイプに割り付けた FIFO バッファへの CPU からの読み出しが不可能な状態のとき（BSTS ビットの読み出し値が 0 のとき）に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。DATA-PID 不一致のトランザクションに対し、要求トリガは発生しません。
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ読み出し完了時にもう一方の FIFO バッファも読み出し可能であったとき。FIFO バッファからの読み出し中にもう一方の FIFO バッファが受信を完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

デバイスコントローラモードでは、コントロール転送のステータスステージでは BRDY 割り込みは発生しません。選択パイプの PIPEnBRDY 割り込みステータスは、関連する PIPEnBRDY ビットにソフトウェアで 0 を書くことにより 0 にすることができます。この場合、他の PIPEnBRDY ビットは 1 にしてください。

BRDY ステータスのクリアは、FIFO バッファへのアクセスを行う前に実施してください。

(2) SOFCFG.BRDYM ビットが 0 かつ PIPECFG.BFRE ビットが 1 のとき

この設定の場合、USBFS は、受信パイプにおいて 1 転送分の全データ読み出し完了時に BRDY 割り込みを発生させ、BRDYSTS レジスタの当該パイプに関連付けられているビットを 1 にします。

USBFS は、以下のいずれかのときに、1 転送における最後のデータを受信したと判定します。

- Zero-Length パケットを含むショートパケットを受信したとき
- パイプ n トランザクションカウンタレジスタ（PIPEnTRN）を使用し、PIPEnTRN.TRNCNT[15:0] ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、USBFS は 1 転送分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN[8:0] ビットが 0 の状態になった時点で、USBFS は 1 転送分の全データ読み出し完了と判断します。この場合、次の転送を開始するためには、関連するポートコントロールレジスタの BCLR ビットにソフトウェアで 1 を書いてください。この設定の場合には、USBFS は送信パイプに対して BRDY 割り込みを検出しません。

パイプの PIPEnBRDY 割り込みステータスは、関連する BRDYSTS.PIPEnBRDY ビットにソフトウェアで 0 を書くことにより 0 にすることができます。この場合、他の PIPEnBRDY ビットは 1 にしてください。

このモードを使用するときには、1 転送分のすべてのデータの処理を終了するまで PIPECFG.BFRE ビットの設定値を変更しないでください。途中で PIPECFG.BFRE ビットを変更する場合には、PIPEnCTR.ACLRM ビットによりパイプの FIFO バッファをすべてクリアしてください。

(3) SOFCFG.BRDYM ビットが 1 かつ PIPECFG.BFRE ビットが 0 のとき

この設定の場合、BRDYSTS.PIPEnBRDY ビットの値は各パイプの BSTS ビットに連動します。すなわち、BRDY 割り込みステータスビット（PIPEnBRDY）は FIFO バッファの状態によって USB が 1 または 0 にします。

(a) 送信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファにデータが書き込み可能な状態であれば 1 になり、書き込み不可能な状態になれば 0 になります。送信方向の DCP が書き込み可能であっても、BRDY 割り込みは発生しません。

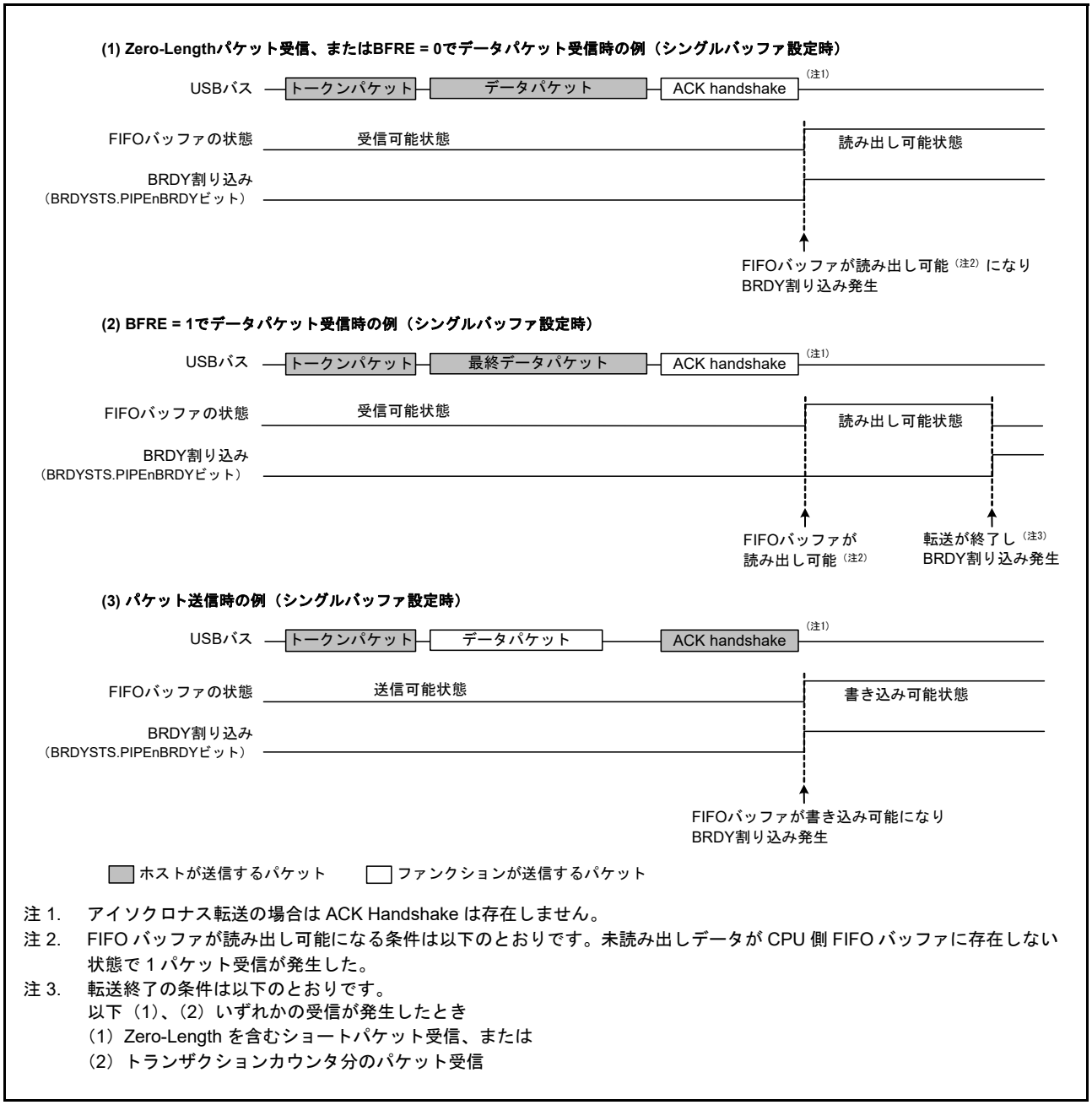
(b) 受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファからデータが読み出し可能であれば 1 になり、すべてのデータを読み出したら（読み出しが不可能になったら）0 になります。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、ソフトウェアで BCLR に 1 を書くまで、関連するビットには 1 が表示され BRDY 割り込みは発生し続けます。この設定の場合、ソフトウェアで PIPEnBRDY ビットを 0 にすることはできません。

SOFCFG.BRDYM ビットが 1 のときは、全パイプの PIPECFG.BFRE ビットは 0 にしてください。

図 32.11 に、BRDY 割り込み発生タイミングを示します。



注 1. アイソクロナス転送の場合は ACK Handshake は存在しません。

注 2. FIFO バッファが読み出し可能になる条件は以下のとおりです。未読み出しデータが CPU 側 FIFO バッファに存在しない状態で 1 パケット受信が発生した。

注 3. 転送終了の条件は以下のとおりです。
以下（1）、（2）いずれかの受信が発生したとき
（1）Zero-Length を含むショートパケット受信、または
（2）トランザクションカウンタ分のパケット受信

図 32.11 BRDY 割り込み発生タイミング

INTSTS0.BRDY ビットがクリアされる条件は、表 32.16 に示すように、SOFCFG.BRDYM ビットの設定値によって異なります。

表 32.16 BRDY ビットのクリア条件

BRDYM ビット	BRDY ビットクリア条件
0	ソフトウェアで BRDYSTS レジスタの全ビットを 0 にしたとき
1	全パイプの BSTS ビットが 0 にクリアされたとき

32.3.3.2 NRDY 割り込み

ソフトウェアで PID = BUF に設定したパイプに対して、USBFS が内部 NRDY 割り込み要求を発生させた場合に、USBFS は関連する NRDYSTS.PIPEnNRDY ビットを 1 にします。ソフトウェアによって NRDYENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.NRDY ビットを 1 にし、USBFS 割り込みを発生させます。

USBFS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ホストコントローラモードでの SETUP トランザクション実行時は、内部 NRDY 割り込み要求を発生させません。ホストコントローラモード時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

デバイスコントローラモードでのコントロール転送ステータスステージ実行時は、内部 NRDY 割り込み要求を発生させません。

(1) ホストコントローラモード時

(a) 送信パイプの場合

USBFS は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。このとき USBFS は、OUT トークンに続けて Zero-Length パケットを送信し、関連する NRDYSTS.PIPEnNRDY ビットを 1 にし、FRMNUM.OVRN ビットも 1 にします。
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき：
  - 周辺デバイスからの応答がないとき（周辺デバイスからのハンドシェイクパケットを検出する前にタイムアウトが検出されるとき）
  - 周辺デバイスからのパケットにエラーが検出されるとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、当該パイプの関連する PID[1:0] ビットの設定値を NAK に変更します。
- SETUP トランザクション以外の通信において、周辺デバイスから STALL ハンドシェイクを受信したとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、関連するパイプの PID[1:0] ビットの設定値を STALL（11b）に変更します。

(b) 受信パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、IN トークン発行タイミングに達したが、FIFO バッファに空きがないとき。このとき USBFS は、IN トークンに対する受信データを破棄し、当該パイプの関連する PIPEnNRDY ビットを 1 にし、OVRN ビットも 1 にします。さらに、IN トークンに対する受信データにパケットエラーを検出した場合には、USBFS は FRMNUM.CRCE ビットも 1 にします。
- 転送タイプがアイソクロナス以外のパイプにおいて、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき：
  - USBFS が発行した IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）
  - 周辺デバイスからのパケットにエラーが検出されるとき。このとき USBFS は、関連する PIPEnNRDY ビットを 1 にし、当該パイプの関連する PID[1:0] ビットの設定値を NAK に変更します。
- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスから応答がない（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）、または周辺デバイスからのパケットにエラーが検出されるとき。このとき USBFS は、当該パイプの関連する PIPEnNRDY ビットを 1 にします。当該パイプの PID[1:0] ビットの設定値変更は行いません。
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーが検出されるとき。このとき USBFS は、当該パイプの関連する PIPEnNRDY ビットを 1 にし、CRCE ビットを 1 にします。

- STALL ハンドシェイクを受信したとき。このとき USBFS は、当該パイプの関連する PIPEnNRDY ビットを 1 にし、関連するパイプの PID[1:0] ビットの設定値を STALL に変更します。

(2) デバイスコントローラモード時

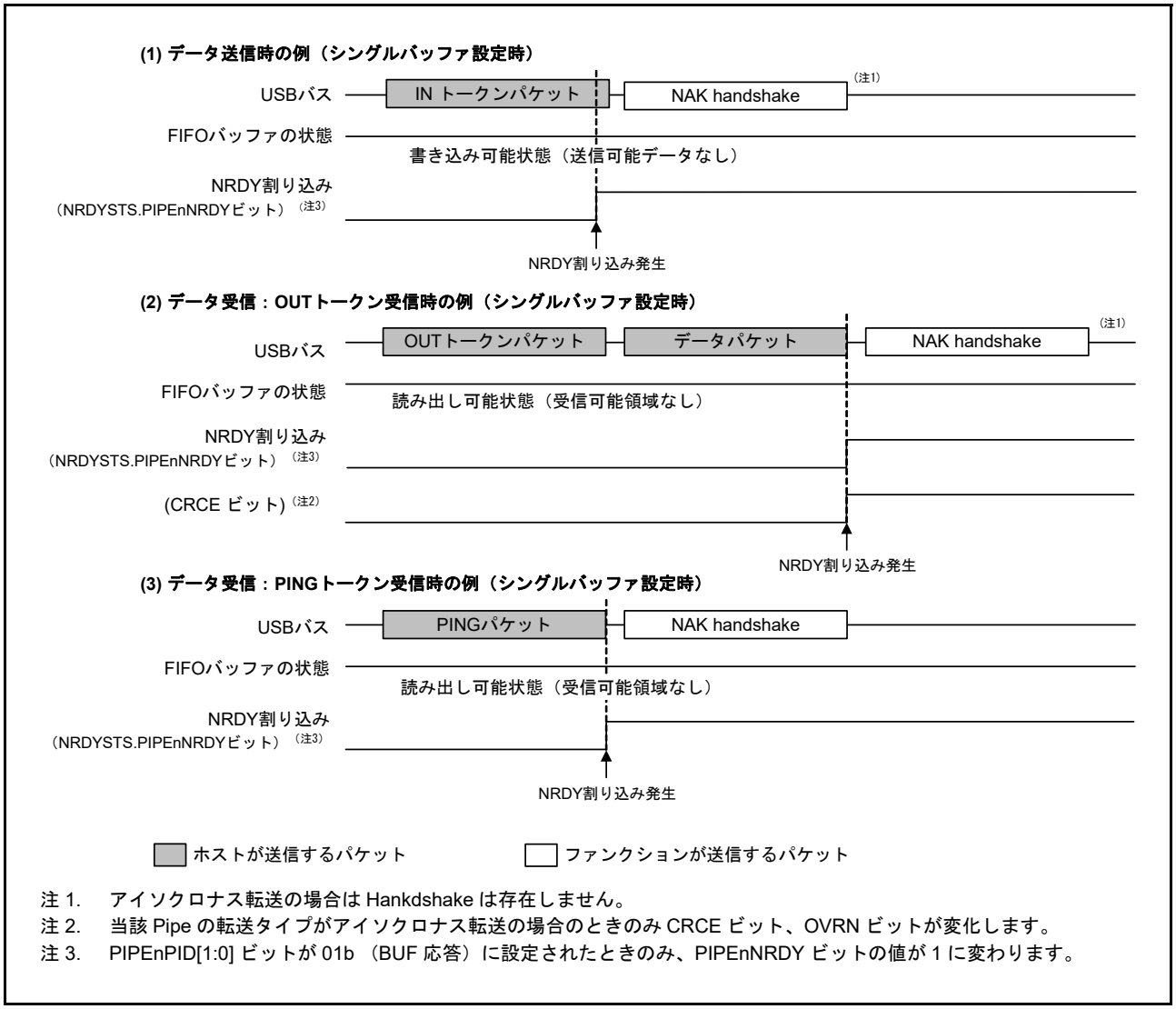
(a) 送信パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき。このとき USBFS は、IN トークン受信時に NRDY 割り込み要求を発生させ NRDYSTS.PIPEnNRDY ビットを 1 にします。割り込み発生パイプの転送タイプがアイソクロナスの場合、USBFS は Zero-Length パケットを送信し、FRMNUM.OVRN ビットを 1 にします。

(b) 受信パイプの場合

- OUT トークンを受信したが、FIFO バッファに空きがないとき。割り込み発生パイプの転送タイプがアイソクロナスの場合、OUT トークン受信時に USBFS は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にし、OVRN ビットを 1 にします。割り込み発生パイプの転送タイプがアイソクロナス以外の場合、OUT トークンに続くデータ受信後 NAK ハンドシェイクが送信されるときに USBFS は NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にします。DATA-PID 不一致の発生による再送時には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、NRDY 割り込み要求を発生させません。
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内にトークンが正常受信されなかったとき。このとき USBFS は、SOF 受信のタイミングで NRDY 割り込み要求を発生させ、PIPEnNRDY ビットを 1 にします。

図 32.12 に、デバイスコントローラモード時の NRDY 割り込み発生タイミングを示します。



注 1. アイソクロナス転送の場合は Hankdshake は存在しません。
注 2. 当該 Pipe の転送タイプがアイソクロナス転送の場合のときのみ CRCE ビット、OVRN ビットが変化します。
注 3. PIPEnPID[1:0] ビットが 01b （BUF 応答）に設定されたときのみ、PIPEnNRDY ビットの値が 1 に変わります。

図 32.12 デバイスコントローラモード時の NRDY 割り込み発生タイミング

32.3.3.3 BEMP 割り込み

ソフトウェアで PID = BUF に設定したパイプに対して、BEMP 割り込みを検出すると、USBFS は関連する BEMPSTS.PIPEnBEMP ビットを 1 にします。ソフトウェアによって BEMPENB レジスタの関連するビットを 1 にしている場合、USBFS は INTSTS0.BEMP ビットを 1 にし、USBFS 割り込みを発生させます。以下に、USBFS が内部 BEMP 割り込み要求を発生させる条件を示します。

(1) 送信パイプの場合

送信完了時（Zero-Length パケットの送信時を含む）に、関連するパイプの FIFO バッファが空のとき、シングルバッファモード時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。以下のいずれかの場合は、内部 BEMP 割り込み要求を発生させません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DMA/DTC が CPU 側の FIFO バッファに対する書き込みを開始しているとき
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリア（空に）したとき
- デバイスコントローラモードでのコントロール転送ステータスステージの IN 転送（Zero-Length パケット送信）を実行したとき

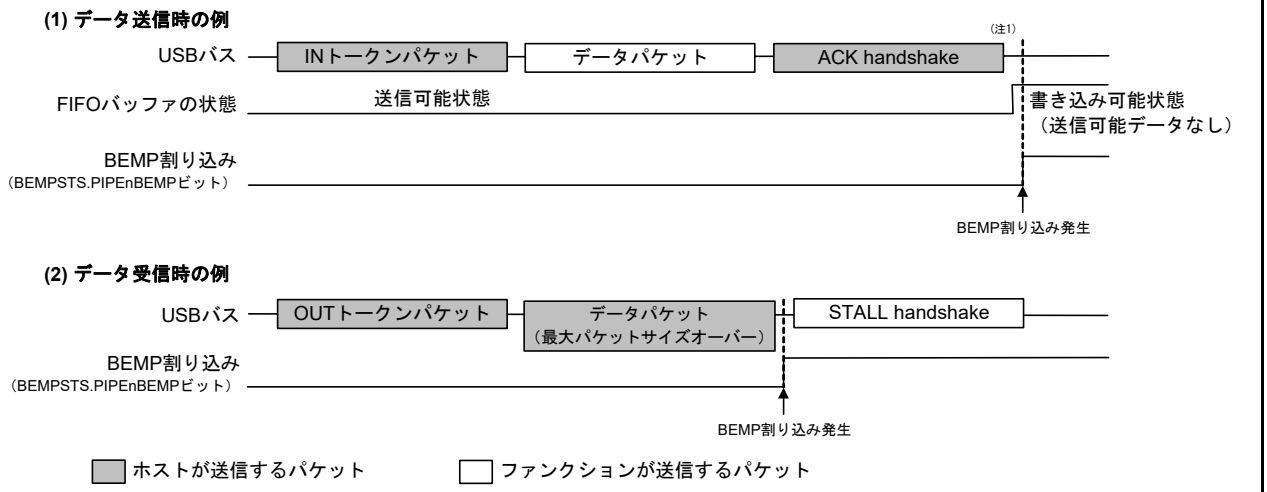
(2) 受信パイプの場合

指定された最大パケットサイズより大きなデータパケットサイズを正常受信したとき。このとき USBFS は、BEMP 割り込み要求を発生させ、関連する BEMPSTS.PIPEnBEMP ビットを 1 にし、受信データを破棄し、当該パイプの関連する PID[1:0] ビットの設定を STALL（11b）に変更します。USBFS は、ホストコントローラモードでは応答を返さず、デバイスコントローラモードでは STALL 応答を行います。

以下のいずれかの場合は、内部 BEMP 割り込み要求を発生させません。

- 受信データに CRC エラーまたはビットスタッフィングエラーを検出したとき
- SETUP トランザクション実行時
  - BEMPSTS.PIPEnBEMP ビットに 0 を書くことにより、ステータスをクリアすることができます。
  - BEMPSTS.PIPEnBEMP ビットに 1 を書いても、動作に影響ありません。

図 32.13 に、デバイスコントローラモード時の BEMP 割り込み発生タイミングを示します。



注 1. アイソクロナス転送の場合は Hankdshake は存在しません。

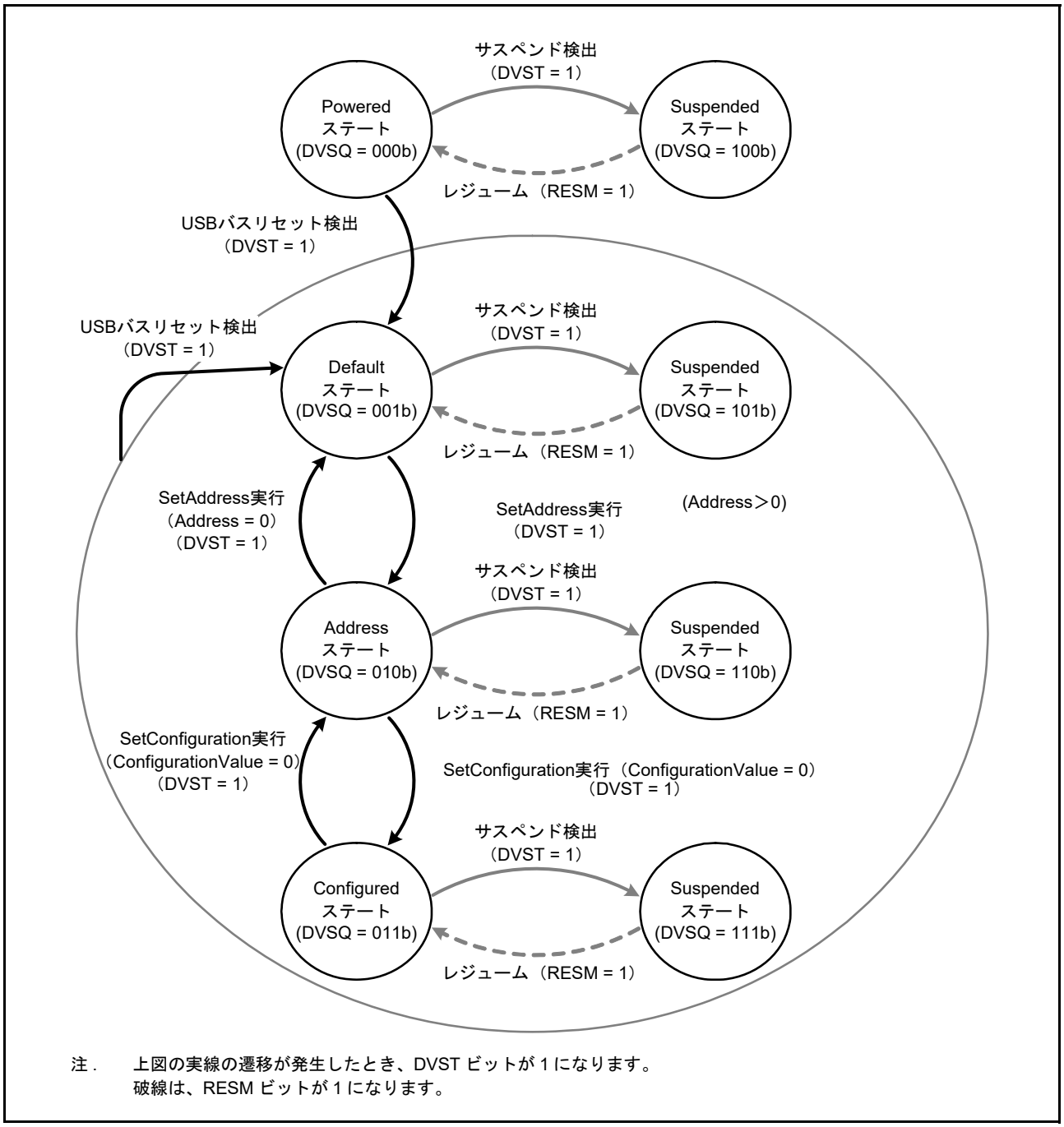
図 32.13 デバイスコントローラモード時の BEMP 割り込み発生タイミング

32.3.3.4 デバイスステート遷移割り込み（デバイスコントローラモード時）

図 32.14 に、USBFS のデバイスステート遷移図を示します。USBFS はデバイスステートを制御し、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定できます。状態が変化したデバイスは、INTSTS0.DVSQ[2:0] ビットで確認できます。

Default ステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

デバイスステートは USBFS が制御し、デバイスステート遷移割り込みはデバイスコントローラモードでのみ発生させることが可能です。



注． 上図の実線の遷移が発生したとき、DVST ビットが 1 になります。
破線は、RESM ビットが 1 になります。

図 32.14 デバイスステートの遷移

32.3.3.5 コントロール転送ステージ遷移割り込み（デバイスコントローラモード時）

図 32.15 に USBFS のコントロール転送ステージ遷移図を示します。USBFS はコントロール転送のシーケンスを制御し、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで個別に許可または禁止できます。遷移が発生した転送ステージは、INTSTS0.CTSQ[2:0] ビットで確認できます。

コントロール転送ステージ遷移割り込みは、デバイスコントローラモードでのみ発生します。ここではコントロール転送のシーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが 1xb（STALL 応答）になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して一度もデータ転送していない状態で OUT トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

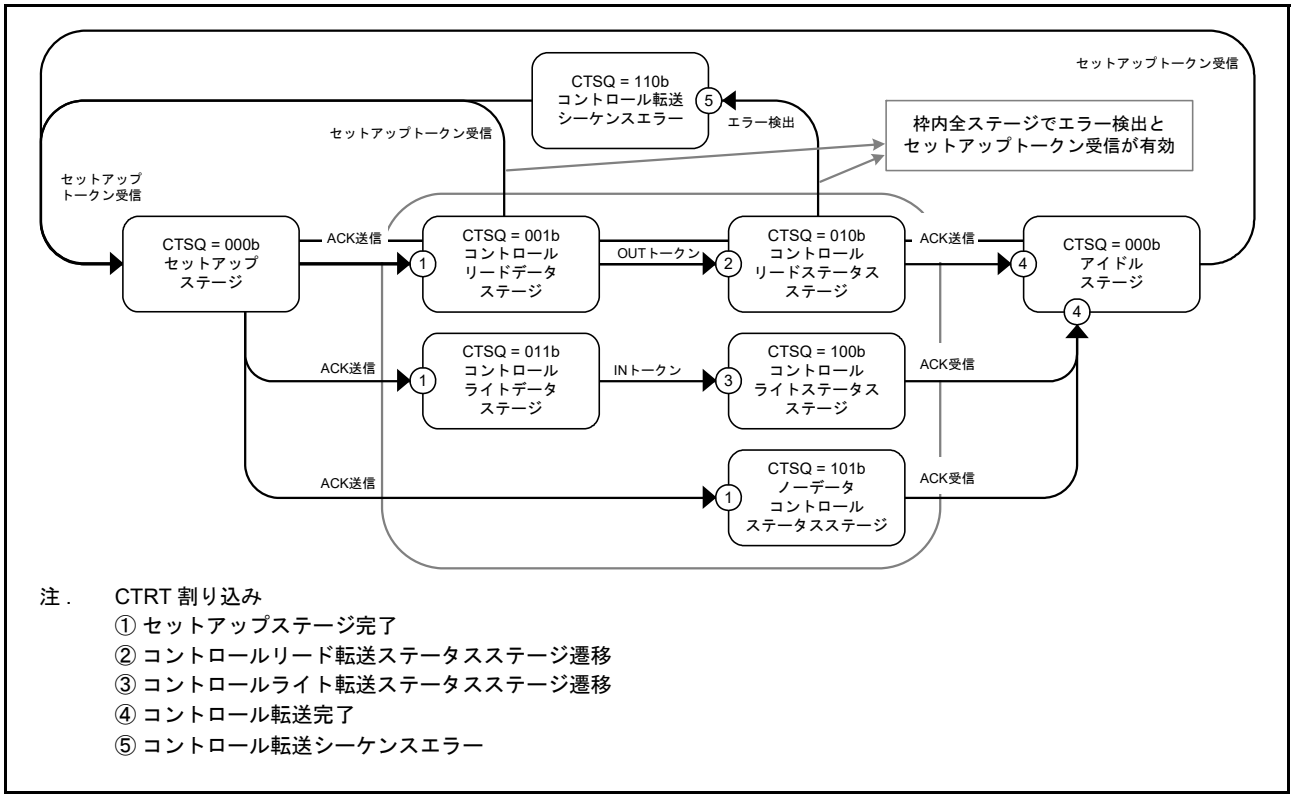
- データステージの OUT トークンに対して一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のデータパケットを受信
- ステータスステージで OUT トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンを受信

コントロールライト転送データステージで、受信データ長が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識されません。コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い転送は正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（INTSTS0.CTRT = 1）は、CTRT ビットに 0 を書いて割り込みステータスクリアが行われるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。セットアップステージ完了ステータスは USBFS が保持しており、ソフトウェアによる割り込みステータスクリア後に、USBFS が CTRT 割り込みを発生させます。



注 . CTRT 割り込み
① セットアップステージ完了
② コントロールリード転送ステータスステージ遷移
③ コントロールライト転送ステータスステージ遷移
④ コントロール転送完了
⑤ コントロール転送シーケンスエラー

図 32.15 コントロール転送ステージの遷移

32.3.3.6 フレーム番号更新割り込み

ホストコントローラモードでは、フレーム番号が更新されると割り込みが発生します。

デバイスコントローラモードでは、フレーム番号が更新されると SOFR 割り込みが発生します。USBFS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

32.3.3.7 VBUS 割り込み

USB_VBUS 端子レベルに変化があった場合に VBUS 割り込みが発生します。INTSTS0.VBSTS ビットにて USB_VBUS 端子のレベルを確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確認ができます。ホストコントローラが接続された状態でシステムが起動された場合は、USB_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みは発生しません。

32.3.3.8 レジューム割り込み

デバイスコントローラモードでは、デバイスステートが Suspended ステートで USB バスステートが変化（J-State → K-State または J-State → SE0）したときにレジューム割り込みが発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

ホストコントローラモードでは、レジューム割り込みは発生しません。USB バスステートの変化は BCHG 割り込みを用いて検出してください。

32.3.3.9 OVRCR 割り込み

USB_OVRCURA 端子レベルまたは USB_OVRCURB 端子レベルに変化があった場合に、OVRCR 割り込みが発生します。SYSSTS0.OVCMON[1:0] フラグで、USB_OVRCURA 端子および USB_OVRCURB 端子のレベルを確認できます。OVRCR 割り込みによって外部電源 IC からオーバーカレント検出の確認ができます。

OTG 接続時には、OVRCR 割り込みで VBUS コンパレータ変化検出の確認ができます。

32.3.3.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。BCHG 割り込みは、ホストコントローラモードでの周辺デバイスの接続、リモートウェイクアップの検出に使用します。BCHG 割り込みは、ホストコントローラモードとデバイスコントローラモードのどちらを選択しても発生します。

32.3.3.11 DTCH 割り込み

ホストコントローラモード時に USB バス切断を検出した場合、DTCH 割り込みが発生します。USBFS は、USB2.0 規格に準じてバス切断を検出します。

割り込みが検出されたら、当該ポートに対して通信を行っているすべてのパイプをソフトウェアで終了させてください。通信を終了したパイプは、当該ポートへのバス接続（ATTCH 割り込み発生）待ちの状態に遷移します。関連する割り込み許可ビットの設定値にかかわらず、USBFS ハードウェアは以下の処理を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

32.3.3.12 SACK 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスからの ACK 応答を受信した場合に、SACK 割り込みが発生します。SACK 割り込みにより、SETUP トランザクションが正常に終了したことを知ることができます。

32.3.3.13 SIGN 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合、SIGN 割り込みが発生します。SIGN 割り込みを使用して、周辺デバイスが ACK を送信しなかった場合や、ACK パケットの破損を検出することができます。

32.3.3.14 ATTCH 割り込み

ホストコントローラモード時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5µs 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込みの検出条件は、具体的には以下のとおりです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5µs 間継続したとき

32.3.3.15 EOFERR 割り込み

USB2.0 規格で定められている EOF2 タイミング時点で通信が終了しないことを USBFS が検出した場合、EOFERR 割り込みが発生します。

割り込み検出時には、該当ポートに対して通信を行っているパイプをすべてソフトウェアで終了させ、該当ポートへの再エニュメレーションを行ってください。関連する割り込み許可ビットの設定値にかかわらず、USBFS ハードウェアは以下の処理を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

32.3.4 パイプコントロール

表 32.17 に USBFS のパイプ設定項目一覧を示します。USB データ転送は、ソフトウェアがエンドポイントと関連付けた論理パイプにて行います。USBFS にはデータ転送用に 10 本のパイプがあります。各パイプは、使用するシステムの仕様に合わせて設定を行ってください。

表 32.17 パイプ設定項目

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプ	パイプ1～9：設定可能
	BFRE	BRDY割り込みモード	パイプ1～5：設定可能
	DBLB	ダブルバッファ選択	パイプ1～5：設定可能
	DIR	転送方向選択	INまたはOUT設定可能
	EPNUM	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は0000b以外に設定
	SHTNAK	転送終了時のパイプ禁止選択	パイプ1～2：バルク転送時のみ設定可能 パイプ3～5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホストコントローラモード時のみ参照
	MXPS	最大パケットサイズ	USB2.0規格準拠
PIPEPERI	IFIS	バッファフラッシュ	パイプ1～2：アイソクロナス転送時のみ設定可能 パイプ3～9：設定不可能
	IITV	インターバルカウンタ	パイプ1～2：アイソクロナス転送時のみ設定可能 パイプ3～5：設定不可能 パイプ6～9：ホストコントローラモード時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPはISELビットにより、受信／送信バッファ状態を切り替えます。
	INBUFM	INバッファモニタ	パイプ1～5のみ搭載
	SUREQ	SETUPリクエスト	DCPのみ設定可能、ホストコントローラモード時のみ制御
	SUREQCLR	SUREQクリア	DCPのみ設定可能、ホストコントローラモード時のみ制御
	ATREPM	自動応答モード	パイプ1～5：デバイスコントローラモード時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンスモニタ	データトグルビットの監視
	PBUSY	パイプビジーステータス	-
	PID	応答PID	32.3.4.6 応答PIDを参照してください。
PIPEnTRE	TRENB	トランザクションカウンタ許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1～5：設定可能

32.3.4.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止（PID = NAK）されているときのみ書き換えが可能になります。

USB 通信が許可（PID = BUF）されている状態で、以下のレジスタおよびビットを変更しないでください。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR、SQSET ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM、ACLRM、SQCLR、SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット

USB 通信が許可（PID = BUF）されている状態で、上記の各ビットを設定する場合は、以下の手順で行ってください。

1. パイプコントロールレジスタのビット変更要求が発生します。
2. 当該パイプの PID[1:0] ビットを NAK にします。
3. 当該パイプの PBUSY ビットが 0 になるまで待ちます。
4. パイプコントロールレジスタのビット設定を開始します。

パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに選択パイプ情報が設定されていない場合のみ書き換えが可能です。

CURPIPE[3:0] ビット設定中には以下のレジスタを設定しないでください。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット

パイプ情報を変更する場合には、ポート選択レジスタの CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。DCP についてはパイプ情報修正後、ポートコントロールレジスタの BCLR ビットにてバッファのクリア処理をしてください。

32.3.4.2 転送タイプ

PIPECFG.TYPE[1:0] ビットで各パイプに以下の転送タイプを設定します。

- DCP：設定不要（コントロール転送固定）
- パイプ 1 ～ 2：バルク転送またはアイソクロナス転送を設定
- パイプ 3 ～ 5：バルク転送を設定
- パイプ 6 ～ 9：インタラプト転送を設定

32.3.4.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント 0 固定）
- パイプ 1 ～ 9：エンドポイント番号 1 から 15 までを選択して設定。PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定する必要があります

32.3.4.4 最大パケットサイズ設定

DCPMAXP.MXPS[6:0] ビットおよび PIPEMAXP.MXPS[8:0] ビットにて各パイプの最大パケットサイズを設定します。DCP およびパイプ 1 ～ 5 は USB2.0 規格で定義されているすべての最大パケットサイズに設定が可能です。パイプ 6 ～ 9 では、64 バイトが最大パケットサイズです。最大パケットサイズは、転送を開始（PID = BUF）する前に、以下のように設定してください。

- DCP：8、16、32、64 から選択して設定
- パイプ 1 ～ 5：バルク転送時は 8、16、32、64 から選択して設定
- パイプ 1 ～ 2：アイソクロナス転送時は 1 から 256 の値を設定
- パイプ 6 ～ 9：1 から 64 の値を設定

32.3.4.5 トランザクションカウンタ（受信方向パイプ 1 ～ 5）

USBFS は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、転送終了と認識します。トランザクションカウンタには、実行トランザクション回数を指定する PIPEnTRN レジスタと、実行されたトランザクションを内部でカウントするカレントカウンタがあります。PIPECFG.SHTNAK ビットが 1 の状態でカレントカウンタの値がトランザクションの指定回数と一致すると、関連する PIPEnCTR.PID[1:0] ビットが NAK に設定され、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時のデータは以下のように異なります。

- TRENB ビットが 0：トランザクションカウンタの設定値を読み出し可能
- TRENB ビットが 1：内部でカウントした実行済みトランザクション数を示すカレントカウンタ値を読み出し可能

TRCLR ビットの操作には、以下の制限事項があります。

- トランザクションカウント中かつ PID = BUF の場合、カレントカウンタはクリア不可
- バッファ内にデータが残っている状態ではカレントカウンタはクリア不可

32.3.4.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットで、各パイプの応答 PID を設定します。ここでは、各応答 PID 設定における USBFS の動作について説明します。

(1) ソフトウェアの応答 PID 設定（ホストコントローラモード時）

応答 PID を選択して、以下のようにトランザクションの実行について指定します。

- NAK 設定：パイプ禁止状態かつトランザクション実行なし
- BUF 設定：FIFO バッファの状態に応じて下記のトランザクションを実行
  OUT 方向の場合：FIFO バッファに送信データがある場合、OUT トークンを発行
  IN 方向の場合：FIFO バッファに空きがあり受信可能な場合に、IN トークンを発行
- STALL 設定：パイプ禁止状態かつトランザクション実行なし

注 . DCP の SETUP トランザクションを実行するには、DCPCTR.SUREQ ビットを使用してください。

(2) ソフトウェアの応答 PID 設定（デバイスコントローラモード時）

応答 PID を選択して、以下のようにホストからのトランザクションに対する応答を指定します。

- NAK 設定：発生したすべてのトランザクションに対して NAK 応答を返答
- BUF 設定：FIFO バッファの状態に応じてトランザクションに応答
- STALL 設定：発生したすべてのトランザクションに対して STALL 応答を返答

注 . SETUP トランザクションに対しては、PID[1:0] ビットの設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

以下の (3) および (4) では、特定のトランザクションの結果に従って USBFS が PID[1:0] ビットに書き込みを行う状況について説明します。

(3) ハードウェアの応答 PID 設定（ホストコントローラモード時）

- NAK 設定：以下の場合に PID = NAK となり、トークンの発行が自動的に停止
  - アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
    （詳細は、32.3.3.2 NRDY 割り込みを参照してください。）
  - バルク転送時で PIPECFG.SHTNAK ビットが 1 の場合にショートパケットを受信したとき
  - バルク転送時で SHTNAK ビットが 1 の場合にトランザクションカウンタが終了したとき
- BUF 設定：USBFS によるこの設定の書き込みはなし
- STALL 設定：以下の場合に PID = STALL となり、トークンの発行が自動的に停止
  - 送信したトークンに対して STALL を受信したとき
  - 最大パケットサイズより大きなデータパケットを受信したとき

(4) ハードウェアの応答 PID 設定（デバイスコントローラモード時）

- NAK 設定：以下の場合に PID = NAK となり、トランザクションに対し NAK 応答が発生
  - SETUP トークンを正常に受信したとき（DCP のみ）
  - バルク転送時で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USBFS による BUF 書き込みはなし
- STALL 設定：以下の場合に PID = STALL となり、トランザクションに対し STALL 応答が発生
  - 最大パケットサイズより大きなデータパケットを受信したとき
  - コントロール転送シーケンスエラーを検出したとき（DCP のみ）

32.3.4.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBFS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

デバイスコントローラモードでのコントロール転送では、ステージ遷移時に USBFS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ただし、ホストコントローラモードでのコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。

ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、ClearFeature リクエストの送信または受信時には、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

32.3.4.8 応答 PID = NAK 機能

USBFS には、トランザクションの最後のデータパケットの受信タイミングで、パイプ動作を禁止（応答 PID = NAK）する機能があります。USBFS は、ショートパケット受信またはトランザクションカウンタでトランザクションの終了を自動識別します。PIPECFG.SHTNAK ビットが 1 の場合、この機能が有効です。

この機能を使用することで、FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作が禁止された場合は、ソフトウェアで再度パイプを許可（応答 PID = BUF）する必要があります。

なお、応答 PID = NAK 機能はバルク転送時のみ動作することが可能です。

32.3.4.9 自動応答モード

バルク転送のパイプ（1 ～ 5）において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビットが 0）には OUT-NAK モードとなり、IN 転送時（DIR ビットが 1）には Null 自動応答モードとなります。

32.3.4.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ遷移させるためには、パイプ動作禁止状態（PID[1:0] ビットが 00b（NAK 応答））で、OUT-NAK モードを指定してください。次に、パイプ動作を許可（PID[1:0] ビットが 01b（BUF 応答））します。OUT-NAK モードが有効になります。パイプ動作禁止にする直前で OUT トークンを受け付けた場合は、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（NAK）で、OUT-NAK モードを解除してください。次に、パイプ動作を許可（BUF）します。通常モードでは、OUT データ受信が可能となります。

32.3.4.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）で、Null 自動応答モードを指定してください。次に、パイプ動作を許可（応答 PID = BUF）します。Null 自動応答モードが有効になります。ただし、Null 自動応答モードを設定する場合は、バッファ内は空である必要があります。PIPEnCTR.INBUFM ビットが 0 であることを確認してください。INBUFM ビットが 1 の場合には、PIPEnCTR.ACLRM ビットによりバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（応答 PID = NAK）を Zero-Length パケット送信分ウェイト（約 10µs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（応答 PID = BUF）を行うことにより、ホストへのパケット送信が可能となります。

32.3.5 FIFO バッファ

USBFS はデータ転送用の FIFO バッファを備えており、これによって各パイプに使用されるメモリ領域を管理します。FIFO バッファの状態には、アクセス権がシステム（CPU 側）にある場合と USBFS（SIE 側）にある場合があります。

(1) バッファステータス

表 32.18 および表 32.19 に、USBFS のバッファステータスを示します。FIFO バッファステータスは、DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットを使用して確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で指定します。

INBUFM ビットは送信方向のパイプ 0 ～ 5 でのみ有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファステータスを監視し、INBUFM ビットを読み出して SIE 側の FIFO バッファステータスを監視します。CPU または DMA/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空き状態が判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 32.18 BSTS ビットが示すバッファステータス

ISEL または DIR	BSTS	FIFO バッファステータス
0（受信方向）	0	受信データなし、または受信中。 FIFO ポートからの読み出し不可能。
0（受信方向）	1	受信データあり、または Zero-Length パケット受信。 FIFO ポートからの読み出し可能。 Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要。
1（送信方向）	0	送信未完了。 FIFO ポートへの書き込み不可能。
1（送信方向）	1	送信完了。 CPU は書き込み可能。

表 32.19 INBUFM ビットが示すバッファステータス

DIR	INBUFM	FIFO バッファステータス
0（受信方向）	無効	無効。
1（送信方向）	0	送信完了。 送信可能データなし。
1（送信方向）	1	データが FIFO ポートからバッファへ書き込まれた。 送信可能データあり。

32.3.6 FIFO バッファクリア

表 32.20 に FIFO バッファのクリア方式一覧を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 1 ～ 5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表 32.20 バッファクリア方式一覧

FIFOバッファクリアモード	CPU側FIFOバッファクリアモード	指定パイプのデータ読み出し後にFIFOバッファを自動でクリアするモード	すべての受信パケットを破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
クリア条件	1書き込みでクリア	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(1) 自動バッファクリアモード機能

PIPEnCTR.ACLRM ビットが 1 の場合、USBFS は受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にし、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファがクリアされます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

32.3.7 FIFO ポートの機能

表 32.21 に FIFO ポート機能設定を示します。データ書き込み時は、最大パケットサイズまで書き込みを行うと、自動的にデータが送信可能状態となります。最大パケットサイズ未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアし、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットを受信可能な状態になります。Zero-Length パケット受信時（DTLN[8:0] ビットが 0）は、データは読み出せませんので、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[8:0] ビットにて確認します。

表 32.21 FIFOポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL、DnFIFOSEL（n = 0, 1）	RCNT	DTLN[8:0]読み出しモード選択
	REW	FIFOバッファリワインド（再読み出し、再書き込み）
	DCLRM	指定パイプの受信データ読み出し後、受信データの自動クリア（DnFIFO専用）
	DREQE	DMA/DTC転送許可（DnFIFO専用）
	MBW	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向（DCP専用）
	CURPIPE	カレントパイプ選択
CFIFOCTR、DnFIFOCTR（n = 0, 1）	BVAL	FIFOバッファ書き込み終了
	BCLR	CPU側FIFOバッファクリア
	DTLN	受信データ長確認

(1) FIFO ポート選択

表 32.22 に各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0] ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE[3:0] ビット値が正しく読み出せたかどうかをソフトウェアで確認する必要があります。（前回のパイプ番号が読み出された場合には、USBFS がパイプ変更処理中であることを示します。）次に、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認します。

また、ポート選択レジスタの MBW ビットでアクセスするバス幅をソフトウェアで指定する必要があります。FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定値に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより方向を決定します。

表 32.22 パイプ別 FIFO ポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1～9	CPU アクセス	CFIFO ポートレジスタ D0FIFO/D1FIFO ポートレジスタ
	DMA/DTC アクセス	D0FIFO/D1FIFO ポートレジスタ

(2) REW ビット

実行中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行ってから、再度最初のパイプの処理を続行することができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビットでパイプ選択を行うのと同時に REW ビットを 1 にすると、FIFO バッファの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。REW ビットを 0 にしてパイプ選択を行うと、バッファの読み出しまたは書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み出しおよび書き込みができます。

FIFO ポートにアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

32.3.8 DMA 転送（D0FIFO/D1FIFO ポート）

(1) DMA 転送概要

パイプ 1 ～ 9 に対して、DMAC による FIFO ポートアクセスが可能です。DMA 転送用のパイプのバッファがアクセス可能になったとき、DMA 転送要求を出力します。

DnFIFOSEL.MBW ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにて DMA 転送するパイプを選択してください。なお、DMA 転送中は選択しているパイプを変更しないでください。

(2) DnFIFO 自動クリアモード（D0FIFO/D1FIFO ポート読み出し方向）

USBFS は、DnFIFOSEL.DCLRM ビットを 1 にすることで、FIFO バッファからのデータ読み出しを完了したとき、選択パイプの FIFO バッファを自動的にクリアします。

表 32.23 に各設定での、パケット受信とソフトウェアによる FIFO バッファクリア処理の関連を示します。表に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なります。バッファクリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になります。ソフトウェアを介在させない DMA 転送が可能となります。

DnFIFO 自動クリアモードは、FIFO バッファ読み出し方向のみ設定できます。

表 32.23 パケット受信とソフトウェアによるFIFOバッファクリア処理

パケット受信時のバッファステータス	レジスタ設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

32.3.9 DCP を使用したコントロール転送

コントロール転送データステージのデータ転送は、デフォルトコントロールパイプ（DCP）を使用します。DCP の FIFO バッファは、コントロールリードおよびコントロールライト共用の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファへのアクセスは、CFIFO ポートのみ可能です。

32.3.9.1 ホストコントローラモードでのコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタは、SETUP トランザクションの USB リクエスト送信用のレジスタです。Setup パケットのデータをレジスタに書き込み、DCPCTR.SUREQ ビットに 1 を書き込むことで、設定されているデータが SETUP トランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 になります。SUREQ ビットが 1 のとき、上記 USB リクエストレジスタを操作しないでください。

アタッチされたファンクションデバイスが検出された場合、ソフトウェアで DCPMAXP.DEVSEL[3:0] ビットを 0 に、DEVADD0.USBSPD[1:0] ビットを適切に設定し、前述のシーケンスに従って当該デバイスの最初の SETUP トランザクションを発行してください。

アタッチされたファンクションデバイスが Address ステートに遷移したとき、ソフトウェアによって、DEVSEL[3:0] ビットに割り付けた USB アドレス値を設定し、指定 USB アドレスに対応する DEVADDn レジスタの各ビットを適切に設定した後に、前述のシーケンスに従って SETUP トランザクションを発行してください。たとえば、PIPEMAXP.DEVSEL[3:0] = 0010b のときは、DEVADD2 レジスタを適切に設定してください。PIPEMAXP.DEVSEL[3:0] = 0101b のときは、DEVADD5 レジスタを適切に設定してください。

SETUP トランザクションデータを送信すると、周辺デバイスからの応答に基づき割り込み要求が発生します（INTSTS1 レジスタの SIGN ビットまたは SACK ビット）。この割り込み要求によりソフトウェアで SETUP トランザクション結果を確認できます。

SETUP トランザクションの DATA0 データパケット（USB リクエスト）は、DCPCTR.SQMON ビットのステータスにかかわらず常に送信されます。

(2) データステージ

DCP の FIFO バッファを使用してデータの転送を行うためにデータステージを使用します。

DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。DCPCFG.DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として転送する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 に設定し、PID ビットを BUF に設定します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

コントロールライト転送の場合、送信データバイト数が最大パケットサイズの整数倍の場合は、ソフトウェアで最後に Zero-Length パケットを送出してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送を行うためにステータスステージを使用します。データステージ同様に DCP の FIFO バッファを使用したデータ転送になります。データステージと同様の手順でトランザクションを実行します。

ステータスステージのデータパケットは、DCPCTR.SQSET ビットを使用してデータ PID を DATA1 として送受信する必要があります。

Zero-Length パケットを受信した場合、BRDY 割り込み発生後に CFIFOCTR.DTLN[8:0] フラグで受信データ長を確認してから、BCLR ビットで FIFO バッファをクリアしてください。

32.3.9.2 デバイスコントローラモードでのコントロール転送

(1) セットアップステージ

USBFS は、USBFS に対する正常な Setup パケットに対して ACK 応答します。セットアップステージの USBFS の動作を以下に示します。

新しい Setup パケットを受信すると、USBFS は以下のビットを設定します。

- INTSTS0.VALID ビットを 1 にする
- DCPCTR.PID[1:0] ビットを NAK にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBFS は、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを 0 にしてから実行してください。VALID ビットが 1 の状態では PID = BUF 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、USBFS は、コントロール転送中に新しい USB リクエストを受信すると、実行中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、USBFS は、受信した USB リクエスト内の方向ビット（bmRequestType のビット 8）およびリクエストデータ長（wLength）を自動検出します。USBFS は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込み中にシーケンスエラーが発生し、ソフトウェアに割り込みが報告されます。USBFS のステージ管理を示す図については、図 32.15 を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。

転送データが DCP の FIFO バッファのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

(3) ステータスステージ

DCPCTR.PID[1:0] ビットが BUF に設定された状態で、DCPCTR.CCPL ビットを 1 にすることによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、USBFS が自動的にステータスステージを実行します。具体的には以下のように実行されます。

- コントロールリード転送の場合
  USBFS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
  USBFS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

(4) コントロール転送自動応答機能

USBFS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合はソフトウェアによる応答が必要です。

- bmRequestType が 00h でない場合：コントロールライト転送以外
- wIndex が 00h でない場合：リクエストエラー
- wLength が 00h でない場合：ノーデータコントロール転送以外
- wValue が 7Fh より大きい場合：リクエストエラー
- INTSTS0.DVSQ[2:0] ビットが 011b（Configured ステート）の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストには、対応するソフトウェアによる応答が必要です。

32.3.10 バルク転送（パイプ 1 ～ 5）

バルク転送は、FIFO バッファ使用方法（シングル／ダブルバッファ設定）の設定ができます。USBFS は、バルク転送専用として下記の機能を備えています。

- BRDY 割り込み機能（PIPECFG.BFRE ビット）：32.3.3.1,(2) SOFCFG.BRDYM ビットが 0 かつ PIPECFG.BFRE ビットが 1 のとき参照
- トランザクションカウント機能（PIPEnTRE.TRENB、TRCLR ビット、PIPEnTRN.TRNCNT[15:0] ビット）：32.3.4.5 トランザクションカウンタ（受信方向パイプ 1 ～ 5）参照
- 応答 PID = NAK 機能（PIPECFG.SHTNAK ビット）：32.3.4.8 応答 PID = NAK 機能参照
- 自動応答モード（PIPEnCTR.ATREPM ビット）：32.3.4.9 自動応答モード参照

32.3.11 インタラプト転送（パイプ 6 ～ 9）

デバイスコントローラモードでは、USBFS は、ホストコントローラが指示しているタイミングに基づいてインタラプト転送を行います。

ホストコントローラモードでは、インターバルカウンタを使用してソフトウェアでトークン発行タイミングを設定できます。

32.3.11.1 ホストコントローラモードでのインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0] ビットにトランザクションのインターバルを指定します。USBFS は、指定されたインターバルに従ってインタラプト転送のトークンを発行します。

(1) カウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット
  IITV[2:0] ビットが初期化されます。
- PIPEnCTR.ACLRM ビットを使用した FIFO バッファの初期化
  IITV[2:0] ビットは初期化されませんが、カウント値は初期化されます。PIPEnCTR.ACLRM ビットを 0 にすると、IITV[2:0] ビット設定値からカウントが開始します。

なお、下記の場合にはインターバルカウンタは初期化されません。

- USB バスリセット、USB Suspended ステート
  IITV[2:0] ビットは初期化されません。DVSTCTR0.UACT ビットを 1 にすることにより、USB バスリセット状態または USB Suspended ステートとなる前に保存された値からカウントが開始します。

(2) トークン発生タイミングであってもトークンの送受信ができない場合の動作

以下の場合、トークンの発生タイミングであってもトークンは発生しません。このような場合、USBFS は次のインターバルにトランザクションの実行を試みます。

- PID を NAK または STALL に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングに FIFO バッファに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングに FIFO バッファに送信データがない場合

32.3.12 アイソクロナス転送（パイプ 1 ～ 2）

USBFS は、アイソクロナス転送専用として下記の機能を備えています。

- アイソクロナス転送のエラー通知
- インターバルカウンタ（PIPEPERI.IITV[2:0] ビット指定）
- アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
- アイソクロナス IN 転送バッファフラッシュ機能（PIPEPERI.IFIS ビット指定）

32.3.12.1 アイソクロナス転送のエラー検出

USBFS は、アイソクロナス転送時に発生したエラーをソフトウェアで管理できるようにするために、下記のエラーの検出機能を備えています。表 32.24 および表 32.25 に、USBFS によるエラー検出の優先順位、および関連する割り込みを示します。

(a) PID エラー

- 受信パケットの PID 値が不正な場合

(b) CRC エラー、ビットスタッフィングエラー

- 受信パケットに CRC エラーがあった場合、またはビットスタッフィングが不正な場合

(c) 最大パケットサイズオーバー

- 受信パケットのデータサイズが、最大パケットサイズの設定値を越える場合

(d) オーバーラン、アンダーランエラー

ホストコントローラモード時：

- IN 方向（受信）の転送時にトークンの送信タイミングに FIFO バッファに空き領域がない場合
- OUT 方向（送信）の転送時にトークンの送信タイミングに FIFO バッファに送信データがない場合

デバイスコントローラモード時：

- IN 方向（送信）の転送時にトークンの受信タイミングに FIFO バッファに送信データがない場合
- OUT 方向（受信）の転送時にトークンの受信タイミングに FIFO バッファに空き領域がない場合

(e) インターバルエラー

デバイスコントローラモードでは、以下の場合にインターバルエラーとして処理されます。

- アイソクロナス IN 転送時に、インターバルフレーム内に IN トークンを受信できなかった場合
- アイソクロナス OUT 転送時に、インターバルフレーム内に OUT トークンを受信できなかった場合

表 32.24 トークン送受信エラーの検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません。（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません。（破損パケットとして無視）
3	オーバーランエラー、アンダーランエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY割り込みを発生させ、FRMNUM.OVRNビットを1にします。 デバイスコントローラモードでは、INトークンに対して、Zero-Lengthパケットを送信します。OUTトークンに対してはデータパケットを受信しません。
4	インターバルエラー	デバイスコントローラモード時はNRDY割り込みを発生させます。ホストコントローラモード時は割り込みを発生させません。

表 32.25 データパケット受信エラーの検出

検出の優先順位	エラー	発生する割り込みとステータス
1	PIDエラー	割り込みを発生させません。（破損パケットとして無視）
2	CRCエラー、ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY割り込みを発生させ、FRMNUM.CRCEビットを1にします。
3	最大パケットサイズオーバーエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、BEMP割り込みを発生させ、PID[1:0]ビットをSTALLにします。

32.3.12.2 DATA-PID

デバイスコントローラモードでの受信 PID に対する USBFS の対応を以下に示します。

(1) IN 方向の場合

- DATA0：データパケットの PID として送信
- DATA1：送信しない
- DATA2：送信しない
- mDATA：送信しない

(2) OUT 方向の場合

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：パケットを無視
- mDATA：パケットを無視

32.3.12.3 インターバルカウンタ

アイソクロナス転送のインターバルは、PIPEPERI.IITV[2:0] ビットで設定できます。デバイスコントローラモードでは、インターバルカウンタにより、表 32.26 に示す機能を実現します。ホストコントローラモードでは、USBFS はトークン発行タイミングを生成し、インターバルカウンタはインタラプト転送と同じように動作します。

表 32.26 デバイスコントローラモード時のインターバルカウンタ機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ	アイソクロナスIN転送でインターバルフレーム内にINトークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレーム内にOUTトークンを正常受信できない。

インターバルのカウントは、SOF の受信時または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV} フレームです。

(1) デバイスコントローラモード時のカウンタの初期化

USBFS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット：
  PIPEPERI.IITV[2:0] ビットが初期化されます。
- ACLRM ビットを使用した FIFO バッファの初期化：
  IITV[2:0] ビットは初期化されませんが、カウント値は初期化されます。

インターバルカウンタが初期化されると、パケットを正常転送した後に、下記のどちらかの条件でインターバルのカウントを開始します。

- PID = BUF のときに IN トークンに対してデータを送信後の SOF 受信
- PID = BUF のときに OUT トークンに対してデータを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを NAK または STALL に設定した場合
  インターバルタイマは停止しません。USBFS は次のインターバルにトランザクションの実行を試みます。
- USB バスリセットまたは USBFS サスペンド
  IITV[2:0] ビットは初期化されません。SOF を受信すると、SOF 受信前に設定された値からインターバルカウンタのカウントを開始します。

(2) ホストコントローラモード時のインターバルカウントと転送制御

USBFS は、PIPEPERI.IITV[2:0] ビットの設定値に従い、トークン発行間隔を制御します。具体的には、USBFS は 2^{IITV} 回のフレームに 1 回の間隔で、選択パイプに対するトークンを発行します。

USBFS は、ソフトウェアで PID[1:0] ビットを BUF に設定したフレームの次のフレームからトークン発行間隔のカウントを開始します。

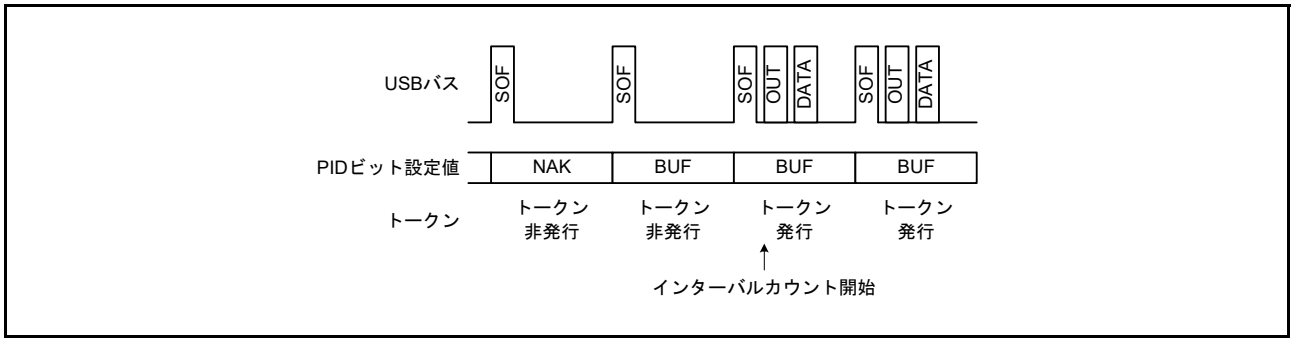


図 32.16 IITV = 0 の場合のトークン発行の有無

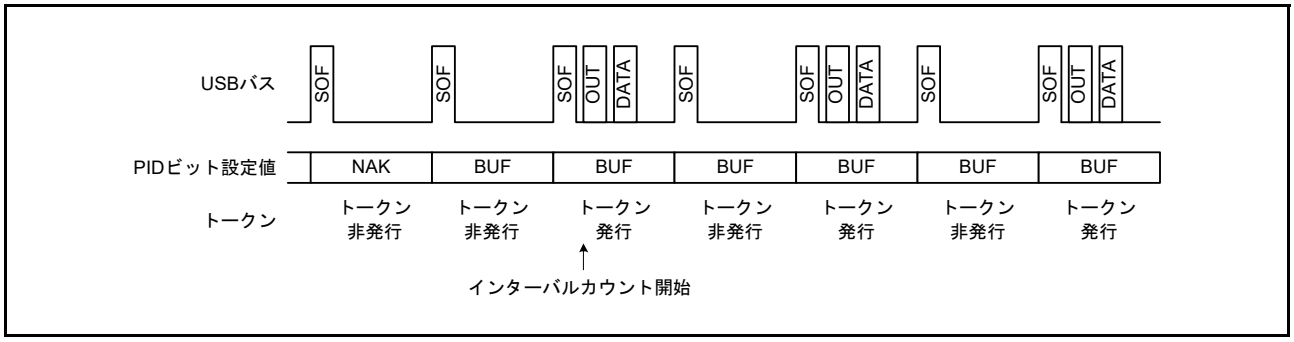


図 32.17　　IITV = 1 の場合のトークン発行の有無

選択パイプの転送タイプがアイソクロナスの場合、USBFS はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも、USBFS はトークンを発行します。

(a)　選択パイプがアイソクロナス IN 転送パイプの場合

USBFS は、IN トークンを発行しても周辺デバイスからパケットを正常受信しなかった場合（無応答やパケットエラーの場合）、NRDY 割り込みを発生させます。

CPU または DMAC/DTC が FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、USBFS がデータを受信できない状態で、IN トークン発行タイミングに至った場合、USBFS は FRMNUM.OVRN ビットを 1 にし、NRDY 割り込みを発生させます。

(b)　選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMAC/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で送信可能なデータが FIFO バッファにない状態で OUT トークン発行タイミングに至った場合、USBFS は OVRN ビットを 1 にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

以下の条件を満たす場合、トークン発行間隔はリセットされます。

- USBFS がリセット端子でリセットされた場合
  IITV[2:0] ビットが初期化されます。
- ソフトウェアが PIPEnCTR.ACLRM ビットを 1 にした場合

(3)　デバイスコントローラモード時のインターバルカウントと転送制御

(a)　選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0] ビットに設定したインターバル中にデータパケットを受信しなかったとき、USBFS は NRDY 割り込みを発生させます。

データパケットに CRC エラーなどのエラーが発生したため、または FIFO バッファがフルのために USBFS がデータを受信できなかったときにも USBFS は NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。SOF パケットが破損した場合でも、内部補完機能により SOF パケットを受信したタイミングに割り込みを発生させます。ただし、IITV ビットが 0 以外のときには、インターバルカウント開始後のインターバルごとに、USBFS は SOF パケット受信のタイミングで NRDY 割り込みを発生させます。

インターバルタイマ起動後、ソフトウェアで PID[1:0] ビットに NAK を設定した場合、USBFS は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始タイミングは、IITV[2:0] ビットの設定値により下記のように異なります。

- IITV[2:0] ビットが 0 のとき：
  ソフトウェアが選択パイプの PID[1:0] ビットを BUF に変更したフレームの次のフレームでインターバルのカウントを開始します。

- IITV[2:0] ビットが 0 ではないとき：
  選択パイプの PID[1:0] ビットを BUF に変更した後、最初のデータパケットの正常受信完了時点からインターバルのカウントを開始します。

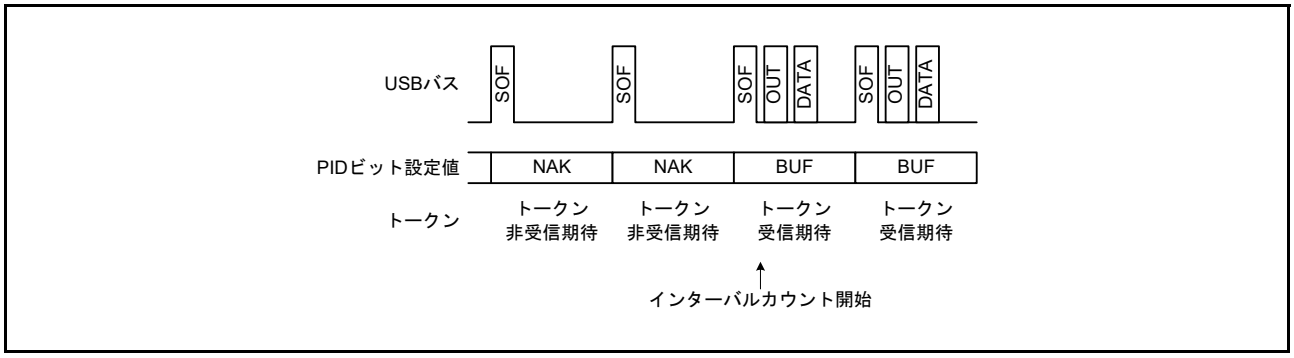


図 32.18　IITV[2:0] = 0 の場合のフレームとトークン受信期待の関係

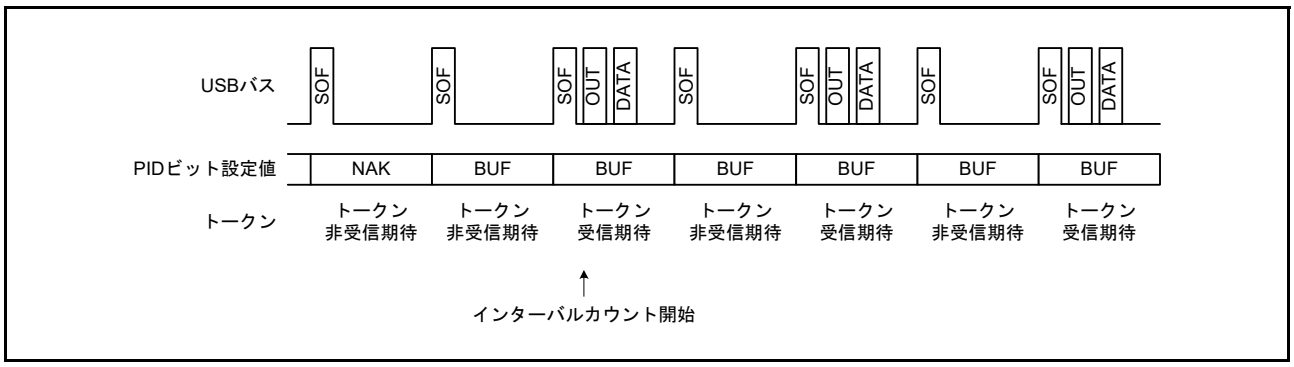


図 32.19　IITV[2:0] ≠ 0 の場合のフレームとトークン受信期待の関係

(b)　選択パイプがアイソクロナス IN 転送パイプの場合

この場合、PIPEPERI.IFIS ビットを 1 にする必要があります。IFIS ビットが 0 の場合、PIPEPERI.IITV[2:0] ビットの設定に関係なく、USBFS は IN トークン受信時にデータパケットを送信します。

IFIS ビットが 1 で、FIFO バッファに送信可能なデータがある場合、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信できなければ、USBFS は FIFO バッファをクリアします。

USBFS は、IN トークンに CRC エラーなどのバスエラーが発生したために正常受信できなかった場合も、FIFO バッファをクリアします。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも、内部補完機能により、SOF パケットを受信したタイミングで FIFO バッファをクリアします。

インターバルのカウント開始タイミングは、OUT 転送と同様に、IITV[2:0] ビットの設定値により異なります。

デバイスコントローラモード時は、以下のいずれかの条件でインターバルカウントを行います。

- USBFS がハードウェアリセットされた場合（IITV[2:0] ビットの設定値も 000b になります）
- ソフトウェアが PIPEnCTR.ACLRM ビットを 1 にした場合
- USBFS が USB バスリセットを検出した場合

(4) デバイスコントローラモード時のアイソクロナス転送用送信データセットアップ

デバイスコントローラモードでの USBFS のアイソクロナスデータ送信では、FIFO バッファへのデータ書き込み後、SOF パケットを検出した後の最初のフレームでデータパケットの送出が可能になります。このアイソクロナス転送送信データセットアップ機能により、送信を開始したフレームを特定することができます。

バッファをダブルバッファモードで使用している場合で、両方のバッファの書き込みが終了している場合も、送信可能状態になるバッファは先に書き込みを終了した 1 面だけとなります。このため、複数の IN トークンを受信しても、送出される FIFO バッファデータは 1 パケット分のみとなります。

IN トークン受信時に FIFO バッファがデータ送信可能であれば、データを転送し正常応答が返されます。しかし、FIFO バッファがデータ送信不能であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 32.20 に、IITV = 0（毎フレーム）にした場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

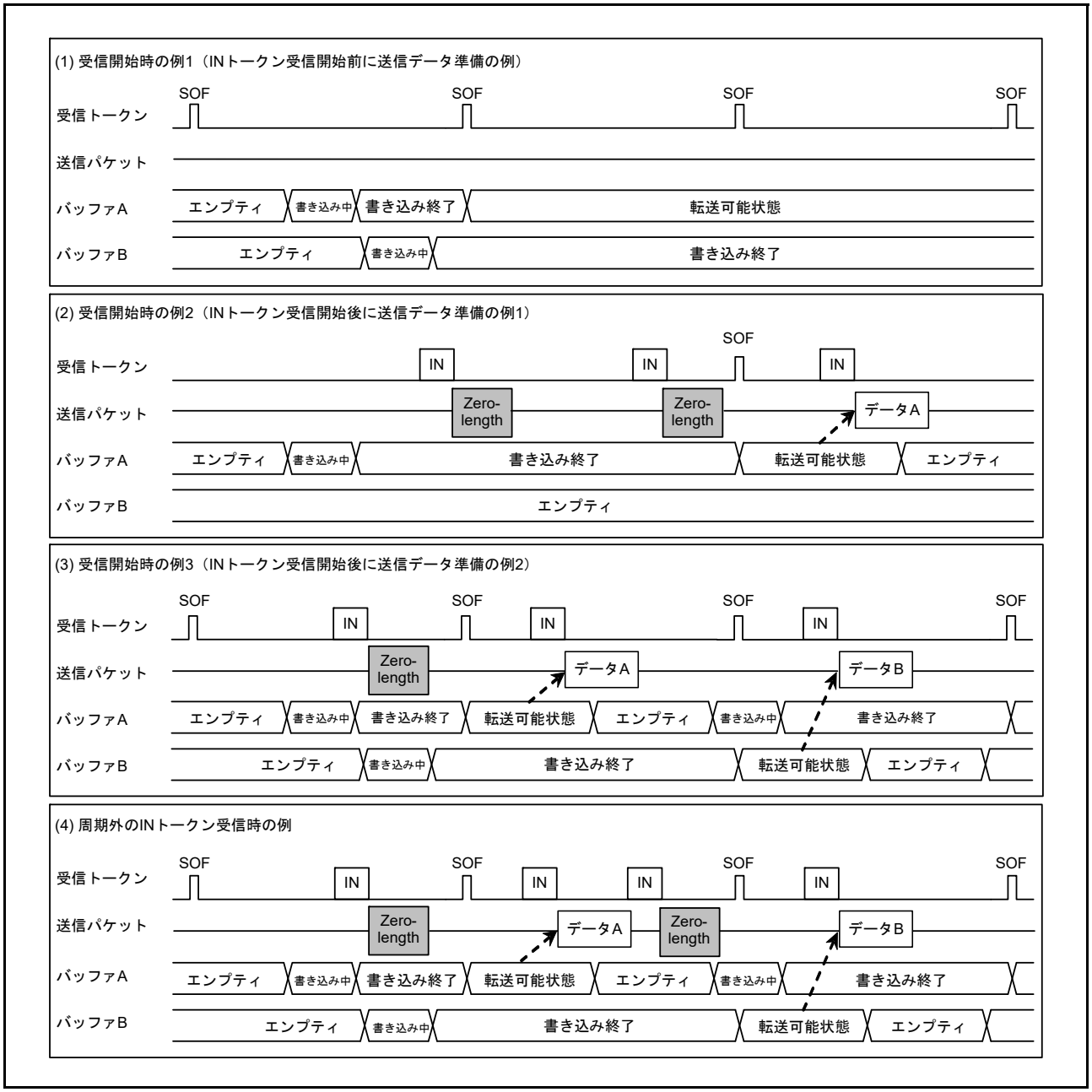


図 32.20 データセットアップ動作例

(5) デバイスコントローラモード時のアイソクロナス転送用送信バッファフラッシュ

デバイスコントローラモードでのアイソクロナスデータ転送時に、USBFS がインターバルフレーム内に IN トークンを受信しないまま、次フレームの SOF パケットを受信した場合は、USBFS はそれを IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

このときにバッファをダブルバッファモードで使用しており、両方のバッファの書き込みが終了している場合は、クリアされた FIFO バッファ内のデータが上記の同インターバルフレーム内に送信されたものとみなされて、SOF パケット受信でクリアされていない FIFO バッファを送信可能状態とします。

バッファフラッシュ機能は、以下のように PIPEPERI.IITV[2:0] ビットの設定値により動作開始タイミングが異なります。

- IITV = 0 の場合：
  パイプが有効となった後の最初のフレームからバッファフラッシュ動作を開始します。
- IITV ≠ 0 の場合：
  最初の正常なトランザクション以降にバッファフラッシュ動作を開始します。

図 32.21 にバッファフラッシュの例を示します。インターバルフレーム前に予期しないトークンを受信した場合、データセットアップ状態に応じ、USBFS は書き込みデータを送出またはアンダーランエラーとして Zero-Length パケットを送出します。

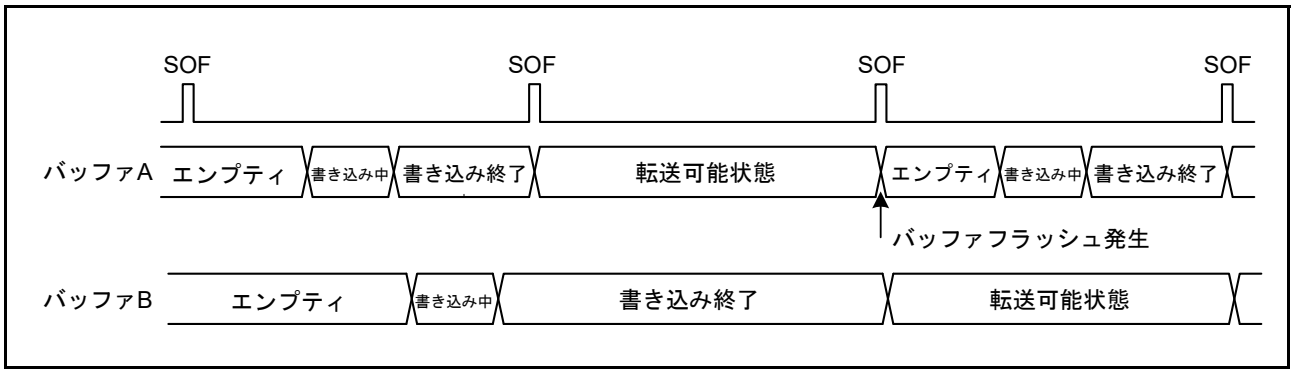


図 32.21 バッファフラッシュ動作例

図 32.22 にインターバルエラー発生例を示します。図に示すとおり、インターバルエラーは 5 種類あります。図中の①のタイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

IN 転送時にインターバルエラーが発生した場合は、バッファフラッシュ機能が動作します。OUT 転送時にインターバルエラーが発生した場合は、NRDY 割り込みが発生します。この NRDY 割り込みや受信パケットエラーによる NRDY 割り込みとオーバーランエラーとの区別は、FRMNUM.OVRN ビットで判定してください。

図中網掛けのトークンに対しては、FIFO バッファステータスに応じた応答になります。

- IN 方向の場合：
  - バッファがデータ転送可能であれば、データを転送して正常応答
  - バッファがデータ転送不能であれば、Zero-Length パケットを送信してアンダーランエラー
- OUT 方向の場合：
  - バッファがデータ受信可能であれば、データを受信して正常応答
  - バッファがデータ受信不能であれば、受信データを破棄してオーバーランエラー

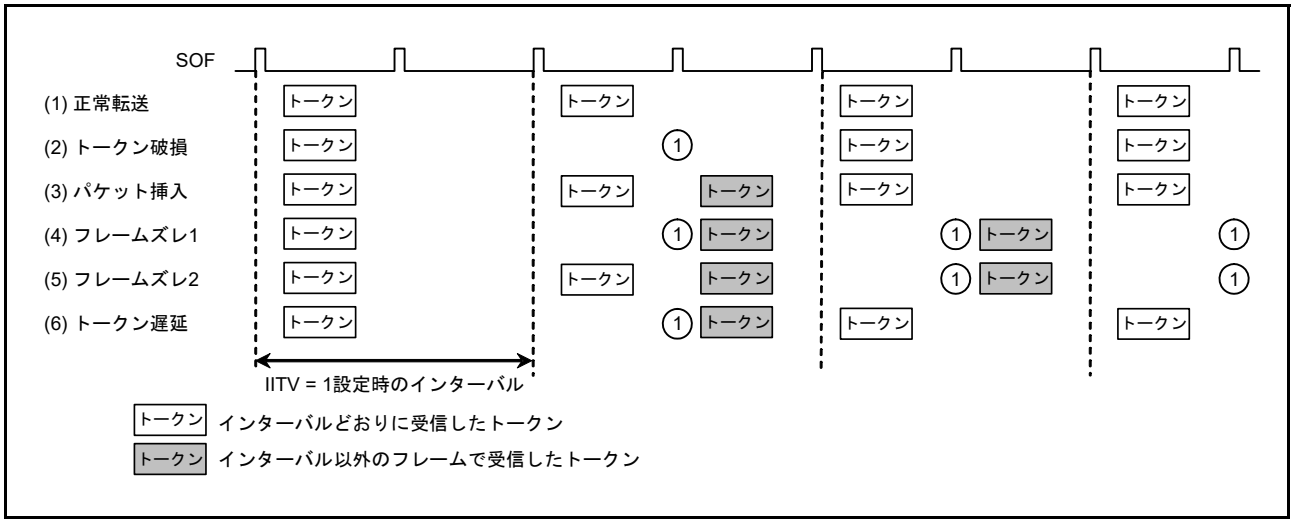


図 32.22 IITV = 1 のときのインターバルエラー発生例

32.3.13 SOF 補完機能

デバイスコントローラモードでは、SOF パケットの破損または欠落のために、1ms 間隔でパケットを受信できなかった場合に、USBFS は SOF を補完します。SOF 補完の開始は、SYSCFG.USBE ビットと SYSCFG.SCKE ビットがともに 1 であること、および SOF パケットの受信が条件となります。下記の条件で補完機能が初期化されます。

- MCU のリセット
- USB バスリセット
- Suspended ステート検出

SOF 補完は次の仕様で動作します。

- SOF パケット受信までは補完機能は動作しない
- 最初の SOF パケットを受信すると 48MHz の内部クロックで 1ms をカウントし補完する
- 2 回目以降の SOF パケットを受信したときは前回の受信間隔を用いて補完する
- Suspended ステート時および USB バスリセット受信時は補完しない

USBFS は、SOF パケットの受信で制御される下記の機能を動作させます。SOF パケットが欠落した場合はこれらの機能により SOF 補完を行うため、正常動作を継続させることができます。

- フレーム番号の更新
- SOFR 割り込みタイミング
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合には、FRMNUM.FRNM[10:0] ビットは更新されません。

32.3.14 パイプスケジュール

32.3.14.1 トランザクション発行条件

ホストコントローラモードで DVSTCTR0.UACT ビットを 1 にすると、USBFS は表 32.27 に示す条件でトランザクションを発行します。

表 32.27 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファステート	SUREQ
SETUP	—（注1）	—（注1）	—（注1）	—（注1）	1設定
コントロール転送のデータステージ、ステータスステージ、バルク転送	IN	BUF	無効	受信領域あり	—（注1）
	OUT	BUF	無効	送信データあり	—（注1）
インタラプト転送	IN	BUF	有効	受信領域あり	—（注1）
	OUT	BUF	有効	送信データあり	—（注1）
アイソクロナス転送	IN	BUF	有効	（注2）	—（注1）
	OUT	BUF	有効	（注3）	—（注1）

注 1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。「有効」はインタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみトランザクションが発行されることを示します。「無効」はインターバルカウンタにかかわらずトランザクションが発行されることを示します。

注 2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は、受信データを破棄します。

注 3. 送信データの有無にかかわらずトランザクションを発行します。ただし、送信データがなかった場合は、Zero-Length パケットを送信します。

32.3.14.2 転送スケジュール

USBFS のフレーム内の転送スケジューリング方法について説明します。USBFS は、SOF を送信後、以下の順番で転送を行います。

1. 周期的転送の実行：
   パイプ 1 →パイプ 2 →パイプ 6 →パイプ 7 →パイプ 8 →パイプ 9 の順にパイプを検索し、アイソクロナス転送またはインタラプト転送のトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送の SETUP トランザクション：
   DCP を確認して、SETUP トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、コントロール転送ステータスステージの実行：
   DCP →パイプ 1 →パイプ 2 →パイプ 3 →パイプ 4 →パイプ 5 の順にパイプを検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクションの発行が可能なパイプがあれば、トランザクションを発行します。
   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても、処理は次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

32.3.14.3 USB 通信許可

DVSTCTR0.UACT ビットを 1 にすると、SOF の送信が開始され、トランザクションの発行が可能となります。UACT ビットを 0 にすると、SOF の送信を停止し Suspended ステートとなります。UACT ビットを 1 から 0 にする場合、次の SOF を送信してから処理を停止します。

32.4 使用上の注意事項

32.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、USBFS の動作を禁止／許可することが可能です。USBFS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

32.4.2 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、以下の各条件を満たすとき、予期せぬ割り込みが発生することがあります。

- 通常モードで割り込みを許可する
- ソフトウェアスタンバイモードで割り込みを禁止する
- ソフトウェアスタンバイを解除する端子の入力レベルがソフトウェアスタンバイモードで変更されている

これらの条件を満たすと、割り込みステータスレジスタの関連する割り込みフラグが予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを終了した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスで INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

32.4.3 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは PmnPFS.PSEL および PmnPFS.PMR ポートを設定する前に無効にされるため、内部信号は High または Low に固定されます。入力バッファはポート設定後に有効にされるので、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があり、INTSTS0 と INTSTS1 レジスタの VBINT と OVRCR ビット、またはその他の割り込みステータフラグが 1 になります。誤作動を避けるために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

33. USB2.0 ハイスピードモジュール（USBHS）

33.1 概要

本 MCU は、USB（Universal Serial Bus）規格 2.0 に準拠するホストコントローラまたはデバイスコントローラとして動作する USB2.0 ハイスピードモジュール（USBHS）を内蔵しています。ホストコントローラは USB2.0 ハイスピード、フルスピード、ロースピード転送に対応しています。デバイスコントローラは、USB2.0 ハイスピード、フルスピード転送に対応しています。また、USBHS は USB トランシーバを内蔵し、USB2.0 規格で定義されている全転送タイプに対応しています。

USBHS はデータ転送用に FIFO バッファを内蔵し、最大 10 本のパイプを使用できます。また、パイプ 1 ～ 9 に対しては、周辺デバイスやユーザシステムの通信要件に合わせた任意のエンドポイント番号の割り付けが可能です。

表 33.1 に USBHS の仕様を、図 33.1 にブロック図を、表 33.2 に入出力端子を示します。

表 33.1 USBHSの仕様

項目	内容
特長	• USBデバイスコントローラ（UDC）およびUSB2.0トランシーバはホストコントローラ、デバイスコントローラ、およびOn-The-Go（OTG）機能に対応 • ホストおよびデバイスコントローラモードは、ソフトウェアで切り替え可能
	ホストコントローラ機能選択時 • ハイスピード転送（480Mbps）、フルスピード転送（12Mbps）、ロースピード転送（1.5Mbps）に対応 • SOFおよびパケット送信のスケジュールを自動化 • アイソクロナス転送およびインタラプト転送の転送インターバル設定機能 • ハブを1段経由し、複数の周辺デバイスと接続し通信が可能
	デバイスコントローラ機能選択時 • ハイスピード転送（480Mbps）およびフルスピード転送（12Mbps）に対応 • コントロール転送ステージ管理機能 • デバイスステート管理機能 • SET_ADDRESSリクエストに対する自動応答機能 • SOF補完機能
対応する転送タイプ	• コントロール転送 • バルク転送 • インタラプト転送 • アイソクロナス転送
パイプコンフィグレーション	• USB通信用に最大8.5KBのFIFOバッファを使用可能 • 最大10本のパイプを選択可能（デフォルトコントロールパイプを含む） • プログラマブルなパイプ構成 • パイプ1～9は任意のエンドポイント番号を割り付け可能
	パイプ毎に転送条件を指定可能： • パイプ0：コントロール転送、64バイトシングルバッファ • パイプ1～2：バルク転送／アイソクロナス転送、連続転送モード、バッファサイズはプログラマブル（最大2KBでダブルバッファ指定可能） • パイプ3～5：バルク転送、連続転送モード、バッファサイズはプログラマブル（最大2KBでダブルバッファ指定可能） • パイプ6～9：インタラプト転送、64バイトシングルバッファ
その他の機能	• トランザクションカウントによる転送強制終了機能 • BRDY割り込みイベント通知タイミング変更機能 • DnFIFOポート（n = 0, 1）で指定したパイプのデータを読み出した後に自動でFIFOバッファをクリアする機能 • 転送終了による応答PIDのNAK設定機能 • D+/D-ラインのプルアップ抵抗、プルダウン抵抗をチップに内蔵 • 新しいスリープ状態（L1ステート）を含め、LPM（Link Power Management）ECNに対応 • Battery Charging Class規格1.2準拠 • 消費電力低減のため、USB1.1規格のみで動作させるClassic-onlyモード（CL-onlyモード）を選択可能

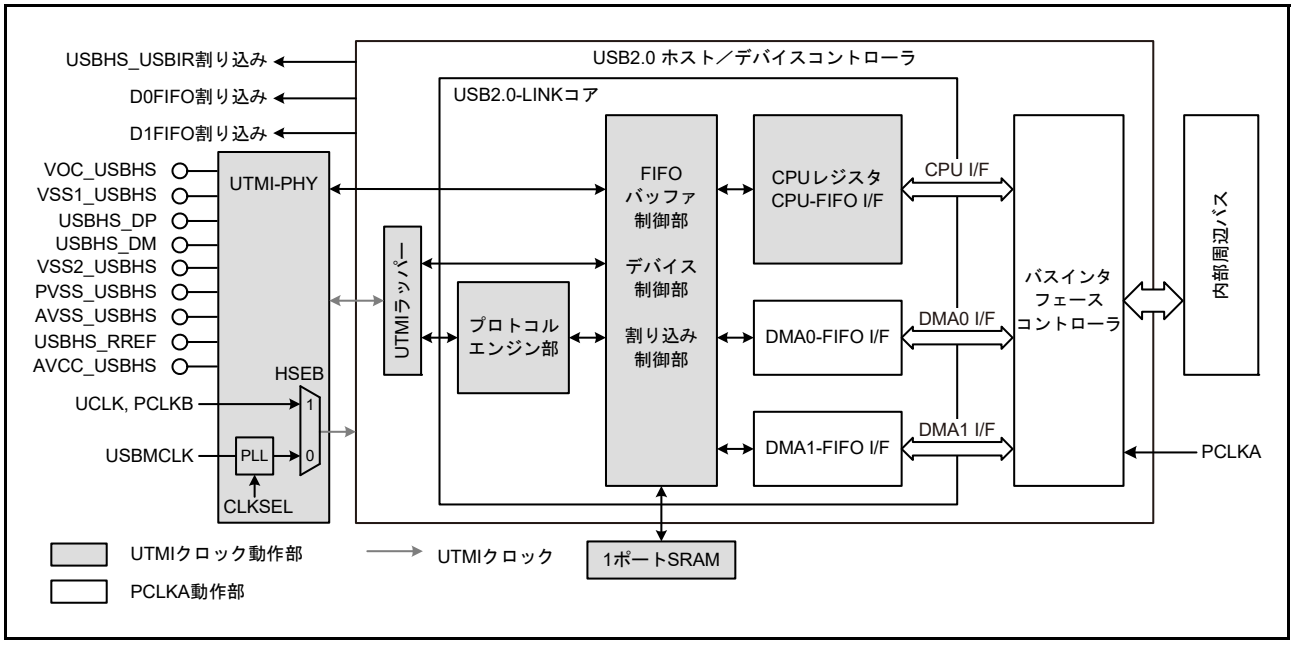


図 33.1　　USBHS のブロック図

表 33.2　　USBHSの入出力端子

端子名	入出力	機能
VCC_USBHS	入力	USBHS用電源端子
VSS1_USBHS VSS2_USBHS	入力	USBHS用グランド端子
AVCC_USBHS	入力	USBHS用のアナログ電源端子
AVSS_USBHS	入力	USBHS用のアナロググランド端子 PVSS_USBHS端子とショートしてください。
PVSS_USBHS	入力	USBHS用のPLL回路のグランド端子 AVSS_USBHS端子とショートしてください。
USBHS_RREF	入出力	USBHS用の基準電流源端子 2.2kΩ（± 1%）の抵抗を介してAVSS_USBHS端子に接続してください。
USBHS_DP	入出力	USBバスのD+ データラインの入出力端子
USBHS_DM	入出力	USBバスのD- データラインの入出力端子
USBHS_EXICEN	出力	OTG電源ICに接続してください。
USBHS_ID	入力	OTG電源ICに接続してください。
USBHS_VBUSEN	出力	USBHS用のVBUS電源イネーブル端子
USBHS_OVRCURA/ USBHS_OVRCURB	入力	USBHS用オーバーカレント端子
USBHS_VBUS	入力	USBケーブル接続モニタ入力端子

33.2 レジスタの説明

33.2.1 システムコンフィグレーションコントロールレジスタ（SYSCFG）

アドレス USBHS.SYSCFG 4006 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CNEN	HSE	DCFM	DRPD	DPRPU	—	—	—	USBE
リセット後の値	x	x	x	x	x	x	x	0	0	0	1	0	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	USBE	USBHS動作許可	0：無効 1：有効	R/W
b3-b1	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b4	DPRPU	D+ライン抵抗制御	0：ラインのプルアップは禁止 1：ラインのプルアップは許可	R/W
b5	DRPD	D+/D-ライン抵抗制御	0：ラインのプルダウンは禁止 1：ラインのプルダウンは許可	R/W
b6	DCFM	コントローラ動作選択	0：デバイスコントローラモード選択 1：ホストコントローラモード選択	R/W
b7	HSE	ハイスピード動作許可	0：禁止 デバイスコントローラモード：フルスピード ホストコントローラモード：フルまたはロースピード 1：有効 コントローラが通信速度を検出	R/W
b8	CNEN	シングルエンドレシーバ許可	0：無効 1：有効	R/W
b15-b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

PHY クロック停止中も、SYSCFG レジスタへの書き込みが可能です。ただし、書き込んだ値が SYSCFG レジスタに反映されるのは、PHY クロックの発振再開後です。

USBE ビット（USBHS 動作許可）

USBHS の動作禁止／許可を指定します。

USBE ビットを 1 から 0 に変更したときに初期化されるビットを表 33.3 に示します。このビットは、PHYSET.CLKSEL[1:0] ビットで入力クロックを指定して、PLLSTA.PLLLOCK フラグが 1 であることを確認した後にのみ変更してください。CL-only モードでは、PHYSET.HSEB ビットを 1 にした後に USBE ビットを変更します。その際、UCLK は 48MHz、PCLKB は 60MHz に設定する必要があります。クロック設定は、33.3.3 クロック供給を参照してください。

ホストコントローラモード時は、DRPD ビットを 1 にした後、SYSSTS0.LNST[1:0] ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、USBE ビットを 1 にしてください。

表 33.3 SYSCFG.USBE = 0の書き込みで初期化されるビット

選択した機能	レジスタ	ビット	備考
デバイスコントローラ (DCFM = 0)	SYSSTS0	LNST[1:0]	値はホストコントローラモードで保持されます。
	DVSTCTR0	RHST[2:0]	-
	PL1CTRL1	DVSQ[3:0]	値はホストコントローラモードで保持されます。
	USBADDR	USBADDR[6:0]	値はホストコントローラモードで保持されます。
	USBREQ	BREQUEST[7:0] BMREQUESTTYPE[7:0]	値はホストコントローラモードで保持されます。
	USBVAL	WVALUE[15:0]	値はホストコントローラモードで保持されます。
	USBINDX	WINDEX[15:0]	値はホストコントローラモードで保持されます。
	USBLENG	WLENTUH[15:0]	値はホストコントローラモードで保持されます。
ホストコントローラ (DCFM = 1)	DVSTCTR0	RHST[2:0]	-
	FRMNUM	FRNM[10:0]	値はデバイスコントローラモードで保持されます。
	UFRMNUM	UFRNM[2:0]	値はデバイスコントローラモードで保持されます。

DPRPU ビット（D+ ライン抵抗制御）

デバイスコントローラモード時、D+ ラインのプルアップの許可／禁止を指定します。

デバイスコントローラモード時に DPRPU ビットを 1 にすると、USBHS は D+ ラインをプルアップし、USB ホストに対してアタッチを通知することができます。DPRPU ビットを 1 から 0 に変更するとプルアップが解除されるので、USB ホストに対してデタッチを通知することができます。

デバイスコントローラモードでは 1、ホストコントローラモードでは 0 にしてください。

DRPD ビット（D+/D- ライン抵抗制御）

ホストコントローラモード時、D+/D- ラインのプルダウンの許可／禁止を指定します。

このビットを 1 にするのは、ホストコントローラモード時に行ってください。デバイスコントローラモード時で OTG を使用しない場合、0 にしてください。

DCFM ビット（コントローラ動作選択）

USBHS の機能をホスト機能にするかデバイス機能にするかを選択します。

このビットの変更は、DPRPU ビットおよび DRPD ビットの両方が 0 のときのみ行ってください。

HSE ビット（ハイスピード動作許可）

ハイスピード動作を許可または禁止します。

このビットが 1 のとき、USBHS はリセットハンドシェイクの結果に基づきハイスピード動作またはフルスピード動作を行います。

ホストコントローラモードでこのビットを 0 にすると、USBHS はロースピードまたはフルスピードで動作します。DVSTCTR0.RHST[2:0] フラグがロースピードのデバイスがアタッチされたことを示す場合、HSE ビットは 0 にしてください。

ホストコントローラモードで、このビットを 1 にすると、USBHS はリセットハンドシェイクの結果に基づきハイスピード動作またはフルスピード動作を行います。アタッチイベント（ATTCH 割り込み）検出後 USB バスリセット（DVSTCTR0.USBRST = 1 の場合）前に、またはデタッチイベント検出後に、HSE ビットを変更してください。

デバイスコントローラモードでこのビットを 0 にすると、USBHS はフルスピードで動作します。このビットを 1 にすると、USBHS はリセットハンドシェイクを実行し、その結果に応じてハイスピード動作またはフルスピード動作を行います。

デバイスコントローラモードでは、DPRPU ビットが 0 の場合にのみこのビットを変更してください。

CNEN ビット（シングルエンドレシーバ許可）

CNEN ビットを 1 にすると、シングルエンドレシーバの動作が有効となり、SYSSTS0.LNST[1:0] フラグにより D+ および D- ラインのステータスをモニタできます。CNEN ビットは、USBHS がデタッチされているときに端子がフローティングになることによって発生する、シングルエンドレシーバの動作時に発生する貫通電流による破損を防ぐためのビットです。

ホストコントローラモード時は、PHY クロックが供給されていることを確認してから、CNEN ビットを 1 にします。デバイスコントローラモード時は、VBUS 割り込みにより VBUS を検出したときは 1 を、VBUS ラインが取り除かれたときは 0 にしてください。

33.2.2 CPU バスウェイトレジスタ（BUSWAIT）

アドレス USBHS.BUSWAIT 4006 0002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	BWAIT[3:0]			
リセット後の値	x	x	0	0	0	0	0	0	x	x	0	0	1	1	1	1

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	BWAIT[3:0]	CPUバスアクセスウェイト仕様	b3 b0 0 0 0 0：0ウェイト（アクセスサイクル2） ： 0 0 1 0：2ウェイト（アクセスサイクル4） ： 0 1 0 0：4ウェイト（アクセスサイクル6） ： 1 1 1 1：15ウェイト（アクセスサイクル17）（初期値）	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b13-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

BWAIT[3:0] ビット（CPU バスアクセスウェイト仕様）

BWAIT[3:0] ビットは、USBHS レジスタへのアクセスの待ち時間を指定します。

4006 0004h 番地以降のアドレスのレジスタにアクセスする場合、連続アクセスのためのサイクル時間を 40.8ns 以上にする必要があります。初期値は 1111b（17 サイクル）ですが、この条件を満たすように、アプリケーションの CPU クロック周波数に応じた最適な待ち時間を設定することをお勧めします。

なお、この設定は、FIFO ポートレジスタへのアクセスの待ち時間と同じです。FIFO ポートへの最大アクセススピードは以下のとおりです。

- MBW[1:0] = 10b（32 ビット幅）のとき：最大 60MB/s
- MBW[1:0] = 01b（16 ビット幅）のとき：最大 30MB/s
- MBW[1:0] = 00b（8 ビット幅）のとき：最大 15MB/s

33.2.3 システムコンフィグレーションステータスレジスタ（SYSSTS0）

アドレス USBHS.SYSSTS0 4006 0004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVCMON[1:0]		—	—	—	—	—	—	—	HTACT	SOFEA	—	—	IDMON	LNST[1:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	LNST[1:0]	USBデータラインステータスモニタフラグ	USBデータラインのステータスが表示されます。 表 33.4 を参照してください。	R
b2	IDMON	USBHS_ID端子モニタフラグ	0：USBHS_ID端子がLow 1：USBHS_ID端子がHigh	R
b4-b3	—	予約ビット	読むと不定値が読めます。	R
b5	SOFEA	ホストコントローラ動作選択時のSOFアクティブモニタフラグ	0：SOF出力停止 1：SOF出力動作	R
b6	HTACT	ホストシーケンサステータスモニタフラグ	0：ホストシーケンサ停止 1：ホストシーケンサ動作	R
b13-b7	—	予約ビット	読むと不定値が読めます。	R
b15-b14	OVCMON[1:0]	外部USBHS_OVRCURA/USBHS_OVRCURB入力端子モニタフラグ	OVCMON[1]は、USBHS_OVRCURA端子のステータスを示します。OVCMON[0]は、USBHS_OVRCURB端子のステータスを示します。	R

LNST[1:0] フラグ（USB データラインステータスモニタフラグ）

USB データバスライン（D+ ライン、D- ライン）のステータスが表示されます。詳細は、表 33.4 を参照してください。

デバイスコントローラモード時、LNST[1:0] フラグの読み出しは、SYSCFG.CNEN ビットおよび SYSCFG.USBE ビットを 1 にした後で行ってください。ホストコントローラモード時は、LNST[1:0] フラグの読み出しは SYSCFG.DRPD ビットを 1 にした後で行ってください。

デバイスコントローラモード時、バッテリチャージ機能を使用してハードウェアによるコンタクトの確認を行う場合、SYSCFG.DRPD ビット、SYSCFG.CNEN ビット、および BCCTRL.IDPSRCE ビットを 1 にした後で、LNST[1:0] フラグを読み出してください。詳細は、33.3.15 Battery Charging 検知処理を参照してください。

表 33.4 USB データバスライン（D+、D-）のステータス

LNST[1]	LNST[0]	ロースピード動作時（ホストコントローラモードのみ）	フルスピード動作時	ハイスピード動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
0	1	K-State	J-State	Unsquelch	Chirp J
1	0	J-State	K-State	無効	Chirp K
1	1	SE1	SE1	無効	無効

Chirp： ハイスピード動作許可時（HSE ビットが 1 のとき）、リセットハンドシェイクプロトコルが実行されています。
Squelch： SE0 またはアイドルステート
Unsquelch： ハイスピード J-State またはハイスピード K-State
Chirp J： Chirp J-State
Chirp K： Chirp K-State

SOFEA フラグ（ホストコントローラ動作選択時の SOF アクティブモニタフラグ）

ホストコントローラモードで、DVSTCTR0.UACT ビットが 0 のため USBHS が停止した場合に、最後の SOF 出力が完了したかどうかを確認するために、SOFEA フラグを使用します。

ホストコントローラモードでは、HTACT フラグと SOFEA フラグの両方が 0 であることを確認してから、SYSCFG.USBE ビットを 0 にして USBHS を停止する、または LPSTS.SUSPENDM ビットを 0 にして通信中のクロック信号供給を停止してください。

HTACT フラグ（ホストシーケンサステータスモニタフラグ）

USBHS のホストシーケンサが完全に停止しているとき、HTACT フラグは 0 になります。

ホストコントローラモードでは、HTACT フラグが 0 であることを確認してから、DVSTCTR0.UACT ビットを 0 にして USBHS を Suspended ステートにする、または LPSTS.SUSPENDM ビットを 0 にして通信中のクロック信号供給を停止してください。

OVCMON[1:0] フラグ（外部 USBHS_OVRCURA/USBHS_OVRCURB 入力端子モニタフラグ）

外部電源 IC からのオーバーカレント信号のステータスが表示されます。

33.2.4 PLL ステータスレジスタ（PLLSTA）

アドレス USBHS.PLLSTA 4006 0006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PLLLOCK
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	PLLLOCK	PLL ロックフラグ	0：PLL はロックしていない 1：PLL はロックしている	R
b15-b1	—	予約ビット	読むと不定値が読めます。	R

PLLLOCK フラグ（PLL ロックフラグ）

USB-PHY に内蔵されている PLL がロックしているかどうかを示すフラグです。CL only モードを使用しない場合は、USB 通信を行う前に PLL がロックしていることを確認してください。

33.2.5 デバイスステートコントロールレジスタ 0（DVSTCTR0）

アドレス USBHS.DVSTCTR0 4006 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HNPBTOA	EXICEN	VBUSEN	WKUP	RWUPE	USBRST	RESUME	UACT	—	RHST[2:0]		
リセット後の値	x	x	x	x	0	0	0	0	0	0	0	0	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	RHST[2:0]	USBバスリセットステータスフラグ	• ホストコントローラモード b2 b0 0 0 0：通信速度不定 （パワード時または非接続時） 1 x x：USBバスリセット処理中 0 0 1：ロースピード接続時 0 1 0：フルスピード接続時 0 1 1：ハイスピード接続時 x：Don't care • デバイスコントローラモード b2 b0 0 0 0：通信速度不定 （パワード時または非接続時） 0 0 1：USBバスリセット処理中またはロースピード接続時 0 1 0：USBバスリセット処理中またはフルスピード接続時 0 1 1：USBバスリセット処理中またはハイスピード接続時	R
b3	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b4	UACT	ホストコントローラ動作用USBバス動作許可	0：ダウンポート動作禁止（SOFまたはmicro-SOF送出禁止） 1：ダウンポート動作許可（SOFまたはmicro-SOF送出許可）	R/W
b5	RESUME	ホストコントローラ動作用レジューム信号出力	0：レジューム信号を出力しない 1：レジューム信号を出力する	R/W
b6	USBRST	ホストコントローラ動作用USBバスリセット出力	0：USBバスリセット信号を出力しない 1：USBバスリセット信号を出力する	R/W
b7	RWUPE	ホストコントローラ動作用リモートウェイクアップ検出許可	0：ダウンポートリモートウェイクアップ禁止 1：ダウンポートリモートウェイクアップ許可	R/W
b8	WKUP	デバイスコントローラ動作用リモートウェイクアップ出力	0：リモートウェイクアップ信号を出力しない 1：リモートウェイクアップ信号を出力する	R/W
b9	VBUSEN	USBHS_VBUSEN出力端子制御	0：外部USBHS_VBUSEN端子はLowを出力 1：外部USBHS_VBUSEN端子はHighを出力	R/W
b10	EXICEN	USBHS_EXICEN出力端子制御	0：外部USBHS_EXICEN端子はLowを出力 1：外部USBHS_EXICEN端子はHighを出力	R/W
b11	HNPBTOA	ホストネゴシエーションプロトコル（HNP）制御	OTGモードで、Bデバイスから Aデバイスに切り替えるときに使用します。HNPBTOAビットが1であれば、内部機能制御はSYSCFG.DPRPU = 0またはSYSCFG.DCFM = 1にしてもHNP処理が終了するまでSuspendedステートを保ちます。	R/W
b15-b12	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

RHST[2:0] フラグ（USB バスリセットステータスフラグ）

RHST[2:0] フラグは、USB バスリセットステータスを示します。

ホストコントローラモード時、USBRST ビットを 1 にすると RHST[2:0] フラグが 100b になります。USBRST ビットに 0 を書き込み、USBHS が SE0 ステートで終了した場合、RHST[2:0] フラグが新しい値に更新されます。

デバイスコントローラモードで、USBHS が USB バスリセットを検出した場合、DPRPU ビットが 1 のときにアタッチイベントが発生すると RHST[2:0] フラグが 010b になります。

UACT ビット（ホストコントローラ動作用 USB バス動作許可）

ホストコントローラモード時に 1 にすると、USB バスへの SOF パケットの送信（データと受信含む）を制御して、USB バス動作を許可します。このビットを 1 にしてから 1 フレーム時間内に、USBHS が SOF パケット出力を開始します。UACT ビットを 0 にした場合、USBHS は SOF パケット出力後アイドル状態に遷移します。

以下の場合、USBHS は UACT ビットを 0 にします。

- 通信中（UACT ビットが 1 のとき）に DTCH 割り込みを検出した場合
- 通信中（UACT ビットが 1 のとき）に EOFERR 割り込みを検出した場合

UACT ビットに 1 を書くときは、必ず、USB バスリセット処理終了時（USBRST ビットへの 0 書き込み）、または Suspended ステートからのレジューム処理終了時（RESUME ビットへの 0 書き込み）のいずれかのタイミングで行ってください。

USBHS は、HL1CTRL1.L1REQ ビットが 1 のとき、LPM トークンに対して ACK 応答を受信すると UACT ビットを 0 にします。また、L1 ステートからのレジューム処理終了時に、UACT ビットを 1 にします。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

RESUME ビット（ホストコントローラ動作用レジューム信号出力）

ホストコントローラモードで、レジューム信号の出力制御を行います。このビットを 1 にすると、USBHS は USB ポートを K-State にドライブし、レジューム信号を出力します。RWUPE ビットが 1 で USB Suspended ステートのときにリモートウェイクアップ信号を検出すると、USBHS はこのビットを 1 にします。また、RESUME ビットが 1 のとき、ソフトウェアが RESUME ビットを 0 にするまで、USBHS は K-State 出力を継続します。RESUME ビットが 1 の期間（レジューム期間）は、USB2.0 規格に定められた時間を確保してください。このビットへの 1 書き込みは、インタフェースが Suspended ステートのときのみ行ってください。レジューム処理終了（RESUME ビットへの 0 書き込み）と同時に UACT ビットに 1 を書いてください。

L1 ステートへの変遷時に RESUME ビットを 1 にすると、USBHS は USB ポートを K-State にドライブし、レジューム信号を出力します。HL1CTRL2.HIRD[3:0] ビットに設定されているレジューム期間の終了後に USBHS は RESUME ビットを 0 にします。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

USBRST ビット（ホストコントローラ動作用 USB バスリセット出力）

ホストコントローラモード時に、USB バス信号の出力制御を行います。USBRST ビットを 1 にすると、USBHS は USB ポートを SE0 ステートにドライブして、USB バスをリセットします。USBHS は、USBRST ビットが 1 の期間、ソフトウェアで USBRST ビットを 0 にするまで SE0 出力を継続します。USBRST ビットが 1 の期間（USB バスリセット期間）は、USB2.0 規格に定められた時間を確保してください。通信中（UACT ビットが 1）またはレジューム処理中（RESUME ビットが 1）に USBRST ビットに 1 を書き込むと、USBHS は UACT ビットおよび RESUME ビットの両方が 0 の状態になるまで USB バスリセットを開始しません。UACT ビットへの 1 の書き込みは、USB バスリセット処理の終了（USBRST ビットへの 0 の書き込み）と同時に行ってください。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

RWUPE ビット（ホストコントローラ動作用リモートウェイクアップ検出許可）

ホストコントローラモード時に、ダウンポートの周辺デバイスからのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。このビットを 1 にすると、USBHS はダウンポートに接続された周辺デバイスからのリモートウェイクアップ信号（2.5µs 間の K-State）を検出し、レジューム処理を実行して K-State にします。RWUPE ビットを 0 にすると、USBHS は USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号（K-State）を検出しても無視します。

RWUPE ビットが 1 の間は、Suspended ステートでも PHY クロックを停止しないでください（LPSTS.SUSPENDM ビットは 1 にする必要があります）。また、Suspended ステート中は、USB バスをリセット（USBRST ビットを 1 にする）しないでください。これは、USB2.0 規格で禁止されています。

RWUPE ビットは、L1 ステートへの遷移時におけるリモートウェイクアップ信号の検出を許可または禁止するためにも使用できます。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

WKUP ビット（デバイスコントローラ動作用リモートウェイクアップ出力）

デバイスコントローラモード時に、USB バスへのリモートウェイクアップ信号（レジューム信号）の受け付けを許可または禁止します。

USBHS は、リモートウェイクアップ信号の出力タイミングを管理しています。このビットを 1 にすると、USBHS は 10ms の K-State を出力した後、ビットを 0 にします。USB2.0 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、USBHS が Suspended ステートを検出した直後に WKUP ビットを 1 にすると、2ms 後に K-State が出力されます。

WKUP ビットへの 1 の書き込みは、デバイスが Suspended ステート（PL1CTRL1.DVSQ[3:0] フラグが 01xxb）で、かつ USB ホストからリモートウェイクアップ信号が許可されている（RWUPE = 1）場合にのみ行ってください。このビットが 1 の間は、Suspended ステートでも PHY クロックを停止しないでください（LPSTS.SUSPENDM ビットは 1 にする必要があります）。

L1 ステートへの遷移時に WKUP ビットを 1 にすると、USBHS は 50µs の K-State を出力してから WKUP ビットを 0 にします。L1 ステート時に WKUP ビットを 1 にする前に、PL1CTRL1.DVSQ[3:0] フラグが 10xxb であることを確認してください。

ホストコントローラモードでは、このビットを必ず 0 にしてください。

HNPBTOA ビット（ホストネゴシエーションプロトコル（HNP）制御）

OTG モードにて使用時に、B デバイスから A デバイスに切り替えるときに使用します。

HNPBTOA ビットが 1 の場合、SYSCFG.DPRPU ビットを 0 または SYSCFG.DCFM ビットを 1 にしても、内部機能制御は HNP 処理が終了するまで Suspended ステートを維持します。D+ の立ち下がりを検出しても、レジューム割り込み（RESM）は発生しません。

HNP 処理は、開始者によりプルアップされたためにホストアタッチイベントが検出されたとき、または HNP 処理がタイムアウトしたために、ソフトウェアが HNPBTOA ビットを 0 にしたときに終了します。

33.2.6 USB テストモードレジスタ（TESTMODE）

アドレス USBHS.TESTMODE 4006 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	UTST[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	UTST[3:0]	テストモード	USBテスト信号を出力します。表 33.5を参照してください。	R/W
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

UTST[3:0] ビット（テストモード）

UTST[3:0] ビットに値を書き込むと、USBHS はハイスピード動作モードで USB テスト信号を出力できます。表 33.5 に、テストモード動作設定を示します。

表 33.5 テストモード動作設定

テストモード	UTST[3:0]ビットの設定	
	デバイスコントローラモード時	ホストコントローラモード時
通常動作	0000b	0000b
Test_J	0001b	1001b
Test_K	0010b	1010b
Test_SE0_NAK	0011b	1011b
Test_Packet	0100b	1100b
Test_Force_Enable	—	1101b
予約ビット	0101b-0111b	1110b-1111b

ホストコントローラモード

ホストコントローラモード時、これらのビットの設定は SYSCFG.DRPD ビットを 1 にした後で行ってください。UTST[3:0] ビット設定後、DVSTCTR0.UACT ビットを 1 にすると、USBHS は USB ポートに波形を出力します。また、ホストコントローラモード時にこれらのビットを設定すると、USBHS は USB ポートのハイスピード終了を行います。

ホストコントローラモードで UTST[3:0] ビットを設定するには：

1. ハードウェアをリセットする。
2. PHY クロックの供給を開始してから LPSTS.SUSPENDM ビットを 1 にする。
3. SYSCFG.DCFM ビットおよび SYSCFG.DRPD ビットを 1 にする（SYSCFG.HSE ビットを 1 にする必要はありません）。
4. SYSCFG.USBE ビットを 1 にする。
5. テスト要件に基づいて UTST[3:0] ビットを設定する。
6. DVSTCTR0.UACT ビットを 1 にする。

ホストコントローラモード時

初期手順 1 ～ 6 がすでに完了している状態で、ホストコントローラモードで UTST[3:0] ビットを変更するには：

1. DVSTCTR0.UACT ビットおよび SYSCFG.USBE ビットを 0 にする。
2. SYSCFG.USBE ビットを 1 にする。
3. テスト要件に基づいて UTST[3:0] ビットを設定する。
4. DVSTCTR0.UACT ビットを 1 にする。

UTST[3:0] ビットが 1011b（Test_SE0_NAK）のとき、USBHS は DVSTCTR0.UACT ビットが 1 のポートに SOF パケットを出力しません。

UTST[3:0] ビットが 1101b（Test_Force_Enable）のとき、USBHS は DVSTCTR0.UACT ビットが 1 のポートに SOF パケットを出力します。このテストモードでは、USBHS はハイスピードデタッチイベント（DTCH 割り込み）を検出した場合でも、アタッチ検出に関連するハードウェアを制御しません。

すべてのパイプコントロールレジスタの PID[1:0] ビットを 00b（NAK 応答）にしてから UTST[3:0] ビットを設定します。テストモード設定後に通常の USB 通信を行うには、ハードウェアリセットを発行します。

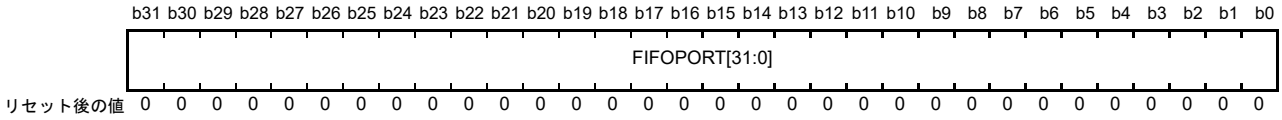
デバイスコントローラモード

デバイスコントローラモード時は、ハイスピード通信時に USB ホストからの SetFeature リクエストを使ってこれらのビットを設定します。これらのビットが 0001b-0100b のとき、USBHS は Suspended ステートに遷移しません。テストモード設定後に通常の USB 通信を行うには、ハードウェアリセットを発行します。

33.2.7 CFIFO ポートレジスタ（CFIFO）
D0FIFO ポートレジスタ（D0FIFO）
D1FIFO ポートレジスタ（D1FIFO）

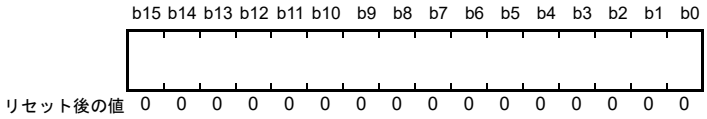
- ワードアクセス

アドレス USBHS.CFIFO 4006 0014h, USBHS.D0FIFO 4006 0018h, USBHS.D1FIFO 4006 001Ch



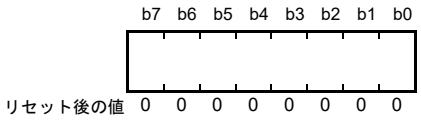
- ハーフワードアクセス

アドレス USBHS.CFIFOL 4006 0014h, USBHS.CFIFOH 4006 0016h,
USBHS.D0FIFOL 4006 0018h, USBHS.D0FIFOH 4006 001Ah,
USBHS.D1FIFOL 4006 001Ch, USBHS.D1FIFOH 4006 001Eh



- バイトアクセス

アドレス USBHS.CFIFOLL 4006 0014h, USBHS.CFIFOHH 4006 0017h,
USBHS.D0FIFOLL 4006 0018h, USBHS.D0FIFOHH 4006 001Bh,
USBHS.D1FIFOLL 4006 001Ch, USBHS.D1FIFOHH 4006 001Fh



ビット	シンボル	ビット名	機能	R/W
b31-b0	FIFOPORT（注1）	FIFOポート	これらのビットにアクセスして、FIFOバッファからの受信データの読み出しまたはFIFOバッファへの送信データの書き込みを行います。	R/W

注 1. 有効ビットは、関連するポート選択レジスタの MBW[1:0] ビットおよび BIGEND ビットの設定により異なります。

下記の 3 つの FIFO ポートが用意されています。

- CFIFO
- D0FIFO
- D1FIFO

各 FIFO ポートの構成は以下のとおりです。

- FIFO バッファからのデータの読み出しおよび FIFO バッファへのデータの書き込みを行うポートレジスタ（CFIFO、D0FIFO、または D1FIFO）
- FIFO ポートに割り当てられたパイプを選択するポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）
- ポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）

各 FIFO ポートには、下記の制限事項があります。

- DCP コントロール転送用 FIFO バッファへのアクセスは CFIFO ポートを通して行います。
- DMA または DTC 転送用 FIFO バッファへのアクセスは D0FIFO または D1FIFO ポートを通して行います。
- CPU による D0FIFO あるいは D1FIFO ポートアクセスも可能です。
- DMA または DTC 転送機能などの FIFO ポート固有の機能を使用している場合、ポート選択レジスタの CURPIPE[3:0] ビットで選択したパイプ番号は変更できません。
- FIFO ポートを設定するレジスタ群が他の FIFO ポートに影響を与えることはありません。
- 同一パイプを別々の FIFO ポートに割り当てないでください。
- FIFO バッファの状態には、アクセス権が CPU 側にある場合と SIE（Serial Interface Engine）側にある場合の 2 つの状態があります。アクセス権が SIE 側にある場合、CPU から FIFO バッファへアクセスすることはできません。

FIFOPORT ビット（FIFO ポート）

FIFOPORT ビットにアクセスすると、USBHS は FIFO バッファからの受信データの読み出し、または FIFO バッファへの送信データの書き込みを行います。FIFO ポートレジスタへのアクセスは、関連するポートコントロールレジスタ（CFIFOCTR、D0FIFOCTR、または D1FIFOCTR）の FRDY フラグが 1 のときに限り可能です。

FIFO ポートレジスタの有効ビットは、ポート選択レジスタ（CFIFOSEL、D0FIFOSEL、または D1FIFOSEL）の MBW[1:0] ビットおよび BIGEND ビットの設定値により異なります。表 33.6 ～表 33.8 を参照してください。

.

表 33.6　32 ビットアクセス時のエンディアン動作表（MBW[1:0]が10b）

BIGEND	CFIFO, D0FIFO, D1FIFO b31-b24	CFIFO, D0FIFO, D1FIFO b23-b16	CFIFO, D0FIFO, D1FIFO b15-b8	CFIFO, D0FIFO, D1FIFO b7-b0	備考
0	N+3に配置	N+2に配置	N+1に配置	N+0に配置	送信データはアドレスN+0から送信。 受信データはアドレスN+0から保存。
1	N+0に配置	N+1に配置	N+2に配置	N+3に配置	送信データはアドレスN+3から送信。 受信データはアドレスN+3から保存。

表 33.7　16 ビットアクセス時のエンディアン動作表（MBW[1:0]が01b）

BIGEND	CFIFOL, D0FIFOL, D1FIFOL b15-b8	CFIFOL, D0FIFOL, D1FIFOL b7-b0	CFIFOH, D0FIFOH, D1FIFOH b15-b8	CFIFOH, D0FIFOH, D1FIFOH b7-b0	備考
0	アクセス禁止（注1）		N+1に配置	N+0に配置	送信データはアドレスN+0から送信。 受信データはアドレスN+0から保存。
1	N+0に配置	N+1に配置	アクセス禁止（注1）		送信データはアドレスN+1から送信。 受信データはアドレスN+1から保存。

注 1.　これらの領域に対する書き込みや読み出しは禁止されています。

表 33.8 8ビットアクセス時のエンディアン動作表（MBW[1:0]が00b）

BIGEND	CFIFOLL, D1FIFOLL, D0FIFOLL	CFIFOHH, D1FIFOHH, D0FIFOHH
0	アクセス禁止（注1）	N+0に配置
1	N+0に配置	アクセス禁止（注1）

注 1. これらの領域に対する書き込みや読み出しは禁止されています。

33.2.8 CFIFO ポート選択レジスタ（CFIFOSEL）

アドレス USBHS.CFIFOSEL 4006 0020h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	—	—	MBW[1:0]		—	BIGEND	—	—	ISEL	—	CURPIPE[3:0]			
リセット後の値	0	0	x	x	0	0	x	0	x	x	0	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定	b3 b0 0 0 0 0：DCP（デフォルトコントロールパイプ） 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外は設定しないでください。	R/W
b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b5	ISEL	DCP選択時のFIFOポートアクセス方向	0：FIFOバッファ読み出し選択 1：FIFOバッファ書き込み選択	R/W
b7-b6	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b8	BIGEND	FIFOポートエンディアン制御	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b11-b10	MBW[1:0]	CFIFOポートアクセスビット幅	b11 b10 0 0：8ビット幅 0 1：16ビット幅 1 0：32ビット幅 1 1：設定禁止	R/W
b13-b12	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b14	REW	バッファポインタリワインド	0：バッファポインタをリワインドしない（0の書き込みは無効です） 1：バッファポインタをリワインドする	W
b15	RCNT	リードカウントモード	0：CFIFOからすべての受信データ読み出し時に、FIFOポートコントロールレジスタのDTLN[11:0]フラグを000hにする 1：CFIFOから受信データ読み出しごとにDTLN[11:0]フラグをデクリメント	R/W

CFIFOSEL、D0FIFOSEL、およびD1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を指定しないでください。

なお、DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（FIFO ポートアクセスパイプ指定）

CURPIPE[3:0] ビットは、CFIFO ポート経由でデータの読み出しまたは書き込みに使用するパイプ番号を指定します。CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0] の設定値を変更しようとしても、アクセスが完了するまでパイプ指定が維持されます。CURPIPE[3:0] ビットへ現在値を書き戻すと、アクセスが継続されます。

ISEL ビット（DCP 選択時の FIFO ポートアクセス方向）

選択パイプが DCP のときに、ISEL ビットに新しい値を書き込んだ場合、ISEL ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。ISEL ビットと CURPIPE[3:0] ビットの設定は同時に行ってください。

BIGEND ビット（FIFO ポートエンディアン制御）

CFIFO ポートのバイトエンディアン順序を、エンディアン選択レジスタ（MDE）で選択されたのと同じにするには、BIGEND ビットを使用します。

MBW[1:0] ビット（CFIFO ポートアクセスビット幅）

CFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みによって FIFO バッファからの読み出しが開始されたら、すべてのデータの読み出しが完了するまで、ビットの変更を行わないでください。FIFO バッファを読み出すときは、MBW[1:0] に設定されているアクセスサイズで読み出してください。

選択パイプが送信方向の場合、CURPIPE[3:0] ビットと MBW[1:0] ビットを同時に設定してください。FIFO バッファへのデータの書き込み中は、ビット幅を 8 ビットから 16 ビットまたは 32 ビット、または 16 ビットから 32 ビットには変更できません。

なお、16 ビット幅または 32 ビット幅に設定している場合でも、バイトアクセス制御を実施することにより、奇数バイトの書き込みが可能です。

REW ビット（バッファポインタリワインド）

バッファポインタのリワインドをする／しないを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中にこのビットを 1 にすると、FIFO バッファの最初のデータから再読み出しを行うことができます。すでに読み出し進行中でダブルバッファ機能を使用している場合、この設定によりいずれの FIFO バッファでも最初のデータから読み出せます。

このビットを 1 にする設定変更と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。このビットを 1 にするときは、FRDY フラグが 1 であることを必ず確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモード）

RCNT ビットが 0 の場合、CURPIPE[3:0] ビットに指定したパイプの FIFO バッファから全受信データの読み出しが終了したとき、またはダブルバッファモードの場合は 1 面分の読み出しが終了したとき、USBHS は CFIFOCTR.DTLN[11:0] フラグを 0 にします。

RCNT ビットを 1 にすると、CURPIPE[3:0] ビットに指定したパイプの FIFO バッファから受信データを読み出すたびに、USBHS は CFIFOCTR.DTLN[11:0] フラグの値をデクリメントします。

33.2.9 D0FIFO ポート選択レジスタ（D0FIFOSEL）
D1FIFO ポート選択レジスタ（D1FIFOSEL）

アドレス USBHS.D0FIFOSEL 4006 0028h, USBHS.D1FIFOSEL 4006 002Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RCNT	REW	DCLRM	DREQE	MBW[1:0]		—	BIGEND	—	—	—	—	CURPIPE[3:0]			
リセット後の値	0	0	0	0	0	0	x	0	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	CURPIPE[3:0]	FIFOポートアクセスパイプ指定	b3 b0 0 0 0 0：パイプ指定なし 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外は設定しないでください。	R/W
b7-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b8	BIGEND	FIFOポートエンディアン制御	0：リトルエンディアン 1：ビッグエンディアン	R/W
b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b11-b10	MBW[1:0]	FIFOポートアクセスビット幅	b11 b10 0 0：8ビット幅 0 1：16ビット幅 1 0：32ビット幅 1 1：設定禁止	R/W
b12	DREQE	DMA/DTC転送要求許可	0：DMA/DTC転送要求禁止 1：DMA/DTC転送要求許可	R/W
b13	DCLRM	指定パイプ読み出し後自動FIFOバッファクリアモード	0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可	R/W
b14	REW	バッファポインタリワインド	0：バッファポインタをリワインドしない（0の書き込みは無効です） 1：バッファポインタをリワインドする	W
b15	RCNT	リードカウントモード	0：DnFIFOの全受信データ読み出し終了時（ダブルバッファモード時は1面のみ読み出し終了時）に、FIFOポートコントロールレジスタのDTLN[11:0]フラグを000hにする 1：DnFIFOから受信データ読み出しごとにDTLN[11:0]フラグをデクリメント n = 0, 1	R/W

CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を指定しないでください。D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットの設定が 0000b の場合には、パイプ指定なしとなります。

なお、DMA または DTC 転送が許可されている状態でパイプ番号の変更は行わないでください。

CURPIPE[3:0] ビット（FIFO ポートアクセスパイプ指定）

DnFIFO ポート経由でのデータの読み出し／書き込みに使用するパイプ番号を指定します。CURPIPE[3:0] ビットを変更するときは、CURPIPE[3:0] ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。CFIFOSEL、D0FIFOSEL および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに同じパイプ番号を設定しないでください。

FIFO バッファへのアクセス中は、ソフトウェアが CURPIPE[3:0] の設定値を変更しようとしても、アクセスが完了するまでパイプ指定が維持されます。CURPIPE[3:0] ビットへ現在値を書き戻すと、アクセスが継続されます。

BIGEND ビット（FIFO ポートエンディアン制御）

D0FIFO または D1FIFO ポートのバイトエンディアン順序を、エンディアン選択レジスタ（MDE）で選択されたのと同じにするには、BIGEND ビットを使用します。

MBW[1:0] ビット（FIFO ポートアクセスビット幅）

DnFIFO ポートへのアクセスビット幅を指定します。

選択パイプが受信方向の場合、これらのビットへの書き込みによって FIFO バッファからの読み出しが開始されたら、すべてのデータの読み出しが完了するまで、ビットの変更を行わないでください。FIFO バッファを読み出すときは、MBW[1:0] に設定されているアクセスサイズで読み出してください。

選択パイプが送信方向の場合、CURPIPE[3:0] ビットと MBW[1:0] ビットを同時に設定してください。FIFO バッファへのデータの書き込み中は、ビット幅を 8 ビットから 16 ビットまたは 32 ビット、または 16 ビットから 32 ビットには変更できません。

なお、16 ビット幅または 32 ビット幅に設定している場合でも、バイトアクセス制御を実施することにより、奇数バイトの書き込みが可能です。

DREQE ビット（DMA/DTC 転送要求許可）

DMA/DTC 転送要求の発行の許可／禁止を指定します。DREQE ビットの設定を変更するのは CURPIPE[3:0] ビットが 0000b のときのみにしてください。DMA または DTC 転送要求を許可するには、CURPIPE[3:0] ビットを 0000b した後に本ビットを 1 にして、次に転送のために CURPIPE[3:0] ビットを PIPE 数に設定してください。

DCLRM ビット（指定パイプ読み出し後自動 FIFO バッファクリアモード）

選択パイプのデータを読み出した後の自動 FIFO バッファクリアの許可／禁止を指定します。

DCLRM ビットを 1 にすると、指定パイプに割り当てられた FIFO バッファが空のときに Zero-Length パケットを受信した場合、または PIPECFG.BFRE ビットが 1 で受信したショートパケットの読み出しが完了した場合は、USBHS は FIFO ポートコントロールレジスタの BCLR ビットを 1 にします。

SOFCFG.BRDYM ビットを 1 にして USBHS を使用する場合、DCLRM ビットを 0 にしてください。

REW ビット（バッファポインタリワインド）

バッファポインタのリワインドをする／しないを指定します。

選択パイプが受信方向の場合、FIFO バッファの読み出し中にこのビットを 1 にすると、FIFO バッファの最初のデータから再読み出しを行うことができます。すでに読み出し進行中でダブルバッファ機能を使用している場合、この設定によりいずれの FIFO バッファでも最初のデータから読み出せます。

このビットを 1 にする設定変更と CURPIPE[3:0] ビットの設定変更を同時に行わないでください。このビットを 1 にするときは、FRDY フラグが 1 であることを必ず確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

RCNT ビット（リードカウントモード）

RCNT ビットが 0 の場合、CURPIPE[3:0] ビットに指定したパイプの FIFO バッファから全受信データの読み出しが終了したとき、またはダブルバッファモードの場合は 1 面分の読み出しが終了したとき、USBHS は DnFIFOCTR.DTLN[11:0] フラグ（n = 0, 1）を 0 にします。

RCNT ビットを 1 にすると、CURPIPE[3:0] ビットに指定したパイプの FIFO バッファから受信データを読み出すたびに、USBHS は CFIFOCTR.DTLN[11:0] フラグの値をデクリメントします。PIPECFG.BFRE ビットを 1 にして DnFIFO にアクセスを行う場合は、RCNT ビットを 0 にしてください。

33.2.10 CFIFO ポートコントロールレジスタ（CFIFOCTR）
D0FIFO ポートコントロールレジスタ（D0FIFOCTR）
D1FIFO ポートコントロールレジスタ（D1FIFOCTR）

アドレス USBHS.CFIFOCTR 4006 0022h, USBHS.D0FIFOCTR 4006 002Ah, USBHS.D1FIFOCTR 4006 002Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BVAL	BCLR	FRDY	—	DTLN[11:0]											
リセット後の値	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b11-b0	DTLN[11:0]	受信データ長フラグ	受信データ長 ポート選択レジスタのRCNTビット設定によって、値の意味は異なります。詳細は、DTLN[11:0]ビットの説明を参照してください。	R
b12	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b13	FRDY	FIFOポートレディフラグ	0：FIFOポートアクセス不可能 1：FIFOポートアクセス可能	R
b14	BCLR	CPUバッファクリア	0：何もしない 1：CPU側FIFOバッファクリア 0の書き込みは無効です。読むと0が読めます。	R/W
b15	BVAL	FIFOバッファ有効フラグ	0：無効（0の書き込みは無効です） 1：書き込み終了 選択したパイプ（CURPIPE[3:0]設定）のCPU側のFIFOバッファへの書き込み終了時にこのビットを1にします。	R/W

CFIFOCTR レジスタ、D0FIFOCTR レジスタ、および D1FIFOCTR レジスタは、それぞれ CFIFO、D0FIFO、および D1FIFO バッファに対応しています。

DTLN[11:0] フラグ（受信データ長フラグ）

受信データ長を示します。

FIFO バッファ読み出し中の DTLN[11:0] ビットの値は、DnFIFOSEL.RCNT ビット（n = 0, 1）に応じて以下のように異なります。

- RCNT ビットが 0 のとき：
  CPU または DMA/DTC が、FIFO バッファの全受信データの読み出しを完了するまで（ダブルバッファモードの場合は 1 面分の読み出しが完了するまで）、USBHS は受信データ長を DTLN[11:0] フラグに表示します。
  PIPECFG.BFRE ビットが 1 のとき、全データの読み出しが完了しても、BCLR ビットが 1 になるまで USBHS は受信データ長を保持します。

- RCNT ビットが 1 のとき：
  CPU または DMA/DTC が、FIFO バッファから受信データを読み出すたびに、USBHS は DTLN[11:0] フラグの値をデクリメントします。（MBW[1:0] ビットが 00b のときは –1、01b のときは –2、10b のときは –4 ずつデクリメント。）
  FIFO バッファ読み出し完了時に、USBHS は DTLN[8:0] ビットを 0 にします。ダブルバッファモード時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、USBHS は先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN[11:0] ビットに設定します。
  RCNT ビットが 1 のとき、FIFO バッファ読み出し中に DTLN[11:0] フラグを読み出すと、FIFO ポートリードサイクル後 150ns 以内に最新値が返されます。

FRDY フラグ（FIFO ポートレディフラグ）

CPU または DMA/DTC から FIFO ポートにアクセス可能かどうかを示します。

以下の場合には、USBHS は FRDY フラグを 1 にしますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。

- 選択パイプに割り当てられている FIFO バッファが空の状態で Zero-Length パケットを受信した場合
- PIPECFG.BFRE ビットが 1 のときに、ショートパケットを受信し、データ読み出しを完了した場合

これらの場合は、BCLR ビットを 1 にして FIFO バッファをクリアし、次のデータ送受信が可能な状態にしてください。

BCLR ビット（CPU バッファクリア）

選択パイプの CPU 側の FIFO バッファをクリアする場合に 1 にします。

選択パイプに割り当てられている FIFO バッファにダブルバッファモードが設定されている場合、両面ともに読み出し可能な場合でも、USBHS は片面の FIFO バッファのみをクリアします。

選択パイプが DCP のとき、BCLR ビットを 1 にすると、CPU または SIE がアクセス権を持っているかどうかにかかわらず、USBHS は両方のセットの FIFO バッファをクリアします。SIE 側にアクセス権があるときに FIFO バッファをクリアする場合、DCPCTR.PID[1:0] ビットを 00b（NAK 応答）にしてから BCLR ビットを 1 にしてください。

選択パイプが DCP 以外の場合、BCLR ビットへの 1 の書き込みは、FIFO ポートコントロールレジスタの FRDY フラグの（USBHS による）設定値が 1 のときにのみ行ってください。

BVAL ビット（FIFO バッファ有効フラグ）

CURPIPE[3:0] で選択したパイプの、CPU 側の FIFO バッファの書き込み終了時に BVAL ビットを 1 にします。

選択パイプが送信方向のとき、以下の場合にこのビットを 1 にしてください。

- ショートパケットを送信する場合は、データ書き込み終了時
- Zero-Length パケットを送信する場合は、FIFO バッファへのデータ書き込み前
- 連続転送モードのパイプへの、最大パケットサイズの整数倍かつバッファサイズ未満の指定データバイト数書き込み終了時

USBHS は CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

選択パイプが送信に使用されている場合、同時に BVAL フラグと BCLR ビットの両方を 1 にすると、USBHS はすでに書き込まれたデータをクリアし、Zero-Length パケットの送信を可能にします。非連続転送モードのパイプに最大パケットサイズのデータを書くと、USBHS は BVAL ビットを 1 にし、CPU 側の FIFO バッファを SIE 側にして送信を可能にします。

BVAL フラグへの 1 の書き込みは、USBHS が FRDY ビットを 1 にしているときにのみ行ってください。選択パイプが受信方向のときには、BVAL フラグを 1 にしないでください。

33.2.11 割り込みイネーブルレジスタ 0（INTENB0）

アドレス USBHS.INTENB0 4006 0030h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b8	BRDYE	バッファレディ割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	NRDYE	バッファノットレディ応答割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b10	BEMPE	バッファエンプティ割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b11	CTRE	コントロール転送ステージ遷移割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b12	DVSE	デバイスステート遷移割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b13	SOFE	フレーム番号更新割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b14	RSME	レジューム割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15	VBSE	VBUS割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W

注 . RSME、DVSE、CTRE ビットは、デバイスコントローラモードでのみ 1 にすることができます。ホストコントローラモード時は 1 にしないでください。

INTSTS0 レジスタのステータスフラグが 1 で、INTENB0 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBHS は USBHS 割り込み要求を発行します。

INTENB0 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS0 レジスタのステータスフラグは 1 となります。

INTSTS0 レジスタの対応するステータスフラグが 1 の場合に INTENB0 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBHS 割り込み要求が発行されます。

33.2.12 割り込みイネーブルレジスタ 1（INTENB1）

アドレス USBHS.INTENB1 4006 0032h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCRE	BCHGE	—	DTCHE	ATTCHE	—	L1RSMENDE	LPMENDE	—	EOFERRE	SIGNE	SACKE	—	—	—	PDDETINTE
リセット後の値	0	0	x	0	0	x	0	0	x	0	0	0	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	PDDETINTE	PDDETINT検出割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b3-b1	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b4	SACKE	SETUPトランザクション正常応答割り込み要求許可	0：割り込み要求を求禁止 1：割り込み要求を許可	R/W
b5	SIGNE	SETUPトランザクションエラー割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b6	EOFERRE	EOFエラー検出割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b7	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b8	LPMENDE	LPMトランザクション完了割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b9	L1RSMENDE	L1レジューム完了割り込み許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b10	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b11	ATTCHE	接続検出割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b12	DTCHE	切断検出割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b13	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b14	BCHGE	USBバス変化割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15	OVRCRE	OVRCRE割り込み要求許可	0：割り込み要求を禁止 1：割り込み要求を許可	R/W

INTSTS1 レジスタのステータスフラグが 1 で、INTENB1 レジスタの関連する割り込み要求許可ビットが 1 の場合、USBHS は USBHS 割り込み要求を発行します。

INTENB1 レジスタの設定値にかかわらず、関連する条件を満たすステート切り替えに応じて、INTSTS1 レジスタのステータスフラグは 1 となります。

INTSTS1 レジスタの対応するステータスフラグが 1 の場合に INTENB1 レジスタの割り込み要求許可ビットが 0 から 1 に切り替えられると、USBHS 割り込み要求が発行されます。

33.2.13 BRDY 割り込みイネーブルレジスタ（BRDYENB）

アドレス USBHS.BRDYENB 4006 0036h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBRDYE[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	PIPEBRDYE[9:0]	パイプ[9:0]のBRDY割り込み要求許可（注1）	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 各ビット番号は同じパイプ番号に対応します。

BRDYENB レジスタは、各パイプの BRDY 割り込み検出時に、INTSTS0.BRDY ビットへの 1 の書き込みの許可／禁止を指定します。

BRDYSTS レジスタのステータスフラグが 1 で、BRDYENB レジスタの関連する PIPEBRDYEn ビット（n = 9 ～ 0）が 1 の場合、INTSTS0.BRDY フラグは 1 になります。この場合、INTENB0.BRDYE ビットが 1 であれば、USBHS は BRDY 割り込み要求を生成します。少なくとも 1 つの PIPEBRDYEn フラグが 1 のとき、BRDYENB レジスタの関連する割り込み要求許可ビットがソフトウェアにより 0 から 1 に切り替えられると、INTSTS0.BRDY フラグは 1 になります。

33.2.14 NRDY 割り込みイネーブルレジスタ（NRDYENB）

アドレス USBHS.NRDYENB 4006 0038h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPENRDYE[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	PIPENRDYE[9:0]	パイプ[9:0]のNRDY割り込み許可（注1）	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 各ビット番号は同じパイプ番号に対応します。

NRDYENB レジスタは、各パイプの NRDY 割り込み検出時に、INTSTS0.NRDY ビットへの 1 の書き込みの許可／禁止を指定します。

NRDYSTS レジスタのステータスフラグが 1 で、NRDYENB レジスタの関連する PIPENRDYEn ビット（n = 0 ～ 9）が 1 の場合、INTSTS0.NRDY フラグは 1 になります。この場合、INTENB0.NRDYE ビットが 1 であれば、USBHS は NRDY 割り込み要求を生成します。少なくとも 1 つの PIPEBRDYEn フラグが 1 のとき、NRDYENB レジスタの関連する割り込み要求許可ビットがソフトウェアにより 0 から 1 に切り替えられると、INTSTS0.NRDY フラグは 1 になります。

33.2.15 BEMP 割り込みイネーブルレジスタ（BEMPENB）

アドレス USBHS.BEMPENB 4006 003Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBEMPE[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	PIPEBEMPE[9:0]	パイプ[9:0]のBEMP割り込み許可（注1）	0：割り込み要求を禁止 1：割り込み要求を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 各ビット番号は同じパイプ番号に対応します。

BEMPENB レジスタは、各パイプの BEMP 割り込み検出時に、INTSTS0.BEMP ビットへの 1 の書き込みの許可／禁止を指定します。

BEMPSTS レジスタのステータスフラグが 1 で、BEMPENB レジスタの関連する PIPEBEMPEn ビット（n = 0 ～ 9）が 1 の場合、INTSTS0.BEMP フラグは 1 になります。この場合、INTENB0.BEMPE ビットが 1 であれば、USBHS は BEMP 割り込み要求を生成します。少なくとも 1 つの PIPEBEMPEn フラグが 1 のとき、BEMPENB レジスタの関連する割り込み要求許可ビットがソフトウェアにより 0 から 1 に切り替えられると、INTSTS0.BEMP フラグは 1 になります。

33.2.16 SOF 出力コンフィグレーションレジスタ（SOFCFG）

アドレス USBHS.SOFCFG 4006 003Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TRNENSEL	—	BRDYM	INTL	EDGESTS	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	0	x	0	0	0	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b4	EDGESTS	割り込みエッジ処理ステータスフラグ（注1）	エッジ割り込み出力信号のエッジ処理中は1となります。	R
b5	INTL	割り込み出力検出選択（注2）	0：エッジ検出 1：レベル検出	R/W
b6	BRDYM	PIPEBRDY割り込みステータスクリアタイミング設定（注3）	0：ソフトウェアによるBRDYフラグのクリア 1：USBHSがFIFOバッファからのデータ読み出しまたはFIFOバッファへのデータ書き込み経由でBRDYフラグをクリア	R/W
b7	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b8	TRNENSEL	トランザクション有効期間切り替え（注4）	0：ロースピード通信非対応 1：ロースピード通信対応	R/W
b15-b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注 1. USBHS へのクロック供給を停止する前に、EDGESTS フラグが 0 であることを確認してください。
注 2. INTL ビットが 0 のとき、割り込みステータスをクリアした後で PHY クロックを停止するには（LPSTS.SUSPENDM = 0）、EDGESTS フラグが 0 にされたことを確認した後で LPSTS.SUSPENDM ビットを 0 にしてください。
注 3. BRDYM ビットを 1 にする場合、INTL ビットは 1 にしてください。
注 4. TRNENSEL ビットの設定値は、ホストコントローラモード時にかぎり有効です。ホストコントローラモード時でも、ハイスピード通信中にこのビットの設定がトランザクション有効期間に影響することはありません。

EDGESTS フラグ（割り込みエッジ処理ステータスフラグ）

エッジ割り込み出力信号のエッジ処理中は 1 となります。PHY クロックを停止する前に、このフラグが 0 であることを確認してください。

BRDYM ビット（PIPEBRDY 割り込みステータスクリアタイミング設定）

パイプの BRDY 割り込みステータスフラグのクリア方法を示します。

TRNENSEL ビット（トランザクション有効期間切り替え）

USB ポートでフルスピードまたはロースピード通信を行う場合に、1 フレーム中に USBHS がトークン発行を行う期間（トランザクション有効期間）を指定します。

このビットは、ロースピードデバイスがハブ経由で接続されたときに 1 にしてください。本ビットは、ホストコントローラモード時のみ有効です。インタフェースがデバイスコントローラとして使用されるとき、このビットは 0 にしてください。

33.2.17 PHY 設定レジスタ（PHYSET）

アドレス USBHS.PHYSET 4006 003Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	HSEB	—	—	—	REPSTART	—	REPSEL[1:0]		—	—	CLKSEL[1:0]		CDPEN	—	PLLRESET	DIRPD
リセット後の値	x	x	x	x	0	x	0	0	x	x	1	1	0	x	1	1

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	DIRPD	パワーダウン制御	0：低消費電力モードに遷移させない 1：低消費電力モードに遷移する	R/W
b1	PLLRESET	PLL リセット制御（注1）	0：UTMI_PHY の PLL リセット制御をしない 1：UTMI_PHY の PLL リセット制御をする	R/W
b2	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b3	CDPEN	Charging Downstream ポート許可	0：Charging Downstream ポートを禁止 1：Charging Downstream ポートを許可	R/W
b5-b4	CLKSEL[1:0]	入力システムクロック周波数	b5 b4 0 0：設定禁止 0 1：設定禁止 1 0：20MHz 1 1：24MHz	R/W
b7-b6	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b9-b8	REPSEL[1:0]	終端抵抗調整サイクル	b9 b8 0 0：サイクル設定なし 0 1：終端抵抗を 16 秒間隔に調整 1 0：終端抵抗を 64 秒間隔に調整 1 1：終端抵抗を 128 秒間隔に調整	R/W
b10	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b11	REPSTART	終端抵抗調整強制開始	0：終端抵抗調整を強制開始する 1：終端抵抗調整を強制開始しない	R/W
b14-b12	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b15	HSEB	CL-only モード	0：CL-only モードを禁止 1：CL-only モードを許可	R/W

注 1. PLLRESET ビットのリセット後の値は 1 なので、リセット解除後の設定変更は不要です。PLLRESET ビットを 0 にした後は、PLLRESET ビットを 1 にしないでください。動作は保証されません。

CLKSEL[1:0] ビット（入力システムクロック周波数）

USBHS の転送クロックソースを選択します。

USB-PHY 内部 PLL に生成された転送クロックに対して、CLKSEL[1:0] ビットで入力クロック周波数を設定します。EXTAL 端子からクロックソースを入力するには、USB2.0 のクロック規格を厳密に遵守する必要があります。

CL-only モードでは内部 PLL が停止しているため、CKSEL[1:0] ビットへの書き込みは無効です（HSEB ビットの説明を参照（CL-only モード））。クロック設定は、33.3.3 クロック供給を参照してください。

HSEB ビット（CL-only モード）

HSEB ビットは、CL-only モードで USBHS を動作させるかどうかを選択します。USBHS によるハイスピード転送では、USB-PHY ブロックの PLL、クロック、およびデータリカバリ（CDR）回路を含めた、内部ハイスピードアナログ回路を使用する必要があります。

CL-only モードでは、転送が USB1.1 規格に制限されます（フルスピードおよびロースピード転送のみ）。PHY モジュールの内部 PLL、およびその他のハイスピードアナログ回路を停止することで、消費電力を低減できます。

CL-only モードで USBHS には、クロック発生回路で生成された 48MHz および 60MHz のクロックの供給が必要です。クロックの供給方法については、「9. クロック発生回路」を参照してください。

33.2.18 割り込みステータスレジスタ 0（INTSTS0）

アドレス USBHS.INTSTS0 4006 0040h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ[2:0]			VALID	CTSQ[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSQ[2:0]	コントロール転送ステージフラグ（注1）	b2 b0 0 0 0：アイドルまたはセットアップステージ 0 0 1：コントロールリードデータステージ 0 1 0：コントロールリードステータスステージ 0 1 1：コントロールライトデータステージ 1 0 0：コントロールライトステータスステージ 1 0 1：コントロールライト（no-Data）ステータスステージ 1 1 0：コントロール転送シーケンスエラー	R
b3	VALID	USBリクエスト受信フラグ（注1）	0：Setupパケットを受信していない 1：Setupパケットを受信した	R/(W)（注3）
b6-b4	DVSQ[2:0]	デバイスステート（注1）	デバイスステートを表示 b6 b4 0 0 0：Poweredステート 0 0 1：Defaultステート 0 1 0：Addressステート 0 1 1：Configuredステート 1 x x：Suspendedステート	R
b7	VBSTS	VBUS入力ステータスフラグ	0：USBHS_VBUS端子がLow 1：USBHS_VBUS端子がHigh	R
b8	BRDY	BRDY割り込みステータスフラグ	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R
b9	NRDY	NRDY割り込みステータスフラグ	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R
b10	BEMP	BEMP割り込みステータスフラグ	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R
b11	CTRT	コントロール転送ステージ遷移割り込みステータスフラグ（注2）	0：コントロール転送ステージ遷移割り込み発生なし 1：コントロール転送ステージ遷移割り込み発生あり	R/(W)（注3）
b12	DVST	デバイスステート遷移割り込みステータスフラグ（注2）	0：デバイスステート遷移割り込み発生なし 1：デバイスステート遷移割り込み発生あり	R/(W)（注3）
b13	SOFR	フレーム番号更新割り込みステータスフラグ	0：SOF割り込み発生なし 1：SOF割り込み発生あり	R/(W)（注3）
b14	RESM	レジューム割り込みステータスフラグ（注2）（注4）	0：レジューム割り込み発生なし 1：レジューム割り込み発生あり	R/(W)（注3）
b15	VBINT	VBUS割り込みステータスフラグ（注4）	0：USBHS_VBUS端子の変化検出時VBUS割り込み発生なし 1：USBHS_VBUS端子の変化検出時VBUS割り込み発生あり	R/(W)（注3）

x：Don't care

注 1. CTSQ[2:0] フラグ、VALID フラグ、DVSQ[2:0] フラグは、デバイスコントローラモード時にのみ有効です。

注 2. CTRT フラグ、DVST フラグ、RESM フラグのステータスは、デバイスコントローラモード時にのみ変更されます。ホストコントローラモード時は対応する割り込み許可ビットを 0（禁止）にしてください。

注 3. VALID、CTRT、DVST、SOFR、RESM、または VBINT フラグをクリアするには、目的のフラグのみを 0 にします。他のフラグは 1 にします。0 を示しているステータスフラグに 0 を書き込まないでください。

注 4. USBHS は RESM フラグまたは VBINT フラグが示すステータス変化をクロック供給停止中（LPSTS.SUSPENDM ビット = 0）でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリアする場合は、クロック供給を許可してから行ってください。

BRDY フラグ（BRDY 割り込みステータスフラグ）

BRDY 割り込みステートを示します。このフラグが 1 になる条件については、33.2.13　BRDY 割り込みイネーブルレジスタ（BRDYENB）を参照してください。

BRDY 割り込みを許可している（BRDYENB.PIPEBRDYEn ビット）パイプすべての BRDYSTS.PIPEBRDYn（n = 0 ～ 9）フラグが 0 のとき、USBHS は BRDY フラグを 0 にします。ソフトウェアで BRDY フラグに 0 を書いても、このフラグはクリアされません。

NRDY フラグ（NRDY 割り込みステータスフラグ）

NRDY 割り込みステートを示します。このフラグが 1 になる条件については、33.2.14　NRDY 割り込みイネーブルレジスタ（NRDYENB）を参照してください。

NRDY 割り込みを許可している（NRDYENB.PIPENRDYEn ビット）パイプすべての NRDYSTS.PIPENRDYn（n = 0 ～ 9）フラグが 0 のとき、USBHS は NRDY フラグを 0 にします。ソフトウェアで NRDY フラグに 0 を書いても、このフラグはクリアされません。

BEMP フラグ（BEMP 割り込みステータスフラグ）

BEMP 割り込みステートを示します。このフラグが 1 になる条件については、33.2.15　BEMP 割り込みイネーブルレジスタ（BEMPENB）を参照してください。

BEMP 割り込みを許可している（BEMPENB.PIPEBEMPEn ビット）パイプすべての BEMPSTS.PIPEBEMPn（n = 0 ～ 9）フラグが 0 のとき、USBHS は BEMP フラグを 0 にします。ソフトウェアで BEMP フラグに 0 を書いても、このフラグはクリアされません。

CTRT フラグ（コントロール転送ステージ遷移割り込みステータスフラグ）

デバイスコントローラモード時、USBHS がコントロール転送のステージ遷移を検出すると、USBHS は CTSQ[2:0] ビットの値を更新し、CTRT フラグを 1 にします。コントロール転送ステージ遷移割り込みが発生した場合、USBHS が次のコントロール転送のステージ遷移を検出するまでに CTRT フラグをクリアしてください。

ホストコントローラモード時に CTRT フラグから読み出した値は無効です。

DVST フラグ（デバイスステート遷移割り込みステータスフラグ）

デバイスコントローラモード時、USBHS がデバイスステート遷移を検出すると、USBHS は PL1CTRL1.DVSQ[3:0] ビットの値を更新し、DVST フラグを 1 にします。デバイスステート遷移割り込みが発生した場合、USBHS が次のデバイスステート遷移を検出する前に DVST フラグをクリアしてください。

ホストコントローラモード時に DVST フラグから読み出した値は無効です。

SOFR フラグ（フレーム番号更新割り込みステータスフラグ）

ホストコントローラモード時、ソフトウェアが DVSTCTR0.UACT ビットを 1 にしているとき、USBHS はフレーム番号更新時に SOFR フラグを 1 にします。SOFR 割り込みの検出間隔は 1ms です。

デバイスコントローラモード時、USBHS はフレーム番号更新時に SOFR フラグを 1 にします。SOFR 割り込みの検出間隔は 1ms です。USB ホストから受信した SOF パケットが破損していても、SOF 補完機能により USBHS は SOFR 割り込みを検出できます。33.3.13　SOF 補完機能を参照してください。

RESM フラグ（レジューム割り込みステータスフラグ）

デバイスコントローラモード時、USBHS は、Suspended ステート（PL1CTRL1.DVSQ[3:0] = 01xxb）であり、かつ USBHS_DP 端子で信号の立ち下がりを検出すると、RESM フラグを 1 にします。

ホストコントローラモード時に RESM フラグから読み出した値は無効です。

VBINT フラグ（VBUS 割り込みステータスフラグ）

USBHS は、USBHS_VBUS 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、VBINT フラグを 1 にします。USBHS は、USBHS_VBUS 端子の入力値を VBSTS フラグに示します。VBINT 割り込み発生時は、ソフトウェアで VBSTS フラグを 3 回以上読み出し、読み出した値が一致することを確認してトランジェント除去を行ってください。

33.2.19 割り込みステータスレジスタ 1（INTSTS1）

アドレス USBHS.INTSTS1 4006 0042h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRCR	BCHG	—	DTCH	ATTCH	—	L1RSMEND	LPMEND	—	EOFERR	SIGN	SACK	—	—	—	PDDETINT
リセット後の値	0	0	x	0	0	x	0	0	x	0	0	0	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	PDDETINT	PDDET検出割り込みステータスフラグ（注1）	0：PDDET割り込み発生なし 1：PDDET割り込み発生あり	R/(W)（注2）
b3-b1	—	予約ビット	読むと不定値が読めます。 書く場合、0としてください。	R/W
b4	SACK	SETUPトランザクション正常応答割り込みステータスフラグ	0：SACK割り込み発生なし 1：SACK割り込み発生あり	R/(W)（注2）
b5	SIGN	SETUPトランザクションエラー割り込みステータスフラグ	0：SIGN割り込み発生なし 1：SIGN割り込み発生あり	R/(W)（注2）
b6	EOFERR	EOFエラー検出割り込みステータスフラグ	0：EOFERR割り込み発生なし 1：EOFERR割り込み発生あり	R/(W)（注2）
b7	—	予約ビット	読むと不定値が読めます。 書く場合、0としてください。	R/W
b8	LPMEND	LPMトランザクション完了割り込みステータスフラグ	0：LPMEND割り込み発生なし 1：LPMEND割り込み発生あり	R/(W)（注2）
b9	L1RSMEND	L1レジューム完了割り込みステータスフラグ	0：L1RSMEND割り込み発生なし 1：L1RSMEND割り込み発生あり	R/(W)（注2）
b10	—	予約ビット	読むと不定値が読めます。 書く場合、0としてください。	R/W
b11	ATTCH	USB接続検出割り込みステータスフラグ	0：ATTCH割り込み発生なし 1：ATTCH割り込み発生あり	R/(W)（注2）
b12	DTCH	USB切断検出割り込みステータスフラグ	0：DTCH割り込み発生なし 1：DTCH割り込み発生あり	R/(W)（注2）
b13	—	予約ビット	読むと不定値が読めます。 書く場合、0としてください。	R/W
b14	BCHG	USBバス変化割り込みステータスフラグ（注1）	0：BCHG割り込み発生なし 1：BCHG割り込み発生あり	R/(W)（注2）
b15	OVRCR	OVRCR割り込みステータスフラグ（注1）	0：OVRCR割り込み発生なし 1：OVRCR割り込み発生あり	R/(W)（注2）

注 1. USBHS は PDDETINT、BCHG、または OVRCR フラグが示すステータス変化をクロック供給停止中（LPSTS.SUSPENDM ビット = 0）でも検出し、対応する割り込み要求ビットが 1 であれば割り込みを要求します。ステータスをソフトウェアでクリアする場合は、クロック供給を許可してから行ってください。クロックの供給停止中（LPSTS.SUSPENDM = 0）は、他の割り込みを検出できません。

注 2. INTSTS1 レジスタのフラグをクリアするには、目的のフラグにのみ 0 を書き込みます。その他のビットは 1 にしてください。

注 3. PDDET 検出割り込みを除き、INTSTS1 レジスタのフラグが示すステータス変化による割り込みはホストコントローラモード時のみ許可してください。

PDDETINT フラグ（PDDET 検出割り込みステータスフラグ）

USBHS は、PDDET 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、PDDETINT フラグを 1 にします。PDDETINT 割り込み発生時は、ソフトウェアで PDDETSTS フラグを 3 回以上読み出し、読み出した値が一致することを確認してチャタリングを除去してください。

SACK フラグ（SETUP トランザクション正常応答割り込みステータスフラグ）

ホストコントローラモード時、SETUP トランザクション正常応答割り込みステータスを示します。

USBHS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が返された場合、USBHS は SACK 割り込みを検出し、このビットを 1 にします。ソフトウェアで該当する割り込み許可ビットを 1 にしていれば、USBHS は割り込みを生成します。

デバイスコントローラモード時に SACK フラグから読み出した値は無効です。

SIGN フラグ（SETUP トランザクションエラー割り込みステータスフラグ）

ホストコントローラモード時、SETUP トランザクションエラー割り込みステータスを示します。

USBHS が発行した SETUP トランザクション中に、周辺デバイスから ACK 応答が 3 回連続で返されなかった場合、USBHS は SIGN 割り込みを検出し、このビットを 1 にします。ソフトウェアで該当する割り込み許可ビットを 1 にしていれば、USBHS は割り込みを生成します。

USBHS の SIGN 割り込み検出条件は、3 回の連続した SETUP トランザクションに対して、以下のいずれかの応答が発生したときです。

- 周辺デバイスが何も応答しない状態で USBHS がタイムアウトを検出したとき
- 破損した ACK パケットを受信したとき
- ACK 以外のハンドシェイク（NAK、NYET、または STALL）を受信したとき

デバイスコントローラモード時に SIGN フラグから読み出した値は無効です。

EOFERR フラグ（EOF エラー検出割り込みステータスフラグ）

ホストコントローラモード時、EOF エラー検出割り込みステータスを示します。

USB2.0 規格に定義されている EOF2 タイミングで通信が完了しなかったことを検出すると、USBHS は EOFERR 割り込みを検出し、このビットを 1 にします。ソフトウェアで該当する割り込み許可ビットを 1 にしていれば、USBHS は割り込みを生成します。

EOFERR 割り込みの検出後、USBHS は関連する割り込み許可ビットの設定に関係なく、以下のようにハードウェアを制御します。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへの再エニュメレーションを行ってください。

デバイスコントローラモード時に EOFERR フラグから読み出した値は無効です。

LPMEND フラグ（LPM トランザクション完了割り込みステータスフラグ）

ホストコントローラモード時、LPM トランザクション完了割り込みステータスを示します。

HL1CTRL1.L1REQ ビットを 1 にすると、USBHS は LPM トークンを送信します。ファンクションデバイスからの応答もしくはタイムアウトを検出して LPM トランザクションが終了すると、USBHS は LPMEND フラグを 1 にします。

デバイスコントローラモード時に LPMEND フラグから読み出した値は無効です。

L1RSMEND フラグ（L1 レジューム完了割り込みステータスフラグ）

ホストコントローラモード時、L1 レジューム完了割り込みステータスを示します。

LPM トークンに対して ACK を受信して L1 ステートに遷移すると、レジューム処理が実行され、USBHS はこのフラグを 1 にします。

デバイスコントローラモード時に L1RSMEND フラグから読み出した値は無効です。

ATTCH フラグ（USB 接続検出割り込みステータスフラグ）

ホストコントローラモード時、USB アタッチ検出割り込みステータスを示します。

フルスピード信号レベルまたはロースピード信号レベルの J-State または K-State を 2.5µs 間検出すると、USBHS は ATTCH 割り込みを検出してこのビットを 1 にします。ソフトウェアで該当する割り込み許可ビットを 1 にしていれば、USBHS は割り込みを生成します。

USBHS の ATTCH 割り込み検出条件は、以下のとおりです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5µs 間継続したとき

デバイスコントローラモード時に ATTCH フラグから読み出した値は無効です。

DTCH フラグ（USB 切断検出割り込みステータスフラグ）

ホストコントローラモード時、USB デタッチ検出割り込みステータスを示します。

USB バスデタッチイベントを検出すると、USBHS は DTCH 割り込みを検出してこのビットを 1 にします。ソフトウェアで該当する割り込み許可ビットを 1 にしていれば、USBHS は割り込みを生成します。

USBHS は、USB2.0 規格に準じてデタッチイベントを検出します。

DTCH 割り込みの検出後、USBHS は関連する割り込み許可ビットの設定に関係なく、以下のようにハードウェアを制御します。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

ソフトウェアで、通信を行っているすべてのパイプを終了させ、USB ポートへのアタッチ待ちの状態（ATTCH 割り込み発生待ちの状態）を呼び出してください。

デバイスコントローラモード時に DTCH フラグから読み出した値は無効です。

BCHG フラグ（USB バス変化割り込みステータスフラグ）

ホストコントローラモード時、USB バス変化割り込みステータスを示します。

USB ポートでフルスピード信号レベルの変化が発生した場合、USBHS は BCHG 割り込みを検出してこのビットを 1 にします。対象となる変化には、J-State、K-State、または SE0 から J-State、K-State、SE0 のいずれかへの変化すべてが含まれます。ソフトウェアで該当する割り込み許可ビットを 1 にしていれば、USBHS は割り込みを生成します。

USBHS は、USB ポートの入力状態を、SYSSTS0.LNST[1:0] フラグに示します。BCHG 割り込みが発生した場合、同じ値が 3 回以上読み出されるまで、ソフトウェアによる LNST[1:0] ビットの読み出しを繰り返し、トランジェント除去を行ってください。

USB バスステートの変化は、PHY クロック停止状態でも検出できます。

デバイスコントローラモード時に BCHG フラグから読み出した値は無効です。

OVRCR フラグ（OVRCR 割り込みステータスフラグ）

OVRCR フラグは、USBHS_OVCUR0A 端子の入力状態または USBHS_OVCUR0B 端子の変化を示します。INTENB1.OVRCRE ビットが 1 であれば、USBHS は割り込みを要求します。

USBHS は、USBHS_OVCUR0A および USBHS_OVCUR0B 端子の入力状態を示すために、SYSSTS0.OVCMON[1:0] フラグを設定します。

これらの端子により、ホストコントローラモードでの、ソフトウェアによる過電流検出が可能になります。この機能を実装するには、接続されている USB デバイスに VBUS を供給する外部電源 IC からの過電流信号を、OVCUR0A 端子または OVCUR0B 端子に接続してください。OVRCR 割り込み検出時、同じ値が 3 回以上読み出されるまで、ソフトウェアによる OVCMON[1:0] フラグの読み出しを繰り返し、トランジェント除去を行ってください。

33.2.20 BRDY 割り込みステータスレジスタ（BRDYSTS）

アドレス USBHS.BRDYSTS 4006 0046h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBRDY[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	PIPEBRDY[9:0]	パイプ[9:0]のBRDY割り込みステータスフラグ（注1）	0：BRDY割り込み発生なし 1：BRDY割り込み発生あり	R/(W)（注2）
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 各ビット番号は同じパイプ番号に対応します。
注 2. SOFCFG.BRDYM ビットが 0 のとき、PIPEBRDY[9:0] フラグが示すステータスをクリアするには、クリアしたいビットのみ 0 にします。その他のビットは 1 にしてください。
SOFCFG.BRDYM ビットが 0 のとき、BRDY 割り込みのクリアは、FIFO にアクセスする前に行ってください。

PIPEBRDY[9:0] フラグ（パイプ [9:0] の BRDY 割り込みステータスフラグ）

BRDY 割り込み検出時、USBHS は PIPEBRDY[9:0] フラグの対応するビットを 1 にします。BRDY 割り込みについて、詳しくは 33.3.6.1 BRDY 割り込みを参照してください。

33.2.21 NRDY 割り込みステータスレジスタ（NRDYSTS）

アドレス USBHS.NRDYSTS 4006 0048h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPENRDY[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	PIPENRDY[9:0]	パイプ[9:0]のNRDY割り込みステータスフラグ（注1）	0：NRDY割り込み発生なし 1：NRDY割り込み発生あり	R/(W)（注2）
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 各ビット番号は同じパイプ番号に対応します。
注 2. PIPENRDY[9:0] フラグが示すステータスを 0 にするには、クリアしたいビットのみ 0 にします。その他のビットは 1 にしてください。

PIPENRDY[9:0] フラグ（パイプ [9:0] の NRDY 割り込みステータスフラグ）

パイプコントロールレジスタの PID[1:0] ビットが 01b（BUF 応答）のときに内部 NRDY 割り込みを検出すると、USBHS は PIPENRDY[9:0] フラグの対応するビットを 1 にします。NRDY 割り込みについて、詳しくは 33.3.6.2 NRDY 割り込みを参照してください。

33.2.22 BEMP 割り込みステータスレジスタ（BEMPSTS）

アドレス USBHS.BEMPSTS 4006 004Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PIPEBEMP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	PIPEBEMP[9:0]	パイプ[9:0]のBEMP割り込みステータスフラグ（注1）	0：BEMP割り込み発生なし 1：BEMP割り込み発生あり	R/(W)（注2）
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 各ビット番号は同じパイプ番号に対応します。
注 2. PIPEBEMP[9:0] フラグが示すステータスを 0 にするには、クリアしたいビットのみ 0 にします。その他のビットは 1 にしてください。

PIPEBEMP[9:0] フラグ（パイプ [9:0] の BEMP 割り込みステータスフラグ）

パイプコントロールレジスタの PID[1:0] ビットが 01b（BUF 応答）のとき BEMP 割り込みを検出すると、USBHS は PIPEBEMP[9:0] フラグの対応するビットを 1 にします。BEMP 割り込みについて、詳しくは 33.3.6.3 BEMP 割り込みを参照してください。

33.2.23 フレームナンバレジスタ（FRMNUM）

アドレス USBHS.FRMNUM 4006 004Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OVRN	CRCE	—	—	—	FRNM[10:0]										
リセット後の値	0	0	x	x	x	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b10-b0	FRNM[10:0]	フレーム番号フラグ	最新のフレーム番号	R
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	CRCE	CRCエラー検出ステータスフラグ	0：エラーなし 1：エラー発生	R/(W)
b15	OVRN	オーバーラン／アンダーラン検出ステータスフラグ	0：エラーなし 1：エラー発生	R/(W)

注． OVRN フラグはデバッグ用です。システムとしてはオーバーラン／アンダーランが発生しないようにタイミング設計を行ってください。

FRNM[10:0] フラグ（フレーム番号フラグ）

USBHS は、FRNM[10:0] フラグを使って、1ms に 1 回の SOF パケット発行時または受信時に更新される最新のフレーム番号を示します。

CRCE フラグ（CRC エラー検出ステータスフラグ）

アイソクロナス転送中に CRC エラーやビットスタッフィングエラーが発生した場合、1 になります。CRC エラー検出時、USBHS は内部 NRDY 割り込みを生成します。

CRCE フラグをクリアする場合は、このフラグに 0 を書き、FRMNUM レジスタの他のビットは 1 にします。

OVRN フラグ（オーバーラン／アンダーラン検出ステータスフラグ）

アイソクロナス転送中にオーバーランエラーやアンダーランエラーが発生した場合、1 になります。このフラグをクリアする場合は、このフラグに 0 を書き、FRMNUM レジスタの他のビットは 1 にします。

ホストコントローラモード時、以下のいずれかの場合に OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に OUT トークン発行タイミングに達したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で、IN トークン発行タイミングに達したとき

デバイスコントローラモード時、以下のいずれかの場合に OVRN フラグは 1 になります。

- 転送タイプがアイソクロナスの送信方向パイプにおいて、FIFO バッファへのすべての送信データの書き込みが完了する前に IN トークンを受信したとき
- 転送タイプがアイソクロナスの受信方向パイプにおいて、FIFO バッファのすべての面で空きがない状態で OUT トークンを受信したとき

33.2.24 μフレームナンバレジスタ（UFRMNUM）

アドレス USBHS.UFRMNUM 4006 004Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DVCHG	—	—	—	—	—	—	—	—	—	—	—	—	UFRNM[2:0]		
リセット後の値	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	UFRNM[2:0]	マイクロフレーム番号	マイクロフレーム番号	R
b14-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	DVCHG	デバイスステート切り替え	0：USBADDR.STSRECOV0[2:0]ビットおよびUSBADDR.USBADDR[6:0]ビットへの書き込み禁止 1：USBADDR.STSRECOV0[2:0]ビットおよびUSBADDR.USBADDR[6:0]ビットへの書き込み許可	R/W

UFRNM[2:0] フラグ（マイクロフレーム番号）

ハイスピード動作時、マイクロフレーム番号を示します。ハイスピード以外での動作時、USBHS はこれらのビットを 00h にします。

同じ値を 2 回読み出すまで、これらのビットの読み出しを繰り返します。

33.2.25 USB アドレスレジスタ（USBADDR）

アドレス USBHS.USBADDR 4006 0050h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	STSRECOV0[2:0]			—	USBADDR[6:0]						
リセット後の値	x	x	x	x	x	0	0	0	x	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	USBADDR[6:0]	USBアドレスフラグ	デバイスコントローラモード時、USBHSがSET_ADDRESSリクエストを正常に処理したときに、ホストから割り付けられたUSBアドレスを表示します。	R
b7	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b10-b8	STSRECOV0[2:0]	ステータスリカバリ	• デバイスコントローラモードでのリカバリ b10 b8 0 0 1：フルスピード接続とDefaultステートに復帰 0 1 0：フルスピード接続とAddressステートに復帰 0 1 1：フルスピード接続とConfiguredステートに復帰 1 0 0：サスペンド接続とSuspendステートに復帰 1 0 1：ハイスピード接続とDefaultステートに復帰 1 1 0：ハイスピード接続とAddressステートに復帰 1 1 1：ハイスピード接続とConfiguredに復帰 上記以外は設定しないでください。 • ホストコントローラモードでのリカバリ b10 b8 0 1 0：ロースピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが001b） 1 0 0：フルスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが010b） 1 1 0：ハイスピード状態に復帰（DVSTCTR0.RHST[2:0]ビットが011b） 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

USBADDR[6:0] フラグ（USB アドレスフラグ）

デバイスコントローラモード時に、USBHS が SetAddress 要求を正常に処理したときに、USBADDR[6:0] フラグは受信した USB アドレスを示します。USBHS は USB バスリセットを検出すると USBADDR[6:0] ビットを 00h にします。

ホストコントローラモード時、USBADDR[6:0] ビットは無効です。

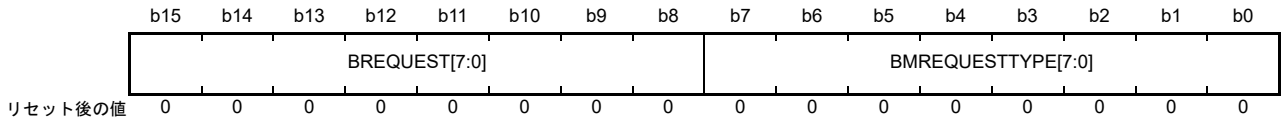
STSRECOV0[2:0] ビット（ステータスリカバリ）

USB 電源遮断から復帰するときの内部シーケンサの状態を遮断前の状態に復帰させるときに使用します。詳細は、33.3.17 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除を参照してください。

DVCHGR.DVCHG ビットを 1 にしているときに STSRECOV[2:0] ビットに書き込み可能となります。

33.2.26 USB リクエストタイプレジスタ（USBREQ）

アドレス USBHS.USBREQ 4006 0054h



ビット	シンボル	ビット名	機能	R/W
b7-b0	BMREQUESTTYPE[7:0]	リクエストタイプ	USB リクエスト bmRequestType の値	R/W（注 1）
b15-b8	BREQUEST[7:0]	リクエスト	USB リクエスト bRequest の値	R/W（注 1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しと書き込みのどちらも可能です。

BMREQUESTTYPE[7:0] ビット（リクエストタイプ）

USB リクエスト bmRequestType の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

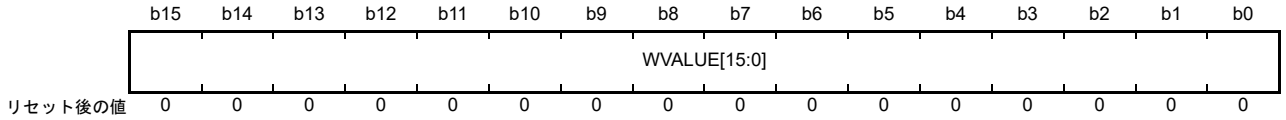
BREQUEST[7:0] ビット（リクエスト）

USB リクエスト bRequest の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエストデータ値を設定してください。DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエストデータ値を表示します。書き込みは無効です。

33.2.27 USB リクエストバリューレジスタ（USBVAL）

アドレス USBHS.USBVAL 4006 0056h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WVALUE[15:0]	バリュー	USB リクエスト wValue の値	R/W（注1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しと書き込みのどちらも可能です。

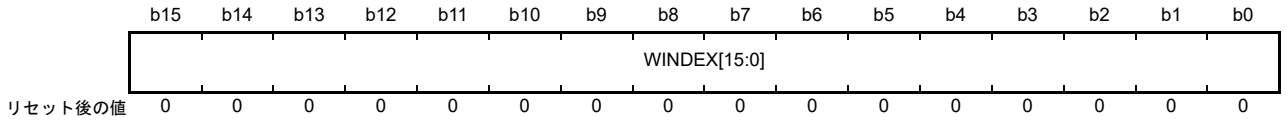
WVALUE[15:0] ビット（バリュー）

USB リクエスト wValue の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wValue 値を設定してください。DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wValue の値を表示します。書き込みは無効です。

33.2.28 USB リクエストインデックスレジスタ（USBINDX）

アドレス USBHS.USBINDX 4006 0058h



ビット	シンボル	ビット名	機能	R/W
b15-b0	WINDEX[15:0]	インデックス	USB リクエスト wIndex の値	R/W（注1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しと書き込みのどちらも可能です。

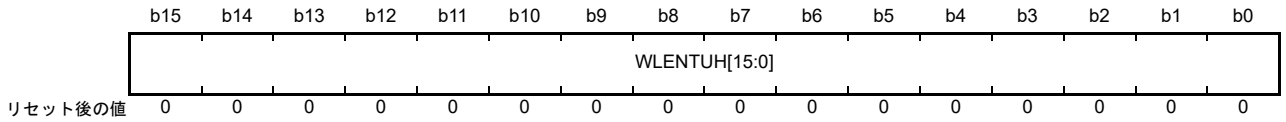
WINDEX[15:0] ビット（インデックス）

USB リクエスト wIndex の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wIndex 値を設定してください。DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wIndex の値を示します。書き込みは無効です。

33.2.29 USB リクエストレングスレジスタ（USBLENG）

アドレス USBHS.USBLENG 4006 005Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	WLENTUH[15:0]	レングス	USB リクエスト wLength の値	R/W（注 1）

注 1. デバイスコントローラモードでは、読み出しのみ可能で書き込みは無効です。ホストコントローラモードでは、読み出しと書き込みのどちらも可能です。

WLENTUH[15:0] ビット（レングス）

USB リクエスト wLength の値を格納します。

- ホストコントローラモード時：
  送信する SETUP トランザクションの USB リクエスト wLength 値を設定してください。
  DCPCTR.SUREQ ビットが 1 のとき、これらのビットの値を書き換えないでください。
- デバイスコントローラモード時：
  SETUP トランザクションで受信した USB リクエスト wLength の値を示します。書き込みは無効です。

33.2.30 DCP コンフィグレーションレジスタ（DCPCFG）

アドレス USBHS.DCPCFG 4006 005Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CNTMD	SHTNAK	—	—	DIR	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	0	0	x	x	0	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DIR	転送方向	0：データ受信方向 1：データ送信方向	R/W
b6-b5	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプブロック	0：転送終了後パイプがオープンの状態を維持 1：転送終了後にパイプを禁止	R/W
b8	CNTMD	連続転送モード	0：非連続転送モード 1：連続転送モード	R/W
b15-b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注 . PID が NAK の間にのみ、このレジスタ内のビットを設定してください。ビットの設定前に、DCPCTR.PBUSY ビットが 0 であることを確認してから、DCP の DCPCTR.PID[1:0] ビットを BUF から NAK に変更してください。USBHS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

DIR ビット（転送方向）

ホストコントローラモード時に、コントロール転送のデータステージ、ステータスステージの転送方向を設定します。デバイスコントローラモード時は、DIR ビットを 0 にしてください。

SHTNAK ビット（転送終了時のパイプブロック）

選択パイプが受信方向の場合に、転送終了時に PID を NAK に変更するかどうかを指定します。選択パイプが受信方向の場合にのみ有効です。

SHTNAK ビットが 1 の場合、USBHS は、転送の終了を判定したときに DCP の DCPCTR.PID[1:0] ビットを NAK に変更します。USBHS は、以下の条件が満たされると転送終了を判定します。

- ショートパケット（Zero-Length パケットを含む）を正常に受信したとき

CNTMD ビット（連続転送モード）

デフォルトコントロールパイプ経由の転送が連続転送モードかどうかを示します。

33.2.31 DCP マックスパケットサイズレジスタ（DCPMAXP）

アドレス USBHS.DCPMAXP 4006 005Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				—	—	—	—	—	MXPS[6:0]						
リセット後の値	0	0	0	0	x	x	x	x	x	1	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	MXPS[6:0]	最大パケットサイズ（注1）	DCPの最大データペイロード指定（最大パケットサイズ）	R/W
b11-b7	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b15-b12	DEVSEL[3:0]	デバイス選択（注2）	b15 b12 0 0 0 0：アドレス0000b 0 0 0 1：アドレス0001b 0 0 1 0：アドレス0010b 0 0 1 1：アドレス0011b 0 1 0 0：アドレス0100b 0 1 0 1：アドレス0101b 上記以外は設定しないでください。	R/W

注 1. MXPS[6:0] ビットの設定は、PID = NAK の状態のときに限り行ってください。これらのビットを設定する前に CSSTS ビットと PBUSY ビットが 0 であることを確認し、次に DCPCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に、CFIFOSEL.CURPIPE[3:0] ビットを 0000b に変更します。USBHS が DCPCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS ビットと PBUSY ビットの確認は必要ありません。MXPS[6:0] ビットの設定後には、ポート選択レジスタの CURPIPE[3:0] ビットへ DCP を設定後、ポートコントロールレジスタの BCLR ビットを 1 にしてバッファクリア処理を行ってください。

注 2. DEVSEL[3:0] ビットの設定は、PID = NAK の状態および DCPCTR.SUREQ ビットが 0 の期間にのみ実施してください。これらのビットを設定する前に CSSTS フラグと PBUSY フラグが 0 であることを確認し、次に DCPCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に、DCPCTR.SUREQ[3:0] ビットを 0 に変更します。USBHS が DCPCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS ビットと PBUSY ビットの確認は必要ありません。

MXPS[6:0] ビット（最大パケットサイズ）

DCP の最大データペイロード（最大パケットサイズ）を指定します。初期値は 40h（64 バイト）です。USB2.0 規格に準拠した値を設定してください。MXPS[6:0] ビットが 0 の状態のときには、FIFO バッファへの書き込み、または PID = BUF の設定を行わないでください。

DEVSEL[3:0] ビット（デバイス選択）

ホストコントローラモード時、コントロール転送の対象の周辺デバイスのアドレスを指定します。関連する DEVADDm（m = 0 ～ A）レジスタでデバイスアドレスを設定した後で、DEVSEL[3:0] ビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを 0010b にするには、まず DEVADD2 レジスタでアドレスを設定します。

デバイスコントローラモードでは、このビットを 0000b にしてください。

33.2.32 DCP コントロールレジスタ（DCPCTR）

アドレス USBHS.DCPCTR 4006 0060h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	SUREQ	CSCLR	CSSTS	SUREQCLR	—	—	SQCLR	SQSET	SQMON	PBUSY	PINGE	—	CCPL	PID[1:0]	
リセット後の値	0	0	0	0	x	x	x	0	0	1	0	0	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b2	CCPL	コントロール転送終了許可	0：コントロール転送終了を許可しない 1：コントロール転送終了を許可する	R/W
b3	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b4	PINGE	PINGトークン発行許可（注1）	0：PINGトークン禁止 1：通常のPING動作を許可	R/W
b5	PBUSY	パイプビジーフラグ	0：DCPをUSBバスにて未使用 1：DCPをUSBバスにて使用中	R
b6	SQMON	シーケンストグルビットモニタフラグ	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセット（注1）	DCP転送においてシーケンストグルビットを設定します。 0：無効（0の書き込みは無効です） 1：次のトランザクションの期待値をDATA1に設定 読むと0が読めます。	R/W
b8	SQCLR	シーケンストグルビットクリア（注1）	DCP転送におけるシーケンストグルビットをクリアします。 0：無効（0の書き込みは無効です） 1：次のトランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W
b10-b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b11	SUREQCLR	SUREQビットクリア	ホストコントローラモード時にSUREQビットをクリアします。 0：無効（0の書き込みは無効です） 1：SUREQを0にクリア 読むと0が読めます。	R/W
b12	CSSTS	CSSTSステータスフラグ	0：START-SPLIT（SSPLIT）トランザクション、またはSPLITトランザクションを使用しないデバイスの処理実行中 1：COMPLETE-SPLIT（CSPLIT）トランザクション実行中	R
b13	CSCLR	CSSTSステータスフラグクリア	ホストコントローラモードでSPLITトランザクションのCSSTSフラグをクリアして、SSPLITから次のDCP転送を再開します。 0：無効（0の書き込みは無効です） 1：CSSTSを0にクリア 読むと0が読めます。	R/W
b14	SUREQ	SETUPトークン送出	ホストコントローラモード時のトークン送出を設定します。 0：無効（0の書き込みは無効です） 1：Setupパケット送出	R/W
b15	BSTS	バッファステータスフラグ	0：バッファアクセス不可能 1：バッファアクセス可能	R

注 1. SQSET、SQCLR、PINGE ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する前に CSSTS ビットと PBUSY ビットが 0 であることを確認し、次に DCPCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が DCPCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS ビットと PBUSY ビットの確認は必要ありません。

PID[1:0] ビット（応答 PID）

PID[1:0] ビットは、コントロール転送における USB 応答の種類を制御します。

ホストコントローラモードでは、以下のように PID[1:0] ビットの設定を NAK から BUF に変更します。

- 送信方向設定時：
  a. DVSTCTR0.UACT ビットが 1 かつ PID = NAK の状態で FIFO バッファにすべての送信データを書き込みます。
  b. PID[1:0] ビットを 01b（BUF）にします。
  これにより USBHS は OUT トランザクション（または PING トランザクション）を実施します。
- 受信方向設定時：
  c. DVSTCTR0.UACT ビットが 1 かつ PID = NAK の状態で FIFO バッファが空の状態であることを確認します（または空の状態にします）。
  d. PID[1:0] ビットを 01b（BUF）にします。
  これにより USBHS は IN トランザクションを実施します。

USBHS は PID[1:0] ビットの設定値変更を以下のように行います：

- ソフトウェアが PID[1:0] ビットを BUF（01b）にし、USBHS が MaxPacketSize を超えるデータを受信すると、USBHS は PID[1:0] を STALL（11b）にする
- CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBHS は PID[1:0] を NAK（00b）にする
- STALL ハンドシェイクの受信時、USBHS は PID[1:0] を STALL（11b）にする

デバイスコントローラモードでは、USBHS は PID[1:0] ビットの設定値変更を以下のように行います：

- Setup パケットの受信時、USBHS は PID[1:0] を NAK（00b）にする。このとき USBHS は INTSTS0.VALID フラグを 1 にし、ソフトウェアで VALID フラグが 0 になるまで、PID[1:0] ビットの設定は変更できなくなる
- ソフトウェアが PID[1:0] ビットを BUF（01b）にし、USBHS が MaxPacketSize を超えるデータを受信すると、USBHS は PID[1:0] を STALL（11b）にする
- コントロール転送シーケンスエラー検出時、USBHS は PID[1:0] を STALL（1xb）にする
- USB バスリセット検出時、USBHS は PID[1:0] ビットを NAK にする

SET_ADDRESS リクエストの処理中、USBHS は PID[1:0] の設定をチェックしません。

CCPL ビット（コントロール転送終了許可）

デバイスコントローラモード時、CCPL ビットを 1 にすることにより、コントロール転送のステータスステージの終了許可を設定します。関連する PID[1:0] ビットが BUF のとき、ソフトウェアで CCPL ビットを 1 にすると、USBHS はコントロール転送のステータスステージを完了させます。

コントロールリード転送では、USBHS は USB ホストからの OUT トランザクションに応じて、ACK ハンドシェイクを送信します。コントロールライト転送またはノーデータコントロール転送では、USB ホストからの IN トランザクションに対して、USBHS は Zero-Length パケットを送信します。SET_ADDRESS リクエスト検出時は、CCPL ビットの設定値に関係なく USBHS はセットアップステージからステータスステージ完了まで自動応答モードで動作します。

新たな Setup パケットを受信したときに、USBHS は CCPL ビットを 1 から 0 に変更します。
INTSTS0.VALID ビットが 1 のとき、ソフトウェアで CCPL ビットに 1 を書き込むことはできません。CCPL ビットは USB バスリセットで初期化されます。

ホストコントローラモードでは、このビットを必ず 0 にしてください。

PINGE ビット（PING トークン発行許可）

ホストコントローラモード時、ソフトウェアが PINGE ビットを 1 にすると、USBHS は送信方向の転送に対して PING トークンを発行します。これにより、転送が開始されます。PING トランザクションで ACK ハンドシェイクが検出されると、次のトランザクションで OUT トランザクションが実行されます。OUT トランザクションで NAK ハンドシェイクまたは NYET ハンドシェイクが検出されると、次のトランザクションで PING トランザクションが実行されます。

ソフトウェアで PINGE ビットを 0 にすると、USBHS は送信方向の転送に対して PING トークンを発行しません。送信方向のすべての転送は、OUT トランザクションで実行されます。

PBUSY フラグ（パイプビジーフラグ）

USBHS が PID[1:0] ビットを BUF から NAK に変更した場合に、DCP がトランザクションで使用されているかどうかを示します。選択したパイプに対する USB トランザクション開始時に、USBHS は PBUSY フラグを 0 から 1 に変更します。1 つのトランザクションが完了すると、USBHS は PBUSY フラグを 1 から 0 に変更します。

ソフトウェアで PID が NAK にされると、PBUSY フラグの値はパイプ設定の変更が可能かどうかを示します。

詳細は、33.3.7.1　パイプコントロールレジスタの切り替え手順を参照してください。

SQMON フラグ（シーケンストグルビットモニタフラグ）

DCP 転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。

トランザクションを正常に完了すると、USBHS がこのビットをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、このビットはトグルされません。

デバイスコントローラモード時、Setup パケット正常受信時に、USBHS は SQMON ビットを 1（期待値を DATA1 に設定）にします。

デバイスコントローラモード時、ステータスステージの IN または OUT トランザクション中は USBHS はこのビットを参照しません。また、正常完了時もこのビットをトグルしません。

SQSET ビット（シーケンストグルビットセット）

DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定します。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SQCLR ビット（シーケンストグルビットクリア）

DCP 転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定します。読むと 0 が読めます。

SQCLR ビットと SQSET ビットを同時に 1 にしないでください。

SUREQCLR ビット（SUREQ ビットクリア）

ホストコントローラモード時に、SUREQCLR ビットを 1 にすると SUREQ ビットが 0 にクリアされます。読むと 0 が読めます。

SETUP トランザクションにおいて、SUREQ ビットが 1 のときに転送が停止した場合は、ソフトウェアで SUREQCLR ビットを 1 にしてください。正常な SETUP トランザクションでは、USBHS が自動的に SUREQ ビットを 0 するため、ソフトウェアによるクリア処理は必要ありません。

SUREQCLR ビットによる SUREQ ビットの制御は、DVSTCTR0.UACT ビットが 0 のときにのみ行ってください。UACT が 0 のときは、通信が停止しているか、バス切断検出により転送が行われていない状態となっています。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

CSSTS フラグ（CSSTS ステータスフラグ）

ホストコントローラモード時、CSSTS フラグは転送タイプがアイソクロナス以外のパイプにおける SPLIT トランザクションの Complete-split ステートを示します。USBHS は、COMPLETE-SPLIT トランザクションの開始時に CSSTS フラグを 1 にし、トランザクションの完了を検出すると CSSTS フラグを 0 に戻します。

デバイスコントローラモード時に CSSTS フラグから読み出した値は無効です。

CSCLR ビット（CSSTS ステータスフラグクリア）

ホストコントローラモード時に、CSCLR ビットを 1 にすると CSSTS ビットが 0 になります。

SPLIT トランザクションを使用した転送で次の転送を START-SPLIT から強制的に再開する場合、ソフトウェアでこのビットを 1 にします。通常の SPLIT トランザクションの COMPLETE-SPLIT トランザクション正常完了時には、USBHS が自動的に CSSTS フラグを 0 するため、この処理は必要ありません。

DVSTCTR0.UACT ビットが 0 のときのみ、CSCLR ビットを利用して CSSTS フラグを制御してください。UACT が 0 の場合、通信が停止しているか、ポート切断検出により転送が行われていない状態です。CSSTS フラグが 0 のときに CSCLR ビットへの 1 の書き込みは無効です。フラグは 0 のままになります。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

SUREQ ビット（SETUP トークン送出）

ホストコントローラモード時、SUREQ ビットを 1 にすると、USBHS が Setup パケットを送信します。SETUP トランザクション処理終了後、USBHS は SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、SUREQ ビットを 0 にします。また、SUREQCLR ビットをソフトウェアで 1 にすることにより、USBHS は SUREQ ビットを 0 にします。

DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、SUREQ ビットを 1 にしてください。また、DCP の PID[1:0] ビットを NAK に設定していることを確認してください。SUREQ ビットを 1 にした後、SETUP トランザクションが終了するまで（SUREQ ビットが 1）の期間は DCPMAXP.DEVSEL[3:0] ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。SETUP トークンを出すときのみ SUREQ ビットを 1 にしてください。その他のときは 0 にしてください。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

BSTS フラグ（バッファステータスフラグ）

DCP FIFO バッファへのアクセスステータスを示します。BSTS フラグが示す内容は、CFIFOSEL.ISEL ビットの設定に応じて以下のように異なります。

- ISEL ビットが 0 のとき、バッファから受信データの読み出しが可能かどうかを示します
- ISEL ビットが 1 のとき、バッファへの送信データの書き込みが可能かどうかを示します

33.2.33 パイプウィンドウ選択レジスタ（PIPESEL）

アドレス USBHS.PIPESEL 4006 0064h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	PIPESEL[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	PIPESEL[3:0]	パイプウィンドウ選択	b3 b0 0 0 0 0：パイプ選択なし 0 0 0 1：パイプ1 0 0 1 0：パイプ2 0 0 1 1：パイプ3 0 1 0 0：パイプ4 0 1 0 1：パイプ5 0 1 1 0：パイプ6 0 1 1 1：パイプ7 1 0 0 0：パイプ8 1 0 0 1：パイプ9 上記以外は設定しないでください。	R/W
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

PIPESEL レジスタ、PIPECFG レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPEnCTR レジスタ、PIPEnTRE レジスタ、および PIPEnTRN レジスタ（n＝0 ～ 9）を使用して、パイプ 1 ～ 9 を設定します。

PIPESEL レジスタでパイプを選択した後、関連する PIPECFG、PIPEMAXP、および PIPEPERI レジスタでパイプ機能設定を行います。PIPEnCTR、PIPEnTRE、および PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

PIPESEL[3:0] ビット（パイプウィンドウ選択）

書き込み／読み出しに使用する PIPECFG、PIPEMAXP、PIPEPERI レジスタに関連付けるパイプ番号を指定します。PIPESEL[3:0] ビットで指定したパイプ番号に関連付けられた PIPECFG、PIPEMAXP、PIPEPERI レジスタの読み出し／書き込みができます。

PIPESEL[3:0] ビットを 0000b にしたときは、PIPECFG、PIPEMAXP、および PIPEPERI レジスタの各ビットは、すべて 0 が読めます。書き込みは無効になります。

33.2.34 パイプコンフィグレーションレジスタ（PIPECFG）

アドレス USBHS.PIPECFG 4006 0068h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TYPE[1:0]		—	—	—	BFRE	DBLB	CNTMD	SHTNAK	—	—	DIR	EPNUM[3:0]			
リセット後の値	0	0	x	x	x	0	0	0	0	x	x	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	EPNUM[3:0]	エンドポイント番号（注1）	選択パイプのエンドポイント番号を指定します。0000bの設定は、未使用パイプを意味します。	R/W
b4	DIR	転送方向（注2）（注3）	0：受信方向 1：送信方向	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SHTNAK	転送終了時のパイプ禁止（注1）	0：転送終了後にパイプ動作を継続 1：転送終了後にパイプを禁止	R/W
b8	CNTMD	連続転送モード（注2）（注3）	0：非連続転送モード 1：連続転送モード	R/W
b9	DBLB	ダブルバッファモード（注2）（注3）	0：シングルバッファ 1：ダブルバッファ	R/W
b10	BFRE	BRDY割り込み動作指定（注2）（注3）	0：データ送受信でBRDY割り込み生成 1：データ読み出し完了時にBRDY割り込み生成	R/W
b13-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b14	TYPE[1:0]	転送タイプ（注1）	• パイプ1～2 b15 b14 0 0：パイプ不使用 0 1：バルク転送 1 0：設定禁止 1 1：アイソクロナス転送 • パイプ3～5 b15 b14 0 0：パイプ不使用 0 1：バルク転送 1 0：設定禁止 1 1：設定禁止 • パイプ6～9 b15 b14 0 0：パイプ不使用 0 1：設定禁止 1 0：インタラプト転送 1 1：設定禁止	R/W

注 1. TYPE[1:0] ビット、SHTNAK ビット、および EPNUM[3:0] ビットの設定の変更は、PID = NAK の状態のときに限り行ってください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS フラグと PBUSY フラグの確認は必要ありません。

注 2. BFRE ビット、DBLB ビット、および DIR ビットの設定の変更は、PID = NAK およびポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

注 3. 選択パイプを使用した USB 通信の終了後に BFRE ビット、DBLB ビット、または DIR ビットを変更する場合は、注 2. の制限事項にある状態に加え、ソフトウェアで PIPEnCTR.ACLRM ビットに 1 と 0 を連続して書き込み、選択パイプに割り当てられた FIFO バッファのクリアを実行してください。

EPNUM[3:0] ビット（エンドポイント番号）

選択パイプのエンドポイント番号を指定します。0000b の設定は、未使用パイプを意味します。

DIR ビットと EPNUM[3:0] ビットの設定の組み合わせが、他のパイプの設定と重複しないように EPNUM[3:0] ビットを設定してください。（すべてのパイプに対して EPNUM[3:0] ビットの設定を 0000b とすることは可能です。）

DIR ビット（転送方向）

選択パイプの転送方向を指定します。

ソフトウェアで DIR ビットを 0 にすると、USBHS は選択パイプを受信方向に使用します。ソフトウェアで DIR ビットを 1 にすると、USBHS は選択パイプを送信方向に使用します。

SHTNAK ビット（転送終了時のパイプ禁止）

選択パイプの転送方向が受信の場合、転送終了時に PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更するかどうかを指定します。SHTNAK ビットは、受信方向のパイプ 1 ～ 5 の場合に有効なビットです。

受信方向パイプに対してソフトウェアがこのビットを 1 にすると、転送終了判定時に USBHS が関連する PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更します。USBHS は、以下の条件が満たされると転送終了を判定します。

- ショートパケットデータ（Zero-Length パケットを含む）を正常受信したとき
- トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき

CNTMD ビット（連続転送モード）

選択パイプを連続転送モードで動作させているかどうかを示します。このビットは、バルク転送タイプのパイプ 1 ～ 5 の場合に有効なビットです。

このビットの設定値によって、USBHS は選択パイプに割り当てられた FIFO バッファに対する送受信完了判定を表 33.9 に示すとおりに行います。

表 33.9　CNTMD 設定と FIFO バッファ送受信完了判定方法の関係

CNTMD ビットの設定	読み出し可能状態と送信可能状態の判定方法
0	受信方向設定時（DIR = 0）FIFO バッファが読み出し可能状態になる条件： USBHS が 1 パケット受信したとき
	送信方向設定時（DIR = 1）FIFO バッファが送信可能状態になる条件： 次の（1）、（2）のいずれかを満たすとき （1）ソフトウェア（または DMAC/DTC）が最大パケットサイズ分のデータを FIFO バッファに書き込んだとき （2）ソフトウェア（または DMAC/DTC）がショートパケットサイズ分のデータ（0 バイトの場合を含む）を FIFO バッファに書き込み、ポートコントロールレジスタの BVAL フラグを 1 にしたとき
1	受信方向設定時（DIR = 0）FIFO バッファが読み出し可能状態になる条件： （1）選択パイプに割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数（(BUFSIZE + 1) × 64）が等しくなったとき （2）USBHS が Zero-Length パケット以外のショートパケットを受信したとき （3）選択パイプに割り当てられた FIFO バッファにすでにデータが格納されている状態で、USBHS が Zero-Length パケットを受信したとき （4）選択パイプに対して設定したトランザクションカウンタ分のパケットをソフトウェアが受信したとき
	送信方向設定時（DIR = 1）FIFO バッファが送信可能状態になる条件： 次の（1）～（3）のいずれかを満たすとき （1）ソフトウェア（または DMAC/DTC）が書き込んだデータ量が、選択パイプに割り当てられた FIFO バッファのサイズと等しいとき （2）ソフトウェア（または DMAC/DTC）が、選択パイプに割り当てられた FIFO バッファサイズよりも小さいデータ（0 バイトの場合を含む）を FIFO バッファに書き込み、ポートコントロールレジスタの BVAL フラグを 1 にしたとき （3）ソフトウェア（または DMAC/DTC）が、選択パイプに割り当てられた FIFO バッファサイズよりも小さいデータ（0 バイトの場合を含む）を FIFO バッファに書き込み、最後の書き込みで DENDx_N 信号をアサートしたとき

DBLB ビット（ダブルバッファモード）

選択パイプが使用する FIFO バッファがシングルバッファかダブルバッファかを指定します。このビットはパイプ 1 ～ 5 の場合に有効です。

ソフトウェアが DBLB ビットを 1 にすると、USBHS は選択パイプに対し、PIPEBUF.BUFSIZE[5:0] ビットで指定した FIFO バッファサイズの 2 倍のサイズを割り当てます。USBHS が選択パイプに割り当てる FIFO バッファのサイズは以下のとおりです。

(BUFSIZE + 1) × 64 × (DBLB + 1)[バイト]

BFRE ビット（BRDY 割り込み動作指定）

USBHS から CPU への選択パイプに関する BRDY 割り込み発行タイミングを指定します。

ソフトウェアで BFRE ビットを 1 にし、かつ選択パイプを受信方向で使用している場合、USBHS は、転送の終了を検出し、パケットの読み出し時に BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生した場合、ソフトウェアでポートコントロールレジスタの BCLR ビットに 1 を書く必要があります。BCLR ビットに 1 を書くまで、選択パイプに割り付けられた FIFO バッファは受信可能状態になりません。

ソフトウェアで BFRE ビットを 1 にし、選択パイプを送信方向で使用している場合、USBHS は BRDY 割り込みを発生させません。詳細は、33.3.6.1　BRDY 割り込みを参照してください。

TYPE[1:0] ビット（転送タイプ）

PIPESEL.PIPESEL[3:0] ビットに指定したパイプの転送タイプを指定します。選択パイプで PID = BUF に設定して USB 通信を開始する前に、TYPE[1:0] ビットを 00b 以外の値に設定してください。

33.2.35 パイプバッファ指定レジスタ（PIPEBUF）

アドレス USBHS.PIPEBUF 4006 006Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	BUFSIZE[4:0]					—	—	BUFNMB[7:0]							
リセット後の値	x	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	BUFNMB[7:0]	バッファ番号	選択パイプのFIFOバッファ番号を指定します（04h～87h）。	R/W
b9-b8	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b14-b10	BUFSIZE[4:0]	バッファサイズ	00h：64バイト 01h：128バイト ： 1Fh：2KB	R/W
b15	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注 1. PIPEBUF レジスタ内のビットの設定の変更は、PID = NAK およびポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS フラグと PBUSY フラグの確認は必要ありません。

BUFNMB[7:0] ビット（バッファ番号）

選択パイプに割り付ける FIFO バッファのうち、先頭のブロック番号を指定します。

USBHS は、次のように FIFO バッファブロックを選択パイプに割り当てます。

ブロック番号：BUFNMB ～ブロック番号：BUFNMB + (BUFSIZE + 1) × (DBLB + 1) - 1

以下の条件を守った上で、メモリサイズの範囲内（8.5KB メモリの場合で 0 [00h] ～ 8640 [87h]）で BUFNMB[7:0] ビットへ値を設定してください。

- 00h は DCP 専用です
- 04h はパイプ 6 専用です。ただしパイプ 6 を使用しない場合は、他のパイプで使用可能です。パイプ 6 を選択した場合、BUFNMB[7:0] ビットへの書き込みは無効です。USBHS は、パイプ 6 に対し BUFNMB[7:0] ビットに 04h を自動的に割り当てます
- 05h はパイプ 7 専用です。ただしパイプ 7 を使用しない場合は、他のパイプで使用可能です。パイプ 7 を選択した場合、BUFNMB[7:0] ビットへの書き込みは無効です。USBHS は、パイプ 7 に対し BUFNMB ビットに 05h を自動的に割り当てます
- 06h はパイプ 8 専用です。ただしパイプ 8 を使用しない場合は、他のパイプで使用可能です。パイプ 8 を選択した場合、BUFNMB[7:0] ビットへの書き込みは無効です。USBHS は、パイプ 8 に対し BUFNMB ビットに 06h を自動的に割り当てます
- 07h はパイプ 9 専用です。ただしパイプ 9 を使用しない場合は、他のパイプで使用可能です。パイプ 9 を選択した場合、BUFNMB[7:0] ビットへの書き込みは無効です。USBHS は、パイプ 9 に対し BUFNMB ビットに 07h を自動的に割り当てます

BUFSIZE[4:0] ビット（バッファサイズ）

選択パイプに割り当てる FIFO バッファサイズ（ブロック数）を、BUFSIZE[4:0] ビットに指定します。1 ブロックは 64 バイトです。

ソフトウェアが DBLB ビットを 1 にすると、USBHS は選択パイプに対し、BUFSIZE[4:0] ビットで指定した FIFO バッファサイズの 2 倍のサイズを割り当てます。DBLB = 1 の設定はパイプ 1 ～ 5 に対して有効です。

USBHS は、次のように FIFO バッファブロックを選択パイプに割り当てます。

(BUFSIZE + 1) × 64 × (DBLB + 1)[バイト]

次の範囲内で値を設定してください。

- パイプ 1 ～ 5 の場合、00h ～ 1Fh の値を設定（最大 2KB）
- パイプ 6 ～ 9 の場合、00h のみを設定（64 バイト）

33.2.36 パイプマックスパケットサイズレジスタ（PIPEMAXP）

アドレス USBHS.PIPEMAXP 4006 006Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DEVSEL[3:0]				—	MXPS[10:0]										
リセット後の値	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b10-b0	MXPS[10:0] （注1）（注2）	最大パケットサイズ	• パイプ1および2 1バイト（001h）～1024バイト（400h） • パイプ3～5 8バイト（008h）、16バイト（010h）、32バイト（020h）、64バイト（040h）、512バイト（200h） （[2:0]ビットはサポートされていません。） • パイプ6～9 1バイト（001h）～64バイト（040h） （[10:7]ビットはサポートされていません。）	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b12	DEVSEL[3:0] （注3）	デバイス選択	b15 b12 0 0 0 0：アドレス0000b 0 0 0 1：アドレス0001b ： 1 0 0 1：アドレス1001b 1 0 1 0：アドレス1010b 1011～1111：予約	R/W

注 1. MXPS[10:0] ビットの初期値は、PIPESEL.PIPESEL[3:0] ビットでパイプを選択していないときは 00h、選択しているときは 40h です。

注 2. MXPS[10:0] ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS フラグと PBUSY フラグの確認は必要ありません。

注 3. DEVSEL[3:0] ビットの設定は、PID = NAK およびポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる CSSTS および PBUSY フラグの確認は必要ありません。

MXPS[10:0] ビット（最大パケットサイズ）

選択パイプの最大データペイロード（最大パケットサイズ）を指定します。

MXPS[10:0] ビットには、転送タイプごとに USB2.0 規格に準拠した値を設定してください。MXPS[10:0] ビットが 0 のとき、FIFO バッファへの書き込み、または PID = BUF の設定は行わないでください。書き込みは無効です。

SPLIT トランザクションを使用してアイソクロナスパイプで通信を行うには、MXPS[10:0] ビットの値を 188 バイト以下に設定してください。

DEVSEL[3:0] ビット（デバイス選択）

ホストコントローラモード時、USB 通信の対象デバイスのアドレスを指定します。関連する DEVADDm（m = 0 ～ A）レジスタでデバイスアドレスを設定した後で、DEVSEL[3:0] ビットを対応する値に設定してください。たとえば、DEVSEL[3:0] ビットを 0010b にするには、まず DEVADD2 レジスタでアドレスを設定します。

デバイスコントローラモードでは、このビットを 0000b にしてください。

33.2.37 パイプ周期コントロールレジスタ（PIPEPERI）

アドレス USBHS.PIPEPERI 4006 006Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	IFIS	—	—	—	—	—	—	—	—	—	IITV[2:0]		
リセット後の値	x	x	x	0	x	x	x	x	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b2-b0	IITV[2:0]	インターバルエラー検出間隔	選択パイプのインターバルエラー検出タイミングを、フレームタイミングの2のn乗で指定してください。	R/W
b11-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	IFIS	アイソクロナスINバッファフラッシュ	0：バッファをフラッシュしない 1：バッファをフラッシュする	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. IITV[2:0] ビットの設定は、PID = NAK の状態のときにのみ実施してください。これらのビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

PIPEPERI レジスタはパイプ 1 ～ 9 に対して、アイソクロナス IN 転送時にインターバルエラーが発生した場合にバッファフラッシュ機能を動作させるか否かの選択、およびインターバルエラーの検出間隔の設定をするレジスタです。

IITV[2:0] ビット（インターバルエラー検出間隔）

IITV[2:0] ビットを設定し、USB 通信を行った後で IITV[2:0] ビットを別の値に変更する場合は、PIPEnCTR.PID[1:0] ビットを 00b（NAK）にしてから PIPEnCTR.ACLRM ビットを 1 にして、インターバルタイマの初期化を行ってください。

パイプ 3 ～ 5 に対しては、IITV[2:0] ビットは存在しません。パイプ 3 ～ 5 に対応する IITV[2:0] ビットの位置には、000b を書いてください。

IFIS ビット（アイソクロナス IN バッファフラッシュ）

PIPESEL.PIPESEL[3:0] ビットが指定したパイプがアイソクロナス IN 転送で使用される場合に、バッファフラッシュの有無を指定します。

デバイスコントローラモード時に、選択パイプの転送タイプがアイソクロナス、かつ転送方向が IN 転送の場合において、IITV[2:0] ビットに設定したインターバルごとのフレーム中に USBHS が USB ホストから IN トークンを受信しなかった場合に、USBHS が自動的に FIFO バッファをクリアします。

ダブルバッファ設定時（PIPECFG.DBLB = 1）、USBHS は古い方の 1 面分データのみクリアします。

USBHS が FIFO バッファをクリアするタイミングは、USBHS が IN トークンを受信するはずのフレーム直後の SOF パケット受信時です。SOF パケットが破損している場合でも、内部補完機能により SOF パケットを受信する予定のタイミングで、FIFO バッファがクリアされます。

ホストコントローラ機能を選択した場合は、本ビットを 0 にしてください。選択パイプをアイソクロナス転送に使用しない場合は、本ビットを 0 にしてください。

33.2.38 パイプnコントロールレジスタ（PIPEnCTR）（n = 1 ～ 9）

アドレス USBHS.PIPE1CTR 4006 0070h, USBHS.PIPE2CTR 4006 0072h, USBHS.PIPE3CTR 4006 0074h, USBHS.PIPE4CTR 4006 0076h, USBHS.PIPE5CTR 4006 0078h, USBHS.PIPE6CTR 4006 007Ah, USBHS.PIPE7CTR 4006 007Ch, USBHS.PIPE8CTR 4006 007Eh, USBHS.PIPE9CTR 4006 0080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BSTS	INBUFM	CSCLR	CSSTS	—	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	—	—	—	PID[1:0]	
リセット後の値	0	0	0	0	x	0	0	0	0	0	0	x	x	x	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	PID[1:0]	応答PID	b1 b0 0 0：NAK応答 0 1：BUF応答（バッファ状態に従う） 1 0：STALL応答 1 1：STALL応答	R/W
b4-b2	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b5	PBUSY	パイプビジーフラグ	0：パイプnをトランザクションで未使用 1：パイプnをトランザクションで使用中	R
b6	SQMON	シーケンストグルビットモニタフラグ	0：DATA0 1：DATA1	R
b7	SQSET	シーケンストグルビットセット（注1）	パイプnにシーケンストグルビットを設定します。 0：無効（0の書き込みは無効です） 1：次のトランザクションの期待値をDATA1に設定 読むと0が読めます。	R/W
b8	SQCLR	シーケンストグルビットクリア（注1）	パイプnのシーケンストグルビットをクリアします。 0：無効（0の書き込みは無効です） 1：次のトランザクションの期待値をDATA0にクリア 読むと0が読めます。	R/W
b9	ACLRM	自動バッファクリアモード（注2）	0：無効 1：許可（全バッファを初期化）	R/W
b10	ATREPM	自動応答モード（注1）（注3）	0：自動応答モード禁止 1：自動応答モード許可	R/W
b11	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b12	CSSTS	CSSTSステータスフラグ	0：START-SPLIT（SSPLIT）トランザクション、またはSPLITトランザクションを使用しないデバイスの処理実行中 1：COMPLETE-SPLIT（CSPLIT）トランザクション実行中	R
b13	CSCLR	CSPLITステータスクリア	パイプnのCSSTSフラグをクリアします。 0：無効（0の書き込みは無効です） 1：CSSTSを0にクリア	W
b14	INBUFM	送信バッファモニタフラグ（注3）	0：FIFOバッファに送信可能データなし 1：FIFOバッファに送信可能データあり	R
b15	BSTS	バッファステータスフラグ	0：バッファアクセス不可能 1：バッファアクセス可能	R

注 1. ATREPM ビットの設定は、PID = NAK の状態のときにのみ実施してください。このビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

注 2. ACLRM ビットの設定は、PID = NAK かつポート選択レジスタの CURPIPE[3:0] ビットにパイプ未設定の状態のときに限り行ってください。このビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

注 3. PIPE6CTR レジスタ～ PIPE9CTR レジスタの ATREPM ビットおよび INBUFM フラグは予約です。読むと不定値が読めます。書く場合、0 としてください。

PID[1:0] ビット（応答 PID）

選択パイプの次回トランザクションにおける応答の種類を指定します。

PID[1:0] ビットの初期値は NAK です。当該パイプで USB 転送を行う場合は、本ビットの設定を BUF に変更してください。PID[1:0] ビット設定値に基づく USBHS の基本動作（通信パケットにエラーがない場合の動作）を表 33.10 および表 33.11 に示します。

選択パイプが USB 通信中であるときに、ソフトウェアで PID[1:0] ビットの設定を BUF から NAK に変更する場合、NAK を書いた後、実際にそのパイプの USB 転送が NAK 状態に遷移したことを確認するために、PBUSY ビットが 1 であることを確認してください。USBHS が PID[1:0] ビットを NAK に変更した場合には、ソフトウェアによる PBUSY ビットの確認は必要ありません。

以下の場合には、USBHS が PIPEnCTR.PID[1:0] の設定を変更します。

- 選択パイプが受信方向の場合で、かつ、ソフトウェアで選択パイプの PIPECFG.SHTNAK ビットを 1 にしている場合、USBHS は転送終了を認識したときに PID を NAK にする
- 選択パイプに対し、最大パケットサイズを超えるペイロードのデータパケットを受信した場合、USBHS は PID を STALL（11b）にする
- デバイスコントローラモード時に、USB バスリセットを検出した場合、USBHS は PID を NAK にする
- ホストコントローラモード時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合、USBHS は PID を NAK にする
- ホストコントローラモード時に、STALL ハンドシェイクを受信した場合、USBHS は PID を STALL（11b）にする

応答種類を指定するには、PID[1:0] ビットを以下のように設定してください。

- NAK（00b）状態から STALL 状態にする場合には、10b を設定
- BUF（01b）状態から STALL 状態にする場合には、11b を設定
- STALL（11b）状態から NAK 状態にする場合には、一度 10b を設定してから 00b を設定
- STALL 状態から BUF 状態にする場合には、一度 00b（NAK）を設定してから 01b（BUF）を設定

表 33.10 ホストコントローラモードでの PIPEnCTR.PID[1:0] 設定に基づいた USBHS の動作

PID[1:0]値	転送タイプ（TYPE[1:0]値）	転送方向（DIR値）	USBHSの動作
00b（NAK）	設定値に依存しない	設定値に依存しない	トークンを発行しない。
01b（BUF）	バルクまたはインタラプト	設定値に依存しない	DVSTCTR0.UACTビットが1で、選択パイプに関連付けられているFIFOバッファが送受信可能な状態にある場合、トークンを発行する。 DVSTCTR0.UACTビットが0であるか、選択パイプに関連付けられているFIFOバッファが送受信可能な状態にない場合は、トークンを発行しない。
	アイソクロナス	設定値に依存しない	DVSTCTR0.UACTビットが1のとき、選択パイプに関連するFIFOバッファの状態にかかわらず、トークンを発行する。 UACTが0のとき、トークンを発行しない。
10b（STALL）または 11b（STALL）	設定値に依存しない	設定値に依存しない	トークンを発行しない。

表 33.11 デバイスコントローラモードでのPIPEnCTR.PID[1:0]設定に基づいたUSBHSの動作

PID[1:0]値	転送タイプ（TYPE[1:0]値）	転送方向（DIR値）	USBHSの動作
00b（NAK）	バルクまたはインタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う。
	アイソクロナス	受信方向（DIR = 0）	USBホストからのトークンに応答を行わない。
		送信方向（DIR = 1）	USBホストからのトークンに対しZero-Lengthパケットを送信する。
01b（BUF）	バルク	受信方向（DIR = 0）	USBホストからのOUTトークンに対し、選択パイプに関連付けられているFIFOバッファが受信可能な状態であれば、データを受信しACK応答またはNYET応答を行う。受信可能な状態でなければ、NAK応答を行う。 USBホストからのPINGトークンに対し、選択パイプに関連付けられているFIFOバッファが受信可能な状態であれば、ACK応答を行う。受信可能な状態でなければ、NAK応答を行う。
	インタラプト	受信方向（DIR = 0）	USBホストからのOUTトークンに対し、選択パイプに関連付けられているFIFOバッファが受信可能な状態であれば、データを受信しACK応答を行う。受信可能な状態でなければ、NAK応答を行う。
	バルクまたはインタラプト	送信方向（DIR = 1）	USBホストからのトークンに対し、選択パイプに関連付けられているFIFOバッファが送信可能な状態であれば、データを送信する。送信可能な状態でなければ、NAK応答を行う。
	アイソクロナス	受信方向（DIR = 0）	USBホストからのOUTトークンに対し、選択パイプに関連付けられているFIFOバッファが受信可能な状態であれば、データを受信する。受信可能な状態でなければ、データを廃棄する。
		送信方向（DIR = 1）	USBホストからのトークンに対し関連するFIFOバッファが送信可能な状態であればデータを送信する。送信可能な状態でなければ、Zero-Lengthパケットを送信する。
10b（STALL）または 11b（STALL）	バルクまたはインタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う。
	アイソクロナス	設定値に依存しない	USBホストからのトークンに応答を行わない。

PBUSY フラグ（パイプビジーフラグ）

選択パイプが現在トランザクションで使用中かどうかを示します。

USBHS は、選択パイプの USB トランザクションを開始したときに PBUSY ビットを 0 から 1 に変更します。1 つのトランザクションが終了したときに PBUSY ビットを 1 から 0 に変更します。

PID = NAK を設定した後、ソフトウェアで PBUSY ビットを読み出すことにより、パイプ設定変更が可能になったかどうかを確認することができます。詳細は、33.3.7.1 パイプコントロールレジスタの切り替え手順を参照してください。

SQMON フラグ（シーケンストグルビットモニタフラグ）

選択パイプの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。

選択パイプの転送タイプがアイソクロナス以外の場合、トランザクション正常完了時に USBHS は SQMON フラグをトグルします。ただし、受信方向転送時に DATA-PID 不一致が発生すると、USBHS は SQMON フラグをトグルしません。

SQSET ビット（シーケンストグルビットセット）

ソフトウェアで SQSET ビットを 1 にすると、USBHS は選択パイプにおける次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定します。

SQCLR ビット（シーケンストグルビットクリア）

ソフトウェアで SQCLR ビットを 1 にすると、USBHS は選択パイプにおける次のトランザクションのシーケンストグルビットの期待値を DATA0 にクリアします。

ホストコントローラモード時、バルク OUT 転送パイプの SQCLR ビットを 1 にすると、USBHS は選択パイプの次の転送を PING トークンから開始します。

ACLRM ビット（自動バッファクリアモード）

選択パイプの自動バッファクリアモードの許可／禁止を指定します。選択パイプに割り当てられた FIFO バッファのデータを完全にクリアする場合、ACLRM ビットに 1 と 0 を連続して書いてください。

表 33.12 は、ACLRM ビットに 1 と 0 を連続して書いた場合にクリアされるデータと、この処理が必要な状況を示しています。

表 33.12　ACLRM = 1のときにUSBHSがクリアするデータ

番号	ACLRMビットの設定によりクリアされるデータ	データのクリアが必要な状況
1	選択パイプに割り当てられたFIFOバッファの全データ（ダブルバッファモードの場合は2つのFIFOバッファ）	選択したパイプに割り当てられたFIFOバッファの全データをクリアする場合
2	選択パイプの転送タイプがアイソクロナス転送の場合のインターバルカウント値	インターバルカウント値をリセットする場合

ATREPM ビット（自動応答モード）

選択パイプの自動応答モードの許可／禁止を指定します。

デバイスコントローラモードで、選択パイプの転送タイプがバルク転送のとき、このビットを 1 にすることができます。このビットを 1 にした場合、USBHS は USB ホストからのトークンに対し以下のように応答します。

- 選択パイプの設定がバルク IN 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 1）のとき：

  a. ATREPM ビットが 1 かつ PID = BUF の状態の場合、IN トークンに対して USBHS は Zero-Length パケットを送信します。

  b. USBHS は、USB ホストから ACK を受信するごとに、シーケンストグルビット（DATA-PID）を更新（トグルを許可）します。1 トランザクションでは、IN トークン受信、Zero-Length パケット送信、ACK 受信がこの順序で発生します。USBHS は BRDY 割り込みや BEMP 割り込みを生成しません。

- 選択パイプの設定がバルク OUT 転送（PIPECFG.TYPE[1:0] = 01b かつ PIPECFG.DIR = 0）のとき：

  ATREPM ビットが 1 かつ PID = BUF の状態の場合、OUT トークンまたは PING トークンに対して USBHS は NAK 応答を行い、NRDY 割り込みを発生させます。

自動応答モードで USB 通信を行う場合、FIFO バッファは空の状態で ATREPM ビットを 1 にしてください。自動応答モードで USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。選択パイプの転送タイプがアイソクロナス転送の場合、このビットは必ず 0 にしてください。

ホストコントローラモードでは、このビットを必ず 0 にしてください。

CSSTS フラグ（CSSTS ステータスフラグ）

ホストコントローラモード時、CSSTS フラグは SPLIT トランザクションの Complete-split ステートを示します。CSSTS フラグは、転送タイプがアイソクロナス以外のパイプに対して有効です。

USBHS は、COMPLETE-SPLIT トランザクションの開始時に CSSTS フラグを 1 にし、COMPLETE-SPLIT トランザクションの完了を検出すると CSSTS フラグを 0 にします。トランザクション中にデタッチイベントが検出されると、CSSTS フラグが 1 のままになることがあります。この場合、CSCLR ビットを 1 にして CSSTS フラグをクリアしてください。

デバイスコントローラモード時に CSSTS フラグから読み出した値は無効です。

CSCLR ビット（CSPLIT ステータスクリア）

ホストコントローラモード時、ソフトウェアで CSCLR ビットを 1 にすると、USBHS は CSSTS フラグを 0 にします。SPLIT トランザクションでは、次の転送を START-SPLIT から強制的に再開する場合、ソフトウェアで CSCLR ビットを 1 にします。正常な SPLIT トランザクションでは、COMPLETE-SPLIT トランザクションが正常に終了した時点で USBHS が CSSTS フラグを自動的に 0 にクリアするため、ソフトウェアによるフラグのクリアは必要ありません。DVSTCTR0.UACT ビットが 0 のとき、またはデタッチ検出後に転送が発生しないことが確認されたときにのみ、CSCLR ビットを使用して CSSTS フラグをクリアします。CSSTS フラグが 0 のときに CSCLR ビットを 1 にしても、CSSTS フラグは 0 のままです。

デバイスコントローラモードでは、このビットを必ず 0 にしてください。

INBUFM フラグ（送信バッファモニタフラグ）

選択パイプが送信方向の場合に、選択パイプの FIFO バッファステータスを示します。

選択したパイプを送信方向（PIPECFG.DIR = 1）に設定している場合、CPU または DMA/DTC が少なくとも 1 面分の FIFO バッファにデータを書き込み完了したときに、USBHS は INBUFM ビットを 1 にします。

書き込みが完了している面の FIFO バッファ上のデータを USBHS がすべて送信完了したときに、USBHS はこのビットを 0 にします。ダブルバッファモード時（PIPECFG.DBLB = 1）には、USBHS が FIFO バッファの 2 面分のデータを送信完了しかつ CPU または DMA/DTC が FIFO バッファの 1 面分のデータ書き込みを完了していないときに、USBHS は INBUFM フラグを 0 にします。

選択したパイプを受信方向（PIPECFG.DIR = 0）に設定している場合には、INBUFM フラグは BSTS フラグと同じ値を示します。

BSTS フラグ（バッファステータスフラグ）

選択したパイプの FIFO バッファステータスを示します。BSTS ビットの意味は、PIPECFG.DIR、PIPECFG.BFRE、および DnFIFOSEL.DCLRM の設定値により表 33.13 に示すように異なります。

表 33.13 BSTS フラグの動作

DIR値	BFRE値	DCLRM値	BSTSフラグの意味
0	0	0	FIFOバッファからの受信データの読み出しが可能な場合は1に、データ読み出し完了時には0になります。
		1	設定禁止
	1	0	FIFOバッファからの受信データの読み出しが可能な場合は1に、データ読み出し完了後にソフトウェアがポートコントロールレジスタのBCLRビットを1にすると0になります。
		1	FIFOバッファからの受信データの読み出しが可能な場合は1に、データ読み出し完了時には0になります。
1	0	0	FIFOバッファへの送信データ書き込みが可能な場合は1に、データ書き込み完了時には0になります。
		1	設定禁止
	1	0	設定禁止
		1	設定禁止

33.2.39 パイプ n トランザクションカウンタイネーブルレジスタ（PIPEnTRE）（n = 1 ～ 5）

アドレス USBHS.PIPE1TRE 4006 0090h, USBHS.PIPE2TRE 4006 0094h, USBHS.PIPE3TRE 4006 0098h, USBHS.PIPE4TRE 4006 009Ch, USBHS.PIPE5TRE 4006 00A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TRENB	TRCLR	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b8	TRCLR	トランザクションカウンタクリア	0：無効（0の書き込みは無効です） 1：現在のカウンタ値をクリア	R/W
b9	TRENB	トランザクションカウンタ許可	0：トランザクションカウンタ禁止 1：トランザクションカウンタ許可	R/W
b15-b10	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注 . PIPEnTRE レジスタの設定変更は、PIPEnCTR.CSSTS フラグが 0 かつ PIPEnCTR.PID[1:0] ビットが 00b（NAK 応答）のときにのみ実施してください。選択パイプの PIPEnCTR.PID[1:0] ビットを 01b（BUF 応答）から 00b（NAK 応答）に変更する場合、必ず PIPEnCTR.PBUSY フラグおよび PIPEnCTR.CSSTS フラグの値が 0 であることを確認してから変更してください。ただし、USBHS が PID[1:0] ビットを 00b（NAK 応答）に変更している場合、PIPEnCTR.PBUSY フラグを確認するためのソフトウェア処理は必要ありません。

TRCLR ビット（トランザクションカウンタクリア）

TRCLR ビットを 1 にすると、USBHS は選択したパイプに関連するトランザクションカウンタのカウント値をクリアして、TRCLR ビットを 0 にクリアします。

TRENB ビット（トランザクションカウンタ許可）

トランザクションカウンタの許可／禁止を指定します。

受信パイプに対して、ソフトウェアで PIPEnTRN.TRNCNT[15:0] ビットに総受信パケット数を設定した後で TRENB ビットを 1 にすると、USBHS は TRNCNT[15:0] の設定値と同数のパケット受信を終了したときに以下のハードウェア制御を行います。

- PIPECFG.SHTNAK ビットが 1 のとき、TRNCNT[15:0] ビットの設定値と同数のパケット受信を終了した時点で USBHS は関連するパイプの PIPEnCTR.PID[1:0] ビットを NAK に変更
- PIPECFG.BFRE ビットが 1 のとき、TRNCNT[15:0] 設定値と同数のパケットを受信し、その最後の受信データを読み出し終えたときに、USBHS は BRDY 割り込みをアサート

送信パイプについては、TRENB ビットを 0 にしてください。

トランザクションカウンタを使用しない場合は、このビットを 0 にしてください。トランザクションカウンタを使用する場合は、TRNCNT[15:0] ビットの設定を行ってからこのビットを 1 にしてください。トランザクションカウンタのカウント対象となる最初のパケットを受信する前にこのビットを 1 にしてください。

33.2.40 パイプ n トランザクションカウンタレジスタ（PIPEnTRN）（n = 1 ～ 5）

アドレス USBHS.PIPE1TRN 4006 0092h, USBHS.PIPE2TRN 4006 0096h, USBHS.PIPE3TRN 4006 009Ah, USBHS.PIPE4TRN 4006 009Eh, USBHS.PIPE5TRN 4006 00A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TRNCNT[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	TRNCNT[15:0]	トランザクションカウンタ（注1）	• レジスタ書き込み時： パイプnが受信すべき総パケット数（トランザクション回数）を設定します。 • レジスタ読み出し時： PIPEnTRE.TRENBビットが0のときは、指定したトランザクション回数を示します。 PIPEnTRE.TRENBが1の場合、現在のトランザクション回数を示します。	R/W

注 1. TRNCNT[15:0] ビットの設定は、PID = NAK の状態および PIPEnTRE.TRENB が 0 の場合にのみ実施してください。TRNCNT[15:0] ビットを設定する前に PIPEnCTR.CSSTS および PIPEnCTR.PBUSY フラグが 0 であることを確認し、次に PIPEnCTR.PID[1:0] ビットを 01b（BUF）から 00b（NAK）に変更します。USBHS が PIPEnCTR.PID[1:0] ビットを 00b（NAK）に変更した場合には、ソフトウェアによる PBUSY フラグの確認は必要ありません。

PIPEnTRN レジスタは、USB バスリセット時もその設定値を保持します。

TRNCNT[15:0] ビット（トランザクションカウンタ）

USBHS は、パケット受信時の状態が以下をすべて満たしたときに TRNCNT[15:0] ビットの値を 1 インクリメントします。

- PIPEnTRE.TRENB ビットが 1 である
- パケット受信時に（TRNCNT[15:0] 設定値≠現在のカウンタ値＋ 1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

USBHS は、以下のいずれかの条件を満たした場合、TRNCNT[15:0] ビットの値を 0 にします。

以下の条件がすべて満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- パケット受信時に（TRNCNT[15:0] 設定値＝現在のカウンタ値＋ 1）である
- 受信したパケットのペイロードが PIPEMAXP.MXPS[8:0] ビットの設定値と一致した

以下の条件が両方満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- USBHS がショートパケットを受信した

以下の条件が両方満たされたとき：

- PIPEnTRE.TRENB ビットが 1 である
- PIPEnTRE.TRCLR ビットがソフトウェアによって 1 にされた

送信パイプについては、TRNCNT[15:0] ビットを 0 にしてください。トランザクションカウンタを使用しない場合は、TRNCNT[15:0] ビットを 0 にしてください。

TRNCNT[15:0] ビットのトランザクション転送回数の設定は、PIPEnTRE.TRENB ビットが 0 のときのみ可能です。トランザクション転送回数を設定する場合には、PIPEnTRE.TRENB ビットを 1 にする前に、TRCLR ビットを 1 をにして現在のカウンタ値をクリアしてください。

33.2.41 デバイスアドレス m コンフィグレーションレジスタ（DEVADDm）（m = 0 ～ A）

アドレス USBHS.DEVADD0 4006 00D0h, USBHS.DEVADD1 4006 00D2h, USBHS.DEVADD2 4006 00D4h, USBHS.DEVADD3 4006 00D6h, USBHS.DEVADD4 4006 00D8h, USBHS.DEVADD5 4006 00DAh, USBHS.DEVADD6 4006 00DCh, USBHS.DEVADD7 4006 00DEh, USBHS.DEVADD8 4006 00E0h, USBHS.DEVADD9 4006 00E2h, USBHS.DEVADDA 4006 00E4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	UPPHUB[3:0]				HUBPORT[2:0]			USBSPD[1:0]		—	—	—	—	—	—
リセット後の値	x	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b7-b6	USBSPD[1:0]	通信対象デバイス転送速度	b7 b6 0 0：DEVADDmを使用しない 0 1：ロースピード 1 0：フルスピード 1 1：ハイスピード	R/W
b10-b8	HUBPORT[2:0]	通信対象接続ハブポート	b10 b8 0 0 0：USBHSポートに直接接続 001～111：ハブのポート番号	R/W
b14-b11	UPPHUB[3:0]	通信対象接続ハブレジスタ	b14 b11 0 0 0 0：USBHSポートに直接接続 0001～1010：ハブのUSBアドレス 1011～1111：予約	R/W
b15	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注 1. ホストコントローラモード時、各パイプの通信を開始する前に本レジスタの各ビットを設定してください。
注 2. 次の両方の条件を満たすときは、DEVADDm レジスタの値は変更しないでください。
（1）本レジスタが、DCPMAXP.DEVSEL[3:0] ビットに指定されている
（2）選択したパイプの PIPEnCTR.PID[1:0] ビットが 01b（BUF）、または選択したパイプが DCP で DCPCTR.SUREQ ビットが 1 である
注 3. デバイスコントローラモード時は、このレジスタのすべてのビットに 0 を設定してください。

DEVADDm レジスタは、パイプ 0 ～ 9 に対して、通信対象である周辺デバイスの転送速度を指定するレジスタです。

ホストコントローラモード時、パイプとの通信を開始する前にすべての DEVADDm ビットを設定してください。DEVADDm のビットは、有効なパイプがビットの設定を使用していないときにのみ変更してください。有効なパイプとは、以下の両方の条件を満たしているパイプです。

- DEVSEL[3:0] ビットの設定が、DEVADDm レジスタを指定している
- 選択パイプの PID[1:0] ビットに BUF を設定しているとき、または選択パイプが DCP であり DCPCTR.SUREQ ビットが 1 になっている

デバイスコントローラモードは、このレジスタのすべてのビットに 0 を設定してください。

USBSPD[1:0] ビット（通信対象デバイス転送速度）

対象の周辺デバイスの USB 転送速度を設定します。ホストコントローラモード時、USBHS は USBSPD[1:0] の設定に基づいてパケットを生成します。デバイスコントローラモードでは、このビットを 00b にしてください。

HUBPORT[2:0] ビット（通信対象接続ハブポート）

ホストコントローラモード時、SPLIT トランザクションの実施時に、USBHS は HUBPORT[2:0] の設定に基づいてパケットを生成します。

UPPHUB[3:0] ビット（通信対象接続ハブレジスタ）

ホストコントローラモード時、SPLIT トランザクションの実施時に、USBHS は UPPHUB[3:0] の設定に基づいてパケットを生成します。

33.2.42 ローパワーコントロールレジスタ（LPCTRL）

アドレス USBHS.LPCTRL 4006 0100h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	HWUPM	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	0	0	x	x	x	x	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b7	HWUPM	レジューム復帰モード設定	0：CPUクロック非アクティブ状態でのハードウェア復帰をしない 1：CPUクロック非アクティブ状態でのハードウェア復帰をする	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15-b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

HWUPM ビット（レジューム復帰モード設定）

ハードウェアによるローパワーモードからの復帰処理を、CPU クロックが非アクティブ状態でも可能とするかどうかを設定します。

デバイスコントローラモード時は、CPU クロックが非アクティブ状態でも、レジューム検出によるローパワーモードからの復帰処理が可能です。

HWUPM ビットは、CPU クロックが非アクティブ状態のときにレジュームを検出するかどうかを設定します。ハードウェアによる復帰をするかどうかは、PL1CTRL1.L1EXTMD ビットにより制御されます。CPU クロックが非アクティブ状態のときに LPM L1 ローパワー状態からハードウェア復帰処理を行うには、HWUPM ビットおよび PL1CTRL1.L1EXTMD ビットを 1 にしてください。

33.2.43 ローパワーステータスレジスタ（LPSTS）

アドレス USBHS.LPSTS 4006 0102h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	SUSPENDM	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	0	x	0	x	x	x	0	x	x	x	x	0	x	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b9	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b14	SUSPENDM	UTMI SuspendM制御	0：UTMIサスペンドモード 1：UTMI通常モード	R/W
b15	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

SUSPENDM ビット（UTMI SuspendM 制御）

UTMI 規格に準じて設計された PHY に送信する SuspendM 信号を制御するビットです。初期値は 0 で、UTMI はサスペンドモードです。

USB2.0 ホストまたはデバイスコントローラ動作のために PHY クロックを供給するには、このビットを 1 にします。

UTMI 規格に準拠して、通常のクロック出力は SuspendM 信号により制御されています。SUSPENDM ビットが 0 のとき、LINK へのクロックは停止します。本 MCU の PHY は UTMI 規格に準じるため、PHY クロックを供給するには SUSPENDM ビットを 1 にする必要があります。クロック設定は、33.3.3 クロック供給を参照してください。

SUSPENDM ビットが 0 のとき、USBHS は書き込み不可ですが、読み出しは可能です。表 33.14 に示すレジスタは SUSPENDM ビットが 0 でも書き込み可能です。

表 33.14 SUSPENDM = 0のときソフトウェアによる書き込みが可能なレジスタ

アドレス	レジスタまたはビット名
4006 0000h	SYSCFG レジスタ
4006 0002h	BUSWAIT レジスタ
4006 0032h	INTENB1.PDDETINTE ビット
4006 0100h	LPCTRL レジスタ
4006 0102h	LPSTS レジスタ
4006 0140h	BCCTRL レジスタ

PHY クロックが非アクティブ状態のときに SYSCFG レジスタに書き込んだ値は、PHY クロックが発振を開始した後に反映されます。PHY クロックは、以下の場合に発振します。SUSPENDM ビットが 1 の場合、所定の時間が経過した後 PLLSTA.PLLLOCK フラグが 1 になります。SUSPENDM ビットが 0 の場合、USB-PHY 内部 PLL は停止します。CL-only モードについては、33.2.17 PHY 設定レジスタ（PHYSET）を参照してください。PL1CTRL1.L1EXTMD ビットが 0 の場合、ソフトウェアが本ビットの設定またはクリアを制御します。PL1CTRL1.L1EXTMD ビットが 1 の場合、本ビットによる L1 ステートまたは L2 ステートへの遷移はソフトウェアが制御し、L1 ステートまたは L2 ステートからの復帰はハードウェアが制御します。

33.2.44 Battery Charging コントロールレジスタ（BCCTRL）

アドレス USBHS.BCCTRL 4006 0140h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PDDETSTS	CHGDETSTS	—	—	DCPMODE	VDMSRCE	IDPSINKE	VDPSRCE	IDMSINKE	IDPSRCE
リセット後の値	x	x	x	x	x	x	0	0	x	x	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	IDPSRCE	IDPSRC制御（注1）	0：IDP_SRC回路を無効にする 1：IDP_SRC回路を有効にする	R/W
b1	IDMSINKE	IDMSINK制御（注1）	0：IDM_SINK回路を無効にする 1：IDM_SINK回路を有効にする	R/W
b2	VDPSRCE	VDPSRC制御（注1）	0：VDP_SRC回路を無効にする 1：VDP_SRC回路を有効にする	R/W
b3	IDPSINKE	IDPSINK制御（注1）	0：IDP_SINK回路を無効にする 1：IDP_SINK回路を有効にする	R/W
b4	VDMSRCE	VDMSRC制御（注1）	0：VDM_SRC回路を無効にする 1：VDM_SRC回路を有効にする	R/W
b5	DCPMODE	DCPモード制御	0：RDCP_DAT抵抗を無効にする 1：RDCP_DAT抵抗を有効にする	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CHGDETSTS	CHGDETステータスフラグ	0：CHGDET端子がLow 1：CHGDET端子がHigh	R
b9	PDDETSTS	PDDETステータスフラグ	0：PDDET端子がLow 1：PDDET端子がHigh	R
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . BCCTRL レジスタのすべてのビットは、UTMI クロックが非アクティブ状態でも変更できます。

注 1. デバイスコントローラモード時、SYSCFG.DRPD ビットを 0 にした後で、IDPSRCE ビット、IDMSINKE ビット、VDPSRCE ビット、IDPSINKE ビット、および VDMSRCE ビットを 1 にしてください。

IDPSRCE ビット（IDPSRC 制御）

デバイスコントローラモード時に Data Contact Detection を実行する場合、IDPSRCE ビットを 1 にしてください。

Battery Charging 標準規格では、Data Contact Detection の処理方法として、ソフトウェアによる方法とハードウェアを使ってデータラインのコンタクトを検知する方法の 2 通りの方法が規定されています。IDPSRE ビットではハードウェアの方式を使用しています。IDPSRE ビットを 1 にすると、USBHS は IDP_SRC 回路を有効にし、同時に D- のプルダウン制御も行います。（D- プルダウンは、VUH_DMPULLDOWN 信号で制御されます。）

IDMSINKE ビット（IDMSINK 制御）

デバイスコントローラモード時に IDMSINKE ビットを 1 にすると、Primary Detection を実行します。

VDPSRCE ビット（VDPSRC 制御）

デバイスコントローラモード時に VDPSRCE ビットを 1 にすると、Primary Detection を実行します。

IDPSINKE ビット（IDPSINK 制御）

デバイスコントローラモード時に IDPSINKE ビットを 1 にすると、Secondary Detection を実行します。ホストコントローラモード時にこのビットを 1 にすると、Portable Device 検出回路を有効にします。

VDMSRCE ビット（VDMSRC 制御）

デバイスコントローラモード時に VDMSRCE ビットを 1 にすると、Secondary Detection を実行します。VDMSRCE ビットを 1 にすると、DCP 検出回路が有効になります。ホストコントローラモード時、Portable Device を検出したら、VDMSRCE ビットは 1 にしてください。VDMSRCE ビットを 1 にすると、Primary Detection を実行するデバイスは Charger 検出方法を決定できます。

DCPMODE ビット（DCP モード制御）

DCP（専用チャージポート）として動作するには、DCPMODE ビットを 1 にします。DCPMODE ビットを 1 にすると、USB 通信ができなくなります。

CHGDETSTS フラグ（CHGDET ステータスフラグ）

Charger ポート検出ステートを示します。

PDDETSTS フラグ（PDDET ステータスフラグ）

PDDETSTS フラグは、コントローラモードに基づき以下のステートを示します。

- ホストコントローラモード時：PD 検出ステート
- デバイスコントローラモード時：DCP 検出ステート

33.2.45 ファンクション L1 コントロールレジスタ 1（PL1CTRL1）

アドレス USBHS.PL1CTRL1 4006 0144h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	L1EXTMD	—	—	HIRDTHR[3:0]				DVSQ[3:0]				L1NEGOMD	L1RESPMD[1:0]		L1RESPEN
リセット後の値	x	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	L1RESPEN	L1応答許可	0：LPMをサポートしない 1：LPMをサポートする	R/W
b2-b1	L1RESPMD[1:0]	L1応答モード	b2 b1 0 0：NYET応答 0 1：ACK応答 1 0：STALL応答 1 1：L1NEGOMD設定に基づいて応答	R/W
b3	L1NEGOMD	L1応答ネゴシエーション制御	0：受信したHIRDがHIRDTHR[3:0]より大きい場合にACK応答、それ以外の場合（HIRD = HIRDTHR[3:0]の場合を含む）、NYET応答 1：受信したHIRDがHIRDTHR[3:0]より小さい場合にACK応答、それ以外の場合（HIRD = HIRDTHR[3:0]の場合を含む）、NYET応答 L1RESPMD[1:0]の値が11bの場合に限り有効なビットです。	R/W
b7-b4	DVSQ[3:0]	DVSQ拡張フラグ	b7 b4 0 0 0 0：Poweredステート 0 0 0 1：Defaultステート 0 0 1 0：Addressステート 0 0 1 1：Configuredステート 0 1 x x：Suspendedステート 1 0 x x：L1ステート	R
b11-b8	HIRDTHR[3:0]	L1応答ネゴシエーション用しきい値	L1RESPMD[1:0]ビットが11bのときに使用されるHIRDしきい値。フォーマットは、HL1CTRLレジスタのHIRDフィールドと同様です。	R/W
b13-b12	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b14	L1EXTMD	L1復帰時PHY制御モード	0：Host K受信時、ハードウェアはLPSTS.SUSPENDMビットを設定しない 1：Host K受信時、ハードウェアはLPSTS.SUSPENDMビットを設定する	R/W
b15	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

L1RESPEN ビット（L1 応答許可）

L1RESPEN ビットが 0 のとき USBHS が LPM トークンを受信すると、応答を返しません。このビットが 1 のときに USBHS が LPM トークンを受信した場合、USBHS は L1RESPMD[1:0] の設定に基づいて応答を返します。

L1RESPMD[1:0] ビット（L1 応答モード）

L1RESPEN ビットが 1 のとき、USBHS は L1RESPMD[1:0] ビットの設定に基づいて、LPM トークンに対する応答を行います。

L1NEGOMD ビット（L1 応答ネゴシエーション制御）

HIRD 値のネゴシエーション機能を指定します。

HIRDTHR[3:0] ビット（L1 応答ネゴシエーション用しきい値）

HIRDTHR[3:0] ビットは、L1NEGOMD で使用される HIRD しきい値を指定します。設定値のフォーマットは、HL1CTRL レジスタの HIRD フィールドと同様です。

L1EXTMD ビット（L1 復帰時 PHY 制御モード）

LPSTS.SUSPENDM ビットが 0 で PHY が非アクティブ状態のときに、L1 ステートで Host K 信号を受信した場合の LPSTS.SUSPENDM ビット制御方法を示します。

サスペンドの制限事項と同様に、最低 Host K 期間は 50µs のため、復帰に関してソフトウェアで指定された Host K 期間内に PHY が復帰しないことがあります。初期値はソフトウェアが制御するため、L1 ステートに対応している場合は、初期化処理中に L1EXTMD ビットを 1 にしてください。

このビットの設定にかかわらず、L1 ステートへの遷移時に LPSTS.SUSPENDM ビットはソフトウェアが制御します。ハードウェアではクリアされません。

L1EXTMD ビットが 1 のとき、L2 ステートからの復帰時に LPSTS.SUSPENDM ビットも 1 になります。

33.2.46 ファンクション L1 コントロールレジスタ 2（PL1CTRL2）

アドレス USBHS.PL1CTRL2 4006 0146h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	RWEMON	HIRDMON[3:0]				—	—	—	—	—	—	—	—
リセット後の値	x	x	x	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b11-b8	HIRDMON[3:0]	HIRD値モニタ	設定した場合、HIRDフィールドの値が、最後に受信したLPMトークンを反映していることを示します。	R
b12	RWEMON	RWE値モニタ	設定した場合、RWEビットの値が、最後に受信したLPMトークンを反映していることを示します。	R
b15-b13	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

HIRDMON[3:0] ビット（HIRD 値モニタ）

受信した LPM トークンの HIRD フィールド値をモニタする場合に、HIRDMON[3:0] ビットにアクセスします。最後に受信した LPM トークンの HIRD フィールドの値が反映されるビットです。

RWEMON ビット（RWE 値モニタ）

受信した LPM トークンの RWE フィールド値をモニタする場合に、RWEMON ビットにアクセスします。最後に受信した LPM トークンの RWE フィールドの値が反映されるビットです。

33.2.47 ホスト L1 コントロールレジスタ 1（HL1CTRL1）

アドレス USBHS.HL1CTRL1 4006 0148h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	L1STATUS[1:0]		L1REQ
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	L1REQ	L1遷移リクエスト	L1ステートへの遷移を要求する場合に1にしてください。このビットは、LPM トランザクション完了時にハードウェアが0にします。	R/W
b2-b1	L1STATUS[1:0]	L1リクエスト完了ステータス	L1REQビットによるLPM トランザクションの結果を示します。 00b：ACK受信 01b：NYET受信 10b：STALL受信 11b：トランザクションエラー	R
b15-b3	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

L1REQ ビット（L1 遷移リクエスト）

L1 ステートへ遷移させる場合に L1REQ ビットを 1 にしてください。USBHS がこのビットが 1 であることを検出すると、LPM トランザクションを開始します。トランザクションが完了すると、USBHS はハードウェアでこのビットをクリアします。

L1STATUS[1:0] ビット（L1 リクエスト完了ステータス）

L1REQ ビットによる LPM トランザクションの結果を示します。

33.2.48 ホスト L1 コントロールレジスタ 2（HL1CTRL2）

アドレス USBHS.HL1CTRL2 4006 014Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BESL	—	—	L1RWE	HIRD[3:0]				—	—	—	—	L1ADDR[3:0]			
リセット後の値	0	x	x	0	0	0	0	0	x	x	x	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	L1ADDR[3:0]	LPM トークン用 DeviceAddress	LPM トークンのADDR フィールドに設定する値を指定します。	R/W
b7-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b11-b8	HIRD[3:0]	LPM トークン用HIRD	LPM トークンのHIRD フィールドに設定する値を指定します。	R/W
b12	L1RWE	LPM トークン用L1 RemoteWake許可	LPM トークンのRWE フィールドに設定する値を指定します。	R/W
b14-b13	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b15	BESL	BESL & Alternate HIRD	L1 レジューム時のK-State ドライブ期間を選択します。	R/W

L1ADDR[3:0] ビット（LPM トークン用 DeviceAddress）

HL1CTRL1.L1REQ ビットが 1 のとき、USBHS が送信する LPM トークンの ADDR フィールドに設定する値を指定します。

HIRD[3:0] ビット（LPM トークン用 HIRD）

HL1CTRL1.L1REQ ビットが 1 のとき、USBHS が送信する LPM トークンの HIRD フィールドに設定する値を指定します。HIRD 設定と HIRD フィールド値の関係を表 33.15 に示します。

表 33.15 HIRD ビット設定と HIRD フィールド値の関係

HIRD設定	BESL = 0のとき	BESL = 1のとき
0000b	50µs（設定禁止）	75µs
0001b	125µs	100µs
0010b	200µs	150µs
0011b	275µs	250µs
0100b	350µs	350µs
0101b	425µs	450µs
0110b	500µs	950µs
0111b	575µs	1950µs
1000b	650µs	2950µs
1001b	725µs	3950µs
1010b	800µs	4950µs
1011b	875µs	5950µs
1100b	950µs	6950µs
1101b	1025µs（設定禁止）	7950µs
1110b	1100µs（設定禁止）	8950µs
1111b	1175µs（設定禁止）	9950µs

注 . HIRD ビットの設定値は、ホスト復帰時の Host K ドライブ期間、およびリモートウェイクアップ時の Host K 期間に使用されます。

L1RWE ビット（LPM トークン用 L1 RemoteWake 許可）

HL1CTRL1.L1REQ ビットが 1 のとき、USBHS が送信する LPM トークンの RWE フィールドに設定する値を指定します。

USBHS は、L1RWE ビットを使用して L1 ステート時のリモートウェイクアップ信号の検知を制御しません。リモートウェイクアップ信号は、サスペンドと同様、DVSTCTR0.RWUPE ビットで制御されます。

BESL ビット（BESL & Alternate HIRD）

L1 レジューム時の K-State ドライブ期間を選択します。詳細は、HIRD ビットの説明を参照してください。

33.2.49 ディープソフトウェアスタンバイ USB トランシーバコントロール／端子モニタレジスタ（DPUSR0R）

アドレス USBHS.DPUSR0R 4006 0160h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBSTSHM	—	DOVCBHM	DOVCAHM	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	x	0	x	x	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b19-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b20	DOVCAHM	OVRCURA入力フラグ	USBHS側における、OVRCURA入力信号を示します。	R
b21	DOVCBHM	OVRCURB入力フラグ	USBHS側における、OVRCURB入力信号を示します。	R
b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	DVBSTSHM	VBUS入力フラグ	USBHS側における、VBUS入力信号を示します。	R
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

33.2.50 ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ（DPUSR1R）

アドレス USBHS.DPUSR1R 4006 0164h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DVBSTSH	—	DOVCBH	DOVCAH	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	DVBSTSHE	—	DOVCBHE	DOVCAHE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DOVCAHE	OVRCURA割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b5	DOVCBHE	OVRCURB割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DVBSTSHE	VBUS割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b19-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b20	DOVCAH	OVRCURA割り込み要因復帰ステータスフラグ	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b21	DOVCBH	OVRCURB割り込み要因復帰ステータスフラグ	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23	DVBSTSH	VBUS割り込み要因復帰ステータスフラグ	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

33.2.51 ディープソフトウェアスタンバイ USB サスペンド／レジューム割り込みレジスタ（DPUSR2R）

アドレス USBHS.DPUSR2R 4006 0168h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DMINTE	DPINTE	—	—	DMVAL	DPVAL	—	—	DMINT	DPINT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DPINT	DP割り込み要因からの復帰表示	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b1	DMINT	DM割り込み要因からの復帰表示	0：ディープソフトウェアスタンバイモードからの復帰なし 1：ディープソフトウェアスタンバイモードからの復帰あり	R
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DPVAL	DP入力	USBHS側における、DP入力信号を示します。	R
b5	DMVAL	DM入力	USBHS側における、DP入力信号を示します。	R
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	DPINTE	DP割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b9	DMINTE	DM割り込み許可／クリア	0：ディープソフトウェアスタンバイモードからの復帰を禁止 1：ディープソフトウェアスタンバイモードからの復帰を許可	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

33.2.52 ディープソフトウェアスタンバイ USB サスペンド／レジュームコマンドレジスタ（DPUSRCR）

アドレス USBHS.DPUSRCR 4006 016Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FIXPHYPD	FIXPHY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FIXPHY	USBトランシーバ制御固定	0：通常モード 1：ディープソフトウェアスタンバイモードからの起動／復帰	R/W
b1	FIXPHYPD	PLLのUSBトランシーバ制御固定	0：通常モード 1：ディープソフトウェアスタンバイモードからの起動／復帰	R/W
b15-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

33.3 動作説明

33.3.1 システム制御

USBHS の初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

33.3.1.1 USBHS 関連レジスタへのデータの設定

PHY クロックの供給を開始した後に SYSCFG.USBE ビットを 1 にすると、USBHS の動作が許可され、開始されます。PHY クロックの供給方法については、33.3.3 クロック供給を参照してください。

33.3.1.2 コントローラ機能の選択

USBHS は、ホストコントローラまたはデバイスコントローラとして動作できます。

どちらの機能にするかは、SYSCFG.DCFM ビットで選択できます。DCFM ビットの変更は、リセット解除直後の初期設定時、または D+ プルアップ禁止（SYSCFG.DPRPU ビットは 0）かつ D+/D- プルダウン禁止（SYSCFG.DRPD ビットは 0）のときに行ってください。

33.3.2 抵抗による USB データバス制御

USBHS には、D+ および D- ラインのプルアップ抵抗およびプルダウン抵抗が用意されています。SYSCFG.DPRPU、SYSCFG.DRPD ビットの設定によりラインのプルアップ、プルダウンを設定してください。

デバイスコントローラモードでは、USB ホストへの接続を確認した後で、SYSCFG.DPRPU ビットを 1 にし、D+ ライン（フルスピード通信時）をプルアップしてください。

PC と通信中に SYSCFG.DPRPU ビットに 0 を設定した場合は、USBHS は USB データラインのプルアップ抵抗を無効にするので、USB ホストにデバイス切断を通知することができます。

ホストコントローラモード時は、SYSCFG.DRPD ビットを 1 に設定し、D+/D- ラインをプルダウンしてください。

USB データバスの抵抗を制御するための設定を表 33.16 に示します。DRPD および DPRPU ビット設定により、システムの USB データバスを適切に制御してください。

表 33.16 USB データバス抵抗の制御設定（OTG 動作を除く）

SYSCFG レジスタ設定		USB データバス制御		
DRPD ビット	DPRPU ビット	D-ライン	D+ライン	機能
0	0	オープン	オープン	抵抗未使用時
0	1	オープン	プルアップ	デバイスコントローラとしてフルスピードで動作させる場合
1	0	プルダウン	プルダウン	ホストコントローラとして動作させる場合
1	1	—	—	OTG 動作時以外では設定禁止

33.3.3 クロック供給

USBHS に必要な 2 つの入力クロックを表 33.17 に示します。

表 33.17 入力クロック

入力クロック名	機能
PCLKA	周辺モジュールクロックA入力。 PCLKA入力の周波数に対する制限はありません。
PHYクロック	外部入力または内部供給により生成されたPHYクロック。 • 外部入力： MCU外からEXTAL端子に供給される、20MHzまたは24MHzクロックに基づいて、USB-PHY内部PLLがクロックを生成します。 外部クロックの仕様（特にジッタ特性）は、± 50ppmの仕様を厳守してください。 • 内部供給： 48MHzと60MHzをUSB-PHYモジュールに供給して、CL-onlyモード（PHYSET.HSEB）を選択することで、クロックを生成します。本モードは、ハイスピード動作には対応していません。

図 33.2 に、PHY クロック設定を示します。



図 33.2 PHY クロック設定

33.3.4 クロック停止時の制限事項

PCLKA および PHY クロックは、切断またはサスペンド中に停止できます。ただし、デバイスコントローラモード時、USB がサスペンド中にいずれかのクロックを停止するには、レジューム割り込みを使用して停止したクロックを再供給する必要があります。PHY クロックは、レジューム割り込み発生から 5.5ms 以内に再供給を行う必要があります。

33.3.5 割り込み

表 33.18 に USBHS の割り込み要因一覧を示します。割り込み発生条件が成立し、関連する割り込み許可レジスタにて割り込み出力が許可されている場合は、USBHS は割り込みコントローラユニット（ICU）に対して USBHS 割り込み要求を発行し、USBHS 割り込みが発生します。

表 33.18 割り込み要因 (1/2)

1にするフラグ	割り込み名	割り込み要因	対象となるコントローラ機能	ステータスフラグ
VBINT	VBUS割り込み	• USB_VBUS入力端子の状態変化を検出したとき（Low→HighまたはHigh→Low）	ホストまたはファンクション（注1）	INTSTS0.VBSTS
RESM	レジューム割り込み	• 検出されたUSBバスステートの変化がSuspendedステート（J-StateからK-StateまたはJ-StateからSE0）	ファンクション	—
SOFR	フレーム番号更新割り込み	ホストコントローラモード時： • フレーム番号の異なるSOFパケットを送信したとき デバイスコントローラモード時： • SOFRMが0のとき：フレーム番号の異なるSOFパケットを受信したとき • SOFRMが1のとき：パケット破損により、μフレーム番号0でSOFパケットを受信できなかったとき	ホストまたはファンクション	—
DVST	デバイスステート遷移割り込み	• 以下のいずれかの理由によりデバイスステート遷移を検出したとき： - USBバスリセットを検出 - Suspendedステートを検出 - SET_ADDRESSリクエストを受信 - SET_CONFIGURATIONリクエストを受信	ファンクション	PL1CTRL.DVSQ[3:0]
CTRT	コントロール転送ステージ遷移割り込み	• コントロール転送ステージ遷移を、以下のいずれかの状態の発生により検出したとき： - セットアップステージ完了 - コントロールライト転送ステータスステージ遷移発生 - コントロールリード転送ステータスステージ遷移発生 - コントロール転送完了 - コントロール転送シーケンスエラー発生	ファンクション	INTSTS0.CTSQ[2:0]
BEMP	バッファエンプティ割り込み	• FIFOバッファ中の全データを送信しバッファが空になったとき • 最大パケットサイズを超えたパケットを受信したとき	ホストまたはファンクション	BEMPSTS.PIPEBEMP
NRDY	バッファノットレディ割り込み	ホストコントローラモード時： • 発行したトークンに対して周辺デバイス側からのSTALL応答を受信したとき • 発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき（無応答が3回連続、またはパケット受信エラーが3回連続） • アイソクロナス転送時にオーバーランエラーまたはアンダーランエラーが発生したとき デバイスコントローラモード時： • PID[1:0]ビットが01b（BUF）のときに、INトークンまたはOUTトークンに対してNAKを応答したとき • アイソクロナス転送でデータ受信時にCRCエラーまたはビットスタッフィングエラーが発生したとき • アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき	ホストまたはファンクション	NRDYSTS.PIPENRDY

表 33.18 割り込み要因 (2/2)

1にするフラグ	割り込み名	割り込み要因	対象となるコントローラ機能	ステータスフラグ
BRDY	バッファレディ割り込み	• バッファがレディ（読み出しまたは書き込み可能状態）になったとき	ホストまたはファンクション	BRDYSTS.PIPEBRDY
OVRCR	オーバーカレント入力変化割り込み	• USBHS_OVRCR0A端子またはUSBHS_OVRCR0B端子の状態変化を検出したとき（LowからHighまたはHighからLow）	ホストまたはファンクション	SYSSTS0.OVCMON[1:0]
BCHG	バス変化割り込み	• USBバスステートの変化を検出したとき	ホスト	—
DTCH	デバイス切断検出割り込み	• 周辺デバイス切断を検出したとき	ホスト	—
ATTCH	デバイス接続検出割り込み	• USBバスでJ-StateまたはK-Stateを継続的に2.5μs検出したとき この割り込みを使って、周辺デバイスが接続されているかどうかを確認できます。	ホスト	—
EOFERR	EOFエラー検出割り込み	• 周辺デバイスのEOFエラーを検出したとき	ホスト	—
SACK	SETUP正常割り込み	• SETUPトランザクションの正常応答（ACK）を受信したとき	ホスト	—
SIGN	SETUPエラー割り込み	• SETUPトランザクションのエラー（無応答またはACKパケット破損）を3回連続で検出したとき	ホスト	—
PDDETINT	PDDETSTS変化検出割り込み	• PDDET端子の変化を検出したとき	ホストまたはファンクション	BCCTRL.PDDETSTS
LPMEND	LPMトランザクション完了割り込み	• LPMトランザクションが完了したとき	ホスト	PL1CTRL.DVSQ[3:0]
L1RSMEND	L1レジューム完了割り込み	• L1ステートからのレジューム処理が完了したとき	ホスト	PL1CTRL.DVSQ[3:0]

注 1. この割り込みはホストコントローラモードでも発生しますが、通常はホストコントローラモードでは使用しません。

33.3.5.1 USBHS 割り込み検出方法の選択

表 33.19 は、USBHS からの USBHS 割り込み出力のための動作を示しています。2 つ以上の割り込み要因が発生した場合、SOFCFG.INTL ビットで USBHS 割り込み出力方法を設定できます。USBHS 割り込み出力動作は、ユーザシステムに基づいて設定してください。

表 33.19 USBHS割り込み動作

USBHS割り込み出力（INTL設定）	1つの割り込み要因が発生した場合	2つ以上の割り込み要因が発生した場合
エッジ検出（SOFCFG.INTLビットが0）	要因がクリアされるまでLow出力	1つの要因がクリアされると、USBHS割り込みは48MHzで32クロックの期間ネゲートされる（Highレベルパルス出力）
レベル検出（SOFCFG.INTLビットが1）	要因がクリアされるまでLow出力	すべての要因がクリアされるまでLow出力

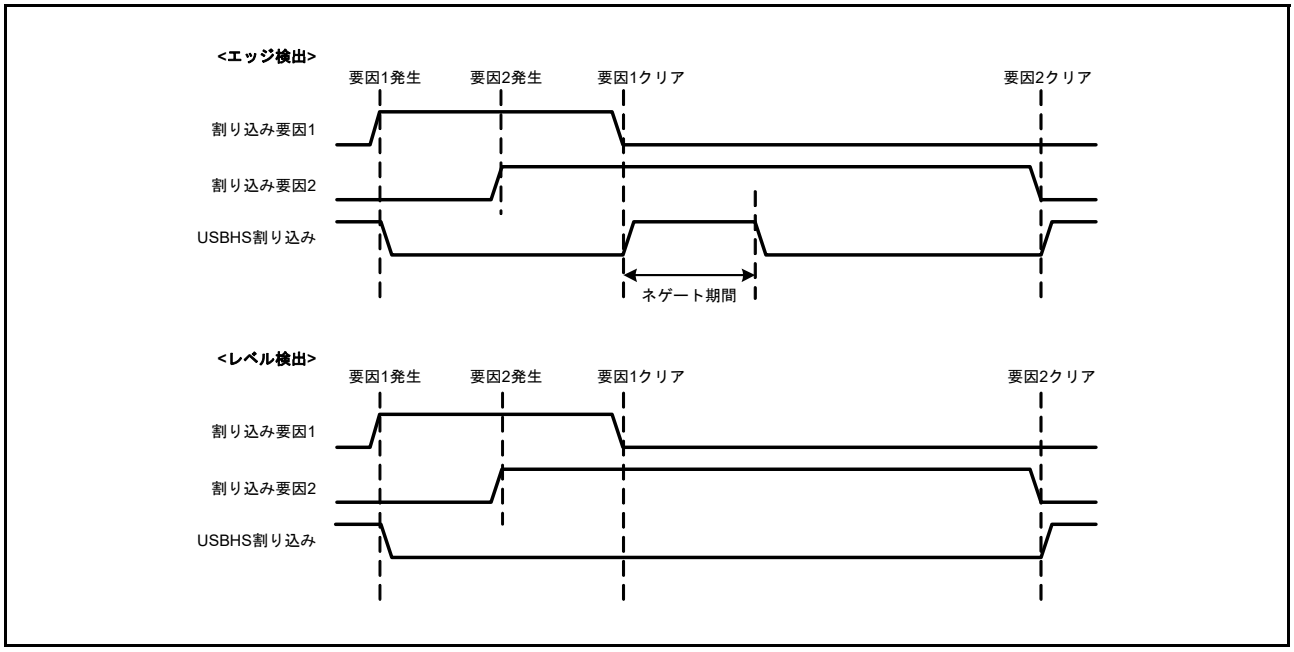


図 33.3 USBHS 割り込み動作

図 33.4 に、USBHS の割り込み関連図を示します。

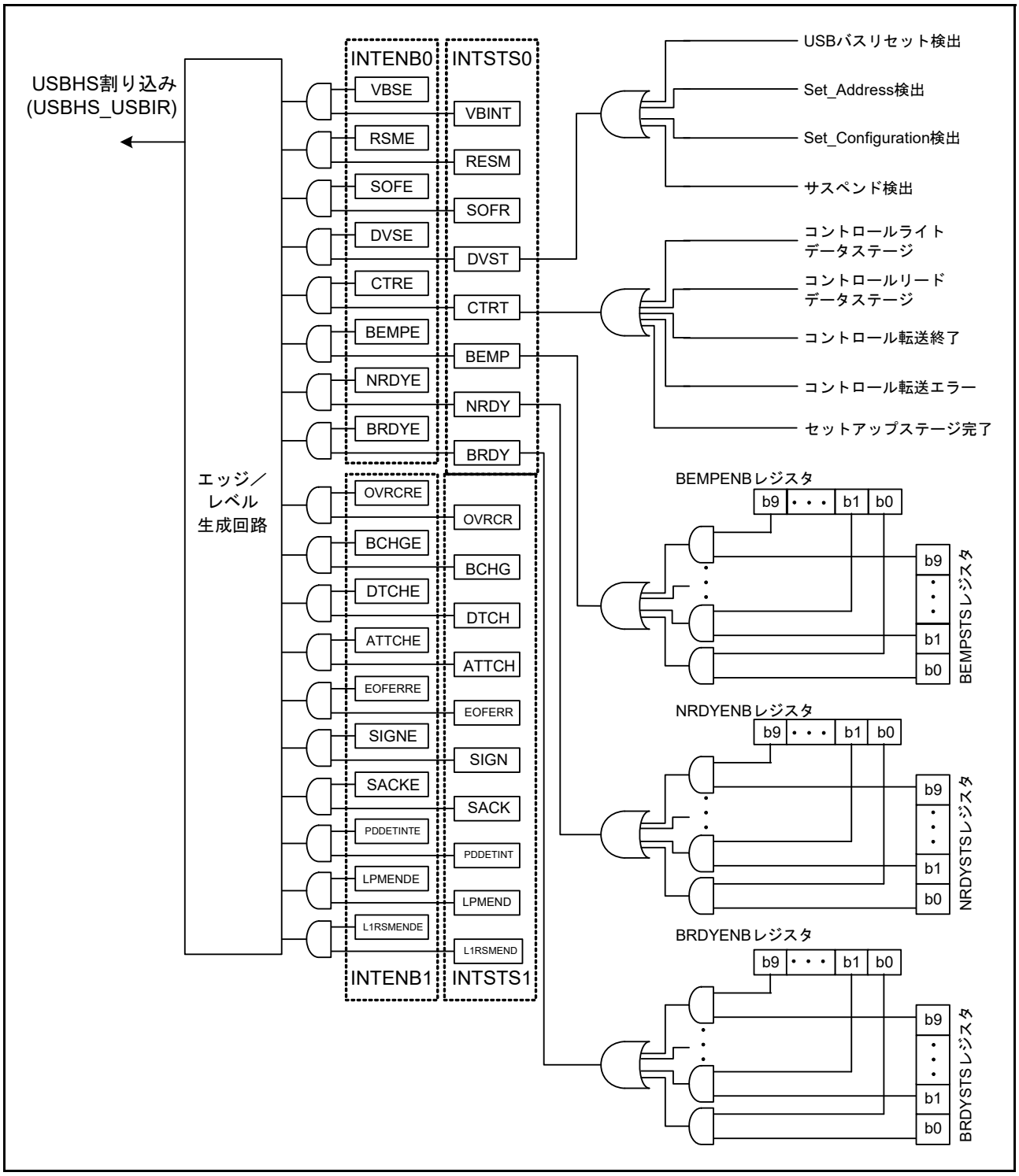


図 33.4 USBHS 割り込み関連回路

表 33.20 に USBHS の割り込み一覧を示します。

表 33.20 USBHS割り込み

割り込み名	割り込みステータスフラグ	DTCの起動	DMACの起動
USBHS_D0FIFO	DMA転送要求0	可能	可能
USBHS_D1FIFO	DMA転送要求1	可能	可能
USBHS_USBIR	VBUS割り込み、レジューム割り込み、フレーム番号更新割り込み、デバイスステート遷移割り込み、コントロール転送ステージ遷移割り込み、バッファエンプティ割り込み、バッファノットレディ割り込み、バッファレディ割り込み、オーバーカレント割り込み、バス変化割り込み、デバイス切断検出割り込み、デバイス接続検出割り込み、EOFエラー検出割り込み、SETUP正常割り込み、SETUPエラー割り込み、PDDETSTS変化検出割り込み、LPMトランザクション完了割り込み、L1レジューム完了割り込み	不可能	不可能

33.3.6 割り込みの説明

33.3.6.1 BRDY 割り込み

BRDY 割り込みは、ホストコントローラモードとデバイスコントローラモードのどちらを選択した場合でも発生します。本項では、USBHS が BRDYSTS レジスタの対応するビットを 1 にする条件について説明します。このとき、ソフトウェアで当該パイプに対応する BRDYENB レジスタのビットを 1 にし、かつ、INTENB0.BRDYE ビットを 1 にしていれば、USBHS は BRDY 割り込みを発生させます。

BRDY 割り込みは、各パイプの SOFCFG.BRDYM ビットおよび PIPECFG.BFRE ビットの設定により、以下のように発生条件およびクリア方法が異なります。

(1) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDY 割り込みは FIFO ポートにアクセス可能になったことを示します。

USBHS は、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、パイプに対応する BRDYSTS.PIPEBRDY フラグを 1 にします。

(a) 送信パイプの場合

- ソフトウェアで DIR ビットを 0 から 1 に変更したとき
- パイプに割り付けた FIFO バッファへの CPU からの書き込みが不可能な状態（BSTS フラグの読み出し値が 0 のとき）で、USBHS がパケット送信を完了したとき。連続転送の場合、1 つの FIFO バッファからのデータ送信完了時に BRDY 割り込みが発生します
- FIFO バッファをダブルバッファモードに設定しているときで、片方の FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
  FIFO バッファへの書き込み中にもう一方の FIFO バッファへの送信が完了しても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません
- 転送タイプがアイソクロナスのパイプにおいて、ハードウェアによるバッファフラッシュが発生したとき
- PIPEnCTR.ACLRM ビットに 1 を書くことより、FIFO バッファが書き込み不可能な状態から書き込み可能な状態になったとき

DCP に対しては（すなわち、コントロール転送でのデータ送信においては）要求トリガは発生しません。

(b) 受信パイプの場合

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可能な状態（BSTSフラグの読み出し値が0のとき）で、パケット受信が正常に完了し、FIFOバッファが読み出し可能状態になったとき。DATA-PID不一致のトランザクションに対し、要求トリガは発生しません。連続送受信モードでは、データが指定された最大パケットサイズでバッファに空きがある場合、要求トリガは発生しません。ショートパケットを受信した場合は、FIFOバッファに空きがあっても要求トリガが発生します。トランザクションカウンタを使用している場合は、指定数のパケットを受信したときに要求トリガが発生します。この場合、FIFOバッファに空きがあっても要求トリガは発生します
- FIFOバッファをダブルバッファモードに設定しているときで、片方のFIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能であったとき。FIFOバッファからの読み出し中にもう一方のFIFOバッファが受信を完了しても、現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません

デバイスコントローラモード時、コントロール転送のステータスステージではBRDY割り込みは発生しません。ソフトウェアで、選択したパイプに対応するPIPEBRDYフラグに0を書くことにより、当該パイプのPIPEBRDY割り込みステータスを0にすることができます。このとき、他のパイプに関連するビットには1を書いてください。BRDYステータスのクリアは、FIFOバッファへのアクセスを行う前に行ってください。

(2) SOFCFG.BRDYM = 0 かつ PIPECFG.BFRE = 1 のとき

この設定の場合、USBHSは、受信パイプにおいて1転送分の全データ読み出し完了時に、BRDY割り込みを発生させ、BRDYSTSレジスタの当該パイプに対応するビットを1にします。

USBHSは、以下のいずれかのときに1転送における最後のデータを受信したと判定します。

- Zero-Lengthパケットを含むショートパケットを受信したとき
- PIPEnTRNレジスタを使用し、PIPEnTRN.TRNCNT[15:0]ビットに設定した数のパケットをすべて受信したとき

上記の任意の条件を満たした後、そのデータの読み出しが完了したときに、USBHSは1転送分の全データ読み出し完了と判断します。

FIFOバッファが空の状態でZero-Lengthパケットを受信した場合は、FIFOポートコントロールレジスタのFRDYフラグが1、DTLN[11:0]フラグが0の状態になった時点で、USBHSは1転送分の全データ読み出し完了と判断します。この場合、次の転送を開始するには、関連するポートコントロールレジスタのBCLRビットにソフトウェアで1を書いてください。この設定の場合には、USBHSは送信パイプに対するBRDY割り込みを検出しません。

ソフトウェアで、パイプに対応するBRDYSTS.PIPEBRDYフラグに0を書くことにより、パイプのPIPEBRDY割り込みステータスを0にすることができます。このとき、他のパイプに対応するPIPEBRDYビットには1を書いてください。

このモードを使用するときには、1転送分のすべてのデータの処理を終了するまでPIPECFG.BFREビットの設定値を変更しないでください。途中でPIPECFG.BFREビットを変更する場合には、PIPEnCTR.ACLRMビットにより対応するパイプのFIFOバッファをすべてクリアしてください。

(3) SOFCFG.BRDYM = 1 かつ PIPECFG.BFRE = 0 のとき

この設定の場合、BRDYSTS.PIPEBRDYフラグの値は各パイプのBSTSフラグの設定値に連動します。即ち、BRDY割り込みステータスのビットは、FIFOバッファの状態に応じてUSBHSが1または0にします。

(a) 送信パイプの場合

FIFOポートにデータが書き込み可能であればBRDY割り込みステータスビットは1になり、書き込み不可能であれば0になります。送信方向のDCPが書き込み可能であっても、BRDY割り込みは発生しません。

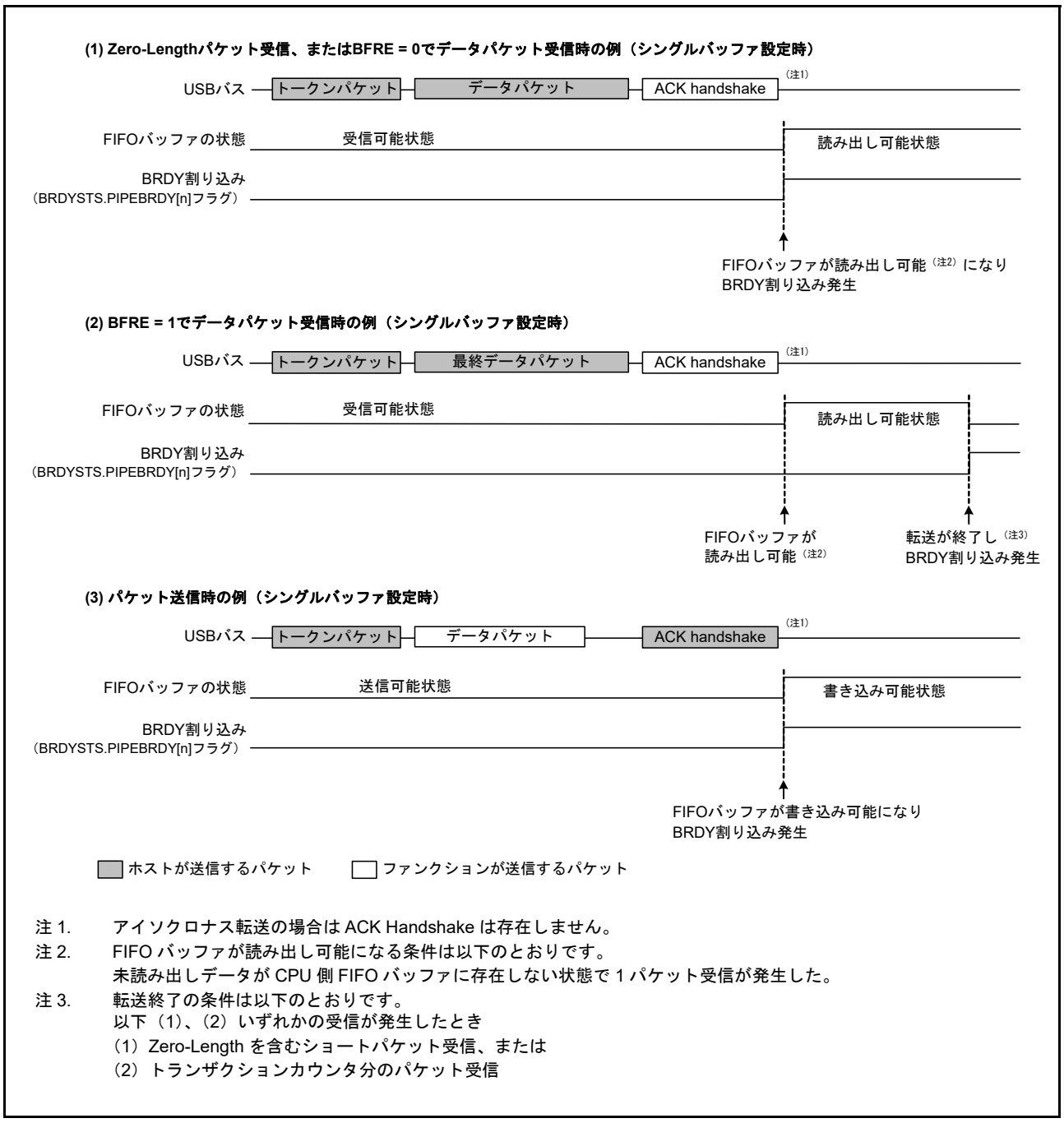
(b) 受信パイプの場合

BRDY 割り込みステータスビットは、FIFO バッファからデータが読み出し可能であれば 1 になり、すべてのデータを読み出したら（読み出しが不可能になったら）0 になります。

FIFO バッファが空の状態で Zero-Length パケットを受信した場合、ソフトウェアで BCLR に 1 を書くまで、関連するビットには 1 が表示され BRDY 割り込みが発生し続けます。この設定時、ソフトウェアで PIPEBRDY フラグを 0 にすることはできません。

SOFCFG.BRDYM ビットが 1 のときは、PIPECFG.BFRE ビットはすべてのパイプに対して 0 に、レベル検出に対して SOFCFG.INTL ビットは 1 にしてください。

図 33.5 に、BRDY 割り込み発生タイミングを示します。



注 1. アイソクロナス転送の場合は ACK Handshake は存在しません。

注 2. FIFO バッファが読み出し可能になる条件は以下のとおりです。
未読み出しデータが CPU 側 FIFO バッファに存在しない状態で 1 パケット受信が発生した。

注 3. 転送終了の条件は以下のとおりです。
以下（1）、（2）いずれかの受信が発生したとき
（1）Zero-Length を含むショートパケット受信、または
（2）トランザクションカウンタ分のパケット受信

図 33.5 BRDY 割り込み発生タイミング

INTSTS0.BRDY フラグのクリア条件は、表 33.21 に示すように SOFCFG.BRDYM ビットの設定値によって異なります。

表 33.21 BRDY フラグのクリア条件

BRDYM ビット	BRDY フラグのクリア条件
0	ソフトウェアで BRDYSTS レジスタの全ビットを 0 にすると、USBHS は BRDY フラグを 0 にします。
1	全パイプの BSTS フラグが 0 になったときに、USBHS は BRDY フラグを 0 にします。

33.3.6.2 NRDY 割り込み

ソフトウェアで PID[1:0] ビットを 01b（BUF 応答）にしたパイプに対して、内部 NRDY 割り込み要求を発生させた場合に、USBHS は関連する NRDYSTS.PIPENRDY フラグを 1 にします。ソフトウェアによって NRDYENB レジスタの関連するビットを 1 にしている場合、USBHS は INTSTS0.NRDY フラグを 1 にし、USBHS 割り込みを発生させます。

USBHS が、あるパイプに対して内部 NRDY 割り込み要求を発生させる条件を以下に示します。

ホストコントローラモードでの SETUP トランザクション実行時は、内部 NRDY 割り込み要求を発生させません。ホストコントローラモード時の SETUP トランザクションでは、SACK 割り込みまたは SIGN 割り込みを検出します。

デバイスコントローラモードでのコントロール転送ステータスステージ実行時は、内部 NRDY 割り込み要求を発生させません。

(1) ホストコントローラモードでの接続時に SPLIT トランザクションが発生しないとき

(a) 送信パイプの場合

USBHS は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。この場合、USBHS は OUT トークンに続けて Zero-Length パケットを送信し、関連する NRDYSTS.PIPENRDY フラグを 1 にし、FRMNUM.OVRN フラグも 1 にします
- 転送タイプがアイソクロナス以外のパイプ、かつ SETUP トランザクション以外の通信において、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - 周辺デバイスからの応答がないとき（周辺デバイスからのハンドシェイクパケットを検出する前にタイムアウトが検出されるとき）
  - 周辺デバイスからのパケットにエラーが検出されるとき。この場合 USBHS は、関連する PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0] 設定を 00b（NAK 応答）に変更します。
- SETUP トランザクション以外の通信時で、周辺デバイスから STALL ハンドシェイクを受信したとき（OUT と PING の両方の STALL を含む）。この場合 USBHS は、関連する PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0] 設定を 11b（STALL 応答）に変更します

(b) 受信パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、IN トークン発行タイミングに達したが FIFO バッファに空きがない状態のとき。この場合 USBHS は、IN トークンに対する受信データを破棄し、関連する PIPENRDY フラグを 1 にし、OVRN フラグも 1 にします。さらに、IN トークンに対する受信データにパケットエラーを検出した場合、USBHS は FRMNUM.CRCE フラグも 1 にします
- 転送タイプがアイソクロナス以外のパイプで、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - USBHS が発行した IN トークンに対して周辺デバイスから応答がないとき（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）

- 周辺デバイスからのパケットにエラーが検出されるとき。この場合 USBHS は、関連する PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0] 設定を 00b（NAK 応答）に変更します

- 転送タイプがアイソクロナスのパイプにおいて、IN トークンに対して周辺デバイスから応答がない（周辺デバイスからの DATA パケットを検出する前にタイムアウトが検出されるとき）、または周辺デバイスからのパケットにエラーを検出したとき。この場合 USBHS は、各パイプに対応する NRDYSTS.PIPENRDY フラグを 1 にします。当該パイプの PID[1:0] ビットの設定変更は行いません
- 転送タイプがアイソクロナスのパイプにおいて、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーを検出したとき。この場合 USBHS は、各パイプに対応する NRDYSTS.PIPENRDY フラグを 1 にし、CRCE フラグを 1 にします
- STALL ハンドシェイクを受信したとき。この場合 USBHS は、各パイプに対応する NRDYSTS.PIPENRDY フラグを 1 にし、関連するパイプの PID[1:0] 設定を STALL に変更します

(2) ホストコントローラモードでの接続時に SPLIT トランザクションが発生するとき

(a) 送信パイプの場合

USBHS は、以下のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

- 転送タイプがアイソクロナスのパイプにおいて、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。この場合、START-SPLIT トランザクション発行時に USBHS は当該パイプの関連する RDYSTS.PIPENRDY フラグを 1 にして、FRMNUM.OVRN フラグを 1 にします。USBHS は、OUT トークンの後に Zero-Length パケットも送信します
- 転送タイプがアイソクロナス以外のパイプで、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - START-SPLIT トランザクションおよび COMPLETE-SPLIT トランザクションに対して、ハブからの応答がないとき（ハブからのハンドシェイクパケットを検出する前にタイムアウトが検出されるとき）
  - ハブからのパケットにエラーが検出されるとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0] 設定を 00b（NAK 応答）に変更します。COMPLETE-SPLIT 発行時に NRDY 割り込みが検出されると、USBHS は CSSTS フラグを 0 にします
- COMPLETE-SPLIT トランザクションに対して STALL ハンドシェイクを受信したとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0] 設定を 11b（STALL 応答）に変更し、CSSTS フラグを 0 にします。SETUP トランザクションの間は割り込みは検出されません

(b) 受信パイプの場合

- 転送タイプがアイソクロナスのパイプにおいて、IN トークン発行タイミングに達したが FIFO バッファに空きがない状態のとき。この場合 USBHS は、当該パイプに関連する NRDYSTS.PIPENRDY フラグを 1 にし、START-SPLIT 発行時に FRMNUM.OVRN フラグを 1 にします。USBHS は、IN トークンの受信データを破棄します
- 転送タイプがバルクのパイプを使用した転送、または DCP を使用した SETUP トランザクション以外の転送で、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - START-SPLIT トランザクションまたは COMPLETE-SPLIT トランザクション発行時に、USBHS が発行した IN トークンに対してハブからの応答がないとき（ハブからの DATA パケットを検出する前にタイムアウトが検出されるとき）
  - ハブからのパケットにエラーが検出されるとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0] 設定を 00b（NAK 応答）に変更します。COMPLETE-SPLIT 実行中にこの状態が発生すると、USBHS は CSSTS フラグを 0 にします

- 転送タイプがアイソクロナスまたはインタラプトのパイプでの COMPLETE-SPLIT トランザクション中に、以下の 2 つのケースが任意の組み合わせで 3 回連続で発生したとき
  - USBHS が発行した IN トークンに対してハブから応答がないとき（ハブからの DATA パケットを検出する前にタイムアウトが検出されるとき）
  - ハブからのパケットにエラーが検出されるとき。転送タイプがインタラプトのパイプでこの状態が発生すると、USBHS は関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0] 設定を 00b（NAK 応答）に変更し、CSSTS フラグを 0 にします。転送タイプがアイソクロナスのパイプでこの状態が発生すると、USBHS はパイプに関連する NRDYSTS.PIPENRDY フラグを 1 に、CRCE フラグを 1 に、CSSTS ビットを 0 にします。PID[1:0] 設定は変更されません
- COMPLETE-SPLIT トランザクション中、転送タイプがアイソクロナス以外のパイプで STALL ハンドシェイクが受信されたとき。この場合 USBHS は、パイプの関連する NRDYSTS.PIPENRDY フラグを 1 にし、パイプの関連する PID[1:0] 設定を 11b（STALL 応答）に変更し、CSSTS フラグを 0 にします
- COMPLETE-SPLIT トランザクション中、転送タイプがアイソクロナスまたはインタラプトのパイプで NYET ハンドシェイクを受信し、マイクロフレーム番号が 4 のとき。この場合 USBHS は、各パイプに関連する NRDYSTS.PIPENRDY フラグを 1 に、CRCE フラグを 1 に、CSSTS フラグを 0 にします。PID[1:0] 設定は変更されません

(3) デバイスコントローラモード時

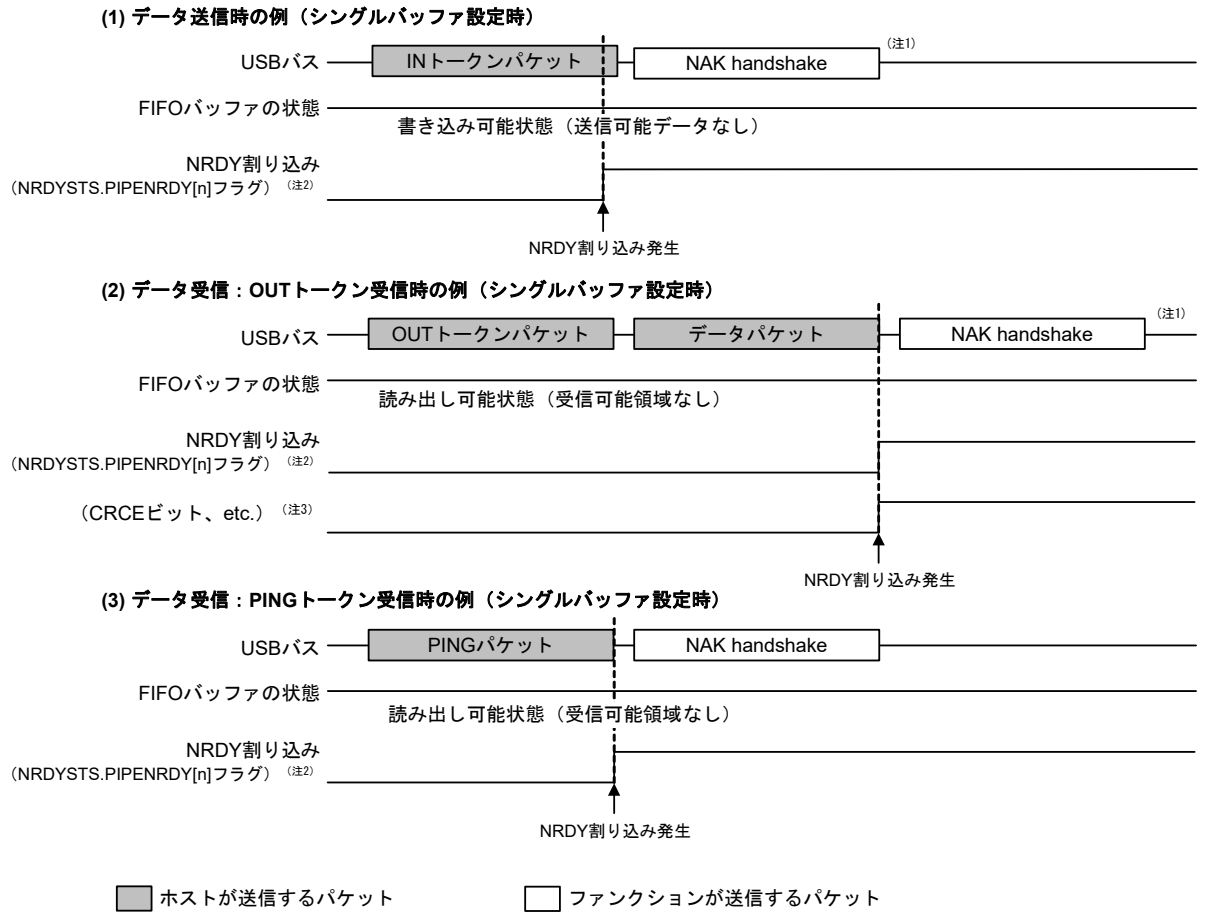
(a) 送信パイプの場合

- FIFO バッファに送信データがない状態で IN トークンを受信したとき。この場合 USBHS は、IN トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPENRDY フラグを 1 にします。割り込みが発生したパイプの転送タイプがアイソクロナスの場合、USBHS は Zero-Length パケットを送信し、FRMNUM.OVRN フラグを 1 にします

(b) 受信パイプの場合

- OUT トークンを受信したが FIFO バッファに空きがなかったとき。割り込みが発生したパイプの転送タイプがアイソクロナスの場合、USBHS は OUT トークン受信時に NRDY 割り込み要求を発生させ、NRDYSTS.PIPENRDY フラグを 1 に、FRMNUM.OVRN フラグを 1 にします。割り込みが発生したパイプの転送タイプがアイソクロナス以外の場合、USBHS は、OUT トークンに続くデータ受信後 NAK ハンドシェイクを送信するときに NRDY 割り込み要求を発生させ、NRDYSTS.PIPENRDY フラグを 1 にします。再送時（DATA-PID 不一致発生時）には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合も NRDY 割り込み要求を発生させません
- FIFO バッファに空きがない場合に PING トークンを受信したとき。USBHS は、NRDYSTS.PIPENRDY フラグを 1 にして、PING トークン受信時に NRDY 割り込み要求を発生させます
- 転送タイプがアイソクロナスのパイプにおいて、インターバルフレーム内にトークンが正常受信されなかったとき。この場合 USBHS は、SOF 受信のタイミングで NRDY 割り込み要求を発生させ、NRDYSTS.PIPENRDY フラグを 1 にします

図 33.6 に、デバイスコントローラモード時の NRDY 割り込み発生タイミングを示します。



注 1. アイソクロナス転送の場合は Handshake は存在しません。
注 2. PIPEnCTR.PID[1:0] ビットを 01b（BUF 応答）に設定している場合のみ PIPENRDY[n] フラグは 1 に変化します。
注 3. 当該パイプの転送タイプがアイソクロナス転送の場合のみ CRCE フラグ、OVRN フラグが変化します。

図 33.6 デバイスコントローラモード時の NRDY 割り込み発生タイミング

33.3.6.3 BEMP 割り込み

ソフトウェアがパイプコントロールレジスタの PID[1:0] ビットを 01b（BUF 応答）にしたパイプに対して、BEMP 割り込みを検出すると、USBHS は関連する BEMPSTS.PIPEBEMP フラグを 1 にします。ソフトウェアによって関連する BEMPENB ビットを 1 にしている場合、USBHS は INTSTS0.BEMP フラグを 1 にし、USB 割り込みを発生させます。本項では、USBHS が内部 BEMP 割り込み要求を発生させる条件を示します。

(1) 送信パイプの場合

送信完了時（Zero-Length パケットの送信時を含む）に、関連するパイプの FIFO バッファが空のとき、シングルバッファモード時は、DCP 以外のパイプに対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。以下の場合は、内部 BEMP 割り込み要求を発生させません。

- ダブルバッファモードで、片方の FIFO バッファからのデータ送信完了時に、CPU または DMA/DTC が CPU 側の FIFO バッファに対する書き込みを開始しているとき
- PIPEnCTR.ACLRM ビットまたはポートコントロールレジスタの BCLR ビットを 1 にしてバッファをクリア（空に）したとき
- デバイスコントローラモードでの、コントロール転送ステータスステージの IN 転送（Zero-Length パケット送信）時

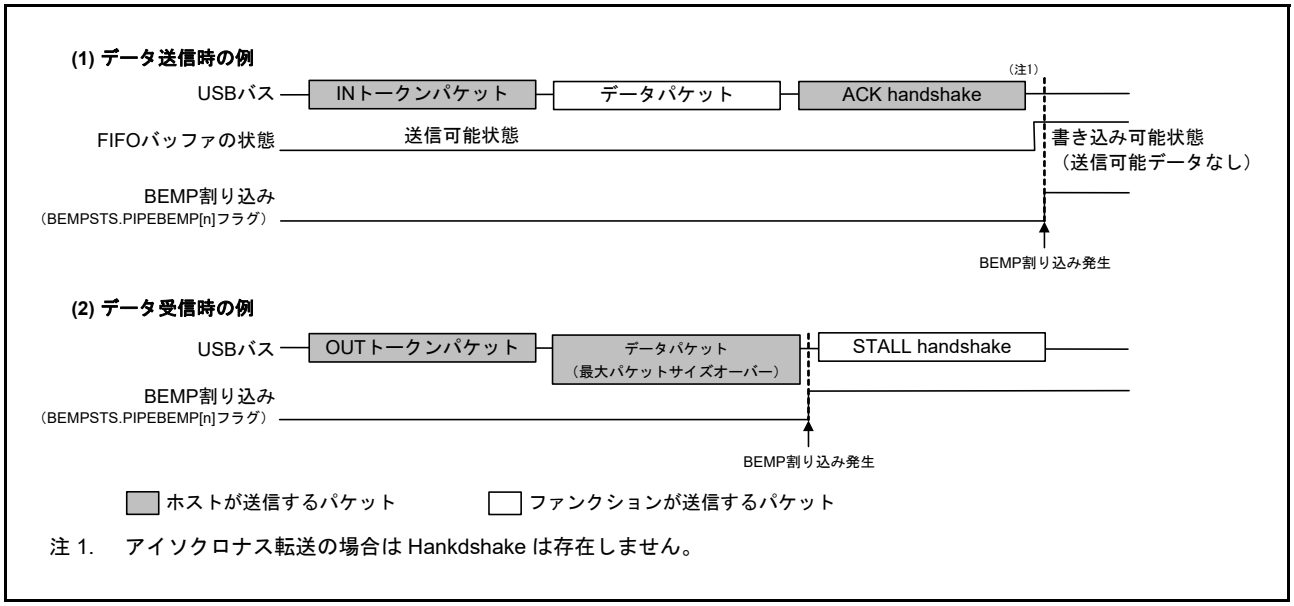
(2) 受信パイプの場合

最大パケットサイズの設定値より大きなデータサイズを正常受信したとき。このとき USBHS は、BEMP 割り込み要求を発生させ、関連する BEMPSTS.PIPEBEMP フラグを 1 にし、受信データを破棄し、パイプの関連する PID[1:0] ビットの設定を STALL（11b）に変更します。USBHS は、ホストコントローラモード時は応答を返さず、デバイスコントローラモード時は STALL 応答を行います。

以下の場合は、内部 BEMP 割り込み要求を発生させません。

- 受信データに、CRC エラーまたはビットスタッフィングエラーを検出したとき
- SETUP トランザクション実行時
  - BEMPSTS.PIPEBEMP フラグに 0 を書くと、ステータスがクリアされます。
  - BEMPSTS.PIPEBEMP フラグに 1 を書いても、動作に影響ありません。

図 33.7 に、デバイスコントローラモード時の BEMP 割り込み発生タイミングを示します。



注 1. アイソクロナス転送の場合は Hankdshake は存在しません。

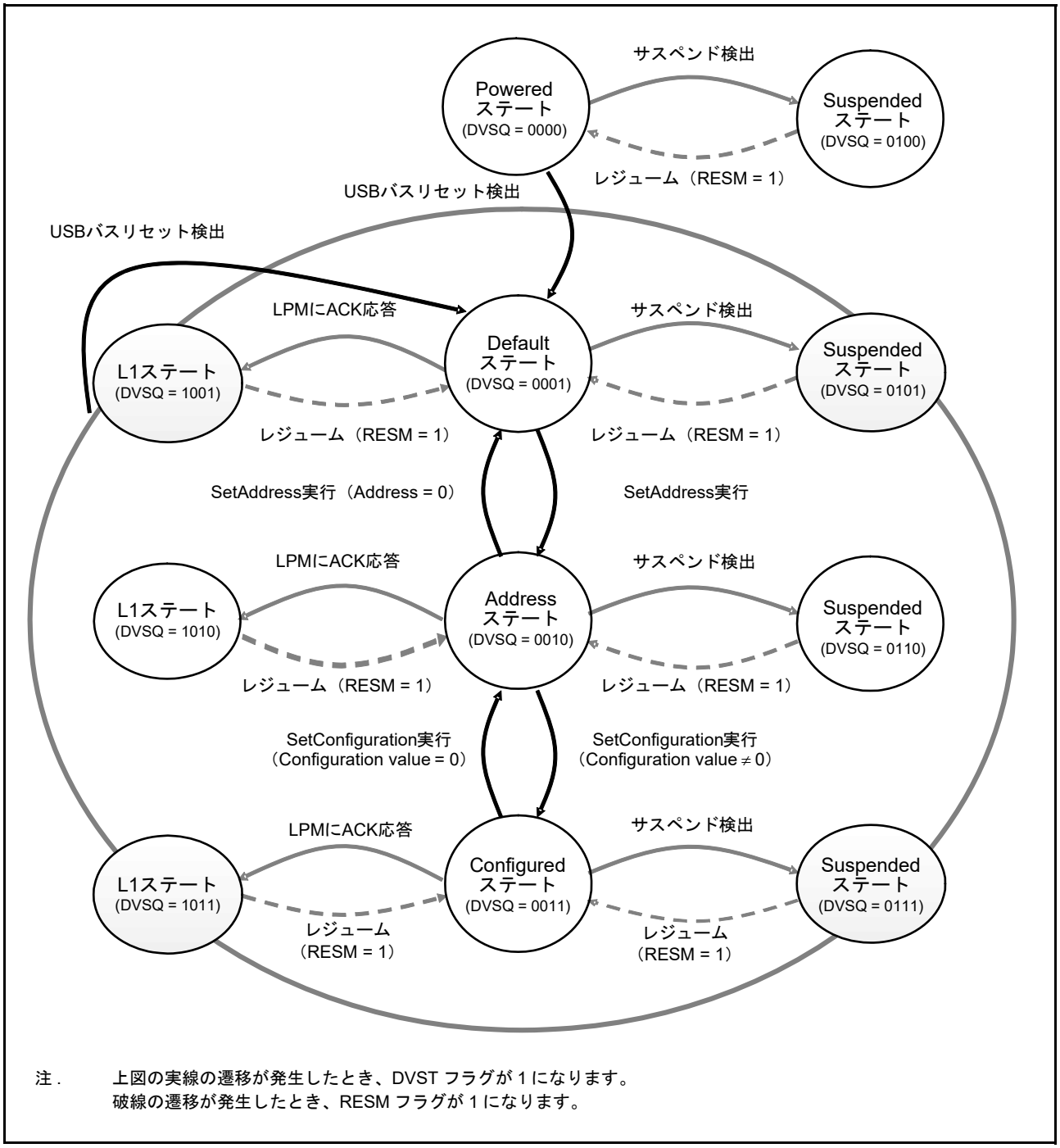
図 33.7 デバイスコントローラモード時の BEMP 割り込み発生タイミング

33.3.6.4 デバイスステート遷移割り込み（デバイスコントローラモード時）

図 33.8 に、USBHS デバイスステート遷移図を示します。USBHS はデバイスステートを管理し、デバイスステート遷移割り込みを発生させます。ただし、Suspended ステートからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定可能です。状態が変化したデバイスは、PL1CTRL.DVSQ[3:0] フラグで確認できます。

Default ステートに遷移する場合には、USB バスリセット検出後に、デバイスステート遷移割り込みが発生します。

USBHS はデバイスステートを制御し、デバイスステート遷移割り込みは、デバイスコントローラモードでのみ生成できます。



注 . 上図の実線の遷移が発生したとき、DVST フラグが 1 になります。
破線の遷移が発生したとき、RESM フラグが 1 になります。

図 33.8 デバイスステートの遷移

33.3.6.5 コントロール転送ステージ遷移割り込み（デバイスコントローラモード時）

USBHS のコントロール転送ステージ遷移を図 33.9 に示します。USBHS はコントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みを発生させます。コントロール転送ステージ遷移割り込みの許可／禁止は、INTENB0 レジスタで個別に指定可能です。遷移が発生した転送ステージは、INTSTS0.CTSQ[2:0] ビットで確認できます。

コントロール転送ステージ遷移割り込みは、デバイスコントローラモード時にのみ発生します。ここでは、コントロール転送シーケンスエラーについて説明します。エラーが発生した場合は、DCPCTR.PID[1:0] ビットが 1xb（STALL 応答）になります。

(1) コントロールリード転送エラー

- データステージの IN トークンに対して、一度もデータ転送していない状態で OUT トークンまたは PING トークンを受信
- ステータスステージで IN トークンを受信
- ステータスステージで DATAPID = DATA0 のデータパケットを受信

(2) コントロールライト転送エラー

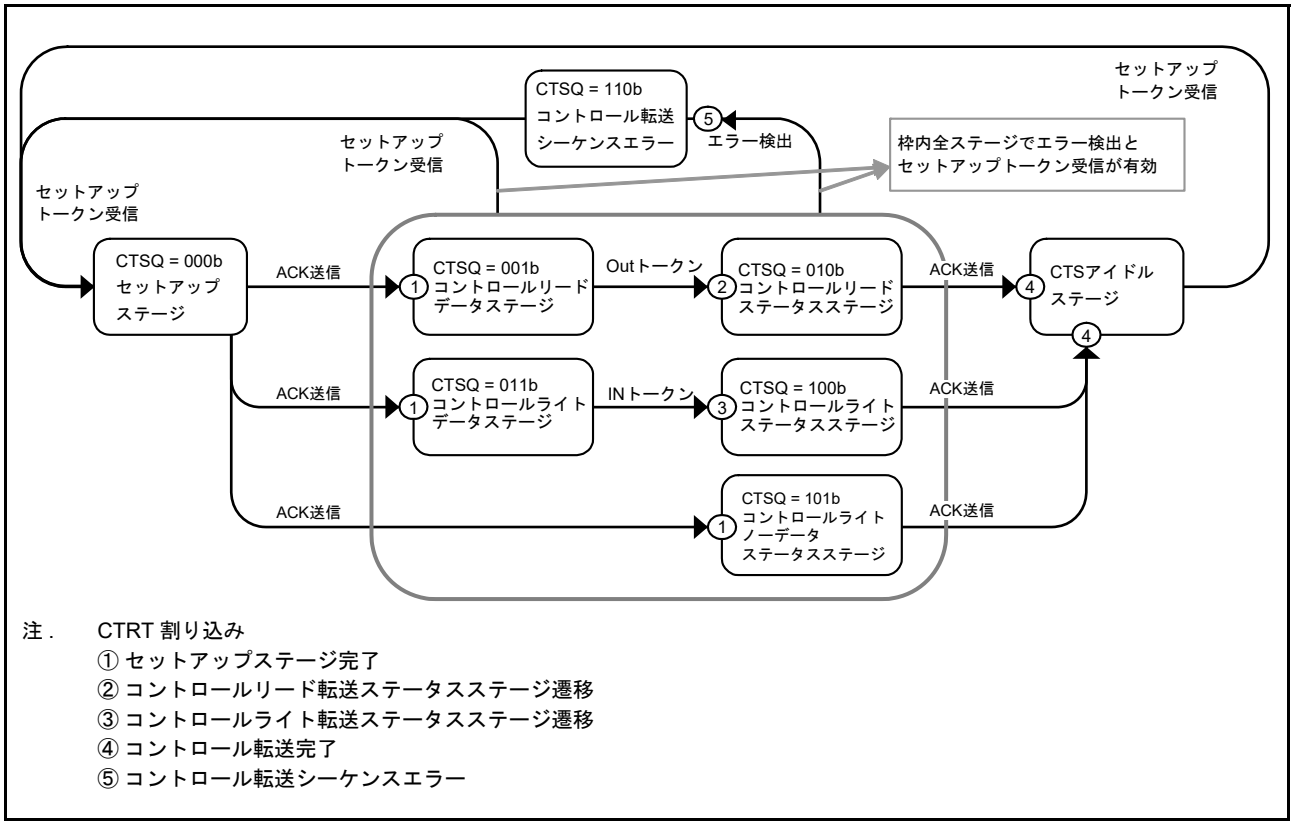
- データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
- データステージで最初のデータパケットとして DATAPID = DATA0 のデータパケットを受信
- ステータスステージで OUT トークンまたは PING トークンを受信

(3) コントロールライトノーデータ転送エラー

- ステータスステージで OUT トークンまたは PING トークンを受信

コントロールライト転送データステージで、受信データ長が USB リクエストの wLength 値を超えた場合は、コントロール転送シーケンスエラーと認識されません。コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（INTSTS0.CTRT フラグ = 1）は、CTRT フラグが 0 になり、割り込みステータスがクリアされるまで、CTSQ[2:0] = 110b の値が保持されます。CTSQ[2:0] ビット = 110b が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。USBHS はセットアップステージ完了ステータスを保存し、ソフトウェアによる割り込みステータスのクリア後、USBHS が CTRT 割り込みを発生させます。



注 . CTRT 割り込み
① セットアップステージ完了
② コントロールリード転送ステータスステージ遷移
③ コントロールライト転送ステータスステージ遷移
④ コントロール転送完了
⑤ コントロール転送シーケンスエラー

図 33.9 コントロール転送ステージの遷移

33.3.6.6 フレーム番号更新割り込み

ホストコントローラモード時は、フレーム番号が更新されると割り込みが発生します。

デバイスコントローラモード時は、フレーム番号が更新されると SOFR 割り込みが発生します。USBHS は、フルスピード動作中に新しい SOF パケットを検出すると、フレーム番号を更新して SOFR 割り込みを発生させます。

33.3.6.7 VBUS 割り込み

USBHS_VBUS 端子レベルに変化があった場合に VBUS 割り込みが発生します。USBHS_VBUS 端子のレベルは、INTSTS0.VBSTS フラグで確認できます。VBUS 割り込みによって、ホストコントローラの接続および切断の確認ができます。ホストコントローラが接続された状態でシステムが起動された場合は、USBHS_VBUS 端子レベルが変化しないため、最初の VBUS 割り込みが発生しません。

33.3.6.8 レジューム割り込み

デバイスコントローラモード時、デバイスが Suspended ステートで USB バスステートが変化（J-State から K-State、または J-State から SE0）すると、レジューム割り込みが発生します。レジューム割り込みによって Suspended ステートからの復帰を検出します。

ホストコントローラモード時に、レジューム割り込みは発生しません。USB バスステートの変化は BCHG 割り込みを用いて検出してください。

33.3.6.9 OVRCR 割り込み

USBHS_OVRCURA 端子レベルまたは USBHS_OVRCURB 端子レベルに変化があった場合に OVRCR 割り込みが発生します。SYSSTS0.OVCMON[1:0] フラグで、USBHS_OVRCURA 端子および USBHS_OVRCURB 端子のレベルを確認できます。OVRCR 割り込みによって外部電源 IC からオーバーカレント検出の確認ができます。

OTG 接続時は、OVRCR 割り込みで VBUS コンパレータ変化検出の確認ができます。

33.3.6.10 BCHG 割り込み

USB バスステートに変化があった場合に、BCHG 割り込みが発生します。ホストコントローラモード時の周辺デバイスの接続、リモートウェイクアップの検出に BCHG 割り込みを使用します。BCHG 割り込みは、ホストコントローラモード、デバイスコントローラモードのどちらでも発生します。

33.3.6.11 DTCH 割り込み

ホストコントローラモード時に USB バス切断を検出した場合、DTCH 割り込みが発生します。USBHS は、USB2.0 規格に準じてバス切断を検出します。

割り込みが検出されたら、当該ポートに対して通信を行っているすべてのパイプをソフトウェアで終了させてください。通信を終了したパイプは、当該ポートへのバス接続（ATTCH 割り込み発生）待ちの状態に遷移します。関連する割り込み許可ビットの値に関係なく、USBHS ハードウェアは以下の動作を行います。

- DTCH 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- DTCH 割り込みが発生したポートをアイドル状態に遷移させる

33.3.6.12 SACK 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスからの ACK 応答を受信した場合、SACK 割り込みが発生します。SACK 割り込みにより、SETUP トランザクションが正常に終了したことを知ることができます。

33.3.6.13 SIGN 割り込み

ホストコントローラモード時に、送信した Setup パケットに対して周辺デバイスからの ACK 応答を 3 回連続で正常に受信できなかった場合、SIGN 割り込みが発生します。SIGN 割り込みを使用して、周辺デバイスが ACK を送信しなかった場合や、ACK パケットの破損を検出することができます。

33.3.6.14 ATTCH 割り込み

ホストコントローラモード時、USB ポートにフルスピード信号レベルの J-State または K-State を 2.5µs 間検出した場合、ATTCH 割り込みが発生します。ATTCH 割り込みの具体的な検出条件は以下のとおりです。

- K-State、SE0、または SE1 から J-State に変化し、J-State のまま 2.5µs 間継続したとき
- J-State、SE0、または SE1 から K-State に変化し、K-State のまま 2.5µs 間継続したとき

33.3.6.15 EOFERR 割り込み

USB2.0 規格で定められている EOF2 タイミング時点で通信が完了していないことを USBHS が検出した場合、EOFERR 割り込みを発生します。

割り込みが検出されたら、当該ポートに対して通信を行っているすべてのパイプをソフトウェアで終了させ、当該ポートへの再エニュメレーションを行ってください。関連する割り込み許可ビットの値に関係なく、USBHS ハードウェアは以下の動作を行います。

- EOFERR 割り込みを検出したポートの DVSTCTR0.UACT ビットを 0 にする
- EOFERR 割り込みが発生したポートをアイドル状態に遷移させる

33.3.6.16 PDDETINT 割り込み

USBHS は、PDDET 端子入力値のレベル変化（High から Low、または Low から High）を検出すると、INTSTS1.PDDETINT フラグを 1 にして PDDETINT 割り込みを発生させます。PDDETINT 割り込み発生時は、同じ値が 3 回以上読み出されるまで、ソフトウェアで BCCTRL.PDDETSTS フラグの読み出しを繰り返し、チャタリングを除去してください。

33.3.6.17 LPMEND 割り込み

周辺デバイスからの応答を検知、もしくはタイムアウトを検知し、LPM トランザクションが終了した際に、INTSTS1.LPMEND フラグが 1 になり、LPMEND 割り込みが発生します。

33.3.6.18 L1RSMEND 割り込み

LPM トークンに対して ACK を受信して USBHS が L1 ステートに遷移すると、レジューム処理が実行され、レジューム処理が完了すると USBHS は INTSTS1.L1RSMEND フラグを 1 にします。

33.3.7 パイプコントロール

表 33.22 に USBHS のパイプ設定項目一覧を示します。USB データ転送は、ソフトウェアがエンドポイントと関連付けた論理パイプにて行います。USBHS には、データ転送用に 10 本のパイプがあります。各パイプの設定は、使用するシステムの仕様に合わせて行ってください。

表 33.22 パイプ設定

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE[1:0]	転送タイプ	パイプ1～9：設定可能
	BFRE	BRDY割り込みモード	パイプ1～5：設定可能
	DBLB	ダブルバッファ選択	パイプ1～5：設定可能
	CNTMD	連続転送または非連続転送を選択	パイプ1～2：バルク転送に対してのみ設定可能 パイプ3～5：設定可能
	DIR	転送方向選択	INまたはOUT設定可能
	EPNUM[3:0]	エンドポイント番号	パイプ1～9：設定可能 パイプ使用時は0000以外の値に設定
	SHTNAK	転送終了時のパイプ禁止選択	パイプ1～2：バルク転送に対してのみ設定可能 パイプ3～5：設定可能
PIPEBUF	BUFSIZE	FIFOバッファサイズ	DCP：設定不可能（256バイト固定） パイプ1～5：最大2KBまで設定可能 パイプ6～9：設定不可能（64バイト固定）
	BUFNMB	FIFOバッファ番号	DCP：設定不可能（0h～3hの領域に固定） パイプ1～5：設定不可能（8h～87hの領域は指定可能） パイプ6～9：設定不可能（4h～7hの領域に固定）
DCPMAXP PIPEMAXP	DEVSEL[3:0]	デバイス選択	ホストコントローラモード時のみ参照
	MXPS	最大パケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1～2：アイソクロナス転送に対してのみ設定可能 パイプ3～5：設定不可能 パイプ6～9：設定不可能
	IITV[2:0]	インターバルカウンタ	パイプ1～2：アイソクロナス転送に対してのみ設定可能 パイプ3～5：設定不可能 パイプ6～9：ホストコントローラモード時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPはISELビットにより、受信／送信バッファ状態を切り替えます。
	INBUFM	INバッファモニタ	パイプ1～5のみ利用可能
	SUREQ	SETUPリクエスト	DCPのみ設定可能、ホストコントローラモード時のみ制御
	SUREQCLR	SUREQクリア	DCPのみ設定可能、ホストコントローラモード時のみ制御
	CSCLR	CSSTSクリア	ホストコントローラモード時のみ制御可能
	CSSTS	SPLITステータスチェック	ホストコントローラモード時のみ参照
	ATREPM	自動応答モード	パイプ1～5：デバイスコントローラモード時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1～9：設定可能
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットの設定
	SQMON	シーケンス確認	データトグルビットの監視
	PBUSY	パイプビジー確認	-
	PID[1:0]	応答PID	-
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1～5：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1～5：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1～5：設定可能

33.3.7.1 パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が禁止のとき（PID[1:0] ビットが 00b（NAK 応答））のみ書き換えが可能です。図 33.10 に、USB 通信許可（PID[1:0] ビットが 00b（BUF 応答））時のパイプコントロールレジスタの切り替え手順を示します。

USB 通信が許可（PID[1:0] ビットが 01b（BUF 応答））されているときは、以下のレジスタとビットは変更しないでください。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR.SQCLR、SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR.ATREPM、ACLRM、SQCLR、SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット
- DEVADDm（m = 0 ～ A）の各ビット

CSCLR ビットおよび DEVADDm レジスタ（m = 0 ～ A）のビットを設定するには、33.2 レジスタの説明に記載された手順に従ってください。

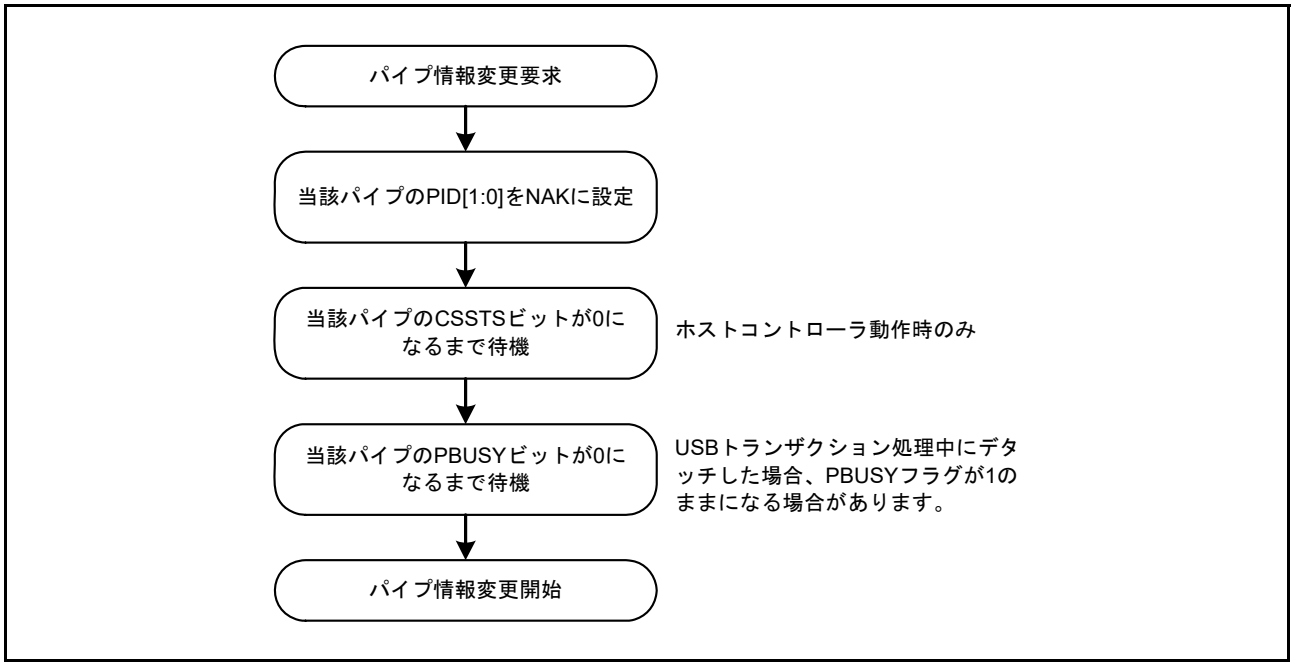


図 33.10 USB 通信が許可状態で PID[1:0] ビットが 01b（BUF 応答）のときのパイプ情報変更手順

パイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、および D1FIFOSEL レジスタの CURPIPE[3:0] ビットに選択パイプ情報が設定されていない場合のみ書き換えが可能です。

CURPIPE[3:0] ビット設定中に、以下のレジスタは設定しないでください。

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR ビット、ACLRM ビット

パイプ情報を変更する場合は、CURPIPE[3:0] ビットの設定を変更パイプ以外に指定してください。なお DCP については、パイプ情報修正後、BCLR ビットを使用してバッファのクリア処理をしてください。

33.3.7.2 転送タイプ

PIPECFG.TYPE[1:0] ビットにて、各パイプに以下の転送タイプを指定します。

- DCP：設定不要（コントロール転送固定）
- パイプ 1 ～ 2：バルク転送またはアイソクロナス転送を設定
- パイプ 3 ～ 5：バルク転送を設定
- パイプ 6 ～ 9：インタラプト転送を設定

33.3.7.3 エンドポイント番号

PIPECFG.EPNUM[3:0] ビットにて、各パイプのエンドポイント番号を設定します。DCP は、エンドポイント 0 に固定されています。他のパイプは、エンドポイント 1 からエンドポイント 15 までの設定が可能です。

- DCP：設定不要（エンドポイント 0 固定）
- パイプ 1 ～ 9:エンドポイント番号 1 から 15 までを選択して設定。PIPECFG.DIR ビットと EPNUM[3:0] ビットの組み合わせが重複しないように設定する必要があります。

33.3.7.4 最大パケットサイズ設定

DCPMAXP レジスタおよび PIPEMAXP レジスタの MXPS ビットで、各パイプの最大パケットサイズを指定します。DCP およびパイプ 1 ～ 5 は、USB2.0 規格で定められているすべての最大パケットサイズに設定可能です。パイプ 6 ～ 9 では、64 バイトが最大パケットサイズです。最大パケットサイズは、転送を開始（PID[1:0] ビットを 01b（BUF 応答））する前に、以下のように設定してください。

- DCP：ハイスピード動作時は 64 を設定
- DCP：フルスピード動作時は 8, 16, 32, または 64 を設定
- パイプ 1 ～ 5：ハイスピードバルク転送時は 512 を設定
- パイプ 1 ～ 5：フルスピードバルク転送時は 8, 16, 32, または 64 を設定
- パイプ 1 ～ 2：ハイスピードアイソクロナス転送時は 1 ～ 1024 を設定
- パイプ 1 ～ 2：フルスピードアイソクロナス転送時は 1 ～ 1023 を設定
- パイプ 6 ～ 9：1 から 64 の値を設定

高帯域インタラプト転送およびアイソクロナス転送には対応していません。

33.3.7.5 トランザクションカウンタ（受信方向パイプ 1 ～ 5）

USBHS は、データパケット受信方向で、指定回数のトランザクションが終了した場合に、転送終了と認識できます。トランザクションカウンタには、実行トランザクション回数を指定する PIPEnTRN レジスタと、実行されたトランザクションを内部でカウントするカレントカウンタがあります。PIPECFG.SHTNAK ビットが 1 の状態でカレントカウンタの値がトランザクションの指定回数に一致すると、関連する PIPEnCTR.PID[1:0] ビットを 00b（NAK 応答）にし、次の転送を禁止状態にします。PIPEnTRE.TRCLR ビットにて、トランザクションカウンタ機能のカレントカウンタを初期化し、トランザクションを最初からカウントし直すことができます。PIPEnTRE.TRENB ビットの設定により、PIPEnTRN レジスタ読み出し時のデータは以下のように異なります。

- TRENB ビットが 0：指定したトランザクションカウンタ値を読み出し可能
- TRENB ビットが 1：内部でカウントした実行済みトランザクション数を示すカレントカウンタ値を読み出し可能

TRCLR ビットの操作には以下の制限事項があります。

- トランザクションカウント中、かつ PIPEnCTR.PID[1:0] ビットが 01b（BUF 応答）の場合、カレントカウンタはクリア不可
- バッファ内にデータが残っている場合、カレントカウンタはクリア不可

33.3.7.6 応答 PID

DCPCTR レジスタおよび PIPEnCTR レジスタの PID[1:0] ビットで、各パイプの応答 PID を指定します。ここでは、各応答 PID 設定における USBHS の動作を説明していきます。

(1) ソフトウェアの応答 PID 設定（ホストコントローラモード時）

応答 PID を選択してトランザクションの実行について指定します。各設定の動作は以下のとおりです。

- NAK 設定：パイプ禁止状態かつトランザクション実行なし
- BUF 設定：FIFO バッファの状態に応じて下記のトランザクションを実行
  OUT 方向の場合：FIFO バッファに送信データがある場合は OUT トークンを発行
  IN 方向の場合：FIFO バッファに空きがあり受信可能な場合は IN トークンを発行
- STALL 設定：パイプ禁止状態かつトランザクション実行なし

注 . DCP の SETUP トランザクションを実行するには、SUREQ ビットを使用します。

(2) ソフトウェアの応答 PID 設定（デバイスコントローラモード時）

ホストからのトランザクションに対する応答として、以下のように応答 PID を選択します。

- NAK 設定：発生したすべてのトランザクションに対して NAK 応答を返す
- BUF 設定：FIFO バッファの状態に応じてトランザクションに応答する
- STALL 設定：発生したすべてのトランザクションに対して STALL 応答を返す

注 . SETUP トランザクションに対しては、PID[1:0] ビットの設定にかかわらず、常に ACK 応答し、レジスタに USB リクエストを格納します。

以下の (3) と (4) は、特定のトランザクション結果に従って、USBHS が PID[1:0] ビットに書き込みを行う状況を説明しています。

(3) ハードウェアの応答 PID 設定（ホストコントローラモード時）

- NAK 設定：以下の場合、PID[1:0] ビットが 00b（NAK 応答）になり、トークンの発行を自動的に停止
  - アイソクロナス以外の転送で、NRDY 割り込みが発生したとき
    （詳細は、33.3.6.2 NRDY 割り込みを参照してください。）
  - バルク転送時で PIPECFG.SHTNAK ビットが 1 の場合にショートパケットを受信したとき
  - バルク転送時で SHTNAK ビットが 1 の場合にトランザクションカウンタが終了したとき
- BUF 設定：USBHS によるこの設定の書き込みはなし
- STALL 設定：以下の場合、PID[1:0] ビットが STALL になり、トークンの発行を自動的に停止
  - 送信したトークンに対して STALL を受信したとき
  - 最大パケットサイズを超えるサイズのデータパケットを受信したとき

(4) ハードウェアの応答 PID 設定（デバイスコントローラモード時）

- NAK 設定：以下の場合、PID[1:0] ビットが 00b（NAK 応答）になり、トランザクションに対し NAK 応答が発生
  - SETUP トークンを正常に受信したとき（DCP のみ）
  - バルク転送時で PIPECFG.SHTNAK ビットが 1 の場合に、トランザクションカウンタが終了したとき、またはショートパケットを受信したとき
- BUF 設定：USBHS によるこの設定の書き込みはなし

- STALL 設定：以下の場合、PID[1:0] ビットが STALL になり、トランザクションに対し STALL 応答が発生
  - 最大パケットサイズを超えるサイズのデータパケットを受信したとき
  - コントロール転送シーケンスエラーを検出したとき

33.3.7.7 データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、USBHS がデータ PID のシーケンスビットを自動的にトグルします。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタおよび PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は ACK ハンドシェイク受信のタイミングでシーケンスビットが切り替わります。データ受信時は ACK ハンドシェイク送信のタイミングでシーケンスビットが切り替わります。DCPCTR レジスタおよび PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

デバイスコントローラモードでのコントロール転送では、ステージ遷移時に USBHS が自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 が返されます。ステータスステージではシーケンスビットは参照せず、PID = DATA1 で応答します。このため、ソフトウェアによる設定は必要ありません。ただし、ホストコントローラモードでのコントロール転送では、ステージ遷移時にシーケンスビットをソフトウェアで設定する必要があります。ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、ClearFeature リクエストの送信または受信時には、ソフトウェアでデータ PID シーケンスビットを設定する必要があります。

33.3.7.8 応答 PID = NAK 機能

USBHS には、トランザクションの最終データパケットを受信すると、パイプの動作を禁止する（PID[1:0] ビットが 00b（NAK 応答））機能が用意されています。USBHS は、ショートパケットの受信またはトランザクションカウンタでトランザクションの終了を自動的に判定します。PIPECFG.SHTNAK ビットが 1 の場合、この機能が有効です。

この機能を使用することで、FIFO バッファをダブルバッファモードで使用している場合に、転送単位でのデータパケットの受信が可能です。パイプ動作が禁止された場合は、ソフトウェアで再度パイプ許可（PID[1:0] ビットに 01b（BUF 応答）を設定）設定を行う必要があります。

なお、応答 PID = NAK 機能はバルク転送時のみ動作することが可能です。

33.3.7.9 自動応答モード

バルク転送のパイプ（パイプ 1 ～ 5）において、PIPEnCTR.ATREPM ビットを 1 にすると、自動応答モードとなります。OUT 転送時（PIPECFG.DIR ビットが 0）には OUT-NAK モードとなり、IN 転送時（DIR ビットが 1）には Null 自動応答モードとなります。

33.3.7.10 OUT-NAK モード

バルク OUT 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、OUT トークンに対して NAK 応答し、NRDY 割り込みを出力します。通常モードから OUT-NAK モードへ遷移させるためには、パイプ動作禁止状態（PID[1:0] ビットが 00b（NAK 応答））で OUT-NAK モードを指定してください。その後でパイプ動作許可（PID[1:0] ビットに 01b（BUF 応答）を設定）を行うことにより、OUT-NAK モードが有効となります。パイプ動作禁止にする直前で OUT トークンを受け付けた場合、そのトークンのデータは正常に受信され、ホストへ ACK 応答されます。

OUT-NAK モードから通常モードへ遷移させるためには、パイプ動作禁止状態（NAK）で OUT-NAK モードを解除してください。その後で、パイプ動作許可（BUF）を行ってください。通常モードでは、OUT データ受信が可能となります。

33.3.7.11 Null 自動応答モード

バルク IN 転送のパイプにおいて、PIPEnCTR.ATREPM ビットを 1 にすると、Zero-Length パケットを送信し続けます。

通常モードから Null 自動応答モードへ遷移させるには、パイプ動作禁止状態（PID[1:0] ビットが 00b（NAK 応答））で Null 自動応答モードを指定します。次にパイプ動作を許可（PID[1:0] ビットが 01b（BUF 応答））して、Null 自動応答モードを有効にします。ただし、Null 自動応答モードを設定する場合は、バッファ内は空である必要があります。PIPEnCTR.INBUFM ビットが 0 であることで確認してください。INBUFM ビットが 1 の場合には、PIPEnCTR.ACLRM ビットによりバッファを空にしてください。また、Null 自動応答モードへの遷移中は、FIFO ポートからのデータ書き込みは行わないでください。

Null 自動応答モードから通常モードへ遷移させるためには、パイプ動作禁止状態（PID[1:0] ビットが 00b（NAK 応答））を Zero-Length パケット送信期間分保持（約 10µs）した後、Null 自動応答モードを解除してください。通常モードでは、FIFO ポートからの書き込みが可能となり、パイプ動作許可（PID[1:0] ビットが 01b（BUF 応答））を行うことにより、ホストへのパケット送信が可能となります。

33.3.8 FIFO バッファ

USBHS はデータ転送用に FIFO バッファを提供し、各パイプが使用するメモリ領域を管理しています。FIFO バッファの状態には、アクセス権がシステム（CPU 側）にある場合と USBHS（SIE 側）にある場合があります。

33.3.8.1 バッファステータス

表 33.23 および表 33.24 に、USBHS のバッファステータスを示します。FIFO バッファステータスは、DCPCTR.BSTS ビットおよび PIPEnCTR.INBUFM ビットにて確認できます。FIFO バッファの転送方向は、PIPECFG.DIR ビットまたは CFIFOSEL.ISEL ビット（DCP 選択時）で指定します。

INBUFM ビットは送信方向のパイプ 1 ～ 5 でのみ有効です。

送信側の転送パイプがダブルバッファモードを使用している場合、ソフトウェアは BSTS ビットを読み出して CPU 側の FIFO バッファステータスを監視し、INBUFM ビットを読み出して SIE 側の FIFO バッファステータスを監視します。CPU または DMA/DTC による FIFO ポートへの書き込みが遅く、BEMP 割り込みではバッファの空き状態が判別できない場合に、ソフトウェアは INBUFM ビットで送信完了を確認できます。

表 33.23 BSTS フラグが示すバッファステータス

ISEL または DIR	BSTS	FIFO バッファステータス
0（受信方向）	0	受信データなし、または受信中 FIFO ポートからの読み出し不可能
0（受信方向）	1	受信データあり、または Zero-Length パケット受信 FIFO ポートからの読み出し可能 Zero-Length パケット受信時は読み出し不可能のためバッファクリアが必要
1（送信方向）	0	送信が完了していない FIFO ポートへの書き込み不可能
1（送信方向）	1	送信完了 CPU は書き込み可能

表 33.24 INBUFM ビットが示すバッファステータス

DIR	INBUFM	FIFO バッファステータス
0（受信方向）	無効	無効
1（送信方向）	0	送信完了 送信可能データなし
1（送信方向）	1	データが FIFO ポートからバッファへ書き込まれた 送信可能データあり

33.3.8.2 FIFO バッファクリア

表 33.25 に FIFO バッファのクリア方式一覧を示します。FIFO バッファは、ポートコントロールレジスタの BCLR ビット、DnFIFOSEL.DCLRM ビット、PIPEnCTR.ACLRM ビットでクリアできます。

パイプ 1 ～ 5 は、PIPECFG.DBLB ビットにてシングルバッファまたはダブルバッファを選択できます。

表 33.25 バッファクリア方法

FIFOバッファクリアモード	CPU側でのFIFOバッファクリアモード	指定パイプのデータ読み出し後、FIFOバッファを自動でクリアするモード	すべての受信パケットを破棄するための自動バッファクリアモード
使用するレジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
使用するビット	BCLR	DCLRM	ACLRM
クリア条件	1書き込みでクリア	1：モード有効 0：モード無効	1：モード有効 0：モード無効

(1) 自動バッファクリアモード機能

USBHS は、PIPEnCTR.ACLRM ビットを 1 にすることで、受信したすべてのデータパケットを破棄します。正常なデータパケットを受信した場合は、ホストコントローラに対して ACK 応答を行います。自動バッファクリアモード機能は、FIFO バッファ読み出し方向にのみ設定可能です。

ACLRM ビットを 1 にし、続けて 0 にすると、アクセス方向に関係なく、選択パイプの FIFO バッファをクリアできます。ハードウェアの内部シーケンス実行時間として、ACLRM ビットへの 1 書き込みと 0 書き込みの間隔を 100ns 以上とってください。

33.3.8.3 FIFO ポートの機能

表 33.26 に FIFO ポート機能設定を示します。データ書き込み時は、最大パケットサイズまで書き込みを行うと、自動的にデータが送信可能状態となります。最大パケットサイズ未満のデータを送信可能状態にするには、ポートコントロールレジスタの BVAL フラグを書き込み終了に設定してください。Zero-Length パケットを送信するには、BCLR ビットでバッファをクリアし、BVAL フラグを書き込み終了に設定してください。

読み出し時は、すべてのデータを読み出すと、自動的に新しいパケットを受信可能な状態になります。Zero-Length パケット受信時（DTLN[11:0] ビットが 0）は、データは読み出せませんので、BCLR ビットによるバッファクリアが必要です。受信データ長は、ポートコントロールレジスタの DTLN[11:0] ビットにて確認します。

表 33.26 FIFOポート機能設定

レジスタ名	ビット名	機能
CFIFOSEL、DnFIFOSEL (n = 0, 1)	RCNT	DTLN[11:0]読み出しモード選択
	REW	FIFOバッファリワインド（再読み出し、再書き込み）
	DCLRM	指定パイプの受信データ読み出し後、受信データの自動クリア（DnFIFO専用）
	DREQE	DMA/DTC転送許可（DnFIFO専用）
	MBW[1:0]	FIFOポートアクセスビット幅
	BIGEND	FIFOポートエンディアン選択
	ISEL	FIFOポートアクセス方向（DCP専用）
	CURPIPE[3:0]	カレントパイプ選択
CFIFOCTR、DnFIFOCTR (n = 0, 1)	BVAL	FIFOバッファ書き込み終了
	BCLR	CPU側FIFOバッファクリア
	DTLN[11:0]	受信データ長確認

33.3.8.4 FIFO ポート選択

表 33.27 に各 FIFO ポートで選択可能なパイプを示します。ポート選択レジスタの CURPIPE[3:0] ビットを使用して、アクセスするパイプを選択します。パイプ選択後、書き込み値を CURPIPE[3:0] ビットから正しく読み出せるかどうかをソフトウェアで確認する必要があります。（前回のパイプ番号が読み出された場合には、USBHS がパイプ変更処理中であることを示しています。）ソフトウェアは次に、ポートコントロールレジスタの FRDY フラグが 1 であることを確認します。

また、ソフトウェアでポート選択レジスタの MBW[1:0] ビットに、アクセスするバス幅を指定する必要があります。FIFO バッファアクセス方向は、PIPECFG.DIR ビットの設定に従います。DCP のみ、ポート選択レジスタの ISEL ビットにより方向を決定します。

表 33.27 パイプ別FIFOポートアクセス

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポートレジスタ
パイプ1～9	CPUアクセス	CFIFOポートレジスタ D0FIFO/D1FIFOポートレジスタ
	DMA/DTCアクセス	D0FIFO/D1FIFOポートレジスタ

(1) REW ビット

実行中のパイプアクセスを一時的に中断し、別のパイプに対するアクセスを行ってから、再度最初のパイプの処理を続行することができます。このような処理には、ポート選択レジスタの REW ビットを使用します。

ポート選択レジスタの CURPIPE[3:0] ビットでパイプ選択を行うと同時に REW ビットを 1 にすると、FIFO バッファの読み出しまたは書き込みポインタをリセットし、最初のバイトから読み出しまたは書き込みを行うことができます。REW ビットを 0 にしてパイプ選択を行うと、バッファの読み出し／書き込みポインタをリセットせずに、前回選択時の続きから継続してデータの読み出し／書き込みができます。

FIFO ポートへアクセスするには、パイプ選択後、ポートコントロールレジスタの FRDY ビットが 1 であることをソフトウェアで確認する必要があります。

33.3.8.5 DMA/DTC 転送（D0FIFO/D1FIFO ポート）

パイプ 1 ～ 9 に対して、DMAC/DTC による FIFO ポートアクセスが可能です。DMA/DTC 転送用のパイプのバッファがアクセス可能になったとき、DMA/DTC 転送要求を出力します。

DnFIFOSEL.MBW[1:0] ビットにて FIFO ポートへの転送単位を、DnFIFOSEL.CURPIPE[3:0] ビットにて DMA/DTC 転送するパイプを選択してください。なお、DMA 転送中は選択パイプを変更しないでください。

(1) DnFIFO 自動クリアモード（D0FIFO/D1FIFO ポート読み出し方向）

USBHS は、DnFIFOSEL.DCLRM ビットを 1 にすることで、FIFO バッファからのデータ読み出しを完了した場合に、選択パイプの FIFO バッファを自動的にクリアします。

表 33.28 に各設定での、パケット受信とソフトウェアによる FIFO バッファクリア処理の関連を示します。この表に示すように、PIPECFG.BFRE ビットの設定値によりバッファクリア条件が異なります。バッファクリアが必要などのような状態においても、DnFIFOSEL.DCLRM ビットを使用することでソフトウェアによるバッファクリアが不要になります。ソフトウェアを介在させない DMA/DTC 転送が可能となります。

DnFIFO 自動クリアモードは、FIFO バッファ読み出し方向のみ設定できます。

表 33.28 パケット受信とソフトウェアによるFIFOバッファクリア処理

バッファステータス（パケット受信時）	レジスタ設定			
	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

33.3.8.6 FIFO バッファ割り当て

図 33.11 に FIFO バッファのメモリマップ例を示します。FIFO バッファは、アプリケーションのコントロール CPU と USBHS が共有する領域です。FIFO バッファの状況には、アクセス権がアプリケーション（CPU 側）にある場合と、USBHS（SIE 側）にある場合の 2 種類があります。

FIFO バッファは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数（PIPEBUF レジスタの BUFNMB[7:0] ビットおよび BUFSIZE[4:0] ビットで指定）で決定します。PIPECFG レジスタの CNTMD ビットで連続転送モードを選択した場合、BUFSIZE[4:0] ビットを最大パケットサイズの整数倍に設定してください。PIPECFG レジスタの DBLB ビットでダブルバッファモードを選択した場合、同一パイプに対して PIPEBUF レジスタの BUFSIZE[4:0] ビットで指定したメモリ領域の 2 面分が割り当てられます。

FIFO バッファへのアクセス（データの読み出しおよび書き込み）は 3 本の FIFO ポートを使用します。C/DnFIFOSEL レジスタの CURPIPE[3:0] ビットで、FIFO ポートに割り当てるパイプ番号を指定してください。

各パイプの FIFO バッファステータスは、DCPCTR.BSTS、PIPEnCTR、および INBUFM ビットで確認できます。FIFO ポートアクセス権は、C/DnFIFOCTR レジスタの FRDY フラグで確認できます。

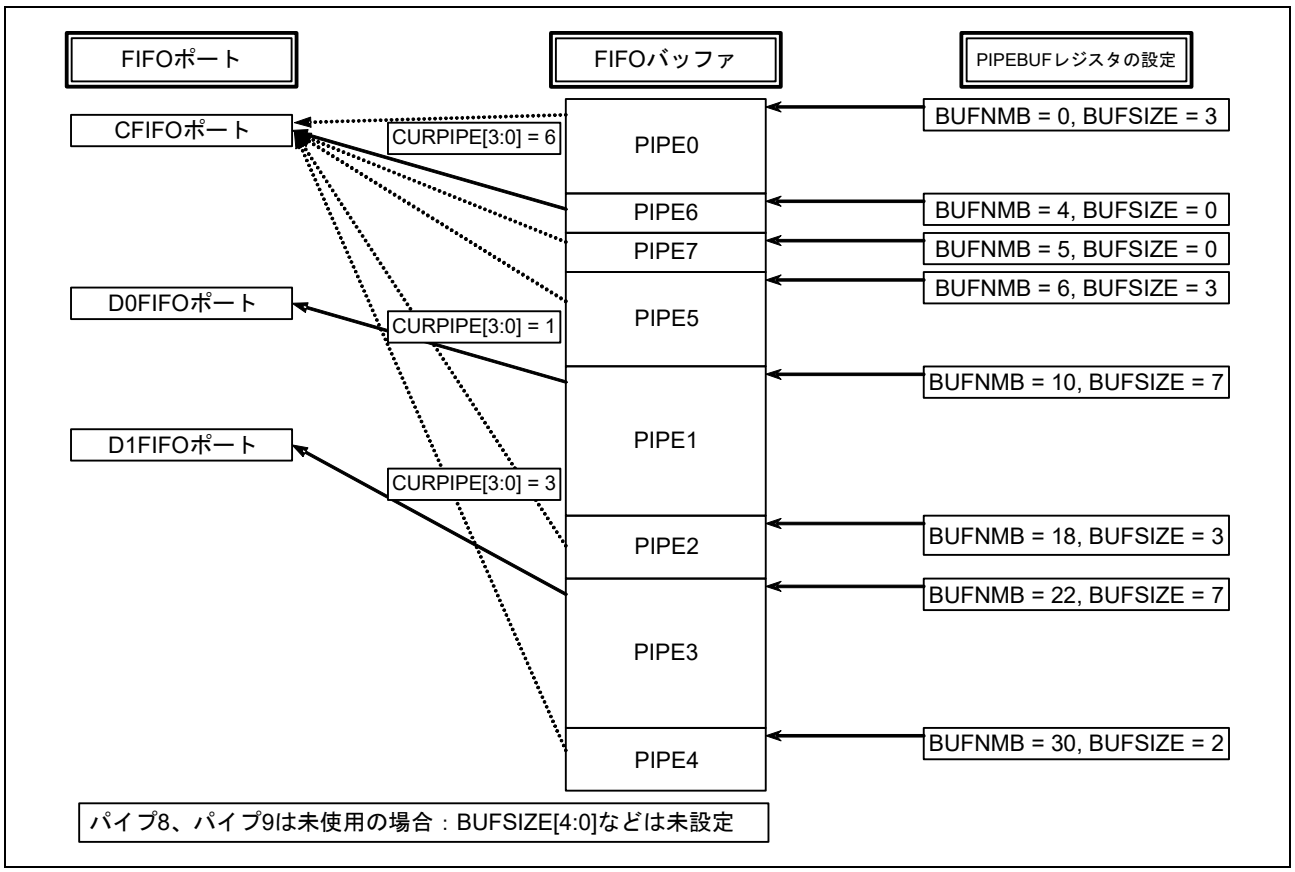


図 33.11 FIFO バッファのメモリマップ例

33.3.9 DCP を使用したコントロール転送

コントロール転送データステージのデータ転送は、デフォルトコントロールパイプ（DCP）を使用します。DCP の FIFO バッファは、コントロールリードおよびコントロールライト共用の固定領域を持つ 64 バイトシングルバッファです。FIFO バッファへのアクセスは、CFIFO ポートのみ可能です。

33.3.9.1 ホストコントローラモード時のコントロール転送

(1) セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタは、SETUP トランザクションの USB リクエスト送信用のレジスタです。Setup パケットのデータをレジスタに書き込み、次に DCPCTR.SUREQ ビットに 1 を書き込むことで、設定されているデータが SETUP トランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、0 になります。SUREQ ビットが 1 のときは、上記 USB リクエストレジスタを操作しないでください。

アタッチされたファンクションデバイスが検出された場合、ソフトウェアで DCPMAXP.DEVSEL[3:0] ビットを 0 にクリアし、DEVADD0.USBSPD[1:0] ビットを適切に設定して、前述のシーケンスで当該デバイスの最初の SETUP トランザクションを発行してください。

アタッチされたファンクションデバイスが Address ステートに遷移後、ソフトウェアによって DEVSEL[3:0] ビットに割り当てられた USB アドレス値を設定し、指定 USB アドレスに対応する DEVADDm（m = 0 ～ A）のビットを適切に設定した後に、前述のシーケンスで SETUP トランザクションを発行してください。たとえば、PIPEMAXP.DEVSEL[3:0] = 0010b のときは、DEVADD2 レジスタを適切に設定してください。PIPEMAXP.DEVSEL[3:0] = 0101b のときは、DEVADD5 レジスタを適切に設定してください。

SETUP トランザクションデータを送信すると、周辺デバイスからの応答に基づき割り込み要求が発生します（INTSTS1 レジスタの SIGN ビットまたは SACK ビット）。この割り込み要求により、ソフトウェアで SETUP トランザクション結果を確認することができます。

SETUP トランザクションの DATA0 データパケット（USB リクエスト）は、DCPCTR.SQMON フラグのステータスにかかわらず常に送信されます。

(2) データステージ

DCP の FIFO バッファを使用してデータの転送を行うためにデータステージを使用します。

DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。DCPCFG.DIR ビットでは転送方向を指定してください。

データステージの第 1 データパケットは、データ PID を DATA1 として転送する必要があります。DCPCTR.SQSET ビットでデータ PID を DATA1 にし、PID[1:0] ビットを 01b（BUF 応答）にします。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

複数パケットのデータ転送は、連続転送モードで可能です。ただし、受信方向で連続転送が指定されている場合、バッファがフルになるか、ショートパケットを受信するまで、BRDY 割り込みは生成されません（最大パケットサイズの整数倍、256 バイト以下の場合）。送信データサイズが最大パケットサイズの整数倍の場合、最後に Zero-Length パケットを送信するよう、ソフトウェアでコントロールライト転送を制御してください。

(3) ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送を行うためにステータスステージを使用します。データステージ同様に、DCP の FIFO バッファを使用したデータ転送になります。データステージと同様の手順でトランザクションを実行します。

ステータスステージのデータパケットは、DCPCTR.SQSET ビットを使用して、データ PID を DATA1 として送受信する必要があります。

Zero-Length パケットを受信した場合、BRDY 割り込み発生後に CFIFOCTR.DTLN[11:0] フラグで受信データ長を確認してから、BCLR ビットで FIFO バッファをクリアしてください。

33.3.9.2 デバイスコントローラモード時のコントロール転送

(1) セットアップステージ

USBHS は、USBHS に対する正常な Setup パケットに対して ACK 応答します。セットアップステージで USBHS は以下のように動作します。

新しい Setup パケットを受信すると、USBHS は以下のビットを設定します。

- INTSTS0.VALID フラグを 1 にする
- DCPCTR.PID[1:0] ビットを 00b（NAK 応答）にする
- DCPCTR.CCPL ビットを 0 にする

Setup パケットの後にデータパケットを受信すると、USBHS は USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、VALID フラグを 0 にしてから実行してください。VALID フラグが 1 のとき、PID[1:0] ビットは 01b（BUF 応答）にできず、データステージを終了できません。

VALID フラグの機能により、USBHS はコントロール転送中に新しい USB リクエストを受信すると、処理中のリクエストを中断し、最新のリクエストに対する応答を行うことができます。

また USBHS は、受信した USB リクエスト内の方向ビット（bmRequestType [8] ビット）およびリクエストデータ長（wLength）を自動検出します。USBHS は他にも、コントロールリード転送、コントロールライト転送、およびノーデータコントロール転送を判別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込み中にシーケンスエラーが発生し、ソフトウェアに割り込みが報告されます。USBHS のステージ管理図については、図 33.9 を参照してください。

(2) データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP の FIFO バッファにアクセスする前に、CFIFOSEL.ISEL ビットでアクセス方向を指定してください。

転送データが DCP の FIFO バッファのサイズより大きい場合には、コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してデータ転送を行ってください。

ハイスピードコントロールライト転送では、FIFO バッファステータスに基づいて NYET ハンドシェイク応答が返されます。

(3) ステータスステージ

DCPCTR.PID[1:0] ビットが 01b（BUF 応答）の状態で、DCPCTR.CCPL ビットを 1 にすることによりコントロール転送を終了します。

設定後、セットアップステージで確定したデータ転送方向に基づいて、USBHS が自動的にステータスステージを実行します。ステータスステージは以下のように実行されます。

- コントロールリード転送の場合
  USBHS は、USB ホストから Zero-Length パケットを受信し、ACK 応答を送信します。
- コントロールライト転送、ノーデータコントロール転送の場合
  USBHS は、Zero-Length パケットを送信し、USB ホストから ACK 応答を受信します。

(4) コントロール転送自動応答機能

USBHS は、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに以下のいずれかのエラーがある場合、ソフトウェアによる応答が必要です。

- bmRequestType が 00h ではない場合：コントロールライト転送以外
- wIndex が 00h ではない場合：リクエストエラー
- wLength が 00h ではない場合：ノーデータコントロール転送以外
- wValue が 7Fh より大きい場合：リクエストエラー
- PL1CTRL.DVSQ[3:0] フラグが 0011b（Configured）の場合：デバイスステートエラーのコントロール転送

SET_ADDRESS リクエスト以外のすべてのリクエストにおいて、対応するソフトウェアの応答が必要です。

33.3.10 バルク転送（パイプ 1 ～ 5）

バルク転送は、FIFO バッファの使用方法（シングル／ダブルバッファ設定、もしくは連続／非連続転送モード設定）を設定できます。FIFO バッファサイズは最大 2KB まで設定できます。USBHS は、FIFO バッファステートを管理し、PING パケットおよび NYET ハンドシェイクに自動的に応答します。

33.3.10.1 ホストコントローラモード時の PING パケット制御

OUT 方向で、USBHS は PING パケットを自動送信します。USBHS は送信方向の通信を PING パケットで開始します。USBHS が PING パケットへの応答として ACK ハンドシェイクを受信すると、OUT パケットを送信します。OUT トランザクション中、USBHS が NAK 応答または NYET 応答を受信すると、PING 送信ステートに復帰します。手順を以下に示します。

<<OUT データ送信の開始 >>
(1) PING パケットを送信
(2) NAK ハンドシェイクを受信
(3) PING パケットを送信
(4) ACK ハンドシェイクを受信
(5) OUT データパケットを送信
(6) ACK ハンドシェイクを受信
(7) OUT データパケットを送信
:
(8) NAK/NYET ハンドシェイクを受信

USBHS は、ハードウェアリセットの発行、NYET または NAK ハンドシェイクの受信、シーケンストグルビットのクリア（SQCLR）、またはバッファクリアビット（ACLRM）の設定が発生すると、PING パケット送信ステートに復帰します。

33.3.10.2 デバイスコントローラモード時の NYET ハンドシェイク制御

表 33.29 に、バルク転送またはコントロール転送における受信トークンへの応答一覧を示します。USBHS は、バルク転送またはコントロール転送で OUT トークンを受信したとき、FIFO バッファに 1 パケット分の領域しか残っていない場合に NYET 応答を返します。ただし、USBHS がショートパケットを受信した場合、上記の条件が発生しても NYET 応答ではなく ACK 応答を返します。

表 33.29 受信トークンへの応答

PID[1:0] ビット設定	FIFOバッファ ステート	受信トークン	応答	備考
NAK/STALL	—	SETUP	ACK	—
	—	IN/OUT/PING	NAK/STALL	—
BUF	—	SETUP	ACK	—
	RCV-BRDY	OUT/PING	ACK	OUT トークン受信時、データパケットを受信（注1）
	RCV-BRDY	OUT	NYET	データパケットを受信（注2）
	RCV-BRDY	OUT（ショート）	ACK	データパケットを受信（注2）
	RCV-BRDY	PING	ACK	（注2）
	RCV-NRDY	OUT/PING	NAK	—
	TRN-BRDY	IN	DATA0/1	データパケットを送信
	TRN-NRDY	IN	NAK	—

注 1. RCV-BRDY：OUT トークンまたは PING トークン受信時、FIFO バッファに 2 パケット分の領域が残っている。
注 2. RCV-BRDY：OUT トークン受信時、FIFO バッファに 1 パケット分の領域しか残っていない。
RCV-NRDY：PING トークン受信時、FIFO バッファに空き領域がない。
TRN-BRDY：IN トークン受信時、FIFO バッファが送信データを格納している。
TRN-NRDY：IN トークン受信時、FIFO バッファは送信データを格納していない。

33.3.11 インタラプト転送（パイプ 6 ～ 9）

デバイスコントローラモード時、USBHS は、ホストコントローラが示すタイミングに基づいてインタラプト転送を行います。インタラプト転送では、USBHS は PING パケットを無視し（応答なし）、NYET ハンドシェイクは送信せず、ACK 応答、NAK 応答、または STALL 応答を返します。

ホストコントローラモード時は、インターバルカウンタを使用してソフトウェアでトークン発行タイミングを設定できます。USBHS は、OUT 方向の転送を含めて、PING トークンは発行せず、OUT トークンを発行します。

USBHS は、高帯域インタラプト転送に対応していません。

33.3.11.1 ホストコントローラモードでのインタラプト転送時のインターバルカウンタ

インタラプト転送を行う場合、PIPEPERI.IITV[2:0] ビットにトランザクションのインターバルを指定します。USBHS は、設定されたインターバルに基づいてインタラプト転送のトークンを発行します。

(1) カウンタの初期化

USBHS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット：
  この場合、IITV[2:0] ビットが初期化されます。
- PIPEnCTR.ACLRM ビットを使用した FIFO バッファの初期化：
  この操作では、IITV[2:0] ビットは初期化されませんが、カウント値は初期化されます。
  PIPEnCTR.ACLRM ビットを 0 にすると、IITV[2:0] ビット設定値からカウントが開始します。

(2) トークン発生タイミングであってもトークンの送受信ができない場合の動作

以下の場合、トークンの発生タイミングであってもトークンは発生しません。このような場合、USBHS は次のインターバルにトランザクションの実行を試みます。

- PID[1:0] ビットを NAK または STALL に設定した場合
- IN 方向（受信）の転送でトークンの送信タイミングに FIFO バッファに空き領域がない場合
- OUT 方向（送信）の転送でトークンの送信タイミングに FIFO バッファに送信データがない場合

33.3.12 アイソクロナス転送（パイプ 1 ～ 2）

USBHS は、高帯域アイソクロナス転送には対応していませんが、アイソクロナス転送の以下の機能を提供しています。

- アイソクロナス転送のエラー通知
- インターバルカウンタ（PIPEPERI.IITV[2:0] ビット指定）
- アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
- アイソクロナス IN 転送バッファフラッシュ機能（PIPEPERI.IFIS ビット指定）
- SOF パルス出力機能

33.3.12.1 アイソクロナス転送のエラー検出

USBHS は、アイソクロナス転送時に発生したエラーをソフトウェアで管理できるようにするために、下記で説明しているエラーの検出機能を備えています。表 33.30 および表 33.31 に、USBHS がエラーを検出する優先順位とそれらに関連する割り込みを示します。

(1) PID エラー

- 受信パケットの PID 値が不正な場合

(2) CRC エラー、ビットスタッフィングエラー

- 受信パケットに CRC エラーがあった場合、またはビットスタッフィングが不正な場合

(3) 最大パケットサイズオーバー

- 受信パケットのデータサイズが、最大パケットサイズの設定値を超えていた場合

(4) オーバーラン、アンダーランエラー

ホストコントローラモード時：

- IN 方向（受信）の転送時にトークンの送信タイミングに FIFO バッファに空き領域がない場合
- OUT 方向（送信）の転送時にトークンの送信タイミングに FIFO バッファに送信データがない場合

デバイスコントローラモード時：

- IN 方向（送信）の転送時にトークンの受信タイミングに FIFO バッファに送信データがない場合
- OUT 方向（受信）の転送時にトークンの受信タイミングに FIFO バッファに空き領域がない場合

(5) インターバルエラー

デバイスコントローラモードでは、以下の場合にインターバルエラーとして処理されます。

- アイソクロナス IN 転送時に、インターバルフレーム内に IN トークンを受信できなかった場合
- アイソクロナス OUT 転送時に、インターバルフレーム内に OUT トークンを受信できなかった場合

表 33.30 トークン送受信のエラー検出

検出の優先順位	エラータイプ	エラー検出時に発生する割り込みとステータス
1	PIDエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません。（破損パケットとして無視）
2	CRCエラー、 ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも割り込みを発生させません。（破損パケットとして無視）
3	オーバーランエラー、 アンダーランエラー	ホストコントローラモードとデバイスコントローラモードの両方で、OVRNフラグを1にするためにNRDY割り込みを発生させます。 デバイスコントローラモード時は、INトークンに対して、Zero-Lengthパケットを送信します。OUTトークンに対してはデータパケットを受信しません。
4	インターバルエラー	デバイスコントローラモード時はNRDY割り込みを発生させます。ホストコントローラモード時は割り込みを発生させません。

表 33.31 データパケット受信のエラー検出

検出の優先順位	エラータイプ	エラー検出時に発生する割り込みとステータス
1	PIDエラー	割り込みを発生させません。（破損パケットとして無視）
2	CRCエラー、 ビットスタッフィングエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、NRDY割り込みを発生させ、FRMNUM.CRCEビットを1にします。
3	最大パケットサイズオーバーエラー	ホストコントローラモードとデバイスコントローラモードのどちらの場合でも、BEMP割り込みを発生させ、PID[1:0]ビットをSTALLにします。

33.3.12.2 DATA-PID

USBHS は、高帯域転送に対応していません。デバイスコントローラモード時、USBHS は受信 PID に対して以下のように応答します。

(1) IN 方向の場合

- DATA0：データパケットの PID として送信
- DATA1：送信しない
- DATA2：送信しない
- mDATA：送信しない

(2) OUT 方向の場合（フルスピード動作）

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：パケットを無視
- mDATA：パケットを無視

(3) OUT 方向の場合（ハイスピード動作）

- DATA0：データパケットの PID として正常受信
- DATA1：データパケットの PID として正常受信
- DATA2：データパケットの PID として正常受信
- mDATA：データパケットの PID として正常受信

33.3.12.3 インターバルカウンタ

アイソクロナス転送のインターバルは、PIPEPERI.IITV[2:0] ビットで設定できます。デバイスコントローラモード時、インターバルカウンタにより、表 33.32 に示す機能を実現します。ホストコントローラモード時、USBHS がトークン発行タイミングを生成し、インターバルカウンタ動作はインタラプト転送と同じです。

表 33.32 デバイスコントローラモード時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ	アイソクロナスIN転送でインターバルフレーム内にINトークンを正常受信できない。
OUT	トークン未受信の通知	アイソクロナスOUT転送でインターバルフレーム内にOUTトークンを正常受信できない。

インターバルのカウントは、SOF の受信時または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。フレームインターバルは、2IITV（μ）フレームに設定できます。

(1) デバイスコントローラモード時のカウンタの初期化

USBHS は、以下の条件でインターバルカウンタを初期化します。

- パワーオンリセット：
  この場合、PIPEPERI.IITV[2:0] ビットが初期化されます。
- ACLRM ビットを使用した FIFO バッファの初期化：
  この操作では、IITV[2:0] ビットは初期化されませんが、カウント値は初期化されます。

インターバルカウンタが初期化されると、パケットを正常転送した後に、下記のどちらかの条件でインターバルのカウントを開始します。

- PID[1:0] ビットが 01b（BUF 応答）のとき、IN トークンに対してデータを送信した後の SOF 受信
- PID[1:0] ビットが 01b（BUF 応答）のとき、OUT トークンに対してデータを受信した後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

- PID[1:0] ビットを NAK または STALL に設定した場合
  インターバルタイマは停止しません。USBHS は、次のインターバルにトランザクションの実行を試みます。
- USB バスリセットおよび USB サスペンド
  IITV[2:0] ビットは初期化されません。SOF を受信すると、SOF 受信前に設定された値からインターバルカウンタのカウントを開始します。

(2) ホストコントローラモード時のインターバルカウントと転送制御

USBHS は、PIPEPERI.IITV[2:0] ビットの設定値に従い、トークン発行間隔を制御します。具体的には、USBHS は 2^{IITV} 回のフレームに 1 回の間隔で、選択パイプに対するトークンを発行します。

USBHS は、ソフトウェアで PID[1:0] ビットを 01b（BUF 応答）に設定したフレームの次のフレームからトークン発行間隔のカウントを開始します。

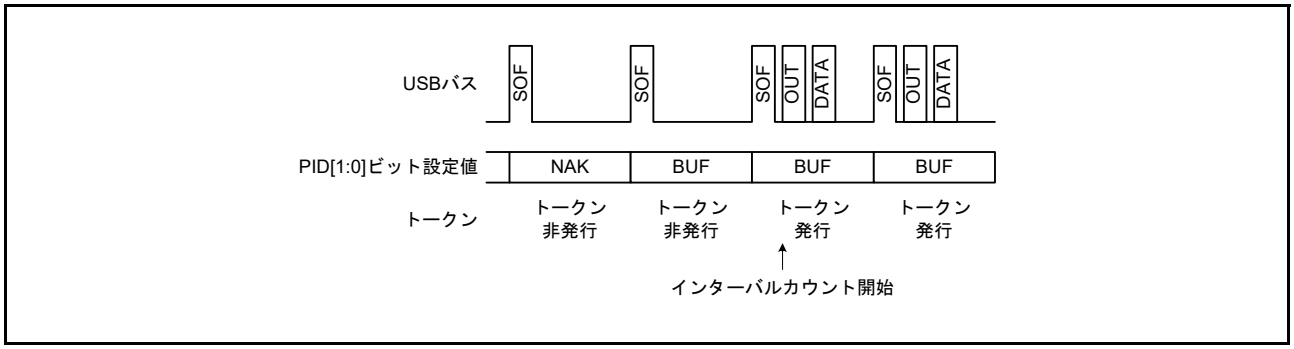


図 33.12　IITV[2:0] = 0 の場合におけるトークン発行の有無

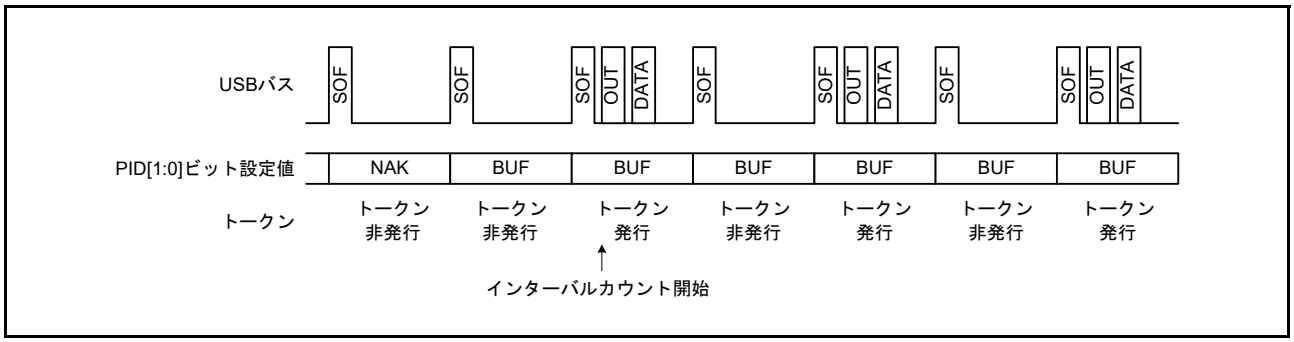


図 33.13　IITV[2:0] = 1 の場合におけるトークン発行の有無

選択パイプの転送タイプがアイソクロナスの場合、USBHS はトークン発行間隔の制御に付随して以下の動作を行います。NRDY 割り込み発生条件を満たした場合でも、USBHS はトークンを発行します。

(a) 選択パイプがアイソクロナス IN 転送パイプの場合

USBHS は、IN トークンを発行しても周辺デバイスからパケットを正常受信しなかった場合（無応答やパケットエラーの場合）、NRDY 割り込みを発生させます。

(b) 選択パイプがアイソクロナス OUT 転送パイプの場合

CPU または DMA/DTC が FIFO バッファにデータを書き込むのが遅いなどの原因で送信可能なデータが FIFO バッファに無い状態で OUT トークン発行タイミングに至った場合、USBHS は OVRN フラグを 1 にし、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

以下の条件を満たす場合、トークン発行間隔はリセットされます。

- MCU がリセットされた場合
  IITV[2:0] ビットが初期化されます。
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合

(3) デバイスコントローラモード時のインターバルカウントと転送制御

(a) 選択パイプがアイソクロナス OUT 転送パイプの場合

PIPEPERI.IITV[2:0] ビットに設定したインターバル中にデータパケットを受信しなかったとき、USBHS は NRDY 割り込みを発生させます。

データパケットに CRC エラーや他のエラーが発生したため、または FIFO バッファがフルのため、データ受信に失敗した場合も、USBHS は NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補完機能により SOF パケットを受信したタイミングに割り込みを発生させます。ただし、IITV[2:0] ビットが 0 以外のとき、インターバルカウント開始後のインターバルごとに、USBHS は SOF パケット受信のタイミングで NRDY 割り込みを発生させます。

インターバルタイマ起動後にソフトウェアが PID[1:0] ビットを 00b（NAK 応答）にすると、USBHS は SOF パケットを受信しても NRDY 割り込みを発生させません。

インターバルのカウント開始タイミングは、IITV[2:0] ビットの設定値により下記のように異なります。

- IITV[2:0] ビットが 0 のとき：
  選択パイプの PID[1:0] ビットを BUF に変更した時点で、インターバルのカウントを開始します。
- IITV[2:0] ビットが 0 でないとき：
  選択パイプの PID[1:0] ビットを 01b（BUF 応答）に変更した後、最初のデータパケットの正常受信完了時点からインターバルのカウントを開始します。

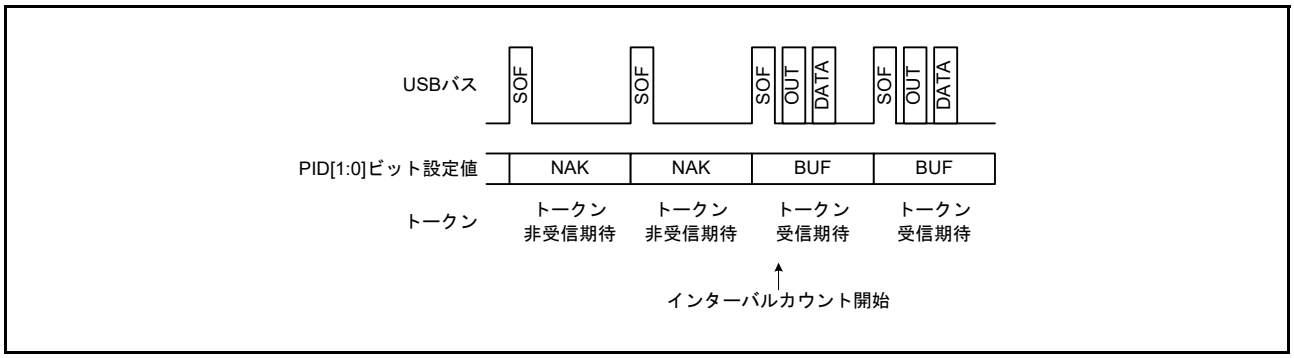


図 33.14 IITV[2:0] = 0 の場合のフレームとトークン受信期待の関係

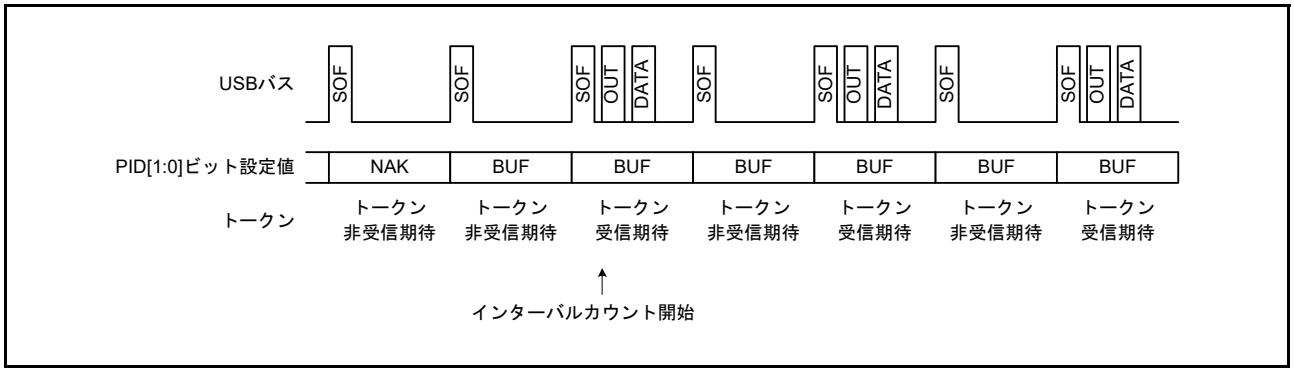


図 33.15 IITV[2:0] ≠ 0 の場合のフレームとトークン受信期待の関係

(b) 選択パイプがアイソクロナス IN 転送パイプの場合

PIPEPERI.IFIS ビットを 1 にして使用します。IFIS ビットが 0 の場合、PIPEPERI.IITV[2:0] の設定に関係なく、USBHS は IN トークン受信時にデータパケットを送信します。

IFIS ビットが 1 で、FIFO バッファに送信するデータがある場合、IITV[2:0] ビットに設定したインターバルごとのフレーム中に IN トークンを受信しなければ、USBHS は FIFO バッファをクリアします。

USBHS は、IN トークンに CRC エラーなどのバスエラーが発生したために正常受信できなかった場合も、FIFO バッファをクリアします。

FIFO バッファクリアのタイミングは、SOF パケット受信時です。また、SOF パケットが破損した場合でも、内部補完機能により SOF パケットを受信したタイミングで FIFO バッファをクリアします。

インターバルのカウント開始タイミングは、IITV[2:0] ビットの設定値により異なります（OUT 転送時と同様）。

デバイスコントローラモード時は、以下のいずれかの条件でインターバルカウントを行います。

- USBHS がハードウェアリセットされた場合（IITV[2:0] ビットも 000b になる）
- ソフトウェアで PIPEnCTR.ACLRM ビットを 1 にした場合
- USBHS が USB バスリセットを検出した場合

(4) デバイスコントローラモード時のアイソクロナス転送用送信データセットアップ

デバイスコントローラモード時、USBHS を使ったアイソクロナスデータ送信では、FIFO バッファにデータを書き込んだ後、SOF パケットを検出した後の最初のフレームでデータパケットの送出が可能になります。このアイソクロナス転送送信データセットアップ機能により、送信を開始したフレームを特定することができます。

バッファをダブルバッファモードで使用している場合で、両方のバッファの書き込みが終了している場合も、送信可能状態になるバッファは先に書き込みを終了した 1 面だけとなります。このため、複数の IN トークンを受信しても、送出される FIFO バッファデータは 1 パケット分のみとなります。

IN トークン受信時に FIFO バッファがデータ送信可能であれば、データを転送し正常応答が返されます。しかし、FIFO バッファがデータ送信不能であれば、Zero-Length パケットを送出しアンダーランエラーとなります。

図 33.16 に、IITV[2:0] ビットを 0（毎フレーム）にした場合の、アイソクロナス転送送信データセットアップ機能を使用した送信例を示します。

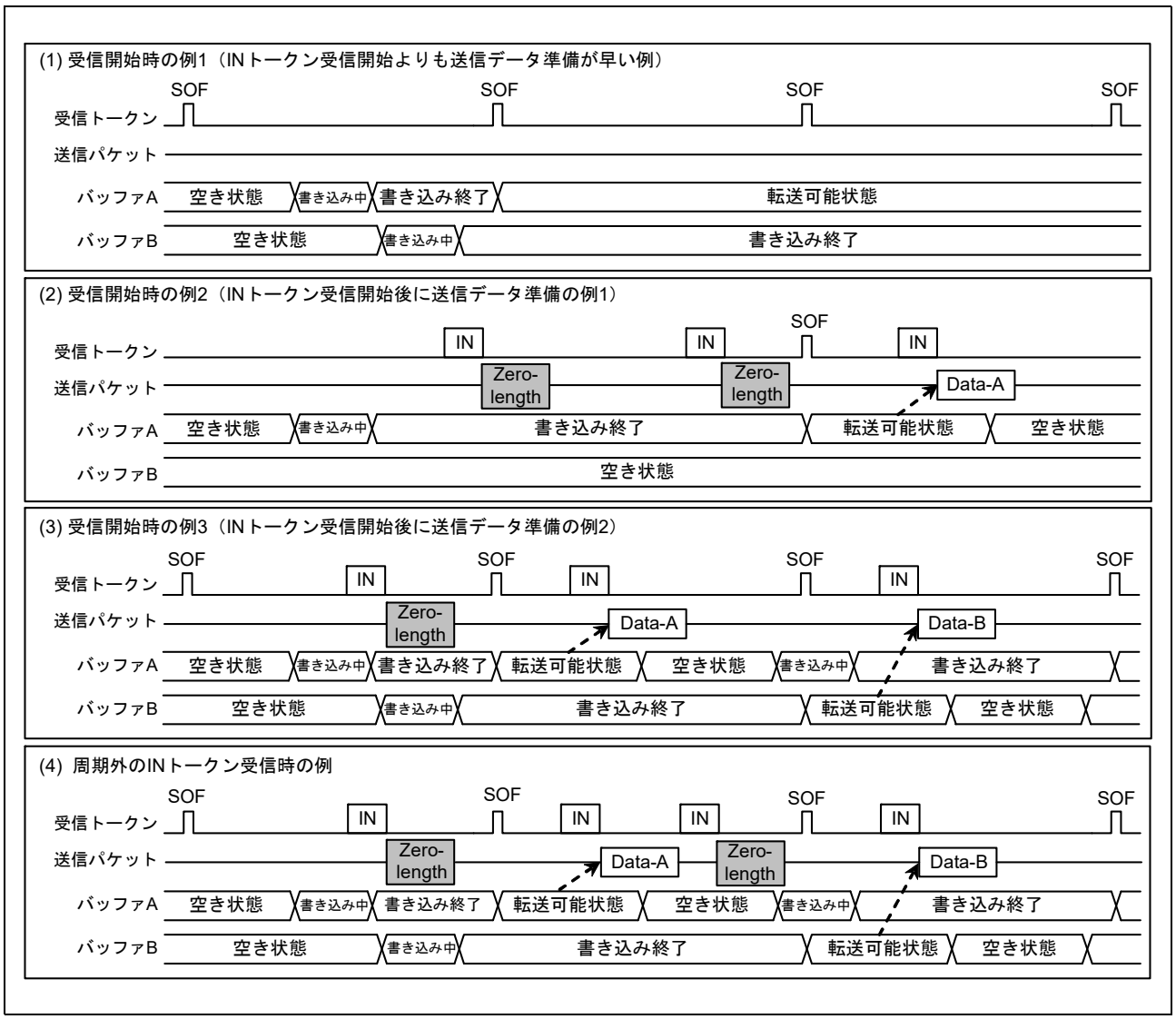


図 33.16　　データセットアップ動作例

(5) デバイスコントローラモード時のアイソクロナス転送の送信バッファフラッシュ

デバイスコントローラモードでアイソクロナスデータ送信中に、USBHS がインターバルフレーム内に IN トークンを受信せずに、次のフレームの SOF パケットを受信すると、USBHS はそれを IN トークン破損として扱い、送信可能状態のバッファをクリアし、そのバッファを書き込み可能状態にします。

このときにバッファをダブルバッファモードで使用していて、両方のバッファの書き込みが終了している場合は、クリアされた FIFO バッファ内のデータが上記のインターバルフレーム内に送信されたものとみなされて、SOF パケット受信でクリアされていなかった FIFO バッファを送信可能状態にします。

バッファフラッシュ機能は、PIPEPERI.IITV[2:0] ビットの設定値により動作開始タイミングが下記のように異なります。

- IITV[2:0] ビットが 0 のとき：
  パイプが有効となった後の最初のフレームからバッファフラッシュ動作を開始します。
- IITV[2:0] ビットが 0 でないとき：
  最初の正常なトランザクション以降にバッファフラッシュ動作を開始します。

図 33.17 にバッファフラッシュの例を示します。インターバルフレームの前に予期しないトークンを受信した場合、データセットアップ状態に応じて、USBHS は書き込みデータを送出またはアンダーランエラーとして Zero-Length パケットを送出します。

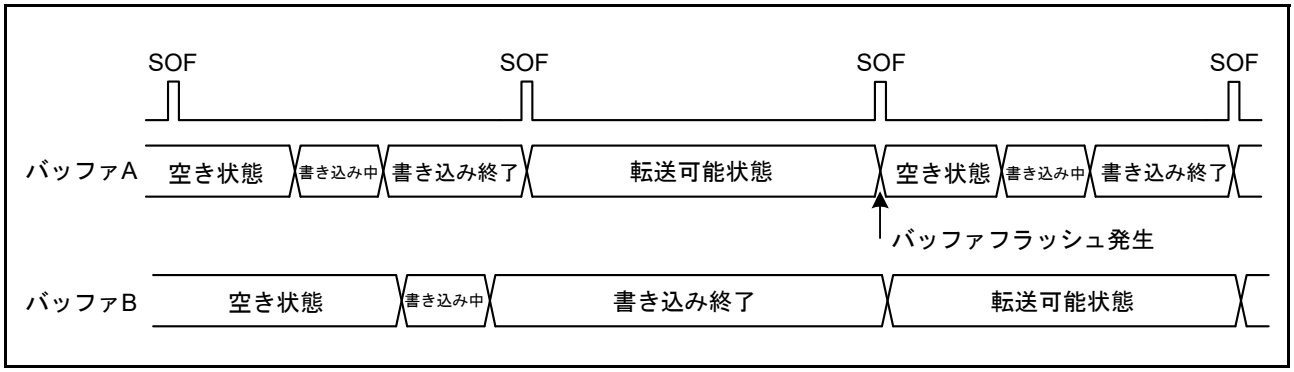


図 33.17 バッファフラッシュ動作例

図 33.18 にインターバルエラー発生例を示します。この図が示すとおり、インターバルエラーは 5 種類あります。図中の①のタイミングでインターバルエラーが発生し、バッファフラッシュ機能が動作します。

IN 転送時にインターバルエラーが発生した場合、バッファフラッシュ機能が動作します。OUT 転送時にインターバルエラーが発生した場合には、NRDY 割り込みが発生します。この NRDY 割り込みや受信パケットエラーによる NRDY 割り込みとオーバーランエラーとの区別は、FRMNUM.OVRN ビットで判定してください。

図中網掛けのトークンに対しては、FIFO バッファステータスに応じた応答となります。

- IN 方向の場合：
  - バッファがデータ転送可能であれば、データを転送して正常応答
  - バッファがデータ転送不能であれば、Zero-Length パケットを送信してアンダーランエラー
- OUT 方向の場合：
  - バッファがデータ受信可能であれば、データを受信して正常応答
  - バッファがデータ受信不能であれば、受信データを破棄してオーバーランエラー

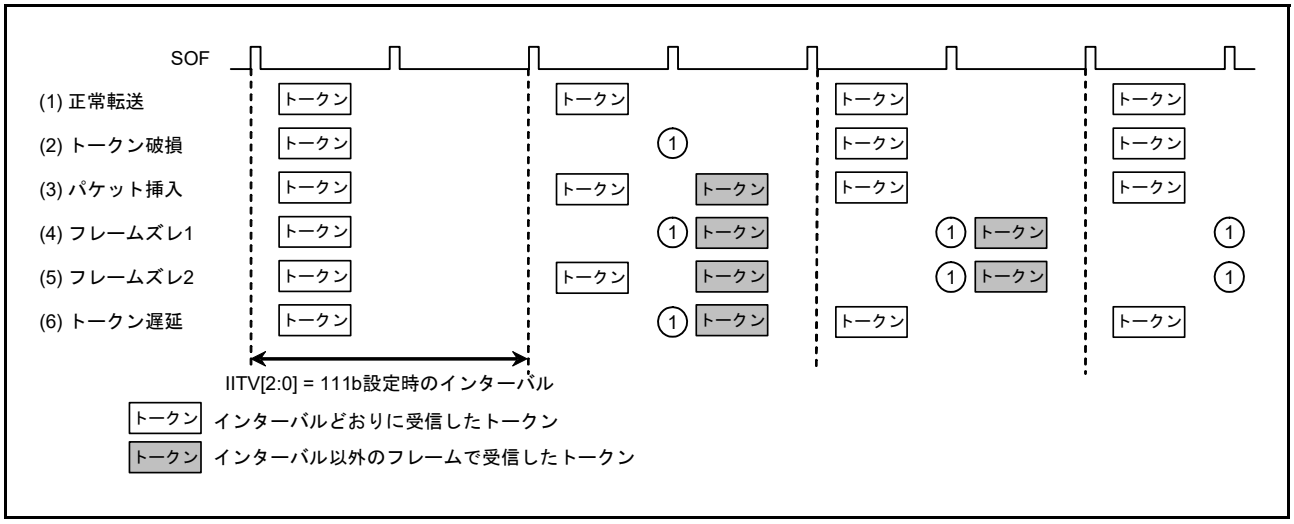


図 33.18 PIPEPERI.IITV[2:0] = 1 の場合のインターバルエラー発生例

33.3.13 SOF 補完機能

デバイスコントローラモード時、SOF パケットが欠落している、または壊れているために、フルスピードモードで 1ms 間隔またはハイスピードモードで 125µs 間隔でパケット受信ができなかった場合、USBHS が SOF を補完します。SOF 補完開始は、SYSCFG.USBE ビットと LPSTS.SUSPENDM ビットがともに 1 であること、および SOF パケットの受信が条件となります。補完機能は、以下の条件で初期化されます。

- パワーオンリセット
- USB バスリセット
- Suspend ステート検出

SOF 補完機能は以下のように動作します。

- フレームインターバル（125µs または 1ms）は、リセットハンドシェイクプロトコルの結果で判定される
- SOF パケット受信までは補完機能は動作しない
- 最初の SOF パケット受信時、48MHz 内部クロックで 125µs または 1ms をカウントして、補完を実行する
- 2 回目以降の SOF パケットを受信時には前回の受信間隔を用いて補完する
- Suspend ステート時または USB バスリセット受信時は補完しない。ハイスピード動作時、補完は Suspend ステートへの遷移時に最後のパケットから 3ms 継続する

USBHS では SOF パケット受信で制御される、下記の機能を利用できます。SOF パケットが欠落した場合、これらの機能により SOF 補完を行うため正常動作を継続させることができます。

- フレーム番号およびマイクロフレーム番号の更新
- SOFR 割り込みと micro-SOF ロック
- SOF パルス出力
- アイソクロナス転送インターバルカウント

フルスピード動作時に SOF パケットが欠落した場合、FFRMNUM.FRNM[10:0] フラグは更新されません。ハイスピード動作時に micro-SOF パケットが欠落した場合、URMNUM.UFRNM[2:0] ビットが更新されます。

ただし、UFRNM[2:0] ビットが 000b のときに micro-SOF パケットが欠落すると、FRNM ビットは更新されません。この場合、UFRNM[2:0] ビットが 000b 以外のときに、UFRNM[2:0] ビットが 000b 以外の値に設定されている次の micro-SOF パケットを正常受信しても、FRNM ビットは更新されません。

33.3.14 パイプスケジュール

33.3.14.1 トランザクション発行条件

ホストコントローラモード時、DVSTCTR0.UACT ビットを 1 にすると、USBHS は表 33.33 に示す条件でトランザクションを発行します。

表 33.33 トランザクション発行条件

トランザクション	発行条件				
	DIR	PID[1:0]	IITV0	バッファステート	SUREQ
SETUP	—（注1）	—（注1）	—（注1）	—（注1）	1設定
コントロール転送データステージ、ステータスステージ、バルク転送	IN	BUF	—（注1）	受信領域あり	—（注1）
	OUT	BUF	—（注1）	送信データあり	—（注1）
インタラプト転送	IN	BUF	有効	受信領域あり	—（注1）
	OUT	BUF	有効	送信データあり	—（注1）
アイソクロナス転送	IN	BUF	有効	（注2）	—（注1）
	OUT	BUF	有効	（注3）	—（注1）

注 1. 表中の「—」は、トークンの発行に関係のない条件であることを示します。「有効」は、インタラプト転送とアイソクロナス転送において、インターバルカウンタによる転送フレームでのみトランザクションが発行されることを示します。「無効」は、インターバルカウンタにかかわらずトランザクションが発行されることを示します。
注 2. 受信領域の有無にかかわらずトランザクションを発行します。ただし、受信領域がなかった場合は受信データを破棄します。
注 3. 送信データの有無にかかわらずトランザクションを発行します。ただし送信データがなかった場合は、Zero-Length パケットを送信します。

33.3.14.2 転送スケジュール

USBHS のフレーム内の転送スケジューリング方法について説明します。USBHS は SOF を送信後、以下に示す順番で転送を行います。

1. 周期的転送の実行：
   パイプ 1 →パイプ 2 →パイプ 6 →パイプ 7 →パイプ 8 →パイプ 9 の順にパイプ検索し、アイソクロナス転送またはインタラプト転送のトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
2. コントロール転送の SETUP トランザクション：
   DCP を確認して、SETUP トランザクションが可能であれば送信します。
3. バルク転送、コントロール転送データステージ、コントロール転送ステータスステージの実行：
   DCP パイプ 1 →パイプ 2 →パイプ 3 →パイプ 4 →パイプ 5 の順にパイプ検索し、バルク転送、コントロール転送データステージ、コントロール転送ステータスステージのトランザクション発行が可能なパイプがあれば、トランザクションを発行します。
   トランザクションを発行したとき、周辺デバイスからの応答が ACK であっても NAK であっても、次のパイプのトランザクションに移ります。また、フレーム内に転送を行う時間があれば、3. を繰り返します。

33.3.14.3 USB 通信許可

DVSTCTR0.UACT ビットを 1 にすると、SOF の送信が開始され、トランザクションの発行が可能となります。UACT ビットを 0 にすると、SOF の送信を停止し Suspended ステートになります。UACT ビットを 1 から 0 にする場合、次の SOF を送信してから停止します。

33.3.15 Battery Charging 検知処理

USBHS では、Battery Charging 規格が定める Data Contact Detection 処理（D+ ラインコンタクト確認）、Primary Detection 処理（Charger 検知処理）、Secondary Detection 処理（Charger 判定処理）を制御できます。

ここでは、デバイスコントローラモードおよびホストコントローラモードで必要な動作について説明しています。

33.3.15.1 デバイスコントローラモード時の処理

ファンクションデバイスを Battery Charging の Portable Device として動作させるには：

1. D+/D- ラインとのコンタクトを検出し、Primary Detection 処理を開始します。Battery Charging 規格には、2 つの Data Contact Detection 処理方法が定められています。以下のとおり、USBHS は両方の方法に対応しています。
   - ソフトウェア処理
     VBINT 割り込みの後、または VBSTS フラグのポーリングが USBHS_VBUS 入力端子のステート変化を示すとき、ソフトウェアはウェイトを 300ms ～ 900ms に制御します。次に BCCTRL.VDPSRCE ビットと IDMSINKE ビットを 1 にして（それぞれ VDP_SRC 回路、IMP_SINK 回路を有効化）、Primary Detection 処理を開始します。
   - ハードウェア処理
     D+ ラインに 7 ～ 13μA の電流を印可して、D+ ラインを Logic High にします。これは、D+/D- ラインがホストのプルダウン抵抗とコンタクトすると、ホストデバイス側のプルダウン抵抗により D+/D- ラインが Logic Low になることを検知するために行います。BCCTRL.IDPSRCE ビットが 1 のとき（IDP_SRC 回路を有効化）、D+ ライン上のレベルが High から Low にいつ変化するかを確認するため、SYSSTS0.LNST[1:0] フラグをモニタリングします。D+ ライン上の Low レベルを検出後、BCCTRL.IDPSRCE ビットを 0 にして、IDP_SRC 回路を無効化し、BCCTRL.VDPSRCE ビットと IDMSINKE ビットの両方を 1 にして、VDP_SRC 回路と IDM_SINK 回路を有効化し、Primary Detection 処理を開始します。VDPSRCE ビットおよび IDMSINKE ビットは、同時に 1 にしてください。
2. Primary Detection 処理の開始後、ソフトウェア制御による 40ms のウェイトの後に、BCCTRL.CHGDETSTS フラグを確認してください。値が 1 のとき、Charger 検出と Secondary Detection 処理の開始を示します。（注 1）
3. Secondary Detection 処理を開始するには、BCCTRL.VDPSRCE ビットと IDMSINKE ビットの両方を 0 にして、VDP_SRC 回路と IDM_SINK 回路をそれぞれ無効化します。次に、BCCTRL.VDMSRCE ビットおよび IDPSINKE ビットを 1 にし、VDM_SRC 回路と IDP_SINK 回路をそれぞれ有効化します。
4. Secondary Detection 処理の開始後、ソフトウェア制御による 40ms のウェイトの後に、BCCTRL.PDDETSTS フラグを確認してください。値が 1 のとき、Secondary Detection 処理が完了したことを示します。

注 1. Primary Detection 処理では、0.25 ～ 0.4V の範囲より大きい電圧、および 0.8 ～ 2.0V の範囲より小さい電圧を D- ライン上で検出すると、他のデバイスが Battery Charging に対応したホストデバイスであることを示します（Charging Downstream ポート）。PHY ブロックの BCCTRL.CHGDETSTS フラグは、D- ライン上の電圧が 0.25 ～ 0.4V の範囲より大きいかどうかのみ示します。そのため、必要に応じて SYSSTS0.LNST[1:0] フラグの読み出し処理を追加で行い、D- ライン上の電圧が 0.8 ～ 2.0V の範囲より小さいことも確認してください。

図 33.19 に、この処理フローを示します。

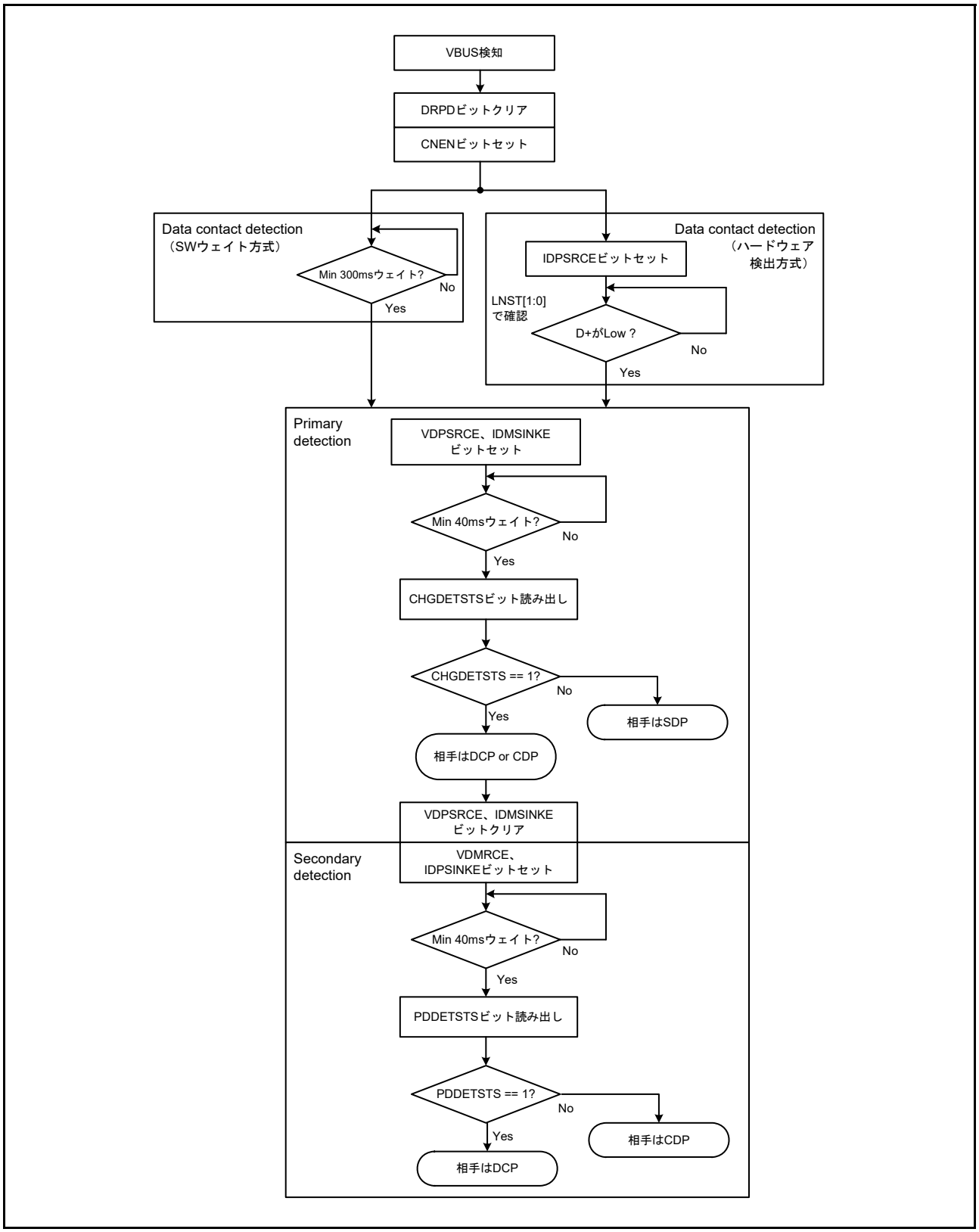


図 33.19 Portable Device としての処理フロー

33.3.15.2 ホストコントローラモード時の処理

ホストコントローラモード時は、Portable Device が Primary Detection を検出できるように、D- ラインをドライブすることが求められます。Primary Detection の検出方法は、Portable Device 検出機能を使用する場合と、使用しない場合の 2 通りがあります。

- Portable Device 検出機能を使用する場合
- Portable Device 検出機能を使用しない場合

図 33.20 と図 33.21 に、それぞれの処理フローを示します。

(1) Portable Device 検出機能を使用する場合

a. USBHS_VBUS 入力端子のドライブを開始する。

b. BCCTRL.IDMSINKE ビットを 1 にして、Portable Device 検出回路を有効にする。

c. Portable Device 検出信号をモニタリングし、Portable Device 検出信号レベルが High のとき、D- ラインのドライブを開始する。(注 1)

d. Portable Device 検出信号が Low レベルのとき、D- ラインのドライブを停止する。(注 1)

注 1. PDDETINT 割り込みは、Portable Device 検出信号（EUH_CPDDET）のレベル変化を示します。PDDETSTS フラグを読み出すと、現在のレベルが取得できます。

(2) Portable Device 検出機能を使用しない場合

a. および b. のタイミング調整はソフトウェアが行います。

a. 切断検出後、200ms 以内に D- ラインのドライブを開始する。

b. 接続検出後、10ms 以内に D- ラインのドライブを停止する。

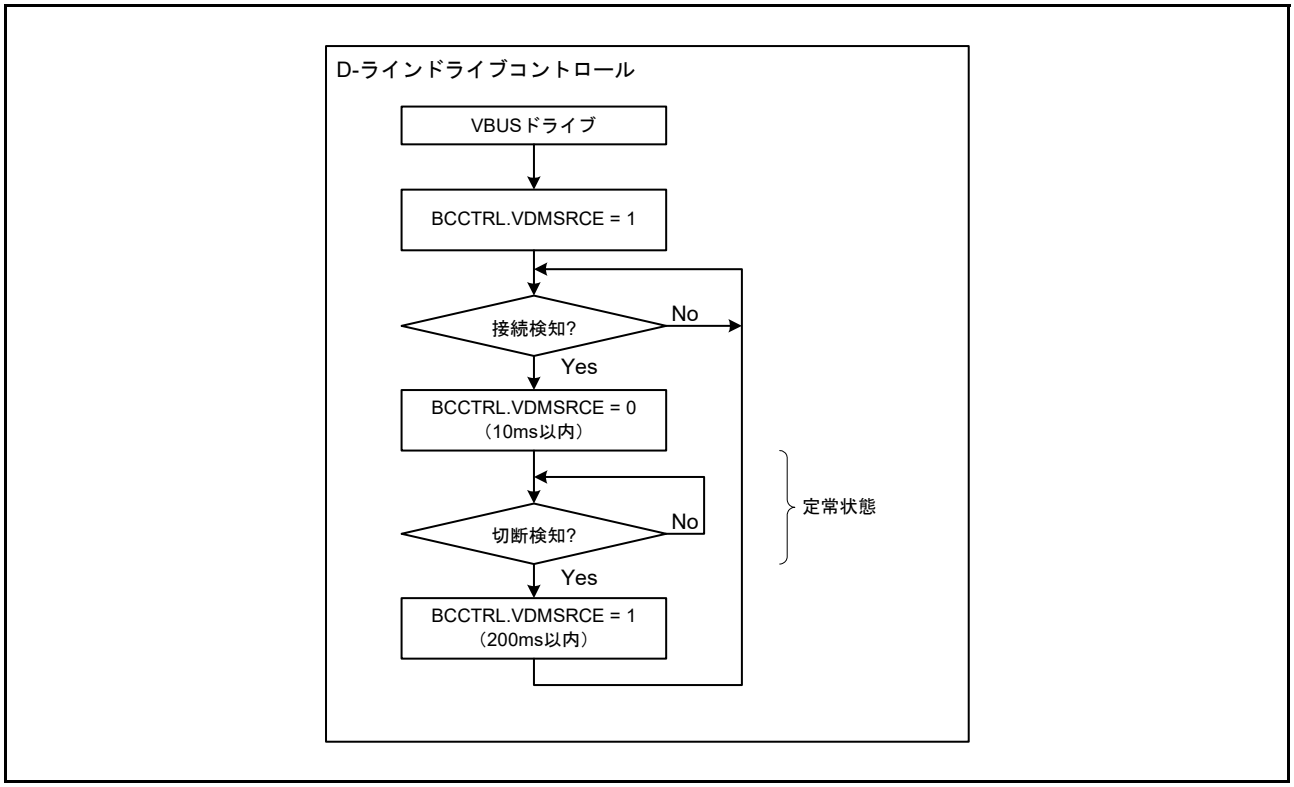


図 33.20 ハードウェアに Portable Device 検出機能未搭載または未使用時の Charging Downstream ポート処理フロー

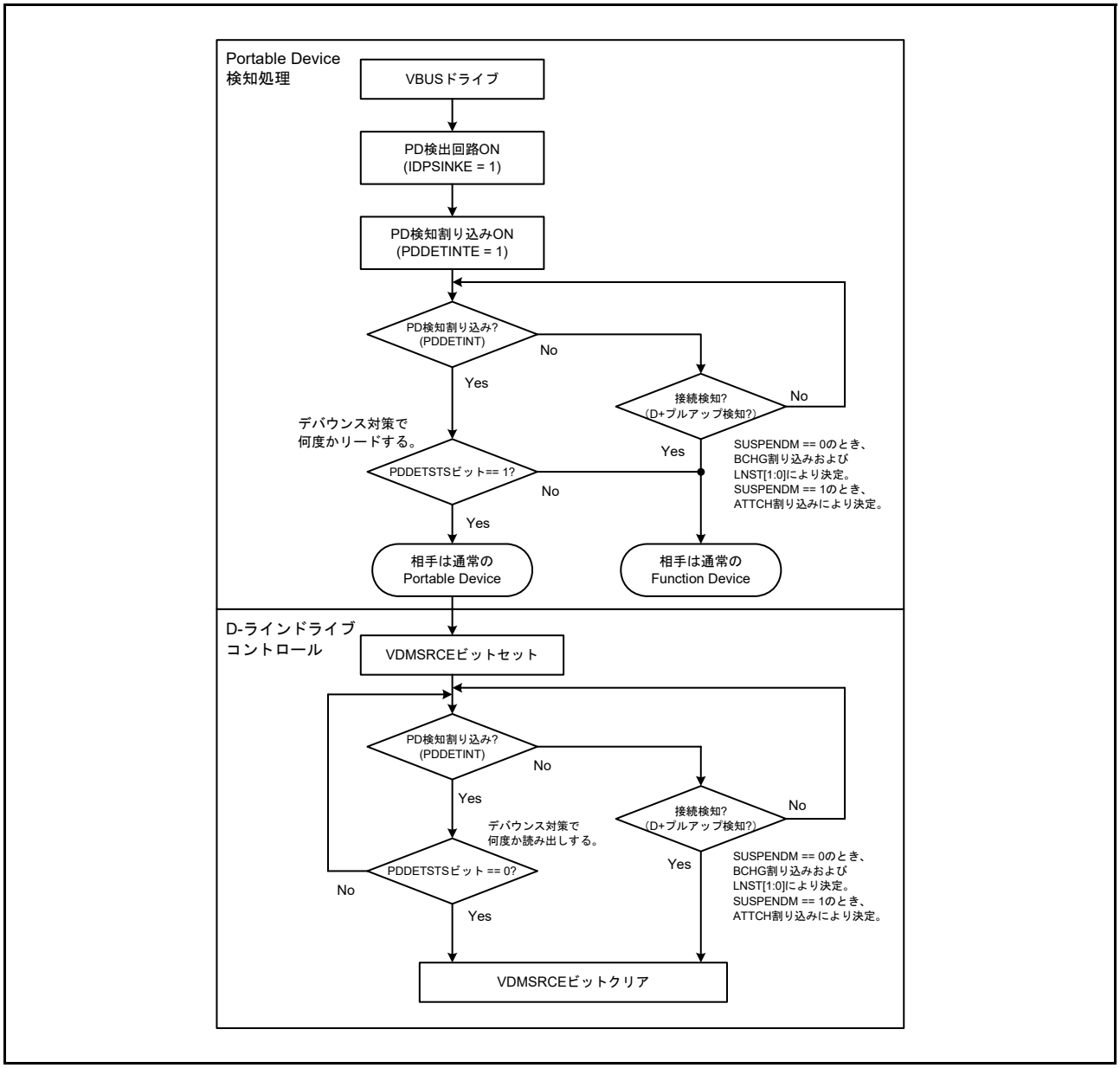


図 33.21　ハードウェアに Portable Device 検出機能搭載時の Charging Downstream ポート処理フロー

33.3.16 Link Power Management 処理

Link Power Management 規格では、既存の Suspend ステートを L2 ステートと定義し、さらに L2（Suspend）ステートよりも遷移や復帰までの待ち時間が短いステートとして、L1 ステートを定義しています。表 33.34 に、L2（Suspend）ステートおよび L1 ステートの比較表を示します。

表 33.34 L2（Suspend）ステートとL1ステートの比較

項目	L1ステート	L2（Suspend）ステート
遷移	LPM トランザクション	3ms間のアイドル
ホスト起因の復帰	ホスト： ホストは、最短ドライブ期間（75μs～1.175ms）を指定可能 ファンクション： 10μs K ドライブ	ホスト： 最短20ms K ドライブ ファンクション： 10ms K ドライブ
ファンクション起因の復帰	デバイス： 50μs K ドライブ ファンクション： 60～990μs K ドライブ デバイス： 10μs K ドライブ	ファンクション： 1～15ms K ドライブ ホスト： 最短20ms K ドライブ ファンクション： 10ms K ドライブ
Signaling	ロースピードおよびフルスピードアイドル	ロースピードおよびフルスピードアイドル

33.3.16.1 デバイスコントローラモード時の処理

(1) ディスクリプタの内容

デバイスコントローラモード時、USBHS は GetDescriptor コマンド受信時にディスクリプタを返す必要があります。

L1 ステートへの遷移および L1 ステートからの復帰が LPM トランザクションの処理に対応するかどうかに応じて、返送するディスクリプタの内容を変更してください。次の表は、LPM 対応とディスクリプタの関係を示しています。

表 33.35 LPM対応とディスクリプタの関係

LPMへの対応	bcdUSB フィールド	USB 2.0 Extension Descriptor		LPMリクエストを受けた場合の応答	備考
		有無	LPM ビット値		
しない	0200h	なし	—	応答しない	LPM未対応の場合の標準動作
	0201h	あり	0	STALL	明確にLPMに対応しない場合の設定。 この場合、STALL応答を返す必要あり。
する	0201h	あり	1	ACKまたはNYET	LPMに対応する場合の標準動作

L1 への遷移または L1 からの復帰に対応するかどうかは、USB 2.0 Extension Descriptor の LPM ビットで宣言します。また、USB 2.0 Extension Descriptor を持たせるには、Device Descriptor の bcdUSB フィールドを 0201h 以上の値にする必要があります。

LPM に対応しない場合、USB 2.0 Extension Descriptor は持たず、bcdUSB フィールド値は 0200h でなければなりません。この場合、LPM トークンを受信したとしても無視する必要があります。また、bcdUSB フィールド値を 0201h に、USB 2.0 Extension Descriptor の LPM ビットを 0（LPM トークン非対応）にすることもできます。この場合、LPM トークンを無視せず、STALL 応答を返す必要があります。

LPM トークンに対応する場合は、bcdUSB フィールド値を 0201h とし、USB 2.0 Extension Descriptor の LPM ビットを 1（LPM トークンに対応）とします。この場合、LPM トークンに対して NYET 応答もしくは ACK 応答を返して、アクノリッジすることができます。

(2) LPM トークン受信時の処理

デバイスコントローラモード時の、L1 ステートへの遷移および L1 ステートからの復帰は以下のように行われます。

a. USBHS がホストから LPM トークンを受信すると、PL1CTRL1 レジスタの L1RESPEN ビット、L1RESPMD[1:0] ビット、および L1NEGOMD ビットの設定により、応答パケットを送信するかどうか、トークンを無視するかどうか、応答を送信する場合にその応答は ACK パケットか、NYET パケットか、STALL パケットかが決定されます。

b. LPM トークンに対して ACK 応答が送信され、8μs 以内にホストが再度 LPM トークンを送信しない場合、USBHS は L1 ステートに遷移します。USBHS は、新しく送信されたパケットの検出と L1 ステートへの遷移を処理します。DVST 割り込みは、遷移の検出に使用できます。

c. 2 種類の処理により、USBHS を L1 ステートから復帰させることができます。

- ホストが D- ラインを K-State にドライブする場合：
  ファンクションデバイスは K-State を検出し、RESM 割り込み要求に対応して L1 ステートからの復帰処理を開始します。
- ファンクションデバイスがリモートウェイクアップ信号を出力する場合：
  ファンクションデバイスのソフトウェアが DVSTCTR0.WKUP ビットを 1 にすると、ホストにリモートウェイクアップ信号が送信されます。

L2（Suspend）ステートから復帰する場合はソフトウェアで DVSTCTR0.WKUP ビットを 0 にし、L1 ステートから復帰する場合は USBHS が DVSTCTR0.WKUP ビットを 0 にします。

(3) HIRD フィールド値のネゴシエーション機能

LPM トークンに含まれる HIRD フィールド値は、L1 ステートからの復帰における Host K ドライブ期間を示します。HIRD フィールド値は、ターゲットシステムの要件に応じて調整できます。たとえば、転送効率向上を主眼に置いたシステムでは小さい HIRD フィールド値を、低消費電力に主眼を置いたシステムでは大きい HIRD フィールド値を設定した方が良好に動作します。

PL1CTRL1 レジスタの L1NEGOMD ビットおよび HIRDTHR[3:0] ビットの設定に基づいて、受信 HIRD フィールド値が期待される範囲内の値のときは ACK 応答が、それ以外の場合は NYET 応答が返され、ホストに対して HIRD フィールド値の変更が要求されます。

注 . ホストにおける、この HIRD フィールド値ネゴシエーション機能は、ネゴシエーション処理にも対応していなければなりません。

33.3.16.2 ホストコントローラモード時の処理

(1) LPM トークン送信時の処理

ホストコントローラモード時の、L1 ステートへの遷移および L1 ステートからの復帰は以下のように行われます。

a. HL1CTRL.L1REQ ビットを 1 にすると、ホストデバイスからファンクションデバイスに LPM トークンが送信されます。

b. ファンクションデバイスから ACK 応答を受信した場合、10µs 以内に L1 ステートへの遷移を開始し、50µs 以内に遷移を完了させます。トランザクションエラーを検出すると、8µs 以内に再度 LPM トークンが送信されます。再送処理は 2 回まで行えます。これらの処理はすべて USBHS が制御します。

c. 2 種類の処理により、USBHS を L1 ステートから復帰させることができます。

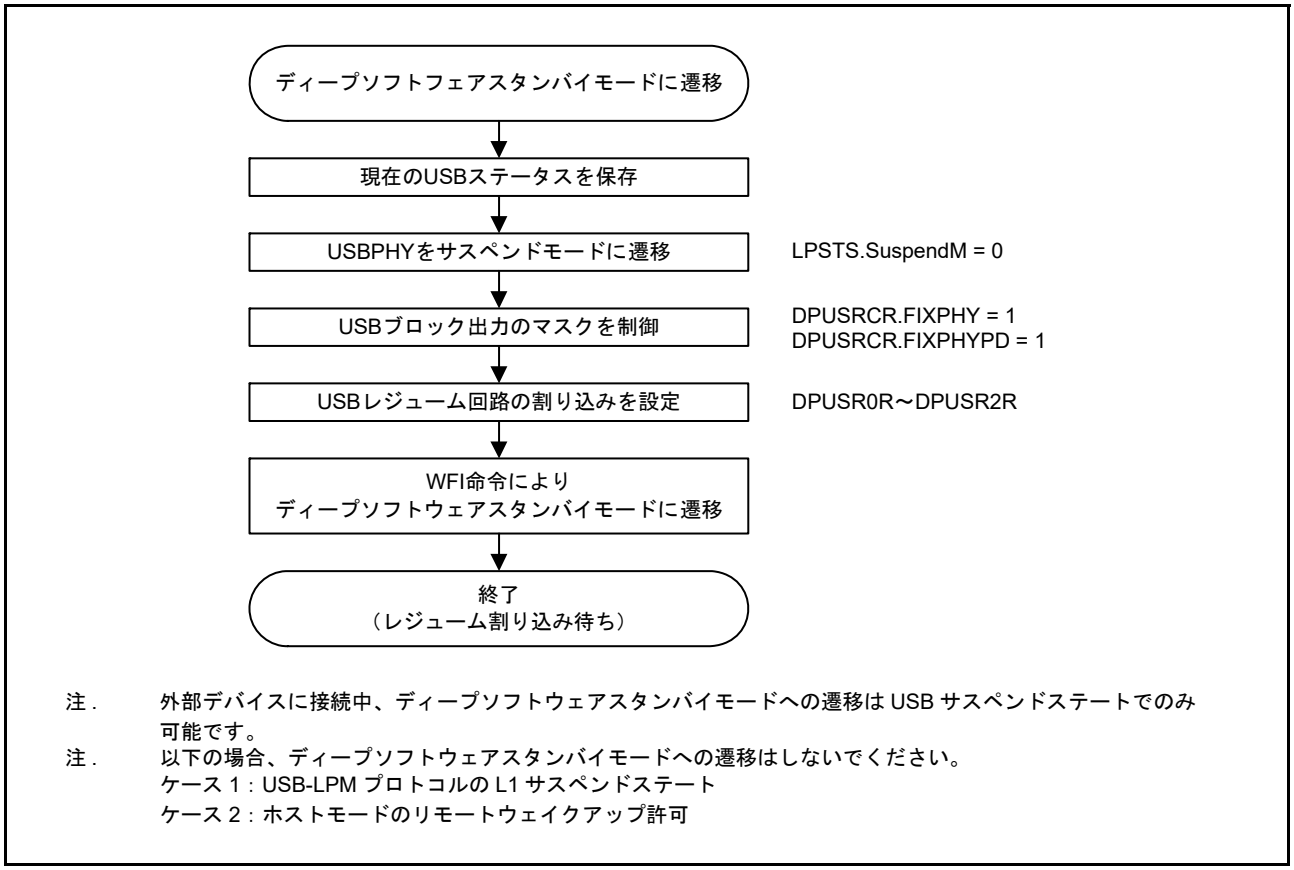
- ホストが D- ラインを K-State にドライブする場合：
  DVSTCTR0.RESUME ビットが 1 のとき、ホストデバイスは D- ラインを K-State にドライブし始め、復帰処理を開始します。
- ファンクションデバイスがリモートウェイクアップ信号を生成する場合：
  ホストデバイスがファンクションデバイスからのリモートウェイクアップ信号を検出すると、DVSTCTR0.RESUME ビットを 1 にして、D- ラインを K-State にドライブし始めます。

Suspend（L2）ステートからの復帰とは異なり、USBHS が DVSTCTR0.RESUME ビットを 0 にします。RESUME ビットをクリアした後で、DVSTCTR0.UACT ビットを 1 にし、L1RSMEND 割り込み要求を発行します。

33.3.17 USB のサスペンド／レジューム割り込みによるディープソフトウェアスタンバイモードの解除

ディープソフトウェアスタンバイモードは、USB のサスペンド／レジューム割り込みにより解除できます。USB のサスペンド／レジューム割り込みの検出は、USB レジューム検出部が行います。USB レジューム検出部は、USB 用の入出力端子の制御およびモニタを行い、割り込みを検出する機能を果たします。

図 33.22 に、ホストコントローラモード時またはデバイスコントローラモード時における、ディープソフトウェアスタンバイモード遷移時の USBHS 設定フローを示します。図 33.23 および図 33.24 に、ホストコントローラモードでディープソフトウェアスタンバイモードを解除するときの、USBHS 設定フローを示します。図 33.25 に、デバイスコントローラモードでディープソフトウェアスタンバイモードを解除するときの、USBHS 設定フローを示します。



注 . 外部デバイスに接続中、ディープソフトウェアスタンバイモードへの遷移は USB サスペンドステートでのみ可能です。

注 . 以下の場合、ディープソフトウェアスタンバイモードへの遷移はしないでください。
ケース 1 : USB-LPM プロトコルの L1 サスペンドステート
ケース 2 : ホストモードのリモートウェイクアップ許可

図 33.22 ホストコントローラまたはデバイスコントローラとしてディープソフトウェアスタンバイモードへ遷移する場合の USBHS 設定フロー

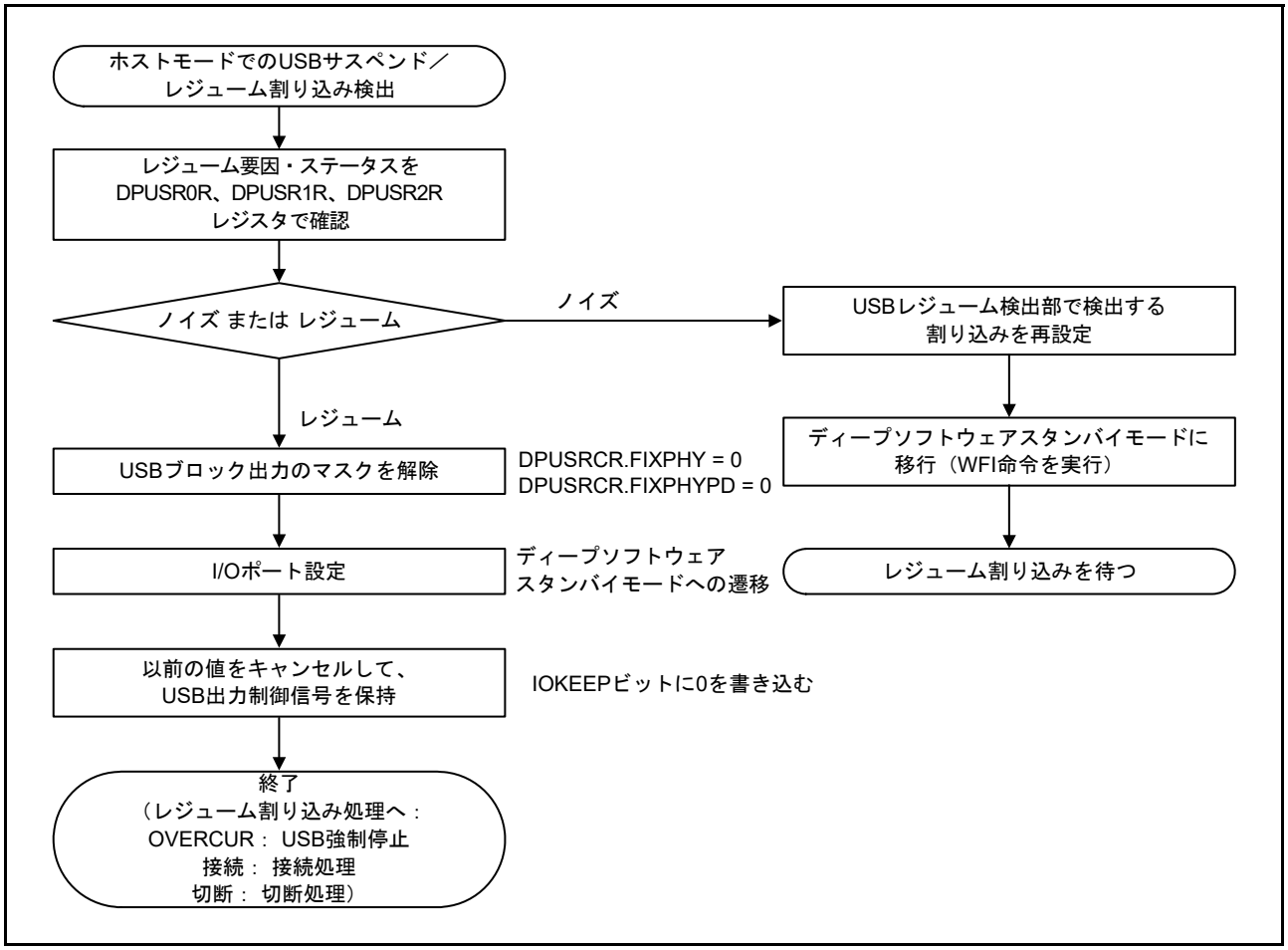


図 33.23 ホストコントローラとしてディープソフトウェアスタンバイモードを解除する場合の USBHS 設定フロー（1）

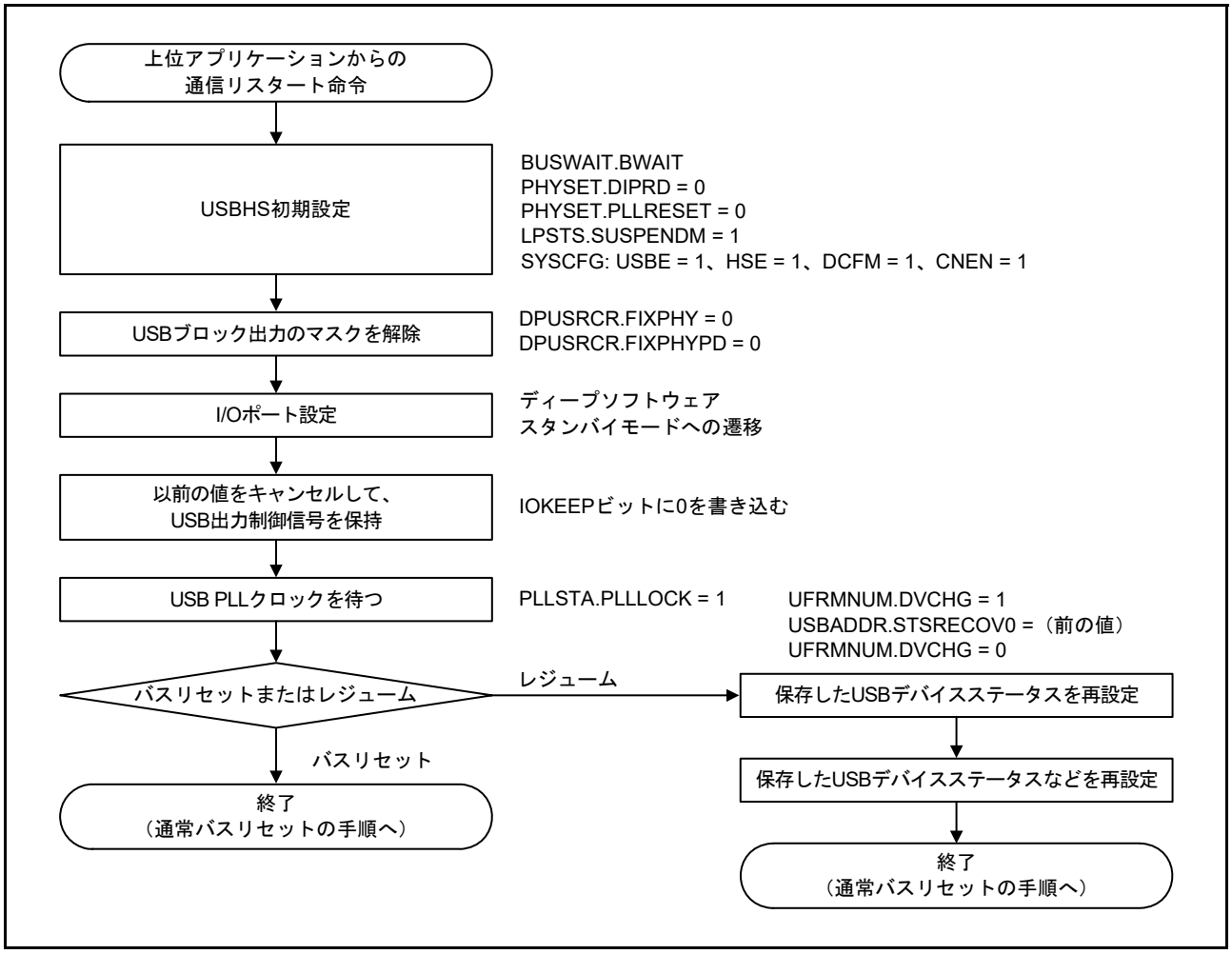
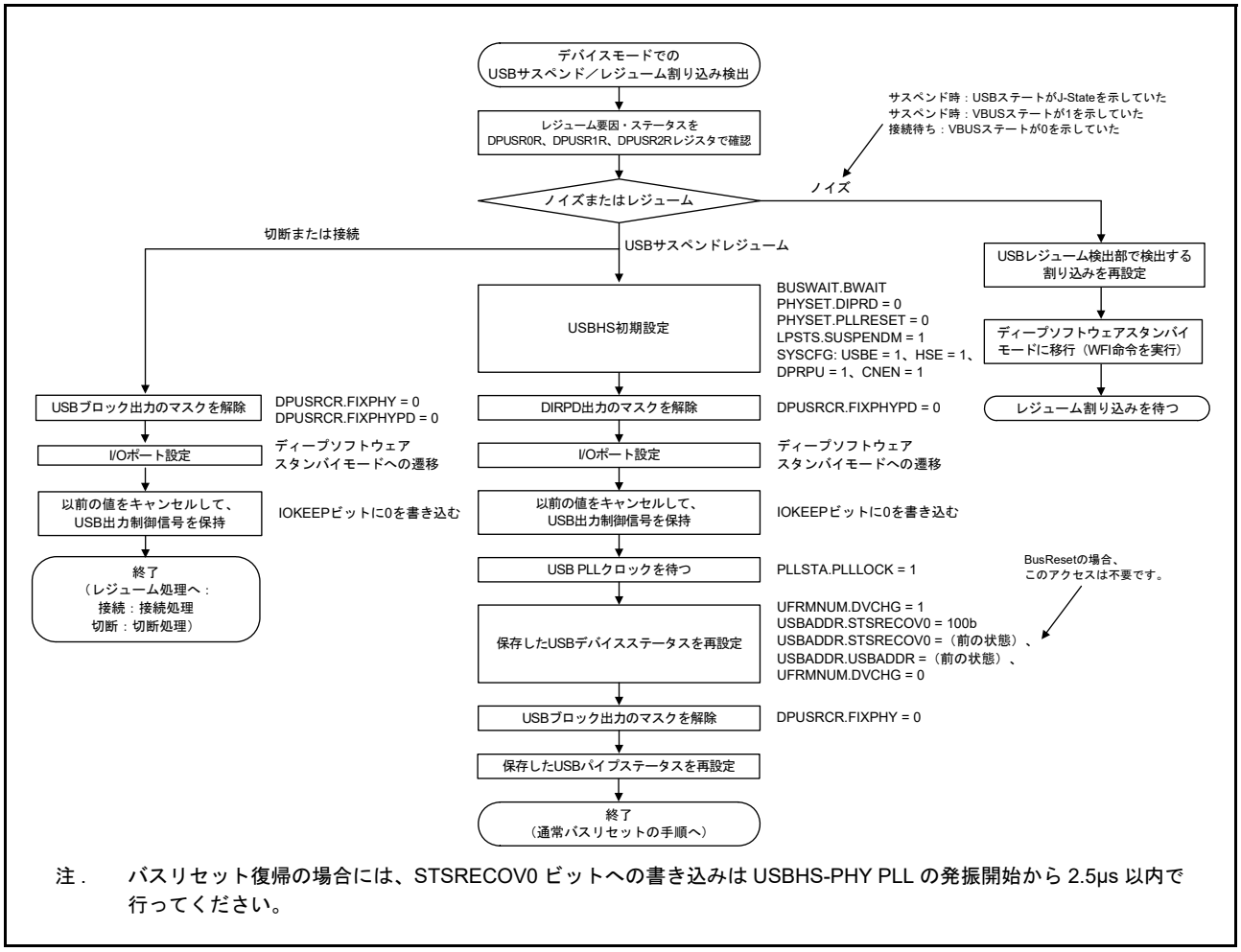


図 33.24 ホストコントローラとしてディープソフトウェアスタンバイモードを解除する場合の USBHS 設定フロー（2）



注 . バスリセット復帰の場合には、STSRECOV0 ビットへの書き込みは USBHS-PHY PLL の発振開始から 2.5μs 以内で行ってください。

図 33.25 デバイスコントローラとしてディープソフトウェアスタンバイモードを解除する場合の USBHS 設定フロー（1）

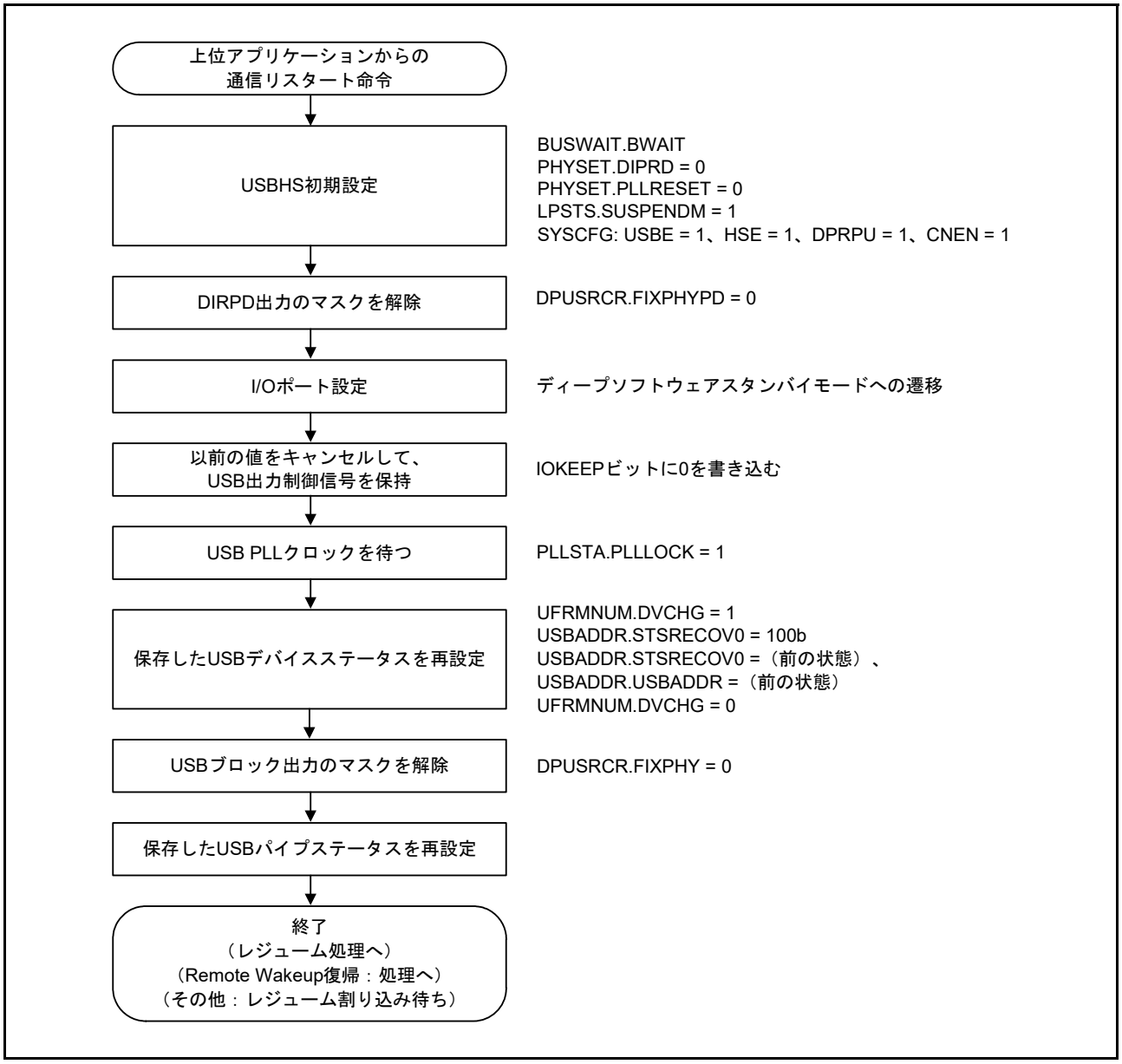


図 33.26 デバイスコントローラとしてディープソフトウェアスタンバイモードを解除する場合の USBHS 設定フロー（2）

33.3.18 外部接続回路例

図 33.27 に、セルフパワードシステムでの OTG 接続例を示します。USBHS は、D+ ラインのプルアップ抵抗と D+、D- ラインのプルダウン抵抗を制御します。各ラインのプルアップ、プルダウンを、SYSCFG.DPRPU ビット、SYSCFG.DRPD ビットで選択してください。デバイスコントローラモード時、USB ホストとの通信中に SYSCFG.DPRPU ビットを 0 にすると、USB データラインのプルアップ抵抗が無効になります。USBHS はこれを使って、USB ホストにデバイス切断を通知できます。

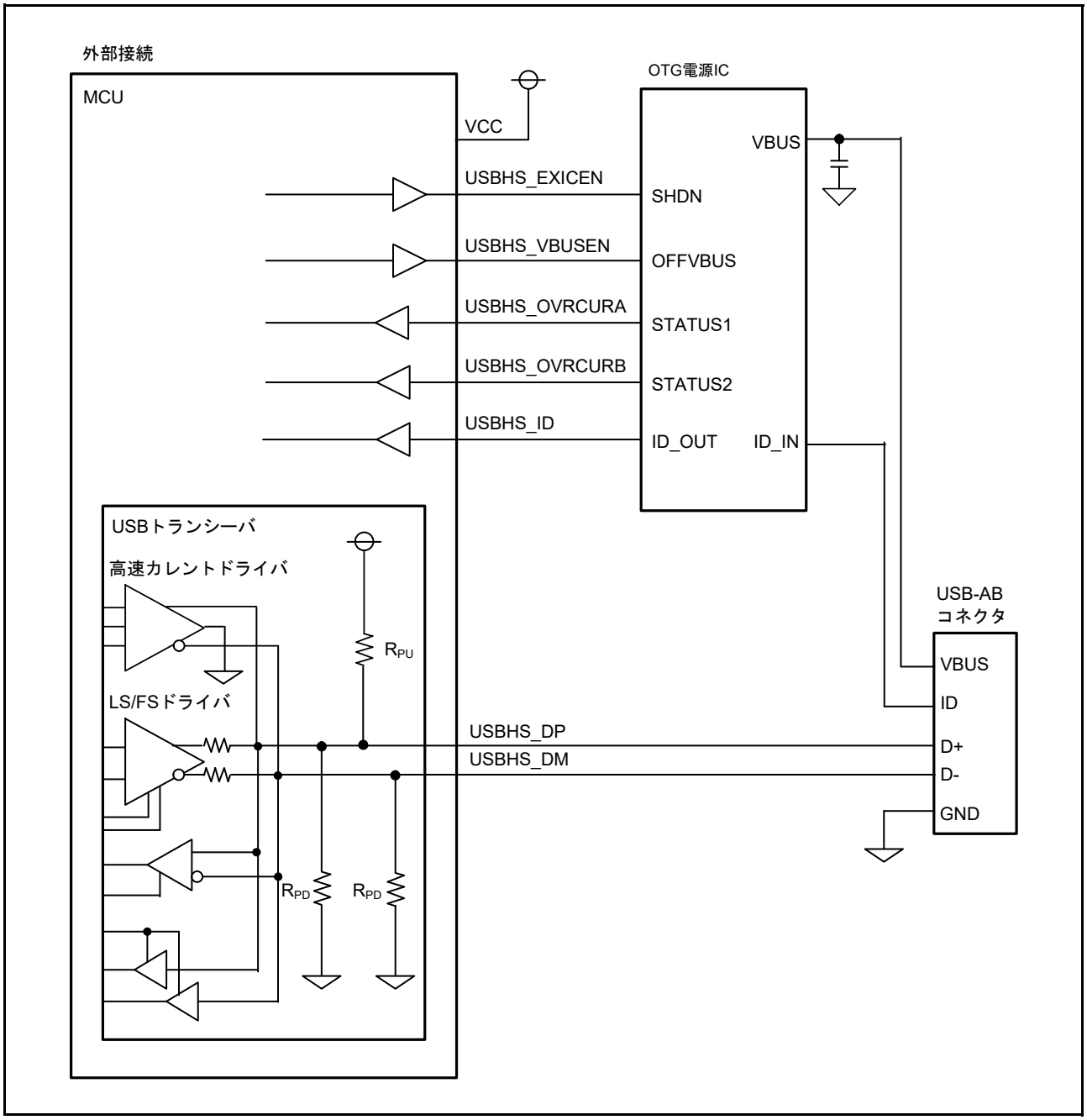
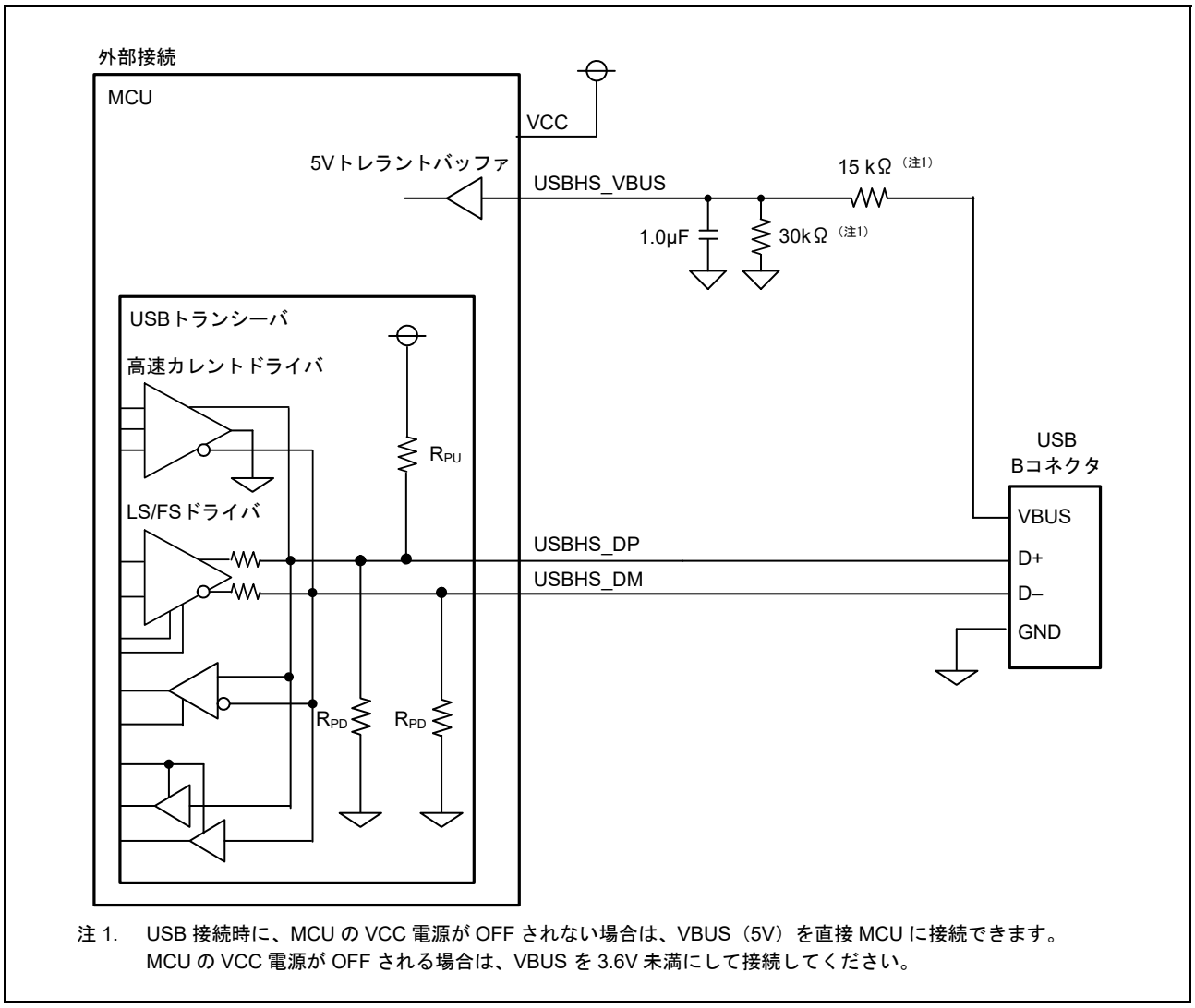


図 33.27 セルフパワードシステムでの OTG 接続例

図 33.28 に、セルフパワードシステムでの USB デバイス接続例を示します。



注 1. USB 接続時に、MCU の VCC 電源が OFF されない場合は、VBUS（5V）を直接 MCU に接続できます。
MCU の VCC 電源が OFF される場合は、VBUS を 3.6V 未満にして接続してください。

図 33.28 セルフパワードシステムでのデバイス接続例

図 33.29 に、バスパワードシステムでの USB デバイス接続例を示します。

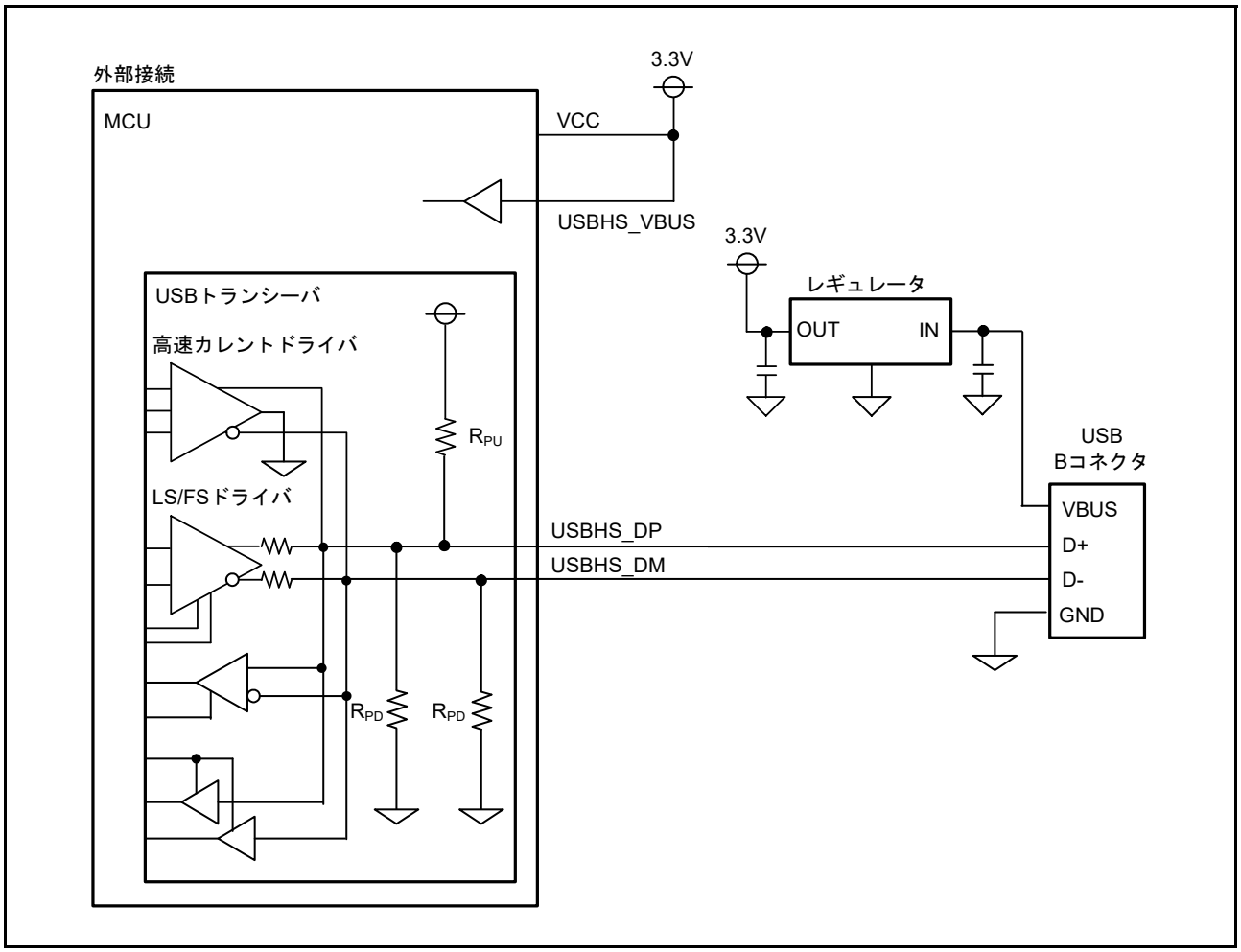


図 33.29 バスパワードシステムでのデバイス接続例

図 33.30 に、USB ホスト接続例を示します。

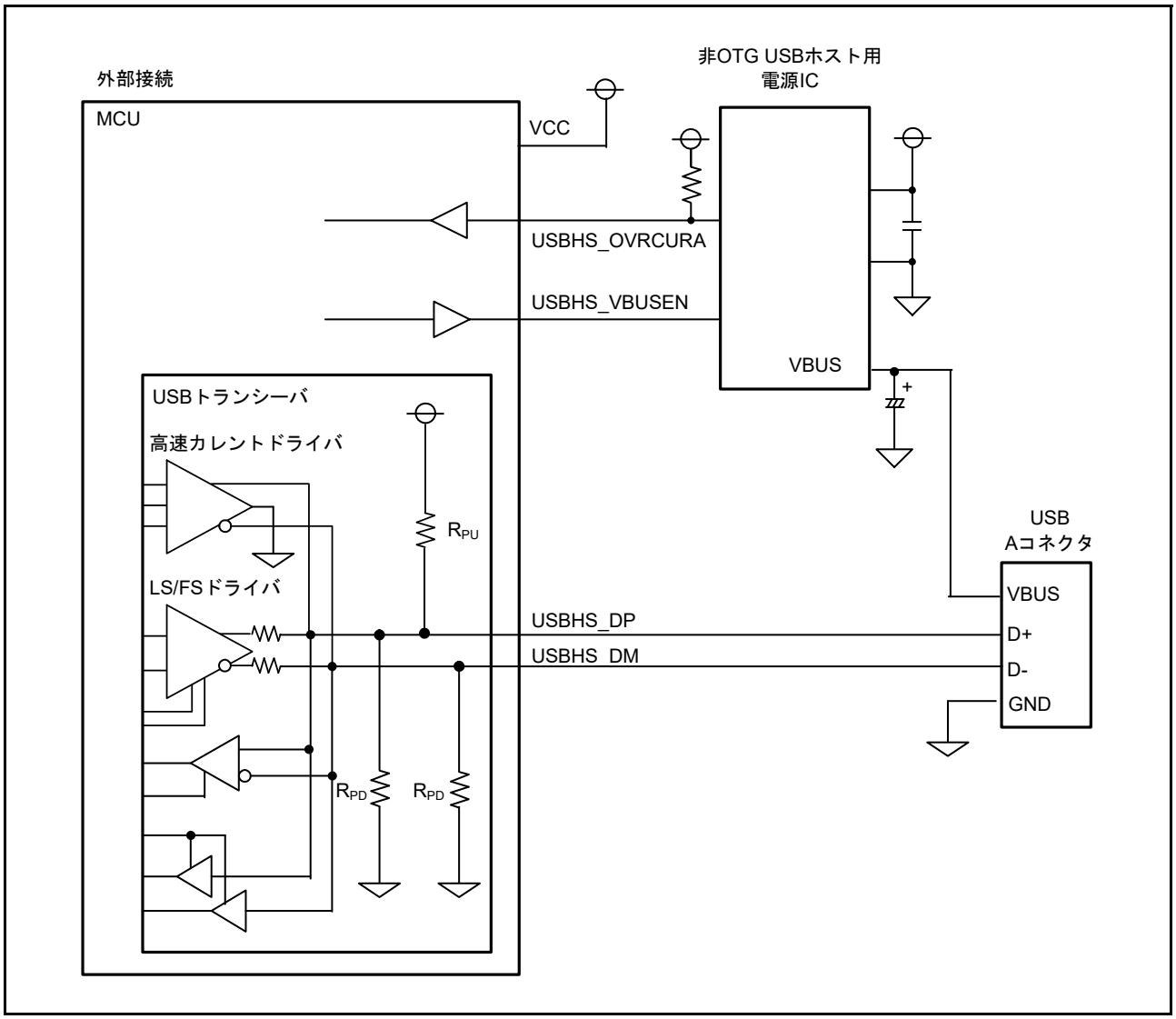


図 33.30 USB ホスト接続例

33.4 使用上の注意事項

33.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）により、USBHS の動作を禁止／許可することが可能です。USBHS は、リセット後の初期状態では動作を停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態の解除後、入力システムクロック周波数設定など、PHY 回路の起動に必要な設定を行ってから、PHYSET.DIRPD ビットを 0 にします。詳細は、「11. 低消費電力モード」を参照してください。

33.4.2 ディープソフトウェアスタンバイモード遷移時の設定

ディープソフトウェアスタンバイモードへの遷移は、DVSTCTR0.VBUSEN ビットを 0 にしてから行ってください。

33.4.3 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリア

ソフトウェアスタンバイモードでは入力バッファが常に有効となるため、以下の各条件を満たすとき、予期せぬ割り込みが発生することがあります。

- 通常モードで割り込みを許可する
- ソフトウェアスタンバイモードで割り込みを禁止する
- ソフトウェアスタンバイを解除する端子の入力レベルが SSTBY モードで変更されている

これらの条件を満たすと、割り込みステータスレジスタの関連する割り込みフラグが予期せず設定されることがあります。MCU がソフトウェアスタンバイモードを終了した後に、予期せぬ割り込みが割り込みコントローラに送信される場合があります。この問題を避けるために、解除シーケンスで INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

33.4.4 ポート機能設定後の割り込みステータスレジスタのクリア

入力バッファは PmnPFS.PSEL および PmnPFS.PMR ポートを設定する前に無効にされるため、内部信号は High または Low に固定されます。入力バッファはポート設定後に有効にされるので、外部端子の状態が MCU に伝播します。このとき、予期せぬ割り込みが発生する場合があり、INTSTS0 と INTSTS1 レジスタの VBINT と OVRCR ビット、またはその他の割り込みステータフラグが 1 になります。誤作動を避けるために、ポート設定後は INTSTS0 および INTSTS1 レジスタを必ずクリアしてください。

34. シリアルコミュニケーションインタフェース（SCI）

34.1 概要

シリアルコミュニケーションインタフェース（SCI）は、下記の 5 種類の調歩同期式および同期式シリアルインタフェースとして設定が可能です。

- 調歩同期式インタフェース（UART および調歩同期式通信アダプタ（ACIA））
- 8 ビットクロック同期式インタフェース
- 簡易 IIC（マスタのみ）
- 簡易 SPI
- スマートカードインタフェース

スマートカードインタフェースは、電子信号と伝送プロトコルに関して ISO/IEC 7816-3 規格に準拠しています。各 SCI は FIFO バッファを内蔵しており、連続した全二重通信が可能です。また、内蔵のボーレートジェネレータを用いて、データの転送速度を個別に設定することが可能です。

表 34.1 に SCI の仕様を、図 34.1 に SCI チャネル n のブロック図を、表 34.2 にモードごとの入出力端子を示します。

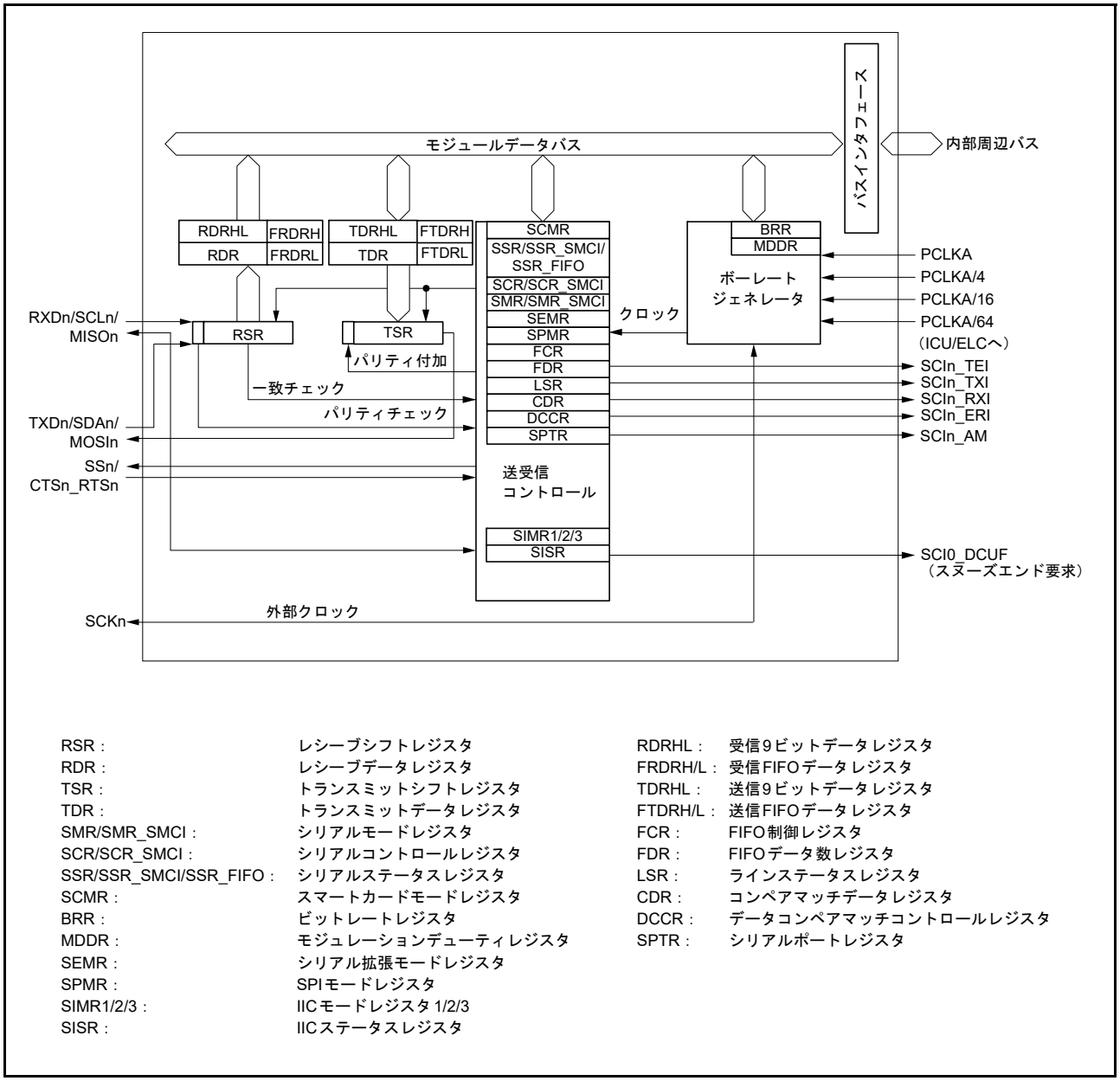
表 34.1 SCIの仕様 (1/2)

項目	内容
シリアル通信方式	• 調歩同期式 • クロック同期式 • スマートカードインタフェース • 簡易IIC • 簡易SPI
転送速度	内蔵のボーレートジェネレータにより任意のビットレートを設定可能
全二重通信	• 送信部：ダブルバッファ構成による連続送信が可能 • 受信部：ダブルバッファ構成による連続受信が可能
入出力端子	表 34.2を参照してください。
データ転送	LSBファースト／MSBファースト転送を選択可能
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、受信データレディ、およびアドレス一致 開始条件／再開始条件／停止条件の生成完了（簡易IICモード用）
モジュールストップ機能	チャネルごとにモジュールストップ状態を設定可能
スヌーズ終了要求	SCI0アドレス不一致（SCI0_DCUF）

表 34.1 SCIの仕様 (2/2)

項目		内容
調歩同期式モード	データ長	7ビット／8ビット／9ビット
	送信ストップビット	1ビット／2ビット
	パリティ	偶数パリティ／奇数パリティ／パリティなし
	受信エラー検出	パリティエラー、オーバーランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送信／受信	1段レジスタ／16段FIFOを選択可能
	アドレス一致	受信データとコンペアマッチレジスタの値が一致したとき、割り込み要求／イベント出力の発行が可能
	アドレス不一致（SCI0のみ）受信データ	受信データとコンペアマッチレジスタの値が一致しないとき、スヌーズ終了要求の発行が可能
	スタートビットの検出	Low検出／立ち下がりエッジ検出を選択可能
	ブレークの検出	SPTRレジスタを読み出すことで、フレーミングエラーからのブレークの検出が可能
	クロックソース	内部クロック／外部クロックを選択可能
	倍速モード	ボーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数プロセッサ間でシリアル通信が可能
	ノイズ除去	RXDn端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラー検出	オーバーランエラー
	クロックソース	内部クロック（マスタモード）／外部クロック（スレーブモード）を選択可能
	ハードウェアフロー制御	CTSn_RTSn端子を用いた送受信制御が可能
	送信／受信	1段レジスタ／16段FIFOを選択可能
スマートカードインタフェースモード	エラー処理	受信中にパリティエラーを検出するとエラーシグナルを自動送出
		送信中にエラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション／インバースコンベンションをサポート
簡易IICモード	通信フォーマット	I^2Cバスフォーマット（MSBファーストのみ）
	動作モード	マスタ（シングルマスタ動作のみ）
	転送速度	最大400kbps
	ノイズ除去	SCLn端子とSDAn端子の入力経路にデジタルノイズフィルタを内蔵し、ノイズ除去幅の調整が可能
簡易SPIモード	データ長	8ビット
	エラー検出	オーバーランエラー
	クロックソース	内部クロック（マスタモード）／外部クロック（スレーブモード）を選択可能
	SS入力端子機能	SSn端子をHighにすることで、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差の低減が可能
イベントリンク機能		受信エラーまたはエラーシグナル検出におけるエラーイベント出力（SCIn_ERI、n = 0～9）
		受信データフルイベント出力（SCIn_RXI、n = 0～9）（注1）
		送信データエンプティイベント出力（SCIn_TXI、n = 0～9）（注1）
		送信終了イベント出力（SCIn_TEI、n = 0～9）（注1）
		アドレス一致イベント出力（SCIn_AM、n = 0～9）

注 1. このイベントリンク機能は、調歩同期式モードにおいて FIFO 動作が選択された場合には使用しないでください。



RSR：	レシーブシフトレジスタ	RDRHL：	受信9ビットデータレジスタ
RDR：	レシーブデータレジスタ	FRDRH/L：	受信FIFOデータレジスタ
TSR：	トランスミットシフトレジスタ	TDRHL：	送信9ビットデータレジスタ
TDR：	トランスミットデータレジスタ	FTDRH/L：	送信FIFOデータレジスタ
SMR/SMR_SMCI：	シリアルモードレジスタ	FCR：	FIFO制御レジスタ
SCR/SCR_SMCI：	シリアルコントロールレジスタ	FDR：	FIFOデータ数レジスタ
SSR/SSR_SMCI/SSR_FIFO：	シリアルステータスレジスタ	LSR：	ラインステータスレジスタ
SCMR：	スマートカードモードレジスタ	CDR：	コンペアマッチデータレジスタ
BRR：	ビットレートレジスタ	DCCR：	データコンペアマッチコントロールレジスタ
MDDR：	モジュレーションデューティレジスタ	SPTR：	シリアルポートレジスタ
SEMR：	シリアル拡張モードレジスタ		
SPMR：	SPIモードレジスタ		
SIMR1/2/3：	IICモードレジスタ1/2/3		
SISR：	IICステータスレジスタ		

図 34.1　SCI チャネル n のブロック図

表 34.2 SCIの入出力端子 (1/2)

チャネル	端子名	入出力	機能
SCI0	SCK0	入出力	SCI0のクロック入出力端子
	RXD0/SCL0/MISO0	入出力	SCI0の受信データ入力端子 SCI0のIICクロック入出力端子 SCI0のスレーブ送出データ入出力端子
	TXD0/SDA0/MOSI0	入出力	SCI0の送信データ出力端子 SCI0のIICデータ入出力端子 SCI0のマスタ送出データ入出力端子
	SS0/CTS0_RTS0	入出力	SCI0のチップセレクト入力端子、アクティブLow SCI0の送受信開始制御用入出力端子、アクティブLow
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1/SCL1/MISO1	入出力	SCI1の受信データ入力端子 SCI1のIICクロック入出力端子 SCI1のスレーブ送出データ入出力端子
	TXD1/SDA1/MOSI1	入出力	SCI1の送信データ出力端子 SCI1のIICデータ入出力端子 SCI1のマスタ送出データ入出力端子
	SS1/CTS1_RTS1	入出力	SCI1のチップセレクト入力端子、アクティブLow SCI1の送受信開始制御用入出力端子、アクティブLow
SCI2	SCK2	入出力	SCI2のクロック入出力端子
	RXD2/SCL2/MISO2	入出力	SCI2の受信データ入力端子 SCI2のIICクロック入出力端子 SCI2のスレーブ送出データ入出力端子
	TXD2/SDA2/MOSI2	入出力	SCI2の送信データ出力端子 SCI2のIICデータ入出力端子 SCI2のマスタ送出データ入出力端子
	SS2/CTS2_RTS2	入出力	SCI2のチップセレクト入力端子、アクティブLow SCI2の送受信開始制御用入出力端子、アクティブLow
SCI3	SCK3	入出力	SCI3のクロック入出力端子
	RXD3/SCL3/MISO3	入出力	SCI3の受信データ入力端子 SCI3のIICクロック入出力端子 SCI3のスレーブ送出データ入出力端子
	TXD3/SDA3/MOSI3	入出力	SCI3の送信データ出力端子 SCI3のIICデータ入出力端子 SCI3のマスタ送出データ入出力端子
	SS3/CTS3_RTS3	入出力	SCI3のチップセレクト入力端子、アクティブLow SCI3の送受信開始制御用入出力端子、アクティブLow
SCI4	SCK4	入出力	SCI4のクロック入出力端子
	RXD4/SCL4/MISO4	入出力	SCI4の受信データ入力端子 SCI4のIICクロック入出力端子 SCI4のスレーブ送出データ入出力端子
	TXD4/SDA4/MOSI4	入出力	SCI4の送信データ出力端子 SCI4のIICデータ入出力端子 SCI4のマスタ送出データ入出力端子
	SS4/CTS4_RTS4	入出力	SCI4のチップセレクト入力端子、アクティブLow SCI4の送受信開始制御用入出力端子、アクティブLow

表 34.2 SCIの入出力端子 (2/2)

チャネル	端子名	入出力	機能
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5/SCL5/MISO5	入出力	SCI5の受信データ入力端子 SCI5のIICクロック入出力端子 SCI5のスレーブ送出データ入出力端子
	TXD5/SDA5/MOSI5	入出力	SCI5の送信データ出力端子 SCI5のIICデータ入出力端子 SCI5のマスタ送出データ入出力端子
	SS5/CTS5_RTS5	入出力	SCI5のチップセレクト入力端子、アクティブLow SCI5の送受信開始制御用入出力端子、アクティブLow
SCI6	SCK6	入出力	SCI6のクロック入出力端子
	RXD6/SCL6/MISO6	入出力	SCI6の受信データ入力端子 SCI6のIICクロック入出力端子 SCI6のスレーブ送出データ入出力端子
	TXD6/SDA6/MOSI6	入出力	SCI6の送信データ出力端子 SCI6のIICデータ入出力端子 SCI6のマスタ送出データ入出力端子
	SS6/CTS6_RTS6	入出力	SCI6のチップセレクト入力端子、アクティブLow SCI6の送受信開始制御用入出力端子、アクティブLow
SCI7	SCK7	入出力	SCI7のクロック入出力端子
	RXD7/SCL7/MISO7	入出力	SCI7の受信データ入力端子 SCI7のIICクロック入出力端子 SCI7のスレーブ送出データ入出力端子
	TXD7/SDA7/MOSI7	入出力	SCI7の送信データ出力端子 SCI7のIICデータ入出力端子 SCI7のマスタ送出データ入出力端子
	SS7/CTS7_RTS7	入出力	SCI7のチップセレクト入力端子、アクティブLow SCI7の送受信開始制御用入出力端子、アクティブLow
SCI8	SCK8	入出力	SCI8のクロック入出力端子
	RXD8/SCL8/MISO8	入出力	SCI8の受信データ入力端子 SCI8のIICクロック入出力端子 SCI8のスレーブ送出データ入出力端子
	TXD8/SDA8/MOSI8	入出力	SCI8の送信データ出力端子 SCI8のIICデータ入出力端子 SCI8のマスタ送出データ入出力端子
	SS8/CTS8_RTS8	入出力	SCI8のチップセレクト入力端子、アクティブLow SCI8の送受信開始制御用入出力端子、アクティブLow
SCI9	SCK9	入出力	SCI9のクロック入出力端子
	RXD9/SCL9/MISO9	入出力	SCI9の受信データ入力端子 SCI9のIICクロック入出力端子 SCI9のスレーブ送出データ入出力端子
	TXD9/SDA9/ MOSI9	入出力	SCI9の送信データ出力端子 SCI9のIICデータ入出力端子 SCI9のマスタ送出データ入出力端子
	SS9/CTS9_RTS9	入出力	SCI9のチップセレクト入力端子、アクティブLow SCI9の送受信開始制御用入出力端子、アクティブLow

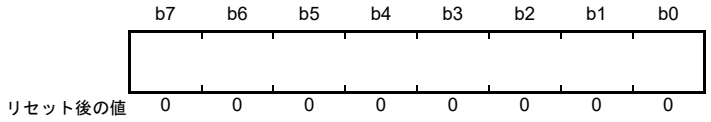
34.2 レジスタの説明

34.2.1 レシーブシフトレジスタ（RSR）

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR レジスタ、RDRHL レジスタ、またはレシーブ FIFO へ転送されます。CPU から RSR レジスタに直接アクセスすることはできません。

34.2.2 レシーブデータレジスタ（RDR）

アドレス SCI0.RDR 4007 0005h, SCI1.RDR 4007 0025h, SCI2.RDR 4007 0045h, SCI3.RDR 4007 0065h, SCI4.RDR 4007 0085h, SCI5.RDR 4007 00A5h, SCI6.RDR 4007 00C5h, SCI7.RDR 4007 00E5h, SCI8.RDR 4007 0105h, SCI9.RDR 4007 0125h



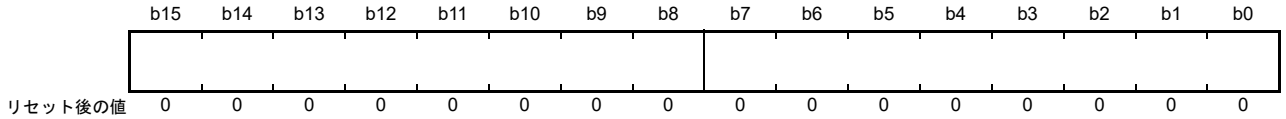
RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。1 フレーム分のシリアルデータを受信すると、受信データは RSR レジスタからこのレジスタへ転送され、RSR レジスタは次のデータを受信できるようになります。RSR レジスタと RDR レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。

RDR レジスタの読み出しは、受信データフル割り込み（SCIn_RXI）要求が発生したときに 1 回だけ行ってください。

注 . 受信データを RDR から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDR レジスタに書き込むことはできません。

34.2.3 レシーブデータレジスタ HL（RDRHL）

アドレス SCI0.RDRHL 4007 0010h, SCI1.RDRHL 4007 0030h, SCI2.RDRHL 4007 0050h, SCI3.RDRHL 4007 0070h, SCI4.RDRHL 4007 0090h, SCI5.RDRHL 4007 00B0h, SCI6.RDRHL 4007 00D0h, SCI7.RDRHL 4007 00F0h, SCI8.RDRHL 4007 0110h, SCI9.RDRHL 4007 0130h



RDRHL レジスタは、受信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

RDRHL レジスタの下位 8 ビットは RDR レジスタのシャドーレジスタであるため、RDRHL レジスタへアクセスすると RDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、RDRHL レジスタへのアクセスはしないでください。

1 フレーム分のデータを受信すると、受信データは RSR レジスタからこれらのレジスタへ転送されるため、RSR レジスタは次のデータを受信できるようになります。

RSR レジスタと RDRHL レジスタはダブルバッファとして機能するため、連続受信動作が可能になります。RDRHL レジスタの読み出しは、受信データフル割り込み（SCIn_RXI）要求が発生した場合にのみ行ってください。受信データを RDRHL から読み出す前に次の 1 フレーム分のデータを受け取ると、オーバーランエラーになります。CPU から RDRHL レジスタに書き込むことはできません。ビット [15:9] は 0 に固定されているため、読むと 0 が読めます。書く場合、0 としてください。

34.2.4 レシーブ FIFO データレジスタ H, L, HL（FRDRH, FRDRL, FRDRHL）

レシーブ FIFO データレジスタ H（FRDRH）

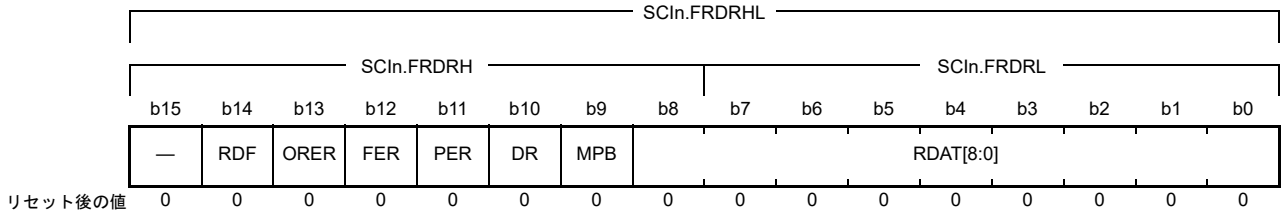
アドレス SCI0.FRDRH 4007 0010h, SCI1.FRDRH 4007 0030h, SCI2.FRDRH 4007 0050h, SCI3.FRDRH 4007 0070h, SCI4.FRDRH 4007 0090h, SCI5.FRDRH 4007 00B0h, SCI6.FRDRH 4007 00D0h, SCI7.FRDRH 4007 00F0h, SCI8.FRDRH 4007 0110h, SCI9.FRDRH 4007 0130h

レシーブ FIFO データレジスタ L（FRDRL）

アドレス SCI0.FRDRL 4007 0011h, SCI1.FRDRL 4007 0031h, SCI2.FRDRL 4007 0051h, SCI3.FRDRL 4007 0071h, SCI4.FRDRL 4007 0091h, SCI5.FRDRL 4007 00B1h, SCI6.FRDRL 4007 00D1h, SCI7.FRDRL 4007 00F1h, SCI8.FRDRL 4007 0111h, SCI9.FRDRL 4007 0131h

レシーブ FIFO データレジスタ HL（FRDRHL）

アドレス SCI0.FRDRHL 4007 0010h, SCI1.FRDRHL 4007 0030h, SCI2.FRDRHL 4007 0050h, SCI3.FRDRHL 4007 0070h, SCI4.FRDRHL 4007 0090h, SCI5.FRDRHL 4007 00B0h, SCI6.FRDRHL 4007 00D0h, SCI7.FRDRHL 4007 00F0h, SCI8.FRDRHL 4007 0110h, SCI9.FRDRHL 4007 0130h



ビット	シンボル	ビット名	機能	R/W
b8-b0	RDAT[8:0]	シリアル受信データ	調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO選択時にのみ有効です。シリアル受信データを格納します。	R
b9	MPB	マルチプロセッサビットフラグ	調歩同期式モードにおいて、SMR.MP = 1およびFIFO選択時にのみ有効です。 シリアル受信データ（RDAT[8:0]）のマルチプロセッサビットの値を格納します。 0：データ送信サイクル 1：ID送信サイクル	R
b10	DR	受信データレディフラグ	このフラグはSSR_FIFO.DRと同じです。 0：受信中であるか、または正常に受信を完了した後、FRDRHおよびFRDRLに受信データが残っていない 1：正常に受信を完了した後、次の受信データが一定期間来ない	R（注1）
b11	PER	パリティエラーフラグ	0：FRDRHおよびFRDRLの第1データにパリティエラーの発生なし 1：FRDRHおよびFRDRLの第1データにパリティエラーの発生あり	R
b12	FER	フレーミングエラーフラグ	0：FRDRHおよびFRDRLの第1データにフレーミングエラーの発生なし 1：FRDRHおよびFRDRLの第1データにフレーミングエラーの発生あり	R
b13	ORER	オーバーランエラーフラグ	このフラグはSSR_FIFO.ORERと同じです。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R（注1）
b14	RDF	レシーブFIFOデータフルフラグ	このフラグはSSR_FIFO.RDFと同じです。 0：FRDRHおよびFRDRLに書き込まれた受信データ数が指定された受信トリガ数より少ない 1：FRDRHおよびFRDRLに書き込まれた受信データ数が指定された受信トリガ数以上である	R（注1）
b15	—	予約ビット	読むと0が読めます。	R

注 1. このフラグを読むと、SSR_FIFO レジスタと同じ値が読み出されます。フラグをクリアする場合は、SSR_FIFO レジスタに 0 を書いてください。

FRDRHL レジスタは、FRDRL と FRDRH からなる 16 ビットのレジスタです。FRDRH と FRDRL は、ソフトウェアで読み出し可能なシリアル受信データと関連するステータス情報を格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

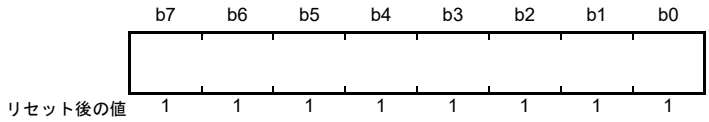
SCI は、受信データをレシーブシフトレジスタ（RSR）から FRDRH と FRDRL へ転送し格納することで、1 フレーム分のシリアルデータの受信動作を完了します。16 段が格納されるまで連続受信が実行されます。FRDRH と FRDRL に受信データが存在しない場合、データを読み出すと、その値は不定です。FRDRH と FRDRL がいっぱいになると、それ以降のシリアル受信データは失われます。CPU から FRDRH と FRDRL を読み出すことはできますが、書き込むことはできません。

FRDRH レジスタの RDF、ORER、または DR フラグから 1 を読むことは、SSR_FIFO レジスタの対応するビットを読むことと同等です。FRDRH レジスタの読み出し後、SSR_FIFO レジスタのフラグに 0 を書いてクリアする場合は、クリアするフラグにのみ 0 を書いて、他のフラグには 1 を書いてください。

FRDRH レジスタと FRDRL レジスタの両方を読み出す場合は、FRDRH から FRDRL の順に読んでください。FRDRHL レジスタは、16 ビット単位でアクセスが可能です。

34.2.5 送信データレジスタ（TDR）

アドレス SCI0.TDR 4007 0003h, SCI1.TDR 4007 0023h, SCI2.TDR 4007 0043h, SCI3.TDR 4007 0063h, SCI4.TDR 4007 0083h, SCI5.TDR 4007 00A3h, SCI6.TDR 4007 00C3h, SCI7.TDR 4007 00E3h, SCI8.TDR 4007 0103h, SCI9.TDR 4007 0123h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

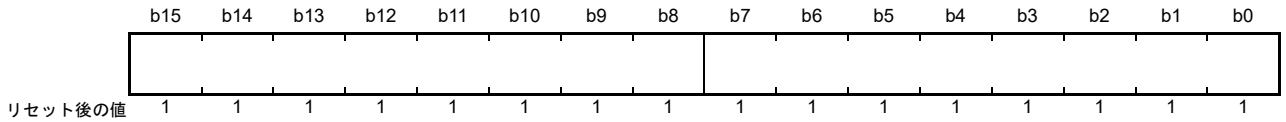
SCI は、TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データを TSR レジスタへ転送し、送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば、SCI はそれを TSR レジスタへ転送して送信を続けます。

CPU からいつでも TDR レジスタの読み出し／書き込みが可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み（SCIn_TXI）要求が発生するごとに 1 回だけ行ってください。

34.2.6 送信 9 ビットデータレジスタ（TDRHL）

アドレス SCI0.TDRHL 4007 000Eh, SCI1.TDRHL 4007 002Eh, SCI2.TDRHL 4007 004Eh, SCI3.TDRHL 4007 006Eh, SCI4.TDRHL 4007 008Eh, SCI5.TDRHL 4007 00AEh, SCI6.TDRHL 4007 00CEh, SCI7.TDRHL 4007 00EEh, SCI8.TDRHL 4007 010Eh, SCI9.TDRHL 4007 012Eh



TDRHL レジスタは、送信データを格納するための 16 ビットのレジスタです。調歩同期式モードおよび 9 ビットデータ長選択時に使用します。

TDRHL レジスタの下位 8 ビットは TDR レジスタのシャドーレジスタであるため、TDRHL レジスタへアクセスすると TDR レジスタに影響を与えます。7 ビットまたは 8 ビットのデータ長を選択した場合、TDRHL レジスタへのアクセスはしないでください。

TSR レジスタに空きが検出されると、TDRHL レジスタに書き込まれている送信データが TSR レジスタへ転送されて、送信が開始されます。

TSR レジスタと TDRHL レジスタはダブルバッファとして機能するため、連続送信動作が可能になります。1 フレーム分のデータを送信したとき、TDRHL レジスタに次の送信データが書き込まれていれば、TSR レジスタへ転送されて、送信動作が継続します。

CPU から TDRHL レジスタの読み出し／書き込みが可能です。TDRHL レジスタのビット [15:9] は 1 に固定されているため、読むと 1 が読めます。書く場合、1 としてください。

TDRHL レジスタへの送信データの書き込みは、送信データエンプティ割り込み（SCIn_TXI）要求が発生したときに 1 回だけ行ってください。

34.2.7 トランスミット FIFO データレジスタ H, L, HL（FTDRH, FTDRL, FTDRHL）

トランスミット FIFO データレジスタ H（FTDRH）

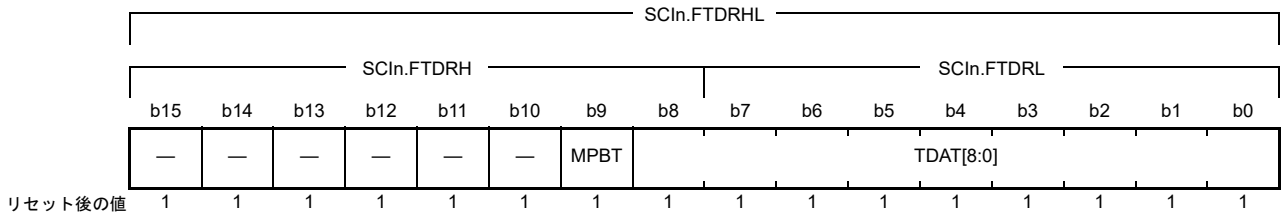
アドレス SCI0.FTDRH 4007 000Eh, SCI1.FTDRH 4007 002Eh, SCI2.FTDRH 4007 004Eh, SCI3.FTDRH 4007 006Eh, SCI4.FTDRH 4007 008Eh, SCI5.FTDRH 4007 00AEh, SCI6.FTDRH 4007 00CEh, SCI7.FTDRH 4007 00EEh, SCI8.FTDRH 4007 010Eh, SCI9.FTDRH 4007 012Eh

トランスミット FIFO データレジスタ L（FTDRL）

アドレス SCI0.FTDRL 4007 000Fh, SCI1.FTDRL 4007 002Fh, SCI2.FTDRL 4007 004Fh, SCI3.FTDRL 4007 006Fh, SCI4.FTDRL 4007 008Fh, SCI5.FTDRL 4007 00AFh, SCI6.FTDRL 4007 00CFh, SCI7.FTDRL 4007 00EFh, SCI8.FTDRL 4007 010Fh, SCI9.FTDRL 4007 012Fh

トランスミット FIFO データレジスタ HL（FTDRHL）

アドレス SCI0.FTDRHL 4007 000Eh, SCI1.FTDRHL 4007 002Eh, SCI2.FTDRHL 4007 004Eh, SCI3.FTDRHL 4007 006Eh, SCI4.FTDRHL 4007 008Eh, SCI5.FTDRHL 4007 00AEh, SCI6.FTDRHL 4007 00CEh, SCI7.FTDRHL 4007 00EEh, SCI8.FTDRHL 4007 010Eh, SCI9.FTDRHL 4007 012Eh



ビット	シンボル	ビット名	機能	R/W
b8-b0	TDAT[8:0]	シリアル送信データ	調歩同期式モード（マルチプロセッサモードを含む）およびクロック同期式モードにおいて、FIFO選択時にのみ有効です。 シリアル送信データを設定します。	W
b9	MPBT	マルチプロセッサ通信ビットフラグ	調歩同期式モードにおいて、SMR.MP = 1およびFIFO選択時にのみ有効です。 送信フレーム中のマルチプロセッサビットを設定します。 0：データ送信サイクル 1：ID送信サイクル	W
b15-b10	—	予約ビット	書く場合、1としてください。	W

FTDRHL レジスタは、FTDRH と FTDRL からなる 16 ビットのレジスタです。

FTDRH と FTDRL は、シリアル送信データとマルチプロセッサ通信ビットを格納するための 16 段の FIFO レジスタを構成します。このレジスタは、調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。

SCI は、トランスミットシフトレジスタ（TSR）に空きを検出すると、FTDRH と FTDRL に書き込まれた送信データを TSR に転送し、シリアル送信を開始します。FTDRH と FTDRL に送信データが残っていない状態になるまで、連続シリアル送信が実行されます。FTDR レジスタが送信データでいっぱいになると、次のデータを書き込むことはできません。新たに書き込みを試みても、そのデータは無視されます。CPU から FTDRH と FTDRL に書き込むことはできますが、読み出すことはできません。

FTDRH レジスタと FTDRL レジスタの両方に書き込む場合は、FTDRH から FTDRL の順に書いてください。

MPBT フラグ（マルチプロセッサ通信ビットフラグ）

MPBT フラグは、送信フレームのマルチプロセッサビットを選択します。FCR.FM = 1 の場合、SSR.MPBT ビットは無効です。

34.2.8 トランスミットシフトレジスタ（TSR）

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。シリアルデータ送信を行う場合、SCI は最初、TDR、TDRHL、またはトランスミット FIFO から TSR レジスタへ送信データを自動転送し、その後、そのデータを TXDn 端子に送出します。CPU から TSR レジスタに直接アクセスすることはできません。

34.2.9 非スマートカードインタフェースモード用シリアルモードレジスタ（SMR）（SCMR.SMIF = 0）

アドレス SCI0.SMR 4007 0000h, SCI1.SMR 4007 0020h, SCI2.SMR 4007 0040h, SCI3.SMR 4007 0060h, SCI4.SMR 4007 0080h, SCI5.SMR 4007 00A0h, SCI6.SMR 4007 00C0h, SCI7.SMR 4007 00E0h, SCI8.SMR 4007 0100h, SCI9.SMR 4007 0120h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0：PCLKAクロック（n = 0）（注1） 0 1：PCLKA/4クロック（n = 1）（注1） 1 0：PCLKA/16クロック（n = 2）（注1） 1 1：PCLKA/64クロック（n = 3）（注1）	R/W（注4）
b2	MP	マルチプロセッサモード	調歩同期式モードでのみ有効です。 0：マルチプロセッサ通信機能は無効 1：マルチプロセッサ通信機能は有効	R/W（注4）
b3	STOP	ストップビット長	調歩同期式モードでのみ有効です。 0：1ストップビット 1：2ストップビット	R/W（注4）
b4	PM	パリティモード	PEビット = 1の場合にのみ有効です。 0：偶数パリティ 1：奇数パリティ	R/W（注4）
b5	PE	パリティ許可	調歩同期式モードでのみ有効です。 • 送信時 0：パリティビットを付加しない 1：パリティビットを付加する • 受信時 0：パリティビットをチェックしない 1：パリティビットをチェックする	R/W（注4）
b6	CHR	キャラクタ長	調歩同期式モードでのみ有効です。（注2） SCMR.CHR1ビットと組み合わせて選択されます。 CHR1 CHR 0 0：9ビットデータで送受信 0 1：9ビットデータで送受信 1 0：8ビットデータで送受信（初期値） 1 1：7ビットデータで送受信（注3）	R/W（注4）
b7	CM	通信モード	0：調歩同期式モード、または簡易IICモード 1：クロック同期式モード、または簡易SPIモード	R/W（注4）

注 1. n は BRR の設定値を 10 進表記で示します。34.2.17 ビットレートレジスタ（BRR）を参照してください。
注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は 8 ビット固定です。
注 3. LSB ファースト固定となり、送信モードでは TDR レジスタの MSB（ビット 7）は送信されません。
注 4. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SMR レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0] ビット（クロック選択）

CKS[1:0] ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、34.2.17　ビットレートレジスタ（BRR）を参照してください。

MP ビット（マルチプロセッサモード）

MP ビットは、マルチプロセッサ通信機能を有効または無効にします。マルチプロセッサモードでは、PE および PM ビットの設定は無効です。

STOP ビット（ストップビット長）

STOP ビットは、送信データのストップビット長を選択します。受信時には、このビットの設定にかかわらず、受信したストップビットの 1 ビット目のみがチェックされます。2 ビット目が 0 の場合は、次の送信フレームのスタートビットとみなされます。

PM ビット（パリティモード）

PM ビットは、送受信時のパリティ（偶数パリティ／奇数パリティ）を選択します。マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティ許可）

PE ビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットでは、PE ビットの設定にかかわらず、パリティビットの付加、チェックは行いません。

CHR ビット（キャラクタ長）

CHR ビットは、SCMR.CHR1 ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

CM ビット（通信モード）

CM ビットは、通信モードを以下から選択します。

- 調歩同期式モード、または簡易 IIC モード
- クロック同期式モード、または簡易 SPI モード

34.2.10 スマートカードインタフェースモード用シリアルモードレジスタ（SMR_SMCI）（SCMR.SMIF = 1）

アドレス SCI0.SMR_SMCI 4007 0000h, SCI1.SMR_SMCI 4007 0020h, SCI2.SMR_SMCI 4007 0040h, SCI3.SMR_SMCI 4007 0060h, SCI4.SMR_SMCI 4007 0080h, SCI5.SMR_SMCI 4007 00A0h, SCI6.SMR_SMCI 4007 00C0h, SCI7.SMR_SMCI 4007 00E0h, SCI8.SMR_SMCI 4007 0100h, SCI9.SMR_SMCI 4007 0120h

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択	b1 b0 0 0：PCLKAクロック（n = 0）（注1） 0 1：PCLKA/4クロック（n = 1）（注1） 1 0：PCLKA/16クロック（n = 2）（注1） 1 1：PCLKA/64クロック（n = 3）（注1）	R/W（注2）
b3-b2	BCP[1:0]	基本クロックパルス	SCMR.BCP2ビットと組み合わせて基本クロックのサイクル数を選択します。表 34.3に、SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W（注2）
b4	PM	パリティモード	PEビット = 1の場合にのみ有効です。 0：偶数パリティ 1：奇数パリティ	R/W（注2）
b5	PE	パリティ許可	PEビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、このビットを1にしてください。	R/W（注2）
b6	BLK	ブロック転送モード	0：非ブロック転送モードで動作 1：ブロック転送モードで動作	R/W（注2）
b7	GM	GSMモード	0：非GSMモードで動作 1：GSMモードで動作	R/W（注2）

注 1. n は BRR の設定値を 10 進表記で示します。34.2.17 ビットレートレジスタ（BRR）を参照してください。
注 2. SCR_SMCI.TE ビットと SCR_SMCI.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SMR_SMCI レジスタは、通信フォーマットと、内蔵ボーレートジェネレータのクロックソースを設定するためのレジスタです。

CKS[1:0] ビット（クロック選択）

CKS[1:0] ビットは、内蔵ボーレートジェネレータのクロックソースを選択します。これらのビットの設定値とボーレートの関係については、34.2.17 ビットレートレジスタ（BRR）を参照してください。

BCP[1:0] ビット（基本クロックパルス）

BCP[1:0] ビットは、スマートカードインタフェースモードにおいて、1 ビット転送時間中の基本クロックのサイクル数を選択します。SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、34.6.4 受信データのサンプリングタイミングと受信マージンを参照してください。

表 34.3 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット	1 ビット転送時間中の基本クロックのサイクル数
0	00	93 クロック（S = 93）（注 1）
0	01	128 クロック（S = 128）（注 1）
0	10	186 クロック（S = 186）（注 1）
0	11	512 クロック（S = 512）（注 1）
1	00	32 クロック（S = 32）（注 1）（初期値）
1	01	64 クロック（S = 64）（注 1）
1	10	372 クロック（S = 372）（注 1）
1	11	256 クロック（S = 256）（注 1）

注 1. S は BRR レジスタの S の値を表します。34.2.17 ビットレートレジスタ（BRR）を参照してください。

PM ビット（パリティモード）

PM ビットは、送受信時のパリティモード（偶数パリティ／奇数パリティ）を選択します。スマートカードインタフェースモードにおけるこのビットの使用方法については、34.6.2 データフォーマット（ブロック転送モード時を除く）を参照してください。

PE ビット（パリティ許可）

PE ビットは 1 にしてください。送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット（ブロック転送モード）

BLK ビットを 1 にすると、ブロック転送モードで動作します。詳細は、34.6.3 ブロック転送モードを参照してください。

GM ビット（GSM モード）

GM ビットを 1 にすると、GSM モードで動作します。GSM モードでは、SSR_SMCI.TEND フラグのセットタイミングが、先頭から 11.0ETU（ETU：Elementary Time Unit = 1 ビット転送時間）に繰り上げられ、クロック出力制御が追加されます。詳細は、34.6.6 シリアルデータの送信（ブロック転送モード時を除く）および 34.6.8 クロック出力制御を参照してください。

34.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ（SCR）（SCMR.SMIF = 0）

アドレス SCI0.SCR 4007 0002h, SCI1.SCR 4007 0022h, SCI2.SCR 4007 0042h, SCI3.SCR 4007 0062h, SCI4.SCR 4007 0082h, SCI5.SCR 4007 00A2h, SCI6.SCR 4007 00C2h, SCI7.SCR 4007 00E2h, SCI8.SCR 4007 0102h, SCI9.SCR 4007 0122h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	• 調歩同期式モード b1 b0 0 0：内蔵ボーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します。 1 x：外部クロック SEMR.ABCSビットが0の場合、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが1の場合、8倍の周波数のクロックを入力してください。 • クロック同期式モード b1 b0 0 x：内部クロック SCKn端子はクロック出力端子となります。 1 x：外部クロック SCKn端子はクロック入力端子となります。	R/W （注1）
b2	TEIE	送信終了割り込み許可	0：SCIn_TEI割り込み要求を禁止 1：SCIn_TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサ割り込み許可	調歩同期式モードで、SMR.MPビット = 1のとき有効です。 0：非マルチプロセッサの受信動作 1：マルチプロセッサビットが0のデータを受信した場合、そのデータは読み飛ばし、SSRレジスタのRDRF、ORERおよびFERステータスフラグを1にすることはできない。マルチプロセッサビットが1のデータを受信した場合、MPIEビットは自動的に0にクリアされ、非マルチプロセッサの受信動作に戻る	R/W （注3）
b4	RE	受信許可	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注2）
b5	TE	送信許可	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注2）
b6	RIE	受信割り込み許可	0：SCIn_RXIおよびSCIn_ERI割り込み要求を禁止 1：SCIn_RXIおよびSCIn_ERI割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0：SCIn_TXI割り込み要求を禁止 1：SCIn_TXI割り込み要求を許可	R/W

x：Don’t care

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

注 2. SMR.CM ビットが 1 のとき、TE ビット = 0 かつ RE ビット = 0 の場合にのみ 1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。SMR.CM ビットが 0、かつ SIMR1.IICM ビットが 0 のとき、任意のタイミングで書き込みが可能です。

注 3. マルチプロセッサモード（SMR.MP ビット = 1）では、このレジスタの MPIE ビット以外のビットに新しい値を書き込む場合、ビット操作命令を用いたときにリードモディファイライト命令によって MPIE ビットが誤って 1 になってしまうのを防ぐため、ストア命令を用いて MPIE ビットに 0 を書いてください。

SCR レジスタは、送受信の制御とクロックソース選択を行うためのレジスタです。

CKE[1:0] ビット（クロック許可）

CKE[1:0] ビットは、クロックソースと SCKn 端子機能を選択します。

TEIE ビット（送信終了割り込み許可）

TEIE ビットは、SCIn_TEI 割り込み要求を許可または禁止します。この割り込みを禁止にするには、このビットを 0 にしてください。

簡易 IIC モードでは、開始／再開始／停止条件の発行完了時の割り込み（STIn 割り込み）に SCIn_TEI 割り込みが割り当てられます。この場合、TEIE ビットによって STI 割り込み要求を許可／禁止することが可能です。

MPIE ビット（マルチプロセッサ割り込み許可）

MPIE ビットを 1 にすると、マルチプロセッサビットが 0 のデータを受信した場合、そのデータは読み飛ばされて、SSR/SSR_FIFO レジスタの RDRF、RDF、ORER および FER の各ステータスフラグを 1 にすることはできません。マルチプロセッサビットが 1 のデータを受信した場合、MPIE ビットは自動的に 0 にクリアされ、非マルチプロセッサの受信動作に戻ります。詳細は、34.4　マルチプロセッサ通信機能を参照してください。

SSR.MPB ビットが 0 であると、RSR レジスタから RDR レジスタへ受信データは転送されず、受信エラーも検出されません。また、ORER および FER フラグを 1 にすることができません。

MPB ビットが 1 であると、MPIE ビットは自動的に 0 にクリアされ、SCIn_RXI および SCIn_ERI 割り込み要求が許可されます（SCR.RIE ビットが 1 の場合）。また、ORER および FER フラグを 1 に設定できます。

マルチプロセッサ通信機能を使用しない場合、MPIE ビットを 0 にしてください。

RE ビット（受信許可）

RE ビットは、シリアル受信動作を許可または禁止します。このビットを 1 にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を検出することで、シリアル受信が開始されます。RE ビットを 1 にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

非 FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR レジスタの RDRF、ORER、FER、PER の各フラグは影響を受けず、以前の値が保持されます。FIFO 選択時は、RE ビットを 0 にして受信動作を停止させても、SSR_FIFO レジスタの RDF、ORER、FER、PER、DR の各フラグは影響を受けず、以前の値が保持されます。

TE ビット（送信許可）

TE ビットは、シリアル送信動作を許可または禁止します。

このビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信が開始されます。TE ビットを 1 にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（受信割り込み許可）

RIE ビットは、SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。

RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。

SCIn_ERI 割り込み要求の解除は、SSR/SSR_FIFO レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット（送信割り込み許可）

TIE ビットは、SCIn_TXI 割り込み要求を許可または禁止します。

TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。TE ビットが 1 のときに、このビットを 1 にしてください。転送が開始する前に TE ビットと TIE ビットを同時に 1 に設定してください。その後、SCIn_TXI 割り込みが発生します。

34.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ（SCR_SMCI）（SCMR.SMIF = 1）

アドレス SCI0.SCR_SMCI 4007 0002h, SCI1.SCR_SMCI 4007 0022h, SCI2.SCR_SMCI 4007 0042h, SCI3.SCR_SMCI 4007 0062h, SCI4.SCR_SMCI 4007 0082h, SCI5.SCR_SMCI 4007 00A2h, SCI6.SCR_SMCI 4007 00C2h, SCI7.SCR_SMCI 4007 00E2h, SCI8.SCR_SMCI 4007 0102h, SCI9.SCR_SMCI 4007 0122h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロック許可	• SMR_SMCI.GM ビット = 0 の場合 b1 b0 0 0 : 出力禁止 （SCKn 端子は、I/O ポートの設定でセットアップすれば、入出力ポートとして使用可能です 0 1 : クロックを出力 1 x : 設定禁止 • SMR_SMCI.GM ビット = 1 の場合 b1 b0 0 0 : 出力を Low に固定 x 1 : クロックを出力 1 0 : 出力を High に固定	R/W （注 1）
b2	TEIE	送信終了割り込み許可	スマートカードインタフェースモードでは、このビットを 0 にしてください。	R/W
b3	MPIE	マルチプロセッサ割り込み許可	スマートカードインタフェースモードでは、このビットを 0 にしてください。	R/W
b4	RE	受信許可	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W （注 2）
b5	TE	送信許可	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W （注 2）
b6	RIE	受信割り込み許可	0 : SCIn_RXI および SCIn_ERI 割り込み要求を禁止 1 : SCIn_RXI および SCIn_ERI 割り込み要求を許可	R/W
b7	TIE	送信割り込み許可	0 : SCIn_TXI 割り込み要求を禁止 1 : SCIn_TXI 割り込み要求を許可	R/W

x : Don’t care

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。
注 2. TE ビット = 0 かつ RE ビット = 0 の場合にのみ 1 の書き込みが可能です。TE ビットまたは RE ビットを 1 にした後は、TE ビットと RE ビットには 0 の書き込みのみが可能です。

SCR_SMCI レジスタは、送信制御、割り込みの制御と受信、および送受信のクロックソース選択を行うためのレジスタです。

各割り込み要求については、34.10 割り込み要因を参照してください。

CKE[1:0] ビット（クロック許可）

CKE[1:0] ビットは、SCKn 端子からのクロック出力を制御します。GSM モードでは、クロック出力を動的に切り替えることが可能です。詳細は、34.6.8 クロック出力制御を参照してください。

TEIE ビット（送信終了割り込み許可）

スマートカードインタフェースモードでは、TEIE ビットを 0 にしてください。

RE ビット（受信許可）

RE ビットは、シリアル受信動作を許可または禁止します。このビットを 1 にすると、スタートビットを検出することでシリアル受信が開始されます。RE ビットを 1 にする前に SMR_SMCI レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを 0 にして受信動作を停止しても、SSR_SMCI レジスタの ORER、FER、PER の各フラグは影響を受けず、以前の値を保持します。

TE ビット（送信許可）

TE ビットは、シリアル送信動作を許可または禁止します。このビットを 1 にすると、TDR レジスタに送信データを書き込むことでシリアル送信が開始されます。TE ビットを 1 にする前に SMR_SMCI レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（受信割り込み許可）

RIE ビットは、SCIn_RXI および SCIn_ERI 割り込み要求を許可または禁止します。RIE ビットを 0 にすると、SCIn_RXI および SCIn_ERI 割り込み要求が禁止されます。SCIn_ERI 割り込み要求の解除は、SSR_SMCI レジスタの ORER、FER、または PER フラグから 1 を読み出した後に 0 にするか、RIE ビットを 0 にすることで行うことができます。

TIE ビット（送信割り込み許可）

TIE ビットは、SCIn_TXI 割り込み要求を許可または禁止します。TIE ビットを 0 にすると、SCIn_TXI 割り込み要求が禁止されます。転送が開始する前に TE ビットと TIE ビットを同時に 1 に設定してください。その後、SCIn_TXI 割り込みが発生します。

34.2.13 非スマートカードインタフェースおよび非 FIFO モード用シリアルステータスレジスタ（SSR）（SCMR.SMIF = 0 および FCR.FM = 0）

アドレス SCI0.SSR 4007 0004h, SCI1.SSR 4007 0024h, SCI2.SSR 4007 0044h, SCI3.SSR_FIFO 4007 0064h, SCI4.SSR 4007 0084h, SCI5.SSR 4007 00A4h, SCI6.SSR 4007 00C4h, SCI7.SSR 4007 00E4h, SCI8.SSR 4007 0104h, SCI9.SSR 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	送信フレームに付加するマルチプロセッサビットを設定します。 0：データ送信サイクル 1：ID送信サイクル	R/W
b1	MPB	マルチプロセッサ	受信フレーム中のマルチプロセッサビットの値 0：データ送信サイクル 1：ID送信サイクル	R
b2	TEND	送信終了フラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W)（注1）
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W)（注1）
b5	ORER	オーバーランエラーフラグ	0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R/(W)（注1）
b6	RDRF	受信データフルフラグ	0：RDR レジスタに受信データなし 1：RDR レジスタに受信データあり	R/(W)（注1）
b7	TDRE	送信データエンプティフラグ	0：TDR レジスタに送信データあり 1：TDR レジスタに送信データなし	R/(W)（注1）

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR レジスタは、SCI ステータスフラグと送受信マルチプロセッサビットを設定するためのレジスタです。

MPBT ビット（マルチプロセッサビット転送）

MPBT ビットは、送信フレームのマルチプロセッサビットを選択します。

MPB ビット（マルチプロセッサ）

MPB ビットは、受信フレーム中のマルチプロセッサビットの値を格納します。SCR.RE ビットが 0 のときは変化しません。

TEND フラグ（送信終了フラグ）

TEND フラグは、送信が終了したことを示します。

[1 になる条件]

- SCR.TE ビットが 0（シリアル送信動作を禁止）、かつ FCR.FM ビットが 0（非 FIFO 選択時）のとき

  SCR.TE ビットが 1 のときは、TEND フラグは影響を受けず、1 の値を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されないとき

[0 になる条件]

- SCR.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ（パリティエラーフラグ）

PER フラグは、調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。

［1 になる条件］

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効（DCCR.DCME = 0）の状態で、パリティエラーが検出されたとき

  パリティエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。PER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

  0 を書いた後は、PER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、PER フラグは影響を受けず、以前の値を保持します。

FER フラグ（フレーミングエラーフラグ）

FER フラグは、調歩同期式モードでの受信時に、フレーミングエラーが発生して異常終了したことを示します。

［1 になる条件］

- 調歩同期式モードでの受信時に、アドレス一致検出機能が無効（DCCR.DCME = 0）の状態で、ストップビットとして 0 がサンプリングされたとき

  2 ストップビットモードでは、ストップビットの 1 ビット目のみが 1 であるかチェックされ、2 ビット目はチェックされません。フレーミングエラーが発生したときの受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。さらに、FER フラグが 1 の状態では、以降の受信データは RDR レジスタへ転送されません。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

  0 を書いた後は、FER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 にしても、FER フラグは影響を受けず、以前の値を保持します。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、受信時にオーバーランエラーが発生して異常終了したことを示します。

［1 になる条件］

- RDR レジスタからパリティエラーおよびフレーミングエラーのない受信データを読み出す前に次のデータを受信したとき

  RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。クロック同期式モードでは、シリアル送受信は停止します。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

  0 を書いた後は、ORER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR.RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ（受信データフルフラグ）

RDRF フラグは、RDR レジスタ内の受信データの有無を示します。

［1 になる条件］

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読み出したとき

注 . 通信が中断しない限り、SSR レジスタの RDRF ビットにアクセスすることによって RDRF フラグをクリアしないでください。

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは、TDR レジスタ内の送信データの有無を示します。

［1 になる条件］

- SCR.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- SCR.TE = 1 の場合、TDR レジスタに書き込みをしたとき

注 . 通信が中断しない限り、SSR レジスタの TDRE ビットにアクセスすることによって TDRE フラグをクリアしないでください。

34.2.14 非スマートカードインタフェースおよびFIFOモード用シリアルステータスレジスタ（SSR_FIFO）（SCMR.SMIF = 0 および FCR.FM = 1）

アドレス SCI0.SSR_FIFO 4007 0004h, SCI1.SSR_FIFO 4007 0024h, SCI2.SSR_FIFO 4007 0044h, SCI3.SSR_FIFO 4007 0064h, SCI4.SSR_FIFO 4007 0084h, SCI5.SSR_FIFO 4007 00A4h, SCI6.SSR_FIFO 4007 00C4h, SCI7.SSR_FIFO 4007 00E4h, SCI8.SSR_FIFO 4007 0104h, SCI9.SSR_FIFO 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDFE	RDF	ORER	FER	PER	TEND	—	DR
リセット後の値	1	0	0	0	0	0	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	DR	受信データレディフラグ	0：受信中であるか、または正常に受信を完了した後、FRDRHLに受信データが残っていない（レシーブFIFOが空である） 1：FIFOに格納されているデータ数が受信トリガ数以下であるとき、正常に受信を完了した後、次の受信データが一定期間来ない	R/(W)（注1）
b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R/W
b2	TEND	送信終了フラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R/(W)（注1）
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W)（注1）
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W)（注1）
b5	ORER	オーバーランエラーフラグ	0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R/(W)（注1）
b6	RDF	レシーブFIFOデータフルフラグ	0：FRDRHLに書き込まれた受信データ数が指定された受信トリガ数より少ない 1：FRDRHLに書き込まれた受信データ数が指定された受信トリガ数以上である	R/(W)（注1）
b7	TDFE	トランスミットFIFOデータエンプティフラグ	0：FTDRHLに書き込まれた送信データ数が指定された送信トリガ数を超えている 1：FTDRHLに書き込まれた送信データ数が指定された送信トリガ数以下である	R/(W)（注1）

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_FIFO レジスタは、FIFO モード用のステータスフラグのためのレジスタです。

DR フラグ（受信データレディフラグ）

DR フラグは、レシーブ FIFO データレジスタ（FRDRHL）に格納されたデータ数が指定された受信トリガ数より少ないこと、および、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていないことを示します。このフラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ有効です。

クロック同期式モードでは、このフラグは 1 になりません。

[1 になる条件]

- FRDRHL 内のデータ数が指定された受信トリガ数より少なく、最後のストップビットから 15ETU（注 1）経過しても次のデータが受信されておらず、かつ SSR_FIFO.FER および SSR_FIFO.PER フラグが 0 のとき

[0 になる条件]

- 受信データをすべて読み出した後、DR フラグから 1 を読んで、次に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

注 1. ETU は Element Time Unit（基本時間単位）を表します。15ETU は、8 ビットフォーマットで 1 ストップビットが選択されている場合の 1.5 フレーム分に相当します。
DR フラグは、調歩同期式モード（マルチプロセッサモードを含む）において、FIFO 選択時にのみ 1 になります。他の動作モードでは 1 になりません。

TEND フラグ（送信終了フラグ）

TEND フラグは、シリアルキャラクタの最後尾ビットの送信時に、FTDRHL レジスタに有効なデータがなく、送信が停止したことを示します。

［1 になる条件］

- 1 バイトのシリアル送信キャラクタの最後尾ビット送信時に、FTDRHL レジスタに送信データがないとき

［0 になる条件］

- SCR.TE ビットが 1 の状態で、FTDRHL レジスタに送信データを書いたとき
- SCR.TE ビットが 1 の状態で、TEND から 1 を読んだ後、TEND に 0 を書いたとき
- FCR.FM ビットが 0 から 1 に切り替わったとき

PER フラグ（パリティエラーフラグ）

PER フラグは、調歩同期式モードで、アドレス一致検出機能が無効（DCCR.DCME = 0）のとき、FRDRHL レジスタから読み出したデータにパリティエラーが存在するか否かを示します。

［1 になる条件］

- アドレス一致検出機能が無効（DCCR.DCME = 0）の状態で、1 データ受信時にパリティエラーが検出されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

データ受信中にパリティエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0 にクリアした場合、PER フラグは影響を受けず、以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

FER フラグは、調歩同期式モードで、アドレス一致検出機能が無効（DCCR.DCME = 0）のとき、レシーブ FIFO データレジスタ（FRDRHL）から読み出したデータにフレーミングエラーが存在するか否かを示します。

［1 になる条件］

- アドレス一致検出機能が無効（DCCR.DCME = 0）の状態で、受信時にストップビットとして 0 がサンプリングされたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

データ受信中にフレーミングエラーが発生しても、受信動作は継続し、受信データが FRDRHL レジスタに格納されます。

SCR.RE ビットを 0 にクリアした場合、FER フラグは影響を受けず、以前の状態を保持します。

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、オーバーランエラーの発生が原因で受信動作が異常停止したことを示します。

［1 になる条件］

- レシーブ FIFO が 16 バイトの受信データでいっぱいになった状態で、次のシリアル受信を完了したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ（SCR）の RE ビットを 0 にしても、ORER フラグは影響を受けず、以前の状態を保持します。

RDF フラグ（レシーブ FIFO データフルフラグ）

RDF フラグは、受信データが FRDRHL レジスタへ転送されて、FRDRHL 内のデータ数が指定された受信トリガ数を超えたことを示します。RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。

［1 になる条件］

- 指定された受信トリガ数以上の受信データ数が FRDRHL レジスタ（注 1）に格納され、かつ FIFO が空状態でないとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- FRDRHL レジスタが DMAC または DTC によって読み出されたとき（ブロック転送が最終送信の場合のみ）
- 1 となる条件と 0 となる条件が同時に発生したとき

  この場合、RDF フラグは 0 になります。その後、FRDRHL レジスタに格納されたデータ数が RTRG の値以上になると、1PCLKA 後に RDF フラグは 1 になります。

注 1. FRDRHL は 16 段の FIFO レジスタであるため、RDF が 1 のときに読み出し可能な最大のデータ数は、指定された受信トリガ数と同等です。FRDRHL 内のデータをすべて読み出した後に、さらに読み出しを実行すると、不定値が読み出されます。

注 . 通信が中断しない限り、受信データを読み出す前に SSR レジスタの RDF ビットにアクセスすることによって RDF フラグをクリアしないでください。

TDFE フラグ（トランスミット FIFO データエンプティフラグ）

TDFE フラグは、データがトランスミット FIFO データレジスタ（FTDRHL）からトランスミットシフトレジスタ（TSR）へ転送されて、FTDRHL 内のデータ数が指定された送信トリガ数を下回り、FTDRHL への送信データの書き込みが可能になったことを示します。

［1 になる条件］

- SCR.TE ビットが 0 のとき
- FTDRHL に書き込まれた送信データ数が、指定された送信トリガ数以下であるとき（注 1）

［0 になる条件］

- DTC または DMAC が起動している状態で、最終送信に対する FTDRHL への書き込みが実行されたとき
- 1 を読んだ後、0 を書いたとき
  TE = 0 のときは、1 になる条件が優先されます。1 になる条件と 0 になる条件が同時に発生した場合、TDFE フラグは 0 になります。その後、FTDRHL レジスタに格納されたデータ数が TTRG の値以下になると、1PCLKA 後に TDFE フラグは 1 になります。

注 1. FTDRHL レジスタは 16 段の FIFO レジスタであるため、TDFE フラグが 1 のときに書き込み可能な最大のデータ数は “16 - FDR.T[4:0]” で示されます。さらにデータを書き込んでも、そのデータは破棄されます。

注 . 通信が中断しない限り、送信データを書き込む前に SSR レジスタの TDFE ビットにアクセスすることによって TDFE フラグをクリアしないでください。

34.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ（SSR_SMCI）（SCMR.SMIF = 1）

アドレス SCI0.SSR_SMCI 4007 0004h, SCI1.SSR_SMCI 4007 0024h, SCI2.SSR_SMCI 4007 0044h, SCI3.SSR_SMCI 4007 0064h, SCI4.SSR_SMCI 4007 0084h, SCI5.SSR_SMCI 4007 00A4h, SCI6.SSR_SMCI 4007 00C4h, SCI7.SSR_SMCI 4007 00E4h, SCI8.SSR_SMCI 4007 0104h, SCI9.SSR_SMCI 4007 0124h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット転送	スマートカードインタフェースモードでは、このビットを 0にしてください。	R/W
b1	MPB	マルチプロセッサ	スマートカードインタフェースモードでは、このビットを 0にしてください。	R
b2	TEND	送信終了フラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W)（注1）
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W)（注1）
b5	ORER	オーバーランエラーフラグ	0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R/(W)（注1）
b6	RDRF	受信データフルフラグ	0：RDR レジスタに受信データなし 1：RDR レジスタに受信データあり	R/(W)（注1）
b7	TDRE	送信データエンプティフラグ	0：TDR レジスタに送信データあり 1：TDR レジスタに送信データなし	R/(W)（注1）

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

SSR_SMCI レジスタは、スマートカードインタフェースモード用のステータスフラグのためのレジスタです。

TEND フラグ（送信終了フラグ）

受信側からエラー信号がなく、次の送信データが TDR レジスタに転送可能となったとき、TEND フラグは 1 になります。

［1 になる条件］

- SCR_SMCI.TE ビット = 0（シリアル送信動作を禁止）のとき

  SCR_SMCI.TE ビットを 0 から 1 に変更しても、TEND フラグは影響を受けず、1 の値を保持します。
- 1 バイトのデータ送信時から指定した期間が経過した後、ERS フラグが 0 になり、かつ TDR レジスタが更新されないとき

  1 になるタイミングは、以下のように、レジスタの設定値によって決定されます。
  - SMR_SMCI.GM = 0、SMR_SMCI.BLK = 0 のとき、送信開始から 12.5ETU 経過後
  - SMR_SMCI.GM = 0、SMR_SMCI.BLK = 1 のとき、送信開始から 11.5ETU 経過後

- SMR_SMCI.GM = 1、SMR_SMCI.BLK = 0 のとき、送信開始から 11.0ETU 経過後
- SMR_SMCI.GM = 1、SMR_SMCI.BLK = 1 のとき、送信開始から 11.0ETU 経過後

［0 になる条件］

- SCR_SMCI.TE ビットが 1 の状態で、TDR レジスタに送信データを書いたとき
- SCR_SMCI.TE ビットが 1 の状態で、TDRE = 1 を読んだ後、TDRE に 0 を書いたとき

PER フラグ（パリティエラーフラグ）

PER フラグは、調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。

［1 になる条件］

- 受信中にパリティエラーが検出されたとき

  パリティエラーが発生した場合、受信データは RDR レジスタへ転送されますが、SCIn_RXI 割り込み要求は発生しません。PER フラグが 1 になった後は、以降の受信データは RDR レジスタへ転送されません。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

  0 を書いた後は、PER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0（シリアル受信動作を禁止）にした場合、PER フラグは影響を受けず、以前の値を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

［1 になる条件］

- エラーシグナル Low をサンプリングしたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

ORER フラグ（オーバーランエラーフラグ）

ORER フラグは、受信中にオーバーランエラーが発生して異常終了したことを示します。

［1 になる条件］

- RDR レジスタからパリティエラーのない受信データを読み出す前に、次のデータを受信したとき

  RDR レジスタは、オーバーランエラーが発生する前の受信データを保持しますが、発生後に受信したデータは失われます。ORER フラグが 1 の状態では、受信データは RDR レジスタへ転送されません。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

  0 を書いた後は、ORER ビットを読み出して、実際に 0 になっていることを確認してください。

SCR_SMCI.RE ビットを 0 にした場合、ORER フラグは影響を受けず、以前の値を保持します。

RDRF フラグ（受信データフルフラグ）

RDRF フラグは、RDR レジスタ内の受信データの有無を示します。

［1 になる条件］

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- RDR レジスタからデータを読んだとき

注 . 通信が中断しない限り、SSR レジスタの RDRF ビットにアクセスすることによって RDRF フラグをクリアしないでください。

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは、TDR レジスタ内の送信データの有無を示します。

［1 になる条件］

- SCR_SMCI.TE ビットが 0 のとき
- TDR レジスタから TSR レジスタへデータが転送されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- SCR_SMCI.TE = 1 の場合、TDR レジスタに書き込みをしたとき

注 . 通信が中断しない限り、SSR レジスタの TDRE ビットにアクセスすることによって TDRE フラグをクリアしないでください。

34.2.16 スマートカードモードレジスタ（SCMR）

アドレス SCI0.SCMR 4007 0006h, SCI1.SCMR 4007 0026h, SCI2.SCMR 4007 0046h, SCI3.SCMR 4007 0066h, SCI4.SCMR 4007 0086h, SCI5.SCMR 4007 00A6h, SCI6.SCMR 4007 00C6h, SCI7.SCMR 4007 00E6h, SCI8.SCMR 4007 0106h, SCI9.SCMR 4007 0126h

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	CHR1	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモード選択	0：非スマートカードインタフェースモード（調歩同期式モード、クロック同期式モード、簡易SPIモード、または簡易IICモード） 1：スマートカードインタフェースモード	R/W（注1）
b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b2	SINV	送受信データ反転	0：TDRレジスタの内容をそのまま送信。受信データをそのままRDRレジスタに格納 1：TDRレジスタの内容を反転して送信。受信データを反転してRDRレジスタに格納 このビットは以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード（マルチプロセッサモード） • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを0にしてください。	R/W（注1）
b3	SDIR	送受信データ転送方向	0：LSBファースト転送 1：MSBファースト転送 このビットは以下のモードで使用可能です。 • スマートカードインタフェースモード • 調歩同期式モード（マルチプロセッサモード） • クロック同期式モード • 簡易SPIモード 簡易IICモードで動作させる場合は、このビットを1にしてください。	R/W（注1）
b4	CHR1	キャラクタ長1	調歩同期式モードでのみ有効です。（注2） SMR.CHRビットと組み合わせて選択されます。 CHR1 CHR 0 0：9ビットデータで送受信 0 1：9ビットデータで送受信 1 0：8ビットデータで送受信（初期値） 1 1：7ビットデータで送受信（注3）	R/W（注1）
b6-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b7	BCP2	基本クロックパルス2	SMR_SMCI.BCP[1:0]ビットと組み合わせて基本クロックのサイクル数を選択します。 表 34.4に、SCMR.BCP2ビットとSMR_SMCI.BCP[1:0]ビットの組み合わせを示します。	R/W（注1）

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作および受信動作を禁止）の場合にのみ書き込み可能です。
注 2. 調歩同期式モード以外では、このビットの設定は無効であり、データ長は 8 ビット固定となります。
注 3. LSB ファーストを選択する必要があります。TDR レジスタの MSB（ビット 7）の値は送信されません。

SCMR レジスタは、スマートカードインタフェースと通信フォーマットを選択するためのレジスタです。

SMIF ビット（スマートカードインタフェースモード選択）

SMIF ビットを 1 にすると、スマートカードインタフェースモードが選択されます。このビットを 0 にすると、下記のすべてのモードが選択されます。

- 調歩同期式モード（マルチプロセッサモードを含む）
- クロック同期式モード
- 簡易 SPI モード
- 簡易 IIC モード

SINV ビット（送受信データ反転）

SINV ビットは、送受信データのロジックレベルを反転します。このビットは、パリティビットのロジックレベルには影響を与えません。パリティビットを反転させる場合は、SMR または SMR_SMCI レジスタの PM ビットを反転してください。

CHR1 ビット（キャラクタ長 1）

CHR1 ビットは、SMR レジスタの CHR ビットと組み合わせて、送受信データのデータ長を選択します。調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット（基本クロックパルス 2）

BCP2 ビットは、スマートカードインタフェースモードにおける、1 ビット転送時間中の基本クロックのサイクル数を選択します。SMR_SMCI.BCP[1:0] ビットと組み合わせて設定します。

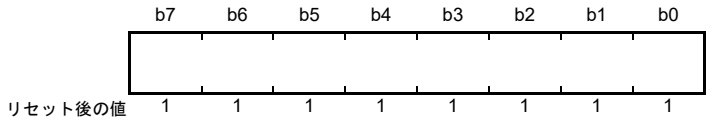
表 34.4 SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR_SMCI.BCP[1:0] ビット		1 ビット転送時間中の基本クロックのサイクル数
0	0	0	93 クロックサイクル（S = 93）（注 1）
0	0	1	128 クロックサイクル（S = 128）（注 1）
0	1	0	186 クロックサイクル（S = 186）（注 1）
0	1	1	512 クロックサイクル（S = 512）（注 1）
1	0	0	32 クロックサイクル（S = 32）（注 1）（初期値）
1	0	1	64 クロックサイクル（S = 64）（注 1）
1	1	0	372 クロックサイクル（S = 372）（注 1）
1	1	1	256 クロックサイクル（S = 256）（注 1）

注 1. 34.2.17 ビットレートレジスタ（BRR）を参照してください。

34.2.17 ビットレートレジスタ（BRR）

アドレス SCI0.BRR 4007 0001h, SCI1.BRR 4007 0021h, SCI2.BRR 4007 0041h, SCI3.BRR 4007 0061h, SCI4.BRR 4007 0081h, SCI5.BRR 4007 00A1h, SCI6.BRR 4007 00C1h, SCI7.BRR 4007 00E1h, SCI8.BRR 4007 0101h, SCI9.BRR 4007 0121h



BRR レジスタは、ビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、それぞれ異なるビットレートの設定が可能です。調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードにおける、BRR レジスタの設定値 N とビットレート B の関係を表 34.5 に示します。

BRR レジスタの初期値は FFh です。BRR レジスタは、CPU からの読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE および RE ビットが 0 の場合にのみ可能です。

表 34.5 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定値 BGDM ビット	ABCS ビット	ABCSE ビット	BRR レジスタの設定値	誤差
調歩同期式、マルチプロセッサ通信	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\{\frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\{\frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\{\frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\{\frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
クロック同期式、簡易SPI				$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	-
スマートカードインタフェース				$N = \frac{PCLKA \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\{\frac{PCLKA \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\} \times 100$
簡易IIC（注1）				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	-

B：ビットレート（bps）

N：内蔵ボーレートジェネレータの BRR の設定値（0 ≦ N ≦ 255）

PCLKA：動作周波数（MHz）

n および S：表 34.7 と表 34.8 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. 簡易 IIC モードでは、SCL 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。

表 34.6 SCL High/Low幅算出式

モード	SCL	算出式（結果は秒単位）	
IIC	High幅（min値）	(N + 1) × 4 × 2^{2n-1} × 7 ×	1
			PCLKA × 10^6
	Low幅（min値）	(N + 1) × 4 × 2^{2n-1} × 8 ×	1
			PCLKA × 10^6

表 34.7 クロックソースの設定

SMR/SMR_SMCI.CKS[1:0]ビットの設定	クロックソース	n
CKS[1:0]ビット		
0 0	PCLKAクロック	0
0 1	PCLKA/4クロック	1
1 0	PCLKA/16クロック	2
1 1	PCLKA/64クロック	3

表 34.8 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR_SMCI.BCP[1:0]ビットの設定	1ビット期間中の基本クロックのサイクル数	S
BCP2ビット	BCP[1:0]ビット		
0	0 0	93クロックサイクル	93
0	0 1	128クロックサイクル	128
0	1 0	186クロックサイクル	186
0	1 1	512クロックサイクル	512
1	0 0	32クロックサイクル	32
1	0 1	64クロックサイクル	64
1	1 0	372クロックサイクル	372
1	1 1	256クロックサイクル	256

調歩同期式モードにおける、BRR レジスタ値 N の設定例を表 34.9 と表 34.10 に示します。各動作周波数において設定可能な最大ビットレートを表 34.11 に示します。スマートカードインタフェースモードにおける、BRR レジスタ値 N の設定例を表 34.15 に示します。簡易 IIC モードにおける、BRR レジスタ値 N の設定例を表 34.17 に示します。

スマートカードインタフェースモードでは、1 ビット転送時間における基本クロックのサイクル数 S を選択できます。詳細は、34.6.4 受信データのサンプリングタイミングと受信マージンを参照してください。また、表 34.12 と表 34.14 に、外部クロック入力時の最大ビットレートを示します。

調歩同期式モードにおいて、シリアル拡張モードレジスタ（SEMR）の調歩同期基本クロック選択ビット（ABCS）またはボーレートジェネレータ倍速モード選択ビット（BGDM）のいずれか一方を 1 にした場合、ビットレートは表 34.16 に記載された値の 2 倍になります。両ビットとも 1 にした場合、ビットレートは記載値の 4 倍になります。

表 34.9　各ビットレートに対するBRRの設定例（調歩同期式モード）（1）

ビットレート（bps）	動作周波数PCLKA（MHz）														
	8			9.8304			10			12			12.288		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1,200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2,400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4,800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9,600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19,200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31,250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38,400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート（bps）	動作周波数PCLKA（MHz）														
	14			16			17.2032			18			19.6608		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1,200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2,400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4,800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9,600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19,200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31,250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38,400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

注 .　この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 34.10 各ビットレートに対するBRRの設定例（調歩同期式モード）（2）

ビットレート（bps）	動作周波数PCLKA（MHz）														
	20			25			30			33			40		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1,200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2,400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4,800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9,600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19,200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31,250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38,400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

ビットレート（bps）	動作周波数PCLKA（MHz）								
	50			60			120		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	221	-0.02	—	—	—	—	—	—
150	3	162	-0.15	3	194	0.16	—	—	—
300	3	80	0.47	3	97	-0.35	3	194	0.16
600	2	162	-0.15	3	48	-0.35	3	97	-0.35
1200	2	80	0.47	2	97	-0.35	3	48	-0.35
2400	1	162	-0.15	2	48	-0.35	2	97	-0.35
4800	1	80	0.47	1	97	-0.35	2	48	-0.35
9600	0	162	-0.15	1	48	-0.35	1	97	-0.35
19,200	0	80	0.47	0	97	-0.35	1	48	-0.35
31,250	0	49	0.00	0	59	0.00	0	119	0
38,400	0	40	-0.76	0	48	-0.35	0	97	-0.35

注 . この例は、SEMR.ABCS = 0、SEMR.ABCSE = 0、および SEMR.BGDM = 0 の場合を示しています。
ABCS ビットまたは BGDM ビットのいずれか一方を 1 にした場合は、ビットレートが 2 倍になります。
ABCS = 1 かつ BGDM = 1 の場合は、ビットレートが 4 倍になります。

表 34.11 各動作周波数における最大ビットレート（調歩同期式モード）(1/2)

PCLKA（MHz）	SEMR レジスタの設定値					最大ビットレート（bps）	PCLKA（MHz）	SEMR レジスタの設定値					最大ビットレート（bps）
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
8	0	0	0	0	0	250,000	16	0	0	0	0	0	500,000
		1	0	0	0	500,000			1	0	0	0	1,000,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,000,000			1	0	0	0	2,000,000
	Don't care	Don't care	1	0	0	1,333,333		Don't care	Don't care	1	0	0	2,666,666
9.8304	0	0	0	0	0	307,200	17.2032	0	0	0	0	0	537,600
		1	0	0	0	614,400			1	0	0	0	1,075,200
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,228,800			1	0	0	0	2,150,400
	Don't care	Don't care	1	0	0	1,638,400		Don't care	Don't care	1	0	0	2,867,200
10	0	0	0	0	0	312,500	18	0	0	0	0	0	562,500
		1	0	0	0	625,000			1	0	0	0	1,125,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,250,000			1	0	0	0	2,250,000
	Don't care	Don't care	1	0	0	1,666,666		Don't care	Don't care	1	0	0	3,000,000
12	0	0	0	0	0	375,000	19.6608	0	0	0	0	0	614,400
		1	0	0	0	750,000			1	0	0	0	1,228,800
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,500,000			1	0	0	0	2,457,600
	Don't care	Don't care	1	0	0	2,000,000		Don't care	Don't care	1	0	0	3,276,800
12.288	0	0	0	0	0	384,000	20	0	0	0	0	0	625,000
		1	0	0	0	768,000			1	0	0	0	1,250,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,536,000			1	0	0	0	2,500,000
	Don't care	Don't care	1	0	0	2,048,000		Don't care	Don't care	1	0	0	3,333,333
14	0	0	0	0	0	437,500	25	0	0	0	0	0	781,250
		1	0	0	0	875,000			1	0	0	0	1,562,500
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	1,750,000			1	0	0	0	3,125,000
	Don't care	Don't care	1	0	0	2,333,333		Don't care	Don't care	1	0	0	4,166,666
30	0	0	0	0	0	937,500	50	0	0	0	0	0	1,562,500
		1	0	0	0	1,875,000			1	0	0	0	3,125,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	3,750,000			1	0	0	0	6,250,000
	Don't care	Don't care	1	0	0	5,000,000		Don't care	Don't care	1	0	0	8,333,333

表 34.11 各動作周波数における最大ビットレート（調歩同期式モード）(2/2)

PCLKA（MHz）	SEMR レジスタの設定値					最大ビットレート（bps）	PCLKA（MHz）	SEMR レジスタの設定値					最大ビットレート（bps）
	BGDM ビット	ABCS ビット	ABCSE ビット	n	N			BGDM ビット	ABCS ビット	ABCSE ビット	n	N	
33	0	0	0	0	0	1,031,250	60	0	0	0	0	0	1,875,000
		1	0	0	0	2,062,500			1	0	0	0	3,750,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	4,125,000			1	0	0	0	7,500,000
	Don't care	Don't care	1	0	0	5,500,000		Don't care	Don't care	1	0	0	10,000,000
40	0	0	0	0	0	1,250,000	120	0	0	0	0	0	3,750,000
		1	0	0	0	2,500,000			1	0	0	0	7,500,000
	1	0	0	0	0			1	0	0	0	0	
		1	0	0	0	5,000,000			1	0	0	0	15,000,000
	Don't care	Don't care	1	0	0	6,666,666		Don't care	Don't care	1	0	0	20,000,000

表 34.12 外部クロック入力時の最大ビットレート（調歩同期式モード）

PCLKA（MHz）	外部入力クロック（MHz）	最大ビットレート（bps）	
		SEMR.ABCS ビット= 0	SEMR.ABCS ビット= 1
8	2.0000	125,000	250,000
9.8304	2.4576	153,600	307,200
10	2.5000	156,250	312,500
12	3.0000	187,500	375,000
12.288	3.0720	192,000	384,000
14	3.5000	218,750	437,500
16	4.0000	250,000	500,000
17.2032	4.3008	268,800	537,600
18	4.5000	281,250	562,500
19.6608	4.9152	307,200	614,400
20	5.0000	312,500	625,000
25	6.2500	390,625	781,250
30	7.5000	468,750	937,500
33	8.2500	515,625	1,031,250
40	10.0000	625,000	1,250,000
50	12.5000	781,250	1,562,500
60	15.0000	937,500	1,875,000
120	30.0000	1,875,000	3,750,000

表 34.13　各ビットレートに対するBRRの設定例（クロック同期式モード、簡易SPIモード）

ビットレート（bps）	動作周波数PCLKA（MHz）																					
	8		10		16		20		25		30		33		40		50		60		120	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																						
250	3	124	—	—	3	249																
500	2	249	—	—	3	124	—	—			3	233										
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155	3	194	3	233		
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249	3	77	3	93	3	186
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124	2	155	3	46	3	93
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249	2	77	2	93	3	46
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99	1	124	1	149	2	74
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49	1	61	1	74	1	149
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99	0	124	0	149	1	74
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39	0	49	0	59	1	29
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19	0	24	0	29	1	14
1M	0	1			0	3	0	4	—	—	—	—	—	—	0	9	—	—	0	14	0	29
2.5M			0	0 （注1）			0	1	—	—	0	2	—	—	0	3	0	4	0	5	0	11
5M							0	0 （注1）	—	—	—	—	—	—	0	1	—	—	0	2	0	5
7.5M											0	0 （注1）							0	1	0	3
10M															0	0 （注1）					0	2
15M																			0	0 （注1）	0	1

空欄：設定禁止

—：設定可能ですが誤差が生じます。

注 1.　連続送受信はできません。1 フレームの送受信後、次のフレームの送受信を開始するまでに 1 ビット期間の間隔が空きます。すなわち、同期クロックの出力が 1 ビット期間停止します。そのため、1 フレーム（8 ビット）のデータ転送に 9 ビット分の時間がかかり、平均転送レートはビットレートの 8/9 倍になります。FIFO 選択時は、この設定（BRR = 00h かつ SMR.CKS[1:0] = 00b）は利用できません。

表 34.14 外部クロック入力時の最大ビットレート（クロック同期式モード、簡易SPIモード）

PCLKA（MHz）	外部入力クロック（MHz）	最大ビットレート（Mbps）
8	1.3333	1.3333333
10	1.6667	1.6666667
12	2.0000	2.0000000
14	2.3333	2.3333333
16	2.6667	2.6666667
18	3.0000	3.0000000
20	3.3333	3.3333333
25	4.1667	4.1666667
30	5.0000	5.0000000
33	5.5000	5.5000000
40	6.6667	6.6666667
50	8.3333	8.3333333
60	10.0000	10.0000000
120	20.0000（クロック同期式モード）	20.00000000
	10.0000（簡易SPIモード）	10.00000000

表 34.15 各ビットレートに対するBRRの設定例（スマートカードインタフェースモード、n = 0, S = 372の場合）

	動作周波数PCLKA（MHz）											
	7.1424			10.00			10.7136			13.00		
ビットレート（bps）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	0	0.00	0	1	-30	0	1	-25	0	1	-8.99

	動作周波数PCLKA（MHz）											
	14.2848			16.00			18.00			20.00		
ビットレート（bps）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	1	0.00	0	1	12.01	0	2	-15.99	0	2	-6.66

	動作周波数PCLKA（MHz）											
	25.00			30.00			33.00			40.00		
ビットレート（bps）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	3	-12.49	0	3	5.01	0	4	-7.59	0	5	-6.66

	動作周波数PCLKA（MHz）								
	50.00			60.00			120.00		
ビットレート（bps）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	6	0.01	0	7	5.01	0	16	-1.17

表 34.16 各動作周波数における最大ビットレート（スマートカードインタフェースモード、S = 32の場合）

PCLKA（MHz）	最大ビットレート（bps）	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0
50.00	781250	0	0
60.00	937500	0	0
120.00	1875000	0	0

表 34.17 各ビットレートに対するBRRの設定例（簡易IICモード）

ビットレート（bps）	動作周波数PCLKA（MHz）														
	8			10			16			20			25		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
10k	0	24	0.0	0	30	0.8	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	5	4.2	1	7	-2.3
50k	0	4	0.0	0	5	4.2	1	2	-16.7	1	2	4.2	1	3	-2.3
100k（注1）	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	0	25	0	1	0.0	0	2	-16.7	0	2	4.2
350k										0	1	-10.7	0	1	11.6（注2）
400k（注1）										0	1	-21.9	0	1	-2.3（注2）

ビットレート（bps）	動作周波数PCLKA（MHz）														
	30			33			40			50			60		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
10k	1	22	1.9	1	25	-0.8	0	124	0.0	2	9	-2.3	1	46	-0.3
25k	1	8	4.2	1	9	3.1	0	49	0.0	2	3	-2.3	0	74	0.0
50k	1	4	-6.3	1	4	3.1	0	24	0.0	2	1	-2.3	0	37	-1.3
100k（注1）	1	2	-21.9	1	2	-14.1	0	12	-3.9	1	3	-2.3	0	18	-1.3
250k	0	3	-6.3	0	3	3.1	0	4	0.0	0	5	4.2	0	7	-6.3
350k	0	2	-10.7	0	2	-1.8	0	3	-10.7	0	4	-10.7	0	4	7.1
400k（注1）	0	2	-21.9	0	2	-14.1	0	3	-21.9	0	3	-2.3（注2）	0	4	-6.3

ビットレート（bps）	動作周波数PCLKA（MHz）		
	120		
	n	N	誤差（%）
10k	1	93	-0.3
25k	0	149	0.0
50k	0	74	0.0
100k（注1）	0	37	-1.3
250k	0	14	0.0
350k	0	10	-2.6
400k（注1）	0	9	-6.3

注 1. 100kbps と 400kbps のビットレートは、設定値の誤差が負（マイナス）の側にあることを意味しています。

注 2. Low 幅の最小値は、ファストモードでの標準値である 1.3μs 未満です。

表 34.18 各ビットレート設定でのSCL High/Low幅最小値（簡易IICモード）

ビットレート（bps）	動作周波数PCLKA（MHz）											
	8			10			16			20		
	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）
10k	0	24	43.75/50.00	0	30	43.4/49.6	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	5	16.80/19.20
50k	0	4	8.75/10.00	0	5	8.40/9.60	1	2	10.50/12.00	1	2	8.40/9.60
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.38/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	0	1.40/1.60	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60
400k										0	1	1.40/1.60

ビットレート（bps）	動作周波数PCLKA（MHz）											
	25			30			33			40		
	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）
10k	1	19	44.80/51.20	1	22	42.93/49.60	1	25	44.12/50.42	0	124	43.75/50.00
25k	1	7	17.92/20.48	1	8	16.80/19.20	1	9	16.97/19.39	0	49	17.50/20.00
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	4	8.48/9.70	0	24	8.75/10.00
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.82	0	12	4.55/5.20
250k	0	2	1.68/1.92	0	3	1.86/2.13	0	3	1.70/1.94	0	4	1.75/2.00
350k	0	1	1.12/1.28（注1）	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60
400k	0	1	1.12/1.28（注1）	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60

ビットレート（bps）	動作周波数PCLKA（MHz）								
	50			60			120		
	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）	n	N	SCL High/Low幅最小値（μs）
10k	2	9	44.80/51.20	1	46	44.80/51.20	1	93	43.87/50.13
25k	2	3	17.92/20.48	0	74	17.50/20.00	0	149	17.50/20.00
50k	2	1	8.96/10.24	0	37	8.87/10.13	0	74	8.75/10.00
100k	1	3	4.48/5.12	0	18	4.43/5.07	0	37	4.43/5.07
250k	0	6	1.96/2.24	0	7	1.87/2.13	0	14	7.75/2.00
350k	0	4	1.40/1.60	0	4	1.17/1.33	0	10	1.28/1.47
400k	0	3	1.12/1.28	0	4	1.17/1.33	0	8	1.05/1.20

注 1. Low 幅の最小値は、ファストモードの標準値である 1.3μs 未満です。設定値は表 34.17 と同一です。

34.2.18 モジュレーションデューティレジスタ（MDDR）

アドレス SCI0.MDDR 4007 0012h, SCI1.MDDR 4007 0032h, SCI2.MDDR 4007 0052h, SCI3.MDDR 4007 0072h, SCI4.MDDR 4007 0092h, SCI5.MDDR 4007 00B2h, SCI6.MDDR 4007 00D2h, SCI7.MDDR 4007 00F2h, SCI8.MDDR 4007 0112h, SCI9.MDDR 4007 0132h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

MDDR レジスタは、BRR レジスタで調整されたビットレートを補正するためのレジスタです。

SEMR.BRME ビットが 1 のとき、内蔵ボーレートジェネレータにより生成されるビットレートは、MDDR レジスタの設定に応じて均一に補正されます（M/256）。MDDR レジスタの設定値 M とビットレート B の関係を表 34.19 に示します。

MDDR レジスタの初期値は FFh です。b7 は 1 に固定されています。MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0 の場合にのみ可能です。

表 34.19 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMR レジスタの設定値 BGDM ビット	SEMR レジスタの設定値 ABCS ビット	SEMR レジスタの設定値 ABCSE ビット	BRR レジスタの設定値	誤差
調歩同期式マルチプロセッサ通信	0	0	0	$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差（%）$= \{\frac{PCLKA \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\} \times 100$
	1	0	0	$N = \frac{PCLKA \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差（%）$= \{\frac{PCLKA \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\} \times 100$
	0	1	0		
	1	1	0	$N = \frac{PCLKA \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差（%）$= \{\frac{PCLKA \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\} \times 100$
	Don't care	Don't care	1	$N = \frac{PCLKA \times 10^6}{12 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差（%）$= \{\frac{PCLKA \times 10^6}{B \times 12 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1\} \times 100$
クロック同期式、簡易SPI（注1）				$N = \frac{PCLKA \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	—
スマートカードインタフェース				$N = \frac{PCLKA \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差（%）$= \{\frac{PCLKA \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1\} \times 100$
簡易IIC（注2）				$N = \frac{PCLKA \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	—

B：ビットレート（bps）

M：MDDR レジスタの設定値（128 ≦ MDDR ≦ 255）

N：ボーレートジェネレータの BRR の設定値（0 ≦ N ≦ 255）

PCLKA：動作周波数（MHz）

n および S：「34. ビットレートレジスタ（BRR）」の表 34.7 と表 34.8 に示すように、SMR/SMR_SMCI レジスタと SCMR レジスタの設定値によって決まります。

注 1. クロック同期式モードと、簡易 SPI モードの最高速設定（SMR.CKS[1:0] ビット = 00b、SCR.CKE[1] ビット = 0、および BRR = 0）では、この機能を使用しないでください。

注 2. 簡易 IIC モードでは、SCL 出力の High/Low 幅が IIC 規格を満たすように、ビットレートを調整してください。

調歩同期式モードにおける BRR レジスタの設定値 N と MDDR レジスタの設定値 M の設定例を表 34.20 と表 34.21 に示します。

表 34.20 各ビットレートに対するBRRとMDDRの設定例（調歩同期式モード）（1）

ビットレート（bps）	動作周波数PCLKA（MHz）														
	8					9.8304					16				
	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）
38400	0	5	236	0	0.03	0	7	(256)（注1）	0	0.00	0	10	173	1	-0.01
57600	0	3	236	0	0.03	0	4	240	0	0.00	0	4	236	0	0.03
115200	0	1	236	0	0.03	0	1	192	0	0.00	0	4	236	1	0.03
230400	0	0	236	0	0.03	0	0	192	0	0.00	0	1	189	1	0.14
460800	0	0	236	1	0.03	0	0	192	1	0.00	0	0	189	1	0.14

ビットレート（bps）	動作周波数PCLKA（MHz）														
	12					12.288					14				
	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）
38400	0	8	236	0	0.03	0	9	(256)（注1）	0	0.00	0	16	191	1	0.00
57600	0	5	236	0	0.03	0	4	192	0	0.00	0	13	236	1	0.03
115200	0	2	236	0	0.03	0	4	192	1	0.00	0	6	236	1	0.03
230400	0	2	236	1	0.03	0	2	230	1	-0.17	0	2	202	1	-0.11
460800	0	0	157	1	-0.18	0	0	154	1	-0.26	0	0	135	1	0.14

ビットレート（bps）	動作周波数PCLKA（MHz）														
	16					17.2032					18				
	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）
38400	0	11	236	0	0.03	0	13	(256)（注1）	0	0.00	0	18	166	1	-0.01
57600	0	7	236	0	0.03	0	6	192	0	0.00	0	18	249	1	-0.01
115200	0	3	236	0	0.03	0	6	192	1	0.00	0	8	236	1	0.03
230400	0	1	236	0	0.03	0	3	219	1	-0.20	0	1	210	0	0.14
460800	0	1	236	1	0.03	0	1	219	1	-0.20	0	0	210	0	0.14

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。
SEMR.BRME = 0（M = 256）の場合、ビットレートモジュレーション機能は無効になります。

表 34.21 各ビットレートに対するBRRとMDDRの設定例（調歩同期式モード）（2）

ビットレート（bps）	動作周波数PCLKA（MHz）														
	19.6608					20					25				
	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）
38,400	0	15	(256)（注1）	0	0.00	0	10	173	0	-0.01	0	11	151	0	0.00
57,600	0	9	240	0	0.00	0	9	236	0	0.03	0	7	151	0	0.00
115,200	0	4	240	0	0.00	0	4	236	0	0.03	0	3	151	0	0.00
230,400	0	1	192	0	0.00	0	4	236	1	0.03	0	1	151	0	0.00
460,800	0	0	192	0	0.00	0	0	189	0	0.14	0	0	151	0	0.00

ビットレート（bps）	動作周波数PCLKA（MHz）														
	30					33					40				
	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）
38,400	0	36	194	1	0.01	0	14	143	0	0.01	0	21	173	0	-0.01
57,600	0	10	173	0	-0.01	0	9	143	0	0.01	0	38	230	1	-0.01
115,200	0	10	173	1	-0.01	0	4	143	0	0.01	0	9	236	0	0.03
230,400	0	6	220	1	-0.09	0	4	143	1	0.01	0	4	236	0	0.03
460,800	0	3	252	1	0.14	0	1	229	0	0.10	0	4	236	1	0.03

ビットレート（bps）	動作周波数PCLKA（MHz）														
	50					60					120				
	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）	n	N	M	BGDMビット	誤差（%）
38,400	0	23	151	0	0.00	0	36	194	0	0.01	0	73	194	0	0.01
57,600	0	15	151	0	0.00	0	21	173	0	-0.01	0	58	232	0	0.00
115,200	0	7	151	0	0.00	0	10	173	0	-0.01	0	21	173	0	-0.01
230,400	0	3	151	0	0.00	0	10	173	1	-0.01	0	10	173	0	-0.01
460,800	0	1	151	0	0.00	0	6	220	1	-0.09	0	10	173	1	-0.09

注 1. この例は、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 の場合を示しています。
SEMR.BRME = 0（M = 256）の場合、ビットレートモジュレーション機能は無効になります。

34.2.19 シリアル拡張モードレジスタ（SEMR）

アドレス SCI0.SEMR 4007 0007h, SCI1.SEMR 4007 0027h, SCI2.SEMR 4007 0047h, SCI3.SEMR 4007 0067h, SCI4.SEMR 4007 0087h, SCI5.SEMR 4007 00A7h, SCI6.SEMR 4007 00C7h, SCI7.SEMR 4007 00E7h, SCI8.SEMR 4007 0107h, SCI9.SEMR 4007 0127h

	b7	b6	b5	b4	b3	b2	b1	b0
	RXDESEL	BGDM	NFEN	ABCS	ABCSE	BRME	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	BRME	ビットレートモジュレーション有効	0：ビットレートモジュレーション機能は無効 1：ビットレートモジュレーション機能は有効	R/W（注1）
b3	ABCSE	調歩同期拡張基本クロック選択1	調歩同期式モードにおいて、SCR.CKE[1] = 0の場合にのみ有効です。 0：1ビット期間のクロックサイクル数は、SEMRレジスタのBGDMとABCSの組み合わせにより決定 1：ボーレートは1ビット期間に対して基本クロックの6サイクル	R/W（注1）
b4	ABCS	調歩同期基本クロック選択	調歩同期式モードでのみ有効です。 0：基本クロックの16サイクルを1ビット期間として選択 1：基本クロックの8サイクルを1ビット期間として選択	R/W（注1）
b5	NFEN	デジタルノイズフィルタ機能有効	• 調歩同期式モードの場合 0：RXDn入力信号のノイズ除去機能は無効 1：RXDn入力信号のノイズ除去機能は有効 • 簡易IICモードの場合 0：SCLnおよびSDAn入力信号のノイズ除去機能は無効 1：SCLnおよびSDAn入力信号のノイズ除去機能は有効 他のすべてのモードでは、NFENビットは0でなければなりません。	R/W（注1）
b6	BGDM	ボーレートジェネレータ倍速モード	調歩同期式モードにおいて、SCR.CKE[1] = 0の場合にのみ有効です。 0：ボーレートジェネレータから1倍の周波数のクロックを出力 1：ボーレートジェネレータから2倍の周波数のクロックを出力	R/W（注1）
b7	RXDESEL	調歩同期スタートビットエッジ検出選択	調歩同期式モードでのみ有効です。 0：RXDn端子入力のLowレベルでスタートビットを検出 1：RXDn端子入力の立ち下がりエッジでスタートビットを検出	R/W（注1）

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作および受信動作を禁止）の場合にのみ書き込み可能です。

SEMR レジスタは、調歩同期式モードにおいて、1 ビット期間のクロックソースを選択するためのレジスタです。

BRME ビット（ビットレートモジュレーション有効）

BRME ビットは、ビットレートモジュレーション機能を有効または無効にします。有効にすると、内蔵ボーレートジェネレータによって生成されるビットレートが均一に補正されます。

ABCSE ビット（調歩同期拡張基本クロック選択 1）

ABCSE ビットは、1 ビット期間における基本クロックのパルス数を 6 に設定します。ボーレートジェネレータからは 2 倍の周波数のクロックが出力されます。バスクロック周波数を分周しているときにビットレートを 6 にする場合、このビットを使用し、かつ SMR.CKS[1:0] = 00b、BRR = 0 に設定してください。本ビットは、調歩同期式モード以外では 0 にしてください。

ABCS ビット（調歩同期基本クロック選択）

ABCS ビットは、1 ビット期間の基本クロックのサイクル数を選択します。本ビットは、調歩同期式モード以外では 0 にしてください。

NFEN ビット（デジタルノイズフィルタ機能有効）

NFEN ビットは、デジタルノイズフィルタ機能を有効または無効にします。

デジタルノイズフィルタ機能を有効にした場合：

- 調歩同期式モードでは、RXDn 入力信号のノイズを除去する
- 簡易 IIC モードでは、SDAn および SCLn の入力信号のノイズを除去する

他のすべてのモードでは、NFEN ビットを 0 にして、デジタルノイズフィルタ機能を無効にしてください。デジタルノイズフィルタ機能を無効にすると、受信した入力信号がそのまま転送されます。

BGDM ビット（ボーレートジェネレータ倍速モード選択）

BGDM ビットは、ボーレートジェネレータの出力クロックの周期を通常の周波数にするか 2 倍の周波数にするかを選択します。

このビットは、調歩同期式モード（SMR.CM ビット = 0）において、クロックソースに内蔵ボーレートジェネレータ（SCR.CKE[1] ビット = 0）を選択したとき有効です。内蔵ボーレートジェネレータから 1 倍の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ボーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビットを 1 にすると、基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

このビットは、調歩同期式モード以外では 0 にしてください。

RXDESEL ビット（調歩同期スタートビットエッジ検出選択）

RXDSEL ビットは、調歩同期式モードにおいて、受信時のスタートビットの検出方法を選択します。このビットの設定により、ブレーク時の受信動作が異なります。ブレーク中に受信動作を停止させたい場合、または、ブレーク終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せずに受信を開始したい場合、このビットを 1 にしてください。

このビットは、調歩同期式モード以外では 0 にしてください。

34.2.20 ノイズフィルタ設定レジスタ（SNFR）

アドレス SCI0.SNFR 4007 0008h, SCI1.SNFR 4007 0028h, SCI2.SNFR 4007 0048h, SCI3.SNFR 4007 0068h, SCI4.SNFR 4007 0088h, SCI5.SNFR 4007 00A8h, SCI6.SNFR 4007 00C8h, SCI7.SNFR 4007 00E8h, SCI8.SNFR 4007 0108h, SCI9.SNFR 4007 0128h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	NFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロック選択	調歩同期式モードの場合、基本クロックの標準設定を選択します。 b2 b0 0 0 0：1分周のクロックをノイズフィルタに使用 簡易IICモードの場合、SMR.CKS[1:0]ビットで選択した内蔵ボーレートジェネレータのクロックソースの標準設定を選択します。 b2 b0 0 0 1：1分周のクロックをノイズフィルタに使用 0 1 0：2分周のクロックをノイズフィルタに使用 0 1 1：4分周のクロックをノイズフィルタに使用 1 0 0：8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください。	R/W （注1）
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SCR/SCR_SMCI レジスタの TE ビットと RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SNFR レジスタは、デジタルノイズフィルタのクロックを設定するためのレジスタです。

NFCS[2:0] ビット（ノイズフィルタクロック選択）

NFCS[2:0] ビットは、デジタルノイズフィルタのサンプリングクロックを選択します。調歩同期式モードでノイズフィルタを使用する場合、これらのビットを 000b にしてください。簡易 IIC モードでは、これらのビットを 001b ～ 100b の範囲で設定してください。

34.2.21 IIC モードレジスタ 1（SIMR1）

アドレス SCI0.SIMR1 4007 0009h, SCI1.SIMR1 4007 0029h, SCI2.SIMR1 4007 0049h, SCI3.SIMR1 4007 0069h, SCI4.SIMR1 4007 0089h, SCI5.SIMR1 4007 00A9h, SCI6.SIMR1 4007 00C9h, SCI7.SIMR1 4007 00E9h, SCI8.SIMR1 4007 0109h, SCI9.SIMR1 4007 0129h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易IICモード選択	SMIF IICM 0 0：調歩同期式モード（マルチプロセッサモードを含む）、クロック同期式モード、または簡易SPIモード 0 1：簡易IICモード 1 0：スマートカードインタフェースモード 1 1：設定禁止	R/W（注1）
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b3	IICDL[4:0]	SDA遅延出力選択	内蔵ボーレートジェネレータからのクロック信号のサイクル数 b7 b3 0 0 0 0 0：出力遅延なし 0 0 0 0 1：0～1サイクル 0 0 0 1 0：1～2サイクル 0 0 0 1 1：2～3サイクル 0 0 1 0 0：3～4サイクル 0 0 1 0 1：4～5サイクル ： 1 1 1 1 0：29～30サイクル 1 1 1 1 1：30～31サイクル	R/W（注1）

注 1. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。

SIMR1 レジスタは、簡易 IIC モードと、SDAn 出力の遅延段数を選択するためのレジスタです。

IICM ビット（簡易 IIC モード選択）

IICM ビットは、SCMR.SMIF ビットとの組み合わせで動作モードを選択します。

IICDL[4:0] ビット（SDA 遅延出力選択）

IICDL[4:0] ビットは、SCLn 端子出力の立ち下がりに対する SDAn 端子出力の遅延を指定します。

内蔵ボーレートジェネレータのクロック信号を基準として、「遅延なし」から 31 サイクルまでの範囲で設定が可能です。SMR.CKS[1:0] ビットの設定によって分周された PCLKA クロックが、内蔵ボーレートジェネレータからのクロック信号として供給されます。簡易 IIC モード以外では、これらのビットを 00000b にしてください。簡易 IIC モードでは、これらのビットを 00001b ～ 11111b の範囲で設定してください。

34.2.22 IIC モードレジスタ 2（SIMR2）

アドレス SCI0.SIMR2 4007 000Ah, SCI1.SIMR2 4007 002Ah, SCI2.SIMR2 4007 004Ah, SCI3.SIMR2 4007 006Ah, SCI4.SIMR2 4007 008Ah, SCI5.SIMR2 4007 00AAh, SCI6.SIMR2 4007 00CAh, SCI7.SIMR2 4007 00EAh, SCI8.SIMR2 4007 010Ah, SCI9.SIMR2 4007 012Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACKT	—	—	—	IICCSC	IICINTM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	IIC割り込みモード選択	0：ACK/NACK割り込みを使用 1：受信割り込み、送信割り込みを使用	R/W （注1）
b1	IICCSC	クロック同期化	0：クロック信号と同期しない 1：クロック信号と同期する	R/W （注1）
b4-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	IICACKT	ACK送信データ	0：ACK送信 1：NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SCR.TE ビットと SCR.RE ビットが 0（シリアル受信動作およびシリアル送信動作を禁止）の場合にのみ書き込み可能です。

SIMR2 レジスタは、簡易 IIC モードにおいて、送受信の制御方法を選択するためのレジスタです。

IICINTM ビット（IIC 割り込みモード選択）

IICINTM ビットは、簡易 IIC モードにおいて、割り込み要求の要因を選択します。

IICCSC ビット（クロック同期化）

他のデバイスがウェイトを挿入したため SCLn 端子が Low になったとき、内部で生成する SCL クロック信号を同期化する場合は、IICCSC ビットを 1 にしてください。

IICCSC ビットを 0 にすると、SCL クロック信号の同期化を行いません。SCLn 端子の入力レベルにかかわらず、BRR レジスタで選択したビットレートに従って SCL クロック信号が生成されます。

デバッグ時を除いて、IICCSC ビットは 1 にしてください。

IICACKT ビット（ACK 送信データ）

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は、IICACKT ビットを 1 にしてください。

34.2.23 IIC モードレジスタ 3（SIMR3）

アドレス SCI0.SIMR3 4007 000Bh, SCI1.SIMR3 4007 002Bh, SCI2.SIMR3 4007 004Bh, SCI3.SIMR3 4007 006Bh, SCI4.SIMR3 4007 008Bh, SCI5.SIMR3 4007 00ABh, SCI6.SIMR3 4007 00CBh, SCI7.SIMR3 4007 00EBh, SCI8.SIMR3 4007 010Bh, SCI9.SIMR3 4007 012Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTPREQ	IICRSTAREQ	IICSTAREQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成	0：開始条件を生成しない 1：開始条件を生成する（注1）（注3）（注5）（注6）	R/W
b1	IICRSTAREQ	再開始条件生成	0：再開始条件を生成しない 1：再開始条件を生成する（注2）（注3）（注5）（注6）	R/W
b2	IICSTPREQ	停止条件生成	0：停止条件を生成しない 1：停止条件を生成する（注2）（注3）（注5）（注6）	R/W
b3	IICSTIF	開始／再開始／停止条件生成完了フラグ	0：各条件の生成要求がない状態、または生成中の状態 1：開始条件、再開始条件、停止条件の生成が完了した状態 IICSTIF ビットに0を書くと、0になります（注4）	R/W（注4）
b5-b4	IICSDAS[1:0]	SDA出力選択	b5 b4 0 0：シリアルデータ出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SDAn端子はLowを出力 1 1：SDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SCL出力選択	b7 b6 0 0：シリアルクロック出力 0 1：開始条件、再開始条件、停止条件の生成 1 0：SCLn端子はLowを出力 1 1：SCLn端子はハイインピーダンス状態	R/W

注 1. バスの状態を確認し、バスフリー状態のときに開始条件を生成してください。
注 2. バスの状態を確認し、バスビジー状態のときに再開始条件または停止条件を生成してください。
注 3. IICSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットは、2 つ以上を 1 にしないでください。
注 4. 0 のみを書いてください。1 を書くと、その値は無視されます。
注 5. IICSTIF フラグを 0 にしてから、各条件生成を行ってください。
注 6. 1 の状態にあるとき、0 を書かないでください。このビットが 1 の状態にあるとき 0 を書くと、条件生成が中断します。

IICSTAREQ ビット（開始条件生成）

開始条件の生成を行うときは、IICSTAREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット（再開始条件生成）

再開始条件の生成を行うときは、IICRSTAREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

[1 になる条件]

- 1 を書いたとき

[0 になる条件]

- 再開始条件の生成が完了したとき

IICSTPREQ ビット（停止条件生成）

停止条件の生成を行うときは、IICSTPREQ ビットを 1 にするとともに、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットをそれぞれ 01b にしてください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- 停止条件の生成が完了したとき

IICSTIF フラグ（開始／再開始／停止条件生成完了フラグ）

IICSTIF フラグは、各条件の生成後に、生成が完了したことを示します。IICSTAREQ ビット、IICRSTAREQ ビット、または IICSTPREQ ビットを用いて各条件の生成を行うときは、IICSTIF フラグを 0 にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可されているとき、IICSTIF フラグが 1 の場合に STI 要求が出力されます。

［1 になる条件］

- 開始条件、再開始条件、停止条件の生成が完了したとき

  このフラグが 0 になる条件と競合した場合は、0 になる条件が優先されます。

［0 になる条件］

- 0 を書いたとき（0 を書いた後は、IICSTIF ビットを読んで実際に 0 になっていることを確認してください）
- SIMR1.IICM ビットに 0 を書いたとき（簡易 IIC モード以外の場合）
- SCR.TE ビットに 0 を書いたとき

IICSDAS[1:0] ビット（SDA 出力選択）

IICSDAS[1:0] ビットは、SDAn 端子からの出力を制御します。IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット（SCL 出力選択）

IICSCLS[1:0] ビットは、SCLn 端子からの出力を制御します。IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

34.2.24 IIC ステータスレジスタ（SISR）

アドレス SCI0.SISR 4007 000Ch, SCI1.SISR 4007 002Ch, SCI2.SISR 4007 004Ch, SCI3.SISR 4007 006Ch, SCI4.SISR 4007 008Ch, SCI5.SISR 4007 00ACh, SCI6.SISR 4007 00CCh, SCI7.SISR 4007 00ECh, SCI8.SISR 4007 010Ch, SCI9.SISR 4007 012Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACKR
リセット後の値	0	0	x	x	0	x	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0：ACK受信 1：NACK受信	R
b1	—	予約ビット	読むと0が読めます。	R
b2	—	予約ビット	読むと不定値が読めます。	R
b3	—	予約ビット	読むと0が読めます。	R
b5-b4	—	予約ビット	読むと不定値が読めます。	R
b7-b6	—	予約ビット	読むと0が読めます。	R

SISR レジスタは、簡易 IIC モードにおける状態をモニタするためのレジスタです。

IICACKR フラグ（ACK 受信データフラグ）

IICACKR フラグから、受信された ACK/NACK ビットを読み出すことができます。このフラグは、ACK/NACK を受信するビットの SCLn クロックの立ち上がりのタイミングで更新されます。

34.2.25 SPI モードレジスタ（SPMR）

アドレス SCI0.SPMR 4007 000Dh, SCI1.SPMR 4007 002Dh, SCI2.SPMR 4007 004Dh, SCI3.SCI3 4007 006Dh, SCI4.SPMR 4007 008Dh, SCI5.SPMR 4007 00ADh, SCI6.SPMR 4007 00CDh, SCI7.SCI7 4007 00EDh, SCI8.SPMR 4007 010Dh, SCI9.SPMR 4007 012Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn端子機能有効	0：SSn端子機能は無効 1：SSn端子機能は有効	R/W （注1）
b1	CTSE	CTS有効	0：CTS機能は無効（RTS出力機能は有効） 1：CTS機能は有効	R/W （注1）
b2	MSS	マスタスレーブ選択	0：TXDn端子は送信、RXDn端子は受信（マスタモード） 1：TXDn端子は受信、RXDn端子は送信（スレーブモード）	R/W （注1）
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MFF	モードフォルトフラグ	0：モードフォルトエラーなし 1：モードフォルトエラーあり	R/W （注2）
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CKPOL	クロック極性選択	0：クロック極性反転なし 1：クロック極性反転あり	R/W （注1）
b7	CKPH	クロック位相選択	0：クロック遅延なし 1：クロック遅延あり	R/W （注1）

注 1. SCR.TE ビットと SCR.RE ビットが 0（シリアル送信動作およびシリアル受信動作を禁止）の場合にのみ書き込み可能です。
注 2. フラグをクリアするための 0 の書き込みのみ可能です。

SPMR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSE ビット（SSn 端子機能有効）

簡易 SPI モードで SSn 端子を用いて送受信制御を行う場合、SSE ビットを 1 にしてください。他のすべてのモードでは 0 にしてください。なお、簡易 SPI モードであっても、マスタモード（SCR.CKE[1:0] ビット = 00b、MSS ビット = 0）を選択し、かつシングルマスタで使用する場合は、マスタ側の SSn 端子を用いた送受信制御は不要であるため、SSE ビットの設定値は 0 にします。

SSE ビットと CTSE ビットの両方を有効にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

CTSE ビット（CTS 有効）

SSn 端子を CTS 制御信号入力として用いて送受信制御を行う場合、CTSE ビットを 1 にしてください。このビットを 0 にした場合は RTS 信号が出力されます。スマートカードインタフェースモード、簡易 SPI モード、および簡易 IIC モードでは、このビットを 0 にしてください。CTSE ビットと SSE ビットの両方を有効にしないでください。両方を有効にした場合、これらのビットを 0 にしたときと同じ動作になります。

MSS ビット（マスタスレーブ選択）

MSS ビットは、簡易 SPI モードにおいて、マスタ動作またはスレーブ動作を選択します。このビットを 1 にすると、TXDn 端子と RXDn 端子の機能が逆になり、データは TXDn 端子を介して受信され、RXDn 端子を介して送信されます。

簡易 SPI モード以外では 0 にしてください。

MFF フラグ（モードフォルトフラグ）

MFF フラグは、モードフォルトエラーが発生したことを示します。マルチマスタ構成では、このフラグを読み出すことでモードフォルトエラーの発生を判定できます。

［1 になる条件］

- 簡易 SPI モードでマスタモード（SSE ビット = 1 かつ MSS ビット = 0）の場合に、SSn 端子入力が Low になったとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

CKPOL ビット（クロック極性選択）

CKPOL ビットは、SCKn 端子からのクロック出力の極性を選択します。詳細は、図 34.70 を参照してください。簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

CKPH ビット（クロック位相選択）

CKPH ビットは、SCKn 端子からのクロック出力の位相を選択します。詳細は、図 34.70 を参照してください。簡易 SPI モードおよびクロック同期式モード以外では 0 としてください。

34.2.26 FIFO コントロールレジスタ（FCR）

アドレス SCI0.FCR 4007 0014h, SCI1.FCR 4007 0034h, SCI2.FCR 4007 0054h, SCI3.FCR 4007 0074h, SCI4.FCR 4007 0094h, SCI5.FCR 4007 00B4h, SCI6.FCR 4007 00D4h, SCI7.FCR 4007 00F4h, SCI8.FCR 4007 0114h, SCI9.FCR 4007 0134h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RSTRG[3:0]				RTRG[3:0]				TTRG[3:0]				DRES	TFRST	RFRST	FM
リセット後の値	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FM	FIFOモード選択	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0：非FIFOモード 通信にはTDR/RDRまたはTDRHL/RDRHLレジスタが選択されます。 1：FIFOモード 通信にはFTDRHL/FRDRHLレジスタが選択されます。	R/W （注1）
b1	RFRST	レシーブFIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FRDRHLレジスタをリセットしない 1：FRDRHLレジスタをリセットする	R/W
b2	TFRST	トランスミットFIFOデータレジスタリセット	FCR.FM = 1の場合にのみ有効です。 0：FTDRHLレジスタをリセットしない 1：FTDRHLレジスタをリセットする	R/W
b3	DRES	受信データレディエラー選択	受信データレディ検出時に要求する割り込みを選択します。 0：受信データフル割り込み（SCIn_RXI） 1：受信エラー割り込み（SCIn_ERI）	R/W
b7-b4	TTRG[3:0]	トランスミットFIFOデータトリガ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0000：トリガ数0 ： 1111：トリガ数15	R/W
b11-b8	RTRG[3:0]	レシーブFIFOデータトリガ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードでのみ有効です。 0000：トリガ数0 ： 1111：トリガ数15	R/W
b15-b12	RSTRG[3:0]	RTS出力アクティブトリガ数選択	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1、SPMR.CTSE = 0、およびSPMR.SSE = 0の場合にのみ有効です。 0000：トリガ数0 ： 1111：トリガ数15	R/W

注 1. TE ビット = 0 かつ RE ビット = 0 の場合にのみ書き込み可能です。

FCR レジスタは、FIFO モードの選択、FTDRHL/FRDRHL レジスタのリセット、送受信用の FIFO データトリガ数の選択、および RTS 出力アクティブトリガ数の選択を行うためのレジスタです。

FM ビット（FIFO モード選択）

FM ビットを 1 にすると、通信には FTDRHL と FRDRHL が選択されます。FM ビットを 0 にすると、通信には TDR と RDR または TDRHL と RDRHL が選択されます。

RFRST ビット（レシーブ FIFO データレジスタリセット）

RFRST ビットを 1 にすると、FRDRHL レジスタがリセットされ、受信データ数は 0 にリセットされます。1 を書いてから 1PCLKA 経過後、このビットは 0 になります。

TFRST ビット（トランスミット FIFO データレジスタリセット）

TFRST ビットを 1 にすると、FTDRHL レジスタがリセットされ、送信データ数は 0 にリセットされます。1 を書いてから 1PCLKA 経過後、このビットは 0 になります。

TTRG[3:0] ビット（トランスミット FIFO データトリガ数）

トランスミット FIFO データレジスタ（FTDRHL）内の送信データ数が、TTRG[3:0] ビットに指定された送信トリガ数以下の場合、TDFE フラグが 1 になり、ソフトウェアによる FTDRHL レジスタへのデータ書き込みが可能になります。SCR.TIE = 1 の場合は、SCIn_TXI 割り込み要求が発生しています。

RTRG[3:0] ビット（レシーブ FIFO データトリガ数）

レシーブ FIFO データレジスタ（FRDRHL）内の受信データ数が、RTRG[3:0] ビットに指定された受信トリガ数以上の場合、RDF フラグが 1 になり、ソフトウェアによる FRDRHL レジスタからのデータ読み出しが可能になります。SCR.RIE = 1 の場合は、SCIn_RXI 割り込み要求が発生しています。

RTRG ビットを 0 にした場合は、レシーブ FIFO 内のデータ数が 0 であっても、RDF フラグはセットされません。また、SCIn_RXI 割り込みは発生しません。

RSTRG[3:0] ビット（RTS 出力アクティブトリガ数選択）

レシーブ FIFO データレジスタ（FRDRHL）に格納された受信データ数が、RSTRG[3:0] ビットに指定された受信トリガ数以上の場合、RTS 信号は High 状態になります。

RSTRG ビットを 0 にした場合は、レシーブ FIFO 内のデータ数が 0 であっても、RTS 信号は High 状態になりません。

34.2.27 FIFO データ数レジスタ（FDR）

アドレス SCI0.FDR 4007 0016h, SCI1.FDR 4007 0036h, SCI2.FDR 4007 0056h, SCI3.FDR 4007 0076h, SCI4.FDR 4007 0096h, SCI5.FDR 4007 00B6h, SCI6.FDR 4007 00D6h, SCI7.FDR 4007 00F6h, SCI8.FDR 4007 0116h, SCI9.FDR 4007 0136h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	T[4:0]					—	—	—	R[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	R[4:0]	レシーブFIFOデータ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1の場合にのみ有効です。FRDRHL レジスタに格納された受信データ数を示します。	R
b7-b5	—	予約ビット	読むと0が読めます。	R
b12-b8	T[4:0]	トランスミットFIFOデータ数	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FCR.FM = 1の場合にのみ有効です。FTDRHL レジスタに格納された未送信データ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

FDR レジスタは、FRDRHL/FTDRHL レジスタに格納されたデータ数を示します。

R[4:0] ビット（レシーブ FIFO データ数）

R[4:0] ビットは、FRDRHL レジスタに格納された受信データ数を示します。値 00h は受信データがないことを意味します。また、値 10h は最大数の受信データが FRDRHL レジスタに格納されていることを意味します。

T[4:0] ビット（トランスミット FIFO データ数）

T[4:0] ビットは、FTDRHL レジスタに格納された未送信データ数を示します。値 00h は送信データがないことを意味します。また、値 10h は全送信データ（最大数）が FTDRHL レジスタに格納されていることを意味します。

34.2.28 ラインステータスレジスタ（LSR）

アドレス SCI0.LSR 4007 0018h, SCI1.LSR 4007 0038h, SCI2.LSR 4007 0058h, SCI3.LSR 4007 0078h, SCI4.LSR 4007 0098h, SCI5.LSR 4007 00B8h, SCI6.LSR 4007 00D8h, SCI7.LSR 4007 00F8h, SCI8.LSR 4007 0118h, SCI9.LSR 4007 0138h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PNUM[4:0]					—	FNUM[4:0]					—	ORER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ORER	オーバーランエラーフラグ	調歩同期式モード（マルチプロセッサモードを含む）またはクロック同期式モードにおいて、FIFO選択時にのみ有効です。 0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R （注1）
b1	—	予約ビット	読むと0が読めます。	R
b6-b2	FNUM[4:0]	フレーミングエラー数	レシーブFIFOデータレジスタ（FRDRHL）に格納された受信データの中でフレーミングエラーを含むデータ数を示します。	R
b7	—	予約ビット	読むと0が読めます。	R
b12-b8	PNUM[4:0]	パリティエラー数	レシーブFIFOデータレジスタ（FRDRHL）に格納された受信データの中でパリティエラーを含むデータ数を示します。	R
b15-b13	—	予約ビット	読むと0が読めます。	R

注 1. SSR_FIFO.ORER に 0 を書いてクリアしてください。

LSR レジスタは、受信エラーのステータスを示すためのレジスタです。

ORER ビット（オーバーランエラーフラグ）

ORER ビットは、SSR_FIFO.ORER の値を反映します。

FNUM[4:0] ビット（フレーミングエラー数）

FNUM[4:0] ビット値は、FRDRHL レジスタに格納されたフレーミングエラーを含むデータ数を示します。

PNUM[4:0] ビット（パリティエラー数）

PNUM[4:0] ビット値は、FRDRHL レジスタに格納されたパリティエラーを含むデータ数を示します。

34.2.29 コンペアマッチデータレジスタ（CDR）

アドレス SCI0.CDR 4007 001Ch, SCI1.CDR 4007 003Ah, SCI2.CDR 4007 005Ah, SCI3.CDR 4007 007Ah, SCI4.CDR 4007 009Ah, SCI5.CDR 4007 00BAh, SCI6.CDR 4007 00DAh, SCI7.CDR 4007 00FAh, SCI8.CDR 4007 011Ah, SCI9.CDR 4007 013Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPD[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	CMPD[8:0]	コンペアマッチデータ	アドレス一致ウェイクアップ機能用の比較データパターンを格納します。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CDR レジスタは、アドレス一致検出機能を設定するためのレジスタです。

CMPD[8:0] ビット（コンペアマッチデータ）

CMPD[8:0] ビットは、アドレス一致検出機能が有効（DCCR.DCME = 1）のとき、アドレス一致検出機能で受信データと比較するデータを設定します。

3 種類のビット長から選択できます。

- 7 ビット長の CMPD[6:0]
- 8 ビット長の CMPD[7:0]
- 9 ビット長の CMPD[8:0]

34.2.30 データコンペアマッチコントロールレジスタ（DCCR）

アドレス SCI0.DCCR 4007 0013h, SCI1.DCCR 4007 0033h, SCI2.DCCR 4007 0053h, SCI3.DCCR 4007 0073h, SCI4.DCCR 4007 0093h, SCI5.DCCR 4007 00B3h, SCI6.DCCR 4007 00D3h, SCI7.DCCR 4007 00F3h, SCI8.DCCR 4007 0113h, SCI9.DCCR 4007 0133h

	b7	b6	b5	b4	b3	b2	b1	b0
	DCME	IDSEL	—	DFER	DPER	—	—	DCMF
リセット後の値	0	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCMF	データコンペアマッチフラグ	0：不一致 1：一致	R/(W)（注1）
b2-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	DPER	データコンペアマッチパリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W)（注1）
b4	DFER	データコンペアマッチフレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W)（注1）
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	IDSEL	IDフレーム選択	調歩同期式モード（マルチプロセッサモードを含む）でのみ有効です。 0：MPBビット値とは無関係に、常にデータを比較する 1：MPBビットが1（IDフレーム）の場合にのみデータを比較する	R/W
b7	DCME	データコンペアマッチ有効	調歩同期式モード（マルチプロセッサモードを含む）でのみ有効 0：アドレス一致検出機能は無効 1：アドレス一致検出機能は有効	R/W

注 1. フラグをクリアするため、1 を読んだ後に 0 を書き込むことのみ可能です。

DCCR レジスタは、アドレス一致検出機能を制御するためのレジスタです。

DCMF フラグ（データコンペアマッチフラグ）

DCMF フラグは、SCI によって受信データと比較データ（CDR.CMPD）の一致が検出されたことを示します。

［1 になる条件］

- DCCR.DCME = 1 の状態で、受信データが比較データ（CDR.CMPD）と一致したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

シリアルコントロールレジスタ（SCR）の RE ビットを 0 にしても、DCMF フラグは影響を受けず、以前の状態を保持します。

DPER フラグ（データコンペアマッチパリティエラーフラグ）

DPER フラグは、アドレス一致検出（受信データの一致検出）時に、パリティエラーが発生したことを示します。

［1 になる条件］

- アドレス一致が検出されたフレームでパリティエラーが検出されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0（シリアル受信動作を禁止）にした場合、DPER フラグは影響を受けず、以前の値を保持

DFER フラグ（データコンペアマッチフレーミングエラーフラグ）

DFER フラグは、アドレス一致検出（受信データの一致検出）時に、フレーミングエラーが発生したことを示します。

［1 になる条件］

- アドレス一致が検出されたフレームのストップビットが 0 のとき
- 2 ストップモードの場合、ストップビットの 1 ビット目のみが 1 であるかチェックされる（2 ビット目はチェックされない）

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- SCR.RE ビットを 0（シリアル受信動作を禁止）にしても、DFER フラグは影響を受けず、以前の値を保持

IDSEL ビット（ID フレーム選択）

IDSEL ビットは、アドレス一致検出機能が有効な場合、MPB ビットの値とは無関係に比較を行うか、または MPB ビット = 1（ID フレーム）の場合にのみ比較を行うかを選択します。

DCME ビット（データコンペアマッチ有効）

DCME ビットは、アドレス一致検出機能（データコンペアマッチ機能）の有効／無効を選択します。

SCI によって受信データと比較データ（CDR.CMPD）の一致が検出された場合、DCME ビットは自動的にクリアされ、その後、SCI の動作はデータコンペアマッチ機能なしの受信モードになります。34.3.6 アドレス一致（受信データ一致）検出機能を参照してください。

調歩同期式モード以外では、書き込み値は 0 にする必要があります。

34.2.31 シリアルポートレジスタ（SPTR）

アドレス SCI0.SPTR 4007 001Ch, SCI1.SPTR 4007 003Ch, SCI2.SPTR 4007 005Ch, SCI3.SPTR 4007 007Ch, SCI4.SPTR 4007 009Ch, SCI5.SPTR 4007 00BCh, SCI6.SPTR 4007 00DCh, SCI7.SPTR 4007 00FCh, SCI8.SPTR 4007 011Ch, SCI9.SPTR 4007 013Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPB2IO	SPB2DT	RXDMON
リセット後の値	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	RXDMON	シリアル入力データモニタ	RXDn端子の状態を示します。 0：RXDn端子はLow 1：RXDn端子はHigh	R
b1	SPB2DT	シリアルポートブレークデータ選択	SCR.TE = 0の場合、TXDn端子の出力レベルを選択します。 0：TXDn端子にはLowを出力 1：TXDn端子にはHighを出力	R/W
b2	SPB2IO	シリアルポートブレーク入出力	TXDn端子へSPB2DTの値を出力するか否かを選択します。 0：SPB2DTビットの値をTXDn端子に出力しない 1：SPB2DTビットの値をTXDn端子に出力する	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPTR レジスタは、シリアル受信端子（RXDn 端子）の状態を確認し、送信端子（TXDn 端子）の状態を設定するためのレジスタです。このレジスタは調歩同期式モードでのみ使用可能です。

表 34.22 に示すように、TXDn 端子の状態は、SCR.TE、SPTR.SPB2IO、SPTR.SPB2DT の各設定値の組み合わせで決定されます。

表 34.22 TXDn端子の状態

SCR.TEビットの値	SPTR.SPB2IO ビットの値	SPTR.SPB2DT ビットの値	TXDn端子の状態
0	0	x	Hi-Z（初期値）
0	1	0	Low出力
0	1	1	High出力
1	x	x	シリアル送信データを出力

x：Don’t care

注． SPTR レジスタは調歩同期式モードでのみ使用してください。他のモードでの使用は保証されません。

34.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを、図 34.2 に示します。1 フレームは、スタートビット（Low）で始まり、送受信データ、パリティビット、ストップビット（High）の順に構成されます。調歩同期式シリアル通信では、通信していないときの通信回線はマーク状態（High）に保たれています。

SCI は通信回線を監視しています。Low を検出すると、スタートビットとみなしてシリアル通信を開始します。

SCI 内部では送信部と受信部は独立しており、全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成（FIFO モードも含む）になっているため、送受信中でもデータの読み出し／書き込みが可能であり、連続送受信が実現されます。

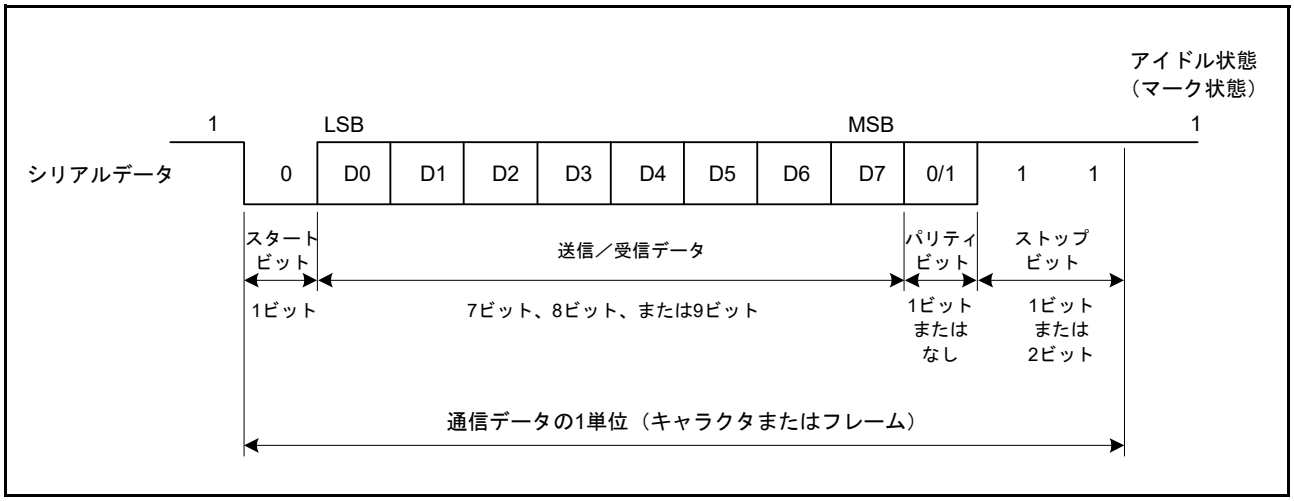


図 34.2 調歩同期式シリアル通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの場合）

34.3.1 シリアル転送フォーマット

調歩同期式モードで設定できるシリアル転送フォーマットを表 34.23 に示します。フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの設定で選択できます。マルチプロセッサ機能の詳細については 34.4 マルチプロセッサ通信機能を参照してください。

表 34.23 シリアル転送フォーマット（調歩同期式モード）(1/2)

SCMR の設定	SMR の設定				シリアル転送フォーマットとフレーム長
CHR1	CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12 13
0	0	0	0	0	S 9ビットデータ STOP
0	0	0	0	1	S 9ビットデータ STOP STOP
0	0	1	0	0	S 9ビットデータ P STOP
0	0	1	0	1	S 9ビットデータ P STOP STOP
1	0	0	0	0	S 8ビットデータ STOP
1	0	0	0	1	S 8ビットデータ STOP STOP
1	0	1	0	0	S 8ビットデータ P STOP
1	0	1	0	1	S 8ビットデータ P STOP STOP
1	1	0	0	0	S 7ビットデータ STOP
1	1	0	0	1	S 7ビットデータ STOP STOP
1	1	1	0	0	S 7ビットデータ P STOP

表 34.23　シリアル転送フォーマット（調歩同期式モード）(2/2)

SCMRの設定	SMRの設定				シリアル転送フォーマットとフレーム長
CHR1	CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12 13
1	1	1	0	1	S 7ビットデータ P STOP STOP
0	0	—	1	0	S 9ビットデータ MPB STOP
0	0	—	1	1	S 9ビットデータ MPB STOP STOP
1	0	—	1	0	S 8ビットデータ MPB STOP
1	0	—	1	1	S 8ビットデータ MPB STOP STOP
1	1	—	1	0	S 7ビットデータ MPB STOP
1	1	—	1	1	S 7ビットデータ MPB STOP STOP

S：スタートビット
STOP：ストップビット
P：パリティビット
MPB：マルチプロセッサビット

34.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍（注 1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。

また、図 34.3 に示すように、受信データは基本クロックの 8 パルス目（注 1）の立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。調歩同期式モードでの受信マージンは以下の式（1）のように表すことができます。

$$M = \left| (0.5 - \frac{1}{2N}) - (L - 0.5)\ F - \frac{\left| D - 0.5 \right|}{N} (1 + F) \right| \times 100\ [\%] \cdots \text{Formula (1)}$$

M：受信マージン
N：クロックに対するビットレートの比
（SEMR.ABCSE ビット = 0 かつ SEMR.ABCS ビット = 0 のとき N = 16、
SEMR.ABCS ビット = 1 のとき N = 8、SEMR.ABCSE ビット = 1 のとき N = 6）
D：クロックのデューティ（D = 0.5 ～ 1.0）
L：フレーム長（L = 9 ～ 13）
F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）= 0、D（クロックのデューティ）= 0.5 とすると、受信マージンは下記の式で算出されます。

M = {0.5 - 1/(2 × 16)} × 100 (%) = 46.875%

これは計算上の値を表しています。システム設計の際には 20 ～ 30% の余裕を持たせることが推奨されます。

注 1. この例では、SEMR レジスタの ABCS ビットと ABCSE ビットが 0 です。ABCS ビットが 1 で ABCSE ビットが 0 の場合は、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 パルス目の立ち上がりエッジでサンプリングされます。
ABCSE ビットが 1 の場合は、ビットレートの 6 倍の周波数が基本クロックとなり、受信データは基本クロックの 3 パルス目の立ち上がりエッジでサンプリングされます。

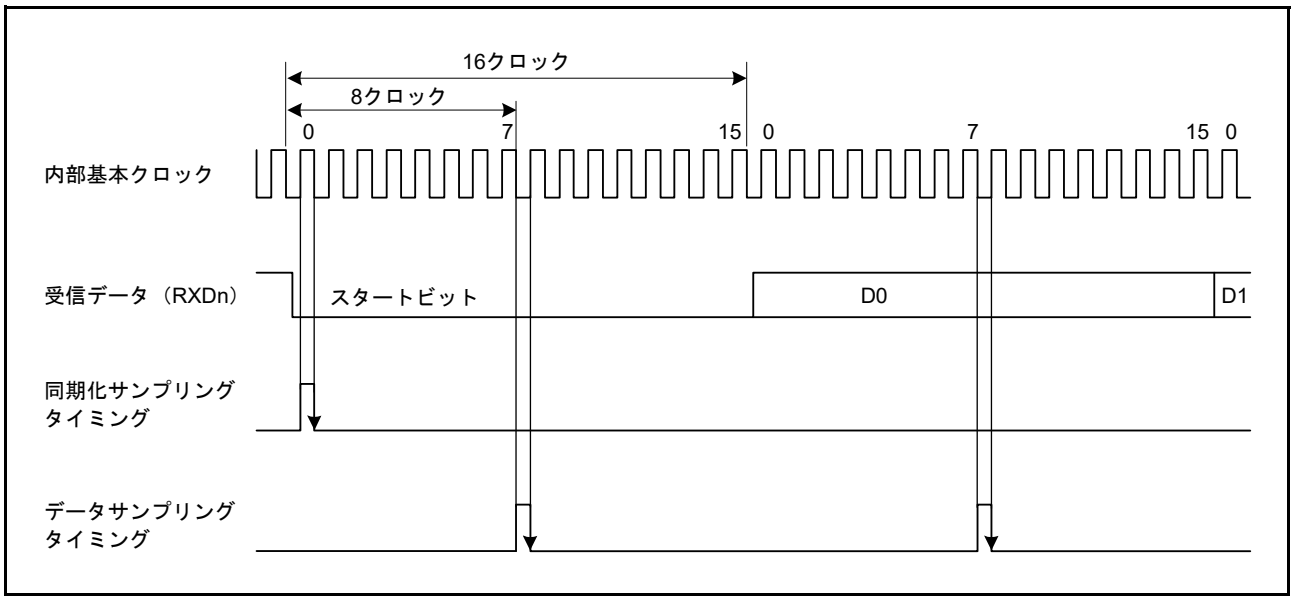


図 34.3 調歩同期式モードでの受信データのサンプリングタイミング

34.3.3 クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット = 0 のとき）、または 8 倍（SEMR.ABCS ビット = 1 のとき）の周波数のクロックを入力する必要があります。

内部クロックで動作させるときは、SCKn 端子からクロックを出力させることができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 34.4 に示すように、送信データの中間でクロックが立ち上がるように設定されます。

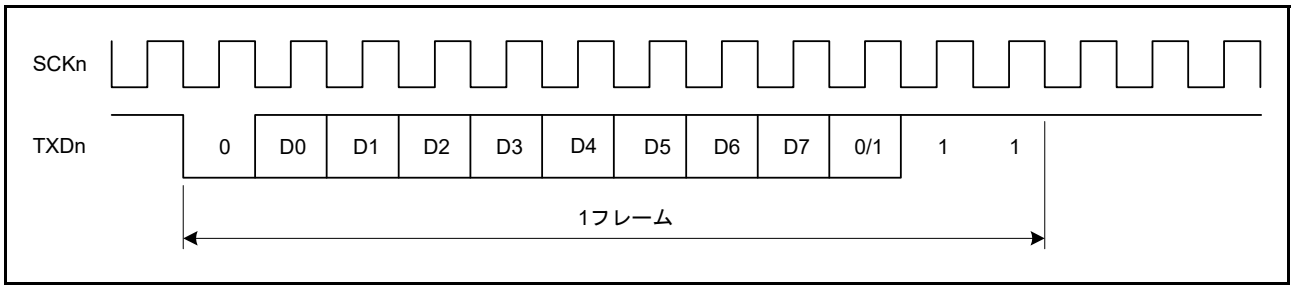


図 34.4 出力クロックと送信データの位相関係（調歩同期式モード：SMR.CHR = 0、PE = 1、MP = 0、STOP = 1）

34.3.4 倍速動作とビットレートの 6 倍の周波数

SEMR レジスタで調歩同期基本クロック選択（ABCS）ビットを 1 にして、1 ビット期間として基本クロックの 8 パルスを選択した場合、ABCS ビットが 0 の場合に比べて、SCI は 2 倍のビットレートで動作します。SEMR レジスタでボーレートジェネレータ倍速モード選択（BGDM）ビットが 1 になっていると、基本クロックの周期は 1/2 倍になり、ビットレートは BGDM ビットが 0 の場合の 2 倍になります。SCR.CKE[1] ビットを 0 にして、内蔵ボーレートジェネレータを選択した場合、ABCS ビットと BGDM ビットを 1 にすることにより、ABCS ビットと BGDM ビットが 0 の場合に比べて、SCI は 4 倍のビットレートで動作できるようになります。SEMR.ABCSE ビットが 1 になっている場合、基本クロックのパルス数は 1 ビット期間中 6 になります。このとき、SEMR.ABCS = 0、SEMR.BGDM = 0、および SMER.ABCSE = 0 の場合に比べて、SCI は 16/3 倍のビットレートで動作します。

34.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージンの式（1）に示すとおり、SEMR.ABCS ビットが 1、または SEMR.ABCSE ビットが 1 の場合、受信マージンは減少します。そのため、ABCS ビットまたは ABCSE ビットが 0 の状態で、目的とするビットレートが達成できるのであれば、ABCSE ビットと ABCS ビットを 0 にして、SCI を使用することが推奨されます。

34.3.5 CTS、RTS 機能

CTS 機能は、CTSn_RTSn 端子入力を使用して送信制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると送信が開始されます。

送信中に CTSn_RTSn 端子を High にしても、送信中のフレームは影響を受けず、送信を継続します。

RTS 機能は、CTSn_RTSn 端子出力を使用して受信要求を行います。受信可能な状態になると Low が出力されます。Low および High を出力する条件は以下の通りです。

［Low になる条件］

(a) 非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットが 1
- 受信動作中でない
- 読み出し前の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて 0

(b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットが 1
- FRDRHL に書き込まれた受信データ数が指定された受信トリガ数以下
- SSR_FIFO.ORER（FRDRH.ORER）フラグが 0

[High になる条件]

(a) 非 FIFO 選択時

Low になる条件を満たさない場合。

受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。このとき、SCR.RE に 0 を書き込んだ後に SCR レジスタをダミーリードしてください。

(b) FIFO 選択時

- Low になる条件を満たさない場合

34.3.6 アドレス一致（受信データ一致）検出機能

アドレス一致検出機能は、調歩同期式モードでのみ使用可能です。

DCCR.DCME ビットが 1（注 4）の場合、1 フレーム分のデータを受信すると、SCI は受信データと CDR.CMPD ビットの値を比較します。SCI によって受信データと比較データ（CDR.CMPD（注 3））の一致が検出された場合、SCIn_RXI 割り込み要求を発生させることができます。

SMR.MP ビットが 0 の場合は、受信フォーマットの正しいデータのみが比較対照になります。マルチプロセッサモード（SMR.MP ビット = 1）では、DCCR.IDSEL ビットが 1 の場合、MPB ビット = 1 の受信データがアドレス一致の比較対照となります。MPB ビット = 0 の受信データは、常に不一致として処理されます。

DCCR.IDSEL ビットが 0 の場合、受信データの MPB ビットの値にかかわらず、SCI はアドレス一致検出を実行します。

受信データと比較データ（CDR.CMPD（注 3））の一致が検出されるまで、受信データが読み飛ばされる（廃棄される）ので、SCI はパリティエラーもフレーミングエラーも検出することができません。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、DCCR.DCMF フラグは 1 になります。

DCCR.IDSEL ビットが 1 であれば、SCR.MPIE ビットが自動的にクリアされます。また、DCCR.IDSEL ビットが 0 であれば、SCR.MPIE ビットの値が保持されます。SCR.RIE ビットが 1 になっていると、SCI は SCIn_RXI 割り込み要求を発行します。一致が検出された受信データに対して、SCI がフレーミングエラーを検出すると、DCCR.DFER フラグが 1 になり、SCI がそのフレームにパリティエラーを検出すると、DCCR.DPER フラグが 1 になります。比較された受信データは RDR レジスタ（注 1）に格納されません。また、SSR.RDRF フラグ（注 2）は 0 を保持します。

SCI が一致を検出すると、DCCR.DCME ビットは自動的にクリアされ、現在のレジスタ設定に従って、SCI は次のデータを連続して受信します。

DCCR.DFER フラグまたは DCCR.DPER フラグが 1 の状態では、アドレス一致検出は実行されません。アドレス一致検出機能を有効にする場合は、事前に DCCR.DFER フラグと DCCR.DPER フラグを 0 にしてください。

アドレス一致検出機能の例を図 34.5 と図 34.6 に示します。

注 1. FCR.FM = 1 の場合、これは FRDRHL レジスタになります。
注 2. FCR.FM = 1 の場合、これは SSR_FIFO.RDF フラグになります。
注 3. 比較対照は、3 種類のビット長（7 ビット長の CMPD[6:0]、8 ビット長の CMPD[7:0]、および 9 ビット長の CMPD[8:0]）から 1 つ選択できます。
注 4. アドレス一致検出を実行する受信フレームのスタートビットを受信する前に、DCCR.DCME ビットを 1 にしてください。

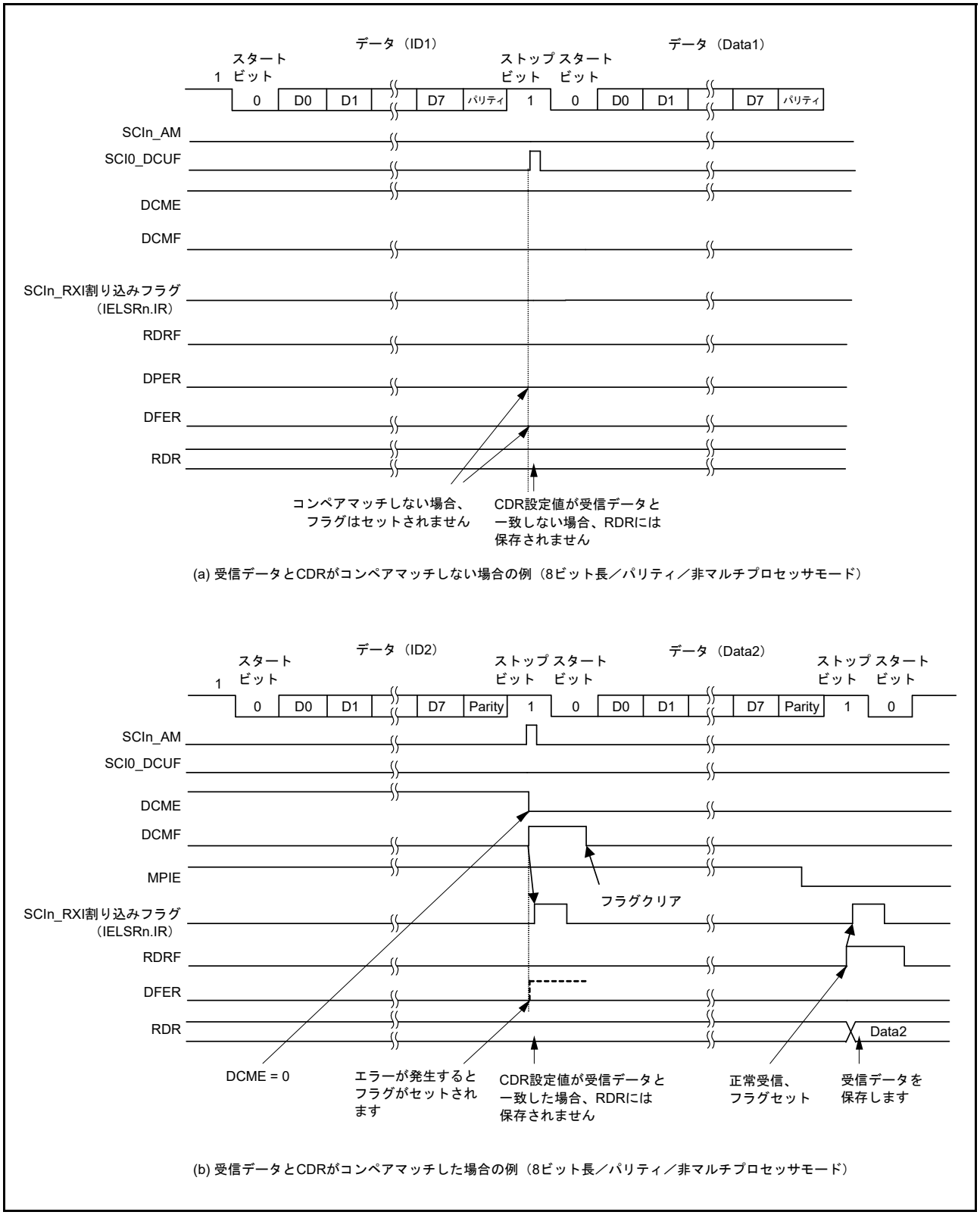


図 34.5　アドレス一致検出の例（1）（非マルチプロセッサモード）

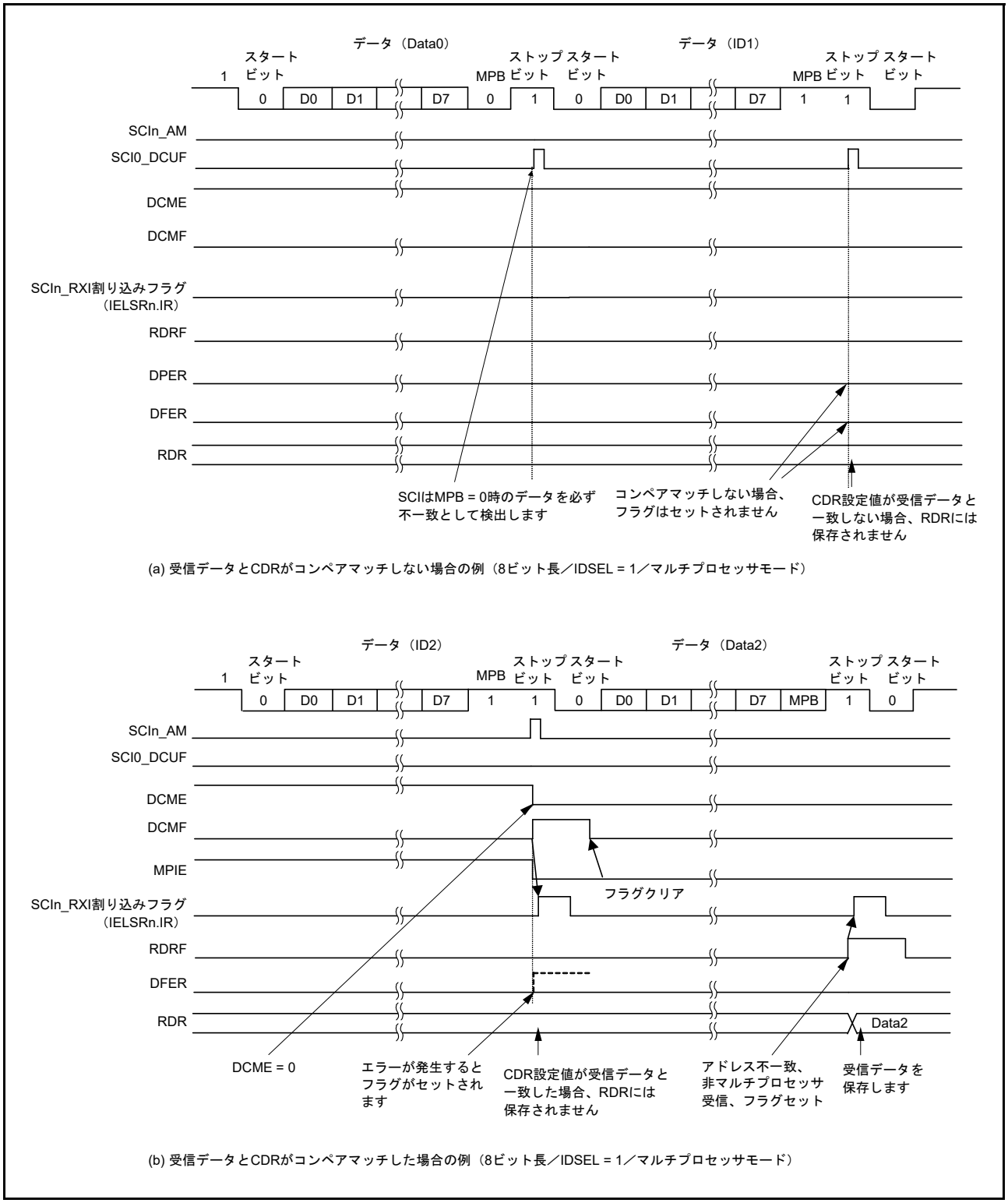


図 34.6　アドレス一致検出の例（2）（マルチプロセッサモード）

34.3.7 SCI の初期化（調歩同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に図 34.7 と図 34.8 のフローチャートに従って SCI の設定（非 FIFO 選択時または FIFO 選択時）を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

注 . SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、RDRF、RDF、PER および DR の各フラグ、ならびに RDR レジスタと RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注 . SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。

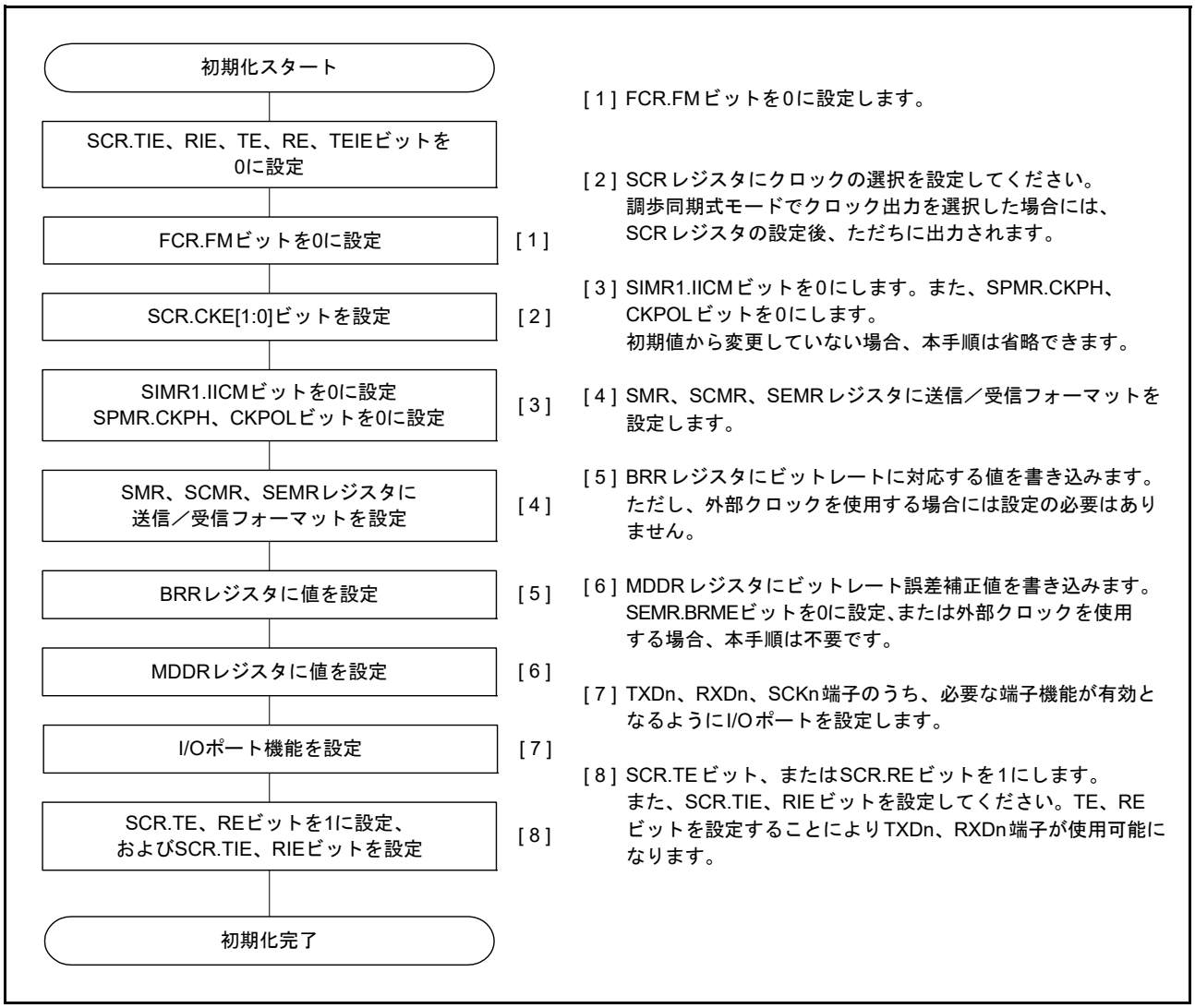


図 34.7 調歩同期式モードにおける SCI の初期化フロー例（非 FIFO 選択時）



図 34.8 調歩同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時）

34.3.8 シリアルデータの送信（調歩同期式モード）

(1) 非 FIFO 選択時

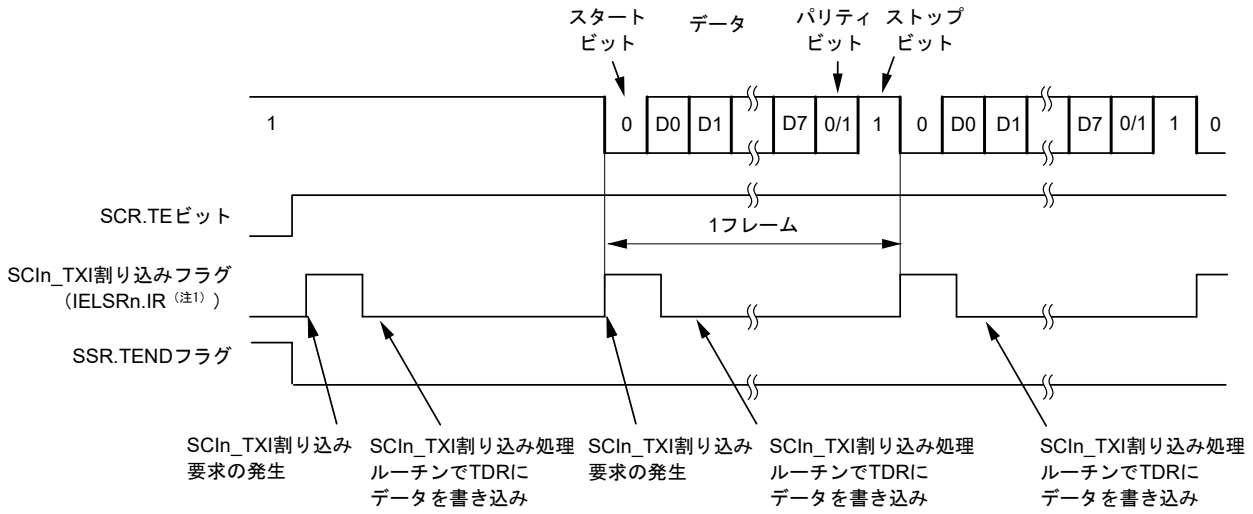
図 34.9、図 34.10、および図 34.11 に、調歩同期式モードにおけるシリアル送信の動作例を示します。

本節では、シリアルデータ送信時の SCI の動作について説明します。SCR.TE ビットが 1 の場合、1 フレーム分（プリアンブル）の High レベルが TXD 端子に出力されます。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタ（注 1）にデータが書き込まれると、SCI は TDR レジスタ（注 1）から TSR レジスタへデータを転送します。
   なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、TDR レジスタ（注 1）から TSR レジスタへデータが転送され、送信が開始されます。SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタ（注 1）に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタ（注 1）に書き込んだ後、SCR.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、SCR.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ
   - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
   - ストップビット
4. ストップビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていると、SPMR.CTSE ビットが 0（CTS 機能は無効）、または CTSn_RTSn 端子入力が Low に設定されていれば、次の送信データが TDR レジスタ（注 1）から TSR レジスタへ転送され、ストップビット送出後、次のフレームのシリアル送信が開始されます。
6. TDR レジスタが更新されていない場合は、SSR.TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。SCR.TEIE ビットが 1 になっていると、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

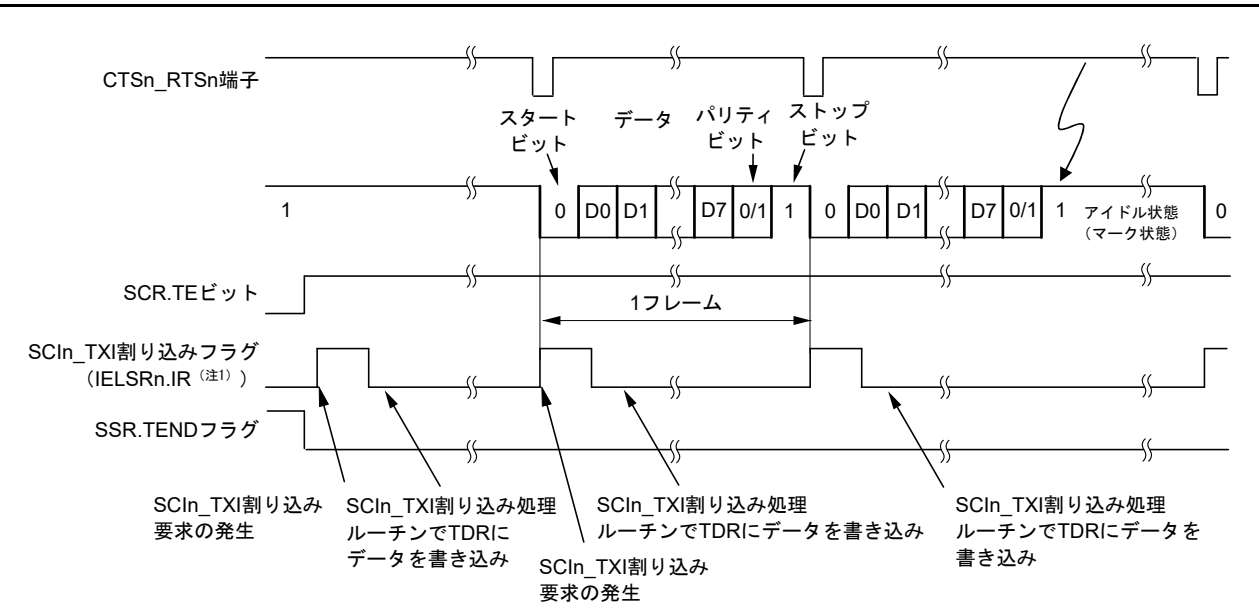
注 1. データ長 9 ビット選択時は、TDRHL レジスタになります。

図 34.9 に調歩同期式モードにおけるシリアル送信の例を示します。



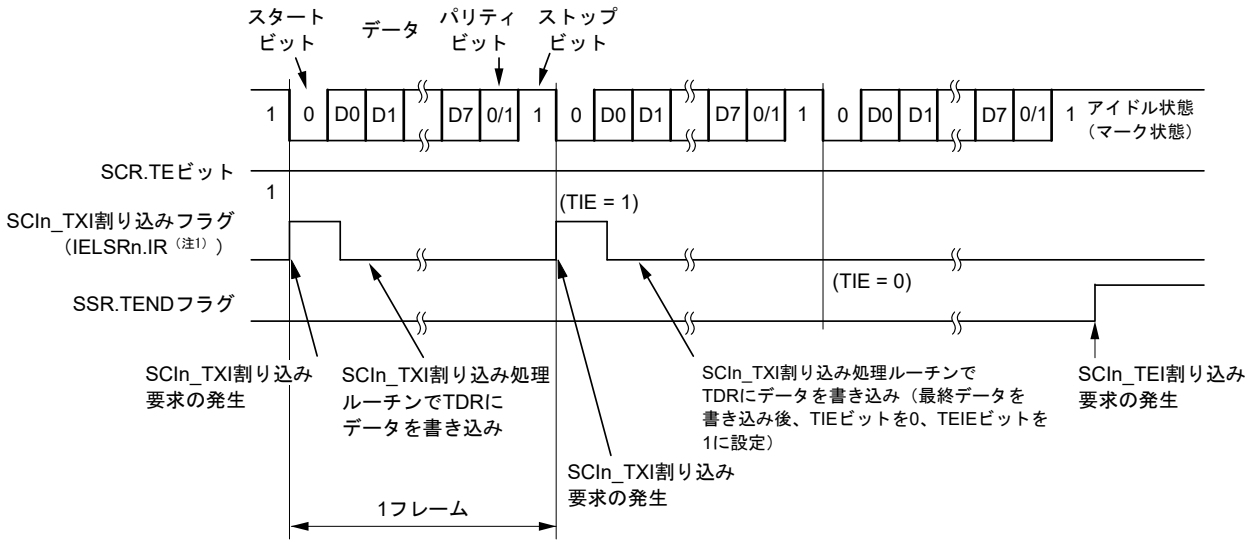
注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.9 調歩同期式モードにおけるシリアル送信の動作例（1）（8 ビットデータ／パリティあり／1 ストップビット／ CTS 機能不使用／送信開始時）



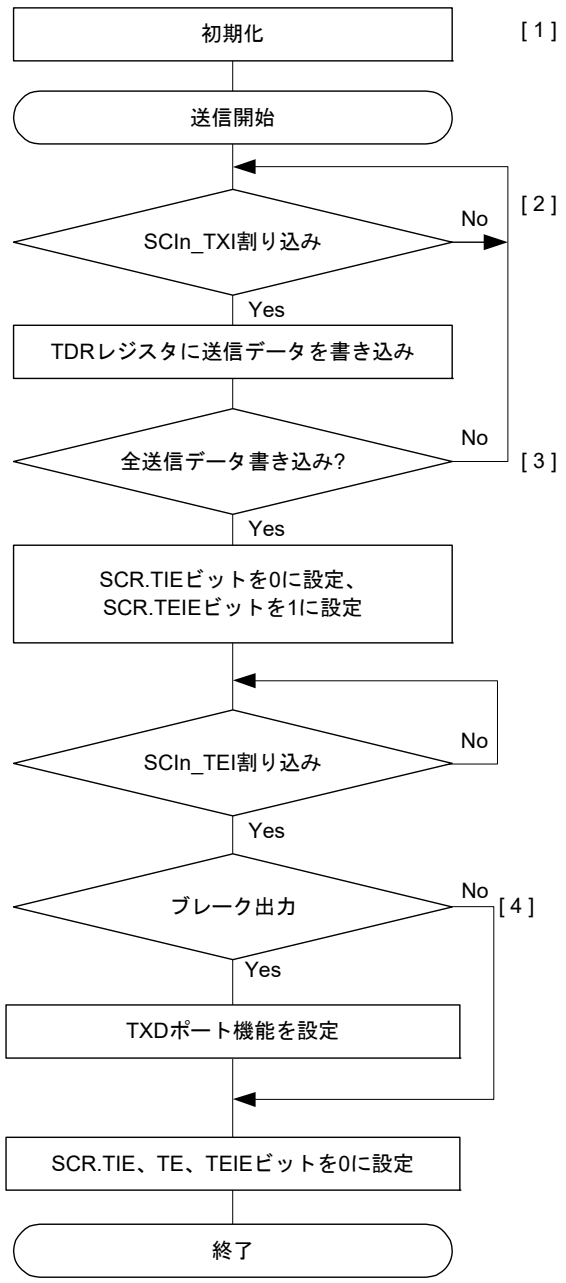
注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.10 調歩同期式モードにおけるシリアル送信の動作例（2）（8 ビットデータ／パリティあり／1 ストップビット／ CTS 機能使用／送信開始時）



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.11 調歩同期式モードにおけるシリアル送信の動作例（3）（8 ビットデータ／パリティあり／1 ストップビット／CTS 機能不使用／送信中～送信終了時）



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分（プリアンブル）の1を出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求で送信データをTDRレジスタに書き込み：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み（SCIn_TXI）要求が発生します。SCIn_TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけ書き込みしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、SCIn_TXI割り込み要求でTDRレジスタに送信データを1回だけ書き込みしてください。送信データは、DMACまたはDTCを転送してTDRに書き込みすることも可能です。
SCIn_TEI割り込み要求を使用しているときは、送信する最終データをTDRに書き込み後、SCR.TIEビットを0、SCR.TEIEビットを1にしてください。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力する場合、SPTR.SPB2IO、SPTR.SPB2DTビットでTXDn端子の出力状態（Lowレベル出力）を設定後、SCR.TEビットを0にしてください。

注． 9ビットデータ長を選択時、TDRレジスタがTDRHLレジスタになります。

図 34.12 調歩同期式モードにおけるシリアル送信のフローチャート例（非FIFO選択時）

(2) FIFO 選択時

図 34.13 に、調歩同期式モードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。

データ長に対応したデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRLの送信データ															
			FTDRHL															
			FTDRH								FTDRL							
	SCMR.CHR1	SMR.CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	—	—	—	—	—	—	—	—	7ビット送信データ						
8ビット	1	1	—	—	—	—	—	—	—	—	8ビット送信データ							
9ビット	0	Don't care	—	—	—	—	—	—	—	9ビット送信データ								

—：無効ビット。書く場合、0 としてください。

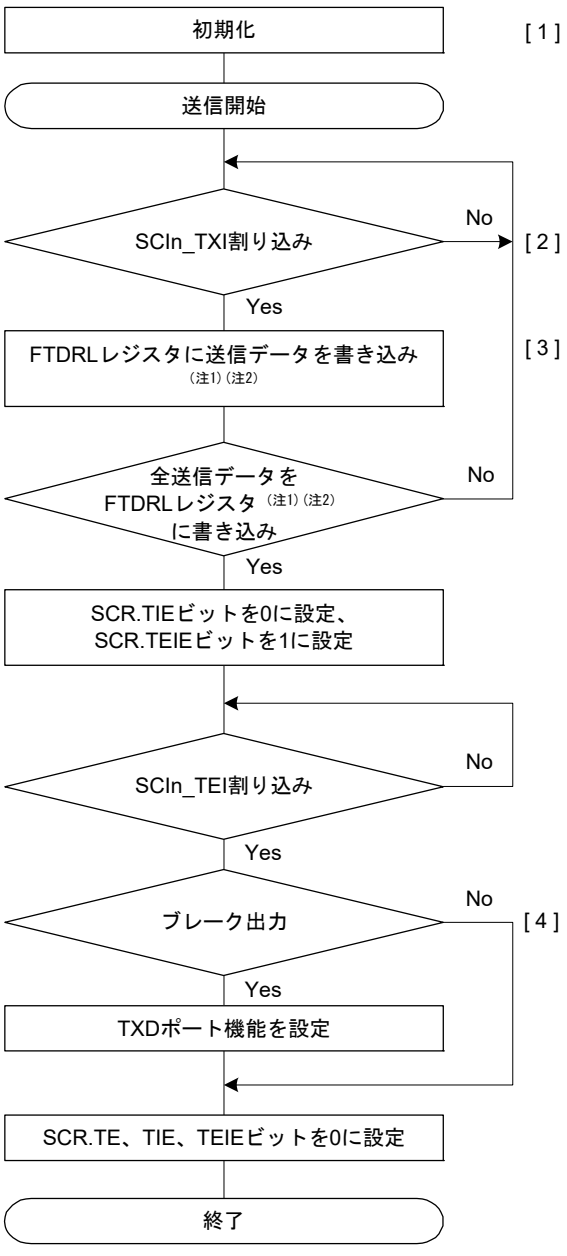
図 34.13 FTDRH と FTDRL に書き込まれるデータフォーマット（FIFO 選択時）

本節では、シリアルデータ送信時の SCI の動作について説明します。TE ビットが 1 の場合、1 フレーム（プリアンブル）分の High レベルが TXD 端子に出力されます。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ（注 1）にデータが書き込まれると、SCI は FTDRL レジスタ（注 1）から TSR レジスタへデータを転送します。
   FTDRL レジスタに書き込み可能なデータ量は FDR.T[4:0] バイトから 16 を引き算した結果です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TE ビットと SCR.TIE ビットを 1 命令で同時に 1 にすることで発生します。
2. SPMR.CTSE ビットが 0（CTS 機能は無効）であり、かつ CTSn_RTSn 端子入力が Low であると、FTDRL レジスタ（注 1）から TSR レジスタへデータが転送され、送信が開始されます。FTDRL に書き込まれた送信データ数が指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタ（注 1）に次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタ（注 1）（注 2）に書き込んだ後、SCR.TIE ビットを 0（SCIn_TXI 割り込み要求を禁止）にして、SCR.TEIE ビットを 1（SCIn_TEI 割り込み要求を許可）にします。
3. データは、以下の順に TXDn 端子から送り出されます。
   - スタートビット
   - 送信データ
   - パリティビットまたはマルチプロセッサビット（フォーマットによっては、ない場合もある）
   - ストップビット
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタ（注 3）に未送信データが残っていないかチェックします。
5. FTDRL レジスタ（注 3）にデータがある場合、SPMR.CTSE ビットが 0（CTS 機能は無効）であるか、または CTSn_RTSn 端子入力が Low であると、次の送信データが FTDRL レジスタ（注 1）から TSR レジスタへ転送され、ストップビット送出後、次のフレームの送信が開始されます。
6. FTDRL レジスタ（注 3）にデータがない場合、SSR_FIFO レジスタの TEND フラグが 1 になり、ストップビットを送り出した後、1 を出力するマーク状態になります。SCR.TEIE ビットが 1 になっていると、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、FTDRH レジスタと FTDRL レジスタになります。
注 2. データ長 9 ビット選択時は、FTDRH レジスタ→FTDRL レジスタの順にデータを書き込んでください。
注 3. データ長 9 ビット選択時は、SCI によって FTDRL レジスタの更新のみがチェックされ、FTDRH レジスタの更新はチェックされません。

図 34.14 に、調歩同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。



[1] SCIの初期化：
データ送信に設定します。SCR.TE ビットを1にした後、1フレーム分（プリアンブル）の1を出力して送信可能状態になります。

[2] SCIn_ TXI割り込み要求で送信データをFTDRL（注1）に書き込み：
送信データがFTDRLからTSRに転送されると、FTDRLに書き込んだ送信データ量が指定の送信トリガ数以下の場合、送信データエンプティ割り込み（SCIn_TXI）要求が発生します。SCIn_TXI割り込み処理ルーチンでFTDRL（注1）（注2）に送信データを1回だけ書き込みしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、SCIn_TXI割り込み要求でFTDRLに全送信データを書き込みし、SSR_FIFO.TDFEフラグを0にクリアしてください。書き込み可能な送信データ数は、16 -（保存した送信FIFOデータ数）です。また、送信データは、DMACまたはDTCを起動して書き込みすることも可能です。DMACまたはDTCでFTDRLにデータを書き込むと、TDFEフラグは自動的にクリアされるため、TDFEフラグへ書き込みはしないでください。SCIn_TEI割り込み要求を使用する場合、最終送信データをFTDRLに書き込みした後、SCR.TIEビットを0に、SCR.TEIEビットを1にします。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、SPTR.SPB2IO、SPTR.SPB2DTビットでTXD端子を出力状態（Lowレベル出力）に設定した後、SCR.TEビットを0にします。

注 1. データ長が 9 ビットの場合は、FTDRH/FTDRL レジスタを参照してください。
注 2. データ長が 9 ビットの場合は、FTDRH、FTDRL の順番で書き込みしてください。

図 34.14 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

34.3.9 シリアルデータの受信（調歩同期式モード）

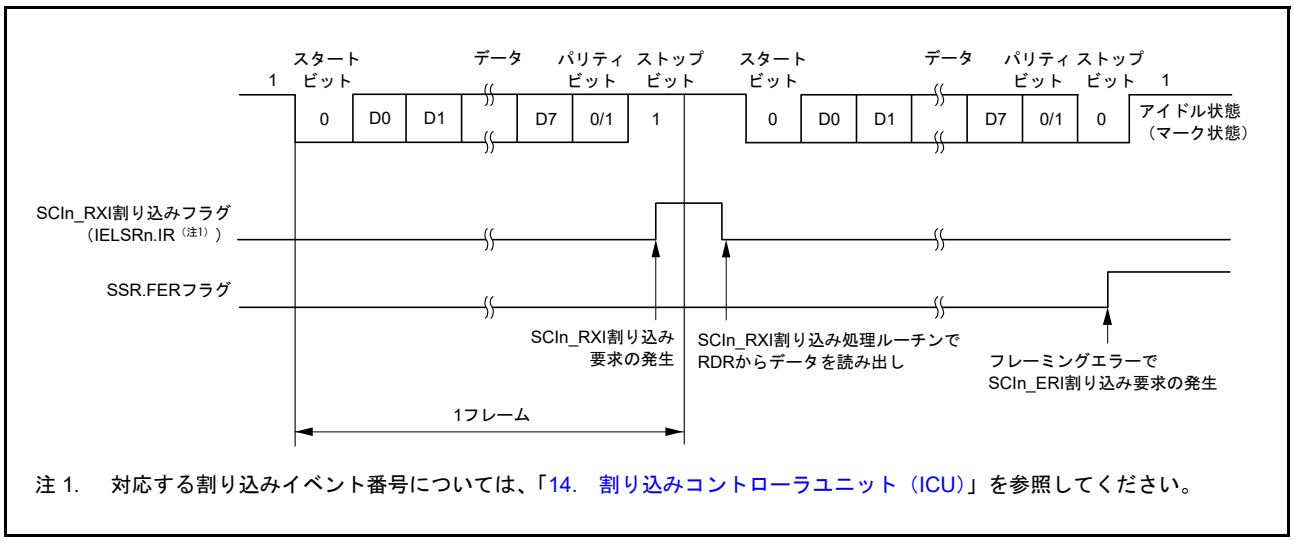
(1) 非 FIFO 選択時

図 34.15 と図 34.16 に、調歩同期式モードにおけるシリアル受信の動作例を示します。

シリアルデータの受信時、SCI は以下のように動作します。

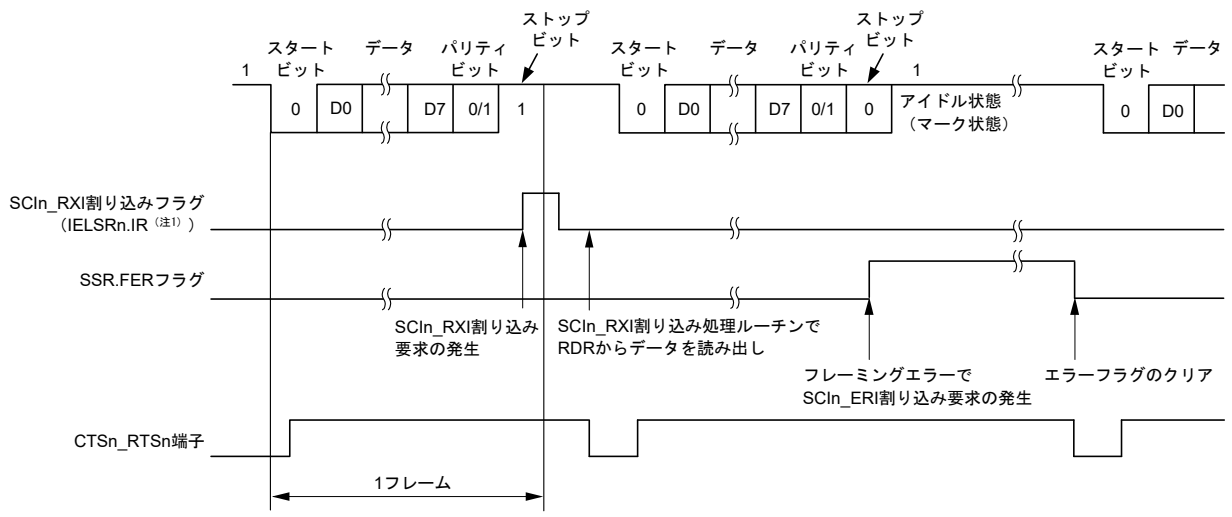
1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタ（注 1）へ転送されません。
4. パリティエラーが検出された場合は、SSR.PER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、SSR.FER フラグが 1 になり、受信データが RDR レジスタ（注 1）へ転送されます。SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データが RDR レジスタ（注 1）へ転送されます。SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.15 調歩同期式モードにおけるシリアル受信の動作例（1）（RTS 機能を使用しない場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.16 調歩同期式モードにおけるシリアル受信の動作例（2）（RTS 機能を使用する場合）（8 ビットデータ／パリティあり／1 ストップビットの場合）

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 34.24 に示します。

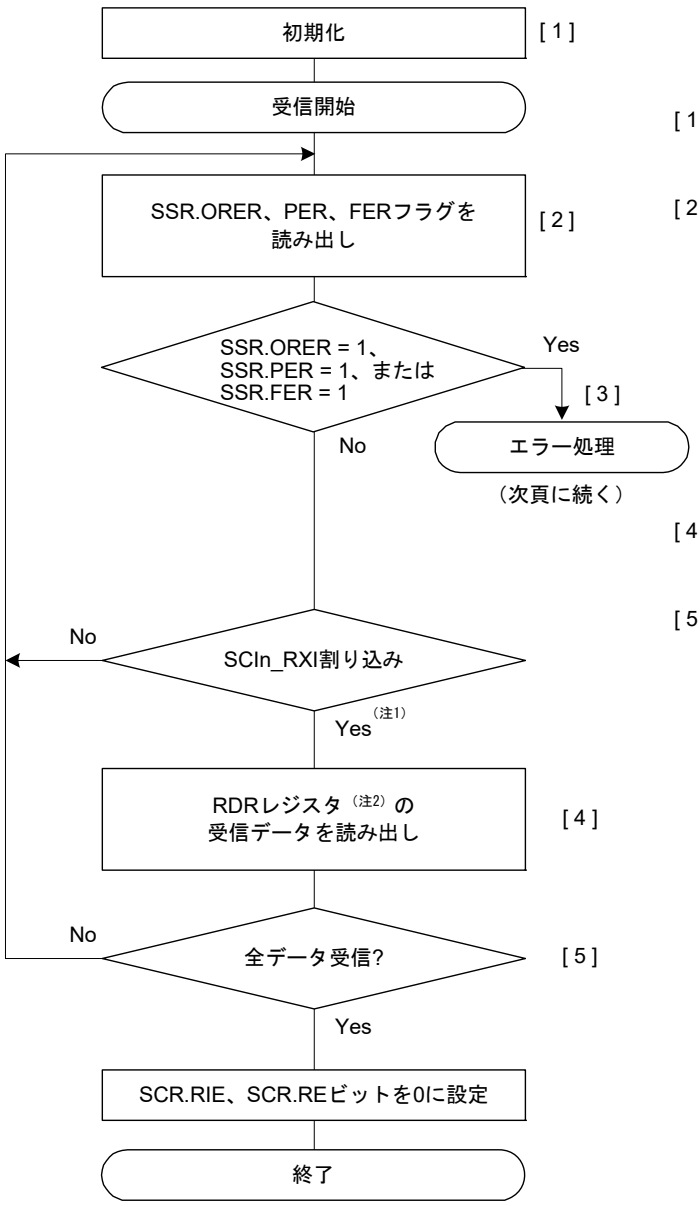
受信エラーが検出されると、SCIn_ERI 割り込み要求は発生しますが、SCIn_RXI 割り込み要求は発生しません。受信エラーフラグが 1 の状態では、受信動作を再開できません。したがって、ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR または RDRHL レジスタを読み出してください。受信動作中に SCR.RE ビットを 0 にして受信動作を強制終了させた場合、RDR または RDRHL レジスタに読み出し前の受信データが残っている可能性があるため、RDR または RDRHL レジスタを読み出す必要があります。

図 34.17 と図 34.18 に、シリアル受信のフローチャート例を示します。

表 34.24 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの種類
ORER	FER	PER		
1	0	0	消失	オーバーランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバーランエラー＋フレーミングエラー
1	0	1	消失	オーバーランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバーランエラー＋フレーミングエラー＋パリティエラー

注 1. データ長 9 ビット選択時は、RDRHL レジスタになります。



[1] SCIの初期化：
データ受信に設定します。

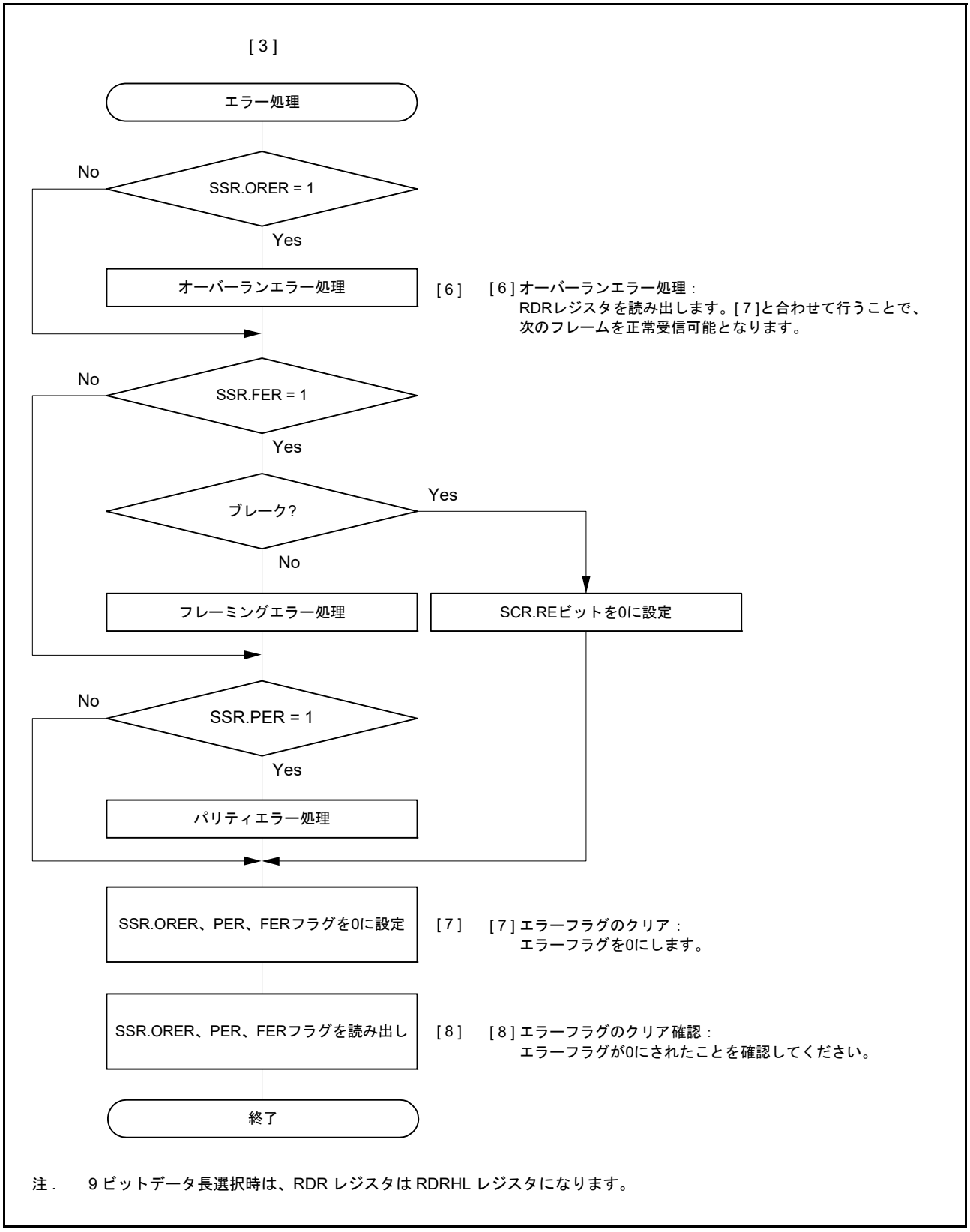
[2][3] 受信エラー処理とブレーク検出：
受信エラーが発生したときには、SCIn_ERI割り込みが発生します。SSR.ORER、PER、FERフラグを読み出すことでエラーを判定します。所定のエラー処理を行った後、ORER、PER、FERフラグをすべて0にしてください。これらいずれかのフラグが1に設定された状態では受信を再開できません。フレーミングエラーの場合は、RXDn端子に対応する入力ポートの値を読み出すことによってブレークの検出ができます。

[4] SCIn_ RXI割り込みルーチンで、RDRレジスタの受信データを1回読み出します。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、フレームのストップビットを受信する前に、SCIn_RXI割り込みルーチンでRDRレジスタの値を読み出します。RDRレジスタはDMACまたはDTCを起動して値を読み出すことも可能です。

注 1. RDR（レジスタ）の読み出しは必ず RE（ビット）を 0 にしてから行ってください。
注 2. 9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 34.17 調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）（1）



注． 9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 34.18 調歩同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）（2）

(2) FIFO 選択時

図 34.19 に、調歩同期式モードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

調歩同期式モードでは、FRDRH レジスタの MPB フラグに 0 が書き込まれます。データ長に対応したデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、PER、および FRDRL レジスタの受信データ（RDAT[8:0]）を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

データ長	レジスタ設定		FRDRH、FRDRLの受信データ															
			FRDRHL															
			FRDRH								FRDRL							
	SCMR.CHR1	SMR.CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	RDF	ORER	FER	PER	DR	0	0	0	7ビット受信データ						
8ビット	1	1	—	RDF	ORER	FER	PER	DR	0	0	8ビット受信データ							
9ビット	0	Don't care	—	RDF	ORER	FER	PER	DR	0	9ビット受信データ								

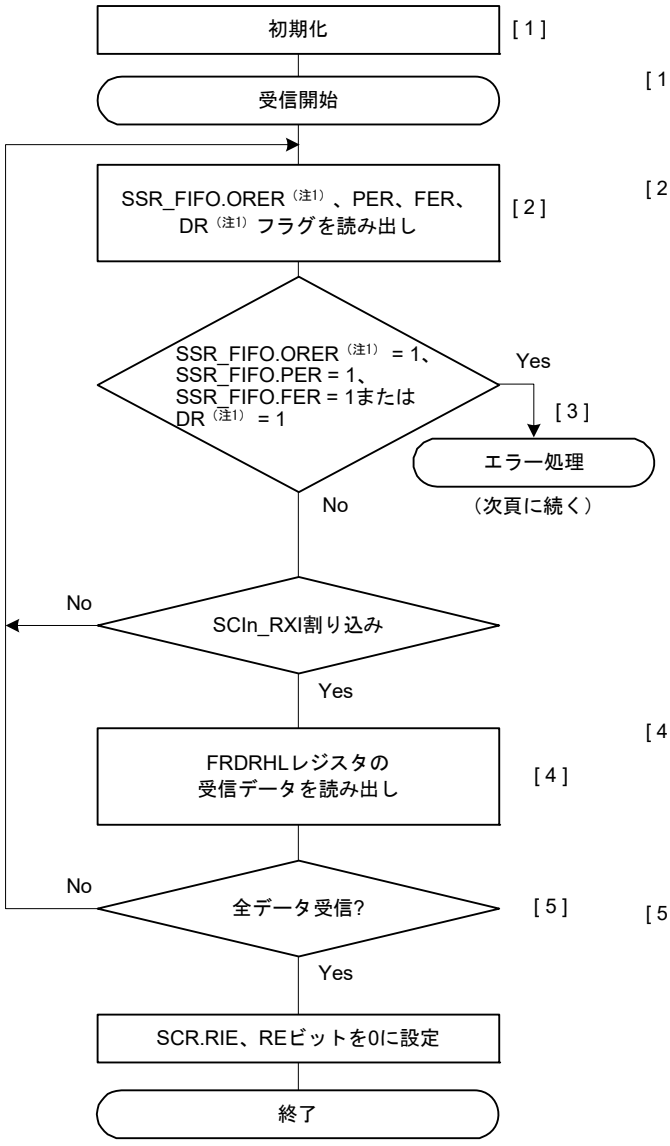
注 . MPB フラグからは常に 0 が読み出されます (FRDRH[1])。
データ長が 7 ビットのとき、FRDRH[0], FRDRL[7] からは常に 0 が読み出されます。
データ長が 8 ビットのとき、FRDRH[0] から常に 0 が読み出されます。
FRDRH[7] ビットの読み出し値は不定です。

図 34.19 FRDRH と FRDRL に格納されるデータフォーマット（FIFO 選択時）

シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが 1 になると、CTSn_RTSn 端子出力が Low になります。
2. SCI が通信回線を監視し、スタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER フラグが 1 になります。SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ（注 1）へ転送されません。
4. パリティエラーが検出された場合は、PER フラグと受信データが FRDRL レジスタ（注 1）へ転送されます。このとき、RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
5. フレーミングエラーが検出された場合は、FER フラグと受信データが FRDRL レジスタ（注 1）へ転送されます。このとき、RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。
6. フレーミングエラーが検出された後、SCI によって連続受信データが 1 フレーム分であることが検出された場合、受信動作が停止します。
7. レシーブ FIFO データレジスタ（FRDRL）に格納されたデータ数が、指定された受信トリガ数より少なく、かつ、調歩同期式モードにおいて最後のストップビットから 15ETU 経過しても次のデータが受信されていない場合は、SSR_FIFO.DR フラグが 1 になります。RIE ビットが 1 で、FCR.DRES ビットが 0 の場合、SCI は SCIn_RXI 割り込み要求を発生させます。FCR.DRES ビットが 1 の場合、SCI は SCIn_ERI 割り込み要求を発生させます。
8. 正常に受信したときは、受信データが FRDRL レジスタ（注 1）へ転送されます。FRDRHL に書き込まれた受信データ数が、指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ（注 2）へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタ（注 3）へ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

注 1. データ長 9 ビット選択時は、FRDRH レジスタと FRDRL レジスタになります。
注 2. データ長 9 ビット選択時は、FRDRH レジスタ→ FRDRL レジスタの順にデータを読み出してください。
注 3. データ長 9 ビット選択時は、SCI によって FRDRL レジスタの更新のみがチェックされ、FRDRH レジスタの更新はチェックされません。



[1] SCIの初期化：
データ受信に設定します。

[2][3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SCIn_ERI割り込みが発生します。SPTR.RXDMONを読み出しすることにより、ブレークを検出できます。
SSR_FIFO.ORER(注1)、PER、DR(注1)、FERの各フラグを読み出しすることによりエラーを判定します。所定のエラー処理を行った後、ORER(注1) フラグを0にしてください。
ORER(注1) フラグが1にされた状態では受信を再開できません。FER = 1、PER = 1、またはDR(注1) = 1であっても受信動作は継続されます。

[4] RXI割り込み処理ルーチンでFRDRHLの受信データを読み出し：
FRDRHLレジスタに保存した受信データは、保存したデータ数が少なくともFCR.RTRG値未満になるまで読み出されます。FDR.Rビットで、FIFOの受信データ数を確認します。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、オーバーランエラーが発生する前に、SCIn_RXI割り込み処理ルーチンでFRDRHLからデータを読み出し、RDFフラグとDRフラグを0にクリアします。DMACまたはDTCを起動し、FRDRHLのデータを読み出しすることも可能です。この場合、RDFフラグは自動的にクリアされますので、RDFフラグへ書き込みはしないでください。

注 1. FRDRHL.ORER フラグおよび DR フラグで読み出すこともできます。

図 34.20 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）（1）

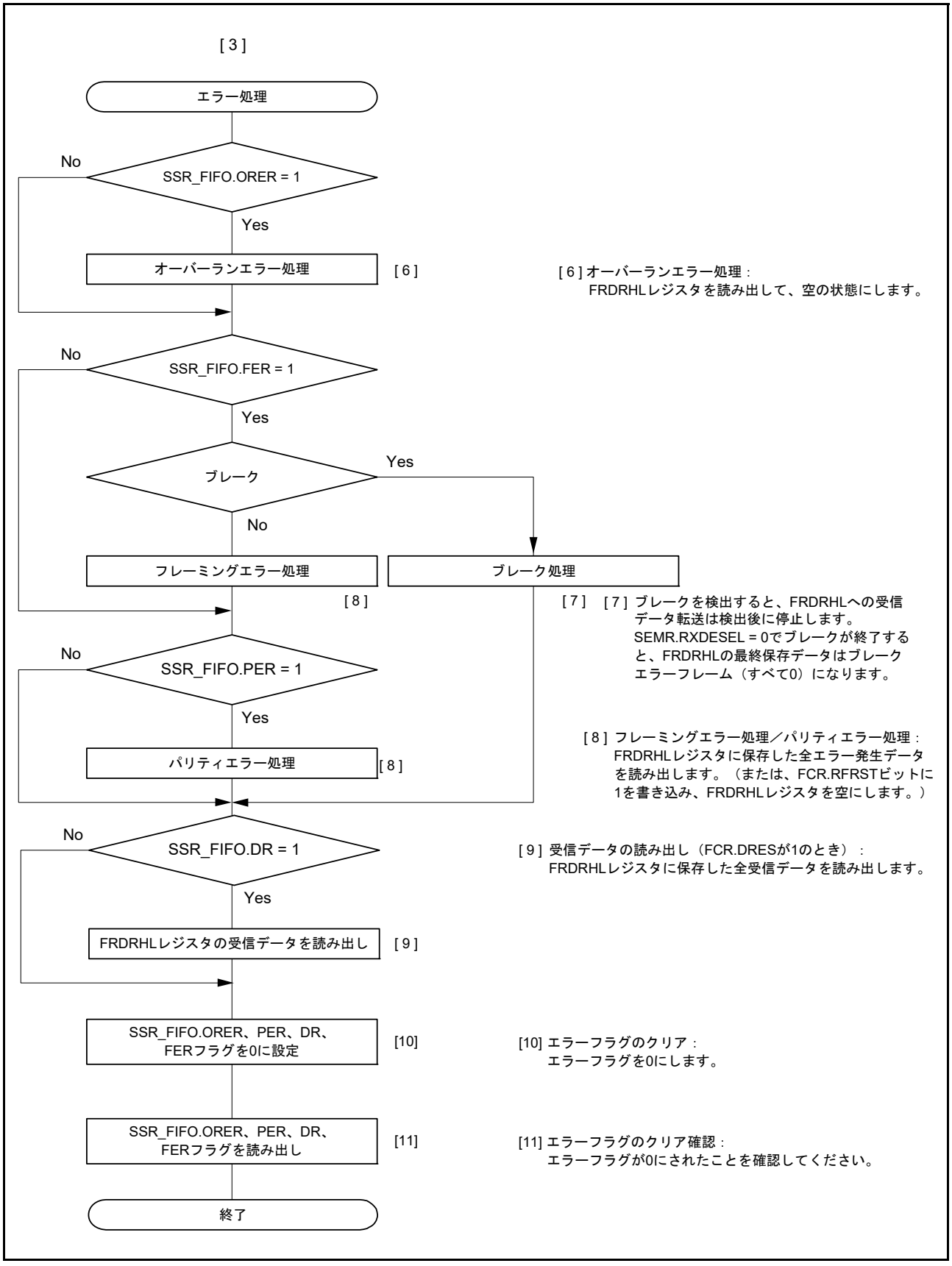


図 34.21　調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）（2）

34.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信の回線を共有することにより、複数のプロセッサ間でデータの送受信が可能になります。マルチプロセッサ通信では、各受信局にそれぞれ固有の ID コードが割り付けられます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと、指定された受信局にデータを送信するためのデータ送信サイクルで構成されます。

ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。

- マルチプロセッサビットが 1 のとき、ID 送信サイクルとなります。
- マルチプロセッサビットが 0 のとき、データ送信サイクルとなります。

図 34.22 に、マルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、受信した ID を自局の ID と比較します。2 つが一致した場合、受信局は、続いて送信される通信データを受信します。一致しなかった場合、再びマルチプロセッサビットが 1 の通信データを受信するまで、通信データを読み飛ばします。

(1) 非 FIFO 選択時

SCI はこの機能をサポートするため、SCR.MPIE ビットを設けています。MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）への受信データの転送
- 受信エラーの検出
- SSR レジスタの RDRF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の受信キャラクタを受信すると、SSR.MPBT ビットが 1 になるとともに、SCR.MPIE ビットが自動的にクリアされ、非マルチプロセッサの受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合、パリティビット機能は無効です。それ以外は、非マルチプロセッサの調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも、非マルチプロセッサの調歩同期式モードで使用するクロックと同一です。

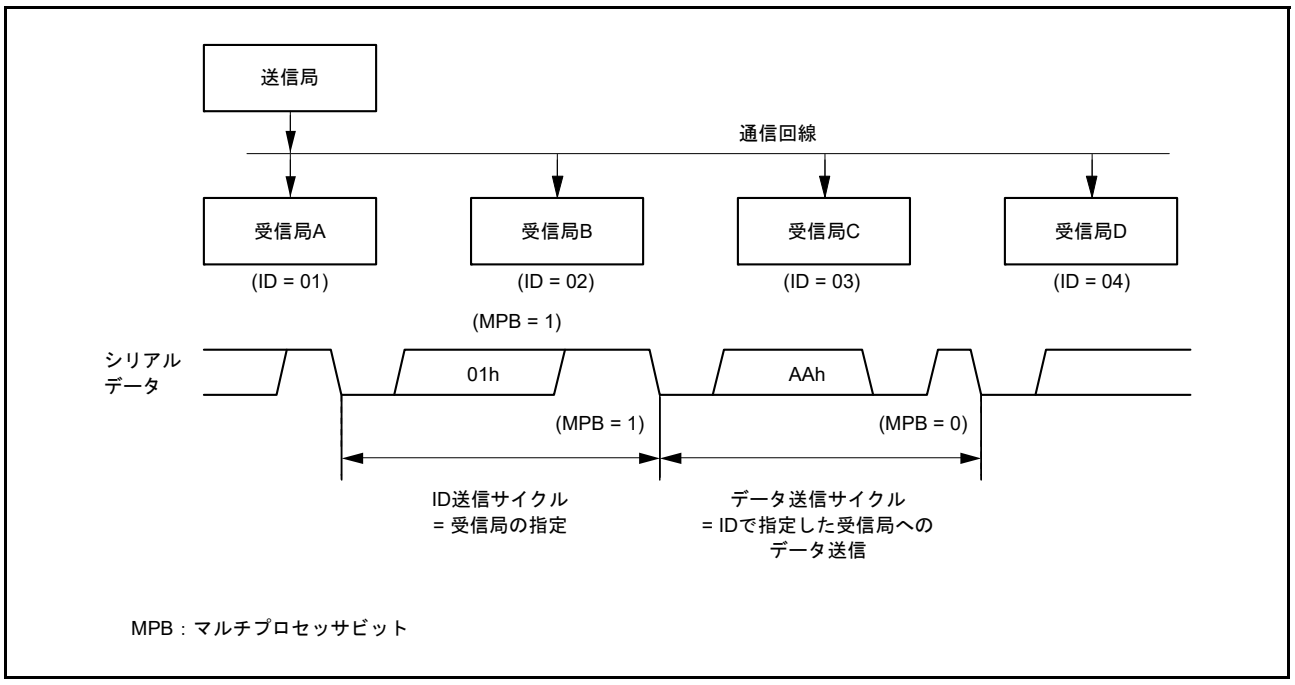


図 34.22 マルチプロセッサフォーマットを使用した通信例（データ AAh を受信局 A に送信する場合）

(2) FIFO 選択時

データ送信では、ソフトウェアにおいて、FTDRHL.TDAT 内の送信データに対応する FTDRHL.MPBT ビットにデータを書き込む必要があります。データ受信では、受信データの一部であるマルチプロセッサビットが FRDRHL.MPB ビットに書き込まれ、受信データは FRDRL レジスタに書き込まれます。

MPIE ビットを 1 にすると、マルチプロセッサビットが 1 のデータを受信するまで、下記の動作が禁止されます。

- RSR レジスタから FRDRHL レジスタへの受信データの転送
- 受信エラーの検出
- ブレーク
- SSR_FIFO レジスタの RDF、ORER、FER の各ステータスフラグのセット

マルチプロセッサビットが 1 の 8 ビットキャラクタを受信すると、FRDRHL.MPB ビットが 1 になるとともに、受信データが FRDRHL.RDAT に書き込まれます。SCR.MPIE ビットが自動的にクリアされ、非マルチプロセッサの受信動作に戻ります。このとき、SCR.RIE ビットがセットされていると、SCIn_RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合、パリティビット機能は無効です。それ以外は、非マルチプロセッサの調歩同期式モードの非 FIFO 選択時と変わりません。

34.4.1 マルチプロセッサシリアルデータ送信

(1) 非 FIFO 選択時

図 34.23 に、マルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、SSR.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードの動作と同じです。

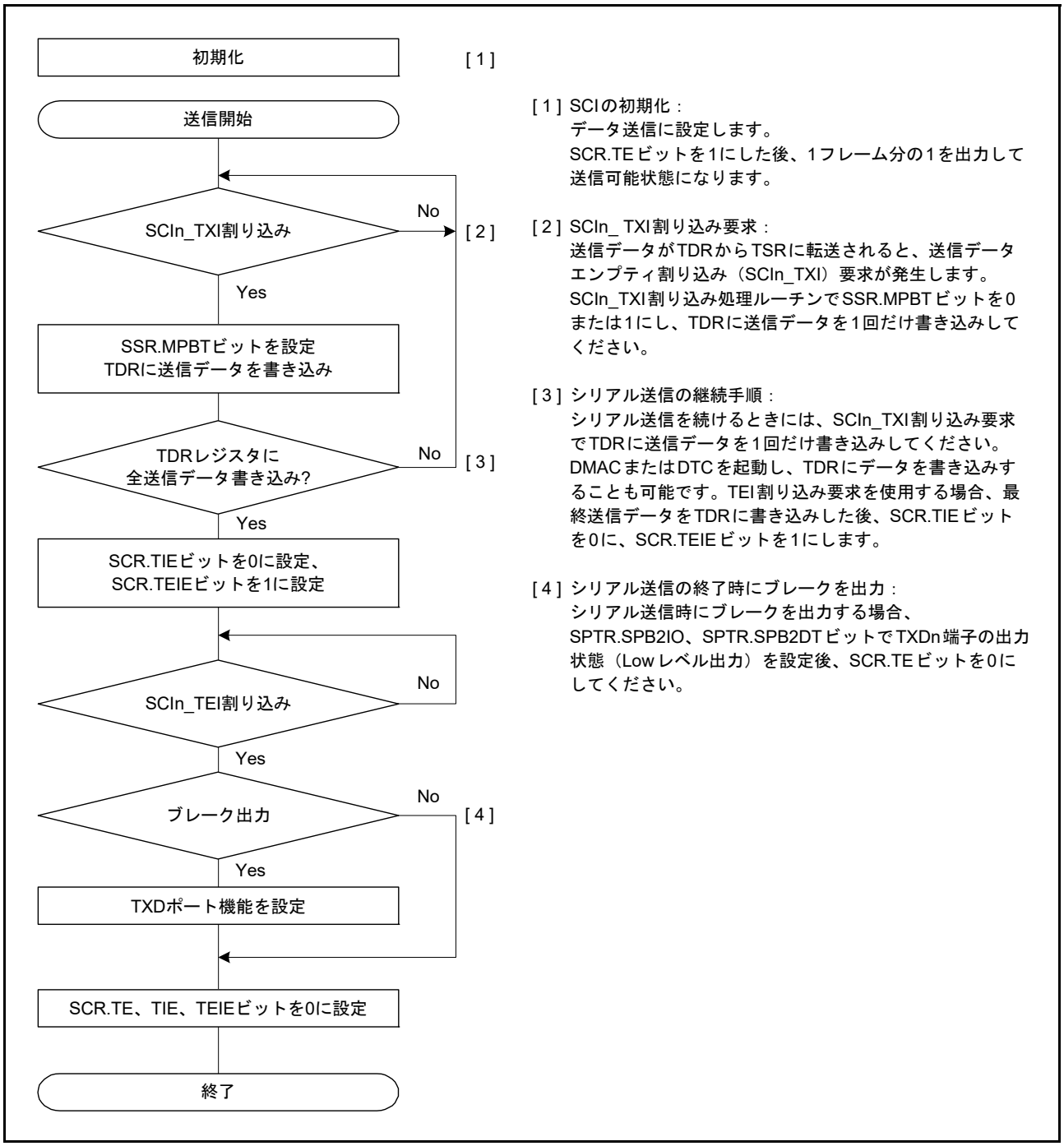


図 34.23 マルチプロセッサシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

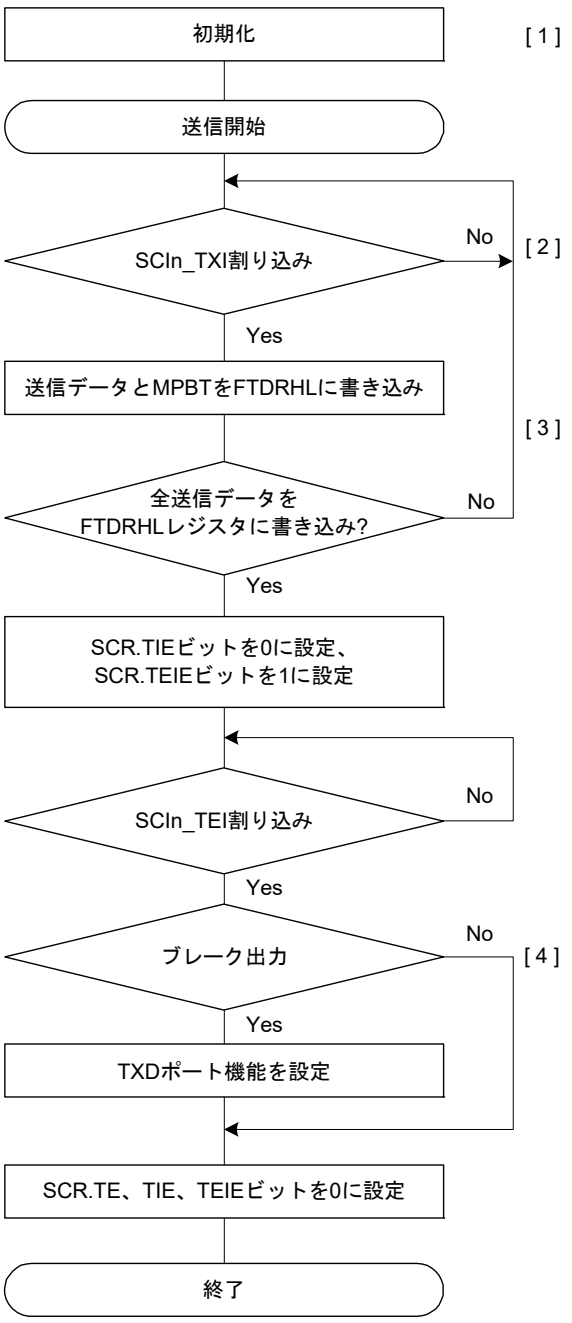
図 34.24 に、マルチプロセッサモードにおいて FTDRH レジスタと FTDRL レジスタに書き込まれるデータフォーマットの例を示します。FTDRH レジスタの MPBT ビットが 1 になります。適切なデータ長のデータが FTDRH レジスタと FTDRL レジスタに書き込まれます。使用しないビットには 0 を書いてください。FTDRH から FTDRL の順に書いてください。

データ長	レジスタ設定		FTDRH、FTDRLの送信データ															
			FTDRHL															
			FTDRH								FTDRL							
	SCMR.CHR1	SMR.CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	—	—	—	—	—	MPBT	—	—	7ビット送信データ						
8ビット	1	1	—	—	—	—	—	—	MPBT	—	8ビット送信データ							
9ビット	0	Don't care	—	—	—	—	—	—	MPBT	9ビット送信データ								

—：無効ビット。書く場合、0 としてください。

図 34.24 マルチプロセッサモードにおいて FTDRH と FTDRL に書き込まれるデータフォーマット（FIFO 選択時）

図 34.25 に、FIFO 選択時のマルチプロセッサシリアル送信のフローチャート例を示します。ID 送信サイクルでは、FTDRH.MPBT ビットを 1 にして ID を送信してください。データ送信サイクルでは、MPBT ビットを 0 にしてデータを送信してください。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。



[1] SCIの初期化：
データ送信に設定します。
SCR.TEビットを1にした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求によるFTDRHLへの送信データを書き込み：
送信データがFTDRHLからTSRに転送されると、FTDRHLに書き込んだ送信データ量が指定の送信トリガ数以下の場合、送信データエンプティ割り込み（SCIn_TXI）要求が発生します。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、SCIn_TXI割り込み要求でFTDRHLに送信データとMPBTを1回だけ書き込みしてください。
DTCを起動し、FTDRHLにデータを書き込みすることも可能です。SCIn_TEI割り込み要求を使用する場合、最終送信データをFTDRHLに書き込みした後、SCR.TIEビットを0に、SCR.TEIEビットを1にします。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力する場合、SPTR.SPB2IO、SPTR.SPB2DTビットでTXDn端子の出力状態（Lowレベル出力）を設定後、SCR.TEビットを0にしてください。

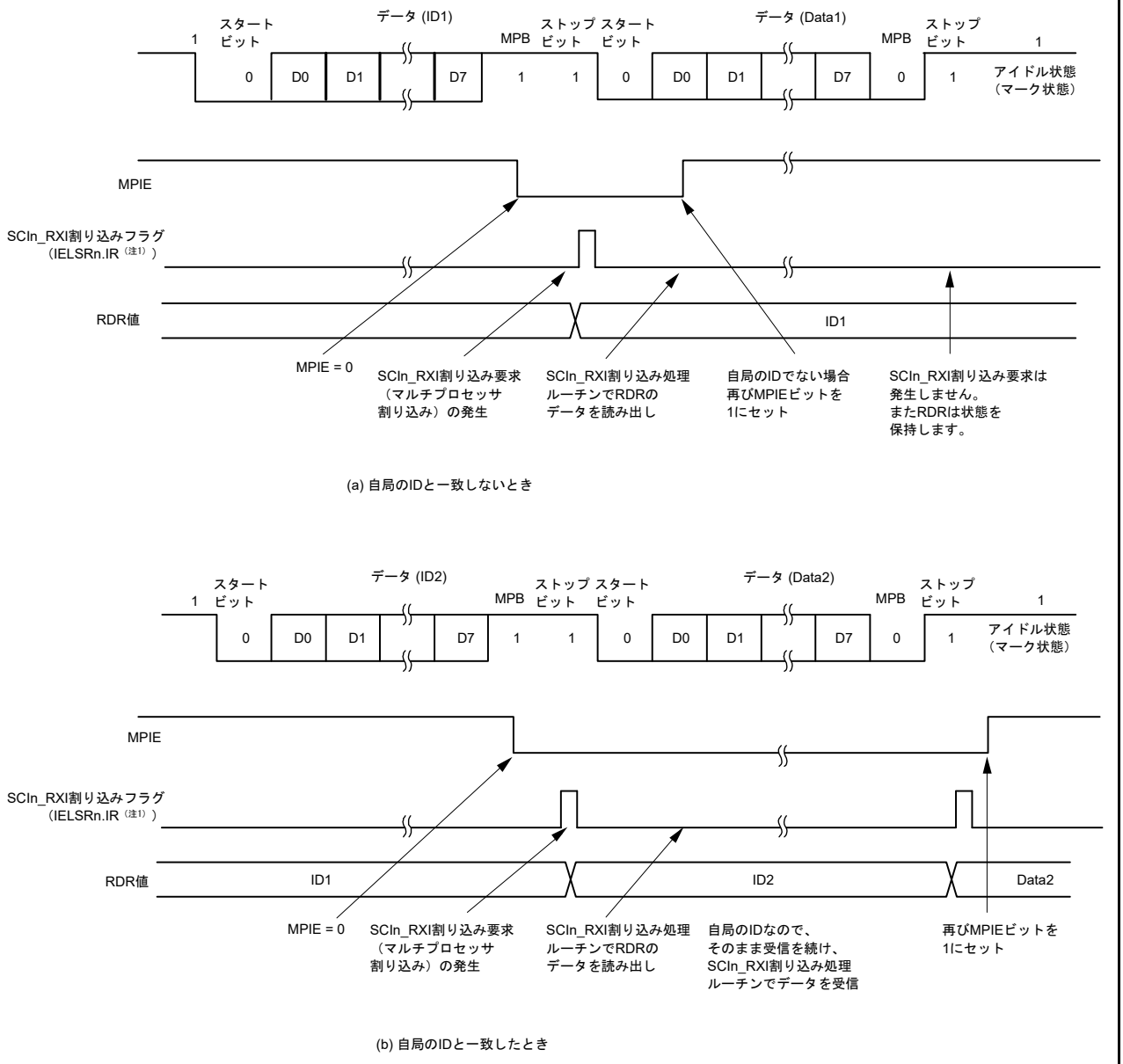
図 34.25 マルチプロセッサモードにおけるシリアル送信のフローチャート例（FIFO 選択時）

34.4.2 マルチプロセッサシリアルデータ受信

(1) 非 FIFO 選択時

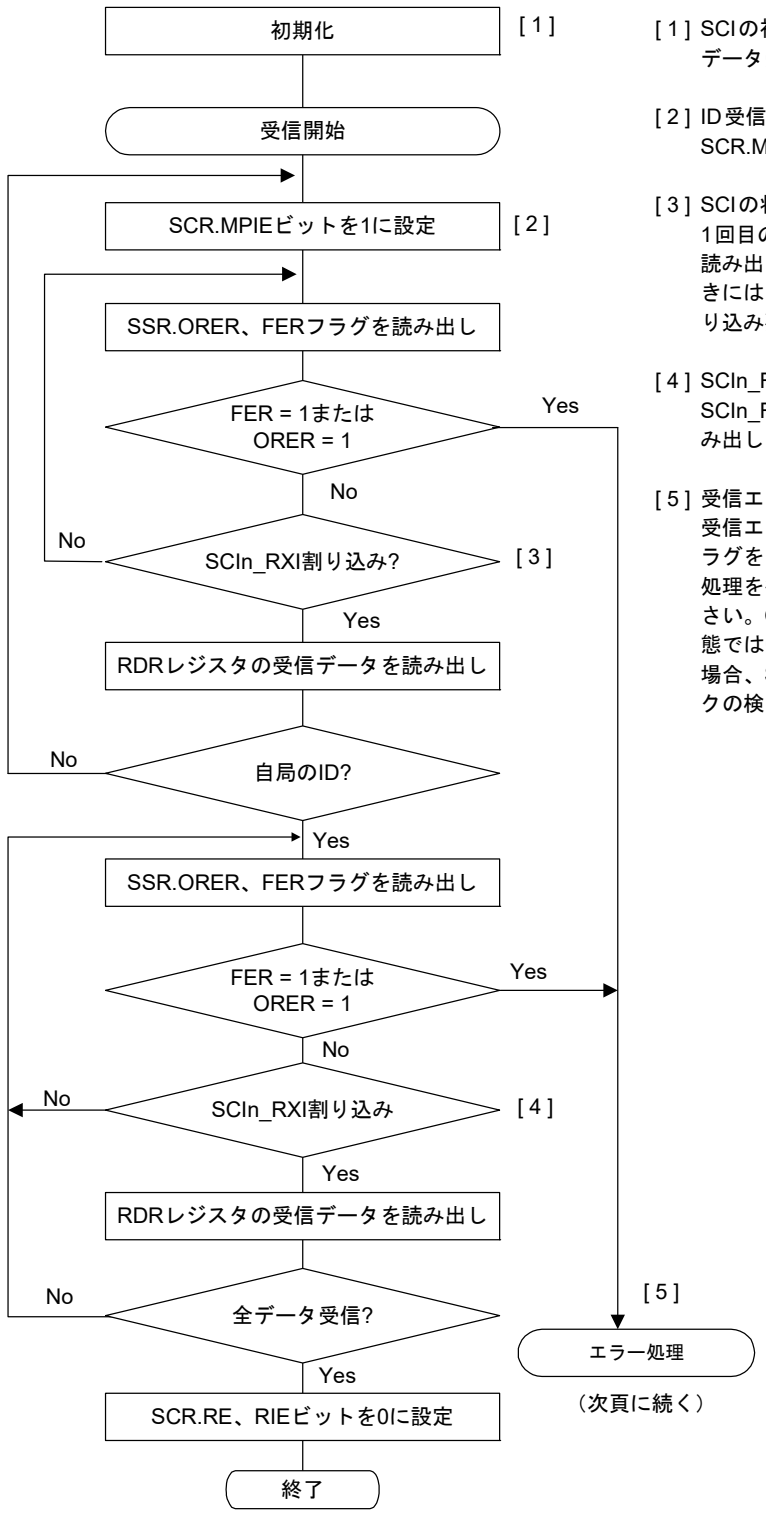
図 34.27 と図 34.28 に、マルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データは RDR レジスタ（データ長 9 ビット選択時は RDRHL レジスタ）へ転送されます。このとき SCIn_RXI 割り込み要求が発生します。その他の動作は、調歩同期式モードの動作と同じです。

図 34.26 に、データ受信時の動作例を示します。



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.26 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの場合）



[1] SCIの初期化：
データ受信に設定します。

[2] ID受信サイクル：
SCR.MPIEビットを1にし、ID受信を待ちます。

[3] SCIの状態を確認して、IDの受信と比較：
1回目のSCIn_RXI割り込みで、RDR（注1）のデータを読み出し、自局のIDと比較します。自局のIDでないときには、再びMPIEビットを1にして別のSCIn_RXI割り込み要求を待ちます。

[4] SCIn_RXI割り込みでデータの受信：
SCIn_RXI割り込みルーチンで、RDRのデータを1回読み出します。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグを0にしてください。ORER、FERフラグのいずれかが1にされた状態では受信を再開できません。フレーミングエラーの場合、SPTR.RXDMONビットを読み出すことでブレークの検出ができます。

注 1. 9 ビットデータ長選択時は、RDR レジスタは RDRHL レジスタになります。

図 34.27 マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）（1）

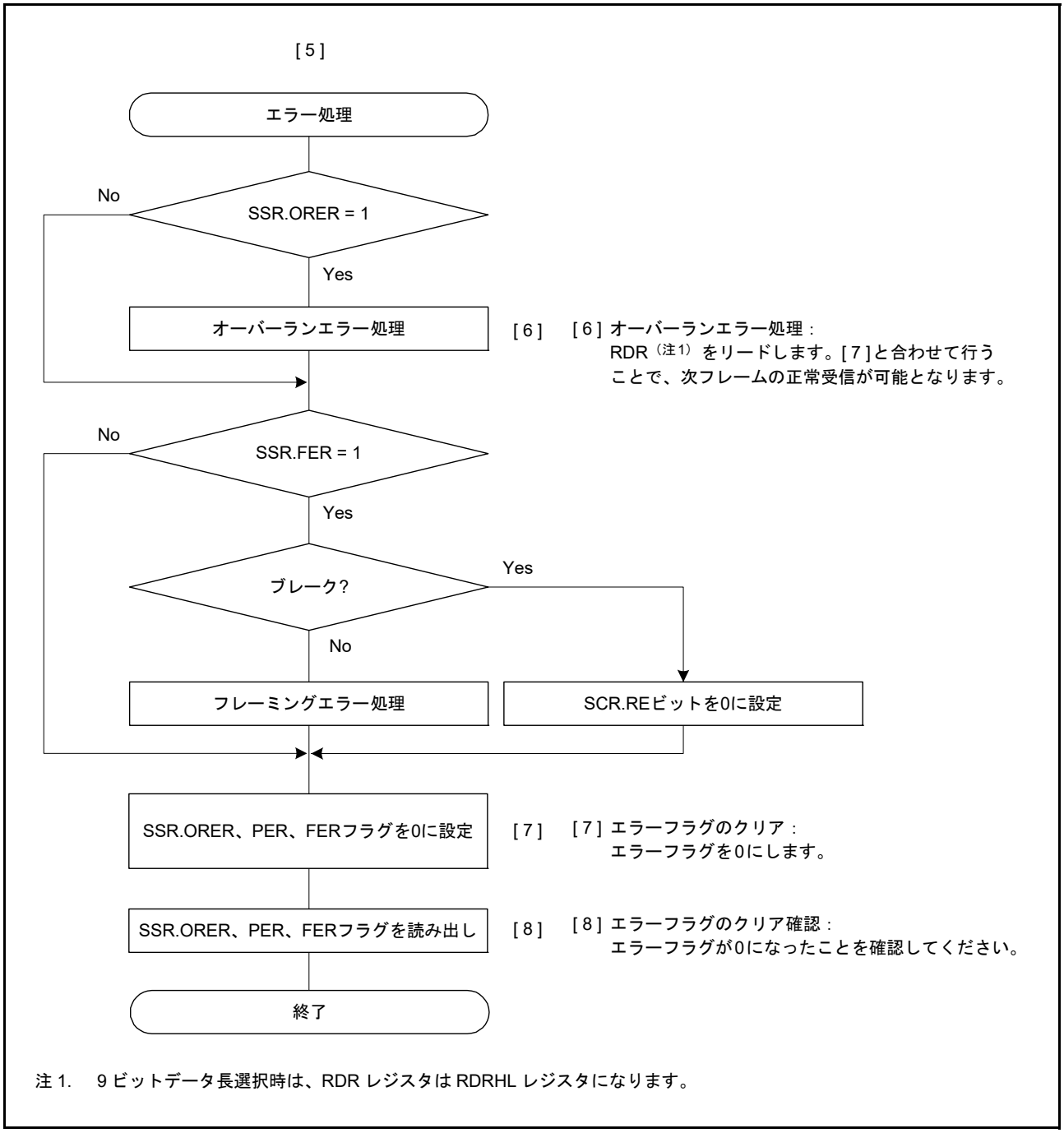


図 34.28 マルチプロセッサシリアル受信のフローチャート例（非 FIFO 選択時）（2）

(2) FIFO 選択時

図 34.29 に、マルチプロセッサモードにおいて FRDRH レジスタと FRDRL レジスタに書き込まれるデータフォーマットの例を示します。

マルチプロセッサモードでは、受信データの一部である MPB の値が FRDRH レジスタの MPB フラグに書き込まれます。FRDRH レジスタの PER フラグには 0 が書き込まれます。適切なデータ長のデータが FRDRH レジスタと FRDRL レジスタに書き込まれます。使用されないビットには、0 が書き込まれます。FRDRH から FRDRL の順に読み出してください。ソフトウェアが FRDRL レジスタを読み出すと、SCI は FER、MPB、および FRDRL レジスタの受信データ（RDAT[8:0]）を次のデータで更新します。FRDRH レジスタの RDF、ORER、および DR フラグは、常に SSR_FIFO レジスタの対応するフラグを反映しています。

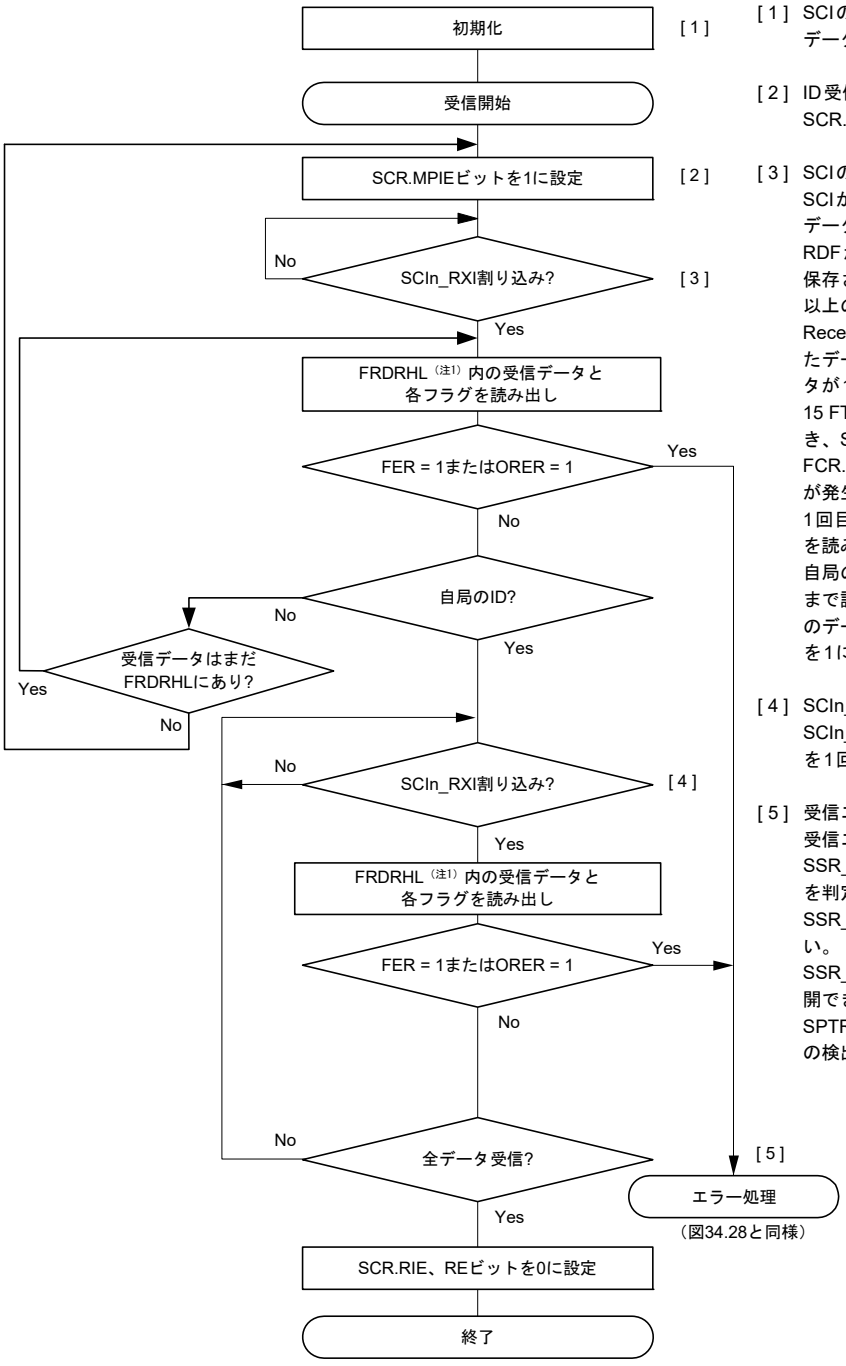
データ長	レジスタ設定		FRDRH、FRDRLの受信データ															
			FRDRHL															
			FRDRH								FRDRL							
	SCMR.CHR1	SMR.CHR	b7	b6	b5	b4	b3	b2	b1	b0	b7	b6	b5	b4	b3	b2	b1	b0
7ビット	1	0	—	RDF	ORER	FER	0	DR	MPB	0	0	7ビット受信データ						
8ビット	1	1	—	RDF	ORER	FER	0	DR	MPB	0	8ビット受信データ							
9ビット	0	Don't care	—	RDF	ORER	FER	0	DR	MPB	9ビット受信データ								

注 . データ長が 7 ビットのとき、FRDRH[0], FRDRL[7] からは常に 0 が読み出されます。
データ長が 8 ビットのとき、FRDRH[0] から常に 0 が読み出されます。
FRDRH[7] ビットの読み出し値は不定です。

図 34.29 マルチプロセッサモードにおいて FRDRH と FRDRL に格納されるデータフォーマット（FIFO 選択時）

図 34.30 に、FIFO 選択時のマルチプロセッサデータ受信のフローチャート例を示します。SCR.MPIE ビットを 1 にすると、マルチプロセッサビットが 1 の通信データを受信するまで、通信データは読み飛ばされます。マルチプロセッサビットが 1 の通信データを受信すると、その受信データ、MPB、および関連のエラーが FRDRHL レジスタへ転送されます。SCR.MPIE ビットが自動的にクリアされ、非マルチプロセッサの受信動作が継続します。

フレーミングエラーが発生して SSR_FIFO.FER フラグが 1 になると、SCI はデータ受信を継続します。その他の動作は、調歩同期式モードにおける非 FIFO 選択時の動作と同じです。



注 1. FRDRHL の代わりに FRDRH、FRDRL を使用した場合、FRDRH → FRDRL の順に読み出してください。

図 34.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例（FIFO 選択時）

34.5 クロック同期式モードの動作

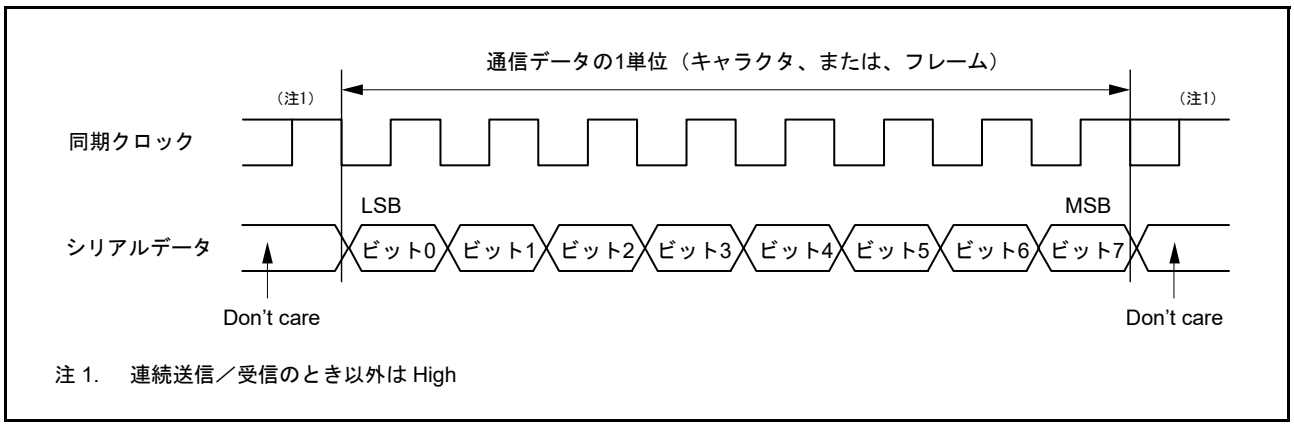
クロック同期式シリアル通信のデータフォーマットを図 34.31 に示します。

クロック同期式モードでは、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の送信ラインは、最終ビットの出力状態を保ちます。スレーブモードにおいて SPMR.CKPH ビットが 1 の場合は、第 1 ビットの出力状態を保ちます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもダブルバッファ構成になっているため、送信中に次の送信データの書き込み、受信中に前の受信データの読み出しが可能であり、連続送受信動作が実現されます。

ただし、最高速ビットレートの設定（BRR = 00h かつ SMR.CKS[1:0] = 00b）では、連続転送が不可能です。そのため FIFO 選択時は、この設定（BRR = 00h かつ SMR.CKS[1:0] = 00b）は利用できません。



注 1. 連続送信／受信のとき以外は High

図 34.31 クロック同期式シリアル通信のデータフォーマット（LSB ファーストの並び順の場合）

34.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子に入力される外部同期クロックのいずれかを選択できます。

SCI が内部クロックで動作する場合は、SCKn 端子から同期クロックが出力されます。1 キャラクタの送受信において、8 パルスの同期クロックが出力されます。送受信を行わないとき、クロックは High に固定されます。ただし、受信動作のみで CTS 機能が無効な場合、SCR.RE ビットが 1 になると同時に、同期クロックの出力が始まります。オーバーランエラーが発生するか、または SCR.RE ビットが 0 になると、同期クロックは High レベル（注 1）になったところで停止します。

受信動作のみで CTS 機能が有効な場合は、SCR.RE ビットが 1 になっても CTSn_RTSn 端子入力が High であれば、クロック出力は始まりません。SCR.RE ビットが 1 になったとき、CTSn_RTSn 端子入力が Low であれば、同期クロックの出力が始まります。その後、フレームの受信が完了した時点で CTSn_RTSn 端子入力が High であれば、同期クロック出力は High レベルになったところで停止します。CTSn_RTSn 端子入力が引き続き Low であれば、オーバーランエラーが発生するか、または SCR.RE ビットが 0 になったときに、同期クロックは High レベル（注 1）になったところで停止します。

注 1. 信号は、（SPMR.CKPH ビット = 0 かつ SPMR.CKPOL ビット = 0）または（SPMR.CKPH ビット = 1 かつ SPMR.CKPOL ビット = 1）の状態にあるとき High に固定されます。
（SPMR.CKPH ビット = 0 かつ SPMR.CKPOL ビット = 1）または（SPMR.CKPH ビット = 1 かつ SPMR.CKPOL ビット = 0）の状態にあるとき Low に固定されます。

34.5.2 CTS、RTS 機能

CTS 機能では、クロックソースが内部クロックの場合に、CTSn_RTSn 端子入力を使用してデータ送受信の開始制御を行います。SPMR.CTSE ビットを 1 にすると、CTS 機能が有効になります。CTS 機能が有効な場合、CTSn_RTSn 端子入力が Low になると、データの送受信が開始されます。

送受信中に CTSn_RTSn 端子入力を High にしても、処理中のフレームの送受信には影響を与えません。

RTS 機能では、クロックソースが外部同期クロックの場合に、CTSn_RTSn 端子出力を使用してデータ送受信の開始要求を行います。シリアル通信が可能な状態になると、CTSn_RTSn 端子出力が Low になります。CTSn_RTSn 端子出力が Low および High となる条件は以下のとおりです。

［Low になる条件］

(a) 非 FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- SCR.RE ビットが 1 のとき、読み出し前の受信データがない
- SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 のとき、送信データを書き込み済み
- SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 のとき、送信前に TSR レジスタにデータがある
- SSR.ORER フラグが 0

(b) FIFO 選択時に、下記条件がすべて満たされたとき

- SCR.RE ビットまたは SCR.TE ビットが 1
- シリアル通信が許可されている
- SCR.RE = 1 のとき、FRDRHL に書き込まれた受信データ数が指定された CTSn_RTSn 出力トリガ数より少ない
- SCR.TE ビットが 1、SCR.CKE[1] ビットが 0 のとき、FTDRHL レジスタに未送信データがある
- SCR.TE ビットが 1、SCR.CKE[1] ビットが 1 のとき、送信前に TSR レジスタにデータがある
- SSR_FIFO.ORER フラグが 0

［High になる条件］

(a) 非 FIFO 選択時

Low になる条件を満たさない場合。

受信完了後に RDR レジスタを読み出すことなく、SCR.RE = 0 によって受信を終了させた場合、RTS は High を維持します。このとき、SCR.RE に 0 を書き込んだ後に SCR レジスタをダミーリードしてください。

(b) FIFO 選択時

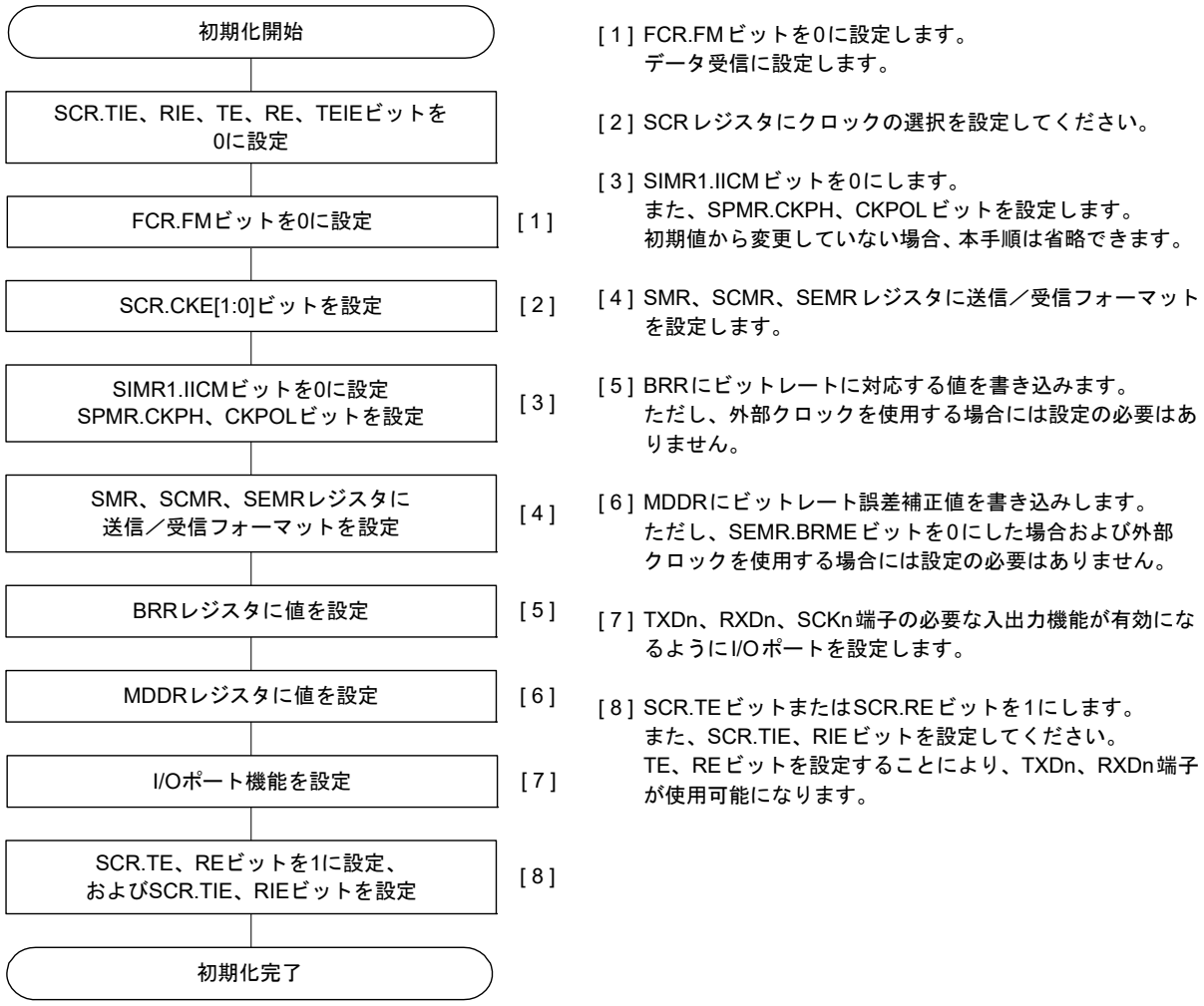
- Low になる条件を満たさない場合

34.5.3 SCI の初期化（クロック同期式モード）

データを送受信する前に、最初に SCR レジスタに初期値 00h を書き込み、次に 34.5.2 CTS、RTS 機能 の説明に従って SCI の設定（非 FIFO 選択時または FIFO 選択時）を続けてください。動作モードまたは通信フォーマットを変更する場合も、SCR レジスタを初期値にしてから変更してください。

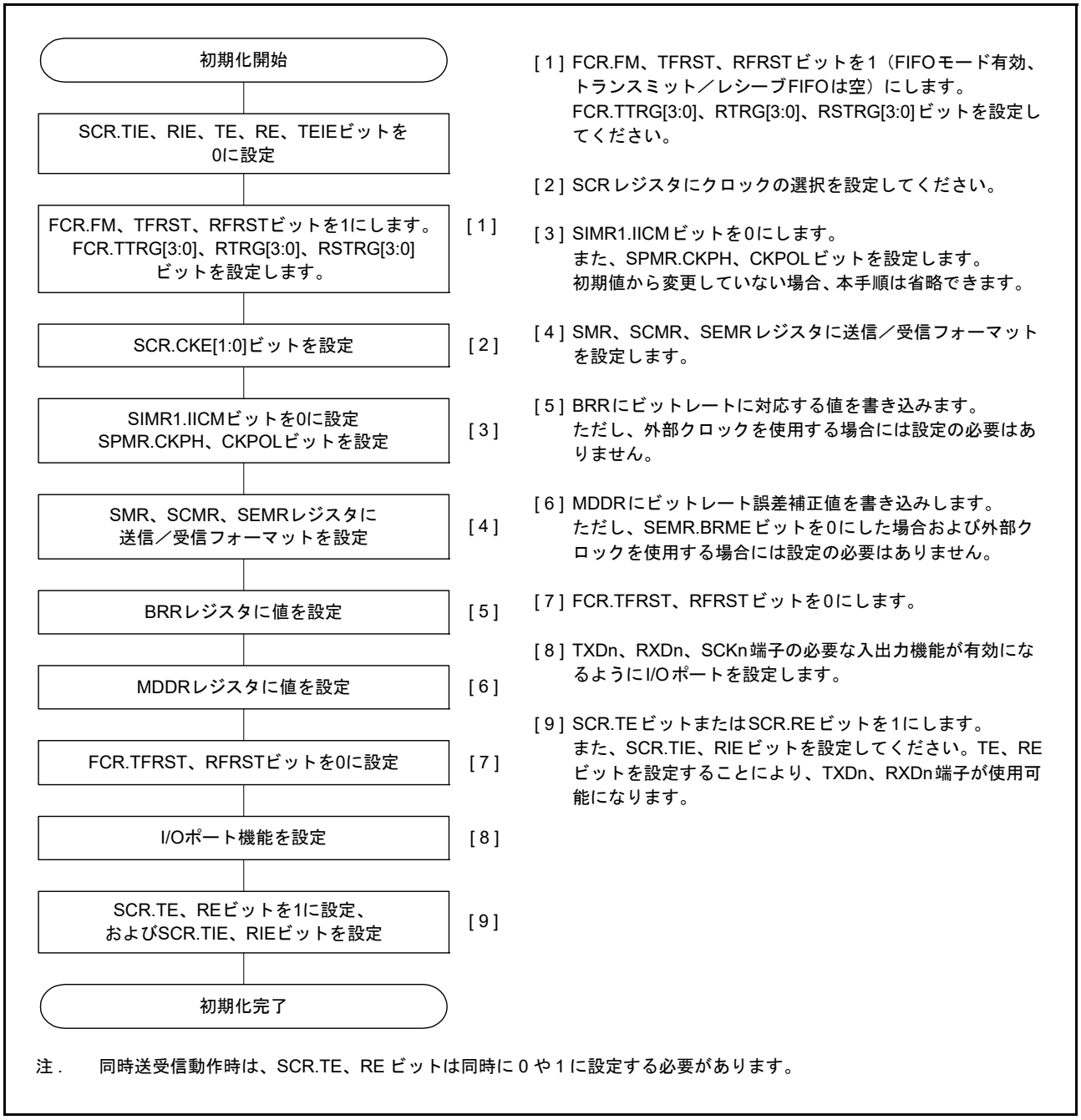
注 . SCR.RE ビットを 0 にしても、SSR/SSR_FIFO レジスタの ORER、FER、RDRF、RDF、PER および DR の各フラグ、ならびに RDR、RDRHL レジスタは初期化されません。TE ビットが 0 の場合、選択した FIFO バッファに対する TEND フラグは初期化されません。

注 . SCR.TIE ビットが 1 の状態で、SCR.TE ビットを 1 から 0、または 0 から 1 に変更すると、SCIn_TXI 割り込み要求が発生します。



注 . 同時送受信動作時は、SCR.TE, RE ビットは同時に 0 や 1 に設定する必要があります。

図 34.32 クロック同期式モードにおける SCI の初期化フローチャート例（非 FIFO 選択時）



注 . 同時送受信動作時は、SCR.TE、RE ビットは同時に 0 や 1 に設定する必要があります。

図 34.33 クロック同期式モードにおける SCI の初期化フローチャート例（FIFO 選択時）

34.5.4 シリアルデータの送信（クロック同期式モード）

(1) 非 FIFO 選択時

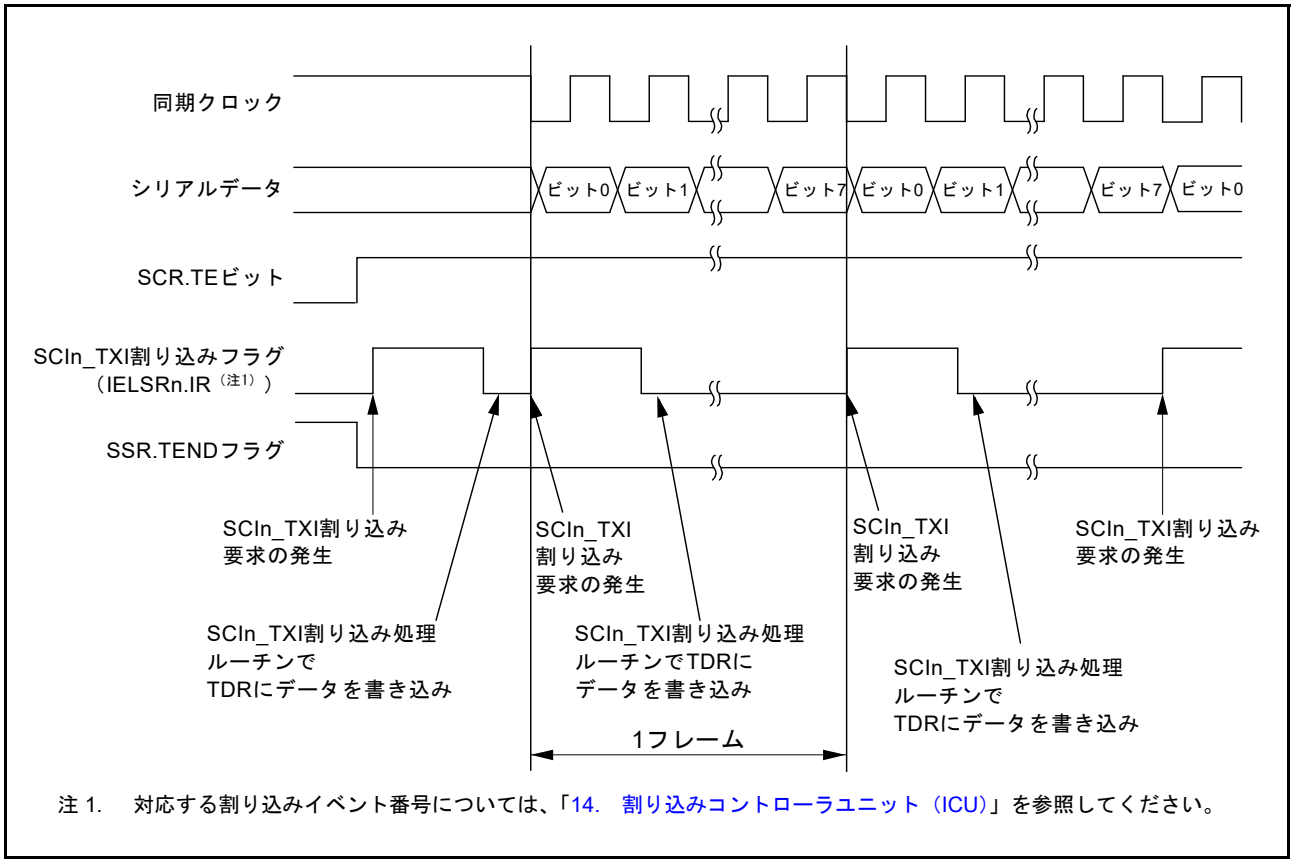
図 34.34、図 34.35、および図 34.36 に、クロック同期式モードにおけるシリアル送信の動作例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、SCI は TDR レジスタから TSR レジスタへデータを転送します。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後に SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、TDR レジスタから TSR レジスタへデータを転送した後、送信を開始します。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、TDR レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、SCIn_TXI 割り込み要求に対応する処理ルーチン内で最終送信データを TDR レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。
3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。
4. 最終ビットを送り出すタイミングで、SCI は TDR レジスタの更新をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

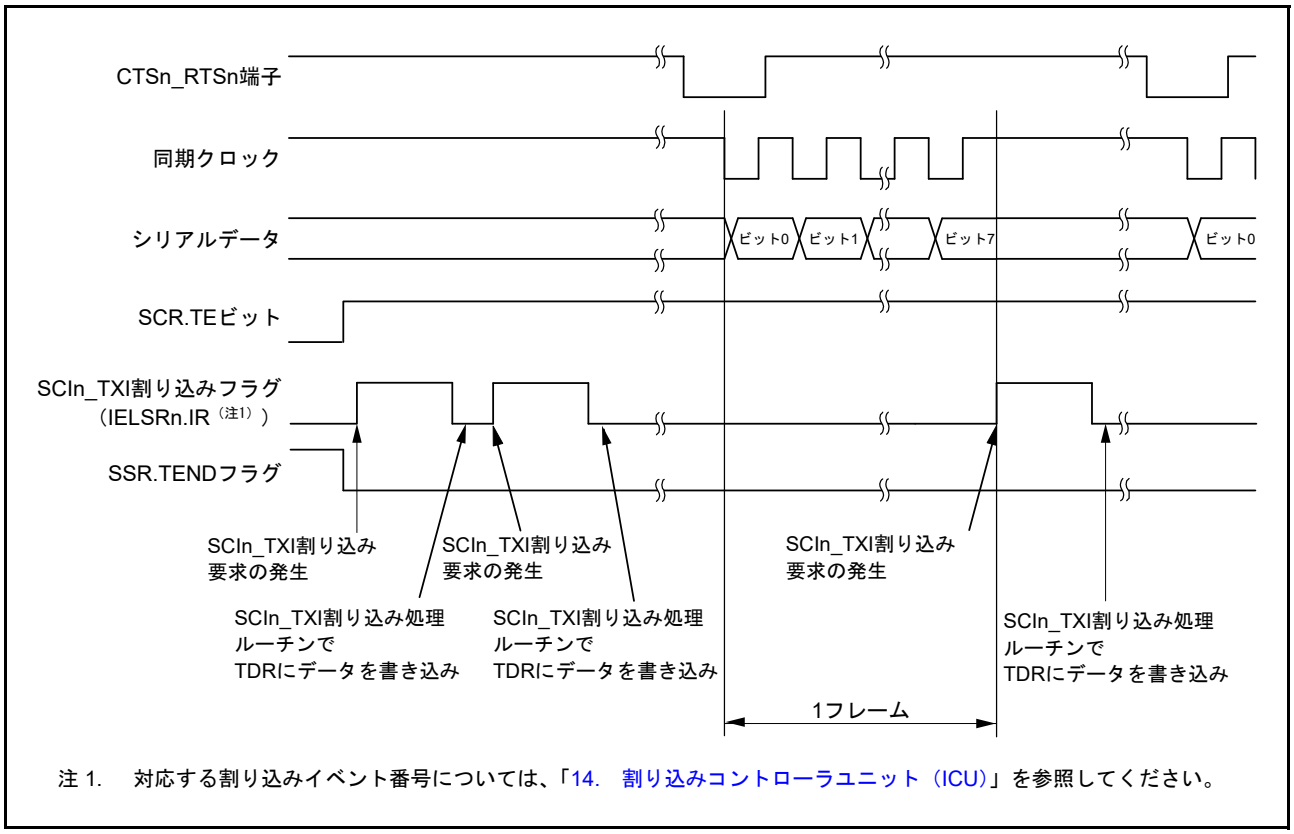
受信エラーフラグ（SSR.ORER、FER、または PER）が 1 の状態では、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注 . 受信エラーフラグは、SCR.RE ビットを 0 にしてもクリアされません。



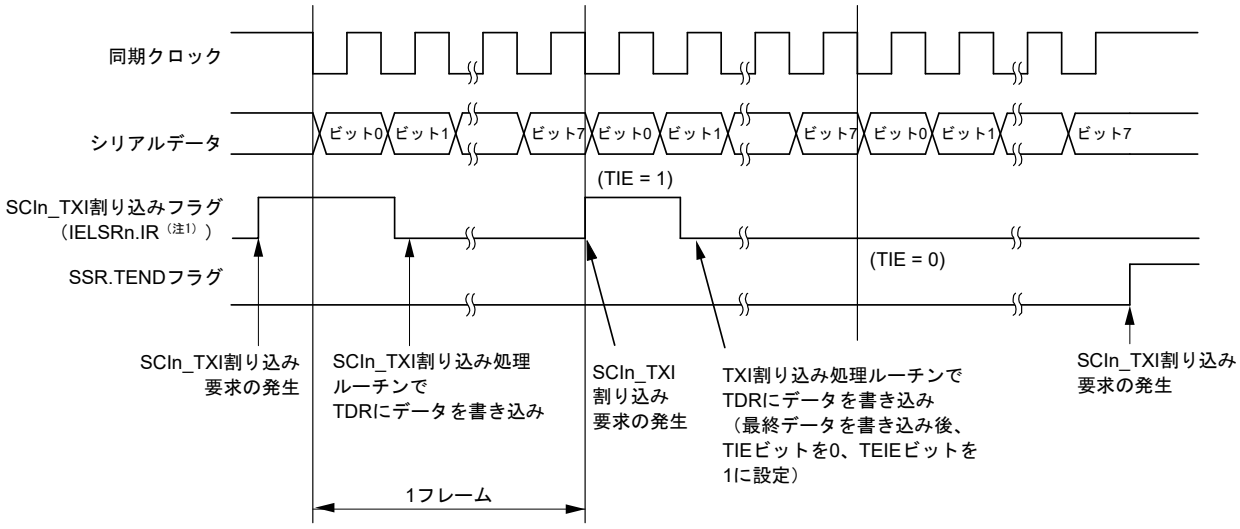
注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.34 クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用しない場合）



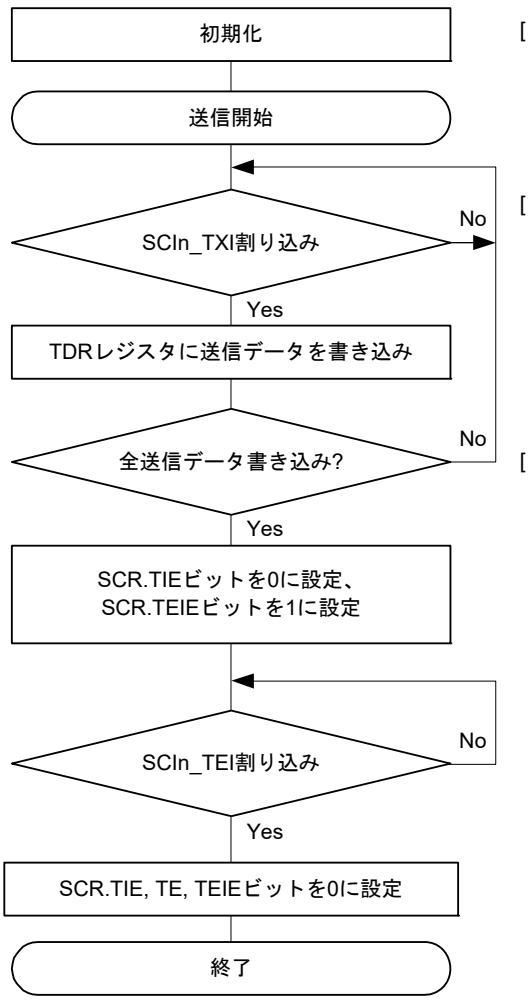
注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.35 クロック同期式モードにおけるシリアル送信の動作例（送信開始時に CTS 機能を使用する場合）



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.36 クロック同期式モードにおけるシリアル送信の動作例（送信中～送信終了時）



[1] SCIの初期化：
データ送信に設定します。

[2] SCIn_ TXI割り込み要求で送信データをTDR レジスタへ書き込み：
送信データがTDR レジスタからTSR レジスタへ送信されると、送信データエンプティ割り込み要求（SCIn_TXI）が発生します。SCIn_TXI割り込み処理ルーチン内で送信データをTDR レジスタへ1回書き込みます。

[3] シリアル送信の継続手順：
シリアル送信を続けるときは、送信データエンプティ割り込み要求（SCIn_TXI）により送信データをTDR レジスタへ書き込みしてください。送信データはSCIn_TXI割り込み要求でDMAC あるいはDTC を起動してTDR レジスタへ書き込むことも可能です。
SCIn_TEI割り込み要求を使用するときには、最終送信データをTDR レジスタへ書き込んだ後にSCR.TIE ビットを0に、SCR.TEIE ビットを1にしてください。

注 . 外部クロック（SCR.CKE[1:0] = 10b, 11b）のときは、最終ビットの SCK 端子の立ち上がりで SSR.TEND フラグが 1 になります。このあと、SCR.TE ビットをすぐに 0 に設定すると、受信デバイス側で受信データホールド時間が不足する場合があります。

図 34.37 クロック同期式モードにおけるシリアル送信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

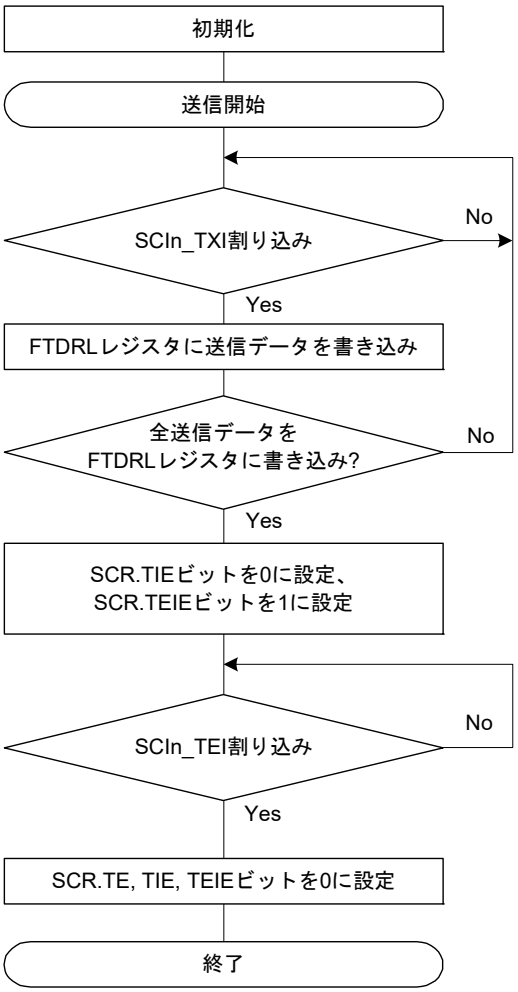
図 34.38 に、クロック同期式モードにおける FIFO 選択時のシリアル送信のフローチャート例を示します。

シリアルデータの送信時、SCI は以下のように動作します。

1. SCIn_TXI 割り込み処理ルーチンで FTDRL レジスタ（注 1）にデータが書き込まれると、SCI は FTDRL レジスタ（注 1）から TSR レジスタへデータを転送します。FTDRL レジスタに書き込み可能なデータ量は FDR.T[4:0] バイトから 16 を引き算した結果です。なお、送信開始時の SCIn_TXI 割り込み要求は、SCR.TIE ビットを 1 にした後に SCR.TE ビットを 1 にするか、これら 2 つのビットを 1 命令で同時に 1 にすることで発生します。
2. SCI は、FTDRL レジスタから TSR レジスタにデータを転送した後、送信を開始します。FTDRL に書き込まれた送信データ数が、指定された送信トリガ数以下のとき、SSR_FIFO.TDFE ビットが 1 になります。このとき、SCR.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。この SCIn_TXI 割り込み処理ルーチンにおいて、現在のデータ送信が終了する前に、FTDRL レジスタに次の送信データを書き込むことで連続送信が可能になります。SCIn_TEI 割り込み要求を使用する場合は、TXI 割り込み要求に対応する処理ルーチン内で最終送信データを FTDRL レジスタに書き込んだ後、SCR.TIE ビットを 0 にして、SCR.TEIE ビットを 1 にします。

3. クロック出力モードを指定したときは出力クロックに同期して、外部クロックを指定したときは入力クロックに同期して、TXDn 端子から 8 ビットのデータが送信されます。クロック信号出力は、SPMR.CTSE ビットが 1 のとき、CTS 信号入力が Low になるまで待機します。
4. ストップビットを送り出すタイミングで、SCI は FTDRL レジスタに未送信データが残っていないかチェックします。
5. FTDRL レジスタが更新されていれば、FTDRL レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. FTDRL レジスタが更新されていなければ、SSR_FIFO.TEND フラグを 1 にします。TXDn 端子は最終ビットの出力状態を保持します。このとき、SCR.TEIE ビットが 1 になっていると、SCIn_TEI 割り込み要求が発生し、SCKn 端子は High に固定されます。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。



[1] SCIの初期化：
データ送信に設定します。SCR.TEビットを1にした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIn_TXI割り込み要求で送信データをFTDRLレジスタへ書き込み：
送信データがFTDRLレジスタからTSRレジスタへ送信されると、FTDRLレジスタに書き込まれた送信データ数が指定の送信トリガ数以下である場合、送信データFIFOエンプティ割り込み（SCIn_TXI）要求が発生します。SCIn_TXI割り込み処理ルーチンで送信データをFTDRLレジスタへ1回書き込んでください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、SCIn_TXI割り込み処理ルーチンで次の送信データをFTDRLへ書き込み、現在の送信データの送信が完了する前にSSR_FIFO.TDFEフラグを0にクリアします。送信データはDMACやDTCを起動してFTDRLレジスタへ書き込むことも可能です。このとき、TDFEフラグは自動でクリアされます。TDFEフラグへの書き込みは行わないでください。TEI割り込み要求を使用するときには、最終送信データをFTDRLレジスタへ書き込んだ後にSCR.TIEビットを0に、SCR.TEIEビットを1にしてください。

注 . 外部クロック（SCR.CKE[1:0] = 10b, 11b）のときは、最終ビットの SCK 端子の立ち上がりで SSR_FIFO.TEND フラグが 1 になります。このあと、SCR.TE ビットをすぐに 0 に設定すると、受信デバイス側で受信データホールド時間が不足する場合があります。

図 34.38 クロック同期式モードにおけるシリアル送信のフローチャート例（FIFO 選択時）

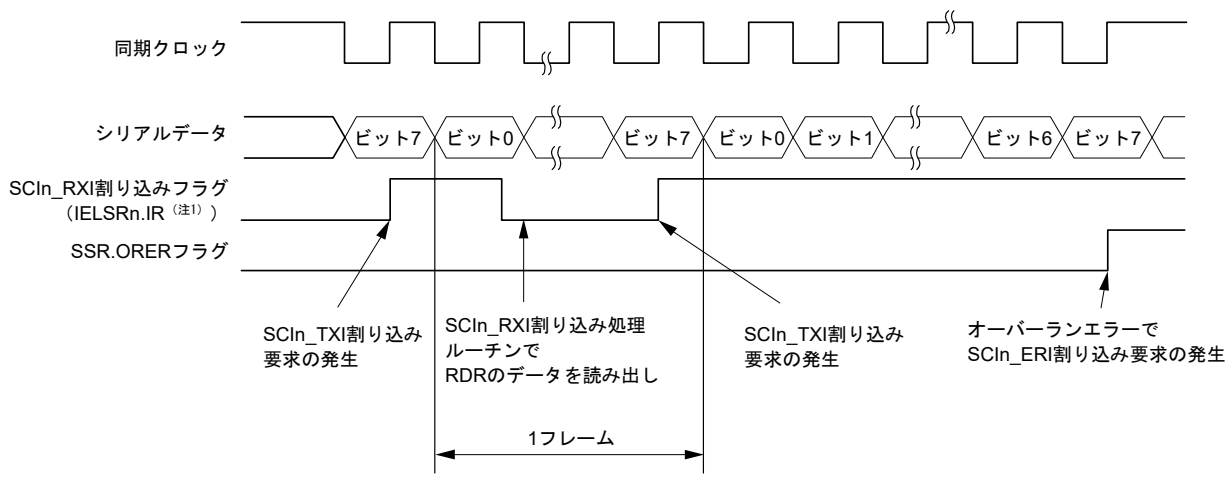
34.5.5 シリアルデータの受信（クロック同期式モード）

(1) 非 FIFO 選択時

図 34.39 と図 34.40 に、クロック同期式モードにおけるシリアル受信の動作例を示します。

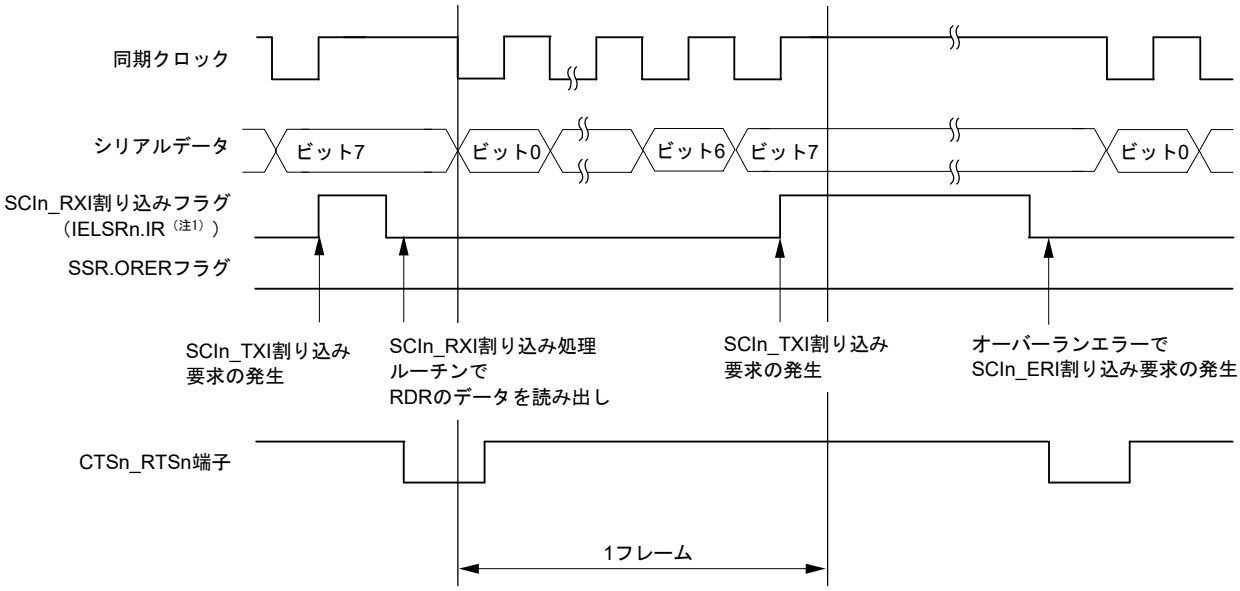
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTSn_RTSn 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR.ORER フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは RDR レジスタへ転送されません。
4. 正常に受信したときは、受信データが RDR レジスタへ転送されます。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、次のデータ受信が終了する前に、RDR レジスタへ転送された受信データを読み出すことで連続受信が可能になります。RDR レジスタへ転送された受信データが読み出されると、CTSn_RTSn 端子出力が Low になります。



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.39 クロック同期式モードにおけるシリアル受信の動作例（1）（RTS 機能を使用しない場合）

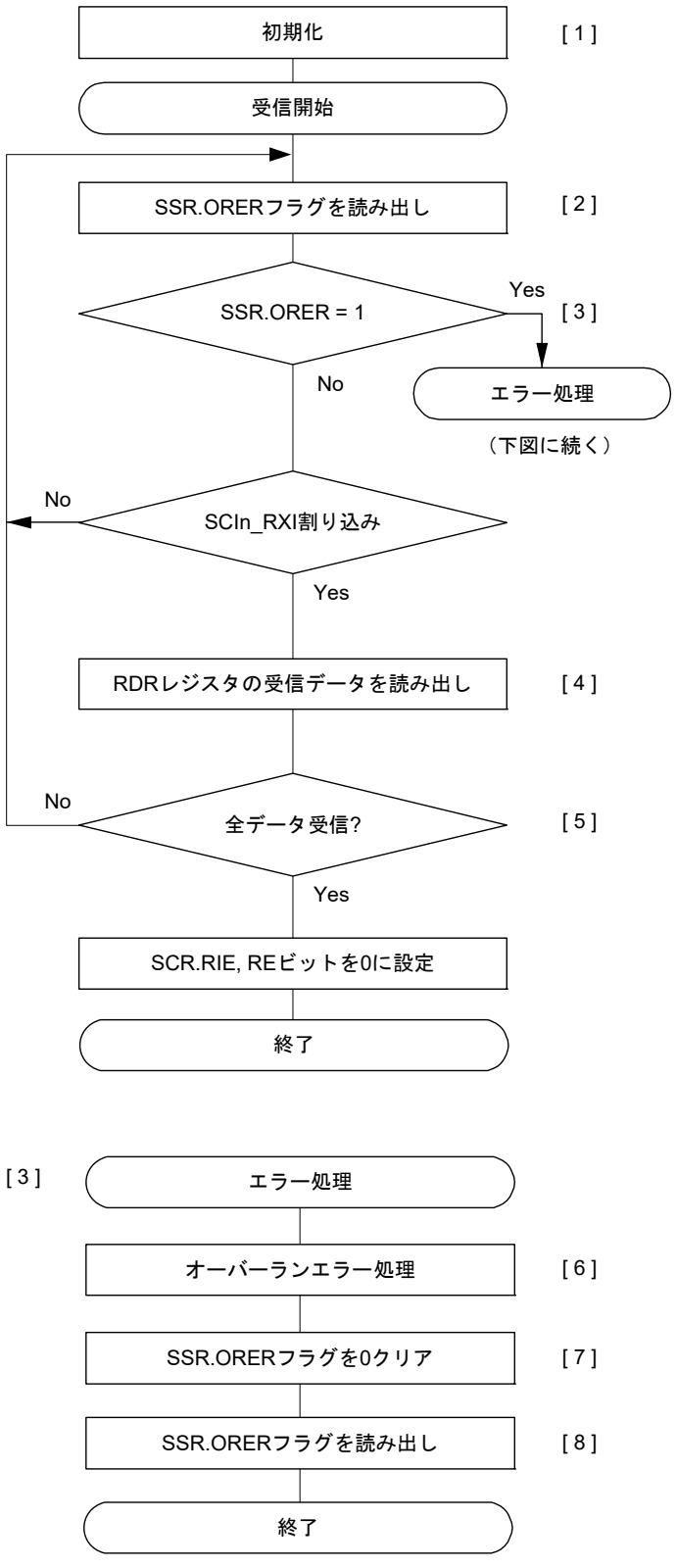


注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.40 クロック同期式モードにおけるシリアル受信の動作例（2）（RTS 機能を使用する場合）

受信エラーフラグが 1 の状態では、送受信動作を再開できません。したがって、SSR.ORER、FER、および PER フラグを 0 にしてから受信を再開してください。また、オーバーランエラー処理では、必ず RDR レジスタを読み出してください。受信動作中に SCR.RE ビットに 0 を書いてデータ受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

図 34.41 に、シリアル受信のフローチャート例を示します。



[1] SCIの初期化：
RXDnとして使用する端子に対して入力ポート端子の設定をします。

[2] [3] 受信エラー処理：
受信エラーが発生したときには、SSRレジスタのORERフラグを読み出して、所定のエラー処理を行ってからORERフラグを0にしてください。ORERフラグが1の間はデータ受信を再開できません。

[4] 受信データフル割り込み要求（SCIn_RXI）処理ルーチンで受信データをRDRレジスタから1回読み出してください。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、フレームのMSB（ビット7）が受信される前にRDRレジスタから受信データの読み出しを完了させてください。RDRレジスタは、SCIn_RXI割り込み要求でDMACやDTCを起動して読み出すことも可能です。

[6] オーバーランエラー処理：
RDRレジスタを読み出します。手順[7]と合わせて実施すると、正しい次フレームの受信が可能になります。

[7] エラーフラグのクリア：
エラーフラグを0にクリアします。

[8] エラーフラグのクリア確認：
エラーフラグを読み出し、値が0になっていることを確認します。

図 34.41 クロック同期式モードにおけるシリアル受信のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

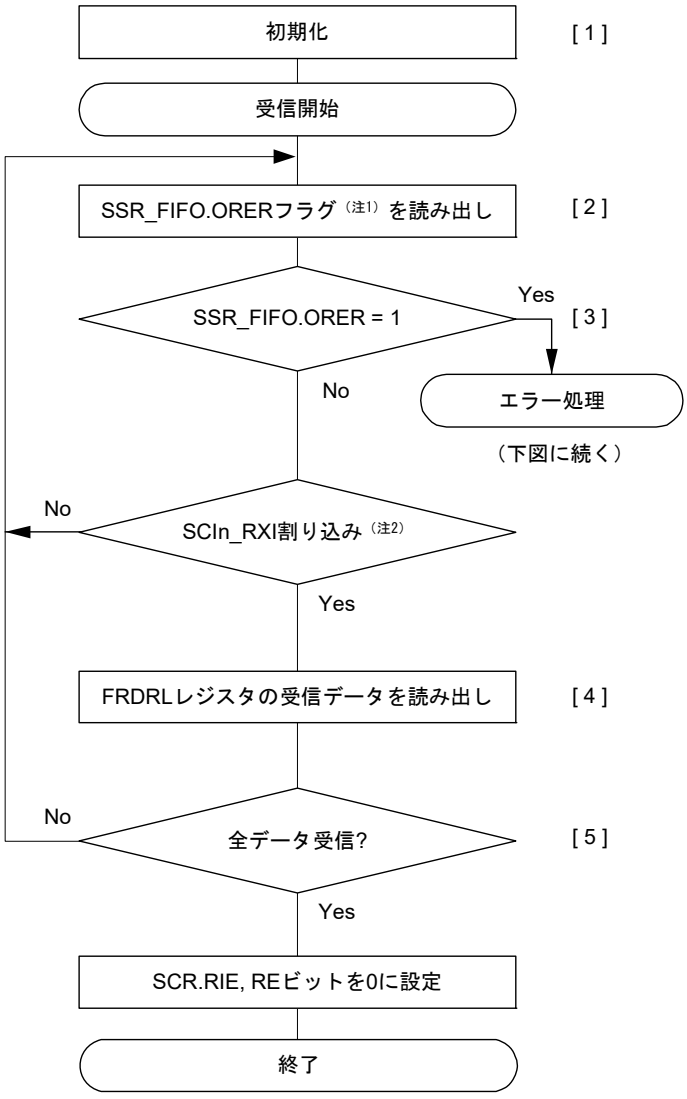
図 34.42 に、クロック同期式モードにおける FIFO 選択時のシリアル受信のフローチャート例を示します。

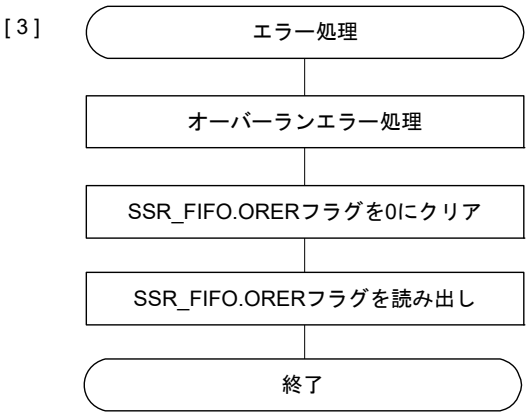
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットの値が 1 になると、CTSn_RTSn 端子出力は Low になります。
2. SCI は内部を初期化し、同期クロックの入力または出力に同期して受信を開始して、受信データを RSR レジスタに取り込みます。
3. オーバーランエラーが発生した場合、SSR_FIFO.ORER ビットが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。受信データは FRDRL レジスタ（注 1）へ転送されません。
4. 正常に受信したときは、受信データが FRDRL レジスタ（注 1）へ転送されます。FRDRHL に格納された受信データ数が、指定された受信トリガ数以上であると、RDF フラグが 1 になります。このとき、SCR.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。この SCIn_RXI 割り込み処理ルーチンにおいて、オーバーランエラーが発生する前に、FRDRL レジスタ（注 2）へ転送された受信データを読み出すことで連続受信が可能になります。FRDRL レジスタへ転送された受信データ数が RTS トリガ数未満であると、CTSn_RTSn 端子出力が Low になります。

注 1. クロック同期式モードでは、FTDRH レジスタを使用しません。

注 2. RDF と ORER を受信データとともに読み出す場合は、FRDRH → FRDRL の順に読み出してください。





[1] SCIの初期化：
RXDnとして使用する端子に対して入力ポート端子の設定をします。

[2][3] 受信エラー処理：
受信エラーが発生したときには、SSR_FIFOレジスタのORERフラグを読み出して、所定のエラー処理を行ってからSSR_FIFO.ORERフラグを0にしてください。ORERフラグが1の間はデータ受信を再開できません。

[4] FRDRLレジスタに格納された受信データを格納データ数がFCR.RTRGの値よりも小さくなるまで読みます。ソフトウェアでFDR.R[4：0]ビットを読み出して、読み出し可能なデータ数の確認ができます。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、オーバーランエラーが発生する前に、FRDRLレジスタ内の受信データの読み出しを完了し、SSR_FIFO.RDFフラグを0にクリアしてください。FRDRLレジスタは、SCIn_RXI割り込み要求でDMACやDTCを起動して読み出すことも可能です。この場合、RDFフラグは自動でクリアされますので、RDFフラグへの書き込みは行わないでください。

[6] オーバーランエラー処理：
FRRDRレジスタとFIFO内にある使用可能な格納データを読み出します。手順[7]と合わせて実施すると、正しい次フレームの受信が可能になります。

[7] エラーフラグのクリア：
エラーフラグを0にクリアします。

[8] エラーフラグのクリア確認：
エラーフラグを読み出し、値が0になっていることを確認します。

注 1. FRDRH.ORER から読み出すことも可能ですが、ORER フラグをクリアするためには、SSR_FIFO レジスタ内の該当ビットを 0 にする必要があります。
注 2. 全受信データ数は FIFO トリガ数の整数倍である必要があります。

図 34.42 クロック同期式モードにおけるシリアル受信のフローチャート例（FIFO 選択時）

34.5.6 シリアルデータの同時送受信動作（クロック同期式モード）

(1) 非 FIFO 選択時

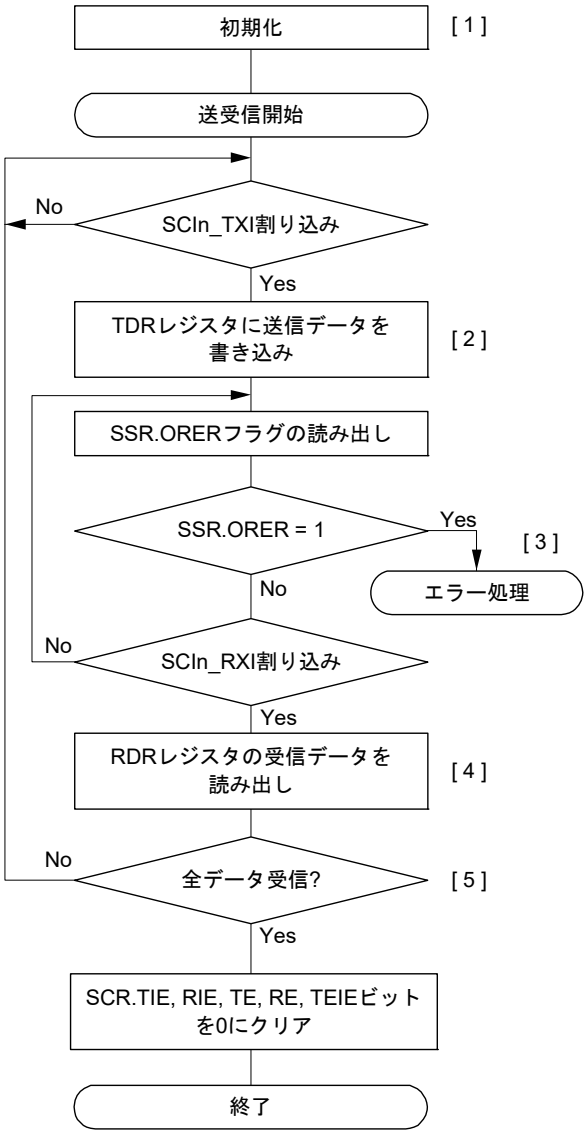
図 34.43 に、クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例を示します。シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへ切り替えるとき、

1. SCI が送信完了状態であることを SSR.TEND フラグが 1 になっていることで確認してください。
2. SCR レジスタを初期化してから、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。
2. RIE ビットと RE ビットを 0 にした後、受信エラーフラグ（SSR.ORER）が 0 になっていることを確認します。
3. SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。



[1] SCIの初期化：
TXDn端子は送信時に出力端子として、RXDn端子は受信時に入力端子として同時に機能します。

[2] 送信データ書き込み：
SCIn_TXI割り込み要求処理ルーチンで送信データをTDRレジスタへ1回書き込みます。

[3] 受信エラー処理：
受信エラーが発生したときには、SSRレジスタのORERフラグを読み出して、所定のエラー処理を行ってからORERフラグを0にしてください。
ORERフラグが1の間はデータ受信を再開できません。

[4] 受信データ読み出し：
SCIn_RXI割り込み要求処理ルーチンでRDRレジスタ内の受信データを1回読み出します。

[5] シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSBビット7が受信される前にSCIn_RXI割り込みでRDRレジスタ内の受信データ読み出しを完了させてください。また、現在のフレームのMSBビット7が送信される前にSCIn_TXI割り込みでTDRレジスタへデータを書き込んでください。
送信データは、送信データエンプティ割り込み要求（SCIn_TXI）でDMACやDTCを起動してTDRレジスタへ書き込むことも可能です。同様に、受信データフル割り込み要求（SCIn_RXI）でDMACやDTCを起動してRDRレジスタのデータを読み出すことも可能です。

注 . 送信または受信動作から同時送受信動作に切り替えるときには、まず SCR.TIE, RIE, TE, RE, TEIE ビットを 0 にして、その後 TIE, RIE, TE, RE ビットを同時に 1 に設定します。

図 34.43 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（非 FIFO 選択時）

(2) FIFO 選択時

図 34.44 に、クロック同期式モードにおける FIFO 選択時のシリアル同時送受信動作のフローチャート例を示します。

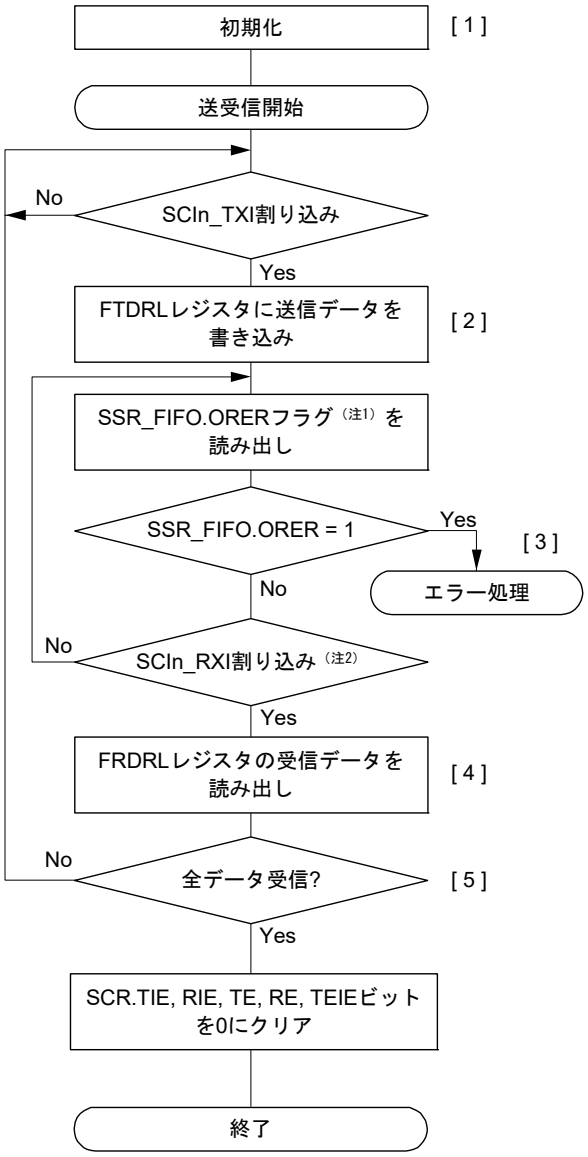
シリアル同時送受信動作は、SCI の初期化後、以下の手順に従って行ってください。

送信モードから同時送受信モードへ切り替えるとき、

1. SSR_FIFO.TEND フラグが 1 になっていることで確認してください。
2. SCR レジスタを初期化してから、SCR.TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。

受信モードから同時送受信モードへ切り替えるとき、

1. SCI が受信完了状態であることを確認してください。
2. RIE ビットと RE ビットを 0 にした後、SSR_FIFO レジスタの受信エラーフラグ（ORER）が 0 になっていることを確認してください。
3. その後、SCR レジスタの TIE、RIE、TE、RE の各ビットを 1 命令で同時に 1 にしてください。



[1] SCIの初期化：
TXDn端子は送信時に出力端子として、RXDn端子は受信時に入力端子として同時に機能します。

[2] 送信データ書き込み：
SCIn_TXI割り込み処理ルーチンで送信データをFTDRLレジスタへ書き込んでください。書き込み可能な送信データ数は（16 - 送信FIFOに格納されているデータ数）です。

[3] 受信エラー処理：
受信エラーが発生したときには、SSR_FIFOレジスタのORERフラグを読み出して、所定のエラー処理を行ってからORERフラグを0にしてください。ORERフラグが1の間はデータ受信を再開できません。

[4] FRDRLレジスタに格納された受信データを格納データ数がFCR.RTRGの値よりも小さくなるまで読みます。ソフトウェアでFDR.R[4:0]ビットを読み出して、読み出し可能なデータ数の確認ができます。

[5] シリアル送受信の継続手順：
シリアル受信を続けるときには、オーバーランエラーが発生する前にFRDRLレジスタ内の受信データ読み出しを完了し、SSR_FIFO.RDFフラグを0にしてください。シリアル送信を続けるときには、現在の送信データの送信が完了する前に、SCIn_TXI割り込み処理ルーチンで次の送信データをFTDRLレジスタに書き込み、SSR_FIFO.TDFEフラグを0にクリアしてください。送信データは、送信FIFOデータエンプティ割り込み要求（TXI）でDMACやDTCを起動してFTDRLレジスタへ書き込むことも可能です。同様に、受信FIFOデータフル割り込み要求（SCIn_RXI）でDMACやDTCを起動してFRDRLレジスタのデータを読み出すことも可能です。この場合、RDFフラグとTDFEフラグは自動でクリアされるので、RDFフラグとTDFEフラグへの書き込みは行わないでください。

注 1. FRDRH.ORER から読み出すことも可能ですが、ORER フラグをクリアするためには、SSR_FIFO レジスタの該当ビットに 0 を書き込む必要があります。
注 2. 全受信データ数は FIFO トリガ数の整数倍である必要があります。

図 34.44 クロック同期式モードにおけるシリアル同時送受信動作のフローチャート例（FIFO 選択時）

34.6 スマートカードインタフェースモードの動作

SCI は拡張機能として、ISO/IEC 7816-3（Identification Card 規格）に対応したスマートカード（IC カード）のインタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

34.6.1 接続例

図 34.45 に、スマートカード（IC カード）と本 MCU の接続例を示します。図 34.45 に示すように、MCU と IC カードは 1 本の伝送線で通信を行うため、TXDn 端子と RXDn 端子を結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR_SMCI レジスタの TE ビットと RE ビットを 1 にすると、閉ループの送受信が実現され、自己診断が可能になります。SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には、本 MCU の出力ポートを使用できます。

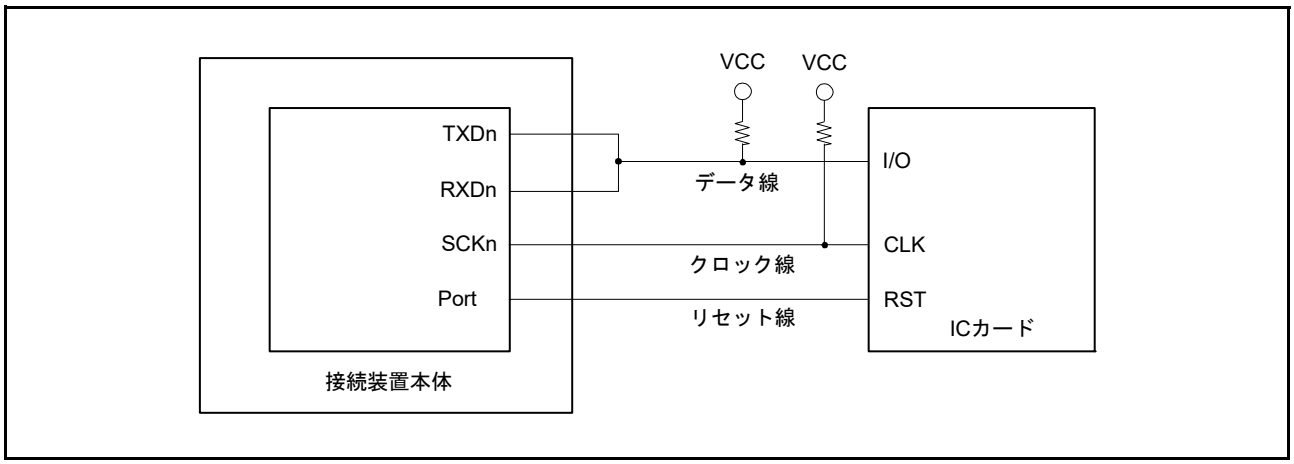


図 34.45 スマートカード（IC カード）との接続例

34.6.2 データフォーマット（ブロック転送モード時を除く）

図 34.46 に、スマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式モードでは、1 フレームは 8 ビットデータとパリティビットで構成
- 送信中は、パリティビットの終了から次のフレーム開始まで、2ETU（Elementary Time Unit = 1 ビット転送時間）以上のガードタイムが必要
- 受信中にパリティエラーを検出した場合、スタートビットから 10.5ETU 経過後、エラーシグナル（Low）を 1ETU 期間出力
- 送信中にエラーシグナルをサンプリングすると、2ETU 以上経過後、自動的に同じデータを再送信

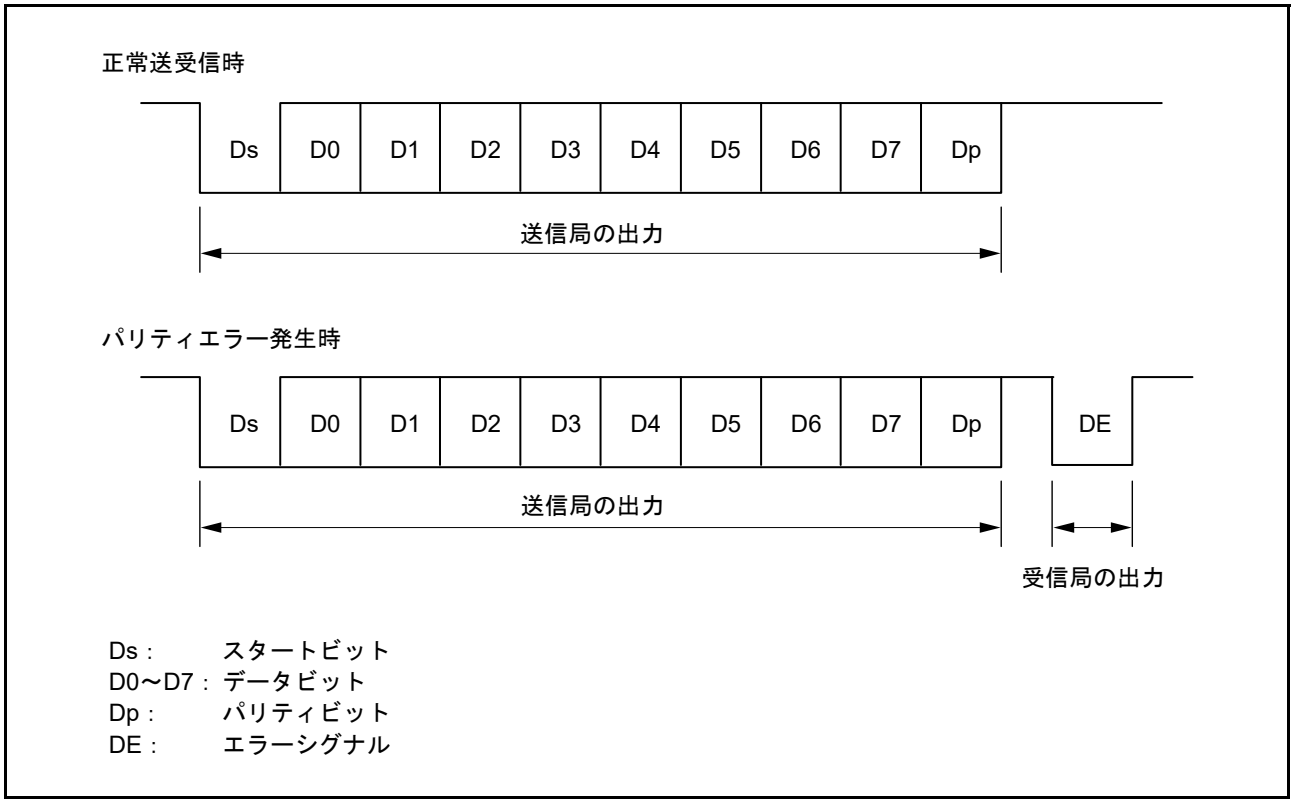


図 34.46 スマートカードインタフェースモードにおけるデータフォーマット

ダイレクトコンベンションタイプまたはインバースコンベンションタイプの IC カードと送受信するには、この節に示す手順に従ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプでは、図 34.47 に示すように、ロジックレベル 1 は状態 Z を、ロジックレベル 0 は状態 A をそれぞれ表し、開始キャラクタに対して LSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 0 にしてください。また、スマートカード規格に従って偶数パリティとするため、SMR_SMCI.PM ビットは 0 にしてください。

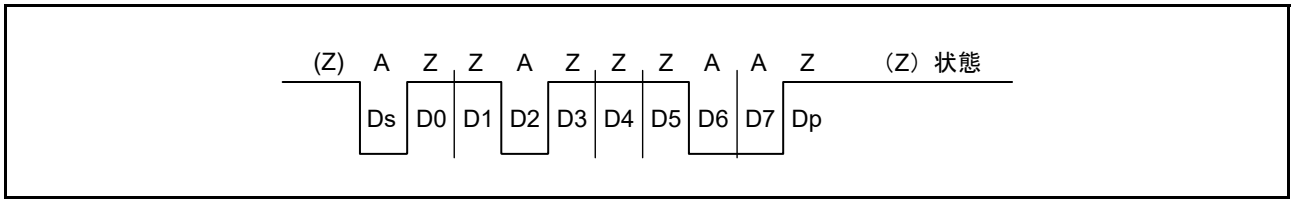


図 34.47 ダイレクトコンベンション（SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR_SMCI.PM ビット = 0）

(2) インバースコンベンションタイプ

インバースコンベンションタイプでは、図 34.48 に示すように、ロジックレベル 1 は状態 A を、ロジックレベル 0 は状態 Z をそれぞれ表し、開始キャラクタに対して MSB ファーストでデータが転送されます。したがって、この図の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションを使用する場合、SCMR.SDIR ビットと SCMR.SINV ビットの両方を 1 にしてください。また、スマートカード規格に従って偶数パリティとするため、パリティビットは状態 Z に対応するロジックレベル 0 になります。本 MCU では、SINV ビットはデータビット D7 ～ D0 のみを反転させます。そのため、送信時と受信時の両方において、SMR_SMCI.PM ビットに 1 を書いてパリティビットを反転させてください。

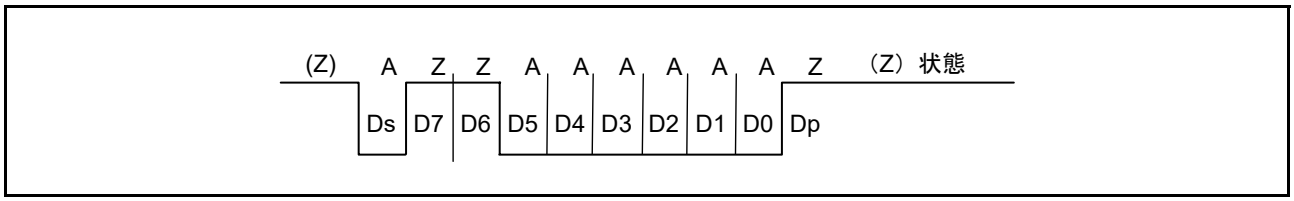


図 34.48 インバースコンベンション（SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR_SMCI.PM ビット = 1）

34.6.3 ブロック転送モード

ブロック転送モードは、スマートカード非ブロック転送モードと比較して以下の点が異なります。

- 受信中にパリティエラーが検出されても、エラーシグナルは出力されません。エラー検出時に SSR_SMCI.PER ビットがセットされるので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信中は、パリティビットの終了から次のフレーム開始までのガードタイムとして 1ETU 以上が必要です。
- 同じデータの再送信を行わないため、送信開始から 11.5ETU 経過後に、SSR_SMCI.TEND フラグがセットされます。
- ブロック転送モードでは、SSR_SMCI.ERS フラグはスマートカード非ブロック転送モードと同じエラーシグナル状態を示します。ただし、エラーシグナルの送受信を行わないため、読むと 0 が読めます。

34.6.4 受信データのサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送信クロックは、内蔵ボーレートジェネレータが生成するクロックのみです。

スマートカードインタフェースモードでは、SCMR.BCP2 ビットと SMR_SMCI.BCP[1:0] ビットの設定により、SCI はビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、または 512 倍の周波数の基本クロックで動作します。

データ受信時、SCI はスタートビットの立ち下がりを基本クロックでサンプリングして同期化します。また、図 34.49 に示すように、受信データは基本クロックのそれぞれ 16、32、186、128、46、64、93、256 サイクルの立ち上がりエッジでサンプリングされるため、各ビットの中間でデータが取り込まれます。受信マージンは次式で表わすことができます。

$$M = \left| (0.5 - \frac{1}{2N}) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \ [\%]$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N = 32, 64, 372, 256）

D：クロックのデューティ（D = 0 ～ 1.0）

L：フレーム長（L = 10）

F：クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次式のようになります。

M = {0.5 - 1/(2 × 372)} × 100 [%] = 49.866%

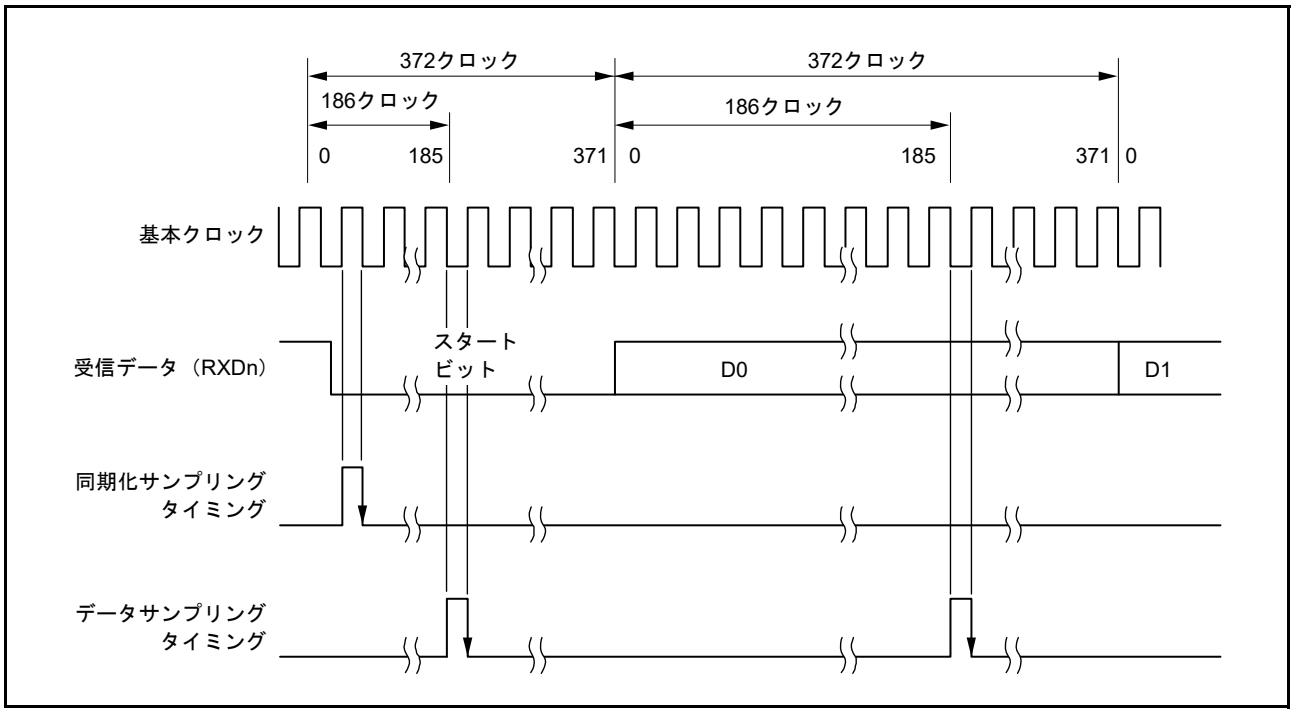


図 34.49 スマートカードインタフェースモードにおける受信データのサンプリングタイミング（ビットレートの 372 倍のクロック周波数の場合）

34.6.5 SCI の初期化

データの送受信前に、SCR_SMCI レジスタに初期値 00h を書き込み、図 34.50 に示すフローチャートの例に従って、SCI を初期化してください。

送信モードから受信モードへ（またはその逆へ）切り替える場合、必ず事前に SCR_SMCI レジスタの TIE、RIE、TE、RE、および TEIE ビットに初期値を設定してください。なお、SCR_SMCI.RE ビットを 0 にしても RDR レジスタは初期化されません。

受信モードから送信モードへ切り替える場合、受信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE ビット＝1、SCR_SMCI.RE ビット＝0 にしてください。受信動作の完了は、SCIn_RXI 割り込み要求、SSR_SMCI.ORER フラグ、あるいは SSR_SMCI.PER フラグで確認できます。

送信モードから受信モードへ切り替える場合、送信動作が完了していることを確認してから、SCI を初期化してください。初期化の最後では、SCR_SMCI.TE ビット＝0、SCR_SMCI.RE ビット＝1 にしてください。送信動作の完了は SSR_SMCI.TEND フラグで確認できます。

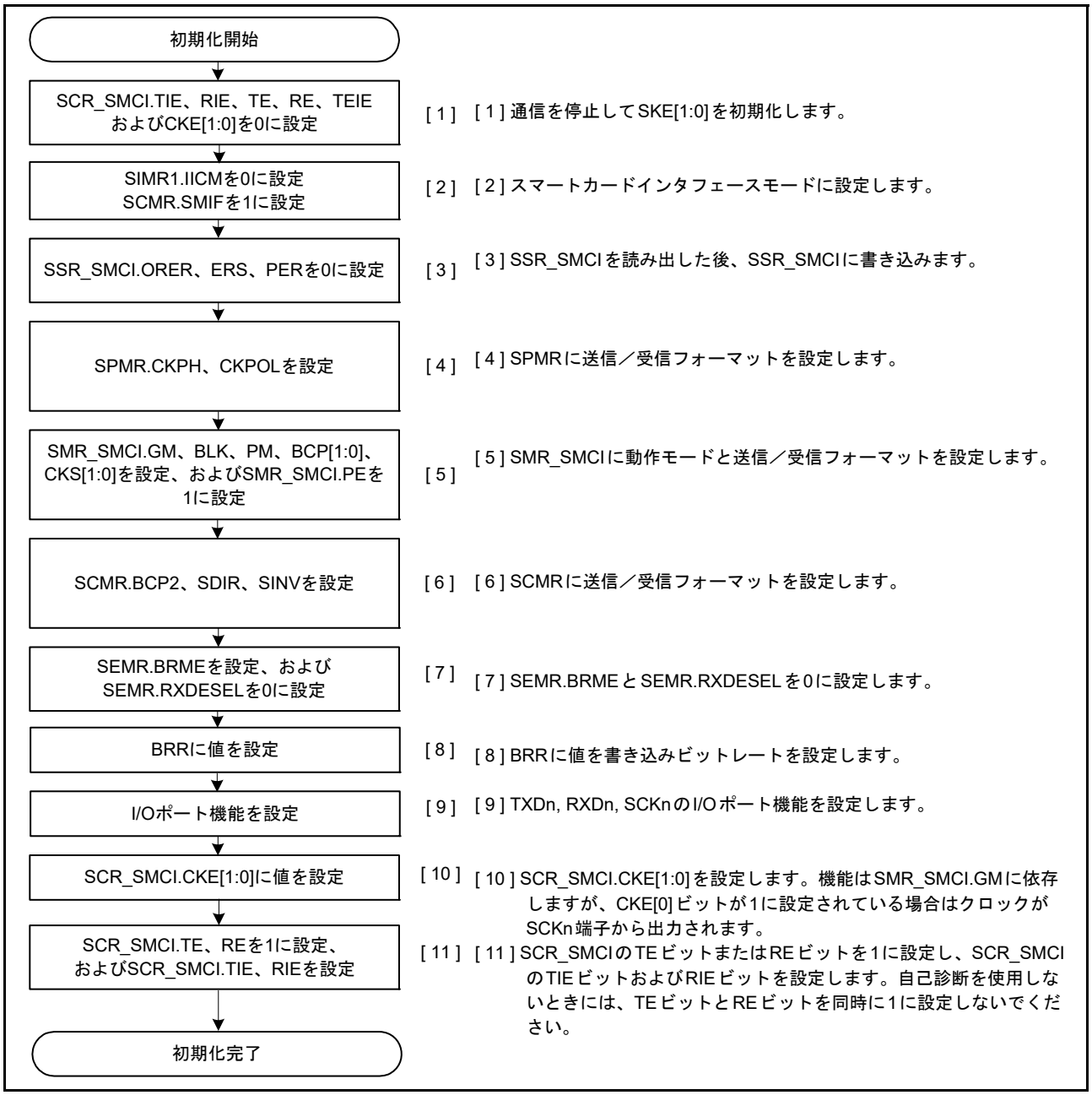


図 34.50 SCI の初期化フローチャート例（スマートカードインタフェースモード）

図 34.50 のフローに従ってスマートカードインタフェースモードに遷移することでデータ送信が行われるときのタイミング図を図 34.51 に示します。図 34.51 は、SMR_SMCI.GM ビットが 0 に設定されている場合の例です。図 34.51 に示すように、ポートが SCKn 端子および TXDn 端子として接続されている場合、SCR_SMCI.CKE[0] ビットは 0 であるため、端子は Hi-Z となります。

SCR_SMCI.CKE[0] ビットを 1 に設定することにより SCK 端子へのクロック出力を開始します。SCR_SMCI.TE ビットを 1 にした後、送信データを書き込むことでデータ送信を開始します。SCR_SMCI.TE ビットを 0 から 1 に変更すると、1 フレーム分のプリアンブル期間の後、データ送信が行われます。スマートカードインタフェースモードでは、プリアンブル期間中は、TXDn 端子は Hi-Z となります。SCKn 端子および TXDn 端子の状態により、MCU 外部でプルアップまたはプルダウンが必要です。スマートカードインタフェースモードでは、SCR_SMCI.TE = 0 および SCR.SMCI.RE = 0 の状態で通信が行われなくても、クロック出力設定を使用すればクロック出力は継続されます。

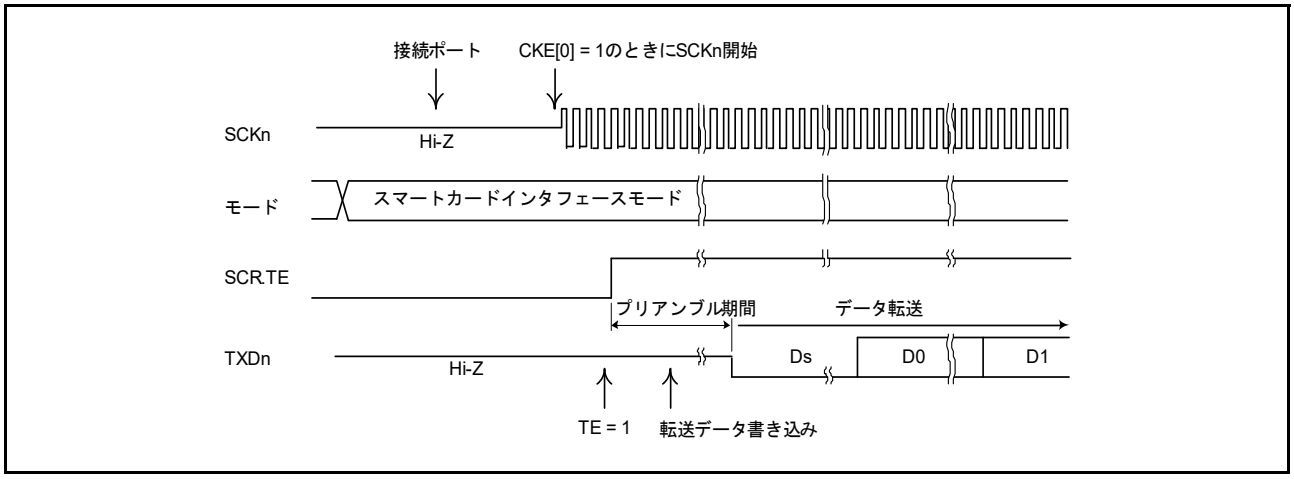


図 34.51　スマートカードインタフェースモードにおけるデータ送信のタイミング例

34.6.6　シリアルデータの送信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル送信（ブロック転送モード時を除く）では、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードと動作が異なります。送信中の再転送動作を図 34.52 に示します。

[1] 1 フレーム分の送信を完了した後、受信側からのエラーシグナルがサンプリングされると、SSR_SMCI.ERS フラグが 1 になります。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、ERS フラグを 0 にクリアしてください。

[2] エラーシグナルを受信したフレームでは、SSR_SMCI.TEND フラグはセットされません。TDR レジスタから TSR レジスタへ再度データが転送され、自動的に再送信が行われます。

[3] 受信側からエラーシグナルが返ってこない場合、ERS フラグは 1 になりません。

[4] この場合、SCI は再転送を含む 1 フレーム分の送信が完了したと判断し、TEND フラグがセットされます。このとき、SCR_SMCI.TIE ビットが 1 になっていると、SCIn_TXI 割り込み要求が発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

図 34.54 に、シリアル送信のフローチャート例を示します。これら一連の処理は、SCIn_TXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

送信動作では、SSR_SMCI.TEND フラグが 1 になっていると、SCR_SMCI.TIE ビットが 1 の場合、SCIn_TXI 割り込み要求が発生します。

あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中、TEND フラグは 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、ERS フラグは自動的にはクリアされないため、RIE ビットを 1 にしておくことで、エラー発生時に SCIn_ERI 割り込み要求を発生させて、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

DTC または DMAC の設定方法については、「17. DMA コントローラ（DMAC）」と「18. データトランスファコントローラ（DTC）」を参照してください。

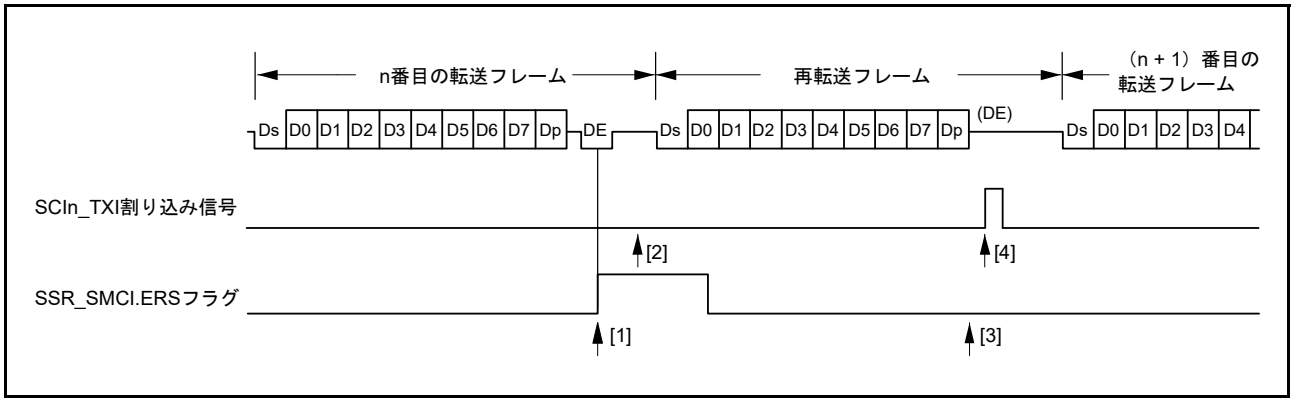


図 34.52 SCI 送信モードでの再転送動作

SMR_SMCI.GM ビットの設定によっては、SSR_SMCI.TEND フラグのセットタイミングが異なります。図 34.53 に、TEND フラグの発生タイミングを示します。

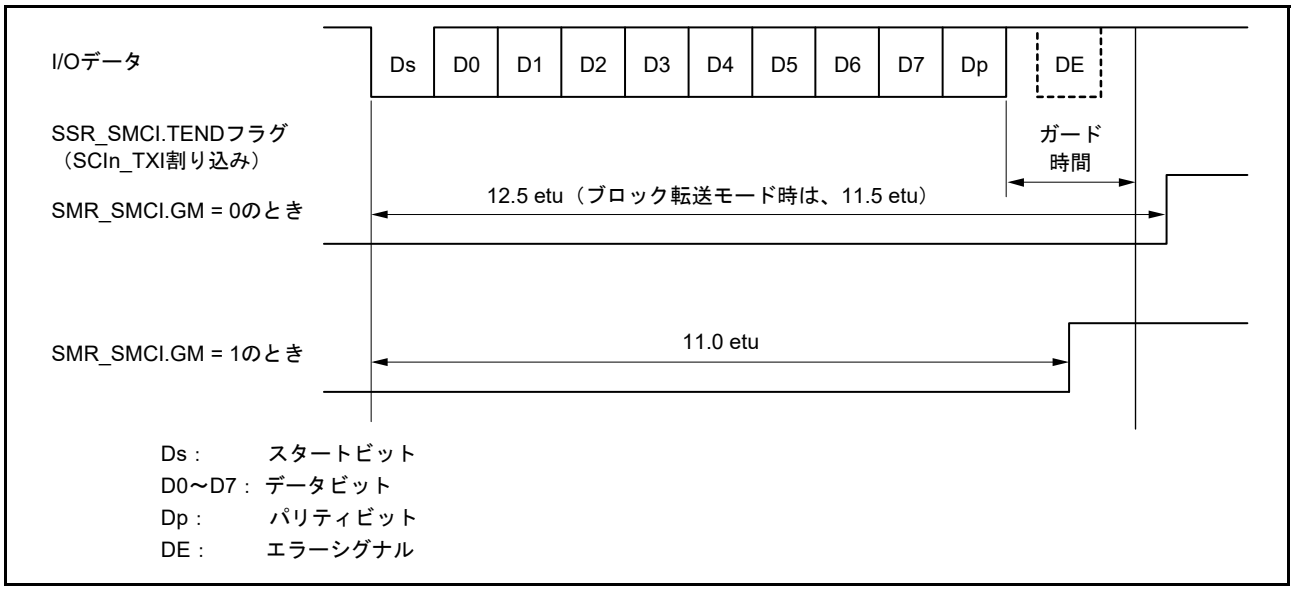


図 34.53 送信中の SSR.TEND フラグの発生タイミング

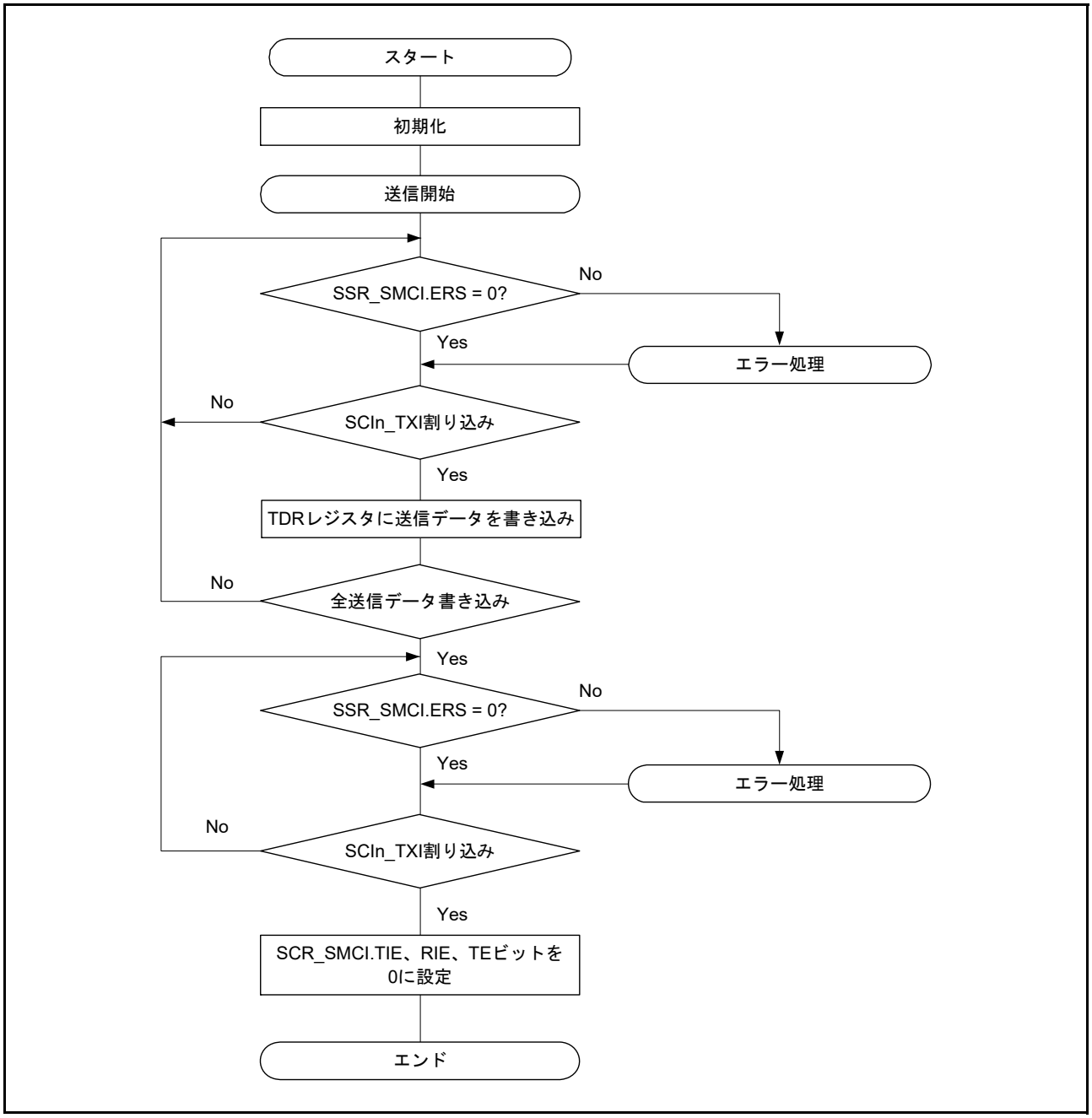


図 34.54　スマートカードインタフェース送信のフローチャート例

34.6.7 シリアルデータの受信（ブロック転送モード時を除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードでの再転送動作を図 34.55 に示します。

[1] 受信データにパリティエラーが検出されると、SSR_SMCI.PER フラグが 1 になります。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_ERI 割り込み要求が発生します。次のパリティビットがサンプリングされる前に、PER フラグをクリアしてください。

[2] パリティエラーを検出したフレームに対しては SCIn_RXI 割り込みは発生しません。

[3] パリティエラーが検出されない場合、SSR_SMCI.PER フラグは 1 になりません。

[4] この場合、正常に受信が完了したと判断されます。このとき、SCR_SMCI.RIE ビットが 1 になっていると、SCIn_RXI 割り込み要求が発生します。

図 34.56 に、シリアル受信のフローチャート例を示します。これら一連の処理は、SCIn_RXI 割り込み要求で DTC または DMAC を起動することによって、自動的に行うことができます。

受信動作では、RIE ビットを 1 にしておくと、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。

また、受信中にエラーが発生して SSR_SMCI.ORER フラグまたは SSR_SMCI.PER フラグのいずれかが 1 になると、受信エラー割り込み（SCIn_ERI）要求が発生します。エラー発生後に、エラーフラグをクリアしてください。エラーが発生した場合、DTC または DMAC は起動されず、受信データはスキップされます。そのため、DTC または DMAC に指定されたバイト数だけ受信データが転送されます。

なお、受信中にパリティエラーが発生して PER フラグが 1 になった場合でも、受信したデータは RDR レジスタへ転送されるので、このデータを読み出すことは可能です。

また、受信動作中に SCR_SMCI.RE ビットを 0 にして受信動作を強制終了させた場合、RDR レジスタに読み出し前の受信データが残っている可能性があるため、RDR レジスタを読み出す必要があります。

注 . ブロック転送モードの場合は、34.3.9 シリアルデータの受信（調歩同期式モード）を参照してください。

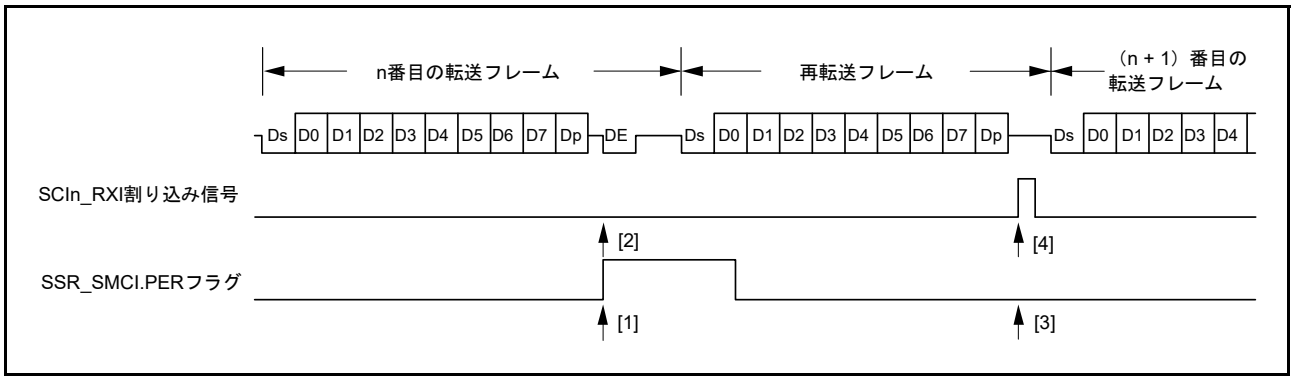


図 34.55 SCI 受信モードでの再転送動作（受信時の再転送動作）

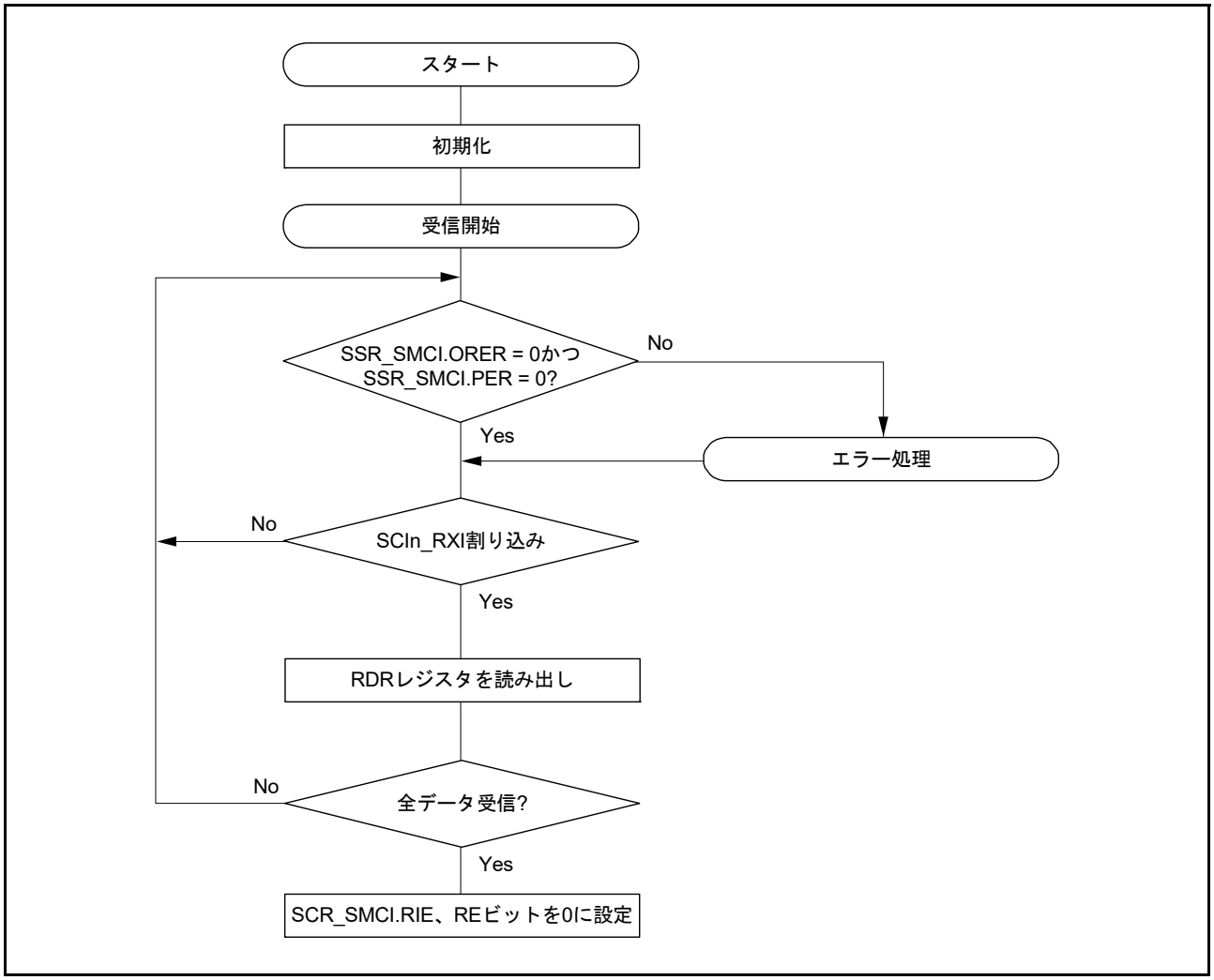


図 34.56 スマートカードインタフェース受信のフローチャート例

34.6.8 クロック出力制御

SMR_SMCI の GM ビットを 1 にすると、SCR_SMCI の CKE[1:0] ビットでクロック出力の制御が行えます。CKE[1:0] ビットの詳細については、34.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ（SCR_SMCI）（SCMR.SMIF = 1）を参照してください。クロック出力を設定すると、34.6.4 受信データのサンプリングタイミングと受信マージンで説明されている基本クロックが出力されます。

図 34.57 に、SCR_SMCI の CKE[1] ビットを 0 にして SCR_SMCI の CKE[0] ビットを制御する場合のクロック出力制御のタイミング例を示します。

SMR_SMCI の GM ビットを 0 にすると、SCR_SMCI の CKE[0] ビットによる出力制御がただちに SCK 端子に反映されるため、SCK 端子から意図しない幅のパルスが出力される可能性があります。

SMR_SMCI の GM ビットを 1 にすると、SCR_SMCI の CKE[0] ビットが変更されても、基本クロックと同じパルス幅のクロックが出力されます。

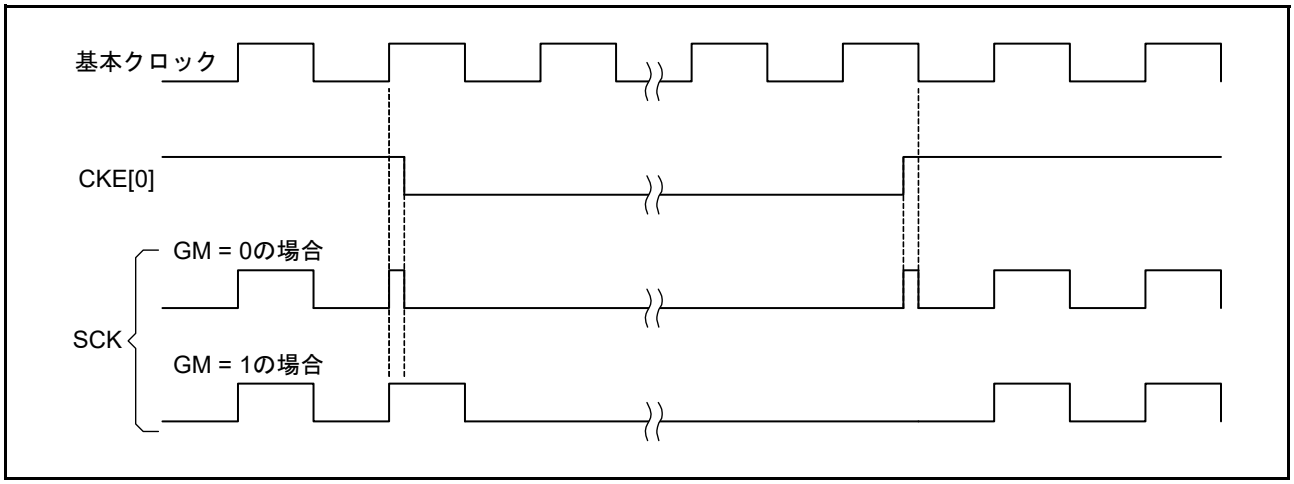


図 34.57 クロック出力制御

34.7 簡易 IIC モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開始条件に続くフレームはスレーブアドレスのフレームであり、マスタデバイスは、通信先であるスレーブデバイスを指定するために使用します。現在指定されているスレーブデバイスは、新たにスレーブデバイスが指定されるか、または停止条件が満たされるまで有効です。各フレーム内の 8 ビットのデータは、MSB から順に送信されます。

図 34.58 に、I²C バスのフォーマットを、図 34.59 に、I²C バスのタイミングを示します。

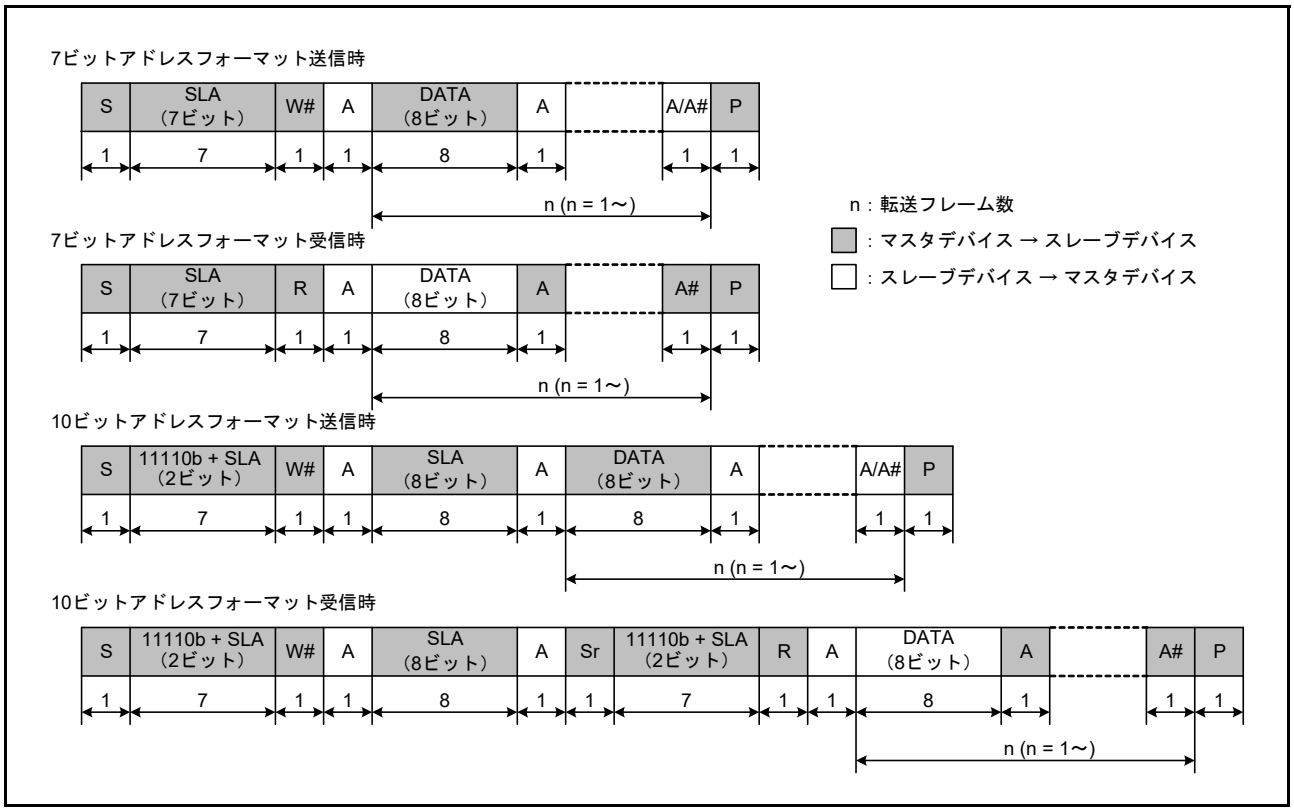


図 34.58 I²C バスフォーマット

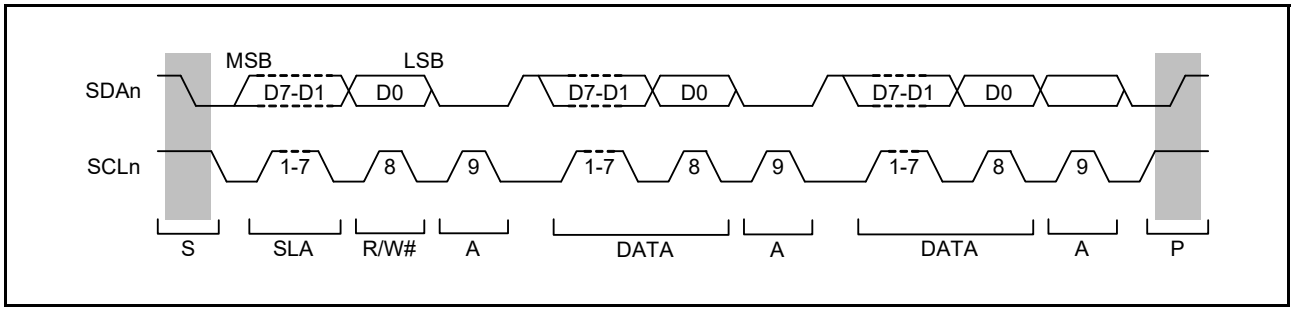


図 34.59 I²C バスタイミング（SLA = 7 ビットの場合）

- S：開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを High から Low へ変化させます
- SLA：スレーブアドレスを示します。これによってマスタデバイスがスレーブデバイスを選択します
- R/W#：転送方向（送信／受信）を示します。値 1 のときはスレーブデバイスからマスタデバイスへ、値 0 のときはマスタデバイスからスレーブデバイスへデータを送信します

- A/A#：アクノリッジを示します。マスタ送信モードでは、スレーブデバイスがアクノリッジを返します。マスタ受信モードでは、マスタデバイスがアクノリッジを返します。Low を返すことで ACK を、High を返すことで NACK を示します
- Sr：再開始条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、セットアップ時間経過後に SDAn ラインのレベルを High から Low へ変化させます
- DATA：送受信データを示します
- P：停止条件を示します。マスタデバイスは、SCLn ラインが High 状態にあるとき、SDAn ラインのレベルを Low から High へ変化させます

34.7.1 開始条件、再開始条件、停止条件の生成

SIMR3.IICSTAREQ ビットに 1 を書き込むことにより、開始条件の生成を行います。開始条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、SIMR3.IICSTAREQ ビットを 0 にして、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに 1 を書き込むことにより、再開始条件の生成を行います。再開始条件の生成では、以下の動作が行われます。

- SDAn ラインを開放、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のセットアップ時間に設定
- SDAn ラインを立ち下げ（High から Low へ変化）
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、再開始条件のホールド時間に設定
- SCLn ラインを立ち下げ（High から Low へ変化）、SIMR3.IICRSTAREQ ビットを 0 にして、再開始条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに 1 を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SDAn ラインを立ち下げ（High から Low へ変化）、SCLn ラインは Low を保持
- BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、SCLn ラインの Low 期間に設定
- SCLn ラインを開放（Low から High へ変化）
- SCLn ラインの High を検出後、BRR レジスタで設定したビットレートでの 1 ビット期間の半分を、停止条件のセットアップ時間に設定
- SDAn ラインを開放（Low から High へ変化）、SIMR3.IICSTPREQ ビットを 0 にして、停止条件生成割り込み要求を出力

図 34.60 に、開始条件、再開始条件、停止条件生成の動作タイミングを示します。

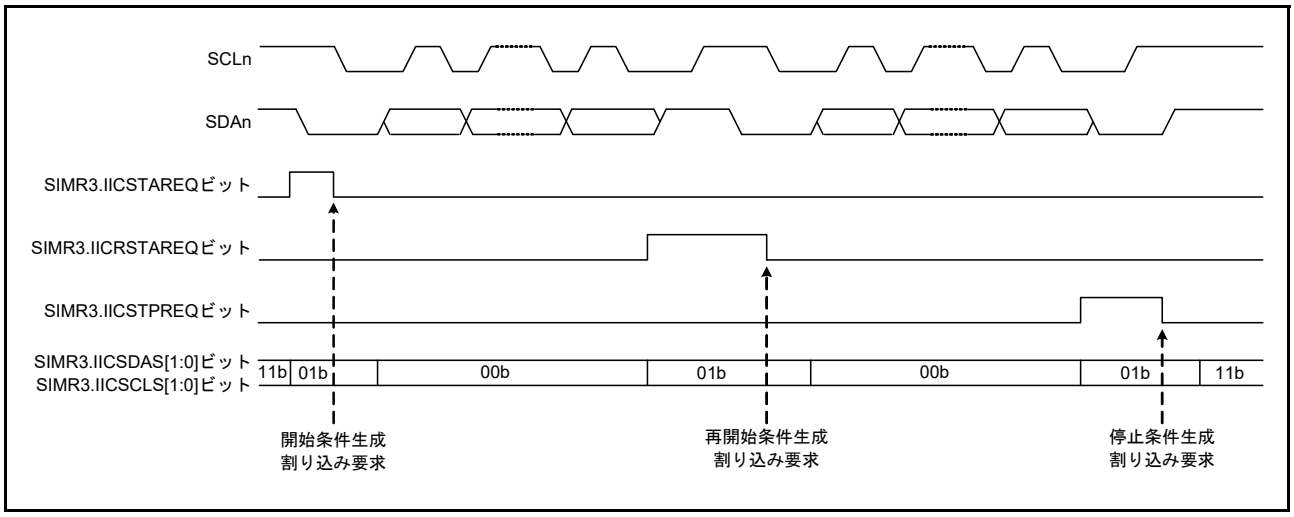


図 34.60 開始条件、再開始条件、停止条件生成の動作タイミング

34.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で、SCLn ラインを Low にする場合があります。SIMR2.IICCSC ビットを 1 にすると、内部 SCLn クロック信号が SCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが 1 の場合、内部 SCLn クロックが Low から High へ変化すると、SCLn 端子入力が Low の間は High 期間のカウントを停止し、SCLn 端子入力が High へ変化すると、High 期間のカウントを開始します。

このとき、SCLn 端子が High へ変化して High 期間のカウントを開始するまでの間隔は、SCLn 端子入力遅延、SCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで 2 ～ 3 サイクル）、および内部処理遅延（PCLKA で 1 ～ 2 サイクル）の合計になります。この間、他のデバイスが SCLn ラインを Low にしていなくても、内部 SCLn クロックの High 期間が延長されます。

SIMR2.IICCSC ビットが 1 の場合、データの送受信は、SCLn 端子入力と内部 SCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが 0 の場合は、データの送受信は、内部 SCLn クロックに同期して行われます。

開始条件、再開始条件、または停止条件の生成要求発行後、内部 SCLn クロックが Low から High へ変化するまでの間にスレーブデバイスからウェイトが挿入された場合、その期間分、生成までの時間が延長されます。

内部 SCLn クロック信号が Low から High へ変化した後、スレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。図 34.61 に、クロック同期化の動作例を示します。

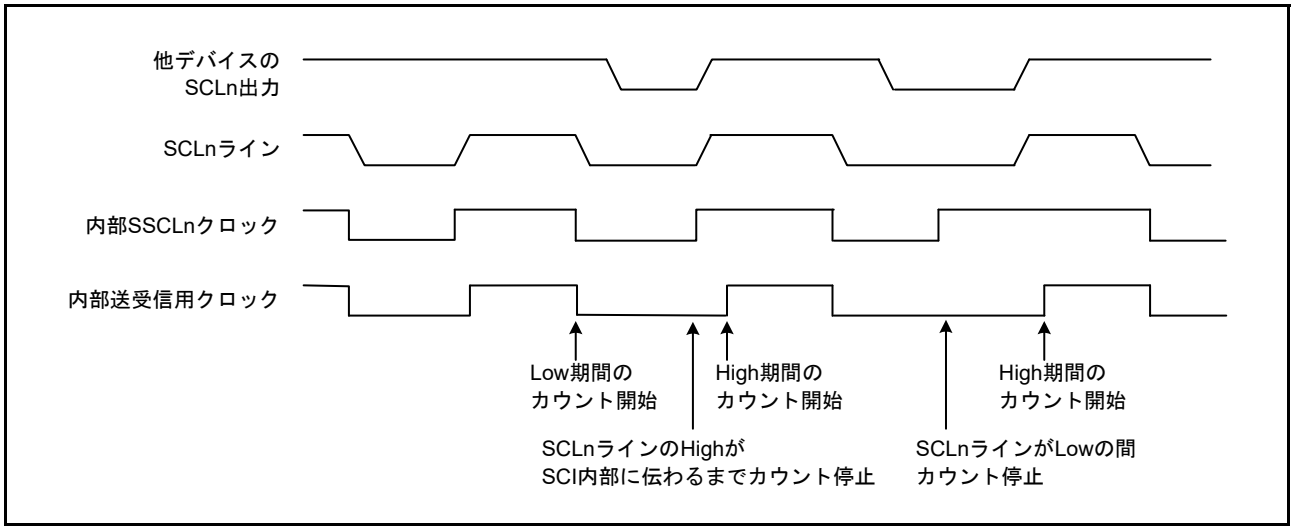


図 34.61　クロック同期化の動作例

34.7.3　SDA 出力遅延

SIMR1.IICDL[4:0] ビットを用いて、SCLn 端子出力の立ち下がりに対し、SDAn 端子出力を遅延させることが可能です。遅延時間は 0 ～ 31 サイクルから選択できます。これは、対応する内蔵ボーレートジェネレータからのクロック信号のサイクル数を表します（SMR.CKS[1:0] ビットで選択した分周ベースクロック（PCLKA）を基準とします）。SDAn 端子出力の遅延は、開始条件／再開始条件／停止条件の各信号、8 ビットの送信データ、およびアクノリッジビットに適用されます。

SDA 出力遅延が SCLn 端子出力の立ち下がり時間より短い場合、SCLn 端子出力の立ち下がり中に SDAn 端子出力が変化を開始して、スレーブデバイスが誤動作する可能性があります。SDAn 出力遅延は、SCLn 端子出力の立ち下がり時間の最大値（IIC の標準モードとファストモードでは 300ns）より大きくなるように設定してください。

図 34.62 に、SDA 出力遅延のタイミングを示します。

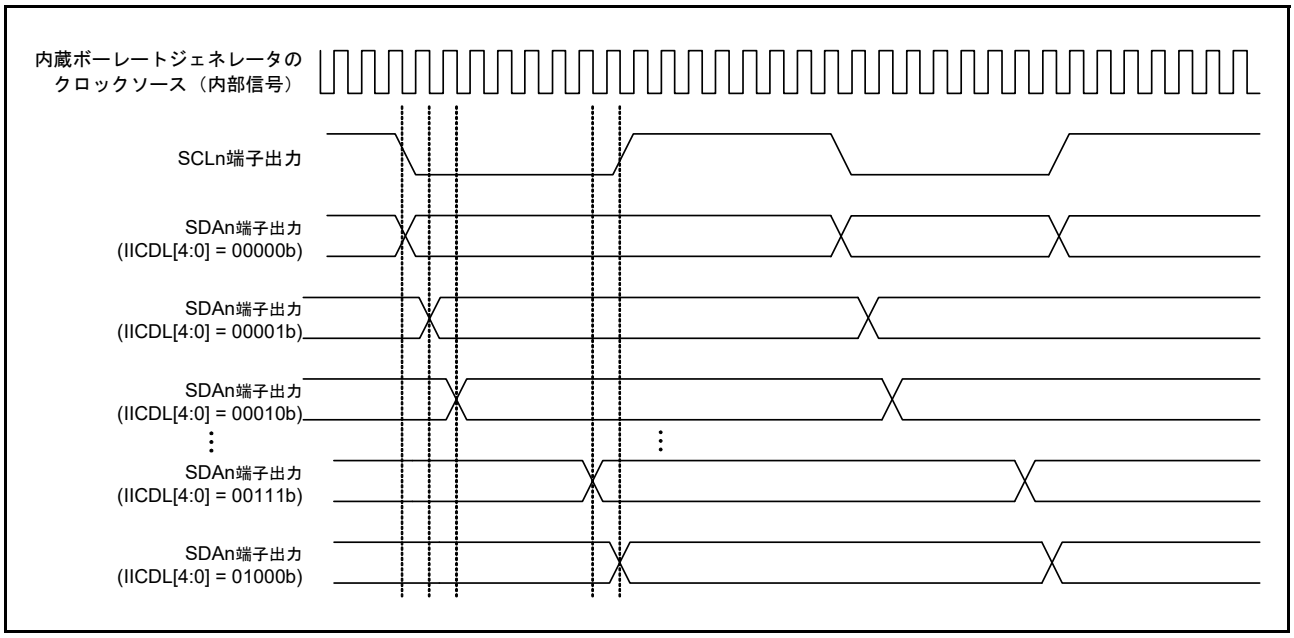


図 34.62　SDA 出力遅延のタイミング

34.7.4 SCI の初期化（簡易 IIC モード）

データの送受信前に、SCR レジスタに初期値 00h を書き込み、図 34.63 のフローチャート例に従って、インタフェースを初期化してください。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタをその初期値に設定してから行ってください。

また、簡易 IIC モード時の通信ポートのオープンドレイン設定は、ポート側で行ってください。

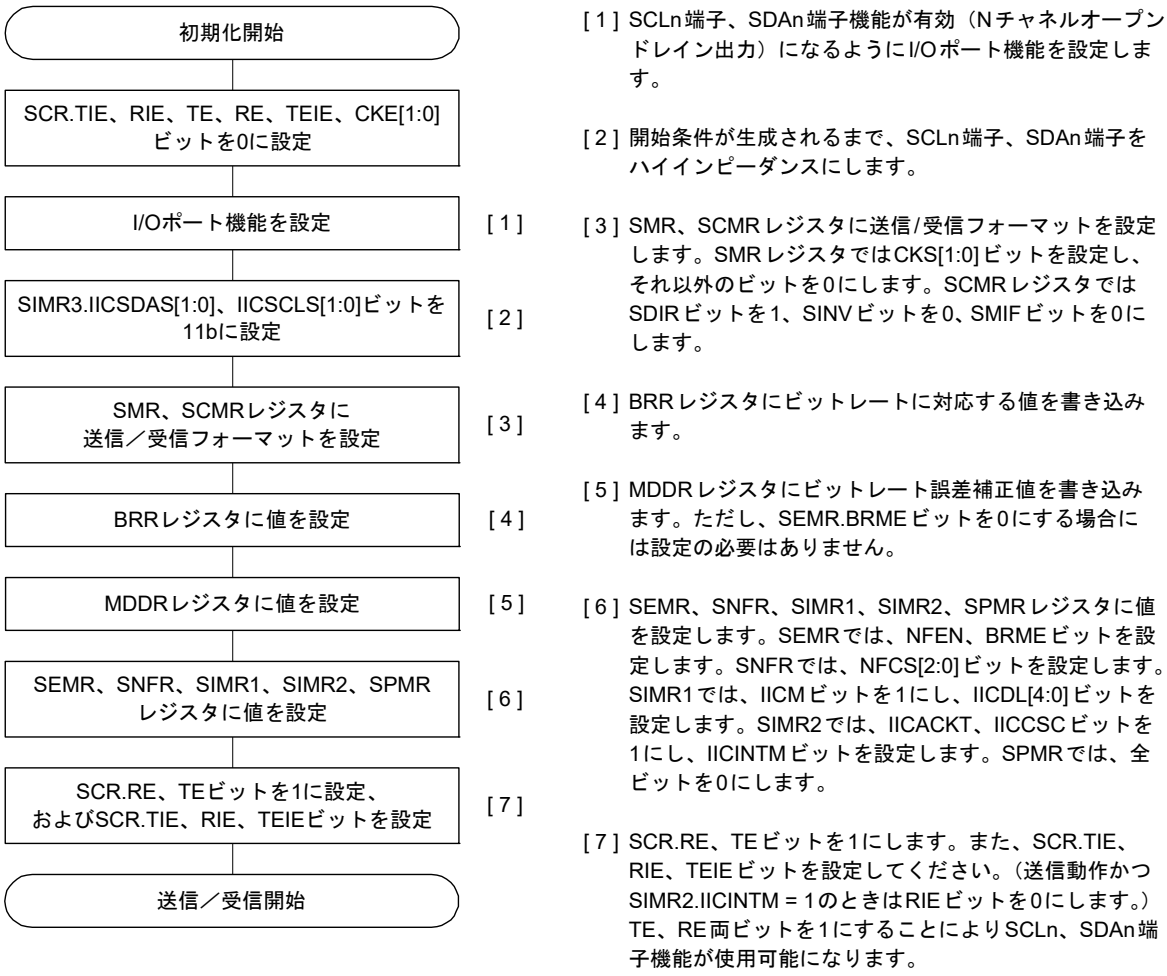


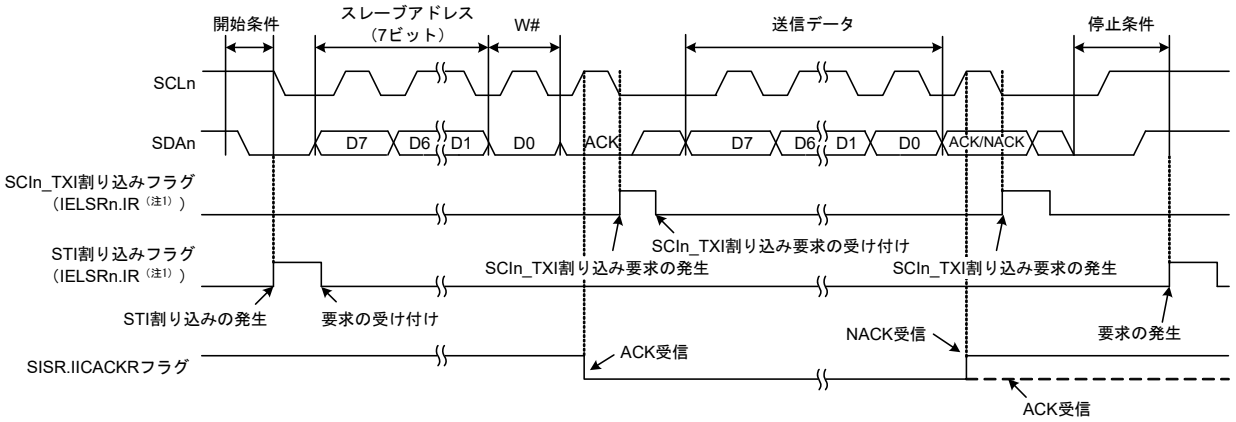
図 34.63 SCI の初期化フローチャート例（簡易 IIC モード）

34.7.5 マスタ送信動作（簡易 IIC モード）

図 34.64 と図 34.65 に、マスタ送信の動作例を、図 34.66 に、データ送信のフローチャート例を示します。下図では、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）で、かつ SCR.RIE ビットが 0（SCIn_RXI および SCIn_ERI 割り込み要求を禁止）の場合を想定しています。STI 割り込みについては、表 34.29 を参照してください。

10 ビットスレーブアドレス使用時は、図 34.66 の [3] ～ [4] の手順を 2 回繰り返します。

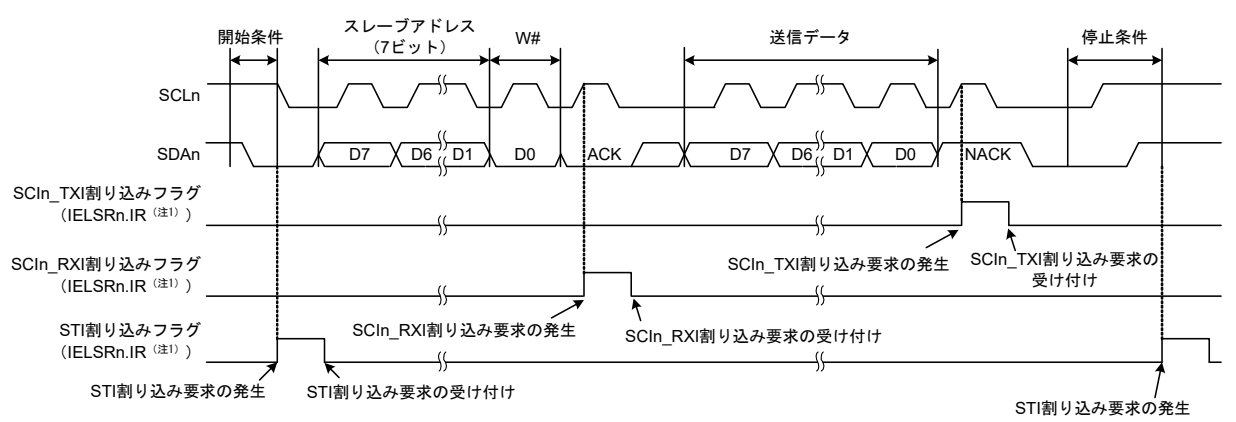
簡易 IIC モードでの送信データエンプティ割り込み（SCIn_TXI）は、クロック同期式送信時の SCIn_TXI 割り込み要求の発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

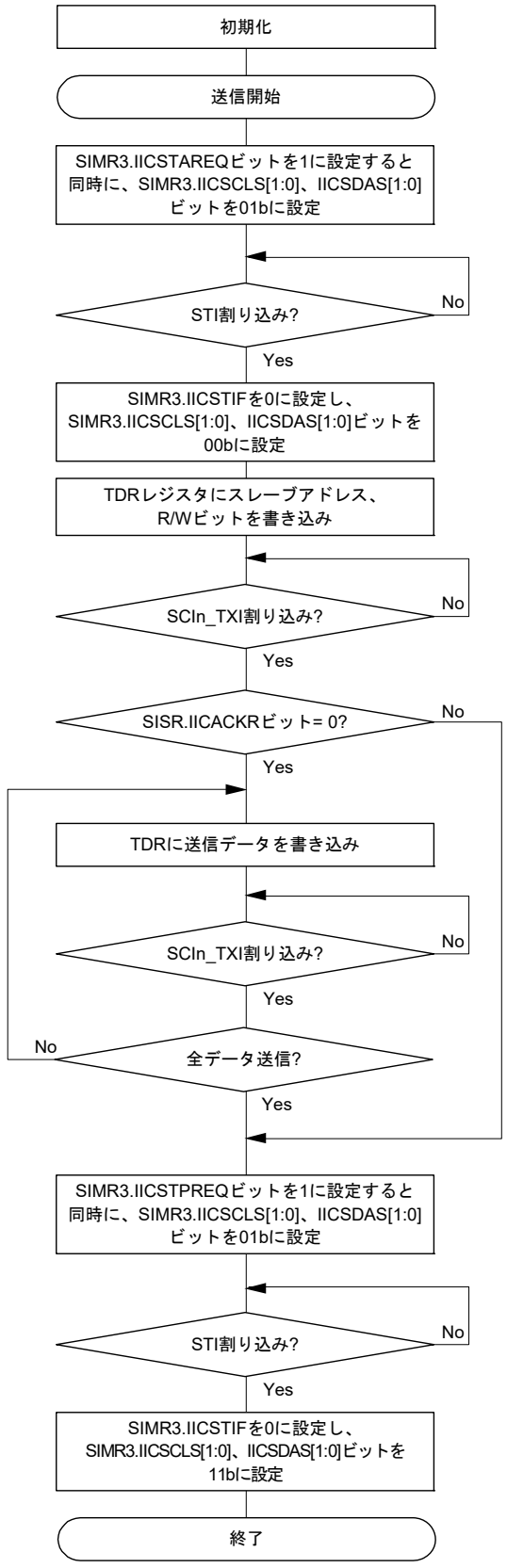
図 34.64 簡易 I²C バスモードにおけるマスタ送信の動作例 1（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）

マスタ送信で、SIMR2.IICINTM ビットを 0（ACK 割り込み、NACK 割り込みを使用）にした場合、ACK 割り込みをトリガにして DTC または DMAC を起動し、データを必要バイト数送信します。NACK を受信した場合は、NACK 割り込みをトリガにして、送信中止や再送信などのエラー処理を行います。



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.65 簡易 I²C バスモードにおけるマスタ送信の動作例 2（7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時）



[1] [1] 簡易IICモード時の初期化：
送信の場合、SCR.RIEを0（RXIとERI割り込みを禁止）にします。

[2] [2] 開始条件生成

[3] [3] TDRの書き込み：
TDRレジスタにスレーブアドレス、R/Wビット値を書き込みます。

[4] 0ビットスレーブアドレス時は[3]～[4]の処理を2回実行

[4] スレーブデバイスからのACK応答の確認：
SISR.IICACKRビットを確認します。値が0の場合、スレーブデバイスがACKを返したため、動作は継続されます。
値が1の場合、スレーブデバイスから返信がなく、次の処理として停止条件が生成されます。

[5] [5] シリアル送信の継続手順：
シリアル送信を続けるときには、TDRに追加の送信データを書き込みます。送信する最初のデータを除いて、TXI割り込み要求を用いてDMACまたはDTCを起動し、TDRにデータを書き込むことができます。ただし、ACK/NACKのステータス確認はできません。

[6] [6] 停止条件生成

注． 簡易 IIC モードでは SCIn_TXI 割り込みは通信を完了した時点で発生します。

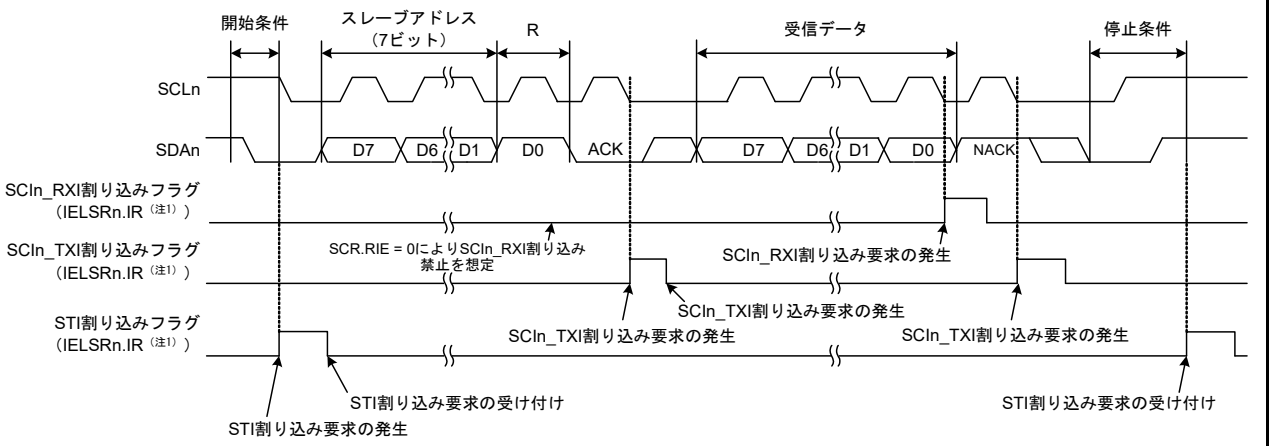
図 34.66 簡易 IIC モードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）

34.7.6 マスタ受信動作（簡易 IIC モード）

図 34.67 に簡易 IIC モードにおけるマスタ受信の動作例を、図 34.68 にマスタ受信のフローチャート例を示します。

下図では、SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合を想定しています。

簡易 IIC モードでの送信データエンプティ割り込み（SCIn_TXI）は、クロック同期式送信時の SCIn_TXI 割り込み要求の発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。



注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.67 簡易 I²C バスモードにおけるマスタ受信の動作例（7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時）

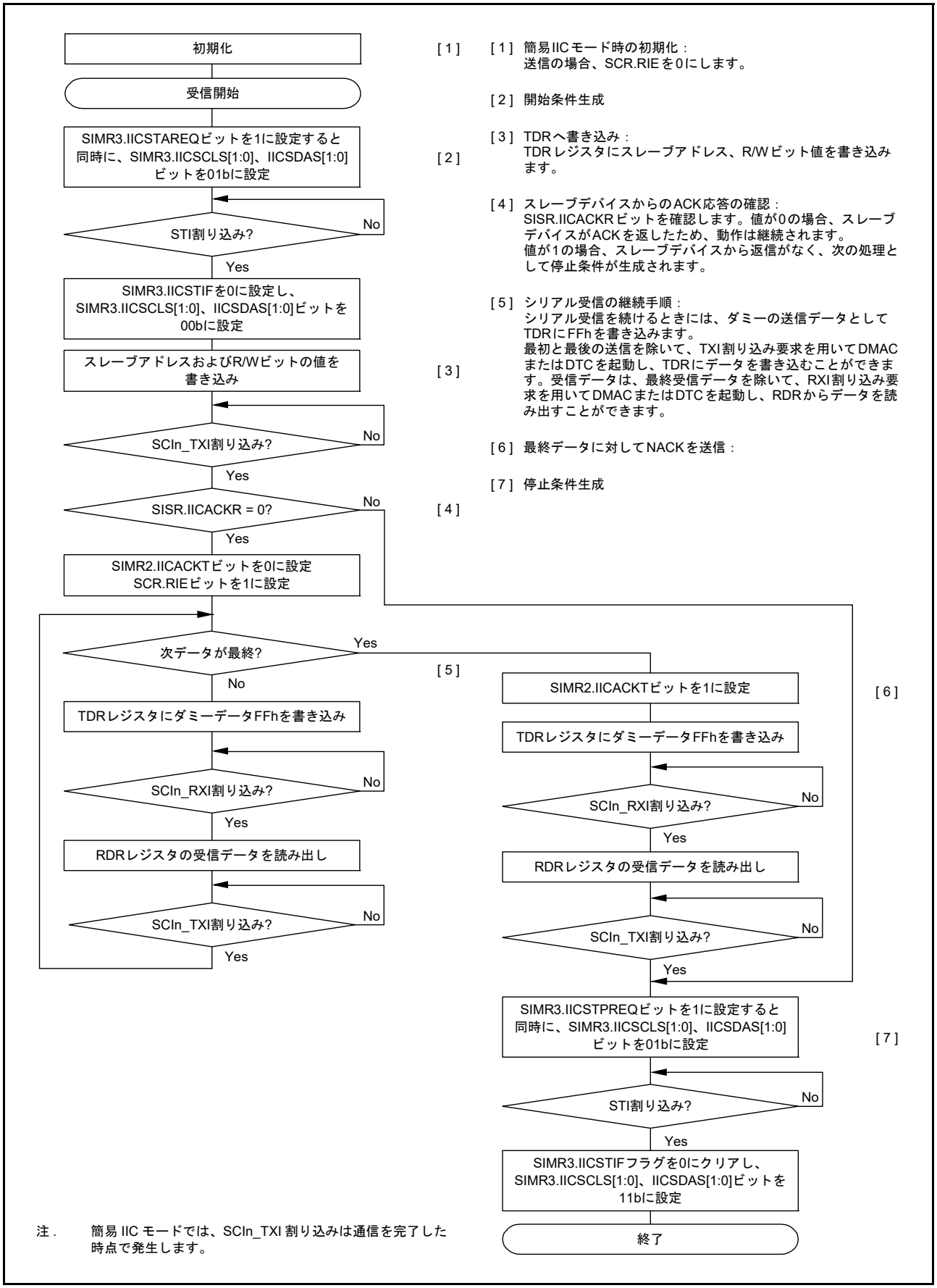


図 34.68 簡易 IIC モードにおけるマスタ受信のフローチャート例（送信割り込み、受信割り込み使用時）

34.8 簡易 SPI モードの動作

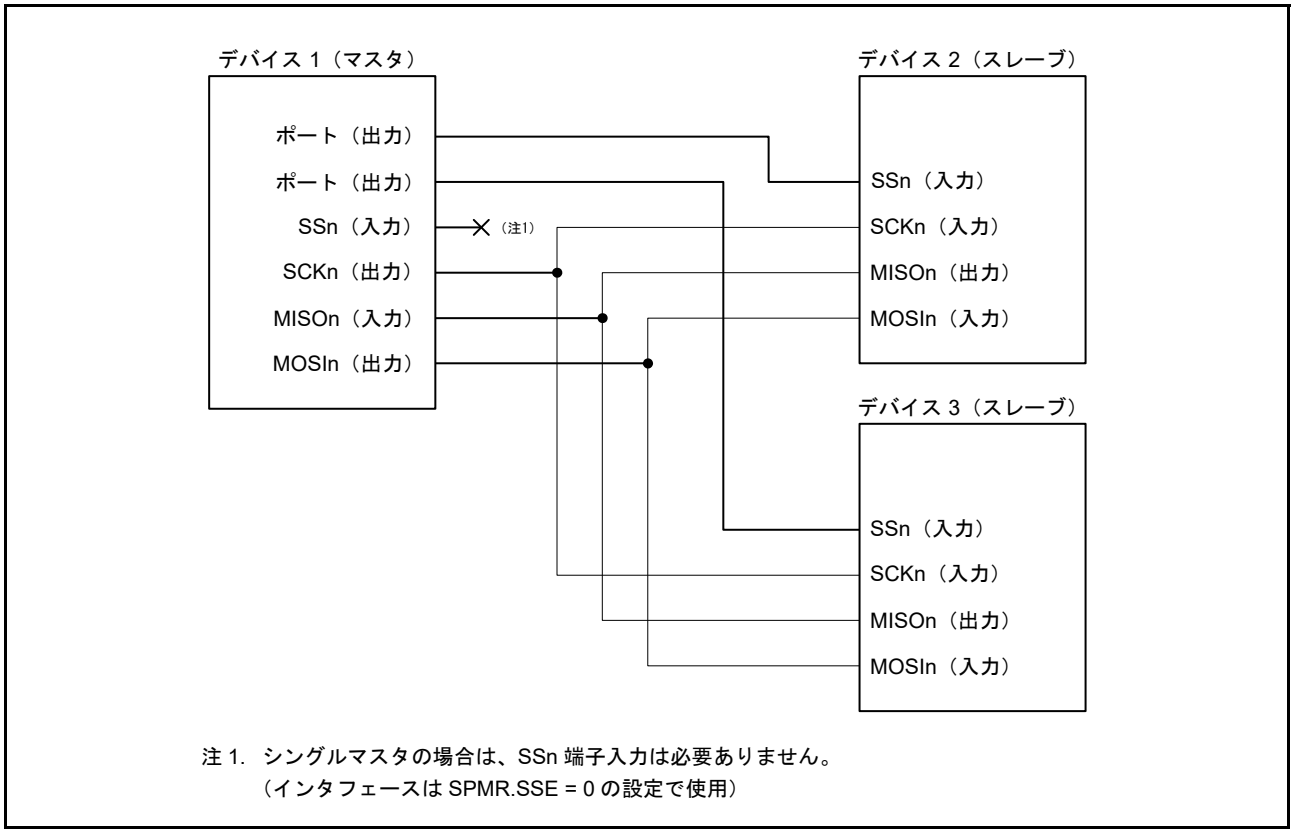
SCI は拡張機能として、1 つまたは複数のマスタと複数のスレーブとの間で通信が可能な、簡易 SPI モードをサポートしています。

クロック同期式モードの設定（SCMR.SMIF = 0, SIMR1.IICM = 0, SMR.CM = 1）を使用するとともに、SPMR.SSE ビットを 1 にすることによって、SCI は簡易 SPI モードになります。なお、簡易 SPI モードであっても、シングルマスタ構成で使用する場合は、マスタ側の SSn 端子機能は不要であるため、SPMR.SSE ビットは 0 にしてください。

図 34.69 に、簡易 SPI モードの接続例を示します。マスタからの SSn 信号出力については、汎用ポートで制御してください。

簡易 SPI モードでは、クロック同期式モードと同様に、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを 1 にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部は独立しており、クロックを共有することで全二重通信が可能です。また、送信部と受信部はどちらもバッファ構成になっているため、送信中に次の送信データを書き込むことや、受信中に前の受信データを読み出すことが可能です。これにより、連続転送が可能となります。



注 1. シングルマスタの場合は、SSn 端子入力は必要ありません。
（インタフェースは SPMR.SSE = 0 の設定で使用）

図 34.69 簡易 SPI モードでの接続例（シングルマスタ時、SPMR.SSE ビット = 0）

34.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード（SCR.CKE[1:0] = 00b または 01b、かつ SPMR.MSS = 0）と、スレーブモード（SCR.CKE[1:0] = 10b または 11b、かつ SPMR.MSS = 1）で、各端子の入出力方向が異なります。

表 34.25 に、端子状態、モード、および SSn 端子入力の間の関係を示します。

表 34.25 モードおよびSSn端子入力と各端子状態の関係

モード	SSn端子入力	TXDn端子状態	RXDn端子状態	SCKn端子状態
マスタモード（注1）	High レベル（通信可能）	送信データ出力（注2）	受信データ入力	クロック出力（注3）
	Low レベル（通信不可）	ハイインピーダンス	受信データ入力（無効）	ハイインピーダンス
スレーブモード	High レベル（通信不可）	受信データ入力（無効）	ハイインピーダンス	クロック入力（無効）
	Low レベル（通信可能）	受信データ入力	送信データ出力	クロック入力

注 1. シングルマスタ構成（SPMR.SSE ビット = 0）のみの場合、SSn 端子の入力レベルにかかわらず、通信可能となります。これは、SSn 端子入力が High のときと等価です。SSn 端子機能は不要であり、別の用途に使用できます。
注 2. シリアル送信禁止（SCR.TE ビット = 0）の場合、MOSIn 端子出力はハイインピーダンスです。
注 3. マルチマスタ構成（SPMR.SSE ビット = 1）では、シリアル送受信禁止（SCR.TE および SCR.RE ビット = 00b）の場合、SCKn 端子出力はハイインピーダンスです。

34.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] ビットを 00b にして、SPMR.MSS ビットを 0 にすると、マスタモードになります。シングルマスタ構成（SPMR.SSE ビット = 0）では、SSn 端子が使用されないため、SSn 端子の値にかかわらず送受信動作が可能です。

マルチマスタ構成（SPMR.SSE ビット = 1）において SSn 端子入力が High の場合、他にマスタが存在しないこと、あるいは別のマスタが送受信動作を行っていることを示すために、マスタデバイスは SCKn 端子からクロックを出力した後、送受信動作を開始します。マルチマスタ構成（SPMR.SSE ビット = 1）において SSn 端子入力が Low の場合は、別のマスタが存在し、送受信を行っていることを示しています。その場合、SCI は MOSIn 端子出力と SCKn 端子出力をハイインピーダンスにして、送受信動作を開始しません。また、モードフォルトエラーとして SPMR.MFF ビットが 1 になります。マルチマスタ構成では、SPMR.MFF フラグを読むことでエラー処理を開始してください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に MOSIn 端子出力と SCKn 端子出力がハイインピーダンスになります。マスタからの SS 信号出力については、汎用ポートで制御してください。

34.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] ビットを 10b にして、SPMR.MSS ビットを 1 にすると、スレーブモードになります。SSn 端子入力が High のとき、MISOn 出力端子の状態はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送信または受信動作が可能になります。

送信または受信動作中に SSn 端子入力が Low から High に変化した場合、MISOn 出力端子の状態をハイインピーダンスにします。なお、内部的な送信または受信処理は、SCKn 端子から入力されるクロックレートで継続し、1 キャラクタ分の送信または受信処理が完了すると、動作が停止し、適切な割り込み（SCIn_TXI、SCIn_RXI、または SCIn_TEI のいずれか）が発生します。

34.8.4 クロックと送受信データの関係

SPMR.CKPOL ビットと SPMR.CKPH ビットを用いて、送受信に用いるクロックを 4 種類から選択できます。クロックと送受信データの関係を図 34.70 に示します。マスタモードとスレーブモードの両方で、クロックと送受信データの関係は同一です。これは、SSn 端子入力が High のときと等価です。

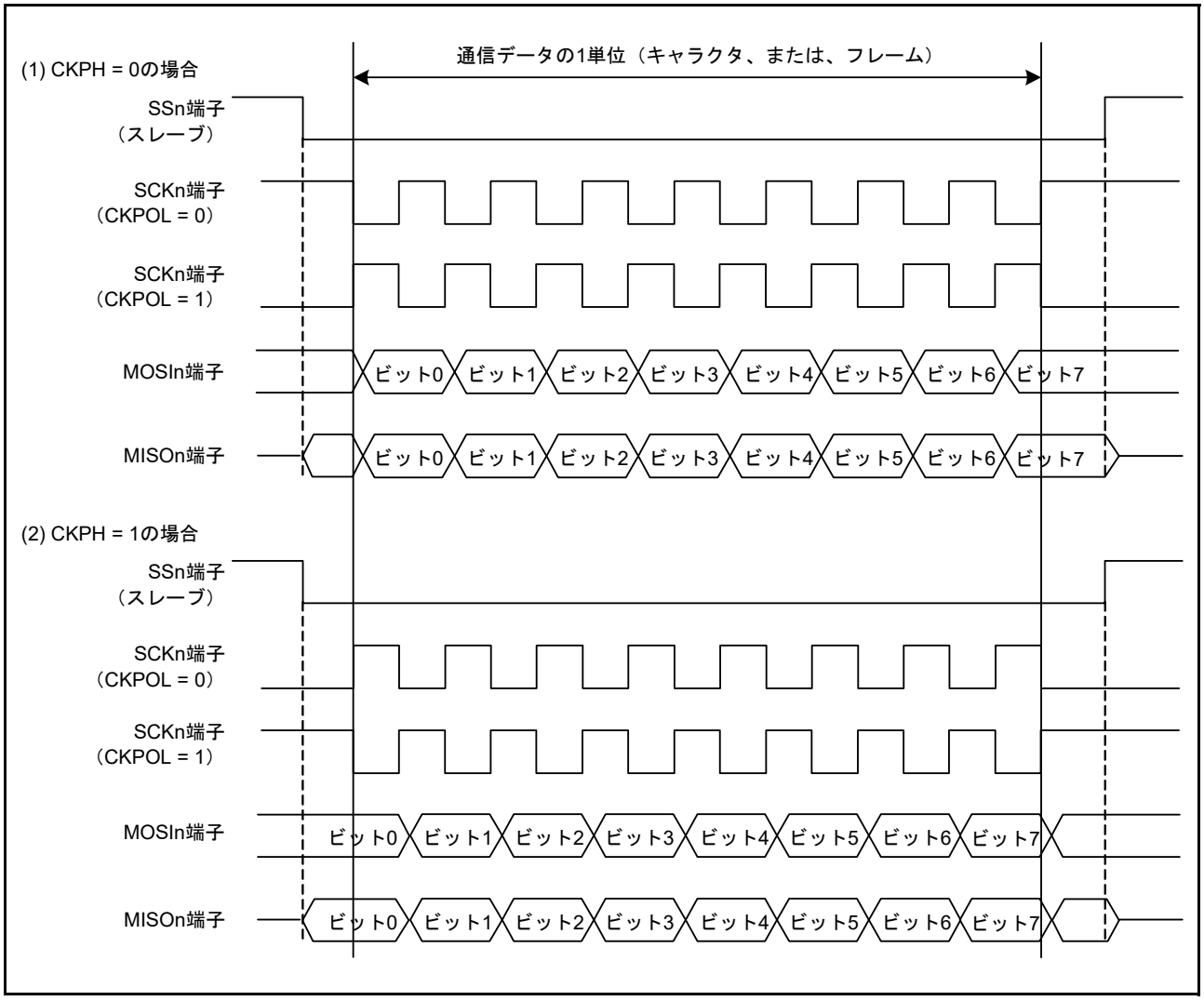


図 34.70 簡易 SPI モードにおけるクロックと送受信データの関係

34.8.5 SCI の初期化（簡易 SPI モード）

簡易 SPI モードでの初期化は、クロック同期式モードの場合と同じです。初期化フローの例は、図 34.32 を参照してください。SPMR.CKPOL ビットと SPMR.CKPH ビットは、マスタデバイスとスレーブデバイスの両方に適切なクロック信号となるように設定する必要があります。

動作モードや転送フォーマットに変更を加える場合は、必ず SCR レジスタを初期化してから行ってください。

注 . 0 になるのは RE ビットのみです。SSR.ORER、FER、PER、および RDR フラグは初期化されません。

注 . TE ビットを 1 から 0、または 0 から 1 に変更すると、SCR.TIE ビットが 1 の場合、送信データエンプティ割り込み（SCIn_TXI）が発生します。

34.8.6 シリアルデータの送受信（簡易 SPI モード）

マスタモードでは、送受信先のスレーブデバイスの SSn 端子を、送受信開始前に Low にして、送受信終了後に High にしてください。それ以外の手順はクロック同期式モードと同様です。

34.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能では、PCLKA が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択された場合に、MDDR レジスタで指定した数を用いて、ビットレートを均一に補正することが可能です。

調歩同期式モードにおいて、PCLKA が SMR/SMR_SMCI レジスタの CKS[1:0] ビットで選択されたとき、BRR と MDDR がそれぞれ 0 と 160 の場合の例を図 34.71 に示します。この例では、基本クロックの周期が均一に 256/160 に補正され、同時にビットレートも 160/256 に補正されています。

注 . 内部クロックを有効にするとバイアスが発生し、内部基本クロックのパルス幅に伸縮が生じます。

クロック同期式モードと、簡易 SPI モードでの最高速設定（SMR.CKS[1:0] = 00b、SCR.CKE[1] = 0、および BRR = 0）では、この機能を使用しないでください。

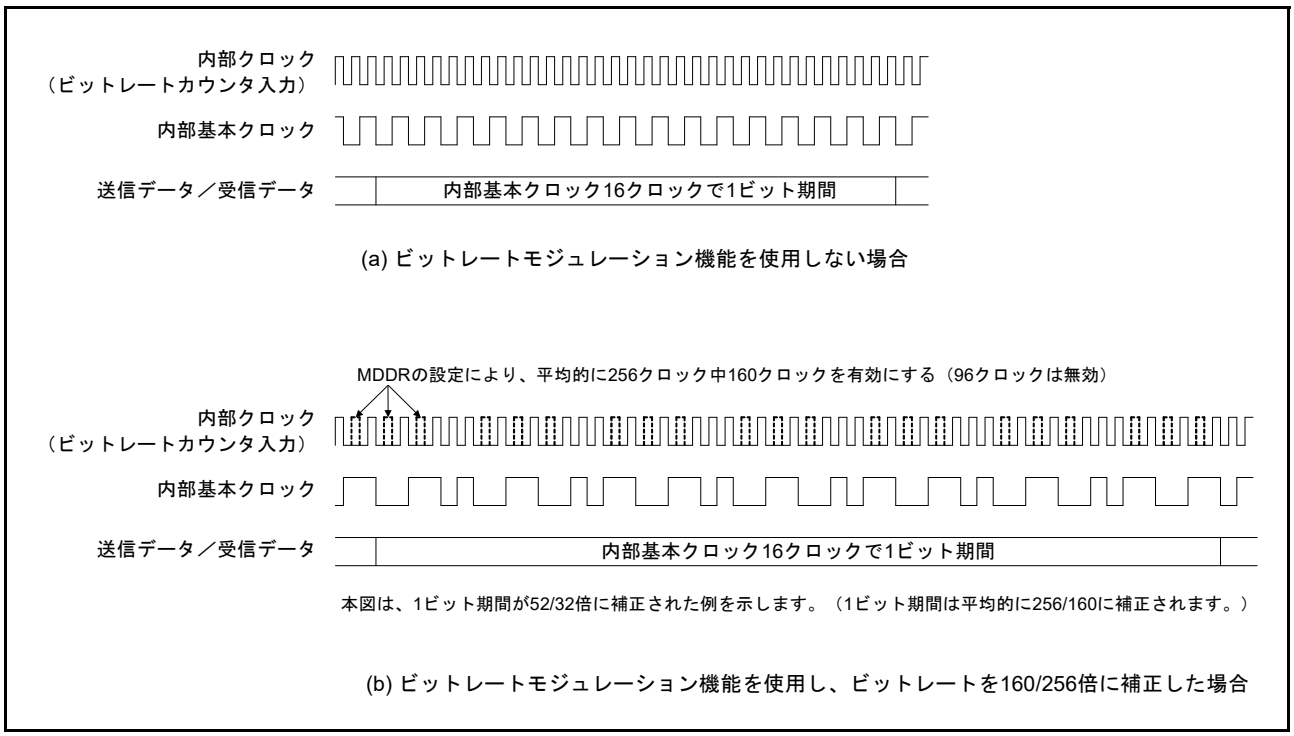


図 34.71 ビットレートモジュレーション機能使用時の内部基本クロックの例

34.10 割り込み要因

34.10.1 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（非 FIFO 選択時）

割り込みコントローラ（ICU）の割り込みステータスフラグが 1 のときは、SCIn_TXI 割り込みと SCIn_RXI 割り込みの発生条件が成立していても、ICU は割り込み要求を出力せず、内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

ICU の割り込みステータスフラグが 0 になると、ICU 内に保持されていた割り込み要求が出力されます。割り込み要求が出力されると、内部で保持されていた割り込みは自動的に破棄されます。また、内部で保持されていた割り込み要求は、対応する割り込み許可ビット（SCR/SCR_SMCI レジスタの TIE ビットまたは RIE ビット）をクリアすることでも破棄できます。

34.10.2 SCIn_TXI および SCIn_RXI 割り込みのバッファ動作（FIFO 選択時）

SCIn_TXI 割り込みと SCIn_RXI 割り込みは、ICU の割り込みステータスフラグが 1 であっても、ICU に対して割り込み要求を出力しません。割り込みコントローラの割り込みステータスフラグが 0 になったとき、SCIn_TXI 割り込みと SCIn_RXI 割り込みの条件が成立していれば、割り込み要求が発生します。

34.10.3 調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み

(1) 非 FIFO 選択時

表 34.26 に、調歩同期式モード、クロック同期式モード、および簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタの割り当てが可能であり、SCR レジスタの許可ビットによって、それぞれ個別に許可または禁止にできます。

SCR.TIE ビットが 1 のとき、送信データが TDR レジスタまたは TDRHL レジスタ（注 1）から TSR レジスタへ転送されると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることでも発生します。SCIn_TXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。（注 2）

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが書き込まれていないと、SSR.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。また、SCR.TE ビットを 1 にしてから TDR レジスタまたは TDRHL レジスタ（注 1）に送信データを書き込むまでの間は、SSR.TEND フラグは 1 を保持しており、SCR.TEIE ビットを 1 にすると SCIn_TEI 割り込み要求が発生します。

TDR レジスタまたは TDRHL レジスタ（注 1）にデータを書き込むと、SSR.TEND フラグがクリアされて SCIn_TEI 割り込み要求は取り消されますが、取り消されるまである程度時間がかかります。

SCR.RIE ビットが 1 のとき、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。SCIn_RXI 割り込み要求を用いて DTC または DMAC を起動し、データ転送を行うことができます。

SCR.RIE ビットが 1 のとき、SSR.ORER、FER、PER のいずれかのフラグが 1 になると、SCIn_ERI 割り込み要求が発生します。このとき、SCIn_RXI 割り込み要求は発生しません。これら 3 つのフラグ（ORER、FER、PER）のすべてをクリアすることによって、SCIn_ERI 割り込み要求を取り消すことができます。

(2) FIFO 選択時

表 34.27 に、FIFO モード選択時の割り込み要因を示します。

SCR.TIE ビットが 1 のとき、FTDRL レジスタに格納されたデータ数が FCR.TTRG で指示されたしきい値以下になると、SCIn_TXI 割り込み要求が発生します。また、SCIn_TXI 割り込み要求は、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に 1 にすることでも発生します。

SCIn_TXI 割り込み要求は、SCR.TIE ビットが 0 の状態で SCR.TE ビットを 1 にした場合、または SCR.TE ビットが 1 の状態で SCR.TIE ビットを 1 にした場合には発生しません。

SCR.TEIE ビットが 1 のとき、送信データの最終ビットを送信するタイミングまでに次のデータが FTDRL レジスタに書き込まれていないと、SSR_FIFO.TEND フラグが 1 になり、SCIn_TEI 割り込み要求が発生します。

SCR.RIE ビットが 1 のとき、FRDRL レジスタに格納されたデータ数が FCR.RTRG で指示されたしきい値以上になると、SCIn_RXI 割り込み要求が発生します。RTRG が 0 の場合は、レシーブ FIFO 内のデータ数が 0 であっても、SCIn_RXI 割り込み要求は発生しません。

SCR.RIE ビットが 1 のとき、SSR_FIFO.ORER フラグが 1 になるか、あるいは、フレーミングエラーまたはパリティエラーのあるデータが FRDRL レジスタに格納されると、SCIn_ERI 割り込み要求が発生します。このとき、FRDRL レジスタに格納されたデータ数がしきい値以上であると、同時に SCIn_RXI 割り込み要求が発生します。SSR_FIFO.ORER、FER、および PER フラグをすべてクリアすることで、SCIn_ERI 割り込み要求を取り消すことができます。

注 1. 調歩同期式モードにおいて、データ長 9 ビットを選択した場合です。

注 2. 最終データの送信時に SCIn_TXI 割り込みを一時的に禁止して、送信終了割り込みによる処理を行った後、新たにデータ送信を開始したい場合は、SCR.TIE ビットではなく、ICU の割り込み要求許可ビットを用いて、割り込みの発行を制御してください。この方法によって、新しいデータの送信時に、SCIn_TXI 割り込み要求の発生が抑止されるのを防ぐことができます。

表 34.26 SCIの割り込み要因（非FIFO選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー（注1）	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンプティ	TDRE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

注 1. 割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードにおいてのみです。

表 34.27 SCIの割り込み要因（FIFO選択時）

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー（注1）	ORER, FER, PER, DFER, DPER	RIE	不可能	不可能
		DR（FCR.DRES = 1の場合）	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
	受信データレディ	DR（FCR.DRES = 0の場合）	RIE	可能	可能
	アドレス一致	DCMF	RIE	可能	可能
SCIn_AM	アドレス一致	DCMF	—	可能	可能
SCIn_TXI	送信データエンプティ	TDRE	TIE	可能	可能
SCIn_TEI	送信終了	TEND	TEIE	不可能	不可能

注 1. 割り込みフラグが ORER になるのはクロック同期式モードおよび簡易 SPI モードにおいてのみです。

34.10.4 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードにおける割り込み要因を表 34.28 に示します。このモードでは、送信終了割り込み（SCIn_TEI）要求とアドレス一致（SCIn_AM）要求は使用できません。

表 34.28 SCIの割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_ERI	受信エラー、 エラーシグナル検出	ORER, FER, ERS	RIE	不可能	不可能
SCIn_RXI	受信データフル	RDRF	RIE	可能	可能
SCIn_TXI	送信データ終了	TEND	TIE	可能	可能

スマートカードインタフェースモードの場合も、DMAC または DTC を使用した送受信が可能です。送信動作では、SSR_SMCI.TEND フラグが 1 になると、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI 割り込み要求を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 になります。

エラーが発生した場合は、SCI が自動的に同じデータを再送信します。再送信中は、TEND フラグが 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生後の再送信を含め、SCI と DTC または DMAC が、指定されたバイト数を自動的に送信します。ただし、エラー発生時に SSR_SMCI.ERS フラグは自動的に 0 にクリアされません。そのため、SCR_SMCI.RIE ビットを 1 にしておき、エラー発生時に SCIn_ERI 割り込み要求を発生させることで、ERS フラグをクリアしてください。

なお、DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。DTC または DMAC の設定方法については、「17. DMA コントローラ（DMAC）」と「18. データトランスファコントローラ（DTC）」を参照してください。

受信動作では、受信データが RDR レジスタに格納されると、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI 割り込み要求を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。エラーが発生した場合は、エラーフラグがセットされます。そのため、DTC または DMAC は起動せず、代わりに CPU に対して SCIn_ERI 割り込み要求が発行されます。エラーフラグはクリアしてください。

34.10.5 簡易 IIC モードにおける割り込み

簡易 IIC モードにおける割り込み要因を表 34.29 に示します。STI 割り込みは、送信終了割り込み（SCIn_TEI）要求に割り当てられます。受信エラー割り込み（SCIn_ERI）要求とアドレス一致（SCIn_AM）要求は使用できません。

簡易 IIC モードにおいても、DTC または DMAC を使用した送受信が可能です。

SIMR2.IICINTM ビットが 1 のとき、

- SCLn 信号の 8 ビット目の立ち下がりで、SCIn_RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_RXI を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動され、受信データの転送が可能になります。
- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち下がりで、SCIn_TXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因として SCIn_TXI を設定しておけば、SCIn_TXI 割り込み要求によって DTC または DMAC が起動され、送信データの転送が可能になります。

SIMR2.IICINTM ビットが 0 のとき、

- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が Low であると、SCIn_RXI 割り込み要求（ACK 検出）が発生します。
- SCLn 信号の 9 ビット目（アクノリッジビット）の立ち上がりで、SDAn 端子入力が High であると、SCIn_TXI 割り込み要求（NACK 検出）が発生します。
- あらかじめ DTC または DMAC の起動要因として SCIn_RXI を設定しておけば、SCIn_RXI 割り込み要求によって DTC または DMAC が起動されて、受信データの転送が可能になります。

DTC または DMAC を使用して送受信を行う場合は、必ず DTC または DMAC を有効にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開始条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 34.29 SCIの割り込み要因

名称	割り込み要因	割り込みフラグ	割り込み許可	DTCの起動	DMACの起動
SCIn_RXI	受信、ACK検出	—	RIE	可能	可能
SCIn_TXI	送信、NACK検出	—	TIE	可能	可能
STIn	開始条件、再開始条件、停止条件生成終了	IICSTIF	TEIE	不可能	不可能

注 1. SIMR2.IICINTM ビットが 1（受信割り込み、送信割り込みを使用）の場合にのみ、DTC の起動が可能です。

34.11 イベントリンク機能

SCI は、各割り込み要因をイベントとしてイベントリンクコントローラ（ELC）へ出力し、あらかじめ設定しておいたモジュールを動作させることが可能です。

イベントは、対応する割り込みの割り込み要求許可ビットの設定に関係なく出力させることができます。

(1) エラーイベント出力（受信エラーまたはエラーシグナル検出時）

- 調歩同期式モードで、受信中にパリティエラーが発生して異常終了したことを示します。
- 調歩同期式モードで、受信中にフレーミングエラーが発生して異常終了したことを示します。
- 受信中にオーバーランエラーが発生して異常終了したことを示します。
- スマートカードインタフェースモードで、送信中にエラー信号が検出されたことを示します。
- FIFO 選択時かつ FCR.DRES ビットが 1 の場合、SSR_FIFO.FER フラグと SSR_FIFO.PER フラグが 0 であり、レシーブ FIFO データトリガ数より少ない受信データがレシーブ FIFO バッファに格納され、15ETU 経過したことを示します。

(2) 受信データフルイベント出力

- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、ACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 8 ビット目の立ち下がりが検出されたことを示します。
- 簡易 IIC モードでのマスタ送信時に、SIMR2.IICINTM ビットが 1 のときは、受信データフルイベントを使用しないようにイベントリンクコントローラ（ELC）を設定してください。

(a) 非 FIFO 選択時

- 受信データがレシーブデータレジスタ（RDR または RDRHL）に存在することを示します。

(b) FIFO 選択時

- このイベント出力は使用しないでください。

(3) 送信データエンプティイベント出力

- SCR/SCR_SMCI.TE ビットが 0 から 1 に変化したことを示します。
- スマートカードインタフェースモードで送信が完了したことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 0 のとき、NACK が検出されたことを示します。
- 簡易 IIC モードで、SIMR2.IICINTM ビットが 1 のとき、SCLn 信号の 9 ビット目の立ち下がりが検出されたことを示します。

(a) 非 FIFO 選択時

- 送信データがトランスミットデータレジスタ（TDR または TDRHL）からトランスミットシフトレジスタ（TSR）へ転送されたことを示します。

(b) FIFO 選択時

- このイベント出力は使用しないでください。

(4) 送信終了イベント出力

- 送信が完了したことを示します。
- 簡易 IIC モードで、開始条件、再開始条件、停止条件の生成が完了したことを示します。
- FIFO が選択されている場合、このイベント出力は使用しないでください。

(5) アドレス一致イベント出力

- 調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致したことを示します。

34.12 アドレス不一致イベント出力（SCI0_DCUF）

SCI0_DCUF は、調歩同期式モード（マルチプロセッサモードを含む）において、DCCR.DCME ビットが 1 の場合、比較データ（CDR.CMPD）と受信データの 1 フレームが一致しなかったことを示します。このイベントは、スヌーズ終了要求に対してのみ使用可能です。

34.13 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 34.72 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。ノイズフィルタの入力信号と、2 段のフリップフロップ回路の出力信号が完全に一致したとき、一致したレベルが内部信号として伝えられます。一致しない場合は前の値が保持されます。ノイズフィルタのサンプリングクロックで、同じレベルが 3 サイクル以上保持された場合、有効な受信信号とみなされます。3 サイクルに達する前にパルスが変化した場合、それは受信信号ではなく、ノイズとみなされます。

（SEMR.ABCS = 0 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/16 となります。

SEMR.ABCS = 1 かつ SEMR.ABCSE = 0 の場合、周期は 1 ビット転送期間の 1/8 となります。

SEMR.ABCSE = 1 の場合、周期は 1 ビット転送期間の 1/6 となります。）

調歩同期式モードでは、RXDn 端子に入力される受信信号にノイズ除去機能を使用できます。RXDn 端子の受信レベルは、調歩同期式モードの基本クロックを使用して、ノイズフィルタのフリップフロップ回路に取り込まれます。

ノイズ除去機能のサンプリングクロックは、SNFR.NFCS ビットでボーレートジェネレータのソースクロックを 1、2、4、または 8 分周することにより選択します。

ノイズフィルタが有効な状態で基本クロックをいったん停止させ、その後、基本クロック入力を再開させた場合、ノイズフィルタは、クロック停止時の状態から動作を再開します。基本クロックの入力中に SCR.TE ビットと SCR.RE ビットを 0 にすると、ノイズフィルタのフリップフロップ値はすべて 1 に初期化されます。したがって、受信再開時の入力データが 1 の場合は、レベル一致が検出されたと判断され、その結果が内部信号として伝えられます。入力レベルが 0 の場合は、サンプリングサイクルで連続して 3 回信号のレベルが一致するまで、ノイズフィルタの最初の出力値が保持されます。

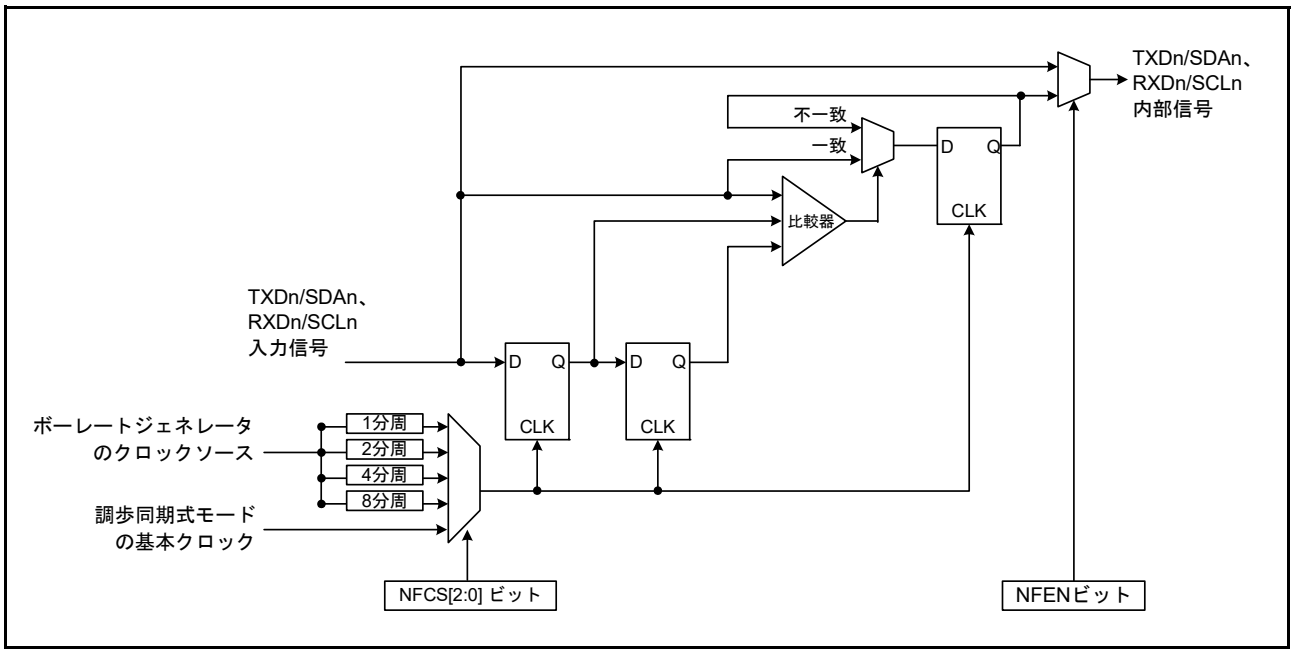


図 34.72 デジタルノイズフィルタ回路のブロック図

34.14 使用上の注意事項

34.14.1 モジュールストップ状態の設定

モジュールストップコントロールレジスタ B（MSTPCRB）によって、SCI の動作を許可または禁止することが可能です。SCI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

34.14.2 低消費電力状態での SCI 動作

(1) 送信

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、TXDn 端子を汎用入出力ポート機能に切り替えた後、送信動作を停止（SCR/SCR_SMCI レジスタの TIE、TE、TEIE ビットを 0）にしてください。入出力ポートを SCI 機能に設定すると、SPTR レジスタによって TXDn 端子状態の制御が可能になります。TE ビットを 0 にすることにより、TSR レジスタが初期化され、SSR/SSR_SMCI レジスタの TEND ビットは、非 FIFO 選択時には 1 にリセットされ、FIFO 選択時には値が保持されます。モジュールストップ状態またはソフトウェアスタンバイモードから復帰した後の出力端子の状態は、ポートの設定と SPTR レジスタの設定に依存し、低消費電力状態へ遷移する前のレベルを出力する場合があります。送信中に低消費電力状態へ遷移すると、送信中のデータは不定になります。

低消費電力状態を解除した後、同じ送信モードで送信する場合、

1. TE ビットを 1 にします。
2. SSR/SSR_FIFO/SSR_SMCI レジスタを読み出します。
3. TDR レジスタへの書き込みを順に行うことで送信を開始できます。

異なる送信モードで送信する場合は、SCI の初期化からやり直してください。

図 34.73 に、送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。図 34.74 と図 34.75 に、ソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

DTC 転送による送信モードから、モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、送信動作を停止（TE ビットを 0）にしてください。低消費電力状態の解除後に DTC による送信を開始する場合は、TE ビットを 1 にしてください。SCIn_TXI 割り込みフラグが 1 になり、DTC による送信が始まります。

(2) 受信

(a) ウェイクアップ条件としてアドレス一致検出機能を使用しない場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は、最初に、受信動作を停止（SCR/SCR_SMCI.RE ビットを 0）にしてください。受信中に遷移すると、受信データは無効になります。

図 34.76 に、受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(b) ウェイクアップ条件としてアドレス一致検出機能を使用する場合

モジュールストップ状態を設定する場合、またはソフトウェアスタンバイモードへ遷移する場合は最初に、

1. 低消費電力状態解除後の動作を設定してください。
2. CDR.CMPD ビットと DCCR.DCME ビットを 1 にしてください。
3. 受信動作を許可（SCR/SCR_SMCI.RE = 1）にしてください。
4. モジュールストップ状態またはソフトウェアスタンバイモードを設定してください。

SCI が低消費電力モードへ遷移するとき、受信データ端子（RXD）が Low であれば、SEMR.RXDESEL を 0 にしてください。SEMR.RXDESEL が 1 になっていると、低消費電力モードの解除時にスタートビット

（RXDn 端子の立ち下がり）が検出されない可能性があります。

図 34.77 に、アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を示します。

(c) SCI0 をスヌーズモードで使用する場合

SCI0 をスヌーズモードで使用する場合は、最大ビットレートなどのいくつかの制限事項があります。詳細は、「11. 低消費電力モード」を参照してください。

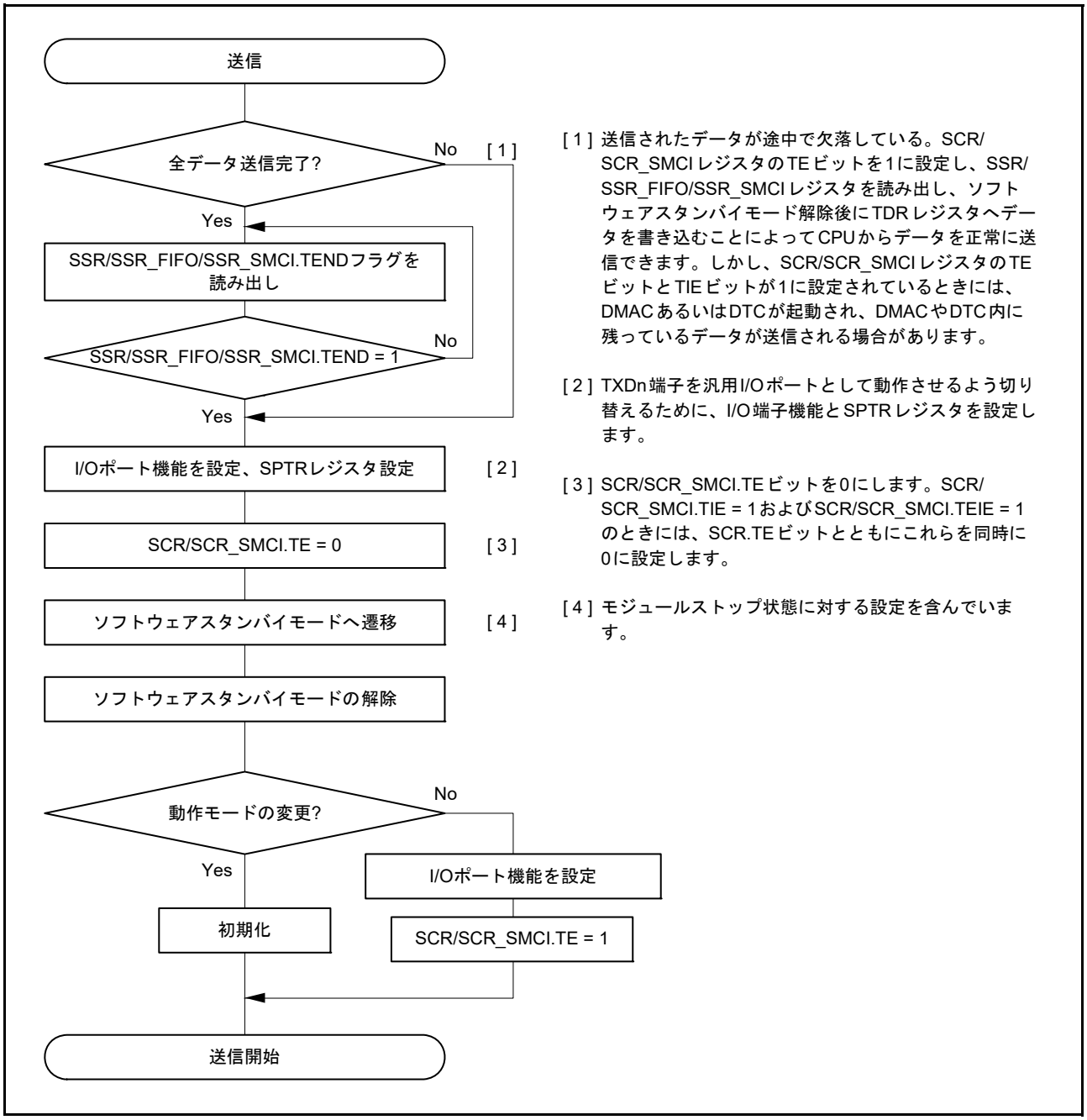


図 34.73 送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

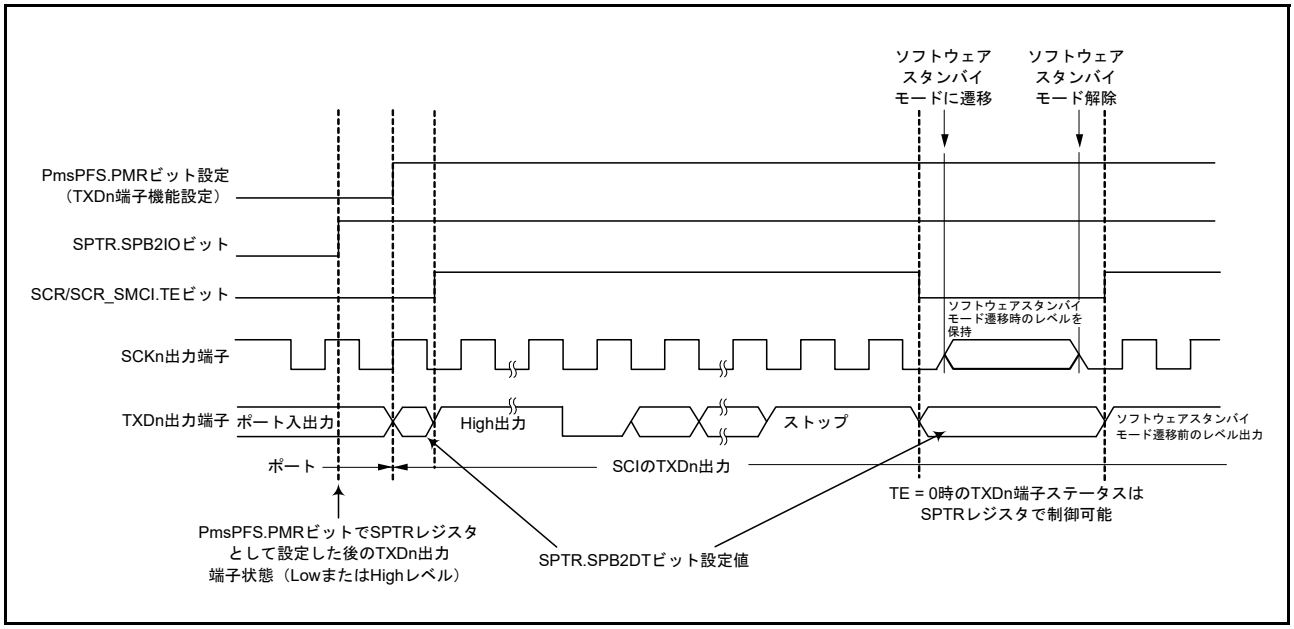


図 34.74　　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、調歩同期送信）

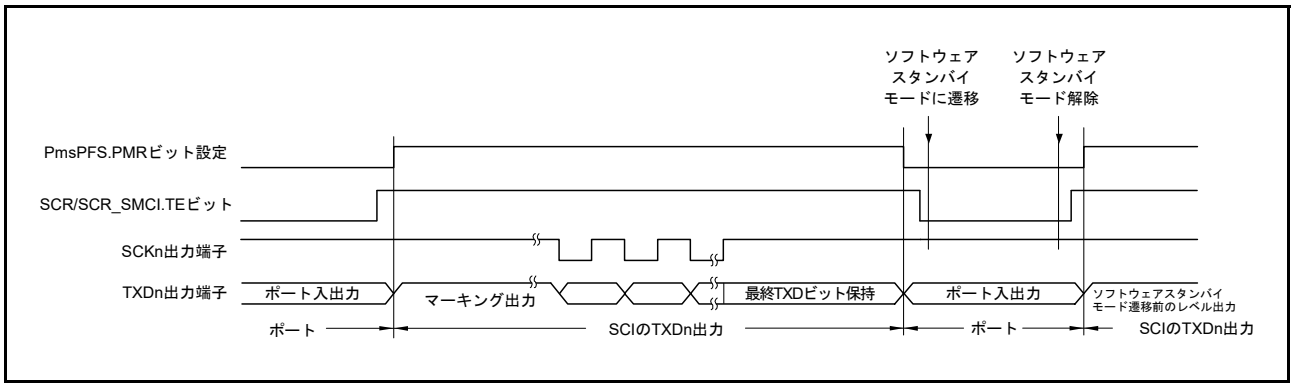


図 34.75　　ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、クロック同期送信）

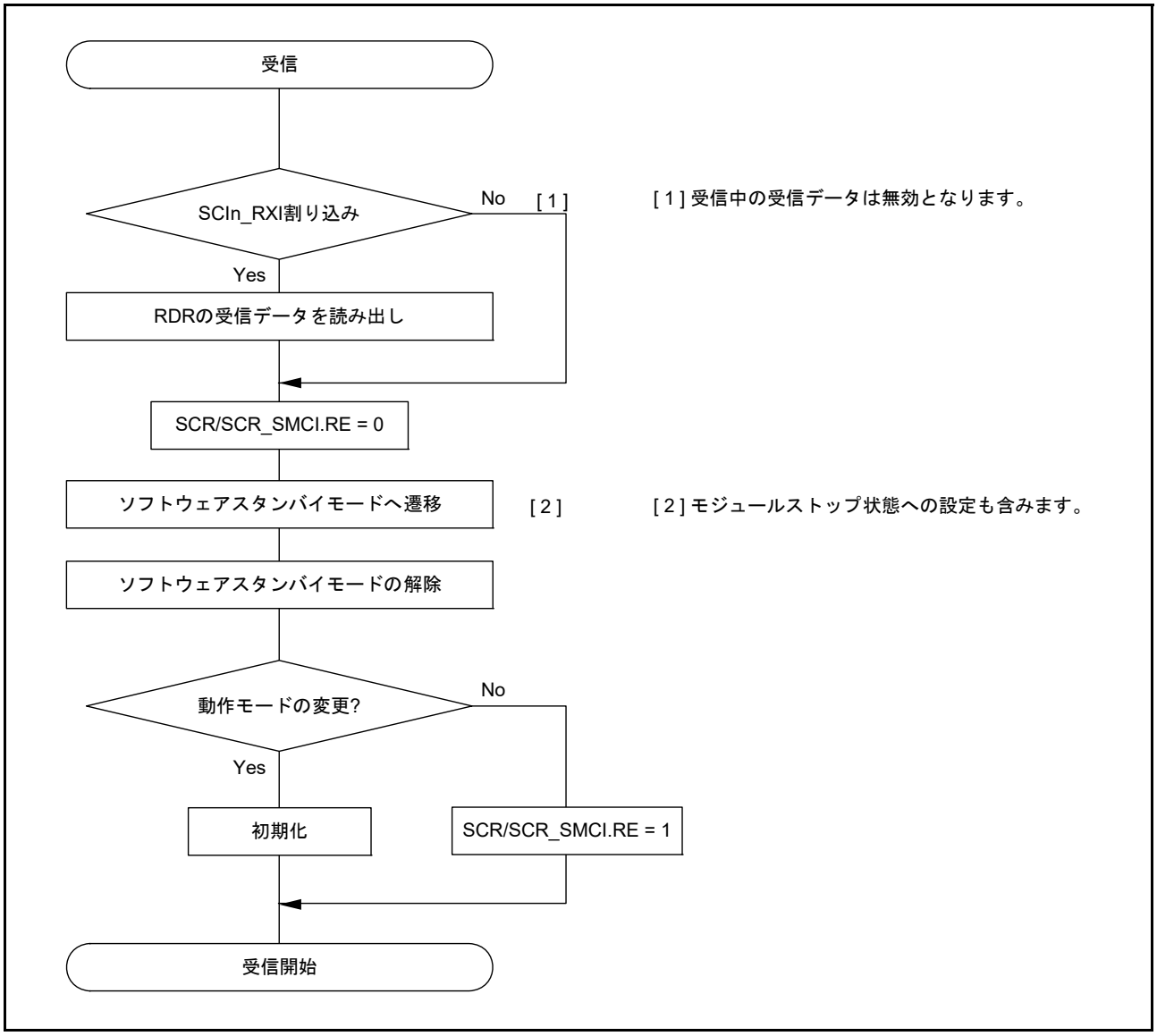


図 34.76　受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

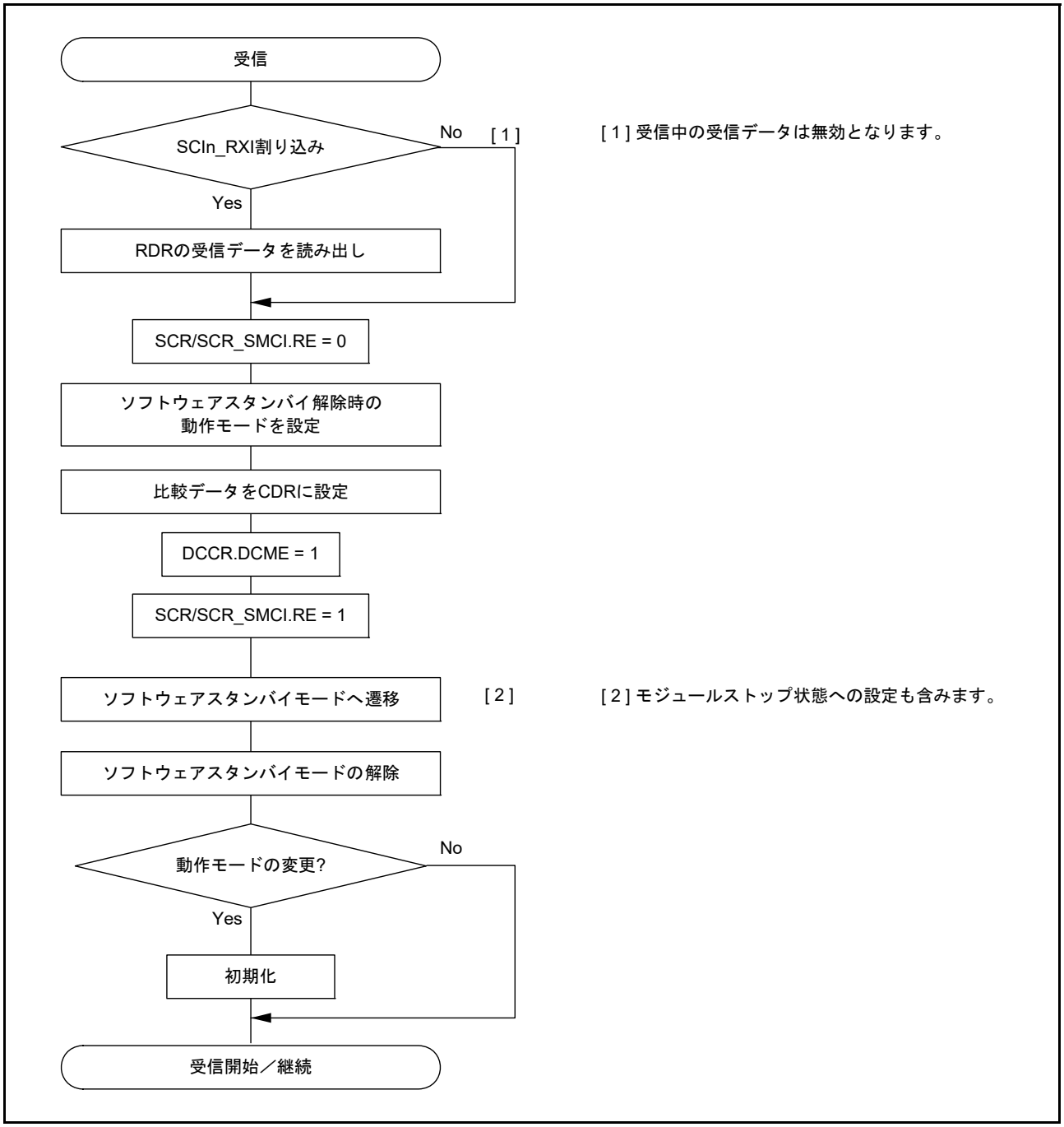


図 34.77　アドレス一致を用いて受信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例

34.14.3 ブレークの検出と処理について

(1) 非 FIFO 選択時

フレーミングエラー検出時に、RXDn 端子の値を直接読み出すことでブレークを検出できます。ブレークでは、RXDn 端子からの入力がすべて 0 になるため、SSR.FER フラグが 1（フレーミングエラーの発生あり）になり、さらに SSR.PER フラグも 1（パリティエラーの発生あり）になる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを 0（フレーミングエラーの発生なし）にしても、再び FER フラグが 1 になります。SEMR.RXDESEL ビットが 1 のとき、SCI は、SSR.FER フラグを 1 にして、次のデータフレームのスタートビットが検出されるまで受信動作を停止します。このとき、SSR.FER フラグを 0 にすれば、ブレーク中は SSR.FER フラグは 0 を保持します。

RXDn 端子が 1 になってブレークが終了した後、最初の RXDn 端子の立ち下がりでスタートビットの先頭を検出すれば、受信動作を開始させることが可能です。

(2) FIFO 選択時

フレーミングエラーが検出された後、SCI によって 1 フレーム分の連続する受信データが 0 であることが検出された場合、受信動作が停止します。フレーミングエラー検出時に、SPTR.RXDMON ビットの値を読み出すことでブレークを検出できます。RXD 信号がマーク状態になってブレークが終了した後、FRDRHL レジスタへのデータ受信が再開されます。

34.14.4 マーク状態とブレークの送出

SCR/SCR_SMCI.TE ビットが 0（シリアル送信動作を禁止）のとき、SPTR.SPB2IO ビットと SPTR.SPB2DT ビットを用いて TXDn 端子状態の設定が可能です。この方法により、TXDn 端子をマーク状態にしてブレークを送出できます。

SCR/SCR_SMCI.TE ビットを 1（シリアル送信動作を許可）にする前に、SPB2IO ビットと SPB2DT ビットによって通信回線をマーク状態（1 の状態）に設定し、I/O ポート機能を用いて TXDn 端子を変更してください。データ送信時にブレークを出力したいときは、SPB2IO ビットと SPB2DT ビットによって TXDn 端子を 0 出力に設定した後、I/O ポート機能を用いて TXDn 端子を変更し、SCR/SCR_SMCI.TE ビットを 0 にしてください。SCR/SCR_SMCI.TE ビットを 0 にすると、現在の送信状態とは無関係に送信部は初期化されます。

34.14.5 受信エラーフラグと送信動作（クロック同期式モードおよび簡易 SPI モード）

受信エラーフラグ（SSR/SSR_FIFO.ORER）が 1 の状態では、TDR または FTDRL（注 1）レジスタにデータを書き込んでも、送信は開始されません。送信を開始する前に、受信エラーフラグは必ず 0 にしてください。

注 . SCR/SCR_SMCI.RE ビットを 0（シリアル受信動作を禁止）にしても、受信エラーフラグは 0 にならないので注意してください。

注 1. 簡易 SPI モードでは、FTDRH レジスタを使用しないでください。

34.14.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易 SPI モード）

同期クロックに外部クロックソースを使用する場合、以下の制限事項があります。

(1) 送信開始時

TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください

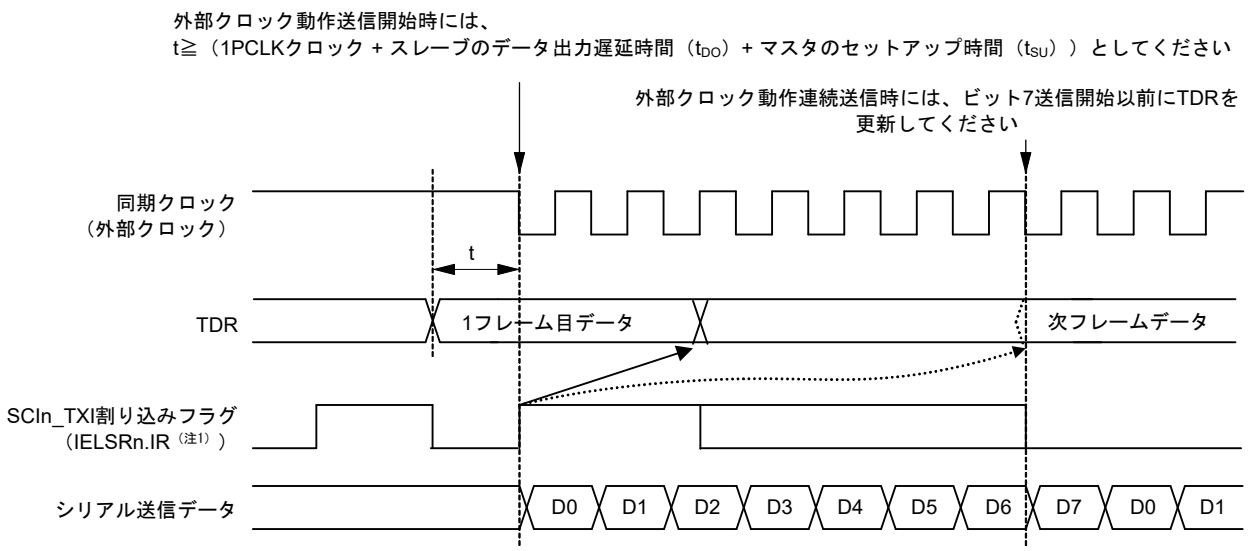
1PCLK + スレーブのデータ出力遅延時間（t_{DO}） + マスタのセットアップ時間（t_{SU}）

図 34.78 を参照してください。

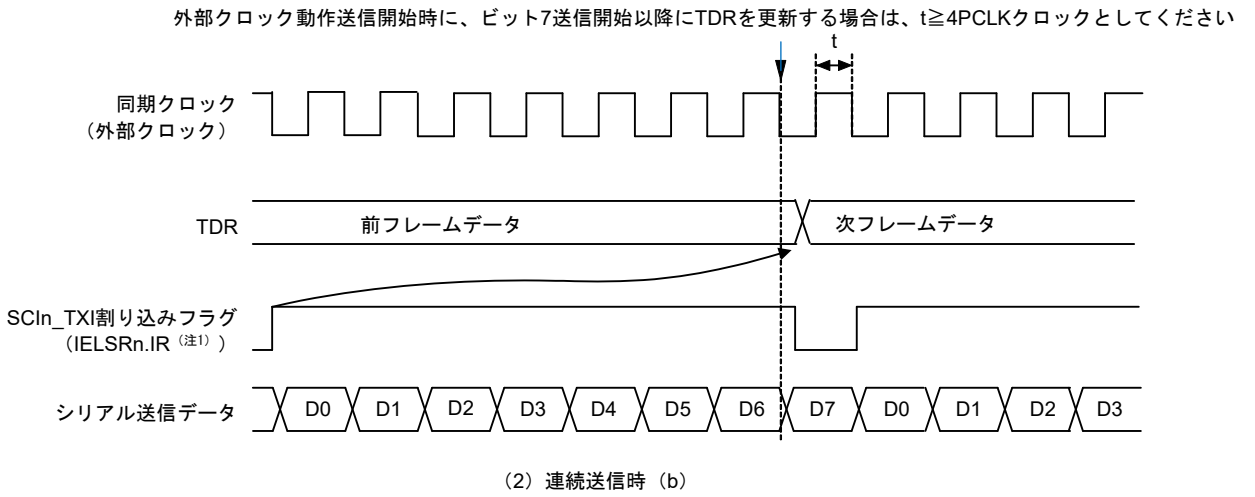
(2) 連続送信時

送信クロックの 7 ビット目の立ち下がり以前に、TDR または TDRHL レジスタに次の送信データを書き込んでください（図 34.78 参照）。

ビット 7 送信開始以降に TDR をレジスタ更新する場合は、同期クロックが Low の期間に TDR を更新し、かつ送信クロックの 7 ビット目の High 幅を、4PCLKA 以上にしてください（図 34.78 参照）。



（1）送信開始時および、（2）連続送信時（a）



（2）連続送信時（b）

注 1. 対応する割り込みイベント番号については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

図 34.78 クロック同期送信時の外部クロック使用に関する制限事項

34.14.7 DMAC または DTC 使用時の制限事項

DMAC または DTC による送受信動作中は、DMAC/DTC に転送データを設定しないでください。

(1) TDR（FTDRHL）レジスタへの書き込み

(a) 非 FIFO 選択時

TDR および TDRHL レジスタにデータを書き込むことが可能です。ただし、TDR または TDRHL レジスタに送信データが残っている状態で、TDR または TDRHL レジスタに新しいデータを書き込むと、残っていたデータは TSR レジスタへ転送されず、失われます。DTC または DMAC を使用する場合、TDR または TDRHL レジスタへの送信データの書き込みは、必ず SCIn_TXI 割り込み要求の処理ルーチンで行ってください。

(b) FIFO 選択時

SCR.TE ビットが 1 の場合に、FTDRH および FTDRL レジスタにデータを書き込むことが可能です。FDR.T[4:0] ビットによって、書き込み可能なデータ数を確認してください。

(2) RDR（FRDRHL）レジスタからの読み出し

DMAC または DTC を用いて RDR および RDRHL レジスタを読み出すときは、起動要因として、必ず受信データフル割り込み（SCIn_RXI）を設定してください。

34.14.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ（IELSRn.IR フラグ）が 1 のときは、動作を許可（SCR/SCR_SMCI.TE ビットを 1、または SCR/SCR_SMCI.RE ビットを 1）にする前に、以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラユニット（ICU）」を参照してください。

- 通信が停止していること（SCR/SCR_SMCI.TE ビットまたは SCR/SCR_SMCI.RE ビットが 0 になっていること）を確認します。
- 対応する割り込み許可ビット（SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット）を 0 にします。
- 対応する割り込み許可ビット（SCR/SCR_SMCI.TIE ビットまたは SCR/SCR_SMCI.RIE ビット）を読み出して、実際に 0 になっていることを確認します。
- 割り込みコントローラの割り込みステータスフラグ（IELSRn.IR フラグ）を 0 にします。

34.14.9 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードと簡易 SPI モードでは、外部クロック（SCKn）入力を下記のように設定してください。

High パルス期間および Low パルス期間は 2PCLKA 以上、周期は 6PCLKA 以上

34.14.10 簡易 SPI モードでの制限事項

(1) マスタモード

- SPMR.SSE ビットが 1 の場合、SPMR.CKPH ビットと SPMR.CKPOL ビットで設定した送受信クロックの初期値に合わせて、クロック線を抵抗でプルアップまたはプルダウンしてください。
  これによって、SCR.TE ビットを 0 にしたときにクロック線がハイインピーダンス状態になったり、SCR.TE ビットを 0 から 1 に変更したときにクロック線に意図しないエッジが発生したりするのを防止できます。シングルマスタモードで SPMR.SSE ビットが 0 の場合は、SCR.TE ビットを 0 にしてもクロック線はハイインピーダンスにならないので、プルアップまたはプルダウンは不要です。
- 「クロック遅れあり」の設定（SPMR.CKPH ビット = 1）では、図 34.79 に示すように、SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み（SCIn_RXI）が発生します。このとき、SCR.TE ビットと SCR.RE ビットを SCKn 端子の最終クロックエッジより前に 0 にすると、SCKn 端子出力がハイインピーダンスとなり、送受信クロックの最終のクロックパルス幅が短くなります。また、SCIn_RXI 割り込みの発生によって、SCKn 端子の最終クロックエッジより前に接続先スレーブの SSn 端子入力信号が High になった場合、スレーブが誤動作する可能性があります。
- マルチマスタ構成では、キャラクタ転送中にモードフォルトエラーが発生すると、SSn 端子入力が Low の間に、SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

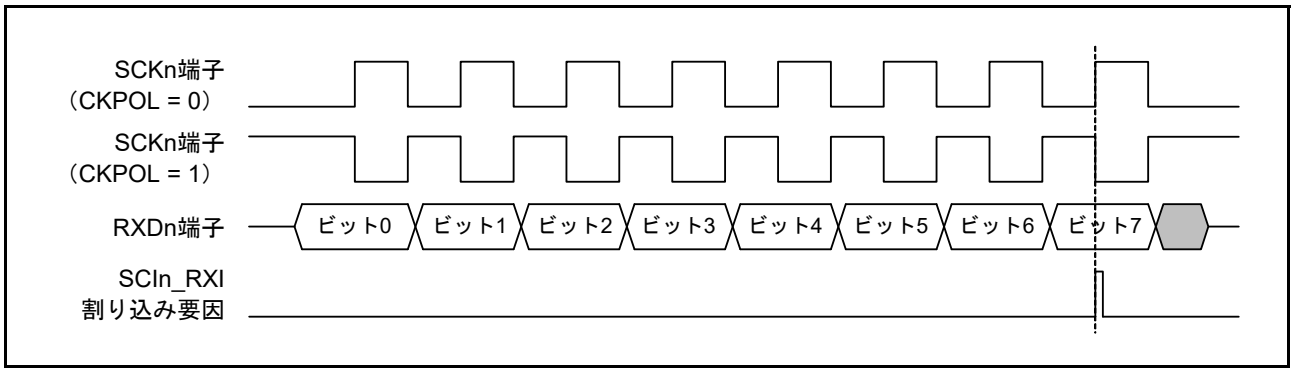


図 34.79 簡易 SPI モードにおける SCIn_RXI 割り込みの発生タイミング（クロック遅れあり）

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから、外部クロック入力の開始まで、下記に示す以上の待機時間を確保してください。
  1PCLKA + スレーブのデータ出力遅延時間（t_{DO}）+ マスタのセットアップ時間（t_{SU}）

  また、SSn 端子への Low 入力から、外部クロック入力の開始までについても、5PCLKA 以上の待機時間を確保してください。
- マスタからの外部クロックの供給は、転送データ長に合わせてください
- SSn 端子入力は、データ転送開始前と完了後に制御する必要があります
- キャラクタの転送中に SSn 端子への入力レベルが Low から High に変化した場合は、SCR.TE ビットと SCR.RE ビットを 0 にして、再設定後に 1 バイト目から転送をやり直してください

35. IrDA インタフェース

35.1 概要

IrDA インタフェースは、SCI1 と連携して IrDA（Infrared Data Association）規格バージョン 1.0 に基づく IrDA 通信波形の送受信を行います。

IRCR レジスタの IRE ビットで IrDA 機能を有効にすると、SCI1 の TXD1、RXD1 信号は IrDA 規格バージョン 1.0 に準拠した波形にエンコード／デコードされます（IRTXD1/IRRXD1 端子）。この波形を赤外線送受信機と接続することにより、IrDA 規格バージョン 1.0 システムに準拠した赤外線データ通信を実現します。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。IrDA インタフェースは、自動的に転送レートを変更する機能を内蔵していないため、転送レートは、ソフトウェアで変更する必要があります。

図 35.1 に、IrDA インタフェースと SCI1 の連携を示します。

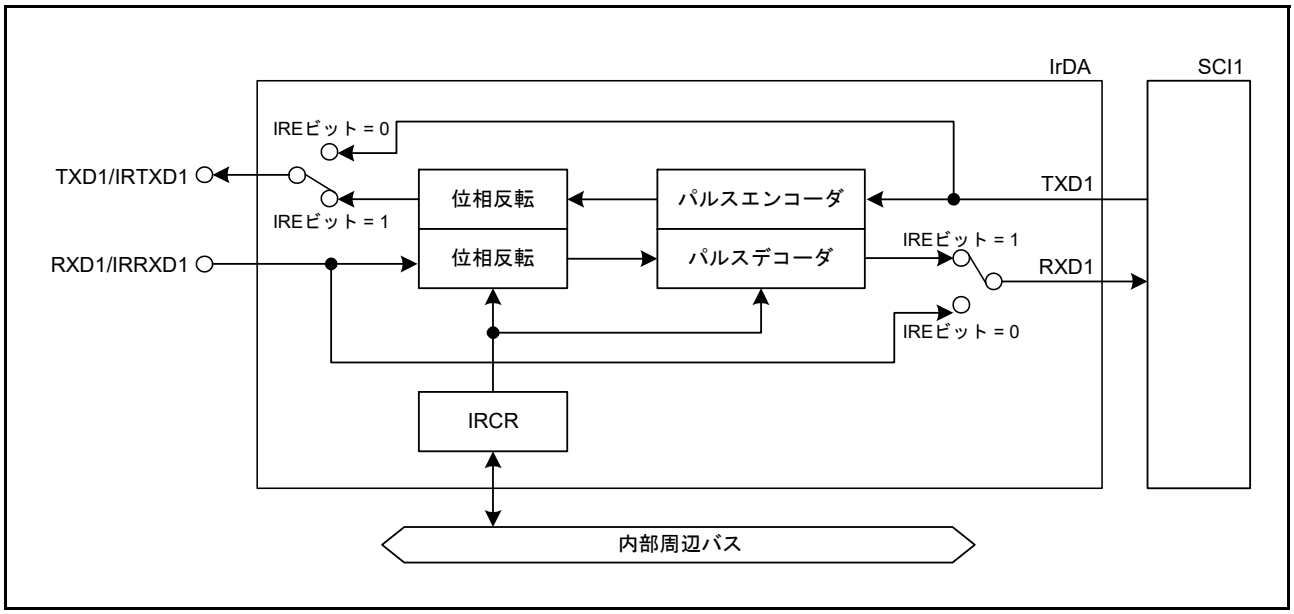


図 35.1 IrDA インタフェースと SCI1 の連携

表 35.1 IrDAインタフェースの入出力端子

端子名	入出力	機能
IRTXD1	出力	送信データ
IRRXD1	入力	受信データ

35.2 レジスタの説明

35.2.1 IrDA コントロールレジスタ（IRCR）

アドレス IRDA.IRCR 4007 0F00h

	b7	b6	b5	b4	b3	b2	b1	b0
	IRE	—	—	—	IRTXINV	IRRXINV	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R
b2	IRRXINV	IRRXD極性切り替え	0：IRRXD入力を受信データとしてそのまま使用 1：IRRXD入力を極性反転して受信データとして使用	R/W
b3	IRTXINV	IRTXD極性切り替え	0：送信データをそのままIRTXD出力 1：送信データを極性反転してIRTXD出力	R/W
b6-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	IRE	IrDA有効	0：シリアル入出力端子を通常のシリアル通信に使用 1：シリアル入出力端子をIrDAデータ通信に使用	R/W

注 . IRCR レジスタの値は、スリープモードおよびソフトウェアスタンバイモード時に保持されます。

IRRXINV ビット（IRRXD 極性切り替え）

IRRXINV ビットは、IRRXD 入力のロジックレベルを反転します。反転したとき、High パルス幅は Low パルス幅となります。

IRTXINV ビット（IRTXD 極性切り替え）

IRTXINV ビットは、IRTXD 出力のロジックレベルを反転します。反転したとき、High パルス幅は Low パルス幅となります。

IRE ビット（IrDA 有効）

IRE ビットは、入出力端子を通常の通信モード用、または IrDA 通信モード用にするかを設定します。

35.3 動作説明

35.3.1 IrDA インタフェースの設定手順

IrDA インタフェースの動作設定方法：

1. 端子機能コントロールレジスタで、当該端子の I/O ポート機能を IRTXD1 端子と IRRXD1 端子に割り当てます（PmnPFS.PSEL = 00101b）。
2. 端子機能コントロールレジスタで、I/O ポート機能を周辺機能に設定します（PmnPFS.PMR = 1）。
3. IRCR レジスタで IrDA 機能を設定します。
4. シリアルコミュニケーションインタフェース（SCI）の SCI1 関連レジスタを設定します。

35.3.2 送信

送信時には、SCI1 からの出力信号（UART フレーム）は IrDA インタフェースによって IR フレームに変換されます（図 35.2 参照）。IRCR.IRTXINV ビットが 0 で、シリアルデータが 0 の場合、ビット周期（1 ビット幅の期間）の 3/16 の High パルスが出力されます（初期設定）。規格では、High パルス幅は、最小で 1.41µs、最大で（3/16 + 2.5%）× ビット周期、または（3/16 × ビット周期）＋ 1.08µs と定められています。シリアルデータが 1 の場合、パルスは出力されません。

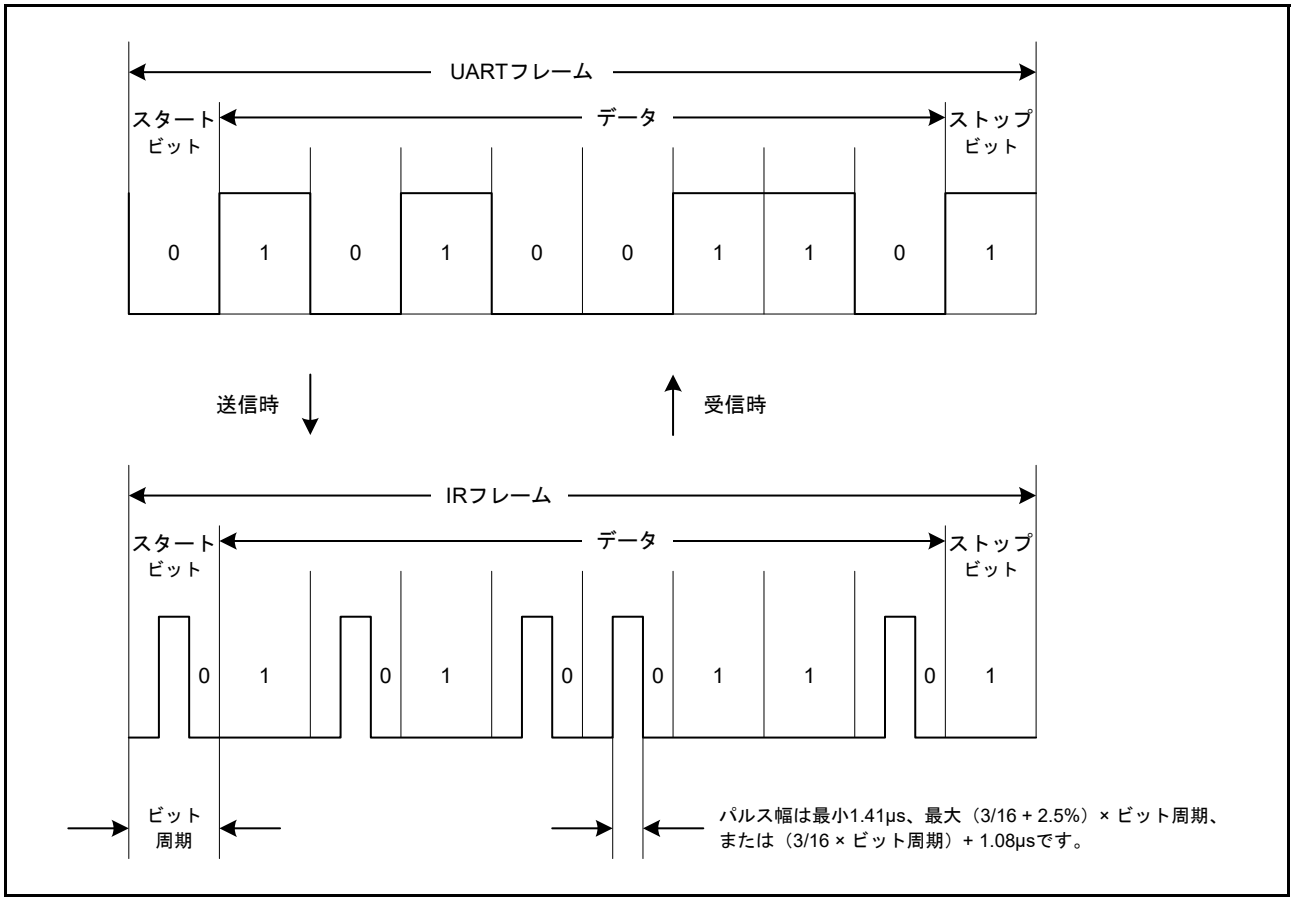


図 35.2 IrDA の送信／受信動作

35.3.3 受信

受信時には、IR フレームのデータは IrDA インタフェースによって UART フレームに変換され、SCI1 に入力されます。IRCR.IRRXINV ビットが 0 で、High パルスが検出されたときに、SCI1 に Low データが入力されます。1 ビット期間中にパルスが検出されないと、SCI1 に High データが入力されます。

35.4 使用上の注意事項

35.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、IrDA の動作を禁止／許可することが可能です。IrDA は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

35.4.2 調歩同期式モードにおける SCI1 の基準クロック

IrDA はビットレートの 16 倍の周波数のクロックを SCI1 から受信し、SCI1 と連携して動作します。IrDA を使用する場合は、SCI1.SEMR.ABCS ビットを 0 にしてください。

36. I²C バスインタフェース（IIC）

3 チャネルの I²C バスインタフェース（IIC）モジュールは、NXP 社の I²C バス（inter-integrated circuit bus）インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

36.1 概要

表 36.1 に IIC の仕様を、図 36.1 にブロック図を、図 36.2 に入出力端子の外部回路接続例（I²C バス構成例）を示します。表 36.2 に入出力端子を示します。

表 36.1 IICの仕様 (1/2)

項目	内容
通信フォーマット	• I²CバスフォーマットまたはSMBusフォーマット • マスタ／スレーブモードを選択可能 • 設定した転送速度に応じたセットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモードプラス対応（～1Mbps）
SCLクロック	マスタ時、SCLクロックのデューティ比を4%～96%の範囲で設定可能
コンディション発行・コンディション検出	• スタートコンディション／リスタートコンディション／ストップコンディションの自動生成 • スタートコンディション（リスタートコンディション含む）／ストップコンディション検出可能
スレーブアドレス	• 異なるスレーブアドレスを3種類まで設定可能 • 7ビット／10ビットアドレスフォーマット対応（混在可能） • ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出が可能
アクノリッジ応答	• 送信時、アクノリッジビットの自動ロード ノットアクノリッジビット検出時に次送信データ転送の自動中断が可能 • 受信時、アクノリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信値に応じたアクノリッジビット値のソフトウェア制御が可能
ウェイト機能	受信時、SCLクロックのLowホールドによる下記期間のウェイトが可能 • 8クロック目と9クロック目の間をウェイト • 9クロック目と次の転送の1クロック目の間をウェイト
SDA出力遅延機能	アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能
アービトレーション	• マルチマスタ対応 - 他のマスタとのSCLクロック衝突時、SCLクロックの同期が可能 - スタートコンディション発行がバスで競合した場合、SDA内部信号とSDAラインの状態が不一致ならアービトレーションロストを検出可能 - マスタ動作時、SDA内部信号とSDAラインの状態が不一致ならアービトレーションロストを検出可能 • バスビジー中のスタートコンディション発生によるアービトレーションロストを検出可能（スタートコンディションの二重発行防止） • ノットアクノリッジビット転送時、SDA内部信号とSDAラインの状態の不一致でアービトレーションロストを検出可能 • スレーブ送信時、データのSDA内部信号とSDAラインの状態の不一致でアービトレーションロストを検出可能
タイムアウト検出機能	SCLクロックの長時間停止を内部で検出
ノイズ除去	• SCLおよびSDA信号用のデジタルノイズフィルタ • フィルタによるノイズ除去幅をプログラマブルに調整可能
割り込み要因	• 転送エラー／イベント発生（アービトレーションロスト、NACK、タイムアウト、スタートまたはリスタートコンディション、ストップコンディション） • 受信データフル（スレーブアドレス一致時含む） • 送信データエンプティ（スレーブアドレス一致時含む） • 送信終了
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能
IICの動作モード	• マスタ送信 • マスタ受信 • スレーブ送信 • スレーブ受信
イベントリンク機能（出力）	• 転送エラー／イベント発生（アービトレーションロスト、NACK、タイムアウト、スタートまたはリスタートコンディション、ストップコンディション） • 受信データフル（スレーブアドレス一致時含む） • 送信データエンプティ（スレーブアドレス一致時含む） • 送信終了

表 36.1 IICの仕様 (2/2)

項目	内容
ウェイクアップ機能（注1）	ウェイクアップイベントを使用したCPUのソフトウェアスタンバイモードからの復帰が可能

注 1. IIC0 の場合のみサポート。IIC1 と IIC2 は非サポート。

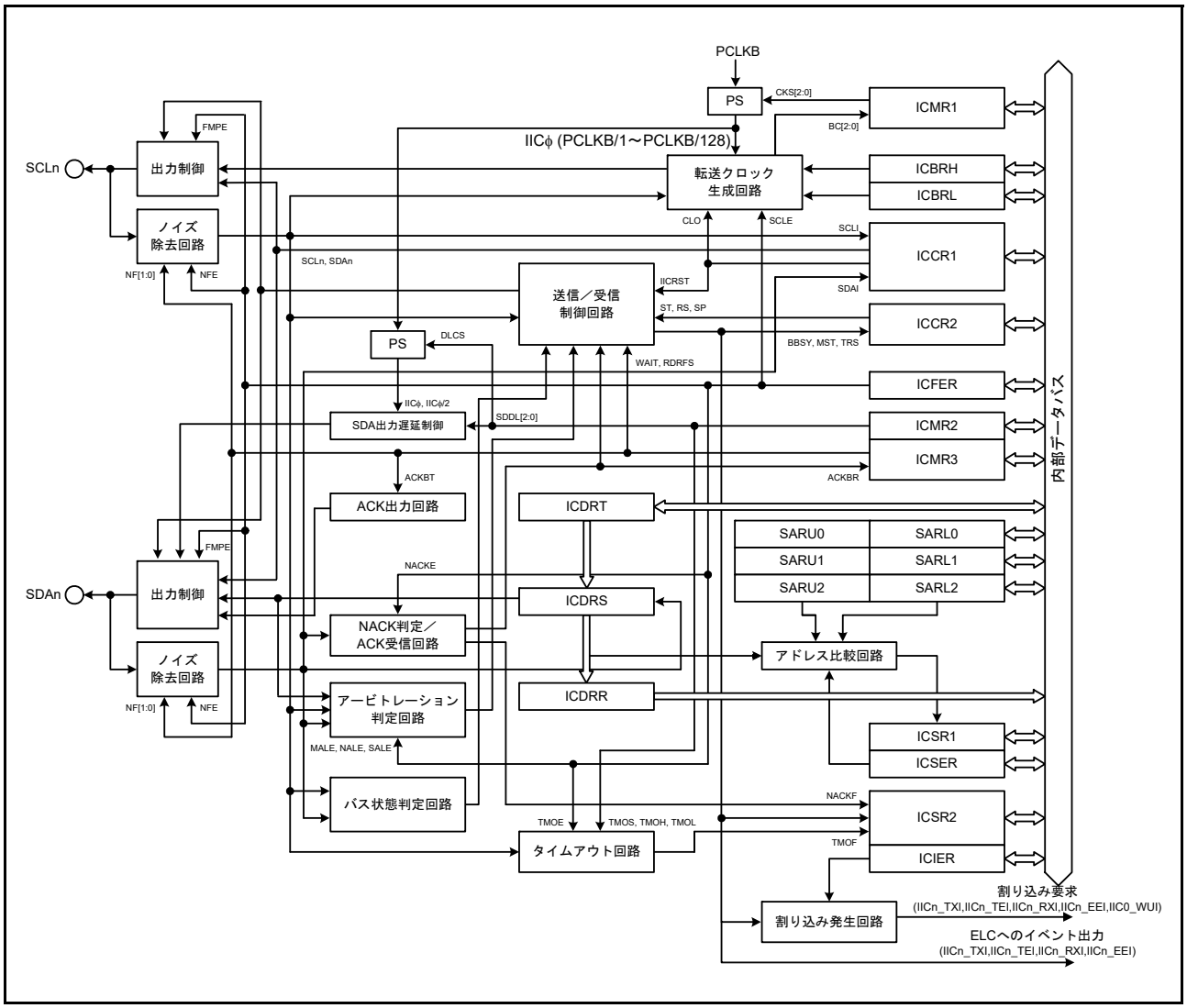


図 36.1 IIC のブロック図

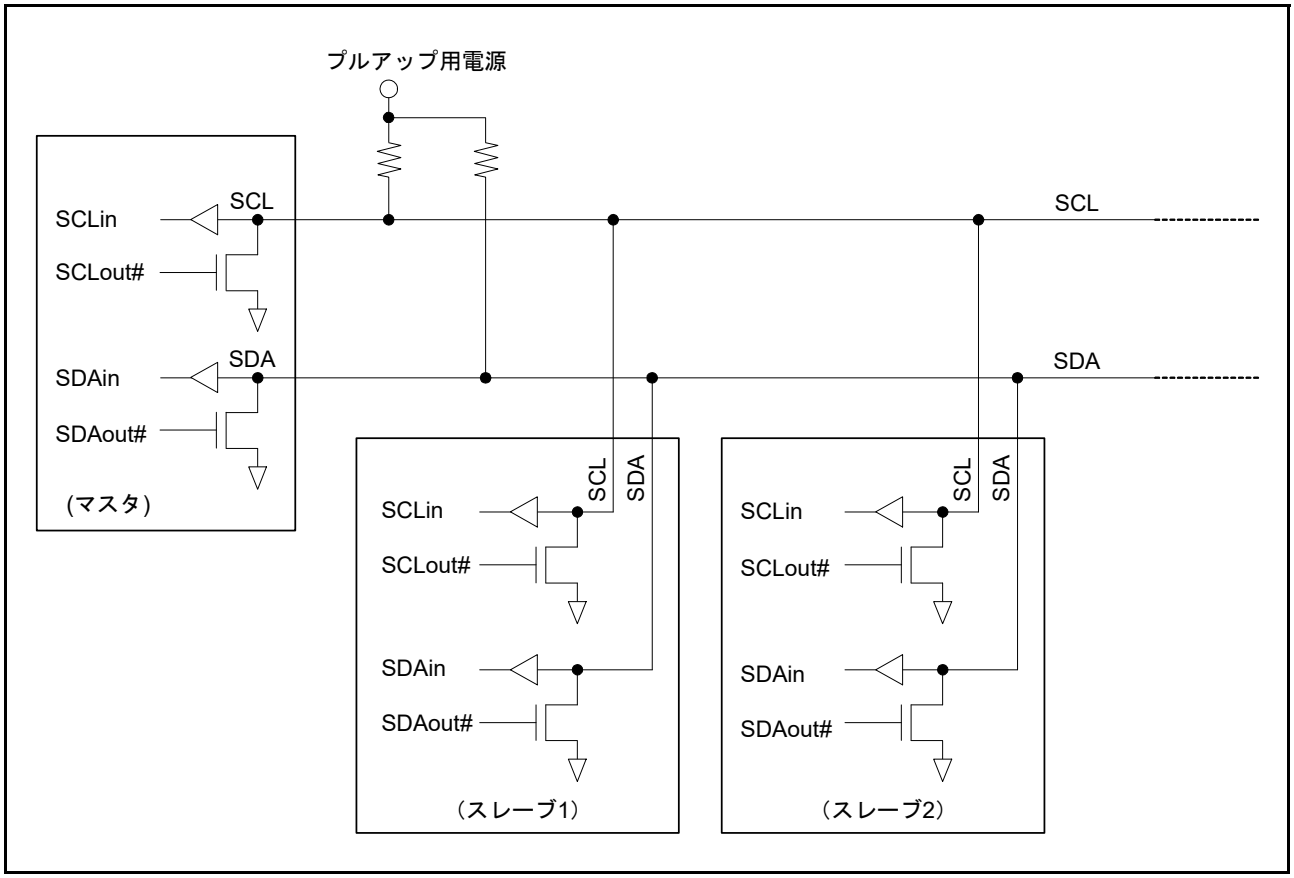


図 36.2　　入出力端子の外部回路接続例（I²C バス構成例）

IIC の各信号の入力レベルは、I²C バス選択時（ICMR3.SMBS = 0）は CMOS レベルであり、SMBus 選択時（ICMR3.SMBS = 1）は TTL レベルです。

表 36.2　　IIC の入出力端子

チャネル	端子名	入出力	機能
IIC0	SCL0	入出力	IIC0 シリアルクロック入出力端子
	SDA0	入出力	IIC0 シリアルデータ入出力端子
IIC1	SCL1	入出力	IIC1 シリアルクロック入出力端子
	SDA1	入出力	IIC1 シリアルデータ入出力端子
IIC2	SCL2	入出力	IIC2 シリアルクロック入出力端子
	SDA2	入出力	IIC2 シリアルデータ入出力端子

36.2 レジスタの説明

36.2.1 I²C バスコントロールレジスタ 1（ICCR1）

アドレス IIC0.ICCR1 4005 3000h, IIC1.ICCR1 4005 3100h, IIC2.ICCR1 4005 3200h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタ	0：SDAnラインはLow 1：SDAnラインはHigh	R
b1	SCLI	SCLラインモニタ	0：SCLnラインはLow 1：SCLnラインはHigh	R
b2	SDAO	SDA出力制御／モニタ	• 読み出し時 0：SDAn端子をLowにしている 1：SDAn端子を解放している • 書き込み時 0：SDAn端子をLowにする 1：SDAn端子を解放する	R/W
b3	SCLO	SCL出力制御／モニタ	• 読み出し時 0：SCLn端子をLowにしている 1：SCLn端子を解放している • 書き込み時 0：SCLn端子をLowにする 1：SCLn端子を解放する 外部プルアップ抵抗を使用して信号をHighにしてください。	R/W
b4	SOWP	SCLO/SDAOライトプロテクト	0：SCLOおよびSDAOビットの書き込みを許可 1：SCLOおよびSDAOビットの書き込みを禁止 読むと1が読めます。	R/W
b5	CLO	SCLクロック追加出力	0：SCLクロックを追加で出力しない（デフォルト） 1：SCLクロックを追加で出力する 1クロック出力後、自動的に0になります。	R/W
b6	IICRST	IICバスインタフェース内部リセット	0：IICリセットまたは内部リセットを解除する 1：IICリセットまたは内部リセットを行う これにより、ビットカウンタをクリアし、SCLn/SDAn出力ラッチを解除します。	R/W
b7	ICE	IICバスインタフェース許可	0：禁止（SCLnおよびSDAn端子は非駆動状態） 1：許可（SCLnおよびSDAn端子は駆動状態） IICRSTビットとの組み合わせで、IICリセット、または内部リセットを選択します。	R/W

SDAO ビット（SDA 出力制御／モニタ）、SCLO ビット（SCL 出力制御／モニタ）

IIC が出力する SDAn 信号、SCLn 信号を直接操作するビットです。これらのビットに値を書く場合は、同時に SOWP ビットにも 0 を書いてください。これらのビットを設定すると、入力バッファによって IIC に入力されます。スレーブモードに設定していると、ビットの設定によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディションの期間中、および送信、または受信中にこれらのビットを書き換えないでください。これらの期間に書き換えた場合の動作は保証されません。これらのビットを読んだ場合は、そのとき IIC が出力している信号の状態が読めます。

CLO ビット（SCL クロック追加出力）

CLO ビットは、SCL クロックを 1 クロック単位で追加出力できるようにするもので、デバッグ時またはエラー処理時に使用します。通常動作では、このビットを 0 にしてください。通常の通信状態で CLO ビットを 1 にすると、通信エラーの原因になります。この機能の詳細については、36.12.2　SCL クロック追加出力機能を参照してください。

IICRST ビット（IIC バスインタフェース内部リセット）

IICRST ビットは、IIC の内部状態をリセットします。このビットを 1 にすると、IIC リセットまたは内部リセットを起動できます。IIC リセットまたは内部リセットのどちらが起動するかは、ICE ビットと組み合わせた IICRST ビットの設定によって決定されます。表 36.3 に IIC のリセットの種類を示します。

IIC リセットでは、ICCR1.ICE ビットと ICCR1.IICRST ビットを除くすべてのレジスタと IIC の内部状態が初期化されます。内部リセットでは、IIC の内部状態の他に、ビットカウンタ（ICMR1.BC[2:0] ビット）、I²C バスシフトレジスタ（ICDRS）、I²C バスステータスレジスタ（ICSR1 と ICSR2）、SDAO と SCLO の出力制御／モニタ（ICCR1.SCLO ビットと ICCR1.SDAO ビット）、I²C バスコントロールレジスタ 2（ICCR2.BBSY ビットを除く）が初期化されます。各レジスタのリセット条件については、36.15　各コンディション発行時のレジスタの状態を参照してください。

動作中に（ICE ビット = 1 の状態で）IICRST ビットを 1 にして内部リセットを行うと、通信不具合によってバスや IIC がハングしたとき、ポートの設定と IIC のコントロールレジスタや設定レジスタを初期化することなく、IIC の内部状態がリセットされます。また、IIC が Low を出力したままハングアップした場合、内部状態をリセットすることで、Low 出力状態が解除され、SCLn 端子と SDAn 端子がハイインピーダンスの状態でバスが解放されます。

注 .　スレーブモード時に、マスタデバイスとの通信中に生じたバスのハングアップに対して IICRST ビットで内部リセットを行うと、ビットカウンタ情報の差異が原因で、スレーブデバイスとマスタデバイスが異なる状態になる可能性があります。そのため、スレーブモード時には内部リセットは行わないでください。復帰処理はマスタデバイスから行うようにしてください。スレーブモード時に SCLn ラインが Low 出力状態のまま IIC がハングアップしたため、内部リセットが必要になった場合は、内部リセット後にマスタデバイスからリスタートコンディションを発行するか、またはストップコンディションを発行して、スタートコンディションから通信をやり直してください。スレーブデバイスでのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開されると、双方が非同期で動作することになるため同期ズレの原因になります。

表 36.3　IICのリセット

IICRST	ICE	状態	内容
1	0	IICリセット	ICCR1.ICEビットとICCR1.IICRSTビットを除くすべてのレジスタとIICの内部状態がリセットされます
	1	内部リセット	ICMR1.BC[2:0]ビット、ICSR1レジスタ、ICSR2レジスタ、ICDRSレジスタ、SDAOとSCLOの出力制御／モニタ（ICCR1.SCLOビットとICCR1.SDAOビット）、I²Cバスコントロールレジスタ2（ICCR2.BBSYビットを除く）、およびIICの内部状態がリセットされます。

ICE ビット（IIC バスインタフェース許可）

ICE ビットは、SCLn および SDAn 端子の駆動状態／非駆動状態を選択します。また、IICRST ビットと組み合わせて、2 種類のリセットを行うことができます。リセットの説明については表 36.3 を参照してください。

IIC を使用するときは、ICE ビットを 1 にしてください。ICE ビットを 1 にすると、SCLn および SDAn 端子は駆動状態になります。IIC を使用しないときは、ICE ビットを 0 にしてください。ICE ビットを 0 にすると、SCLn および SDAn 端子は非駆動状態になります。端子機能制御を設定するときに、SCLn または SDAn 端子を IIC に割り当てないでください。これらの端子が IIC に割り当てられると、スレーブアドレス比較が行われます。

36.2.2 I²C バスコントロールレジスタ 2（ICCR2）

アドレス IIC0.ICCR2 4005 3001h, IIC1.ICCR2 4005 3101h, IIC2.ICCR2 4005 3201h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	ST	スタートコンディション発行要求	0：スタートコンディション要求を発行しない 1：スタートコンディション要求を発行する	R/W
b2	RS	リスタートコンディション発行要求	0：リスタートコンディション要求を発行しない 1：リスタートコンディション要求を発行する	R/W
b3	SP	ストップコンディション発行要求	0：ストップコンディション要求を発行しない 1：ストップコンディション要求を発行する	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	TRS	送信／受信モード	0：受信モード 1：送信モード	R/W （注1）
b6	MST	マスタ／スレーブモード	0：スレーブモード 1：マスタモード	R/W （注1）
b7	BBSY	バスビジー検出フラグ	0：I²Cバスは解放状態（バスフリー状態） 1：I²Cバスは占有状態（バスビジー状態）	R

注 1. ICMR1.MTWP ビットが 1 の場合に、MST および TRS ビットへの書き込みが可能です。

ST ビット（スタートコンディション発行要求）

ST ビットは、マスタモードへの遷移を要求し、スタートコンディションをトリガします。このビットを 1 にすると、BBSY フラグが 0（バスフリー状態）のときにスタートコンディションが発行されます。この機能の詳細については、36.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能を参照してください。

［1 になる条件］

- 1 を書いたとき

［0 になる条件］

- 0 を書いたとき
- スタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注 . BBSY フラグが 0（バスフリー状態）のときに、ST ビットを 1（スタートコンディション発行要求）にしてください。BBSY フラグが 1（バスビジー状態）のときに、ST ビットを 1（スタートコンディション要求）にすると、アービトレーションロストが発生する場合があります。

RS ビット（リスタートコンディション発行要求）

RS ビットは、マスタモード時にリスタートコンディションの発行を要求します。このビットが 1 になるとリスタートコンディションを要求し、BBSY フラグが 1（バスビジー状態）でかつ MST ビットが 1（マスタモード）であれば、リスタートコンディションが発行されます。この機能の詳細については、36.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能を参照してください。

［1 になる条件］

- ICCR2.BBSY フラグが 1 の状態で、1 を書いたとき

［0 になる条件］

- 0 を書いたとき
- リスタートコンディションが発行されたとき（スタートコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注 . ストップコンディション発行中に RS ビットを 1 にしないでください。

注 . スレーブモードで RS ビットを 1（リスタートコンディション要求）にすると、リスタートコンディションは発行されず、RS ビットは 1 のままになります。このビットがクリアされていない状態で動作モードをマスタモードに変更すると、リスタートコンディションが発行される場合があります。

SP ビット（ストップコンディション発行要求）

SP ビットは、マスタモード時にストップコンディションの発行を要求します。このビットを 1 にすると、BBSY フラグが 1（バスビジー状態）でかつ MST ビットが 1（マスタモード）のときにストップコンディションが発行されます。この機能の詳細については、36.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能を参照してください。

［1 になる条件］

- ICCR2.BBSY フラグと ICCR2.MST ビットが両方とも 1 の状態で、1 を書いたとき

［0 になる条件］

- 0 を書いたとき
- ストップコンディションが発行されたとき（ストップコンディションが検出されたとき）
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- スタートコンディションおよびリスタートコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注 . BBSY フラグが 0（バスフリー状態）のとき、SP ビットへの書き込みはできません。

注 . リスタートコンディション発行中に SP ビットを 1 にしないでください。

TRS ビット（送信／受信モード）

TRS ビットは、送信／受信モードを示します。IIC は、TRS ビットが 0 のときは受信モード、1 のときは送信モードになります。このビットと MST ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行または検出時、および R/W# ビットの設定時に、TRS ビット値は自動的に 1（送信モード）または 0（受信モード）に変化します。ICMR1.MTWP ビットが 1 のとき書き込みはできますが、通常では書き込みの必要はありません。

［1 になる条件］

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- リスタートコンディション要求によってリスタートコンディションが正常に発行されたとき（RS ビットが 1 の状態で、リスタートコンディションが検出されたとき）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 0 になったとき
- スレーブモードで受信したアドレスが、ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットが 1 のとき
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 1 を書いたとき

［0 になる条件］

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- マスタモード時、スレーブアドレスに付加した R/W# ビットが 1 になったとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに 0 を受信したとき（ジェネラルコールアドレスを受信した場合を含む）
- スレーブモード時、リスタートコンディションが検出されたとき（ICCR2.BBSY = 1、ICCR2.MST = 0 の状態でスタートコンディションが検出されたとき）
- ICMR1.MTWP ビットが 1 の状態で、TRS ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

MST ビット（マスタ／スレーブモード）

MST ビットは、マスタモード／スレーブモードを示します。IIC は、MST ビットが 0 のときはスレーブモード、1 のときはマスタモードになります。MST ビットと TRS ビットの組み合わせで IIC の動作モードを示します。

スタートコンディションの発行時、あるいはストップコンディションの発行または検出時、MST ビットの値は自動的に 1（マスタモード）または 0（スレーブモード）に変化します。ICMR1.MTWP ビットが 1 のとき、MST ビットへ書き込みはできますが、通常では書き込みの必要はありません。

［1 になる条件］

- スタートコンディション要求によってスタートコンディションが正常に発行されたとき（ST ビットが 1 の状態で、スタートコンディションが検出されたとき）
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 1 を書いたとき

［0 になる条件］

- ストップコンディションが検出されたとき
- ICSR2.AL（アービトレーションロスト）フラグが 1 になったとき
- ICMR1.MTWP ビットが 1 の状態で、MST ビットに 0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

BBSY フラグ（バスビジー検出フラグ）

BBSY フラグは、I²C バスが占有されているか（バスビジー状態）、解放されているか（バスフリー状態）を示します。SCLn ラインが High のときに SDAn ラインが High から Low に変化すると、スタートコンディションが発行されたとみなされて、このフラグは 1 になります。バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないと、ストップコンディションが発行されたとみなされて、このフラグは 0 になります。

［1 になる条件］

- スタートコンディションが検出されたとき

［0 になる条件］

- ストップコンディション検出後、バスフリー時間（ICBRL レジスタの設定）スタートコンディションが検出されないとき
- ICCR1.ICE ビットが 0 の状態で、ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

36.2.3 I²C バスモードレジスタ 1（ICMR1）

アドレス IIC0.ICMR1 4005 3002h, IIC1.ICMR1 4005 3102h, IIC2.ICMR1 4005 3202h

	b7	b6	b5	b4	b3	b2	b1	b0
	MTWP	CKS[2:0]			BCWP	BC[2:0]		
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0：9ビット 0 0 1：2ビット 0 1 0：3ビット 0 1 1：4ビット 1 0 0：5ビット 1 0 1：6ビット 1 1 0：7ビット 1 1 1：8ビット	R/W （注1）
b3	BCWP	BCライトプロテクト	0：BC[2:0]ビットへの書き込み許可 1：BC[2:0]ビットへの書き込み禁止 読むと1が読めます。	R/W （注1）
b6-b4	CKS[2:0]	内部基準クロック選択	IICの内部基準クロックソース（IICφ）を選択します。 b6 b4 0 0 0：PCLKBクロック 0 0 1：PCLKB/2クロック 0 1 0：PCLKB/4クロック 0 1 1：PCLKB/8クロック 1 0 0：PCLKB/16クロック 1 0 1：PCLKB/32クロック 1 1 0：PCLKB/64クロック 1 1 1：PCLKB/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクト	0：ICCR2.MST、TRSビットへの書き込み禁止 1：ICCR2.MST、TRSビットへの書き込み許可	R/W

注 1. BC[2:0] ビットを書き換える場合は、同時に BCWP ビットを 0 にしてください。

BC[2:0] ビット（ビットカウンタ）

BC[2:0] ビットは、SCLn ラインの立ち上がりエッジの検出時に、残りの転送ビット数を示すカウンタです。読み出しおよび書き込みは可能ですが、通常はこれらのビットへのアクセスは不要です。

なお、これらのビットへ書き込む場合は、SCLn ラインが Low の状態で、転送するデータのビット数 +1（追加のアクノリッジビット分）を転送フレーム間で指定してください。BC[2:0] ビットの値は、アクノリッジビットを含むデータ転送の終了時、あるいはスタートコンディション／リスタートコンディションの検出時に 000b に戻ります。

36.2.4 I²C バスモードレジスタ 2（ICMR2）

アドレス IIC0.ICMR2 4005 3003h, IIC1.ICMR2 4005 3103h, IIC2.ICMR2 4005 3203h

	b7	b6	b5	b4	b3	b2	b1	b0
	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
リセット後の値	0	0	0	0	0	1	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択	0：ロングモードを選択 1：ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御	0：SCLnラインがLowの間カウントを禁止 1：SCLnラインがLowの間カウントを許可	R/W
b2	TMOH	タイムアウトHカウント制御	0：SCLnラインがHighの間カウントを禁止 1：SCLnラインがHighの間カウントを許可	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	• ICMR2.DLCS = 0（IICφ）のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1サイクル 0 1 0：IICφの2サイクル 0 1 1：IICφの3サイクル 1 0 0：IICφの4サイクル 1 0 1：IICφの5サイクル 1 1 0：IICφの6サイクル 1 1 1：IICφの7サイクル • ICMR2.DLCS = 1（IICφ/2）のとき b6 b4 0 0 0：出力遅延なし 0 0 1：IICφの1または2サイクル 0 1 0：IICφの3または4サイクル 0 1 1：IICφの5または6サイクル 1 0 0：IICφの7または8サイクル 1 0 1：IICφの9または10サイクル 1 1 0：IICφの11または12サイクル 1 1 1：IICφの13または14サイクル	R/W
b7	DLCS	SDA出力遅延クロックソース選択	0：SDA出力遅延カウンタのクロックソースに内部基準クロック（IICφ）を選択 1：SDA出力遅延カウンタのクロックソースに内部基準クロックの2分周（IICφ/2）を選択（注1）	R/W

注 1. DLCS = 1（IICφ/2）の設定は、SCL が Low のときのみ有効です。SCL が High のとき、DLCS = 1 の設定は無効となり、クロックソースは内部基準クロック（IICφ）となります。

TMOS ビット（タイムアウト検出時間選択）

TMOS ビットは、タイムアウト検出機能有効時（ICFER.TMOE ビット = 1）に、タイムアウト検出時間のロングモードまたはショートモードを選択します。このビットを 0 にすると、ロングモードが選択されます。このビットを 1 にすると、ショートモードが選択されます。ロングモードでは、タイムアウト検出用の内部カウンタが 16 ビットカウンタとして機能します。ショートモードでは、このカウンタが 14 ビットカウンタとして機能します。TMOH ビットと TMOL ビットで指定されたカウンタが有効なステートに SCLn ラインがあるとき、カウンタは内部基準クロック（IICφ）をカウントソースとしてアップカウントを行います。この機能の詳細については、36.12.1 タイムアウト検出機能を参照してください。

TMOL ビット（タイムアウト L カウント制御）

TMOL ビットは、SCLn ラインが Low ホールドであり、かつタイムアウト検出機能有効時（ICFER.TMOE = 1）に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

TMOH ビット（タイムアウト H カウント制御）

TMOH ビットは、SCLn ラインが High ホールドであり、かつタイムアウト検出機能が有効時（ICFER.TMOE = 1）に、タイムアウト検出機能の内部カウンタによるカウントアップを許可または禁止します。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットを使用して、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースで動作します。この設定値は、アクノリッジビット送出を含むすべての種類の SDA 出力に適用されます。

SDA 出力遅延は、データ有効時間／アクノリッジ有効時間（注 1）に対する I²C バス規格、または SMBus 規格を満たすように、「データホールド時間（300ns 以上 + SCL クロックの Low 幅）－データセットアップ時間（250ns）」の範囲内で設定してください。規格外に設定すると、デバイス間の通信に誤動作を引き起こすか、バスの状態によってはスタートコンディションまたはストップコンディションを誤って表示する可能性があります。

この機能の詳細については、36.5　SDA 出力遅延機能を参照してください。

注 1.　データ有効時間／アクノリッジ有効時間
3,450ns（～ 100kbps）：スタンダードモード（Sm）
900ns（～ 400kbps）：ファストモード（Fm）
450ns（～ 1Mbps）：ファストモードプラス（Fm+）

36.2.5 I²C バスモードレジスタ 3（ICMR3）

アドレス IIC0.ICMR3 4005 3004h, IIC1.ICMR3 4005 3104h, IIC2.ICMR3 4005 3204h

	b7	b6	b5	b4	b3	b2	b1	b0
	SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択	b1 b0 0 0：1IICφサイクル以下のノイズを除去（フィルタは1段） 0 1：2IICφサイクル以下のノイズを除去（フィルタは2段） 1 0：3IICφサイクル以下のノイズを除去（フィルタは3段） 1 1：4IICφサイクル以下のノイズを除去（フィルタは4段）	R/W
b2	ACKBR	受信アクノリッジ	0：アクノリッジビットに0を受信（ACK受信） 1：アクノリッジビットに1を受信（NACK受信）	R
b3	ACKBT	送信アクノリッジ	0：アクノリッジビットに0を送出（ACK送信） 1：アクノリッジビットに1を送出（NACK送信）	R/W （注1）
b4	ACKWP	ACKBTライトプロテクト	0：ACKBTビットへの書き込み禁止 1：ACKBTビットへの書き込み許可	R/W （注1）
b5	RDRFS	RDRFフラグセットタイミング選択	0：SCLクロックの9クロック目の立ち上がりでRDRFフラグをセット。8クロック目の立ち下がりでSCLnラインのLowホールドを行わない 1：SCLクロックの8クロック目の立ち上がりでRDRFフラグをセット。8クロック目の立ち下がりでSCLnラインをLowホールドを行う LowホールドはACKBTビットへの書き込みで解除	R/W （注2）
b6	WAIT	WAIT	0：ウェイトなし。9クロック目と1クロック目の間にLowホールドを行わない 1：ウェイトあり。9クロック目と1クロック目の間にLowホールドを行う LowホールドはICDRRレジスタの読み出しで解除	R/W （注2）
b7	SMBS	SMBus/I²Cバス選択	0：I²Cバスを選択 1：SMBusを選択	R/W

注 1. ACKBT ビットに書き込む場合には、ACKWP ビットが 1 の状態で行ってください。アプリケーションが ACKWP ビットと ACKBT ビットに同時に 1 を書き込んでも、ACKBT ビットは 1 になりません。

注 2. WAIT ビットと RDRFS ビットは、受信モード時のみ有効、送信モード時は無効です。

NF[1:0] ビット（ノイズフィルタ段数選択）

NF[1:0] ビットは、デジタルノイズフィルタの段数を選択します。この機能の詳細については、36.6 デジタルノイズフィルタ回路を参照してください。

注 . 除去するノイズ幅は、SCLn ラインの High 幅または Low 幅よりも狭くなるように設定してください。ノイズ幅の設定が［SCL クロックの幅：High 幅または Low 幅のいずれか短い方］— ［1.5 内部基準クロック（IICφ）サイクル + アナログノイズフィルタ：120ns（参考値）］の値以上の場合、SCL クロックはノイズとみなされ、IIC が正常に動作しない可能性があります。

ACKBR ビット（受信アクノリッジ）

ACKBR ビットは、送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

［1 になる条件］

- ICCR2.TRS ビットが 1 の状態でアクノリッジビットに 1 を受信したとき

［0 になる条件］

- ICCR2.TRS ビットが 1 の状態でアクノリッジビットに 0 を受信したとき

- ICCR1.ICE ビットが 0 の状態で ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKBT ビット（送信アクノリッジ）

ACKBT ビットは、受信モード時に送出されるアクノリッジビットを設定します。

［1 になる条件］

- ACKWP ビットが 1 の状態でこのビットに 1 を書いたとき

［0 になる条件］

- ACKWP ビットが 1 の状態でこのビットに 0 を書いたとき
- ストップコンディションの発行が検出されたとき（ICCR2.SP ビットが 1 の状態で、ストップコンディションが検出されたとき）
- ICCR1.ICE ビットが 0 の状態で ICCR1.IICRST ビットに 1 を書いたとき（IIC リセット）

ACKWP ビット（ACKBT ライトプロテクト）

ACKWP ビットは、ACKBT ビットの書き込み許可を制御します。

RDRFS ビット（RDRF フラグセットタイミング選択）

RDRFS ビットは、受信モード時の RDRF フラグのセットタイミングと、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行うか否かを選択します。

RDRFS ビットが 0 のとき、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドは行わず、SCL クロックの 9 クロック目の立ち上がりで RDRF フラグを 1 にします。

RDRFS ビットが 1 のとき、SCL クロックの 8 クロック目の立ち上がりで RDRF フラグを 1 にし、SCL クロックの 8 クロック目の立ち下がりで SCLn ラインの Low ホールドを行います。この SCLn ラインの Low ホールドは、ACKBT ビットへの書き込みによって解除されます。

この設定でデータを受信した後、アクノリッジビット送出前に、SCLn ラインは自動的に Low ホールドされます。これによって、受信データの内容に応じた ACK（ACKBT ビットが 0）または NACK（ACKBT ビットが 1）の送出処理が可能となります。

WAIT ビット（WAIT）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに、受信データバッファ（ICDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を強制的に Low ホールドするか否かを制御します。

WAIT ビットが 0 のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに 0 のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが 1 のとき、1 バイト受信ごとに、9 クロック目の立ち下がり以降、ICDRR レジスタ値が読み出されるまでの間、SCLn ラインを Low にホールドします。これによって、1 バイトごとの受信動作が可能になります。

注 . WAIT ビットの値を読み出す場合は、必ず最初に ICDRR レジスタを読み出してください。

SMBS ビット（SMBus/I²C バス選択）

SMBS ビットを 1 にすると、SMBus が選択されて、ICSER.HOAE ビットが有効になります。

36.2.6 I²C バスファンクションイネーブルレジスタ（ICFER）

アドレス IIC0.ICFER 4005 3005h, IIC1.ICFER 4005 3105h, IIC2.ICFER 4005 3205h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMPE	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効	0：無効 1：有効	R/W
b1	MALE	マスタアービトレーションロスト検出有効	0：アービトレーションロスト検出機能を無効にして、アービトレーションロスト発生によるICCR2.MSTおよびTRSビットの自動クリアを禁止 1：アービトレーションロスト検出機能を有効にして、アービトレーションロスト発生によるICCR2.MSTおよびTRSビットの自動クリアを許可	R/W
b2	NALE	NACK送信アービトレーションロスト検出有効	0：無効 1：有効	R/W
b3	SALE	スレーブアービトレーションロスト検出有効	0：無効 1：有効	R/W
b4	NACKE	NACK受信転送中断許可	0：NACK受信時、転送を中断しない（転送中断禁止） 1：NACK受信時、転送を中断する（転送中断許可）	R/W
b5	NFE	デジタルノイズフィルタ回路有効	0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効	0：SCL同期回路を使用しない 1：SCL同期回路を使用する	R/W
b7	FMPE（注1）	ファストモードプラス有効	0：SCLnおよびSDAn端子にFm+のスロープ制御回路を使用しない 1：SCLnおよびSDAn端子にFm+のスロープ制御回路を使用する	R/W

注 1. ファストモードプラス有効ビット（FMPE）は、IIC0（SCL0-A、SDA0-A）のみ対応しています。IIC1 と IIC2 では、ビット 7 は予約ビットです。

TMOE ビット（タイムアウト検出機能有効）

TMOE ビットは、タイムアウト検出機能を有効または無効にします。この機能の詳細については、36.12.1 タイムアウト検出機能を参照してください。

MALE ビット（マスタアービトレーションロスト検出有効）

MALE ビットは、マスタモード時にアービトレーションロスト検出機能を使用するか否かを指定します。通常は 1 にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出有効）

NALE ビットは、受信モード時の NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択し、それぞれ受信バイト数が異なる場合など）に、アービトレーションロストを発生させるか否かを選択します。

SALE ビット（スレーブアービトレーションロスト検出有効）

SALE ビットは、スレーブ送信モード時に送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズが原因で送信データとの不一致が生じた場合など）に、アービトレーションロストを発生させるか否かを選択します。

NACKE ビット（NACK 受信転送中断許可）

NACKE ビットは、送信モード時にスレーブデバイスから NACK を受信した場合、転送動作を継続するか中断するかを選択します。通常は 1 にしてください。

NACKE ビットが 1 の状態で NACK を受信した場合、次の転送動作が中断されます。NACKE ビットが 0 のとき、受信したアクノリッジの内容にかかわらず、次の転送動作が継続されます。

詳細は、36.9.2　NACK 受信転送中断機能を参照してください。

SCLE ビット（SCL 同期回路有効）

SCLE ビットは、SCL クロックを SCL 入力クロックと同期させるか否かを選択します。通常は 1 にしてください。

SCLE ビットを 0（SCL 同期回路を使用しない）にすると、IIC は SCL クロックを SCL 入力クロックと同期させません。この設定の場合、SCLn ラインの状態にかかわらず、IIC は、ICBRH および ICBRL レジスタで設定した転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合に、規格外の短い SCL クロックが出力される場合があります。また SCL 同期回路を使用しない場合、スタートコンディション、リスタートコンディション、ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

このビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き 0 にしないでください。

FMPE ビット（ファストモードプラス有効）

FMPE ビットは、ファストモードプラス（Fm+）用のスロープ制御回路を使用するか否かを指定します。

このビットを 1 にすると、I²C バスのファストモードプラス（Fm+）規格（tof）に準拠したスロープ制御回路が選択されます。このビットを 0 にすると、I²C バスの標準モード（Sm）およびファストモード（Fm）規格（tof）に準拠したスロープ制御回路が選択されます。

通信速度を～ 1Mbps（ファストモードプラス（Fm+））で使用する場合、このビットを 1 にしてください。それ以外の通信速度（～ 100kbps（Sm）、～ 400kbps（Fm））または SMBus（10kbps ～ 100kbps）で使用する場合は、このビットを 0 にしてください。

36.2.7 I2C バスステータスイネーブルレジスタ（ICSER）

アドレス IIC0.ICSER 4005 3006h, IIC1.ICSER 4005 3106h, IIC2.ICSER 4005 3206h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E
リセット後の値	0	0	0	0	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0有効	0：SARL0およびSARU0のスレーブアドレスは無効 1：SARL0およびSARU0のスレーブアドレスは有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1有効	0：SARL1およびSARU1のスレーブアドレスは無効 1：SARL1およびSARU1のスレーブアドレスは有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2有効	0：SARL2およびSARU2のスレーブアドレスは無効 1：SARL2およびSARU2のスレーブアドレスは有効	R/W
b3	GCAE	ジェネラルコールアドレス有効	0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DIDE	デバイスIDアドレス検出有効	0：デバイスIDアドレス検出は無効 1：デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOAE	ホストアドレス有効	0：ホストアドレス検出は無効 1：ホストアドレス検出は有効	R/W

SARyE ビット（スレーブアドレスレジスタ y 有効）（y = 0 ～ 2）

SARyE ビットは、受信したスレーブアドレスと、SARLy および SARUy レジスタで設定したスレーブアドレスを有効または無効にします。

このビットを 1 にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが有効になり、受信したスレーブアドレスと比較されます。このビットを 0 にすると、SARLy および SARUy レジスタで設定したスレーブアドレスが無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット（ジェネラルコールアドレス有効）

GCAE ビットは、ジェネラルコールアドレス（0000 000b + 0[W]：すべて 0）を受信した場合、無視するかどうかを選択します。

このビットが 1 の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、IIC は SARLy および SARUy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをジェネラルコールアドレスと認識し、データ受信動作を行います。このビットが 0 の場合、受信したスレーブアドレスは、ジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出有効）

DIDE ビットは、スタートコンディションまたはリスタートコンディション検出後の第 1 フレームでデバイス ID（1111 100b）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

このビットが 1 のときに、受信した第 1 フレームがデバイス ID と一致すると、IIC はデバイス ID アドレスを受信したと認識します。続く R/W# ビットが 0（W）の場合、IIC は第 2 フレーム以降をスレーブアドレスとみなして、受信動作を継続します。このビットが 0 の場合、IIC は受信した第 1 フレームがデバイス ID アドレスと一致してもそれを無視し、第 1 フレームを通常のスレーブアドレスと認識します。

この機能の詳細については、36.7.3 デバイス ID アドレス検出機能を参照してください。

HOAE ビット（ホストアドレス有効）

HOAE ビットは、ICMR3.SMBS ビットが 1 の場合、受信したホストアドレス（0001 000b）を無視するかどうかを選択します。

このビットが 1 で、かつ HOAE ビットが 1 の場合、受信したスレーブアドレスがホストアドレスと一致すると、IIC は SARLy および SARUy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係に、受信したスレーブアドレスをホストアドレスとして認識し、受信動作を行います。

ICMR3.SMBS ビットまたは HOAE ビットが 0 の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

36.2.8 I²C バス割り込みイネーブルレジスタ（ICIER）

アドレス IIC0.ICIER 4005 3007h, IIC1.ICIER 4005 3107h, IIC2.ICIER 4005 3207h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可	0：タイムアウト割り込み（TMOI）要求を禁止 1：タイムアウト割り込み（TMOI）要求を許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可	0：アービトレーションロスト割り込み（ALI）要求を禁止 1：アービトレーションロスト割り込み（ALI）要求を許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可	0：スタートコンディション検出割り込み（STI）要求を禁止 1：スタートコンディション検出割り込み（STI）要求を許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可	0：ストップコンディション検出割り込み（SPI）要求を禁止 1：ストップコンディション検出割り込み（SPI）要求を許可	R/W
b4	NAKIE	NACK受信割り込み要求許可	0：NACK受信割り込み（NAKI）要求を禁止 1：NACK受信割り込み（NAKI）要求を許可	R/W
b5	RIE	受信データフル割り込み要求許可	0：受信データフル割り込み（IICn_RXI）要求を禁止 1：受信データフル割り込み（IICn_RXI）要求を許可	R/W
b6	TEIE	送信終了割り込み要求許可	0：送信終了割り込み（IICn_TEI）要求を禁止 1：送信終了割り込み（IICn_TEI）要求を許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可	0：送信データエンプティ割り込み（IICn_TXI）要求を禁止 1：送信データエンプティ割り込み（IICn_TXI）要求を許可	R/W

TMOIE ビット（タイムアウト割り込み要求許可）

TMOIE ビットは、ICSR2.TMOF フラグが 1 のとき、タイムアウト割り込み（TMOI）要求を許可または禁止します。TMOI 割り込み要求を解除するには、TMOF フラグまたは TMOIE ビットを 0 にします。

ALIE ビット（アービトレーションロスト割り込み要求許可）

ALIE ビットは、ICSR2.AL フラグが 1 のとき、アービトレーションロスト割り込み（ALI）要求を許可または禁止します。ALI 割り込み要求を解除するには、AL フラグまたは ALIE ビットを 0 にします。

STIE ビット（スタートコンディション検出割り込み要求許可）

STIE ビットは、ICSR2.START フラグが 1 のとき、スタートコンディション検出割り込み（STI）要求を許可または禁止します。STI 割り込み要求を解除するには、START フラグまたは STIE ビットを 0 にします。

SPIE ビット（ストップコンディション検出割り込み要求許可）

SPIE ビットは、ICSR2.STOP フラグが 1 のとき、ストップコンディション検出割り込み（SPI）要求を許可または禁止します。SPI 割り込み要求を解除するには、STOP フラグまたは SPIE ビットを 0 にします。

NAKIE ビット（NACK 受信割り込み要求許可）

NAKIE ビットは、ICSR2.NACKF フラグが 1 のとき、NACK 受信割り込み（NAKI）要求を許可または禁止します。NAKI 割り込み要求を解除するには、NACKF フラグまたは NAKIE ビットを 0 にします。

RIE ビット（受信データフル割り込み要求許可）

RIE ビットは、ICSR2.RDRF フラグが 1 のとき、受信データフル割り込み（IICn_RXI）要求を許可または禁止します。

TEIE ビット（送信終了割り込み要求許可）

TEIE ビットは、ICSR2.TEND フラグが 1 のとき、送信終了割り込み（IICn_TEI）要求を許可または禁止します。IICn_TEI 割り込み要求を解除するには、TEND フラグまたは TEIE ビットを 0 にします。

TIE ビット（送信データエンプティ割り込み要求許可）

TIE ビットは、ICSR2.TDRE フラグが 1 のとき、送信データエンプティ割り込み（IICn_TXI）要求を許可または禁止します。

36.2.9 I2C バスステータスレジスタ 1（ICSR1）

アドレス IIC0.ICSR1 4005 3008h, IIC1.ICSR1 4005 3108h, IIC2.ICSR1 4005 3208h

	b7	b6	b5	b4	b3	b2	b1	b0
	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0：スレーブアドレス0未検出 1：スレーブアドレス0検出	R/(W)（注1）
b1	AAS1	スレーブアドレス1検出フラグ	0：スレーブアドレス1未検出 1：スレーブアドレス1検出	R/(W)（注1）
b2	AAS2	スレーブアドレス2検出フラグ	0：スレーブアドレス2未検出 1：スレーブアドレス2検出	R/(W)（注1）
b3	GCA	ジェネラルコールアドレス検出フラグ	0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出	R/(W)（注1）
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DID	デバイスIDアドレス検出フラグ	0：デバイスIDコマンド未検出 1：デバイスIDコマンド検出 スタートコンディション検出直後に受信した第1フレームがデバイスID（1111 100b）+ 0[W]の値と一致した場合、1になります。	R/(W)（注1）
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	HOA	ホストアドレス検出フラグ	0：ホストアドレス未検出 1：ホストアドレス検出 受信したスレーブアドレスが、ホストアドレス（0001 000b）と一致した場合、1になります。	R/(W)（注1）

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

AASy フラグ（スレーブアドレス y 検出フラグ）（y = 0 ～ 2）

AASy フラグは、スレーブアドレス y が検出されたかどうかを示します。

［1 になる条件］

【7 ビットアドレスフォーマット選択時（SARUy.FS = 0）】

- ICSER.SARyE ビットが 1（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と一致したとき
  AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

【10 ビットアドレスフォーマット選択時（SARUy.FS = 1）】

- ICSER.SARyE ビットが 1（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 11110b + SARUy.SVA[1:0] の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致したとき、AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

【7 ビットアドレスフォーマット選択時（SARUy.FS = 0）】

- ICSER.SARyE ビットが 1（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビット値と一致しなかったとき
  AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

【10 ビットアドレスフォーマット選択時（SARUy.FS = 1）】

- ICSER.SARyE ビットが 1（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが 11110b + SARUy.SVA[1:0] の値と一致しなかったとき
  AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.SARyE ビットが 1（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが（11110b + SARUy.SVA[1:0]）の値と一致し、かつ、それに続くアドレスが SARLy レジスタの値と一致しなかったとき
  AASy フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

GCA フラグ（ジェネラルコールアドレス検出フラグ）

GCA フラグは、ジェネラルコールアドレスが検出されたかどうかを示します。

［1 になる条件］

- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と一致したとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.GCAE ビットが 1（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（0000 000b ＋ 0[W]）と一致しなかったとき
  GCA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

DID フラグ（デバイス ID アドレス検出フラグ）

DID フラグは、デバイス ID アドレスが検出されたかどうかを示します。

［1 になる条件］

- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID（1111 100b）＋ 0[W]）の値と一致したとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID（1111 100b））の値と一致しなかったとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICSER.DIDE ビットが 1（デバイス ID アドレス検出有効）の状態で、スタートコンディションまたはリスタートコンディション検出直後に受信した第 1 フレームが（デバイス ID（1111 100b）＋ 0[W]）の値と一致し、かつ、第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと一致しなかったとき
  DID フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。

- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

HOA フラグ（ホストアドレス検出フラグ）

HOA フラグは、ホストアドレスが検出されたかどうかを示します。

［1 になる条件］

- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000b）と一致したとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 1 になります。

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICSER.HOAE ビットが 1（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000b）と一致しなかったとき
  HOA フラグは、そのフレームの SCL クロックの 9 クロック目の立ち上がりで 0 になります。
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

36.2.10 I²C バスステータスレジスタ 2（ICSR2）

アドレス IIC0.ICSR2 4005 3009h, IIC1.ICSR2 4005 3109h, IIC2.ICSR2 4005 3209h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0：タイムアウト未検出 1：タイムアウト検出	R/(W)（注1）
b1	AL	アービトレーションロストフラグ	0：アービトレーションロスト未発生 1：アービトレーションロスト発生	R/(W)（注1）
b2	START	スタートコンディション検出フラグ	0：スタートコンディション未検出 1：スタートコンディション検出	R/(W)（注1）
b3	STOP	ストップコンディション検出フラグ	0：ストップコンディション未検出 1：ストップコンディション検出	R/(W)（注1）
b4	NACKF	NACK検出フラグ	0：NACK未検出 1：NACK検出	R/(W)（注1）
b5	RDRF	受信データフルフラグ	0：ICDRR レジスタに受信データなし 1：ICDRR レジスタに受信データあり	R/(W)（注1）
b6	TEND	送信終了フラグ	0：データ送信中 1：データ送信完了	R/(W)（注1）
b7	TDRE	送信データエンプティフラグ	0：ICDRT レジスタに送信データあり 1：ICDRT レジスタに送信データなし	R

注 1. フラグをクリアするための 0 の書き込みのみ可能です。

TMOF フラグ（タイムアウト検出フラグ）

TMOF フラグは、SCLn ラインの状態が一定期間変化しないために、IIC がタイムアウトを検出したときに 1 になります。

［1 になる条件］

- マスタモードまたはスレーブモード時に、ICFER.TMOE ビットが 1（タイムアウト検出機能有効）で、かつ、受信したスレーブアドレスが一致した状態で、ICMR2.TMOH、TMOL、TMOS ビットで指定した期間 SCLn ライン状態が変化しなかったとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

AL フラグ（アービトレーションロストフラグ）

AL フラグは、スタートコンディション発行時やアドレスおよびデータ送信時に、バス競合などが原因で、バス占有権がアービトレーションロストしたことを示します。IIC は、送信中に SDAn ラインのレベルを監視し、SDAn ラインのレベルと出力中のビット値が一致していないと、AL フラグを 1 にすることで、バスが他のデバイスによって占有されていることを示します。

さらに IIC は、このフラグをセットすることで、マスタモードでの NACK 送信中やスレーブモードでのデータ送信中に、アービトレーションロストが検出されたことも示します。

［1 になる条件］

【マスタアービトレーションロスト検出有効時（ICFER.MALE = 1）】

- マスタ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDAn ライン上の信号の状態が一致しなかったとき
- ICCR2.ST ビットが 1（スタートコンディション要求）の状態でスタートコンディションが検出されたとき、または、出力した SDA 信号と SDAn ライン上の信号の状態が一致しなかったとき
- ICCR2.BBSY フラグが 1 の状態で、ICCR2.ST ビットが 1（スタートコンディション要求）のとき

【NACK アービトレーションロスト検出有効時（ICFER.NALE = 1）】

- 受信モードでの NACK 送信中に、ACK 期間において、内部の SDA 出力状態が SCL クロックの立ち上がりで SDAn ラインレベルと一致しなかったとき

【スレーブアービトレーションロスト検出有効時（ICFER.SALE = 1）】

- スレーブ送信モードでのデータ送信中に、ACK 期間を除き、内部の SDA 出力状態が SCL クロックの立ち上がりで SDAn ラインレベルと一致しなかったとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書き、IIC リセットまたは内部リセットしたとき

表 36.4　アービトレーションロスト発生要因と各アービトレーションロスト有効機能との関係

ICFER			ICSR2		
MALE	NALE	SALE	AL	エラー内容	アービトレーションロスト発生要因
1	x	x	1	スタートコンディション発行エラー	ICCR2.STが1の状態でスタートコンディション検出時に出力したSDA信号とSDAnライン上の信号の状態が一致しなかったとき
					ICCR2.BBSYが1のときに、ICCR2.STを1にしたとき
			1	送信データ不一致	マスタ送信モードで、送信データ（スレーブアドレス含む）とバス状態が一致しなかったとき
x	1	x	1	NACK送信不一致	マスタまたはスレーブ受信モードで、NACK送信時にACKを検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで、送信データとバス状態が一致しなかったとき

x：Don’t care

START フラグ（スタートコンディション検出フラグ）

START フラグは、スタートコンディションが検出されたかどうかを示します。

［1 になる条件］

- スタート（またはリスタート）コンディションが検出されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

STOP フラグ（ストップコンディション検出フラグ）

STOP フラグは、ストップコンディションが検出されたかどうかを示します。

［1 になる条件］

- ストップコンディションが検出されたとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

NACKF フラグ（NACK 検出フラグ）

NACKF フラグは、NACK が検出されたかどうかを示します。

［1 になる条件］

- ICFER.NACKE ビットが 1（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジを受信しなかった（NACK を受信した）とき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注 . NACKF フラグが 1 になると、IIC はデータ送受信動作を中断します。NACKF フラグが 1 の状態で送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、データ送受信動作は許可されません。データ送受信動作を再開するには、NACKF フラグを 0 にしてください。

RDRF フラグ（受信データフルフラグ）

RDRF フラグは、IDCRR レジスタに受信データが含まれているかどうかを示します。

［1 になる条件］

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき
  RDRF フラグは、SCL クロックの 8 クロック目または 9 クロック目（ICMR3.RDRFS ビットで選択）の立ち上がりで 1 になります。
- スタート（またはリスタート）コンディション検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが 0 のとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ICDRR レジスタからデータを読んだとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TEND フラグ（送信終了フラグ）

TEND フラグは、データ送信がまだ送信中であるか、完了したかを示します。

［1 になる条件］

- TDRE フラグが 1 の状態での SCL クロックの 9 クロック目の立ち上がり時

［0 になる条件］

- 1 を読んだ後、0 を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションが検出されたとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

TDRE フラグ（送信データエンプティフラグ）

TDRE フラグは、ICDRT レジスタに送信データが含まれているかどうかを示します。

［1 になる条件］

- ICDRT レジスタから ICDRS レジスタへデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが 1 になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが 1 のとき

［0 になる条件］

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが 0 になったとき
- ICCR1.IICRST ビットに 1 を書いて、IIC リセットまたは内部リセットを行ったとき

注 . ICFER.NACKE ビットが 1 の状態で NACKF フラグが 1 になると IIC はデータ送受信を中断します。このとき、TDRE フラグが 0（次の送信データがすでに書き込まれている状態）の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われて ICDRT レジスタは空になりますが、TDRE フラグは 1 になりません。

36.2.11 I²C バスウェイクアップユニットレジスタ（ICWUR）

アドレス IIC0.ICWUR 4005 3016h

	b7	b6	b5	b4	b3	b2	b1	b0
	WUE	WUIE	WUF	WUACK	—	—	—	WUAFA
リセット後の値	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	WUAFA	ウェイクアップアナログフィルタ追加選択	0：ウェイクアップアナログフィルタを追加しない 1：ウェイクアップアナログフィルタを追加する	R/W
b3-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	WUACK	ウェイクアップモード用ACK	ICCR1.IICRSTビットとWUACKビットの組み合わせで、4つの応答モードから選択します。表 36.5を参照してください。	R/W
b5	WUF	ウェイクアップイベント発生フラグ	0：ウェイクアップ時にスレーブアドレス不一致 1：ウェイクアップ時にスレーブアドレス一致	R/W
b6	WUIE	ウェイクアップ割り込み要求許可	0：ウェイクアップ割り込み要求（IIC0_WUI）を禁止 1：ウェイクアップ割り込み要求（IIC0_WUI）を許可	R/W
b7	WUE	ウェイクアップ機能有効	0：ウェイクアップ機能は無効 1：ウェイクアップ機能は有効	R/W

表 36.5 ウェイクアップモード

IICRST	WUACK	動作モード	機能
0	0	ノーマルウェイクアップモード1	SCLクロックの9クロック目でACK応答を行い、9クロック目の後でSCLのLowホールドを行う。
0	1	ノーマルウェイクアップモード2	即時ACK応答せず、SCLクロックの8クロック目と9クロック目の間でSCLのLowホールドを行う。SCLクロックの9クロック目でSCLのLowホールドを解除し、ACK応答を行う。
1	0	コマンドリカバリモード	SCLクロックの9クロック目でACK応答を行い、SCLのLowホールドは行わない。
1	1	EEP応答モード	SCLクロックの9クロック目でNACK応答を行い、SCLのLowホールドは行わない。

WUF フラグ（ウェイクアップイベント発生フラグ）

WUF フラグは、ウェークアップ時にスレーブアドレスが一致しているかどうかを示します。

[1 になる条件]

- ウェイクアップモード時､最初の SCL クロックの 8 クロック目で SCL が Low となり､スレーブアドレスが一致した後、PCLKB が供給されたとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき
- ICE ビットが 0 で IICRST ビットが 1 のとき

36.2.12 Reserved（ICWUR2）

アドレス IIC0.ICWUR2 4005 3017h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	WUSYF	WUASYF	WUSEN
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	WUSEN	予約ビット	読むと1が読めます。 書き込みは無効になります。	R/W
b1	WUASYF	予約ビット	読むと1が読めます。	R
b2	WUSYF	予約ビット	読むと1が読めます。	R
b7-b3	—	予約ビット	読むと1が読めます。	R

36.2.13 スレーブアドレスレジスタ Ly（SARLy）（y = 0 ～ 2）

アドレス IIC0.SARL0 4005 300Ah, IIC1.SARL0 4005 310Ah, IIC2.SARL0 4005 320Ah,
IIC0.SARL1 4005 300Ch, IIC1.SARL1 4005 310Ch, IIC2.SARL1 4005 320Ch,
IIC0.SARL2 4005 300Eh, IIC1.SARL2 4005 310Eh, IIC2.SARL2 4005 320Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	SVA[6:0]							SVA0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレス設定	R/W
b7-b1	SVA[6:0]	7ビットアドレス／10ビットアドレス下位ビット	スレーブアドレス設定	R/W

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（SARUy.FS ビット = 1）、SVA0 ビットは 10 ビットアドレスの最下位ビットとして機能します。また、SVA[6:0] ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

このビットは、ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、このビットの設定値は無視されます。

SVA[6:0] ビット（7 ビットアドレス／ 10 ビットアドレス下位ビット）

7 ビットアドレスフォーマット選択時（SARUy.FS ビット = 0）、SVA[6:0] ビットは 7 ビットアドレスとして機能します。10 ビットアドレスフォーマット選択時（SARUy.FS ビット = 1）、これらのビットは、SVA0 ビットと組み合わせて 10 ビットアドレスの下位 8 ビットを形成します。

ICSER.SARyE ビットが 0 のとき設定値は無視されます。

36.2.14 スレーブアドレスレジスタ Uy（SARUy）（y = 0 ～ 2）

アドレス IIC0.SARU0 4005 300Bh, IIC1.SARU0 4005 310Bh, IIC2.SARU0 4005 320Bh,
IIC0.SARU1 4005 300Dh, IIC1.SARU1 4005 310Dh, IIC2.SARU1 4005 320Dh,
IIC0.SARU2 4005 300Fh, IIC1.SARU2 4005 310Fh, IIC2.SARU2 4005 320Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SVA[1:0]		FS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット／10ビットアドレスフォーマット選択	0：7ビットアドレスフォーマット選択 1：10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレス設定	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

FS ビット（7 ビット／10 ビットアドレスフォーマット選択）

FS ビットは、SARLy および SARUy レジスタのスレーブアドレス y を 7 ビットフォーマットにするか、10 ビットフォーマットにするかを選択します。

ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 0 の場合、スレーブアドレス y には 7 ビットアドレスフォーマットが選択されて、SARLy.SVA[6:0] ビットの設定値が有効になり、SVA[1:0] ビットと SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合、スレーブアドレス y には 10 ビットアドレスフォーマットが選択されて、SVA[1:0] ビットおよび SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが 0（SARLy および SARUy レジスタ無効）の場合、SARUy.FS ビットの設定値は無効です。

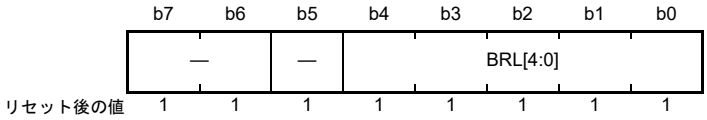
SVA[1:0] ビット（10 ビットアドレス上位ビット）

10 ビットアドレスフォーマット選択時（FS ビット = 1）、SVA[1:0] ビットは 10 ビットアドレスの上位 2 ビットとして機能します。

これらのビットは、ICSER.SARyE ビットが 1（SARLy および SARUy レジスタ有効）で、かつ SARUy.FS ビットが 1 の場合に有効です。SARUy.FS ビットまたは SARyE ビットが 0 の場合、これらのビットの設定値は無視されます。

36.2.15 I²C バスビットレート Low レジスタ（ICBRL）

アドレス IIC0.ICBRL 4005 3010h, IIC1.ICBRL 4005 3110h, IIC2.ICBRL 4005 3210h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定	SCLクロックのLow幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRL レジスタは、SCL クロックの Low 幅を設定する 5 ビットのレジスタです。ICBRL レジスタは、SCL 自動 Low ホールド機能（36.9 SCL の自動 Low ホールド機能を参照）のデータセットアップ時間の生成にも使用されます。IIC をスレーブモードのみで使用する場合、ICBRL レジスタはデータセットアップ時間を超える値に設定する必要があります。(注 1) ICBRL レジスタは、ICMR1.CKS[2:0] ビットで指定した内部基準クロックソース（IICφ）で Low 幅をカウントします。デジタルノイズフィルタ回路の使用を許可（ICFER.NFE ビット = 1）した場合、ICBRL レジスタにはノイズフィルタの段数 + 1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

注 1. データセットアップ時間（tSU：DAT）
250ns（～ 100kbps）：スタンダードモード（Sm）
100ns（～ 400kbps）：ファストモード（Fm）
50ns（～ 1Mbps）：ファストモードプラス（Fm+）

36.2.16 I²C バスビットレート High レジスタ（ICBRH）

アドレス IIC0. ICBRH 4005 3011h, IIC1.ICBRH 4005 3111h, IIC2. ICBRH 4005 3211h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	BRH[4:0]				
リセット後の値	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定	SCLクロックのHigh幅	R/W
b7-b5	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

ICBRH レジスタは、SCL クロックの High 幅を設定する 5 ビットのレジスタです。ICBRH レジスタはマスタモードで有効になります。IIC をスレーブモードのみで使用する場合、このレジスタの設定は不要です。ICBRH レジスタは、ICMR1.CKS[2:0] ビットで選択された内部基準クロックソース（IICφ）で High 幅をカウントします。デジタルノイズフィルタ回路を許可（ICFER.NFE ビット = 1）した場合、ICBRH レジスタにはノイズフィルタの段数 + 1 以上の値を設定してください。この段数については、ICMR3.NF[1:0] ビットの説明を参照してください。

IIC 転送速度と SCL クロックのデューティ比は、下記の式 1. ～ 5. で計算されます。

1. ICFER.SCLE = 0 の場合
   転送速度 = 1/{[(BRH + 1) + (BRL + 1)]/IICφ（注 1）+ tr（注 2）+ tf（注 2）}
   デューティ比 = {tr + [(BRH + 1)/IICφ]}/{tr + tf + [(BRH + 1) + (BRL + 1)]/IICφ}
2. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] = 000b（IICφ = PCLKB）の場合
   転送速度 = 1/{[(BRH + 3) + (BRL + 3)]/IICφ + tr + tf}
   デューティ比 = {tr + [(BRH + 3)/IICφ]}/{tr + tf + [(BRH + 3) + (BRL + 3)]/IICφ}
3. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] = 000b（IICφ = PCLKB）の場合
   転送速度 = 1/{[BRH + 3 + nf（注 3）) + (BRL + 3 + nf)]/IICφ + tr + tf}
   デューティ比 = {tr + [(BRH + 3 + nf)/IICφ]}/{tr + tf + [(BRH + 3 + nf) + (BRL + 3 + nf)]/IICφ}
4. ICFER.SCLE = 1、ICFER.NFE = 0、CKS[2:0] ≠ 000b の場合
   転送速度 = 1/{[(BRH + 2) + (BRL + 2)]/IICφ + tr + tf}
   デューティ比 = {tr + [(BRH + 2)/IICφ]}/{tr + tf + [(BRH + 2) + (BRL + 2)]/IICφ}
5. ICFER.SCLE = 1、ICFER.NFE = 1、CKS[2:0] ≠ 000b の場合
   転送速度 = 1/{[BRH + 2 + nf) + (BRL + 2 + nf)]/IICφ + tr + tf}
   デューティ比 = {tr + [(BRH + 2 + nf)/IICφ]}/{tr + tf + [(BRH + 2 + nf) + (BRL + 2 + nf)]/IICφ}

注 1. IICφ = PCLKB × 分周比

注 2. SCLn ライン立ち上がり時間（tr）および SCLn ライン立ち下がり時間（tf）は、バスライン総容量（Cb）とプルアップ抵抗（Rp）に依存します。詳細については、NXP 社の I²C バス規格書を参照してください。

注 3. nf = ICMR3.NF ビットで選択したデジタルノイズフィルタの段数

表 36.6 SCLE = 0 の場合の転送速度に対する ICBRH、ICBRL レジスタの設定例

転送速度（kbps）	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB（MHz）	NF[1:0]	計算式
100	100b	14 (EEh)	17 (F1h)	60	—	(1)
400	001b	8 (E8h)	19 (F3h)	60	—	(1)
1000	000b	15 (EFh)	29 (FDh)	60	—	(1)

表 36.7 SCLE = 1かつNFE = 0の場合の転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度（kbps）	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB（MHz）	NF[1:0]	計算式
100	100b	13 (EDh)	16 (F0h)	60	—	(4)
400	010b	7 (E7h)	18 (F2h)	60	—	(4)
1000	000b	13 (EDh)	27 (FBh)	60	—	(2)

表 36.8 SCLE = 1かつNFE = 1の場合の転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度（kbps）	CKS[2:0]	BRH[4:0]	BRL[4:0]	PCLKB（MHz）	NF[1:0]	計算式
100	100b	11 (EBh)	14 (EEh)	60	01b	(5)
400	010b	5 (E5h)	16 (F0h)	60	01b	(5)
1000	000b	11 (EBh)	25 (F9h)	60	01b	(3)

36.2.17 I2C バス送信データレジスタ（ICDRT）

アドレス IIC0.ICDRT 4005 3012h, IIC1.ICDRT 4005 3112h, IIC2.ICDRT 4005 3212h

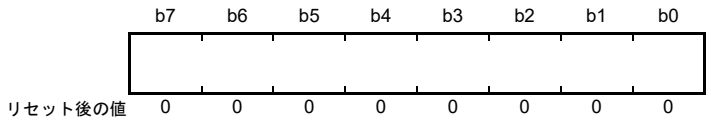


ICDRT レジスタは、IIC バスシフトレジスタ（ICDRS）の空きを検出すると、ICDRT レジスタに書き込まれた送信データを ICDRS レジスタへ転送し、送信モードでデータ送信を開始します。ICDRT レジスタと ICDRS レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ送信中に、次に送信するデータを ICDRT レジスタに書けば連続送信動作が可能です。

ICDRT レジスタは常に読み出し／書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（IICn_TXI）要求が発生したときに 1 回だけ行ってください。

36.2.18 I2C バス受信データレジスタ（ICDRR）

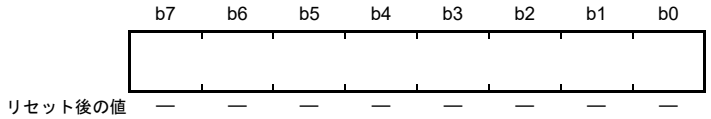
アドレス IIC0.ICDRR 4005 3013h, IIC1.ICDRR 4005 3113h, IIC2.ICDRR 4005 3213h



1 バイトのデータを受信すると、受信したデータは IIC バスシフトレジスタ（ICDRS）から ICDRR レジスタへ転送され、次のデータを受信可能にします。ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読めば連続受信動作が可能です。ICDRR レジスタに書き込むことはできません。ICDRR レジスタからの読み出しは、受信データフル割り込み（IICn_RXI）要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま（ICSR2.RDRF フラグが 1 の状態のまま）ICDRR レジスタが次の受信データを受け取ると、IIC は RDRF フラグが再び 1 になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

36.2.19 I2C バスシフトレジスタ（ICDRS）



ICDRS レジスタは、データを送受信するための 8 ビットのシフトレジスタです。送信時は、送信データが ICDRT レジスタから ICDRS レジスタへ転送されて、SDAn 端子からデータが送信されます。受信時は、1 バイトのデータ受信後に、データが ICDRS レジスタから ICDRR レジスタへ転送されます。ICDRS レジスタは、直接アクセスすることはできません。

36.3 動作説明

36.3.1 通信データフォーマット

I2C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションまたはリスタートコンディションに続くフレームは、マスタデバイスの通信先であるスレーブデバイスを指定するアドレスフレームです。指定されたスレーブは、新たにスレーブが指定されるか、またはストップコンディションが発行されるまで有効です。

図 36.3 に I2C バスフォーマットを、図 36.4 に I2C バスタイミングを示します。

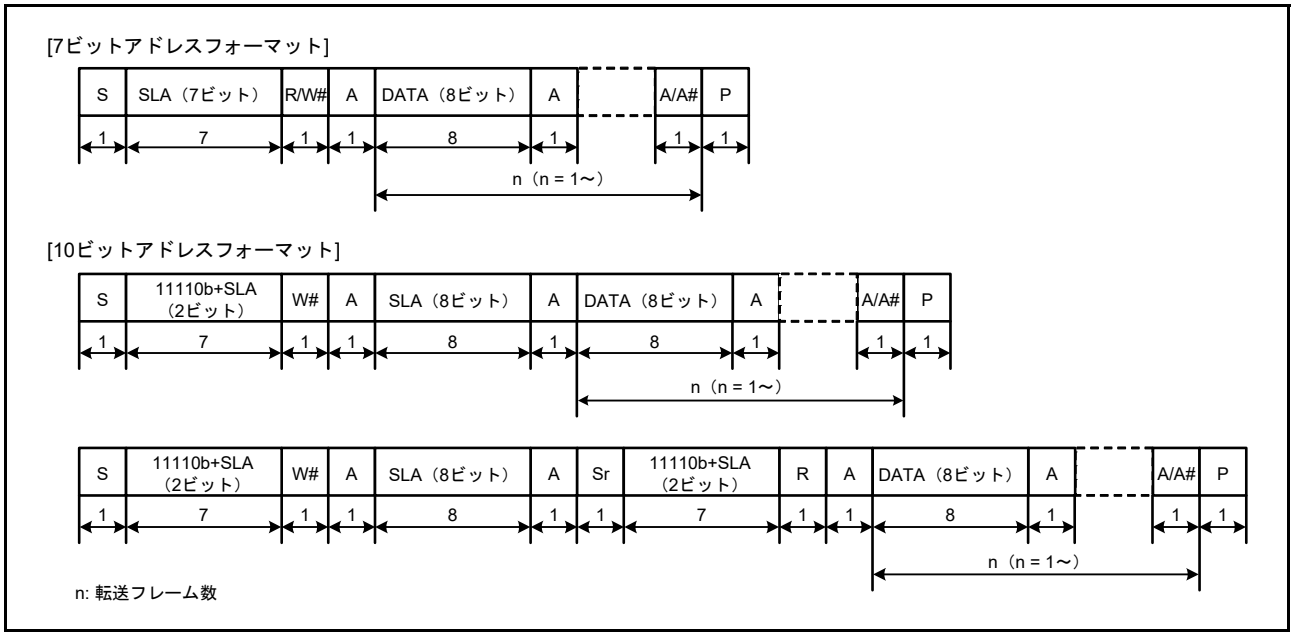


図 36.3 I2C バスフォーマット

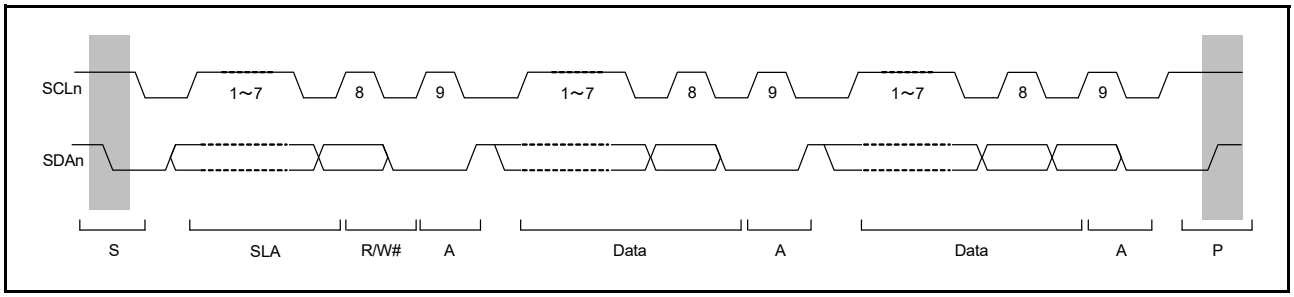


図 36.4 I2C バスタイミング（SLA 設定値 = 7 ビットの場合）

S： スタートコンディションを表します。SCLnラインがHighのとき、マスタデバイスがSDAnラインをHighからLowに変化させます。

SLA： スレーブアドレスを表します。これによって、マスタデバイスがスレーブデバイスを選択します。

R/W#： データ転送の方向を表します。R/W#が1のとき、スレーブデバイスからマスタデバイスの方向、R/W#が0のとき、マスタデバイスからスレーブデバイスの方向になります。

A： アクノリッジを表します。受信デバイスがSDAnラインをLowにします。マスタ送信モード時はスレーブデバイスがアクノリッジを返します。マスタ受信モード時はマスタデバイスがアクノリッジを返します。

A#： ノットアクノリッジを表します。受信デバイスがSDAnラインをHighにします。

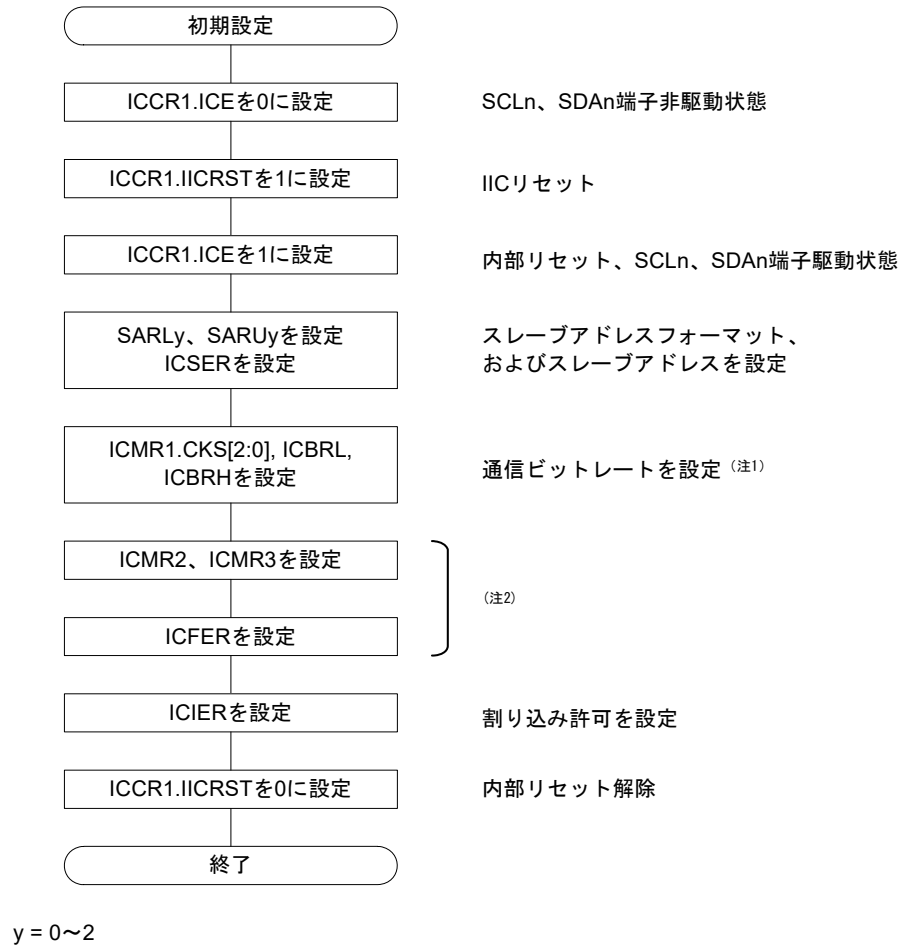
Sr： リスタートコンディションを表します。SCLnラインがHighのときに、セットアップ時間が経過した後、マスタデバイスがSDAnラインをHighからLowに変化させます。

DATA： 送信データまたは受信データを表します。

P： ストップコンディションを表します。SCLnラインがHighのときに、マスタデバイスがSDAnラインをLowからHighに変化させます。

36.3.2 初期設定

データの送受信を開始する前に、図 36.5 に示す手順に従って IIC を初期化してください。ICCR1.ICE ビットを 0（SCLn および SDAn 端子は非駆動状態）にしたまま、ICCR1.IICRST ビットを 1（IIC リセット）にした後、ICCR1.ICE ビットを 1（内部リセット）にします。この手順により、内部リセットでは ICSR1 レジスタの各フラグや内部状態が初期化されます。次に、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL の各レジスタ（y = 0 ～ 2）を設定し、その他のレジスタを必要に応じて設定します（IIC の初期設定については、図 36.5 参照してください）。必要なレジスタの設定が完了したら、ICCR1.IICRST ビットを 0（IIC リセット解除）にしてください。すでに IIC の初期化が完了している場合、この手順は不要です。



注 1. スレーブのみで動作させる場合、ICBRL レジスタにデータセットアップ時間以上の値を設定してください。
注 2. 必要に応じて設定してください。

図 36.5 IIC の初期化フローチャート例

36.3.3 マスタ送信動作

マスタ送信動作では、マスタデバイスである IIC が SCL クロックと送信データ信号を出力し、スレーブデバイスがアクノリッジを返します。図 36.6 にマスタ送信の例を、図 36.7 ～図 36.9 にマスタ送信の動作タイミングを示します。

マスタ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、36.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。同時に、BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、SDA 出力状態の内部レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。ICSR2.TDRE フラグは、TRS ビットが 1 になることにより自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信後、送信された R/W# ビットの値に応じて TRS ビットの値が自動的に更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。
データを 10 ビットフォーマットのアドレスで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b（スレーブアドレスの上位 2 ビット）と W を書きます。2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションが発行されるまで、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信データの全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るまで待ってから、ICCR2.SP ビットを 1（ストップコンディション要求）にしてください。IIC は、ストップコンディション要求を受け付けると、ストップコンディションを発行します。ストップコンディション発行については、36.11.3 ストップコンディション発行動作を参照してください。
6. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。さらに IIC は、TDRE フラグと TEND フラグを自動的に 0 にして、ICSR2.STOP フラグを 1 にします。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

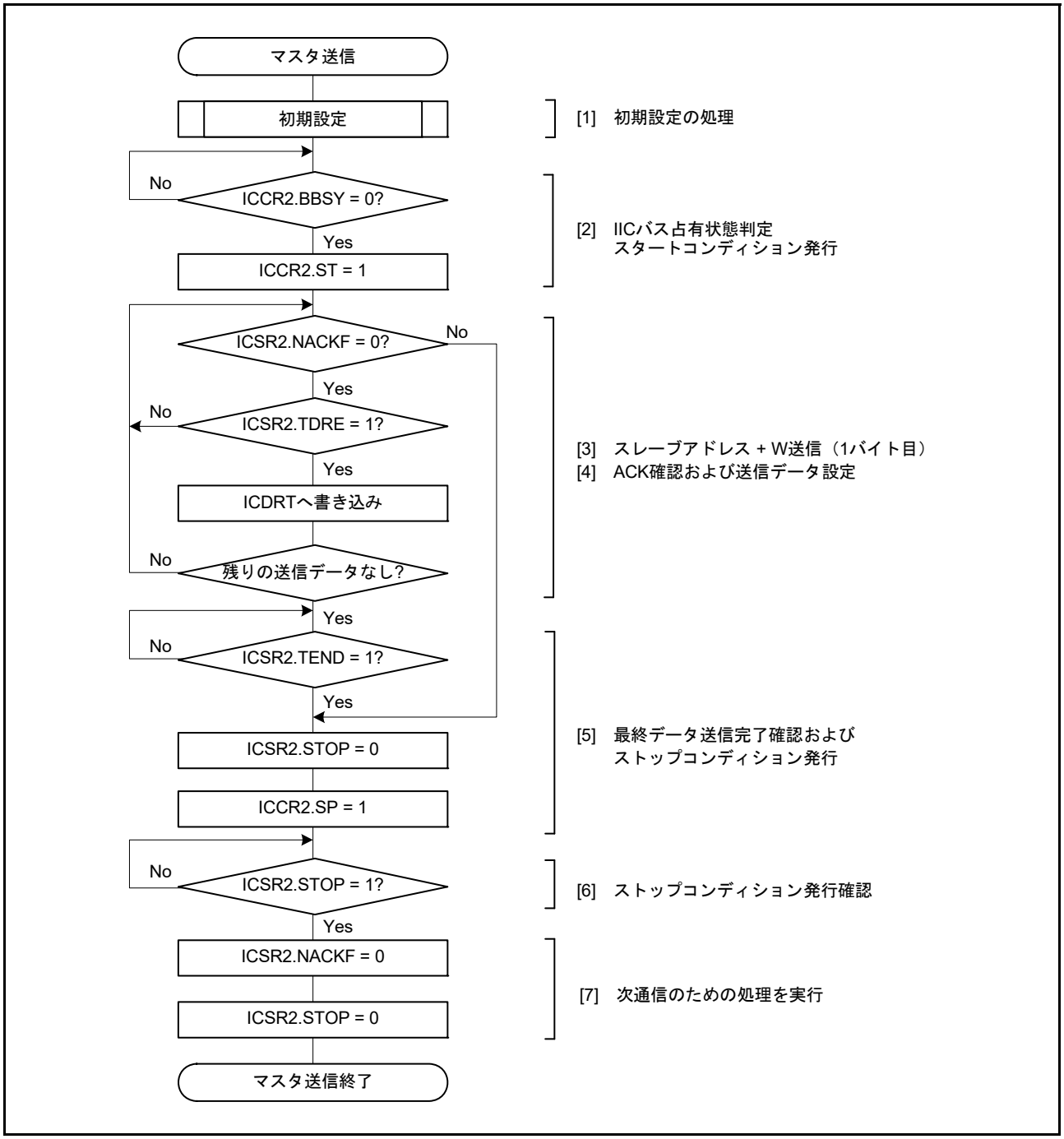


図 36.6 マスタ送信のフロー例

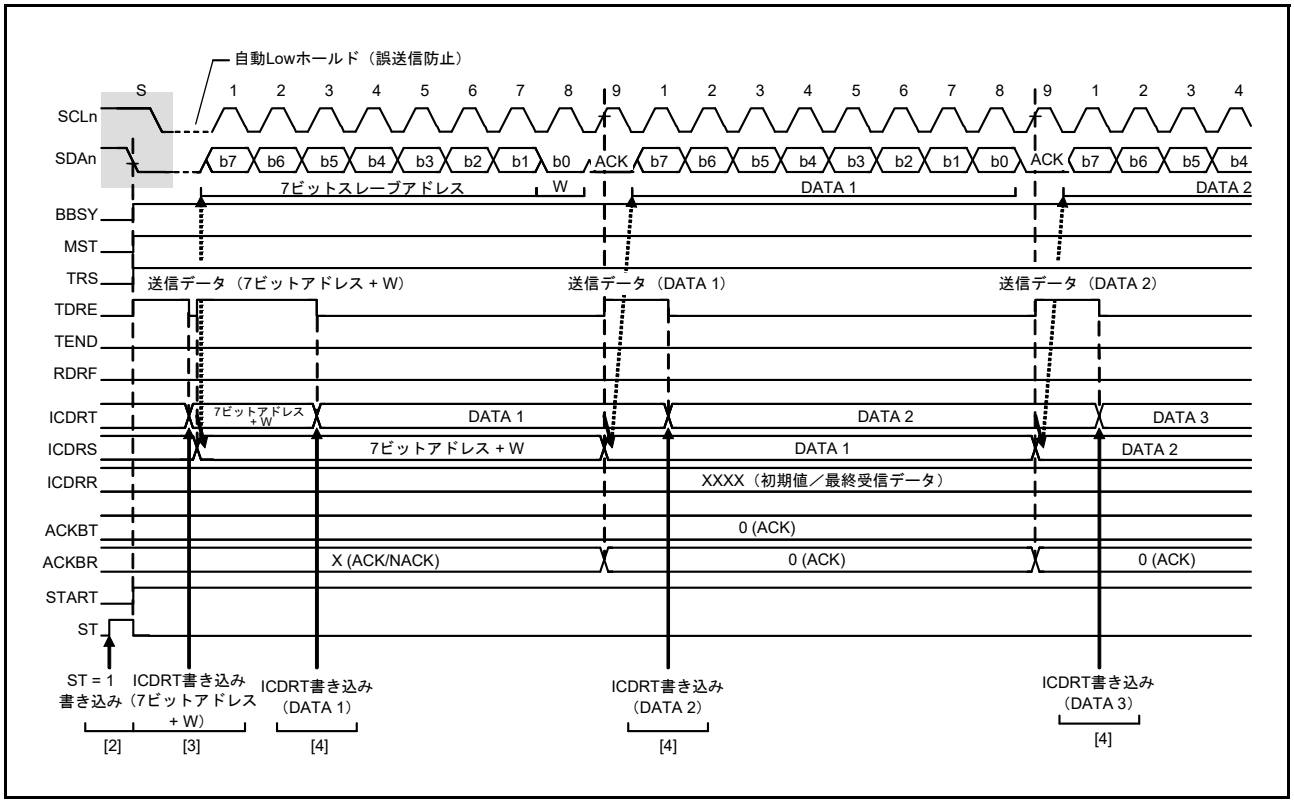


図 36.7　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマット）

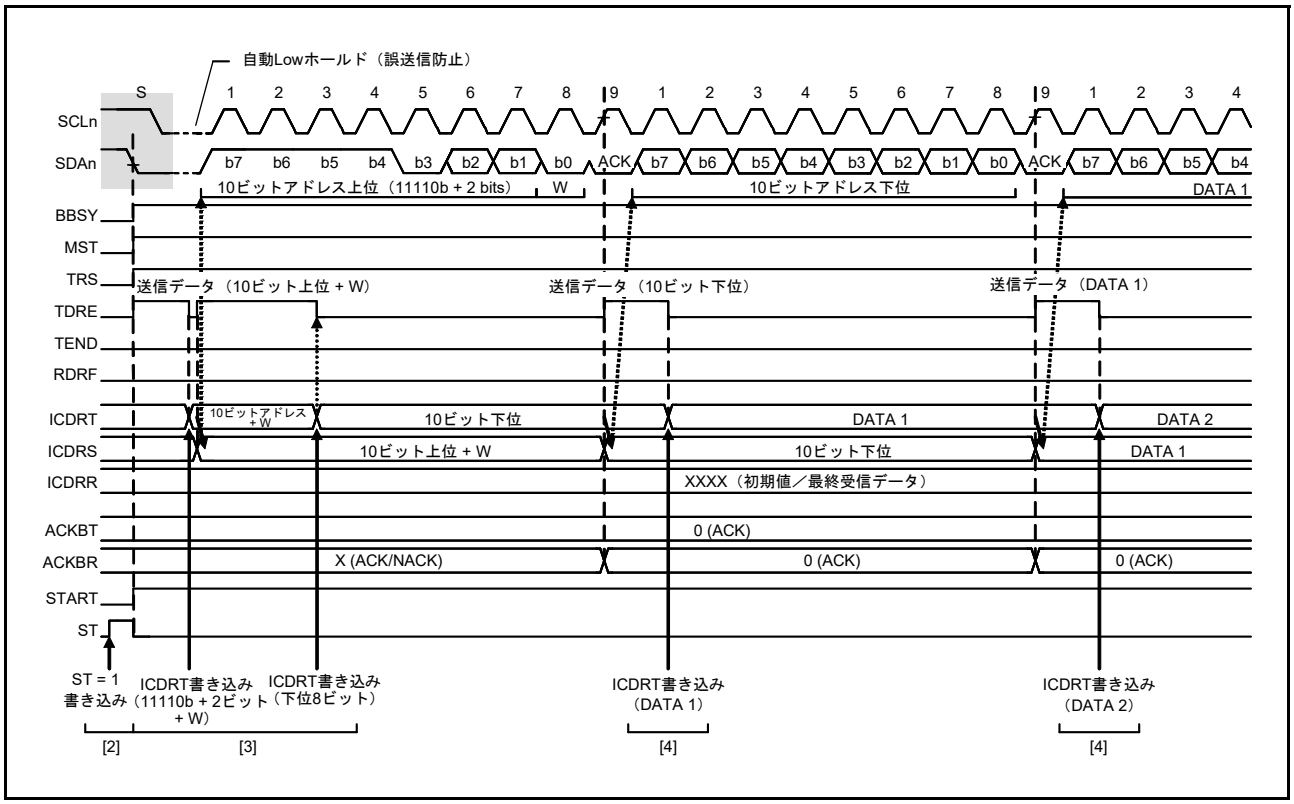


図 36.8　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマット）

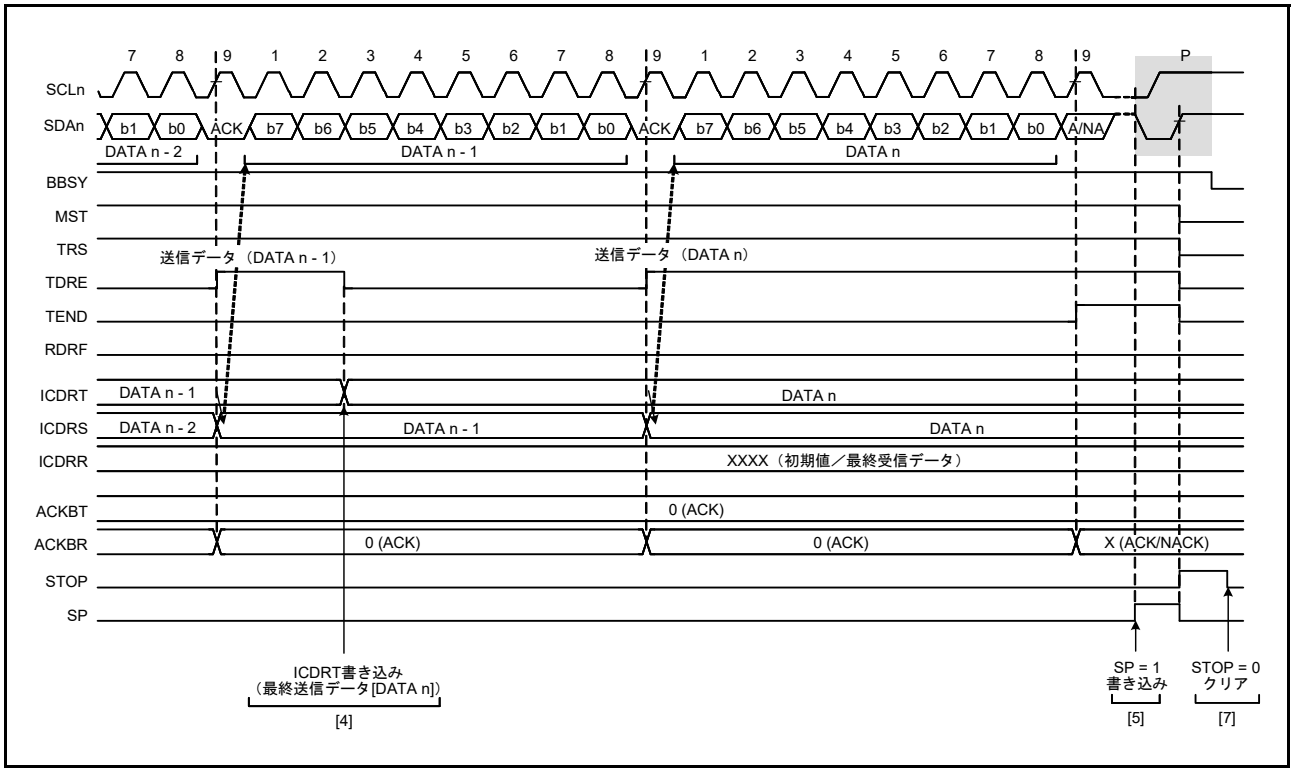


図 36.9　　マスタ送信の動作タイミング（3）

36.3.4 マスタ受信動作

マスタ受信動作では、マスタデバイスである IIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初に、対応するスレーブデバイスにスレーブアドレスを送信する必要があるため、手順のこの部分ではマスタ送信モードで実行し、その後の手順ではマスタ受信モードで実行します。

図 36.10 と図 36.11 にマスタ受信の例（7 ビットアドレスフォーマットの場合）を、図 36.12 ～図 36.14 にマスタ受信の動作タイミングを示します。

マスタ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、36.3.2 初期設定を参照してください。
2. ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション要求を受け付けると、スタートコンディションを発行します。IIC がスタートコンディションを検出すると、BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ SDA 出力のレベルと SDAn ラインのレベルが一致したとき、IIC は ST ビットで要求したスタートコンディション発行が正しく完了したと認識し、ICCR2.MST ビットと ICCR2.TRS ビットが自動的に 1 になって、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（1 バイト目はスレーブアドレスと R/W# ビットの値を示す）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトが送信されると、送信された R/W# ビットの値に応じて ICCR2.TRS ビットの値が自動的に更新され、送信モードまたは受信モードが選択されます。R/W# ビットの値が 1 の場合、SCL クロックの 9 クロック目の立ち上がりで TRS ビットが 0 になり、IIC はマスタ受信モードになります。このとき、TDRE フラグが 0 になり、ICSR2.RDRF フラグが自動的に 1 になります。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビットと R ビットを送信することで、IIC はマスタ受信モードになります。
4. ICSR2.RDRF フラグが 1 であることを確認した後、ICDRR レジスタをダミーリードします。これにより、IIC は SCL クロックの出力とデータ受信動作を開始します。
5. 1 バイトのデータの受信後、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目または 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが 1 になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に 0 になります。また、SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定した値が返信されます。次に受信するバイトが最後から 2 番目のバイトの場合、そのデータ（最後から 2 番目のバイト）を含む ICDRR レジスタを読む前に、ICMR3.WAIT ビットを 1（WAIT あり）にしてください。これにより、手順（6）の ICMR3.ACKBT ビットを 1（NACK）にする処理が割り込みなどの他の処理によって遅れた場合でも、NACK 出力が可能になるとともに、最終バイトの受信時に 9 クロック目の立ち上がりで SCLn ラインを Low に固定して、ストップコンディションの発行が可能になります。
6. ICMR3.RDRFS ビットが 0 で、かつスレーブデバイスに対して、次および最終バイトの転送でデータ受信が終了することを通知する必要がある場合は、ICMR3.ACKBT ビットを 1（NACK）にしてください。
7. 最後から 2 番目のバイトを ICDRR レジスタから読み出した後、ICSR2.RDRF フラグが 1 であれば、ICCR2.SP ビットを 1（ストップコンディション要求）にした後、ICDRR レジスタの最終バイトを読み出してください。ICDRR レジスタの読み出し時、IIC は WAIT 状態から解除され、9 クロック目の Low 出力終了後または SCLn ラインの Low ホールド解除後に、ストップコンディションを発行します。
8. IIC はストップコンディションを検出すると、ICCR2.MST ビットと ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。また、ストップコンディションの検出によって、ICSR2.STOP フラグが 1 になります。
9. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

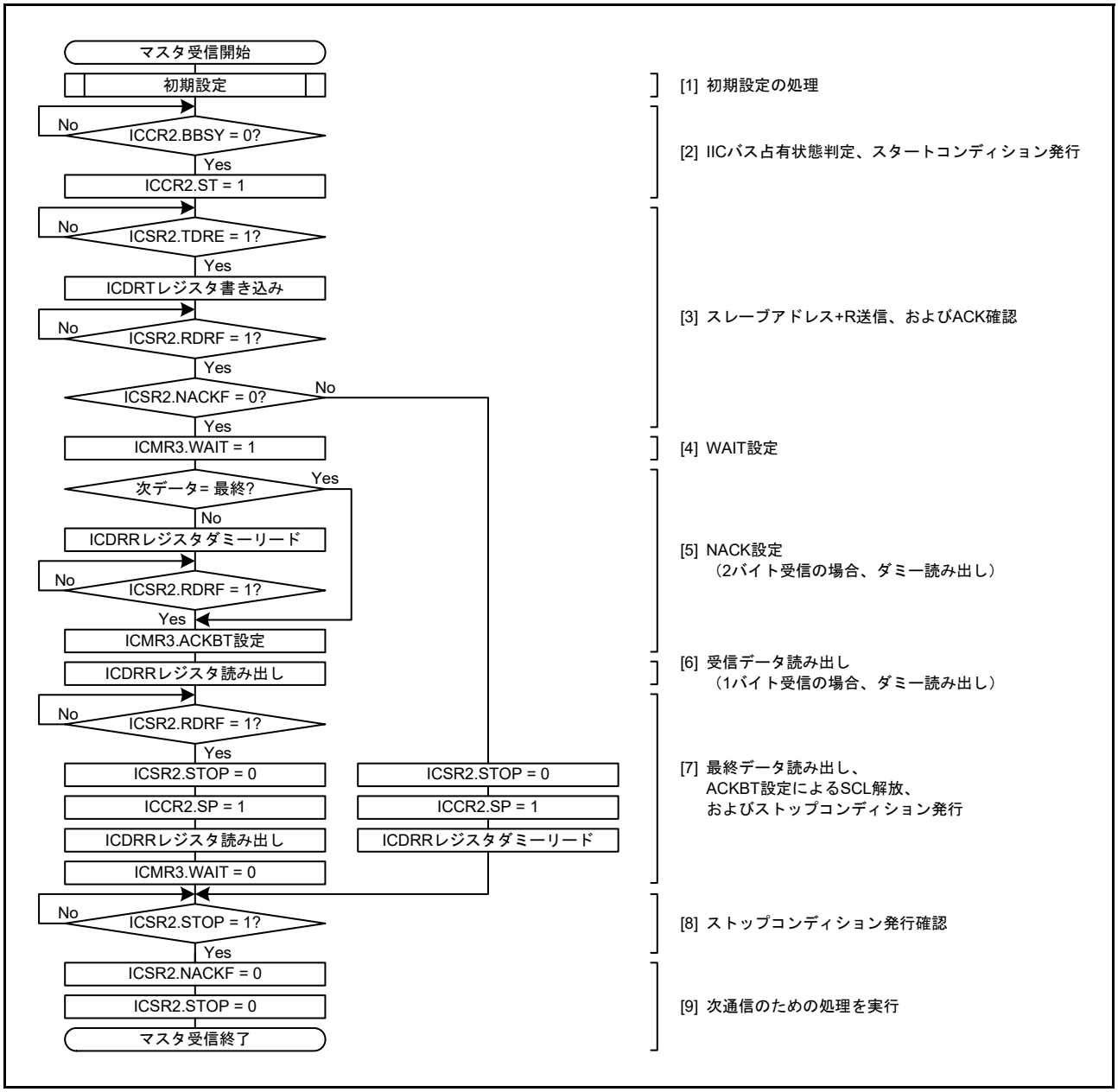


図 36.10　マスタ受信のフローチャート例（7 ビットアドレスフォーマットで 1 または 2 バイト受信の場合）

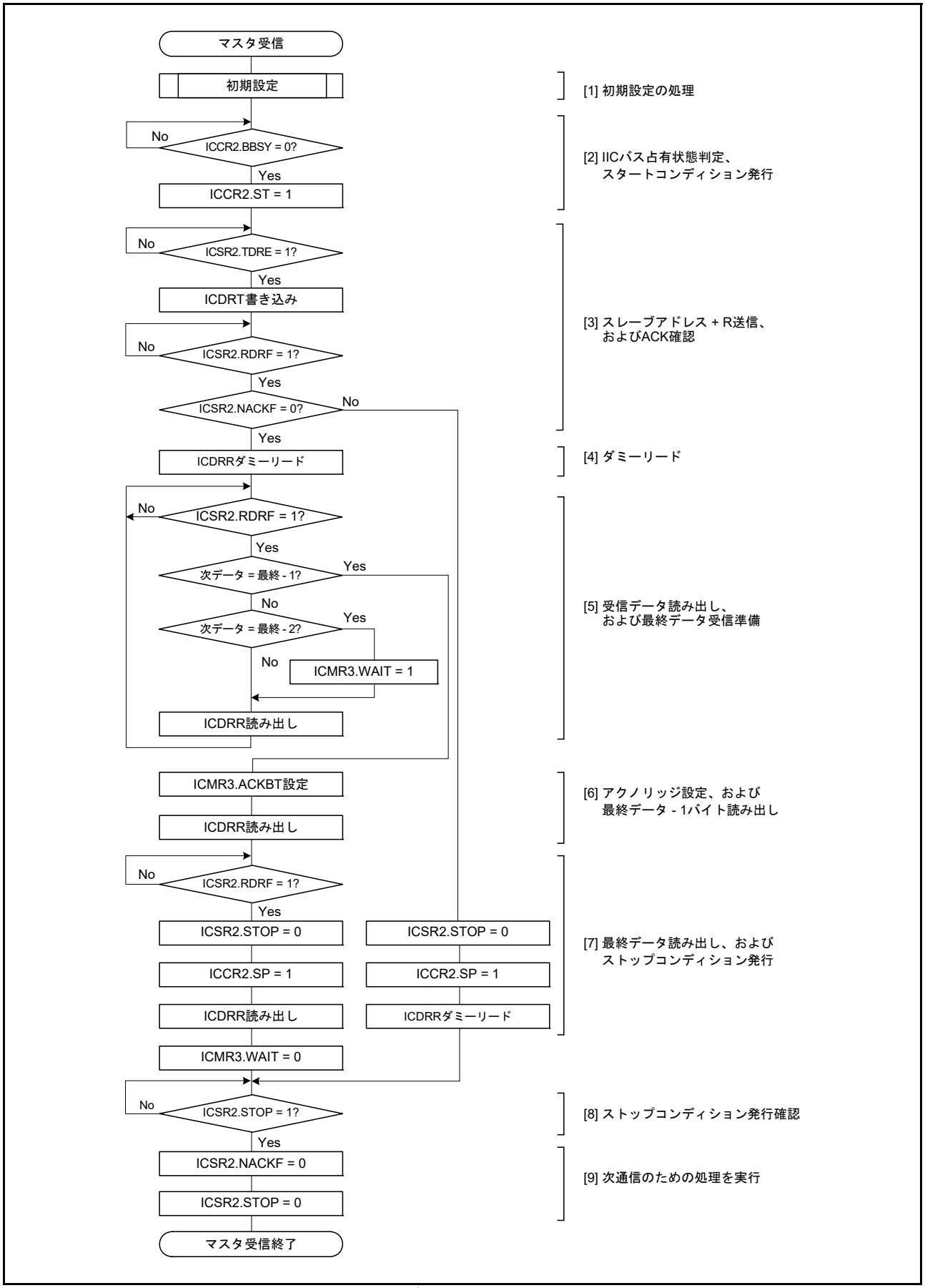


図 36.11 マスタ受信のフローチャート例（7 ビットアドレスフォーマットで 3 バイト以上受信の場合）

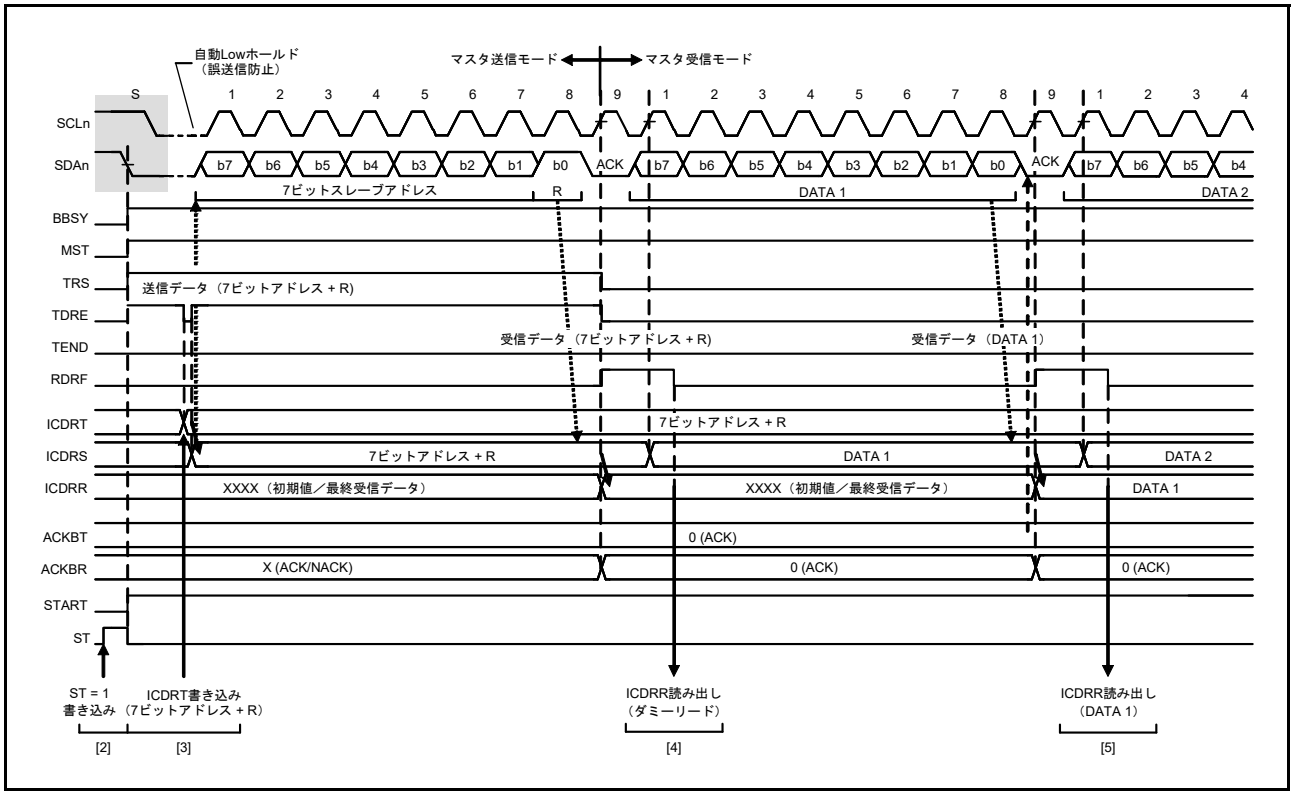


図 36.12　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマットで RDRFS = 0 の場合）

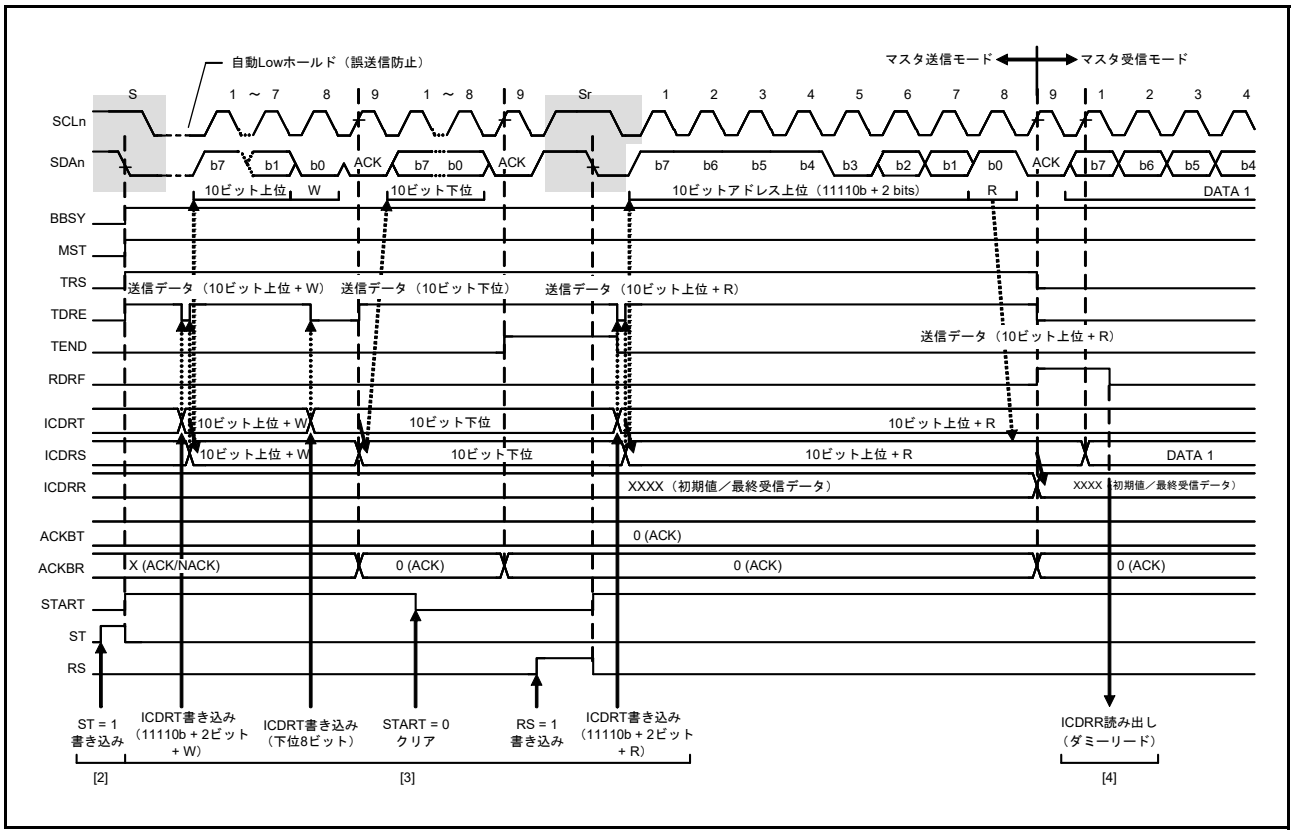


図 36.13　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマットで RDRFS = 0 の場合）

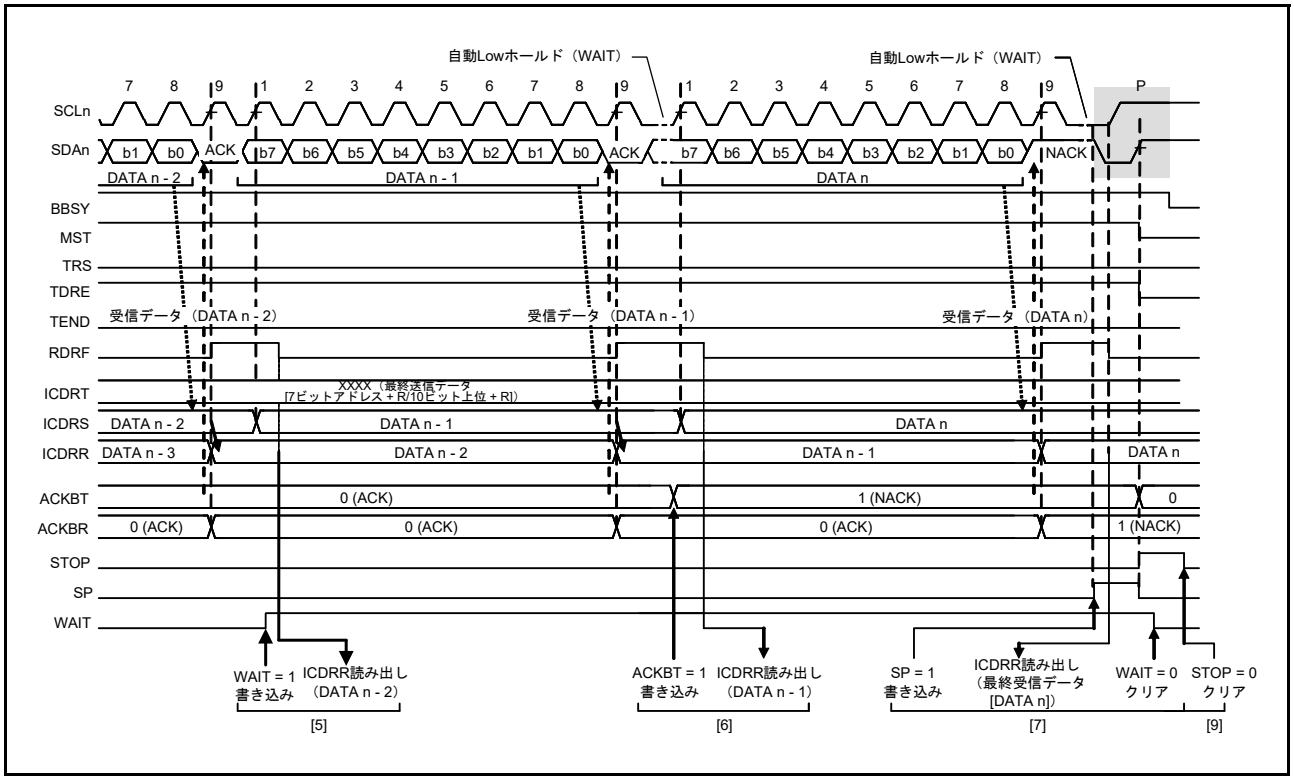


図 36.14　マスタ受信の動作タイミング（3）（RDRFS = 0 の場合）

36.3.5 スレーブ送信動作

スレーブ送信動作では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである IIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 36.15 にスレーブ送信の例を、図 36.16 ～図 36.17 にスレーブ送信の動作タイミングを示します。

スレーブ送信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、36.3.2 初期設定を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy フラグ（y = 0 ～ 2）のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W# ビットの値が 1 であれば、IIC は ICCR2.TRS ビットと ICSR2.TDRE フラグの両方を 1 にすることで、自動的にスレーブ送信モードに切り替わります。
3. ICSR2.TEND フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。このとき、ICFER.NACKE ビットが 1 の状態でマスタデバイスからアクノリッジを受信しなかった（NACK を受信した）場合、IIC は次の転送動作を中断します。
4. ICSR2.NACKF フラグが 1 になるか、または最終送信バイトを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが 1 の状態で、ICSR2.TEND フラグが 1 になるまで待ってください。ICSR2.NACKF フラグが 1 または TEND フラグが 1 の場合、IIC は SCL クロックの 9 クロック目の立ち下がりで SCLn ラインを Low にします。
5. ICSR2.NACKF フラグが 1 または ICSR2.TEND フラグが 1 の場合、終了処理のため ICDRR レジスタをダミーリードしてください。これによって SCLn ラインが開放されます。
6. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASy フラグ（y = 0 ～ 2）、ICSR2.TDRE、TEND フラグ、および ICCR2.TRS ビットを自動的に 0 にして、スレーブ受信モードへ遷移します。
7. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために、ICSR2.NACKF フラグと ICSR2.STOP フラグを 0 にしてください。

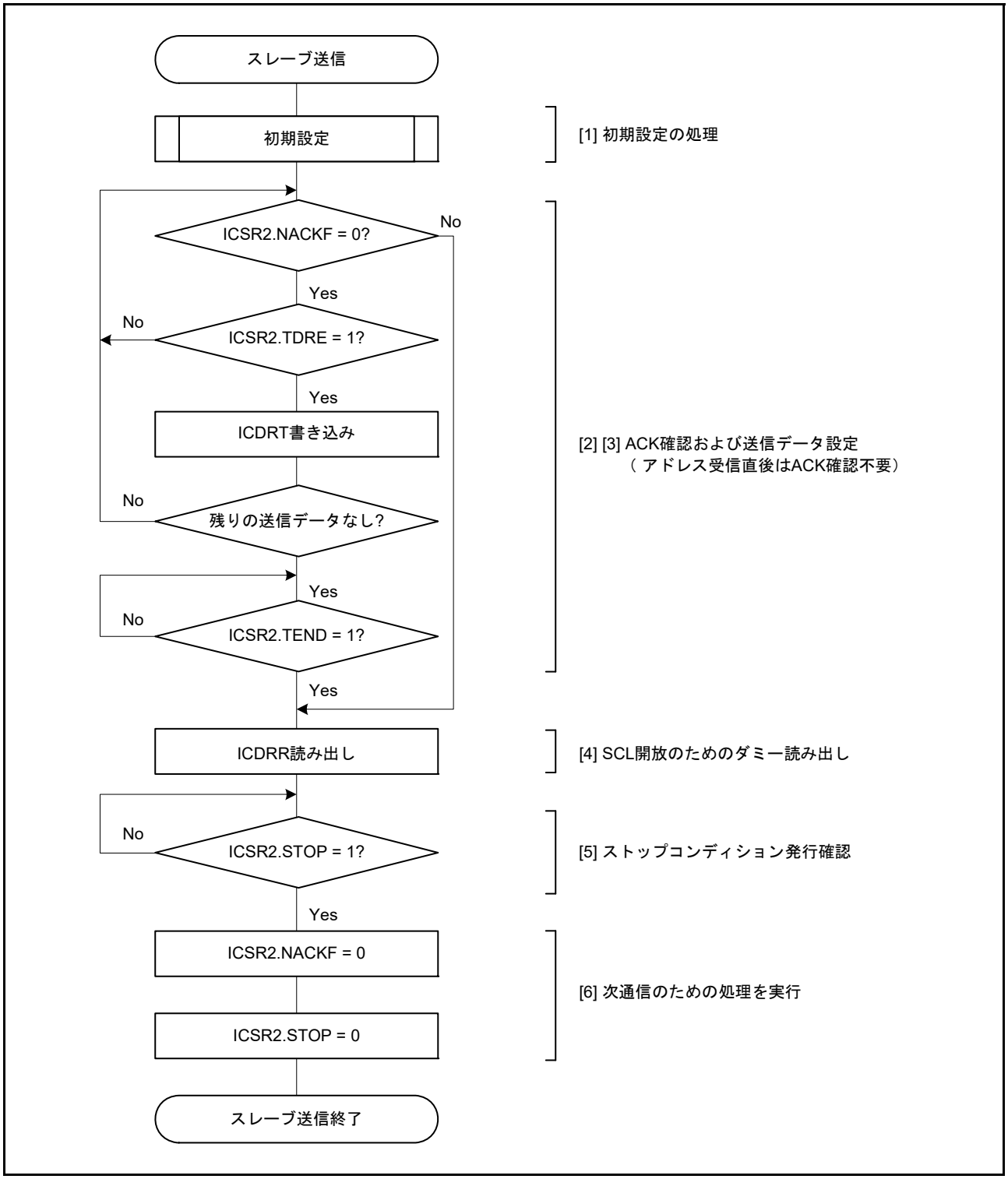


図 36.15　スレーブ送信のフロー例

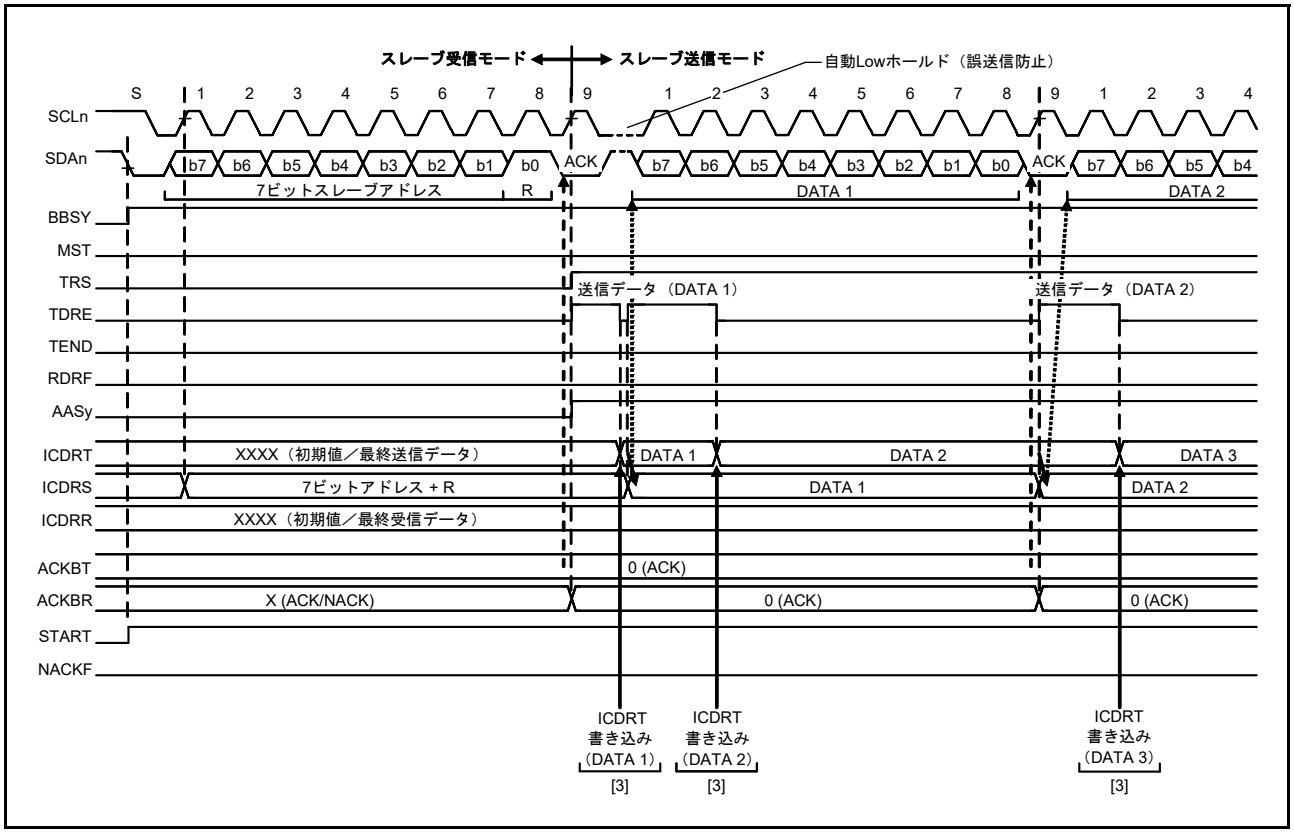


図 36.16　スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマット）

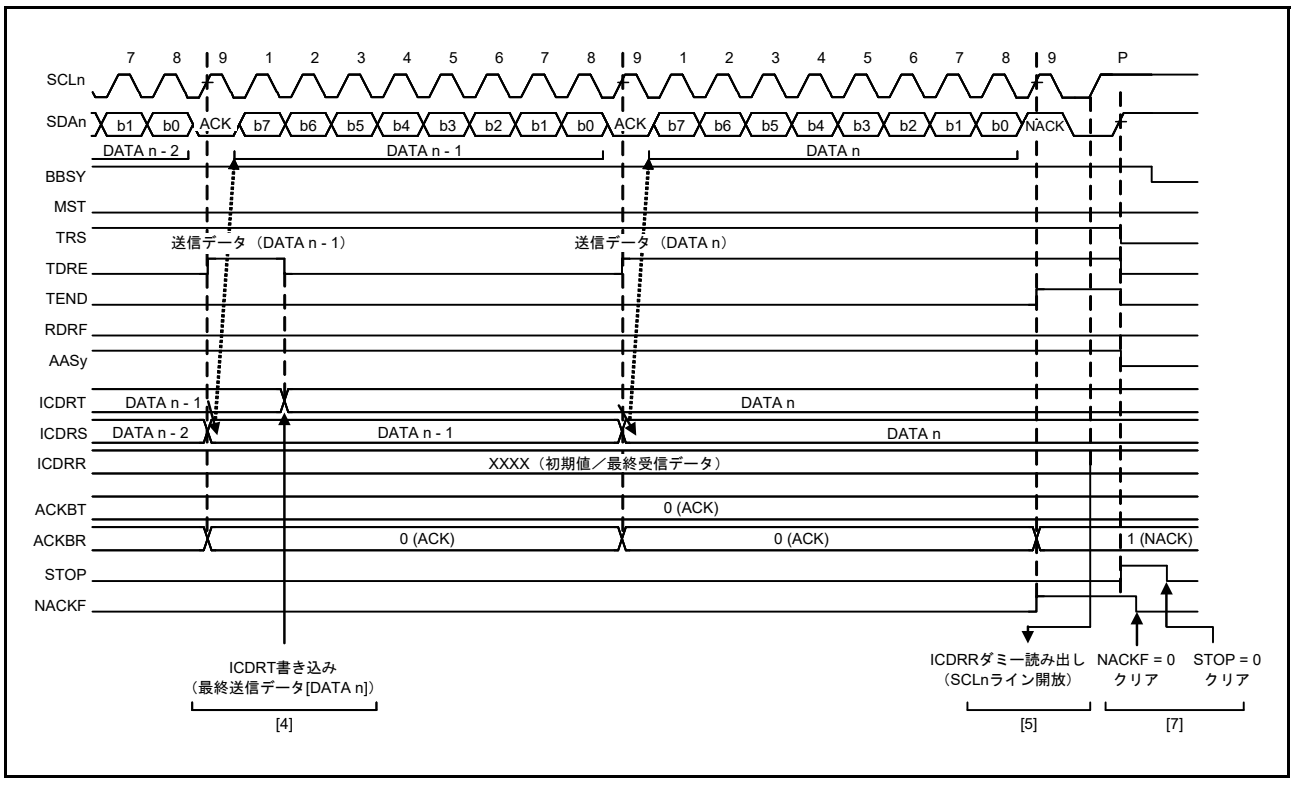


図 36.17　スレーブ送信の動作タイミング（2）

36.3.6 スレーブ受信動作

スレーブ受信動作では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである IIC がアクノリッジを返します。

図 36.18 にスレーブ受信の例を、図 36.19 ～図 36.20 にスレーブ受信の動作タイミングを示します。

スレーブ受信の設定および実行は以下の手順で行います。

1. 初期設定を行います。詳細は、36.3.2 初期設定を参照してください。
   初期設定完了後、IIC は受信したスレーブアドレスが一致するまで待機状態となります。
2. スレーブアドレスが一致した後、IIC は対応する ICSR1.HOA, GCA, AASy フラグ（y = 0 ～ 2）のいずれかを SCL クロックの 9 クロック目の立ち上がりで 1 にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットの設定値を出力します。このとき、同時に受信した R/W# ビットの値が 0 であれば、IIC はスレーブ受信モードを継続し、ICSR2.RDRF フラグを 1 にします。
3. ICSR2.STOP フラグが 0 であることと、ICSR2.RDRF フラグが 1 であることを確認し、ICDRR レジスタをダミーで読んでください。ダミーリードした値は、7 ビットアドレスフォーマット選択時はスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット選択時は下位 8 ビットアドレスです。
4. ICDRR レジスタが読み出されると、IIC は ICSR2.RDRF フラグを自動的に 0 にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが 1 になった状態で次のバイトを受信すると、IIC は RDRF フラグが設定されるポイントの 1 つ手前の SCL クロックまで SCLn ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され、IIC は SCLn ラインを開放します。ICSR2.STOP フラグが 1 で、かつ ICSR2.RDRF フラグが 1 の場合、全データの受信が完了するまで ICDRR レジスタを読み出してください。
5. IIC はストップコンディションを検出すると、ICSR1.HOA、GCA、AASy フラグ（y = 0 ～ 2）を自動的に 0 にします。
6. ICSR2.STOP フラグが 1 であることを確認した後、次の転送動作のために ICSR2.STOP フラグを 0 にしてください。

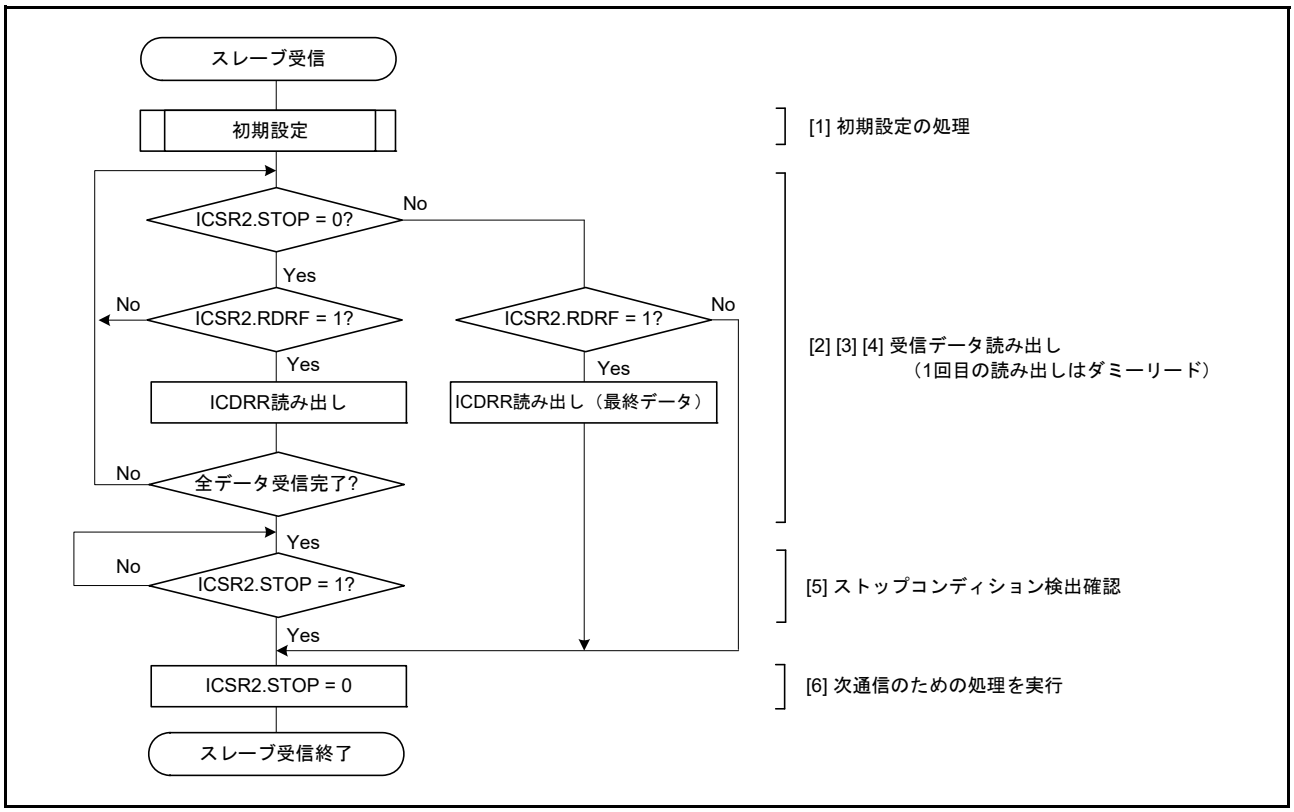


図 36.18 スレーブ受信のフロー例

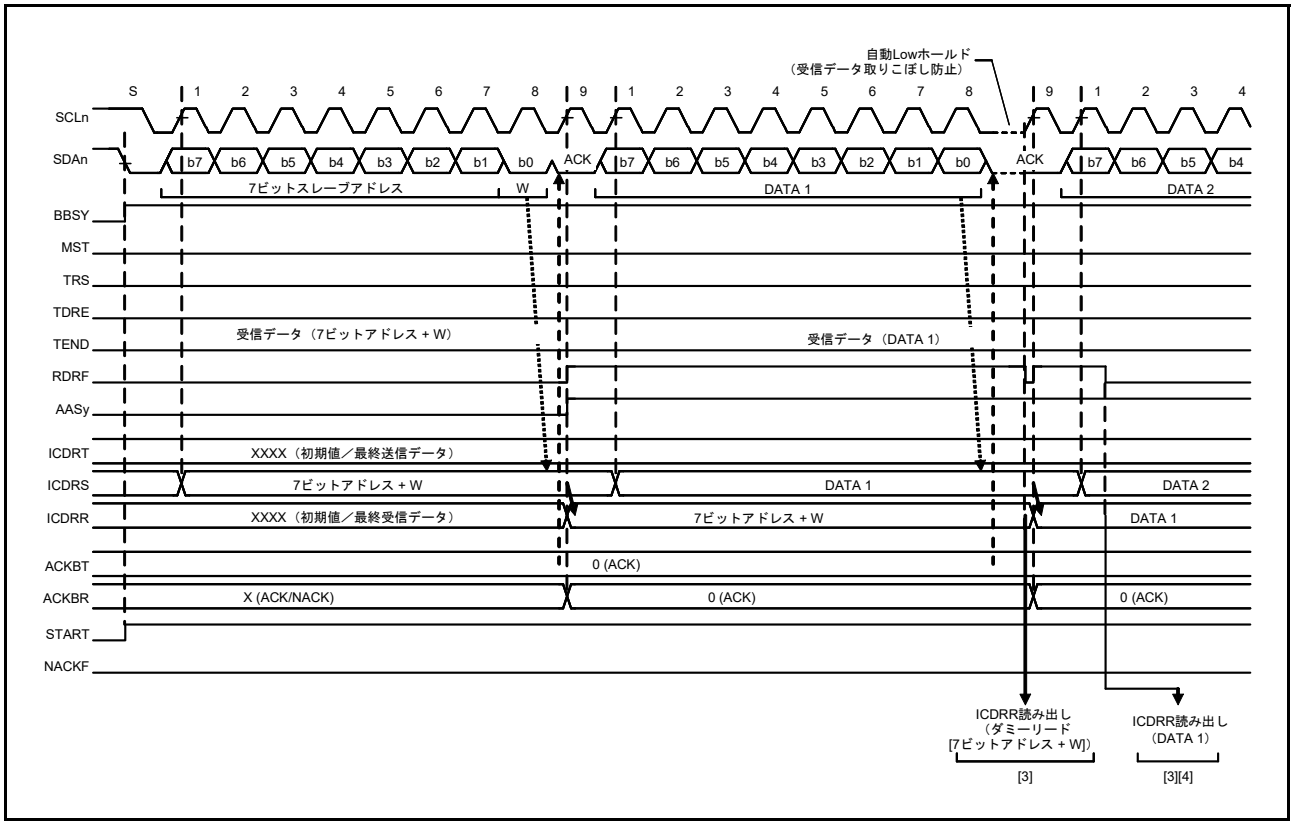


図 36.19　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマットで RDRFS = 0 の場合）

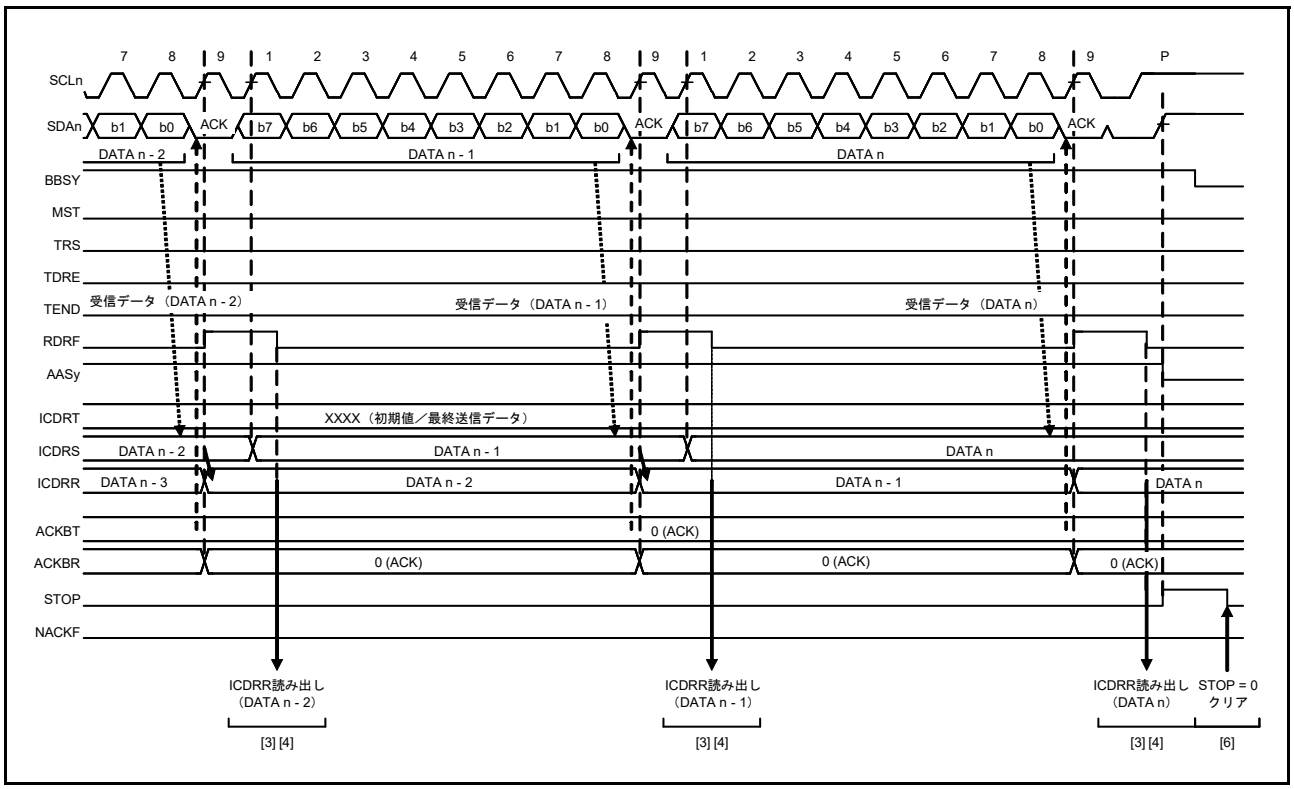


図 36.20　スレーブ受信の動作タイミング（2）（RDRFS = 0 の場合）

36.4 SCL 同期回路

SCL クロック生成では、IIC が SCLn ラインの立ち上がりを検出すると、ICBRH レジスタで設定した High 幅のカウントを開始し、カウントが終了すると SCLn ラインを Low にします。また、IIC が SCLn ラインの立ち下がりを検出すると、ICBRL レジスタで設定した Low 幅のカウントを開始し、カウントが終了すると SCLn ラインを開放します。IIC はこのプロセスを繰り返すことによって、SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、他のマスタデバイスとの競合により SCL 信号同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL 信号の同期化を行う必要があります。この SCL 信号の同期はビットごとに行う必要があるため、IIC はマスタモード時に SCLn ラインを監視することで、ビットごとに SCL クロック信号の同期を取る SCL 同期回路を備えています。

IIC が SCLn ラインの立ち上がりを検出して、ICBRH レジスタで設定した High 幅のカウントを開始したとき、他のマスタデバイスが生成している SCL 信号によって SCLn ラインが Low にされた場合、IIC は SCLn ラインの立ち下がりを検出すると、High 幅のカウント動作を中断し、SCLn ラインを Low にして ICBRL レジスタで設定した Low 幅のカウントを開始します。Low 幅のカウントが終了すると、IIC は SCLn ラインを開放します。このとき、他のマスタデバイスからの SCL クロック信号の Low 幅が、IIC 側で設定した Low 幅よりも長いと、SCL クロックの Low 幅が延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCLn ラインの開放によって SCL クロックが立ち上がります。IIC が SCL クロックの Low 幅の出力を終了すると、SCLn ラインが開放され、SCL クロックが立ち上がります。すなわち、マルチマスタによる SCL 信号衝突時の SCL 信号の High 幅は、High 幅の短いクロックに同期化され、SCL 信号の Low 幅は、Low 幅の長いクロックに同期化されます。この SCL 同期は、ICFER.SCLE ビットが 1 のときのみ有効です。

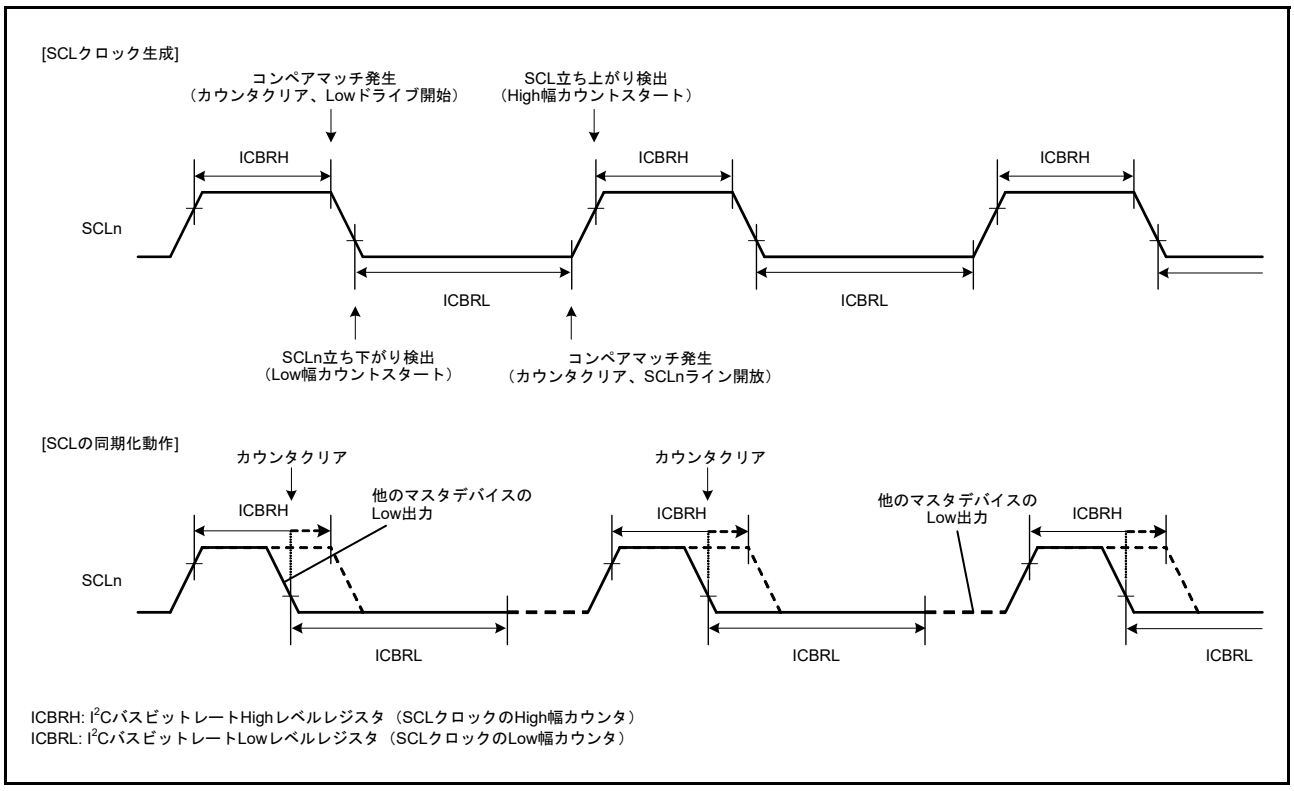


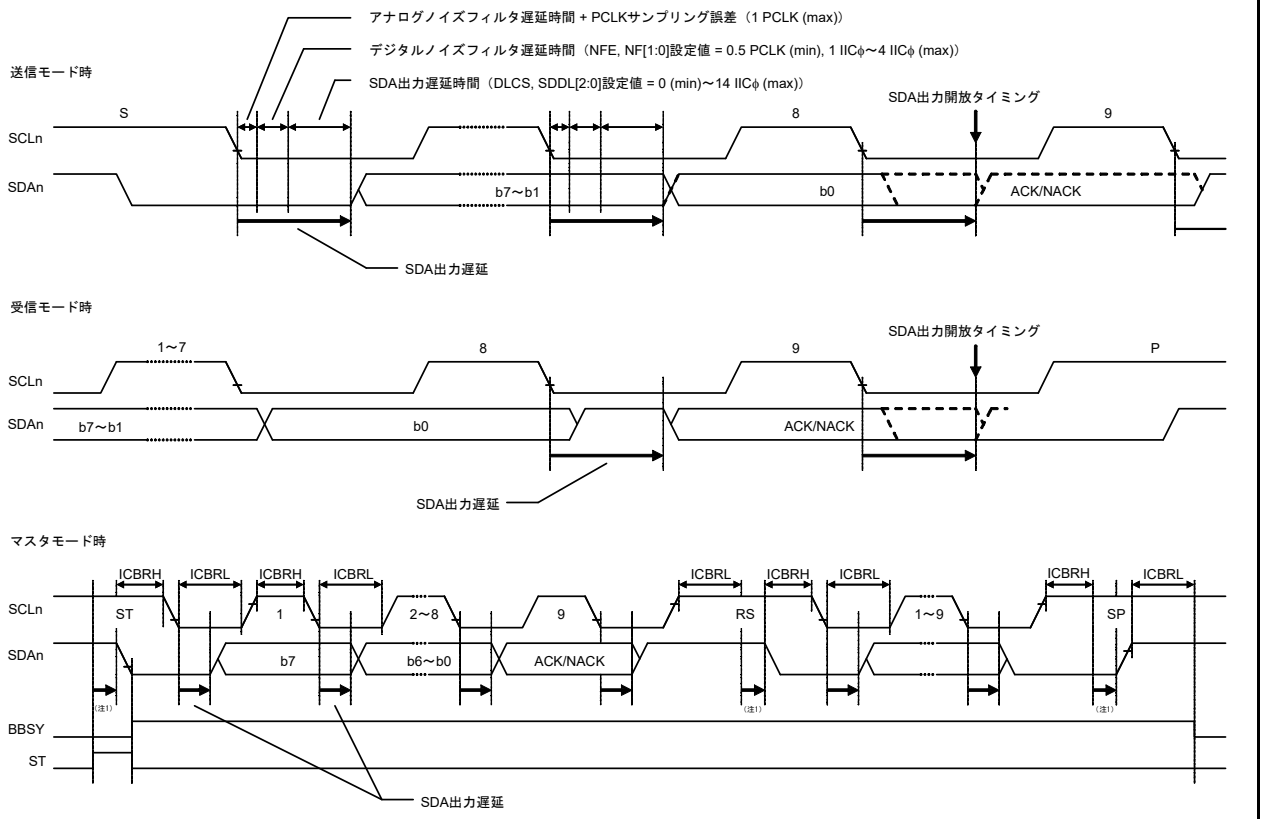
図 36.21 IIC の SCL クロック生成および SCL 同期化動作

36.5 SDA 出力遅延機能

IIC モジュールは SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（スタート／リスタート／ストップコンディションの発行、データ出力、ACK/NACK 出力）を遅延させることができます。

この機能は、SCL 信号の立ち下がり検出から SDA 出力を遅延させ、SCL クロックが Low である期間中に確実に SDA 信号が出力されるようにします。この方法により、SMBus 仕様の最小データホールド時間（300ns）の要件を満たして、通信デバイスの誤動作を防止できるようになります。この SDA 出力遅延機能は、ICMR2.SDDL[2:0] ビットが 000b 以外のとき有効で、SDDL[2:0] ビットが 000b のとき無効です。

SDA 出力遅延機能が有効（ICMR2.SDDL[2:0] ビットが 000b 以外）になっているとき、ICMR2.DLCS ビットでは、SDA 出力遅延カウンタが使用するクロックソースを、内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）として選択します。カウンタは、ICMR2.SDDL[2:0] ビットに設定されたサイクル数をカウントします。遅延サイクルのカウント終了後、IIC モジュールは SDA ライン上で必要な出力（スタート／リスタート／ストップコンディション、データ、ACK/NACK 信号）を行います。



注 1. スタートコンディション（ST）、リスタートコンディション（RS）、ストップコンディション（SP）発行時は DLCS, SDDL[2:0] 設定値分の遅延

図 36.22 SDA 出力遅延機能

36.6 デジタルノイズフィルタ回路

SCLn 端子および SDAn 端子の状態は、アナログノイズフィルタ回路とデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 36.23 にデジタルノイズフィルタ回路のブロック図を示します。

IIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択します。ノイズ除去能力は、選択した有効段数に応じて 1IICφ ～ 4IICφ サイクル分となります。

SCLn 端子入力信号（または SDAn 端子入力信号）は IICφ の立ち下がりでサンプリングされます。入力信号レベルが、ICMR3.NF[1:0] ビットで選択した有効なフリップフロップ回路段数の出力レベルと一致したとき、その信号レベルが後続の段数に伝えられます。一致しない場合は前のレベルを保持します。

なお、たとえば PCLKB = 4MHz 時の 400kbps 通信のように、内部動作クロック（PCLKB）と通信速度の比が小さい場合、デジタルノイズフィルタは有効信号をノイズとして処理する可能性があります。そのような場合は、ICFER.NFE ビットを 0 にすることでデジタルノイズフィルタ回路を無効にし、アナログノイズフィルタ回路のみを使用することが可能です。

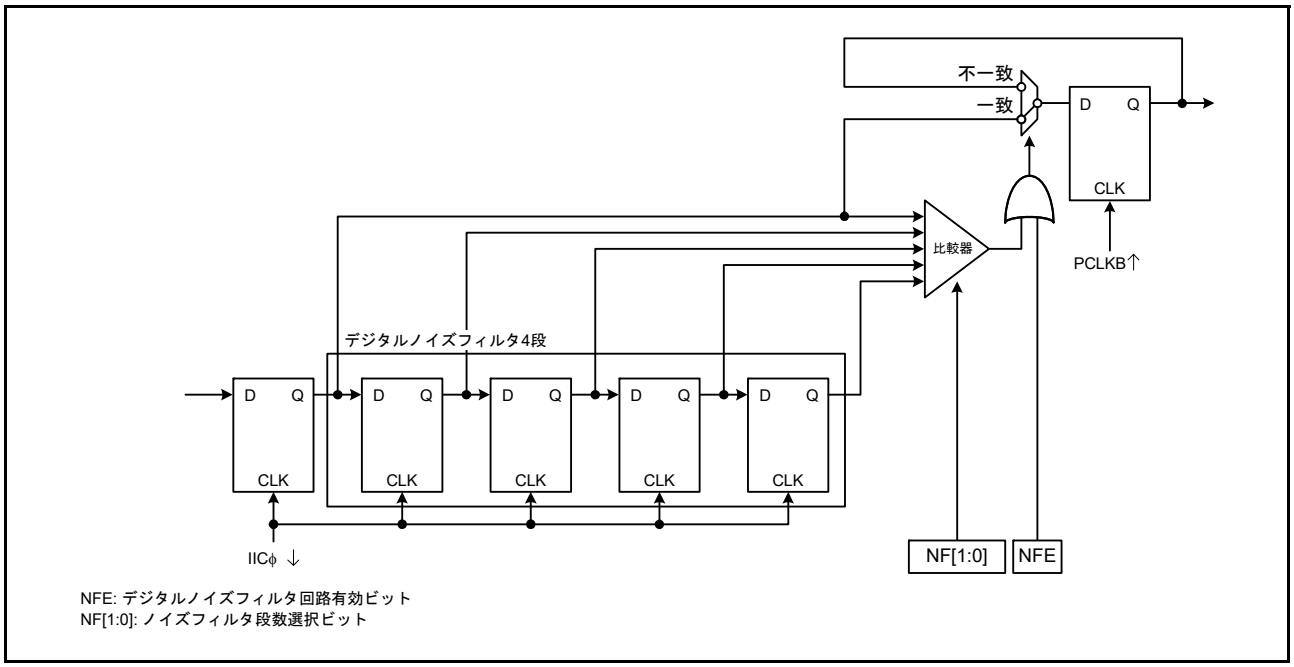


図 36.23 デジタルノイズフィルタ回路のブロック図

36.7 アドレス一致検出機能

IIC は、ジェネラルコールアドレス、ホストアドレスの他に 3 種類の固有のスレーブアドレスの設定が可能です。またスレーブアドレスには、7 ビットアドレスまたは 10 ビットアドレスを設定できます。

36.7.1 スレーブアドレス一致検出機能

IIC は 3 種類の固有のスレーブアドレスの設定が可能であり、それぞれに対してスレーブアドレス検出機能を備えています。ICSER.SARyE ビット（y = 0 ～ 2）が 1 のとき、SARUy および SARLy レジスタ（y = 0 ～ 2）に設定されたスレーブアドレスを検出できます。

IIC が設定されたスレーブアドレス一致を検出すると、対応する ICSR1.AASy フラグ（y = 0 ～ 2）が SCL クロックの 9 クロック目の立ち上がりで 1 になり、続く R/W# ビットにより ICSR2.RDRF フラグまたは ICSR2.TDRE フラグが 1 になります。これによって、受信データフル割り込み（IICn_RXI）または送信データエンプティ割り込み（IICn_TXI）を発生させることができます。どのスレーブアドレスが指定されたかは AASy フラグで識別できます。

図 36.24 ～図 36.26 に AASy フラグが 1 になるタイミングを 3 つのケースで示します。

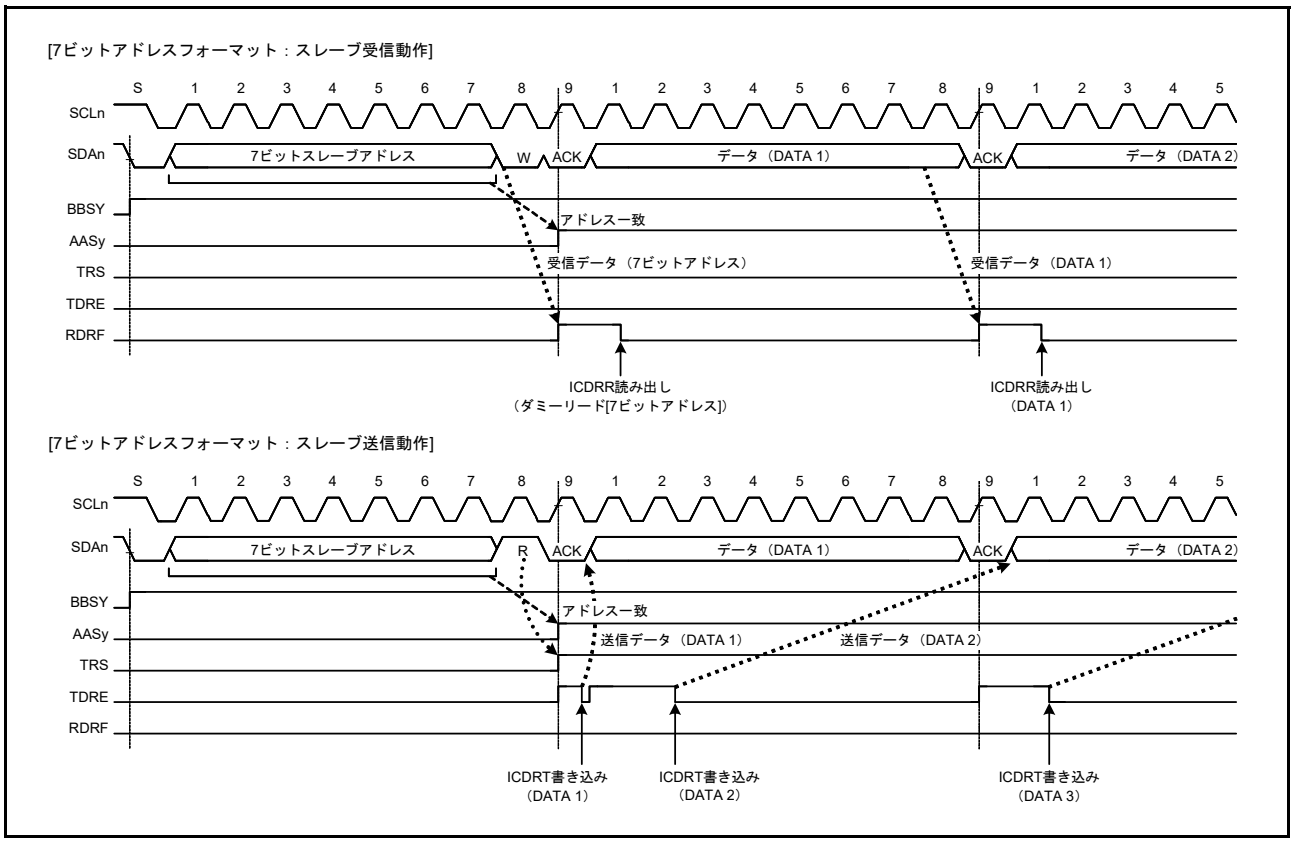


図 36.24 AASy フラグが 1 になるタイミング（7 ビットアドレスフォーマット）

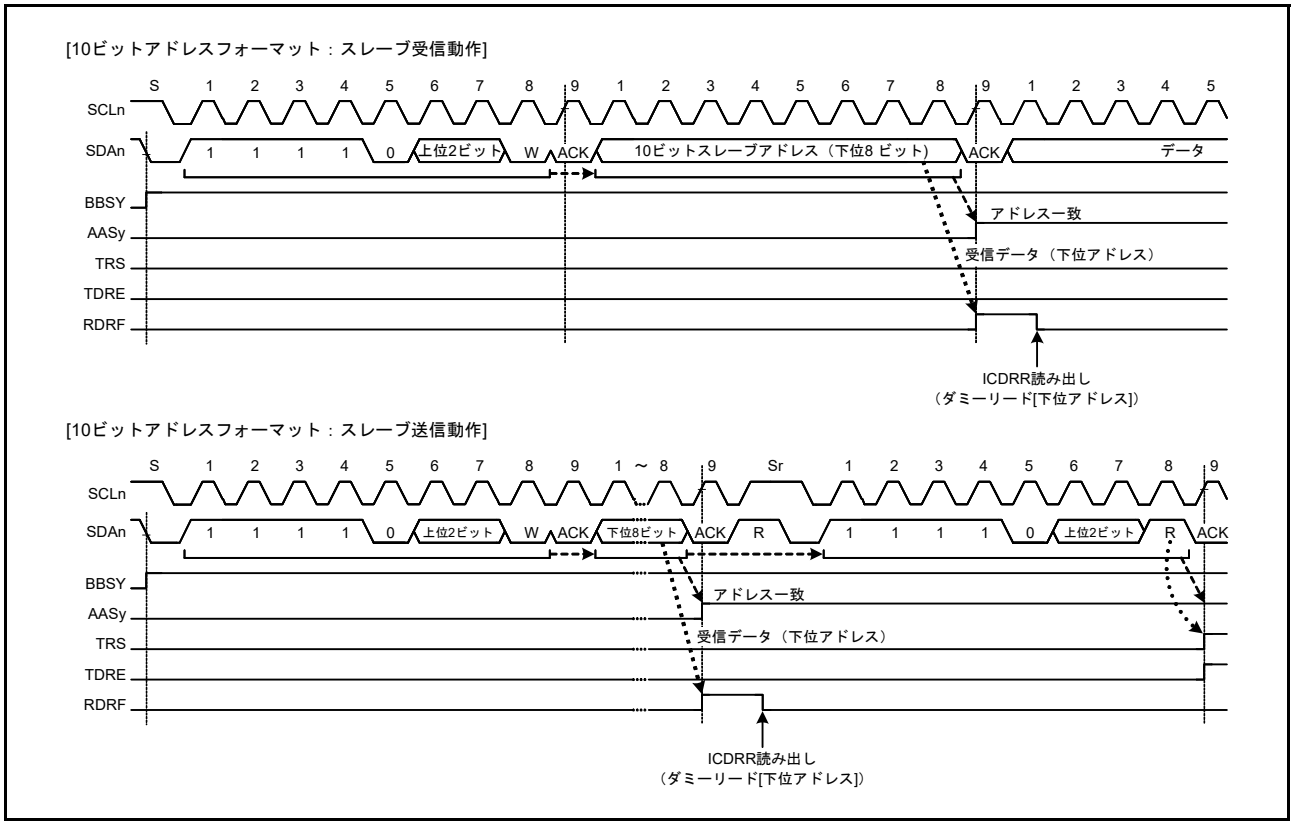


図 36.25　AASy フラグが 1 になるタイミング（10 ビットアドレスフォーマット）

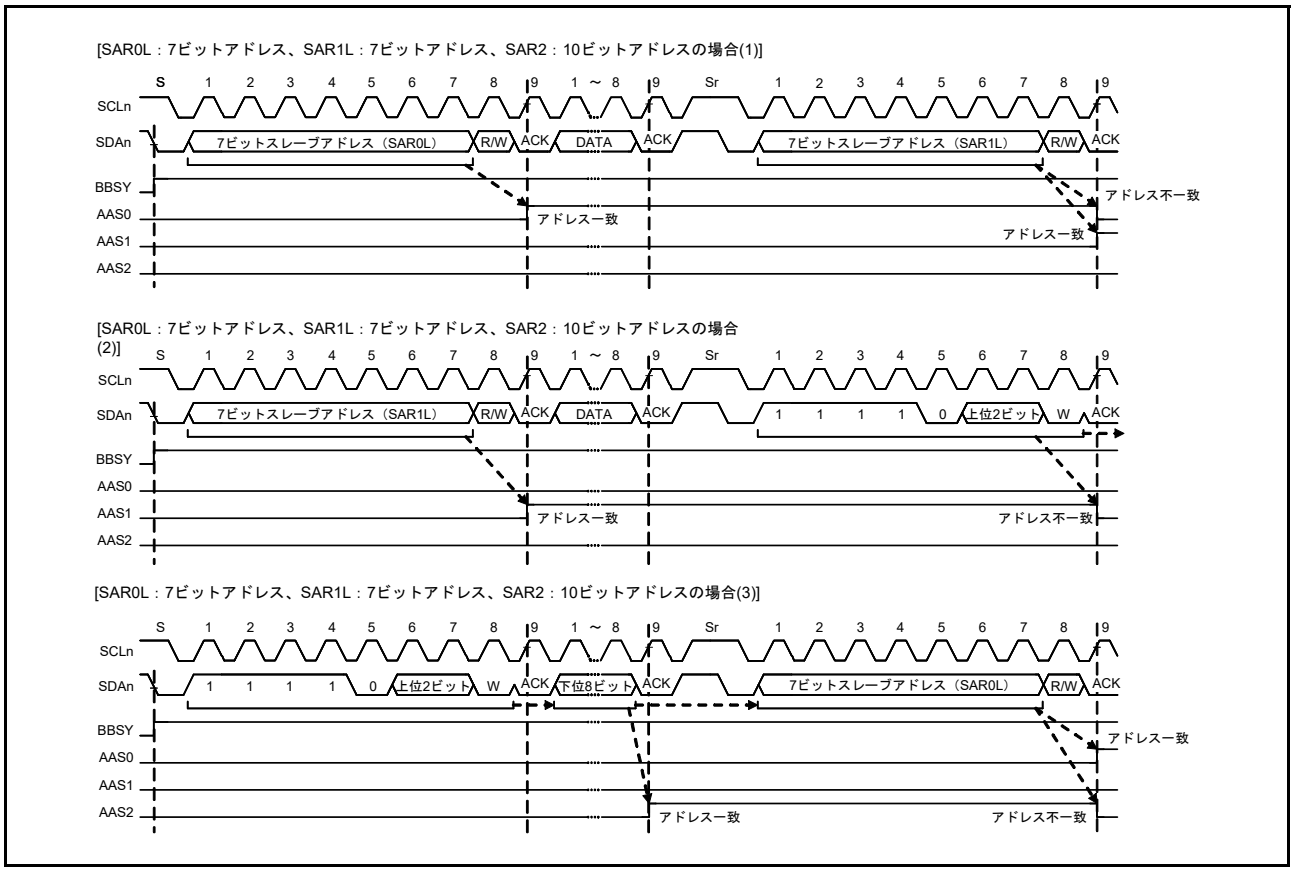


図 36.26　AASy フラグが 1 または 0 になるタイミング（7 ビット／10 ビットアドレスフォーマット混在）

36.7.2 ジェネラルコールアドレス検出機能

IIC は、ジェネラルコールアドレス（0000 000b ＋ 0[W]）の検出機能を備えています。この機能は、ICSER.GCAE ビットを 1 にすることで有効になります。

スタートコンディションまたはリスタートコンディション発行後に受信したアドレスが 0000 000b ＋ 1[R]（開始バイト）の場合は、IIC はスレーブアドレスの内容はすべて 0 であるとみなし、ジェネラルコールアドレスは認識しません。

IIC がジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.GCA フラグと ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み（IICn_RXI）が発生します。GCA フラグを確認することで、ジェネラルコールアドレスが送信されたことを確認できます。

なお、ジェネラルコールアドレス検出後の動作は、通常のスレーブ受信動作と同じです。

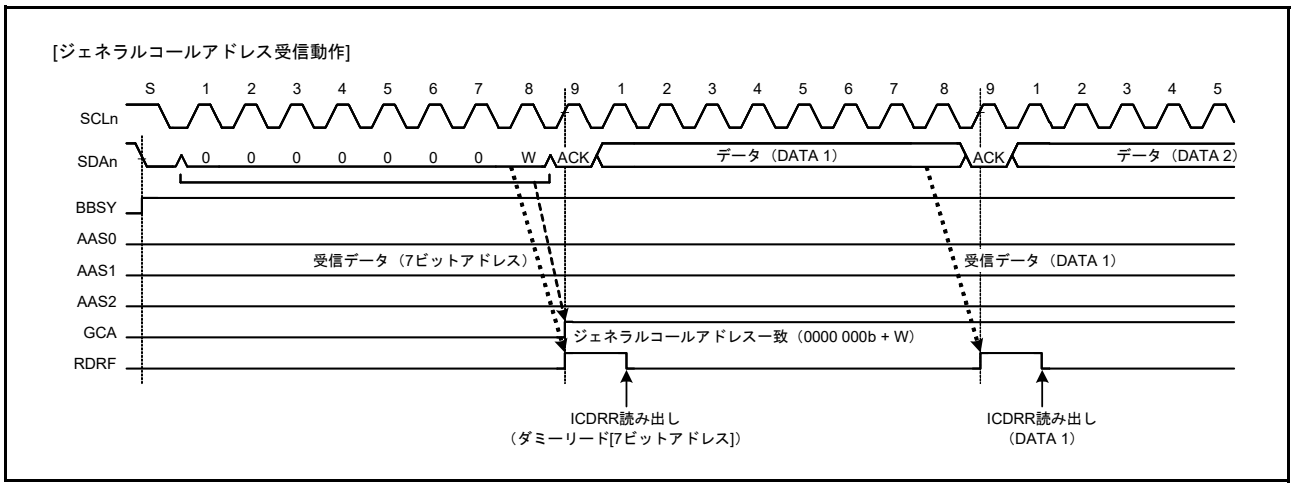


図 36.27 ジェネラルコールアドレス受信時に GCA フラグが 1 になるタイミング

36.7.3 デバイス ID アドレス検出機能

IIC モジュールは、I²C バス仕様（リビジョン 03）に準拠したデバイス ID アドレスの検出機能を備えています。ICSER.DIDE ビットを 1 にした状態で、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目に 1111 100b を受信すると、IIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが 0 のとき、SCL クロックの 8 クロック目の立ち上がりで ICSR1.DID フラグを 1 にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、IIC は対応する ICSR1.AASy フラグ（y = 0 ～ 2）を 1 にします。

その後、スタートコンディションまたはリスタートコンディション発行後の 1 バイト目が再びデバイス ID アドレス（1111 100b）と一致し、続く R/W# ビットが 1 のとき、IIC は続く 2 バイト目以降はアドレス比較を行わず、ICSR2.TDRE フラグを 1 にします。

デバイス ID アドレス検出機能では、IIC スレーブアドレスと一致しなかった場合、あるいは IIC スレーブアドレスが一致し、リスタートコンディションの検出後のアドレスがデバイス ID アドレスと一致しなかった場合、IIC は DID フラグを 0 にします。スタートコンディションまたはリスタートコンディション検出後の 1 バイト目がデバイス ID アドレス（1111 100b）と一致し、かつ R/W# ビットが 0 の場合は、IIC は DID フラグを 1 にして、続く 2 バイト目以降を IIC のスレーブアドレスと比較します。R/W# ビットが 1 の場合、DID フラグは前値の状態を継続し、IIC は 2 バイト目以降の比較を行いません。このようにして、TDRE = 1 の確認後、DID フラグを読むことで、デバイス ID アドレスを受信したことを確認することができます。

なお、一連のデバイス ID フィールド受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイトデータ：メーカ情報［12 ビット］＋部品識別［9 ビット］＋リビジョン［3 ビット］）を、通常の送信データとして準備しておいてください。デバイス ID フィールドに含める必要のある情報については、NXP 社にお問い合わせください。

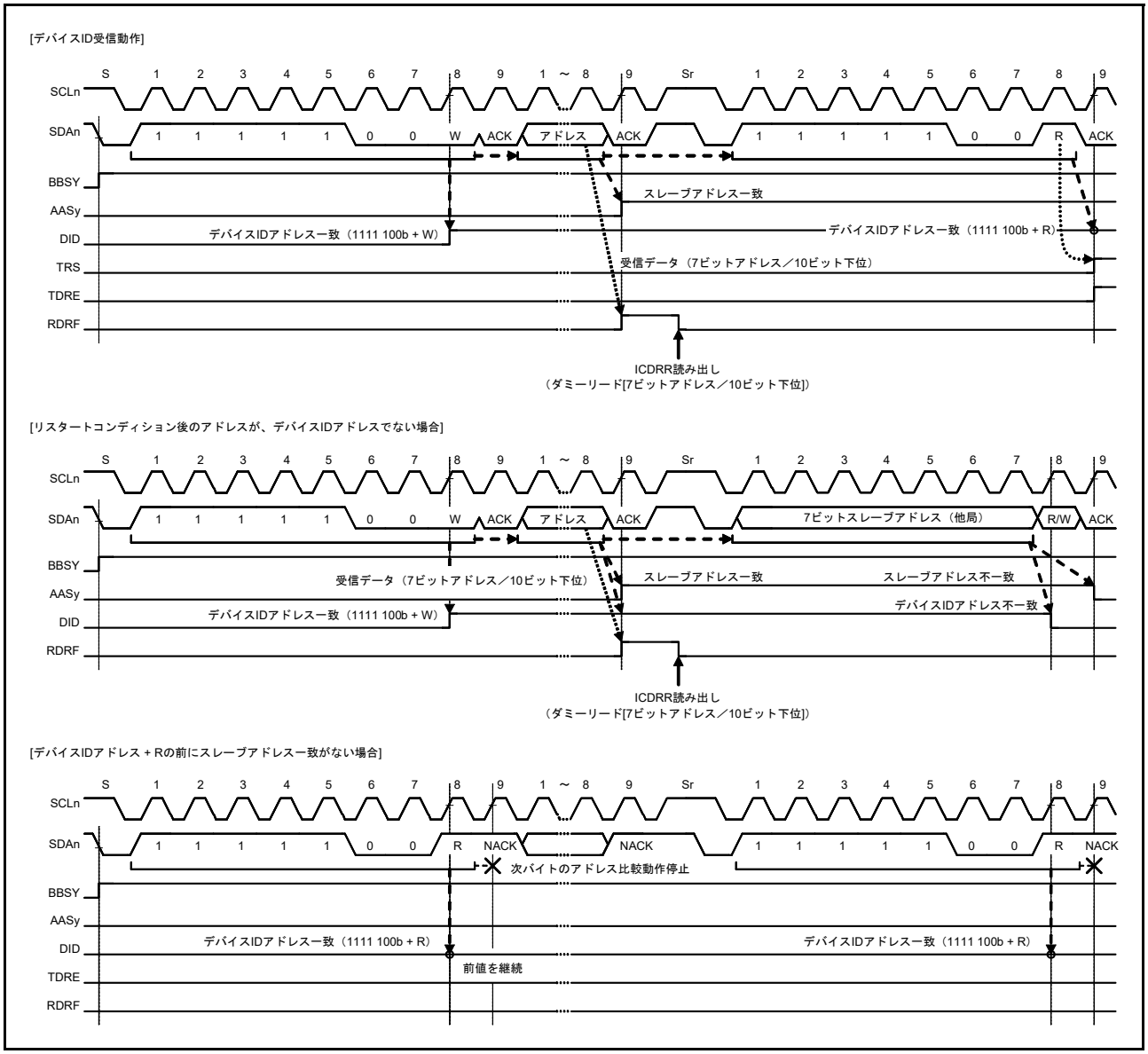


図 36.28 デバイス ID 受信時の AASy および DID フラグのセット／クリアタイミング

36.7.4 ホストアドレス検出機能

IIC は、SMBus 動作時のホストアドレス検出機能を備えています。ICMR3.SMBS ビットが 1 のとき ICSER.HOAE ビットを 1 にすると、スレーブ受信モード（ICCR2.MST、TRS ビット = 00b）時に、ホストアドレス（0001 000b）の検出が可能です。

IIC がホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで ICSR1.HOA フラグが 1 になり、R/W# ビットが 0（Wr ビット）のとき、ICSR2.RDRF フラグが 1 になります。これによって、受信データフル割り込み（IICn_RXI）が発生します。HOA フラグは、他のデバイスからホストアドレスが送信されたことを示します。

なお、ホストアドレス（0001 000b）に続くビットが Rd ビット（R/W# ビット = 1）の場合にも、ホストアドレスの検出が可能です。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

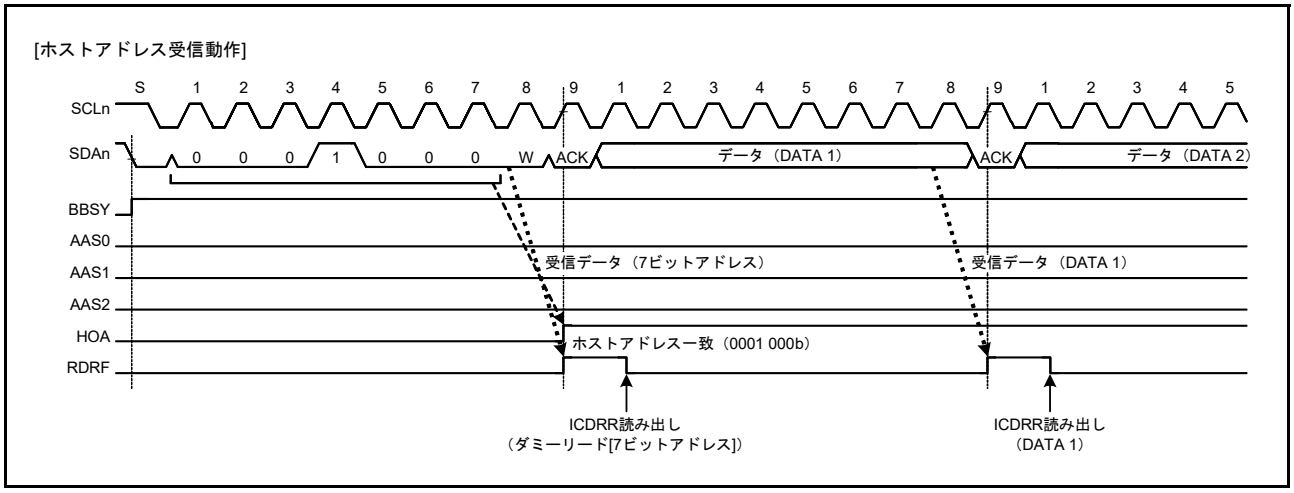


図 36.29 ホストアドレス受信時に HOA フラグが 1 になるタイミング

36.8 ウェイクアップ機能

IIC は、MCU をソフトウェアスタンバイモードから通常動作に遷移させるウェイクアップ機能を備えています。ウェイクアップ機能は、システムクロック停止時にデータの受信を許可し、受信データのスレーブアドレスが一致した場合にウェイクアップ割り込み信号を生成します。この割り込み信号が、通常動作への復帰をトリガします。

ウェイクアップ機能には、ノーマルウェイクアップモード 1、ノーマルウェイクアップモード 2、コマンドリカバリモード、EEP 応答モードの 4 つの動作モードがあります。表 36.9 に各モードの動作を示します。

表 36.9 ウェイクアップ動作モード

動作モード	ACK応答タイミング	ウェイクアップ前のACK応答	ウェイクアップ時のSCL状態
ノーマルウェイクアップモード1	ウェイクアップ前	ACK	Lowに固定
ノーマルウェイクアップモード2	ウェイクアップ後	ウェイクアップ前：応答なし ウェイクアップ後：ACK応答	Lowに固定
コマンドリカバリモード	ウェイクアップ前	ACK	解放
EEP応答モード	ウェイクアップ前	NACK	解放

ウェイクアップ機能使用時の注意事項

1. ウェイクアップ割り込みによってソフトウェアスタンバイモードから通常動作へ遷移させた後、ウェイクアップ機能を無効（WUE = 0）にしてください。
2. WUF が 0 の場合は、ウェイクアップ割り込みによってシステムクロックが回復しても、IIC レジスタの内容を変更しないでください。WUF が 1 であることを確認してから、レジスタ設定を行ってください。
3. ソフトウェアスタンバイモードへ遷移する前に、WUE、WUIE ビットを 1 に、MST、TRS ビットを 0（スレーブ受信モード）にしてください。
4. BBSY が 1 のときは、ソフトウェアスタンバイモードにしないでください。
5. ウェイクアップ機能は、スレーブアドレスレジスタ SARL0 の 7 ビットスレーブアドレス、ジェネラルコールアドレス、およびホストアドレスをサポートしています。10 ビットスレーブアドレス、SARL1、SARL2 はサポートされていません。これらは使用しないでください。
6. ウェイクアップ機能を有効にする場合、ICIER レジスタのビット（TIE、TEIE、RIE、NAKIE、SPIE、STIE、ALIE、TMOIE）で選択可能な割り込みは禁止してください。
7. ウェイクアップ機能を有効にする場合、タイムアウト機能を使用しないでください。
8. ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。図 36.31 および図 36.36 に示す処理に従ってください。

36.8.1 ノーマルウェイクアップモード 1

以下では、ノーマルウェイクアップモード 1 の動作、タイミング、および動作例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 36.32 に詳細なタイミングを、図 36.30 に動作例を示します。

   ウェイクアップ前 : IIC の自スレーブアドレスとともに受信したデータに対して ACK を送信する。

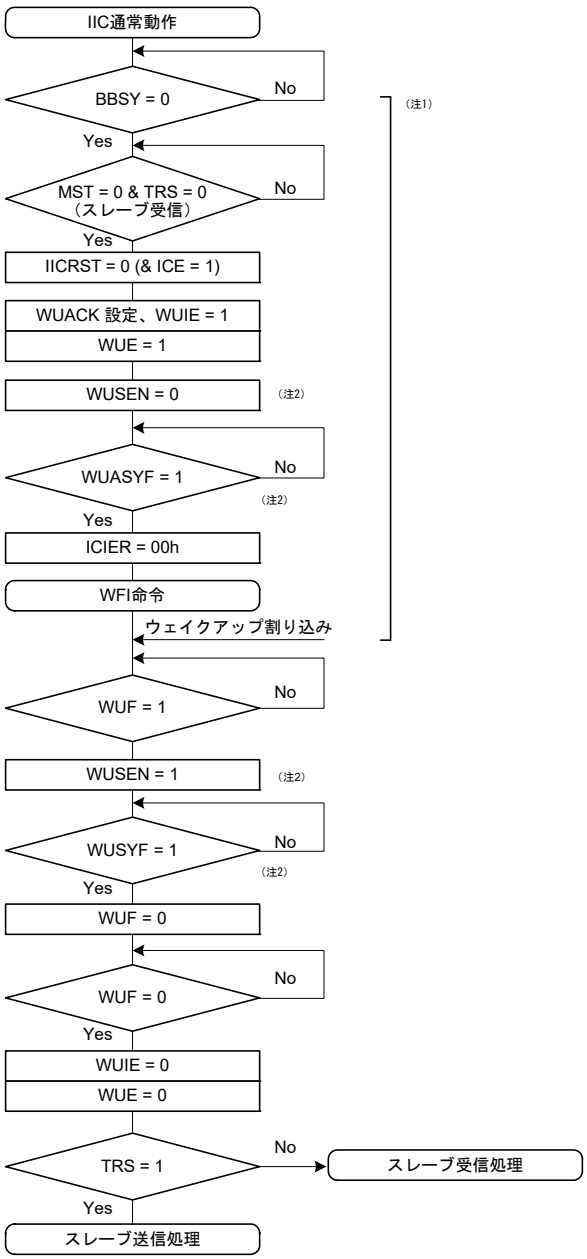
   ウェイクアップ中 : SCL の 9 クロック目で ACK 応答を行ってから、SCL の Low ホールドを行う。(注 1)

   ウェイクアップ後 : 通常動作が継続する。

   スレーブアドレスが不一致の場合、SCL の 9 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われず、スレーブ動作が継続します。

   注 1. ウェイクアップ中の 9 クロック目と 1 クロック目の間では、WAIT = 1 は無効です。

2. ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。図 36.31 に示す処理に従ってください。



[1] I²Cはスタンバイ状態になり、バスフリー状態になるのを待つ

[2] 内部リセットのアサート時は内部リセットをネゲート

[3] モードに応じてWUACKを設定
ウェイクアップ割り込みを許可
[4] ウェイクアップ機能を許可
[5] WUSENを0に設定

[6] WUI以外の割り込み要求を禁止

[7] IICへのPCLK供給を停止 （IICは受信を続ける）
[8] ウェイクアップ割り込み（アドレス一致）によるIICへの
PCLKBとシステムクロック供給を開始

[9] WUFフラグが1になるのを待つ

[10] WUSENを1に設定

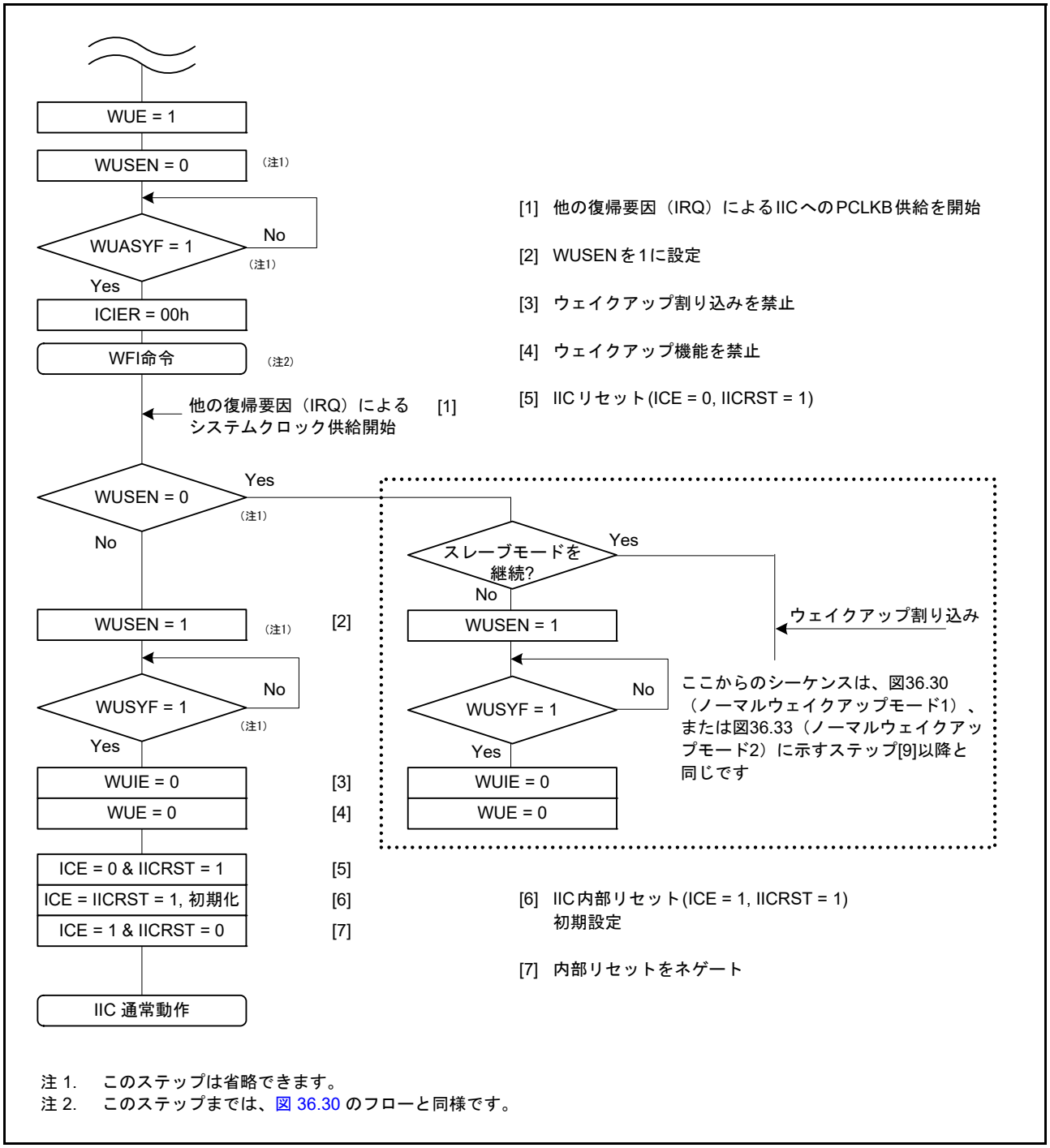
[11] WUFに0を書く
（割り込み処理から復帰する前に読み出しをしてクリアの完了
を確認してください）

[12] ウェイクアップ割り込みを禁止
[13] ウェイクアップ機能を禁止

注 1. BBSY = 0 設定から WFI 命令実行までの間にスタートコンディションが発行されないようにしてください。
注 2. このステップは省略できます。

図 36.30 ノーマルウェイクアップモード 1 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注 . ウェイクアップ機能使用時の注意事項を参照してください。



注 1. このステップは省略できます。
注 2. このステップまでは、図 36.30 のフローと同様です。

図 36.31 ノーマルウェイクアップモード 1 および 2 の動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）

注 . IIC 初期設定の詳細は、36.3.2 初期設定を参照してください。

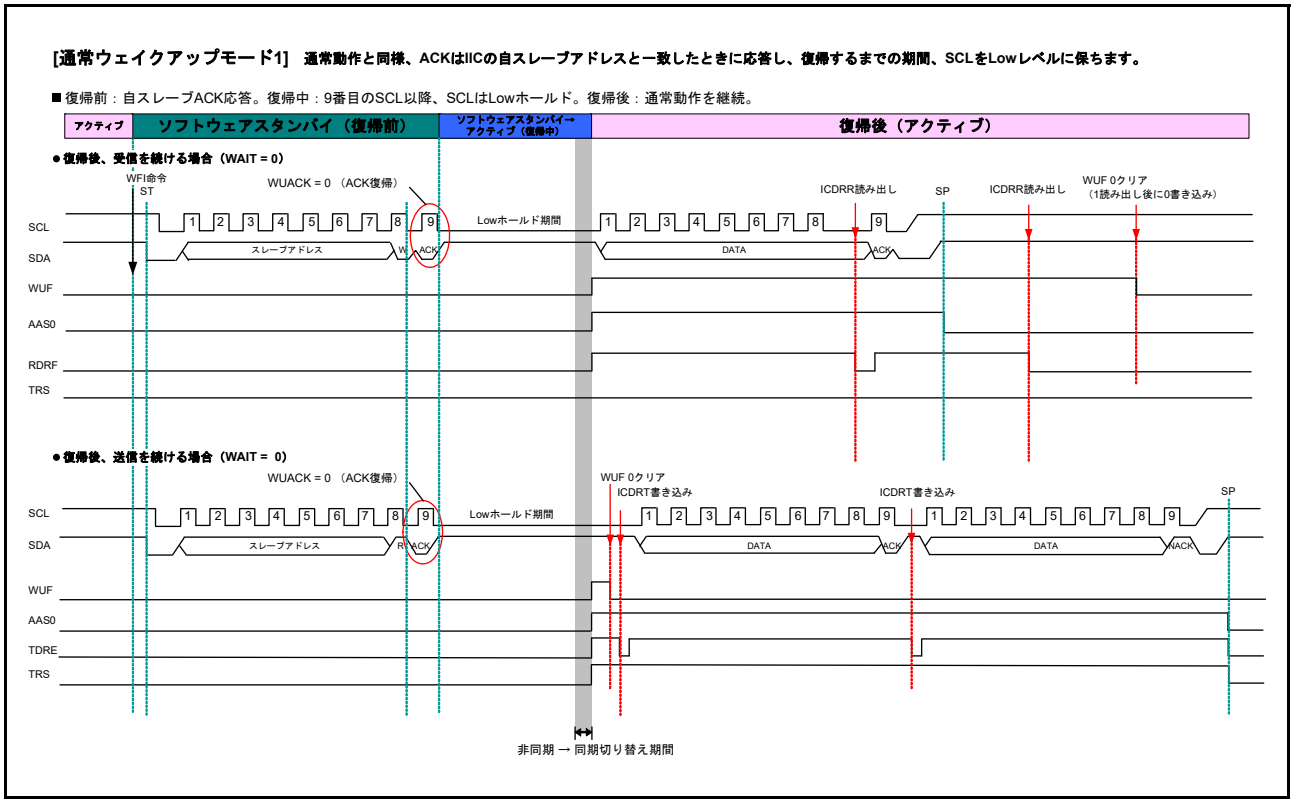


図 36.32　　ノーマルウェイクアップモード 1 のタイミング

36.8.2　ノーマルウェイクアップモード 2

以下では、ノーマルウェイクアップモード 2 の動作、タイミング、および動作例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 36.34 に詳細なタイミングを、図 36.33 に操作例を示します。

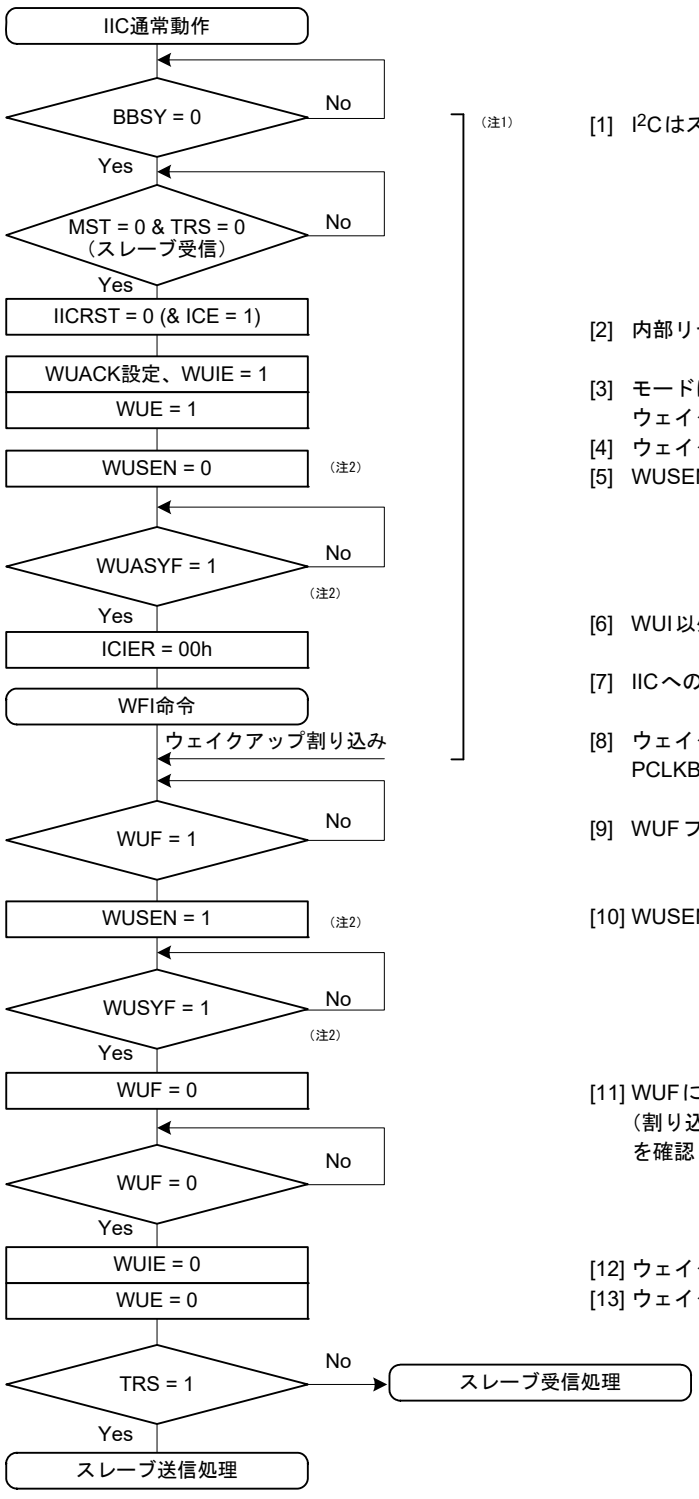
   ウェイクアップ前：IIC の自スレーブアドレスとともに受信したデータに対して SCL の 8 クロック目の終わりまで応答しない。

   ウェイクアップ中：8 クロック目と 9 クロック目の間で SCL ラインの Low ホールドを行う。

   ウェイクアップ後：SCL の 9 クロック目で ACK を返し、通常動作が継続する。

   スレーブアドレスが不一致の場合、SCL の 8 クロック目の立ち下がり後に SCL ラインの Low ホールドは行われません。スレーブ動作が継続します。

2. ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。図 36.31 に示す処理に従ってください。



[1] I²Cはスタンバイ状態になり、バスフリー状態になるのを待つ

[2] 内部リセットのアサート時は内部リセットをネゲート

[3] モードに応じてWUACKを設定
ウェイクアップ割り込みを許可
[4] ウェイクアップ機能を許可
[5] WUSENを0に設定

[6] WUI以外の割り込み要求を禁止

[7] IICへのPCLKB供給を停止 （IICは受信を続ける）

[8] ウェイクアップ割り込み（アドレス一致）によるIICへの
PCLKBとシステムクロック供給を開始

[9] WUFフラグが1になるのを待つ

[10] WUSENを1に設定

[11] WUFに0を書く
（割り込み処理から復帰する前に読み出しをしてクリアの完了
を確認してください）

[12] ウェイクアップ割り込みを禁止
[13] ウェイクアップ機能を禁止

注 1. BBSY = 0 設定から WFI 命令実行までの間にスタートコンディションが発行されないようにしてください。
注 2. このステップは省略できます。

図 36.33 ノーマルウェイクアップモード 2 の動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注 . ウェイクアップ機能使用時の注意事項を参照してください。

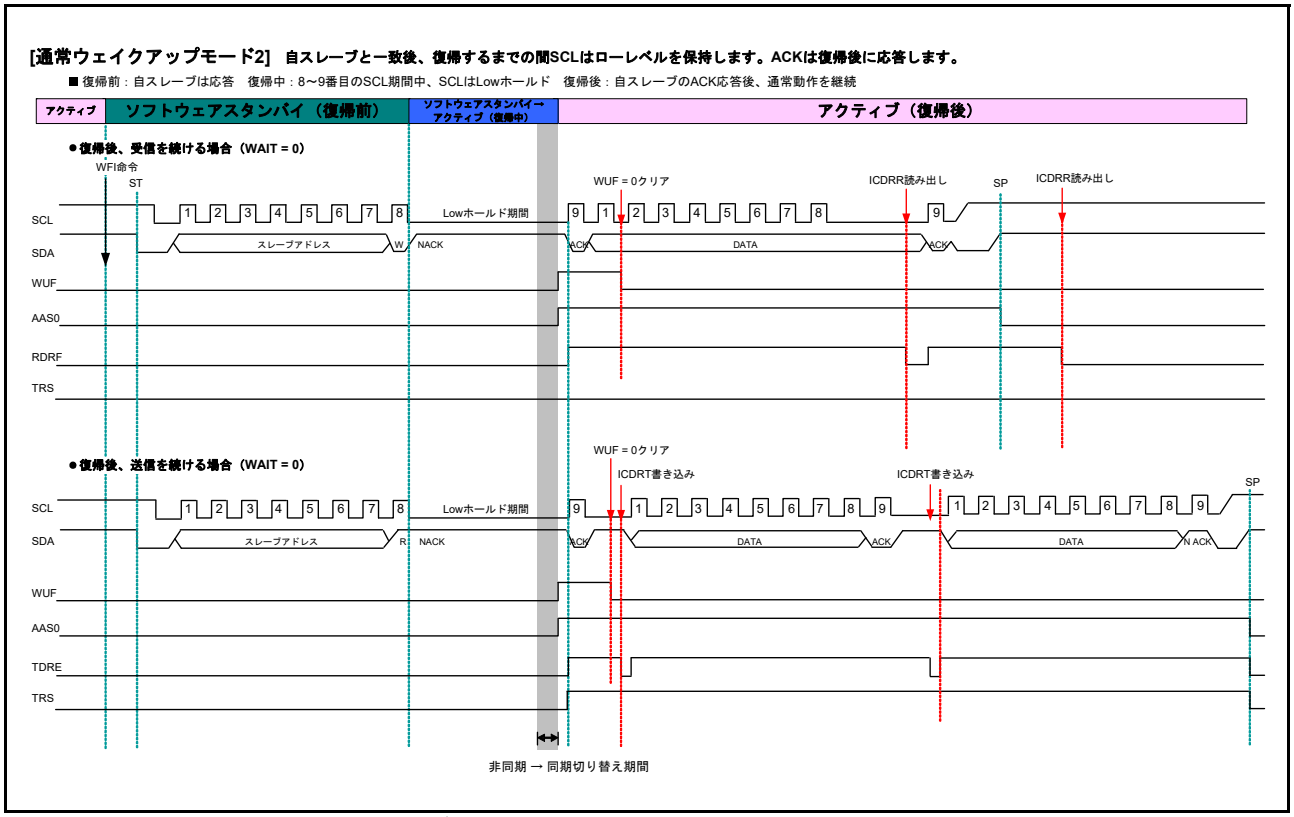


図 36.34 ノーマルウェイクアップモード 2 のタイミング

36.8.3 コマンドリカバリモードと EEP 応答モード（特殊ウェイクアップモード）

コマンドリカバリモードと EEP 応答モードでは、ウェイクアップ期間中（SCL の 9 クロック目の立ち上がり後）に SCL ラインの Low ホールドは行われないので、他の IIC デバイスはこの期間に I2C バスを利用できます。

以下では、コマンドリカバリモードと EEP 応答モードの動作、タイミング、および動作例について説明します。

1. スレーブアドレスの一致によってトリガされたウェイクアップ割り込みにより、以下のように通常動作への遷移が行われます。図 36.37 に詳細なタイミングを、図 36.35 に操作例を示します。

   ウェイクアップ前：IIC の自スレーブアドレスとともに受信したデータに対して ACK（コマンドリカバリモードの場合）または NACK（EEP 応答モードの場合）を返す。

   ウェイクアップ中：SCL ラインの Low ホールドを行わない。

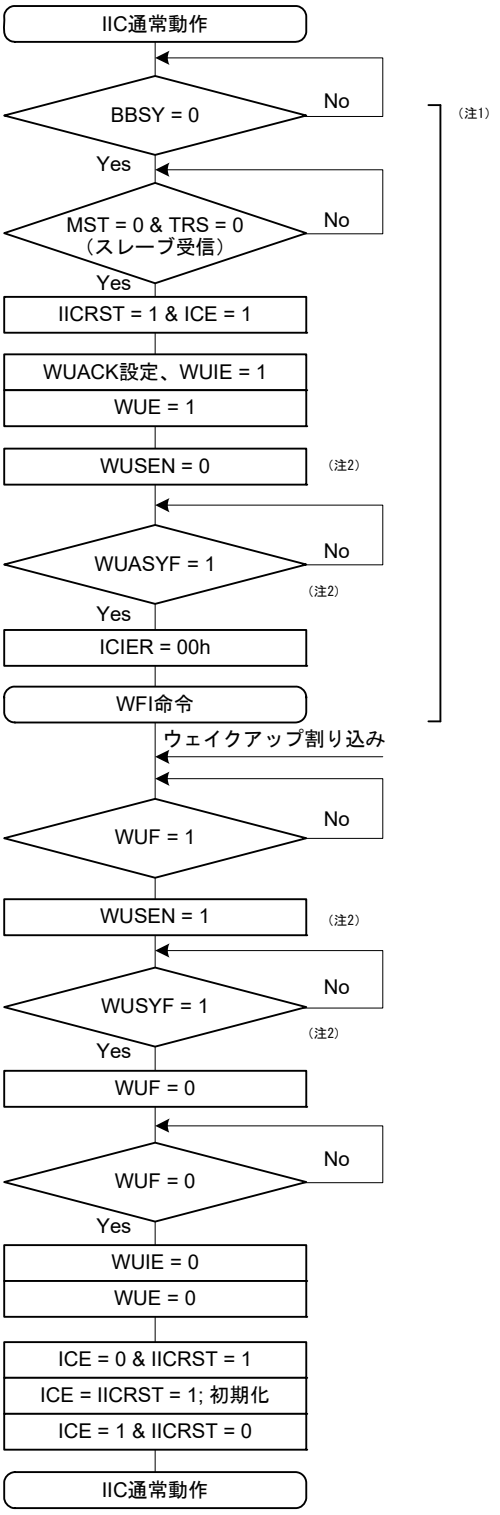
   ウェイクアップ後：IIC の初期設定後、通常動作が継続する。

   スレーブアドレスが不一致の場合、スレーブ動作が継続します。

注 1. ウェイクアップ中に SCL ラインの Low ホールドは行われないので、スレーブアドレスの後続データは送受信できません。

注 2. コマンドリカバリモードと EEP 応答モードは、内部リセット状態（ICE = IICRST = 1）です。したがって、スレーブアドレスが一致しても、ICSR1 レジスタのフラグ（HOA、GCA、ASS0、ASS1、ASS2）は設定されません。

2. ウェイクアップ割り込み以外の割り込み（IRQn など）で、ソフトウェアスタンバイモードからの遷移がトリガされると、この場合 WUF は設定されません。図 36.36 に示す処理に従ってください。



[1] I²Cはスタンバイ状態になり、バスフリー状態になるのを待つ

[2] 内部リセットのアサート

[3] モードに応じてWUACKを設定
ウェイクアップ割り込みを許可
[4] ウェイクアップ機能を許可
[5] WUSENを0に設定

[6] WUI以外の割り込み要求を禁止

[7] IICへのPCLK供給を停止 （IICは受信を続ける）

[8] ウェイクアップ割り込み（アドレス一致）によるIICへの
PCLKBとシステムクロック供給を開始

[9] WUFフラグが1になるのを待つ

[10] WUSENを1に設定

[11] WUFに0を書く
（割り込み処理から復帰する前に読み出しをしてクリアの完了
を確認してください）

[12] ウェイクアップ割り込みを禁止
[13] ウェイクアップ機能を禁止

[14] IICリセット（ICE = 0, IICRST = 1）
[15] IIC内部リセット（ICE = 1, IICRST = 1）
初期設定
[16] 内部リセットをネゲート

注 1. BBSY = 0 設定から WFI 命令実行までの間にスタートコンディションが発行されないようにしてください。
注 2. このステップは省略できます。

図 36.35 コマンドリカバリモードと EEP 応答モードの動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）

注 . ウェイクアップ機能使用時の注意事項を参照してください。

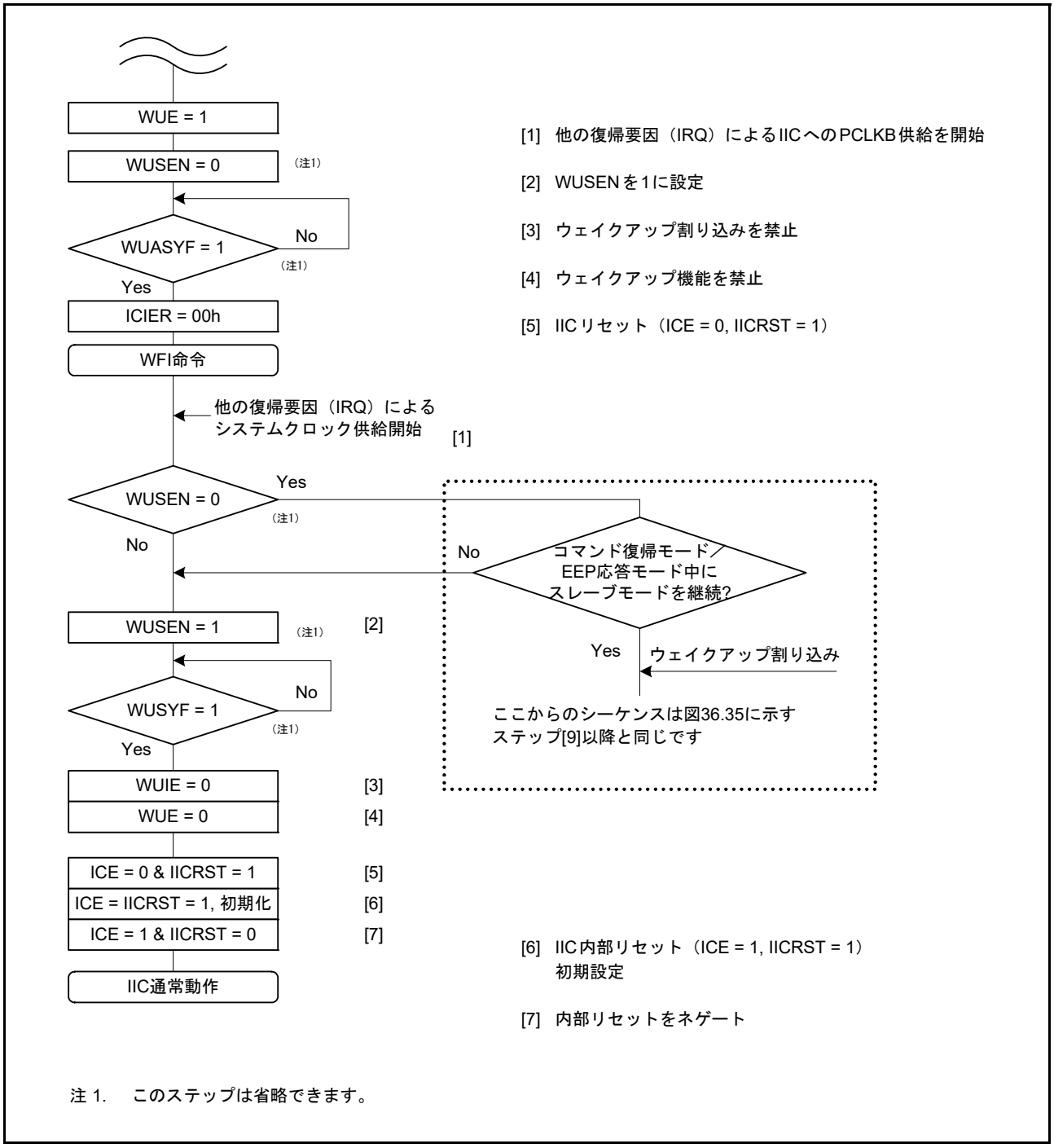


図 36.36 コマンドリカバリモードと EEP 応答モードの動作例（IIC ウェイクアップ割り込み以外の割り込み（たとえば IRQn）によるウェイクアップの場合）

注 . IIC 初期設定の詳細は、36.3.2 初期設定を参照してください。

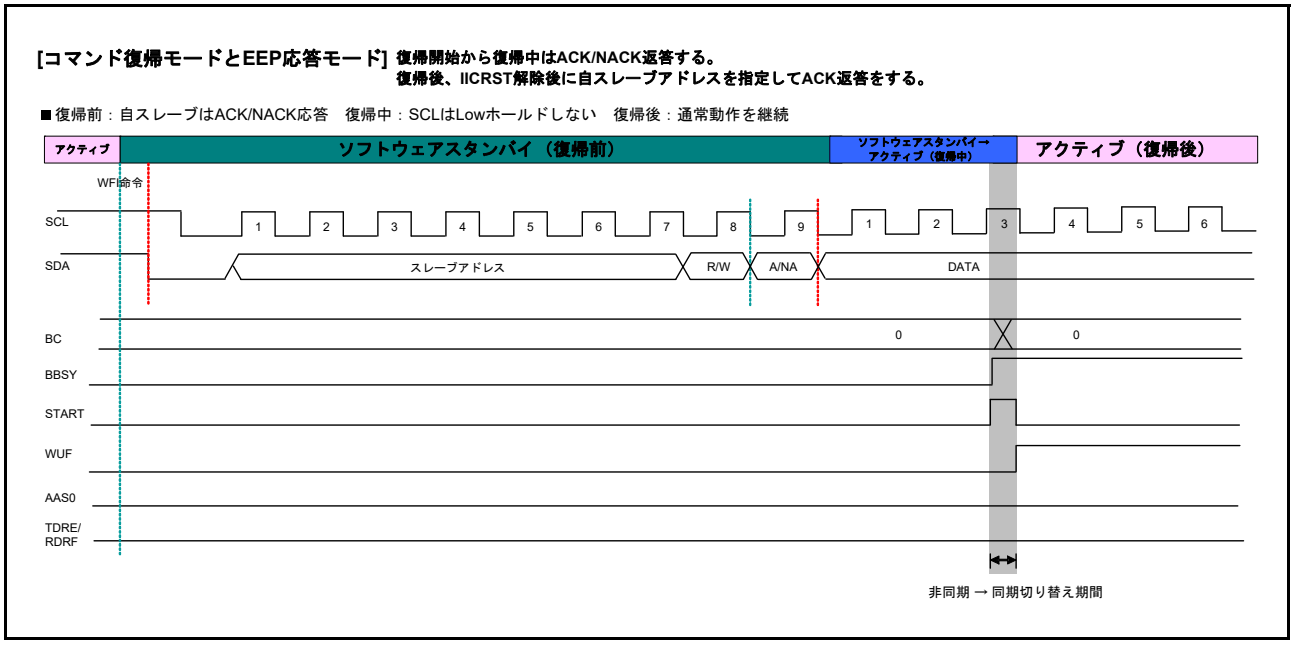


図 36.37　　コマンドリカバリモードと EEP 応答モードのタイミング

36.8.4　WFI コマンドの実行に関する注意事項

図 36.30、図 36.33、図 36.35 に示すウェイクアップモードの動作例では、BBSY = 0 を設定してから WFI コマンドを実行するまでの間は、スタートコンディションを発行しないようにしてください。この間にスタートコンディションを発行すると、先頭データブロックの 1 バイト目の受信後に NACK が返されます。その後、スタートコンディションまたはリスタートコンディションの検出によって、ウェイクアップ機能が有効になります。

36.9 SCL の自動 Low ホールド機能

36.9.1 送信データの誤送信防止機能

IIC が送信モード（ICCR2.TRS ビット = 1）のとき、I²C バスシフトレジスタ（ICDRS）が空の状態で、かつ IIC バス送信レジスタ（ICDRT）にデータが書かれていないと、以下に示す区間、自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

マスタ送信モード

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の間の Low 区間

スレーブ送信モード

- 9 クロック目と 1 クロック目の間の Low 区間

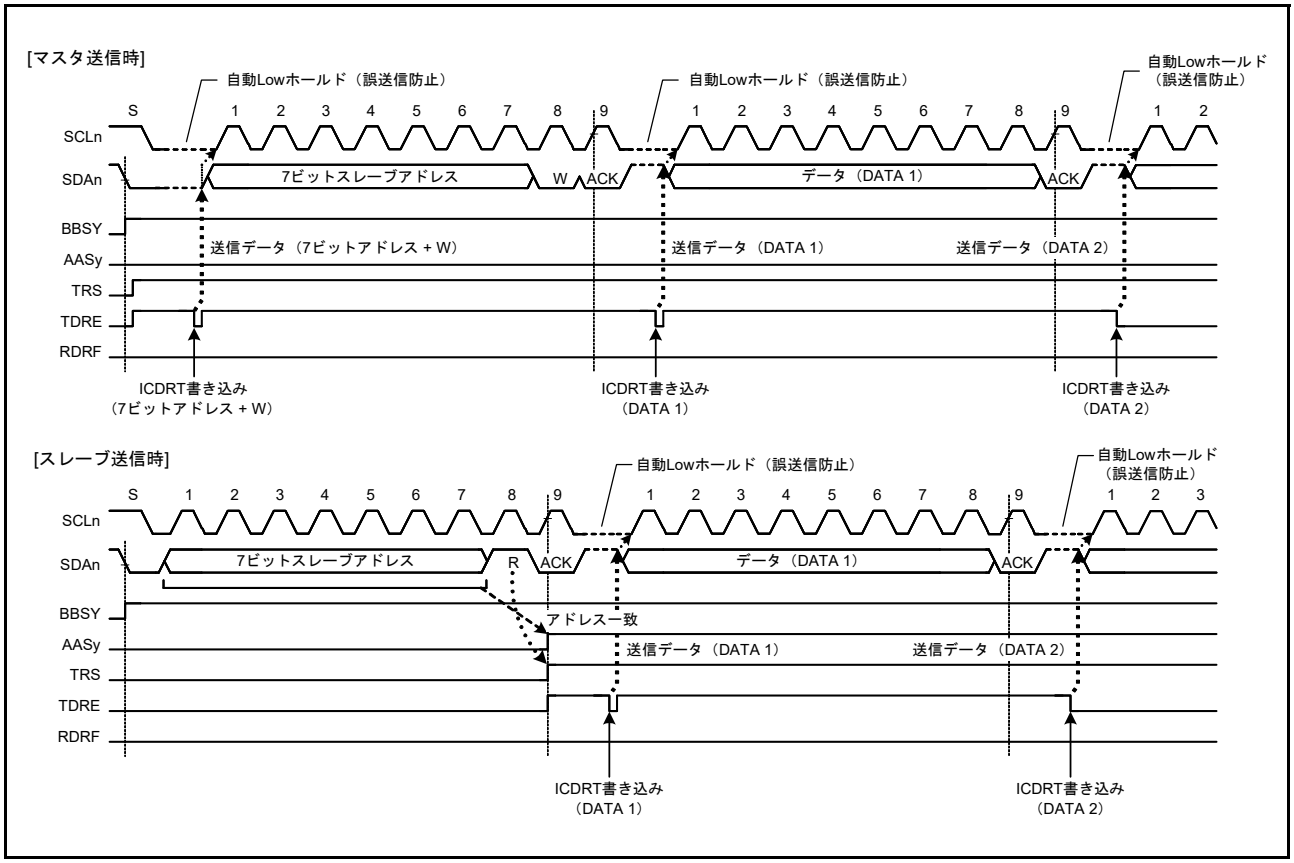


図 36.38 送信モード時の自動 Low ホールド動作

36.9.2 NACK 受信転送中断機能

この機能は、送信モード時（ICCR2.TRS ビット = 1）、NACK を受信した場合に転送動作を中断します。この機能は、ICFER.NACKE ビットが 1 のとき有効になります。NACK 受信時にすでに次の送信データが書き込まれていた場合（ICSR2.TDRE フラグ = 0）、SCL クロックの 9 クロック目の立ち下がりで、次のデータ送信を自動的に中断します。これによって、次送信データの MSB が 0 の場合、SDAn ライン Low 出力固定を防止することができます。

この機能によって転送動作が中断された場合（ICSR2.NACKF フラグ = 1）、以後の送受信動作は行われません。送受信動作を再開するには、NACKF フラグを 0 にする必要があります。マスタ送信モードでは、リスタートコンディションまたはストップコンディション発行後に、NACKF フラグを 0 にしてから、再度スタートコンディションを発行してください。

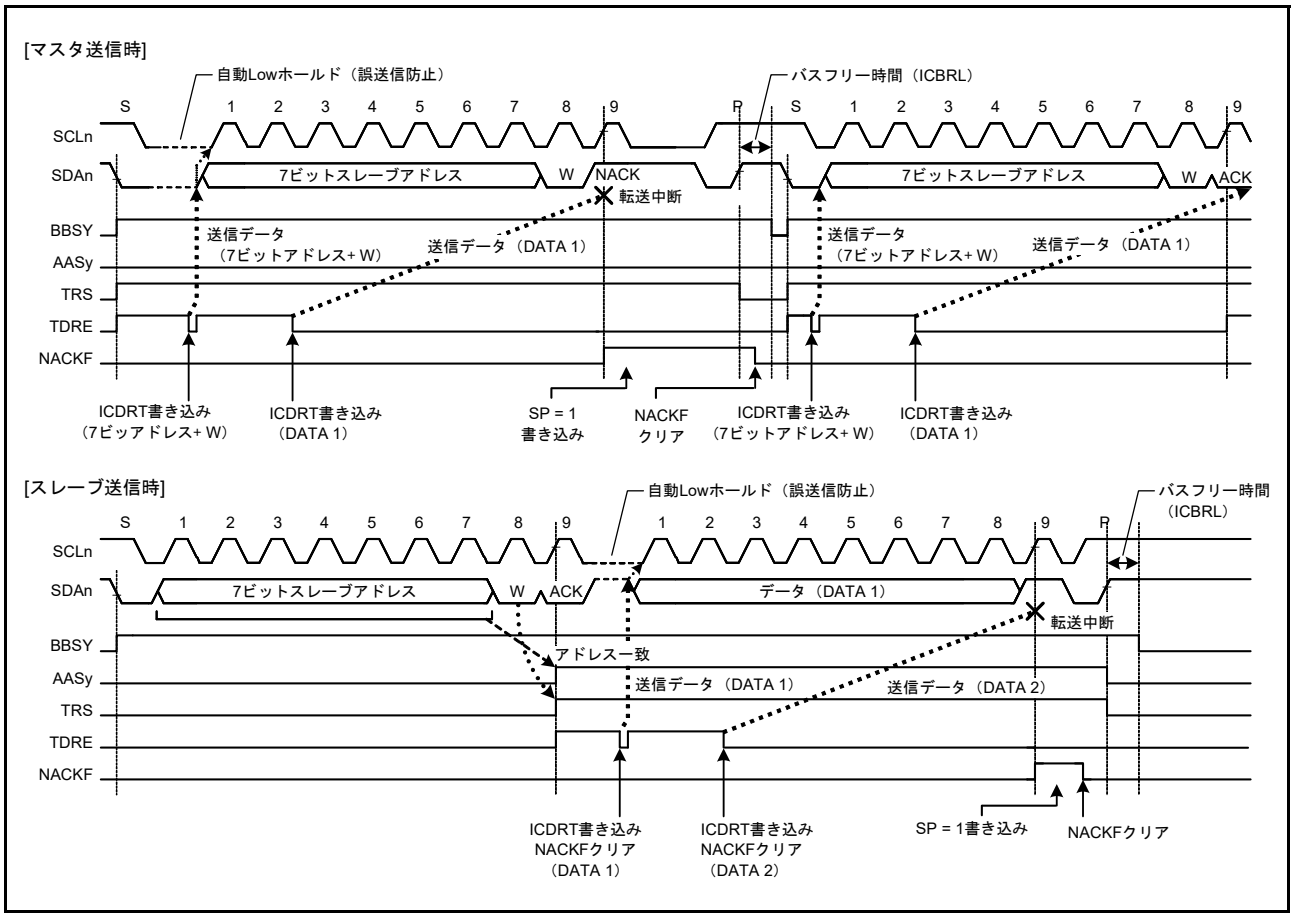


図 36.39 NACK 受信時のデータ転送中断動作（NACKE = 1 の場合）

36.9.3 受信データ取りこぼし防止機能

受信モード時（ICCR2.TRS ビット = 0）に、受信データフル（ICSR2.RDRF フラグ = 1）の状態で受信データ（ICDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、IIC は次のデータ受信の直前で自動的に SCLn ラインの Low ホールドを行い、受信データの取りこぼしを防止します。

この機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディションが発行され、IIC スレーブアドレスが指定された場合でも有効です。ストップコンディション発行後に自スレーブアドレスとの不一致が発生した場合は、IIC は SCLn ラインの Low ホールドを行わないため、本機能によって他の通信を妨げることはありません。

また、ICMR3 レジスタの WAIT ビットと RDRFS ビットの組み合わせにより、SCLn ラインが Low ホールドされる期間を選択できます。

(1) WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

ICMR3.WAIT ビットを 1 にすると、IIC は WAIT ビット機能を用いた 1 バイト受信動作を行います。また、ICMR3.RDRFS ビットが 0 の場合、SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がりまでの期間、IIC はアクノリッジビットに対し自動的に ICMR3.ACKBT ビットの内容を送出し、9 クロック目の立ち下がりを検出すると、WAIT ビット機能を用いて自動的に SCLn ラインの Low ホールドを行います。この Low ホールドは、ICDRR レジスタからデータを読み出すことで解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

ICMR3.RDRFS ビットを 1 にすると、IIC は RDRFS ビット機能を用いた 1 バイト受信動作を行います。RDRFS ビットを 1 にすると、SCL の 8 クロック目の立ち上がりで ICSR2.RDRF フラグが 1（受信データフル）になり、8 クロック目の立ち下がりで自動的に SCLn ラインの Low ホールドが行われます。この Low ホールドは、ICMR3.ACKBT ビットに値を書き込むことで解除されますが、ICDRR レジスタからデータを読み出しても解除されません。そのため、1 バイトごとに受信したデータの内容に応じて ACK/NACK の送信を制御することにより、受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モードまたはスレーブ受信モード時に、ジェネラルコールアドレスとホストアドレスを含む IIC スレーブアドレスとの一致があった以降の受信フレームから有効になります。

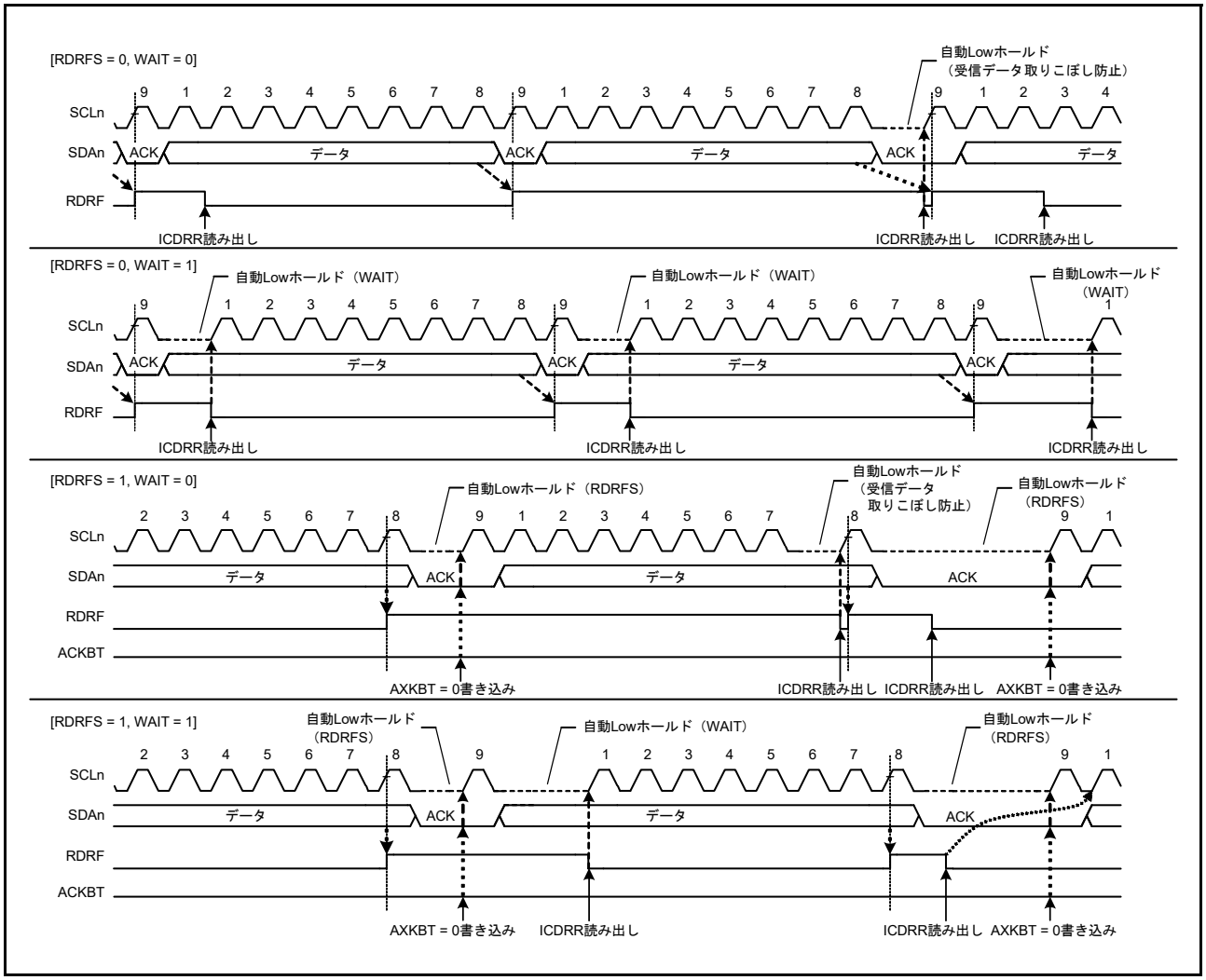


図 36.40　受信モード時の自動 Low ホールド動作（RDRFS および WAIT ビットの使用）

36.10 アービトレーションロスト検出機能

IIC は、I²C バス規格で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止機能、NACK 送信時のアービトレーションロスト検出機能、およびスレーブ送信モード時のアービトレーションロスト検出機能を備えています。

36.10.1 マスタアービトレーションロスト検出機能（MALE ビット）

IIC はスタートコンディション発行の際、SDAn ラインを Low にします。ただし、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDAn ラインを Low にした場合、IIC は自身のスタートコンディションをエラーと判断し、これをアービトレーションロストとみなします。他のマスタデバイスによる転送の方が優先されます。同様に、バスビジー（ICCR2.BBSY フラグ = 1）の状態で ICCR2.ST ビットを 1 にすることでスタートコンディション発行を要求すると、IIC はこれをスタートコンディションの二重発行エラーと判断し、自身がアービトレーションロストを発生させたとみなします。この機能は、転送中のスタートコンディション発行による転送の失敗を防止します。

スタートコンディション発行が正常に行われた場合、アドレスビットを含む送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致（内部 SDA 出力として High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、IIC はアービトレーションロストを発生させます。

マスタアービトレーションロストが発生した後、IIC はただちにスレーブ受信モードへ遷移します。このとき、ジェネラルコールアドレスを含むスレーブアドレスが自身のアドレスと一致していれば、IIC はスレーブ動作を継続します。

なお、マスタアービトレーションロストは、ICFER.MALE ビットが 1（マスタアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき検出されます。

［マスタアービトレーションロスト条件］

- ICCR2.BBSY フラグが 0 の状態で ICCR2.ST ビットを 1 にしてスタートコンディションを発行した後、SDA の内部出力レベルと SDAn ラインのレベルが不一致のとき（スタートコンディション発行エラー）
- ICCR2.BBSY フラグが 1 の状態で ICCR2.ST ビットを 1 にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（ICCR2.MST、TRS ビット = 11b）、アクノリッジを除く送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致のとき

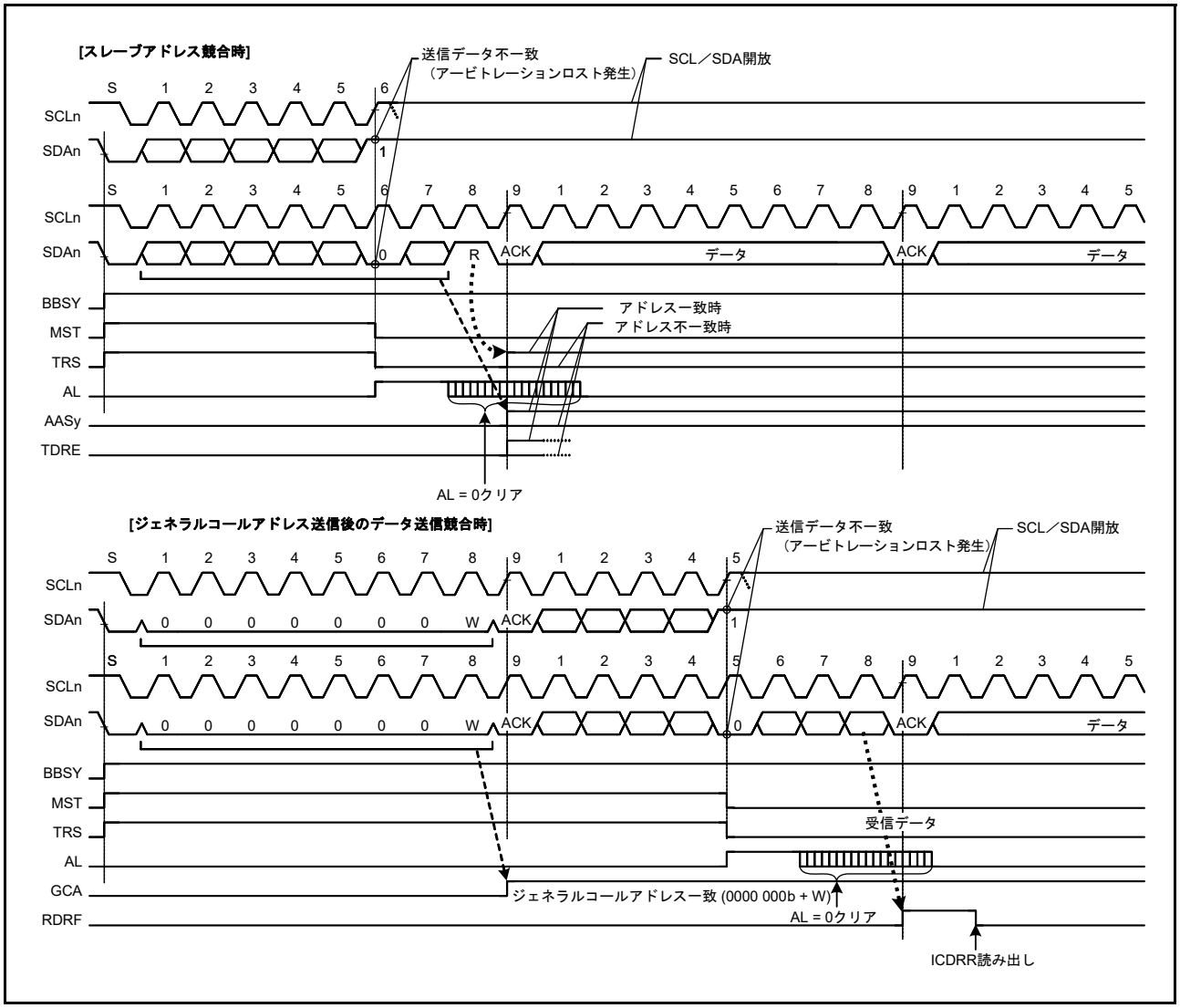


図 36.41　　マスタアービトレーションロスト検出の動作例（MALE = 1 の場合）

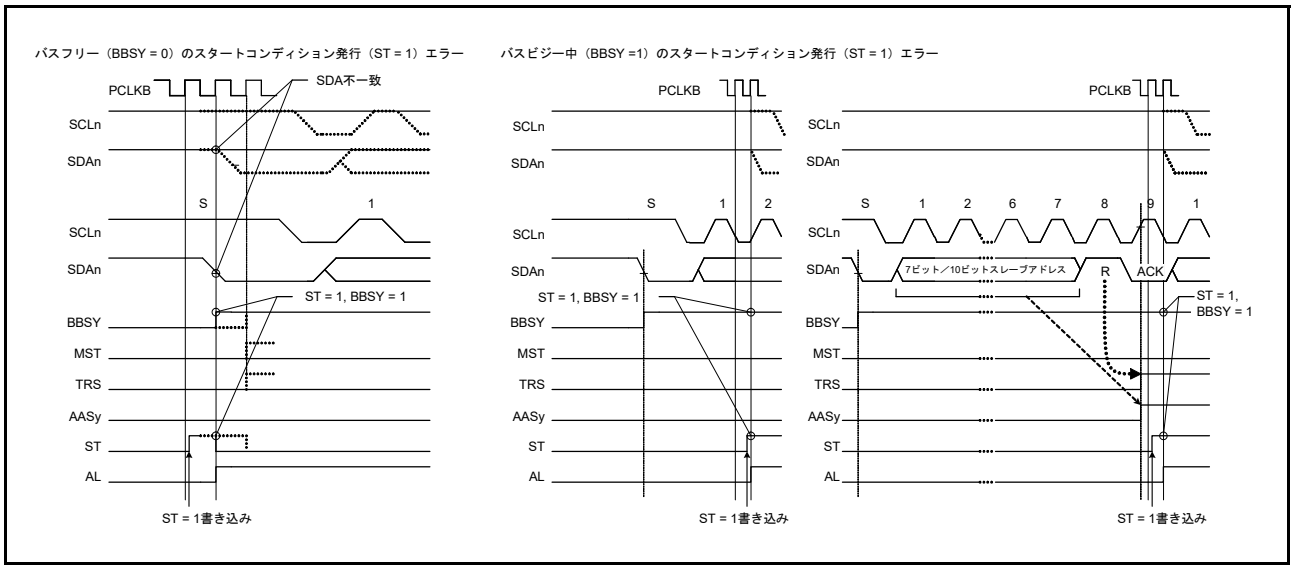


図 36.42　　スタートコンディション発行時のアービトレーションロスト（MALE = 1 の場合）

36.10.2 NACK 送信中のアービトレーションロスト検出機能（NALE ビット）

この機能は、受信モードで NACK 送信時に、内部の SDA 出力レベルと SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。マルチマスタのシステムにおいて、2 つ以上のマスタデバイスが同じスレーブデバイスから同時にデータを受信するとき、NACK 送信と ACK 送信の衝突が原因で、アービトレーションロストが発生します。このような衝突は、複数のマスタデバイスが 1 つのスレーブデバイスに対して同じ情報を送受信する際に生じます。図 36.43 に、NACK 送信中のアービトレーションロスト検出の動作例を示します。

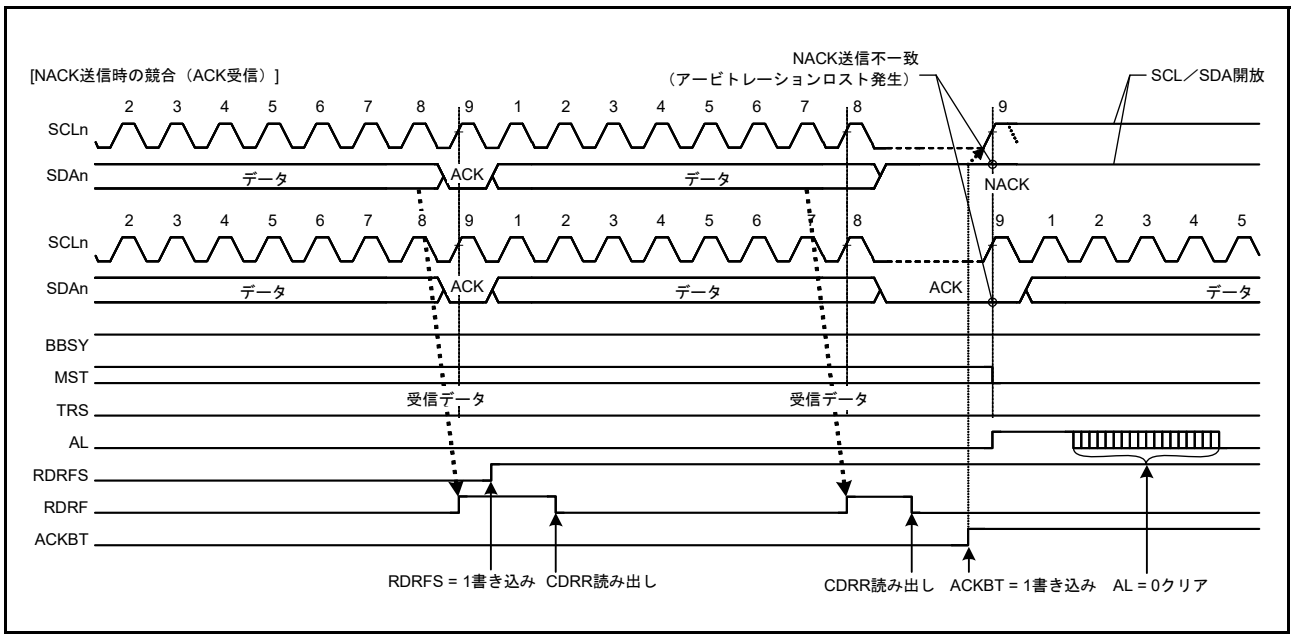


図 36.43 NACK 送信中のアービトレーションロスト検出の動作例（NALE = 1 の場合）

以下では、2 つのマスタデバイス（マスタ A、B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げてアービトレーションロストを説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

マスタ A とマスタ B が同時にスレーブデバイスにアクセスした場合、スレーブアドレスが同じであるため、スレーブデバイスアクセス中にマスタ A にも B にもアービトレーションロストは発生しません。マスタ A とマスタ B は、どちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスからの受信データが必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的に、このような衝突が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できずにストップコンディションを発行します。このストップコンディションの発行は、マスタ B の SCL クロック出力と競合し、通信を中断させます。

IIC は、NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知し、アービトレーションロストを発生させることができます。NACK 送信時にアービトレーションロストが発生すると、IIC はただちにスレーブ一致状態を解除して、スレーブ受信モードへ遷移します。この機能は、ストップコンディション発行を未然に防ぎ、バスの通信エラーを防止します。

同様に、SMBus の ARP コマンド処理においても、NACK 送信中のアービトレーションロスト検出機能を用いて、割り付けられたアドレスコマンド後の Get UDID 汎用処理で割り付けられたアドレスの UDID（ユニークデバイス ID）が不一致の場合に、FFh 送信処理などの追加クロック処理を省くことができます。

ICFER.NALE ビットが 1（NACK 送信中アービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC は NACK 送信中のアービトレーションロストを検出します。

［NACK 送信中アービトレーションロスト条件］

- NACK 送信時（ICMR3.ACKBT ビット = 1）、内部の SDA 出力レベルと SDAn ラインの状態（ACK 受信）が不一致のとき

36.10.3 スレーブアービトレーションロスト検出機能（SALE ビット）

この機能は、スレーブ送信モード時に、送信データ（内部の SDA 出力レベル）と SDAn ラインのレベルが不一致（内部 SDA 出力が High 出力、すなわち SDAn 端子がハイインピーダンス状態）であれば、SDAn ラインに Low が検出されたとき、アービトレーションロストを発生させます。このアービトレーションロスト検出機能は、主に SMBus での UDID（ユニークデバイス ID）送信時に使用します。

スレーブアービトレーションロストが発生した場合、IIC はただちにスレーブ一致状態を解除してスレーブ受信モードへ遷移します。この機能によって、SMBus での UDID 送信時のデータ衝突を検出し、以降の余剰な FFh 送信処理を省くことができます。

ICFER.SALE ビットが 1（スレーブアービトレーションロスト検出有効）の状態で、以下に示す条件が成立したとき、IIC はスレーブアービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

- スレーブ送信モード時（ICCR2.MST、TRS ビット = 01b）、アクノリッジを除く送信データ（内部 SDA 出力レベル）と SDAn ラインが不一致のとき

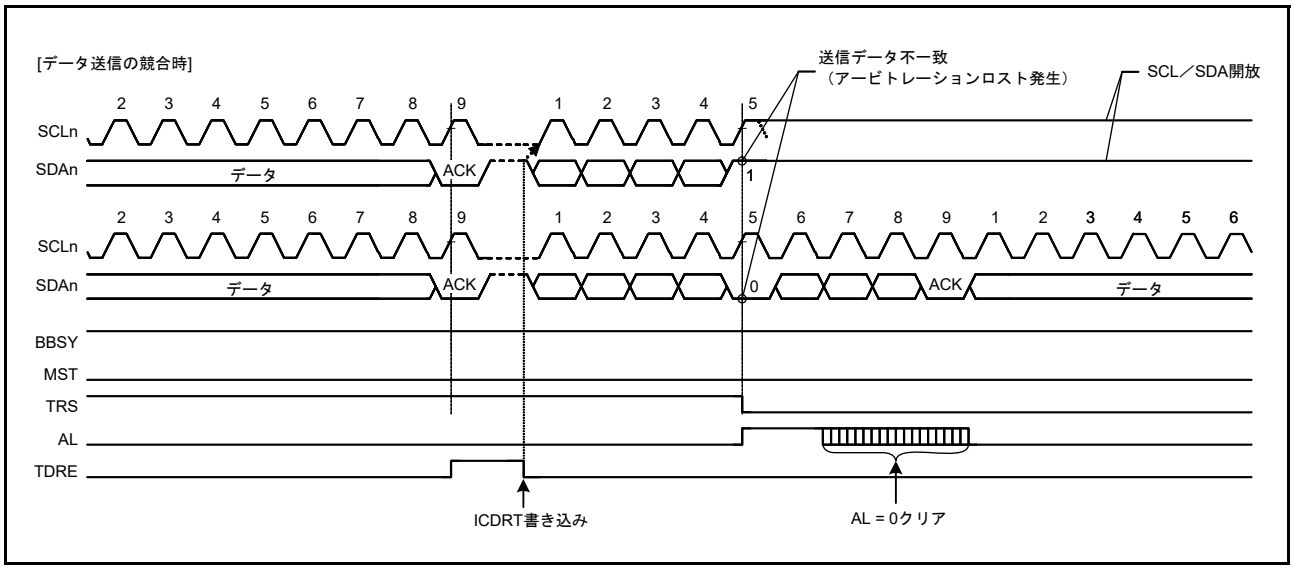


図 36.44 スレーブアービトレーションロスト検出の動作例（SALE = 1 の場合）

36.11 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

36.11.1 スタートコンディション発行動作

IIC は、ICCR2.ST ビットが 1 のときにスタートコンディションを発行します。ST ビットを 1 にすると、スタートコンディション要求が行われ、ICCR2.BBSY フラグが 0（バスフリー状態）の場合、IIC はスタートコンディションを発行します。スタートコンディションが正常に発行された場合、IIC は自動的にマスタ送信モードへ遷移します。

スタートコンディションの発行方法：

1. SDAn ラインを立ち下げる（High から Low に遷移）。
2. ICBRH レジスタで設定した時間とスタートコンディションのホールド時間が経過したことを確認する。
3. SCLn ラインを立ち下げる（High から Low に遷移）。
4. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

36.11.2 リスタートコンディション発行動作

IIC は、ICCR2.RS ビットが 1 のときリスタートコンディションを発行します。RS ビットを 1 にすると、リスタートコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はリスタートコンディションを発行します。

リスタートコンディションの発行方法：

1. SDAn ラインを開放する。
2. ICBRL レジスタで設定した時間、SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを開放する（Low から High に遷移）。
4. SCLn ラインの High を検出後、ICBRL レジスタで設定した時間とリスタートコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを立ち下げる（High から Low に遷移）。
6. ICBRH レジスタで設定した時間とリスタートコンディションのホールド時間が経過したことを確認する。
7. SCLn ラインを立ち下げる（High から Low に遷移）。
8. SCLn ラインの Low を検出後、ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。

注 . リスタートコンディション要求の発行時、ICCR2.RS が 0 であることを確認してから、ICDRT レジスタにスレーブアドレスを書いてください。ICCR2.RS が 1 のときに書き込まれたデータは、以前の再送条件と判断されるため、転送されません。

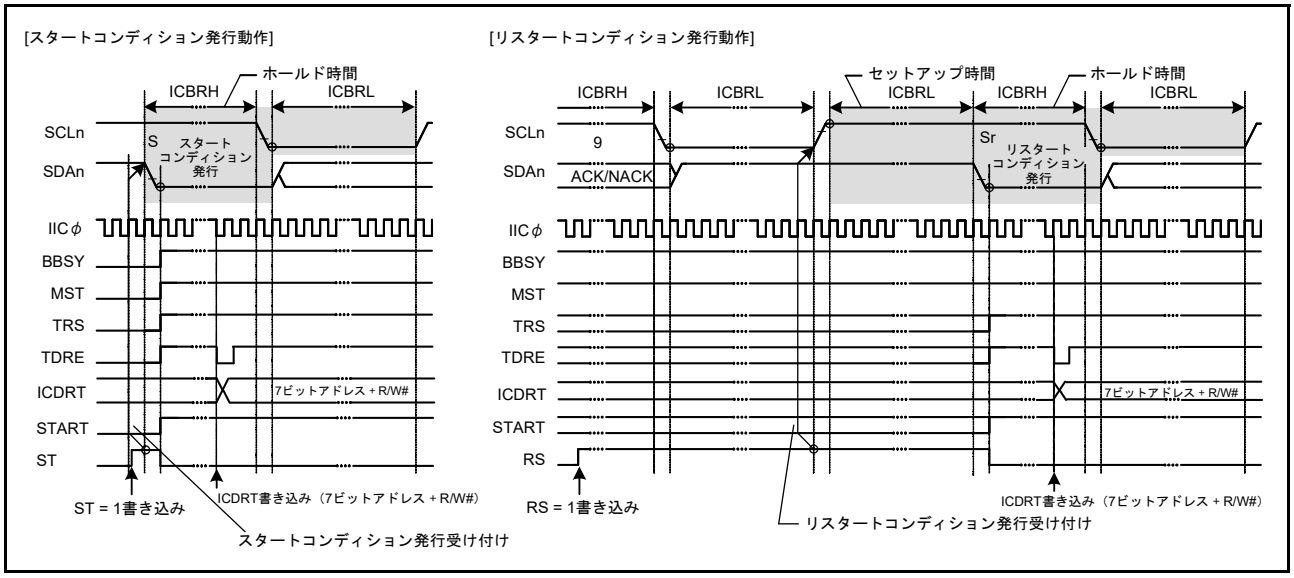


図 36.45　スタートコンディション、リスタートコンディション発行動作タイミング（ST および RS ビットの使用）

図 36.46 に、マスタ送信後にリスタートコンディションが発行されたときの動作タイミングを示します。

［マスタ送信後のリスタートコンディション発行動作］

1. 初期設定を行います。詳細は、36.3.2　初期設定を参照してください。
2. IICR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットを 1（スタートコンディション要求）にします。IIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。同時に、ICSR2.BBSY フラグと ICSR2.START フラグが自動的に 1 になり、ST ビットが自動的に 0 になります。このとき、ST ビットが 1 の状態でスタートコンディションが検出され、かつ、内部の SDA 出力レベルと SDAn ラインのレベルが一致していれば、IIC は ST ビットによるスタートコンディション発行が正常に行われたと認識し、ICCR2.MST、TRS ビットが自動的に 1 になり、IIC はマスタ送信モードになります。TRS ビットが 1 になるのに応じて、ICSR2.TDRE フラグも自動的に 1 になります。
3. ICSR2.TDRE フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。ICDRT レジスタに送信データが書き込まれると、TDRE フラグは自動的に 0 になり、ICDRT レジスタから ICDRS レジスタへデータが転送されて、再び TDRE フラグが 1 になります。スレーブアドレスと R/W# ビットを含むバイトの送信が完了すると、送信された R/W# ビットの値に応じて自動的に TRS ビットの値が更新され、マスタ送信モードまたはマスタ受信モードが選択されます。R/W# ビットの値が 0 であったなら、IIC はマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが 1 であると、アドレスを認識したスレーブデバイスが存在しないか、または通信エラーが発生していることを示しているため、ICCR2.SP ビットに 1 を書いて、ストップコンディションを発行してください。データを 10 ビットフォーマットのアドレスで送信する場合は、最初に、1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b（スレーブアドレスの上位 2 ビット）と W を書きます。次に、2 回目のアドレス送信処理では、ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
4. ICSR2.TDRE フラグが 1 であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、あるいは、リスタートコンディションまたはストップコンディションが発行されるまでの間、IIC は自動的に SCLn ラインを Low にホールドします。
5. 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが 1 に戻るのを待ってから、ICSR2.START フラグが 1 であることを確認した後、ICSR2.START フラグを 0 にしてください。
6. ICCR2.RS ビットを 1（リスタートコンディション要求）にします。IIC はこの要求を受け付けると、リスタートコンディションを発行します。
7. ICSR2.START フラグが 1 であることを確認した後、ICDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。

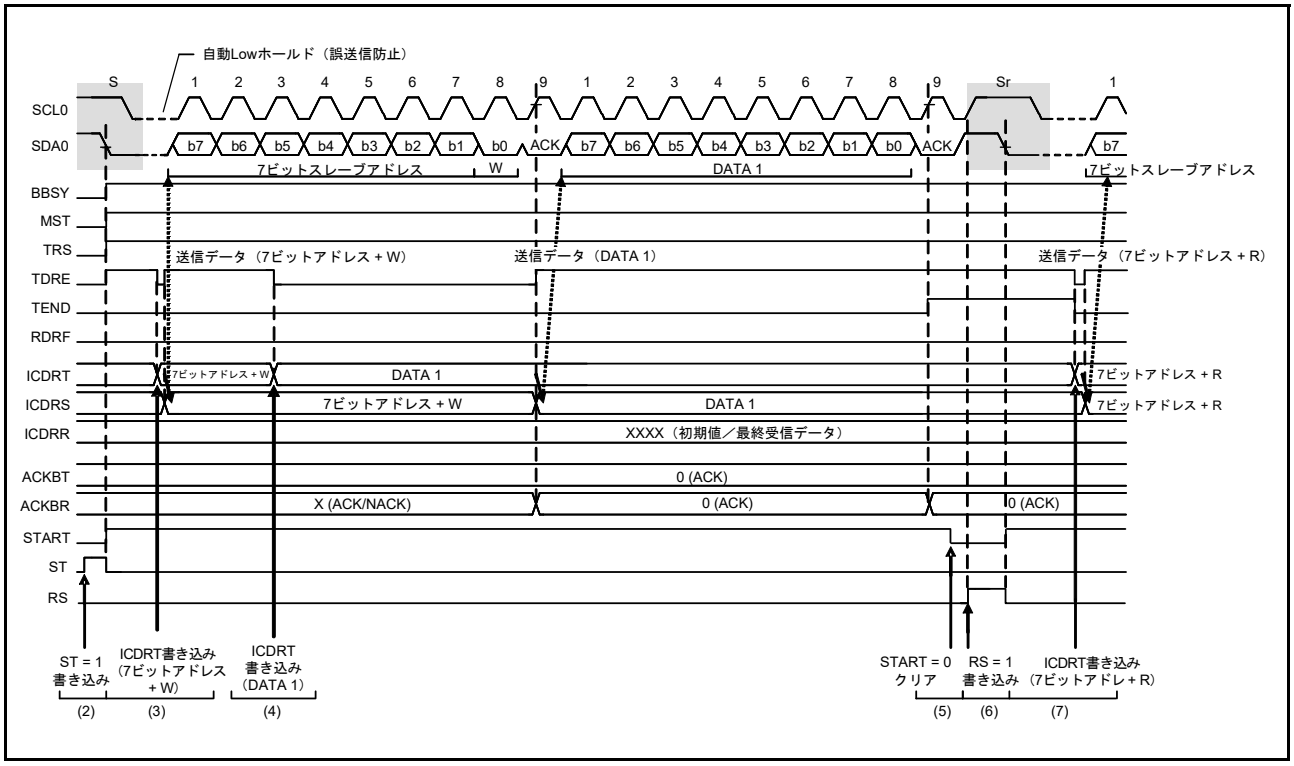


図 36.46　マスタ送信後のリスタートコンディション発行タイミング

36.11.3 ストップコンディション発行動作

IIC は、ICCR2.SP ビットが 1 のときストップコンディションを発行します。SP ビットを 1 にすると、ストップコンディション要求が行われ、ICCR2.BBSY フラグが 1（バスビジー状態）で、かつ ICCR2.MST ビットが 1（マスタモード）の場合、IIC はストップコンディションを発行します。

ストップコンディションの発行方法：

1. SDAn ラインを立ち下げる（High から Low に遷移）。
2. ICBRL レジスタで設定した SCLn ラインの Low 幅が経過したことを確認する。
3. SCLn ラインを開放する（Low から High に遷移）。
4. SCLn ラインの High 検出後、ICBRH レジスタで設定した時間とストップコンディションのセットアップ時間が経過したことを確認する。
5. SDAn ラインを開放する（Low から High に遷移）。
6. ICBRL レジスタで設定した時間とバスフリー時間が経過したことを確認する。
7. BBSY フラグをクリアしてバス権を解放する。

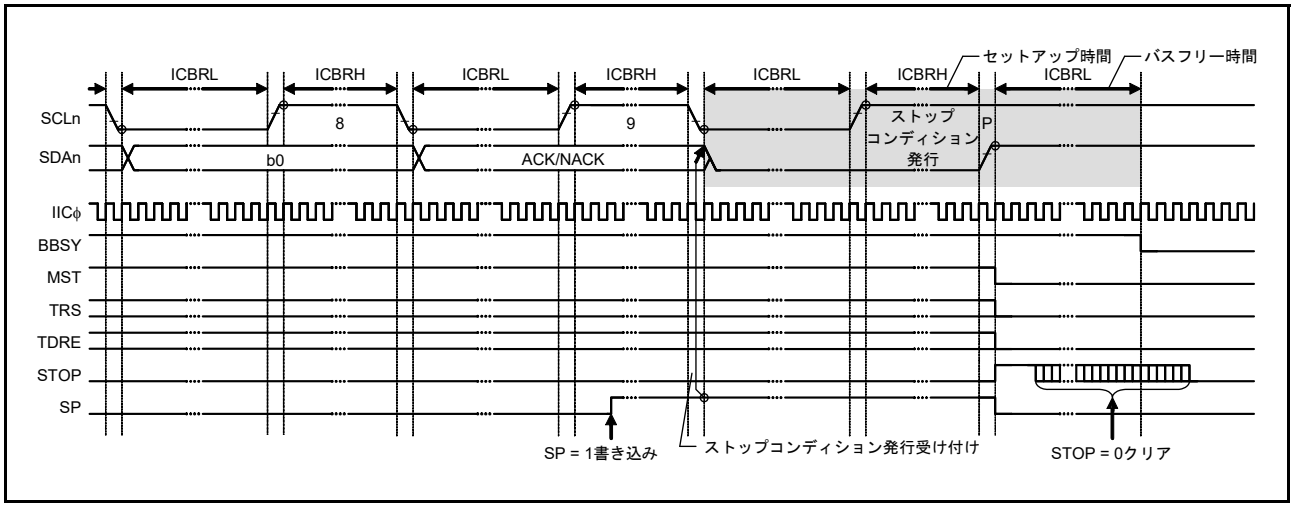


図 36.47 ストップコンディション発行動作タイミング（SP ビットの使用）

36.12 バスハングアップ

I²C バスではノイズなどの影響によりマスタデバイスから出力されたクロック信号とスレーブデバイスから出力されたクロック信号の間で同期ズレが発生すると、SCLn ラインや SDAn ライン上のレベルが固定されたままバスハングアップを起こす場合があります。

バスハングアップを管理するため、IIC は以下の機能を備えています。

- SCLn ラインを監視してハングアップを検出するためのタイムアウト検出機能
- クロック信号の同期ズレによるバスのハングアップ状態を解除するための SCL クロックサイクル追加出力機能
- IIC リセット機能
- 内部リセット機能

ICCR1.SCLO、SDAO、SCLI、SDAI の各ビットをチェックすることで、IIC 自身と通信相手のどちらが SCLn ラインまたは SDAn ラインを Low にしているのか確認することが可能です。

36.12.1 タイムアウト検出機能

タイムアウト検出機能では、SCLn ラインに一定時間以上変化が見られない状態を検出できます。IIC は、SCLn ラインが Low または High に固定されたまま一定時間以上経過したことを監視して、バスの異常状態を検出することができます。

タイムアウト検出機能は SCLn ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は、SCLn ラインが変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCLn ラインに変化がないために内部カウンタがオーバーフローすると、IIC はタイムアウトを検出してバスハングアップ状態を報告します。

タイムアウト検出機能は、ICFER.TMOE ビットが 1 のときのみ有効です。以下の条件で SCLn ラインが Low 固定または High 固定の場合にバスハングアップを検出します。

- マスタモード（ICCR2.MST ビット = 1）で、バスビジー（ICCR2.BBSY フラグ = 1）
- スレーブモード（ICCR2.MST ビット = 0）で、IIC スレーブアドレス検出（ICSR1 レジスタ ≠ 00h）かつバスビジー（ICCR2.BBSY フラグ = 1）
- スタートコンディション要求中（ICCR2.ST ビット = 1）で、バスフリー（ICCR2.BBSY フラグ = 0）

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0] ビットで設定された内部基準クロック（IICφ）をカウントソースとして使用します。このカウンタは、ロングモード選択時（ICMR2.TMOS ビット = 0）は 16 ビットカウンタ、ショートモード選択時（TMOS ビット = 1）は 14 ビットカウンタとして機能します。

また、内部カウンタのカウント動作は、SCLn ラインが Low のときカウントさせるか、High のときカウントさせるか、あるいはその両方をカウントさせるかを ICMR2.TMOH、TMOL ビットで選択することが可能です。TMOL ビットと TMOH ビットの両方を 0 にした場合、内部カウンタは動作しません。

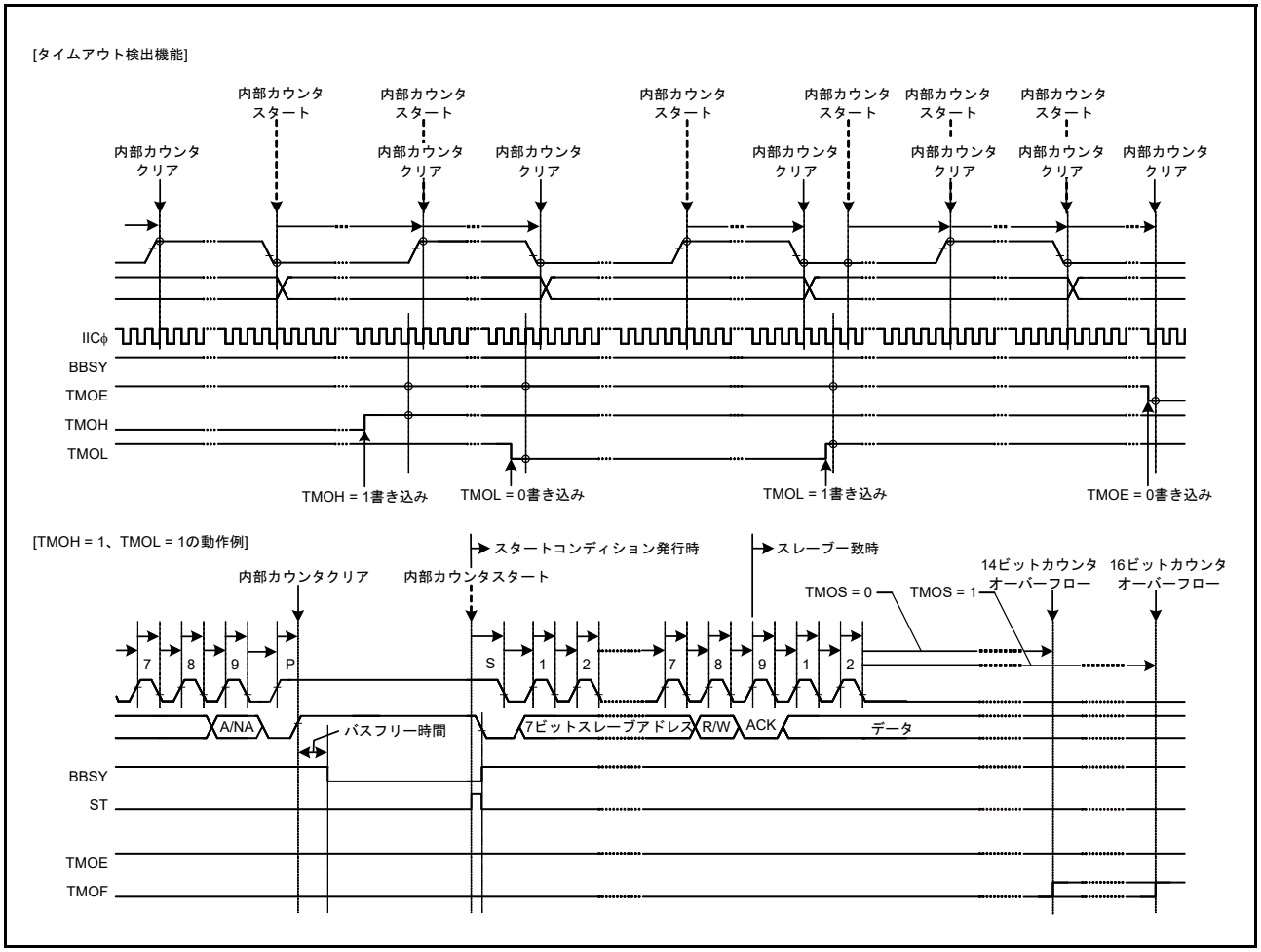


図 36.48　タイムアウト検出機能（TMOE、TMOS、TMOH および TMOL ビットの使用）

36.12.2 SCL クロック追加出力機能

マスタモード時、この機能は SCL クロックを追加出力して、スレーブデバイスとの同期ズレによるスレーブデバイスの SDAn ライン Low 固定状態を開放します。この機能は主にマスタモードで使用され、SCL クロックを IIC から追加出力することによって、スレーブデバイスの SDAn ラインを Low 固定から開放します。この機能は、スレーブデバイスが SDAn ラインを Low 固定しているため、IIC がストップコンディションを発行できない状態のバスエラー発生時に、SCL クロックを 1 クロック単位で使用します。通常はこの機能を使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

マスタモードで ICCR1.CLO ビットを 1 にすると、ICMR1.CKS[2:0] ビットおよび ICBRH、ICBRL レジスタで設定した転送速度で、SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に 0 になります。ソフトウェアで CLO ビットが 0 であることを確認した後、CLO ビットに 1 を書くことにより、追加クロックを連続的に出力することができます。

IIC モジュールがマスタモードであるとき、ノイズなどによるスレーブデバイスとの同期ズレが原因で、スレーブデバイスが SDAn ラインを Low に固定したままであると、ストップコンディションを出力できません。この機能を使用して SCL 追加クロックを 1 クロックずつ出力することで、スレーブデバイスの SDAn ラインの Low 固定状態を開放させ、バスを使用できない状態から回復させることができます。スレーブデバイスによる SDAn ラインの開放は、ICCR1.SDAI ビットを読みだすことで確認できます。スレーブデバイスによる SDAn ラインの開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

この機能を使用する場合、ICFER.MALE ビットを 0（マスタアービトレーションロスト検出無効）にしてください。MALE ビットが 1（有効）であると、ICCR1.SDAO ビットの値と SDAn ラインの状態が不一致のときにアービトレーションロストが発生します。

［ICCR1.CLO ビット使用時の出力条件］

- バスフリー状態（ICCR2.BBSY フラグ = 0）またはマスタモード（ICCR2.MST ビット = 1、BBSY フラグ = 1）のとき
- 通信デバイスが SCLn ラインを Low ホールドにしていない状態のとき

図 36.49 に SCL クロック追加出力機能（CLO ビット）の動作タイミングを示します。

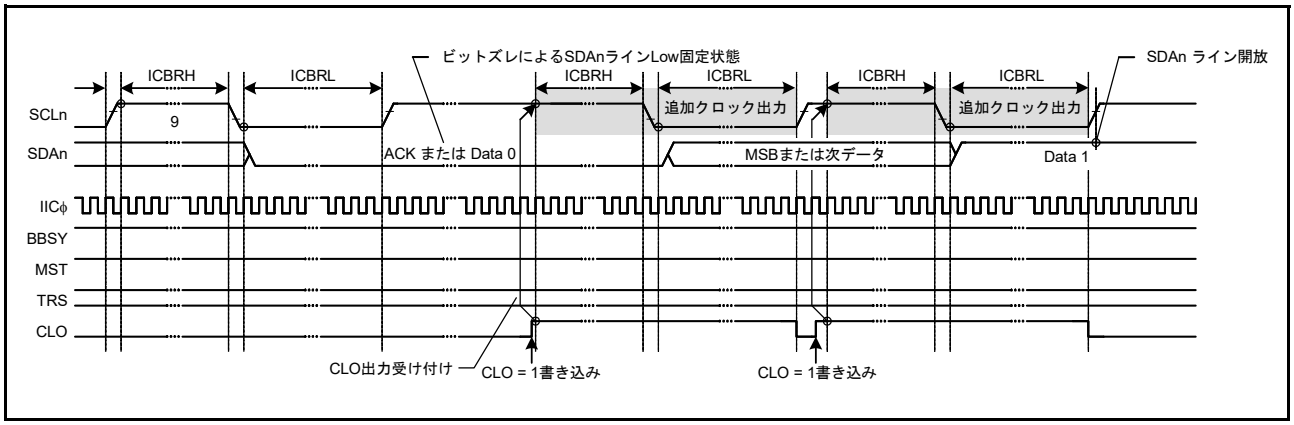


図 36.49 SCL クロック追加出力機能（CLO ビットの使用）

36.12.3 IIC リセット、内部リセット

IIC モジュールは、自身をリセットする機能を備えています。ICCR2.BBSY フラグを含めた全レジスタの初期化を行う IIC リセットと、各種設定値を保持したまま IIC をスレーブアドレス一致状態から解放し内部カウンタの初期化を行う内部リセットの 2 種類のリセットが用いられます。リセット後は、必ず ICCR1.IICRST ビットを 0 にしてください。

いずれのリセットも、SCLn 端子／ SDAn 端子の出力状態を解除してハイインピーダンスに戻すため、バスハングアップ状態の解除に有効です。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になるので、使用は極力避けてください。また、IIC リセット（ICCR1.ICE、IICRST ビット = 01b）中は、スタートコンディションの有無など、バス状態の監視はできません。

IIC リセットと内部リセットの詳細については、36.15 各コンディション発行時のレジスタの状態を参照してください。

36.13 SMBus 動作

IIC は、SMBus 仕様（Ver.2.0）に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを 1 にしてください。転送速度が SMBus 規格の 10kbps ～ 100kbps の範囲に収まるように、ICMR1.CKS[2:0] ビットと ICBRH および ICBRL レジスタを設定してください。また、データホールド時間の規定値 300ns 以上を満たすように、ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を指定してください。IIC をスレーブデバイスとしてのみ使用する場合は、転送速度の設定は不要ですが、ICBRL レジスタにはデータセットアップ時間（250ns）以上の値を設定してください。

なお、SMBus デバイスデフォルトアドレス（1100 001b）には、スレーブアドレスレジスタ L0 ～ L2（SARL0、SARL1、SARL2）のいずれか 1 本を使用し、対応する SARUy.FS ビット（y = 0 ～ 2）（7 ビットまたは 10 ビットアドレスフォーマット選択ビット）を 0（7 ビットアドレスフォーマット）にしてください。

また、UDID（ユニークデバイス ID）送信時には、ICFER.SALE ビットを 1 にして、スレーブアービトレーションロスト検出機能を有効にしてください。

36.13.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:SEXT}$）を計測する必要があります。

- スタートコンディションからストップコンディションまで

スレーブデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み（STIn）とストップコンディション検出割り込み（SPIn）を利用して、スタートコンディション検出からストップコンディション検出までの期間を GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積時間（スレーブデバイス）$T_{LOW:SEXT}$：25ms（max）以内でなければいけません。

GPT で計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、スレーブデバイスは ICCR1.IICRST ビットに 1 を書き込み IIC の内部リセットを発行してバス解放動作を行う必要があります。内部リセットを行うと IIC は SCLn 端子と SDAn 端子のバス駆動を中止し、両端子の出力をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信では、マスタデバイスは下記に示す区間（タイムアウト間隔：$T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビットまで
- アクノリッジビットから次のアクノリッジビットまで
- アクノリッジビットからストップコンディションまで

マスタデバイスでタイムアウト測定を行うには、IIC スタートコンディション検出割り込み（STIn）、ストップコンディション検出割り込み（SPIn）、送信終了割り込み（IICn_TEI）、または受信データフル割り込み（IICn_RXI）を利用して、GPT を使用して計測してください。測定したタイムアウト時間は、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$：10ms（max）以内であり、かつスタートコンディションからストップコンディションまでのすべての $T_{LOW:MEXT}$ の値の合計が $T_{LOW:SEXT}$：25ms（max）以内でなければいけません。

ACK 受信タイミング（SCL クロックの 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は ICSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は ICSR2.RDRF フラグで監視します。マスタ送信モード時は 1 バイト送信動作を行い、マスタ受信モード時は最終バイト受信の直前まで ICMR3.RDRFS ビットを 0 に保持してください。RDRFS ビットが 0 のとき、RDRF フラグは SCL クロックの 9 クロック目の立ち上がりで 1 になります。

GPT で計測した時間が、SMBus 規格のクロック Low 累積延長時間（マスタデバイス）$T_{LOW:MEXT}$：10ms（max）を超えた場合、または各計測時間の合計が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合は、マスタデバイスはストップコンディションを発行してトランザクションを中止する必要があります。マスタ送信モード時には即座に送信動作（ICDRT レジスタへの書き込み）を中止してください。

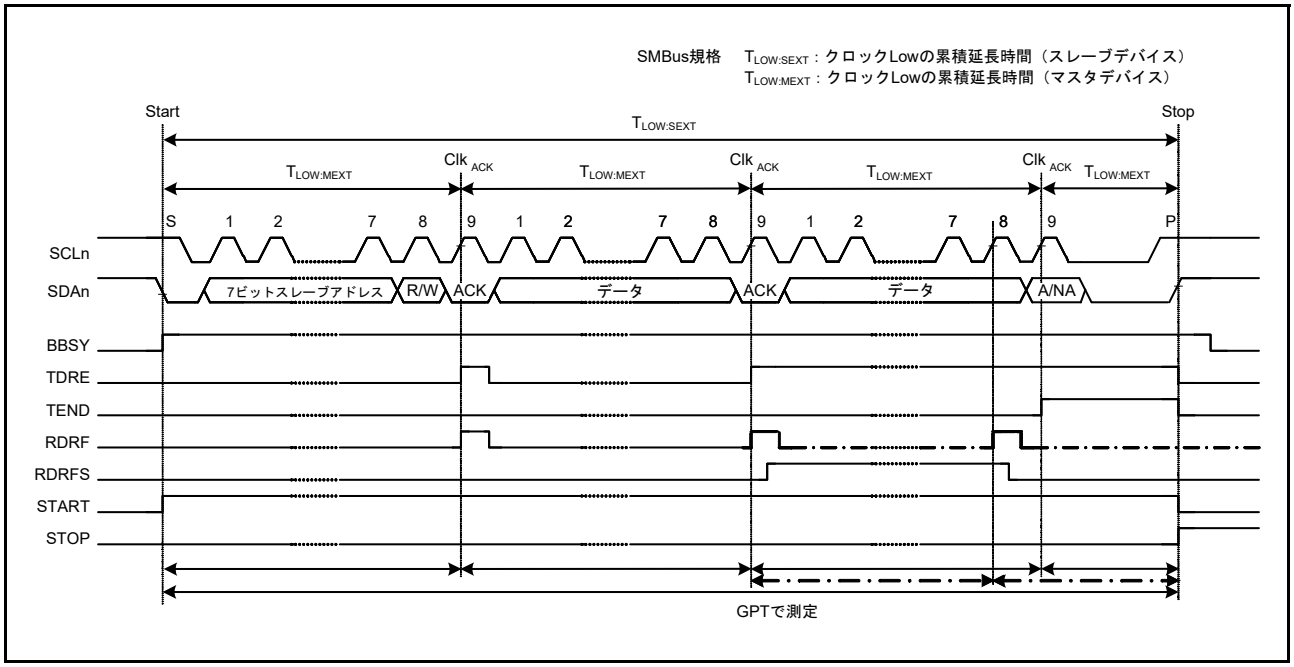


図 36.50 SMBus タイムアウト測定

36.13.2 パケットエラーコード（PEC）

本 MCU は CRC 演算器を内蔵しており、この CRC 演算器を利用して、パケットエラーコード（PEC）の送信や IIC の SMBus データ通信時の受信データチェックを行うことができます。CRC 演算器の生成多項式については「40. 巡回冗長検査（CRC）演算器」を参照してください。

マスタ送信モード時の PEC データは、全送信データを CRC 演算器の CRC データ入力レジスタ（CRCDIR）に書くことで呼び出すことができます。

マスタ受信モード時の PEC データは、全受信データを CRC 演算器の CRCDIR レジスタに書き、取得した CRC データ出力レジスタ（CRCDOR）の値と受信した PEC データを比較することでチェックできます。

PEC コードチェックの結果として最終バイトを受信したとき、結果（一致／不一致）に応じて ACK/NACK 送出を行う場合は、最終バイト受信時の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを 1 にし、8 クロック目の立ち下がりで SCLn ラインを Low にホールドしてください。

36.13.3 SMBus ホスト通知プロトコル（Notify ARP Master コマンド）

SMBus 通信では、スレーブデバイスが一時的にマスタデバイスとなり、SMBus ホスト（または ARP マスタ）に対して自スレーブアドレスを通知したり、SMBus ホストに対して自スレーブアドレスを要求したりできます。

本 MCU を使用する製品を SMBus ホストまたは ARP マスタとして動作させる場合、スレーブデバイスからのホストアドレス（0001 000b）送信をスレーブアドレスとして検出する必要があるため、IIC はホストアドレス検出機能を備えています。ホストアドレスをスレーブアドレスとして検出するには、ICMR3.SMBS ビットを 1、ICSER.HOAE ビットを 1 にしてください。ホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

36.14 割り込み要因

IIC が発行する割り込み要求には、通信エラー／イベント発生（アービトレーションロスト検出、NACK 検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出）、受信データフル、送信データエンプティ、送信終了の 4 種類があります。表 36.10 に割り込み要求の詳細を示します。受信データフル割り込みおよび送信データエンプティ割り込みにより、DTC または DMAC を起動してデータ転送を行うことができます。

表 36.10 割り込み要因

シンボル	割り込み要因	割り込みフラグ	DMAC/DTC の起動	割り込み条件
IICn_EEI（注5）	通信エラー／イベント発生	AL	不可能	AL = 1 かつ ALIE = 1
		NACKF		NACKF = 1 かつ NAKIE = 1
		TMOF		TMOF = 1 かつ TMOIE = 1
		START		START = 1 かつ STIE = 1
		STOP		STOP = 1 かつ SPIE = 1
IICn_RXI（注2）（注5）	受信データフル	RDRF	可能	RDRF = 1 かつ RIE = 1
IICn_TXI（注1）（注5）	送信データエンプティ	TDRE	可能	TDRE = 1 かつ TIE = 1
IICn_TEI（注3）（注5）	送信終了	TEND	不可能	TEND = 1 かつ TEIE = 1
IIC0_WUI（注4）	ウェイクアップ機能時にスレーブアドレス一致	WUF	不可能	スレーブアドレス一致 スレーブ受信完了 RWAK 動作 ASY0 = 1 WUIE = 1

注 . CPU による周辺モジュールへの書き込み命令の実行と、実際にモジュールに書き込まれるタイミングとの間には、遅延があります。割り込みフラグをクリアまたはマスクした場合は、関連するフラグを再度読み出し、クリアまたはマスク処理の完了を確認した後、割り込み処理から復帰させてください。そうしないと、同じ割り込み処理が繰り返される可能性があります。

注 1. IICn_TXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_TXI 割り込みの条件となる ICSR2.TDRE フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOP フラグ = 1）で自動的に 0 になります。

注 2. IICn_RXI 割り込みはエッジ検出割り込みであるため、クリアの必要はありません。また IICn_RXI 割り込みの条件となる ICSR2.RDRF フラグは、ICDRR レジスタの読み出しで自動的に 0 になります。

注 3. IICn_TEI 割り込みを使用する場合、IICn_TEI 割り込み処理で ICSR2.TEND フラグをクリアしてください。ICSR2.TEND フラグは、ICDRT レジスタへの送信データの書き込み、あるいはストップコンディションの検出（ICSR2.STOP フラグ = 1）で自動的に 0 になります。

注 4. ウェイクアップ機能はチャネル 0 にしかないので、IIC0_WUI はチャネル 0 の場合しか使用しません。

注 5. チャネル番号（n = 0 ～ 2）

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

36.14.1 IICn_TXI 割り込みおよび IICn_RXI 割り込みのバッファ動作

対応する IR フラグが 1 のときに、IICn_TXI 割り込みまたは IICn_RXI 割り込みの発生条件が成立した場合、割り込み要求は ICU へ出力されず、内部に保存されます。1 要因あたり 1 要求を内部に保持できます。

ICU.IELSRn.IR フラグが 0 になると、ICU に保存されていた割り込み要求が出力されます。通常の状態では、内部的に保存されていた割り込み要求が自動的にクリアされます。これらは、対応する周辺モジュール側の割り込み許可ビットを 0 にすることでもクリアが可能です。

36.15 各コンディション発行時のレジスタの状態

IIC は 2 種類の専用リセット機能、すなわち IIC リセットと内部リセットを備えています。表 36.11 に、各コンディション発行時のレジスタの状態を示します。

表 36.11 各コンディション発行時のレジスタの状態

レジスタ		リセット	IIC リセット（ICE ビット = 0、IICRST ビット = 1）	内部リセット（ICE ビット = 1、IICRST ビット = 1）	スタートコンディションまたはリスタートコンディション検出	ストップコンディション検出
ICCR1	ICE、IICRST	リセット	保持	保持	保持	保持
	SCLO、SDAO		リセット	リセット		
	その他			保持		
ICCR2	BBSY	リセット	リセット	保持	セット	保持
	ST			リセット	保持	保持
	TRS,MST				セットまたは保持	リセット
	その他				リセット	リセットまたは保持
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持
	その他			保持	保持	
ICMR2		リセット	リセット	保持	保持	保持
ICMR3		リセット	リセット	保持	保持	保持
ICFER		リセット	リセット	保持	保持	保持
ICSER		リセット	リセット	保持	保持	保持
ICIER		リセット	リセット	保持	保持	保持
ICSR1		リセット	リセット	リセット	保持	リセット
ICSR2	TDRE、TEND	リセット	リセット	リセット	保持	リセット
	START				セット	
	STOP				保持	セット
	その他				保持	保持
ICWUR		リセット	リセット	保持	保持	保持
SARL0～SARL2 SARU0～SARU2		リセット	リセット	保持	保持	保持
ICBRH、ICBRL		リセット	リセット	保持	保持	保持
ICDRT		リセット	リセット	保持	保持	保持
ICDRR		リセット	リセット	保持	保持	保持
ICDRS		リセット	リセット	リセット	保持	保持
タイムアウト検出機能		リセット	リセット	動作	動作	動作
バスフリー時間計測		リセット	リセット	動作	動作	動作

36.16 イベントリンクコントローラ（ELC）への出力

IIC0 ～ IIC2 モジュールは、ELC に対して以下の要因によってイベント出力を行います。

(1) 通信エラーイベント

通信エラーイベントが発生すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(2) 受信データフル

レシーブデータレジスタが受信データフルになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(3) 送信データエンプティ

トランスミットデータレジスタが送信データエンプティになると、対応するイベント信号を ELC によって他のモジュールに出力できます。

(4) 送信終了

転送が終了すると、対応するイベント信号を ELC によって他のモジュールに出力できます。

36.16.1 割り込み処理とイベントリンク機能

IIC の各割り込み（表 36.10 参照）には、対応する割り込み信号の許可または禁止を制御する許可ビットがあります。対応する割り込み許可ビットがセットされている場合に割り込み要因の条件が成立すると、CPU に対して割り込み要求信号が出力されます。

割り込み要因が発生すると、割り込み許可ビットの設定にかかわらず、対応するイベントリンク出力信号が ELC によって他のモジュールにイベント信号として出力されます。各割り込み要因については、表 36.10 を参照してください。

36.17 使用上の注意事項

36.17.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）によって、IIC の動作を許可または禁止することが可能です。IIC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

36.17.2 割り込み発生後の転送開始

転送開始（ICCR1.ICE ビット = 1）時点で IIC の割り込みに対応した IR フラグが 1 であれば、動作を許可する前に下記の手順で割り込み要求をクリアしてください。ICCR1.ICE ビットが 1 の状態で IR フラグを 1 にして転送を開始すると、転送開始後、割り込み要求が内部で保持されるため、IR フラグが予期しない動作となる可能性があります。

転送開始前に割り込みをクリアする方法：

1. ICCR1.ICE ビットが 0 であることを確認する。
2. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を 0 にする。
3. 周辺機能で対応する割り込み許可ビット（ICIER.TIE など）を読み出して、それらの値が 0 であることを確認する。
4. IR フラグを 0 にする。

37. CAN（Controller Area Network）モジュール

37.1 概要

CAN（Controller Area Network）モジュールは、電磁的ノイズの多いアプリケーションにおいて、メッセージベースのプロトコルを用いて複数のスレーブとマスタ間でデータの送受信を行います。このモジュールは、ISO 11898-1（CAN 2.0A/CAN 2.0B）規格に準拠し、最大 32 個のメールボックスをサポートしています。これらは、通常のメールボックスモードと FIFO モードでの送受信用に設定可能です。標準（11 ビット）と拡張（29 ビット）の両方のメッセージフォーマットに対応しています。

表 37.1 に CAN モジュールの仕様を、図 37.1 にブロック図を示します。CAN モジュールには、追加の外部 CAN トランシーバが必要です。

表 37.1 CANモジュールの仕様 (1/2)

項目	内容
データ転送レート	ISO11898-1準拠の標準フレームと拡張フレーム
ビットレート	最大1Mbpsのデータ転送レートをプログラム可能（fCAN≧8MHz） fCAN：CANクロックソース
メッセージボックス	32個のメールボックスに対し、下記の2種類のメールボックスモードを選択可能 • 通常モード：32個のメールボックスを送信または受信用に個別に設定可能 • FIFOモード：24個のメールボックスを送信または受信用に個別に設定可能、残りのメールボックスは受信用および送信用の4段FIFOで使用
受信	• データフレームとリモートフレームの受信をサポート • 受信IDフォーマットは、標準IDのみ、拡張IDのみ、またはミックスIDを選択可能 • ワンショット受信機能をプログラム可能 • オーバーライトモード（未読メッセージ上書き）またはオーバーランモード（未読メッセージ保持）を選択可能 • メールボックスごとに個別に受信完了割り込みを許可または禁止に設定可能
アクセプタンスフィルタ	• 8つのアクセプタンスマスク（4メールボックスごとに1つ） • メールボックスごとに個別にマスクを有効または無効に設定可能
送信	• データフレームとリモートフレームの送信をサポート • 送信IDフォーマットは、標準IDのみ、拡張IDのみ、またはミックスIDに選択可能 • ワンショット送信機能を選択可能 • ブロードキャストメッセージ機能 • メッセージIDまたはメールボックス番号に基づく優先モードを選択可能 • 送信要求アボートをサポート、アボート完了はステータスフラグで確認可能 • メールボックスごとに個別に送信完了割り込みを許可または禁止に設定可能
バスオフ復帰のモード遷移	バスオフ状態からの復帰のモード遷移を選択可能： • ISO11898-1仕様準拠 • バスオフ開始で自動的にCAN haltモードへ遷移 • バスオフ終了で自動的にCAN haltモードへ遷移 • ソフトウェアによりCAN haltモードへ遷移 • ソフトウェアによりエラーアクティブ状態へ遷移
エラー状態の監視	• CANバスエラー（スタッフエラー、フォームエラー、ACKエラー、15ビットCRCエラー、ビットエラー、ACKデリミタエラー）の監視 • エラー状態（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰）への遷移の検出 • エラーカウンタ読み出しのサポート
タイムスタンプ機能	• 16ビットカウンタによるタイムスタンプ機能 • 基準クロックは、1、2、4、8ビットタイム期間から選択可能
割り込み機能	5種類の割り込み要因をサポート：受信完了割り込み、送信完了割り込み、受信FIFO割り込み、送信FIFO割り込み、エラー割り込み
CANスリープモード	CANクロック停止による消費電力の削減
ソフトウェアサポートユニット	3つのソフトウェアサポートユニット： • アクセプタンスフィルタサポート • メールボックス検索サポート（受信メールボックス検索、送信メールボックス検索、メッセージロスト検索） • チャネル検索サポート
CANクロックソース	PCLKBまたはCANMCLK

表 37.1 CANモジュールの仕様 (2/2)

項目	内容
テストモード	評価用に3つのテストモードを用意： • リッスンオンリモード • セルフテストモード0（外部ループバック） • セルフテストモード1（内部ループバック）
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

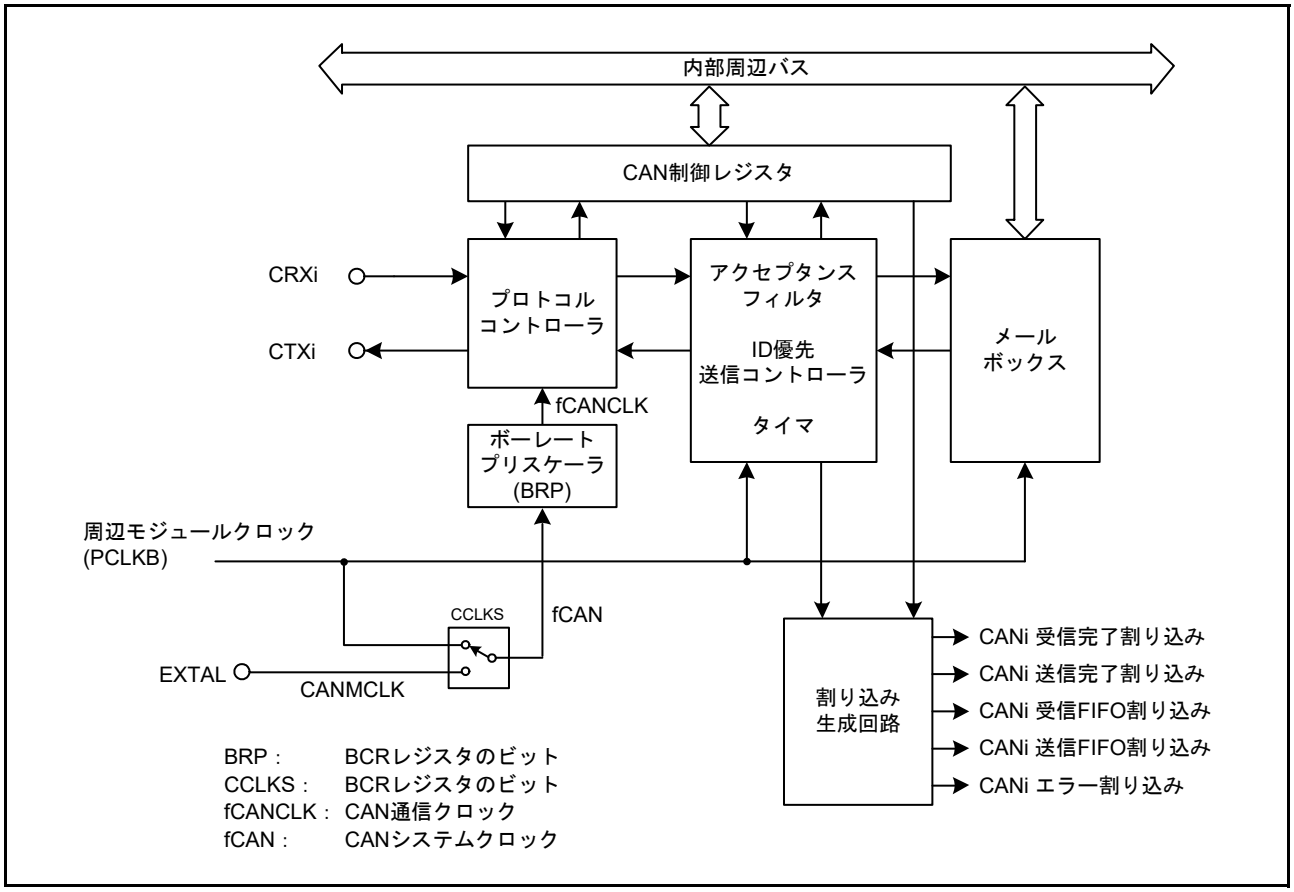


図 37.1 CAN モジュールブロック図（i = 0, 1）

CAN モジュールには、次のブロックが含まれます。

- CAN の入出力端子
  CRXi および CTXi (i = 0, 1)
- プロトコルコントローラ
  バスアービトレーションや送受信時のビットタイミング、スタッフ処理、エラー処理などの CAN プロトコル処理を行います。
- メールボックス
  送信または受信のいずれかに設定可能な 32 個のメールボックスで構成されます。各メールボックスは、固有の ID、データ長コード（DLC）、データフィールド（8 バイト）、およびタイムスタンプを持ちます。
- アクセプタンスフィルタ
  受信メッセージのフィルタ処理を行います。このフィルタ処理には、MKR0 ～ MKR7 レジスタを使用します。
- タイマ
  タイムスタンプ機能に使用します。メールボックスにメッセージを格納するときのタイマ値がタイムスタンプ値として書き込まれます。
- 割り込み発生回路
  下記の 5 種類の割り込みを生成します。
  - CANi 受信完了割り込み
  - CANi 送信完了割り込み
  - CANi 受信 FIFO 割り込み
  - CANi 送信 FIFO 割り込み
  - CANi エラー割り込み

CAN モジュールは、表 37.2 に示す端子で通信を行います。これらは、本 MCU の他の信号との兼用端子です。詳細は、「20. I/O ポート」を参照してください。

表 37.2 CAN モジュールの入出力端子

端子名	入出力	機能
CRX0	入力	データ受信端子
CTX0	出力	データ送信端子
CRX1	入力	データ受信端子
CTX1	出力	データ送信端子

37.2 レジスタの説明

37.2.1 コントロールレジスタ（CTLR）

アドレス CAN0.CTLR 4005 0840h, CAN1.CTLR 4005 1840h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	RBOC	BOM[1:0]		SLPM	CANM[1:0]		TSPS[1:0]		TSRC	TPM	MLM	IDFM[1:0]		MBM
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MBM	CANメールボックスモード選択（注1）	0：通常メールボックスモード 1：FIFOメールボックスモード	R/W
b2-b1	IDFM[1:0]	IDフォーマットモード選択（注1）	b1 b0 0 0：標準IDモード FIFOメールボックスを含むすべてのメールボックスは標準IDのみを処理します。 0 1：拡張IDモード FIFOメールボックスを含むすべてのメールボックスは拡張IDのみを処理します。 1 0：ミックスIDモード FIFOメールボックスを含むすべてのメールボックスは標準IDと拡張IDの両方を処理します。通常メールボックスモードでは、対応するIDEビットを使用して標準IDと拡張IDを識別してください。FIFOメールボックスモードでは、対応するIDEビットはメールボックス0～23に使用します。FIDCR0およびFIDCR1レジスタのIDEビットは受信FIFO用に、メールボックス24に対応するIDEビットは送信FIFO用に使用します。 1 1：設定禁止	R/W
b3	MLM	メッセージロストモード選択（注1）	0：オーバーライトモード 1：オーバーランモード	R/W
b4	TPM	送信優先順位モード選択（注1）	0：ID優先送信モード 1：メールボックス番号優先送信モード	R/W
b5	TSRC	タイムスタンプカウンタリセットコマンド（注4）	0：何もしない 1：リセット（注3）	R/W
b7-b6	TSPS[1:0]	タイムスタンププリスケーラ選択（注1）	b7 b6 0 0：1ビットタイムごと 0 1：2ビットタイムごと 1 0：4ビットタイムごと 1 1：8ビットタイムごと	R/W
b9-b8	CANM[1:0]	CANオペレーションモード選択（注5）	b9 b8 0 0：CANオペレーションモード 0 1：CANリセットモード 1 0：CANhaltモード 1 1：CANリセットモード（強制遷移）	R/W
b10	SLPM	CANスリープモード（注5）（注6）	0：その他の全モード 1：CANスリープモード	R/W
b12-b11	BOM[1:0]	バスオフ復帰モード（注1）	b12 b11 0 0：通常モード（ISO11898-1準拠） 0 1：バスオフ開始で自動的にCANhaltモードへ遷移 1 0：バスオフ終了で自動的にCANhaltモードへ遷移 1 1：ソフトウェア要求によりバスオフ復帰期間中にCANhaltモードへ遷移	R/W
b13	RBOC	バスオフ強制復帰（注2）	0：何もしない 1：バスオフ状態から強制復帰（注3）	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. BOM[1:0]、TSPS[1:0]、TPM、MLM、IDFM[1:0]、および MBM ビットへの書き込みは、CAN リセットモード時に行ってください。
注 2. RBOC ビットはバスオフ状態で 1 にしてください。
注 3. このビットは、1 にした後、自動的に 0 になります。読むと 0 が読めます。
注 4. TSRC ビットは CAN オペレーションモード時に 1 にしてください。
注 5. CANM[1:0] および SLPM ビットを変更した場合は、STR レジスタでモードが切り替わったことを確認してください。モードが切り替わるまで、CANM[1:0] ビットまたは SLPM ビットを変更しないでください。
注 6. SLPM ビットへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。SLPM ビットを変更する場合は、SLPM ビットのみに 0 または 1 を書いてください。

MBM ビット（CAN メールボックスモード選択）

MBM ビットが 0（通常メールボックスモード）の場合、メールボックス 0 ～ 31 は送信または受信メールボックスに設定されます。

MBM ビットが 1（FIFO メールボックスモード）の場合、メールボックス 0 ～ 23 は送信または受信メールボックスに設定されます。メールボックス 24 ～ 27 は送信 FIFO に、メールボックス 28 ～ 31 は受信 FIFO に設定されます。送信データは、メールボックス 24（送信 FIFO のウィンドウメールボックス）に書き込まれます。受信データは、メールボックス 28（受信 FIFO のウィンドウメールボックス）から読み出されます。

表 37.3 にメールボックスの構成を示します。

IDFM[1:0] ビット（ID フォーマットモード選択）

IDFM[1:0] ビットは、ID フォーマットを指定します。

MLM ビット（メッセージロストモード選択）

MLM ビットは、未読メールボックスに新しいメッセージを取り込む場合の動作を指定します。オーバーライトモードまたはオーバーランモードを選択できます。いずれの場合も、選択したモードが受信 FIFO を含めたすべてのメールボックスに適用されます。

MLM ビットが 0 の場合、すべてのメールボックスはオーバーライトモードになります。新しいメッセージを受信すると、それによって既存のメッセージが上書きされます。

MLM ビットが 1 の場合、すべてのメールボックスはオーバーランモードになります。新しいメッセージは、古いメッセージを上書きすることなく、破棄されます。

TPM ビット（送信優先順位モード選択）

TPM ビットは、メッセージを送信する場合の優先順位を指定します。ID 優先送信モードまたはメールボックス番号送信モードから選択できます。すべてのメールボックスは、ID 優先送信またはメールボックス番号優先送信のどちらかになります。

TPM ビットが 0 の場合、ID 優先送信モードが選択され、送信優先順位は ISO11898-1 の CAN 仕様に定められているように調停されます。ID 優先送信モードでは、メールボックス 0 ～ 31（通常メールボックスモード時）、メールボックス 0 ～ 23（FIFO メールボックスモード時）、および送信 FIFO が、送信用に設定されたメールボックスの ID と比較されます。2 つ以上のメールボックス ID が同一であると、小さい番号のメールボックスが優先されます。

送信 FIFO から送信される次のメッセージのみが、送信アービトレーションの対象となります。FIFO メッセージを送信中の場合、送信 FIFO 内の次の待機メッセージが送信アービトレーションの対象となります。

TPM ビットが 1 の場合、メールボックス番号送信モードが選択され、一番小さい番号の送信メールボックスが最優先されます。FIFO メールボックスモードでは、送信 FIFO は通常メールボックス（0 ～ 23）よりも優先順位が低くなります。

TSRC ビット（タイムスタンプカウンタリセットコマンド）

TSRC ビットは、タイムスタンプカウンタをリセットします。このビットを 1 にすると、TSR レジスタは 0000h になります。TSRC ビットは、自動的に 0 になります。

TSPS[1:0] ビット（タイムスタンププリスケーラ選択）

TSPS[1:0] ビットは、タイムスタンプ用のプリスケーラを選択します。タイムスタンプ用の基準クロックは、1、2、4、または 8 ビットタイム期間から選択できます。

CANM[1:0] ビット（CAN オペレーションモード選択）

CANM[1:0] ビットは、CAN モジュールのモードを、CAN オペレーションモード、CAN リセットモード、CAN halt モードから 1 つ選択します。CAN スリープモードは SLPM ビットで設定します。詳細は、37.3 動作モードを参照してください。

CAN モジュールが、BOM[1:0] ビットの設定値に基づいて CAN halt モードへ遷移した場合、CANM[1:0] ビットは自動的に 10b になります。

SLPM ビット（CAN スリープモード）

SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。詳細は、37.3　動作モードを参照してください。

BOM[1:0] ビット（バスオフ復帰モード）

BOM[1:0] ビットは、CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが 00b の場合、ISO11898-1 仕様に準拠してバスオフから復帰します。CAN モジュールは、11 の連続するレセシブビットを 128 回検出すると、CAN 通信（エラーアクティブ状態）を回復させます。バスオフからの復帰時に、バスオフ復帰割り込み要求が発生します。

BOM[1:0] ビットが 01b の場合、CAN モジュールがバスオフ状態に達すると、CTLR.CANM[1:0] ビットが 10b になり CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 10b の場合、CAN モジュールがバスオフ状態に達すると、ただちに CANM[1:0] ビットが 10b になります。CAN モジュールは、11 の連続するレセシブビットを 128 回検出してバスオフ状態から復帰した後、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求が発生し、TECR レジスタと RECR レジスタは 00h になります。

BOM[1:0] ビットが 11b の場合、CAN モジュールがまだバスオフ状態のときに CANM[1:0] ビットを 10b にすると、CAN halt モードへ遷移します。バスオフからの復帰時にバスオフ復帰割り込み要求は発生せず、TECR レジスタと RECR レジスタは 00h になります。ただし、CANM[1:0] ビットを 10b にする前に、11 の連続するレセシブビットを 128 回検出して CAN モジュールがバスオフから復帰した場合は、割り込みが発生します。

CAN モジュールが CAN halt モードへ遷移しようとしたとき（BOM[1:0] ビット = 01b のときはバスオフ開始時、BOM[1:0] ビット = 10b のときはバスオフ終了時）、同時に CPU が CAN リセットモードへの遷移を要求した場合は、CPU 要求の CAN リセットモードへの遷移が優先されます。

RBOC ビット（バスオフ強制復帰）

バスオフ状態のとき RBOC ビットを 1 にすると、CAN モジュールは強制的にバスオフを終了させます。このビットは自動的に 0 になり、エラー状態はバスオフからエラーアクティブに変化します。RBOC ビットを 1 にすると、RECR および TECR レジスタが 00h にクリアされ、STR.BOST ビットが 0 になって、バスオフ状態ではないことを示します。他のレジスタは RBOC ビットを 1 にしても変化しません。バスオフ復帰割り込み要求は発生しません。RBOC ビットは、BOM[1:0] ビットが 00b（通常モード）の場合にのみ使用してください。

表 37.3　メールボックスの構成

メールボックス	MBM ビット = 0（通常メールボックスモード）	MBM ビット = 1（FIFO メールボックスモード）（注1）～（注5）
メールボックス 0～23	通常メールボックス	通常メールボックス
メールボックス 24～27		送信 FIFO
メールボックス 28～31		受信 FIFO

注 1.　送信 FIFO は TFCR レジスタで制御します。メールボックス 24 ～ 27 に対応する MCTL_TXj レジスタは無効です。MCTL_TX24 ～ MCTL_TX27 レジスタは送信 FIFO では使用できません。

注 2.　受信 FIFO は RFCR レジスタで制御します。メールボックス 28 ～ 31 に対応する MCTL_RXj レジスタは無効です。MCTL_RX28 ～ MCTL_RX31 レジスタは受信 FIFO では使用できません。

注 3.　FIFO 割り込みについては、MIER_FIFO レジスタの説明を参照してください。

注 4. メールボックス 24 ～ 31 に対応する MKIVLR レジスタのビットは無効です。これらのビットは 0 にしてください。
注 5. 送信および受信 FIFO は、データフレームとリモートフレームの両方に使用可能です。

37.2.2 ビットコンフィグレーションレジスタ（BCR）

アドレス CAN0.BCR 4005 0844h, CAN1.BCR 4005 1844h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSEG1[3:0]				—	—	BRP[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SJW[1:0]		—	TSEG2[2:0]			—	—	—	—	—	—	—	CCLKS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CCLKS	CANクロックソース選択	0：PCLKB（PLLクロックで生成） 1：CANMCLK（メインクロック発振器で生成）	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	TSEG2[2:0]	タイムセグメント2制御	b10 b8 0 0 0：設定禁止 0 0 1：2Tq 0 1 0：3Tq 0 1 1：4Tq 1 0 0：5Tq 1 0 1：6Tq 1 1 0：7Tq 1 1 1：8Tq	R/W
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	SJW[1:0]	同期ジャンプ幅制御	b13 b12 0 0：1Tq 0 1：2Tq 1 0：3Tq 1 1：4Tq	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRP[9:0]	ボーレートプリスケーラ選択 （注1）	CAN通信クロック（fCANCLK）の周波数を設定します。	R/W
b27-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b28	TSEG1[3:0]	タイムセグメント1制御	b31 b28 0 0 0 0：設定禁止 0 0 0 1：設定禁止 0 0 1 0：設定禁止 0 0 1 1：4Tq 0 1 0 0：5Tq 0 1 0 1：6Tq 0 1 1 0：7Tq 0 1 1 1：8Tq 1 0 0 0：9Tq 1 0 0 1：10Tq 1 0 1 0：11Tq 1 0 1 1：12Tq 1 1 0 0：13Tq 1 1 0 1：14Tq 1 1 1 0：15Tq 1 1 1 1：16Tq	R/W

Tq：Time Quantum
注 1. SCKSCR.CKSEL[2:0] ビットが 011b（メインクロック発振器選択）の場合、1 未満の値を選択しないでください。

ビットタイミングの設定については、37.4 データ転送レートの設定を参照してください。BCR レジスタは、CAN リセットモードから CAN halt モード、または CAN リセットモードから CAN オペレーションモードへ遷移する前に設定してください。このレジスタは、いったん設定した後も、CAN リセットモードまたは CAN halt モードで書き込みが可能です。32 ビットでリード／ライトアクセスする場合、ビット [0:7] を変更しないように注意して行う必要があります。

CCLKS ビット（CAN クロックソース選択）

CCLKS ビットが 0 の場合、CAN クロックソース（fCAN）には、PLL 周波数シンセサイザで生成された周辺クロック（PCLKB）が使用されます。CCLKS ビットが 1 の場合、CAN クロックソース（fCAN）には、外部の EXTAL 端子で生成された CANMCLK が使用されます。

TSEG2[2:0] ビット（タイムセグメント 2 制御）

TSEG2[2:0] ビットは、フェーズバッファセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。2 ～ 8Tq の値が設定可能です。TSEG1[3:0] ビット値未満の値を設定してください。

SJW[1:0] ビット（同期ジャンプ幅制御）

SJW[1:0] ビットは、同期ジャンプ幅を Tq 値で指定します。1 ～ 4Tq の値が設定可能です。TSEG2[2:0] ビット値以下の値を設定してください。

BRP[9:0] ビット（ボーレートプリスケーラ選択）

BRP[9:0] ビットは、CAN 通信クロック（fCANCLK）の周波数を設定します。fCANCLK の周期が 1Tq となります。設定値を P（0 ～ 1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

TSEG1[3:0] ビット（タイムセグメント 1 制御）

TSEG1[3:0] ビットは、プロパゲーションタイムセグメント（PROP_SEG）とフェーズバッファセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。4 ～ 16Tq の値が設定可能です。

37.2.3 マスクレジスタ k（MKRk）（k = 0 ～ 7）

アドレス CAN0.MKR[0] 4005 0400h～CAN0.MKR[7] 4005 041Ch, CAN1.MKR[0] 4005 1400h～CAN1.MKR[7] 4005 141Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	0：対応する拡張ID[17:0]ビットを比較しない 1：対応する拡張ID[17:0]ビットを比較する	R/W
b28-b18	SID[10:0]	標準ID	0：対応する標準ID[10:0]ビットを比較しない 1：対応する標準ID[10:0]ビットを比較する	R/W
b31-b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

FIFO メールボックスモードでのマスク機能については、37.6 アクセプタンスフィルタ機能とマスク機能を参照してください。

MKR0 ～ MKR7 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

EID[17:0] ビット（拡張 ID）

EID[17:0] ビットは、CAN 拡張 ID ビットに対応するフィルタマスクビットです。拡張 ID のメッセージを受信するために使用します。EID[17:0] ビットを 0 にした場合、受信した ID は、対応するメールボックスの ID と比較されません。EID[17:0] ビットを 1 にした場合、受信した ID は、対応するメールボックスの ID と比較されます。

SID[10:0] ビット（標準 ID）

SID[10:0] ビットは、CAN 標準 ID ビットに対応するフィルタマスクビットです。標準 ID と拡張 ID の両メッセージを受信するために使用します。SID[10:0] ビットを 0 にした場合、受信した ID は、対応するメールボックスの ID と比較されません。SID[10:0] ビットを 1 にした場合、受信した ID は、対応するメールボックスの ID と比較されます。

37.2.4 FIFO 受信 ID 比較レジスタ 0、1（FIDCR0、FIDCR1）

アドレス CAN0.FIDCR0 4005 0420h, CAN0.FIDCR1 4005 0424h, CAN1.FIDCR0 4005 1420h, CAN1.FIDCR1 4005 1424h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID	データとリモートフレームの拡張ID	R/W
b28-b18	SID[10:0]	標準ID	データとリモートフレームの標準ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張（注1）	0：標準ID 1：拡張ID	R/W

注 1. IDE ビットは、CTLR.IDFM[1:0] ビットが 10b（ミックス ID モード）の場合に有効です。IDFM[1:0] ビットが 10b 以外の場合、IDE には 0 のみを書いてください。読むと 0 が読めます。

FIDCR0 および FIDCR1 レジスタは、CTLR.MBM ビットが 1（FIFO メールボックスモード）のとき有効です。このモードでは、メールボックス 28 ～メールボックス 31 レジスタの EID[17:0]、SID[10:0]、RTR、および IDE ビットは無効です。FIDCR0 および FIDCR1 レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。FIDCR0 および FIDCR1 レジスタの使用方法については、37.6 アクセプタンスフィルタ機能とマスク機能を参照してください。

EID[17:0] ビット（拡張 ID）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを受信するために使用します。

SID[10:0] ビット（標準 ID）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを受信するために使用します。

RTR ビット（リモート送信要求）

RTR ビットは、フレームフォーマットをデータフレームまたはリモートフレームに設定します。

- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 0 の場合、データフレームのみを受信します。
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットが両方とも 1 の場合、リモートフレームのみを受信します。
- FIDCR0 レジスタと FIDCR1 レジスタの RTR ビット同士が異なる値の場合、データフレームとリモートフレームの両方を受信します。

IDE ビット（ID 拡張）

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTLR.IDFM[1:0] ビットが 10b（ミックス ID モード）の場合に有効です。

- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 0 の場合、標準 ID フレームのみを受信します。
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットが両方とも 1 の場合、拡張 ID フレームのみを受信します。
- FIDCR0 レジスタと FIDCR1 レジスタの IDE ビット同士が異なる値の場合、標準 ID フレームと拡張 ID フレームの両方を受信します。

37.2.5 マスク無効レジスタ（MKIVLR）

アドレス CAN0.MKIVLR 4005 0428h, CAN1.MKIVLR 4005 1428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ～ MB0	マスク無効	0：マスク有効 1：マスク無効	R/W

MKIVLR レジスタの各ビットは、同じ番号のメールボックスに対応しています。MKIVLR レジスタのビット 0 はメールボックス 0（MB0）に対応し、ビット 31 はメールボックス 31（MB31）に対応しています。（注 1）

ビットを 1 にすると、対応するメールボックスのアクセプタンスマスクレジスタが無効になります。マスク無効ビットを 1 にすると、受信メッセージの ID がメールボックスの ID に完全に一致する場合にのみ、対応するメールボックスによってメッセージ受信が行われます。

MKIVLR レジスタへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。

注 1. FIFO メールボックスモード時は、ビット [31:24] を 0 にしてください。

37.2.6 メールボックスレジスタ j（MBj_ID、MBj_DL、MBj_Dm、MBj_TS）（j = 0 ～ 31; m = 0 ～ 7）

表 37.4 に CANi メールボックスのメモリ配置を、表 37.5 に CAN データフレームの構成を示します。

CANi メールボックスのリセット後の値は不定です。

MBj_ID、MBj_DL、MBj_Dm、MBj_TS レジスタは、関連する MCTL_TXj または MCTL_RXj（j = 0 ～ 31）レジスタが 00h で、かつ対応するメールボックスがアボート処理中でないときにのみ変更してください。

レジスタアドレスの詳細については、表 37.4 を参照してください。

表 37.4 CANi メールボックスのメモリ配置

アドレス		メッセージ内容
CAN0	CAN1	メモリ配置
4005 0200h + 16 × j + 0	4005 1200h + 16 × j + 0	IDE、RTR、SID10～SID6
4005 0200h + 16 × j + 1	4005 1200h + 16 × j + 1	SID5～SID0、EID17、EID16
4005 0200h + 16 × j + 2	4005 1200h + 16 × j + 2	EID15～EID8
4005 0200h + 16 × j + 3	4005 1200h + 16 × j + 3	EID7～EID0
4005 0200h + 16 × j + 4	4005 1200h + 16 × j + 4	—
4005 0200h + 16 × j + 5	4005 1200h + 16 × j + 5	データ長コード（DLC[3:0]）
4005 0200h + 16 × j + 6	4005 1200h + 16 × j + 6	データバイト0
4005 0200h + 16 × j + 7	4005 1200h + 16 × j + 7	データバイト1
4005 0200h + 16 × j + 8	4005 1200h + 16 × j + 8	データバイト2
4005 0200h + 16 × j + 9	4005 1200h + 16 × j + 9	データバイト3
4005 0200h + 16 × j + 10	4005 1200h + 16 × j + 10	データバイト4
4005 0200h + 16 × j + 11	4005 1200h + 16 × j + 11	データバイト5
4005 0200h + 16 × j + 12	4005 1200h + 16 × j + 12	データバイト6
4005 0200h + 16 × j + 13	4005 1200h + 16 × j + 13	データバイト7
4005 0200h + 16 × j + 14	4005 1200h + 16 × j + 14	タイムスタンプ上位バイト
4005 0200h + 16 × j + 15	4005 1200h + 16 × j + 15	タイムスタンプ下位バイト

表 37.5 CAN データフレームの構成

SID10～SID6	SID5～SID0	EID17～EID16	EID15～EID8	EID7～EID0	DLC3～DLC1	DATA0	DATA1	…	DATA7

各メールボックスの内容は、新しいメッセージを受信しないかぎり、以前の値を保持します。

アドレス CAN0.MB0_ID 4005 0200h～CAN0.MB31_ID 4005 03F0h, CAN1.MB0_ID 4005 1200h～CAN1.MB31_ID 4005 13F0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	IDE	RTR	—	SID[10:0]											EID[17:0]	
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EID[17:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b17-b0	EID[17:0]	拡張ID（注1）	データとリモートフレームの拡張ID	R/W
b28-b18	SID[10:0]	標準ID	データとリモートフレームの標準ID	R/W
b29	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b30	RTR	リモート送信要求	0：データフレーム 1：リモートフレーム	R/W
b31	IDE	ID拡張（注2）	0：標準ID 1：拡張ID	R/W

注 1. メールボックスが標準 ID のメッセージを受信すると、そのメールボックスの EID ビット値は不定になります。

注 2. IDE ビットは、CTLR.IDFM[1:0] ビットが 10b（ミックス ID モード）の場合に有効です。IDFM[1:0] ビットが 10b 以外の場合、IDE には 0 のみを書いてください。読むと 0 が読めます。

アドレス CAN0.MB0_DL 4005 0204h～CAN0.MB31_DL 4005 03F4h, CAN1.MB0_DL 4005 1204h～CAN1.MB31_DL 4005 13F4h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	DLC[3:0]			
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b3-b0	DLC[3:0]	データ長コード（注1）	b3 b0 0 0 0 0：データ長 = 0バイト 0 0 0 1：データ長 = 1バイト 0 0 1 0：データ長 = 2バイト 0 0 1 1：データ長 = 3バイト 0 1 0 0：データ長 = 4バイト 0 1 0 1：データ長 = 5バイト 0 1 1 0：データ長 = 6バイト 0 1 1 1：データ長 = 7バイト 1 x x x：データ長 = 8バイト	R/W
b15-b4	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

x：Don’t care

注 1. メールボックスが n バイト（n は 8 未満）のデータ長（DLC[3:0] ビットで設定）のメッセージを受信すると、メールボックスの DATAn ～ DATA7 レジスタのデータは不定になります。DATA0 ～ DATA7 は該メールボックスにおけるデータレジスタです。たとえば、データ長が 6 バイト（DLC[3:0] = 6h）であれば、DATA6 レジスタと DATA7 レジスタのデータが不定になります。

アドレス CAN0.MB0_D0 4005 0206h～CAN0.MB31_D0 4005 03F6h, CAN1.MB0_D0 4005 1206h～CAN1.MB31_D0 4005 13F6h

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA0							
リセット後の値	x	x	x	x	x	x	x	x

アドレス CAN0.MB0_D1 4005 0207h～CAN0.MB31_D1 4005 03F7h, CAN1.MB0_D1 4005 1207h～CAN1.MB31_D1 4005 13F7h

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA1							
リセット後の値	x	x	x	x	x	x	x	x

アドレス CAN0.MB0_D2 4005 0208h～CAN0.MB31_D2 4005 03F8h, CAN1.MB0_D2 4005 1208h～CAN1.MB31_D2 4005 13F8h

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA2							
リセット後の値	x	x	x	x	x	x	x	x

アドレス CAN0.MB0_D3 4005 0209h～CAN0.MB31_D3 4005 03F9h, CAN1.MB0_D3 4005 1209h～CAN1.MB31_D3 4005 13F9h

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA3							
リセット後の値	x	x	x	x	x	x	x	x

アドレス CAN0.MB0_D4 4005 020Ah～CAN0.MB31_D4 4005 03FAh, CAN1.MB0_D4 4005 120Ah～CAN1.MB31_D4 4005 13FAh

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA4							
リセット後の値	x	x	x	x	x	x	x	x

アドレス CAN0.MB0_D5 4005 020Bh～CAN0.MB31_D5 4005 03FBh, CAN1.MB0_D5 4005 120Bh～CAN1.MB31_D5 4005 13FBh

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA5							
リセット後の値	x	x	x	x	x	x	x	x

アドレス CAN0.MB0_D6 4005 020Ch～CAN0.MB31_D6 4005 03FCh, CAN1.MB0_D6 4005 120Ch～CAN1.MB31_D6 4005 13FCh

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA6							
リセット後の値	x	x	x	x	x	x	x	x

アドレス CAN0.MB0_D7 4005 020Dh～CAN0.MB31_D7 4005 03FDh, CAN1.MB0_D7 4005 120Dh～CAN1.MB31_D7 4005 13FDh

	b7	b6	b5	b4	b3	b2	b1	b0
	DATA7							
リセット後の値	x	x	x	x	x	x	x	x

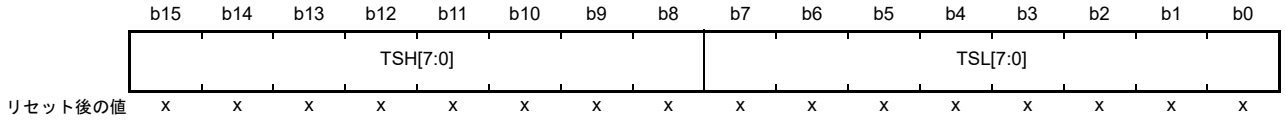
x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	DATA0 ～ DATA7	データバイト0～7 （注1）（注2）	DATA0～7は送信または受信したCANメッセージデータを格納します。送受信は、DATA0から開始されます。CANバス上のビットオーダはMSBファーストであり、ビット7から送受信が開始されます。	R/W

注 1. メールボックスが 8 バイトよりも少ない n バイトのメッセージを受信すると、メールボックスの DATAn ～ DATA7 の値は不定になります。

注 2. メールボックスがリモートフレームを受信した場合、そのメールボックスの DATA0 ～ DATA7 は以前の値を保持します。

アドレス CAN0.MB0_TS 4005 020Eh～CAN0.MB31_TS 4005 03FEh, CAN1.MB0_TS 4005 120Eh～CAN1.MB31_TS 4005 13FEh



x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	TSL[7:0]	タイムスタンプ下位バイト	TSH[7:0]ビットとTSL[7:0]ビットは、受信メッセージがメールボックスに取り込まれた時点のタイムスタンプのカウンタ値を格納します。	R/W
b15-b8	TSH[7:0]	タイムスタンプ上位バイト		R/W

EID[17:0] ビット（拡張 ID）

EID[17:0] ビットはデータフレームとリモートフレームの拡張 ID を設定します。拡張 ID のメッセージを送受信するために使用します。

SID[10:0] ビット（標準 ID）

SID[10:0] ビットはデータフレームとリモートフレームの標準 ID を設定します。標準 ID と拡張 ID の両メッセージを送受信するために使用します。

RTR ビット（リモート送信要求）

RTR ビットは、データフレームまたはリモートフレームのフレームフォーマットを設定します。

- 受信メールボックスは、RTR ビットで指定されたフォーマットのフレームのみを受信する
- 送信メールボックスは、RTR ビットで指定されたフレームフォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの RTR ビットで指定されたデータフレーム、リモートフレーム、またはその両方を受信する
- 送信 FIFO メールボックスは、送信メッセージ内の RTR ビットで指定されたデータフレームまたはリモートフレームを送信する

IDE ビット（ID 拡張）

IDE ビットは、ID フォーマットを標準 ID または拡張 ID に設定します。IDE ビットは、CTLR.IDFM[1:0] ビットが 10b（ミックス ID モード）の場合に有効です。

- 受信メールボックスは、IDE ビットで指定された ID フォーマットのみを受信する
- 送信メールボックスは、IDE ビットで指定された ID フォーマットで送信する
- 受信 FIFO メールボックスは、FIDCR0 および FIDCR1 レジスタの IDE ビットで指定された標準 ID と拡張 ID の設定でメッセージを受信する
- 送信 FIFO メールボックスは、送信メッセージ内の IDE ビットで指定された標準 ID または拡張 ID の設定でメッセージを送信する

DLC[3:0] ビット（データ長コード）

DLC[3:0] ビットは、データフレームで送信されるデータ長を指定します。リモートフレームを使用してデータを要求する場合、DLC[3:0] ビットは要求するデータ長を指定します。

データフレームを受信した場合、このフィールドには受信したデータ長が格納されます。リモートフレームを受信した場合、このフィールドには要求されたデータ長が格納されます。

37.2.7 メールボックス割り込みイネーブルレジスタ（MIER）

アドレス CAN0.MIER 4005 042Ch, CAN1.MIER 4005 142Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MB31	MB30	MB29	MB28	MB27	MB26	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	MB31 ～MB0	割り込み許可	0：割り込み禁止 1：割り込み許可 ビット31はメールボックス31（MB31）に、ビット0はメールボックス0（MB0）に対応しています。	R/W

MIER レジスタは、メールボックスごとに個別に割り込みを許可できます。このレジスタは、通常メールボックスモードで利用可能です。FIFO メールボックスモードでは、このレジスタにアクセスしないでください。

各ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER レジスタのビット 0 はメールボックス 0（MB0）に対応
- MIER レジスタのビット 31 はメールボックス 31（MB31）に対応

MIER レジスタは、関連する MCTL_TXj または MCTL_RXj（j = 0 ～ 31）レジスタが 00h で、関連するメールボックスが送受信アボートの処理をしていないときにのみ変更してください。

37.2.8 FIFO メールボックスモード用メールボックス割り込みイネーブルレジスタ（MIER_FIFO）

アドレス CAN0.MIER_FIFO 4005 042Ch, CAN1.MIER_FIFO 4005 142Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	MB29	MB28	—	—	MB25	MB24	MB23	MB22	MB21	MB20	MB19	MB18	MB17	MB16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MB15	MB14	MB13	MB12	MB11	MB10	MB9	MB8	MB7	MB6	MB5	MB4	MB3	MB2	MB1	MB0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b23-b0	MB23～MB0	割り込み許可	0：割り込み禁止 1：割り込み許可 ビット23はメールボックス23（MB23）に、ビット0はメールボックス0（MB0）に対応しています。	R/W
b24	MB24	送信FIFO割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b25	MB25	送信FIFO割り込み発生タイミング制御	0：送信完了ごとに発生 1：送信完了時に送信FIFOが空になると発生	R/W
b27-b26	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W
b28	MB28	受信FIFO割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b29	MB29	受信FIFO割り込み発生タイミング制御（注1）	0：受信完了ごとに発生 1：受信完了時に受信FIFOがバッファワーニング（注2）になると発生	R/W
b31-b30	—	予約ビット	読むと不定値が読めます。書く場合、0としてください。	R/W

注 1. 受信 FIFO がフルのためにバッファワーニングとなった場合、割り込み要求は発生しません。
注 2. バッファワーニングとは、受信 FIFO に 3 つ目のメッセージが格納された状態です。

MIER_FIFO レジスタは、メールボックスごと、FIFO ごとに割り込み許可を設定できます。このレジスタは、FIFO メールボックスモードで使用できます。このレジスタは、通常メールボックスモードで使用しないでください。

MB0 ～ MB23 ビットは、同じ番号のメールボックスに対応しています。これらのビットは、対応するメールボックスの送信完了割り込みと受信完了割り込みを許可または禁止します。

- MIER_FIFO レジスタのビット 0 はメールボックス 0（MB0）に対応
- MIER_FIFO レジスタのビット 23 はメールボックス 23（MB23）に対応

MB24、MB25、MB28、MB29 は、送信／受信 FIFO 割り込みを許可するか否か、および割り込み要求のタイミングを指定します。

MIER_FIFO レジスタは、関連する MCTL_TXj または MCTL_RXj（j = 0 ～ 31）レジスタが 00h で、関連するメールボックスが送受信アボートの処理をしていないときにのみ変更してください。また、対応する FIFO の MIER_FIFO レジスタのビットは、TFCR.TFE ビットが 0 で TFEST ビットが 1、かつ、RFCR.RFE ビットが 0 で RFCR.RFEST ビットが 1 の場合にのみ変更してください。

37.2.9 送信用メッセージコントロールレジスタ（MCTL_TXj）（j = 0 ～ 31）

• 送信モード（TRMREQビットが1、RECREQビットが0の場合）

アドレス CAN0.MCTL_TX[0] 4005 0820h～CAN0.MCTL_TX[31] 4005 083Fh,
CAN1.MCTL_TX[0] 4005 1820h～CAN1.MCTL_TX[31] 4005 183Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	TRMABT	TRMACTIVE	SENTDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SENTDATA	送信完了フラグ（注1）（注2）	0：送信未完了 1：送信完了	R/W
b1	TRMACTIVE	送信中ステータスフラグ	0：送信待機中または送信要求なし 1：送信中	R
b2	TRMABT	送信アボート完了フラグ （注1）（注2）	0：送信開始、送信完了により送信アボート失敗、または送信アボート要求なし 1：送信アボート完了	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可（注2）（注3）	0：ワンショット送信禁止 1：ワンショット送信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求 （注2）（注3）（注4）（注5）	0：受信用に設定しない 1：受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求 （注2）（注4）	0：送信用に設定しない 1：送信用に設定する	R/W

注 1. 0 のみ書けます。1 の書き込みは無効です。
注 2. このレジスタに書き込むとき、SENTDATA および TRMABT ビットが書き込み対象でない場合、これらのビットに 1 を書いてください。
注 3. ワンショット送信モードへ遷移するためには、TRMREQ ビットを 1 にすると同時に、ONESHOT ビットに 1 を書いてください。ワンショット送信モードを解除するには、メッセージが送信またはアボートされた後、ONESHOT ビットに 0 を書いてください。
注 4. RECREQ ビットと TRMREQ ビットの両方を 1 にしないでください。
注 5. RECREQ ビットを 0 にするときは、SENDDATA、TRMACTIVE、および TRMABT ビットを同時に 0 にしてください。

MCTL_TXj は、メールボックス j を送信モードまたは受信モードに設定します。送信モードでは、MCTL_TXj は送信状態の制御と表示も行います。メールボックス j が受信モードのときは、MCTL_TXj にアクセスしないでください。MCTL_TXj は、CAN オペレーションモードまたは CAN halt モード時に変更してください。FIFO メールボックスモードでは、MCTL_TX24 ～ MCTL_TX31 レジスタを使用しないでください。

SENTDATA フラグ（送信完了フラグ）

SENTDATA フラグは、対応するメールボックスからのデータ送信が完了すると 1 になります。SENTDATA フラグは、ソフトウェア書き込みで 0 になります。このフラグを 0 にする場合、最初に TRMREQ ビットを 0 にしてください。SENTDATA ビットと TRMREQ ビットを同時に 0 にすることはできません。対応するメールボックスから新しいメッセージを送信するには、SENTDATA フラグを 0 にしてください。

TRMACTIVE フラグ（送信中ステータスフラグ）

TRMACTIVE フラグは、CAN モジュールの対応するメールボックスがメッセージ送信を開始すると 1 になります。CAN モジュールで CAN バスアービトレーションロストが発生するか、CAN バスエラーが発生するか、あるいはデータ送信が完了すると 0 になります。

TRMABT フラグ（送信アボート完了フラグ）

TRMABT フラグは、以下の場合に 1 になります。

- 送信アボート要求に続いて、送信開始前に送信アボートが完了したとき
- 送信アボート要求に続いて、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき
- ワンショット送信モード時（RECREQ = 0、TRMREQ = 1、ONESHOT = 1）に、CAN モジュールが CAN バスアービトレーションロストまたは CAN バスエラーを検出したとき

TRMABT フラグは、データ送信が完了しても 1 になりません。SENTDATA フラグは 1 になります。TRMABT フラグは、ソフトウェア書き込みで 0 になります。

ONESHOT ビット（ワンショット許可）

送信モード（RECREQ = 0、TRMREQ = 1）時に ONESHOT ビットを 1 にすると、CAN モジュールはメッセージを 1 回だけ送信します。CAN バスエラーまたは CAN バスアービトレーションロストが発生しても、CAN モジュールはメッセージを再送信しません。送信が完了したとき、SENTDATA フラグが 1 になります。CAN バスエラーまたは CAN バスアービトレーションロストエラーが原因で送信が完了しないと、TRMABT フラグが 1 になります。ONESHOT ビットは、SENTDATA または TRMABT ビットが 1 になった後に 0 にしてください。

RECREQ ビット（受信メールボックス要求）

RECREQ ビットは、表 37.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始されるとき（CRC フィールドの始まり）
- ハードウェアプロテクトが解除されるとき
  - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまで
  - その他のメールボックスでは、アクセプタンスフィルタ処理後
  - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合は、受信に変更する前に、まず送信をアボートし、そして SENTDATA ビットと TRMABT ビットを 0 にしてください。

注 . MCTL_TXj.RECREQ は、MCTL_RXj.RECREQ のミラービットです。

TRMREQ ビット（送信メールボックス要求）

TRMREQ ビットは、表 37.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、関連するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、関連するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合は、送信に変更する前に、まず受信をアボートし、そして NEWDATA ビットと MSGLOST ビットを 0 にしてください。

注 . MCTL_TXj.TRMREQ は、MCTL_RXj.TRMREQ のミラービットです。

37.2.10 受信用メッセージコントロールレジスタ（MCTL_RXj）（j = 0 ～ 31）

- 受信モード（TRMREQビットが0、RECREQビットが1の場合）

アドレス CAN0.MCTL_RX[0] 4005 0820h～CAN0.MCTL_RX[31] 4005 083Fh,
CAN1.MCTL_RX[0] 4005 1820h～CAN1.MCTL_RX[31] 4005 183Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	TRMREQ	RECREQ	—	ONESHOT	—	MSGLOST	INVALDATA	NEWDATA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NEWDATA	受信完了フラグ（注1）（注2）	0：受信データなし、またはこのビットに0を書いた場合 1：新しいメッセージをメールボックスに格納中または格納済み	R/W
b1	INVALDATA	受信中ステータスフラグ	0：メッセージは有効 1：メッセージを更新中	R
b2	MSGLOST	メッセージロストフラグ（注1）（注2）	0：メッセージのオーバーライトまたはオーバーランなし 1：メッセージのオーバーライトまたはオーバーランあり	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	ONESHOT	ワンショット許可（注2）（注3）	0：ワンショット受信禁止 1：ワンショット受信許可	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	RECREQ	受信メールボックス要求（注2）（注3）（注4）（注5）	0：受信用に設定しない 1：受信用に設定する	R/W
b7	TRMREQ	送信メールボックス要求（注2）（注4）	0：送信用に設定しない 1：送信用に設定する	R/W

注 1. 0 のみ書けます。1 の書き込みは無効です。
注 2. このレジスタの各ビットに書き込む際は、NEWDATA および MSGLOST ビットが書き込み対象でない場合、これらのビットには 1 を書いてください。
注 3. ワンショット受信モードへ遷移するためには、RECREQ ビットを 1 にすると同時に、ONESHOT ビットに 1 を書いてください。ワンショット受信モードを解除するときは、RECREQ ビットに 0 を書いた後、RECREQ ビットが 0 であることを確認してから ONESHOT ビットに 0 を書いてください。
注 4. RECREQ ビットと TRMREQ ビットの両方を 1 にしないでください。
注 5. RECREQ ビットを 0 にする場合、NEWDATA、MSGLOST、および RECREQ ビットを同時に 0 にしてください。

MCTL_RXj は、メールボックス j を送信モードまたは受信モードに設定します。受信モードでは、MCTL_RXj は受信状態の制御と表示も行います。メールボックス j が送信モードのときは、MCTL_RXj にアクセスしないでください。MCTL_RXj レジスタは、CAN オペレーションモードまたは CAN halt モード時に変更してください。FIFO メールボックスモードでは、MCTL_RX24 ～ MCTL_RX31 を使用しないでください。

NEWDATA フラグ（受信完了フラグ）

NEWDATA フラグは、新しいメッセージをメールボックスに格納中または格納済みのときに 1 になります。常に INVALDATA フラグと同時に 1 にしてください。NEWDATA フラグは、ソフトウェア書き込みで 0 になります。関連する INVALDATA フラグが 1 のとき、NEWDATA フラグをソフトウェア書き込みで 0 にすることはできません。

INVALDATA フラグ（受信中ステータスフラグ）

INVALDATA フラグは、メッセージの受信完了後、関連するメールボックスで受信したメッセージが更新中であるとき 1 になります。INVALDATA フラグは、メッセージが格納された直後に 0 になります。INVALDATA フラグが 1 のときにメールボックスを読み出すと、そのデータは不定です。

MSGLOST フラグ（メッセージロストフラグ）

MSGLOST フラグは、NEWDATA フラグが 1 のとき、メールボックスが新しい受信メッセージでオーバーライトまたはオーバーランされると 1 になります。MSGLOST フラグは、EOF の 6 ビット目の終わりで 1 になります。MSGLOST フラグは、ソフトウェア書き込みで 0 になります。

オーバーライトモードとオーバーランモードの両方において、EOF の 6 ビット目の終わりから、PCLKB の 5 サイクルの間は、MSGLOST フラグをソフトウェア書き込みで 0 にすることはできません。

ONESHOT ビット（ワンショット許可）

受信モード（RECREQ = 1、TRMREQ = 0）時に ONESHOT ビットを 1 にすると、メールボックスはメッセージを 1 回だけ受信します。メールボックスがメッセージを 1 回受信すると、その後、受信メールボックスとして動作しません。NEWDATA フラグと INVALDATA フラグの動作は、通常の受信モードと同じです。ワンショット受信モードでは、MSGLOST フラグは 1 になりません。ONESHOT ビットを 0 にする場合、最初に RECREQ ビットに 0 を書いて、RECREQ ビットが 0 であることを確認してから行ってください。

RECREQ ビット（受信メールボックス要求）

RECREQ ビットは、表 37.10 に示す受信モードを選択します。

RECREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されます。

RECREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの受信用に設定されません。

ハードウェアプロテクトのため、下記の期間中、RECREQ ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始されるとき（CRC フィールドの始まり）
- ハードウェアプロテクトが解除されるとき
  - メッセージの受信用に指定されたメールボックスで、受信したデータがメールボックスに格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまで
  - その他のメールボックスでは、アクセプタンスフィルタ処理後
  - メッセージの受信用に指定されたメールボックスがない場合、アクセプタンスフィルタ処理後

RECREQ ビットを 1 にする場合は、TRMREQ ビットを 1 にしないでください。メールボックスの設定を送信から受信に変更する場合、最初に送信をアボートし、次に SENTDATA フラグと TRMABT フラグを 0 にしてから、受信に変更してください。

注 . MCTL_RXj.RECREQ は、MCTL_TXj.RECREQ のミラービットです。

TRMREQ ビット（送信メールボックス要求）

TRMREQ ビットは、表 37.10 に示す送信モードを選択します。

TRMREQ ビットを 1 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されます。

TRMREQ ビットを 0 にすると、対応するメールボックスはデータフレームまたはリモートフレームの送信用に設定されません。

TRMREQ ビットを 1 から 0 に変更して、対応する送信要求を解除すると、TRMABT フラグまたは SENTDATA フラグのいずれかが 1 になります。TRMREQ ビットを 1 にする場合は、RECREQ ビットを 1 にしないでください。メールボックスの設定を受信から送信に変更する場合、最初に受信をアボートし、次に NEWDATA ビットと MSGLOST ビットを 0 にしてから、送信に変更してください。

注 . MCTL_RXj.TRMREQ は、MCTL_TXj.TRMREQ のミラービットです。

37.2.11 受信 FIFO コントロールレジスタ（RFCR）

アドレス CAN0.RFCR 4005 0848h, CAN1.RFCR 4005 1848h

	b7	b6	b5	b4	b3	b2	b1	b0
	RFEST	RFWST	RFFST	RFMLF	RFUST[2:0]			RFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFE	受信FIFO許可	0：受信FIFO禁止 1：受信FIFO許可	R/W
b3-b1	RFUST[2:0]	受信FIFO未読メッセージ数ステータス	b3 b2 b1 0 0 0：未読メッセージなし 0 0 1：未読メッセージ1件あり 0 1 0：未読メッセージ2件あり 0 1 1：未読メッセージ3件あり 1 0 0：未読メッセージ4件あり 1 0 1：予約ビット 1 1 0：予約ビット 1 1 1：予約ビット	R
b4	RFMLF	受信FIFOメッセージロストフラグ	0：受信FIFOメッセージロスト発生なし 1：受信FIFOメッセージロスト発生あり	R/W
b5	RFFST	受信FIFOフルステータスフラグ	0：受信FIFOはフルでない 1：受信FIFOはフル（未読メッセージ4件）	R
b6	RFWST	受信FIFOバッファワーニングステータスフラグ	0：受信FIFOはバッファワーニングでない 1：受信FIFOはバッファワーニング（未読メッセージ3件）	R
b7	RFEST	受信FIFO空ステータスフラグ	0：受信FIFOに未読メッセージあり 1：受信FIFOに未読メッセージなし	R

RFCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

RFE ビット（受信 FIFO 許可）

RFE ビットを 1 にすると、受信 FIFO が許可されます。

RFE ビットを 0 にすると、受信 FIFO は受信禁止になり、空状態（RFEST ビット = 1）になります。RFMLF ビットの設定と同時に RFE ビットに 0 を書いてください。

通常メールボックスモード（CTLR.MBM が 0）では、このビットを 1 にしないでください。

ハードウェアプロテクトのため、下記の期間中、RFE ビットをソフトウェア書き込みで 0 にすることはできません。

- ハードウェアプロテクトがアクセプタンスフィルタ処理から開始されるとき（CRC フィールドの始まり）
- ハードウェアプロテクトが解除されるとき
  - メッセージの受信用に受信 FIFO が指定されている場合に、受信したデータが受信 FIFO に格納された後、または CAN バスエラーが発生した後。すなわち、ハードウェアプロテクトの最大期間は、CRC フィールドの始まりから EOF の 7 ビット目の終わりまで
  - メッセージの受信用に受信 FIFO が指定されていない場合は、アクセプタンスフィルタ処理後

RFUST[2:0] ビット（受信 FIFO 未読メッセージ数ステータス）

RFUST[2:0] ビットは、受信 FIFO 内の未読メッセージの数を示します。RFE ビットを 0 にすると、RFUST[2:0] ビットの値は 000b に初期化されます。

RFMLF フラグ（受信 FIFO メッセージロストフラグ）

受信 FIFO がフルのときに新しいメッセージを受信すると、RFMLF ビットは 1（受信 FIFO メッセージロスト）になります。EOF の 6 ビット目の終わりで 1 になります。

RFMLF フラグは、ソフトウェア書き込みで 0 になります（1 を書いても無効です）。オーバーライトモードとオーバーランモードの両方において、受信 FIFO がフルのときにメッセージを受信したことが確認された場合、ハードウェアプロテクトにより、EOF の 6 ビット目の終わりから、PCLKB の 5 サイクルの間は、RFMLF フラグをソフトウェア書き込みで 0（受信 FIFO メッセージロスト未発生）になりません。

RFFST フラグ（受信 FIFO フルステータスフラグ）

受信 FIFO 内の未読メッセージの数が 4 件になると、RFFST フラグは 1（受信 FIFO はフル）になります。受信 FIFO 内の未読メッセージが 4 件未満になると、0（受信 FIFO はフルでない）になります。RFE ビットが 0 の場合、このフラグは 0 になります。

RFWST フラグ（受信 FIFO バッファワーニングステータスフラグ）

受信 FIFO 内の未読メッセージの数が 3 件になると、RFWST フラグは 1（受信 FIFO はバッファワーニング）になります。受信 FIFO 内の未読メッセージの数が 3 件未満または 4 件になると、0（受信 FIFO はバッファワーニングでない）になります。RFE ビットが 0 の場合、RFWST フラグは 0 になります。

RFEST フラグ（受信 FIFO 空ステータスフラグ）

受信 FIFO 内に未読メッセージがなくなると、RFEST フラグは 1（受信 FIFO に未読メッセージなし）になります。RFE ビットを 0 にすると 1 になります。受信 FIFO 内の未読メッセージ数が 1 件以上になると、このフラグは 0（受信 FIFO に未読メッセージあり）になります。図 37.2 に受信 FIFO メールボックスの動作を示します。

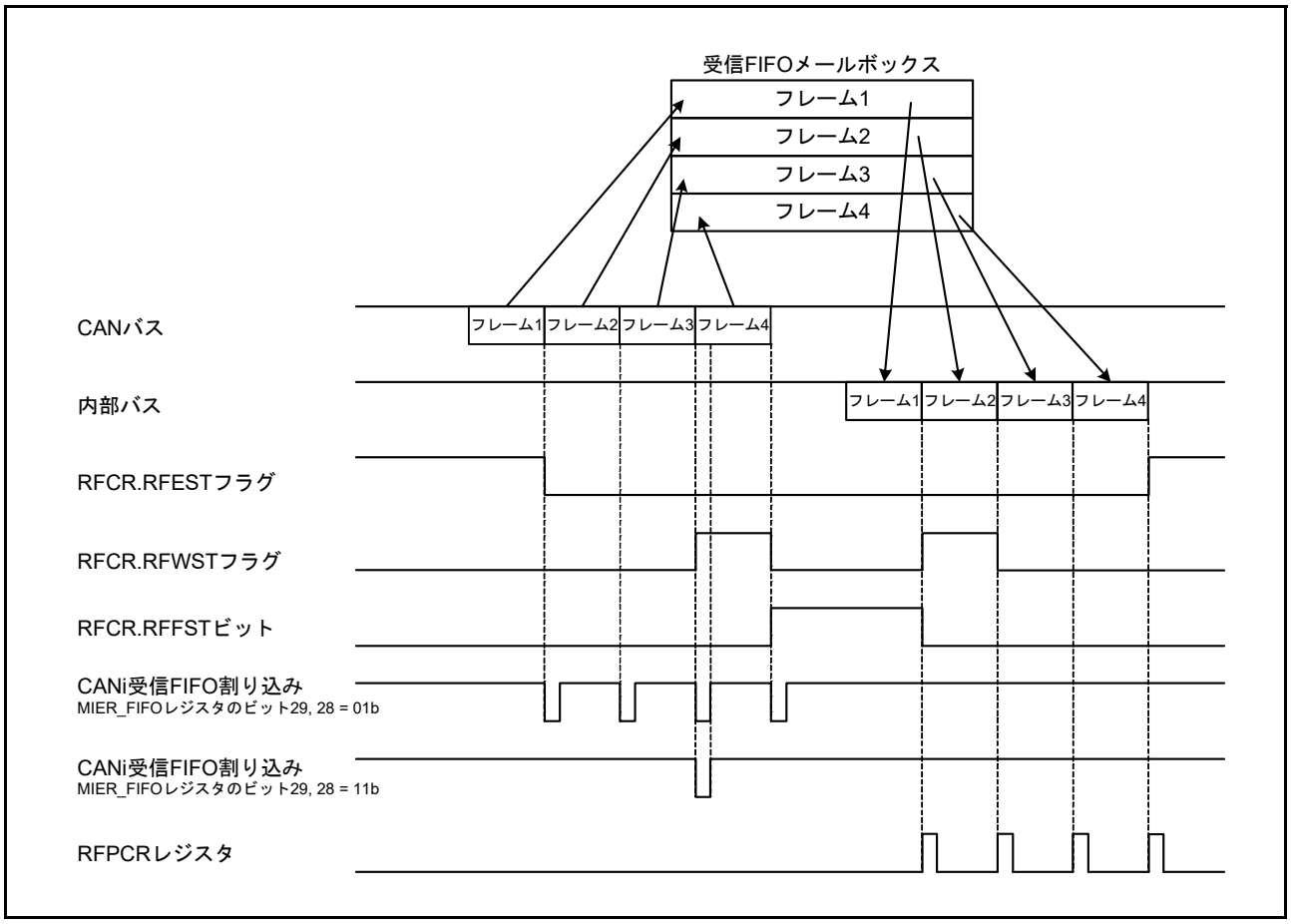


図 37.2 受信 FIFO メールボックスの動作（MIER_FIFO レジスタのビット 29、28 が 01b または 11b のとき）

37.2.12 受信 FIFO ポインタコントロールレジスタ（RFPCR）

アドレス CAN0.RFPCR 4005 0849h, CAN1.RFPCR 4005 1849h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	RFPCRにFFhを書き込むと、受信FIFOのCPU側ポインタが増加	W

受信 FIFO が空状態でないとき、CPU ポインタを増加させて次のメールボックス位置に移動させるには、RFPCR レジスタにソフトウェアで FFh を書いてください。RFCR.RFE ビットが 0（受信 FIFO 禁止）のときは、RFPCR レジスタに書かないでください。

オーバーライトモードで RFFST ビットが 1（受信 FIFO はフル）のときに新しいメッセージが受信されると、CAN ポインタと CPU ポインタの両方が増加します。この状態で RFMLF ビットが 1 のとき、RFPCR レジスタにソフトウェア書き込みを行っても CPU ポインタは増加しません。

37.2.13 送信 FIFO コントロールレジスタ（TFCR）

アドレス CAN0.TFCR 4005 084Ah, CAN1.TFCR 4005 184Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	TFEST	TFFST	—	—	TFUST[2:0]			TFE
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TFE	送信FIFO許可	0：送信FIFO禁止 1：送信FIFO許可	R/W
b3-b1	TFUST[2:0]	送信FIFO未送信メッセージ数ステータス	b3 b2 b1 0 0 0：未送信メッセージなし 0 0 1：未送信メッセージ1件 0 1 0：未送信メッセージ2件 0 1 1：未送信メッセージ3件 1 0 0：未送信メッセージ4件 1 0 1：予約ビット 1 1 0：予約ビット 1 1 1：予約ビット	R
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	TFFST	送信FIFOフルステータス	0：送信FIFOはフルでない 1：送信FIFOはフル（未送信メッセージ4件）	R
b7	TFEST	送信FIFO空ステータス	0：送信FIFOに未送信メッセージあり 1：送信FIFOに未送信メッセージなし	R

TFCR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

TFE ビット（送信 FIFO 許可）

TFE ビットを 1 にすると、送信 FIFO が許可されます。TFE ビットを 0 にすると、送信 FIFO は空状態（TFEST ビット = 1）になり、下記のように送信 FIFO から未送信メッセージが失われます。

- 送信 FIFO から次のメッセージ送信予定がなく、まだ送信中でもない場合はただちに
- 送信 FIFO から次のメッセージ送信予定があるか、あるいはすでに送信中の場合、送信完了、CAN バスエラー、CAN バスアービトレーションロスト、または CAN halt モードへの遷移が発生した時点

TFE ビットを再度 1 にする前に、TFEST ビットが 1 になっていることを確認してください。TFE ビットを 1 にした後、送信データをメールボックス 24 レジスタに書いてください。

通常メールボックスモード（CTLR.MBM が 0）では、TFE ビットを 1 にしないでください。

TFUST[2:0] ビット（送信 FIFO 未送信メッセージ数ステータス）

TFUST[2:0] ビットは、送信 FIFO 内の未送信メッセージの数を示します。TFE ビットを 0 にした後、送信アボートまたは送信が完了すると、これらのビットは 000b になります。

TFFST ビット（送信 FIFO フルステータス）

送信 FIFO 内の未送信メッセージの数が 4 件になると、TFFST ビットは 1（送信 FIFO はフル）になります。送信 FIFO 内の未送信メッセージの数が 4 件未満になると、TFFST ビットは 0（送信 FIFO はフルでない）になります。送信 FIFO の送信がアボートされると、TFFST ビットは 0 になります。

TFEST ビット（送信 FIFO 空ステータス）

送信 FIFO 内に未送信メッセージがなくなると、TFEST ビットは 1（送信 FIFO にメッセージなし）になります。送信 FIFO の送信がアボートされると、TFEST ビットは 1 になります。送信 FIFO 内の未送信メッセージの数が 1 件以上になると、TFEST ビットは 0（送信 FIFO にメッセージあり）になります。

図 37.3 に送信 FIFO メールボックスの動作を示します。

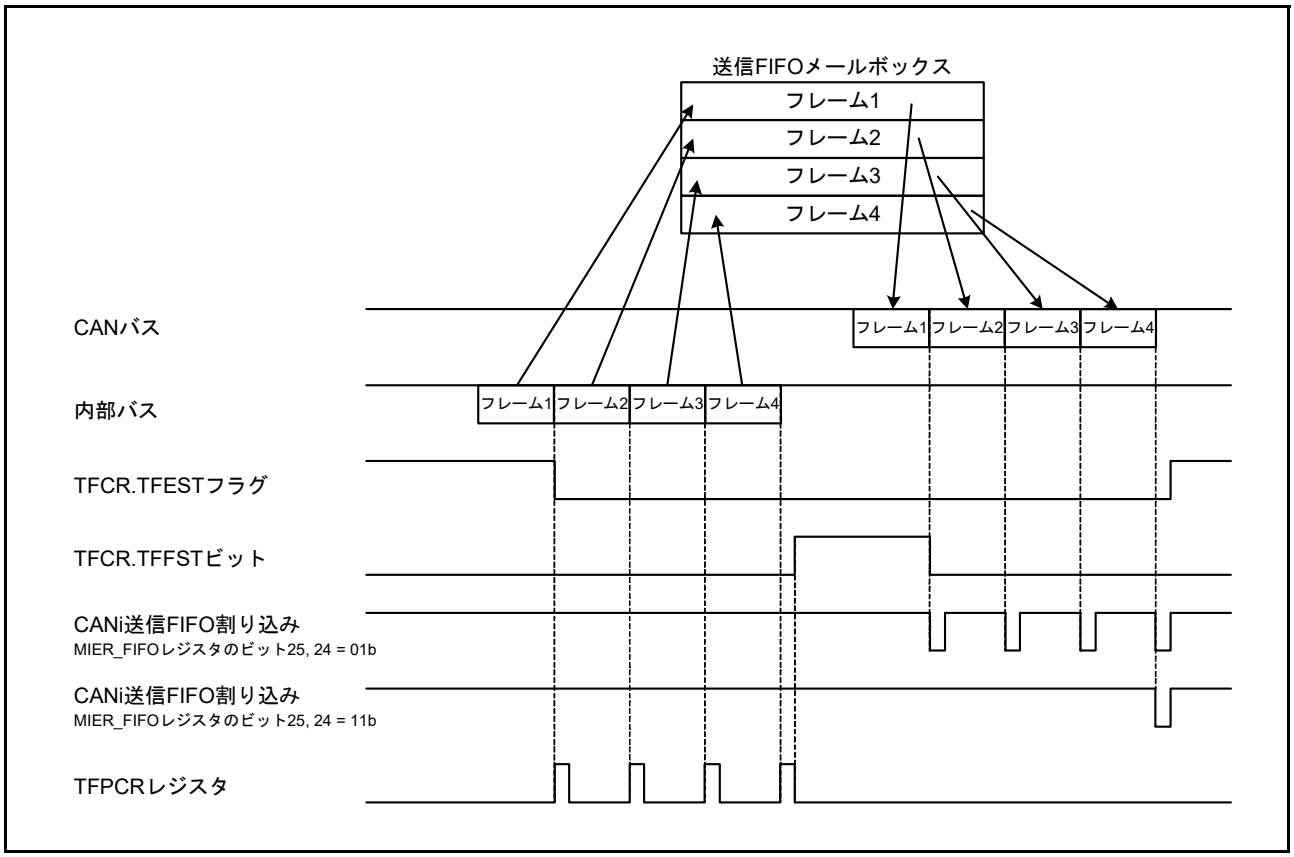


図 37.3 送信 FIFO メールボックスの動作（MIER_FIFO レジスタのビット 25、24 が 01b または 11b のとき）

37.2.14 送信 FIFO ポインタコントロールレジスタ（TFPCR）

アドレス CAN0.TFPCR 4005 084Bh, CAN1.TFPCR 4005 184Bh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	TFPCRにFFhを書き込むと、送信FIFOのCPUポインタが増加	W

送信 FIFO がフルでないとき、送信 FIFO の CPU ポインタを増加させて次のメールボックス位置に移動させるには、ソフトウェアで TFPCR レジスタに FFh を書いてください。

TFCR.TFE ビットが 0（送信 FIFO 禁止）のときは、TFPCR レジスタに書かないでください。

37.2.15 ステータスレジスタ（STR）

アドレス CAN0.STR 4005 0842h, CAN1.STR 4005 1842h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	RECST	TRMST	BOST	EPST	SLPST	HLTST	RSTST	EST	TABST	FMLST	NMLST	TFST	RFST	SDST	NDST
リセット後の値	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NDST	NEWDATAステータスフラグ	0：NEWDATAビットが1のメールボックスなし 1：NEWDATAビットが1のメールボックスあり	R
b1	SDST	SENTDATAステータスフラグ	0：SENTDATAビットが1のメールボックスなし 1：SENTDATAビットが1のメールボックスあり	R
b2	RFST	受信FIFOステータスフラグ	0：受信FIFOにメッセージなし 1：受信FIFOにメッセージあり	R
b3	TFST	送信FIFOステータスフラグ	0：送信FIFOはフル 1：送信FIFOはフルではない	R
b4	NMLST	通常メールボックスメッセージロストステータスフラグ	0：MSGLOSTビットが1のメールボックスなし 1：MSGLOSTビットが1のメールボックスあり	R
b5	FMLST	FIFOメールボックスメッセージロストステータスフラグ	0：RFMLFビットが0 1：RFMLFビットが1	R
b6	TABST	送信アボートステータスフラグ	0：TRMABTビットが1のメールボックスなし 1：TRMABTビットが1のメールボックスあり	R
b7	EST	エラーステータスフラグ	0：エラー発生なし 1：エラー発生あり	R
b8	RSTST	CANリセットステータスフラグ	0：CANリセットモードではない 1：CANリセットモード	R
b9	HLTST	CAN haltステータスフラグ	0：CAN haltモードではない 1：CAN haltモード	R
b10	SLPST	CANスリープステータスフラグ	0：CANスリープモードではない 1：CANスリープモード	R
b11	EPST	エラーパッシブステータスフラグ	0：エラーパッシブ状態ではない 1：エラーパッシブ状態	R
b12	BOST	バスオフステータスフラグ	0：バスオフ状態ではない 1：バスオフ状態	R
b13	TRMST	送信ステータスフラグ	0：バスアイドルまたは受信中 1：送信中またはモジュールがバスオフ状態	R
b14	RECST	受信ステータスフラグ	0：バスアイドルまたは送信中 1：受信中	R
b15	—	予約ビット	読むと0が読めます。	R

NDST フラグ（NEWDATA ステータスフラグ）

MCTL_RXj.NEWDATA ビット（j = 0 ～ 31）が 1 つでも 1 になると、MIER または MIER_FIFO の値にかかわらず、NDST フラグは 1 になります。NEWDATA ビットがすべて 0 であると 0 になります。

SDST フラグ（SENTDATA ステータスフラグ）

MCTL_TXj.SENTDATA ビット（j = 0 ～ 31）が 1 つでも 1 になると、MIER または MIER_FIFO の値にかかわらず、SDST フラグは 1 になります。SENTDATA ビットがすべて 0 であると 0 になります。

RFST フラグ（受信 FIFO ステータスフラグ）

RFST フラグは、受信 FIFO が空状態でないとき 1 になります。受信 FIFO が空状態か、または通常メールボックスモードが選択されている場合、0 になります。

TFST フラグ（送信 FIFO ステータスフラグ）

TFST フラグは、送信 FIFO がフルでないとき 1 になります。送信 FIFO がフルであるか、または通常メールボックスモードが選択されている場合、0 になります。

NMLST フラグ（通常メールボックスメッセージロストステータスフラグ）

MCTL_RXj.MSGLOST ビット（j = 0 ～ 31）が 1 つでも 1 になると、MIER または MIER_FIFO の値にかかわらず、NMLST フラグは 1 になります。MSGLOST ビットがすべて 0 であると 0 になります。

FMLST フラグ（FIFO メールボックスメッセージロストステータスフラグ）

RFCR.RFMLF ビットが 1 になると、MIER_FIFO の値にかかわらず、FMLST フラグは 1 になります。RFMLF ビットが 0 の場合、0 になります。

TABST フラグ（送信アボートステータスフラグ）

MCTL_TXj.TRMABT ビット（j = 0 ～ 31）が 1 つでも 1 になると、MIER または MIER_FIFO の値にかかわらず、TABST フラグは 1 になります。TRMABT ビットがすべて 0 であると 0 になります。

EST フラグ（エラーステータスフラグ）

EIFR レジスタで 1 つでもエラーが検出されると、EIER の値にかかわらず、EST フラグは 1 になります。EIFR レジスタで一つもエラーが検出されない場合は 0 になります。

RSTST フラグ（CAN リセットステータスフラグ）

RSTST フラグは、CAN モジュールが CAN リセットモードになると 1 になります。CAN モジュールが CAN リセットモード以外になると 0 になります。CAN リセットモードからスリープモードへ遷移しても 1 のままです。

HLTST フラグ（CAN halt ステータスフラグ）

HLTST フラグは、CAN モジュールが CAN halt モードになると 1 になります。CAN モジュールが CAN halt モード以外になると 0 になります。CAN halt モードからスリープモードへ遷移しても 1 のままです。

SLPST フラグ（CAN スリープステータスフラグ）

SLPST フラグは、CAN モジュールが CAN スリープモードになると 1 になります。CAN モジュールが CAN スリープモード以外になると 0 になります。

EPST フラグ（エラーパッシブステータスフラグ）

TECR または RECR レジスタの値が 127 を超えて、CAN モジュールがエラーパッシブ状態（128 ≦ TEC ＜ 256 または 128 ≦ REC ＜ 256）になると、EPST フラグは 1 になります。CAN モジュールがエラーパッシブ状態以外になると 0 になります。

BOST フラグ（バスオフステータスフラグ）

TECR レジスタの値が 255 を超えて、CAN モジュールがバスオフ状態（TEC ≧ 256）になると、BOST フラグは 1 になります。CAN モジュールがバスオフ状態以外になると 0 になります。

TRMST フラグ（送信ステータスフラグ）

TRMST フラグは、CAN モジュールが送信ノードとして動作するか、またはバスオフ状態になると 1 になります。CAN モジュールが受信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

RECST フラグ（受信ステータスフラグ）

RECST フラグは、CAN モジュールが受信ノードとして動作すると 1 になります。CAN モジュールが送信ノードとして動作するか、またはバスアイドル状態になると 0 になります。

37.2.16 メールボックスサーチモードレジスタ（MSMR）

アドレス CAN0.MSMR 4005 0853h, CAN1.MSMR 4005 1853h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	MBSM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	MBSM[1:0]	メールボックス検索モード選択	b1 b0 0 0：受信メールボックス検索モード 0 1：送信メールボックス検索モード 1 0：メッセージロスト検索モード 1 1：チャネル検索モード	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

MSMR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

MBSM[1:0] ビット（メールボックス検索モード選択）

MBSM[1:0] ビットは、メールボックス検索機能の検索モードを選択します。

MBSM[1:0] ビットが 00b の場合、受信メールボックス検索モードになります。このモードでの検索対象は、通常メールボックスでの MCTL_RXj.NEWDATA（j = 0 ～ 31）ビットと、RFCR.RFEST ビットです。

MBSM[1:0] ビットが 01b の場合、送信メールボックス検索モードになります。このモードでの検索対象は、MCTL_TXj.SENTDATA ビットです。

MBSM[1:0] ビットが 10b の場合、メッセージロスト検索モードになります。このモードでの検索対象は、通常メールボックスでの MCTL_RXj.MSGLOST ビットと、RFCR.RFMLF ビットです。

MBSM[1:0] ビットが 11b の場合、チャネル検索モードになります。このモードで検索対象となるレジスタは、CSSR レジスタです。37.2.18 チャネルサーチサポートレジスタ（CSSR）を参照してください。

37.2.17 メールボックスサーチステータスレジスタ（MSSR）

アドレス CAN0.MSSR 4005 0852h, CAN1.MSSR 4005 1852h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MBNST[4:0]	検索結果メールボックス番号ステータス	MSMR レジスタの各モードで検索された、最小メールボックス番号を表示	R
b6-b5	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W
b7	SEST	検索結果ステータス	0：検索結果あり 1：検索結果なし	R

MBNST[4:0] ビット（検索結果メールボックス番号ステータス）

MBNST[4:0] ビットは、すべての MSMR モードで検索された最小のメールボックス番号を出力します。受信メールボックス検索モード、送信メールボックス検索モード、およびメッセージロスト検索モードでは、メールボックスの値（検索結果出力）が次の場合に更新されます。

- MBNST ビットで出力されたメールボックスの NEWDATA、SENTDATA、または MSGLOST ビットが 0 の場合
- MBNST ビットより小さな番号のメールボックスの NEWDATA、SENTDATA、または MSGLOST ビットが 1 の場合

MBSM[1:0] ビットが 00b（受信メールボックス検索モード）または 10b（メッセージロスト検索モード）の場合、受信 FIFO（メールボックス 28）が空状態ではなく、すべての通常メールボックス（メールボックス 0 ～ 23）に未読の受信メッセージもロストメッセージもないと、受信 FIFO が出力されます。MBSM[1:0] ビットが 01b（送信メールボックス検索モード）の場合、送信 FIFO（メールボックス 24）は出力されません。表 37.6 に、FIFO メールボックスモードでの MBNST[4:0] ビットの動作を示します。

チャネル検索モードでは、MBNST[4:0] ビットは対応するチャネル番号を出力します。MSSR レジスタがソフトウェアで読み出された後に、次のターゲットチャネル番号が出力されます。

SEST ビット（検索結果ステータス）

すべてのメールボックスを検索した結果、対応するメールボックスがなかった場合、SEST ビットは 1（検索結果なし）になります。たとえば送信メールボックス検索モードで、メールボックスの SENTDATA ビットが 1 以外の場合は、SEST ビットが 1 になります。少なくとも 1 つの SENTDATA ビットが 1 のとき、SEST ビットは 0 になります。SEST ビットが 1 の場合、MBNST[4:0] ビットの値は不定です。

表 37.6 FIFO メールボックスモードでの MBNST[4:0] ビットの動作

MBSM[1:0] ビット	メールボックス 24（送信 FIFO）	メールボックス 28（受信 FIFO）
00b	メールボックス 24 は表示されない	通常メールボックスのどの MCTL_RXj.NEWDATA ビットも 1（新しいメッセージがメールボックスに格納中または格納済み）ではなく、かつ受信 FIFO が空状態でない場合、メールボックス 28 が表示される
01b		メールボックス 28 は表示されない
10b		通常メールボックスのどの MCTL_RXj.MSGLOST ビットも 1（メッセージのオーバーライトまたはオーバーランあり）ではなく、かつ受信 FIFO の RFCR.RFMLF ビットが 1（受信 FIFO メッセージロスト発生）になった場合、メールボックス 28 が表示される
11b		メールボックス 28 は表示されない

37.2.18 チャネルサーチサポートレジスタ（CSSR）

アドレス CAN0.CSSR 4005 0851h, CAN1.CSSR 4005 1851h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b7-b0	チャネル検索の値が入力された場合、チャネル番号をMSSRレジスタに出力	R/W

1 になった CSSR レジスタのビットは、8/3 エンコーダ（最小ビット位置がより高い優先順位）によってエンコードされ、MSSR.MBNST[4:0] ビットに出力されます。MSSR レジスタは、MSSR レジスタをソフトウェアで読み出すたびに更新された値が表示されます。

なお、CSSR レジスタは、MSMR.MBSM[1:0] ビットが 11b（チャネル検索モード）のときのみ変更してください。また、CSSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

図 37.4 に、CSSR および MSSR レジスタに対する書き込みと読み出しについて示します。

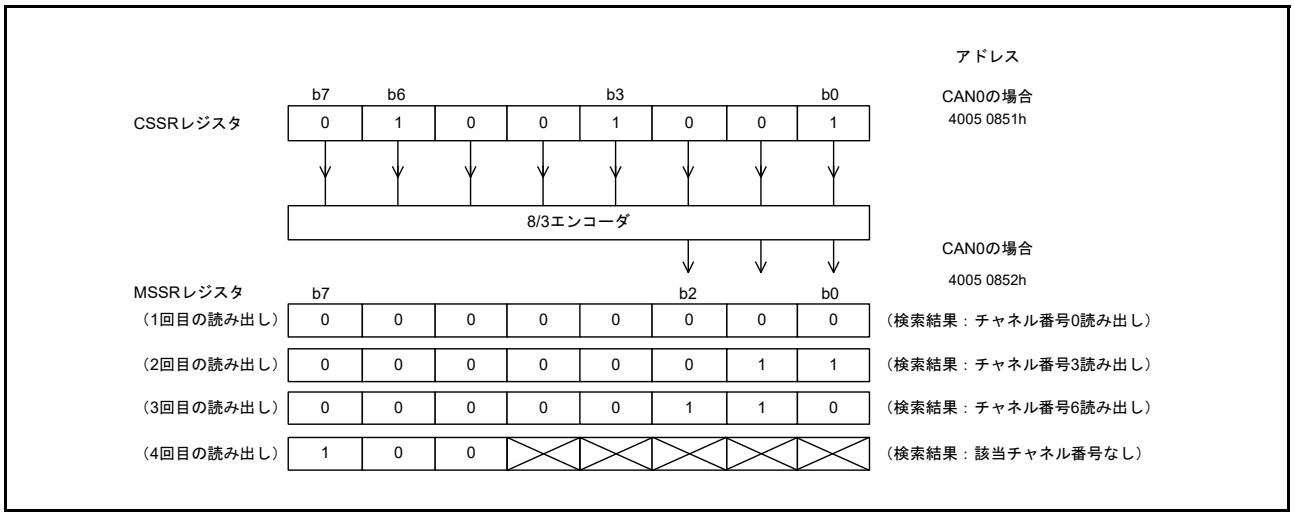


図 37.4 CSSR および MSSR レジスタに対する書き込みと読み出し

CSSR レジスタの値も MSSR レジスタを読み出すたびに更新されます。読んだ場合、8/3 エンコーダ変換前の値が読めます。

37.2.19 アクセプタンスフィルタサポートレジスタ（AFSR）

アドレス CAN0.AFSR 4005 0856h, CAN1.AFSR 4005 1856h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

ビット	機能	R/W
b15-b0	受信メッセージの標準IDを書いた後に、データテーブル検索用に変換された値が読める	R/W

注． AFSR レジスタへの書き込みは、CAN オペレーションモードまたは CAN halt モード時に行ってください。

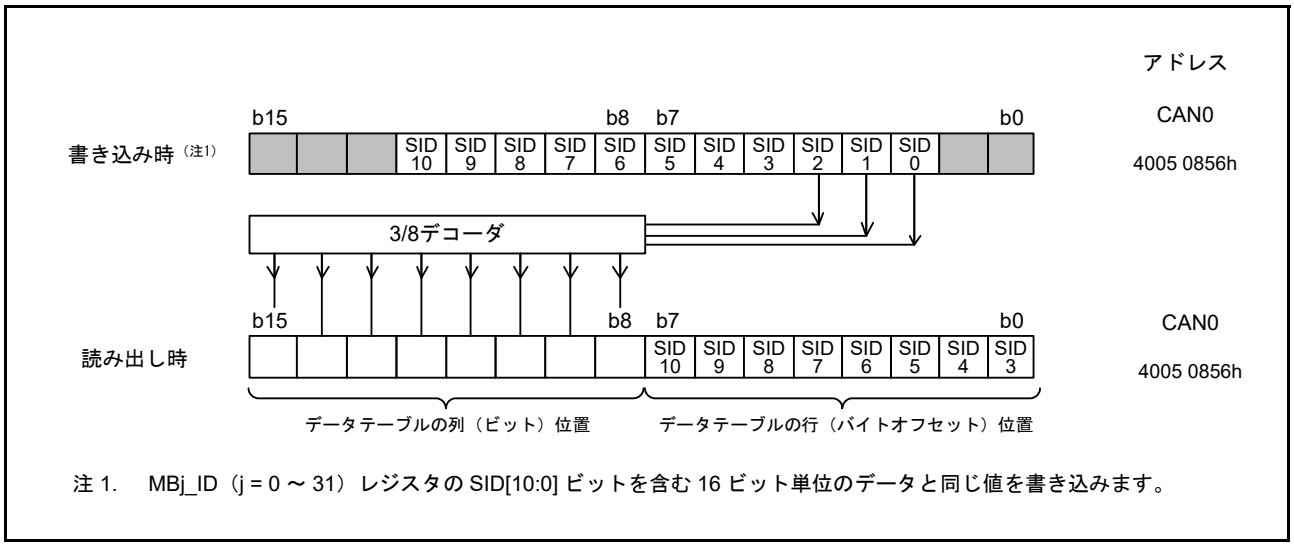
アクセプタンスフィルタサポートユニット（ASU）が、データテーブル（8 ビット × 256）の検索に使用可能です。このデータテーブルには、ユーザにより作成されたすべての標準 ID の有効／無効が 1 ビット単位で設定されています。受信した標準 ID が格納された MBj_ID.SID[10:0] ビット（j = 0 ～ 31）を含む 16 ビット単位のデータを AFSR に書き込むと、デコードされたデータテーブル検索用の行（バイトオフセット）位置と、列（ビット）位置が読み出せます。ASU は、標準（11 ビット）ID にのみ使用できます。

ASU は、次の場合に有効です。

- 受信する ID がアクセプタンスフィルタでマスクできない場合。たとえば、受信する ID が 078h、087h、111h の場合
- 受信する ID が多すぎるため、ソフトウェアによるフィルタリング処理時間を短縮したい場合

注． AFSR レジスタは、CAN リセットモードでは設定できません。

図 37.5 に、AFSR レジスタに対する書き込みと読み出しについて示します。



注 1. MBj_ID（j = 0 ～ 31）レジスタの SID[10:0] ビットを含む 16 ビット単位のデータと同じ値を書き込みます。

図 37.5 AFSR レジスタに対する書き込みと読み出し

37.2.20 エラー割り込みイネーブルレジスタ（EIER）

アドレス CAN0.EIER 4005 084Ch, CAN1.EIER 4005 184Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIE	OLIE	ORIE	BORIE	BOEIE	EPIE	EWIE	BEIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIE	バスエラー割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b1	EWIE	エラーワーニング割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b2	EPIE	エラーパッシブ割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b3	BOEIE	バスオフ開始割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b4	BORIE	バスオフ復帰割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b5	ORIE	オーバーラン割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b6	OLIE	オーバーロードフレーム送信割り込み許可	0：割り込み禁止 1：割り込み許可	R/W
b7	BLIE	バスロック割り込み許可	0：割り込み禁止 1：割り込み許可	R/W

EIER レジスタは、EIFR レジスタの個々のエラー割り込み要因を許可または禁止するためのレジスタです。EIER レジスタへの書き込みは、CAN リセットモード時に行ってください。

BEIE ビット（バスエラー割り込み許可）

BEIE ビットが 0 の場合、EIFR.BEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BEIE ビットが 1 の場合、BEIF ビットが 1 になると、エラー割り込み要求が発生します。

EWIE ビット（エラーワーニング割り込み許可）

EWIE ビットが 0 の場合、EIFR.EWIF ビットが 1 であっても、エラー割り込み要求は発生しません。EWIE ビットが 1 の場合、EWIF ビットが 1 になると、エラー割り込み要求が発生します。

EPIE ビット（エラーパッシブ割り込み許可）

EPIE ビットが 0 の場合、EIFR.EPIF ビットが 1 であっても、エラー割り込み要求は発生しません。EPIE ビットが 1 の場合、EPIF ビットが 1 になると、エラー割り込み要求が発生します。

BOEIE ビット（バスオフ開始割り込み許可）

BOEIE ビットが 0 の場合、EIFR.BOEIF ビットが 1 であっても、エラー割り込み要求は発生しません。BOEIE ビットが 1 の場合、BOEIF ビットが 1 になると、エラー割り込み要求が発生します。

BORIE ビット（バスオフ復帰割り込み許可）

BORIE ビットが 0 の場合、EIFR.BORIF ビットが 1 であっても、エラー割り込み要求は発生しません。BORIE ビットが 1 の場合、BORIF ビットが 1 になると、エラー割り込み要求が発生します。

ORIE ビット（オーバーラン割り込み許可）

ORIE ビットが 0 の場合、EIFR.ORIF ビットが 1 であっても、エラー割り込み要求は発生しません。ORIE ビットが 1 の場合、ORIF ビットが 1 になると、エラー割り込み要求が発生します。

OLIE ビット（オーバーロードフレーム送信割り込み許可）

OLIE ビットが 0 の場合、EIFR.OLIF ビットが 1 であっても、エラー割り込み要求は発生しません。OLIE ビットが 1 の場合、OLIF ビットが 1 になると、エラー割り込み要求が発生します。

BLIE ビット（バスロック割り込み許可）

BLIE ビットが 0 の場合、EIFR.BLIF ビットが 1 であっても、エラー割り込み要求は発生しません。BLIE ビットが 1 の場合、BLIF ビットが 1 になると、エラー割り込み要求が発生します。

37.2.21 エラー割り込み要因判定レジスタ（EIFR）

アドレス CAN0.EIFR 4005 084Dh, CAN1.EIFR 4005 184Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	BLIF	OLIF	ORIF	BORIF	BOEIF	EPIF	EWIF	BEIF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BEIF	バスエラー検出フラグ	0：バスエラー未検出 1：バスエラー検出	R/W
b1	EWIF	エラーワーニング検出フラグ	0：エラーワーニング未検出 1：エラーワーニング検出	R/W
b2	EPIF	エラーパッシブ検出フラグ	0：エラーパッシブ未検出 1：エラーパッシブ検出	R/W
b3	BOEIF	バスオフ開始検出フラグ	0：バスオフ開始未検出 1：バスオフ開始検出	R/W
b4	BORIF	バスオフ復帰検出フラグ	0：バスオフ復帰未検出 1：バスオフ復帰検出	R/W
b5	ORIF	受信オーバーラン検出フラグ	0：受信オーバーラン未検出 1：受信オーバーラン検出	R/W
b6	OLIF	オーバーロードフレーム送信検出フラグ	0：オーバーロードフレーム送信未検出 1：オーバーロードフレーム送信検出	R/W
b7	BLIF	バスロック検出フラグ	0：バスロック未検出 1：バスロック検出	R/W

これらのビットの 1 つに対応したイベントが発生すると、EIER レジスタの設定にかかわらず、EIFR レジスタの対応するビットが 1 になります。これらのビットは、ソフトウェア書き込みで 0 にしてください。ソフトウェアによるクリアと同時にビットが 1 になると、そのビットは 1 になります。個々のビットをソフトウェアで 0 にする場合、転送（MOV）命令を使用して、必ず指定されたビットのみを 0 にし、その他のビットは 1 にしてください。1 を書いてもこれらのビットの値は変化しません。

BEIF フラグ（バスエラー検出フラグ）

バスエラーが検出されると、BEIF ビットは 1 になります。

EWIF フラグ（エラーワーニング検出フラグ）

受信エラーカウンタ（REC）または送信エラーカウンタ（TEC）の値が 95 を超えると、EWIF フラグは 1 になります。REC または TEC が最初に 95 を超えたときのみ 1 になります。REC または TEC が 95 を超えたまま、EWIF フラグにソフトウェアで 0 を書いた場合、REC または TEC が 95 以下になった後、再び 95 を超えるまで、EWIF フラグは 1 にはなりません。

EPIF フラグ（エラーパッシブ検出フラグ）

CAN エラーの状態がエラーパッシブになったとき、受信エラーカウンタ（REC）または送信エラーカウンタ（TEC）の値が 127 を超えると、EPIF フラグは 1 になります。REC または TEC が最初に 127 を超えたときのみ 1 になります。REC または TEC が 127 を超えたまま、EPIF フラグにソフトウェアで 0 を書いた場合、REC または TEC が 127 以下になった後、再び 127 を超えるまで、このフラグは 1 にはなりません。

BOEIF フラグ（バスオフ開始検出フラグ）

CAN エラー状態がバスオフになったとき、送信エラーカウンタ（TEC）の値が 255 を超えると、BOEIF フラグは 1 になります。CTLR.BOM[1:0] ビットが 01b（バスオフ開始で自動的に CAN halt モードへ遷移）のとき、CAN モジュールがバスオフ状態になった場合も 1 になります。

BORIF フラグ（バスオフ復帰検出フラグ）

CAN モジュールが、下記の条件下で、バスオフ状態から通常復帰（11 の連続する受信ビットを 128 回検出）した場合、BORIF フラグは 1 になります。

- CTLR.BOM[1:0] ビットが 00b の場合
- CTLR.BOM[1:0] ビットが 10b の場合
- CTLR.BOM[1:0] ビットが 11b の場合

ただし、CAN モジュールが、下記の条件下でバスオフ状態から復帰した場合、BORIF フラグは 1 になりません。

- CTLR.CANM[1:0] ビットが 01b または 11b（CAN リセットモード）の場合
- CTLR.RBOC ビットが 1（バスオフからの強制復帰）の場合
- CTLR.BOM[1:0] ビットが 01b の場合
- CTLR.BOM[1:0] ビットが 11b で、通常復帰が発生する前に、CTLR.CANM[1:0] ビットを 10b（CAN halt モード）にした場合

表 37.7 に、CTLR.BOM[1:0] ビットの設定値ごとの BOEIF および BORIF ビットの動作を示します。

表 37.7 CTLR.BOM[1:0]の設定値ごとのBOEIF、BORIFフラグの動作

BOM[1:0]ビット	BOEIFビット	BORIFビット
00b	バスオフ状態への遷移時に1になる	バスオフ状態からの復帰時に1になる
01b		1にはならない
10b		バスオフ状態からの復帰時に1になる
11b		CANM[1:0]ビットが10b（CAN haltモード）になる前に、通常のバスオフ状態からの復帰が発生した場合1になる

ORIF フラグ（受信オーバーラン検出フラグ）

ORIF フラグは、受信オーバーランが発生すると 1 になります。オーバーライトモードでは 1 になりません。

オーバーライトモードでは、オーバーライト条件が発生すると受信完了割り込み要求が発生し、ORIF ビットは 1 になりません。通常メールボックスモードの場合、オーバーランモードでは、メールボックス 0 ～ 31 のいずれかでオーバーランが発生すると、このフラグが 1 になります。FIFO メールボックスモードの場合、オーバーランモードでは、メールボックス 0 ～ 23 のいずれか、または受信 FIFO でオーバーランが発生すると、このビットは 1 になります。

OLIF フラグ（オーバーロードフレーム送信検出フラグ）

CAN モジュールが送信または受信動作中であるとき、オーバーロードフレームの送信条件が検出されると、OLIF フラグは 1 になります。

BLIF フラグ（バスロック検出フラグ）

CAN モジュールが CAN オペレーションモードのとき、CAN バス上に 32 の連続するドミナントビットが検出されると、BLIF ビットは 1 になります。BLIF フラグが 1 になった後、次のいずれかの条件下では、32 の連続するドミナントビットが再検出されます。

- このフラグが 1 から 0 に変化した後、レセシブビットが検出された場合
- このフラグが 1 から 0 に変化した後、CAN モジュールが CAN リセットモードまたは CAN halt モードになり、その後、再び CAN オペレーションモードになった場合

37.2.22 受信エラーカウントレジスタ（RECR）

アドレス CAN0.RECR 4005 084Eh, CAN1.RECR 4005 184Eh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7-b0	受信エラーカウント機能 受信中のCANモジュールのエラー状態に基づいて、RECRはカウンタ値をインクリメントまたはデクリメント	R

RECR レジスタは、受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

バスオフ状態時の RECR レジスタの値は不定になります。

37.2.23 送信エラーカウントレジスタ（TECR）

アドレス CAN0.TECR 4005 084Fh, CAN1.TECR 4005 184Fh

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

ビット	機能	R/W
b7-b0	送信エラーカウント機能 送信中のCANモジュールのエラー状態に基づいて、TECRはカウンタ値をインクリメントまたはデクリメント	R

TECR レジスタは、送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

バスオフ状態時の TECR レジスタの値は不定になります。

37.2.24 エラーコード格納レジスタ（ECSR）

アドレス CAN0.ECSR 4005 0850h, CAN1.ECSR 4005 1850h

	b7	b6	b5	b4	b3	b2	b1	b0
	EDPM	ADEF	BE0F	BE1F	CEF	AEF	FEF	SEF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SEF	スタッフエラーフラグ（注1）（注2）	0：スタッフエラー未検出 1：スタッフエラー検出	R/W
b1	FEF	フォームエラーフラグ（注1）（注2）	0：フォームエラー未検出 1：フォームエラー検出	R/W
b2	AEF	ACKエラーフラグ（注1）（注2）	0：ACKエラー未検出 1：ACKエラー検出	R/W
b3	CEF	CRCエラーフラグ（注1）（注2）	0：CRCエラー未検出 1：CRCエラー検出	R/W
b4	BE1F	ビットエラー（レセシブ）フラグ（注1）（注2）	0：ビットエラー（レセシブ）未検出 1：ビットエラー（レセシブ）検出	R/W
b5	BE0F	ビットエラー（ドミナント）フラグ（注1）（注2）	0：ビットエラー（ドミナント）未検出 1：ビットエラー（ドミナント）検出	R/W
b6	ADEF	ACKデリミタエラーフラグ（注1）（注2）	0：ACKデリミタエラー未検出 1：ACKデリミタエラー検出	R/W
b7	EDPM	エラー表示モード選択（注3）（注4）	0：最初に検出されたエラーコードを出力 1：蓄積したエラーコードを出力	R/W

注 1. 1 を書いても、これらのビットの値は影響されません。
注 2. SEF、FEF、AEF、CEF、BE1F、BE0F、ADEF ビットに 0 を書く場合は、転送（MOV）命令を使用して、必ず指定されたビットのみを 0 にし、その他のビットは 1 にしてください。
注 3. EDPM ビットへの書き込みは、CAN リセットモードまたは CAN halt モード時に行ってください。
注 4. 同時に 2 つ以上のエラー条件が検出された場合は、関係するすべてのビットが 1 になります。

ECSR レジスタは、CAN バス上のエラー発生の有無を示します。各エラーの発生条件については、CAN 仕様（ISO11898-1）を参照してください。ソフトウェア書き込みで EDPM ビット以外のビットをすべて 0 にしてください。ソフトウェアによるクリアと同時にビットが 1 になると、そのビットは 1 になります。

SEF フラグ（スタッフエラーフラグ）

スタッフエラーが検出されると、SEF フラグは 1 になります。

FEF フラグ（フォームエラーフラグ）

フォームエラーが検出されると、FEF フラグは 1 になります。

AEF フラグ（ACK エラーフラグ）

ACK エラーが検出されると、AEF フラグは 1 になります。

CEF フラグ（CRC エラーフラグ）

CRC エラーが検出されると、CEF フラグは 1 になります。

BE1F フラグ（ビットエラー（レセシブ）フラグ）

レセシブビットエラーが検出されると、BE1F フラグは 1 になります。

BE0F フラグ（ビットエラー（ドミナント）フラグ）

ドミナントビットエラーが検出されると、BE0F フラグは 1 になります。

ADEF フラグ（ACK デリミタエラーフラグ）

送信中に ACK デリミタでフォームエラーが検出されると、ADEF フラグは 1 になります。

EDPM ビット（エラー表示モード選択）

EDPM ビットは、ECSR レジスタの出力モードを設定します。EDPM ビットを 0 にすると、ECSR レジスタは最初のエラーコードを出力します。EDPM ビットを 1 にすると、ECSR レジスタは蓄積したエラーコードを出力します。

37.2.25 タイムスタンプレジスタ（TSR）

アドレス CAN0.TSR 4005 0854h, CAN1.TSR 4005 1854h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	機能	R/W
b15-b0	タイムスタンプ機能のためのフリーランカウンタ値	R

注 . TSR レジスタの読み出しは 16 ビット単位で実行してください。

TSR レジスタを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読み出せます。タイムスタンプカウンタの基準クロックは、CTLR.TSPS[1:0] ビットで設定します。カウンタは、CAN スリープモードおよび CAN halt モードで停止し、CAN リセットモードで初期化されます。その値は、受信メッセージが受信メールボックスに格納されるとき、MBj_TS レジスタの TSL[7:0] ビットと TSH[7:0] ビットに格納されます。

37.2.26 テストコントロールレジスタ（TCR）

アドレス CAN0.TCR 4005 0858h, CAN1.TCR 4005 1858h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TSTM[1:0]		TSTE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSTE	CANテストモード許可	0：CANテストモード禁止 1：CANテストモード許可	R/W
b2-b1	TSTM[1:0]	CANテストモード選択	b2 b1 0 0：CANテストモードではない 0 1：リッスンオンリモード 1 0：セルフテストモード0（外部ループバック） 1 1：セルフテストモード1（内部ループバック）	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TCR レジスタは、CAN テストモードの制御を行います。TCR レジスタは、CAN halt モード時のみ変更してください。

(1) リッスンオンリモード

CAN 仕様（ISO11898-1）では、オプションのバスモニタモードが推奨されています。リッスンオンリモードでは、有効なデータフレームとリモートフレームを受信できます。ただし、CAN バスにはレセシブビットのみが送信可能であり、ACK ビット、オーバーロードフラグ、アクティブエラーフラグは送信できません。

リッスンオンリモードは、ボーレート検出に使用できます。

リッスンオンリモードでは、どのメールボックスからも送信要求をしないでください。

図 37.6 にリッスンオンリモード選択時の接続を示します。

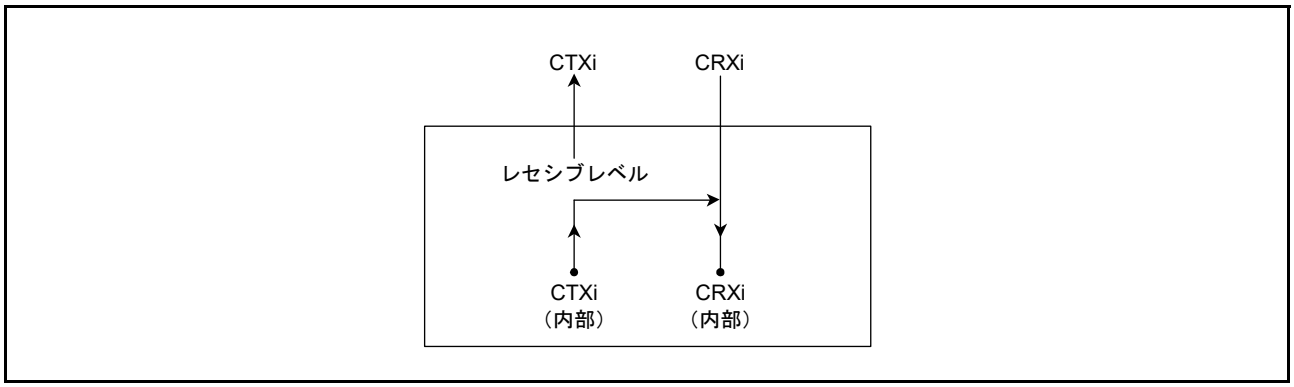


図 37.6 リッスンオンリモード選択時の接続（i = 0, 1）

(2) セルフテストモード 0（外部ループバック）

セルフテストモード 0 は、CAN トランシーバテスト用です。このモードでは、プロトコルモジュールは、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部から独立して行う機能のため、プロトコルモジュールは ACK ビットを生成します。

CTXi および CRXi 端子はトランシーバに接続してください。

図 37.7 にセルフテストモード 0 選択時の接続を示します。

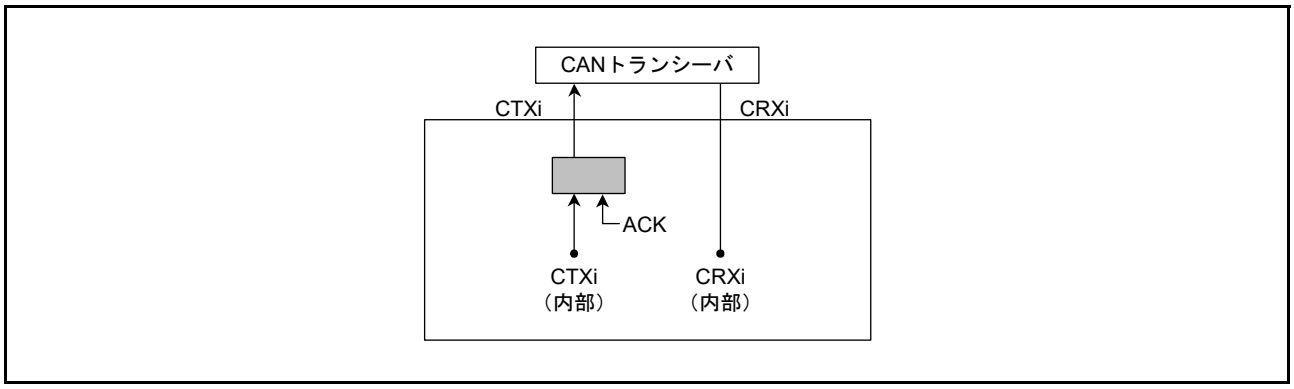


図 37.7 セルフテストモード 0 選択時の接続（i = 0, 1）

(3) セルフテストモード 1（内部ループバック）

セルフテストモード 1 は、セルフテスト機能用です。

セルフテストモード 1 では、プロトコルコントローラは送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージを受信メールボックスに格納します。外部の刺激に影響されないようにするため、プロトコルコントローラは ACK ビットを生成します。

セルフテストモード 1 では、内部 CTXi 端子から内部 CRXi 端子への内部フィードバックを行います。外部 CRXi 端子の入力値は無視されます。外部 CTXi 端子はレセシブビットのみを出力します。CTXi および CRXi 端子は、CAN バスや他のどの外部デバイスにも接続する必要がありません。

図 37.8 にセルフテストモード 1 選択時の接続を示します。

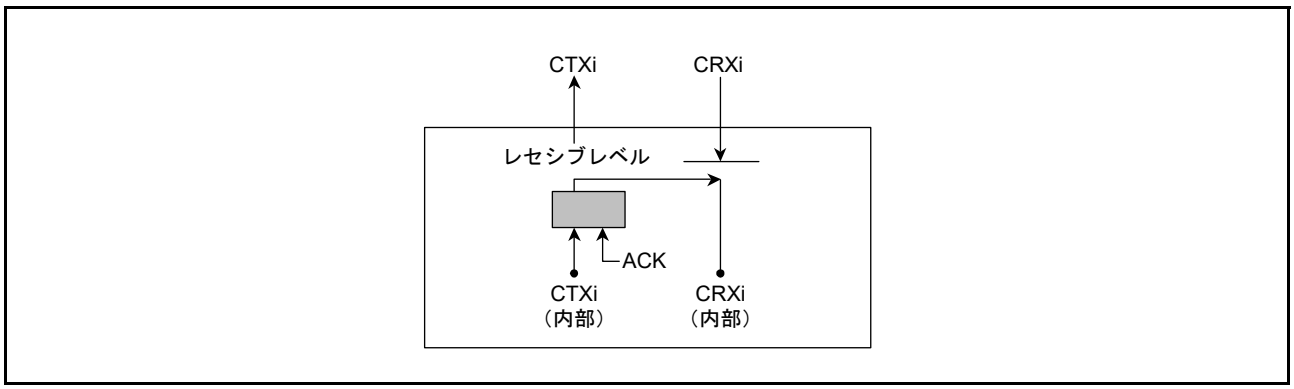


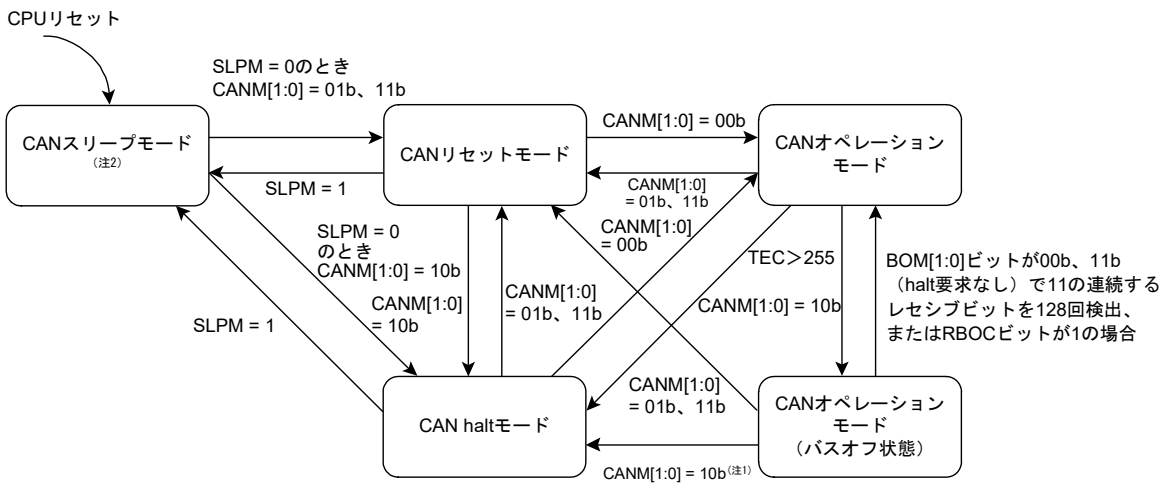
図 37.8 セルフテストモード 1 選択時の接続（i = 0, 1）

37.3 動作モード

CAN モジュールには以下の動作モードがあります。

- CAN リセットモード
- CAN halt モード
- CAN オペレーションモード
- CAN スリープモード

図 37.9 に、動作モード間の遷移を示します。



CANM、SLPM、BOM、RBOC: CTLRレジスタのビット

注 1. バスオフ状態から CAN Halt モードへの送信タイミングは、CTLR.BOM[1:0] ビットの設定に依存します。
CTLR.BOM[1:0] ビットが 01b のとき、状態遷移のタイミングはバスオフ状態への遷移直後になります。
CTLR.BOM[1:0] ビットが 10b のとき、状態遷移のタイミングはバスオフ状態終了時になります。
CTLR.BOM[1:0] ビットが 11b のとき、状態遷移のタイミングは CTLR.CANM[1:0] ビットが 10b（CAN Halt モード）の設定時になります。

注 2. CAN スリープモードを設定／解除する場合は、CTLR.SLPM ビットを変更してください。

図 37.9 各動作モード間の遷移

37.3.1 CAN リセットモード

CAN リセットモードは、CAN 通信を設定するためのモードです。CTLR.CANM[1:0] ビットを 01b または 11b にすると、CAN モジュールは CAN リセットモードになります。そのとき、STR.RSTST ビットが 1 になります。RSTST ビットが 1 になるまで、CTLR.CANM[1:0] ビットを変更しないでください。CAN リセットモードから他のモードへ遷移する前に、BCR レジスタを設定してください。

以下のレジスタは、CAN リセットモードへ遷移すると、それぞれのリセット後の値に初期化され、CAN リセットモード中はその初期値を保持します。

- MCTL_TXj、MCTL_RXj
- STR（SLPST ビットと TFST ビットを除く）
- EIFR
- RECR
- TECR
- TSR
- MSSR
- MSMR
- RFCR
- TFCR
- TCR
- ECSR（EDPM ビットを除く）

以下のレジスタは、CAN リセットモードへ遷移後も以前の値を保持します。

- CTLR
- STR（SLPST ビットと TFST ビットのみ）
- MIER および MIER_FIFO
- EIER
- BCR
- CSSR
- ECSR（EDPM ビットのみ）
- MBj_ID、MBj_DL、MBj_Dm、MBj_TS
- MKRk
- FIDCR0 および FIDCR1
- MKIVLR
- AFSR
- RFPCR
- TFPCR

37.3.2 CAN halt モード

CAN halt モードは、メールボックスの設定とテストモードの設定のためのモードです。

CTLR.CANM[1:0] ビットを 10b にすると、CAN halt モードになります。そのとき、STR.HLTST ビットが 1 になります。HLTST ビットが 1 になるまで、CTLR.CANM[1:0] ビットを変更しないでください。

送信または受信時の状態遷移条件については、表 37.8 を参照してください。

CAN halt モードへの遷移では、STR レジスタの RSTST、HLTST、および SLPST ビット以外、すべてのレジスタは変化しません。

CAN halt モードでは、CTLR レジスタ（CANM[1:0] ビットおよび SLPM ビットを除く）および EIER レジスタを変更しないでください。自動ボーレート検出のためにリッスンオンリモードを選択している場合のみ、CAN halt モードで BCR レジスタを変更できます。

表 37.8 CAN リセットモードと CAN halt モードでの動作

動作モード	受信	送信	バスオフ
CAN リセットモード（強制遷移） CANM[1:0] = 11b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN リセットモード CANM[1:0] = 01b	CAN モジュールはメッセージ受信の終了を待たずに CAN リセットモードへ遷移	CAN モジュールはメッセージ送信の終了を待って CAN リセットモードへ遷移 （注 1）（注 4）	CAN モジュールはバスオフ復帰の終了を待たずに CAN リセットモードへ遷移
CAN halt モード	CAN モジュールはメッセージ受信の終了を待って CAN halt モードへ遷移（注 2）（注 3）	CAN モジュールはメッセージ送信の終了を待って CAN halt モードへ遷移（注 1）（注 4）	BOM[1:0] ビットが 00b のとき： バスオフ復帰後のみ、ソフトウェアからの Halt 要求を受け付ける BOM[1:0] ビットが 01b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待たずに自動的に CAN halt モードへ遷移 BOM[1:0] ビットが 10b のとき： CAN モジュールは、ソフトウェアからの Halt 要求とは無関係に、バスオフ復帰の終了を待って自動的に CAN halt モードへ遷移 BOM[1:0] ビットが 11b のとき： CAN モジュールは、バスオフ中にソフトウェアによる Halt 要求があると、バスオフ復帰の終了を待たずに CAN halt モードへ遷移

BOM[1:0] ビット：CTLR レジスタのビット

注 1. 複数メッセージの送信要求があると、最初の送信完了時にモード遷移が発生します。送信のサスペンド中に CAN リセットモードが要求されている状態では、バスアイドルになったとき、次の送信が終了したとき、または CAN モジュールがレシーバになったときに、モード遷移が発生します。

注 2. CAN バスがドミナントレベルでロックされた場合、EIFR レジスタの BLIF ビットをモニタすると、プログラムはバスロック状態を検出できます。

注 3. CAN halt モードが要求された後、受信中に CAN バスエラーが発生すると、CAN モジュールは CAN halt モードへ遷移します。

注 4. CAN リセットモードまたは CAN halt モードが要求された後、送信中に CAN バスエラーまたはアービトレーションロストが発生すると、CAN モジュールは要求された CAN モードへ遷移します。

37.3.3 CAN スリープモード

CAN スリープモードは、CAN モジュールへのクロック供給を停止することで、消費電力を削減します。MCU の端子リセットまたはソフトウェアリセット後、CAN モジュールは、CAN スリープモードから動作を開始します。

CTLR.SLPM ビットを 1 にすると、CAN モジュールは CAN スリープモードへ遷移します。そのとき、STR.SLPST ビットが 1 になります。SLPST ビットが 1 になるまで、SLPM ビットの値を変更しないでください。CAN モジュールが CAN スリープモードへ遷移しても、他のレジスタが変化することはありません。

SLPM ビットは、CAN リセットモードと CAN halt モードで変更してください。CAN スリープモード時には、どのレジスタも変更しないでください（SLPM ビットは除く）。ただし、読み出し動作は許可されます。

SLPM ビットを 0 にすると、CAN モジュールは CAN スリープモードから復帰します。CAN モジュールが CAN スリープモードから復帰しても、他のレジスタが変化することはありません。

37.3.4 CAN オペレーションモード（バスオフ状態以外）

CAN オペレーションモードは、CAN 通信を行うためのモードです。

CTLR.CANM[1:0] ビットを 00b にすると、CAN モジュールは CAN オペレーションモードになります。そのとき、STR レジスタの RSTST ビットと HLTST ビットが 0 になります。RSTST ビットと HLTST ビットが 0 になるまで、CANM[1:0] ビットの値を変更しないでください。

CAN オペレーションモードへ遷移後、11 の連続するレセシブビットが検出されると、以下の状態になります。

- CAN モジュールは、ネットワーク上でアクティブノードとなり、CAN メッセージの送受信が可能になる
- 受信エラーカウンタや送信エラーカウンタなど、CAN バスのエラー監視処理が行われる

CAN モジュールは、CAN バスの状態によって、CAN オペレーションモード中に、次の 3 つのいずれかのサブモードになります。

- アイドルモード：送信または受信の発生なし
- 受信モード：他のノードが送信した CAN メッセージを受信中
- 送信モード：CAN メッセージを送信中。セルフテストモード 0（TCR.TSTM[1:0] = 10b）またはセルフテストモード 1（TCR.TSTM[1:0] = 11b）を選択した場合、CAN モジュールは同時に自ノードが送信したメッセージを受信する

図 37.10 に CAN オペレーションモードのサブモードを示します。

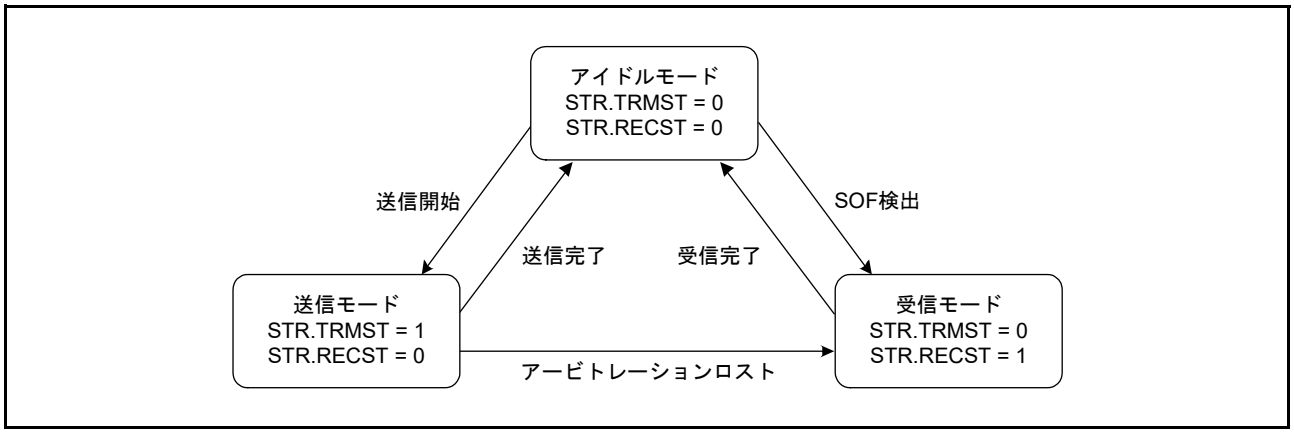


図 37.10 CAN オペレーションモードのサブモード

37.3.5 CAN オペレーションモード（バスオフ状態）

CAN 仕様に定められた送信およびエラーカウンタの増減ルールに従って、CAN モジュールはバスオフ状態へ遷移します。CAN モジュールがバスオフ状態から復帰するとき、下記のケースがあります。CAN モジュールがバスオフ状態のとき、STR、EIFR、RECR、TECR、TSR を除いて、CAN 関連レジスタの値は変化しません。

(1) CTLR.BOM[1:0] = 00b（通常モード）の場合

CAN モジュールは、バスオフ状態からの復帰を完了すると、エラーアクティブ状態となり、CAN 通信が可能になります。このとき、EIFR.BORIF フラグが 1（バスオフ復帰検出）になります。

(2) CTLR.RBOC = 1（バスオフ強制復帰）の場合

CAN モジュールは、バスオフ状態時に RBOC ビットが 1 であると、エラーアクティブ状態になります。11 の連続するレセシブビットを検出した後、再び CAN 通信が可能になります。このとき、BORIF ビットは 1 になりません。

(3) CTLR.BOM[1:0] = 01b（バスオフ開始で自動的に CAN halt モードへ遷移）の場合

CAN モジュールは、バスオフ状態に達したとき、CAN halt モードになります。このとき、BORIF フラグは 1 になりません。

(4) CTLR.BOM[1:0] = 10b（バスオフ終了で自動的に CAN halt モードへ遷移）の場合

CAN モジュールは、バスオフからの復帰を完了すると、CAN halt モードになります。このとき、BORIF フラグは 1 になります。

(5) CTLR.BOM[1:0] = 11b（ソフトウェアにより自動的に CAN halt モードへ遷移）およびバスオフ状態時に CTLR.CANM[1:0] = 10b（CAN halt モード）の場合

CAN モジュールは、バスオフ状態時に CANM[1:0] ビットが 10b（CAN halt モード）になっていると、CAN halt モードになります。このとき、BORIF フラグは 1 になりません。

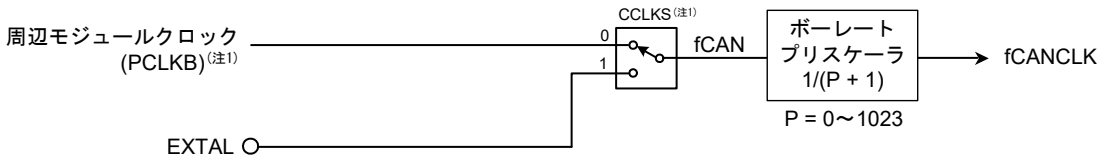
バスオフ時に CANM[1:0] ビットが 10b にされていないと、（1）と同じ動作になります。

37.4 データ転送レートの設定

以下では、データ転送レートの設定方法について説明します。

37.4.1 クロックの設定

CAN モジュールは、図 37.11 に示すように、CAN クロック発生回路を内蔵しています。BCR レジスタの CCLKS および BRP[9:0] ビットで、クロックを選択してください。



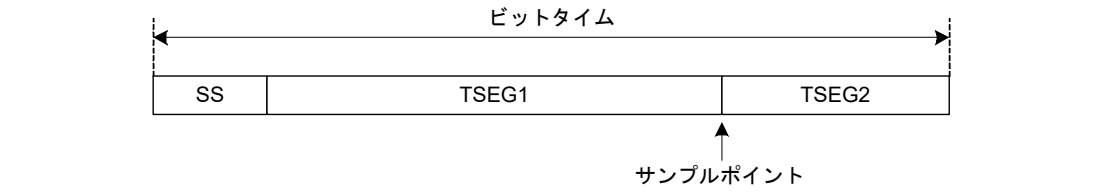
CCLKS： BCRレジスタのビット
fCAN： CANシステムクロック
P： BCRレジスタのBRPビットの選定値。P = 0～1023
fCANCLK： CAN通信クロックfCANCLK = fCAN/(P + 1)

注 1. 「9. クロック発生回路」を参照してください。CCLKS ビットが 0 の状態で CAN モジュールを使用する場合、周辺モジュールクロックのクロックソースに PLL を選択する必要があります。

図 37.11 CAN クロック発生回路のブロック図

37.4.2 ビットタイミングの設定

ビットタイミングは、図 37.12 に示す 3 つのセグメントで構成されます。



各セグメントの範囲： ビットタイム = 8 Tq～25 Tq
SS = 1 Tq
TSEG1 = 4 Tq～16 Tq
TSEG2 = 2 Tq～8 Tq
SJW = 1 Tq～4 Tq
TSEG1とTSEG2の設定： TSEG1＞TSEG2≧SJW

図 37.12 ビットタイミング

37.4.3 データ転送レート

データ転送レートは、fCAN（CAN システムクロック）の分周値、ボーレートプリスケーラ分周値、および 1 ビットタイムの Tq 数に依存します。

$$\text{データ転送レート（bps）} = \frac{\text{fCAN}}{\text{ボーレートプリスケーラ分周値（注1）} \times \text{1 ビットタイムの Tq 数}} = \frac{\text{fCANCLK}}{\text{1 ビットタイムの Tq 数}}$$

注 1. ボーレートプリスケーラ分周値 = P + 1（P = 0 ～ 1023）、ここで P は、BCR.BRP[9:0] ビットの設定値

表 37.9 に、データ転送レートの例を示します。

表 37.9 データ転送レート例

fCAN	50MHz		48MHz		40MHz		32MHz	
データ転送レート	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1	Tq数	P + 1
1Mbps	10Tq 25Tq	5 2	8Tq 12Tq 16Tq	6 4 3	10Tq 20Tq	4 2	8Tq 16Tq	4 2
500kbps	10Tq 25Tq	10 4	8Tq 12Tq 16Tq	12 8 6	10Tq 20Tq	8 4	8Tq 16Tq	8 4
250kbps	10Tq 25Tq	20 8	8Tq 12Tq 16Tq	24 16 12	10Tq 20Tq	16 8	8Tq 16Tq	16 8
125kbps	10Tq 25Tq	40 16	8Tq 12Tq 16Tq	48 32 24	10Tq 20Tq	32 16	8Tq 16Tq	32 16
83.3kbps	10Tq 25Tq	60 24	8Tq 12Tq 16Tq	72 48 36	8Tq 10Tq 16Tq 20Tq	60 48 30 24	8Tq 16Tq	48 24
33.3kbps	10Tq 25Tq	150 60	8Tq 12Tq 16Tq	180 120 90	8Tq 10Tq 20Tq	150 120 60	8Tq 10Tq 16Tq 20Tq	120 96 60 48

37.5 メールボックスとマスクレジスタの構成

図 37.13 に、32 本のメールボックスレジスタ（MBj_ID、MBj_DL、MBj_Dm、MBj_TS）の構成を示します。

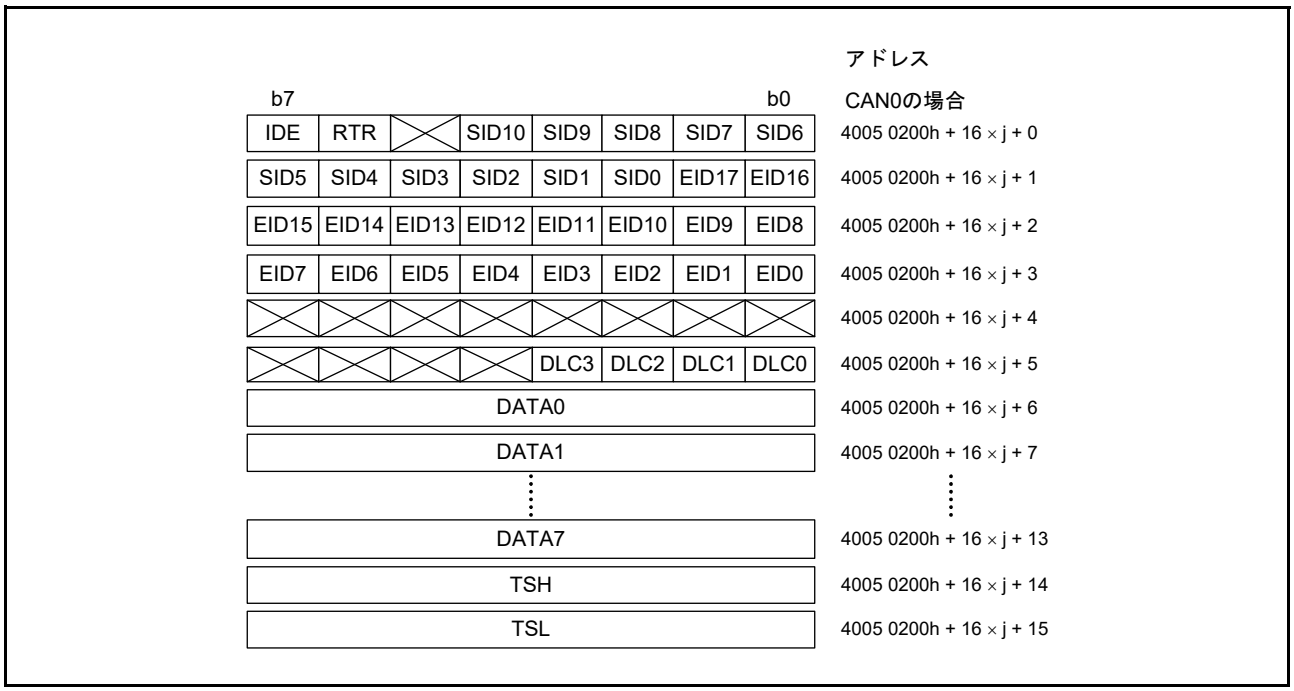


図 37.13 メールボックスレジスタの構成（j = 0 ～ 31）

図 37.14 に、8 本のマスクレジスタ（MKRk）の構成を示します。

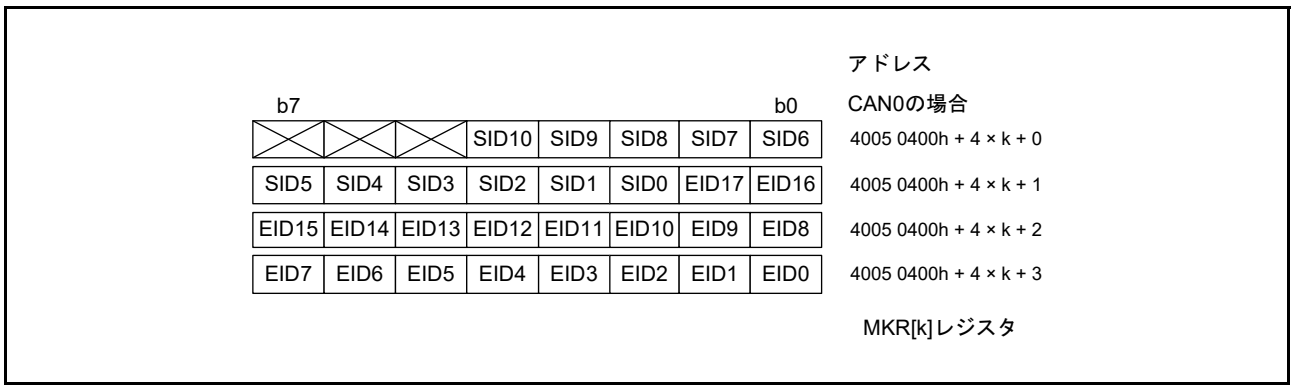


図 37.14 MKRk レジスタの構成（k = 0 ～ 7）

図 37.15 に、2 本の FIFO 受信 ID 比較レジスタ（FIDCR0 および FIDCR1）の構成を示します。

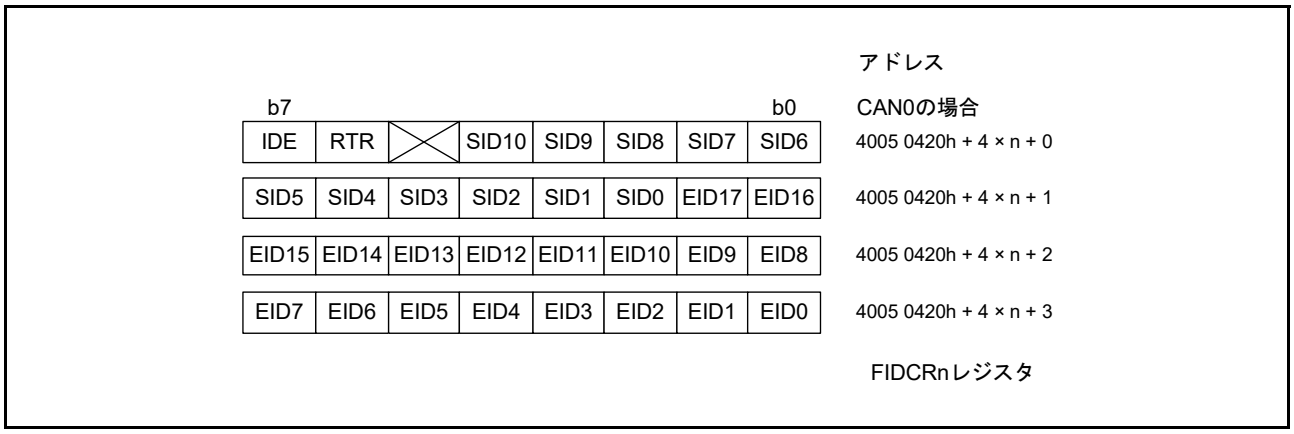


図 37.15 FIDCRn レジスタの構成（n = 0, 1）

37.6 アクセプタンスフィルタ機能とマスク機能

アクセプタンスフィルタ機能とマスク機能によって、指定範囲内のメールボックスに対して、複数 ID のメッセージを選択および受信することが可能になります。

MKRk レジスタは、標準 ID と 29 ビットの拡張 ID をマスクできます。

- MKR0 レジスタは、メールボックス 0 ～ 3 を制御
- MKR1 レジスタは、メールボックス 4 ～ 7 を制御
- MKR2 レジスタは、メールボックス 8 ～ 11 を制御
- MKR3 レジスタは、メールボックス 12 ～ 15 を制御
- MKR4 レジスタは、メールボックス 16 ～ 19 を制御
- MKR5 レジスタは、メールボックス 20 ～ 23 を制御
- MKR6 レジスタは、通常メールボックスモードの場合はメールボックス 24 ～ 27、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ～ 31 を制御
- MKR7 レジスタは、通常メールボックスモードの場合はメールボックス 28 ～ 31、FIFO メールボックスモードの場合は受信 FIFO メールボックス 28 ～ 31 を制御

MKIVLR レジスタは、各メールボックスに対して個別にアクセプタンスフィルタ処理を禁止します。

MBj_ID.IDE ビットは、CTLR.IDFM[1:0] ビットが 10b（ミックス ID モード）のときに有効です。

MBj_ID.RTR ビットは、データフレームまたはリモートフレームを選択します。

FIFO メールボックスモードの場合、通常メールボックス（0 ～ 23）は、アクセプタンスフィルタ処理に MKR0 ～ MKR5 レジスタの中から対応する 1 つのレジスタを使用します。受信 FIFO メールボックス（28 ～ 31）は、アクセプタンスフィルタ処理に MKR6 および MKR7 レジスタの 2 つを使用します。

また、受信 FIFO は、FIDCR0 および FIDCR1 レジスタの 2 つを使用して、ID の比較を行います。受信 FIFO のメールボックス 28 ～メールボックス 31 レジスタの EID[17:0]、SID[10:0]、RTR、IDE ビットは無効になります。2 つの論理和の結果でアクセプタンスフィルタ処理を行うので、受信 FIFO は 2 つの範囲の ID を受信することができます。

MKIVLR レジスタは、受信 FIFO に対しては無効です。

異なる標準 ID と拡張 ID の値が、FIDCR0 レジスタと FIDCR1 レジスタの IDE ビットに設定された場合、両方の ID フォーマットが受信されます。

異なるデータフレームとリモートフレームの値が、FIDCR0 レジスタと FIDCR1 レジスタの RTR ビットに設定された場合、データフレームとリモートフレームの両方が受信されます。

2 つの範囲の ID の組み合わせを必要としない場合は、FIFO ID とマスクレジスタの両方に同じマスク値と同じ ID を設定してください。

図 37.16 は、マスクレジスタとメールボックスの対応関係を示しています。図 37.17 は、アクセプタンスフィルタ機能を示しています。

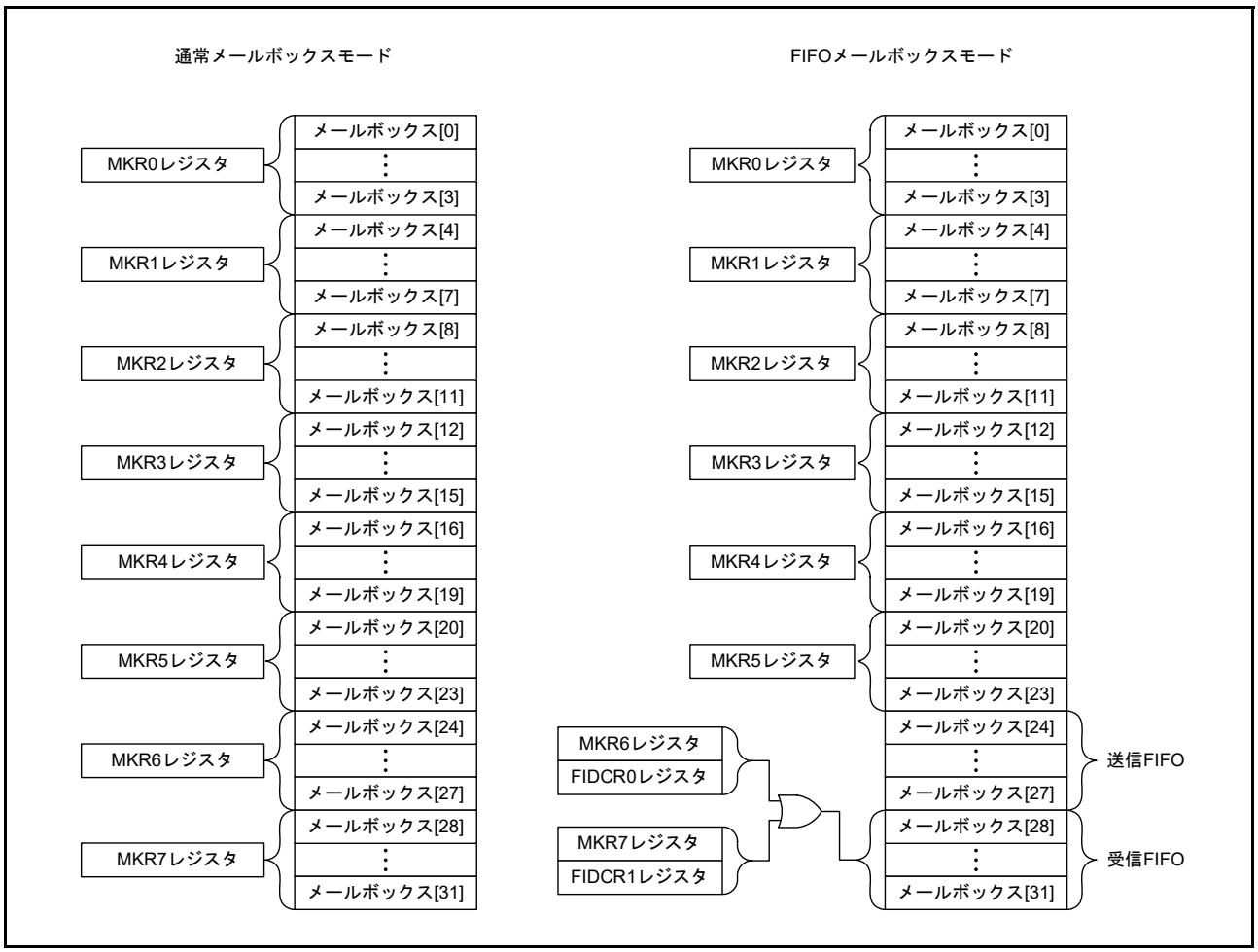
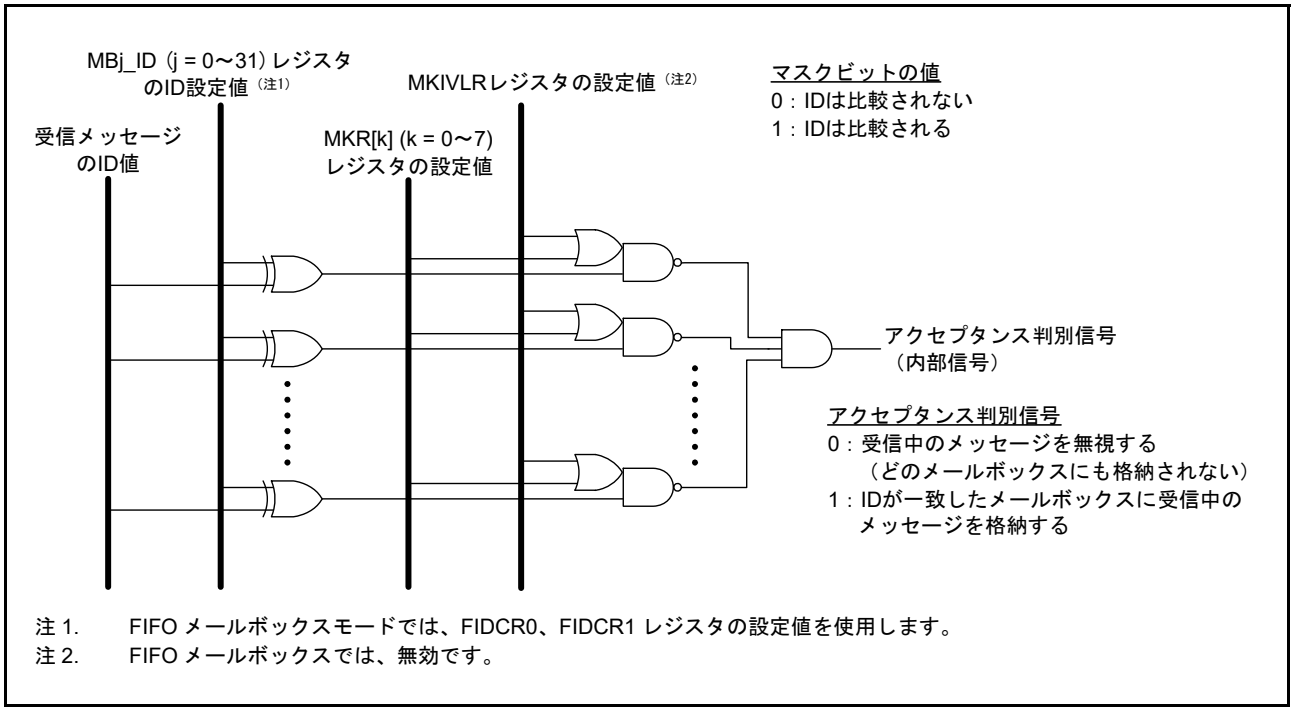


図 37.16　　マスクレジスタとメールボックスの対応関係



注 1. FIFO メールボックスモードでは、FIDCR0、FIDCR1 レジスタの設定値を使用します。
注 2. FIFO メールボックスでは、無効です。

図 37.17 アクセプタンスフィルタ機能

37.7 受信／送信

表 37.10 に、CAN 通信モードの設定方法を示します。

表 37.10 CAN受信モードと送信モードの設定

MCTL_TXj .TRMREQ と MCTL_RXj TRMREQ	MCTL_TXj .RECREQ と MCTL_RXj RECREQ	MCTL_TXj. ONESHOT と MCTL_RXj ONESHOT	メールボックス通信モード
0	0	0	メールボックス使用不可、または送信アボート中
0	0	1	ワンショットモードでプログラムされたメールボックスからの送受信がアボートされた場合のみ、設定可能
0	1	0	データフレームまたはリモートフレーム用の受信メールボックスとして設定
0	1	1	データフレームまたはリモートフレーム用のワンショット受信メールボックスとして設定
1	0	0	データフレームまたはリモートフレーム用の信メールボックスとして設定
1	0	1	データフレームまたはリモートフレーム用のワンショット送信メールボックスとして設定
1	1	0	設定禁止
1	1	1	設定禁止

j = 0 ～ 31

メールボックスを受信メールボックスまたはワンショット受信メールボックスとして設定する場合、以下の制限が適用されます。

- メールボックスを設定する前に、MCTL_RXj レジスタを 00h にしてください。
- 受信メッセージは、受信モード設定とアクセプタンスフィルタ機能に基づく条件に一致する最初のメールボックスに格納されます。このとき、最も番号の小さいメールボックスを優先して受信メッセージが格納されます。
- CAN オペレーションモードでは、ID が一致していても、CAN モジュールは自ら送信したデータを受信しません。ただし、セルフテストモードでは、CAN モジュールは自ら送信したデータを受信し、ACK を返します。

メールボックスを送信メールボックスまたはワンショット送信メールボックスとして設定する場合、以下の制約が適用されます。

- メールボックスを設定する前に、MCTL_TXj レジスタが 00h であり、かつ保留中のアボート処理がないことを確認してください。

37.7.1 受信

図 37.18 に、データフレーム受信時の動作例（オーバーライトモードの場合）を示します。この例は、MCTL_RXj レジスタ（j = 0 ～ 31）の受信条件に一致する 2 つの連続した CAN メッセージを受信したときに、CAN モジュールが最初のメッセージを上書きする場合の動作です。

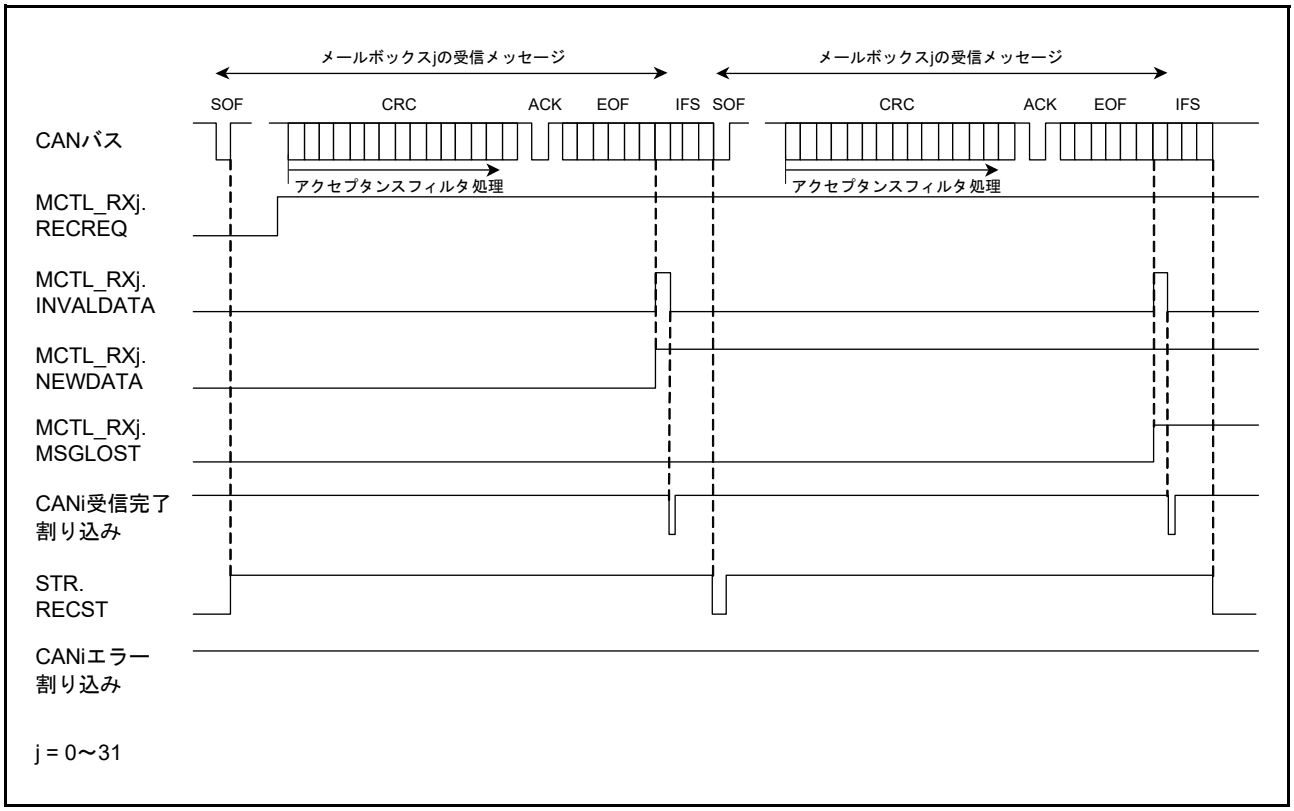


図 37.18 データフレーム受信時の動作例（オーバーライトモードの場合）

1. CAN バス上で SOF を検知すると、CAN モジュールに送信開始するメッセージがない場合、STR.RECST ビットが 1（受信中）になります。
2. 受信メールボックスを選択するために、CRC フィールドの最初からアクセプタンスフィルタ処理が開始されます。
3. メッセージの受信を完了すると、受信メールボックスの MCTL_RXj.NEWDATA ビットが 1（新しいメッセージをメールボックスに格納中または格納済み）になります。同時に MCTL_RXj.INVALDATA フラグが 1（メッセージを更新中）になり、そのメールボックスにメッセージ全体が転送された後、INVALDATA フラグは 0（メッセージは有効）に戻ります。
4. 受信メールボックスの MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合、INVALDATA フラグが 0 になり、CAN0 受信完了割り込み要求がトリガされます。
5. メールボックスからメッセージを読み出した後、NEWDATA ビットをソフトウェアで 0 にする必要があります。
6. オーバーライトモードでは、MCTL_RXj.NEWDATA ビットが 1 になる間に、次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST ビットが 1（メッセージのオーバーライトあり）になります。新しく受信したメッセージはメールボックスに転送されます。CAN0 受信完了割り込み要求が、手順 4. と同様に発生します。

図 37.19 に、データフレーム受信時の動作例（オーバーランモードの場合）を示します。この例は、MCTL_RXj レジスタ（j = 0 ～ 31）の受信条件に一致する 2 つの連続した CAN メッセージを受信したときに、CAN モジュールが 2 番目のメッセージをオーバーランする場合の動作です。

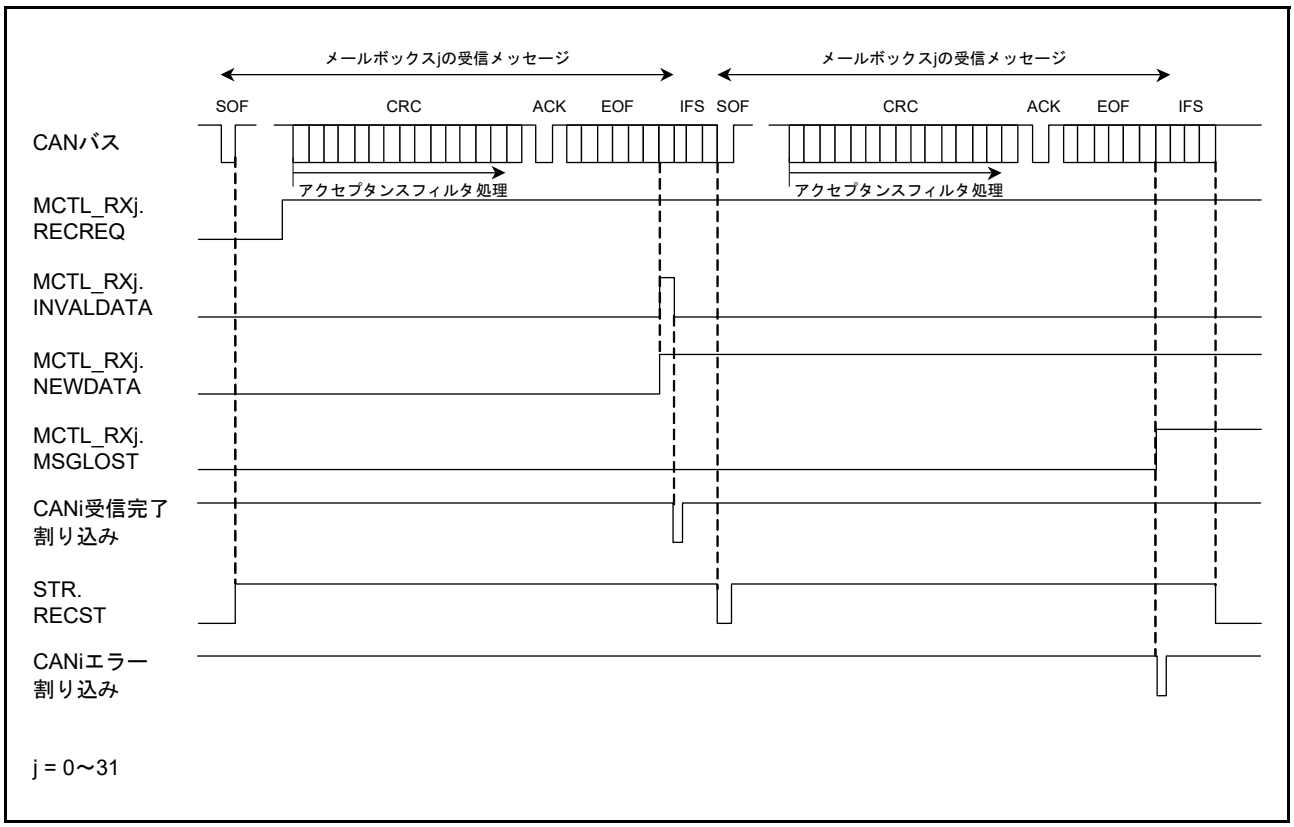


図 37.19 データフレーム受信時の動作例（オーバーランモードの場合）

手順 1. ～ 5. はオーバーライトモードと同じです。

6. オーバーランモードでは、MCTL_RXj.NEWDATA ビットが 0 になる前に、次の CAN メッセージを受信すると、MCTL_RXj.MSGLOST ビットが 1（メッセージのオーバーランあり）になります。新しく受信したメッセージは破棄され、EIER レジスタの対応する割り込み許可ビットが 1（割り込み許可）の場合、CANi エラー割り込み要求が発生します。

37.7.2 送信

図 37.20 にデータフレーム送信時の動作例を示します。

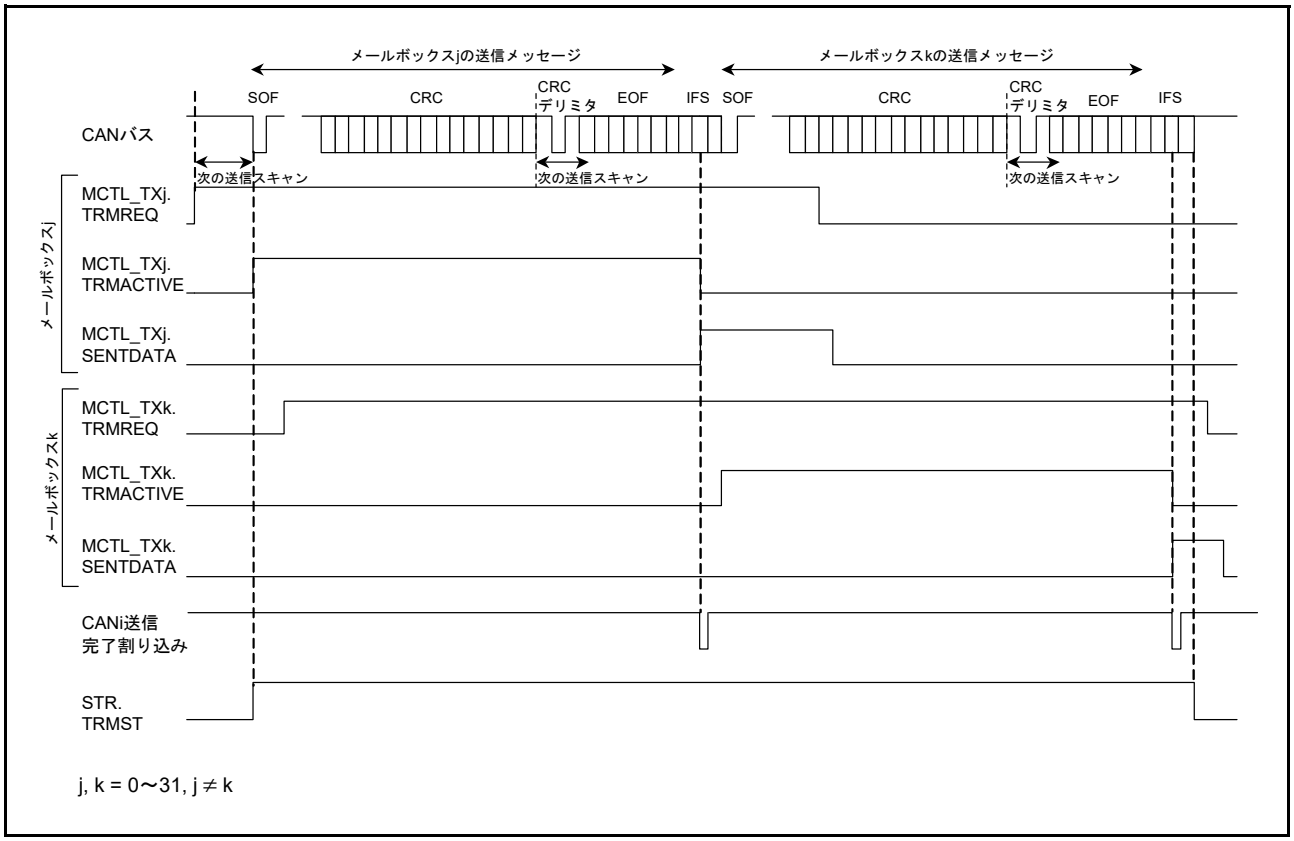


図 37.20 データフレーム送信時の動作例

1. バスアイドル状態で、MCTL_TXj.TRMREQ ビット（j = 0 ～ 31）を 1（送信メールボックス）にすると、最も優先順位の高い送信メールボックスを決定するために、メールボックススキャンが開始されます。送信メールボックスが決定されると、MCTL_TXj.TRMACTIVE フラグが 1（送信要求の取り込みから、送信完了まで、あるいは、エラー発生またはアービトレーションロスト発生まで）になり、さらに STR.TRMST ビットが 1（送信中）になって、CAN モジュールは送信を開始します（注 1）。
2. 他の TRMREQ ビットが設定されている場合は、CRC デリミタから次の送信のための送信スキャンが開始されます。
3. アービトレーションロストが発生せずに送信が完了すると、MCTL_TXj.SENTDATA ビットが 1（送信完了）になり、TRMACTIVE フラグが 0（送信待機中または送信要求なし）になります。そして、MIER レジスタの割り込み許可ビットが 1（割り込み許可）の場合は、CANi 送信完了割り込み要求が発生します。
4. 同一のメールボックスから次の送信を要求する場合は、SENTDATA および TRMREQ ビットを 0 にした後、SENTDATA および TRMREQ ビットが 0 になったことを確認してから、TRMREQ ビットを 1 にしてください。

注 1. CAN モジュールが送信を開始した後、アービトレーションロストが発生した場合は、TRMACTIVE フラグは 0 になります。CRC デリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。送信中またはアービトレーションロストに続いてエラーが発生すると、エラーデリミタの始めから最も優先順位の高い送信メールボックスを検索するために、再び送信スキャンが行われます。

37.8 割り込み

CAN モジュールには、チャネルごとに下記の割り込みがあります。表 37.11 に CAN 割り込み一覧を示します。

- メールボックス 0 ～ 31 の CANi 受信完了割り込み（CANi_RXM）
- メールボックス 0 ～ 31 の CANi 送信完了割り込み（CANi_TXM）
- CANi 受信 FIFO 割り込み（CANi_RXF）
- CANi 送信 FIFO 割り込み（CANi_TXF）
- CANi エラー割り込み（CANi_ERS）

CANi エラー割り込みには、下記の 8 つの割り込み要因が利用可能です。EIFR レジスタを確認して、これらの要因がトリガされたかどうかを判定してください。

- バスエラー
- エラーワーニング
- エラーパッシブ
- バスオフ開始
- バスオフ復帰
- 受信オーバーラン
- オーバーロードフレーム送信
- バスロック

表 37.11 CANの割り込み

モジュール	割り込み名称	割り込み要因	要因フラグ
CANi i = 0, 1	CANi_ERS	バスロック検出	EIFR.BLIF
		オーバーロードフレーム送信検出	EIFR.OLIF
		オーバーラン検出	EIFR.ORIF
		バスオフ復帰検出	EIFR.BORIF
		バスオフ開始検出	EIFR.BOEIF
		エラーパッシブ検出	EIFR.EPIF
		エラーワーニング検出	EIFR.EWIF
		バスエラー検出	EIFR.BEIF
	CANi_RXF	受信FIFOメッセージ受信（MIER_FIFO.MB29 = 0）	RFCR.RFUST[2:0]
		受信FIFOワーニング（MIER_FIFO.MB29 = 1）	
	CANi_TXF	送信FIFOメッセージ送信完了（MIER_FIFO.MB25 = 0）	TFCR.TFUST[2:0]
		FIFOラストメッセージ送信完了（MIER_FIFO.MB25 = 1）	
	CANi_RXM	メールボックス0～31メッセージ受信	MCTL_RX0.NEWDATA～ MCTL_RX31.NEWDATA
	CANi_TXM	メールボックス0～31メッセージ送信完了	MCTL_TX0.SENTDATA～ MCTL_TX31.SENTDATA

37.9 使用上の注意事項

37.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）によって、CAN の動作を禁止または許可することが可能です。CAN モジュールは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

37.9.2 動作クロックの設定

- CCLKS ビットが 1 のとき、CAN モジュールは下記のクロック制約を満たす必要があります。

  fPCLKB ≧ fCANMCLK

- CCLKS ビットが 0 のとき、CAN モジュールの周辺モジュールクロックソースは PLL でなければなりません。

38. シリアルペリフェラルインタフェース（SPI）

38.1 概要

本 MCU は、独立した 2 チャネルのシリアルペリフェラルインタフェース（SPI）を内蔵しています。SPI チャネルによって、複数のプロセッサや周辺デバイスとの高速な全二重同期式のシリアル通信が可能です。表 38.1 に SPI の仕様を、図 38.1 にブロック図を、表 38.2 に入出力端子を示します。

本章では、*n* は A または B を指し、*i* は 0 または 1 を指します。端子または信号名の小文字の *i* は 0 ～ 3 の値を指し、SPI コマンドレジスタ m（SPCMDm）の小文字の *m* は 0 ～ 7 の値を指します。

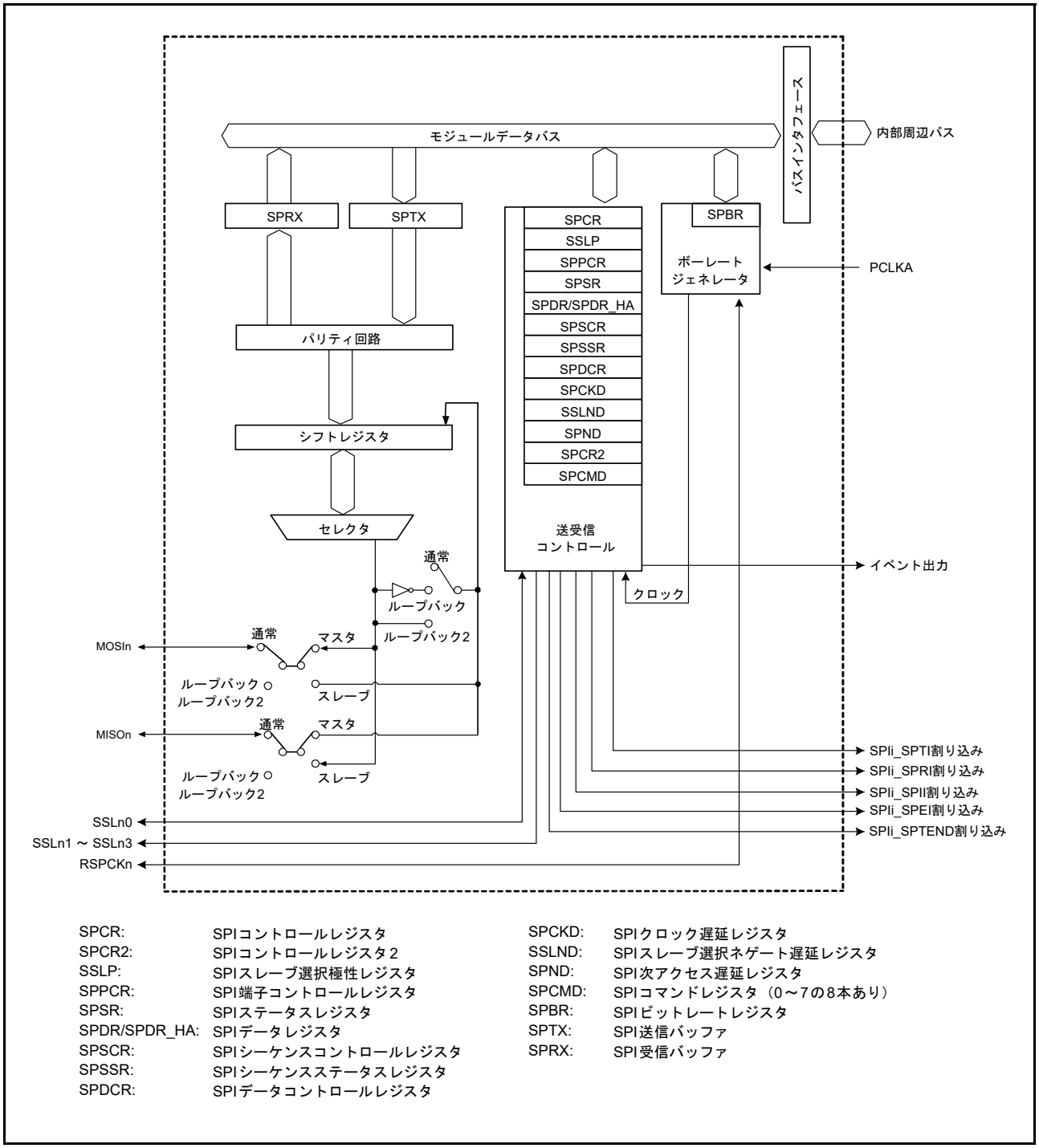
表 38.1 SPIの仕様 (1/2)

項目	内容
チャネル数	2チャネル
SPI転送機能	• MOSI（Master Out/Slave In）、MISO（Master In/Slave Out）、SSL（Slave Select）、RSPCK（SPIClock）の各信号を使用して、SPI動作（4線式）またはクロック同期式動作（3線式）によるシリアル通信が可能 • 送信のみの動作が可能 • 全二重または送信のみの通信モードを選択可能 • RSPCK極性切り替え • RSPCK位相切り替え
データフォーマット	• MSBファースト／LSBファースト選択可能 • 転送ビット長を8、9、10、11、12、13、14、15、16、20、24、32ビットから選択可能 • 送信／受信バッファは128ビット • 一度の送受信で最大4フレームを転送（1フレームは最大32ビット）
ビットレート	• マスタモード時、内蔵ボーレートジェネレータでPCLKAを分周してRSPCKを生成（分周比は2～4096分周） • スレーブモード時は、PCLKAの最小6分周のクロックを、RSPCKとして入力可能（RSPCKの最大周波数はPCLKAの6分周） High幅：PCLKAの3サイクル、Low幅：PCLKAの3サイクル
バッファ構成	• 送信および受信バッファはそれぞれダブルバッファ構造 • 送信および受信バッファは128ビット
エラー検出	• モードフォルトエラー検出 • アンダーランエラー検出 • オーバーランエラー検出（注1） • パリティエラー検出
SSL制御機能	• 1チャネルあたり4本のSSL端子（SSLn0～SSLn3） • シングルマスタモード時、SSLn0～SSLn3端子は出力 • マルチマスタモード時、SSLn0端子は入力、SSLn1～SSLn3端子は出力または不使用 • スレーブモード時、SSLn0端子は入力、SSLn1～SSLn3端子は不使用 • SSL出力のアサートからRSPCK動作までの遅延（RSPCK遅延）を制御可能 設定範囲：1～8RSPCK周期（設定単位：1RSPCK周期） • RSPCK停止からSSL出力のネゲートまでの遅延（SSLネゲート遅延）を制御可能 設定範囲：1～8RSPCK周期（設定単位：1RSPCK周期） • 次アクセスのSSL出力アサートのウェイト（次アクセス遅延）を制御可能 設定範囲：1～8RSPCK周期（設定単位：1RSPCK周期） • SSL極性変更機能
マスタ転送時の制御方式	• 最大8コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能： SSL信号値、ビットレート、RSPCK極性／位相、転送データ長、MSB/LSBファースト、バースト、RSPCK遅延、SSLネゲート遅延、次アクセス遅延 • 送信バッファへの書き込みで転送を起動可能 • SSLネゲート時のMOSI信号値を設定可能 • RSPCK自動停止機能
割り込み要因	割り込み要因： • 受信バッファフル割り込み • 送信バッファエンプティ割り込み • SPIエラー割り込み（モードフォルト、オーバーラン、パリティエラー） • SPIアイドル割り込み（SPIアイドル） • 送信完了割り込み

表 38.1 SPIの仕様 (2/2)

項目	内容
イベントリンク機能（出力）	以下のイベントをイベントリンクコントローラ（ELC）へ出力可能 : • 受信バッファフル信号 • 送信バッファエンプティ信号 • モードフォルト／アンダーラン／オーバーラン／パリティエラー信号 • SPIアイドル信号 • 送信完了信号
その他の機能	• CMOS出力／オープンドレイン出力の切り替え • SPIの初期化機能 • ループバックモード
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

注 1. マスタ受信時に RSPCK 自動停止機能が有効な場合は、オーバーランエラーが検出されると転送クロックが停止するため、オーバーランエラーは発生しません。



SPCR:	SPIコントロールレジスタ	SPCKD:	SPIクロック遅延レジスタ
SPCR2:	SPIコントロールレジスタ2	SSLND:	SPIスレーブ選択ネゲート遅延レジスタ
SSLP:	SPIスレーブ選択極性レジスタ	SPND:	SPI次アクセス遅延レジスタ
SPPCR:	SPI端子コントロールレジスタ	SPCMD:	SPIコマンドレジスタ（0～7の8本あり）
SPSR:	SPIステータスレジスタ	SPBR:	SPIビットレートレジスタ
SPDR/SPDR_HA:	SPIデータレジスタ	SPTX:	SPI送信バッファ
SPSCR:	SPIシーケンスコントロールレジスタ	SPRX:	SPI受信バッファ
SPSSR:	SPIシーケンスステータスレジスタ		
SPDCR:	SPIデータコントロールレジスタ		

図 38.1　　SPI のブロック図

表 38.2 に SPI で使用する入出力端子を示します。SSLn0 端子の入出力方向は、SPI が自動的に切り替えます。SSLn0 は、SPI がシングルマスタの場合は出力に、マルチマスタまたはスレーブの場合は入力に設定されます。RSPCKn、MOSIn、および MISOn 端子の入出力方向は、マスタ／スレーブ設定と SSLn0 端子の入力レベルに応じて、SPI が自動的に切り替えます。詳細は、38.3.2 SPI 端子の制御を参照してください。

表 38.2 SPIの入出力端子

チャネル	端子名	入出力	機能
SPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力
SPI1	RSPCKB	入出力	クロック入出力
	MOSIB	入出力	マスタ送出データ入出力
	MISOB	入出力	スレーブ送出データ入出力
	SSLB0	入出力	スレーブセレクト入出力
	SSLB1	出力	スレーブセレクト出力
	SSLB2	出力	スレーブセレクト出力
	SSLB3	出力	スレーブセレクト出力

38.2 レジスタの説明

38.2.1 SPI コントロールレジスタ（SPCR）

アドレス SPI0.SPCR 4007 2000h, SPI1.SPCR 4007 2100h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	SPIモード選択	0：SPI動作（4線式）を選択 1：クロック同期式動作（3線式）を選択	R/W
b1	TXMD	通信動作モード選択	0：全二重同期式シリアル通信を選択 1：送信のみのシリアル通信を選択	R/W
b2	MODFEN	モードフォルトエラー検出許可	0：モードフォルトエラー検出を禁止 1：モードフォルトエラー検出を許可	R/W
b3	MSTR	SPIマスタ／スレーブモード選択	0：スレーブモードを選択 1：マスタモードを選択	R/W
b4	SPEIE	SPIエラー割り込み許可	0：SPIエラー割り込み要求を禁止 1：SPIエラー割り込み要求を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可	0：送信バッファエンプティ割り込み要求を禁止 1：送信バッファエンプティ割り込み要求を許可	R/W
b6	SPE	SPI機能有効	0：SPI機能は無効 1：SPI機能は有効	R/W
b7	SPRIE	SPI受信バッファフル割り込み許可	0：SPI受信バッファフル割り込み要求を禁止 1：SPI受信バッファフル割り込み要求を許可	R/W

SPCR.SPE ビットが 1 の状態で、SPCR.MSTR ビット、SPCR.MODFEN ビット、または SPCR.TXMD ビットを変更した場合、以降の動作を行わないでください。

SPMS ビット（SPI モード選択）

SPI 動作（4 線式）またはクロック同期式動作（3 線式）を選択します。

クロック同期式動作では、SSLn0 ～ SSLn3 端子は使用されません。RSPCKn 端子、MOSIn 端子、MISOn 端子の 3 端子を用いて通信を行います。また、マスタモード（SPCR.MSTR = 1）でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを 0 または 1 にしてください。スレーブモード（SPCR.MSTR = 0）でクロック同期式動作を行う場合は、必ず CPHA ビットを 1 にしてください。スレーブモード（SPCR.MSTR = 0）でクロック同期式動作を行う場合、CPHA ビットが 0 であれば、動作を行わないでください。

TXMD ビット（通信動作モード選択）

全二重同期式のシリアル通信または送信のみの動作を選択します。このビットを 1 にした場合、SPI は送信動作のみを行い、受信動作を行いません（38.3.6 データ転送モードを参照）。また、受信バッファフル割り込み要求を使用することはできません。

MODFEN ビット（モードフォルトエラー検出許可）

モードフォルトエラーの検出を許可または禁止します（38.3.8 エラー検出を参照）。また、SPI は MODFEN ビットと MSTR ビットの組み合わせに従って、SSLn0 ～ SSLn3 端子の入出力方向を決定します（38.3.2 SPI 端子の制御を参照）。

MSTR ビット（SPI マスタ／スレーブモード選択）

SPI に対してマスタモードまたはスレーブモードを選択します。SPI は MSTR ビットの設定に従って、RSPCKn、MOSIn、MISOn、および SSLn0 ～ SSLn3 端子の方向を決定します。

SPEIE ビット（SPI エラー割り込み許可）

以下のいずれかが発生した場合に、SPI エラー割り込み要求の発生を許可または禁止します。

- SPI がモードフォルトエラーまたはアンダーランエラーを検出し、SPSR.MODF フラグを 1 にした場合
- SPI がオーバーランエラーを検出し、SPSR.OVRF フラグを 1 にした場合
- SPI がパリティエラーを検出し、SPSR.PERF フラグを 1 にした場合

詳細は、38.3.8　エラー検出を参照してください。

SPTIE ビット（送信バッファエンプティ割り込み許可）

SPI が送信バッファエンプティを検出したときの、送信バッファエンプティ割り込み要求の発生を許可または禁止します。送信開始時の送信バッファエンプティ割り込み要求は、SPE ビットと SPTIE ビットを同時に 1 にするか、または SPTIE ビットを 1 にした後、SPE ビットを 1 にすることで発生します。

SPI 機能を無効（SPE ビットを 0 に変更）にしても、SPTIE ビットが 1 であると、送信バッファエンプティ割り込みが発生します。

SPE ビット（SPI 機能有効）

SPI 機能を有効または無効にします。SPSR.MODF フラグが 1 の場合、SPE ビットを 1 にすることはできません。詳細は、38.3.8　エラー検出を参照してください。

SPE ビットを 0 にすると、SPI 機能が無効になり、このモジュール機能の一部が初期化されます。詳細は、38.3.9　SPI の初期化を参照してください。また、SPE ビットを 0 から 1、または 1 から 0 に変更すると、送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット（SPI 受信バッファフル割り込み許可）

SPI がシリアル転送完了後の受信バッファフルを検出したときの、SPI 受信バッファフル割り込み要求の発生を許可または禁止します。

38.2.2 SPI スレーブ選択極性レジスタ（SSLP）

アドレス SPI0.SSLP 4007 2001h, SPI1.SSLP 4007 2101h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定	0：SSL0信号はアクティブLow 1：SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定	0：SSL1信号はアクティブLow 1：SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定	0：SSL2信号はアクティブLow 1：SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定	0：SSL3信号はアクティブLow 1：SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SSLP レジスタの内容を変更した場合、以降の動作を行わないでください。

38.2.3 SPI 端子コントロールレジスタ（SPPCR）

アドレス SPI0.SPPCR 4007 2002h, SPI1.SPPCR 4007 2102h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	SPIループバック	0：通常モード 1：ループバックモード（データを反転して送信）	R/W
b1	SPLP2	SPIループバック2	0：通常モード 1：ループバックモード（データを反転せずに送信）	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	MOIFV	MOSIアイドル固定値	0：MOSIアイドル時のMOSIn端子の出力レベルをLowに設定 1：MOSIアイドル時のMOSIn端子の出力レベルをHighに設定	R/W
b5	MOIFE	MOSIアイドル値固定許可	0：MOSI出力値を前回転送の最終データに設定 1：MOSI出力値をMOIFVビットの設定値に設定	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPPCR レジスタの内容を変更した場合、以降の動作は行わないでください。

SPLP ビット（SPI ループバック）

SPI の端子モードを選択します。このビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続します（ループバックモード）。

SPLP2 ビット（SPI ループバック 2）

SPI の端子モードを選択します。このビットが 1 の場合、SPCR.MSTR ビットが 1 であれば、SPI は MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断します。その後、SPI はシフトレジスタの入力経路と出力経路を接続します（ループバックモード）。

MOIFV ビット（MOSI アイドル固定値）

マスタモードで MOIFE ビットが 1 の場合、MOIFV ビットは、バースト転送における SSL 保持期間を含む SSL ネゲート期間中の MOSIn 端子の出力値を決定します。

MOIFE ビット（MOSI アイドル値固定許可）

マスタモードの SPI が SSL ネゲート期間中（バースト転送における SSL 保持期間を含む）のとき、MOIFE ビットは MOSIn 出力値を固定します。MOIFE ビットが 0 の場合、SPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIn 端子に出力します。MOIFE ビットが 1 の場合、SPI は MOIFV ビットに設定された固定値を MOSIn 端子に出力します。

38.2.4 SPI ステータスレジスタ（SPSR）

アドレス SPI0.SPSR 4007 2003h, SPI1.SPSR 4007 2103h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRF	—	SPTEF	UDRF	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバーランエラーフラグ	0：オーバーランエラーの発生なし 1：オーバーランエラーの発生あり	R/(W) （注1）
b1	IDLNF	SPIアイドルフラグ	0：SPIはアイドル状態 1：SPIは転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーおよびアンダーランエラーの発生なし 1：モードフォルトエラーまたはアンダーランエラーの発生あり	R/(W) （注1）
b3	PERF	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) （注1）
b4	UDRF	アンダーランエラーフラグ	0：モードフォルトエラー発生（MODF = 1） 1：アンダーランエラー発生（MODF = 1） 本ビットはMODFフラグが0の場合、無効です。	R/W （注1）（注2）
b5	SPTEF	SPI送信バッファエンプティフラグ	0：送信バッファにデータあり 1：送信バッファにデータなし	R/(W) （注3）
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	SPRF	SPI受信バッファフルフラグ	0：SPDR/SPDR_HAに有効なデータなし 1：SPDR/SPDR_HAに有効なデータあり	R/(W) （注3）

注 1. フラグをクリアするため、1 を読んだあとに 0 を書き込むことのみ可能です。
注 2. UDRF フラグは、MODF フラグをソフトウェアでクリアすると同時にクリアされます。
注 3. 書く場合、1 としてください。

OVRF フラグ（オーバーランエラーフラグ）

オーバーランエラーの発生を示します。マスタモード（SPCR.MSTR = 1）時に RSPCK クロック自動停止機能が有効（SPCR2.SCKASE = 1）の場合、オーバーランエラーは発生しません。このフラグは 1 になりません。詳細は、38.3.8.1 オーバーランエラーを参照してください。

［1 になる条件］

- SPCR.TXMD ビットが 0 かつ受信バッファフルの状態で、次のシリアル転送が終了したとき

［0 になる条件］

- SPSR レジスタを読んで OVRF フラグが 1 であることを確認した後、OVRF フラグに 0 を書いたとき

IDLNF フラグ（SPI アイドルフラグ）

SPI の転送状況を示します。

［1 になる条件］

【マスタモード】

- ［0 になる条件］に示したマスタモード時の条件 1. および 2. が成立しないとき

【スレーブモード】

- SPCR.SPE ビットが 1（SPI 機能が有効）のとき

［0 になる条件］

【マスタモード】

- 条件 1. が成立したとき、または条件 2.、3.、および 4. が成立したとき

1. SPCR.SPE ビットが 0（SPI 初期化）
2. 送信バッファ（SPTX）が空である（次転送データがセットされていない）
3. SPSSR.SPCP[2:0] ビットが 000b である（シーケンス制御の先頭）
4. SPI 内部シーケンサがアイドル状態へ遷移した（次アクセス遅延までの動作が完了した状態）

【スレーブモード】

- 条件 1. が成立したとき

MODF フラグ（モードフォルトエラーフラグ）

モードフォルトエラーまたはアンダーランエラーの発生を示します。UDRF フラグを使用して、どちらのエラーが発生したかを識別してください。

［1 になる条件］

【マルチマスタモード】

- SPCR.MSTR ビットが 1（マスタモード）、かつ SPCR.MODFEN ビットが 1（モードフォルトエラー検出を許可）の状態で、SSLni 端子の入力レベルがアクティブレベルに変化し、SPI がモードフォルトエラーを検出したとき

【スレーブモード】

- 条件 1. または 2. が成立したとき

1. SPCR.MSTR ビットが 0（スレーブモード）かつ SPCR.MODFEN ビットが 1（モードフォルトエラー検出を許可）の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLni 端子がネゲートされ、SPI がモードフォルトエラーを検出したとき
2. SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが用意されていない状態で、シリアル転送が開始され、SPI がアンダーランエラーを検出したとき

なお、SSLni 信号のアクティブレベルは、SSLP.SSLiP ビット（SSLi 信号極性設定ビット）によって決定されます。

［0 になる条件］

- SPSR レジスタを読んで MODF フラグが 1 であることを確認した後、MODF フラグに 0 を書いたとき

PERF フラグ（パリティエラーフラグ）

パリティエラーの発生を示します。

［1 になる条件］

- SPCR.TXMD ビットが 0、かつ SPCR2.SPPE ビットが 1 の状態で、シリアル転送が終了し、SPI がパリティエラーを検出したとき

［0 になる条件］

- SPSR レジスタを読んで PERF フラグが 1 であることを確認した後、PERF フラグに 0 を書いたとき

UDRF フラグ（アンダーランエラーフラグ）

アンダーランエラーの発生を示します。

［1 になる条件］

- SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、かつ送信データが用意されていない状態で、シリアル転送が開始され、SPI がアンダーランエラーを検出したとき

［0 になる条件］

- SPSR レジスタを読んで UDRF フラグが 1 であることを確認した後、UDRF フラグに 0 を書いたとき

SPTEF フラグ（SPI 送信バッファエンプティフラグ）

SPI データレジスタ（SPDR/SPDR_HA）の送信バッファの状態を示します。

［1 になる条件］

- 条件 1. または 2. が成立したとき

1. SPCR.SPE ビットが 0（SPI 初期化）であるとき
2. 送信データが送信バッファからシフトレジスタに転送されたとき

［0 になる条件］

- SPDR/SPDR_HA レジスタに書き込まれたデータが、SPI データコントロールレジスタ（SPDCR）の SPFC[1:0] ビットに設定したフレーム数に等しいとき

SPTEF ビットが 1 の場合のみ、データを SPDR/SPDR_HA レジスタに書き込むことができます。SPTEF ビットが 0 のときに SPDR/SPDR_HA レジスタの送信バッファにデータが書き込まれた場合、送信バッファのデータは更新されません。

SPRF フラグ（SPI 受信バッファフルフラグ）

SPI データレジスタ（SPDR/SPDR_HA）の受信バッファの状態を示します。

［1 になる条件］

- SPI コントロールレジスタ（SPCR）の通信動作モード選択ビット（TXMD）が 0、かつ SPRF ビットが 0 の状態で、シリアル転送が終了し、SPI がシフトレジスタから SPDR/SPDR_HA へ受信データを転送したとき。ただし、OVRF フラグが 1 の場合、SPRF フラグは 0 から 1 に変化しない

［0 になる条件］

- 受信データが SPDR/SPDR_HA レジスタから読み出されたとき

38.2.5 SPI データレジスタ（SPDR/SPDR_HA）

アドレス SPI0.SPDR 4007 2004h, SPI1.SPDR 4007 2104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

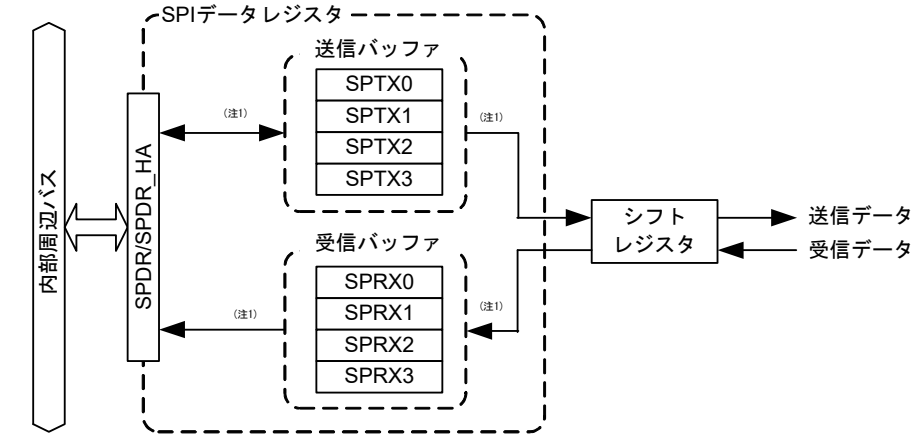
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

アドレス SPI0.SPDR_HA 4007 2004h, SPI1.SPDR_HA 4007 2104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDR/SPDR_HA レジスタは、SPI 送受信用のデータを格納するバッファとのインタフェースです。ワードアクセス（SPLW ビットが 1）の場合は、SPDR レジスタにアクセスしてください。ハーフワードアクセス（SPLW ビットが 0）の場合は、SPDR_HA レジスタにアクセスしてください。

送信バッファ（SPTX）と受信バッファ（SPRX）は独立したバッファですが、SPDR/SPDR_HA レジスタにマッピングされています。図 38.2 に構成図を示します。



注 1. アクセス先のバッファはハードウェアにより自動的に切り替えます。

図 38.2 SPDR/SPDR_HA レジスタの構成図

送信バッファと受信バッファには、それぞれ 4 ステージあります。使用するステージ数は、SPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）で設定できます。SPDR/SPDR_HA レジスタの 1 アドレスに、この合計 8 バッファステージすべてがマッピングされます。

SPDR/SPDR_HA レジスタへ書き込まれたデータは、送信バッファステージ（SPTXn）（n = 0 ～ 3）へ書き込まれた後、バッファから送信されます。受信バッファは、受信完了時に受信データを格納します。オーバーランが発生すると、受信バッファは更新されません。

また、データ長が 32 ビット以外の場合、SPRXn（n = 0 ～ 3）の対応するビットには、SPTXn（n = 0 ～ 3）の非参照ビットが格納されます。たとえば、データ長が 9 ビットのデータを受信した場合、SPRXn[8:0] ビットには受信データが格納され、SPRXn[31:9] ビットには SPTXn[31:9] ビットが格納されます。

(1) バスインタフェース

SPDR/SPDR_HA レジスタは、32 ビットの送信および受信バッファとのインタフェースであり、それぞれのバッファには 4 ステージあり、合計 32 バイトになります。すなわち、これらの 32 バイトを SPDR/SPDR_HA レジスタの 4 バイトのアドレス空間にマッピングしています。また、SPDR/SPDR_HA レジスタへのアクセスは、SPI データコントロールレジスタの SPI ワードアクセス／ハーフワードアクセス設定ビット（SPDCR.SPLW）で設定したアクセスサイズで行ってください。

送信データは LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

以下では、SPDR/SPDR_HA レジスタに対する書き込みおよび読み出しに関連する動作について説明します。

(a) 書き込み

SPDR/SPDR_HA レジスタに書き込むことによって、送信バッファ（SPTXn）にデータを書くことができます。SPDR/SPDR_HA レジスタの読み出し時と異なり、書き込みは SPDCR.SPRDTD ビットの値に影響されません。送信バッファには送信バッファライトポインタがあり、SPDR/SPDR_HA レジスタへデータを書き込むたびに、ポインタが自動更新され、次のステージを参照するようになります。

図 38.3 に、SPDR レジスタへの書き込み時の送信バッファのバスインタフェースの構成図を示します。

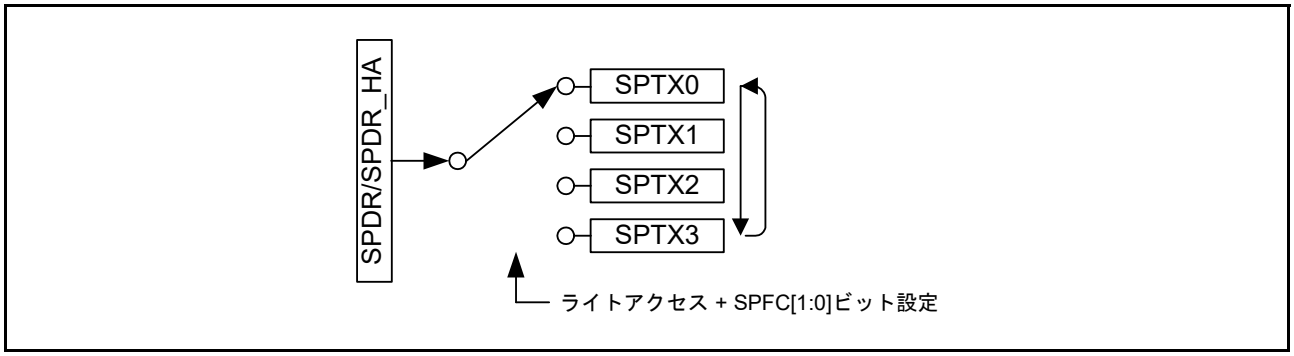


図 38.3 書き込み時の SPDR/SPDR_HA レジスタの構成図

送信バッファライトポインタの切り替え順序は、SPI データコントロールレジスタのフレーム数設定ビット（SPDCR.SPFC[1:0]）の設定値によって異なります。SPFC[1:0] ビットの設定値と、SPTX0 ～ SPTX3 間のポインタ切り替え順序との関係は以下の通りです。

- SPFC[1:0] = 00b のとき：SPTX0 → SPTX0 → SPTX0 →・・・
- SPFC[1:0] = 01b のとき：SPTX0 → SPTX1 → SPTX0 → SPTX1 →・・・
- SPFC[1:0] = 10b のとき：SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 →・・・
- SPFC[1:0] = 11b のとき：SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 →・・・

SPI コントロールレジスタの SPI 機能有効ビット（SPCR.SPE）の値が 0 の状態で、同ビットに 1 を書くと、次の書き込み先は SPTX0 になります。

送信バッファ（SPTXn）へ書き込む際は、送信バッファエンプティ割り込みの発生後（SPSR.SPTEF ビット = 1）、SPI データコントロールレジスタ（SPDCR）の SPFC[1:0] ビットで設定したフレーム数分を書き込んでください。書き込み完了から次の送信バッファエンプティ割り込み発生（SPTEF = 0）までの期間は、送信バッファ（SPTXn）に対して、設定したフレーム数分の書き込みを行っても、バッファの値は更新されません。

(b) 読み出し

SPDR/SPDR_HA レジスタにアクセスすることによって、受信バッファ（SPRXn）または送信バッファ（SPTXn）の値を読むことができます。SPI データコントロールレジスタの SPI 受信／送信データ選択ビット（SPDCR.SPRDTD）の設定によって、受信バッファと送信バッファのどちらを読み出すか選択できます。SPDR/SPDR_HA レジスタの読み出し順序は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 38.4 に、SPDR/SPDR_HA レジスタからの読み出し時の受信および送信バッファのバスインタフェースの構成図を示します。

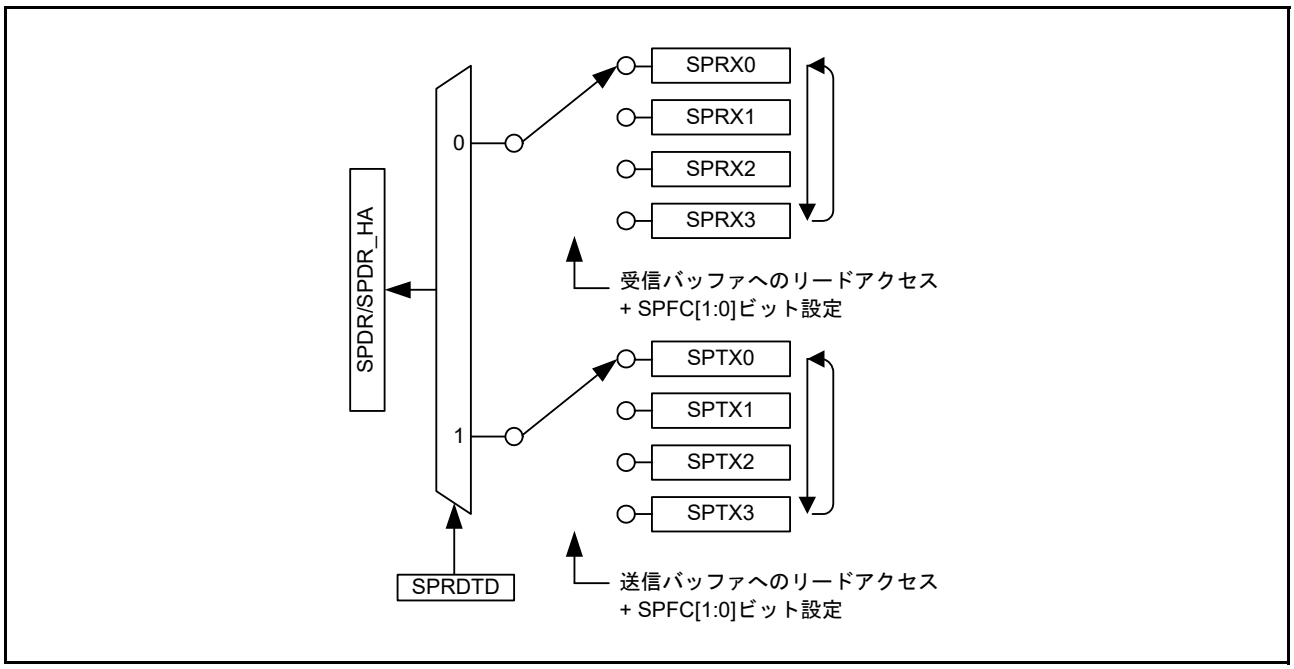


図 38.4 読み出し時の SPDR/SPDR_HA レジスタの構成図

受信バッファを読み出すと、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同じです。ただし、SPI コントロールレジスタの SPI 機能有効ビット（SPCR.SPE）が 1 の状態で、このビットに 1 を書くと、次の読み出し時はバッファリードポインタによって SPRX0 が参照されます。

送信バッファリードポインタは、SPDR/SPDR_HA レジスタへの書き込み時に更新され、送信バッファからの読み出し時には更新されません。送信バッファを読み出すと、SPDR/SPDR_HA レジスタに最後に書き込まれた値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータ書き込み完了から次の送信バッファエンプティ割り込み発生（SPTEF = 0）までの期間は、送信バッファからの読み出し値がすべて 0 となります。

38.2.6 SPI シーケンスコントロールレジスタ（SPSCR）

アドレス SPI0.SPSCR 4007 2008h, SPI1.SPSCR 4007 2108h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPSLN[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPSLN[2:0]	SPI シーケンス長設定	b2 b0 シーケンス長 参照する SPCMD0～7 レジスタ（番号） 0 0 0 : 1 0→0→… 0 0 1 : 2 0→1→0→… 0 1 0 : 3 0→1→2→0→… 0 1 1 : 4 0→1→2→3→0→… 1 0 0 : 5 0→1→2→3→4→0→… 1 0 1 : 6 0→1→2→3→4→5→0→… 1 1 0 : 7 0→1→2→3→4→5→6→0→… 1 1 1 : 8 0→1→2→3→4→5→6→7→0→… これらのビットで設定したシーケンス長によって、SPCMD0～SPCMD07 レジスタの参照順序が決まります。また、シーケンス長と、SPI が参照する SPCMD0～SPCMD7 レジスタの関係が定義されます。スレーブモードでは、SPI は SPCMD0 レジスタを参照します。	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SPSCR レジスタは、SPI がマスタモードで動作する場合のシーケンス長を指定するためのレジスタです。SPCR.MSTR および SPCR.SPE ビットがともに 1 の状態で SPSCR.SPSLN[2:0] ビットを変更する場合、必ず事前に SPSR.IDLNF フラグが 0 であることを確認してください。

SPSLN[2:0] ビット（SPI シーケンス長設定）

マスタモードの SPI がシーケンス動作する場合のシーケンス長を指定します。マスタモードの SPI は、このシーケンス長の設定に応じて、参照する SPCMD0 ～ SPCMD7 レジスタとその参照順序を変更します。スレーブモードでは、SPCMD0 レジスタが参照されます。

38.2.7 SPI シーケンスステータスレジスタ（SPSSR）

アドレス SPI0.SPSSR 4007 2009h, SPI1.SPSSR 4007 2109h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SPECM[2:0]			—	SPCP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	SPIコマンドポインタ	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと0が読めます。	R
b6-b4	SPECM[2:0]	SPIエラーコマンド	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと0が読めます。	R

SPSSR レジスタは、SPI がマスタモードで動作する場合のシーケンス制御の状態を示します。SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット（SPI コマンドポインタ）

SPI によるシーケンス制御中に、ポインタで参照されている SPCMDm レジスタを示します。SPI のシーケンス制御については、38.3.10.1 マスタモード動作を参照してください。

SPECM[2:0] ビット（SPI エラーコマンド）

SPI によるシーケンス制御中にエラーが検出されたとき、SPCP[2:0] ビットで指定した SPCMDm レジスタを示します。SPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF および SPSR.MODF フラグがともに 0 で、エラーが発生していない場合、SPECM[2:0] ビット値には意味がありません。

SPI のエラー検出機能については、38.3.8 エラー検出を参照してください。SPI のシーケンス制御については、38.3.10.1 マスタモード動作を参照してください。

38.2.8 SPI ビットレートレジスタ（SPBR）

アドレス SPI0.SPBR 4007 200Ah, SPI1.SPBR 4007 210Ah



SPBR レジスタは、マスタモード時のビットレートを設定するレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPBR レジスタの内容を変更した場合、以降の動作は行わないでください。

SPI をスレーブモードで使用する場合、SPBR レジスタと SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、ビットレートは入力クロックのビットレートに依存します。電気的特性を満たすビットレートを使用してください。

ビットレートは、SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記の通りです。

$$\text{Bit rate} = \frac{f(\text{PCLKA})}{2 \times (n + 1) \times 2^{N}}$$

この式で、n は SPBR レジスタの設定値（0, 1, 2, …, 255）、N は BRDV[1:0] ビットの設定値（0, 1, 2, 3）です。

SPBR レジスタの設定値、BRDV[1:0] ビットの設定値、およびビットレートの関係の例を表 38.3 に示します。

表 38.3 SPBR レジスタ設定値、BRDV[1:0] ビット設定値、およびビットレートの関係

SPBR（n）	BRDV[1:0] ビット（N）	分周比	ビットレート							
			PCLKA = 32MHz	PCLKA = 36MHz	PCLKA = 40MHz	PCLKA = 50MHz	PCLKA = 60MHz	PCLKA = 80MHz	PCLKA = 100MHz	PCLKA = 120MHz
0	0	2	16.0Mbps	18.0Mbps	20.0Mbps	25.0Mbps	30.0Mbps	なし		
1	0	4	8.00Mbps	9.00Mbps	10.0Mbps	12.5Mbps	15.0Mbps	20.0Mbps	25.0Mbps	30.0Mbps
2	0	6	5.33Mbps	6.00Mbps	6.67Mbps	8.33Mbps	10.0Mbps	13.3Mbps	16.7Mbps	20.0Mbps
3	0	8	4.00Mbps	4.50Mbps	5.00Mbps	6.25Mbps	7.50Mbps	10.0Mbps	12.5Mbps	15.0Mbps
4	0	10	3.20Mbps	3.60Mbps	4.00Mbps	5.00Mbps	6.00Mbps	8.00Mbps	10.0Mbps	12.0Mbps
5	0	12	2.67Mbps	3.00Mbps	3.33Mbps	4.16Mbps	5.00Mbps	6.67Mbps	8.33Mbps	10.0Mbps
5	1	24	1.33Mbps	1.50Mbps	1.67Mbps	2.08Mbps	2.50Mbps	3.33Mbps	4.17Mbps	5.00Mbps
5	2	48	667kbps	750kbps	833kbps	1.04Mbps	1.25Mbps	1.67Mbps	2.08Mbps	2.50Mbps
5	3	96	333kbps	375kbps	417kbps	521kbps	625kbps	833kbps	1.04Mbps	1.25Mbps
255	3	4096	7.81kbps	8.80kbps	9.78kbps	12.2kbps	14.6kbps	19.5kbps	24.4kbps	29.3kbps

38.2.9 SPI データコントロールレジスタ（SPDCR）

アドレス SPI0.SPDCR 4007 200Bh, SPI1.SPDCR 4007 210Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SPLW	SPRDTD	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定	b1 b0 0 0：1フレーム 0 1：2フレーム 1 0：3フレーム 1 1：4フレーム	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SPRDTD	SPI受信／送信データ選択	0：SPDR/SPDR_HAの値は受信バッファから読み出す 1：SPDR/SPDR_HAの値は送信バッファから読み出す（送信バッファが空の場合のみ）	R/W
b5	SPLW	SPIワードアクセス／ハーフワードアクセス設定	0：SPDR_HAが有効（ハーフワードアクセス） 1：SPDRが有効（ワードアクセス）	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

1 回の送受信で最大 4 フレームを送受信できます。各転送におけるデータ量は、SPCMDm.SPB[3:0] ビット、SPSCR.SPSLN[2:0] ビット、および SPDCR.SPFC[1:0] ビットの組み合わせで制御されます。

SPCR.SPE ビットが 1 の状態で、SPDCR.SPFC[1:0] ビットを変更する場合、必ず SPSR.IDLNF フラグが 0 であることを確認してください。

SPFC[1:0] ビット（フレーム数設定）

1 回の転送起動で SPDR/SPDR_HA レジスタに格納できるフレーム数を設定します。1 回の送受信で最大 4 フレームを送受信できます。

SPFC[1:0] ビットで指定したフレーム数分の送信データが、SPDR/SPDR_HA レジスタに書き込まれると、SPI は SPSR.SPTEF フラグを 0 にして、送信を開始します。その後、SPFC[1:0] ビットで指定したフレーム数分の送信データがシフトレジスタに送信されると、SPI は送信バッファエンプティ割り込みを発生させます（SPSR.SPTEF が 1 になります）。

SPFC[1:0] ビットで指定したフレーム数分のデータが受信されると、SPI は受信バッファフル割り込みを発生させます（SPSR.SPRF が 1 になります）。

表 38.4 SPSLN[2:0] ビットと SPFC[1:0] ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで転送するフレーム数	送信バッファ／受信バッファがフルになるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット（SPI 受信／送信データ選択）

SPDR/SPDR_HA レジスタが、値を受信バッファと送信バッファのどちらから読み出すかを選択します。送信バッファから読み出す場合、SPDR/SPDR_HA レジスタへ直前に書き込まれた値が読み出されます。送信バッファの読み出しは、SPFC[1:0] ビットで設定したフレーム数の書き込み終了前、かつ送信バッファエンプティ割り込みの発生後（SPSR.SPTEF = 1 のとき）に行ってください。

詳細は、38.2.5　SPI データレジスタ（SPDR/SPDR_HA）を参照してください。

SPLW ビット（SPI ワードアクセス／ハーフワードアクセス設定）

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが 0 の場合、SPDR_HA レジスタへのハーフワードアクセスが有効となり、SPLW ビットが 1 の場合、SPDR レジスタへのワードアクセスが有効となります。また、このビットが 0 の場合、SPCMDm.SPB[3:0] ビット（SPI データ長設定ビット）は 8 ～ 16 ビットに設定してください。20、24、または 32 ビットに設定した場合、すべての動作を行わないでください。

38.2.10 SPI クロック遅延レジスタ（SPCKD）

アドレス SPI0.SPCKD 4007 200Ch, SPI1.SPCKD 4007 210Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SCKDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが 1 の場合、SSLni 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPCKD レジスタの内容を変更した場合、以降の動作は行わないでください。

SCKDL[2:0] ビット（RSPCK 遅延設定）

SPCMDm.SCKDEN ビットが 1 の場合の RSPCK 遅延値を指定します。SPI をスレーブモードで使用する場合は、SCKDL[2:0] ビットを 000b にしてください。

38.2.11 SPI スレーブ選択ネゲート遅延レジスタ（SSLND）

アドレス SPI0.SSLND 4007 200Dh, SPI1.SSLND 4007 210Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SLNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSL ネゲート遅延設定	b2 b0 0 0 0 : 1RSPCK 0 0 1 : 2RSPCK 0 1 0 : 3RSPCK 0 1 1 : 4RSPCK 1 0 0 : 5RSPCK 1 0 1 : 6RSPCK 1 1 0 : 7RSPCK 1 1 1 : 8RSPCK	R/W
b7-b3	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R/W

SSLND レジスタは、マスタモードの SPI がシリアル転送の最終 RSPCK エッジを送信してから SSLni 信号をネゲートするまでの期間（SSL ネゲート遅延）を指定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SSLND レジスタの内容を変更した場合、以降の動作は行わないでください。

SLNDL[2:0] ビット（SSL ネゲート遅延設定）

SPI がマスタモードのとき、SSL ネゲート遅延値を指定します。SPI をスレーブモードで使用する場合は、SLNDL[2:0] ビットを 000b にしてください。

38.2.12 SPI 次アクセス遅延レジスタ（SPND）

アドレス SPI0.SPND 4007 200Eh, SPI1.SPND 4007 210Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SPNDL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	SPI次アクセス遅延設定	b2 b0 0 0 0 : 1RSPCK+2PCLKA 0 0 1 : 2RSPCK+2PCLKA 0 1 0 : 3RSPCK+2PCLKA 0 1 1 : 4RSPCK+2PCLKA 1 0 0 : 5RSPCK+2PCLKA 1 0 1 : 6RSPCK+2PCLKA 1 1 0 : 7RSPCK+2PCLKA 1 1 1 : 8RSPCK+2PCLKA	R/W
b7-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが 1 の場合、シリアル転送終了後の SSLni 信号の非アクティブ期間（次アクセス遅延）を指定するためのレジスタです。SPCR.MSTR ビットと SPCR.SPE ビットがともに 1 の状態で、SPND レジスタの内容を変更した場合、以降の動作は行わないでください。

SPNDL[2:0] ビット（SPI 次アクセス遅延設定）

SPCMDm.SPNDEN ビットが 1 の場合に、次アクセス遅延を指定します。SPI をスレーブモードで使用する場合は、SPNDL[2:0] ビットを 000b にしてください。

38.2.13 SPI コントロールレジスタ 2（SPCR2）

アドレス SPI0.SPCR2 4007 200Fh, SPI1.SPCR2 4007 210Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ有効	0：送信データにパリティビットを付加せず、受信データのパリティビットをチェックしない 1：SPCR.TXMD = 0の場合：送信データにパリティビットを付加し、受信データのパリティビットをチェックする SPCR.TXMD = 1の場合：送信データにパリティビットを付加するが、受信データのパリティビットをチェックしない	R/W
b1	SPOE	パリティモード	0：送受信用に偶数パリティを選択 1：送受信用に奇数パリティを選択	R/W
b2	SPIIE	SPIアイドル割り込み許可	0：アイドル割り込み要求を禁止 1：アイドル割り込み要求を許可	R/W
b3	PTE	パリティ自己診断	0：パリティ回路自己診断機能は無効 1：パリティ回路自己診断機能は有効	R/W
b4	SCKASE	RSPCK自動停止機能有効	0：RSPCK自動停止機能は無効 1：RSPCK自動停止機能は有効	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SPCR.SPE ビットが 1 の状態で、SPCR2 レジスタの SPPE、SPOE、または SCKASE ビットを変更した場合、以降の動作は行わないでください。

SPPE ビット（パリティ有効）

パリティ機能を有効または無効にします。

SPCR.TXMD ビットが 0 で、このビットが 1 のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが 1 で、このビットが 1 のとき、送信データにパリティビットを付加するが、受信データのパリティチェックは行いません。

SPOE ビット（パリティモード）

偶数パリティまたは奇数パリティを指定します。

偶数パリティが設定された場合、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの個数の合計が偶数になるように、パリティビットが付加されます。同様に、奇数パリティが設定された場合、パリティビットと送受信キャラクタを合わせて、値が 1 のビットの個数の合計が奇数になるように、パリティビットが付加されます。

SPOE ビットは、SPPE ビットが 1 のときのみ有効です。

SPIIE ビット（SPI アイドル割り込み許可）

SPI のアイドル状態が検出されて SPSR.IDLNF フラグが 0 になった場合に、SPI アイドル割り込み要求の発生を許可または禁止します。

PTE ビット（パリティ自己診断）

パリティ機能が正常であることを確認するため、パリティ回路の自己診断機能を有効にします。

SCKASE ビット（RSPCK 自動停止機能有効）

RSPCK 自動停止機能を有効または無効にします。この機能を有効にすると、マスタモードでのデータ受信時に、オーバーランエラーが発生する前に RSPCK クロックが停止します。詳細は、38.3.8.1 オーバーランエラーを参照してください。

38.2.14 SPI コマンドレジスタ 0 ～ 7（SPCMD0 ～ SPCMD7）

アドレス SPI0.SPCMD0 4007 2010h, SPI0.SPCMD1 4007 2012h, SPI0.SPCMD2 4007 2014h, SPI0.SPCMD3 4007 2016h, SPI0.SPCMD4 4007 2018h, SPI0.SPCMD5 4007 201Ah, SPI0.SPCMD6 4007 201Ch, SPI0.SPCMD7 4007 201Eh, SPI1.SPCMD0 4007 2110h, SPI1.SPCMD1 4007 2112h, SPI1.SPCMD2 4007 2114h, SPI1.SPCMD3 4007 2116h, SPI1.SPCMD4 4007 2118h, SPI1.SPCMD5 4007 211Ah, SPI1.SPCMD6 4007 211Ch, SPI1.SPCMD7 4007 211Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]				SSLKP	SSLA[2:0]			BRDV[1:0]		CPOL	CPHA
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定	0：立ち上がりエッジでデータサンプリング、立ち下がりエッジでデータ変化を選択 1：立ち上がりエッジでデータ変化、立ち下がりエッジでデータサンプリングを選択	R/W
b1	CPOL	RSPCK極性設定	0：アイドル時のRSPCKをLowに設定 1：アイドル時のRSPCKをHighに設定	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定	b3 b2 0 0：ベースのビットレート 0 1：ベースのビットレートの2分周 1 0：ベースのビットレートの4分周 1 1：ベースのビットレートの8分周	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定	b6 b4 0 0 0：SSL0 0 0 1：SSL1 0 1 0：SSL2 0 1 1：SSL3 1 x x：設定禁止 x：Don’t care	R/W
b7	SSLKP	SSL信号レベル保持	0：転送終了時に全SSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	SPIデータ長設定	b11 b8 0100～0111：8ビット 1 0 0 0：9ビット 1 0 0 1：10ビット 1 0 1 0：11ビット 1 0 1 1：12ビット 1 1 0 0：13ビット 1 1 0 1：14ビット 1 1 1 0：15ビット 1 1 1 1：16ビット 0 0 0 0：20ビット 0 0 0 1：24ビット 0010、0011：32ビット	R/W
b12	LSBF	SPI LSBファースト	0：MSBファースト 1：LSBファースト	R/W
b13	SPNDEN	SPI次アクセス遅延許可	0：次アクセス遅延に1RSPCK + 2PCLKAを選択 1：次アクセス遅延にSPI次アクセス遅延レジスタ（SPND）の設定値を選択	R/W
b14	SLNDEN	SSLネゲート遅延設定許可	0：SSLネゲート遅延に1RSPCKを選択 1：SSLネゲート遅延にSPIスレーブセレクトネゲート遅延レジスタ（SSLND）の設定値を選択	R/W
b15	SCKDEN	RSPCK遅延設定許可	0：RSPCK遅延に1RSPCKを選択 1：RSPCK遅延にSPIクロック遅延レジスタ（SPCKD）の設定値を選択	R/W

SPCMDm レジスタは、マスタモードの SPI に対して転送フォーマットを指定するレジスタです。チャネルごとに 8 つの SPI コマンドレジスタ（SPCMD0 ～ SPCMD7）があります。SPCMD0 レジスタの一部のビットは、スレーブモードの SPI に対して転送モードを設定するために使用されます。マスタモードの SPI は、SPSCR.SPSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した

SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の（SPSR.SPTEF = 1 で、次転送のデータがセットされていない）状態で、その SPCMDm レジスタが参照されたときに送信されるデータの設定前に行ってください。

マスタモードの SPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットで確認できます。SPCR.MSTR ビットが 0、かつ SPCR.SPE ビットが 1 の状態で、SPCMDm レジスタの内容を変更した場合、以降の動作は行わないでください。

CPHA ビット（RSPCK 位相設定）

マスタモードまたはスレーブモードの SPI に対して、RSPCK の位相を選択します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 位相を設定する必要があります。

CPOL ビット（RSPCK 極性設定）

マスタモードまたはスレーブモードの SPI に対して、RSPCK の極性を選択します。SPI モジュール間でデータ通信を行う場合、モジュール間では同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット（ビットレート分周設定）

ビットレートを決定します。ビットレートは、この BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせで決定します（38.2.8　SPI ビットレートレジスタ（SPBR）を参照してください）。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択します。SPCMDm レジスタには、それぞれ異なる BRDV[1:0] ビット値を指定できます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット（SSL 信号アサート設定）

マスタモードの SPI がシリアル転送を行う際の、SSLni 信号のアサートを制御します。SSLni 信号アサート時の信号極性は、対応する SSLP レジスタの設定値により決定します。マルチマスタモードで SSLA[2:0] ビットを 000b にした場合、SSLn0 端子は入力になるため、全 SSL 信号がネゲート状態でシリアル転送が実行されます。

SPI をスレーブモードで使用する場合は、SSLA[2:0] ビットを 000b にしてください。

SSLKP ビット（SSL 信号レベル保持）

マスタモードの SPI がシリアル転送を行う際に、現コマンドに対応する SSL ネゲートから次コマンドに対応する SSL アサートまでの間、現コマンドの SSLni 信号レベルを保持するか、またはネゲートするかを設定します。SSLKP ビットを 1 にすると、バースト転送が可能になります。詳細は、38.3.10.1　マスタモード動作の (4)　バースト転送を参照してください。

SPI をスレーブモードで使用する場合は、SSLKP ビットを 0 にしてください。

SPB[3:0] ビット（SPI データ長設定）

マスタモードまたはスレーブモードの SPI に対して、転送データ長を指定します。SPLW ビットが 0 の場合、これらのビットは 8 ～ 16 ビットに設定してください。

LSBF ビット（SPI LSB ファースト）

マスタモードまたはスレーブモードの SPI に対して、そのデータフォーマットを MSB ファーストまたは LSB ファーストに指定します。

SPNDEN ビット（SPI 次アクセス遅延許可）

マスタモードの SPI がシリアル転送を終了して SSLni 信号を非アクティブにしてから、次アクセスの SSLni 信号アサートを可能にするまでの期間（次アクセス遅延）を指定します。SPNDEN ビットが 0 のとき、SPI は次アクセス遅延を 1RSPCK + 2PCLKA に設定します。SPNDEN ビットが 1 のとき、SPI は SPND レジスタの設定値に従って次アクセス遅延を挿入します。

SPI をスレーブモードで使用する場合は、SPNDEN ビットを 0 にしてください。

SLNDEN ビット（SSL ネゲート遅延設定許可）

マスタモードの SPI が、RSPCK の発振を停止してから SSLni 信号を非アクティブにするまでの期間（SSL ネゲート遅延）を指定します。SLNDEN ビットが 0 のとき、SPI は SSL ネゲート遅延を 1RSPCK に設定します。SLNDEN ビットが 1 のとき、SPI は SSLND レジスタの設定に従った SSL ネゲート遅延値で SSL 信号をネゲートします。

SPI をスレーブモードで使用する場合は、SLNDEN ビットを 0 にしてください。

SCKDEN ビット（RSPCK 遅延設定許可）

マスタモードの SPI が、SSLni 信号をアサートしてから RSPCK の発振を開始するまでの期間（SPI クロック遅延）を指定します。SCKDEN ビットが 0 のとき、SPI は RSPCK 遅延を 1RSPCK に設定します。SCKDEN ビットが 1 のとき、SPI は SPCKD レジスタの設定で決まる RSPCK 遅延値で RSPCK の発振を開始します。

SPI をスレーブモードで使用する場合は、SCKDEN ビットを 0 にしてください。

38.3 動作説明

本項では、「シリアル転送期間」という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間という意味で使用します。

38.3.1 SPI 動作の概要

SPI は、下記のモードでの同期式シリアル転送が可能です。

- スレーブモード（SPI 動作）
- シングルマスタモード（SPI 動作）
- マルチマスタモード（SPI 動作）
- スレーブモード（クロック同期式動作）
- マスタモード（クロック同期式動作）

SPI のモードは、SPCR.MSTR、MODFEN、および SPMS ビットで選択できます。表 38.5 に、SPI のモードと SPCR レジスタの設定値との関係、および各モードの概要を示します。

表 38.5 SPCR レジスタの設定値と SPI のモードの関係 (1/2)

モード	スレーブ（SPI動作）	シングルマスタ（SPI動作）	マルチマスタ（SPI動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
MSTR ビット設定値	0	1	1	0	1
MODFEN ビット設定値	0 または 1	0	1	0	0
SPMS ビット設定値	0	0	0	1	1
RSPCKn 信号	入力	出力	出力／Hi-Z	入力	出力
MOSIn 信号	入力	出力	出力／Hi-Z	入力	出力
MISOn 信号	出力／Hi-Z	入力	入力	出力	入力
SSLn0 信号	入力	出力	入力	Hi-Z（注1）	Hi-Z（注1）
SSLn1 ～ SSLn3 信号	Hi-Z（注1）	出力	出力／Hi-Z	Hi-Z（注1）	Hi-Z（注1）
SSL 極性変更機能	あり	あり	あり	-	-
最大転送速度	PCLKA/6	PCLKA/2	PCLKA/2	PCLKA/6	PCLKA/2
クロックソース	RSPCKn 入力	内蔵ボーレートジェネレータ	内蔵ボーレートジェネレータ	RSPCKn 入力	内蔵ボーレートジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種（CPHA = 1）	2種
先頭転送ビット	MSB/LSB				
転送データ長	8 ～ 16、20、24、32 ビット				
バースト転送	可能（CPHA = 1）	可能（CPHA = 0, 1）	可能（CPHA = 0, 1）	-	-
RSPCK 遅延制御	なし	あり	あり	なし	あり
SSL ネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL 入力アクティブまたは RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み（SPTEF = 1）	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み（SPTEF = 1）	RSPCK 発振	送信バッファエンプティ割り込み要求発生で送信バッファ書き込み（SPTEF = 1）
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンプティ検出	あり				
受信バッファフル検出	あり（注2）				
オーバーランエラー検出	あり（注2）	あり（注2）（注4）	あり（注2）（注4）	あり（注2）	あり（注2）

表 38.5 SPCR レジスタの設定値と SPI のモードの関係 (2/2)

モード	スレーブ（SPI動作）	シングルマスタ（SPI動作）	マルチマスタ（SPI動作）	スレーブ（クロック同期式動作）	マスタ（クロック同期式動作）
パリティエラー検出	あり（注2）（注3）				
モードフォルトエラー検出	あり（MODFEN = 1）	なし	あり	なし	なし
アンダーランエラー検出	あり	なし	なし	あり	なし

注 1. この機能は本モードでは使用しません。
注 2. SPCR.TXMD ビットが 1 のときは、受信バッファフル検出、オーバーランエラー検出、パリティエラー検出を行いません。
注 3. SPCR2.SPPE ビットが 0 のときは、パリティエラー検出を行いません。
注 4. SPCR2.SCKASE ビットが 1 のときは、オーバーランエラー検出を行いません。

38.3.2 SPI 端子の制御

SPI は、SPCR.MSTR、MODFEN、SPMS ビット、および入出力ポートの PmnPFS.NCODR ビットの設定値に基づいて、端子状態を切り替えます。端子状態とビット設定値との関係を表 38.6 に示します。入出力ポートの PmnPFS.NCODR ビットの設定値を 0 にすると、CMOS 出力となります。設定値を 1 にするとオープンドレイン出力となります。入出力ポートの設定も同じとなるよう設定してください。

表 38.6 端子状態とビット設定値の関係

モード	端子	端子状態（注2）	
		入出力ポートの PmnPFS.NCODR ビット = 0	入出力ポートの PmnPFS.NCODR ビット = 1
シングルマスタモード（SPI動作）（MSTR = 1、MODFEN = 0、SPMS = 0）	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0～SSLn3	CMOS出力	オープンドレイン出力
	MOSIn	CMOS出力	オープンドレイン出力
	MISOn	入力	入力
マルチマスタモード（SPI動作）（MSTR = 1、MODFEN = 1、SPMS = 0）	RSPCKn（注3）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	SSLn0	入力	入力
	SSLn1～SSLn3（注3）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	MOSIn（注3）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
	MISOn	入力	入力
スレーブモード（SPI動作）（MSTR = 0、SPMS = 0）	RSPCKn	入力	入力
	SSLn0	入力	入力
	SSLn1～SSLn3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIn	入力	入力
	MISOn（注4）	CMOS出力／Hi-Z	オープンドレイン出力／Hi-Z
マスタモード（クロック同期式動作）（MSTR = 1、MODFEN = 0、SPMS = 1）	RSPCKn	CMOS出力	オープンドレイン出力
	SSLn0～SSLn3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIn	CMOS出力	オープンドレイン出力
	MISOn	入力	入力
スレーブモード（クロック同期式動作）（MSTR = 0、SPMS = 1）	RSPCKn	入力	入力
	SSLn0～SSLn3（注5）	Hi-Z（注1）	Hi-Z（注1）
	MOSIn	入力	入力
	MISOn	CMOS出力	オープンドレイン出力

注 1. この機能は本モードでは使用しません。
注 2. SPI 機能が選択されていない兼用端子には、SPI の設定値は反映されません。
注 3. SSLn0 がアクティブレベルの場合、端子状態が Hi-Z になります。
注 4. SSLn0 が非アクティブレベルまたは SPCR.SPE ビットが 0 の場合、端子状態が Hi-Z になります。
注 5. これらの端子は入出力ポート端子として使用できます。

シングルマスタモード（SPI 動作）またはマルチマスタモード（SPI 動作）の SPI は、SPPCR.MOIFE ビットと SPPCR.MOIFV ビットの設定値に基づいて、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を表 38.7 のように決定します。

表 38.7 SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE ビット	MOIFV ビット	SSL ネゲート期間の MOSIn 信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

38.3.3 SPI システム構成例

38.3.3.1 シングルマスタ／シングルスレーブ（MCU はマスタ）

図 38.5 に、MCU をマスタとして使用する場合のシングルマスタ／シングルスレーブの SPI システム構成例を示します。シングルマスタ／シングルスレーブの構成では、MCU（マスタ）の SSLn0 ～ SSLn3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブは選択状態を維持します。(注 1)

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

注 1. SPCMDm.CPHA ビットが 0 のときに設定される転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定できない場合は、MCU の SSLni 出力をスレーブデバイスの SSL 入力に接続してください。

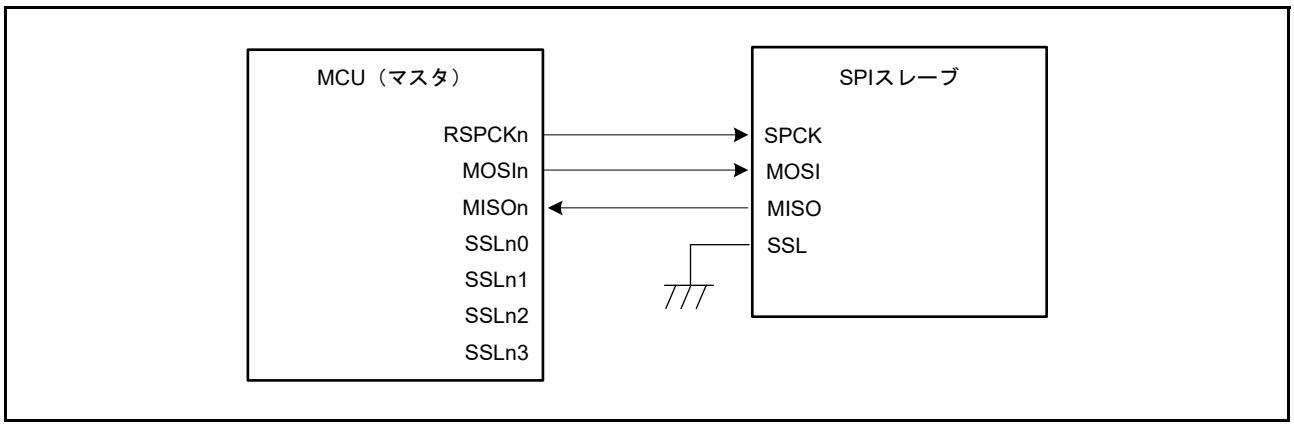


図 38.5 シングルマスタ／シングルスレーブの構成例（MCU はマスタ）

38.3.3.2 シングルマスタ／シングルスレーブ（MCU はスレーブ）

図 38.6 に、MCU をスレーブとして使用する場合のシングルマスタ／シングルスレーブの SPI システム構成例を示します。MCU をスレーブとして使用する場合は、SSLn0 端子は SSL 入力として使用されます。SPI マスタは、RSPCK および MOSI 信号をドライブします。MCU（スレーブ）は、MISOn 信号をドライブします。（注 1）

SPCMDm.CPHA ビットを 1 にしたシングルスレーブ構成の場合には、MCU（スレーブ）の SSLn0 入力は Low に固定され、MCU（スレーブ）は選択状態を維持します。これによって、シリアル転送の実行が可能になります（図 38.7）。

注 1. SSLn0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

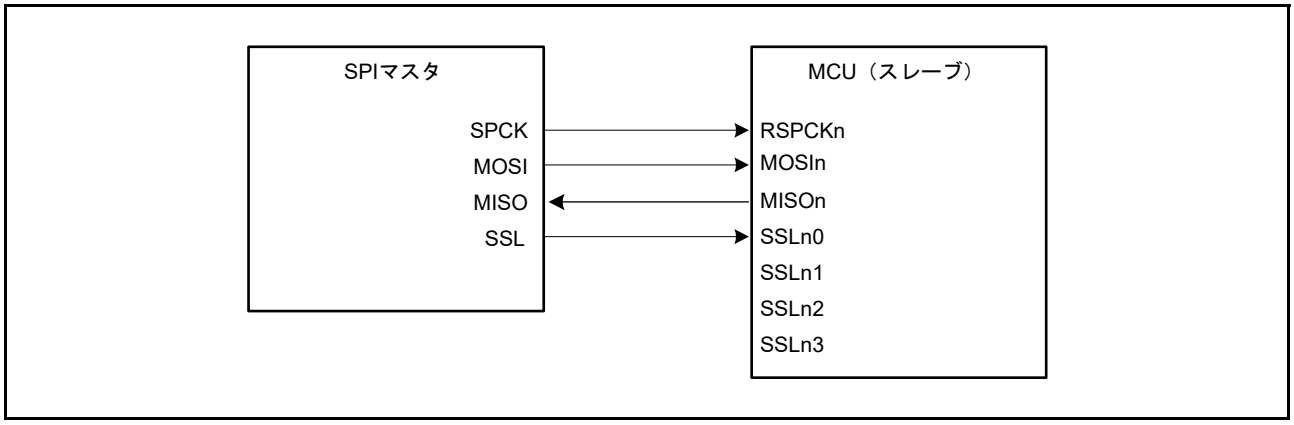


図 38.6 シングルマスタ／シングルスレーブの構成例（MCU はスレーブ、CPHA = 0）

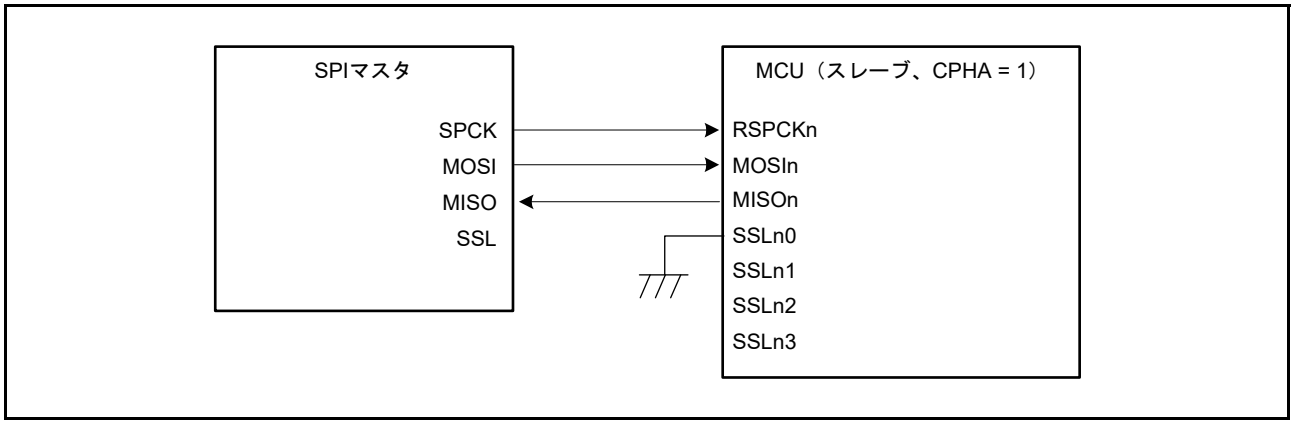


図 38.7 シングルマスタ／シングルスレーブの構成例（MCU はスレーブ、CPHA = 1）

38.3.3.3 シングルマスタ／マルチスレーブ（MCU はマスタ）

図 38.8 に、MCU をマスタとして使用する場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、MCU（マスタ）と 4 つのスレーブ（SPI スレーブ 0 ～ SPI スレーブ 3）から SPI システムを構成しています。

MCU（マスタ）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 0 ～ SPI スレーブ 3 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 0 ～ SPI スレーブ 3 の MISO 出力は、すべて MCU（マスタ）の MISOn 入力に接続します。MCU（マスタ）の SSLn0 ～ SSLn3 出力は、それぞれ SPI スレーブ 0 ～ SPI スレーブ 3 の SSL 入力に接続します。

MCU（マスタ）は、RSPCKn、MOSIn、および SSLn0 ～ SSLn3 信号をドライブします。SPI スレーブ 0 ～ SPI スレーブ 3 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

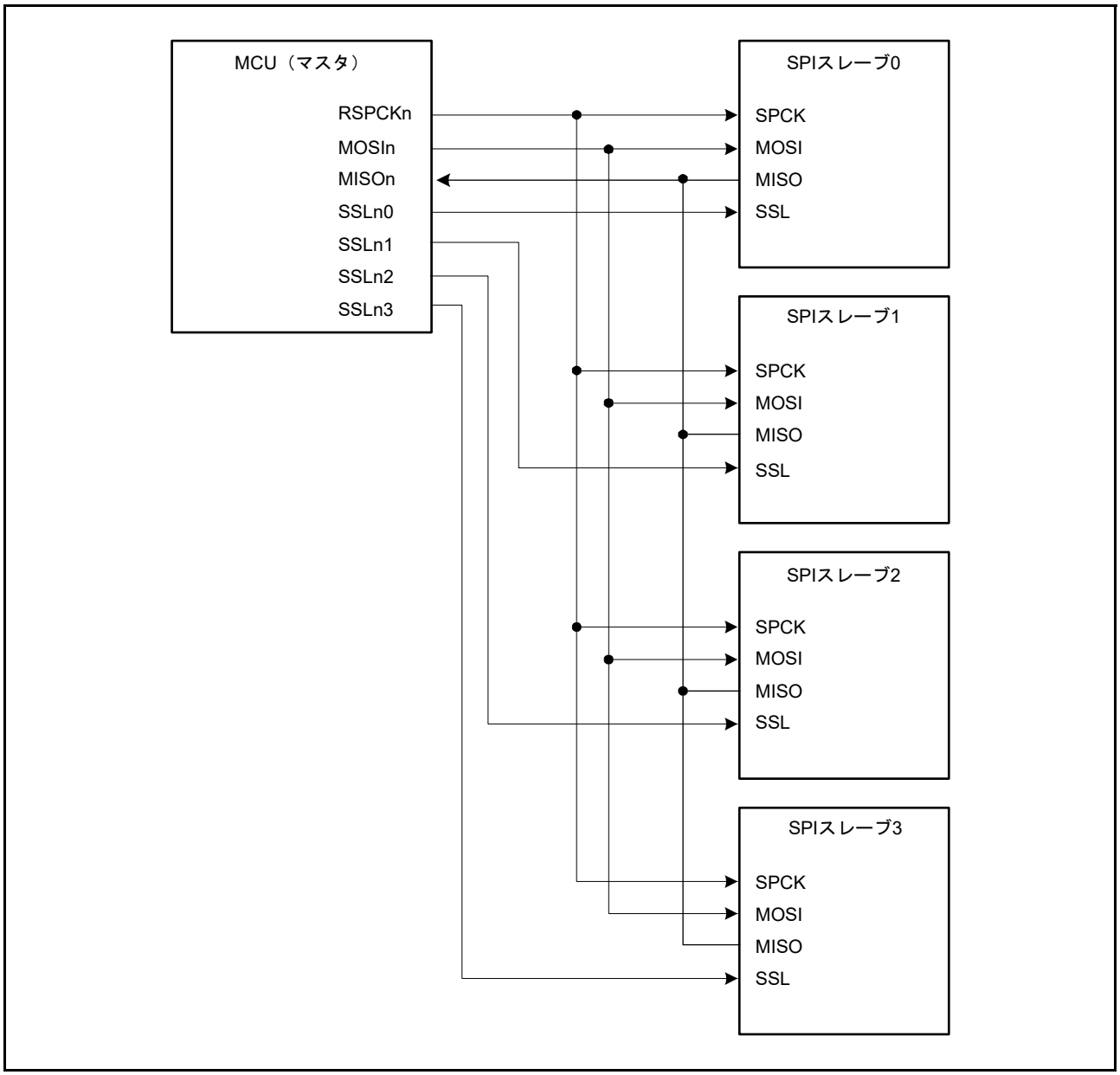


図 38.8 シングルマスタ／マルチスレーブの構成例（MCU はマスタ）

38.3.3.4 シングルマスタ／マルチスレーブ（MCU はスレーブ）

図 38.9 に、MCU をスレーブとして使用する場合のシングルマスタ／マルチスレーブの SPI システム構成例を示します。この例では、SPI マスタと 2 つの MCU（スレーブ X、スレーブ Y）から SPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、MCU（スレーブ X、スレーブ Y）の RSPCKn 入力と MOSIn 入力に接続します。MCU（スレーブ X、スレーブ Y）の MISOn 出力は、すべて SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力と SSLY 出力は、MCU（それぞれ、スレーブ X とスレーブ Y）の SSLn0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、および SSLY 信号をドライブします。MCU（スレーブ X、スレーブ Y）のうち、SSLn0 入力に Low を入力されているスレーブが、MISOn 信号をドライブします。

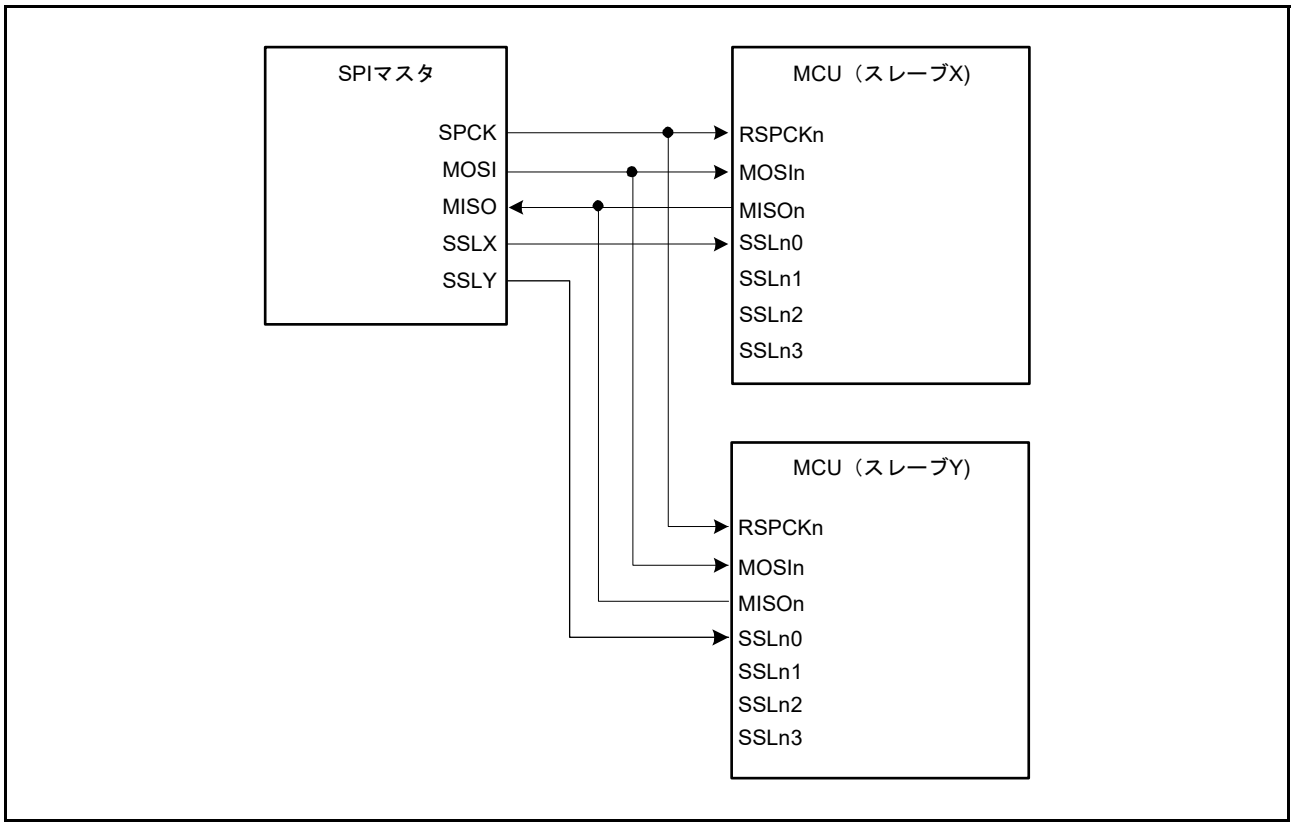


図 38.9 シングルマスタ／マルチスレーブの構成例（MCU はスレーブ）

38.3.3.5 マルチマスタ／マルチスレーブ（MCU はマスタ）

図 38.10 に、MCU をマスタとして使用する場合のマルチマスタ／マルチスレーブの SPI システム構成例を示します。この例では、2 つの MCU（マスタ X、マスタ Y）と 2 つの SPI スレーブ（SPI スレーブ 1、SPI スレーブ 2）から SPI システムを構成しています。

MCU（マスタ X、マスタ Y）の RSPCKn 出力と MOSIn 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、MCU（マスタ X、マスタ Y）の MISOn 入力に接続します。MCU（マスタ X）の任意の汎用ポート Y 出力は、MCU（マスタ Y）の SSLn0 入力に接続します。MCU（マスタ Y）の任意の汎用ポート X 出力は、MCU（マスタ X）の SSLn0 入力に接続します。MCU（マスタ X、マスタ Y）の SSLn1 出力と SSLn2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLn0 入力と、スレーブ接続用の SSLn1 出力および SSLn2 出力のみでシステムを構成できるため、MCU の SSLn3 出力は必要ありません。

SSLn0 入力レベルが High の場合、MCU は RSPCKn、MOSIn、SSLn1、および SSLn2 信号をドライブします。SSLn0 入力レベルが Low の場合、MCU はモードフォルトエラーを検出し、RSPCKn、MOSIn、SSLn1、および SSLn2 を Hi-Z にして、他方のマスタに SPI バスを直接解放します。SPI スレーブ 1 ～ SPI スレーブ 2 のうち、SSL 入力に Low を入力されているスレーブが、MISO 信号をドライブします。

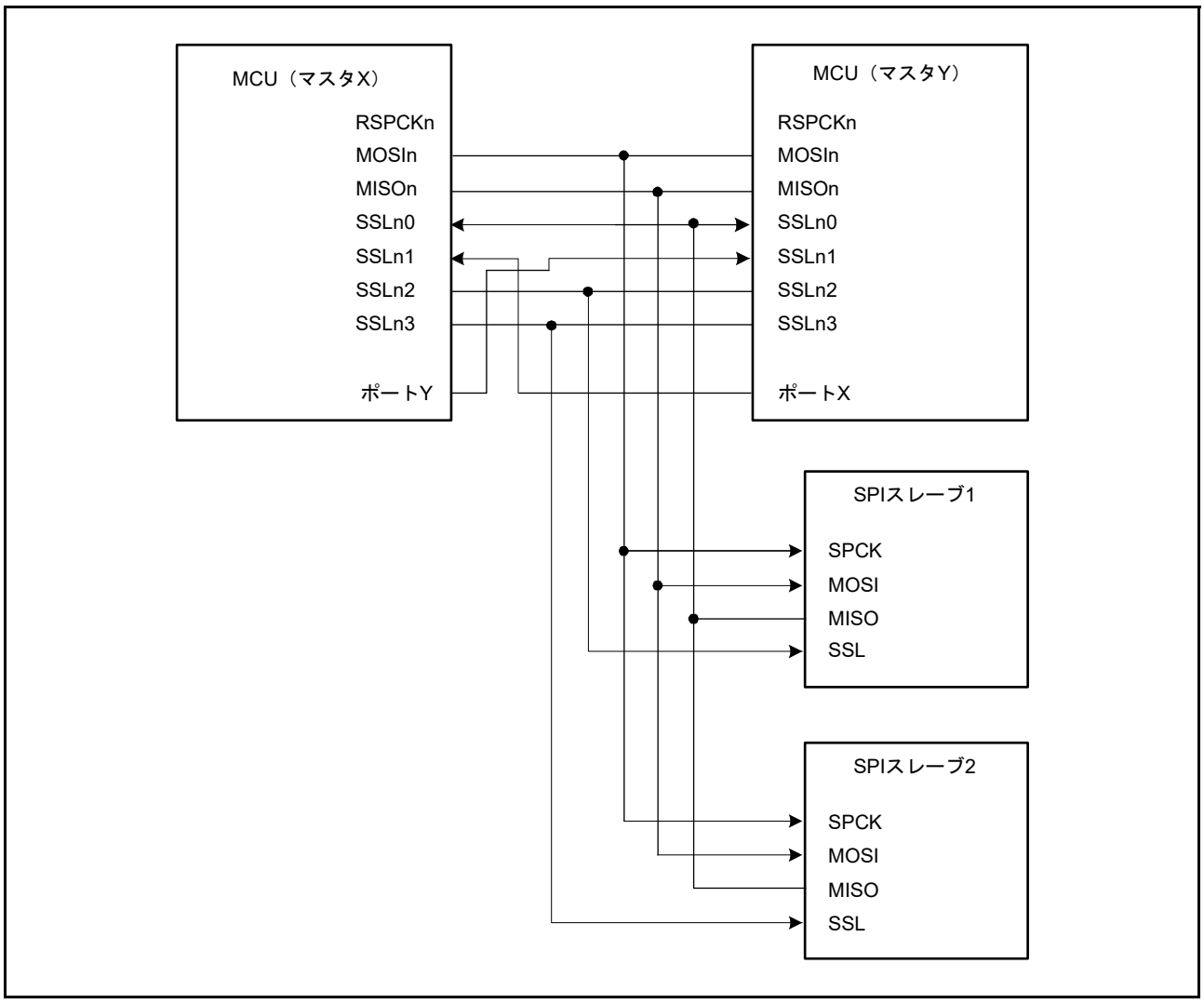


図 38.10 マルチマスタ／マルチスレーブの構成例（MCU はマスタ）

38.3.3.6 クロック同期式動作のマスタ／スレーブの構成（MCU はマスタ）

図 38.11 に、MCU をマスタとして使用する場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の SPI システム構成例を示します。この構成では、MCU（マスタ）の SSLn0 ～ SSLn3 は使用しません。

MCU（マスタ）は、RSPCKn および MOSIn 信号をドライブします。SPI スレーブは、MISO 信号をドライブします。

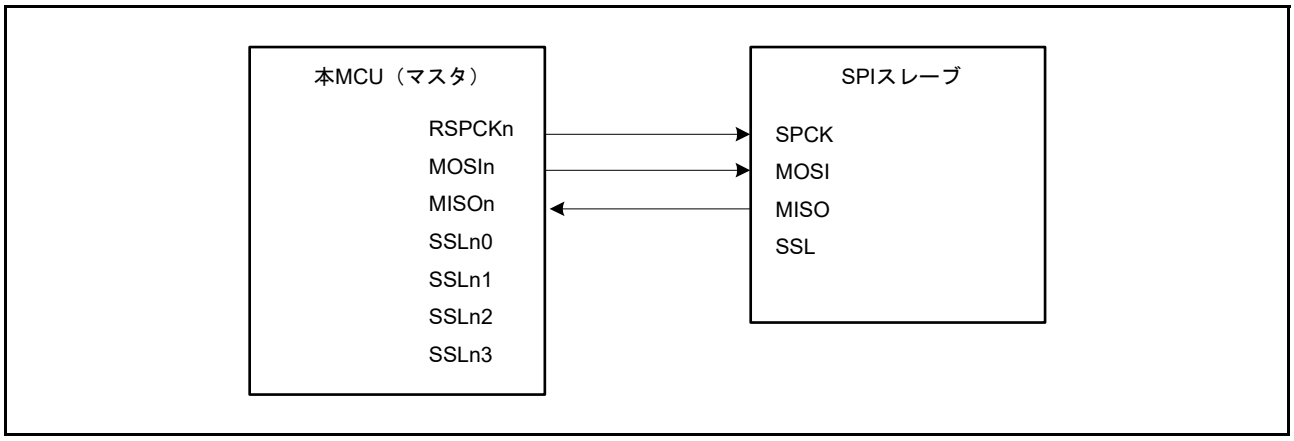


図 38.11 クロック同期式動作のマスタ／スレーブの構成例（MCU はマスタ）

38.3.3.7 クロック同期式動作のマスタ／スレーブの構成（MCU はスレーブ）

図 38.12 に、MCU をスレーブとして使用する場合のマスタ（クロック同期式動作）／スレーブ（クロック同期式動作）の SPI システム構成例を示します。MCU をスレーブ（クロック同期式動作）として使用する場合は、MCU（スレーブ）は MISOn 信号をドライブし、SPI マスタは SPCK および MOSI 信号をドライブします。また、MCU（スレーブ）の SSLn0 ～ SSLn3 は使用しません。

SPCMDm.CPHA ビットを 1 にしたシングルスレーブ構成の場合にのみ、MCU（スレーブ）はシリアル転送の実行が可能です。

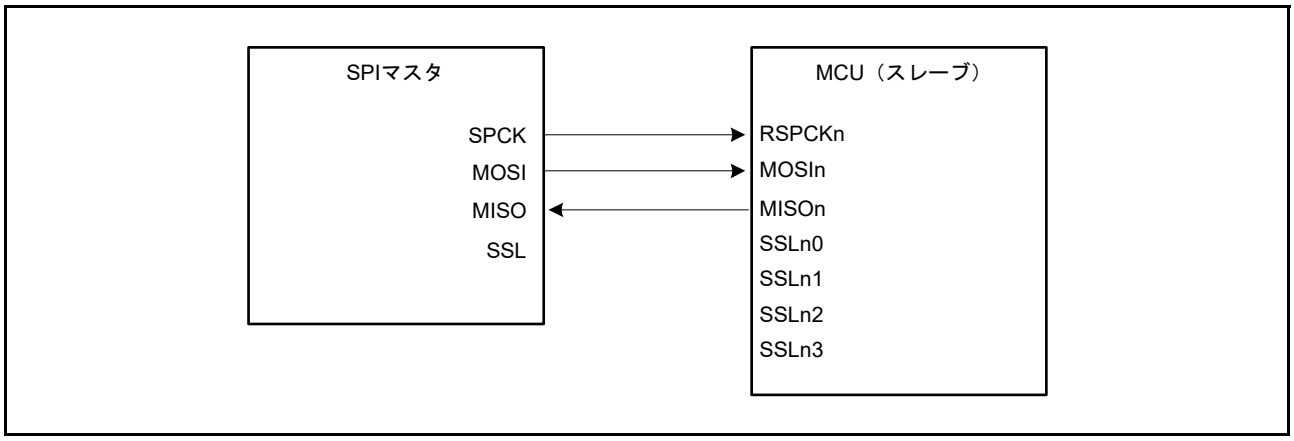


図 38.12 クロック同期式動作のマスタ／スレーブの構成例（MCU はスレーブ、CPHA = 1）

38.3.4 データフォーマット

SPI のデータフォーマットは、SPI コマンドレジスタ m（SPCMDm）（m = 0 ～ 7）と、SPI コントロールレジスタ 2 のパリティ有効ビット（SPCR2.SPPE）の設定値で決まります。MSB ファーストか LSB ファーストかにかかわらず、SPI は SPI データレジスタ（SPDR/SPDR_HA）の LSB ビットから、選択したデータ長に対応するビットまでの範囲を転送データとして扱います。

以下では、転送前または転送後のデータの 1 フレーム分のデータフォーマットについて説明します。

(a) パリティ機能無効時のデータフォーマット

パリティ機能が無効の場合、SPI コマンドレジスタ m の SPI データ長設定ビット（SPCMDm.SPB[3:0]）で選択したビット長でデータの送受信を行います。

(b) パリティ機能有効時のデータフォーマット

パリティ機能が有効の場合、SPI コマンドレジスタ m の SPI データ長設定ビット（SPCMDm.SPB[3:0]）で選択したビット長でデータの送受信を行います。ただし、最終ビットはパリティビットです。

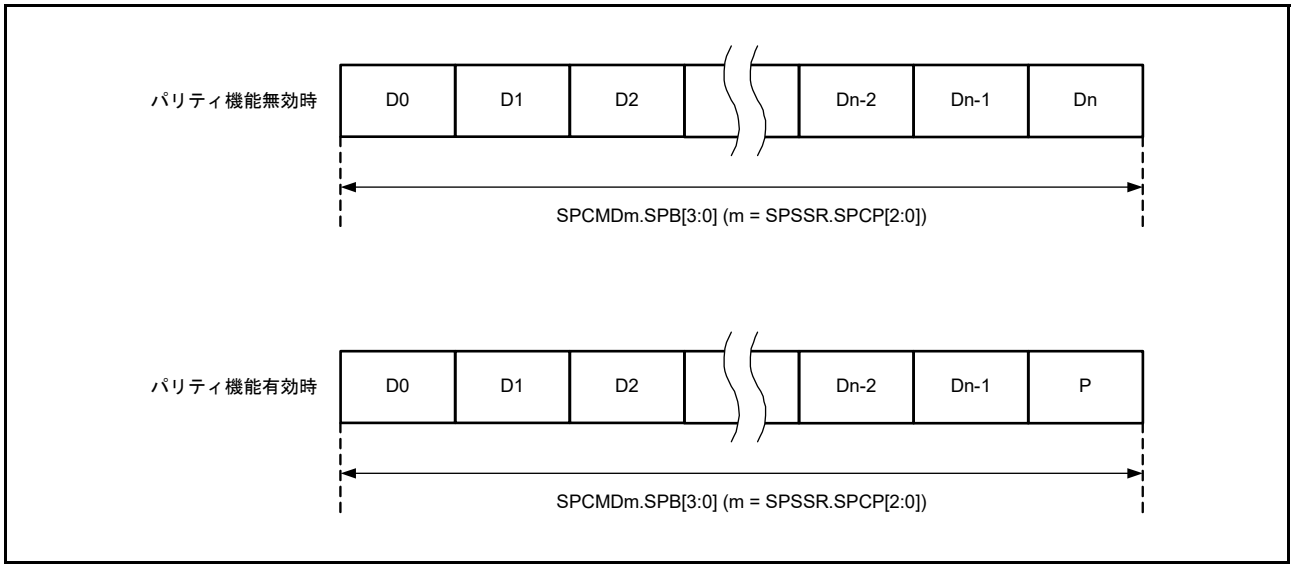


図 38.13 パリティ機能無効時と有効時のデータフォーマット

38.3.4.1 パリティ機能無効時（SPCR2.SPPE = 0）の動作

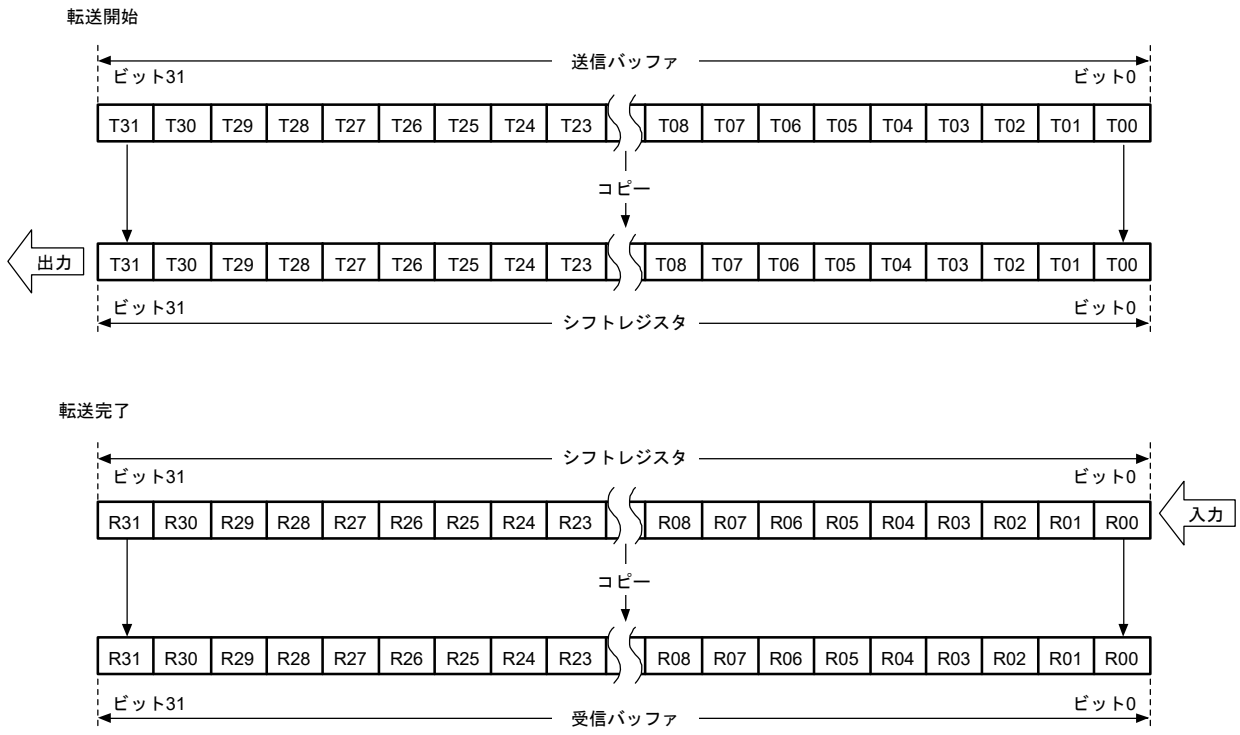
パリティ機能が無効の場合、送信データを加工せず、シフトレジスタにコピーします。以下では、SPI データレジスタ（SPDR/SPDR_HA）とシフトレジスタの関係を、MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送（32 ビットデータ）

図 38.14 に、パリティ機能無効時、SPI データ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ～ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 →・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ～ R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注 . 出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

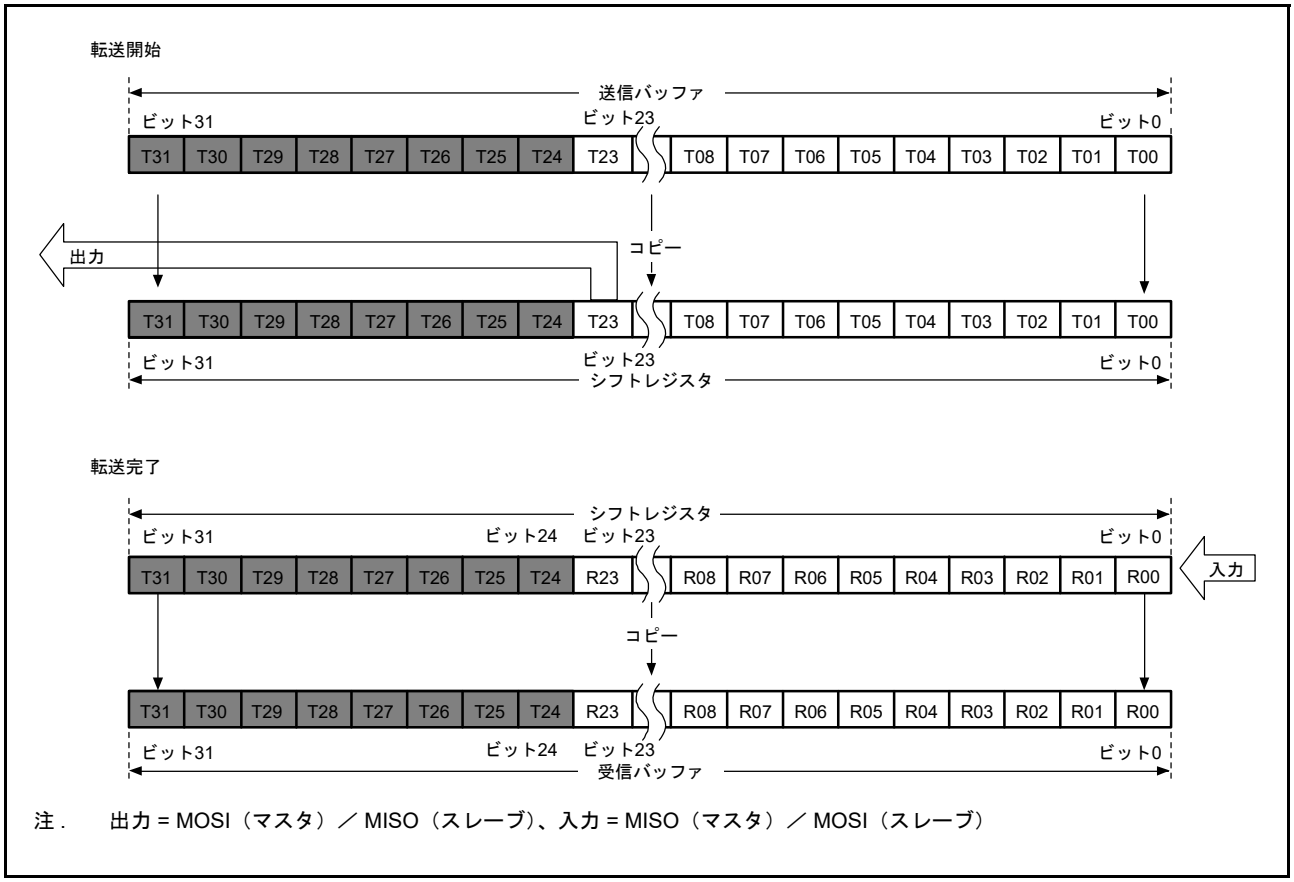
図 38.14 MSB ファースト転送（32 ビットデータ／パリティ機能無効）

(2) MSB ファースト転送（24 ビットデータ）

図 38.15 に、パリティ機能無効時、SPI データ長 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット（T23 ～ T00）をシフトレジスタにコピーします。送信データは、T23 → T22 →・・・T00 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ～ R00 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ～ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



注 . 出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

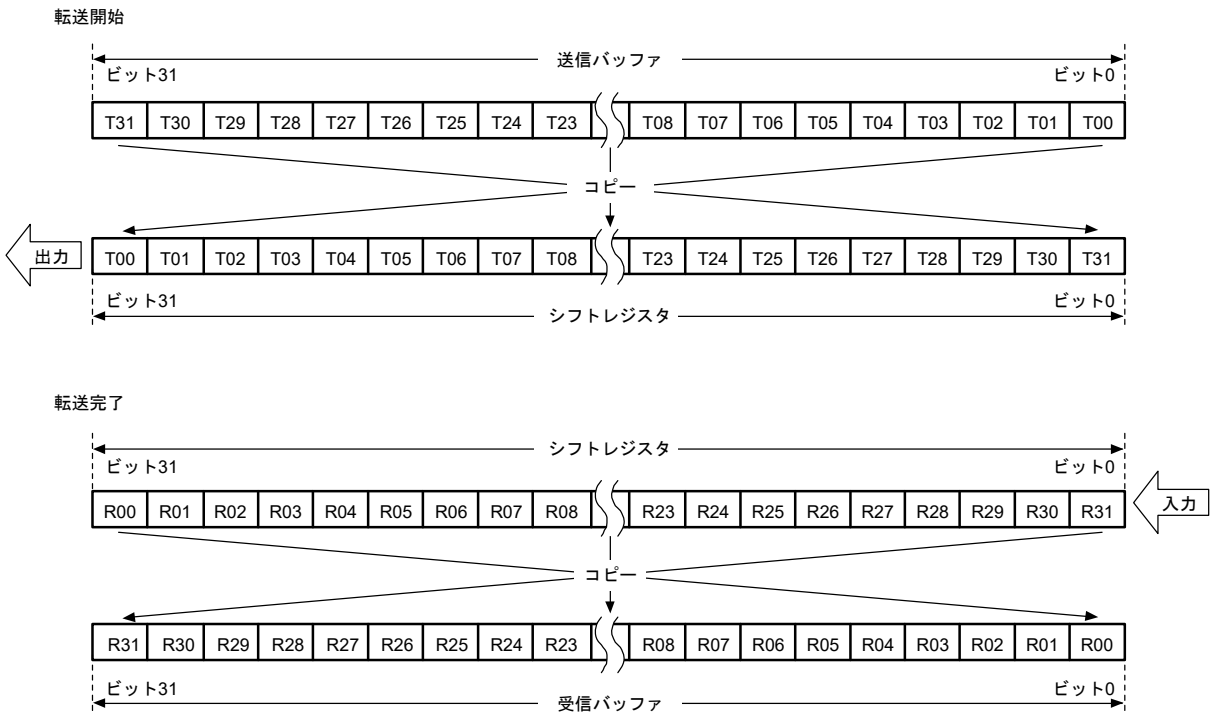
図 38.15 MSB ファースト転送（24 ビットデータ／パリティ機能無効）

(3) LSB ファースト転送（32 ビットデータ）

図 38.16 に、パリティ機能無効時、SPI データ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージのビット T31 ～ T00 をビット単位で T00 ～ T31 の順序に並び替えて、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T31 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ～ R31 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。



注． 出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

図 38.16 LSB ファースト転送（32 ビットデータ／パリティ機能無効）

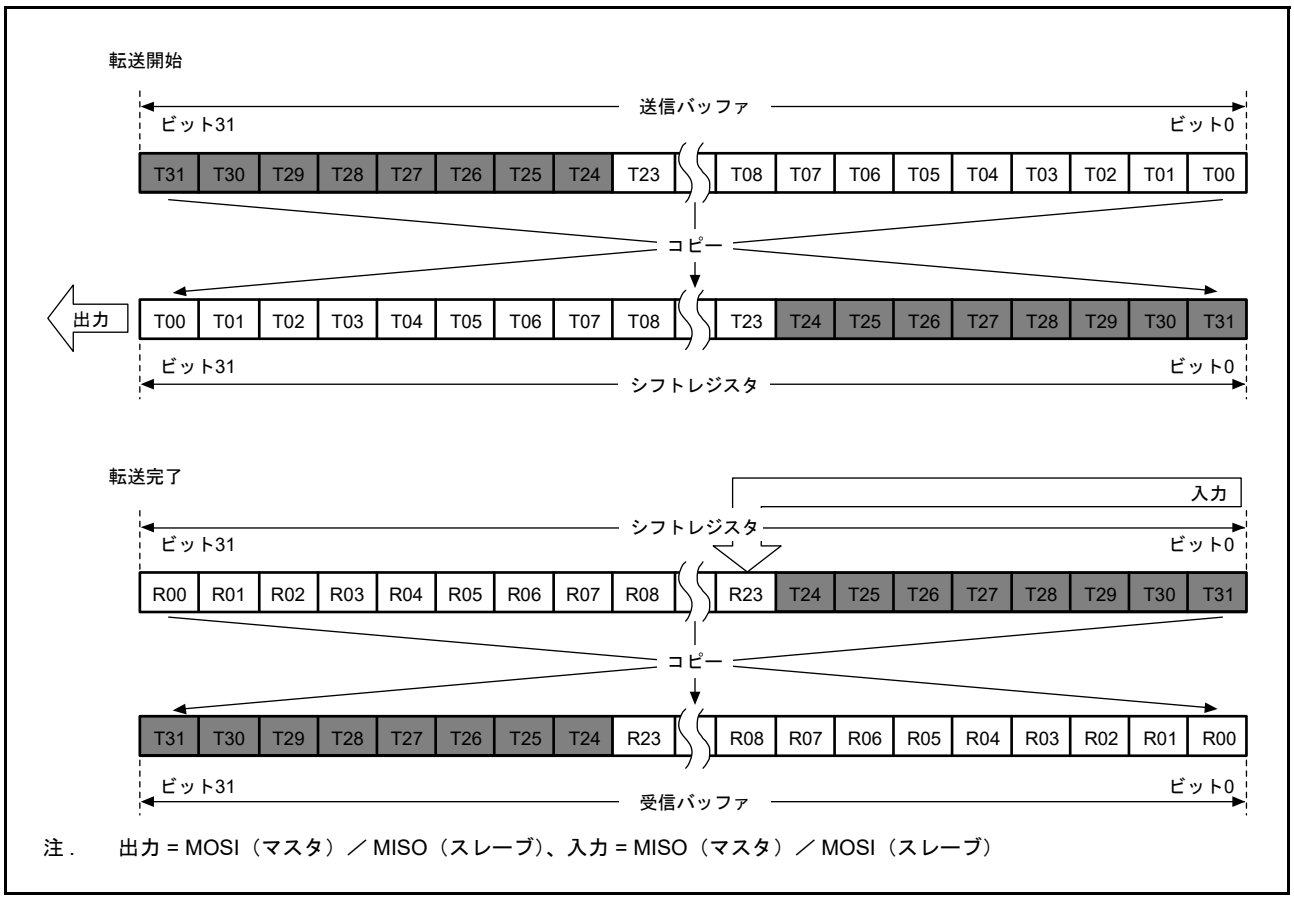
(4) LSB ファースト転送（24 ビットデータ）

図 38.17 に、パリティ機能無効時、SPI データ長 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、送信バッファの現ステージの下位 24 ビット（T23 ～ T00）をビット単位で T00 ～ T23 の順序に並び換えて、シフトレジスタにコピーします。送信データは、T00 → T01 →・・・T23 の順にシフトレジスタの値をシフトして送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ～ R23 ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ～ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



注． 出力 = MOSI（マスタ）／MISO（スレーブ）、入力 = MISO（マスタ）／MOSI（スレーブ）

図 38.17 LSB ファースト転送（24 ビットデータ／パリティ機能無効）

38.3.4.2 パリティ機能有効時（SPCR2.SPPE = 1）の動作

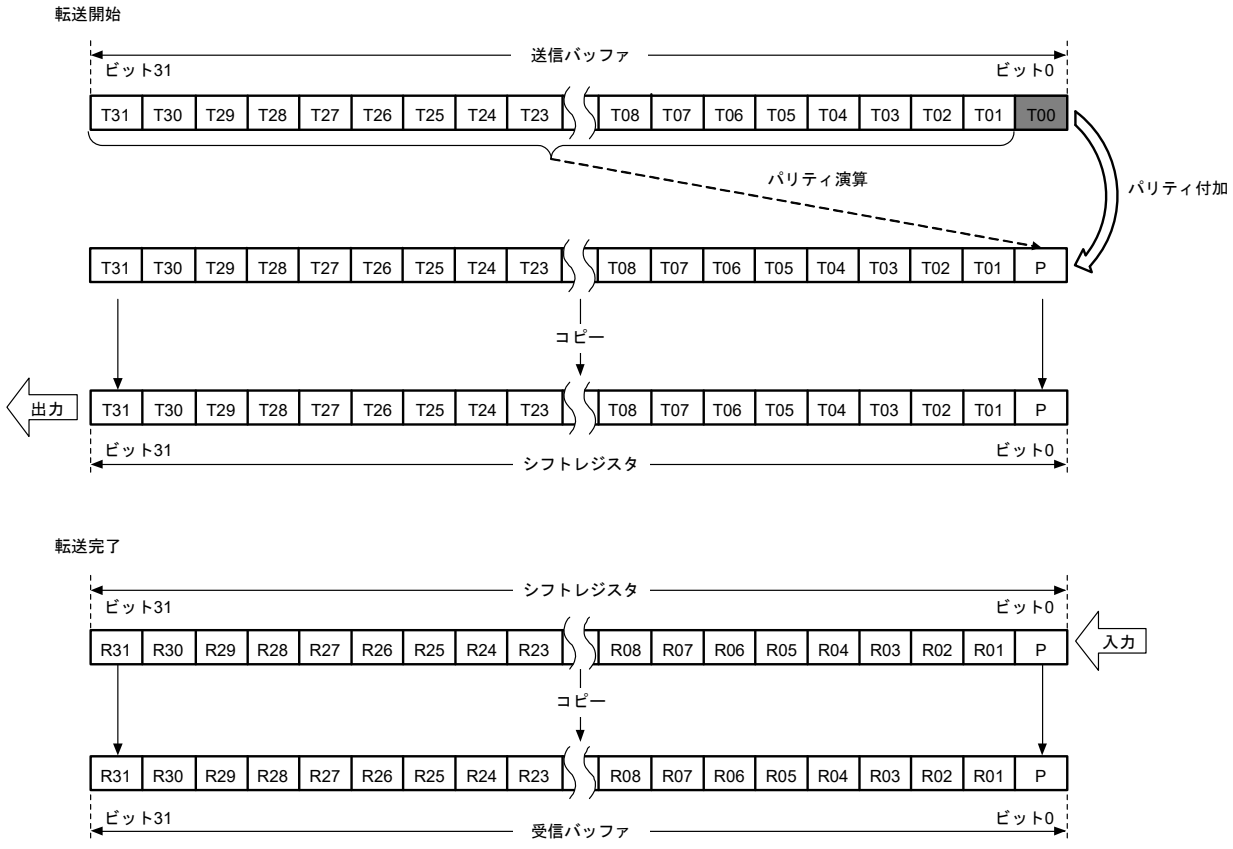
パリティ機能が有効の場合、送信データの最下位ビットはパリティビットになります。パリティビットの値は、ハードウェアが計算します。

(1) MSB ファースト転送（32 ビットデータ）

図 38.18 に、パリティ機能有効時、SPI データ長 32 ビットの MSB ファースト転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ～ T01 ビットからパリティビット（P）の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T31 → T30 →・・・T01 → P の順に送信します。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R31 ～ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R31 ～ P のデータをチェックします。



注 . 出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

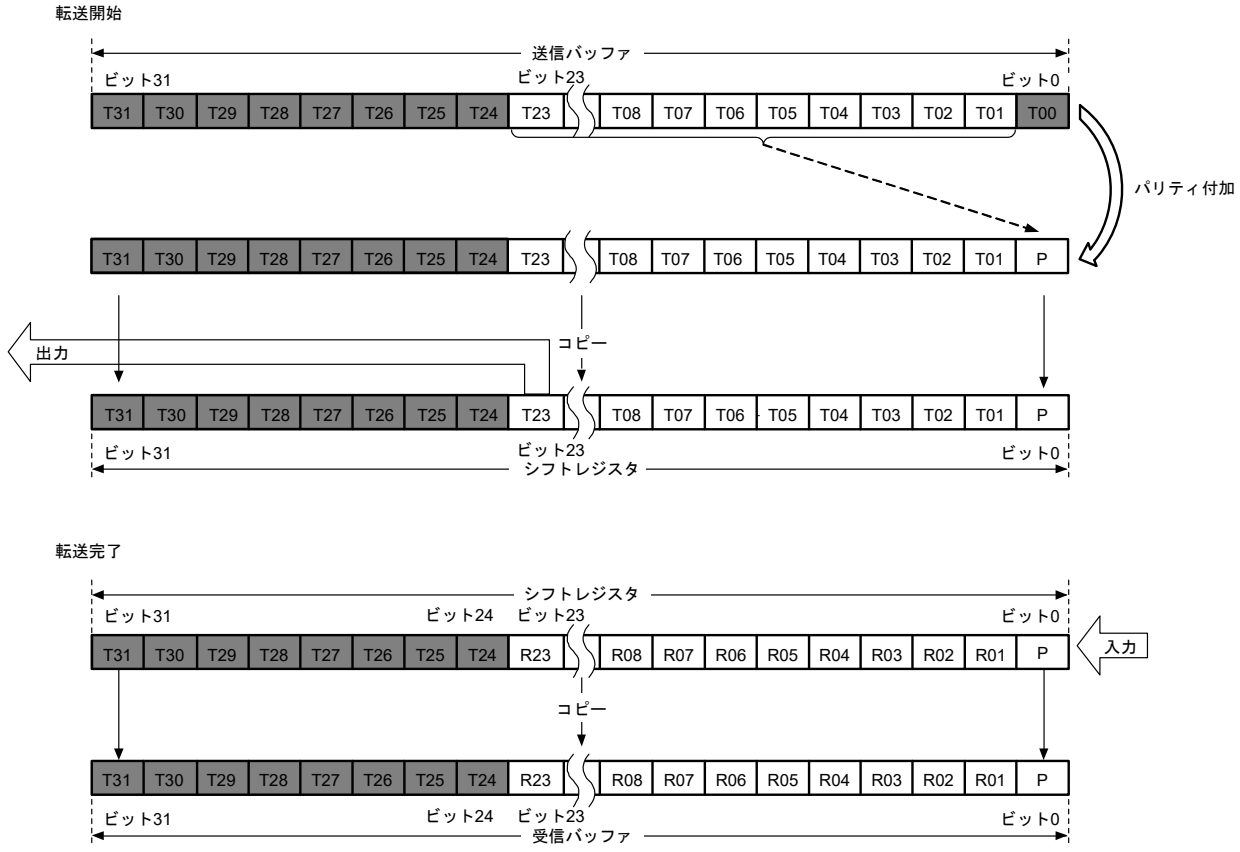
図 38.18 MSB ファースト転送（32 ビットデータ／パリティ機能有効）

(2) MSB ファースト転送（24 ビットデータ）

図 38.19 に、パリティ機能有効時、SPI データ長 32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、T23 ～ T01 ビットからパリティビット（P）の値を計算し、最終ビットである T00 と置き換えて、全体をシフトレジスタにコピーします。データは、T23 → T22 →・・・T01 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R23 ～ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R23 ～ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ～ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



注 . 出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

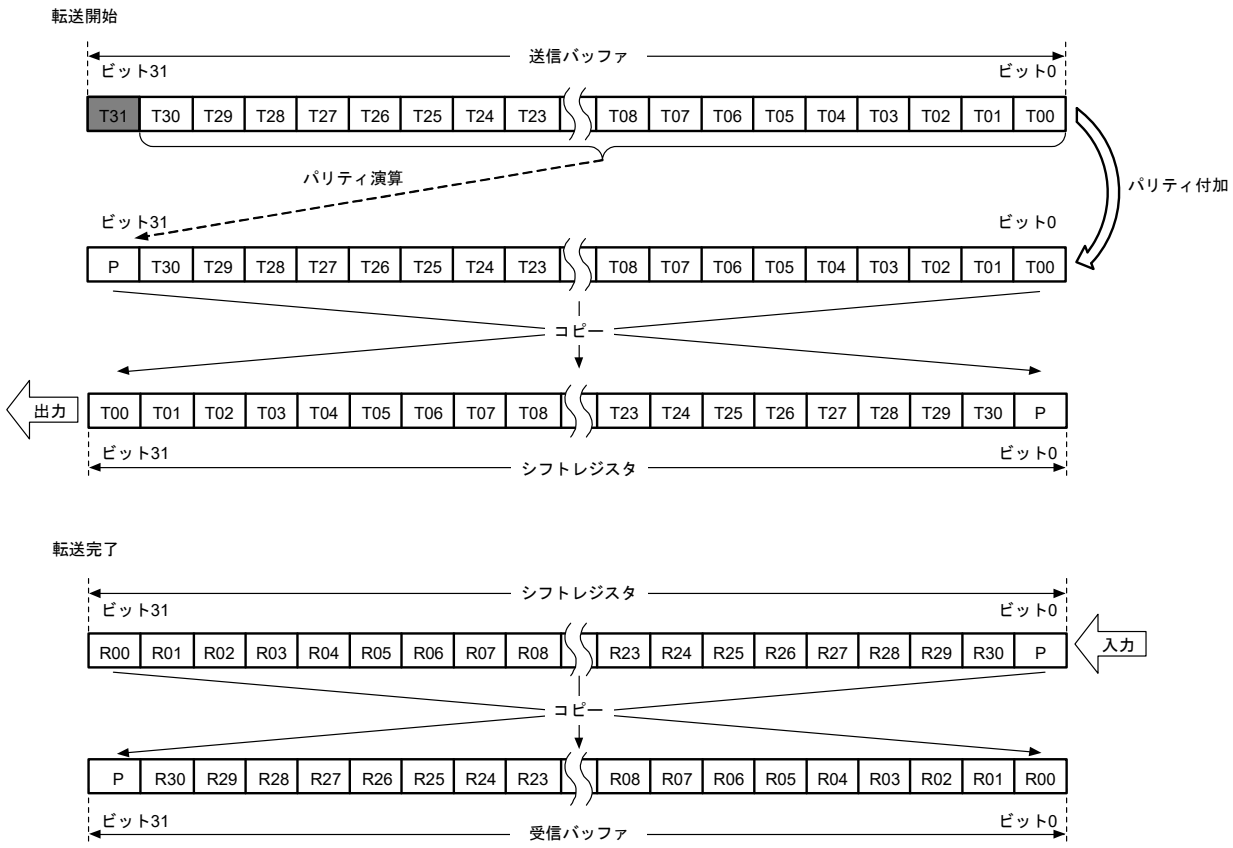
図 38.19 MSB ファースト転送（24 ビットデータ／パリティ機能有効）

(3) LSB ファースト転送（32 ビットデータ）

図 38.20 に、パリティ機能有効時、SPI データ長 32 ビットの LSB ファースト転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、T30 ～ T00 ビットからパリティビット（P）の値を計算し、最終ビットである T31 と置き換えて、全体をシフトレジスタにコピーします。データは、T00 → T01 →・・・T30 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 0 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ～ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ～ P のデータをチェックします。



注 . 出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

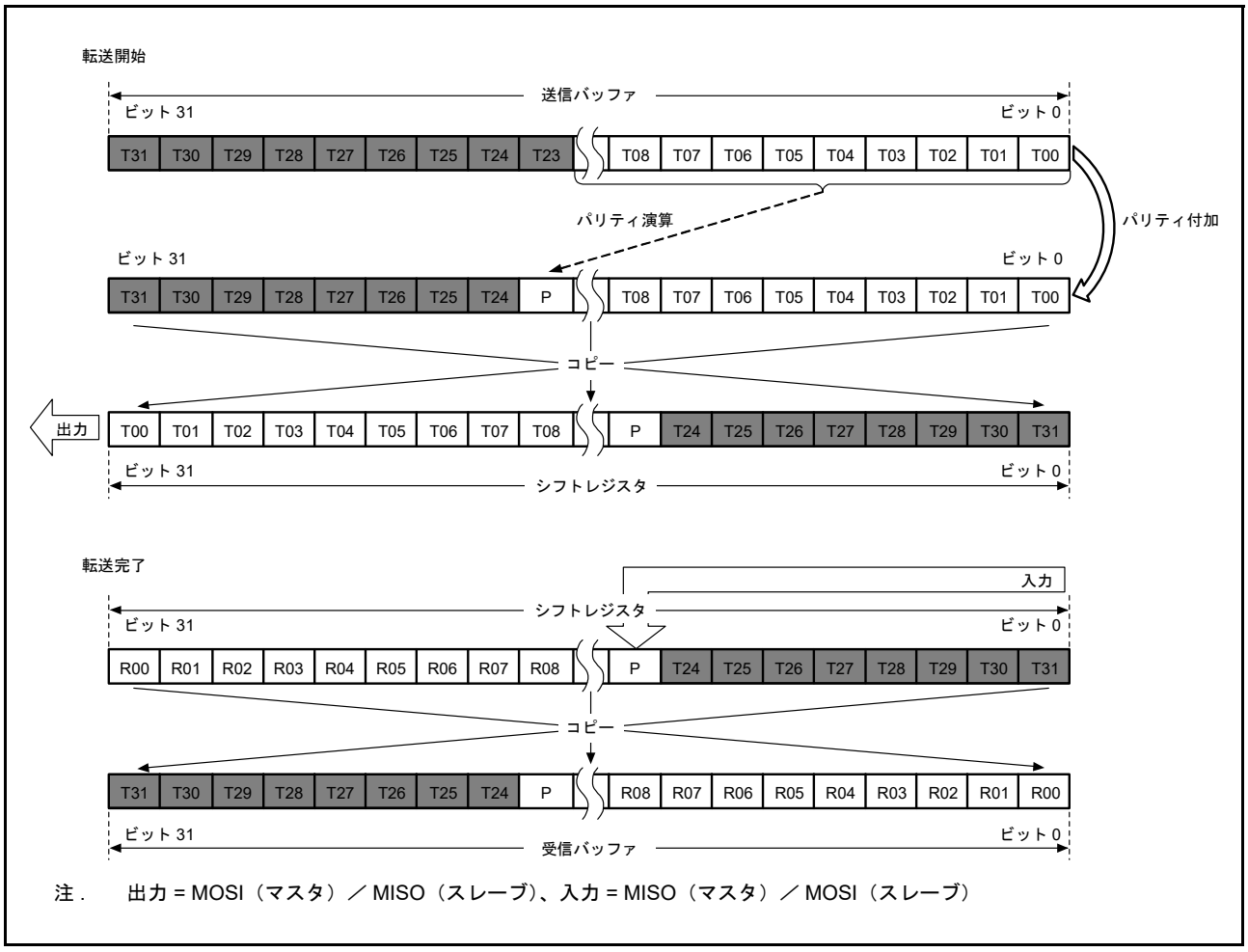
図 38.20 LSB ファースト転送（32 ビットデータ／パリティ機能有効）

(4) LSB ファースト転送（24 ビットデータ）

図 38.21 に、パリティ機能有効時、SPI データ長 32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の SPI データレジスタ（SPDR）とシフトレジスタの動作内容を示します。

送信時は、T22 ～ T00 ビットからパリティビット（P）の値を計算し、最終ビットである T23 と置き換えて、全体をシフトレジスタにコピーします。データは、T00 → T01 →・・・T22 → P の順に送信されます。

受信時は、受信データをシフトレジスタのビット 8 から格納し始め、1 ビットごと受信データをシフトします。必要数分の RSPCK 周期が入力され、R00 ～ P ビットまでデータがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーするとき、パリティエラーがないか R00 ～ P のデータをチェックします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時にビット T31 ～ T24 に 0 を書き込んでおくことにより、受信バッファの上位 8 ビットに 0 を入れることができます。



注 . 出力 = MOSI（マスタ）／ MISO（スレーブ）、入力 = MISO（マスタ）／ MOSI（スレーブ）

図 38.21 LSB ファースト転送（24 ビットデータ／パリティ機能有効）

38.3.5 転送フォーマット

38.3.5.1 CPHA ビット = 0 の場合の転送フォーマット

図 38.22 に、SPCMDm.CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。SPI がスレーブモード（SPCR.MSTR = 0）で、CPHA ビットが 0 の場合、クロック同期式動作（SPCR.SPMS = 1）は行わないでください。この図において、RSPCKn（CPOL = 0）は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCKn（CPOL = 1）は、SPCMDm.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI の設定に依存します。詳細は、38.3.2 SPI 端子の制御を参照してください。

SPCMDm.CPHA ビットが 0 の場合には、SSLni 信号のアサートタイミングで、MOSIn 信号と MISOn 信号への有効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化が、最初の転送データ取り込みになり、これ以降、1RSPCK 周期ごとにデータがサンプリングされます。MOSIn 信号と MISOn 信号の変化タイミングは、転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLni 信号のアサートから RSPCKn 発振までの期間（RSPCK 遅延）です。t2 は、RSPCKn 発振停止から SSLni 信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のための SSLni 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、SPI システム上のマスタデバイスによって制御されます。SPI がマスタモードである場合の t1、t2、t3 については、38.3.10.1 マスタモード動作を参照してください。

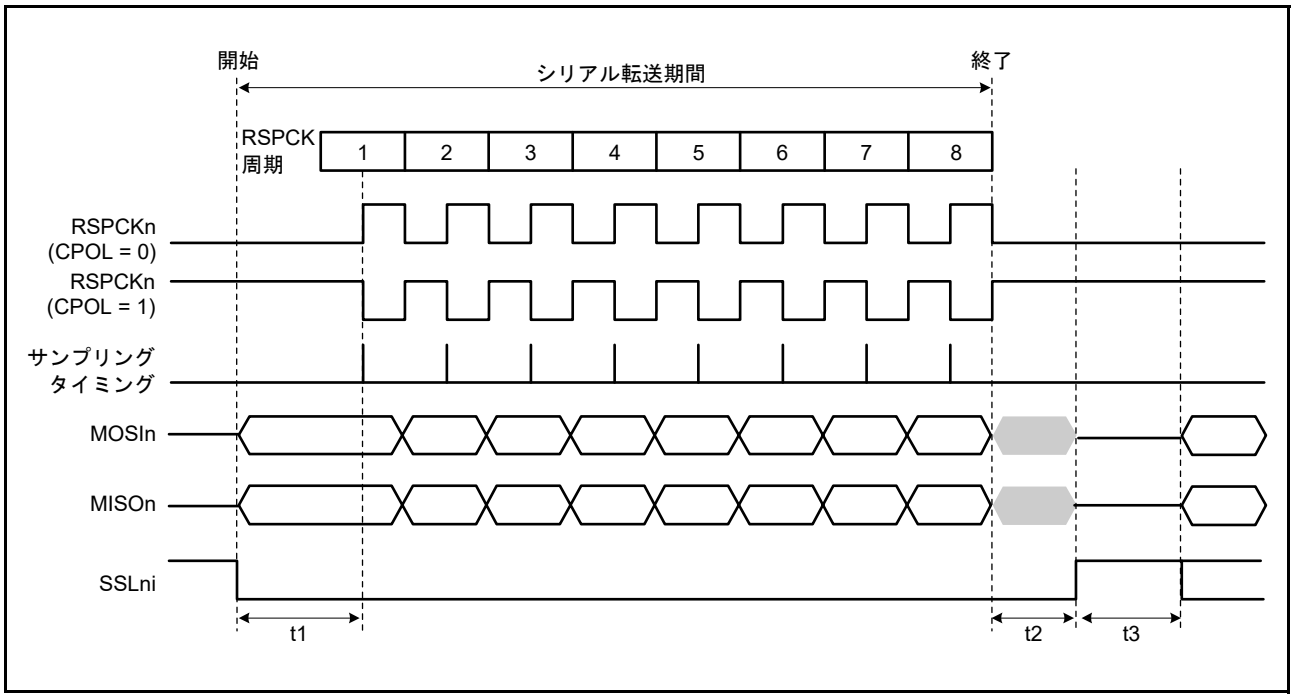


図 38.22 SPI 転送フォーマット（CPHA ビット = 0）

38.3.5.2 CPHA ビット = 1 の場合

図 38.23 に、SPCMDm.CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが 1 の場合は SSLni 信号を用いず、RSPCKn 信号、MOSIn 信号、MISOn 信号の 3 つの信号のみで通信を行います。図 38.23 において、RSPCK（CPOL = 0）は、SPCMDm.CPOL ビットが 0 の場合の RSPCKn 信号波形を示し、RSPCK（CPOL = 1）は、SPCMDm.CPOL ビットが 1 の場合の RSPCKn 信号波形を示します。サンプリングタイミングは、SPI がシフトレジスタにシリアル転送データを取り込むタイミングを表します。各信号の入出力方向は、SPI のモード（マスタ／スレーブ）に依存します。詳細は、38.3.2 SPI 端子の制御を参照してください。

SPCMDm.CPHA ビットが 1 の場合には、SSLni 信号のアサートタイミングで、MISOn 信号への無効データのドライブが開始されます。SSLni 信号のアサート後に発生する最初の RSPCKn 信号変化で、MOSIn 信号と MISOn 信号への有効データの出力が開始され、これ以降、1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このデータ更新タイミングの 1/2RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は、RSPCKn 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。MCU の SPI がマスタモードである場合の t1、t2、t3 については、38.3.10.1 マスタモード動作を参照してください。

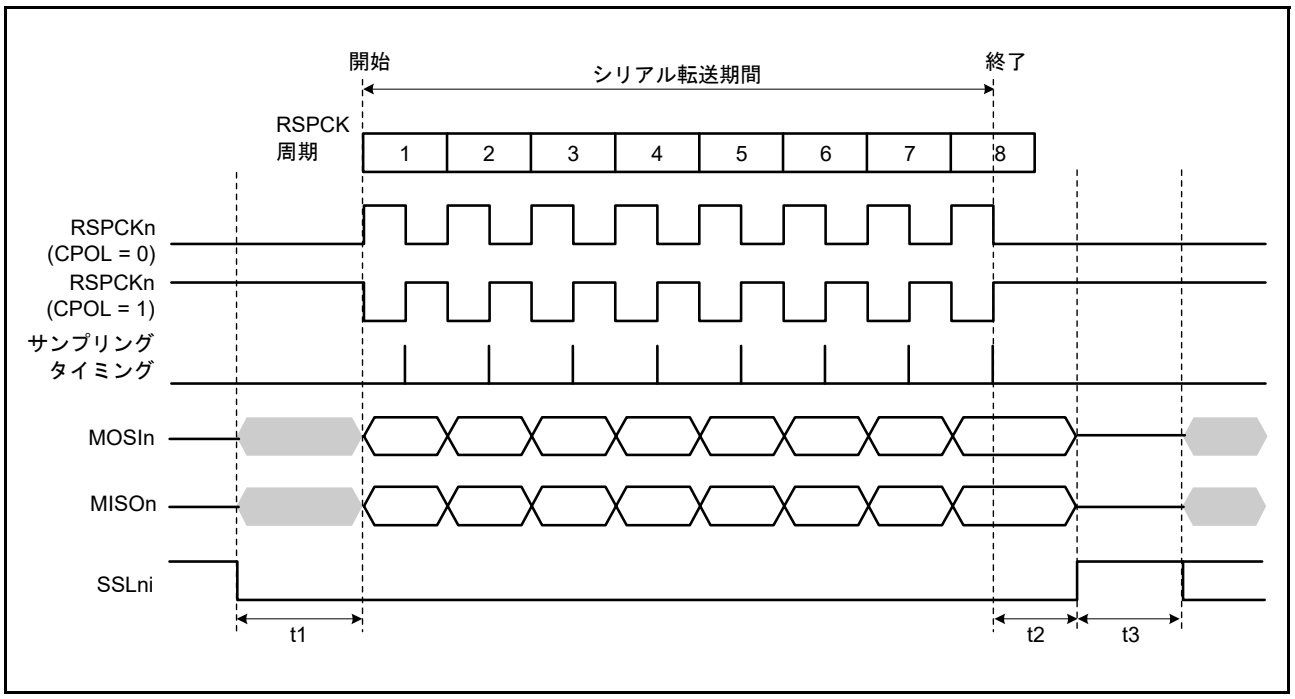


図 38.23 SPI 転送フォーマット（CPHA ビット = 1）

38.3.6 データ転送モード

通信動作モード選択ビット（SPCR.TXMD）の設定により、全二重同期式シリアル通信または送信のみの動作を選択できます。図 38.24、図 38.25 に記載の “SPDR/SPDR_HA アクセス ” は、SPDR/SPDR_HA レジスタへのアクセス状況を示しています。“W” はライトサイクルを示しています。

38.3.6.1 全二重同期式シリアル通信（SPCR.TXMD = 0）

図 38.24 に、通信動作モード選択ビット（SPCR.TXMD）を 0 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（＝転送ビット数）を示しています。

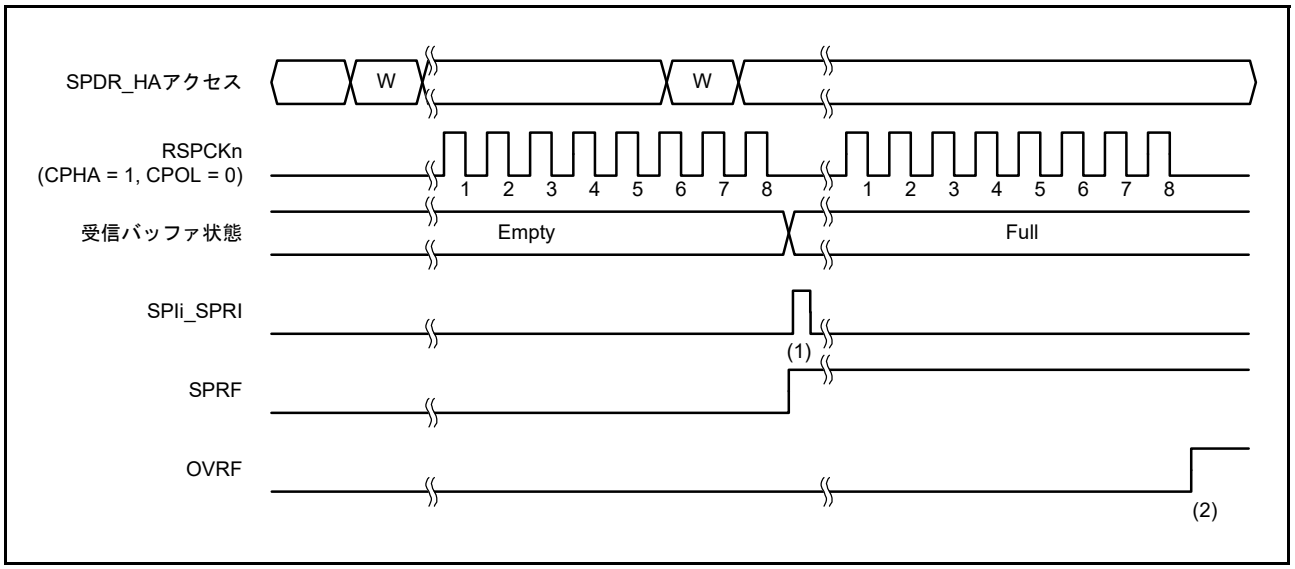


図 38.24 SPCR.TXMD = 0 の動作例

以下に、図中の（1）、（2）に示したタイミングでのフラグ動作を説明します。

1. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI は受信バッファフル割り込み要求（SPIi_SPRI）を発生させて（SPSR.SPRF フラグを 1 にして）、シフトレジスタの受信データを受信バッファにコピーします。
2. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データがある状態でシリアル転送が終了すると、SPI は SPSR.OVRF フラグを 1 にして、シフトレジスタの受信データを破棄します。

38.3.6.2 送信のみ動作（SPCR.TXMD = 1）

図 38.25 に、通信動作モード選択ビット（SPCR.TXMD）を 1 にした場合の動作例を示します。この例では、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（＝転送ビット数）を示しています。

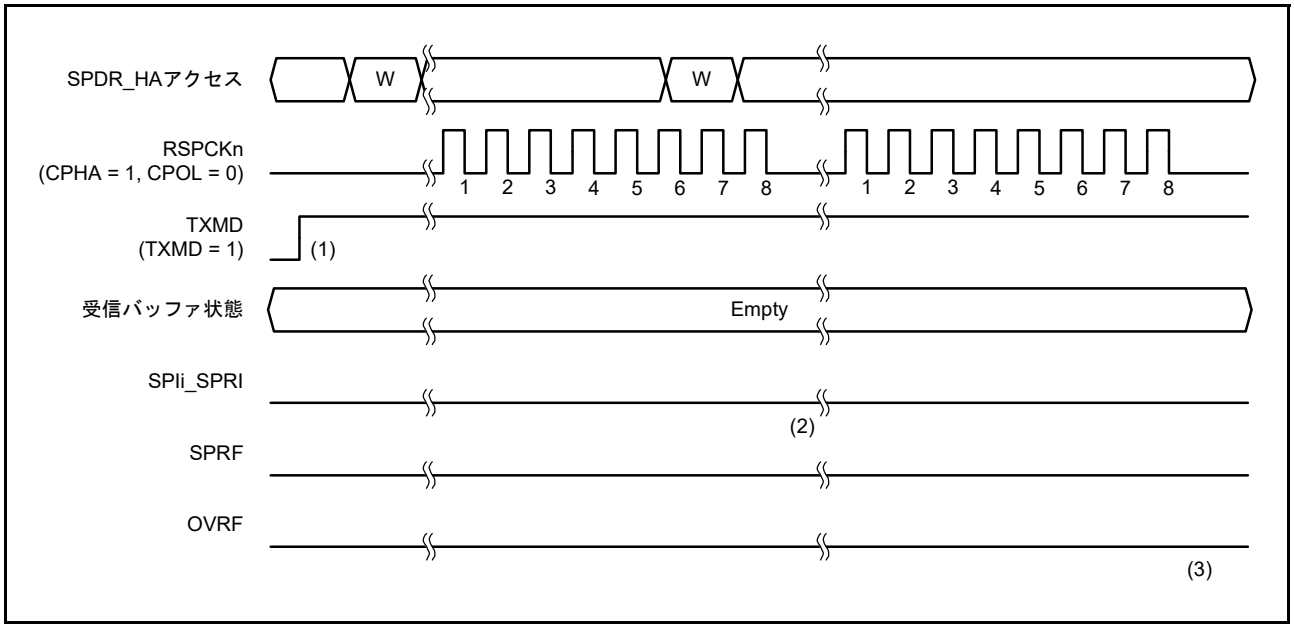


図 38.25 SPCR.TXMD = 1 の動作例

以下に、図中の（1）～（3）に示したタイミングでのフラグ動作を説明します。

1. 送信のみモード（SPCR.TXMD = 1）へ遷移する前に、受信バッファにデータが残っていないこと（SPSR.SPRF フラグ = 0）、および SPSR.OVRF フラグが 0 であることを確認してください。
2. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、送信のみモード（SPCR.TXMD = 1）を選択している場合、SPSR.SPRF フラグは 0 を保持し、SPI はシフトレジスタのデータを受信バッファへコピーしません。
3. SPDR_HA レジスタの受信バッファに以前のシリアル転送の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは 0 を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみモード（SPCR.TXMD = 1）では、SPI はデータを送信しますが、受信しません。そのため、SPSR.SPRF および SPSR.OVRF フラグは（1）～（3）それぞれのタイミングで 0 を保持します。

38.3.7 送信バッファエンプティ／受信バッファフル割り込み

図 38.26 および図 38.27 に、送信バッファエンプティ割り込み（SPIi_SPTI）と受信バッファフル割り込み（SPIi_SPRI）の動作例を示します。これらの図に記載の “SPDR_HA アクセス ” は、SPDR_HA レジスタへのアクセス状況を示しています。“W” はライトサイクル、“R” はリードサイクルを示しています。図 38.26 の例では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 0、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。図 38.27 の例では、SPCR.TXMD ビットが 0、SPDCR.SPFC[1:0] ビットが 00b、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（＝転送ビット数）を示しています。

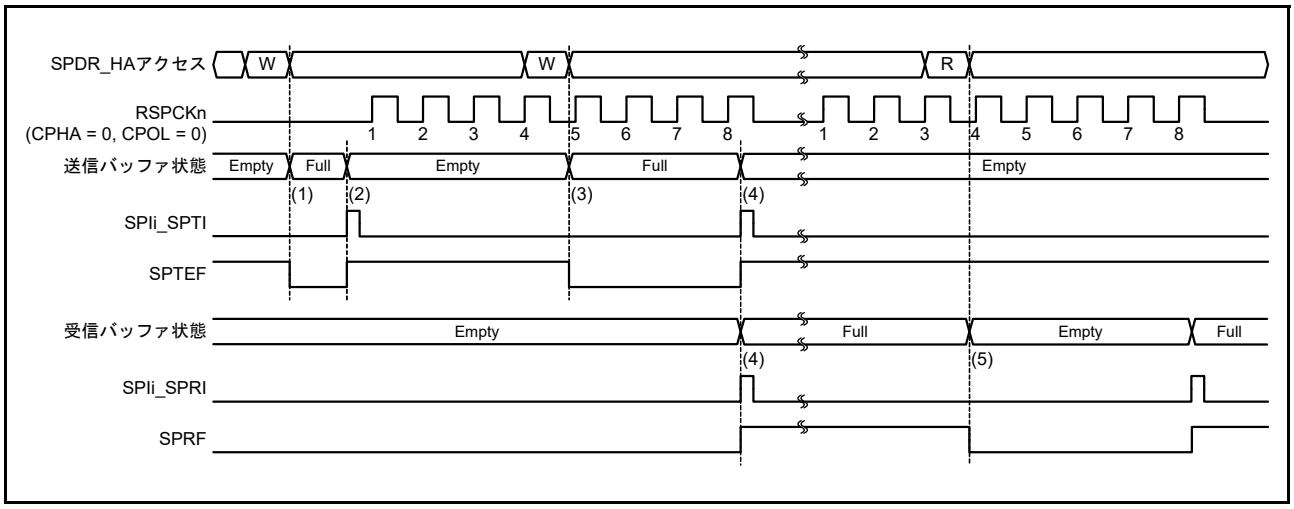


図 38.26 SPIi_SPTI および SPIi_SPRI 割り込みの動作例（CPHA = 0、CPOL = 0）

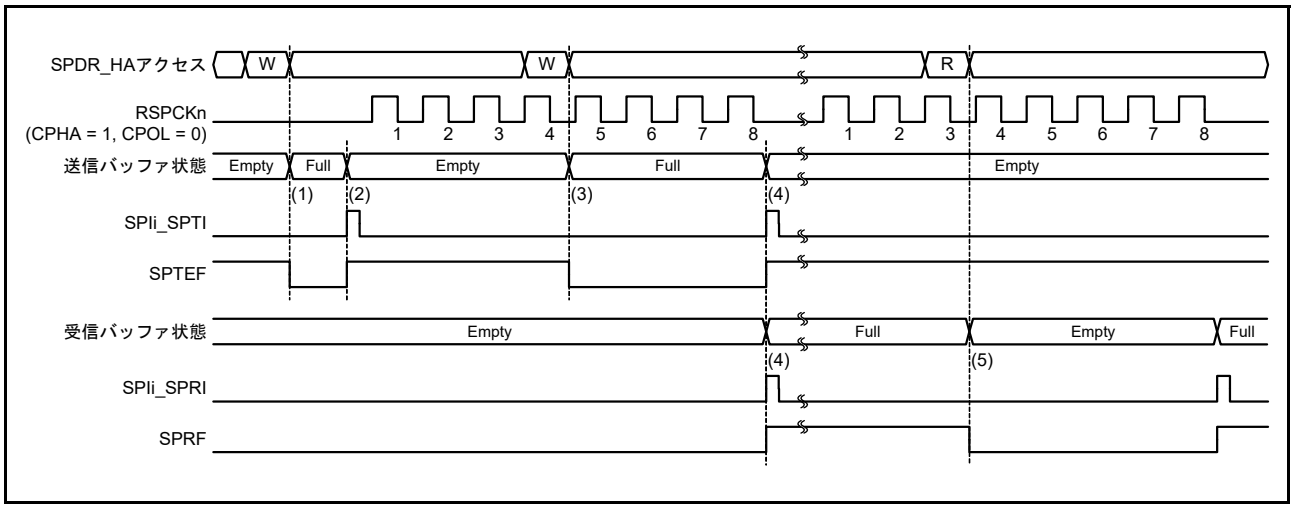


図 38.27 SPIi_SPTI および SPIi_SPRI 割り込みの動作例（CPHA = 1、CPOL = 0）

以下に、図中の（1）～（5）に示したタイミングでの SPI の動作を説明します。

1. SPDR_HA レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを 0 にクリアします。
2. シフトレジスタが空の場合には、SPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求（SPIi_SPTI）を発生させ、SPSR.SPTEF フラグを 1 にします。なお、シリアル転送の開始方法は、SPI のモードに依存します。詳細は、38.3.10 SPI 動作および 38.3.11 クロック同期式動作を参照してください。

3. 送信バッファエンプティ割り込みルーチン、または SPTEF フラグによる送信バッファエンプティ状態の処理で、SPDR_HA レジスタに送信データを書き込むと、SPI は送信バッファにデータを書き込み、SPTEF フラグを 0 にクリアします。シフトレジスタにはシリアル転送中のデータが格納されているため、SPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR_HA レジスタの受信バッファが空の状態でシリアル転送が終了すると、SPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求（SPIi_SPRI）を発生させ、SPRF フラグを 1 にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、SPI が SPTEF フラグを 1 にして、送信バッファのデータをシフトレジスタにコピーします。なお、オーバーランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると、SPI はシフトレジスタが空であると判断し、送信バッファからシフトレジスタへのデータ転送が可能な状態になります。
5. 受信バッファフル割り込みルーチン、または SPRF フラグによる受信バッファフル状態の処理で SPDR_HA レジスタを読み出すと、受信データが読み出せます。

送信バッファに未送信のデータがある（SPTEF フラグが 0 の）状態で、SPDR_HA レジスタへ書き込みが行われた場合には、SPI は送信バッファのデータを更新しません。SPDR_HA レジスタへ書き込みを行う場合は、必ず送信バッファエンプティ割り込み要求を使用するか、または SPTEF フラグによる送信バッファエンプティ割り込み処理を行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR.SPTIE ビットを 1 にしてください。SPI 機能が無効（SPCR.SPE ビットが 0）の場合には、SPTIE ビットを 0 にしてください。

受信バッファフルの状態（SPRF フラグ = 1）で、シリアル転送が終了した場合には、SPI はシフトレジスタから受信バッファへデータをコピーせず、オーバーランエラーを検出します（38.3.8　エラー検出を参照）。受信データのオーバーランエラーを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また、SPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを 1 にしてください。

送信／受信バッファの状態は、送信／受信割り込み、または ICU の関連する IELSRn.IR フラグ（n は割り込みベクタ番号）によって確認できます。

同様に、SPTEF および SPRF フラグによっても、送信／受信バッファの状態を確認できます。割り込みベクタ番号については、「14.　割り込みコントローラユニット（ICU）」を参照してください。

38.3.8 エラー検出

通常の SPI のシリアル転送では、SPDR/SPDR_HA レジスタの送信バッファに書き込んだデータが送信され、受信されたデータを SPDR/SPDR_HA レジスタの受信バッファから読み出すことができます。SPDR/SPDR_HA レジスタにアクセスがあった場合、送信または受信バッファの状態やシリアル転送の開始時または終了時の SPI の状態によっては、通常以外の転送となることがあります。

通常以外の転送動作が発生した場合には、SPI はアンダーランエラー、オーバーランエラー、パリティエラー、またはモードフォルトエラーとして検出します。表 38.8 に、通常以外の転送動作と SPI のエラー検出機能の関係を示します。

表 38.8 通常以外の転送動作と SPI のエラー検出機能の関係

動作	発生条件	SPI 動作	エラー検出
1	送信バッファフルの状態で SPDR/SPDR_HA レジスタに書き込み	• 送信バッファ内容を保持 • 書き込みデータ欠落	なし
2	受信バッファエンプティの状態で SPDR/SPDR_HA レジスタを読み出し	受信バッファ内容および受信済みデータを出力	なし
3	SPI がデータ送信不能のときに、スレーブモードでシリアル転送が開始	• シリアル転送を中断 • 送受信データ欠落 • MISOA 出力信号のドライブ停止 • SPI 機能は無効	アンダーランエラー
4	受信バッファフルの状態で、シリアル転送が終了	• 受信バッファ内容を保持 • 受信データ欠落	オーバーランエラー
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー
6	マルチマスタモードでシリアル転送アイドル時に SSLn0 入力信号アサート	• RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
7	マルチマスタモードでシリアル転送中に SSLn0 入力信号アサート	• シリアル転送を中断 • 送受信データ欠落 • RSPCKn、MOSIn、SSLn1～SSLn3 出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー
8	スレーブモードでシリアル転送中に SSLn0 入力信号ネゲート	• シリアル転送を中断 • 送受信データ欠落 • MISOn 出力信号のドライブ停止 • SPI 機能は無効	モードフォルトエラー

表 38.8 の 1 に示した動作に対しては、SPI はエラーを検出しません。SPDR/SPDR_HA レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR/SPDR_HA レジスタへの書き込みを実行してください（SPSR.SPTEF フラグ = 1 の場合）。

2 に示した動作に対しても、SPI はエラーを検出しません。不要なデータを読み出さないようにするには、SPI 受信バッファフル割り込み要求で SPDR/SPDR_HA レジスタの読み出しを実行するようにしてください（SPSR.SPRF フラグ = 1 の場合）。

表中のその他のエラーについては、下記の節を参照してください。

- アンダーランエラー（動作 3）：38.3.8.4 アンダーランエラー
- オーバーランエラー（動作 4）：38.3.8.1 オーバーランエラー
- パリティエラー（動作 5）：38.3.8.2 パリティエラー
- モードフォルトエラー（動作 6 ～ 8）：38.3.8.3 モードフォルトエラー

送受信の割り込みについては、38.3.7 送信バッファエンプティ／受信バッファフル割り込みを参照してください。

38.3.8.1 オーバーランエラー

SPDR/SPDR_HA レジスタの受信バッファフル状態でシリアル転送が終了すると、SPI はオーバーランエラーを検出して SPSR.OVRF フラグを 1 にします。OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを 0 にするには、OVRF フラグが 1 の状態の SPSR レジスタを CPU が読み出した後に、OVRF フラグに 0 を書いてください。

図 38.28 に、OVRF フラグと SPRF フラグの動作例を示します。この図に記載の “SPSR アクセス ” と “SPDR_HA アクセス ” は、それぞれ SPSR レジスタと SPDR_HA レジスタへのアクセス状況を示しています。“W” はライトサイクル、“R” はリードサイクルを示しています。この例では、SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、RSPCK サイクル数（= 転送ビット数）を示しています。

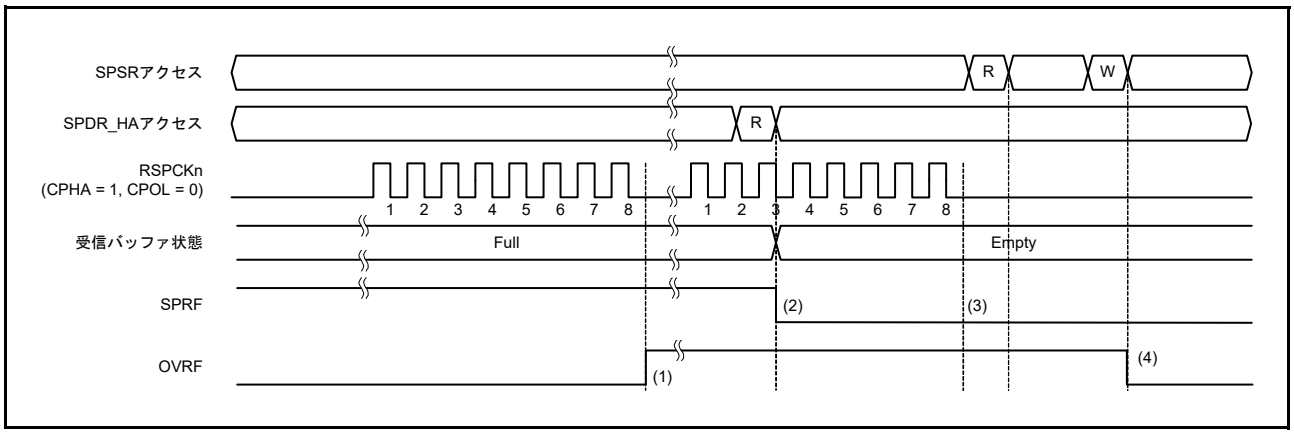


図 38.28 OVRF フラグおよび SPRF フラグの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグ動作を説明します。

1. SPRF フラグが 1（受信バッファフル）の状態でシリアル転送が終了すると、SPI がオーバーランエラーを検出し、OVRF フラグを 1 にします。SPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。マスタモードの場合、SPI は SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。
2. SPDR_HA レジスタを読み出すと、SPI は受信バッファのデータを出力します。その後、SPRF フラグが 0 になります。受信バッファが空になっても、OVRF フラグは 0 になりません。
3. OVRF フラグが 1（オーバーランエラー）の状態でシリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーしません（SPRF フラグは 1 になりません）。受信バッファフル割り込みも発生しません。また、SPPE ビットが 1 であってもパリティエラーの検出は行いません。マスタモードの場合、SPI は SPSSR.SPECM[2:0] ビットを更新しません。オーバーランエラー状態で、SPI がシフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると、SPI はシフトレジスタが空であると判断します。これによって、送信バッファからシフトレジスタへのデータ転送が可能になります。
4. OVRF フラグが 1 の状態で SPSR レジスタを読んだ後、OVRF フラグに 0 を書くと、OVRF フラグは 0 になります。

オーバーランの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する際は、SPDR_HA レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。マスタモード時は、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して OVRF フラグが 1 になると、OVRF フラグが 0 になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 38.29、図 38.30 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

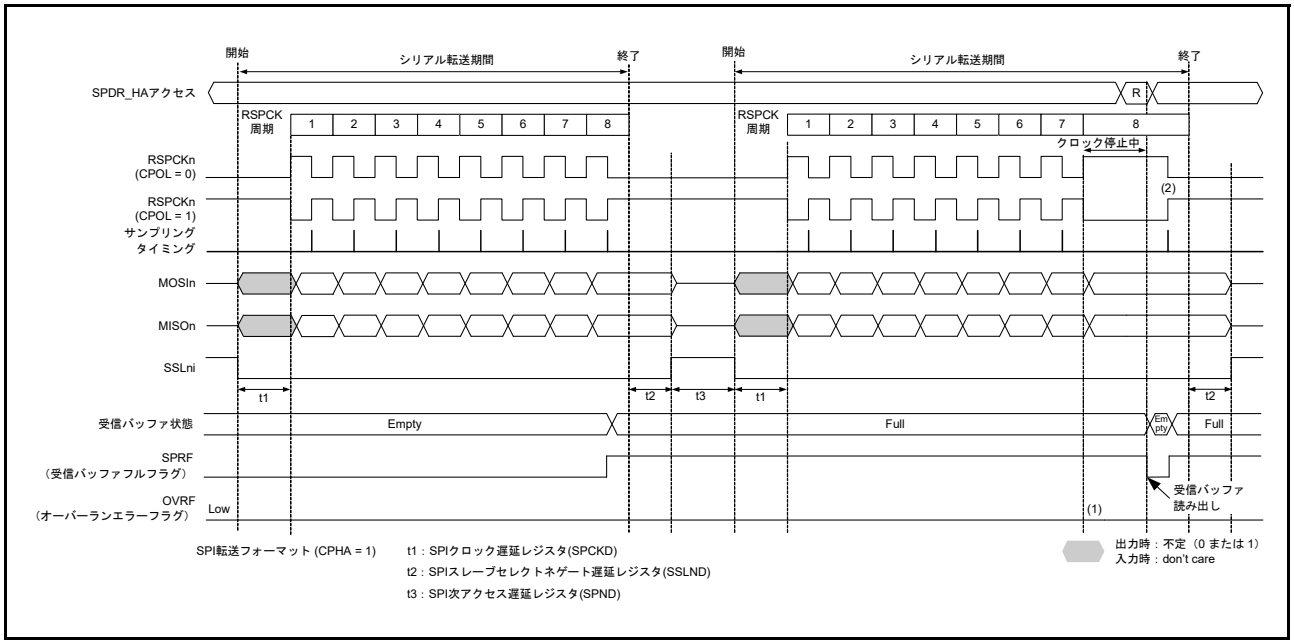


図 38.29　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形（CPHA = 1）

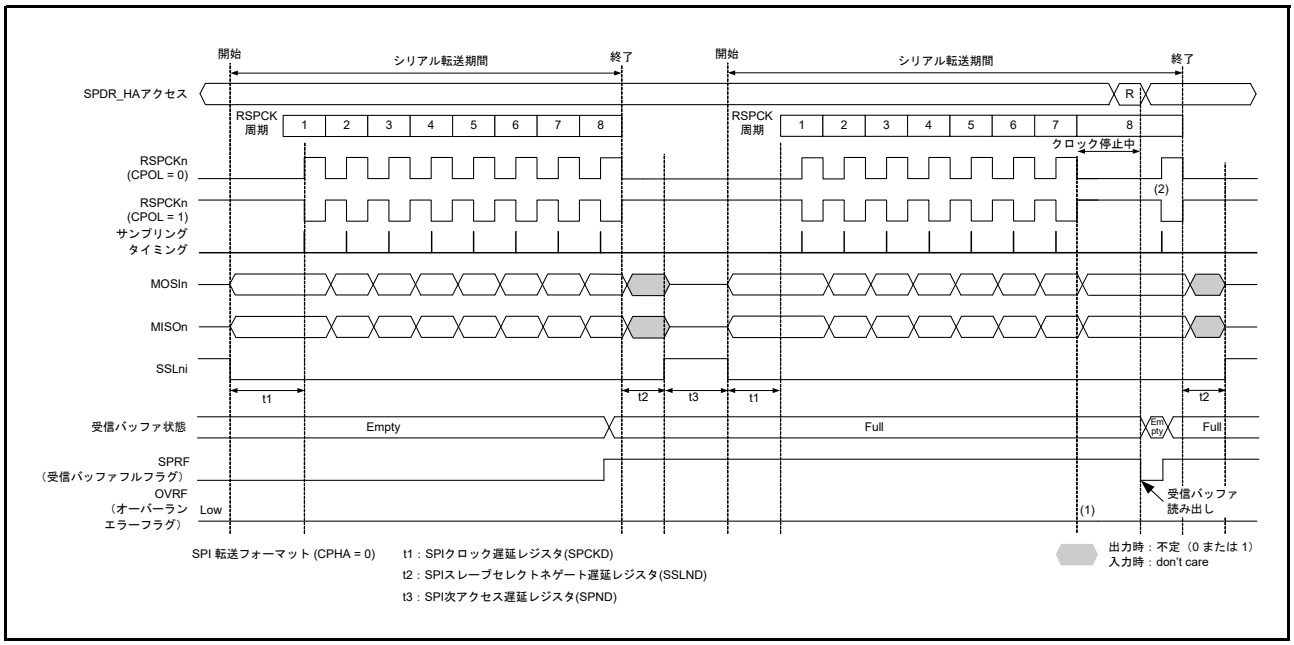


図 38.30　マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形（CPHA = 0）

以下に、図中の（1）、（2）に示したタイミングでのフラグ動作を説明します。

1. 受信バッファフルの場合は、RSPCK クロックが停止するためオーバーランエラーは発生しません。
2. クロック停止中に SPDR_HA レジスタを読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後（SPSR.SPRF フラグが 0 になった後）、RSPCK クロックが再開します。

38.3.8.2 パリティエラー

SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で、全二重同期式シリアル通信を行い、転送が終了すると、SPI はパリティエラーの判定を行います。SPI は、受信データにパリティエラーを検出すると、SPSR.PERF フラグを 1 にします。SPSR.OVRF フラグが 1 の状態では、SPI はシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを 0 にするには、PERF フラグが 1 の状態の SPSR レジスタを読んだ後、PERF フラグに 0 を書いてください。

図 38.31 に、OVRF フラグと PERF フラグの動作例を示します。図 38.31 に記載の “SPSR アクセス ” は、SPSR レジスタへのアクセス状況を示しています。“W” はライトサイクル、“R” はリードサイクルを示しています。この例では、SPCR.TXMD ビットが 0、SPCR2.SPPE ビットが 1 の状態で全二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが 1、SPCMDm.CPOL ビットが 0 の設定で、SPI が 8 ビットのシリアル転送を実行しています。RSPCKn 波形の下に記載した数字は、転送ビット数などの RSPCK サイクル数を示しています。

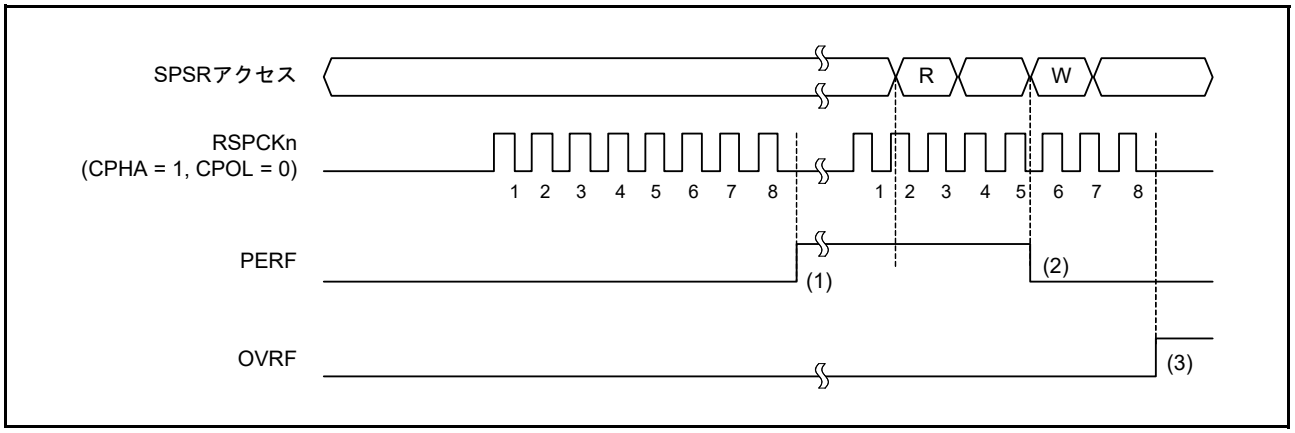


図 38.31 PERF フラグの動作例

以下に、図中の（1）～（3）に示したタイミングでのフラグ動作を説明します。

1. SPI がオーバーランエラーを検出せず、シリアル転送が終了すると、SPI はシフトレジスタのデータを受信バッファにコピーします。このとき、SPI が受信データをチェックし、パリティエラーを検出すると PERF フラグを 1 にします。マスタモードの場合、SPI は SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。
2. PERF フラグが 1 の状態で SPSR レジスタを読んだ後、PERF フラグに 0 を書くと、PERF フラグは 0 になります。
3. SPI がオーバーランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、SPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合は、このような方法でパリティエラー発生を早期に検出できるようにしてください。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

38.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが 1、SPCR.SPMS ビットが 0、SPCR.MODFEN ビットが 1 の場合には、SPI はマルチマスタモードで動作します。マルチマスタモードの SPI の SSLn0 入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、SPI はモードフォルトエラーを検出して SPSR.MODF フラグを 1 にします。SPI はモードフォルトエラーを検出すると、SPCMDm レジスタに対するポインタの値を SPSSR.SPECM[2:0] ビットにコピーします。なお、SSLn0 信号のアクティブレベルは、SSLP.SSL0P ビットによって決定されます。

MSTR ビットが 0 の場合には、SPI はスレーブモードで動作します。スレーブモードの SPI の MODFEN ビットが 1、SPMS ビットが 0 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSLn0 入力信号がネゲートされると、SPI はモードフォルトエラーを検出します。

SPI はモードフォルトエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします（38.3.9 SPI の初期化を参照）。マルチマスタ構成では、モードフォルトエラーの検出によって、出力信号のドライブと SPI 機能を停止させ、マスタであることを解除できます。

モードフォルトエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにモードフォルトエラーを検出するには、SPSR レジスタをポーリングする必要があります。SPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にしてください。

38.3.8.4 アンダーランエラー

SPCR.MSTR ビットが 0（スレーブモード）、SPCR.SPE ビットが 1、送信データが用意されていない状態でシリアル転送が開始すると、SPI はアンダーランエラーを検出します。その後、SPI は SPSR.MODF および SPSR.UDRF フラグを 1 にします。

SPI はアンダーランエラーを検出すると、出力信号のドライブを停止して、SPCR.SPE ビットを 0 にクリアします（38.3.9 SPI の初期化を参照）。

アンダーランエラーの発生は、SPSR レジスタの読み出し、あるいは SPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。SPI エラー割り込みを利用せずにアンダーランエラーを検出するには、SPSR レジスタをポーリングする必要があります。

MODF フラグが 1 の状態では、SPI は SPE ビットへの 1 の書き込みを無視します。アンダーランエラー検出後に SPI 機能を有効にするには、MODF フラグを 0 にクリアしてください。

38.3.9 SPI の初期化

SPCR.SPE ビットに 0 を書いた場合、あるいは SPI がモードフォルトエラーまたはアンダーランエラーを検出して SPE ビットを 0 にした場合は、SPI は SPI 機能を無効にして、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、SPI はモジュール機能をすべて初期化します。以下では、SPCR.SPE ビットのクリアによる初期化と、システムリセットによる初期化について説明します。

38.3.9.1 SPE ビットのクリアによる初期化

SPCR.SPE ビットを 0 にしたとき、SPI は以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- SPI 内部ステートの初期化
- SPI 送信バッファの初期化（SPSR.SPTEF フラグが 1 になる）

SPE ビットのクリアによる初期化では、SPI の制御ビットは初期化されません。このため、再度 SPE ビットを 1 にすると、初期化前と同じ転送モードで SPI を起動できます。

SPSR.SPRF、SPSR.OVRF、SPSR.MODF、SPSR.PERF、および SPSR.UDRF フラグの値は初期化されません。また、SPI シーケンスステータスレジスタ（SPSSR）の値も初期化されません。このため、SPI の初期化後も受信バッファからデータを読み出すことで、SPI 転送時のエラー発生状況を確認できます。

送信バッファは空の状態に初期化されます（SPSR.SPTEF フラグが 1 になります）。このため、SPI 初期化後に SPCR.SPTIE ビットを 1 にしていると、送信バッファエンプティ割り込みが発生します。SPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するには、SPE ビットへ 0 を書くと同時に、SPTIE ビットにも 0 を書いてください。

38.3.9.2 システムリセット

システムリセットによる初期化では、38.3.9.1 SPE ビットのクリアによる初期化に記載の事項に加え、すべての SPI 制御用ビット、ステータスビット、およびデータレジスタが初期化され、SPI が完全に初期化されます。

38.3.10 SPI 動作

38.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出の有無のみです（38.3.8 エラー検出を参照）。SPI は、シングルマスタモードではモードフォルトエラーを検出しませんが、マルチマスタモードでは検出します。以下では、シングル／マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

SPI 送信バッファが空き（次転送データがセットされておらず、SPSR.SPTEF フラグが 1）の状態で、SPI データレジスタ（SPDR/SPDR_HA）へデータを書き込むと、SPI は送信バッファ（SPTX）のデータを更新します。SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータを、SPDR/SPDR_HA レジスタへ書き込んだ後、シフトレジスタが空の場合は、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。SPI はシフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更します。シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。

(2) シリアル転送の終了

SPCMDm.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空（SPSR.SPRF フラグ＝0）の場合には、シリアル転送終了後に、SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値で決まります。SSLni 出力端子の極性は、SSLP レジスタの設定値で決まります。SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタでは、以下の項目を設定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCK 極性／位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPCKD レジスタ（SPI クロック遅延）、SSLND レジスタ（SSL ネゲート遅延）、SPND レジスタ（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部／全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各

データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスの最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするため、シーケンスが繰り返し実行されます。

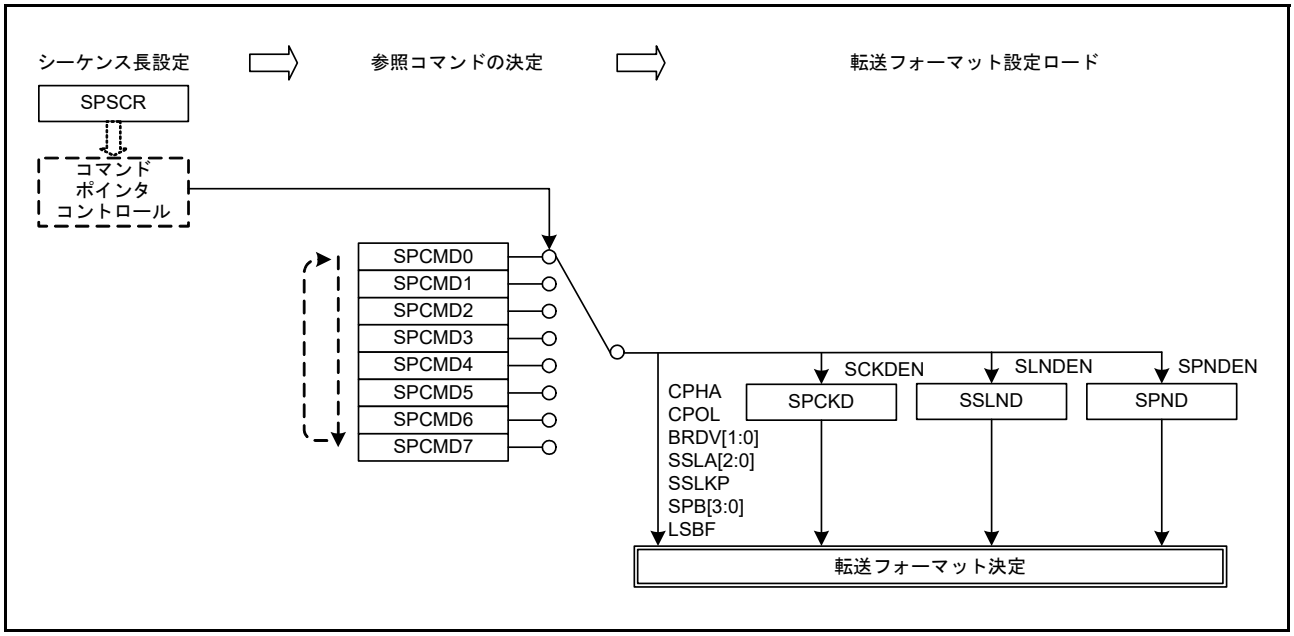


図 38.32　　マスタモードでのシリアル転送方式の決定方法

ここでは、データ（SPDR/SPDR_HA）と設定（SPCMDm）の 2 つを合わせてフレームとします。

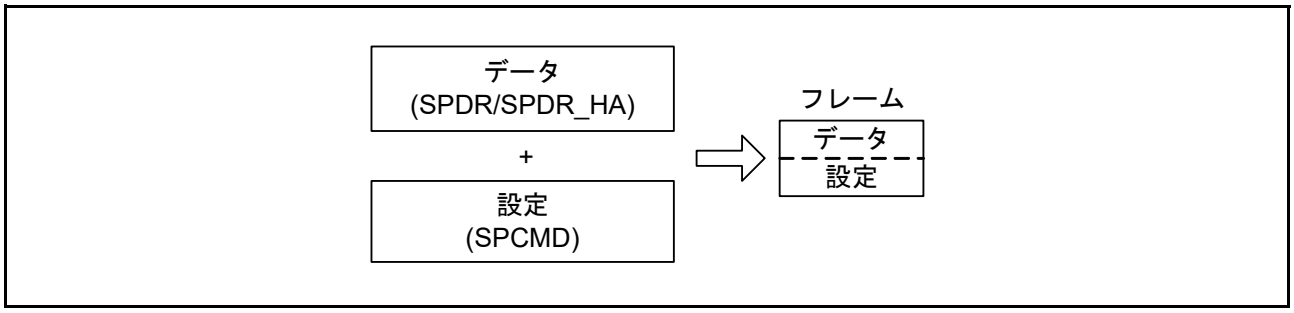


図 38.33　　フレームの概念図

表 38.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの対応関係を図 38.34 に示します。

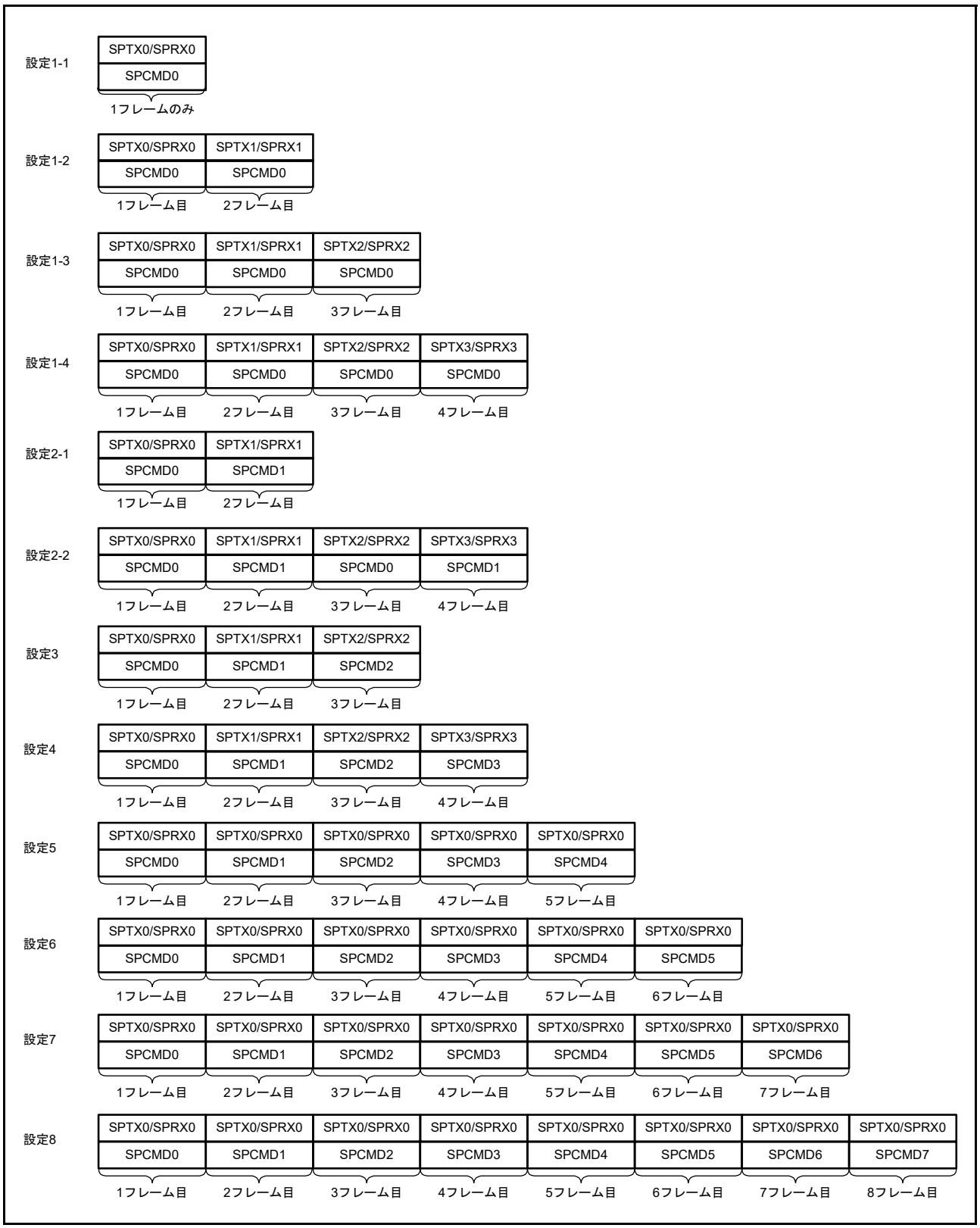


図 38.34 シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4) バースト転送

SPI が現在のシリアル転送で参照している SPCMDm.SSLKP ビットが 1 の場合には、SPI はシリアル転送中の SSLni 信号レベルを次のシリアル転送の SSLni 信号アサート開始まで保持します。次のシリアル転送での SSLni 信号レベルが、現在のシリアル転送での SSLni 信号レベルと同じであれば、SPI は SSLni 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 38.35 に、SPCMD0 および SPCMD1 レジスタの設定値を使用してバースト転送を実現した場合の SSLni 信号の動作例を示します。以下では、図 38.35 に示す（1）～（7）の SPI 動作内容について説明します。

注 . SSLni 出力信号の極性は、SSLP レジスタの設定値で決まります。

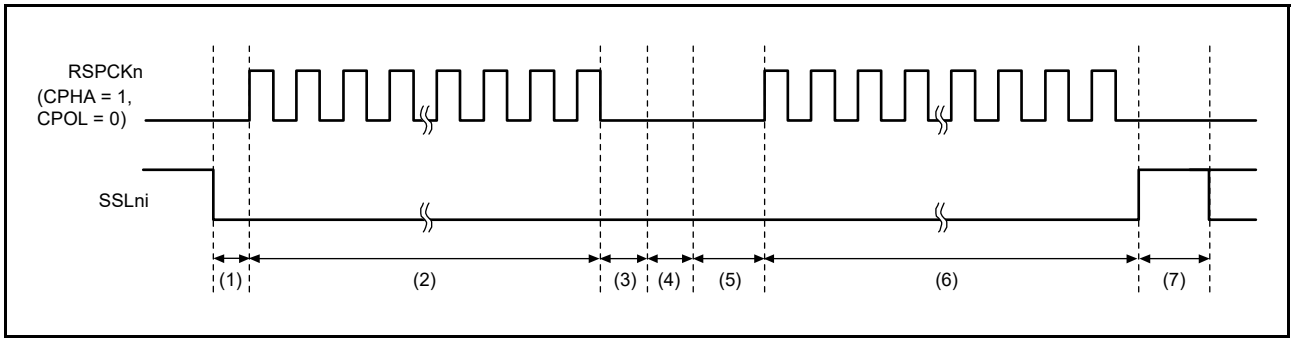


図 38.35 SSLKP ビットを利用したバースト転送の動作例

図中の（1）～（7）に示したタイミングでの SPI の動作は以下の通りです。

1. SPI は、SPCMD0 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
2. SPI は、SPCMD0 レジスタの設定値に従ってシリアル転送を実行します。
3. SPI は、SSL ネゲート遅延を挿入します。
4. SPCMD0.SSLKP ビットが 1 であるため、SPI は SPCMD0 レジスタで指定した SSLni 信号値を保持します。この期間は、最短でも SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間が経過してもシフトレジスタが空の場合は、次転送のための送信データがシフトレジスタに格納されるまで、この期間は継続します。
5. SPI は、SPCMD1 レジスタの設定値に従って SSLni 信号をアサートし、RSPCK 遅延を挿入します。
6. SPI は、SPCMD1 レジスタの設定値に従ってシリアル転送を実行します。
7. SPCMD1.SSLKP ビットが 0 であるため、SPI は SSLni 信号をネゲートします。また、SPCMD1 レジスタに従って次アクセス遅延を挿入します。

SSLKP ビットを 1 にした SPCMDm レジスタでの SSLni 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLni 信号出力設定が異なる場合、SPI は図 38.35 の（5）で示すように、SSLni 信号状態を SSLni 信号アサートに切り替えます。この SSLni 信号は次転送のコマンドに対応しています。

注 . このような SSLni 信号の切り替えが発生した場合、MISOn 信号をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があります。

マスタモードの SPI は、SSLKP ビットを使用しない場合は、SSLni 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが 0 であると、SPI は内部で検出した次転送の SSLni 信号のアサートを使用してシリアル転送を正確に開始できます。

(5) RSPCK 遅延（t1）

マスタモードの SPI の RSPCK 遅延値は、SPCMDm.SCKDEN ビットの設定と SPCKD レジスタの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SCKDEN ビットと SPCKD レジスタを使用して、表 38.9 のように RSPCK 遅延値を決定します。なお、RSPCK 遅延の定義については、38.3.5 転送フォーマットを参照してください。

表 38.9 SCKDEN ビット、SPCKD レジスタ、RSPCK 遅延の関係

SPCMDm.SCKDEN ビット	SPCKD.SCKDL[2:0] ビット	RSPCK 遅延
0	000b ～ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(6) SSL ネゲート遅延（t2）

マスタモードの SPI の SSL ネゲート遅延値は、SPCMDm.SLNDEN ビットの設定と SSLND レジスタの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SLNDEN ビットと SSLND レジスタを使用して、表 38.10 のように SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、38.3.5 転送フォーマットを参照してください。

表 38.10 SLNDEN ビット、SSLND レジスタ、SSL ネゲート遅延の関係

SPCMDm.SLNDEN ビット	SSLND.SLNDL[2:0] ビット	SSL ネゲート遅延
0	000b ～ 111b	1RSPCK
1	000b	1RSPCK
	001b	2RSPCK
	010b	3RSPCK
	011b	4RSPCK
	100b	5RSPCK
	101b	6RSPCK
	110b	7RSPCK
	111b	8RSPCK

(7) 次アクセス遅延（t3）

マスタモードの SPI の次アクセス遅延値は、SPCMDm.SPNDEN ビットの設定と SPND レジスタの設定で決まります。SPI は、ポインタ制御によってシリアル転送中に参照する SPCMDm レジスタを決定し、SPCMDm.SPNDEN ビットと SPND レジスタを使用して、表 38.11 のようにシリアル転送時の次アクセス遅延値を決定します。なお、次アクセス遅延の定義については、38.3.5 転送フォーマットを参照してください。

表 38.11 SPNDEN ビット、SPND レジスタ、次アクセス遅延の関係

SPCMDm.SPNDEN ビット	SPND.SPNDL[2:0] ビット	次アクセス遅延
0	000b～111b	1RSPCK + 2PCLKA
1	000b	1RSPCK + 2PCLKA
	001b	2RSPCK + 2PCLKA
	010b	3RSPCK + 2PCLKA
	011b	4RSPCK + 2PCLKA
	100b	5RSPCK + 2PCLKA
	101b	6RSPCK + 2PCLKA
	110b	7RSPCK + 2PCLKA
	111b	8RSPCK + 2PCLKA

(8) 初期化フロー

図 38.36 に、SPI をマスタモードで使用する場合の SPI 動作の初期化フロー例を示します。なお、割り込みコントローラユニット（ICU）、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

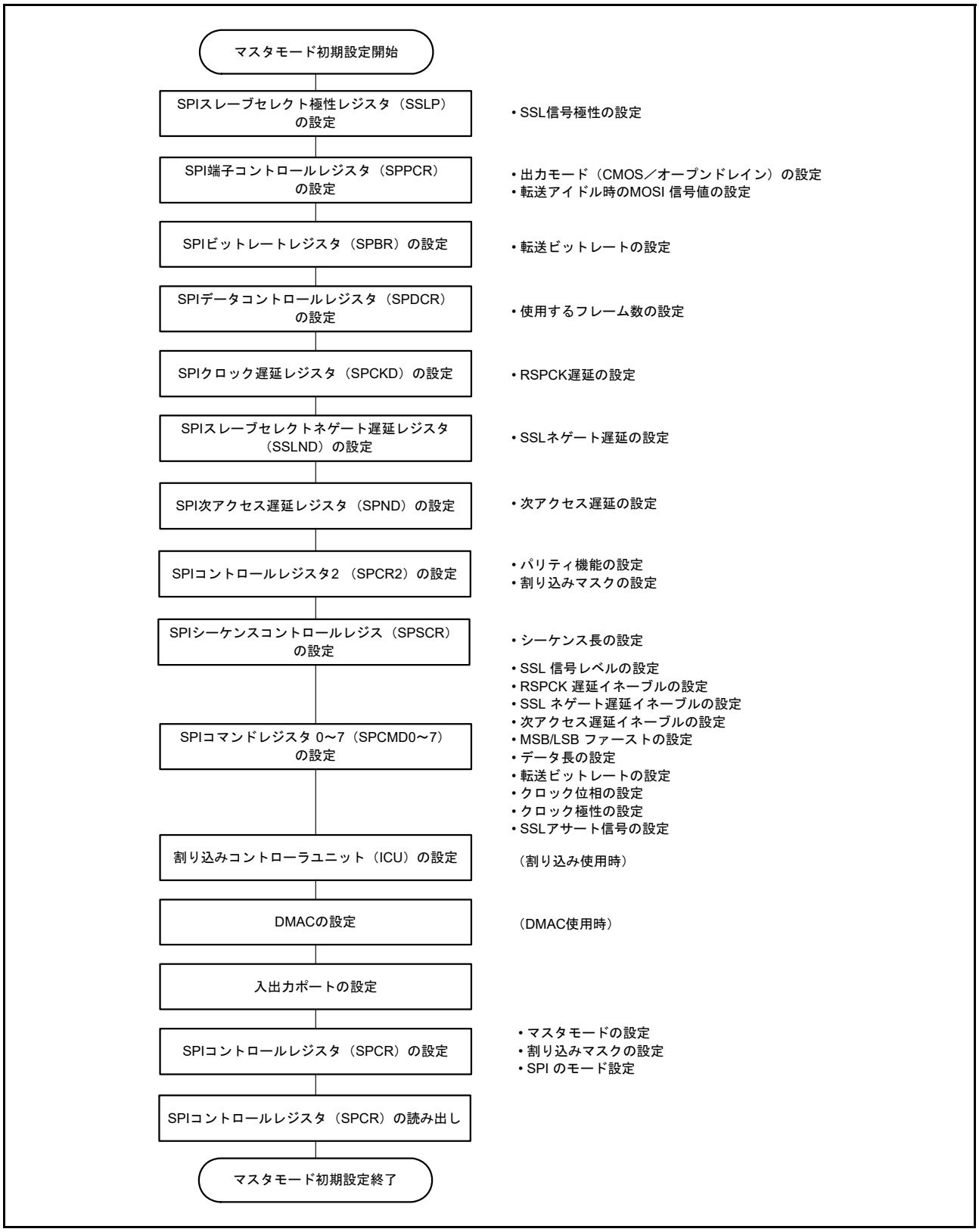


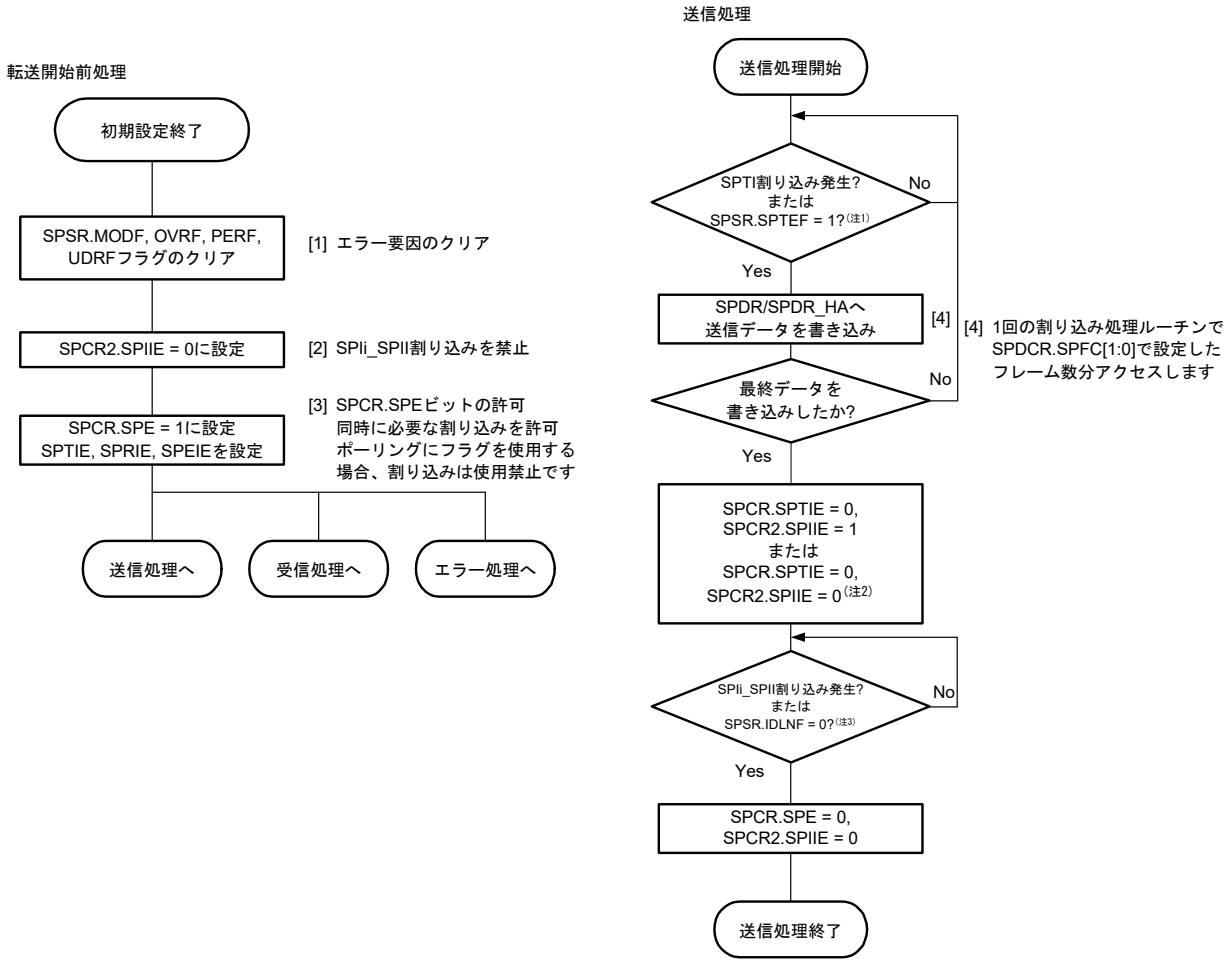
図 38.36 マスタモード時の SPI 動作の初期化フロー例

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 38.37 ～図 38.39 に示します。

(a) 送信処理フロー

データの送信時、SPIi_SPII 割り込みが許可されていれば、最終データの書き込み完了後に、データ送信完了が CPU に通知されます。



注 1. ポーリングにフラグを使用する場合、SPSR.SPTEF フラグで送信バッファが空であることを確認してから SPDR/SPDR_HA への送信データ書き込み処理を行ってください。
注 2. ポーリング用のフラグを使用中の場合、アイドル割り込みを設定することはできません (SPCR2.SPIIE = 0)。
注 3. ポーリング用のフラグを使用中の場合、SPDR への送信データを書き込んだ後と、PSR.IDLNF のポーリングを開始する前に 1PCLKA の時間を待ってください。

図 38.37 マスタモードでの送信フロー

(b) 受信処理フロー

SPI は受信のみの動作を行わないため、送信を必要とします。

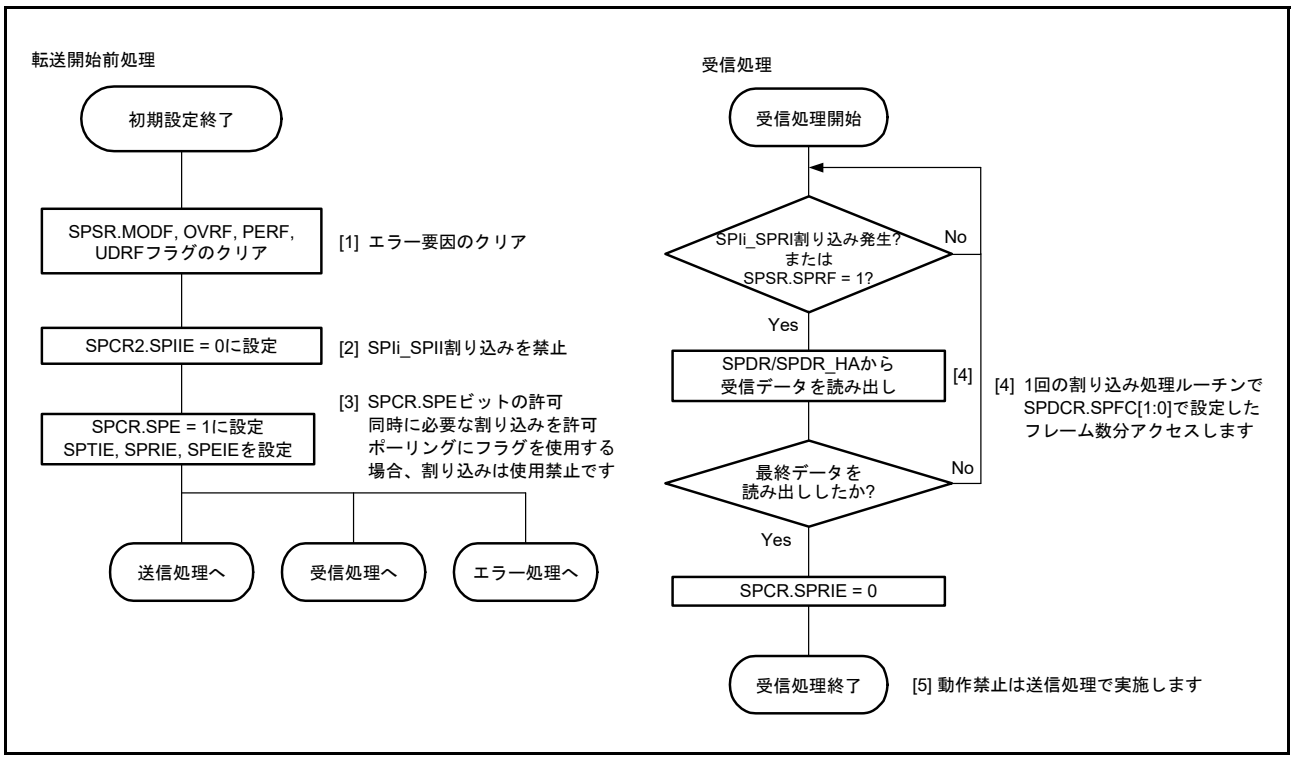


図 38.38 マスタモードでの受信フロー

(c) エラー処理フロー

SPI は、モードフォルトエラー、アンダーランエラー、オーバーランエラー、およびパリティエラーの検出を行います。モードフォルトエラー発生時は、SPCR.SPE ビットが自動的にクリアされ、送信／受信動作を停止させます。その他のエラー要因では、SPCR.SPE ビットはクリアされず、送信／受信動作は継続します。そのため、モードフォルトエラー以外のエラーの場合は、SPCR.SPE ビットをクリアし、動作を停止することが推奨されます。動作を停止しないと、SPSSR.SPECM[2:0] ビットが更新されます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに SPIi_SPTI または SPIi_SPRI 割り込み要求が保持されている可能性があります。また、SPIi_SPRI 割り込み要求が保持されている場合は、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

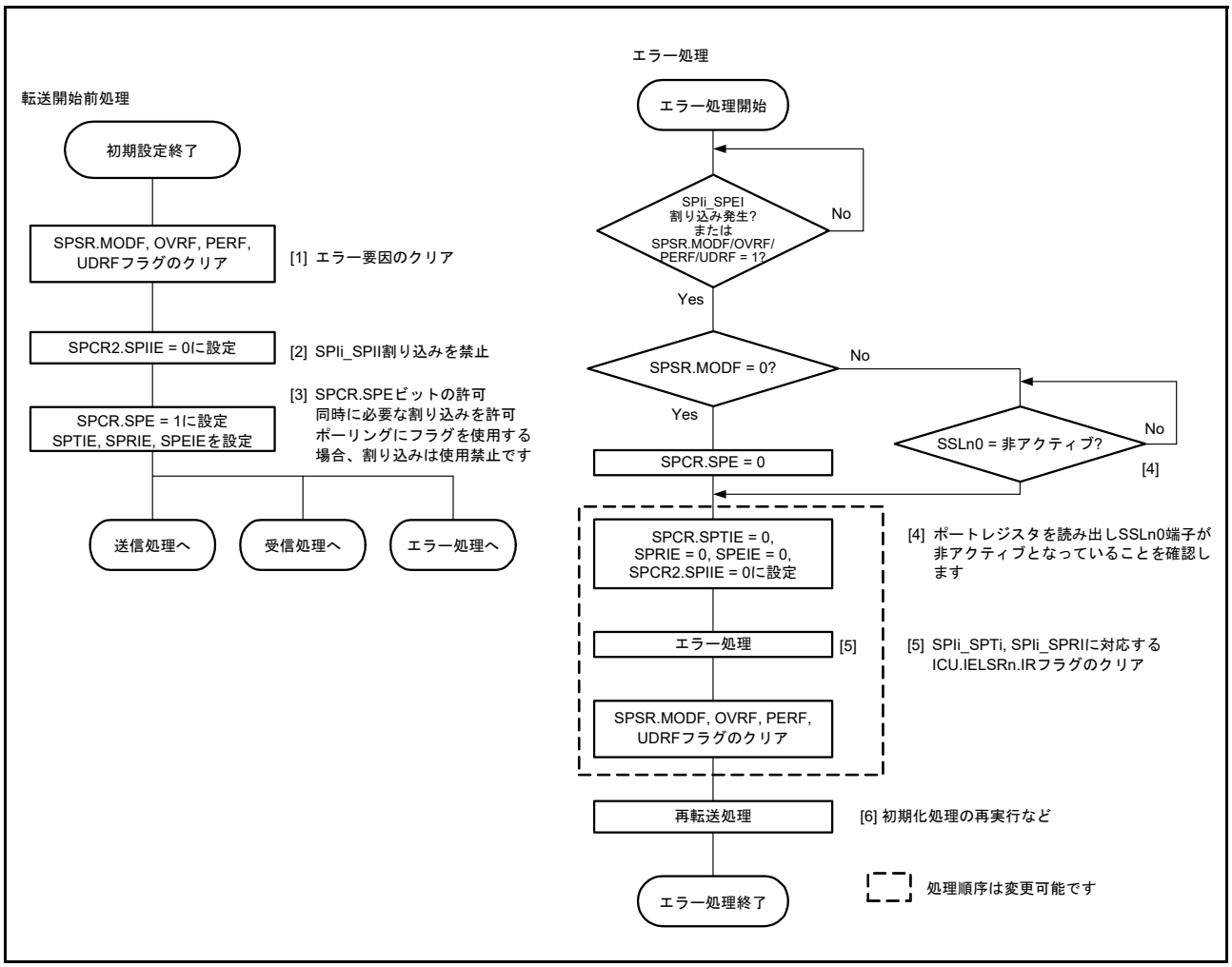


図 38.39 マスタモードでのエラー処理フロー

38.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートを検出すると、MISOn 出力信号への有効データのドライブを実行する必要があります。このため、CPHA ビットが 0 の場合には、SSLn0 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、SPI は SSLn0 入力信号のアサート状態で最初の RSPCKn エッジを検出すると、MISOn 出力信号への有効データのドライブを実行する必要があります。このため、CPHA ビットが 1 の場合には、SSLn0 信号アサート状態における最初の RSPCKn エッジがシリアル転送開始のトリガになります。

CPHA ビットの設定にかかわらず、SPI は SSLn0 信号のアサート時に、MISOn 出力信号のドライブを実行します。CPHA ビットの設定によって、SPI が出力するデータの有効／無効が異なります。

SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。SSLn0 入力信号の極性は、SSLP.SSL0P ビットの設定値で決まります。

(2) シリアル転送の終了

SPCMD0.CPHA ビットの設定にかかわらず、SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファが空（SPSR.SPRF フラグ = 0）の場合には、シリアル転送の終了後、SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。シリアル転送開始からシリアル転送終了までの間に SPI が SSLn0 入力信号のネゲートを検出すると、モードフォルトエラーが発生します（38.3.8 エラー検出を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SSLn0 入力信号の極性は、SSLP.SSL0P ビットの設定値で決まります。SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。

(3) シングルスレーブ動作時の注意点

SPCMD0.CPHA ビットが 0 の場合、SPI は SSLn0 入力信号のアサートエッジを検出するとシリアル転送を開始します。図 38.7 の例に示したような構成で SPI をシングルスレーブモードで使用する場合は、SSLn0 入力信号がアクティブ状態に固定されます。そのため、CPHA ビットを 0 に設定した SPI では、シリアル転送を正しく開始できません。SSLn0 入力信号がアクティブ状態に固定されているときに、スレーブモードの SPI の送受信を正しく実行するには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合は、SSLn0 入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが 1 であれば、SSLn0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが 1 の場合、シリアル転送期間は、SSLn0 入力信号アクティブ状態における最初の RSPCKn エッジから、最終ビット受信のためのサンプリングタイミングまでとなります。SSLn0 入力信号がアクティブレベルのままであっても、SPI はアクセスの開始を検出できるため、バースト転送に対応できます。

CPHA ビットが 0 の場合、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 38.40 に、SPI をスレーブモードで使用する場合の SPI 動作の初期化フロー例を示します。なお、割り込みコントローラユニット（ICU）、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

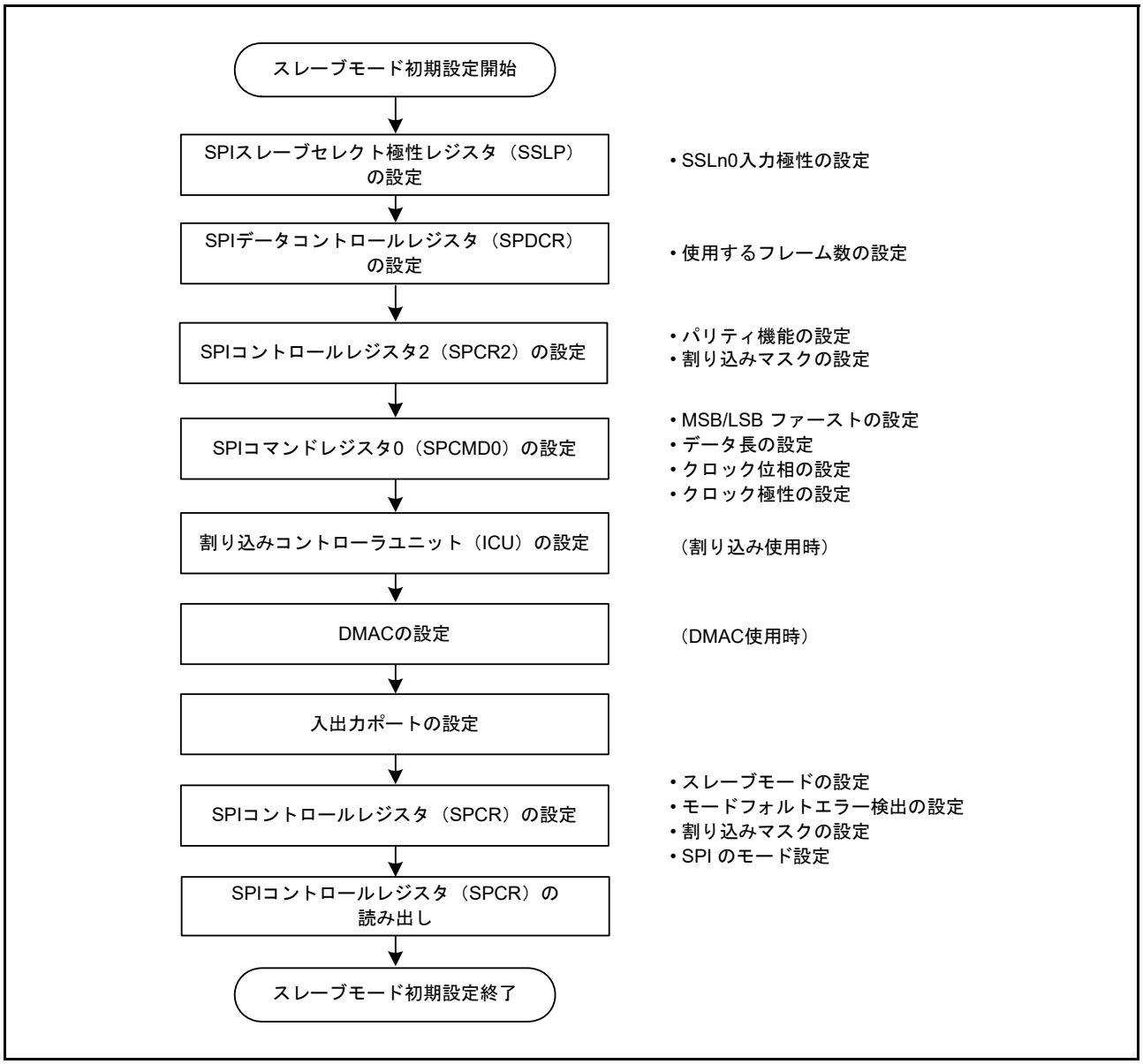
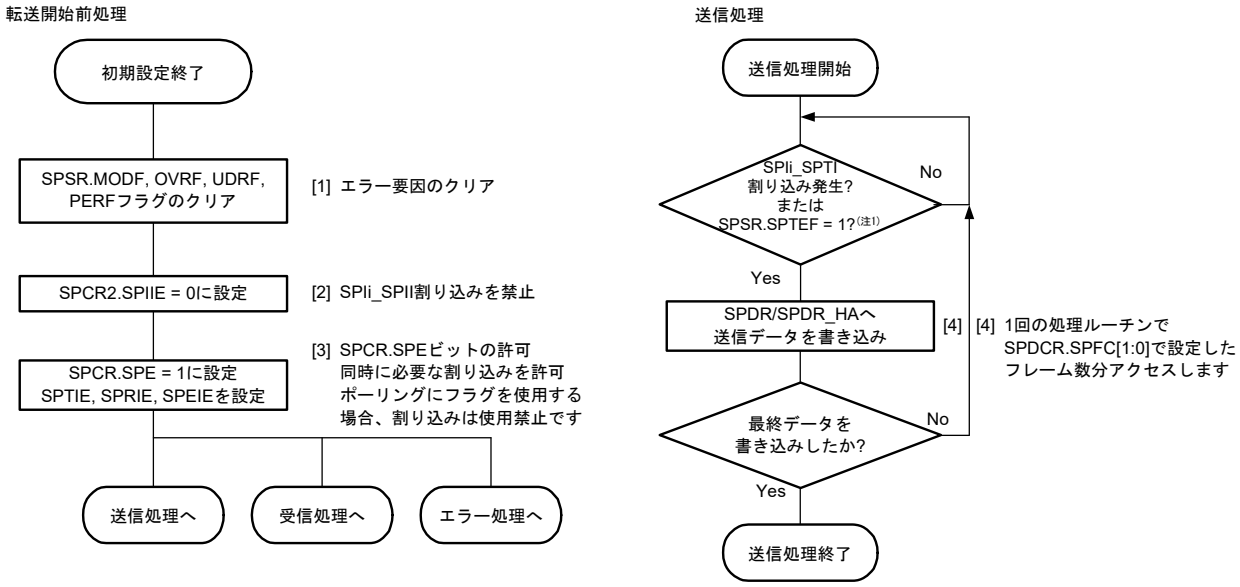


図 38.40 スレーブモード時の SPI 動作の初期化フロー例

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 38.41 ～図 38.43 に示します。

(a) 送信処理フロー



注 1. ポーリングにフラグを使用する場合、SPSR.SPTEF フラグで送信バッファが空であることを確認してから SPDR/SPDR_HA への送信データ書き込み処理を行ってください。

図 38.41 スレーブモードでの送信フロー

(b) 受信処理フロー

SPI は受信のみの動作を行わないため、送信を必要とします。

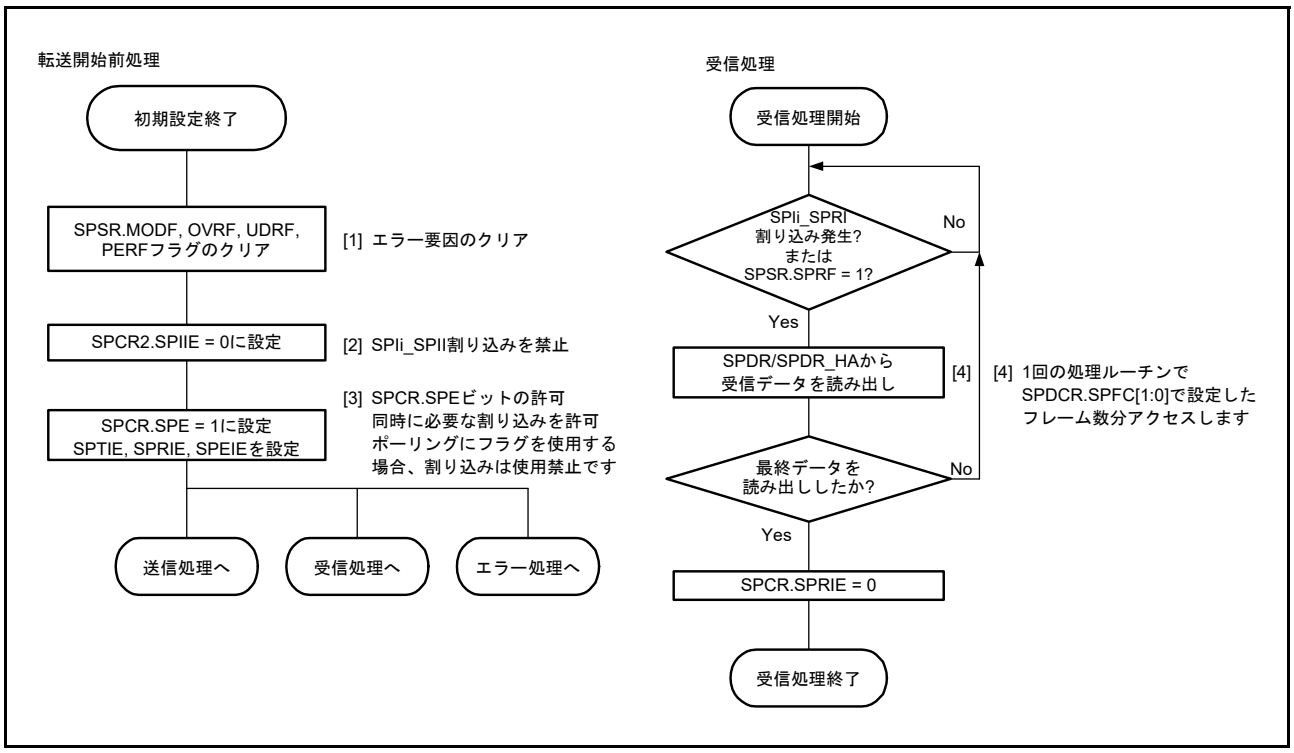


図 38.42 スレーブモードでの受信フロー

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても、SSLn0 端子の状態にかかわらず SPSR.MODF フラグをクリアすることができます。

割り込みによるエラー検出時は、エラー処理ルーチンにて ICU.IELSRn.IR フラグをクリアしてください。クリアしないと、ICU.IELSRn.IR フラグに SPIi_SPTI または SPIi_SPRI 割り込み要求が保持されている可能性があります。また、SPIi_SPRI 割り込み要求が保持されている場合は、受信バッファを読み出して SPI の内部シーケンサを初期化してください。

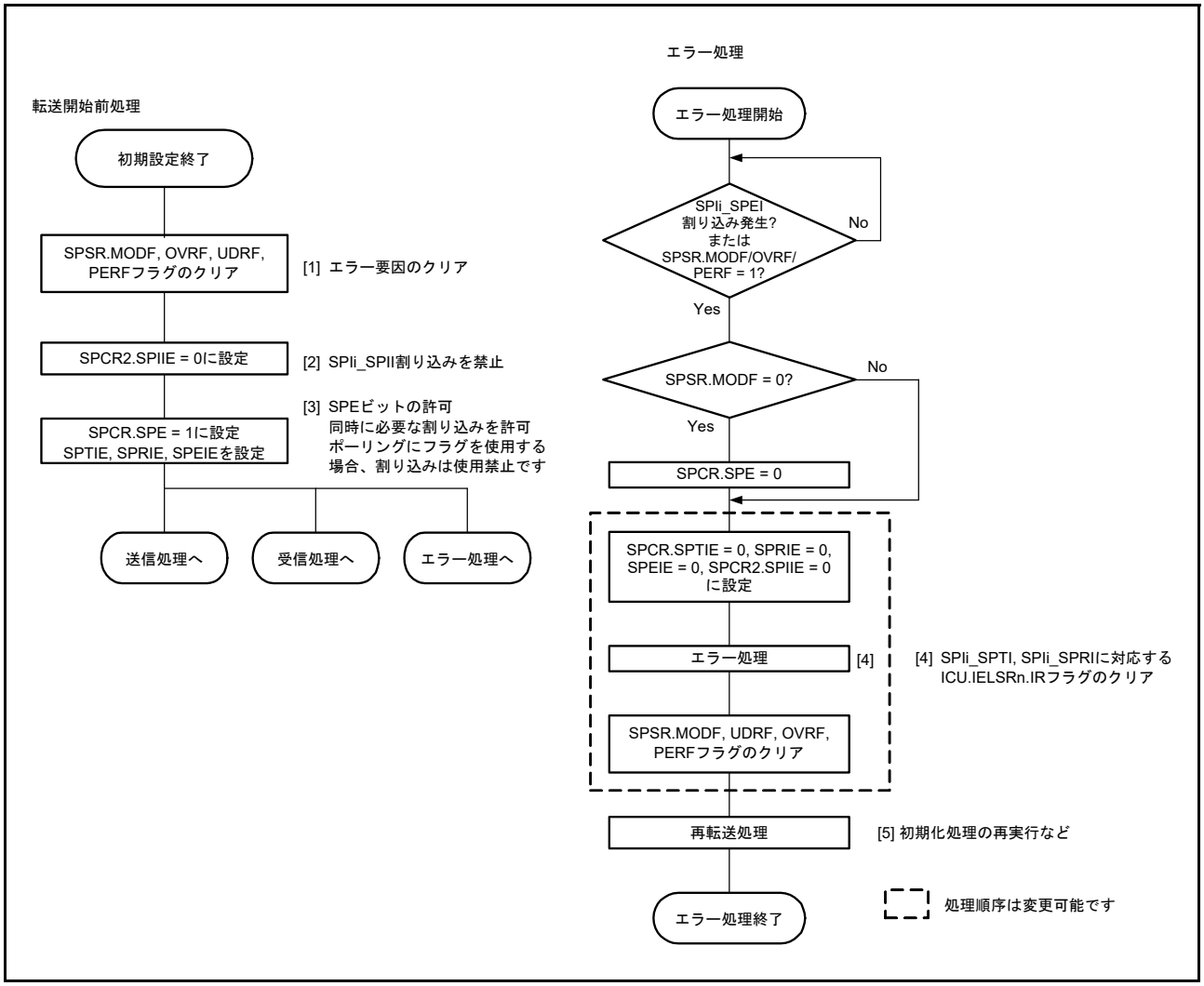


図 38.43 スレーブモードでのエラー処理フロー

38.3.11 クロック同期式動作

SPI は、SPCR.SPMS ビットが 1 であるとき、クロック同期式動作となります。クロック同期式動作は、SSLni 端子を使用せず、RSPCKn、MOSIn、および MISOn 端子を用いて通信を行います。SSLni 端子はすべて入出力ポート端子として使用することができます。

クロック同期式動作は、SSLni 端子を使用せずに通信を行いますが、モジュールの動作は SPI 動作と同様です。マスタ動作とスレーブ動作のいずれにおいても、SPI 動作時と同様のフローで通信を行うことができます。ただし、SSLni 端子を使用しないので、モードフォルトエラーは検出されません。

また、クロック同期式動作では、スレーブモード時（SPCR.MSTR = 0）に SPCMDm.CPHA ビットを 0 にした場合の動作を行わないでください。

38.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空（次転送のデータがセットされておらず、SPSR.SPTEF フラグが 1）の状態で、SPDR/SPDR_HA レジスタへデータを書くと、SPI は SPDR/SPDR_HA レジスタの送信バッファ（SPTX）のデータを更新します。SPDCR.SPFC[1:0] ビットで設定したフレーム数分のデータを、SPDR/SPDR_HA レジスタへ書き込んだ後、シフトレジスタが空の場合は、SPI は送信バッファのデータをシフトレジスタにコピーしてシリアル送信を開始します。SPI は、シフトレジスタに送信データをコピーすると、シフトレジスタのステータスを「フル」に変更し、シリアル転送が終了すると、シフトレジスタのステータスを「空」に変更します。シフトレジスタのステータスを参照することはできません。

クロック同期式動作時は、SSLn0 出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。

(2) シリアル転送の終了

SPI はサンプリングタイミングに対応する RSPCKn エッジを送出するとシリアル転送を終了します。受信バッファが空（SPSR.SPRF フラグ = 0）の場合には、シリアル転送終了後に SPI はシフトレジスタから SPI データレジスタ（SPDR/SPDR_HA）の受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードの SPI のデータ長は、SPCMDm.SPB[3:0] ビットの設定値で決まります。クロック同期式動作時は、SSLn0 出力信号を用いずに転送を行います。SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、および SPND レジスタによって決定されます。クロック同期式動作時は、SSLni 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードの SPI で実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタでは、以下の項目を指定します。

- SSLni 端子の出力信号値
- MSB/LSB ファースト
- データ長
- ビットレート設定の一部
- RSPCKn 極性／位相
- SPCKD レジスタの参照要否
- SSLND レジスタの参照要否
- SPND レジスタの参照要否

SPBR レジスタは、SPCKD レジスタ（SPI クロック遅延）、SSLND レジスタ（SSL ネゲート遅延）、SPND レジスタ（次アクセス遅延）などの、ビットレート設定の一部を保持しています。

SPI は、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部／全部からなるシーケンスを構成します。SPI には、シーケンスを構成している SPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットを 1 にして SPI 機能を有効にすると、SPI はコマンドに対するポインタを SPCMD0 レジスタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。SPI は、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、SPI はポインタを SPCMD0 レジスタにセットするので、シーケンスが繰り返し実行されます。

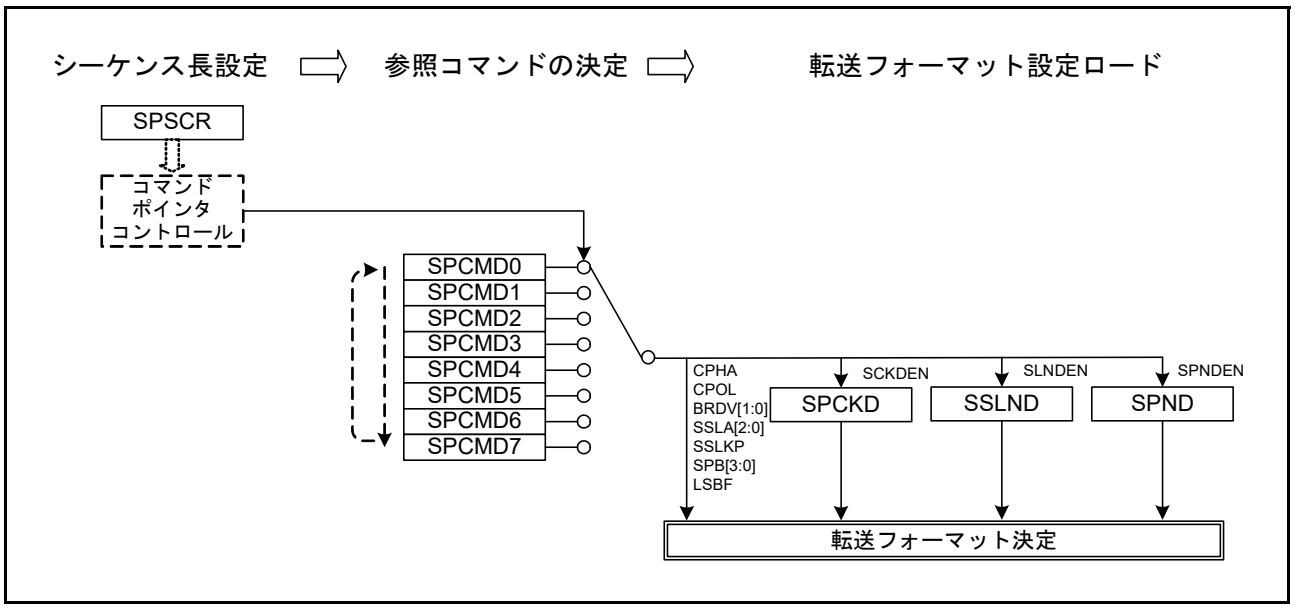


図 38.44　　マスタモードでのシリアル転送方式の決定方法

ここでは、データ（SPDR/SPDR_HA）と設定（SPCMDm）の 2 つを合わせてフレームとします。

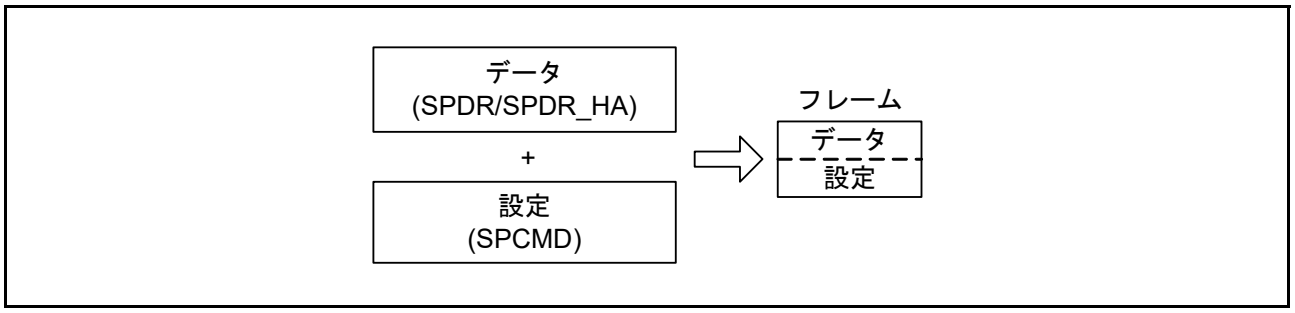


図 38.45　　フレームの概念図

表 38.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ／受信バッファの対応関係を図 38.46 に示します。

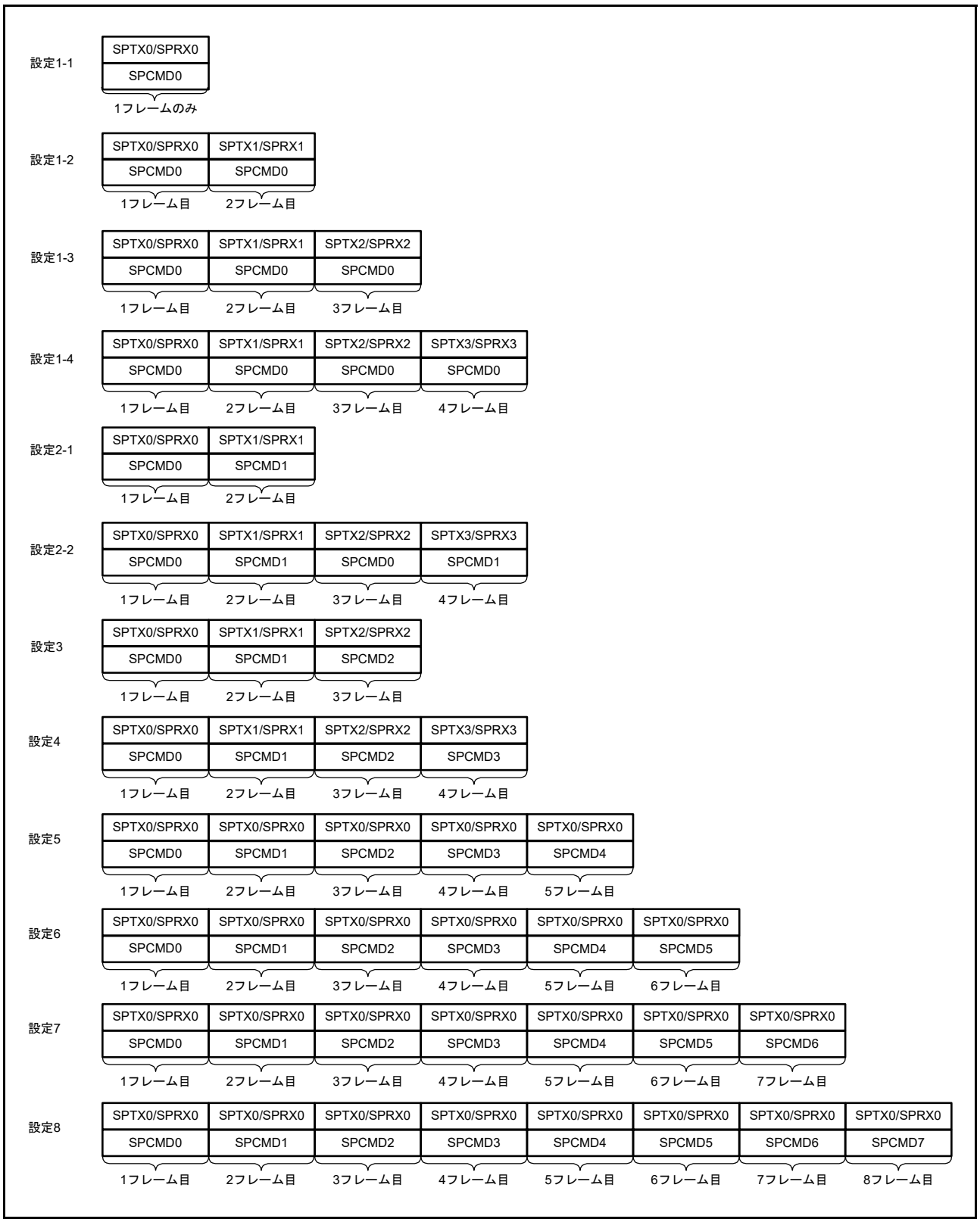


図 38.46 シーケンス動作時の SPI コマンドレジスタと送受信バッファの対応関係

(4) 初期化フロー

図 38.47 に、SPI をマスタモードで使用する場合のクロック同期式動作の初期化フローの例を示します。なお、割り込みコントローラユニット（ICU）、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

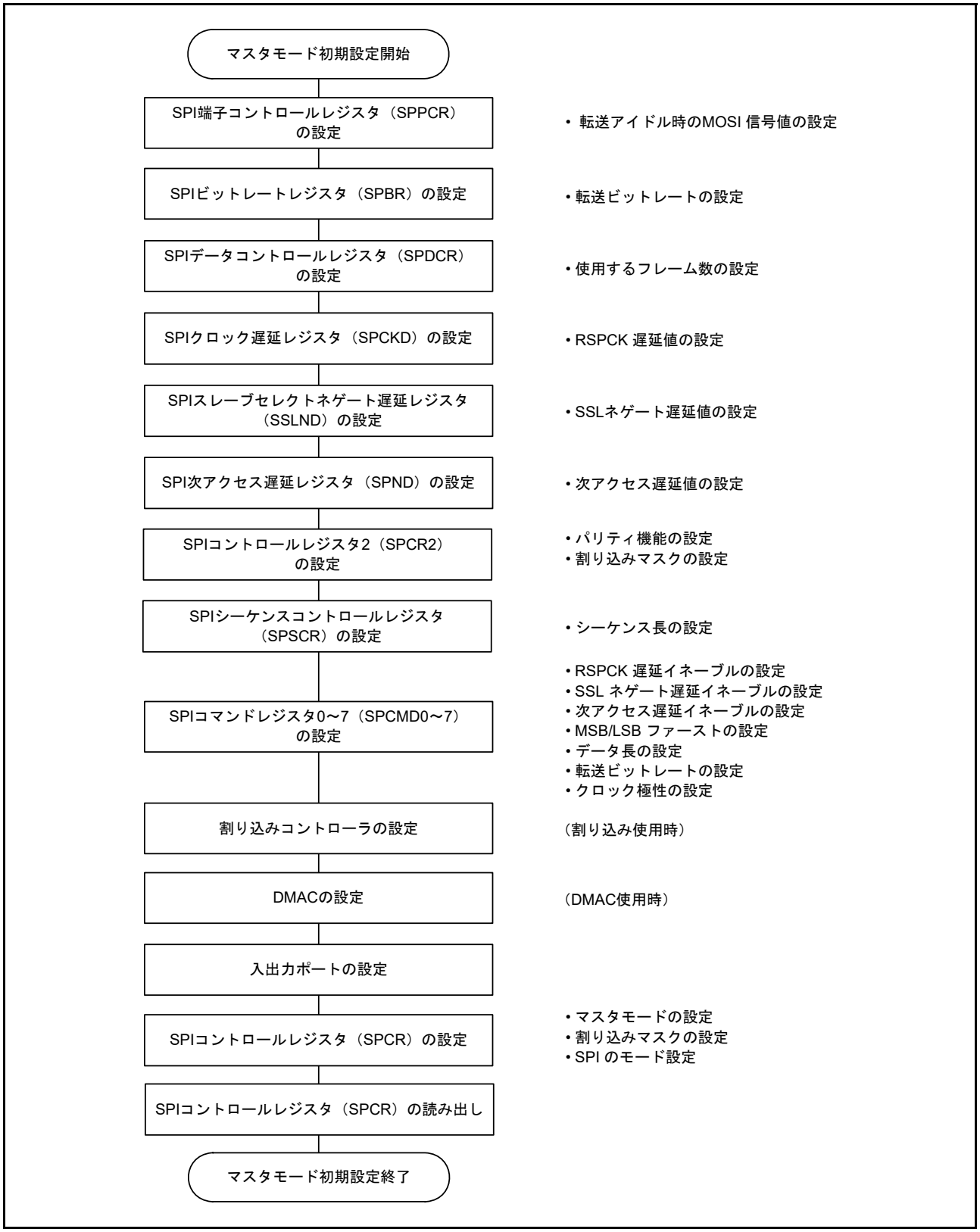


図 38.47 マスタモード時のクロック同期式動作の初期化フロー例

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモードでのソフトウェア処理は、SPI 動作時のマスタモードでのソフトウェア処理と同様になります。詳細は、38.3.10.1 マスタモード動作の (9) ソフトウェア処理フローを参照してください。クロック同期式動作では、モードフォルトエラーは発生しません。

38.3.11.2 スレーブモード動作

(1) シリアル転送の開始

SPCR.SPMS ビットが 1 であるとき、最初の RSPCKn エッジが SPI のシリアル転送開始のトリガになり、SPI は MISOn 出力信号をドライブします。クロック同期式動作時は SSLn0 入力信号を使用しません。SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。

(2) シリアル転送の終了

SPI は最終サンプリングタイミングに対応する RSPCKn エッジを検出するとシリアル転送を終了します。受信バッファが空（SPSR.SPRF フラグ = 0）の場合には、シリアル転送終了後に SPI はシフトレジスタから SPDR/SPDR_HA レジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、SPI はシリアル転送の終了時にシフトレジスタの状態を「空」に変更します。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードの SPI のデータ長は SPCMD0.SPB[3:0] ビットの設定値で決まります。SPI の転送フォーマットの詳細については、38.3.5 転送フォーマットを参照してください。

(3) 初期化フロー

図 38.48 に、SPI をスレーブモードで使用する場合のクロック同期式動作の初期化フロー例を示します。なお、割り込みコントローラユニット（ICU）、DMAC、および入出力ポートの設定方法については、各ブロックの説明を参照してください。

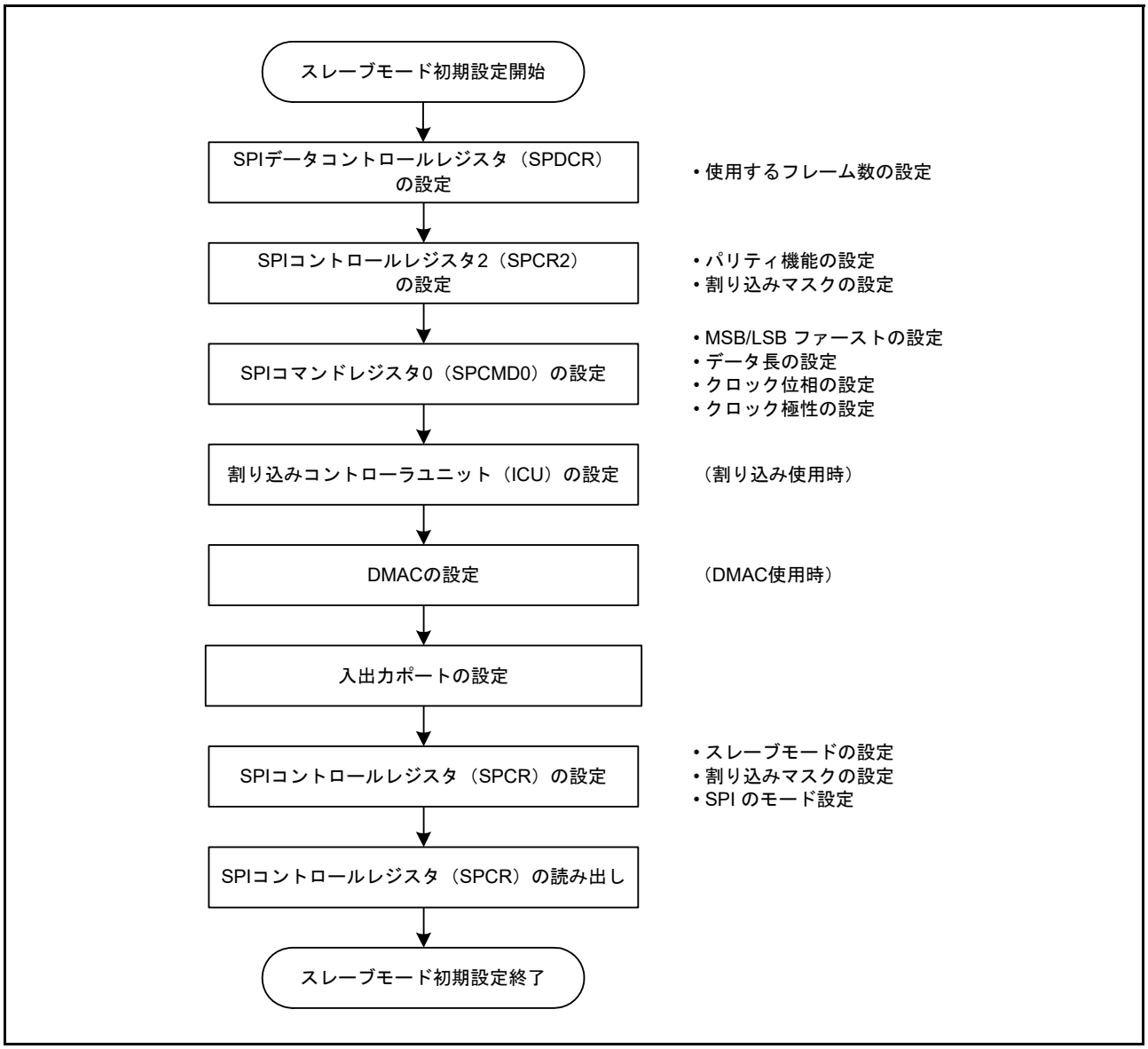


図 38.48 スレーブモード時のクロック同期式動作の初期化フロー例

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモードでのソフトウェア処理は、SPI 動作時のスレーブモードでのソフトウェア処理と同様になります。詳細は、38.3.10.2 スレーブモード動作の (6) ソフトウェア処理フローを参照してください。クロック同期式モードでは、モードフォルトエラーは発生しません。

38.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPPCR.SPLP ビットに 1 を書き込むと、SPI は、SPCR.MSTR ビットが 1 であれば、MISOn 端子とシフトレジスタ間の経路を遮断し、SPCR.MSTR ビットが 0 であれば、MOSIn 端子とシフトレジスタ間の経路を遮断して、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが 1 であれば、SPI は MOSIn 端子とシフトレジスタ間の経路を遮断せず、SPCR.MSTR ビットが 0 であれば、MISOn 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、SPI の送信データまたは送信データの反転が SPI の受信データになります。

表 38.12 に、SPLP2 ビット、SPLP ビット、および受信データの関係を示します。また、図 38.49 に、マスタモードの SPI をループバックモード（SPPCR.SPLP2 = 1、SPPCR.SPLP = 0 または 1）に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 38.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIn 端子または MISOn 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

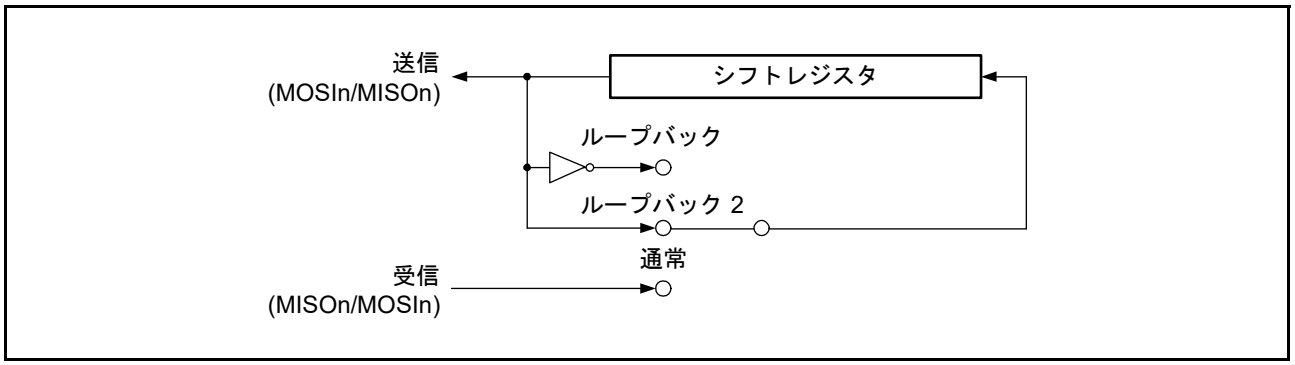


図 38.49 ループバックモード時のシフトレジスタ入出力経路の構成（マスタモード）

38.3.13 パリティビット機能の自己診断

パリティ回路は、送信データに対するパリティ付加部と、受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するため、図 38.50 に示すフローに従って、パリティ回路の自己診断が実行されます。

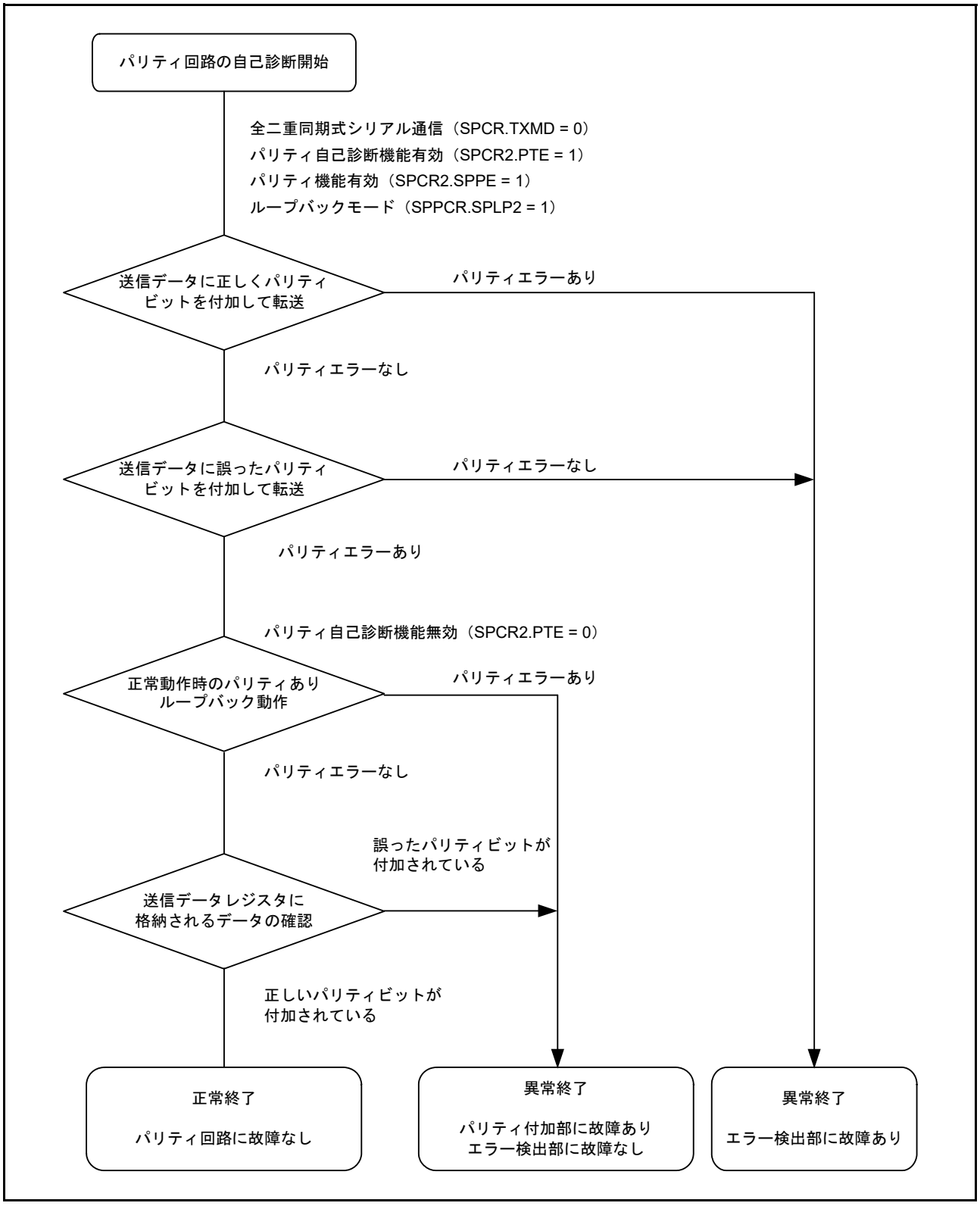


図 38.50 パリティ回路の自己診断フロー

38.3.14 割り込み要因

SPI には以下の割り込み要因があります。

- 受信バッファフル
- 送信バッファエンプティ
- SPI エラー（モードフォルト、アンダーラン、オーバーラン、パリティエラー）
- SPI アイドル
- 送信終了

受信バッファフルまたは送信バッファエンプティ割り込みによって DTC または DMAC を起動し、データ転送を行うことが可能です。

SPIi_SPEI（SPI エラー割り込み）のベクタアドレスが、モードフォルト、アンダーラン、オーバーラン、パリティエラー時の割り込み要求に割り付けられるため、実際の割り込み要因は、フラグから判断する必要があります。表 38.13 に SPI の割り込み要因を示します。表 38.13 のいずれかの割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因に対しては、データ転送でクリアしてください。

DTC または DMAC を使用して送受信を行う場合、最初に DTC または DMAC を転送許可状態に設定してから SPI の設定を行ってください。DTC または DMAC の設定については、それぞれ「17. DMA コントローラ（DMAC）」と「18. データトランスファコントローラ（DTC）」を参照してください。

ICU.IELSRn.IR フラグが 1 の状態で、送信バッファエンプティ割り込みまたは受信バッファフル割り込みの発生条件が生じても、ICU に対して割り込み要求は出力されず、内部で保持されます（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IELSRn.IR フラグが 0 になると、保持されていた割り込み要求が出力されます。保持されていた割り込み要求が出力されると、その割り込み要求は自動的に破棄されます。また、内部で保持されている割り込み要求は、対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にすることでクリアできます。

表 38.13 SPIの割り込み要因

割り込み要因	シンボル	割り込み条件	DMAC/DTC起動
受信バッファフル	SPIi_SPRI	SPCR.SPRIEビットが1の状態で受信バッファフル（SPSR.SPRFフラグ = 1）になったとき	可能
送信バッファエンプティ	SPIi_SPTI	SPCR.SPTIEビットが1の状態で送信バッファエンプティ（SPSR.SPTEFフラグ = 1）になったとき	可能
SPIエラー（モードフォルト、アンダーラン、オーバーラン、パリティエラー）	SPIi_SPEI	SPCR.SPEIEビットが1の状態でSPSR.MODF、SPSR.OVRF、SPSR.PERF、またはSPSR.UDRFフラグが1になったとき	不可能
SPIアイドル	SPIi_SPII	SPCR2.SPIIEビットが1の状態でSPSR.IDLNFフラグが0になったとき	不可能
送信終了	SPIi_SPTEND	• マスタモード時：IDLNFフラグ（SPIアイドルフラグ）が1から0になると割り込みが発生 • スレーブモード時：表 38.15に示す条件で割り込みが発生	不可能

38.4 イベントリンクコントローラ（ELC）への出力

ELC は、下記のイベント出力信号を生成することができます。

- 受信バッファフルイベント出力
- 送信バッファエンプティイベント出力
- モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力
- SPI アイドルイベント出力
- 送信完了イベント出力

イベントリンク出力信号は、割り込み許可ビットの設定に関係なく出力されます。

38.4.1 受信バッファフルイベント出力

このイベント信号は、シリアル転送の終了時に、受信したデータがシフトレジスタから SPDR/SPDR_HA レジスタへ転送されたときに出力されます。

38.4.2 送信バッファエンプティイベント出力

このイベント信号は、送信用のデータが送信バッファからシフトレジスタへ転送されたとき、および SPE ビットの値が 0 から 1 に変化したときに出力されます。

38.4.3 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力

このイベント信号は、モードフォルト、アンダーラン、オーバーラン、またはパリティエラーが検出されたときに出力されます。このイベント信号を使用する場合は、38.5.4 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力に関する制限を参照してください。

(1) モードフォルト

表 38.14 にモードフォルトイベントの発生条件を示します。

表 38.14 モードフォルトの発生条件

SPI モード	SPCR.MODFEN ビット	SSLn0 端子	備考
SPI 動作（SPMS = 0）スレーブ（SPCR.MSTR ビット = 0）	1	非アクティブ	通信動作中に SSLn0 端子が非アクティブになった場合のみイベント出力

(2) アンダーラン

アンダーランイベント信号は、送信データが準備されておらず、SPCR.MSTR ビットが 0 かつ SPCR.SPE ビットが 1 の状態でシリアル転送が開始されたときに出力されます。この場合、MODF フラグと UDRF フラグが 1 になります。

(3) オーバーラン

オーバーランイベント信号は、受信バッファに未読データがあり、かつ SPCR.TXMD ビットが 0 の状態でシリアル転送が終了したときに出力されます。この場合、OVRF フラグが 1 になります。

(4) パリティエラー

パリティエラーイベント信号は、SPCR.TXMD ビットが 0 かつ SPCR2.SPPE ビットが 1 の状態でシリアル転送が終了したとき、パリティエラーの検出時に出力されます。

38.4.4 SPI アイドルイベント出力

(1) マスタモード時

マスタモードの場合、IDLNF フラグ（SPI アイドルフラグ）が 0 になる条件が成立すると、イベントが出力されます。

(2) スレーブモード時

スレーブモードの場合、SPCR.SPE ビットが 0（SPI 初期化）のとき、イベントが出力されます。

38.4.5 送信完了イベント出力

SPI 動作とクロック同期式動作ともに、マスタモード時に IDLNF フラグ（SPI アイドルフラグ）が 1 から 0 に変化すると、イベントが出力されます。表 38.15 にモードフォルトイベントの発生条件を示します。

表 38.15 送信完了イベントの発生条件（スレーブモード時）

SPI モード	送信バッファ状態	シフトレジスタ状態	その他
SPI 動作（SPMS = 0）	エンプティ	エンプティ	SSLn0 入力ネゲート
クロック同期式動作（SPMS = 1）	エンプティ	エンプティ	最終 RSPCKn のエッジ検出

動作がマスタモードまたはスレーブモードのどちらであっても、送信中に SPCR.SPE ビットに 0 が書き込まれた場合、あるいは、モードフォルトエラーまたはアンダーランエラーの発生によって SPCR.SPE ビットがクリアされた場合、イベントは出力されません。

38.5 使用上の注意事項

38.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）によって、SPI の動作を禁止または許可することが可能です。リセット後の初期状態では、SPI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

38.5.2 低消費電力機能に関する制約

モジュールストップ機能を使用する場合、およびスリープモード以外の低消費電力モードへ遷移する場合は、あらかじめ SPCR.SPE ビットを 0 にしてから通信を終了させてください。

38.5.3 転送の開始に関する制限

ICU.IELSRn.IR フラグが 1 で転送を開始すると、割り込み要求が内部で保持されるため、ICU.IELSRn.IR フラグが予期しない挙動となる可能性があります。

転送開始時点で ICU.IELSRn.IR フラグが 1 の場合は、動作を許可する（SPCR.SPE ビットを 1 にする）前に、下記の手順で割り込み要求をクリアしてください。

1. 転送が停止していること（SPCR.SPE ビットが 0 であること）を確認する。
2. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を 0 にする。
3. 対応する割り込み許可ビット（SPCR.SPTIE ビットまたは SPCR.SPRIE ビット）を読み出して、その値が 0 であることを確認する。
4. ICU.IELSRn.IR フラグを 0 にする。

38.5.4 モードフォルト／アンダーラン／オーバーラン／パリティエラーイベント出力に関する制限

SPI がマルチマスタモード（SPCR.SPMS ビット = 0、SPCR.MSTR ビット = 1、SPCR.MODFEN ビット = 1）の場合は、モードフォルト、アンダーラン、オーバーラン、およびパリティエラーイベントを使用することはできません。

38.5.5 SPRF および SPTEF フラグに関する制限

ポーリング用のフラグ（SPRF および SPTEF）を使用している場合、割り込みを使用することはできません。SPCR.SPRIE および SPCR.SPTIE ビットは 0 にしてください。割り込みまたはフラグのどちらか一方のみ使用可能です。

39. クワッドシリアルペリフェラルインタフェース（QSPI）

39.1 概要

クワッドシリアルペリフェラルインタフェース（QSPI）モジュールは、SPI 互換インタフェースを実装したシリアル ROM に接続するためのメモリコントローラです。シリアル ROM には、シリアルフラッシュメモリ、シリアル EEPROM、シリアル FeRAM などの不揮発性メモリが含まれます。表 39.1 に QSPI の仕様を、図 39.1 にブロック図を、表 39.2 に入出力端子を示します。

表 39.1 QSPIの仕様

項目	内容
チャネル数	1チャネル
SPI	• 拡張SPI、Dual-SPI、Quad-SPIの各プロトコルをサポート • SPIモード0とSPIモード3の構成が可能 • アドレス幅として8、16、24、32ビットから選択可能
タイミング補正機能	各種シリアルフラッシュに対応した構成が可能
フラッシュリード機能	• リード、ファストリード、ファストリードDual出力、ファストリードDual I/O、ファストリードQuad出力、ファストリードQuad I/Oの各命令をサポート • 命令コードの代替が可能 • ダミーサイクル数の補正が可能 • プリフェッチ機能 • ポーリング処理 • SPIバスサイクル拡張機能
直接通信機能	ソフトウェア制御による、イレース、ライト、IDリード、パワーダウン制御を含む各種シリアルフラッシュ命令／機能を柔軟にサポート
割り込み要因	エラー割り込み
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能

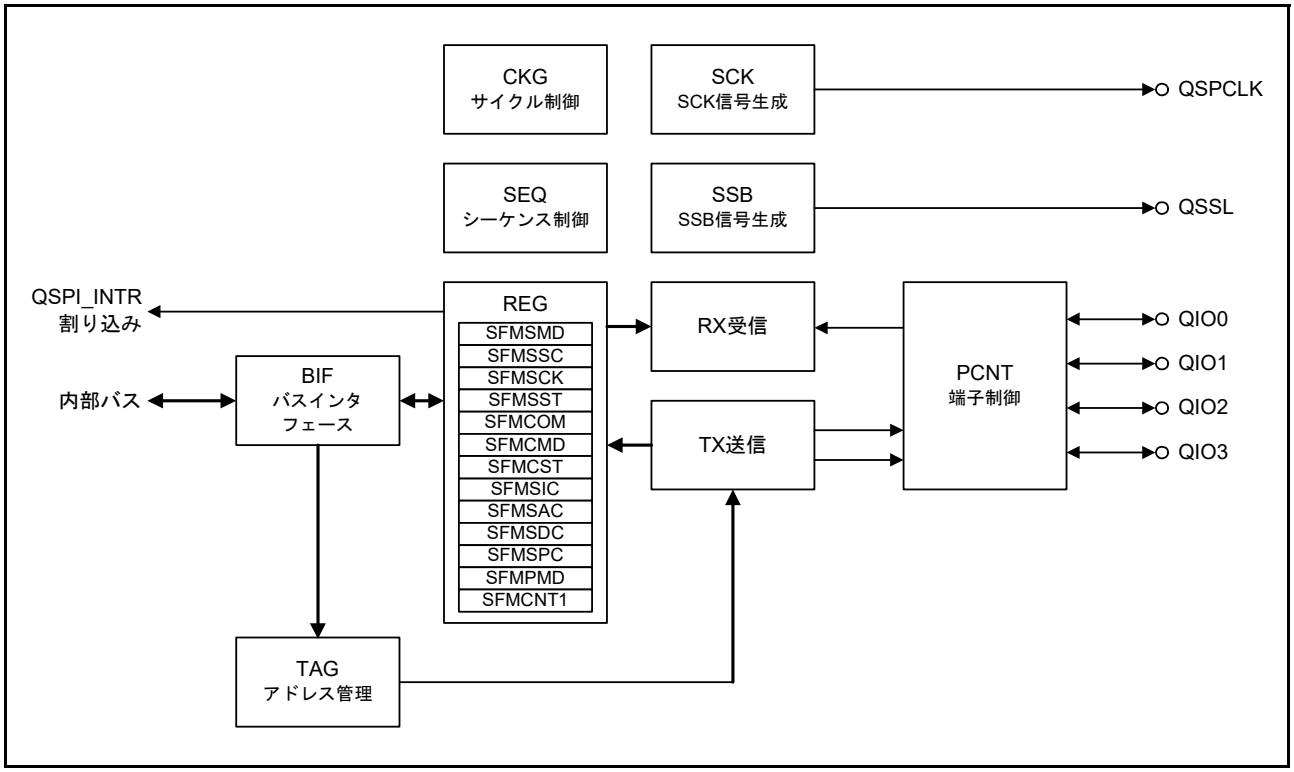


図 39.1 QSPI のブロック図

表 39.2 QSPIの入出力端子

端子名	入出力	機能
QSPCLK	出力	QSPIのクロック出力端子
QSSL	出力	QSPIのスレーブ選択端子
QIO0	入出力	データ0入出力
QIO1	入出力	データ1入出力
QIO2	入出力	データ2入出力
QIO3	入出力	データ3入出力

39.2 レジスタの説明

39.2.1 転送モードコントロールレジスタ（SFMSMD）

アドレス QSPI.SFMSMD 6400 0000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SFMCCE	—	—	—	SFMOSW	SFMOHW	SFMOEX	SFMMD3	SFMPAE	SFMPFE	SFMSE[1:0]		—	SFMRM[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SFMRM[2:0]	シリアルインタフェースリードモード選択	b2 b0 0 0 0：標準リード 0 0 1：ファストリード 0 1 0：ファストリードDual出力 0 1 1：ファストリードDualI/O 1 0 0：ファストリードQuad出力 1 0 1：ファストリードQuadI/O 1 1 0：設定禁止（動作が予測不能） 1 1 1：設定禁止（動作が予測不能）	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	SFMSE[1:0]	SPIバスアクセス後のQSSL拡張機能選択	b5 b4 0 0：QSSLの拡張なし 0 1：QSPCLK33クロックでQSSLを拡張 1 0：QSPCLK129クロックでQSSLを拡張 1 1：無限にQSSLを拡張	R/W
b6	SFMPFE	プリフェッチ機能選択	0：機能は無効 1：機能は有効	R/W
b7	SFMPAE	バイト境界以外でのプリフェッチ停止機能選択	0：機能は無効 1：機能は有効	R/W
b8	SFMMD3	SPIモード選択（CFGMD3端子入力で初期値を決定）	0：SPIモード0 1：SPIモード3	R/W
b9	SFMOEX	シリアルインタフェースの入出力バッファ出力許可信号拡張選択	0：拡張なし 1：QSPCLK 1クロックで拡張	R/W
b10	SFMOHW	シリアル送信のホールド時間補正	0：送信時にQSPCLKのHighレベル幅を拡張しない 1：送信時にQSPCLKのHighレベル幅をPCLKA 1クロック分拡張	R/W
b11	SFMOSW	シリアル送信のセットアップ時間補正	0：送信時にQSPCLKのLowレベル幅を拡張しない 1：送信時にQSPCLKのLowレベル幅をPCLKA 1クロック分拡張	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	SFMCCE	リード命令コード選択	0：命令ごとにデフォルト命令コードを設定 1：SFMSICレジスタへ命令コードを書き込み	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.2 チップ選択コントロールレジスタ（SFMSSC）

アドレス QSPI.SFMSSC 6400 0004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SFMSLD	SFMSHD	SFMSW			
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	SFMSW	QSSL信号の最小Highレベル幅選択	b3 b0 0 0 0 0：1QSPCLK 0 0 0 1：2QSPCLK 0 0 1 0：3QSPCLK 0 0 1 1：4QSPCLK 0 1 0 0：5QSPCLK 0 1 0 1：6QSPCLK 0 1 1 0：7QSPCLK 0 1 1 1：8QSPCLK 1 0 0 0：9QSPCLK 1 0 0 1：10QSPCLK 1 0 1 0：11QSPCLK 1 0 1 1：12QSPCLK 1 1 0 0：13QSPCLK 1 1 0 1：14QSPCLK 1 1 1 0：15QSPCLK 1 1 1 1：16QSPCLK	R/W
b4	SFMSHD	QSSL信号解除タイミング選択	0：QSPCLKの最後の立ち上がりエッジからQSPCLK 0.5クロック後にQSSLを解除 1：QSPCLKの最後の立ち上がりエッジからQSPCLK 1.5クロック後にQSSLを解除	R/W
b5	SFMSLD	QSSL信号出力タイミング選択	0：QSPCLKの最初の立ち上がりエッジよりQSPCLK 0.5クロック前にQSSLを出力 1：QSPCLKの最初の立ち上がりエッジよりQSPCLK 1.5クロック前にQSSLを出力	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.3 クロックコントロールレジスタ（SFMSKC）

アドレス QSPI.SFMSKC 6400 0008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	SFMDTY	SFMDV				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	SFMDV	シリアルインタフェース基準周期選択（不規則性に注意）	b4 b0 0 0 0 0 0：2PCLKA 0 0 0 0 1：3PCLKA（奇数で逓倍）（注1） 0 0 0 1 0：4PCLKA 0 0 0 1 1：5PCLKA（奇数で逓倍）（注1） 0 0 1 0 0：6PCLKA 0 0 1 0 1：7PCLKA（奇数で逓倍）（注1） 0 0 1 1 0：8PCLKA 0 0 1 1 1：9PCLKA（奇数で逓倍）（注1） 0 1 0 0 0：10PCLKA 0 1 0 0 1：11PCLKA（奇数で逓倍）（注1） 0 1 0 1 0：12PCLKA 0 1 0 1 1：13PCLKA（奇数で逓倍）（注1） 0 1 1 0 0：14PCLKA 0 1 1 0 1：15PCLKA（奇数で逓倍）（注1） 0 1 1 1 0：16PCLKA 0 1 1 1 1：17PCLKA（奇数で逓倍）（注1） 1 0 0 0 0：18PCLKA 1 0 0 0 1：20PCLKA 1 0 0 1 0：22PCLKA 1 0 0 1 1：24PCLKA 1 0 1 0 0：26PCLKA 1 0 1 0 1：28PCLKA 1 0 1 1 0：30PCLKA 1 0 1 1 1：32PCLKA 1 1 0 0 0：34PCLKA 1 1 0 0 1：36PCLKA 1 1 0 1 0：38PCLKA 1 1 0 1 1：40PCLKA 1 1 1 0 0：42PCLKA 1 1 1 0 1：44PCLKA 1 1 1 1 0：46PCLKA 1 1 1 1 1：48PCLKA	R/W
b5	SFMDTY	QSPCLK信号のデューティ比補正機能選択	0：補正なし 1：QSPCLK信号の立ち上がりをPCLKA 0.5クロック分遅延（PCLKAを奇数で逓倍した場合に有効）	R/W
b31-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 奇数で逓倍した PCLKA を選択すると、デューティ比補正前の QSPCLK 信号の High レベル幅は、Low レベル幅よりも PCLKA 1 クロック分長くなります。

39.2.4 ステータスレジスタ（SFMSST）

アドレス QSPI.SFMSST 6400 000Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PFOFF	PFFUL	—	PFCNT				
リセット後の値	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PFCNT	プリフェッチデータのバイト数	b4 b0 0 0 0 0 0：0バイト 0 0 0 0 1：1バイト 0 0 0 1 0：2バイト 0 0 0 1 1：3バイト 0 0 1 0 0：4バイト 0 0 1 0 1：5バイト 0 0 1 1 0：6バイト 0 0 1 1 1：7バイト 0 1 0 0 0：8バイト 0 1 0 0 1：9バイト 0 1 0 1 0：10バイト 0 1 0 1 1：11バイト 0 1 1 0 0：12バイト 0 1 1 0 1：13バイト 0 1 1 1 0：14バイト 0 1 1 1 1：15バイト 1 0 0 0 0：16バイト 1 0 0 0 1：17バイト 1 0 0 1 0：18バイト 上記以外の設定は予約されています。	R
b5	—	予約ビット	読むと0が読めます。	R
b6	PFFUL	プリフェッチバッファ状態	0：プリフェッチバッファに空きあり 1：プリフェッチバッファに空きなし	R
b7	PFOFF	プリフェッチ機能動作状態	0：プリフェッチ機能は動作中 1：プリフェッチ機能は無効または動作していない	R
b31-b8	—	予約ビット	読むと0が読めます。	R

39.2.5 通信ポートレジスタ（SFMCOM）

アドレス QSPI.SFMCOM 6400 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SFMD							
リセット後の値	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	SFMD	SPIバスとの直接通信用ポート選択	このポートの入出力はSPIバスサイクルに変換されます。DCOMビット = 1のとき、このポートは直接通信モードでのみアクセス可能です。ROMアクセスモードでは、このポートへのアクセスは無視されます。	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.6 通信モードコントロールレジスタ（SFMCMD）

アドレス QSPI.SFMCMD 6400 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DCOM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DCOM	SPIバスとの通信モード選択	0：ROMアクセスモード 1：直接通信モード	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.7 通信ステータスレジスタ（SFMCST）

アドレス QSPI.SFMCST 6400 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	EROMR	—	—	—	—	—	—	COMBSY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	COMBSY	直接通信時SPIバスサイクル完了状態	0：処理中のシリアル転送なし 1：処理中のシリアル転送あり	R
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	EROMR	直接通信モード時ROMアクセス検出状態	0：ROMアクセスの検出なし 1：ROMアクセスの検出あり	R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.8 命令コードレジスタ（SFMSIC）

アドレス QSPI.SFMSIC 6400 0020h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	SFMCIC							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SFMCIC	代替シリアルフラッシュ命令コード		R/W
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.9 アドレスモードコントロールレジスタ（SFMSAC）

アドレス QSPI.SFMSAC 6400 0024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	SFM4BC	—	—	SFMAS	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SFMAS	シリアルインタフェースのアドレスバイト数選択	b1 b0 0 0：1バイト 0 1：2バイト 1 0：3バイト 1 1：4バイト	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SFM4BC	デフォルト命令コード選択（シリアルインタフェースアドレス幅が4バイトの場合）	0：4バイトアドレスリード命令コードを使用しない 1：4バイトアドレスリード命令コードを使用する	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.10 ダミーサイクルコントロールレジスタ（SFMSDC）

アドレス QSPI.SFMSDC 6400 0028h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SFMXD								SFMXEN	SFMXST	—	—	SFMDN[3:0]			
リセット後の値	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	SFMDN[3:0]	ファストリード命令のダミーサイクル数選択	b3 b0 0 0 0 0：命令ごとのデフォルトダミーサイクル -ファストリードQuadI/O：6QSPCLK -ファストリードQuad出力：8QSPCLK -ファストリードDualI/O：4QSPCLK -ファストリードDual出力：8QSPCLK -ファストリード：8QSPCLK 0 0 0 1：3QSPCLK（注1） 0 0 1 0：4QSPCLK 0 0 1 1：5QSPCLK 0 1 0 0：6QSPCLK 0 1 0 1：7QSPCLK 0 1 1 0：8QSPCLK 0 1 1 1：9QSPCLK 1 0 0 0：10QSPCLK 1 0 0 1：11QSPCLK 1 0 1 0：12QSPCLK 1 0 1 1：13QSPCLK 1 1 0 0：14QSPCLK 1 1 0 1：15QSPCLK 1 1 1 0：16QSPCLK 1 1 1 1：17QSPCLK	R/W
b5-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	SFMXST	XIPモード状態	0：通常（非XIP）モード 1：XIPモード	R
b7	SFMXEN	QSPIでのXIPモード許可	0：XIPモード禁止 1：XIPモード許可	R/W
b15-b8	SFMXD	シリアルフラッシュのモードデータ（XIPモードを制御）	シリアルフラッシュのモードデータ（XIPモード制御）	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. QIO0 端子に接続したシリアルフラッシュ端子の入出力切り替えと競合しないように、SFMSMD.SFMOEX ビットを 1 にして出力許可信号を拡張した場合は、QSPCLK の 4 クロック分より長いダミーサイクルを選択してください。

39.2.11 SPI プロトコルコントロールレジスタ（SFMSPC）

アドレス QSPI.SFMSPC 6400 0030h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	SFMSDE	—	—	SFMSPI	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SFMSPI	SPIプロトコル選択	b1 b0 0 0：拡張SPIプロトコル 0 1：Dual-SPIプロトコル 1 0：Quad-SPIプロトコル 1 1：設定禁止	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	SFMSDE	最小入出力切り換え時間選択（標準リードモードでDual-SPIプロトコルまたはQuad-SPIプロトコルを選択した場合）	0：最小切り換え時間を割り当てない 1：QSPCLK 1クロック分の最小切り換え時間を割り当てる	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.12 ポートコントロールレジスタ（SFMPMD）

アドレス QSPI.SFMPMD 6400 0034h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	SFMWPL	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	SFMWPL	WP端子レベル指定	0：Lowレベル 1：Highレベル	R/W
b31-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

39.2.13 外部 QSPI アドレスレジスタ（SFMCNT1）

アドレス QSPI.SFMCNT1 6400 0804h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	QSPI_EXT[5:0]						—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b25-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b26	QSPI_EXT[5:0]	バンク切り替えアドレス	6000 0000hから63FF FFFFhまでアクセスする場合、アドレスバスは、QSPI_EXT[5:0]ビットを内部バスアドレスの上位6ビットに設定します。	R/W

39.3 メモリマップ

39.3.1 内部バス空間

AHB 空間のシリアルフラッシュとコントロールレジスタの場所は、構成された領域のアドレス範囲で決まります。

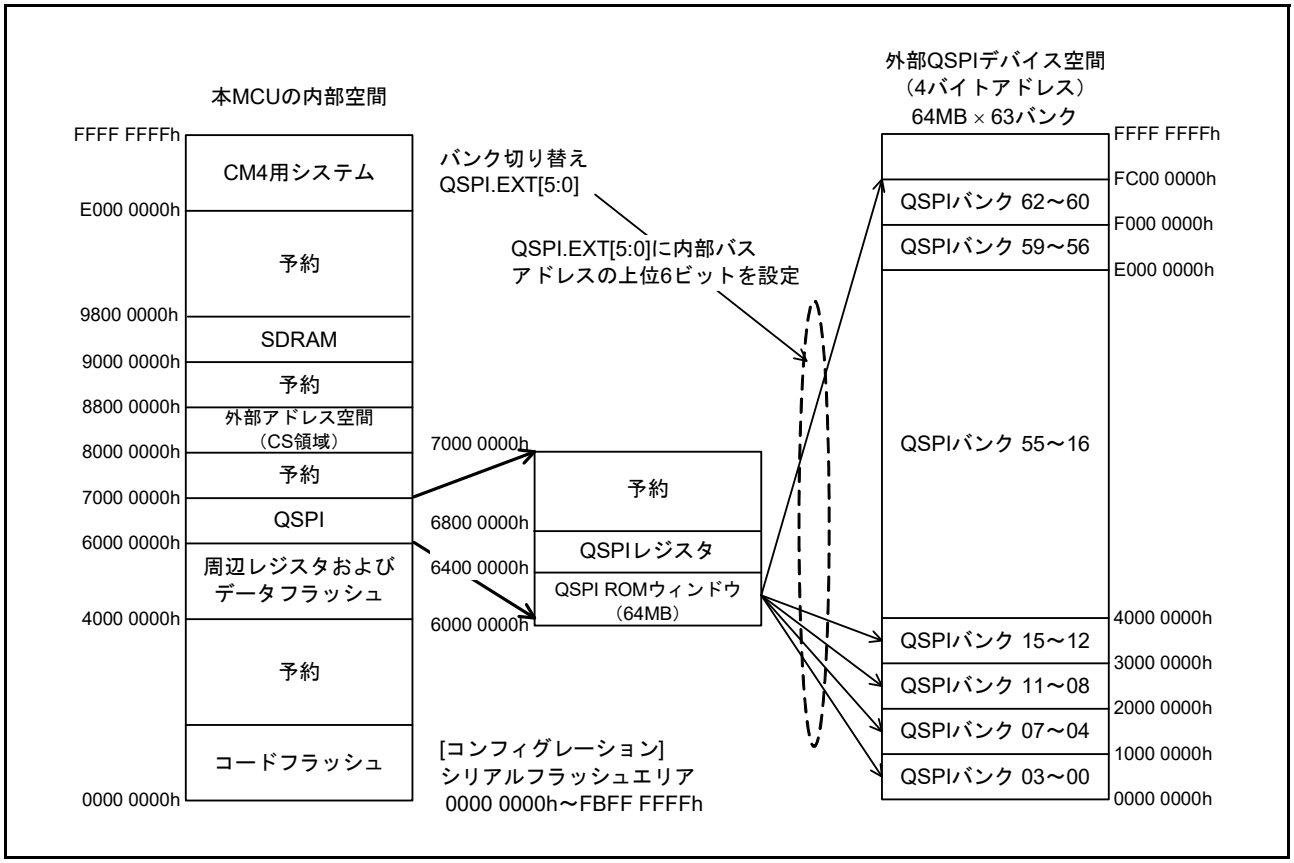


図 39.2 デフォルト領域設定および AHB 空間メモリマップ

39.3.2 SPI 空間と SPI バスのアドレス幅

SPI 空間は、シリアルフラッシュを参照するための 32 ビットアドレス幅を持っています。SPI 空間にリードアクセスをすると、SPI バスサイクルが自動的に開始し、シリアルフラッシュから読み出されたデータが返されます。

SPI 空間のアドレス幅は 32 ビット固定です。ただし、SPI バスのアドレス幅は、SFMSAC.SFMAS[1:0] ビットによって、8 ビット、16 ビット、24 ビット、32 ビットから選択できます。SPI バスのアドレス幅として 8 ビット、16 ビット、24 ビットを選択すると、SPI 空間へのアクセスに使用するアドレスの下位部分のみが、SPI バスを介してシリアルフラッシュに送られます。結果として、SPI バスのアドレス幅に対応したシリアルフラッシュのミラーイメージが SPI 空間に繰り返し現れます。

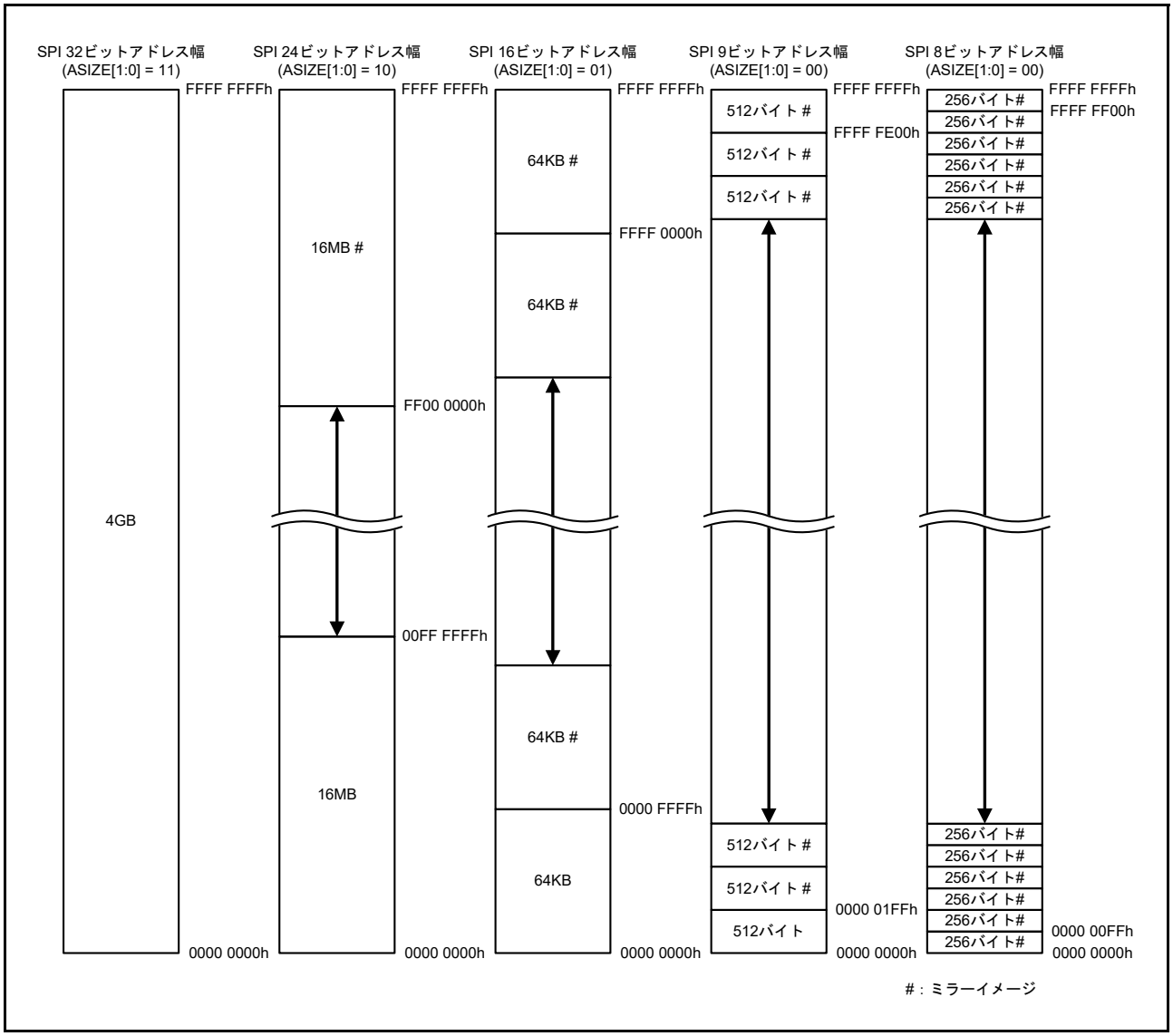


図 39.3 SPI 空間のメモリマップ

注 . SFMSAC.SFMAS[1:0] ビットにより、SPI バスのアドレス幅は 8 ビット、16 ビット、24 ビット、32 ビットから選択できます。8 ビットのアドレス幅を選択すると、9 番目のビットのアドレス情報をリード命令コードに埋め込むことができます。この図のアドレスマップは、アドレス幅が 9 ビットの SPI の場合です。リード命令の詳細は、39.6.2 標準リード命令を参照してください。

39.4 SPI バス

39.4.1 SPI プロトコル

QSPI は、シリアルフラッシュ接続に使用する SPI プロトコルの他に、拡張 SPI、Dual-SPI、および Quad-SPI をサポートしています。初期状態は拡張 SPI です。プロトコルを変更するには、SFMSPC.SFMSPI ビットを設定してください。拡張 SPI プロトコルは、常に単一の QIO0 端子から命令コードを出力します。命令コードのフォーマットに従い、1 から 4 端子を使用して、後続アドレス／データの入出力動作を実行します。

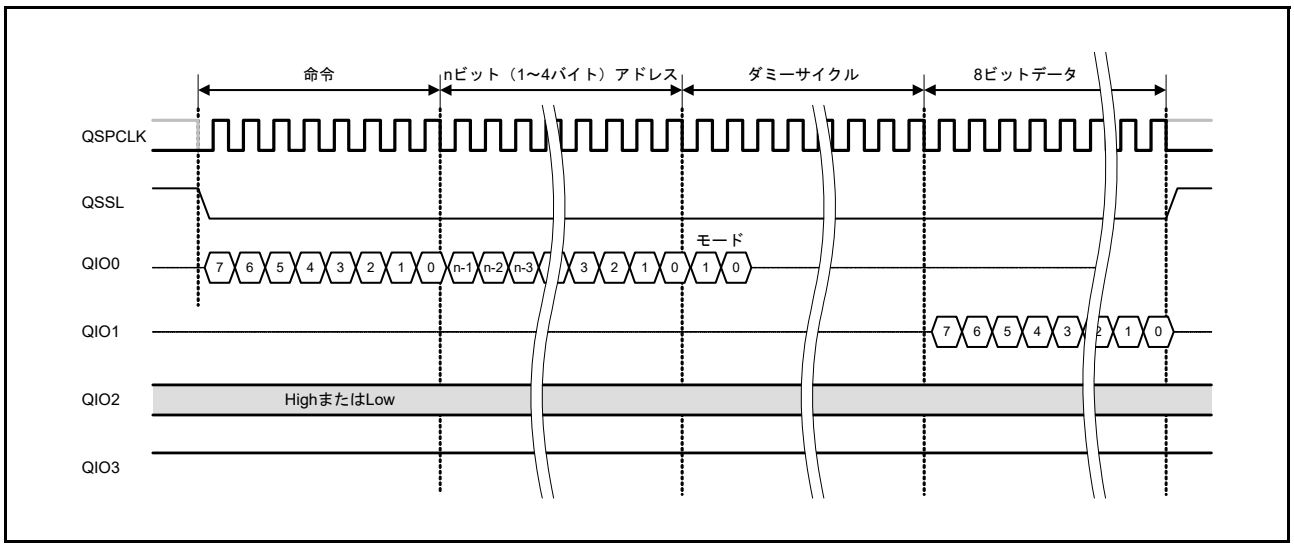


図 39.4 拡張 SPI プロトコル例 1（ファストリード）

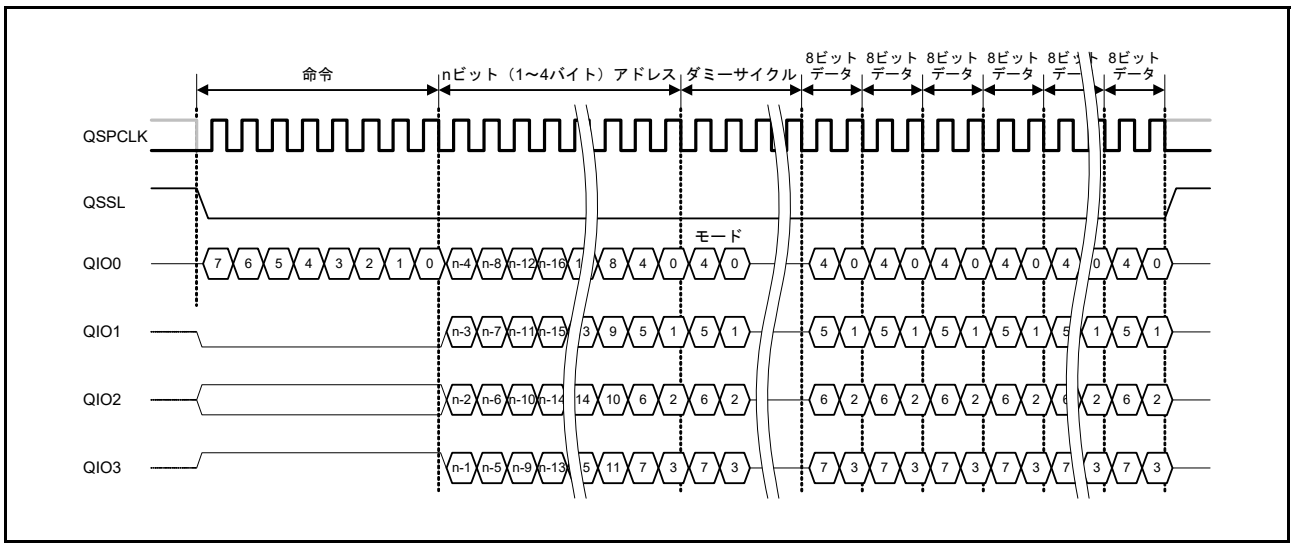


図 39.5 拡張 SPI プロトコル例 2（ファストリード Quad I/O）

Dual-SPI プロトコルは、QIO0 および QIO1 の 2 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力動作を実行します。

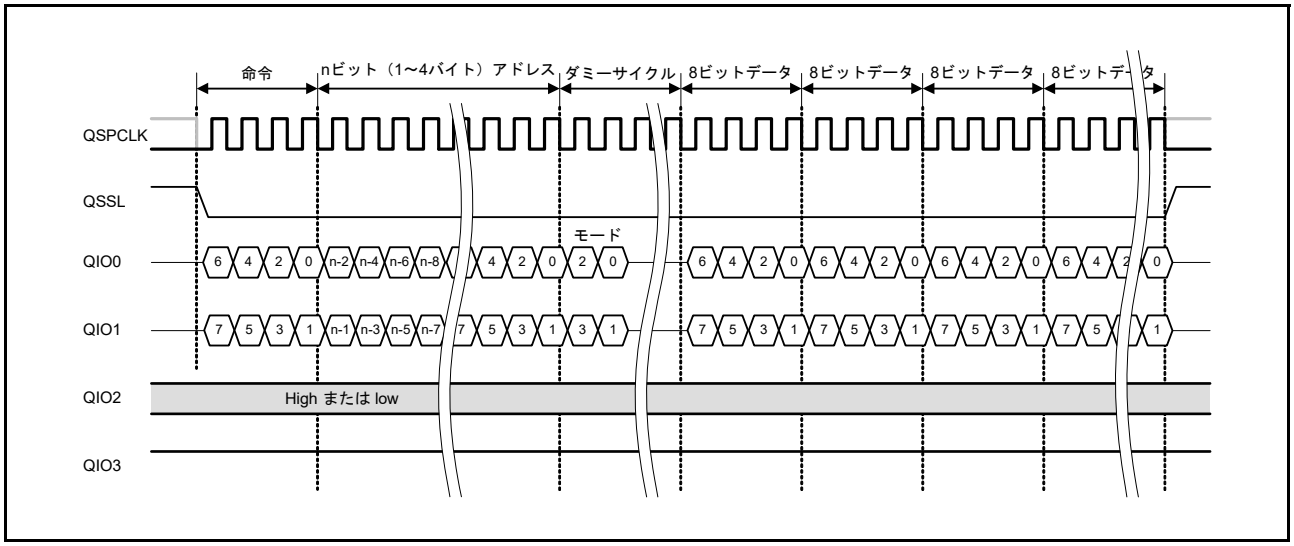


図 39.6　　Dual-SPI プロトコル例（ファストリード）

Quad-SPI プロトコルは、QIO0、QIO1、QIO2、QIO3 の 4 端子を使用して、命令コード、アドレス、データなど、すべての信号の入出力動作を実行します。

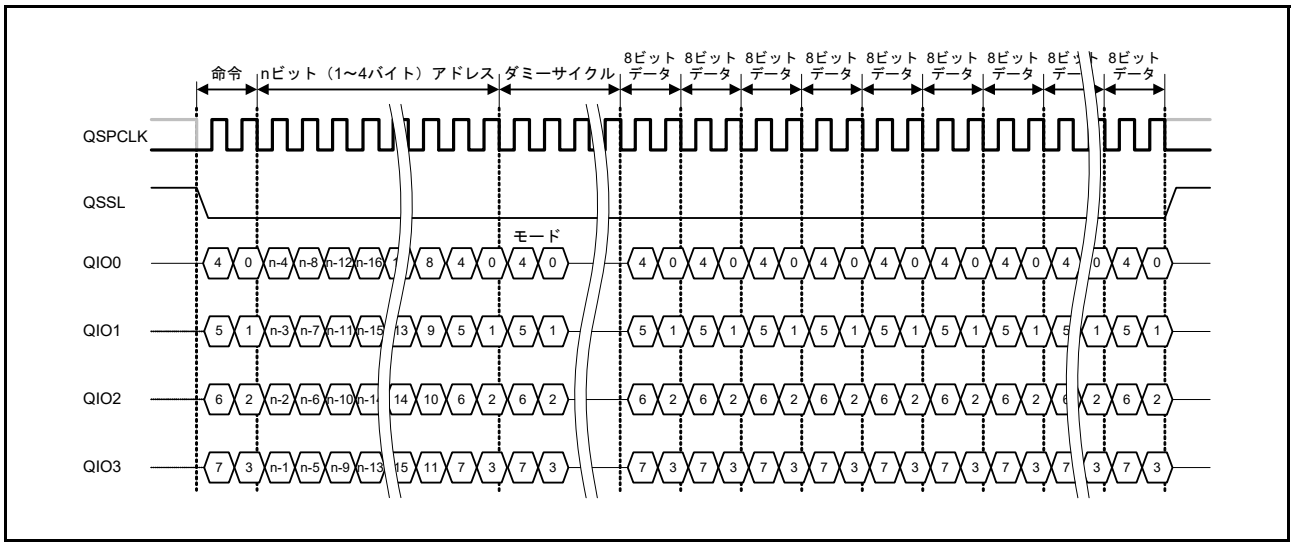


図 39.7　　Quad-SPI プロトコル例（ファストリード）

39.4.2 SPI モード

初期の SPI モードは、CFGMD3 端子によって SPI モード 0 または SPI モード 3 に設定されています。この設定は、動作中にレジスタ設定を変更して切り替えることができます。SPI モード 0 と SPI モード 3 の違いは、QSPCLK 信号のスタンバイレベルです。QSPCLK 信号のスタンバイレベルは、SPI モード 0 では Low、SPI モード 3 では High です。

シリアルデータは、シリアルクロックの立ち下がりエッジで QSPI から出力され、シリアルクロックの立ち上がりエッジで外部フラッシュに読み込まれます。シリアルデータは、シリアルクロックの立ち下がりエッジで外部フラッシュから出力され、シリアルクロックの次の立ち下がりエッジで QSPI に読み込まれます。

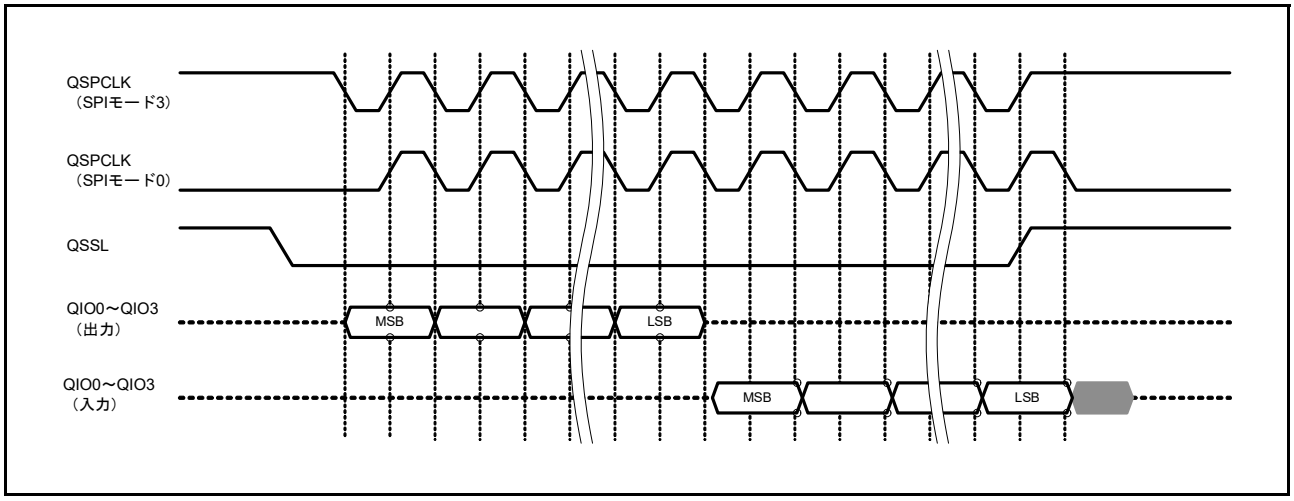


図 39.8 シリアルインタフェースの基本タイミング

39.5 SPI バスタイミング補正

SPI バス信号のタイミングは、レジスタで補正可能です。設定されたタイミングは、ROM アクセスと直接通信の全 SPI バスアクセスに適用されます。

39.5.1 SPI バス基準周期

SPI バスは、PCLKA を整数で逓倍して得られる基準周期に従って動作します。基準周期は、SFMSKC.SFMDV[4:0] ビットで、PCLKA の逓倍値 2 ～ 48 の範囲で選択できます。

表 39.3 SFMDV[4:0] ビット、逓倍値、およびシリアルクロック周波数の関係

SFMDV[4:0]	逓倍値	PCLKA 周波数（MHz）
		120
11111	48	2.50
11110	46	2.61
11101	44	2.73
11100	42	2.86
11011	40	3.00
11010	38	3.16
11001	36	3.33
11000	34	3.53
10111	32	3.75
10110	30	4.00
10101	28	4.29
10100	26	4.62
10011	24	5.00
10010	22	5.45
10001	20	6.00
10000	18	6.67
01111	17	7.06
01110	16	7.50
01101	15	8.00
01100	14	8.57
01011	13	9.23
01010	12	10.00
01001	11	10.91
01000	10	12.00
00111	9	13.33
00110	8	15.00
00101	7	17.14
00100	6	20.00
00011	5	24.00
00010	4	30.00
00001	3	40.00
00000	2	60.00

39.5.2 QSPCLK 信号デューティ比

基準クロックが偶数で逓倍された PCLKA に設定されている場合、QSPCLK 信号の High レベル幅と Low レベル幅は互いに一致します。一方、PCLKA が奇数で逓倍される場合は、High レベル幅は Low レベル幅よりも PCLKA の 1 クロック分長くなります。

奇数で逓倍した PCLKA が基準クロックの場合、QSPCLK 信号のデューティ比を 50% に近づけるには、SFMSKC.SFMDTY ビットを 1 にしてください。この設定では、QSPCLK 出力信号の立ち上がりエッジは PCLKA の半周期分遅れ、デューティ比 50% と同等のインタフェース動作が実行されます。

基準クロックが偶数で逓倍された PCLKA の場合、SFMSKC レジスタの SFMDTY ビット設定は無視されます。

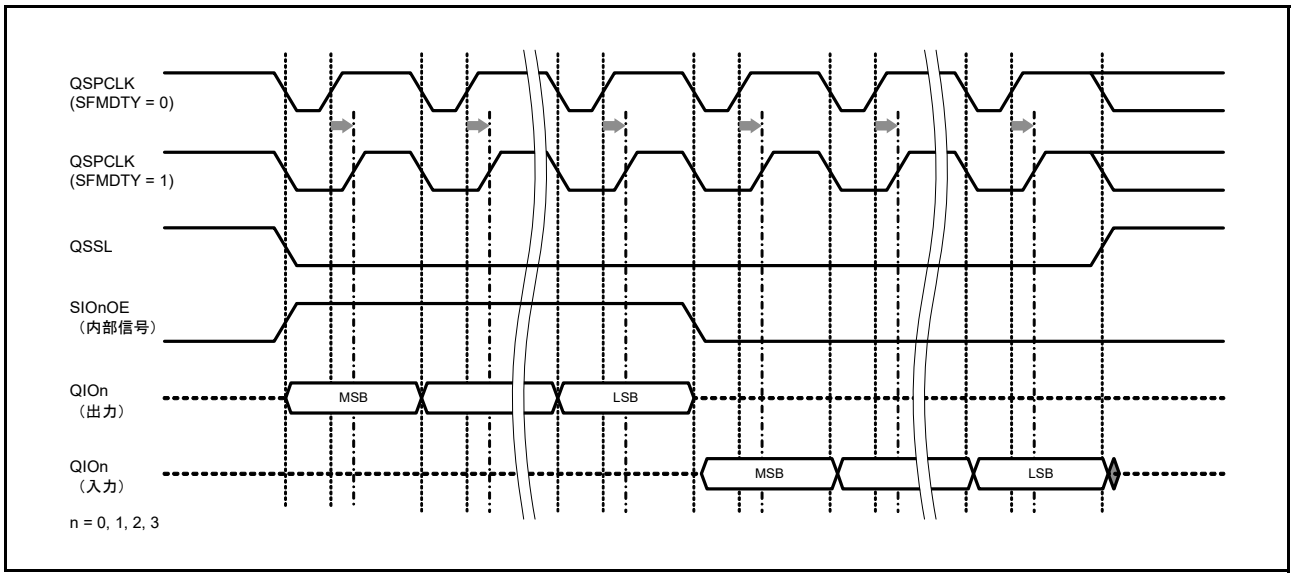


図 39.9 SFMDTY ビットを使用した QSPCLK 信号デューティ比の補正例（PCLKA を 3 逓倍した場合）

39.5.3 QSSL 信号の最小 High レベル幅

隣り合う SPI バスサイクル間では、QSSL 信号を十分な期間 High（非アクティブ）に保持して、シリアルフラッシュに必要な非選択時間を確保する必要があります。QSSL 出力信号の最小 High レベル幅は、SFMSSC.SFMSW[3:0] ビットで、1 ～ 16 の整数で逓倍して得られる基準周期として選択可能です。

39.5.4 QSSL 信号セットアップ時間

QSSL 信号が Low になって初めて QSPCLK 信号が立ち上がった場合、シリアルフラッシュに必要な QSSL 信号セットアップ時間を設定できます。このセットアップ時間は、SFMSSC.SFMSLD ビットで、QSPCLK の 0.5 クロック分または 1.5 クロック分から選択できます。

SFMSSC.SFMSLD ビットの設定も、シリアルデータ出力許可信号（QIO0OE/QIO1OE/QIO2OE/QIO3OE）の出力から QSPCLK 信号の最初の立ち上がりエッジまでの間に、セットアップ時間の割り当てに適用されます。アプリケーションの最も制約の厳しいタイミング条件を満たすように、値を設定してください。

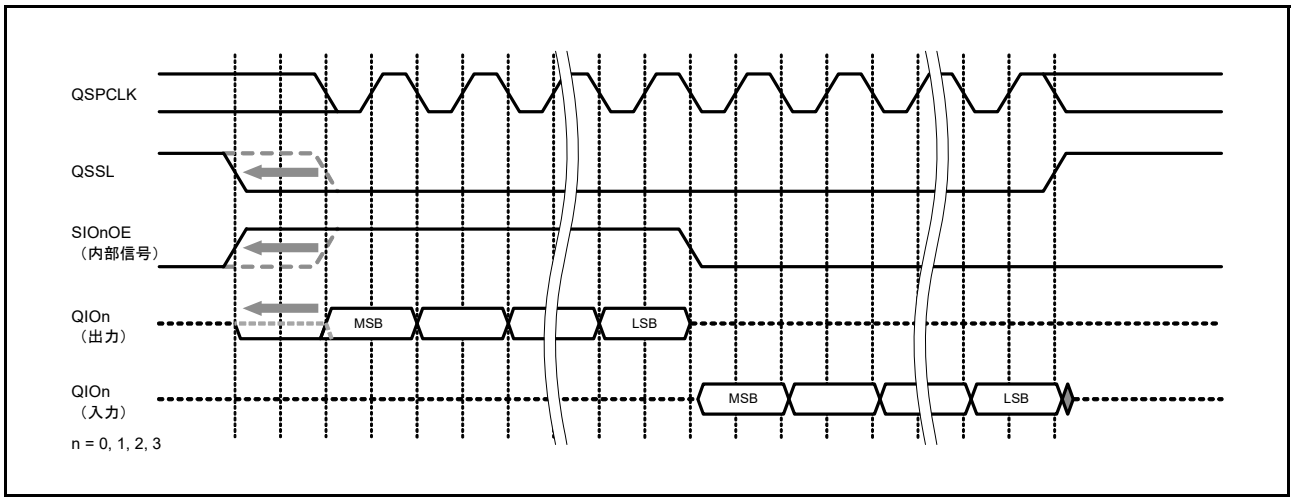


図 39.10 SFMSLD ビットを使用した QSSL 信号のセットアップ時間調整

39.5.5 QSSL 信号ホールド時間

QSPCLK 信号の最後の立ち上がりエッジ後に QSSL 信号を High にすると、デバイス要件を満足するように QSSL 信号ホールド時間を設定できます。このホールド時間は、SFMSSC.SFMSHD ビットで、QSPCLK の 0.5 クロック分または 1.5 クロック分から選択できます。

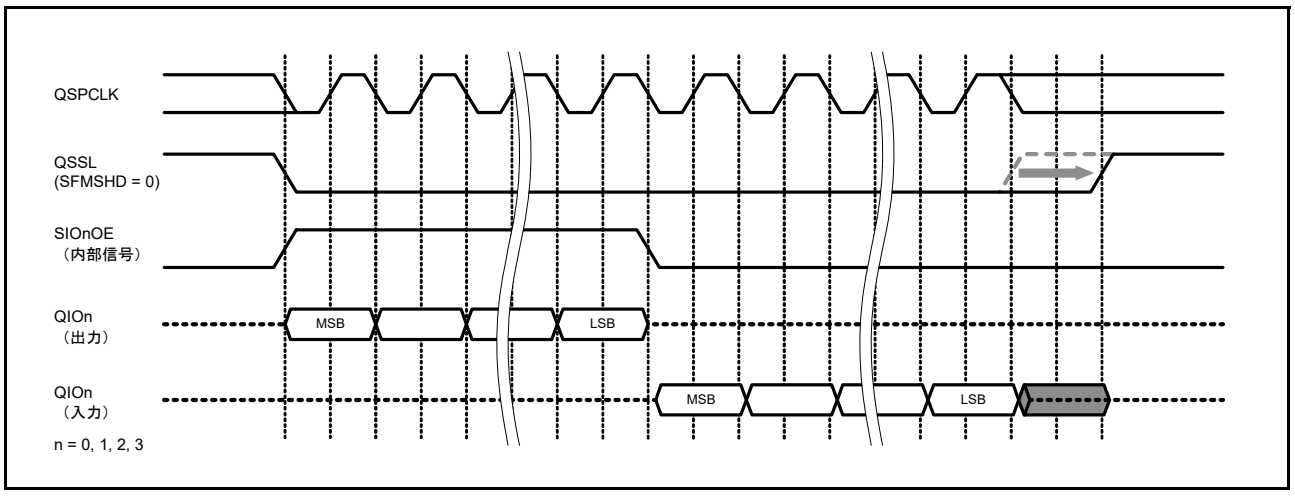


図 39.11 SFMSHD ビットを使用した QSSL 信号のホールド時間調整

39.5.6 シリアルデータ出力許可のホールド時間

QIO0 端子、QIO1 端子、QIO2 端子、QIO3 端子のバッファ出力許可は、SFMSMD.SFMOEX ビットを使用して QSPCLK の 1 クロック分拡張できます。拡張対象の信号は、出力許可信号である QIO0E 信号、QIO1OE 信号、QIO2OE 信号、および QIO3OE 信号のみです。QIO0O、QIO1O、QIO2O、QIO3O の出力データ信号は含まれません。

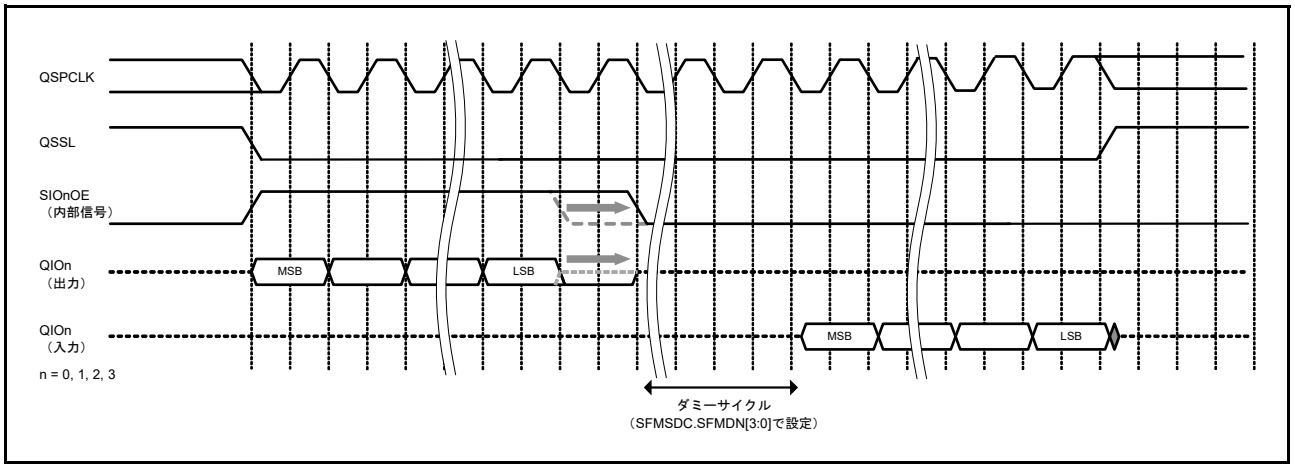


図 39.12 SFMOEX ビットを使用した出力許可ホールド時間調整

39.5.7 シリアルデータ出力のセットアップ時間

コマンドまたはアドレスをシリアルフラッシュに送信する場合、セットアップ時間はシリアルデータ出力で開始し、QSPCLK 信号の立ち上がりで終了します。このセットアップ時間が不十分な場合は、SFMSMD.SFMOSW ビットを使用して PCLKA の 1 クロック分拡張できます。SFMOSW ビットを 1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時の QSPCLK の Low レベル幅が PCLKA の 1 クロック分拡張されます。この機能はシリアルデータ受信には影響しません。

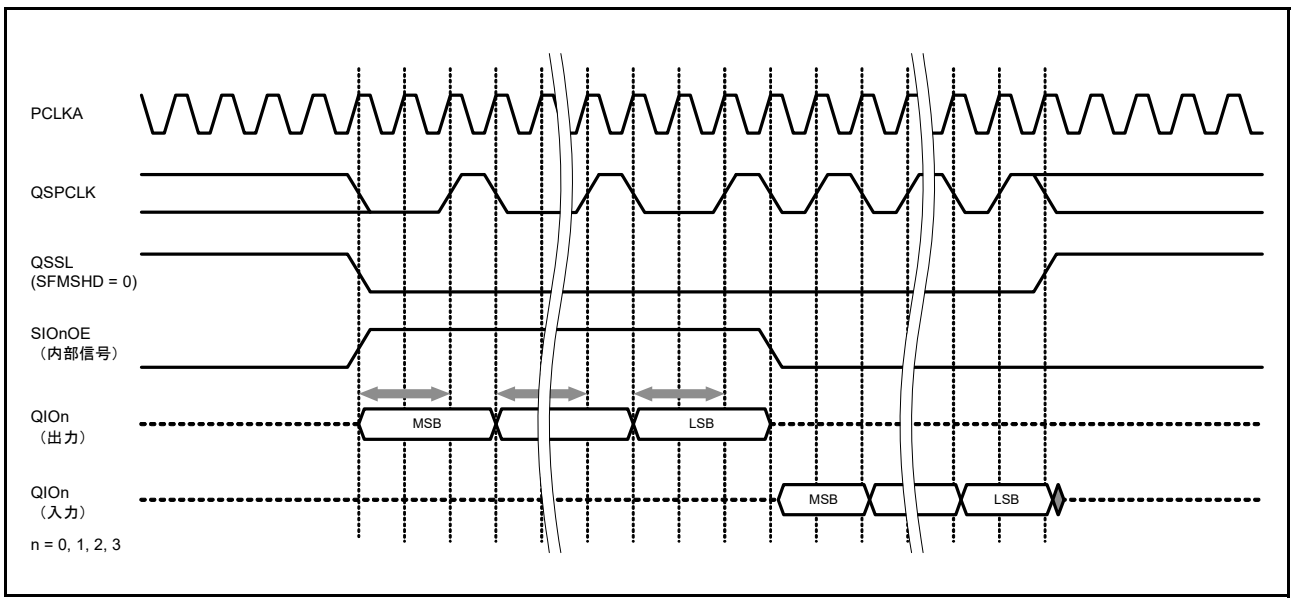


図 39.13 SFMOSW ビットを使用したシリアルデータ出力のセットアップ時間調整

39.5.8 シリアルデータ出力のホールド時間

コマンドまたはアドレスをシリアルフラッシュに送信する場合、ホールド時間は QSPCLK の立ち上がりエッジで開始し、シリアルデータの次の送信で終了します。このホールド時間が不十分な場合は、SFMSMD.SFMOHW ビットを使用して PCLKA の 1 クロック分拡張できます。SFMOSW ビットを 1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時の QSPCLK の High レベル幅が PCLKA の 1 クロック分拡張されます。この機能はシリアルデータ受信には影響しません。

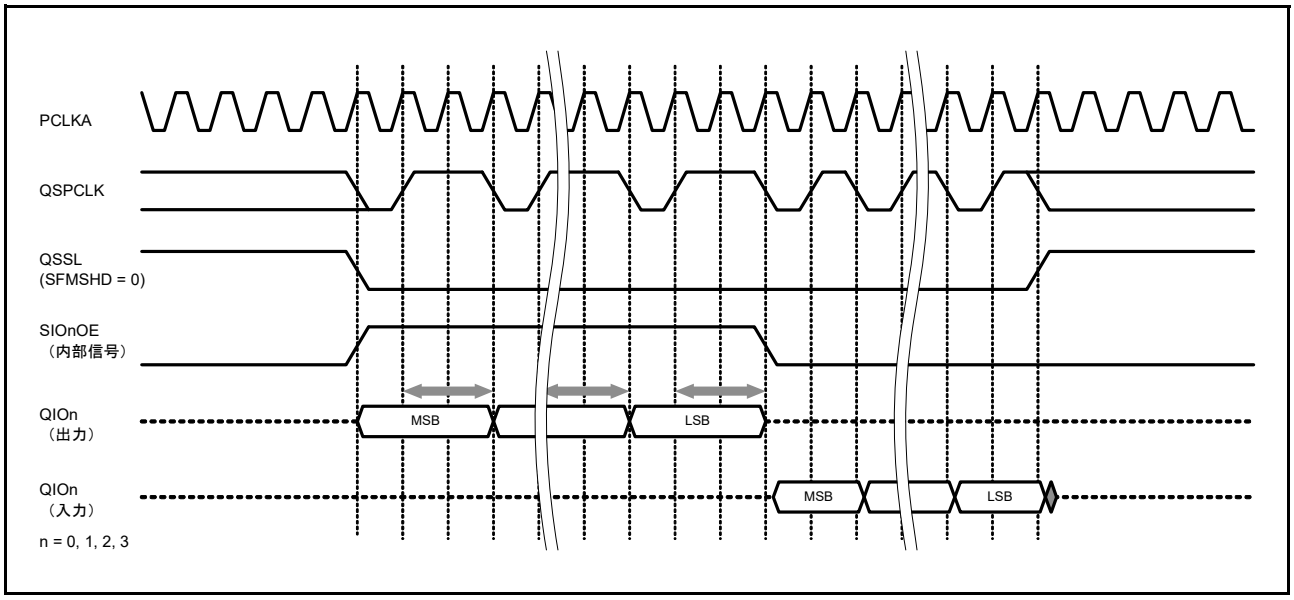


図 39.14 SFMOHW ビットを使用したシリアルデータ出力のホールド時間調整

39.5.9 シリアルデータ受信レイテンシ

シリアルフラッシュは、QSPCLK 信号の立ち下がりエッジと同期してデータを出力します。QSPI は、後続の QSPCLK 信号の立ち下がりエッジと同期してそのデータを受信します。シリアルフラッシュがデータ出力を開始してから QSPI がそのデータを受信するまでの遅延を、受信レイテンシと呼びます。QSPI は、SPI バスサイクルの最初のデータ受信サイクルの直前に、レイテンシ補正サイクルを追加します。シリアルフラッシュ側から見ると、データ受信サイクル数が増加します。このレイテンシ補正サイクルの追加は、データ受信を伴わずに SPI バスサイクル内で発生することはありません。

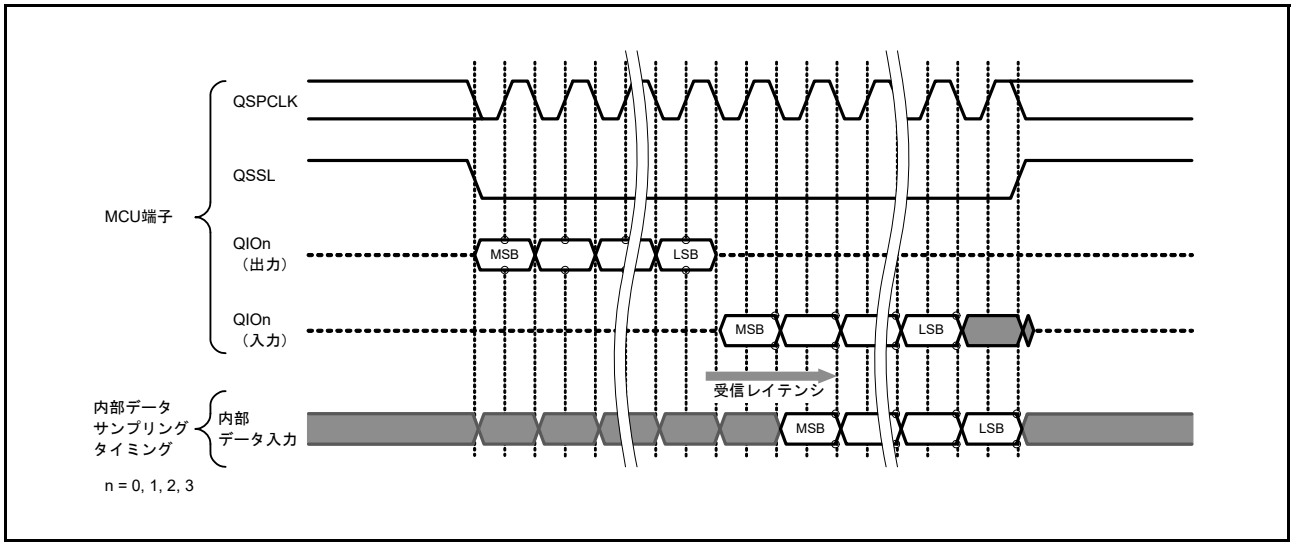


図 39.15 受信レイテンシ

39.6 フラッシュアクセスに使用される SPI 命令セット

39.6.1 自動生成される SPI 命令

シリアルフラッシュがアクセスされると、SFMSAC.SFMAS[1:0] ビットと SFMSMD レジスタの設定値に基づいて、表 39.4 ～表 39.8 に示す命令の 1 つを用いた SPI バスサイクルが自動的に生成されます。

表 39.4 SFMAS[1:0] = 00b の場合に自動生成される SPI 命令

命令フォーマット	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
リード	03h（注1）	1	—	1～∞	必須：SFMRM[2:0] = 000, A8 = 0
	0Bh（注1）	1	—	1～∞	必須：SFMRM[2:0] = 000, A8 = 1

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。

表 39.5 SFMAS[1:0] = 01b の場合に自動生成される SPI 命令

命令フォーマット	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
リード	03h（注1）	2	—	1～∞	必須：SFMRM[2:0] = 000

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。

表 39.6 SFMAS[1:0] = 10b の場合に自動生成される SPI 命令

命令フォーマット	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
リード	03h（注1）	3	—	1～∞	必須：SFMRM[2:0] = 000
ファストリード	0Bh（注1）	3	8（注2）	1～∞	選択可能：SFMRM[2:0] = 001
ファストリードDual出力	3Bh（注1）	3	8（注2）	1～∞	選択可能：SFMRM[2:0] = 010
ファストリードDual I/O	BBh（注1）	3	4（注2）	1～∞	選択可能：SFMRM[2:0] = 011
ファストリードQuad出力	6Bh（注1）	3	8（注2）	1～∞	選択可能：SFMRM[2:0] = 100
ファストリードQuad I/O	EBh（注1）	3	6（注2）	1～∞	選択可能：SFMRM[2:0] = 101
ライトイネーブル	06h	—	—	—	選択可能：ENEX4B[1:0] = 10
4バイトモード	E9h	—	—	—	選択可能：ENEX4B[1:0] = 01,10

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。
注 2. SFMDRC レジスタで、ダミーサイクル数を設定できます。

表 39.7 SFMAS[1:0] = 11b、SFM4BC = 0 の場合に自動生成される SPI 命令

命令フォーマット	命令コード	アドレスバイト数	ダミーサイクル数	データバイト数	備考
リード	03h（注1）	4	—	1～∞	必須：SFMRM[2:0] = 000
ファストリード	0Bh（注1）	4	8（注2）	1～∞	選択可能：SFMRM[2:0] = 001
ファストリードDual出力	3Bh（注1）	4	8（注2）	1～∞	選択可能：SFMRM[2:0] = 010
ファストリードDual I/O	BBh（注1）	4	4（注2）	1～∞	選択可能：SFMRM[2:0] = 011
ファストリードQuad出力	6Bh（注1）	4	8（注2）	1～∞	選択可能：SFMRM[2:0] = 100
ファストリードQuad I/O	EBh（注1）	4	6（注2）	1～∞	選択可能：SFMRM[2:0] = 101
ライトイネーブル	06h	—	—	—	選択可能：ENEX4B[1:0] = 10
4バイトモード遷移	B7h	—	—	—	選択可能：ENEX4B[1:0] = 01,10

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。
注 2. SFMDRC レジスタで、ダミーサイクル数を設定できます。

表 39.8 SFMAS[1:0] = 11b、SFM4BC = 1の場合に自動生成されるSPI命令

命令フォーマット	命令コード	アドレス バイト数	ダミー サイクル数	データ バイト数	備考
リード	13h（注1）	4	—	1～∞	必須：SFMRM[2:0] = 000
ファストリード	0Ch（注1）	4	8（注2）	1～∞	選択可能：SFMRM[2:0] = 001
ファストリードDual出力	3Ch（注1）	4	8（注2）	1～∞	選択可能：SFMRM[2:0] = 010
ファストリードDual I/O	BCh（注1）	4	4（注2）	1～∞	選択可能：SFMRM[2:0] = 011
ファストリードQuad出力	6Ch（注1）	4	8（注2）	1～∞	選択可能：SFMRM[2:0] = 100
ファストリードQuad I/O	ECh（注1）	4	6（注2）	1～∞	選択可能：SFMRM[2:0] = 101
ライトイネーブル	06h	—	—	—	選択可能：ENEX4B[1:0] = 10
4バイトモード遷移	B7h	—	—	—	選択可能：ENEX4B[1:0] = 01,10

注 1. SFMSMD.SFMCCE ビットが 1 のとき、SFMSIC.SFMCIC[7:0] ビットの設定値が命令コードとして使用されます。
注 2. SFMDRC レジスタで、ダミーサイクル数を設定できます。

39.6.2 標準リード命令

標準リード命令は、大部分のシリアルフラッシュでサポートされている一般的なリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード（03h/13h）（注 1）が出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1 ～ 4 バイト幅のアドレスが送信されます。その後、データが受信されます。

この標準リード命令は、QSPI の初期設定で選択されます。

注 1. 多くの 4Kb シリアルフラッシュデバイスは、オーバーヘッドを最小化しリード命令コードのビット 3 から A8 情報を受信するために、1 バイト（A7-A0）以内のアドレスフィールドを持っています。これらのデバイスをサポートするため、1 バイトのアドレス幅（SFMAS[1:0] ビット = 00）が指定されている場合、QSPI は標準リード命令コードのビット 3 に A8（アドレスビット 8）だけを出力します。そのため、標準リード命令コードとして 03h の代わりに 0Bh が出力される場合があります。このコードはファストリード命令コードと重複します。ただし、1 バイトのアドレス幅を持つほとんどの 2Kb 以下のシリアルフラッシュデバイスでは、コマンドのビット 3 は don't-care ビットとしてデコードから除外するよう設計されているため、このようなリード命令コードは標準リード命令コードとして正しく認識されます。まれに、ビット 3 のデコードを許可しているシリアルフラッシュデバイスがあります。そのようなシリアルフラッシュを接続する場合、A8 = 1 になるアクセスを回避するようにアプリケーションを設定してください。

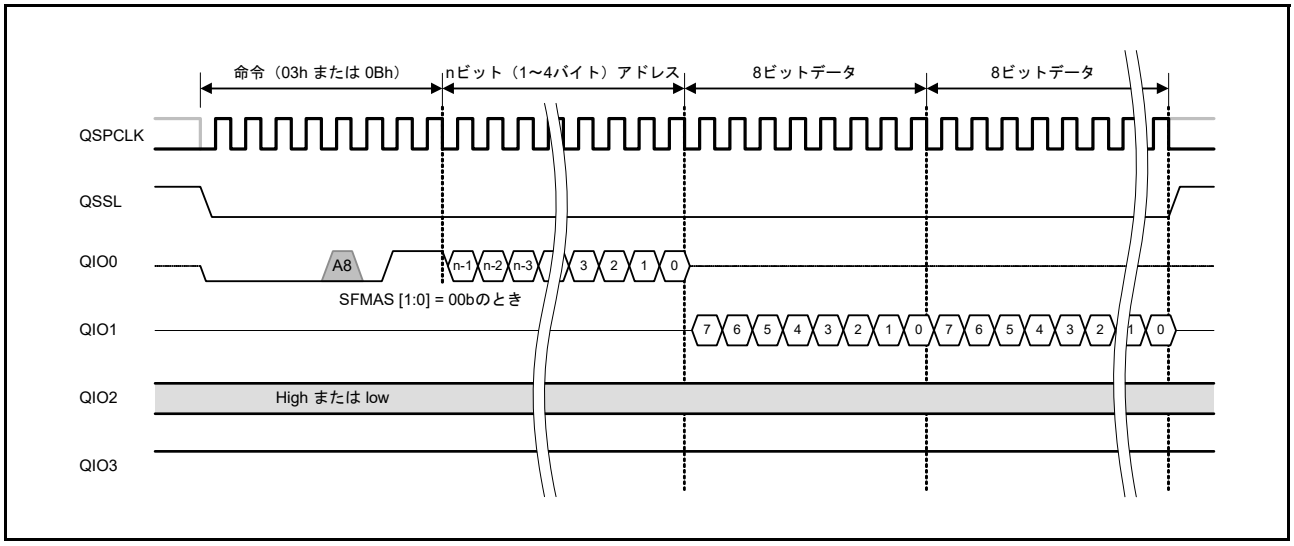


図 39.16 標準リードバスサイクル

39.6.3 ファストリード命令

ファストリード命令は、標準リード命令よりも高速の通信クロックをサポートするリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード（0Bh/0Ch）が出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1 ～ 4 バイト幅のアドレスと、SFMSDC レジスタで指定した数のダミーサイクルが送信されます。その後、データが受信されます。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択／非選択に使用します。XIP モードを選択した場合、このとき使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、39.8 XIP 制御を参照してください。

ファストリード命令への切り替えは、SFMSMD レジスタで制御します。

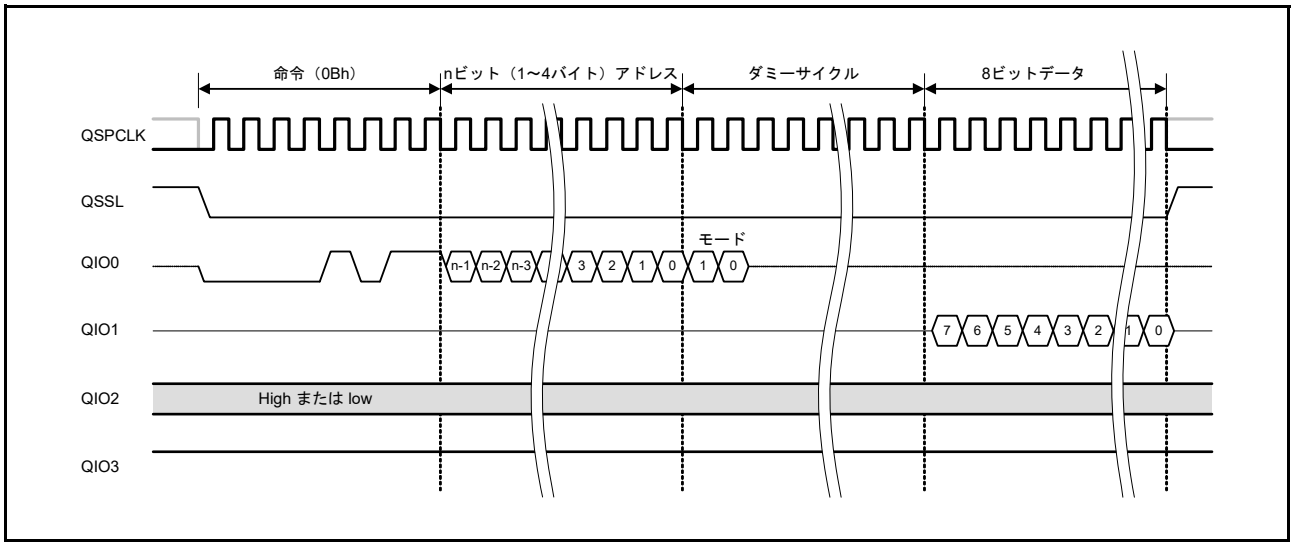


図 39.17 ファストリードバスサイクル

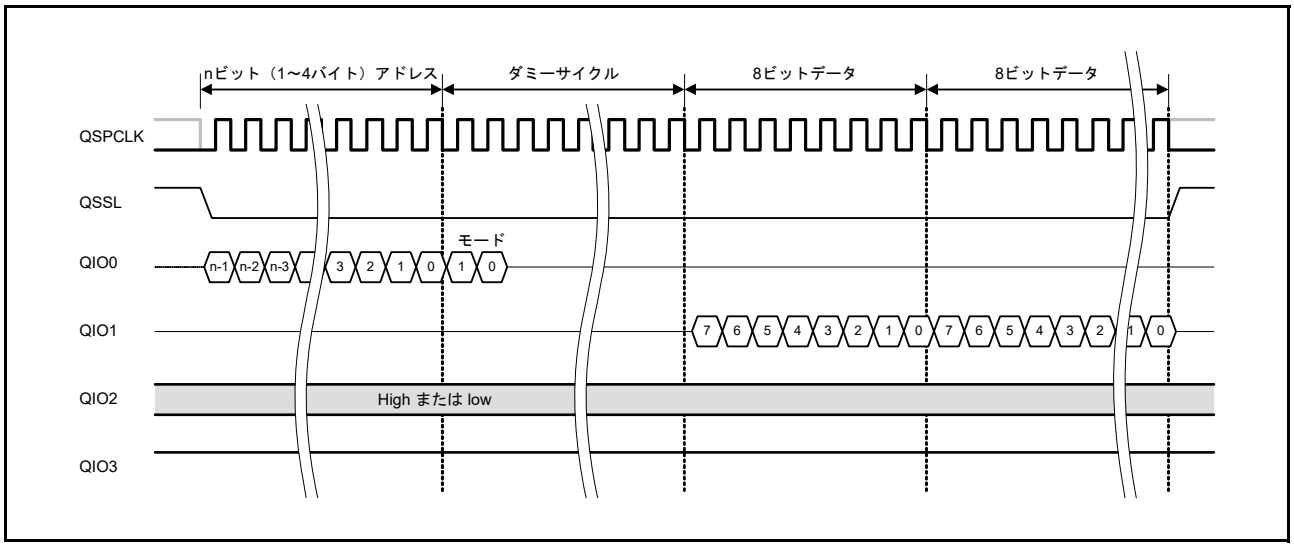


図 39.18 XIP モード時のファストリードバスサイクル

注 . ファストリード命令を使用するには、ファストリード転送をサポートするシリアルフラッシュデバイスが必要です。

39.6.4 ファストリード Dual 出力命令

ファストリード Dual 出力命令は、データ受信に 2 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされます。命令コード（3Bh/3Ch）および SFMSAC.SFMAS[1:0] ビットで指定した 1 ～ 4 バイト幅のアドレスが QIO0 端子から送信されます。次に、SFMSDC レジスタで指定した数のダミーサイクルが生成されます。その後、QIO0 端子と QIO1 端子経由でデータを受信します。QIO0 端子からは偶数ビットのデータを受信し、QIO1 端子からは奇数ビットのデータを受信します。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択／非選択に使用されます。XIP モードを選択した場合、このとき使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、39.8 XIP 制御を参照してください。

ファストリード Dual 出力への切り替えは、SFMSMD レジスタで制御します。

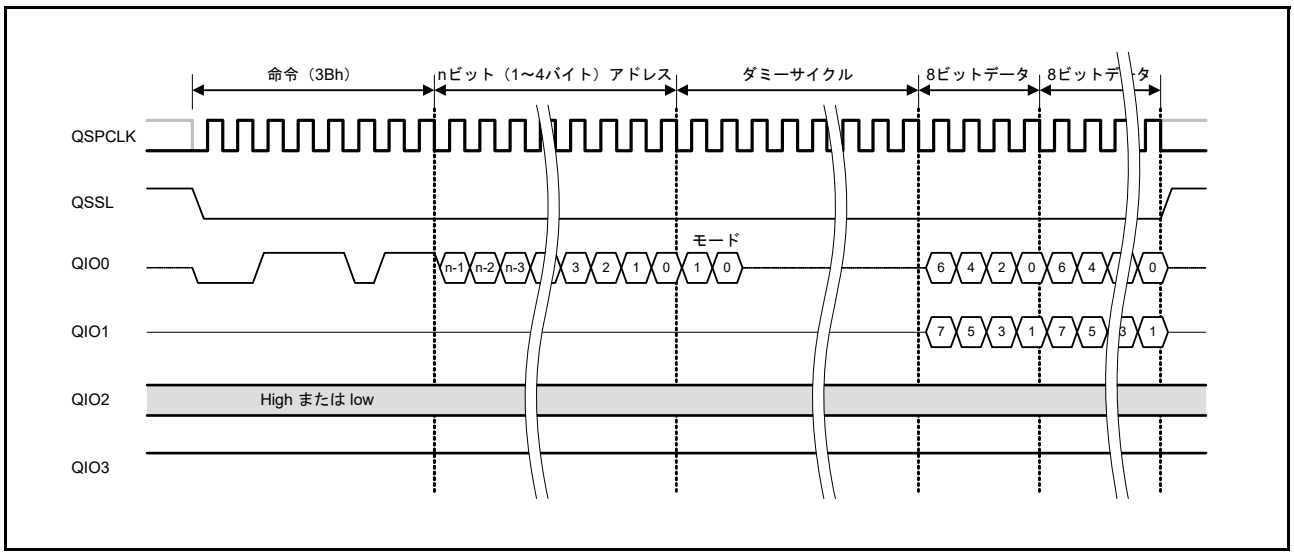


図 39.19 ファストリード Dual 出力バスサイクル

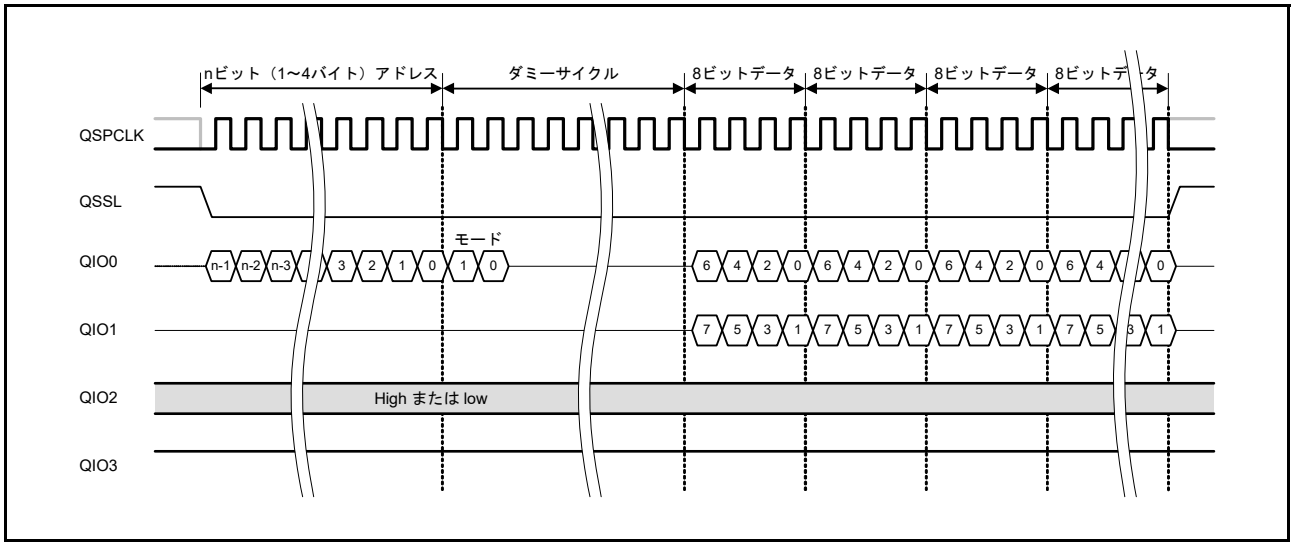


図 39.20 XIP モード時のファストリード Dual 出力バスサイクル

注 . ファストリード Dual 出力命令を使用するには、ファストリード Dual 出力転送をサポートするシリアルフラッシュデバイスが必要です。

39.6.5 ファストリード Dual I/O 命令

ファストリード Dual I/O 命令は、アドレス送信とデータ受信に 2 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード（BBh/BCh）が QIO0 端子から出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1 ～ 4 バイト幅のアドレスが QIO0 端子および QIO1 端子経由で送信され、SFMSDC レジスタで指定した数のダミーサイクルが生成されます。その後、QIO0 端子、QIO1 端子からデータを受信します。アドレスとダミーサイクルの送信およびデータ受信は、偶数ビットについては QIO0 端子経由で、奇数ビットについては QIO1 端子経由で行われます。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択／非選択に使用します。XIP モードを選択した場合、このとき使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、39.8 XIP 制御を参照してください。

ファストリード Dual I/O への切り替えは、SFMSMD レジスタで制御します。

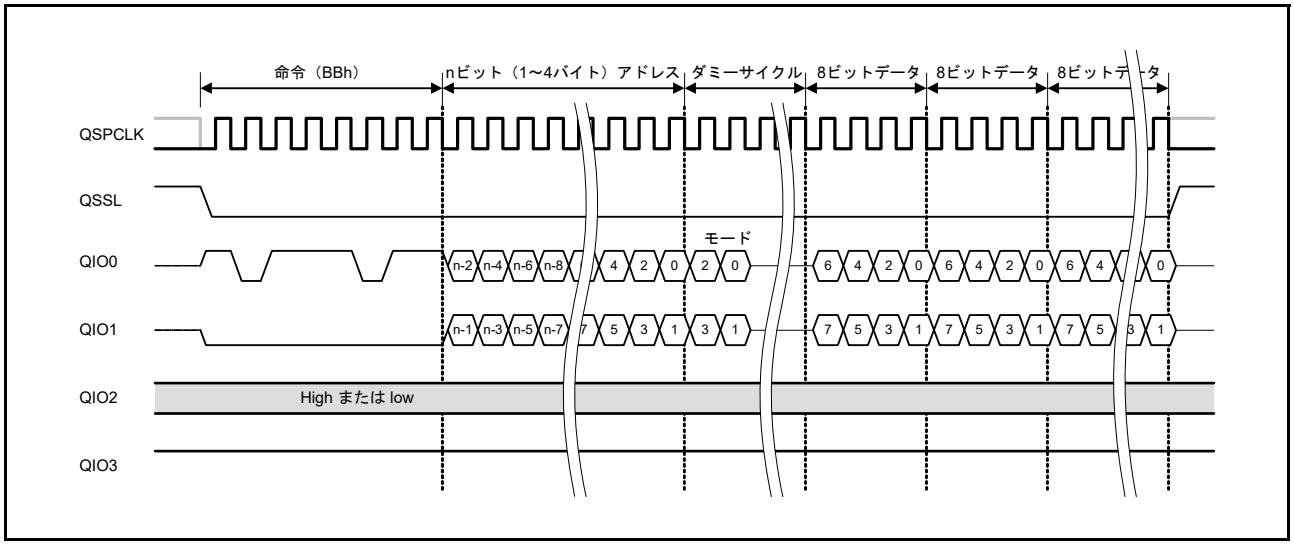


図 39.21 ファストリード Dual I/O バスサイクル

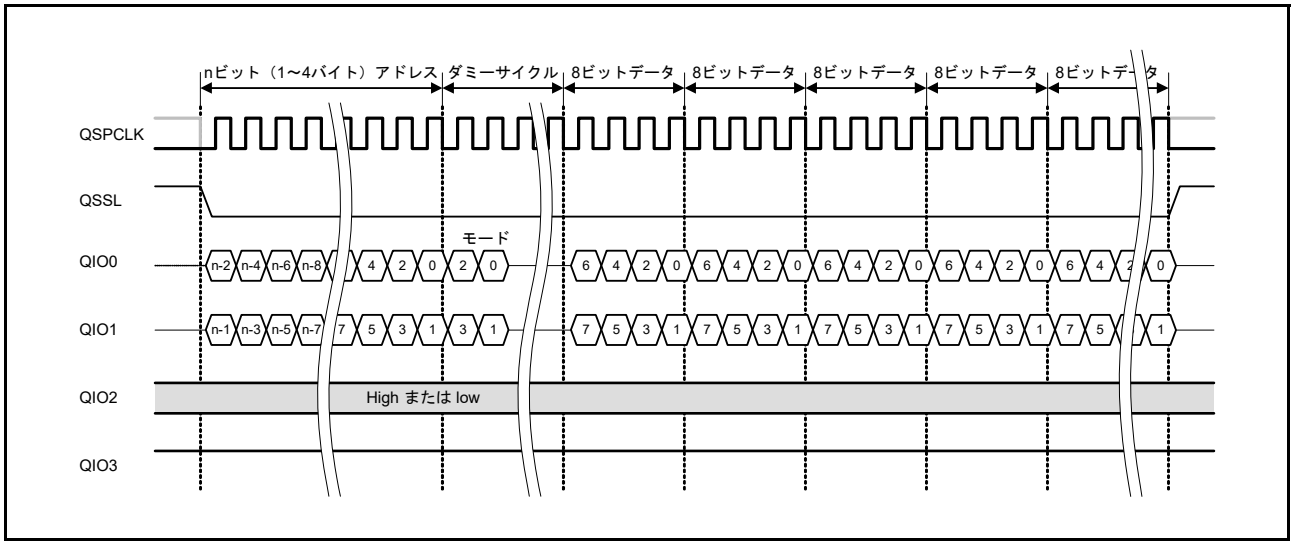


図 39.22 XIP モード時のファストリード Dual I/O バスサイクル

注 . ファストリード Dual I/O 命令を使用するには、ファストリード Dual I/O 転送をサポートするシリアルフラッシュデバイスが必要です。

39.6.6 ファストリード Quad 出力命令

ファストリード Quad 出力命令は、データ受信に 4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされます。命令コード（6Bh/6Ch）および SFMSAC.SFMAS[1:0] ビットで指定した 1 ～ 4 バイト幅のアドレスが QIO0 端子から出力されます。次に、SFMSMD.SFMDN[3:0] ビットで指定した数のダミーサイクルが生成されます。その後、QIO0 端子、QIO1 端子、QIO2 端子、および QIO3 端子経由でデータを受信します。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択／非選択に使用されます。XIP モードを選択した場合、このとき使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、39.8 XIP 制御を参照してください。

ファストリード Quad 出力への切り替えは、SFMSMD レジスタで制御します。

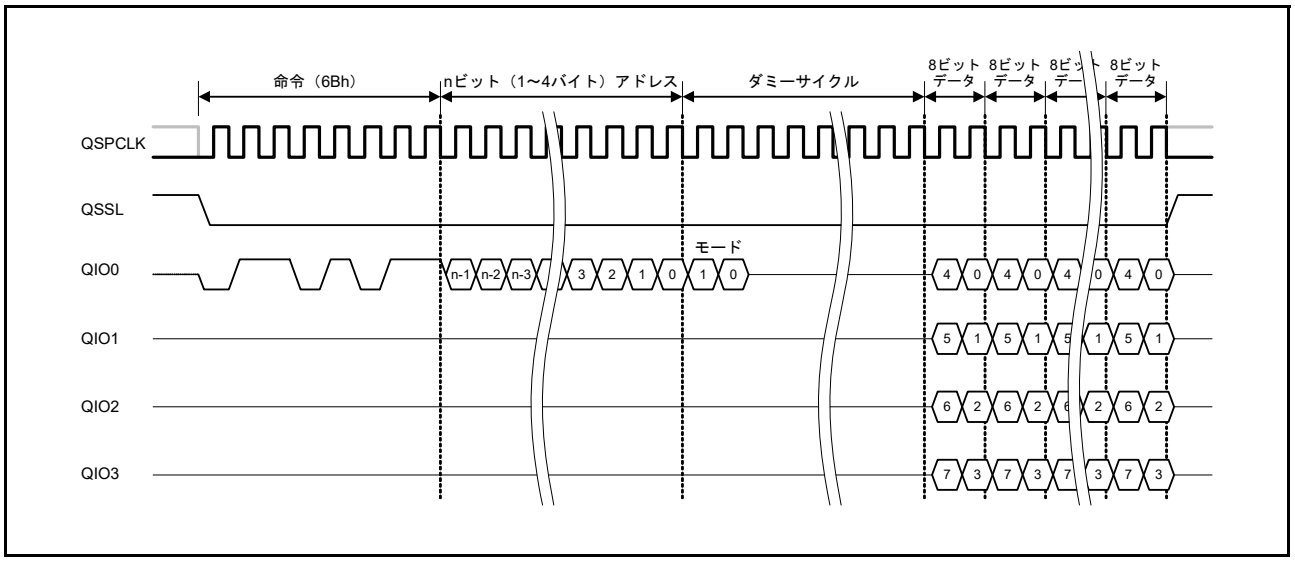


図 39.23 ファストリード Quad 出力バスサイクル

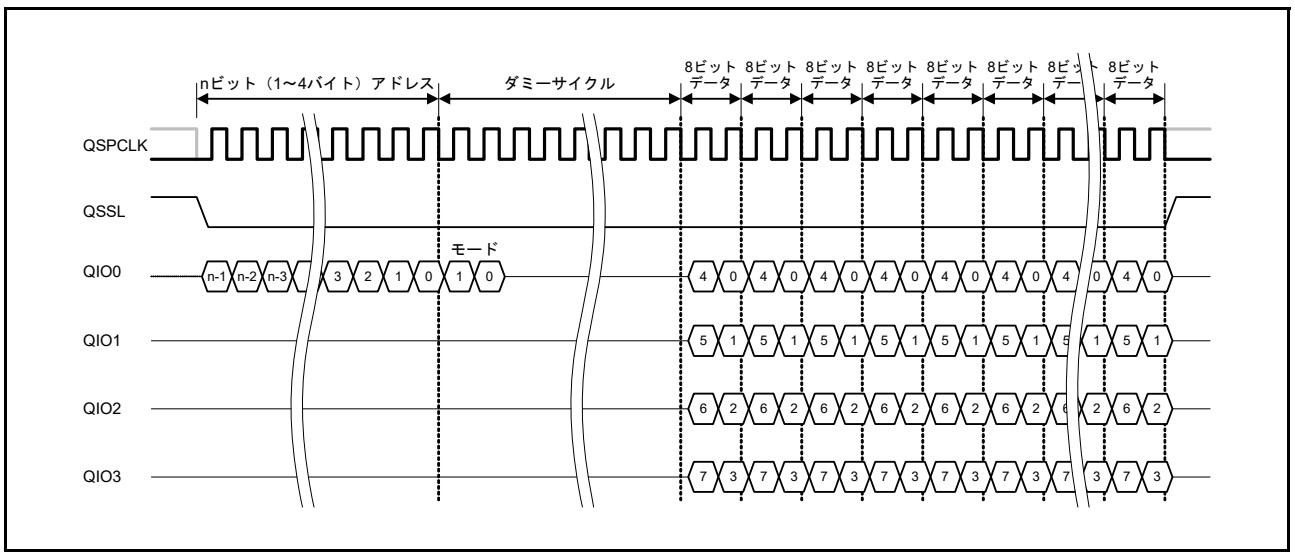


図 39.24 XIP モード時のファストリード Quad 出力バスサイクル

注 . ファストリード Quad 出力を使用するには、ファストリード Quad 出力転送をサポートするシリアルフラッシュが必要です。

39.6.7 ファストリード Quad I/O 命令

ファストリード Quad I/O 命令は、アドレス送信とデータ受信に 4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード（EBh/ECh）が出力されます。次に、SFMSAC.SFMAS[1:0] ビットで指定した 1 ～ 4 バイト幅のアドレスが QIO0 端子、QIO1 端子、QIO2 端子、QIO3 端子経由で送信され、SFMSMD.SFMDN[3:0] ビットで指定した数のダミーサイクルが生成されます。その後、QIO0 端子、QIO1 端子、QIO2 端子、および QIO3 端子経由でデータを受信します。

ダミーサイクルの最初の 2 サイクルは、XIP モードの選択／非選択に使用されます。XIP モードを選択した場合、このとき使用される命令と同じ命令が次の SPI バスサイクルにも適用され、次の SPI バスサイクルで命令コードは出力されません。XIP モードの詳細は、39.8 XIP 制御を参照してください。

ファストリード Quad I/O への切り替えは、SFMSMD レジスタで制御します。

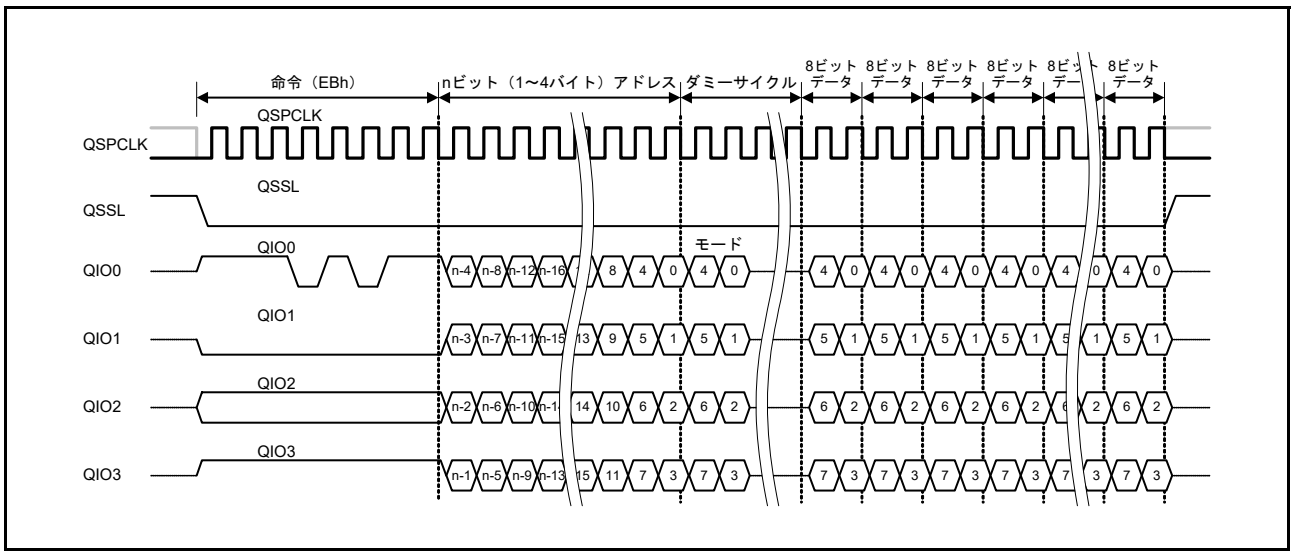


図 39.25 ファストリード Quad I/O バスサイクル

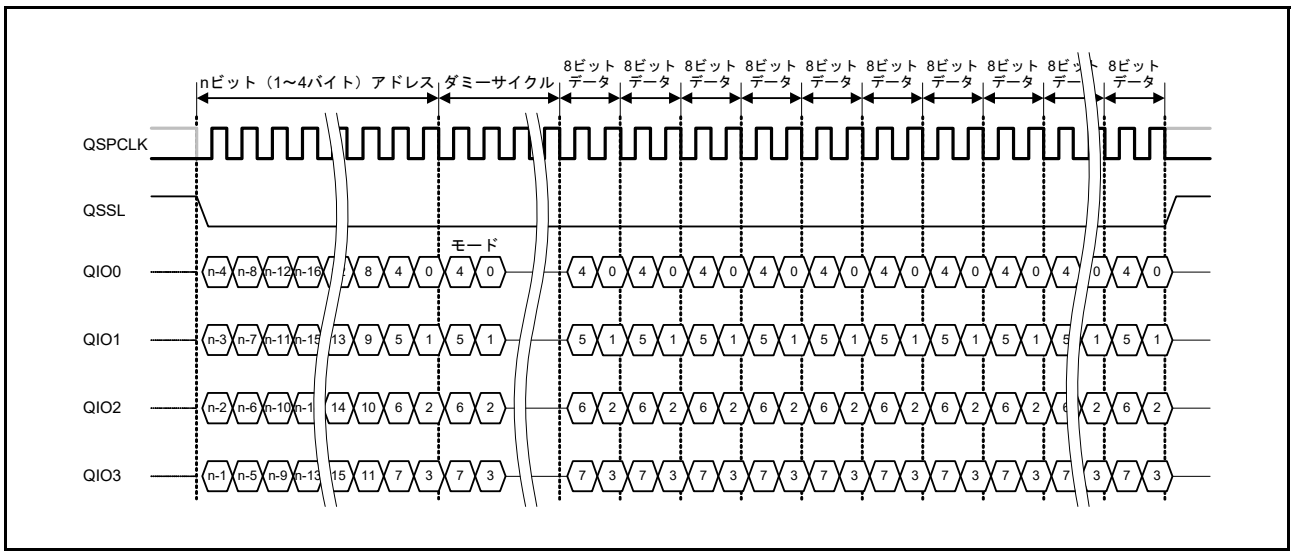


図 39.26 XIP モード時のファストリード Quad I/O バスサイクル

注 . ファストリード Quad I/O 命令を使用するには、ファストリード Quad I/O 転送をサポートするシリアルフラッシュデバイスが必要です。

39.6.8 4 バイトモード遷移命令

4 バイトモード遷移命令では、シリアルフラッシュのアドレス幅を 4 バイトに設定します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード（B7h）が出力されます。

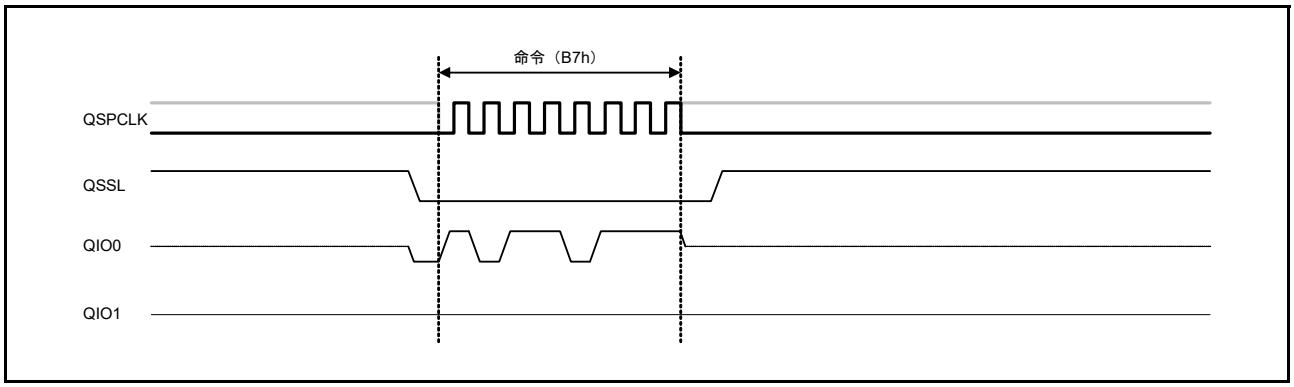


図 39.27 4 バイトモード遷移バスサイクル

注 . 4 バイトモード遷移命令の発行は、シリアルフラッシュが 3 バイトモード／4 バイトモードのいずれであるかにかかわらず実行されます。

39.6.9 4 バイトモード解除命令

4 バイトモード解除命令では、シリアルフラッシュのアドレス幅を 3 バイトに設定します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード（E9h）が出力されます。

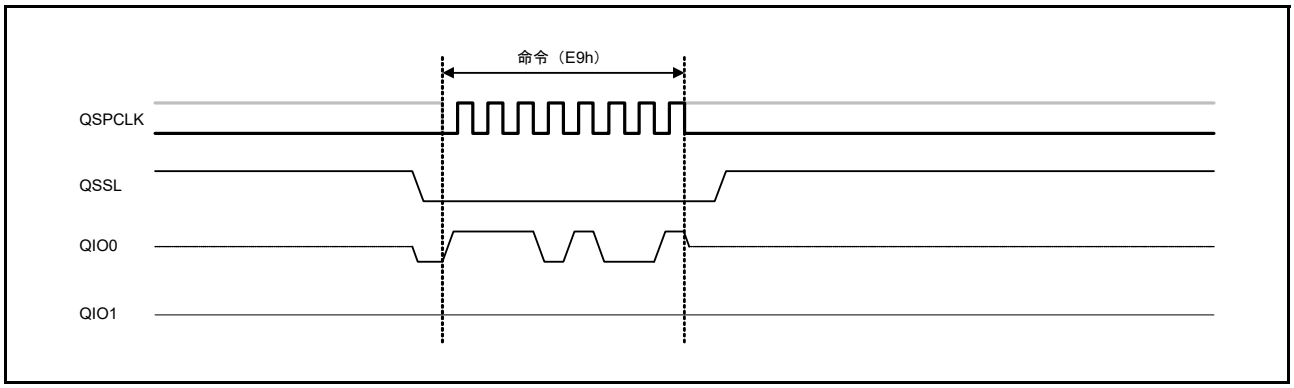


図 39.28 4 バイトモード解除バスサイクル

注 . 4 バイトモード解除命令の発行は、シリアルフラッシュが 3 バイトモード／4 バイトモードのいずれであるかにかかわらず実行されます。

39.6.10 ライトイネーブル命令

ライトイネーブル命令は、シリアルフラッシュのアドレス幅の変更を許可します。SPI バスサイクルの開始時に、シリアルフラッシュ選択信号がアサートされ、命令コード（06h）が出力されます。

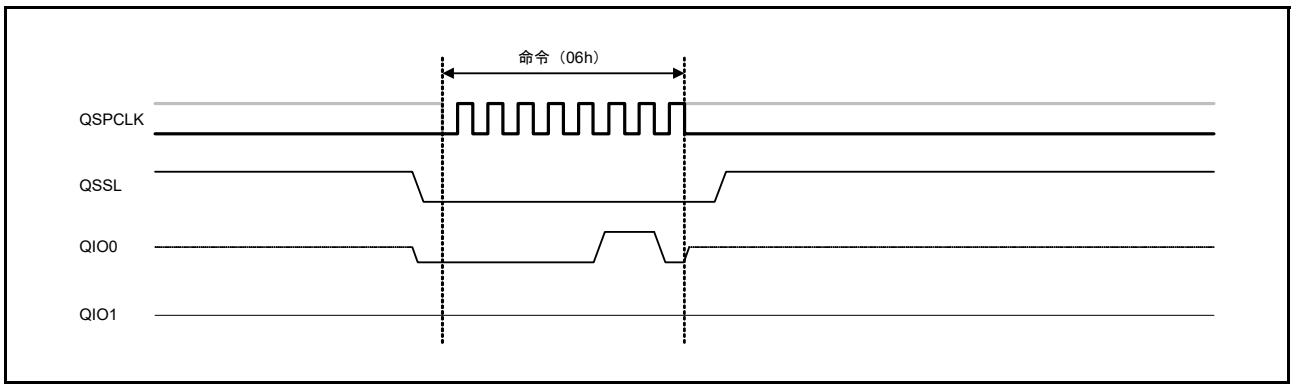


図 39.29 ライトイネーブルバスサイクル

39.7 SPI バスサイクル配置

39.7.1 個々の変換に基づくフラッシュリード

ROM リード内部バスサイクルは、サイクルごとに 1 対 1 で SPI バスサイクルに変換されます。ROM リードバスサイクルが検出されると、QSSL 信号がアサートされ、SPI バスサイクルがスタートします。シリアルフラッシュからデータを受信すると、QSSL 信号がデアサートされ、SPI バスサイクルが終了します。

別の ROM リードバスサイクルが検出されると、QSSL 信号の最小 High 幅が確保されていることを確認した後、QSSL 信号が再びアサートされます。その後、別の SPI バスサイクルが始まります。

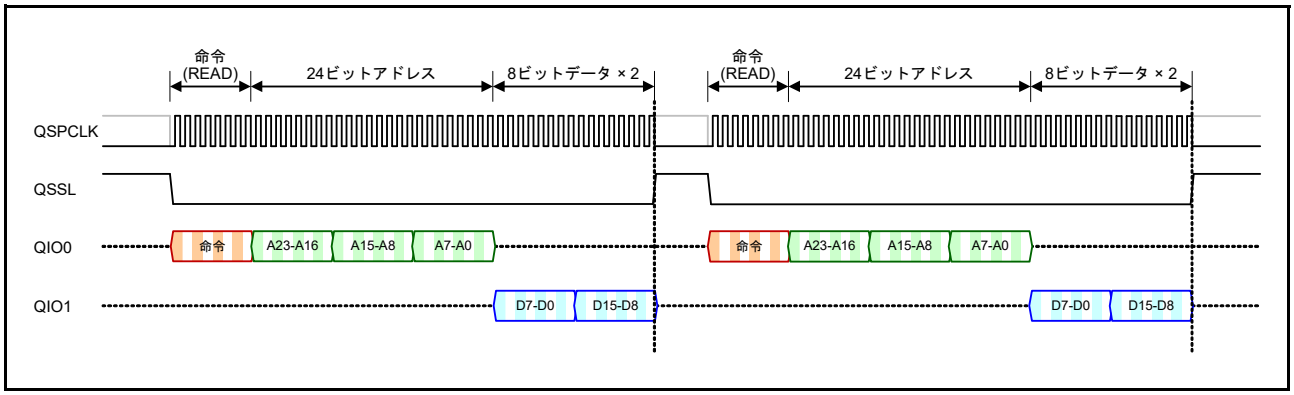


図 39.30 個々の変換に基づく連続データリード動作

39.7.2 プリフェッチ機能を使用したフラッシュリード

CPU 命令実行やブロックデータ転送のような動作では、多くの場合、データは連続したフラッシュアドレスから昇順に読み出されます。シリアルフラッシュには、命令コードやアドレスを再発行せずにデータ受信を繰り返す機能があります。ただし、MCU が発行したバスサイクルが個々に変換される場合、SPI バスサイクルは互いに切り離され、シリアルフラッシュが持つこの機能の利点を活用できなくなります。QSPI は、この機能を利用するためのプリフェッチ機能を備えています。

プリフェッチ機能を有効にするには、SFMSMD.SFMPFE ビットを 1 にします。プリフェッチ機能を有効にすると、データは別のフラッシュリード要求を待つことなく、連続的に受信されてバッファに格納されます。MCU がフラッシュリード動作を行うと、アドレスチェックが実行されます。アドレス一致が確認されると、バッファ内のデータは MCU に送られます。アドレスの不一致が見つかると、バッファ内のデータが廃棄され、新しい SPI バスサイクルが発行されます。

プリフェッチ用バッファの長さは 18 バイトです。このバッファがいっぱいになると、SPI バスサイクルが終了します。バッファデータが読み出されて空きができると、新しい SPI バスサイクルが自動的に開始され、プリフェッチが再開されます。

命令フェッチやブロックデータ転送のように連続アドレスから昇順でデータを読み出す場合、プリフェッチ機能は効率的な転送動作を可能にします。

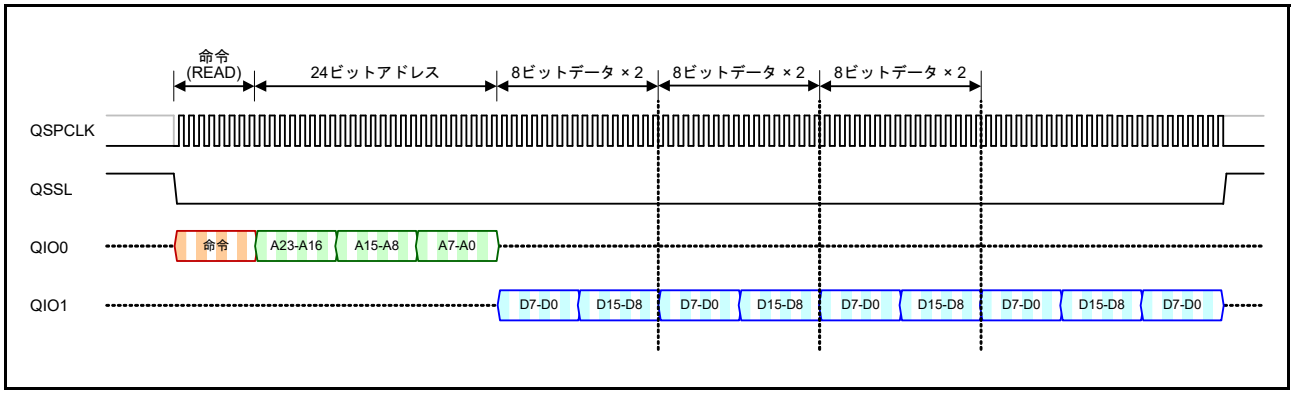


図 39.31　プリフェッチ機能を使用した連続データのリード動作

39.7.3　プリフェッチの停止

プリフェッチのシリアル転送中に別のアドレスから読み出すための ROM リードバスサイクルが発生すると、実行中の不要なシリアル転送が停止して、新しい SPI バスサイクルが開始されます。通常、このようなシリアル転送の停止は、データ受信のバイト境界で発生します。ただし、SFMSMD.SFMPAE ビットを 1 にすると、バイト境界以外の場所で停止することができます。この機能を使用するには、シリアルフラッシュデバイスがバイト境界以外での停止をサポートしている必要があります。

39.7.4　プリフェッチ先の直接指定

SFMPFE ビットを設定して、QSPI が QSPI ウィンドウ領域への内部バスライトアクセスを受信すると、システムはそれをプリフェッチアドレスとして入手し、プリフェッチを開始します。QSPI ウィンドウ領域への内部バスライトアクセスは、プリフェッチアドレスデータの入手のためにのみ使用できます。シリアルフラッシュに書き込むことはできません。

この機能を「39.　プリフェッチ状態ポーリング」で述べるプリフェッチ状態ポーリング機能と組み合わせると、低速シリアルフラッシュからデータを読み出す際に、内部バスの負荷を削減できます。

注 .　QSPI ウィンドウ領域に書き込みを行ってプリフェッチ先を指定する場合は、プリフェッチを開始するアドレスの先頭バイトに書き込んでください。2 バイト以上のデータサイズで QSPI ウィンドウ領域に書き込みを行うと、エラー応答が返ります。

39.7.5　プリフェッチ状態ポーリング

低速シリアルフラッシュからデータを読み出すと、SPI 受信バスサイクルが完了するまで内部バスは待機状態になるため、システム負荷が増大します。プリフェッチ状態ポーリング機能は、この負荷を軽減するための機能です。

SFMSST.PFOFF ビットはプリフェッチ機能の状態を示し、SFMSST.PFCNT[4:0] ビットはプリフェッチ済みのデータバイト数を示します。そのため、プリフェッチ状態は 1 回の CPU 動作で決定できます。

```
//
// 1Kバイト（32ビット × 256ワード）データをシリアルフラッシュからSDRAMへコピー
//
unsigned long *sptr;                    // シリアルフラッシュのポインタ
unsigned long *dptr;                    // SDRAMのポインタ
int i;

SFMSMD |= 0x0040;                       // SFMPFEビットを設定して、プリフェッチを許可
*( (volatile unsigned char *) sptr ) = 0;   // TAGを有効にして、プリフェッチを開始

for ( i = 0 ; i＜256 ; i++ ){
while ( ( SFMSST & 0x00FF )＜0x04 ){}; // 4バイトデータの受信待ち
*(dptr++) = *(sptr++);
}
```

注 . ポーリングプログラムを実行する場合、プログラムをシリアルフラッシュの外部に置くか、命令キャッシュを有効にしてください。ポーリングプログラムを実行するとき、そのプログラムがシリアルフラッシュに置かれていた場合、または命令キャッシュを使わずにプログラムを実行した場合、プリフェッチの対象がしばしば命令コードに切り替わります。その結果、ポーリングの効果が損なわれ、プリフェッチバッファに空きができるために無限ループに陥ることがあります。

39.7.6 SPI バスサイクル拡張機能を使用したフラッシュリード

SFMSMD.SFMSE[1:0] ビットを 00b 以外の値にすると、QSPI は次のフラッシュリードを待ちます。このとき、QSPCLK 信号は停止し、シリアルフラッシュからデータを入手した後も QSSL 信号が Low に保持され、SPI バスサイクルが中断されます。

次のフラッシュリードのアドレスが昇順の連続アドレスの場合、QSPCLK 信号のトグルが再開され、後続データの受信が継続します。次のフラッシュリードのアドレスが昇順の連続アドレスではない場合、QSSL 信号はいったん High になり、中断されていた SPI バスサイクルを終了させます。その後、新しい SPI バスサイクルが開始されます。

昇順の連続アドレスからデータが断続的に読み出される場合、この機能は、命令コードとアドレス送信の負荷を削減することにより、効率的な転送動作を実現します。

SPI バスサイクル拡張時間は、SFMSMD.SFMSE[1:0] ビットで選択できます。指定した拡張時間が経過すると、QSSL 信号は High レベルに戻り、中断されていた SPI バスサイクルを自動的に終了させます。SFMSE[1:0] ビットを 11b にすると、QSSL は無限に拡張されます。その場合、シリアルフラッシュの消費電力が増大するので、それに対応できるようにシステムを設計する必要があります。

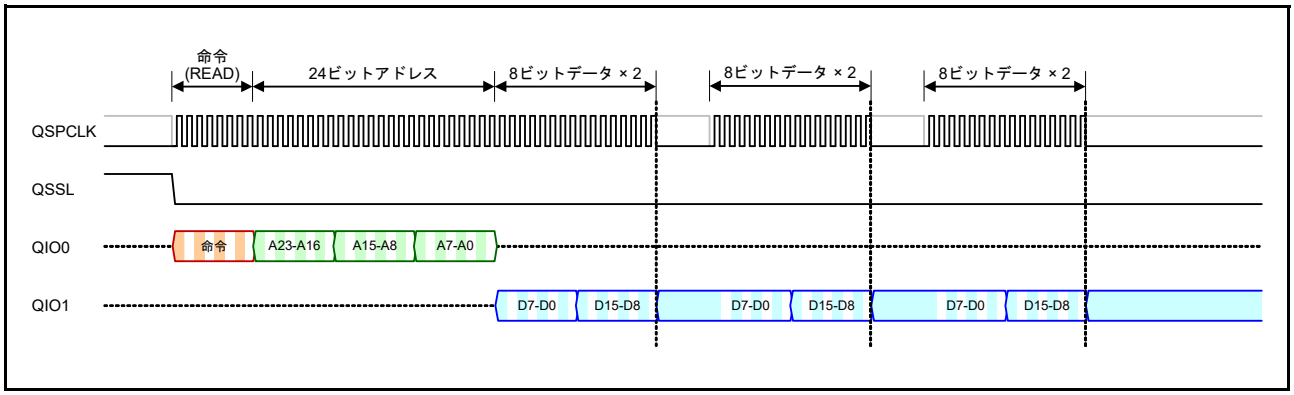


図 39.32 SPI バスサイクル拡張を使用した連続データのリード動作

39.8 XIP 制御

シリアルフラッシュデバイスの中には、フラッシュリードのための命令コード受信をスキップすることで、待ち時間を削減できるものもあります。この命令コードスキップ機能は、前回のシリアルバスサイクルのダミーサイクル期間中に受信したモードデータで選択されます。

ファストリード命令のダミーサイクルでは、図 39.33 に示すように、QSPI は最初の 2 サイクル中に SFMSDC.SFMXD[7:0] ビットで設定したモードデータを、シリアルデータ信号を使用して送信することによって、シリアルフラッシュの XIP モードを制御します。

XIP モードを有効にするモードデータは、シリアルフラッシュごとに異なります。そのため、SFMXD[7:0] ビットには適切なモードデータを設定してください。

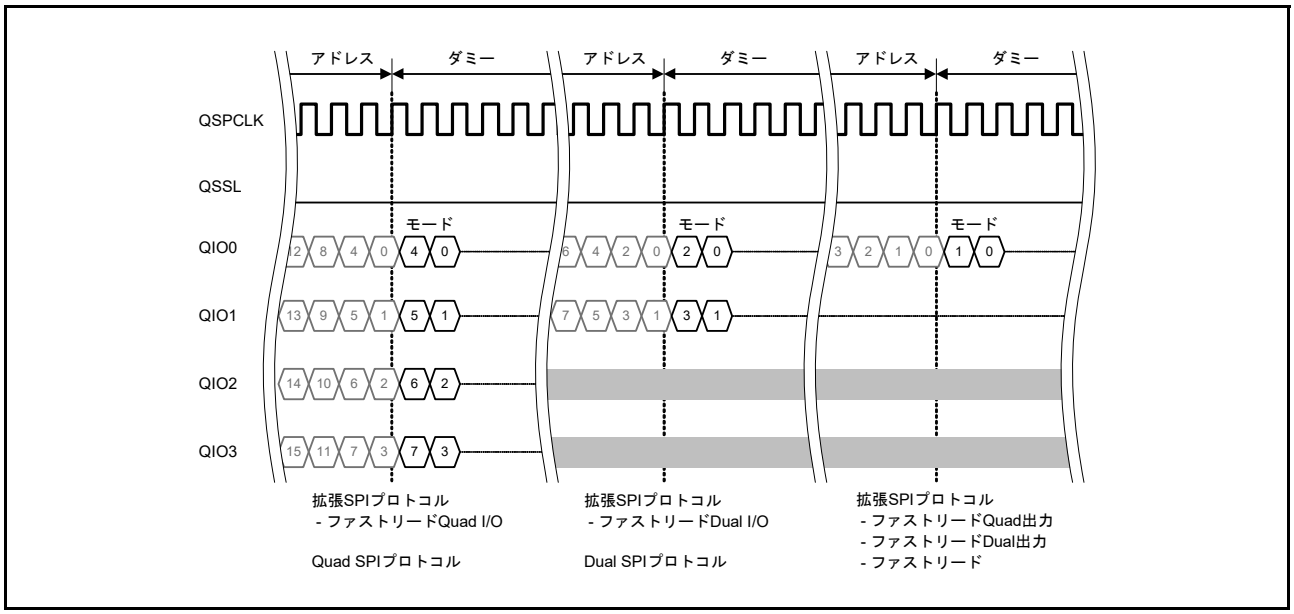


図 39.33 XIP モード制御データ

39.8.1 XIP モードの選択

XIP モードを選択するには、SFMSDC.SFMXD[7:0] ビットでシリアルフラッシュデバイスの XIP モード設定を指定し、SFMXEN ビットを 1 にします。次のファストリード命令のダミーサイクルでは、SFMXD[7:0] ビットで指定したモードデータがシリアルフラッシュデバイスへ転送されます。その時点から、シリアルフラッシュコントローラとシリアルフラッシュデバイスの両方で XIP モードが有効になります。XIP モード選択の完了を確認するには、SFMSDC.SFMXST ビットから 1 を読み出します。

注 . SFMSDC.SFMXD[7:0] ビットでは、実際のシリアルフラッシュデバイスに指定された XIP モード設定データを指定してください。シリアルフラッシュコントローラの XIP モードは、SFMSDC.SFMXD[7:0] ビットの設定にかかわらず、SFMXEN ビットでのみ有効にできます。

39.8.2 XIP モードの解除

XIP モードを解除するには、SFMSDC.SFMXD[7:0] ビットでシリアルフラッシュの解除設定を指定し、SFMXEN ビットを 0 にします。次のファストリード命令のダミーサイクルでは、SFMXD[7:0] ビットで指定したモードデータが、最初の 2 サイクルの間にシリアルフラッシュへ転送されます。その時点から、QSPI とシリアルフラッシュデバイスの両方で XIP モードが無効になります。XIP モード解除の完了を確認するには、SFMSDC.SFMXST ビットから 0 を読み出します。

注 . SFMSDC.SFMXD[7:0] ビットでは、実際のシリアルフラッシュデバイスに指定された XIP モード設定データを指定してください。シリアルフラッシュコントローラの XIP モードは、SFMSDC.SFMXD[7:0] ビットの設定にかかわらず、SFMXEN ビットでのみ無効にできます。

39.9 QIO2 端子、QIO3 端子の状態

QIO2 端子と QIO3 端子の状態は、SFMSMD.SFMRM[2:0] ビットに指定されたシリアルインタフェースのリードモードに依存します。

表 39.9 QIO2端子とQIO3端子の状態

SFMSMD.SFMRM[2:0] ビット	QIO2端子の状態（注1）	QIO3端子の状態（注2）	備考
111	設定禁止		
110			
101	シリアルデータ信号としての入力／出力（スタンバイレベルはHi-Z）	シリアルデータ信号としての入力／出力（スタンバイレベルはHi-Z）	ファストリードQuad I/O
100			ファストリードQuad出力
011	SFMPMD.SFMWPLビット変数出力（初期出力変数はLowレベル）	出力Highレベル	ファストリードDual I/O
010			ファストリードDual出力
001			ファストリード
000			リード（初期状態）

注 1. シリアルフラッシュは、WP 機能用に QIO2 端子も使用できます。
注 2. シリアルフラッシュは、HOLD または RESET 機能用に QIO3 端子も使用できます。

39.10 直接通信モード

39.10.1 直接通信

QSPI は、ROM リードバスサイクルを SPI バスサイクルに自動変換することにより、シリアルフラッシュの内容を読み出すことが可能です。ただし、シリアルフラッシュデバイスはメモリデータリードの他にも、ID 情報のリード、イレース、プログラミング、状態情報リードなどの各種機能を備えています。これらの機能を使用するための標準命令セットは存在せず、多くのベンダーが様々なデバイスに次々と機能を追加しています。そのため、これらの機能をハードウェア制御でサポートすることは困難です。

ソフトウェアが直接シリアルフラッシュと通信できる手段を提供することで、QSPI はこれらのシリアルフラッシュデバイスを柔軟にサポートしています。結果として、ソフトウェアで必要な SPI バスサイクルを作成することが可能です。

39.10.2 直接通信モードの使用

シリアルフラッシュと直接通信するには、SFMCMD.DCOM ビットを 1 にして直接通信モードへ遷移してください。直接通信モードを選択している間は、通常のフラッシュリード動作は無効になります。直接通信後の通常のフラッシュアクセスでは、SFMCMD.DCOM ビットを 0 にして直接通信モードを停止してください。

注 . QSPI を XIP モードに設定している場合、XIP モードを停止してから直接通信モードを開始してください。

39.10.3 直接通信時の SPI バスサイクルの発生

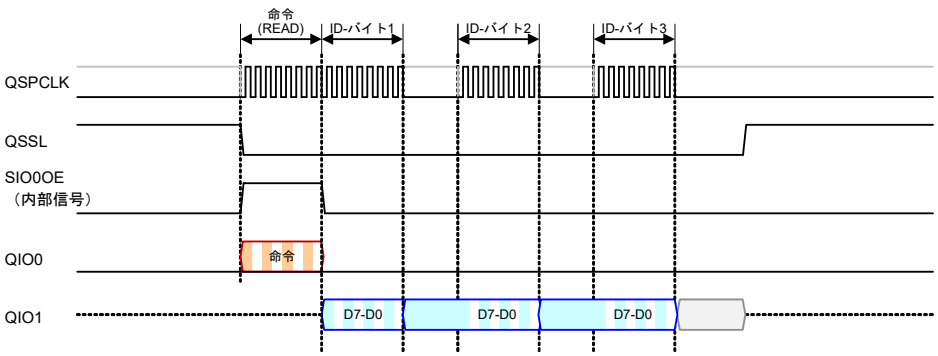
直接通信での SPI バスサイクルは、SFMCOM ポートへの最初のアクセスで開始し、SFMCOM ポート経由で一連の入出力動作が実行された後、SFMCMD レジスタへの書き込みで終了します。その時点で、SFMCOM ポートへの書き込みは SPI バスへの 1 バイト送信に変換され、SFMCOM ポートからの読み出しは SPI バスからの 1 バイト受信に変換されます。

SFMCOM ポートへの最初のアクセスから SFMCMD レジスタへの最後の書き込み動作までの期間中、シリアルフラッシュ選択信号はアクティブに保持され、シリアルフラッシュに一連の SPI バスサイクルが進行中であることを通知します。

注 . 直接通信モードでは、SFMCMD 以外のレジスタ（SFMSMD、SFMSSC、SFMSKC、SFMSST、SFMCST、SFMSIC、SFMSAC、SFMSDC、SFMSPC、SFMPMD を含む）への書き込みはすべて禁止されています。この回路構成では、SFMCOM ポート以外のレジスタ領域への書き込みによって SPI バスサイクルが停止します。ただし、SPI バスサイクルを停止させる目的で、SFMCMD 以外のレジスタ領域に書き込みを行わないでください。このような動作は、通常機能として保証されていません。

以下に、直接通信のプログラム例を示します。

```
//### 注意！ ### このコードは、制御するシリアルフラッシュの外部に配置してください。

// 対象シリアルフラッシュデバイスの具体的な命令コードを定義
#define  Instruction_FREAD  0x0B // ファストリード
#define  Instruction_RDSR   0x05  // ステータスレジスタリード
#define  Instruction_RDID   0x9F   // IDリード
#define  Instruction_WREN   0x06  // ライトイネーブル
#define  Instruction_CERA   0xC7  // チップイレース

unsigned char  mfid, mtype, mcap, data, temp;

SFMCMD = 0x01;                    // 直接動作許可

// JEDECにより割り当てられたデバイスIDを取得
SFMCOM = Instruction_RDID;        // "IDリード"命令（SPIバスサイクルをオープン）
mfid   = (unsigned char) SFMCOM;  // "メーカーID"を取得
mtype  = (unsigned char) SFMCOM; // "メモリタイプ"を取得
mcap   = (unsigned char) SFMCOM; // "メモリ容量"を取得
SFMCMD = 0x01;                    // SPIバスサイクルをクローズ

// アドレス0x012345hから1バイト取得
SFMCOM = Instruction_FREAD;       // "ファストリード"命令（SPIバスサイクルをオープン）
SFMCOM = 0x01;                    // アドレス0x012345の上位バイトを入力
SFMCOM = 0x23;                    // ターゲットアドレス0x012345の中間バイトを入力
SFMCOM = 0x45;                    // ターゲットアドレス0x012345の下位バイトを入力
temp   = (unsigned char)SFMCOM;   // FAST READトランザクションの1バイトダミーコードを取得
data   = (unsigned char)SFMCOM;   // データを取得
SFMCMD = 0x01;                    // SPIバスサイクルをクローズ

// すべての内容を消去
SFMCOM = Instruction_WREN; // "ライトイネーブル"命令（SPIバスサイクルをオープン）
SFMCMD = 0x01;                  // SPIバスサイクルをクローズ
SFMCOM = Instruction_CERA;  // "チップイレース"命令（SPIバスサイクルをオープン）
SFMCMD = 0x01;                  // SPIバスサイクルをクローズ
SFMCOM = Instruction_RDSR;  // "ステータスレジスタリード"命令（SPIバスサイクルをオープン）
while (SFMCOM & 0x01){};        // 完了するまで"ライト進捗ビット"をポーリング
SFMCMD = 0x01;                  // SPIバスサイクルをクローズ

SFMCMD = 0x00;                  // 直接動作禁止
```




```
(1)  SFMCMD = 01h;                          // 直接動作を許可
                                            // JEDECにより割り当てられたデバイスIDの取得
(2)  SFMCOM = Instruction_RDID;             // “IDリード”命令をプット（トランザクションをオープン）
(3)  mfid = (unsigned char) SFMCOM;         // IDバイト1“メーカID”を取得
(4)  mtype = (unsigned char) SFMCOM;        // IDバイト2“メモリタイプ”を取得
(5)  mcap = (unsigned char) SFMCOM;         // IDバイト3“メモリ容量”を取得
(6)  SFMCMD = 01h;                          // トランザクションをクローズ
(7)  SFMCMD = 00h;                          // 直接動作を禁止
```

図 39.34　　ID リードの直接通信タイミング例

注 .　直接通信モードで拡張 SPI プロトコルを使用している場合、シリアルフラッシュの内容を参照するために標準リード命令またはファストリード命令を使用する必要があります。この構成では、QSPI はファストリード Dual 出力、ファストリード Dual I/O、ファストリード Quad 出力、ファストリード Quad I/O の各転送をサポートしていません。これらの高速リード動作が必要な場合、通常のフラッシュアクセスを使用してください。

39.11 動作説明

39.11.1 複数のコントロールレジスタの設定変更手順

QSPI コントロールレジスタの設定は、システム動作中に動的に変更できます。ただし、複数のコントロールレジスタの設定を連続して変更する場合、すべてのレジスタの更新が完了する前に SPI バスサイクルが発生する場合があります。すべてのレジスタ設定変更段階では、SPI バスタイミング仕様を満たすように、レジスタ設定シーケンスを慎重に設計する必要があります。

```
//
// QSPCLKの高速化
//
SFMSMD = 0x0041;   // SFMPAE：0 SFMPFE：1 SFMSE：00 SFMRM：01（プリフェッチ許可ファストリード）
SFMSSC = 0x04;     // SFMSLD：0 SFMSHD：0 SFMSW：4（最小QSSL High幅 = 5sck）
SFMSKC = 0x00;     // SFMDTY：0 SFMDV：0（1/2モード）### 最後にクロック速度切り替え ###

//
// QSPCLKの低速化
//
SFMSKC = 0x06;     // SFMDTY：0 SFMDV：（1/8モード）### 最初にクロック速度切り替え ###
SFMSSC = 0x01;     // SFMSLD：0 SFMSHD：0 SFMSW：1（最小QSSL High幅 = 2sck）
SFMSMD = 0x0040;   // SFMPAE：0 SFMPFE：1 SFMSE：00 SFMRM：00（プリフェッチ許可、標準リード）
```

39.12 割り込み

SFMCST.EROMR ビットを 1 にすると、QSPI は割り込みを要求します。直接通信モードで ROM リードアクセスが検出されると、EROMR ビットが 1 になります。0 書き込みによって EROMR ビットがクリアされるまで、割り込み要求は保持されます。詳細は、「14. 割り込みコントローラユニット（ICU）」を参照してください。

39.13 使用上の注意事項

39.13.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B（MSTPCRB）によって、QSPI の動作を禁止または許可することが可能です。リセット後の初期状態では、QSPI の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

40. 巡回冗長検査（CRC）演算器

40.1 概要

巡回冗長検査（CRC: Cyclic Redundancy Check）演算器は、CRC コードを生成してデータエラーを検出します。LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダを切り替えることができます。さらに、アプリケーションに合わせて、いくつかの CRC 生成多項式を使用できます。スヌープ機能により、特定のアドレスに対する読み出しと書き込みをモニタできます。この機能は、シリアル送信バッファへの書き込みとシリアル受信バッファからの読み出しをモニタする場合など、特定のイベントで CRC コードの自動生成が必要となるアプリケーションで役立ちます。

表 40.1 に CRC 演算器の仕様を、図 40.1 にブロック図を示します。

表 40.1 CRC 演算器の仕様

項目	8 ビットデータ用の仕様	32 ビットデータ用の仕様
データサイズ	8 ビット	32 ビット
CRC 演算対象データ（注 1）	8n ビット単位の任意データに対し CRC コードを生成（n = 自然数）	32n ビット単位の任意データに対し CRC コードを生成（n = 自然数）
CRC 演算処理方式	8 ビット並列実行	32 ビット並列実行
CRC 生成多項式	3 つの生成多項式から 1 つ選択可能 [8 ビット CRC] • X^8+X^2+X+1（CRC-8） [16 ビット CRC] • $X^{16}+X^{15}+X^2+1$（CRC-16） • $X^{16}+X^{12}+X^5+1$（CRC-CCITT）	2 つの生成多項式から 1 つ選択可能 [32 ビット CRC] • $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$（CRC-32） • $X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^9+X^8+X^6+1$（CRC-32C）
CRC 演算切り替え	LSB ファーストまたは MSB ファーストでの通信用に、CRC 演算結果のビットオーダの切り替えが可能	
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能	
CRC スヌープ	特定のレジスタアドレスに対する読み出しと書き込みのモニタ	—

注 1. 回路は、CRC 演算で使用するデータを分割できません。8 ビット単位で書いてください。

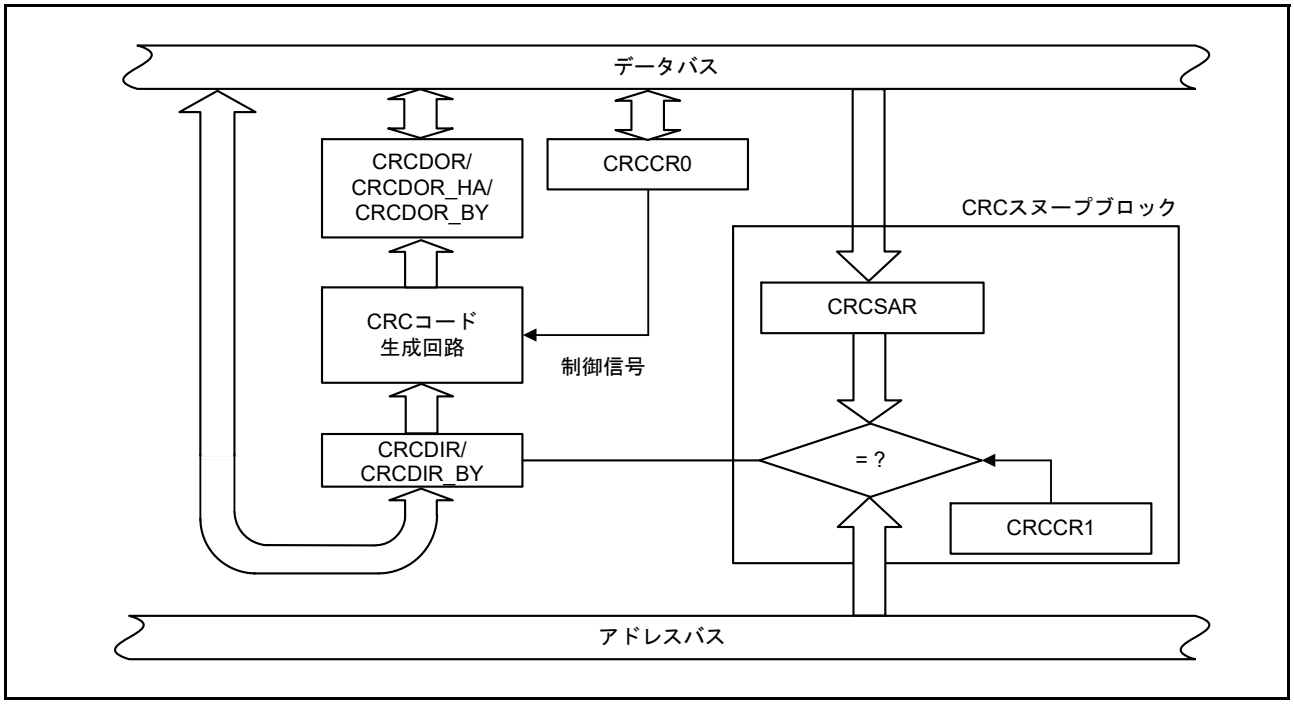


図 40.1 CRC 演算器のブロック図

40.2 レジスタの説明

40.2.1 CRC コントロールレジスタ 0（CRCCR0）

アドレス CRC.CRCCR0 4007 4000h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	LMS	—	—	—	GPS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	GPS[2:0]	CRC生成多項式切り替え	b2 b0 0 0 0：演算しない 0 0 1：8ビットCRC-8（X^8+X^2+X+1） 0 1 0：16ビットCRC-16（$X^{16}+X^{15}+X^2+1$） 0 1 1：16ビットCRC-CCITT（$X^{16}+X^{12}+X^5+1$） 1 0 0：32ビットCRC-32（$X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$） 1 0 1：32ビットCRC-32C（$X^{32}+X^{28}+X^{27}+X^{26}+X^{25}+X^{23}+X^{22}+X^{20}+X^{19}+X^{18}+X^{14}+X^{13}+X^{11}+X^{10}+X^9+X^8+X^6+1$） その他：演算しない	R/W
b5-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	LMS	CRC演算切り替え	0：LSBファースト通信用にCRCを生成 1：MSBファースト通信用にCRCを生成	R/W
b7	DORCLR	CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタクリア	1：CRCDOR/CRCDOR_HA/CRCDOR_BYレジスタをクリア 読むと0が読めます。	W （注1）

注 1. このレジスタに書き込みを行うときは、このビットを必ず 1 にしてください。

DORCLR ビット（CRCDOR/CRCDOR_HA/CRCDOR_BY）

DORCLR ビットを 1 にすると、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタが 0000_0000h になります。読むと 0 が読めます。1 のみ書けます。

LMS ビット（CRC 演算切り替え）

生成した CRC コードのビットオーダを選択します。LSB ファーストで通信を行う場合は CRC コードの下位バイトから先に、MSB ファーストで通信を行う場合は CRC コードの上位バイトから先に送信してください。CRC コードの送信および受信については、40.3 動作説明を参照してください。

GPS[2:0] ビット（CRC 生成多項式切り替え）

CRC 生成多項式を選択します。

40.2.2 CRC コントロールレジスタ 1（CRCCR1）

アドレス CRC.CRCCR1 4007 4001h

	b7	b6	b5	b4	b3	b2	b1	b0
	CRCSEN	CRCSWR	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	CRCSWR	スヌープオンライト／リード切り替え	0：スヌープオンリード 1：スヌープオンライト	R/W
b7	CRCSEN	スヌープ許可	0：禁止 1：許可	R/W

CRCSWR ビット（スヌープオンライト／リード切り替え）

アドレスモニタ機能でのアクセス方向を選択します。このビットを 0（初期値）にすると、特定のレジスタアドレスの読み出しに対して CRC スヌープ動作が有効になります。このビットを 1 にすると、特定のレジスタアドレスの書き込みに対して CRC スヌープ動作が有効になります。

CRCSEN ビット（スヌープ許可）

CRCSEN ビットを 1 にすると、CRC スヌープ動作が有効になります。このビットを 0 にすると、CRC スヌープ動作が無効になります。

40.2.3 CRC データ入力レジスタ（CRCDIR/CRCDIR_BY）

アドレス CRC.CRCDIR/CRCDIR_BY 4007 4004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDIR レジスタは、CRC-32 または CRC-32C 演算用データを書き込む 32 ビットの読み出し／書き込みレジスタです。CRCDIR_BY レジスタは、CRC-8、CRC-16、または CRC-CCITT 演算用データを書き込む 8 ビットの読み出し／書き込みレジスタです。

40.2.4 CRC データ出力レジスタ（CRCDOR/CRCDOR_HA/CRCDOR_BY）

アドレス CRC.CRCDOR/CRCDOR_HA/CRCDOR_BY 4007 4008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CRCDOR レジスタは、CRC-32 または CRC-32C 用の 32 ビットの読み出し／書き込みレジスタです。CRCDOR_HA レジスタは、CRC-16 または CRC-CCITT 用の 16 ビットの読み出し／書き込みレジスタです。CRCDOR_BY レジスタは、CRC-8 用の 8 ビットの読み出し／書き込みレジスタです。初期値は 0000_0000h であるため、初期値以外の値を用いて演算する場合は、CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタを書き換えてください。

CRCDIR/CRCDIR_BY レジスタに書き込まれたデータに対して CRC 演算が実行され、結果が CRCDOR/CRCDOR_HA/CRCDOR_BY レジスタに格納されます。転送データに続いて CRC コードを計算し、その結果が 0000_0000h であると、CRC エラーなしと判断できます。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用した場合、CRCDOR_BY レジスタに有効な CRC コードが得られます。

16 ビット CRC（$X^{16} + X^{15} + X^2 + 1$、または $X^{16} + X^{12} + X^5 + 1$ の多項式）を使用した場合、CRCDOR_HA レジスタに有効な CRC コードが得られます。

40.2.5 スヌープアドレスレジスタ（CRCSAR）

アドレス CRC.CRCSAR 4007 400Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CRCSA[13:0]													
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	CRCSA[13:0]	レジスタスヌープアドレス	スヌープ対象となる、SCIモジュールのTDRまたはRDRアドレスを格納します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CRCSA[13:0] ビット（レジスタスヌープアドレス）

CRCSA[13:0] ビットは、CRC スヌープ動作でモニタされるレジスタアドレスの下位 14 ビットを指定します。CRCSA[13:0] ビットで使用できるのは、以下のアドレスのみです。

- 4007 0003h: SCI0.TDR, 4007 0005h: SCI0.RDR
- 4007 0023h: SCI1.TDR, 4007 0025h: SCI1.RDR
- 4007 0043h: SCI2.TDR, 4007 0045h: SCI2.RDR
- 4007 0063h: SCI3.TDR, 4007 0065h: SCI3.RDR
- 4007 0083h: SCI4.TDR, 4007 0085h: SCI4.RDR
- 4007 00A3h: SCI5.TDR, 4007 00A5h: SCI5.RDR
- 4007 00C3h: SCI6.TDR, 4007 00C5h: SCI6.RDR
- 4007 00E3h: SCI7.TDR, 4007 00E5h: SCI7.RDR
- 4007 0103h: SCI8.TDR, 4007 0105h: SCI8.RDR
- 4007 0123h: SCI9.TDR, 4007 0125h: SCI9.RDR
- 4007 000Fh: SCI0.FTDRL, 4007 0011h: SCI0.FRDRL
- 4007 002Fh: SCI1.FTDRL, 4007 0031h: SCI1.FRDRL
- 4007 004Fh: SCI2.FTDRL, 4007 0051h: SCI2.FRDRL
- 4007 006Fh: SCI3.FTDRL, 4007 0071h: SCI3.FRDRL
- 4007 008Fh: SCI4.FTDRL, 4007 0091h: SCI4.FRDRL
- 4007 00AFh: SCI5.FTDRL, 4007 00B1h: SCI5.FRDRL
- 4007 00CFh: SCI6.FTDRL, 4007 00D1h: SCI6.FRDRL
- 4007 00EFh: SCI7.FTDRL, 4007 00F1h: SCI7.FRDRL
- 4007 010Fh: SCI8.FTDRL, 4007 0111h: SCI8.FRDRL
- 4007 012Fh: SCI9.FTDRL, 4007 0131h: SCI9.FRDRL

40.3 動作説明

40.3.1 基本動作

CRC 演算器は、LSB ファーストまたは MSB ファースト転送用の CRC コードを生成します。

16 ビットの CRC-CCITT 生成多項式（$X^{16} + X^{12} + X^5 + 1$）を使用して、入力データ（F0h）に対し CRC コードを生成する例を以下に示します。この例では、CRC 演算の前に、CRC データ出力レジスタ（CRCDOR_HA）の値をクリアします。

8 ビット CRC（$X^8 + X^2 + X + 1$ の多項式）を使用している場合は、CRCDOR_BY レジスタに有効な CRC コードのビットが得られます。32 ビット CRC を使用している場合は、CRCDOR レジスタに有効な CRC コードのビットが得られます。

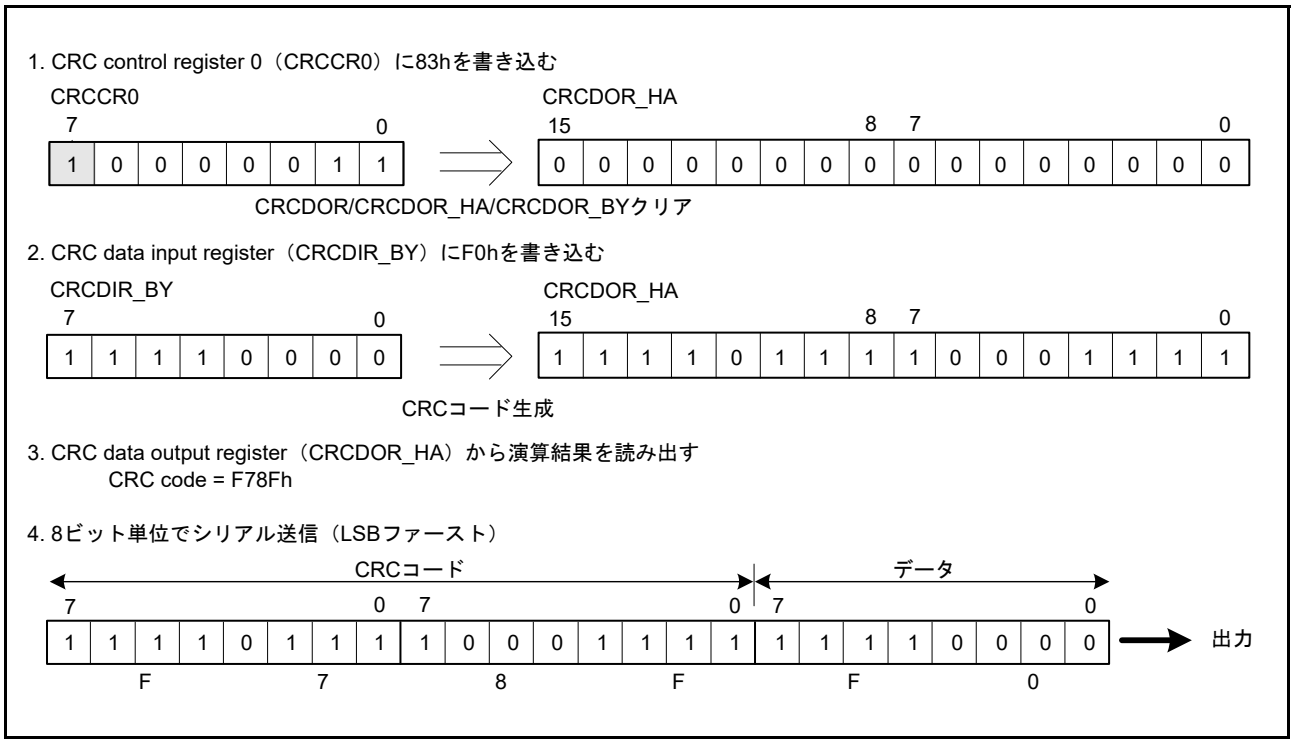


図 40.2 LSB ファーストのデータ送信

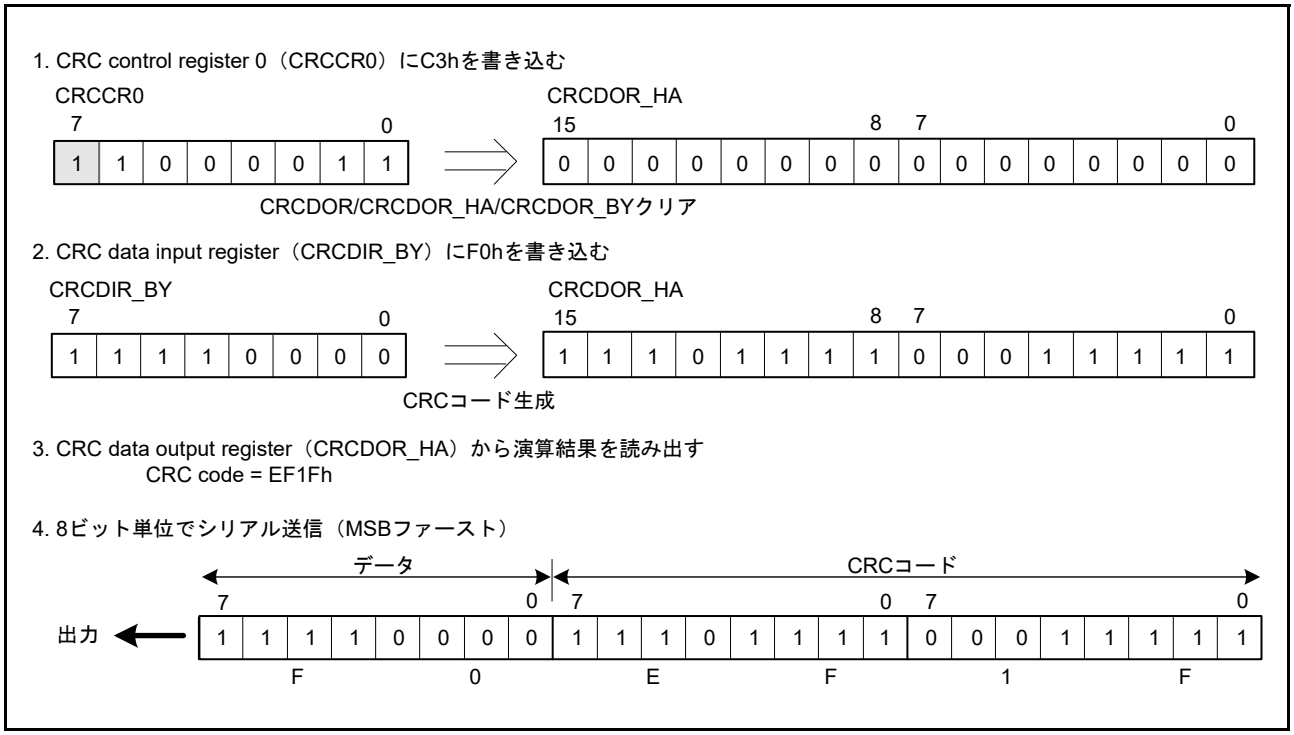


図 40.3 MSB ファーストのデータ送信

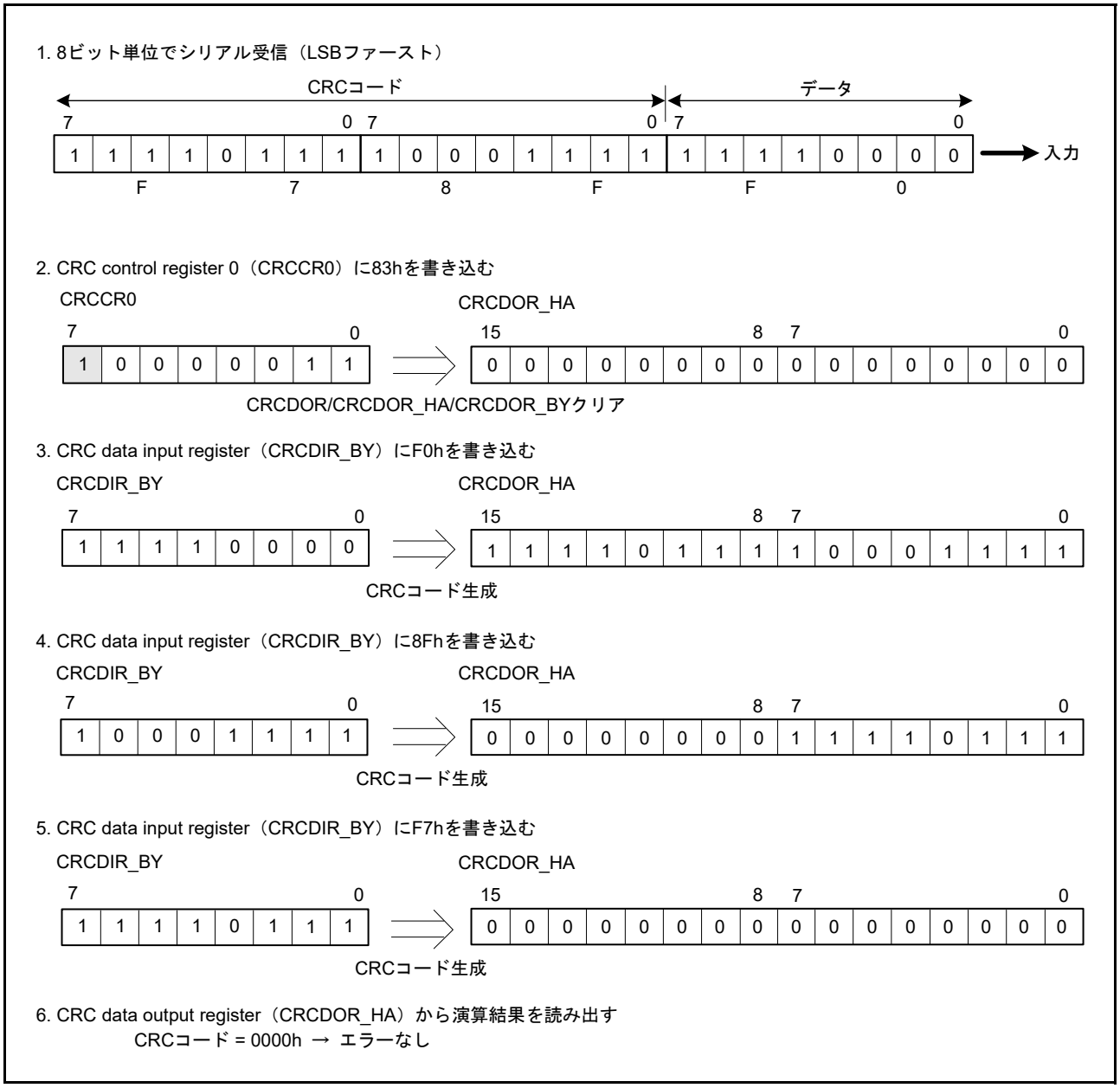


図 40.4 LSB ファーストのデータ受信

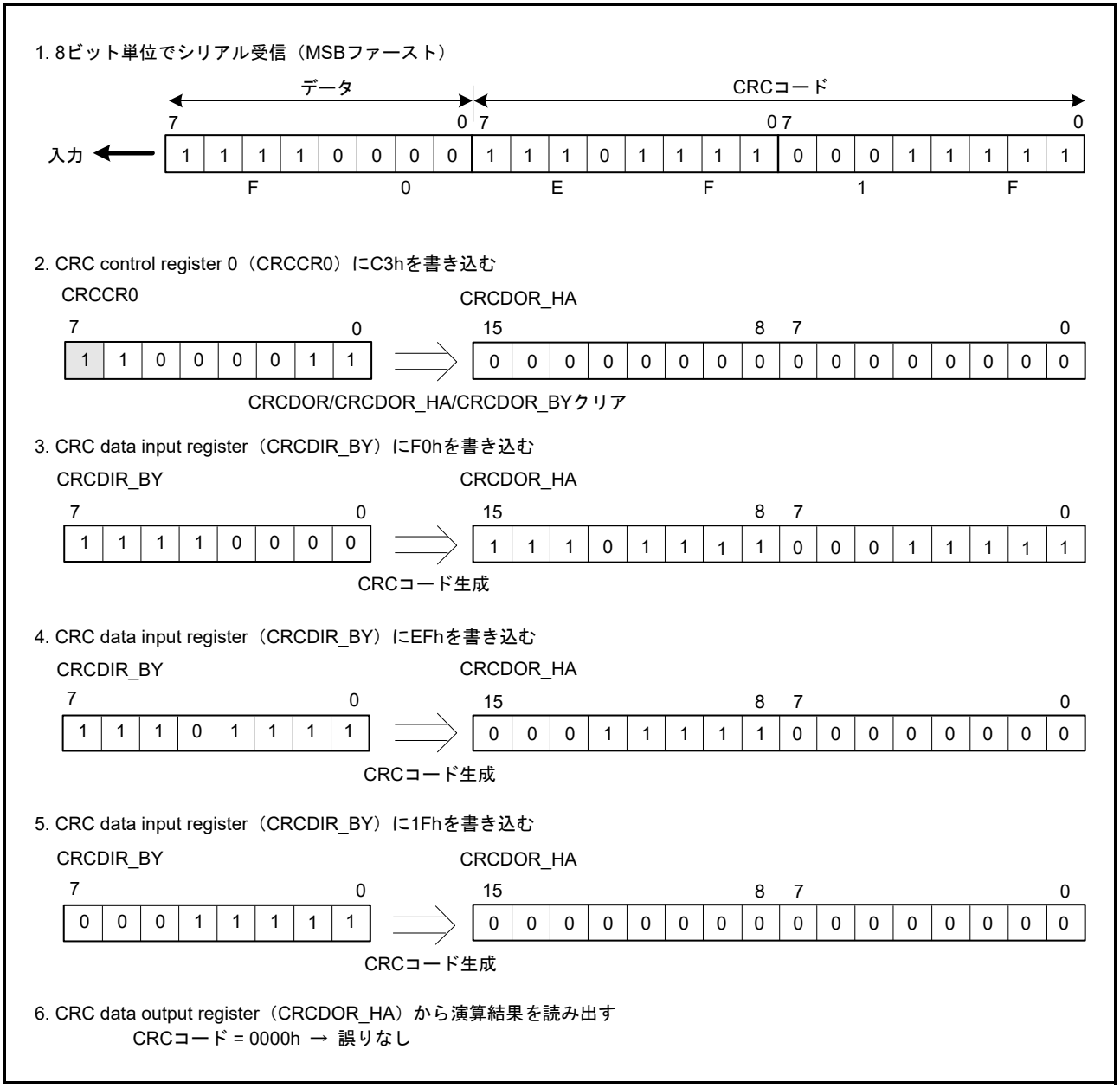


図 40.5 MSB ファーストのデータ受信

40.3.2 CRC スヌープ

CRC スヌープ機能は、指定された I/O レジスタアドレスに対する読み出しと書き込みを監視し、そのレジスタアドレスで読み出しおよび書き込みを行ったデータを用いて自動的に CRC 演算を実行します。CRC スヌープは、特定のレジスタアドレスに対する読み出しと書き込みを、CRC 演算を自動実行するためのトリガとして認識するため、CRCDIR_BY レジスタにデータを書き込む必要がありません。CRC スヌープの対象アドレスは、40.2.5 スヌープアドレスレジスタ（CRCSAR）で指定したすべての I/O レジスタアドレスです。CRC スヌープは、シリアル送信バッファへの書き込みと、シリアル受信バッファからの読み出しの監視に役立ちます。

この機能を使用するには、対象となる I/O レジスタアドレスを CRCSAR レジスタの CRCSA13 ～ CRCSA0 ビットに書き込み、CRCCR1 レジスタの CRCSEN ビットを 1 にします。次に、CRCCR1.CRCSWR ビットを 1 にして、対象アドレスへの書き込みに対してスヌープを有効にするか、あるいは、CRCCR1.CRCSWR ビットを 0 にして、対象アドレスからの読み出しに対してスヌープを有効にします。

CRCSEN ビットと CRCSWR ビットの両方を 1 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となる I/O レジスタアドレスにデータを書き込むと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して CRC 演算を実行します。同様に、CRCSEN ビットを 1、CRCSWR ビットを 0 にして、バスマスタモジュール（CPU、DMAC、DTC など）の対象となる I/O レジスタアドレスからデータを読み出すと、CRC 演算器はそのデータを CRCDIR_BY レジスタに格納して CRC 演算を実行します。

一度に 1 バイトの CRC 演算が実行されます。対象となる I/O レジスタアドレスに対してワード（16 ビット）またはロングワード（32 ビット）でアクセスすると、データの下位バイト（1 バイト）に CRC コードが生成されます。

40.4 使用上の注意事項

40.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）によって、CRC 演算器の動作を禁止または許可することが可能です。リセット後の初期状態では、CRC 演算器の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

40.4.2 送信時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とでは、CRC コードの送信順序が異なります。

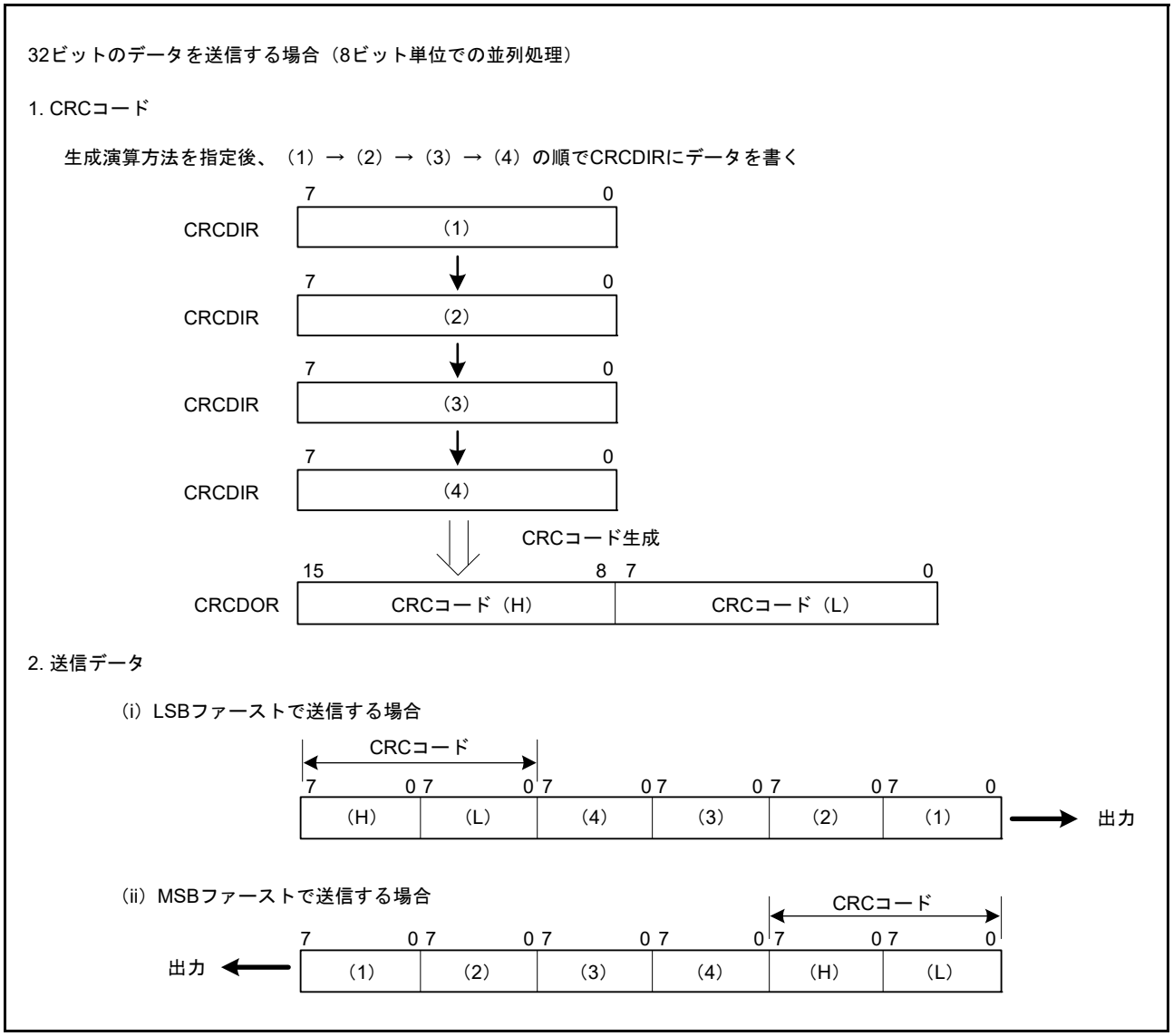


図 40.6 LSB ファーストと MSB ファーストのデータ送信

41. シリアルサウンドインタフェース（SSI）

41.1 概要

シリアルサウンドインタフェース（SSI）は、PCM オーディオデータを送信するため、デジタルオーディオデバイスをシリアルバス経由で MCU に接続します。SSI は最大 50MHz のオーディオクロック周波数をサポートしており、スレーブまたはマスタのレシーバ、トランスミッタ、トランシーバとして動作することができるので、多様なアプリケーションに対応が可能です。SSI はレシーバとトランスミッタに 8 段 FIFO バッファを内蔵し、割り込みおよび DMA 駆動によるデータ送受信をサポートしています。

表 41.1 に SSI の仕様を、図 41.1 に SSI0 のブロック図を、図 41.2 に SSI1 のブロック図を、表 41.2 に I/O 端子を示します。

表 41.1 SSIの仕様

項目	内容
チャネル数	SSI0とSSI1の2チャネル
動作モード	非圧縮モード
転送フォーマット	• SSIフォーマット • 左詰めおよび右詰めが選択可能なMSBファーストフォーマット
機能	• チャネル0での全二重通信が可能なトランスミッタ、レシーバとして機能 • 各種オーディオフォーマットをサポート • シリアルビットクロック、SSISCK、16、32、48、64fsに設定可能（fs: サンプリングレート） • マスタクロック端子（AUDIO_CLK）からのマスタクロック入力、またはGPT出力（GTIOC1A） • トランスミッタ、レシーバに8段FIFOバッファ内蔵 • データ転送停止時にワードセレクト（SSIWS）を停止するかしないかを選択可能
割り込み要因	3種類 • 送信アンダーフロー、送信オーバーフロー、受信アンダーフロー、受信オーバーフロー、アイドルによる通信エラー • 受信データフル • 送信データエンプティ
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

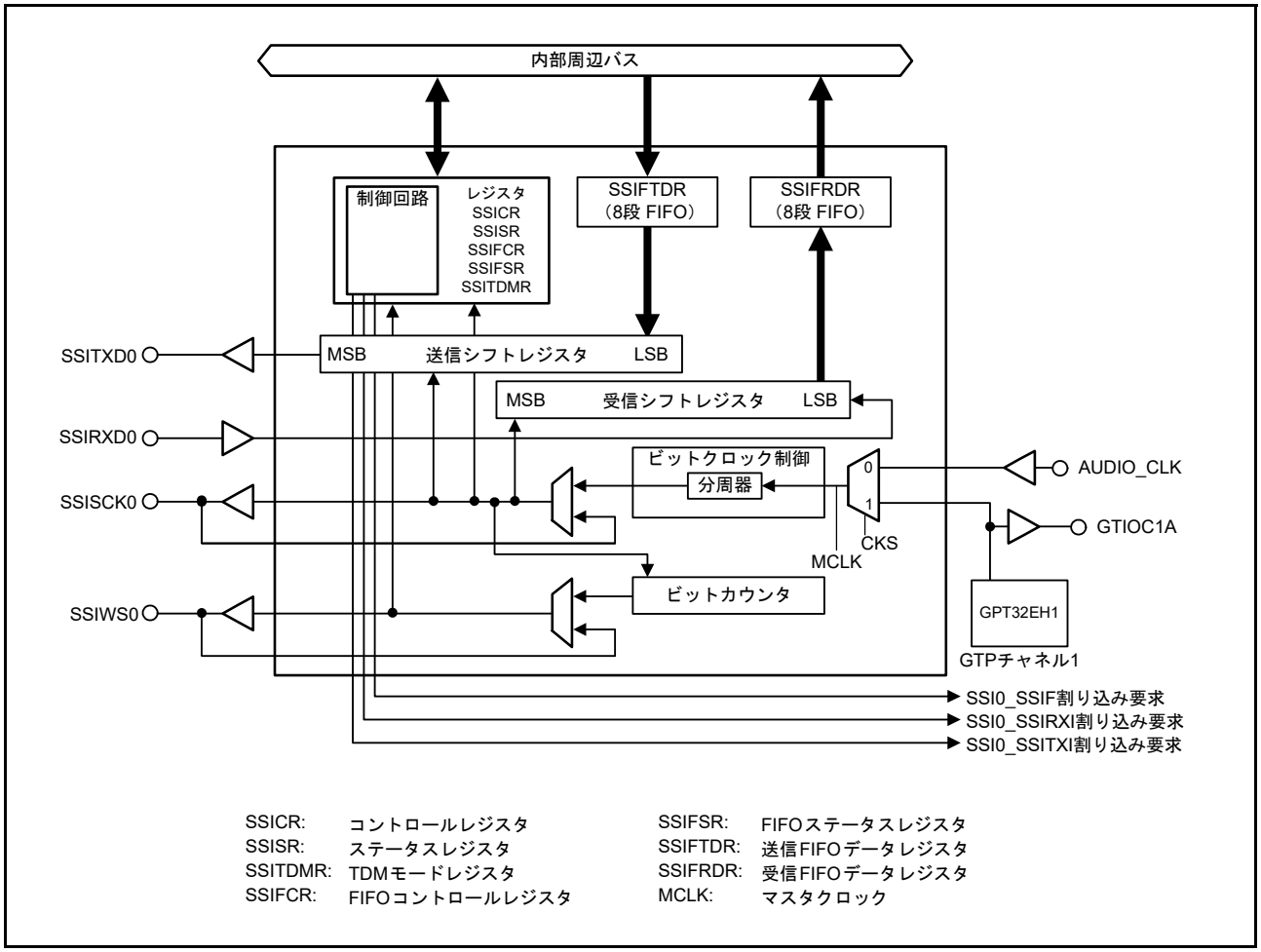


図 41.1 SSI ブロック図（SSI0）

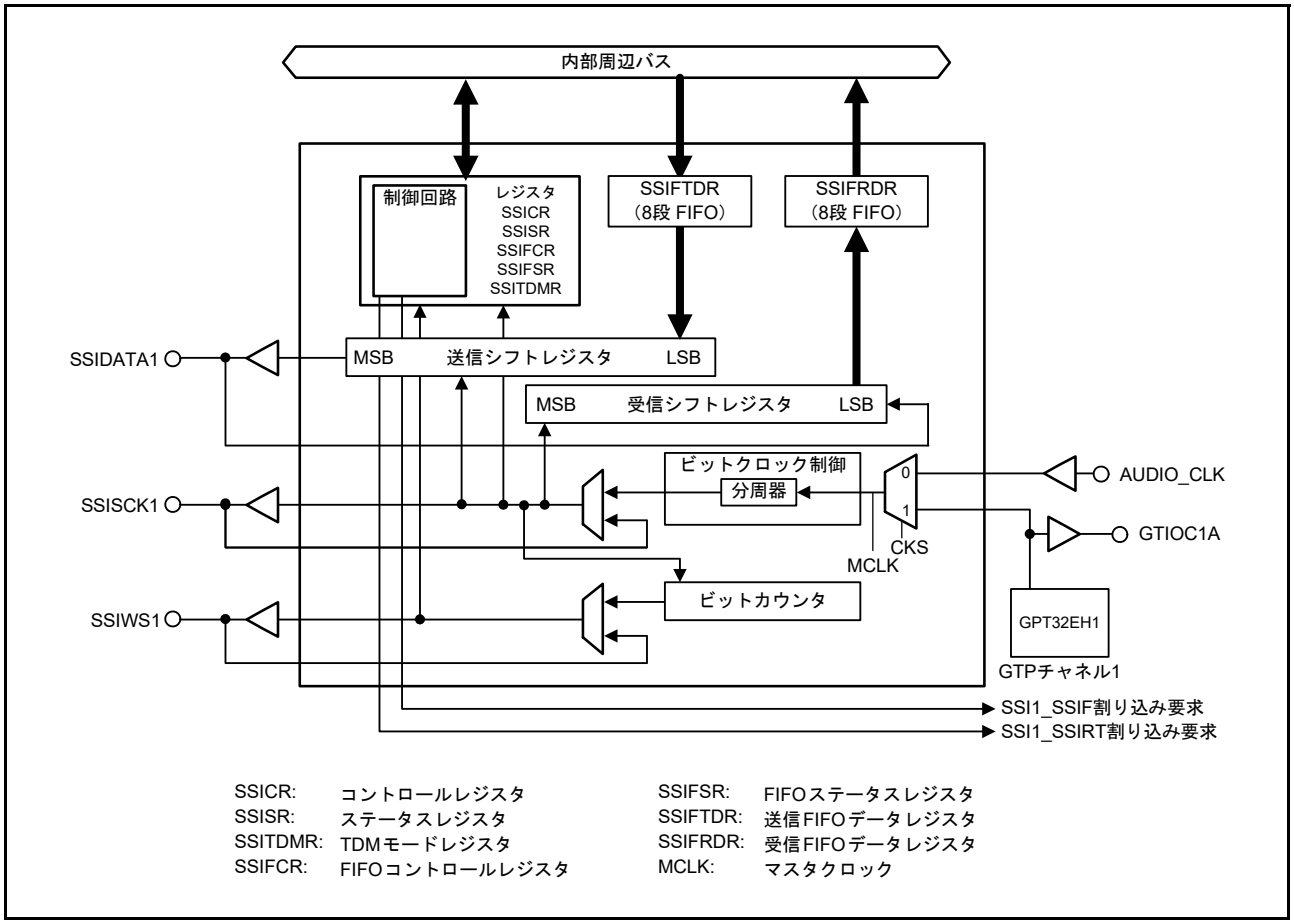


図 41.2　SSI ブロック図（SSI1）

表 41.2　SSIの入出力端子

モジュール	端子名	入出力	機能
SSI0	SSISCK0	入出力	シリアルビットクロック端子
	SSIWS0	入出力	ワードセレクト端子
	SSITXD0	出力	シリアルデータ出力端子
	SSIRXD0	入力	シリアルデータ入力端子
SSI1	SSISCK1	入出力	シリアルビットクロック端子
	SSIWS1	入出力	ワードセレクト端子
	SSIDATA1	入出力	シリアルデータ入出力端子
SSI0, SSI1	AUDIO_CLK	入力	オーディオ用マスタクロック端子（マスタクロックを入力）

41.2 レジスタの説明

41.2.1 コントロールレジスタ（SSICR）

アドレス SSI0.SSICR 4004 E000h, SSI1.SSICR 4004 E100h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	—	CHNL[1:0]		DWL[2:0]			SWL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	—	TEN	REN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	REN	受信許可	0：受信禁止 1：受信許可	R/W
b1	TEN	送信許可	0：送信禁止 1：送信許可	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	MUEN	ミュート許可（注1）	0：ミュートしない 1：ミュートする	R/W
b7-b4	CKDV[3:0]	シリアルビットクロック周波数設定（注3）	b7 b4 0 0 0 0：MCLK 0 0 0 1：MCLK/2 0 0 1 0：MCLK/4 0 0 1 1：MCLK/8 0 1 0 0：MCLK/16 0 1 0 1：MCLK/32 0 1 1 0：MCLK/64 0 1 1 1：MCLK/128 1 0 0 0：MCLK/6 1 0 0 1：MCLK/12 1 0 1 0：MCLK/24 1 0 1 1：MCLK/48 1 1 0 0：MCLK/96 上記以外は設定しないでください。	R/W
b8	DEL	シリアルデータディレイ（注3）	0：SSIフォーマット互換：SSIWSとSSIDATA間で1クロックサイクルの遅延 1：MSBファーストの左詰め／右詰めフォーマット互換：SSIWSとSSIDATA間に遅延なし	R/W
b9	PDTA	パラレルデータアロケーション（注3）	データワード長が8または16ビットのとき 0：パラレルデータ（SSIFTDR、SSIFRDR）の下位側を転送してから上位側を転送 1：パラレルデータ（SSIFTDR、SSIFRDR）の上位側を転送してから下位側を転送 データワード長が18、20、22、または24ビットのとき 0：パラレルデータ（SSIFTDR, SSIFRDR）を左詰め 1：パラレルデータ（SSIFTDR, SSIFRDR）を右詰め	R/W
b10	SDTA	シリアルデータアライメント（注3）	0：シリアルデータ、パディングビットの順に送受信 1：パディングビット、シリアルデータの順に送受信	R/W
b11	SPDP	シリアルパディング極性（注3）	0：パディングデータは0 1：パディングデータは1	R/W
b12	SWSP	ワードセレクト極性	0：SSIWSは第1システムワードでLow、第2システムワードでHigh 1：SSIWSは第1システムワードでHigh、第2システムワードでLow	R/W

<table>
<tr><th>ビット</th><th>シンボル</th><th>ビット名</th><th>機能</th><th>R/W</th></tr>
<tr><td>b13</td><td>SCKP</td><td>シリアルビットクロック極性
（注3）</td><td>0：SSIWSとSSIDATAはSSISCKの立ち下がりエッジで変化
（SCK立ち上がりエッジでサンプリング）
1：SSIWSとSSIDATAはSSISCKの立ち上がりエッジで変化
（SCK立ち下がりエッジでサンプリング）
<table><tr><th></th><th>SCKPビット = 0</th><th>SCKPビット = 1</th></tr><tr><td>受信時SSIDATA入力サンプリングタイミング</td><td>SSISCK立ち上がりエッジ</td><td>SSISCK立ち下がりエッジ</td></tr><tr><td>送信時SSIDATA出力変化タイミング</td><td>SSISCK立ち下がりエッジ</td><td>SSISCK立ち上がりエッジ</td></tr><tr><td>スレーブモード時（SWSDビット = 0）SSIWS入力サンプリングタイミング</td><td>SSISCK立ち上がりエッジ</td><td>SSISCK立ち下がりエッジ</td></tr><tr><td>マスタモード時（SWSDビット = 1）SSIWS出力変化タイミング</td><td>SSISCK立ち下がりエッジ</td><td>SSISCK立ち上がりエッジ</td></tr></table></td><td>R/W</td></tr>
<tr><td>b14</td><td>SWSD</td><td>ワードセレクト方向（注2）（注3）</td><td>0：SSIWS端子は入力（スレーブモード）
1：SSIWS端子は出力（マスタモード）</td><td>R/W</td></tr>
<tr><td>b15</td><td>SCKD</td><td>シリアルビットクロック方向
（注2）（注3）</td><td>0：SSISCK端子は入力（スレーブモード）
1：SSISCK端子は出力（マスタモード）</td><td>R/W</td></tr>
<tr><td>b18-b16</td><td>SWL[2:0]</td><td>システムワード長（注3）</td><td>システムワード長を、シリアルビットクロック周波数/2fsにしてください。
b18 b16
0 0 0：8ビット（シリアルビットクロック周波数 = 16fs）
0 0 1：6ビット（シリアルビットクロック周波数 = 32fs）
0 1 0：24ビット（シリアルビットクロック周波数 = 48fs）
0 1 1：32ビット（シリアルビットクロック周波数 = 64fs）
上記以外は設定しないでください。</td><td>R/W</td></tr>
<tr><td>b21-b19</td><td>DWL[2:0]</td><td>データワード長（注3）</td><td>b21 b19
0 0 0：8ビット
0 0 1：16ビット
0 1 0：18ビット
0 1 1：20ビット
1 0 0：22ビット
1 0 1：24ビット
上記以外は設定しないでください。</td><td>R/W</td></tr>
<tr><td>b23-b22</td><td>CHNL[1:0]</td><td>チャネル（注3）</td><td>b23 b22
0 0：1チャネル
上記以外は設定しないでください。</td><td>R/W</td></tr>
<tr><td>b24</td><td>—</td><td>予約ビット</td><td>読むと0が読めます。書く場合、0としてください。</td><td>R/W</td></tr>
<tr><td>b25</td><td>IIEN</td><td>アイドル割り込み許可</td><td>0：割り込み禁止
1：割り込み許可</td><td>R/W</td></tr>
<tr><td>b26</td><td>ROIEN</td><td>受信FIFOオーバーフロー割り込み許可</td><td>0：割り込み禁止
1：割り込み許可</td><td>R/W</td></tr>
<tr><td>b27</td><td>RUIEN</td><td>受信FIFOアンダーフロー割り込み許可</td><td>0：割り込み禁止
1：割り込み許可</td><td>R/W</td></tr>
<tr><td>b28</td><td>TOIEN</td><td>送信FIFOオーバーフロー割り込み許可</td><td>0：割り込み禁止
1：割り込み許可</td><td>R/W</td></tr>
<tr><td>b29</td><td>TUIEN</td><td>送信FIFOアンダーフロー割り込み許可</td><td>0：割り込み禁止
1：割り込み許可</td><td>R/W</td></tr>
<tr><td>b30</td><td>CKS</td><td>オーディオクロック選択（注3）</td><td>0：AUDIO_CLK入力
1：GTIOC1A（GPT出力）</td><td>R/W</td></tr>
<tr><td>b31</td><td>—</td><td>予約ビット</td><td>読むと0が読めます。書く場合、0としてください。</td><td>R/W</td></tr>
</table>

注 1. SSI がミュート中は、シリアルデータ値に関係なく 0 を送信しますが、モジュール内部のデータ転送は停止しません。送信 FIFO のデータ数は減少していきますので、送信アンダーフローを発生させないためには、SSIFTDR レジスタにダミーデータを書き込んでください。また、MUEN ビットを 1 にすると、SSIWS に同期せず SSITXD0、SSIDATA1 端子をただちに 0 にします。

注 2. SCKD ビットと SWSD ビットは同じ値にしてください。それ以外は設定しないでください。

注 3. アイドル状態以外での書き換えは禁止です。

REN ビット（受信許可）

受信動作を許可または禁止します。このビットを 1 にすると、受信動作を開始します。

TEN ビット（送信許可）

送信動作を許可または禁止します。このビットを 1 にすると、送信動作を開始します。

SSI0 の SSITXD0 端子は、TEN ビットの設定にかかわらず、入出力ポート機能が選択されると常に出力になります。SSI1 の SSIDATA1 端子は、入出力ポート機能で SSIDATA1 を選択した場合、TEN ビットが 1 のときは出力、TEN ビットが 0 のときは入力になります。

表 41.3　SSITXD0、SSIRXD0、SSIDATA1端子の状態

レジスタ設定			SSI0		SSI1
SSICR設定	TEN	REN	SSITXD0	SSIRXD0	SSIDATA1
SSI選択	0	0	出力	入力	入力
	0	1	出力	入力	入力
	1	0	出力	入力	出力
	1	1	出力	入力	—
SSI非選択	x	x	入出力ポート	入出力ポート	入出力ポート

x：Don’t care

—：設定しないでください。

入出力ポート：入出力ポートおよびマルチファンクションピンコントローラの設定によります。

CKDV[3:0] ビット（シリアルビットクロック周波数設定）

マスタモード時のシリアルビットクロックの周波数を選択します。スレーブモードでは SSISCK 端子からの入力クロックを使用するため、これらのビット設定は無視されます。シリアルビットクロックはシフトレジスタの動作クロックです。

fs（サンプリングレート）= SSIWS 周波数 = 96kHz、システムワード長 = 32 ビットの場合の計算例：

ビットクロック周波数 = 96kHz × 32 ビット × 2 = 6.144MHz

この計算例では、MCLK = 12.288MHz のとき CKDV[3:0] = 0001b (MCLK/2) を設定します。

PDTA ビット（パラレルデータアロケーション）

PDTA ビットは、受信モード時の SSIFRDR レジスタと送信モード時の SSIFTDR レジスタで、どのようにデータを格納するかを指定します。受信時、SSI はシリアルバスから受信したデータを PDTA ビットの設定に従って、SSIFRDR へ格納します。送信時、SSI は SSIFTDR に格納したデータを送信シフトレジスタにシフトし、PDTA ビットの設定に従ってシリアルバスへ送信します。図 41.3、図 41.4 に、PDTA が 0、1 の場合の動作を示します。

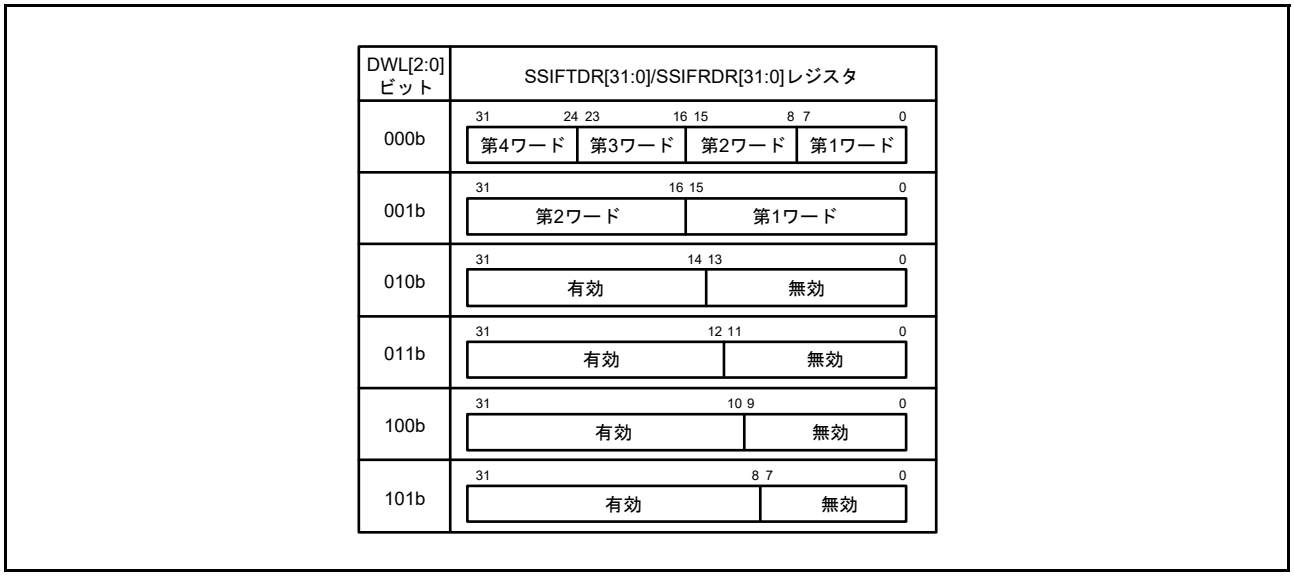


図 41.3　　PDTA = 0 の場合のデータ格納方法

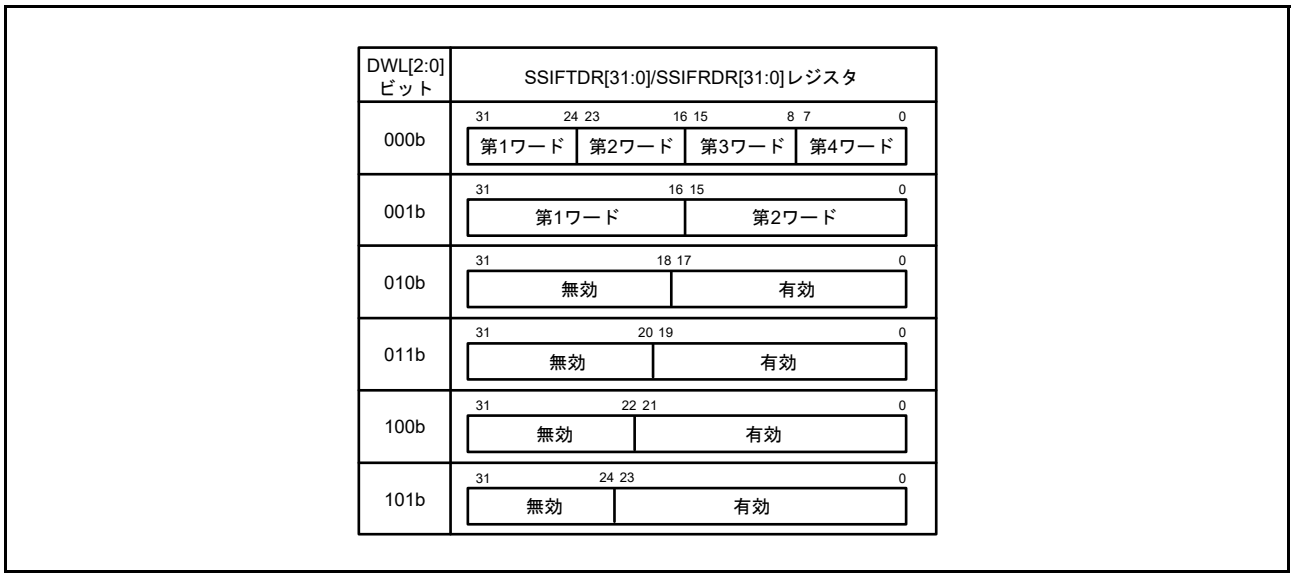


図 41.4　　PDTA = 1 の場合のデータ格納方法

CHNL[1:0] ビット（チャネル）

システムワードごとにデコードされるチャネル数を選択するビットです。SSI では、これらのビットを 00b にしてください。

CKS ビット（オーディオクロック選択）

オーディオクロックに、AUDIO_CLK または GTIOC1A（GPT 出力）を選択します。

CKS が 1 のとき、オーディオクロックは GTIOC1A です。このオーディオクロック用の GPT を設定し PWM 波形を選択してください。PWM 波形については、「23. 汎用 PWM タイマ（GPT）」を参照してください。

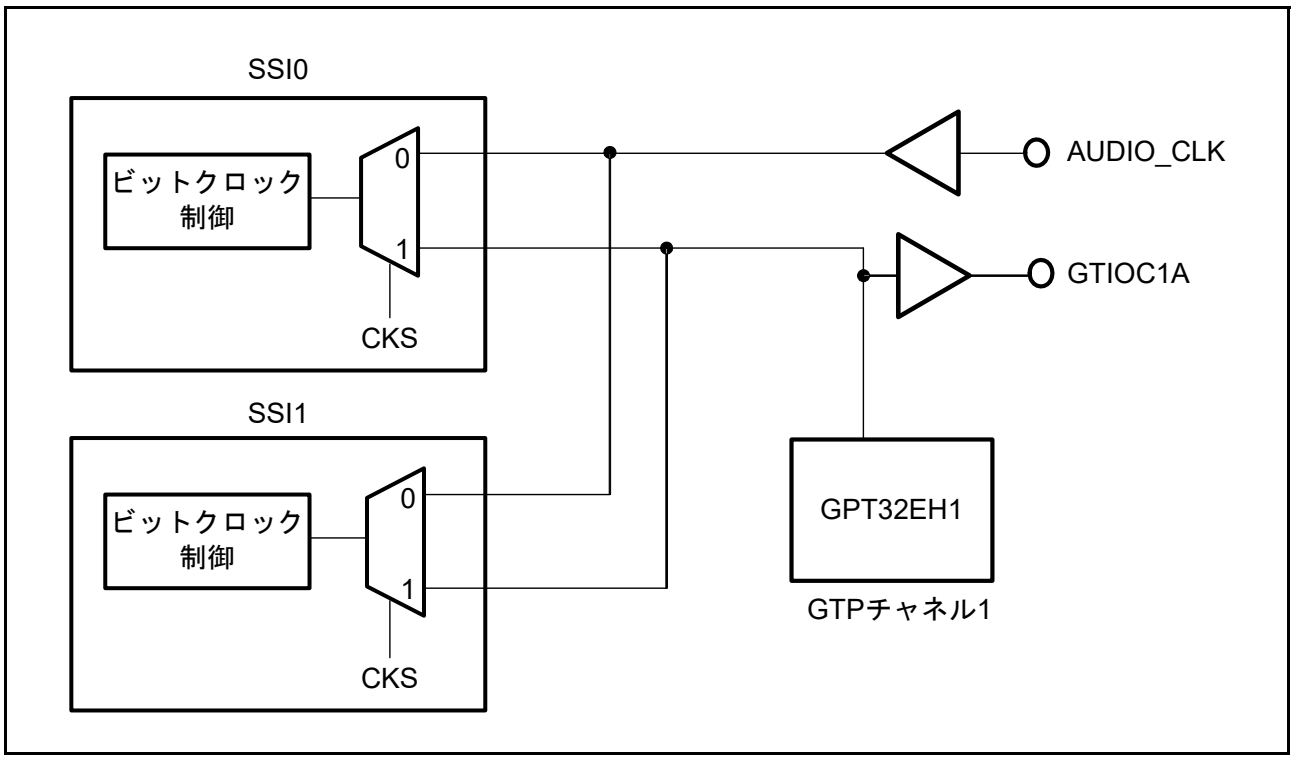


図 41.5 CKS ビットによるオーディオクロックの選択

41.2.2 ステータスレジスタ（SSISR）

アドレス SSI0.SSISR 4004 E004h, SSI1.SSISR 4004 E104h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	TCHNO[1:0]		TSWNO	RCHNO[1:0]		RSWNO	IDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b0	IDST	アイドルステータスフラグ	0：SSI通信は動作中 1：SSI通信はアイドル中	R
b1	RSWNO	受信システムワード番号	受信ワード番号	R
b3-b2	RCHNO[1:0]	受信チャネル番号	読むと00bが読めます。	R
b4	TSWNO	送信システムワード番号	送信ワード番号	R
b6-b5	TCHNO[1:0]	送信チャネル番号	読むと0が読めます。	R
b24-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25	IIRQ	アイドル割り込みステータスフラグ	0：アイドル状態ではない 1：アイドル状態	R
b26	ROIRQ	受信オーバーフロー割り込みステータスフラグ	0：受信オーバーフローは発生していない 1：受信オーバーフロー発生	R/(W)（注1）
b27	RUIRQ	受信アンダーフロー割り込みステータスフラグ	0：受信アンダーフローは発生していない 1：受信アンダーフロー発生	R/(W)（注1）
b28	TOIRQ	送信オーバーフロー割り込みステータスフラグ	0：送信オーバーフローは発生していない 1：送信オーバーフロー発生	R/(W)（注1）
b29	TUIRQ	送信アンダーフロー割り込みステータスフラグ	0：送信アンダーフローは発生していない 1：送信アンダーフロー発生	R/(W)（注1）
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 1 の状態を読み出した後、0 を書き込むことで 0 になります。

IDST フラグ（アイドルステータスフラグ）

IDST フラグは、通信停止時に SSI がアイドル状態にあることを示します。このフラグは、SSICR.TEN ビットまたは SSICR.REN ビットを 1 にしたあと、通信が開始したとき、0 になります。また、SSICR.TEN ビットと SSICR.REN ビットがともに 0 になり、かつシステムワードの通信が終了すると、1 になります。通信が終了する前に外部デバイスがシリアルビットクロック入力を停止した場合、このフラグは 1 になりません。

RSWNO ビット（受信システムワード番号）

このビットの初期値は 1 で、受信シフトレジスタから SSIFRDR レジスタにデータが転送されると値が反転します。REN ビットが 0 から 1 に変化したときに、このビットは 1 に初期化されます。SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、受信シフトレジスタから SSIFRDR レジスタに転送されたデータがどのシステムワードであるかを示します。

TSWNO ビット（送信システムワード番号）

現在のワード番号を示します。このビットは初期値が 1 で、SSIFTDR レジスタから送信シフトレジスタにデータが転送されると値が反転します。TEN ビットが 0 から 1 に変化したときに、このビットは 1 に初期化されます。SSICR.DWL[2:0] ビットで指定するデータワード長が 18 ビット以上の場合、このビットは SSIFTDR レジスタから送信シフトレジスタに転送されたデータのシステムワードを示します。

IIRQ フラグ（アイドル割り込みステータスフラグ）

SSI がアイドル状態であるかどうかを示します。ポーリングを許可するには、SSICR.IIEN の設定にかかわらずこのフラグを設定してください。対象の割り込みは、SSICR.IIEN ビットを 0 にすることでマスクできますが、このフラグに 0 を書き込んでもクリアできません。IIRQ フラグ = 1 かつ SSICR.IIEN ビット = 1 のとき、割り込みが発生します。

ROIRQ フラグ（受信オーバーフロー割り込みステータスフラグ）

要求レートより高いレートで受信データが供給されたことを示します。受信オーバーフローが発生した場合は、受信を停止した後、初めから動作をやり直してください。このフラグは、SSICR.ROIEN の設定にかかわらず、1 になります。0 にするには、1 の状態を読み出した後、0 を書き込んでください。ROIRQ = 1 かつ SSICR.ROIEN ビット = 1 のとき、割り込みが発生します。

ROIRQ = 1 のとき、受信 FIFO がフル（SSIFSR.RDC[3:0] フラグ = 8h）の状態で、受信シフトレジスタから SSIFRDR レジスタへデータが転送されたことを示しています。この結果、データが失われる可能性があります。

注 . オーバーフローが発生すると、SSI データバッファにある現在のデータは、SSI インタフェースから送られてくる次のデータで上書きされます。

RUIRQ フラグ（受信アンダーフロー割り込みステータスフラグ）

要求レートより低いレートで受信データが供給されたことを示します。受信アンダーフローが発生した場合は、受信を停止した後、初めから動作をやり直してください。このフラグは、SSICR.RUIEN の設定にかかわらず、1 になります。0 にするには、1 の状態を読み出した後、0 を書き込んでください。RUIRQ = 1 かつ SSICR.RUIEN ビット = 1 のとき、割り込みが発生します。

RUIRQ = 1 のとき、受信 FIFO が空（SSIFSR.RDC[3:0] フラグ = 0h）の状態で SSIFRDR レジスタが読み出されたことを示しています。このとき、無効な受信データが格納される可能性があります。

TOIRQ フラグ（送信オーバーフロー割り込みステータスフラグ）

要求レートより高いレートで送信データが供給されたことを示します。送信オーバーフローが発生した場合は、送信を停止した後、初めから動作をやり直してください。このフラグは、SSICR.TOIEN の設定にかかわらず、1 になります。0 にするには、1 の状態を読み出した後、0 を書き込んでください。TOIRQ = 1 かつ SSICR.TOIEN ビット = 1 のとき、割り込みが発生します。

TOIRQ = 1 のとき、送信 FIFO がフル（SSIFSR.TDC[3:0] フラグ = 8h）の状態で SSIFTDR レジスタへの書き込みが発生したことを示しています。この結果、データが失われる可能性があります。

TUIRQ フラグ（送信アンダーフロー割り込みステータスフラグ）

要求レートより低いレートで送信データが供給されたことを示します。送信アンダーフローが発生した場合は、送信を停止した後、初めから動作をやり直してください。このフラグは、SSICR.TUIEN の設定にかかわらず、1 になります。0 にするには、1 の状態を読み出した後、0 を書き込んでください。TUIRQ = 1 かつ SSICR.TUIEN ビット = 1 のとき、割り込みが発生します。

TUIRQ = 1 のとき、送信要求前に SSIFTDR レジスタに送信データが書き込まれなかったことを示しています。この結果、同じデータがもう一度送信される可能性があります。

注 . 送信アンダーフローが発生すると、送信停止後、SSI がアイドル状態になるまで、SSIFTDR に最後に入力されたデータが送信されます。

41.2.3 FIFO コントロールレジスタ（SSIFCR）

アドレス SSI0.SSIFCR 4004 E010h, SSI1.SSIFCR 4004 E110h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	AUCKE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SSIRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	TTRG[1:0]		RTRG[1:0]		TIE	RIE	TFRST	RFRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RFRST	受信FIFOデータレジスタリセット（注4）	0：受信FIFOデータリセット解除 1：受信FIFOデータリセット開始	R/W
b1	TFRST	送信FIFOデータレジスタリセット（注4）	0：送信FIFOデータリセット解除 1：送信FIFOデータリセット開始	R/W
b2	RIE	受信FIFOデータフル割り込み許可	0：受信FIFOデータフル割り込み要求（SSI0_SSIRXI、SSI1_SSIRT）を禁止 1：受信FIFOデータフル割り込み要求（SSI0_SSIRXI、SSI1_SSIRT）を許可（注1）	R/W
b3	TIE	送信FIFOデータエンプティ割り込み許可	0：送信FIFOデータエンプティ割り込み要求（SSI0_SSITXI、SSI1_SSIRT）を禁止 1：送信FIFOデータエンプティ割り込み要求（SSI0_SSITXI、SSI1_SSIRT）を許可（注2）	R/W
b5-b4	RTRG[1:0]	受信FIFOしきい値設定トリガ（注4）	b5 b4 0 0：1 0 1：2 1 0：4 1 1：6	R/W
b7-b6	TTRG[1:0]	送信FIFOしきい値設定トリガ（注4）	b7 b6 0 0：7（1）（注3） 0 1：6（2）（注3） 1 0：4（4）（注3） 1 1：2（6）（注3）	R/W
b15-b8	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b16	SSIRST	SSIソフトウェアリセット	0：SSIソフトウェアリセット解除 1：SSIソフトウェアリセット開始	R/W
b30-b17	—	予約ビット	読んだ場合、その値は不定。書く場合、0としてください。	R/W
b31	AUCKE	マスタクロック許可（注4）	0：マスタクロック禁止 1：マスタクロック許可	R/W

注 1. 受信データフル要求の解除は、SSIFSR.RDF フラグを 0 にする（SSIFSR.RDF フラグの説明参照）か、RIE ビットを 0 にすることで行えます。
注 2. 送信データエンプティ要求の解除は、SSIFSR.TDE フラグを 0 にする（SSIFSR.TDE フラグの説明参照）か、TIE ビットを 0 にすることで行えます。
注 3. （）内の数値は SSIFSR.TDE フラグが 1 になるときの SSIFTDR レジスタの空き段数を示します。
注 4. アイドル状態以外での書き換えは禁止です。

SSIFCR レジスタは、SSIFTDR レジスタおよび SSIFRDR レジスタに格納されるデータ数のリセット、および送信 FIFO しきい値と受信 FIFIO しきい値の設定を行うレジスタです。

RFRST ビット（受信 FIFO データレジスタリセット）

SSIFRDR レジスタ内のデータを無効にし、FIFO を空の状態にリセットします。

TFRST ビット（送信 FIFO データレジスタリセット）

SSIFTDR レジスタ内のデータを無効にし、FIFO を空の状態にリセットします。

RIE ビット（受信 FIFO データフル割り込み許可）

受信動作時に、SSIFSR.RDF フラグが 1 になったときに、受信 FIFO データフル割り込み要求（SSI0_SSIRXI または SSI1_SSIRT）の発生を許可／禁止します。

TIE ビット（送信 FIFO データエンプティ割り込み許可）

送信動作時に、SSIFSR.TDE フラグが 1 になったときに、送信 FIFO データエンプティ割り込み要求（SSI0_SSITXI または SSI1_SSIRT）の発生を許可／禁止します。

RTRG[1:0] ビット（受信 FIFO しきい値設定トリガ）

受信 FIFO しきい値を設定します。SSIFRDR レジスタ（受信 FIFO）に格納された受信データの数が RTRG[1:0] ビットの設定値以上になったとき、SSIFSR.RDF フラグが 1 になり、受信データの読み出しが要求されます。このとき SSIFCR.RIE ビットが 1 であれば受信 FIFO データフル割り込み要求（SSI0_SSIRXI または SSI1_SSIRT）が生成されます。

TTRG[1:0] ビット（送信 FIFO しきい値設定トリガ）

送信 FIFO しきい値を設定します。SSIFTDR レジスタ（送信 FIFO）に格納された送信データの数が TTRG[1:0] ビットの設定値以下になったとき、SSIFSR.TDE フラグが 1 になり、送信データの書き込みが要求されます。このとき SSIFCR.TIE ビットが 1 であれば送信 FIFO データエンプティ割り込み要求（SSI0_SSITXI または SSI1_SSIRT）要求が生成されます。

SSIRST ビット（SSI ソフトウェアリセット）

1 を書き込むと、SSI の内部状態、SSIFCR レジスタ以外のレジスタ、および本レジスタ内の本ビットを除くビットが初期化されます。本ビットは自動で 0 にクリアされないため、1 の書き込みを確認後、0 を書いてください。本ビットに 0 を書き込むのと同時に、他のビットに 1 を書き込まないでください。また、本ビットを書き換えた後は、ビットが正しく書き換えられていることを確認してから次の動作を行ってください。

41.2.4 FIFO ステータスレジスタ（SSIFSR）

アドレス SSI0.SSIFSR4004 E014h, SSI1.SSIFSR 4004 E114h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	TDC[3:0]				—	—	—	—	—	—	—	TDE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	RDC[3:0]				—	—	—	—	—	—	—	RDF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RDF	受信データフルフラグ	0：SSIFRDR レジスタの受信データ数が指定受信トリガ数より少ない 1：SSIFRDR レジスタの受信データ数が指定受信トリガ数以上である	R/(W)（注1）
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	RDC[3:0]	受信データ数表示フラグ	SSIFRDR レジスタに格納されたデータ数を示します。	R
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	TDE	送信データエンプティフラグ	0：SSIFTDR レジスタの送信データ数が指定送信トリガ数より多い 1：SSIFTDR レジスタの送信データ数が指定送信トリガ数以下である（注2）	R/(W)（注1）
b23-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27-b24	TDC[3:0]	送信データ数表示フラグ	SSIFTDR レジスタに格納されたデータ数を示します。	R
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 1 の状態を読み出した後、0 を書き込むことで 0 になります。

注 2. SSIFTDR レジスタは 8 段 FIFO レジスタであるため、TDE = 1 のときに書き込みすることができるデータの最大数は、（8-TDC[3:0] 設定）になります。それを超えるデータの書き込みは無視されます。SSIFTDR レジスタのデータ数は TDC[3:0] フラグで示されます。

SSIFSR レジスタは、SSIFTDR レジスタおよび SSIFRDR レジスタの動作状態を示します。

RDF フラグ（受信データフルフラグ）

受信データが SSIFRDR レジスタに転送されたとき、SSIFRDR レジスタのデータ数が受信 FIFO しきい値以上になり、SSIFRDR レジスタから受信データの読み出しが可能になったことを示します。

［1 になる条件］

- SSIFRDR レジスタに格納した受信データ数が受信 FIFO しきい値以上のとき

［0 になる条件］

- RDF フラグが 1 であることを確認した後、RDF フラグに 0 を書き込んだとき
- 受信データは、DMA または DTC 転送（ブロック転送時は、ブロックの最終転送）を使用して SSIFRDR レジスタから読み出されます。DMA または DTC 転送時、RDF フラグを 0 にしないでください。

注 . SSIFRDR レジスタは 32 バイトの FIFO レジスタであるため、RDF フラグが 1 のときに読み出すことができるデータの最大数は、RDC[3:0] フラグで示されます。SSIFRDR レジスタのすべてのデータを読み出した後、さらに読み出しを続けると不定値が読めます。

RDC[3:0] フラグ（受信データ数表示フラグ）

SSIFRDR レジスタに格納されたデータ数を示します。RDC[3:0] が 0h のときは、受信データがないことを示します。RDC[3:0] が 8h のときは、SSIFRDR レジスタに 32 バイトの受信データが格納されていることを示します。

TDE フラグ（送信データエンプティフラグ）

SSIFTDR レジスタから SSITDR レジスタにデータが転送された場合に、SSIFTDR レジスタのデータ数が送信 FIFO しきい値より少ないため SSIFTDR レジスタへの送信データの書き込みが可能であることを示します。

［1 になる条件］

- SSIFTDR レジスタに書き込んだ送信データの数が送信 FIFO しきい値以下のとき

［0 になる条件］

- TDE フラグが 1 であることを確認した後、TDE フラグに 0 を書き込んだとき
- 送信データは、DMA または DTC 転送（ブロック転送時は、ブロックの最終転送）を使用して SSIFTDR レジスタに書き込まれます。DMA または DTC 転送時、TDE フラグを 0 にしないでください。

注 . SSIFTDR レジスタは 8 段 FIFO を持つ 32 ビットレジスタであるため、TDE フラグが 1 のときに書き込みすることができるデータの最大数は（8-TDC[3:0] 設定）になります。SSIFTDR レジスタにすべてのデータを書き込みした後、さらに書き込みを続けると書き込みは無効になり、オーバーフローが発生します。

TDC[3:0] フラグ（送信データ数表示フラグ）

SSIFTDR レジスタに格納されたデータ数を示します。TDC[3:0] が 0h のときは、送信データがないことを示します。TDC[3:0] が 8h のときは、SSIFTDR レジスタに 32 バイトの送信データが格納されていることを示します。

41.2.5 送信 FIFO データレジスタ（SSIFTDR）

アドレス SSI0.SSIFTDR 4004 E018h, SSI1.SSIFTDR 4004 E118h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

SSIFTDR レジスタは、シリアル送信するデータを格納する 32 ビット × 8 段の書き込み専用 FIFO レジスタです。SSIFTDR レジスタには、データワード長設定とは関係なく、64 ビット（2 段の FIFO）単位で送信データを書き込んでください。32 ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、32 ビットの 0 データ（0000 0000h）を書き込み、64 ビットの書き込みが完了したら送信を停止してください。SSI は送信シフトレジスタが空であると、SSIFTDR レジスタに書き込まれた送信データを送信シフトレジスタに転送してシリアル送信を開始します。SSIFTDR レジスタの送信データが空になるまで連続シリアル送信ができます。

SSIFTDR レジスタに格納されたデータが最大値（32 バイト）に達すると、次のデータを書き込むことができません。書き込みは無視され、オーバーフローが発生します。

41.2.6 受信 FIFO データレジスタ（SSIFRDR）

アドレス SSI0.SSIFRDR 4004 E01Ch, SSI1.SSIFRDR 4004 E11Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

SSIFRDR レジスタは、シリアル受信したデータを格納する 32 ビット × 8 段の読み出し専用 FIFO レジスタです。SSI は 4 バイトのシリアルデータを受信するたびに、受信したシリアルデータを受信シフトレジスタから SSIFRDR レジスタへ、PDTA ビットに指定されたとおり格納します。最大 32 バイトの格納が終了するまで連続した受信動作が可能です。SSIFRDR レジスタは読み出しはできますが書き込みはできません。SSIFRDR レジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダーフローが発生します。

SSIFRDR レジスタに格納された受信データが最大値になると、それ以降に受信したデータは失われ、受信オーバーフローが発生します。

41.2.7 TDM モードレジスタ（SSITDMR）

アドレス SSI0.SSITDMR 4004 E020h, SSI1.SSITDMR 4004 E120h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CONT	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CONT	WSコンティニュモード（注1）	0：WSコンティニュモードを禁止 1：WSコンティニュモードを許可	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. マスタモード（SSICR.SCKD ビット = 1 かつ SSICR.SWSD ビット = 1）の場合のみ設定可能です。

SSITDMR レジスタは、読み出し／書き込み可能な 32 ビットのレジスタで、WS コンティニュモードの設定を行います。

41.3 動作説明

41.3.1 バスフォーマット

表 41.4 が示すとおり、SSI はトランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、複数のシリアルバスフォーマットを使用できます。

表 41.4 バスフォーマット

モード	TEN	REN	SCKD	SWSD	MUEN	IIEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
非圧縮スレーブレシーバ	0	1	0	0	制御ビット							コンフィグレーションビット								
非圧縮スレーブトランスミッタ	1	0	0	0																
非圧縮スレーブトランシーバ	1	1	0	0																
非圧縮マスタレシーバ	0	1	1	1																
非圧縮マスタトランスミッタ	1	0	1	1																
非圧縮マスタトランシーバ	1	1	1	1																

41.3.2 非圧縮モード

SSI は、非圧縮モードのみサポートします。また、MSB ファーストオーダ、左／右詰めに加え、SSI 互換フォーマットをサポートします。

(1) スレーブレシーバ

このモードでは、SSI は別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI のコンフィグレーションフィールドに設定されたフォーマットと一致しない場合、動作は保証されません。

(2) スレーブトランスミッタ

このモードでは、SSI は別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI のコンフィグレーションフィールドに設定されたフォーマットと一致しない場合、動作は保証されません。

(3) スレーブトランシーバ

このモードでは、SSI は別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が SSI のコンフィグレーションフィールドに設定されたフォーマットと一致しない場合、動作は保証されません。

(4) マスタレシーバ

このモードでは、SSI は別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はマスタクロックで内部生成されます。これらの信号のフォーマットは、SSI のコンフィグレーションフィールドで定義されます。受信するデータが、設定されたフォーマットと一致しない場合、動作は保証されません。

(5) マスタトランスミッタ

このモードでは、SSI は別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はマスタクロックで内部生成されます。これらの信号のフォーマットは、SSI のコンフィグレーションフィールドで定義されます。

(6) マスタトランシーバ

このモードでは、SSI は別のデバイスとのシリアルデータの送受信ができます。クロックとワード選択信号はマスタクロックで内部生成されます。これらの信号のフォーマットは、SSI のコンフィグレーションフィールドで定義されます。

(7) ワード長の動作設定

非圧縮モードでは、SSICR レジスタのワード長に関するすべてのビットが有効です。SSI は、複数のコンフィグレーションをサポートします。図 41.6 ～図 41.9 に、SSI 互換フォーマット、MSB ファースト・左詰めフォーマット、MSB ファースト・右詰めフォーマットの組み合わせ例を示しています。

SSI 互換フォーマット

図 41.6、図 41.7 に、パディングなしとパディングありの SSI 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

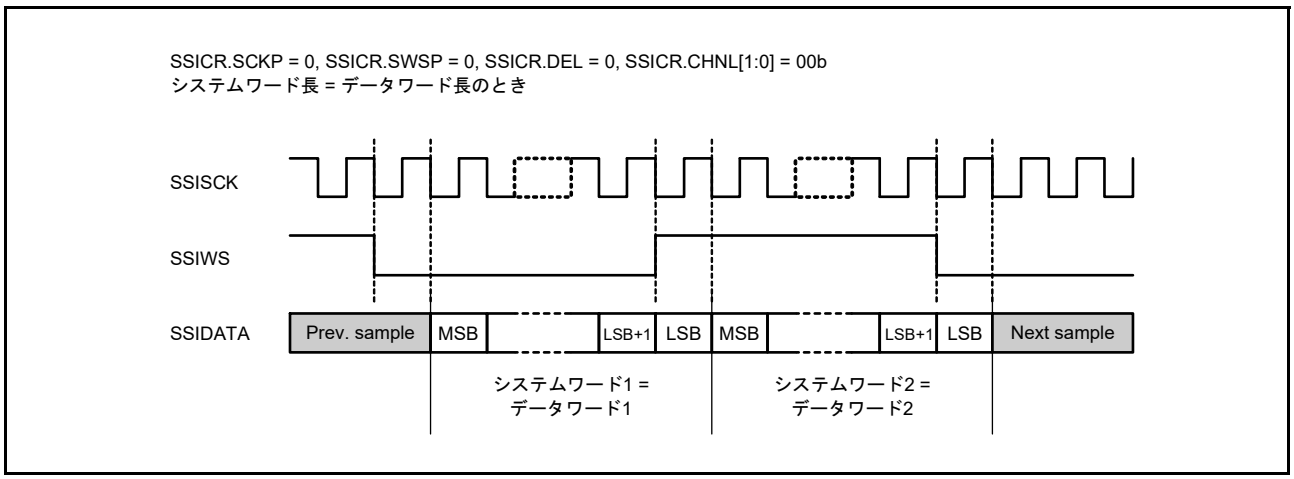


図 41.6 パディングなしの SSI 互換フォーマット

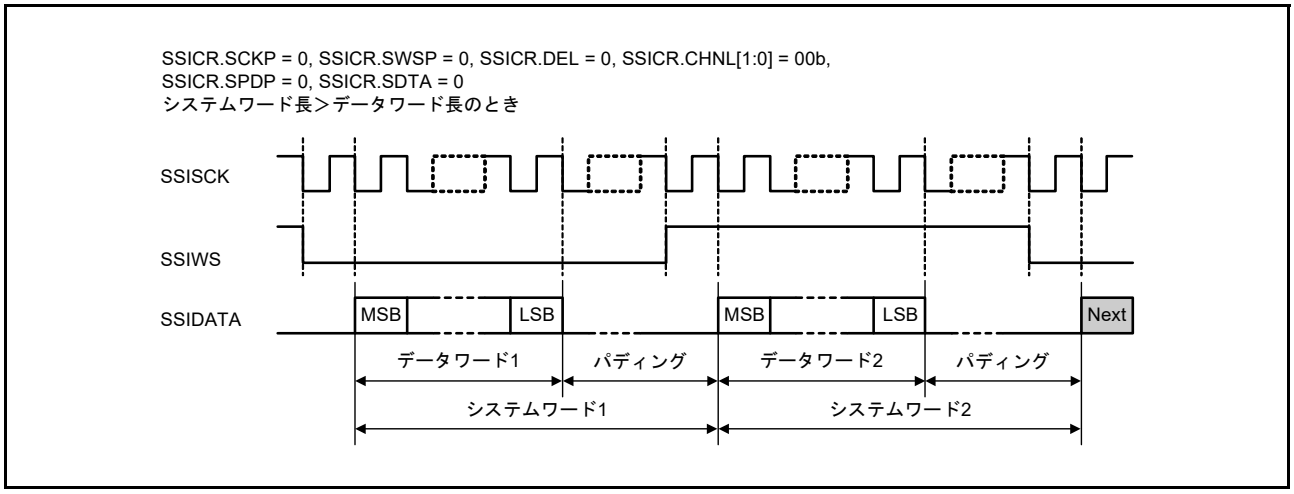


図 41.7 パディングありの SSI 互換フォーマット

図 41.8 に MSB ファースト・左詰めフォーマットを、図 41.9 に MSB ファースト・右詰めフォーマットを示します。

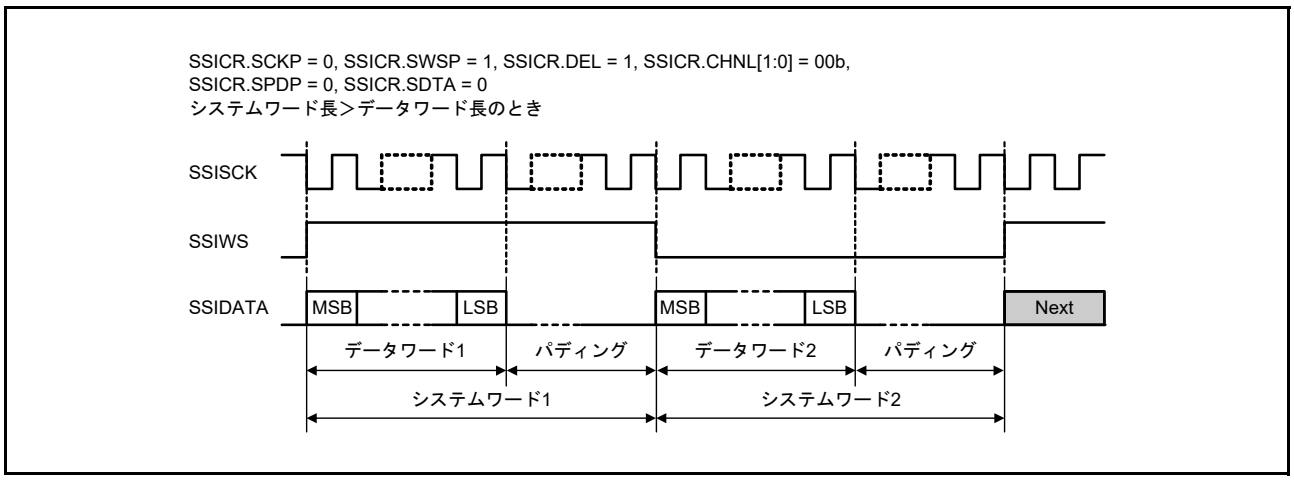


図 41.8　シリアルデータ、パディングビットの順に MSB ファースト・左詰めフォーマットで送受信

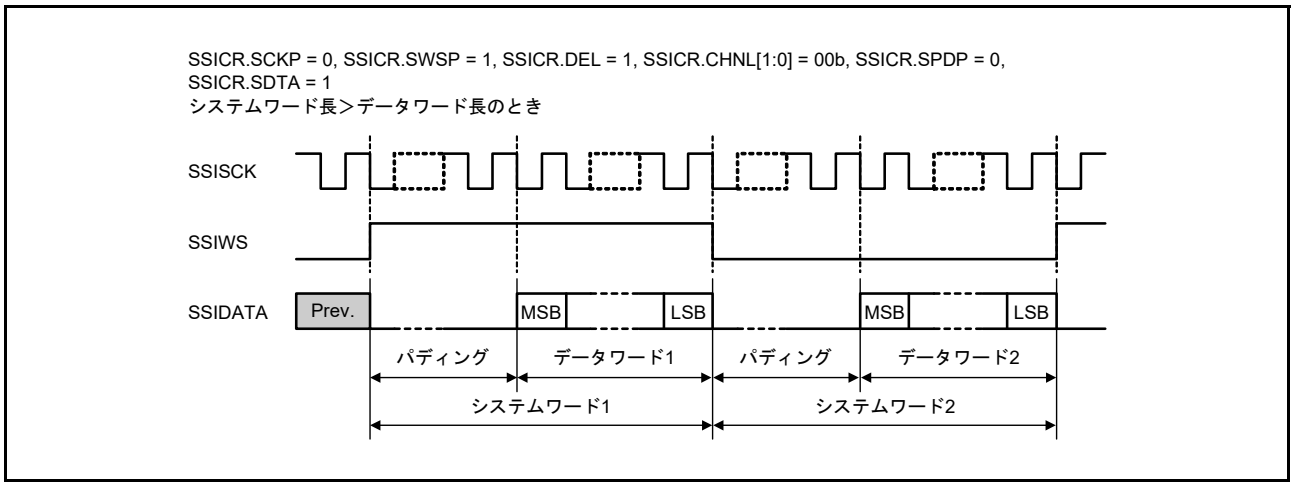


図 41.9　パディングビット、シリアルデータの順に MSB ファースト・右詰めフォーマットで送受信

表 41.5 に有効な設定とパディングビット数を示します。

表 41.5　有効な各設定におけるシステムワードごとのパディングビット数

システムワードごとのパディングビット数			SSICR.DWL[2:0] ビット	000b	001b	010b	011b	100b	101b
SSICR.CHNL[1:0] ビット	システムワードごとにデコードされるチャネル数	SSICR.SWL[2:0] ビット	データワード長 / システムワード長	8	16	18	20	22	24
00b	1	000b	8	0	—	—	—	—	—
		001b	16	8	0	—	—	—	—
		010b	24	16	8	6	4	2	0
		011b	32	24	16	14	12	10	8

(8) ワード長以外の動作設定

本項では、非圧縮モードの設定に使用するその他のビットについて説明します。これらのビットは相互に排他的なわけではありませんが、デバイスによっては実用的でない組み合わせもあります。図 41.10 で示す例を基本フォーマットとして、このようなコンフィグレーションビットについても本項で説明します。

図 41.10 ～図 41.18 では、例を簡単にするために、システムワード長を 6 ビット、データワード長を 4 ビットとしています。

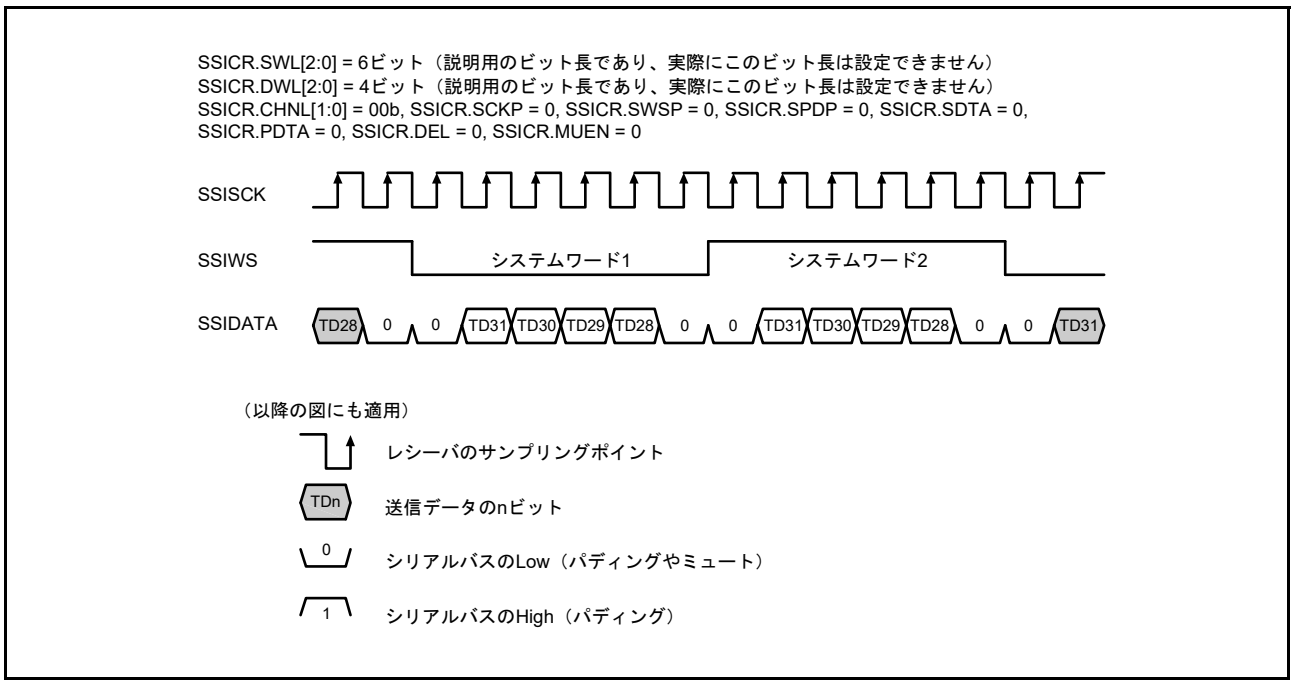


図 41.10　送信モード時の基本フォーマット例

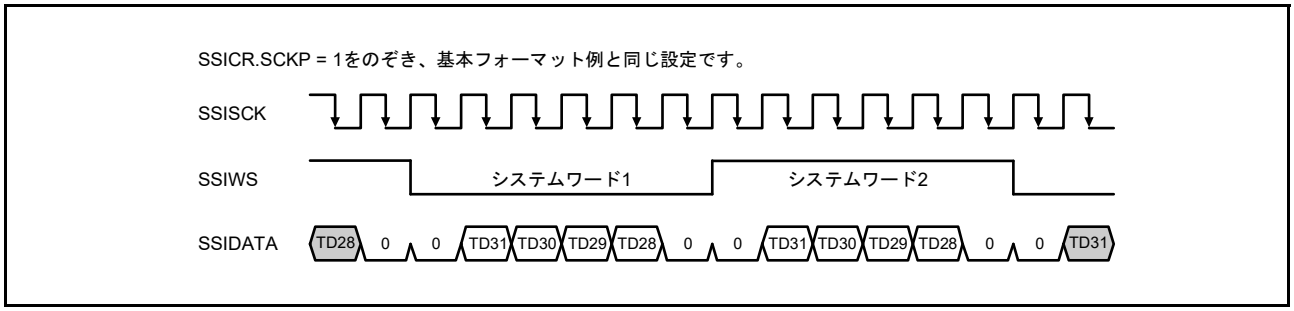


図 41.11　基本フォーマット例：反転クロックあり

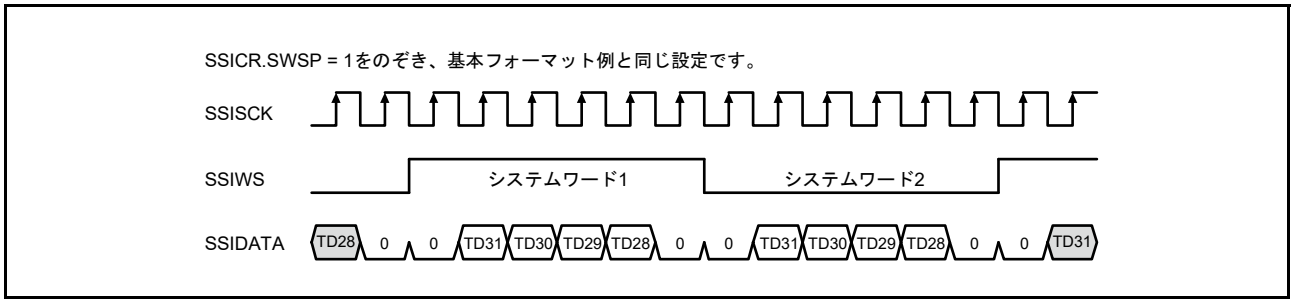


図 41.12　基本フォーマット例：反転ワード選択あり

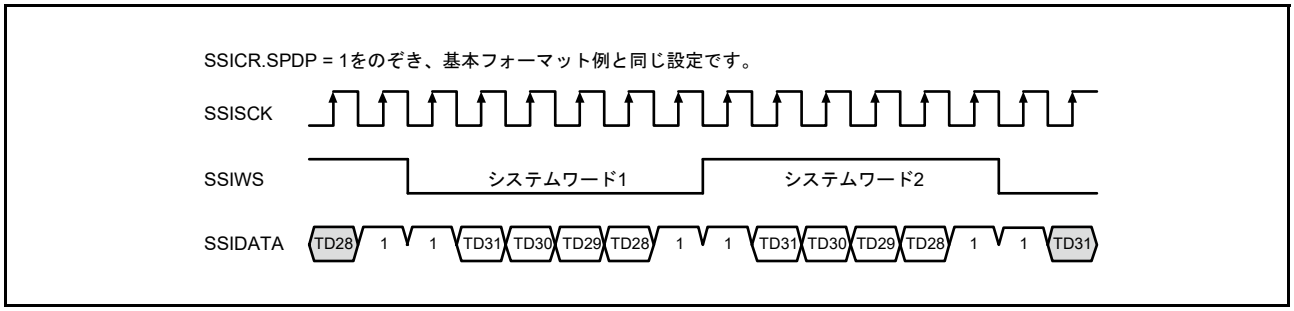


図 41.13　基本フォーマット例：反転パディング極性あり

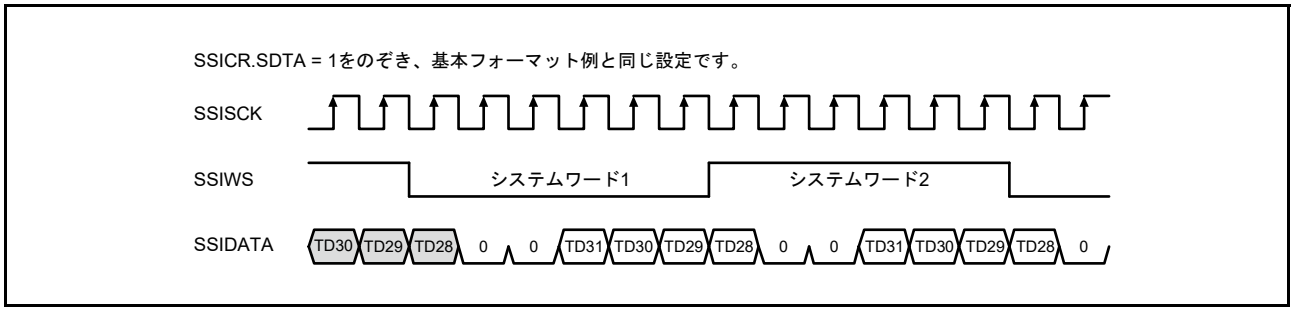


図 41.14　基本フォーマット例：パディングビットからシリアルデータの順で送受信、遅延あり

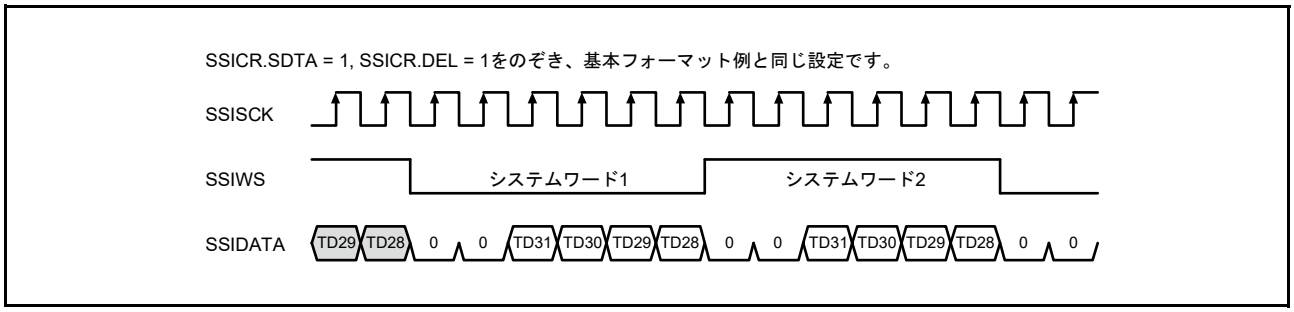


図 41.15　基本フォーマット例：パディングビットからシリアルデータの順で送受信、遅延なし

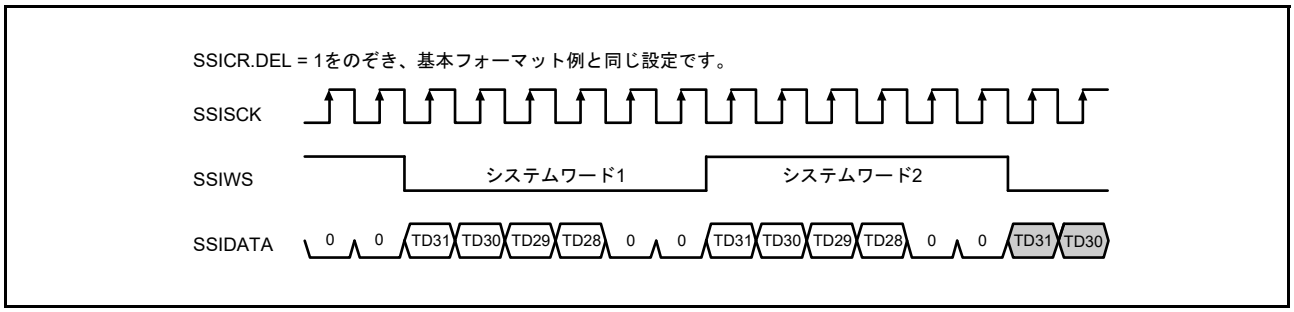


図 41.16　基本フォーマット例：シリアルデータからパディングビットの順で送受信、遅延なし

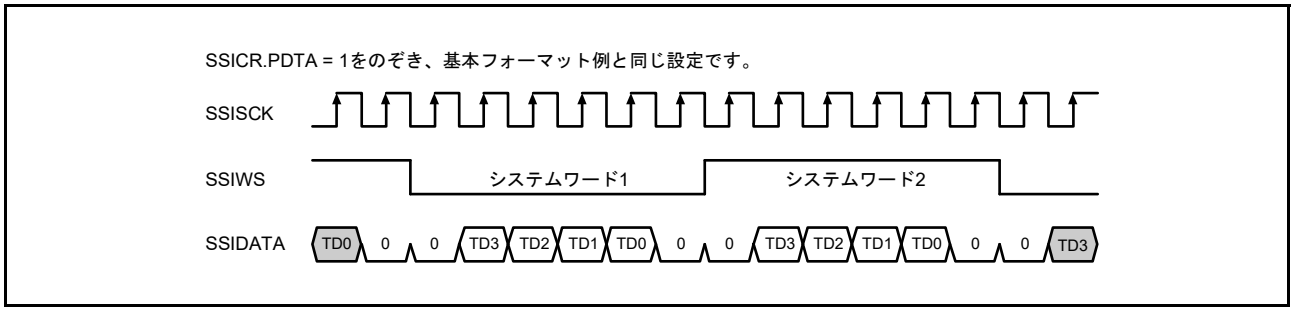


図 41.17　基本フォーマット例：パラレル右詰め、遅延あり

SSICR.MUEN ビットを 1 にすると、SSIWS に同期せず SSITXD0、SSIDATA1 端子を 0 にします。

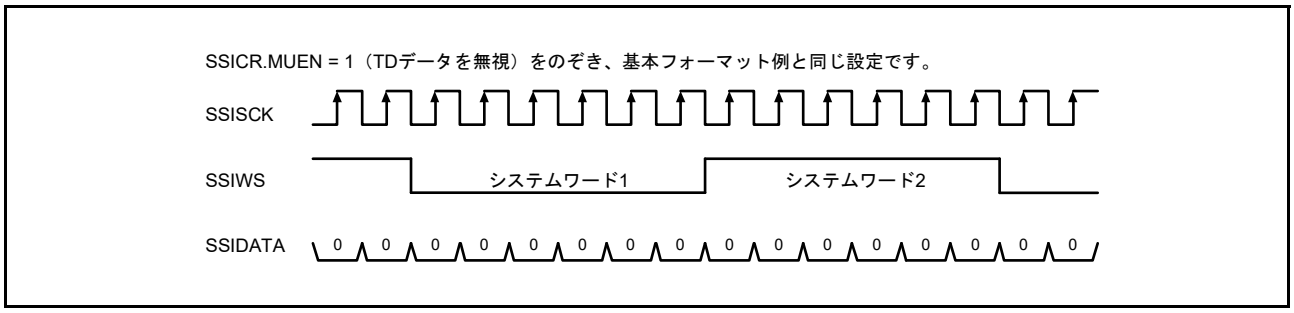


図 41.18　基本フォーマット例：ミュート許可

41.3.3　WS コンティニュモード

WS コンティニュモードは、データ転送の許可／禁止に関係なく SSIWS 信号を出力し続けるモードです。このモードは SSITDMR.CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを 0（転送禁止）にしても SSIWS 信号は停止せずに出力され続けます。このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも 0 にした場合は、SSIWS 信号が停止します。

図 41.19、図 41.20 に WS コンティニュモードの許可、禁止設定の動作をそれぞれ示します。

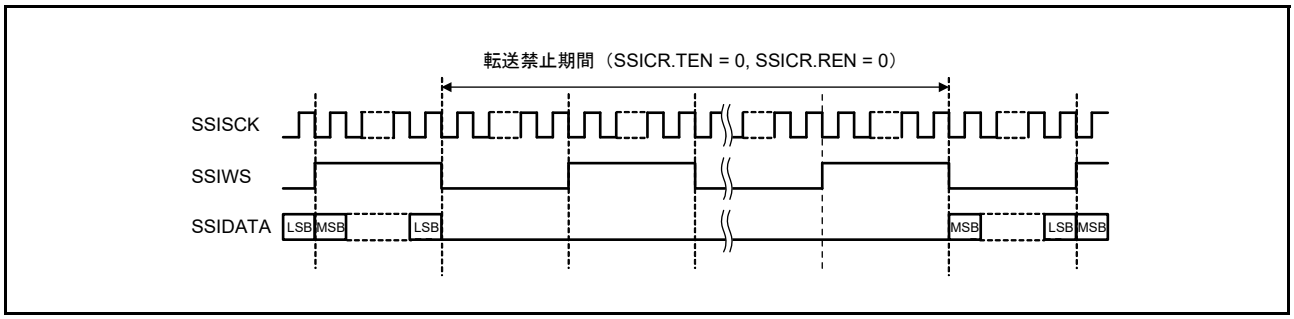


図 41.19　WS コンティニュモード許可時の SSI 動作

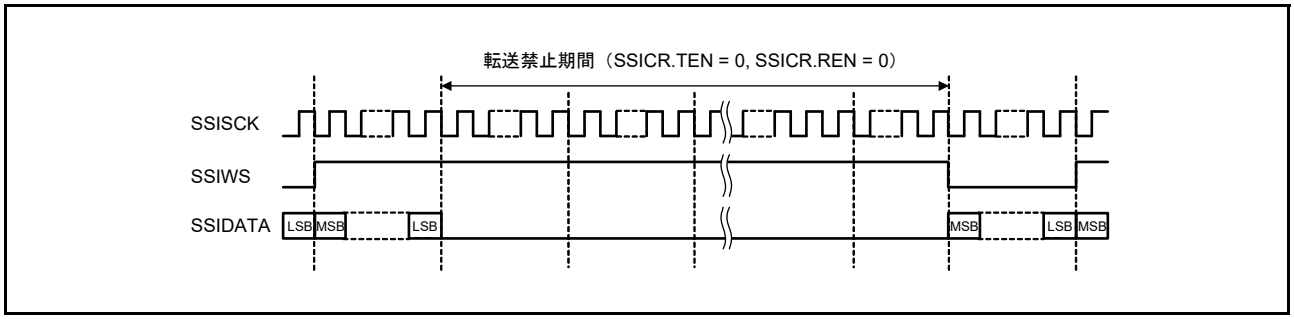


図 41.20　WS コンティニュモード禁止時の SSI 動作

41.3.4　動作状態

SSI には、以下の 3 種類の動作状態があります。

- アイドル状態
- 通信動作状態
- アイドル待ち状態

図 41.21 に動作状態遷移図を示します。

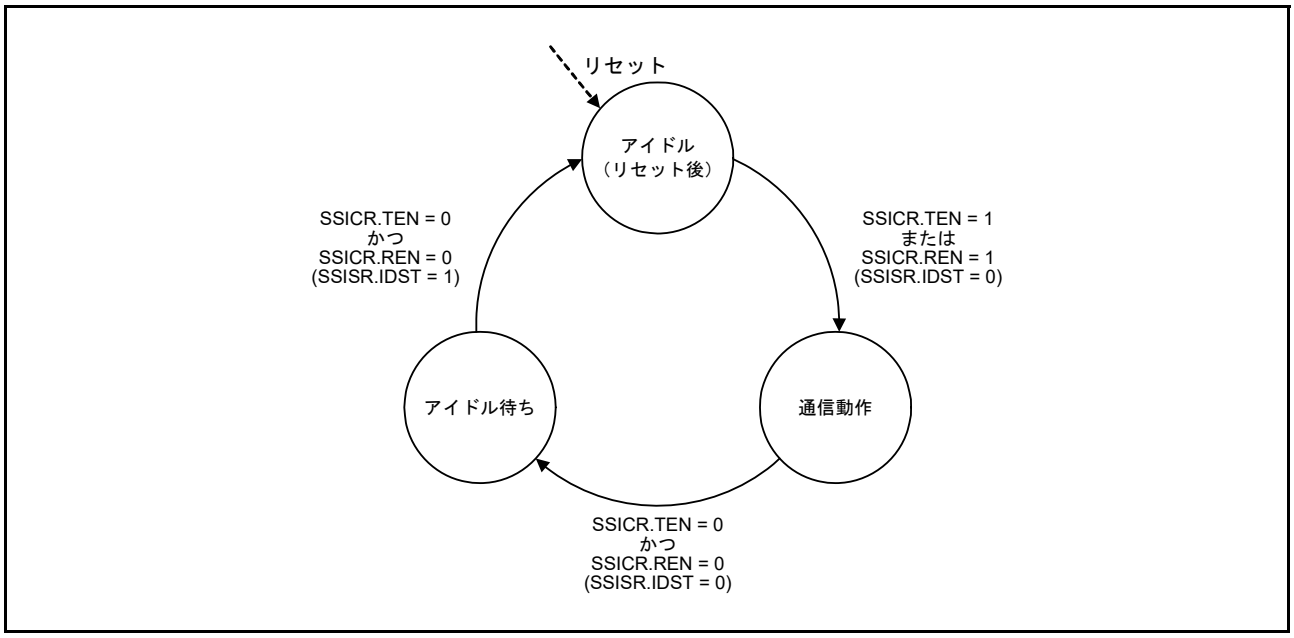


図 41.21　動作状態遷移図

(1)　アイドル時

リセット解除時に MSTPCRC.MSTPC7 ビットと MSTPC8 ビットを 0 にすると、SSI はアイドル状態に遷移します。SSI がアイドル状態にあるときに、ソフトウェアによって、使用するコントロールレジスタのコンフィグレーションビットをすべて設定します。設定後、SSICR.TEN ビットまたは SSICR.REN ビットが 1 になると、通信動作状態に遷移します。

(2)　通信動作状態

通信動作状態での通信動作は、選択された動作状態に依存しています。詳細は、41.3.5　送信動作と 41.3.6　受信動作を参照してください。

(3) アイドル待ち状態

通信動作状態時に、SSICR.TEN ビットと SSICR.REN ビットの両方を 0 にするとアイドル待ち状態に遷移します。アイドル待ち状態にあるときに、システムワードの通信が終了すると、SSISR.IDST フラグが 1 になり、SSI はアイドル状態に遷移します。

41.3.5 送信動作

送信は DMA または DTC 転送か割り込みで制御できます。DMAC または DTC を使用して、CPU 負荷を低減することを推奨します。DMAC または DTC を使用した送信では、データのアンダーフローまたはオーバーフローが発生した場合、または DMA/DTC 転送が終了した場合のみ、CPU が割り込みを受信します。DMAC または DTC 転送による送信時は、SSIFTDR レジスタに 64 ビット（2 段の FIFO）単位で送信データを書き込むために、2 の倍数になるよう転送回数を設定してください。

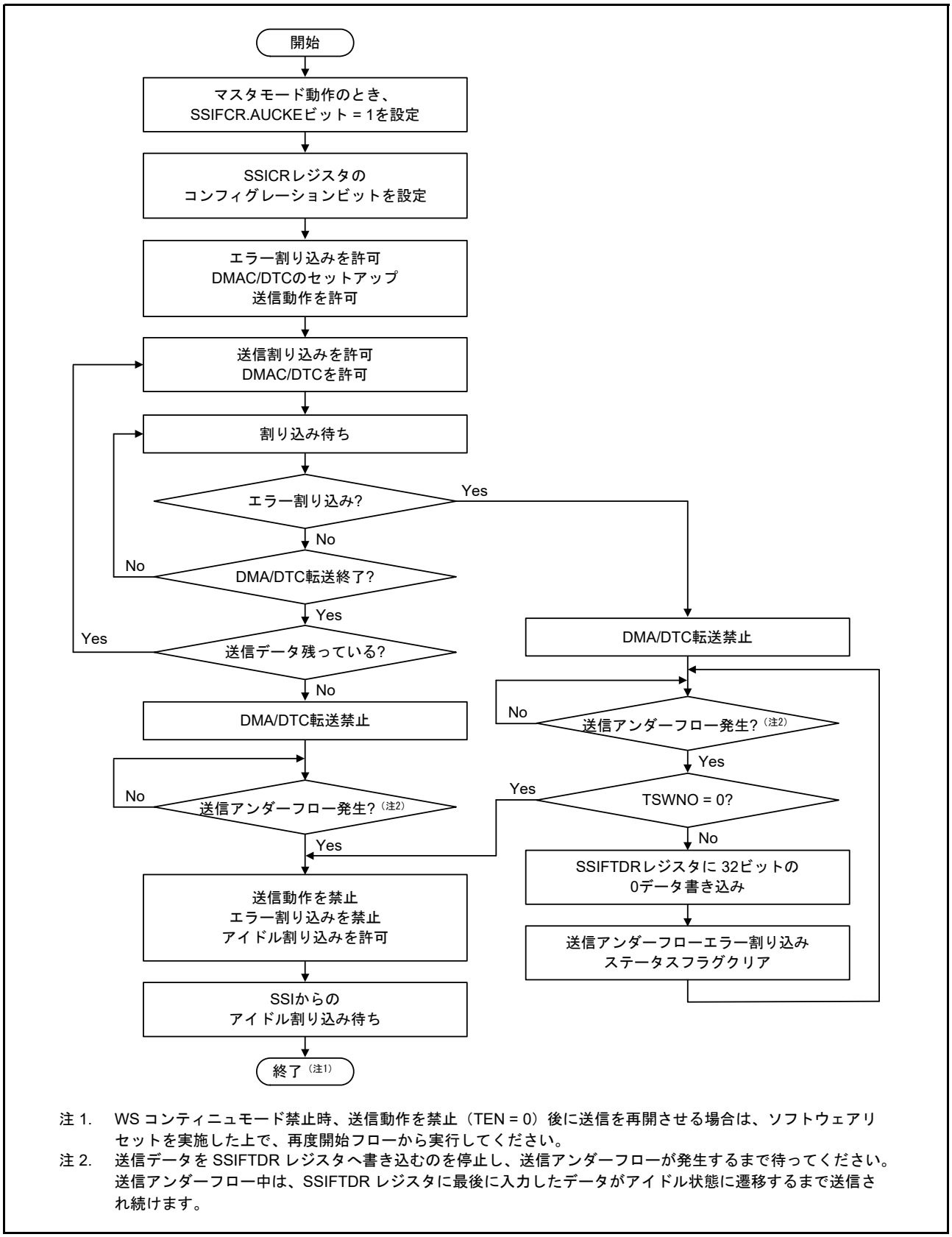
別の方法として、割り込みを使用する方法があり、SSI が必要に応じてデータを供給するために生成する割り込みを使用します。割り込みを使用した送信では、データフォーマットにかかわらず 64 ビット単位で送信データを書き込んでください。32 ビット境界で送信データが終了した場合は、最後の送信データ書き込み後に、32 ビットの 0 データ（0000 0000h）を書き込み、64 ビット境界で書き込みを完了してください。

送信を停止するときは、64 ビット単位で書き込みが完了した状態で SSIFTDR レジスタへの書き込みを停止してください。書き込み停止後、送信アンダーフローの発生を待ってから、TEN ビットを 0 にしてください。送信アンダーフロー中は、SSI がアイドル状態に遷移するまで、SSIFTDR に最後に入力されたデータが送信され続けます。TEN ビットを 0 にした後、SSISR.IIRQ フラグがアイドル状態を示すまで、クロック（注 1）を供給する必要があります。送信途中に、送信アンダーフローエラー、送信オーバーフローエラーが発生した場合、送信データの SSIFTDR への書き込みが 64 ビット単位でなくなる場合があります。その場合は、データ書き込みを停止し、送信アンダーフローエラーが発生するまで待ち、送信アンダーフロー発生時の TSWNO を確認してください。TSWNO ビットが 1 の場合は、32 ビットの 0 データ（0000 0000h）を SSIFTDR に書き込み、再度アンダーフローの発生を待ってください。TSWNO ビットが 0 になるのが確認できたら、TEN ビットを 0 にした後、SSISR.IIRQ フラグがアイドル状態を示すまで、クロック（注 1）を供給してください。

注 1. SSICR.SCKD ビットが 0 の場合、クロックは SSISCK 端子から入力し、SSICR.SCKD ビットが 1 の場合はマスタクロックとなります。

図 41.22 に DMAC または DTC を使用した送信を、図 41.23 に割り込みを使用した送信を示します。

(1) DMAC または DTC を使用した送信

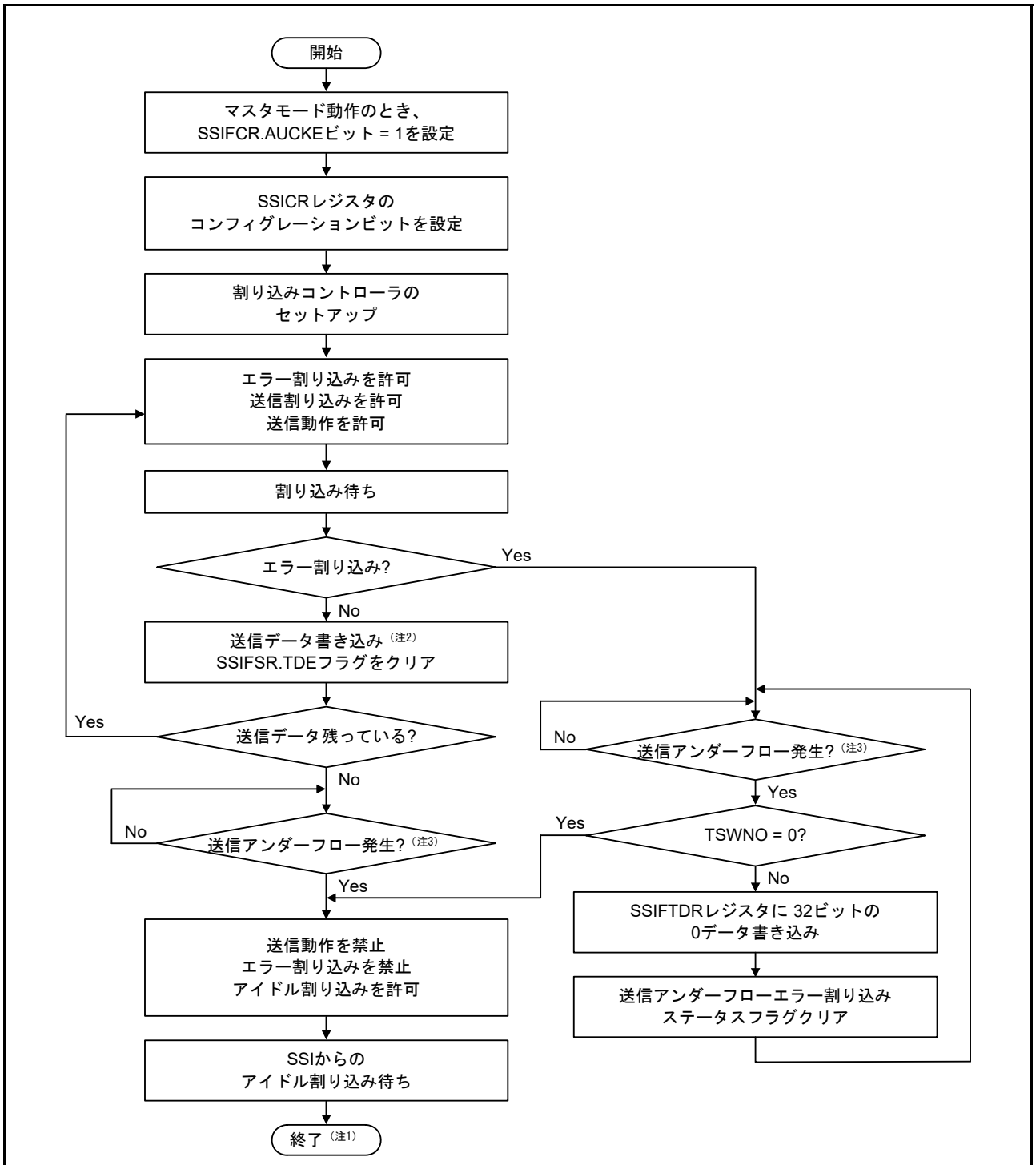


注 1. WS コンティニュモード禁止時、送信動作を禁止（TEN = 0）後に送信を再開させる場合は、ソフトウェアリセットを実施した上で、再度開始フローから実行してください。

注 2. 送信データを SSIFTDR レジスタへ書き込むのを停止し、送信アンダーフローが発生するまで待ってください。送信アンダーフロー中は、SSIFTDR レジスタに最後に入力したデータがアイドル状態に遷移するまで送信され続けます。

図 41.22 DMAC または DTC を使用した送信フロー

(2) 割り込みを使用した送信



注 1. WS コンティニュモード禁止時、送信動作を禁止（TEN = 0）後に送信を再開させる場合は、ソフトウェアリセットを実施した上で、再度開始フローから実行してください。
注 2. 送信データは、データワード長設定とは関係なく 64 ビット単位で書き込んでください。
注 3. 送信データを SSIFTDR レジスタへ書き込むのを停止し、送信アンダーフローが発生するまで待ってください。送信アンダーフロー中は、SSIFTDR レジスタに最後に入力したデータがアイドル状態に遷移するまで送信され続けます。

図 41.23 割り込みを使用した送信フロー

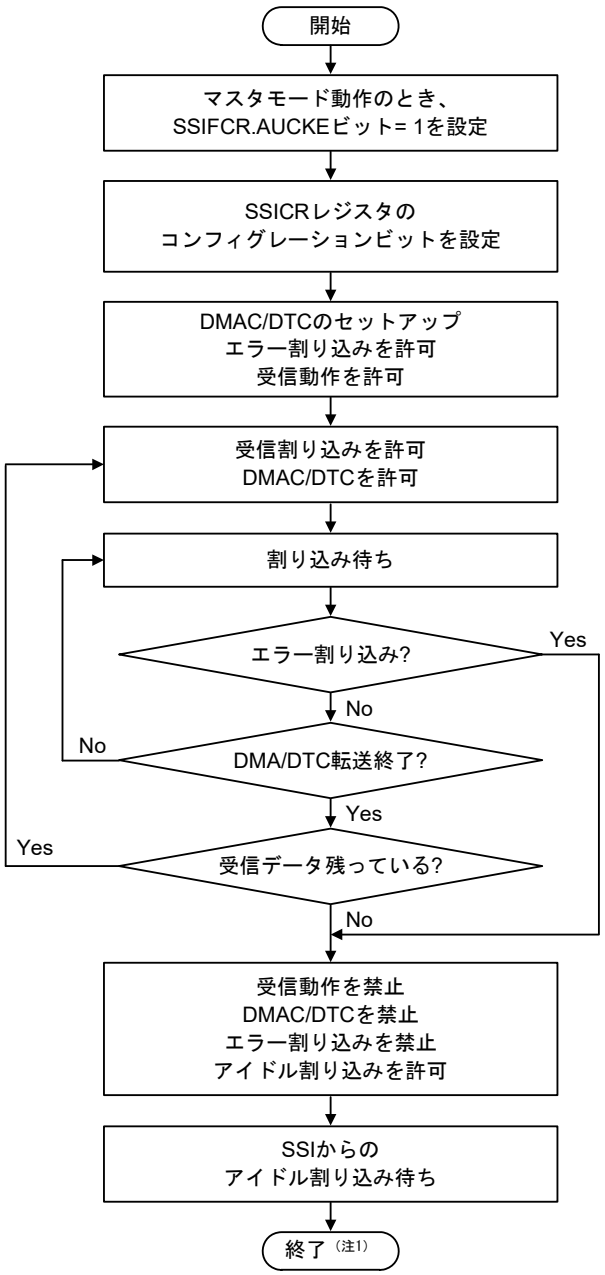
41.3.6 受信動作

送信同様、受信も DMA、または DTC 転送、あるいは割り込みで制御できます。図 41.24 と図 41.25 にそれぞれの動作フローチャートを示します。

受信を停止する場合、REN ビットを 0 にした後、SSISR.IIRQ フラグがアイドル状態を示すまで、クロック（注 1）の供給を継続してください。

注 1. SSICR.SCKD ビットが 0 の場合、クロックは SSISCK 端子から入力し、SSICR.SCKD ビットが 1 の場合はマスタクロックとなります。

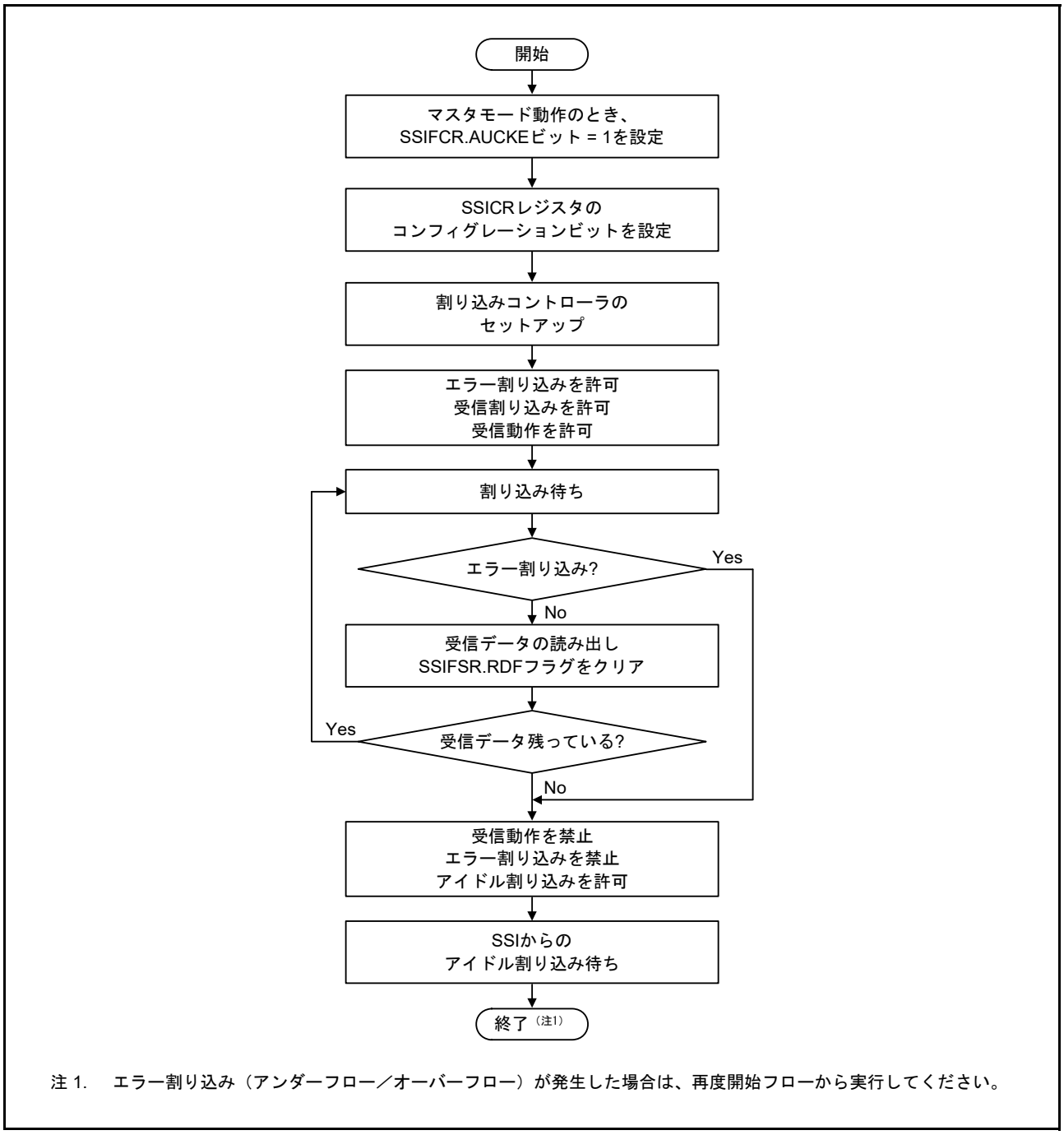
(1) DMAC または DTC を使用した受信



注 1. エラー割り込み（アンダーフロー／オーバーフロー）が発生した場合は、再度開始フローから実行してください。

図 41.24 DMAC または DTC を使用した受信フロー

(2) 割り込みによるデータフロー制御を使用した受信



注 1. エラー割り込み（アンダーフロー／オーバーフロー）が発生した場合は、再度開始フローから実行してください。

図 41.25 割り込みを使用した受信フロー

41.3.7 シリアルビットクロック制御

SSI は SCKD ビットと CKDV ビットを使用して、シリアルバスインタフェースに使用するクロックの制御と選択を行っています。シリアルビットクロックが入力に設定されている場合（SSICR.SCKD ビット = 0）、SSI はクロックスレーブモードであり、シフトレジスタは SSISCK 端子に入力されたビットクロックを使用します。シリアルビットクロックが出力に設定されている場合（SSICR.SCKD ビット = 1）、SSI はクロックマスタモードであり、シフトレジスタはマスタクロックまたはそれを分周したビットクロックを使用します。マスタクロックは、SSICR.CKDV[3:0] ビットで設定された比率で分周されてシフトレジスタのビットクロックとして使われます。上記のいずれの場合でも、SSISCK 端子の出力はビットクロックと等しくなります。

41.4 割り込み

表 41.6 に SSI の各割り込み要因を示します。割り込み要因は、SSICR.TUIEN、TOIEN、RUIEN、ROIEN、IIEN ビットと SSIFCR.TIE、RIE ビットで許可または禁止できます。

表 41.6 SSIの割り込み要因

チャネル	割り込み要因	機能	割り込みフラグ	DMACまたはDTCの起動
SSI0	SSI0_SSIF	• 送信アンダーフロー割り込み • 送信オーバーフロー割り込み • 受信アンダーフロー割り込み • 受信オーバーフロー割り込み • アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	不可能
	SSI0_SSIRXI	受信データフル割り込み	SSIFSR.RDF	可能
	SSI0_SSITXI	送信データエンプティ割り込み	SSIFSR.TDE	可能
SSI1	SSI1_SSIF	• 送信アンダーフロー割り込み • 送信オーバーフロー割り込み • 受信アンダーフロー割り込み • 受信オーバーフロー割り込み • アイドル割り込み	SSISR.TUIRQ SSISR.TOIRQ SSISR.RUIRQ SSISR.ROIRQ SSISR.IIRQ	不可能
	SSI1_SSIRT	• 受信データフル割り込み • 送信データエンプティ割り込み	SSIFSR.RDF/ SSIFSR.TDE	可能

41.5 使用上の注意事項

41.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）により、SSI の動作を禁止／許可することが可能です。SSI は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

41.5.2 転送モードを切り替える場合の注意事項

WS コンティニュモード禁止（SSITDMR.CONT = 0）の状態で、トランスミッタ、レシーバ、トランシーバ間でモード遷移する場合は、SSICR.TEN ビットと SSICR.REN ビットを 0 にして、一度アイドル状態に遷移してください。アイドル状態で、SSICR.TEN ビットと SSICR.REN ビットを再設定し転送を再開してください。

41.5.3 WS コンティニュモードの制限

WS コンティニュモードの設定を切り替える場合、切り替え直後の SSISCK 信号、SSIWS 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

42. サンプリングレートコンバータ（SRC）

42.1 概要

サンプリングレートコンバータ（SRC）は、WMA/MP3/AAC を含む各種オーディオデコーダで生成されたデータのサンプリングレートを変換するために使用されます。16 ビットのステレオデータとモノラルデータの両方に対応しています。入力信号のサンプリングレートは、8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHz のいずれかになります。出力信号のサンプリングレートは、8kHz、16kHz、32kHz、44.1kHz、48kHz のいずれかになります。入力用と出力用で FIFO が独立しています。一般的な用途では、DMA コントローラを使用して PCM オーディオデータを（たとえば）SRAM から SRC に転送することができます。その後、SRC からサンプル変換されたオーディオデータは、DMA コントローラを使用して SSI インタフェースに転送され、SSI から外部オーディオコーデックに送信することができます。

表 42.1 に SRC の仕様を、図 42.1 にブロック図を示します。

表 42.1 SRCの仕様

項目		内容
データサイズ		16ビット（ステレオ／モノラル）
サンプリングレート	入力	8kHz、11.025kHz、12kHz、16kHz、22.05kHz、24kHz、32kHz、44.1kHz、48kHzから選択可能
	出力	8kHz（注1）、16kHz（注1）、32kHz、44.1kHz、48kHzから選択可能
処理性能		1サンプルの出力間隔は最大7.7μs（PCLKB = 60MHz、462クロック）
SNR		80dB以上
割り込み要因		5種類 入力FIFOエンプティ、出力FIFOフル、出力FIFOオーバーフロー、出力FIFOアンダーフロー、変換処理終了
DMA転送要因		2種 入力FIFOエンプティ、出力FIFOフル
モジュールストップ機能		モジュールストップ状態に設定して消費電力を削減

注 1. 入力 44.1kHz 選択時のみ

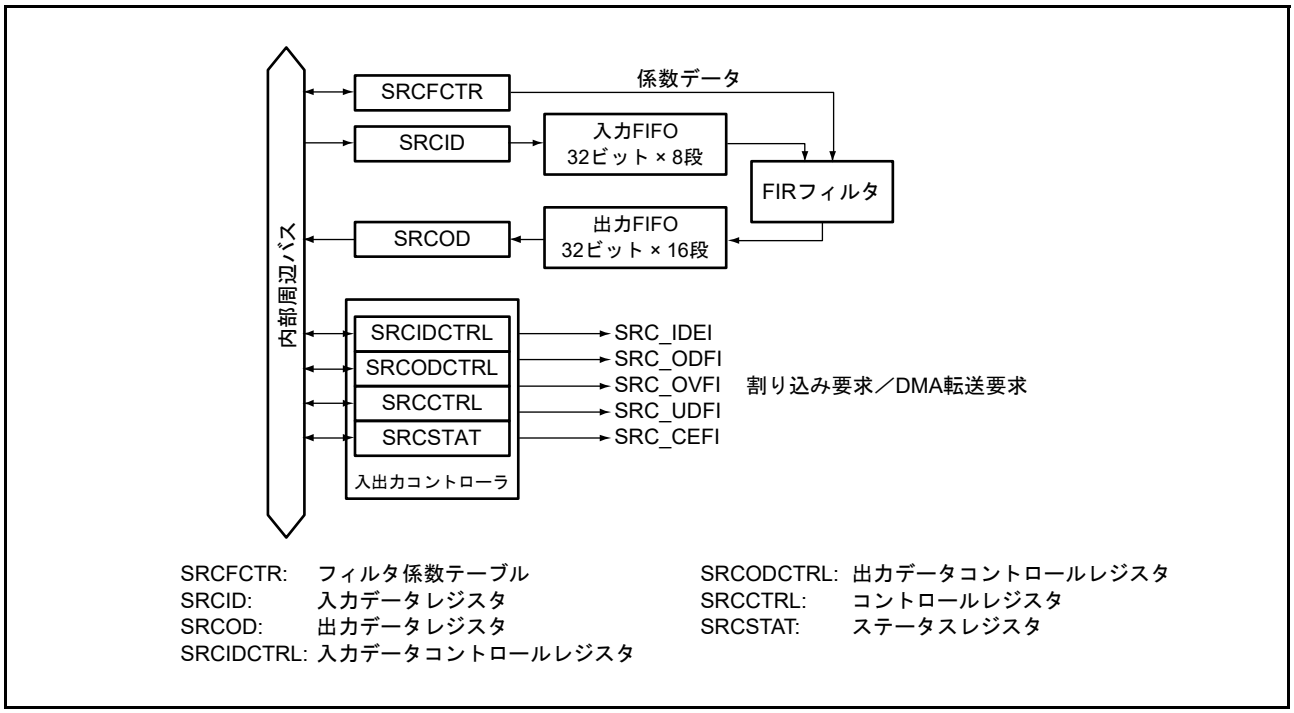


図 42.1 SRC のブロック図

42.2 レジスタの説明

42.2.1 入力データレジスタ（SRCID）

アドレス SRC.SRCID 4004 DFF0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SRCID レジスタは、32 ビットの書き込み専用レジスタで、サンプリングレート変換前のデータの入力に用います。すべてのビットは読み出すと 0 が読み出されます。SRCID へ書き込まれたデータは、8 段の入力 FIFO に格納されます。入力 FIFO のデータ数が 8 のときは、SRCID への書き込みは無効になります。

ステレオデータの場合、[31:16] ビットには Lch のデータ、[15:0] ビットには Rch のデータを格納します。モノラルデータの場合、[31:16] ビットが有効なデータで、[15:0] ビットが無効なデータです。

変換処理の対象となるデータは、SRCIDCTRL の IED 設定値によりアライメントが異なります。表 42.2 に SRCIDCTRL の IED の設定値とデータのアライメントとの関係を示します。

表 42.2 サンプリングレート返還前のデータアライメント

IED	Lch[15:8]	Lch[7:0]	Rch[15:8]	Rch[7:0]
0	SRCID[31:24]	SRCID[23:16]	SRCID[15:8]	SRCID[7:0]
1	SRCID[23:16]	SRCID[31:24]	SRCID[7:0]	SRCID[15:8]

42.2.2 出力データレジスタ（SRCOD）

アドレス SRC.SRCOD 4004 DFF4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SRCOD レジスタは、32 ビットの読み出し専用レジスタで、サンプリングレート変換後のデータの出力に用います。16 段の出力 FIFO に格納されたデータを SRCOD から読み出します。変換処理の開始後に、出力 FIFO がエンプティのときは、前回と同じ値が読み出されます。

SRCOD のデータは、SRCODCTRL の OCH と OED の設定値によりアライメントが異なります。表 42.3 に SRCODCTRL の OCH および OED の設定値と SRCOD におけるデータのアライメントとの関係を示します。

表 42.3 SRCODのデータアライメント

OCH	OED	SRCOD[31:24]	SRCOD[23:16]	SRCOD[15:8]	SRCOD[7:0]
0	0	Lch[15:8]	Lch[7:0]	Rch[15:8]（注1）	Rch[7:0]（注1）
	1	Lch[7:0]	Lch[15:8]	Rch[7:0]（注1）	Rch[15:8]（注1）
1（注2）	0	Rch[15:8]	Rch[7:0]	Lch[15:8]	Lch[7:0]
	1	Rch[7:0]	Rch[15:8]	Lch[7:0]	Lch[15:8]

注 1. モノラルデータを処理する場合は無効なデータとなります。32 ビットで読み出したあと、無効データを破棄してください。
注 2. モノラルデータを処理する場合は無効なデータとなります。

42.2.3 入力データコントロールレジスタ（SRCIDCTRL）

アドレス SRC.SRCIDCTRL 4004 DFF8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	IED	IEN	—	—	—	—	—	—	IFTRG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	IFTRG[1:0]	入力FIFOデータ数トリガ	b1 b0 0 0：0 0 1：2 1 0：4 1 1：6	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	IEN	入力FIFOエンプティ割り込み許可	0：入力FIFOエンプティ割り込み禁止 1：入力FIFOエンプティ割り込み許可	R/W
b9	IED	入力データエンディアン（注1）	0：リトルエンディアン 1：ビッグエンディアン	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SRCCTRL.SRCEN ビットが 0 の場合に限り書き換えてください。

SRCIDCTRL レジスタは、16 ビットの読み出し／書き込みレジスタで、入力データのエンディアン形式、割り込み要求の許可／禁止、トリガデータ数を設定します。

IFTRG[1:0] ビット（入力 FIFO データ数トリガ）

ステータスレジスタ（SRCSTAT）の IINT フラグが 1 のときのデータ数を指定します。入力 FIFO に格納された入力データ数が設定トリガ数以下になったとき、IINT フラグを 1 にします。

IEN ビット（入力 FIFO エンプティ割り込み許可）

入力 FIFO のデータ数が IFTRG[1:0] ビットで設定されたトリガ数以下になり、ステータスレジスタ（SRCSTAT）の IINT フラグが 1 になったときに、入力 FIFO エンプティ割り込み要求の発行を許可／禁止します。

IED ビット（入力データエンディアン）

入力データのエンディアン形式を指定します。

42.2.4 出力データコントロールレジスタ（SRCODCTRL）

アドレス SRC.SRCODCTRL 4004 DFFAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OCH	OED	OEN	—	—	—	—	—	—	OFTRG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OFTRG[1:0]	出力FIFOデータ数トリガ	b1 b0 0 0 : 1 0 1 : 4 1 0 : 8 1 1 : 12	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	OEN	出力FIFOフル割り込み許可	0：出力FIFOフル割り込み禁止 1：出力FIFOフル割り込み許可	R/W
b9	OED	出力データエンディアン	0：リトルエンディアン 1：ビッグエンディアン	R/W
b10	OCH	出力データチャネル入れ替え（注1）	0：チャネルを入れ替えない（入力データの順と同じにする） 1：チャネルを入れ替える（入力データの順と逆にする）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SRCCTRL.SRCEN ビットが 0 の場合に限り書き換えてください。

SRCODCTRL レジスタは、16 ビットの読み出し／書き込みレジスタで、出力データのチャネル入れ替え、エンディアン形式、割り込み要求の許可／禁止、トリガデータ数を設定します。

OFTRG[1:0] ビット（出力 FIFO データ数トリガ）

ステータスレジスタ（SRCSTAT）の OINT フラグが 1 のときのデータ数を指定します。出力 FIFO に格納された出力データ数が設定トリガ数以上になったとき、OINT フラグを 1 にします。

OEN ビット（出力 FIFO フル割り込み許可）

出力 FIFO のデータ数が OFTRG[1:0] ビットで設定された数以上になり、ステータスレジスタ（SRCSTAT）の OINT フラグが 1 になったときに、出力 FIFO フル割り込み要求の発行を許可／禁止します。

OED ビット（出力データエンディアン）

出力データのエンディアン形式を指定します。

OCH ビット（出力データチャネル入れ替え）

出力データレジスタ（SRCOD）のチャネル入れ替えを指定します。モノラルデータを変換する場合には 1 にしないでください。

42.2.5 コントロールレジスタ（SRCCTRL）

アドレス SRC.SRCCTRL 4004 DFFCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FICRAE	—	CEEN	SRCEN	UDEN	OVEN	FL	CL	IFS[3:0]				—	OFS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OFS[2:0]	出力サンプリングレート	b2 b0 0 0 0：44.1kHz 0 0 1：48.0kHz 0 1 0：32.0kHz 0 1 1：設定禁止 1 0 0：8.0kHz（注1） 1 0 1：16.0kHz（注1） 上記以外は設定しないでください。	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b4	IFS[3:0]	入力サンプリングレート	b7 b4 0 0 0 0：8.0kHz 0 0 0 1：11.025kHz 0 0 1 0：12.0kHz 0 0 1 1：設定禁止 0 1 0 0：16.0kHz 0 1 0 1：22.05kHz 0 1 1 0：24.0kHz 0 1 1 1：設定禁止 1 0 0 0：32.0kHz 1 0 0 1：44.1kHz 1 0 1 0：48.0kHz 上記以外は設定しないでください。	R/W
b8	CL	内部ワークメモリクリア	1を書き込むと、入力FIFO、出力FIFO、入力バッファメモリ、中間メモリ、およびアキュムレータをクリア	R/W
b9	FL	内部ワークメモリフラッシュ	1を書き込むと、入力FIFO、入力バッファメモリ、および中間メモリに格納されたすべてのデータに対するサンプリングレートの変換（フラッシュ処理）を開始します。	R/W
b10	OVEN	出力FIFOオーバーフロー割り込み許可	0：出力FIFOオーバーフロー割り込み禁止 1：出力FIFOオーバーフロー割り込み許可	R/W
b11	UDEN	出力FIFOアンダーフロー割り込み許可	0：出力FIFOアンダーフロー割り込み禁止 1：出力FIFOアンダーフロー割り込み許可	R/W
b12	SRCEN	モジュール許可	0：SRCモジュール動作を禁止 1：SRCモジュール動作を許可（注2）	R/W
b13	CEEN	変換処理終了割り込み許可	0：変換処理終了割り込み禁止 1：変換処理終了割り込み許可	R/W
b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	FICRAE	フィルタ係数テーブルアクセス許可	0：フィルタ係数テーブルRAMへの読み出し／書き込み禁止 1：フィルタ係数テーブルRAMへの読み出し／書き込み許可	R/W

注 1. IFS[3:0] = 1001b のときのみ有効です。

注 2. SRCEN = 1 のときは、下記ビットの設定値を変更しないでください。
SRCIDCTRL.IED ビット、SRCODCTRL.OED および SRCODCTRL.OCH ビット、SRCCTRL.OFS[2:0]、SRCCTRL.IFS[3:0]、および SRCCTRL.FICRAE ビット

SRCCTRL は、16 ビットの読み出し／書き込みレジスタで、フィルタ係数テーブルへのアクセス、モジュール動作、および割り込み要求の許可／禁止を設定します。また、フラッシュ処理、内部ワークメモリのクリア処理、および入力／出力サンプリングレートの設定も行います。

OFS[2:0] ビット（出力サンプリングレート）

出力サンプリングレートを指定します。

IFS[3:0] ビット（入力サンプリングレート）

入力サンプリングレートを指定します。

CL ビット（内部ワークメモリクリア）

1 を書き込むと、入力 FIFO、出力 FIFO、入力バッファメモリ、中間バッファメモリ、およびアキュムレータをクリアし、CL ビットは 0 になります。読むと 0 が読めます。SRCEN = 0 の場合でも、1 を書き込むとクリアします。

FL ビット（内部ワークメモリフラッシュ）

1 を書き込むと、入力 FIFO、入力バッファメモリ、および中間メモリに格納されたすべてのデータに対するサンプリングレートの変換を開始することでフラッシュ処理を開始します。読むと 0 が読めます。SRCEN = 0 のときは、1 を書き込んでもフラッシュ処理を実行しません。

また、入力バッファメモリ内のデータの数が表 42.6 に示す値を下回る状態で FL ビットに 1 を書き込んだ場合は、有効な出力データが受信できません。フラッシュ処理を実行しないまま、内部ワークメモリがクリアされます。

OVEN ビット（出力 FIFO オーバーフロー割り込み許可）

ステータスレジスタ（SRCSTAT）の OVF フラグが 1 の場合に、出力 FIFO オーバーフロー割り込み要求の発行を許可／禁止します。

OVEN = 1 の場合は、出力 FIFO オーバーフロー割り込みが発生すると、CPU による SRCSTAT へのアクセスで OVF フラグがクリアされるまで、変換処理が停止します。出力 FIFO への変換結果の書き込みも停止します。

OVEN = 0 の場合は、出力 FIFO に空きができると自動的に OVF フラグがクリアされ、変換処理を継続できます。

UDEN ビット（出力 FIFO アンダーフロー割り込み許可）

出力 FIFO のデータ数が 0 の状態で出力 FIFO が読み出だされ、ステータスレジスタ（SRCSTAT）の UDF フラグが 1 になったときの、出力 FIFO アンダーフロー割り込み要求の発行を許可／禁止します。

SRCEN ビット（モジュール許可）

SRC 動作を許可／禁止します。SRCEN = 0 のときに 1 を書き込むと、内部ワークメモリをクリアします。

CEEN ビット（変換処理終了割り込み許可）

フラッシュ処理が完了してすべての出力データが読み出され、ステータスレジスタ（SRCSTAT）の CEF フラグが 1 になったときの、変換終了割り込み要求の発行を許可／禁止します。

FICRAE ビット（フィルタ係数テーブルアクセス許可）

フィルタ係数テーブル RAM へのアクセスを許可／禁止します。フラッシュ処理終了後、変換結果として得られる出力データ数は、以下に示す式から求められます。

$$\frac{\text{出力データ数} - 1}{\text{出力サンプリングレート}} = \frac{\text{入力データ数} \times n - 1}{\text{入力サンプリングレート} \times n}$$

$$\text{出力データ数} = \left[(\text{入力データ数} \times n - 1) \times \frac{\text{出力サンプリングレート}}{\text{入力サンプリングレート} \times n} \right] + 1$$

n の値は、表 42.4 から得られます。入力データ数は表 42.5 の値以上に設定してください。

表 42.4 サンプリングレート設定とN値

OFS[2:0]設定値（出力サンプリングレート[kHz]）	IFS[3:0]設定値（入力サンプリングレート[kHz]）								
	0000b（8.0）	0001b（11.025）	0010b（12.0）	0100b（16.0）	0101b（22.05）	0110b（24.0）	1000b（32.0）	1001b（44.1）	1010b（48.0）
000b（44.1）	6	4	4	3	2	2	3	—	1
001b（48.0）	6	4	4	3	2	2	3	1	—
010b（32.0）	4	8	4	2	4	2	—	2	1
100b（8.0）	—	—	—	—	—	—	—	1	—
101b（16.0）	—	—	—	—	—	—	—	1	—

一定数のデータが入力されるまでは、変換処理を開始しないため、出力データを得ることはできません。最初の出力データを得るために必要となる入力データ数は、IFS ビットと OFS ビットの設定値により異なります。表 42.5 は、IFS ビットと OFS ビットの設定値の関係と、必要な初期入力データ数を示しています。表 42.6 は、IFS ビットと OFS ビットの設定値の関係と、処理に必要な初期入力データ数を示しています。

表 42.5 サンプリングレート設定値と必要な初期入力データ数の関係

OFS[2:0]設定値（出力サンプリングレート[kHz]）	IFS[3:0]設定値（入力サンプリングレート[kHz]）								
	0000b（8.0）	0001b（11.025）	0010b（12.0）	0100b（16.0）	0101b（22.05）	0110b（24.0）	1000b（32.0）	1001b（44.1）	1010b（48.0）
000b（44.1）	38	40	40	43	48	48	43	—	63
001b（48.0）	38	40	40	43	48	48	43	32	—
010b（32.0）	40	37	40	48	40	48	—	48	63
100b（8.0）	—	—	—	—	—	—	—	63	—
101b（16.0）	—	—	—	—	—	—	—	63	—

表 42.6 サンプリングレート設定値とフラッシュ処理に必要な入力データ数の関係

OFS[2:0]設定値（出力サンプリングレート[kHz]）	IFS[3:0]設定値（入力サンプリングレート[kHz]）								
	0000b（8.0）	0001b（11.025）	0010b（12.0）	0100b（16.0）	0101b（22.05）	0110b（24.0）	1000b（32.0）	1001b（44.1）	1010b（48.0）
000b（44.1）	27	24	24	22	16	16	22	—	1
001b（48.0）	27	24	24	22	16	16	22	32	—
010b（32.0）	24	29	24	16	24	16	—	16	1
100b（8.0）	—	—	—	—	—	—	—	1	—
101b（16.0）	—	—	—	—	—	—	—	1	—

42.2.6 ステータスレジスタ（SRCSTAT）

アドレス SRC.SRCSTAT 4004 DFFEh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OFDN[4:0]					IFDN[3:0]				—	CEF	FLF	UDF	OVF	IINT	OINT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	OINT	出力FIFOフル割り込み要求フラグ	0：出力FIFOに格納されているデータ数がトリガ数以上になっていない 1：出力FIFOに格納されているデータ数がトリガ数以上になった	R/(W)（注1）
b1	IINT	入力FIFOエンプティ割り込み要求フラグ	0：入力FIFOに格納されているデータ数がトリガ数以下になっていない 1：入力FIFOに格納されているデータ数がトリガ数以下になった	R/(W)（注1）
b2	OVF	出力FIFOオーバーフロー割り込み要求フラグ	0：出力FIFOオーバーフローなし 1：出力FIFOオーバーフロー発生	R/(W)（注1）
b3	UDF	出力FIFOアンダーフロー割り込み要求フラグ	0：出力FIFOアンダーフローなし 1：出力FIFOアンダーフロー発生	R/(W)（注1）
b4	FLF	フラッシュ処理ステータスフラグ	0：フラッシュ処理完了 1：フラッシュ処理実行中	R
b5	CEF	変換処理終了フラグ	0：すべての出力データは読み出されていない 1：すべての出力データが読み出された	R/(W)（注1）
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b7	IFDN[3:0]	入力FIFOデータカウント	入力FIFOのデータ数表示	R
b15-b11	OFDN[4:0]	出力FIFOデータカウント	出力FIFOのデータ数表示	R

注 1. 1 を読み出したあとの 0 書き込みのみ可能です。

SRCSTAT レジスタは、16 ビットの読み出し／書き込みレジスタで、入力 FIFO および出力 FIFO のデータ数、各割り込み要因の発生状態、フラッシュ処理の実行状態を示します。

OINT フラグ（出力 FIFO フル割り込み要求フラグ）

出力 FIFO に格納されたデータ数が、SRC 出力データコントロールレジスタ（SRCODCTRL）の OFTRG[1:0] ビットで設定されたトリガ数以上になったことを示します。

［1 になる条件］

- 出力 FIFO に格納されたデータ数が、設定されたトリガ数以上になったとき

［0 になる条件］

- OINT フラグで、1 を読んだ後 0 を書いたとき
- DMA 転送において、最終転送が行われたとき
- SRCCTRL.CL ビットに 1 を書いたとき
- SRCCTRL.SRCEN ビットが 0 の場合に 1 を書いたとき

IINT フラグ（入力 FIFO エンプティ割り込み要求フラグ）

入力 FIFO に格納されたデータ数が SRC 入力データコントロールレジスタ（SRCIDCTRL）の IFTRG[1:0] ビットで設定されたトリガ数以下になったことを示します。

［1 になる条件］

- 入力 FIFO に格納されたデータ数が、設定されたトリガ数以下になったとき
- SRCCTRL.CL ビットに 1 を書いたとき
- SRCCTRL.SRCEN ビットが 0 の場合に 1 を書いたとき

［0 になる条件］

- IINT フラグで、1 を読んだ後 0 を書いたとき
- DMA 転送において、最終転送が行われたとき

OVF フラグ（出力 FIFO オーバーフロー割り込み要求フラグ）

出力 FIFO がフルの状態で、次のデータのサンプリングレート変換が完了したことを示します。OVF フラグがクリアされるまで、変換処理は停止します。

［1 になる条件］

- 出力 FIFO がフルの状態で、次のデータのサンプリングレート変換が完了したとき

［0 になる条件］

- SRCCTRL.OVEN ビットが 1 の場合に OVF フラグで 1 を読んだ後 0 を書いたとき
- SRCCTRL.OVEN ビットが 0 の場合に、SRCOD を読み出したあとに出力 FIFO のデータ数が減少したとき
- SRCCTRL.CL ビットに 1 を書いたとき
- SRCCTRL.SRCEN ビットが 0 の場合に 1 を書いたとき

UDF フラグ（出力 FIFO アンダーフロー割り込み要求フラグ）

出力 FIFO のデータ数が 0 の状態で、出力 FIFO を読み出したことを示します。

［1 になる条件］

- 出力 FIFO のデータ数が 0 の状態で、出力 FIFO を読み出したとき

［0 になる条件］

- UDF フラグで、1 を読んだ後 0 を書いたとき
- SRCCTRL.CL ビットに 1 を書いたとき
- SRCCTRL.SRCEN ビットが 0 の場合に 1 を書いたとき

FLF フラグ（フラッシュ処理ステータスフラグ）

フラッシュ処理の実行中であることを示します。

［1 になる条件］

- SRCCTRL.FL ビットに 1 を書いたとき
  （フラッシュ処理が実行されていないときは 1 になりません）

［0 になる条件］

- フラッシュ処理が完了したとき
- SRCCTRL.CL ビットに 1 を書いたとき
- SRCCTRL.SRCEN ビットが 0 の場合に 1 を書いたとき

CEF フラグ（変換処理終了フラグ）

フラッシュ処理が終了したあと、すべての出力データが読み出されたことを示します。

［1 になる条件］

- フラッシュ処理が終了したあと、出力 FIFO のデータ数が 0 になったとき

［0 になる条件］

- CEF フラグで、1 を読んだ後 0 を書いたとき
- SRCCTRL.CL ビットに 1 を書いたとき
- SRCCTRL.SRCEN ビットが 0 の場合に 1 を書いたとき

IFDN[3:0] ビット（入力 FIFO データカウント）

入力 FIFO 内のデータ数を示します。

OFDN[4:0] ビット（出力 FIFO データカウント）

出力 FIFO 内のデータ数を示します。

42.2.7 フィルタ係数テーブル n（SRCFCTRn）（n = 0 ～ 5551）

アドレス SRCRAM.SRCFCTR0～5551 4004 8000h～4004 D6BFh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	SRCFCOE[21:16]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SRCFCOE[15:0]															
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

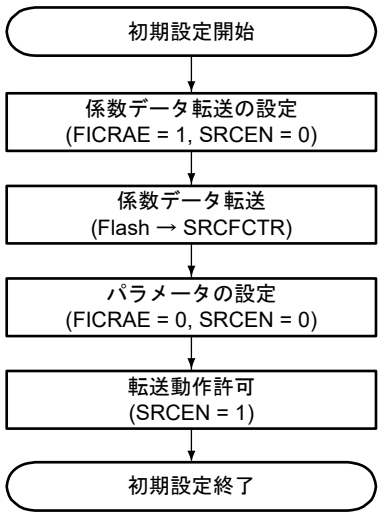
ビット	シンボル	ビット名	機能	R/W
b21-b0	SRCFCOE[21:0]	フィルタ係数テーブル	フィルタ係数値を格納	R/W
b31-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SRCFCTR0 ～ SRCFCTR5551 は 32 ビットの読み出し／書き込み SRAM モジュールで、サンプリングレート変換処理に使用するフィルタ係数を格納するメモリです。SRCCTRL の FICRAE ビット = 1 で、かつ SRCEN ビット = 0 のときのみ、周辺バスから読み出し／書き込みが可能です。ビット [31:22] は予約ビットで、読むと 0 が読み出されます。書く場合、0 にしてください。ビット [21:0] はフィルタ係数値が格納されるレジスタで、初期値は不定です。

42.3 動作説明

42.3.1 初期設定

図 42.2 は、初期設定のフロー例を示しています。モジュールストップ解除後、SRC 変換動作開始前にフラッシュなどに格納してあるフィルタ係数データを、フィルタ係数テーブル（SRCFCTR）に転送する必要があります。フィルタ係数値がフィルタ係数テーブルに格納されている状態であれば、転送を省略し、必須パラメータの設定から始めることができます。



レジスタ	ビット	設定パラメータ
SRCCTRL	FICRAE	フィルタ係数テーブルアクセスイネーブル
	SRCEN	モジュールイネーブル

レジスタ	ビット	設定パラメータ
SRCCTRL	CEEN	SRC_CEFI割り込みの許可／禁止
	UDEN	SRC_UDFI割り込みの許可／禁止
	OVEN	SRC_OVFI割り込みの許可／禁止
	IFS[3:0]	入力サンプリングレート
	OFS[2:0]	出力サンプリングレート
SRCIDCTRL	IED	入力データエンディアン
	IEN	SRC_IDEI割り込みの許可／禁止
	IFTRG[1:0]	入力FIFO トリガ数
SRCODCTRL	OCH	出力データチャネル入れ替え
	OED	出力データエンディアン
	OEN	SRC_ODFI割り込みの許可／禁止
	OFTRG[1:0]	出力FIFO トリガ数

図 42.2 初期設定のフロー例

42.3.2 データ入力

図 42.3 に、データ入力のフロー例を示します。

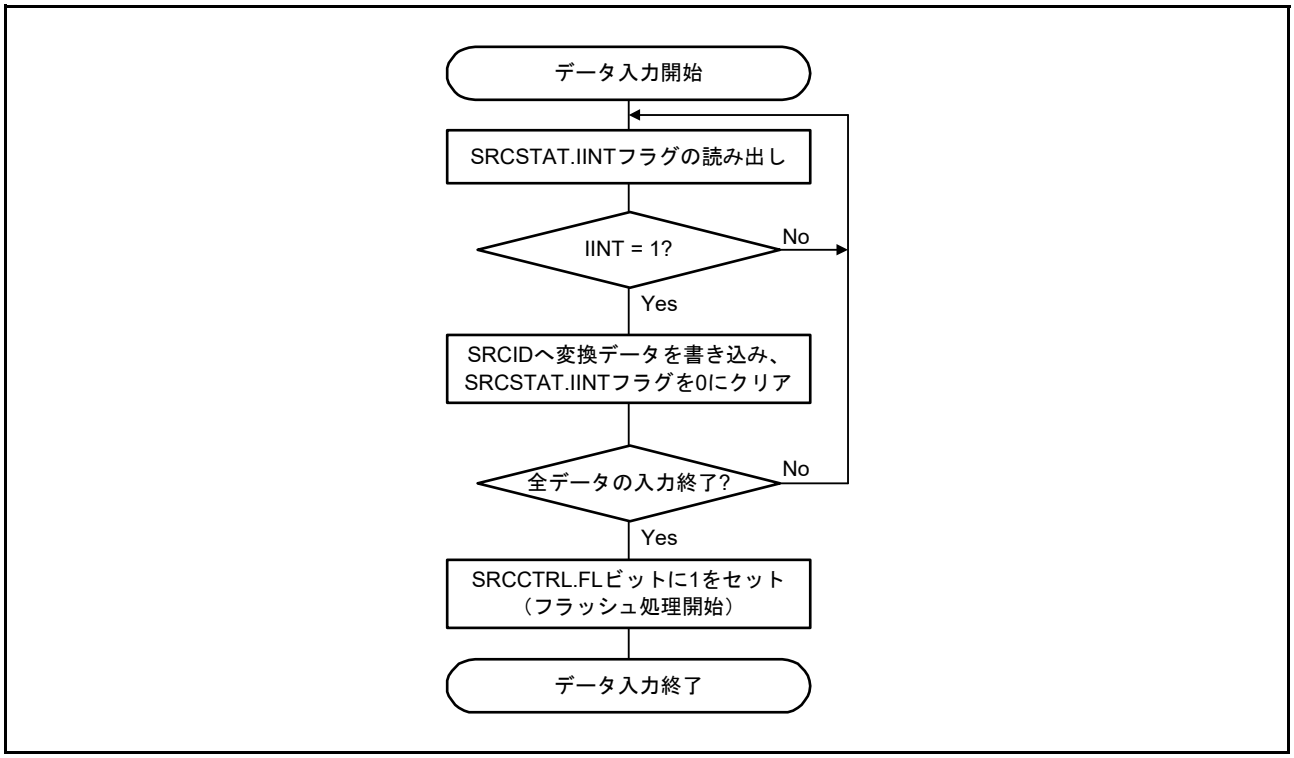


図 42.3 データ入力フロー

(1) CPU への割り込み発行時

1. SRCIDCTRL の IEN ビットを 1 にします。
2. SRCSTAT の IINT フラグを 1 にすると、IDEI 割り込み要求を発生します。割り込み処理ルーチンで SRCSTAT の IINT フラグを読み出し、1 であることを確認した後、SRCID へデータを書き込み、SRCSTAT の IINT フラグに 0 を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. 2. を繰り返し、すべてのデータ入力が終わったら、SRCCTRL の FL ビットに 1 を書き込みます。

(2) 割り込みを使用して DMAC を起動する場合

1. DMAC のいずれかのチャネルに、SRC の SRC_IDEI 割り込みを割り当てます。
2. SRCIDCTRL の IEN ビットを 1 にします。
3. SRCSTAT の IINT フラグを 1 にすると、SRC_IDEI 割り込み要求を発生し、DMAC を起動します。DMA 転送により SRCID レジスタへデータが書き込まれ、入力 FIFO のデータ数が SRCIDCTRL の IFTRG[1:0] ビットで設定したトリガ数を上回ると、SRCSTAT の IINT フラグがクリアされます。
4. 3. を繰り返し、すべてのデータ入力が終わったら、SRCCTRL の FL ビットに 1 を書き込みます。

(3) SSI インタフェースから入力データを転送するために SSI インタフェース割り込みを使用して DMAC を起動する場合

1. DMAC のいずれかのチャネルに、DMA 転送要求元として SSI インタフェースを割り当てます。SSI インタフェースの SSIFRDR を転送元に、SRC の SRCID を転送先に設定し、受信動作を許可するよう SSI インタフェースを設定します。
2. SSIFSR の RDF ビットを 1 にすると、SSI インタフェースが割り込み要求を発生し、DMAC を起動します。DMAC は SSIFRDR からのデータを読み出し、SRCID に書き込みます。
3. 2. を繰り返し、すべてのデータ入力が終わったら、SRCCTRL の FL ビットに 1 を書き込みます。

注 . 入力 FIFO は 8 段です。また、SRC_IDEI 割り込み要求が発生したときの転送可能データ数（FIFO の空き）は、SRCIDCTRL の IFTRG[1:0] ビットの設定により異なります。入力 FIFO にはオーバーフローを防ぐ／検知する機能はないため、オーバーフローが生じた場合はデータが壊れます。それを防止するため、DMA 転送による連続データ転送数は SRCCTRL の IFTRG[1:0] ビットの設定を考慮して設定してください。

42.3.3 データ出力

図 42.4 に、データ出力のフロー例を示します。

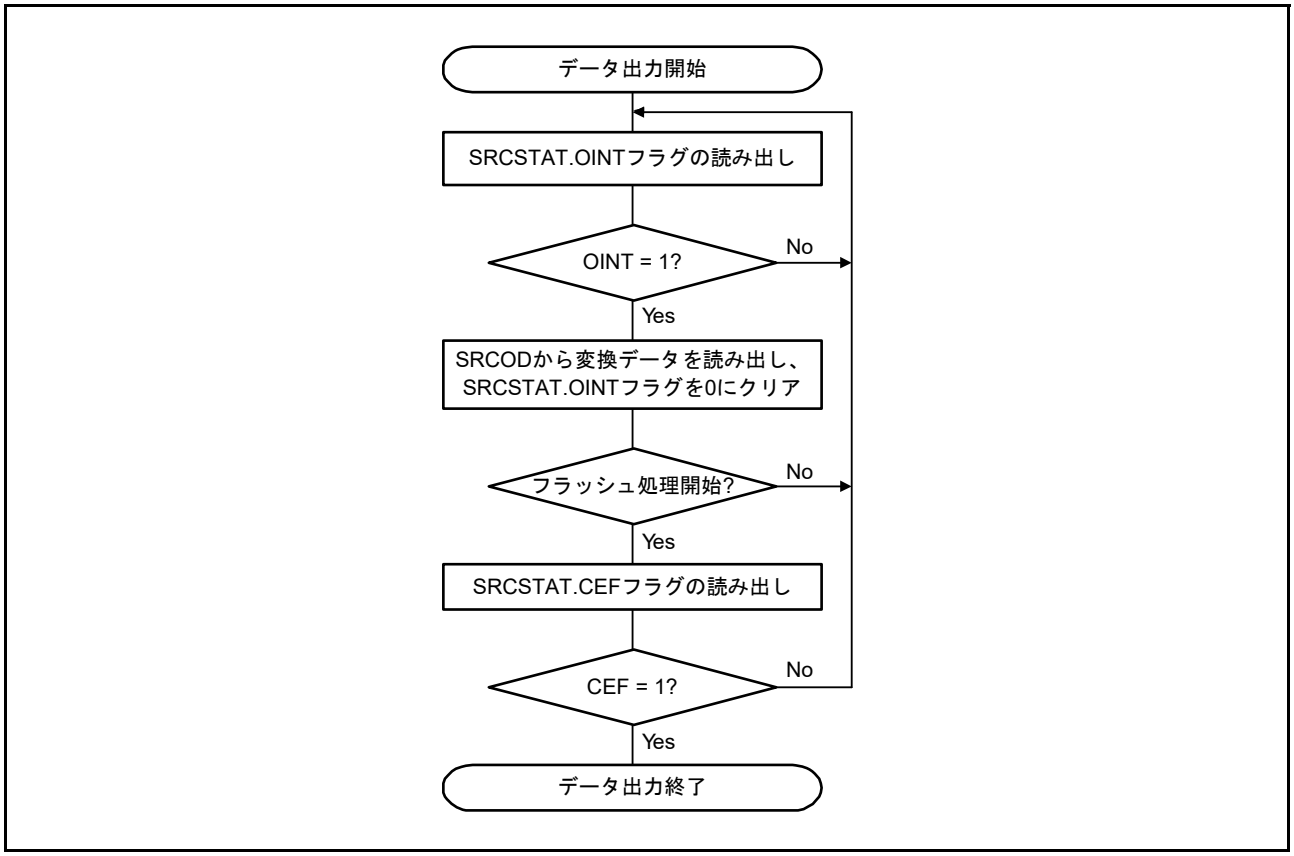


図 42.4 データ出力フロー

(1) CPU への割り込み発行時

1. SRCODCTRL の OEN ビットを 1 にします。
2. SRCSTAT の OINT フラグを 1 にすると、SRC_ODFI 割り込み要求を発生します。割り込み処理ルーチンで SRCSTAT の OINT フラグを読み出し、1 であることを確認した後、SRCOD からデータを読み出し、SRCSTAT の OINT フラグに 0 を書き込みます。その後、割り込み処理ルーチンから復帰します。
3. フラッシュ処理開始後、SRCSTAT の CEF フラグが 1 であることを読み出すまで、2. を繰り返します。

(2) 割り込みを使用して DMAC を起動する場合

1. DMAC のいずれかのチャネルに、SRC の SRC_ODFI 割り込みを割り当てます。
2. SRCODCTRL の OEN ビットを 1 にします。
3. SRCSTAT の OINT フラグを 1 にすると、SRC_ODFI 割り込み要求を発生し、DMAC を起動します。DMA 転送により、SRCOD レジスタからデータが読み出され、出力 FIFO のデータ数が SRCODCTRL の OFTRG[1:0] ビットで設定したトリガ数を下回ると、SRCSTAT の OINT フラグがクリアされます。
4. フラッシュ処理開始後、SRCSTAT の FLF フラグが 0 であることを読み出すまで、3. を繰り返します。

(3) SSI インタフェースへ出力データを転送するために SSI インタフェース割り込みを使用して DMAC を起動する場合

1. SRCCTRL の OVEN ビットを 0 にして、SRC_OVFI 割り込み要求の発生を禁止します。
2. DMAC のいずれかのチャネルに、DMA 転送要求元として SSI インタフェースを割り当てます。SRC の SRCID を転送元に、SSI インタフェースの SSIFTDR を転送先に設定し、送信動作を許可するよう SSI インタフェースを設定します。
3. SSIFSR の TDE ビットを 1 にすると、SSI インタフェースが割り込み要求を発生し、DMAC を起動します。DMAC は SRCOD からデータを読み出し、SSIFTDR に書き込みます。
4. フラッシュ処理開始後、SRCSTAT の CEF フラグが 1 であることを読み出すまで、3. を繰り返します。

注 1. 出力 FIFO は 16 段です。データ読み出しがなくて出力 FIFO がオーバーフローすると、変換処理は停止します。オーバーフロー状態でも出力 FIFO からのデータ読み出しは可能ですが、設定によっては変換処理再開の手続きが必要です。（詳細については、SRCCTRL の OVEN ビットの説明をご参照ください。）

注 2. 出力 FIFO のデータ数が 0 の状態でデータを読み出した場合は、不正なデータが読み出されます。これを防止するために、DMA により連続転送されるデータ数は、OFTRG[1:0] ビットの設定を考慮して設定してください。

42.4 割り込み

SRC 割り込み要因には以下が含まれます。

- 入力 FIFO エンプティ（SRC_IDEI）
- 出力 FIFO フル（SRC_ODFI）
- 出力 FIFO オーバーフロー（SRC_OVFI）
- 出力 FIFO アンダーフロー（SRC_UDFI）
- 変換処理終了（SRC_CEFI）

表 42.7 に割り込み要求の種類と発生条件を示します。

表 42.7 割り込み要求と発生条件

割り込み要求	略称	割り込み条件	DMACの起動
入力FIFOエンプティ	SRC_IDEI	IINT = 1、IEN = 1、SRCEN = 1	可能
出力FIFOフル	SRC_ODFI	OINT = 1、OEN = 1、SRCEN = 1	可能
出力FIFOオーバーフロー	SRC_OVFI	OVF = 1、OVEN = 1、SRCEN = 1	不可能
出力FIFOアンダーフロー	SRC_UDFI	UDF = 1、UDEN = 1、SRCEN = 1	不可能
変換処理終了	SRC_CEFI	CEF = 1、CEEN = 1、SRCEN = 1	不可能

割り込み発生条件が成立すると、CPU は割り込み例外処理を実行します。この処理の実行中に、割り込み要因フラグをクリアします。

SRC_IDEI 割り込みと SRC_ODFI 割り込みは、DMAC を起動することができます。DMAC を起動した場合は、SRC から CPU への割り込みは発生しません。

DMA 転送中は CPU 書き込みによる IINT/OINT フラグのクリア（1 読み出し後の 0 書き込み）を行わないでください。

42.5 使用上の注意事項

42.5.1 レジスタアクセス時の注意

下記に示す SRCCTRL への書き込みが SRCSTAT に反映されるまでに、周辺クロック（PCLKB）で 3 サイクル必要です。

- SRCCTRL の FL ビットに 1 を書いて SRCSTAT の FLF フラグを設定する
- SRCCTRL の CL ビットに 1 を書いて SRCSTAT の各ビットを初期化する
- SRCEN ビットが 0 の場合に SRCCTRL の SRCEN ビットに 1 を書いて SRCSTAT の各ビットを初期化する

ただし、CPU はレジスタ書き込みの完了を待たずに後続の命令を実行するため、SRCCTRL への書き込み命令の直後の命令では、SRCSTAT の変更後の状態を正しく読み出すことはできません。SRCSTAT の変更後の状態を確認する場合は、SRCCTRL への書き込み命令のあとに SRCCTRL または SRCSTAT をダミーリードしてください。

42.5.2 フラッシュ処理に関する注意

SRC コントロールレジスタ（SRCCTRL）の FL ビットに 1 が書き込まれると、SRC はそれまでに入力されたデータのエンドポイントに 0 データを付加しながら、フラッシュ処理を続行します。そのため、フラッシュ処理は、オーディオデータのエンドポイントとなるデータの入力が完了し、後続するデータが存在しない場合に限り行ってください。

また、フラッシュ処理を実行したあとに、再度、フラッシュ処理を行う場合は、下記のいずれかの動作によって内部ワークメモリをクリアしてください。

- SRCCTRL の CL ビットに 1 を書き込む
- SRCCTRL の SRCEN ビットに 0 を書き込んだあとに、1 を書き込む

42.5.3 DMAC/DTC 転送時の注意

入出力データレジスタ（SRCID、SRCOD）へのデータ転送に DMAC/DTC を使用する場合、DMAC/DTC 転送中はステータスレジスタ（SRCSTAT）の IINT フラグと OINT フラグを CPU でクリア（1 読み出し後に 0 書き込み）しないでください。

42.5.4 SRC 動作時の注意

SRC 動作時（SRCCTRL.SRCEN = 1）は、フィルタ係数テーブルへアクセスしないでください。

42.5.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）により、SRC 動作の禁止／許可を設定することが可能です。SRC モジュールは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

43. SD/MMC ホストインタフェース（SDHI）

43.1 概要

セキュアデジタルホストインタフェース（SDHI）およびマルチメディアカード（MMC）インタフェースは、各種外部メモリカードを MCU と接続するために必要な機能を備えています。SDHI は、SD、SDHC、SDXC フォーマットに対応するさまざまなメモリカードを接続するために 1 ビットと 4 ビットのいずれのバスもサポートしています。SD 規格に対応したホスト機器を開発するには、SD Host/Ancillary Product License Agreement（SD HALA）に準拠する必要があります。

MMC インタフェースは、eMMC 4.51（JEDEC Standard JESD 84-B451）デバイスアクセスを可能にするために 1 ビット、4 ビットおよび 8 ビットの MMC バスをサポートしています。また、このインタフェースは高速 SDR 転送モードに対して下位互換とサポートも提供しています。

表 43.1 に SD/MMC ホストインタフェースの仕様を、図 43.1 にブロック図を示します。

表 43.1 SD/MMCホストインタフェースの仕様

インタフェース	項目	内容
SD	SDバスインタフェース	• SDメモリカード、SDIOカードに対応 • 転送バス幅をワイドバスモード（4ビット）、デフォルトバスモード（1ビット）から選択可能 • SD、SDHC、SDXCのSDメモリカードアクセスに対応
SD/MMC共通仕様	SDHIクロック周波数	PCLKAを2^n（n = 1～9）で分周してSDHIクロックを生成
	エラーチェック機能	CRC7（コマンド／レスポンス）、CRC16（転送データ）
	割り込み要因	カードアクセス割り込み（SDHI_MMCn_ACCS）、SDIOアクセス割り込み（SDHI_MMCn_SDIO）、カード検出割り込み（SDHI_MMCn_CARD）（n = 0, 1）
	DMA転送要因	SDバッファアクセス割り込み（SBFAI）によりDMAC/DTCを起動可能 DMACによるSDバッファの読み出し／書き込みが可能
	その他の機能	• カード検出機能 • ライトプロテクトサポート
MMC	MMCBusインタフェース	転送バスモードを1ビット、4ビット、8ビットから選択可能
	転送モード	Backward-compatibleモードとHigh-speed SDRモードから選択可能
	その他の機能	e.MMCデバイスアクセスに対応

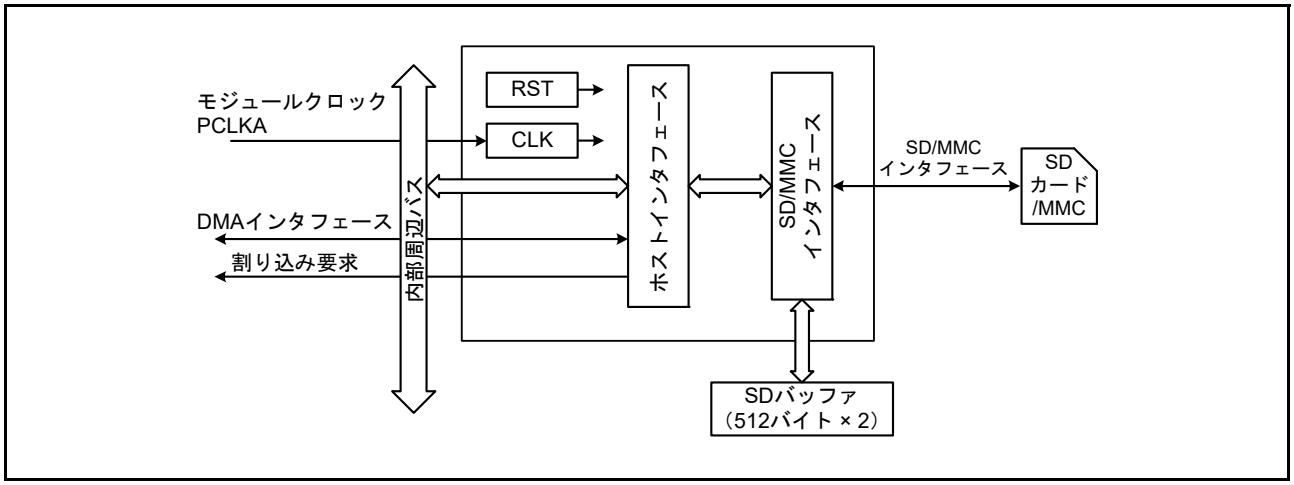


図 43.1 SD/MMC ホストインタフェースのブロック図

表 43.2 SDHIの入出力端子

チャネル	端子名	入出力	機能
Ch 0	SD0CLK	出力	SDHIクロック
	SD0CMD	入出力	コマンドの出力、レスポンスの入力
	SD0DAT0	入出力	データ0（DAT0）
	SD0DAT1	入出力	データ1（DAT1）、SDIO割り込み
	SD0DAT2	入出力	データ2（DAT2）、SDIO Read Wait
	SD0DAT3	入出力	データ3（DAT3）、SDカード検出
	SD0DAT4	入出力	MMCデータ4（DAT4）
	SD0DAT5	入出力	MMCデータ5（DAT5）
	SD0DAT6	入出力	MMCデータ6（DAT6）
	SD0DAT7	入出力	MMCデータ7（DAT7）
	SD0CD	入力	SDカード検出
	SD0WP	入力	SDライトプロテクト
Ch 1	SD1CLK	出力	SDHIクロック
	SD1CMD	入出力	コマンドの出力、レスポンスの入力
	SD1DAT0	入出力	データ0（DAT0）
	SD1DAT1	入出力	データ1（DAT1）、SDIO割り込み
	SD1DAT2	入出力	データ2（DAT2）、SDIO Read Wait
	SD1DAT3	入出力	データ3（DAT3）、SDカード検出
	SD1DAT4	入出力	MMCデータ4（DAT4）
	SD1DAT5	入出力	MMCデータ5（DAT5）
	SD1DAT6	入出力	MMCデータ6（DAT6）
	SD1DAT7	入出力	MMCデータ7（DAT7）
	SD1CD	入力	SDカード検出
	SD1WP	入力	SDライトプロテクト

43.2 レジスタの説明

43.2.1 コマンドタイプレジスタ（SD_CMD）

アドレス SDHI0.SD_CMD 4006 2000h, SDHI1.SD_CMD 4006 2400h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMD12AT[1:0]		TRSTP	CMDRW	CMDTP	RSPTP[2:0]			ACMD[1:0]		CMDIDX[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMDIDX[5:0]	Command indexフィールド値選択	Command indexフィールド値を設定します。例にはACMD[1:0]ビットのビット値が含まれています。 b7 b0 0 0 0 0 0 1 1 0 : CMD6 0 0 0 1 0 0 1 0 : CMD18 0 1 0 0 1 1 0 1 : ACMD13	R/W
b7-b6	ACMD[1:0]	コマンドタイプ選択	b7 b6 0 0 : CMD 0 1 : ACMD 上記以外は設定しないでください。	R/W
b10-b8	RSPTP[2:0]	レスポンスタイプ選択 （注1）	b10 b8 0 0 0 : 通常モード コマンド（ACMD[1:0]ビットおよびCMDIDX[5:0]ビットの組み合わせ）によって、レスポンスの種類と転送の方法が決まります。このとき、本レジスタのb15-b11の設定は無効です。 0 1 1 : 拡張モード、レスポンスなし 1 0 0 : 拡張モード、R1、R5、R6、R7レスポンス 1 0 1 : 拡張モード、R1bレスポンス 1 1 0 : 拡張モード、R2レスポンス 1 1 1 : 拡張モード、R3またはR4レスポンス 上記以外は設定しないでください。	R/W
b11	CMDTP	データ転送選択（注2）	0 : コマンドタイプは、bc、bcr、acのいずれか（データ転送を行わないコマンド） 1 : コマンドタイプは、adtc（データ転送を行うコマンド）	R/W
b12	CMDRW	データ転送方向選択 （注3）	0 : 書き込み（SD/MMCホストインタフェース→SDカード／MMC） 1 : 読み出し（SD/MMCホストインタフェース←SDカード／MMC）	R/W
b13	TRSTP	ブロック転送選択（注3）	0 : シングルブロック転送 1 : マルチブロック転送	R/W
b15-b14	CMD12AT[1:0]	CMD12自動送信選択 （注4）	b15 b14 0 0 : マルチブロック転送時にCMD 12を自動送信する 0 1 : マルチブロック転送時にCMD 12を自動送信しない 上記以外は設定しないでください。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ノーマルモードで使用できないコマンドがあります。
注 2. CMDTP ビットは、RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b のときのみ有効です。
注 3. CMDRW ビットと TRSTP ビットは、RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b で、CMDTP ビットが 1 のときのみ有効です。
注 4. CMD12AT[1:0] ビットは、RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b で、TRSTP ビットが 1 のときのみ有効です。

SD_CMD レジスタは、コマンドやレスポンスの種類を設定するレジスタです。RSPTP[2:0] ビットが 011b、100b、101b、110b、または 111b の場合、コマンドタイプや転送モードを設定する必要があります。SD_CMD レジスタに値を書き込むと、SDHI はコマンドシーケンスを開始します。設定例については、表 43.8、表 43.9 を参照してください。SD_INFO2.CBSY フラグが 1 のとき、SD_CMD レジスタへ書き込まないでください。

43.2.2 SD コマンドアーギュメントレジスタ（SD_ARG）

アドレス SDHI0.SD_ARG 4006 2008h, SDHI1.SD_ARG 4006 2408h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	—	—	コマンドのフォーマット[39:8]（argument）を設定	R/W

SD_ARG レジスタは、argument フィールド値を設定するレジスタです。SD_CMD レジスタに書き込む前に SD_ARG レジスタに書き込んでください。なお、自動送信される CMD12 の argument フィールド値は、SD_ARG レジスタの値にかかわらず 0000_0000h です。

43.2.3 SD コマンドアーギュメントレジスタ 1（SD_ARG1）

アドレス SDHI0.SD_ARG1 4006 200Ch, SDHI1.SD_ARG1 4006 240Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	コマンドのフォーマット[39:24]（argument）を設定	R/W
b31-b16	—	予約ビット	読むと0が読めます。	R

SD_ARG1 レジスタは、argument フィールド値を設定するレジスタです。SD_CMD レジスタに書き込む前に SD_ARG1 レジスタに書き込んでください。なお、自動送信される CMD12 の argument フィールド値は、SD_ARG1 レジスタの値にかかわらず 0000_0000h です。

43.2.4 データストップレジスタ（SD_STOP）

アドレス SDHI0.SD_STOP 4006 2010h, SDHI1.SD_STOP 4006 2410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SEC	—	—	—	—	—	—	—	STP
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STP	転送停止	1にするとデータ転送が停止します。	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	SEC	ブロックカウントレジスタ有効 （注1）	0：SD_SECCNTレジスタ値を無効にする 1：SD_SECCNTレジスタ値を有効にする	R/W
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SD_INFO2.CBSY フラグが 1 のとき、このビットを書き換えないでください。

SD_STOP レジスタは、転送の停止を行うレジスタです。また、マルチブロック転送時は、SD_SECCNT レジスタ値（転送ブロック数）を有効または無効にします。

STP ビット（転送停止）

マルチブロック転送時に STP ビットを 1 にすると、SDHI により転送を停止するために CMD12 が送信されます。
ただし、通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は送信されません。STP を 1 にした後も引き続きバッファアクセスは可能ですが、これにより SD_INFO2 のバッファアクセスエラービット（ILR または ILW）が設定されます。

シングルブロックライトの転送時に STP を 1 にすると、SD_BUF がエンプティの場合はアクセスエンドフラグが設定され、CMD12 は送信されません。SD_BUF にデータがある場合、CMD12 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

シングルブロックリードの転送時に STP を 1 にすると、STP ビット設定後にアクセスエンドフラグが設定され、CMD12 は送信されません。

R1b レスポンス後、ビジー状態の受信時に STP を 1 にすると、CMD12 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

コマンドシーケンスの完了後に STP を 1 にすると、CMD12 は送信されず、アクセスエンドフラグも設定されません。

レスポンスエンドフラグの設定後に STP を 1 にしてください。

アクセスエンドフラグの設定後に STP を 0 にしてください。

SEC ビット（ブロックカウントレジスタ有効）

SEC ビットを 1 にしている間に次項で SD_CMD に書き込んでコマンドシーケンスを開始すると、CMD12 が自動送信され、SD_SECCNT で設定したブロック数でマルチブロック転送が停止します。

ノーマルモード（SD_CMD[10:8] = 000）の CMD18 または CMD25

拡張モードの SD_CMD[15:13] = 001（CMD12 自動送信、マルチブロック転送）

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD12 は自動送信されません。

43.2.5 ブロックカウントレジスタ（SD_SECCNT）

アドレス SDHI0.SD_SECCNT 4006 2014h, SDHI1.SD_SECCNT 4006 2414h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SD_SECCNT レジスタは、マルチブロック転送時の転送ブロック数を設定する読み出し／書き込みレジスタです。たとえば、レジスタ値が 0000_0001h の場合、1 ブロックが転送されます。レジスタ値が 0000_FFFFh の場合は 65,535 ブロックが転送され、レジスタ値が FFFF_FFFFh の場合は 4,294,967,295 ブロックが転送されます。0000_0000h は設定しないでください。SD_INFO2.CBSY フラグが 1 のときは、SD_SECCNT レジスタを書き換えないでください。

43.2.6 SD カードレスポンスレジスタ 10 (SD_RSP10)、SD カードレスポンスレジスタ 32 (SD_RSP32)、SD カードレスポンスレジスタ 54 (SD_RSP54)

アドレス SDHI0.SD_RSP10 4006 2018h, SDHI1.SD_RSP10 4006 2418h, SDHI0.SD_RSP32 4006 2020h, SDHI1.SD_RSP32 4006 2420h
SDHI0.SD_RSP54 4006 2028h, SDHI1.SD_RSP54 4006 2428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

43.2.7 SD カードレスポンスレジスタ 1 (SD_RSP1)、SD カードレスポンスレジスタ 3 (SD_RSP3)、SD カードレスポンスレジスタ 5 (SD_RSP5)

アドレス SDHI0.SD_RSP1 4006 201Ch, SDHI1.SD_RSP1 4006 241Ch, SDHI0.SD_RSP3 4006 2024h, SDHI1.SD_RSP3 4006 2424h, SDHI0.SD_RSP5 4006 202Ch, SDHI1.SD_RSP5 4006 242Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0		—	SDカード／MMCからのレスポンスを格納します。	R
b31-b16	—	予約ビット	読むと0が読めます。	R

43.2.8 SD カードレスポンスレジスタ 76（SD_RSP76）

アドレス SDHI0.SD_RSP76 4006 2030h, SDHI1.SD_RSP76 4006 2430h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b23-b0		—	SDカード／MMCからのレスポンスを格納します。	R
b31-b24	—	予約ビット	読むと0が読めます。	R

43.2.9 SD カードレスポンスレジスタ 7（SD_RSP7）

アドレス SDHI0.SD_RSP7 4006 2034h, SDHI1.SD_RSP7 4006 2434h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0		—	SDカード／MMCからのレスポンスを格納します。	R
b31-b8	—	予約ビット	読むと0が読めます。	R

SD_RSP10、SD_RSP32、SD_RSP54、SD_RSP1、SD_RSP3、SD_RSP5、SD_RSP76、SD_RSP7 は、SD カード／ MMC からのレスポンスを格納する、読み出し専用のレジスタです。SD/MMC ホストインタフェースは、SD カード／ MMC からのレスポンスの種類により、レスポンスの内容を 4 つのレジスタに分割して格納します。

レスポンスタイプとその格納先の対応を表 43.3 に示します。

表 43.3 レスポンスタイプと格納先の対応

レスポンスタイプ	SD_RSP10 レジスタ	SD_RSP32 レジスタ	SD_RSP54 レジスタ	SD_RSP1 レジスタ	SD_RSP3 レジスタ	SD_RSP5 レジスタ	SD_RSP76 レジスタ	SD_RSP7 レジスタ
R1	[39:8]	—	[39:8] (注1)	—	—	—	—	—
R1b	[39:8]	—	[39:8] (注1)	—	—	—	—	—
R2	[39:8]	[71:40]	[103:72]	—	—	—	[127:104]	—
R3	[39:8]	—	—	—	—	—	—	—
R4	[39:8]	—	—	—	—	—	—	—
R5	[39:8]	—	—	—	—	—	—	—
R6	[39:8]	—	—	—	—	—	—	—
R7	[39:8]	—	—	—	—	—	—	—

注 1. CMD18 および CMD25 に対するレスポンスは、SD_RSP10 レジスタおよび SD_RSP54 レジスタに格納されます。このため、SD_RSP10 レジスタが自動送信された CMD12 に対するレスポンスで上書きされても、SD_RSP54 レジスタを読み出すことで CMD18 または CMD25 に対するレスポンスを確認できます。

43.2.10 SD カード割り込みフラグレジスタ 1（SD_INFO1）

アドレス SDHI0.SD_INFO1 4006 2038h, SDHI1.SD_INFO1 4006 2438h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SDD3MON	SDD3IN	SDD3RM	SDWPMON	—	SDCDMON	SDCDIN	SDCDRM	ACEND	—	RSPEND
リセット後の値	0	0	0	0	0	x	0	0	x	0	x	0	0	0（注1）	0	0（注1）

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	RSPEND	レスポンスエンド検出フラグ	0：レスポンスエンドを検出していない 1：レスポンスエンドを検出した	R(/W)（注2）
b1	—	予約ビット	読むと0が読めます。	R
b2	ACEND	アクセスエンド検出フラグ	0：アクセスエンドを検出していない 1：アクセスエンドを検出した	R(/W)（注2）
b3	SDCDRM	SDnCD抜去フラグ	0：SDnCD端子によるSDカード／MMC抜去を検出していない 1：SDnCD端子によるSDカード／MMC抜去を検出した	R(/W)（注2）
b4	SDCDIN	SDnCD挿入フラグ	0：SDnCD端子によるSDカード／MMC挿入を検出していない 1：SDnCD端子によるSDカード／MMC挿入を検出した	R(/W)（注2）
b5	SDCDMON	SDnCD端子モニタフラグ	0：SDnCD端子のレベルはHigh（注3） 1：SDnCD端子のレベルはLow（注3）	R
b6	—	予約ビット	読むと0が読めます。	R
b7	SDWPMON	SDnWP端子モニタフラグ	0：SDnWP端子のレベルはHigh 1：SDnWP端子のレベルはLow	R
b8	SDD3RM	SDnDAT3抜去フラグ	0：SDnDAT3端子によるSDカード／MMC抜去を検出していない 1：SDnDAT3端子によるSDカード／MMC抜去を検出した	R(/W)（注2）
b9	SDD3IN	SDnDAT3挿入フラグ	0：SDnDAT3端子によるSDカード／MMC挿入を検出していない 1：SDnDAT3端子によるSDカード／MMC挿入を検出した	R(/W)（注2）
b10	SDD3MON	SDnDAT3端子モニタフラグ	0：SDnDAT3端子のレベルはLow 1：SDnDAT3端子のレベルはHigh	R
b31-b11	—	予約ビット	読むと0が読めます。	R

注 1. リセットで初期化されます。また、SOFT_RST.SDRST フラグによるリセットの場合も初期化されます。
注 2. 1 にしてもフラグは変化しません。0 を書くとフラグの値は 0 になります。
注 3. SD_OPTION.CTOP[3:0] ビットで指定した期間以上、同じ端子レベルが継続したときにフラグが変化します。

SD_INFO1 レジスタは、コマンドシーケンスにおけるレスポンスエンドおよびアクセスエンドの検出を表示します。また、SD カード／ MMC の挿抜検出、ライトプロテクトの状態を表示します。

マルチブロック転送中に CMD12 または CMD52（SDIO abort）を送信した場合、ACEND フラグは 1 になりますが、RSPEND フラグは 1 になりません。

通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、ACEND フラグまたは RSPEND フラグが 1 になります。

SDD3MON ビット、SDD3IN フラグ、SDD3RM フラグはリセット解除後、SDnDAT3（n = 0, 1）端子の状態により変化します。また、ワイドバスモードでのデータ転送中にも変化します。これらの 3 つのビットは SD カードにのみ使用されます。クリアするフラグを 0 にしてください。クリアされていないフラグは 1 にしてください。

RSPEND フラグ（レスポンスエンド検出フラグ）

レスポンスエンドが検出されたことを示します。

[1 になる条件]

- レスポンスの受信が完了したとき
- レスポンスがないコマンドの送信が完了したとき
- R1b レスポンス後のビジー状態の受信が完了したとき
- マルチブロックリードの転送で、C52PUB ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- マルチブロックライトの転送で、C52PUB ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが停止したとき

[0 になる条件]

- RSPEND に 0 を書いたとき
- データがないコマンドを送信したとき

注 . データ転送のないコマンドを送信したときは、コマンドシーケンスが終了した後に RSPEND フラグが 1 になります。

ACEND フラグ（アクセスエンド検出フラグ）

アクセスエンドが検出されたことを示します。

[1 になる条件]

- シングルブロックリードの転送で、バッファに対する読み出しが完了したとき
- マルチブロックリードの転送で、データの最終ブロックのバッファに対する読み出しが完了したとき
- CMD12 の自動送信によるマルチブロックリードの転送で、バッファに対する読み出しおよび CMD12 に対するレスポンスの受信が完了したとき
- シングルブロックライトの転送で、CRC status を受信した後、ビジー状態の受信が完了したとき
- マルチブロックライトの転送で、最終ブロックの CRC status を受信した後、ビジー状態の受信が完了したとき
- CMD12 の自動送信によるマルチブロックライトの転送で、CMD12 に対するレスポンスビジー状態の受信が完了したとき
- マルチブロックリードの転送で、STP ビットを 1 にして送信された CMD12 に対するレスポンスの受信が完了したとき
- マルチブロックライトの転送で、STP ビットを 1 にして送信された CMD12 に対するレスポンスビジー状態の受信が完了したとき
- マルチブロックリードの転送で、IOABT ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- マルチブロックライトの転送で、IOABT ビットを 1 にして送信された CMD52 に対するレスポンスの受信が完了したとき
- 通信エラーまたはタイムアウトによりコマンドシーケンスが停止したとき

[0 になる条件]

- ACEND に 0 を書いたとき
- アクセスエンドビットが 1 に設定されたとき

注 . コマンドシーケンスが終了した後、ACEND フラグは 1 になります。

SDCDRM フラグ（SDnCD 抜去フラグ）

SDnCD が削除されたことを示します。

［1 になる条件］

- SDnCD が 0 から 1 に変化した後、SDnCD が 1 に保持された状態で Mcycle が経過したとき

［0 になる条件］

- SDCDRM に 0 を書いたとき

注 . SD_OPTION の [3:0] ビットによって Mcycle が設定されたとき

SDCDIN フラグ（SDnCD 挿入フラグ）

SDnCD が挿入されたことを示します。

［1 になる条件］

- SDnCD が 1 から 0 に変化した後、SDnCD が 0 に保持された状態で Mcycle が経過したとき

［0 になる条件］

- SDCDIN に 0 を書いたとき

注 . SD_OPTION の [3:0] ビットによって Mcycle が設定されたとき

SDD3RM フラグ（SDnDAT3 抜去フラグ）

SDnDAT3 が削除されたことを示します。

［1 になる条件］

- SDnDAT3が1から0に変化した後、SDnDAT3が0に保持された状態でPCLKAの2サイクルが経過したとき

［0 になる条件］

- SDD3RM に 0 を書いたとき

SDD3IN フラグ（SDnDAT3 挿入フラグ）

SDnDAT3 が挿入されたことを示します。

［1 になる条件］

- SDnDAT3が0から1に変化した後、SDnDAT3が1に保持された状態でPCLKAの2サイクルが経過したとき

［0 になる条件］

- SDD3IN に 0 を書いたとき

43.2.11 SD カード割り込みフラグレジスタ 2（SD_INFO2）

アドレス SDHI0.SD_INFO2 4006 203Ch, SDHI1.SD_INFO2 4006 243Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ILA	CBSY	SD_CLK_CTRLEN	—	—	—	BWE	BRE	SDD0MON	RSPTO	ILR	ILW	DTO	ENDE	CRCE	CMDE
リセット後の値	0 （注1）	0 （注1）	1 （注1）	0	0	0	0 （注1）	0 （注1）	x	0 （注1）	0 （注1）	0 （注1）	0 （注1）	0 （注1）	0 （注1）	0 （注1）

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	CMDE	コマンドエラー検出フラグ	0：コマンドエラーの発生なし 1：コマンドエラーの発生あり	R/W （注1）
b1	CRCE	CRCエラー検出フラグ	0：CRCエラーの発生なし 1：CRCエラー検出	R/W （注1）
b2	ENDE	エンドビットエラー検出フラグ	0：エンドビットエラーの発生なし 1：エンドビットエラーの発生あり	R/W （注1）
b3	DTO	データタイムアウト検出フラグ	0：データタイムアウトの発生なし 1：データタイムアウトの発生あり	R/W （注1）
b4	ILW	SD_BUF0不正書き込み検出フラグ	0：SD_BUF0レジスタへの不正な書き込みなし 1：SD_BUF0レジスタへの不正な書き込みあり	R/W （注1）
b5	ILR	SD_BUF0不正読み出し検出フラグ	0：SD_BUF0レジスタから不正な読み出しなし 1：SD_BUF0レジスタから不正な読み出しあり	R/W （注1）
b6	RSPTO	レスポンスタイムアウト検出フラグ	0：レスポンスタイムアウトの発生なし 1：レスポンスタイムアウトの発生あり	R/W （注1）
b7	SDD0MON	SDHI_D0端子ステータスフラグ	0：SDnDAT0端子がLow 1：SDnDAT0端子がHigh	R
b8	BRE	SD_BUF0読み出し許可フラグ	0：SD_BUF0レジスタへのリードアクセス禁止 1：SD_BUF0レジスタへのリードアクセス許可	R/W （注1）
b9	BWE	SD_BUF0書き込み許可フラグ	0：SD_BUF0レジスタへのライトアクセス禁止 1：SD_BUF0レジスタへのライトアクセス許可	R/W （注1）
b10	—	予約ビット	読むと0が読めます。	R
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	—	予約ビット	読むと0が読めます。	R
b13	SD_CLK_CTRLEN	SD_CLK_CTRL書き込み許可フラグ	0：SD/MMCバス（CMDラインとDATライン）がビジーなので、SD_CLK_CTRL.CLKENビットとCLKSEL[7:0]ビットへの書き込み禁止 1：SD/MMC バス（CMDラインとDATライン）がビジーではないので、SD_CLK_CTRL.CLKENビットとCLKSEL[7:0]ビットへの書き込み許可	R
b14	CBSY	コマンドシーケンス状態表示フラグ	0：コマンドシーケンス終了 1：コマンドシーケンス実行中（ビジー状態）	R
b15	ILA	不正アクセスエラー検出フラグ	0：不正アクセスエラーの発生なし 1：不正アクセスエラーの発生あり	R/W （注1）
b31-b16	—	予約ビット	読むと0が読めます。	R

注 1. 1 にしてもフラグは変化しません。0 を書くとフラグの値は 0 になります。

SD_INFO2 レジスタは、SD バッファおよび SD カード／ MMC のステータスを表示します。クリアするフラグを 0 にしてください。クリアされていないフラグは 1 にしてください。

CMDE フラグ（コマンドエラー検出フラグ）

コマンドエラーが検出されたことを示します。コマンドシーケンスはコマンドエラーが発生すると停止します。SDIO_MODE.C52PUB ビットが 1 および CMD52 が自動作成されたとき、通信エラーまたはレスポンスタイムアウトが起こると、コマンドシーケンスは完了しません。43.3.12　IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックリード）または 43.3.13　IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックライト）のエラー処理を実行しコマンドシーケンスを完了してください。

［1 になる条件］

- 送信したコマンドの command index と受信したレスポンスの command index が異なるとき
- コマンドシーケンス中に送信したコマンドの command index と受信したレスポンスの command index が異なるとき

［0 になる条件］

- CMDE に 0 を書いたとき

CRCE フラグ（CRC エラー検出フラグ）

CRC エラーが検出されたことを示します。コマンドシーケンスは CRC エラーが発生すると停止します。SDIO_MODE.C52PUB ビットが 1 および CMD52 が自動作成されたとき、通信エラーまたはレスポンスタイムアウトが起こると、コマンドシーケンスは完了しません。43.3.12　IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックリード）または 43.3.13　IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックライト）のエラー処理を実行しコマンドシーケンスを完了してください。

［1 になる条件］

- CRC status にエラーが発生したとき
- 読み出したデータに CRC エラーが発生したとき
- レスポンスに CRC エラーが発生したとき
- コマンドシーケンス中に送信したコマンドに対するレスポンスに CRC エラーがあるとき

［0 になる条件］

- CRCE に 0 を書いたとき

ENDE フラグ（エンドビットエラー検出フラグ）

エンドビットエラーが検出されたことを示します。コマンドシーケンスはエンドビットエラーが発生すると停止します。SDIO_MODE.C52PUB ビットが 1 および CMD52 が自動作成されたとき、通信エラーまたはレスポンスタイムアウトが起こると、コマンドシーケンスは完了しません。43.3.12　IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックリード）または 43.3.13　IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックライト）のエラー処理を実行しコマンドシーケンスを完了してください。

［1 になる条件］

- レスポンス長にエラーが発生したとき（エンドビットが検出されなかったとき）
- 読み出しデータ長にエラーが発生したとき（有効ビットのエンドビットが検出されなかったとき）
- CRC status 長にエラーが発生したとき（エンドビットが検出されなかったとき）
- コマンドシーケンス中に送信したコマンドに対するレスポンス長にエラーがあるとき（たとえば、エンドビットが検出されなかったとき）

［0 になる条件］

- ENDE に 0 を書いたとき

DTO フラグ（データタイムアウト検出フラグ）

データタイムアウトが検出されたことを示します。データタイムアウトが発生するとコマンドシーケンスは停止します。

［1 になる条件］

- R1b レスポンス後、Ncycle を超える期間にわたってビジー状態（SDnDAT0 = 0）が継続しているとき
- CRC status 後、Ncycle を超える期間にわたってビジー状態（SDnDAT0 = 0）が継続しているとき
- データを書き込んだ後、Ncycle が経過しても CRC status を受信しないとき
- リードコマンド後、Ncycle を超える時間が経過しても読み出しデータを受信しないとき
- コマンドシーケンス中に CMD12 が送信された後、Ncycle を超える期間にわたってビジー状態（SDnDAT0 = 0）が継続しているとき
- 読み出しデータを受信した後、Ncycle を超える時間が経過しても次のブロックの読み出しデータを受信しないとき
- Read Wait 状態が解除された後、Ncycle を超える時間が経過しても次のブロックの読み出しデータを受信しないとき

注 . Ncycle は SD_OPTION の [7:4] ビットに設定されます。

［0 になる条件］

- DTO に 0 を書いて、SD_OPTION の [7:4] ビットで Ncycle を設定したとき。データタイムアウトによりコマンドシーケンスが停止したとき

ILW フラグ（SD_BUF0 不正書き込み検出フラグ）

SD_BUF0 不正ライトアクセスが検出されたことを示します。

［1 になる条件］

- リードまたはライトコマンドステートでないときに SD_BUF0 にデータを書き込んだとき
- SD_BUF がフルのときに SD_BUF0 にデータを書き込んだとき
- CRC status または CRC status 長にエラーが発生した場合に SD_BUF0 にデータを書き込んだとき
- CRC status 後のビジー状態が Ncycle を超える期間にわたって継続しているときに SD_BUF0 にデータを書き込んだとき

注 . Ncycle は SD_OPTION の [7:4] ビットに設定されます。

［0 になる条件］

- ILW に 0 を書いたとき

ILR フラグ（SD_BUF0 不正読み出し検出フラグ）

SD_BUF0 不正リードアクセスが検出されたことを示します。

［1 になる条件］

- SD_BUF0 を読み出しているときに SD_BUF がエンプティのとき
- CRC エラーまたは END エラーを含むデータを SD_BUF0 から読み出したとき

［0 になる条件］

- ILR に 0 を書いたとき

RSPTO フラグ（レスポンスタイムアウト検出フラグ）

レスポンスタイムアウトが検出されたことを示します。コマンドシーケンスはレスポンスタイムアウトが発生すると停止します。SDIO_MODE.C52PUB ビットが 1 および CMD52 が自動作成されたとき、通信エラーまたはレスポンスタイムアウトが起こると、コマンドシーケンスは完了しません。43.3.12 IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックリード）または 43.3.13 IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックライト）のエラー処理を実行しコマンドシーケンスを完了してください。

［1 になる条件］

- SD/MMC クロックで 640 サイクルを超える時間が経過してもレスポンスを受信しないとき（コマンドシーケンス中に送信したコマンドに対するレスポンスを含みます）

［0 になる条件］

- RSPTO に 0 を書いたとき

SDD0MON フラグ（SDHI_D0 端子ステータスフラグ）

SDHI_D0 端子の状態が表示されます。イレースコマンドを送信した後、データタイムアウト (DTO) が設定されていても、レスポンスタイムアウト（RSPTO）が設定されていない場合、DAT0 のポーリングによりイレースシーケンスの終了（SDD0MON = 1）が確認されます。

なお、ライトシーケンス中に通信エラーまたはタイムアウトが発生すると、DAT0 ビットの値が 0 のままになっている場合があります。

SD/MMC クロックが停止しているとき、DAT0 ビットはクロックが停止する前に値を保持します。

BRE フラグ（SD_BUF0 読み出し許可フラグ）

SD_BUF0 の読み出しが許可されていることを示します。

［1 になる条件］

- シングルブロック転送時、SD_SIZE に設定したデータが SD_BUF0 に格納されたとき
- マルチブロック転送時、SD_SIZE に設定したデータが SD_BUF0 のバンク 1 またはバンク 2 のいずれかに格納されたとき

［0 になる条件］

- BRE に 0 を書いたとき
- DMA 転送にて SD_BUF0 からデータを 1 ブロック分読み出したとき

CPU にて SD_BUF0 からデータを読み出す場合、BRE をクリアしてから、SD_SIZE に設定したデータ量を読み出すようにしてください。

ブロックデータを読み出しているときに CRC エラーまたは END エラーが発生した場合も、SD_BUF0 にデータが格納され、BRE が設定されます。

BWE フラグ（SD_BUF0 書き込み許可フラグ）

SD_BUF0 への書き込みが許可されていることを示します。

［1 になる条件］

- シングルブロック転送時、SD_BUF0 がエンプティのとき
- マルチブロック転送時、SD_BUF0 のバンク 1 またはバンク 2 のいずれかがエンプティのとき

［0 になる条件］

- BWE に 0 を書いたとき
- DMA 転送にて SD_BUF0 にデータを 1 ブロック分書いたとき

CPU にて SD_BUF0 にデータを書き込む場合、BWE をクリアしてから、SD_SIZE に設定したデータ量を書き込むようにしてください。

SD_CLK_CTRLEN フラグ（SD_CLK_CTRL 書き込み許可フラグ）

SD_CMD への書き込みによってコマンドシーケンスが開始すると、CBSY ビットが 1 になると同時に、SD_CLK_CTRLEN ビットが 0 になります。コマンドシーケンスの完了により CBSY ビットが 0 になった後、SDCLK クロックの 8 サイクル後に SD_CLK_CTRLEN ビットが 1 になります。

ILA フラグ（不正アクセスエラー検出フラグ）

不正アクセスエラーが検出されたことを示します。

［1 になる条件］

- コマンドシーケンス中に SD_CMD にデータを書き込んだとき（CBSY = 1）
- SD_CMD において SD_CMD[11] = 1（データ転送のあるコマンド）かつ SD_CMD[7:0] = 0000 1100b（CMD12）にしたとき

［0 になる条件］

- ILA に 0 を書いたとき

43.2.12 SD INFO1 割り込みマスクレジスタ（SD_INFO1_MASK）

アドレス SDHI0.SD_INFO1_MASK 4006 2040h, SDHI1.SD_INFO1_MASK 4006 2440h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SDD3INM	SDD3RMM	—	—	—	SDCDINM	SDCDRMM	ACENDM	—	RSPENDM
リセット後の値	0	0	0	0	0	0	1	1	0	0	0	1	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RSPENDM	レスポンスエンド割り込み要求マスク	0：レスポンスエンド割り込み要求をマスクしない 1：レスポンスエンド割り込み要求をマスクする	R/W
b1	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b2	ACENDM	アクセスエンド割り込み要求マスク	0：アクセスエンド割り込み要求をマスクしない 1：アクセスエンド割り込み要求をマスクする	R/W
b3	SDCDRMM	SDnCD抜去割り込み要求マスク	0：SDnCD端子によるSDカード／MMC抜去割り込み要求をマスクしない 1：SDnCD端子によるSDカード／MMC抜去割り込み要求をマスクする	R/W
b4	SDCDINM	SDnCD挿入割り込み要求マスク	0：SDnCD端子によるSDカード／MMC挿入割り込み要求をマスクしない 1：SDnCD端子によるSDカード／MMC挿入割り込み要求をマスクする	R/W
b7-b5	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b8	SDD3RMM	SDnDAT3抜去割り込み要求マスク	0：SDnDAT3端子によるSDカード／MMC抜去割り込み要求をマスクしない 1：SDnDAT3端子によるSDカード／MMC抜去割り込み要求をマスクする	R/W
b9	SDD3INM	SDnDAT3挿入割り込み要求マスク	0：SDnDAT3端子によるSDカード／MMC挿入割り込み要求をマスクしない 1：SDnDAT3端子によるSDカード／MMC挿入割り込み要求をマスクする	R/W
b31-b10	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R

SD_INFO1_MASK レジスタは、SD_INFO1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 43.5 割り込み要因を参照してください。

43.2.13 SD INFO2 割り込みマスクレジスタ（SD_INFO2_MASK）

アドレス SDHI0.SD_INFO2_MASK 4006 2044h, SDHI1.SD_INFO2_MASK 4006 2444h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ILAM	—	—	—	—	—	BWEM	BREM	—	RSPTOM	ILRM	ILWM	DTOM	ENDEM	CRCEM	CMDEM
リセット後の値	1	0	0	0	1	0	1	1	0	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	CMDEM	コマンドエラー割り込み要求マスク	0：コマンドエラー割り込み要求をマスクしない 1：コマンドエラー割り込み要求をマスクする	R/W
b1	CRCEM	CRCエラー割り込み要求マスク	0：CRCエラー割り込み要求をマスクしない 1：CRCエラー割り込み要求をマスクする	R/W
b2	ENDEM	エンドビットエラー割り込み要求マスク	0：エンドビット検出エラー割り込み要求をマスクしない 1：エンドビット検出エラー割り込み要求をマスクする	R/W
b3	DTOM	データタイムアウト割り込み要求マスク	0：データタイムアウト割り込み要求をマスクしない 1：データタイムアウト割り込み要求をマスクする	R/W
b4	ILWM	SD_BUF0レジスタ不正書き込み割り込み要求マスク	0：SD_BUF0レジスタへの不正書き込み検出割り込み要求をマスクしない 1：SD_BUF0レジスタへの不正書き込み検出割り込み要求をマスクする	R/W
b5	ILRM	SD_BUF0レジスタ不正読み出し割り込み要求マスク	0：SD_BUF0レジスタへの不正読み出し検出割り込み要求をマスクしない 1：SD_BUF0レジスタへの不正読み出し検出割り込み要求をマスクする	R/W
b6	RSPTOM	レスポンスタイムアウト割り込み要求マスク	0：レスポンスタイムアウト割り込み要求をマスクしない 1：レスポンスタイムアウト割り込み要求をマスクする	R/W
b7	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b8	BREM	BRE割り込み要求マスク	0：SDバッファの読み出し許可割り込み要求をマスクしない 1：SDバッファの読み出し許可割り込み要求をマスクする	R/W
b9	BWEM	BWE割り込み要求マスク	0：SD_BUF0レジスタへの書き込み許可割り込み要求をマスクしない 1：SD_BUF0レジスタへの書き込み許可割り込み要求をマスクする	R/W
b10	—	予約ビット	読むと0が読めます。	R
b11	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14-b12	—	予約ビット	読むと0が読めます。	R
b15	ILAM	不正アクセスエラー割り込み要求マスク	0：不正アクセスエラー割り込み要求をマスクしない 1：不正アクセスエラー割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと0が読めます。	R

注 1. SD_INFO2_MASK.BWEM ビットもしくは SD_INFO2_MASK.BREM ビットのいずれかが 0 のとき、SD_DMAEN.DMAEN ビットは 0 にしてください。SD_DMAEN.DMAEN ビットが 1 のとき、SD_INFO2_MASK.BWEM ビットおよび SD_INFO2_MASK.BREM ビットは 1 にしてください。

SD_INFO2_MASK レジスタは、SD_INFO2 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 43.5 を参照してください。

43.2.14 SD クロックコントロールレジスタ（SD_CLK_CTRL）

アドレス SDHI0.SD_CLK_CTRL 4006 2048h, SDHI1.SD_CLK_CTRL 4006 2448h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CLKCTRLEN	CLKEN	CLKSEL[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CLKSEL[7:0]	SDHIクロック周波数選択（注1）	b7 b0 0 0 0 0 0 0 0 0 : PCLKA/2 0 0 0 0 0 0 0 1 : PCLKA/4 0 0 0 0 0 0 1 0 : PCLKA/8 0 0 0 0 0 1 0 0 : PCLKA/16 0 0 0 0 1 0 0 0 : PCLKA/32 0 0 0 1 0 0 0 0 : PCLKA/64 0 0 1 0 0 0 0 0 : PCLKA/128 0 1 0 0 0 0 0 0 : PCLKA/256 1 0 0 0 0 0 0 0 : PCLKA/512 上記以外は設定しないでください。	R/W
b8	CLKEN	SD/MMCクロック出力制御（注1）	0：SD/MMCクロック出力は無効（SDnCLK信号をLowに固定） 1：SD/MMCクロック出力は有効	R/W
b9	CLKCTRLEN	SD/MMCクロック出力自動制御選択	0：SD/MMCクロック出力の自動制御は無効 1：SD/MMCクロック出力の自動制御は有効	R/W
b31-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SD_INFO2.SD_CLK_CTRLEN フラグが 0 のとき、CLKSEL[7:0] ビット、CLKEN ビットに書き込むことはできません。

SDCLKCTRL レジスタは、SD/MMC クロックの周波数の設定や出力の制御を行います。SD_CMD レジスタに値を書き込んでコマンドシーケンスが開始される前に CLKEN ビットを 1 にしてください。SD_INFO2.SD_CLK_CTRLEN フラグが 0 のとき、SDCLKCTRL レジスタへ書き込まないでください。

CLKCTRLEN ビット（SD/MMC クロック出力自動制御選択）

コマンドシーケンス中だけ SD/MMC クロックを出力する SD/MMC クロック出力の自動制御機能を許可／禁止します。

SD/MMC クロック出力が開始・停止するタイミングは以下の通りです。

- SD/MMC クロック出力は、SD_CMD への書き込み後に開始します。
- SD/MMC クロック出力は、コマンドシーケンスの終了後に SD/MMC クロックの 8 サイクルが経過すると停止します。

また、SD_CLK_CTRL の CLKEN が 0 のときは、CLKCTRLEN ビットの値にかかわらず、SD/MMC クロックは 0 に固定されます。

43.2.15 転送データ長レジスタ（SD_SIZE）

アドレス SDHI0.SD_SIZE 4006 204Ch, SDHI1.SD_SIZE 4006 244Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LEN[9:0]									
リセット後の値	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	LEN[9:0]	転送データサイズ設定	転送データサイズを設定します。(注1)	R/W
b31-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. SD_INFO2.CBSY フラグが 1 のとき、これらのビットを書き換えないでください。

SD_SIZE レジスタは、転送データサイズを設定するレジスタです。

LEN[9:0] ビット（転送データサイズ設定）

シングルブロック転送時には、LEN[9:0] ビットに転送データサイズを 1 バイト～ 512 バイトの範囲で設定できます。CMD12 を自動送信するマルチブロック転送時（CMD18 と CMD25）には、512 バイトのみ設定できます。CMD12 を自動送信しないマルチブロック転送時には、512 バイトの他、32、64、128、256 バイトを設定できます。ただし、32、64、128、256 バイトのマルチブロックリード転送は、SDIO のマルチブロック転送時（CMD53）に限ります。なお、データ転送のあるコマンドのとき、LEN[9:0] ビットを 0 にしないでください。

43.2.16 SD カードアクセスコントロールオプションレジスタ（SD_OPTION）

アドレス SDHI0.SD_OPTION 4006 2050h, SDHI1.SD_OPTION 4006 2450h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	WIDTH	—	WIDTH8	—	—	—	—	TOUTMASK	TOP[3:0]				CTOP[3:0]			
リセット後の値	0（注2）	1	0（注2）	0	0	0	0	0（注2）	1（注2）	1（注2）	1（注2）	0（注2）	1（注2）	1（注2）	1（注2）	0（注2）

ビット	シンボル	ビット名	機能		R/W
b3-b0	CTOP[3:0]	カード検出タイムカウンタ（注1）	b3 b0 0 0 0 0：PCLKA × 2^{10} 0 0 0 1：PCLKA × 2^{11} 0 0 1 0：PCLKA × 2^{12} 0 0 1 1：PCLKA × 2^{13} 0 1 0 0：PCLKA × 2^{14} 0 1 0 1：PCLKA × 2^{15} 0 1 1 0：PCLKA × 2^{16} 0 1 1 1：PCLKA × 2^{17}	b3 b0 1 0 0 0：PCLKA × 2^{18} 1 0 0 1：PCLKA × 2^{19} 1 0 1 0：PCLKA × 2^{20} 1 0 1 1：PCLKA × 2^{21} 1 1 0 0：PCLKA × 2^{22} 1 1 0 1：PCLKA × 2^{23} 1 1 1 0：PCLKA × 2^{24} 1 1 1 1：設定禁止	R/W
b7-b4	TOP[3:0]	タイムアウトカウンタ（注1）	b7 b4 0 0 0 0：SDHIクロック × 2^{13} 0 0 0 1：SDHIクロック × 2^{14} 0 0 1 0：SDHIクロック × 2^{15} 0 0 1 1：SDHIクロック × 2^{16} 0 1 0 0：SDHIクロック × 2^{17} 0 1 0 1：SDHIクロック × 2^{18} 0 1 1 0：SDHIクロック × 2^{19} 0 1 1 1：SDHIクロック × 2^{20}	b7 b4 1 0 0 0：SDHIクロック × 2^{21} 1 0 0 1：SDHIクロック × 2^{22} 1 0 1 0：SDHIクロック × 2^{23} 1 0 1 1：SDHIクロック × 2^{24} 1 1 0 0：SDHIクロック × 2^{25} 1 1 0 1：SDHIクロック × 2^{26} 1 1 1 0：SDHIクロック × 2^{27} 1 1 1 1：設定禁止	R/W
b8	TOUTMASK	タイムアウトマスク	0：タイムアウトの有効化 1：タイムアウトの無効化（SD_INFO2のRSPTOビットとDTOビット、またはSDERRSTS2のE6～E0ビットは設定しないでください。） タイムアウトの無効化によりタイムアウトが発生した場合、ソフトウェアリセットを実行してコマンドシーケンスを終了してください。		R/W
b12-b9	—	予約ビット	読むと0が読めます。		R
b13	WIDTH8（注2）	バス幅	ビット[15] WIDTHビットを参照してください。		R/W
b14	—	予約ビット	読むと1が読めます。		R
b15	WIDTH	バス幅（注2）	b15 b13 0 1：8ビット幅 0 0：4ビット幅 1 0：1ビット幅 1 1：1ビット幅 1バイトライト転送の場合、4ビット幅または1ビット幅を設定してください。8ビット幅を設定しないでください。		R/W
b31-b16	—	予約ビット	読むと0が読めます。		R

注 1. SD_INFO2.CBSY フラグが 1 のとき、これらのビットを書き換えないでください。
注 2. リセット時および SOFT_RST.SDRST フラグが 0 の場合、初期値が適用されます。

SD_OPTION レジスタは、SD バスの幅およびタイムアウトカウンタを設定するレジスタです。

43.2.17 SD エラーステータスレジスタ 1（SD_ERR_STS1）

アドレス SDHI0.SD_ERR_STS1 4006 2058h, SDHI1.SD_ERR_STS1 4006 2458h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	CRCTK[2:0]			CRCTKE	RDCRCE	RSPCRCE1	RSPCRCE0	—	—	CRCLENE	RDLENE	RSPLENE1	RSPLENE0	CMDE1	CMDE0
リセット後の値	0	0 (注3)	1 (注3)	0 (注3)	0 (注3)	0 (注3)	0 (注3)	0 (注3)	0	0	0 (注3)	0 (注3)	0 (注3)	0 (注3)	0 (注3)	0 (注3)

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	CMDE0	コマンドエラーフラグ0	0：コマンド（注1）レスポンスのcommand indexフィールド値にエラーなし 1：コマンド（注1）レスポンスのcommand indexフィールド値にエラーあり	R
b1	CMDE1	コマンドエラーフラグ1	0：コマンド（注2）レスポンスのcommand indexフィールド値にエラーなし 1：コマンド（注2）レスポンスのcommand indexフィールド値にエラーあり（SD_CMD.CMDIDX[5:0]設定では、CMD12送信で発生したエラーをCMDE0フラグに表示）	R
b2	RSPLENE0	レスポンス長エラーフラグ0	0：コマンド（注1）レスポンス長にエラーなし 1：コマンド（注1）レスポンス長にエラーあり	R
b3	RSPLENE1	レスポンス長エラーフラグ1	0：コマンド（注2）レスポンス長にエラーなし 1：コマンド（注2）レスポンス長にエラーあり（SD_CMD.CMDIDX[5:0]設定では、CMD12送信で発生したエラーをRSPLENE0フラグに表示）	R
b4	RDLENE	読み出しデータ長エラーフラグ	0：読み出しデータ長エラーの発生なし 1：読み出しデータ長エラーの発生あり	R
b5	CRCLENE	CRC statusトークン長エラーフラグ	0：CRC statusトークン長エラーの発生なし 1：CRC statusトークン長エラーの発生あり	R
b7-b6	—	予約ビット	読むと0が読めます。	R
b8	RSPCRCE0	レスポンスCRCエラーフラグ0	0：コマンド（注1）のレスポンスにCRCエラーなし 1：コマンド（注1）のレスポンスにCRCエラーあり	R
b9	RSPCRCE1	レスポンスCRCエラーフラグ1	0：コマンド（注2）レスポンスにCRCエラーなし（SD_CMD.CMDIDX[5:0]設定では、CMD12送信で発生したエラーをRSPCRCE0フラグに表示） 1：コマンド（注2）のレスポンスにCRCエラーあり	R
b10	RDCRCE	読み出しデータCRCエラーフラグ	0：読み出しデータにCRCエラーなし 1：読み出しデータにCRCエラーあり	R
b11	CRCTKE	CRC statusトークンエラーフラグ	0：CRC statusトークンにエラーなし 1：CRC statusトークンにエラーあり	R
b14-b12	CRCTK[2:0]	CRC statusトークン	これらのビットはCRC statusトークン値を格納します（正常値は010b）	R
b15	—	予約ビット	読むと0が読めます。	R
b31-b16	—	予約ビット	読むと不定値が読めます。	R

注 1. SD_CMD でマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注 2. SD_CMD でマルチブロック転送の自動送信が有効な場合は CMD12、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注 3. リセット時および SOFT_RST.SDRST フラグが 0 の場合、初期値が適用されます。

SD_ERR_STS1 レジスタは、CRC status トークン、CRC エラー、エンドビットエラー、およびコマンドエラーを表示します。

43.2.18 SD エラーステータスレジスタ 2（SD_ERR_STS2）

アドレス SDHI0.SD_ERR_STS2 4006 205Ch, SDHI1.SD_ERR_STS2 4006 245Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CRCBSYTO	CRCTO	RDTO	BSYTO1	BSYTO0	RSPTO1	RSPTO0
リセット後の値	0	0	0	0	0	0	0	0	0	0（注4）	0（注4）	0（注4）	0（注4）	0（注4）	0（注4）	0（注4）

ビット	シンボル	ビット名	機能	R/W
b0	RSPTO0	レスポンスタイムアウトフラグ0	0：コマンド（注1）を送信した後、SD/MMCクロックで640サイクル未満でレスポンスを受信した 1：コマンド（注1）を送信した後、SD/MMCクロックで640サイクル以上経過してもレスポンスを受信しなかった	R
b1	RSPTO1	レスポンスタイムアウトフラグ1	0：コマンド（注2）を送信した後、SD/MMCクロックで640サイクル未満でレスポンスを受信した 1：コマンド（注2）を送信した後、SD/MMCクロックで640サイクル以上経過してもレスポンスを受信しなかった（SD_CMD.CMDIDX[5:0]の設定により、CMD12送信時のエラーはRSPTO0フラグに表示されます）	R
b2	BSYTO0	ビジータイムアウトフラグ0	0：R1bレスポンス受信後、指定時間（注3）以内にSD/MMCのビジー状態が解除された 1：R1bレスポンス受信後、指定時間（注3）が経過してもSD/MMCはビジー状態のまま	R
b3	BSYTO1	ビジータイムアウトフラグ1	0：CMD12の自動送信後、指定時間（注3）以内にSD/MMCのビジー状態が解除された 1：CMD12の自動送信後、指定時間（注3）が経過してもSD/MMCはビジー状態のまま（SD_CMD.CMDIDX[5:0]の設定により、CMD12送信時のエラーはBSYTO0フラグに表示されます）	R
b4	RDTO	読み出しデータタイムアウトフラグ	リードコマンド送信時、指定時間（注3）が経過してもリードデータを受信しないとき1になります。 リードデータ受信時、指定時間（注3）が経過しても次ブロックリードデータを受信しないとき1になります。 SD/MMCのRead Wait解除時、指定時間（注3）が経過しても次ブロックリードデータを受信しないとき1になります。	R
b5	CRCTO	CRC status トークンタイムアウトフラグ	0：CRCデータをSDカード／MMCに書き込んだ後、指定時間（注3）以内にCRC status トークンを受信した 1：CRCデータをSDカード／MMCに書き込んだ後、指定時間（注3）が経過してもCRC status トークンを受信しなかった	R
b6	CRCBSYTO	CRC status トークンビジータイムアウトフラグ	0：CRC status トークン受信後、指定時間（注3）以内にSD/MMCのビジー状態が解除された 1：CRC status トークン受信後、指定時間（注3）が経過してもSD/MMCはビジー状態のまま	R
b31-b7	—	予約ビット	読むと0が読めます。	R

注 1. SD_CMD でマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注 2. SD_CMD でマルチブロック転送の自動送信が有効な場合は CMD12、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注 3. SD_OPTION.TOP[3:0] ビットで設定して、サイクル数 *n* を選択します

注 4. リセット時および SOFT_RST.SDRST フラグが 0 の場合、初期値が適用されます。

SD_ERR_STS2 レジスタは、タイムアウトの状態を表示します。

43.2.19 SD バッファレジスタ（SD_BUF0）

アドレス SDHI0.SD_BUF0 4006 2060h, SDHI1.SD_BUF0 4006 2460h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

x：不定

SD カードに書き込みを行うと、書き込みデータはこのレジスタに書き込まれます。SD カードから読み出しを行うと、読み出しデータはこのレジスタから読み出されます。このレジスタは 2 つの 512 バイトバッファに内部的に接続されます。

マルチブロックリードの実行時に両方のバッファがエンプティでない場合、データ受信を中断するために SD カード／ MMC クロックが停止します。どちらかのバッファがエンプティの場合、データ受信を再開するために SD カード／ MMC クロックが供給されます。

43.2.20 SDIO モードコントロールレジスタ（SDIO_MODE）

アドレス SDHI0.SDIO_MODE 4006 2068h, SDHI1.SDIO_MODE 4006 2468h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	C52PUB	IOABT	—	—	—	—	—	RWREQ	—	INTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INTEN	SDIO割り込み受け付け許可（注1）	0：SDIO割り込み受け付け禁止 1：SDIO割り込み受け付け許可	R/W
b1	—	予約ビット	読むと0が読めます。	R
b2	RWREQ	Read Wait要求	0：SD/MMCのRead Wait状態の解除を許可 1：SD/MMCのRead Wait状態への遷移を要求	R/W
b7-b3	—	予約ビット	読むと0が読めます。	R
b8	IOABT	SDIO Abort	CMD53によるマルチブロック転送時に1にするとただちにCMD52が送信され、コマンドシーケンスは中断します。	R/W
b9	C52PUB	SDIO None Abort	CMD53によるマルチブロック転送時に1にすると、転送中の処理を終えてからCMD52が送信され、コマンドシーケンスは終了します。	R/W
b31-b10	—	予約ビット	読むと0が読めます。	R

注 1. SD_INFO2.CBSY フラグが 1 のとき、このビットを書き換えないでください。

SDIO_MODE レジスタは、SDIO 割り込みの受け付け、マルチブロック転送時の CMD52 の送信、Read Wait 要求の制御を行うレジスタです。C52PUB ビットと IOABT ビットを同時に 1 にしないでください。

RWREQ ビット（Read Wait 要求）

CMD53（マルチブロック）リードシーケンスで RWREQ を 1 にすると、ブロック転送はブロック間で Read Wait 状態になります。

［Read Wait 状態の解除］

- Read Wait 状態で RWREQ を 0 にすると、Read Wait 状態が解除される
- Read Wait 状態で IOABT を 1 にすると、CMD52 の送信後、RWREQ が 0 にクリアされ、Read Wait 状態が解除される
- CMD53（マルチブロック）リードシーケンスで C52PUB と同時に RWREQ を 1 にした場合、Read Wait 状態は自動で解除されない。そのため、CMD52 レスポンスを受信すると RWREQ をクリアする。RWREQ と C52PUB は必ず同時に設定すること。

CMD53（マルチブロック）リードシーケンスで最終ブロックの転送中に RWREQ を 1 にした場合、Read Wait 状態にはならず、アクセスエンドを設定することで RWREQ は自動的にクリアされます。レスポンスエンドフラグの設定後に RWREQ を 1 にしてください。

IOABT ビット（SDIO Abort）

CMD53（マルチブロック）シーケンスで IOABT ビットを 1 にすると、CMD53 のシーケンスが停止し、CMD52 が送信されます。ただし、通信エラーまたはタイムアウトによりコマンドシーケンスが停止した場合、CMD52 は送信されません。IOABT を 1 にした後も引き続きバッファアクセスは可能ですが、これにより SD_INFO2 のバッファアクセスエラービット（ILR または ILW）が設定されます。IOABT を 1 にする前に SD_ARG を設定してください。

シングルブロックライトの転送時に IOABT を 1 にすると、SD_BUF0 がエンプティの場合はアクセスエンドフラグが設定され、CMD52 は送信されません。SD_BUF0 にデータがある場合、CMD52 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

シングルブロックリードの転送時に IOABT を 1 にすると、IOABT 設定後にアクセスエンドフラグが設定され、CMD52 は送信されません。

R1b レスポンス後、ビジー状態の受信時に IOABT を 1 にすると、CMD52 が送信されずにビジー状態の受信を完了したときにアクセスエンドフラグが設定されます。

コマンドシーケンスの完了後に IOABT を 1 にすると、CMD52 は送信されず、アクセスエンドフラグも設定されません。

レスポンスエンドフラグの設定後に IOABT を 1 にしてください。

アクセスエンドフラグの設定後に IOABT を 0 にしてください。

C52PUB ビット（SDIO None Abort）

CMD53（マルチブロック）ライトシーケンスで C52PUB ビットを 1 にすると、SD_BUF0 がエンプティになる場合、CMD52 がブロック間で自動送信されます。C52PUB は、CMD52 に対するレスポンスの受信を完了した後、自動的にクリアされます。また、最終ブロック転送中に C52PUB を 1 にすると、CMD52 は送信されません。この場合、アクセスエンドフラグを 1 にした後、C52PUB は自動的にクリアされます。

CMD53（マルチブロック）リードシーケンスで C52PUB と RWREQ を 1 にすると、ブロック転送はブロック間で Read Wait 状態になり、CMD52 は自動送信されます。C52PUB は、CMD52 に対するレスポンスの受信を完了した後、自動的にクリアされます。また、最終ブロック転送中に C52PUB を 1 にすると、CMD52 は送信されません。この場合、アクセスエンドフラグを 1 にした後、C52PUB は自動的にクリアされます。

CMD53（マルチブロック）リードシーケンスで C52PUB を 1 にした場合、C52PUB に加えて RWREQ を 1 にする必要があります。

C52PUB を 1 にする前に SD_ARG を設定してください。

レスポンスエンドフラグの設定後に C52PUB を 1 にしてください。

43.2.21 SDIO 割り込み割り込みフラグレジスタ（SDIO_INFO1）

アドレス SDHI0.SDIO_INFO1 4006 206Ch, SDHI1.SDIO_INFO1 4006 246Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXWT	EXPUB52	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQ
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQ	SDIO割り込みステータスフラグ	0：SDIO割り込みの検出なし 1：SDIO割り込みの検出あり	R(/W)（注1）
b2-b1	—	予約ビット	読むと不定値が読めます。書く場合、1としてください。	R
b13-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	EXPUB52	EXPUB52ステータスフラグ	EXPUB52ステータスを表示します。	R(/W)（注1）
b15	EXWT	EXWTステータスフラグ	EXWTステータスを表示します。	R(/W)（注1）
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

SDIO_INFO1 レジスタは、SDIO カードアクセスに関するステータスを表示します。クリアするフラグを 0 にしてください。クリアされていないフラグは 1 にしてください。

IOIRQ フラグ（SDIO 割り込みステータスフラグ）

SDIO 割り込みの発生を表示します。

[1 になる条件]

- SDIO_MODE の INTEN が 1 のときに SDIO カードからの SDIO 割り込みを受信したとき

[0 になる条件]

- IOIRQ に 0 を書いたとき（注 1）

注 1. このビットをクリアする前に、SDIO カードにアクセスして SDIO カードからの SDIO 割り込み信号をネゲートしてください。割り込み信号をネゲートしない場合、このビットが再び設定される可能性があります。

EXPUB52 フラグ（EXPUB52 ステータスフラグ）

EXPUB52 のステータスを表示します。

[1 になる条件]

- CMD53（マルチブロック）シーケンスで最終ブロックの転送中に、SDIO_MODE の C52PUB を 1 にしたとき
- CMD53（マルチブロック）ライトシーケンスで C52PUB を 1 にして、最終ブロックが転送されたとき

[0 になる条件]

- EXPUB52 に 0 を書いたとき

EXWT フラグ（EXWT ステータスフラグ）

EXWT のステータスを表示します。

［1 になる条件］

- CMD53（マルチブロック）シーケンスで最終ブロックの転送中に、SDIO_MODE の RWREQ を 1 にしたとき

［0 になる条件］

- EXWT に 0 を書いたとき

43.2.22 SD INFO1 割り込みマスクレジスタ（SDIO_INFO1_MASK）

アドレス SDHI0.SDIO_INFO1_MASK 4006 2070h, SDHI1.SDIO_INFO1_MASK 4006 2470h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EXWTM	EXPUB52M	—	—	—	—	—	—	—	—	—	—	—	—	—	IOIRQM
リセット後の値	1	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	IOIRQM	IOIRQ割り込みマスク制御	0：IOIRQ割り込みをマスクしない 1：IOIRQ割り込みをマスクする	R/W
b2-b1	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b13-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14	EXPUB52M	EXPUB52割り込み要求マスク制御	0：EXPUB52割り込み要求をマスクしない 1：EXPUB52割り込み要求をマスクする	R/W
b15	EXWTM	EXWT割り込み要求マスク制御	0：EXWT割り込み要求をマスクしない 1：EXWT割り込み要求をマスクする	R/W
b31-b16	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SDIO_INFO1_MASK レジスタは、SDIO_INFO1 レジスタの各ステータスフラグによる割り込みの要求を許可または禁止します。各ステータスフラグと要求される割り込み要因の関係は表 43.5　割り込み要因を参照してください。

43.2.23 DMA モードイネーブルレジスタ（SD_DMAEN）

アドレス SDHI0.SD_DMAEN 4006 21B0h, SDHI1.SD_DMAEN 4006 25B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMAEN	—
リセット後の値	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。	R
b1	DMAEN	DMA転送許可（注1）（注2）	0：DMA転送を使用したSD_BUF0レジスタへのアクセスを禁止 1：DMA転送を使用したSD_BUF0レジスタへのアクセスを許可	R/W
b3-b2	—	予約ビット	読むと0が読めます。	R
b4	—	予約ビット	読むと1が読めます。	R
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。	R
b9-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b10	—	予約ビット	読むと0が読めます。	R
b12	—	予約ビット	読むと1が読めます。	R
b31-b13	—	予約ビット	読むと0が読めます。	R

注 1. SD_INFO2.CBSY ビットが 1 のとき、このビットを書き換えないでください。
注 2. SD_INFO2_MASK.BWEM ビットもしくは SD_INFO2_MASK.BREM ビットのいずれかが 0 のとき、SD_DMAEN.DMAEN ビットは 0 にしてください。SD_DMAEN.DMAEN ビットが 1 のとき、SD_INFO2_MASK.BWEM ビットおよび SD_INFO2_MASK.BREM ビットは 1 にしてください。

SD_DMAEN レジスタは、DMA 転送の許可／禁止を設定するレジスタです。

DMAEN ビット（DMA 転送許可）

SD バッファの読み出しおよび書き込みを DMA 転送を用いて行う場合、SD_CMD レジスタを設定する前に DMAEN ビットを 1 にしてください。

43.2.24 ソフトウェアリセットレジスタ（SOFT_RST）

アドレス SDHI0.SOFT_RST 4006 21C0h, SDHI1.SOFT_RST 4006 25C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SDRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDRST	ソフトウェアリセット制御	0：SD/MMCホストインタフェースソフトウェアをリセット 1：SD/MMCホストインタフェースソフトウェアのリセットを解除	R/W
b2-b1	—	予約ビット	読むと1が読めます。	R
b31-b3	—	予約ビット	読むと0が読めます。	R

SD/MMC ホストインタフェースソフトウェアリセットで初期化されるビットおよびフラグを表 43.4 に示します。

表 43.4 SD/MMCホストインタフェースソフトウェアリセットで初期化されるビットおよびフラグ

レジスタ	ビット／フラグ
SD_STOP	SEC
SD_INFO1	RSPEND, ACEND
SD_INFO2	CMDE, CRCE, ENDE, DTO, ILW, ILR, RSPTO, SDD0MON, BRE, BWE, SD_CLK_CTRLEN, ILA
SD_CLK_CTRL	CLKEN
SD_OPTION	CTOP[3:0], TOP[3:0], WIDTH SD_OPTION レジスタの b8 と b13 も SDHI ソフトウェアリセットで初期化されます。
SD_ERR_STS1	CMDE0, CMDE1, RSPLENE0, RSPLENE1, RDLENE, CRCLENE, RSPCRCE0, RSPCRCE1, RDCRCE, CRCTKE, CRCTK[2:0]
SD_ERR_STS2	RSPTO0, RSPTO1, BSYTO0, BSYTO1, RDTO, CRCTO, CRCBSYTO
SDIO_INFO1	IOIRQ, EXPUB52, EXWT

43.2.25 SD インタフェースモード設定レジスタ（SDIF_MODE）

アドレス SDHI0.SDIF_MODE 4006 21CCh, SDHI1.SDIF_MODE 4006 25CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	NOCHKCR	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7-b1	—	予約ビット	読むと0が読めます。	R
b8	NOCHKCR	CRCチェックのマスク	MMCテストコマンドのCRCチェックマスクビット。CRC16またはCRCステータス値チェックが実行されていない時に設定してください。 0：CRCチェックの許可 1：CRCチェックの禁止（読み出し時のCRC16値は無視、書き込み時のCRCステータス値は無視）	R/W
b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b10	—	予約ビット	読むと0が読めます。	R

NOCHKCR ビット（CRC チェックのマスク）

MMC テストコマンドで使用します。CRC16 または CRC ステータス値チェックが実行されていない時に設定します。

43.2.26 スワップコントロールレジスタ（EXT_SWAP）

アドレス SDHI0.EXT_SWAP 4006 21E0h, SDHI1.EXT_SWAP 4006 25E0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	BRSWP	BWSWP	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b6	BWSWP	SD_BUF0スワップ書き込み（注1）	0：通常の書き込み 1：バイトのエンディアンの順番を入れ替えてSD_BUF0レジスタに書き込む	R/W
b7	BRSWP	SD_BUF0スワップ読み出し（注1）	0：通常の読み出し 1：バイトのエンディアンの順番を入れ替えてSD_BUF0レジスタを読み出す	R/W
b10-b8	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b12-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b16	—	予約ビット	読むと0が読めます。書き込みは無効になります。	R

注 1. SD_INFO2.CBSY フラグが 1 のとき、このビットを書き換えないでください。

EXT_SWAP レジスタは、SD_BUF0 レジスタにアクセスするとき、データのバイトエンディアンの順番を入れ替えてアクセスするかどうかを選択するレジスタです。EXT_SWAP レジスタ値による SD_BUF0 レジスタへのアクセス方法の差異については 43.3.1 SD/MMC インタフェースを参照してください。

43.3 動作説明

43.3.1 SD/MMC インタフェース

SD カード／ MMC からデータを読み出すときの処理は以下の通りです。

1. SD/MMC ホストインタフェースが SDnDAT 信号により SD カード／ MMC からデータを受信する（図 43.2 および図 43.3 を参照）。
2. 受信データが MMC ホストインタフェースの SD_BUF に格納される（図 43.4 を参照）。
3. SD_BUF に格納されたデータが SD_BUF0 から読み出される（図 43.5 を参照）。

SD カード／ MMC にデータを書き込むときは、指定手順は逆になります。

SD_BUF0 にアクセスするときは、SDnDAT の転送順と SD_BUF の格納順に注意してください。必用に応じて、SD_BUF0 の読み出し／書き込みデータのバイトエンディアンを SDSWAP レジスタで変更できます。図 43.6 を参照してください。

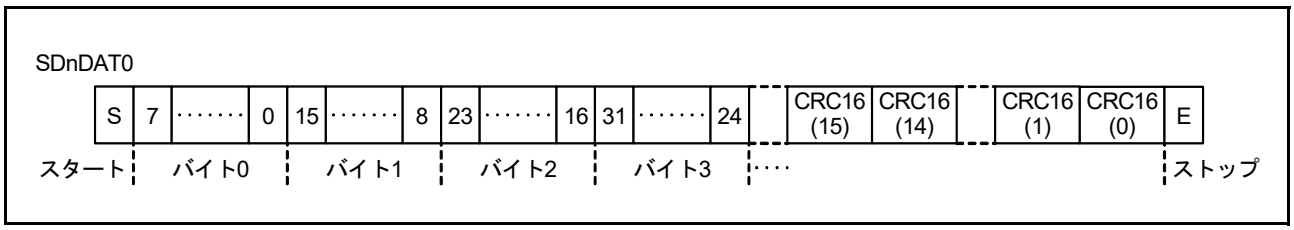


図 43.2 1 ビット幅モードの SDnDAT

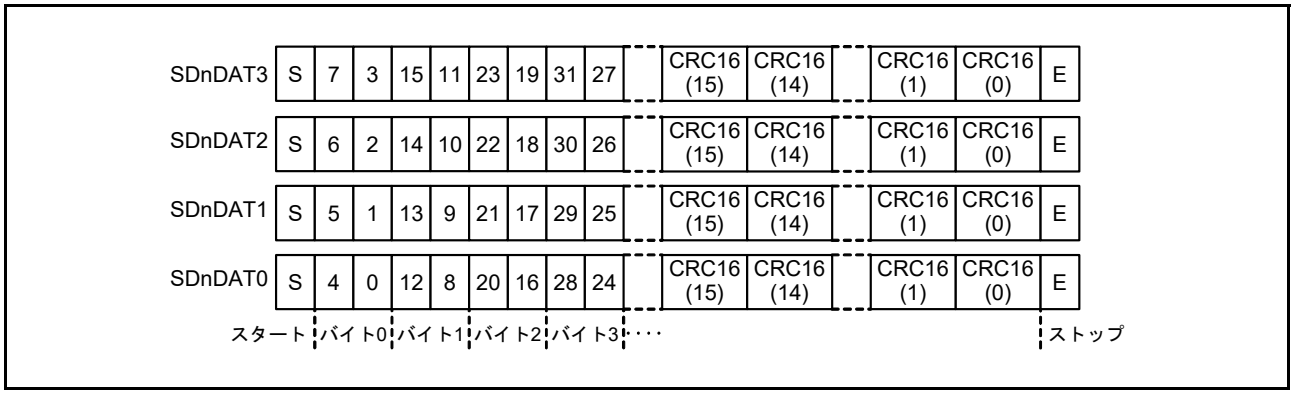


図 43.3 4 ビット幅モードの SDnDAT

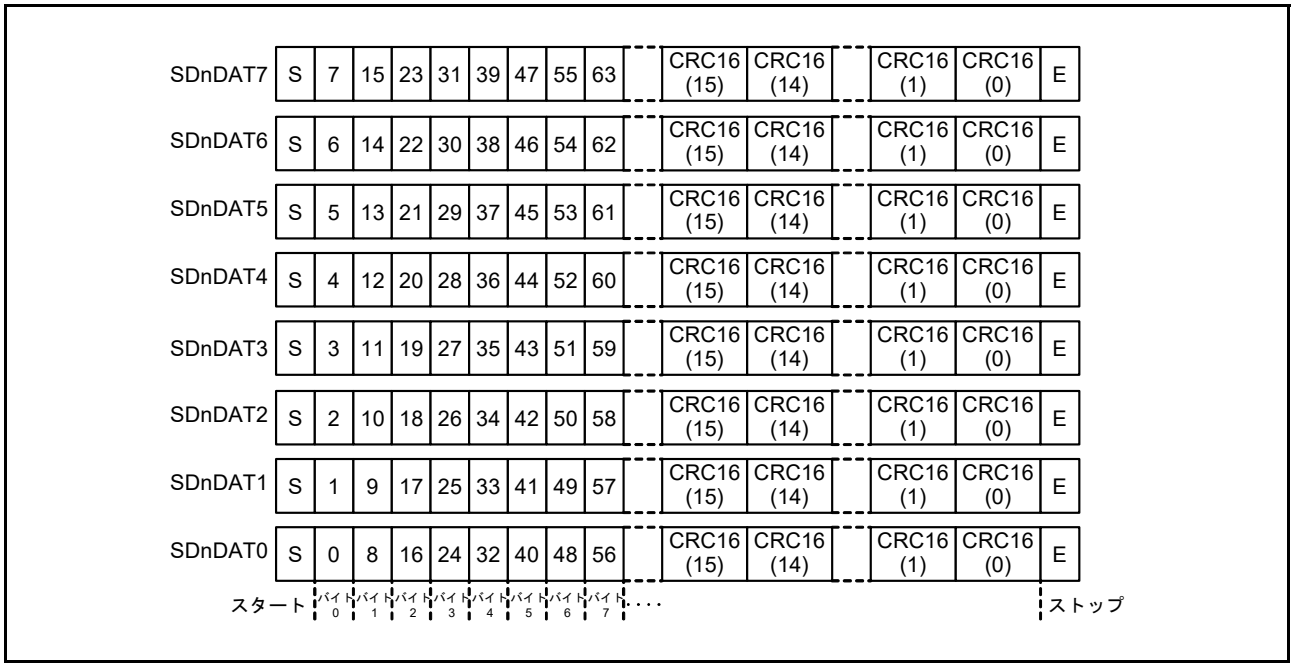


図 43.4　8 ビット幅モードの SDnDAT

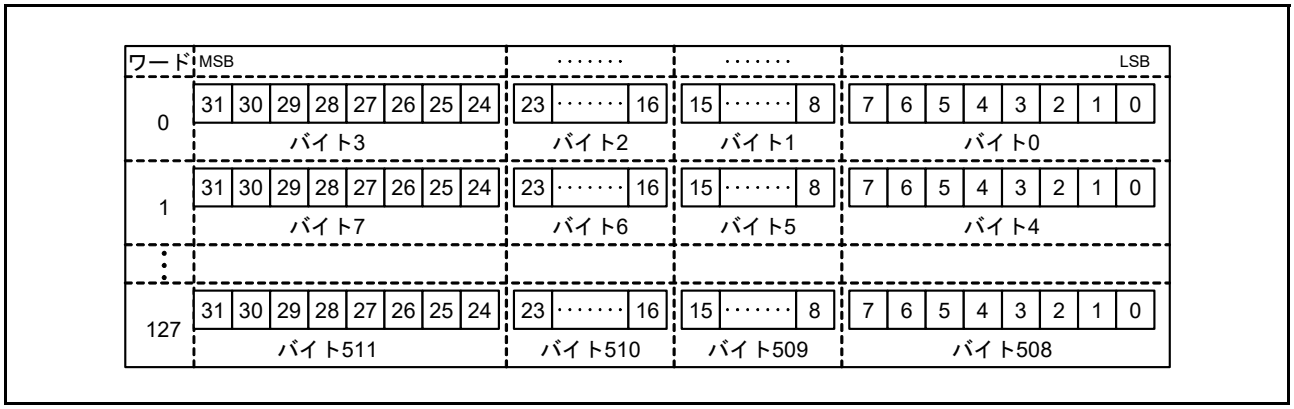


図 43.5　SD_BUF 格納データ

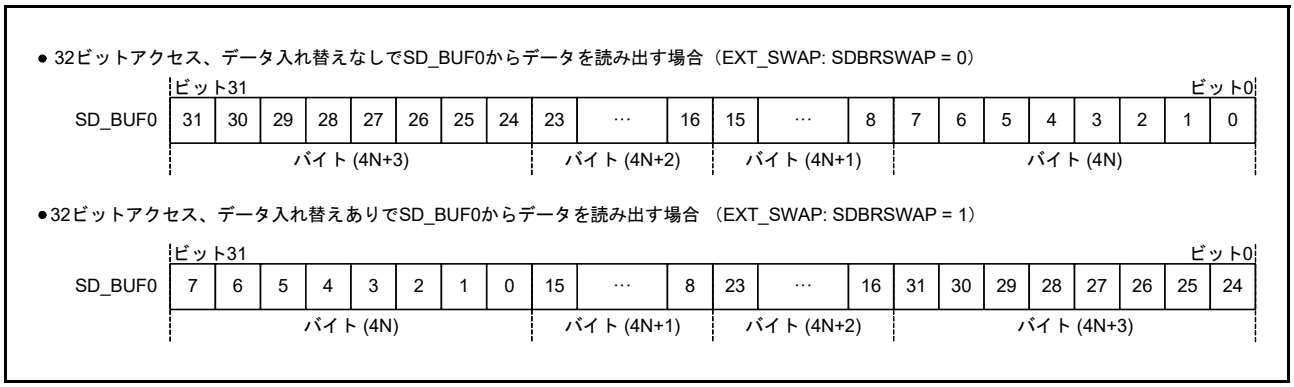


図 43.6　SD_BUF0 からの読み出し

43.3.2 カード検出／ライトプロテクト

43.3.2.1 カード検出

SD/MMC ホストインタフェースには 2 種類のカード検出機能があります。

(1) SDnCD（n = 0, 1）によるカード検出

SDnCD によるカード検出のタイミングを図 43.7 に示します。SDnCD はカードソケットに接続され、ホスト機器にプルアップします。プルアップ抵抗値は SD/MMC ホスト機器の仕様により決定します。

(2) カード挿入

SDnCD はカード挿入時にプルダウンします。このとき、SDnCD が Mcycle 期間（SD_OPTION で設定される）にわたってプルダウンすると、SD_INFO1 の SDCDIN が 1 になります。0 書き込みで 0 になります。

(3) カード抜去

SDnCD はカード抜去時にプルアップします。このとき、SDnCD が Mcycle 期間（SD_OPTION で設定される）にわたってプルアップすると、SD_INFO1 の SDCDRM が 1 になります。0 書き込みで 0 になります。

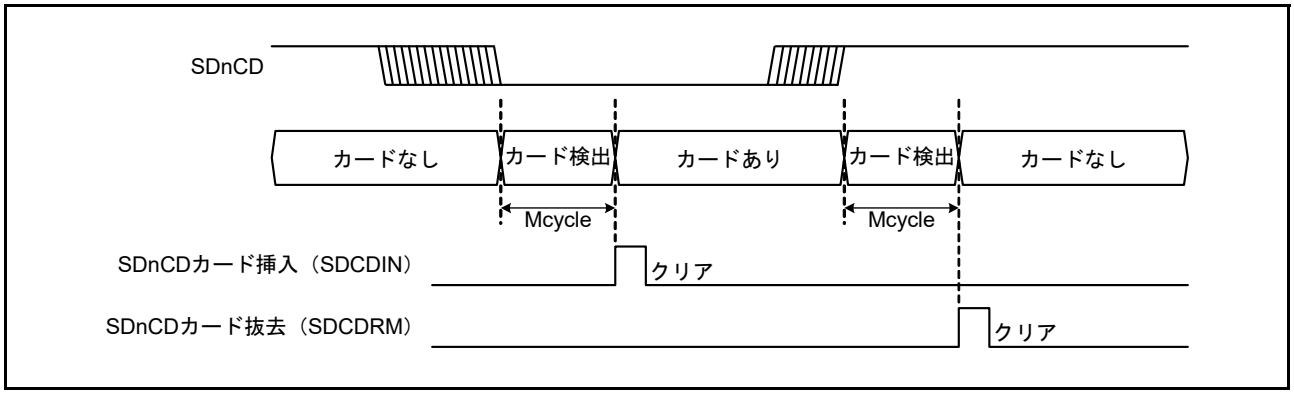


図 43.7 SDnCD によるカード検出例

(4) SDnDAT3（n = 0, 1）による SD カード検出

SDnDAT3 による SD カード検出時のタイミングを図 43.8 に示します。また、SDnDAT3 はホスト機器によってプルダウンし、プルダウン抵抗値は SD ホスト機器により決定します。

(5) カード挿入

SD カードが挿入されると、SDnDAT3 がプルアップし、SD_INFO1 の SDD3IN が 1 になります。0 書き込みで 0 になります。

(6) カード抜去

SD カードが抜去されると、SDnDAT3 がプルダウンし、SD_INFO1 の SDD3RM が 1 になります。0 書き込みで 0 になります。

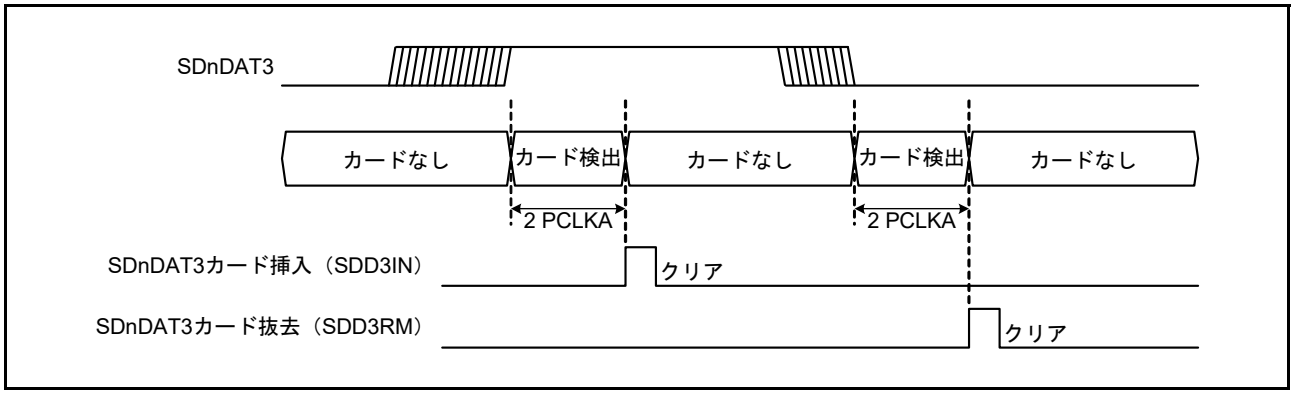


図 43.8 SDnDAT3 による SD カード検出

43.3.2.2 ライトプロテクト

SD/MMC ホストインタフェースには 2 種類のライトプロテクト機能があります。

(1) SDnWP（n = 0, 1）によるライトプロテクト

SDnWP はカードソケットに接続され、カード挿入によりプルアップまたはプルダウンします。プルアップまたはプルダウンの選択および抵抗値は SD ホスト機器の仕様により決定します。SDnWP ステートが SD_INFO1 の SDWPMON に反映されると、SD カードの挿入後にライトプロテクトステートが設定されます。

(2) コマンドによるライトプロテクト

カードの内部的なライトプロテクトおよびカードのロック／アンロック動作はコマンドによって実現します。

43.3.3 割り込み要求と DMA 転送要求

43.3.3.1 割り込み

SDHI の割り込み要因を表 43.5 に示します。SDHI は、以下の場合に割り込みを要求します。

- SD_INFO1、SD_INFO2、および SDIO_INFO1 レジスタの各ステータスフラグが 1 になっている
- SD_INFO1_MASK、SD_INFO2_MASK、および SDIO_INFO1_MASK レジスタの関連ビットが 0 である

SD_INFO1、SD_INFO2、および SDIO_INFO1 レジスタの各ステータスフラグをクリアする場合は、クリアするステータスフラグに 0 を、それ以外のステータスフラグには 1 を書き込んでください。

表 43.5 割り込み要因

割り込み要因	ステータスフラグレジスタ		割り込みマスクレジスタ		割り込み名称	
	レジスタ	ビット	レジスタ	ビット	Ch 0	Ch 1
カードアクセス割り込み（CACI）	SD_INFO1	ACEND	SD_INFO1_MASK	ACENDM	SDHI_MMC0_ACCS	SDHI_MMC1_ACCS
		RSPEND		RSPENDM		
	SD_INFO2	ILA	SD_INFO2_MASK	ILAM		
		BWE		BWEM		
		BRE		BREM		
		RSPTO		RSPTOM		
		ILR		ILRM		
		ILW		ILWM		
		DTO		DTOM		
		ENDE		ENDEM		
		CRCE		CRCEM		
		CMDE		CMDEM		
SDIOアクセス割り込み（SDACI）	SDIO_INFO1	EXWT	SDIO_INFO1_MASK	EXWTM	SDHI_MMC0_SDIO	SDHI_MMC1_SDIO
		EXPUB52		EXPUB52M		
		IOIRQ		IOIRQM		
カード検出割り込み（CDETI）	SD_INFO1	SDD3IN	SD_INFO1_MASK	SDD3INM	SDHI_MMC0_CARD	SDHI_MMC1_CARD
		SDD3RM		SDD3RMM		
		SDCDIN		SDCDINM		
		SDCDRM		SDCDRMM		

43.3.3.2 DMA 転送要求（SDHI_MMCn_ODMSDBREQ、n = 0 ～ 1）

SD/MMC ホストインタフェースには 2 種類の DMA 転送要求があります。

(1) SD_BUF のライト DMA 転送要求

- SD_DMAEN の DMAEN ビットが 1 のときに SD_INFO2 の BWE ビットを 1 にすると、SD_BUF のライト DMA 転送要求がアサートされる
- 1 ブロック（SD_SIZE に設定された転送データサイズに基づく）の最終データを転送すると、SD_BUF のライト DMA 転送要求がネゲートされる。SOFT_RST の SDRST ビットを 0 に変更するか、SD_STOP の STP ビットを 1 にすることによっても、SD_BUF のライト DMA 転送要求がネゲートされる。ただし、DMA 転送時に通信エラーまたはタイムアウトが発生した場合、SD_BUF のライト DMA 転送要求はネゲートされない
- DMA 転送による SD_BUF への書き込み要求に続いて 1 ブロックの最終データを転送した後、SD_INFO2 の BWE ビットがクリアされる
- DMA 転送数は n x 1 ブロックにする必要がある（n = 整数、1 ブロック = SD_SIZE に設定された転送データサイズ）
- SDIO_MODE の IOABT ビットを 1 にすると、SD_BUF のライト DMA 転送要求がネゲートされる
- DMAEN ビットを 0 にすることによっても、DMA 転送要求がネゲートされる。ただし、SD_CMD への書き込み前に DMAEN ビットを 1 にすると、DMA 転送要求は再びアサートされる
- STP/IOABT ビットを設定しても、また通信エラーまたはタイムアウトが発生しても、SD_INFO2 の BWE ビットはクリアされないため、次のコマンドを送信する前に 0 にクリアする。BWE ビットが設定されている場合、DMA 転送で SD_BUF に書き込む次の要求は送信されない

(2) SD_BUF のリード DMA 転送要求

- SD_DMAENレジスタのDMAENビットが1のときにSD_INFO2のBREビットを1にすると、SD_BUFのリードDMA転送要求がアサートされる
- 1ブロック（SD_SIZEに設定された転送データサイズに基づく）の最終データを転送すると、SD_BUFのリードDMA転送要求がネゲートされる。SOFT_RSTのSDRSTビットを0に変更するか、SD_STOPのSTPビットを1にすることによっても、SD_BUFのリードDMA転送要求がネゲートされる。ただし、DMA転送時に通信エラーまたはタイムアウトが発生した場合、SD_BUFのリードDMA転送要求はネゲートされない
- DMA転送によるSD_BUFへの書き込み要求に続いて1ブロックの最終データを転送した後、SD_INFO2のBREビットがクリアされる
- DMA転送数はn x 1ブロックにする必要がある（n＝整数、1ブロック＝SD_SIZEに設定された転送データサイズ）
- SDIO_MODEのIOABTを1にすると、SD_BUFのリードDMA転送要求がネゲートされる
- DMAENビットを0にすることによっても、DMA転送要求がネゲートされる。ただし、SD_CMDへの書き込み前にDMAENビットを1にすると、DMA転送要求は再びアサートされる
- STP/IOABTビットを設定しても、また通信エラーまたはタイムアウトが発生しても、SD_INFO2のBREビットはクリアされないため、次のコマンドを送信する前に0にクリアする。BREビットが設定されている場合、DMA転送でSD_BUFに書き込む次の要求は送信されない

43.3.4 通信エラーとタイムアウト

通信エラーまたはタイムアウトが発生すると、発生したエラーの種類により、SD_INFO2レジスタの対応するステータスフラグが1になります。また、発生したエラー要因により、SD_ERR_STS1またはSD_ERR_STS2レジスタの対応するステータスフラグが1になります。

SD_ERR_STS1レジスタとSD_ERR_STS2レジスタの各ステータスフラグは、SD_CMDレジスタに書き込むか、SOFT_RST.SDRSTビットを0にすることで0になります。

表 43.6 通信エラー

通信エラー	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ	ビット	レジスタ	ビット	
エンドビットエラー	SD_INFO2	ENDE	SD_ERR_STS1	CRCLENE	CRC statusトークン長がエラーのとき
				RDLENE	リードデータ長がエラーのとき
				RSPLENE1	レスポンス長がエラーのとき（注1）
				RSPLENE0	レスポンス長がエラーのとき（注2）
CRCエラー		CRCE		CRCTKE	CRC statusトークンがエラーのとき
				RDCRCE	リードデータにCRCエラーがあるとき
				RSPCRCE1	レスポンスにCRCエラーがあるとき（注1）
				RSPCRCE0	レスポンスにCRCエラーがあるとき（注2）
コマンドエラー		CMDE		CMDE1	送信したコマンドと受信したレスポンスのcommand indexフィールド値が異なるとき（注1）
				CMDE0	送信したコマンドと受信したレスポンスのcommand indexフィールド値が異なるとき（注2）

注 1. SD_CMDでマルチブロック転送の自動送信が有効な場合はCMD12、SD_STOPのSTPビットが1の場合はCMD12、SDIO_MODEのC52PUBビットまたはIOABTビットが1の場合はCMD52

注 2. SD_CMDでマルチブロック転送の自動送信が有効な場合はCMD12以外のCMD、SD_STOPのSTPビットが1の場合はCMD12、SDIO_MODEのC52PUBビットまたはIOABTビットが1の場合はCMD52

表 43.7 タイムアウト

タイムアウト	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ	ビット	レジスタ	ビット	
レスポンスタイムアウト	SD_INFO2	RSPTO	SD_ERR_STS2	RSPTO1	SDHIクロックで640サイクル以上経過してもレスポンスを受信しないとき（注1）
				RSPTO0	SDHIクロックで640サイクル以上経過してもレスポンスを受信しないとき（注2）
データタイムアウト（レスポンスタイムアウト除く）		DTO		CRCBSYTO	CRC statusトークン受信後、指定期間（注3）以上ビジー状態のとき
				CRCTO	ライトデータを送信した後、指定期間（注3）以上経過してもCRC statusトークンを受信しないとき
				RDTO	リードコマンドの後、指定期間（注3）以上経過してもリードデータを受信しないとき
					リードデータ受信の後、指定期間（注3）以上経過しても次ブロックリードデータを受信しないとき
					SDHIのRead Wait解除の後、指定期間（注3）以上経過しても次ブロックリードデータを受信しないとき
				BSYTO1	コマンドシーケンス中のCMD12送信の後、指定期間（注3）以上ビジー状態のとき
				BSYTO0	R1bレスポンスの後、指定期間（注3）以上ビジー状態のとき（コマンドシーケンス中のCMD12以外のコマンド）

注 1. SD_CMD でマルチブロック転送の自動送信が有効な場合は CMD12、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注 2. SD_CMD でマルチブロック転送の自動送信が有効な場合は CMD12 以外の CMD、SD_STOP の STP ビットが 1 の場合は CMD12、SDIO_MODE の C52PUB ビットまたは IOABT ビットが 1 の場合は CMD52

注 3. SD_OPTION.TOP[3:0] ビットで指定します。

43.3.5 データ転送を行わないコマンド（SD/MMC）

図 43.9 および図 43.10 に、フロー例を示しています。

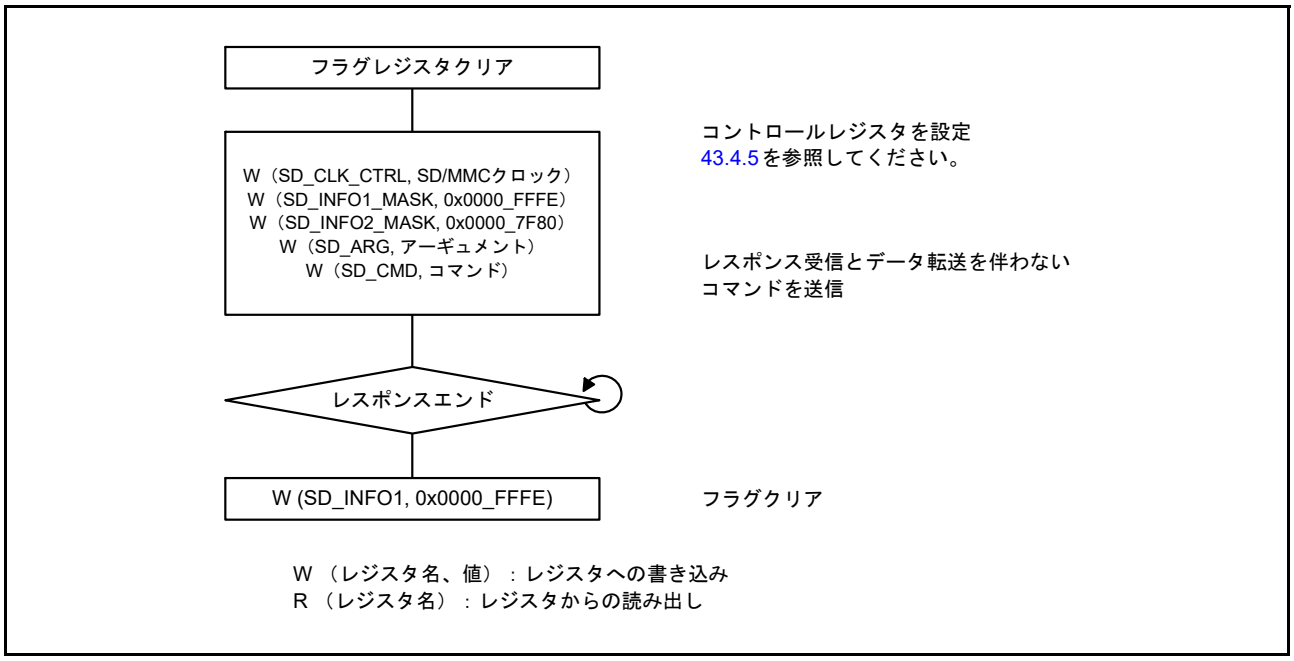


図 43.9 レスポンスおよびデータがないコマンドのフロー例

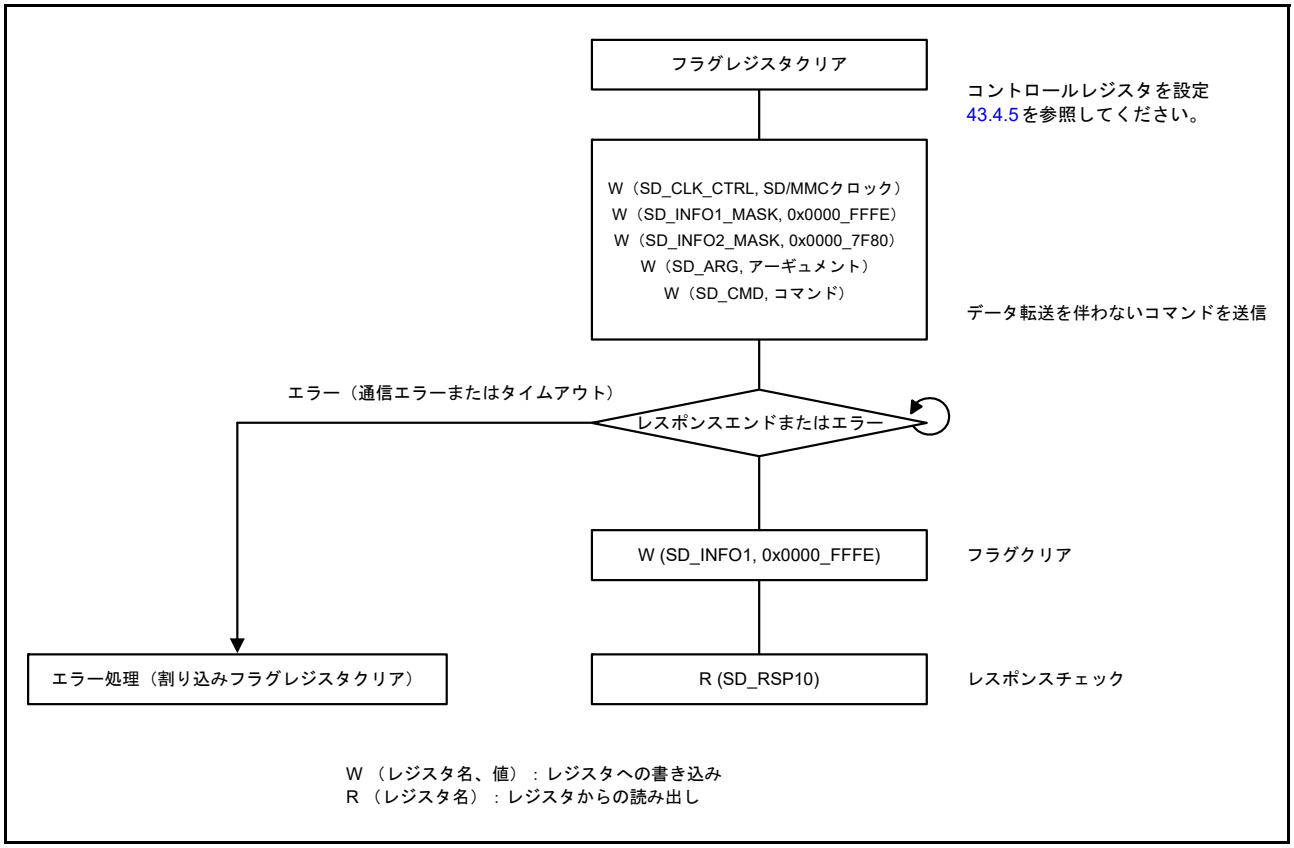


図 43.10 データがないコマンドのフロー例

43.3.5.1 データ転送を行わないコマンドの動作

レジスタ読み出し／書き込みの説明には以下の記号を使用します。

W（レジスタ名称、値）：レジスタに書き込む

R（レジスタ名称）：レジスタから読み出す

動作について以下に説明します。

(1) レスポンスとデータがないコマンド

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1およびSD_INFO2）のビットをクリアする

b. コントロールレジスタ設定
SD/MMCクロック、割り込みマスク（SD_CLK_CTRL、SD_INFO1_MASK、および
SD_INFO2_MASK）を設定する

c. コマンド送信
SD_ARGのCMDアーギュメントを設定し、SD_CMDに書き込む
これにより、CMDが送信され、動作が開始する

d. フラグクリア
コマンドの送信が完了すると、割り込みを発生させるためにSD_INFO1のRSPEND（レスポンスエンド）が1になる。RSPENDを0にクリアする

(2) データがないコマンド

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1およびSD_INFO2）のビットをクリアする

b. コントロールレジスタ設定
SD/MMCクロック、割り込みマスク（SD_CLK_CTRL、SD_INFO1_MASK、および
SD_INFO2_MASK）を設定する

c. コマンド送信
SD_ARGのCMDアーギュメントを設定し、SD_CMDに書き込む
これにより、CMDが送信され、動作が開始する

d. フラグクリア
レスポンスが受信されると、割り込みを発生させるためにSD_INFO1のRSPEND（レスポンスエンド）が1になる。RSPENDを0にクリアする

e. SD_RSP10からレスポンスを読み出す。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を行う

43.3.6 シングルブロックリード（SD/MMC）

図 43.11 にシングルブロックリード動作のフロー例を示します。

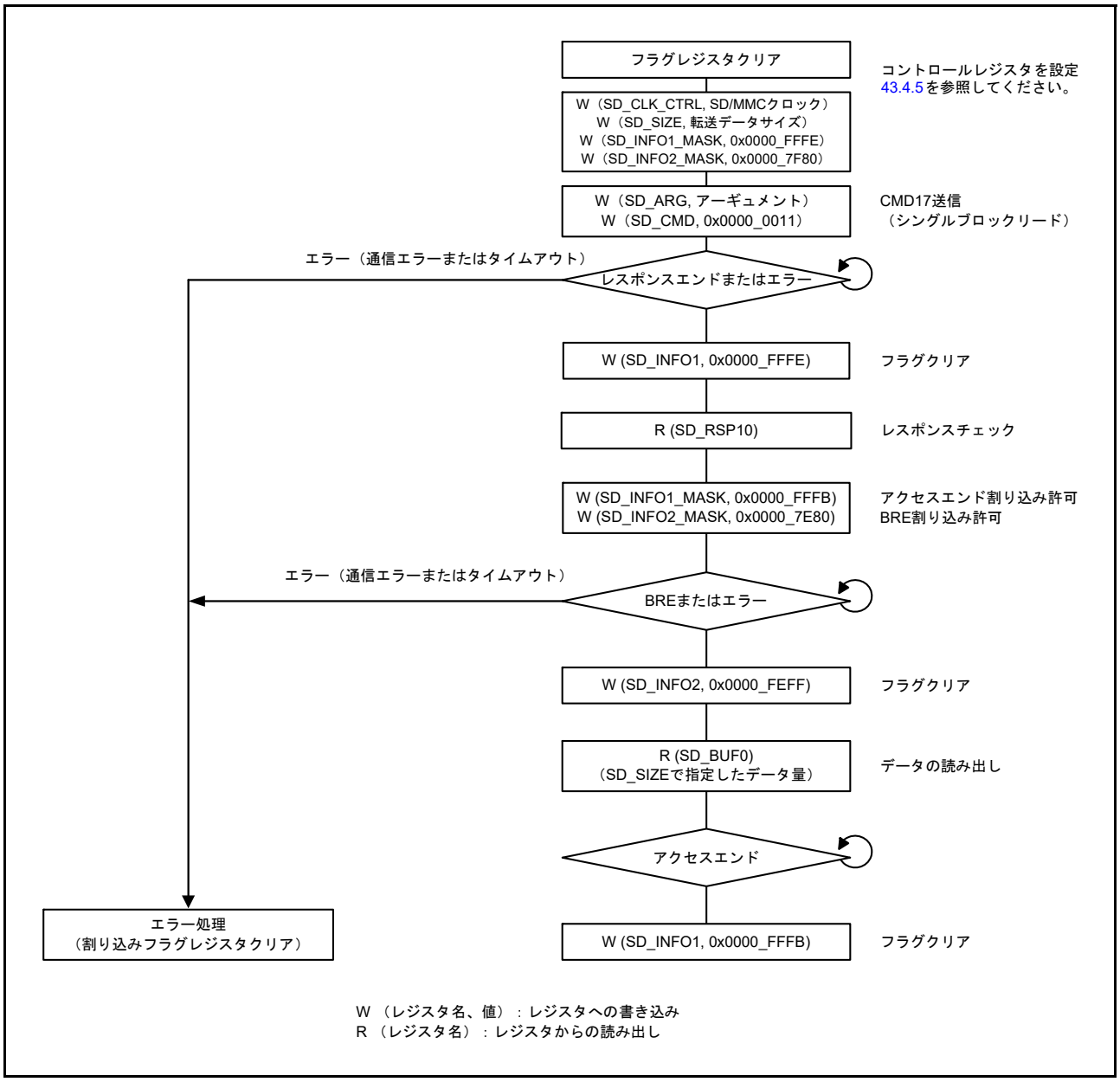


図 43.11 シングルブロックリード動作のフロー例

43.3.6.1 シングルブロックリード動作

シングルブロックリード動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1およびSD_INFO2）のビットをクリアする

b. コントロールレジスタ設定
SD/MMCクロック、データ転送サイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、およびSD_INFO2_MASK）を設定する

c. コマンド送信（CMD17）
SD_ARGのCMD17アーギュメントを設定し、SD_CMDに0x0000_0011を書き込む。CMD17が送信され、シングルブロックリード動作が開始する

d. レスポンスチェック
レスポンスが受信されると、割り込みを発生させるためにSD_INFO1のRSPEND（レスポンスエンド）が1になる。RSPENDを0にクリアし、SD_RSP10からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD_STPのSTPビットまたはSDIO_MODEのIOABTビットを1にすることでコマンドシーケンスを停止できる。また、これによりCMD12とCMD52が送信されなくなる。
SD_INFO1のACENDビット（アクセスエンド）が設定されている場合、コマンドシーケンスを停止すると割り込みが発生する

e. SDカード／MMCからのデータ受信とデータ読み出し
SD_INFO1_MASKに0x0000_FFFBを書き込み、アクセスエンド割り込みを有効にする。さらに、SD_INFO2_MASKに0x0000_7E80を書き込み、BRE割り込みを有効にする。SDカード／MMCからのデータ受信が完了すると、割り込みを発生させるためにSD_INFO2のBREビットが1になる。BREビットを0にクリアし、SD_SIZEに指定されたデータ量をSD_BUF0から読み出す。SD_BUF0の読み出し中にデータが受信されていると、通信エラーまたはタイムアウトが発生する場合がある

f. 動作完了
SD_BUF0からのデータ読み出しが完了すると、割り込みを発生させるためにSD_INFO1のACEND（アクセスエンド）が1になる。ACENDを0にクリアし、シングルブロックリード動作を終了する。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を行う

43.3.7 シングルブロックライト（SD/MMC）

図 43.12 にシングルブロックライト動作のフロー例を示します。

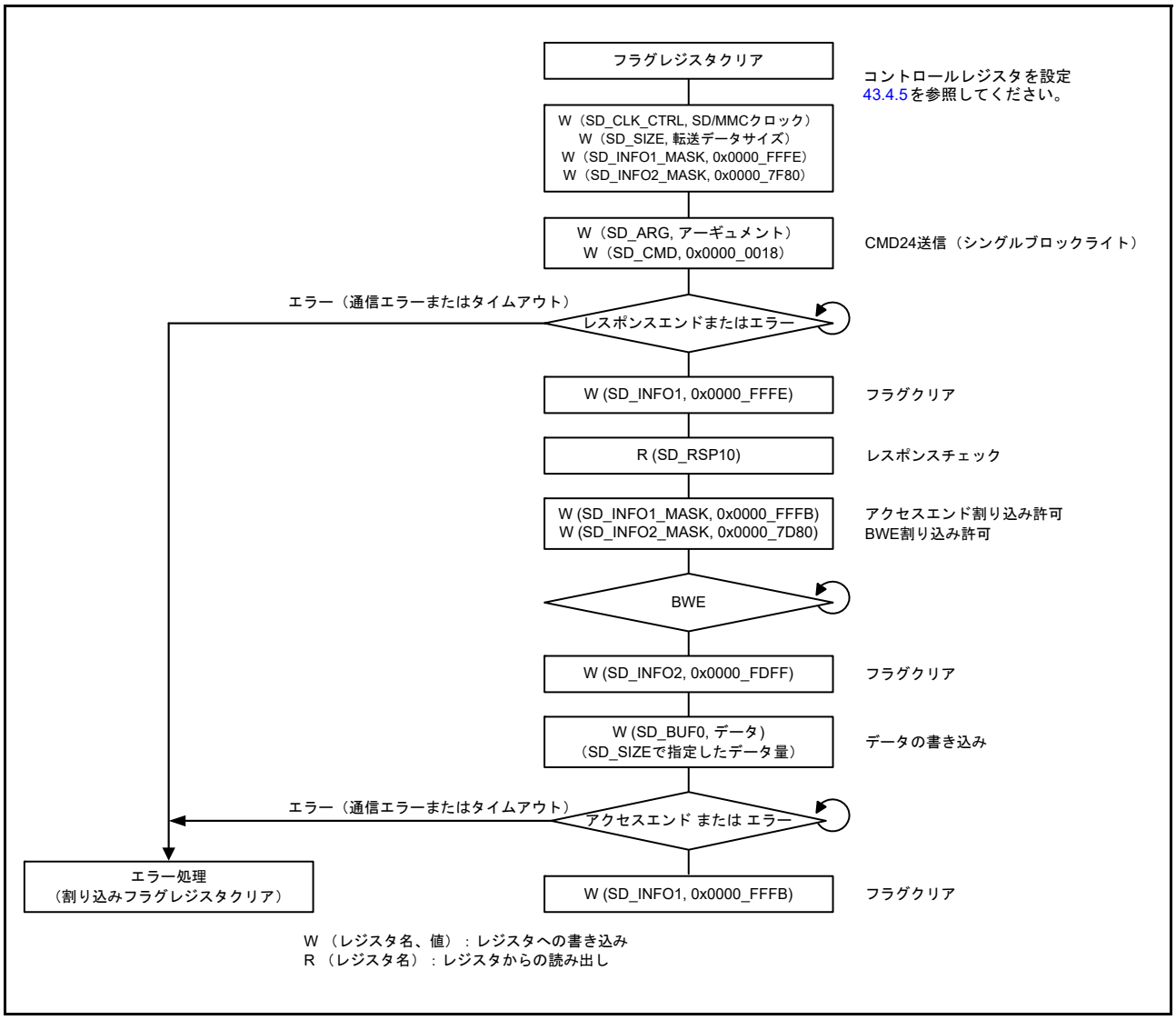


図 43.12 シングルブロックライト動作の例

43.3.7.1 シングルブロックライト動作

シングルブロックライト動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1およびSD_INFO2）のビットをクリアする

b. コントロールレジスタ設定
SD/MMCクロック、データ転送サイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、およびSD_INFO2_MASK）を設定する

c. コマンド送信（CMD24）
SD_ARGのCMD24アーギュメントを設定し、SD_CMDに0x0000_0018を書き込む。CMD24が送信され、シングルブロックライト動作が開始する

d. レスポンスチェック
レスポンスが受信されると、割り込みを発生させるためにSD_INFO1のRSPEND（レスポンスエンド）が1になる。RSPENDを0にクリアし、SD_RSP10からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD_STPのSTPビットまたはSDIO_MODEのIOABTビットを1にすることでコマンドシーケンスを停止できる。また、これによりCMD12とCMD52が送信されなくなる。
SD_INFOのACENDビット（アクセスエンド）が設定されている場合、コマンドシーケンスを停止すると割り込みが発生する

e. データ書き込みとSDカード／MMCへのデータ送信
SD_INFO1_MASKに0x0000_FFFBを書き込み、アクセスエンド割り込みを有効にする。さらに、SD_INFO2_MASKに0x0000_7D80を書き込み、BWE割り込みを有効にする。SD_BUF0でデータの書き込みが可能になると、割り込みを発生させるためにSD_INFO2のBWEビットが1になる。BWEビットを0にクリアし、SD_SIZEに指定されたデータ量をSD_BUF0に書き込む。SD_BUF0へのデータ書き込みが完了すると、SDカードにデータが送信される。その後、SDカード／MMCからCRC statusとビジー状態が受信される。ただし、SD_BUF0への書き込み後にデータが送信されていると、通信エラーまたはタイムアウトが発生する場合がある

f. 動作完了
CRC statusとビジー状態がSDカード／MMCから受信されると、割り込みを発生させるためにSD_INFO1のACEND（アクセスエンド）が1になる。ACENDビットを0にクリアし、シングルブロックライト動作を終了する。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を行う

43.3.8 マルチブロックリード（SD/MMC）

図 43.13 にマルチブロックリード動作のフロー例を示します。

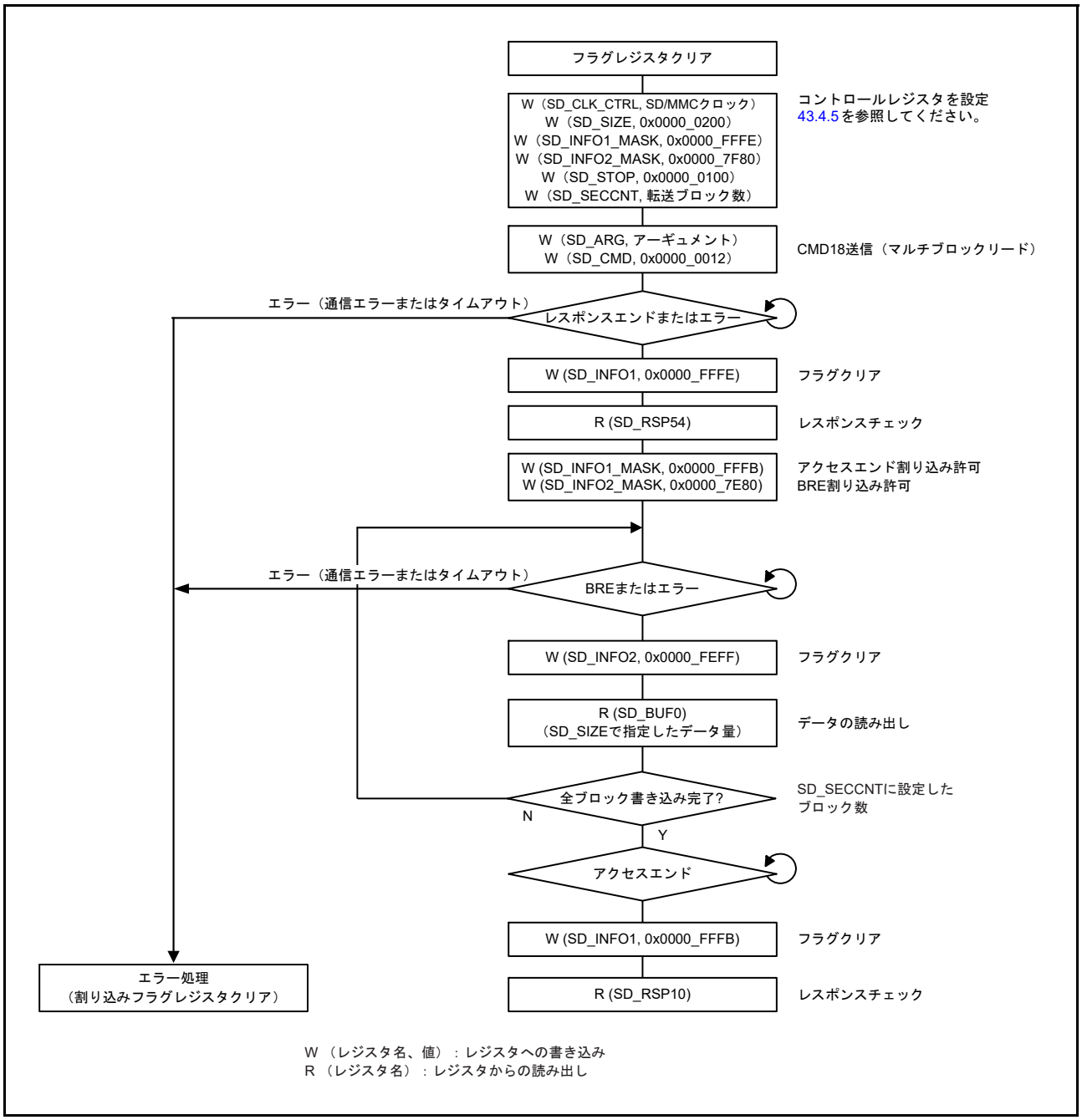


図 43.13 マルチブロックリード動作の例

43.3.8.1 マルチブロックリード動作

マルチブロックリード動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1およびSD_INFO2）のビットをクリアする

b. コントロールレジスタ設定
SD/MMCクロック、データ転送サイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、およびSD_INFO2_MASK）を設定する
SD_STOPのSECを1にして、SD_SECCNTに転送ブロック数を設定する

c. コマンド送信（CMD18）
SD_ARGのCMD18アーギュメントを設定し、SD_CMDに0x0000_0012を書き込む。CMD18が送信され、マルチブロックリード動作が開始する

d. レスポンスチェック
レスポンスが受信されると、割り込みを発生させるためにSD_INFO1のRSPEND（レスポンスエンド）が1になる。RSPENDを0にクリアし、SD_RSP54からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD_STPのSTPビットを1にすることでコマンドシーケンスを停止できる。また、STPビットを1にすると、CMD12が送信され、レスポンスが受信される。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信完了時にSD_INFO1のACENDビット（アクセスエンド）を1にすることで割り込みが発生する。ACENDビットを0にクリアし、レスポンスを読み出す

e. SDカード／MMCからのデータ受信とデータ読み出し
SD_INFO1_MASKに0x0000_FFFBを書き込み、アクセスエンド割り込みを有効にする。さらに、SD_INFO2_MASKに0x0000_7E80を書き込み、BRE割り込みを有効にする。SDカード／MMCからの1ブロックデータ受信が完了すると、割り込みを発生させるためにSD_INFO2のBREビットが1になる。BREビットを0にクリアし、SD_SIZEに指定されたデータ量をSD_BUF0から読み出す。これにより、SD_SECCNTに設定されたブロック数の転送が繰り返される。ただし、SD_BUF0の読み出し中にデータが受信されていると、通信エラーまたはタイムアウトが発生する場合がある。
SD_SECCNTに設定されているブロック数でマルチブロック転送を停止するためにCMD12が自動送信され、レスポンスが受信される。このとき、CMD12アーギュメントが0x0000_0000に自動設定される

f. 動作完了
すべてのブロックデータ読み出しとCMD12レスポンス受信が完了すると、割り込みを発生させるためにSD_INFO1のACEND（アクセスエンド）が1になる。ACENDを0にクリアし、レスポンスを読み出す。これでマルチブロックリード動作が終了する。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を行う

43.3.9 マルチブロックライト（内蔵タイマによる SD/MMC）

図 43.14 に内蔵タイマによるマルチブロックライトのフロー例を示します。

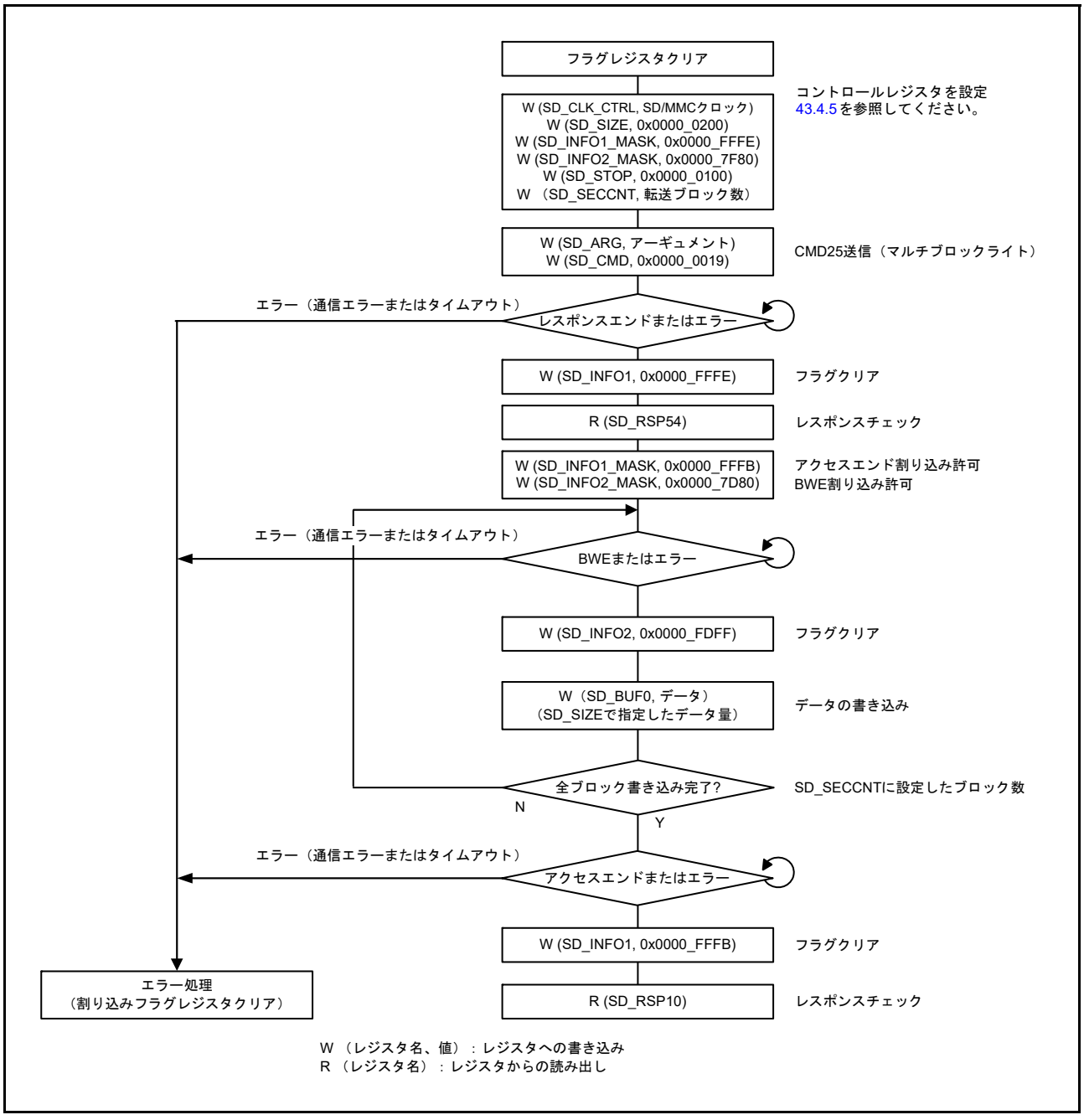


図 43.14 内蔵タイマによるマルチブロックライト動作の例

43.3.9.1 内蔵タイマによるマルチブロックライト動作

マルチブロックライト動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1およびSD_INFO2）のビットをクリアする

b. コントロールレジスタ設定
SD/MMCクロック、データ転送サイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、およびSD_INFO2_MASK）を設定する。
SD_STOPのSECビットを1にして、SD_SECCNTに転送ブロック数を設定する

c. コマンド送信（CMD25）
SD_ARGのCMD25アーギュメントを設定し、SD_CMDに0x0000_0019を書き込む。CMD25が送信され、マルチブロックライト動作が開始する

d. レスポンスチェック
レスポンスが受信されると、割り込みを発生させるためにSD_INFO1のRSPEND（レスポンスエンド）が1になる。RSPENDビットを0にクリアし、SD_RSP54からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD_STPのSTPビットを1にすることでコマンドシーケンスを停止できる。また、STPビットを1にすると、CMD12が送信され、レスポンスが受信される。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信完了時にSD_INFO1のACENDビット（アクセスエンド）を1にすることで割り込みが発生する。ACENDビットを0にクリアし、レスポンスを読み出す

e. データ書き込みとSDカード／MMCへのデータ送信
SD_INFO1_MASKに0x0000_FFFBを書き込み、アクセスエンド割り込みを有効にする。さらに、SD_INFO2_MASKに0x0000_7D80を書き込み、BWE割り込みを有効にする。SD_BUF0でデータの書き込みが可能になると、割り込みを発生させるためにSD_INFO2レジスタのBWEビットが1になる。BWEビットを0にクリアし、SD_SIZEに指定されたデータ量をSD_BUF0に書き込む。SD_BUF0へのデータ書き込みが完了すると、SDカード／MMCにデータが送信される。SDカード／MMCからCRC statusとビジー状態が受信される。これにより、SD_SECCNTに設定されたブロック数の転送が繰り返される。ただし、SD_BUF0への書き込み中にデータが受信されていると、通信エラーまたはタイムアウトが発生する場合がある。SD_SECCNTに設定されているブロック数でマルチブロック転送を停止するためにCMD12が自動送信され、レスポンスが受信される。このとき、CMD12アーギュメントが0x0000_0000に自動設定される

f. 動作完了
すべてのブロックデータ送信とCRC status受信が完了すると、割り込みを発生させるためにSD_INFO1のACENDビット（アクセスエンド）が1になる。ACENDビットを0にクリアし、レスポンスを読み出す。これでマルチブロックライト動作が終了する。なお、通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を行う

43.3.10 マルチブロックライト（外付けタイマによる MMC）

図 43.15 に外付けタイマによるマルチブロックライトのフロー例を示します。

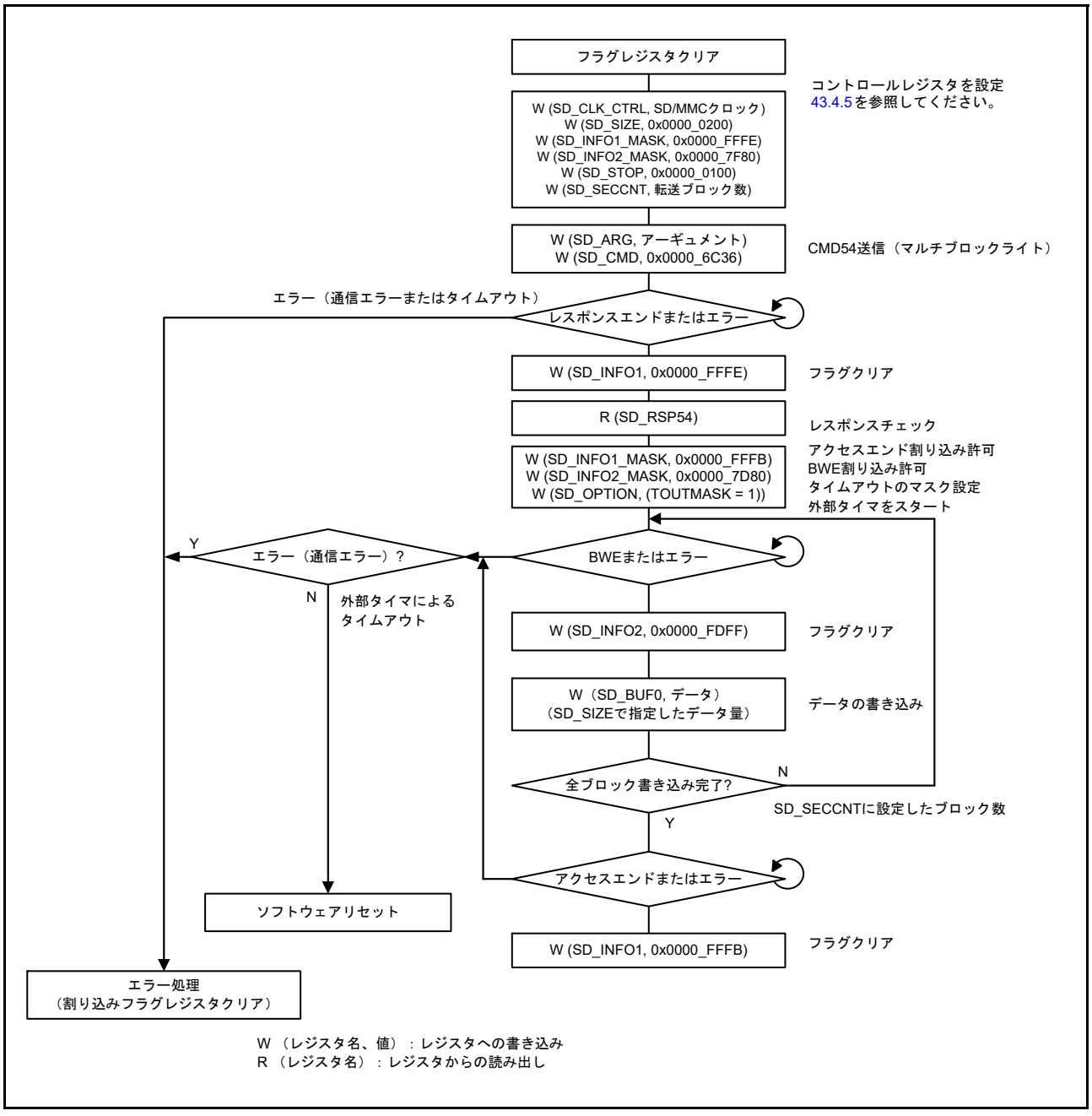


図 43.15 外付けタイマによるマルチブロックライト動作の例

43.3.10.1 外付けタイマによるマルチブロックライト動作

マルチブロックライト動作について以下に説明します。

a. フラグレジスタクリア
最初にフラグレジスタ（SD_INFO1およびSD_INFO2）のビットをクリアする

b. コントロールレジスタ設定
MMCクロック、データ転送サイズ、割り込みマスク（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、およびSD_INFO2_MASK）を設定する
SD_STOPのSECビットを1にして、SD_SECCNTに転送ブロック数を設定する

c. コマンド送信（CMD54）
SD_ARGのCMD54アーギュメントを設定し、SD_CMDに0x0000_6C36を書き込む。CMD54が送信され、マルチブロックライト動作が開始する

d. レスポンスチェック
レスポンスが受信されると、割り込みを発生させるためにSD_INFO1のRSPEND（レスポンスエンド）が1になる。RSPENDビットを0にクリアし、SD_RSP54からレスポンスを読み出す。レスポンスの復号結果がエラーの場合、SD_STPのSTPビットを1にすることでコマンドシーケンスを停止できる。また、STPビットを1にすると、CMD12が送信され、レスポンスが受信される。アクセスエンド割り込みが許可されているためにコマンドシーケンスが停止した場合、レスポンスの受信完了時にSD_INFO1のACENDビット（アクセスエンド）を1にすることで割り込みが発生する。ACENDビットを0にクリアし、レスポンスを読み出す

e. データ書き込みとMMCへのデータ送信
SD_INFO1_MASKに0x0000_FFFBを書き込んでアクセスエンド割り込みを許可し、SD_INFO2_MASKに0x0000_7D80を書き込んでBWE割り込みを許可し、SD_OPTIONのTOUTMASKを1にしてタイムアウトを無効にする。さらに、外付けタイマを開始する。SD_BUF0でデータの書き込みが可能になると、割り込みを発生させるためにSD_INFO2レジスタのBWEビットが1になる。BWEビットを0にクリアし、SD_SIZEに指定されたデータ量をSD_BUF0に書き込む。SD_BUF0へのデータ書き込みが完了すると、MMCにデータが送信される。MMCからCRC statusとビジー状態が受信される。これにより、SD_SECCNTに設定されたブロック数の転送が繰り返される。ただし、SD_BUF0への書き込み中にデータが受信されていると、通信エラーまたはタイムアウトが発生する場合がある

f. 動作完了
すべてのブロックデータ送信とCRC status受信が完了すると、割り込みを発生させるためにSD_INFO1のACENDビット（アクセスエンド）が1になる。ACENDビットを0にクリアし、レスポンスを読み出す。これでマルチブロックライト動作が終了する。なお、レスポンス受信時に通信エラーまたはタイムアウトが発生した場合、エラー処理（割り込みフラグレジスタのクリア）を行う。データ送信時に外付けタイマによるタイムアウトが発生した場合、ソフトウェアリセットを実行する

43.3.11 IO_RW_DIRECT コマンド（SD：CMD52）

図 43.16 に IO_DIRECT コマンド（CMD52）動作のフロー例を示します。

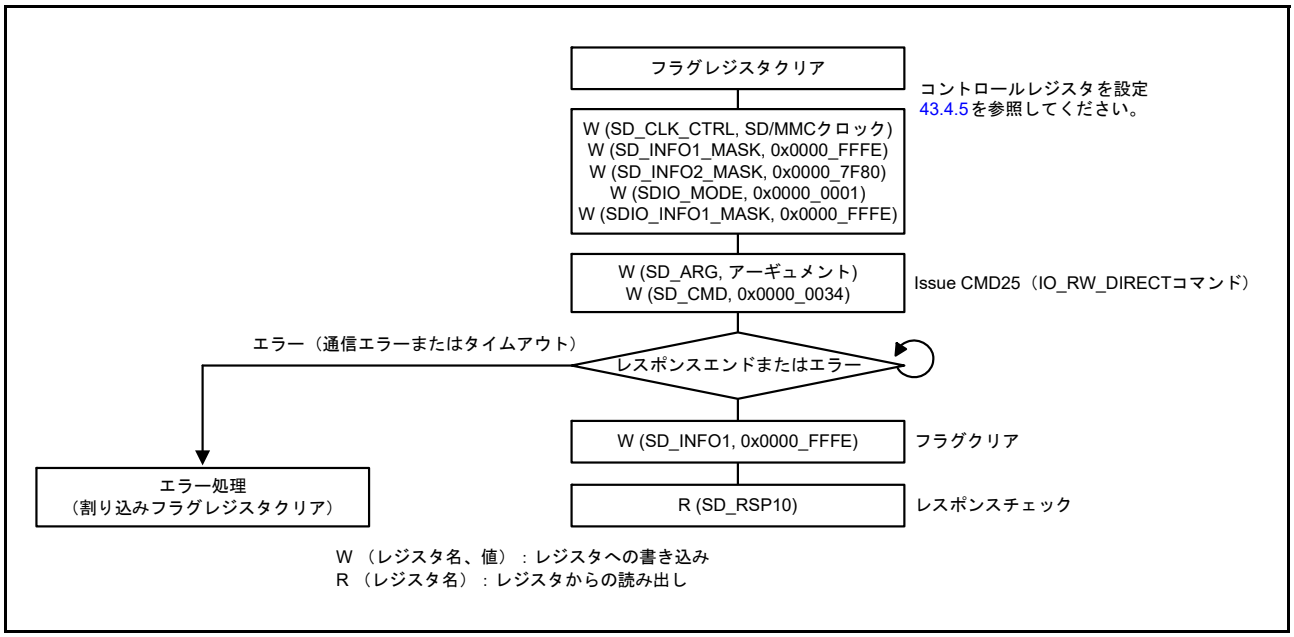


図 43.16 IO_RW_DIRECT コマンド（CMD52）動作の例

43.3.12 IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックリード）

図 43.17 に CMD53 マルチブロックリード動作のフロー例を示します。

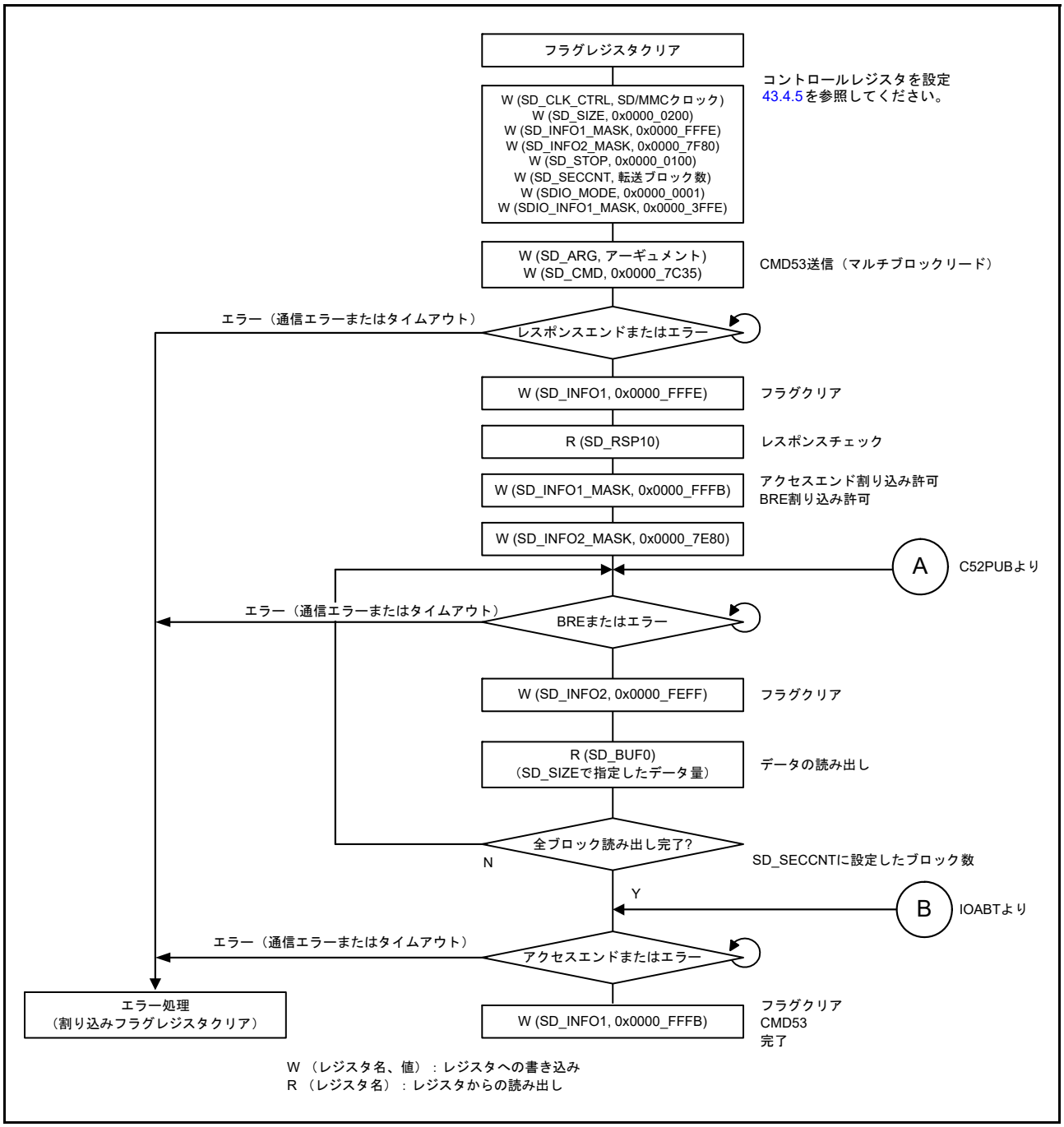


図 43.17 マルチブロックリード動作の IO_RW_EXTENDED コマンド（CMD53）の例

CMD53 マルチブロックリード時に CMD52（SDIO abort）が送信される場合のフロー例を図 43.18 に示します。

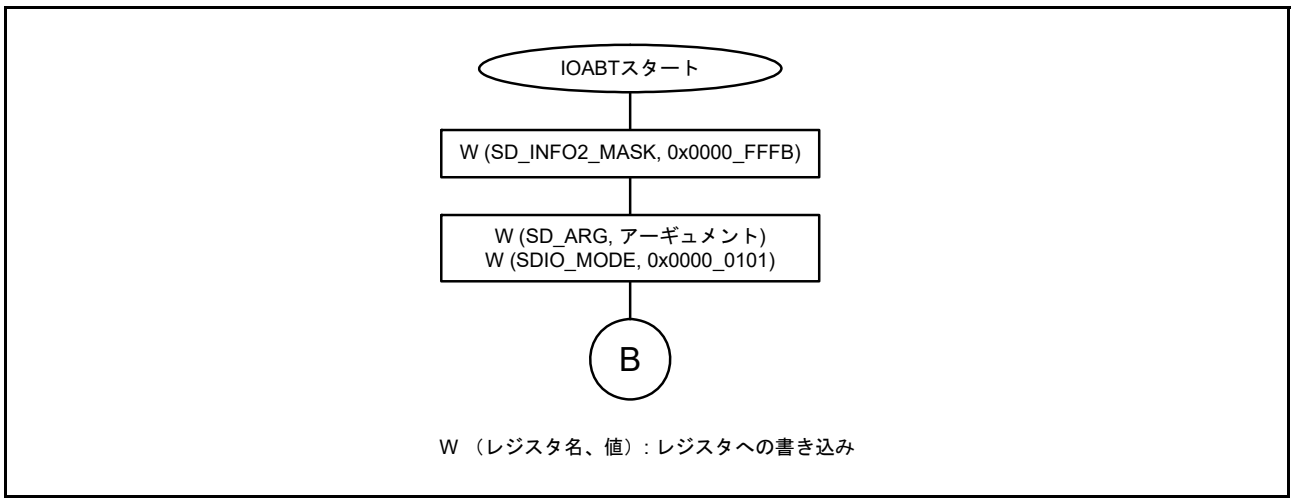


図 43.18 CMD53 マルチブロックリード時に CMD52（SDIO abort）が送信される場合のフロー

SDHI が Read Wait 状態で、CMD53 マルチブロックリード時に CMD52（SDIO none abort）が送信される場合のフロー例を図 43.19 に示します。

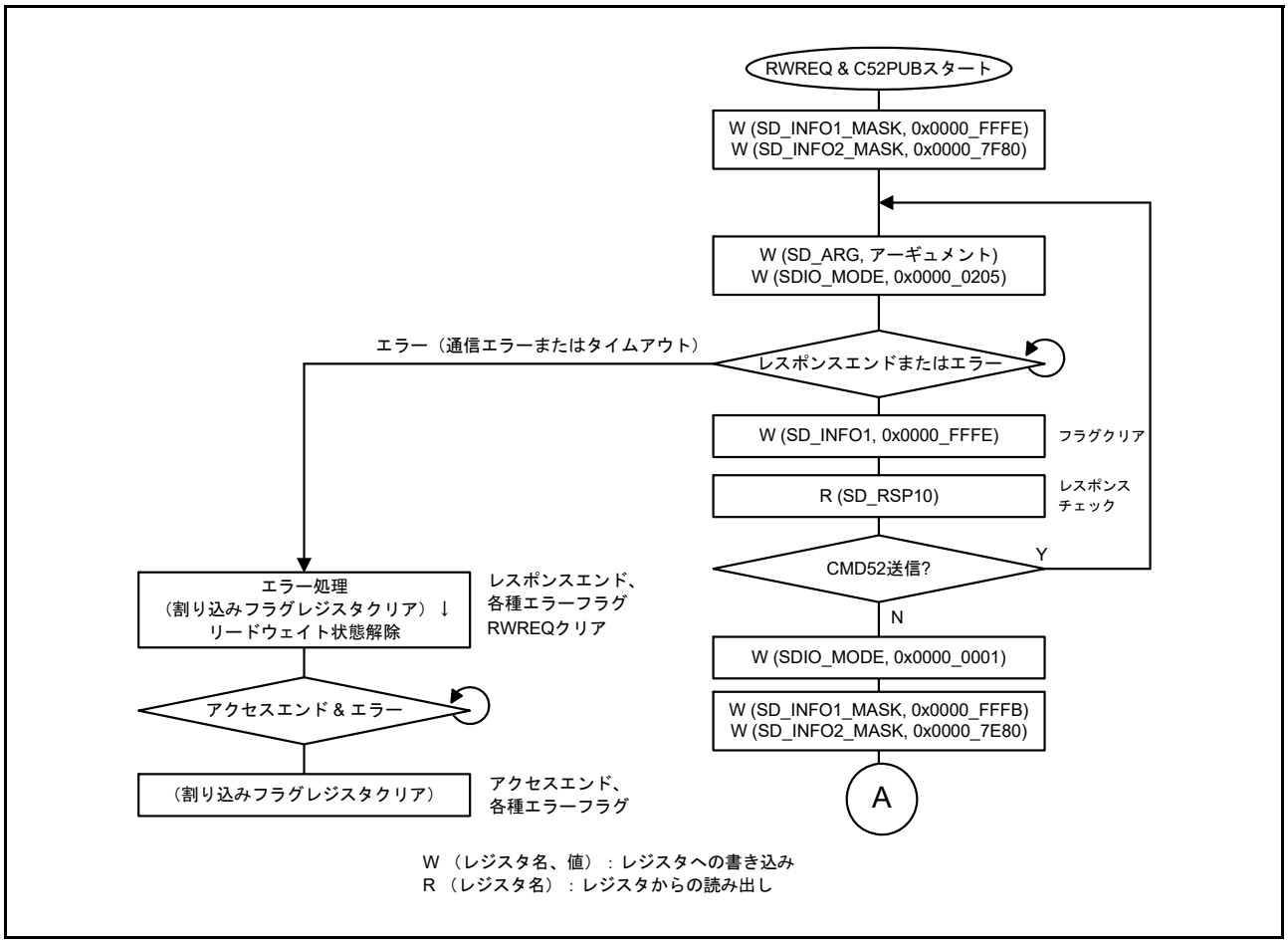


図 43.19 SD ホストインタフェースが Read Wait 状態で、CMD53 マルチブロックリード時に CMD52（SDIO none abort）が送信される場合のフロー

43.3.13 IO_RW_EXTENDED コマンド（SD：CMD53 ／マルチブロックライト）

図 43.20 に CMD53 マルチブロックライトのフロー例を示します。

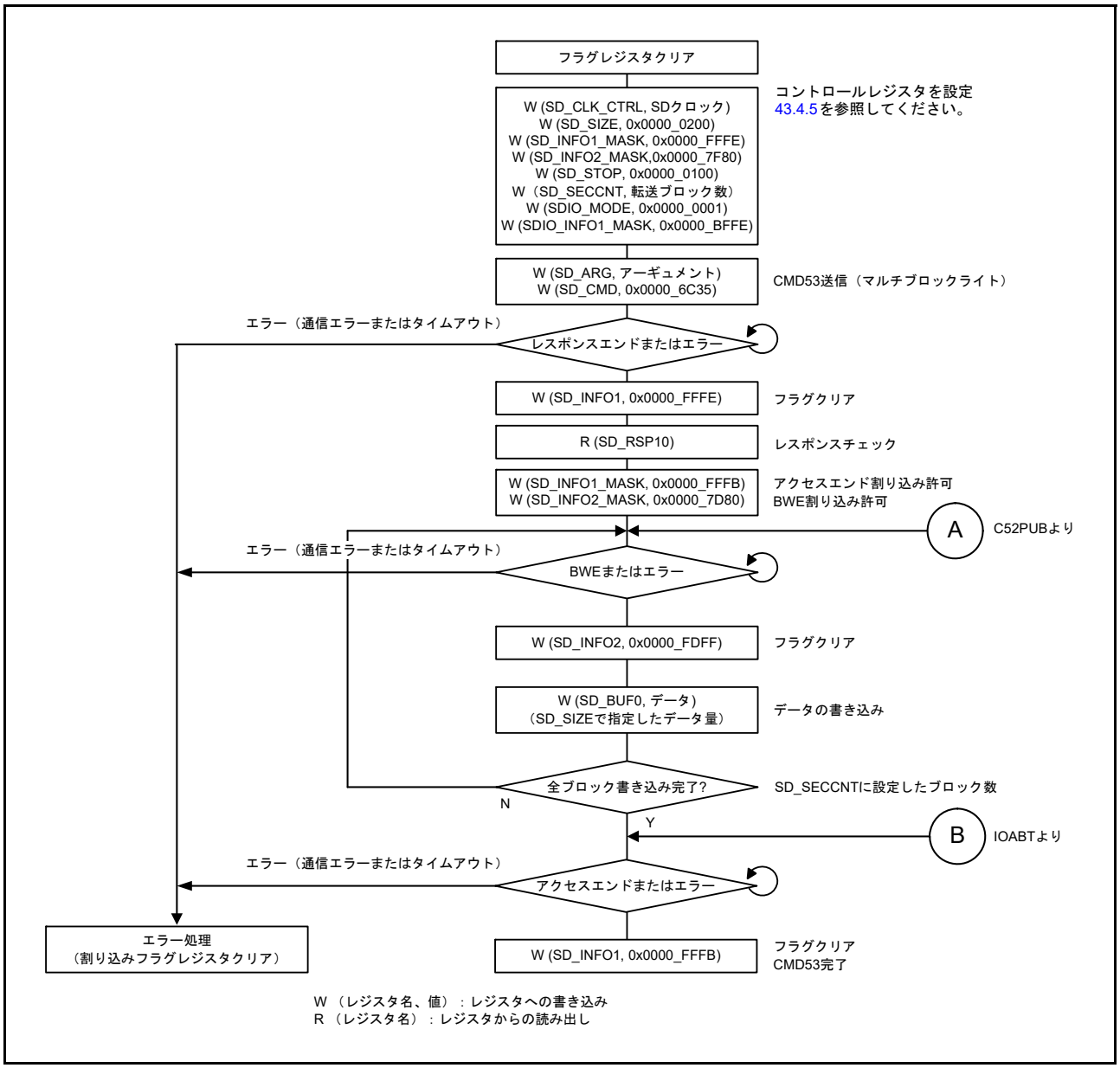


図 43.20 CMD53 マルチブロックライト動作時の IO_RW_EXTENDED コマンドの例

CMD53 マルチブロックライト時に CMD52（SDIO abort）が送信される場合のフロー例を図 43.21 に示します。

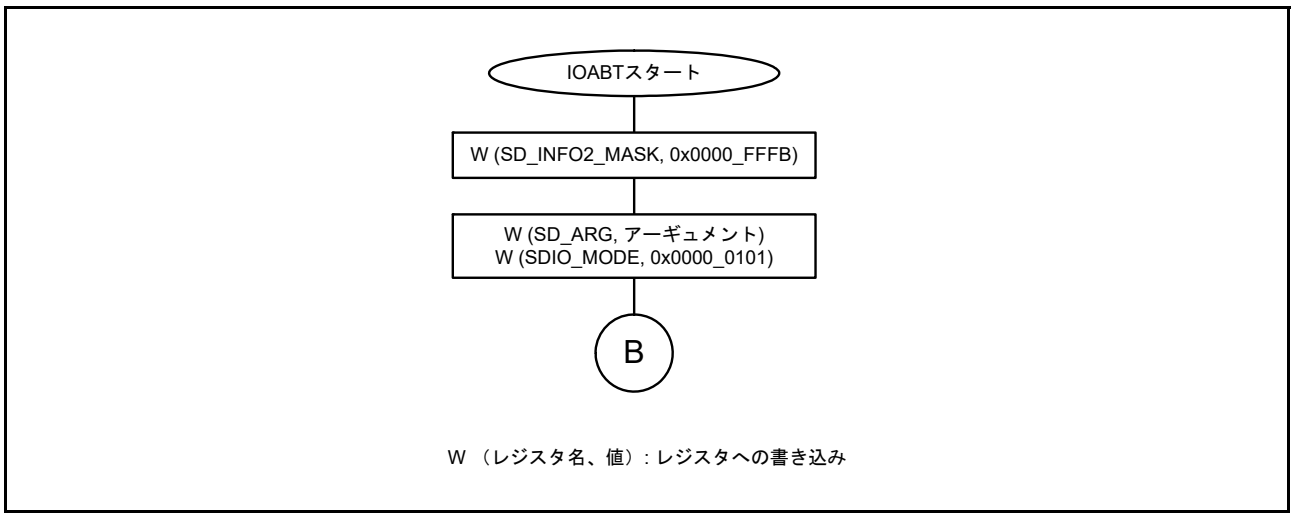


図 43.21 CMD53 マルチブロックライト時に CMD52（SDIO Abort）が送信される場合のフロー

CMD53 マルチブロックライト時に CMD52（SDIO none abort）が送信される場合のフロー例を図 43.22 に示します。

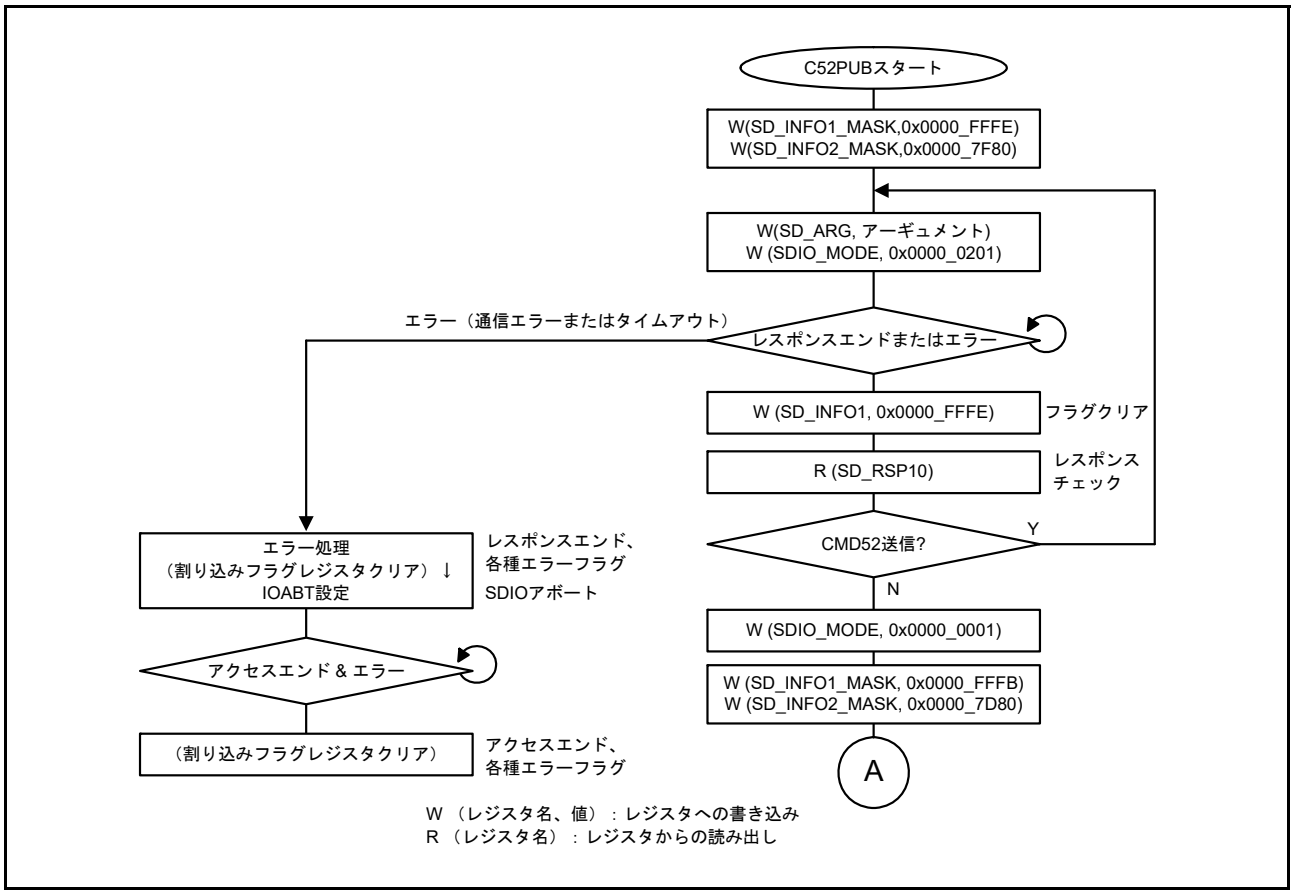


図 43.22 CMD53 マルチブロックライト時に CMD52（SDIO no abort）が送信される場合のフロー

43.3.14 DMA 転送（SD/MMC）

43.3.14.1 SD_BUF DMA 転送

CMD18 マルチブロックリードが送信される場合の SD_BUF DMA リードのフロー例を図 43.23 に示します。

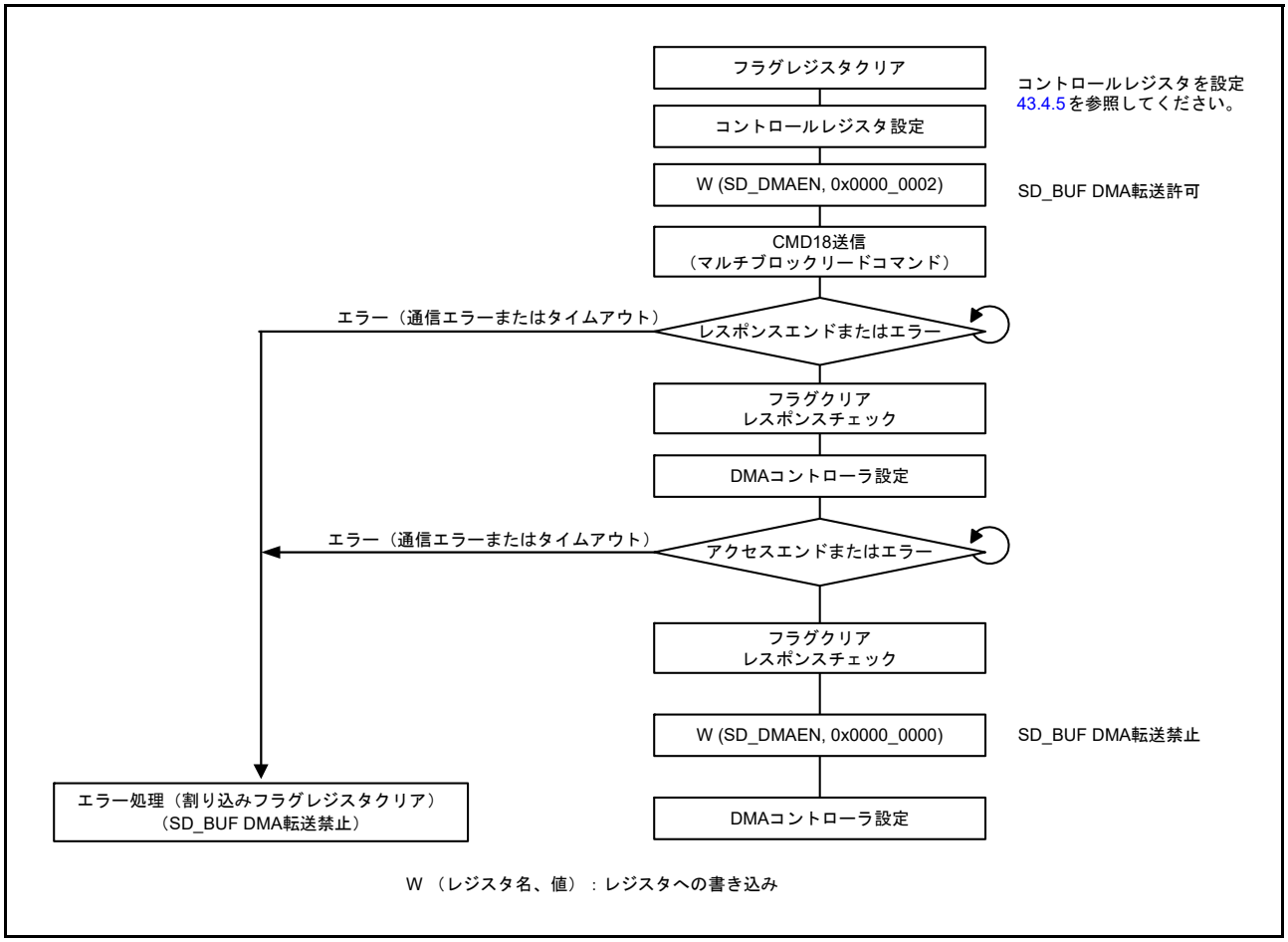


図 43.23 SD_BUF_DMA リード動作の例

CMD25 マルチブロックライトが送信される場合の SD_BUF DMA ライトのフロー例を図 43.24 に示します。

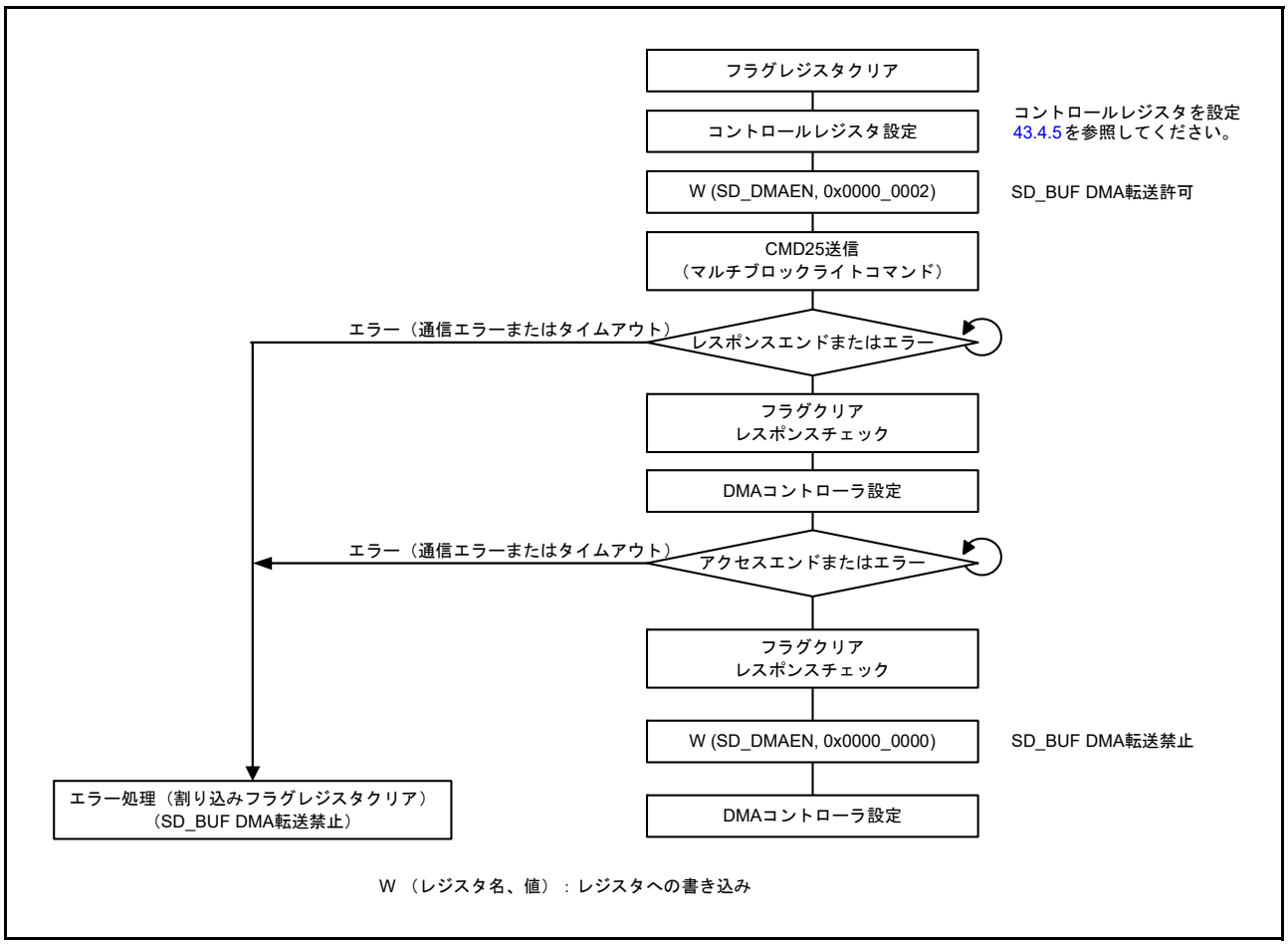


図 43.24 SD_BUF_DMA ライト動作の例

43.3.15 SD_CMD レジスタへの設定例

表 43.8 および表 43.9 に SD_CMD レジスタへの設定例を示します。

表 43.8 SDのSD_CMD レジスタ設定例 (1/2)

種類	コマンド	SD_CMD レジスタ設定例	説明
CMD	CMD0	0000_0000h	
	CMD2	0000_0002h	
	CMD3	0000_0003h	
	CMD4	0000_0004h	
	CMD5	0000_0705hまたは0000_0005h	
	CMD6	0000_1C06hまたは0000_0006h	
	CMD7	0000_0007h	カードを非選択状態にすると、レスポンスがないためレスポンスタイムアウトフラグが設定されます。
	CMD8	0000_0408hまたは0000_0008h	
	CMD9	0000_0009h	
	CMD10	0000_000Ah	
	CMD11	0000_040Bhまたは0000_000Bh	
	CMD12	0000_000Ch	
	CMD13	0000_000Dh	
	CMD15	0000_000Fh	
	CMD16	0000_0010h	
	CMD17	0000_0011h	
	CMD18	0000_0012h	自動CMD12による
	CMD20	0000_0514hまたは0000_0014h	
	CMD24	0000_0018h	
	CMD25	0000_0019h	自動CMD12による
	CMD27	0000_001Bh	
	CMD28	0000_001Ch	
	CMD29	0000_001Dh	
	CMD30	0000_001Eh	
	CMD32	0000_0020h	
	CMD33	0000_0021h	
	CMD38	0000_0026h	
	CMD42	0000_002Ah	
	CMD52	0000_0434hまたは0000_0034h	
	CMD53	0000_1C35h	シングルリード
		0000_0C35h	シングルライト
		0000_7C35h	マルチリード
		0000_6C35h	マルチライト
		0000_0035h	左側の値は、シングル動作とマルチ動作の両方に設定可能です。ただし、SD_ARGのCF39ビットは以下のように設定する必要があります。 読み出し時：0、書き込み時：1
	CMD55	0000_0037h	
	CMD56	0000_0038h	

表 43.8 SDのSD_CMDレジスタ設定例 (2/2)

種類	コマンド	SD_CMDレジスタ設定例	説明
ACMD	ACMD6	0000_0046h	
	ACMD13	0000_004Dh	
	ACMD22	0000_0056h	
	ACMD23	0000_0057h	
	ACMD41	0000_0069h	
	ACMD42	0000_006Ah	
	ACMD51	0000_0073h	

表 43.9 MMCのSD_CMDレジスタ設定例

種類	コマンド	SD_CMDレジスタ設定例	説明
CMD	CMD0	0000_0000h	
	CMD1	0000_0701h	
	CMD2	0000_0002h	
	CMD3	0000_0003h	
	CMD4	0000_0004h	
	CMD5	0000_0505h	
	CMD6	0000_0506h	（レスポンスビジーあり）
		0000_0406h	（レスポンスビジーなし）
	CMD7	0000_0007h	カードを非選択状態にすると、レスポンスがないためレスポンスタイムアウトフラグが設定されます。
	CMD8	0000_1C08h	
	CMD9	0000_0009h	
	CMD10	0000_000Ah	
	CMD12	0000_000Ch	
	CMD13	0000_000Dh	
	CMD14	0000_1C0Eh	必須の設定：SD_IFMODE = 0000_0100h （CRCチェックが無効）
	CMD15	0000_000Fh	
	CMD16	0000_0010h	
	CMD17	0000_0011h	
	CMD18	0000_7C12h	Pre-defined
	CMD19	0000_0C13h	必須の設定： SD_IFMODE = 0000_0100h （CRCチェックが無効）
	CMD21	0000_1C15h	DDRモードが抑止されます。
	CMD23	0000_0017h	
	CMD24	0000_0018h	
	CMD25	0000_6C19h	Pre-defined
	CMD26	0000_0C1Ah	
	CMD27	0000_001Bh	
	CMD28	0000_001Ch	
	CMD29	0000_001Dh	
	CMD30	0000_001Eh	
	CMD31	0000_1C1Fh	
	CMD35	0000_0423h	-
	CMD36	0000_0424h	-
	CMD38	0000_0026h	-
	CMD39	0000_0427h	-
	CMD40	0000_0428h	-
	CMD42	0000_002Ah	-
	CMD49	0000_0C31h	-
	CMD53	0000_7C35h	-
	CMD54	0000_6C36h	-
	CMD55	0000_0037h	-
	CMD56	0000_0038h	-

43.4 使用上の注意事項

43.4.1 SD_BUF0 不正書き込み（SD/MMC）

シングルブロックライトまたはマルチブロックライトコマンドを送信した後に SD_BUF0 にデータを書きこむ場合、SD_SIZE で設定したサイズ分のデータを書き込む必要があります。

データが SD_SIZE で設定したサイズを超えると、SD_INFO2 の ERR4 ビットが 1 になります。また、SD_BUF0 に書き込まれたデータを転送できず、SD_INFO2 の SD_CLK_CTRLEN ビットは値 0 に保持される可能性があります。その場合、SOFT_RST の SDRST ビットを 0 にクリアした後にその値を 1 に戻すと、SD_CLK_CTRLEN ビットが 1 になります。

ただし、ダミーデータ部分の書き込みは超過データとみなされて無視されるため、SD_SIZE 設定が奇数の場合は 1 バイトまたは 3 バイトに適用されず、SD_SIZE 設定が偶数の場合は端数バイト（4 バイト単位になっていない 2 バイト）に適用されません。

43.4.2 マルチブロックリードのブロック数制限（SD）

1 ブロックまたは 2 ブロックのマルチブロックリードを実行するときに、SD カードレスポンスレジスタが読み出されるタイミングによっては、レスポンス値が適切に読み出されない場合があります。これを回避するためには、以下のいずれかを実行します。

1. 1 ブロックまたは 2 ブロックのデータを受信するときに、シングルブロックリードを使用する
2. SD_RSP54 から CMD18 へのレスポンスを読み出す

43.4.2.1 誤った読み出しのメカニズム

2 ブロックのマルチブロックリードが実行された場合の SDHI（ハードウェア）動作とソフトウェア動作の処理フローを図 43.25 に示します。図 43.25 に示す誤動作のように、CMD18 レスポンスの受信時に割り込みが発生し、SD カードレスポンスレジスタ（SD_RSP10）が割り込みによって読み出されるタイミングが遅延した場合、CMD12 レスポンス受信中のデータまたは CMD12 レスポンスが読み出される場合があります。データブロックが読み出されるまで CMD12 は送信されないため、この問題は 3 ブロック以上のマルチブロックリードでは発生しません。同様に、CMD25 レスポンスはデータブロック送信前に読み出されるため、この問題はマルチブロックライトでも発生しません。

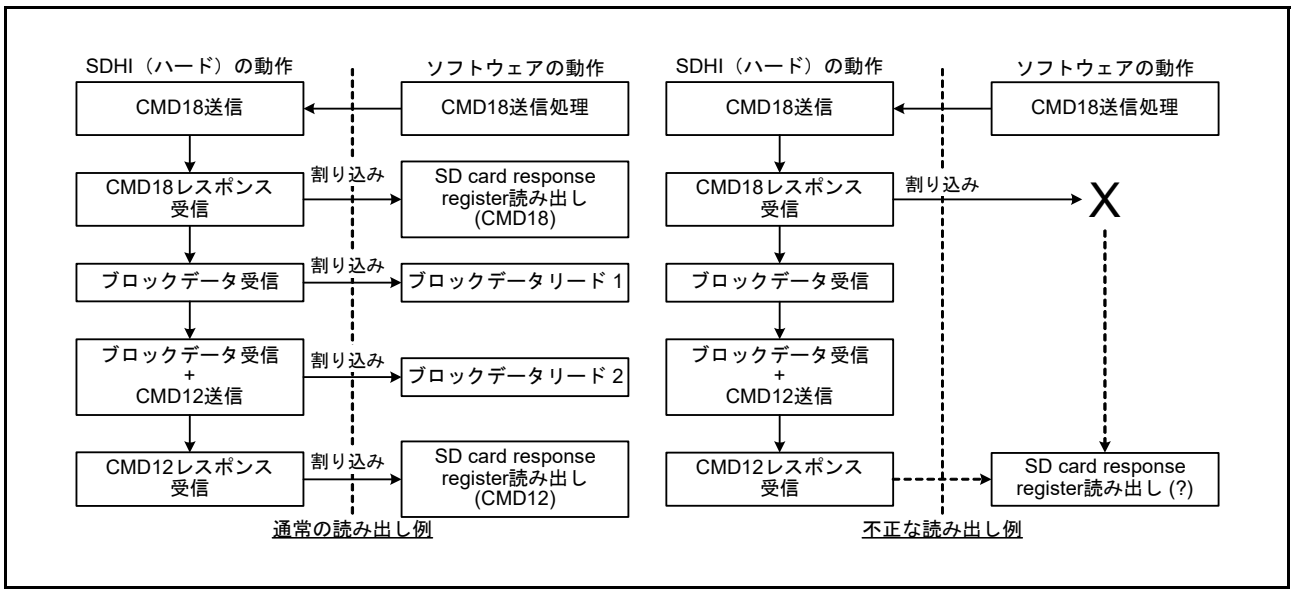


図 43.25 マルチブロックリード動作のフローチャート（2 ブロック）

43.4.3 SD/MMC クロック出力の自動制御（SD/MMC）

SD カード／ MMC 規格では、カードを初期化する前に SD/MMC クロックを 74 サイクル出力する必要があります。このため、SD/MMC クロックが 74 サイクル出力された後に、SD/MMC クロック出力の自動制御を使用します。また、SD/MMC クロック出力の自動制御を有効にした場合、通信エラーまたはタイムアウトによりシーケンスが完了すると SD/MMC クロック出力が停止します。シーケンスの完了後に SD カード／ MMC 内の状態遷移が必要な場合、SD/MMC クロック出力の自動制御を解除し、SD カード／ MMC への SD/MMC クロックの供給を再開させてください。

43.4.4 マルチブロックライトの C52PUB 設定の制御（SD）

CMD53 によるマルチブロックライトシーケンス中に SDIO_MODE の C52PUB ビットを 1 にすると、SD_BUF がエンプティになるまで CMD52 は送信されません。このため、以下の適切ないずれかの手順に従って SD_BUF への書き込みを一時停止してから C52PUB ビットを設定してください。

(a) DMA 転送を使用しない場合

1. C52PUB ビットを設定する前に、BWE 割り込みを禁止するように SD_INFO2 を設定することで SD_BUF への書き込みを一時停止する
2. SDIO_MODE の C52PUB ビットを 1 にする（これにより、SD_BUF がエンプティになると CMD52 が送信される）
3. CMD52 の送信による SD_INFO1 での RSPEND 割り込み処理が完了した後に、BWE 割り込みを許可するように SD_INFO2 を設定することで SD_BUF への書き込みを再開する

(b) DMA 転送を使用する場合

1. SD_SIZE に設定された値 × n ブロック（n = 1, 2, ...）の DMA 転送が始まるたびに、C52PUB ビットを設定する前に DMA 転送による SD_BUF への書き込みを一時停止する
2. SDIO_MODE の C52PUB ビットを 1 にする（これにより、SD_BUF がエンプティになると CMD52 が送信される）
3. CMD52 の送信による SD_INFO1 での RSPEND 割り込み処理が完了した後に、DMA 転送による SD_BUF への書き込みを再開する

43.4.5 SD_CLK_CTRL レジスタ設定時の注意（SD/MMC）

SD_INFO2 の SD_CLK_CTRLEN ビットが 0 の場合、SD_CLK_CTRL に書き込むことはできません。SD_CLK_CTRL に書き込むときは、SD_INFO2 の SD_CLK_CTRLEN ビットが 1 であることを確認してから行ってください。

43.4.6 仕様の制限

1. SDIO の一時停止／再開動作はサポートされていない
2. SPI Bus はサポートされていない（SD/MMC）
3. Embedded SDIO の Shared Bus と 8 ビット SD Bus はサポートされていない
4. MMC のストリーム転送はサポートされていない
5. MMC の High Priority Interrupt（HPI）はサポートされていない
6. MMC の Boot Operation/Alternative Boot Operation はサポートされていない
7. MMC の Open-ended マルチブロック転送はサポートされていない

43.4.7 マルチブロックリード時の STP ビット設定（SD/MMC）

SD_STOP の SEC ビットを 1 にすることで自動 CMD12 実行によるマルチブロックリードを実行しているときは、強制的に実行を停止するために SD_STOP の STP ビットを 1 にしても、STP ビットを設定するタイミングによってはコマンドシーケンスが停止しない場合があります。

これを回避するには、マルチブロック転送時に SD_STOP の STP ビットを 1 にするときに、同時に SD_STOP の SEC ビットを 0 にクリアします。（SD_INFO2 の SD_CLK_CTRLEN ビットが 0 の場合でも、SEC ビットを 1 から 0 に変更します）。

SEC ビットが 0 にクリアされないためにコマンドシーケンスが停止しないときは、SOFT_RST の SDRST ビットを 0 にクリアすることでコマンドシーケンスを停止することができます。

CMD53 マルチブロック転送を SDIO_MODE の IOABT ビットで強制的に終了するときは、必ず SD_STOP の SEC ビットを 1 のままにしてください。

43.4.8 レジスタ設定時の注意

1. 43.2 レジスタの説明の全レジスタへのアクセスは、32 ビットアクセスに限定されます。
2. レジスタは、I/O ポートジレスタを設定してから設定してください。

44. パラレルデータキャプチャユニット（PDC）

44.1 概要

本 MCU は、1 つのパラレルデータキャプチャユニット（PDC）を提供します。PDC はイメージセンサなどの外部 I/O デバイスと通信し、外部 I/O から出力される画像などのパラレルデータを DTC または DMAC を介して内蔵 SRAM、外部アドレス空間（CS 領域、SDRAM 領域）へ転送します。表 44.1 に PDC の仕様を、図 44.1 にブロック図を、表 44.2 に入出力端子を示します。

表 44.1 PDCの仕様

項目	内容
キャプチャ範囲	任意の垂直、水平方向のパラレルデータをキャプチャ可能 • 垂直方向：1～4095ライン • 水平方向：4～4095バイト
パラレル転送クロック（PIXCLK）	動作周波数：1～27MHz（注1）
割り込み要因	• 受信データレディ • フレームエンド • オーバーラン • アンダーラン • 垂直方向ライン数設定エラー • 水平方向バイト数設定エラー
DTC/DMACの起動	フレームエンドと受信データレディ割り込みによるDTC/DMACの起動が可能
パラレル転送クロック出力（PCKO）	• 動作周波数：1～30MHz（注2） • クロックソース：周辺モジュールクロックB（PCLKB） • 分周比：2、4、6、8、10、12、14、16分周から選択可能
その他の機能	• PDCリセット機能 • VSYNC信号およびHSYNC信号の極性選択機能 • VSYNC信号およびHSYNC信号のモニタ機能 • エンディアンの順番の選択機能
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減
内部バスインタフェース	内部周辺バス5

注 1. パラレルデータ転送クロック（PIXCLK）の周波数は、0.6 × PCLKB（周辺モジュールクロック）未満に設定してください。
注 2. 周辺モジュールクロック B（PCLKB）を 60MHz、分周比を 2 分周に設定した場合に 30MHz になります。

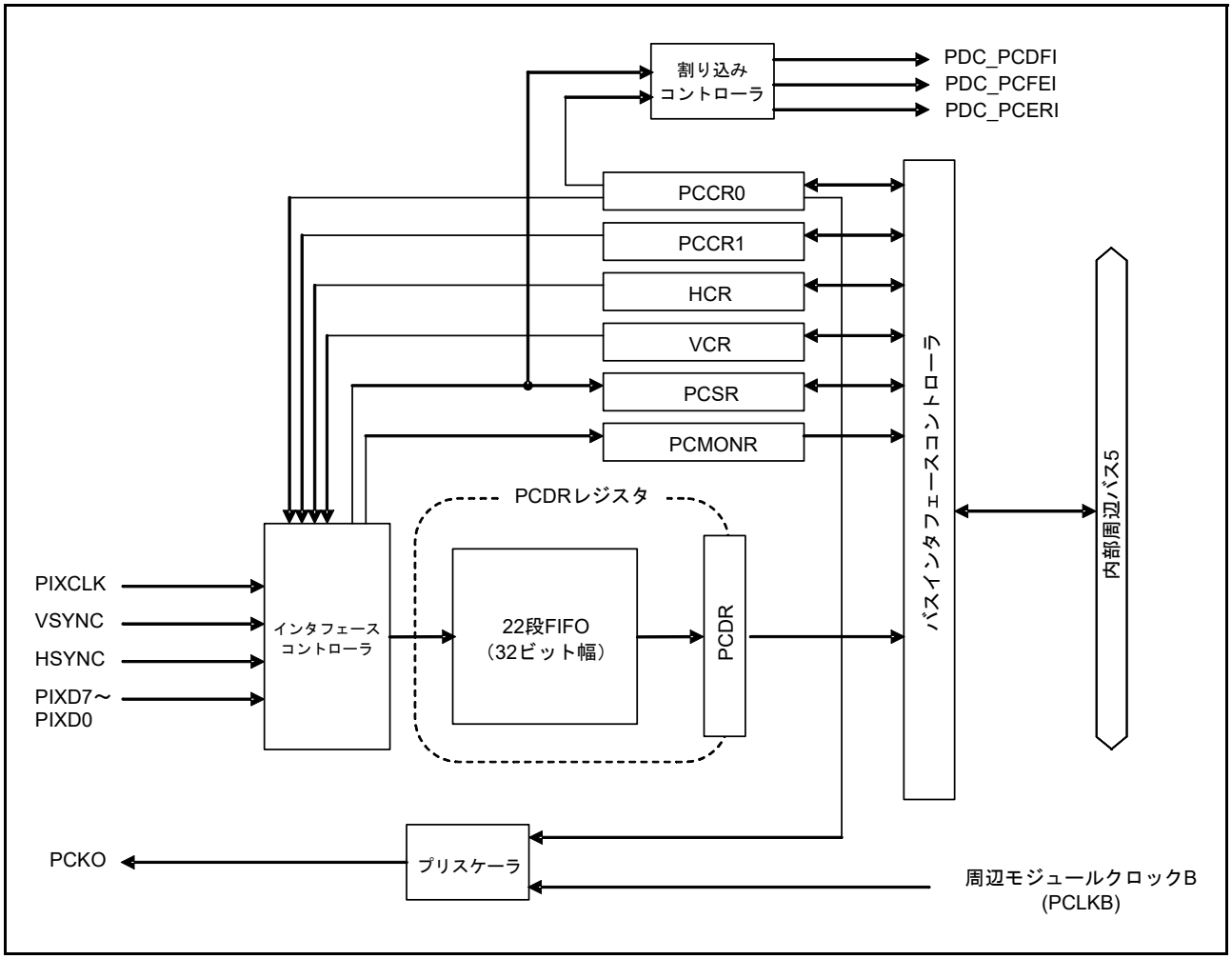


図 44.1　　PDC のブロック図

表 44.2　　PDCの入出力端子

端子名	入出力	機能
PIXCLK	入力	パラレル転送クロック
VSYNC	入力	垂直同期信号
HSYNC	入力	水平同期信号
PIXD7～PIXD0	入力	8ビットデータ
PCKO	出力	パラレル転送クロック出力

44.2 レジスタの説明

44.2.1 PDC コントロールレジスタ 0（PCCR0）

アドレス PDC.PCCR0 4009 4000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EDS	PCKDIV[2:0]			PCKOE	HERIE	VERIE	UDRIE	OVIE	FEIE	DFIE	PRST	HPS	VPS	PCKE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCKE	PIXCLK入力許可	0：PIXCLK入力禁止 1：PIXCLK入力許可	R/W
b1	VPS	VSYNC信号極性選択	0：VSYNC信号をアクティブHighに設定 1：VSYNC信号をアクティブLowに設定	R/W
b2	HPS	HSYNC信号極性選択	0：HSYNC信号をアクティブHighに設定 1：HSYNC信号をアクティブLowに設定	R/W
b3	PRST	PDCリセット	0：PDCリセットを適用しない 1：PDCをリセットする	R/(W) （注1）
b4	DFIE	受信データレディ割り込み許可	0：受信データレディ割り込み要求を禁止 1：受信データレディ割り込み要求を許可	R/W
b5	FEIE	フレームエンド割り込み許可	0：フレームエンド割り込み要求を禁止 1：フレームエンド割り込み要求を許可	R/W
b6	OVIE	オーバーラン割り込み許可	0：オーバーラン割り込み要求を禁止 1：オーバーラン割り込み要求を許可	R/W
b7	UDRIE	アンダーラン割り込み許可	0：アンダーラン割り込み要求を禁止 1：アンダーラン割り込み要求を許可	R/W
b8	VERIE	垂直方向ライン数設定エラー割り込み許可	0：垂直方向ライン数設定エラー割り込み要求を禁止 1：垂直方向ライン数設定エラー割り込み要求を許可	R/W
b9	HERIE	水平方向バイト数設定エラー割り込み許可	0：水平方向バイト数設定エラー割り込み要求を禁止 1：水平方向バイト数設定エラー割り込み要求を許可	R/W
b10	PCKOE	PCKO出力許可	0：PCKO出力を禁止（Highレベルに固定） 1：PCKO出力を許可	R/W
b13-b11	PCKDIV[2:0]	PCKO分周比選択	b13 b11 0 0 0：PCLKB/2 0 0 1：PCLKB/4 0 1 0：PCLKB/6 0 1 1：PCLKB/8 1 0 0：PCLKB/10 1 0 1：PCLKB/12 1 1 0：PCLKB/14 1 1 1：PCLKB/16	R/W
b14	EDS	エンディアン選択	0：リトルエンディアン 1：ビッグエンディアン	R/W
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. このビットには 1 のみ書けます。

PCCR0 レジスタは、PCCR1.PCE ビットが 0 の場合に限り設定してください。

PCKE ビット（PIXCLK 入力許可）

PIXCLK 端子からの入力を許可／禁止します。受信動作を許可する前に 1 にしてください。PIXCLK 入力許可後は、PRST ビットで PDC を初期化してください。

0 にする前に受信動作を禁止してください。

VPS ビット（VSYNC 信号極性選択）

VSYNC 信号のアクティブ極性を選択します。

HPS ビット（HSYNC 信号極性選択）

HSYNC 信号のアクティブ極性を選択します。

PRST ビット（PDC リセット）

PDC の内部状態および PDC リセット対象レジスタを初期化するビットです。PDC リセット対象レジスタについては、44.3.11　リセット状況を参照してください。PDC をリセットする前に、PCKE ビットを 1 にしてください。

PRST ビットに 1 が書き込まれた場合、PIXCLK に同期して初期化が実行されます。初期化が完了すると、PRST ビットは 0 になります。PDC がリセットされたら、PIXCLK 端子に入力信号があることを確認してください。PRST ビットに 1 を書き込んだ場合は、0 になったことを確認してから次の処理を実行してください。

PDC リセットを連続して実行する場合、PRST ビットが 0 になったことを確認した後、最低 1PIXCLK サイクル待ってから実行してください。

DFIE ビット（受信データレディ割り込み許可）

受信データレディ割り込み要求の発生を許可／禁止します。

FEIE ビット（フレームエンド割り込み許可）

フレームエンド割り込み要求の発生を許可／禁止します。

OVIE ビット（オーバーラン割り込み許可）

オーバーラン割り込み要求の発生を許可／禁止します。

UDRIE ビット（アンダーラン割り込み許可）

アンダーラン割り込み要求の発生を許可／禁止します。

VERIE ビット（垂直方向ライン数設定エラー割り込み許可）

垂直方向ライン数設定エラー割り込み要求の発生を許可／禁止します。

HERIE ビット（水平方向バイト数設定エラー割り込み許可）

水平方向バイト数設定エラー割り込み要求の発生を許可／禁止します。

PCKOE ビット（PCKO 出力許可）

PCKO の出力を許可／禁止します。PCKO が Low 出力中に PCKOE ビットを 0 にした場合、クリアしたタイミングで High 出力となりデューティ比が崩れる場合があります。

PCKDIV[2:0] ビット（PCKO 分周比選択）

PCKO の分周比を選択します。PCKO が出力するのはクロック信号で、PCKDIV[2:0] ビットの設定に基づき、PCLKB クロック信号を 2 ～ 16 の値で分周した信号です。PCLKB の分周によって得られる PCKO 動作周波数は、必ず 1 ～ 30MHz の範囲になるよう設定してください。

EDS ビット（エンディアン選択）

キャプチャしたデータのエンディアンの順番を選択します。

44.2.2 PDC コントロールレジスタ 1（PCCR1）

アドレス PDC.PCCR1 4009 4004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PCE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PCE	PDC動作許可	0：受信動作の禁止 1：受信動作の許可	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PCE ビット（PDC 動作許可）

受信動作の許可／禁止を選択します。VSYNC 信号がアサート中に PCE ビットを 1 にした場合、PDC は次の VSYNC 信号の有効エッジから受信動作を開始します。フレームエンド割り込みの場合など、受信動作または継続受信動作が停止している場合に限り PCE ビットを 0 にしてください。継続受信について、詳しくは 44.3.6 フレームエンドでの継続受信動作を参照してください。

44.2.3 PDC ステータスレジスタ（PCSR）

アドレス PDC.PCSR 4009 4008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	HERF	VERF	UDRF	OVRF	FEF	FEMPF	FBSY
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	FBSY	フレームビジーフラグ	0：受信動作停止 1：受信動作中	R
b1	FEMPF	FIFOエンプティフラグ	0：FIFOはエンプティではない 1：FIFOはエンプティ	R
b2	FEF	フレームエンドフラグ	0：フレームエンドの発生なし 1：フレームエンドの発生あり	R/(W) （注1）
b3	OVRF	オーバーランフラグ	0：FIFOオーバーラン発生なし 1：FIFOオーバーラン発生あり	R/(W) （注1）
b4	UDRF	アンダーランフラグ	0：アンダーラン発生なし 1：アンダーラン発生あり	R/(W) （注1）
b5	VERF	垂直方向ライン数設定エラーフラグ	0：垂直方向ライン数設定エラー発生なし 1：垂直方向ライン数設定エラー発生あり	R/(W) （注1）
b6	HERF	水平方向バイト数設定エラーフラグ	0：水平方向バイト数設定エラー発生なし 1：水平方向バイト数設定エラー発生あり	R/(W) （注1）
b31-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. フラグをクリアするため、1 を読んだ後に 0 のみ書き込むことができます。

FBSY フラグ（フレームビジーフラグ）

PDC の動作状態を示します。

［1 になる条件］

- 受信動作を許可した後、VSYNC 信号の有効エッジを検出したとき

［0 になる条件］

- VCR レジスタおよび HCR レジスタで設定した 1 フレームのデータを受信したとき（注 1）
- オーバーラン、アンダーラン、垂直方向ライン数設定エラー、水平方向バイト数エラーが発生したとき
- PCCR1.PCE ビットが 0 のとき

注 1. 継続受信動作中は 0 です。

FEMPF フラグ（FIFO エンプティフラグ）

垂直方向ライン数設定エラーまたは水平バイト数設定エラーが発生した場合の FIFO 状態を示します。オーバーランの後は 0 になり、アンダーランの後は不定となります。

［1 になる条件］

- FIFO がエンプティの状態で PCDR レジスタを読み出したとき
- VSYNC 信号の有効エッジを検出したとき

- PDC をリセットしたとき

［0 になる条件］

- FIFO にキャプチャしたデータが格納されたとき

FEF フラグ（フレームエンドフラグ）

フレームエンドの発生を示します。

［1 になる条件］

- VCR レジスタおよび HCR レジスタで設定した 1 フレームのデータを受信したとき（注 1）

［0 になる条件］

- PDC をリセットしたとき
- フラグから 1 を読み出した後に 0 を書き込んだとき

注 1. 継続受信動作が完了すると、FEF フラグが 1 になります。

OVRF フラグ（オーバーランフラグ）

オーバーランの発生状況を示します。

［1 になる条件］

- FIFO がフルの状態でデータ受信が発生したとき

［0 になる条件］

- PDC をリセットしたとき
- フラグから 1 を読み出した後に 0 を書き込んだとき

UDRF フラグ（アンダーランフラグ）

アンダーランの発生状況を示します。

［1 になる条件］

- FIFO がエンプティの状態で PCDR レジスタを読み出したとき

［0 になる条件］

- PDC をリセットしたとき
- フラグから 1 を読み出した後に 0 を書き込んだとき

VERF フラグ（垂直方向ライン数設定エラーフラグ）

垂直方向ライン数設定エラーの発生を示します。

［1 になる条件］

- VCR レジスタの値よりキャプチャされたライン数が少なかったため VSYNC 信号がネゲートしたとき

［0 になる条件］

- PDC をリセットしたとき
- フラグから 1 を読み出した後に 0 を書き込んだとき

HERF フラグ（水平方向バイト数設定エラーフラグ）

水平方向バイト数エラーの発生を示します。

［1 になる条件］

- HCR レジスタの値より、ラインごとのキャプチャされたバイト数が少なかったため HSYNC 信号がネゲートしたとき

［0 になる条件］

- PDC をリセットしたとき
- フラグから 1 を読み出した後に 0 を書き込んだとき

44.2.4 PDC 端子モニタ レジスタ（PCMONR）

アドレス PDC.PCMONR 4009 400Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	HSYNC	VSYNC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VSYNC	VSYNC信号ステータスフラグ	0：VSYNC信号のレベルはLow 1：VSYNC信号のレベルはHigh	R
b1	HSYNC	HSYNC信号ステータスフラグ	0：HSYNC信号のレベルはLow 1：HSYNC信号のレベルはHigh	R
b31-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

VSYNC フラグ（VSYNC 信号ステータスフラグ）

VSYNC 信号の状態を示します。

HSYNC フラグ（HSYNC 信号ステータスフラグ）

HSYNC 信号の状態を示します。

44.2.5 PDC 受信データレジスタ（PCDR）

アドレス PDC.PCDR 4009 4010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PDC は、キャプチャしたデータを格納する 32 ビット幅の 22 段 FIFO を内蔵しています。FIFO は 4 バイトの PCDR レジスタにマッピングされており、PCDR レジスタを読み出すことでキャプチャしたデータを一度に 4 バイト読み出すことができます。32 バイトデータ受信ごとに受信データレディフラグがセットされ、PCCR0 レジスタの DFIE ビットが 1 の場合、受信データレディ割り込みを発生します。受信データレディ割り込みが発生した場合、PCDR レジスタを 8 回読み出ししてください。PCDR レジスタの構造図を図 44.2 に示します。

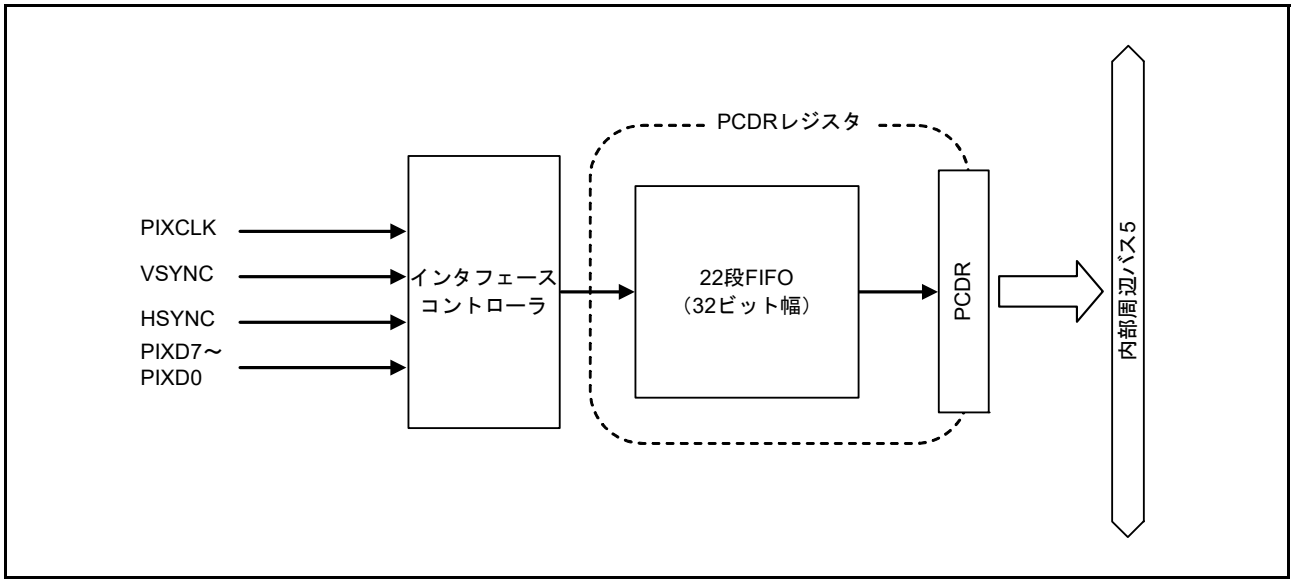
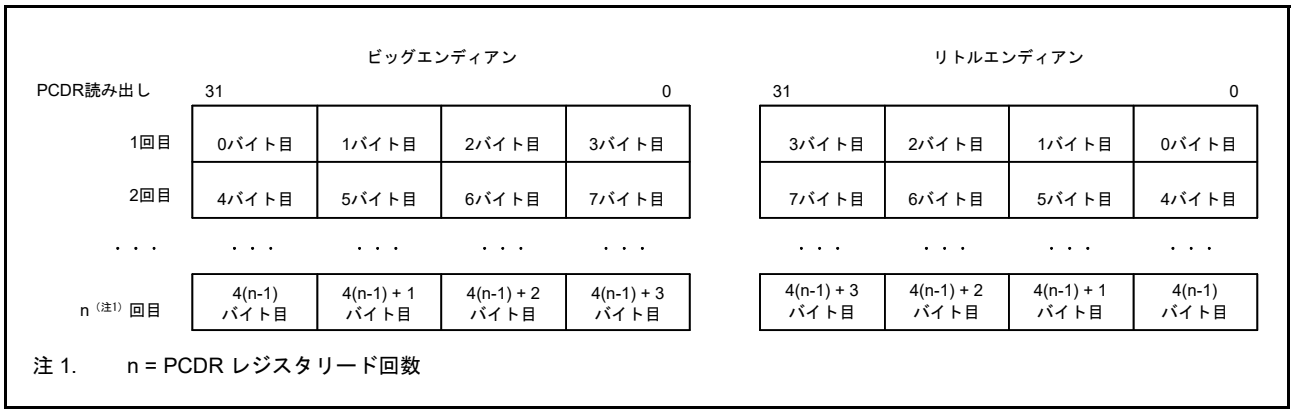


図 44.2 PCDR レジスタの構造図

キャプチャしたデータのフォーマットは、PCCR0 レジスタの EDS ビットでビッグエンディアンまたはリトルエンディアンを選択することができます。図 44.3 にエンディアンフォーマットのデータ配置を示します。



注 1. n = PCDR レジスタリード回数

図 44.3 エンディアンフォーマット

44.2.6 垂直方向キャプチャレジスタ（VCR）

アドレス PDC.VCR 4009 4014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	VSZ[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	VST[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	VST[11:0]	垂直方向キャプチャ開始ライン位置	垂直方向のキャプチャ開始ライン位置を指定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27-b16	VSZ[11:0]	垂直方向キャプチャサイズ	垂直方向のキャプチャライン数を指定します。	R/W
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VCR レジスタの設定とキャプチャ範囲の関係については、44.3.3 VCR レジスタ、HCR レジスタの設定とキャプチャ範囲を参照してください。VCR レジスタは、PCCR1.PCE ビットが 0 の場合に限り設定してください。

VST[11:0] ビット（垂直方向キャプチャ開始ライン位置）

垂直方向のキャプチャ開始ライン位置を指定します。1 ライン目を設定する場合は 000h、4095 ライン目を設定する場合は FFEh にしてください。VST[11:0] 設定は 000h から FFEh の範囲で、VSZ[11:0] 設定と合わせて以下の範囲で設定してください。

VST[11:0] ビットの設定範囲：1 ≦ VST[11:0] + VSZ[11:0] ≦ FFFh

VSZ[11:0] ビット（垂直方向キャプチャサイズ）

垂直方向のキャプチャライン数を指定します。1 ライン目を設定する場合は 001h、4095 ライン目を設定する場合は FFFh にしてください。VSZ[11:0] 設定は 001h から FFFh の範囲で、VST[11:0] 設定と合わせて以下の範囲で設定してください。

VSZ[11:0] ビットの設定範囲：1 ≦ VST[11:0] + VSZ[11:0] ≦ FFFh

44.2.7 水平方向キャプチャレジスタ（HCR）

アドレス PDC.HCR 4009 4018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	HSZ[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HST[11:0]											
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b11-b0	HST[11:0]	水平方向キャプチャ開始バイト位置	水平方向のキャプチャ開始バイト位置を指定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b27-b16	HSZ[11:0]	水平方向キャプチャサイズ	水平方向のキャプチャバイト数を指定します。	R/W
b31-b28	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

HCR レジスタの設定とキャプチャ範囲の関係については、44.3.3 VCR レジスタ、HCR レジスタの設定とキャプチャ範囲を参照してください。HCR レジスタは、PCCR1.PCE ビットが 0 の場合に限り設定してください。

HST[11:0] ビット（水平方向キャプチャ開始バイト位置）

水平方向のキャプチャ開始バイト位置を指定します。1 バイト目を設定する場合は 000h、4092 バイト目を設定する場合は FFBh にしてください。HST[11:0] 設定は 000h から FFBh の範囲で、HSZ[11:0] 設定と合わせて以下の範囲で設定してください。

HST[11:0] ビットの設定範囲：1 ≦ HST[11:0] + HSZ[11:0] ≦ FFFh

HSZ[11:0] ビット（水平方向キャプチャサイズ）

水平方向のキャプチャバイト数を指定します。4 バイトを設定する場合は 004h、4095 バイトを設定する場合は FFFh にしてください。HSZ[11:0] 設定は 004h から FFFh の範囲で、HST[11:0] 設定と合わせて以下の範囲で設定してください。

HSZ[11:0] ビットの設定範囲：1 ≦ HST[11:0] + HSZ[11:0] ≦ FFFh

44.3 動作説明

44.3.1 転送フォーマット

PDC は、図 44.4 ～図 44.7 に示す 4 種類の転送フォーマットをサポートします。このフォーマットは、PCCR0 レジスタの VPS ビットおよび HPS ビットによって設定されます。

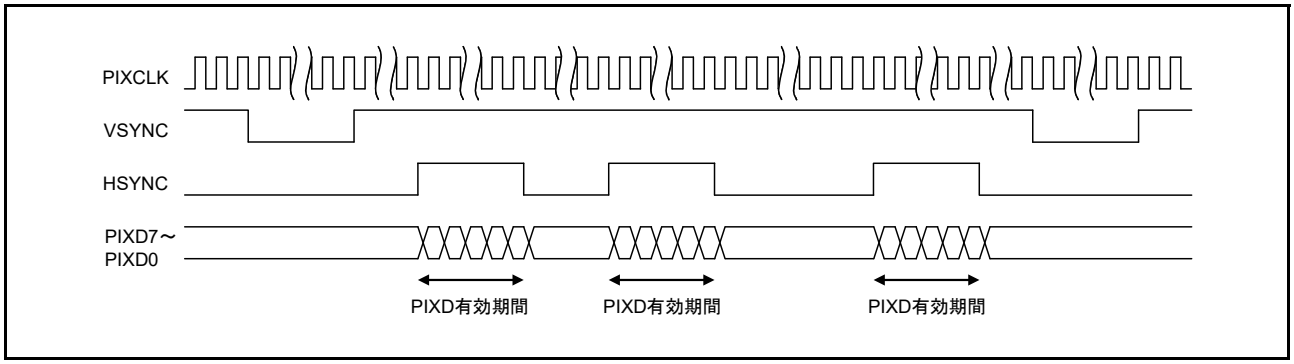


図 44.4 VPS = 0、HPS = 0 の場合の PDC 転送フォーマット

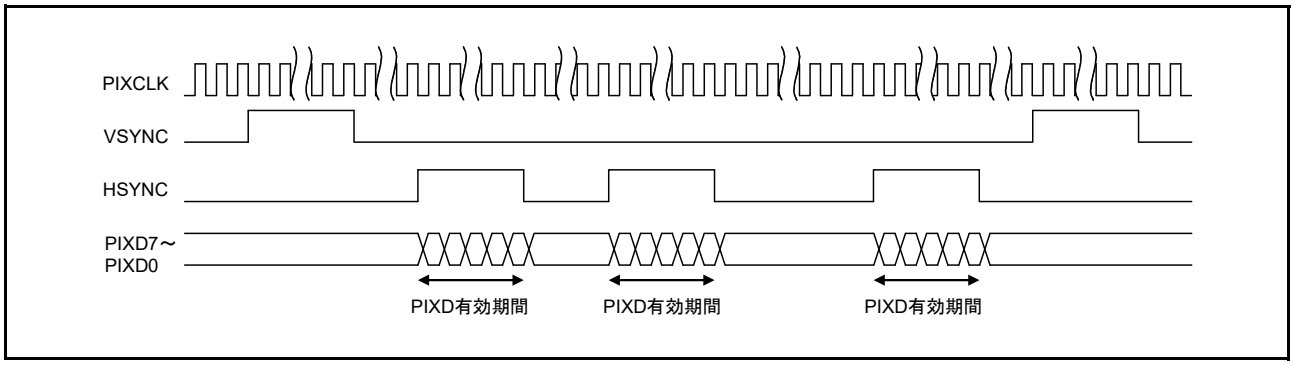


図 44.5 VPS = 1、HPS = 0 の場合の PDC 転送フォーマット

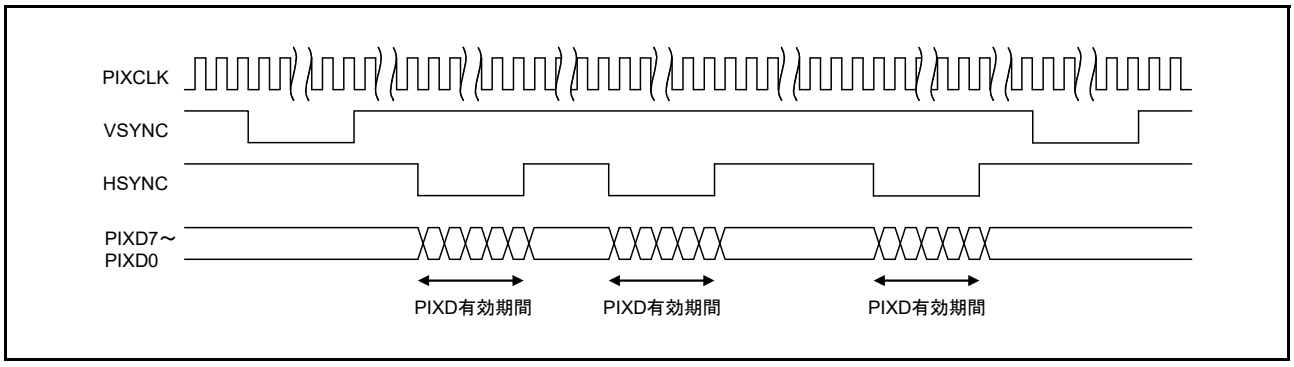


図 44.6 VPS = 0、HPS = 1 の場合の PDC 転送フォーマット

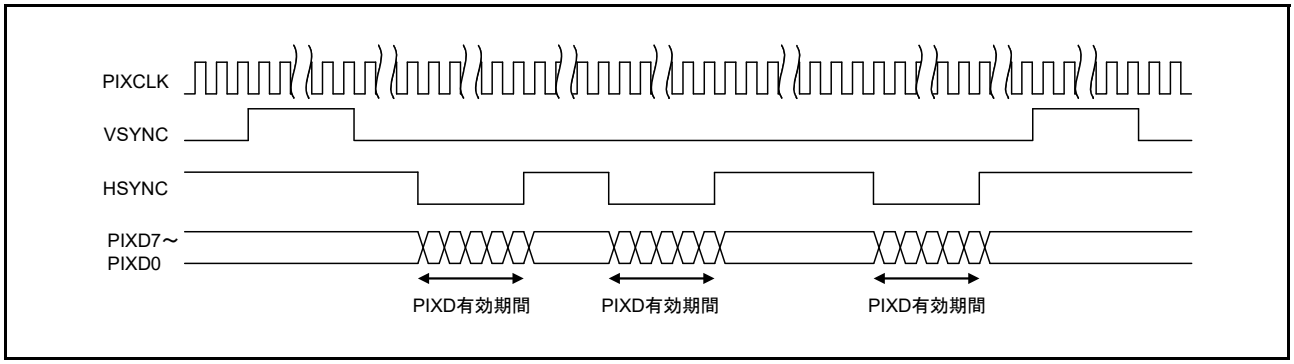


図 44.7　VPS = 1、HPS = 1 の場合の PDC 転送フォーマット

44.3.2　転送タイミング

PDC の転送タイミングを、図 44.8 および表 44.3 に示します。

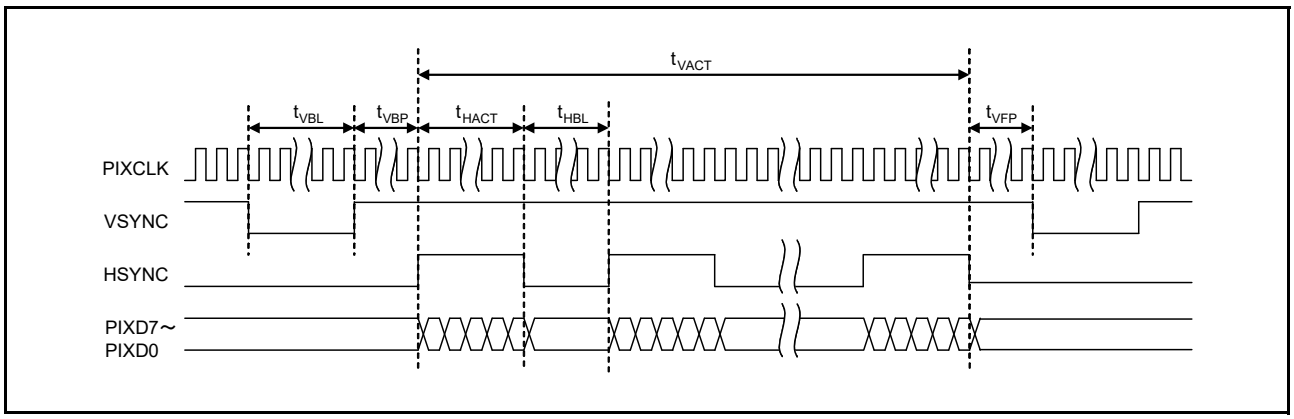


図 44.8　VPS = 0、HPS = 0 の場合の PDC 転送タイミング

表 44.3　VPS = 0、HPS = 0 の場合の PDC 転送タイミング

項目	シンボル	Min（注1）	Max	単位
垂直ブランキング期間	t_{VBL}	128	-	PIXCLK
垂直バックポーチ	t_{VBP}	10	-	PIXCLK
水平有効期間	t_{HACT}	4	4095	PIXCLK
水平ブランキング期間	t_{HBL}	128	-	PIXCLK
垂直フロントポーチ	t_{VFP}	10	-	PIXCLK
垂直有効期間	t_{VACT}	1	4095	ライン

注 1.　最小値は、PDC が達成可能な最小値です。これらの値での動作は、オーバーラン、垂直方向ライン数設定エラー、水平方向バイト数設定エラーの発生回避を保証するものではありません。

44.3.3 VCR レジスタ、HCR レジスタの設定とキャプチャ範囲

VCR レジスタ、HCR レジスタ設定とキャプチャ範囲の関係を、図 44.9 および図 44.10 に示します。

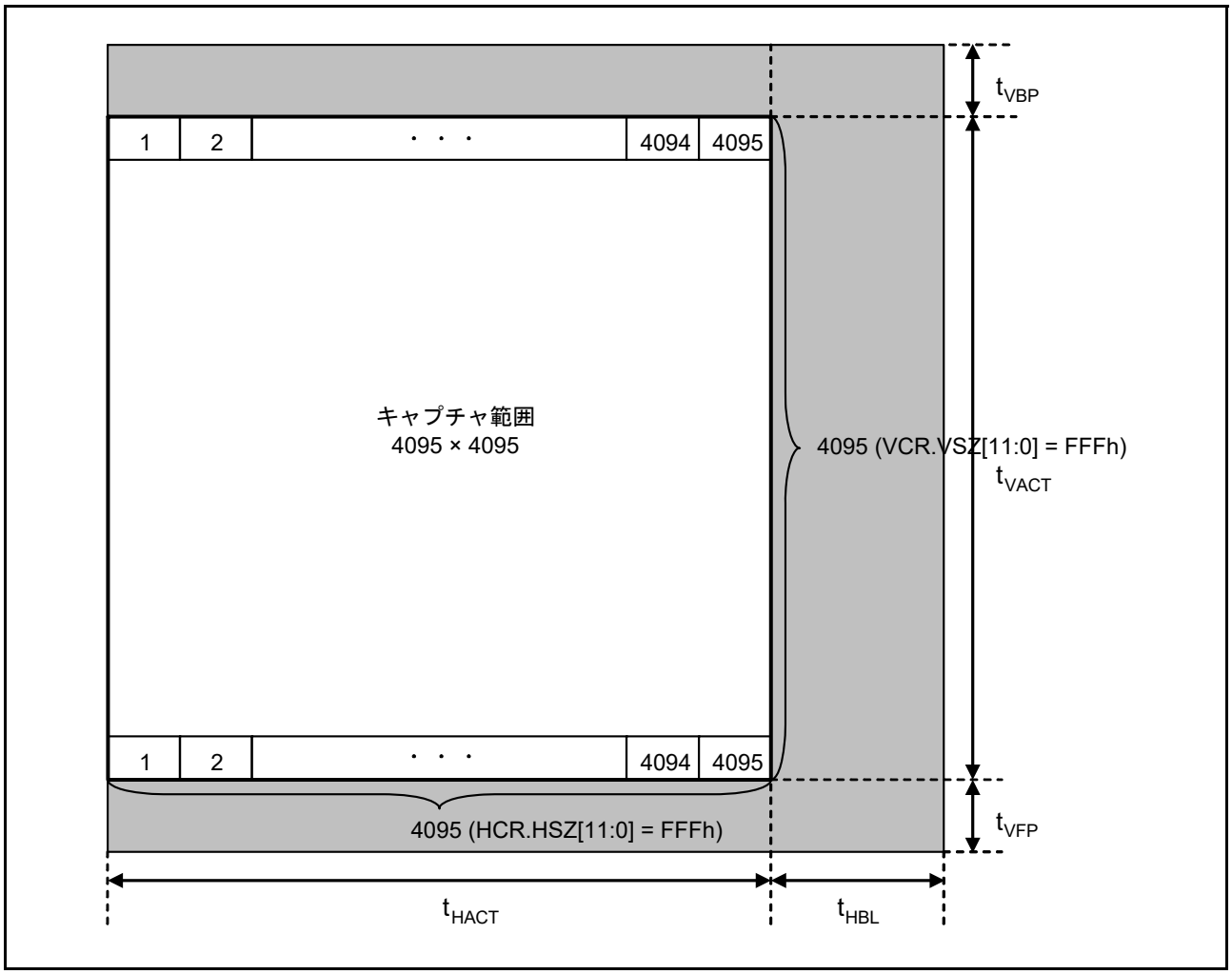


図 44.9 VCR = 0FFF 0000h、HCR = 0FFF 0000h の場合の VCR レジスタ、HCR レジスタ設定とキャプチャ範囲

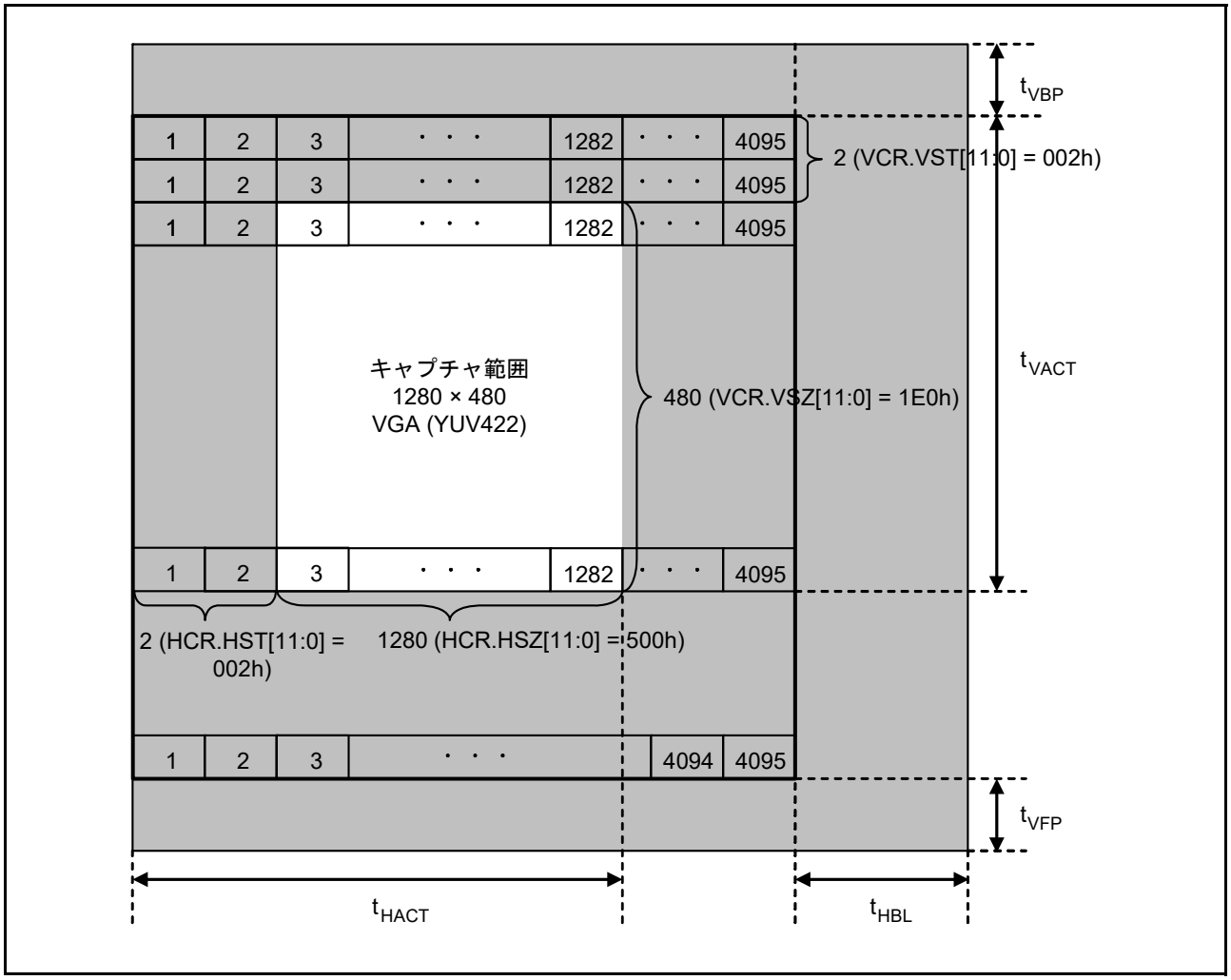


図 44.10 VCR = 01E0 0002h、HCR = 0500 0002h の場合の VCR レジスタ、HCR レジスタ設定とキャプチャ範囲

44.3.4 受信動作

図 44.11 に、受信データレディ割り込み（DTC/DMAC 起動）およびフレームエンド割り込みを使用した場合の受信動作例を示します。

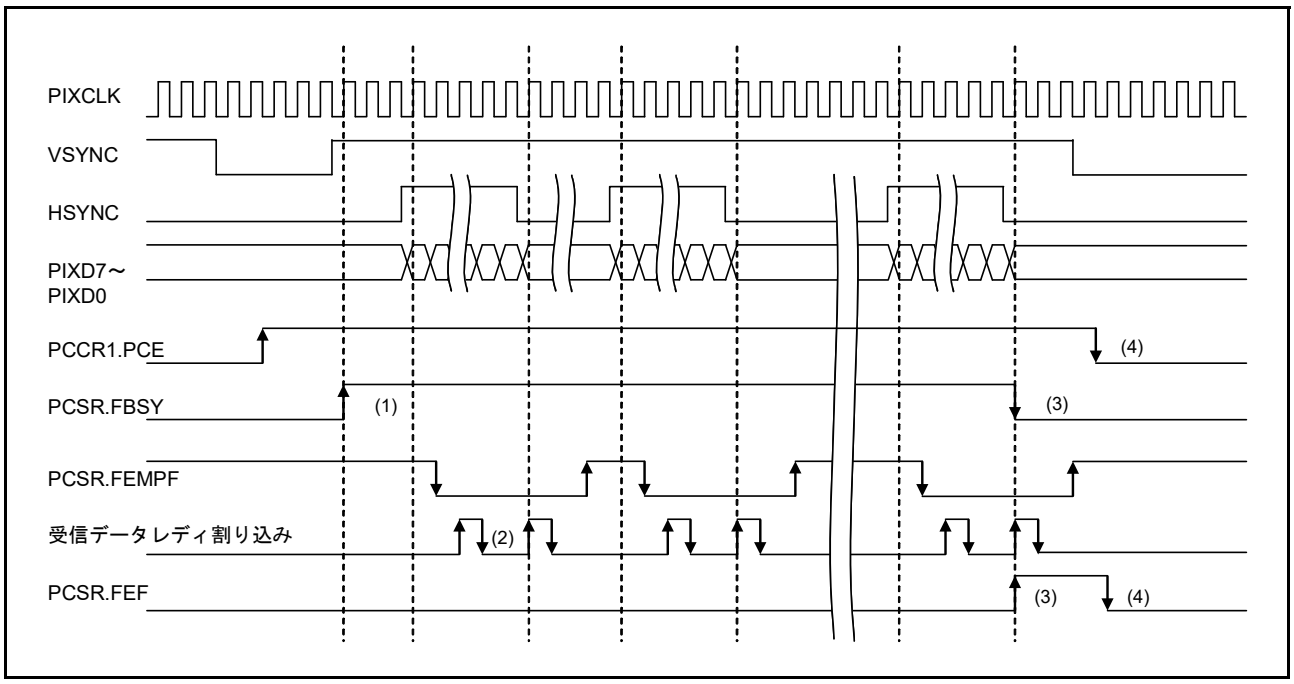


図 44.11 受信動作の例

ここでは、図 44.11 の (1)、(2)、(3)、(4) に示したタイミングの動作内容を説明します。

PCCR1.PCE ビットを 1 にした後で VSYNC 信号の有効エッジを検出した場合、PCSR レジスタの FEMPF フラグが 1 になり FIFO が初期化されます。同時に、PCSR レジスタの FBSY フラグが 1 になり受信動作が開始します。

VCR レジスタおよび HCR レジスタで設定したキャプチャ範囲のデータを受信すると、データを FIFO に格納します。PDC は 32 バイトデータ受信ごとに受信データレディ割り込みを発生し、DTC/DMAC によりキャプチャしたデータを内蔵 SRAM または外部アドレス空間へ転送します。PCDR レジスタの読み出し間隔がデータ受信間隔より長いと FIFO がオーバーランする可能性があります。オーバーランの発生の有無は PCSR.OVRF フラグで確認することができます。

最終バイトデータの受信が完了すると PCSR.FBSY フラグを 0 にし、PCSR.FEF フラグを 1 にし、受信データレディ割り込みおよびフレームエンド割り込みを発生します。

PCSR レジスタの FEMPF フラグはフレームエンド割り込みでポーリングされ、その後、プログラムは DTC/DMAC によりデータ転送の完了を検証する必要があります。PCCR1.PCE ビットが 0 になると、PCSR レジスタの FEF フラグも 0 になり、1 データフレームの受信が完了します。

PCCR1.PCE ビットを 1 にする際、PCSR.FEF フラグが 1 の場合、VSYNC 信号の有効エッジは検出せず受信動作を開始しません。データ受信動作を開始するには PCSR.FEF フラグを 0 にクリアしてください。

44.3.5 水平ブランキング期間中の動作

前回の受信データレディからデータ受信バイト数が 32 バイト未満で水平ブランキング期間に入った場合、データ受信バイトのカウントは保持され、次の有効期間に持ち越されます。水平ブランキング期間中の動作を図 44.12 に示します。

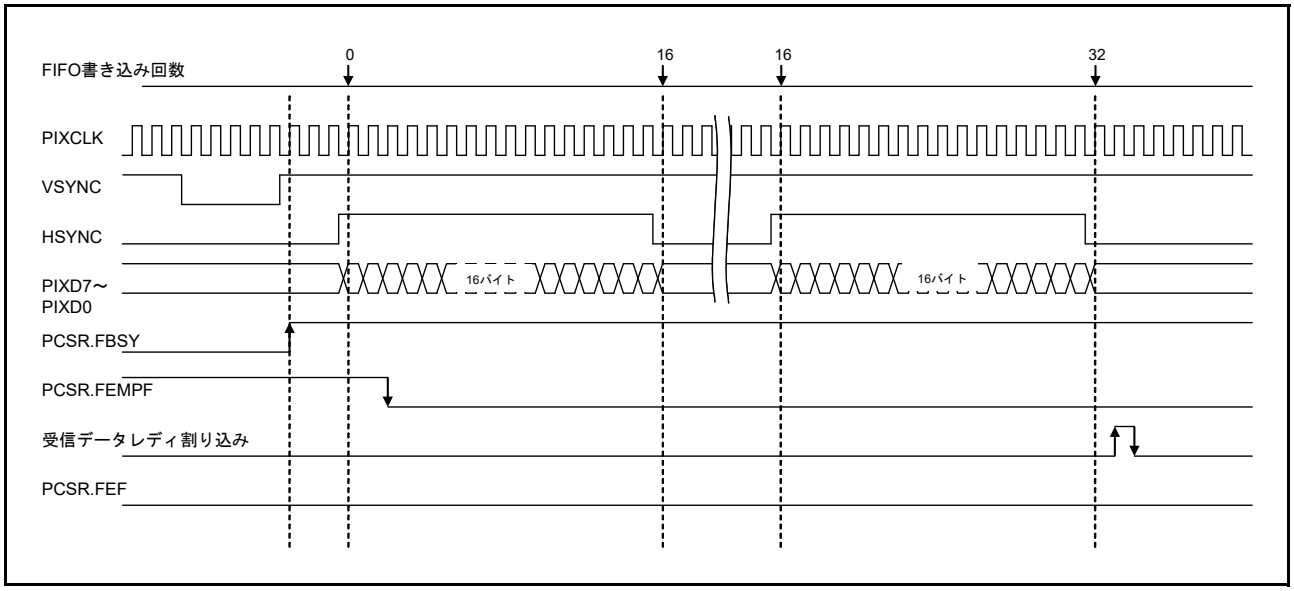


図 44.12 水平ブランキング期間中の動作例

44.3.6 フレームエンドでの継続受信動作

前回の受信データレディから受信したデータ数が 32 バイト未満で最終データを受信した場合、PDC は受信データ数が 32 になるまでデータ受信を継続します。この動作を継続受信と呼びます。継続受信を終了すると、PDC は受信データレディ割り込みとフレームエンド割り込みを発生させます。継続受信中は、常に PIXCLK を入力してください。この動作中に FIFO に格納したデータを読み出すと、不定値となります。図 44.13 は、フレームエンドでの動作例を示しています。

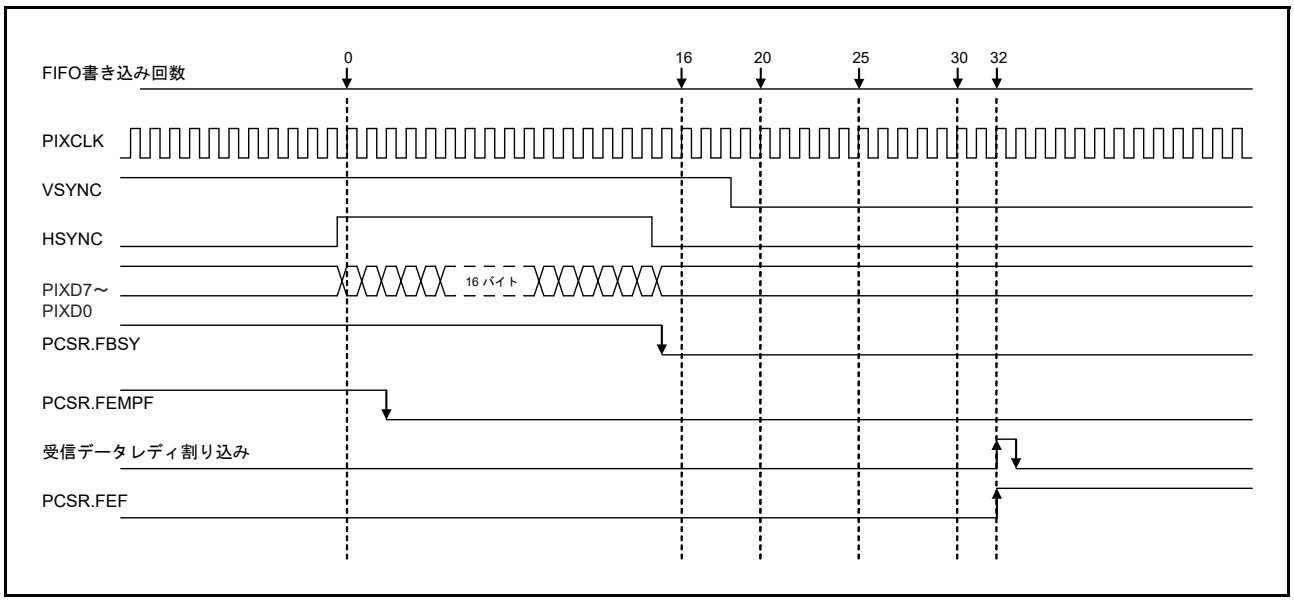


図 44.13 フレームエンドでの継続受信動作例

44.3.7 エラー検出

PDC は、受信動作中のエラーにソフトウェアで対応できるよう、エラー検出機能を持っています。表 44.4 に、各エラー検出条件とエラー検出に伴って発生する割り込みについて示します。

表 44.4 エラー検出

エラー要因	エラー検出の条件	割り込みフラグ	動作例
オーバーラン	FIFOがフルの状態でデータを受信したとき（注1）	PCSR.OVRF	図 44.14
アンダーラン	FIFOがエンプティの状態でPCDRレジスタを読み出したとき	PCSR.UDRF	図 44.15
垂直方向ライン数エラー	VCRレジスタで設定した垂直方向キャプチャライン数未満でVSYNC信号がネゲートしたとき	PCSR.VERF	図 44.16
水平方向バイト数エラー	HCRレジスタで設定した水平方向キャプチャバイト数未満でHSYNC信号がネゲートしたとき	PCSR.HERF	図 44.17

注 1. 継続受信動作中のデータ受信も含まれます。

エラーを検出すると、PDC は関連する割り込みフラグを 1 にし、受信動作を停止します。割り込みフラグが 1 の状態では、VSYNC 信号の有効エッジは検出せず、受信動作を開始しません。受信動作を開始するには、すべてのエラー要因の割り込みフラグを 0 にクリアしてください。

エラーが発生した場合、FIFO に格納されているデータは無効になります。

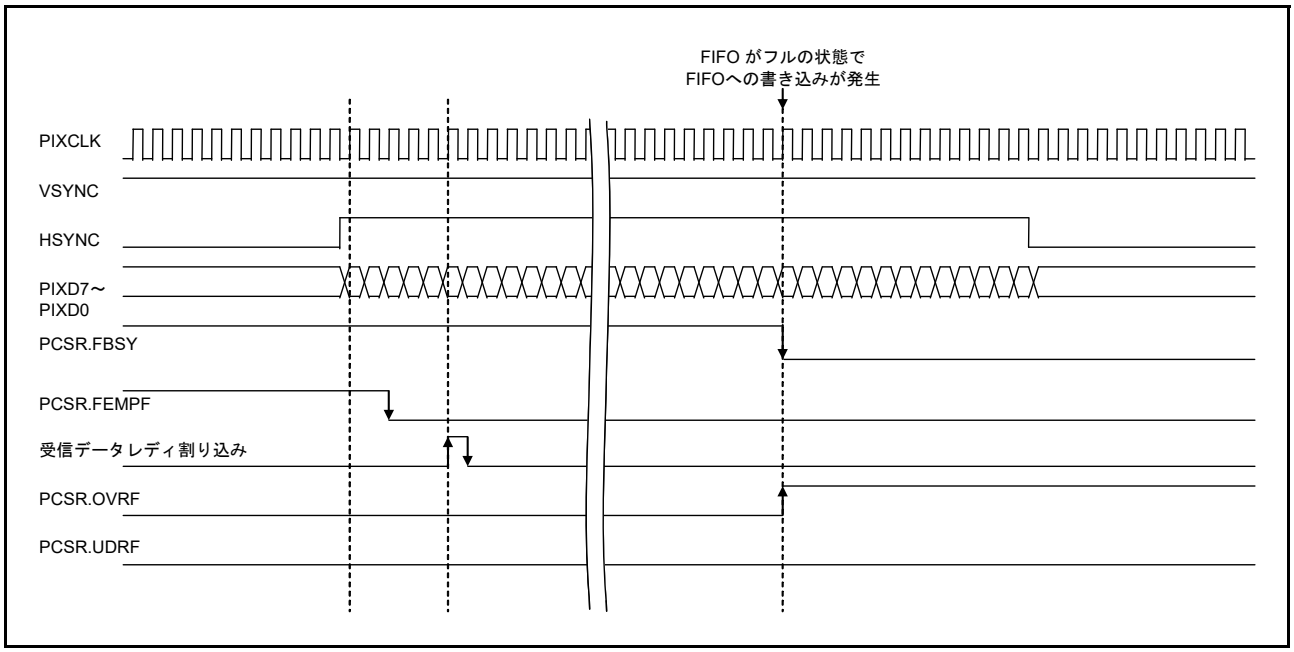


図 44.14 オーバーラン検出時の動作

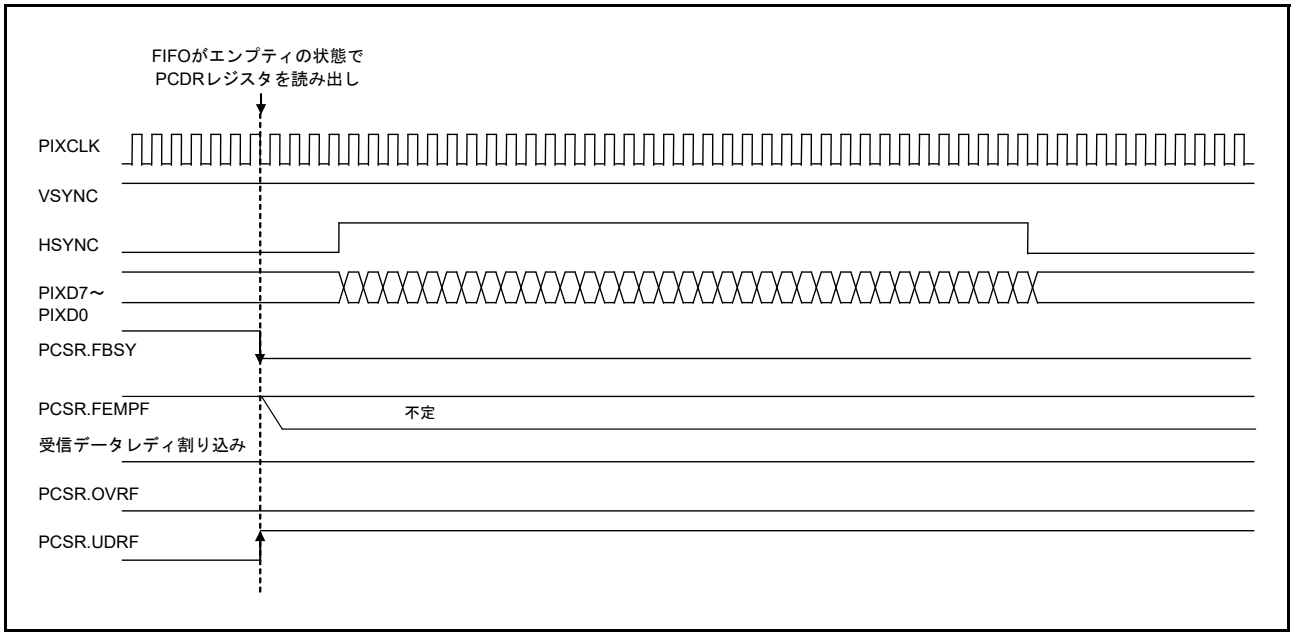


図 44.15　　アンダーラン検出時の動作

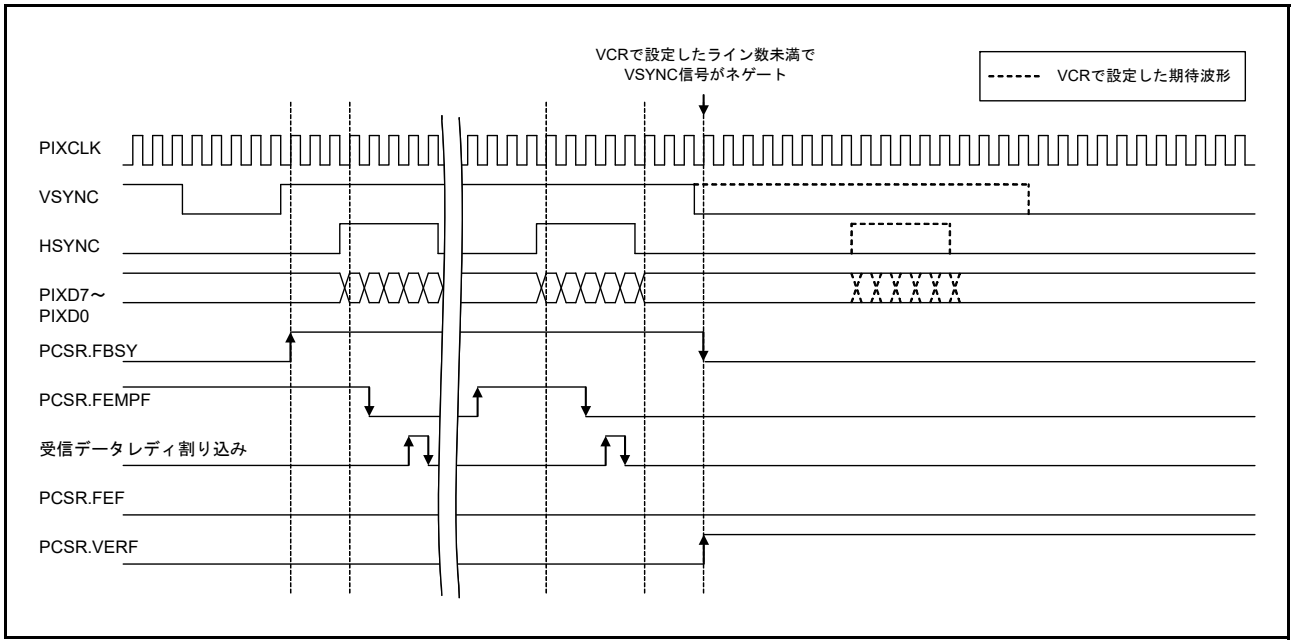


図 44.16　　垂直方向ライン数設定エラー検出時の動作

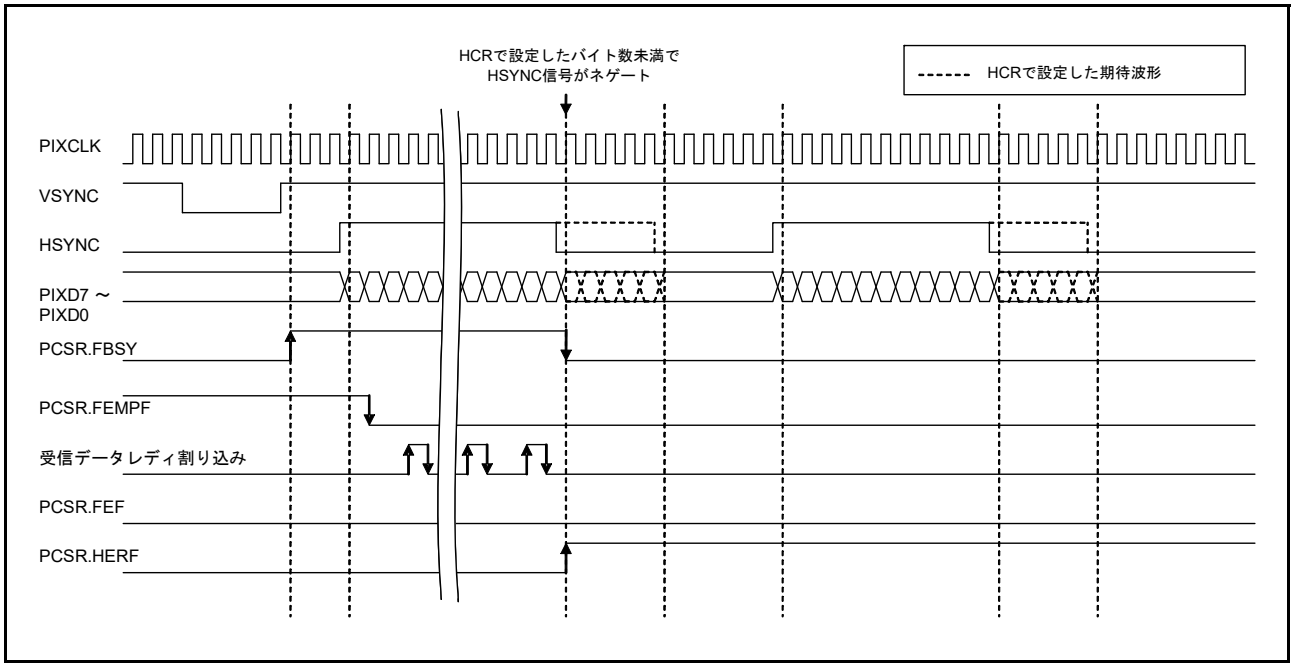


図 44.17　　水平方向バイト数設定エラー検出時の動作

44.3.8 初期設定

図 44.18 は、初期設定のフロー例を示しています。なお、入出力ポート、割り込みコントローラユニット（ICU）の設定方法については、各ブロックの説明を参照してください。

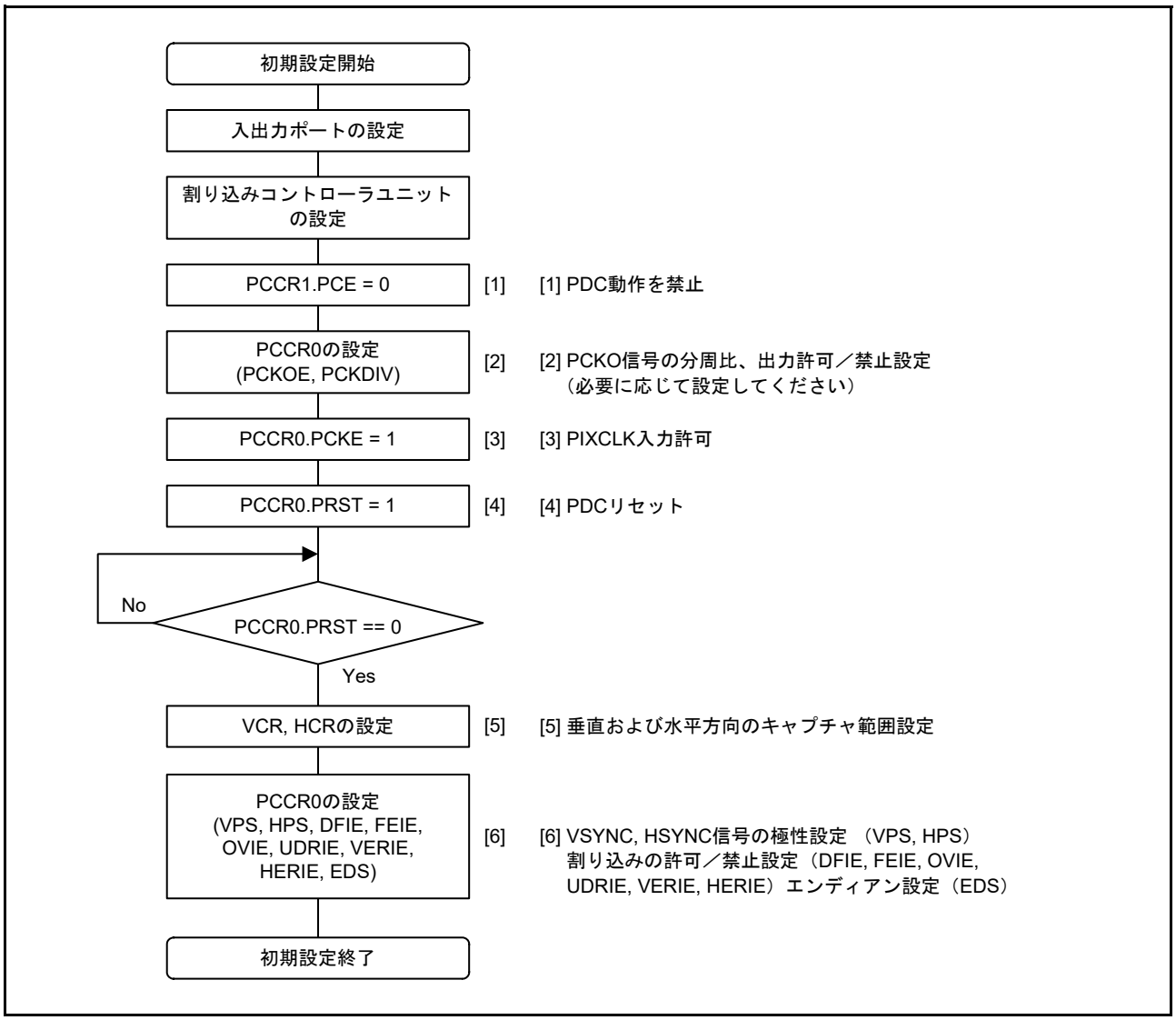
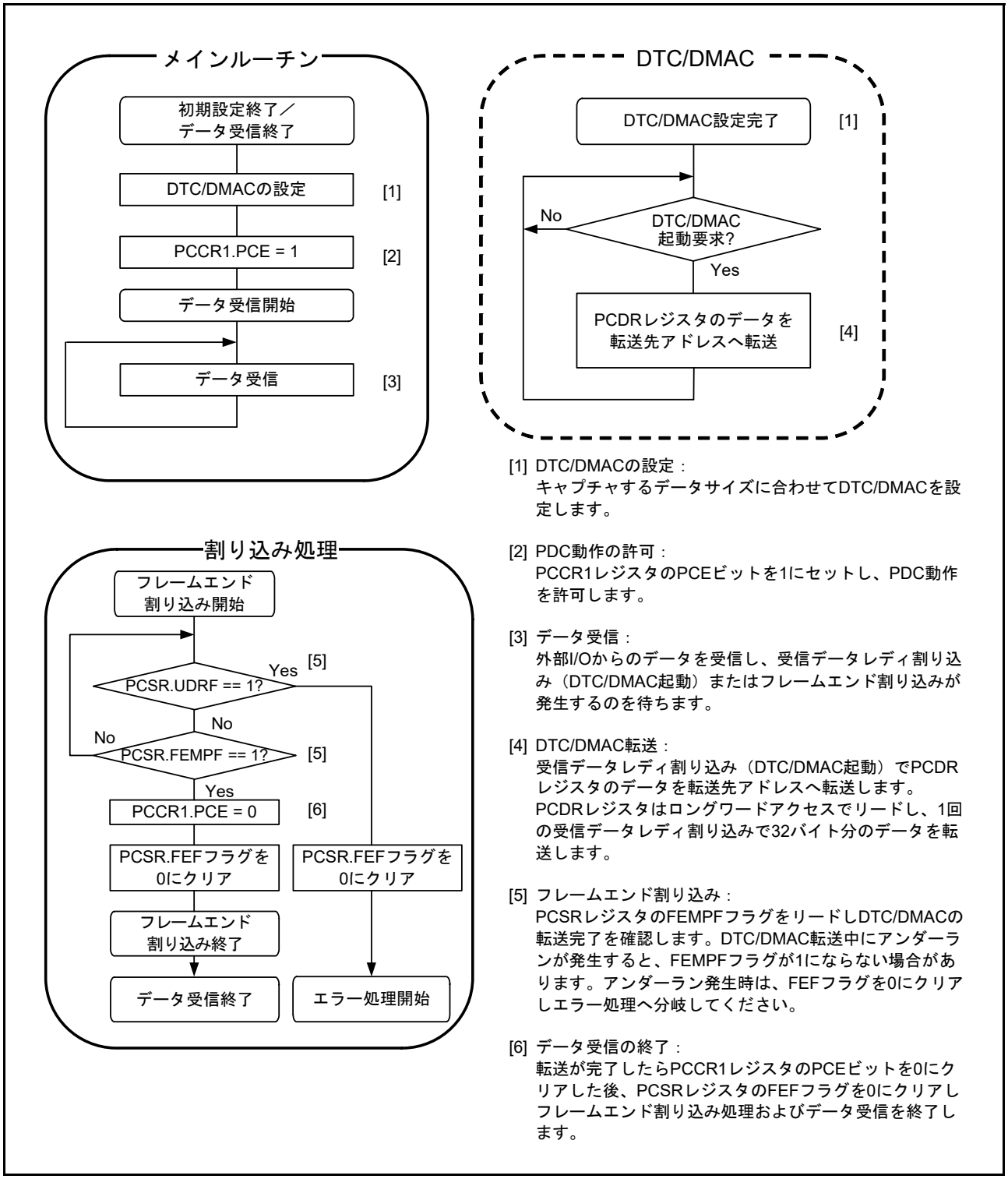


図 44.18 初期 PDC 設定のフロー例

44.3.9 動作フロー

図 44.19 に、受信データレディ割り込み（DTC/DMAC 起動）およびフレームエンド割り込みを使用した場合の動作フロー例を示します。なお、DTC/DMAC の設定方法については、「17. DMA コントローラ（DMAC）」および「18. データトランスファコントローラ（DTC）」を参照してください。



[1] DTC/DMACの設定：
キャプチャするデータサイズに合わせてDTC/DMACを設定します。

[2] PDC動作の許可：
PCCR1レジスタのPCEビットを1にセットし、PDC動作を許可します。

[3] データ受信：
外部I/Oからのデータを受信し、受信データレディ割り込み（DTC/DMAC起動）またはフレームエンド割り込みが発生するのを待ちます。

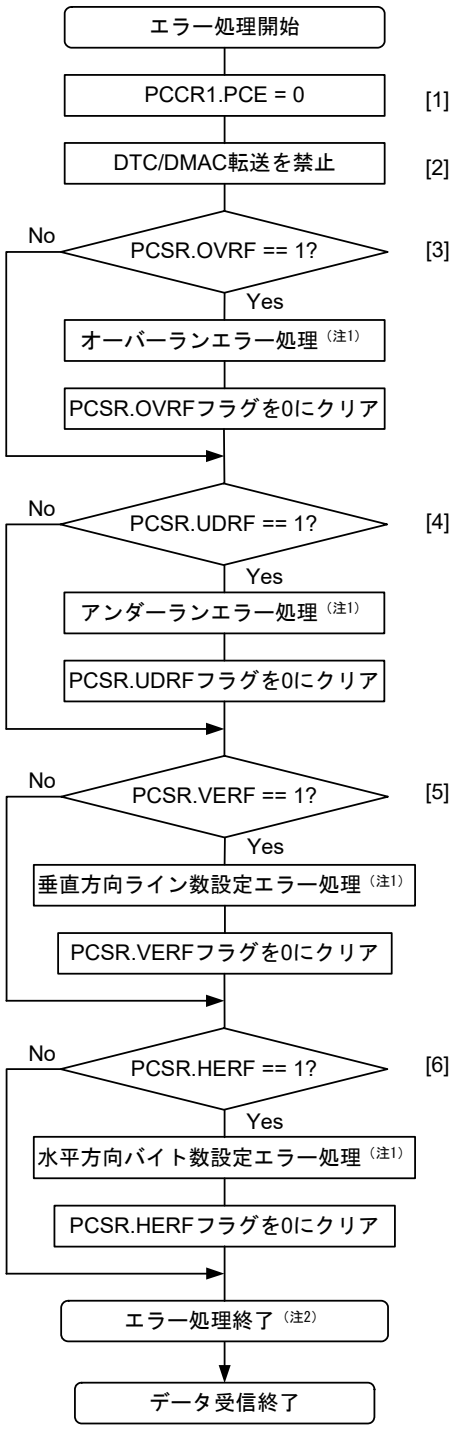
[4] DTC/DMAC転送：
受信データレディ割り込み（DTC/DMAC起動）でPCDRレジスタのデータを転送先アドレスへ転送します。
PCDRレジスタはロングワードアクセスでリードし、1回の受信データレディ割り込みで32バイト分のデータを転送します。

[5] フレームエンド割り込み：
PCSRレジスタのFEMPFフラグをリードしDTC/DMACの転送完了を確認します。DTC/DMAC転送中にアンダーランが発生すると、FEMPFフラグが1にならない場合があります。アンダーラン発生時は、FEFフラグを0にクリアしエラー処理へ分岐してください。

[6] データ受信の終了：
転送が完了したらPCCR1レジスタのPCEビットを0にクリアした後、PCSRレジスタのFEFフラグを0にクリアしフレームエンド割り込み処理およびデータ受信を終了します。

図 44.19 動作フロー例

図 44.20 に、エラー処理フローの例を示します。



[1] PDC動作の禁止：
PCCR1レジスタのPCEビットをクリアし、PDC動作を禁止します。

[2] DTC/DMAC転送の禁止：
DTC/DMAC転送を禁止します。

[3] Overrunフラグの確認：
PCSRレジスタをリードしOVRFの状態を確認します。OVRFフラグがセットされている場合、オーバーランエラー処理を行い、OVRFフラグをクリアします。

[4] Underrunフラグの確認：
PCSRレジスタをリードしUDRFの状態を確認します。UDRFフラグがセットされている場合、アンダーランエラー処理を行い、UDRFフラグをクリアします。

[5] Vertical line setting errorフラグの確認：
PCSRレジスタをリードしVERFの状態を確認します。VERFフラグがセットされている場合、垂直方向ライン数設定エラー処理を行い、VERFフラグをクリアします。

[6] Horizontal byte setting errorフラグの確認：
PCSRレジスタをリードしHERFの状態を確認します。HERFフラグがセットされている場合、水平方向バイト数設定エラー処理を行い、HERFフラグをクリアします。

注 1. 各エラー処理はユーザ定義のエラー処理になります。ユーザ側で各エラーに対応する処理を用意してください。
注 2. アンダーラン以外の要因によるエラー割り込み発生後に、CPU/DTC/DMAC が PCDR レジスタを読み出すと、アンダーランが発生する場合があります。エラー処理終了後に、アンダーランが発生した場合は再度エラー処理を実行し、UDRF フラグをクリアしてください。エラー処理終了後のアンダーランを検知する必要があるため、エラー処理前にアンダーラン割り込みを禁止しないでください。

図 44.20 エラー処理フロー例

44.3.10 割り込み要因

PDC 割り込み要因には以下が含まれます。

- 受信データレディ
- フレームエンド
- オーバーラン
- アンダーラン
- 垂直方向ライン数設定エラー
- 水平方向バイト数設定エラー

また、受信データレディの割り込み要求で DTC または DMAC を起動し、データ転送を行うことができます。

PDC 割り込み要因を表 44.5 にまとめています。表 44.5 の割り込み条件が成立すると、関連する割り込みが発生します。受信データレディ割り込みでは、プログラムは PCDR レジスタを読み出すことで割り込み要因フラグをクリアできます。フレームエンド割り込みでは、PCSR レジスタの FEF フラグをクリアします。オーバーラン、アンダーラン、垂直方向ライン数設定エラー、水平方向バイト数設定エラーの割り込み要求が PDC_PCERI のベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。要因を特定したら、PCSR レジスタの関連するエラー割り込み要因フラグ（OVRF、UDRF、VERF、HERF）をクリアする必要があります。

DTC/DMAC モジュールがデータ転送を処理する場合、まずモジュールを選択してください。モジュールによる転送を許可してから、PDC を設定します。DTC/DMAC の設定方法については、「17. DMA コントローラ（DMAC）」および「18. データトランスファコントローラ（DTC）」を参照してください。

出力完了時、要求フラグは自動的にクリアされます。また、内部で保持している割り込み要求は、関連する割り込み許可ビット（PCCR0.DFIE ビット）を 0 にすることでクリアが可能です。

表 44.5 PDC の割り込み要因

割り込み要因	略称	割り込み条件	DTC/DMAC の起動
受信データレディ割り込み	PDC_PCDFI	PCCR0 レジスタの DFIE ビットが 1 の状態で受信データレディになったとき	可能
フレームエンド割り込み	PDC_PCFEI	PCCR0 レジスタの FEIE ビットが 1 の状態でフレームエンドになったとき	不可能
エラー割り込み	PDC_PCERI	• PCCR0 レジスタの OVIE ビットが 1 の状態でオーバーランになったとき • PCCR0 レジスタの UDRIE ビットが 1 の状態でアンダーランになったとき • PCCR0 レジスタの VERIE ビットが 1 の状態で垂直方向ライン数設定エラーになったとき • PCCR0 レジスタの HERIE ビットが 1 の状態で水平方向バイト数設定エラーになったとき	不可能

44.3.11 リセット状況

PDC には、PDC リセット（PCCR0.PRST ビットに 1 を書き込む）とその他リセットの 2 種類のリセットがあります。

その他リセットには下記が含まれます。

- RES 端子リセット
- パワーオンリセット
- 電圧監視リセット 0
- 電圧監視リセット 1
- 電圧監視リセット 2
- ディープソフトウェアスタンバイリセット
- 独立ウォッチドッグタイマリセット
- ウォッチドッグタイマリセット
- ソフトウェアリセット
- SRAM パリティエラーリセット
- SRAM DED エラーリセット
- 不当命令リセット
- 発振停止検出リセット
- バスマスタ MPU エラーリセット
- バススレーブ MPU エラーリセット
- スタックポインタエラーリセット
- リセットシーケンスのウォッチドッグタイマリセット

表 44.6 に、各リセット後のレジスタ状態を示します。

表 44.6 リセット時のレジスタ状態

PDC レジスタ	PDC リセット	その他のリセット
PCCR0	保持	リセット
PCCR1	保持	リセット
PCSR	リセット	リセット
PCMONR	保持	リセット
PCDR	保持	リセット
VCR	保持	リセット
HCR	保持	リセット

44.4 使用上の注意事項

44.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）の MSTPC2 により、PDC 動作の禁止／許可を設定できます。PDC は、リセット後の初期状態では動作が停止しています（MSTPC2 = 1）。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

44.4.2 低消費電力機能の制限

低消費電力機能を使用して PDC の消費電力を削減する場合、PCCR1.PCE ビットを 0 にして受信動作を禁止し、PCCR0.PCKE ビットを 0 にして PIXCLK 端子からの入力を禁止します。この設定が完了してから低消費電力機能を使用してください。

PCCR0.PCKOE ビットが 1 の場合、PCKE の PIXCLK 端子からの入力を禁止するだけでなく、PCCR0.PCKOE ビットを 0 にして PCKO 信号の出力を停止します。この設定が完了してから低消費電力機能を使用してください。

44.4.3 エラー割り込みの制限

エラー割り込み発生時、動作状態によっては DTC または DMAC がパラレルデータを転送している場合があります。そのため、エラー割り込み処理ルーチンは、PDC 動作を禁止（PCCR1.PCE = 0）した直後に DTC/DMAC によるデータ送信を禁止する必要があります。

44.4.4 DTC 使用の制限

受信データレディ割り込みで DTC を使用する場合、MRB.DISEL ビットを 0、MRA.SZ ビットを 10b にしてください。

ブロック転送モードのブロック転送回数は最大 65,536 回になります。1 回のブロック転送で 32 バイトを転送した場合、2,097,152 バイトまでしか転送できません。それ以上のデータを転送する場合、水平ブランキング期間中に再度 DTC を設定してください。詳細は、「18. データトランスファコントローラ（DTC）」を参照してください。

44.4.5 DMAC 使用の制限

受信データレディ割り込みで DMAC を使用する場合、DMTMD.SZ ビットを 10b にし、DELSRn.DESL[8:0] ビット（n = 0 ～ 7）を適切に設定してください。

ブロック転送モードのブロック転送回数は最大 65,536 回になります。1 回のブロック転送で 32 バイトを転送した場合、2,097,152 バイトまでしか転送できません。それ以上のデータを転送する場合、水平ブランキング期間中に再度 DMAC を設定してください。詳細は、「14. 割り込みコントローラユニット（ICU）」、および「17. DMA コントローラ（DMAC）」を参照してください。

45. バウンダリスキャン

45.1 概要

バウンダリスキャン機能は、JTAG（Joint Test Action Group）、IEEE Std.1149.1 および IEEE Standard Test Access Port and Boundary-Scan Architecture に基づくシリアル入出力インタフェースを提供します。表 45.1 にバウンダリスキャンの仕様を、図 45.1 にブロック図を、表 45.2 に入出力端子を示します。

表 45.1 バウンダリスキャンの仕様

項目	内容
実行条件	RES端子がLowの場合は必ずバウンダリスキャンを実行する必要があります。
テストモード	• BYPASSモード • EXTESTモード • SAMPLE/PRELOADモード • CLAMPモード • HIGHZモード • IDCODEモード

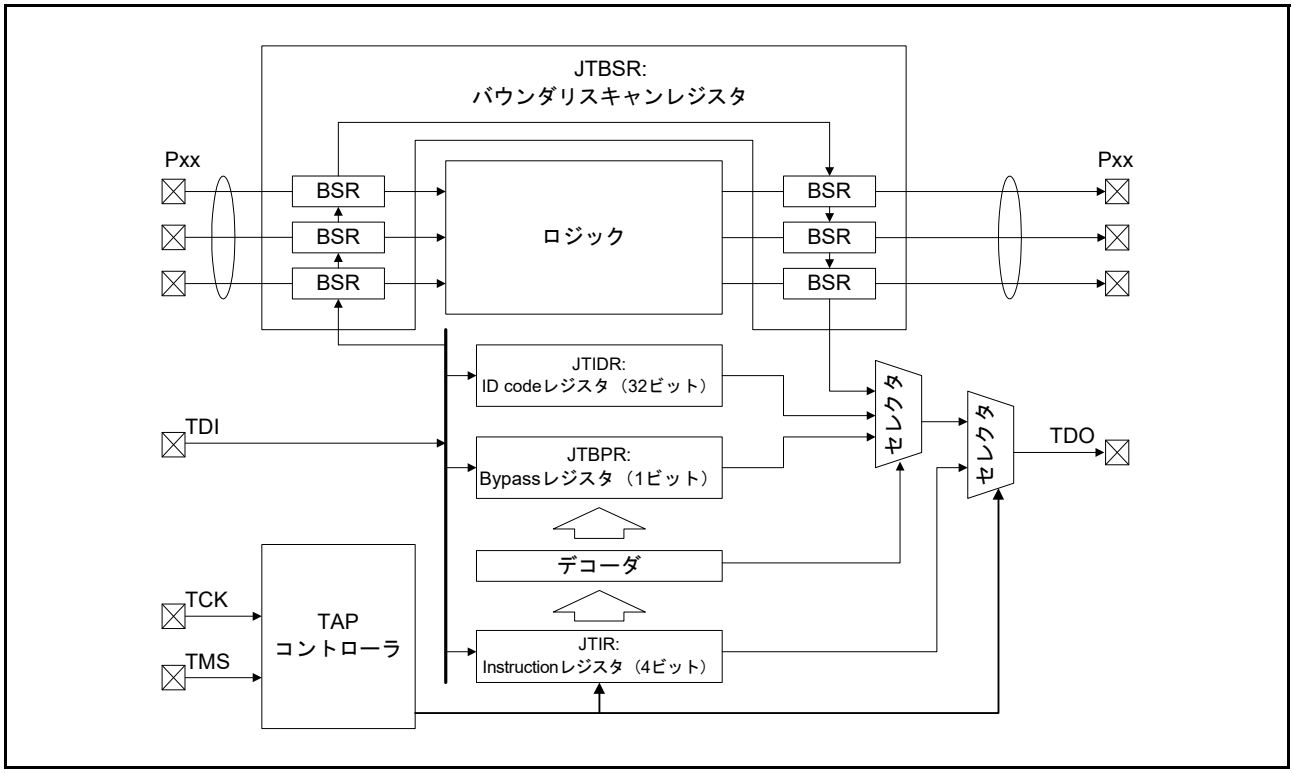


図 45.1 バウンダリスキャン機能のブロック図

表 45.2 バウンダリスキャンの入出力端子

端子名	入出力	機能
TCK	入力	テストクロック入力 バウンダリスキャン用のクロック信号。バウンダリスキャン機能使用時、入力クロックデューティ比は50%です。
TMS	入力	テストモードセレクト
TDI	入力	テストデータ入力
TDO	出力	テストデータ出力

注 . 本 MCU は、JTAG インタフェース用の TRST 端子はサポートしていません。

45.2 レジスタの説明

表 45.3 にバウンダリスキャンのレジスター一覧を示します。

表 45.3 バウンダリスキャンレジスタ

レジスタ名	シンボル	リセット後の値
インストラクションレジスタ	JTIR	Eh
IDコードレジスタ	JTIDR	0824 9447h
バイパスレジスタ	JTBPR	不定
バウンダリスキャンレジスタ	JTBSR	不定

バウンダリスキャンレジスタの使用上の注意

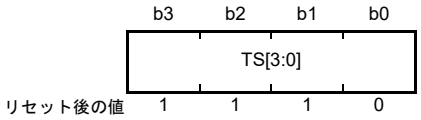
- インストラクションは、TDI 端子からシリアル転送によりインストラクションレジスタ（JTIR）へ入力できます
- バイパスレジスタ(JTBPR)は 1 ビットのレジスタで、BYPASS モード時に TDI 端子と TDO 端子はこのレジスタに接続されます
- バウンダリスキャンレジスタ（JTBSR）は BSDL の記述に基づき構成されており、テストデータをシフトインするときに TDI 端子と TDO 端子の間に接続されます

表 45.4 に各レジスタのシリアル転送を示します。

表 45.4 レジスタのシリアル転送

レジスタ名	シリアル入力	シリアル出力
インストラクションレジスタ（JTIR）	可能	可能
IDコードレジスタ（JTIDR）	可能	可能
バイパスレジスタ（JTBPR）	可能	可能
バウンダリスキャンレジスタ（JTBSR）	可能	可能

45.2.1 インストラクションレジスタ（JTIR）



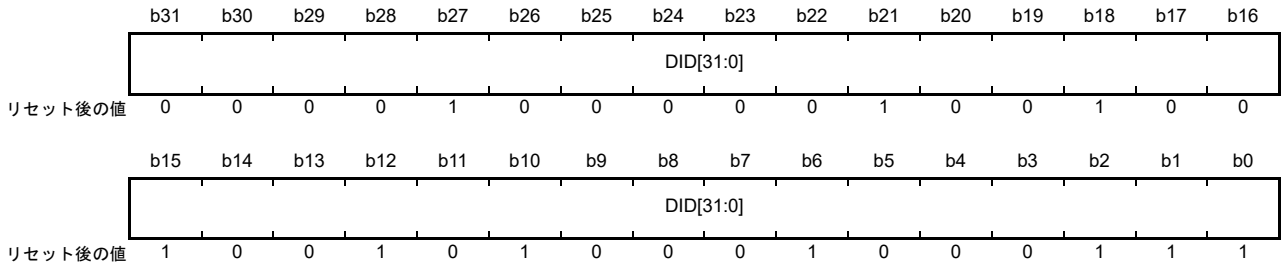
ビット	シンボル	ビット名	機能	R/W
b3-b0	TS[3:0]	テストビットセット	表 45.5に、これらのビットのコマンド構成を示します。	—

表 45.5 コマンド構成

TS3	TS2	TS1	TS0	インストラクション
0	0	0	0	EXTEST
0	0	0	1	SAMPLE/PRELOAD
0	0	1	1	IDCODE（ルネサスコード）
0	1	0	1	CLAMP
0	1	1	0	HIGHZ
1	1	1	1	BYPASS
上記以外の設定				予約ビット

JTAG 命令は、TDI 端子からのシリアル入力によって JTIR レジスタに転送することができます。JTIR レジスタは、パワーオンリセットが発生したとき、または TAP コントローラが Test-Logic-Reset 状態のときに初期化されます。

45.2.2 ID コードレジスタ（JTIDR）



ビット	シンボル	ビット名	機能	R/W
b31-b0	DID[31:0]	デバイスID	デバイスIDCODEを示す固定値を格納します。	—

IDCODE 命令の実行時、JTIDR レジスタのデータを TDO 端子から出力します。リセット解除後、JTIDR の IDCODE は Arm® デバッグコードに変わります。*ARM® CoreSight™ SoC-400 Technical Rerefencre Manual（ARM DDI 0480F）*を参照してください。

45.2.3 バイパスレジスタ（JTBPR）

JTBPR は、1 ビットのレジスタです。BYPASS モードに設定された場合、TDI 端子と TDO 端子は JTBPR レジスタに接続されます。CPU から TBPR レジスタへの読み出し／書き込みはできません。

45.2.4 バウンダリスキャンレジスタ（JTBSR）

JTBSR は、本 MCU の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。バウンダリスキャンテスト中の JTBSR レジスタを適用するには、EXTEST、SAMPLE/PRELOAD、CLAMP、HIGHZ の命令を発行します。BSDL ファイルは、JTBSR ビットと本 MCU の端子の対応について説明しています。リセット後の値は、不定です。

45.3 動作説明

リセット時に、JTAG ポートの TCK、TMS、TDI、および TDO がデフォルトの端子機能として割り当てられます。TCK、TMS、および TDI 端子はプルアップ抵抗器によってプルアップします。POR がネゲートされ、RES が Low になった場合、セットアップ時間が経過した後にバウンダリスキャンテストを行うことができます。

45.3.1 TAP コントローラ

図 45.2 に TAP コントローラの状態遷移図を示します。すべての遷移は TMS 信号によって制御されます。

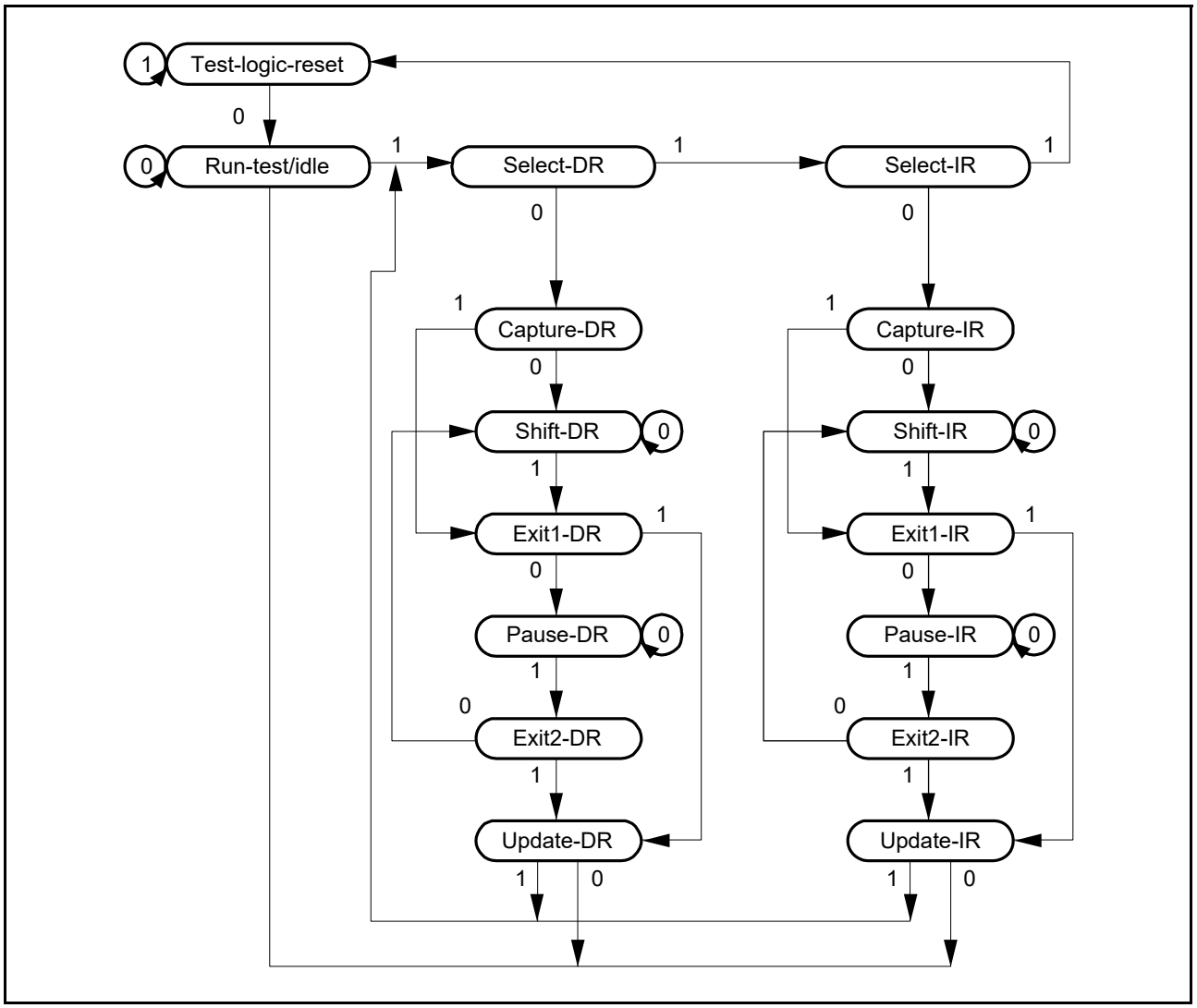


図 45.2 TAP コントローラの状態遷移図

45.3.2 コマンド

(1) BYPASS

BYPASS 命令は、バイパスレジスタ（JTBPR）を動作させます。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータの転送速度を高速化するものです。この命令の実行中、テスト回路はシステム回路に何の影響も与えません。

TDI 端子と TDO 端子にはバイパスレジスタ（JTBPR）が接続されます。Shift-DR 動作でバイパス動作となります。Shift-DR の 1 クロック目では TDO が Low となります。その後の Shift-DR で TDI が TDO から出力されます。

(2) EXTEST

EXTEST 命令は、本 MCU をプリント基板に実装したとき、外部回路をテストするためのものです。この命令の実行時、出力端子はバウンダリスキャンレジスタ（JTBSR）からテストデータ（SAMPLE/PRELOAD 命令ですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板から JTBSR レジスタにそのテスト結果を取り込むために使用されます。

(3) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は、MCU の内部回路からバウンダリスキャンレジスタ（JTBSR）に値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、MCU の入力端子はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により MCU のシステム回路は何の影響も受けません。

SAMPLE 動作では、バウンダリスキャンレジスタ（JTBSR）は入力端子から内部回路に転送されたデータ、または内部回路から出力端子に転送されたデータのスナップショットをラッチします。ラッチしたデータは、スキャンパスから読み出します。JTBSR レジスタは、Capture-DR 状態の TCK 端子の立ち上がりに同期してデータのスナップショットをラッチします。データのスナップショットは、リセット中に限り内部回路から出力端子に転送されます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスから JTBSR レジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、EXTEST シーケンスの最初から最後（出力ラッチへの転送）まで出力端子から不定値が出力されます。（EXTEST 命令では、常に出力端子にパラレル出力ラッチを出力します。）

(4) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタ（JTIDR）の値を TDO 端子に出力します。この場合、JTIDR レジスタ値は LSB ファーストで出力されます。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(5) CLAMP

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタ（JTBSR）の値を出力します。CLAMP 命令が選択されている間、JTBSR レジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタ（JTBPR）が接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) HIGHZ

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタ（JTBSR）の状態は TAP コントローラの状態に関係なく前の状態で保持されます。

TDI 端子と TDO 端子の間にはバイパスレジスタ（JTBPR）が接続され、BYPASS 命令が選択されたときと同様の動作をします。

45.4 使用上の注意事項

バウンダリスキャン機能には、以下の制限が適用されます。

- RES 端子が Low の場合は必ずバウンダリスキャンを実行する
- BSDL は、BSDL の記述に準じて構成されなければならないセーフビットを提供する
- 図 45.3 で示すとおりシリアルデータは LSB 側から入出力する

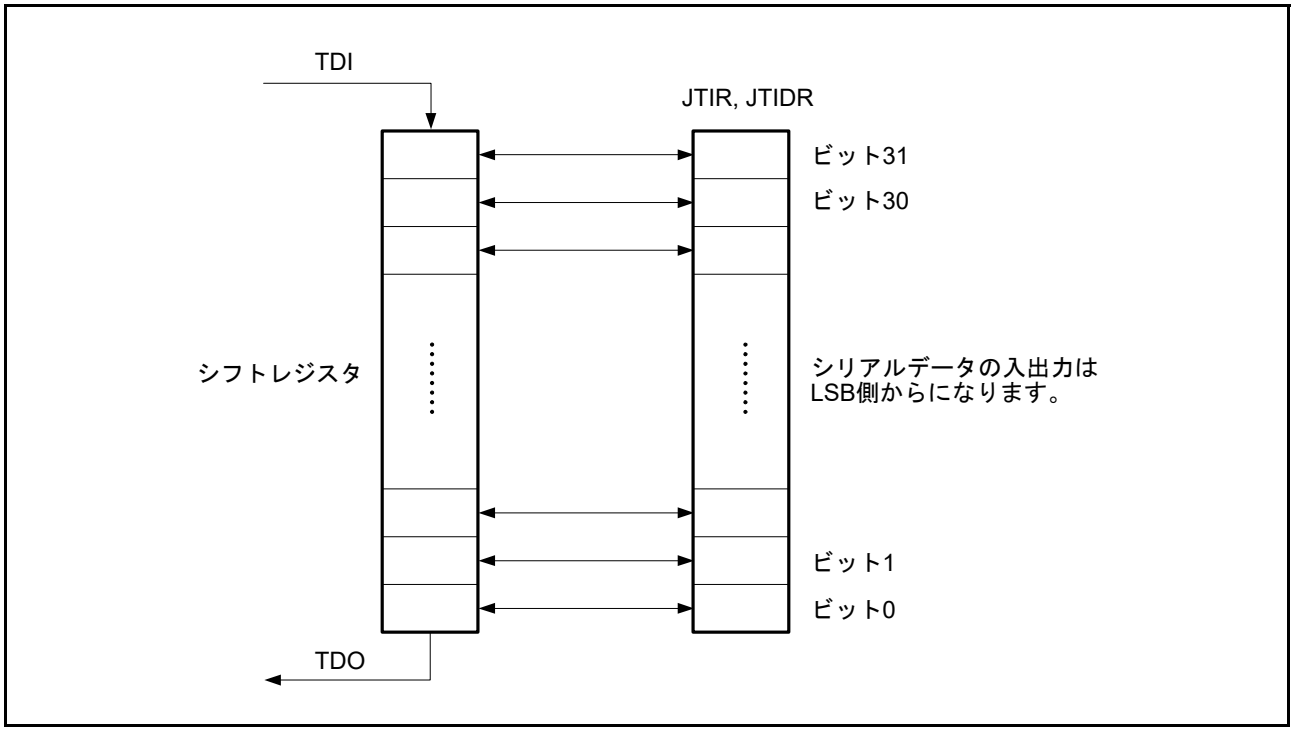


図 45.3 シリアルデータ入出力

以下の端子は、バウンダリスキャン対象外です。

- 電源端子（VCC、VCL、VSS、VBATT、AVCC0、AVSS0、VCC_USB、VSS_USB、AVCC_USBHS、AVSS_USBHS、PVSS_USBHS、VCC_USBHS、VSS1_USBHS、VSS2_USBHS）
- アナログリファレンス端子（VREFH0、VREFL0、VREFH、VREFL、USBHS_RREF）
- クロック端子（EXTAL、XTAL、XCIN、XCOUT）
- リセット信号（RES）
- USB 専用端子（USB_DP、USB_DM、USBHS_DP、USBHS_DM）
- バウンダリスキャンの端子（TCK、TMS、TDI、TDO）
- スイッチングレギュレータ端子（VLO）
- ノンマスカブル割り込み端子（P200）

46. セキュア暗号エンジン（SCE7）

46.1 概要

本 MCU はセキュリティ機能向けにセキュア暗号エンジン（SCE7）モジュールを搭載しています。本モジュールは、アクセス管理回路と暗号エンジン、および乱数生成器で構成されています。Renesas Synergy Software Package （SSP）暗号ライブラリと組み合わせることにより、SCE7 は盗聴（機密性）や情報改ざん（完全性）、なりすまし（信憑性）を防ぐことができます。

SCE7 は SSP 暗号ライブラリと合わせてのみ使用することが可能です。詳細は、*Renesas Synergy™ Software Package (SSP) ユーザーズマニュアル* の暗号化フレームワーク章および SCE 暗号化ドライバー章を参照してください

表 46.1 に SCE7 の仕様を、図 46.1 にブロック図を示します。

表 46.1 SCE7 の仕様 (1/2)

項目	仕様
アクセス制御	アクセス管理回路 • 不正プログラムやプログラム実行の暴走によりSCE7に異常なアクセスがあった場合、この回路は後続のすべてのアクセスを遮断し、SCE7からのデータ出力を停止します。
暗号エンジン	Advanced Encryption Standard（AES）：NIST FIPS PUB 197 アルゴリズムに準拠 • キーサイズ：128、192、256ビットのいずれか • ブロックサイズ：128ビット • 連鎖モード ECB、CBC、CTR：NIST SP 800-38Aに準拠 GCM：NIST SP 800-38Dに準拠 XTS：NIST SP 800-38Eに準拠 GCTR • 128ビットデータに対するスループット 128ビット鍵に対して11 PCLKBサイクル 256ビット鍵に対して15 PCLKBサイクル（注1） AES-GCM • AES-GCMはAES-GCTRとGHASHを組み合わせることにより実現 Triple Data Encryption Standard（3DES） • 192ビット鍵長 • 8バイトの固定データブロックで動作 • レガシーなSecure Socket Layer（SSL）およびTransport Layer Security（TLS）プロトコルを使用 • 64ビットデータに対するスループット 56ビット鍵に対して16PCLKBサイクル Alleged RC4（ARC4） • 2048ビット鍵長 • 128ビットデータに対するスループット 2048ビット鍵に対して16PCLKBサイクル キー管理 • ラップされた鍵はSCE7でのみ有効
乱数の生成	128ビット真正乱数発生器
署名生成と認証	RSA • 1024ビットおよび2048ビットの鍵サイズをサポート • 署名生成、署名認証、公開鍵暗号、秘密鍵暗号 DSA •（1024、160）ビット、（2048、224）ビット、および（2048、256）ビットの鍵サイズをサポート • 署名生成、署名認証 ECC • P-192、P-224、P-256、およびP-384曲線をサポート • 署名生成、署名認証 • スカラー倍算

表 46.1 SCE7の仕様 (2/2)

項目	仕様
メッセージダイジェストの計算	HASH • SHA1, SHA224, SHA256, MD5
ユニークID	• MCU固有のID（ユニークID）では、アクセス管理回路から専用バスまでアクセスが可能 • ユニークIDと鍵生成情報を組み合わせることにより、他のMCUへの不正なデータコピーを防止
特権モード	• 特権モード信号はアクセス管理回路に接続されており、特権モードでのみSCE7を制御できるようにするのに使用
低消費電力	モジュールストップ状態の設定が可能

注 1. SSP 暗号ライブラリのコーリング機能に対する負荷は含まれていません。

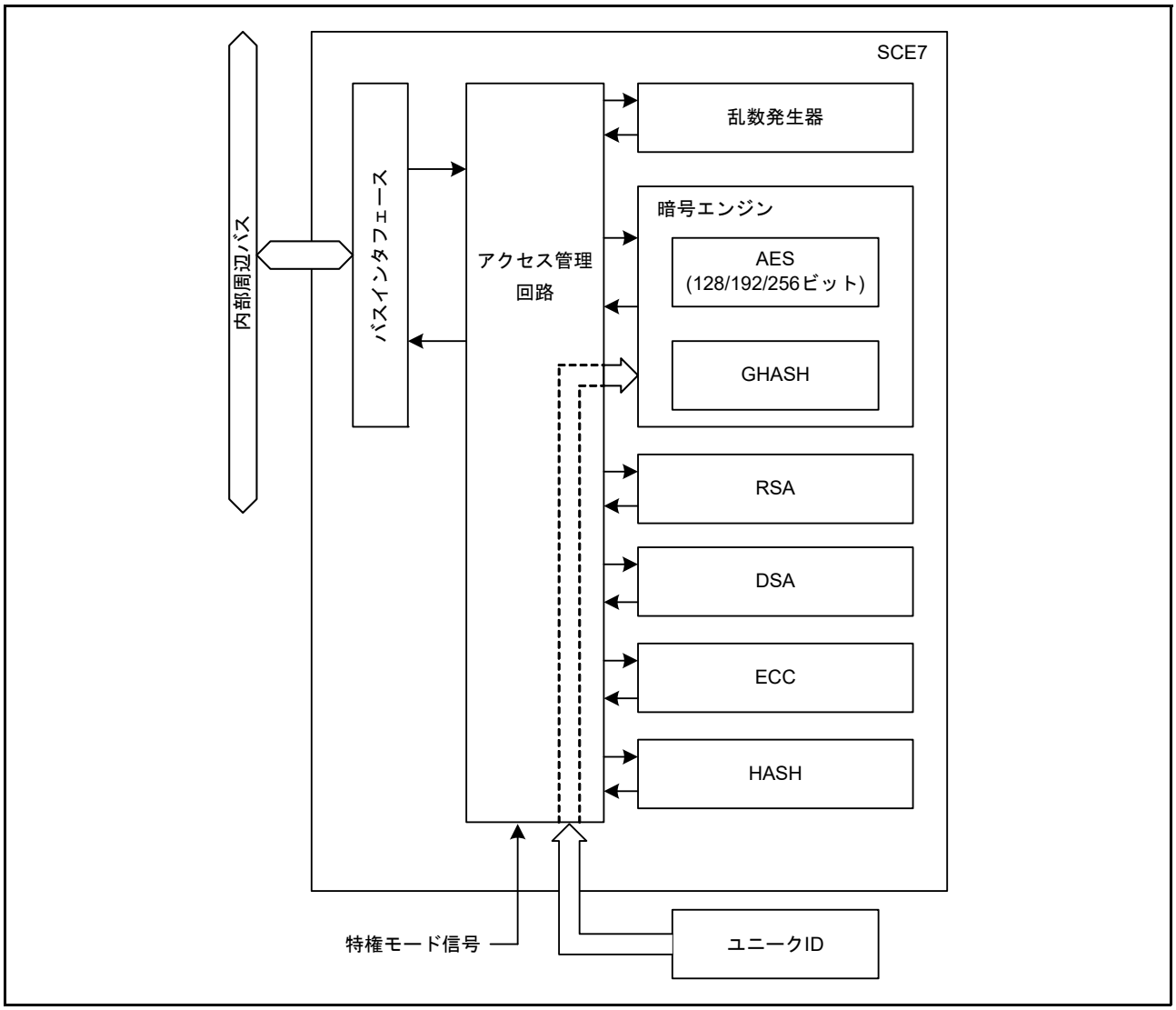


図 46.1 SCE7 ブロック図

46.2 動作説明

46.2.1 暗号エンジン

暗号エンジンは下記の機能をハードウェアで実行します。図 46.2 を参照してください。

- 平文から暗号文への暗号化
- 暗号文から平文への復号

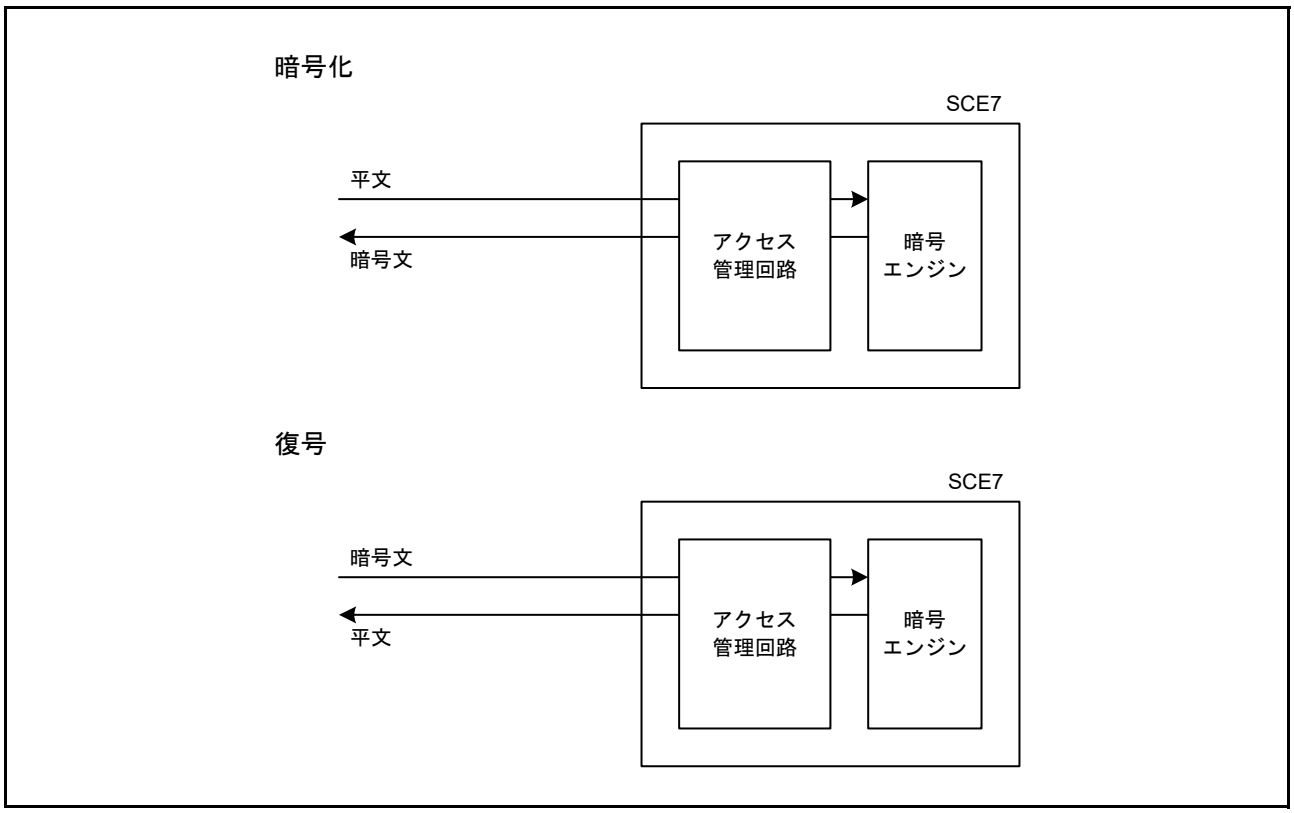


図 46.2 暗号エンジンによる暗号化と復号

46.2.2 暗号化と復号

データの暗号化または復号する方法：

1. 暗号化または復号するデータを SCE7 に入力する。

   SCE7 は平文を暗号文に、暗号文を平文に変換します。
2. 変換されたデータを読み出す

暗号エンジンは入力バッファと出力バッファを備えており、入出力データの暗号化 / 復号を並行して処理することが可能です。図 46.3 に暗号化と復号タイミングを示します。

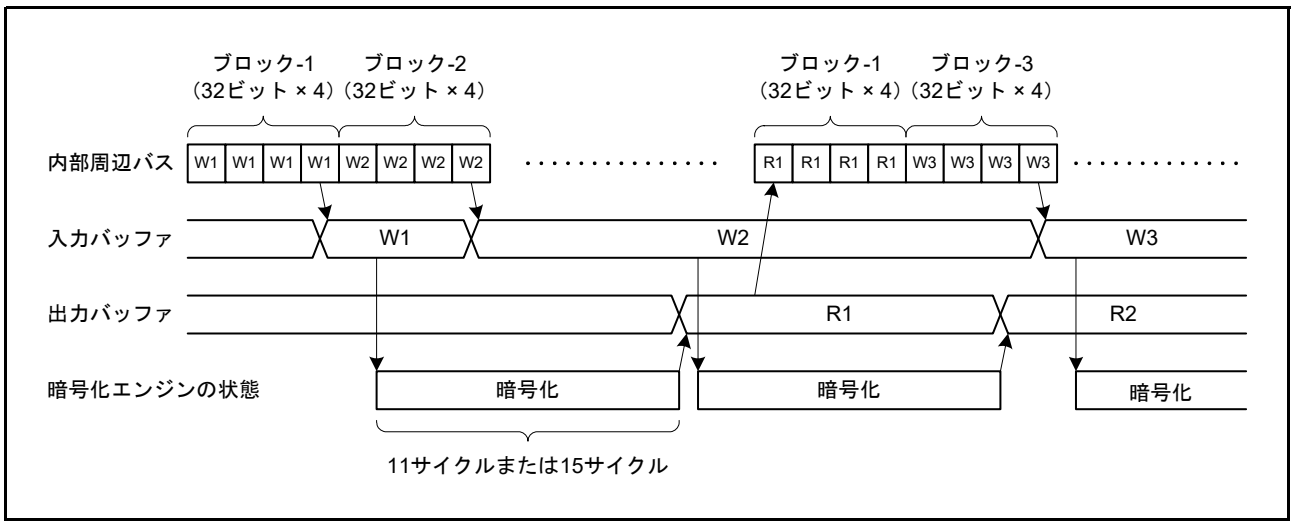


図 46.3 暗号化と復号タイミング（AES）

46.3 使用上の注意事項

46.3.1 ソフトウェアスタンバイモード

暗号エンジンの処理中にソフトウェアスタンバイモードへ遷移した場合、ソフトウェアスタンバイモードが終わっても適切な処理を再開することができません。そのため、ソフトウェアスタンバイモードへの遷移は、暗号エンジンが動作していない状態で行ってください。

46.3.2 モジュールストップ機能の設定

SCE7 の動作は、モジュールストップコントロールレジスタ C（MSTPCRC）を用いて有効または無効にすることが可能です。リセット後の初期状態では、SCE7 モジュールの動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。

47. 12 ビット A/D コンバータ（ADC12）

47.1 概要

本 MCU は、逐次比較方式の 12 ビットの A/D コンバータ（ADC12）を 2 ユニット内蔵しています。ユニット 0 は、最大 13 チャネルのアナログ入力を選択可能です。ユニット 1 は、最大 12 チャネルのアナログ入力と温度センサ出力、内部基準電圧を選択できます。A/D 変換精度は 12 ビット変換、10 ビット変換、および 8 ビット変換から選択可能で、デジタル値の生成時に速度と分解能のバランスを最適化することができます。

ADC12 は以下の特性を持ちます。

- 13 チャネル（ユニット 0）、12 チャネル（ユニット 1）
- PCLKB = 60MHz （最大）
- PCLKC = 60MHz （最大）
- アナログチャネル : AN000 ～ AN006、AN016 ～ AN021（ユニット 0）、AN100 ～ AN106、AN116 ～ AN120（ユニット 1）
- 分解能：12 ビット、10 ビット、8 ビット
- 専用サンプル＆ホールド回路内蔵
- プログラマブルゲインアンプ内蔵

ADC12 には次の動作モードがあります。

- 任意に選択したチャネルのアナログ入力を、チャネル番号の昇順に変換するシングルスキャンモード
- 任意に選択したチャネルのアナログ入力を、順次チャネル番号の昇順に連続して変換する連続スキャンモード
- チャネルのアナログ入力を任意に 2 つのグループ（A と B）に分け、グループ単位で選択したチャネルのアナログ入力をチャネル番号の昇順に変換するグループスキャンモード

グループスキャンモードでは、グループ A とグループ B のスキャン開始条件を個別に選択することで、グループ A とグループ B は異なるタイミングで A/D 変換を開始することができます。さらに、グループ A の優先制御動作を設定すると、ADC12 はグループ B の A/D 変換動作中にグループ A のスキャン開始を受け付けて、グループ B の A/D 変換動作を中断します。このようにして、グループ A の A/D 変換を優先的に開始することができます。

ダブルトリガモードは、任意に選択した 1 チャネルのアナログ入力をシングルスキャンモードかグループスキャンモード（グループ A）で変換し、1 回目の A/D 変換開始トリガで変換したデータと 2 回目の A/D 変換開始トリガで変換したデータを別々のレジスタに格納（A/D 変換データの 2 重化）します。

自己診断は、スキャンごとの最初に 1 回実施され、ADC12 内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力、内部基準電圧は、チャネルのアナログ入力と同時に選択可能です。最初の A/D 変換は、チャネルのアナログ入力、温度センサ出力、内部基準電圧の順で行われます。

ADC12 は比較機能（ウィンドウ A およびウィンドウ B）を搭載しています。この比較機能は、ウィンドウ A およびウィンドウ B それぞれの上側基準値および下側基準値を指定し、選択したチャネルの A/D 変換値が比較条件に一致すると割り込み要求を出力します。

表 47.1 に ADC12 の仕様を、表 47.2 にその機能一覧を示します。図 47.1 に ADC12（ユニット 0）のブロック図を、図 47.2 に ADC12（ユニット 1）のブロック図を示します。表 47.3 に、入出力端子を示します。

表 47.1 ADC12の仕様 (1/2)

項目	内容
ユニット数	2ユニット（0および1）
入力チャネル	• ユニット0：最大13チャネル • ユニット1：最大12チャネル
拡張アナログ機能	温度センサ出力、内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット（12ビット、10ビット、8ビット変換から選択可能）
変換時間	A/D変換クロックPCLKC（ADCLK）が60MHzで動作時、1チャネル当たり0.4µs （条件については表 60.40および表 60.41を参照してください）
A/D変換クロック	周辺モジュールクロックPCLKB（注1）とA/D変換クロックPCLKC（ADCLK）（注1）を以下の分周比で設定可能 PCLKB：PCLKC（ADCLK）分周比= 1:1、2:1、4:1、8:1、1:2、1:4
データレジスタ	• アナログ入力用25本（ユニット0：13本、ユニット1：12本）、ダブルトリガモードでのA/D変換データ2重化用1本/各ユニット、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本/各ユニット • 温度センサ出力用1本 • 内部基準電圧用1本 • 自己診断用1本 • A/D変換結果をA/Dデータレジスタに保持 • A/D変換結果の8、10、12ビット精度出力対応 • A/D変換値加算モード（A/D変換結果の加算値を変換精度ビット数+2ビット（注4）でA/Dデータレジスタに保持） • ダブルトリガモード（シングルスキャンとグループスキャンモードで選択可能） 選択した1つのチャネルのアナログ入力のA/D変換データを1回目は対象チャネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持 • ダブルトリガモード拡張動作（特定トリガ種別で有効） 選択した1つのチャネルのアナログ入力のA/D変換データを関連するトリガに準備した2重化レジスタに保持
動作モード	• シングルスキャンモード 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧を1回のみA/D変換 • 連続スキャンモード 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧を繰り返しA/D変換 • グループスキャンモード 任意に選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧をグループAとグループBに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBのスキャン開始条件を個別に選択することで、グループAとグループBのA/D変換をそれぞれ異なるタイミングで開始することが可能 • グループスキャンモード（グループA優先制御選択時） グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実行 グループAのA/D変換動作終了後にグループBのA/D変換動作の再実行（再スキャン）の設定が可能
A/D変換開始条件	• ソフトウェアトリガ • イベントリンクコントローラ（ELC）からの同期トリガ • 外部トリガADTRG0端子（ユニット0）およびADTRG1端子（ユニット1）による非同期トリガ
機能	• 専用サンプル＆ホールド機能（3ch：ユニット0および1、常時サンプリング設定可能） • サンプリングステート数可変機能 • ADC12の自己診断機能 • A/D変換値加算モードと平均モードが選択可能 • アナログ入力断線検出機能（ディスチャージ機能／プリチャージ機能） • ダブルトリガモード（A/D変換データ2重化機能） • 12/10/8ビット変換切り替え機能（注2） • A/Dデータレジスタオートクリア機能 • デジタルコンペア機能（コンペアレジスタとデータレジスタとの比較、データレジスタ間の比較）
プログラマブルゲインアンプ機能	• A/D変換を可能にするアナログ入力信号の増幅機能（3ch：ユニット0および1） • シングルエンド入力および差動入力に対応
割り込み要因およびELCイベント	• ADC12i_ADI：A/Dスキャン終了割り込み • ADC12i_GBADI：グループBのA/Dスキャン終了割り込み • ADC12i_CMPAI：ウィンドウAのコンペアマッチ • ADC12i_CMPBI：ウィンドウBのコンペアマッチ • ADC12i_WCMPM：コンペアマッチ • ADC12i_WCMPUM：コンペア不一致

表 47.1 ADC12の仕様 (2/2)

項目	内容
ELCインタフェース	ELCからのトリガでスキャン開始可能
バスインタフェース	周辺クロック（PCLKB）とバスクロック同期（最大周波数= 60MHz）
基準電圧	• ユニット0： VREFH0は高電位基準電圧 VREFL0は低電位基準電圧 • ユニット1： VREFHは高電位基準電圧 VREFLは低電位基準電圧
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減（注3）

i が 0 の場合はユニット 0 を、i が 1 の場合はユニット 1 を表します。

注 1. 周辺モジュールクロック PCLKB は SCKDIVCR.PCKB[2:0] ビットに指定し、A/D 変換クロック ADCLK は SCKDIVCR.PCKC[2:0] ビットに指定します（ユニット 0 および 1）。

注 2. A/D 変換精度を変えた場合、A/D 変換時間も変わります。詳細は、47.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

注 3. 詳細は、「11. 低消費電力モード」を参照してください。

注 4. 加算用の拡張ビット数は、A/D 変換精度および加算回数によって異なります。A/D 変換精度が 8、10、または 12 ビットの場合、2 ビット拡張は最大で変換 4 回（加算 3 回）となります。A/D 変換精度が 12 ビットの場合、4 ビット拡張は変換 16 回（加算 15 回）となります。

表 47.2 ADC12の機能一覧

項目			ユニット0（ADC120）	ユニット1（ADC121）
アナログ入力チャネル			AN000～AN006、 AN016～AN021 内部基準電圧 温度センサ出力	AN100～AN106、 AN116～AN120 内部基準電圧 温度センサ出力
A/D変換開始条件	ソフトウェア	ソフトウェアトリガ	許可	許可
	外部トリガ	トリガ入力端子	ADTRG0	ADTRG1
	同期トリガ （ELCからのトリガ）	ELCトリガ	ELC_AD00、ELC_AD01	ELC_AD10、ELC_AD11
チャネル専用サンプル&ホールド機能	対象チャネル		AN000～AN002	AN100～AN102
プログラマブルゲインアンプ機能	対象チャネル		AN000～AN002	AN100～AN102
	差動入力端子		PGAVSS000	PGAVSS100
割り込み			ADC120_ADI ADC120_GBADI ADC120_CMPAI ADC120_CMPBI	ADC121_ADI ADC121_GBADI ADC121_CMPAI ADC121_CMPBI
ELCへの出力			ADC120_ADI ADC120_WCMPM ADC120_WCMPUM	ADC121_ADI ADC121_WCMPM ADC121_WCMPUM
モジュールストップ機能の設定（注1）（注2）			MSTPCRD.MSTPD16ビット	MSTPCRD.MSTPD15ビット

注 1. 詳細は、「11. 低消費電力モード」を参照してください。

注 2. モジュールストップ状態の解除後に A/D 変換を開始するのに、1μs 以上待機します。

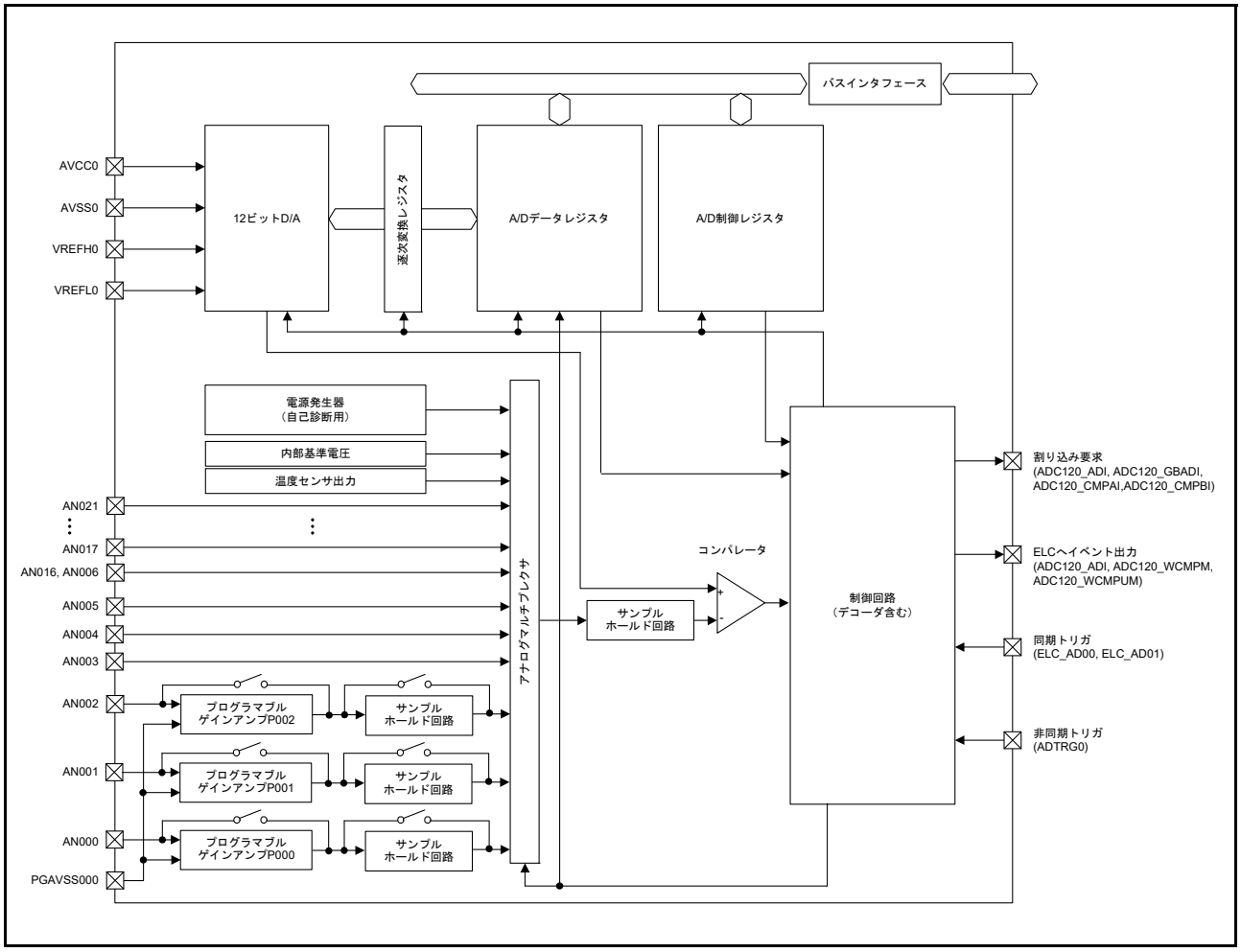


図 47.1 ADC12（ユニット 0）のブロック図

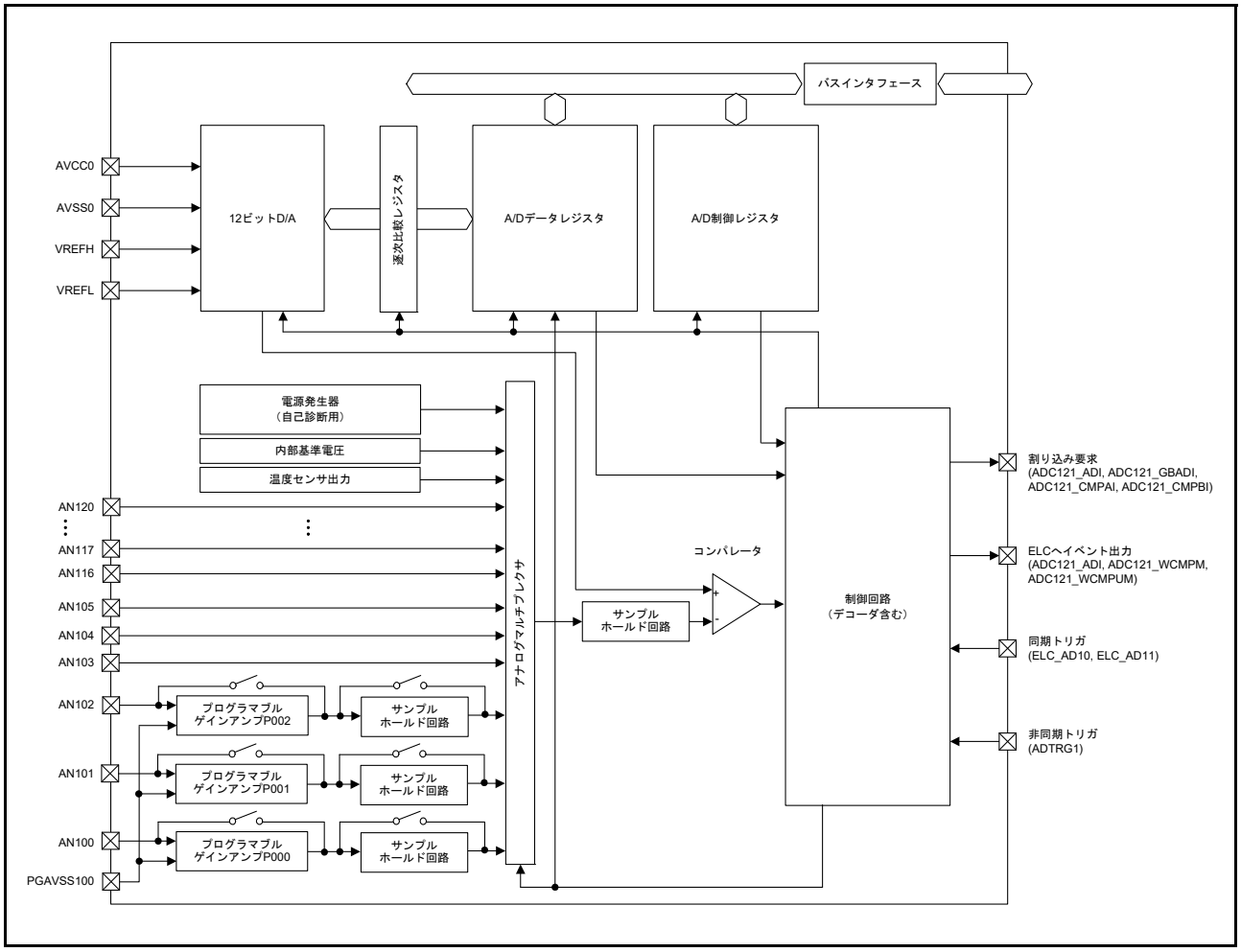


図 47.2　　ADC12（ユニット 1）のブロック図

表 47.3　　ADC12の入出力端子

ユニット	端子名	入出力	機能
ユニット0	AVCC0	入力	アナログ部の電源端子
	AVSS0	入力	アナログ部の電源グランド端子
	VREFH0	入力	基準電源端子
	VREFL0	入力	基準電源グランド端子
	AN000～AN006、 AN016～AN021	入力	アナログ入力端子0～6、16～21
	ADTRG0	入力	A/D変換開始のための外部トリガ入力端子、アクティブLow
	PGAVSS000	入力	差動入力端子
ユニット1	AVCC0	入力	アナログ部の電源端子
	AVSS0	入力	アナログ部の電源グランド端子
	VREFH	入力	ADC12（ユニット1）およびDACの基準電源端子
	VRELF	入力	ADC12（ユニット1）およびDACの基準電源グランド端子
	AN100～AN106、 AN116～AN120	入力	アナログ入力端子0～6、16～20
	ADTRG1	入力	A/D変換開始のための外部トリガ入力端子、アクティブLow
	PGAVSS100	入力	差動入力端子

47.2 レジスタの説明

47.2.1 A/D データレジスタ y（ADDRy）、A/D データ 2 重化レジスタ（ADDBLDR）、A/D データ 2 重化レジスタ A（ADDBLDRA）、A/D データ 2 重化レジスタ B（ADDBLDRB）、A/D 温度センサデータレジスタ（ADTSDR）、A/D 内部基準電圧データレジスタ（ADOCDR）

データレジスタには以下の種類があります。

- ADDRy レジスタ（y = 0 ～ 6、16 ～ 21（ユニット 0）、y = 0 ～ 6、16 ～ 20（ユニット 1））: A/D 変換結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDR レジスタ: ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADDBLDRA および ADDBLDRB レジスタ: ダブルトリガモード選択時、拡張動作中のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADTSDR レジスタ：温度センサ出力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ
- ADOCDR レジスタ：内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタ

これらのレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット（ADCER.ADRFMT）の設定値（左詰め、または右詰め）
- A/D 変換精度指定ビット（ADCER.ADPRC[1:0]）の設定値（8 ビット、10 ビット、または 12 ビット

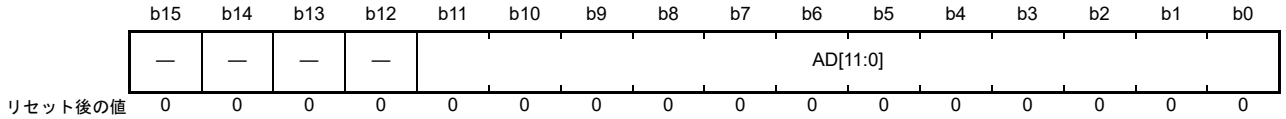
以下では、各モードにおける条件ごとのデータフォーマットについて説明します。

(1) A/D 変換値加算／平均モードを非選択とした場合

以下に、条件ごとのデータフォーマットを示します。

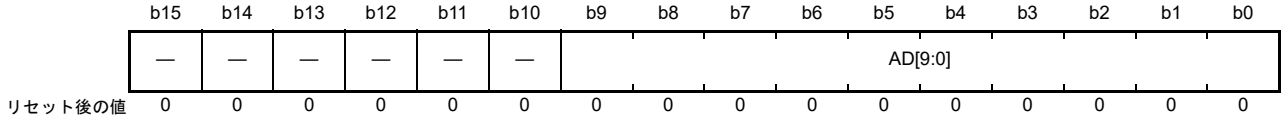
右詰めのフォーマット、12 ビット精度に設定した場合

アドレス ADC120.ADDR0 4005 C020h～ADC120.ADDR6 4005 C02Ch,
ADC120.ADDR16 4005 C040h～ADC120.ADDR21 4005 C04Ah
ADC120.ADDBLDR 4005 C018h, ADC120.ADDBLDRA 4005 C084h, ADC120.ADDBLDRB 4005 C086h,
ADC120.ADTSDR 4005 C01Ah, ADC120.ADOCDR 4005 C01Ch,
ADC121.ADDR0 4005 C220h～ADC121.ADDR6 4005 C22Ch,
ADC121.ADDR16 4005 C240h～ADC121.ADDR20 4005 C248h,
ADC121.ADDBLDR 4005 C218h, ADC121.ADDBLDRA 4005 C284h, ADC121.ADDBLDRB 4005 C286h,
ADC121.ADTSDR 4005 C21Ah, ADC121.ADOCDR 4005 C21Ch



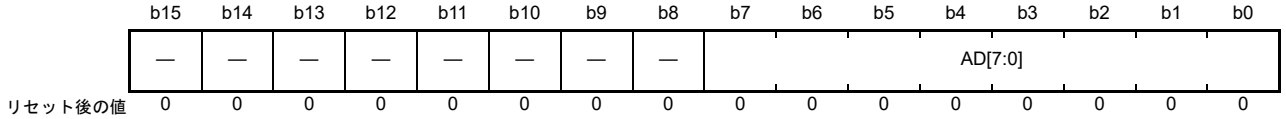
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値11～0	12ビットA/D変換値	R
b15-b12	—	予約ビット	読むと0が読めます。	R

右詰めのフォーマット、10 ビット精度に設定した場合



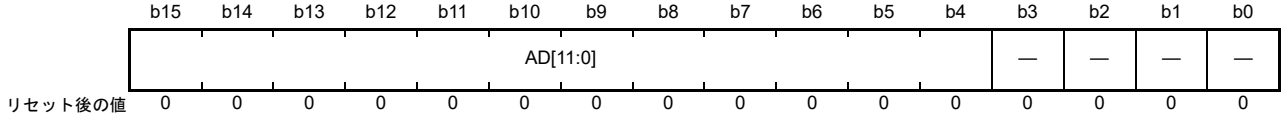
ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値9～0	10ビットA/D変換値	R
b15-b10	—	予約ビット	読むと0が読めます。	R

右詰めのフォーマット、8 ビット精度に設定した場合



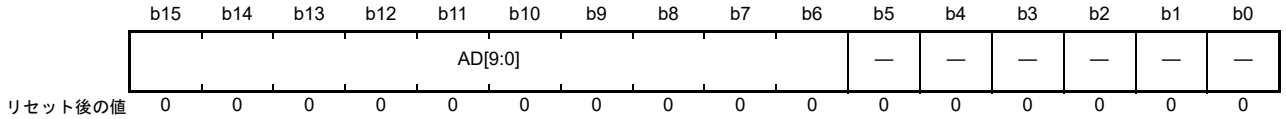
ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7～0	8ビットA/D変換値	R
b15-b8	—	予約ビット	読むと0が読めます。	R

左詰めのフォーマット、12 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値11～0	12ビットA/D変換値	R

左詰めのフォーマット、10 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。	R
b15-b6	AD[9:0]	変換値9～0	10ビットA/D変換値	R

左詰めのフォーマット、8 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。	R
b15-b8	AD[7:0]	変換値7～0	8ビットA/D変換値	R

(2) A/D 変換値平均モードを選択した場合

A/D 変換値加算モードで 2 回または 4 回を指定した場合、A/D 変換値平均モードを選択できます。A/D 変換値平均モードを選択した場合、このレジスタは指定したチャネルの A/D 変換値を平均した値を示します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

(3) A/D 変換値加算モードを選択した場合

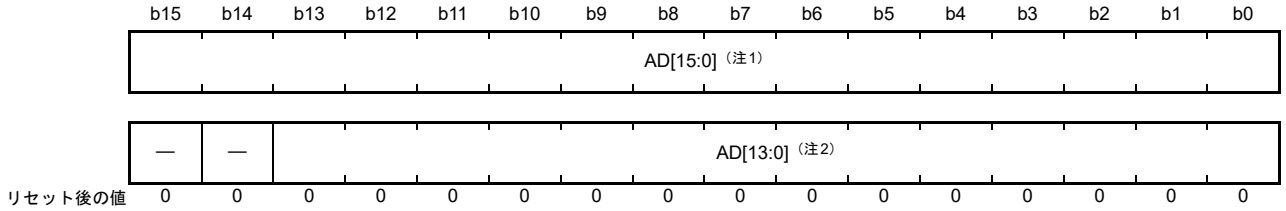
8、10、または 12 ビット精度（ADPRC ビットの設定値）の場合、A/D 変換値加算で 1 回、2 回、3 回、または 4 回を選択できます。12 ビット精度を選択した場合に限り、加算モードで 16 回を選択することもできます。加算モードでは、本レジスタは特定チャネルの A/D 変換値を加算した結果の値を示します。変換結果の加算値を、指定した変換精度のビット数に 2 ビット分拡張したデータとして、A/D データレジスタに保持します。通常の A/D 変換と同様に A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

加算モードで 1 回、2 回、3 回、または 4 回変換を設定し、8、10、または 12 ビットの精度を指定した場合、変換結果の値を、指定した精度のビット数に 2 ビット分拡張したデータとして A/D データレジスタに保持します。

加算モードで 16 回変換を設定し、12 ビットの精度を指定した場合、変換結果の値を、指定した精度のビット数に 4 ビット分拡張したデータとして A/D データレジスタに保持します。

以下に、条件ごとのデータフォーマットを示します。

右詰めフォーマット、12 ビット精度に設定した場合（A/D 変換値加算モード時）

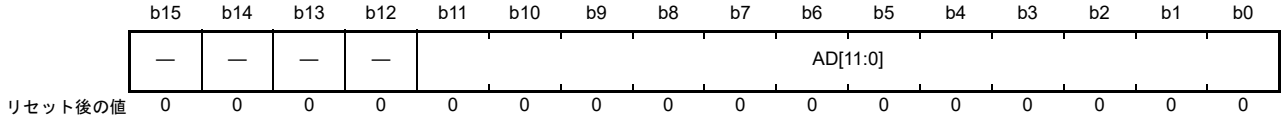


ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15～0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b13-b0	AD[13:0] (注2)	加算結果13～0	14ビットA/D変換値加算結果	R
b15-b14	—	予約ビット	読むと0が読めます。	R

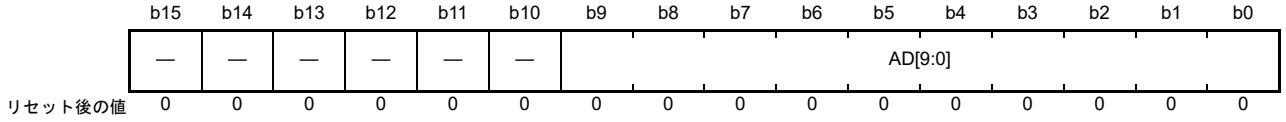
注 1. 加算モードで 16 回変換を指定した場合に使用。
注 2. 加算モードで 1 回、2 回、3 回、または 4 回を指定した場合に使用。

右詰めフォーマット、10 ビット精度に設定した場合（A/D 変換値加算モード時）



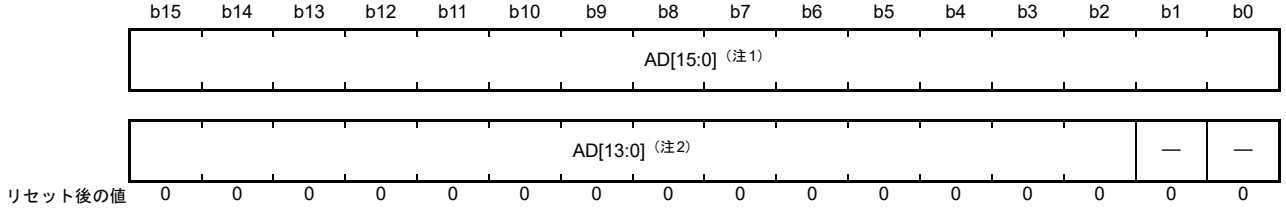
ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	加算結果11～0	12ビットA/D変換値加算結果	R
b15-b12	—	予約ビット	読むと0が読めます。	R

右詰めフォーマット、8 ビット精度に設定した場合（A/D 変換値加算モード時）



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	加算結果9～0	10ビットA/D変換値加算結果	R
b15-b10	—	予約ビット	読むと0が読めます。	R

左詰めフォーマット、12 ビット精度に設定した場合（A/D 変換値加算モード時）



ビット	シンボル	ビット名	機能	R/W
b15-b0	AD[15:0] (注1)	加算結果15～0	16ビットA/D変換値加算結果	R

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと0が読めます。	R
b15-b2	AD[13:0] (注2)	加算結果13～0	14ビットA/D変換値加算結果	R

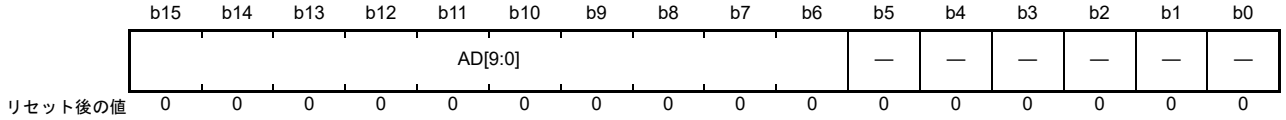
注 1. 加算モードで 16 回変換を指定した場合に使用。
注 2. 加算モードで 1 回、2 回、3 回、または 4 回を指定した場合に使用。

左詰めフォーマット、10 ビット精度に設定した場合（A/D 変換値加算モード時）



ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	加算結果11～0	12ビットA/D変換値加算結果	R

左詰めフォーマット、8 ビット精度に設定した場合（A/D 変換値加算モード時）



ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。	R
b15-b6	AD[9:0]	加算結果9～0	10ビットA/D変換値加算結果	R

47.2.2 A/D 自己診断データレジスタ（ADRD）

ADRD レジスタは、ADC12 の自己診断で A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。A/D 変換値を示す AD[11:0] ビットに加えて、自己診断ステータスビット（DIAGST）が付加されています。

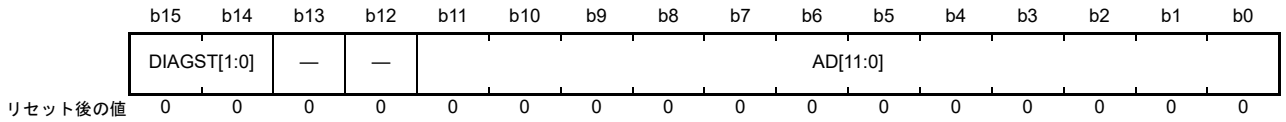
このレジスタは、下記の条件によりデータフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット（ADCER.ADRFMT）の設定値（左詰め、または右詰め）
- A/D 変換精度指定ビット（ADCER.ADPRC[1:0]）の設定値（8 ビット、10 ビット、または 12 ビット）

A/D 自己診断機能には A/D 変換加算モードと A/D 変換平均モードを適用することはできません。自己診断の詳細については、47.2.11 A/D コントロール拡張レジスタ（ADCER）を参照してください。

以下では、各条件のデータフォーマットについて説明します。

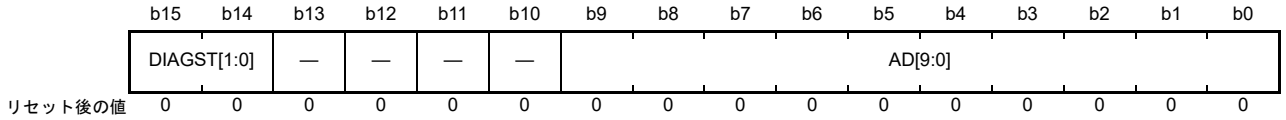
右詰めのフォーマット、12 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b11-b0	AD[11:0]	変換値11～0	12ビットA/D変換値	R
b13-b12	—	予約ビット	読むと0が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0：パワーオン後に自己診断を実行していないことを示す 0 1：0Vの電圧値の自己診断を実行したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実行したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実行したことを示す 自己診断の詳細については、47.2.11 A/Dコントロール拡張レジスタ（ADCER）を参照してください。	R

注 1. 基準電圧はユニット 0 の場合 VREFH0 を、ユニット 1 の場合 VREFH を指します。

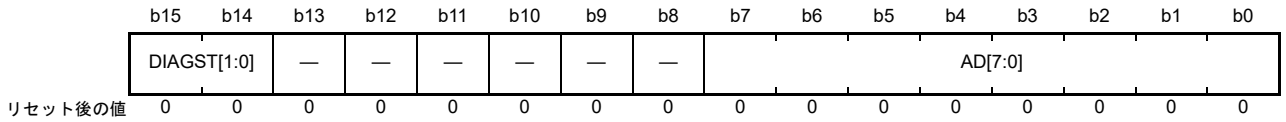
右詰めのフォーマット、10 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b9-b0	AD[9:0]	変換値9～0	10ビットA/D変換値	R
b13-b10	—	予約ビット	読むと0が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0：パワーオン後に自己診断を実行していないことを示す 0 1：0Vの電圧値の自己診断を実行したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実行したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実行したことを示す 自己診断の詳細については、47.2.11 A/Dコントロール拡張レジスタ（ADCER）を参照してください。	R

注 1. 基準電圧はユニット 0 の場合 VREFH0 を、ユニット 1 の場合 VREFH を指します。

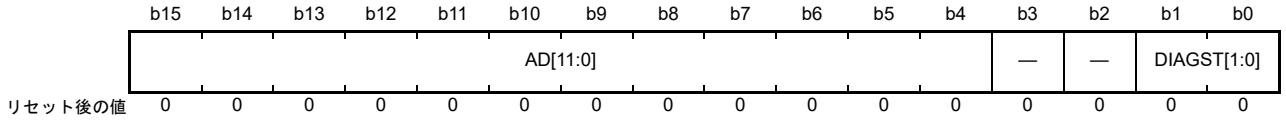
右詰めのフォーマット、8 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b7-b0	AD[7:0]	変換値7～0	8ビットA/D変換値	R
b13-b8	—	予約ビット	読むと0が読めます。	R
b15-b14	DIAGST[1:0]	自己診断ステータス	b15 b14 0 0：パワーオン後に自己診断を実行していないことを示す 0 1：0Vの電圧値の自己診断を実行したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実行したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実行したことを示す 自己診断の詳細については、47.2.11 A/Dコントロール拡張レジスタ（ADCER）を参照してください。	R

注 1. 基準電圧はユニット 0 の場合 VREFH0 を、ユニット 1 の場合 VREFH を指します。

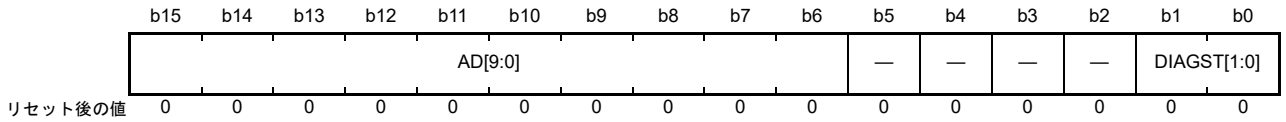
左詰めのフォーマット、12 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0：パワーオン後に自己診断を実行していないことを示す 0 1：0Vの電圧値の自己診断を実行したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実行したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実行したことを示す 自己診断の詳細については、47.2.11 A/Dコントロール拡張レジスタ（ADCER）を参照してください。	R
b3-b2	—	予約ビット	読むと0が読めます。	R
b15-b4	AD[11:0]	変換値11～0	12ビットA/D変換値	R

注 1. 基準電圧はユニット 0 の場合 VREFH0 を、ユニット 1 の場合 VREFH を指します。

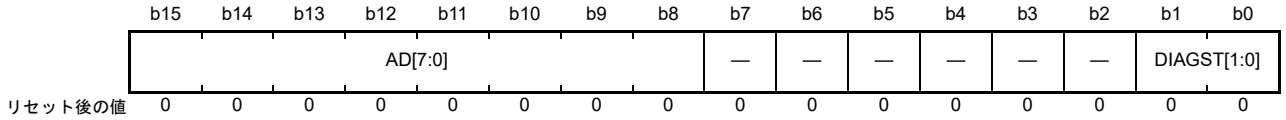
左詰めのフォーマット、10 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0：パワーオン後に自己診断を実行していないことを示す 0 1：0Vの電圧値の自己診断を実行したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実行したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実行したことを示す 自己診断の詳細については、47.2.11 A/Dコントロール拡張レジスタ（ADCER）を参照してください。	R
b5-b2	—	予約ビット	読むと0が読めます。	R
b15-b6	AD[9:0]	変換値9～0	10ビットA/D変換値	R

注 1. 基準電圧はユニット 0 の場合 VREFH0 を、ユニット 1 の場合 VREFH を指します。

左詰めのフォーマット、8 ビット精度に設定した場合



ビット	シンボル	ビット名	機能	R/W
b1-b0	DIAGST[1:0]	自己診断ステータス	b1 b0 0 0：パワーオン後に自己診断を実行していないことを示す 0 1：0Vの電圧値の自己診断を実行したことを示す 1 0：基準電源（注1）× 1/2の電圧値の自己診断を実行したことを示す 1 1：基準電源（注1）の電圧値の自己診断を実行したことを示す 自己診断の詳細については、47.2.11 A/Dコントロール拡張レジスタ（ADCER）を参照してください。	R
b7-b2	—	予約ビット	読むと0が読めます。	R
b15-b8	AD[7:0]	変換値7～0	8ビットA/D変換値	R

注 1. 基準電圧はユニット 0 の場合 VREFH0 を、ユニット 1 の場合 VREFH を指します。

47.2.3 A/D コントロールレジスタ（ADCSR）

アドレス ADC120.ADCSR 4005 C000h, ADC121.ADCSR 4005 C200h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADST	ADCS[1:0]		—			TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]				
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャネル選択	ダブルトリガ対象のアナログ入力を1チャネル選択します。 ダブルトリガモード時のみ有効です。	R/W
b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	GBADIE	グループBスキャン終了割り込みおよびELCイベント許可	0：グループBのスキャン終了後にADC12i_GBADI割り込み発生を禁止 1：グループBのスキャン終了後にADC12i_GBADI割り込み発生を許可 グループBのスキャンは、グループスキャンモードでのみ実行できます。	R/W
b7	DBLE	ダブルトリガモード選択	0：ダブルトリガモード非選択 1：ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択（注1）	0：同期トリガ（ELC）によりA/D変換開始 1：非同期トリガ（ADTRGi）によりA/D変換開始	R/W
b9	TRGE	トリガ開始許可	0：同期、非同期トリガによるA/D変換の開始を禁止 1：同期、非同期トリガによるA/D変換の開始を許可	R/W
b12-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b14-b13	ADCS[1:0]	スキャンモード選択	b14 b13 0 0：シングルスキャンモード 0 1：グループスキャンモード 1 0：連続スキャンモード 1 1：設定禁止	R/W
b15	ADST	A/D変換スタート	0：A/D変換停止 1：A/D変換開始	R/W

i が 0 の場合はユニット 0 を、i が 1 の場合はユニット 1 を表します。

注 1. 外部端子（非同期トリガ）で A/D 変換を起動する方法：
外部端子（ADTRG0（ユニット 0）、ADTRG1（ユニット 1））に High を入力した状態で、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にし、これらの外部端子を Low にします。この設定の場合、ADTRG0（ユニット 0）、ADTRG1（ユニット 1）の立ち下がりエッジを検出すると、スキャン変換を開始します。この構成では、Low 入力のパルス幅は 1.5PCLKB クロック以上必要です。

DBLANS[4:0] ビット（ダブルトリガ対象チャネル選択）

ダブルトリガモードで A/D 変換データを 2 重化する 1 チャネルを選択します。指定したアナログ入力チャネルを、1 回目の A/D 変換開始トリガで変換した結果が A/D データレジスタ y に格納され、2 回目の A/D 変換開始トリガで変換した結果が A/D データ 2 重化レジスタに格納されます。表 47.4 にダブルトリガ対象チャネルの選択表を示します。

ダブルトリガモード時、ADANSA0、ADANSA1 レジスタで選択したチャネルは無効となり、DBLANS[4:0] ビットで選択したチャネルが代わりに A/D 変換されます。

グループスキャンモードでダブルトリガモードを使用する場合、ダブルトリガ制御はグループ A のみに適用され、グループ B には適用されません。そのため、ダブルトリガモードでもグループ B に対しては、マルチチャネルアナログ入力、温度センサ出力、内部基準電圧を選択できます。

DBLANS[4:0] ビットの設定は、ADST ビットが 0 のときのみ行ってください。この設定を ADST ビットへの 1 書き込みと同時に行わないでください。

ダブルトリガモードが選択されている状態で A/D 変換値加算／平均モードに遷移するには、DBLANS[4:0]

ビットで選択したチャネルを ADANSA0、ADANSA1 レジスタに設定してください。

表 47.4 DBLANS ビット設定値とダブルトリガ対象チャネルの関係

ユニット0		ユニット1	
DBLANS[4:0]	2重化チャネル	DBLANS[4:0]	2重化チャネル
00000	AN000	00000	AN100
00001	AN001	00001	AN101
00010	AN002	00010	AN102
00011	AN003	00011	AN103
00100	AN004	00100	AN104
00101	AN005	00101	AN105
00110	AN006	00110	AN106

ユニット0		ユニット1	
DBLANS[4:0]	2重化チャネル	DBLANS[4:0]	2重化チャネル
10000	AN016	10000	AN116
10001	AN017	10001	AN117
10010	AN018	10010	AN118
10011	AN019	10011	AN119
10100	AN020	10100	AN120
10101	AN021	—	—

注 . 自己診断機能、温度センサ出力、および内部基準電圧の A/D 変換データは、ダブルトリガモードで使用できません。
注 . 表 47.4 に示す設定以外は使用しないでください。

GBADIE ビット（グループ B スキャン終了割り込みおよび ELC イベント許可）

グループスキャンモードでのグループ B のスキャン終了割り込み（ADC12i_GBADI（i = 0, 1））の発生を許可／禁止します。

DBLE ビット（ダブルトリガモード選択）

ダブルトリガモードの選択／非選択を指定します。ダブルトリガモードは、ADSTRGR.TRSA[5:0] で選択された同期トリガ（ELC）のみで動作できます。

ダブルトリガは以下のように動作します。

1. ADC12i_ADI（i = 0, 1）を 1 回目の変換終了時は出力せず、2 回目の変換終了時に出力します。
2. 1 回目のトリガで開始した 2 重化チャネル（DBLANS[4:0] で選択）の A/D 変換結果は、A/D データレジスタ y に格納され、2 回目のトリガで開始した変換結果は、A/D データ 2 重化レジスタに格納されます。

DBLE が設定されている場合（ダブルトリガモードを選択）、ADANSA0 および ADANSA1 レジスタで指定したチャネルは無効です。DBLE を 0 にすると、ダブルトリガモードは非選択となります。DBLE を再度 1 にすると、ダブルトリガモードの動作は、1. および 2. に示した 1 回目のトリガによる最初のスキャンと同じ動作になります。

ダブルトリガモードは、連続スキャンモードで選択しないでください。また、温度センサ出力や内部基準電圧を変換する場合はダブルトリガモードを選択しないでください（グループスキャンモードでのグループ B スキャンは除く）。ダブルトリガモードでは、ソフトウェアトリガを設定できません。DBLE ビットの設定は、必ず ADST ビットを 0 にクリアしてから行ってください。すなわち、DBLE ビットの設定を ADST ビットへの 1 書き込みと同時に行わないでください。

EXTRG ビット（トリガ選択）

A/D 変換を起動するトリガを同期トリガと非同期トリガのどちらにするかを選択します。

TRGE ビット（トリガ開始許可）

同期トリガ、非同期トリガによる A/D 変換の起動を許可／禁止します。グループスキャンモード時はこのビットを 1 にしてください。

ADCS[1:0] ビット（スキャンモード選択）

スキャンモードを選択します。

シングルスキャンモードでは、ADANSA0、ADANSA1 レジスタで選択したアナログ入力を若いチャネル番号順に A/D 変換を実施します。選択したすべてのチャネルの A/D 変換が終了するとスキャン変換を停止します。温度センサ出力または内部基準電圧を選択した場合、チャネルのアナログ入力の A/D 変換の後に温度センサ出力、内部基準電圧の順に A/D 変換されます。

連続スキャンモードは、ADCSR.ADST ビットが 1 の間、ADANSA0、ADANSA1 レジスタで選択したアナログ入力を若いチャネル番号順に A/D 変換を実行し、選択したすべてのチャネルの変換が終了すると最初のチャネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを 0 にすると、スキャン中でも A/D 変換を停止します。温度センサ出力または内部基準電圧を選択した場合、チャネルのアナログ入力の A/D 変換の後に温度センサ出力、内部基準電圧の順に A/D 変換されます。

グループスキャンモードは、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ（ELC）によりグループ A のスキャンを開始します。ADANSA0、ADANSA1 レジスタで選択した最大チャネル数までのアナログ入力（グループ A）を若いチャネル番号順に A/D 変換を実行します。選択したすべてのチャネルの A/D 変換が終了すると A/D 変換を停止します。また、ADANSB0、ADANSB1 レジスタで選択した最大チャネル数までのアナログ入力（グループ B）を若いチャネル番号順に A/D 変換を実行します。選択したすべてのチャネルの A/D 変換が終了すると A/D 変換を停止します。このとき、グループ A 側とグループ B 側の変換が重なった場合、変換制御は別々に制御することができません。この場合は、A/D グループスキャン優先コントロールレジスタのグループ A 優先制御設定ビット（ADGSPCR.PGS）を 1 にして、変換優先順位を A 側に設定してください。温度センサ出力または内部基準電圧を選択した場合、チャネルのアナログ入力の A/D 変換の後に温度センサ出力、内部基準電圧の順に A/D 変換されます。

グループスキャンモード時は、グループ A とグループ B で別々のチャネルとトリガを選択してください。ADCS[1:0] ビットの設定は、ADCS ビットの 0 クリア後に行ってください。すなわち、ADST ビットへの 1 書き込みと ADCS[1:0] ビットの設定を同時に行うことは禁止されています。

表 47.5　スキャンモード、ダブルトリガモードとA/D変換対象の選択可否

スキャンモード設定	ダブルトリガモード設定	A/D変換対象				
		自己診断	アナログ入力（グループA含む）	アナログ入力（グループB）	温度センサ出力	内部基準電圧
シングルスキャン	DBLE = 0	○	○	-	○	○
	DBLE = 1	-	○（1chのみ）	-	-	-
連続スキャン	DBLE = 0	○	○	-	○	○
	DBLE = 1	-	-	-	-	-
グループスキャン	DBLE = 0	○	○	○	○	○
	DBLE = 1	-	○（1chのみ）	○	○	○

○：選択可能 —：選択不可能

ADST ビット（A/D 変換スタート）

A/D 変換の開始／停止を制御します。ADST ビットを設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

［1 になる条件］

- ソフトウェアで 1 を書き込んだとき
- ADCSR.EXTRG ビットを 0、ADCSR.TRGE ビットを 1 にし、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガ（ELC）を検出したとき

- グループスキャンモードでADCSR.TRGEビットを1にし、ADSTRGR.TRSB[5:0]ビットで選択した同期トリガ（ELC）を検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを 1、ADSTRGR.TRSA[5:0] ビットを 000000b にし、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、ADGSPCR.GBRSCN ビットを 1 にし、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、ADGSPCR.GBRP ビットを 1 にして、グループ B の A/D 変換を開始したとき

［0 になる条件］

- ソフトウェアで 0 を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャネル、温度センサ出力、または内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）、グループ B の A/D 変換実行中にグループ A のトリガを検出し、グループ B のスキャンが停止したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、ADGSPCR.GBRP ビットを 1 にし、グループ B の再起動トリガによるスキャンが終了したとき
- グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）に、ADGSPCR.GBRP ビットを 1 にし、グループ B のスキャンが終了したとき

注 . グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）、ADST ビットを 1 にしないでください。

注 . グループ A 優先制御動作モード有効時（ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1）は、ADGSPCR.GBRP ビット = 1 の場合、ADST ビットを 0 にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

47.2.4 A/D チャネル選択レジスタ A0（ADANSA0）

アドレス ADC120.ADANSA0 4005 C004h, ADC121.ADANSA0 4005 C204h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—									ANSA06	ANSA05	ANSA04	ANSA03	ANSA02	ANSA01	ANSA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ANSA06～ANSA00	A/D変換チャネル選択	0：対応する入力チャネルを非選択 1：対応する入力チャネルを選択	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSAn ビット（n = 00 ～ 06）（A/D 変換チャネル選択）

A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006（ユニット 0）、AN100 ～ AN106（ユニット 1）の選択／非選択を制御します。チャネルおよびチャネル数は任意に設定可能です。ユニット 0 では、ANSA00 ビットが AN000 に、ANSA06 ビットが AN006 に対応します。ユニット 1 では、ANSA00 ビットが AN100 に、ANSA06 ビットが AN106 に対応します。

ダブルトリガモード時は、ADANSA0 レジスタで選択したチャネルは無効となり、代わりに ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなります。

グループスキャンモード時は、A/D チャネル選択レジスタ B0（ADANSB0）、および A/D チャネル選択レジスタ B1（ADANSB1）で指定したチャネルを設定しないでください。

ADANSA0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

47.2.5 A/D チャネル選択レジスタ A1（ADANSA1）

アドレス ADC120.ADANSA1 4005 C006h, ADC121.ADANSA1 4005 C206h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—										ANSA21	ANSA20	ANSA19	ANSA18	ANSA17	ANSA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	ANSA21～ANSA16（注1）	A/D変換チャネル選択	0：対応する入力チャネルを非選択 1：対応する入力チャネルを選択	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ユニット 1 では、ビット 5（ANSA21）は予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ANSAn ビット（n = 16 ～ 21）（A/D 変換チャネル選択）

A/D 変換を行う AN016 ～ AN021（ユニット 0）、AN116 ～ AN120（ユニット 1）のアナログ入力チャネルの組み合わせを選択します。チャネルおよびチャネル数は任意に設定可能です。ユニット 0 では、ANSA16 ビットが AN016 に、ANSA21 ビットが AN021 に対応します。ユニット 1 では、ANSA16 ビットが AN116 に、ANSA20 ビットが AN120 に対応します。

ダブルトリガモード時は、ADCSR.DBLANS[15:0] ビットで選択した 1 チャネルがグループ A の選択チャネルとなり、ANSA1[15:0] ビットの設定は無効になります。

また、グループスキャンモード選択時は、A/D チャネル選択レジスタ B0（ADANSB0）、および A/D チャネル選択レジスタ B1（ADANSB1）で指定したチャネルを選択しないでください。

ADANSA1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

47.2.6 A/D チャネル選択レジスタ B0（ADANSB0）

アドレス ADC120.ADANSB0 4005 C014h, ADC121.ADANSB0 4005 C214h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—									ANSB06	ANSB05	ANSB04	ANSB03	ANSB02	ANSB01	ANSB00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ANSB06～ANSB00	A/D変換チャネル選択	0：対応する入力チャネルを非選択 1：対応する入力チャネルを選択	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ANSBn ビット（n = 00 ～ 06）（A/D 変換チャネル選択）

グループスキャンモード時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN000 ～ AN006（ユニット 0）、AN100 ～ AN106（ユニット 1）の選択を行います。ADANSB0 レジスタは他のスキャンモードでは使用しません。グループ A で指定したチャネル（ADANSA0、ADANSA1 レジスタで選択、またはダブルトリガモード時に ADCSR.DBLANS[4:0] ビットで選択した、グループ A の関連チャネル）を選択しないでください。

ユニット 0 では、ANSB00 ビットが AN000 に、ANSB06 ビットが AN006 に対応します。ユニット 1 では、ANSB00 ビットが AN100 に、ANSB06 ビットが AN106 に対応します。

ADANSB0 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

47.2.7 A/D チャネル選択レジスタ B1（ADANSB1）

アドレス ADC120.ADANSB1 4005 C016h, ADC121.ADANSB1 4005 C216h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—										ANSB21	ANSB20	ANSB19	ANSB18	ANSB17	ANSB16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	ANSB21～ANSB16（注1）	A/D変換チャネル選択	0：対応する入力チャネルを非選択 1：対応する入力チャネルを選択	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ユニット 1 では、ビット 5（ANSB21）は予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ANSBn ビット（n = 16 ～ 21）（A/D 変換チャネル選択）

グループスキャンモード時にグループ B で A/D 変換を行うチャネルのアナログ入力 AN016 ～ AN021（ユニット 0）、AN116 ～ AN120（ユニット 1）の選択を行います。ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャネルおよびチャネル数は、グループ A で指定したチャネル（ADANSA0、ADANSA1、またはダブルトリガモードによる ADCSR.DBLANS[4:0] で選択したグループ A に関連付けられているチャネル）以外から設定します。

ユニット 0 では、ANSB16 ビットが AN016 に、ANSB21 ビットが AN021 に対応します。ユニット 1 では、ANSB16 ビットが AN116 に、ANSB20 ビットが AN120 に対応します。

ADANSB1 レジスタの設定は、ADST ビットが 0 のときのみ行ってください。

47.2.8 A/D 変換値加算／平均チャネル選択レジスタ 0（ADADS0）

アドレス ADC120.ADADS0 4005 C008h, ADC121.ADADS0 4005 C208h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—									ADS06	ADS05	ADS04	ADS03	ADS02	ADS01	ADS00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	ADS06～ADS00	A/D変換値加算／平均チャネル選択	0：対応する入力チャネルを非選択 1：対応する入力チャネルを選択	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ADSn ビット（n = 00 ～ 06）（A/D 変換値加算／平均チャネル選択）

A/D 変換値加算／平均の対象となる、ADANSA0.ANSAn ビット（n = 00 ～ 06）または ADCSR.DBLANS[4:0] ビットで選択した A/D 変換チャネルを決定します。ADANSB0.ANSBn ビット（n = 00 ～ 06）を 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数（1、2、3、4、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を A/D データレジスタに格納します。

加算モードまたは平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ユニット 0 では、ADS00 ビットが AN000 に、ADS06 ビットが AN006 に対応します。ユニット 1 では、ADS00 ビットが AN100 に、ADS06 ビットが AN106 に対応します。

ADADS0 レジスタのビット設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

図 47.3 に、ADADS0.ADS02 および ADS06 ビットを 1 にしたときのスキャン動作シーケンスを示します。この例では以下のようになります。

- 加算モードを選択（ADADS.AVEE = 0）
- 変換回数を 4 に設定（ADADC.ADC[1:0] = 11b）
- 連続スキャンモード（ADCSR.ADCS[1:0] = 10b）でチャネル AN000 ～ AN006 を選択（ADANSA0.ANSA0[15:0] = 007Fh）

AN000 から変換を開始します。AN002 の変換は 4 回連続実行し、加算値を A/D データレジスタ 2（ADDR2）に返します。次に、AN003 の変換を開始して、AN006 の変換は 4 回連続実行し、加算値を A/D データレジスタ 6（ADDR6）に返します。AN006 の変換後、再度 AN000 から同じシーケンスで動作します。

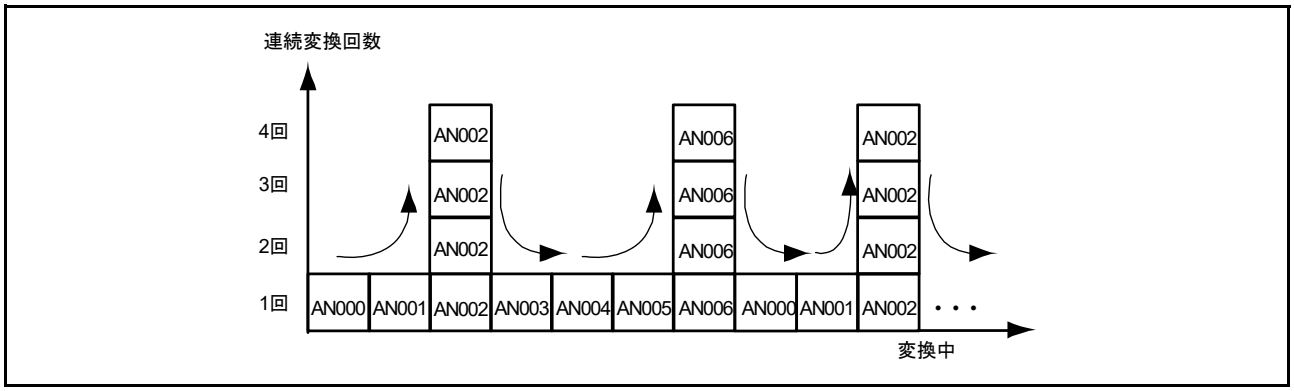


図 47.3 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADS6 = 1 選択時のスキャン変換シーケンス

47.2.9 A/D 変換値加算／平均チャネル選択レジスタ 1（ADADS1）

アドレス ADC120.ADADS1 4005 C00Ah, ADC121.ADADS1 4005 C20Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—										ADS21	ADS20	ADS19	ADS18	ADS17	ADS16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	ADS21～ADS16（注1）	A/D変換値加算／平均チャネル選択	0：対応する入力チャネルを非選択 1：対応する入力チャネルを選択	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ユニット 1 では、ビット 5（ADS21）は予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

ADSn ビット（n = 16 ～ 21）（A/D 変換値加算／平均チャネル選択）

A/D 変換値加算／平均の対象となる、ADANSA1.ANSAn ビット（n = 16 ～ 21）または ADCSR.DBLANS[4:0] ビットで選択した A/D 変換チャネルを決定します。ADANSB1.ANSBn ビット（n = 16 ～ 21）を 1 にすると、選択したチャネルのアナログ入力を、ADADC.ADC[2:0] ビットで指定した回数（1、2、3、または 16 回）分、連続して A/D 変換します。

ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は加算値から平均した値を A/D データレジスタに格納します。

加算／ 平均モードが非選択の A/D 変換チャネルは、通常の 1 回変換を実施し、A/D データレジスタに変換結果を格納します。

ユニット 0 では、ADS16 ビットが AN016 に、ADS21 ビットが AN021 に対応します。ユニット 1 では、ADS16 ビットが AN116 に、ADS20 ビットが AN120 に対応します。

ADADS1 レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

47.2.10 A/D 変換値加算／平均回数選択レジスタ（ADADC）

アドレス ADC120.ADADC 4005 C00Ch, ADC121.ADADC 4005 C20Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	回数選択	b2 b0 0 0 0：1回変換（加算なし。通常変換と同じ） 0 0 1：2回変換（1回加算を行う） 0 1 0：3回変換（2回加算を行う） 0 1 1：4回変換（3回加算を行う） 1 0 1：16回変換（15回加算を行う） 上記以外は設定しないでください。	R/W
b6-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	AVEE	平均モードイネーブル	0：平均モードを禁止（注1） 1：平均モードを許可（注2）	R/W

注 1. ADADC.AVEE ビットを 0 にして平均モードを非選択にする場合、1 回、2 回、3 回、4 回、または 16 回変換に設定してください。16 回変換は 12 ビット精度でのみ使用できます。

注 2. ADADC.AVEE ビットを 1 にして平均モードを選択する場合、1 回、2 回、または 4 回変換に設定してください。加算回数は、3 回または 16 回変換（ADC[2:0] = 010b または 101b）に設定しないでください。

ADC[2:0] ビット（回数選択）

ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたすべてのチャネルに対して加算回数を設定します。加算回数は、温度センサ出力、内部基準電圧の A/D 変換にも適用されます。

ADC[2:0] ビットの設定には以下の制限があります。

- ADADC.AVEE ビットを 1 にして平均モードを選択する場合、変換精度 8 ビットまたは 10 ビット（ADCER.ADPRC[1:0] = 10b または 01b）では 3 回または 16 回変換（ADADC.ADC[2:0] = 010b または 101b）に設定しないでください。
- 自己診断機能（ADCER.DIAGM = 1）を実施する場合、ADC[2:0] ビットを 000b 以外の値にしないでください。
- 変換精度が 8 または 10 ビット（ADCER.ADPRC[1:0] = 10b または 01b）の場合、ADC[2:0] ビットを 101b にしないでください。

ADC[2:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

AVEE ビット（平均モードイネーブル）

ダブルトリガモードでの選択チャネル（ADCSR.DBLANS[4:0] ビットでの選択チャネル）を含む A/D 変換および加算／平均モードが選択されたすべてのチャネル、温度センサ出力、内部基準電圧の A/D 変換に対して、加算モードまたは平均モードの選択を行います。

ADADC.AVEE ビットを 1 にして平均モードを選択する場合、3 回変換（ADADC.ADC[2:0] = 010b）に設定しないでください。

AVEE ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

47.2.11 A/D コントロール拡張レジスタ（ADCER）

アドレス ADC120.ADCER 4005 C00Eh, ADC121.ADCER 4005 C20Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]		—	—	ACE	—	—	ADPRC[1:0]		—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b2-b1	ADPRC[1:0]	A/D変換精度指定	b2 b1 0 0：12ビット精度 0 1：10ビット精度 1 0：8ビット精度 1 1：設定禁止	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	ACE	A/Dデータレジスタ自動クリアイネーブル	0：自動クリアを禁止 1：自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択	b9 b8 0 0：自己診断有効時は設定禁止 0 1：0V 1 0：基準電源の電圧値（注1）× 1/2 1 1：基準電源の電圧値（注1）	R/W
b10	DIAGLD	自己診断モード選択	0：自己診断電圧ローテーションモードを選択 1：自己診断電圧固定モードを選択	R/W
b11	DIAGM	自己診断イネーブル	0：ADC12の自己診断を実行しない 1：ADC12の自己診断を実行する	R/W
b14-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択	0：A/Dデータレジスタのフォーマットを右詰めにする 1：A/Dデータレジスタのフォーマットを左詰めにする	R/W

注 1. 基準電圧はユニット 0 の場合 VREFH0 を、ユニット 1 の場合 VREFH を指します。

ADPRC[1:0] ビット（A/D 変換精度指定）

A/D 変換の実行精度を、8 ビット、10 ビット、12 ビット精度から選択して設定します。A/D 変換精度を変えた場合、結果レジスタに格納する有効データのビット幅、A/D 変換時間も変わります。詳細は、47.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

ADPRC[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ACE ビット（A/D データレジスタ自動クリアイネーブル）

CPU、DTC、または DMAC によって ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、または ADOCDR レジスタを読み出した後、当該レジスタの自動クリア（すべて 0）を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新障害を検出することができます。詳細は、47.3.7 A/D データレジスタの自動クリア機能の使用例を参照してください。

DIAGVAL[1:0] ビット（自己診断変換電圧選択）

自己診断電圧固定モードでの電圧値を選択します。詳細は、ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが 00b のときには、自己診断を実行しないでください。

DIAGLD ビット（自己診断モード選択）

自己診断で変換する 3 つの電圧値をローテーションするか、電圧値を固定するかを選択します。DIAGLD を 0 にすると、0V →基準電源電圧 ×1/2 →基準電源電圧の順番にローテーションして電圧変換していきます。リセット後、自己診断電圧ローテーションモードを選択した場合は、0V から自己診断を行います。スキャン変換が終了しても自己診断電圧値は 0 に戻りません。再びスキャン変換を実行すると、前回に続く電圧値からローテーションを開始します。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD を 1 にすることにより固定電圧を選択します。ADCER.DIAGVAL[1:0] ビットで指定した固定電圧が変換されます。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

DIAGM ビット（自己診断イネーブル）

自己診断を実施するかしないかを選択します。

自己診断は、ADC12 の故障を検出するための機能です。自己診断モードでは、内部で生成する 0V、基準電源電圧 × 1/2、基準電源電圧の 3 つの電圧値のいずれかを変換します。変換が終了すると、A/D 自己診断データレジスタ（ADRD）に変換した電圧の情報と変換結果を格納します。ADRD レジスタをソフトウェアで読み出し、変換結果が正常な範囲内にあるかどうか（値が正常か異常か）を判断します。

自己診断は、スキャンごとの最初に 1 回実施され、3 つの電圧値のうち 1 つを A/D 変換します。ダブルトリガモードを設定（ADCSR.DBLE = 1）した場合、自己診断は常に非選択にしてください（DIAGM = 0）。グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B でそれぞれ別々に自己診断を実行します。

DIAGM ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

ADRFMT ビット（A/D データレジスタフォーマット選択）

ADDRy、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、ADOCDR、ADCMPDR0/1、ADWINLLB、ADWINULB、または ADRD レジスタに格納するデータの右詰め／左詰めを選択します。

ADRFMT ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

47.2.12 A/D 変換開始トリガ選択レジスタ（ADSTRGR）

アドレス ADC120.ADSTRGR 4005 C010h, ADC121.ADSTRGR 4005 C210h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TRSA[5:0]						—	—	TRSB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB用A/D変換開始トリガ選択	グループスキャンモードでグループBのA/D変換開始トリガを選択します。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択	シングルスキャンモード、連続モードではA/D変換開始トリガ、およびグループスキャンモードではグループAのA/D変換開始トリガを選択します。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TRSB[5:0] ビット（グループ B 用 A/D 変換開始トリガ選択）

グループ B で選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0] ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループ B のスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定はしないでください。グループスキャンモードでは、TRSB[5:0] ビットを 000000b 以外の値にし、ADCSR.TRGE ビットを 1 にしてください。

グループスキャンモードのグループ A 優先制御時に、ADGSPCR.GBRP ビットを 1 にすることで、グループ B をシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRP ビットを 1 にする場合は、TRSB[5:0] ビットを 3Fh にしてください。変換トリガの発行間隔は、実際のスキャン変換時間（tSCAN）以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに GPT モジュールを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、47.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 47.6 に TRSB[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 47.6 TRSB[5:0] ビットでのA/D変換起動要因選択一覧

要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態		1	1	1	1	1	1
ELC_ADC00（ユニット0）、ELC_ADC10（ユニット1）	ELC	0	0	1	0	0	1
ELC_ADC01（ユニット0）、ELC_ADC11（ユニット1）	ELC	0	0	1	0	1	0
ELC_ADC00/ELC_ADC01（ユニット0） ELC_ADC10/ELC_ADC11（ユニット1）	ELC	0	0	1	0	1	1

TRSA[5:0] ビット（A/D 変換開始トリガ選択）

シングルスキャンモード、連続スキャンモードでの A/D 変換開始トリガの選択を行います。グループスキャンモードでは、グループ A で選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを行う場合、ソフトウェアトリガと非同期トリガは使用しないでください。

同期トリガ（ELC）を A/D 変換起動要因として使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 0 にしてください。

非同期トリガ（ADTRGn）を使用する場合は、ADCSR.TRGE ビットを 1 にし、かつ ADCSR.EXTRG ビットを 1 にしてください。

ソフトウェアトリガ（ADCSR.ADST）は、ADCSR.TRGE ビット、ADCSR.EXTRG ビット、TRSA[5:0] ビットの設定値にかかわらず有効です。変換トリガの発行間隔は、実際のスキャン変換時間（tSCAN）以上となるように設定してください。発行間隔が tSCAN より短い場合は、トリガによる A/D 変換が無効となる場合があります。

A/D 変換開始トリガに 120MHz 動作モジュール（GPT）からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は、47.3.6　アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 47.7 に TRSA[5:0] ビットでの A/D 変換起動要因選択一覧を示します。

表 47.7　TRSA[5:0] ビットでのA/D変換起動要因選択一覧

要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態		1	1	1	1	1	1
ADTRGn	トリガ入力端子	0	0	0	0	0	0
ELC_ADC00（ユニット0）、ELC_ADC10（ユニット1）	ELC	0	0	1	0	0	1
ELC_ADC01（ユニット0）、ELC_ADC11（ユニット1）	ELC	0	0	1	0	1	0
ELC_ADC00/ELC_ADC01（ユニット0） ELC_ADC10/ELC_ADC11（ユニット1）	ELC	0	0	1	0	1	1

47.2.13 A/D 変換拡張入力コントロールレジスタ（ADEXICR）

アドレス ADC120.ADEXICR 4005 C012h, ADC121.ADEXICR 4005 C212h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OCSB	TSSB	OCSA	TSSA	—	—	—	—	—	—	OCSAD	TSSAD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TSSAD	温度センサ出力A/D変換値加算／平均モード選択	0：温度センサ出力に対し加算／平均モード非選択 1：温度センサ出力に対し加算／平均モード選択	R/W
b1	OCSAD	内部基準電圧A/D変換値加算／平均モード選択	0：内部基準電圧に対し加算／平均モード非選択 1：内部基準電圧に対し加算／平均モード選択	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	TSSA	温度センサ出力A/D変換選択	0：温度センサ出力のA/D変換禁止 1：温度センサ出力のA/D変換許可	R/W
b9	OCSA	内部基準電圧A/D変換選択	0：内部基準電圧のA/D変換禁止 1：内部基準電圧のA/D変換許可	R/W
b10	TSSB	グループB用温度センサ出力A/D変換選択	グループスキャンモードの場合のグループBの選択 0：温度センサ出力のA/D変換禁止 1：温度センサ出力のA/D変換許可	R/W
b11	OCSB	グループB用内部基準電圧A/D変換選択	グループスキャンモードの場合のグループBの選択 0：内部基準電圧のA/D変換禁止 1：内部基準電圧のA/D変換許可	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

TSSAD ビット（温度センサ出力 A/D 変換値加算／平均モード選択）

TSSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して温度センサ出力の A/D 変換が行われます。最大加算回数は、47.2.1 で示すように変換精度によって異なります。ADADC.AVEE ビットが 0 の場合は加算した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 温度センサデータレジスタ（ADTSDR）に返します。

TSSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSAD ビット（内部基準電圧 A/D 変換値加算／平均モード選択）

OCSAD ビットが 1 の場合、ADADC.ADC[2:0] ビットで設定した回数分、連続して内部基準電圧の A/D 変換が行われます。最大加算回数は、47.2.2 A/D 自己診断データレジスタ（ADRD）で示すように変換精度によって異なります。ADADC.AVEE ビットが 0 の場合は加算（積算）した値を、ADADC.AVEE ビットが 1 の場合は平均した値を A/D 内部基準電圧データレジスタ（ADOCDR）に返します。

OCSAD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

TSSA ビット（温度センサ出力 A/D 変換選択）

シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A での温度センサ出力の A/D 変換を選択します。温度センサ出力の A/D 変換をする場合、ADCSR.DBLE ビットを 0 にしてください。

TSSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

OCSA ビット（内部基準電圧 A/D 変換選択）

シングルスキャンモード、連続スキャンモード、およびグループスキャンモードのグループ A での内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換をする場合、ADCSR.DBLE ビットを 0 にしてください。

OCSA ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。また、OCSA ビットを 1 に設定した場合は、設定後 400ns 以上待ってから A/D 変換を開始してください。

TSSB ビット（グループ B 用温度センサ出力 A/D 変換選択）

グループスキャンモードのグループ B での温度センサ出力の A/D 変換を選択します。

TSSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。TSSA ビットが 1 のときは、TSSB ビットを 1 にしないでください。

OCSB ビット（グループ B 用内部基準電圧 A/D 変換選択）

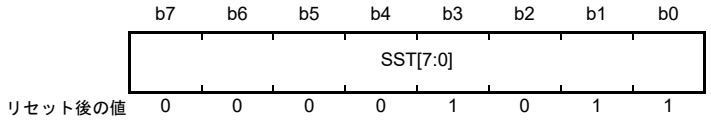
グループスキャンモードのグループ B での内部基準電圧の A/D 変換を選択します。

OCSB ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。OCSA ビットが 1 のときは、OCSB ビットを 1 にしないでください。

また、OCSB ビットを 1 にしてから 400ns 以上待ってから A/D 変換を開始してください。

47.2.14 A/D サンプリングステートレジスタ n（ADSSTRn）（n = 00 ～ 06, L, T, O）

アドレス ADC120.ADSSTR00 4005 C0E0h～ADC120.ADSSTR06 4005 C0E6h,
ADC120.ADSSTRL 4005 C0DDh, ADC120.ADSSTRT 4005 C0DEh, ADC120.ADSSTRO 4005 C0DFh,
ADC121.ADSSTR00 4005 C2E0h～ADC121.ADSSTR06 4005 C2E6h,
ADC121.ADSSTRL 4005 C2DDh, ADC121.ADSSTRT 4005 C2DEh, ADC121.ADSSTRO 4005 C2DFh



ビット	シンボル	ビット名	機能	R/W
b7-b0	SST[7:0]	サンプリング時間設定	5～255ステートの間でサンプリング時間を設定します。	R/W

ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。1 ステート = 1ADCLK（A/D 変換クロック）幅で ADCLK クロックが 60MHz であり、1 ステート = 16.7ns になります。初期値は 11 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

SST[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

サンプリング時間の下限値は分周比によって異なります。

- PCLKB : PCLKC（ADCLK）の分周比が 1:1、2:1、4:1、または 8:1 の場合、サンプリング時間は 5 ステートより長く設定してください
- PCLKB : PCLKC（ADCLK）の分周比が 1:2 または 1:4 の場合、サンプリング時間は 6 ステートより長く設定してください

表 47.8 に A/D サンプリングステートレジスタと関連チャネルの関係を示します。

詳細は、47.3.6 アナログ入力のサンプリング時間とスキャン変換時間を参照してください。

表 47.8 A/Dサンプリングステートレジスタと関連チャネルの関係

ビット名	関連チャネル	
	ユニット0	ユニット1
ADSSTR00.SST[7:0]ビット（注1）	AN000	AN100
ADSSTR01.SST[7:0]ビット	AN001	AN101
ADSSTR02.SST[7:0]ビット	AN002	AN102
ADSSTR03.SST[7:0]ビット	AN003	AN103
ADSSTR04.SST[7:0]ビット	AN004	AN104
ADSSTR05.SST[7:0]ビット	AN005	AN105
ADSSTR06.SST[7:0]ビット	AN006	AN106
ADSSTRL.SST[7:0]ビット	AN016～AN021	AN116～AN120
ADSSTRT.SST[7:0]ビット	温度センサ出力	温度センサ出力
ADSSTRO.SST[7:0]ビット	内部基準電圧	内部基準電圧

注 1. 自己診断機能を選択したときは、ADSSTR0.SST[7:0] で設定したサンプリング時間が適用されます。

47.2.15 A/D サンプル & ホールド回路コントロールレジスタ（ADSHCR）

アドレス ADC120.ADSHCR 4005 C066h, ADC121.ADSHCR 4005 C266h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SHANS[2:0]			SSTSH[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	チャネル専用サンプル&ホールド回路サンプリング時間設定	サンプリング時間（4～255ステート）	R/W
b10-b8	SHANS[2:0]	チャネル専用サンプル&ホールド回路バイパス選択	AN000～AN002（ユニット0）／AN100～AN102（ユニット1）のチャネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：上記回路をバイパス 1：上記回路を使用	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SSTSH[7:0] ビット（チャネル専用サンプル & ホールド回路サンプリング時間設定）

チャネル専用サンプル&ホールド回路のサンプリング時間設定をします。1 ステート = 1ADCLK（A/D 変換クロック）幅で ADCLK クロックが 60MHz であり、1 ステート = 16.7ns になります。初期値は 24 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。

SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。サンプリング時間の設定値は、4 ステート以上 255 ステート以下の値を設定してください。

SHANS[2:0] ビット（チャネル専用サンプル & ホールド回路バイパス選択）

AN000 ～ AN002（ユニット 0）／ AN100 ～ AN102（ユニット 1）のチャネル専用サンプル & ホールド回路を使用するか、使用せずバイパスするかを選択します。ユニット 0 では、SHANS[0] ビットが AN000 に、SHANS[1] ビットが AN001 に、SHANS[2] ビットが AN002 に対応します。ユニット 1 では、SHANS[0] ビットが AN100 に、SHANS[1] ビットが AN101 に、SHANS[2] ビットが AN102 に対応します。

グループスキャンモードのグループ A 優先制御時に、グループ B に AN000 ～ AN002（ユニット 0）／ AN100 ～ AD102（ユニット 1）のいずれかのチャネルを選択した場合は、この設定で当該チャネルの専用サンプル&ホールド回路をバイパスするようにしてください。

SHANS[2:0] ビットの設定は、ADCSR.ADST ビットと ADSHMSR.SHMD ビットがどちらも 0 であるときのみ行ってください。

47.2.16 A/D サンプル & ホールド動作モード選択レジスタ（ADSHMSR）

アドレス ADC120.ADSHMSR 4005 C07Ch, ADC121.ADSHMSR 4005 C27Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SHMD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SHMD	サンプリング動作選択	0：常時サンプリング機能は無効 1：常時サンプリング機能は有効	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

SHMD ビット（サンプリング動作選択）

SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたチャネル専用サンプル&ホールド回路の常時サンプリング機能が有効になります。SHMD ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

常時サンプリング機能が有効な場合、サンプル&ホールド回路は、ADC12 が動作していないときにはサンプリング動作を行い、ADC12 が動作中のときにはホールド動作を行います。

注 . SHMD ビットを 1 にしてから 400ns（許容信号源インピーダンスが 1kΩ の場合）以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。サンプル&ホールド回路のサンプリング周期は 400ns（許容信号源インピーダンスが 1kΩ の場合）以上でなければなりません。

47.2.17 A/D 断線検出コントロールレジスタ（ADDISCR）

アドレス ADC120.ADDISCR 4005 C07Ah, ADC121.ADDISCR 4005 C27Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PCHG	ADNDIS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ADNDIS[3:0]	プリチャージ／ディスチャージ期間	b3 b0 0 0 0 0：断線検出アシスト機能は無効 0 0 0 1：設定禁止 その他：プリチャージ／ディスチャージ期間のステート数	R/W
b4	PCHG	プリチャージ／ディスチャージ選択	0：ディスチャージ 1：プリチャージ	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

A/D 断線検出アシスト機能におけるプリチャージ／ディスチャージの選択およびプリチャージ／ディスチャージ期間の設定を行います。ADDISCR レジスタの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

下記の機能のいずれかが使用されている場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断
- バイパス許可なしのプログラマブルゲインアンプ

ADNDIS[3:0] ビット（プリチャージ／ディスチャージ期間）

プリチャージ／ディスチャージの期間を指定します。ADNDIS[3:0] = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] = 0001b は設定禁止です。ADNDIS[3:0] = 0000b、0001b 以外では、設定した値がプリチャージ／ディスチャージ期間のステート数となります。ADNDIS[3:0] ビットが 0000b および 0001b 以外の値の場合、断線検出アシスト機能は有効になります。

PCHG ビット（プリチャージ／ディスチャージ選択）

PCHG ビット = 1 でプリチャージが選択され、PCHG ビット = 0 でディスチャージが選択されます。

47.2.18 A/D グループスキャン優先コントロールレジスタ（ADGSPCR）

アドレス ADC120.ADGSPCR 4005 C080h, ADC121.ADGSPCR 4005 C280h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定 (注1)	0：グループAの優先制御動作を行わない 1：グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定	（PGS = 1のときのみ有効。PGS = 0のときは予約ビット） 0：グループAの優先制御でグループBのスキャンを中断した後にそのスキャンの再起動をしない 1：グループAの優先制御でグループBのスキャンを中断した後にそのスキャンを再起動する	R/W
b14-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定 (注2)	（PGS = 1のときのみ有効。PGS = 0のときは予約ビット） 0：グループBのシングルスキャン連続動作を行わない 1：グループBのシングルスキャン連続動作を行う	R/W

注 1. ADCSR.ADCS[1:0] ビットは、PGS を 1 にする前に 01b（グループスキャンモード）にする必要があります。それ以外の値にした場合、動作は保証されません。

注 2. GBRP ビットを 1 にした場合は、GBRSCN ビットの設定にかかわらず、グループ B のシングルスキャン連続動作を実行します。

PGS ビット（グループ A 優先制御設定）

PGS ビットを 1 にすると、グループ A の優先動作が行われます。PGS ビットを 1 にする場合は、事前に ADCSR.ADCS[1:0] ビットを 01b（グループスキャンモード）にしてください。それ以外の値にした場合、動作は保証されません。

PGS ビットを 0 にした場合は、47.6.2 A/D 変換停止時の注意事項に従い、ソフトウェアでのクリアを行ってください。PGS ビットを 1 にした場合は、47.3.4.3 グループ A 優先制御動作の手順に従い設定を行ってください。

GBRSCN ビット（グループ B 再起動設定）

グループ A 優先制御時の、グループ B の再スキャン動作を制御します。GBRSCN ビットを 1 にすると、グループ A のトリガ入力によるグループ B のスキャン動作中断後、グループ A の変換終了を待ってグループ B の再スキャン動作を実行します。また、グループ A の A/D 変換動作中にグループ B のトリガ入力があった場合、グループ A の変換終了を待ってグループ B の再スキャン動作を行います。

GBRSCN ビットを 0 にした場合は、A/D 変換実行中に入力されたトリガは無視されます。GBRSCN ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。GBRSCN ビットの設定は、PGS ビットが 1 のときに有効となります。

GBRP ビット（グループ B 用シングルスキャン連続起動設定）

GBRP ビットを設定すると、グループ B のシングルスキャン連続動作を実行します。GBRP ビットを 1 にした場合は、グループ B のシングルスキャンが起動します。スキャン終了後は自動的にグループ B のシングルスキャンを再開します。グループ A の動作によってグループ B の変換が中断した場合、グループ A の動作が優先され、グループ A の変換終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを 1 にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを 1 にした場合、GBRSCN ビットの設定は無効となります。GBRP ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。GBRP ビットの設定は、PGS ビットが 1 のときに有効となります。

47.2.19 A/D コンペア機能コントロールレジスタ（ADCMPCR）

アドレス ADC120.ADCMPCR 4005 C090h, ADC121.ADCMPCR 4005 C290h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CMPAIE	WCMPE	CMPBIE	—	CMPAE	—	CMPBE	—	—	—	—	—	—	—	CMPAB[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CMPAB[1:0]	ウィンドウA/B複合条件設定	b1 b0 0 0：ウィンドウA比較条件に一致ORウィンドウB比較条件に一致の場合、ADC12i_WCMPMを出力。その他の場合はADC12i_WCMPUMを出力 0 1：ウィンドウA比較条件に一致EXORウィンドウB比較条件に一致の場合、ADC12i_WCMPMを出力。その他の場合はADC12i_WCMPUMを出力 1 0：ウィンドウA比較条件に一致ANDウィンドウB比較条件に一致の場合、ADC12i_WCMPMを出力。その他の場合はADC12i_WCMPUMを出力 1 1：設定禁止 これらのビットは、ウィンドウAおよびウィンドウBがどちらも有効（CMPAE = 1およびCMPBE = 1）な場合に有効となります。	R/W
b8-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9	CMPBE	コンペアウィンドウB動作許可	0：コンペアウィンドウB動作禁止 ADC12i_WCMPMおよびADC12i_WCMPUMの出力不可 1：コンペアウィンドウB動作許可	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	CMPAE	コンペアウィンドウA動作許可	0：コンペアウィンドウA動作禁止 ADC12i_WCMPMおよびADC12i_WCMPUMの出力不可 1：コンペアウィンドウA動作許可	R/W
b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13	CMPBIE	コンペアB割り込み許可	0：比較条件（ウィンドウB）一致によるADC12i_CMPBI割り込み禁止 1：比較条件（ウィンドウB）一致によるADC12i_CMPBI割り込み許可	R/W
b14	WCMPE	ウィンドウ機能設定	0：ウィンドウ機能無効 ウィンドウAおよびBはコンパレータとして動作し、下位の1つの値をA/D変換結果と比較 1：ウィンドウ機能有効 ウィンドウAおよびBはコンパレータとして動作し、上位および下位の2つの値をA/D変換結果と比較	R/W
b15	CMPAIE	コンペアA割り込み許可	0：比較条件（ウィンドウA）一致によるADC12i_CMPAI割り込み禁止 1：比較条件（ウィンドウA）一致によるADC12i_CMPAI割り込み許可	R/W

i = 0：ユニット0、i = 1：ユニット1

CMPAB[1:0] ビット（ウィンドウ A/B 複合条件設定）

シングルスキャンモードでウィンドウ A およびウィンドウ B がどちらも有効（CMPAE = 1 および CMPBE = 1）な場合に有効となります。CMPAB[1:0] ビットにより、ADWINMON.MONCONB のコンペア機能一致／不一致イベント出力条件および監視条件を指定します。

CMPAB[1:0] ビットの設定は、ADCSR.ADST ビットが 0 のときのみ行ってください。

CMPBE ビット（コンペアウィンドウ B 動作許可）

コンペアウィンドウ B の動作を許可／禁止します。CMPBE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、A1、B0、および B1（ADANSA0、ADANSA1、ADANSB0、および ADANSB1）
- A/D 変換拡張入力コントロールレジスタ（ADEXICR）の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ B チャネル選択レジスタ（ADCMPBNSR）の CMPCHB[5:0] ビット

CMPAE ビット（コンペアウィンドウ A 動作許可）

コンペアウィンドウ A の動作を許可／禁止します。CMPAE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

このビットは、以下のレジスタを設定する前に 0 にしてください。

- A/D チャネル選択レジスタ A0、A1、B0、および B1（ADANSA0、ADANSA1、ADANSB0、および ADANSB1）
- A/D 変換拡張入力コントロールレジスタ（ADEXICR）の OCSB、TSSB、OCSA、または TSSA ビット
- ウィンドウ A チャネル選択レジスタ 0 および 1（ADCMPANSR0 および ADCMPANSR1）
- ウィンドウ A 拡張入力選択レジスタ（ADCMPANSER）

CMPBIE ビット（コンペア B 割り込み許可）

比較条件（ウィンドウ B）の一致による ADC12i_CMPBI（i = 0, 1）割り込み出力を許可／禁止します。

WCMPE ビット（ウィンドウ機能設定）

ウィンドウ機能の有効／無効を選択します。WCMPE ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPAIE ビット（コンペア A 割り込み許可）

比較条件（ウィンドウ A）の一致による ADC12i_CMPAI（i = 0, 1）割り込み出力を許可／禁止します。

47.2.20 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 0（ADCMPANSR0）

アドレス ADC120.ADCMPANSR0 4005 C094h, ADC121.ADCMPANSR0 4005 C294h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMPCHA06	CMPCHA05	CMPCHA04	CMPCHA03	CMPCHA02	CMPCHA01	CMPCHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPCHA06～CMPCHA00	コンペアウィンドウAチャネル選択	0：関連する入力チャネルに対するコンペア機能を禁止 1：関連する入力チャネルに対するコンペア機能を許可 ユニット0では、ビット6（CMPCHA06）がAN006に、ビット0（CMPCHA00）がAN000に対応します。 ユニット1では、ビット6（CMPCHA06）がAN106に、ビット0（CMPCHA00）がAN100に対応します。	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPCHAn ビット（n = 00 ～ 06）（コンペアウィンドウ A チャネル選択）

ADANSA0.ANSAn ビット（n = 00 ～ 06）および ADANSB0.ANSBn ビット（n = 00 ～ 06）で選択した A/D 変換チャネルと同一番号の CMPCHAn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

47.2.21 A/D コンペア機能ウィンドウ A チャネル選択レジスタ 1（ADCMPANSR1）

アドレス ADC120.ADCMPANSR1 4005 C096h, ADC121.ADCMPANSR1 4005 C296h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CMPCHA21	CMPCHA20	CMPCHA19	CMPCHA18	CMPCHA17	CMPCHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHA21～CMPCHA16（注1）	コンペアウィンドウAチャネル選択	0：関連する入力チャネルに対するコンペア機能を禁止 1：関連する入力チャネルに対するコンペア機能を許可 ユニット0では、ビット5（CMPCHA21）がAN021に、ビット0（CMPCHA16）がAN016に対応します。 ユニット1では、ビット4（CMPCHA20）がAN120に、ビット0（CMPCHA16）がAN116に対応します。	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ユニット 1 では、ビット 5（CMPCHA21）は予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPCHAn ビット（n = 16 ～ 21）（コンペアウィンドウ A チャネル選択）

ADANSA1.ANSAn ビット（n = 16 ～ 21）および ADANSB1.ANSBn ビット（n = 16 ～ 21）で選択した A/D 変換チャネルと同一番号の CMPCHAn ビットを 1 にすると、コンペア機能が有効になります。

CMPCHAn ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

47.2.22 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ（ADCMPANSER）

アドレス ADC120.ADCMPANSER 4005 C092h, ADC121.ADCMPANSER 4005 C292h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPOCA	CMPTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPTSA	温度センサ出力コンペア選択	0：温度センサ出力をコンペアウィンドウA対象から外す 1：温度センサ出力をコンペアウィンドウA対象とする	R/W
b1	CMPOCA	内部基準電圧コンペア選択	0：内部基準電圧をコンペアウィンドウA対象から外す 1：内部基準電圧をコンペアウィンドウA対象とする	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPTSA ビット（温度センサ出力コンペア選択）

ADEXICR.TSSA ビットまたは ADEXICR.TSSB ビットが 1 のときに CMPTSA ビットを 1 にすると、コンペアウィンドウ A 機能が有効になります。CMPTSA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPOCA ビット（内部基準電圧コンペア選択）

ADEXICR.OCSA ビットまたは ADEXICR.OCSB ビットが 1 のときに CMPOCA ビットを 1 にすると、コンペアウィンドウ A 機能が有効になります。CMPOCA ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

47.2.23 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 0（ADCMPLR0）

アドレス ADC120.ADCMPLR0 4005 C098h, ADC121.ADCMPLR0 4005 C298h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMPLCHA06	CMPLCHA05	CMPLCHA04	CMPLCHA03	CMPLCHA02	CMPLCHA01	CMPLCHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPLCHA06～CMPLCHA00	コンペアウィンドウA比較条件選択	ウィンドウA比較条件を適用するチャネル（AN000～AN006（ユニット0）／AN100～AN106（ユニット1）から選択）の比較条件を設定します。比較条件を図 47.4に示します。 • ウィンドウ機能無効時（ADCMPCR.WCMPE = 0） 0：ADCMPDR0値＞A/D変換値 1：ADCMPDR0値＜A/D変換値 • ウィンドウ機能有効時（ADCMPCR.WCMPE = 1） 0：A/D変換値＜ADCMPDR0値または ADCMPDR1値＜A/D変換値 1：ADCMPDR0値＜A/D変換値＜ADCMPDR1値	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPLCHAn ビット（n = 00 ～ 06）（コンペアウィンドウ A 比較条件選択）

ウィンドウ A 比較条件を適用するチャネル（AN000 ～ AN006（ユニット 0）／ AN100 ～ AN106（ユニット 1）から選択）の比較条件を指定します。CMPLCHAn ビットはコンペア対象のアナログ入力ごとに設定可能です。ユニット 0 では、CMPLCHA00 が AN000 に、CMPLCHA06 が AN006 に対応します。ユニット 1 では、CMPLCHA00 が AN100 に、CMPLCHA06 が AN106 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR0.CMPSTCHAn フラグは 1 になり、コンペア割り込み（ADC12i_CMPAI（i = 0, 1））が発生します。

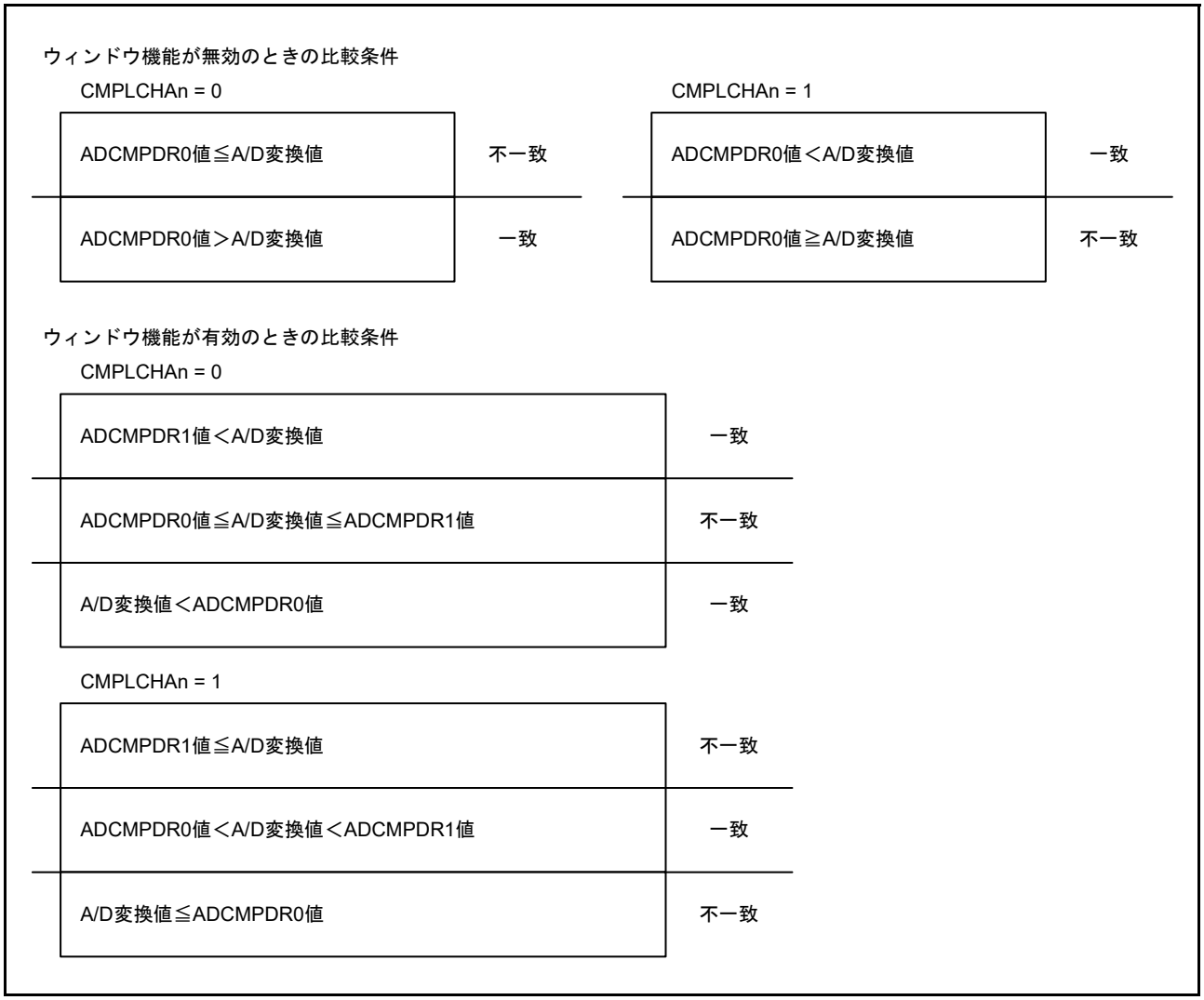


図 47.4 コンペア機能ウィンドウ A 比較条件の説明

47.2.24 A/D コンペア機能ウィンドウ A 比較条件設定レジスタ 1（ADCMPLR1）

アドレス ADC120.ADCMPLR1 4005 C09Ah, ADC121.ADCMPLR1 4005 C29Ah

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CMPLCHA21	CMPLCHA20	CMPLCHA19	CMPLCHA18	CMPLCHA17	CMPLCHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPLCHA21～CMPLCHA16 （注1）	コンペアウィンドウA比較条件選択	ウィンドウA比較条件を適用するチャネル（AN016～AN021（ユニット0）／AN116～AN120（ユニット1）から選択）の比較条件を設定します。比較条件を図 47.4に示します。 • ウィンドウ機能無効時（ADCMPCR.WCMPE = 0） 0：ADCMPDR0値＞A/D変換値 1：ADCMPDR0値＜A/D変換値 • ウィンドウ機能有効時（ADCMPCR.WCMPE = 1） 0：A/D変換値＜ADCMPDR0値、または ADCMPDR1値＜A/D変換値 1：ADCMPDR0値＜A/D変換値＜ADCMPDR1値	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ユニット 1 では、ビット 5（CMPLCHA21）は予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPLCHAn ビット（n = 16 ～ 21）（コンペアウィンドウ A 比較条件選択）

ウィンドウ A 比較条件を適用するチャネル（AN016 ～ AN021（ユニット 0）／ AN116 ～ AN120（ユニット 1）から選択）の比較条件を指定します。CMPLCHAn ビットはコンペア対象のアナログ入力ごとに設定可能です。ユニット 0 では、CMPLCHA16 が AN016 に、CMPLCHA21 が AN021 に対応します。ユニット 1 では、CMPLCHA16 が AN116 に、CMPLCHA20 が AN120 に対応します。各アナログ入力の比較結果が設定条件と一致すると、ADCMPSR1.CMPSTCHAn フラグは 1 になり、コンペア割り込み（ADC12i_CMPAI（i = 0, 1））が発生します。

47.2.25 A/D コンペア機能ウィンドウ A 拡張入力比較条件設定レジスタ（ADCMPLER）

アドレス ADC120.ADCMPLER 4005 C093h, ADC121.ADCMPLER 4005 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPLOCA	CMPLTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPLTSA	コンペアウィンドウA温度センサ出力比較条件選択	比較条件を図 47.4に示します。 • ウィンドウ機能無効時（ADCMPCR.WCMPE = 0） 0：ADCMPDR0値＞A/D変換値 1：ADCMPDR0値＜A/D変換値 • ウィンドウ機能有効時（ADCMPCR.WCMPE = 1） 0：A/D変換値＜ADCMPDR0値または A/D変換値＞ADCMPDR1値 1：ADCMPDR0値＜A/D変換値＜ADCMPDR1値	R/W
b1	CMPLOCA	コンペアウィンドウA内部基準電圧比較条件選択	比較条件を図 47.4に示します。 • ウィンドウ機能無効時（ADCMPCR.WCMPE = 0） 0：ADCMPDR0値＞A/D変換値 1：ADCMPDR0値＜A/D変換値 • ウィンドウ機能有効時（ADCMPCR.WCMPE = 1） 0：A/D変換値＜ADCMPDR0値または A/D変換値＞ADCMPDR1値 1：ADCMPDR0値＜A/D変換値＜ADCMPDR1値	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

CMPLTSA ビット（コンペアウィンドウ A 温度センサ出力比較条件選択）

温度センサ出力がウィンドウ A 比較条件の対象である場合の比較条件を指定します。温度センサ出力の比較結果が設定条件と一致すると、ADCMPSER.CMPSTTSA フラグは 1 になり、コンペア割り込み（ADC12i_CMPAI（i = 0, 1））が発生します。

CMPLOCA ビット（コンペアウィンドウ A 内部基準電圧比較条件選択）

内部基準電圧がウィンドウ A 比較条件の対象である場合の比較条件を指定します。内部基準電圧の比較結果が設定条件と一致すると、ADCMPSER.CMPSTOCA フラグは 1 になり、コンペア割り込み（ADC12i_CMPAI）が発生します。

47.2.26 A/D コンペア機能ウィンドウ A 下側レベル設定レジスタ（ADCMPDR0）、A/D コンペア機能ウィンドウ A 上側レベル設定レジスタ（ADCMPDR1）、A/D コンペア機能ウィンドウ B 下側レベル設定レジスタ（ADWINLLB）、A/D コンペア機能ウィンドウ B 上側レベル設定レジスタ（ADWINULB）

アドレス ADC120.ADCMPDR0 4005 C09Ch, ADC120.ADCMPDR1 4005 C09Eh, ADC120.ADWINLLB 4005 C0A8h, ADC120.ADWINULB 4005 C0AAh, ADC121.ADCMPDR0 4005 C29Ch, ADC121.ADCMPDR1 4005 C29Eh, ADC121.ADWINLLB 4005 C2A8h, ADC121.ADWINULB 4005 C2AAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	—	基準値	R/W

ADCMPDRy（y = 0, 1）レジスタは、コンペアウィンドウ A 機能使用時、基準となるデータを指定するレジスタです。ADCMPDR0 はウィンドウ A の下側基準を設定し、ADCMPDR1 は上側基準を設定します。

ADWINULB および ADWINLLB は、コンペアウィンドウ B 機能使用時、基準となるデータを指定します。ADWINLLB はウィンドウ B の下側基準を設定し、ADWINULB は上側基準を設定します。

ADCMPDRy、ADWINULB、および ADWINLLB の書き込みは A/D 変換中でも有効です。A/D 変換中にレジスタ値を書き換えることにより、基準データを動的に変更することができます。ADCMPDRy、ADWINULB、および ADWINLLB は読み出し、書き込みともに可能です。

これらのレジスタを設定するときは、上側基準が下側基準を下回らないようにしてください（ADCMPDR1 ≧ ADCMPDR0、ADWINULB ≧ ADWINLLB）。ADCMPDR1 および ADWINULB はウィンドウ機能無効時は使用しません。

下側基準および上側基準は、それぞれのレジスタが書き込まれるときに変更されます。たとえば上側基準値が変更され、下側基準値が変更中の場合、本 MCU は上側基準値（変更後）と下側基準値（変更前）を A/D 変換結果と比較します。図 47.5 を参照してください。2 つの基準値の書き換え時に比較エラーとなった場合、ADCSR.ADST および関連するコンペアウィンドウ動作許可ビット（ADCMPCR.CMPAE または ADCMPCR.CMPBE）がどちらも 0 のときに、それらの基準値を書き換えてください。

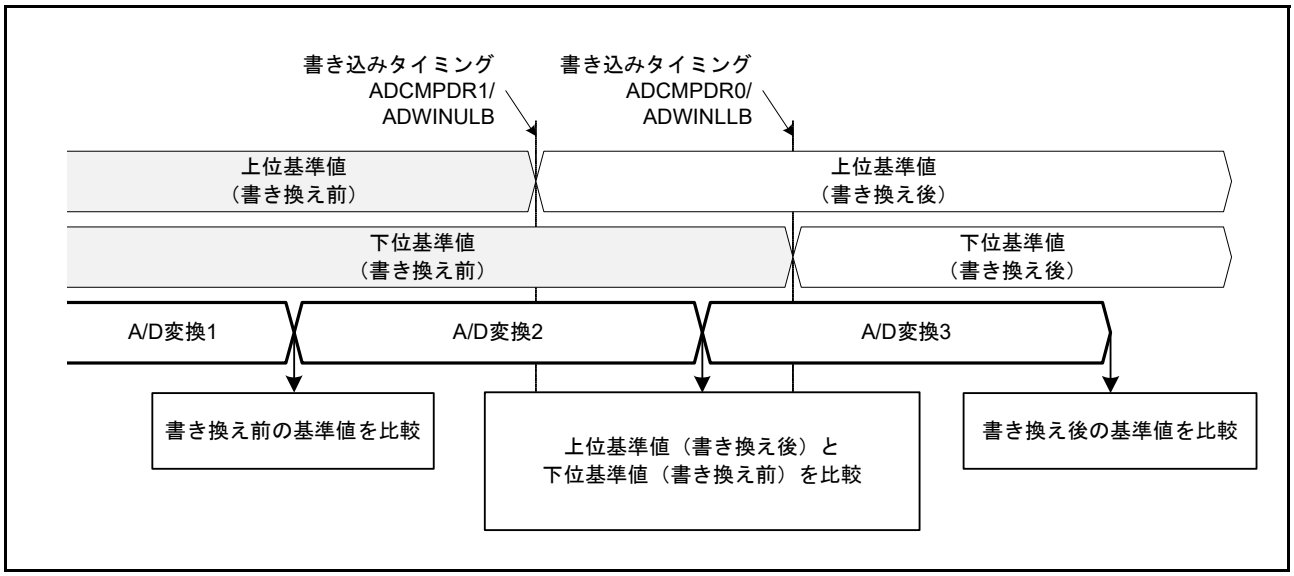


図 47.5 書き換え前後の上側基準値と下側基準値の比較

ADCMPDRy、ADWINLLB、およびADWINULBレジスタは、下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビットの設定値（右詰めまたは左詰め）
- A/D変換精度指定ビットの設定値（12ビット、10ビット、または8ビット）
- A/D変換値加算／平均チャネル選択ビットの設定値（A/D変換値加算モード選択、または非選択）

以下に、条件ごとのデータフォーマットを示します。

(1) A/D変換値加算モードを非選択とした場合

- 右詰めのフォーマット、12ビット精度の場合：下位12ビット（[11:0]）が有効
- 右詰めのフォーマット、10ビット精度の場合：下位10ビット（[9:0]）が有効
- 右詰めのフォーマット、8ビット精度の場合：下位8ビット（[7:0]）が有効
- 左詰めのフォーマット、12ビット精度の場合：上位12ビット（[15:4]）が有効
- 左詰めのフォーマット、10ビット精度の場合：上位10ビット（[15:6]）が有効
- 左詰めのフォーマット、8ビット精度の場合：上位8ビット（[15:8]）が有効

(2) A/D変換値加算モードを選択した場合

- 右詰めのフォーマット、12ビット精度の場合：下位14ビット（[13:0]）が有効
- 右詰めのフォーマット、10ビット精度の場合：下位12ビット（[11:0]）が有効
- 右詰めのフォーマット、8ビット精度の場合：下位10ビット（[9:0]）が有効
- 左詰めのフォーマット、12ビット精度の場合：上位14ビット（[15:2]）が有効
- 左詰めのフォーマット、10ビット精度の場合：上位12ビット（[15:4]）が有効
- 左詰めのフォーマット、8ビット精度の場合：上位10ビット（[15:6]）が有効

47.2.27 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 0（ADCMPSR0）

アドレス ADC120.ADCMPSR0 4005 C0A0h, ADC121.ADCMPSR0 4005 C2A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMPSTCHA06	CMPSTCHA05	CMPSTCHA04	CMPSTCHA03	CMPSTCHA02	CMPSTCHA01	CMPSTCHA00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	CMPSTCHA06～CMPSTCHA00	コンペアウィンドウAフラグ	ウィンドウA動作が有効（ADCMPCR.CMPAE = 1）な場合、ウィンドウA比較条件を適用するチャネル（AN000～AN006（ユニット0）／AN100～AN106（ユニット1）から選択）の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b15-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTCHAn ビット（n = 00 ～ 06）（コンペアウィンドウ A フラグ）

ウィンドウ A 比較条件を適用するチャネル（AN000 ～ AN006（ユニット 0）／ AN100 ～ AN106（ユニット 1）から選択）の比較結果を示します。ADCMPLR0.CMPLCHAn で設定した比較条件が A/D 変換終了時に成立すると、関連する CMPSTCHAn ビットが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このビットが 1 になるとコンペア割り込み要求（ADC12i_CMPAI（i = 0, 1））が発生します。ユニット 0 では、CMPSTCHA00 が AN000 に、CMPSTCHA06 が AN006 に対応します。ユニット 1 では、CMPSTCHA00 が AN100 に、CMPSTCHA06 が AN106 に対応します。

CMPSTCHAn ビットへの 1 の 1 書き込みは無効です。

［1 になる条件］

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR0.CMPLCHAn で設定した条件が成立したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

47.2.28 A/D コンペア機能ウィンドウ A チャネルステータスレジスタ 1（ADCMPSR1）

アドレス ADC120.ADCMPSR1 4005 C0A2h, ADC121.ADCMPSR1 4005 C2A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	CMPSTCHA21	CMPSTCHA20	CMPSTCHA19	CMPSTCHA18	CMPSTCHA17	CMPSTCHA16
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPSTCHA21～CMPSTCHA16（注1）	コンペアウィンドウAフラグ	ウィンドウA動作が有効（ADCMPCR.CMPAE = 1）な場合、ウィンドウA比較条件を適用するチャネル（AN016～AN021（ユニット0）／AN116～AN120（ユニット1）から選択）の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b15-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. ユニット 1 では、ビット 5（CMPSTCHA21）は予約ビットです。読むと 0 が読めます。書く場合、0 としてください。

CMPSTCHAn ビット（n = 16 ～ 21）（コンペアウィンドウ A フラグ）

ウィンドウ A 比較条件を適用するチャネル（AN016 ～ AN021（ユニット 0）／ AN116 ～ AN120（ユニット 1）から選択）の比較結果を示します。ADCMPLR1.CMPLCHAn で設定した比較条件が A/D 変換終了時に成立すると、関連する CMPSTCHAn ビットが 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このビットが 1 になるとコンペア割り込み要求（ADC12i_CMPAI（i = 0, 1））が発生します。ユニット 0 では、CMPSTCHA16 が AN016 に、CMPSTCHA21 が AN021 に対応します。ユニット 1 では、CMPSTCHA16 が AN116 に、CMPSTCHA20 が AN120 に対応します。

CMPSTCHAn ビットへの 1 の書き込みは無効です。

[1 になる条件]

- ADCMPCR.CMPAE が 1 のときに、ADCMPLR1.CMPLCHAn で設定した条件が成立したとき

[0 になる条件]

- 1 を読んだ後、0 を書いたとき

47.2.29 A/D コンペア機能ウィンドウ A 拡張入力チャネルステータスレジスタ（ADCMPSER）

アドレス ADC120.ADCMPSER 4005 C0A4h, ADC121.ADCMPSER 4005 C2A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CMPSTOCA	CMPSTTSA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTTSA	コンペアウィンドウA温度センサ出力コンペアフラグ	ウィンドウA動作が有効（ADCMPCR.CMPAE = 1）な場合、温度センサ出力の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b1	CMPSTOCA	コンペアウィンドウA内部基準電圧コンペアフラグ	ウィンドウA動作が有効（ADCMPCR.CMPAE = 1）な場合、内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTTSA ビット（コンペアウィンドウ A 温度センサ出力コンペアフラグ）

温度センサ出力の比較結果を示すビットです。ADCMPLER.CMPLTSA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このビットが 1 になるとコンペア割り込み要求（ADC12i_CMPAI（i = 0, 1））が発生します。

CMPSTTSA ビットへの 1 の書き込みは無効です。

［1 になる条件］

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLTSA で設定した条件が成立したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

CMPSTOCA ビット（コンペアウィンドウ A 内部基準電圧コンペアフラグ）

内部基準電圧の比較結果を示すビットです。ADCMPLER.CMPLOCA で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPAIE ビットが 1 の場合、このビットが 1 になるとコンペア割り込み要求（ADC12i_CMPAI）が発生します。

CMPSTOCA ビットへの 1 の書き込みは無効です。

［1 になる条件］

- ADCMPCR.CMPAE が 1 のときに、ADCMPLER.CMPLOCA で設定した条件が成立したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

47.2.30 A/D コンペア機能ウィンドウ B チャネルステータスレジスタ（ADCMPBNSR）

アドレス ADC120.ADCMPBNSR 4005 C0A6h, ADC121.ADCMPBNSR 4005 C2A6h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMPLB	—	CMPCHB[5:0]					
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	CMPCHB[5:0]	コンペアウィンドウBチャネル選択	コンペアウィンドウB条件と比較するチャネルを選択します。最大チャネルは、ユニット0ではAN021、ユニット1ではAN120です。 b5 b0 ユニット0 ユニット1 0 0 0 0 0 0 : AN000 AN100 0 0 0 0 0 1 : AN001 AN101 0 0 0 0 1 0 : AN002 AN102 : 0 0 0 1 1 0 : AN006 AN106 0 1 0 0 0 0 : AN016 AN116 : 0 1 0 1 0 0 : AN020 AN120 0 1 0 1 0 1 : AN021 — 1 0 0 0 0 0 : 温度センサ 1 0 0 0 0 1 : 内部基準電圧 1 1 1 1 1 1 : 選択なし 上記以外は設定しないでください。	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	CMPLB	コンペアウィンドウB比較条件設定	ウィンドウBの比較条件を設定します。比較条件を図 47.6に示します。 • ウィンドウ機能無効時（ADCMPCR.WCMPE = 0） 0：CMPLLB値＞A/D変換値 1：CMPLLB値＜A/D変換値 • ウィンドウ機能有効時（ADCMPCR.WCMPE = 1） 0：A/D変換値＜CMPLLB値または CMPULB値＜A/D変換値 1：CMPLLB値＜A/D変換値＜CMPULB値	R/W

CMPCHB[5:0] ビット（コンペアウィンドウ B チャネル選択）

コンペアウィンドウ B 条件と比較するチャネル（AN000 ～ AN006 および AN016 ～ AN021（ユニット 0）／ AN100 ～ AN106 および AN116 ～ AN120（ユニット 1））、温度センサ、および内部基準電圧を指定します。コンペアウィンドウ B 機能は、以下のビットで選択した A/D 変換チャネルの 16 進数を指定することで有効になります。

ユニット 0：

- ADANSA0.ANSA00 ～ ANSA06 ビット
- ADANSA1.ANSA16 ～ ANSA21 ビット
- ADANSB0.ANSB00 ～ ANSB06 ビット
- ADANSB1.ANSB16 ～ ANSB21 ビット

ユニット 1：

- ADANSA0.ANSA00 ～ ANSA06 ビット
- ADANSA1.ANSA16 ～ ANSA20 ビット
- ADANSB0.ANSB00 ～ ANSB06 ビット
- ADANSB1.ANSB16 ～ ANSB20 ビット

CMPCHB[5:0] ビットは、ADCSR.ADST ビットが 0 のときに設定してください。

CMPLB ビット（コンペアウィンドウ B 比較条件設定）

ウィンドウ B のチャネル比較条件を指定します。比較結果が設定条件と一致すると、ADCMPBSR.CMPSTB ビットは 1 になり、コンペア割り込み要求（ADC12i_CMPBI（i = 0, 1））が発生します。

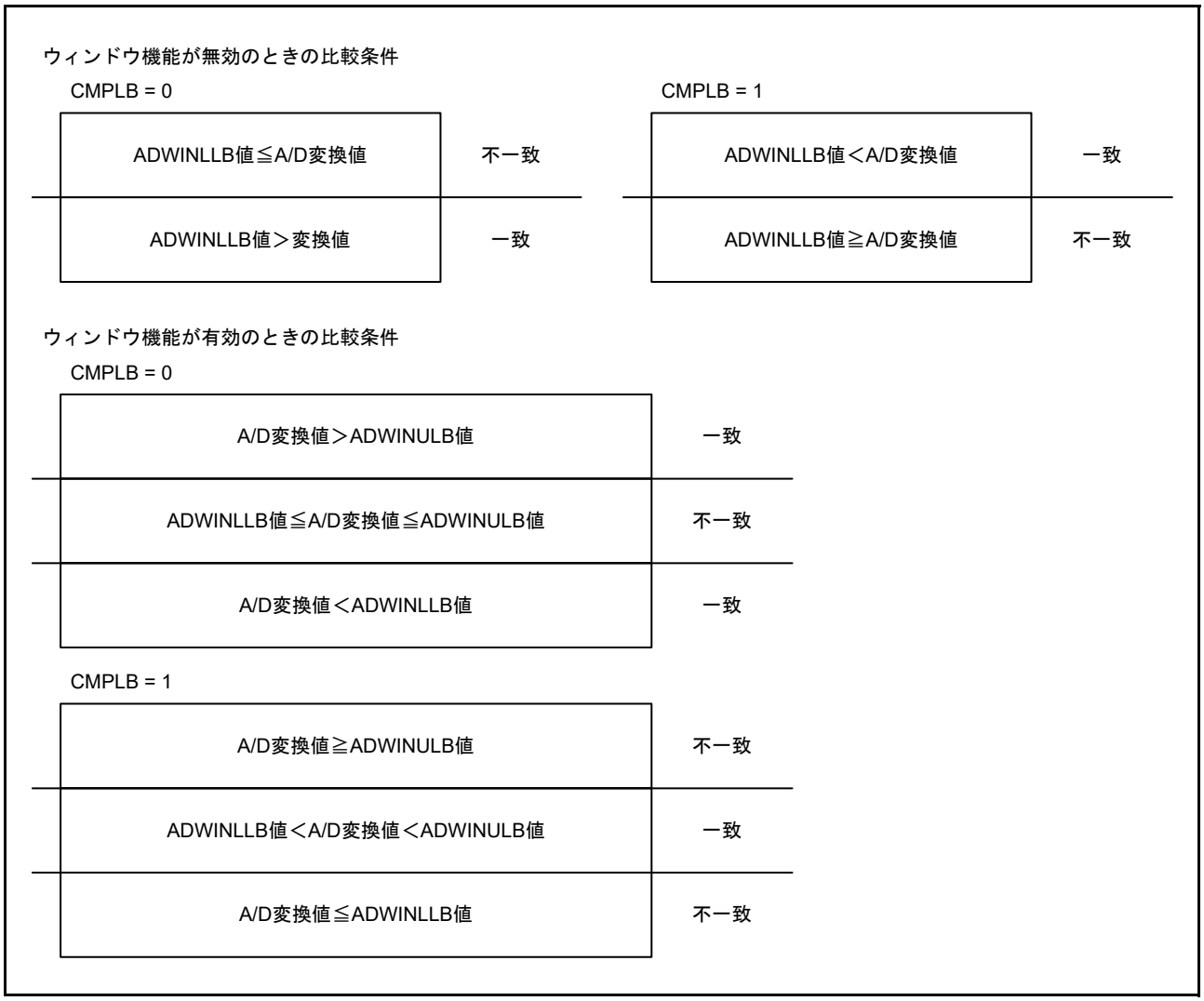


図 47.6 コンペア機能ウィンドウ B 比較条件の説明

47.2.31 A/D コンペア機能ウィンドウ B ステータスレジスタ（ADCMPBSR）

アドレス ADC120.ADCMPBSR 4005 C0ACh, ADC121.ADCMPBSR 4005 C2ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPSTB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPSTB	コンペアウィンドウBフラグ	ウィンドウB動作が有効（ADCMPCR.CMPBE = 1）な場合、ウィンドウB比較条件を適用するチャネル（AN000～AN006およびAN016～AN027（ユニット0）／AN100～AN106およびAN116～AN120（ユニット1）から選択）、温度センサ出力、および内部基準電圧の比較結果を示します。 0：比較条件不成立 1：比較条件成立	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CMPSTB ビット（コンペアウィンドウ B フラグ）

ウィンドウ B 比較条件を適用するチャネル（AN000 ～ AN006 および AN016 ～ AN021（ユニット 0）／AN100 ～ AN106 および AN116 ～ AN120（ユニット 1）から選択）、温度センサ、および内部基準電圧の比較結果を示します。ADCMPBNSR.CMPLB で設定した比較条件が A/D 変換終了時に成立すると 1 になります。ADCMPCR.CMPBIE ビットが 1 の場合、このビットが 1 になるとコンペア割り込み要求（ADC12i_CMPBI（i = 0, 1））が発生します。

CMPSTB ビットへの 1 の書き込みは無効です。

［1 になる条件］

- ADCMPCR.CMPBE が 1 のときに、ADCMPBNSR.CMPLB で設定した条件が成立したとき

［0 になる条件］

- 1 を読んだ後、0 を書いたとき

47.2.32 A/D コンペア機能ウィンドウ A/B ステータスモニタレジスタ（ADWINMON）

アドレス ADC120.ADWINMON 4005 C08Ch, ADC121.ADWINMON 4005 C28Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MONCMPB	MONCMPA	—	—	—	MONCOMB
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MONCOMB	組み合わせ結果監視	組み合わせ結果を示します。このビットは、ウィンドウAとウィンドウBの動作がどちらも有効な場合に有効となります。 0：ウィンドウA／ウィンドウBの複合条件が不成立 1：ウィンドウA／ウィンドウBの複合条件が成立	R
b3-b1	—	予約ビット	読むと0が読めます。	R
b4	MONCMPA	比較結果監視A	0：ウィンドウA比較条件が不成立 1：ウィンドウA比較条件が成立	R
b5	MONCMPB	比較結果監視B	0：ウィンドウB比較条件が不成立 1：ウィンドウB比較条件が成立	R
b7-b6	—	予約ビット	読むと0が読めます。	R

MONCOMB ビット（組み合わせ結果監視）

ADCMPCR.CMPAB[1:0] ビットで設定した複合条件に従って比較条件結果 A および B の組み合わせの結果を示す読み出し専用ビットです。

［1 になる条件］

- ADCMPCR.CMPAE が 1 かつ ADCMPCR.CMPBE が 1 のとき、組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致したとき

［0 になる条件］

- 組み合わせ結果が ADCMPCR.CMPAB[1:0] ビットで設定した複合条件と一致しないとき
- ADCMPCR.CMPAE が 0 または ADCMPCR.CMPBE が 0 のとき

MONCMPA ビット（比較結果監視 A）

ウィンドウ A の対象チャネルの A/D 変換値が ADCMPLR0/ADCMPLR1 および ADCMPLER で設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

［1 になる条件］

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0.CMPLCHAn で設定した条件と一致するとき

［0 になる条件］

- ADCMPCR.CMPAE が 1 のときに、A/D 変換値が ADCMPLR0.CMPLCHAn で設定した条件と一致しないとき
- ADCMPCR.CMPAE が 0 のとき（ADCMPCR.CMPAE の値が 1 から 0 に変化すると自動的に 0 になる）

MONCMPB ビット（比較結果監視 B）

ウィンドウ B の対象チャネルの A/D 変換値が ADCMPBNSR.CMPLB ビットで設定した条件と一致すると 1 が読み出される読み出し専用ビットです。それ以外の場合は読むと 0 が読み出されます。

［1 になる条件］

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致するとき

［0 になる条件］

- ADCMPCR.CMPBE が 1 のときに、A/D 変換値が ADCMPBNSR.CMPLB で設定した条件と一致しないとき
- ADCMPCR.CMPBE が 0 のとき（ADCMPCR.CMPBE の値が 1 から 0 に変化すると自動的に 0 になる）

47.2.33 A/D プログラマブルゲインアンプコントロールレジスタ（ADPGACR）

アドレス ADC120.ADPGACR 4005 C1A0h, ADC121.ADPGACR 4005 C3A0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002GEN	P002ENAMP	P002SEL1	P002SEL0	P001GEN	P001ENAMP	P001SEL1	P001SEL0	P000GEN	P000ENAMP	P000SEL1	P000SEL0
リセット後の値	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	P000SEL0	PGA P000アンプバイパス許可	0：PGAのアンプをバイパスして信号のパス出力を行わない 1：PGAのアンプをバイパスして信号のパス出力を行う	R/W
b1	P000SEL1	PGA P000アンプ経由許可	0：PGAのアンプを介して信号のパス出力を行わない 1：PGAのアンプを介して信号のパス出力を行う	R/W
b2	P000ENAMP	PGA P000アンプ許可	0：PGAのアンプを使用しない 1：PGAのアンプを使用する	R/W
b3	P000GEN	PGA P000ゲイン設定許可	0：ゲイン設定禁止 1：ゲイン設定許可	R/W
b4	P001SEL0	PGA P001アンプバイパス許可	0：PGAのアンプをバイパスして信号のパス出力を行わない 1：PGAのアンプをバイパスして信号のパス出力を行う	R/W
b5	P001SEL1	PGA P001アンプ経由許可	0：PGAのアンプを介して信号のパス出力を行わない 1：PGAのアンプを介して信号のパス出力を行う	R/W
b6	P001ENAMP	PGA P001アンプ許可	0：PGAのアンプを使用しない 1：PGAのアンプを使用する	R/W
b7	P001GEN	PGA P001ゲイン設定許可	0：ゲイン設定禁止 1：ゲイン設定許可	R/W
b8	P002SEL0	PGA P002アンプバイパス許可	0：PGAのアンプをバイパスして信号のパス出力を行わない 1：PGAのアンプをバイパスして信号のパス出力を行う	R/W
b9	P002SEL1	PGA P002アンプ経由許可	0：PGAのアンプを介して信号のパス出力を行わない 1：PGAのアンプを介して信号のパス出力を行う	R/W
b10	P002ENAMP	PGA P002アンプ許可	0：PGAのアンプを使用しない 1：PGAのアンプを使用する	R/W
b11	P002GEN	PGA P002ゲイン設定許可	0：ゲイン設定禁止 1：ゲイン設定許可	R/W
b12	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b14-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b15	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W

注． これらのビットの設定の詳細は、47.3.12 プログラマブルゲインアンプ機能を参照してください。

PnSEL0 ビット（PGA Pn アンプバイパス許可）（n = 000 ～ 002）

各プログラマブルゲインアンプ Pn の PGA のアンプをバイパスして信号をパス出力するかどうかを選択します。

PnSEL1 ビット（PGA Pn アンプ経由許可）（n = 000 ～ 002）

各プログラマブルゲインアンプ Pn の PGA のアンプを介して信号をパス出力するかどうかを選択します。

PnENAMP ビット（PGA Pn アンプ許可）（n = 000 ～ 002）

各プログラマブルゲインアンプ Pn の PGA のアンプを使用するかどうかを選択します。

PnGEN ビット（PGA Pn 入力抵抗側ゲイン選択信号許可）（n = 000 ～ 002）

プログラマブルゲインアンプ Pn のゲイン設定を許可／禁止します。

47.2.34 A/D プログラマブルゲインアンプゲイン設定レジスタ 0（ADPGAGS0）

アドレス ADC120.ADPGAGS0 4005 C1A2h, ADC121.ADPGAGS0 4005 C3A2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002GAIN[3:0]				P001GAIN[3:0]				P000GAIN[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	P000GAIN[3:0]	PGA P000ゲイン設定	• 差動入力が無効（ADPGADCR0.PnDEN = 0）の場合 0 0 0 0 : × 2.000 0 0 0 1 : × 2.500 0 0 1 0 : × 2.667 0 0 1 1 : × 2.857 0 1 0 0 : × 3.077 0 1 0 1 : × 3.333 0 1 1 0 : × 3.636 0 1 1 1 : × 4.000 1 0 0 0 : × 4.444 1 0 0 1 : × 5.000 1 0 1 0 : × 5.714 1 0 1 1 : × 6.667 1 1 0 0 : × 8.000 1 1 0 1 : × 10.000 1 1 1 0 : × 13.333 • 差動入力が有効（ADPGADCR0.PnDEN = 1）（注1）の場合 0 0 0 1 : × 1.500 0 1 0 1 : × 2.333 1 0 0 1 : × 4.000 1 0 1 1 : × 5.667 上記以外は設定しないでください。	R/W
b7-b4	P001GAIN[3:0]	PGA P001ゲイン設定		R/W
b11-b8	P002GAIN[3:0]	PGA P002ゲイン設定		R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. これらのビットの設定の詳細は、47.3.12 プログラマブルゲインアンプ機能を参照してください。

PnGAIN[3:0] ビット（PGA Pn ゲイン設定）（n = 000 ～ 002）

PGA のアンプ Pn のゲインを指定します。差動入力（ADPGADCR0.PnDEN = 1、ADPGACR.PnGEN = 1）の場合、ADPGADCR0.PnDG[1:0] との組み合わせによってゲインを設定します。

47.2.35 A/D プログラマブルゲインアンプ差動入力コントロールレジスタ（ADPGADCR0）

アドレス ADC120.ADPGADCR0 4005 C1B0h, ADC121.ADPGADCR0 4005 C3B0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	P002DEN	—	P002DG[1:0]		P001DEN	—	P001DG[1:0]		P000DEN	—	P000DG[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	P000DG[1:0]	P000差動入力ゲイン設定	これらのビットを使用する場合、{P000DEN, P000GEN}を11bにしてください。 b1 b0 0 0 : × 1.5 0 1 : × 2.333 1 0 : × 4.0 1 1 : × 5.667	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	P000DEN	P000差動入力許可	0：差動入力無効 1：差動入力許可	R/W
b5-b4	P001DG[1:0]	P001差動入力ゲイン設定	これらのビットを使用する場合、{P001DEN, P001GEN}を11bにしてください。 b5 b4 0 0 : × 1.5 0 1 : × 2.333 1 0 : × 4.0 1 1 : × 5.667	R/W
b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	P001DEN	P001差動入力許可	0：差動入力無効 1：差動入力許可	R/W
b9-b8	P002DG[1:0]	P002差動入力ゲイン設定	これらのビットを使用する場合、{P002DEN, P002GEN}を11bにしてください。 b9 b8 0 0 : × 1.5 0 1 : × 2.333 1 0 : × 4.0 1 1 : × 5.667	R/W
b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11	P002DEN	P002差動入力許可	0：差動入力無効 1：差動入力許可	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． これらのビットの設定の詳細は、47.3.12 プログラマブルゲインアンプ機能を参照してください。

PnDG[1:0] ビット（Pn 差動入力ゲイン設定）（n = 000 ～ 002）

差動入力使用時の PGA のアンプ Pn のゲインを指定します。PnDEN ビットと PnGEN ビットがどちらも 1 の場合にのみ有効となります。

PGA を差動入力に使用するには、ADPGAGS0.PnGAIN[3:0] ビットと一緒に ADPGADCR0.PnDG[1:0] ビットを設定してください。

例： 差動入力のため P000 でゲインを × 1.5 に設定する場合は、次のように設定します。
ADPGAGS0.P000GAIN[3:0] = 0001b
ADPGADCR0.P000DG[1:0] = 00b

PnDEN ビット（Pn 差動入力許可）（n = 000 ～ 002）

PGA のアンプ Pn の差動入力を許可／禁止します。

47.3 動作説明

47.3.1 スキャンの動作説明

スキャンとは、選択したチャネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモード、連続スキャンモード、およびグループスキャンモードの 3 種類の動作モードがあります。シングルスキャンモードは、指定した 1 チャネル以上のスキャンを 1 回実行して終了するモードです。連続スキャンモードは、指定した 1 チャネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを 1 から 0 にするまで繰り返し実行するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガ（ELC）で開始し、グループ A とグループ B で選択したチャネルのスキャンをそれぞれ 1 回ずつ実行して終了するモードです。

シングルスキャンモードと連続スキャンモードでは、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号のチャネルから順に A/D 変換を行います。グループスキャンモードの A/D 変換は、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号のグループ A のチャネルから順に実行され、その後で ADANSB0、ADANSB1 レジスタで選択した ANn の n が小さい番号のグループ B のチャネルから順に実行されます。

自己診断を選択した場合は、スキャンごとの最初に 1 回実行され、ADC12 内部で生成する 3 つの電圧値のうち 1 つを A/D 変換します。

温度センサ出力、内部基準電圧は、チャネルのアナログ入力と同時に選択可能で、チャネルのアナログ入力、温度センサ出力、内部基準電圧の順に A/D 変換を行います。

ダブルトリガモードは、シングルスキャンモードまたはグループスキャンモードで使用可能です。ダブルトリガモードを許可（ADCSR.DBLE = 1）すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガ（ELC）でのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換データを 2 重化します。グループスキャンモードでは、ダブルトリガモードを使用できるのはグループ A のみです。

ダブルトリガモードの拡張動作では、A/D 変換動作が同期トリガコンビネーションから発生します。トリガコンビネーションは ADSTRGR.TRSA[5:0] ビットで選択します。ELC_AD00 および ELC_AD01 はユニット 0 に対応します。ELC_AD10 および ELC_AD11 はユニット 1 に対応します。通常のダブルトリガ動作に加え、ELC_AD00（ユニット 0）および ELC_AD10（ユニット 1）トリガによる A/D 変換データを A/D データ 2 重化レジスタ A（ADDBLDRA）に、ELC_AD01（ユニット 0）および ELC_AD11（ユニット 1）トリガによる A/D 変換データを A/D データ 2 重化レジスタ B（ADDBLDRB）に格納します。ダブルトリガモードの拡張動作では、トリガコンビネーションの 1 つが同時発生すると、指定したトリガのデータ二重化レジスタ設定が実行されず、A/D 変換データは A/D データ二重化レジスタ B（ADDBLDRB）に格納されます。

他の同期トリガによって開始された A/D 変換中に発生した同期トリガは無視されます。

ADSHCR.SHANS[2:0] ビットで AN000 ～ AN002（ユニット 0）、および AN100 ～ AN102（ユニット 1）のいずれかをチャネル専用サンプル＆ホールド回路に設定すると、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル＆ホールドを行います。

47.3.2 シングルスキャンモード

47.3.2.1 基本動作（チャネル専用サンプル＆ホールド回路なし）

シングルスキャンモードの基本動作は、指定されたチャネルのアナログ入力を 1 サイクルのみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ（ADDRy）に格納されます。
3. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

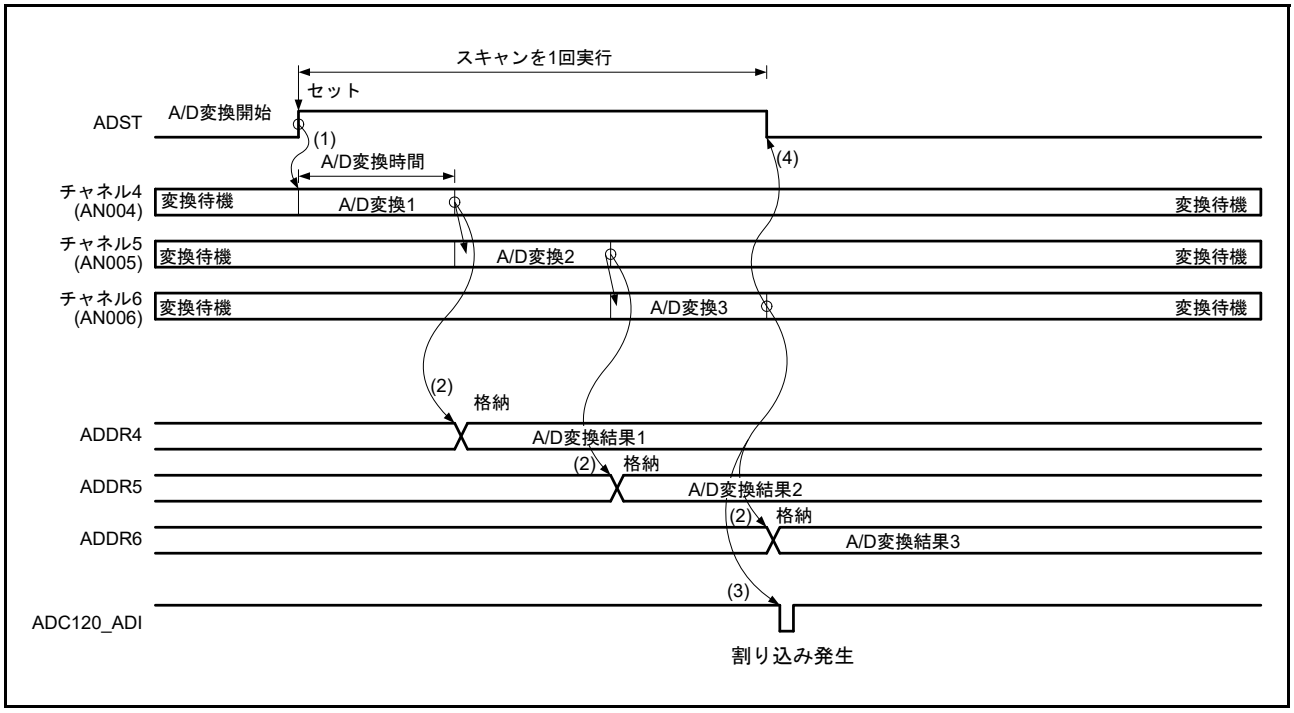


図 47.7 シングルスキャンモードの基本動作例（AN004 ～ AN006 選択）

47.3.2.2 基本動作（チャネル専用サンプル&ホールドあり、常時サンプリング無効）

チャネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後、指定したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル&ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ（ADDRy）に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
5. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

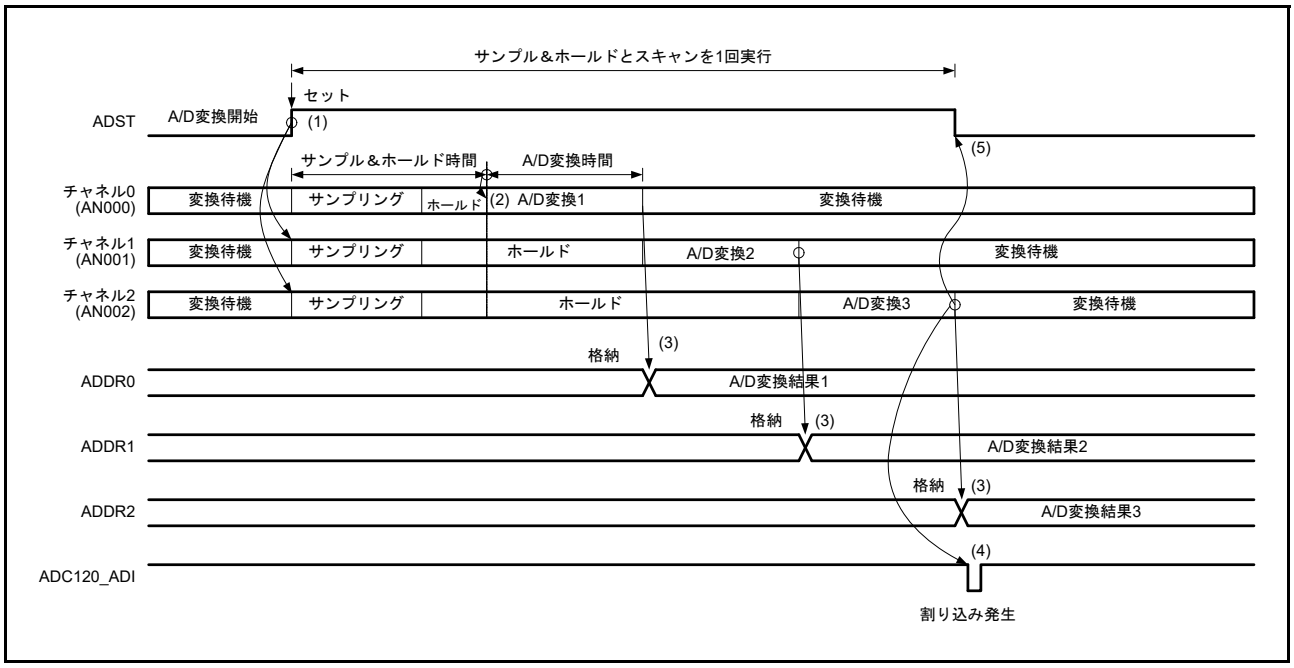


図 47.8 シングルスキャンモードの動作例（チャネル専用サンプル&ホールド回路使用、AN000 ～ AN002 選択）

47.3.2.3 基本動作（チャネル専用サンプル＆ホールド回路あり、常時サンプリング有効）

常時サンプリング有効設定でチャネル専用サンプル＆ホールド回路を使用すると、以下のようにサンプル＆ホールド実施後に選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで指定します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル＆ホールド回路が常時サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
3. サンプル＆ホールド回路の安定時間経過後に、ADANSA0/1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ（ADDRy）へ格納され、サンプル＆ホールド回路は常時サンプリングを再開します。
5. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
6. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。続けてシングルスキャンを実行する場合は、サンプル & ホールド回路の常時サンプリング期間が 400ns（許容信号源インピーダンスが 1kΩ の場合）以上となるようにしてください。
7. ADSHMSR.SHMD ビットを 0 にすると、サンプル＆ホールド回路が停止します。

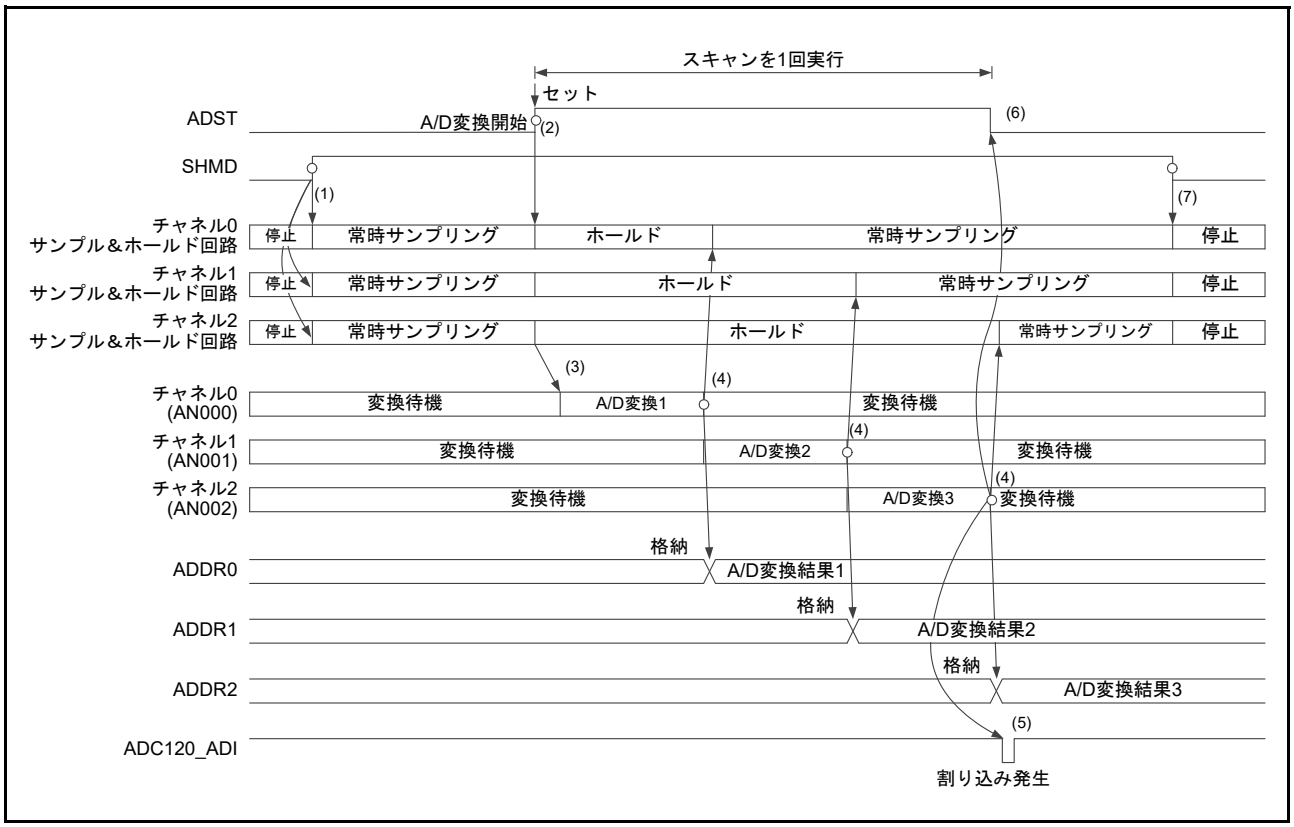


図 47.9 シングルスキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000 ～ AN002 選択、常時サンプリング有効）

47.3.2.4 チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路なし）

チャネル選択とともに自己診断を選択すると、ADC12 に供給される基準電圧 VREFH0（ユニット 0）、VREFH（ユニット 1）（×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後、指定したチャネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ（ADDRy）に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
5. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

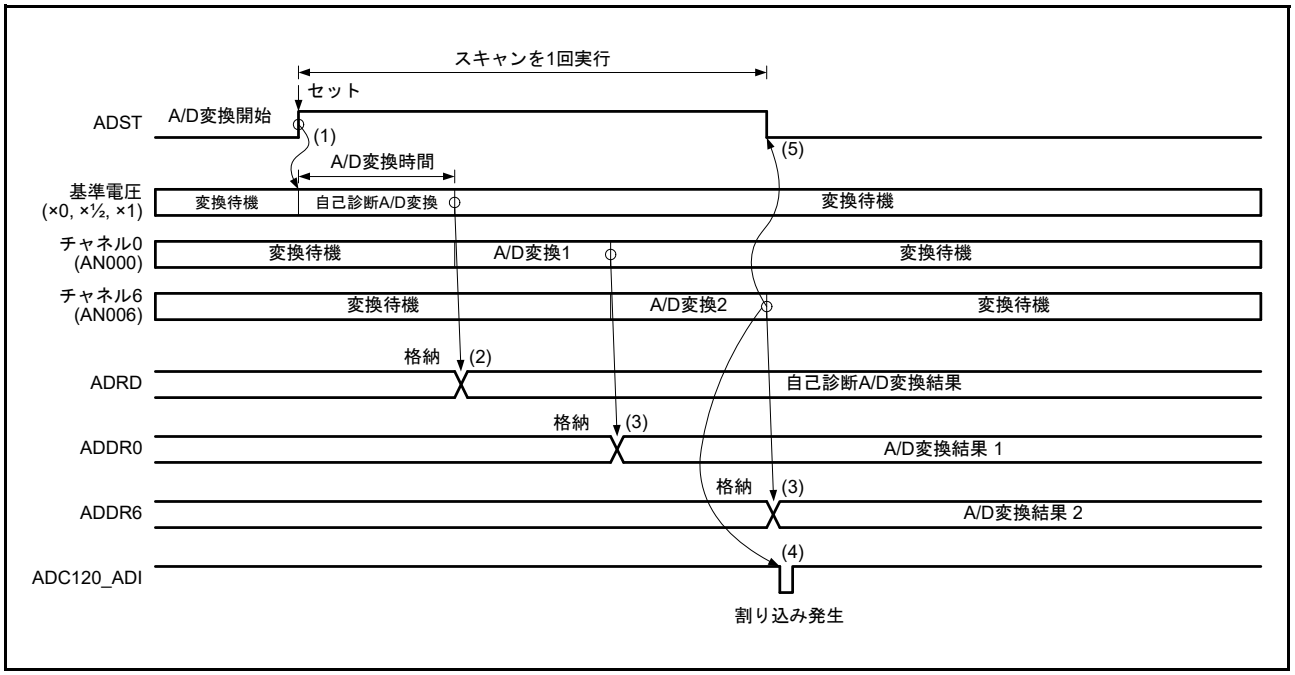


図 47.10 シングルスキャンモードの基本動作例（AN000、AN006 選択 + 自己診断）

47.3.2.5 チャネル選択と自己診断（チャネル専用サンプル&ホールドあり、常時サンプリング無効）

チャネル選択とともに自己診断を選択し、常時サンプリング無効設定でチャネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後に、ADC12 に供給される基準電圧 VREFH0（ユニット 0）、VREFH（ユニット 1）（×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、自己診断での A/D 変換を開始します。
3. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
5. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
6. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

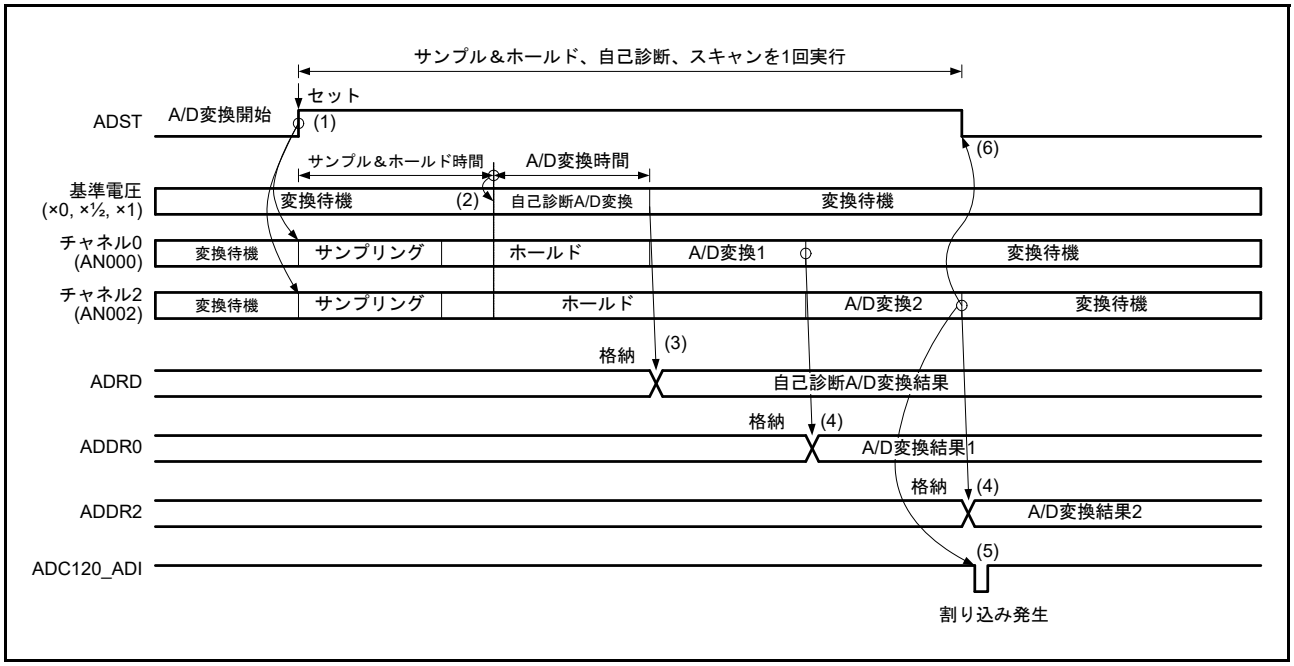


図 47.11 シングルスキャンモードの動作例（チャネル専用サンプル&ホールド回路使用、AN000 および AN002 選択 + 自己診断、常時サンプリング無効）

47.3.2.6 チャネル選択と自己診断（チャネル専用サンプル&ホールドあり、常時サンプリング有効）

チャネル選択とともに自己診断を選択し、常時サンプリング有効設定でチャネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後に、ADC12 に供給される基準電圧 VREFH0（ユニット 0）、VREFH（ユニット 1）の A/D 変換を行い、その後選択したチャネルのアナログ入力を 1 回のみ A/D 変換します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを 1 にしてから 400ns（許容信号源インピーダンスが 1kΩ の場合）以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。
3. サンプル&ホールド回路の安定時間経過後に、自己診断での A/D 変換を開始します。
4. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
5. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）へ格納され、サンプル&ホールド回路は常時サンプリングを再開します。
6. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、選択されたすべてのチャネルの A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。続けてシングルスキャンを実行する場合は、サンプル & ホールド回路の常時サンプリング期間が 400ns（許容信号源インピーダンスが 1kΩ の場合）以上となるようにしてください。
8. ADSHMSR.SHMD ビットを 0 にすると、サンプル&ホールド回路が停止します。

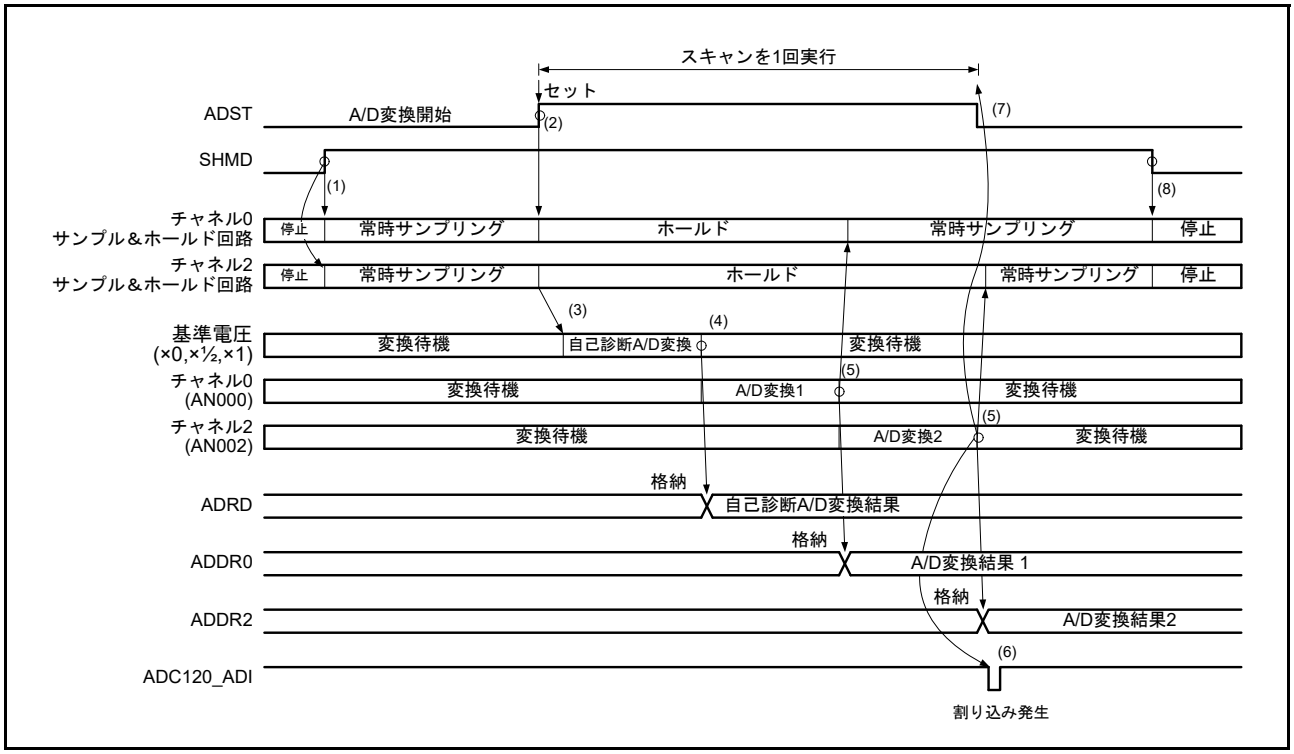


図 47.12 シングルスキャンモードの動作例（チャネル専用サンプル&ホールド回路使用、AN000 ～ AN002 選択 + 自己診断、常時サンプリング有効）

47.3.2.7 温度センサ出力／内部基準電圧選択時の A/D 変換動作

チャネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧を 1 回のみ A/D 変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ、内部基準電圧の順に A/D 変換します。チャネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ（ELC）または非同期トリガによって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）へ格納され、次に温度センサ出力の A/D 変換を開始します。
3. 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は関連する A/D 温度センサデータレジスタ（ADTSDR）へ格納され、次に内部基準電圧の A/D 変換を開始します。
4. 内部基準電圧の A/D 変換が終了すると、結果は関連する A/D 内部基準電圧データレジスタ（ADOCDR）へ格納され、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
5. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

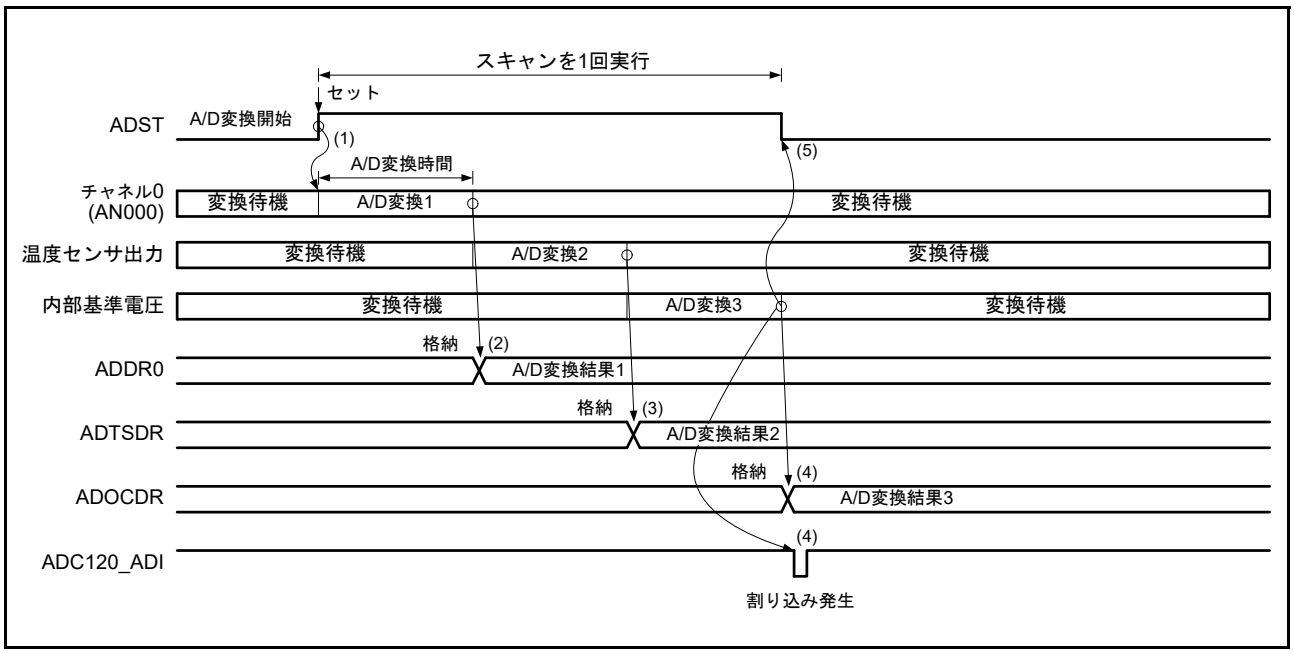


図 47.13 シングルスキャンモードの基本動作例（AN000、温度センサ出力または内部基準電圧選択）

47.3.2.8 ダブルトリガモード選択時のA/D変換動作

シングルスキャンモードでダブルトリガモードを選択した場合は、同期トリガ（ELC）で開始するシングルスキャンモードの実行2回分を一連の動作として実行します。

自己診断は非選択とし、温度センサ出力加算／平均モード選択ビット（ADEXICR.TSSA）と内部基準電圧加算／平均モード選択ビット（ADEXICR.OCSA）はともに0にしてください。

A/D変換データ2重化は、2重化するチャネルの番号をADCSR.DBLANS[4:0]ビットに設定し、ADCSR.DBLEビットを1にすると有効となります。ADCSR.DBLEビットを1にした場合はADANSA0、ADANSA1レジスタのチャネル選択は無効になります。

ダブルトリガモード時は、ADSTRGR.TRSA[5:0]ビットで同期トリガ（ELC）を選択し、ADCSR.EXTRGビットを0に、ADCSR.TRGEビットを1にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力（ELC）によってADCSR.ADSTビットが1（A/D変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した1チャネルのA/D変換を開始します。
2. 1チャネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタy（ADDRy）に格納されます。
3. ADSTビットは自動的にクリアされ、ADC12は待機状態になります。ADC12i_ADI（i = 0, 1）割り込み要求は発生しません。
4. 2回目のトリガ入力によってADCSR.ADSTビットが1（A/D変換開始）になると、ADCSR.DBLANS[4:0]ビットで選択した1チャネルのA/D変換を開始します。
5. A/D変換が終了すると、結果はダブルトリガモード専用のA/Dデータ2重化レジスタ（ADDBLDR）に格納されます。
6. ADCSR.ADIEビットが1（スキャン終了によるADC12i_ADI割り込み許可）の場合は、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
7. ADSTビットはA/D変換中は1（A/D変換開始）を保持し、A/D変換が終了すると自動的に0にクリアされ、ADC12は待機状態になります。

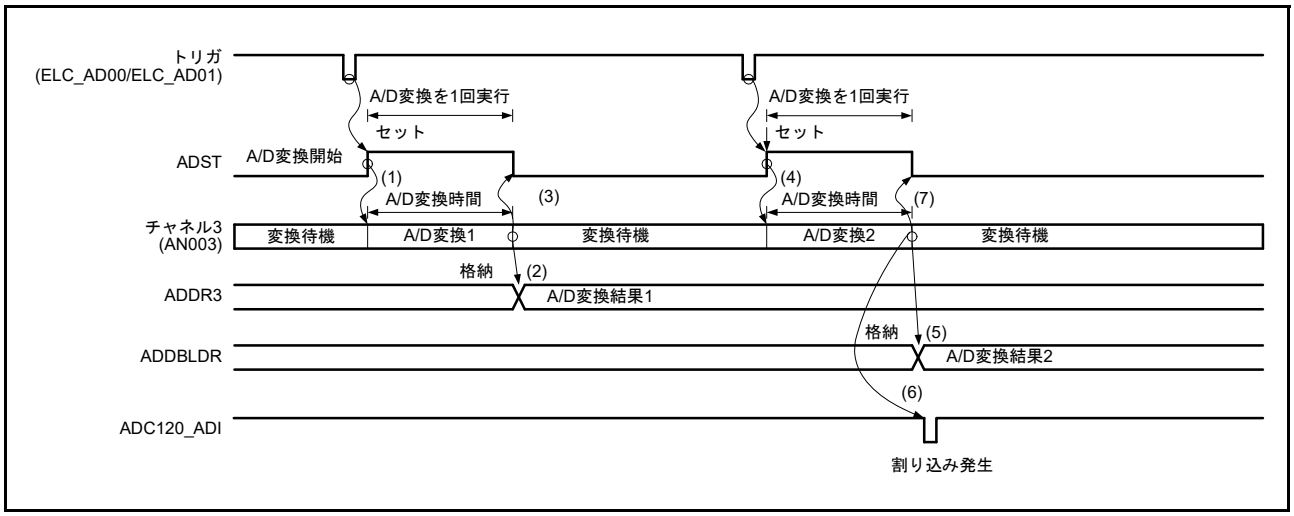


図 47.14 シングルスキャンモードの動作例（ダブルトリガモード選択、AN003を2重化）

47.3.2.9 ダブルトリガモード選択時の拡張動作

シングルスキャンモードでダブルトリガモードを選択した場合で、A/D 変換開始トリガとして同期トリガ（ELC_AD00/ELC_AD01（ユニット 0）／ELC_AD10/ELC_AD11（ユニット 1））を選択した場合、シングルスキャンモードの実行 2 回分を行います。

自己診断は非選択とし、温度センサ出力加算／平均モード選択ビット（ADEXICR.TSSA および ADEXICR.TSSB）と内部基準電圧加算／平均モード選択ビット（ADEXICR.OCSA および ADEXICR.OCSB）はともに 0 にしてください。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。ADCSR.DBLE ビットを 1 にした場合は ADANSA0、ADANSA1 レジスタのチャネル選択は無効になります。

ダブルトリガ拡張モード時は、ADSTRGR.TRSA[5:0] ビットを 0Bh にして同期トリガの組み合わせ（ELC_AD00/ELC_AD01（ユニット 0）／ELC_AD10/ELC_AD11（ユニット 1））を選択し、ADCSR.EXTRG ビットを 0 に、ADCSR.TRGE ビットを 1 にしてください。ソフトウェアトリガは使用しないでください。

動作は以下のとおりです。

1. 同期トリガ入力（ELC_AD00/ELC_AD01（ユニット 0）／ELC_AD10/ELC_AD11（ユニット 1））によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は、関連する A/D データレジスタ y（ADDRy）、および ELC_ADi0 のトリガが入力の場合（i = 0、1）は A/D データ 2 重化レジスタ A（ADDBLDRA）、または ELC_ADi1 のトリガが入力の場合（i = 0、1）は A/D データ 2 重化レジスタ B（ADDBLDRB）へ格納されます。
3. ADCSR.ADST ビットは自動的に 0 にクリアされ、ADC12 は待機状態になります。ADC12i_ADI（i = 0, 1）割り込み要求は発生しません。
4. 2 回目のトリガ入力（ELC_AD00/ELC_AD01（ユニット 0）／ELC_AD10/ELC_AD11（ユニット 1））によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャネルの A/D 変換を開始します。
5. A/D 変換が終了すると、その結果は、A/D データ 2 重化レジスタ（ADDBLDR）、および ELC_ADi0 のトリガが入力の場合（i = 0、1）は A/D データ 2 重化レジスタ A（ADDBLDRA）、または ELC_ADi1 のトリガが入力の場合（i = 0、1）は A/D データ 2 重化レジスタ B（ADDBLDRB）へ格納されます。
6. ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
7. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

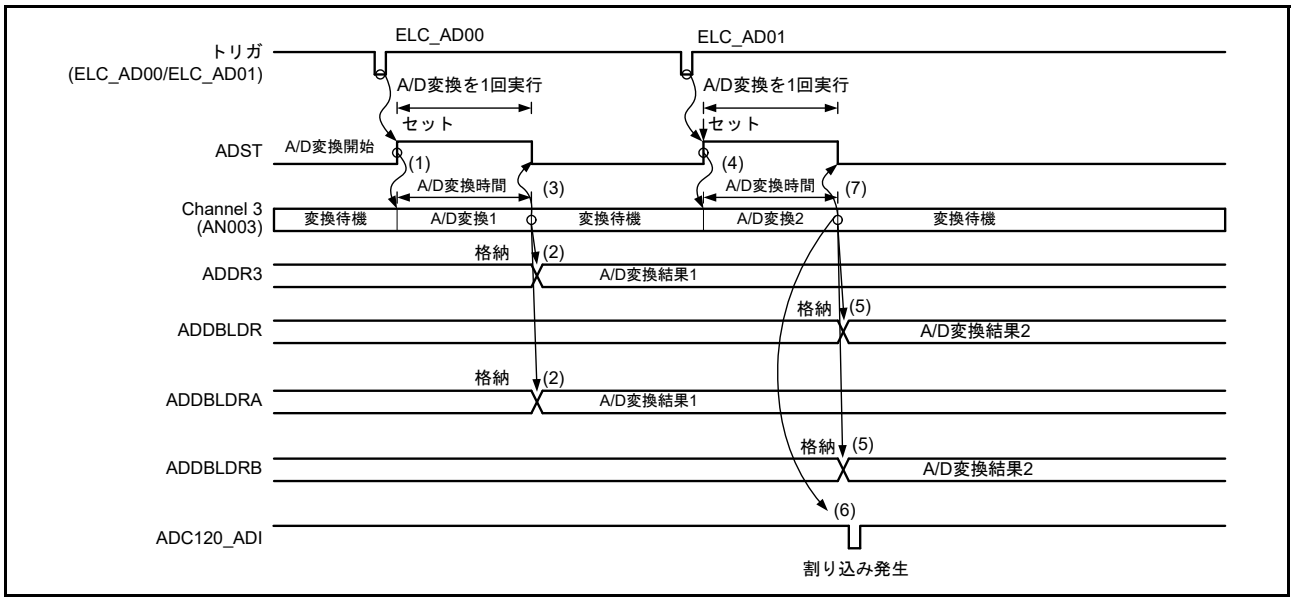


図 47.15 ダブルトリガモードの拡張動作例（AN003 の 2 重化を選択、ELC_AD00/ELC_AD01 選択）

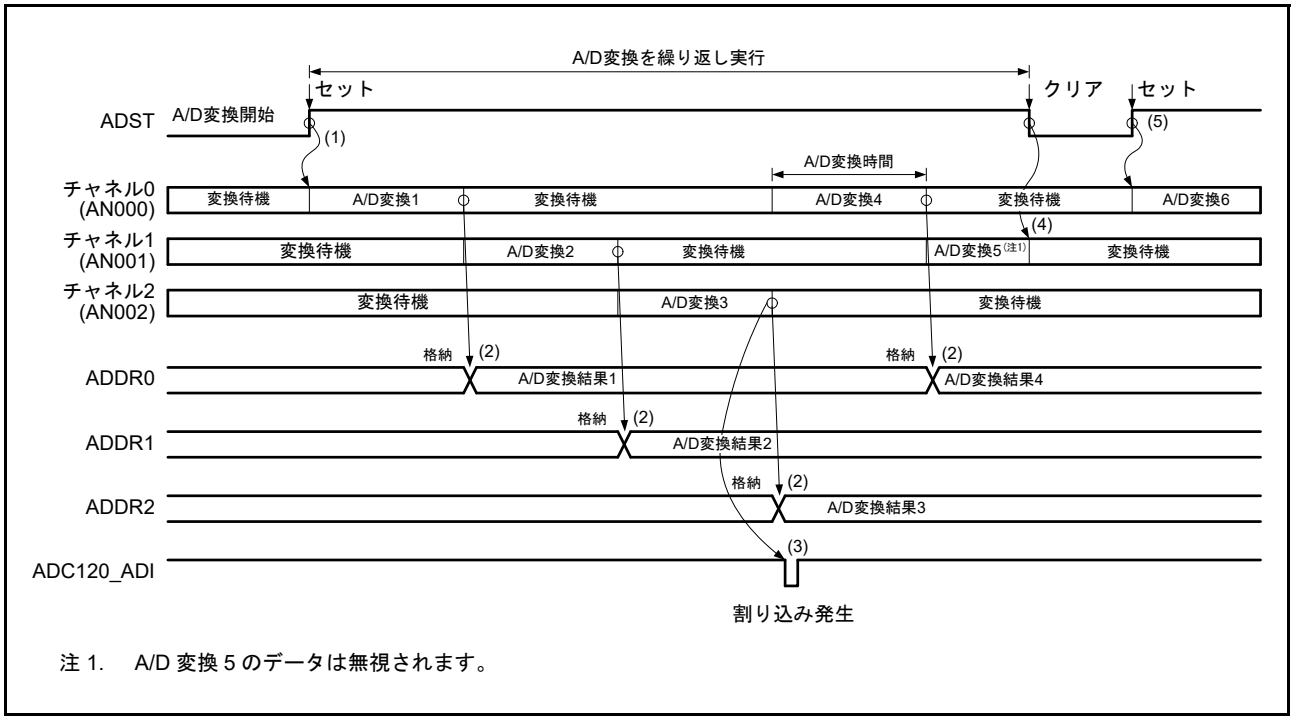
47.3.3 連続スキャンモード

47.3.3.1 基本動作（チャネル専用サンプル＆ホールド回路なし）

連続スキャンモードの基本動作は、選択されたチャネルのアナログ入力を繰り返しA/D変換します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によってADCSR.ADSTビットが1（A/D変換開始）になると、ADANSA0、ADANSA1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
2. 1チャネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタy（ADDRy）に格納されます。
3. 選択したすべてのチャネルのA/D変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。またADC12は、継続してADANSA0、ADANSA1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
4. ADCSR.ADSTビットは自動的にクリアされず、1（A/D変換開始）の状態の間は（2）～（3）を繰り返します。ADCSR.ADSTビットを0（A/D変換停止）にすると、A/D変換は停止し、ADC12は待機状態になります。
5. その後、ADCSR.ADSTビットを1（A/D変換開始）にすると、ADANSA0、ADANSA1レジスタで選択したANnのnが小さい番号順に再びA/D変換を開始します。



注 1. A/D変換5のデータは無視されます。

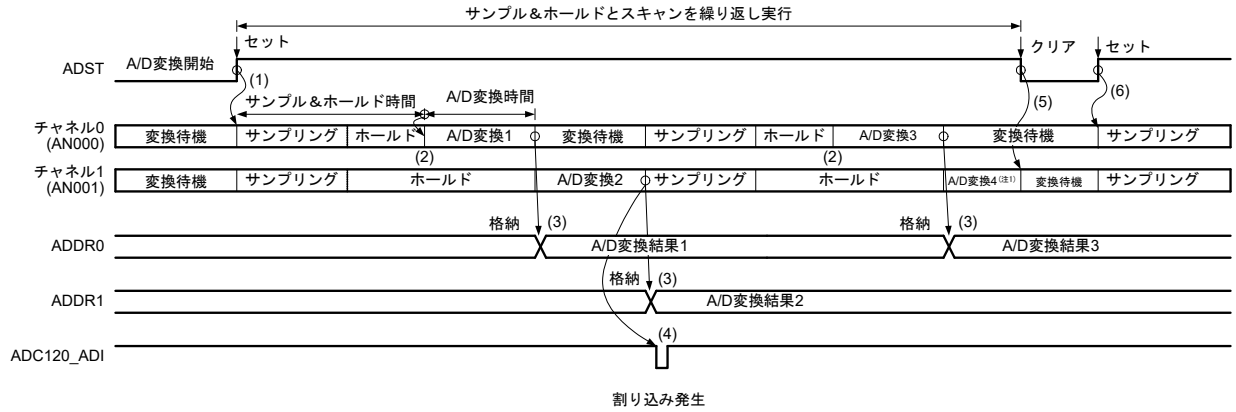
図 47.16 連続スキャンモードの基本動作例（AN000 ～ AN002 選択）

47.3.3.2 基本動作（チャネル専用サンプル&ホールドあり、常時サンプリング無効）

常時サンプリング無効時にチャネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後、指定したすべてのチャネルのアナログ入力を繰り返し A/D 変換します。チャネル専用サンプル&ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。また、チャネル専用サンプル&ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。
5. ADST ビットは自動的にクリアされず、1 の状態の間は（2）～（4）を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが再び開始されます。



注 1. A/D 変換 4 のデータは無視されます。

図 47.17 連続スキャンモードの動作例（チャネル専用サンプル&ホールド回路使用、AN000 および AN001 選択）

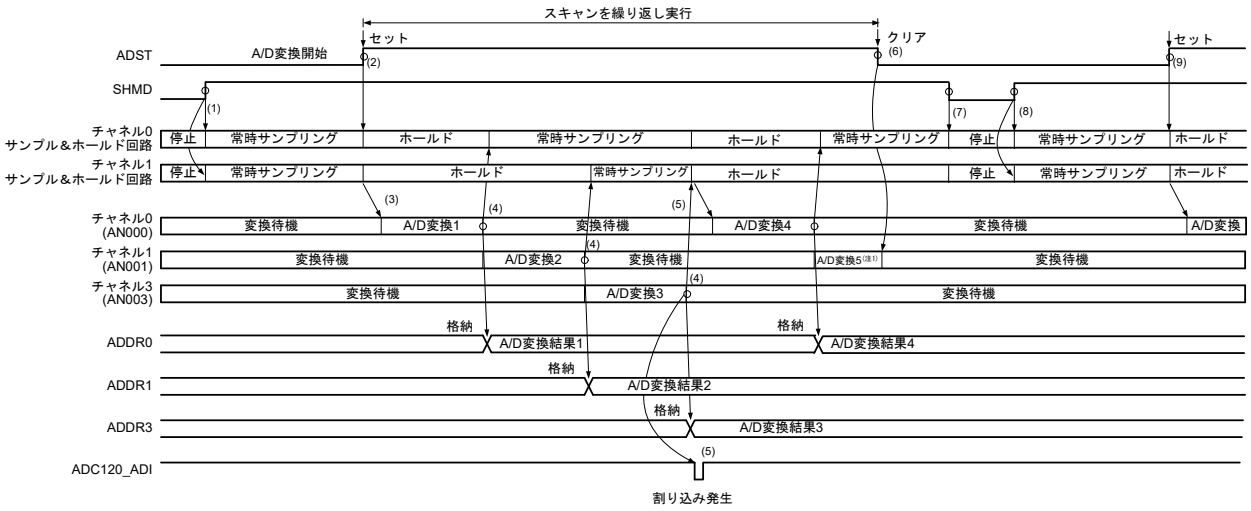
47.3.3.3 基本動作（チャネル専用サンプル＆ホールド回路あり、常時サンプリング有効）

常時サンプリング有効設定でチャネル専用サンプル＆ホールド回路を使用すると、以下のように、サンプル＆ホールド実行後、選択したすべてのチャネルのアナログ入力を A/D 変換する動作を繰り返します。チャネル専用サンプル＆ホールド回路を使用するチャネルは、ADSHCR.SHANS[2:0] ビットで選択します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル＆ホールド回路が常時サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを 1 にしてから 400ns（許容信号源インピーダンスが 1kΩ の場合）以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。
3. サンプル＆ホールド回路の安定時間経過後に、ADANSA0/1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）へ格納され、サンプル＆ホールド回路は常時サンプリングを再開します。
5. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。また、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
6. ADCSR.ADST ビットは自動的にクリアされず、1 の状態の間は（3）～（5）を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
7. ADSHMSR.SHMD ビットを 0 にすると、サンプル＆ホールド回路が停止します。
8. その後、ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル＆ホールド回路が常時サンプリングを開始します。
9. ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル＆ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。

注 . サンプル & ホールド回路ありのチャネルのみを選択し連続スキャンを実施すると、連続スキャンの 2 回目以降に常時サンプリングの期間が確保されなくなります。サンプル & ホールド回路の常時サンプリング有効で連続スキャンする場合、ユニット 0 では AN003 ～ AN006 および AN016 ～ AN021 の中の 1 つ以上のチャネル、温度センサ出力、および内部基準電圧、ユニット 1 では AN103 ～ AN106 および AN116 ～ AN120 の中の 1 つ以上のチャネル、温度センサ出力、および内部基準電圧を選択し、サンプル & ホールド回路の常時サンプリング期間が 400ns（許容信号源インピーダンスが 1kΩ の場合）以上となるようにしてください。



注 1. A/D 変換 5 のデータは無視されます。

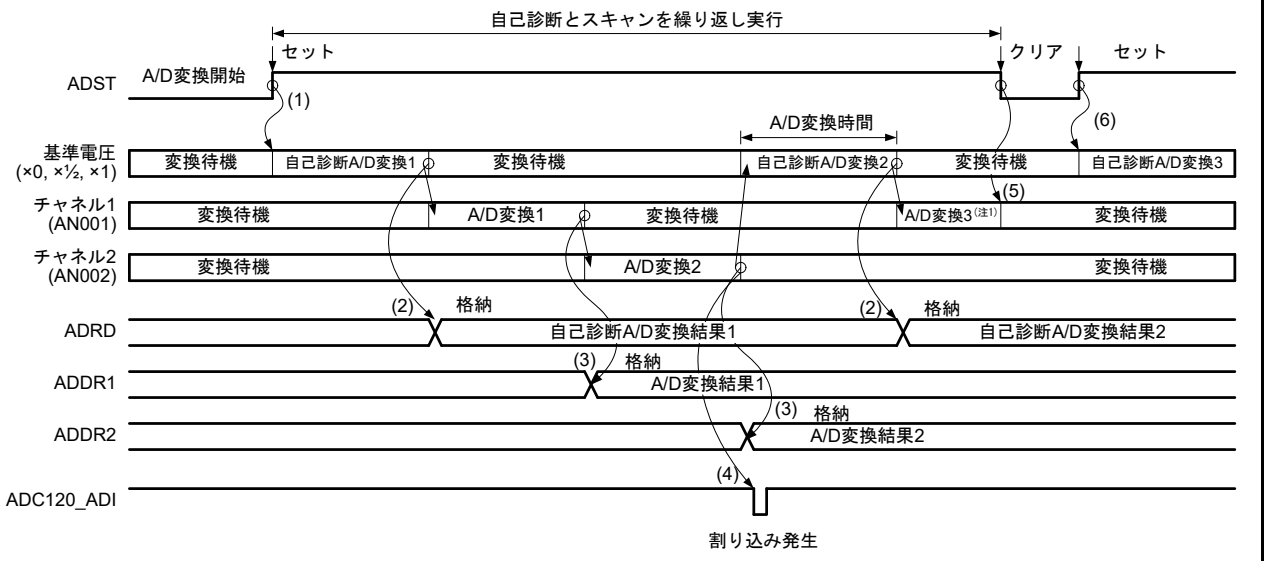
図 47.18 連続スキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000、AN001、および AN003 選択、常時サンプリング有効）

47.3.3.4 チャネル選択と自己診断（チャネル専用サンプル＆ホールド回路なし）

チャネル選択とともに自己診断を選択すると、ADC12 に供給される基準電圧 VREFH0（ユニット 0）、VREFH（ユニット 1）（×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後、選択したチャネルのアナログ入力を A/D 変換するという流れを繰り返します。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、最初に自己診断での A/D 変換を開始します。
2. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
3. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
4. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。同時に、ADC12 は自己診断での A/D 変換を開始し、その後 ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
5. ADST ビットは自動的にクリアされず、1 の状態の間は（2）～（4）を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADST ビットが 1（A/D 変換開始）になると、再び自己診断での A/D 変換から開始します。



注 1. A/D 変換 3 のデータは無視されます。

図 47.19 連続スキャンモードの基本動作例（AN001 および AN002 選択 + 自己診断）

47.3.3.5 チャネル選択と自己診断（チャネル専用サンプル&ホールドあり、常時サンプリング無効）

チャネル選択とともに自己診断を選択し、常時サンプリング無効設定でチャネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド処理後に、ADC12 に供給される基準電圧 VREFH0（ユニット 0）、VREFH（ユニット 1）（×0, ×1/2, ×1 のいずれか）の A/D 変換を行い、その後、選択したチャネルのアナログ入力を A/D 変換する動作を繰り返し行います。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ入力（ELC）、または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のサンプリングを開始します。
2. サンプリング&ホールド実行後に、自己診断での A/D 変換を開始します。
3. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
5. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。また、チャネル専用サンプル&ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが開始されます。
6. ADST ビットは自動的にクリアされず、1 の状態の間は（2）～（5）を繰り返します。ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
7. その後、ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するすべてのチャネルのアナログ入力のサンプリングが再び開始されます。

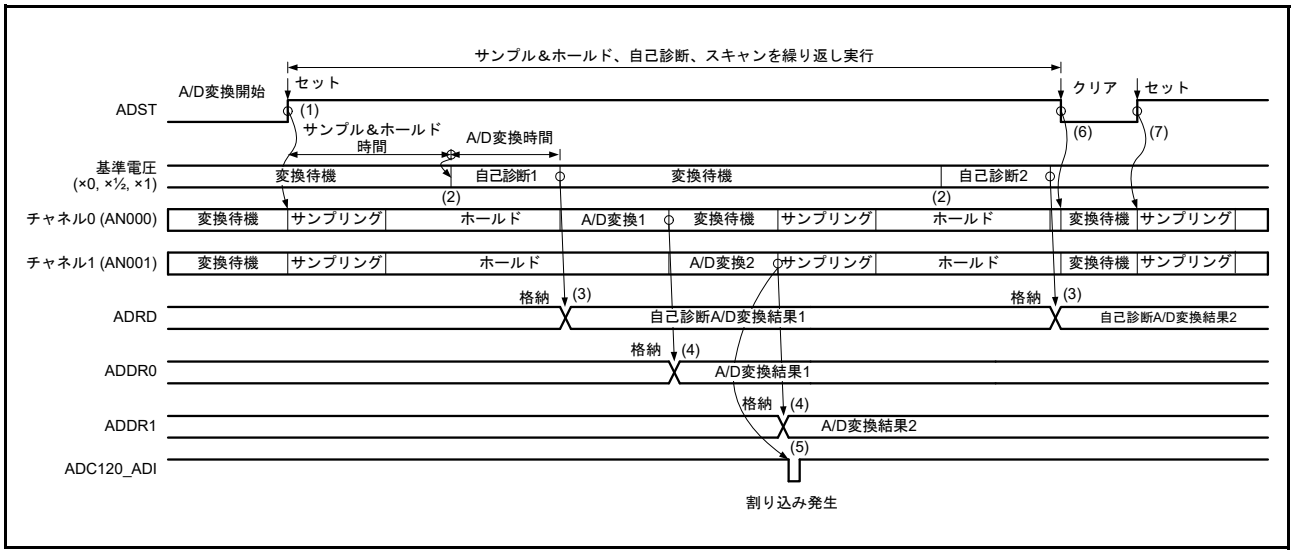


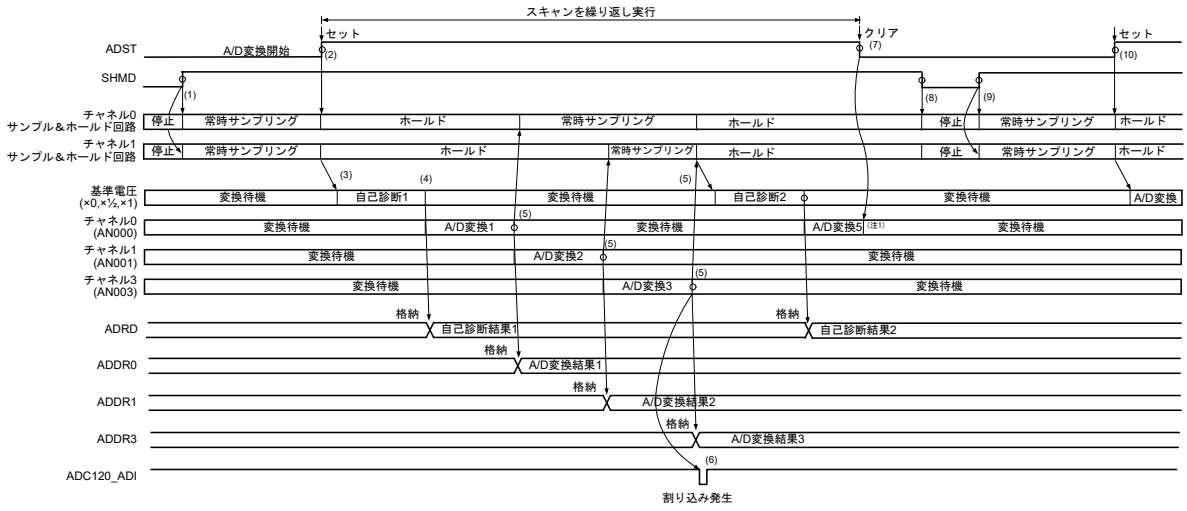
図 47.20 連続スキャンモードの動作例（チャネル専用サンプル&ホールド回路使用、AN000 および AN001 選択 + 自己診断）

47.3.3.6 チャネル選択と自己診断（チャネル専用サンプル&ホールドあり、常時サンプリング有効）

チャネル選択とともに自己診断を選択し、常時サンプリング有効設定でチャネル専用サンプル&ホールド回路を使用すると、サンプル&ホールド実行後に、ADC12 に供給される基準電圧 VREFH0（ユニット 0）、VREFH（ユニット 1）（×0、×1/2、×1 のいずれか）の A/D 変換を行い、その後、選択したチャネルのアナログ入力を A/D 変換するという流れを繰り返します。

動作は以下のとおりです。

1. ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
2. ソフトウェアトリガ、同期トリガ入力（ELC）または非同期トリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。ADSHMSR.SHMD ビットを 1 にしてから 400ns（許容信号源インピーダンスが 1kΩ の場合）以上経過してから、ADCSR.ADST ビットが 1 になるようにしてください。
3. サンプル&ホールド回路の安定時間経過後に、自己診断での A/D 変換を開始します。
4. 自己診断の A/D 変換が終了すると、A/D 変換結果は A/D 自己診断データレジスタ（ADRD）に格納されます。次に、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
5. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）へ格納され、サンプル&ホールド回路は常時サンプリングを再開します。
6. 選択したすべてのチャネルの A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。また、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。
7. ADCSR.ADST ビットは自動的にクリアされず、1 の状態の間は（3）～（6）を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
8. ADSHMSR.SHMD ビットを 0 にすると、サンプル&ホールド回路が停止します。
9. その後、ADSHMSR.SHMD ビットを 1 にすると、ADSHCR.SHANS[2:0] ビットで選択されたサンプル&ホールド回路が常時サンプリングを開始します。
10. ADCSR.ADST ビットが 1（A/D 変換開始）になると、チャネル専用サンプル&ホールド回路を使用するチャネルはすべてアナログ入力のホールドを開始します。



注 1. A/D 変換 5 のデータは無視されます。

図 47.21 連続スキャンモードの動作例（チャネル専用サンプル&ホールド回路使用、AN000、AN001、および AN003 選択 + 自己診断、常時サンプリング有効）

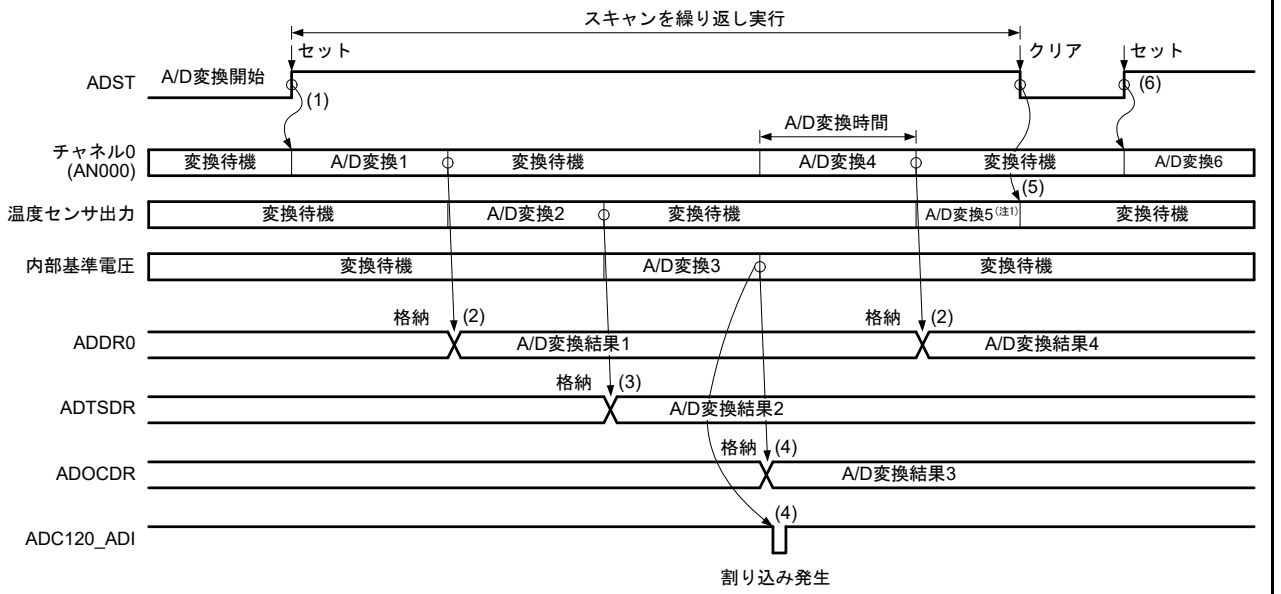
47.3.3.7 温度センサ出力／内部基準電圧選択時の A/D 変換動作

チャネル選択とともに温度センサ出力または内部基準電圧を選択すると、選択したチャネルのアナログ入力の A/D 変換を行い、その後温度センサ出力または内部基準電圧を繰り返し A/D 変換します。温度センサ出力と内部基準電圧の両方を選択した場合は、温度センサ、内部基準電圧の順に A/D 変換します。

チャネルを非選択とし、温度センサまたは内部基準電圧のみを選択することも可能です。

動作は以下のとおりです。

1. ソフトウェアトリガ、同期トリガ（ELC）または非同期トリガによって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
2. チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）へ格納され、次に温度センサ出力の A/D 変換を開始します。
3. 温度センサ出力の A/D 変換が終了すると、A/D 変換結果は関連する A/D 温度センサデータレジスタ（ADTSDR）へ格納され、次に内部基準電圧の A/D 変換を開始します。
4. 内部基準電圧の A/D 変換が終了すると、A/D 変換結果は関連する A/D 内部基準電圧データレジスタ（ADOCDR）へ格納され、ADC12i_ADI 割り込み要求が発生します。また ADC12 は、継続して ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に A/D 変換を開始します。
5. ADCSR.ADST ビットは自動的にクリアされず、1 の状態の間は（2）～（4）を繰り返します。ADCSR.ADST ビットを 0（A/D 変換停止）にすると、A/D 変換は停止し、ADC12 は待機状態になります。
6. その後、ADCSR.ADST ビットを 1（A/D 変換開始）にすると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順に再び A/D 変換を開始します。



注 1. A/D 変換 5 のデータは無視されます。

図 47.22 連続スキャンモードの基本動作例（AN000、温度センサ出力または内部基準電圧選択）

47.3.4 グループスキャンモード

47.3.4.1 基本動作

グループスキャンモードでは、同期トリガ（ELC）をスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャネルのアナログ入力を 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガ、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャネルは、ADANSA0、ADANSA1 レジスタ、ADEXICR.TSSA、OCSA ビットでグループ A のチャネルを選択し、ADANSB0、ADANSB1 レジスタ、ADEXICR.TSSB、OCSB ビットでグループ B のチャネルを選択します。グループ A とグループ B で同一のチャネルを選択することはできません。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に ELC からの同期トリガによるグループスキャンモードの動作例を示します。この例では、ELC からの ELC_AD00 および ELC_AD01（ユニット 0）トリガ、ELC_AD10 および ELC_AD11（ユニット 1）トリガを使用して、グループ A およびグループ B の変換をそれぞれ開始します。また、ELC_AD00 および ELC_AD01（ユニット 0）、ELC_AD10 および ELC_AD11（ユニット 1）は、関連する ELC.ELSRn レジスタで GPT イベントに選択されます。

動作は以下のとおりです。

1. ELC_AD00（ユニット 0）または ELC_AD10（ユニット 1）でグループ A のスキャンを開始します。
2. グループ A のスキャン終了後、ADC12i_ADI（i = 0, 1）割り込みが発生します。
3. ELC_AD01（ユニット 0）または ELC_AD11（ユニット 1）でグループ B のスキャンを開始します。
4. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1（グループ B のスキャン終了割り込み許可）に設定されていると、ADC12i_GBADI 割り込みを発生します。

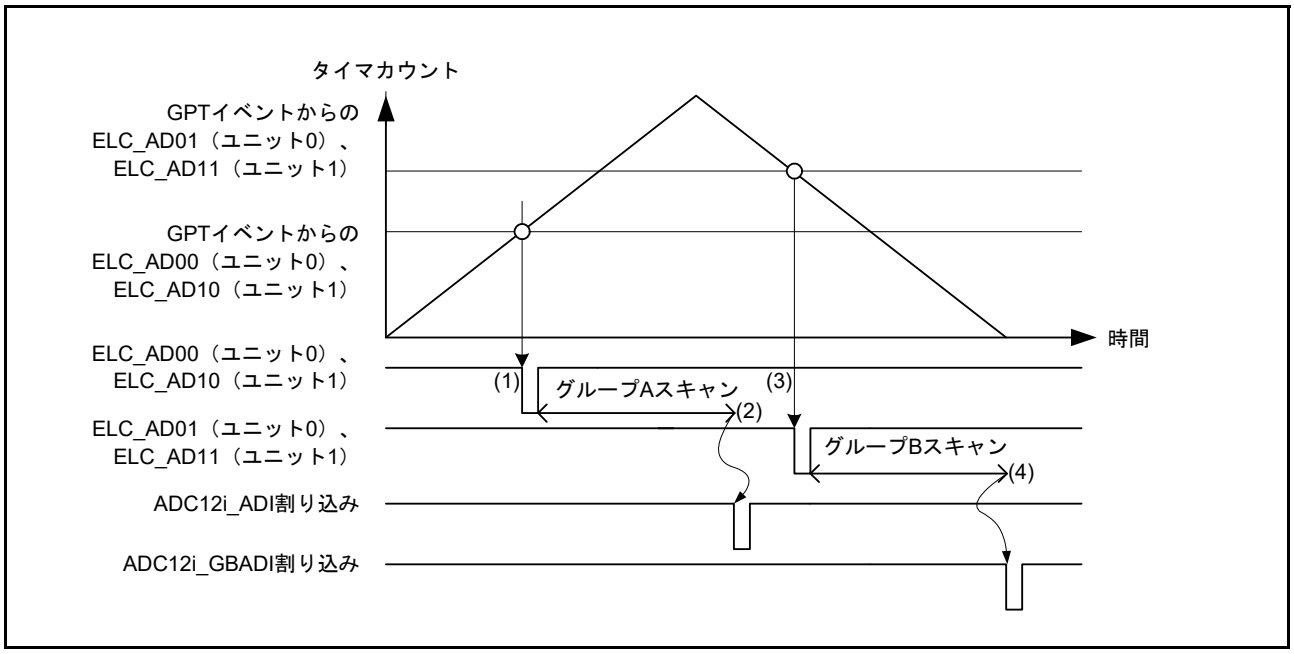


図 47.23 グループスキャンモードの基本動作例（ELC からの同期トリガ使用）

47.3.4.2 ダブルトリガモード選択時の A/D 変換動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガ（ELC）で開始するシングルスキャンモードの実行 2 回分を一連の動作として実行します。グループ B は同期トリガ（ELC）で開始するシングルスキャンモードの動作を 1 回実行します。

グループスキャンモード時、同期トリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSB[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。ソフトウェアトリガ、非同期トリガ（ADTRGn）は使用しないでください。

ADSTRGR.TRSA[5:0] ビットを 0Bh にすることによって ELC_AD00/ELC_AD01（ユニット 0）、ELC_AD10/ELC_AD11（ユニット 1）をグループ A の同期トリガの組み合わせに選択した場合は、ダブルトリガ拡張モードで動作します。

A/D 変換対象とするチャネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャネル、ADANSB0、ADANSB1 レジスタでグループ B のチャネルを選択します。グループ A とグループ B で同一のチャネルを使用することはできません。

グループスキャンモードでは、ADEXICR.TSSA ビットと ADEXICR.OCSA ビットをともに 0 にすることにより、温度センサ出力 A/D 変換と内部基準電圧 A/D 変換を非選択にします。

グループスキャンモードでダブルトリガモード選択時は自己診断を選択できません。

A/D 変換データ 2 重化は、2 重化するチャネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを 1 にすると有効となります。

以下に ELC からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。以下の例では、ELC_AD00 および ELC_AD01（ユニット 0）トリガでグループ B の変換が開始され、ELC_AD10 および ELC_AD11（ユニット 1）トリガでグループ A の変換が開始されています。また、ELC_AD00 および ELC_AD01（ユニット 0）、ELC_AD10 および ELC_AD11（ユニット 1）は、関連する ELC.ELSRn レジスタで GPT イベントに選択されます。

1. ELC からの ELC_AD00（ユニット 0）または ELC_AD10（ユニット 1）トリガでグループ B のスキャンを開始します。
2. グループ B のスキャン終了時に ADCSR.GBADIE ビットが 1（グループ B のスキャン終了割り込み許可）になっていると、ADC12i_GBADI（i = 0, 1）割り込みが発生します。
3. 1 回目の ELC_AD01（ユニット 0）または ELC_AD11（ユニット 1）トリガでグループ A の 1 回目のスキャンを開始します。
4. グループ A の 1 回目のスキャンが終了すると、変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。ADCSR.ADIE ビットの設定にかかわらず ADC12i_ADI 割り込み要求は発生しません。
5. 2 回目の ELC_AD01（ユニット 0）または ELC_AD11（ユニット 1）トリガでグループ A の 2 回目のスキャンを開始します。
6. グループ A の 2 回目のスキャン終了時、A/D 変換結果を ADDBLDR に格納します。ADC12i_ADI 割り込みが発生します。

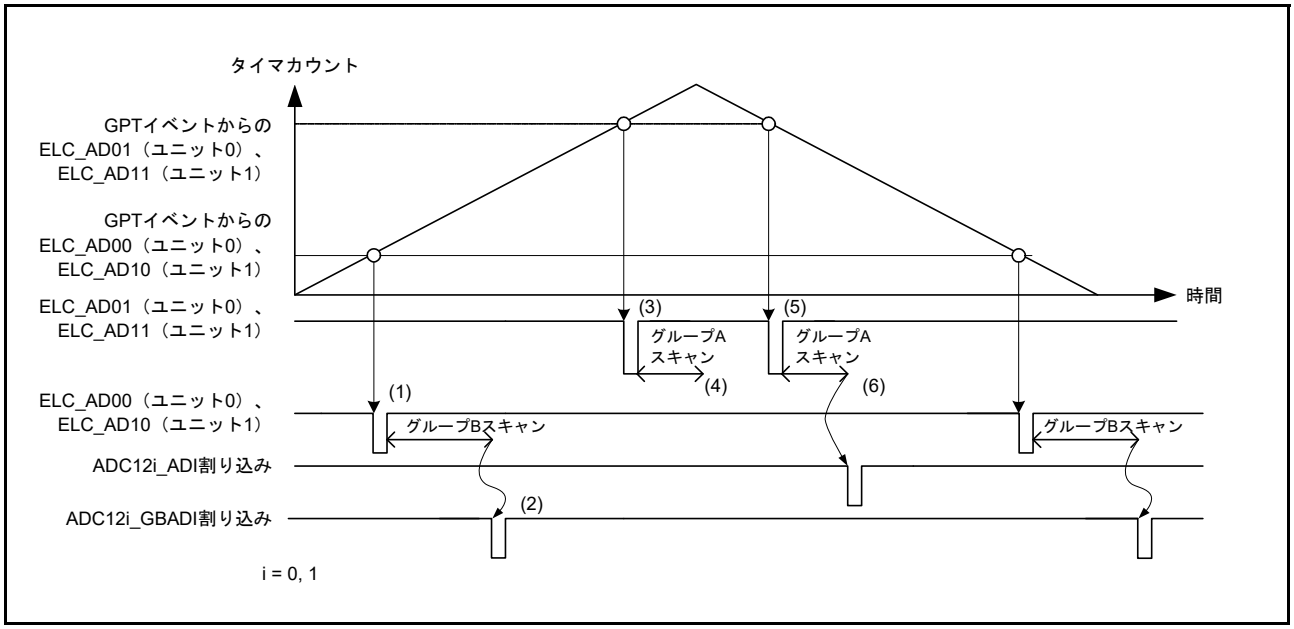


図 47.24 グループスキャンモードかつダブルトリガモード設定時の動作例（ELC からの同期トリガ）

47.3.4.3 グループA優先制御動作

グループスキャンモードでA/Dグループスキャン優先コントロールレジスタ（ADGSPCR）のPGSビットを1にすると、グループA優先制御動作を行います。ADGSPCRレジスタのPGSビットを1に設定する際は、図47.25に記載された手順に従って設定を実行してください。フロー以外の設定をした場合、A/D変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループA、もしくはグループBのA/D変換動作中に他方のA/D変換のトリガ入力があっても無視されます。グループA優先制御動作では、グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断して、グループAのA/D変換動作を行います。ADGSPCR.GBRSCNビットが0のときは、ADC12はグループAのA/D変換終了時に待機状態となります。ADGSPCR.GBRSCNビットが1のときは、グループAのA/D変換終了後、自動的にグループBのスキャンをグループ先頭から自動で再開します。ADGSPCR.GBRSCNビットの設定とA/D変換動作中のトリガ入力時の動作を表47.9に示します。

グループAとグループBのスキャン動作は、シングルスキャンモードと同じ動作になります。また、グループBのスキャン動作中にADGSPCR.GBRPビットを1にすると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループAのトリガとは異なるグループBの同期トリガを選択してください。ADGSPCR.GBRPビットを1にする場合は、ADSTRGR.TRSB[5:0]ビットを3Fhにしてください。

またA/D変換対象とするチャネルは、ADANSA0、ADANSA1レジスタ、ADEXICR.TSSA、OCSAビットでグループAのチャネルを選択し、ADANSB0、ADANSB1レジスタ、ADEXICR.TSSB、OCSBビットでグループAとは異なるグループBのチャネルを選択してください。

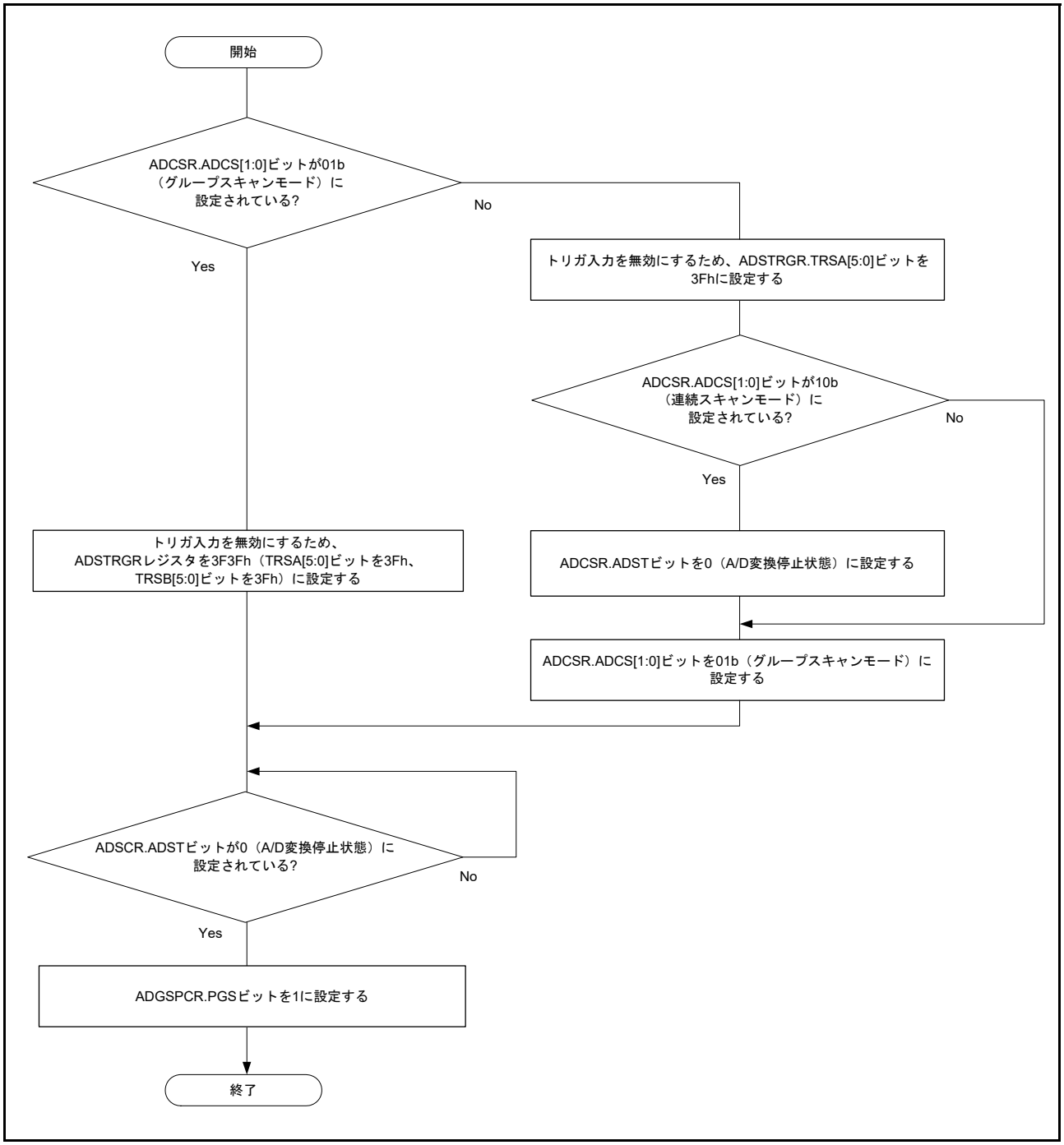


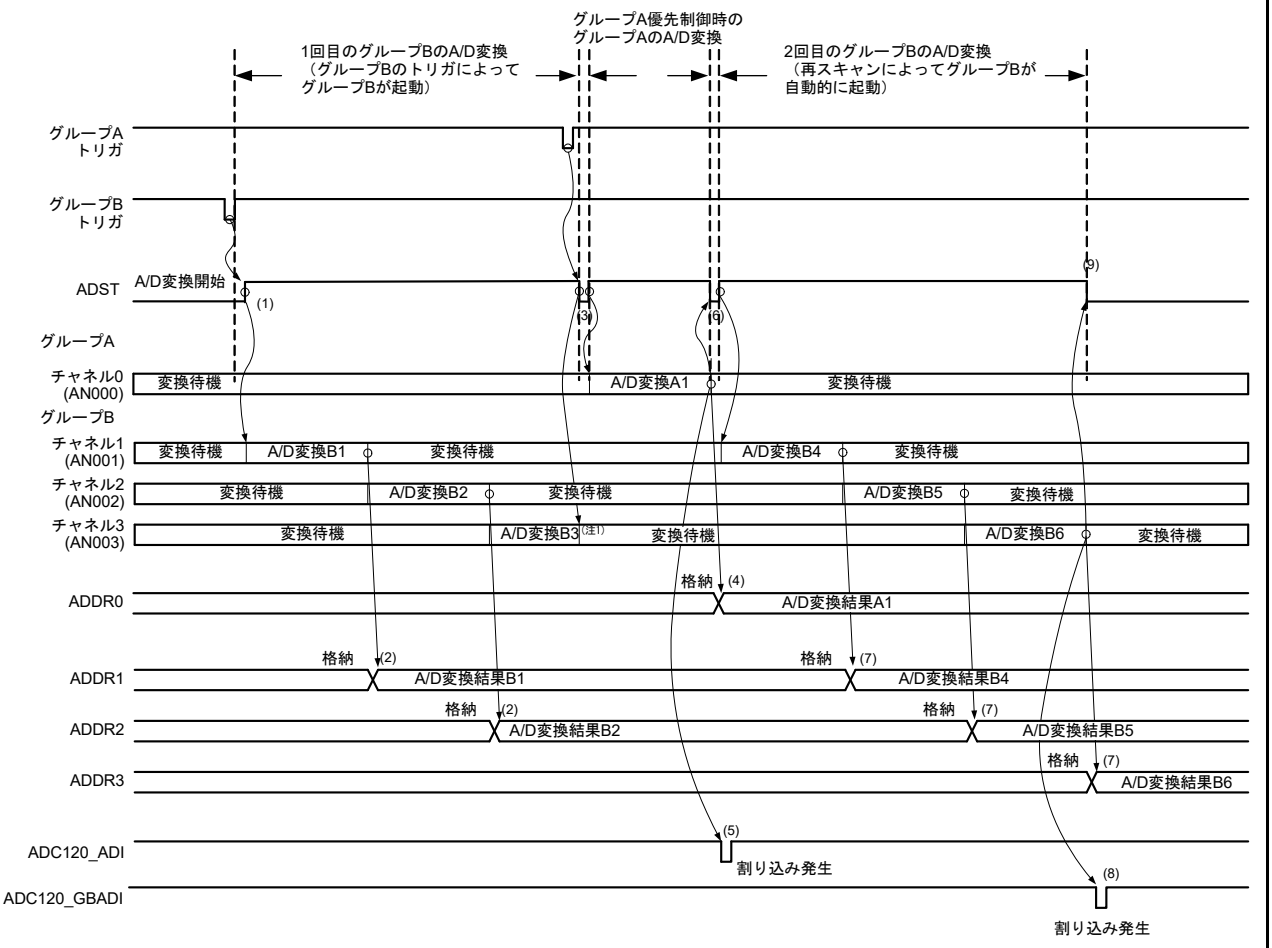
図 47.25 ADGSPCR.PGS ビット設定時のフロー

表 47.9 ADGSPCR.GBRSCN ビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループAのA/D変換動作中	グループAのトリガ入力	トリガ入力を無視	トリガ入力を無視
	グループBのトリガ入力	トリガ入力を無視	グループAの変換動作終了後にグループBを変換
グループBのA/D変換動作中	グループAのトリガ入力	グループBの変換を中断しグループAの変換を開始	• グループBの変換を中断しグループAの変換を開始 • グループAの変換終了後にグループBの変換を開始
	グループBのトリガ入力	トリガ入力を無視	トリガ入力を無視

以下に、グループAにチャネル0を、グループBにチャネル1～3を選択したグループスキャンモードグループA優先制御動作の動作例（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0時）を示します。

1. グループBのトリガ入力によってADCSR.ADSTビットが1（A/D変換開始）になると、ADANSB0、ADANSB1レジスタで選択したチャネルANnのnが小さい番号順にA/D変換を開始します。
2. グループBの各チャネルのA/D変換が終了すると、結果は関連するA/Dデータレジスタy（ADDRy）に格納されます。
3. グループBのA/D変換中にグループAのトリガ入力があると、ADCSR.ADSTビットをクリアし、動作中のA/D変換を中断します。次に、ADCSR.ADSTビットが1（A/D変換開始）になると、ADANSA0、ADANSA1レジスタで選択したチャネルANnのnが小さい番号順にA/D変換を開始します。
4. チャネル0のA/D変換が終了すると、結果は関連するA/Dデータレジスタy（ADDRy）に格納されます。
5. ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
6. ADSTビットが自動的にクリアされた後、再度同ビットが自動的に1（A/D変換開始）になると、ADANSB0、ADANSB1レジスタで選択したチャネルANnのnが小さい番号順に、グループBのA/D変換を開始します。
7. 1チャネルのA/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタy（ADDRy）に格納されます。
8. グループBのすべてのチャネルのA/D変換が終了すると、ADCSR.GBADIEビットが1（グループBのスキャン終了によるADC12i_GBADI割り込み許可）になっていると、ADC12i_GBADI割り込み要求が発生します。
9. ADSTビットはA/D変換中は1（A/D変換開始）を保持し、A/D変換が終了すると自動的に0にクリアされ、ADC12は待機状態になります。

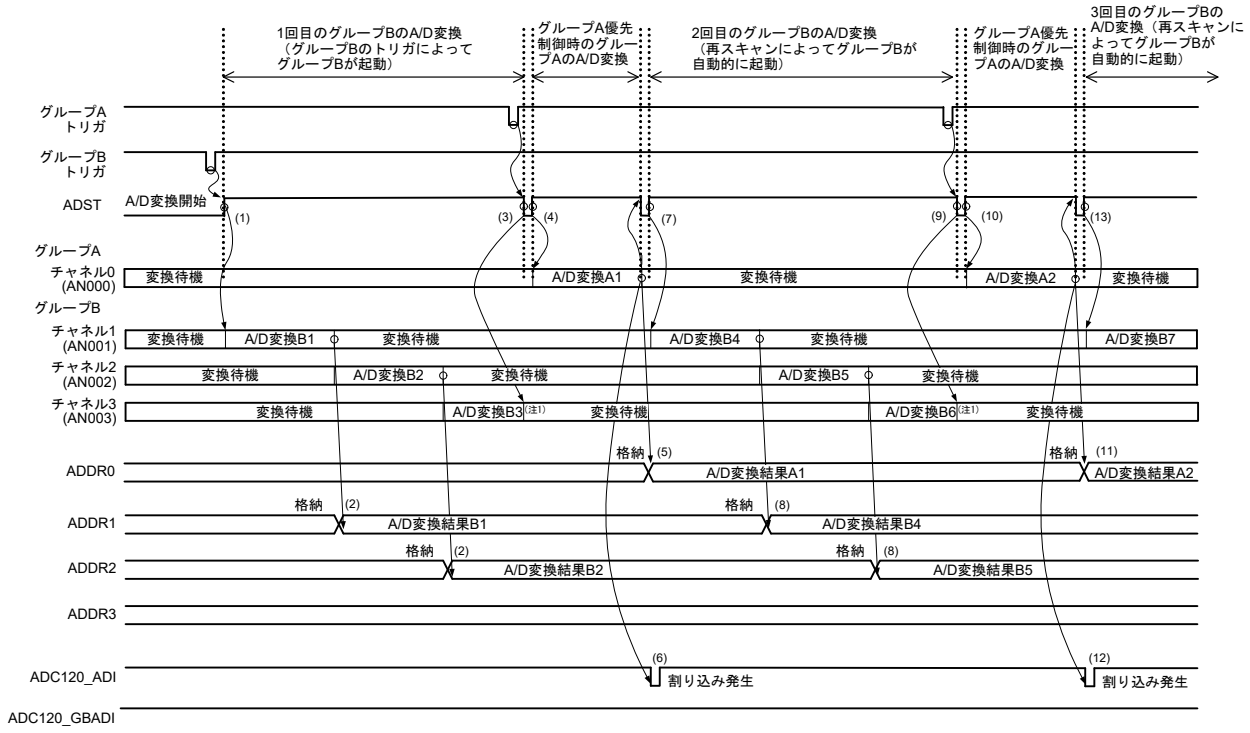


注 1. A/D 変換 B3 からの変換データは無視されます。

図 47.26 グループ A 優先制御の動作例（1）（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先動作時（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時）に、グループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択した場合の動作例を示します。

1. グループ B のトリガ入力によって、ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャネル ANn の n が小さい番号順に A/D 変換を開始します。
2. グループ B の各チャネルの A/D 変換が終了すると、結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 に（A/D 変換停止）し、動作中のグループ B の A/D 変換を中断します。
4. ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
5. チャネル 0 の A/D 変換が終了すると、結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
6. ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
7. ADGSPCR.GBRSCN ビットが 1（再スキャン動作有効）の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択したグループ B のチャネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
8. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
9. 再スキャンによるグループ B の A/D 変換中にグループ A のトリガ入力があると、ADCSR.ADST ビットを 0（A/D 変換停止）にし、動作中のグループ B の A/D 変換を中断します。
10. その後、ADCSR.ADST ビットを自動的に 1 にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
11. チャネル 0 の A/D 変換が終了すると、結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
12. ADC12i_ADI 割り込み要求が発生します。
13. ADGSPCR.GBRSCN ビットが 1（再スキャン動作有効）の場合は、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択したグループ B のチャネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
14. 再スキャンによるグループ B の A/D 変換中にグループ A のトリガ入力があると、(9) ～ (13) を繰り返し実行します。グループ A のトリガ入力がない場合は、グループ B の A/D 変換が終了すると ADCSR.ADST ビットが自動的にクリアされ、ADC12 は待機状態になります。



注 1. A/D 変換 B3 と B6 の変換データは無視されます。

図 47.27 グループ A 優先制御の動作例（2）（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）

次に、グループ A の A/D 変換中に、グループ B のトリガが入力された場合の、再スキャン動作例として、グループ A 優先動作時（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時）に、グループ A にチャネル 1 ～ 3 を、グループ B にチャネル 0 を選択した場合の例を示します。

1. グループ A のトリガ入力によって、ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択した、チャネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
3. グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。ただし、グループ A のトリガが連続で入力された場合、グループ B のスキャン動作は、グループ A に打ち消されて実行されません。
4. グループ A の A/D 変換終了後、ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
5. グループ A の A/D 変換終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが 1 になります。その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャネル ANn の n が小さい番号順に、A/D 変換を開始します。
6. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
7. 再スキャン起動によるグループ B のスキャン終了後、ADCSR.GBADIE ビットが 1（スキャン終了による ADC12i_GBADI 割り込み許可）になっていると、ADC12i_GBADI 割り込み要求が発生します。
8. ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了すると自動的に 0 にクリアされ、ADC12 は待機状態になります。

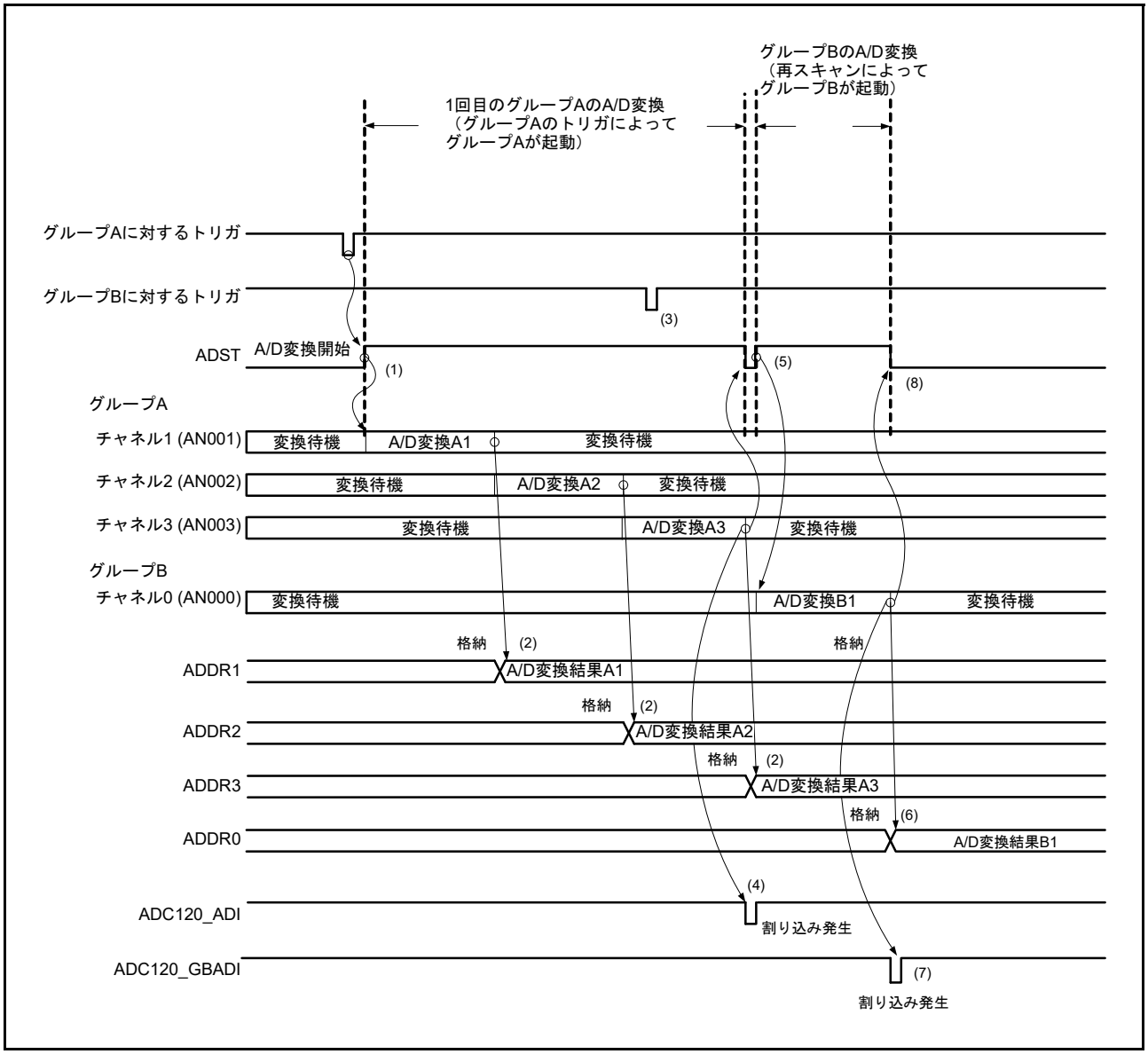
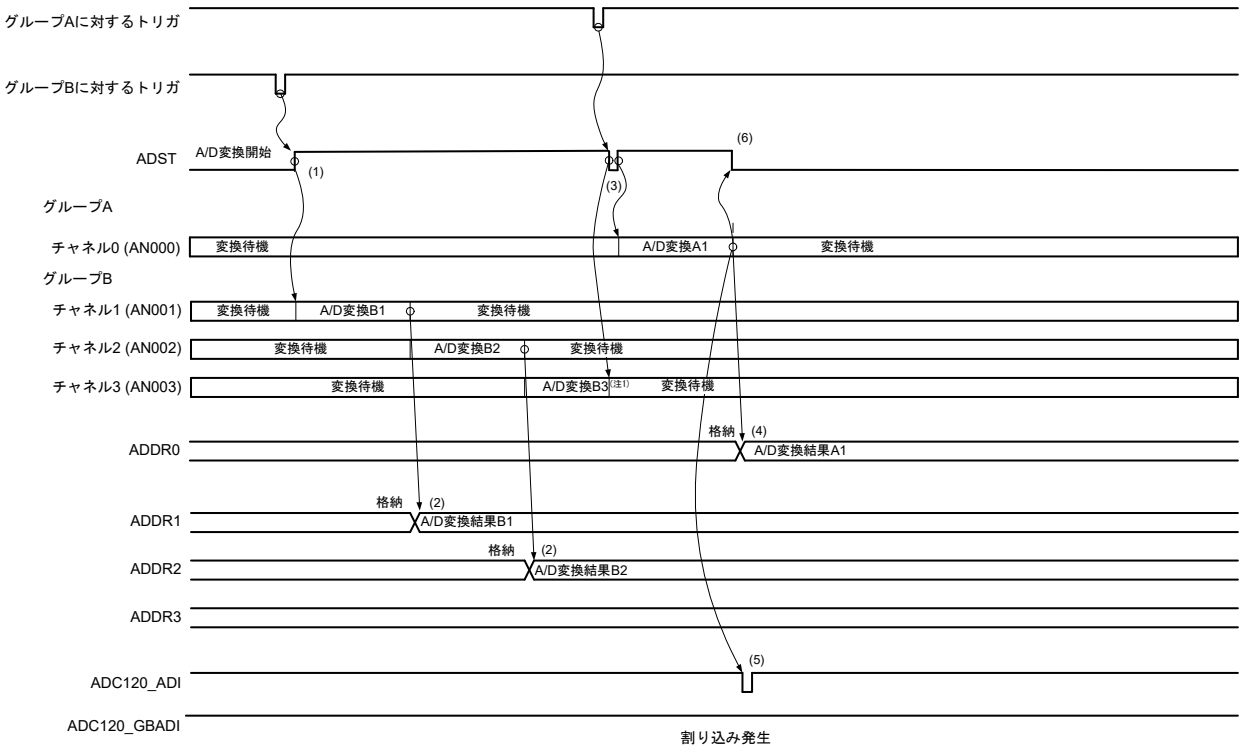


図 47.28 グループ A 優先制御の動作例（3）（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）

以下にグループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したときのグループ A 優先制御の動作例（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0）を示します。

1. グループ B のトリガ入力によって ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSB0、ADANSB1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中のグループ B の A/D 変換を中断します。ADCSR.ADST ビットが 1（A/D 変換開始）になると、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
5. ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
6. ADCSR.ADST ビットは A/D 変換中は 1（A/D 変換開始）を保持し、A/D 変換が終了するとクリアされ、ADC12 は待機状態になります。

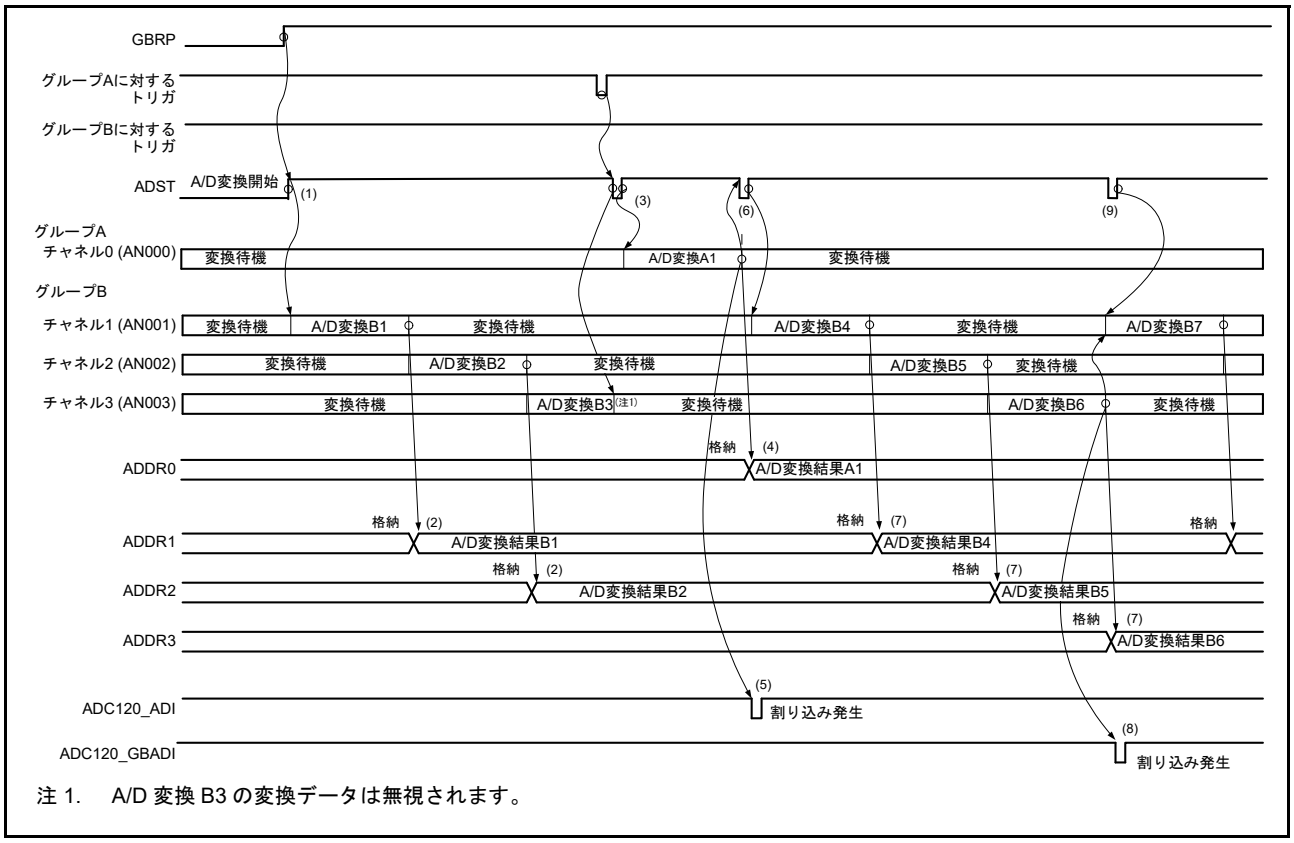


注 1. A/D 変換 B3 の変換データは無視されます。

図 47.29 グループ A 優先制御の動作例（4）（ADGSPCR.GBRSCN = 0、ADGSPCR.GBRP = 0 の場合）

以下にグループ A にチャネル 0 を、グループ B にチャネル 1 ～ 3 を選択したときのグループ A 優先制御の動作例（ADGSPCR.GBRP = 1）を示します。

1. ADGSPCR.GBRP を 1 にすると、ADCSR.ADST ビットが 1（A/D 変換開始）になり、ADANSB0、ADANSB1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
2. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
3. グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを 0 にし、動作中のグループ B の A/D 変換を中断します。ADCSR.ADST ビットが 1（A/D 変換開始）になり、ADANSA0、ADANSA1 レジスタで選択したチャネル ANn の n が小さい番号順に A/D 変換を開始します。
4. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
5. ADC12i_ADI（i = 0, 1）割り込み要求が発生します。
6. ADST ビットを自動的にクリアした後、再度 ADCSR.ADST ビットが自動的に 1（A/D 変換開始）になり、ADANSB0、ADANSB1 レジスタで選択したチャネル ANn の n が小さい番号順に変換を開始します。
7. 1 チャネルの A/D 変換が終了すると、A/D 変換結果は関連する A/D データレジスタ y（ADDRy）に格納されます。
8. ADCSR.GBADIE ビットが 1 の場合は、ADC12i_GBADI 割り込み要求が発生します。
9. ADST ビットを自動的にクリアした後、自動的に ADCSR.ADST ビットを 1（A/D 変換開始）にして、ADANSB0、ADANSB1 レジスタで選択したチャネル ANn の n が小さい番号順に変換を開始します。ADGSPCR.GBRP ビットが 1 になっている間は、(6) ～ (9) の動作を繰り返します。ADGSPCR.GBRP ビットが 1 になっている間は、ADCSR.ADST ビットを 0 にクリアしないでください。ADGSPCR.GBRP = 1 の場合に A/D 変換を強制終了するには、図 47.40 の手順に従ってください。



注 1. A/D 変換 B3 の変換データは無視されます。

図 47.30 グループ A 優先制御の動作例（5）（ADGSPCR.GBRP = 1 の場合）

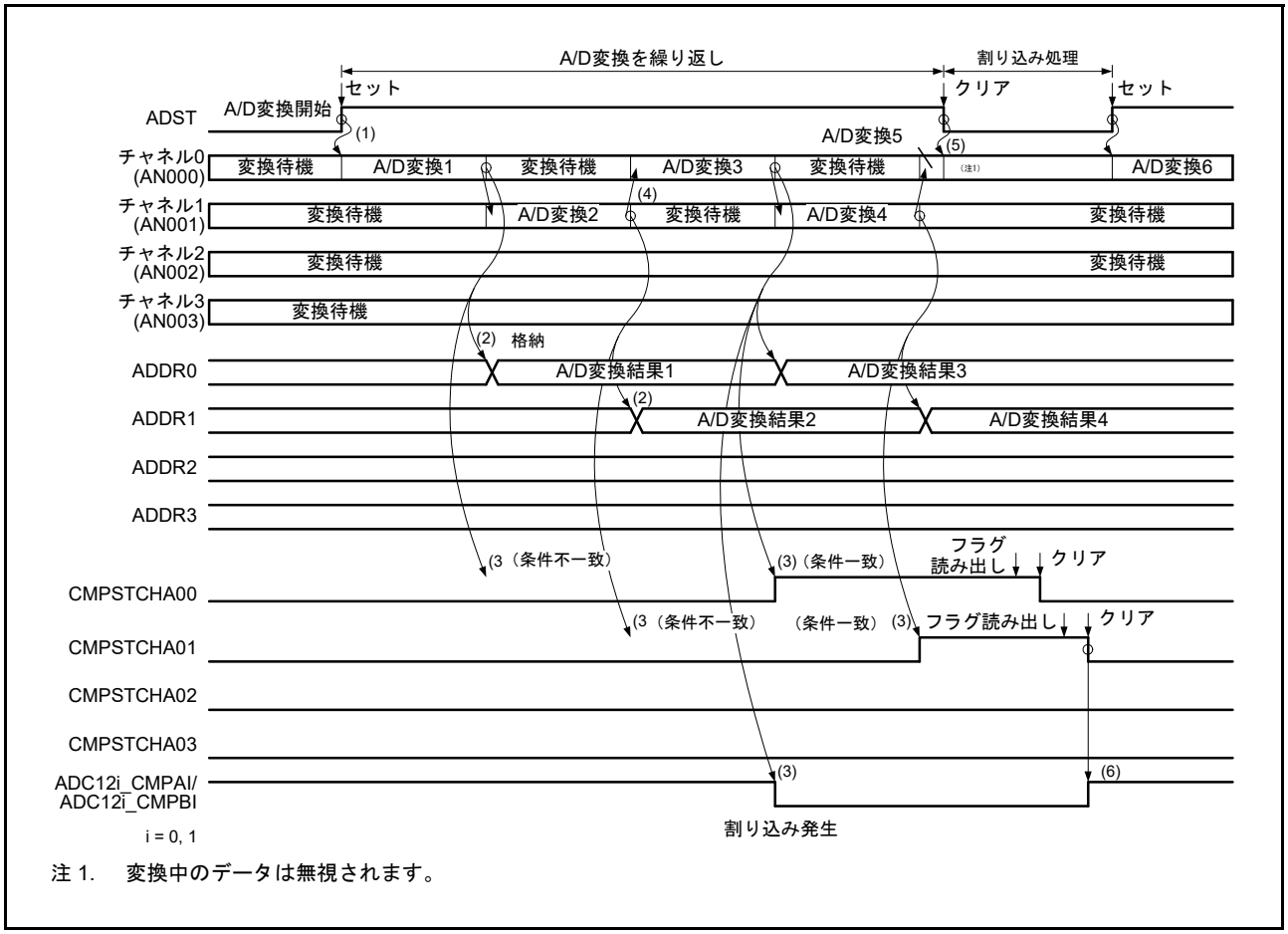
47.3.5 コンペア機能（ウィンドウA、ウィンドウB）

47.3.5.1 コンペア機能（ウィンドウA、ウィンドウB）

コンペア機能は、基準値とA/D変換結果を比較する機能です。基準値はウィンドウAおよびウィンドウBそれぞれに設定することができます。コンペア機能の使用中は、自己診断機能およびダブルトリガモードは使用できません。ウィンドウAとウィンドウBの大きな違いとしては、割り込み出力信号の違いと、ウィンドウBは1つのチャネルしか選択できないという制限が挙げられます。

連続スキャンモードとコンペア機能を組み合わせた動作シーケンスを以下に示します。

1. ソフトウェア、同期トリガ（ELC）、または非同期トリガでADCSR.ADSTビットを1（A/D変換開始）にした場合、選択したチャネル、温度センサ、および内部基準電圧でA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果は関連するA/Dデータレジスタy（ADDRy、ADTSDR、またはADOCDR）に格納されます。ADCMPCR.CMPAEが1のとき、ウィンドウAに対してADCMPANSRyまたはADCMPANSERレジスタのビットを設定すると、A/D変換結果を、設定したADCMPDR0/1レジスタ値と比較します。ADCMPCR.CMPBEが1のとき、ウィンドウBに対してADCMPBNSRレジスタのビットを設定すると、A/D変換結果を、ADWINULB/ADWINLLBレジスタの設定値と比較します。
3. 比較した結果、ウィンドウAがADCMPLR0/1またはADCMPLERに設定された条件と一致すると、コンペアウィンドウAフラグ（ADCMPSR0.CMPSTCHA0n、ADCMPSR1.CMPSTCHA1n、ADCMPSER.CMPSTTSA、またはADCMPSER.CMPSTOCA）が1になります。ADCMPCR.CMPAIEビットが1であれば、ADC12i_CMPAI（i = 0, 1）割り込み要求が発生します。同様に、ウィンドウBがADCMPBNSR.CMPLBに設定された条件と一致すると、コンペアウィンドウBフラグ（ADCMPBSR.CMPSTB）が1になります。ADCMPCR.CMPBIEビットが1であれば、ADC12i_CMPBI割り込み要求が発生します。
4. 選択したすべてのA/D変換および比較が終了すると、スキャンが再開します。
5. ADC12i_CMPAIおよびADC12i_CMPBI割り込みを受け付けると、ADCSR.ADSTビットは0（A/D変換停止）になり、コンペアフラグが1であるチャネルの処理を行います。
6. ウィンドウAのすべてのコンペアフラグをクリアすると、ADC12i_CMPAI割り込み要求は取り消されます。同様に、ウィンドウBのすべてのコンペアフラグをクリアすると、ADC12i_CMPBI割り込み要求はキャンセルされます。再度比較を実行するには、A/D変換を再開してください。



注 1. 変換中のデータは無視されます。

図 47.31 コンペア機能の動作例（AN000 ～ AN003 を比較）

47.3.5.2 コンペア機能のイベント出力

コンペア機能のイベント出力は、上側基準電圧値と下側基準電圧値をそれぞれウィンドウ A とウィンドウ B に設定し、選択したチャネルの A/D 変換値を上側／下側基準電圧値と比較します。その後、イベント条件（A or B、A and B、A XOR B）とウィンドウ A およびウィンドウ B の比較結果に従って、ADC12i_WCMPM および ADC12i_WCMPUM（i = 0, 1）イベントを出力します。

ウィンドウ A で複数のチャネルを選択し、チャネルのうち 1 つでも比較条件と一致した場合、ウィンドウ A の比較結果は一致となります。この機能を使用する場合、A/D 変換はシングルスキャンモードで行ってください。ウィンドウ A の場合、AN000 ～ AN006 および AN016 ～ AN021（ユニット 0）、AN100 ～ AN106 および AN116 ～ AN120（ユニット 1）のチャネル、内部基準電圧、温度センサ出力を選択できます。

コンペア機能のイベント出力使用時の設定手順および設定例を以下に示します。

1. ADCSR.ADCS ビットの値が 00b（シングルスキャンモード）であることを確認します。
2. ADCMPANSR0/1 および ADCMPANSER でウィンドウ A のチャネルを選択します。ADCMPLR0/1 および ADCMPLER レジスタにウィンドウ比較条件を設定します。ADCMPDR0/1 レジスタに上側および下側基準値を設定します。
3. ADCMPBNSR レジスタでウィンドウ B のチャネルおよび比較条件を選択し、ADWINULB/ADWINLLB レジスタで上側および下側基準値を設定します。
4. ウィンドウ A/B の複合条件、ウィンドウ A/B 動作許可、および割り込み出力許可を ADCMPCR に設定してください。

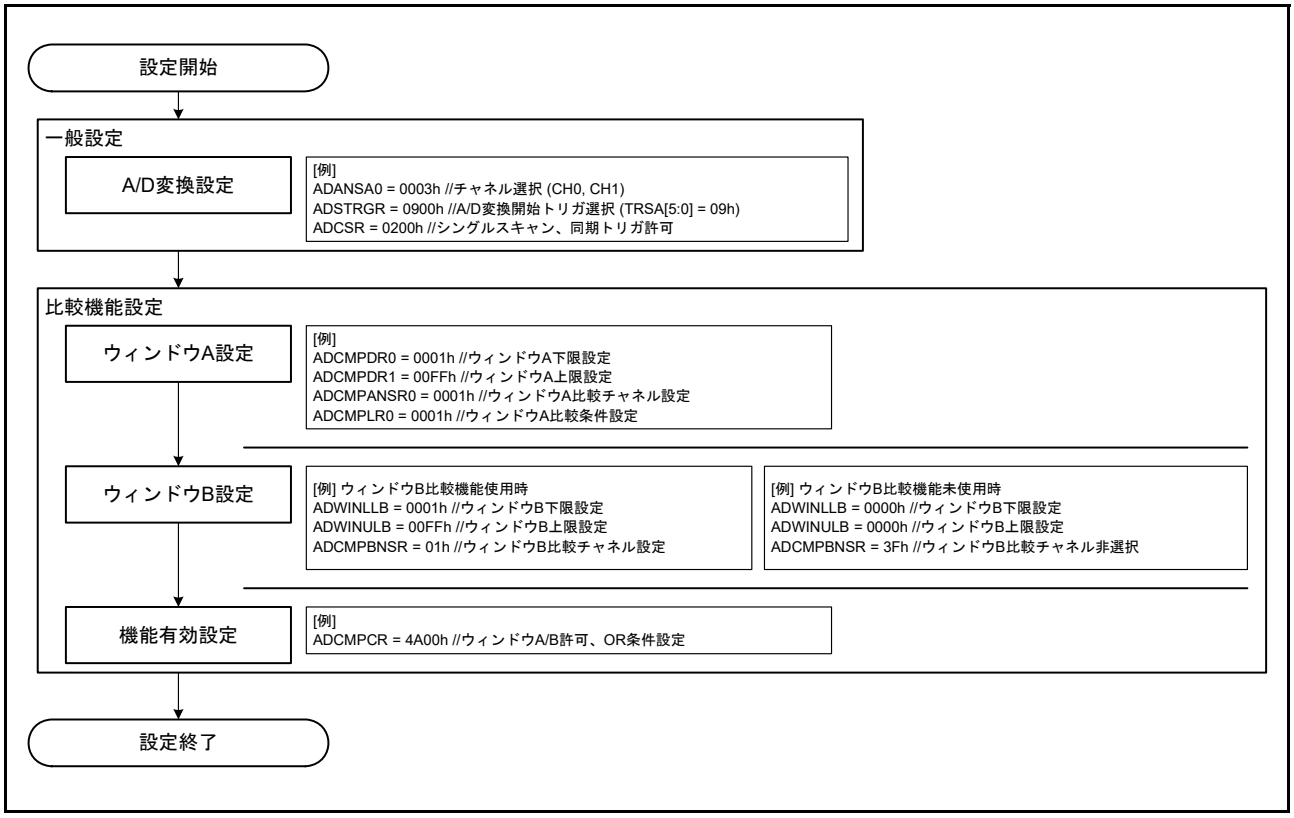


図 47.32 コンペア機能のイベント出力使用時の設定例

コンペア機能でウィンドウAのみを使用するときのイベント出力の使用方法について、以下に注意点を示します。

- ウィンドウAおよびBをどちらも有効（ADCMPCR.CMPAE = 1、ADCMPCR.CMPBE = 1）にしてください
- ウィンドウAおよびBの複合条件を「OR条件」にしてください（ADCMPCR.CMPAB[1:0] = 00b）
- ウィンドウBの比較対象チャネルを「非選択」にしてください（ADCMPBNSR.CMPCHB[5:0] = 111111b）
- ウィンドウBの比較条件を、常に不一致を表す「0 ＜結果＜ 0」に設定してください（ADCMPCR.WCMPE = 1、ADWINLLB.CMPLLB[15:0] = ADWINULB.CMPULB[15:0] = 0000h、およびADCMPBNSR.CMPLB = 1）

コンペア機能のイベント出力動作例を図 47.33 に示します。

シングルスキャンが一度終了するタイミングで、スキャン終了イベント（ADC12i_ADI）を出力します。その後、ADCMPCR.CMPAB[1:0]の設定に従い、1PCLKB遅れて一致または不一致イベント（ADC12i_WCMPMまたはADC12i_WCMPUM）を出力します。

注 . 一致イベントと不一致イベントは排他的であるため、2つのイベントを同時に出力することはありません。

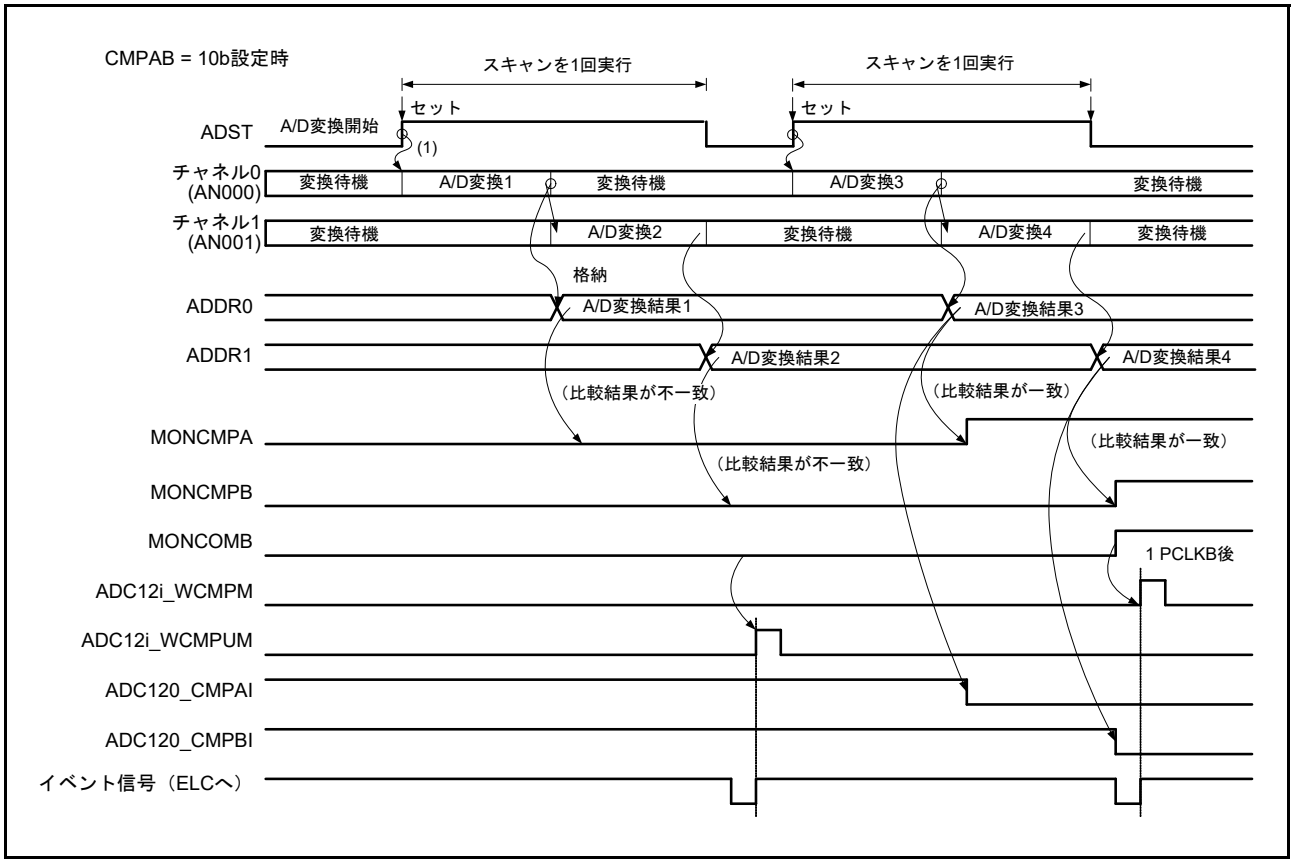


図 47.33 コンペア機能のイベント出力例（AN000 ～ AN001 を比較）

注 1. コンペア機能のイベント出力は、ADCMPCR.CMPAB[1:0]の設定により、ウィンドウAおよびウィンドウBの比較結果の一致／不一致を出力します。

注 2. ウィンドウAの比較結果は、ウィンドウAの比較対象チャネルの比較結果の論理和です。ウィンドウAおよびBの比較結果は、A/D変換ごとに更新され、シングルスキャンが終了しても保持されます。比較結果をクリアするには、ADCMPCR.CMPAEおよびADCMPCR.CMPBEを0にしてください。

47.3.5.3 コンペア機能の制限

コンペア機能には以下の制限事項があります。

- コンペア機能は、自己診断機能またはダブルトリガモードと一緒には使用できません。ADRD、ADDBLDR、ADDBLDRA、および ADDBLDRB ではコンペア機能は使用できません
- 一致／不一致イベント出力を使用する場合はシングルスキャンモードにしてください
- ウィンドウ A に温度センサ出力または内部基準電圧を選択した場合、ウィンドウ B 動作は無効になります
- ウィンドウ B に温度センサ出力または内部基準電圧を選択した場合、ウィンドウ A 動作は無効になります
- ウィンドウ A とウィンドウ B に同じチャネルを設定することはできません
- 基準電圧値を設定する際は、高電位基準電圧値が低電位基準電圧値以上となるように設定してください

47.3.6 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア起動、同期トリガ（ELC）による起動および非同期トリガ（ADTRGn）による起動が選択できます。スキャン変換開始遅延時間（t_D）の経過後に、チャネル専用サンプル＆ホールド回路処理、断線検出アシスト処理、自己診断変換処理をすべて行い、その後に A/D 変換処理が開始されます。

図 47.34 に、ソフトウェアトリガと同期トリガ（ELC）起動によるスキャン変換を行う場合のタイミングを示します。また、図 47.35 に、非同期トリガ（ADTRGn）起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間（t_{SCAN}）は、スキャン変換開始遅延（t_D）、チャネル専用サンプル＆ホールド回路処理時間（t_{SPLSH}）(注 1)、断線検出アシスト処理時間（t_{DIS}）(注 2)、自己診断変換時間（t_{DIAG}）(注 3)、A/D 変換処理時間（t_{CONV} および t_{DSD}）、チャネル専用サンプル＆ホールド回路終了処理時間（t_{SHED}）(注 4)、スキャン変換終了遅延（t_{ED}）を含めた時間となります。

A/D 変換処理時間（t_{CONV}）は、入力サンプリング時間（t_{SPL}）、逐次変換時間（t_{SAM}）を合わせた時間となります。サンプリング時間（t_{SPL}）は、ADC12 内のサンプル＆ホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック（ADCLK）が低速の場合には、ADSSTR レジスタでサンプリング時間を調整することができます。

逐次変換時間（t_{SAM}）は、12 ビット精度選択時で 13 ステート（ADCLK）、10 ビット精度選択時で 11 ステート（ADCLK）、8 ビット精度選択時で 9 ステート（ADCLK）となります。

選択チャネル数が n のシングルスキャンのスキャン変換時間（t_{SCAN}）は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n)\ (\text{注 5}) + t_{ED}$$

連続スキャンの 1 サイクル目は、シングルスキャンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。連続スキャンの 2 サイクル目以降は、$t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n)$ (注 5) $+ t_{SHED}$ 固定となります。

注 1. チャネル専用サンプル＆ホールド回路を使用しない場合は、$t_{SPLSH} = 0$ となります。

注 2. 断線検出アシストを設定しない場合は、$t_{DIS} = 0$ となります。

注 3. 自己診断機能を使用しない場合は、$t_{DIAG} = 0$、$t_{DSD} = 0$ となります。

注 4. チャネル専用サンプル＆ホールド回路を使用しない場合は、$t_{SHED} = 0$ となり、連続スキャンモード有効と仮定されます。シングルスキャンモード時とグループスキャンモード時、t_{SHED} はスキャン変換終了遅延（t_{ED}）に含まれます。

注 5. 選択したすべてのチャネルの入力サンプリング時間（t_{SPL}）が同じである場合、この要素は $t_{CONV} \times n$ になります。チャネルごとに異なるサンプリング時間の場合、この要素は選択したチャネルごとに設定した t_{SPL} と t_{SAM} の和となります。

スキャン変換時間を表 47.10 に示します。

表 47.10　スキャン変換時間（ADCLKとPCLKBのサイクル数）

項目			シンボル		種別／条件 同期トリガ	非同期トリガ	ソフトウェアトリガ	単位
スキャン開始処理時間（注1）（注2）	グループA優先制御動作によるグループAのA/D変換	グループB中断あり（グループAのA/D変換要因によってグループBを停止させた後、グループAを起動）	t_D		3PCLKB + 6ADCLK 5PCLKB + 3ADCLK（注5）	-	-	サイクル
		グループB中断なし（グループAのA/D変換要因によって起動）			2PCLKB + 4ADCLK	-	-	
	自己診断有効時のA/D変換	自己診断変換開始時			2PCLKB + 6ADCLK	4PCLKB + 6ADCLK	6ADCLK	
	上記以外				2PCLKB + 4ADCLK	2PCLKB + 4ADCLK	4ADCLK	
チャネル専用サンプルホールド処理時間（注1）	サンプリング時間		t_{SPLSH}	t_{SH}	常時サンプリング無効時：ADSHCR.SSTSH[7:0]設定値 (初期値=18h × ADCLK) 常時サンプリング有効時：0			
	サンプリングーA/D変換の待機時間			t_W	12			
断線検出アシスト処理時間			t_{DIS}		ADNDIS[3:0]設定値（初期値0h）× ADCLK			
自己診断変換処理時間（注1）	サンプリング時間		t_{DIAG}	t_{SPL}	ADSSTR00設定値（初期値0Bh）× ADCLK（注3）	-	-	
	逐次変換時間	12ビット変換精度		t_{SAM}	15ADCLK	-	-	
		10ビット変換精度			13ADCLK	-	-	
		8ビット変換精度			11ADCLK	-	-	
	自己診断変換終了からアナログチャネルサンプリング開始までの待機時間			t_{DED}	2ADCLK			
	連続スキャンモードでの最後のチャネル変換終了から自己診断サンプリング開始までの待機時間		t_{DSD}		2ADCLK			
A/D変換処理時間（注1）	サンプリング時間		t_{CONV}	t_{SPL}	ADSSTRn（n = 00～06, L, T, O）設定値（初期値0Bh）× ADCLK + 0.5ADCLK			
	逐次変換時間	12ビット変換精度		t_{SAM}	13ADCLK			
		10ビット変換精度			11ADCLK			
		8ビット変換精度			9ADCLK			
チャネル専用サンプルホールド終了処理時間			t_{SHED}		2ADCLK			
スキャン終了処理時間（注1）			t_{ED}		1PCLKB + 3ADCLK 2PCLKB + 3ADCLK（注5）			

注 1.　t_D、t_{SPLSH}、t_{DIAG}、t_{CONV}、t_{ED} の各タイミングについては、図 47.34 および図 47.35 を参照してください。
注 2.　ソフトウェア書き込み、またはトリガ入力から A/D 変換開始までの最大時間です。
注 3.　サンプリング時間は電気的特性を満たすように設定してください。
注 4.　タイマ出力からトリガ入力までの経路で使われる時間は含みません。
注 5.　ADCLK が PCLKB（PCLKB/ADCLK の分周率 = 1：2 または 1：4）より速い場合、スキャン終了処理時間は変化します。

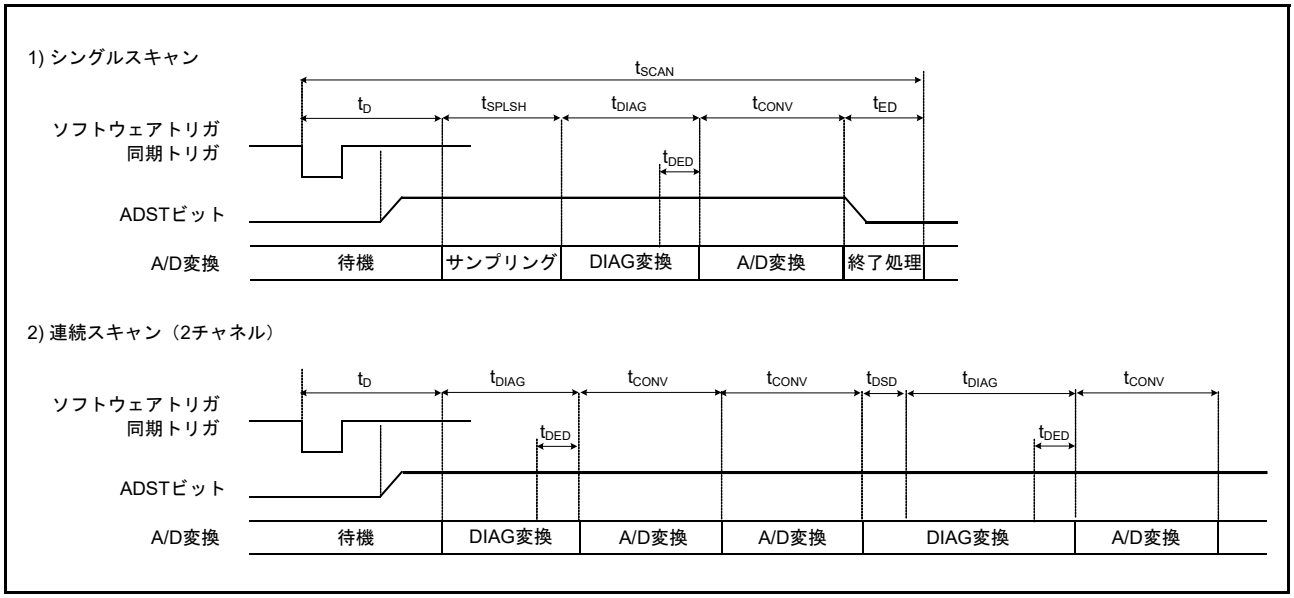


図 47.34　スキャン変換のタイミング（ソフトウェア起動、同期トリガ（ELC）起動の場合）

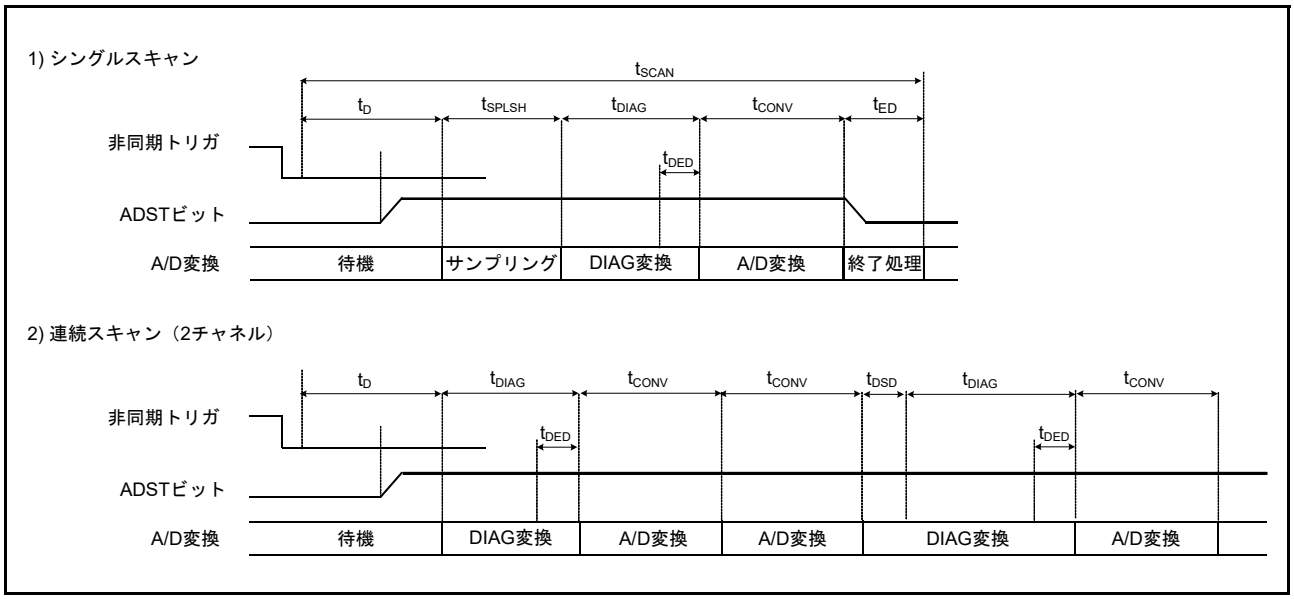


図 47.35　スキャン変換のタイミング（非同期トリガ入力（ADTRG0）起動の場合）

47.3.7 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを 1 にすることにより、CPU、DTC、または DMAC によってデータレジスタ（ADDRy、ADRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADTSDR、および ADOCDR）を読み出す際、自動的にこれらのレジスタを 0000h にクリアできます。この機能を使用することで、これらのデータレジスタの未更新障害を検出することができます。以下に、ADDRy レジスタの自動クリア機能が無効時と有効時の例をそれぞれ示します。

- ADCER.ACE ビットが 0（自動クリア禁止）の場合に、A/D 変換結果（0222h）が何らかの原因で ADDRy レジスタに書き込みされなかったとき、ADDRy レジスタの値は古いデータ（0111h）を保持します。さらに A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ（0111h）が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを SRAM または汎用レジスタに逐一保持しながらチェックを行う必要があります。
- ADCER.ACE ビットが 1（自動クリア許可）の場合には、ADDRy = 0111h が CPU、DTC、または DMAC によって読み出された場合、ADDRy レジスタは自動的に 0000h にクリアされます。A/D 変換結果（0222h）が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ（0000h）が ADDRy レジスタ値として残ります。ここで A/D スキャン終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合は、0000h が汎用レジスタに保持されます。読み出されたデータ値が 0000h であることをチェックすることで、ADDRy レジスタの未更新障害があったことを判断できます。

47.3.8 A/D 変換値加算／平均モード

A/D 変換値加算／平均モードは、選択したチャネルのアナログ入力、温度センサ出力、内部基準電圧の A/D 変換の選択時に使用できます。

A/D 変換値加算モードは、同じチャネルを 1、2、3、4、または 16（注 1）回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均モードは、同じチャネルを 2 回または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が必ず向上することを保証する機能ではありません。

A/D 変換値加算／平均モードは、チャネル選択アナログ入力 A/D 変換、温度センサ出力 A/D 変換、内部基準電圧 A/D 変換に使用できます。

注 1. 12 ビット精度を選択している場合、設定できる加算回数は 16 回のみです。

47.3.9 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態（ユニット 0 は VREFH0 または VREFL0、ユニット 1 は VREFH または VREFL）に固定する機能を ADC12 は内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

チャネル専用サンプル&ホールド回路の断線検出アシスト機能を使用する場合、ADSHMSR.SHMD ビットを 0 にしてください（「常時サンプリング機能は無効」を選択してください）。

以下の機能のいずれかを使用する場合、断線検出アシスト機能は無効にしてください。

- 温度センサ
- 内部基準電圧
- A/D 自己診断
- バイパス許可なしのプログラマブルゲインアンプ

図 47.36 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。図 47.37 にプリチャージを選択した場合の断線検出例を示します。図 47.38 にディスチャージを選択した場合の断線検出例を示します。

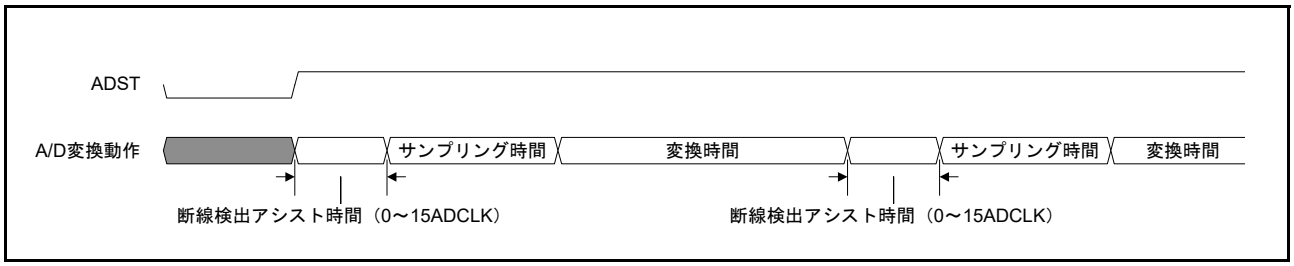
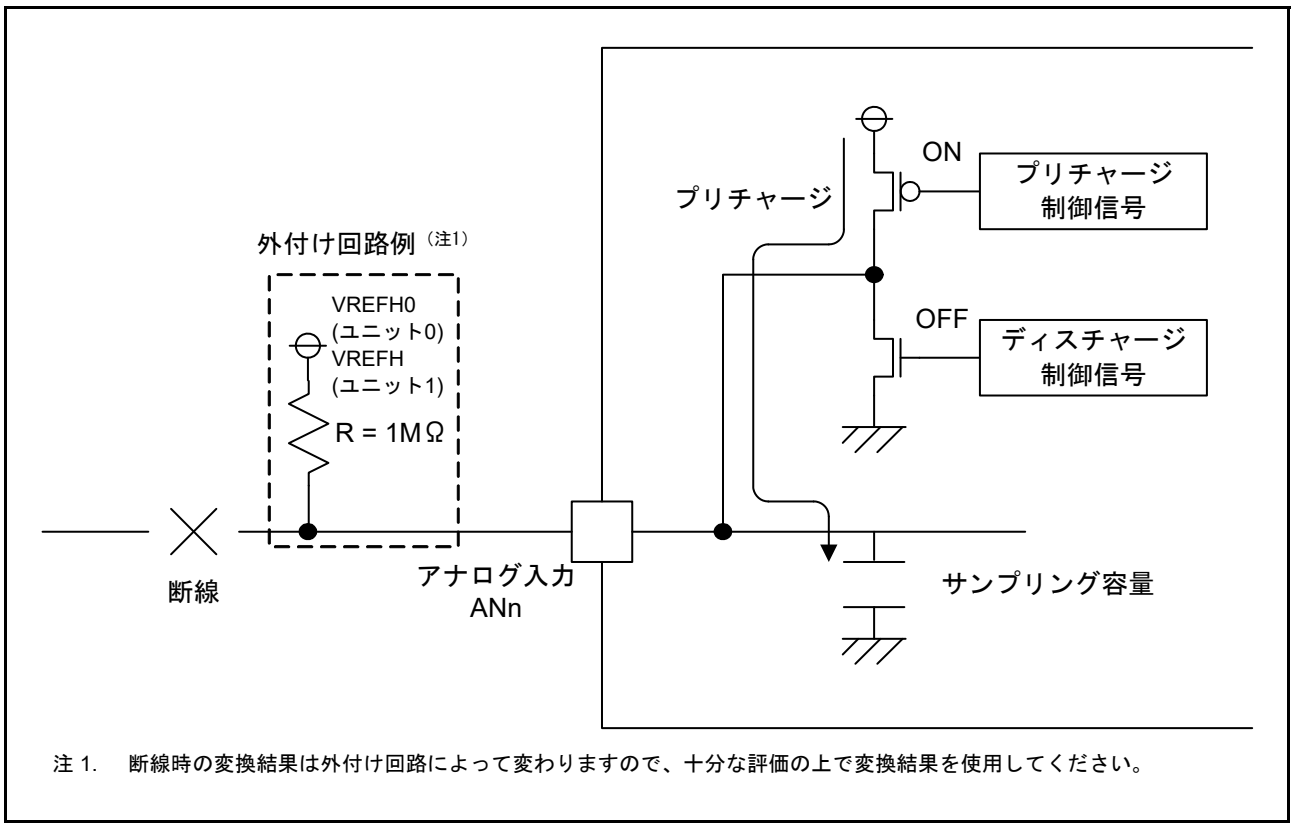
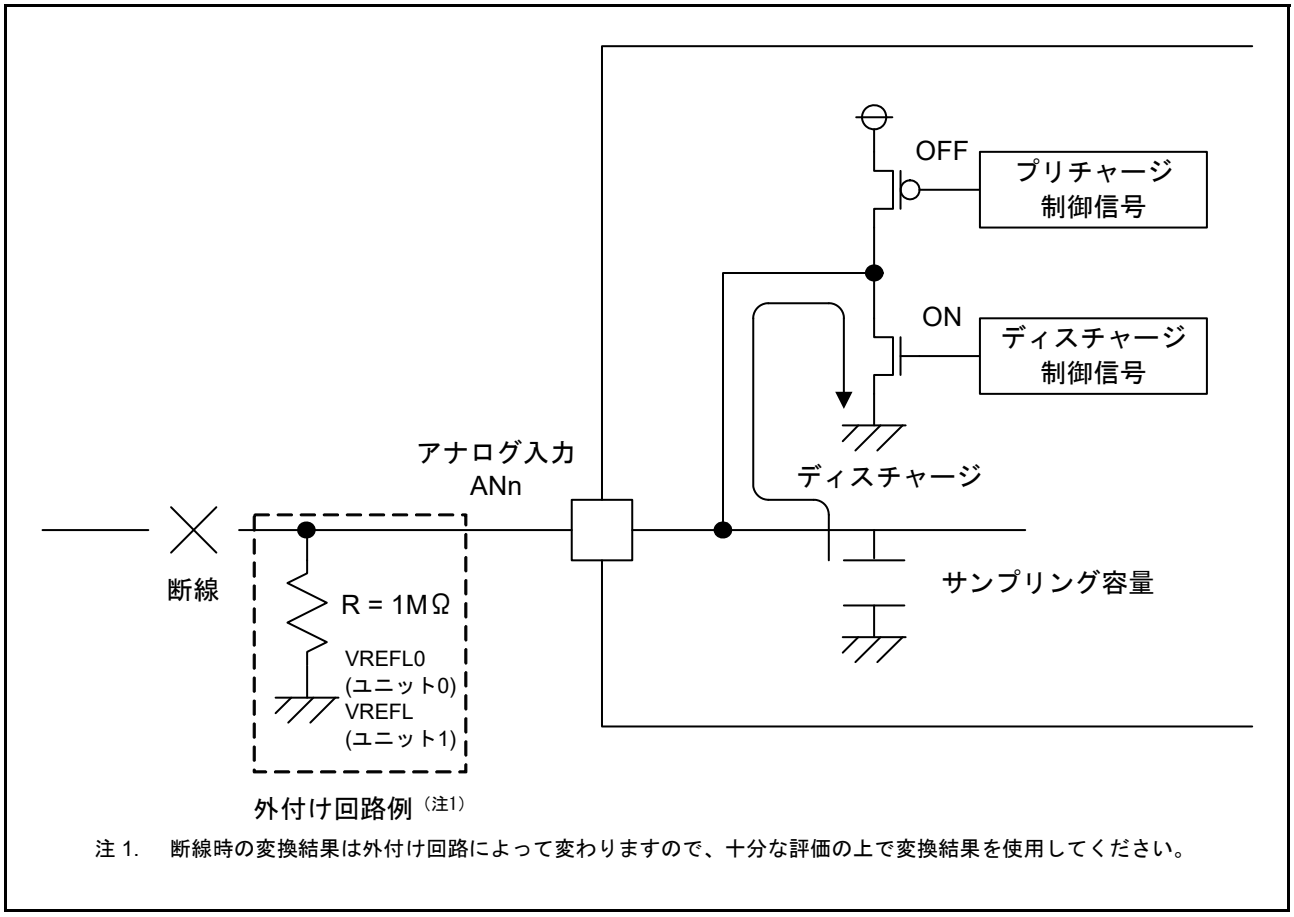


図 47.36 断線検出アシスト機能を使用した場合の A/D 変換動作



注 1. 断線時の変換結果は外付け回路によって変わりますので、十分な評価の上で変換結果を使用してください。

図 47.37 プリチャージを選択した場合の断線検出例



注 1. 断線時の変換結果は外付け回路によって変わりますので、十分な評価の上で変換結果を使用してください。

図 47.38 ディスチャージを選択した場合の断線検出例

47.3.10 非同期トリガによる A/D 変換の開始

非同期トリガの入力により A/D 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合は、まず PmnPFS レジスタで端子機能を設定し、次に、A/D 変換開始トリガ選択ビット（ADSTRGR.TRSA[5:0]）を 000000b にしてから、非同期トリガ（ADTRGn 端子）に High を入力した後、ADCSR.TRGE ビットと ADCSR.EXTRG ビットをどちらも 1 にしてください。図 47.39 に非同期トリガ入力タイミングを示します。

非同期トリガは、グループスキャンモードで使用するグループ B の A/D 変換開始トリガ選択ビット（ADSTRGR.TRSB[5:0]）では選択できません。端子機能の設定については、「20. I/O ポート」を参照してください。

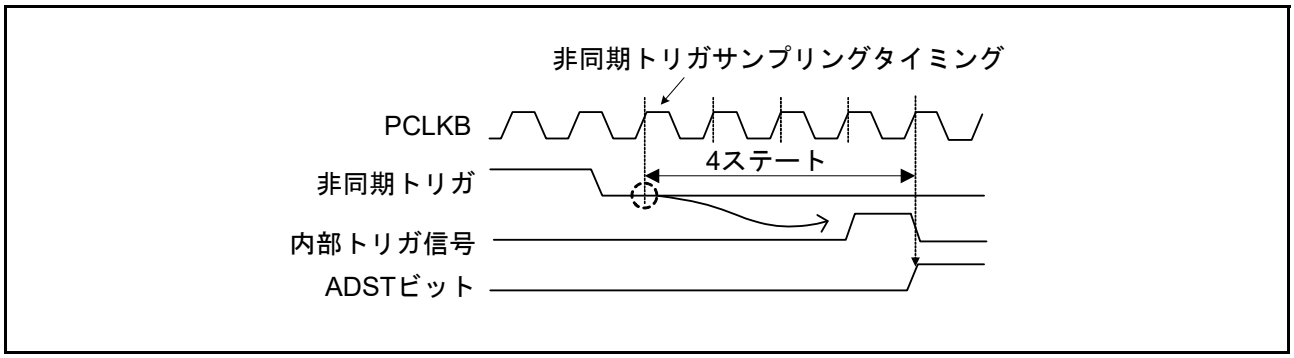


図 47.39 非同期トリガ入力タイミング

47.3.11 周辺モジュールからの同期トリガによるA/D変換の開始

A/D変換は同期トリガ（ELC）によって開始できます。同期トリガでA/D変換を開始するには、ADCSR.TRGEビットを1にし、ADCSR.EXTRGビットを0にクリアして、ADSTRGR.TRSA[5:0]ビットおよびADSTRGR.TRSB[5:0]ビットで該当の要因を選択してください。

47.3.12 プログラマブルゲインアンプ機能

ユニット1つで最大3つまでプログラマブルゲインアンプ（PGA）を使用できます。ADPGAGS.PnGAIN[3:0]ビット（n = 000 ～ 002）でゲインを選択し、ADPGACR.PnSELビットで使用するオペアンプを選択します。

これらのPGAは差動入力に対応しています。差動入力に対応した端子はAN000 ～ AN002（ユニット0）のPGAVSS000、AN100 ～ AN102（ユニット1）のPGAVSS100です。差動入力を使用するには、ADPGADCR0.PnDG[2:0]ビットで差動入力ゲインを設定し、ADPGADCR0.PnGENビットで差動入力ゲイン設定を有効にした後、ADPGADCR0.PnDENビットで差動入力アンプを選択してください。表47.11に示すようにPGAレジスタが選択可能です。

表47.11 PGAレジスタの設定値と使用可能な関連機能

条件ごとの選択可能値	該当レジスタの設定値				関連機能 ○：使用可能 x：使用不可			
	PmnPFS	ADPGACR	ADPGAGS0	ADPGADCR0				
	ASEL（注3）	PGA P002：ビット11～8	ビット11～8	ビット11～8	ポート（注1）	ACMPHS（注2）		ADC12
		PGA P001：ビット7～4	ビット7～4	ビット7～4		IVCMP2	IVCMP3	
		PGA P000：ビット3～0	ビット3～0	ビット3～0				
ポート使用時	0	初期値のままにしてください。			○	x	x	x
ACMPHSまたはADC12（PGAバイパス）（注4）使用時	1	9	0	0	x	○	x	○
PGA使用時、差動入力無効	1	Eh	0～Eh	0	x	○	○	○
PGA使用時、差動入力有効	1	Eh	1, 5, 9, Bh	8～Bh	x	x	○	○

注1. ポート：入力ポート使用時。
注2. ACMPHS IVCMP2：PGAを介した入力を使用する場合。ACMPHS IVCMP3：PGA出力の入力を使用する場合。
注3. PmnPFSレジスタの構成については、「20. I/Oポート」を参照してください。
注4. ポートとACMPHSを同時に使用することはできません。ポートとADC12を同時に使用することはできません。

47.4 割り込み要因と DTC/DMAC 転送要求

47.4.1 割り込み要求

ADC12 は、CPU へのスキャン終了割り込み要求である ADC12i_ADI（i = 0, 1）、ADC12i_GBADI を発生させることができます。また、比較条件成立で、CPU への ADC12i_CMPAI および ADC12i_CMPBI 割り込みを発生します。

ADC12i_ADI 割り込みは常時発生します。ADC12i_GBADI 割り込みは、ADCSR.GBADIE ビットを 1 にすることで発生させることができます。同様に、ADC12i_CMPAI および ADC12i_CMPBI 割り込みは ADCMPCR.CMPAIE および ADCMPCR.CMPBIE ビットを 1 にすることで発生させることができます。

また、ADC12i_ADI または ADC12i_GBADI 割り込み発生時、ADC12i_WCMPM または ADC12i_WCMPUM イベント発生時に DTC または DMAC を起動できます。これらの割り込みまたはイベントで変換されたデータの読み出しを DTC または DMAC を起動して行うと、連続変換がソフトウェアの負担なく実現できます。

DTC の設定の詳細は「18. データトランスファコントローラ（DTC）」を、DMAC の設定の詳細は「17. DMA コントローラ（DMAC）」を参照してください。

表 47.12 に、ADC12 で使用可能な割り込み要因および ELC イベントを示します。

表 47.12 ADC12のイベント一覧 (1/2)

○：使用可能 x：使用不可

動作		割り込み要求／ELCイベント			割り込み要求	DTC/DMAC起動	ELCイベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウA/B	ユニット0	ユニット1				
シングルスキャンモード	非選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	シングルスキャンの最後にADC12i_ADI発生
		選択	ADC120_ADI	ADC121_ADI	○	○	○	シングルスキャンの最後にADC12i_ADI発生
			ADC120_CMPAI	ADC121_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC12i_CMPAI発生
			ADC120_CMPBI	ADC121_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC12i_CMPBI発生
			ADC120_WCMPM	ADC121_WCMPM	x	○	○	ウィンドウA/Bコンペア機能の条件一致でADC12i_WCMPM発生
			ADC120_WCMPUM	ADC121_WCMPUM	x	○	○	ウィンドウA/Bコンペア機能の条件不一致でADC12i_WCMPUM発生
	選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	偶数回数のスキャン終了時にADC12i_ADI発生
連続スキャンモード	非選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	選択したすべてのチャネルのスキャン終了時にADC12i_ADI発生
		選択	ADC120_CMPAI	ADC121_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC12i_CMPAI発生
			ADC120_CMPBI	ADC121_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC12i_CMPBI発生

表 47.12 ADC12のイベント一覧 (2/2)

○：使用可能 x：使用不可

動作		割り込み要求／ELCイベント			割り込み要求	DTC/DMAC起動	ELCイベント要求	機能
スキャンモード	ダブルトリガモード	コンペア機能ウィンドウA/B	ユニット0	ユニット1				
グループスキャンモード	非選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	グループAのスキャン終了時にADC12i_ADI発生
			ADC120_GBADI	ADC121_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC12i_GBADI発生
		選択	ADC120_ADI	ADC121_ADI	○	○	○	グループAのスキャン終了時にADC12i_ADI発生
			ADC120_GBADI	ADC121_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC12i_GBADI発生
			ADC120_CMPAI	ADC121_CMPAI	○	x	x	ウィンドウAの比較条件一致でADC12i_CMPAI発生
			ADC120_CMPBI	ADC121_CMPBI	○	x	x	ウィンドウBの比較条件一致でADC12i_CMPBI発生
	選択	非選択	ADC120_ADI	ADC121_ADI	○	○	○	偶数回数のグループAのスキャン終了時にADC12i_ADI発生
			ADC120_GBADI	ADC121_GBADI	○	○	x	グループBのスキャン終了時にグループB用のADC12i_GBADI発生

i = 0：ユニット0、i = 1：ユニット1

47.5 イベントリンク機能

47.5.1 ELC へのイベント出力

ELC は、ADC12i_ADI 割り込み要求信号をイベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ADC12i_GBADI 割り込みおよび ADC12i_CMPAI/ADC12i_CMPBI 割り込みをイベント信号として使用することはできません。詳細は、表 47.12 を参照してください。

47.5.2 ELC からのイベントによる ADC12 の動作

ADC12 は、以下のように、ELC の ELSRn 設定で指定した事前設定イベントによって A/D 変換を開始できます。

- ELC.ELSR8 レジスタで ELC_AD00（ユニット 0）信号を選択する
- ELC.ELSR9 レジスタで ELC_AD01（ユニット 0）信号を選択する
- ELC.ELSR10 レジスタで ELC_AD10（ユニット 1）信号を選択する
- ELC.ELSR11 レジスタで ELC_AD11（ユニット 1）信号を選択する

A/D 変換中に ELC_ADi0 または ELC_ADi1 イベントが発生した場合、そのイベントは無視されます。

47.6 使用上の注意事項

47.6.1 データレジスタの読み出しに関する制限

以下のレジスタの読み出しは、ハーフワード単位で行ってください。

- A/D データレジスタ
- A/D データ 2 重化レジスタ
- A/D データ 2 重化レジスタ A
- A/D データ 2 重化レジスタ B
- A/D 温度センサデータレジスタ
- A/D 内部基準電圧レジスタ
- A/D 自己診断データレジスタ

バイト単位で上位バイトと下位バイトの 2 回に分けてレジスタを読み出すと、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が一致しないことがあります。これを避けるため、バイト単位のデータレジスタの読み出しは行わないでください。

47.6.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガまたは同期トリガを選択している場合、A/D 変換を停止させるためには、図 47.40 のフローチャートの手順に従ってください。

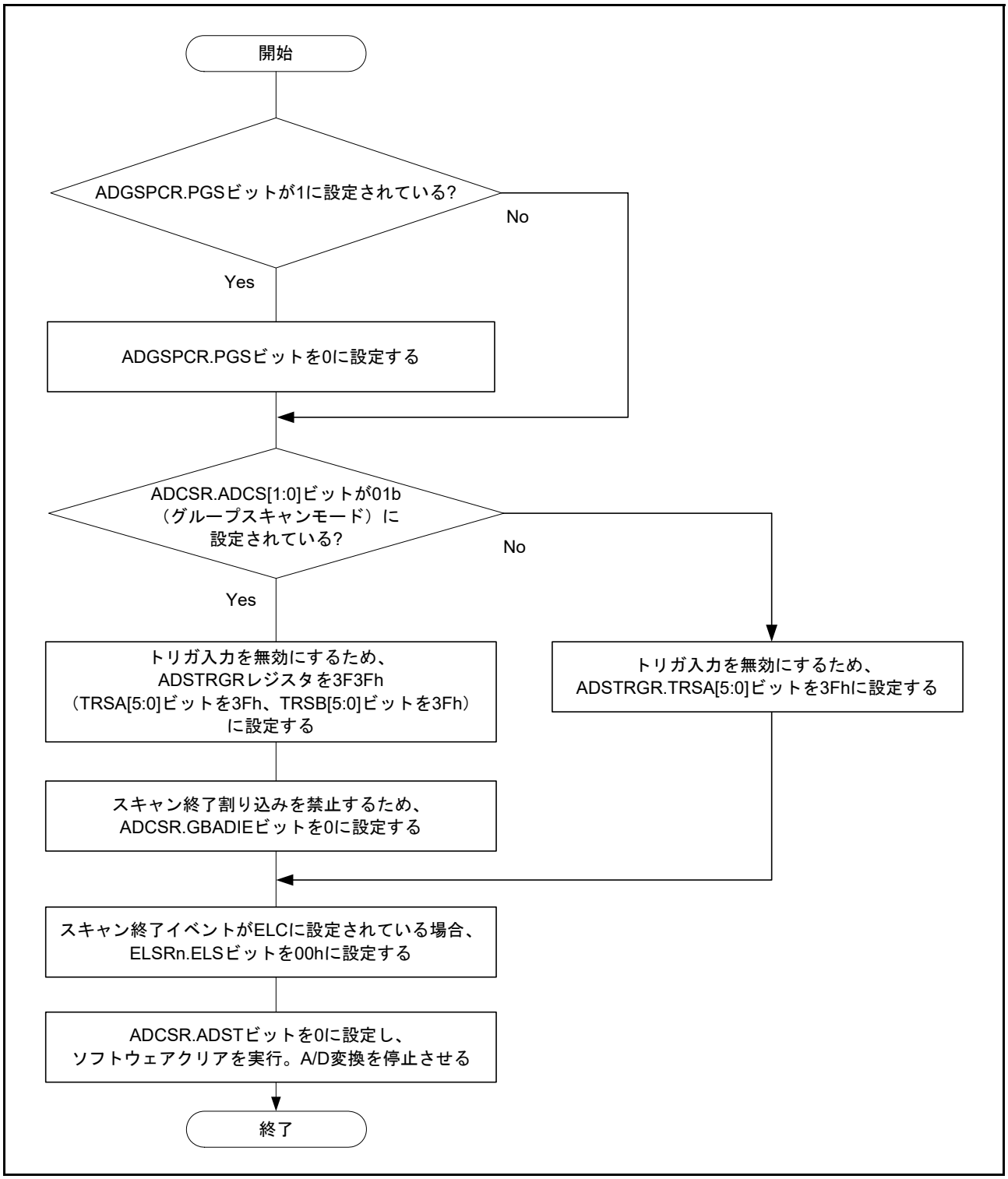


図 47.40 ソフトウェアによる ADCSR.ADST ビットのクリア手順

47.6.3 A/D 変換強制停止と再開時の動作タイミング

ADC12 の停止状態のアナログ部を ADCSR.ADST ビットへの 1 書き込み時に再開するには、ADCLK で最大 6 クロックの時間を必要とします。ADC12 の動作中のアナログ部を ADCSR.ADST ビットへの 0 書き込み時に強制終了するには、ADCLK で最大 2 クロックの時間を必要とします。

47.6.4 スキャン終了割り込み処理の制限

トリガ起動による同一アナログ入力のスキャンを 2 回行う場合などで、1 回目のスキャン終了割り込み発生から、2 回目のスキャンによる最初のアナログ入力の A/D 変換が終了するまでに、CPU が A/D 変換データを読み出し終えていなければ、1 回目の A/D 変換データが 2 回目の A/D 変換データで上書きされます。

47.6.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、ADC12 の動作を禁止／許可することが可能です。ADC12 は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1μs 以上待ってから A/D 変換を開始してください。詳細は、11.4 モジュールストップ機能、および 11.10.16 ADC12 に対するモジュールストップ機能を参照してください。

47.6.6 低消費電力状態への遷移に関する注意事項

モジュールストップ状態やソフトウェアスタンバイモードへ遷移する場合は、事前に A/D 変換を停止させてください。A/D 変換を停止させる際は、ADCSR.ADST ビットを 0 にした後、ADC12 のアナログ部が停止するまでの時間を確保する必要があります。

この時間を確保するため、図 47.40 に示す、ソフトウェアによる ADCSR.ADST ビットのクリア手順に従ってください。その後、ADCLK の 2 クロック期間待った後、モジュールストップ状態やソフトウェアスタンバイモードへ遷移させてください。

47.6.7 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、ADC12 の絶対精度誤差が生じます。この誤差は、アナログ入力端子にプルアップ／プルダウン抵抗（Rp）と信号源抵抗（Rs）の抵抗分圧分の誤差電圧が入力されるために生じます。絶対精度の誤差は下式で表されます。

最大絶対精度誤差（LSB）= $(2^{Resolution} - 1) \times Rs/(Rs + Rp)$, Resolution = 12, 10, 8

断線検出アシスト機能は、十分な評価の上で使用してください。

47.6.8 AN000 ～ AN002 および AN100 ～ AN102 の使用可能な機能とレジスタ設定

AN000 ～ AN002 および AN100 ～ AN102 の使用可能な機能とレジスタ設定を表 47.13 に、レジスタの設定手順を図 47.41 に示します。それぞれの機能を使用するには、表 47.13 に示すようにレジスタの値を設定してください。

PGA（差動入力有効）を使用する場合、レジスタ設定後、ユニット 0 の AN000 ～ AN002 および PGAVSS000、ユニット 1 の AN100 ～ AN102 および PGAVSS100 に負電圧を入力できます。

PGA（差動入力有効）を使用する場合、ADPGADCR0 レジスタでユニットごとのすべての PGA のアンプを差動入力に設定する必要があります。

PGA（差動入力無効）を使用する場合、関連する PGAVSS 端子を AVSS0 に接続してください。PGA を使用しない場合は、関連する PGAVSS を入力ポートとして使用できます。

表 47.13 使用可能な機能とレジスタ設定値

使用可能な機能						レジスタ設定値				
						P0nPFS（注6）		PGA		S/H（注3）
ポート（注1）	IRQ（注2）	S/H（注3）	PGA-S（注4）	PGA-D（注5）	ADC12	ASEL	ISEL	ADPGADCR0（注7）	ADPGACR（注8）	ADSHCR（注9）
○						0	0	初期値のままにしてください		
	○					0	1	初期値のままにしてください		
					○	1	x	0	9h	0
		○			○	1	x	0	9h	1
		○	○		○	1	x	0	Eh	1
		○		○	○	1	x	1	Eh	1
			○		○	1	x	0	Eh	0
				○	○	1	x	1	Eh	0

○：使用可能

x：Don’t care

注 1. ポート：P000 ～ P007 はポート入力として使用可能。

注 2. IRQ：P000 ～ P002 および P004 ～ P006 は IRQ 端子として使用可能。

注 3. S/H：サンプル＆ホールド回路。

注 4. PGA-S：PGA 設定が「差動入力無効」の場合。対応する PGAVSS は、1 に設定された ASEL として設定し、AVSS0 に接続する必要があります。

注 5. PGA-D：PGA 設定が「差動入力有効」の場合。対応する PGAVSS は、ASEL として 1 に設定する必要があります。

注 6. P0nPFS：アナログ入力端子に対応したポート 0n 端子機能選択レジスタ（n = 00 ～ 07）。

注 7. 対応する ADPGADCR0 レジスタの差動入力許可ビット（ビット [11]、ビット [7]、またはビット [3]）。

注 8. 対応する ADPGACR レジスタのアンプ制御ビット（ビット [11:8]、ビット [7:4]、またはビット [3:0]）。

注 9. 対応する ADSHCR レジスタのバイパス選択ビット（ビット [10]、ビット [9]、またはビット [8]）。

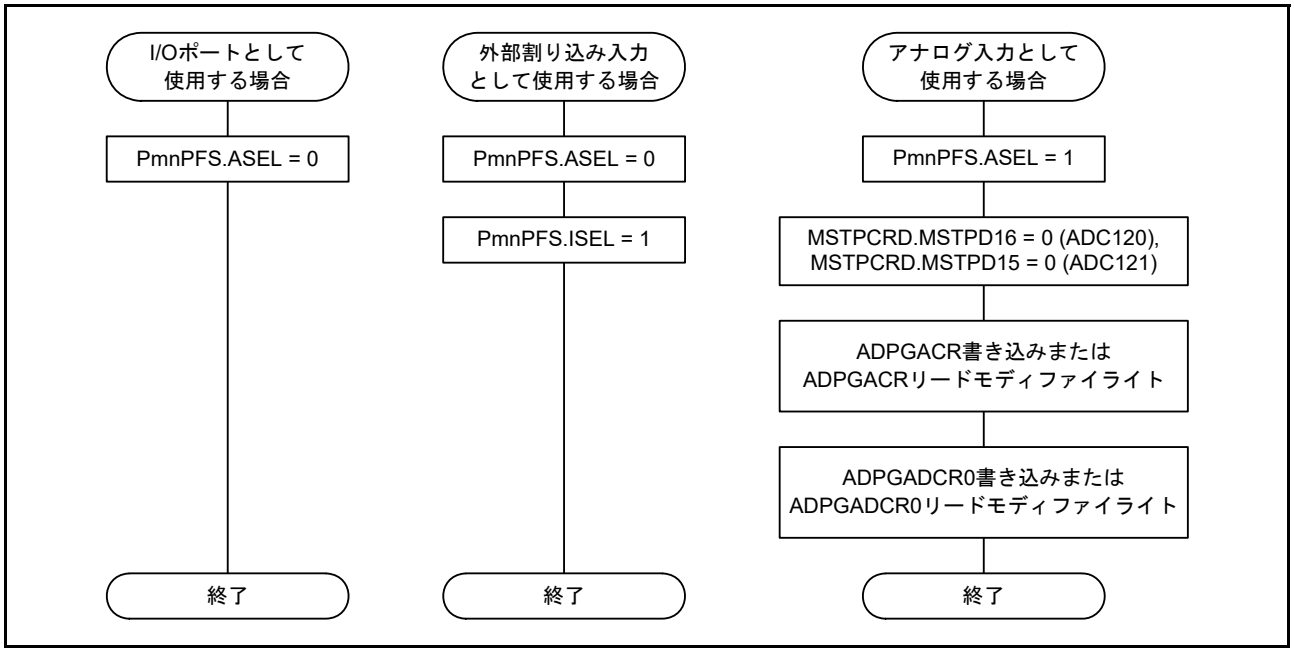


図 47.41 レジスタの設定手順

47.6.9 動作モードおよびステータスビット

自己診断の電圧値、ダブルトリガモードでの1回目または2回目のスキャンの判定、データバッファポインタ、コンペア機能のステータスモニタについては、それぞれ必要に応じて初期化または再設定を行ってください。

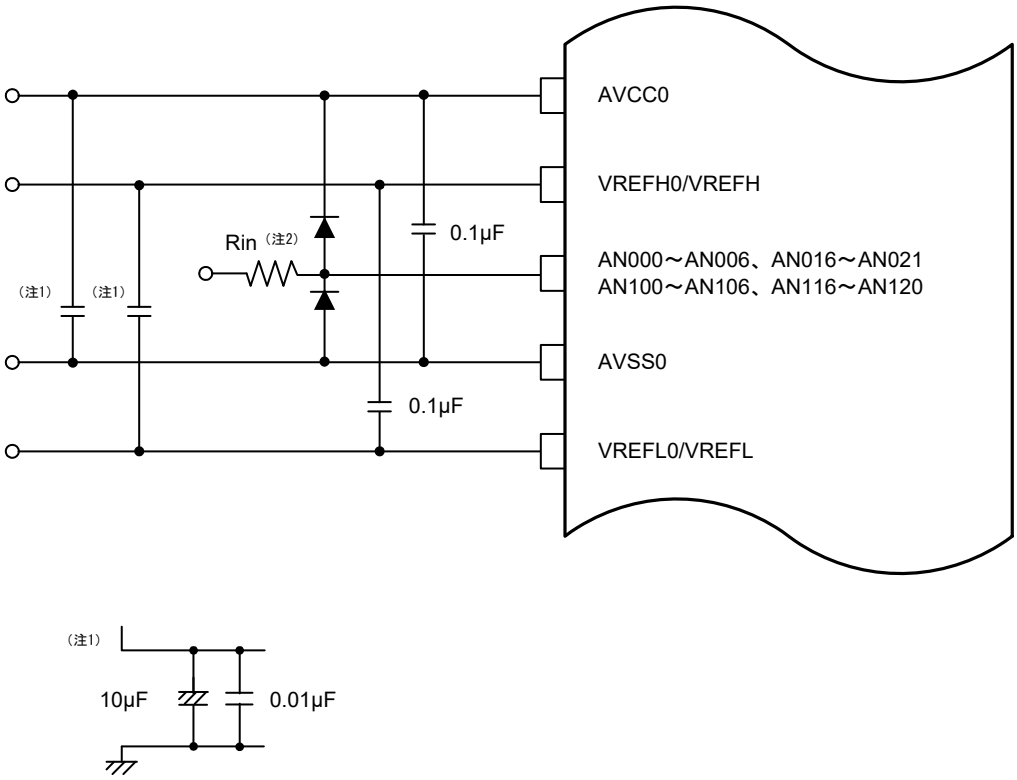
- 自己診断の電圧値（ADCER.DIAGVAL[1:0]）は、ADCER.DIAGLDを1に設定してから選択してください。
- ダブルトリガモードは、ADCSR.DBLEを0から1にした後、1回目のスキャンとして動作します。
- コンペア機能のステータスモニタビット（MONCMPA、MONCMPB、およびMONCOMB）は、ADCMPCR.CMPAEおよびADCMPCR.CMPBEビットを0にした後、初期化されます。
- 常時サンプリング機能（ADSHMSR.SHMD = 1）は、ADSHMSR.SHMDを0にした後、初期化されます。常時サンプリング機能を再び使用する場合（ADSHMSR.SHMDを1にする）、ADCLKで1サイクル以上待機する必要があります。

47.6.10 ボード設計に関する注意事項

デジタル回路とアナログ回路はできるだけ近づけないように、ボードを設計する必要があります。さらに、デジタル回路の信号線とアナログ回路の信号線は交差させたり、互いに近づけて配置しないでください。アナログ信号上でノイズが発生し、A/D変換の精度に影響を与えます。アナログ入力端子（AN000～AN006、AN016～AN021、AN100～AN106、AN116～AN120）、基準電源端子（VREFH0/VREFH）、基準グランド端子（VREFL0/VREFL）、およびアナログ電源（AVCC0）は、アナロググランド（AVSS0）を使用してデジタル回路からは切り離す必要があります。アナロググランド（AVSS0）はボード上で安定したデジタルグランド（VSS）に接続してください（グランドプレーン1点接続）。

47.6.11 ノイズ軽減

過剰電圧などの異常電圧によってアナログ入力端子（AN000 ～ AN006、AN016 ～ AN021、AN100 ～ AN106、および AN116 ～ AN120）が破壊されないようにするため、AVCC0 と AVSS0 間、VREFH0 と VREFL0 間、および VREFH と VREFL 間にコンデンサを設置してください。また、アナログ入力端子（AN000 ～ AN006、AN016 ～ AN021、AN100 ～ AN106、および AN116 ～ AN120）を保護するため、図 47.42 に示すように保護回路を接続してください。



注 1. ここに示す値は基準値です。
注 2. Rin：信号源インピーダンス

図 47.42 アナログ入力用保護回路例

47.6.12 12 ビット A/D コンバータ入力を使用する場合のポートの設定

高精度チャネルを使用する場合は、ポート 0 をデジタル出力ポートとして使用しないでください。また、通常精度チャネルを使用する場合は、A/D アナログ入力機能としても使用するデジタル出力を使用しないことを推奨します。A/D アナログ入力機能としても使用するデジタル出力を使用する場合は、A/D 変換を複数回実行し、最大値と最小値を除いた平均をとるなどの対策を行ってください。

47.6.13 A/D コンバータと ACMPHS の関係

表 47.14 に示す A/D 変換対象の場合、ユニット 0 およびユニット 1 は同時に A/D 変換を行うことができません。

表 47.14 相互排他的関係にあるA/D変換対象

A/D変換対象	
ユニット0	ユニット1
温度センサ	
内部基準電圧	
AN005/DA0	AN105/DA0
AN006/DA1	AN106/DA1

表 47.15 に示す A/D 変換対象は、A/D 変換中に ACMPHS 入力として選択することができません。これらの端子は ADC12 と ACMPHS との兼用端子であるためです。

表 47.15 A/D変換中に選択できないACMPHS端子一覧

A/D変換対象		
ユニット0	ユニット1	ACMPHS
AN000	-	ACMPHS0.IVCMP2
AN001	-	ACMPHS1.IVCMP2
AN002	-	ACMPHS2.IVCMP2
PGA P000出力	-	ACMPHS0.IVCMP3
PGA P001出力	-	ACMPHS1.IVCMP3
PGA P002出力	-	ACMPHS2.IVCMP3
AN005/DA0	-	ACMPHS0～ACMPHS5.IVREF3
AN006/DA1	-	ACMPHS0～ACMPHS5.IVCMP1
AN016	-	ACMPHS0～ACMPHS5.IVREF0
AN017	-	ACMPHS0～ACMPHS5.IVCMP0
内部基準電圧	-	ACMPHS0～ACMPHS5.IVREF2
-	AN100	ACMPHS3.IVCMP2
-	AN101	ACMPHS4.IVCMP2
-	AN102	ACMPHS5.IVCMP2
-	PGA P000出力	ACMPHS3.IVCMP3
-	PGA P001出力	ACMPHS4.IVCMP3
-	PGA P002出力	ACMPHS5.IVCMP3
-	AN105/DA0	ACMPHS0～ACMPHS5.IVREF3
-	AN106/DA1	ACMPHS0～ACMPHS5.IVCMP1
-	AN116	ACMPHS0～ACMPHS5.IVREF1
-	内部基準電圧	ACMPHS0～ACMPHS5.IVREF2

48. 12 ビット D/A コンバータ（DAC12）

48.1 概要

本 MCU は、出力アンプ付きの 12 ビット D/A コンバータ（DAC12）を内蔵しています。表 48.1 に DAC12 の仕様を、図 48.1 にそのブロック図を、表 48.2 に入出力端子を示します。

表 48.1 12ビットD/Aコンバータの仕様

項目	内容
分解能	12ビット
出力チャネル	2チャネル
アナログモジュール間の干渉低減	D/A変換回路とA/D変換回路の干渉を低減します。 D/A変換データ更新タイミングは、ADC12（ユニット1）からの同期D/A変換許可入力信号により制御され、これにより、DAC12ラッシュカレントのA/D変換精度に及ぼす影響を低減します。
モジュールストップ機能	モジュールストップ状態を設定して消費電力を削減可能
イベントリンク機能（入力）	イベント信号の入力により、DA0およびDA1変換の開始が可能
D/A出力アンプ制御機能	出力アンプ（アンプスルー制御およびアンプバイアス制御）の使用／不使用を制御

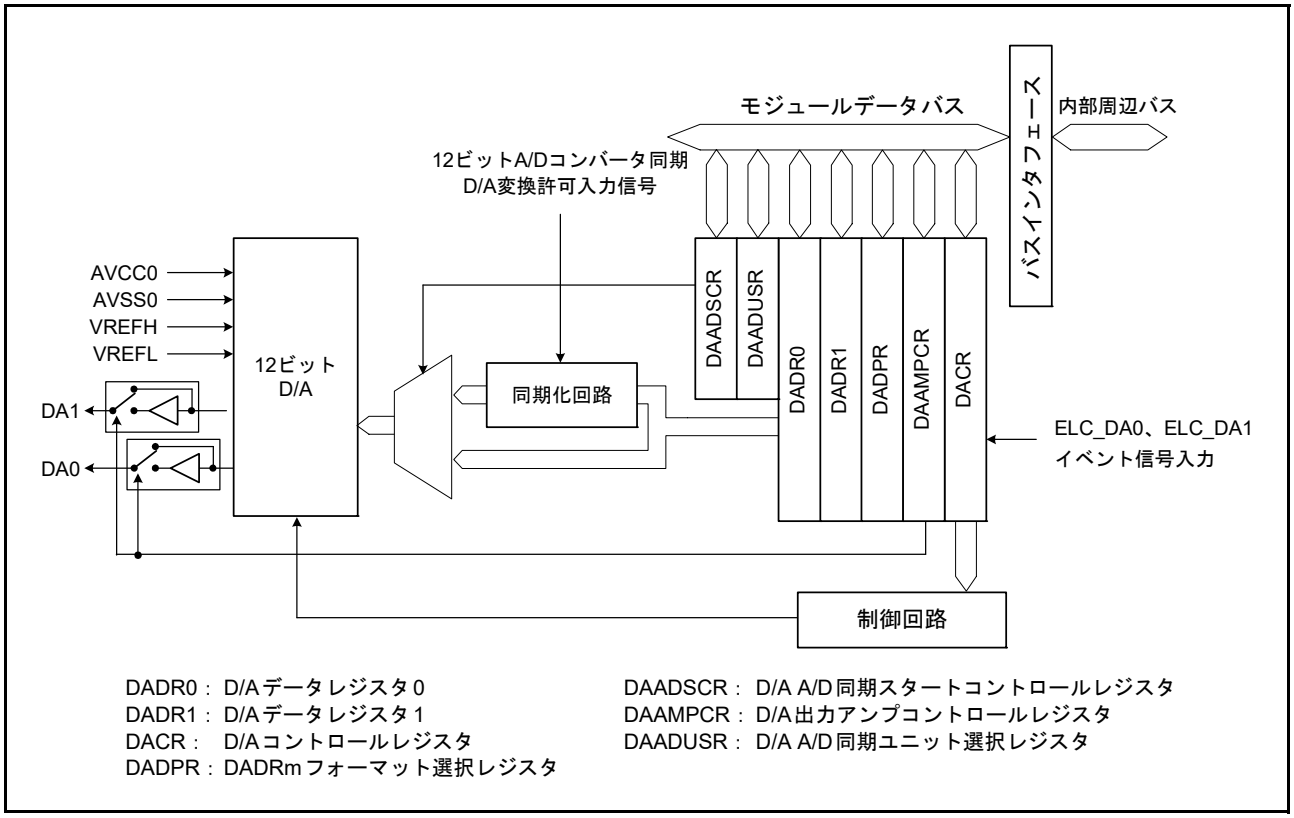


図 48.1 DAC12 のブロック図

表 48.2 に DAC12 の入出力端子を示します。

表 48.2 DAC12の入出力端子

端子名	入出力	機能
AVCC0	入力	• ADC12、DAC12、およびコンパレータ用のアナログ電源端子 • これらのモジュールを使用しない場合は、VCCに接続してください
AVSS0	入力	• ADC12、DAC12、およびコンパレータ用のアナロググランド端子 • これらのモジュールを使用しない場合は、VSSに接続してください
VREFH	入力	ADC12（ユニット1）とDAC12のアナログ基準電源端子
VREFL	入力	ADC12（ユニット1）とDAC12のアナログ基準グランド端子
DA0	出力	チャネル0のアナログ出力端子
DA1	出力	チャネル1のアナログ出力端子

48.2 レジスタの説明

48.2.1 D/A データレジスタ m（DADRm）（m = 0, 1）

アドレス DAC12.DADR0 4005 E000h, DAC12.DADR1 4005 E002h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DADRm レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し／書き込みレジスタです。アナログ出力を許可すると、DADRm レジスタの値が変換されアナログ出力端子に出力されます。

12 ビットデータを左詰めにするか右詰めにするかは、DADPR.DPSEL ビットで設定できます。右詰め形式（DADPR.DPSEL = 0）では、下位 12 ビット（[11:0]）が有効です。左詰め形式（DADPR.DPSEL = 1）では、上位 12 ビット（[15:4]）が有効です。

出力アンプの使用方法については、48.6.5 出力アンプ使用時の制限を参照してください。

48.2.2 D/A コントロールレジスタ（DACR）

アドレス DAC12.DACR 4005 E004h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAOE1	DAOE0	DAE	—	—	—	—	—
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと1が読めます。書く場合、1としてください。	R/W
b5	DAE	D/A許可（注1）	0：チャネル0とチャネル1のD/A変換を個別制御 1：チャネル0とチャネル1のD/A変換を一括制御	R/W
b6	DAOE0	D/A出力許可0	0：チャネル0のアナログ出力（DA0）を禁止 1：チャネル0のD/A変換（DA0）を許可	R/W
b7	DAOE1	D/A出力許可1	0：チャネル1のアナログ出力（DA1）を禁止 1：チャネル1のD/A変換（DA1）を許可	R/W

注 1. 変換結果の出力を制御する DAOEi ビット（i = 0, 1）との組み合わせで D/A 変換を制御します。詳細は、表 48.3 を参照してください。

表 48.3 D/A 変換の制御

b5	b7	b6	
DAE	DAOE1	DAOE0	機能
0	0	0	D/A変換とアナログ出力（DA0、DA1）（注1）を禁止
		1	• チャネル0のD/A変換を許可、チャネル1のD/A変換を禁止 • チャネル0のアナログ出力（DA0）を許可、チャネル1のアナログ出力（DA1）（注1）を禁止
	1	0	• チャネル0のD/A変換を禁止、チャネル1のD/A変換を許可 • チャネル0のアナログ出力（DA0）（注1）を禁止、チャネル1のアナログ出力（DA1）を許可
		1	• チャネル0とチャネル1のD/A変換を許可 • チャネル0とチャネル1のアナログ出力（DA0、DA1）を許可
1	x	x	• チャネル0とチャネル1のD/A変換を許可 • チャネル0とチャネル1のアナログ出力（DA0、DA1）を一括して許可

x：Don’t care

注 1. アナログ出力禁止時、アナログ出力信号は Hi-Z 状態になります。

DACR レジスタは、DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の状態で、ADC12 が停止中の場合のみ設定してください。DACR を設定するときは、ADC12 トリガで ADC12 を確実に停止させるために、ADCSR.ADST ビットが 0、かつソフトウェアトリガを選択した状態でのみ行ってください。本 MCU でサポートされる ADC12 はユニット 1 のみです。

DAE ビット（D/A 許可）

DAE ビット、DAOEi ビット（i = 0, 1）および DAMMPCR.DAAMPi ビット（i = 0, 1）の組み合わせで、D/A 変換、アンプ動作、およびアナログ出力を制御します。表 48.4 を参照してください。

D/A 変換と A/D 変換の干渉低減が有効（DAADSCR.DAADST = 1）のときは、ADC12（ユニット 1）の ADCSR.ADST ビットを 0 にしてください。このとき、ADC12（ユニット 1）を確実に停止させるため、ADC12（ユニット 1）のトリガ選択をソフトウェアトリガに設定してください。

DAOEi ビット（D/A 出力許可 i）

DAE ビットおよび DAAMPCR.DAAMPi ビット（i = 0, 1）の組み合わせで、D/A 変換、アンプ動作、およびアナログ出力を制御します。表 48.4 を参照してください。

DAOEi ビット（i = 0, 1）が 0 で DAE ビットも 0 のとき、チャネル i（i = 0, 1）の D/A 変換は行われず、変換結果も出力されません。

D/A 変換と A/D 変換の干渉低減が有効（DAADSCR.DAADST = 1）のときは、ADC12（ユニット 1）の ADCSR.ADST ビットが 0 の状態で DAOEi ビットを設定してください。このとき、ADC12（ユニット 1）を確実に停止させるため、ADC12（ユニット 1）のトリガ選択をソフトウェアトリガに設定してください。

イベントリンク機能を使用して、DAOEi ビットを 1 にできます。ELC の ELSR12 レジスタで設定されたイベント（ELC_DA0 イベント）が発生すると、DAOE0 ビットが 1 になり、D/A 変換結果の出力を開始します。ELC の ELSR13 レジスタで設定されたイベント（ELC_DA1 イベント）が発生すると、DAOE1 ビットが 1 になり、D/A 変換結果の出力を開始します。

表 48.4　D/A変換とアナログ出力制御

DACR		DAAMPCR	チャネルiの動作	チャネルi アンプ動作	チャネルi アナログ出力
DAE	DAOEi	DAAMPi			
0	0	0	停止	停止	Hi-Z
		1	停止	停止	Hi-Z
	1	0	動作	停止	アンプスルー
		1	動作	動作	アンプ出力
1	0	0	動作	停止	アンプスルー
		1	動作	動作	アンプ出力
	1	0	動作	停止	アンプスルー
		1	動作	動作	アンプ出力

i = 0, 1

48.2.3　DADRm フォーマット選択レジスタ（DADPR）

アドレス　DAC12.DADPR 4005 E005h

	b7	b6	b5	b4	b3	b2	b1	b0
	DPSEL	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DPSEL	DADRmフォーマット選択	0：右詰め 1：左詰め	R/W

48.2.4 D/A A/D 同期スタートコントロールレジスタ（DAADSCR）

アドレス DAC12.DAADSCR 4005 E006h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAADST	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	DAADST	D/A A/D同期変換	0：DAC12の動作はADC12（ユニット1）の動作と同期しない（D/A変換とA/D変換の干渉低減が無効） 1：DAC12の動作はADC12（ユニット1）の動作と同期する（D/A変換とA/D変換の干渉低減が有効）	R/W

DAADSCR レジスタは、D/A 変換と A/D 変換の干渉低減のため、D/A 変換開始を ADC12 トリガからの同期 D/A 変換許可入力信号に同期させるかさせないかを選択します。

このレジスタの設定は、ADC12（ユニット 1）が停止中のとき（ADC12（ユニット 1）のトリガ選択をソフトウェアトリガにした後、ADCSR.ADST ビットが 0 のとき）のみ行ってください。

DAADST ビットを 1 にする前に、ADC12 の対象ユニットをユニット 1 に設定してください。

DAADUSR レジスタの b1 を 1 にして、ユニット 1 を選択してください。本 MCU でサポートされる ADC12 はユニット 1 のみです。

DAADST ビット（D/A A/D 同期変換）

DAADST ビットを 0 にすると、DADRm レジスタの値を随時 D/A 変換します。DAADST ビットを 1 にすると、D/A 変換は ADC12（ユニット 1）からの同期 D/A 変換許可入力信号と同期します。このビットを設定した場合、DADRm レジスタの値を書き換えても、ADC12（ユニット 1）の A/D 変換が終了するまで D/A 変換は行われません。

DAADST ビットの設定は、ADCSR.ADST ビットが 0 のときに行ってください。このとき、ADC12（ユニット 1）を確実に停止させるため、ADC12（ユニット 1）のトリガ選択をソフトウェアトリガに設定してください。また、DAADST ビットを 1 にする前に、DAADUSR レジスタの b1 を 1 にしてください。

なお、DAADST ビットを 1 にした場合は、イベントリンク機能は使用できません。ELC の ELSR12 および ELSR13 レジスタでイベントリンク機能を停止に設定してください。DAADST ビットの設定は、DAC12 のチャネル 0 およびチャネル 1 に共通です。

48.2.5 D/A 出力アンプコントロールレジスタ（DAAMPCR）

アドレス DAC12.DAAMPCR 4005 E008h

	b7	b6	b5	b4	b3	b2	b1	b0
	DAAMP1	DAAMP0	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b6	DAAMP0	アンプ制御0	0：チャネル0の出力アンプを使用しない 1：チャネル0の出力アンプを使用する	R/W
b7	DAAMP1	アンプ制御1	0：チャネル1の出力アンプを使用しない 1：チャネル1の出力アンプを使用する	R/W

DAAMPCR レジスタは、D/A 出力に対してアンプを使用するか、使用せずにスルー出力するかを選択します。

DAAMP0 ビット（アンプ制御 0）

DAAMP0 ビットを 0 にすると、チャネル 0 の D/A 出力に対してアンプを介さずにアナログ値を出力します。DAAMP0 ビットを 1 にすると、チャネル 0 の D/A 出力に対してアンプを介してアナログ値を出力します。

なお、DAE ビットと DAOE0 ビットの両方が 0 の状態では、DAAMP0 ビットの設定にかかわらずアンプは停止します。詳細は表 48.4 を参照してください。

DAAMP1 ビット（アンプ制御 1）

DAAMP1 ビットを 0 にすると、チャネル 1 の D/A 出力に対してアンプを介さずにアナログ値を出力します。DAAMP1 ビットを 1 にすると、チャネル 1 の D/A 出力に対してアンプを介してアナログ値を出力します。

なお、DAE ビットと DAOE1 ビットの両方が 0 の状態では、DAAMP1 ビットの設定にかかわらずアンプは停止します。詳細は表 48.4 を参照してください。

48.2.6 D/A A/D 同期ユニット選択レジスタ（DAADUSR）

アドレス DAC12.DAADUSR 4005 F0C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	AMADSEL1	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b1	AMADSEL1	A/Dユニット1選択	0：ユニット1を選択しない 1：ユニット1を選択する	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

DDAADUSR レジスタは、D/A A/D 同期変換する ADC12 の対象ユニットを選択するレジスタです。MCU で b1 を 1 にして、ユニット 1 を同期対象ユニットとして選択してください。DAADSCR.DAADST ビットを 1 にして同期変換する場合は、事前に本レジスタで対象ユニットを選択してください。

DAADUSR レジスタの設定は、ADC12 の ADCSR.ADST ビットが 0 かつ DAADSCR.DAADST ビットが 0 のときのみ行ってください。

48.3 動作説明

DAC12 には 2 チャネルの D/A 変換回路があり、それぞれ独立して変換を行うことができます。DACR.DAOEn ビット（n = 0, 1）を 1 にすると、DAC12 が有効になり、変換結果が出力されます。

以下にチャネル 0 での D/A 変換例を示します。このときの動作タイミングを図 48.2 に示します。

チャネル 0 で D/A 変換を実行する場合の手順は以下のとおりです。

1. DADR0 レジスタに D/A 変換を行うためのデータ、DADPR.DPSEL ビットにデータフォーマットを設定します。
2. DACR.DAOE0 ビットを 1 にすると、D/A 変換を開始します。tDCONV 時間経過後、変換結果をアナログ出力端子 DA0 より出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを 0 にするまで、この変換結果が出力され続けます。出力値は以下の式で計算します。

$$\frac{\text{DADRmの設定値}}{4096} \times \text{VREFH}$$

3. 別の変換を開始するには、別の値を DADR0 へ書き込みます。tDCONV 時間経過後、変換結果が出力されます。
   DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の場合、D/A 変換開始まで最大で A/D 変換 1 回分の時間が必要です。ADCLK が周辺クロックよりも速い場合は、さらに時間が必要となる場合があります。
4. アナログ出力を禁止する場合は、DAOE0 ビットを 0 にしてください。

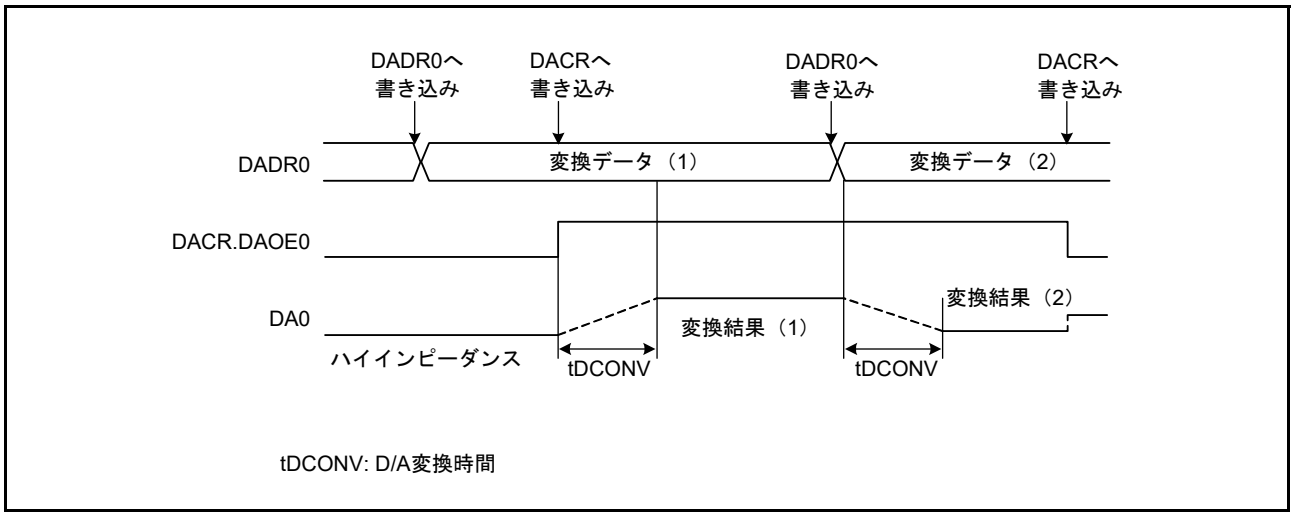


図 48.2 DAC12 の動作例

48.3.1 D/A 変換と A/D 変換の干渉の最小化

D/A 変換が始まると DAC12 はラッシュカレントを発生させます。DAC12 と ADC12（ユニット 1）のアナログ電源が共通のため、発生したラッシュカレントが ADC12（ユニット 1）変換に干渉することがあります。

DAADSCR.DAADST ビットが 1 の場合、DADRm レジスタが更新されても、D/A 変換はすぐには実施されません。その代わり、

- ADC12（ユニット 1）が停止中に DADRm レジスタのデータが変更されると、1PCLKB サイクル後に D/A 変換が開始されます
- ADC12（ユニット 1）が 12 ビット A/D 変換実行中に DADRm レジスタが変更された場合、A/D 変換完了時に D/A 変換が開始されます。したがって、DADRm レジスタデータの更新が D/A 変換回路の出力に反映されるまで、最大で A/D 変換 1 回分の間の時間が必要です。D/A 変換が完了するまでの間、DADRm レジスタ値とアナログ出力値は一致しません。

DAADSCR.DAADST ビットが 1 のときに、DADRm レジスタの値が D/A 変換されたかどうかをソフトウェアで確認する手段はありません

以下に、DAC12 を ADC12（ユニット 1）に同期させる場合のチャネル 0 の D/A 変換例を示します。このときの動作タイミングを図 48.3 に示します。

チャネル 0 の D/A 変換を ADC12（ユニット 1）に同期して動作させる場合は、以下の手順で行ってください。

1. ADC12（ユニット 1）が停止中であることを確認する。DAADUSR.AMADSEL1 ビットを 1 にする。
2. ADC12（ユニット 1）が停止中であることを確認する。DAADSCR.DAADST ビットを 1 にする。
3. ADC12（ユニット 1）が停止中であることを確認する。DACR.DAOE0 ビットを 1 にする。
4. DADR0 レジスタを設定する。ADCLK が周辺クロックよりも速い場合は、D/A 変換は、A/D 変換 1 回分以上待たされる場合があります。
   - DADR0 レジスタを書き換えたとき、ADC12（ユニット 1）が停止していた場合（ADCSR.ADST ビット = 0）、1PCLKB サイクル後に D/A 変換が開始されます
   - DADR0 レジスタを書き換えたとき、12 ビット A/D 変換中の場合（ADCSR.ADST ビット = 1）、A/D 変換終了時に D/A 変換が開始されます。A/D 変換中に 2 回、DADR0 レジスタを書き換えた場合、1 回目の値は、D/A 変換されないことがあります

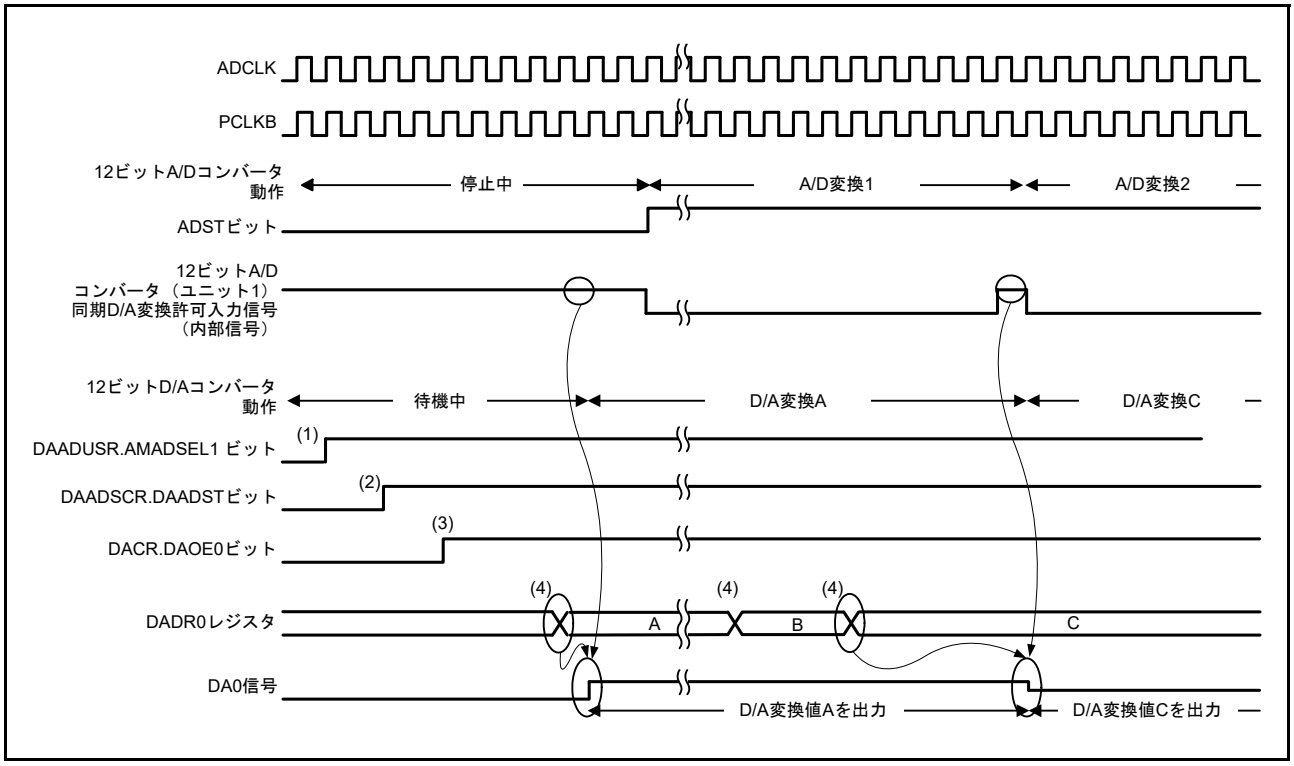


図 48.3　　DAC12 を ADC12 に同期して変換する例

図 48.4 に示すように、ADCLK が PCLKB よりも速い場合、A/D 変換 1 と A/D 変換 2 の間に出力される ADCLK 1 サイクル分の ADC12 からの同期 D/A 変換許可入力信号を DAC12 が取り込めない可能性があります。この場合、DA0 信号は D/A 変換値 A の出力を継続します。

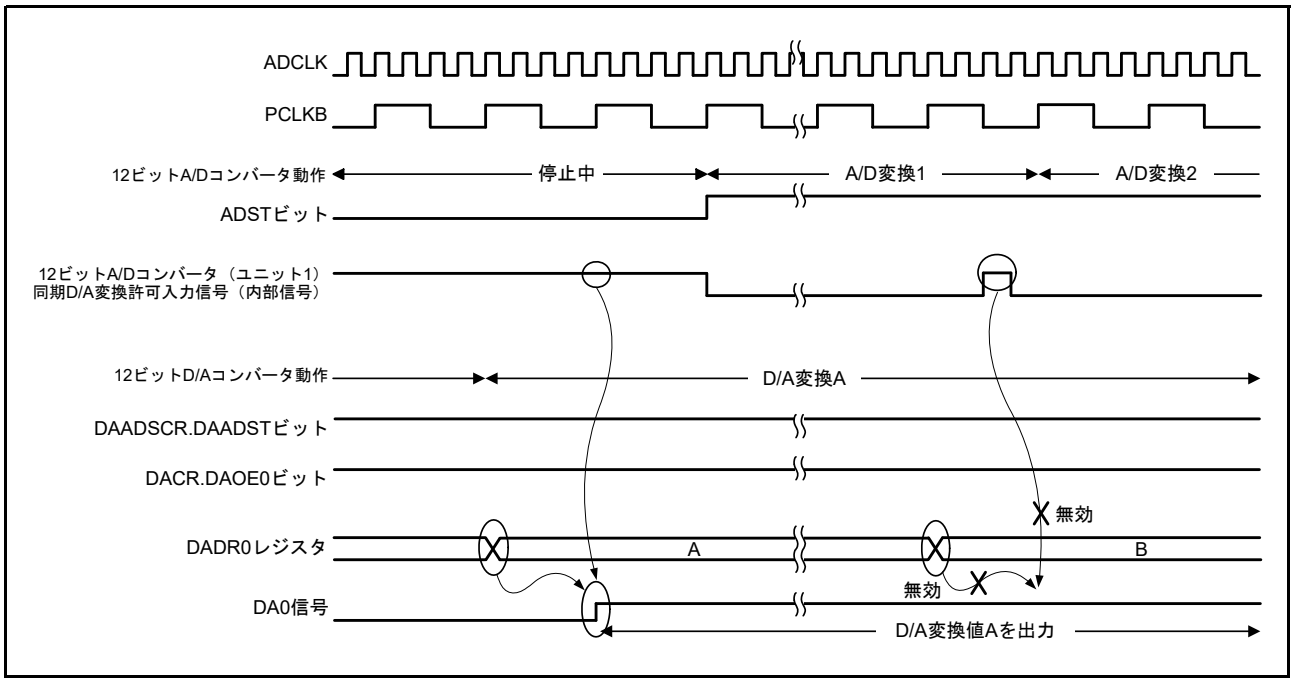


図 48.4　　DAC12 が ADC12（ユニット 1）からの同期 D/A 変換許可入力信号を取り込めない場合の例

48.4 イベントリンクの動作設定手順

以下にイベントリンク動作手順を示します。

48.4.1 DA0 イベントリンクの動作設定手順

DA0 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA0 イベント信号が ELSR12 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE0 ビットが 1 になり、チャネル 0 の D/A 変換が開始されます。
5. DAC12 のチャネル 0 のイベントリンク動作を停止するときは、ELSR12.ELS[8:0] ビットを 000h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

48.4.2 DA1 イベントリンクの動作設定手順

DA1 イベントリンクの動作を設定する場合は、以下の手順で行います。

1. DADPR.DPSEL ビットを設定し、DADR1 レジスタに D/A 変換を行うためのデータを設定します。
2. ELC_DA1 イベント信号が ELSR13 レジスタの各周辺モジュールとリンクするよう設定します。
3. ELCR.ELCON ビットを 1 にします。これによりイベントリンク機能が設定されている全モジュールのイベントリンク動作が有効となります。
4. イベント出力元のモジュールを設定し、イベントリンクを起動します。モジュールからイベントが出力されると、DACR.DAOE1 ビットが 1 になり、チャネル 1 の D/A 変換が開始されます。
5. DAC12 のチャネル 1 のイベントリンク動作を停止するときは、ELSR13.ELS[8:0] ビットを 000h にしてください。また ELCR.ELCON ビットを 0 にすることにより、全モジュールのイベントリンク動作が停止します。

48.5 イベントリンク動作における注意事項

- イベントリンク機能を使用する場合、アンプ出力機能を使用しないでください
- イベントリンク機能を使用する場合、DACR.DAE ビットは 0 にしてください
- DACR.DAOE0ビットへの書き込み実行中にELC_DA0イベント信号で指定されたイベントが発生すると、書き込みサイクルは停止し、発生イベントのビットが優先的に 1 になります
- DACR.DAOE1 ビットへの書き込みサイクル中に ELC_DA1 イベント信号で設定されたイベントが発生すると、DACR.DAOE1 ビットへの書き込みサイクルは停止し、イベント発生が優先的にビットを 1 にします
- D/A変換とA/D変換の干渉低減のためDAADSCR.DAADST ビットを1にしている場合､イベントリンク機能は使用禁止です

48.6 使用上の注意事項

48.6.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタによって、DAC12 の動作を許可／禁止することが可能です。DAC12 は、リセット後は動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

48.6.2 モジュールストップ時の DAC12 の動作

D/A 変換を許可した状態で MCU がモジュールストップ状態になると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1、DAOE0、および DAE ビットをすべて 0 にして D/A 変換を禁止してください。

48.6.3 ソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で MCU がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同様になります。ソフトウェアスタンバイモード時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE1、DAOE0、および DAE ビットをすべて 0 にして D/A 変換を禁止してください。

48.6.4 ディープソフトウェアスタンバイモード時の DAC12 の動作

D/A 変換を許可した状態で本 MCU がディープソフトウェアスタンバイモードに遷移すると、D/A の出力はハイインピーダンスとなります。

48.6.5 出力アンプ使用時の制限

出力アンプを使用する場合は、以下に示す初期化手順を行ってください。ここではチャネル 0 を例に説明します。

1. DADR0 レジスタに 000h を書き込みます。
2. DAAMPCR.DAAMP0 ビットを 1 にします。
3. DACR.DAE ビットまたは DACR.DAOE0 ビットを 1 にして、アンプを起動します。
4. 3μs 待ってから、変換する値を DADR0 レジスタに書き込みます。

なお、アンプが動作している状態で、DACR.DAE ビットと DACR.DAOE0 ビットを 0 にすると、アンプは停止状態になります。再びアンプを使用する場合には、手順 1 ～ 4 を再度行ってください。

48.6.6 D/A 変換と A/D 変換の干渉低減有効時の制限

DAADSCR.DAADST ビットが 1（D/A 変換と A/D 変換の干渉低減が有効）の場合、ADC12 をモジュールストップ状態にしないでください。A/D 変換が停止するだけでなく、D/A 変換も停止する可能性があります。

49. 温度センサ（TSN）

49.1 概要

デバイス動作の信頼性確保のため、内蔵されている温度センサでチップの温度を決定し、監視することができます。センサはチップの温度と正比例する電圧を出力します。チップ温度と出力電圧はほとんどリニアの関係にあります。出力された電圧は ADC12 で変換されてから、末端の応用機器で使用できます。表 49.1 に温度センサの仕様を、図 49.1 にブロック図を示します。

表 49.1 温度センサの仕様

項目	内容
温度センサ電圧出力	12ビットA/Dコンバータ（ADC12）に電圧を出力
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

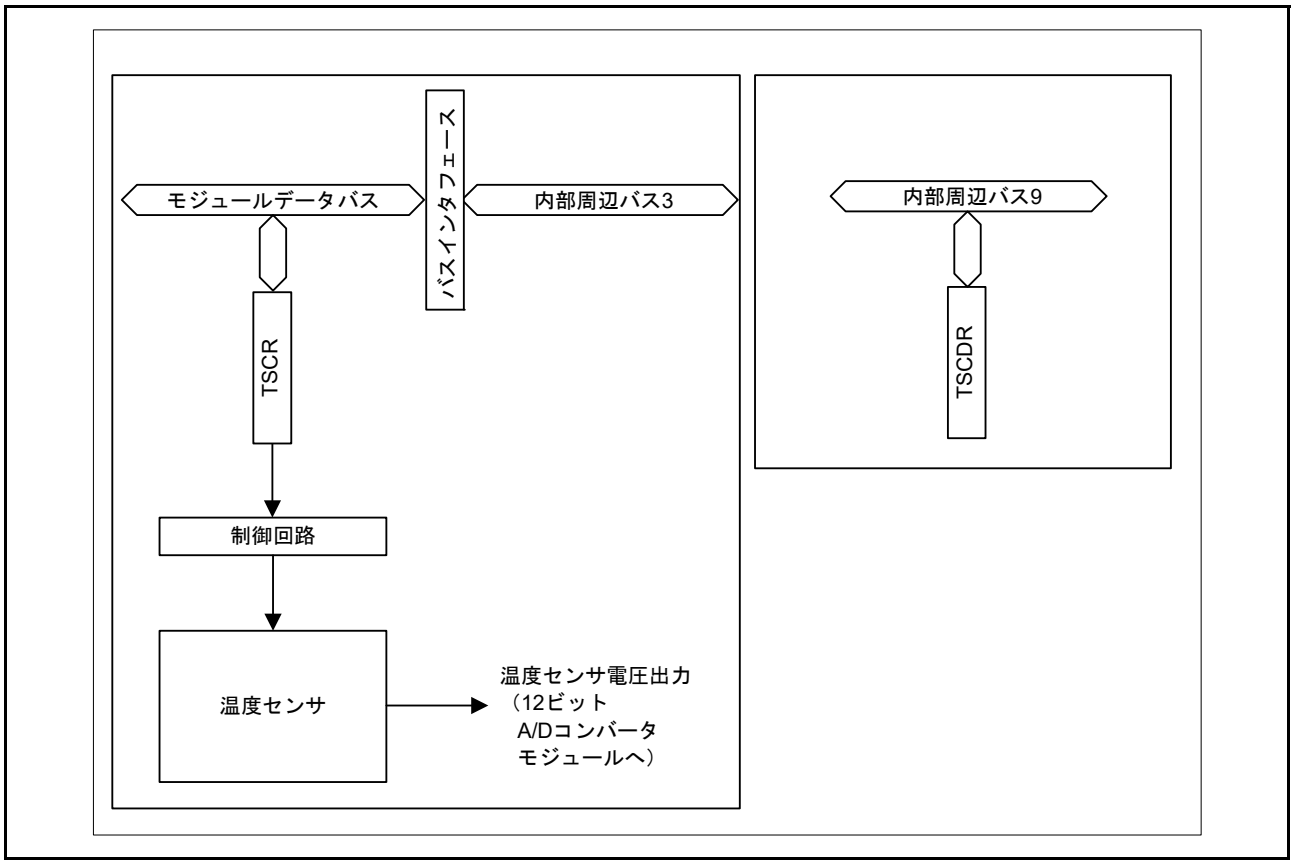


図 49.1 温度センサのブロック図

49.2 レジスタの説明

49.2.1 温度センサコントロールレジスタ（TSCR）

アドレス TSN.TSCR 4005 D000h

	b7	b6	b5	b4	b3	b2	b1	b0
	TSEN	—	—	TSOE	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	TSOE	温度センサ出力許可	0：温度センサからADC12への出力を禁止 1：温度センサからADC12への出力を許可	R/W
b6-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	TSEN	温度センサ許可	0：温度センサが停止 1：温度センサが動作	R/W

図 49.3 に示すタイミング制約は、TSCR レジスタ設定に適用されます。

49.3 温度センサの使用方法

温度センサが出力する電圧は、温度により変化します。この電圧は ADC12 でデジタル値に変換されます。デジタル値を温度に換算することで、チップの温度を求めることができます。

49.3.1 使用前の準備

温度（T）はセンサの電圧出力（Vs）と比例関係にあるため、以下の式で温度を求められます。

T = (Vs - V1)/Slope + T1

T：測定温度（℃）

Vs：温度測定時の温度センサの出力電圧（V）

T1：1 点目の試行測定時の温度（℃）

V1：T1 測定時の温度センサの出力電圧（V）

T2：2 点目の試行測定時の温度（℃）

V2：T2 測定時の温度センサの出力電圧（V）

Slope：温度センサの温度傾斜（V/ ℃）Slope = (V2 - V1)/(T2 - T1)

温度特性はセンサによってばらつきがあります。そのため、以下のような 2 つの異なるサンプル温度の測定を推奨します。

1. ADC12 を使用して、温度 T1 のときの温度センサの出力電圧 V1 を測定します。
2. ADC12 を使用して、温度 T1 と異なる温度 T2 のときの温度センサの出力電圧 V2 を測定します。両者の測定結果から、温度傾斜（Slope = (V2 - V1)/(T2 - T1)）を求めます。
3. この slope の値を温度特性の式（T = (Vs - V1)/Slope + T1）に代入し、温度を求めます。

また、「60. 電気的特性」に記載の温度傾斜を slope として用いる場合は、1 回の試行測定で V1 と T1 を決定します。ただし、この方法では、2 点を測定する方法よりも測定温度精度が劣ります。

49.3.2 温度センサの使用手順

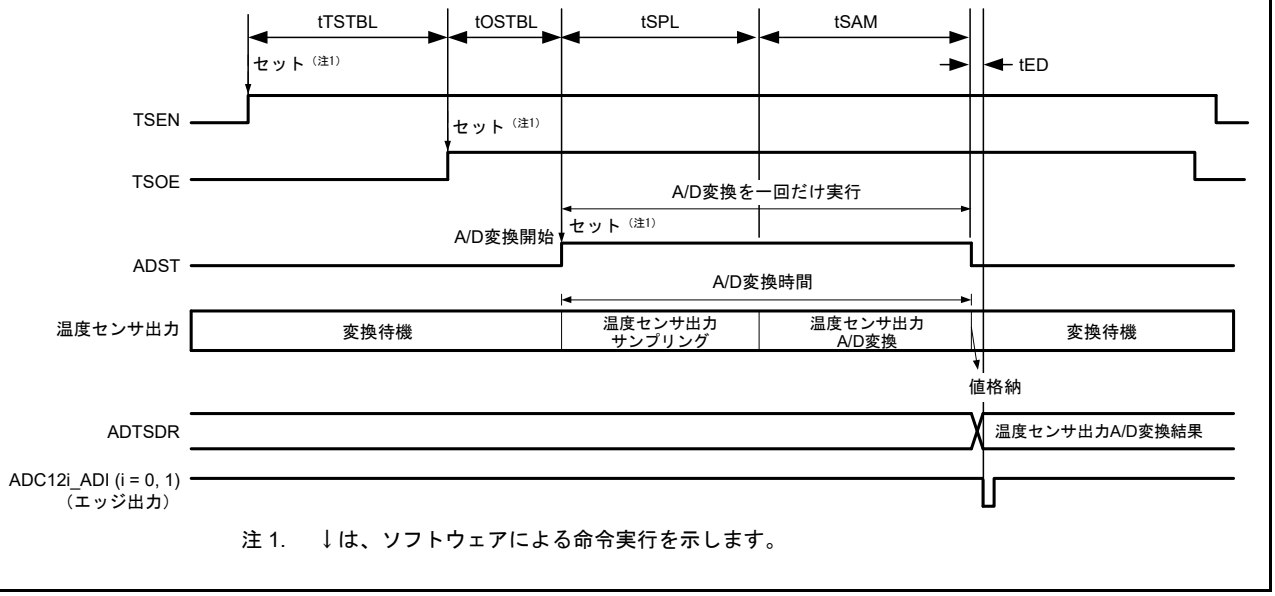
図 49.2 に温度センサの使用手順フローを示します。ADC12 の設定手順については、「47. 12 ビット A/D コンバータ（ADC12）」を参照してください。



注 1. 平均モードでは ADADC.ADC[2:0] ビットの設定値が限定されます。平均モードで可能な ADADC.ADC[2:0] の設定については、47.2.10 A/D 変換値加算／平均回数選択レジスタ（ADADC）を参照してください。
注 2. 加算／平均モードを設定しない場合は、設定不要です。
注 3. サンプリング時間は 60.7 TSN 特性に記載の値以上に設定してください。

図 49.2 温度センサの使用手順

ADC12 がシングルスキャンモードで、温度センサ出力のみを A/D 変換対象としたときの、温度センサの動作開始から A/D 変換完了までのタイミングを図 49.3 に示します。表 49.2 に図中に示す時間を説明します。



注 1. ↓は、ソフトウェアによる命令実行を示します。

図 49.3 温度センサの動作開始から A/D 変換完了までのタイミング

表 49.2 温度センサの動作開始から A/D 変換完了までの時間

項目	シンボル	時間
温度センサ基準電圧安定待ち時間	tTSTBL	30µs (min)
温度センサ出力安定待ち時間	tOSTBL	0µs (min)
ADC12 入力サンプリング時間	tSPL	ADSSTRT の設定値 × ADCLK サイクル
A/D 変換処理時間	tSAM	表 47.10 スキャン変換時間（ADCLK と PCLKB のサイクル数）を参照。
スキャン変換終了遅延	tED	

49.4 使用上の注意事項

49.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ D（MSTPCRD）の関連ビットにより、温度センサ動作の禁止／許可を設定できます。温度センサは、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

49.4.2 制限事項

温度センサの測定に、ADC12 の両方のチャネルを同時に使用することは禁止されています。

50. 高速アナログコンパレータ（ACMPHS）

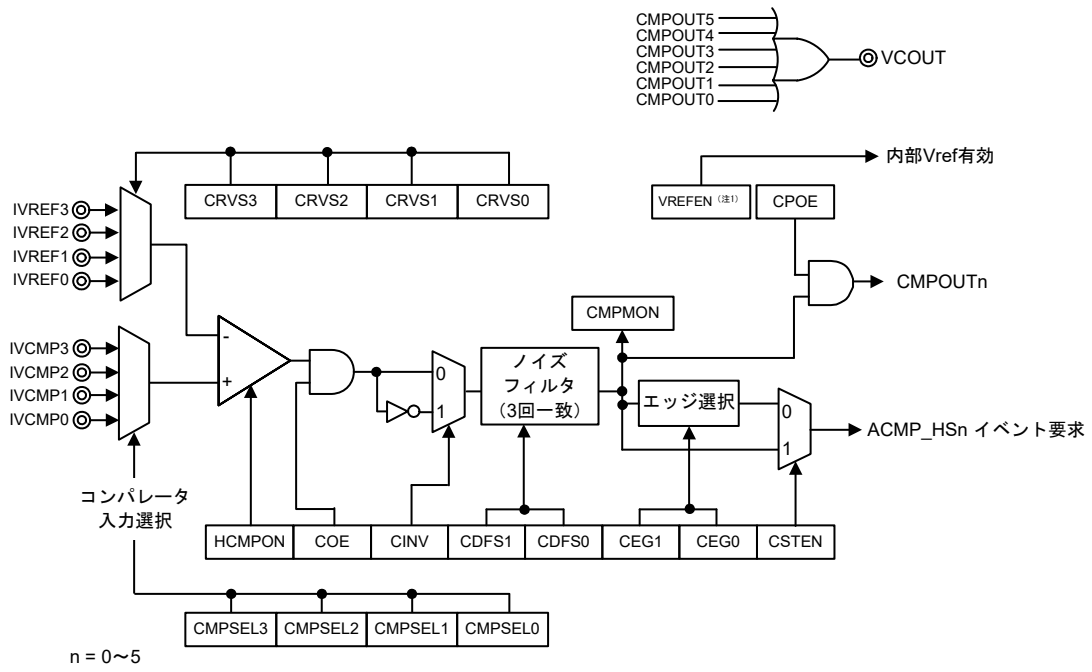
50.1 概要

高速アナログコンパレータ（ACMPHS）を使用して、テスト電圧と基準電圧を比較し、変換結果に基づいたデジタル出力を行うことができます。テスト電圧および基準電圧は、どちらも内部電源（D/A コンバータ出力および内部基準電圧）および外部電源（内部 PGA ありまたはなし）から ACMPHS に供給することができます。こうした柔軟性は、必ずしも A/D 変換を必要とはせずにアナログ信号に対して実行／中止の比較を行わなければならないようなアプリケーションに有効です。

表 50.1 に ACMPHS の仕様を、図 50.1 にブロック図を、表 50.2 に入力電源構成を示します。

表 50.1 ACMPHS0～5の仕様

項目	内容
チャネル数	6チャネル：ACMPHS0～ACMPHS5
アナログ入力電圧	• 内部PGAから出力 • 内部D/Aコンバータから出力 • 内部A/Dコンバータ入力端子（1つを選択可能）から入力
基準電圧	• 内部基準電圧（Vref） • 内部D/Aコンバータから出力 • 内部A/Dコンバータ入力端子（1つを選択可能）から入力
ACMPHS出力	• 比較結果 • ELCイベント出力の発生 • レジスタからの出力監視
割り込み要求信号	• 比較結果からの有効エッジ検出時に生成された割り込み要求 • 立ち上がりエッジ、立ち下がりエッジ、両エッジを選択可能
デジタルフィルタ機能	• 3つのサンプリング周波数のいずれかを選択可能 • フィルタ機能不使用の選択可能



n = 0～5

CMPSEL3～CMPSEL0 : CMPSEL0レジスタのビット
CRVS3～CRVS0 : CMPSEL1レジスタのビット
CPOE, VREFEN : CPIOCレジスタのビット
CMPMON : CMPMONレジスタのビット
HCMPON, COE, CINV, CDFS1, CDFS0, CEG1, CEG0, CSTEN : CMPCTLレジスタのビット

注 . VREFEN は comparator0 にのみ存在しています。

図 50.1 ACMPHS のブロック図

表 50.2 ACMPHSの入力電源構成

コンパレータ	基準電圧入力電源				アナログ電圧入力電源				出力端子
	IVREF3	IVREF2	IVREF1	IVREF0	IVCMP3	IVCMP2	IVCMP1	IVCMP0	
ACMPHS0	DA0（注1）	Vref（注2）	AN116	AN016	PGA0出力（注6）	AN000（注3）（注6）	DA1（注4）	AN017	VCOUT（注5）
ACMPHS1	DA0（注1）	Vref（注2）	AN116	AN016	PGA1出力（注6）	AN001（注3）（注6）	DA1（注4）	AN017	
ACMPHS2	DA0（注1）	Vref（注2）	AN116	AN016	PGA2出力（注6）	AN002（注3）（注6）	DA1（注4）	AN017	
ACMPHS3	DA0（注1）	Vref（注2）	AN116	AN016	PGA3出力（注6）	AN100（注3）（注6）	DA1（注4）	AN017	
ACMPHS4	DA0（注1）	Vref（注2）	AN116	AN016	PGA4出力（注6）	AN101（注3）（注6）	DA1（注4）	AN017	
ACMPHS5	DA0（注1）	Vref（注2）	AN116	AN016	PGA5出力（注6）	AN102（注3）（注6）	DA1（注4）	AN017	

注 1. D/A コンバータ 0 出力を使用しない場合、AN005/AN105 アナログ入力として信号を使用できます。
注 2. 内部電圧基準。
注 3. 入力は PGA を経由するため、対応するモジュールストップビット、MSTPCRD.MSTPD16（ユニット 0）、または MSTPCRD.MSTPD15（ユニット 1）を 0 にする必要があります。
注 4. D/A コンバータ 1 出力を使用しない場合、AN006/AN106 アナログ入力として信号を使用できます。
注 5. ACMPHS0 ～ ACMPHS5 のコンペア出力は VCOUT 端子に束ねられています。
注 6. ADC12 の設定が必要です。詳細は、47.6.8 AN000 ～ AN002 および AN100 ～ AN102 の使用可能な機能とレジスタ設定を参照してください。

50.2 レジスタの説明

50.2.1 コンパレータコントロールレジスタ（CMPCTL）

アドレス ACMPHS0.CMPCTL 4008 5000h, ACMPHS1.CMPCTL 4008 5100h, ACMPHS2.CMPCTL 4008 5200h, ACMPHS3.CMPCTL 4008 5300h, ACMPHS4.CMPCTL 4008 5400h, ACMPHS5.CMPCTL 4008 5500h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMPON	CDFS[1:0]		CEG1	CEG0	CSTEN	COE	CINV
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性選択 （注2）（注3）	0：コンパレータ出力を反転しない 1：コンパレータ出力を反転する	R/W
b1	COE	コンパレータ出力許可	0：コンパレータ出力禁止（出力信号はLow） 1：コンパレータ出力許可	R/W
b2	CSTEN	割り込み選択（注1）	0：エッジセレクタによる出力 1：直接出力	R/W
b4-b3	CEG1/ CEG0	有効エッジ選択（エッジセレクタ）	b4 b3 0 0：エッジ検出なし 0 1：立ち上がりエッジ検出 1 0：立ち下がりエッジ検出 1 1：両エッジを検出	R/W
b6-b5	CDFS[1:0]	ノイズフィルタ選択（注1）（注2） （注3）（注4）	b6 b5 0 0：ノイズフィルタを使用しない 0 1：PCLKB/2^3のノイズフィルタサンプリング周波数を使用 1 0：PCLKB/2^4のノイズフィルタサンプリング周波数を使用 1 1：PCLKB/2^5のノイズフィルタサンプリング周波数を使用	R/W
b7	HCMPON	コンパレータ動作制御（注5）	0：動作停止（コンパレータがLowの信号を出力） 1：動作許可（コンパレータ端子への入力許可）	R/W

注 1. ACMPHS 割り込みによってソフトウェアスタンバイモードまたはスヌーズモードが解除される場合、CSTEN ビットを 1、CDFS[1:0] ビットを 00b にしてください。CTSEN は ACMPHS0 のみ対応しています。ACMPHSn.CMPCTL.CTESN（n = 1 ～ 5）は 0 にしてください。

注 2. CDFS[1:0] ビット、CINV ビットを変更する前に、ACMPHS 出力を禁止（COE = 0）にしてください。

注 3. CDFS[1:0] ビットおよび CINV ビットが変更されると、ACMPHS 割り込み要求および ELC イベントが発生する場合があります。これらのビットを変更する前に、ELSRn レジスタを 0（ACMPHS 出力がリンクしていない）にしてください。ビット変更後、IELSRn レジスタの IR フラグを 0 にして割り込みステータスをクリアしてください。

注 4. CDFS[1:0] ビットを 00b（ノイズフィルタ不使用）から 00b 以外の値（ノイズフィルタ使用）に変更する場合、サンプリングを 4 回行い、フィルタ出力を更新した後、ACMPHS 割り込み要求または ELC イベントを使用してください。

注 5. ACMPHS 動作を有効（HCMPON = 1）にした後は、ACMPHS 動作を許可するために安定待機時間が必要です。ACMPHS モジュール 0 ～ 5 の動作安定待機時間は 300ns です。

CMPCTL レジスタは、ACMPHS 動作の制御、ACMPHS 出力の許可／禁止、ノイズフィルタ選択、割り込み信号の有効エッジ選択、および割り込み選択を行います。リセットはこのレジスタを 00h にクリアします。

50.2.2 コンパレータ入力選択レジスタ（CMPSEL0）

アドレス ACMPHS0.CMPSEL0 4008 5004h, ACMPHS1.CMPSEL0 4008 5104h, ACMPHS2.CMPSEL0 4008 5204h, ACMPHS3.CMPSEL0 4008 5304h, ACMPHS4.CMPSEL0 4008 5404h, ACMPHS5.CMPSEL0 4008 5504h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CMPSEL[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPSEL[3:0]	コンパレータ入力選択（注1）	b3 b0 0 0 0 0：入力しない 0 0 0 1：IVCMP0を選択（注2） 0 0 1 0：IVCMP1を選択（注2） 0 1 0 0：IVCMP2を選択（注2） 1 0 0 0：IVCMP3を選択（注2） 上記以外は設定しないでください。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CMPSEL[3:0] ビットは下記の手順で変更してください。CMPSEL0 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。

CMPSEL[3:0] ビットを変更するには、以下を実行します。

1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL0 レジスタを 0000 0000b にする。
3. CMPSEL[3:0] ビットに新しい値を設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間（200ns）の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 50.2 を参照してください。

50.2.3 コンパレータ基準電圧選択レジスタ（CMPSEL1）

アドレス ACMPHS0.CMPSEL1 4008 5008h, ACMPHS1.CMPSEL1 4008 5108h, ACMPHS2.CMPSEL1 4008 5208h, ACMPHS3.CMPSEL1 4008 5308h, ACMPHS4.CMPSEL1 4008 5408h, ACMPHS5.CMPSEL1 4008 5508h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CRVS[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CRVS[3:0]	基準電圧選択（注1）	b3 b0 0 0 0 0：入力しない 0 0 0 1：IVREF0を選択（注2） 0 0 1 0：IVREF1を選択（注2） 0 1 0 0：IVREF2を選択（注2） 1 0 0 0：IVREF3を選択（注2） 上記以外は設定しないでください。	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CRVS[3:0] ビットは下記の手順で変更してください。CMPSEL1 レジスタの値が 0000 0000b 以外の場合、0000 0000b 以外の値の書き込みは無効です。2 つ以上のビットへの 1 の書き込みも無効です。どちらの場合も、変更前の値が保持されます。
CRVS[3:0] ビットを変更するには、以下を実行します。
1. CMPCTL.COE ビットを 0 にする。
2. CMPSEL1 レジスタを 0000 0000b にする。
3. CRVS[3:0] ビットに新しい値を設定する。このとき、いずれか 1 つのビットのみを 1 にする。
4. 入力切り替え安定待機時間（200ns）の経過を待つ。
5. CMPCTL.COE ビットを 1 にする。
6. IELSRn レジスタの IR フラグをクリアし、割り込みステータスをクリアする。

注 2. 詳細は、表 50.2 を参照してください。

50.2.4 コンパレータ出力モニタレジスタ（CMPMON）

アドレス ACMPHS0.CMPMON 4008 500Ch, ACMPHS1.CMPMON 4008 510Ch, ACMPHS2.CMPMON 4008 520Ch, ACMPHS3.CMPMON 4008 530Ch, ACMPHS4.CMPMON 4008 540Ch, ACMPHS5.CMPMON 4008 550Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CMPMON
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPMON	コンパレータ出力監視（注1）	0：コンパレータ出力はLow 1：コンパレータ出力はHigh	R
b7-b1	—	予約ビット	読むと0が読めます。	R

注 1. ACMPHS の動作が有効（HCMPON = COE = 1）であるが、ノイズフィルタを使用していない（CDFS[1:0] = 00b）場合、CMPMON ビットを 2 度読み出し、2 つの連続した値が一致した後でのみ値を使用するようソフトウェアを設計してください。

50.2.5 コンパレータ出力コントロールレジスタ（CPIOC）

アドレス ACMPHS0.CPIOC 4008 5010h, ACMPHS1.CPIOC 4008 5110h, ACMPHS2.CPIOC 4008 5210h, ACMPHS3.CPIOC 4008 5310h, ACMPHS4.CPIOC 4008 5410h, ACMPHS5.CPIOC 4008 5510h

	b7	b6	b5	b4	b3	b2	b1	b0
	VREFEN	—	—	—	—	—	—	CPOE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	コンパレータ出力選択	0：コンパレータのVCOUT端子出力を禁止（出力信号はLow） 1：コンパレータのVCOUT端子出力を許可	R/W
b6-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b7	VREFEN	内部Vref許可（注1）	0：内部Vrefを禁止 1：内部Vrefを許可	R/W

注 1. ACMPHS モジュール 0 ～ 5 の場合、VREFEN は ACMPHS0.CPIOC だけにあります。COMP0 ～ COMP5 で内部 Vref を使用する場合、ACMPHS0.CPIOC の VREFEN ビットを 1 にしてください。ACMPHS1.CPIOC ～ ACMPHS5.CPIOC のビット 7 は、内部 Vref を使用するかどうかにかかわらず、0 でなければなりません。

50.3 動作説明

ACMPHS は、基準電圧とアナログ入力電圧を比較します。ACMPHS の動作中にレジスタの値を変更した場合、動作は保証されません。表 50.3 に ACMPHS に関連するレジスタの設定手順を示します。

表 50.3 ACMPHSn（n = 0～5）に関連するレジスタの設定手順

手順	レジスタ	ビット	設定内容
1	関連MSTPCRD レジスタ	MSTPD28～MSTPD23	0：入力クロック供給
2	関連するポートmn端子機能選択レジスタ（PmnPFS）	ASEL	1：IVREF およびIVCMP端子の機能を選択
3	ACMPHS0.CPIOC	VREFEN	1：内部Vrefを使用する場合
4	関連するD/Aコンバータ		D/Aコンバータを使用する場合、レジスタで選択
5	CMPSEL0、CMPSEL1	CMPSEL0～CMPSEL3、CRVS0～CRVS3	ACMPHSn入力を選択します。このとき、いずれか1つのビットのみを1にします。
6	CMPCTL	CDFS[1:0]、CEG1、CEG0、CINV	ACMPHSn制御を設定
		HCMPON	1：ACMPHSn動作を許可
7	ACMPHS安定時間（最小300ns）待機		
8	CMPCTL	COE	1：ACMPHSn出力を許可
9	CPIOC	CPOE	VCOUT出力を設定
	関連するポートmn端子機能選択レジスタ（PmnPFS）	PSEL、PMR	VCOUTポート機能を選択
10	IELSRn	IR、IELS[8:0]	割り込みを使用する場合は割り込みステータスフラグおよびICUイベントリンクを選択（注1）
11	ELSRn	ELS[8:0]	ELCを使用する場合はイベントリンクを選択（注2）
12	動作開始		
13	CMPCTL	COE	0：IVREFまたはIVCMPを変更する場合はACMPHSn出力を禁止
14	CMPSEL1	CRVS0～CRVS3	以下の手順でCMPSEL1ビットを変更してください。 1. CMPSEL1ビットを0000 0000bにします。 2. 新しい値をCMPSEL1ビットに設定します。 このとき、いずれか1つのビットのみを1にします。
	CMPSEL0	CMPSEL0～CMPSEL3	以下の手順でCMPSEL0ビットを変更してください。 1. CMPSEL0ビットを0000 0000bにします。 2. 新しい値をCMPSEL0ビットに設定します。 このとき、いずれか1つのビットのみを1にします。
15	ACMPHS切り替え安定時間（最小200ns）待機		
16	CMPCTL	COE	1：ACMPHSn出力を許可
17	動作再開		

注 1. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する場合があるため、割り込みフラグを初期化してください。

注 2. ACMPHSn を設定した後、動作が安定するまで不要な割り込みが発生する場合があるため、イベントリンク選択を初期化してください。

ACMPHS の動作例を図 50.2 に示します。アナログ入力電圧が ACMPHS 基準入力電圧より高くなると VCOUT 出力は 1 になり、低くなると 0 になります。ACMPHS 出力が変わると、割り込み要求および ELC イベントが出力されます。

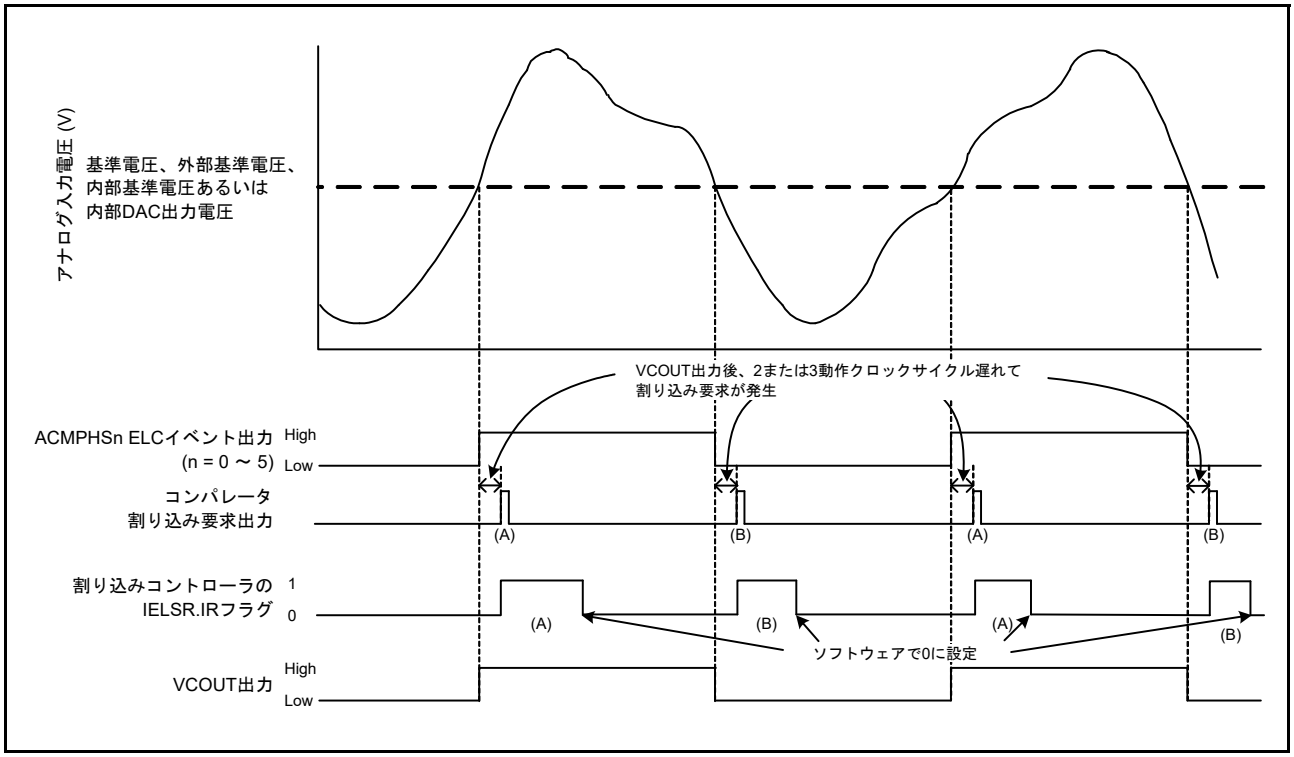


図 50.2 ACMPHS の動作例

図 50.2 は CPOE = 1（端子出力許可）、CDFS[1:0] = 00b（フィルタ不使用）、CEG1 = CEG0 = 1（両エッジ検出を選択）の場合に適用されます。CINV = 0、CEG0 = 1、CEG1 = 0（ACMPHS からの非反転出力信号の立ち上がりエッジ検出を選択）の場合、IELSR.IR フラグは（A）で示されるように変化します。CINV = 0、CEG0 = 0、CEG1 = 1（ACMPHS からの非反転出力信号の立ち下がりエッジ検出を選択）の場合、IELSR.IR フラグは（B）で示されるように変化します。CPOE = 1 の場合、VCOUT は ELC イベント出力を直接出力します。

50.4 ノイズフィルタ

ACMPHS はノイズフィルタを搭載しています。CMPCTL.CDFS[1:0] ビットによってサンプリングクロックの選択が可能です。ACMPHS 信号は、サンプリングクロックごとにサンプリングされ、同じ値が 3 回サンプリングされた場合、次のサンプリングクロック周期のノイズフィルタ出力が ACMPHS 出力として使用されます。

ノイズフィルタとエッジ検出器の構成を図 50.3 に、ノイズフィルタと割り込み動作の例を図 50.4 に示します。

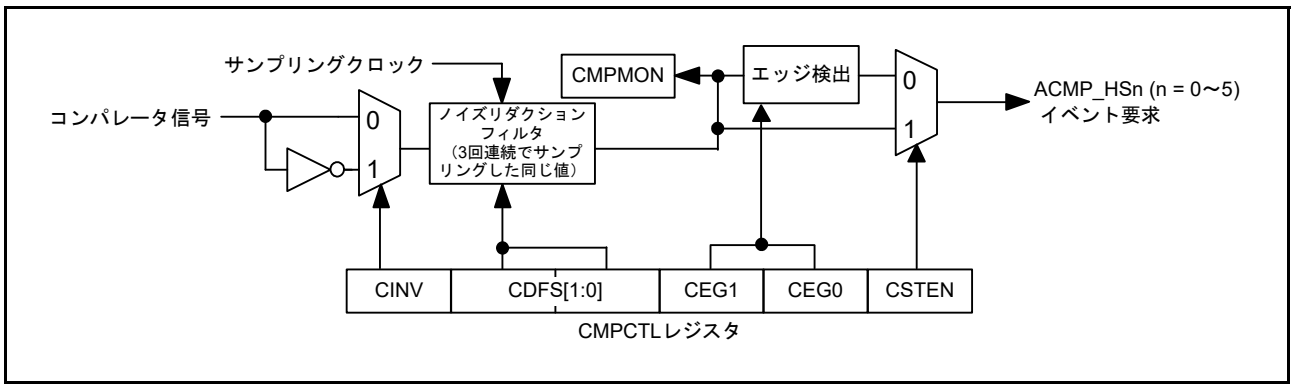


図 50.3 ノイズフィルタおよびエッジ検出の構成

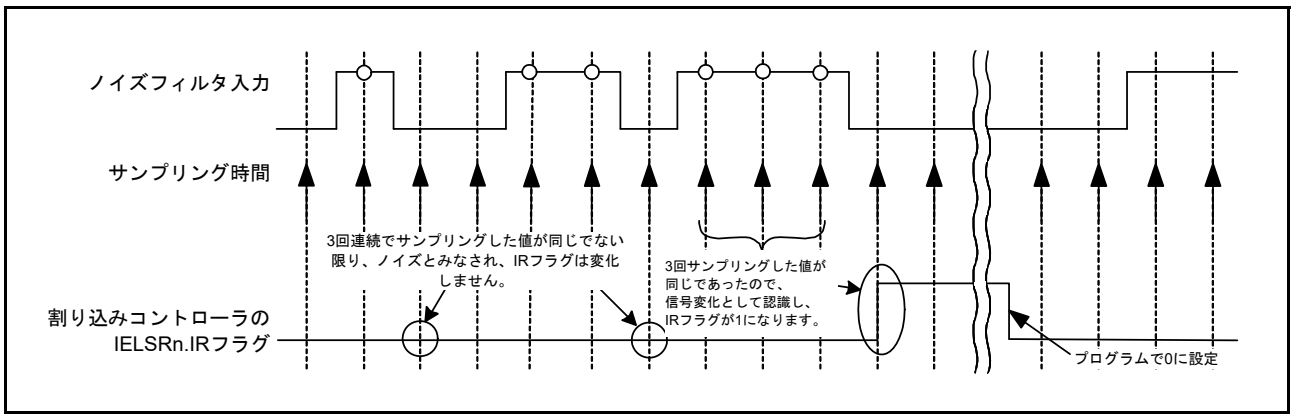


図 50.4 ノイズフィルタおよび割り込み動作例

図 50.4 の動作例は CMPCTL.CDFS[1:0] ビットが 01b、10b、または 11b（ノイズフィルタ使用）の場合に適用されます。

50.5 ACMPHS 割り込み

ACMPHS は、ACMPHS0 ～ ACMPHS5 のソースから 6 つの割り込み要求を生成します。ACMPHS 割り込みを使用するには、使用する割り込みを割り込みコントローラユニット（ICU）の IELSR レジスタで選択します。割り込み要求にエッジセレクタを使用するかしないかは、CMPCTL.CSTEN ビットで選択します。

エッジセレクタで ACMPHS 割り込みを使用する場合は、CMPCTL.CEG0 ビットおよび CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1（00b（エッジ選択なし）以外の値）にしてください。ほとんどの場合、CMPCTL.CSTEN ビットを 0（エッジセレクタによる出力）にします。このビットは、ソフトウェアスタンバイまたはスヌーズモードの解除時のみ 1 にできます。

ソフトウェアスタンバイまたはスヌーズモード時に ACMPHS 割り込みを使用するには、CMPCTL.CSTEN ビットを 1（直接出力）に、CMPCTL.CDFS[1:0] ビットを 00b（デジタルノイズフィルタ不使用）に、CMPCTL.CINV を以下のとおり設定してください。

- 比較結果 1 から 0 を検出する場合、CMPCTL.CINV を 0（コンパレータ出力を反転する）にします
- 比較結果 0 から 1 を検出する場合、CMPCTL.CINV を 1（コンパレータ出力を反転しない）にします

ACMPHS0 割り込み要求を使用して、ソフトウェアスタンバイまたはスヌーズモードを解除できます。（ACMPHS1 ～ ACMPHS5 は使用できません。）

ACMPHS 割り込み要求に関連するレジスタ設定については、50.2.1 コンパレータコントロールレジスタ（CMPCTL）を参照してください。

50.6 イベントリンクコントローラ（ELC）への ACMPHS 出力

ELC は、ACMPHS 割り込み要求信号を ELC イベント信号として使用し、事前設定モジュールに対してリンク動作が可能です。ACMPHS ELC イベントを使用するには、使用するイベントを ELC の ELSRn レジスタで選択します。ELC イベント要求を使用する場合、CMPCTL.CSTEN ビットを 0（エッジセレクタを介して出力）にします。また、CMPCTL.CEG0 ビットおよび CMPCTL.CEG1 ビットのうち少なくとも 1 つを 1（00b（エッジ選択なし）以外の値）にしてください。

50.7 ACMPHS 端子出力

ACMPHS からの比較結果は外部端子に出力できます。CMPCTL.CINV および CPIOC.CPOE ビットを使用して、出力極性（非反転出力または反転出力）および出力許可／禁止を設定することができます。ACMPHS 比較結果を VCOUT 出力端子に出力するには、I/O レジスタの関連ポート mn 端子機能選択レジスタ（PmnPFS）を設定してください。

50.8 使用上の注意事項

50.8.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタを使用して、ACMPHS 動作を禁止／許可できます。ACMPHS は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

50.8.2 ADC12 との関係

ACMPHS アナログ入力と ADC12 アナログ入力を同時に使用する場合は制限がかかります。詳細は、47.6.13 A/D コンバータと ACMPHS の関係、および 11.10.16 ADC12 に対するモジュールストップ機能を参照してください。

51. 静電容量式タッチセンシングユニット（CTSU）

51.1 概要

静電容量式タッチセンシングユニット（CTSU）は、タッチセンサの静電容量を測定します。ソフトウェアで静電容量の変化を判定することによって、指などがタッチセンサに接触したことを検出できます。通常、タッチセンサの電極表面は電気絶縁体で覆われており、指が電極に直接接触することはありません。

図 51.1 に示すように、電極と周囲の導電体との間には静電容量（寄生容量）が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

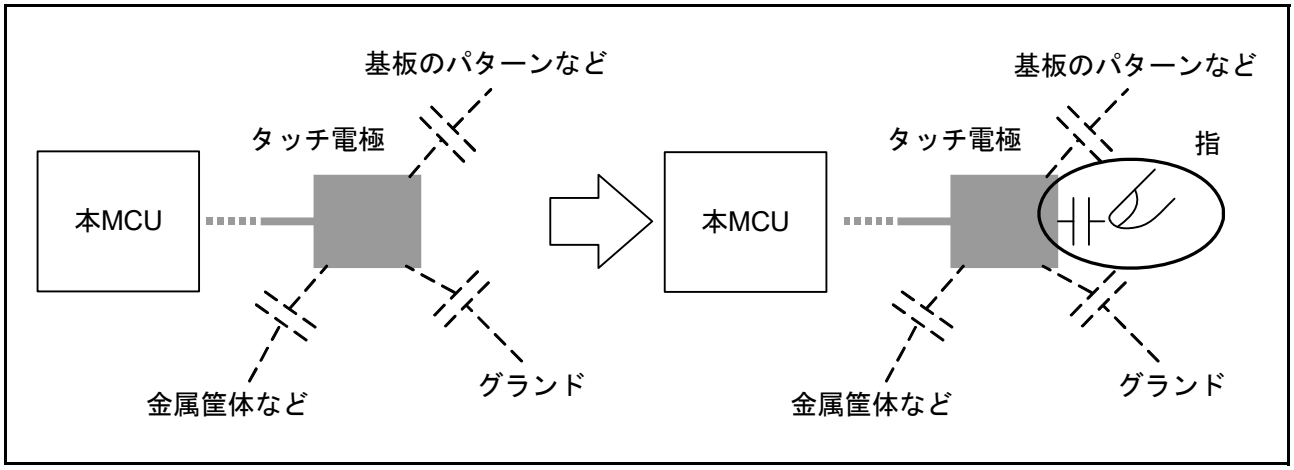


図 51.1 指による静電容量の増加

静電容量の検出方式には、自己容量方式と相互容量方式があります。自己容量方式では、指と 1 つの電極との間に生じる静電容量を検出します。一方、相互容量方式は、2 つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出する方式です。

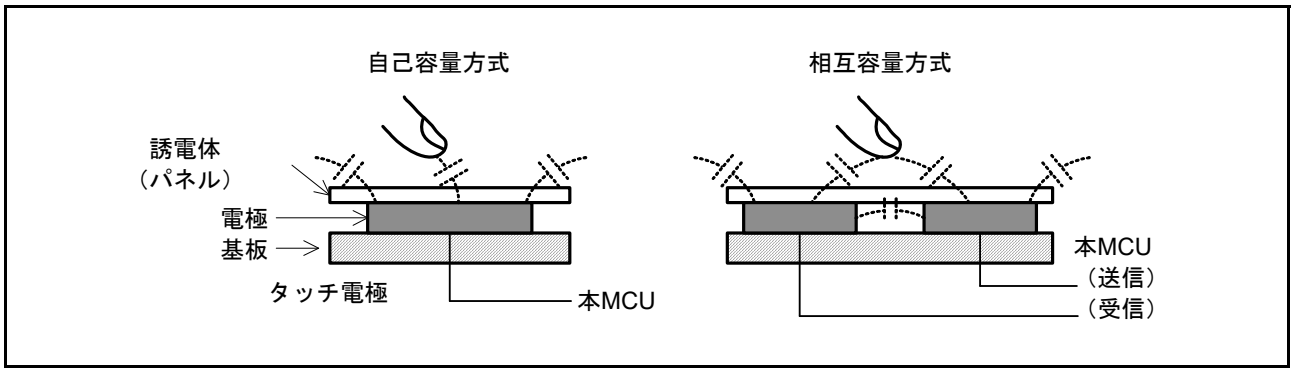


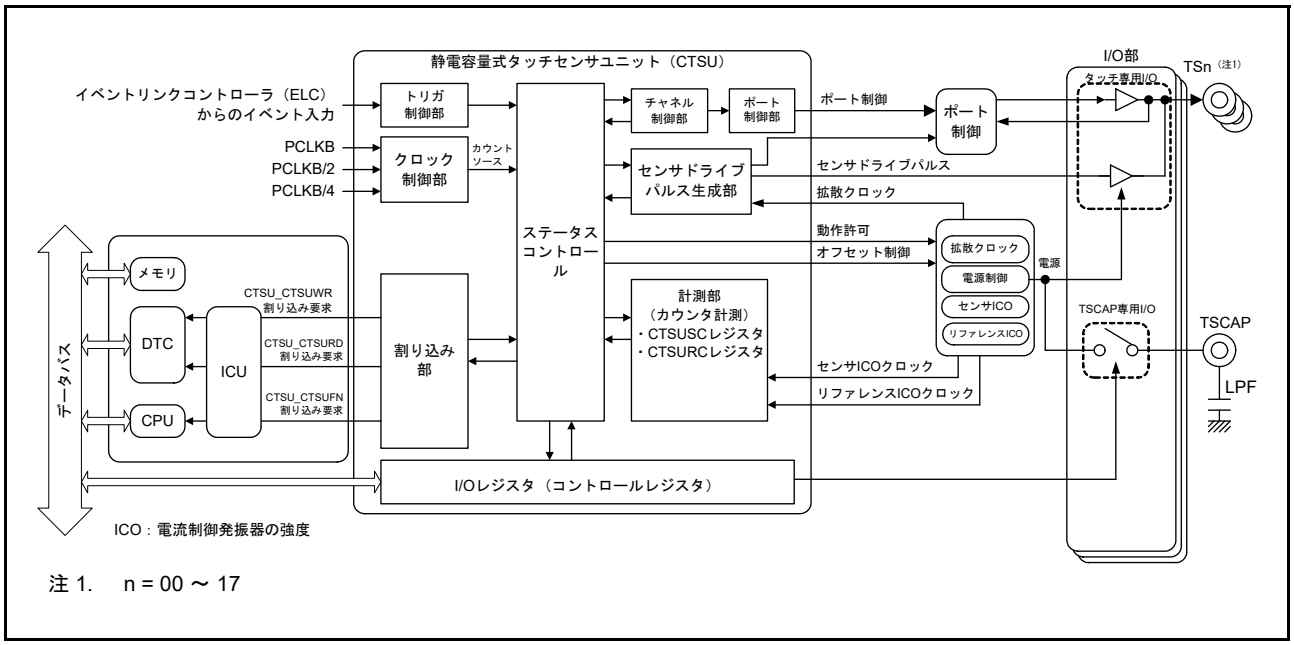
図 51.2 自己容量方式と相互容量方式

静電容量の測定は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。CTSU の計測原理の詳細については、51.3.1 計測動作原理を参照してください。表 51.1 に CTSU の仕様を、図 51.3 にそのブロック図を示します。

表 51.1 CTSUの仕様

項目		内容
動作クロック		PCLKB、PCLKB/2、またはPCLKB/4
端子	静電容量計測	18チャネル（TS00～TS17）
	TSCAP	LPF（Low Pass Filter）接続端子
計測モード	自己容量シングルスキャンモード	自己容量方式で1チャネルの静電容量を計測
	自己容量マルチスキャンモード	自己容量方式で複数チャネルの静電容量を連続して計測
	相互容量フルスキャンモード	相互容量方式で複数チャネルの静電容量を連続して計測
ノイズ低減		同期系ノイズ低減、高域ノイズ低減
計測開始条件		• ソフトウェアトリガ • 外部トリガ（イベントリンクコントローラ（ELC）からのELC_CTSU）

CTSU は、図 51.3 に示すようにステータス制御部、トリガ制御部、クロック制御部、チャネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み部、I/O レジスタで構成されます。



注 1. n = 00 ～ 17

図 51.3 CTSU のブロック図

表 51.2 CTSUの入出力端子

端子名	入出力	機能
TS00～TS17	入力	静電容量計測端子（タッチ端子）
TSCAP	-	LPF接続端子

51.2 レジスタの説明

51.2.1 CTSU コントロールレジスタ 0（CTSUCR0）

アドレス CTSU.CTSUCR0 4008 1000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CTSUINIT	—	CTSUSNZ	CTSUCAP	CTSUSTRT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUSTRT	CTSU計測動作開始	0：計測動作停止（注1） 1：計測動作開始	R/W
b1	CTSUCAP	CTSU計測動作開始トリガ選択	0：ソフトウェアトリガ 1：外部トリガ	R/W
b2	CTSUSNZ	CTSU待機時省電力有効	0：待機時省電力機能無効 1：待機時省電力機能有効	R/W
b3	—	予約ビット	読むと0が読み出されます。書く場合、0としてください。	R/W
b4	CTSUINIT	CTSU制御部初期化	1を書くと、CTSU制御部と、CTSUSC、CTSURC、CTSUMCH0、CTSUMCH1、CTSUSTの各レジスタが初期化されます。読むと0が読めます。	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. CTSU を使用しない場合、このビットの値は 0 に固定してください。

CTSUCAP ビットと CTSUSNZ ビットの設定は、CTSUSTRT ビットが 0 のときのみ行ってください。計測動作開始時に同時に設定可能です。

CTSUSTRT ビット（CTSU 計測動作開始）

計測動作開始／停止を指定します。CTSUCAP ビットが 0 のとき、ソフトウェアで CTSUSTRT ビットに 1 を書く（ソフトウェアトリガ）と計測が開始し、ハードウェアが CTSUSTRT ビットを 0 にクリアすると停止します。CTSUCAP ビットが 1 のとき、CTSUSTRT ビットに 1 を書き込むことにより外部トリガの待機状態となり、外部トリガの立ち上がりで計測を開始します。計測が終了したら、次の外部トリガの待機状態となり動作が継続されます。

CTSU の状態を、表 51.3 に示します。

表 51.3 CTSUの状態

CTSUSTRTビット	CTSUCAPビット	CTSUの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中および外部トリガ待ち（注1）

注 1. CTSUST.CTSUSTC[2:0] フラグで以下のとおり状態を判断できます。
計測中：CTSUST.CTSUSTC[2:0] フラグ≠ 000b
外部トリガ待ち：CTSUST.CTSUSTC[2:0] フラグ = 000b

CTSUSTRT ビットがすでに 1 になっている場合、ソフトウェアで本ビットを 1 にしても、その書き込みは無視され動作が継続します。CTSUSTRT ビットが 1 のとき、ソフトウェアにより動作を強制的に終了する場合は、CTSUSTRT ビットを 0 にして、同時に CTSUINIT ビットを 1 にしてください。

CTSUCAP ビット（CTSU 計測動作開始トリガ選択）

計測開始条件を指定します。詳細は、CTSUSTRT ビット（CTSU 計測動作開始）を参照してください。

CTSUSNZ ビット（CTSU 待機時省電力有効）

待機時省電力動作の有効／無効を選択します。また、本ビットにより CTSU 電源はサスペンド状態になり、待機状態の低消費電力化が可能になります。サスペンド状態では、CTSU 電源は OFF になりますが外部 TSCAP は引き続き充電されます。CTSU 電源状態制御を表 51.4 に示します。

表 51.4　CTSU 電源状態制御

CTSUCR1.CTSUPON ビット	CTSUSNZ ビット	CTSUCAP ビット	CTSUSTRT ビット	CTSU 電源の状態
0	0	0	0	停止
1	0	—	—	動作
1	1	0	0	サスペンド状態

注 .　上記以外は設定しないでください。

サスペンド状態から計測を開始する場合は、CTSUSNZ ビットを 0 にしてから CTSUSTRT ビットを 1 にしてください。計測終了後、モジュールをサスペンド状態にするには、CTSUSNZ ビットを 1 にしてください。

CTSUINIT ビット（CTSU 制御部初期化）

1 を書き込むと、内部コントロールレジスタを初期化します。動作中に強制終了させる場合は、CTSUSTRT ビットを 0 にして、同時に CTSUINIT ビットを 1 にしてください。この場合は動作が停止し、内部コントロールレジスタが初期化されます。

CTSUSTRT ビットが 1 のとき、CTSUINIT ビットに 1 を書き込まないでください。

51.2.2 CTSU コントロールレジスタ 1（CTSUCR1）

アドレス CTSU.CTSUCR1 4008 1001h

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUMD[1:0]		CTSUCLK[1:0]		CTSUATUNE1	—	CTSUCSW	CTSUPON
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CTSUPON	CTSU電源供給許可	0：CTSU電源OFF 1：CTSU電源ON	R/W
b1	CTSUCSW	CTSU LPF容量充電制御	TSCAP端子に接続されるLPF容量の充電を制御します。 0：容量スイッチOFF 1：容量スイッチON	R/W
b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	CTSUATUNE1	CTSU電源能力調整	0：通常出力 1：高出力	R/W
b5-b4	CTSUCLK[1:0]	CTSU動作クロック選択	b5 b4 0 0：PCLKB 0 1：PCLKB/2（PCLKBを2分周したクロック） 1 0：PCLKB/4（PCLKBを4分周したクロック） 1 1：設定禁止	R/W
b7-b6	CTSUMD[1:0]	CTSU計測モード選択	b7 b6 0 0：自己容量シングルスキャンモード 0 1：自己容量マルチスキャンモード 1 0：設定禁止 1 1：相互容量フルスキャンモード	R/W

CTSUCR1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUPON ビット（CTSU 電源供給許可）

CTSU の電源制御を行います。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

CTSUCSW ビット（CTSU LPF 容量充電制御）

容量スイッチの ON/OFF により、TSCAP 端子に接続される LPF 容量の充電制御を行います。容量スイッチを ON にしてから TSCAP 端子に接続している容量が充電されるまで、一定時間待った後、CTSUCR0.CTSUSTRT を 1 にして計測を開始してください。計測に先立って、I/O ポートで TSCAP 端子に Low を出力し、すでに充電されている LPF 容量を放電してください。CTSUPON ビットと CTSUCSW ビットには同じ値を設定してください。

CTSUATUNE1 ビット（CTSU 電源能力調整）

CTSU の電源能力を設定します。一般に、0 にすることを推奨しています。

CTSUCLK[1:0] ビット（CTSU 動作クロック選択）

動作クロックを選択します。

CTSUMD[1:0] ビット（CTSU 計測モード選択）

計測モードを設定します。詳細は、51.3.2 計測モードを参照してください。

51.2.3 CTSU 同期ノイズ低減設定レジスタ（CTSUSDPRS）

アドレス CTSU.CTSUSDPRS 4008 1002h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	CTSUSOFF	CTSUPRMODE[1:0]		CTSUPRRATIO[3:0]			
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	CTSUPRRATIO[3:0]	CTSU計測時間、計測パルス数調整	計測時間、計測パルス数を設定します。 推奨設定：3（0011b）	R/W
b5-b4	CTSUPRMODE[1:0]	CTSU基本周期、基本パルス数設定	基本パルス数を設定します。 b5 b4 0 0：510パルス 0 1：126パルス 1 0：62パルス（推奨設定） 1 1：設定禁止	R/W
b6	CTSUSOFF	CTSU高域ノイズ低減機能OFF設定	高域ノイズを低減するためのスペクトラム拡散を制御します。 0：スペクトラム拡散をオンに設定 1：スペクトラム拡散をオフに設定	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSDPRS レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUPRRATIO[3:0] ビット（CTSU 計測時間、計測パルス数調整）

計測時間と計測パルス数を設定します。このビットの値は以下の式により計算され、CTSUPRMODE[1:0] ビットの設定により基本パルス数が決定されます。

計測パルス数 = 基本パルス数 × (CTSUPRRATIO[3:0] ビット + 1)

計測時間 = (基本パルス数 × (CTSUPRRATIO[3:0] ビット + 1) ＋ 基本パルス数 - 2) × 0.25 × ベースクロック周期

注 . ベースクロック周期の詳細は、51.2.17 CTSU センサオフセットレジスタ 1（CTSUSO1）を参照してください。

CTSUPRMODE[1:0] ビット（CTSU 基本周期、基本パルス数設定）

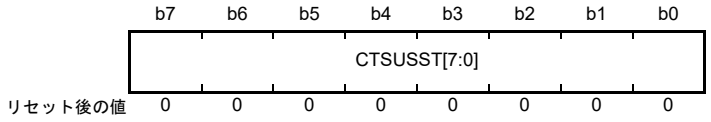
計測で発生する基本パルス数を選択します。

CTSUSOFF ビット（CTSU 高域ノイズ低減機能 OFF 設定）

高域ノイズを低減する機能の ON/OFF を設定します。1 にすると OFF になります。

51.2.4 CTSU センサ安定待ち時間コントロールレジスタ（CTSUSST）

アドレス CTSU.CTSUSST 4008 1003h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUSST[7:0]	CTSUセンサ安定待ち時間制御	固定値00010000bにしてください。	R/W

CTSUSST レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUSST[7:0] ビット（CTSU センサ安定待ち時間制御）

TSCAP 端子の電圧の安定待ち時間を設定します。常に 00010000b にしてください。本ビットが設定されない場合、計測開始時の TSCAP 電圧は不安定となり、正しいタッチ計測結果が得られません。

51.2.5 CTSU 計測チャネルレジスタ 0（CTSUMCH0）

アドレス CTSU.CTSUMCH0 4008 1004h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CTSUMCH0[4:0]				
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b4-b0	CTSUMCH0[4:0]	CTSU計測チャネル0	自己容量シングルスキャンモードでは、計測するCTSUのチャネルを設定します。 b4 b0 0 0 0 0 0 : TS00 0 0 0 0 1 : TS01 0 0 0 1 0 : TS02 0 0 0 1 1 : TS03 0 0 1 0 0 : TS04 0 0 1 0 1 : TS05 0 0 1 1 0 : TS06 0 0 1 1 1 : TS07 0 1 0 0 0 : TS08 0 1 0 0 1 : TS09 0 1 0 1 0 : TS10 0 1 0 1 1 : TS11 0 1 1 0 0 : TS12 0 1 1 0 1 : TS13 0 1 1 1 0 : TS14 0 1 1 1 1 : TS15 1 0 0 0 0 : TS16 1 0 0 0 1 : TS17 その他の値に設定した場合、ビット設定後にCTSUCR0.CTSUSTRTビットを1にして計測動作を開始することは禁止されています。 他の計測モードでは、現在計測中のチャネルを示します。 b4 b0 0 0 0 0 0 : TS00 0 0 0 0 1 : TS01 0 0 0 1 0 : TS02 0 0 0 1 1 : TS03 0 0 1 0 0 : TS04 0 0 1 0 1 : TS05 0 0 1 1 0 : TS06 0 0 1 1 1 : TS07 0 1 0 0 0 : TS08 0 1 0 0 1 : TS09 0 1 0 1 0 : TS10 0 1 0 1 1 : TS11 0 1 1 0 0 : TS12 0 1 1 0 1 : TS13 0 1 1 1 0 : TS14 0 1 1 1 1 : TS15 1 0 0 0 0 : TS16 1 0 0 0 1 : TS17 1 1 1 1 1 : 計測停止中	R/W （注1）
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 自己容量シングルスキャンモード時（CTSUCR1.CTSUMD[1:0] ビット = 00b）のみ書き込み可能です。

CTSUMCH0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUMCH0[4:0] ビット（CTSU 計測チャネル 0）

自己容量シングルスキャンモードでは、計測する CTSU のチャネルを設定します。このモードでは、有効なチャネル（00000b ～ 10001b）のみ指定します。それ以外のモードでは計測中の受信チャネルを示し、書き込みは無効になります。

51.2.6 CTSU 計測チャネルレジスタ 1（CTSUMCH1）

アドレス CTSU.CTSUMCH1 4008 1005h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	CTSUMCH1[4:0]				
リセット後の値	0	0	0	1	1	1	1	1

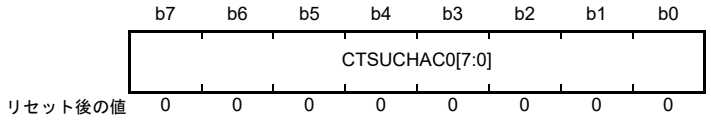
ビット	シンボル	ビット名	機能	R/W
b4-b0	CTSUMCH1[4:0]	CTSU計測チャネル1	b4 b0 0 0 0 0 0 : TS00 0 0 0 0 1 : TS01 0 0 0 1 0 : TS02 0 0 0 1 1 : TS03 0 0 1 0 0 : TS04 0 0 1 0 1 : TS05 0 0 1 1 0 : TS06 0 0 1 1 1 : TS07 0 1 0 0 0 : TS08 0 1 0 0 1 : TS09 0 1 0 1 0 : TS10 0 1 0 1 1 : TS11 0 1 1 0 0 : TS12 0 1 1 0 1 : TS13 0 1 1 1 0 : TS14 0 1 1 1 1 : TS15 1 0 0 0 0 : TS16 1 0 0 0 1 : TS17 1 1 1 1 1 : 計測停止中	R
b7-b5	—	予約ビット	読むと0が読めます。	R

CTSUMCH1[4:0] ビット（CTSU 計測チャネル 1）

フルスキャンモード時に、計測中の送信チャネルを示します。計測停止中、または自己容量シングルスキャンモード時およびマルチスキャンモード時は、必ず 11111b になります。

51.2.7 CTSU チャネルイネーブルコントロールレジスタ 0（CTSUCHAC0）

アドレス CTSU.CTSUCHAC0 4008 1006h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC0[7:0]	CTSUチャネル有効制御0	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS00～TS07端子の設定を行います。	R/W

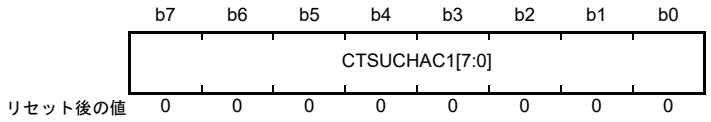
CTSUCHAC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC0[7:0] ビット（CTSU チャネル有効制御 0）

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC0[0] は TS00 に、CTSUCHAC0[7] は TS07 に対応します。

51.2.8 CTSU チャネルイネーブルコントロールレジスタ 1（CTSUCHAC1）

アドレス CTSU.CTSUCHAC1 4008 1007h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHAC1[7:0]	CTSUチャネル有効制御1	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS08～TS15端子の設定を行います。	R/W

CTSUCHAC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC1[7:0] ビット（CTSU チャネル有効制御 1）

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC1[0] は TS08 に、CTSUCHAC1[7] は TS15 に対応します。

51.2.9 CTSU チャネルイネーブルコントロールレジスタ 2（CTSUCHAC2）

アドレス CTSU.CTSUCHAC2 4008 1008h



ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUCHAC2[1:0]	CTSUチャネル有効制御2	対応するTS端子を計測するかどうかを選択します。 0：計測しない 1：計測する 本ビットはTS16～TS17端子の設定を行います。	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

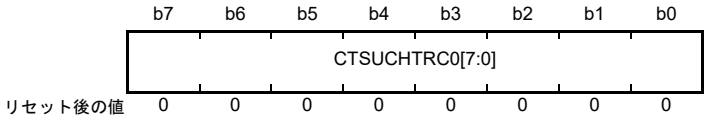
CTSUCHAC2 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHAC2[1:0] ビット（CTSU チャネル有効制御 2）

静電容量を計測する受信端子と送信端子を選択します。CTSUCHAC2[0] は TS16 に、CCTSUCHAC2[1] は TS17 に対応します。

51.2.10 CTSU チャネル送受信コントロールレジスタ 0（CTSUCHTRC0）

アドレス CTSU.CTSUCHTRC0 4008 100Bh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC0[7:0]	CTSUチャネル送受信制御0	0：受信 1：送信 本ビットはTS00～TS07端子の設定を行います。	R/W

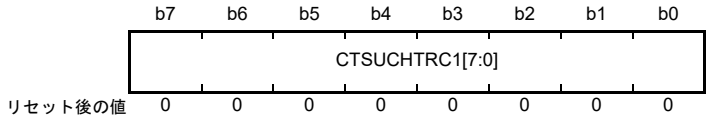
CTSUCHTRC0 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC0[7:0] ビット（CTSU チャネル送受信制御 0）

フルスキャンモードで、関連する TS 端子を受信または送信に割り当てます。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC0[0] は TS00 に、CTSUCHTRC0[7] は TS07 に対応します。

51.2.11 CTSU チャネル送受信コントロールレジスタ 1（CTSUCHTRC1）

アドレス CTSU.CTSUCHTRC1 4008 100Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSUCHTRC1[7:0]	CTSUチャネル送受信制御1	0：受信 1：送信 本ビットはTS08～TS15端子の設定を行います。	R/W

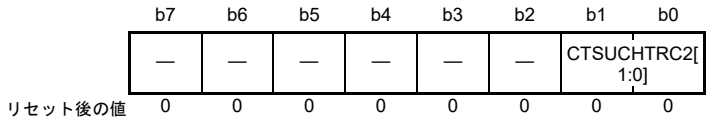
CTSUCHTRC1 レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUCHTRC1[7:0] ビット（CTSU チャネル送受信制御 1）

フルスキャンモード時、関連する TS 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC1[0] は TS08 に、CTSUCHTRC1[7] は TS15 に対応します。

51.2.12 CTSU チャネル送受信コントロールレジスタ 2（CTSUCHTRC2）

アドレス CTSU.CTSUCHTRC2 4008 100Dh



ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUCHTRC2[1:0]	CTSUチャネル送受信制御2	0：受信 1：送信 本ビットはTS16～TS17端子の設定を行います。	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUCHTRC2[1:0] ビット（CTSU チャネル送受信制御 2）

フルスキャンモード時、関連する TS 端子の受信／送信割り当てを設定します。自己容量シングルスキャンモード、および自己容量マルチスキャンモードでは、この設定は無視されます。CTSUCHTRC2[0] は TS16 に、CTSUCHTRC2[1] は TS17 に対応します。

51.2.13 CTSU 高域ノイズ低減コントロールレジスタ（CTSUDCLKC）

アドレス CTSU.CTSUDCLKC 4008 1010h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CTSUSSCNT[1:0]		—	—	CTSUSSMOD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CTSUSSMOD[1:0]	CTSU拡散クロックモード選択	00bにしてください。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	CTSUSSCNT[1:0]	CTSU拡散クロックモード制御	11bにしてください。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUDCLKC レジスタの設定は、CTSUCR0.CTSUSTRT ビットが 0 のときのみ行ってください。

CTSUSSMOD[1:0] ビット（CTSU 拡散クロックモード選択）

高域ノイズ低減に関わるスペクトラム拡散クロックのモードを設定します。高域ノイズ低減機能を使用する場合は必ず 00b にしてください。本ビットが設定されていない場合、CTSU は効果的に高域ノイズを低減できません。

CTSUSSCNT[1:0] ビット（CTSU 拡散クロックモード制御）

高域ノイズ低減のためのスペクトラム拡散量を調整します。高域ノイズ低減機能を使用する場合は必ず 11b にしてください。本ビットが設定されていない場合、タッチ計測が正しく行われない可能性があります。

51.2.14 CTSU ステータスレジスタ（CTSUST）

アドレス CTSU.CTSUST 4008 1011h

	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUPS	CTSUROVF	CTSUSOVF	CTSUDTSR	—	CTSUSTC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	CTSUSTC[2:0]	CTSU計測ステータスカウンタ	現在の計測ステータスを示します。 b2 b0 0 0 0：Status0 0 0 1：Status1 0 1 0：Status2 0 1 1：Status3 1 0 0：Status4 1 0 1：Status5	R
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	CTSUDTSR	CTSUデータ転送ステータスフラグ	センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。 0：読み出し 1：読み出しなし	R
b5	CTSUSOVF	CTSUセンサカウンタオーバーフローフラグ	センサカウンタのオーバーフローを示します。 0：オーバーフロー発生なし 1：オーバーフロー発生	R/W
b6	CTSUROVF	CTSUリファレンスカウンタオーバーフローフラグ	リファレンスカウンタのオーバーフローを示します。 0：オーバーフロー発生なし 1：オーバーフロー発生	R/W
b7	CTSUPS	CTSU相互容量計測ステータスフラグ	相互容量フルスキャンモードでの計測ステータスを示します。 0：1回目の計測 1：2回目の計測	R

CTSUCR0.CTSUINIT ビットでオーバーフローフラグをクリアする場合は、必ず CTSUCR0.CTSUSTRT ビットが 0 であるときに行ってください。

CTSUSTC[2:0] フラグ（CTSU 計測ステータスカウンタ）

現在の計測ステータスを示すカウンタです。各ステータスの詳細は、51.3.2.2 ステータスカウンタを参照してください。

CTSUDTSR フラグ（CTSU データ転送ステータスフラグ）

センサカウンタ、リファレンスカウンタに格納された計測結果を読み出したか否かを示します。計測完了時に 1 になり、ソフトウェアまたは DTC でリファレンスカウンタを読み出すと 0 となります。また本フラグは、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUSOVF フラグ（CTSU センサカウンタオーバーフローフラグ）

センサカウンタ（CTSUSC）でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャネルでオーバーフローが発生したかは、測定終了割り込み発生により計測完了が判明してから、各チャネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUROVF フラグ（CTSU リファレンスカウンタオーバーフローフラグ）

リファレンスカウンタ（CTSUSC）でオーバーフローが発生すると 1 になります。オーバーフロー発生時、カウンタ値は FFFFh になります。計測は指定期間継続します。

オーバーフロー発生時に割り込みは発生しません。そのため、どのチャネルでオーバーフローが発生したかは、測定終了割り込みで示されるように、計測完了が判明してから各チャネルの計測結果により判定してください。

本フラグは、ソフトウェアで 1 を読み出した後、0 を書き込むことによりクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

CTSUPS フラグ（CTSU 相互容量計測ステータスフラグ）

相互容量フルスキャンモード（CTSUCR1.CTSUMD[1:0] = 11b）のとき、1 チャネルあたり 2 回の計測において計測順位が 1 回目なのか 2 回目なのかを示します。計測停止時、またはその他の計測モードの場合は 0 になります。

51.2.15 CTSU 高域ノイズ低減スペクトラム拡散コントロールレジスタ（CTSUSSC）

アドレス CTSU.CTSUSSC 4008 1012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	CTSUSSDIV[3:0]				—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b11-b8	CTSUSSDIV[3:0]	CTSUスペクトラム拡散分周設定	ベースクロックの分周設定に基づき、スペクトラム拡散分周設定値を設定します。	R/W
b15-b12	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

CTSUSSDIV[3:0] ビット（CTSU スペクトラム拡散分周設定）

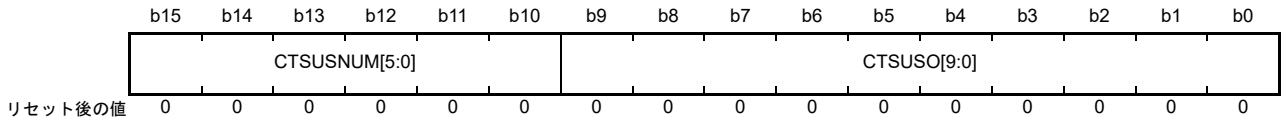
ベースクロックの分周設定に基づいて、スペクトラム拡散分周設定値を設定します。CTSUSSDIV[3:0] の正しい設定値を決めるには、表 51.5 でベースクロック周波数と設定値の関係を参照してください。

表 51.5 ベースクロック周波数とCTSUSSDIV[3:0]ビットの設定値の関係

ベースクロック周波数fb（MHz）	CTSUSSDIV[3:0]ビットの設定値
4.00≦fb	0000b
2.00≦fb＜4.00	0001b
1.33≦fb＜2.00	0010b
1.00≦fb＜1.33	0011b
0.80≦fb＜1.00	0100b
0.67≦fb＜0.80	0101b
0.57≦fb＜0.67	0110b
0.50≦fb＜0.57	0111b
0.44≦fb＜0.50	1000b
0.40≦fb＜0.44	1001b
0.36≦fb＜0.40	1010b
0.33≦fb＜0.36	1011b
0.31≦fb＜0.33	1100b
0.29≦fb＜0.31	1101b
0.27≦fb＜0.29	1110b
fb＜0.27	1111b

51.2.16 CTSU センサオフセットレジスタ 0（CTSUSO0）

アドレス CTSU.CTSUSO0 4008 1014h



ビット	シンボル	ビット名	機能	R/W
b9-b0	CTSUSO[9:0]	CTSUセンサオフセット調整	電極が非タッチ状態のときの静電容量を調整します。 b9 b0 0 0 0 0 0 0 0 0 0 0：電流オフセット量0 0 0 0 0 0 0 0 0 0 1：電流オフセット量1 0 0 0 0 0 0 0 0 1 0：電流オフセット量2 : 1 1 1 1 1 1 1 1 1 0：電流オフセット量1022 1 1 1 1 1 1 1 1 1 1：電流オフセット最大	R/W
b15-b10	CTSUSNUM[5:0]	CTSU計測回数設定	CTSUの計測回数を設定します。	R/W

CTSUSO[9:0] ビット（CTSU センサオフセット調整）

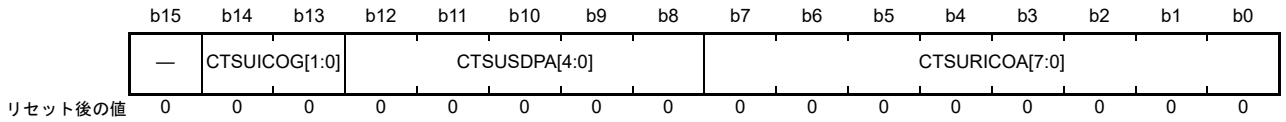
タッチ計測時に電極が非タッチ状態のときの静電容量により発生するセンサ ICO 入力電流をオフセットします。これは、CTSU センサカウンタのオーバーフローを防止します。次に計測する TS 端子の設定は、CTSU_CTSUWR 割り込みの発生後に行ってください。

CTSUSNUM[5:0] ビット（CTSU 計測回数設定）

CTSUSDPRS.CTSUPRRATIO[3:0] ビットおよび CTSUSDPRS.CTSUPRMODE[1:0] ビットで決定される計測パルス数を計測時間内に何回繰り返すかを設定します。繰り返し回数は（CTSUSNUM[5:0] ビット + 1）となります。次に計測する TS 端子の設定は、CTSU_CTSUWR 割り込みの発生後に行ってください。

51.2.17 CTSU センサオフセットレジスタ 1（CTSUSO1）

アドレス CTSU.CTSUSO1 4008 1016h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CTSURICOA[7:0]	CTSUリファレンスICO電流調整	リファレンスICOの入力電流を調整します。 b7 b0 0 0 0 0 0 0 0 0：電流オフセット量0 0 0 0 0 0 0 0 1：電流オフセット量1 0 0 0 0 0 0 1 0：電流オフセット量2 : 1 1 1 1 1 1 1 0：電流オフセット量254 1 1 1 1 1 1 1 1：電流オフセット最大	R/W
b12-b8	CTSUSDPA[4:0]	CTSUベースクロック設定	CTSUのベースクロックを生成します。 b12 b8 0 0 0 0 0：動作クロックの2分周（注1） 0 0 0 0 1：動作クロックの4分周 0 0 0 1 0：動作クロックの6分周 0 0 0 1 1：動作クロックの8分周 0 0 1 0 0：動作クロックの10分周 0 0 1 0 1：動作クロックの12分周 0 0 1 1 0：動作クロックの14分周 0 0 1 1 1：動作クロックの16分周 0 1 0 0 0：動作クロックの18分周 0 1 0 0 1：動作クロックの20分周 0 1 0 1 0：動作クロックの22分周 0 1 0 1 1：動作クロックの24分周 0 1 1 0 0：動作クロックの26分周 0 1 1 0 1：動作クロックの28分周 0 1 1 1 0：動作クロックの30分周 0 1 1 1 1：動作クロックの32分周 1 0 0 0 0：動作クロックの34分周 1 0 0 0 1：動作クロックの36分周 1 0 0 1 0：動作クロックの38分周 1 0 0 1 1：動作クロックの40分周 1 0 1 0 0：動作クロックの42分周 1 0 1 0 1：動作クロックの44分周 1 0 1 1 0：動作クロックの46分周 1 0 1 1 1：動作クロックの48分周 1 1 0 0 0：動作クロックの50分周 1 1 0 0 1：動作クロックの52分周 1 1 0 1 0：動作クロックの54分周 1 1 0 1 1：動作クロックの56分周 1 1 1 0 0：動作クロックの58分周 1 1 1 0 1：動作クロックの60分周 1 1 1 1 0：動作クロックの62分周 1 1 1 1 1：動作クロックの64分周	R/W
b14-b13	CTSUICOG[1:0]	CTSU ICOゲイン調整	センサICOとリファレンスICOの出力周波数ゲインを調整します。 b14 b13 0 0：ゲイン100% 0 1：ゲイン66% 1 0：ゲイン50% 1 1：ゲイン40%	R/W
b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 相互容量フルスキャンモード時（CTSUCR1.CTSUMD[1:0] ビット = 11b）の高域ノイズ低減機能 OFF 状態（CTSUSDPRS.CTSUSOFF ビット = 1）では、CTSUSDPA[4:0] ビットを 00000b にしないでください。

CTSU_CTSUWR 割り込み発生後に、CTSUSSC レジスタ、CTSUSO0 レジスタ、CTSUSO1 レジスタの順に書き込んでください。CTSUSO1 レジスタへの書き込みにより Status3 へ遷移します。表 51.6、表 51.7 を参照してください。CTSUSO1 レジスタに書き込む場合は、一度の動作で全ビットに書き込むようにしてください。

CTSURICOA[7:0] ビット（CTSU リファレンス ICO 電流調整）

リファレンス ICO の入力電流により、発振周波数を調整します。

CTSUSDPA[4:0] ビット（CTSU ベースクロック設定）

動作クロックを分周して、センサドライブパルスの元となるベースクロックを選択します。設定手順の詳細は、51.3.2.1　初期設定フローを参照してください。

CTSUICOG[1:0] ビット（CTSU ICO ゲイン調整）

センサ ICO とリファレンス ICO の出力周波数ゲインを調整します。通常は最大ゲインの 00b にします。電極タッチ時－非タッチ時の容量変化が、センサ ICO のダイナミックレンジを大きく超える場合は、このビットを適切なゲインに調整してください。

51.2.18　CTSU センサカウンタ（CTSUSC）

アドレス CTSU.CTSUSC 4008 1018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUSC[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSUSC[15:0]	CTSUセンサカウンタ	センサICOの計測結果を示します。オーバーフロー発生時はFFFFhが読み出されます。	R

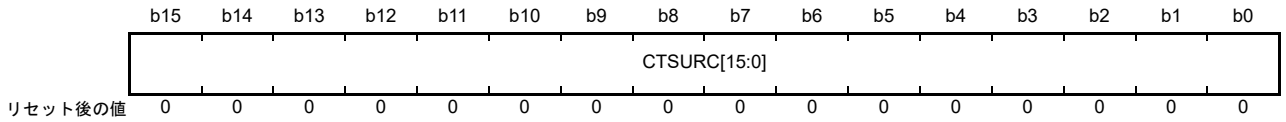
CTSU_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。

CTSUSC[15:0] ビット（CTSU センサカウンタ）

センサ ICO 用のインクリメントカウンタです。CTSU_CTSURD 割り込み発生後に読み出してください。本ビットは CTSURC カウンタ読み出し後、次の計測で CTSU 測定ステータスカウンタの値が Status4 に遷移する（CTSUST.CTSUSTC[2:0] フラグの値が 100b に遷移する）直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

51.2.19 CTSU リファレンスカウンタ（CTSURC）

アドレス CTSU.CTSURC 4008 101Ah



ビット	シンボル	ビット名	機能	R/W
b15-b0	CTSURC[15:0]	CTSUリファレンスカウンタ	リファレンスICOの計測結果を示します。オーバーフロー発生時はFFFFhが読み出されます。	R

CTSU_CTSURD 割り込み発生後、まず CTSUSC カウンタ、次に CTSURC カウンタの順で読み出してください。Status3 に指定した安定時間を経過しても、CTSURC カウンタが読み出されるまで Status3 が継続します。

CTSURC[15:0] ビット（CTSU リファレンスカウンタ）

リファレンス ICO クロック用のインクリメントカウンタです。リファレンス ICO はセンサ ICO によるタッチ計測を最適化します。CTSU に内蔵されたセンサ ICO とリファレンス ICO は個体により若干の偏差はありますが、ダイナミックレンジや電流－周波数の特性などはほぼ同様の特性を持っています。リファレンス ICO 電流調整ビットで設定できる電流量の範囲がほぼ、両 ICO のダイナミックレンジになるため、センサ ICO に入力する電流量もこのダイナミックレンジに収める必要があります。そのためには、ICO の個体差を確認するためにリファレンス ICO を使い、電流－発振周波数の特性を計測します。リファレンス ICO 発振周波数はリファレンス ICO カウンタで取得できます。リファレンス ICO 電流調整ビットに値を設定し、リファレンス ICO カウンタを計測することで、入力した電流量に対する ICO の発振周波数（カウンタ値／計測時間）を計測できます。また、リファレンス ICO 電流調整ビットの最大値で計測されるリファレンス ICO カウンタの値が、ICO のダイナミックレンジの最大値となります。センサ ICO カウンタの値がこの値を超えないように、オフセット調整ビットでセンサ ICO の電流をオフセットする必要があります。

CTSURC[15:0] ビットは、CTSU_CTSURD 割り込み発生後に読み出してください。本ビットは読み出し後に、次の計測で CTSU 測定ステータスカウンタの値が Status4 に遷移する（CTSUST.CTSUSTC[2:0] フラグの値が 100b に遷移する）直前にクリアされます。また、CTSUCR0.CTSUINIT ビットでもクリアされます。

51.2.20 CTSU エラーステータスレジスタ（CTSUERRS）

アドレス CTSU.CTSUERRS 4008 101Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTSUICOMP	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b14-b0	—	予約ビット	読むと0が読めます。	R
b15	CTSUICOMP	TSCAP電圧異常監視	TSCAP電圧の異常状態を監視します。 0：TSCAP電圧正常 1：TSCAP電圧異常	R

CTSUICOMP ビット（TSCAP 電圧異常監視）

CTSUSO1 レジスタで設定したオフセット電流量が、タッチ計測時のセンサ ICO 入力電流を上回った場合、TSCAP 電圧が異常となりタッチ計測が正しく行われません。本ビットは TSCAP 電圧を監視し、電圧異常となった場合は 1 になります。

なお、TSCAP 電圧が異常となった場合、センサ ICO カウンタの値は不定になりますが、タッチ計測は正常に終了するので、センサ ICO カウンタの値から異常を検知することは困難です。CTSUSO1 レジスタの CTSU リファレンス ICO 電流調整ビット（CTSURICOA[7:0]）を 0 以外の値にしてある場合は、必ずタッチ計測終了時に本ビットを確認してください。

本ビットは、CTSUCR1.CTSUPON ビットに 0 を書き込み、電源 OFF とすることでクリアされます。

51.3 動作説明

51.3.1 計測動作原理

図 51.4 に計測部回路を示します。

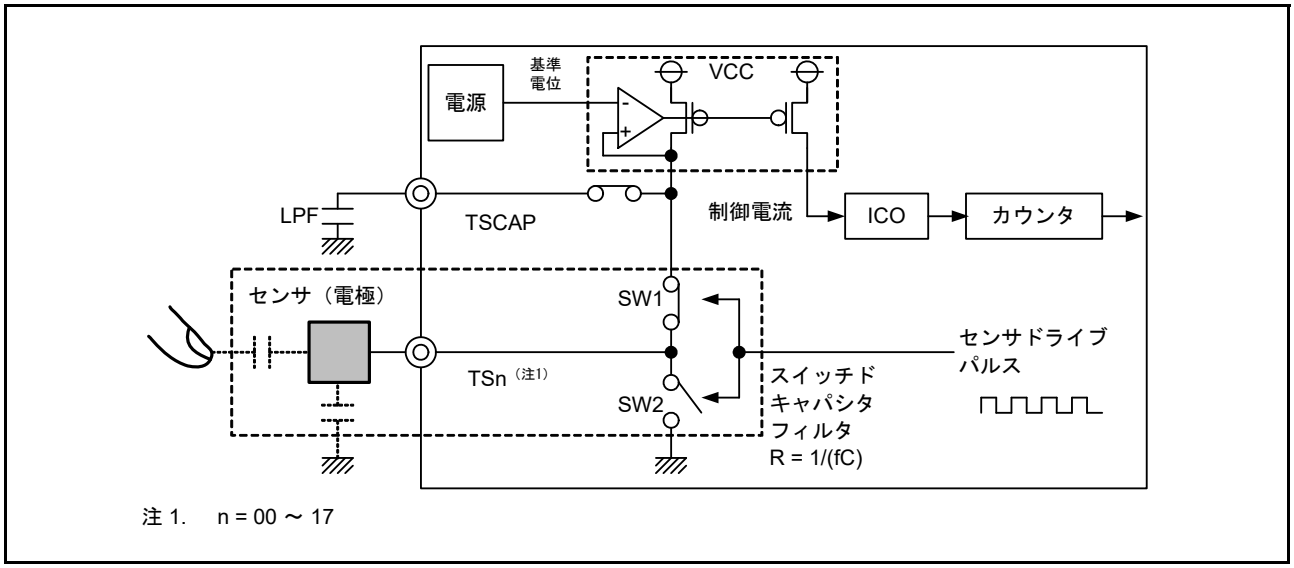


図 51.4 計測部回路

図 51.5 ～図 51.7 に CTSU の電流周波数変換の静電容量計測動作原理を示します。動作は以下のとおりです。

1. SW1：ON、SW2：OFF にすることで、電極の静電容量に充電されます。図 51.5 を参照してください。
2. SW1：OFF、SW2：ON にすることで、充電された容量は放電されます。図 51.6 を参照してください。
3. 1. と 2. の手順で電極の充放電を繰り返すことで、スイッチドキャパシタフィルタに電流が流れます。この時点で指が接近していれば、容量および流れる電流が変化します。TSCAP 電源を生成する回路からスイッチドキャパシタフィルタに流れる電流に比例した制御電流を ICO に供給することで、クロックを生成します。カウンタは、指が接近しているかどうかにより変化するクロック周波数を計測します。ソフトウェアは、カウンタから読み出した値に基づき指の接触を判断します。図 51.7 を参照してください。

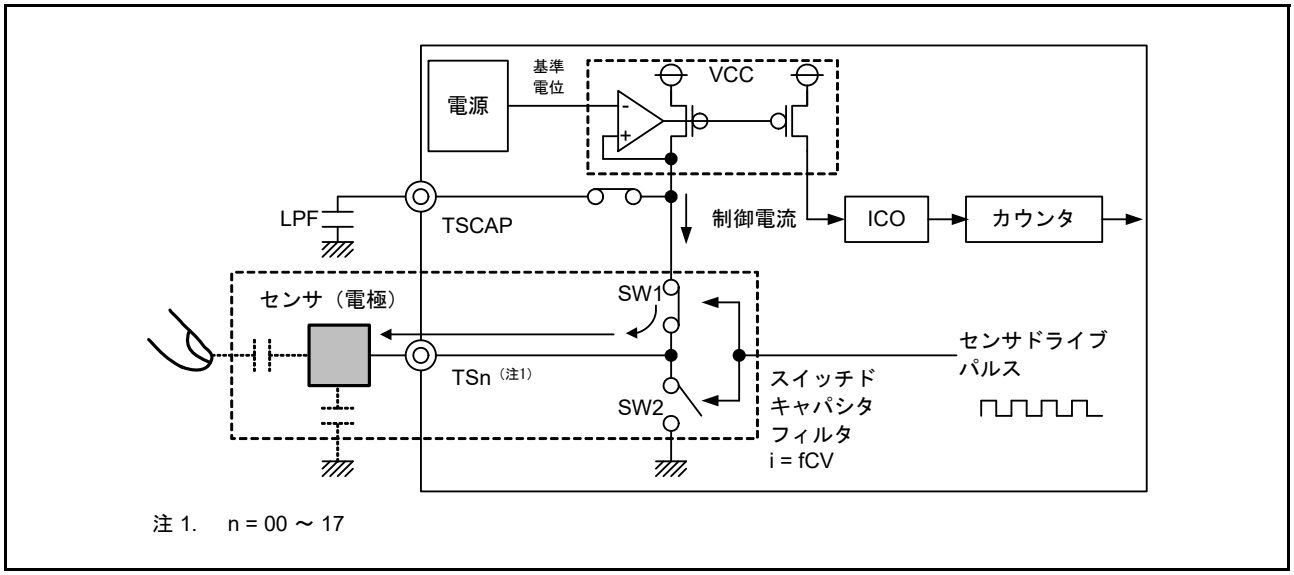


図 51.5 充電動作

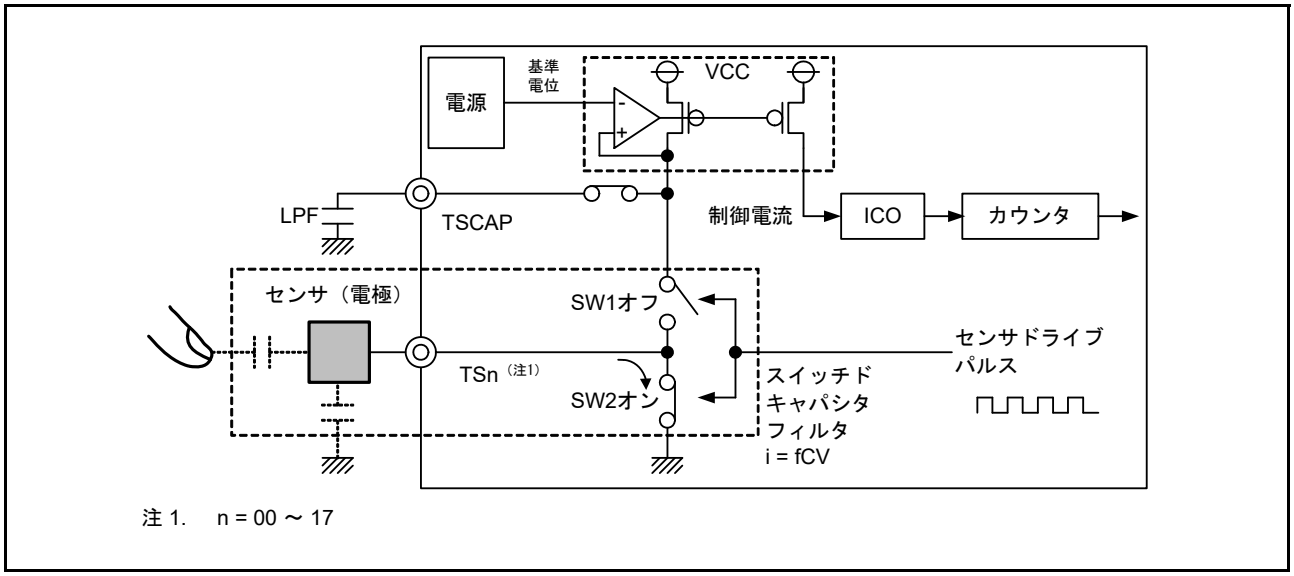


図 51.6 放電動作

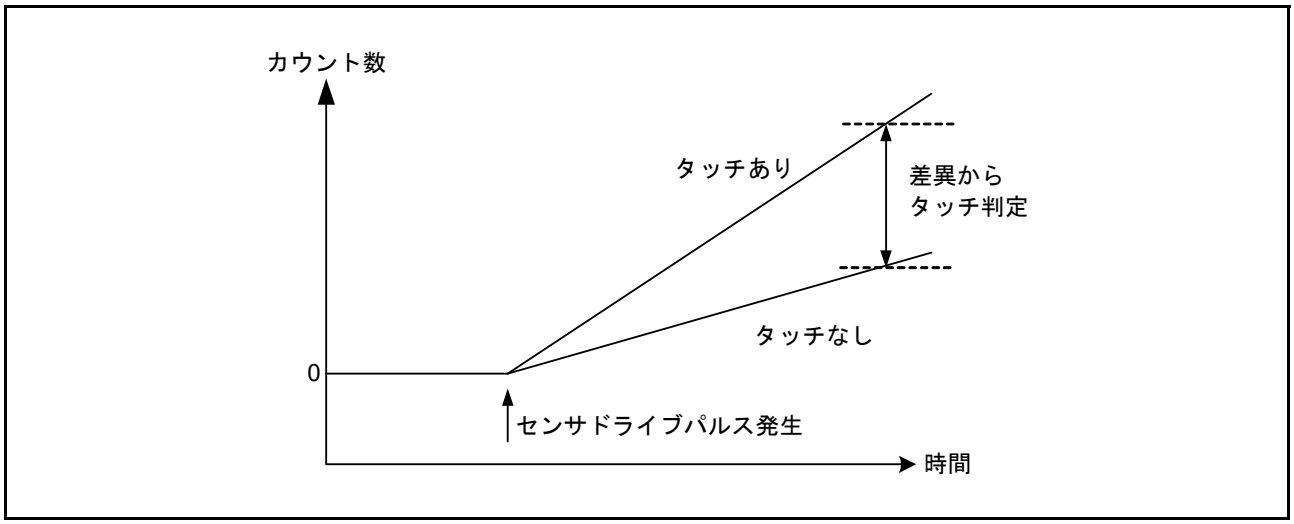


図 51.7 接触／非接触による計測値の変化

51.3.2 計測モード

CTSU は、自己容量方式と相互容量方式に対応しています。図 51.8 に自己容量方式と相互容量方式の概要を示します。

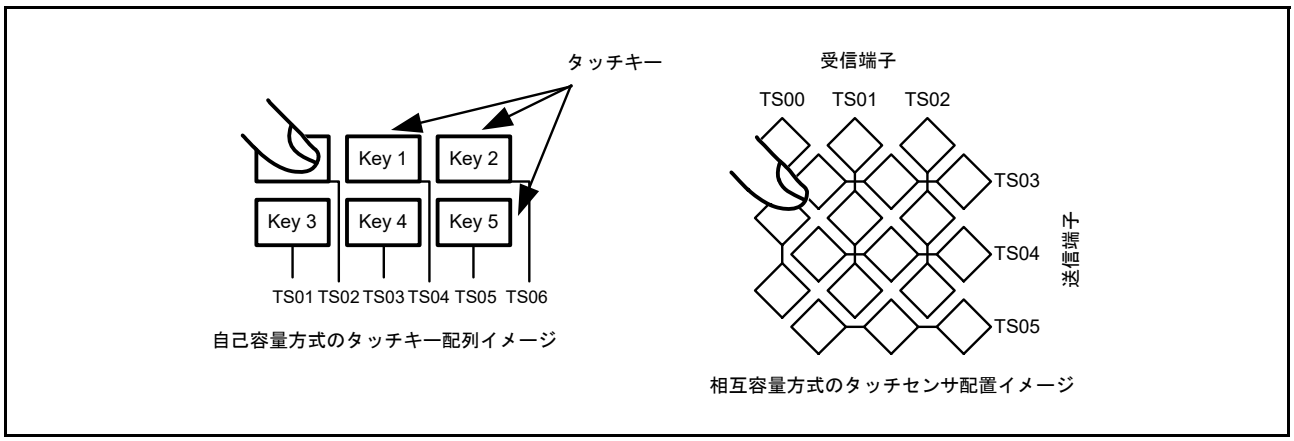


図 51.8 自己容量方式と相互容量方式の概要

自己容量方式では、1 つのタッチキーに 1 つのタッチ端子を割り当て、それぞれにおける指の接近時の静電容量を計測します。この方法では、シングルスキャンモードとマルチスキャンモードの両方で容量を計測できます。相互容量方式では、対向する 2 つの電極（送信端子と受信端子）間の容量を計測します。

51.3.2.1 初期設定フロー

図 51.9 に、CTSU の初期設定フローを示します。

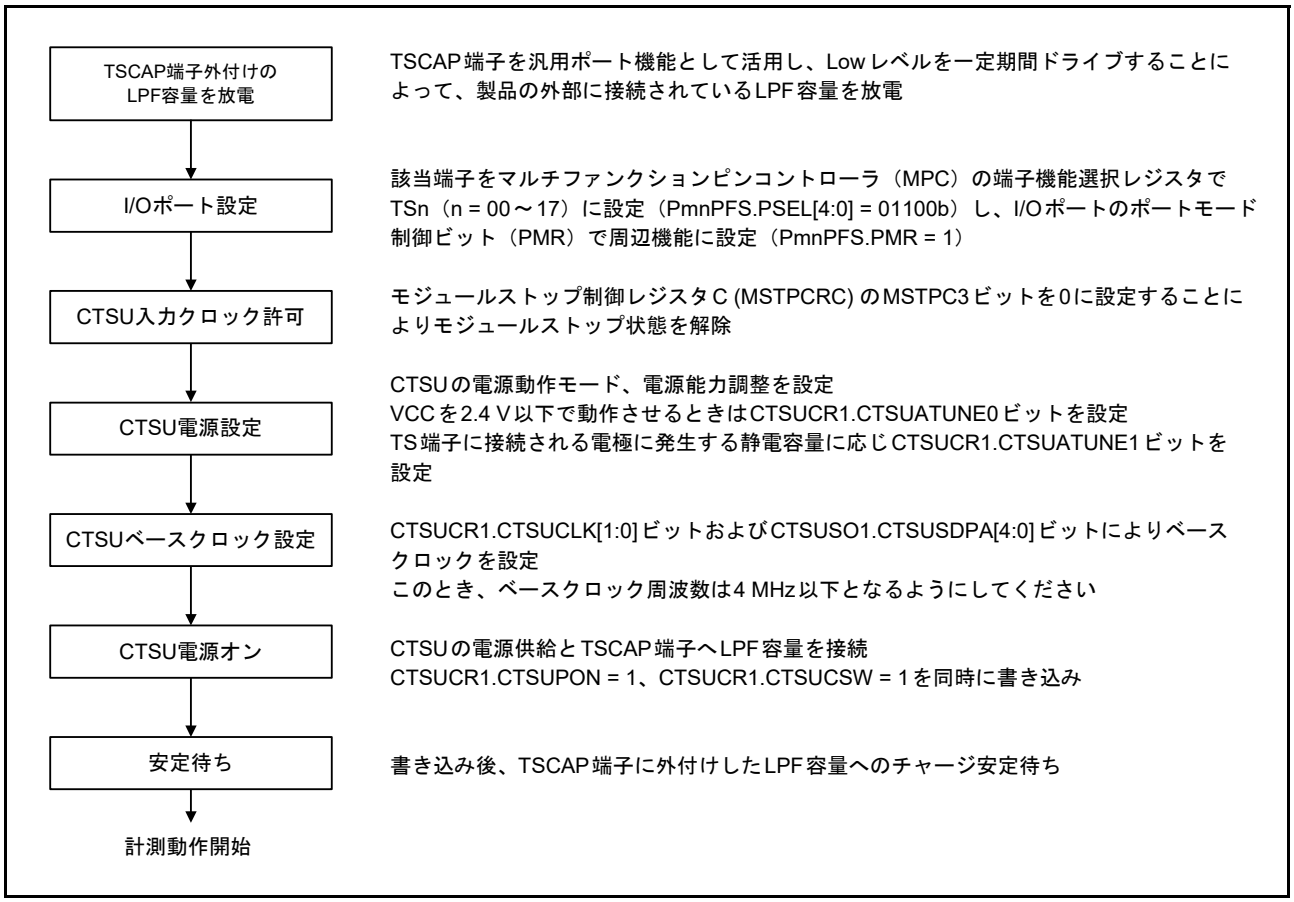


図 51.9 CTSU 初期設定フロー

図 51.10 に、CTSU の動作を停止させスタンバイ状態にするフローを示します。

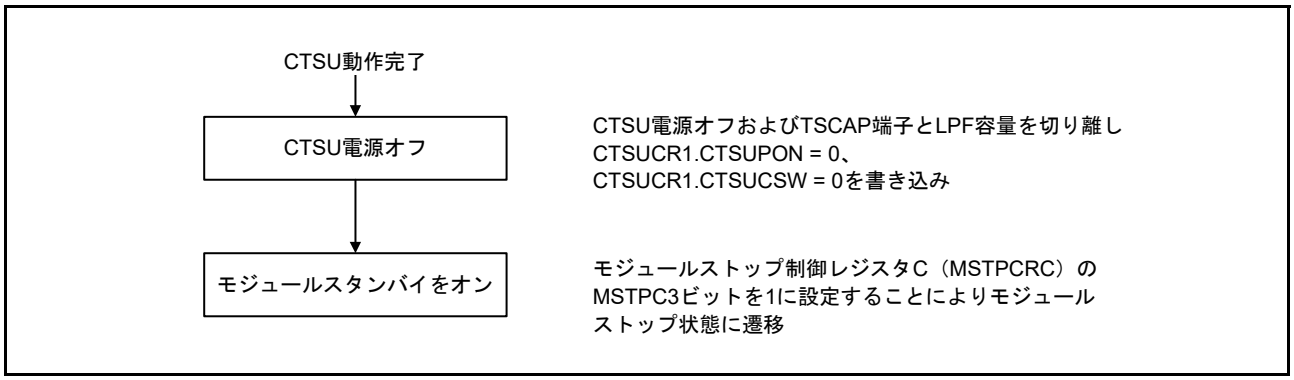
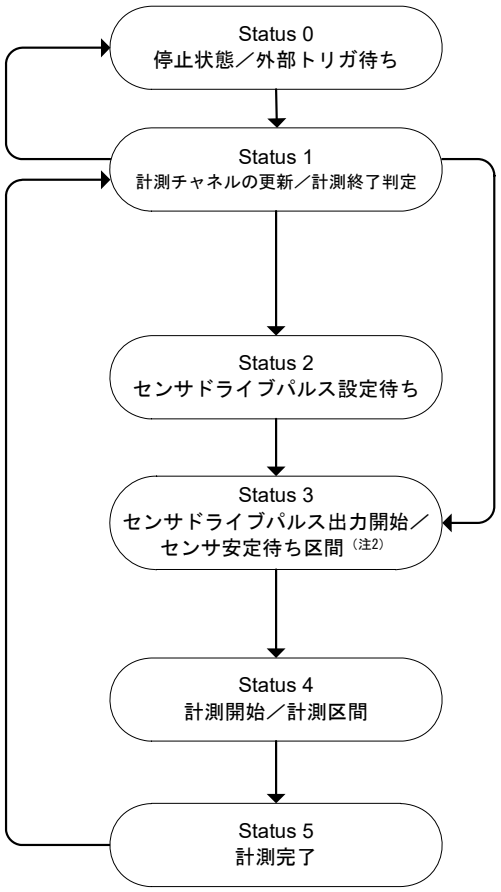


図 51.10 CTSU 停止フロー

動作を再開するには、図 51.9 の初期設定フローに従ってください。

51.3.2.2 ステータスカウンタ

CTSU ステータスレジスタ（CTSUST）の計測ステータスカウンタは、現在の計測ステータスを示します。計測ステータスは、3 つの計測モードすべてに適用されます。図 51.11 にステータス動作遷移図を示します。



Status 1への遷移条件：
- CTSUCR0.CTSUCAP = 0: CTSUCR0.CTSUSTRT = 1
- CTSUCR0.CTSUCAP = 1: CTSUCR0.CTSUSTRT = 1 かつ外部トリガの立ち上がりエッジ検出

Status 0への遷移条件：
- 次に計測すべきチャネルがない場合
（CTSUFN割り込み発生し、測定終了）

Status 2への遷移条件：
- 計測チャネルの更新完了

Status 3へ遷移条件：
- 相互容量フルスキャンモードで CTSUST.CTSUPS = 1（2 回目）の場合

Status 3への遷移条件：
- CTSUSO1 レジスタへのライトアクセス（注 1）

Status 4への遷移条件：
- センサドライブパルス供給開始からセンサ安定時間を経過し、CTSUST.CTSUDTSR = 0 の場合

Status 5への遷移条件：
- 計測開始から計測時間を経過

計測時間は、51.3.3.1 センサ安定待ち時間と計測時間を参照してください

Status 1への遷移条件：
- 動作クロックが 2 クロック経過

注 1. CTSU_CTSUWR 割り込み処理時に、レジスタ設定のために DTC または ICU を使用する場合、CTSUSO1 レジスタに最後に書き込んでください。
注 2. CTSUST.CTSUDTSR = 1 の場合は、前の計測結果転送待ちとなります。

図 51.11 ステータス動作遷移図

ステータスカウンタは、指定したすべての計測チャネルの計測が終了すると Status0 に遷移します。

CTSUCR0.CTSUSTRT ビットは、ソフトウェアトリガではハードウェアにより 0 にされます。また外部トリガでは 1 が保持され、次のトリガの待機状態になります。

計測中またはトリガ待機状態で強制終了する（CTSUCR0.CTSUSTRT ビットに 0 を、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込む）ことにより、Status0 に遷移して計測は停止します。

以下の場合、計測するチャネルはありません。

- CTSUCHAC0 ～ CTSUCHAC2 レジスタに計測対象チャネルが指定されていない場合
- 自己容量シングルスキャンモードで、CTSUMCH0 レジスタで指定したチャネルが CTSUCHAC0 ～ CTSUCHAC2 レジスタで計測対象外となっている場合
- フルスキャンモードで、CTSUCHAC0～CTSUCHAC2 レジスタ、CTSUCHTRC0～CTSUCHTRC2 レジスタの組み合わせで、計測する送信チャネルまたは受信チャネルがない場合

これらの設定に基づき計測するチャネルがない場合、Status1 への遷移後すぐに CTSU_CTSUFN 割り込みが発生し、ステータスは Status0 になります。

51.3.2.3 自己容量シングルスキャンモード動作

自己容量シングルスキャンモードでは、任意の 1 チャネルの静電容量を計測します。図 51.12 にソフトウェアフローと動作例を、図 51.13 にタイミングを示します。

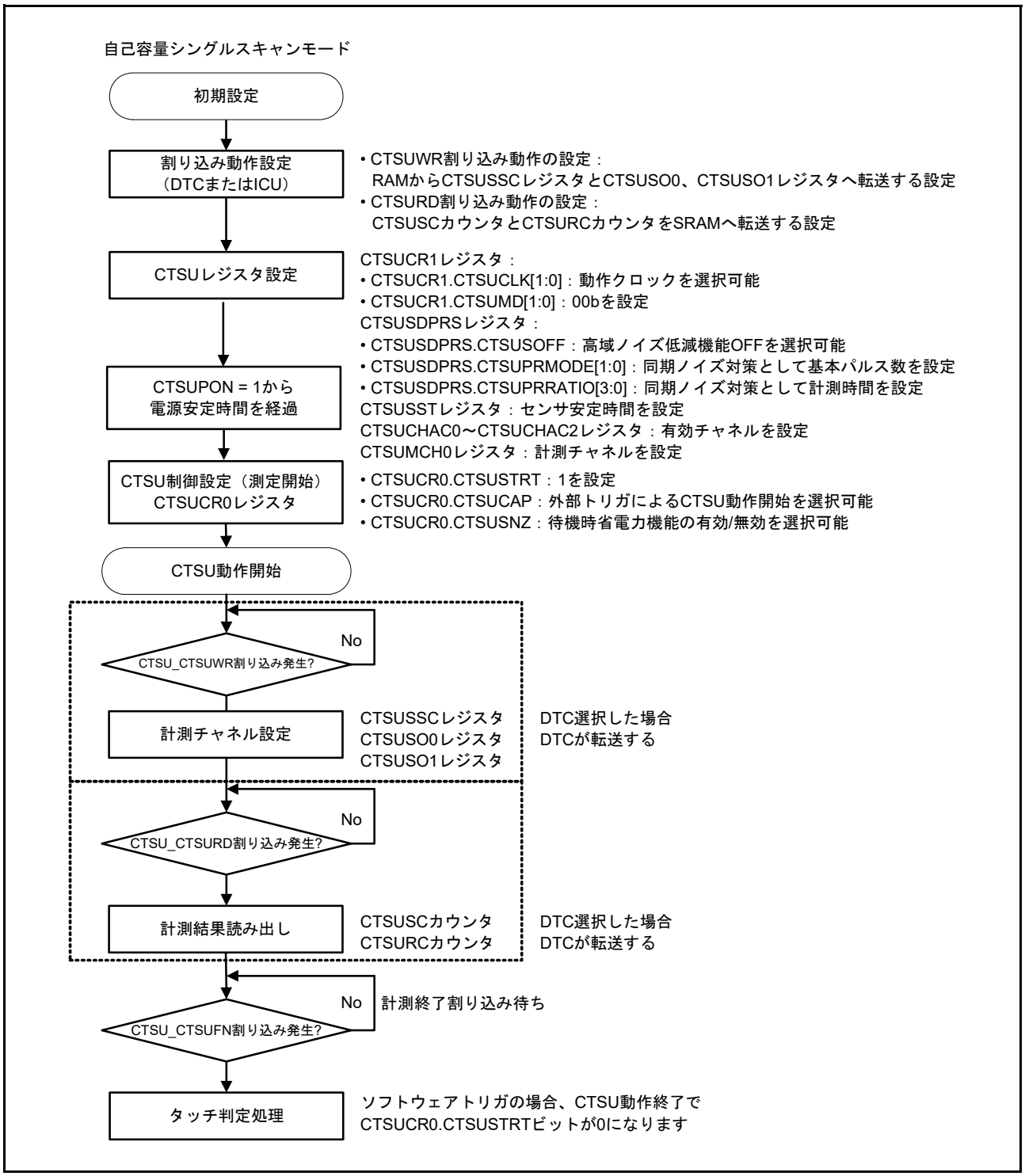


図 51.12 自己容量シングルスキャンモードのソフトウェアフローと動作例

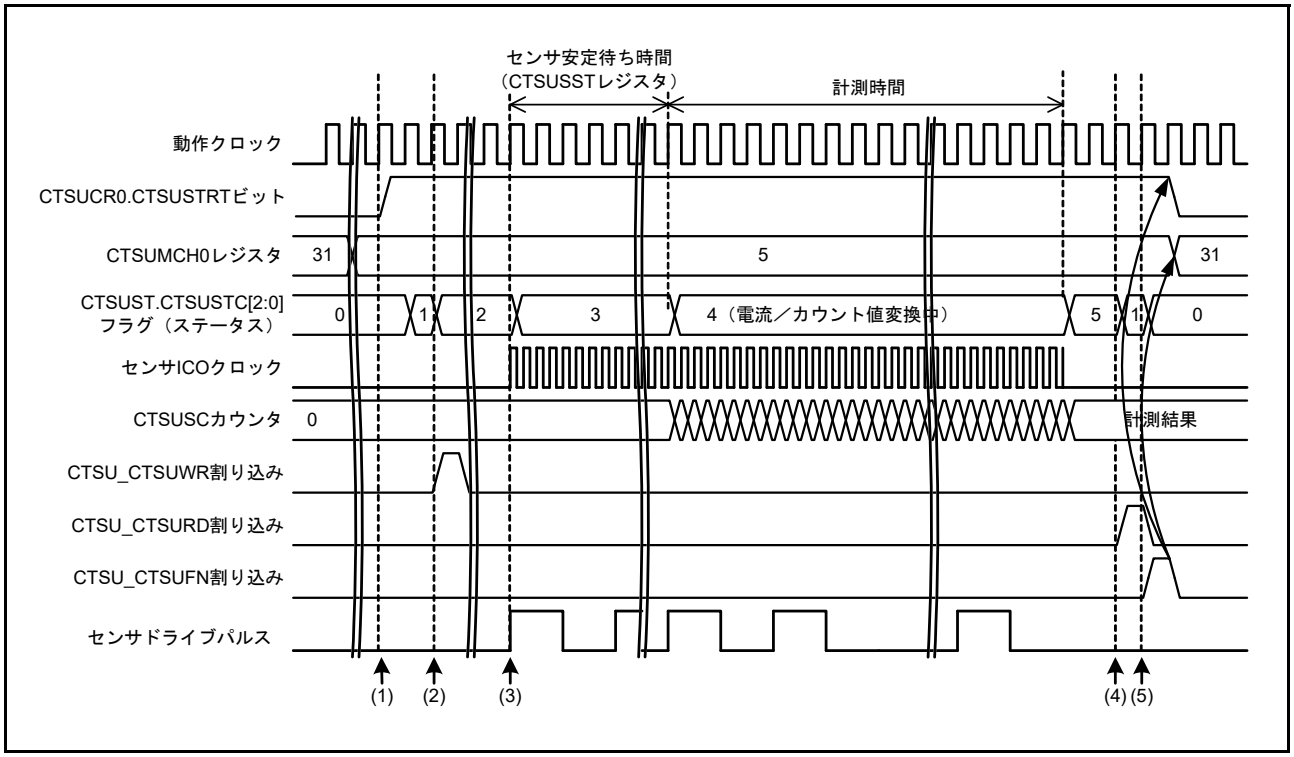


図 51.13　自己容量シングルスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 51.13 に示した動作を以下のシーケンスで説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従い、計測するチャネルが決定された後に、そのチャネルの設定要求（CTSU_CTSUWR）を出力します。
3. 計測チャネルの設定書き込み（CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ）が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求（CTSU_CTSURD）を出力します。
5. 計測終了割り込み（CTSU_CTSUFN）を出力して計測終了（Status0 へ遷移）します。

表 51.6 に自己容量シングルスキャンモードのタッチ端子状態を示します。

表 51.6　自己容量シングルスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャネル	非計測チャネル
0	低	低
1	低	低
2	低	低
3	パルス	低
4	パルス	低
5	低	低

51.3.2.4 自己容量マルチスキャンモードの動作

自己容量マルチスキャンモードは、CTSUCHAC0 ～ CTSUCHAC2 レジスタで計測対象に指定したすべてのチャネルに対して、静電容量を昇順で順次計測します。図 51.14 にソフトウェアフローと動作例を、図 51.15 にタイミングを示します。

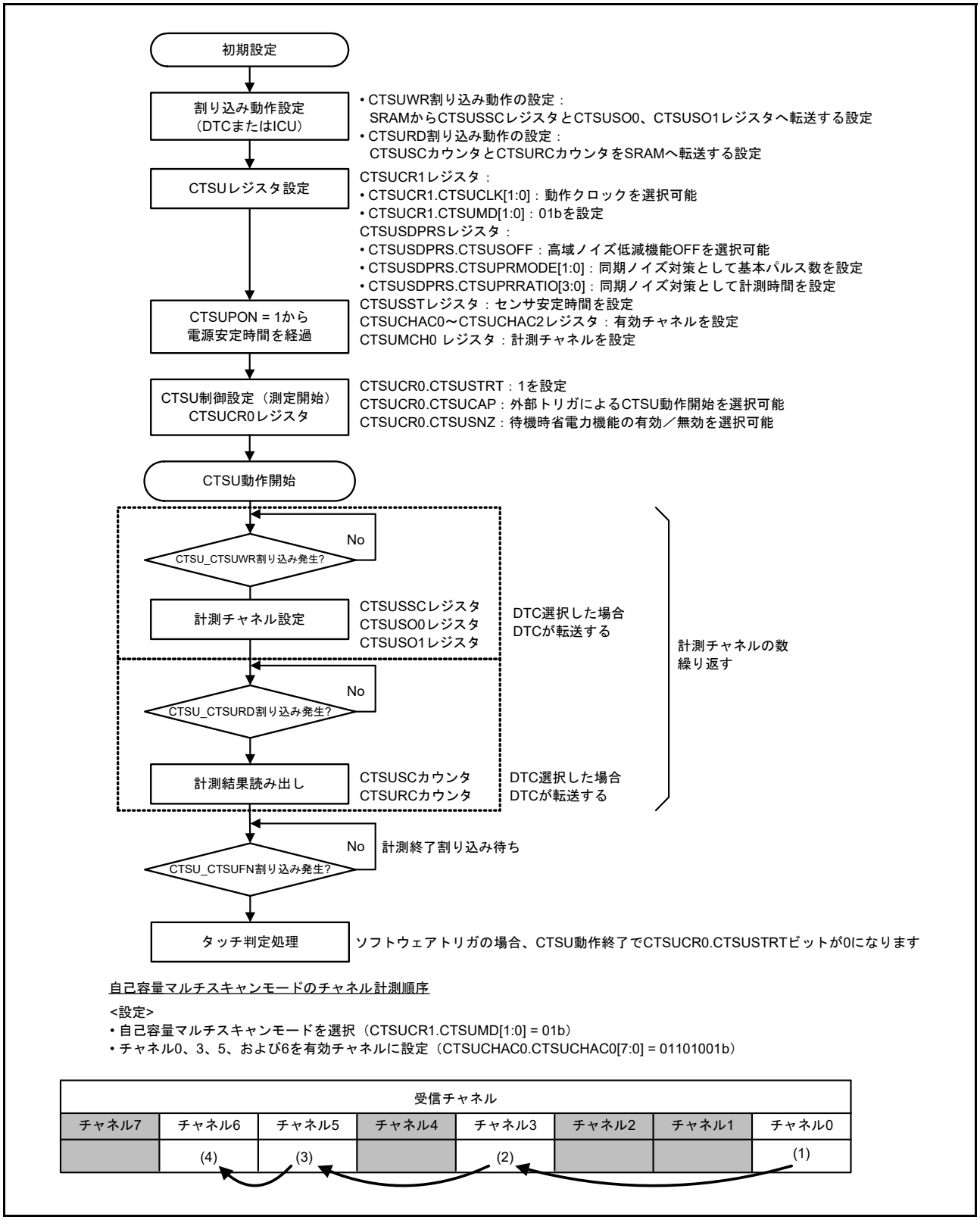


図 51.14 自己容量マルチスキャンモードのソフトウェアフローと動作例

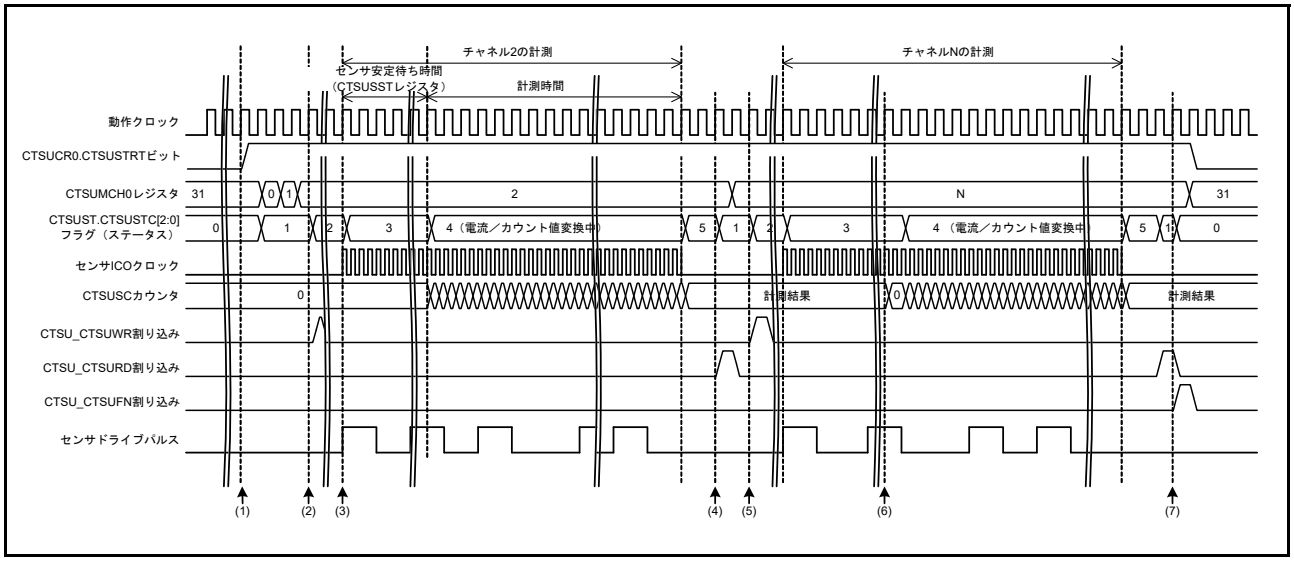


図 51.15　自己容量マルチスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 51.15 に示した動作を以下のシーケンスで説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従い、計測するチャネルが決定された後に、そのチャネルの設定要求（CTSU_CTSUWR）を出力します。
3. 計測チャネルの設定書き込み（CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ）が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求（CTSU_CTSURD）を出力します。
5. 次に計測するチャネルが決定された後に、チャネルの設定要求（CTSU_CTSUWR）を出力します。
6. 安定待ち時間の経過、および前回の計測結果の読み出しによって、前回の計測結果をクリアし、計測を開始します。
7. すべてのチャネル計測が完了したら、計測終了割り込み（CTSU_CTSUFN）を出力して計測を終了（Status0 へ遷移）します。

表 51.7 に自己容量マルチスキャンモードのタッチ端子状態を示します。

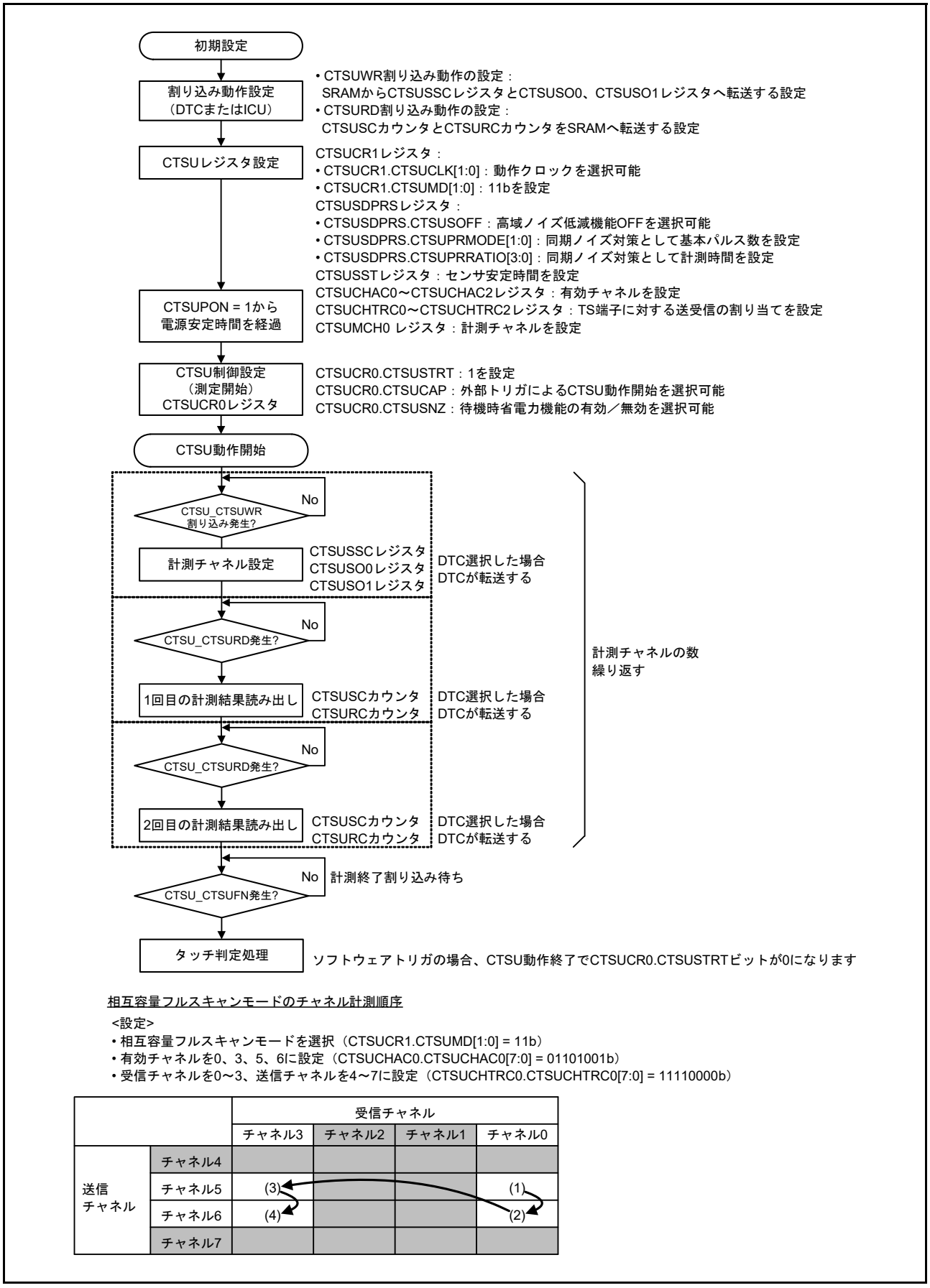
表 51.7　自己容量マルチスキャンモードのタッチ端子状態

Status	タッチ端子	
	計測チャネル	非計測チャネル
0	低	低
1	低	低
2	低	低
3	パルス	低
4	パルス	低
5	低	低

51.3.2.5 相互容量フルスキャンモード動作

相互容量フルスキャンモードは、受信チャネルのセンサドライブパルスの High 期間に対して、計測対象の送信チャネルにエッジを印加して計測を行います。1 計測対象に対して立ち上がりエッジと立ち下がりエッジの 2 回の計測を実施します。この 2 回の計測データの差分からタッチ判定を行います。これにより、より高いタッチ感度を実現します。

CTSUCHTRC0 ～ CTSUCHTRC2 レジスタで送信用または受信用に設定され、CTSUCHAC0 ～ CTSUCHAC2 レジスタで計測対象に設定されたチャネルに対して、静電容量を順次計測します。容量は、これらの信号を組み合わせて計測されます。図 51.16 にソフトウェアフローと動作例を、図 51.17 にタイミングを示します。



相互容量フルスキャンモードのチャネル計測順序

<設定>
- 相互容量フルスキャンモードを選択（CTSUCR1.CTSUMD[1:0] = 11b）
- 有効チャネルを0、3、5、6に設定（CTSUCHAC0.CTSUCHAC0[7:0] = 01101001b）
- 受信チャネルを0～3、送信チャネルを4～7に設定（CTSUCHTRC0.CTSUCHTRC0[7:0] = 11110000b）

		受信チャネル			
		チャネル3	チャネル2	チャネル1	チャネル0
送信チャネル	チャネル4				
	チャネル5	(3)			(1)
	チャネル6	(4)			(2)
	チャネル7				

図 51.16　相互容量フルスキャンモードのソフトウェアフローと動作例

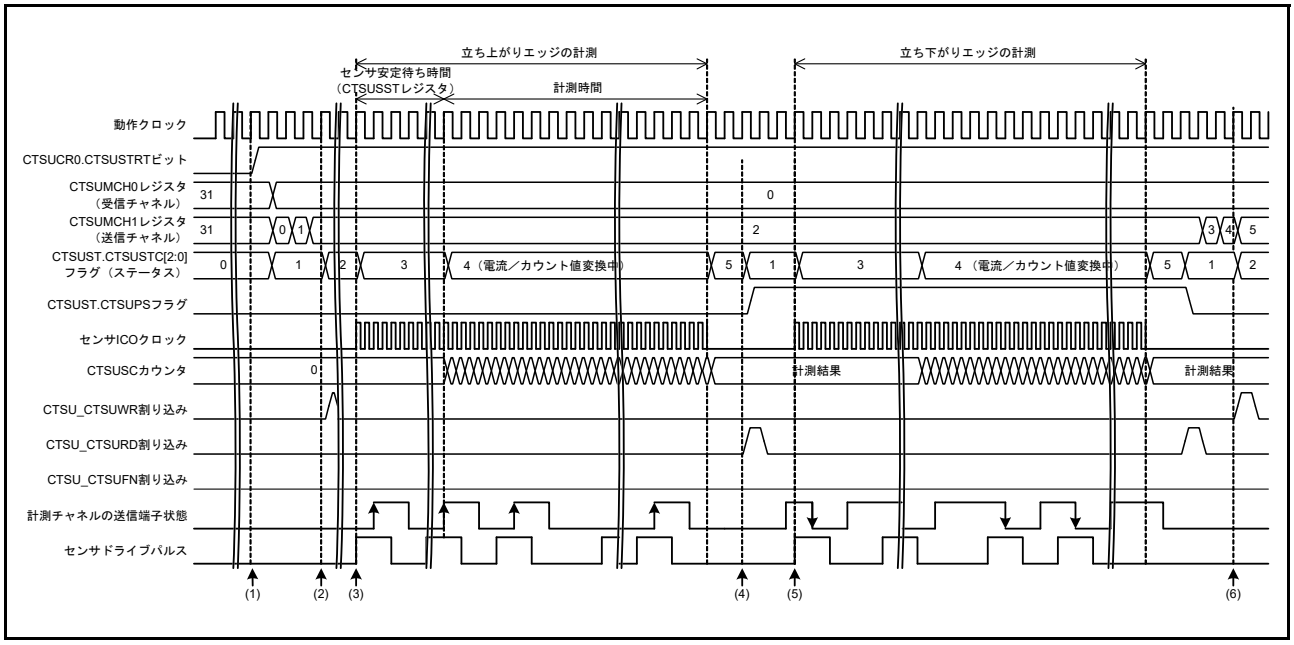


図 51.17　　相互容量フルスキャンモードのタイミング（計測開始条件がソフトウェアトリガの場合）

図 51.17 に示した動作を以下で説明します。

1. 初期設定を実施後、CTSUCR0.CTSUSTRT ビットに 1 を書き込むと開始します。
2. あらかじめ設定された条件に従い、計測するチャネルが決定された後に、そのチャネルの設定要求（CTSU_CTSUWR）を出力します。
3. 計測チャネルの設定書き込み（CTSUSSC、CTSUSO0、および CTSUSO1 レジスタ）が完了するとセンサドライブパルスが出力され、センサ ICO クロックとリファレンス ICO クロックが動作します。同時に、センサドライブパルスの High 期間に対して、立ち上がりエッジで検出されたパルスを計測チャネルの送信端子に出力します。
4. センサ安定待ち時間、計測時間が経過して計測が終了した後、計測結果読み出し要求（CTSU_CTSURD）を出力します。
5. 同一チャネルに対して、センサドライブパルスの High 期間に、立ち下がりエッジで検出されたパルスを出力して計測を行います。
6. 同一チャネルに対して 2 回の計測を行った後、次に計測するチャネルを決定し、同様の計測を行います。
7. すべてのチャネル計測が完了したら、計測終了割り込み（CTSU_CTSUFN）を出力して計測を終了（Status0 へ遷移）します。

なお、CTSU 相互容量計測ステータスフラグ（CTSUST.CTSUPS ビット）は、Status5 から Status1 へ遷移するタイミングで変化します。

表 51.8 に相互容量フルスキャンモードのタッチ端子状態を示します。

表 51.8 相互容量フルスキャンモードのタッチ端子状態

Status	受信チャネルのタッチ端子		送信チャネルのタッチ端子		備考
	計測チャネル	非計測チャネル	計測チャネル	非計測チャネル	
0	低	低	低	低	-
1	低	低	低/高	低	-
2	低	低	低	低	-
3	パルス	低	パルス	低	位相パルスは、1回目の計測では受信チャネルと同相になり、2回目の計測では逆相になります。
4	パルス	低	パルス	低	-
5	低	低	低	低	-

51.3.3 複数モードに関わる共通機能

51.3.3.1 センサ安定待ち時間と計測時間

図 51.18 にセンサ安定待ちと計測のタイミングを示します。

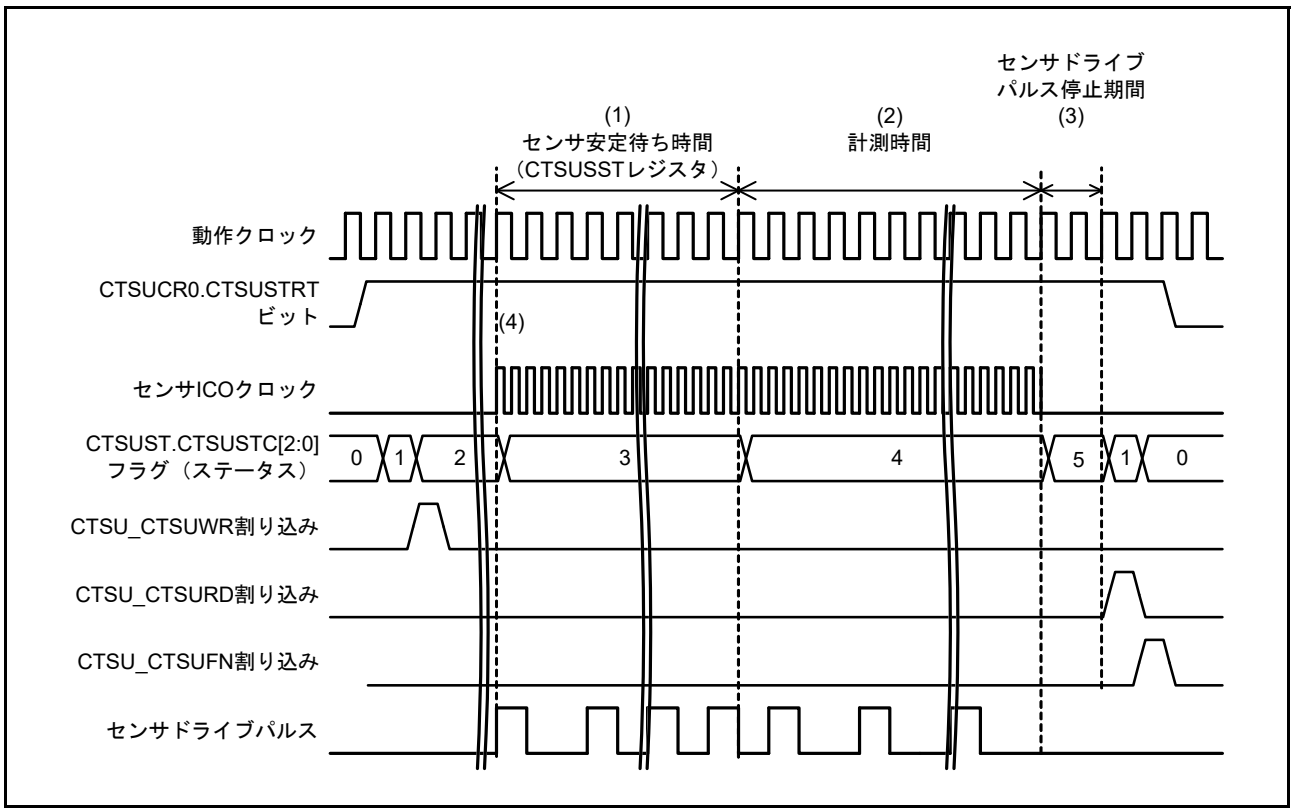


図 51.18 センサ安定待ちと計測のタイミング

図 51.18 に示した動作を以下で説明します。

1. CTSU_CTSUWR 割り込み要求に対して、CTSUSO1 レジスタへライトアクセスすることでセンサドライブパルスの出力を開始し、CTSUSST レジスタで設定した安定時間を待ちます。
2. センサ安定時間が経過し、かつ CTSUST.CTSUDTSR フラグが 0 になると、Status4 に遷移することによって計測を開始します。計測時間は、ベースクロックの周期と CTSUSDPRS.CTSUPRMODE[1:0] ビット、CTSUPRRATIO[3:0] ビット、CTSUSO0.CTSUSNUM[5:0] ビットの設定で決定します。計測時間が経過するとチャネルの計測を終了します。
3. 計測時間経過後、動作クロック 2 サイクルで Status1 に遷移し、CTSU_CTSURD 割り込みが発生します。CTSUSC カウンタと CTSURC カウンタからデータを読み出してください。センサドライブパルスは Low レベルで出力されます。設定した全チャネルの計測が完了すると、CTSUCR0.CTSUSTRT ビットは 0 になります。
4. センサ ICO クロックは、CTSUST.CTSUSTC[2:0] フラグ = 011b（Status3）または 100b（Status4）の期間に発振します。

51.3.3.2 割り込み

CTSU は下記の割り込みに対応しています。

- チャネルごとの設定レジスタ書き込み要求割り込み（CTSU_CTSUWR）
- 測定データ転送要求割り込み（CTSU_CTSURD）
- 測定終了割り込み（CTSU_CTSUFN）

(1) チャネルごとの設定レジスタ書き込み要求割り込み（CTSU_CTSUWR）

計測チャネルごとの設定データを SRAM 上に用意しておき、あらかじめ CTSU_CTSUWR 割り込みに対応した DTC/ICU の転送設定を行います。CTSU_CTSUWR 割り込みは Status1 から Status2 へ遷移したタイミングで出力します。選択したチャネルの設定データを SRAM から CTSUSSC、CTSUSO0、CTSUSO1 の各レジスタに書き込んでください（図 51.19）。CTSUSO1 レジスタへのライトアクセスにより次の Status への遷移が制御されるため、CTSUSO1 レジスタを必ず最後に設定してください。

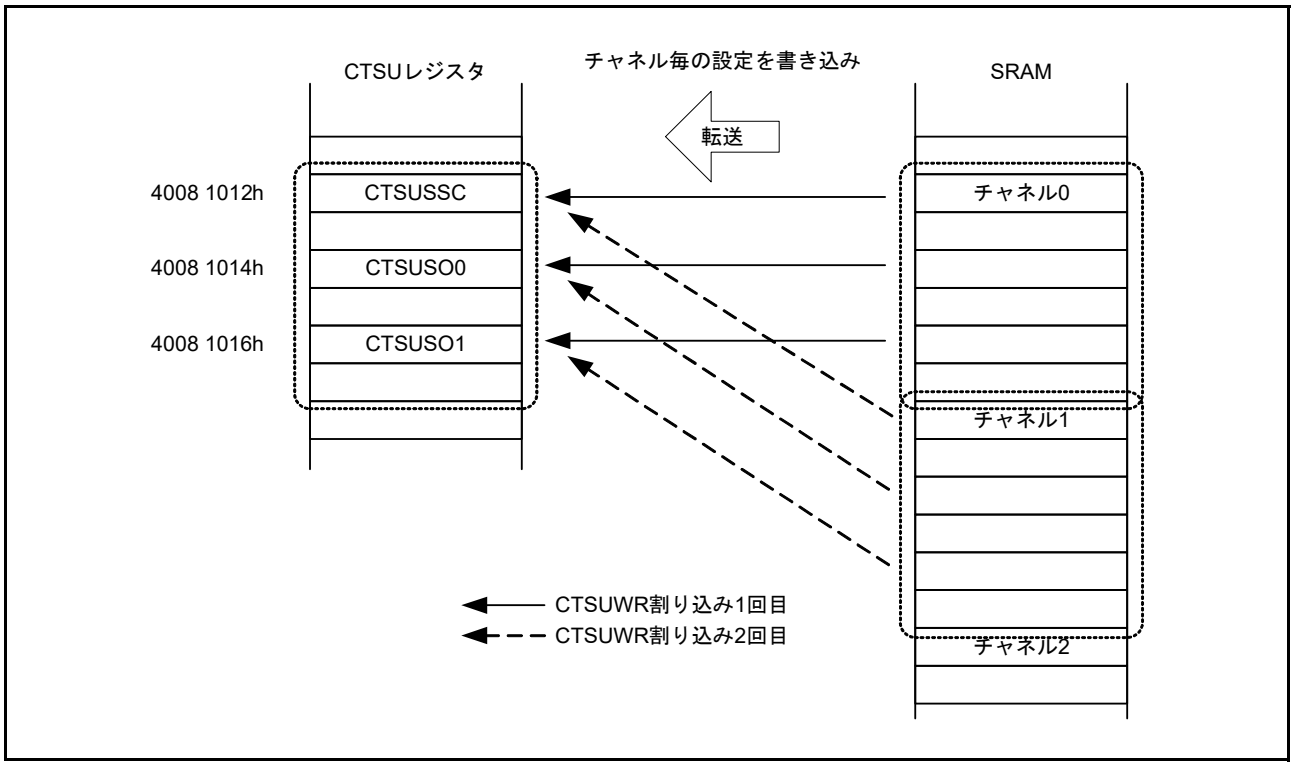


図 51.19 CTSU_CTSUWR 割り込みを用いた DTC 転送動作例

設定するレジスタ（CTSUSSC、CTSUSO0、CTSUSO1 の各レジスタ）は、連続したアドレスに配置しています。CTSU_CTSUWR 割り込み発生では、以下のように動作を設定してください。

- 転送先アドレス：CTSUSSC レジスタのアドレス
- 転送先アドレスの処理：1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは固定
- 転送元アドレス:SRAM 上に用意した設定の番号が最小のチャネルの CTSUSSC レジスタデータ格納アドレス
- 転送元アドレスの処理 : 1 回の割り込みで 2 バイトのデータを 3 回転送。先頭バイトのアドレスは前回の割り込み処理から継続
- 割り込み 1 回あたりの転送回数：計測する回数を指定

(2) 測定データ転送要求割り込み（CTSU_CTSURD）

あらかじめ、CTSU_CTSURD 割り込みに対応した DTC/ICU の転送設定を行います。CTSU_CTSURD 割り込みは、Status5 から Status1 へ遷移するタイミングで出力します。計測結果を CTSUSC カウンタと CTSURC カウンタから読み出してください（図 51.20）。

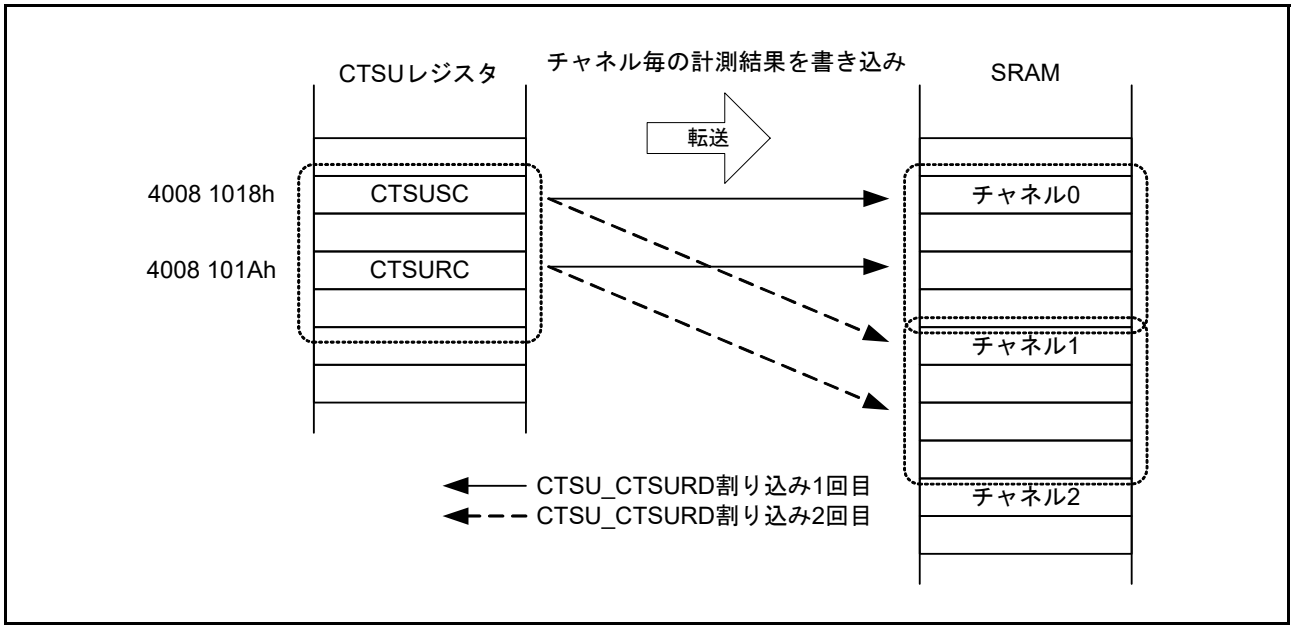


図 51.20 CTSU_CTSURD 割り込みを用いた DTC 転送動作例

転送元である計測結果レジスタ（CTSUSC カウンタと CTSURC カウンタ）は、連続したアドレスに配置してあります。CTSU_CTSURD 割り込み発生では、以下のように動作を設定してください。

- 転送元アドレス：CTSUSC カウンタのアドレス
- 転送元アドレスの処理：1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは固定
- 転送先アドレス：SRAM 上に用意した設定の番号が最小のチャネルの CTSUSC カウンタデータ格納アドレス
- 転送先アドレスの処理：1 回の割り込みで 2 バイトのデータを 2 回転送。先頭アドレスは前回の割り込み処理から継続
- 割り込み 1 回あたりの転送回数：計測する回数を指定

(3) 測定終了割り込み（CTSU_CTSUFN）

すべてのチャネル計測が終了すると、Status1 から Status0 に遷移するタイミングで割り込みが発生します。ソフトウェアで、オーバーフローフラグ（CTSUST.CTSUSOVF と CTSUROVF）の確認を行い、計測結果を読み出して電極とのタッチの有無を判定します。割り込み要求の受付、禁止は割り込み制御部で行います。

51.4 使用上の注意事項

51.4.1 計測結果データ（CTSUSC カウンタ、CTSURC カウンタ）

計測中のリードアクセスは禁止です。アクセスした場合は、非同期のため正しくない値を読み出す場合があります。

51.4.2 ソフトウェアトリガ

CTSUCR1.CTSUCLK[1:0] ビットで 10b（PCLKB/4）を選択した場合、計測完了後に CTSUR0.CTSUSTRT ビットへ 1 を書き込み計測を再開させるときは、割り込み発生から 3 サイクル以上待ってから書き込むようにしてください。

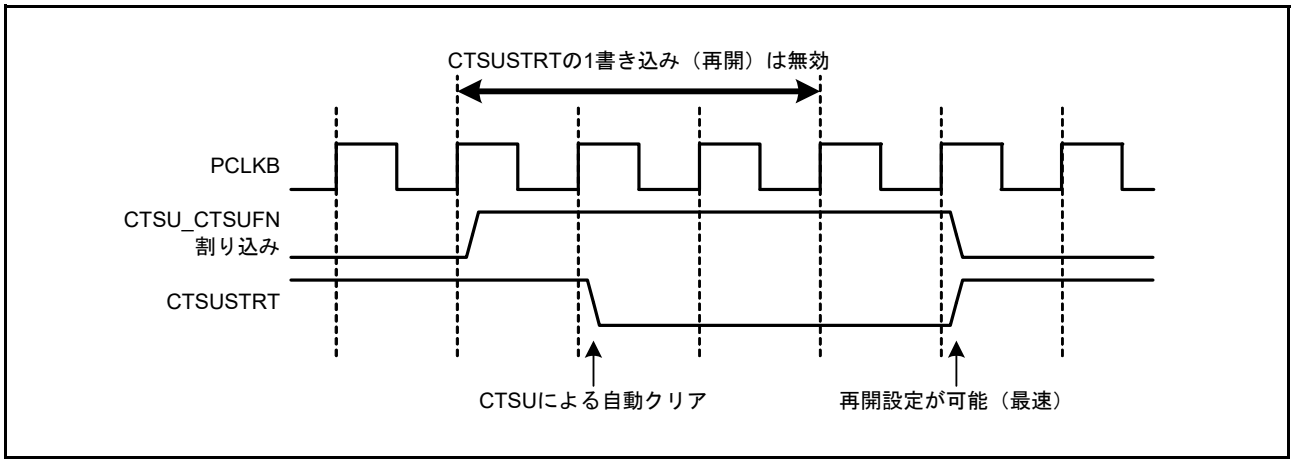


図 51.21 再開時の注意事項

51.4.3 外部トリガ

- 計測時間中に外部トリガが入力された場合、計測は開始されない。次の外部イベントは、CTSU_CTSUFN 割り込みが発生した動作クロックの 1 サイクル後から有効
- 外部トリガモードを終了する場合は、CTSUCR0.CTSUSTRT ビットの 0 と CTSUCR0.CTSUINIT ビットの 0 の同時書き込み（強制停止）で停止

51.4.4 強制動作停止の注意事項

動作中に強制停止させる場合は、CTSUCR0.CTSUSTRT ビットに 0、CTSUCR0.CTSUINIT ビットに 1 を同時に書き込んでください。動作が停止し、内部コントロールレジスタが初期化されます。

CTSUCR0.CTSUINIT ビットによる初期化では、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUMCH0 レジスタ
- CTSUMCH1 レジスタ
- CTSUST レジスタ
- CTSUSC カウンタ
- CTSURC カウンタ

強制停止した場合、内部状態によっては割り込み要求が発生することがあります。強制停止後、DTC/ICU の停止／無効処理も行ってください。搭載するシステムが何らかの要因で DTC 転送を停止する場合は、CTSU に対しても強制終了および初期化処理を行ってください。

51.4.5 TSCAP 端子

TSCAP 端子は、CTSU 内部電圧を一定に保つために、外部デカップリングキャパシタを必要とします。TSCAP 端子とキャパシタ間、およびキャパシタとグランド間の配線は、物理的に可能な限り短く幅広くしてください。

TSCAP 端子に接続されているキャパシタは、接続確立のためスイッチを ON（CTSUCR1.CTSUCSW = 1）にする前に、I/O ポート制御により Low を出力させ、十分放電させてください。

51.4.6 計測動作時（CTSUCR0.CTSUSTRT ビット = 1）の注意事項

計測中（CTSUCR0.CTSUSTRT ビット = 1）には、システムの上位レイヤから「周辺クロックの停止」や「タッチ端子（TSn 端子、TSCAP 端子）に関わるポート設定の変更」を行わないでください。

この制限に違反する制御を設定した場合は、動作の強制停止（CTSUCR0.CTSUSTRT ビット = 0、CTSUCR0.CTSUINIT ビット = 1）後、CTSUCR1.CTSUPON ビットと CTSUCR1.CTSUCSW ビットに 0 を同時に書き込み、CTSUCR0.CTSUSNZ ビットを 0 にしてください。次に、図 51.9 の初期設定フローから再開してください。

52. データ演算回路（DOC）

52.1 概要

データ演算回路（DOC）は、16 ビットのデータを比較、加算および減算する機能です。選択された条件が適用されると、割り込みが発生します。表 52.1 に DOC の仕様を、図 52.1 にブロック図を示します。

表 52.1 DOCの仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
モジュール停止機能	モジュール停止状態に設定して消費電力を削減
割り込みとイベントリンク機能（DOC_DOPCI）	割り込みの発生条件 • 比較された値が一致または不一致のとき • データ加算の結果がFFFFhより大きくなったとき • データ減算の結果が0000hより小さくなったとき

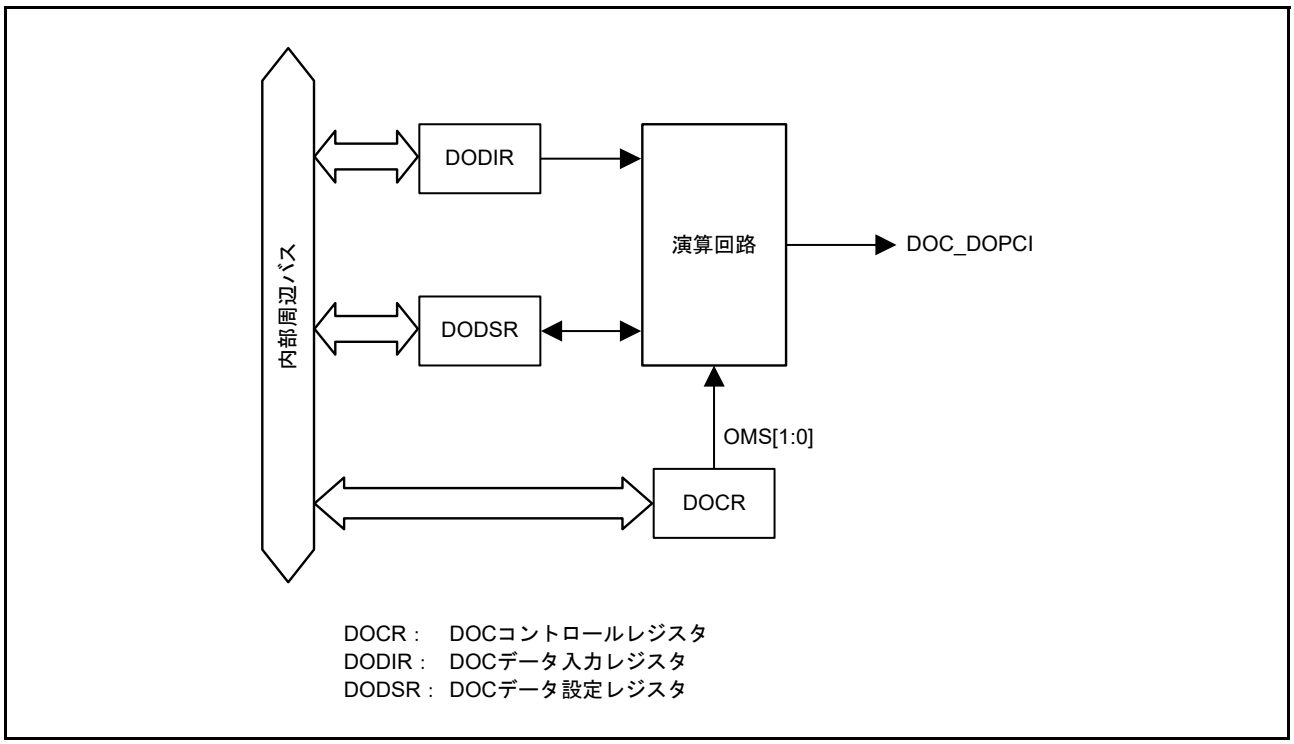


図 52.1 DOC ブロック図

52.2 レジスタの説明

52.2.1 DOC コントロールレジスタ（DOCR）

アドレス DOC.DOCR 4005 4100h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCFCL	DOPCF	—	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択	b1 b0 0 0：データ比較モード 0 1：データ加算モード 1 0：データ減算モード 1 1：設定禁止	R/W
b2	DCSEL（注1）	検出条件選択	0：データの不一致検出時にDOPCFを設定 1：データの一致検出時にDOPCFを設定	R/W
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します。	R
b6	DOPCFCL	DOPCFクリア	0：DOPCFフラグ状態を保持 1：DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. データ比較モード選択時のみ有効

OMS[1:0] ビット（動作モード選択）

DOC の動作モードを選択します。

DCSEL ビット（検出条件選択）

データ比較モード時の検出条件を選択します。データ比較モード選択時のみ有効です。

DOPCF フラグ（データ演算回路フラグ）

動作結果を示します。

［1 になる条件］

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が FFFFh より大きくなったとき
- データ減算の結果が 0000h より小さくなったとき

［0 になる条件］

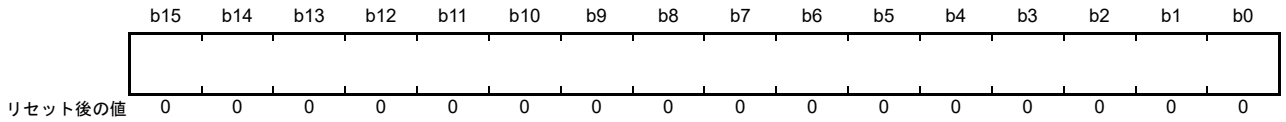
- DOPCFCL ビットに 1 を書き込んだとき

DOPCFCL ビット（DOPCF クリア）

本ビットを 1 にすると DOPCF フラグをクリアします。読むと 0 が読めます。

52.2.2 DOC データインプットレジスタ（DODIR）

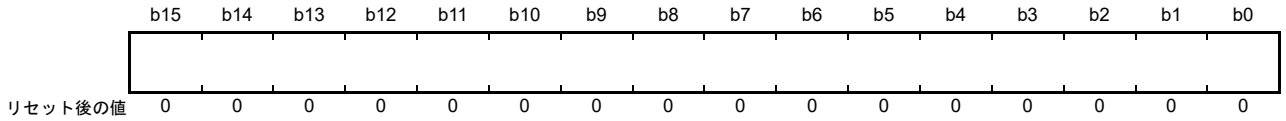
アドレス DOC.DODIR 4005 4102h



DODIR は、すべての演算で使用する 16 ビットのデータを格納する 16 ビットの読み出し／書き込みレジスタです。

52.2.3 DOC データ設定レジスタ（DODSR）

アドレス DOC.DODSR 4005 4104h



DODSR は、データ比較モードで基準として使用される 16 ビットのデータを格納する 16 ビットの読み出し／書き込みレジスタです。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

52.3 動作説明

52.3.1 データ比較モード

データ比較モードの DOC 動作例を図 52.2 に示します。この例は、DCSEL = 0（データ比較の結果、データ不一致を検出）にした場合です。設定方法は以下の通りです。

1. DOCR.OMS[1:0] ビットに 00b を書き込み、データ比較モードにします。
2. DODSR レジスタに基準となる 16 ビットのデータを設定します。
3. DODIR レジスタに比較する 16 ビットのデータを書き込みます。
4. 比較するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. DOCR.DCSEL = 0 の場合、DODIR に書き込まれた値が DODSR 内の値と一致しなかったとき、DOCR.DOPCF フラグが 1 になります。

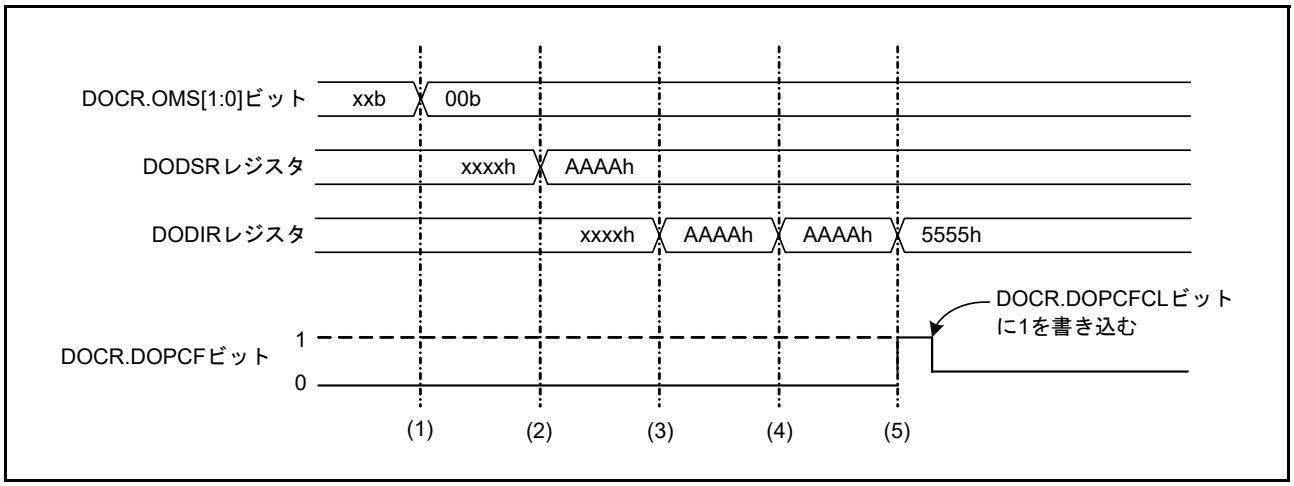


図 52.2 データ比較モードの動作例

52.3.2 データ加算モード

データ加算モードの DOC 動作例を図 52.3 に示します。設定方法は以下の通りです。

1. DOCR.OMS[1:0] ビットに 01b を書き込むと、データ加算モードになります。
2. DODSR レジスタの初期値として 16 ビットデータを設定します。
3. DODIR レジスタに加算する 16 ビットデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 加算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が FFFFh よりも大きくなったとき DOCR.DOPCF フラグが 1 になります。

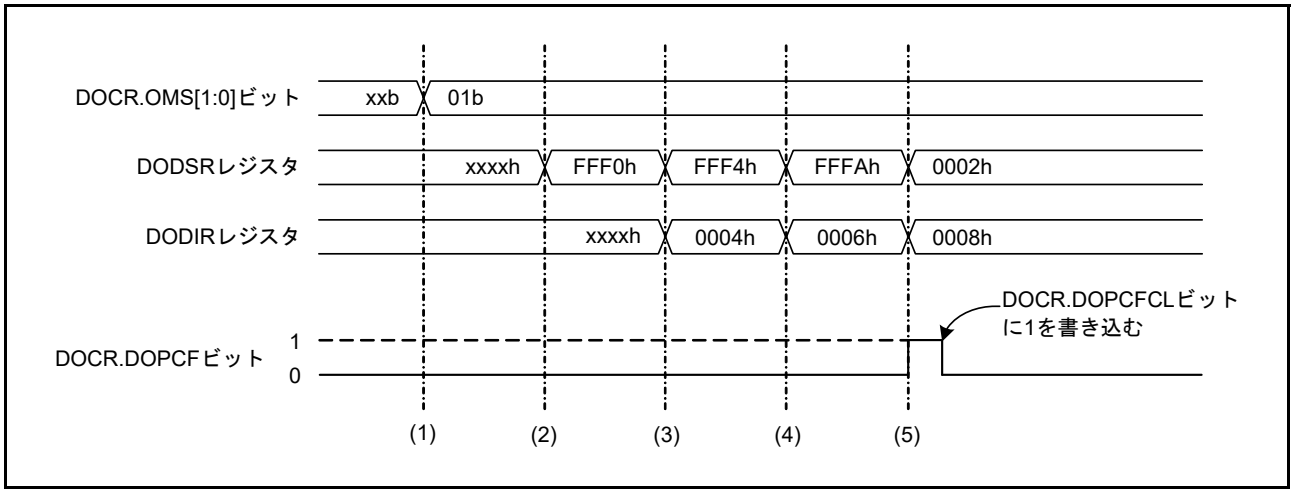


図 52.3　　データ加算モードの動作例

52.3.3　　データ減算モード

データ減算モードの DOC 動作例を図 52.4 に示します。設定方法は以下の通りです。

1. DOCR.OMS[1:0] ビットに 10b を書き込むと、データ減算モードになります。
2. DODSR レジスタの初期値として 16 ビットデータを設定します。
3. DODIR レジスタに減算する 16 ビットデータを書き込みます。演算結果は DODSR レジスタに格納されます。
4. 減算するデータの書き込みが完了するまで、続けて 16 ビットのデータを DODIR レジスタに書き込みます。
5. 演算結果が 0000h よりも小さくなったとき DOCR.DOPCF フラグが 1 になります。

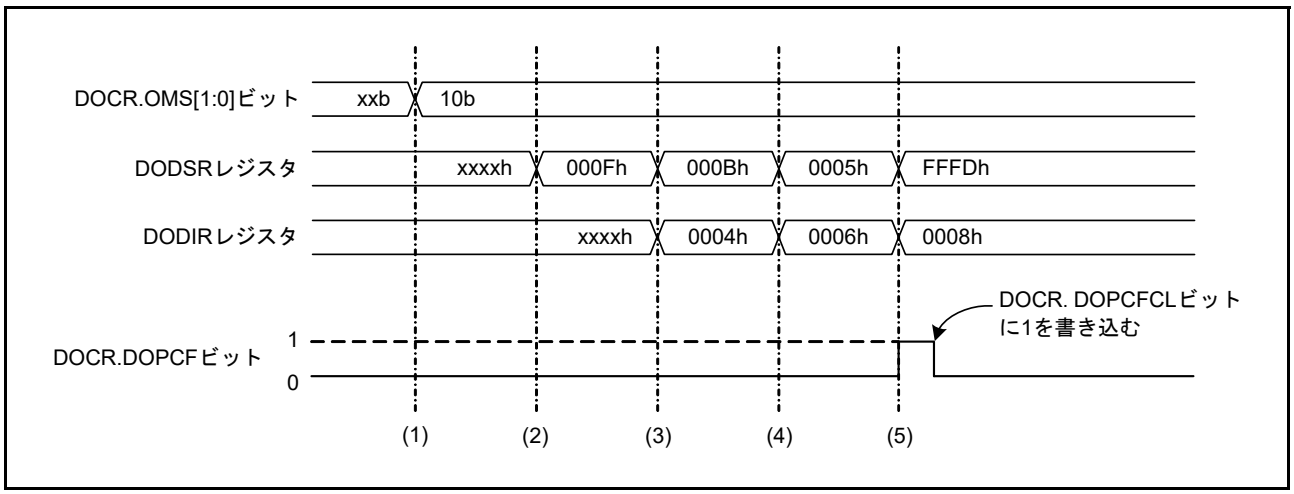


図 52.4　　データ減算モードの動作例

52.4 イベントリンクコントローラ（ELC）への割り込み要求と出力

DOC は以下の条件で ELC にイベント信号を出力します。

- データ比較の結果が一致または不一致のとき
- データの加算結果が FFFFh より大きいとき
- データの減算結果が 0000h より小さいとき

この信号を使用して、あらかじめ設定していたモジュールの動作を開始させることができます。また、割り込み要求として使用することもできます。イベント信号が発生すると、データ演算回路フラグ（DOCR.DOPCF）が 1 になります。

52.5 使用上の注意事項

52.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C（MSTPCRC）によって、DOC の動作を禁止／許可することが可能です。DOC は、リセット後の初期状態では動作が停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は、「11. 低消費電力モード」を参照してください。

53. SRAM

53.1 概要

本 MCU は、パリティビットチェックまたは DED（ダブルビットエラー検出）のいずれかを備えた内蔵高速 SRAM モジュールを搭載しています。DED の対象は SRAM0 の最初の 32KB 領域です。パリティチェックは、その他の領域で実行されます。SRAM の仕様を表 53.1 に示します。

表 53.1 SRAMの仕様

項目	内容（DEDなしの場合）	内容（DEDありの場合）	内容（SRAMHSの場合）
SRAM容量	SRAM0：224KB SRAM1：256KB	SRAM0（DED領域）：32KB	SRAMHS：128KB
SRAMアドレス（注2）	SRAM0：2000 8000h～2003 FFFFh SRAM1：2004 0000h～2007 FFFFh	SRAM0（DED領域）：2000 0000h～2000 7FFFh	SRAMHS：1FFE 0000h～1FFF FFFFh
アクセス（注1）	リードサイクルにウェイトステートがデフォルトで挿入されています。ICLK周波数が120MHzより高い（最高240MHz)場合、ウェイトステートが必要になります。ICLK周波数が120MHz以下の場合、ウェイトステートは必要ありません。詳細は、53.4 使用上の注意事項を参照してください。	リードサイクルおよびライトサイクルにウェイトステートがデフォルトで挿入されています。ICLK周波数が120MHzより高い（最高240MHz)場合、ウェイトステートが必要になります。ICLK周波数が120MHz以下の場合、ウェイトステートは必要ありません。詳細は、53.4 使用上の注意事項を参照してください。	リードサイクルにウェイトステートがデフォルトで挿入されています。ICLK周波数が200MHzより高い（最高240MHz)場合、ウェイトステートが必要になります。ICLK周波数が200MHz以下の場合、ウェイトステートは必要ありません。詳細は、53.4 使用上の注意事項を参照してください。
データ保持	ディープソフトウェアスタンバイモード時のデータ保持機能なし		
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減		
パリティ	偶数パリティ（データ：8ビット、パリティ：1ビット）	パリティなし	偶数パリティ（データ：8ビット、パリティ：1ビット）
エラーチェック機能	偶数パリティエラーチェック	2ビット以下の誤り検出	偶数パリティエラーチェック

注 1. 詳細は、53.3.6 アクセスサイクルを参照してください。

注 2. Cortex®-M4 プロセッサは、Armv7 のアラインされていないアクセスに対応しています。本製品において、SRAMHS と SRAM0 は互いに接していますが、アクセスに関しては境界で隔てられています。したがって、SRAMHS と SRAM0 がメモリ空間の連続領域として使用されていても、この境界を越えてアクセスしないでください。意図しないデータにアクセスする恐れがあります。詳細は、*ARM® Cortex-M4 Processor Technical Reference Manual* を参照してください。

53.2 レジスタの説明

53.2.1 SRAM パリティエラー検出後動作レジスタ（PARIOAD）

アドレス SRAM.PARIOAD 4000 2000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OAD
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1：リセット 0：ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

PARIOAD レジスタは、パリティエラー検出時の動作を制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ（SRAMPRCR）によって保護されています。まず、SRAMPRCR.SRAMPRCR ビットを書き込み許可にしてから本レジスタへの書き込みを行ってください。SRAM アクセス中は、PARIOAD レジスタへの書き込みは行わないでください。

OAD ビット（検出後の動作）

パリティエラーが検出された場合、リセットまたはノンマスカブル割り込みのどちらを発生させるか指定します。PARIOAD.OAD ビットは SRAM0（DED なし）、SRAM1、SRAMHS、スタンバイ SRAM で共有されます。

53.2.2 SRAM プロテクトレジスタ（SRAMPRCR）

アドレス SRAM.SRAMPRCR 4000 2004h

	b7	b6	b5	b4	b3	b2	b1	b0
	KW[6:0]							SRAMPRCR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SRAMPRCR	レジスタ書き込み制御	0：保護対象のレジスタへの書き込みを禁止 1：保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	SRAMPRCR ビットへの書き込みを許可または禁止します。	R/W

SRAMPRCR ビット（レジスタ書き込み制御）

SRAMWTSC レジスタおよび PARIOAD レジスタのライトモードを制御します。このビットが 1 のとき、SRAMWTSC レジスタおよび PARIOAD レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。

KW[6:0] ビット（書き込みキーコード）

SRAMPRCR ビットへの書き込みを許可または禁止します。SRAMPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] に書き込むと、SRAMPRCR ビットは更新されません。KW[6:0] は読むと常に 00h が読み出されます。

53.2.3 SRAM ウェイトステートコントロールレジスタ（SRAMWTSC）

アドレス SRAM.SRAMWTSC 4000 2008h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	SRAMHSWTEN	SRAM1WTEN	SRAM0WTEN	SRAM0DRDWTEN	SRAM0DWRWTEN
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SRAM0DWRWTEN	SRAM0（DED領域）ライトウェイト許可	1：SRAM0（DED領域）へのライトアクセスサイクルにウェイトステートを追加 0：SRAM0（DED領域）へのライトアクセスサイクルにウェイトステートを追加しない	R/W
b1	SRAM0DRDWTEN	SRAM0（DED領域）リードウェイト許可	1：SRAM0（DED領域）へのリードアクセスサイクルにウェイトステートを追加 0：SRAM0（DED領域）へのリードアクセスサイクルにウェイトステートを追加しない	R/W
b2	SRAM0WTEN	SRAM0ウェイト許可	1：SRAM0へのリードアクセスサイクルにウェイトステートを追加 0：SRAM0へのリードアクセスサイクルにウェイトステートを追加しない	R/W
b3	SRAM1WTEN	SRAM1ウェイト許可	1：SRAM1へのリードアクセスサイクルにウェイトステートを追加 0：SRAM1へのリードアクセスサイクルにウェイトステートを追加しない	R/W
b4	SRAMHSWTEN	SRAMHSウェイト許可	1：SRAMHSへのリードアクセスサイクルにウェイトステートを追加 0：SRAMHSへのリードアクセスサイクルにウェイトステートを追加しない	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

SRAMWTSC レジスタは、SRAM モジュールのウェイトステートを制御します。本レジスタへの書き込みは SRAM プロテクトレジスタ（SRAMPRCR）によって保護されています。まず、SRAMPRCR.SRAMPRCR ビットを書き込み許可にしてから本レジスタへの書き込みを行ってください。SRAM アクセス中は、SRAMWTSC レジスタへの書き込みは行わないでください。

SRAM0DWRWTEN ビット（SRAM0（DED 領域）ライトウェイト許可）

SRAM0 の DED 領域へ書き込むためのウェイトサイクルを許可します。1 にすると、SRAM0 の DED 領域へのライトサイクルにウェイトサイクルが 1 サイクル挿入されます。ライトアクセス周波数が 120MHz より高い場合、この 1 ウェイトサイクル設定が必要です。

SRAM0DRDWTEN ビット（SRAM0（DED 領域）リードウェイト許可）

SRAM0 の DED 領域から読み出すためのウェイトサイクルを許可します。1 にすると、SRAM0 の DED 領域のリードサイクルにウェイトサイクルが 1 サイクル挿入されます。リードアクセス周波数が 120MHz より高い場合、この 1 ウェイトサイクル設定が必要です。

SRAM0WTEN ビット（SRAM0 ウェイト許可）

SRAM0 から読み出すためのウェイトサイクルを許可します。1 にすると、SRAM0 のリードサイクルにウェイトサイクルが 1 サイクル挿入されます。リードアクセス周波数が 120MHz より高い場合、この 1 ウェイトサイクル設定が必要です。

SRAM1WTEN ビット（SRAM1 ウェイト許可）

SRAM1 から読み出すためのウェイトサイクルを許可します。1 にすると、SRAM1 のリードサイクルにウェイトサイクルが 1 サイクル挿入されます。リードアクセス周波数が 120MHz より高い場合、この 1 ウェイトサイクル設定が必要です。

SRAMHSWTEN ビット（SRAMHS ウェイト許可）

SRAMHS から読み出すためのウェイトサイクルを許可します。1 にすると、SRAMHS のリードサイクルにウェイトサイクルが 1 サイクル挿入されます。リードアクセス周波数が 200MHz より高い場合、この 1 ウェイトサイクル設定が必要です。

53.2.4 OED 動作モードコントロールレジスタ（DEDMODE）

アドレス SRAM.DEDMODE 4000 20C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	DEDMOD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DEDMOD[1:0]	DED動作モード選択	b1 b0 0 0：DED機能は無効 0 1：設定禁止 1 0：設定禁止 1 1：DED機能は有効	R/W
b7-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

DEDMODE レジスタは DED の動作モードを設定するレジスタです。本レジスタへの書き込みは DED プロテクトレジスタ（DEDPRCR）によって保護されています。まず、DEDPRCR.DEDPRCR ビットを書き込み許可にしてから本レジスタへの書き込みを行ってください。SRAM アクセス中は、DEDMODE レジスタへの書き込みは行わないでください。

DEDMOD[1:0] ビット（DED 動作モード選択）

SRAM0 の DED 領域へのアクセスモードを設定します。

53.2.5 DED 2 ビットエラーステータスレジスタ（DED2STS）

アドレス SRAM.DED2STS 4000 20C1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DED2ERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DED2ERR	DED 2ビットエラーステータス	0：DED 2ビットエラーの発生なし 1：DED 2ビットエラーの発生あり	R(/W) （注1）
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

DED2ERR ビット（DED 2 ビットエラーステータス）

SRAM の DED 領域で DED 2 ビットエラーが発生したかどうかを示します。DED 動作が有効になっている場合、2 ビットエラーが検出されると、このビットが 1 になります。SRAM エラー信号もアサートされます。DED2ERR ビットに 0 を書き込むと、DED 2 ビットエラーによってトリガされた SRAM エラー信号がネゲートされます。

SRAM エラーには、DEDOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM の DED 領域にはアクセスしないでください。

53.2.6 DED 1 ビットエラー情報更新イネーブルレジスタ（DED1STSEN）

アドレス SRAM.DED1STSEN 4000 20C2h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	D1STSEN
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	D1STSEN	DED 1 ビットエラー情報更新許可	0：DED 1 ビットエラー情報の更新禁止 1：DED 1 ビットエラー情報の更新許可	R/W
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R

DED1STSEN レジスタは、SRAM（DED 領域）の DED 1 ビットエラー発生時に、DED 1 ビットエラーステータスレジスタ（DED1STS）の更新を許可／禁止します。本レジスタへの書き込みは DED プロテクトレジスタ（DEDPRCR）によって保護されています。まず、DEDPRCR.DEDPRCR ビットを書き込み許可にしてから本ビットへの書き込みを行ってください。

D1STSEN ビット（DED 1 ビットエラー情報更新許可）

D1STSEN ビットは、SRAM の DED 領域における 1 ビットエラー発生時に、SRAM（DED 領域）1 ビットエラーステータスレジスタ（DED1STS）の更新を許可／禁止します。このレジスタは、割り込みおよびリセットマスクとしても機能します。DED 機能が有効な場合、D1STSEN は 1 にしてください。

53.2.7 DED 1 ビットエラーステータスレジスタ（DED1STS）

アドレス SRAM.DED1STS 4000 20C3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DED1ERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DED1ERR	DED 1 ビットエラーステータス	0：DED 1 ビットエラーの発生なし 1：DED 1 ビットエラーの発生あり	R(/W) （注 1）
b7-b1	—	予約ビット	読むと 0 が読めます。書く場合、0 としてください。	R

注 1. ビットをクリアするための 0 の書き込みのみ可能です。

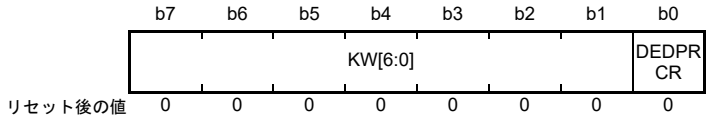
DED1ERR ビット（DED 1 ビットエラーステータス）

SRAM の DED 領域で DED 1 ビットエラーが発生したかどうかを示します。DED 動作が有効で、1 ビットエラー情報の更新が許可されている場合、1 ビットエラーが検出されると、このビットは 1 になります。SRAM エラー信号もアサートされます。DED1ERR ビットに 0 を書き込むと、DED 1 ビットエラーによってトリガされた SRAM エラー信号がネゲートされます。

SRAM エラーには、DEDOAD レジスタでノンマスカブル割り込みまたはリセットを指定できます。このレジスタに 0 を書き込む間、SRAM の DED 領域にはアクセスしないでください。

53.2.8 DED プロテクトレジスタ（DEDPRCR）

アドレス SRAM.DEDPRCR 4000 20C4h



ビット	シンボル	ビット名	機能	R/W
b0	DEDPRCR	レジスタ書き込み制御	0：保護対象のレジスタへの書き込みを禁止 1：保護対象のレジスタへの書き込みを許可	R/W
b7-b1	KW[6:0]	書き込みキーコード	DEDPRCR ビットへの書き込みを許可または禁止します。	R/W

DEDPRCR ビット（レジスタ書き込み制御）

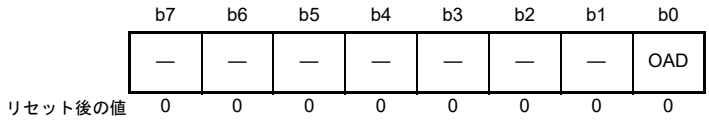
DEDMODE レジスタ、DED1STSEN レジスタ、DEDOAD レジスタのライトモードを制御します。このビットが 1 のとき、DEDMODE レジスタ、DED1STSEN レジスタ、DEDOAD レジスタへの書き込みが許可されます。このビットに書き込む場合、同時に KW[6:0] に 78h を書き込んでください。

KW[6:0] ビット（書き込みキーコード）

DEDPRCR ビットへの書き込みを許可または禁止します。DEDPRCR ビットに書き込む場合、同時に KW[6:0] ビットに 78h を書き込んでください。それ以外の値を KW[6:0] に書き込むと、DEDPRCR ビットは更新されません。KW[6:0] は読むと常に 00h が読み出されます。

53.2.9 SRAM DED エラー検出後動作レジスタ（DEDOAD）

アドレス SRAM.DEDOAD 4000 20D8h



ビット	シンボル	ビット名	機能	R/W
b0	OAD	検出後の動作	1：リセット 0：ノンマスカブル割り込み	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R

DEDOAD レジスタは、DED エラー検出時の動作を制御します。本レジスタへの書き込みは DED プロテクトレジスタ（DEDPRCR）によって保護されています。まず、DEDPRCR.DEDPRCR ビットを書き込み許可にしてから本レジスタへの書き込みを行ってください。SRAM アクセス中は、DEDOAD レジスタへの書き込みは行わないでください。

OAD ビット（検出後の動作）

DED エラーが検出されると、リセットまたはノンマスカブル割り込みの生成を定義します。DEDOAD.OAD ビットは、SRAM（DED 領域）で使用されます。

53.3 動作説明

53.3.1 低消費電力機能

モジュールストップコントロールレジスタ A（MSTPCRA）の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。各モジュールの制御ビットは以下のとおりです。

- MSTPCRA.MSTPA0 ビットと MSTPCRA.MSTPA6 ビットの両方を 1 にすると、SRAM0 へのクロック信号の供給が停止（注 1）
- MSTPCRA.MSTPA1 ビットを 1 にすると、SRAM1 へのクロック信号の供給が停止
- MSTPCRA.MSTPA5 ビットを 1 にすると、SRAMHS へのクロック信号の供給が停止
- MSTPCRA.MSTPA7 ビットを 1 にすると、スタンバイ SRAM へのクロック信号の供給が停止

クロック信号の供給が停止すると、SRAM はモジュールストップ状態になります。リセット後は、SRAM は動作状態になります。

モジュールストップ状態では SRAM にアクセスできません。SRAM アクセス中は、モジュールストップ状態に遷移しないでください。モジュールストップ状態のとき、SRAM へのアクセスは禁止です。アクセスした場合の動作は保証できません。

MSTPCRA レジスタの詳細については、「11. 低消費電力モード」を参照してください。

注 1. MSTPCRA.MSTPA0 ビットおよび MSTPCRA.MSTPA6 ビットは、同じ設定にしてください。

53.3.2 DED 機能

DED 機能は、DEDMODE レジスタの設定によって有効／無効にできます。初期状態では、DED 機能は無効です。DED は、SED（シングルビットエラー検出）機能と DED（ダブルビットエラー検出）機能の両方を提供します。DED 機能が有効な場合、DED1STSEN.D1STSEN ビットは 1 にしてください。

53.3.3 DED エラー発生

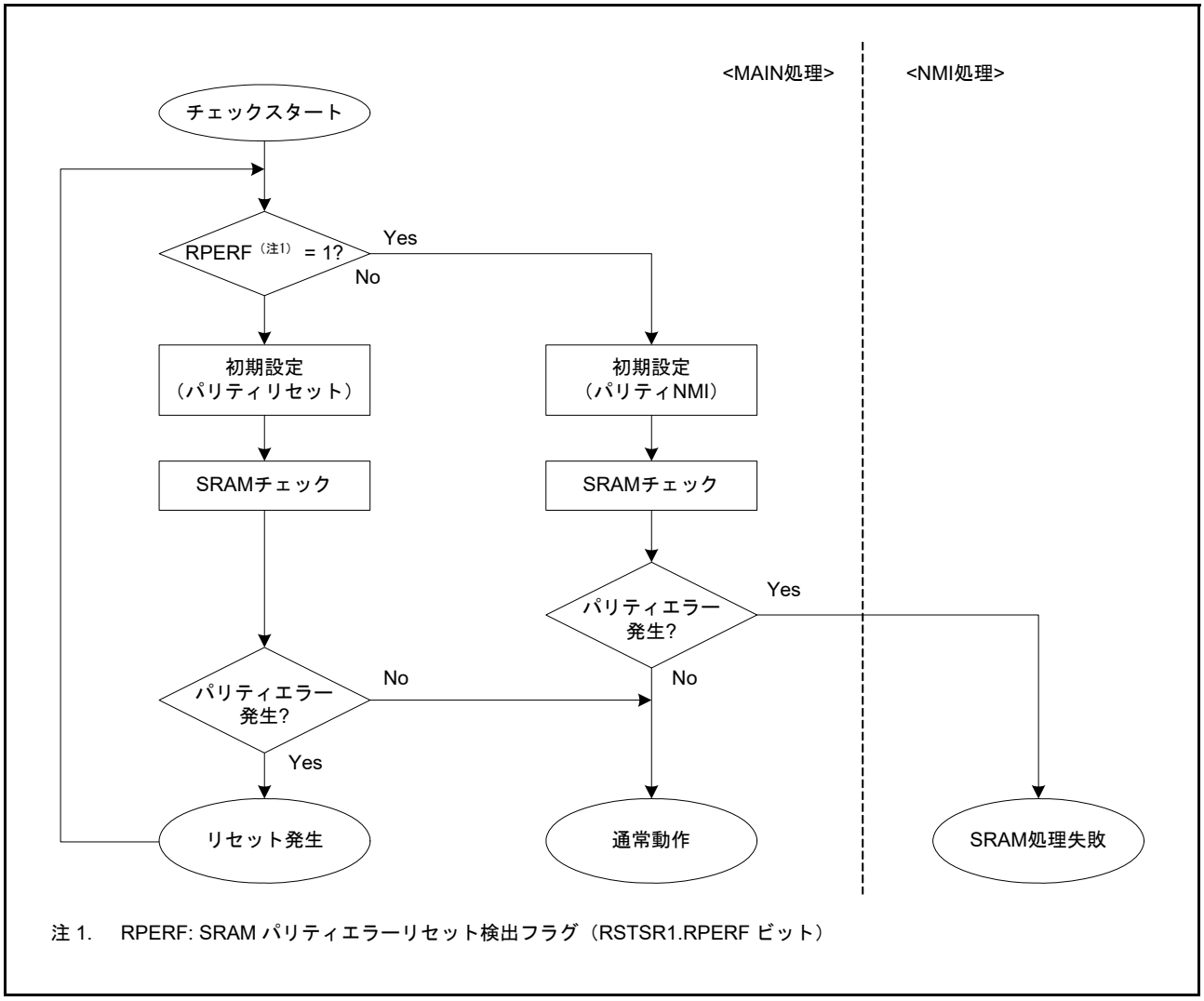
DED2STS.DED2ERR ビットまたは DED2STS.DED1ERR ビットのいずれかが 1 の場合、DED エラーが発生します。DED エラーは、DEDOAD レジスタでノンマスカブル割り込みまたはリセットとして指定できます。

53.3.4 パリティ計算機能

SRAM データチェックに関する IEC60730 規格の要求事項を満たすため、パリティ検出機能を実装しています。この機能は、32 ビットデータ幅の SRAM に格納されている 8 ビットデータごとにパリティビットを追加します。SRAM パリティエラー検出機能を使用すると、データ書き込み時にパリティビットが付加され、データ読み出し時にパリティチェックが行われます。パリティエラーが発生すると、パリティエラー通知が生成されます。この機能は、リセットも実行できます。DED なしの SRAM0、SRAM1、SRAMHS、およびスタンバイ SRAM の仕様は偶数パリティです。

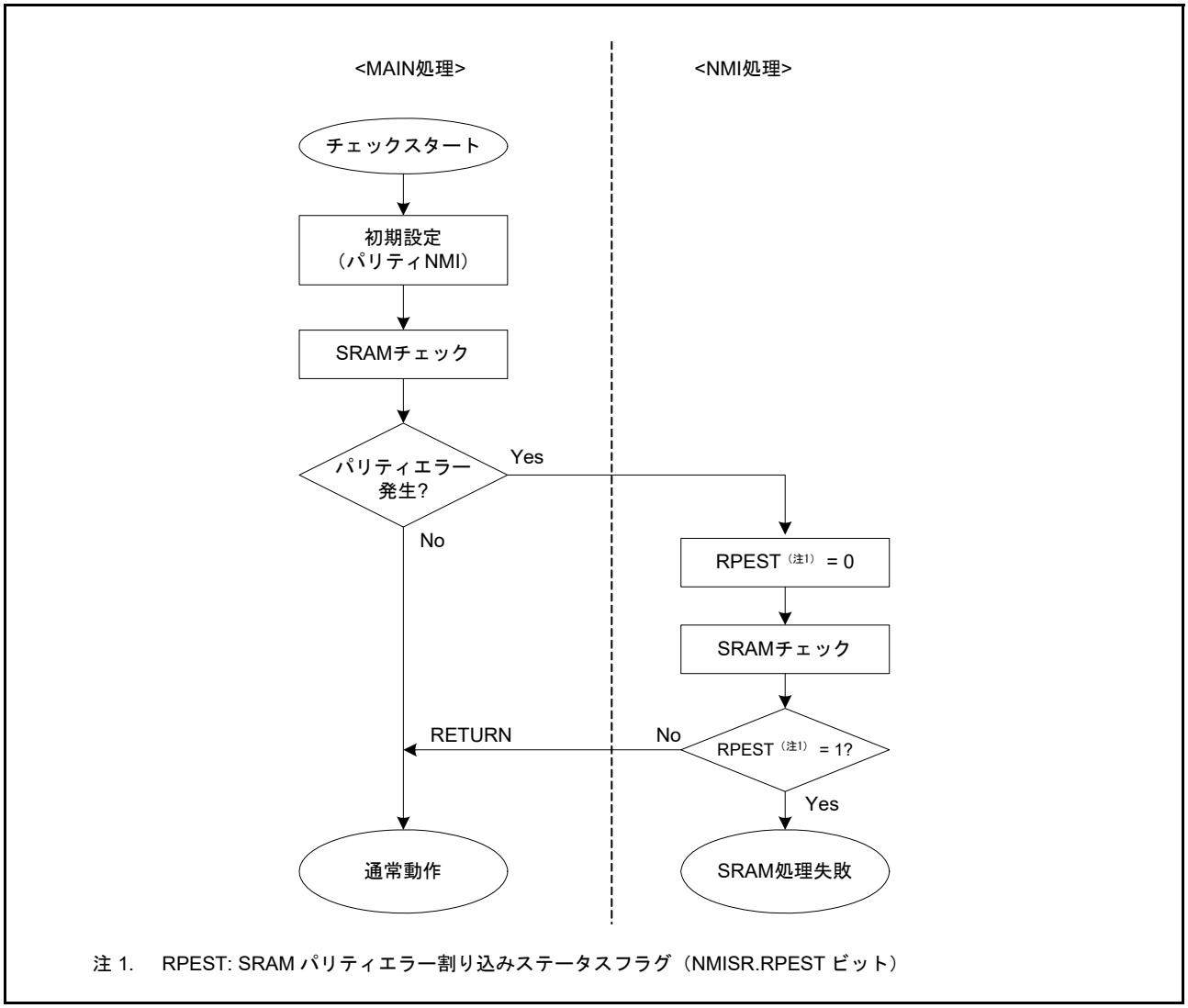
パリティエラー通知は、PARIOAD レジスタの OAD ビットで、ノンマスカブル割り込みまたはリセットのいずれかを指定できます。OAD ビットが 1 のとき、パリティエラーはリセット機能に出力されます。OAD ビットが 0 のとき、パリティエラーはノンマスカブル割り込みとして ICU に出力されます。

パリティエラーはしばしばノイズにより発生します。パリティエラーの原因がノイズか破損かを確認するには、図 53.1 および図 53.2 に示されたパリティチェックフローに従います。



注 1. RPERF: SRAM パリティエラーリセット検出フラグ（RSTSR1.RPERF ビット）

図 53.1 SRAM パリティエラーリセットが有効な場合の SRAM パリティチェックのフロー



注 1. RPEST: SRAM パリティエラー割り込みステータスフラグ（NMISR.RPEST ビット）

図 53.2 SRAM パリティ割り込みが有効な場合の SRAM パリティチェックのフロー

53.3.5 SRAM エラー要因

SRAM エラー要因は、DED エラーとパリティエラーです。DED エラーは DEDOAD.OAD ビットでノンマスカブル割り込みまたはリセットとして指定でき、パリティエラーは PARIOAD レジスタでノンマスカブル割り込みまたはリセットとして指定できます。

表 53.2 SRAMエラー要因

割り込み要因	DTCの起動	DMACの起動
DEDエラー（DEDありのSRAM0領域）	不可能	不可能
パリティエラー（DEDなしのSRAM0領域、SRAM1、SRAMHS）	不可能	不可能

53.3.6 アクセスサイクル

表 53.3 SRAMHS（パリティ領域 1FFE 0000h～1FFF FFFFh）

ビットの設定	リード（サイクル）		ライト（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
SRAMHSWTEN = 0	2		2	
SRAMHSWTEN = 1	3		2	

表 53.4 SRAM0（DED領域 2000 0000h～2000 7FFFh）

ビットの設定			リード（サイクル）		ライト（サイクル）	
			ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
DEDオフ DEDMOD[1:0] = 00b	SRAM0DWRWTEN = 0	SRAM0DRDWTEN = 0	4		4	
		SRAM0DRDWTEN = 1	5		4	
	SRAM0DWRWTEN = 1	SRAM0DRDWTEN = 0	4		5	
		SRAM0DRDWTEN = 1	5		5	
DEDオン DEDMOD[1:0] = 11b	SRAM0DWRWTEN = 0	SRAM0DRDWTEN = 0	4		4	6
		SRAM0DRDWTEN = 1	5		4	6
	SRAM0DWRWTEN = 1	SRAM0DRDWTEN = 0	4		5	6
		SRAM0DRDWTEN = 1	5		5	6

表 53.5 SRAM0（パリティ領域 2000 8000h～2003 FFFFh）

ビットの設定	リード（サイクル）		ライト（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
SRAM0WTEN = 0	4		4	
SRAM0WTEN = 1	5		4	

表 53.6 SRAM1（パリティ領域 2004 0000h～2007 FFFFh）

ビットの設定	リード（サイクル）		ライト（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
SRAM1WTEN = 0	4		4	
SRAM1WTEN = 1	5		4	

53.4 使用上の注意事項

53.4.1 ウェイトステートの挿入

以下に基づき、SRAMWTSC レジスタの SRAM ウェイトサイクル数を設定してください。

- SRAM0、SRAM1（注 1）
  1 ウェイト：120MHz ＜ ICLK ≦ 240MHz
  ウェイトなし：ICLK ≦ 120MHz
- SRAMHS
  1 ウェイト：200MHz ＜ ICLK ≦ 240MHz
  ウェイトなし：ICLK ≦ 200MHz

注 1. SRAM の DED 領域に設定されたウェイトサイクル数は、リードとライトで分かれていますが、どちらも 1 ウェイトサイクルを挿入するために 1 にする必要があります。

53.4.2 SRAM 領域からの命令フェッチ

SRAM0、SRAM1、または SRAMHS を使用してプログラムを実行する場合、SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにしてください。初期化されていない SRAM 領域から CPU がデータをプリフェッチした場合、DED エラーまたはパリティエラーが発生する可能性があります。4 バイト境界のプログラムの終了アドレスから 12 バイト領域を初期化してください。これらの領域の初期化には、NOP 命令の使用を推奨します。

53.4.3 SRAM のストアバッファ

SRAM と CPU 間の高速アクセスには、ストアバッファが使用されます。SRAM へのストア命令の後に同じアドレスからロード命令が実行されると、そのロード命令は SRAM からではなくバッファからデータを読み出す場合があります。SRAM のデータを正確に読み出すには、以下の手順のうちいずれかを使用します。

- SRAM（アドレス＝A）に書き込んだ後、NOP 命令を使用し、SRAM（アドレス＝A）を読み出します。
- SRAM（アドレス＝A）に書き込んだ後、SRAM（アドレス＝A）以外の領域からデータを読み出し、SRAM（アドレス＝A）を読み出します。

54. スタンバイ SRAM

54.1 概要

内蔵 SRAM は、ディープソフトウェアスタンバイモードでデータを保持するために提供されています。表 54.1 に、スタンバイ SRAM の仕様を示します。

表 54.1 スタンバイ SRAM の仕様

項目	内容
SRAM 容量	8KB
SRAM アドレス	200F E000h ～ 200F FFFFh
アクセス	• ICLK と PCLKA の周波数が同じ場合のアクセスは ICLK で 5 サイクル • ICLK の周波数が PCLKA の周波数より高い場合のアクセスは、ICLK で 2 サイクル＋PCLKA で 2 ～ 3 サイクル
データ保持	ディープソフトウェアスタンバイモード時、データを保持可能
パリティ	偶数パリティ（データ：8 ビット、パリティ：1 ビット）
モジュールストップ機能	モジュールストップ状態に設定して消費電力を削減

54.2 動作説明

54.2.1 データ保持

DPSBYCR.DEEPCUT[1:0] ビットの設定により、ディープソフトウェアスタンバイモード時にスタンバイ SRAM へ電源を供給できます。DPSBYCR.DEEPCUT[1:0] ビットが 00b の場合、スタンバイ SRAM のデータをディープソフトウェアスタンバイモードで保持できます。DPSBYCR.DEEPCUT[1:0] ビットの詳細については、「11. 低消費電力モード」を参照してください。

54.2.2 低消費電力機能

モジュールストップコントロールレジスタ A（MSTPCRA）の設定により、SRAM へのクロック供給を停止することで、消費電力を低減することが可能です。MSTPCRA.MSTPA7 ビットを 1 にすると、スタンバイ SRAM へのクロック信号の供給が停止します。クロック供給の停止により、スタンバイ SRAM はモジュールストップ状態になります。リセット後は、スタンバイ SRAM は動作状態になります。モジュールストップ状態になると、スタンバイ SRAM へのアクセスができなくなります。スタンバイ SRAM アクセス中は、モジュールストップ状態に遷移させないでください。MSTPCRA レジスタの詳細については、「11. 低消費電力モード」を参照してください。

54.2.3 パリティ計算機能

スタンバイ SRAM のパリティ計算機能は、ダブルビットエラー検出（DED）なしの SRAM1 または SRAM0 と同じです。PARIOAD.OAD ビットの機能と SRAM パリティチェックのフローは、スタンバイ SRAM モジュールと共有されています。詳細は、53.3.4 パリティ計算機能と 53.3.5 SRAM エラー要因を参照してください。

54.2.4 アクセスサイクル

表 54.2 スタンバイ SRAM アクセスサイクル

周波数	読み出し（サイクル）		書き込み（サイクル）	
	ワードアクセス	ハーフワード／バイトアクセス	ワードアクセス	ハーフワード／バイトアクセス
同じ周波数 ICLK = PCLKA	5 ICLK		4 ICLK	
異なる周波数 ICLK＞PCLKA	2 ICLK + 2～3 PCLKA		2 ICLK + 1～2 PCLKA	

54.3 使用上の注意事項

54.3.1 スタンバイ SRAM 領域からの命令フェッチ

スタンバイ SRAM を使用してプログラムを実行する場合、スタンバイ SRAM 領域を初期化して CPU が正確にデータをプリフェッチできるようにします。CPU が初期化されていない領域からプリフェッチすると、パリティエラーが発生する場合があります。4 バイト境界のプログラムの終了アドレスから 12 バイト領域を初期化してください。データの初期化には、NOP 命令の使用を推奨します。

55. フラッシュメモリ

55.1 概要

本 MCU は、最大 4MB のコードフラッシュメモリと 64KB のデータフラッシュメモリを内蔵しています。フラッシュコントロールユニット（FCU）はフラッシュメモリのプログラム／イレースの制御を行います。フラッシュアプリケーションコマンドインタフェース（FACI）は、指定された FACI コマンドに従って FCU を制御します。

表 55.1 にコードフラッシュメモリとデータフラッシュメモリの仕様を、図 55.1 に関連モジュールのブロック図を示します。図 55.2 にコードフラッシュメモリの構成を、図 55.3 にデータフラッシュメモリの構成を示します。

表 55.1 コードフラッシュメモリとデータフラッシュメモリの仕様

項目	コードフラッシュメモリの仕様	データフラッシュメモリの仕様
メモリ容量	• 最大4MB	64KB
リードサイクル	• 160MHz＜ICLK周波数≦240MHz キャッシュヒット：1サイクル キャッシュミス：3サイクル • 80MHz＜ICLK周波数≦160MHz キャッシュヒット：1サイクル キャッシュミス：2サイクル • ICLK周波数≦80MHz キャッシュヒット：1サイクル キャッシュミス：1サイクル	ワード、バイトアクセス時にはFCLK 7サイクルでのリード（FCLK周波数は最高60MHz）
イレース後の値	FFh	不定
プログラム／イレース方式	• FACIコマンド発行領域（407E 0000h）に設定したFACIコマンドで、コードフラッシュメモリ／データフラッシュメモリのプログラム／イレースが可能 • 専用フラッシュメモリプログラマによるシリアルインタフェース通信を介したプログラム（シリアルプログラミング） • ユーザプログラムによるフラッシュメモリのプログラム（セルフプログラミング）	
セキュリティ機能	フラッシュメモリの不正改ざん／不正リードを防止	
プロテクション機能	フラッシュメモリの誤オーバーライトを防止	
BGO（バックグラウンドオペレーション）機能	• コードフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能（注1） • データフラッシュメモリのプログラム中にコードフラッシュメモリの読み出しが可能	
プログラム／イレース単位	• ユーザ領域へのプログラム：256バイト単位 • ユーザ領域のイレース：ブロック単位	• データ領域へのプログラム：4バイト単位 • データ領域のイレース：64バイト単位
その他の機能	セルフプログラミング中の割り込み受け付け可能	
	本MCUの初期設定でフラッシュメモリ拡張領域（オプションバイト）の設定可能	
オンボードプログラミング（4種類）	シリアルプログラミングモード（SCIブートモード）でのプログラム • 調歩同期式シリアルインタフェース（SCI9）を使用 • 転送速度は自動調整 シリアルプログラミングモード（USBブートモード）でのプログラム • USBFSを使用 • 特別なハードウェアが不要で、PCと直結可能 オンチップデバッグモードによるプログラム • JTAG/SWDインタフェースを使用 • 専用ハードウェアは必要なし ユーザプログラム中のコードフラッシュメモリ／データフラッシュメモリ書き換えルーチンによるプログラム • システムをリセットすることなくコードフラッシュメモリ／データフラッシュメモリのプログラムが可能	

注 1. 書き込みできる範囲の組み合わせに制限があります。表 55.11 を参照してください。

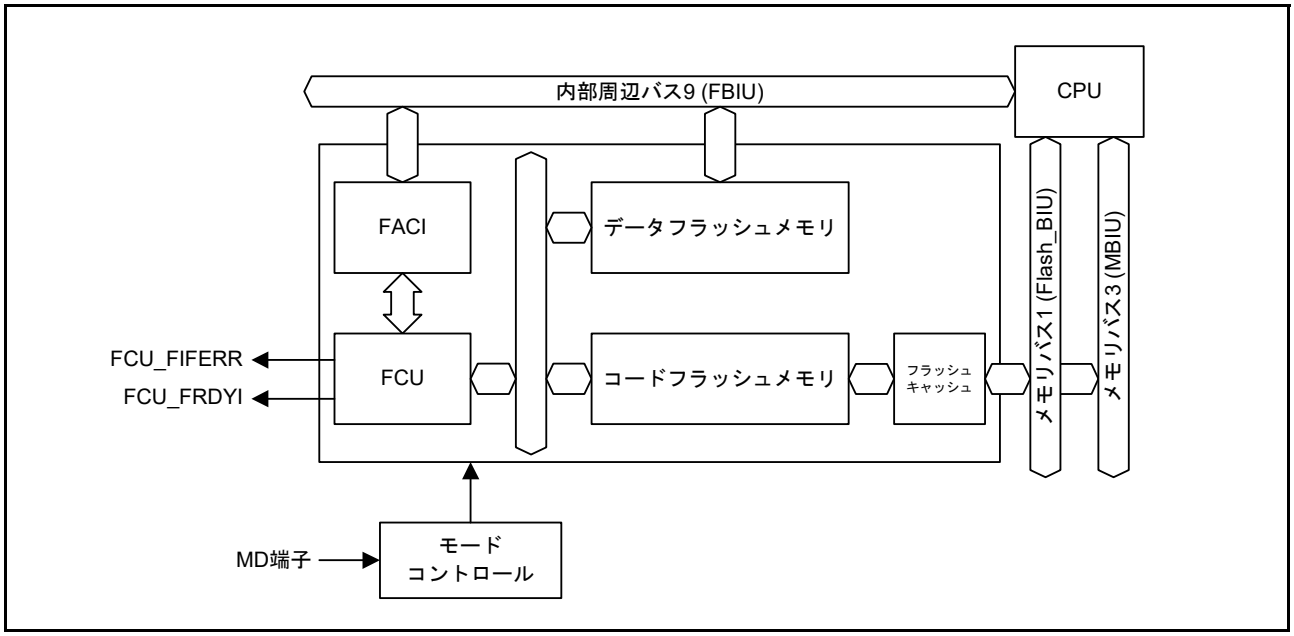


図 55.1 フラッシュメモリ関連モジュールのブロック図

55.2 メモリ構成

図 55.2 にコードフラッシュメモリのマッピングを、表 55.2 に製品別の読み出しアドレスと、プログラム／イレースアドレスを示します。コードフラッシュメモリのユーザ空間は 8KB または 32KB のブロックに分割されており、各ブロック単位でイレース可能です。ユーザ領域は、ユーザプログラムの格納に使用できます。

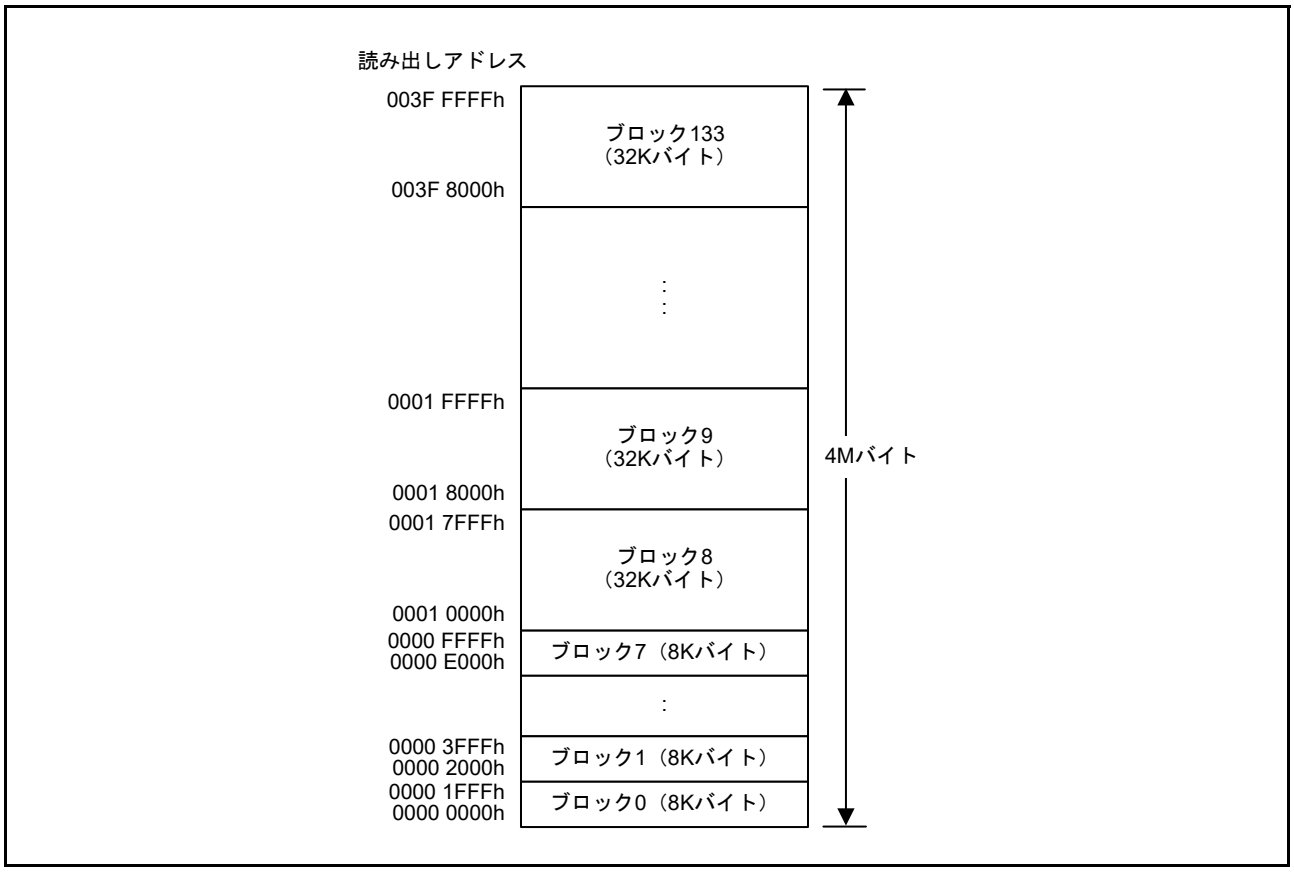


図 55.2 コードフラッシュメモリマッピング

表 55.2 コードフラッシュメモリの製品別リード、P/Eアドレス

製品	リードアドレス	P/Eアドレス	ブロック数
4MB製品	0000 0000h～003F FFFFh	0000 0000h～003F FFFFh	0～133
3MB製品	0000 0000h～002F FFFFh	0000 0000h～002F FFFFh	0～101

データフラッシュメモリのデータ領域は 64 バイトのブロックに分割されており、各ブロック単位でイレース可能です。図 55.3 にデータフラッシュメモリのマッピングを示します。

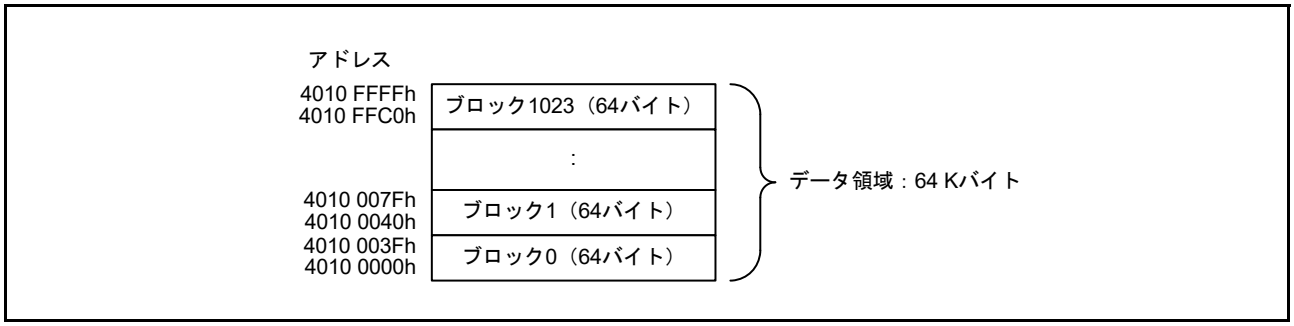


図 55.3 データフラッシュメモリマッピング

55.3 フラッシュキャッシュ

55.3.1 概要

フラッシュキャッシュ（FCACHE）は、バスマスタからフラッシュメモリへのリードアクセスを高速化します。FCACHE には以下が含まれます。

- CPU 命令フェッチで使用する FCACHE1
- CPU オペランドアクセスと DMA で使用する FCACHE2
- CPU 命令フェッチのプリフェッチアクセスで使用する FLPF

表 55.3 フラッシュキャッシュの概要

項目	フラッシュキャッシュ 1（FCACHE1）	フラッシュキャッシュ 2（FCACHE2）	プリフェッチバッファ（FLPF）
キャッシュ対象領域	0000 0000h - 003F FFFFh	0000 0000h - 003F FFFFh	0000 0000h - 003F FFFFh
対象バスマスタ	CPU命令フェッチ	CPUオペランドアクセスおよびCPU以外からのアクセス	FLPF
容量	256バイト	16バイト	32バイト
アソシアティブ方式	• 8ウェイセットアソシアティブ • 128ビット／エントリ（128ビット整列データ） • 2エントリ／ウェイ	• フルアソシアティブ • 128ビット／エントリ（128ビット整列データ） • FCACHE2の1エントリ	• フルアソシアティブ • 128ビット／エントリ（128ビット整列データ） • 2エントリ
アクセスサイクル	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュウェイトサイクルレジスタに設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュウェイトサイクルレジスタに設定されたウェイト数	• キャッシュヒット：0ウェイト • キャッシュミス：フラッシュウェイトサイクルレジスタに設定されたウェイト数

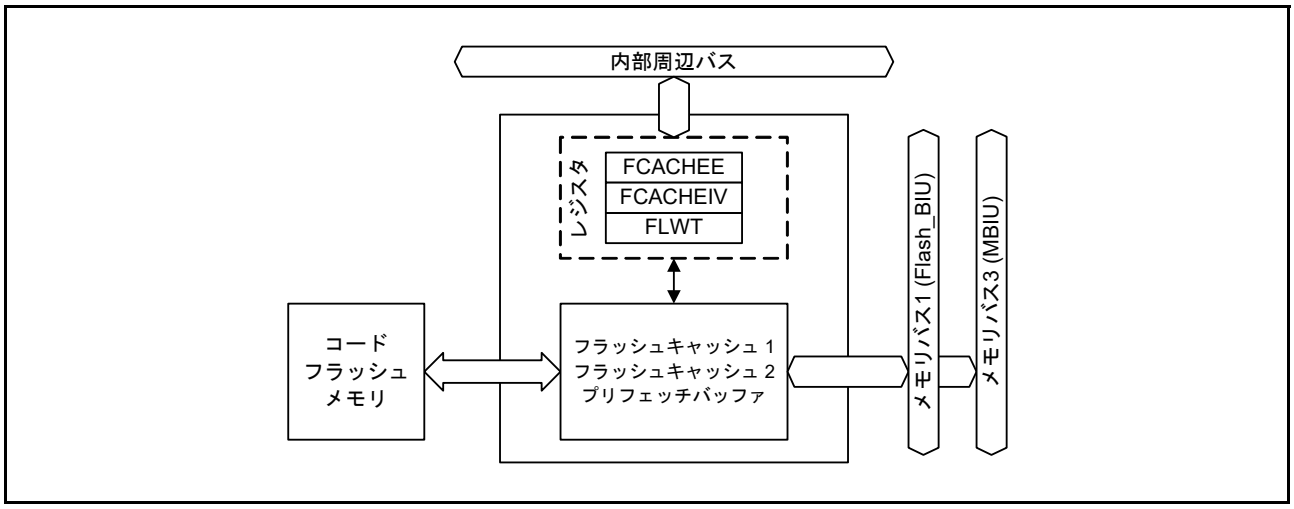


図 55.4 FCACHE のブロック図

55.3.2 レジスタの説明

55.3.2.1 フラッシュキャッシュイネーブルレジスタ（FCACHEE）

アドレス FCACHE.FCACHEE 4001 C100h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEEN	FCACHE許可	0：FCACHE禁止 1：FCACHE許可	R/W
b15-b1	—	予約ビット	読むと0が読めます。	R

FCACHEE.FCACHEEN ビットは、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュ機能を許可／禁止します。FCACHEIV.FCACHEIV には影響しません。FCACHE が許可されている場合、HPROT[3] はそれがキャッシャブルなのかノンキャッシャブルなのかを決定します。HPROT[3] の詳細は、15.8 フラッシュキャッシュ使用時の制限を参照してください。

55.3.2.2 フラッシュキャッシュインバリデートレジスタ（FCACHEIV）

アドレス FCACHE.FCACHEIV 4001 C104h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FCACHEIV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FCACHEIV	FCACHEインバリデート	• 読み出し： 0：インバリデートしない 1：インバリデートする • 書き込み： 1を書くとFCACHEをインバリデートします。0を書くと無視されます。	R/W
b15-b1	—	予約ビット	読むと0が読めます。	R

FCACHEIV.FCACHEIV ビットに 1 を書くと、FCACHE1、FCACHE2、FLPF のフラッシュキャッシュデータがインバリデートされます。

55.3.2.3 フラッシュウェイトサイクルレジスタ（FLWT）

アドレス FCACHE.FLWT 4001 C11Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FLWT[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	FLWT[2:0]（注1）	フラッシュウェイトサイクル	b2 b0 0 0 0：0ウェイト（ICLK≦80MHz） 0 0 1：1ウェイト（80MHz＜ICLK≦160MHz） 0 1 0：2ウェイト（160MHz＜CLK≦240MHz） その他の設定は予約されています。	R/W
b7-b3	—	予約ビット	読むと0が読めます。	R

注 1. Subosc-speed モードでは、000b 以外の設定は禁止されています。

フラッシュウェイトサイクルレジスタ（FLWT）は、フラッシュメモリのアクセスウェイト数を設定します。クロック周波数をこれより高くする場合、クロック周波数を変更する前に FLWT.FLWT を設定してください。クロック周波数をこれより低くする場合、クロック周波数を変更した後に FLWT.FLWT を設定してください。

55.4 動作説明

フラッシュ動作を設定して有効にするには FCACHEE レジスタを使用します。フラッシュキャッシュを設定してフラッシュメモリの書き換えに備えるには、以下を実行します。

1. FCACHEE.FCACHEEN をリセットしてフラッシュキャッシュを禁止します。(注 1)
2. FLWT レジスタで、ICLK 周波数と Subosc-speed モードの状態に応じてウェイト数を設定します。
3. FCACHEIV.FCACHEIV を設定してフラッシュキャッシュをインバリデートします。
4. FCACHEIV.FCACHEIV が 0 であることを確認します。
5. FCACHEE.FCACHEEN を設定してフラッシュキャッシュを許可します。

注 . フラッシュキャッシュが許可の場合は、動作モード（リードモード／ウェイトモード）を変更しないでください。

注 1. リセット後の最初の設定でフラッシュキャッシュを禁止にする必要はありません。

55.4.1 フラッシュキャッシュ使用における注意

CPU からのアクセスでフラッシュキャッシュを使用する場合、Arm® MPU もキャッシャブルに設定しなければなりません。

ARMv7-M Architecture Reference Manual (ARM DDI 0403D) および *Cortex®-M4 Devices Generic User Guide (ARM DUI 0553A)* を参照してください。

55.5 フラッシュメモリ関連の動作モード

図 55.5 にフラッシュメモリに関するモード遷移図を示します。モード設定の方法については「3. 動作モード」を参照してください。

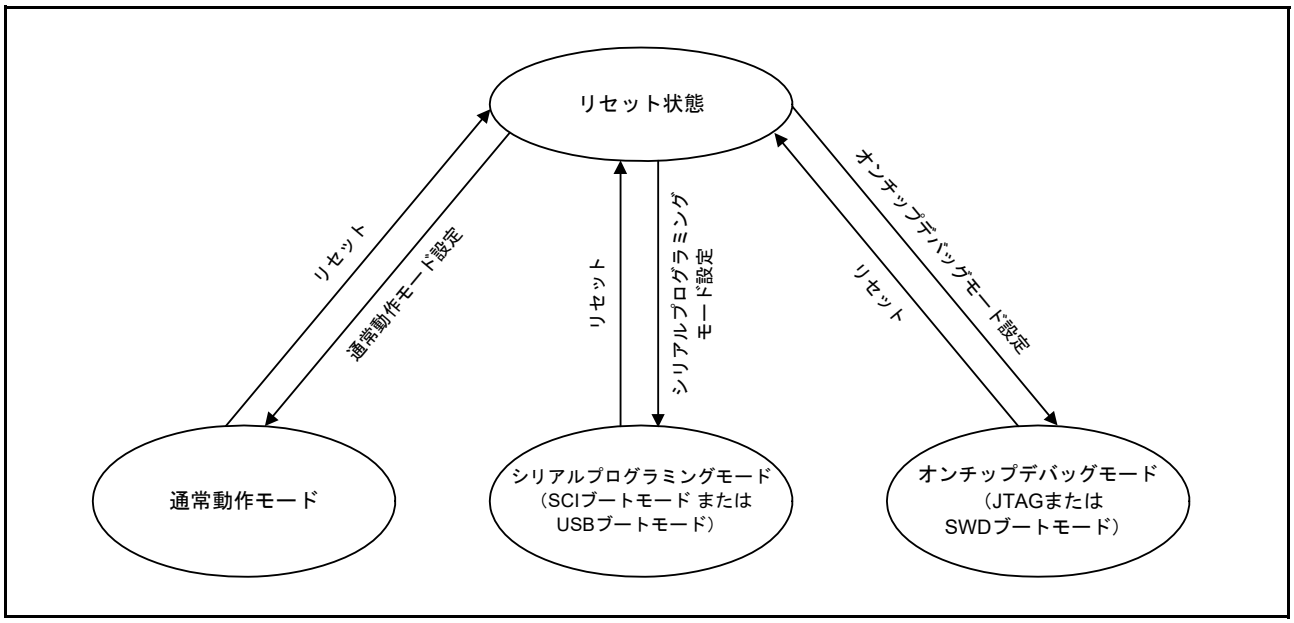


図 55.5 フラッシュメモリに関するモード遷移図

各モードで、プログラム／イレースが可能なフラッシュメモリの領域、リセット後の起動プログラムを実行するフラッシュメモリの領域は異なります。表 55.4 に各モードの相違点を示します。

表 55.4 各モードの相違点

項目	通常動作モード	シリアルプログラミングモード（SCI/USB ブートモード）	オンチップデバッグモード（JTAG/SWD ブートモード）
プログラム／イレースが可能な領域	• コードフラッシュメモリ • データフラッシュメモリ	• コードフラッシュメモリ • データフラッシュメモリ	• コードフラッシュメモリ • データフラッシュメモリ
ブロック分割イレース	可能	可能	可能
リセット時の起動プログラム	ユーザ領域のプログラム	シリアルプログラミング用組み込みプログラム	デバッグコマンドに依存

55.5.1 ID コードプロテクト

ID コードプロテクト機能は、プログラミングとオンチップデバッギングを禁止します。ID コードプロテクトが有効な場合、デバイスはホストが送信した ID コードをフラッシュメモリに格納されている ID コードと比較し、有効または無効にします。プログラミングとオンチップデバッギングは、この 2 つが一致する場合に限り許可されます。

フラッシュメモリに格納されている ID コードは、32 ビットワード 4 つで構成されています。ID コードのビット 127 と 126 は、ID コードプロテクト機能が有効か判定し、ホストで使用する認証方法を決定します。ID コードがどのように認証方法を決定するかについて、表 55.5 に示します。

表 55.5 IDコードプロテクト機能の仕様

ブートアップ時の動作モード	IDコード	プロテクト状態	プログラマまたはオンチップデバッガ接続時の動作
シリアルプログラミングモード（SCI/USBブートモード） オンチップデバッグモード（JTAG/SWDブートモード）	FFh, …, FFh（全バイトがFFh）	プロテクト無効	IDコードは検証されません。IDコードは常に一致して、プログラマまたはオンチップデバッガへの接続が許可されます。
	ビット127 = 1およびビット126 = 1、かつビット125からビット0のどれか1ビットでも0である場合	プロテクト有効	IDコード一致：認証を終了し、プログラマまたはオンチップデバッガへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移 プログラマまたはオンチップデバッガから送られてきたIDコードがASCIIコードのALeRASE（414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFFh）であると、ユーザフラッシュ（コードフラッシュおよびデータフラッシュ）領域および構成領域の内容は消去されます。 ただし、AWSC.FSPR（注1）ビットが0であれば、強制消去は実行されません。
	ビット127 = 1、ビット126 = 0	プロテクト有効	IDコード一致：認証を終了し、プログラマまたはオンチップデバッガへの接続を許可 IDコード不一致：IDコードプロテクト待機状態へ遷移
	ビット127 = 0	プロテクト有効	IDコードは検証されません。IDコードは常に一致せず、プログラマまたはオンチップデバッガへの接続は禁止されます。

注 1. AWSC.FSPR ビットの詳細については、7.2.3 アクセスウィンドウ設定コントロールレジスタ（AWSC）を参照してください。

55.6 機能概要

シリアルインタフェース経由（シリアルプログラミングモード）、またはJTAG/SWDインタフェース経由（オンチップデバッグモード）で、専用フラッシュメモリプログラマを使用してオンチップフラッシュメモリを書き換えることにより、ターゲットシステムへの実装前／実装後にかかわらずデバイスのプログラムが可能です。

また、第三者によるプログラムの改ざん防止のため、オンチップフラッシュメモリに書かれたユーザプログラムの書き換えを禁止するセキュリティ機能をサポートしています。

ユーザプログラムによるプログラミング（セルフプログラミング）は、システムの製造／出荷後の更新が必要なアプリケーションに有効です。フラッシュメモリ領域を安全に書き換えるためのプロテクション機能もサポートしています。また、セルフプログラミング中の割り込み処理もサポートされており、外部通信およびその他の機能を実行している間もプログラミングを継続できます。表 55.6 は、プログラミング方法と対応する動作モードを示しています。

表 55.6 プログラミング方式

プログラミング方式	機能概要	動作モード
シリアルプログラミング	SCI/USBFSインタフェース経由で接続されている専用フラッシュメモリプログラマを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	シリアルプログラミングモード
	SCI/USBFSインタフェース経由で接続されている専用フラッシュメモリプログラマ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリのオフボード書き換えが可能です。	
セルフプログラミング	シリアルプログラミングによってあらかじめメモリに書き込まれたユーザプログラムを実行することによっても、フラッシュメモリの書き換えが可能です。データフラッシュメモリの書き換え時には、バックグラウンドオペレーション機能によりコードフラッシュメモリからの命令フェッチまたはデータの読み出しが可能です。そのため、コードフラッシュメモリ上のプログラムを実行してデータフラッシュメモリを書き換えることができます。 バックグラウンドオペレーションは、コードフラッシュメモリ自体によるコードフラッシュメモリの読み出し／書き込みに使用できますが、書き換えおよび読み出しの対象となるコードフラッシュメモリのアドレス範囲が特定の条件（表 55.11 を参照）を満足する場合に限ります。これらの条件を満たす場合、コードフラッシュメモリの半分に常駐するプログラムを実行して、残りの半分を書き換えることができます。 バックグラウンドオペレーションを利用できない場合は、セルフプログラミングによるコードフラッシュメモリの書き換え時には、コードフラッシュメモリからの命令フェッチおよびデータアクセスはできません。内蔵SRAMまたは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	通常動作モード
JTAG/SWDプログラミング	JTAG/SWDを経由した専用フラッシュメモリプログラマまたはオンチップデバッガを用いて、ターゲットシステムへの実装後もフラッシュメモリのオンボード書き換えが可能です。	オンチップデバッグモード
	JTAG/SWDを経由した専用フラッシュメモリプログラマまたはオンチップデバッガ、および専用プログラミングアダプタボードを用いて、たとえばデバイスのプログラミングなど、ターゲットシステム実装前にフラッシュメモリをオフボードで書き換えることが可能です。	

内蔵フラッシュメモリの機能一覧を表 55.7 に示します。シリアルプログラミングではシリアルプログラマコマンドを使用してください。セルフプログラミングでは、プログラミングコマンドを使用してオンチップフラッシュメモリの読み出しまたはユーザプログラムの実行を行ってください。

表 55.7 基本機能

機能	機能概要	サポートの有無	
		シリアルプログラミング	セルフプログラミング
ブランクチェック	指定したブロックがプログラムされていないことを確認します。イレース後にプログラムされていない状態のデータフラッシュメモリの読み出し結果は保証されません。イレース後にプログラムされていない状態を確認するには、ブランクチェックを使用してください。	x	○ （データフラッシュプログラミングのみ）
ブロックイレース	指定したブロックのメモリの内容のイレースを行います。	○	○
プログラム	指定したアドレスのプログラムを行います。	○	○
読み出し	フラッシュメモリにプログラムしたデータの読み出しを行います。	○	x （ユーザプログラムにて読み出しは可能）
IDコードチェック	ホストが送信したIDコードとROMに格納されているコードとを比較し、一致する場合、FCUは待機状態に遷移してホストからのプログラミングとイレースコマンドを待ちます。	○	x （ID認証は行わない）
セキュリティ設定	シリアルプログラミング用のセキュリティ機能の設定を行います。	△ （有効から無効への設定切り替えのみ許可）	△ （有効から無効への切り替えのみ許可）
プロテクション設定	コードフラッシュメモリにおけるフラッシュ領域プロテクションのアクセスウィンドウを設定します。	○	○

内蔵フラッシュメモリは ID コードセキュリティ機能をサポートしています。ID 認証は、シリアルプログラミングと JTAG/SWD プログラミングで使用できるセキュリティ機能です。内蔵フラッシュメモリでサポートされるセキュリティ機能を表 55.8 に、セキュリティ設定時の動作を表 55.9 に示します。

表 55.8 セキュリティ機能

機能	内容
ID認証	シリアルプログラミング時のシリアルプログラマ接続をID認証結果で制御可能です。

表 55.9 セキュリティ設定時の動作

機能	各セキュリティ設定時のイレース／プログラミング／リード動作		セキュリティ設定に関する注意事項
	シリアルプログラミングとオンチップデバッグモード	セルフプログラミングモード	セルフプログラミングモード
ID認証	IDが不一致の場合 • ブロックイレースコマンド：× • プログラムコマンド：× • リードコマンド：× • セキュリティ設定コマンド：× • プロテクション設定コマンド：× IDが一致した場合 • ブロックイレースコマンド：○ • プログラムコマンド：○ • リードコマンド：○ • セキュリティ設定コマンド：○ • プロテクション設定コマンド：○	（ID認証は行わない） • ブランクチェック：○ • ブロックイレース：○ • プログラム：○ • セキュリティ設定：○ • プロテクション設定：○	ID認証は行わない

55.6.1 構成領域ビットマップ

図 55.6 に、構成領域ビットマップを示します。ブートプログラムは、必ずこれらのビットを 16 進数データとして使用しなければなりません。

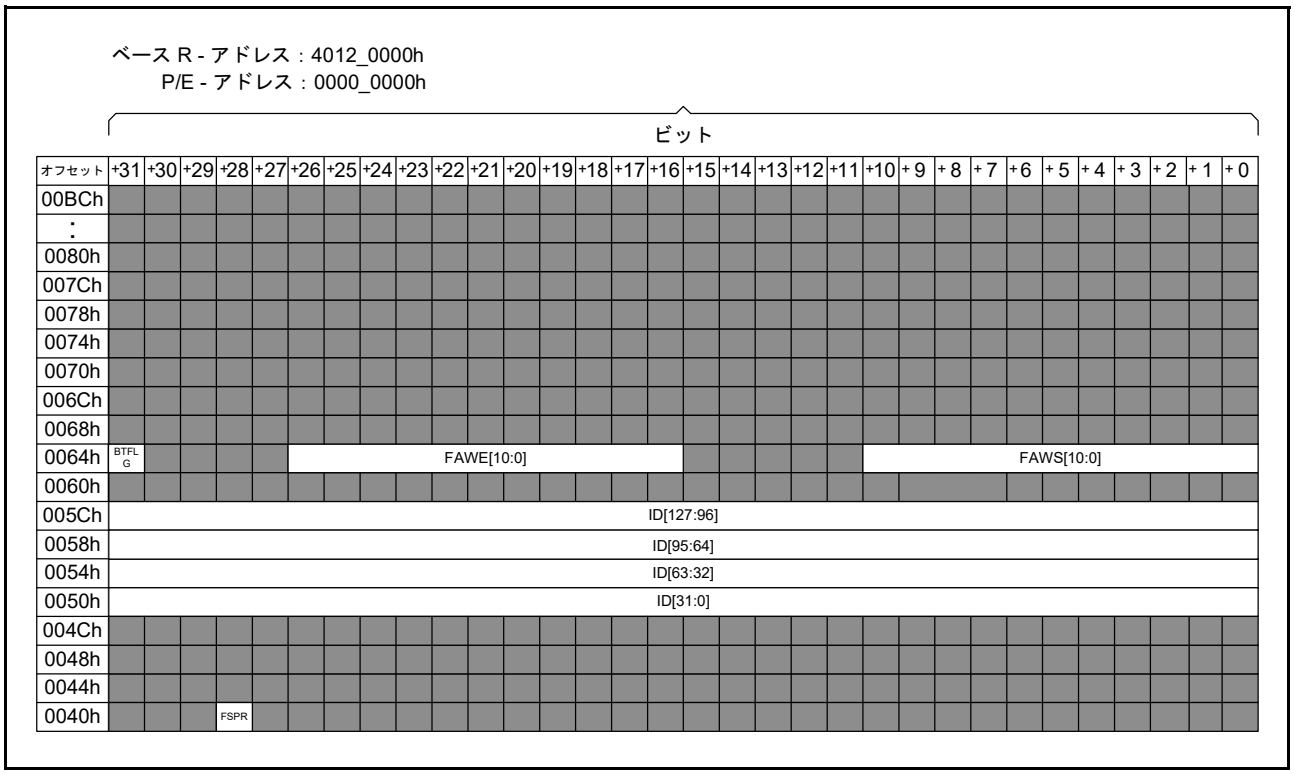


図 55.6 構成領域ビットマップ

55.6.2 スタートアップ領域選択

スタートアップ領域選択機能によって、ブートプログラムの安全な更新が可能になります。スタートアップ領域のサイズは 8KB で、ユーザ領域に配置されています。FACI は、構成領域または AWS レジスタのスタートアップ領域選択フラグ（BTFLG）に基づきスタートアップ領域のアドレスを制御します。スタートアップ領域は AWSC.FSPR ビット（注 1）でロックすることが可能です。

注 1. AWSC.FSPR ビットについては、7.2.4 アクセスウィンドウ設定レジスタ（AWS）を参照してください。

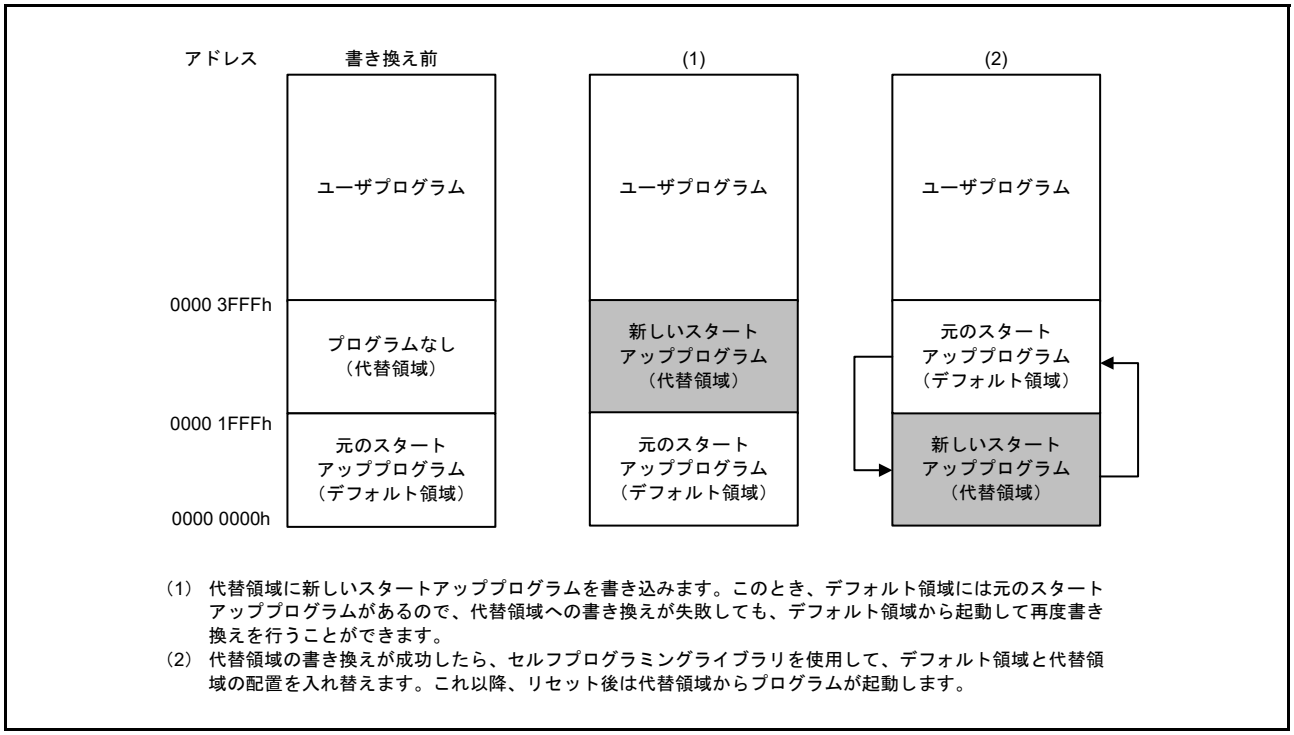


図 55.7 スタートアッププログラムプロテクションの概要

55.6.3 アクセスウィンドウによるプロテクション

アクセスウィンドウの外側にあるフラッシュメモリ領域にプログラムまたはブロックイレースコマンドを発行すると、コマンドロック状態に陥ります。アクセスウィンドウは、コードフラッシュメモリのユーザ領域においてのみ有効です。アクセスウィンドウは、セルフプログラミングモード、シリアルプログラミングモード、およびオンチップデバッグモードにおいて、プロテクション機能を提供します。

アクセスウィンドウは、AWS.FAWS[10:0] ビットおよび AWS.FAWE[10:0] ビット（注 1）の両方で指定されています。以下に、異なる条件での FAWS ビットおよび FAWE ビットの設定方法を説明します。

- FAWE = FAWS：P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できます。
- FAWE ＞ FAWS：P/E コマンドは、FAWS ビットで指示されたブロックから、FAWE ビットで指示されたブロックより 1 つ下のブロックまでのウィンドウにおいてのみ実行できます。
- FAWE ＜ FAWS：P/E コマンドは、コードフラッシュメモリのユーザ領域のどこでも実行できません。

注 1. AWS.FAWS ビットおよび AWS.FAWE ビットについては 7.2.5 OCD／シリアルプログラマ ID 設定レジスタ（OSIS）を参照してください。

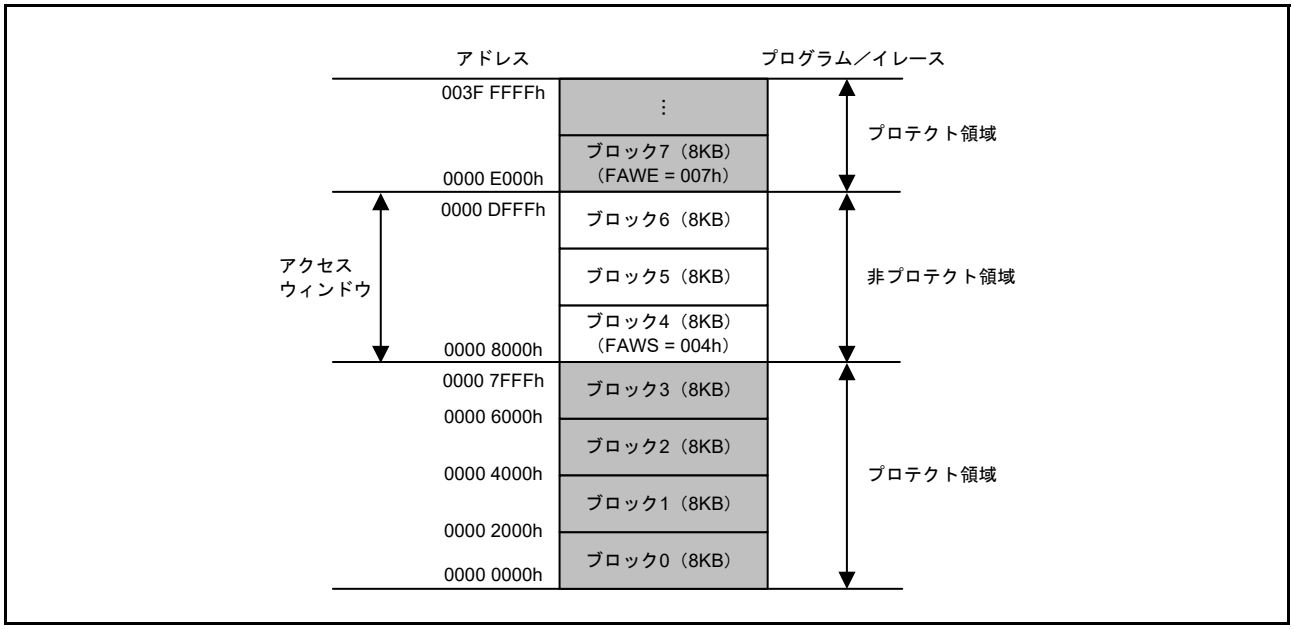


図 55.8　アクセスウィンドウに 8KB のブロックのみ含まれる場合のアクセスウィンドウの開始ブロックアドレス（FAWS）と終了ブロックアドレス（FAWE）

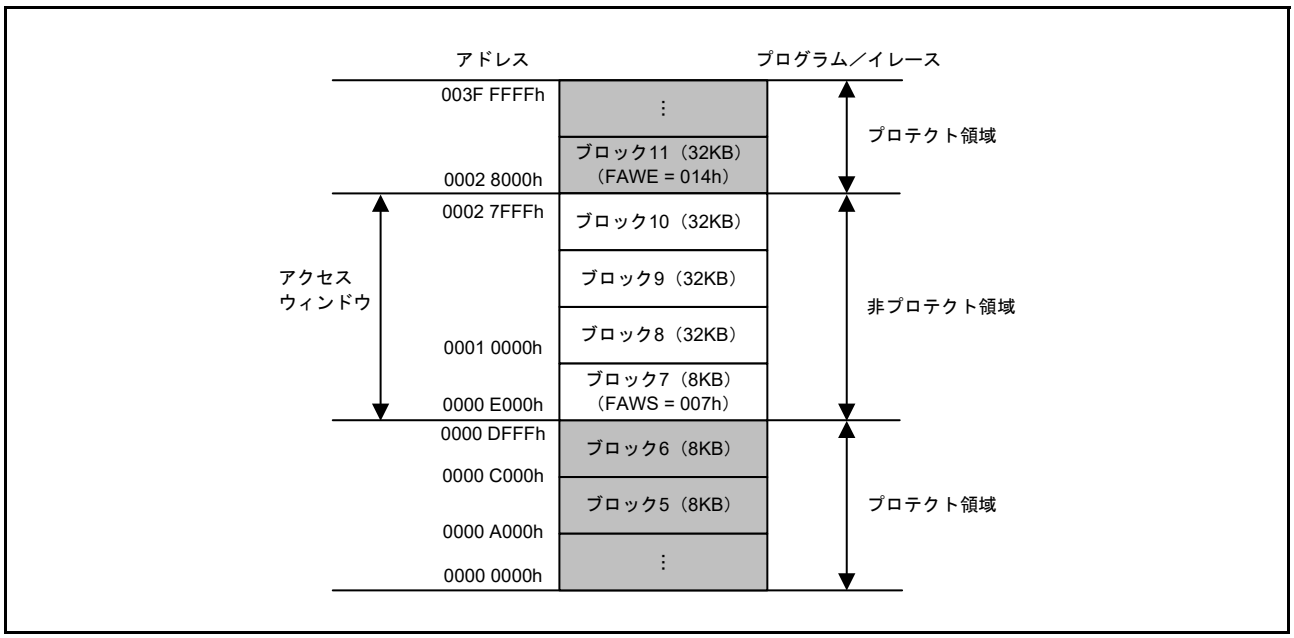


図 55.9　アクセスウィンドウに 8KB および 32KB のブロックが含まれる場合のアクセスウィンドウの開始ブロックアドレス（FAWS）と終了ブロックアドレス（FAWE）

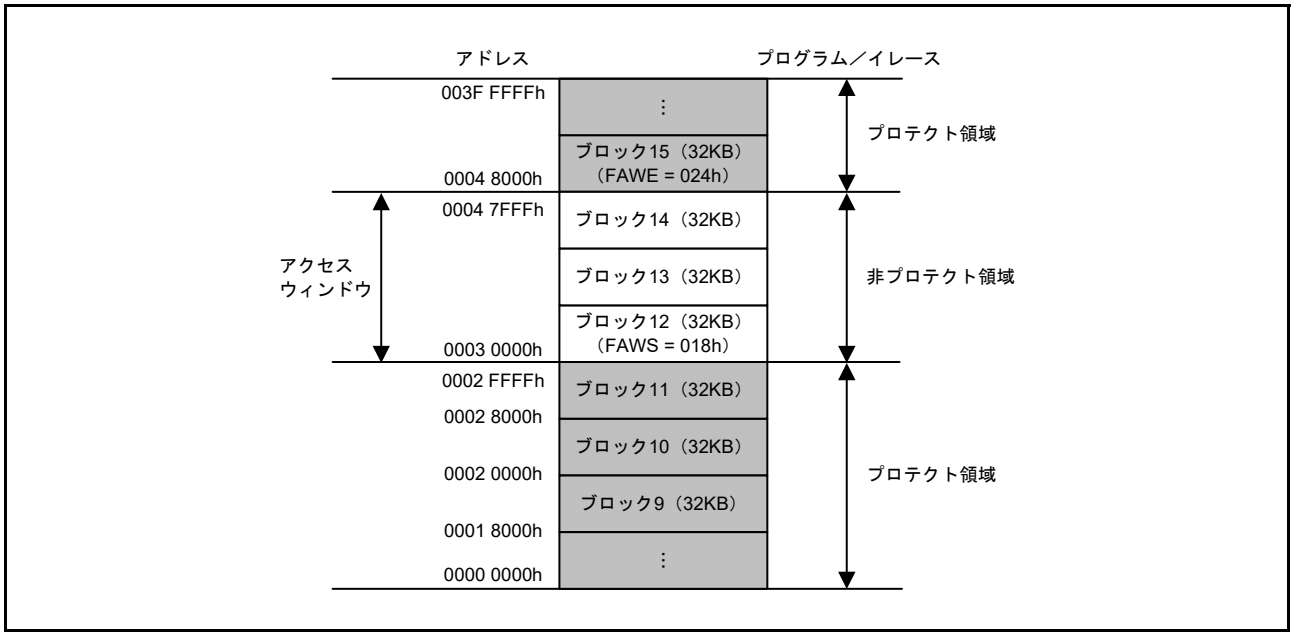


図 55.10　アクセスウィンドウに 32KB のブロックのみ含まれる場合のアクセスウィンドウの開始ブロックアドレス（FAWS）と終了ブロックアドレス（FAWE）

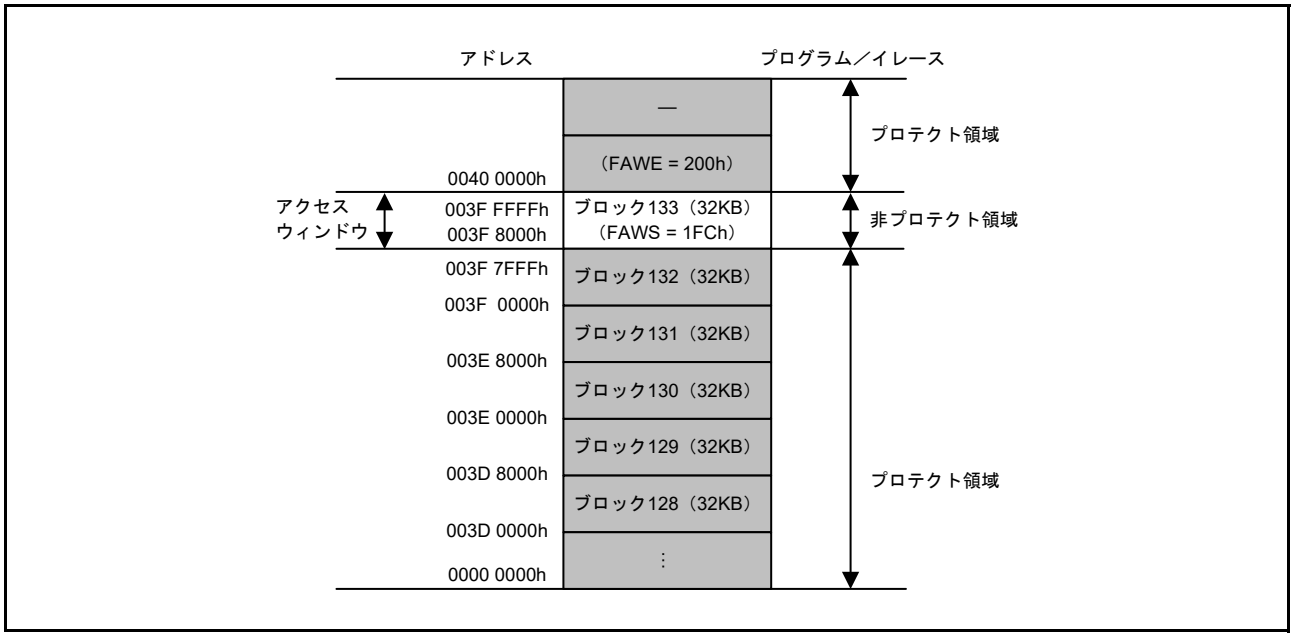


図 55.11　アクセスウィンドウに最終ブロックのみ含まれる場合のアクセスウィンドウの開始ブロックアドレス（FAWS）と終了ブロックアドレス（FAWE）

55.7 プログラムコマンド

FACI は設定された FACI コマンドに従って、FCU の制御を行います。

55.8 サスペンド動作

アドレス範囲がバックグラウンドオペレーション機能の条件を満足していない場合、プログラミングまたはイレース実行中に、コードフラッシュメモリまたはデータフラッシュメモリからの読み出しはできません。P/E サスペンドコマンドを発行し、コードフラッシュメモリ／データフラッシュメモリへのプログラム／イレース処理を中断させることによって、メモリの読み出しが可能になります。プログラムに対するサスペンドコマンドモードが 1 種類、イレースに対するサスペンドコマンドモードが 2 種類（サスペンド優先モード、イレース優先モード）存在します。中断したプログラム／イレース処理を再開するための P/E レジュームコマンドも使用できます。

55.9 プロテクション機能

以下の種類のプロテクションが提供されています。

- ソフトウェアプロテクション
- エラープロテクション
- ブートプログラムプロテクション

55.10 シリアルプログラミングモード

シリアルプログラミングモードには以下が含まれます。

- SCI9 を使用するブートモード
- USBFS を使用する USB ブートモード

表 55.10 にフラッシュメモリ関連モジュールの入出力端子を示します。

表 55.10 フラッシュメモリ関連モジュールの入出力端子

端子名	入出力	適用モード	機能
MD	入力	SCI ブートモード USB ブートモード （シリアルプログラミングモード）	動作モードの選択
P110/RXD9	入力	SCI ブートモード	ホスト通信における SCI データ受信用
P109/TXD9	出力		ホスト通信における SCI データ送信用
USB_DP, USB_DM	入出力	USB ブートモード	USB データの入出力
USB_VBUS	入力		USB ケーブルの接続／切断の検出

55.10.1 SCI ブートモード

SCI ブートモードでは、ホストから制御コマンドやプログラミングデータを送信して、コードフラッシュメモリ／データフラッシュメモリ領域へのプログラム／イレースが実行可能です。ホストと本 MCU 間の通信には、内蔵の SCI を調歩同期式モードで使用します。ホストには制御コマンドを送信するためのツールとプログラム用データを準備する必要があります。

本 MCU を SCI ブートモードで起動すると、シリアルプログラミング用の組み込みプログラムが実行されます。このプログラムは、SCI のビットレートの自動調整とホストからの制御コマンドを受けて、プログラムおよびイレースを制御します。リセット解除時に USB ケーブルが接続されていてはいけません。

図 55.12 に、SCI ブートモード時のシステム構成を示します。

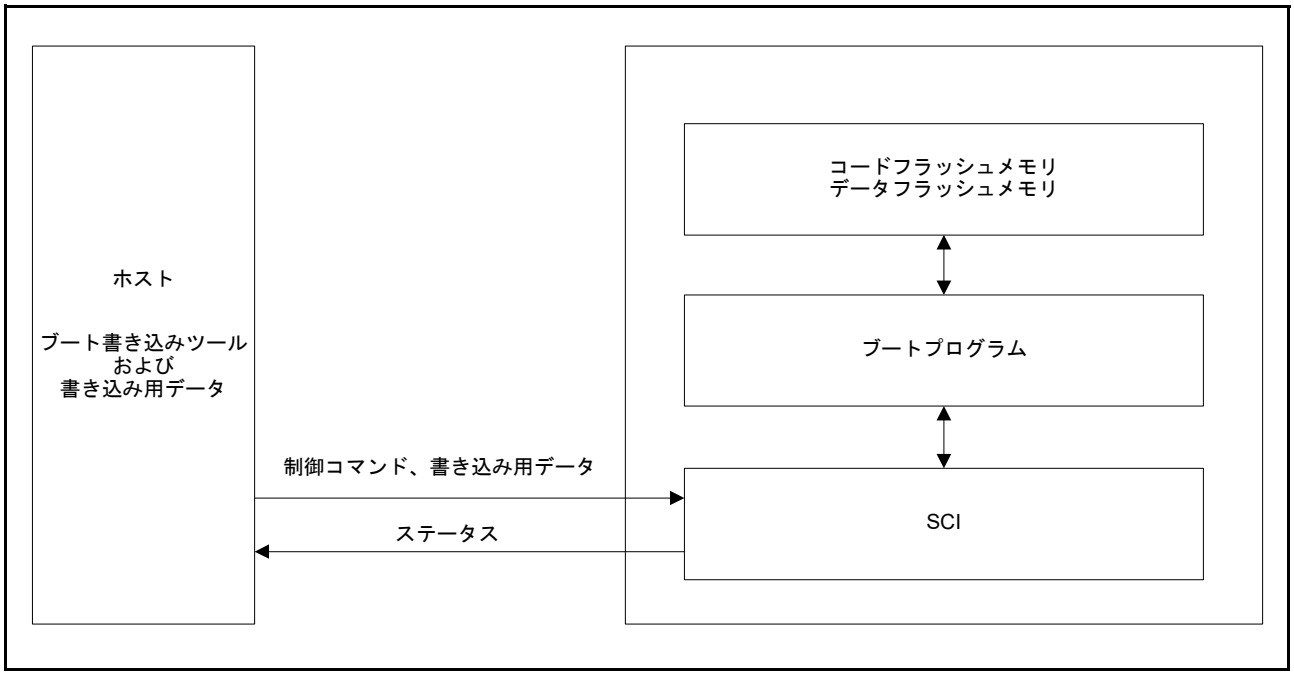


図 55.12 SCI ブートモード時のシステム構成

55.10.2 USB ブートモード

USB ブートモードは、USB インタフェースを経由して外部に接続されたホストから制御コマンドやプログラムデータを送信し、コードフラッシュメモリ／データフラッシュメモリへのプログラム／イレースを行うモードです。

USB ブートモードでは、制御コマンドやプログラムデータを送信するツールと、プログラムデータをホスト側に準備しておく必要があります。図 55.13 に、USB ブートモードで使用するシステム構成を示します。リセット解除時、USB ケーブルが接続されていなければいけません。

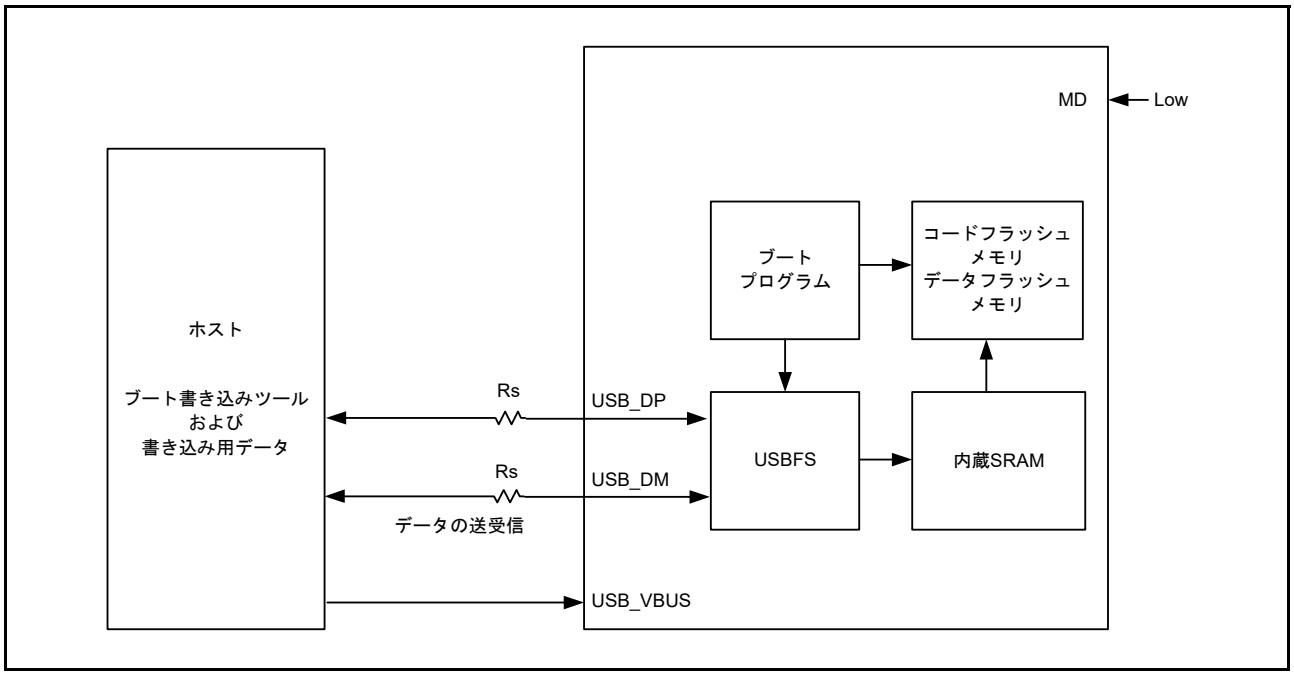


図 55.13 USB ブートモード時のシステム構成

55.11 シリアルプログラマを使用したプログラミング

専用フラッシュメモリプログラマを使用して、シリアルプログラミングモードでフラッシュメモリのプログラムを行うことができます。

55.11.1 シリアルプログラミング

本 MCU は、シリアルプログラミング用にボードに装着されています。ボードにコネクタを備えることにより、フラッシュメモリプログラマはプログラムを行うことができます。

55.11.2 プログラミング環境

図 55.14 に、本 MCU のフラッシュメモリにデータをプログラミングするための推奨される環境を示します。

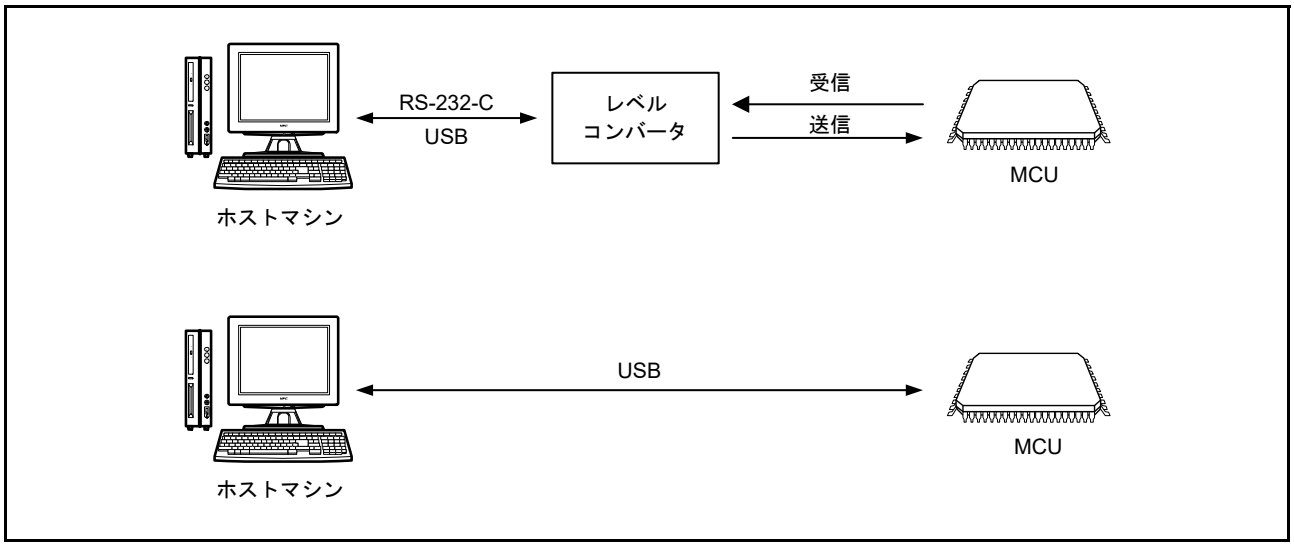


図 55.14 フラッシュメモリにプログラムを書き込むための環境

55.12 セルフプログラミングでの書き換え

55.12.1 概要

本 MCU は、ユーザプログラム自体によるフラッシュメモリの書き換えをサポートします。プログラムコマンドをユーザのプログラムで使用することにより、コードフラッシュメモリとデータフラッシュメモリの両方を書き換えることができます。したがって、ユーザプログラムのアップグレードと、定数データフィールドの書き換えが可能になります。

データフラッシュメモリを書き換える場合、バックグラウンドオペレーション機能を利用してコードフラッシュメモリ上の書き換えプログラムからメモリを書き換えることができます。この書き換えプログラムを事前に内蔵 SRAM または外部メモリに複製し、そこから実行することも可能です。

コードフラッシュメモリを書き換える場合、書き換え対象と読み出し対象のコードフラッシュメモリ領域のアドレス範囲が特定条件を満たすときはバックグラウンドオペレーションが利用可能です（表 55.11 を参照）。セルフプログラミングでは、コードフラッシュメモリの半分にある書き換えプログラムを使用して、残りの半分を書き換えることができます。この書き換えプログラムを事前に内蔵 SRAM または外部メモリに複製し、そこから実行することも可能です。これは、アドレス範囲がバックグラウンドオペレーションの条件を満たさない場合に有用です。

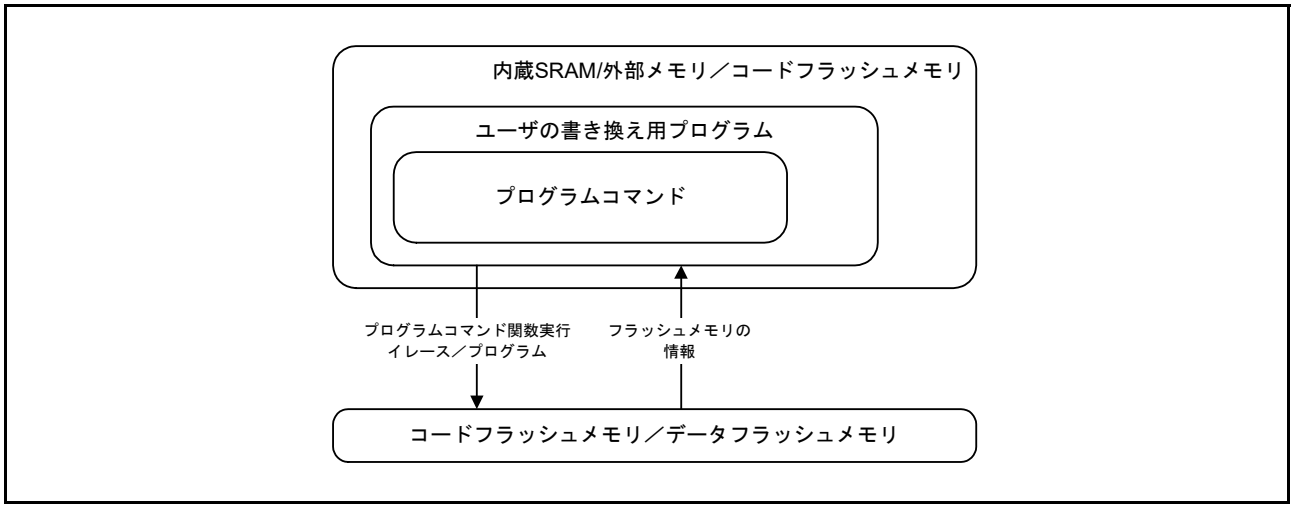


図 55.15 セルフプログラミングの概念

55.12.2 バックグラウンドオペレーション

書き込み対象および読み出し対象のフラッシュメモリが表 55.11 に示す組み合わせである場合には、バックグラウンドオペレーションを利用することができます。

表 55.11 バックグラウンドオペレーションの利用可能な条件

製品	書き込み範囲	読み出し範囲
全製品	データフラッシュメモリ	コードフラッシュメモリ
4MB 製品	コードフラッシュメモリのユーザ領域の前半 2MB（アドレス：0000 0000h～001F FFFFh）	コードフラッシュメモリのユーザ領域の後半 2MB（アドレス：0020 0000h～003F FFFFh）
	コードフラッシュメモリのユーザ領域の後半 2MB（アドレス：0020 0000h～003F FFFFh）	コードフラッシュメモリのユーザ領域の前半 2MB（アドレス：0000 0000h～001F FFFFh）
3MB 製品	コードフラッシュメモリのユーザ領域の前半 2MB（アドレス：0000 0000h～001F FFFFh）	コードフラッシュメモリのユーザ領域の後半 1MB（アドレス：0020 0000h～002F FFFFh）
	コードフラッシュメモリのユーザ領域の後半 1MB（アドレス：0020 0000h～002F FFFFh）	コードフラッシュメモリのユーザ領域の前半 2MB（アドレス：0000 0000h～001F FFFFh）

55.13 フラッシュメモリの読み出し

55.13.1 コードフラッシュメモリの読み出し

通常モードでコードフラッシュメモリを読み出すのに、特別な設定は必要ありません。コードフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。イレース後にプログラミングしていない（未プログラム状態の）コードフラッシュメモリを読み出すと、値はすべて 1 が読み出されます。

55.13.2 データフラッシュメモリの読み出し

通常モードでデータフラッシュメモリを読み出すのに、特別な設定は必要ありません。データフラッシュメモリのアドレスにアクセスすることで、データを読み出すことが可能です。未プログラム状態のデータフラッシュメモリなど、イレース後に書き換えられていないデータフラッシュメモリを読み出すと、値はすべて不定です。未プログラム状態の確認には、ブランクチェック機能を使用してください。

55.14 使用上の注意事項

55.14.1 プログラム／イレースを中断した領域の読み出し

プログラム／イレースを中断したフラッシュメモリ領域の格納データは不定です。誤動作の原因となる不定データの読み出しを回避するため、プログラム／イレースを中断した領域の命令フェッチやデータリードを実行しないでください。

55.14.2 追加の書き込みに関する制約

構成領域以外は、同一領域に 2 回以上の書き込みを行うことはできません。フラッシュメモリ領域への書き込みが完了したら、その領域の書き換えを行う前にイレースしてください。構成領域は書き換え可能です。

55.14.3 プログラム／イレース中のリセット

プログラム／イレース中に RES 端子への信号アサートによりリセットが発生したら、電気的特性に定める動作電圧範囲になるまで tRESW の期間を待機してからデバイスのリセット状態を解除してください。tRESW については、60.3.3 リセットタイミングを参照してください。

55.14.4 プログラム／イレース中の割り込み／例外ベクタの配置

プログラム／イレース中に割り込み／例外が発生すると、コードフラッシュメモリからのベクタフェッチが発生する場合があります。ベクタ配置がバックグラウンドオペレーションの使用条件を満足しない場合、ベクタフェッチのアドレスをコードフラッシュメモリ以外に設定してください。

55.14.5 プログラム／イレース中の制限

プログラム／イレース中は、下記を禁止します。

- 電源を動作電圧範囲外にする
- 周辺クロックの動作周波数を変更する

55.14.6 プログラム／イレース中の異常終了

RES 端子によるリセットの発生によりプログラム／イレースが異常終了した場合、不定データを格納したフラッシュメモリのプログラム状態／イレース状態は検証または確認できません。プログラム／イレースが異常終了した領域では、ブランクチェック機能では当該領域のイレースに成功したかどうかを判断できません。当該領域を使用する前にイレースを完了するためには、イレースを再実行してください。

56. 2D 描画エンジン（DRW）

56.1 概要

2D 描画エンジン（DRW）は、直線、三角形、円といった数少ない特定のジオメトリに限らず、ほとんどすべてのオブジェクトジオメトリをサポートする柔軟な機能です。オブジェクトのエッジに、個別にぼかしやアンチエイリアスをかけることができます。

ラスタライゼーションは、オブジェクトのバウンディングボックス上で、左から右、上から下へ、1 クロック当たり 1 ピクセルの速度で実行されます。2D 描画エンジンは、パフォーマンス最適化のため、場合によっては下から上へラスタライゼーションを実行することもできます。さらに、バウンディングボックスに多数の空ピクセルが含まれる場合に、そのラスタライゼーションをスキップする最適化手法を提供しています。

オブジェクトの各エッジまでの距離は、バウンディングボックスのすべてのピクセルに対して一連のエッジ方程式を設定することによって計算できます。これらのエッジ方程式を連結することで、オブジェクト全体を記述できます。オブジェクト内にあるピクセルはレンダリング用に選択され、オブジェクト外にあるピクセルは破棄されます。エッジ上にある場合、直近のエッジとピクセルとの距離に比例したアルファ値がアンチエイリアシング用に選択されます。レンダリング用に選択されたすべてのピクセルはテクスチャ化可能です。その結果の 4 要素 aRGB を、各 4 チャネル用に個別に、一般的なラスタライゼーション方式で変更することができます。また、4 要素 aRGB は、本モジュールの複数のブレンドモードの 1 つとブレンド可能です。

2D 描画エンジンの入力は 2 本（テクスチャリードおよびフレームバッファリード）、出力は 1 本（フレームバッファライト）あります。内部カラーフォーマットは常に aRGB（8888）です。入力からのカラーフォーマットは読み出し時に内部フォーマットに変換され、書き込み時に元のフォーマットに戻されます。

図 56.1 は 2D 描画エンジンを使用してハードウェアで描画可能なオブジェクト例を、図 56.2 はレンダリングパイプラインのセットアップの簡略図を、図 56.3 は本モジュールのブロック図を示しています。

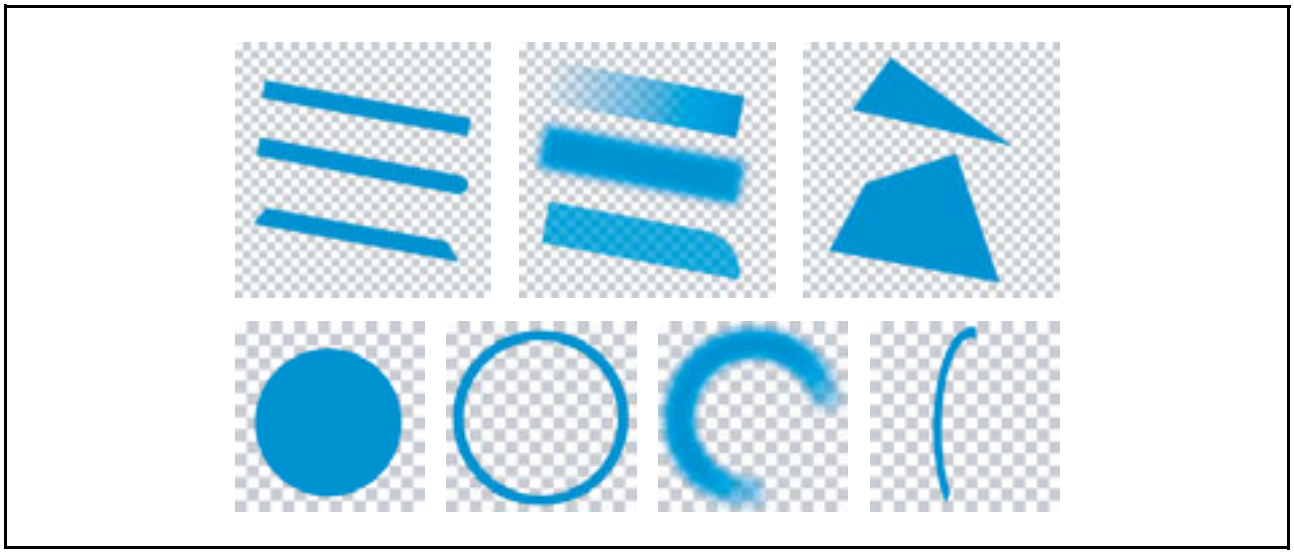


図 56.1 描画オブジェクトの例

2D 描画エンジンは、ディスプレイリストモードもサポートしています。これにより、CPU とグラフィックコントローラを機能的に切り離し、他の CPU 動作と並行してレンダリングを行うことができます。

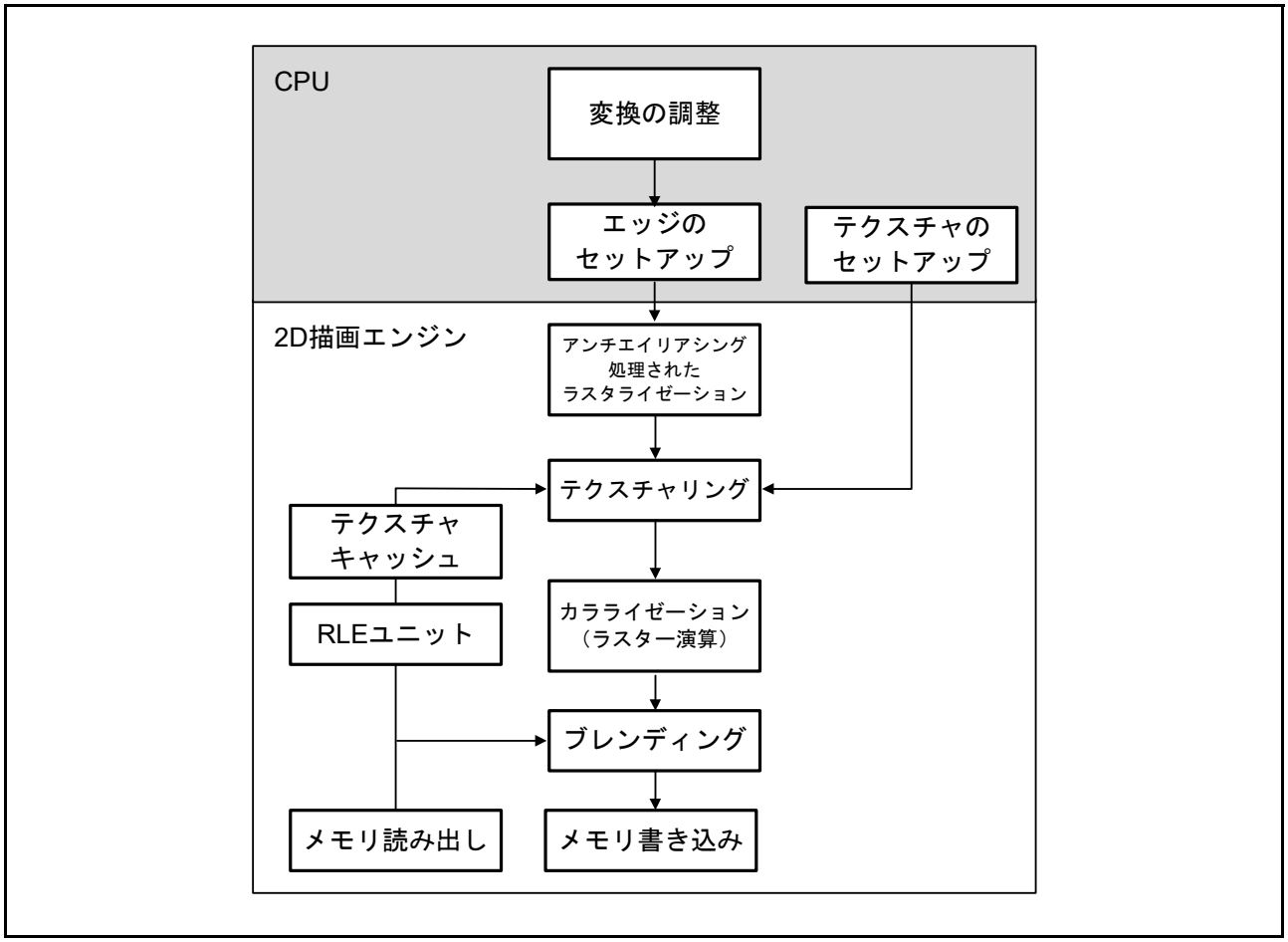


図 56.2 レンダリングパイプラインのセットアップの簡略図

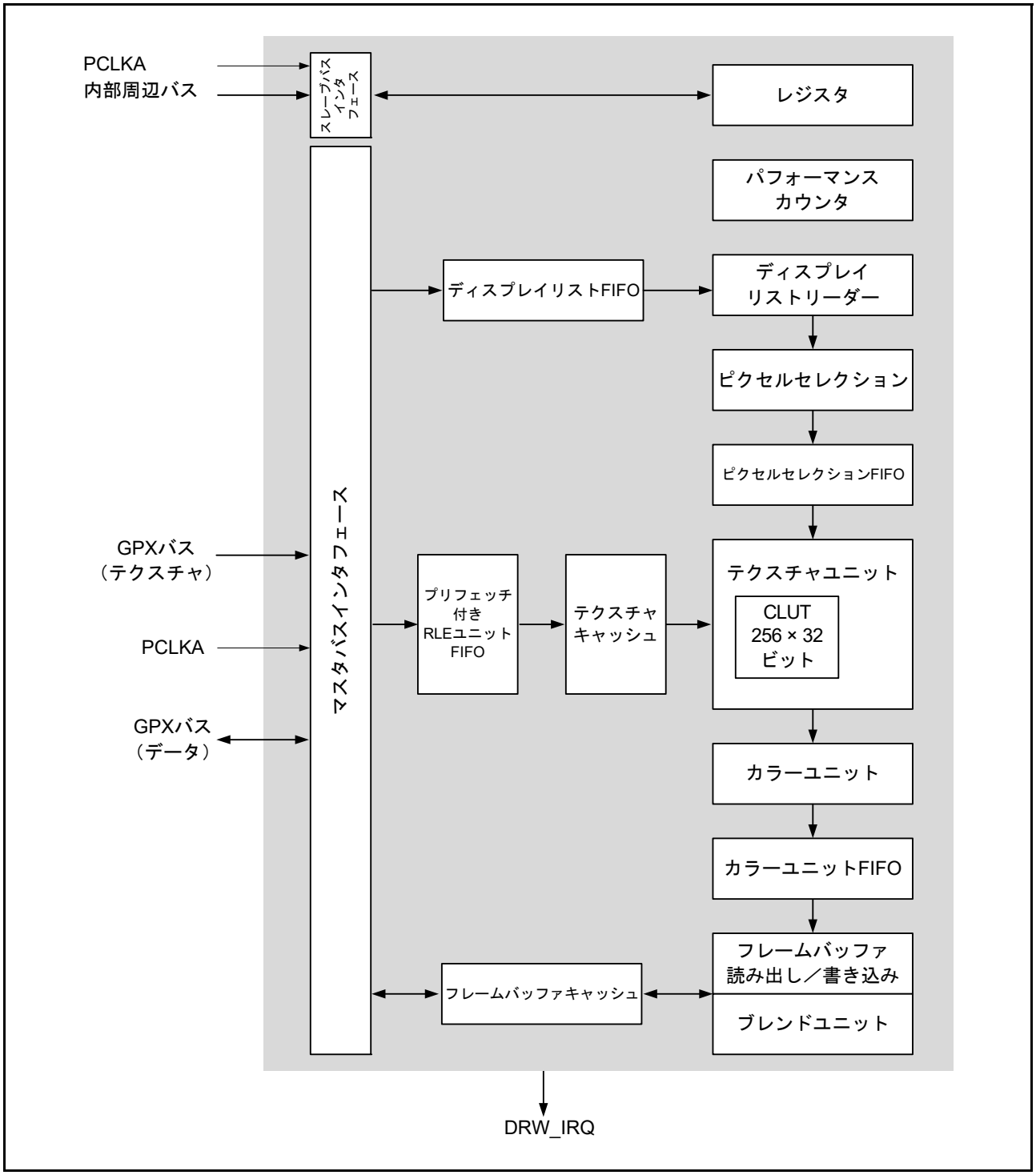


図 56.3　　2D 描画エンジンのブロック図

2D 描画エンジンは、以下に示す目的で、別のキャッシュを介して GPX バスにバスマスタとしてアクセスします。

- フレームバッファからのピクセルデータの読み出し、フレームバッファへのピクセルデータの書き込み
- テクスチャの読み出し
- ディスプレイリストの読み出し

コントロールレジスタは、内部周辺バスインタフェースを介してアクセスされます。

56.2 レジスタの説明

56.2.1 ジオメトリコントロールレジスタ（CONTROL）

アドレス DRW.CONTROL 400E 4000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	SPAN STORE	SPAN ABORT	UNION CD	UNION AB	UNION 56	UNION 34	UNION 12	BAND2 ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BAND1 ENABLE	LIM6 THRES HOLD	LIM5 THRES HOLD	LIM4 THRES HOLD	LIM3 THRES HOLD	LIM2 THRES HOLD	LIM1 THRES HOLD	QUAD3 ENABLE	QUAD2 ENABLE	QUAD1 ENABLE	LIM6 ENABLE	LIM5 ENABLE	LIM4 ENABLE	LIM3 ENABLE	LIM2 ENABLE	LIM1 ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LIM1 ENABLE	リミッタ1有効	0：無効 1：有効	W
b1	LIM2 ENABLE	リミッタ2有効	0：無効 1：有効	W
b2	LIM3 ENABLE	リミッタ3有効	0：無効 1：有効	W
b3	LIM4 ENABLE	リミッタ4有効	0：無効 1：有効	W
b4	LIM5 ENABLE	リミッタ5有効	0：無効 1：有効	W
b5	LIM6 ENABLE	リミッタ6有効	0：無効 1：有効	W
b6	QUAD1 ENABLE	リミッタ1／リミッタ2の2次結合有効	0：無効 1：有効	W
b7	QUAD2 ENABLE	リミッタ3／リミッタ4の2次結合有効	0：無効 1：有効	W
b8	QUAD3 ENABLE	リミッタ5／リミッタ6の2次結合有効	0：無効 1：有効	W
b9	LIM1 THRESHOLD	リミッタ1しきい値モード有効	0：無効 1：有効	W
b10	LIM2 THRESHOLD	リミッタ2しきい値モード有効	0：無効 1：有効	W
b11	LIM3 THRESHOLD	リミッタ3しきい値モード有効	0：無効 1：有効	W
b12	LIM4 THRESHOLD	リミッタ4しきい値モード有効	0：無効 1：有効	W
b13	LIM5 THRESHOLD	リミッタ5しきい値モード有効	0：無効 1：有効	W
b14	LIM6 THRESHOLD	リミッタ6しきい値モード有効	0：無効 1：有効	W
b15	BAND1 ENABLE	リミッタ1バンドポストプロセス有効	0：無効 1：有効 （LnBANDを参照）	W
b16	BAND2 ENABLE	リミッタ2バンドポストプロセス有効	0：無効 1：有効 （LnBANDを参照）	W
b17	UNION12	リミッタ1／リミッタ2論理和	0：リミッタ1とリミッタ2の最小／論理積を選択 1：リミッタ1とリミッタ2の最大／論理和を選択 （出力はAと呼びます。）	W

ビット	シンボル	ビット名	機能	R/W
b18	UNION34	リミッタ3／リミッタ4論理和	0：リミッタ3とリミッタ4の最小／論理積を選択 1：リミッタ3とリミッタ4の最大／論理和を選択 （出力はBと呼びます。）	W
b19	UNION56	リミッタ5／リミッタ6論理和	0：リミッタ5とリミッタ6の最小／論理積を選択 1：リミッタ5とリミッタ6の最大／論理和を選択 （出力はDと呼びます。）	W
b20	UNIONAB	出力A／出力B論理和	0：リミッタAとリミッタBの最小／論理積を選択 1：リミッタAとリミッタBの最大／論理和を選択 （出力はCと呼びます。）	W
b21	UNIONCD	出力C／出力D論理和	0：リミッタCとリミッタDの最小／論理積を選択 1：リミッタCとリミッタDの最大／論理和を選択 最終出力	W
b22	SPANABORT	スパンアボート	0：無効 1：有効 形状は水平の凸。スキャンラインごとに1つのみのスパン。56.6.2.6のスパンアボートを参照してください。	W
b23	SPANSTORE	スパンストア	0：無効 1：有効 次のラインのスパンスタートは、常に現在のラインのスパンスタートと同じ位置かそれより左側になります。56.6.2.6のスパンストアを参照してください。	W
b31-b24	—	予約ビット	書く場合、0としてください。	W

56.2.2 サーフェスコントロールレジスタ（CONTROL2）

アドレス DRW.CONTROL2 400E 4004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RLEPIXEL WIDTH[1:0]		BDIA	BSIA	CLUT FORMAT	COLKEY ENABLE	CLUT ENABLE	RLE ENABLE	WRITEALPHA[1:0]		WRITEFORMAT [1:0]		READFORMAT [1:0]		TEXTURE FILTERY	TEXTURE FILTERX
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TEXTURE CLAMPY	TEXTURE CLAMPX	BC2	BDI	BSI	BDF	BSF	WRITE FORMAT 2	BDFA	BSFA	READ FORMAT[3:2]		USEACB	PATTERN SOURCE L5	TEXTURE ENABLE	PATTERN ENABLE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

.

ビット	シンボル	ビット名	機能	R/W
b0	PATTERN ENABLE	ピクセルソース パターンカラー有効	ピクセルソースは、パターンカラー（PATTERNとパターンインデックスによるCOLOR1とCOLOR2のブレンド）です。 0：パターン無効 1：パターン有効 プリミティブを埋めるためにパターンを使用する場合、Uリミッタによって、パターンビットマスクへのインデックスが、各ピクセル用に生成されます。パターンビットに応じて、カラーはCOLOR1レジスタとCOLOR2レジスタから選択されます。小数部のインデックスは、TEXTUREFILTERX = 1を使用して、これら2つの値の間で補間できます。パターンは、TEXTURECLAMPX = 0を使用してラップできます。U用のマスクを使用して、TEXMASKレジスタにマスクを設定する必要があります。	W
b1	TEXTURE ENABLE	ピクセルソース テクスチャ有効	ピクセルソースをテクスチャから読み出し、COLOR1とCOLOR2をブレンドするためのアルファとして使用します。 0：テクスチャ無効 1：テクスチャ有効	W
b2	PATTERN SOURCEL5	パターンインデックス用リミッタ5有効	デフォルトのUリミッタの代わりに、リミッタ5をパターンインデックスとして使用します。リミッタ5をリミッタ6と結合して、2次リミッタを構成できます。2次リミッタは、ラジカルパターンを描画する2次パターン関数を生成するために使用できます。	W
b3	USEACB	アルファブレンドモード	0：WRITEALPHA[1:0]モードを使用 1：フルアルファチャネルブレンディングモードを使用	W
b5-b4	READ FORMAT[3:2]	テクスチャ フォーマット記述子	テクスチャバッファフォーマットのビット[3]とビット[2]。本項のREADFORMAT[1:0]ビットの詳細説明を参照してください。	W
b6	BSFA	アルファチャネル ブレンドソース ファクタ	アルファチャネルブレンディングモード（USEACB = 1）で有効です。 0：アルファチャネルのブレンドソースファクタとして1.0を使用 1：アルファチャネルのブレンドソースファクタとしてアルファを使用	W
b7	BDFA	アルファチャネル ブレンド デスティネーション ファクタ	アルファチャネルブレンディングモード（USEACB = 1）で有効です。 0：アルファチャネルのブレンドデスティネーションファクタとして1.0を使用 1：アルファチャネルのブレンドデスティネーションファクタとしてアルファを使用	W
b8	WRITE FORMAT2	フレームバッファ フォーマット ライトバック	フレームバッファピクセルフォーマットのビット[2]。本項のWRITEFORMAT[1:0]の説明を参照してください。	W
b9	BSF	ブレンドソース ファクタ	ソースファクタはアルファ（デフォルトでファクタは1）です。 0：ブレンドソースファクタとして1.0を使用 1：ブレンドソースファクタとしてアルファを使用	W
b10	BDF	ブレンド デスティネーション ファクタ	デスティネーションファクタはアルファ（デフォルトでファクタは1）です。 0：ブレンドデスティネーションファクタとして1.0を使用 1：ブレンドデスティネーションファクタとしてアルファを使用	W

ビット	シンボル	ビット名	機能	R/W
b11	BSI	ブレンドソース ファクタ反転	ソースファクタは反転されています（BSFに応じて、1-aあるいは1-1を意味する）。 0：BSFで指定されたブレンドファクタを使用 1：ブレンドソースファクタを反転（1-x）	W
b12	BDI	ブレンド デスティネーション ファクタ反転	デスティネーションファクタは反転されています（BDFに応じて、1-aあるいは1-1を意味する）。 0：BDFで指定されたブレンドファクタを使用 1：ブレンドデスティネーションファクタを反転（1-x）	W
b13	BC2	ブレンドカラー2	フレームバッファピクセルの代わりにブレンドカラー2を選択します。 0：デスティネーション（DST）として、フレームバッファからのピクセルを使用 1：デスティネーション（DST）としてカラー2を使用	W
b14	TEXTURE CLAMPX	使用テクスチャ外側Uリミッタの計算	このビットは、Uリミッタ（テクスチャ空間のx方向）が、使用されたテクスチャの外側にあるU値を計算した場合の動作を表します。 0：テクスチャラップモード：Uリミッタから計算された値の整数部はTEXUMASKでゲートされたANDで、結果としてx/u方向にテクスチャが複写される 1：テクスチャクランプモード：テクスチャ境界のテクスチャカラーが取得され、結果としてx/u方向にテクスチャ境界カラーが複写される	W
b15	TEXTURE CLAMPY	使用テクスチャ外側Vリミッタの計算	このビットは、Vリミッタ（テクスチャ空間のy方向）が、使用されたテクスチャの外側にあるV値を計算した場合の動作を示します。 0：テクスチャラップモード：Vリミッタから計算された値の整数部はTEXVMASKでゲートされたANDで、結果としてy/v方向にテクスチャが複写される 1：テクスチャクランプモード：テクスチャ境界のテクスチャカラーが取得され、結果としてy/v方向にテクスチャ境界カラーが複写される	W
b16	TEXTURE FILTERX	テクスチャU軸上 リニアフィルタリング	0：テクスチャU軸のフィルタリングなし 1：テクスチャU軸上のリニアフィルタリング	W
b17	TEXTURE FILTERY	テクスチャV軸上 リニアフィルタリング	0：テクスチャV軸上のフィルタリングなし 1：テクスチャV軸上のリニアフィルタリング	W
b19-b18	READ FORMAT[1:0]	テクスチャ フォーマット記述子	テクスチャバッファのピクセルフォーマット b5 b4 b19 b18 0 0 0 0：8bpp a (8) 0 0 0 1：16bpp RGB (565) 0 0 1 0：32bpp aRGB (8888) 0 0 1 1：16bpp aRGB (4444) 0 1 0 0：16bpp aRGB (1555) 0 1 0 1：8bpp aCLUT (44)、4ビットのアルファと4ビットのインデックス付きカラー 1 0 0 1：8bpp CLUT (8)/I (8)、8ビットのインデックス付きカラー／輝度 1 0 1 0：4bpp CLUT (4)/I (4)、4ビットのインデックス付きカラー／輝度 1 0 1 1：2bpp CLUT (2)/I (2)、2ビットのインデックス付きカラー／輝度 1 1 0 0：1bpp CLUT (1)/I (1)、1ビットのインデックス付きカラー／輝度 上記以外は設定しないでください。	W
b21-b20	WRITE FORMAT[1:0]	フレームバッファ フォーマット ライトバック	フレームバッファのピクセルフォーマット b8 b21 b20 0 0 0：8bpp a (8) 0 0 1：16bpp RGB (565) 0 1 0：32bpp aRGB (8888) 0 1 1：16bpp aRGB (4444) 上記以外は設定しないでください。	W

ビット	シンボル	ビット名	機能	R/W
b23-b22	WRITE ALPHA[1:0]	フレームバッファ用アルファソースライトバック	• アルファチャネルブレンディングモード（USEACB = 0）ではない場合： フレームバッファのアルファソースを設定します。 b23 b22 0 0： カラー2からのアルファを使用 0 1： ソースアルファを使用（ピクセルカバレージ） 1 0： 0.0をアルファとして使用 1 1： フレームバッファからのアルファを使用 • アルファチャネルブレンディングモード（USEACB = 1）の場合： フレームバッファアルファの代わりにカラー2のアルファをブレンドします。 0 0： BC2A = 1：デスティネーション（DST_A）としてカラー2のアルファを使用 その他：BC2A = 1：デスティネーション（DST_A）として、フレームバッファからのアルファを使用	W
b24	RLE ENABLE	RLE有効	0：RLE無効 1：RLE有効	W
b25	CLUT ENABLE	CLUT有効	0：CLUT無効 1：CLUT有効 CLUTENABLE = 0（CLUT無効）の場合、インデックスはRGBチャネルに直接与えられます。	W
b26	COLKEY ENABLE	カラーキーイング有効	0：カラーキーイング無効 1：カラーキーイング有効	W
b27	CLUT FORMAT	CLUTフォーマット	0：aRGB（8888）としてCLUTをフォーマット 1：RGB（565）としてCLUTをフォーマット	W
b28	BSIA	アルファチャネルブレンドソースファクタ反転	• アルファチャネルブレンディングモード（USEACB = 1）の場合： 0：BSFAで指定されたブレンドファクタを使用 1：ブレンドソースファクタを反転（1-x）	W
b29	BDIA	アルファチャネルブレンドデスティネーションファクタ反転	• アルファチャネルブレンディングモード（USEACB = 1）の場合： 0：BDFAで指定されたブレンドファクタを使用 1：デスティネーションブレンドファクタを反転（1-x）	W
b31-b30	RLE PIXEL WIDTH[1:0]	RLEユニットテクセル幅	b31 b30 0 0：1テクセル当たり1バイト 0 1：1テクセル当たり2バイト 1 0：1テクセル当たり3バイト 1 1：1テクセル当たり4バイト	W

56.2.3 割り込みコントロールレジスタ（IRQCTL）

アドレス DRW.IRQCTL 400E 40C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	BUSIRQCLR	BUSIRQEN	DLISTIRQCLR	ENUMIRQCLR	DLISTIRQEN	ENUMIRQEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ENUMIRQEN	ENUMIRQ割り込みマスク有効	0：ENUMIRQ列挙割り込み無効（マスク） 1：ENUMIRQ列挙割り込み有効（アンマスク）	W
b1	DLISTIRQEN	DLISTIRQ割り込みマスク有効	0：DLISTIRQディスプレイリスト割り込み無効（マスク） 1：DLISTIRQディスプレイリスト割り込み有効（アンマスク）	W
b2	ENUMIRQCLR	ENUMIRQクリア	0：ENUMIRQ列挙割り込みをクリアしない 1：ENUMIRQ列挙割り込みをクリアする	W
b3	DLISTIRQCLR	CLISTIRQクリア	0：DLISTIRQディスプレイリスト割り込みをクリアしない 1：DLISTIRQディスプレイリスト割り込みをクリアする	W
b4	BUSIRQEN	BUSIRQ割り込みマスク有効	0：BUSIRQバスエラー割り込み無効（マスク） 1：BUSIRQバスエラー割り込み有効（アンマスク）	W
b5	BUSIRQCLR	BUSIRQクリア	0：BUSIRQバスエラー割り込みをクリアしない 1：BUSIRQバスエラー割り込みをクリアする	W
b31-b6	—	予約ビット	書く場合、0としてください。	W

56.2.4 キャッシュコントロールレジスタ（CACHECTL）

アドレス DRW.CACHECTL 400E 40C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CFLUSHTX	CENABLETX	CFLUSHFX	CENABLEFX
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CENABLEFX	フレームバッファキャッシュ有効	0：フレームバッファキャッシュ無効 1：フレームバッファキャッシュ有効	W
b1	CFLUSHFX	フレームバッファキャッシュフラッシュ	0：フレームバッファキャッシュをフラッシュしない 1：フレームバッファキャッシュをフラッシュする	W
b2	CENABLETX	テクスチャキャッシュ有効	0：テクスチャキャッシュ無効 1：テクスチャキャッシュ有効	W
b3	CFLUSHTX	テクスチャキャッシュフラッシュ	0：テクスチャキャッシュをフラッシュしない 1：テクスチャキャッシュをフラッシュする	W
b31-b4	—	予約ビット	書く場合、0としてください。	W

56.2.5 ステータスコントロールレジスタ（STATUS）

アドレス DRW.STATUS 400E 4000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	BUSERR MDL	BUSERR MTXMRL	BUSERR MFB	—	BUS IRQ	DLIST IRQ	ENUM IRQ	DLIST ACTIV	CACHE DIRTY	BUSY WRITE	BUSY ENUM
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	BUSY ENUM	列挙ユニット状態	0：列挙ユニットはアイドル状態 1：列挙ユニットはビジー状態で新しいプリミティブの開始不可	R
b1	BUSY WRITE	フレームバッファライトバック状態	0：フレームバッファライトバック終了 1：フレームバッファライトバックはビジー状態でフレームバッファの型を変更不可	R
b2	CACHE DIRTY	フレームバッファキャッシュ状態	0：フレームバッファキャッシュはダーティ状態ではない 1：フレームバッファキャッシュはダーティ状態でフレームをフリップしてはならない	R
b3	DLIST ACTIVE	ディスプレイリストリーダ状態	0：ディスプレイリストリーダはアイドル状態 1：ディスプレイリストリーダはビジー状態でレジスタへの直接アクセス不可	R
b4	ENUM IRQ	列挙割り込みトリガ	0：列挙未終了、あるいは割り込み禁止状態 1：列挙終了割り込みトリガ発生あり	R
b5	DLIST IRQ	ディスプレイリスト割り込みトリガ	0：ディスプレイリスト未終了、あるいは割り込み禁止状態 1：ディスプレイリスト終了割り込みトリガ発生あり	R
b6	BUS IRQ	バスエラー割り込みトリガ	0：バスエラーなし、あるいは割り込み禁止状態 1：バスエラー割り込みトリガ発生あり	R
b7	—	予約ビット	読むと0が読めます。	R
b8	BUSERR MFB	フレームバッファバスエラー割り込みトリガ	0：フレームバッファバスエラーなし、あるいは割り込み禁止状態 1：フレームバッファバスエラー割り込みトリガ発生あり	R
b9	BUSERR MTXMRL	テクスチャバスエラー割り込みトリガ（注1）	0：テクスチャバスエラーなし、あるいは割り込み禁止状態 1：テクスチャバスエラー割り込みトリガ発生あり	R
b10	BUSERR MDL	ディスプレイリストバスエラー割り込みトリガ	0：ディスプレイリストバスエラーなし、あるいは割り込み禁止状態 1：ディスプレイリストバスエラー割り込みトリガ発生あり	R
b31-b11	—	予約ビット	読むと0が読めます。	R

注 1. RLE ユニットもテクスチャバスを介してデータを読み出しているので、RLE データアクセス中のエラーもこのビットに反映されます。

56.2.6 ハードウェアバージョンおよび機能セット ID レジスタ（HWREVISION）

アドレス DRW.HWREVISION 400E 4004h

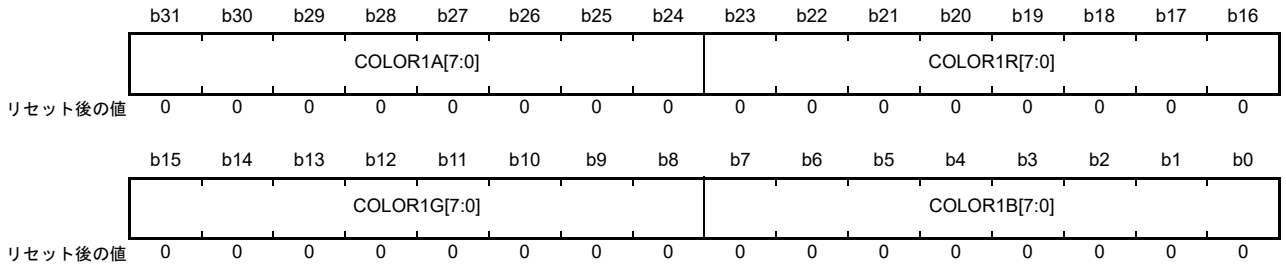
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	ACBLEND	—	COLORKEY	TEXCLUT256	RLEUNIT	—	TEXCLUT	PERFCOUNT	TXCACHE	FBCACHE	DLR	—
リセット後の値	0	0	0	0	1	1	1	1	1	0	1	1	1	1	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	REV[11:0]											
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b11-b0	REV[11:0]	リビジョン番号	リビジョン番号。	R
b16-b12	—	予約ビット	読むと0が読めます。	R
b17	DLR	ディスプレイリストリーダ有効	ディスプレイリストリーダが有効です。	R
b18	FBCACHE	フレームバッファキャッシュ有効	フレームバッファキャッシュが有効です。	R
b19	TX CACHE	テクスチャキャッシュ有効	テクスチャキャッシュが有効です。	R
b20	PERF COUNT	パフォーマンスカウンタ2個有効	2つのパフォーマンスカウンタが有効です。	R
b21	TEXCLUT	テクスチャ CLUT有効	テクスチャ CLUTが有効です。	R
b22	—	予約ビット	読むと0が読めます。	R
b23	RLEUNIT	RLEユニット有効	RLEユニットが有効です。	R
b24	TEX CLUT256	エントリ数16個／256個テクスチャCLUT有効	16個または256個のエントリを持つテクスチャCLUTが有効です。	R
b25	COLORKEY	カラーキー有効	カラーキーが有効です。	R
b26	—	予約ビット	読むと1が読めます。	R
b27	ACBLEND	アルファチャネルブレンディング有効	アルファチャネルブレンディングが有効です。	R
b31-b28	—	予約ビット	読むと0が読めます。	R

56.2.7 ベースカラーレジスタ（COLOR1）

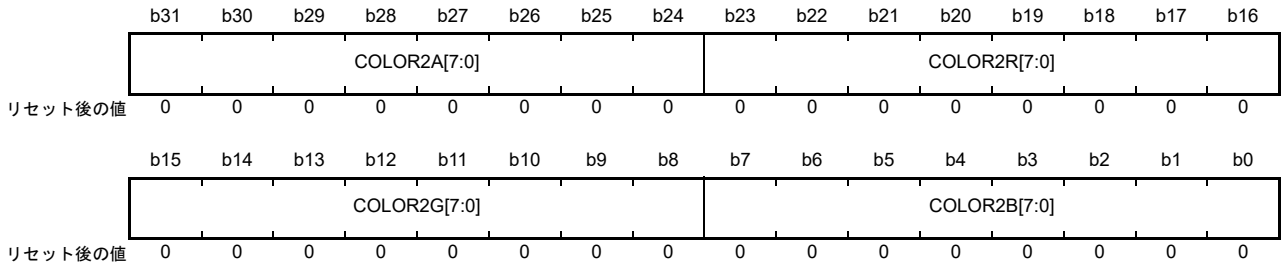
アドレス DRW.COLOR1 400E 4064h



ビット	シンボル	ビット名	機能	R/W
b7-b0	COLOR1B[7:0]	カラー１ブルーチャネル	カラー１のブルーチャネルを指定します。	W
b15-b8	COLOR1G[7:0]	カラー１グリーンチャネル	カラー１のグリーンチャネルを指定します。	W
b23-b16	COLOR1R[7:0]	カラー１レッドチャネル	カラー１のレッドチャネルを指定します。	W
b31-b24	COLOR1A[7:0]	カラー１アルファチャネル	カラー１のアルファチャネルを指定します。 00h：透明 ... FFh：不透明	W

56.2.8 セカンダリカラーレジスタ（COLOR2）

アドレス DRW.COLOR2 400E 4068h



ビット	シンボル	ビット名	機能	R/W
b7-b0	COLOR2B[7:0]	カラー２ブルーチャネル	カラー２のブルーチャネルを指定します。	W
b15-b8	COLOR2G[7:0]	カラー２グリーンチャネル	カラー２のグリーンチャネルを指定します。	W
b23-b16	COLOR2R[7:0]	カラー２レッドチャネル	カラー２のレッドチャネルを指定します。	W
b31-b24	COLOR2A[7:0]	カラー２アルファチャネル	カラー２のアルファチャネルを指定します。 00h：透明 ... FFh：不透明	W

56.2.9 パターンレジスタ（PATTERN）

アドレス DRW.PATTERN 400E 4074h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	PATTERN[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	PATTERN[7:0]	パターンビットマップ	パターンのビットマップを指定します。	W
b31-b8	—	予約ビット	書く場合、0としてください。	W

56.2.10 リミッタ N 開始値レジスタ（LnSTART）

アドレス DRW.L1START 400E 4010h, DRW.L2START 400E 4014h, DRW.L3START 400E 4018h, DRW.L4START 400E 401Ch, DRW.L5START 400E 4020h, DRW.L6START 400E 4024h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LSTART[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LSTART[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	LSTART[31:0]	n番リミッタ開始	n番リミッタの開始値を指定します。	W

56.2.11 リミッタ NX軸インクリメントレジスタ（LnXADD）

アドレス DRW.L1XADD 400E 4028h, DRW.L2XADD 400E 402Ch, DRW.L3XADD 400E 4030h, DRW.L4XADD 400E 4034h, DRW.L5XADD 400E 4038h, DRW.L6XADD 400E 403Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LXADD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LXADD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	LXADD[31:0]	X軸インクリメント	X軸のインクリメントを指定します。	W

56.2.12 リミッタ NY軸インクリメントレジスタ（LnYADD）

アドレス DRW.L1YADD 400E 4040h, DRW.L2YADD 400E 4044h, DRW.L3YADD 400E 4048h, DRW.L4YADD 400E 404Ch, DRW.L5YADD 400E 4050h, DRW.L6YADD 400E 4054h

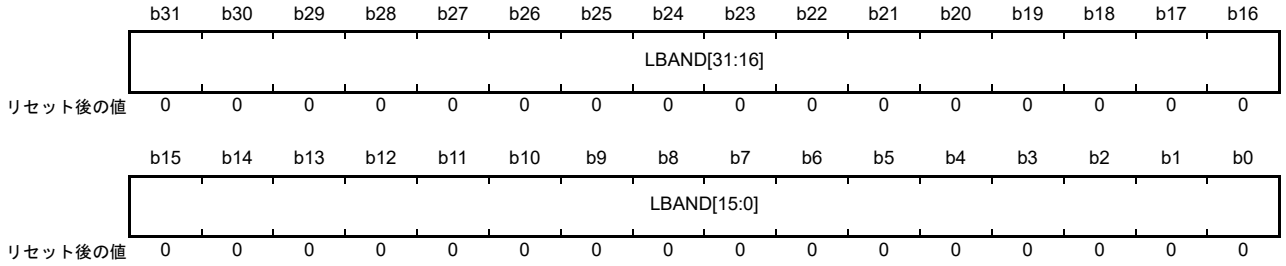
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LYADD[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LYADD[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b31-b0	LYADD[31:0]	Y軸インクリメント	Y軸のインクリメントを指定します。	W

56.2.13 リミッタ M バンド幅パラメータレジスタ（LmBAND）

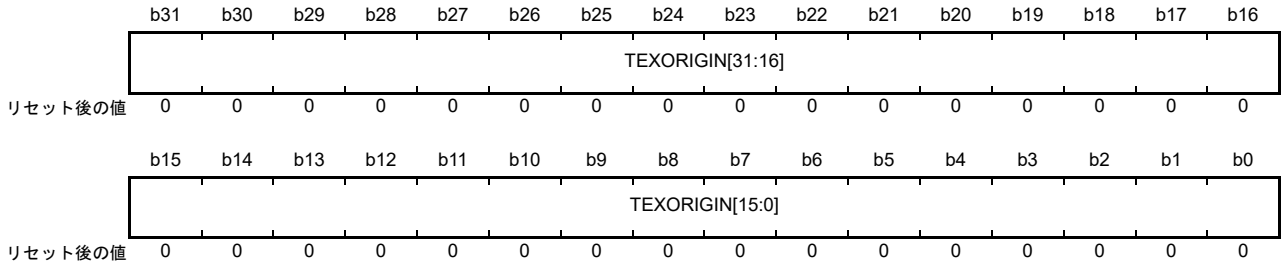
アドレス DRW.L1BAND 400E 4058h, DRW.L2BAND 400E 405Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	LBAND[31:0]	リミッタmバンド幅パラメータ	リミッタmのバンド幅パラメータを指定します。	W

56.2.14 テクスチャベースアドレスレジスタ（TEXORIGIN）

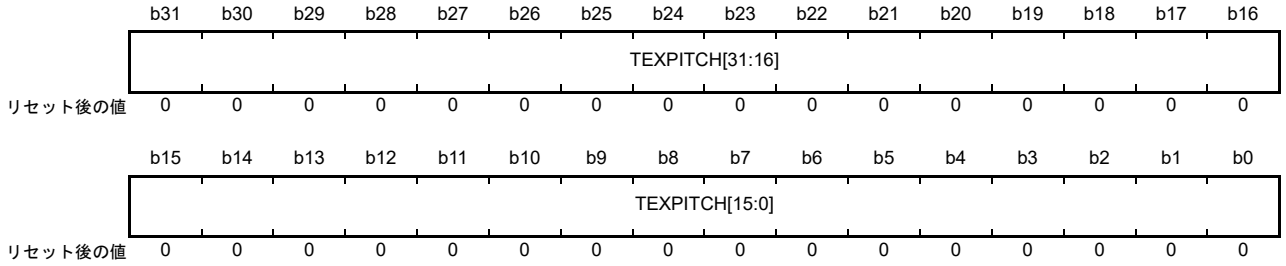
アドレス DRW.TEXORIGIN 400E 40BCh



ビット	シンボル	ビット名	機能	R/W
b31-b0	TEXORIGIN[31:0]	テクスチャベースアドレス	テクスチャベースアドレスを指定します。	W

56.2.15 テクスチャライン別テクセル数レジスタ（TEXPITCH）

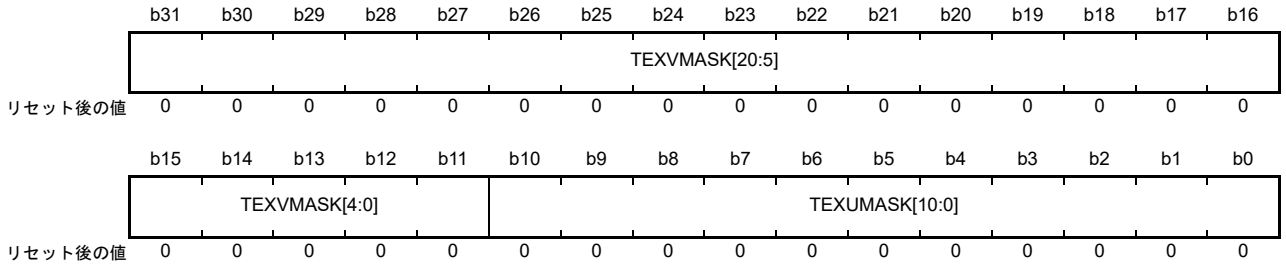
アドレス DRW.TEXPITCH 400E 40B4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	TEXPITCH[31:0]	テクスチャライン別テクセル数	テクスチャライン別テクセル数を指定します。 有効範囲：0～2048	W

56.2.16 テクスチャサイズ／テクスチャアドレスマスクレジスタ（TEXMASK）

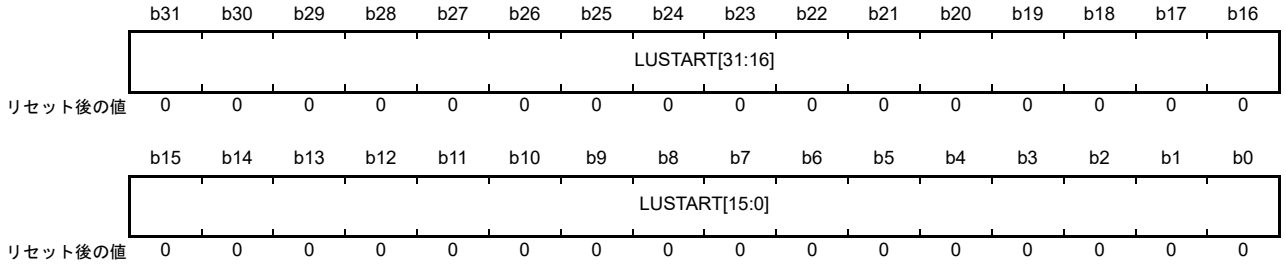
アドレス DRW.TEXMASK 400E 40B8h



ビット	シンボル	ビット名	機能	R/W
b10-b0	TEXUMASK[10:0]	テクスチャモードUマスク	Uマスクを指定します。texture_widthを-1にします。 • テクスチャラッピングモード（CONTROL2.TEXTURECLAMPX = 0）の場合、texture_widthは2のべき乗である必要があります。 • テクスチャクランピングモード（CONTROL2.TEXTURECLAMPX = 1）の場合、すべての幅は最大2048まで可能です。	W
b31-b11	TEXVMASK[20:0]	テクスチャモードVマスク	Vマスクを指定します。DRWTEXPITCH（texture_height -1）にします。 • テクスチャラッピングモード（CONTROL2.TEXTURECLAMPY = 0）の場合、texture_heightは2のべき乗である必要があります。 • テクスチャクランピングモード（CONTROL2.TEXTURECLAMPY = 1）では、すべての高さは最大1024まで可能です。	W

56.2.17 U リミッタ開始値レジスタ（LUSTART）

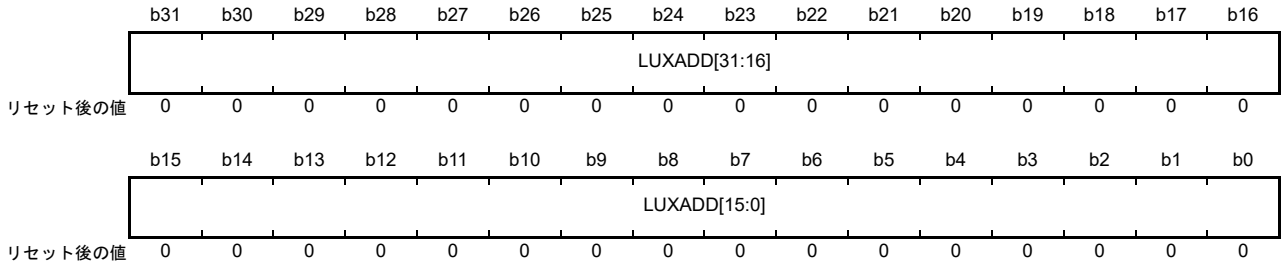
アドレス DRW.LUSTART 400E 4090h



ビット	シンボル	ビット名	機能	R/W
b31-b0	LUSTART[31:0]	Uリミッタ開始値	Uリミッタの開始値を指定します。	W

56.2.18 U リミッタ X 軸インクリメントレジスタ（LUXADD）

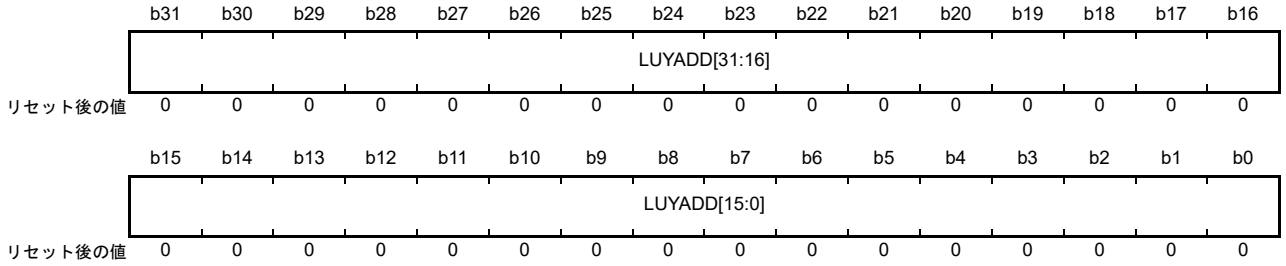
アドレス DRW.LUXADD 400E 4094h



ビット	シンボル	ビット名	機能	R/W
b31-b0	LUXADD[31:0]	UリミッタX軸インクリメント	UリミッタのX軸インクリメントを指定します。	W

56.2.19 Uリミッタ Y軸インクリメントレジスタ（LUYADD）

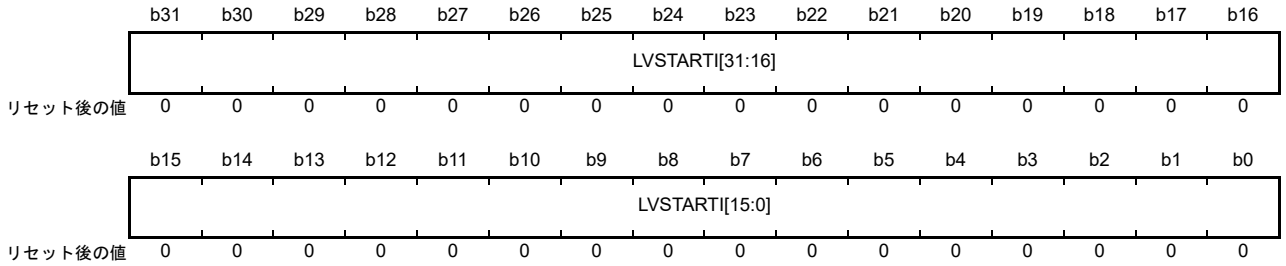
アドレス DRW.LUYADD 400E 4098h



ビット	シンボル	ビット名	機能	R/W
b31-b0	LUYADD[31:0]	Uリミッタ Y軸インクリメント	Uリミッタ Y軸インクリメントを指定します。	W

56.2.20 Vリミッタ開始値整数部レジスタ（LVSTARTI）

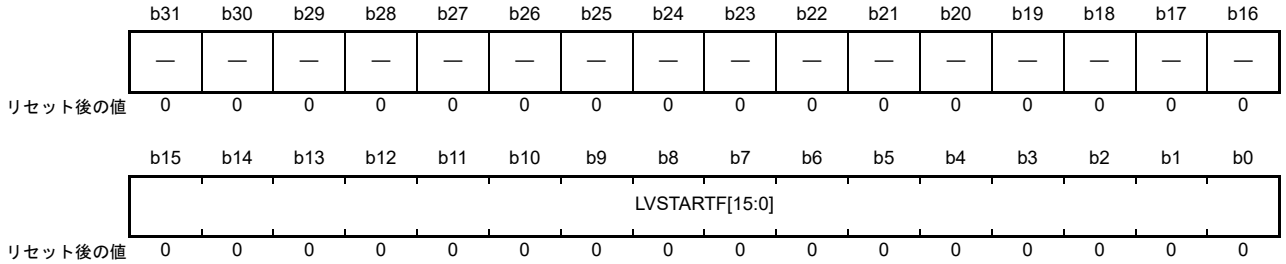
アドレス DRW.LVSTARTI 400E 409Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	LVSTARTI[31:0]	Vリミッタ開始値整数部	Vリミッタ開始値の整数部を指定します。	W

56.2.21 V リミッタ開始値小数部レジスタ（LVSTARTF）

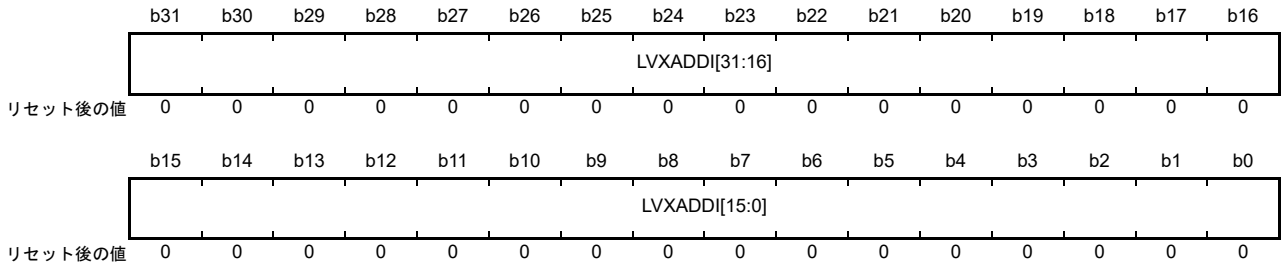
アドレス DRW.LVSTARTF 400E 40A0h



ビット	シンボル	ビット名	機能	R/W
b15-b0	LVSTARTF[15:0]	Vリミッタ開始値小数部	Vリミッタ開始値の少数部を指定します。	W
b31-b16	—	予約ビット	書く場合、0としてください。	W

56.2.22 V リミッタ X 軸インクリメント整数部レジスタ（LVXADDI）

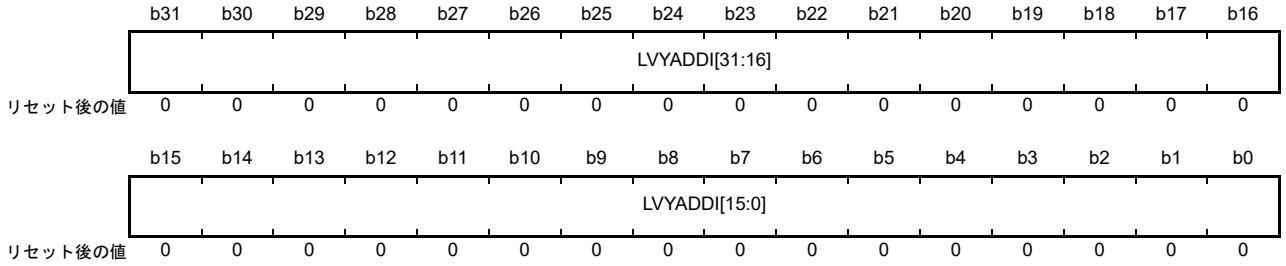
アドレス DRW.LVXADDI 400E 40A4h



ビット	シンボル	ビット名	機能	R/W
b31-b0	LVXADDI[31:0]	VリミッタX軸インクリメント整数部	VリミッタX軸インクリメントの整数部を指定します。	W

56.2.23 Ｖリミッタ Ｙ軸インクリメント整数部レジスタ（LVYADDI）

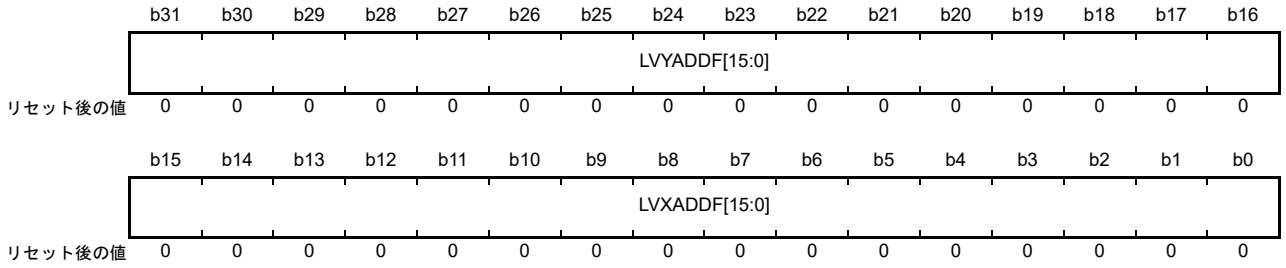
アドレス DRW.LVYADDI 400E 40A8h



ビット	シンボル	ビット名	機能	R/W
b31-b0	LVYADDI[31:0]	Ｖリミッタ Ｙ軸インクリメント整数部	Ｖリミッタ Ｙ軸インクリメントの整数部を指定します。	W

56.2.24 Ｖリミッタインクリメント小数部レジスタ（LVYXADDF）

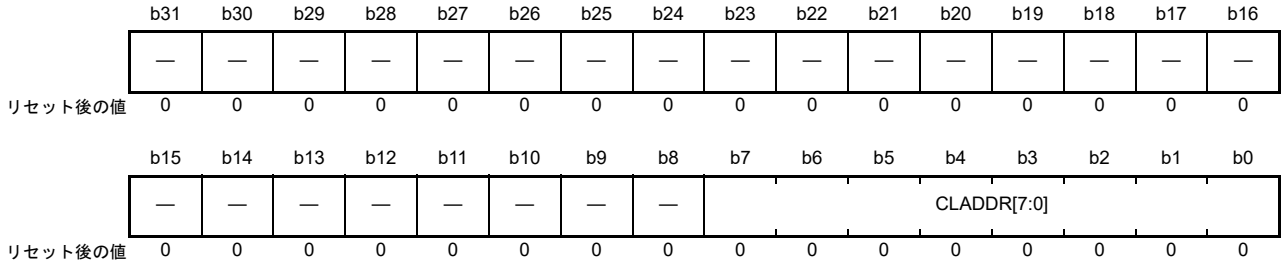
アドレス DRW.LVYXADDF 400E 40ACh



ビット	シンボル	ビット名	機能	R/W
b15-b0	LVXADDF[15:0]	Ｖリミッタ Ｘ軸インクリメント小数部	Ｖリミッタ Ｘ軸インクリメントの小数部を指定します。	W
b31-b16	LVYADDF[15:0]	Ｖリミッタ Ｙ軸インクリメント小数部	Ｖリミッタ Ｙ軸インクリメントの小数部を指定します。	W

56.2.25 CLUT 開始アドレスレジスタ（TEXCLADDR）

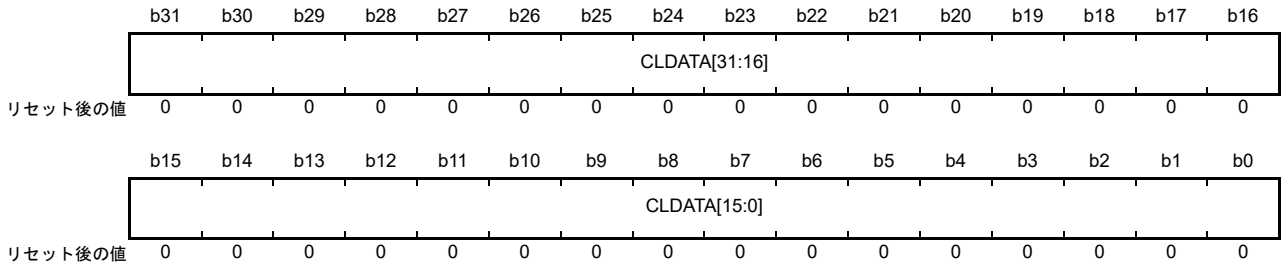
アドレス DRW.TEXCLADDR 400E 40DCh



ビット	シンボル	ビット名	機能	R/W
b7-b0	CLADDR[7:0]	テクスチャ CLUT開始アドレス	テクスチャ CLUTの開始アドレスを指定します。	W
b31-b8	—	予約ビット	書く場合、0としてください。	W

56.2.26 CLUT データレジスタ（TEXCLDATA）

アドレス DRW.TEXCLDATA 400E 40E0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	CLDATA[31:0]	テクスチャ CLUTデータ	テクスチャ CLUTデータを指定します。	W

56.2.27 CLUT オフセットレジスタ（TEXCLOFFSET）

アドレス DRW.TEXCLOFFSET 400E 40E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	CLOFFSET[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CLOFFSET[7:0]	テクスチャ CLUTオフセット	テクスチャ CLUTオフセットを指定します。 CLOFFSET[7:0]は、元のインデックスでゲートされたORです。	W
b31-b8	—	予約ビット	書く場合、0としてください。	W

56.2.28 カラーキーレジスタ（COLKEY）

アドレス DRW.COLKEY 400E 40E8h

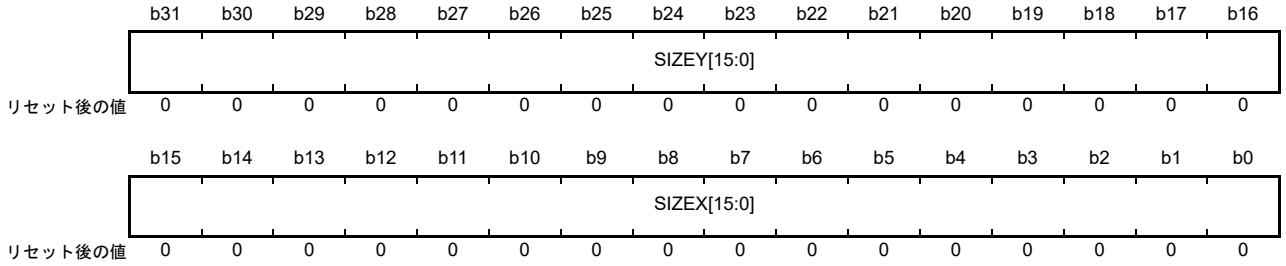
	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	COLKEYR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	COLKEYG[7:0]								COLKEYB[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	COLKEYB[7:0]	カラーキーブルーチャネル	カラーキーのブルーチャネルを指定します。	W
b15-b8	COLKEYG[7:0]	カラーキーグリーンチャネル	カラーキーのグリーンチャネルを指定します。	W
b23-b16	COLKEYR[7:0]	カラーキーレッドチャネル	カラーキーのレッドチャネルを指定します。	W
b31-b24	—	予約ビット	書く場合、0としてください。	W

56.2.29 バウンディングボックス次元レジスタ（SIZE）

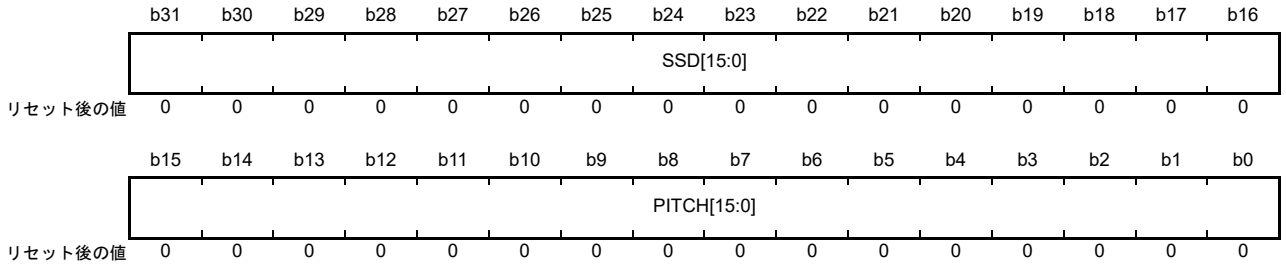
アドレス DRW.SIZE 400E 4078h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SIZEX[15:0]	バウンディングボックス幅	バウンディングボックスの幅をピクセル単位で指定します。有効範囲：0～1024	W
b31-b16	SIZEY[15:0]	バウンディングボックス高	バウンディングボックスの高さをピクセル単位で指定します。有効範囲：0～1024	W

56.2.30 フレームバッファピッチおよびスパンストア遅延レジスタ（PITCH）

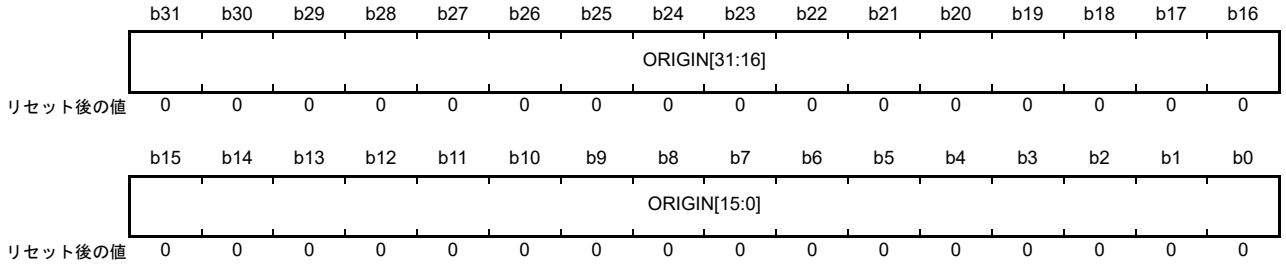
アドレス DRW.PITCH 400E 407Ch



ビット	シンボル	ビット名	機能	R/W
b15-b0	PITCH[15:0]	フレームバッファピッチ	負の幅を使用すると、レンダリングを上から下ではなく、下から上に実行できます。	W
b31-b16	SSD[15:0]	スパンストア遅延	スパンストア動作を遅延させるスキャンラインの数を指定します。	W

56.2.31 フレームバッファベースアドレスレジスタ（ORIGIN）

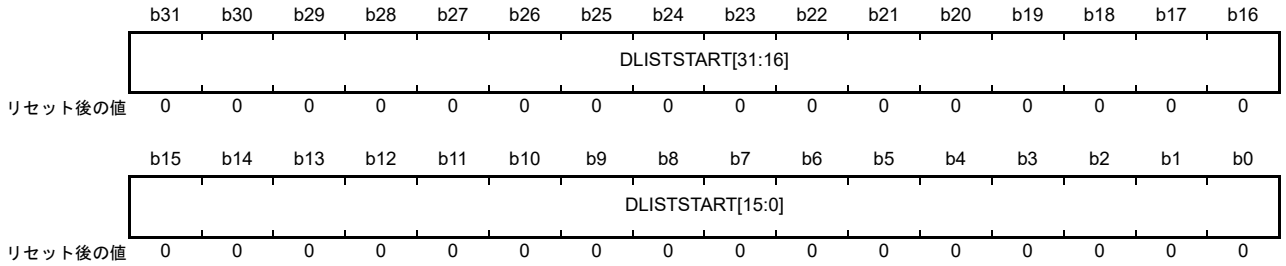
アドレス DRW.ORIGIN 400E 4080h



ビット	シンボル	ビット名	機能	R/W
b31-b0	ORIGIN[31:0]	フレームバッファ内先頭ピクセルアドレス	ORIGINに書き込むと、レンダリング開始がトリガされます。	W

56.2.32 ディスプレイリスト開始アドレスレジスタ（DLISTSTART）

アドレス DRW.DLISTSTART 400E 40C8h



ビット	シンボル	ビット名	機能	R/W
b31-b0	DLISTSTART[31:0]	ディスプレイリスト開始アドレス	新しいディスプレイリストベースアドレスをセットすると、新しいディスプレイリストの実行がトリガされます。実行は、新しいリストがセットされるか、現在のリストが終了したときのみ停止します。	W

56.2.33 パフォーマンスカウンタコントロールレジスタ（PERFTRIGGER）

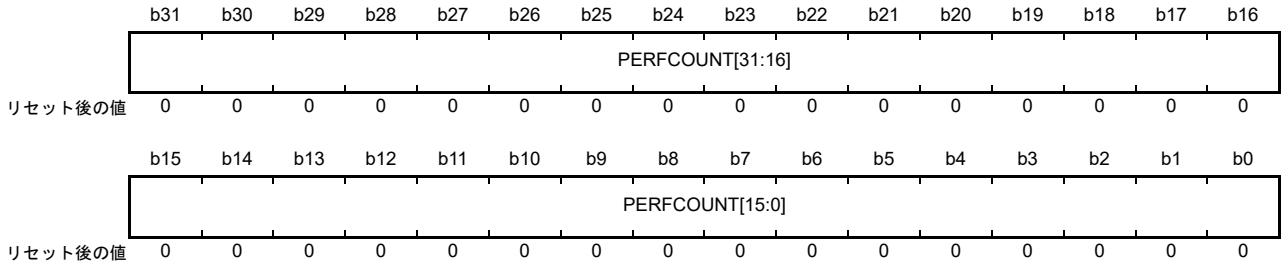
アドレス DRW.PERFTRIGGER 400E 40D4h



ビット	シンボル	ビット名	機能	R/W
b15-b0	PERFTRIGGER1[15:0]	パフォーマンスカウンタ1トリガ	PERFCOUNT1レジスタをインクリメントさせる内部イベントを選択します。 0：パフォーマンスカウンタを無効化 1：2D描画エンジンのアクティブサイクルを選択 2：フレームバッファリードアクセスを選択 3：フレームバッファライトアクセスを選択 4：テクスチャリードアクセスを選択 5：見えないピクセル（並んでいるがアルファ0%で選択されている）を選択 6：内部FIFOが空（ロストサイクル）の間の見えないピクセルを選択 7：ディスプレイリストリーダのアクティブサイクルを選択 8：フレームバッファリードのヒットを選択 9：フレームバッファリードのミスを選択 10：フレームバッファライトのヒットを選択 11：フレームバッファライトのミスを選択 12：テスクチャリードのヒットを選択 13：テスクチャリードのミスを選択 31：全クロックサイクル（タイマとして使用）を選択	W
b31-b16	PERFTRIGGER2[15:0]	パフォーマンスカウンタ2トリガ	パフォーマンスカウンタ2用であることを除き、PERFTRIGGER1と同様	W

56.2.34 パフォーマンスカウンタ k（PERFCOUNTk）（k = 1, 2）

アドレス DRW.PERFCOUNT1400E 40CCh, DRW.PERFCOUNT2 400E 40D0h



ビット	シンボル	ビット名	機能	R/W
b31-b0	PERFCOUNT[31:0]	パフォーマンスカウンタk値	カウンタkの値を指定します。このカウンタは、PERFCOUNTk = 0000_0000hを書き込むことでリセットされます。	R/W

56.3 描画機能

56.3.1 描画機能の概要

56.3.1.1 カラーフォーマット

以下のカラーフォーマットがサポートされています。

フレームバッファフォーマット

- 8 ビット：a (8)
- 16 ビット：RGB (565)、aRGB (4444)
- 32 ビット：aRGB (8888)

テクスチャフォーマット

- 1 ビット：CLUT (1)/I (1)
- 2 ビット：CLUT (2)/I (2)
- 4 ビット：CLUT (4)/I (4)
- 8 ビット：a (8)、CLUT (8)/I (8)、aCLUT (44)
- 16 ビット：aRGB (4444)、aRGB (1555)、RGB (565)
- 24 ビット：RGB（888）（ランレングスエンコード化（RLE）ユニット）
- 32 ビット：aRGB (8888)

CLUT フォーマットは、256 個のエントリを持つカラールックアップテーブルを使用します。

56.3.1.2 BitBLT 機能

2D 描画エンジンは、ベクタ描画機能を使用して長方形を描画し、選択した BitBLT 関数に従ってテクスチャ処理する BitBLT 機能をサポートしています。これにより、次の BitBLT 機能が実現されます。

- 塗りつぶし
- コピー
- ストレッチ BitBLT
- 回転とスケーリング
- アルファブレンディング
- バイリニアフィルタリング
- カラー変換
- サブピクセルの正確な配置

56.3.1.3 ベクタ描画機能

ベクタ 2D 描画エンジンは、ハーフプレーンレンダリング方式を使用し、エッジのアンチエイリアシングとぼかし機能の実装を、少ないオーバーヘッドで簡素化できます。いくつかの機能ユニットを組み合わせることによって、本モジュールは、ラインやポリゴンのような線形プリミティブだけでなく、円や楕円のような 2 次方程式ベースのプリミティブも描画できます。以下のプリミティブがサポートされています。

- ライン
- ポリゴン
- 円と楕円
- 2 次曲線（ソフトウェアドライバサポート）

- 2D テクスチャマッピング
- テクスチャのバイリニアフィルタリング

56.3.2 ベクタ描画

アルゴリズムの詳細な説明については、56.6 レンダリングパイプラインを参照してください。以下のベクタ描画がサポートされています。

ライン

- 任意の幅
- 丸めエンドポイント
- 切り捨てエンドポイント
- アルファ勾配
- ソフトエッジ（ぼかし）
- レンダリング属性：カラー、パターン、テクスチャ

ポリゴン

- 三角形と四角形（複雑なポリゴンはソフトウェアにより市松模様にされる）
- アルファ勾配
- ソフトエッジ（ぼかし）
- アンチエイリアシング用の各エッジ制御
- レンダリング属性：カラー、パターン、テクスチャ

円と楕円

- すべての円錐曲線
- 塗りつぶし、あるいは任意の幅
- 0° ～ 360° の弧
- ソフトエッジ
- アルファ勾配
- レンダリング属性：カラー、パターン、テクスチャ

2 次ベジェ曲線

- 弧による近似
- 任意の幅
- 丸めまたは切り捨てエンドポイント
- アウトライン、ぼかし
- アルファ勾配
- レンダリング属性：カラー

テクスチャマッピング

- 2D 描画エンジンが提供するすべてのプリミティブ上に非明示的または明示的にマッピング可能なピクセルの 2D 配列

- 変換、回転、スケーリング／シアリング
- テクスチャのバイリニアフィルタリング
- 定数が 1 つの軸上にある場合にライン単位のマッピングで実行可能な、3D のようなテクスチャ処理

56.3.3 BitBLT

専用 BitBLT ユニットは、2D 描画エンジンでは必要ありません。ベクタ描画機能用に記述したレンダリングパイプラインを BitBLT ユニットとして使用して、1 ピクセル／サイクルのスループットがすでに提供されています。詳細は、56.6 レンダリングパイプラインを参照してください。

56.3.3.1 塗りつぶし

フレームバッファ内の長方形は、任意の値で塗りつぶすことができます。使用できるカラーフォーマットは、8bpp、16bpp、32bpp のフォーマットです。ドライバは、32 ビットのパラレルラスタライゼーションのメリットを最大限活用するために塗りつぶしを最適化します。選択したカラーフォーマットが 32bpp 未満の場合、ドライバがアライメントを修正し、1 クロック当たり 32 ビットの塗りつぶしを行います。そのため、8bpp フォーマットと 16bpp フォーマットでは塗りつぶし性能が 2 ～ 4 倍になります。

56.3.3.2 コピー

フレームバッファの任意の長方形を、テクスチャ入力からの任意の長方形データで塗りつぶすことができます。テクスチャ入力がフレームバッファを示している場合、フレームバッファからフレームバッファへのコピーが可能です。転送元エリアと転送先エリアが重複することによるコピーの問題を避けるため、コピー開始点は、左上から右下に選択することができます。使用できるカラーフォーマットは、8bpp、16bpp、32bpp のフォーマットです。

ドライバは、32 ビットのパラレルラスタライゼーションのメリットを最大限活用するためにコピーを最適化します。選択したカラーフォーマットが 32bpp 未満の場合、ドライバがアライメントを修正し、1 クロック当たり 32 ビットのコピーを行います。そのため、8bpp フォーマットと 16bpp フォーマットではコピー性能が 2 ～ 4 倍になります。

56.3.3.3 ストレッチ BitBLT

通常のコピー動作と似ています。コピーはテクスチャマッピングの一種として行われるため、テクスチャマッピングの全機能セットが使用できます。x 方向および y 方向で任意のスケーリング率を選択でき、フィルタリングは各軸に対して個別に有効／無効を切り替えることができます。

56.3.3.4 回転とスケーリング

通常のコピー動作と似ています。コピーはテクスチャマッピングの一種として行われるため、テクスチャマッピングの全機能セットが使用できます。x 方向および y 方向で任意のスケーリング率、および任意の回転アングルを選択できます。x 方向および y 方向は個別に回転およびスケーリングでき、スケーラのフィルタリングは各軸に対して個別に有効化できます。

56.3.3.5 アルファブレンディング

アルファブレンディングは、レンダリングパイプラインにおける基本ブロックです。したがって、アルファブレンドの全機能セットを、あらゆる BitBLT 動作で使用可能です。任意の定数のグローバルアルファ値（レジスタ値）あるいはアルファマスクを使用することで、1 つのエリアをコピーし、転送先でブレンドできます。アルファマスクは、テクスチャデータの一部で、ピクセルカラーを持つピクセル単位の値（aRGB フォーマット）か、レジスタカラーを使用してアルファのみのフォーマットのいずれかです。

カラーチャネルに加え、アルファチャネルもブレンド可能です。アルファチャネル用の数式は、カラーチャネル用の数式とは別に設定できます。

56.3.3.6 バイリニアフィルタリング

このテクスチャユニットは、イメージのスケーリング、回転、シアリングに使用できます。テクスチャ処理の結果は、x 方向と y 方向で個別にフィルタリングできます。両方向のフィルタを選択した場合、バイリニアフィルタリングされたテクスチャが得られます。2 つの独立したテクスチャで 2 回このユニットを使用すると、トリリニアフィルタリングされたビットマップが得られます。これにより、視覚的な印象が改善さ

れ、高度にダイナミックなスケーリング率に対応できるようになります。

56.3.3.7 カラー変換

フレームバッファフォーマットと異なるテクスチャフォーマットを使用する場合、カラー変換が必要です。テクスチャメモリを節約するため、フレームバッファが通常持つよりも小さい bpp を持ついくつかのフォーマットがサポートされています。2D 描画エンジンは、内部的には、常に 32bpp aRGB (8888) で動作しています。すべての入力データは、32bpp に変換され、最終的にフレームバッファのフォーマットに再変換されます。

56.4 入出力データフォーマット

56.4.1 転送元データと転送先データ

使用可能な入力は、フレームバッファとテクスチャ入力またはパターン入力の 2 つです。出力は常にフレームバッファです。

あらゆる描画動作は、内部的には 32bpp aRGB (8888) でレンダリングされています。入力カラーがアルファチャネルを持たない場合、ブルーチャネルをアルファチャネルとして扱います。このアルファは、2D描画エンジンのカラライゼーションの段階において、任意のアルファ（たとえば外部定数など）に置き換えることができます。

56.4.2 フレームバッファカラーフォーマット

表 56.1 は、サポートされているフレームバッファカラーフォーマットを示しています。

表 56.1 フレームバッファカラーフォーマット

フレームバッファメモリの使用	フォーマット	備考
8bpp	a (8)	1ピクセルにつき1バイト使用します。アルファチャネルは内部ではレッド、ブルー、グリーンのチャネルに複写されます。これは、2D描画エンジンのカラライゼーションの段階において、任意のカラーに置き換えることができます。
16bpp	RGB (565)	1ピクセルにつき2バイト使用します（レッドに5ビット、ブルーに5ビット、グリーンに6ビット）。カラー変換中、ブルーをアルファチャネルとして扱います。このアルファは、2D描画エンジンのカラライゼーションの段階において、任意のアルファに置き換えることができます。
	aRGB (4444)	1ピクセルにつき2バイト使用します（各カラーとアルファチャネルに4ビットずつ）。
32bpp	aRGB (8888)	1ピクセルにつき4バイト使用します（各カラーとアルファチャネルに8ビットずつ）。

フレームバッファカラーフォーマットの選択は、サーフェスコントロールレジスタの CONTROL2.READFORMAT[2:0] ビットで行います。

56.4.3 テクスチャカラーフォーマット

表 56.2 は、サポートされているテクスチャカラーフォーマットを示しています。

表 56.2 テクスチャカラーフォーマット (1/2)

テクスチャメモリの使用	フォーマット	備考
1bpp	CLUT (1)/I (1)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、1ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
2bpp	CLUT (2)/I (2)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、2ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
4bpp	CLUT (4)/I (4)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、4ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
8bpp	CLUT (8)/I (8)	CLUT（カラールックアップテーブル）のあらかじめ定義された256色のうち、1色をアドレス指定するために、8ビットのインデックスが使用されます。CLUTを使用しない場合、インデックスが輝度値として扱われます。
	a (8)	1ピクセルにつき1バイト使用します。アルファチャネルは内部ではレッド、ブルー、グリーンのチャネルに複写されます。これは、2D描画エンジンのカラライゼーションの段階において、任意のカラーに置き換えることができます。
	aCLUT (44)	1ピクセルにつき1バイト使用します。4ビットがアルファ値として使用され、4ビットがカラーパレットへのインデックスとして使用されます。この方法により、次の大きいアルファフォーマットは2バイトaRGB (4444)なので、イメージを表現するのに16色で十分な場合は空間の節約になります。

表 56.2 テクスチャカラーフォーマット (2/2)

テクスチャメモリの使用	フォーマット	備考
16bpp	RGB(565)	1ピクセルにつき2バイト使用します（レッドに5ビット、ブルーに5ビット、グリーンに6ビット）。カラー変換中、ブルーをアルファチャネルとして扱います。このアルファは、2D描画エンジンのカラライゼーションの段階において、任意のアルファに置き換えることができます。
	aRGB (4444)	1ピクセルにつき2バイト使用します（各カラーとアルファチャネルに4ビットずつ）。
	aRGB (1555)	1ピクセルにつき2バイト使用します。各カラーチャネルは5ビットで、最上位の1ビットがアルファ値として扱われます。透明マスクを持つイメージを保持するために使用できます。
24bpp	RGB (888)	1ピクセルにつき3バイト使用します（各カラーに8ビットずつ）。このフォーマットは、ランレングスエンコード化データ（RLE圧縮）としてのみ使用可能です。
32bpp	aRGB (8888)	1ピクセルにつき4バイト使用します（各カラーとアルファチャネルに8ビットずつ）。

テクスチャカラーフォーマットの選択は、サーフェスコントロールレジスタのCONTROL2.WRITEFORMAT[3:0] ビットで行います。

56.5 テクスチャデータの処理

図 56.4 は、テクスチャデータの処理を示しています。

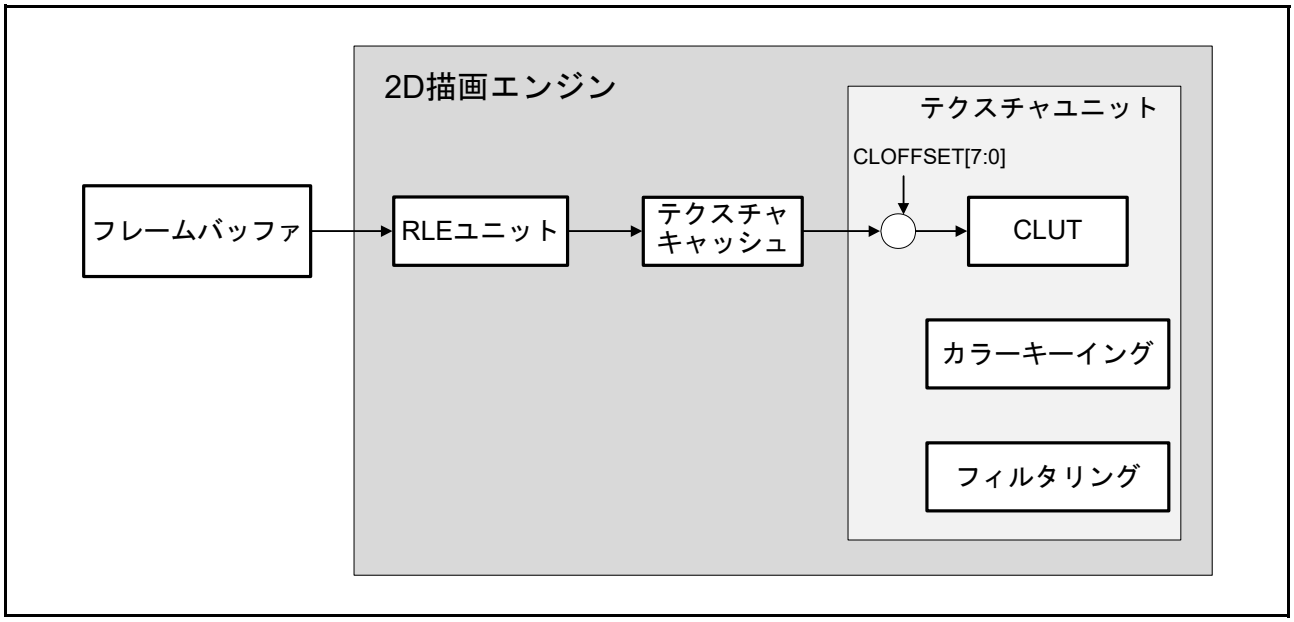


図 56.4 テクスチャデータの処理

56.5.1 テクスチャカラーフォーマット

表 56.3 は、サポートされているテクスチャデータフォーマットを示しています。

表 56.3 テクスチャカラーフォーマット

テクセルビット幅	テクセルフォーマット
32ビット	aRGB (8888)
24ビット	RGB (888)
16ビット	aRGB (4444)、aRGB (1555)、RGB (565)
8ビット	CLUT (8)I (8)、a (8)、aCLUT (44)
4ビット	CLUT (4)/I (4)
2ビット	CLUT (2)/I (2)
1ビット	CLUT (1)/I (1)

56.5.2 ランレングスエンコード（RLE）ユニット

RLE ユニットは、Targa のような圧縮されたテクスチャを展開し、展開したテクセルデータをテクスチャユニットに受け渡します。主な機能は次のとおりです。

- Targa フォーマットのサポート
- スキャンラインへの追加の Targa 制約を回避
- 圧縮イメージのクリッピングのサポート（2D 描画エンジンによる大きな元テクスチャの一部のみのコピーが可能）
- 描画リスト動作における RLE ユニットの制御
- 非圧縮テクスチャがフレームバッファよりフェッチされた場合に RLE ユニットのロジックをバイパス

テクスチャキャッシュ

RLE ユニットは、テクスチャキャッシュにデータを送り込みます。テクスチャキャッシュを無効にするには、CACHECTL.CENABLETX = 0 とします。

【使用上の注意】 テクスチャキャッシュのフラッシュ動作（CACHECTL.CFLUSHTX = 1）は、新しい RLE テクスチャを開始するたび、および終了するたびに必要です。

テクスチャキャッシュと RLE ユニットをバイパスするには、CONTROL2.RLEENABLE = 0 とします。

56.5.2.1 RLE テクセルフォーマット

表 56.4 は、RLE ユニットがサポートするデータフォーマットを示しています。

表 56.4 RLEユニットがサポートするテクセルフォーマット

メモリテクセル フォーマット	RLEパラメータ	RLEコード化ユニットフォーマット (CONTROL2.RLEPIXELWIDTH[1:0])	配信フォーマット
32ビットaRGB (8888)	Targaフォーマットおよび RLEフォーマットに格納	32ビット （11b）	32ビット
24ビット RGB (888)		24ビット （10b）	32ビット（注1）
16ビットaRGB (4444)、 aRGB (1555)、 RGB (565)		16ビット （01b）	16ビット
8ビット CLUT (8)I (8)、a (8)、 aCLUT (44)		8ビット （00b）	8ビット
4ビット CLUT (4)/I (4)	RLE用オプション（注2）	8 = 2 x 4ビット	4 + 4 ビット
2ビット CLUT (2)/I (2)	RLEなし		
1ビット CLUT (1)/I (1)			

注 1. 24 ビット RGB (888) でエンコード化されたテクセルは、アルファが 1 にセットされた aRGB (8888) として配信されます。
注 2. 1 テクセルに付き 4 ビットを持つテクスチャのエンコードは、Targa 仕様では定義されませんが、次のように実行可能です。
・2 つの 4 ビットテクセルを 1 バイトに結合
・テクセル数が奇数の場合、4 個のゼロビットをファイル末尾にパディングする
・8 ビットテクセルのようにエンコード

RLE テクスチャ用テクセルのアドレス指定

テクセルのアドレスは、テクセルの先頭バイトのバイトアドレスです。テクスチャの起点は、TEXORIGIN レジスタによって指定されます。

注 . RLE コードは、メモリのワード境界から始まる必要があります。

【使用上の注意】 FIFO が一杯の場合、RLE コードの末尾を超えるリードアクセスを禁止するための対応策はありません。メモリアクセス違反を防止するには、RLE コードを、各ワードの全ビットが 1 にセットされている 32 個のメモリワードでパディングする必要があります。

56.5.2.2 Targa RLE フォーマット

RLE（ランレングスエンコード）イメージには、2 種類のデータ要素が含まれています。

- ランレングスパケット
- ロウ（raw）パケット

各パケットの先頭フィールド（1 バイト）は、繰り返しカウントフィールドと呼ばれます。2 番目の

フィールドは、ピクセル値フィールド（1、2、3、または 4 バイト）と呼ばれます。ランレングスパケットの場合、ピクセル値フィールドには 1 つのピクセル値が入っています。ロウ（raw）パケットの場合、このフィールドには不定数のピクセル値が入っています。

繰り返しカウントフィールドの最上位ビットは、以下のとおり、そのパケットがロウ（raw）パケットかランレングスパケットかを示します。

- 繰り返しカウントフィールドのビット 7 が 1 にセットされている場合はランレングスパケット
- 繰り返しカウントフィールドのビット 7 が 0 にセットされている場合はロウ（raw）パケット

繰り返しカウントフィールドの下位 7 ビットは、パケットによって表現されるピクセル値の数を示します。ランレングスパケットの場合、ピクセル値フィールドによって指定されたピクセル値を持つ連続したピクセルの数を示します。ロウ（raw）パケットの場合、次のフィールドに実際に入っているピクセル値の数を示します。この 7 ビット値は、実際にはパケットに含まれるピクセル数よりも 1 少ない値としてエンコードされます（値が 0 であれば 1 ピクセルを表し、値が 7Fh であれば 128 ピクセルを表す）。

ランレングスパケット

ランレングスパケットは、2 つの部分で構成されます。1 つ目は繰り返しカウントで、2 つ目は繰り返すピクセル値です。

表 56.5 ランレングスパケット

フィールド名	パケットタイプ（ランレングスの場合1）	ピクセル数（このパケットでエンコードされたピクセル数 - 1）	ピクセルデータ（使用する共有ピクセル値）
フィールドサイズ	1ビット	7ビット	ピクセル深度（フィールド5.5）

ロウ（raw）パケット

ロウ（raw）パケットには、常に 2 つのフィールドが含まれています。1 つ目のフィールドは繰り返しカウントで、2 つ目のフィールドはピクセルデータフィールドです。

表 56.6 ロウ（raw）パケット

フィールド名	パケットタイプ（ロウ（raw）パケットの場合0）	ピクセル数（このパケットでエンコードされたピクセル数 - 1）	ピクセルデータ
フィールドサイズ	1ビット	7ビット	ピクセルの深度 x ピクセル数 - 1

56.5.3 カラールックアップテーブル（CLUT）

カラールックアップテーブルは、あらかじめ定義された 256 色のうち 1 色をアドレス指定するインデックスを受け取ります。

あらかじめ定義されたカラーフォーマットは、次のとおり選択できます。

- CONTROL2.CLUTFORMAT = 0：aRGB (8888)
- CONTROL2.CLUTFORMAT = 1：RGB (565)

CLUT は、次の 2 つのレジスタを使用して入力されます。

- TEXCLDATA
  aRGB (8888) カラーの定義は、このレジスタに書き込まれます。CLUT アドレスは TEXCLADDR から取得されます。
- TEXCLADDR
  書き込みを行う CLUT の先頭アドレスにセットされています。TEXCLDATA に書き込みを行うたびに、このレジスタは自動的にインクリメントされます。

インデックス指定されるフォーマット（CLUT (1)、CLUT (2)、CLUT (4)、CLUT (8)) のオフセットは、TEXCLOFFSET レジスタでセットできます。これにより、CLUT のオフセット部分の選択が可能です。CLUT インデックスは、CLUT（x）または TEXCLOFFSET.CLOFFSET[7:0] で算出されます。

56.5.3.1 CLUT/I ピクセルデータフォーマット

バイト内でピクセルを格納する順番について、次の表で説明します。最も左側のピクセルが、メモリバイトの最下位ビットに格納されます。

CLUT (1)/I (1) フォーマット

CLUT (1)/I (1) フォーマットは、1 ピクセルを表現するのに合計 1 ビットを使用します。

メモリバイト	7（MSB）	6	5	4	3	2	1	0（LSB）
ピクセル	P7	P6	P5	P4	P3	P2	P1	P0

最も左側のピクセルが、メモリバイトの最下位ビットに格納されます。

CLUT (2)/I (2) フォーマット

CLUT (2)/I (2) フォーマットは、1 ピクセルを表現するのに合計 2 ビットを使用します。

メモリバイト	7（MSB）	6	5	4	3	2	1	0（LSB）
ピクセル	P3		P2		P1		P0	

最も左側のピクセルが、メモリバイトの最下位 2 ビットに格納されます。

CLUT (4)/I (4) フォーマット

CLUT (4)/I (4) フォーマットは、1 ピクセルを表現するのに合計 4 ビットを使用します。

メモリバイト	7（MSB）	6	5	4	3	2	1	0（LSB）
ピクセル	P1				P0			

最も左側のピクセルが、メモリバイトの最下位 4 ビットに格納されます。

56.5.4 カラーキーイング

2D 描画エンジンは、テクスチャユニットの前にカラーキーイングユニットを持ちます。このユニットは、次のように動作します。

1. 使用可能な場合、入力されたカラーは、COLKEY で定義された透明カラーと比較されます。
2. 値が一致した場合、色が透明であることをマーキングし、アルファがあらかじめ逓倍されたものとして扱うために、アルファとカラー値は 0 にセットされます。
3. 値が一致しない場合、アルファは 1 にセットされます。
4. また、alpha_in × alpha_const のような処理も可能です。

この例では、オブジェクト（円形のアイコンなど）を長方形のテクスチャから切り出し、定数のアルファによって背景全体をぼかすことができます。

56.6 レンダリングパイプライン

56.6.1 座標変換

回転、変換、投射、スケーリングなどの座標変換は、アプリケーション側で行う必要があります。2D 描画エンジンのハードウェアやドライバ側の一部ではありません。2D 描画エンジンに入力されるすべての座標は、固定小数点フォーマットであるため、これらの計算は固定小数点フォーマットで行われ、浮動小数点ユニットは必要ありません。

56.6.2 ラスタライゼーション

ラスタライゼーション中、オブジェクトのベクタデータをピクセルデータに変換する必要があります。データを変換する場合、プログラムは判定値を算出するオブジェクトの各エッジにエッジ補間ハードウェア（リミッタと呼ぶ）を設定します。リミッタは、エッジのどちら側にピクセルがあるかを判断します。2D 描画エンジンには 6 つの内部ハードウェアリミッタがあります。原則として、リミッタレジスタには、処理されているピクセルとエッジ間の距離が含まれています。

線形セットアップでは、リミッタは半平面を描写します。すべての半平面の論理積がオブジェクトになります。3 つの半平面が交差した場合、三角形が生成されます（図 56.5 を参照）。

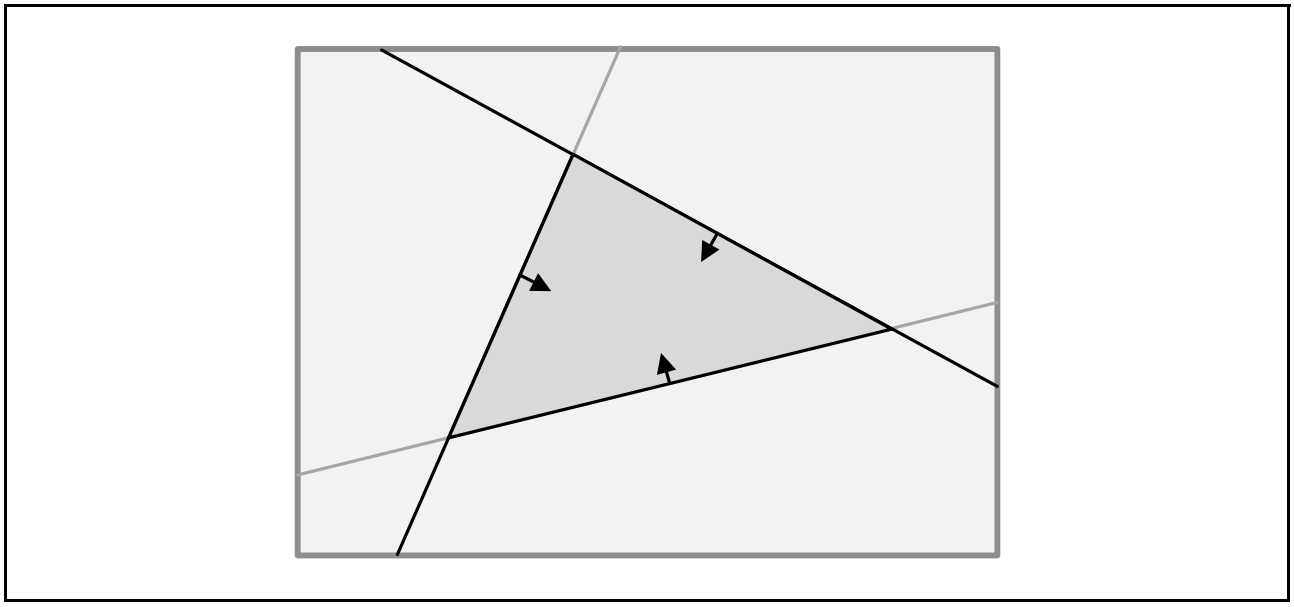


図 56.5 半平面の交点

リミッタ出力は、[0:1] のインターバルでクランプされます。リミッタ 1 とリミッタ 2 では、クランプ動作の前にバンドフィルタを使用できます。その場合、リミッタは半平面ではなくスモールバンドを表しています。この方法では、1 つのリミッタで無限長の太線を表すことができます。

最大動作モードまたは最小動作モードのコンバイナユニットにより、異なるリミッタの出力を結合できます。最大動作は両半平面の論理和を表し、最小動作は両半平面の論理積を表します。最終出力はアルファ値として使用されます。このハードウェアによって、追加作業なしにエッジアンチエイリアシングを行えます。

リミッタにより使用可能な各ピクセル用の判定値を算出するためには、オブジェクトのバウンディングボックスを算出する必要があります。次に、バウンディングボックスの左上角用の判定値を各エッジ用に計算する必要があります。最後に、x 方向および y 方向用のインクリメントを計算します。これは、ドライバ内の CPU で行われます。

この情報によって、2D 描画エンジンはバウンディングボックス全体をスキャンし、各ピクセルの判定値をインクリメントしながら算出します。ラスタライゼーションユニット全体のブロック図については、56.1 概要を参照してください。

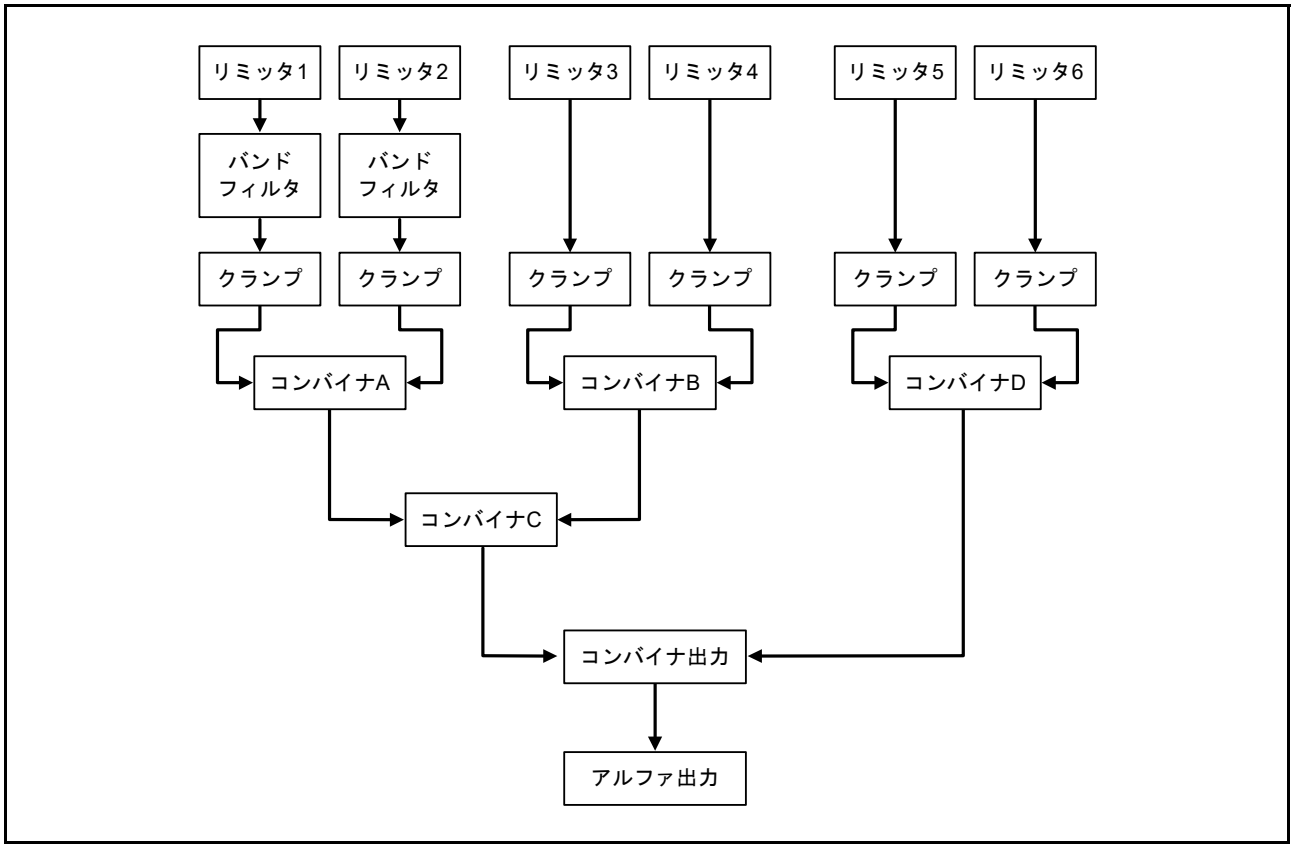


図 56.6　　ラスタライゼーションユニットのブロック図

リミッタは距離を算出し、コンバイナユニットはそれをアルファ値に結合します。コンバイナユニットは、ピクセルがバウンディングボックス内にあるかどうかの条件を定義します。アルファ値は 0 より大きい必要があります。

注 .　　すべてのリミッタをオフにすることができます。

56.6.2.1　　エッジセットアップ：線形の場合

(1)　数学的背景

線形エッジをセットアップするには、次の古典的な方法で直線方程式を考えます。

次のように書くことができます。

$$y = \tilde{a}x + \tilde{b}$$

これは、さらに、次のように書くことができます。

$$0 = f(x, y) = \tilde{a}x - y + \tilde{b} = ax + by + c$$

ここで、$a = \tilde{a}, b = -1, c = \tilde{b}$

これはより一般的な形式です。この式のベクトル形式は次のように書くことができます。

$$\vec{p} = \begin{pmatrix} x \\ y \end{pmatrix}, \vec{n} = \begin{pmatrix} a \\ b \end{pmatrix} \Rightarrow f(x, y) = ax + by + c = \vec{p} \cdot \vec{n} + c$$

ポイント $\vec{p}_0$ がライン上にある場合：

$$0 = f(x, y) = \vec{p}_0 \cdot \vec{n} + c \Rightarrow c = -\vec{p}_0 \cdot \vec{n}$$

定数を書き直した場合の式：

$$c = -\vec{p}_0 \cdot \vec{n} \Rightarrow f(x, y) = (\vec{p} - \vec{p}_0) \cdot \vec{n}$$

このベクトル$\vec{n}$は法線ベクトルと呼ばれ、ラインに対して垂直です。セットアップは、図 56.7 に示しています。

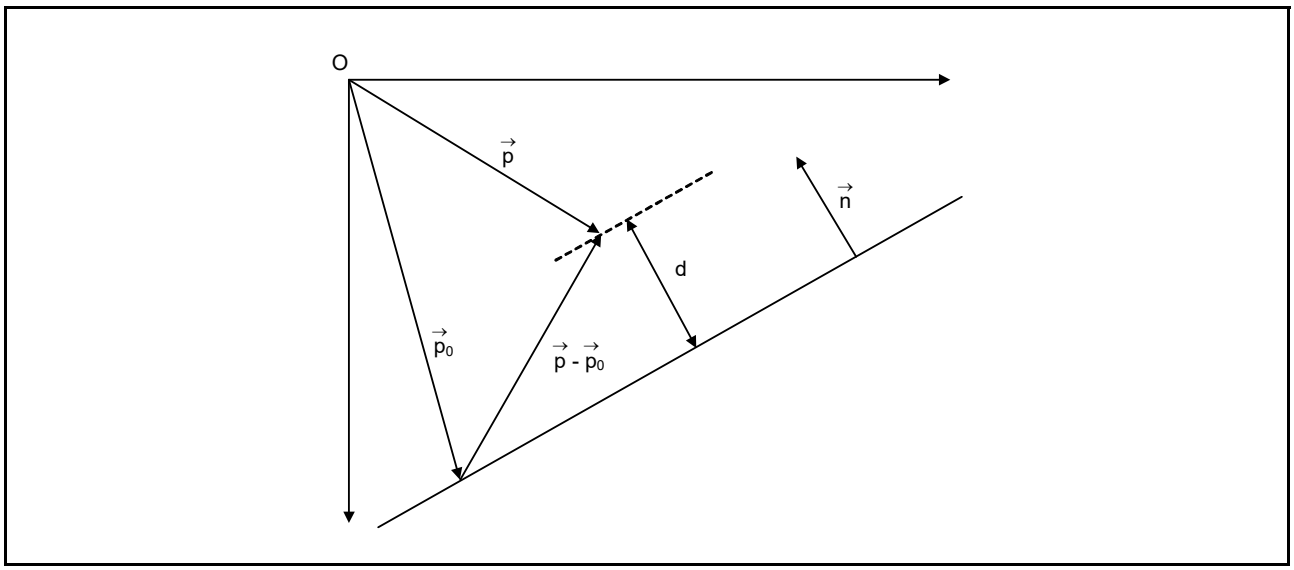


図 56.7　　点からラインへの距離

$\vec{p} - \vec{p}_0$ から$\vec{n}$の投影は、点 P からラインへの距離です。この場合、f (x, y) は、座標（x, y）を持つピクセルからラインまでの距離を表します。

バウンディングボックスの各ピクセルの距離をインクリメンタルに算出するには、まず、原点においてラインまでの距離を算出する必要があります。

$$f(0, 0) = -\vec{p}_0 \cdot \vec{n} = c$$

次に、x 方向および y 方向用のインクリメントを計算します。

$$f(\vec{p} + \vec{e}_x) = (\vec{p} + \vec{e}_x - \vec{p}_0) \cdot \vec{n} = f(\vec{p}) + \vec{e}_x \cdot \vec{n} = f(\vec{p}) + a$$

$$f(\vec{p} + \vec{e}_y) = (\vec{p} + \vec{e}_y - \vec{p}_0) \cdot \vec{n} = f(\vec{p}) + \vec{e}_y \cdot \vec{n} = f(\vec{p}) + b$$

ただし、$\vec{e}_x = \begin{pmatrix} 1 \\ 0 \end{pmatrix}$、$\vec{e}_y = \begin{pmatrix} 0 \\ 1 \end{pmatrix}$

その結果、インクリメント a およびインクリメント b によって、新しい距離を古い距離から算出できます。x 方向の 1 ステップが a によって距離を変更し、y 方向の 1 ステップが b によって距離を変更します。原点のラインへの距離は c です。

この情報を使用することで、バウンディングボックス全体をスキャンできます。バウンディングボックスの左上の角が原点でない場合は、オフセットを加える必要があります。

(2)　リミッタの動作

2D 描画エンジンには 6 つのリミッタがあります。各リミッタには、次の 3 つのレジスタがあります。

- LnSTART
- LnXADD
- LnYADD

詳細は、図 56.8 を参照してください。しきい値モードでは 0.5 を超えるすべての値は 1 に、0.5 以下のすべての値は 0 になり、リミッタはこのしきい値モードでの動作が可能です。この機能は、アンチエイリアシングが要求されない場合に使用されます。

注 . 図 56.8 では、次の省略形を使用しています。
start = LnSTART
xadd = LnXADD
yadd = LnYADD

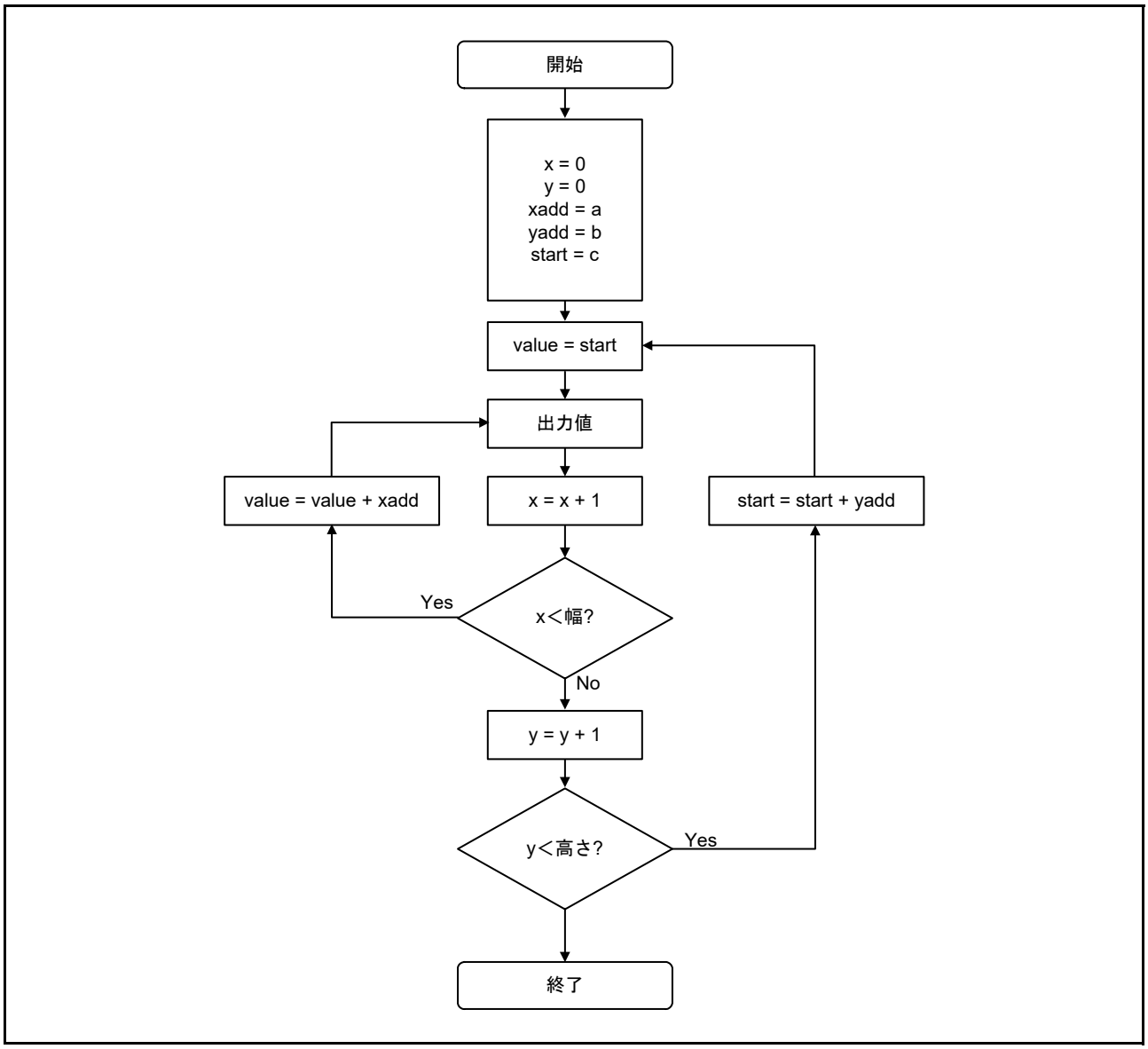


図 56.8 線形リミッタの動作フロー

(3) 例

直線が点 P0 と点 P1 によって与えられる場合、値は次のように算出されます。

$$\Delta\vec{p} = \vec{p}_1 - \vec{p}_0 = \begin{pmatrix} x_1 - x_0 \\ y_1 - y_0 \end{pmatrix} = \begin{pmatrix} \Delta x \\ \Delta y \end{pmatrix}$$

法線ベクトル（垂直だが、単位サイズではない）は、次のようになります。

$$\vec{n} = \begin{pmatrix} -\Delta y \\ \Delta x \end{pmatrix}$$

エッジと原点間の距離は、正規化されていない場合、次のようになります。

$$\vec{p}_0 \cdot \vec{n} = -x_0\Delta y + y_0\Delta x$$

リミッタパラメータは次のようになります。

$$start = -x_0\Delta y + y_0\Delta x$$

$xadd = -\Delta y$

$yadd = \Delta x$

正規化された場合、法線ベクトルは次のようになります。

$\vec{n} = \begin{pmatrix} -\Delta y \\ \Delta x \end{pmatrix} / (\sqrt{\Delta x^2 + \Delta y^2})$

エッジと原点間の距離は、次のようになります。

$\vec{p}_0 \cdot \vec{n} = (-x_0 \cdot \Delta y + y_0 \cdot \Delta x) / (\sqrt{\Delta x^2 + \Delta y^2})$

リミッタパラメータは次のようになります。

$start = (-x_0 \Delta y + y_0 \Delta x) / (\sqrt{\Delta x^2 + \Delta y^2})$

$xadd = -\Delta y / (\sqrt{\Delta x^2 + \Delta y^2})$

$yadd = \Delta x / (\sqrt{\Delta x^2 + \Delta y^2})$

正規化は、アンチエイリアシングを使用する場合のみ必要です。正規化処理を高速化するため、ドライバは、最適化された逆平方根関数を備えています。

56.6.2.2 エッジセットアップ：2 次の場合

(1) 数学的背景

次の式をインクリメンタルに計算するようにリミッタをセットアップすることも可能です。

$f(x, y) = ax^2 + by^2 + cx + dy + f$

原点では、値は次のようになります。

$f(0, 0) = f$

x 方向のステップは次のようになります。

$f(x + 1, y)$

$= a(x + 1)^2 + by^2 + c(x + 1) + dy + f$

$= ax^2 + 2ax + a + by^2 + cx + c + dy + f$

$= f(x, y) + 2ax + c + a$

$dx(x) = f(x + 1, y) - f(x) = 2ax + c + a$

y 方向のステップは次のようになります。

$f(x, y + 1)$

$= ax^2 + b(y + 1)^2 + cx + d(y + 1) + f$

$= ax^2 + by^2 + 2by + b + cx + d(y + 1) + f$

$= f(x, y) + 2bx + b$

$dy(y) = f(x + 1, y) - f(x) = 2by + d + b$

2 次の場合、インクリメント dx とインクリメント dy は x と y に依存し、定数ではありません。次のように、インクリメンタルに計算できます。

$d^2x = dx(x + 1) - dx(x) = 2a(x + 1) + c + 1 - (2ax + c + 1) = 2a$

$d^2y = dy(y + 1) - dy(y) = 2b(y + 1) + d + 1 - (2by + d + 1) = 2b$

原点では、インクリメントは次のようになります。

$dx(0) = c + 1$ および $dy(0) = d + 1$

x 方向と y 方向の各ステップに対して dx、dy によって値をインクリメントし、x 方向と y 方向の各ステップに対して d^2x、d^2y によって dx と dy をインクリメントすることで、バウンディングボックス全体に対して 2 次式を容易に計算できます。

(2) リミッタの動作

2 次の場合、2 つの線形リミッタを結合して、1 つの 2 次リミッタとして動作させることができます（リミッタ 1 およびリミッタ 2 と呼びます）。レジスタは次のとおりです。

- L1START、L1XADD、L1YADD
- L2START、L2XADD、L2YADD

詳細は、図 56.9 を参照してください。灰色のボックスは、線形セットアップとは異なる動作を実行する追加分です。しきい値モードでは 0.5 を超えるすべての値は 1 に、0.5 以下のすべての値は 0 になり、リミッタはこのしきい値モードでの動作が可能です。この機能は、アンチエイリアシングが要求されない場合に使用されます。

注 . 図 56.9 では、次の省略形を使用しています。

- start1 = L1START、start2 = L2START
- xadd1 = L1XADD、xadd2 = L2XADD
- yadd1 = L1YADD、yadd2 = L2YADD

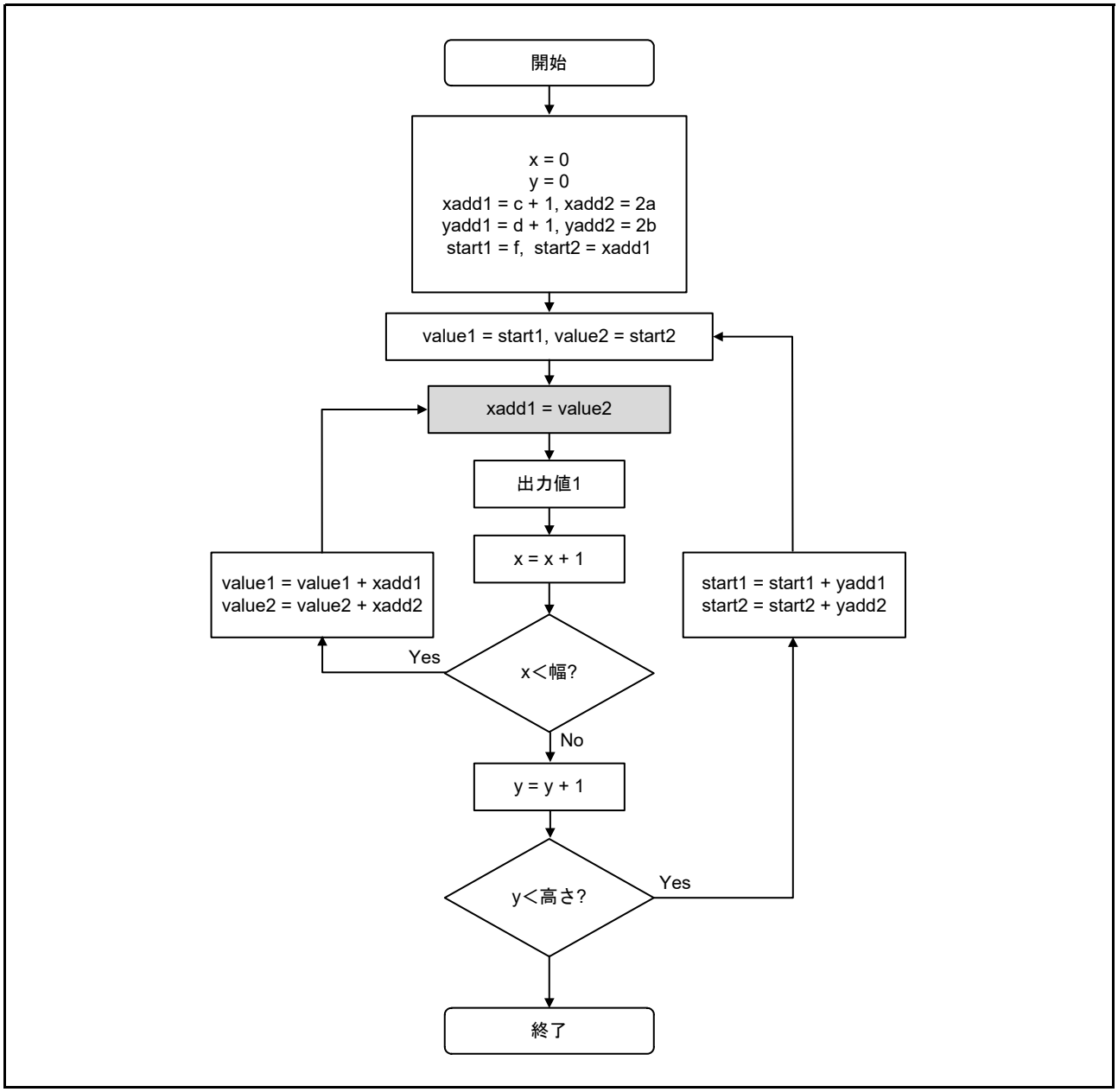


図 56.9 2 次リミッタの動作フロー

(3) 例

中心が $\vec{c} = \begin{pmatrix} s \\ t \end{pmatrix}$ で半径が r の円に対する方程式は次のように書くことができます。

$0 = f(x, y) = (x - s)^2 + (y - t)^2 - r^2$

これは、さらに、次のように書くことができます。

$f(x, y) = x^2 - 2xs + s^2 + y^2 - 2yt + t^2 - r^2$

元の方程式と合うように順序を入れ替えると、次のようになります。

$f(x, y) = x^2 + y^2 - 2sx - 2ty + (s^2 + t^2 - r^2)$

次のように割り当てることで、円の方程式をインクリメンタルに計算できます。

$a = 1$

$b = 1$

$c = -2s$

$d = -2t$

$f = s^2 + t^2 - r^2$

(1) 数学的背景で算出された結果を持つリミッタでは、次のようになります。

$start1 = f = s^2 + t^2 - r^2$

$xadd1 = c + 1 = -2s + 1$

$yadd1 = d + 1 = -2t + 1$

$start2 = xadd1$

$xadd2 = 2a = 2$

$yadd2 = 2b = 2$

56.6.2.3 バンドフィルタ

バンドフィルタを使用するように、リミッタ 1 とリミッタ 2 を変更できます。バンドフィルタには、1 つのフィルタパラメータ w があります。

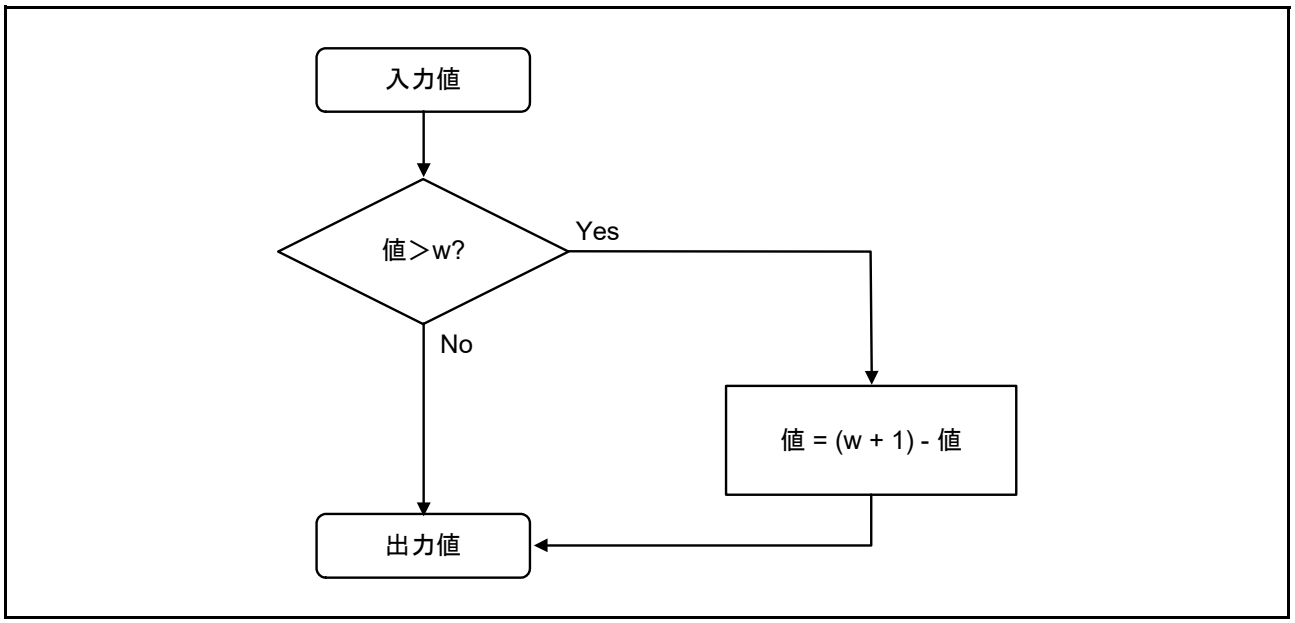


図 56.10 バンドフィルタ

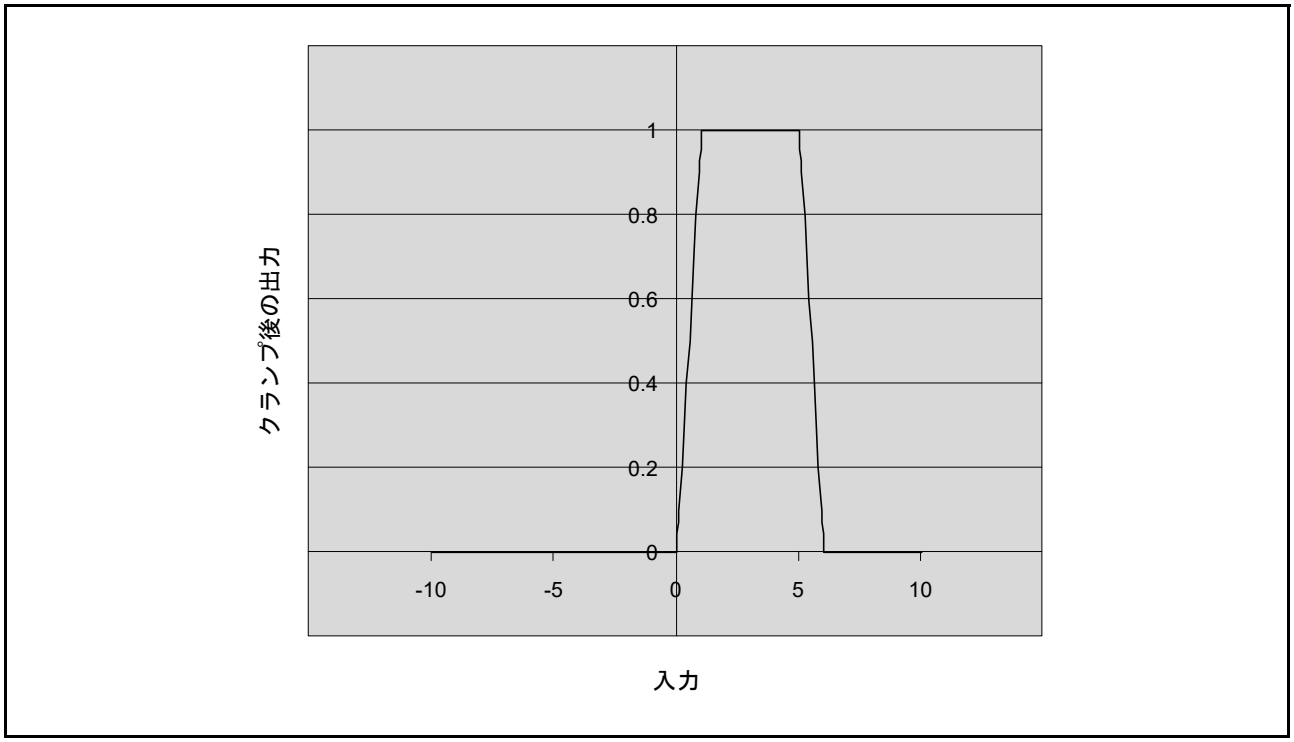


図 56.11　クランプ後のバンドフィルタ出力（w = 7）

56.6.2.4　クランピングユニット

クランピングユニットは、リミッタの出力をインターバル [0:1] にカットします。

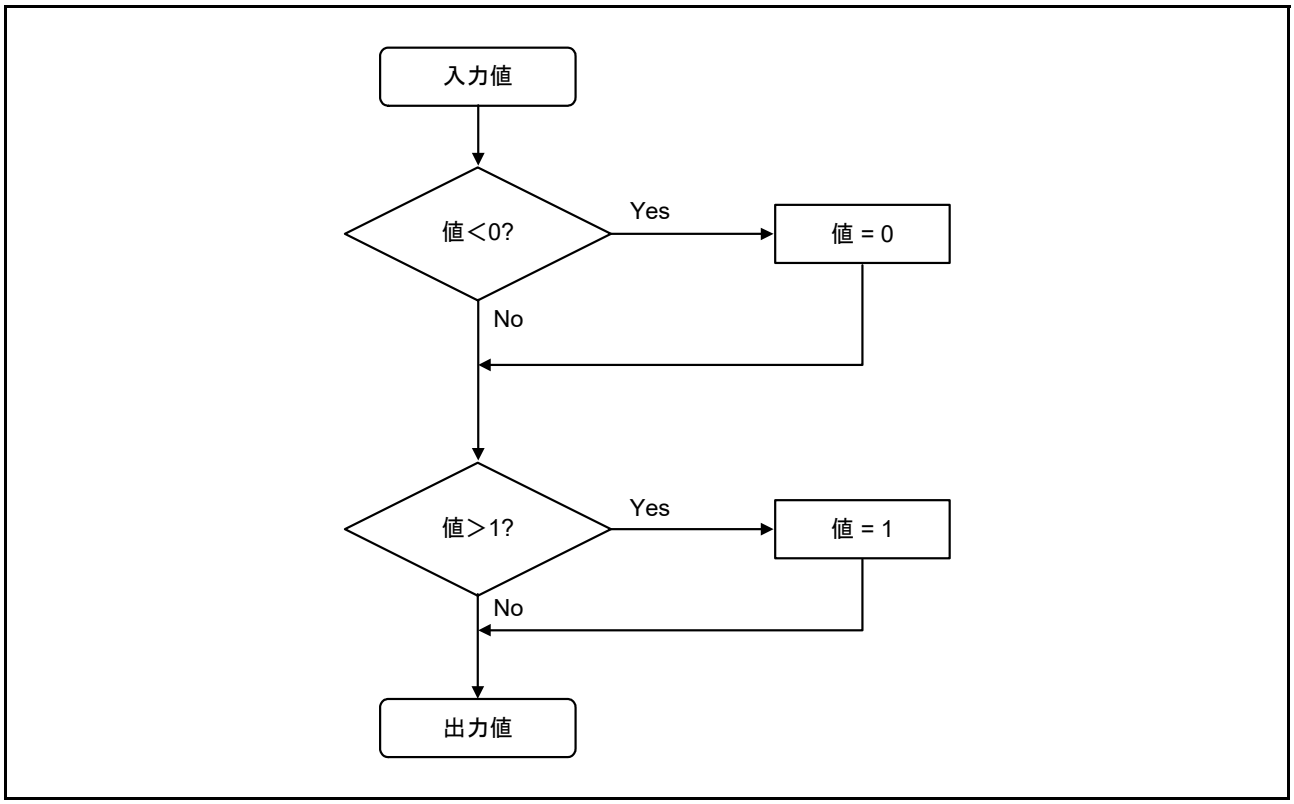


図 56.12　クランピングユニット

しきい値モードでは 0.5 を超えるすべての値は 1 に、0.5 以下のすべての値は 0 になり、クランピングユニットはこのしきい値モードでの動作が可能です。この機能は、共有エッジの場合など、アンチエイリアシングを利用したくない場合に使用します。

56.6.2.5 コンバイナユニット

コンバイナユニットは、最小モードと最大モードで動作できます。最小モードではより小さい値が出力され、最大モードではより大きい値が出力されます。最小モードは 2 つの領域の論理積を、最大モードは論理和を表します。

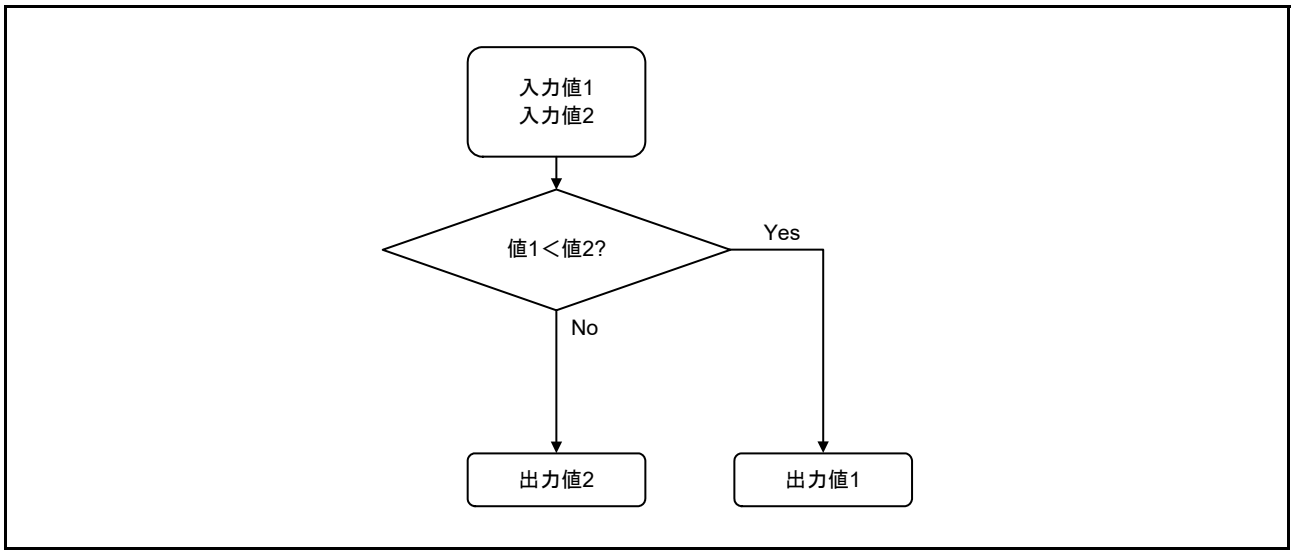


図 56.13 論理積を使用した最小モードで動作するコンバイナ

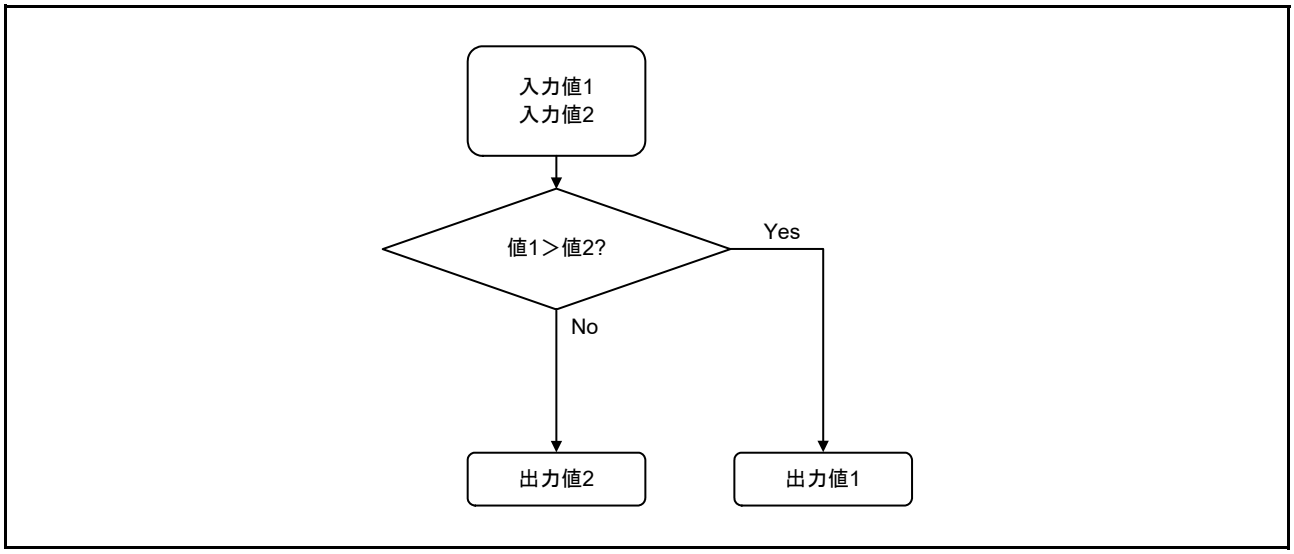


図 56.14 論理和を使用した最大モードで動作するコンバイナ

56.6.2.6 ラスタライゼーションの最適化

ラスタライゼーション中、バウンディングボックス全体のピクセルを 1 つずつ進める必要があります。そのため、描画されないピクセルについても、不要なステップを行わなければならない場合があります。2D 描画エンジンは、ラスタライゼーション中のステップ数を削減するために設計された、最適化手法を持っています。1 つの最適化は、凸面体プリミティブは 1 ラインに対して 1 つのスパンのみを持つことができる（スパンとは、隣接する水平ライン）ことに依拠しています。この場合、スパンスタートを検出し、次のラインの情報を保持します。もう 1 つの最適化として、スパンエンドを検出し、現在のラインに対するラスタライゼーションを停止する手法があります。

(1) スパンストア

図 56.15 に示す例を参照してください。

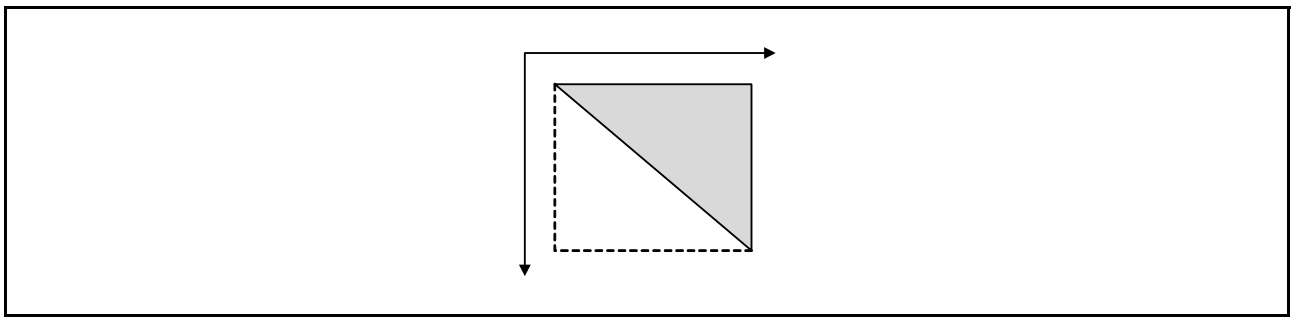


図 56.15 1 つ目のエッジが単調に立ち上がっている三角形

灰色の三角形をレンダリングする場合、点線で示されるバウンディングボックス内でレンダリングエンジンによって処理されるピクセルの半分が描画されません。これはスパンストア動作によって最適化可能です。スパンストアが動作可能でスパンスタートが検出された場合、スパンスタートの x 位置が検出されます。

次のラインでは、保存された x 位置からレンダリングが開始します。この手法は、エッジが単調に立ち上がっている（$y_1 > y_2 \Rightarrow x_1 \geqq x_2$）場合のみ有効です。

図 56.16 に示す例を参照してください。

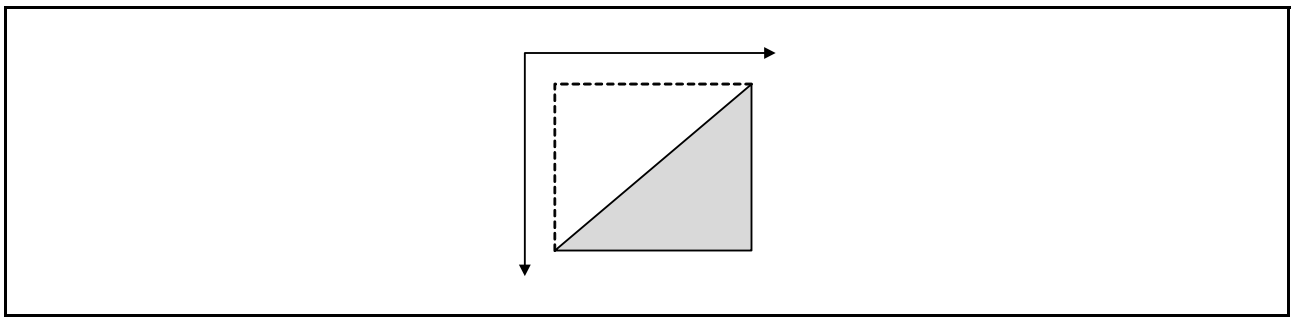


図 56.16 1 つ目のエッジが単調に立ち下がっている三角形

この場合、通常のスパンストア動作は実行できません。レンダリングの y 方向を反転し、その後にスパンストアが再び動作可能になります。

最後に、図 56.17 に示す例を参照してください。

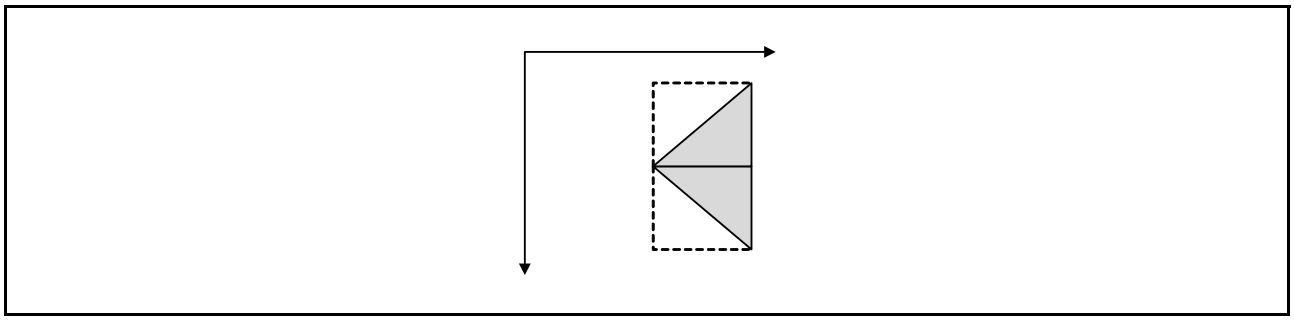


図 56.17 1 つ目のエッジが最初に単調に立ち下がり、次に単調に立ち上がる三角形

この場合、スパンストアの最適化ができるように三角形は 2 つの部分に分割されレンダリングされる必要があります。

また、ライン数本分、スパンストアの動作を遅らせることも可能です。図 56.18 が示すとおり、この方法

は円のラスタライゼーションに使用されています。

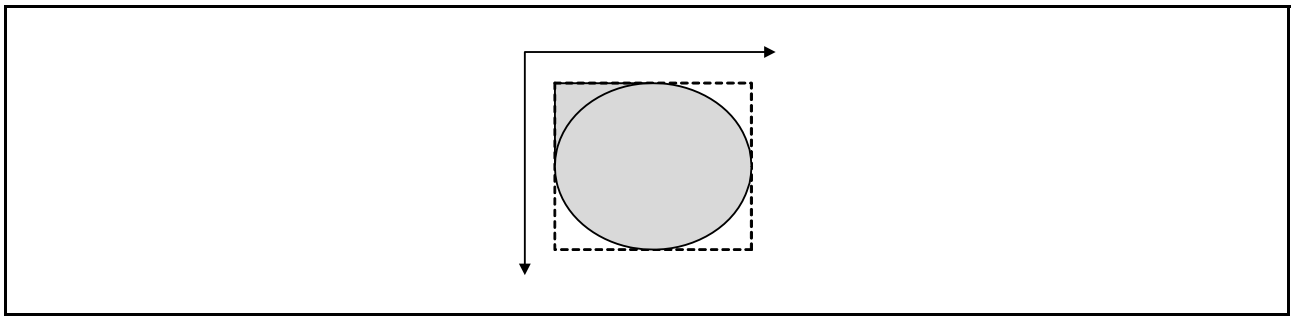


図 56.18 1 つ目のエッジが最初の半円に対して単調に立ち下がり、次の半円に対して単調に立ち上がる全円

この場合、スパンストアは左上の角では起動できず、左下の角で起動が可能となります。右上および右下の空の角は、スパンアボート最適化のためラスタライズできません。

(2) スパンアボート

2 つ目の最適化は、描画されるオブジェクトが凸面体であることが前提になります。これは、描画されるスキャンラインにつき 1 つだけスパンがあることを意味します。凸面体ではないオブジェクトとは、たとえば塗りつぶしなしで、単に太い境界線からなる三角形のことです。

凸面体オブジェクトの場合、最初のスパンの終わりが検出されたときラスタライゼーションを停止することが可能です。凸面体オブジェクトの最適化に適用される制約はこれだけです。

(3) 最適化の効率

図 56.19 に、典型的な例における最適化の効率を示します。この場合、三角形はつねに 1 つのピースとしてレンダリングされ、さらに高度な最適化にむけて複数の三角形に分割されることはありません。この場合、スパンストア遅延が使用されます。

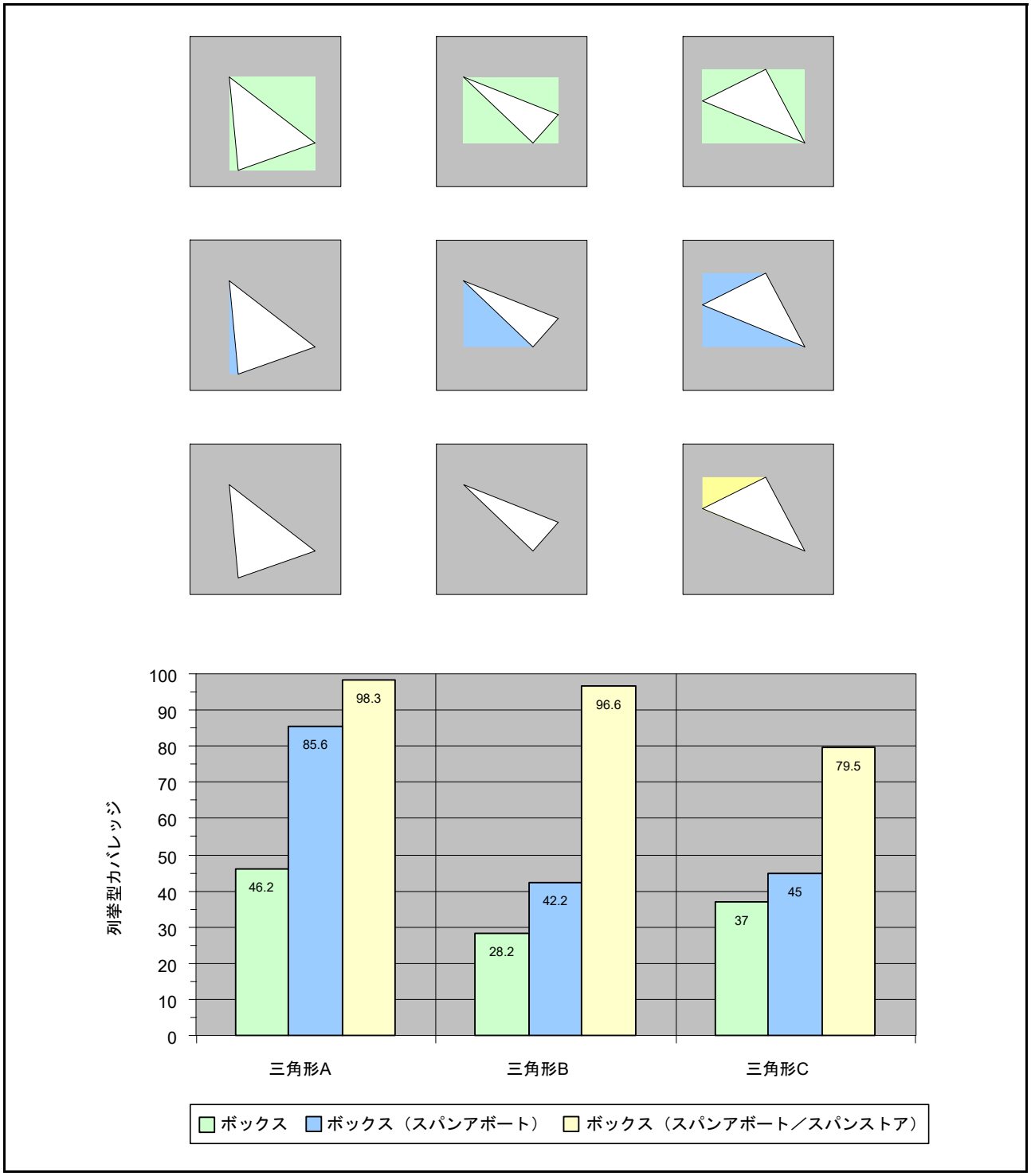


図 56.19 列挙型カバレッジ＝｛プリミティブのピクセル／バウンディングボックスのピクセル｝の場合のスパンストアおよびスパンアボート最適化の効率

56.6.3 テクスチャ処理

テクスチャユニットは、任意のプリミティブを 1 つのピクチャで覆うことができます。このピクチャは、1 ステップで引き伸ばし、せん断、回転、変換することができます。エイリアシングを避けるため、その結果を u 方向および v 方向でバイリニアフィルタリングすることができます。

56.6.3.1 数学的背景

任意のマッピングの問題は、オブジェクト空間（x, y）内の 3 点からテクスチャ空間（u, v）内の 3 点へのマッピングによって、完全に決定されます。

次のマッピングを参照してください。

$$\vec{p}_0 = \begin{pmatrix} x_0 \\ y_0 \end{pmatrix} \Rightarrow (\tilde{\vec{p}}_0) = \begin{pmatrix} u_0 \\ v_0 \end{pmatrix} = \begin{pmatrix} 0 \\ 0 \end{pmatrix}$$

$$\vec{p}_1 = \begin{pmatrix} x_1 \\ y_1 \end{pmatrix} \Rightarrow (\tilde{\vec{p}}_1) = \begin{pmatrix} u_1 \\ v_1 \end{pmatrix} = \begin{pmatrix} w \\ 0 \end{pmatrix}$$

$$\vec{p}_2 = \begin{pmatrix} x_2 \\ y_2 \end{pmatrix} \Rightarrow (\tilde{\vec{p}}_2) = \begin{pmatrix} u_2 \\ v_2 \end{pmatrix} = \begin{pmatrix} 0 \\ h \end{pmatrix}$$

ここで、w はテクスチャの幅であり、h はテクスチャの高さです。

図 56.20 のオブジェクト空間内において、計算を簡単にするため、差分ベクトルを計算用に次のようにします。

$$\vec{d}_1 = \vec{p}_1 - \vec{p}_0$$

$$\vec{d}_2 = \vec{p}_2 - \vec{p}_0$$

これは座標系 O から座標系 O’ への変換と同等です。

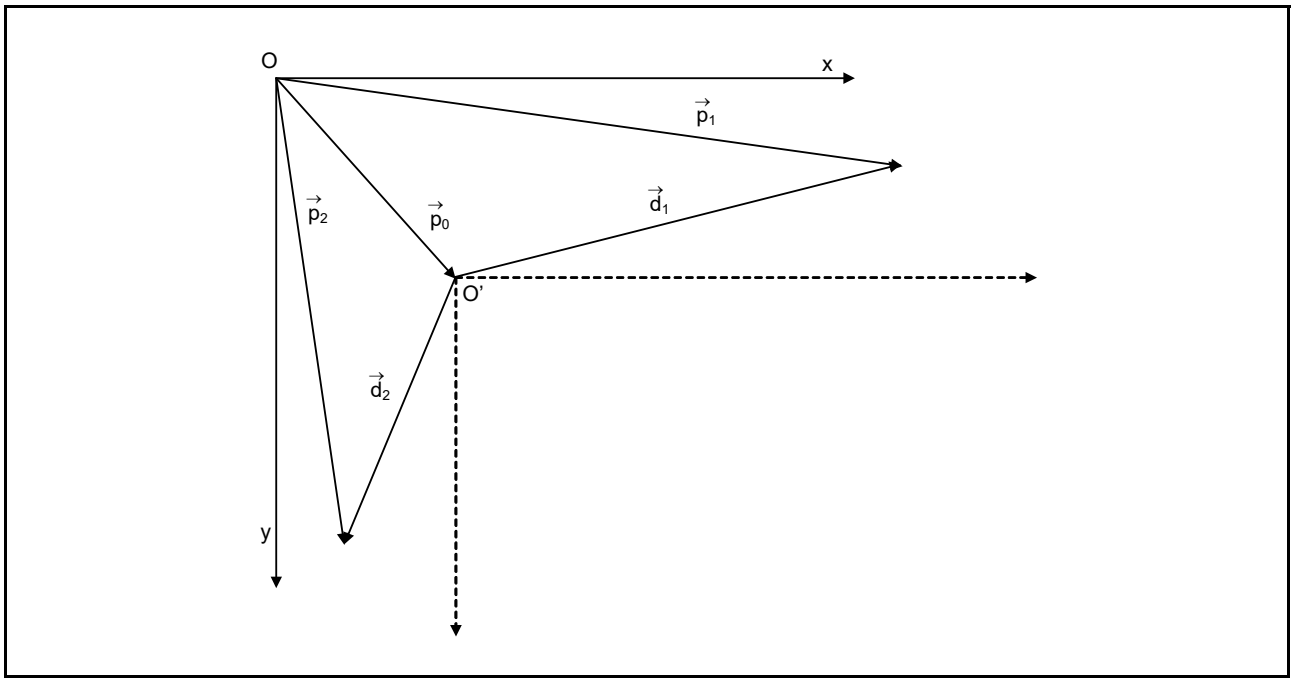


図 56.20 テクスチャマッピング、オブジェクト空間、計算を簡素化するための座標系 O から O’ への変換

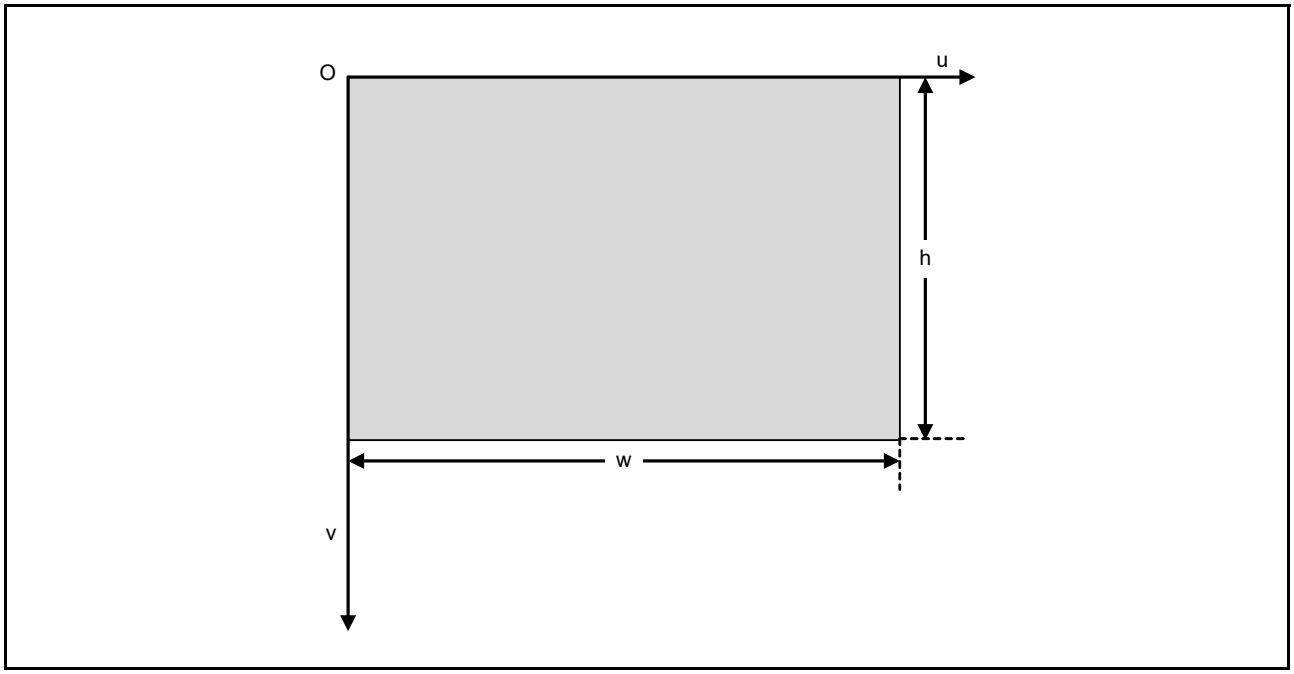


図 56.21 テクスチャマッピング、テクスチャ空間、幅 w 高さ h のテクスチャ

座標系 O' でのマッピングは、次のように表されます。

$$\vec{p}'_0 = \begin{pmatrix}0\\0\end{pmatrix} \Rightarrow (\tilde{\vec{p}}_0) = \begin{pmatrix}u_0\\v_0\end{pmatrix} = \begin{pmatrix}0\\0\end{pmatrix}$$

$$\vec{d}_1 = \begin{pmatrix}dx_1\\dy_1\end{pmatrix} \Rightarrow (\tilde{\vec{p}}_1) = \begin{pmatrix}u_1\\v_1\end{pmatrix} = \begin{pmatrix}w\\0\end{pmatrix}$$

$$\vec{d}_2 = \begin{pmatrix}dx_2\\dy_2\end{pmatrix} \Rightarrow (\tilde{\vec{p}}_2) = \begin{pmatrix}u_2\\v_2\end{pmatrix} = \begin{pmatrix}w\\h\end{pmatrix}$$

これは 2×2 の行列により記述可能なリニアマッピングです。

$$(\tilde{\vec{p}}) = M \cdot \vec{p}' = \begin{bmatrix}m_{11} & m_{12}\\m_{21} & m_{22}\end{bmatrix} \cdot \vec{p}'$$

$$\Rightarrow \begin{pmatrix}w\\0\end{pmatrix} = M \cdot \vec{d}_1 \wedge \begin{pmatrix}0\\h\end{pmatrix} = M \cdot \vec{d}_2$$

この方程式を展開、並び替えすると、それぞれ 2 つの未知数を持つ 2 つの方程式系が得られます。これらは、新しい行列によってより容易に記述できます。

$A = \begin{bmatrix}dx_1 & dy_1\\dx_2 & dy_2\end{bmatrix}$ のとき、方程式系は次のように書き換えることができます。

$$\begin{pmatrix}w\\0\end{pmatrix} = A \cdot \begin{pmatrix}m_{11}\\m_{12}\end{pmatrix} \wedge \begin{pmatrix}0\\h\end{pmatrix} = A \cdot \begin{pmatrix}m_{21}\\m_{22}\end{pmatrix}$$

この式は行列式によって容易に解くことができます。

$$c = \frac{1}{detA} = \frac{1}{dx_1 \cdot dy_2 - dx_2 \cdot dy_1}$$

のとき、定数は次のようになります。

$$m_{11} = c \cdot w \cdot dy_2 = \frac{du}{dx}$$

$$m_{12} = -c \cdot w \cdot dx_2 = \frac{du}{dy}$$

$$m_{21} = c \cdot h \cdot dx_1 = \frac{dv}{dx}$$

$$m_{22} = -c \cdot h \cdot dx_2 = \frac{dv}{dy}$$

バウンディングボックスの最上部での u および v 座標の開始値を計算するには、O' 座標系から O 座標系への変換を反転させる必要があります。us と vs を開始値とすると、次のようになります。

$$\begin{pmatrix} u_s \\ v_s \end{pmatrix} = M \cdot (-\vec{p}_0) = c \cdot \begin{pmatrix} -w \cdot (x_0 \cdot dy_2 - y_0 \cdot dx_2) \\ h \cdot (x_0 \cdot dy_1 - y_0 \cdot dx_1) \end{pmatrix}$$

例

U と v は、テクスチャ空間にあります。いずれかの場合に、以下を当てはめます。

- コピーの場合：
  dx1 = 1、dx2 = 0、dy1 = 0、dy1 = 1
- スケーリングの場合（x スケーリングコピーの場合）：
  dx1 = f、dx2 = 0、dy1 = 0、dy1 = 1
  ここで、f は x 方向のスケーリング率で、y 方向も同様
- 回転の場合：
  dx1 = cosa、dx2 = -sina、dy1 = sina、dy1 = cosa
  d1 と x 軸の角度は時計回りの角度

56.6.3.2 リミッタの動作

テクスチャリミッタは、図 56.8 線形リミッタの動作フローで示す空間リミッタとまったく同じように動作します。

u リミッタ用のレジスタ配置は同じです。

- LUSTART = us
- LUXADD = du/dx
- LUYADD = du/dy

v リミッタ用のレジスタ配置は少し異なります。TEXPITCH は、1 つのハードウェア乗算器を省くために逓倍されます。

- LVSTARTI = floor (vs) • TEXPITCH
  開始値の整数部を含みます。
- LVSTARTF = (vs-floor (vs)) • TEXPITCH
  開始値の小数部を含みます。
- LVXADDI = floor (dv/dx) • TEXPITCH
  dv/dz の整数部を含みます。
- LVYADD = floor (dv/dy) • TEXPITCH
  dv/dy の整数部を含みます。
- LVYXADDF = (dv/dy - floor (dv/dy)) • TEXPITCH ((dv/dx - floor (dv/dx)) • TEXPITCH)
  1 つのレジスタに結合された dv/dy および dv/dx の小数部を含みます。
- TEXMASK
  u および v の値をラップアラウンドするため、u および v 用に個別にマスクを用意しています。これはテクスチャの制限範囲内に収めるため、あるいはテクスチャを繰り返すために役立ちます。ラップアラウンドテクスチャのサイズは、2 の倍数である必要があります。

- TEXPITCH
  フレームバッファメモリ内のテクスチャ幅（ピクセル単位）を保持しています。この情報は、次のラインに移行する場合に新しいアドレスを計算するために必要です。
- TEXORIGIN
  テクスチャのベースアドレスを保持しています。

56.6.4 カラライゼーション

ピクセルがジオメトリの一部として認識されると、そのピクセルのカラーが計算されます。2D 描画エンジンは、非常に汎用性の高いカラー計算方式を採用しており、複数のカラーモードをサポートしています。このカラー方式は、2 つのカラーレジスタ COLOR1 と COLOR2 間の補間を使用します。詳細は、図 56.22 を参照してください。COLOR1 と COLOR2 は、分かりやすくするため、A、B と記載しています。

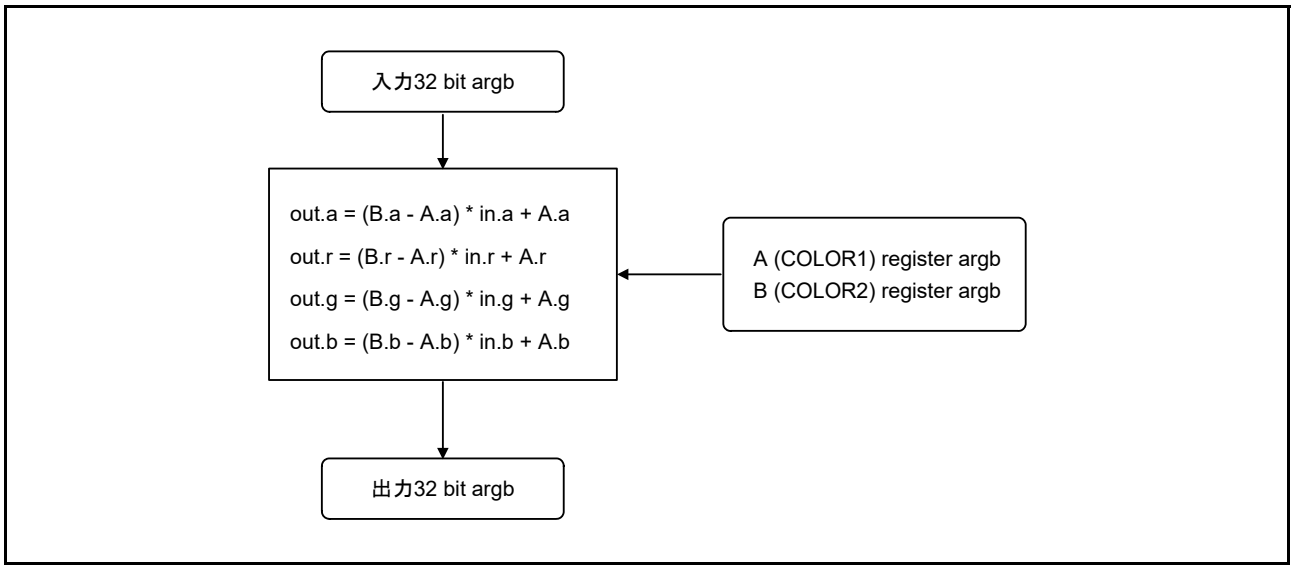


図 56.22 カラライゼーションの手順と 2 つのカラーレジスタ A（COLOR1）と B（COLOR2）の補間

この汎用的手法は、複数の異なるカラーモードに使用可能です。カラーモードは、任意の入力カラーチャネルあるいはアルファチャネルに個別に適用することができます。

表 56.7 カラライゼーション動作

動作	AおよびBの設定（注1）
コピー	A = 0、B = FFh
定数値vによる置換	A = v、B = v
定数値vによる逓倍	A = 0、B = v
RGB値vによるアルファテクスチャのカラライゼーション	A.a = 0、A.r = B.r、A.g = B.g、A.b = B.b、 B.a = FFh、B.r = v.r、B.g = v.g、B.b = v.b
チャネルの反転	A = FFh、B = 0
vによる反転逓倍	A = v、B = 0
カラー vとカラー uの補間	A = v、B = u

注 1. A = COLOR1、B = COLOR2

56.6.5 ブレンディング

56.6.5.1 カラーチャネルブレンディング

ピクセルをフレームバッファに書き込む前に行う最後のステップは、すでにフレームバッファに書き込まれているデータとピクセルをブレンドすることです。ブレンディングが起動すると、フレームバッファ（以下、DST と記述）を読み出す必要があります。SRC はカラライゼーションユニットからの出力を表します。

次のカラーブレンドモードがサポートされています。

- SRC_ZERO
- SRC_ONE
- SRC_ALPHA
- SRC_ONE_MINUS_ALPHA
- DST_ZERO
- DST_ONE
- DST_ALPHA
- DST_ONE_MINUS_ALPHA

カラーチャネルブレンドモードの選択は、以下のフラグによって行われます。

- BSF：ブレンドソースファクタはアルファ
- BSI：ブレンドソースファクタ反転
- BDF：ブレンドデスティネーションファクタはアルファ
- BDI：ブレンドデスティネーションファクタ反転

ブレンディング用の式は以下のとおりです。

$dst = src \cdot f_S + dst \cdot f_D$

このとき、以下のとおりとなります。

$BSF = 0, BSI = 0 \Rightarrow f_S = 1$

$BSF = 1, BSI = 0 \Rightarrow f_S = \alpha$

$BSF = 0, BSI = 1 \Rightarrow f_S = 0$

$BSF = 1, BSI = 1 \Rightarrow f_S = 1 - \alpha$

$BDF = 0, BDI = 0 \Rightarrow f_D = 1$

$BDF = 1, BDI = 0 \Rightarrow f_D = \alpha$

$BDF = 0, BDI = 1 \Rightarrow f_D = 0$

$BDF = 1, BDI = 1 \Rightarrow f_D = 1 - \alpha$

表 56.8 に、使用可能なすべてのカラーチャネルブレンドモデルを示します。

表 56.8 カラーチャネルブレンドモード

モード	BSF	BSI	BDF	BDI	ブレンド方程式
SRC_ONE DST_ONE	0	0	0	0	SRC + DST
SRC_ONE	0	0	0	1	SRC
SRC_ONE DST_ALPHA	0	0	1	0	SRC + DST × ALPHA
SRC_ONE DST_ONE_MINUS_ALPHA	0	0	1	1	SRC + DST × (1 - ALPHA)
SRC_ZERO DST_ONE	0	1	0	0	DST
SRC_ZERO DST_ZERO	0	1	0	1	0
SRC_ZERO DST_ALPHA	0	1	1	0	DST × ALPHA
SRC_ZERO DST_ONE_MINUS_ALPHA	0	1	1	1	DST × (1 - ALPHA)
SRC_ALPHA DST_ONE	1	0	0	0	SRC × ALPHA + DST
SRC_ALPHA	1	0	0	1	SRC × ALPHA
SRC_ALPHA DST_ALPHA	1	0	1	0	SRC × ALPHA + DST × ALPHA
SRC_ALPHA DST_ONE_MINUS_ALPHA	1	0	1	1	SRC × ALPHA + DST × (1 - ALPHA)
SRC_ONE_MINUS_ALPHA DST_ONE	1	1	0	0	SRC × (1 - ALPHA) + DST
SRC_ONE_MINUS_ALPHA	1	1	0	1	SRC × (1 - ALPHA)
SRC_ONE_MINUS_ALPHA DST_ALPHA	1	1	1	0	SRC × (1 - ALPHA) + DST × ALPHA
SRC_ONE_MINUS_ALPHA DST_ONE_MINUS_ALPHA	1	1	1	1	SRC × (1 - ALPHA) + DST × (1 - ALPHA)

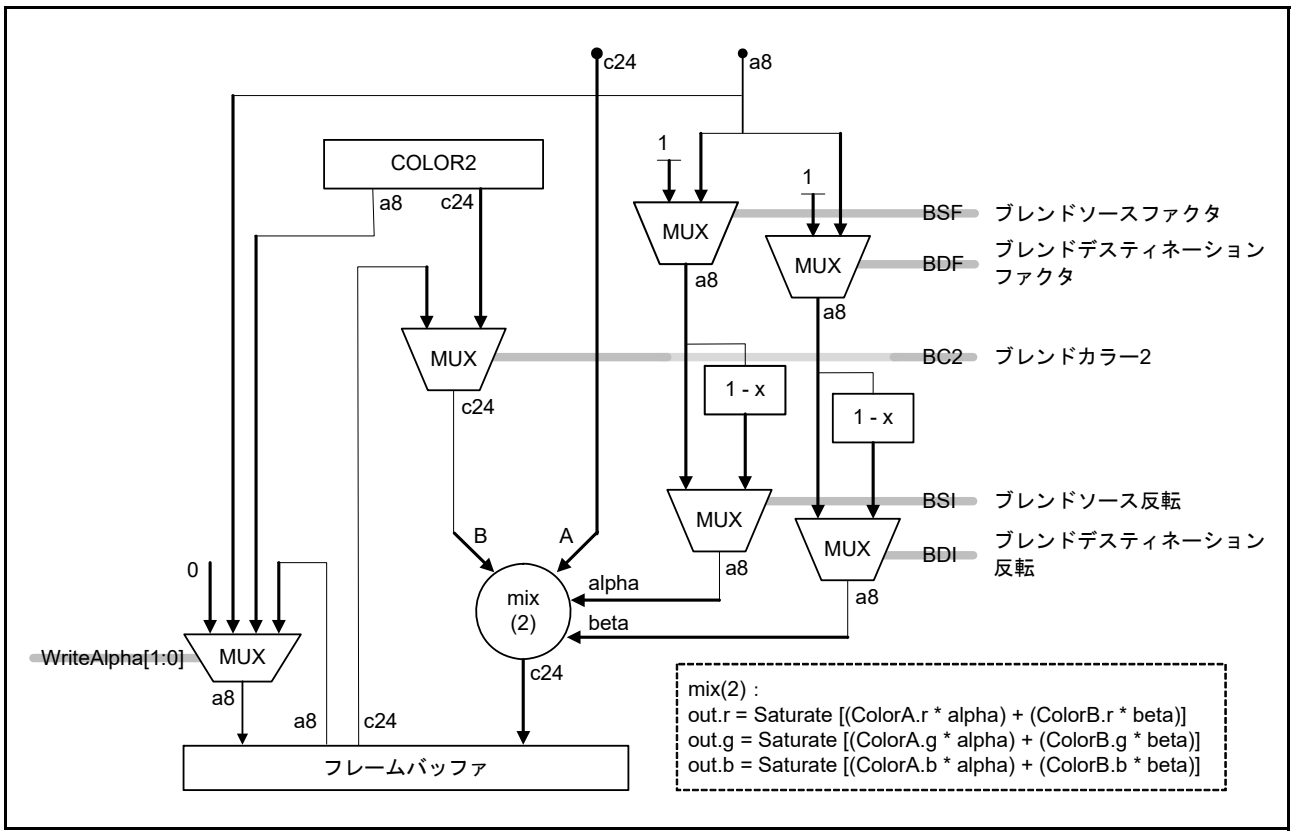


図 56.23 CONTROL2.USEACB = 0 の場合のカラーチャネルブレンドユニット

56.6.5.2 アルファチャネルブレンディング

カラーチャネルに加え、アルファチャネルをブレンドすることが可能です。アルファチャネルブレンディングを有効にするには、CONTROL2.USEACB = 1 にします。アルファチャネルブレンディングは、カラーチャネル用と同じ式およびブレンドモードを使用します。カラーチャネルの式とは別に、アルファチャネルの式を設定することができます。

以下のアルファチャネルブレンドモードがサポートされています。

- SRC_A_ZERO
- SRC_A_ONE
- SRC_A_SRC_A
- SRC_A_ONE_MINUS_SRC_A
- DST_A_ZERO
- DST_A_ONE
- DST_A_SRC_A
- DST_A_ONE_MINUS_SRC_A

アルファチャネルブレンドモードは以下のフラグで選択します。

- BSFA：ブレンドソースファクタは SRC_A
- BSIA：ブレンドソースファクタ反転
- BDFA：ブレンドデスティネーションファクタは SRC_A
- BDIA：ブレンドデスティネーションファクタ反転

ブレンディング用の式は以下のとおりです。

$dst\_alpha = src\_a \cdot f_{S\_a} + dst\_a \cdot f_{D\_a}$

このとき、以下のとおりとなります。

BSFA = 0, BSIA = 0 $\Rightarrow f_{S\_a} = 1$

BSFA = 1, BSIA = 0 $\Rightarrow f_{S\_a} = src\_a$

BSFA = 0, BSIA = 1 $\Rightarrow f_{S\_a} = 0$

BSFA = 1, BSIA = 1 $\Rightarrow f_{S\_a} = 1 - src\_a$

BDFA = 0, BDIA = 0 $\Rightarrow f_{D\_a} = 1$

BDFA = 1, BDIA = 0 $\Rightarrow f_{D\_a} = src\_a$

BDFA = 0, BDIA = 1 $\Rightarrow f_{D\_a} = 0$

BDFA = 1, BDIA = 1 $\Rightarrow f_{D\_a} = 1 - src\_a$

表 56.9 に、使用可能なすべてのアルファチャネルブレンドモデルを示します。

表 56.9 アルファチャネルブレンドモード

モード	BSF	BSI	BDF	BDI	ブレンド方程式
SRC_A_ONE DST_A_ONE	0	0	0	0	SRC_A + DST_A
SRC_A_ONE	0	0	0	1	SRC_A
SRC_A_ONE DST_A_SRC_A	0	0	1	0	SRC_A + DST_A × SRC_A
SRC_A_ONE DST_A_ONE_MINUS_SRC_A	0	0	1	1	SRC_A + DST_A × (1 - SRC_A)
SRC_A_ZERO DST_A_ONE	0	1	0	0	DST_A
SRC_A_ZERO DST_A_ZERO	0	1	0	1	0
SRC_A_ZERO DST_A_SRC_A	0	1	1	0	DST_A × SRC_A
SRC_A_ZERO DST_A_ONE_MINUS_SRC_A	0	1	1	1	DST_A × (1 - SRC_A)
SRC_A_SRC_A DST_A_ONE	1	0	0	0	SRC_A × SRC_A + DST_A
SRC_A_SRC_A	1	0	0	1	SRC_A × SRC_A
SRC_A_SRC_A DST_A_SRC_A	1	0	1	0	SRC_A × SRC_A + DST_A × SRC_A
SRC_A_SRC_A DST_A_ONE_MINUS_SRC_A	1	0	1	1	SRC_A × SRC_A + DST_A × (1 - SRC_A)
SRC_A_ONE_MINUS_SRC_A DST_A_ONE	1	1	0	0	SRC_A × (1 - SRC_A) + DST_A
SRC_A_ONE_MINUS_SRC_A	1	1	0	1	SRC_A × (1 - SRC_A)
SRC_A_ONE_MINUS_SRC_A DST_A_SRC_A	1	1	1	0	SRC_A × (1 - SRC_A) + DST_A × SRC_A
SRC_A_ONE_MINUS_SRC_A DST_A_ONE_MINUS_SRC_A	1	1	1	1	SRC_A × (1 - SRC_A) + DST_A × (1 - SRC_A)

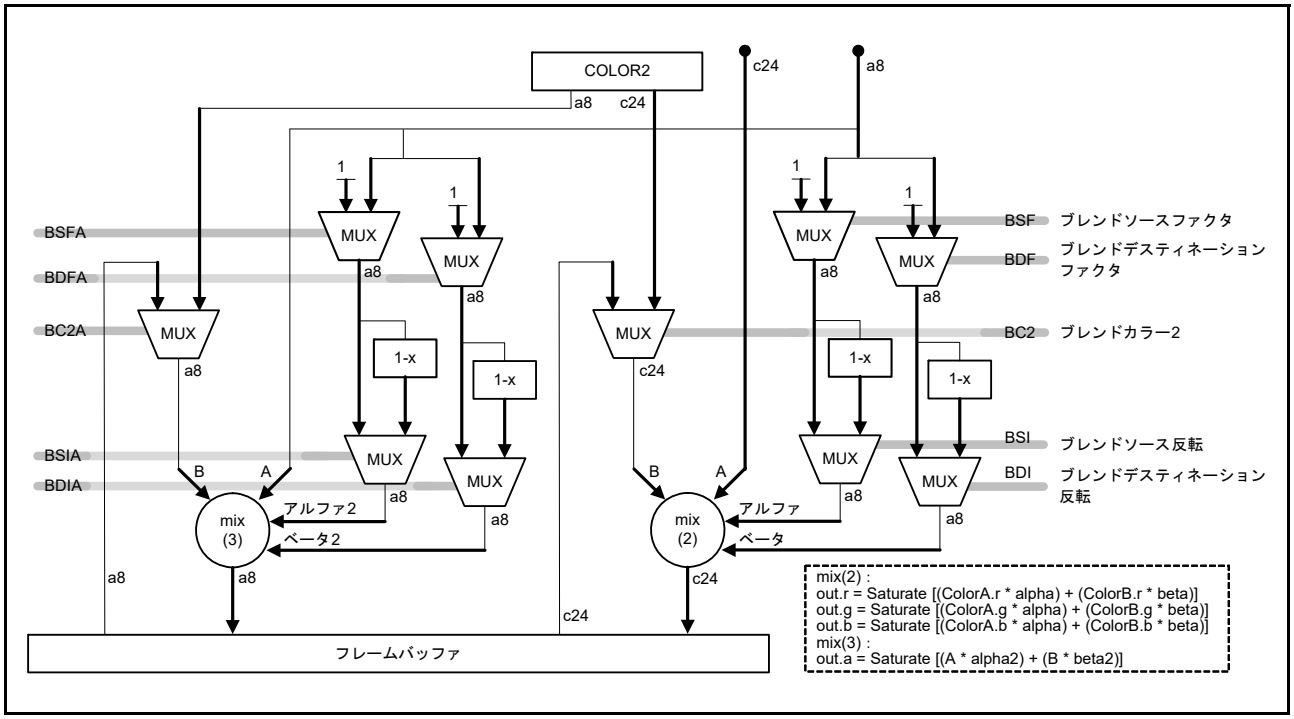


図 56.24 CONTROL2.USEACB = 1 の場合のアルファチャネルおよびカラーチャネルのブレンドユニット

56.7 レンダリングモード

レンダリング処理は、レジスタモードとディスプレイリストモードの 2 つの異なるモードで実行できます。

56.7.1 レジスタモード

レジスタモードでレジスタ設定に基づき動作する場合、ホスト CPU は各レンダリング処理を個別に構成し、開始します。新しいレンダリング処理を開始するには、ホスト CPU はその前の処理が完了するまで待つ必要があります。このモードでは、ホスト CPU が描画手順全体に大きくかかわっています。その結果、ほとんどの場合、他のタスクにはホスト CPU を使用できなくなります。

ホスト CPU がレンダリング処理を開始する前に、描画動作を行うためのすべてのレジスタをセットアップする必要があります。前のレンダリング処理が完了するまで、新しいレジスタのセットアップを開始することができません。新しいレジスタのセットアップを開始する前に、以下を確認してください。

- STATUS.DLISTACTIVE = 0：ディスプレイリストリーダがアイドル状態
- STATUS.BUSENUM = 0：ピクセル選択ユニットがアイドル状態

最後に、フレームバッファ開始アドレスを ORIGIN レジスタに書き込みます。この書き込みは、2D 描画エンジンがレンダリングを開始するトリガになります。

56.7.2 ディスプレイリストモード

ディスプレイリストモードでは、2D 描画エンジンを開始する前に、ホスト CPU がメモリ内にディスプレイリストを作成します。このディスプレイリストはレンダリング動作の集まりです。2D 描画エンジンが開始されると、2D 描画エンジンはホスト CPU と並行して自動的にディスプレイリストを実行します。ホスト CPU は描画に多くの時間を割かずにすみます。ディスプレイリストを使用するこの方法は、ホスト CPU と 2D 描画エンジンの完全な非同期動作を実現するものです。また、最高のシステム性能を実現します。

このモードでは、ディスプレイリストリーダが 2D 描画エンジンのコントロールレジスタをセットする方法に関する指示の入ったメモリブロックを読み出し、それに従ってこれらのコントロールレジスタの書き込みを行います。

ディスプレイリストの開始

すでにメモリ内に存在するディスプレイリストの実行を開始するため、ディスプレイリストの開始アドレスをディスプレイリスト開始アドレスレジスタ DLISTSTART に書き込みます。DLISTSTART への再書き込みは実行中のディスプレイリストを停止させるので、下の 2 つの手段のいずれかで前のディスプレイリスト処理が完了していることを確認してください。

- STATUS.DLISTACTIVE = 0 であることをチェック。これは、ディスプレイリストリーダがアイドル状態であることを示します。
- ディスプレイリスト割り込み DRWDLISTIRQ を待ちます。これは、前のディスプレイリスト処理が完了したことを示します。

【使用上の注意】 ディスプレイリストがアクティブ（STATUS.DLISTACTIVE = 1）のとき、2D 描画エンジンのレジスタに直接書き込みを行うと、2D 描画エンジンがハングアップ状態になることがあります。この状態を回避するためには、必ず、ディスプレイリストリーダがアイドル状態であること（STATUS.DLISTACTIVE = 0）を確認してから、描画エンジンレジスタへの書き込みを実行してください。

ディスプレイリストフォーマット

ディスプレイリストは、各レジスタと値の間の直接的なマッピングを使用して格納されます。つまり、ディスプレイリストには、特定のレジスタをアドレス指定する 1 バイトのインデックスと、そのレジスタに書き込まれる値が含まれています。レジスタインデックスは、レジスタアドレスのアドレスオフセットから導出でき、アドレスオフセットを 4 で割ることによって計算できます。各レジスタのインデックスについては、56.2 レジスタの説明を参照してください。

2D 描画エンジンレジスタは常に 32 ビット幅のため、レジスタに書き込まれる各データユニット（データワードと呼ぶ）も同じサイズです。書き込み対象レジスタのインデックスを含むアドレスワードは、パック表記法、すなわち、1 つの 32 ビットアドレスワードに最大 4 個のインデックスが格納される形で記述されます。

ディスプレイリストコマンドは、常にアドレスワードで始まり、各レジスタに対して 1 個ずつ、最大 4 個のデータワードがその後に続きます。インデックスは、LSB から MSB へと読み出され、解釈されます。そのため、下位バイトインデックスのレジスタが最初に書き込まれます。

例

次の例において、

- WORD 201A 1930h // リストアドレスワードの開始
- WORD 0000 0013h // データワード 1（レジスタ 30h 用）
- WORD FFFF FFAAh // データワード 2（レジスタ 19h 用）
- WORD 4033 6480h // データワード 3（レジスタ 1Ah 用）
- WORD 0001 0000h // データワード 4（レジスタ 20h 用)
- WORD... // 次のアドレスワード

この word のストリームは、DRW レジスタを次のように更新します。

- 0000_0013h をレジスタ 30h に書き込む（= 48、IRQCTL）
- FFFF_FFAAh をレジスタ 19h に書き込む（= 25、COLOR1）
- 4033_6480h をレジスタ 1Ah に書き込む（= 26、COLOR2）
- 0001_0000h をレジスタ 20h に書き込む（= 32、ORIGIN）

アドレスワードインデックス

レジスタを参照するほかに、アドレスワードのインデックスは、値に応じて別の意味を持つこともあります。

表 56.10 アドレスインデックスの機能

インデックス	機能	
00h-7Fh	レジスタインデックス 2つのレジスタインデックスが、追加動作にトリガをかけます。	
	- 20h = 32	新しいフレームバッファアドレスをセットするためのORIGINへの書き込みは、現在実行中のフレームバッファのライトバックが完了（STATUS.BUSYWRITE = 0）するまで、遅延されます。
	- 32h = 50	新しいディスプレイリスト開始アドレスをセットするためのDLISTSTARTへの書き込みにより、現在のディスプレイリストが停止し、新しいディスプレイリストが開始されます。
80h	ギャップインデックス。アドレスワードの未使用のバイトを埋めるために使用されます。たとえば、必要なインデックスが4個未満の場合、残りのバイトは80hで埋められます。その場合、後続データワードの数も、それに応じて減らす必要があります。	
FFh	アドレスワードの最初のインデックスにスペシャルインデックスFFhが含まれる場合、後続（2番目の）インデックスは次のように解釈されます。	
	- ビット0をセット：	ディスプレイリストエンド
	- ビット1をセット：	パイプライン全体のフラッシュを発行し、待機（フリップの前に必要）
	- ビット2をセット：	ライトバックの完了を待機（フレームバッファフォーマットの変更前に必要）
	- ビット3～ビット7をセット：	すべて0に設定
	ビット1とビット2の設定は、排他の関係にあります。スペシャルインデックスFFhの後のすべてのインデックスは無視され、ディスプレイリストエンド（ビット0 = 1）がセットされていない場合、次のアドレスワードが読み出されます。	
	残りの2つのインデックスは00hにセットしてください。	

【使用上の注意】 ギャップインデックス 80h は、たとえば「インデックス 1 - 80h - インデックス 3 - インデックス 4」のように他のインデックスの間に配置することはできません。80h の後に続くすべてのインデックスは、必ずギャップインデックスで埋めてください。

【使用上の注意】 スペシャルインデックス 80h と FFh のいずれかを使用する場合、そのアドレスワード内のそのインデックスの後にレジスタインデックスを続けることはできません。

表 56.11 2D描画エンジンレジスタの概要 (1/2)

レジスタ機能	シンボル	インデックス
コントロールレジスタ：		
ジオメトリコントロール0	CONTROL	0
サーフェスコントロール	CONTROL2	1
割り込みコントロール	IRQCTL	48
キャッシュコントロール	CACHECTL	49
ステータスコントロール	STATUS	-（注1）
ハードウェアリビジョンと機能セットID	HWREVISION	-（注1）
カラーレジスタ：		
ベースカラー	COLOR1	25
セカンダリカラー	COLOR2	26
パターン	PATTERN	29
リミッタレジスタ：		
リミッタ1開始値	L1START	4
リミッタ2開始値	L2START	5
リミッタ3開始値	L3START	6
リミッタ4開始値	L4START	7
リミッタ5開始値	L5START	8
リミッタ6開始値	L6START	9
リミッタ1x軸インクリメント	L1XADD	10
リミッタ2x軸インクリメント	L2XADD	11
リミッタ3x軸インクリメント	L3XADD	12
リミッタ4x軸インクリメント	L4XADD	13
リミッタ5x軸インクリメント	L5XADD	14
リミッタ6x軸インクリメント	L6XADD	15
リミッタ1y軸インクリメント	L1YADD	16
リミッタ2y軸インクリメント	L2YADD	17
リミッタ3y軸インクリメント	L3YADD	18
リミッタ4y軸インクリメント	L4YADD	19
リミッタ5y軸インクリメント	L5YADD	20
リミッタ6y軸インクリメント	L6YADD	21
リミッタ1バンド幅パラメータ	L1BAND	22
リミッタ2バンド幅パラメータ	L2BAND	23
テクスチャレジスタ：		
テクスチャベースアドレス	TEXORIGIN	47
テクスチャライン別テクセル数	TEXPITCH	45
テクスチャサイズまたはテクスチャアドレスマスク	TEXMASK	46
Uリミッタ開始値	LUSTART	36
Uリミッタx軸インクリメント	LUXADD	37
Uリミッタy軸インクリメント	LUYADD	38
Vリミッタ開始値整数部	LVSTARTI	39
Vリミッタ開始値小数部	LVSTARTF	40
Vリミッタx軸インクリメント整数部	LVXADDI	41
Vリミッタy軸インクリメント整数部	LVYADDI	42
Vリミッタインクリメント小数部	LVYXADDF	43

表 56.11 2D描画エンジンレジスタの概要 (2/2)

レジスタ機能	シンボル	インデックス
カラールックアップテーブル開始アドレス	TEXCLADDR	55
DRWTEXCLADDRへの書き込みデータ。各データ書き込み後、DRWTEXCLADDRは1だけインクリメントされる。	TEXCLDATA	56
インデックス付きテクスチャフォーマットi8、i4、i2、i1のインデックスへのオフセット	TEXCLOFFSET	57
内部テクセルカラー表現のR、G、Bコンポーネント用の比較値	COLKEY	58
その他のレジスタ：		
バウンディングボックス寸法	SIZE	30
フレームバッファピッチおよびスパンストア遅延	PITCH	31
フレームバッファ内先頭ピクセルアドレス	ORIGIN	32
ディスプレイリスト開始アドレス	DLISTSTART	50
パフォーマンスカウンタコントロール	PERFTRIGGER	53
パフォーマンスカウンタ1	PERFCOUNT1	51
パフォーマンスカウンタ2	PERFCOUNT2	52

注 1. これらのレジスタは読み取り専用であり、ディスプレイリストモードではアクセスできません。そのため、インデックスはありません。

56.7.3 レンダリング処理の停止

実行中のレンダリング処理を停止するには特定の手順が必要です。詳細は、56.10 2D 描画エンジンのレンダリング処理の停止を参照してください。

56.8 割り込み

2D 描画エンジンは、3 つの割り込みを生成します。

- DRWBUSIRQ
- DRWENUMIRQ
- DRWDLISTIRQ

56.8.1 割り込み要因

DRWBUSIRQ

2D 描画エンジンバスエラー割り込みです。2D 描画エンジンが、以下のレジスタを介して、未定義のアドレス範囲にアクセスしようとすると、バスエラー割り込み DRWBUSIRQ が発生します。

- フレームバッファベースアドレスレジスタ（ORIGIN）
- テクスチャベースアドレスレジスタ（TEXORIGIN）
- ディスプレイリスト開始アドレスレジスタ（DLISTSTART）

次に、バスエラー割り込み DRWBUSIRQ が生成されます。バスエラー割り込みは、デバッグ目的でのみ提供されます。割り込みの原因は、STATUS レジスタの BUSERRMFB、BUSERRMTXMRL、BUSERRMDL ビットで判断できます。

注 . DRWBUSIRQ が発生したら、システムリセットを適用する必要があります。

DRWENUMIRQ

現在のレンダリング処理の終了割り込みです。

DRWDLISTIRQ

ディスプレイリスト割り込みです。ディスプレイリスト処理の完了時にアサートされます。以下のいずれかが成立したとき、DRWDLISTIRQ が有効になります。

- ディスプレイリスト全体が完了したとき
- ディスプレイリスト開始アドレスレジスタ（DLISTSTART）への書き込みにより新しいディスプレイリスト開始がトリガされたため、ディスプレイリストの処理が停止したとき

56.8.2 割り込みコントロール

3 つの 2D 描画エンジン割り込みは、1 つの共有割り込み（DRW_IRQ）として結合され、CPU に送られます。各割り込みは、割り込みコントロールレジスタ（IRQCTL）の関連する有効化ビットをセットすることで、マスク（無効化）またはマスク解除（有効化）できます。

有効な割り込み（IRQCTL でマスクビットが 1 に設定されている割り込み）が発生すると、対応する割り込みステータスビットが 1 になり、ステータスコントロールレジスタ（STATUS）でモニタされます。その後、共有 2D 描画エンジン割り込み DRW_IRQ が生成されます。

割り込みをクリアするには、ホスト CPU が IRQCTL の割り込みクリアビットに 1 を書きこむ必要があります。割り込みクリアビットは自動的に 0 に戻ります。

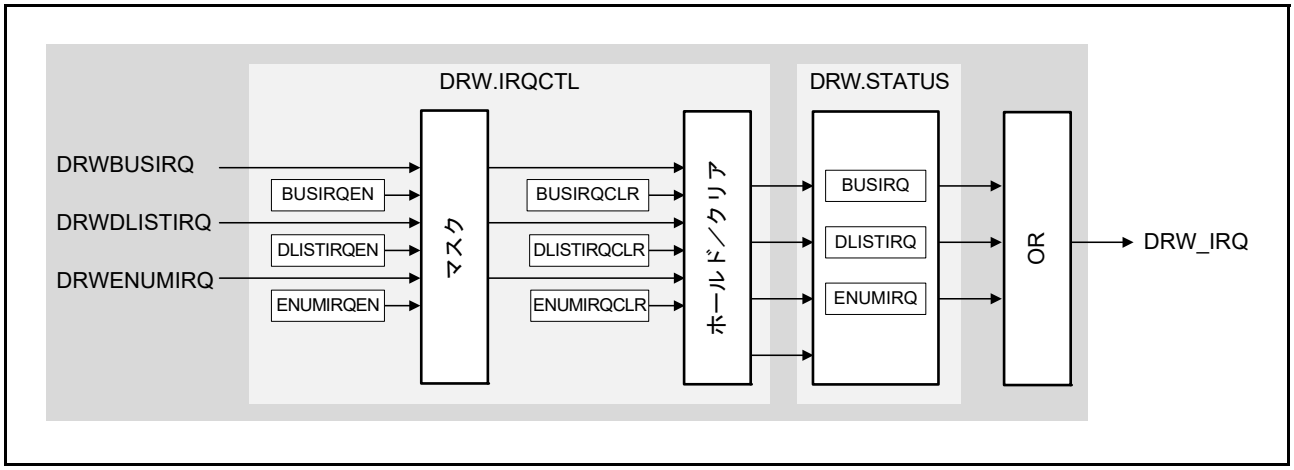


図 56.25　　割り込みコントローラユニット（ICU）

56.9 パフォーマンスカウンタ

2D 描画エンジンは、2 つの独立した 32 ビットパフォーマンスカウンタレジスタ PERFCOUNTk（k = 1, 2）を備えています。これは、特定のイベントの発生回数をカウントするものです。カウントするイベントは、パフォーマンスカウンタコントロールレジスタである PERFTRIGGER.PERFTRIGGER2（PERFCOUNT2 用）と PERFTRIGGER.PERFTRIGGER1（PERFCOUNT1 用）を使用することで、各パフォーマンスカウンタレジスタについて個別に設定できます。

表 56.12 に、選択できるパフォーマンスカウンタトリガイベントの一覧を示します。

表 56.12 パフォーマンスカウンタトリガイベント

PERFTRIGGER.PERFTRIGGERk	イベント
0	パフォーマンスカウンタを無効化
1	2D描画エンジンのアクティブサイクル
2	フレームバッファリードアクセス
3	フレームバッファライトアクセス
4	テクスチャリードアクセス
5	見えないピクセル（並んでいるがアルファ 0%で選択されている）
6	内部FIFOが空（ロストサイクル）の間の見えないピクセル
7	ディスプレイリストリーダのアクティブサイクル
8	フレームバッファリードのヒット
9	フレームバッファリードのミス
10	フレームバッファライトのヒット
11	フレームバッファライトのミス
12	テクスチャリードのヒット
13	テクスチャリードのミス
31	全クロックサイクル（タイマとして使用）

56.10 2D 描画エンジンのレンダリング処理の停止

レンダリング処理がレジスタモードとディスプレイリストモードのどちらで開始した場合でも、2D 描画エンジンは、レンダリング処理が完了するまでデータを自律的に処理します。レンダリングによっては、数ミリ秒要することもあります。

MCU が低消費電力モードになるなどの理由で 2D 描画エンジンが無効になる場合、次のような手順で実行中のレンダリングを停止してください。

1. 以下のようにレジスタを設定します。

   SIZE = 0001 0001h

   バウンディングボックスのサイズを 1 ピクセル ×1 ラインにする

   CONTROL2 = 0000 0000h

   カラーフォーマット a (8)、テクスチャなし、CLUT

   ORIGIN = UnmappedAddress

   UnmappedAddress は、2D 描画エンジンではアクセスできないアドレスです。

   ここで、推奨される UnmappedAddress について、キーワード「UnmappedAddress」で説明します。

   ディスプレイリストモードでは代わりに以下のようにして同様の設定を行ってください。

   ```
   WORD 8020 011Eh          // 「アドレスワード」リストの開始
   WORD 0001 0001h          // SIZE = 0001 0001h
   WORD 0000 0000h          // CONTROL2 = 0000 0000h
   WORD UnmappedAddress     // ORIGIN = UnmappedAddress
   ```

2. マッピングされていないアドレス違反に対応するバスエラーの発生を待ちます。このエラーは、マッピングされていないアドレスへのアクセスと、レンダリング処理の停止を示します。
   UnmappedAddress = FFFF FFF0h

3. 必用に応じて 2D 描画エンジンを無効にしてください。

57. JPEG コーデック

57.1 概要

JPEG コーデックは、JPEG ベースラインに準拠した圧縮伸長方式を採用しており、画像データの圧縮および JPEG データの復号を高速処理することができます。表 57.1 に JPEG コーデックの仕様を、図 57.1 にそのブロック図を示します。

表 57.1 JPEGコーデックの仕様

項目	内容
対応規格	JPEGベースライン準拠（本章に記載の範囲内で準拠） JPEGコーデックユニットは、下記の機能に未対応です。 • 2成分を持つスキャンに未対応 • 複数成分のノンインタリーブスキャンに未対応
演算精度	JPEG Part2、ISO-IEC10918-2準拠
画像入出力方式	ブロックインタリーブ方式
ピクセルフォーマット	• 圧縮：YCbCr422（H = 2:1:1, V = 1:1:1） • 伸長：YCbCr444（H = 1:1:1, V = 1:1:1）、YCbCr422（H = 2:1:1, V = 1:1:1）、YCbCr411（H = 4:1:1, V = 1:1:1）、YCbCr420（H = 2:1:1, V = 2:1:1） • バッファへの出力ピクセルフォーマット：ARGB8888、RGB565
量子化テーブル	• 4テーブル内蔵
ハフマンテーブル	• 4テーブル内蔵（AC係数2テーブル、DC係数2テーブル）
対象マーカ	SOI（Start Of Image）、SOF0（Start Of Frame Type 0）、SOS（Start Of Scan）、DQT（Define Quantization Tables）、DHT（Define Huffman Tables）、DRI（Define Restart Interval）、RSTm（Restart marks）、EOI（End Of Image）
処理単位	アドレス境界8バイト単位で設定可能
処理可能画像サイズ	MCU（Minimum Coded Unit）単位（YCbCr444時、8ピクセル × 8ライン。YCbCr422時、16ピクセル × 8ライン。YCbCr411時、32ピクセル × 8ライン。YCbCr420時、16ピクセル × 16ライン）で割り切れるサイズ

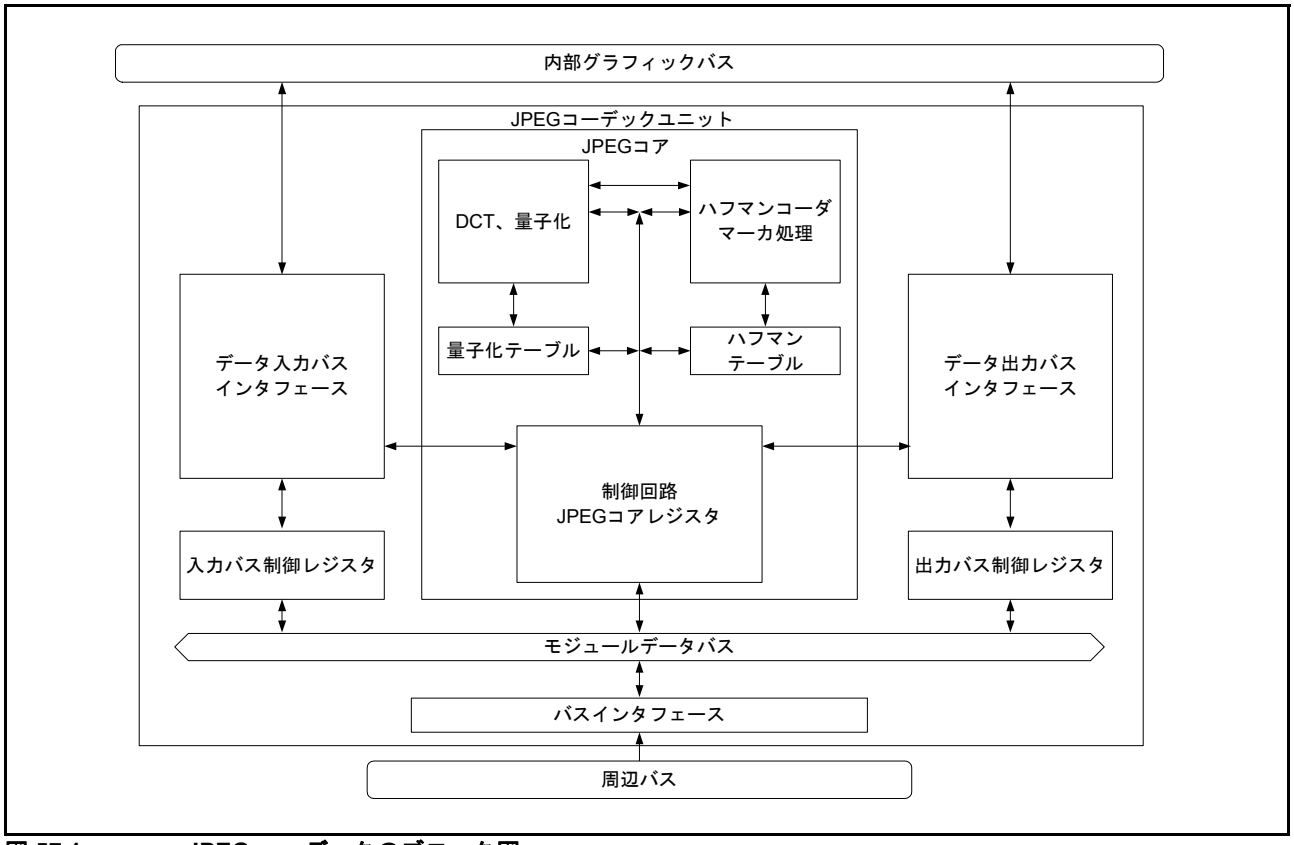


図 57.1 JPEG コーデックのブロック図

57.2 レジスタの説明

57.2.1 JPEG コードモードレジスタ（JCMOD）

アドレス JPEG.JCMOD 400E 6000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	DSP	REDU[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	REDU[2:0]	ピクセルフォーマット設定	• 圧縮時 b2 b0 0 0 1 : YCbCr422 上記以外は設定しないでください。 • 伸長時 b2 b0 0 0 0 : YCbCr444 0 0 1 : YCbCr422 1 1 0 : YCbCr411 0 1 0 : YCbCr420 上記設定以外の場合はエラーが発生します。 JPEGコーデックが正常処理できません。	R/W （注2）
b3	DSP	圧縮／伸長設定（注1）	0：圧縮処理を選択 1：伸長処理を選択	R/W
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 圧縮／伸長処理を変更する場合は、JPEG コードコマンドレジスタ（JCCMD）の BRST ビットの設定を行い、JPEG コーデックを必ず一度リセット状態にしてください。

注 2. 伸長処理の場合、本ビットは読み出し専用です。

57.2.2 JPEG コードコマンドレジスタ（JCCMD）

アドレス JPEG.JCCMD 400E 6001h

	b7	b6	b5	b4	b3	b2	b1	b0
	BRST	—	—	—	—	JEND	JRST	JSRT
リセット後の値	x	x	x	x	x	x	x	x

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	JSRT	JPEGコア処理開始コマンド	JPEGコア処理開始時、本ビットを1にしてください。動作中に再度1を書き込まないでください。	W
b1	JRST	JPEGコア処理停止解除コマンド	画像サイズ、ピクセルフォーマットの読み出しリクエスト（JINTE0のINT3ビットの設定）による処理停止解除時、1にしてください。	W（注1）
b2	JEND	割り込み要求解除コマンド	割り込み要求解除時、1にしてください。JINTS0のINS6、INS5、INS3ビットと関連のある割り込み要因に対してのみ有効です。	W
b6-b3	—	予約ビット	書く場合、0としてください。	W
b7	BRST	バスリセット	本ビットを1にすると、JCDTCU、JCDTCM、JCDTCD、JCDERR、およびJCRSTの各レジスタがリセットされます。JPEGコーデック動作中（JPEGコア処理開始コマンド設定後から最終出力符号／画像データ書き出し終了まで）は本ビットを1にしないでください。 バスリセット処理については57.5 バスリセット処理を参照してください。	W

注 . コマンド設定後に本レジスタのビットの 0 クリアを行う必要はありません。各コマンドの同時設定は禁止です。
注 1. 圧縮処理の場合、本ビットは無効です。

57.2.3 JPEG コード量子化テーブル番号レジスタ（JCQTN）

アドレス JPEG.JCQTN 400E 6003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	QT3[1:0]		QT2[1:0]		QT1[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	QT1[1:0]	第1色成分の量子化テーブル番号	b1 b0 0 0：量子化テーブル0（JCQTBL0） 0 1：量子化テーブル1（JCQTBL1） 1 0：量子化テーブル2（JCQTBL2） 1 1：量子化テーブル3（JCQTBL3）	R/W （注1）
b3-b2	QT2[1:0]	第2色成分の量子化テーブル番号	b3 b2 0 0：量子化テーブル0（JCQTBL0） 0 1：量子化テーブル1（JCQTBL1） 1 0：量子化テーブル2（JCQTBL2） 1 1：量子化テーブル3（JCQTBL3）	R/W （注1）
b5-b4	QT3[1:0]	第3色成分の量子化テーブル番号	b5 b4 0 0：量子化テーブル0（JCQTBL0） 0 1：量子化テーブル1（JCQTBL1） 1 0：量子化テーブル2（JCQTBL2） 1 1：量子化テーブル3（JCQTBL3）	R/W （注1）
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 伸長処理の場合、本ビットは読み出し専用です。

57.2.4 JPEG コードハフマンテーブル番号レジスタ（JCHTN）

アドレス JPEG.JCHTN 400E 6004h

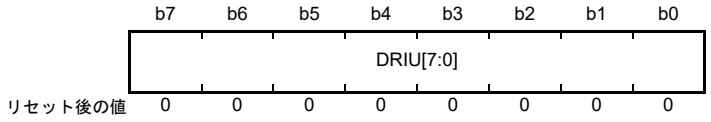
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	HTA3	HTD3	HTA2	HTD2	HTA1	HTD1
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	HTD1	第1色成分のハフマンテーブル番号（DC）	b1 b0 0 0：DC/ACハフマンテーブル0（JCHTBD0およびJCHTBA0） 1 1：DC/ACハフマンテーブル1（JCHTBD1およびJCHTBA1） 上記以外は設定しないでください。	R/W （注1）
b1	HTA1	第1色成分のハフマンテーブル番号（AC）		R/W （注1）
b2	HTD2	第2色成分のハフマンテーブル番号（DC）	b3 b2 0 0：DC/ACハフマンテーブル0（JCHTBD0およびJCHTBA0） 1 1：DC/ACハフマンテーブル1（JCHTBD1およびJCHTBA1） 上記以外は設定しないでください。	R/W （注1）
b3	HTA2	第2色成分のハフマンテーブル番号（AC）		R/W （注1）
b4	HTD3	第3色成分のハフマンテーブル番号（DC）	b5 b4 0 0：DC/ACハフマンテーブル0（JCHTBD0およびJCHTBA0） 1 1：DC/ACハフマンテーブル1（JCHTBD1およびJCHTBA1） 上記以外は設定しないでください。	R/W （注1）
b5	HTA3	第3色成分のハフマンテーブル番号（AC）		R/W （注1）
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 伸長処理の場合、本ビットは読み出し専用です。

57.2.5 JPEG コード DRI 上位レジスタ（JCDRIU）

アドレス JPEG.JCDRIU 400E 6005h

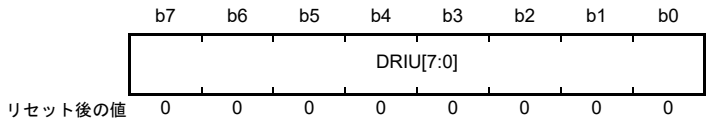


ビット	シンボル	ビット名	機能	R/W
b7-b0	DRIU[7:0]	RSTマーカを挿入するMCU数の上位バイト	有効な設定値：00h～FFh（0～255）（注1）	R/W（注2）

注 1. JCDRIU = 00h かつ JCDRID = 00h の場合、DRI マーカ、RST マーカは挿入されません。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.6 JPEG コード DRI 下位レジスタ（JCDRID）

アドレス JPEG.JCDRID 400E 6006h

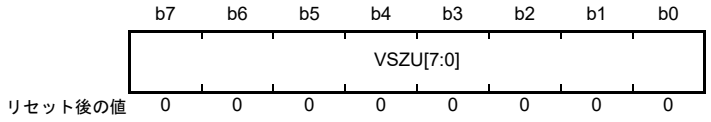


ビット	シンボル	ビット名	機能	R/W
b7-b0	DRIU[7:0]	RSTマーカを挿入するMCU数の下位バイト	有効な設定値：00h～FFh（0～255）（注1）	R/W（注2）

注 1. JCDRIU = 00h かつ JCDRID = 00h の場合、DRI マーカ、RST マーカは挿入されません。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.7 JPEG コード垂直方向サイズ上位レジスタ（JCVSZU）

アドレス JPEG.JCVSZU 400E 6007h

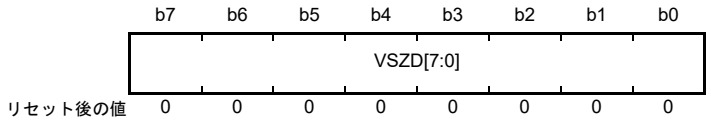


ビット	シンボル	ビット名	機能	R/W
b7-b0	VSZU[7:0]	垂直方向の画像サイズ値の上位バイト	有効な設定値：00h～FFh（0～255）（注2）	R/W（注1）

注 1. 伸長処理の場合、本ビットは読み出し専用です。
注 2. 伸長時は JPEG 符号データからのダウンロード値がセットされます。

57.2.8 JPEG コード垂直方向サイズ下位レジスタ（JCVSZD）

アドレス JPEG.JCVSZD 400E 6008h

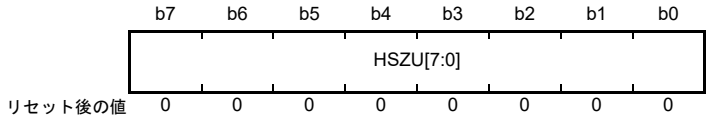


ビット	シンボル	ビット名	機能	R/W
b7-b0	VSZD[7:0]	垂直方向の画像サイズ値の下位バイト	有効な設定値：00h～FFh（0～255）（注2）	R/W（注1）

注 1. 伸長処理の場合、本ビットは読み出し専用です。
注 2. 伸長時は JPEG 符号データからのダウンロード値がセットされます。

57.2.9 JPEG コード水平方向サイズ上位レジスタ（JCHSZU）

アドレス JPEG.JCHSZU 400E 6009h

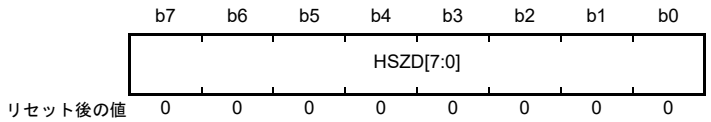


ビット	シンボル	ビット名	機能	R/W
b7-b0	HSZU[7:0]	水平方向の画像サイズ値の上位バイト	有効な設定値：00h～FFh（0～255）（注2）	R/W（注1）

注 1. 伸長処理の場合、本ビットは読み出し専用です。
注 2. 伸長時は JPEG 符号データからのダウンロード値がセットされます。

57.2.10 JPEG コード水平方向サイズ下位レジスタ（JCHSZD）

アドレス JPEG.JCHSZD 400E 600Ah

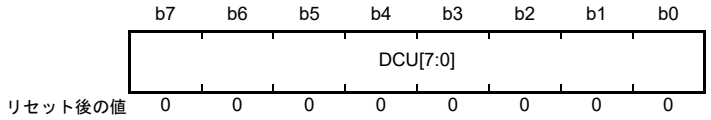


ビット	シンボル	ビット名	機能	R/W
b7-b0	HSZD[7:0]	水平方向の画像サイズ値の下位バイト	有効な設定値：00h～FFh（0～255）（注2）	R/W（注1）

注 1. 伸長処理の場合、本ビットは読み出し専用です。
注 2. 伸長時は JPEG 符号データからのダウンロード値がセットされます。

57.2.11 JPEG コードデータカウント上位レジスタ（JCDTCU）

アドレス JPEG.JCDTCU 400E 600Bh

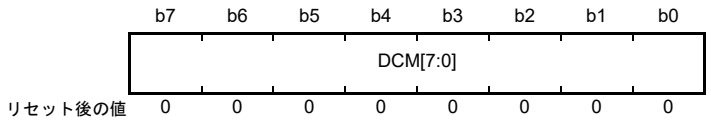


ビット	シンボル	ビット名	機能	R/W
b7-b0	DCU[7:0]	圧縮データ量のカウント値の上位バイト	有効な設定値：00h～FFh（0～255）	R（注2）

注 1. 本レジスタの値は、処理開始時にリセットされます。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.12 JPEG コードデータカウント中位レジスタ（JCDTCM）

アドレス JPEG.JCDTCM 400E 600Ch

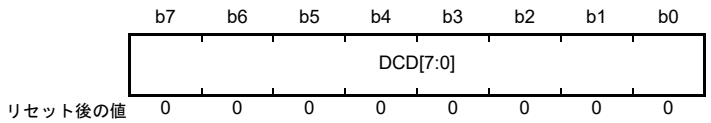


ビット	シンボル	ビット名	機能	R/W
b7-b0	DCM[7:0]	圧縮データ量のカウント値の中位バイト	有効な設定値：00h～FFh（0～255）	R（注2）

注 1. 本レジスタの値は、処理開始時にリセットされます。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.13 JPEG コードデータカウント下位レジスタ（JCDTCD）

アドレス JPEG.JCDTCD 400E 600Dh



ビット	シンボル	ビット名	機能	R/W
b7-b0	DCD[7:0]	圧縮データ量のカウント値の下位バイト	有効な設定値：00h～FFh（0～255）	R（注2）

注 1. 本レジスタの値は、処理開始時にリセットされます。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.14 JPEG 割り込みイネーブルレジスタ 0（JINTE0）

アドレス JPEG.JINTE0 400E 600Eh

	b7	b6	b5	b4	b3	b2	b1	b0
	INT7	INT6	INT5	—	INT3	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	INT3	割り込み要求信号INS3有効制御	圧縮データの解析の結果、画像サイズ、ピクセルフォーマットの設定値が読み出し可能であるときに、割り込みを発生させるかどうかを設定します。	R/W (注2)
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	INT5	割り込み要求最終MCUデータ数エラー有効制御	伸長時、ハフマン符号化セグメント内の最終MCUデータ数に異常があった場合に、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。	R/W (注2)
b6	INT6	割り込み要求総数エラー有効制御	伸長時、ハフマン符号化セグメント内の総データ数に異常があった場合に、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。	R/W (注2)
b7	INT7	割り込み要求リスタートインターバルデータ数エラー有効制御	伸長時、ハフマン符号化セグメント内のリスタートインターバル間のデータ数に異常があった場合に、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。	R/W (注2)

注 1. INT7 ～ INT5 ビットのいずれかを 1 にした場合、圧縮データエラー発生時に JINTS0 レジスタの INS5 ビットでエラーステータスが 1 となります。詳細なエラーコードは JCDERR レジスタの ERR[3:0] ビットに示されます。

注 2. 圧縮処理の場合、本ビットは無効です。

57.2.15 JPEG 割り込みステータスレジスタ 0（JINTS0）

アドレス JPEG.JINTS0 400E 600Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	INS6	INS5	—	INS3	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	INS3	画像サイズ／ピクセルフォーマット情報読み出しリクエスト	画像サイズおよびピクセルフォーマットが読み出し可能なとき、本ビットは1になります。割り込み発生時、JPEGコーデックは処理停止状態となります。処理停止状態はJCRSTレジスタに示されます。モジュール処理再開には、JCCMDの処理停止解除コマンド（JRST）ビットを設定します。	R/W（注2）（注3）
b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	INS5	JPEG伸長エラー発生	圧縮データエラーが発生したとき、本ビットは1になります。	R/W（注2）（注3）
b6	INS6	JPEG伸長処理終了	JPEGコーデックが圧縮処理を正常終了したとき、本ビットは1になります。	R/W（注2）
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 本レジスタの割り込み要因は、関連する割り込みステータスビットを 0 にクリアするとともに JCCMD の関連ビットを設定して割り込みを解除してください。
注 2. 0 書き込みによるクリアを行ってください。1 書き込みは行わないでください。
注 3. 圧縮処理の場合、本ビットは無効です。

57.2.16 JPEG コードデコードエラーレジスタ（JCDERR）

アドレス JPEG.JCDERR 400E 6010h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	ERR[3:0]			
リセット後の値	0	0	0	0	1	0	1	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	ERR[3:0]	エラーコード	エラーコードについては表 57.3および表 57.4を参照してください。	R/W（注2）
b7-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 本レジスタの値は処理開始時にリセットされます。
注 2. 圧縮処理の場合、本ビットは無効です。

57.2.17 JPEG コード再起動レジスタ（JCRST）

アドレス JPEG.JCRST 400E 6011h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RST	動作状態	0：下記以外の状態 1：JINTE0の割り込み要因によるサスペンド中	R （注2）
b7-b1	—	予約ビット	読むと0が読めます。	R

注 1. 処理再開には、JCCMD の処理停止解除コマンド（JRST）ビットを設定します。
注 2. 圧縮処理の場合、本ビットは無効です。

57.2.18 JPEG インタフェース圧縮コントロールレジスタ（JIFECNT）

アドレス JPEG.JIFECNT 400E 6040h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

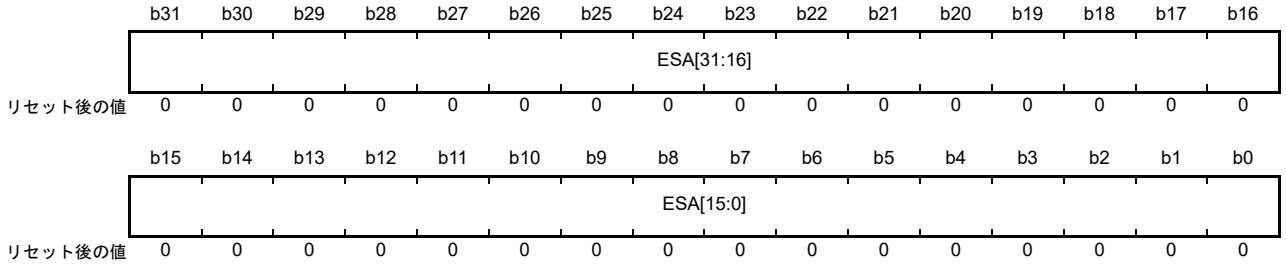
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	JOUTSWAP[2:0]			—	DINRINI	DINRCMD	DINLC	—	DINSWAP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DINSWAP[2:0]	バイト／ハーフワード／ワードスワップ設定	圧縮時の入力画像データがスワップ対象となります。 b2 b0 0 0 0 : (1) (2) (3) (4) (5) (6) (7) (8) 0 0 1 : (2) (1) (4) (3) (6) (5) (8) (7)（バイトスワップ） 0 1 0 : (3) (4) (1) (2) (7) (8) (5) (6)（ハーフワードスワップ） 0 1 1 : (4) (3) (2) (1) (8) (7) (6) (5)（ハーフワード-バイトスワップ） 1 0 0 : (5) (6) (7) (8) (1) (2) (3) (4)（ワードスワップ） 1 0 1 : (6) (5) (8) (7) (2) (1) (4) (3)（ワード-バイトスワップ） 1 1 0 : (7) (8) (5) (6) (3) (4) (1) (2)（ワード-ハーフワードスワップ） 1 1 1 : (8) (7) (6) (5) (4) (3) (2) (1)（ワード-ハーフワード-バイトスワップ）	R/W（注1）
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DINLC	入力画像データライン停止用カウントモード設定	0: 入力画像データライン停止用カウントモードオフ 1: 入力画像データライン停止用カウントモードオン	R/W（注1）
b5	DINRCMD	入力画像データライン再開コマンド	1にすることで、入力画像データの読み込みを再開します。 入力画像データライン停止カウントモードオン時のみ有効です。 読むと0が読めます。	W（注1）
b6	DINRINI	入力画像データライン再開時アドレス初期化設定	入力画像データライン停止カウントモードオン時のみ有効です。 データライン再開コマンドに1を書き込む前に設定してください。 0：入力画像データライン再開時、転送アドレスを初期化しません 1：入力画像データライン再開時、転送アドレスを初期化します	R/W（注1）
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	JOUTSWAP[2:0]	バイト／ハーフワード／ワードスワップ設定	圧縮時の出力符号データがスワップ対象となります。 b10 b8 0 0 0 : (1) (2) (3) (4) (5) (6) (7) (8) 0 0 1 : (2) (1) (4) (3) (6) (5) (8) (7)（バイトスワップ） 0 1 0 : (3) (4) (1) (2) (7) (8) (5) (6)（ハーフワードスワップ） 0 1 1 : (4) (3) (2) (1) (8) (7) (6) (5)（ハーフワード-バイトスワップ） 1 0 0 : (5) (6) (7) (8) (1) (2) (3) (4)（ワードスワップ） 1 0 1 : (6) (5) (8) (7) (2) (1) (4) (3)（ワード-バイトスワップ） 1 1 0 : (7) (8) (5) (6) (3) (4) (1) (2)（ワード-ハーフワードスワップ） 1 1 1 : (8) (7) (6) (5) (4) (3) (2) (1)（ワード-ハーフワード-バイトスワップ）	R/W（注1）
b31-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 伸長処理の場合、本ビットは無効です。

57.2.19 JPEG インタフェース圧縮ソースアドレスレジスタ（JIFESA）

アドレス JPEG.JIFESA 400E 6044h

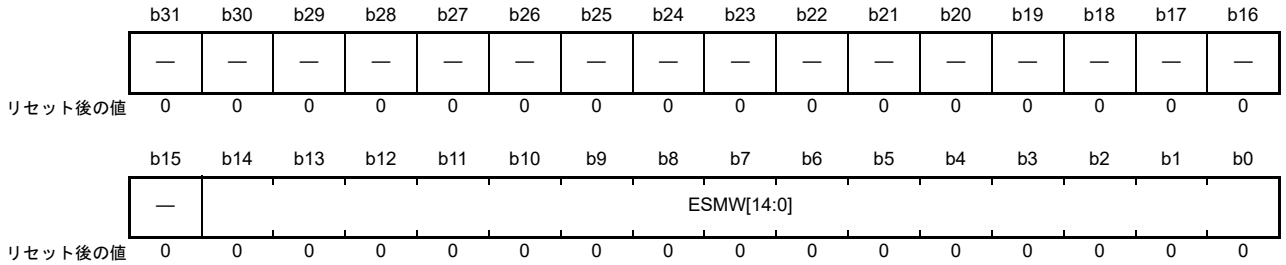


ビット	シンボル	ビット名	機能	R/W
b2-b0	ESA[2:0]	入力画像データソースアドレス	下位3ビットは0としてください。読むと0が読めます。	R/W
b31-b3	ESA[31:3]		入力画像データのソースアドレス（8バイト単位）	R/W（注2）

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.20 JPEG インタフェース圧縮ラインオフセットレジスタ（JIFESOFST）

アドレス JPEG.JIFESOFST 400E 6048h



ビット	シンボル	ビット名	機能	R/W
b2-b0	ESMW[2:0]	入力画像データラインオフセット	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b14-b3	ESMW[14:3]		入力画像データのラインオフセット（8バイト単位）	R/W（注2）
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.21 JPEG インタフェース圧縮デスティネーションアドレスレジスタ（JIFEDA）

アドレス JPEG.JIFEDA 400E 604Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	EDA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	EDA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	EDA[2:0]	出力符号データデスティネーションアドレス	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b31-b3	EDA[31:3]		出力符号データのデスティネーションアドレス（8バイト単位）	R/W（注2）

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.22 JPEG インタフェース圧縮ソースラインカウントレジスタ（JIFESLC）

アドレス JPEG.JIFESLC 400E 6050h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LINES[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	LINES[2:0]	入力画像データ読み出しライン数	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b15-b3	LINES[15:3]		入力画像データ読み出しライン数（8ライン単位）	R/W（注2）
b18-b16	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	R/W
b31-b19	—	予約ビット	読むと、不定値が読めます。書く場合、1としてください。	R

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.23 JPEG インタフェース伸長コントロールレジスタ（JIFDCNT）

アドレス JPEG.JIFDCNT 400E 6058h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	VINTER[1:0]		HINTER[1:0]		OPF[1:0]		—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	JINRINI	JINRCMD	JINC	—	JINSWAP[2:0]			—	DOUTRINI	DOUTRCMD	DOUTLC	—	DOUTSWAP[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DOUTSWAP[2:0]	バイト／ハーフワード／ワードスワップ設定	伸長時の出力画像データがスワップ対象となります。 b2 b0 0 0 0 : (1) (2) (3) (4) (5) (6) (7) (8) 0 0 1 : (2) (1) (4) (3) (6) (5) (8) (7)（バイトスワップ） 0 1 0 : (3) (4) (1) (2) (7) (8) (5) (6)（ハーフワードスワップ） 0 1 1 : (4) (3) (2) (1) (8) (7) (6) (5)（ハーフワード-バイトスワップ） 1 0 0 : (5) (6) (7) (8) (1) (2) (3) (4)（ワードスワップ） 1 0 1 : (6) (5) (8) (7) (2) (1) (4) (3)（ワード-バイトスワップ） 1 1 0 : (7) (8) (5) (6) (3) (4) (1) (2)（ワード-ハーフワードスワップ） 1 1 1 : (8) (7) (6) (5) (4) (3) (2) (1)（ワード-ハーフワード-バイトスワップ）	R/W（注1）
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DOUTLC	出力画像データライン停止用カウントモード設定	0：出力画像データライン停止用カウントモードオフ 1：出力画像データライン停止用カウントモードオン	R/W（注1）
b5	DOUTRCMD	出力画像データライン再開コマンド	1にすることで、画像データの書き込みを再開します。 出力画像データライン停止カウントモードオン時のみ有効です。 読むと0が読めます。	W（注1）
b6	DOUTRINI	出力画像データライン再開時アドレス初期化設定	出力画像データライン停止カウントモードオン時のみ有効です。 データライン再開コマンドに1を書き込む前に設定してください。 0：出力画像データライン再開時、転送アドレスを初期化しません 1：出力画像データライン再開時、転送アドレスを初期化します	R/W（注1）
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b10-b8	JINSWAP[2:0]	バイト／ハーフワード／ワードスワップ設定	伸長時の入力符号データがスワップ対象となります。 b10 b8 0 0 0 : (1) (2) (3) (4) (5) (6) (7) (8) 0 0 1 : (2) (1) (4) (3) (6) (5) (8) (7)（バイトスワップ） 0 1 0 : (3) (4) (1) (2) (7) (8) (5) (6)（ハーフワードスワップ） 0 1 1 : (4) (3) (2) (1) (8) (7) (6) (5)（ハーフワード-バイトスワップ） 1 0 0 : (5) (6) (7) (8) (1) (2) (3) (4)（ワードスワップ） 1 0 1 : (6) (5) (8) (7) (2) (1) (4) (3)（ワード-バイトスワップ） 1 1 0 : (7) (8) (5) (6) (3) (4) (1) (2)（ワード-ハーフワードスワップ） 1 1 1 : (8) (7) (6) (5) (4) (3) (2) (1)（ワード-ハーフワード-バイトスワップ）	R/W（注1）
b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	JINC	入力符号データ停止カウントモード設定	0：入力符合データ停止カウントモードオフ 1：入力符合データ停止カウントモードオン	R/W（注1）
b13	JINRCMD	入力符号データ再開コマンド	1にすることで、入力符合データの読み出しを再開します。 入力符号データ停止カウントモードオン時のみ有効です。 読むと0が読めます。	W（注1）
b14	JINRINI	入力符号データ再開時アドレス初期化設定	入力符号データ停止カウントモードオン時のみ有効です。 データ再開コマンドに1を書き込む前に設定してください。 0：入力符号データ再開時、転送アドレスを初期化しません 1：入力符号データ再開時、転送アドレスを初期化します	R/W（注1）
b23-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ビット	シンボル	ビット名	機能	R/W
b25-b24	OPF[1:0]	出力画像データのピクセルフォーマット指定（注2）	b25 b24 0 0：設定禁止 0 1：ARGB8888 1 0：RGB565 1 1：設定禁止	R/W（注1）
b27-b26	HINTER[1:0]	水平方向間引き設定	出力画像データの水平方向を間引きます。 b27 b26 0 0：間引きなし 0 1：1/2に間引き 1 0：1/4に間引き 1 1：1/8に間引き	R/W（注1）
b29-b28	VINTER[1:0]	垂直方向間引き設定	出力画像データの垂直方向を間引きします。 b29 b28 0 0：間引きなし 0 1：1/2に間引き 1 0：1/4に間引き 1 1：1/8に間引き	R/W（注1）
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 圧縮処理の場合、本ビットは無効です。
注 2. 初期値で動作させないでください。01b または 10b にしてから動作を開始させてください。

57.2.24 JPEG インタフェース伸長ソースアドレスレジスタ（JIFDSA）

アドレス JPEG.JIFDSA 400E 605Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSA[31:16]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

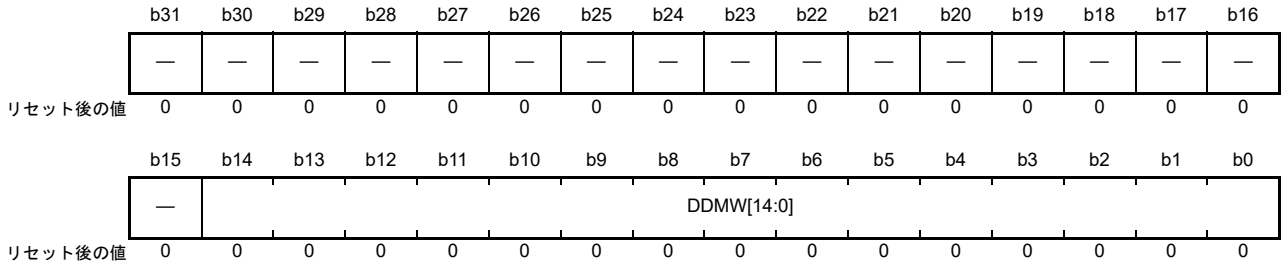
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DSA[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	DSA[2:0]	入力符合データソースアドレス	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b31-b3	DSA[31:3]		入力符号データのソースアドレス（8バイト単位）	R/W（注2）

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 圧縮処理の場合、本ビットは無効です。

57.2.25 JPEG インタフェース伸長ラインオフセットレジスタ（JIFDDOFST）

アドレス JPEG.JIFDDOFST 400E 6060h

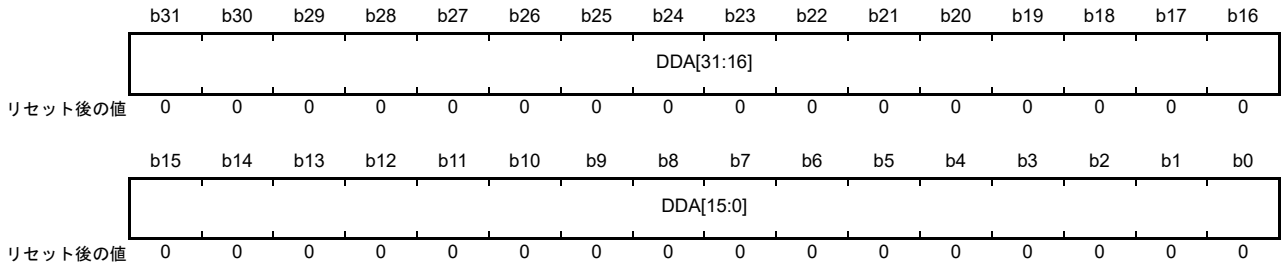


ビット	シンボル	ビット名	機能	R/W
b2-b0	DDMW[2:0]	出力画像データラインオフセット	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b14-b3	DDMW[14:3]		出力画像データのラインオフセット（8バイト単位）	R/W（注2）
b31-b15	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 圧縮処理の場合、本ビットは無効です。

57.2.26 JPEG インタフェース伸長デスティネーションアドレスレジスタ（JIFDDA）

アドレス JPEG.JIFDDA 400E 6064h

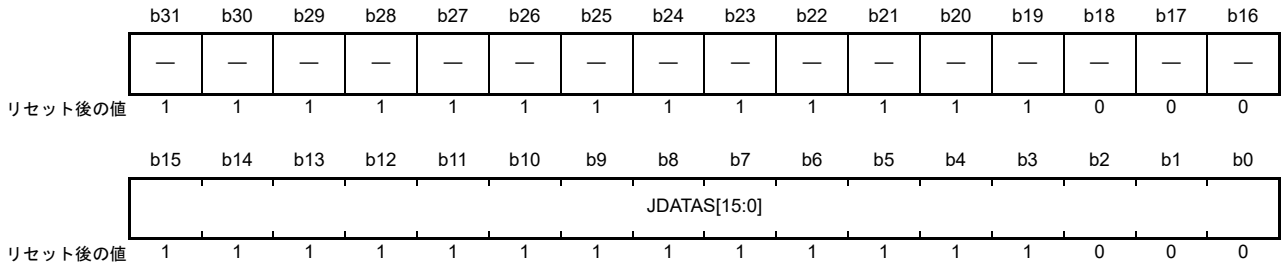


ビット	シンボル	ビット名	機能	R/W
b2-b0	DDA[2:0]	出力画像データデスティネーションアドレス	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b31-b3	DDA[31:3]		出力画像データのデスティネーションアドレス（8バイト単位）	R/W（注2）

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 圧縮処理の場合、本ビットは無効です。

57.2.27 JPEG インタフェース伸長ソースデータカウントレジスタ（JIFDSDC）

アドレス JPEG.JIFDSDC 400E 6068h



ビット	シンボル	ビット名	機能	R/W
b2-b0	JDATAS[2:0]	入力符合データ読み出し数	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b15-b3	JDATAS[15:3]		入力符号データ読み出しデータ数（8バイト単位）	R/W（注2）
b18-b16	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	R/W
b31-b19	—	予約ビット	読むと、不定値が読めます。書く場合、1としてください。	R

注 1. 本レジスタは、8 バイト単位で設定してください。
注 2. 圧縮処理の場合、本ビットは無効です。

57.2.28 JPEG インタフェース伸長デスティネーションラインカウントレジスタ（JIFDDLC）

アドレス JPEG.JIFDDLC 400E 606Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LINES[15:0]															
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	LINES[2:0]	出力画像データ書き出しライン数	下位3ビットは0としてください。読むと0が読めます。	R/W（注2）
b15-b3	LINES[15:3]		出力画像データを書き出すライン数を設定します。出力画像データのラインカウントがMCU単位となるように値を設定してください。 YCbCr444、YCbCr422、およびYCbCr411の各出力の場合、本設定値 × 1が出力画像データのラインカウントに等しい値となります。 YCbCr420出力の場合では、本設定値 × 2が出力画像データのラインカウントに等しい値となります。	R/W（注2）
b18-b16	—	予約ビット	読むと、不定値が読めます。書く場合、0としてください。	R/W
b31-b19	—	予約ビット	読むと、不定値が読めます。書く場合、1としてください。	R

注 1. 出力画像データのラインカウントが MCU 単位となるように本レジスタを設定してください。
注 2. 圧縮処理の場合、本ビットは無効です。

57.2.29 JPEG インタフェース伸長 α 設定レジスタ（JIFDADT）

アドレス JPEG.JIFDADT 400E 6070h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ALPHA[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ALPHA[7:0]	ARGB8888形式出力時追加α値設定	ARGB8888形式で出力する際のα値を設定します。	R/W（注1）
b31-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 圧縮処理の場合、本ビットは無効です。

57.2.30 JPEG 割り込みイネーブルレジスタ 1（JINTE1）

アドレス JPEG.JINTE1 400E 608Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CBTEN	DINLEN	—	—	DBTEN	JINEN	DOUTLEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOUTLEN	割り込み要求ビットDOUTLF有効制御	JINTS1のDOUTLFビットが1のとき、データ転送処理割り込み要求（JPEG_JDTI）を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可	R/W （注1）
b1	JINEN	割り込み要求ビットJINF有効制御	JINTS1のJINFビットが1のとき、データ転送処理割り込み要求（JPEG_JDTI）を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可	R/W （注1）
b2	DBTEN	割り込み要求ビットDBTF有効制御	JINTS1のDBTFビットが1のとき、データ転送処理割り込み要求（JPEG_JDTI）を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可	R/W （注1）
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DINLEN	割り込み要求ビットDINLF有効制御	JINTS1のDINLFビットが1のとき、データ転送処理割り込み要求（JPEG_JDTI）を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可	R/W （注2）
b6	CBTEN	割り込み要求ビットCBTF有効制御	JINTS1のCBTFビットが1のとき、データ転送処理割り込み要求（JPEG_JDTI）を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可	R/W （注2）
b31-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 圧縮処理の場合、本ビットは無効です。
注 2. 伸長処理の場合、本ビットは無効です。

57.2.31 JPEG 割り込みステータスレジスタ 1（JINTS1）

アドレス JPEG.JINTS1 400E 6090h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CBTF	DINLF	—	—	DBTF	JINF	DOUTLF
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DOUTLF	伸長データ出力ライン終了要求設定	伸長時、出力画像データがJIFDDLCに示すライン数分書き込まれたとき、本ビットは1になります。 JIFDCNTのDOUTLCビットが1のときのみ有効となります。	R/W （注1）（注2） （注3）
b1	JINF	JPEG入力終了要求設定	伸長時、入力符号データをJIFDSDCに示すデータ数分読み出したとき、本ビットは1になります。 JIFDCNTのJINCビットが1のときのみ有効となります。	R/W （注1）（注2） （注3）
b2	DBTF	伸長データ終端部終了要求設定	伸長時、最終出力画像データが書き込まれたとき、本ビットは1になります。	R/W （注1）（注2） （注3）
b4-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5	DINLF	データ入力ライン終了要求設定	圧縮時、入力画像データをJIFESLCに示すライン数分読み出したとき、本ビットは1になります。 JIFECNTのDINLCビットが1のときのみ有効となります。	R/W （注1）（注2） （注4）
b6	CBTF	圧縮データ終端部終了要求設定	圧縮時、最終出力符号データが書き込まれたとき、本ビットは1になります。	R/W （注1）（注2） （注4）
b31-b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 本レジスタの割り込み要因は、0 書き込みによるクリアをしてください。
注 2. 読み出し値が 1 のビットのみ 0 書き込みによるクリアをしてください。読み出し値が 0 のビットには 1 を書き込んで設定してください。
注 3. 圧縮処理の場合、本ビットは無効です。
注 4. 伸長処理の場合、本ビットは無効です。

57.3 動作説明

57.3.1 圧縮

圧縮処理の動作フローを以下に示します。

(1) 処理概要

圧縮処理の概要は以下のとおりです。

1. JPEG コアを起動します。マーカ出力終了後、画像データ入力が可能となります。SOI ～ SOS マーカ作成に約 30,000 サイクル必要とします。
2. 外部バッファから JPEG コーデックに画像データを MCU ごとに転送します。
   - 入力画像データライン停止用カウントモード設定がオンのときは、JIFESLC で設定したライン数分の画像データ読み出し完了ごとに、読み出しを停止します。JIFECNT の DINRCMD ビットを 1 にすることで、読み出しを再開します。
   - 読み出し先のアドレスは、JIFECNT の DINRINI ビットが 0 の場合、前回転送アドレスの続きから再開します
   - DINRINI ビットが 1 のときは、JIFESA に設定したアドレスから再開します
   - 1 フレーム分の画像データ転送終了時にも読み出しを停止します
   - 入力画像データライン停止用カウントモード設定がオフのときは、1 フレーム分の画像データ転送が終了するまで読み出します
3. JPEG コア部へ画像データを入力します。JPEG コアでは、MCU 単位で随時処理されます。
4. JPEG コーデックから外部バッファに符号データを転送します。
5. 1 フレーム分のデータ処理終了で圧縮完了となります。

(2) 圧縮のフロー

(a) 初期設定

圧縮の初期設定方法を以下に示します。

JPEG コア設定と入出力バッファ設定を完了し、外部バッファに画像データを転送した後、JCCMD の JSRT ビットを 1 にして JPEG コーデックを起動します。JPEG コーデック起動後に JPEG マーカ（SOI ～ SOS）を生成し出力します。これらのマーカの生成には約 30,000 サイクル必要です。

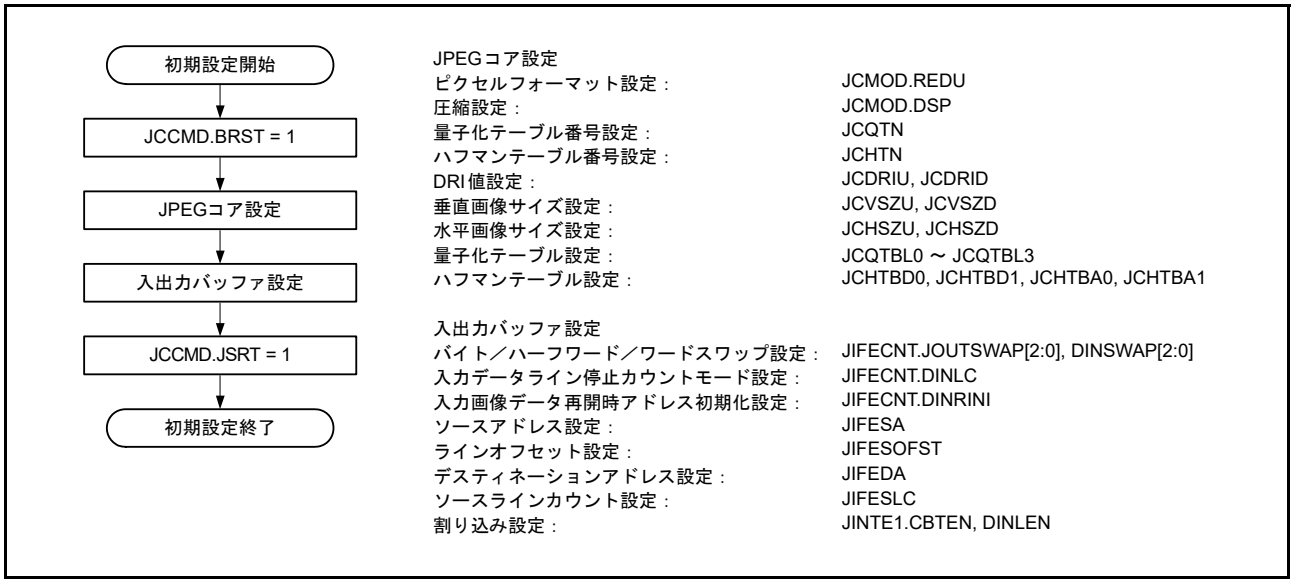


図 57.2 圧縮初期設定フロー

(b) 圧縮処理

圧縮処理のフローは以下のとおりです。

1. JPEG 圧縮処理が終了すると、JINTS0 の INS6 ビットが 1 になります。ただし、符号データの転送が残っているので JPEG コーデックは処理を継続しています。最終符号データの転送が終了すると、JINTS1 の CBTF ビットが 1 になります。割り込み要因は、INTS6 ビットに 0 を書き込むことでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6 ビットに 0 を書き込んでもクリアされません。割り込み要求解除コマンドを設定（JCCMD の JEND ビットを 1 にする）して、割り込み要求をクリアしてください。
2. JPEG コーデックが圧縮処理を終了し、全符号データの転送が終了すると、JINTS1 の CBTF フラグが 1 になります。JINTE1 の CBTEN ビットが 1 の場合、割り込みが発生します。CBTF フラグに 0 を書き込むことで、割り込み要因はクリアされます。
3. 画像データライン停止用カウントモード設定がオンのときは、JIFESLC で設定したライン数分の画像データ読み出しを終了すると、JINTS1 の DINLF フラグが 1 になり読み出しを停止します。JINTE1 の DINLEN ビットが 1 の場合、割り込みが発生します。DINLEN ビットに 0 を書き込むことで、割り込み要因はクリアされます。JIFECNT の DINRCMD ビットを 1 にすることで、読み出しを再開します。
   - 読み出し先のアドレスは、JIFECNT の DINRINI ビットが 0 の場合、前回転送アドレスの続きから再開します
   - DINRINI ビットが 1 のときは、JIFESA に設定したアドレスから再開します

(c) データ補正

出力符号データを 8 で割った余りが 1 ～ 6 バイトである場合、余りの 1 ～ 6 バイトの転送が正常に完了しないことがあります。転送が正常に完了しない場合、余りの 1 ～ 6 バイトは JPEG インタフェース圧縮デスティネーションアドレスレジスタ（JIFEDA）の指定アドレスに書き込まれ、既存のデータを上書きします。（注 1）

そのため、出力符号データが正常に転送されたかを確認し、正常に転送されていない場合にはデータ補正を行う必要があります。

注 1. JPEG コーデックは出力符号データを 16 ビット単位で扱います。そのため、符号データが奇数符号長になった場合、最終符号は D9FFh を出力します。（FFh を付加します。）余りが 1、3、5 バイトのいずれかである場合、余りのデータ（1、3、5 バイトのいずれか）＋ FFh が JIFEDA の指定アドレスに書き込まれ、既存のデータを上書きします。

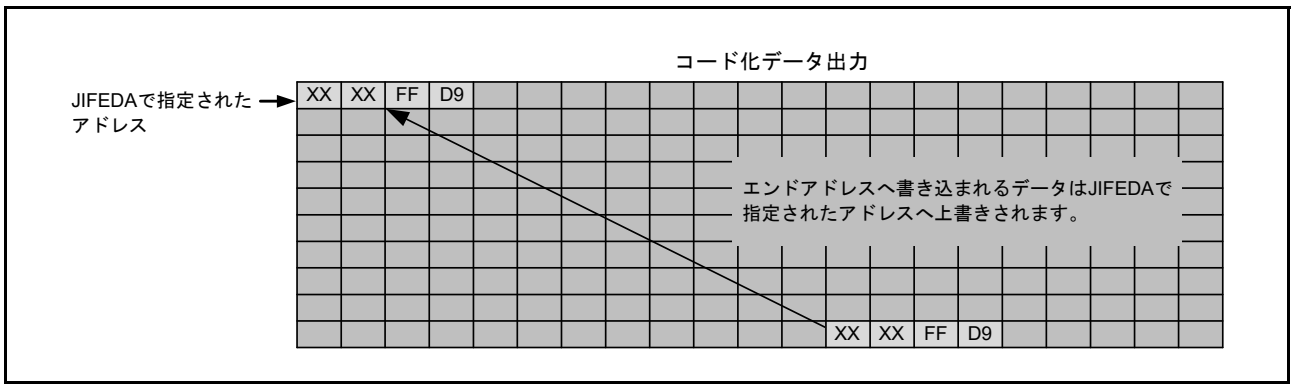


図 57.3 出力符合データ異常転送の概念図

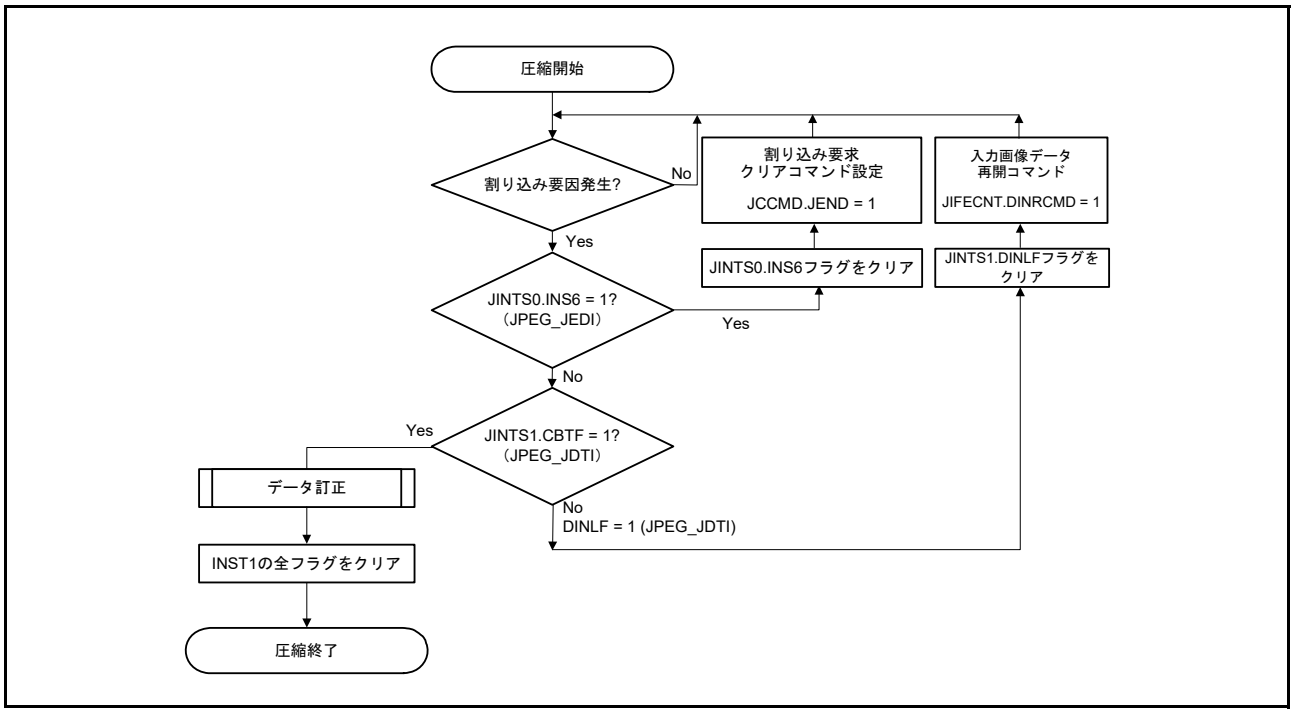
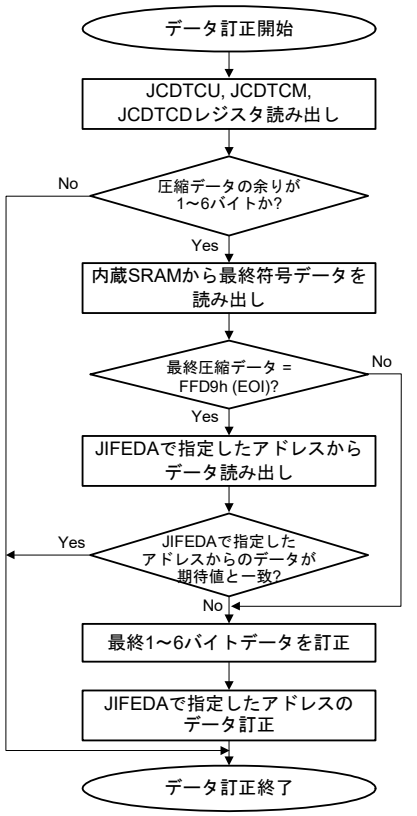


図 57.4 圧縮処理フロー



[1] [1] JCDTCU, JCDTCM, JCDTCD レジスタから圧縮データ量を読み出します。

[2] 圧縮データ量を8で割ったあと、余りが1～6バイトであるか判定します。

[2] [3] [1]で読み出した圧縮データ量に基づいて、最終符号データ（FFD9h）が書かれたアドレスからデータを読み出します。

[4] 最終符号データ（EOI）が書きこまれたかどうか判定します。

[3] [5] [2]で計算した余りデータバイトの数だけJIFEDAで指定したアドレスから読み出します。

[4] [6] JIFEDAで指定したアドレスから読み出したデータが期待値と一致しているかどうかを判定します。JPEGデータの最初なので、期待値はFFD8h（SOI）, FFDBh（DQT）, 00XXh（XX: 量子化テーブル2における84h、量子化テーブル3におけるC5h）になります。

[5] [7] 転送が成功しなかったときには、[6]で読み出した1～6バイトをエンドアドレスへ書き込みます。

[6] [8] いくつかのデータは上書きされ、JIFEDAで指定したアドレスのデータが訂正されます。

[7]

[8]

注 . 符号データが奇数符号長のときには、最終符号出力は D9FFh になります（FFh が付加されます）。したがって、余りが 1, 3, 5 バイトのときには、それぞれ 2, 4, 6 バイトのデータが訂正されます。

図 57.5 データ補正フロー

(3) JPEG 符号データフォーマット

圧縮時に出力されるデータストリームの構成を図 57.6 に示します。SOI ～ EOI までの符号データ量は JCDTCU、JCDTCM、JCDTCD に示されます。また、JCDRIU と JCDRID をともに 0000_0000h に設定している場合、下記のマーカは出力されません。

- DRI マーカ
- RST マーカ（圧縮画像データ内）

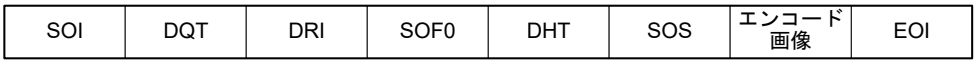


図 57.6 JPEG 符号データフォーマット

- DQT：使用していないテーブルについては出力されません
- DHT：出力順は DC0、AC0、DC1、AC1。使用していないテーブルについては出力されません
- SOF0：成分識別子は、C1 = 第 1 色成分、C2 = 第 2 色成分、C3 = 第 3 色成分となります
- SOS：スキャン成分セレクタは、CS1 = 第 1 色成分、CS2 = 第 2 色成分、CS3 = 第 3 色成分となります

各ヘッダ容量（参考）

- SOI：2 バイト（FFD8）
- DQT：量子化テーブル 2 枚使用時 134 バイト、3 枚使用時 199 バイト（1 枚増減で ± 65 バイト）
- DRI：6 バイト
- SOF0：19 バイト（4:2:2）
- DHT：420 バイト（2 枚使用時）
- SOS：14 バイト（4:2:2）
- EOI：2 バイト（FFD9）

(4) テーブル設定

(a) 量子化テーブル設定

8×8 ブロックのアドレス順とレジスタアドレス順が対応しています。JPEG コーデック処理中の本テーブルへのアクセスは禁止です。

表 57.2 量子化テーブル

00	01	02	03	04	05	06	07
08	09	0A	0B	0C	0D	0E	0F
10	11	12	13	14	15	16	17
18	19	1A	1B	1C	1D	1E	1F
20	21	22	23	24	25	26	27
28	29	2A	2B	2C	2D	2E	2F
30	31	32	33	34	35	36	37
38	39	3A	3B	3C	3D	3E	3F

JCQTBL0 (400E 6100h) = 00h
JCQTBL0 (400E 6101h) = 01h
JCQTBL0 (400E 6102h) = 02h
JCQTBL0 (400E 6103h) = 03h
:
JCQTBL0 (400E 613Fh) = 3Fh
JCQTBL1 (400E 6140h) = 40h
JCQTBL1 (400E 6141h) = 41h
JCQTBL1 (400E 6142h) = 42h
JCQTBL1 (400E 6143h) = 43h
:
JCQTBL1 (400E 617Fh) = 7Fh
JCQTBL2 (400E 6180h) = 80h
JCQTBL2 (400E 6181h) = 81h
JCQTBL2 (400E 6182h) = 82h
JCQTBL2 (400E 6183h) = 83h
:
JCQTBL2 (400E 61BFh) = BFh
JCQTBL3 (400E 61C0h) = C0h
JCQTBL3 (400E 61C1h) = C1h
JCQTBL3 (400E 61C2h) = C2h
JCQTBL3 (400E 61C3h) = C3h
:
JCQTBL3 (400E 61FFh) = FFh

(b) ハフマンテーブル設定

以下では、JPEG 勧告 ITU-T T81 付属書 K.3.3 記載のハフマンテーブル設定方法を例示します。圧縮処理時は全グループ番号に対してハフマン符号が生成できるように、必ず以下の設定を符号数分行ってください。

- DC ハフマンテーブル：符号長ごとの符号数 = 12 符号、発生頻度順のグループ番号 = 12 個
- AC ハフマンテーブル：符号長ごとの符号数 = 162 符号、発生頻度順のゼロラン長／グループ番号 = 162 個

JPEG コーデック処理中の下記テーブルへのアクセスは禁止です。特にリードアクセスも禁止となります。

- 表 K.3/T81

  JCHTBD0 (400E 6200h) = 00h
  JCHTBD0 (400E 6201h) = 01h
  JCHTBD0 (400E 6202h) = 05h
  JCHTBD0 (400E 6203h) = 01h
  :
  JCHTBD0 (400E 621Bh) = 0Bh

- 表 K.4/T81

  JCHTBD1 (400E 6300h) = 00h
  JCHTBD1 (400E 6301h) = 03h
  JCHTBD1 (400E 6302h) = 01h
  JCHTBD1 (400E 6303h) = 01h
  :
  JCHTBD1 (400E 631Bh) = 0Bh

- 表 K.5/T81

  JCHTBA0 (400E 6220h) = 00h
  JCHTBA0 (400E 6221h) = 02h
  JCHTBA0 (400E 6222h) = 01h
  JCHTBA0 (400E 6223h) = 03h
  :
  JCHTBA0 (400E 62D1h) = FAh

- 表 K.6/T81

  JCHTBA1 (400E 6320h) = 00h
  JCHTBA1 (400E 6321h) = 02h
  JCHTBA1 (400E 6322h) = 01h
  JCHTBA1 (400E 6323h) = 02h
  :
  JCHTBA1 (400E 63D1h) = FAh

(5) 入力ピクセルフォーマット

JPEG コーデックには、YCbCr422 形式で作成された画像を入力することができます。YCbCr422 形式のデータ配置は、JIFECNT の DINSWAP[2:0] ビットにより下記のように変更することが可能です。

- DINSWAP[2:0] ビットが 000b のとき

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y0 8 bits	Cb0 8 bits	Y1 8 bits	Cr0 8 bits	Y2 8 bits	Cb1 8 bits	Y3 8 bits	Cr1 8 bits

- DINSWAP[2:0] ビットが 001b のとき

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cb0 8 bits	Y0 8 bits	Cr0 8 bits	Y1 8 bits	Cb1 8 bits	Y2 8 bits	Cr1 8 bits	Y3 8 bits

- DINSWAP[2:0] ビットが 010b のとき

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y1 8 bits	Cr0 8 bits	Y0 8 bits	Cb0 8 bits	Y3 8 bits	Cr1 8 bits	Y2 8 bits	Cb1 8 bits

- DINSWAP[2:0] ビットが 100b のとき

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y2 8 bits	Cb1 8 bits	Y3 8 bits	Cr1 8 bits	Y0 8 bits	Cb0 8 bits	Y1 8 bits	Cr0 8 bits

- DINSWAP[2:0] ビットが 101b のとき

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cb1 8 bits	Y2 8 bits	Cr1 8 bits	Y3 8 bits	Cb0 8 bits	Y0 8 bits	Cr0 8 bits	Y1 8 bits

- DINSWAP[2:0] ビットが 110b のとき

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y3 8 bits	Cr1 8 bits	Y2 8 bits	Cb1 8 bits	Y1 8 bits	Cr0 8 bits	Y0 8 bits	Cb0 8 bits

- DINSWAP[2:0] ビットが 111b のとき

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cr1 8 bits	Y3 8 bits	Cb1 8 bits	Y2 8 bits	Cr0 8 bits	Y1 8 bits	Cb0 8 bits	Y0 8 bits

(6) 出力符号データ

圧縮時、符号データを出力します。JPEG コーデックは出力符号データを 16 ビット単位で扱います。そのため、符号データが奇数符号長（端数など）になった場合、最終符号は D9FFh を出力します。

出力符号データのデータ配置は、JIFECNT の JOUTSWAP[2:0] ビットにより変更することが可能です。

57.3.2 伸長

伸長処理の動作フローを以下に示します。

(1) 処理概要

伸長処理の概要は以下のとおりです。

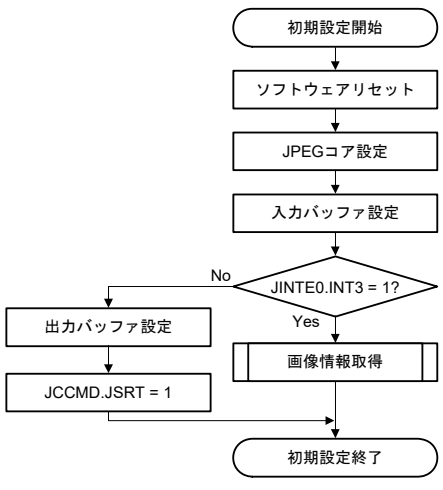
1. JPEG コアを起動します。
2. 外部バッファから JPEG コーデックに符号データを転送します。
   - 入力符号データ停止カウントモードオン設定時は、JIFDSLC で設定したデータ数分の符号データ読み出し完了ごとに、読み出しを停止します。JIFDCNT の JINRCMD ビットを 1 にすることで、読み出しを再開します。
   - 読み出し先のアドレスは、JIFDCNT の JINRINI ビットが 0 の場合、前回転送アドレスの続きから再開します
   - JINRINI ビットが 1 のときは、JIFDSA に設定したアドレスから再開します
   - 符号終端検出時は読み出しを停止します
   - 入力符号データ停止カウントモードオフ設定時は、符号終端を検出するまで読み出します。
     JPEG コーデックは、符合終端が未検出である限り符号データを読み続けるため、符号データサイズ以上の読み出しを行う可能性があります。
3. JPEG コア部へ符号データを入力します。JPEG コアでは、MCU 単位で随時処理されます。

4. JPEG コーデックから外部バッファに画像データを MCU 単位で転送します。
   - 出力画像データライン停止用カウントモード設定がオンのときは、JIFDDLC で設定したライン数分の画像データ書き込み完了ごとに、書き込みを停止します。JIFDCNT の DOUTRCMD ビットを 1 にすることで、書き込みを再開します。
   - 書き込み先のアドレスは、JIFDCNT の DOUTRINI ビットが 0 の場合、前回転送アドレスの続きから再開します
   - DOUTRINI ビットが 1 のときは、JIFDDA に設定したアドレスから再開します
   - 1 フレーム分の画像データ転送が終了すると書き込みを停止します
   - 出力画像データライン停止用カウントモード設定がオフのときは、1 フレーム分の画像データ転送が終了するまで書き込みます
5. 1 フレーム分のデータ処理終了で伸長完了となります。

(a) 初期設定

伸長の初期設定方法を以下に示します。

1. JINTE0 の INT3 ビットを 0 にしている場合：
   JPEG コア設定と入出力バッファ設定を完了し、外部バッファに符号データを転送した後、JCCMD の JSRT ビットを 1 にして JPEG コーデックを起動します。
2. JINTE0 の INT3 ビットを 1 にしている場合：
   a. JPEGコア設定と入力バッファ設定を完了し、外部バッファに符号データを転送した後、JCCMDのJSRTビットを1にしてJPEGコーデックを起動します。
   b. 符号データを伸長後、画像サイズ／ピクセルフォーマットを読み出し可能になると、JINTS0のINS3が設定されます。伸長処理は一時停止します。
   c. 画像サイズ／ピクセルフォーマットを読み出した後、出力バッファ設定を行います。
   d. 割り込み処理を行った後、JCCMDのJRSTビットを1にすることで、伸長処理を再開します。



ソフトウェアリセット
前もってJCCMD.BRSTビットを設定し、JPEGコーデックをリセットしてください。

JPEGコア設定

伸長設定：	JCMOD.DSP
割り込み設定：	JINTE0.INT7, INT5, INT3

入力バッファ設定

バイト／ハーフワード／ワードスワップ設定：	JIFDCNT.JINSWAP
入力符号データ停止カウント設定：	JIFDCNT.JINC
入力符号データ再開時アドレス初期化設定：	JIFDCNT.JINRINI
ソースアドレス設定：	JIFDSA
ソースカウント設定：	JIFDSDC
割り込み設定：	JINTE0.JINEN

出力バッファ設定

バイト／ハーフワード／ワードスワップ設定：	JIFDCNT.DOUTSWAP
垂直／水平間引き設定：	JIFDCNT.VINTER, HINTER
出力画像ピクセルフォーマット設定：	JIFDCNT.OPF
出力データライン停止カウント設定：	JIFDCNT.DOUTLC
出力画像データ再開時アドレス初期化設定：	JIFDCNT.DOUTRINI
ラインオフセット設定：	JIFDDOFST
デスティネーションアドレス設定：	JIFDDA
デスティネーションラインカウント設定：	JIFDDLC
割り込み設定：	JINTE1.DBTEN, DOUTLEN

図 57.7　伸長初期設定フロー

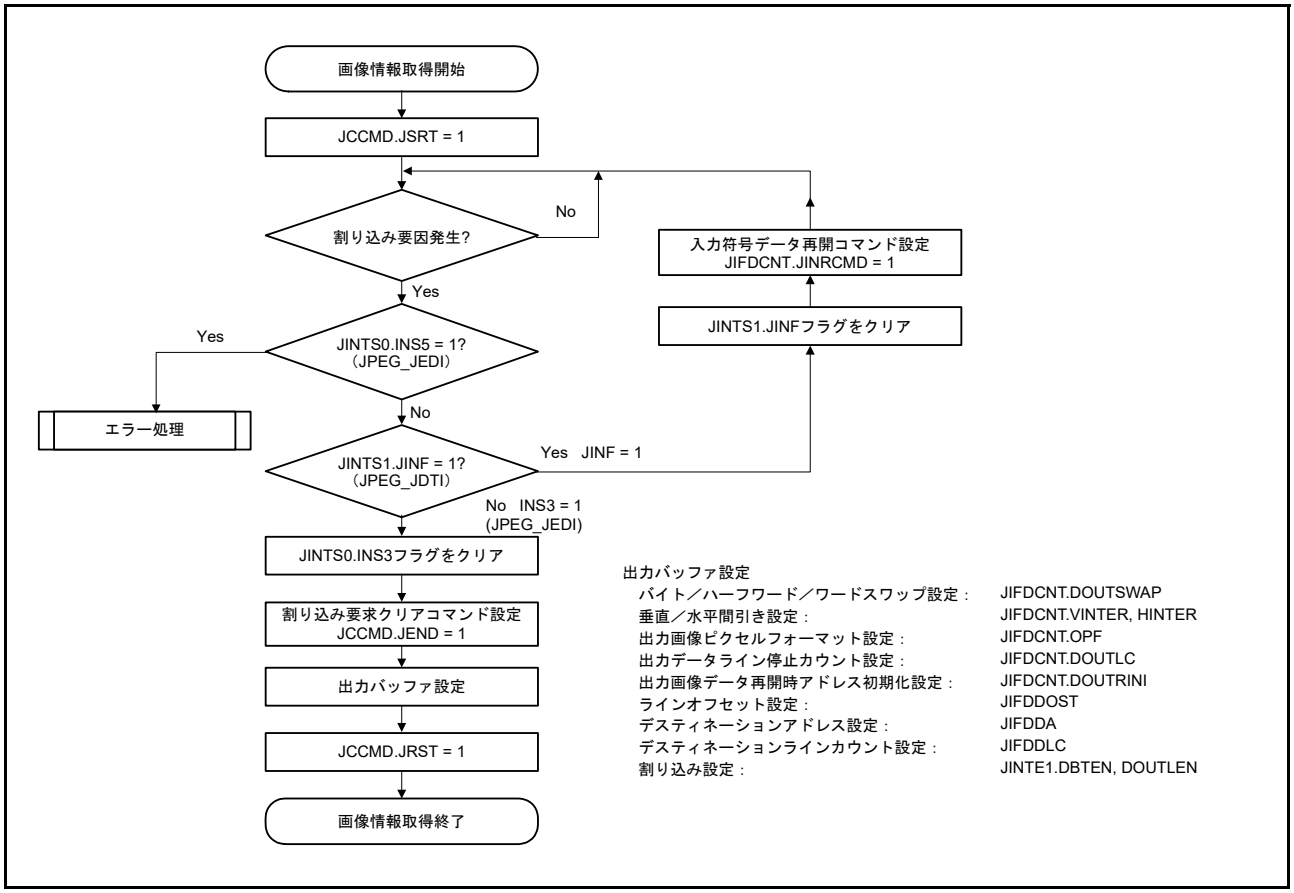


図 57.8 画像情報取得フロー

(b) 伸長処理

伸長処理のフローは以下のとおりです。

1. JPEG 伸長処理が終了すると、JINTS0 の INS6 ビットが 1 になります。ただし、画像データの転送が残っているので JPEG コーデックは処理を継続しています。最終画像データの転送が終了すると、JINTS1 の DBTF ビットが 1 になります。割り込み要因は、INTS6 ビットに 0 を書き込むことでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6 ビットに 0 を書き込んでもクリアされません。割り込み要求解除コマンドを設定（JCCMD の JEND ビットを 1 にする）して、割り込み要求をクリアしてください。
2. JPEG コーデックが伸長処理を終了し、全画像データの転送が終了すると、JINTS1 の DBTF フラグが 1 になります。JINTE1 の DBTEN ビットが 1 の場合、割り込みが発生します。DBTF フラグに 0 を書き込むことで、割り込み要因はクリアされます。
3. 入力符号データ停止カウントモードオン設定時は、JIFDSDC で設定したデータ数分の符号データ読み出しを終了すると、JINTS1 の JINF フラグが 1 になり、読み出しを停止します。JINTE1 の JINEN ビットが 1 の場合、割り込みが発生します。JINF ビットに 0 を書き込むことで、割り込み要因はクリアされます。JIFDCNT の JINRCMD ビットを 1 にすることで、読み出しを再開します。
   - 読み出し先のアドレスは、JIFDCNT の JINRINI ビットが 0 の場合、前回転送アドレスの続きから再開します
   - JINRINI ビットが 1 のときは、JIFDSA に設定したアドレスから再開します
4. 出力画像データ停止カウントモードオン設定時は、JIFDDLC で設定したライン数分画像データ書き込みを終了すると、JINT1 の DOUTLF フラグが 1 になり、書き込みを停止します。JINTE1 の DOUTLEN ビットが 1 の場合、割り込みが発生します。DOUTLF ビットに 0 を書き込むことで、割り込み要因はクリアされます。JIFDCNT の DOUTRCMD ビットを 1 にすることで、書き込みを再開します。
   - 書き込み先のアドレスは、JIFDCNT の DOUTRINI ビットが 0 の場合、前回転送アドレスの続きから再

開します

- DOUTRINI ビットが 1 のときは、JIFDDA に設定したアドレスから再開します

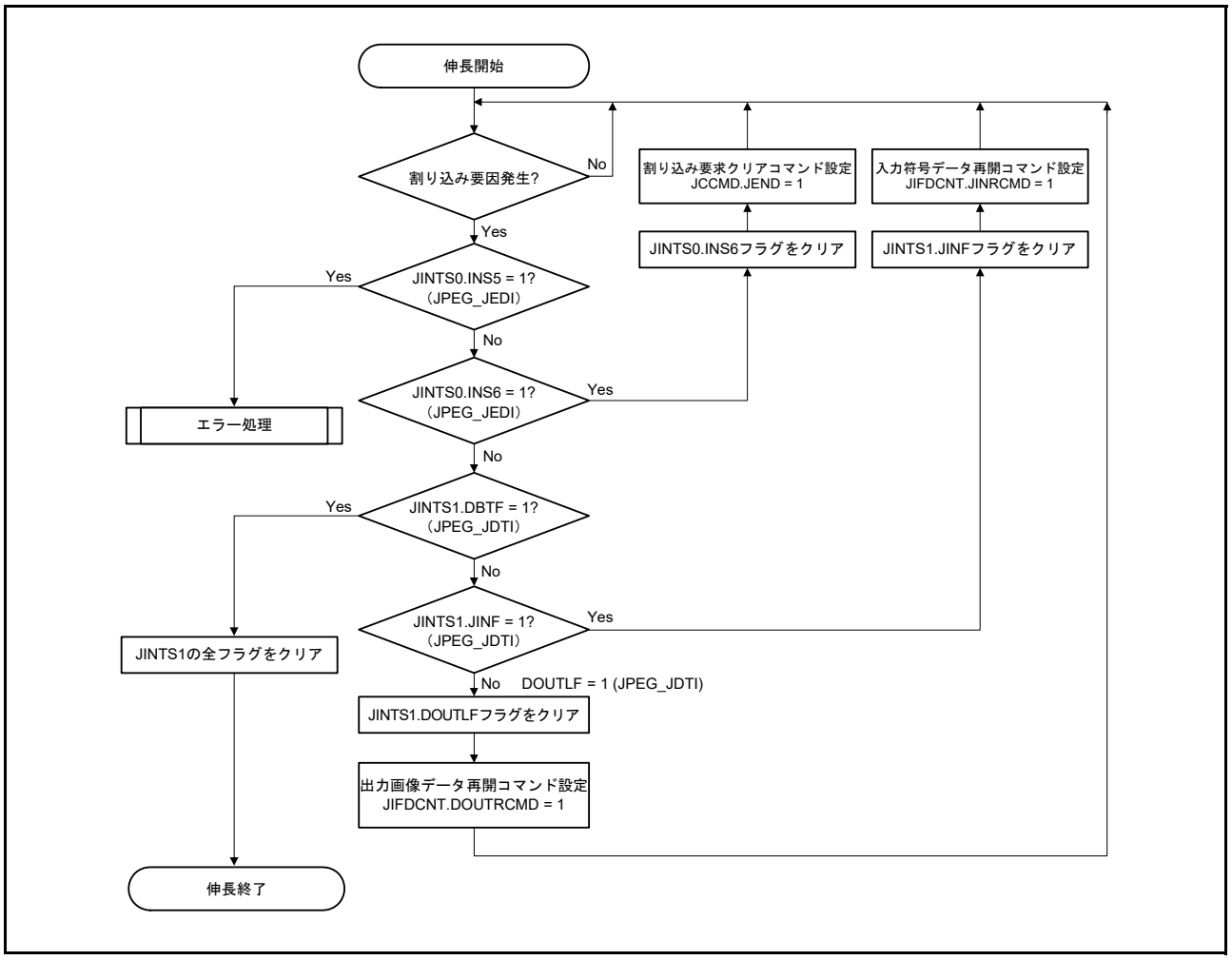


図 57.9 伸長処理フロー

(c) エラー処理

JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データにエラーがあり、JPEG コーデックが伸長処理を終了したことを示しています。JCDERR の ERR[3:0] ビットを読み出し、エラー要因を判定してください。INS5 ビットで表示された割り込み要因によりアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み要求解除コマンドを設定（JCCMD の JEND ビットを 1 にする）して、割り込み要求をクリアしてください。エラー処理の終了後に伸長／圧縮処理を行う際は、初期設定からやり直してください。

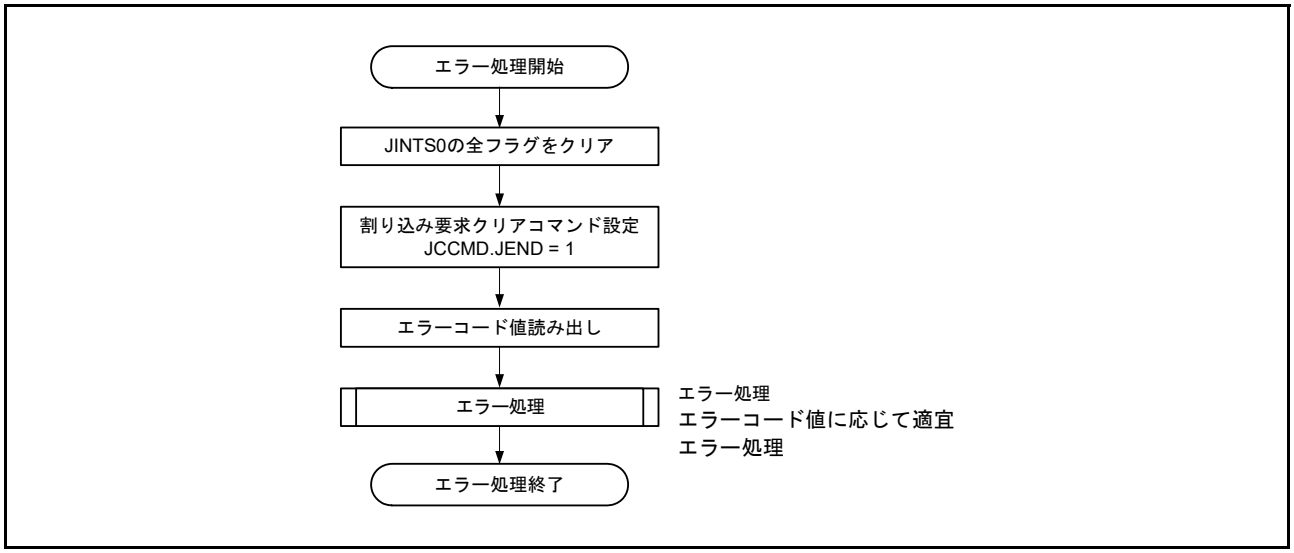


図 57.10 エラー処理フロー

(2) 入力 JPEG 符号データ

伸長処理時の処理対象マーカは、SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI です。その他のマーカは、表 57.3 に示すエラー対象マーカ以外、検出しても読み飛ばします。

入力符号データのデータ配置は、JIFDCNT の JINSWAP[2:0] ビットにより変更することが可能です。

(3) JPEG 伸長エラー

(a) エラーマーカ

伸長処理時、圧縮データ解析でマーカエラーが発生した場合、表 57.3 に示すエラー種類の判別コードが JCDERR の ERR[3:0] ビットに設定されます。JPEG コーデックは、エラーを検出すると割り込み信号を発生させ復号化処理を終了します。格納されたコード値は、次フレームの処理開始時、またはバスリセット後に、デフォルト値（1010b）に戻ります。

表 57.3 伸長エラーコード

コード値（CODE）	内容
0000b	ノーマル
0001b	SOI未検出。EOI検出までSOI未検出
0010b	SOF1～SOFFの検出
0011b	対象外のピクセルフォーマットを検出
0100b	SOF精度異常。「8」以外を検出
0101b	DQT精度異常。「0」以外を検出
0110b	コンポーネントエラー 1。検出されたSOF0ヘッダのコンポーネント数が「1」「3」「4」以外である
0111b	コンポーネントエラー 2。SOF0ヘッダのコンポーネント数とSOSのコンポーネント数が異なる
1000b	SOS検出時にSOF0、DQT、DHT未検出
1001b	SOS未検出。EOI検出までにSOS未検出
1010b	EOI未検出（デフォルト）
1011b	リスタートインターバルデータ数エラーを検出
1100b	画像サイズエラーを検出
1101b	最終MCUデータ数エラーを検出
1110b	ブロックデータ数エラーを検出

(b) ハフマン符号化セグメントエラー

伸長動作時、圧縮データ解析でハフマン符号化セグメントにビット反転やデータ欠落によるエラーで復号データ数の増減が発生した場合、エラー種類を判別し、エラーコードを JCDERR の ERR[3:0] ビットに設定します。表 57.4 にセグメントエラーコードを示します。JINTE0 の INT7 ～ INT5 の該当ビットが 1 になっている場合のみ、エラーコードを設定し、割り込み信号を発生させ処理を終了します。設定したコード値は、次フレームの処理を行う際の処理開始時、またはバスリセット後に、デフォルト値（1010h）に戻ります。本エラー検出は、復号データ数の増減を検出するので、ハフマン符号化セグメント内にエラーが存在しても復号データ数に増減が生じない場合、エラー検出されません。

図 57.11 に、ピクセルフォーマット設定 YCbCr422、DRI = 2、X = 80Pixel、Y = 8Pixel のハフマン符号化セグメントのデータ数の例を示します。



図 57.11 ハフマン符号化セグメント

表 57.4 セグメントエラーコード

コード値（CODE）	内容
0000h	ノーマル
1011h	リスタートインターバルデータ数エラー： 各インターバルのデータ数とDRIマーカに設定されているデータ数を比較します。一致しないインターバルを検出した場合、伸長エラーコード（1011）を設定します。リスタートインターバル間隔に満たない最終インターバルは比較対象外です。 DRIマーカセグメントが存在しない場合や、設定値が00の場合は、RSTmマーカが存在してもエラー検出しません。また、RSTmマーカモジュロ8のm順番（m = 0～7）もエラー検出対象外です。 JINTE0のINT7ビットが0の場合は本エラー検出を行いません。
1100h	画像サイズエラー： フレームパラメータに設定したライン数と1ライン当たりのサンプル数より算出した画像データ数を、SOS～EOIまでの総データ数（ピクセル単位）と比較します。一致しない場合、伸長エラーコード（1100）を設定します。JINTE0のINT6ビットが0の場合は本エラー検出を行いません。画像データ数はMCU単位で表示されます。したがって、算出の際のライン数と1ライン当たりのサンプル数はMCU単位で表示される必要があります。
1101h	最終MCUデータ数エラー： EOI検出時のMCUデータ数がMCU単位となっているかチェックし、端数の有無を検出します。1100エラーが他のエラーと同時発生したときは、1100エラーが優先されます。JINTE0のINT5ビットが0の場合は本エラー検出を行いません。
1110h	ブロックデータ数エラー： 1ブロックが8×8単位となっているかチェックし、端数の有無を検出します。JINTE0のINT7～INT5ビットをすべて0にすると、本エラー検出を行いません。

57.3.3 伸長時の出力ピクセルフォーマット

JPEG コーデックは、YCbCr444、YCbCr422、YCbCr411、YCbCr420 形式で作成された JPEG 符号データを伸長することができます。ただし、出力画像のピクセルフォーマットは ARGB8888 と RGB565 となります。伸長したデータを出力ピクセルフォーマットに変換する流れを図 57.12 に示します。

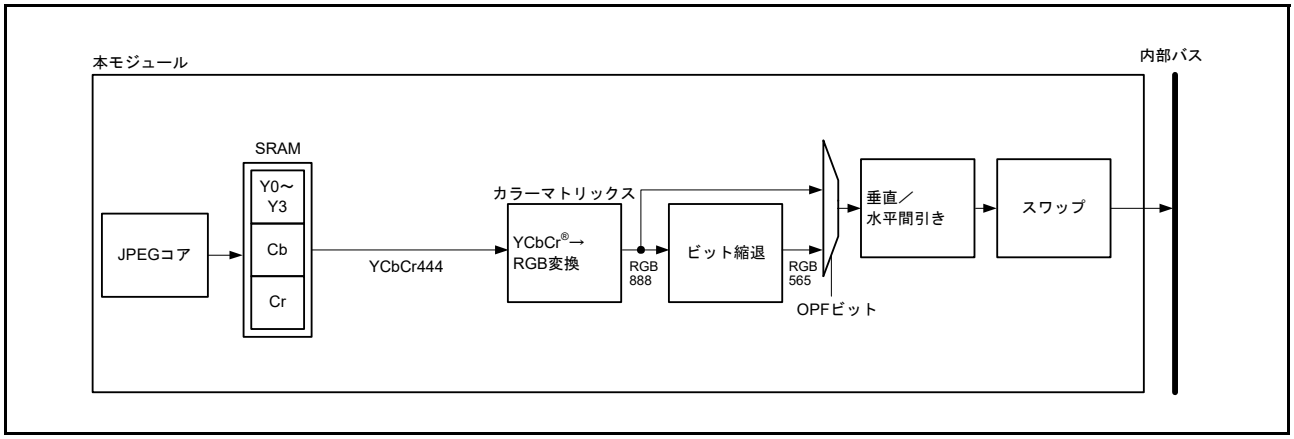


図 57.12 伸長時の出力ピクセルフォーマット変換ブロック図

(1) 内蔵 SRAM

JPEG コアにてデコードされたデータを、JPEG コーデックに内蔵している SRAM に MCU 単位で格納していきます。

(2) YCbCr→RGB 変換

YCbCr444 形式のデータを RGB888 形式に変換します。演算式は下記となります。

R = 1.000Y + 1.402Cr
G = 1.000Y - 0.344Cb - 0.714Cr
B = 1.000Y + 1.772Cb

(3) ビット縮退

RGB888 を RGB565 に縮退します。Red および Blue の下位 3 ビット、Green の下位 2 ビットを削除します。

(4) 出力ピクセルフォーマット選択

JIFDCNT の OPF[1:0] ビットにより、出力するピクセルフォーマットを選択します。JIFDCNT の DOUTSWAP[2:0] ビットが 000b のとき、ピクセルフォーマットのデータ配置は下記になります。

- ARGB8888（32 bits/pixel）

b31 b24	b23 b16	b15 b8	b7 b0
(注1)	Red 8 bits	Green 8 bits	Blue 8 bits

注 1. JIFDADT の ALPHA[7:0] で指定された値

- RGB565(16 bits/pixel)

b15 b11	b10 b5	b4 b0
Red 5 bits	Green 6 bits	Blue 5 bits

(5) 垂直・水平間引き

JIFDCNT の VINTER[1:0] ビット、HINTER[1:0] ビットにより、出力データを水平・垂直方向に間引くことができます。間引くラインは図 57.13 ～図 57.15 のようになります。これらの図では、ARGB8888、RGB565 出力時は 1 画素／1 マスで表しています。また、MCU 単位で扱うため、水平・垂直ブロック数は伸長したピクセルフォーマットにより異なります。

n と m の値はそれぞれ表 57.5 と 表 57.6 のようになります。

[水平方向]

表 57.5 水平ブロック数

圧縮形式	出力形式	n
YCbCr444	ARGB8888、RGB565	1
YCbCr422	ARGB8888、RGB565	2
YCbCr411	ARGB8888、RGB565	4
YCbCr420	ARGB8888、RGB565	2

[垂直方向]

表 57.6 垂直ブロック数

圧縮形式	出力形式	m
YCbCr444	ARGB8888、RGB565	1
YCbCr422	ARGB8888、RGB565	1
YCbCr411	ARGB8888、RGB565	1
YCbCr420	ARGB8888、RGB565	2

- 1/2 間引き

  偶数ラインを間引きます。

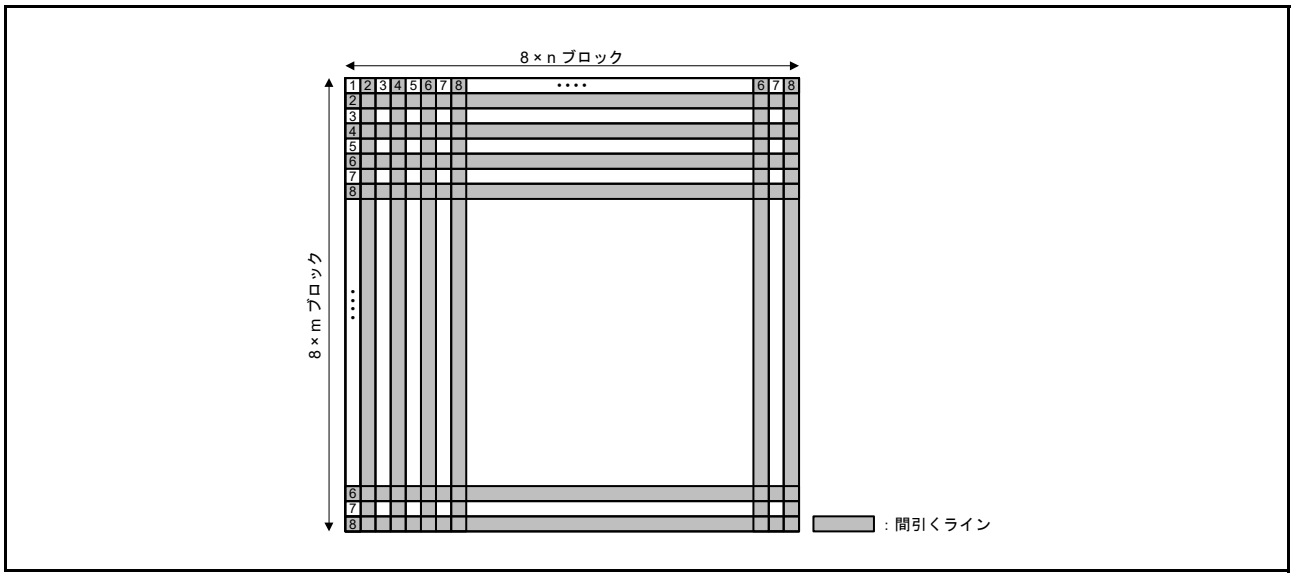


図 57.13 1/2 間引き選択時の MCU 図

- 1/4 間引き

  2、3、4 ライン目を間引きます。

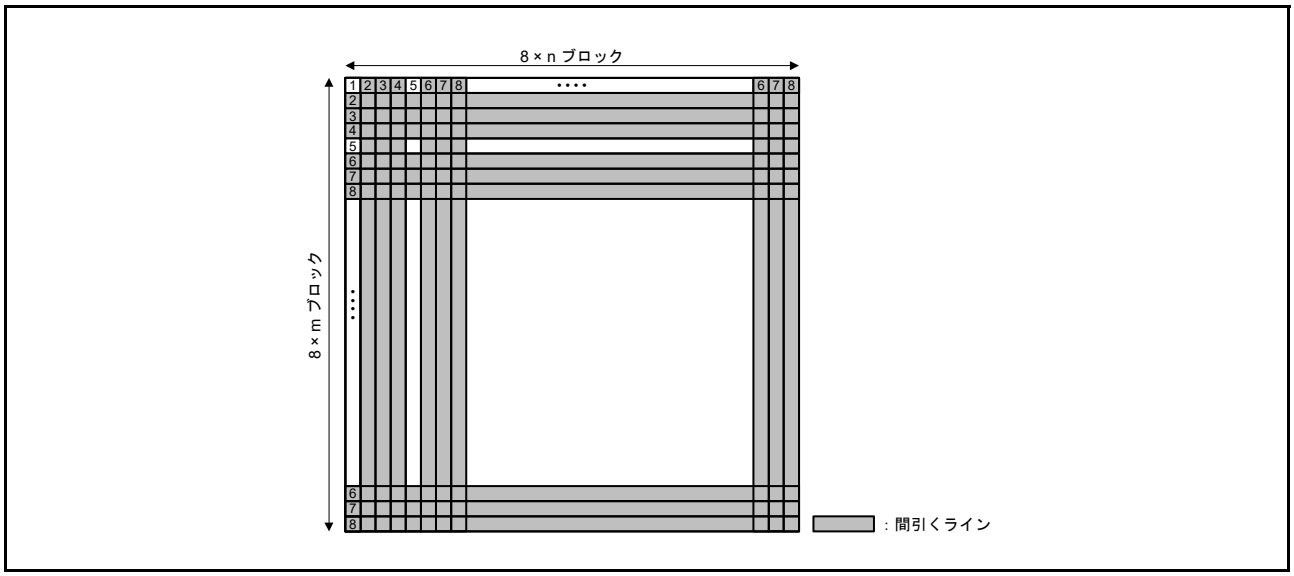


図 57.14　　1/4 間引き選択時の MCU 図

- 1/8 間引き

  2、3、4、5、6、7、8 ライン目を間引きます。

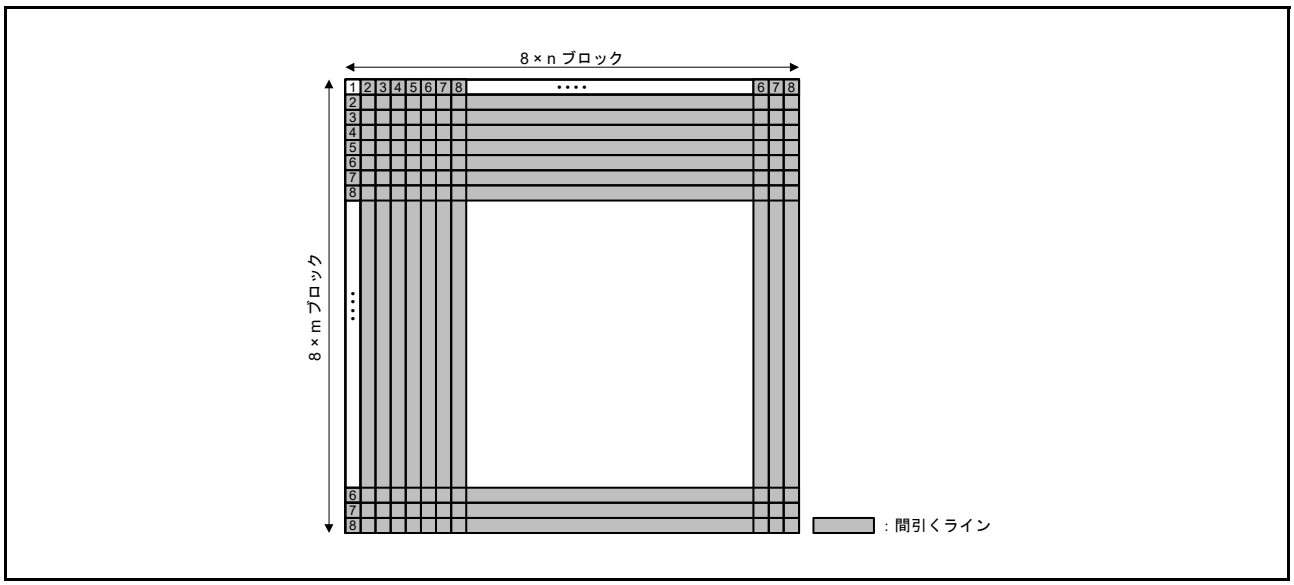


図 57.15　　1/8 間引き選択時の MCU 図

(6)　スワップ

JIFDCNT の DOUTSWAP[2:0] ビットによりデータ配置を変更することが可能です。

57.3.4 画像データ格納

図 57.16 に画像データのバッファへの格納図を示します。

- スタートアドレス
  - 圧縮：JIFESA
  - 伸長：JIFDDA
- 水平方向サイズ
  - 圧縮、伸長：JCHSZU、JCHSZD
- 垂直方向サイズ
  - 圧縮、伸長：JCVSAU、JCVSZD
- オフセット
  - 圧縮：JIFESOFST
  - 伸長：JIFDDOFST

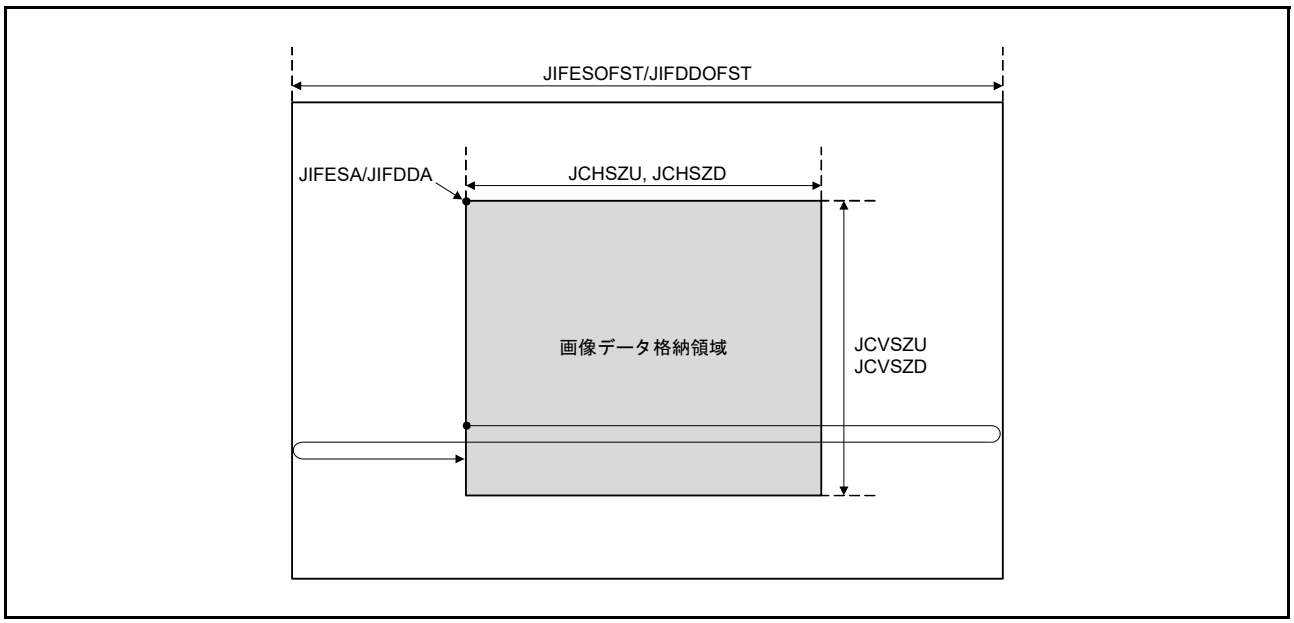


図 57.16 画像データ格納概念図

57.4 割り込み

JPEG コーデックにおける割り込み要求には、圧縮伸長処理割り込み要求（JPEG_JEDI）とデータ転送割り込み要求（JPEG_JDTI）の 2 種類があります。圧縮伸長処理割り込み要求は圧縮／伸長処理関連、データ転送割り込み要求はデータ転送関連の割り込み要因に分類されます。割り込み要因により割り込み要求の解除方法が異なります。

57.4.1 圧縮伸長処理割り込み要求（JPEG_JEDI）

JINTS0 のフラグは、圧縮と伸長に関連する割り込み要因を示すフラグです。これらの割り込み要因でアサートされた割り込み要求は、関連する割り込みステータスビットを 0 にクリアしてもネゲートされません。割り込み要求解除コマンドを発行（JCCMD の JEND ビットを 1 にする）して、割り込み要求をクリアしてください。JINTS0 のフラグが 1 になると、割り込みコントローラユニット（ICU）に対して圧縮伸長処理割り込み要求が送信されます。

(1) 圧縮

- JPEG 圧縮処理終了

  JINTS0 の INS6 ビットが 1 の場合、JPEG 圧縮処理が正常終了しています。符号データの転送が完了すると、圧縮処理は終了します。

(2) 伸長

- JPEG 伸長処理終了

  JINTS0 の INS6 ビットが 1 の場合、JPEG 伸長処理が正常終了しています。画像データの転送が完了すると、伸長処理は終了します。

- JPEG 伸長エラー発生

  JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データにエラーがあり、JPEG コーデックが伸長処理を停止しています。エラーコード（JCDERR の ERR[3:0] ビット）を読み出し、エラー要因を判定してください。本割り込みは、JINTE0 の INT7、INT6、INT5 ビットが 1 の場合に発生します。

- 画像サイズ／ピクセルフォーマット情報読み出しリクエスト

  JINTS0 の INS3 ビットが 1 の場合、JPEG 符号データが入力され、ピクセルフォーマット、画像サイズ情報の読み出しが可能となっています。JPEG 伸長処理は一時停止状態なので、各レジスタアクセス後、処理停止解除コマンドを設定し、JPEG 伸長処理を再開させてください。本割り込みは、JINTE0 の INT3 ビットが 1 の場合に発生します。

57.4.2 データ転送処理割り込み要求（JPEG_JDTI）

JINTS1 のフラグは、画像データと符号データの転送用の割り込み要因です。本割り込み要因でアサートされた割り込み要求は、割り込みステータスビットを 0 にクリアすることでネゲートされます。

(1) 圧縮

- 入力画像設定ライン分読み出し終了で発生

  JINTS1 の DINLF ビットが 1 の場合、JIFESLC で設定したライン数分の画像データが転送されます。外部バッファに残りの画像データを転送して、外部バッファからの転送処理を再開してください。JINTE1 の DINLEN ビットが 1 の場合、データ転送処理割り込み要求を出力します。

- 全処理終了で発生

  JINTS1 の CBTF ビットが 1 の場合、JPEG コーデックが圧縮処理を完了し、すべての符号データの転送を終了しています。JINTE1 の CBTEN ビットが 1 の場合、データ転送処理割り込み要求を出力します。

(2) 伸長

- 出力画像設定ライン分書き込み終了で発生

  JINTS1 の DOUTLF ビットが 1 の場合、JIFDDLC で設定したライン数分の画像データが転送されます。外部バッファに次の符号データ用の空き領域を用意して、転送処理を再開してください。JINTE1 の DOUTLEN ビットが 1 の場合、データ転送処理割り込み要求を出力します。

- 入力符号設定データ分読み出し終了で発生

  JIFDSDC で設定した符号データ量が転送されたとき、JINTS1 の JINF ビットは 1 になります。外部バッファに次の符号データを用意して、転送処理を再開してください。JINTE1 の JINEN ビットが 1 の場合、データ転送処理割り込み要求を出力します。

- 全処理終了で発生

  JPEG コーデックが伸長処理を完了し、すべての符合データの転送が終了したとき、JINTS1 の DBTF ビットは 1 になります。JINTE1 の DBTEN ビットが 1 の場合、データ転送処理割り込み要求を出力します。

57.5 バスリセット処理

バスリセットコマンドの発行（JCCMD の BRST ビットを 1 にする）を行うことにより、バスリセットが実行されます。JPEG コーデック動作中はバスリセットコマンドを発行しないでください。下記のレジスタはバスリセットで初期化されます。

- JPEG コードデータカウント上位レジスタ（JCDTCU）
- JPEG コードデータカウント中位レジスタ（JCDTCM）
- JPEG コードデータカウント下位レジスタ（JCDTCD）
- JPEG 割り込みステータスレジスタ 0（JINTS0）
- JPEG コードデコードエラーレジスタ（JCDERR）
- JPEG コード再起動レジスタ（JCRST）

58. グラフィック LCD コントローラ（GLCDC）

多機能グラフィック LCD コントローラ（GLCDC）は、複数のデータフォーマットおよびパネルをサポートしています。GLCDC の主な機能は以下の通りです。

- グラフィックデータにアクセスするための GPX バスマスタ機能
- プレーン 3 面のスーパーインポーズ（単色バックグラウンドプレーン、グラフィック 1 プレーン、グラフィック 2 プレーン）
- 32 ビット／ピクセル、16 ビット／ピクセルのグラフィックデータ、および 8 ビット、4 ビット、1 ビットの LUT データフォーマットを各種サポート
- WVGA 映像画像サイズ以上をサポートするデジタルインタフェース信号出力

図 58.1 に GLCDC のブロック図を示します。

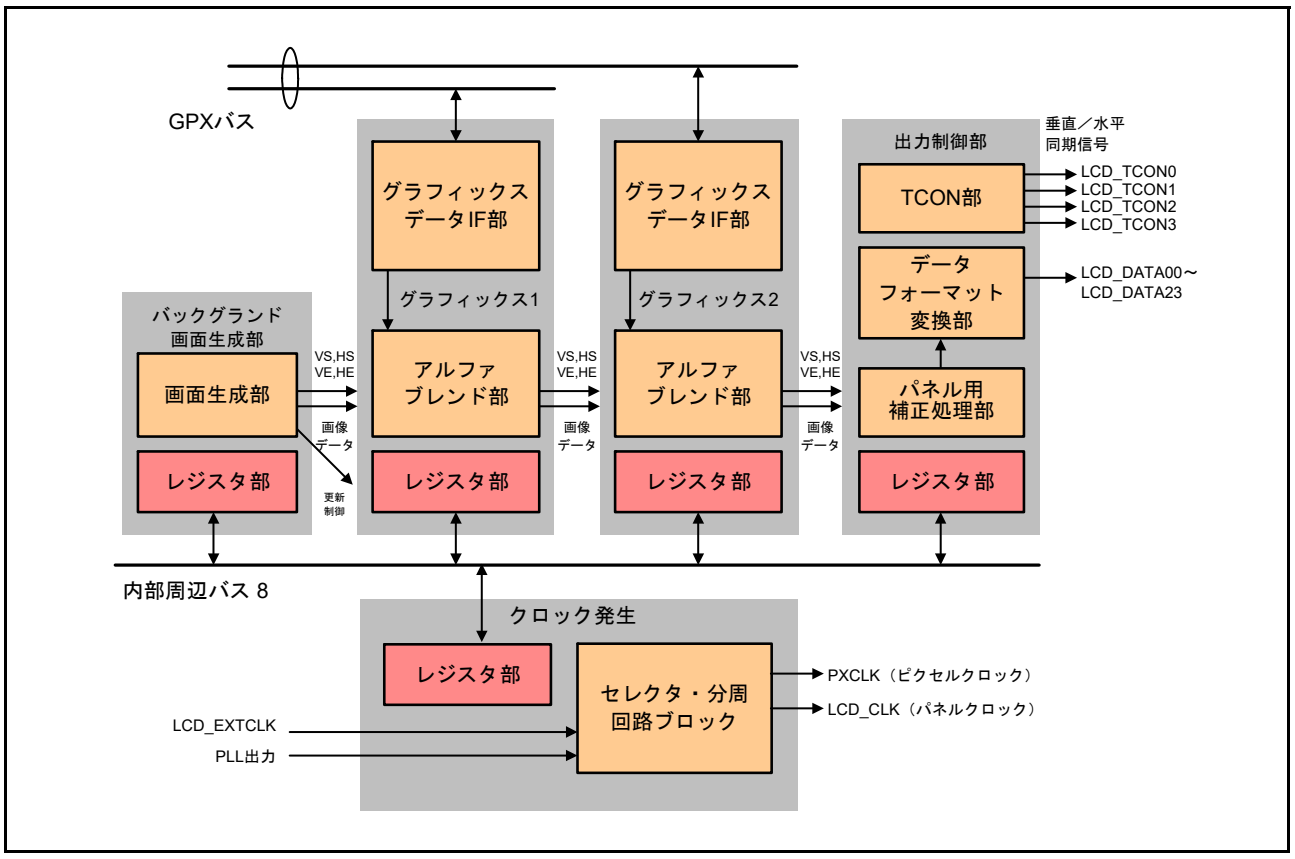


図 58.1 GLCDC のブロック図

表 58.1 GLCDC入出力端子

端子名	入出力	機能
LCD_EXTCLK	入力	パネルクロックソース入力端子
LCD_CLK	出力	パネルクロック出力端子
LCD_DATA00～LCD_DATA23	出力	LCD信号出力端子 RGB888信号R/G/B：各8ビット（符号なし） RGB666信号R/G/B：各6ビット（符号なし） RGB565信号R/B：各5ビット（符号なし） G：6ビット（符号なし） シリアルRGB信号R/G/B/-：8ビット（符号なし）
LCD_TCON3	出力	LCD_TCON3出力信号端子
LCD_TCON2	出力	LCD_TCON2出力信号端子
LCD_TCON1	出力	LCD_TCON1出力信号端子
LCD_TCON0	出力	LCD_TCON0出力信号端子

58.1 機能概要

表 58.2 に、GLCDC の機能概要を示します。

表 58.2 GLCDCの機能概要 (1/2)

項目		機能
グラフィック	グラフィックプレーン	• 単色バックグラウンドプレーン（最下層）とグラフィックプレーン2面 • グラフィックプレーンは下層プレーンとアルファブレンド可能
	ピクセルフォーマット	• RGB-888プログレッシブフォーマット （-：8ビット、R：8ビット、G：8ビット、B：8ビット、合計32ビット） • ARGB8888プログレッシブフォーマット （A：8ビット、R：8ビット、G：8ビット、B：8ビット、合計32ビット） • RGB565プログレッシブフォーマット （A：なし、R：5ビット、G：6ビット、B：5ビット、合計16ビット） • ARGB1555プログレッシブフォーマット （CLUT：1ビット、R：5ビット、G：5ビット、B：5ビット、合計16ビット） • ARGB4444プログレッシブフォーマット （A：4ビット、R：4ビット、G：4ビット、B：4ビット、合計16ビット） • CLUT8プログレッシブフォーマット（カラーパレットアドレス：8ビット） • CLUT4プログレッシブフォーマット（カラーパレットアドレス：4ビット） • CLUT1プログレッシブフォーマット（カラーパレットアドレス：1ビット） • CLUTメモリ：512ワード x グラフィックプレーン1面あたり32ビット（ARGB8888）
	フレームバッファ制御	フレームバッファに対して、以下のパラメータを設定できます。 • ベースアドレス：フレームバッファの開始アドレス、64バイト境界に整列（バースト転送サイズ） • マクロラインオフセット：開始アドレスから次のマクロラインへのオフセットアドレス、64バイト境界に整列（バースト転送サイズ） • フレームオフセット：開始アドレスから次のフレームへのオフセットアドレス、64バイト境界に整列（バースト転送サイズ） • データ転送回数：マクロラインのデータ転送回数 • マクロライン数：1フレーム内のマクロライン数
	アルファブレンディング	• 矩形領域のアルファブレンディング（ブレンド比率：256階調） • ピクセル単位のアルファブレンディング（ブレンド比率：256階調） • RGBインデックスクロマキー（オブジェクトの色が既定値と一致する場合に指定色に置き換える）
映像画像フォーマット		• 垂直方向ライン総数：最大1024ライン • 有効垂直方向ライン数：16～1020ライン（解像度：1ライン） • 垂直フロントポーチ：2ライン（最小） • 垂直バックポーチ：1ライン（最小） • 垂直パルス幅：1ライン • 水平方向画素総数：最大1024ピクセル • 有効水平方向画素数：16～1016ピクセル（解像度：2ピクセル） • 水平フロントポーチ：3ピクセル（最小） • 水平バックポーチ：1ピクセル（最小） • 水平パルス幅：4ピクセル • 出力映像画像サイズ：（16ライン × 16ピクセル）～（1,020ライン × 1,016ピクセル）
出力制御データフォーマット	データフォーマット	• RGB888（パラレル24ビット） • RGB666（パラレル18ビット） • RGB565（パラレル16ビット） • RGB888（シリアル8ビット）；クロックサイクルはピクセルクロックの4倍 • ビットエンディアン順序の変更とB/R信号スワップ
	ディザ処理	• 10ビット信号（パネルに合わせた補正後の出力）から8ビット、6ビット、5ビット信号（出力データフォーマット）に低減させる • 以下のモードをサポート： - 切り捨てモード - 四捨五入モード - 2 × 2パターンディザモード
	同期信号出力	最大4個の同期信号を出力可能： • 垂直同期信号 • 水平同期信号 • 垂直ディスプレイ／データ有効信号 • 水平ディスプレイ／データ同期信号

表 58.2 GLCDCの機能概要 (2/2)

項目		機能
出力制御パネルに合わせた補正処理	輝度とコントラスト	• 10ビット内部処理：この処理とガンマ補正のシーケンスはスワップできます。 • 輝度：DC値調整範囲：-512[LSB]～+512[LSB] • コントラスト：ゲイン値調整範囲：0～2倍（0/128～255/128）
	ガンマ補正	• 16領域；入出力：10ビット • 対象領域におけるゲイン値調整範囲：0～2倍（0/1024～2047/1024）
割り込み		• 指定ライン数割り込み（GLCDC_VPOS） • グラフィック1バッファアンダーフロー割り込み（GLCDC_L1UNDF） • グラフィック2バッファアンダーフロー割り込み（GLCDC_L2UNDF）

58.1.1 GLCDC 構成

図 58.2 に GLCDC の構成を示します。

GLCDC には、次のブロックが含まれます。

- バックグラウンド画面生成ブロック：バックグラウンド画面の生成（ブランキング期間を含む）、背景色の選択、画面制御のための同期信号の生成を行います
- グラフィックデータインタフェースブロック（2 ブロック）: GPX バスから読み出したグラフィックデータ／ CLUT データを、内部処理のため ARGB（8888）データに変換し、クロックを転送します（PCLKA → PXCLK）
- アルファブレンディングブロック（2 ブロック）：グラフィックデータを下層画面にスーパーインポーズし、レジスタ設定、および現在表示されている画面のグラフィックデータのアルファブレンディング値に基づきアルファブレンディングを行います
- TCON ブロック：内部垂直／水平同期信号から、接続されたパネルの仕様に適した垂直／水平方向の同期／許可信号を生成します
- データフォーマット変換ブロック：データを特定の内部 RGB888 フォーマットに処理し、出力画像データ長のディザ補正によりパネル仕様に適した特定フォーマットのデータに処理します
- パネル指向型補正処理ブロック：輝度とコントラストの補正、および接続されたパネルの特性に適したガンマ補正を行います。輝度とコントラストの補正、またはガンマ補正のいずれかを最初に実行できます
- クロック生成ブロック：LCD_EXTCLK 出力または PLL 出力から、特定の周波数でピクセルクロックおよびパネルクロックを生成します

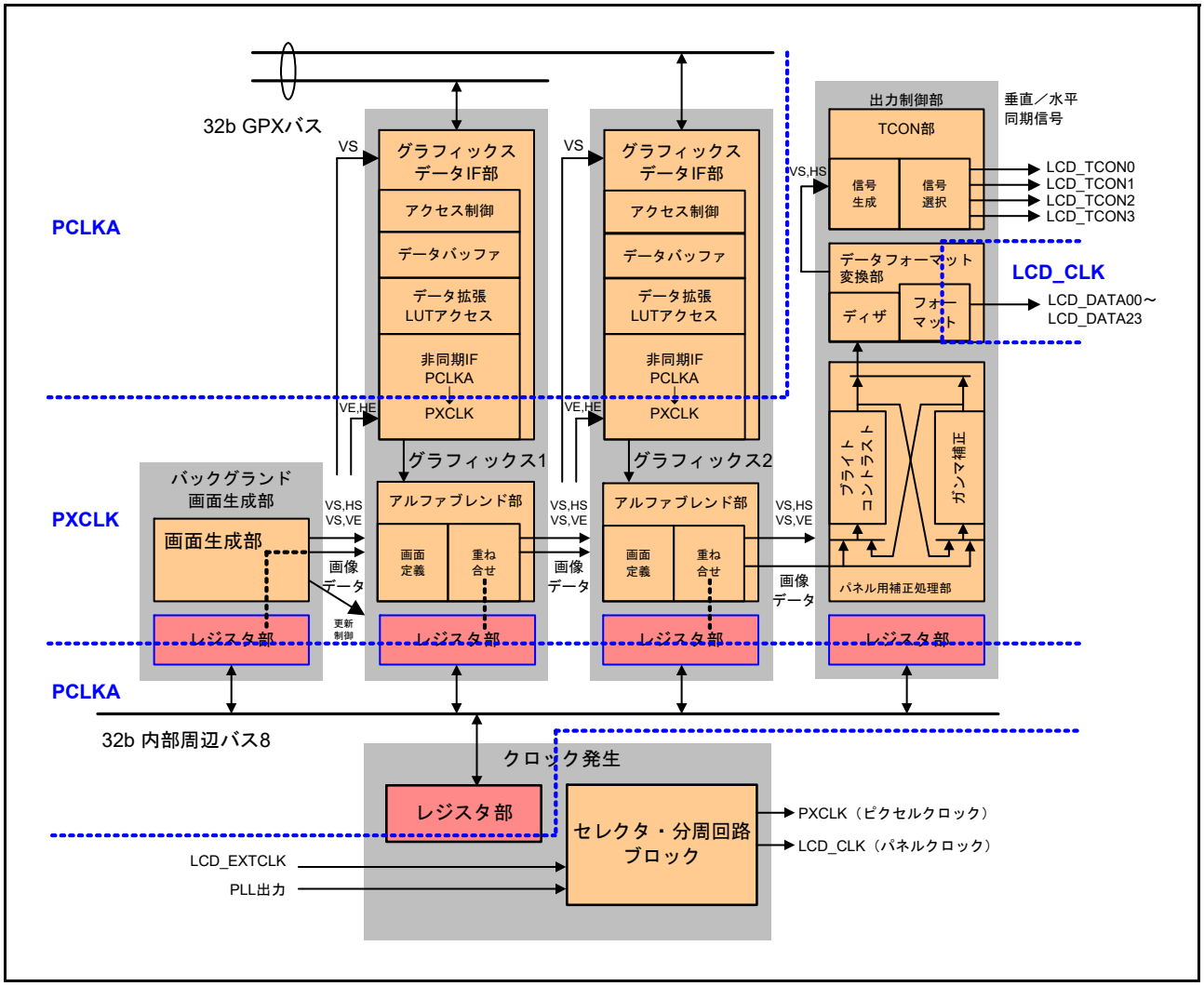


図 58.2　　GLCDC の構成

58.1.2 画面フォーマット

図 58.3 に、GLCDC 画面フォーマットの概要を示します。

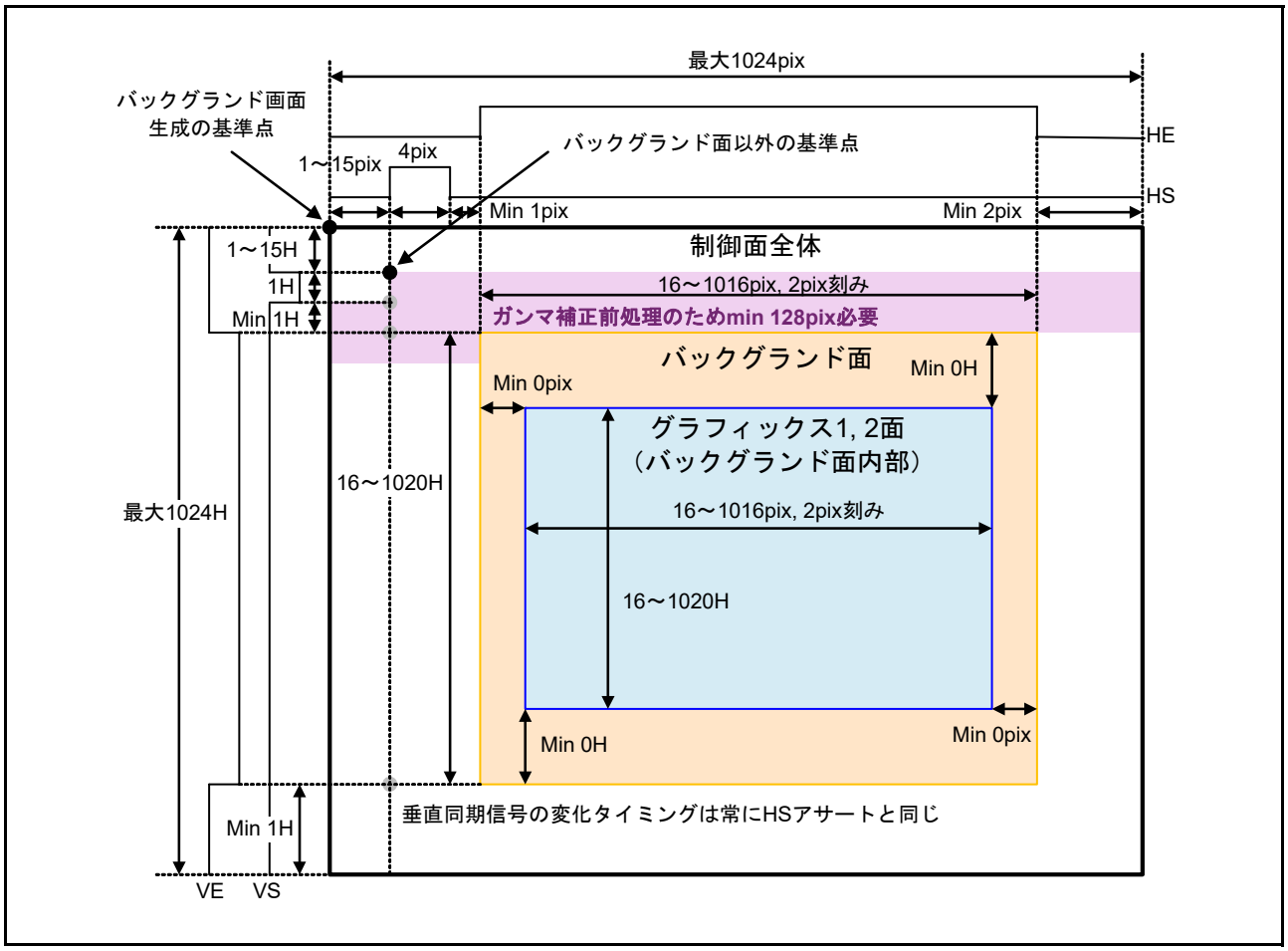


図 58.3 画面フォーマット

バックグラウンド画面生成ブロックは、モジュール全体での動作に必要なタイミング信号を生成します。グラフィックデータインタフェースブロック、アルファブレンディングブロック、ガンマ補正ブロック、出力制御ブロック、TCON ブロックは、バックグラウンド画面生成ブロックから連続して転送される同期／許可信号に基づき動作します。

58.1.3 グラフィック、カラーパレット（CLUT）のデータフォーマット

GLCDC は、バックグラウンド画面を含む 3 つのディスプレイ画面を操作します。バックグラウンド画面のフレームデータはレジスタに格納されている RGB888 グラフィックデータで、その他 2 画面のフレームデータは GPX バスに接続されたメモリに格納された 32 ビット／ピクセル、16 ビット／ピクセルのグラフィックデータ、もしくは 8 ビット／ピクセル、4 ビット／ピクセル、1 ビット／ピクセルのカラーパレット（CLUT）データです。関連画面のフレームデータは、グラフィックデータインタフェースブロックにより GLCDC に読み出され、スーパーインポーズおよびブレンド処理のために ARGB8888 データに拡張（変換）されます。図 58.4 に、フレームデータフォーマットを示します。

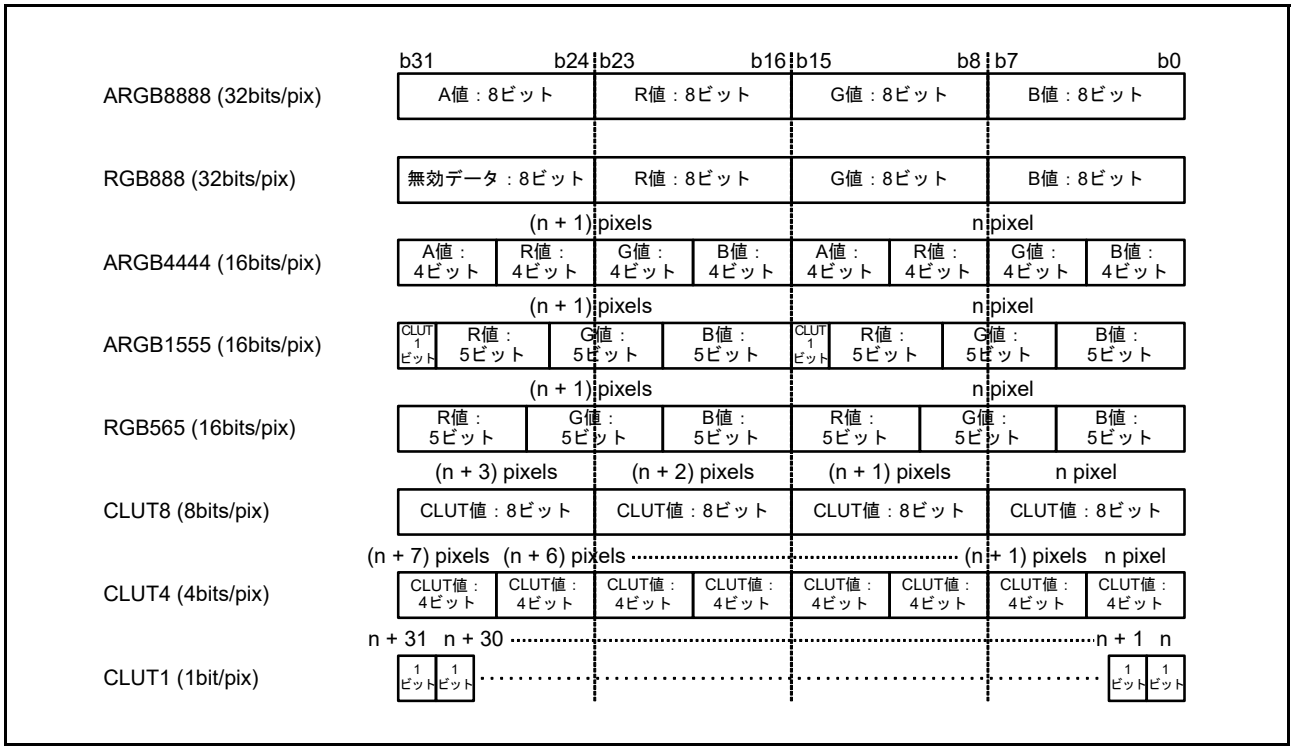


図 58.4　　フレームデータフォーマット

A 値（アルファブレンディング値）は、スーパーインポーズ処理を行った後の下層画面および現在のグラフィック画面を表示するピクセルデータブレンド比率を表しています。ブレンディング処理は、58.1.7　グラフィックデータインタフェースに示された計算式に準じて実行されます。CLUT 値はカラーパレットメモリアドレス（レジスタではプレーン 0 またはプレーン 1 が選択されています）を表し、カラーパレットのデータは ARGB8888（32 ビット／ピクセル）グラフィックデータです。アドレス 01h/00h は CLUT1、0Fh ～ 00h は CLUT4、FFh ～ 00h は CLUT8 でアクセスされます。アドレス 80h/00h は ARGB1555 データでアクセスされます。

58.1.4　　データフォーマットの出力制御

GLCDC は、次のフォーマットおよびレジスタ設定に基づきデータを出力できます。

- データフォーマット
  - パラレル：RGB888、RGB666、RGB565
  - シリアル：RGB888
  - 10 ビット信号を 8 ビット、6 ビット、5 ビット信号に減らした場合、下位ビットは次のいずれかのモードで処理されます。

    - 切り捨てモード

    - 四捨五入モード

    - 2 × 2 パターンディザ処理 + 切り捨てモード
- ピクセル配列
  - RGB
  - BGR

- シリアル RGB888 の走査方向選択
  - 順方向走査
  - 逆方向走査
- シリアル RGB888 のデータ出力遅延
  - 0 ～ 3 クロックサイクル
- 端子配置
  - リトルエンディアン
  - ビッグエンディアン

ディザ処理の詳細については、58.2.48　出力コントロールブロックパネルディザ補正レジスタ（OUT_PDTHA）を参照してください。

パラレル RGB888 フォーマットにおける LCD 信号のビット配置

表 58.3 に、パラレル RGB888 出力フォーマットにおける LCD 信号出力に割り当てられた RGB 信号入力を示します。

表 58.3　パラレルRGB888フォーマットにおけるRGB信号入力のビット配置

端子配置	ピクセル配列			
	RGB、リトルエンディアン	RGB、ビッグエンディアン	BGR、リトルエンディアン	BGR、ビッグエンディアン
LCD_DATA23	R[7]	R[0]	B[7]	B[0]
LCD_DATA22	R[6]	R[1]	B[6]	B[1]
LCD_DATA21	R[5]	R[2]	B[5]	B[2]
LCD_DATA20	R[4]	R[3]	B[4]	B[3]
LCD_DATA19	R[3]	R[4]	B[3]	B[4]
LCD_DATA18	R[2]	R[5]	B[2]	B[5]
LCD_DATA17	R[1]	R[6]	B[1]	B[6]
LCD_DATA16	R[0]	R[7]	B[0]	B[7]
LCD_DATA15	G[7]	G[0]	G[7]	G[0]
LCD_DATA14	G[6]	G[1]	G[6]	G[1]
LCD_DATA13	G[5]	G[2]	G[5]	G[2]
LCD_DATA12	G[4]	G[3]	G[4]	G[3]
LCD_DATA11	G[3]	G[4]	G[3]	G[4]
LCD_DATA10	G[2]	G[5]	G[2]	G[5]
LCD_DATA09	G[1]	G[6]	G[1]	G[6]
LCD_DATA08	G[0]	G[7]	G[0]	G[7]
LCD_DATA07	B[7]	B[0]	R[7]	R[0]
LCD_DATA06	B[6]	B[1]	R[6]	R[1]
LCD_DATA05	B[5]	B[2]	R[5]	R[2]
LCD_DATA04	B[4]	B[3]	R[4]	R[3]
LCD_DATA03	B[3]	B[4]	R[3]	R[4]
LCD_DATA02	B[2]	B[5]	R[2]	R[5]
LCD_DATA01	B[1]	B[6]	R[1]	R[6]
LCD_DATA00	B[0]	B[7]	R[0]	R[7]

注 .　R[7:0]、G[7:0]、B[7:0] は、内部処理された RGB ピクセルデータです。

パラレル RGB666 フォーマットにおける LCD 信号のビット配置

表 58.4 に、パラレル RGB666 出力フォーマットにおける LCD 信号出力に割り当てられた RGB 信号入力を示します。

表 58.4　パラレルRGB666フォーマットにおけるRGB信号入力のビット配置

端子配置	ピクセル配列			
	RGB、リトルエンディアン	RGB、ビッグエンディアン	BGR、リトルエンディアン	BGR、ビッグエンディアン
LCD_DATA23	0固定	0固定	0固定	0固定
LCD_DATA22	0固定	0固定	0固定	0固定
LCD_DATA21	0固定	0固定	0固定	0固定
LCD_DATA20	0固定	0固定	0固定	0固定
LCD_DATA19	0固定	0固定	0固定	0固定
LCD_DATA18	0固定	0固定	0固定	0固定
LCD_DATA17	R[7]	R[2]	B[7]	B[2]
LCD_DATA16	R[6]	R[3]	B[6]	B[3]
LCD_DATA15	R[5]	R[4]	B[5]	B[4]
LCD_DATA14	R[4]	R[5]	B[4]	B[5]
LCD_DATA13	R[3]	R[6]	B[3]	B[6]
LCD_DATA12	R[2]	R[7]	B[2]	B[7]
LCD_DATA11	G[7]	G[2]	G[7]	G[2]
LCD_DATA10	G[6]	G[3]	G[6]	G[3]
LCD_DATA09	G[5]	G[4]	G[5]	G[4]
LCD_DATA08	G[4]	G[5]	G[4]	G[5]
LCD_DATA07	G[3]	G[6]	G[3]	G[6]
LCD_DATA06	G[2]	G[7]	G[2]	G[7]
LCD_DATA05	B[7]	B[2]	R[7]	R[2]
LCD_DATA04	B[6]	B[3]	R[6]	R[3]
LCD_DATA03	B[5]	B[4]	R[5]	R[4]
LCD_DATA02	B[4]	B[5]	R[4]	R[5]
LCD_DATA01	B[3]	B[6]	R[3]	R[6]
LCD_DATA00	B[2]	B[7]	R[2]	R[7]

注 .　R[7:2]、G[7:2]、B[7:2] は、内部処理された RGB ピクセルデータです。

パラレル RGB565 フォーマットにおける LCD 信号のビット配置

表 58.5 に、パラレル RGB565 出力フォーマットにおける LCD 信号出力に割り当てられた RGB 信号入力を示します。

表 58.5　パラレルRGB565フォーマットにおけるRGB信号入力のビット配置

端子配置	ピクセル配列			
	RGB、リトルエンディアン	RGB、ビッグエンディアン	BGR、リトルエンディアン	BGR、ビッグエンディアン
LCD_DATA23	0固定	0固定	0固定	0固定
LCD_DATA22	0固定	0固定	0固定	0固定
LCD_DATA21	0固定	0固定	0固定	0固定
LCD_DATA20	0固定	0固定	0固定	0固定
LCD_DATA19	0固定	0固定	0固定	0固定
LCD_DATA18	0固定	0固定	0固定	0固定
LCD_DATA17	0固定	0固定	0固定	0固定
LCD_DATA16	0固定	0固定	0固定	0固定
LCD_DATA15	R[7]	R[3]	B[7]	B[3]
LCD_DATA14	R[6]	R[4]	B[6]	B[4]
LCD_DATA13	R[5]	R[5]	B[5]	B[5]
LCD_DATA12	R[4]	R[6]	B[4]	B[6]
LCD_DATA11	R[3]	R[7]	B[3]	B[7]
LCD_DATA10	G[7]	G[2]	G[7]	G[2]
LCD_DATA09	G[6]	G[3]	G[6]	G[3]
LCD_DATA08	G[5]	G[4]	G[5]	G[4]
LCD_DATA07	G[4]	G[5]	G[4]	G[5]
LCD_DATA06	G[3]	G[6]	G[3]	G[6]
LCD_DATA05	G[2]	G[7]	G[2]	G[7]
LCD_DATA04	B[7]	B[3]	R[7]	R[3]
LCD_DATA03	B[6]	B[4]	R[6]	R[4]
LCD_DATA02	B[5]	B[5]	R[5]	R[5]
LCD_DATA01	B[4]	B[6]	R[4]	R[6]
LCD_DATA00	B[3]	B[7]	R[3]	R[7]

注 .　R[7:3]、G[7:2]、B[7:3] は、内部処理された RGB ピクセルデータです。

シリアル RGB888 フォーマットにおける RGB 信号入力のビット配置

表 58.6 および表 58.7 に、シリアル RGB888 出力フォーマットにおける LCD 信号出力に割り当てられた RGB 信号入力を示します。

表 58.6　シリアルRGB888フォーマット、RGB配列におけるRGB信号入力のビット配置

	ピクセル配列、走査方向選択、サイクル															
	RGB、リトルエンディアン								RGB、ビッグエンディアン							
	逆方向走査				順方向走査				逆方向走査				順方向走査			
端子配置	1st	2nd	3rd	4th	1st	2nd	3rd	4th	1st	2nd	3rd	4th	1st	2nd	3rd	4th
LCD_DATA23	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
⋮	⋮				⋮				⋮				⋮			
LCD_DATA08	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
LCD_DATA07	不定	B[7]	G[7]	R[7]	R[7]	G[7]	B[7]	不定	不定	B[0]	G[0]	R[0]	R[0]	G[0]	B[0]	不定
LCD_DATA06	不定	B[6]	G[6]	R[6]	R[6]	G[6]	B[6]	不定	不定	B[1]	G[1]	R[1]	R[1]	G[1]	B[1]	不定
LCD_DATA05	不定	B[5]	GI5]	R[5]	R[5]	GI5]	B[5]	不定	不定	B[2]	G[2]	R[2]	R[2]	G[2]	B[2]	不定
LCD_DATA04	不定	B[4]	G[4]	R[4]	R[4]	G[4]	B[4]	不定	不定	B[3]	G[3]	R[3]	R[3]	G[3]	B[3]	不定
LCD_DATA03	不定	B[3]	G[3]	R[3]	R[3]	G[3]	B[3]	不定	不定	B[4]	G[4]	R[4]	R[4]	G[4]	B[4]	不定
LCD_DATA02	不定	B[2]	G[2]	R[2]	R[2]	G[2]	B[2]	不定	不定	B[5]	G[5]	R[5]	R[5]	G[5]	B[5]	不定
LCD_DATA01	不定	B[1]	G[1]	R[1]	R[1]	G[1]	B[1]	不定	不定	B[6]	G[6]	R[6]	R[6]	G[6]	B[6]	不定
LCD_DATA00	不定	B[0]	G[0]	R[0]	R[0]	G[0]	B[0]	不定	不定	B[7]	G[7]	R[7]	R[7]	G[7]	B[7]	不定

注 .　R[7:0]、G[7:0]、B[7:0] は、内部処理された RGB ピクセルデータです。

表 58.7　シリアルRGB888フォーマット、BGR配列におけるRGB信号入力のビット配置

	ピクセル配列、走査方向選択、サイクル															
	BGR、リトルエンディアン								BGR、ビッグエンディアン							
	逆方向走査				順方向走査				逆方向走査				順方向走査			
端子配置	1st	2nd	3rd	4th	1st	2nd	3rd	4th	1st	2nd	3rd	4th	1st	2nd	3rd	4th
LCD_DATA23	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
⋮	⋮				⋮				⋮				⋮			
LCD_DATA08	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
LCD_DATA07	不定	R[7]	G[7]	B[7]	B[7]	G[7]	R[7]	不定	不定	R[0]	G[0]	B[0]	B[0]	G[0]	R[0]	不定
LCD_DATA06	不定	R[6]	G[6]	B[6]	B[6]	G[6]	R[6]	不定	不定	R[1]	G[1]	B[1]	B[1]	G[1]	R[1]	不定
LCD_DATA05	不定	R[5]	GI5]	B[5]	B[5]	GI5]	R[5]	不定	不定	R[2]	G[2]	B[2]	B[2]	G[2]	R[2]	不定
LCD_DATA04	不定	R[4]	G[4]	B[4]	B[4]	G[4]	R[4]	不定	不定	R[3]	G[3]	B[3]	B[3]	G[3]	R[3]	不定
LCD_DATA03	不定	R[3]	G[3]	B[3]	B[3]	G[3]	R[3]	不定	不定	R[4]	G[4]	B[4]	B[4]	G[4]	R[4]	不定
LCD_DATA02	不定	R[2]	G[2]	B[2]	B[2]	G[2]	R[2]	不定	不定	R[5]	G[5]	B[5]	B[5]	G[5]	R[5]	不定
LCD_DATA01	不定	R[1]	G[1]	B[1]	B[1]	G[1]	R[1]	不定	不定	R[6]	G[6]	B[6]	B[6]	G[6]	R[6]	不定
LCD_DATA00	不定	R[0]	G[0]	B[0]	B[0]	G[0]	R[0]	不定	不定	R[7]	G[7]	B[7]	B[7]	G[7]	R[7]	不定

注 .　R[7:0]、G[7:0]、B[7:0] は、内部処理された RGB ピクセルデータです。

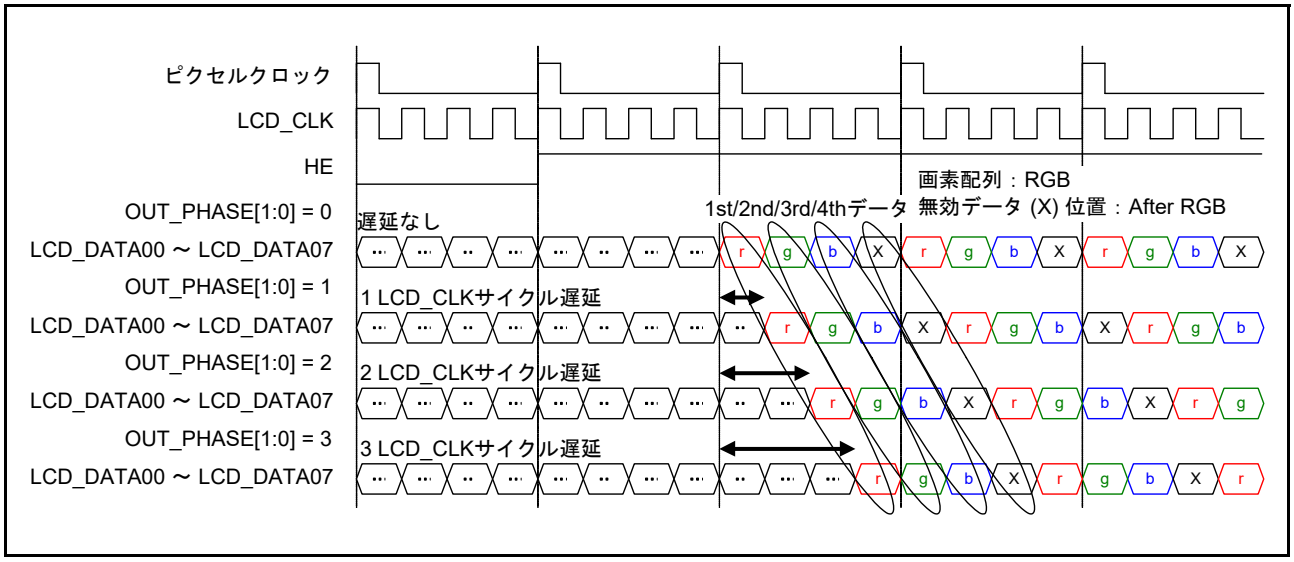


図 58.5　　シリアル RGB888（4x スピード）出力タイミング

58.1.5　　パネル指向型補正処理の出力制御

以下にパネル指向型補正処理を示します。

- 輝度補正
- コントラスト補正
- RGB ガンマ補正

輝度補正は必ずコントラスト補正に先行して行いますが、RGB ガンマ補正はレジスタ設定に基づき、輝度補正およびコントラスト補正の前後どちらでも実行できます。パネル指向型補正では、グラフィック 2 から出力された 8 ビット RGB データを拡張して取得した 10 ビット RGB データが使用され、出力制御（データフォーマット変換）ブロックに 10 ビット RGB データが出力されます。図 58.6 に、パネル指向型補正回路の構成を示します。

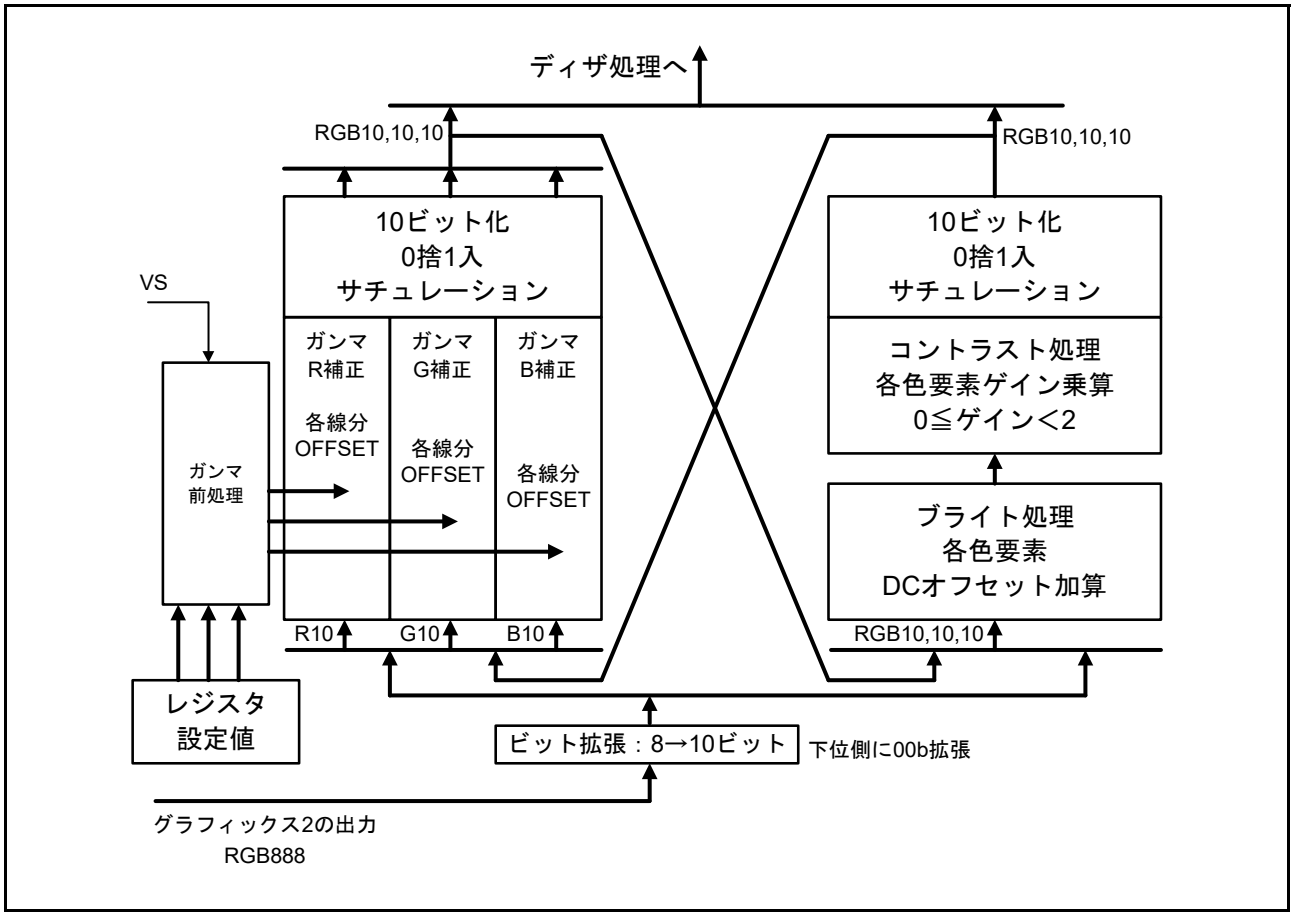


図 58.6　　パネル指向型補正回路の構成

58.1.6　TCON の出力制御

データフォーマット変換ブロック経由で内部垂直／水平同期信号（STVA、STVB、STHA、STHB）から生成された 4 つの信号は、LCD_TCON0、LCD_TCON1、LCD_TCON2、LCD_TCON3 の 4 端子から出力する信号として選択できます。生成された信号は、画像データから完全に独立しています。出力画像フォーマットや内部データ処理の影響を受けず、また信号生成レジスタ設定が出力画像フォーマットや内部データ処理に影響を与えることもありません。TCON ブロックが生成するデータ許可信号 DE は、TCON ブロックが以前に生成した STVB 信号および STHB 信号の論理積です。そのため、DE を出力する場合は合計で 3 つの信号を実際に生成できます。

58.1.7　グラフィックデータインタフェース

グラフィックデータの読み出し用に 2 つの回路システム（グラフィック 1、グラフィック 2）が提供されており、アクセス制御ブロック、データバッファ、CLUT メモリ、データ拡張ブロック、調歩同期式インタフェースブロックをそれぞれ内蔵しています。

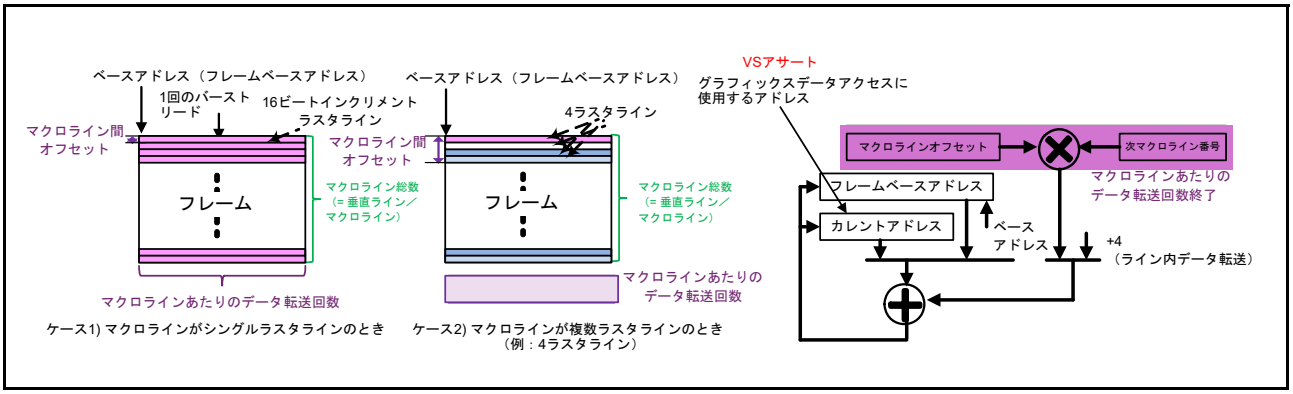


図 58.7　　グラフィックデータアクセスアドレスの計算

グラフィック（すなわち CLUT）データはアクセスされ、ピクセル動作ブロックに ARGB8888 データ（32 ビット／ピクセル）として出力されます。

GPX バスは、二次元的アドレッシングモードのあらかじめ設定されたパラメータに従い、16 ビートインクレメントバーストリードにおいてワード（32 ビット）単位でアクセスされます。マクロライン構造は図 58.7 に示すとおりで、データはデータバッファに格納されています。無効なデータがマクロラインエンドにあったとしても、すべてのデータはデータバッファに格納され、無効データはデータの内部読み出し時にスキップされます。グラフィックデータのフォーマットにかかわらず、データはアルファブレンディングブロックに出力される前に ARGB8888 データに拡張されます。

58.1.8　　ブレンディング

次の処理は、レジスタで指定されたグラフィック領域で行われます。下層グラフィックプレーンは、処理されないままグラフィック領域の外側にあるディスプレイ領域に出力されます。

- ディスプレイプレーンの選択
- RGB インデックスクロマキー
- アルファブレンディング

図 58.8 に、グラフィックディスプレイ選択と矩形アルファブレンディング領域の関係性を示します。

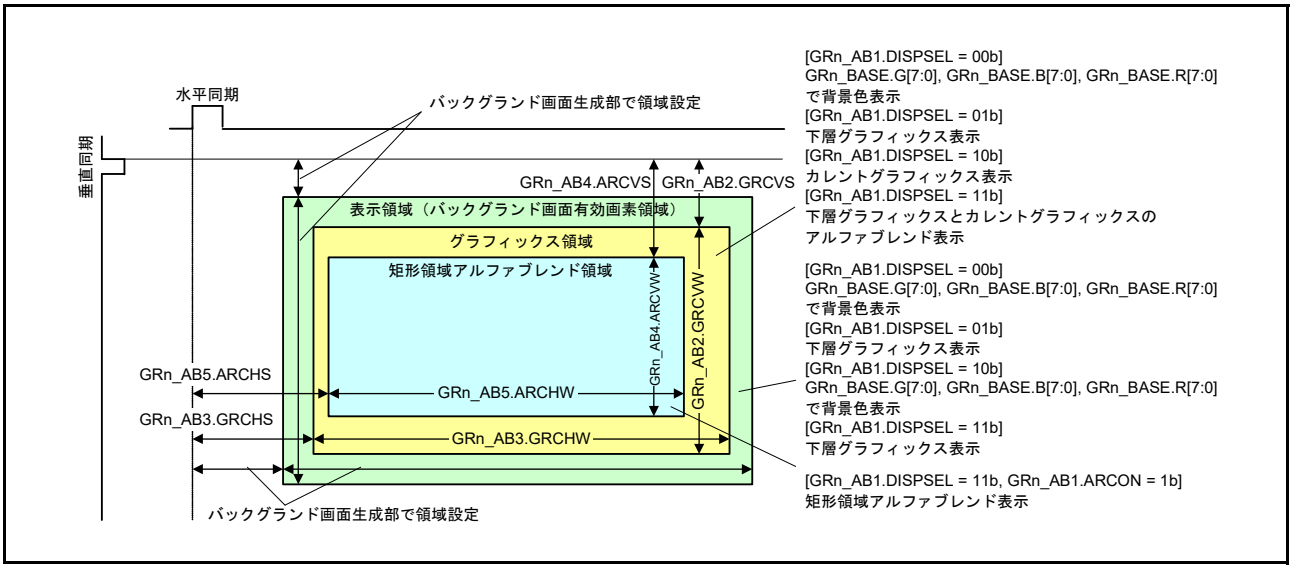


図 58.8　　グラフィックディスプレイの選択

(1) ディスプレイプレーンの選択

レジスタ設定に基づき、次のデータがグラフィック領域に出力されます。

- 背景色
  - レジスタで指定した RGB データ
- 下層グラフィック：
  - 前のモジュールからの RGB データ入力
  - グラフィック 1 のバックグラウンド画面生成ブロックからの出力
  - グラフィック 2 に対するグラフィック 1 からの出力
- 現在のグラフィック：
  - グラフィック1／グラフィック2がGPXバスまたはCLUTデータを介して読み出したグラフィックデータを、グラフィックデータインタフェースブロックが ARGB8888 フォーマットデータに拡張して取得した RGB データです
- ブレンディング：
  - アルファブレンディング値またはレジスタ設定に基づき、グラフィックデータインタフェースブロックを ARGB8888 フォーマットデータに拡張して取得した下層グラフィックデータと現在のグラフィックデータをブレンディングして取得した RGB データです

これらの機能に関連するレジスタ値は、ディスプレイ動作中に変更できます。また、垂直同期時に内部動作へのレジスタ設定反映を有効にしている場合、VS（垂直同期信号）アサート時に内部動作への更新反映が可能です。

(2) RGB インデックスクロマキー

グラフィックデータインタフェースブロックからの ARG8888 入力の RGB 値が GRn_AB8 レジスタ設定値と一致する場合、ARGB8888 データは GRn_AB9 レジスタの事前設定値と完全に置き換えられます。グラフィックデータインタフェースブロックからの ARGB8888 データ入力は、すべてのこのプロセスの対象となります。アプリケーションが CLUT メモリ出力を処理対象外とする場合、GRn_AB7.CKON の該当プロセスを無効にする必要があります。

(3) アルファブレンディング

選択したディスプレイプレーンでブレンディングが選択されている場合、下層グラフィックと現在のグラフィックはレジスタ設定に基づき、次のいずれかの機能を使用してアルファブレンディングされます。

(a) 矩形領域のアルファブレンディング

次のプロセスは、レジスタに事前設定された矩形領域（グラフィック領域に含まれる）に対して実行されます。

1. 下層グラフィックプレーンと現在のグラフィックプレーンを、レジスタに設定された A 値に従いブレンドする。
2. レジスタに設定された数のフレームが通過すると、A 値を A 値＋Δ（レジスタ設定）に更新する。
3. 下層グラフィックプレーンと現在のグラフィックプレーンを、更新後の A 値に従いブレンドする。
4. レジスタに設定された数のフレームが通過した後に A 値を更新するプロセスを繰り返す（A 値：最小／最大値飽和）。

(b) ピクセル単位のアルファブレンディング

下層グラフィックプレーンと現在のグラフィックプレーンは、グラフィックデータインタフェースブロックからの ARGB8888 データ入力の A 値に従いブレンドされます。

図 58.9 に、矩形アルファブレンディング領域のアルファブレンディング値の更新について示します。

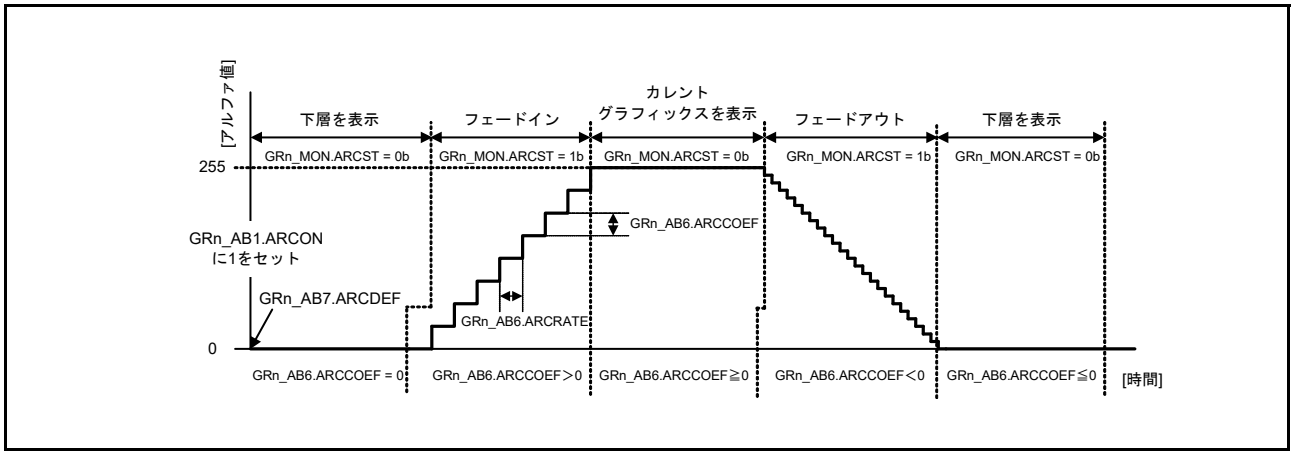


図 58.9　　アルファブレンディング値の更新

アルファブレンディングは以下の式に基づいています。

A 値 = 255 の場合

Rout/Gout/Bout = 現在のグラフィックデータ

A 値 ≠ 255 の場合

Rout = (Rin1 × A + Rin0 × (256 - A))/256

Gout = (Gin1 × A + Gin0 × (256 - A))/256

Bout = (Bin1 × A + Bin0 × (256 - A))/256

このとき、以下のとおりとなります。

A：アルファブレンディング値

Rin1/Gin1/Bin1：現在のグラフィックデータ

Rin0/Gin0/Bin0：下層グラフィックデータ

58.2 レジスタの説明

58.2.1 カラーパレット（CLUT）

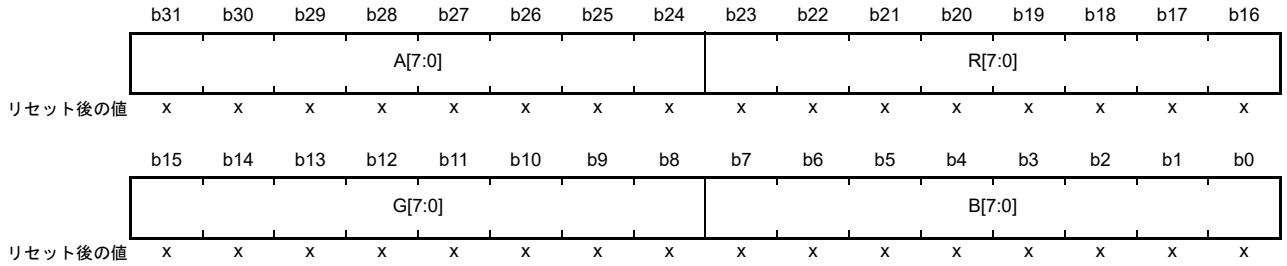
- グラフィック1プレーン0のカラーパレット0プレーン～グラフィック1プレーン255のカラーパレット0プレーン（GR1_CLUT0[0]～GR1_CLUT0[255]）

  アドレス GLCDC.GR1_CLUT0[0] 400E 0000h～GLCDC.GR1_CLUT0[255] 400E 03FCh
- グラフィック1プレーン0のカラーパレット1プレーン～グラフィック1プレーン255のカラーパレット1プレーン（GR1_CLUT1[0]～GR1_CLUT1[255]）

  アドレス GLCDC.GR1_CLUT1[0] 400E 0400h～GLCDC.GR1_CLUT1[255] 400E 07FCh
- グラフィック2プレーン0のカラーパレット0プレーン～グラフィック2プレーン255のカラーパレット0プレーン（GR2_CLUT0[0]～GR2_CLUT0[255]）

  アドレス GLCDC.GR2_CLUT0[0] 400E 0800h～GLCDC.GR2_CLUT0[255] 400E 0BFCh
- グラフィック2プレーン0のカラーパレット1プレーン～グラフィック2プレーン255のカラーパレット1プレーン（GR2_CLUT1[0]～GR2_CLUT1[255]）

  アドレス GLCDC.GR2_CLUT1[0] 400E 0C00h～GLCDC.GR2_CLUT1[255] 400E 0FFCh



x：不定

ビット	シンボル	ビット名	機能	R/W
b7-b0	B[7:0]	グラフィックmプレーンで使用するカラーパレットnプレーンのB値	グラフィックmプレーンで使用するカラーパレットnプレーンのB値。符号なし8ビット整数。	R/W
b15-b8	G[7:0]	グラフィックmプレーンで使用するカラーパレットnプレーンのG値	グラフィックmプレーンで使用するカラーパレットnプレーンのG値。符号なし8ビット整数。	R/W
b23-b16	R[7:0]	グラフィックmプレーンで使用するカラーパレットnプレーンのR値	グラフィックmプレーンで使用するカラーパレットnプレーンのR値。符号なし8ビット整数。	R/W
b31-b24	A[7:0]	グラフィックmプレーンで使用するカラーパレットnプレーンのアルファブレンディング値	グラフィックmプレーンで使用するカラーパレットnプレーンのアルファブレンディング値。符号なし8ビット整数。	R/W

B[7:0] ビット（グラフィック m プレーンで使用するカラーパレット n プレーンの B 値）

このカラーパレットが使用されている場合に B 値を設定します。

G[7:0] ビット（グラフィック m プレーンで使用するカラーパレット n プレーンの G 値）

このカラーパレットが使用されている場合に G 値を設定します。

R[7:0] ビット（グラフィック m プレーンで使用するカラーパレット n プレーンの R 値）

このカラーパレットが使用されている場合に R 値を設定します。

A[7:0] ビット（グラフィック m プレーンで使用するカラーパレット n プレーンのアルファブレンディング値）

このカラーパレットが使用されている場合にアルファブレンディング値を設定します。

グラフィックデータアクセスブロックによる使用が指定されたプレーンに関係なく、すべてのプレーンはレジスタアクセスバス（内部周辺バス 8）を経由してアクセスできます。更新は、垂直同期信号による同期ではなく、内部動作に直接反映されます。CLUT メモリの反映内容を垂直同期信号による同期時に内部動作で保持するには、まずレジスタアクセスバスを介して内部動作で使用していないプレーンにデータを書き込み、次に、使用するプレーンを制御するために GRn_CLUTINT.SEL ビットを変更します。

58.2.2 バックグラウンドプレーン設定動作コントロールレジスタ （BG_EN）

アドレス GLCDC.BG_EN 400E 1000h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VEN	—	—	—	—	—	—	—	EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN	バックグラウンドプレーン動作許可	0：バックグラウンドプレーン動作禁止 1：バックグラウンドプレーン動作許可	R/W
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	VEN	内部動作に対するGLCDC内部レジスタ値反映の制御	0：画面生成開始時の内部動作に対するGLCDCレジスタ値の反映を禁止 1：画面生成開始時の内部動作に対するGLCDCレジスタ値の反映を許可 内部要因により0になります。	R/W
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	SWRST	ソフトウェアリセット制御	0：モジュール全体をソフトウェアリセット状態にする 1：モジュール全体のソフトウェアリセット状態を解除する	R/W
b31-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EN ビット（バックグラウンドプレーン動作許可）

バックグラウンドプレーン生成モジュールの動作を許可／禁止します。動作許可後（EN ビットは 1）に動作を停止させる（EN ビットは 0）と、ソフトウェアリセット発生時とは異なり、画面生成終了時に動作が停止します。

1 にする場合、同時に BG_EN.VEN ビットを 1 にして内部動作へのレジスタ値反映を許可してください。0 にする場合、同時に BG_EN.VEN ビットを 0 にしてください。内部動作へのレジスタ値反映信号が必ずネゲートされるよう、EN ビットを 0 にする前に BG_MON.VEN ビットが 0 であることを確認してください。EN ビットと BG_EN.VEN ビットが 1 の場合、もしくは BG_MON.EN ビットを 0 にする前に他のレジスタの設定を変更した場合、動作は保証されません。

VEN ビット（内部動作に対する GLCDC 内部レジスタ値反映の制御）

垂直同期信号（入力）のアサート時における、GLCDC 内部動作への GLCDC 内部レジスタの反映を許可／禁止します。1 の場合、画面の即時起動時に GLCDC 内部レジスタ値反映制御信号が 1 になり、同一画面の垂直有効ピクセルの終わりに 0 になります。0 の場合に限り 1 にしてください。1 のときに 1 にすると、動作は保証されません。1 の場合、GLCDC での画面起動時、または垂直同期信号（入力）アサート時に内部動作に値が反映されるレジスタは変更しないでください。条件に違反した場合の動作は保証されません。

SWRST ビット（ソフトウェアリセット制御）

バックグラウンドプレーン生成モジュールだけでなく、GLCDC 全体のソフトウェアリセットを制御します。0 のとき、GLCDC はそのときの動作状態にかかわらずリセット状態に遷移します。本ビットは、レジスタの設定、または動作を許可する前に 1 にする必要があります。本ビットを 1 にしても（設定直後）、レジスタ（CLUT メモリレジスタと一部の動作コントロールレジスタを除く）は設定できます。ただし、CLUT メモリへのアクセス、動作の許可、垂直同期信号によるレジスタ値の内部動作への反映を行う前に、PXCLK/LCD_CLK と PCLKA が供給されていること、およびモジュールソフトウェアリセット状態を全体的に監視する BG_MON.SWRST ビットが 1 になっていることを必ず確認してください。PXCLK/LCD_CLK および PCLKA が供給されていない、または BG_MON.SWRST ビットが 1 ではない状態で、ソフトウェアによる CLUT メモリへのアクセス、動作の許可、垂直同期信号による内部動作へのレジスタ値の反映を行った場

合、動作は保証されません。本ビットがソフトウェアリセットの適用または解除に使用される場合、周辺バスクロック（PCLKA）は必ずGLCDCへ供給されていなければなりません。PCLKAが供給されていない場合、このビットへの書き込みは不可能です。

このレジスタのビットは、GLCDCの状態を制御します。内部状態は、ステータスモニタレジスタおよびBG_EN.VEN（このレジスタ）の関連ビットから読み出すことができます。複数のクロック信号で動作するGLCDCの状態遷移には一定の期間が必要なため、設定を変更した場合は必ず内部状態が安定した（状態遷移が完了した）ことを確認してください。内部状態が安定する（状態遷移が完了する）前に再度設定を変更した場合、動作は保証されません。ただし、ソフトウェアリセットを0にするとGLCDC全体はすぐにリセットされ、1にするとリセット状態が解除されます。この動作に、PXCLKのクロック供給は必要ありません。

58.2.3 バックグラウンドプレーン設定フリーラン周期レジスタ （BG_PERI）

アドレス GLCDC.BG_PERI 400E 1004h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	FV[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	FH[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b10-b0	FH[10:0]	バックグラウンドプレーン水平同期信号期間	ピクセルクロック（PXCLK）に基づく期間 017h：24サイクル（ピクセル） 3FFh：1024サイクル（ピクセル） 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	FV[10:0]	バックグラウンドプレーン垂直同期信号期間	ラインに基づく期間 013h：20ライン 3FFh：1024ライン 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

FH[10:0] ビット（バックグラウンドプレーン水平同期信号期間）

バックグラウンドプレーンの水平同期信号期間を設定します。このフィールドは 11 ビットから成り、000h ～ 7FFh の任意の数を設定できます。ただし、有効範囲は 017h ～ 3FFh です。有効範囲外の値を設定した場合、動作は保証されません。

FV[10:0] ビット（バックグラウンドプレーン垂直同期信号期間）

バックグラウンドプレーンの垂直同期信号期間を設定します。このフィールドは 11 ビットから成り、000h ～ 7FFh の任意の数を設定できます。ただし、有効範囲は 013h ～ 3FFh です。有効範囲外の値を設定した場合、動作は保証されません。

58.2.4 バックグラウンドプレーン設定同期位置レジスタ（BG_SYNC）

アドレス GLCDC.BG_SYNC 400E 1008h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	VP[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	HP[3:0]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	HP[3:0]	バックグラウンドプレーン水平同期信号アサート位置	ピクセルクロック（PXCLK）に基づく位置 0h：設定禁止 1h：1サイクル目（ピクセル） ： Fh：15サイクル目（ピクセル）	R/W
b15-b4	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b19-b16	VP[3:0]	バックグラウンドプレーン垂直同期アサート位置	ラインに基づく位置 0h：設定禁止 1h：1ライン目 ： Fh：15ライン目	R/W
b31-b20	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注. 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

HP[3:0] ビット（バックグラウンドプレーン水平同期信号アサート位置）

バックグラウンドプレーンの水平同期信号アサート位置を設定します。信号は、4 ピクセルクロック幅のアサートが保持されます。

VP[3:0] ビット（バックグラウンドプレーン垂直同期アサート位置）

バックグラウンドプレーンの垂直同期信号アサート位置を設定します。信号は、1H 幅をアサート保持され、BG_SYNC.HP[3:0] に 1 水平ライン内でのアサートタイミングが指定されます。

58.2.5 バックグラウンドプレーン設定垂直方向画像フルサイズレジスタ（BG_VSIZE）

アドレス GLCDC.BG_VSIZE 400E 100Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	VP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	VW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	VW[10:0]	バックグラウンドプレーン垂直有効ピクセル幅	ラインに基づく幅 010h：16ライン ： 3FCh：1020ライン 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	VP[10:0]	バックグラウンドプレーン垂直有効ピクセル開始位置	ラインに基づく位置 003h：3ライン目 ： 3EFh：1007ライン目 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

VW[10:0] ビット（バックグラウンドプレーン垂直有効ピクセル幅）

バックグラウンドプレーンの垂直有効ピクセル幅を設定します。このフィールドは 11 ビットから成り、000h ～ 7FFh の任意の数を設定できます。ただし、有効範囲は 010h ～ 3FCh です。有効範囲外の値を設定した場合、動作は保証されません。

VP[10:0] ビット（バックグラウンドプレーン垂直有効ピクセル開始位置）

バックグラウンドプレーンの垂直有効ピクセル開始位置を設定します。このフィールドは 11 ビットから成り、000h ～ 7FFh の任意の数を設定できます。ただし、有効範囲は 003h ～ 3EFh です。有効範囲外の値を設定した場合、動作は保証されません。

垂直有効ピクセル領域を、垂直同期信号 + 2 と（バックグラウンドプレーン終了 - 1）ライン目の間に指定してください。この範囲外に領域を指定した場合、動作は保証されません。

58.2.6 バックグラウンドプレーン設定水平方向画像フルサイズレジスタ（BG_HSIZE）

アドレス GLCDC.BG_HSIZE 400E 1010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	HP[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	HW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	HW[10:0]	バックグラウンドプレーン水平有効ピクセル幅	ピクセルクロック（PXCLK）に基づく幅 010h：16サイクル ： 3F8h：1016サイクル 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	HP[10:0]	バックグラウンドプレーン水平有効ピクセル開始位置	ピクセルクロック（PXCLK）に基づく位置 006h：6サイクル目（ピクセル） ： 3EEh：1006サイクル目（ピクセル） 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

HW[10:0] ビット（バックグラウンドプレーン水平有効ピクセル幅）

バックグラウンドプレーンの水平有効ピクセル幅を設定します。このフィールドは 11 ビットから成り、000h ～ 7FFh の任意の数を設定できます。ただし、有効範囲は 010h ～ 3F8h です。有効範囲外の値を設定した場合、動作は保証されません。シリアル RGB が出力制御ブロックの出力フォーマットに選択されている場合、（水平有効ピクセル幅 + 2）の値を設定してください。

HP[10:0] ビット（バックグラウンドプレーン水平有効ピクセル開始位置）

バックグラウンドプレーンの水平有効ピクセル開始位置を設定します。このフィールドは 11 ビットから成り、000h ～ 7FFh の任意の数を設定できます。ただし、有効範囲は 006h ～ 3EEh です。有効範囲外の値を設定した場合、動作は保証されません。

水平有効ピクセル領域を、水平同期信号 + 5 と画素数（ラインエンド - 2）の間に指定してください。この範囲外に領域を指定した場合、動作は保証されません。

バックグラウンドプレーン生成モジュールは、垂直方向画像フルサイズレジスタ（BG_VSIZE）および水平方向画像フルサイズレジスタ（BG_HSIZE）に定義された領域用に背景色レジスタ（BG_BGC）で指定された値を出力し、ブランキング間隔領域の RGB 値として 00h を出力します。

58.2.7 バックグラウンドプレーン設定背景色レジスタ（BG_BGC）

アドレス GLCDC.BG_BGC 400E 1014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	R[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	G[7:0]								B[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	B[7:0]	バックグラウンドプレーン有効ピクセル領域B値	バックグラウンドプレーン有効ピクセル領域のB値。符号なし8ビット整数。	R/W
b15-b8	G[7:0]	バックグラウンドプレーン有効ピクセル領域G値	バックグラウンドプレーン有効ピクセル領域のG値。符号なし8ビット整数。	R/W
b23-b16	R[7:0]	バックグラウンドプレーン有効ピクセル領域R値	バックグラウンドプレーン有効ピクセル領域のR値。符号なし8ビット整数。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

B[7:0] ビット（バックグラウンドプレーン有効ピクセル領域 B 値）

バックグラウンドプレーンの有効ピクセル領域に出力する画像データの B 値を設定します。

G[7:0] ビット（バックグラウンドプレーン有効ピクセル領域 G 値）

バックグラウンドプレーンの有効ピクセル領域に出力する画像データの G 値を設定します。

R[7:0] ビット（バックグラウンドプレーン有効ピクセル領域 R 値）

バックグラウンドプレーンの有効ピクセル領域に出力する画像データの R 値を設定します。

58.2.8 バックグラウンドプレーン設定ステータスモニタレジスタ（BG_MON）

アドレス GLCDC.BG_MON 400E 1018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SWRST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	VEN	—	—	—	—	—	—	—	EN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EN	バックグラウンドプレーン動作モニタ	0：動作停止 1：動作中	R
b7-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	VEN	モジュール全体の内部動作反映制御信号モニタ	0：垂直同期信号アサート時における内部動作へのレジスタ値反映制御信号をネゲートする 1：垂直同期信号アサート時における内部動作へのレジスタ値反映制御信号をアサートする	R
b15-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	SWRST	モジュール全体のSWリセット状態モニタ	0：モジュール全体がソフトウェアリセット状態 1：モジュール全体がソフトウェアリセット解除の状態	R
b31-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

EN ビット（バックグラウンドプレーン動作モニタ）

バックグラウンドプレーン生成モジュールが動作しているかどうかを示します。BG_EN.EN を 0 にしてバックグラウンドプレーン生成モジュールの動作を停止するには、EN ビットを読み出し、バックグラウンドプレーンの動作が完了していることを確認します。BG_EN.SWRST を 0 にする場合とは異なり、BG_EN.EN を 0 にしてもバックグラウンドプレーンが完了するまで動作は停止しません。

VEN ビット（モジュール全体の内部動作反映制御信号モニタ）

内部動作へ GLCDC 内部レジスタ値の反映を制御する信号の値を示します。この信号は、BG_EN.VEN を 1 にした直後、画面開始時にアサートされ、バックグラウンド画面生成ブロックからの VE ネゲートタイミング出力時にネゲートされます。

SWRST ビット（モジュール全体の SW リセット状態モニタ）

PXCLK 供給時に、モジュール全体のソフトウェアリセット状態を示します。本ビットの値は、BG_EN.SWRST ビットに対するピクセルクロック（PXCLK）のサンプリング結果を周辺モジュールクロック A（PCLKA）が再サンプリングした結果を示します。PXCLK が供給されていない場合でも、BG_EN.SWRST ビットを 0 にすると本ビットは 0 になります。

58.2.9 グラフィック 1 レジスタ更新コントロールレジスタ（GR1_VEN）
グラフィック 2 レジスタ更新コントロールレジスタ（GR2_VEN）

アドレス GLCDC.GR1_VEN 400E 1100h, GLCDC.GR2_VEN 400E 1200h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	PVEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PVEN	内部ピクセル動作へのグラフィックｎレジスタ値反映の制御	0：垂直同期信号（VS）アサート時における内部動作へのレジスタ値反映を禁止 1：垂直同期信号（VS）アサート時における内部動作へのレジスタ値反映を許可 内部要因により0になります。	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

PVEN ビット（内部ピクセル動作へのグラフィック n レジスタ値反映の制御）

垂直同期信号（入力）アサート時における、ピクセル動作回路の内部動作に対するレジスタ値の反映を許可／禁止します。1 のとき、レジスタ値は垂直同期信号（入力）アサート直後に内部動作へ反映され、自動的に 0 になります。0 の場合に限り 1 にしてください。1 のときに 1 にすると、動作は保証されません。また、全モジュールの内部動作に対するレジスタ値の反映を制御するバックグラウンドプレーン生成モジュールから信号出力がアサートされると、本ビットの値にかかわらず、必ず垂直同期信号（入力）アサート時にレジスタ値は内部動作へ反映されます。1 の場合、このブロックへの垂直同期信号（入力）アサート時に内部動作へ値が反映されるレジスタは変更しないでください。条件に違反した場合の動作は保証されません。

本ビットは、バックグラウンドプレーン設定レジスタの 1 つである動作コントロールレジスタ（BG_EN）の BG_EN.VEN ビット（内部動作へのバックグラウンドプレーンレジスタ値反映制御）と同時に 1 にしないでください。条件に違反した場合の動作は保証されません。

58.2.10 グラフィック 1 フレームバッファ読み出しコントロールレジスタ（GR1_FLMRD）グラフィック 2 フレームバッファ読み出しコントロールレジスタ（GR2_FLMRD）

アドレス GLCDC.GR1_FLMRD 400E 1104h, GLCDC.GR2_FLMRD 400E 1204h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RENB
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	RENB	グラフィックデータ読み出し許可	0：読み出し禁止 1：読み出し許可 グラフィックデータはフレームバッファデータです。	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

RENB ビット（グラフィックデータ読み出し許可）

グラフィックデータ（GPX バスを介して接続されているメモリのフレームバッファデータ）の読み出しを許可／禁止します。現在のグラフィックデータが必要な場合、背景パネル動作の許可、レジスタ値内部動作反映制御の許可、グラフィック 1 およびグラフィック 2 のレジスタ値内部動作反映制御の許可を行う前に、データの読み出しを許可（GRn_FLMRD.RENB = 1) する必要があります。

現在のグラフィックデータが必要ない場合、背景パネル動作の許可、レジスタ値内部動作反映制御の許可、グラフィック 1 およびグラフィック 2 のレジスタ値内部動作反映制御の許可を行う前に、データの読み出しを禁止（GRn_FLMRD.RENB = 0) する必要があります。

58.2.11 グラフィック 1 フレームバッファコントロールレジスタ 1（GR1_FLM1）
グラフィック 2 フレームバッファコントロールレジスタ 1（GR2_FLM1）

アドレス GLCDC.GR1_FLM1 400E 1108h, GLCDC.GR2_FLM1 400E 1208h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BSTMD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	BSTMD[1:0]	グラフィックデータアクセスのバースト転送制御	b1 b0 0 0：設定禁止 0 1：設定禁止 1 0：設定禁止 1 1：16ビートインクリメントバースト転送（64バイト境界） グラフィックデータはフレームバッファデータです。	R/W
b31-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

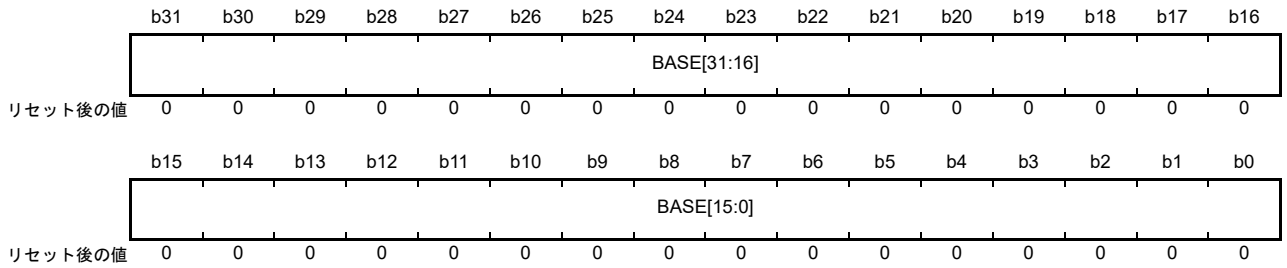
注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

BSTMD[1:0] ビット（グラフィックデータアクセスのバースト転送制御）

グラフィックデータ（GPX バスを介してメモリに接続されているメモリのフレームバッファデータ）にアクセスする場合のバースト転送を制御します。この GLCDC では、これらのビットは 11b に固定されています。それ以外の値にした場合、動作は保証されません。

58.2.12 グラフィック 1 フレームバッファコントロールレジスタ 2（GR1_FLM2）
グラフィック 2 フレームバッファコントロールレジスタ 2（GR2_FLM2）

アドレス GLCDC.GR1_FLM2 400E 110Ch, GLCDC.GR2_FLM2 400E 120Ch



ビット	シンボル	ビット名	機能	R/W
b31-b0	BASE[31:0]	グラフィックデータアクセスで使用するベースアドレス	グラフィックデータが格納されるフレームバッファの開始アドレス。64バイトバースト転送中はFix GRn_FLM2.BASE[5:0]～0。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

BASE[31:0] ビット（グラフィックデータアクセスで使用するベースアドレス）

グラフィックデータアクセスで使用するベースアドレス（最初のブレームバッファの開始アドレス）を指定します。GLCDC は、データが 64 バイト境界に整列している 16 ビートインクリメントバースト転送モードしかサポートしないため、下位 6 ビット（GRn_FLM2.BASE[5:0]）は 0 に固定する必要があります。

58.2.13 グラフィック 1 フレームバッファコントロールレジスタ 3（GR1_FLM3）
グラフィック 2 フレームバッファコントロールレジスタ 3（GR2_FLM3）

アドレス GLCDC.GR1_FLM3 400E 1110h, GLCDC.GR2_FLM3 400E 1210h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LNOFF[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b16	LNOFF[15:0]	グラフィックデータアクセスで使用するマクロラインオフセットアドレス	グラフィックデータ（フレームバッファデータ）にアクセスする場合のマクロラインオフセットアドレス。符号あり、16ビット整数。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

LNOFF[15:0] ビット（グラフィックデータアクセスで使用するマクロラインオフセットアドレス）

グラフィックデータにアクセスする場合のマクロラインオフセットアドレスを指定します（次のマクロラインの開始アドレスを計算するため、現在のアドレスのマクロラインエンドにオフセットを追加します）。GLCDC は、データが 64 バイト境界に整列している 16 ビートインクリメントバースト転送モードしかサポートしないため、下位 6 ビット（GRn_FLM3.LNOFF[5:0]）は 0 に固定する必要があります。

58.2.14 グラフィック 1 フレームバッファコントロールレジスタ 5（GR1_FLM5）
グラフィック 2 フレームバッファコントロールレジスタ 5（GR2_FLM5）

アドレス GLCDC.GR1_FLM5 400E 1118h, GLCDC.GR2_FLM5 400E 1218h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	LNNUM[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DATANUM[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b15-b0	DATANUM[15:0]	グラフィックデータアクセスのためのラインあたりのデータ転送回数	グラフィックデータ（フレームバッファデータ）にアクセスする場合の1マクロラインあたりのデータ転送回数で、1回の転送は16ビートバーストアクセス（64バイト境界）と定義されています。 0000h：1回 ： FFFFh：65536回	R/W
b26-b16	LNNUM[10:0]	グラフィックデータにアクセスするためのフレームあたりのライン数	グラフィックデータ（フレームバッファデータ）にアクセスする場合の1フレームあたりのマクロライン数 000h：1マクロライン ： 3FFh：1020マクロライン 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

DATANUM[15:0] ビット（グラフィックデータアクセスのためのラインあたりのデータ転送回数）

グラフィックデータアクセスにおける 1 マクロラインあたりのデータ転送回数を指定します。このとき、1 回の転送は GPX バスを介した 16 ビートバーストアクセスとして定義されます。すべてのデータ転送において、2 バイト以上の有効ピクセルデータが必要です（LUT1 フォーマットで 16 ピクセル、その他のフォーマットでは 16 ピクセル以上）。1 マクロラインあたりのバイト数が 64（4 バイト × 16 ビート）で割り切れない場合、自然数になるよう四捨五入して DATANUM を取得します。

LNNUM[10:0] ビット（グラフィックデータにアクセスするためのフレームあたりのライン数）

グラフィックデータアクセスにおけるフレームあたりのライン数を指定します。このビットで設定したライン数のグラフィックデータを読み出すと、フレームエンド信号が出力されベースアドレスがロードされます。

以下にマクロラインの使用例を 2 例示します。これらの使用例では、フレームサイズは 480 ピクセル × 272 ラインで、ピクセルフォーマットは RGB565（16bpp）です。

例 1）1 マクロラインを、フレームラスタ幅と同じになるよう構成します。マクロライン数は、垂直方向ライン数と同じになります。

DATANUM：000Eh（15 回 = 16 × 480/512）

LNNUM：10Fh（272 マクロライン = 272/1）

例 2）1 マクロラインを、ディスプレイフレームで繰り返すよう構成します。マクロライン数は、垂直方向ライン数と同じにはなりません。この例では、1 マクロラインはラスタ幅の 16 倍です。

DATANUM：00EFh（240 回 = 16 × 480/512 × 16）

LNNUM：010h（17 マクロライン = 272/16）

58.2.15 グラフィック 1 フレームバッファコントロールレジスタ 6（GR1_FLM6）
グラフィック 2 フレームバッファコントロールレジスタ 6（GR2_FLM6）

アドレス GLCDC.GR1_FLM6 400E 111Ch, GLCDC.GR2_FLM6 400E 121Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	FORMAT[2:0]			—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b27-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b30-b28	FORMAT[2:0]	グラフィックデータアクセスで使用するデータフォーマット	グラフィックデータ（フレームバッファデータ）にアクセスする場合のデータフォーマット b30 b28 0 0 0：RGB565（16ビット／ピクセル） 0 0 1：RGB888（32ビット／ピクセル、MSB側の8ビットは無効） 0 1 0：ARGB1555（16ビット／ピクセル、Aの1ビットはLUTデータ） 0 1 1：ARGB4444（16ビット／ピクセル） 1 0 0：ARGB8888（32ビット／ピクセル） 1 0 1：CLUT8（8ビット／ピクセル） 1 1 0：CLUT4（4ビット／ピクセル） 1 1 1：CLUT1（1ビット／ピクセル）	R/W
b31	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

FORMAT[2:0] ビット（グラフィックデータアクセスで使用するデータフォーマット）

グラフィックデータにアクセスする場合のデータフォーマットを指定します。CLUT1、CLUT4、CLUT8 は、カラーパレットにアクセスするためのアドレス 01h または 00h、0Fh ～ 00h、FFh ～ 00h をそれぞれ格納しています。ARGB1555 は、カラーパレットにアクセスするためのアドレス（80h または 00h）を MSB に、RGB データをその他のビットに格納しています。ARGB8888 と ARGB4444 は、上位 8 ビットまたは 4 ビットアルファブレンディング値と RGB データを格納しています。RGB888 と RGB565 は、RGB データのみ格納しています。

58.2.16 グラフィック 1 アルファブレンディングコントロールレジスタ 1（GR1_AB1）
グラフィック 2 アルファブレンディングコントロールレジスタ 1（GR2_AB1）

アドレス GLCDC.GR1_AB1 400E 1120h, GLCDC.GR2_AB1 400E 1220h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ARCON	—	—	—	ARCDISPON	—	—	—	GRCDISPON	—	—	DISPSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	DISPSEL[1:0]	グラフィックディスプレイプレーン制御	b1 b0 0 0：背景色ディスプレイ（値はGRn_BASEレジスタに設定） 0 1：下層グラフィックディスプレイ 1 0：現在のグラフィックディスプレイ 1 1：下層グラフィック（前ステージからの入力画像）と現在のグラフィック（GPXバスから読み出したデータ）のブレンドディスプレイ	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	GRCDISPON	グラフィック画像領域境界ディスプレイ制御	0：ディスプレイをオフにする 1：ディスプレイをオンにする	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	ARCDISPON	矩形領域アルファブレンディングのための画像領域境界ディスプレイ制御	0：ディスプレイをオフにする 1：ディスプレイをオンにする	R/W
b11-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	ARCON	矩形領域アルファブレンディング制御	0：ブレンドをオフにする 1：ブレンドをオンにする	R/W
b31-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

DISPSEL[1:0] ビット（グラフィックディスプレイプレーン制御）

グラフィックディスプレイプレーンを制御します。このプレーンが下層グラフィックとして選択されている場合、前ステージから入力された画像が表示されます（GR1 のためのバックグラウンドプレーン、GR2 のための GR1 からの出力）。背景色については、GLCDC レジスタに指定された背景色が表示されます。現在のグラフィックについては、GLCDC が GPX バスから読み出したグラフィックデータを拡張して取得した ARGB8888 データが表示されます。現在のグラフィックディスプレイが選択されている場合（これらのビットは 10b）、ピクセルで表したアルファブレンディング値にかかわらず RGB888 データが表示されます。表 58.8 と図 58.10 に、レジスタ設定とディスプレイ領域の関係を示します。

GRCDISPON ビット（グラフィック画像領域境界ディスプレイ制御）

グラフィック画像領域の境界ディスプレイをオンまたはオフにします。ディスプレイがオン（GRCDISPON ビットが 1）の場合、グラフィック画像領域は事前に設定された色で縁取りされます。各 RGB 色に対してディスプレイデータを FFh に設定した場合、境界は、該当領域の最外周部で 1 ピクセルの幅があります。

ARCDISPON ビット（矩形領域アルファブレンディングのための画像領域境界ディスプレイ制御）

矩形領域アルファブレンディングが実行された画像領域の境界ディスプレイのオン／オフを行います。ディスプレイがオン（ARCDISPON ビットが 1）の場合、矩形アルファブレンディング対象の画像領域は事前に設定された色で縁取りされます。各 RGB 色に対してディスプレイデータを FFh に設定した場合、境界は、該当領域の最外周部で 1 ピクセルの幅があります。

ARCON ビット（矩形領域アルファブレンディング制御）

矩形領域におけるアルファブレンディングのオン／オフを行います。アルファブレンディングがオン（ARCON ビットが 1）のとき、各ピクセルのグラフィックデータインタフェースから入力されたアルファ値ではなく、対象矩形領域の関連レジスタで指定されたアルファブレンディング制御に従いピクセルが処理されます。グラフィック領域の矩形領域以外の領域では、各ピクセルのグラフィックデータインタフェースから入力されたアルファ値に従いピクセルが処理されます。

表 58.8　　ディスプレイの選択

GRn_AB1.DISPSEL[1:0]（ディスプレイプレーン）	GRn_AB1.ARCON（矩形）	GRn_AB7.CKON（クロマキー）	矩形アルファブレンディング領域内	矩形アルファブレンディング領域外、グラフィック領域内	グラフィック領域外、ディスプレイ領域内	ディスプレイ領域外
00b	0	0	-	背景色	背景色	下層 R = G = B = 00h
01b	0	0	-	下層	下層	下層 R = G = B = 00h
10b	0	0	-	現在	背景色	下層 R = G = B = 00h
11b	0	0	-	現在 + ピクセル単位のアルファブレンディング	下層	下層 R = G = B = 00h
11b	0	1	-	現在 + RGBインデックスクロマキー + ピクセル単位のアルファブレンディング	下層	下層 R = G = B = 00h
11b	1	0	現在 + 矩形アルファブレンディング	現在 + ピクセル単位のアルファブレンディング	下層	下層 R = G = B = 00h
11b	1	1	現在 + 矩形アルファブレンディング	現在 + RGBインデックスクロマキー + ピクセル単位のアルファブレンディング	下層	下層 R = G = B = 00h

注 .　　上記以外の値を設定した場合、動作は保証されません。

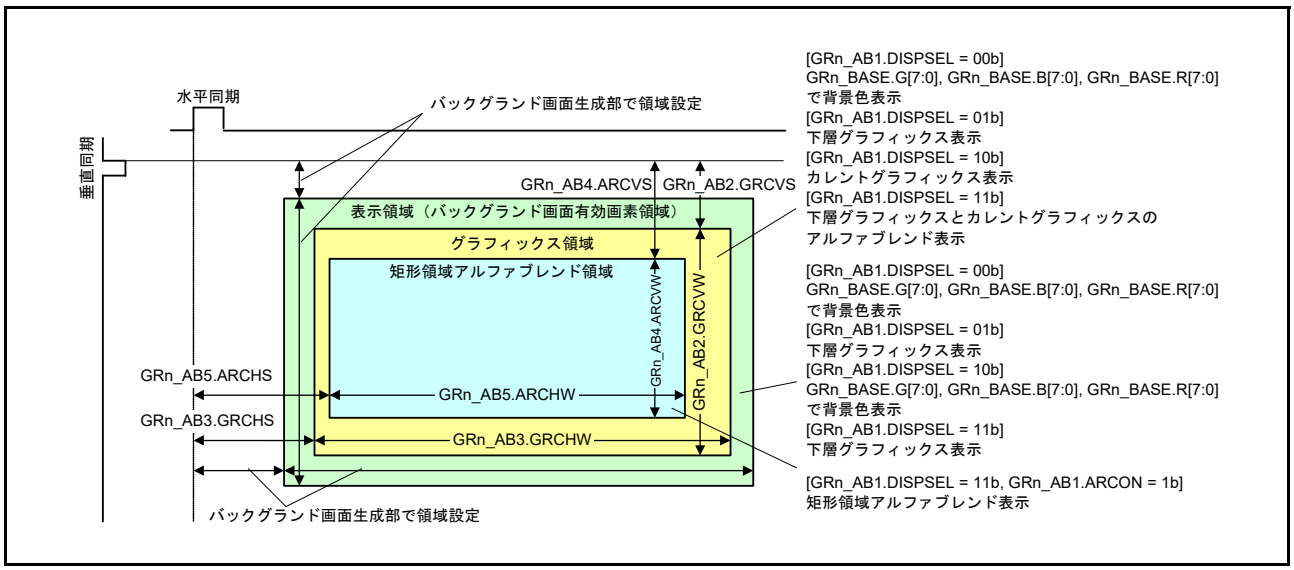


図 58.10　　グラフィックディスプレイプレーンの選択

58.2.17 グラフィック 1 アルファブレンディングコントロールレジスタ 2（GR1_AB2）
グラフィック 2 アルファブレンディングコントロールレジスタ 2（GR2_AB2）

アドレス GLCDC.GR1_AB2 400E 1124h, GLCDC.GR2_AB2 400E 1224h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GRCVS[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GRCVW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GRCVW[10:0]	グラフィック画像領域の垂直幅	幅（ライン数） 010h：16ライン ： 3FCh：1,020ライン 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GRCVS[10:0]	グラフィック画像領域の垂直開始位置	位置（ライン数） 002h：2ライン目 ： 3EEh：1,006ライン目 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GRCVW[10:0] ビット（グラフィック画像領域の垂直幅）

グラフィック画像領域の垂直幅を指定します。

GRCVS[10:0] ビット（グラフィック画像領域の垂直開始位置）

垂直同期信号（VS）のアサートを基準にして、グラフィック画像領域の垂直開始位置を指定します。グラフィックディスプレイプレーンとの関係については、図 58.10 を参照してください。

58.2.18 グラフィック 1 アルファブレンディングコントロールレジスタ 3（GR1_AB3）
グラフィック 2 アルファブレンディングコントロールレジスタ 3（GR2_AB3）

アドレス GLCDC.GR1_AB3 400E 1128h, GLCDC.GR2_AB3 400E 1228h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GRCHS[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GRCHW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GRCHW[10:0]	グラフィック画像領域の水平幅	幅（ピクセル数） 010h：16ピクセル ： 3F8h：1,016ピクセル 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GRCHS[10:0]	グラフィック画像領域の水平開始位置	位置（ピクセル数） 005h：5ピクセル目 ： 3EDh：1,005ピクセル目 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GRCHW[10:0] ビット（グラフィック画像領域の水平幅）

グラフィック画像領域の水平幅を指定します。

GRCHS[10:0] ビット（グラフィック画像領域の水平開始位置）

水平同期信号（VS）のアサートを基準にして、グラフィック画像領域の水平開始位置を指定します。グラフィックディスプレイプレーンとの関係については、図 58.10 を参照してください。

58.2.19 グラフィック 1 アルファブレンディングコントロールレジスタ 4（GR1_AB4）
グラフィック 2 アルファブレンディングコントロールレジスタ 4（GR2_AB4）

アドレス GLCDC.GR1_AB4 400E 112Ch, GLCDC.GR2_AB4 400E 122Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	ARCVS[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ARCVW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	ARCVW[10:0]	矩形領域アルファブレンディング画像領域の垂直幅	幅（ライン数） 001h：1ライン ： 3FCh：1,020ライン 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	ARCVS[10:0]	矩形領域アルファブレンディング画像領域の垂直開始位置	位置（ライン数） 002h：2ライン目 ： 3EEh：1,006ライン目 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

ARCVW[10:0] ビット（矩形領域アルファブレンディング画像領域の垂直幅）

矩形領域アルファブレンディング画像領域の垂直幅を指定します。

ARCVS[10:0] ビット（矩形領域アルファブレンディング画像領域の垂直開始位置）

垂直同期信号（VS）のアサートを基準にして、矩形領域アルファブレンディング画像領域の垂直開始位置を指定します。グラフィックディスプレイプレーンとの関係については、図 58.10 を参照してください。

58.2.20 グラフィック 1 アルファブレンディングコントロールレジスタ 5（GR1_AB5）
グラフィック 2 アルファブレンディングコントロールレジスタ 5（GR2_AB5）

アドレス GLCDC.GR1_AB5 400E 1130h, GLCDC.GR2_AB5 400E 1230h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	ARCHS[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	ARCHW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	ARCHW[10:0]	矩形領域アルファブレンディング画像領域の水平幅	幅（ピクセル数） 001h：1ピクセル ： 3F8h：1,016ピクセル 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	ARCHS[10:0]	矩形領域アルファブレンディング画像領域の水平開始位置	位置（ピクセル数） 005h：5ピクセル目 ： 3EDh：1,005ピクセル目 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

ARCHW[10:0] ビット（矩形領域アルファブレンディング画像領域の水平幅）

矩形領域アルファブレンディンググラフィック画像領域の水平幅を指定します。

ARCHS[10:0] ビット（矩形領域アルファブレンディング画像領域の水平開始位置）

水平同期信号（HS）のアサートを基準にして、矩形領域アルファブレンディング画像領域の水平開始位置を指定します。グラフィックディスプレイプレーンとの関係については、図 58.10 を参照してください。

58.2.21 グラフィック 1 アルファブレンディングコントロールレジスタ 6（GR1_AB6）
グラフィック 2 アルファブレンディングコントロールレジスタ 6（GR2_AB6）

アドレス GLCDC.GR1_AB6 400E 1134h, GLCDC.GR2_AB6 400E 1234h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	ARCCOEF[8:0]								
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ARCRATE[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	ARCRATE[7:0]	矩形領域におけるアルファブレンディングのフレームレート	00h：1フレーム ： FFh：256フレーム	R/W
b15-b8	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24-b16	ARCCOEF[8:0]	矩形領域におけるアルファブレンディングのアルファ係数	有効な設定値：-255～255 ビット[8]：符号 0：加算 1：減算 ビット[7:0]：絶対値としての変動	R/W
b31-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

ARCRATE[7:0] ビット（矩形領域におけるアルファブレンディングのフレームレート）

矩形領域におけるアルファブレンディングのフレームレートを指定します。

ARCCOEF[8:0] ビット（矩形領域におけるアルファブレンディングのアルファ係数）

矩形領域におけるアルファブレンディングのアルファ係数を指定します。

矩形領域におけるアルファブレンディングでは、現在のグラフィックは GRn_AB7.ARCDEF[7:0]、GRn_AB6.ARCCOEF[8:0]、GRn_AB6.ARCRATE[7:0] の設定によりフェードイン／フェードアウトします。GR_ARC_DEF[7:0] ビットにアルファ値が設定されている場合、GR_ARC_DEF[7:0] ビットと矩形領域のアルファブレンディングはオンになります。垂直同期信号（VS）が GR_ARC_RATE[7:0] ビットに設定された回数を立ち上がるたびに、GR_ARC_COEF[8:0] の値がアルファ値に加算／減算されます。図 58.11 に、アルファ値の変動を示します。

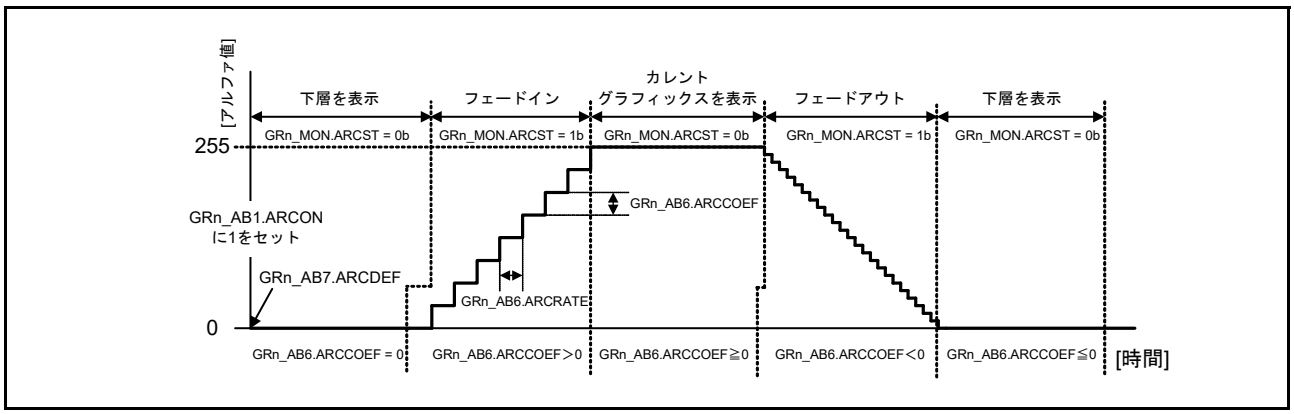


図 58.11 アルファ値の変動

58.2.22 グラフィック 1 アルファブレンディングコントロールレジスタ 7（GR1_AB7）
グラフィック 2 アルファブレンディングコントロールレジスタ 7（GR2_AB7）

アドレス GLCDC.GR1_AB7 400E 1138h, GLCDC.GR2_AB7 400E 1238h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	ARCDEF[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CKON
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CKON	RGBインデックスクロマキー処理制御	0：クロマキー処理を禁止 1：クロマキー処理を許可	R/W
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b23-b16	ARCDEF[7:0]	矩形領域におけるアルファブレンディングの初期アルファ値	矩形領域におけるアルファブレンディングの初期アルファ値	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

CKON ビット（RGB インデックスクロマキー処理制御）

RGB インデックスクロマキー処理をオン／オフします。グラフィックディスプレイプレーンがブレンドディスプレイ（GRn_AB1.DISPSEL[1:0] = 11b）の場合、CKON ビットが 1 のときに限りこの機能は有効となります。これは、矩形領域のアルファブレンディングを除くグラフィック領域に反映されます。詳細は、表 58.8 を参照してください。

ARCDEF[7:0] ビット（矩形領域におけるアルファブレンディングの初期アルファ値）

矩形領域におけるアルファブレンディングの初期アルファ値を指定します。このビットを使用して現在のグラフィックのフェードイン／フェードアウトを行う間のアルファ値の変動については図 58.11 を参照してください。

58.2.23 グラフィック 1 アルファブレンディングコントロールレジスタ 8（GR1_AB8）
グラフィック 2 アルファブレンディングコントロールレジスタ 8（GR2_AB8）

アドレス GLCDC.GR1_AB8 400E 113Ch, GLCDC.GR2_AB8 400E 123Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	CKKG[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CKKB[7:0]								CKKR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CKKR[7:0]	RGBインデックスクロマキー処理のR信号	RGBインデックスクロマキー処理のR信号。符号なし8ビット値。	R/W
b15-b8	CKKB[7:0]	RGBインデックスクロマキー処理のB信号	RGBインデックスクロマキー処理のB信号。符号なし8ビット値。	R/W
b23-b16	CKKG[7:0]	RGBインデックスクロマキー処理のG信号	RGBインデックスクロマキー処理のG信号。符号なし8ビット値。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

現在のビットグラフィックの RGB 値が関連クロマキービットの値と一致する場合に RGB インデックスクロマキー処理が有効であれば、現在のグラフィックの画像データ（ARGB8888、アルファブレンディング値を含む）は GRn_AB9 レジスタの値に置き換えられます。その後のステージにおけるピクセル単位のアルファブレンディングでは、最新のアルファ値が使用されます。

CKKR[7:0] ビット（RGB インデックスクロマキー処理の R 信号）

RGB インデックスクロマキー処理における現在のグラフィックの R 値と比較する値を指定します。

CKKB[7:0] ビット（RGB インデックスクロマキー処理の B 信号）

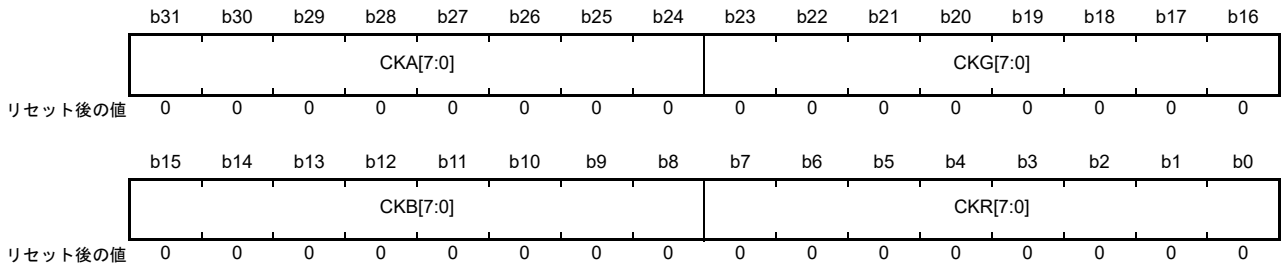
RGB インデックスクロマキー処理における現在のグラフィックの B 値と比較する値を指定します。

CKKG[7:0] ビット（RGB インデックスクロマキー処理の G 信号）

RGB インデックスクロマキー処理における現在のグラフィックの G 値と比較する値を指定します。

58.2.24 グラフィック 1 アルファブレンディングコントロールレジスタ 9（GR1_AB9）
グラフィック 2 アルファブレンディングコントロールレジスタ 9（GR2_AB9）

アドレス GLCDC.GR1_AB9 400E 1140h, GLCDC.GR2_AB9 400E 1240h



ビット	シンボル	ビット名	機能	R/W
b7-b0	CKR[7:0]	RGBインデックスクロマキー処理置き換え後のR値	RGBインデックスクロマキー処理置き換え後のR値。符号なし8ビット値。	R/W
b15-b8	CKB[7:0]	RGBインデックスクロマキー処理置き換え後のB値	RGBインデックスクロマキー処理置き換え後のB値。符号なし8ビット値。	R/W
b23-b16	CKG[7:0]	RGBインデックスクロマキー処理置き換え後のG値	RGBインデックスクロマキー処理置き換え後のG値。符号なし8ビット値。	R/W
b31-b24	CKA[7:0]	RGBインデックスクロマキー処理置き換え後のA値	RGBインデックスクロマキー処理置き換え後のA値。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

RGB インデックスクロマキー処理が有効で、ピクセルデータを置き換える（現在のグラフィックの RGB 値が GRn_AB8 値と一致する）場合、この画像データに基づき、ピクセル単位のアルファブレンディングが後のステージで実行されます。

CKR[7:0] ビット（RGB インデックスクロマキー処理置き換え後の R 値）

RGB インデックスクロマキー処理置き換え後の R 値を指定します。

CKB[7:0] ビット（RGB インデックスクロマキー処理置き換え後の B 値）

RGB インデックスクロマキー処理置き換え後の B 値を指定します。

CKG[7:0] ビット（RGB インデックスクロマキー処理置き換え後の G 値）

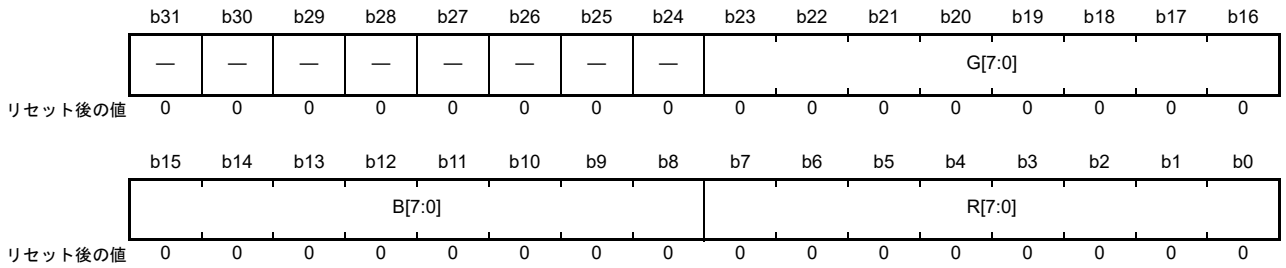
RGB インデックスクロマキー処理置き換え後の G 値を指定します。

CKA[7:0] ビット（RGB インデックスクロマキー処理置き換え後の A 値）

RGB インデックスクロマキー処理置き換え後の A 値を指定します。

58.2.25 グラフィック 1 背景色コントロールレジスタ（GR1_BASE）
グラフィック 2 背景色コントロールレジスタ（GR2_BASE）

アドレス GLCDC.GR1_BASE 400E 114Ch, GLCDC.GR2_BASE 400E 124Ch



ビット	シンボル	ビット名	機能	R/W
b7-b0	R[7:0]	背景色R値	背景色R値。符号なし8ビット値。	R/W
b15-b8	B[7:0]	背景色B値	背景色B値。符号なし8ビット値。	R/W
b23-b16	G[7:0]	背景色G値	背景色G値。符号なし8ビット値。	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

ディスプレイ選択で背景色が選択されている場合（GRn_AB1.DISPSEL[1:0] = 00b）、この RGB データはディスプレイ画像領域全体に出力されます。現在のグラフィックが選択されている場合（GRn_AB1.DISPSEL[1:0] = 10b）、この RGB データはディスプレイ画像領域内のグラフィック画像領域外に出力されます。

R[7:0] ビット（背景色 R 値）

背景色 R 値を指定します。

B[7:0] ビット（背景色 B 値）

背景色 B 値を指定します。

G[7:0] ビット（背景色 G 値）

背景色 G 値を指定します。

58.2.26 グラフィック 1CLUT テーブル割り込みコントロールレジスタ（GR1_CLUTINT）
グラフィック 2CLUT テーブル割り込みコントロールレジスタ（GR2_CLUTINT）

アドレス GLCDC.GR1_CLUTINT 400E 1150h, GLCDC.GR2_CLUTINT 400E 1250h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SEL
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	LINE[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	LINE[10:0]	検出ライン数	000h：1ライン ： 3FFh：1024ライン 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	SEL	CLUTテーブル制御	0：CLUTテーブル0を選択 1：CLUTテーブル1を選択	R/W
b31-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GRn_VEN.PVEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

LINE[10:0] ビット（検出ライン数）

検出するライン数を指定します。このビットで指定されたライン数が検出されると、HS アサートによりモジュール外でイベントが認識されます。認識されたイベントの状態を保持して GLCDC 割り込み要求信号をアサートするには、システムコントロールレジスタであるステート検出コントロールレジスタ（SYSCNT_DTCTEN）および割り込み要求許可コントロールレジスタ（SYSCNT_INTEN）に既定値を設定します。この機能はグラフィック 1 およびグラフィック 2 に提供されていますが、この GLCDC ではグラフィック 2 に限り有効です。

SEL ビット（CLUT テーブル制御）

内部動作で使用する CLUT プレーンを制御します。レジスタアクセスバスを経由したカラーパレット（CLUT）へのアクセスは、SEL ビットの設定にかかわらず、プレーン 0 およびプレーン 1 において常に有効で、書き込んだ値は（垂直同期信号による同期時ではなく）すぐに内部動作に反映されます。

CLUT メモリの反映内容を垂直同期信号による同期時に内部動作で保持するには、まずレジスタアクセスバスを介して内部動作で使用していないプレーンにデータを書き込み、次に内部動作で使用するプレーンを制御するためのビットを変更します。

58.2.27 グラフィック 1 ステータスモニタレジスタ（GR1_MON）
グラフィック 2 ステータスモニタレジスタ（GR2_MON）

アドレス GLCDC.GR1_MON 400E 1154h, GLCDC.GR2_MON 400E 1254h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	UNDFLST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ARCST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ARCST	矩形領域におけるアルファブレンディングのステータスモニタ	0：フェードイン／フェードアウトは実行していない 1：フェードイン／フェードアウト実行中	R
b15-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b16	UNDFLST	アンダーフローステータスモニタ	0：内部動作でアンダーフローは発生していない 1：内部動作でアンダーフローが発生	R
b31-b17	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

ARCST ビット（矩形領域におけるアルファブレンディングのステータスモニタ）

矩形領域でアルファブレンディング（フェードイン／フェードアウト）が実行中かどうかを示します。矩形領域のアルファブレンディングがオン（GRn_AB1.ARCON が 1）で、かつ垂直同期信号（VS）アサート時に内部動作へレジスタ値を反映する場合、垂直同期信号アサート直後に ARCST ビットは 1 になります。矩形領域のアルファブレンディングがオフ（GRn_AB1.ARCON が 0）、または矩形領域のアルファブレンディング（フェードイン／フェードアウト）が完了（アルファブレンディング値が最小値／最大値に到達）した場合、本ビットは 0 になります。矩形領域のアルファブレンディングのアルファ係数（GRn_AB6.ARCCOEF[8:0]）が 000h で、かつ矩形領域のアルファブレンディングの初期アルファ値（GRn_AB7.ARCDEF[7:0]）が FFh または 00h 以外の任意の値の場合、アルファブレンディング値は最小値／最大値に到達せず、本ビットは 1 のまま（タイムアウト処理は行われない）となります。

UNDFLST ビット（アンダーフローステータスモニタ）

内部動作でアンダーフローが発生したかどうかを示します。アンダーフローが発生するとアンダーフロー割り込み要求フラグが設定され、ソフトウェアによりクリアされるまでその値を保持します。ただし、本ビットは内部ステータスを監視し、垂直同期信号アサート時にグラフィックデータバスインタフェースが初期化すると、このフラグは自動的に 0 になります。現在のグラフィックデータが要求されない場合（GRn_AB1.DISPSEL[1:0] = 0xb）でも、グラフィック画像有効領域開始から、レジスタに設定された次のフレーム垂直同期信号（VS）アサートタイミングまでの期間、本ビットは 1 になります。

58.2.28 ガンマ G レジスタ更新コントロールレジスタ（GAMG_LATCH）
ガンマ B レジスタ更新コントロールレジスタ（GAMB_LATCH）
ガンマ R レジスタ更新コントロールレジスタ（GAMR_LATCH）

アドレス GLCDC.GAMG_LATCH 400E 1300h, GLCDC.GAMB_LATCH 400E 1340h, GLCDC.GAMR_LATCH 400E 1380h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VEN	内部動作に対するガンマ補正xモジュールレジスタ値反映の制御	0：垂直同期信号（VS）アサート時における内部動作へのレジスタ値反映を禁止 1：垂直同期信号（VS）アサート時における内部動作へのレジスタ値反映を許可	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VEN ビット（内部動作に対するガンマ補正 x モジュールレジスタ値反映の制御）

垂直同期信号（入力）アサート時における、ガンマ補正回路の内部動作に対するレジスタ値の反映を許可／禁止します。1 のとき、レジスタ値は垂直同期信号（入力）アサート直後に内部動作へ反映され、このビットは自動的に 0 になります。また、バックグラウンドプレーン生成モジュールから出力される、全モジュールの内部動作に対するレジスタ値の反映制御信号がアサートされると、このビット値にかかわらず、垂直同期信号（入力）アサート時にレジスタ値が内部動作へ反映されます。1 の場合、GLCDC への垂直同期信号（入力）アサート時に内部動作へ値が反映されるレジスタは変更しないでください。条件に違反した場合の動作は保証されません。

このビットは、バックグラウンドプレーン設定レジスタの 1 つである動作コントロールレジスタ（BG_EN）の BG_EN.VEN ビット（内部動作へのバックグラウンドプレーンレジスタ値反映制御）と同時に 1 にしないでください。条件に違反した場合の動作は保証されません。

G カラー、R カラー、B カラーに対して 1 ビットずつ、合計 3VEN ビットがありますが、GAM_SW.GAMON ビットの反映によりガンマ補正を制御するのは GAMG_LATCH.VEN ビットだけです。ガンマ補正を有効にするには、GAM_SW.GAMON ビットを設定後 GAMG_LATCH.VEN ビットを設定してください。

VEN ビットは 1 を書くと 1 になり、垂直同期信号アサート時に自動的に 0 になります。

58.2.29 ガンマ補正ブロック機能切り替えレジスタ（GAM_SW）

アドレス GLCDC.GAM_SW 400E 1304h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAMON
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	GAMON	ガンマ補正オン／オフ制御	0：ガンマ補正をオフにする 1：ガンマ補正をオンにする	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMG_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAMON ビット（ガンマ補正オン／オフ制御）

ガンマ補正をオン／オフにします。

58.2.30 ガンマ G 補正ブロックテーブル設定レジスタ 1（GAMG_LUT1）
ガンマ B 補正ブロックテーブル設定レジスタ 1（GAMB_LUT1）
ガンマ R 補正ブロックテーブル設定レジスタ 1（GAMR_LUT1）

アドレス GLCDC.GAMG_LUT1 400E 1308h, GLCDC.GAMB_LUT1 400E 1348h, GLCDC.GAMR_LUT1 400E 1388h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN00[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN01[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN01[10:0]	領域1のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN00[10:0]	領域0のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

各色のガンマ補正は以下のとおり実行されます。

- Din（入力信号）: 10 ビット。グラフィック 2 の出力を補正するには、下位 2 ビットとして 00b を付加して拡張します。
- Dout（出力信号）：10 ビット
- TH（しきい値）：10 ビット（レジスタ設定）、最大 15 設定可能
- GAIN（ゲイン）：各領域に 0/1024 ～ 2047/1024（レジスタ設定）、最大 16 領域に設定可能
- OFFSET（オフセット値）：21 ビット（内部計算の結果、最大 15 ポイントの計算）

次に示すとおり、垂直同期信号（VS）アサート時から有効ピクセルデータ開始までを自動的に内部計算します。

- Dout = （(Din - TH（n)) × GAIN（n) + OFFSET（n)）
- OFFSET（n) = OFFSET（n - 1) + （TH（n) - TH（n - 1)) × GAIN（n - 1)、ただし OFFSET（0) = 0

注 . ゲインは正数（≧ 0）のため、補正ラインは単調増加を示します。

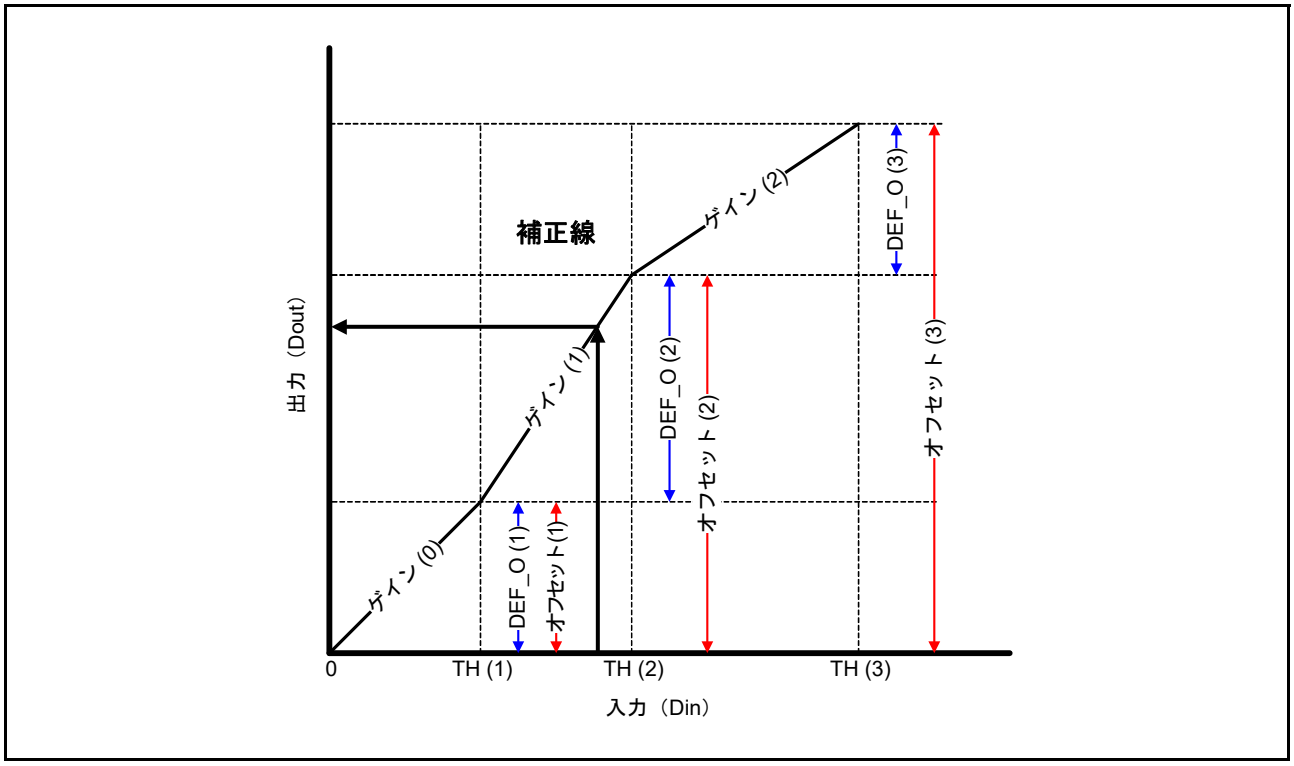


図 58.12 ガンマ補正値の計算

GAIN01[10:0] ビット（領域 1 のゲイン値）

ガンマ補正で使用する領域 1 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN00[10:0] ビット（領域 0 のゲイン値）

ガンマ補正で使用する領域 0 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.31 ガンマ G 補正ブロックテーブル設定レジスタ 2（GAMG_LUT2）
ガンマ B 補正ブロックテーブル設定レジスタ 2（GAMB_LUT2）
ガンマ R 補正ブロックテーブル設定レジスタ 2（GAMR_LUT2）

アドレス GLCDC.GAMG_LUT2 400E 130Ch, GLCDC.GAMB_LUT2 400E 134Ch, GLCDC.GAMR_LUT2 400E 138Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN02[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN03[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN03[10:0]	領域3のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN02[10:0]	領域2のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAIN03[10:0] ビット（領域 3 のゲイン値）

ガンマ補正で使用する領域 3 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN02[10:0] ビット（領域 2 のゲイン値）

ガンマ補正で使用する領域 2 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.32 ガンマ G 補正ブロックテーブル設定レジスタ 3（GAMG_LUT3）
ガンマ B 補正ブロックテーブル設定レジスタ 3（GAMB_LUT3）
ガンマ R 補正ブロックテーブル設定レジスタ 3（GAMR_LUT3）

アドレス GLCDC.GAMG_LUT3 400E 1310h, GLCDC.GAMB_LUT3 400E 1350h, GLCDC.GAMR_LUT3 400E 1390h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN04[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN05[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN05[10:0]	領域5のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN04[10:0]	領域4のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAIN05[10:0] ビット（領域 5 のゲイン値）

ガンマ補正で使用する領域 5 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN04[10:0] ビット（領域 4 のゲイン値）

ガンマ補正で使用する領域 4 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.33 ガンマ G 補正ブロックテーブル設定レジスタ 4（GAMG_LUT4）
ガンマ B 補正ブロックテーブル設定レジスタ 4（GAMB_LUT4）
ガンマ R 補正ブロックテーブル設定レジスタ 4（GAMR_LUT4）

アドレス GLCDC.GAMG_LUT4 400E 1314h, GLCDC.GAMB_LUT4 400E 1354h, GLCDC.GAMR_LUT4 400E 1394h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN06[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN07[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN07[10:0]	領域7のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN06[10:0]	領域6のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAIN07[10:0] ビット（領域 7 のゲイン値）

ガンマ補正で使用する領域 7 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN06[10:0] ビット（領域 6 のゲイン値）

ガンマ補正で使用する領域 6 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.34 ガンマ G 補正ブロックテーブル設定レジスタ 5（GAMG_LUT5）
ガンマ B 補正ブロックテーブル設定レジスタ 5（GAMB_LUT5）
ガンマ R 補正ブロックテーブル設定レジスタ 5（GAMR_LUT5）

アドレス GLCDC.GAMG_LUT5 400E 1318h, GLCDC.GAMB_LUT5 400E 1358h, GLCDC.GAMR_LUT5 400E 1398h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN08[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN09[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN09[10:0]	領域9のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN08[10:0]	領域8のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAIN09[10:0] ビット（領域 9 のゲイン値）

ガンマ補正で使用する領域 9 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN08[10:0] ビット（領域 8 のゲイン値）

ガンマ補正で使用する領域 8 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.35 ガンマ G 補正ブロックテーブル設定レジスタ 6（GAMG_LUT6）
ガンマ B 補正ブロックテーブル設定レジスタ 6（GAMB_LUT6）
ガンマ R 補正ブロックテーブル設定レジスタ 6（GAMR_LUT6）

アドレス GLCDC.GAMG_LUT6 400E 131Ch, GLCDC.GAMB_LUT6 400E 135Ch, GLCDC.GAMR_LUT6 400E 139Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN10[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN11[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN11[10:0]	領域11のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN10[10:0]	領域10のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAIN11[10:0] ビット（領域 11 のゲイン値）

ガンマ補正で使用する領域 11 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN10[10:0] ビット（領域 10 のゲイン値）

ガンマ補正で使用する領域 10 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.36 ガンマ G 補正ブロックテーブル設定レジスタ 7（GAMG_LUT7）
ガンマ B 補正ブロックテーブル設定レジスタ 7（GAMB_LUT7）
ガンマ R 補正ブロックテーブル設定レジスタ 7（GAMR_LUT7）

アドレス GLCDC.GAMG_LUT7 400E 1320h, GLCDC.GAMB_LUT7 400E 1360h, GLCDC.GAMR_LUT7 400E 13A0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN12[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN13[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN13[10:0]	領域13のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN12[10:0]	領域12のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAIN13[10:0] ビット（領域 13 のゲイン値）

ガンマ補正で使用する領域 13 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN12[10:0] ビット（領域 12 のゲイン値）

ガンマ補正で使用する領域 12 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.37 ガンマ G 補正ブロックテーブル設定レジスタ 8（GAMG_LUT8）
ガンマ B 補正ブロックテーブル設定レジスタ 8（GAMB_LUT8）
ガンマ R 補正ブロックテーブル設定レジスタ 8（GAMR_LUT8）

アドレス GLCDC.GAMG_LUT8 400E 1324h, GLCDC.GAMB_LUT8 400E 1364h, GLCDC.GAMR_LUT8 400E 13A4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	GAIN14[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	GAIN15[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	GAIN15[10:0]	領域15のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	GAIN14[10:0]	領域14のゲイン値	符号なし11ビット固定ポイント値 000h：0.000（0/1024） ： 400h：1.000（1024/1024） ： 7FFh：1.999（2047/1024）	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

GAIN15[10:0] ビット（領域 15 のゲイン値）

ガンマ補正で使用する領域 15 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

GAIN14[10:0] ビット（領域 14 のゲイン値）

ガンマ補正で使用する領域 14 のゲイン値を、符号なし 11 ビット固定ポイント（0/1024 ～ 2047/1024）で指定します。小数点の位置はビット [10] とビット [11] の間です。

58.2.38 ガンマ G 補正ブロック領域設定レジスタ 1（GAMG_AREA1）
ガンマ B 補正ブロック領域設定レジスタ 1（GAMB_AREA1）
ガンマ R 補正ブロック領域設定レジスタ 1（GAMR_AREA1）

アドレス GLCDC.GAMG_AREA1 400E 1328h, GLCDC.GAMB_AREA1 400E 1368h, GLCDC.GAMR_AREA1 400E 13A8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TH01[9:0]										TH02[9:6]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TH02[5:0]						TH03[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	TH03[9:0]	領域3の開始しきい値	領域3の開始しきい値。符号なし10ビット整数。	R/W
b19-b10	TH02[9:0]	領域2の開始しきい値	領域2の開始しきい値。符号なし10ビット整数。	R/W
b29-b20	TH01[9:0]	領域1の開始しきい値	領域1の開始しきい値。符号なし10ビット整数。	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

領域 n（n = 0 ～ 15）の開始しきい値 TH（n）は、次の条件を満たすよう設定してください。条件に違反した場合の動作は保証されません。

TH（n）＜ TH（n + 1）

n = 0 ～ 15 および TH（0）= 000h、TH（16）= 3FFh

TH（n）が 3FFh の場合に限り、TH（n）= TH（n + 1）が可能です。

ガンマ補正値の計算について、詳しくは 58.2.30 ガンマ G 補正ブロックテーブル設定レジスタ 1（GAMG_LUT1）ガンマ B 補正ブロックテーブル設定レジスタ 1（GAMB_LUT1）ガンマ R 補正ブロックテーブル設定レジスタ 1（GAMR_LUT1）および図 58.12 を参照してください。

TH03[9:0] ビット（領域 3 の開始しきい値）

ガンマ補正で使用する領域 3 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH02[9:0] ビット（領域 2 の開始しきい値）

ガンマ補正で使用する領域 2 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH01[9:0] ビット（領域 1 の開始しきい値）

ガンマ補正で使用する領域 1 の開始しきい値を、符号なし 10 ビット整数で指定します。

58.2.39 ガンマ G 補正ブロック領域設定レジスタ 2（GAMG_AREA2）
ガンマ B 補正ブロック領域設定レジスタ 2（GAMB_AREA2）
ガンマ R 補正ブロック領域設定レジスタ 2（GAMR_AREA2）

アドレス GLCDC.GAMG_AREA2 400E 132Ch, GLCDC.GAMB_AREA2 400E 136Ch, GLCDC.GAMR_AREA2 400E 13ACh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TH04[9:0]										TH05[9:6]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TH05[5:0]						TH06[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	TH06[9:0]	領域6の開始しきい値	領域6の開始しきい値。符号なし10ビット整数。	R/W
b19-b10	TH05[9:0]	領域5の開始しきい値	領域5の開始しきい値。符号なし10ビット整数。	R/W
b29-b20	TH04[9:0]	領域4の開始しきい値	領域4の開始しきい値。符号なし10ビット整数。	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

TH06[9:0] ビット（領域 6 の開始しきい値）

ガンマ補正で使用する領域 6 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH05[9:0] ビット（領域 5 の開始しきい値）

ガンマ補正で使用する領域 5 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH04[9:0] ビット（領域 4 の開始しきい値）

ガンマ補正で使用する領域 4 の開始しきい値を、符号なし 10 ビット整数で指定します。

58.2.40 ガンマ G 補正ブロック領域設定レジスタ 3（GAMG_AREA3）
ガンマ B 補正ブロック領域設定レジスタ 3（GAMB_AREA3）
ガンマ R 補正ブロック領域設定レジスタ 3（GAMR_AREA3）

アドレス GLCDC.GAMG_AREA3 400E 1330h, GLCDC.GAMB_AREA3 400E 1370h, GLCDC.GAMR_AREA3 400E 13B0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TH07[9:0]										TH08[9:6]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TH08[5:0]						TH09[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	TH09[9:0]	領域9の開始しきい値	領域9の開始しきい値。符号なし10ビット整数。	R/W
b19-b10	TH08[9:0]	領域8の開始しきい値	領域8の開始しきい値。符号なし10ビット整数。	R/W
b29-b20	TH07[9:0]	領域7の開始しきい値	領域7の開始しきい値。符号なし10ビット整数。	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

TH09[9:0] ビット（領域 9 の開始しきい値）

ガンマ補正で使用する領域 9 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH08[9:0] ビット（領域 8 の開始しきい値）

ガンマ補正で使用する領域 8 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH07[9:0] ビット（領域 7 の開始しきい値）

ガンマ補正で使用する領域 7 の開始しきい値を、符号なし 10 ビット整数で指定します。

58.2.41 ガンマ G 補正ブロック領域設定レジスタ 4（GAMG_AREA4）
ガンマ B 補正ブロック領域設定レジスタ 4（GAMB_AREA4）
ガンマ R 補正ブロック領域設定レジスタ 4（GAMR_AREA4）

アドレス GLCDC.GAMG_AREA4 400E 1334h, GLCDC.GAMB_AREA4 400E 1374h, GLCDC.GAMR_AREA4 400E 13B4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	TH10[9:0]										TH11[9:6]			
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TH11[5:0]						TH12[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	TH12[9:0]	領域12の開始しきい値	領域12の開始しきい値。符号なし10ビット整数。	R/W
b19-b10	TH11[9:0]	領域11の開始しきい値	領域11の開始しきい値。符号なし10ビット整数。	R/W
b29-b20	TH10[9:0]	領域10の開始しきい値	領域10の開始しきい値。符号なし10ビット整数。	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

TH12[9:0] ビット（領域 12 の開始しきい値）

ガンマ補正で使用する領域 12 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH11[9:0] ビット（領域 11 の開始しきい値）

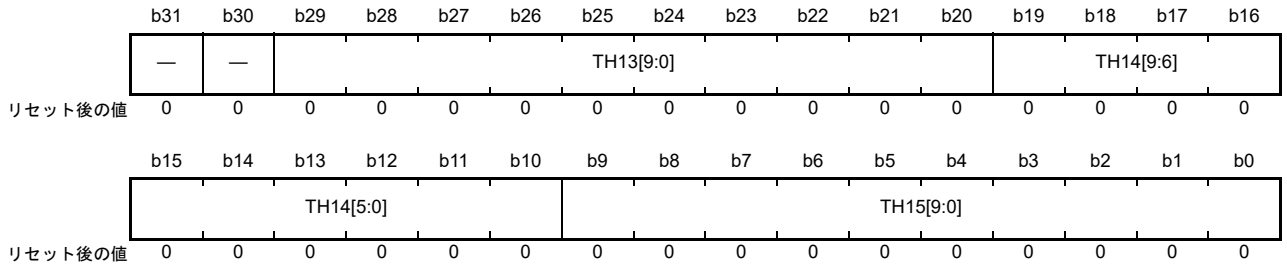
ガンマ補正で使用する領域 11 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH10[9:0] ビット（領域 10 の開始しきい値）

ガンマ補正で使用する領域 10 の開始しきい値を、符号なし 10 ビット整数で指定します。

58.2.42 ガンマ G 補正ブロック領域設定レジスタ 5（GAMG_AREA5）
ガンマ B 補正ブロック領域設定レジスタ 5（GAMB_AREA5）
ガンマ R 補正ブロック領域設定レジスタ 5（GAMR_AREA5）

アドレス GLCDC.GAMG_AREA5 400E 1338h, GLCDC.GAMB_AREA5 400E 1378h, GLCDC.GAMR_AREA5 400E 13B8h



ビット	シンボル	ビット名	機能	R/W
b9-b0	TH15[9:0]	領域15の開始しきい値	領域15の開始しきい値。符号なし10ビット整数。	R/W
b19-b10	TH14[9:0]	領域14の開始しきい値	領域14の開始しきい値。符号なし10ビット整数。	R/W
b29-b20	TH13[9:0]	領域13の開始しきい値	領域13の開始しきい値。符号なし10ビット整数。	R/W
b31-b30	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、GAMx_LATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

TH15[9:0] ビット（領域 15 の開始しきい値）

ガンマ補正で使用する領域 15 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH14[9:0] ビット（領域 14 の開始しきい値）

ガンマ補正で使用する領域 14 の開始しきい値を、符号なし 10 ビット整数で指定します。

TH13[9:0] ビット（領域 13 の開始しきい値）

ガンマ補正で使用する領域 13 の開始しきい値を、符号なし 10 ビット整数で指定します。

58.2.43 出力コントロールブロックレジスタ更新コントロールレジスタ（OUT_VLATCH）

アドレス GLCDC.OUT_VLATCH 400E 13C0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	VEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VEN	内部動作に対する出力制御モジュールレジスタ値反映の制御	0：垂直同期信号（VS）アサート時における内部動作へのレジスタ値反映を禁止 1：垂直同期信号（VS）アサート時における内部動作へのレジスタ値反映を許可	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VEN ビット（内部動作に対する出力制御モジュールレジスタ値反映の制御）

垂直同期信号（入力）アサート時における、出力制御回路の内部動作に対するレジスタ値の反映を許可／禁止します。1 のとき、レジスタ値は垂直同期信号（入力）アサート直後に内部動作へ反映され、このビットは自動的に 0 になります。また、グラウンドプレーン生成モジュールから出力される、全モジュールの内部動作に対するレジスタ値の反映制御信号がアサートされると、このビット値にかかわらず、垂直同期信号（入力）アサート時にレジスタ値が内部動作へ反映されます。1 の場合、GLCDC への垂直同期信号（入力）アサート時に内部動作へ値が反映されるレジスタは変更しないでください。条件に違反した場合の動作は保証されません。

このビットは、バックグラウンドプレーン設定レジスタの 1 つである動作コントロールレジスタ（BG_EN）の BG_EN.VEN ビット（内部動作へのバックグラウンドプレーンレジスタ値反映制御）と同時に 1 にしないでください。条件に違反した場合の動作は保証されません。

58.2.44 出力コントロールブロック出力インタフェースレジスタ（OUT_SET）

アドレス GLCDC.OUT_SET 400E 13C4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	ENDIANON	—	—	—	SWAPON	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	FORMAT[1:0]		—	—	FRQSEL[1:0]		—	—	—	DIRSEL	—	—	PHASE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PHASE[1:0]	シリアルRGBフォーマットのデータ出力遅延制御	LCD_CLKサイクルで示すデータ遅延 b1 b0 0 0：0サイクル 0 1：1サイクル 1 0：2サイクル 1 1：3サイクル	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	DIRSEL	シリアルRGBフォーマットの走査方向選択	0：順方向走査 1：逆方向走査	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	FRQSEL[1:0]	クロック分周制御	b9 b8 0 0：分周なし、パラレルRGB 0 1：設定禁止 1 0：4分周（シリアルRGB） 1 1：設定禁止	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	FORMAT[1:0]	出力フォーマット選択	b13 b12 0 0：RGB888、ディザ出力フォーマットとしてRGB888を選択 0 1：RGB666、ディザ出力フォーマットとしてRGB666を選択 1 0：RGB565、ディザ出力フォーマットとしてRGB565を選択 1 1：シリアルRGB、ディザ出力フォーマットとしてRGB888を選択 OUT_PDTHA.FORM[1:0]でディザ出力フォーマットを選択します。	R/W
b23-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b24	SWAPON	ピクセル順序制御	0：RGB順 1：BGR順	R/W
b27-b25	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b28	ENDIANON	ビットエンディアン制御	0：降順（リトルエンディアン） 1：昇順（ビッグエンディアン）	R/W
b31-b29	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． 動作中の書き換えは禁止されています。動作を許可する前に設定してください。動作中に書き換えた場合、動作は保証されません。

これらのビット（OUT_SET.FRQSEL[1:0]を除く）の設定による出力端子（LCD_DATA00～LCD_DATA23）へのピクセルデータの割り当てについて、詳しくは図 58.3～図 58.6 を参照してください。

PHASE[1:0] ビット（シリアル RGB フォーマットのデータ出力遅延制御）

シリアル RGB フォーマットのデータ出力遅延を制御します。0 サイクルの遅延（これらのビットが 00b）の場合、水平方向データ許可信号（HE）の 1 ピクセルクロック（PXCLK）サイクル後に、ピクセルデータ（本レジスタの設定により R、B、または無効データ）が出力されます。OUT_SET.PHASE[1:0] が 00b 以外の場合、ピクセルデータは事前に設定された LCD_CLK サイクル数を遅延して出力されます。

DIRSEL ビット（シリアル RGB フォーマットの走査方向選択）

シリアル RGB フォーマットのデータ配置を制御します。シリアル RGB データは、1 の場合は逆方向に、0 の場合は順方向に配置されます。

FRQSEL[1:0] ビット（クロック分周制御）

LCD_CLK（パネル出力クロック）および PXCLK（内部動作のピクセルクロック）のクロック分周を制御します。シリアル RGB フォーマットに限り 10b に設定し（OUT_SET.FORMAT[1:0] = 11b）、PXCLK の周波数が LCD_CLK 周波数の 4 分の 1 で、LCD_CLK と同期するようにします。パラレル RGB フォーマットでは 00b に設定し（OUT_SET.FORMAT[1:0] = 10b, 01b または 00b）、PXCLK の周波数が LCD_CLK 周波数と同じで、LCD_CLK と同期するようにします。条件に違反した場合の動作は保証されません。

FORMAT[1:0] ビット（出力フォーマット選択）

RGB データの出力フォーマットを選択します。パネルディザ補正レジスタの出力フォーマット選択ビット（OUT_PDTHA.FORM[1:0]）に従い設定してください。シリアル RGB フォーマット（これらのビットが 11b）では、OUT_PDTHA.FORM[1:0] を 00b にしてください。条件に違反した場合の動作は保証されません。

SWAPON ビット（ピクセル順序制御）

RGB データ出力のピクセル順序を制御します。1 の場合、内部処理データは BGR 順で出力端子に割り当てられ、0 の場合、データは RGB 順に割り当てられます。RGB パラレルフォーマットでは、データは MSB ファーストで出力端子（LCD_DATA00 ～ LCD_DATA23）に割り当てられ、RGB シリアルフォーマットでは順次割り当てられます。

ENDIANON ビット（ビットエンディアン制御）

RGB データ出力のビット順序を制御します。1 の場合、内部処理データは昇順（ビッグエンディアン）で出力端子に割り当てられ、0 の場合、データは降順（リトルエンディアン）に割り当てられます。

58.2.45 出力コントロールブロック輝度補正レジスタ 1（OUT_BRIGHT1）

アドレス GLCDC.OUT_BRIGHT1 400E 13C8h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BRTG[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	BRTG[9:0]	G信号の輝度調整	G信号の輝度（DC）調整。符号なし10ビット整数、オフセットありで+512。	R/W
b31-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、OUT_VLATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

BRTG[9:0] ビット（G 信号の輝度調整）

G 信号の輝度（DC）調整を指定します。

G 信号の輝度補正は以下のとおり実行されます。

- Gout：輝度補正の出力（コントラスト補正の入力）、符号なし 10 ビット
- Gin：輝度補正の入力、符号なし、10 ビット
- BRTG：このビットで設定
- Gout = Gin + BRTG - 512

58.2.46 出力コントロールブロック輝度補正レジスタ 2（OUT_BRIGHT2）

アドレス GLCDC.OUT_BRIGHT2 400E 13CCh

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	BRTB[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	BRTR[9:0]									
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b9-b0	BRTR[9:0]	R信号の輝度調整	R信号の輝度（DC）調整。符号なし10ビット整数、オフセットありで+512。	R/W
b15-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b25-b16	BRTB[9:0]	B信号の輝度調整	B信号の輝度（DC）調整。符号なし10ビット整数、オフセットありで+512。	R/W
b31-b26	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、OUT_VLATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

BRTR[9:0] ビット（R 信号の輝度調整）

R 信号の輝度（DC）調整を指定します。

R 信号の輝度補正は以下のとおり実行されます。

- Rout：輝度補正の出力（コントラスト補正の入力）、符号なし 10 ビット
- Rin：輝度補正の入力、符号なし、10 ビット
- BRTR：このビットで設定
- Rout = Rin + BRTR − 512

BRTB[9:0] ビット（B 信号の輝度調整）

B 信号の輝度（DC）調整を指定します。

B 信号の輝度補正は以下のとおり実行されます。

- Bout：輝度補正の出力（コントラスト補正の入力）、符号なし 10 ビット
- Bin：輝度補正の入力、符号なし、10 ビット
- BRTB：このビットで設定
- Bout = Bin + BRTB − 512

58.2.47 出力コントロールブロックコントラスト補正レジスタ（OUT_CONTRAST）

アドレス GLCDC.OUT_CONTRAST 400E 13D0h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	CONTG[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CONTB[7:0]								CONTR[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	CONTR[7:0]	R信号のコントラスト調整	R信号のGAINを調整する符号なし8ビット固定ポイント値 00h：0/128 = 0.000 ： 80h：128/128 = 1.000 ： FFh：255/128 = 1.992	R/W
b15-b8	CONTB[7:0]	B信号のコントラスト調整	B信号のGAINを調整する符号なし8ビット固定ポイント値 00h：0/128 = 0.000 ： 80h：128/128 = 1.000 ： FFh：255/128 = 1.992	R/W
b23-b16	CONTG[7:0]	G信号のコントラスト調整	G信号のGAINを調整する符号なし8ビット固定ポイント値 00h：0/128 = 0.000 ： 80h：128/128 = 1.000 ： FFh：255/128 = 1.992	R/W
b31-b24	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、OUT_VLATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

CONTR[7:0] ビット（R 信号のコントラスト調整）

R 信号のコントラスト（GAIN）調整を指定します。小数点の位置はビット [7] とビット [6] の間です。

CONTB[7:0] ビット（B 信号のコントラスト調整）

B 信号のコントラスト（GAIN）調整を指定します。小数点の位置はビット [7] とビット [6] の間です。

CONTG[7:0] ビット（G 信号のコントラスト調整）

G 信号のコントラスト（GAIN）調整を指定します。小数点の位置はビット [7] とビット [6] の間です。

各ピクセルのコントラスト補正は、以下のとおり実行されます（X = R、G、B）。

- Dxout：コントラスト補正の入力、符号なし、10 ビット
- Dxin：コントラスト補正の入力（輝度補正の出力）、符号なし、10 ビット
- CONTx：このビットで設定
- Dxout = Dxin × CONTx

58.2.48 出力コントロールブロックパネルディザ補正レジスタ（OUT_PDTHA）

アドレス GLCDC.OUT_PDTHA 400E 13D4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	SEL[1:0]		—	—	FORM[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	PA[1:0]		—	—	PB[1:0]		—	—	PC[1:0]		—	—	PD[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	PD[1:0]	2 × 2パターンディザのパターン値（D）	2 × 2パターンディザのパターン値（D）。符号なし2ビット整数。	R/W
b3-b2	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b5-b4	PC[1:0]	2 × 2パターンディザのパターン値（C）	2 × 2パターンディザのパターン値（C）。符号なし2ビット整数。	R/W
b7-b6	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b9-b8	PB[1:0]	2 × 2パターンディザのパターン値（B）	2 × 2パターンディザのパターン値（B）。符号なし2ビット整数。	R/W
b11-b10	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b13-b12	PA[1:0]	2 × 2パターンディザのパターン値（A）	2 × 2パターンディザのパターン値（A）。符号なし2ビット整数。	R/W
b15-b14	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b17-b16	FORM[1:0]	出力フォーマット選択	b17 b16 0 0：RGB888、出力インタフェースフォーマットとしてRGB888またはシリアルRGBを選択 0 1：RGB666、出力インタフェースフォーマットとしてRGB666を選択 1 0：RGB565、出力インタフェースフォーマットとしてRGB565を選択 1 1：設定禁止 OUT_SET.FORMAT[1:0]で出力インタフェースフォーマットを選択してください。	R/W
b19-b18	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b21-b20	SEL[1:0]	動作モード	b21 b20 0 0：切り捨て 0 1：四捨五入 1 0：2 × 2パターンディザ 1 1：設定禁止	R/W
b31-b22	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . この設定は、OUT_VLATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

PA[1:0] ビット、PB[1:0] ビット、PC[1:0] ビット、PD[1:0] ビット（2 × 2 パターンディザのパターン値（A、B、C、D））

2x2 パターンディザのパターン値 A、B、C、D を指定します。図 58.13 に、ディザ補正ブロックの構成を示します。

FORM[1:0] ビット（出力フォーマット選択）

ディザ処理の出力フォーマットを選択します。これらのビットは、出力インタフェースレジスタの OUT_SET.FORMAT[1:0] ビットに従い設定する必要があります。シリアル RGB（OUT_SET.FORMAT[1:0] = 11b）の場合、00b にしてください。条件に違反した場合の動作は保証されません。

SEL[1:0] ビット（動作モード）

ディザ動作モードを指定します。ディザ処理は、出力フォーマット選択ビット（OUT_PDTHA.FORM[1:0]）で選択したピクセルデータ長以下のビットに対して行われます。2 × 2 パターンディザでは、OUT_PDTHA.PA[1:0]、PB[1:0]、PC[1:0]、PD[1:0] が使用されます。

図 58.13 に、ディザ補正ブロックの構成を示します。

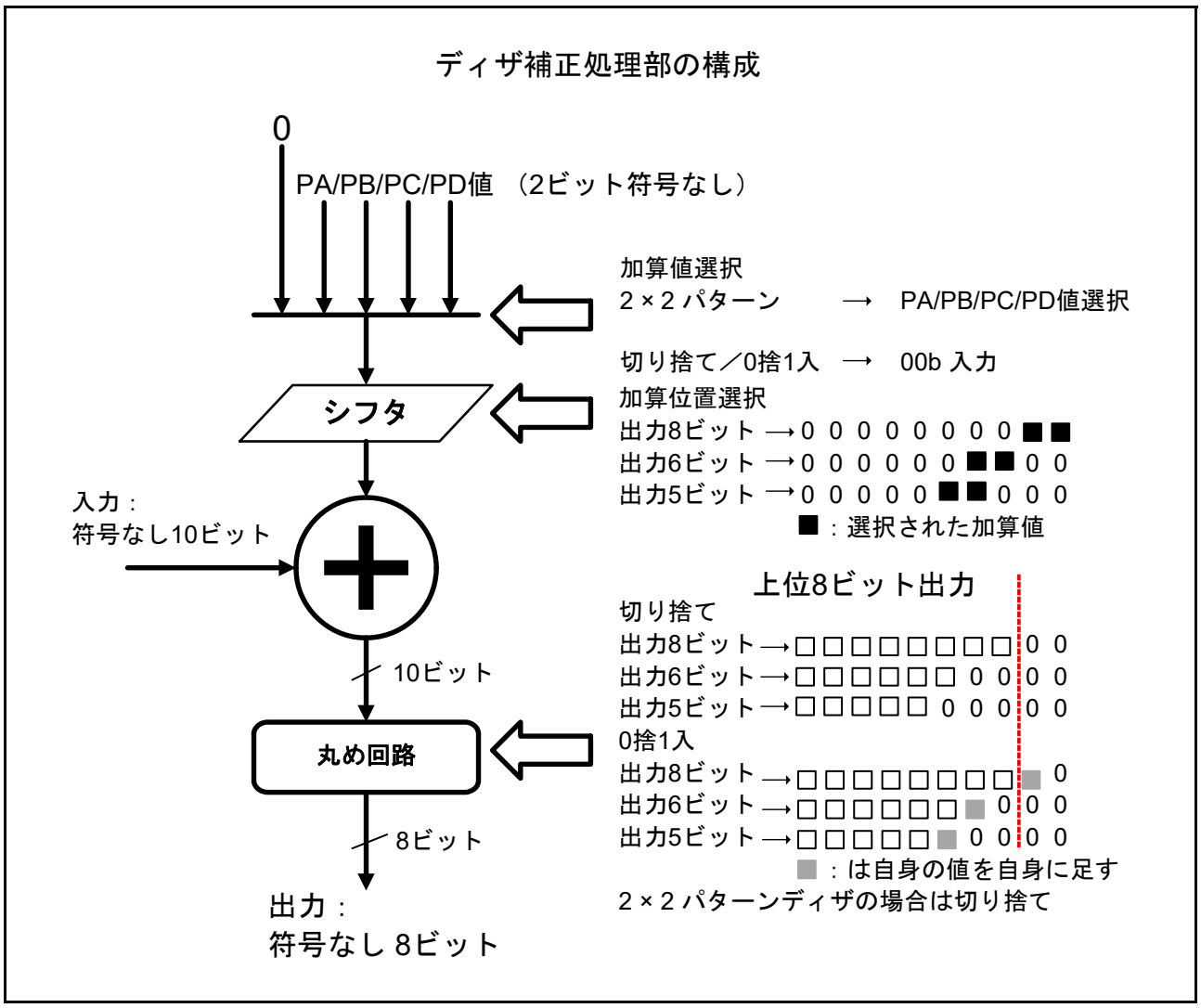


図 58.13 ディザ補正ブロックの構成

図 58.14 に、2 × 2 パターンディザの追加値選択方法を示します。

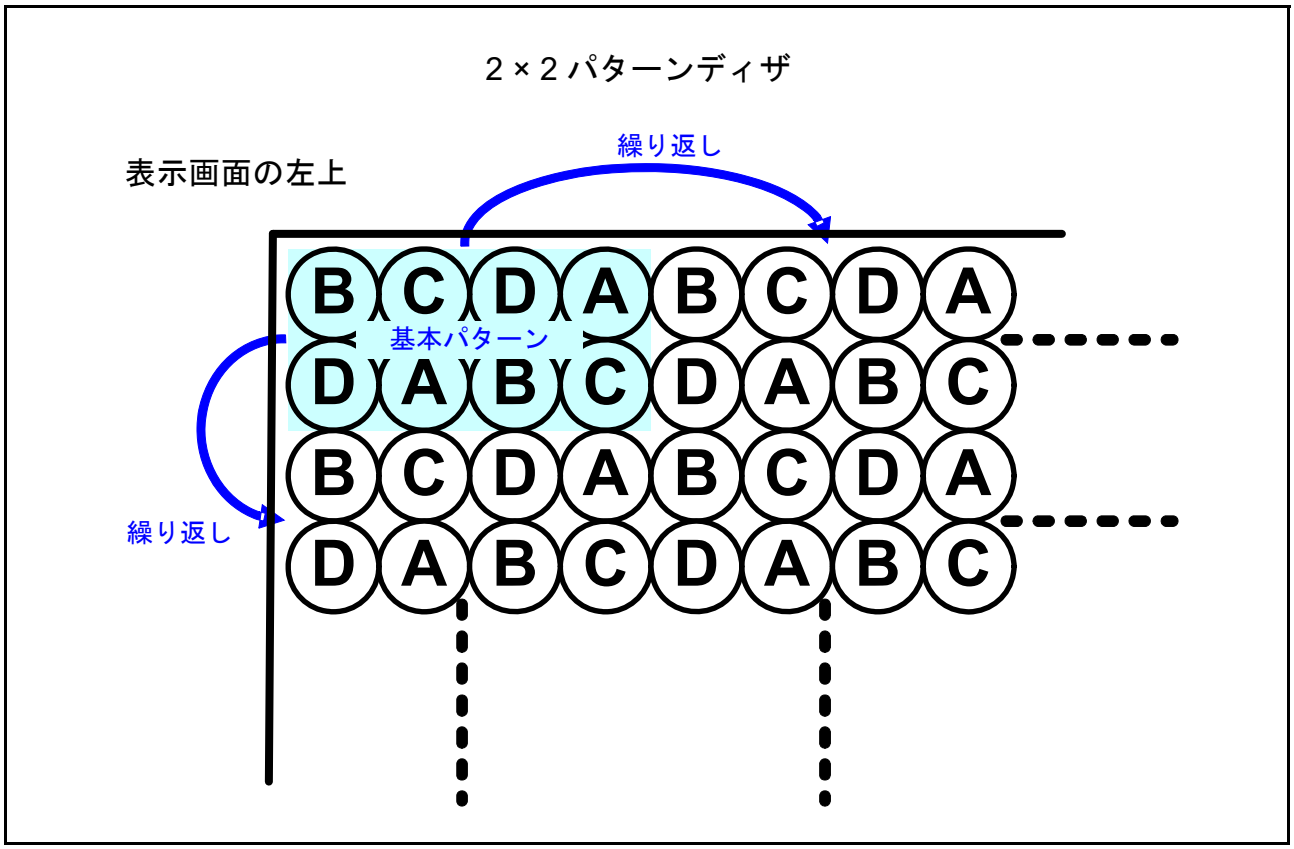


図 58.14　　2x2 パターンディザの追加値選択方法

基本パターンは次のとおり繰り返されます。4 フレームで 1 サイクルを構成します。

BCDA DABC	→	CDAB ABCD	→	DABC BCDA	→	ABCD CDAB	左に 1 ピクセル分シフトする 左に 1 ピクセル分シフトする
1番目 フレーム		2番目 フレーム		3番目 フレーム		4番目 フレーム		

- A：出力フォーマットに従い OUT_PDTHA.PA[1:0] ビット値をシフトした後に取得した値
- B：出力フォーマットに従い OUT_PDTHA.PB[1:0] ビット値をシフトした後に取得した値
- C：出力フォーマットに従い OUT_PDTHA.PC[1:0] ビット値をシフトした後に取得した値
- D：出力フォーマットに従い OUT_PDTHA.PD[1:0] ビット値をシフトした後に取得した値

推奨ビット設定：PA[1:0] = 11b、PB[1:0] = 00b、PC[1:0] = 10b、PD[1:0] = 01b

2x2 パターンディザ（OUT_PDTHA.SEL[1:0] = 10b）を設定する場合、バックグラウンドプレーンの有効ピクセル領域は基本パターンの整数の倍数でなければなりません。シリアル RGB が出力制御ブロックの出力フォーマットに選択されている場合、（水平有効ピクセル幅 + 2）の値をバックグラウンドプレーン水平有効ピクセル幅ビット（BG_HSIZE.HW[10:0]）に設定してください。

58.2.49 出力コントロールブロック出力相コントロールレジスタ（OUT_CLKPHASE）

アドレス GLCDC.OUT_CLKPHASE 400E 13E4h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	FRONTGAM	—	—	—	LCDEDGE	—	TCON0EDGE	TCON1EDGE	TCON2EDGE	TCON3EDGE	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b3	TCON3EDGE	LCD_TCON3出力相制御	0：出力をLCD_CLKの立ち上がりエッジに同期する 1：出力をLCD_CLKの立ち下がりエッジに同期する	R/W
b4	TCON2EDGE	LCD_TCON2出力相制御	0：出力をLCD_CLKの立ち上がりエッジに同期する 1：出力をLCD_CLKの立ち下がりエッジに同期する	R/W
b5	TCON1EDGE	LCD_TCON1出力相制御	0：出力をLCD_CLKの立ち上がりエッジに同期する 1：出力をLCD_CLKの立ち下がりエッジに同期する	R/W
b6	TCON0EDGE	LCD_TCON0出力相制御	0：出力をLCD_CLKの立ち上がりエッジに同期する 1：出力をLCD_CLKの立ち下がりエッジに同期する	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	LCDEDGE	LCD_DATA出力相制御	0：出力をLCD_CLKの立ち上がりエッジに同期する 1：出力をLCD_CLKの立ち下がりエッジに同期する	R/W
b11-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	FRONTGAM	補正制御	0：輝度／コントラスト補正の後にガンマ補正を実行 1：ガンマ補正の後に輝度／コントラスト補正を実行	R/W
b31-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． この設定は、OUT_VLATCH.VEN = 1 のとき、または全モジュールの内部動作に対するレジスタ値反映制御信号がアサートされたとき、垂直同期信号（入力）アサート時に内部動作へ反映されます。

TCON3EDGE ビット（LCD_TCON3 出力相制御）

LCD_TCON3 の出力相を制御します。LCD_TCON3 出力は、このビットが 1 の場合は LCD_CLK の立ち下がりエッジに、0 の場合は立ち上がりエッジに同期されます。

TCON2EDGE ビット（LCD_TCON2 出力相制御）

LCD_TCON2 の出力相を制御します。LCD_TCON2 出力は、このビットが 1 の場合は LCD_CLK の立ち下がりエッジに、0 の場合は立ち上がりエッジに同期されます。

TCON1EDGE ビット（LCD_TCON1 出力相制御）

LCD_TCON1 の出力相を制御します。LCD_TCON1 出力は、このビットが 1 の場合は LCD_CLK の立ち下がりエッジに、0 の場合は立ち上がりエッジに同期されます。

TCON0EDGE ビット（LCD_TCON0 出力相制御）

LCD_TCON0 の出力相を制御します。LCD_TCON0 出力は、このビットが 1 の場合は LCD_CLK の立ち下がりエッジに、0 の場合は立ち上がりエッジに同期されます。

LCDEDGE ビット（LCD_DATA 出力相制御）

LCD_DATA 端子（LCD_DATA00 ～ LCD_DATA23）の出力相を制御します。LCD_DATA 端子の出力は、このビットが 1 の場合は LCD_CLK の立ち下がりエッジに、0 の場合は立ち上がりエッジに同期されます。

FRONTGAM ビット（補正制御）

補正シーケンスを制御します。1 の場合はガンマ補正の後に輝度／コントラスト補正を行い、0 の場合は輝度／コントラスト補正の後にガンマ補正を行います。いずれの場合も、グラフィック 2 モジュールからの各 RGB データ出力は 8 ビットから 10 ビットに拡張（下位側に 00b が付加）され、補正回路の前ステージに入力されます。出力は 10 ビットに丸められ、ディザ補正回路に入力されます。このビットを使用して RGB ガンマ補正および輝度／コントラスト補正のシーケンスを逆にできますが、輝度補正は必ずコントラスト補正の前に行う必要があります。

58.2.50 TCON リファレンスタイミング設定レジスタ（TCON_TIM）

アドレス GLCDC.TCON_TIM 400E 1404h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	HALF[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

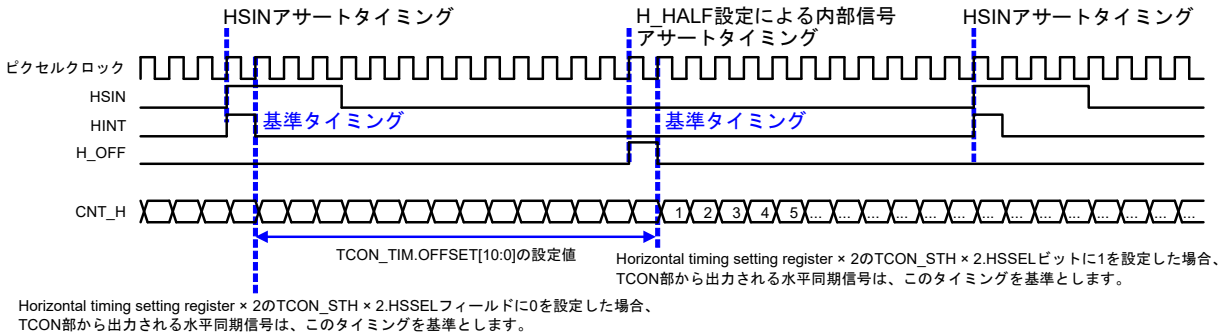
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	OFFSET[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	OFFSET[10:0]	水平同期信号生成基準タイミング	内部水平同期信号アサートからのオフセットをピクセルで示します。 000h：1ピクセル ： 3FFh：1024ピクセル 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	HALF[10:0]	垂直同期信号生成変更タイミング	内部水平同期信号アサートからの遅延をピクセルで示します。 000h：1ピクセル（遅延なし） ： 3FFh：1024ピクセル 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

OFFSET[10:0] ビット（水平同期信号生成基準タイミング）

TCON で水平同期信号が生成された場合に使用する基準タイミングを指定します。内部水平同期信号アサートからのオフセットをピクセルで設定します。図 58.15 に、TCON における水平同期信号生成基準タイミングを示します。



注 1. TCON_TIM.OFFSET[10:0] を 000h に設定した場合は、Horizontal timing setting register × 2 の TCON_STH × 2.HSSEL フィールドの設定によらず、常に HSIN アサートタイミングが基準となります。

図 58.15 TCON における水平同期信号生成の基準タイミング

HALF[10:0] ビット（垂直同期信号生成変更タイミング）

TCON で垂直同期信号が生成されたときの変更タイミングを指定します。内部水平同期信号のアサートからの遅延として、変更タイミングをピクセルで設定します。図 58.16 に、TCON における垂直平同期信号変更タイミングを示します。

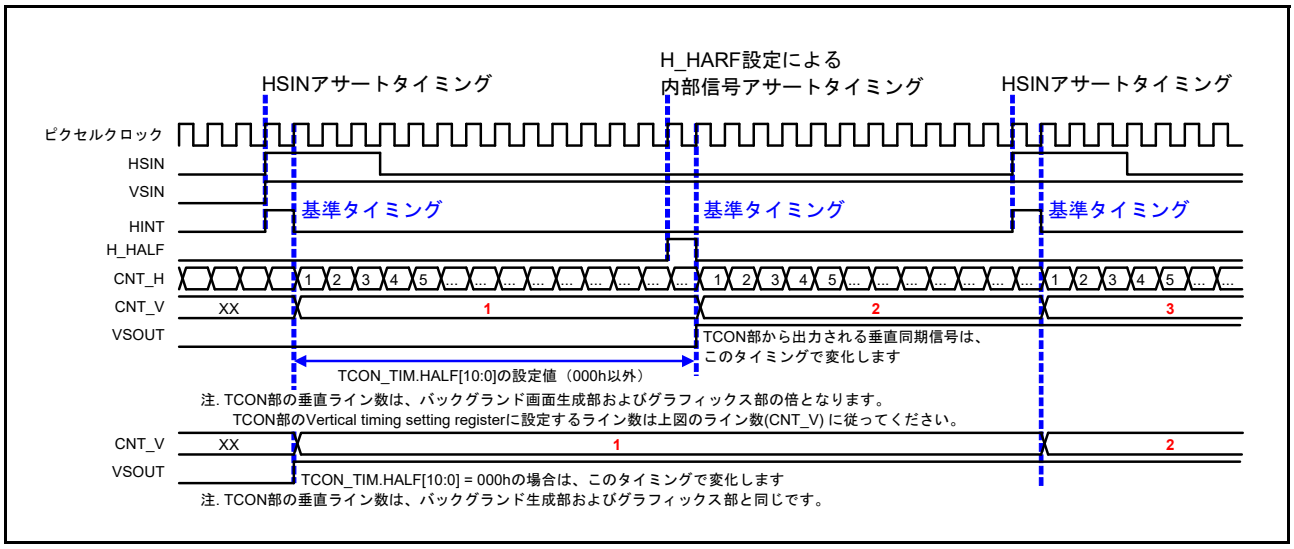


図 58.16　　TCON における垂直同期信号変更のタイミング

このビットを適切な値にすることで、いつでも 1 水平ライン内で垂直同期信号を変更できます。

また、図 58.17 に、出力制御ブロックにおける TCON ブロックと出力フォーマットブロックの関係を示します。これらのブロックは、共有制御信号（同タイミング）と画像データに基づいており、内部遅延も同じです。レジスタ設定で指定された遅延差は、外部端子のタイミング差の要因です。

- TCON ブロック：ピクセルクロック（PXCLK）の 3 サイクルの遅延
- データフォーマットブロック：
  - パラレル RGB：ピクセルクロック（PXCLK）の 3 サイクルの遅延
  - シリアル RGB：ピクセルクロック（PXCLK）の 3 サイクルの遅延

    - 無効データを含む先頭ピクセルデータの遅延

    - シリアル RGB データの遅延なし

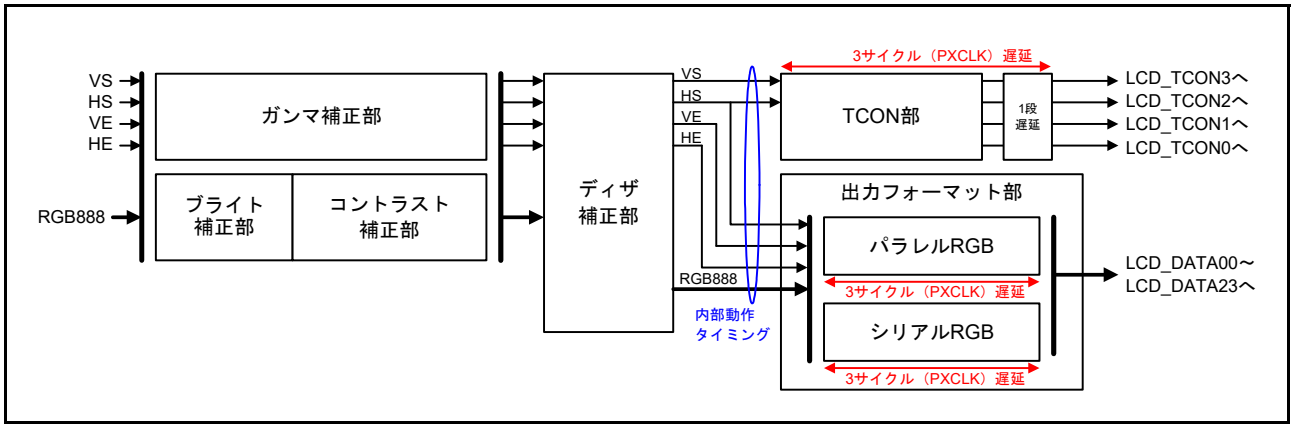


図 58.17　　出力制御ブロックの内部構成

58.2.51 TCON 垂直タイミング設定レジスタ A1（TCON_STVA1）
TCON 垂直タイミング設定レジスタ B1（TCON_STVB1）

アドレス GLCDC.TCON_STVA1 400E 1408h, GLCDC.TCON_STVB1 400E 1410h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	VS[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	VW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	VW[10:0]	垂直同期信号STVx1二次変更タイミング	ライン数で示す信号アサート幅 000h：0ライン（垂直同期信号のアサートなし） ： 7FFh：2047ライン	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	VS[10:0]	垂直同期信号STVx1一次変更タイミング	ライン数で示す信号遅延 000h：0ライン（遅延なし） ： 7FFh：2047ライン	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

垂直同期タイミング設定レジスタ（TCON_STVA1/TCON_STVB1、TCON_STVA2/TCON_STVB2）の構成は同じで、説明内の x は A または B とします。

VW[10:0] ビット（垂直同期信号 STVx1 二次変更タイミング）

TCON で生成された垂直同期信号 STVx1 の二次変更（ネゲート）タイミングを指定します。二次変更タイミングは、一次変更時からの遅延としてライン数で設定します。水平方向ラインの変更位置は、一次変更タイミングと同じように、リファレンスタイミング設定レジスタ（TCON_TIM）の TCON_TIM.HALF[10:0] で定義します。

VS[10:0] ビット（垂直同期信号 STVx1 一次変更タイミング）

TCON で生成された垂直同期信号 STVx1 の一次変更（アサート）タイミングを指定します。垂直同期信号（VSIN）の入力からの遅延として、変更タイミングをライン数で設定します。水平方向ラインの変更位置は、一次変更タイミングと同じように、リファレンスタイミング設定レジスタ（TCON_TIM）の TCON_TIM.HALF[10:0] で定義します。

図 58.18 に、生成する垂直同期信号の変更タイミングを示します。

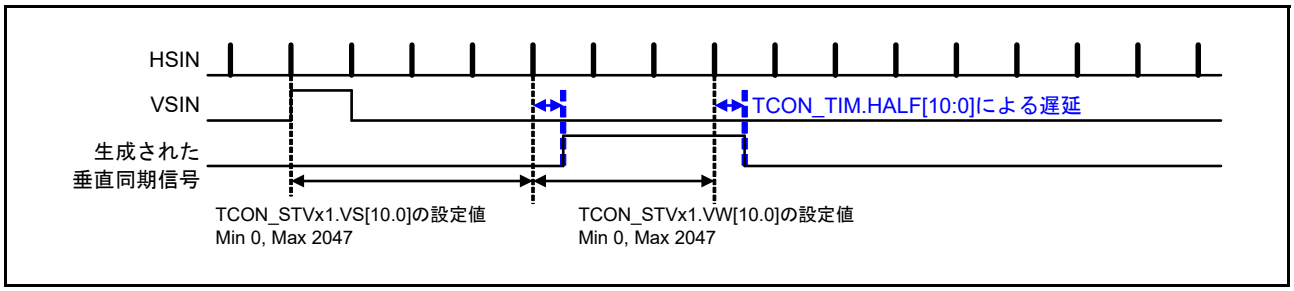


図 58.18 垂直同期信号の生成

58.2.52 TCON 垂直タイミング設定レジスタ A2（TCON_STVA2）
TCON 垂直タイミング設定レジスタ B2（TCON_STVB2）

アドレス GLCDC.TCON_STVA2 400E 140Ch, GLCDC.TCON_STVB2 400E 1414h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	INV	—	SEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SEL[2:0]	VSOUT/VEOUT端子の出力信号選択制御	LCD_TCON0端子（TCON_STVA2レジスタで制御）、LCD_TCON1端子（TCON_STVB2レジスタで制御）の出力信号選択 b2 b0 0 0 0：STVA 0 0 1：STVB 0 1 0：STHA 0 1 1：STHB 1 0 0：設定禁止 1 0 1：設定禁止 1 1 0：設定禁止 1 1 1：DE	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	INV	垂直同期信号STVxの極性反転制御	0：反転しない 1：反転する	R/W
b31-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

垂直同期タイミング設定レジスタ（TCON_STVA1/TCON_STVB1、TCON_STVA2/TCON_STVB2）の構成は同じで、説明内の x は A または B とします。

SEL[2:0] ビット（VSOUT/VEOUT 端子の出力信号選択制御）

LCD_TCON0/LCD_TCON1 端子の出力信号選択を制御します。図 58.19 に、反転制御と出力信号選択の構成を示します。

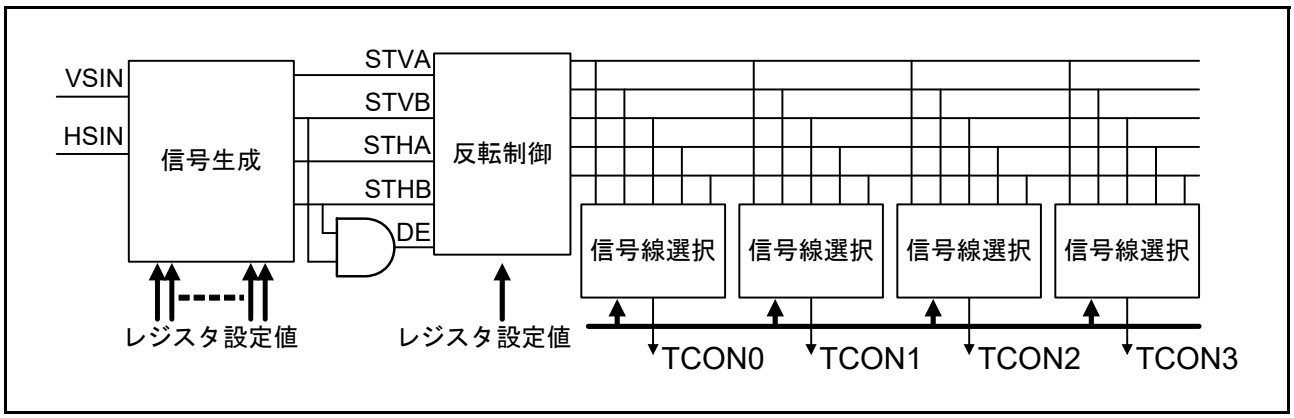


図 58.19 反転制御と出力信号選択の構成

INV ビット（垂直同期信号 STVx の極性反転制御）

垂直同期信号（STVx）の極性反転を制御します。

58.2.53 TCON 水平タイミング設定レジスタ STHA1（TCON_STHA1）
TCON 水平タイミング設定レジスタ STHB1（TCON_STHB1）

アドレス GLCDC.TCON_STHA1 400E 1418h, GLCDC.TCON_STHB1 400E 1420h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	HS[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	HW[10:0]										
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b10-b0	HW[10:0]	水平同期信号STHx1二次変更タイミング	ピクセルで示す信号アサート幅 000h：0ピクセル（水平同期信号のアサートなし） ： 3FFh：1,023ピクセル 上記以外は設定しないでください。	R/W
b15-b11	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b26-b16	HS[10:0]	水平同期信号STHx1一次変更タイミング	ピクセルで示す信号遅延 000h：0ピクセル（遅延なし） ： 3FFh：1,023ピクセル 上記以外は設定しないでください。	R/W
b31-b27	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注． 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

水平同期タイミング設定レジスタ（TCON_STHA1/TCON_STHB1、TCON_STHA2/TCON_STHB2）の構成は同じで、説明内の x は A または B とします。

HW[10:0] ビット（水平同期信号 STHx1 二次変更タイミング）

TCON で生成された水平同期信号 STHx1 の二次変更（ネゲート）タイミングを指定します。二次変更タイミングは、一次変更時からの距離としてピクセルで設定します。

HS[10:0] ビット（水平同期信号 STHx1 一次変更タイミング）

TCON で生成された水平同期信号 STHx1 の一次変更（アサート）タイミングを指定します。変更タイミングは入力水平同期信号（HSIN）からの距離、または TCON_TIM.OFFSET[10:0] ビットに指定されたオフセットに基づく基準タイミング（水平同期信号生成基準タイミング）として、ピクセルで設定します。

図 58.20 に、入力水平同期信号（HSIN）が HINT 信号のネゲートされたエッジ基準に基づく場合の、水平同期信号生成タイミングを示します。図 58.21 に、オフセット後の水平同期信号生成基準タイミングを示します。TCON_TIM.OFFSET[10:0] ビット（水平同期生成基準タイミング）とこれらの水平同期ビットを適切に設定することで、HSIN 前にアサートされ、HSIN 後にネゲートされる信号を生成できます。この場合、HSIN は TCON に入力された水平同期信号です。

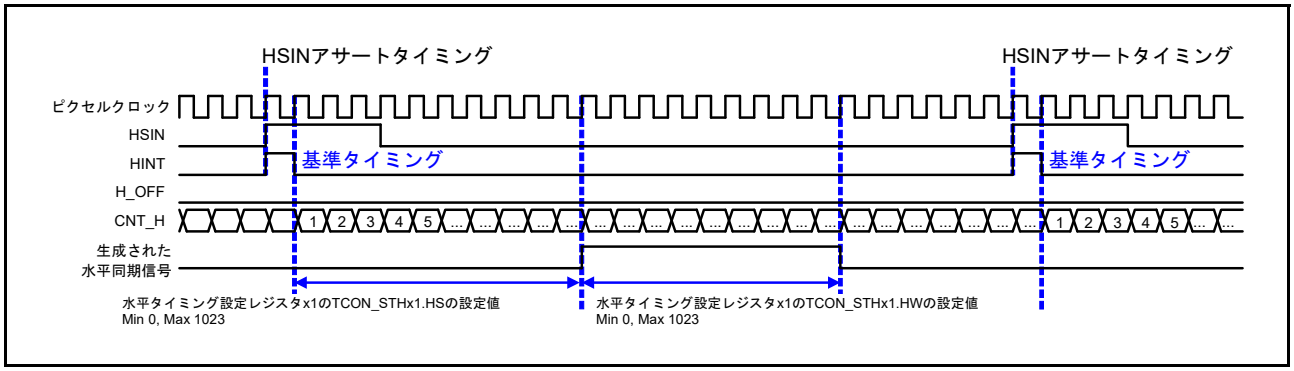


図 58.20　　入力水平同期信号（HSIN）に基づく信号生成

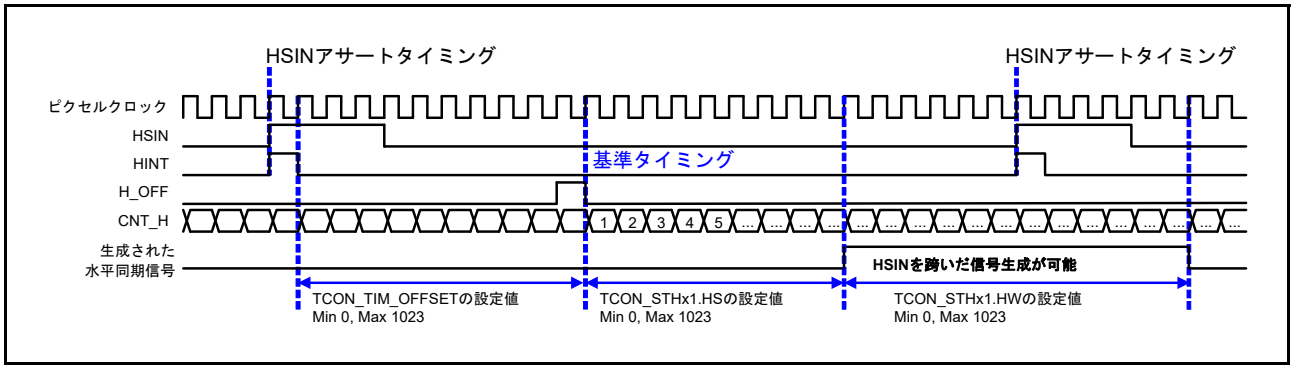


図 58.21　　オフセットに基づく水平同期信号の生成

オフセットを基準として HSIN 全体で信号を生成する場合、フレームの最終ラインの水平同期信号は次のフレームの 1 ライン目にまたがります。BG_EN.EN ビットを 0 にして GLCDC 動作を停止しても、HSIN 全体の水平同期信号はフレームエンドでクリアされず、レジスタに設定された二次変更タイミングまで事前に設定された値を保持します。BG_EN.SWRST を 0 にすると、直後に信号は初期状態に戻ります。

58.2.54 TCON 水平タイミング設定レジスタ STHA2（TCON_STHA2）
TCON 水平タイミング設定レジスタ STHB2（TCON_STHB2）

アドレス GLCDC.TCON_STHA2 400E 141Ch, GLCDC.TCON_STHB2 400E 1424h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HSSEL	—	—	—	INV	—	SEL[2:0]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	SEL[2:0]	LCD_TCON2/LCD_TCON3端子の出力信号選択制御	LCD_TCON2端子（TCON_STHA2レジスタで制御）、LCD_TCON3端子（TCON_STHB2レジスタで制御）の出力信号選択 b2 b1 b0 0 0 0：STVA 0 0 1：STVB 0 1 0：STHA 0 1 1：STHB 1 0 0：設定禁止 1 0 1：設定禁止 1 1 0：設定禁止 1 1 1：DE	R/W
b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b4	INV	水平同期信号STHxの極性反転制御	0：反転しない 1：反転する	R/W
b7-b5	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	HSSEL	水平同期信号STHxの基準タイミング制御	0：入力水平同期信号（HSIN）を信号生成の基準として選択 1：TCON_TIM.OFFSET[10:0]に指定されたオフセット（水平同期生成基準タイミング）を信号生成の基準として選択	
b31-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

水平同期タイミング設定レジスタ（TCON_STHA1/TCON_STHB1、TCON_STHA2/TCON_STHB2）の構成は同じで、説明内の x は A または B とします。

SEL[2:0] ビット（LCD_TCON2/LCD_TCON3 端子の出力信号選択制御）

LCD_TCON2/LCD_TCON3 端子の出力信号選択を制御します。

INV ビット（水平同期信号 STHx の極性反転制御）

水平同期信号（STHx）の極性反転を制御します。

HSSEL ビット（水平同期信号 STHx の基準タイミング制御）

水平同期信号 STHx を生成する基準タイミングを選択します。生成する信号の詳細については、図 58.20 および図 58.21 を参照してください。反転制御と出力信号選択の構成については、図 58.19 を参照してください。

58.2.55 TCON データイネーブル極性設定レジスタ（TCON_DE）

アドレス GLCDC.TCON_DE 400E 1428h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	INV	データ許可信号DE極性反転制御	0：反転しない 1：反転する	R/W
b31-b1	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 . 動作中の書き換えは禁止されています。動作を許可する前に必要な設定を行ってください。動作中に書き換えた場合、動作は保証されません。

INV ビット（データ許可信号 DE 極性反転制御）

データ許可信号 DE の極性反転を制御します。TCON で生成されたデータ許可信号 DE は、STVB 信号および STHB 信号の論理積です。

58.2.56 システムコントロールブロックステート検出コントロールレジスタ（SYSCNT_DTCTEN）

アドレス GLCDC.SYSCNT_DTCTEN 400E 1440h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	L2UNDFDTC	L1UNDFDTC	VPOSDTC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VPOSDTC	指定ライン検出制御	0：指定ラインの検出を禁止 1：指定ラインの検出を許可（注1）	R/W
b1	L1UNDFDTC	グラフィック1アンダーフロー検出制御	0：グラフィック1アンダーフローの検出を禁止 1：グラフィック1アンダーフローの検出を許可（注2）	R/W
b2	L2UNDFDTC	グラフィック2アンダーフロー検出制御	0：グラフィック2アンダーフローの検出を禁止 1：グラフィック2アンダーフローの検出を許可（注2）	R/W
b31-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. VPOSDTC ビットを 1 にするには事前に BG_EN.EN ビットを 1 にしてください。

注 2. LnUNDFDTC（n = 1, 2）ビットを 1 にして BG_SYNC.VP[3:0] ビットを 5h よりも大きい値にすると、GLCDC の起動後に予期せぬ GLCDC_LnUNDF（n = 1, 2）割り込みが発生します。その場合は、SYSCNT_STCLR.LnUNDFCLR（n = 1, 2）ビットを 1 にしてから SYSCNT_STMON.LnUNDF（n = 1, 2）ビットを 0 にして、予期せぬ GLCDC_LnUNDF（n = 1, 2）割り込みを解除してください。

VPOSDTC ビット（指定ライン検出制御）

指定ラインの検出を許可／禁止します。1 の場合、グラフィック 2 からのイベント通知により、SYSCNT_STMON レジスタの関連ビットが 1 になります。0 の場合、グラフィック 2 からのイベント通知が発生しても、SYSCNT_STMON レジスタの関連ビットは 1 になりません。

L1UNDFDTC ビット（グラフィック 1 アンダーフロー検出制御）

グラフィック 1 のアンダーフローの検出を許可／禁止します。1 の場合、グラフィック 1 でアンダーフローが発生すると、SYSCNT_STMON レジスタの関連ビットが 1 になります。0 の場合、グラフィック 1 でアンダーフローが発生しても、SYSCNT_STMON レジスタの関連ビットは 1 になりません。このビットの値にかかわらず、グラフィック 1 のアンダーフロー状態は、垂直同期信号（VS）アサート時に自動的にクリアされ、通常動作が回復します。

L2UNDFDTC ビット（グラフィック 2 アンダーフロー検出制御）

グラフィック 2 のアンダーフローの検出を許可／禁止します。1 の場合、グラフィック 2 でアンダーフローが発生すると、SYSCNT_STMON レジスタの関連ビットが 1 になります。0 の場合、グラフィック 2 でアンダーフローが発生しても、SYSCNT_STMON レジスタの関連ビットは 1 になりません。このビットの値にかかわらず、グラフィック 2 のアンダーフロー状態は、垂直同期信号（VS）アサート時に自動的にクリアされ、通常動作が回復します。

58.2.57 システムコントロールブロック割り込み要求イネーブルコントロールレジスタ（SYSCNT_INTEN）

アドレス GLCDC.SYSCNT_INTEN 400E 1444h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	L2UNDFINTEN	L1UNDFINTEN	VPOSINTEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VPOSINTEN	割り込み要求信号GLCDC_VPOS有効制御	0：GLCDC_VPOS出力を禁止 1：GLCDC_VPOS出力を許可	R/W
b1	L1UNDFINTEN	割り込み要求信号GLCDC_L1UNDF有効制御	0：GLCDC_L1UNDF出力を禁止 1：GLCDC_L1UNDF出力を許可	R/W
b2	L2UNDFINTEN	割り込み要求信号GLCDC_L2UNDF有効制御	0：GLCDC_L2UNDF出力を禁止 1：GLCDC_L2UNDF出力を許可	R/W
b31-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VPOSINTEN ビット（割り込み要求信号 GLCDC_VPOS 有効制御）

割り込み要求信号 GLCDC_VPOS を許可／禁止します。1 の場合、関連ステータスモニタフラグ SYSCNT_STMON[0] が設定されると、割り込み要求信号 GLCDC_VPOS がアサートされます。0 の場合、関連ステータスモニタフラグ SYSCNT_STMON[0] が設定されても、割り込み要求信号 GLCDC_VPOS はアサートされません。GLCDC_VPOS アサート中にこのビットがクリアされると、関連ステータスモニタフラグ SYSCNT_STMON[0] は変更されませんが、割り込み要求信号 GLCDC_VPOS がネゲートされます。

L1UNDFINTEN ビット（割り込み要求信号 GLCDC_L1UNDF 有効制御）

割り込み要求信号 GLCDC_L1UNDF を許可／禁止します。1 の場合、関連ステータスモニタフラグ SYSCNT_STMON[1] が設定されると、割り込み要求信号 GLCDC_L1UNDF がアサートされます。0 の場合、関連ステータスモニタフラグ SYSCNT_STMON[1] が設定されても、割り込み要求信号 GLCDC_L1UNDF はアサートされません。GLCDC_L1UNDF アサート中にこのビットがクリアされると、関連ステータスモニタフラグ SYSCNT_STMON[1] は変更されませんが、割り込み要求信号 GLCDC_L1UNDF がネゲートされます。

L2UNDFINTEN ビット（割り込み要求信号 GLCDC_L2UNDF 有効制御）

割り込み要求信号 GLCDC_L2UNDF を許可／禁止します。1 の場合、関連ステータスモニタフラグ SYSCNT_STMON[2] が設定されると、割り込み要求信号 GLCDC_L2UNDF がアサートされます。0 の場合、関連ステータスモニタフラグ SYSCNT_STMON[2] が設定されても、割り込み要求信号 GLCDC_L2UNDF はアサートされません。GLCDC_L2UNDF アサート中にこのビットがクリアされると、関連ステータスモニタフラグ SYSCNT_STMON[2] は変更されませんが、割り込み要求信号 GLCDC_L2UNDF がネゲートされます。

58.2.58 システムコントロールブロックステータスクリアレジスタ（SYSCNT_STCLR）

アドレス GLCDC.SYSCNT_STCLR 400E 1448h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	L2UNDFCLR	L1UNDFCLR	VPOSCLR
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VPOSCLR	グラフィック2指定ライン検出フラグクリア	0：何もしない 1：グラフィック2指定ライン検出フラグをクリアする	R/W（注1）
b1	L1UNDFCLR	グラフィック1アンダーフロー検出フラグクリア	0：何もしない 1：グラフィック1アンダーフロー検出フラグをクリアする	R/W（注1）
b2	L2UNDFCLR	グラフィック2アンダーフロー検出フラグクリア	0：何もしない 1：グラフィック2アンダーフロー検出フラグをクリアする	R/W（注1）
b31-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

注 1. 読むと 0 が読めます。

VPOSCLR ビット（グラフィック 2 指定ライン検出フラグクリア）

1 を書くと、グラフィック 2 指定ライン検出フラグがクリアされます。このビットによるフラグのクリアは、関連フラグにおいてのみ有効で、その他の状態や割り込み要求信号に直接影響することはありません。ただし、検出フラグをクリアすることで、割り込み要求信号がネゲートされる場合があります。

L1UNDFCLR ビット（グラフィック 1 アンダーフロー検出フラグクリア）

1 を書くと、グラフィック 1 アンダーフロー検出フラグがクリアされます。このビットによるフラグのクリアは、関連フラグにおいてのみ有効で、その他の状態や割り込み要求信号に直接影響することはありません。ただし、検出フラグをクリアすることで、割り込み要求信号がネゲートされる場合があります。

L2UNDFCLR ビット（グラフィック 2 アンダーフロー検出フラグクリア）

1 を書くと、グラフィック 2 アンダーフロー検出フラグがクリアされます。このビットによるフラグのクリアは、関連フラグにおいてのみ有効で、その他の状態や割り込み要求信号に直接影響することはありません。ただし、検出フラグをクリアすることで、割り込み要求信号がネゲートされる場合があります。

58.2.59 システムコントロールブロックステータスモニタレジスタ（SYSCNT_STMON）

アドレス GLCDC.SYSCNT_STMON 400E 144Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	L2UNDF	L1UNDF	VPOS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	VPOS	グラフィック2指定ライン検出フラグ	0：グラフィック2で指定ライン通知は検出されない 1：グラフィック2で指定ライン通知が検出された	R
b1	L1UNDF	グラフィック1アンダーフロー検出フラグ	0：グラフィック1でアンダーフローは検出されない 1：グラフィック1でアンダーフローが検出された	R
b2	L2UNDF	グラフィック2アンダーフロー検出フラグ	0：グラフィック2でアンダーフローは検出されない 1：グラフィック2でアンダーフローが検出された	R
b31-b3	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W

VPOS フラグ（グラフィック 2 指定ライン検出フラグ）

グラフィック 2 で指定ライン通知が検出されたことを示します。1 の場合、過去のいずれかの時点に、グラフィック 2 で指定ライン通知が検出されたことを示します。必ずしも、グラフィック 2 が指定ラインを現在処理中であるとは限りません。0 の場合、モジュール動作が有効になってから、指定ライン通知は検出されていないことを示します。割り込み要求信号が有効で、このフラグが 1 のときにクリアされると、関連割り込み要求信号 GLCDC_VPOS はネゲートされますが、グラフィック 2 の状態に影響はありません。

L1UNDF フラグ（グラフィック 1 アンダーフロー検出フラグ）

グラフィック 1 でアンダーフローが検出されたことを示します。1 の場合、過去にグラフィック 1 でアンダーフローが検出されたことを示します。必ずしも、グラフィック 1 が現在アンダーフロー状態にあるとは限りません。0 の場合、モジュール動作が有効になってから、アンダーフローは検出されていないことを示します。割り込み要求信号が有効で、このフラグが 1 のときにクリアされると、関連割り込み要求信号 GLCDC_L1UNDF はネゲートされますが、グラフィック 1 の状態に影響はありません。

現在のグラフィックデータが要求されていない（GR1_AB1.DISPSEL[1:0] = 0xb）場合でも、SYSCNT_DTCTEN.L1UNDFDTC フラグ（グラフィック 1 アンダーフロー検出制御）が 1 で検出が有効であれば、グラフィック画像有効領域開始時に、このフラグは 1 になります。不必要な検出フラグの設定や割り込み要求信号のアサートを回避するため、ディスプレイが現在のグラフィックデータを要求しない場合は、SYSCNT_DTCTEN.L1UNDFDTC フラグと SYSCNT_INTEN.L1UNDFINTEN ビット（割り込み要求信号 GLCDC_L1UNDF 有効制御）を 0 にしてください。

L2UNDF フラグ（グラフィック 2 アンダーフロー検出フラグ）

グラフィック 2 でアンダーフローが検出されたことを示します。1 の場合、過去にグラフィック 2 でアンダーフローが検出されたことを示します。必ずしも、グラフィック 2 が現在アンダーフロー状態にあるとは限りません。0 の場合、モジュール動作が有効になってから、アンダーフローは検出されていないことを示します。割り込み要求信号が有効で、このフラグが 1 のときにクリアされると、関連割り込み要求信号 GLCDC_L2UNDF はネゲートされますが、グラフィック 2 の状態に影響はありません。

現在のグラフィックデータが要求されていない（GR2_AB1.DISPSEL[1:0] = 0xb）場合でも、SYSCNT_DTCTEN.L2UNDFDTC フラグ（グラフィック 2 アンダーフロー検出制御）が 1 で検出が有効であれば、グラフィック画像有効領域開始時に、このフラグは 1 になります。不必要な検出フラグの設定や割り込み要求信号のアサートを回避するため、ディスプレイが現在のグラフィックデータを要求しない場合は、

SYSCNT_DTCTEN.L2UNDFDTC フラグと SYSCNT_INTEN.L2UNDFINTEN ビット（割り込み要求信号 GLCDC_L2UNDF 有効制御）を 0 にしてください。

58.2.60 システムコントロールブロックバージョンおよびパネルクロックコントロールレジスタ（SYSCNT_PANEL_CLK）

アドレス GLCDC.SYSCNT_PANEL_CLK 400E 1450h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	VER[15:0]															
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	PIXSEL	—	—	—	CLKSEL	—	CLKEN	DCDR[5:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	DCDR[5:0]	クロック分周比設定制御	詳しい設定は、表 58.9 を参照してください。	R/W
b6	CLKEN	パネルクロック出力許可制御	0：パネルクロック出力を禁止 1：パネルクロック出力を許可 PIXSELビット、CLKSELビット、DCDRビットを変更する前に0にしてください。	R/W
b7	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b8	CLKSEL	パネルクロック供給元制御	0：外部クロック（LCD_EXTCLK）を選択 1：PLL出力を選択	R/W
b11-b9	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b12	PIXSEL	ピクセルクロック選択制御	0：分周なし、パラレルRGBを選択 1：4分周、シリアルRGBを選択 OUT_SET.FRQSEL[1]と同じ値を設定する必要があります。	R/W
b15-b13	—	予約ビット	読むと0が読めます。書く場合、0としてください。	R/W
b31-b16	VER[15:0]	バージョン情報	GLCDCのバージョン情報	R

ピクセル／パネルクロック生成回路の構成を、図 9.1 クロック発生回路のブロック図に示します。

DCDR[5:0] ビット（クロック分周比設定制御）

パネルクロック分周比の設定を制御します。分周比ビットには、表 58.9 に記載された値しか設定できません。これ以外の値での動作は保証されません。

表 58.9 入力クロックの分周 (1/2)

DCDR[5:0]	クロック分周比	CLKSEL = 0、LCD_EXTCLK（≦60MHz）	CLKSEL = 1、PLL出力（120～240MHz）
000000b	1/2	LCD_EXTCLK/2	PLL出力／2（注1）
000001b	1/1	LCD_EXTCLK（注1）	PLL出力（注1）
000010b	1/2	LCD_EXTCLK/2	PLL出力／2（注1）
000011b	1/3	LCD_EXTCLK/3	PLL出力／3（注1）
000100b	1/4	LCD_EXTCLK/4	PLL出力／4（注1）
000101b	1/5	LCD_EXTCLK/5	PLL出力／5
000110b	1/6	LCD_EXTCLK/6	PLL出力／6
000111b	1/7	LCD_EXTCLK/7	PLL出力／7
001000b	1/8	LCD_EXTCLK/8	PLL出力／8
001001b	1/9	LCD_EXTCLK/9	PLL出力／9
001100b	1/12	LCD_EXTCLK/12	PLL出力／12
010000b	1/16	LCD_EXTCLK/16	PLL出力／16
011000b	1/24	LCD_EXTCLK/24	PLL出力／24

表 58.9 入力クロックの分周 (2/2)

DCDR[5:0]	クロック分周比	CLKSEL = 0、LCD_EXTCLK（≦60MHz）	CLKSEL = 1、PLL出力（120～240MHz）
100000b	1/32	LCD_EXTCLK/32	PLL出力／32

注 1. パネルクロックも LCD_CLK 出力クロックとして出力されます。LCD_EXTCLK および LCD_CLK の周波数は限定されているため、この設定は禁止される場合があります。「60. 電気的特性」を参照してください。

パネルクロック設定方法：

1. CLKSEL ビットでパネルクロックの入力元を設定した後に、DCDR[5:0] ビットの分周比とピクセルクロック選択を設定する。
2. CLKEN ビットを 1 にする。

CLKEN ビット（パネルクロック出力許可制御）

パネルクロック出力を許可／禁止します。パネルクロック出力を許可してパネルクロックブロックを動作させる場合、1 にします。PIXSEL ビット、CLKSEL ビット、DCDR ビットを変更する場合、いったんこのビットを 0 にしてからパネルクロック出力を停止します。パネルクロック出力中に何らかの設定を変更した場合、動作は保証されません。

CLKSEL ビット（パネルクロック供給元制御）

外部クロック端子（LCD_EXTCLK）または PLL 出力のいずれかから、パネルクロック供給元を選択します。外部クロックを選択する場合、0 にします。PLL 出力を選択する場合、1 にします。

PIXSEL ビット（ピクセルクロック選択制御）

ピクセルクロック出力の選択を制御します。パラレル RGB を選択する場合、0 にしてパネルクロックと同じ周波数を出力します（分周なし）。シリアル RGB を選択する場合、1 にしてパネルクロックの 4 分周をピクセルクロックとして出力します。

このビットは、OUT_SET.FRQSEL[1:0] の設定と同期する必要があります。FRQSEL[1] には、必ず同じ値を設定してください。条件に違反した場合の動作は保証されません。

VER[15:0] ビット（バージョン情報）

GLCDC のバージョン情報を提供します。

58.3 動作説明

58.3.1 制御の概要

図 58.22 に示すとおり、GLCDC は 6 つのモジュールで構成されており、各モジュールはそれぞれ独立して機能します。図 58.23 に示すとおり、画像データを処理する 4 つのモジュールは、垂直／水平同期信号 VS、HS、VE、HE、および画像データ（RGB888）で相互接続されています。画像データの処理は、ピクセルクロック（PXCLK）を使用して行います。LCD_CLK は PXCLK と同期し（また互いに同相）、周波数は同じまたは 4 倍（シリアル RGB888 出力）です。動作および設定パラメータを制御するレジスタは、内部周辺バス 8 に接続しており、PCLKA を基準に動作します。データバッファおよび CLUT メモリを含む回路は、GPX バスからグラフィックを読み出すために PCLKA を基準に動作し、カラーパレット（CLUT）メモリにアクセスし、グラフィックデータを ARGB8888 フォーマットに拡張します。

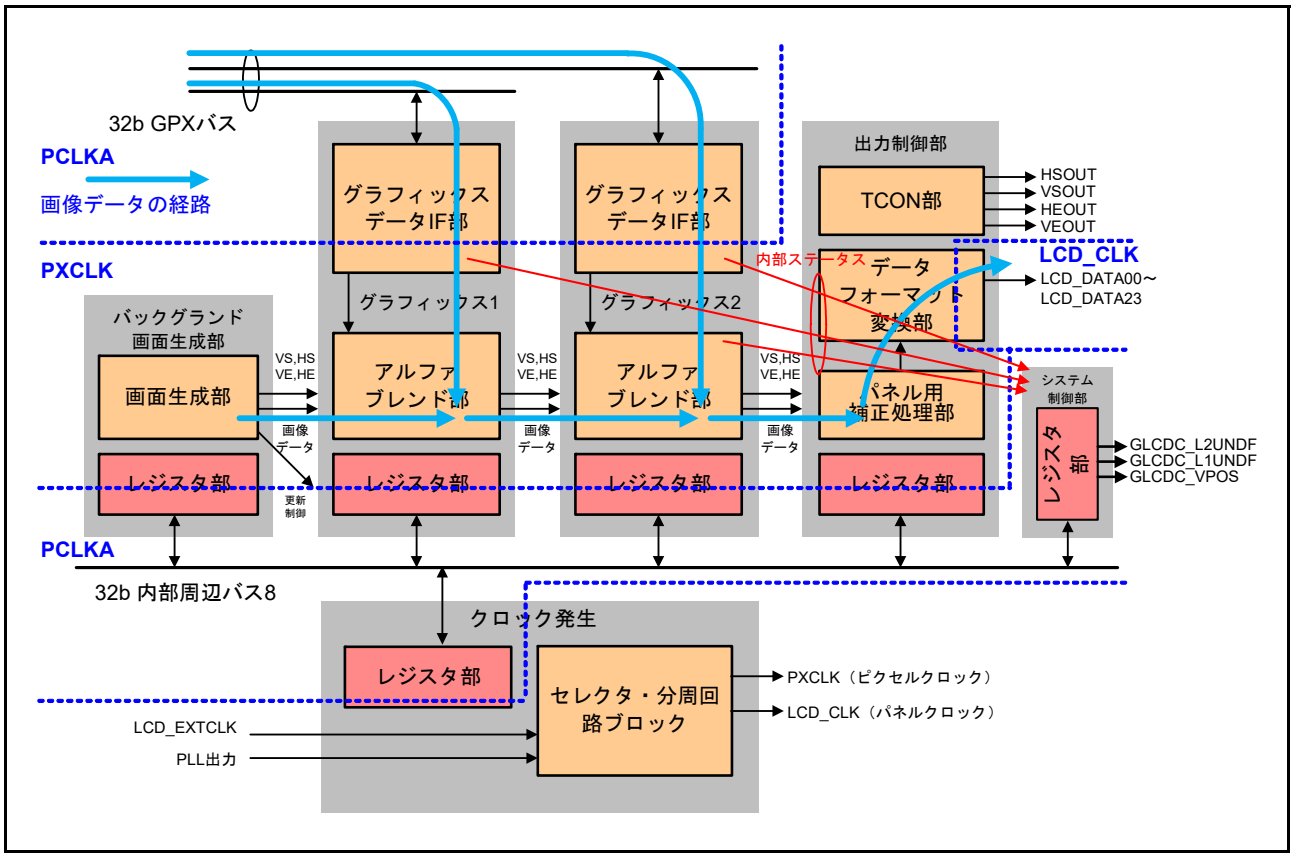


図 58.22 GLCDC 構成

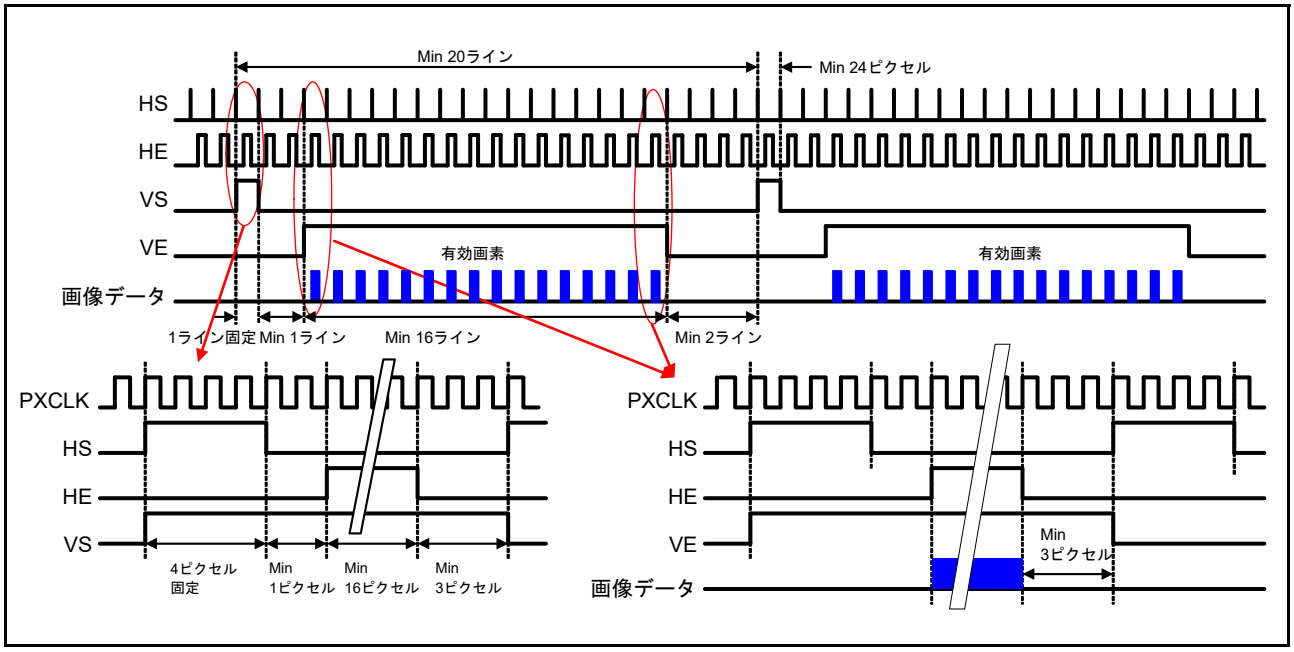


図 58.23　　GLCDC の画像データキャリア信号

グラフィック 1、グラフィック 2、出力制御モジュールに、個別の動作許可ビットはありません。バックグラウンド画面生成モジュールでソフトウェアリセット状態をクリアすることで、これらのモジュールは垂直／水平同期信号 VS、HS、VE、HE、および画像データ（RGB888）の入力を待機し、垂直同期信号 VS のアサートを検出し、レジスタに事前設定された値に基づき各フレームの動作を開始します。システム制御モジュールでは、バックグラウンド画面生成モジュールでソフトウェアリセット状態をクリアすると、レジスタ設定に基づくグラフィック 1 およびグラフィック 2 のステータス監視と、割り込み要求信号のアサートを実行できます。これらのステータスフラグは内部ステータスの観察を目的としており、内部動作に影響することはありません。GLCDC の起動から停止までの動作については、本項で説明します。

(1)　起動

GLCDC 動作を開始するには以下を実行します。

1. PCLKA が GLCDC に供給され、リセットがネゲートされていることを確認します。LCD_CLK を PXCLK または LCD_CLK と同じ周波数に設定して 4 倍速クロックにする場合、設定は後続ステージで指定されたレジスタの値と一致しなければなりません。4 倍速クロックは、出力フォーマットがシリアル RGB888 の場合に限り必要です。シリアル RGB888 以外のフォーマットで LCD_CLK に 4 倍速クロックが供給された場合、動作は保証されません。
2. BG_EN.SWRST ビットを 1 にして、GLCDC 全体のソフトウェアリセットを解除します。
3. 各レジスタでの動作に必要なパラメータを設定します。どのモジュールのレジスタも最初に設定できますが、バックグラウンド画面生成モジュールの BG_EN.VEN ビット（内部動作への GLCDC 内部レジスタ値反映制御）、BG_EN.EN ビット（バックグラウンドプレーン動作許可）、各モジュールのレジスタ更新コントロールレジスタの VEN ビットが 0 に保持されている間は、PCLKA および PXCLK/LCD_CLK が供給され、BG_MON.SWRST ビット（モジュール全体のソフトウェアリセット状態モニタ）が 1 であることを確認してください。
4. GPX バス経由でグラフィック 1、グラフィック 2 から読み出したグラフィックデータを表示する場合、GRn_FLMRD.RENB ビットを 1（グラフィックデータ読み出し許可）にします。
5. 必要に応じて、グラフィック 1、グラフィック 2（0 プレーン、1 プレーン）のカラーパレットデータを、レジスタアクセスバス（内部周辺バス 8）を介して CLUT メモリに書き込みます。これは LUT1、LUT4、LUT8、ARGB1555 データフォーマットで必要な作業です。ARGB1555 は、プレーン 2 面でアドレス 80h と 00h を、LUT1 は 01h と 00h を、LUT4 は 0Fh ～ 00h を、LUT8 は FFh ～ 00h を使用します。
6. バックグラウンド画面生成モジュールの BG_EN.VEN ビット（内部動作へのバックグラウンドプレーンレジスタ値反映制御）と BG_EN.EN ビット（バックグラウンドプレーン動作許可）を同時に 1 にします。この設定により、バックグラウンド画面生成モジュールからの垂直／水平同期信号 VS、HS、VE、

HE、画像データ（RGB888）の出力が可能になります。ピクセルデータが有効な場合（VE と HE の両方が 1）、バックグラウンド画面生成モジュールからの出力には BG_BGC レジスタの値が使用されます。有効ではないピクセルのデータ値は 00 0000h です。

7. 各モジュールは、前ステージ（グラフィック 1 用にバックグラウンド画面生成モジュール、グラフィック 2 用にグラフィック 1、出力制御モジュール用にグラフィック 2）から出力された垂直同期信号（VS）のアサートを検出し、レジスタ設定に準じて動作を開始します。すべてのモジュールはフレーム単位で動作を制御します。垂直同期信号（VS）のアサートが検出されると、現在のフレームはフレームの先頭となり、ステータスが初期化されます。必要に応じて（レジスタ更新コントロールレジスタの VEN ビットが 1 の場合）、レジスタアクセスバスを介して読み出したレジスタ値が内部動作に反映されます。

(2) 動作中のパラメータ変更

GLCDC では、バックグラウンド画面生成モジュール、グラフィック 1、グラフィック 2 によるグラフィックデータの読み出しを妨げることなく、動作中に各モジュールのパラメータを更新して内部動作に反映することが可能です。バックグラウンド画面生成モジュールを含め、モジュールの VEN ビットを 1 にすることで、後続フレームの開始時（バックグラウンド画面生成モジュールでは制御画面開始時、およびその他のモジュールでは前ステージへの VS アサート直後）に、ほぼすべてのパラメータが内部動作に反映されます。ただし、内部動作で使用される CLUT プレーン（GRn_CLUTINT.SEL[1:0] ビットで決定）が変更されると、その更新は、続く VS アサートを待たず即時に内部動作へ反映されます。CLUT プレーン変更の内部動作への即時反映を回避するには、まず内部動作で使用されていない CLUT プレーンで必要なすべての画像データ（ARGB8888）を書き込み、次に GRn_CLUTINT.SEL[1:0] ビットを変更し、最後にバックグラウンド画面生成モジュールまたは対象モジュールの VEN ビットを 1 にします。

動作中にパラメータを変更するには、以下を実行します。

1. 各モジュールの VEN ビットが 0 であることを確認します。内部動作にレジスタ値を反映するモジュールの VEN ビット、またはバックグラウンド画面生成モジュールの VEN ビットが 1 のときに対象レジスタを変更した場合、動作は保証されません。
2. 対象レジスタの値を変更します。
3. 特定のモジュールのみを対象とする場合、該当する対象モジュールの VEN ビットを 1 にします。複数のモジュール、もしくはバックグラウンド画面生成モジュールを対象とする場合、バックグラウンド画面生成モジュールの VEN ビットを 1 にします。この場合、バックグラウンド画面生成モジュールだけでなく、すべてのモジュールが対象となります。
4. 1 にした VEN ビットが 0 になったことを確認します。このビットが 0 になると、対象レジスタのコンテンツが内部動作に反映されます。このビットが引き続き 1 の場合、対象レジスタのコンテンツは内部動作に反映されていない可能性があります。各モジュールの VEN ビットは、対象レジスタ値が内部に反映された直後に 0 になります。ただし、バックグラウンド画面生成モジュールの VEN ビットは、モジュール出力 VE がネゲートされるまで 0 になりません（すべてのモジュールにおいては、レジスタ値が同一フレームの内部動作に反映されるよう、バックグラウンド画面生成モジュールの VS アサートに関して十分な遅延を確保しています）。図 58.24 に、バックグラウンド画面生成モジュールおよびモニタビットが出力する信号の動作を示します。

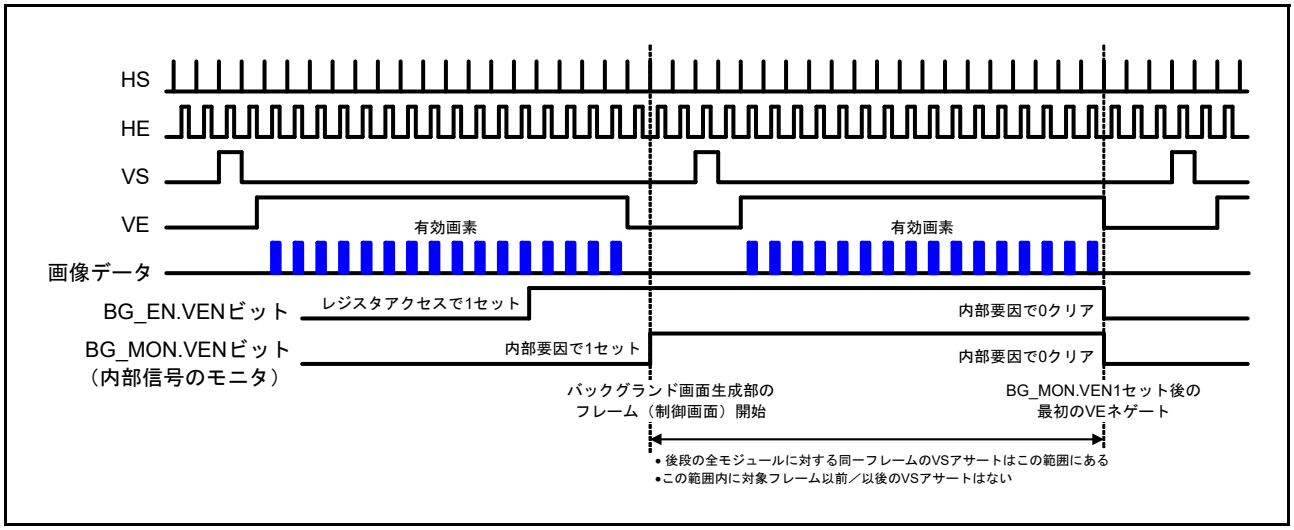


図 58.24　　内部動作へのレジスタ値反映制御信号

(3)　正常動作時の停止と再開

GLCDC の停止方法：

1. 各モジュールの VEN ビットが 0 であることを確認します。
2. バックグラウンド画面生成モジュールの BG_EN.EN ビット（バックグラウンドプレーン動作許可）を 0 にします。
3. バックグラウンド画面生成モジュールの BG_MON.EN ビット（バックグラウンドプレーン動作モニタ）が 0 になったことを確認します。このビットは、動作が停止しなければ 0 になりません。このビットは、全モジュールの動作完了時ではなく（出力制御モジュールのフレームエンドではなく）、バックグラウンド画面生成モジュールのフレームエンドでクリアされます。全モジュールの動作完了を待つ必要がある場合、一定期間（たとえば 1 ライン分と同等の期間）が必要となります。
4. 通常は、バックグラウンド画面生成モジュールの BG_MON.EN ビットが 0 になったことを確認してから、ソフトウェアリセットを安全に適用（BG_EN.SWRST ビットをクリア）できます。（出力信号が初期値に戻っても、GLCDC はすでに垂直ブランキング期間に入っているため問題は発生しません。）
5. ソフトウェアリセットを適用せずに関連レジスタを設定して GLCDC を再開する場合、BG_MON.EN ビットが 0（出力制御モジュールの出力がフレームエンド）になってから十分な時間が経過したら GLCDC を開始してください。GLCDC は、前フレームの VS アサートをフレームの先頭と認識してから動作を開始するため、GLCDC 自体はこれによる影響を受けません。ただし、ブランキング期間または 1 ラインに相当する期間が短すぎる場合、一部の接続されたデバイスで動作に影響が出る可能性があります。詳しくは、接続されたデバイスの仕様を確認してください。ソフトウェアリセットが適用されるとレジスタ値も初期化され、ほぼすべてのレジスタを再設定しなければなりません。カラーパレットデータ（CLUT メモリコンテンツ）のみ保持されます（正常終了後のソフトウェアリセットに限ります）。

図 58.25 に、正常動作時の停止と再開にかかわる信号ラインとビットの変化を示します。BG_EN.EN ビットを 0 にすることでバックグラウンド画面生成モジュールが停止しても、グラフィック 1 またはグラフィック 2 のアンダーフロー、グラフィックデータアクセスの不適切な設定、またはその他の望ましくない条件により、GPX バスアクセスがフレームエンドで完了していない場合、GLCDC は通常動作ではなく異常動作シーケンスにより停止します。

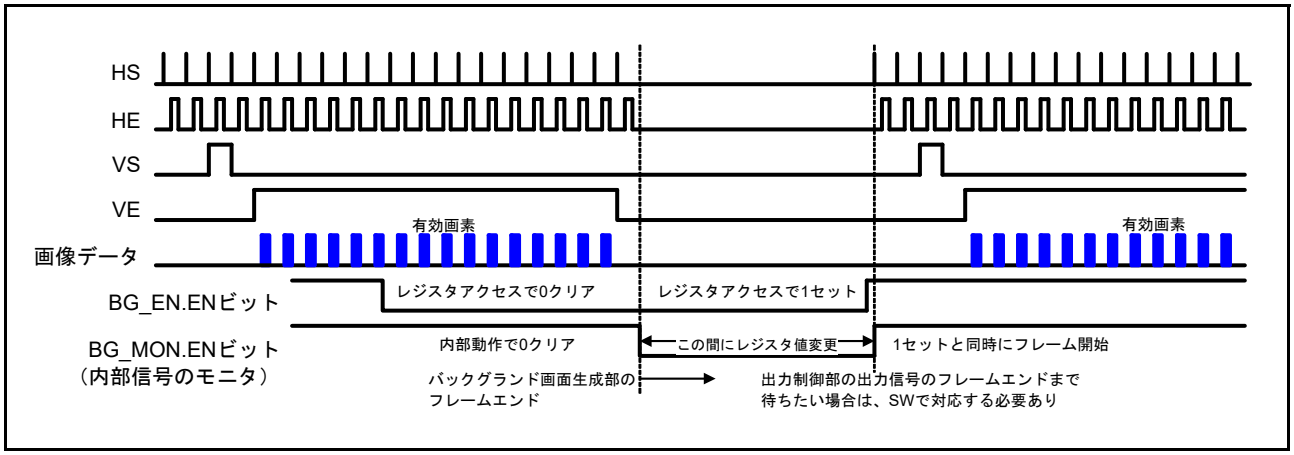


図 58.25　　正常動作時の停止と再開

(4)　異常動作時の停止と再開

以下の場合、異常動作時の停止が発生します。

- 動作中（BG_EN.EN または BG_MON.EN が 1 のとき）にソフトウェアリセット（BG_EN.SWRST ビットを 0 にする）、またはリセットが適用された場合
- BG_EN.EN ビットを 0 にし、BG_MON.EN も 0 にしたにもかかわらず、GPX バスへの不必要な（意図しない）アクセスが発生してデータサイクルが完了していない場合

いずれの場合も、GLCDC の内部初期化が実行され、レジスタアクセスバスは正常にアクセスできます（ハードウェアリセットを除く）。ただし、GPX バスが GLCDC に意図しないグラフィックデータを書き込む可能性があります。そのため、できれば BG_EN.EN ビットと BG_MON.EN ビットが 0 になったことを確認した後でも、ソフトウェアリセットを適用し（BG_EN.SWRST ビットを 0 にする）、GPX バスへの意図しないアクセスが発生していないことを確認してください。その後、GLCDC のソフトウェアリセットを解除し（BG_EN.SWRST ビットを 1 にする）、関連レジスタを設定し、バックグラウンド画面生成モジュールの BG_EN.En ビットと BG_EN.VEN ビットを 1 にして GLCDC を再開します。GPX バス状態の確認手順については、*Arm® AHB の仕様*を参照してください。GPX バス、対象デバイス、対象コントローラが初期化されていない場合、リセット後でもこの手順を適用してください。これらが GLCDC においてリセットアサート時に初期化されている場合、GPX バス状態を確認しなくても通常の開始手順を適用できます。

58.3.2　　画面の定義

GLCDC 動作で使用する必須な信号はバックグラウンド画面生成モジュールで生成され、グラフィック 1 モジュール、グラフィック 2 モジュール、出力制御モジュールは連続して転送された垂直／水平同期信号（VS と HS）および垂直／水平ピクセル許可信号（VE と HE）に基づき動作します。バックグラウンド画面の基準点（フレーム開始点）は、出力信号では決定できません。図に示された点はバーチャルで、レジスタ設定用に限定して提供されています。グラフィック 1 モジュール、グラフィック 2 モジュール、出力制御モジュールでは、前ステージから入力（出力）された垂直同期信号（VS）のアサートが基準点（フレーム開始点）となります。各モジュールは有効ピクセルディスプレイ領域と、ピクセルデータの特別処理領域（グラフィック 1、グラフィック 2 の矩形領域）を、この基準点に基づく位置と幅に準じて定義しています。図 58.26 にバックグラウンド画面の定義を、図 58.27 にグラフィック 1 およびグラフィック 2 の画面の定義を示します。出力制御モジュールは、前ステージ（グラフィック 2）から出力される有効ピクセル領域全体（VE、HE の両方が 1）を補正します。（出力制御モジュールに補正領域を設定するためのレジスタは提供されていません。）出力制御モジュールの TCON は、内部垂直／水平同期信号（VS と HS）に基づき出力される制御信号を生成し、その出力信号の変更タイミングはレジスタに指定された有効設定範囲内で自由に変更できます

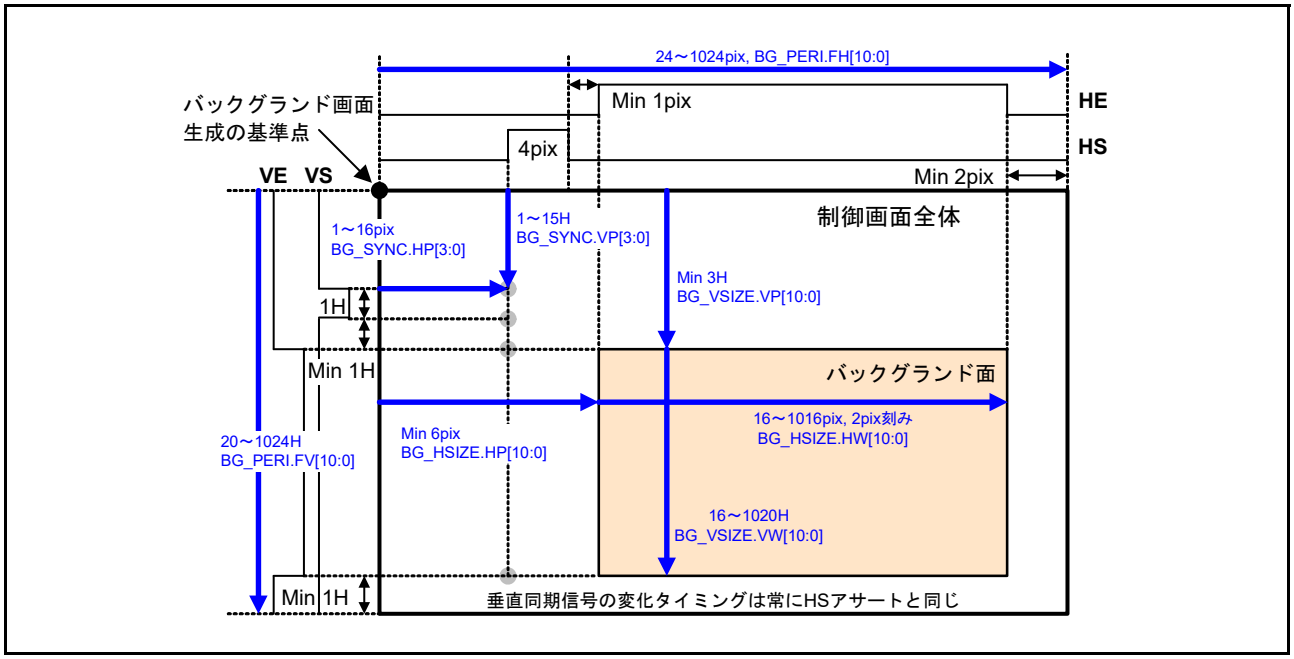


図 58.26　バックグラウンド画面の定義

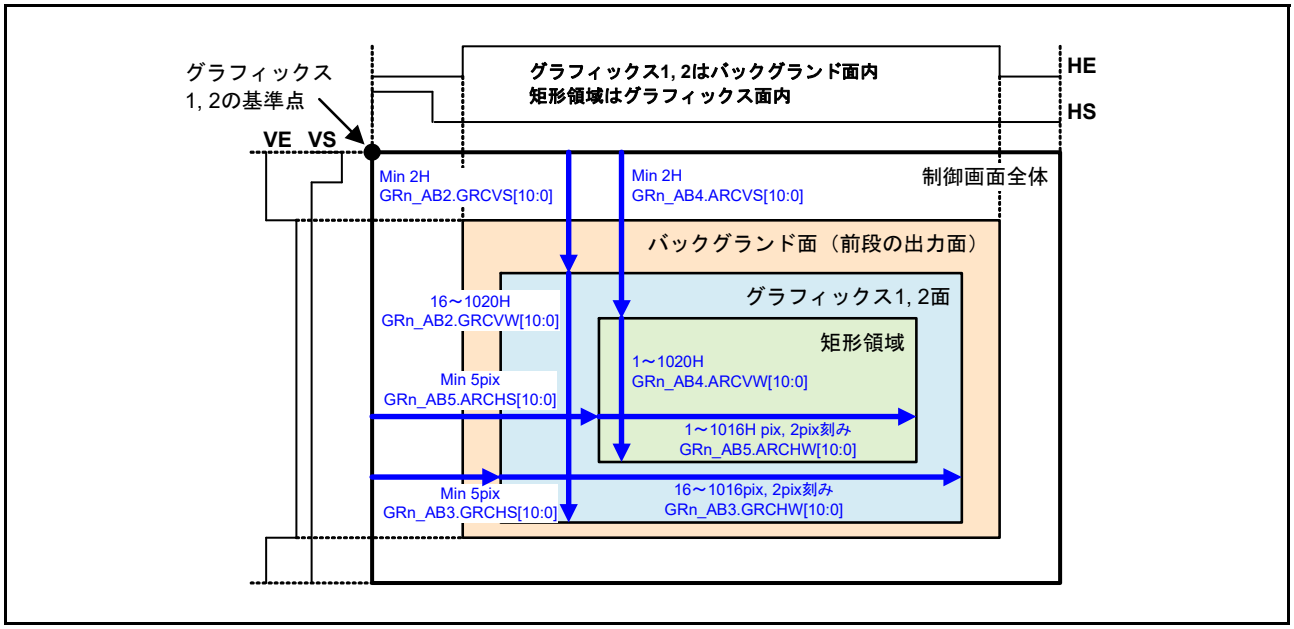


図 58.27　グラフィック 1、グラフィック 2 の画面の定義

58.3.3　アンダーフローと割り込み

GLCDC は、ここで説明する 3 種類のステータス条件を検出できます。各ステータス条件を検出するためには、ステータス検出コントロールレジスタ（SYSCNT_DTCTEN）の関連ビットを 1 にします。

58.3.3.1　グラフィック 2 アンダーフロー検出

この機能は、グラフィック 2 におけるグラフィックデータインタフェースブロックのアンダーフローを検出します。グラフィックデータインタフェースブロックからグラフィックデータを読み出せない場合（有効データが 4 ステージリングバッファに格納されていない場合）、SYSCNT_STMON.L2UNDF フラグは 1 になります。アンダーフローは、前ステージの VS（垂直同期）信号アサート時におけるグラフィック 2 の内部状態としてクリアされます。ただし、システムコントロールブロックにおけるステータスモニタレジスタの関連ビットをクリアするには、ソフトウェアがステータスクリアレジスタの関連ビットを 1 にする必要があ

ります。

58.3.3.2 グラフィック 1 アンダーフロー検出

この機能は、グラフィック 1 におけるグラフィックデータインタフェースブロックのアンダーフローを検出します。グラフィックデータインタフェースブロックからグラフィックデータを読み出せない場合（有効データが 4 ステージリングバッファに格納されていない場合）、SYSCNT_STMON.L1UNDF フラグは 1 になります。アンダーフローは、前ステージの VS（垂直同期）信号アサート時におけるグラフィック 1 の内部状態としてクリアされます。ただし、システムコントロールブロックにおけるステータスモニタレジスタの関連ビットをクリアするには、ソフトウェアがステータスクリアレジスタの関連ビットを 1 にする必要があります。

58.3.3.3 グラフィック 2 ライン検出

この機能は、GR2_CLUTINT.LINE[10:0] ビットに指定されたライン数が処理されたことを検出します。検出は、有効ピクセルの処理開始時ではなく、前ステージの HS（水平同期）信号アサート時に実行されます。検出されたライン数がグラフィック 2 に指定された値に到達するたびに、SYSCNT_STMON.VPOS フラグが 1 になります。アンダーフローの検出と同じように、システムコントロールブロックにおけるステータスモニタレジスタの関連ビットをクリアするには、ソフトウェアがステータスクリアレジスタの関連ビットを 1 にする必要があります。

58.3.3.4 割り込み

GLCDC は、3 つのステータス条件の検出に対応する 3 つの割り込み要求出力信号（GLCDC_L2UNDF、GLCDC_L1UNDF、GLCDC_VPOS）を提供しています。GLCDC_L2UNDF、GLCDC_L1UNDF、GLCDC_VPOS の信号は、それぞれグラフィック 2 アンダーフロー検出、グラフィック 1 アンダーフロー検出、グラフィック 2 ライン検出に関連しています。各割り込み要求信号は、割り込み要求イネーブルレジスタ（SYSCNT_INTEN）の関連ビットを 1 にしてアサートします。ステータス検出と関連割り込み要求許可は、個別に制御できます。検出が許可されていても、割り込み要求出力信号が許可されていなければ、割り込み要求信号はアサートされません。さらに、割り込み要求出力信号アサート時（ステータスクリアレジスタ（SYSCNT_STCLR）の関連ビットを 1 にしたとき）にステータスモニタレジスタ（SYSCNT_STMON）をクリアするか、または割り込み要求イネーブルレジスタ（SYSCNT_INTEN）の関連ビットを 0 にすると、割り込み要求信号はネゲートされます。割り込み要求信号生成回路は、図 58.28 のとおり構成されています。この回路では、リセットにより誘発されるグリッチ以外のグリッチは発生しません。

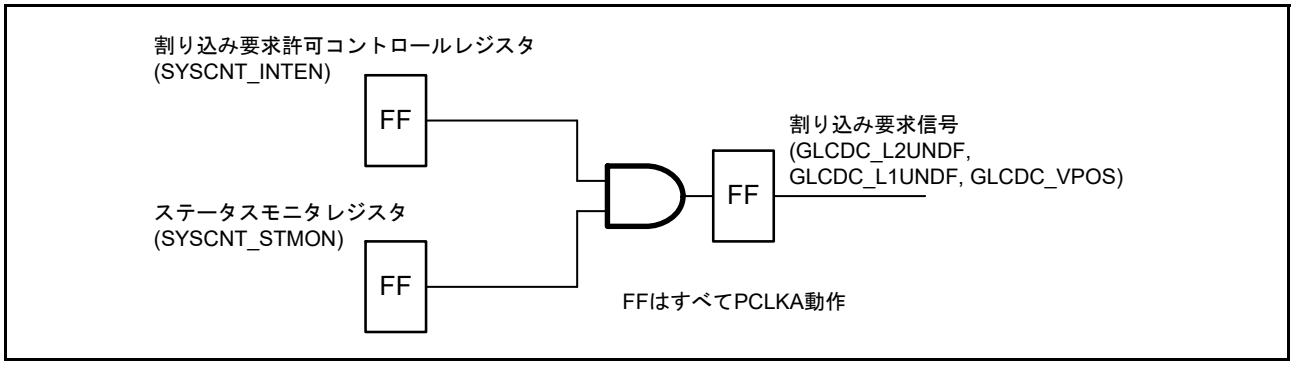


図 58.28 割り込み要求信号生成回路

59. 内部電圧レギュレータ

59.1 概要

本 MCU は、以下の 2 つの内部電圧レギュレータを内蔵しています。

- リニアレギュレータ（LDO）
- スイッチングレギュレータ（DCDC）

これらのレギュレータは、入出力、アナログ、USB、およびバッテリバックアップパワードメイン以外のすべての内部回路およびメモリに電圧を供給します。以下のとおり選択されます。

- LDO/DCDC は VCC_DCDC 端子を使用して選択
- VCC_DCDC が Low の場合は LDO を選択（LDO モード）
- VCC_DCDC が VCC の場合は DCDC を選択（DCDC モード）

59.2 動作説明

表 59.1 に LDO モード端子の設定内容を、図 59.1 に LDO モードの設定を示します。LDO モードでは、内部電圧は VCC から生成します。

表 59.1 LDO モード端子の設定内容

端子	設定内容
全VCC端子	• システムの電源に接続してください。 • 0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
VCC_DCDC端子	VSSに接続してください。
VCL0～VCL2端子	0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
VCL_F端子	0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
全VLO端子	抵抗を介してVSSに接続してください（10kΩプルダウン）。

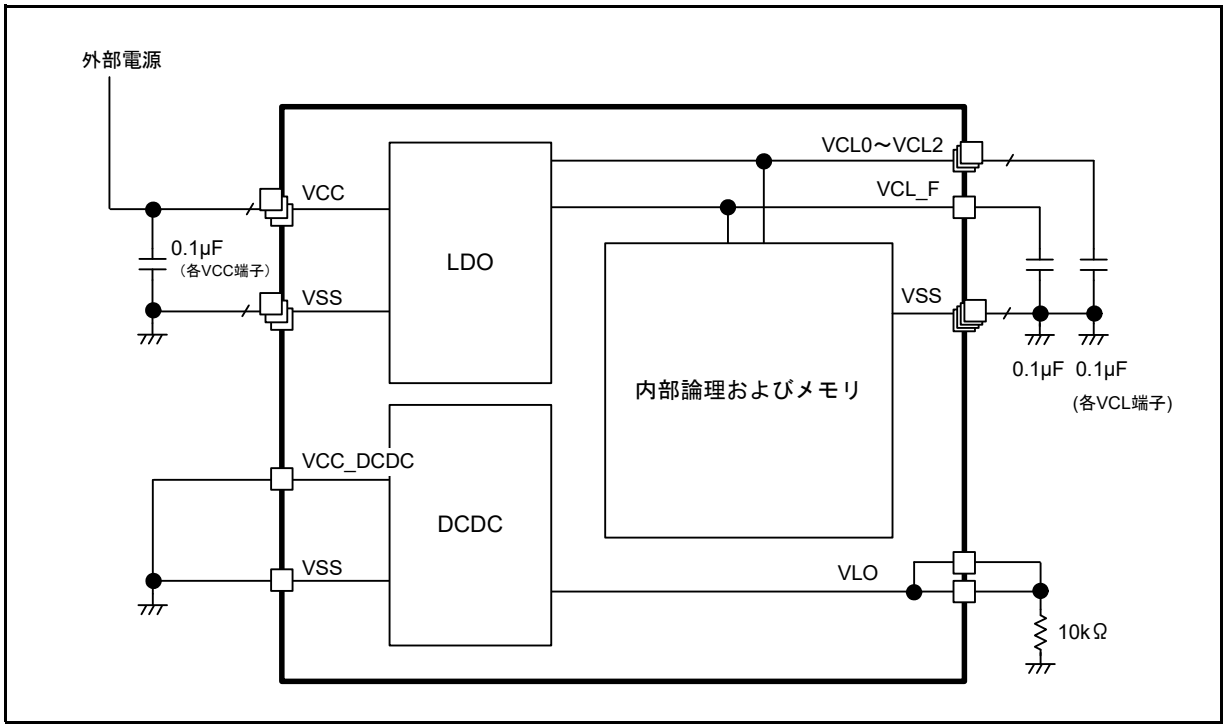


図 59.1 LDO モード設定

表 59.2 に DCDC モード端子の設定内容を、図 59.2 に DCDC モードの設定を示します。DCDC モードでは、内部電圧は VLO 出力および外部インダクタンス／コンデンサを介して VCL0、VCL1、および VCL2 から生成します。

表 59.2　　DCDC モード端子の設定内容

端子	設定内容
全VCC端子	• システムの電源に接続してください。 • 0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
VCC_DCDC端子	• システムの電源に接続してください。 • 22μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
VCL0～VCL2端子	• 0.22μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。 • 外付けインダクタおよびコンデンサにそれぞれ接続してください。インダクタおよびコンデンサは端子近くに配置してください。
VCL_F端子	0.1μFの積層セラミックコンデンサを介してVSSに接続してください。コンデンサは端子近くに配置してください。
全VLO端子	外付けインダクタおよびコンデンサにそれぞれ接続してください。インダクタおよびコンデンサは端子近くに配置してください。

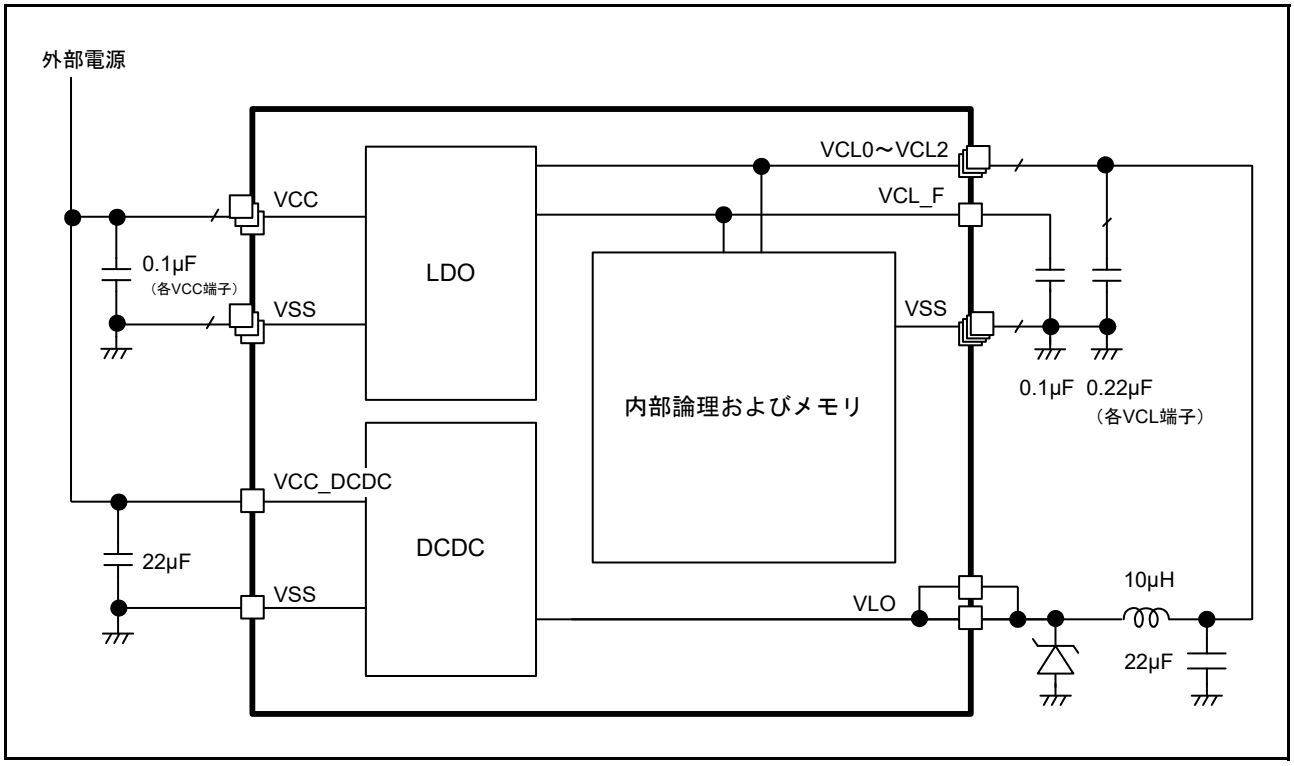


図 59.2　　DCDC モード端子設定

59.3　使用上の注意事項

DCDC モードでは、電力損失を最小限にし、効率を最大化するため、直流抵抗が 180mΩ 以下の 10μH インダクタを推奨します。VCL0、VCL1、および VCL2 の電圧範囲を超えないようにしてください。VCC および VCC_DCDC は短絡してください。

60. 電気的特性

特に記載のない限り、本 MCU の電気的特性は以下の条件で定義されています。

VCC = AVCC0 = VCC_USB = VBATT = 2.7 ～ 3.6V、2.7 ≦ VREFH0/VREFH ≦ AVCC0、VCC_USBHS = AVCC_USBHS = 3.0 ～ 3.6V、VSS = AVSS0 = VREFL0/VREFL = VSS_USB = VSS1_USBHS = VSS2_USBHS = PVSS_USBHS = AVSS_USBHS = 0V、Ta = Topr

図 60.1 は、タイミング条件を示しています。

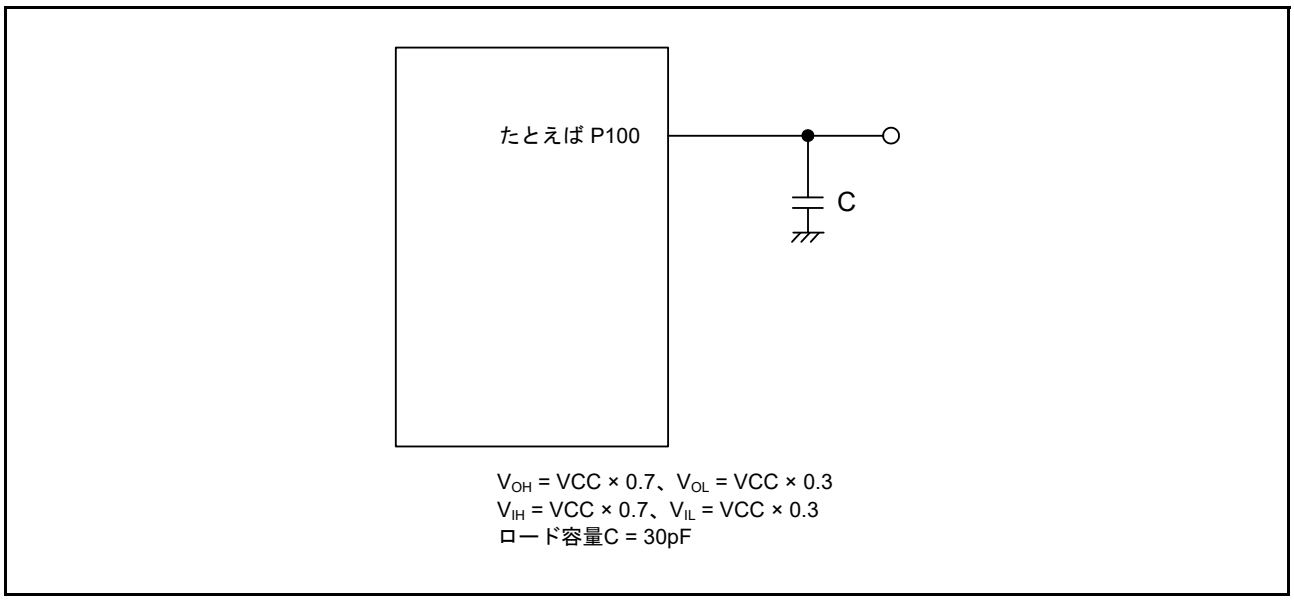


図 60.1 入出力タイミング計測条件

各周辺モジュールのタイミング仕様の計測条件は、最適な周辺動作に推奨されるものです。ただし、ユーザ条件に合うように、各端子の駆動能力を調整してください。

60.1 絶対最大定格

表 60.1 絶対最大定格

項目	シンボル	値	単位
電源電圧	VCC、VCC_USB （注2）	-0.3～+4.6	V
VBATT電源電圧	VBATT	-0.3～+4.6	V
入力電圧（5V トレラント対応ポートを除く（注1））	V_{in}	-0.3～VCC + 0.3	V
入力電圧（5V トレラント対応ポート（注1））	V_{in}	-0.3～VCC + 4.6 (max 5.8)	V
リファレンス電源電圧	VREFH/VREFH0	-0.3～VCC + 0.3	V
アナログ電源電圧	AVCC0 （注2）	-0.3～+4.6	V
USBHS電源電圧	VCC_USBHS	-0.3～+4.6	V
USBHSアナログ電源電圧	AVCC_USBHS	-0.3～+4.6	V
スイッチングレギュレータ電源電圧	VCC_DCDC	-0.3～+4.6	V
アナログ入力電圧（P000～P007を除く）	V_{AN}	-0.3～AVCC0 + 0.3	V
PGA差動入力無効時のアナログ入力電圧（P000～P007）	V_{AN}	-0.3～AVCC0 + 0.3	V
PGA差動入力有効時のアナログ入力電圧（P000～P002、P004～P006）	V_{AN}	-1.1～AVCC0 + 0.3	V
PGA差動入力有効時のアナログ入力電圧（P003、P007）	V_{AN}	-0.6～AVCC0 + 0.3	V
動作温度（注3）（注4）	T_{opr}	-40～+85 -40～+105	℃
保存温度	T_{stg}	-55～+125	℃

注 . http://www.renesas.com 内にある Total Operating Time (TOT) Utility Calculator を参照してください。この Utility Calculator は教育および評価目的でのみ提供するものであり、本マニュアルに記載の免責事項に従うものとします。
注 1. P205、P206、P400、P401、P407 ～ P415、P511、P512、P708 ～ P713、PB01 は 5V トレラント対応ポートです。
注 2. AVCC0 および VCC_USB を VCC に接続してください。
注 3. 60.2.1 Tj/Ta の定義を参照してください。
注 4. 動作温度の上限は 85 ℃または 105 ℃であり、製品によって異なります。詳細は、1.3 型名を参照してください。

【使用上の注意】 絶対最大定格を超えて MCU を使用した場合、MCU の永久破壊となることがあります。

表 60.2 推奨動作条件

項目	シンボル	値	Min	Typ	Max	単位
電源電圧	VCC	USB/SDRAM未使用時	2.7	-	3.6	V
		USB/SDRAM使用時	3.0	-	3.6	V
	VSS		-	0	-	V
USB電源電圧	VCC_USB VCC_USBHS		-	VCC	-	V
	VSS_USB AVSS_USBHS PVSS_USBHS VSS1_USBHS VSS2_USBHS		-	0	-	V
スイッチングレギュレータ電源電圧	VCC_DCDC	スイッチングレギュレータ使用時	-	VCC	-	V
		スイッチングレギュレータ未使用時	-	0	-	V
VBATT電源電圧	VBATT		2.0		3.6	V
アナログ電源電圧	AVCC0		-	VCC	-	V
	AVSS0		-	0	-	V

60.2 DC 特性

60.2.1 Tj/Ta の定義

表 60.3 DC 特性

条件：動作温度（T_a）が-40～+105℃の製品

項目	シンボル	Typ	Max	単位	測定条件
許容ジャンクション温度	Tj	-	125	℃	High-speed モード Low-speed モード Subosc-speed モード
			105（注1）		

注 . Tj = T_a + θja × 総消費電力（W）となるようにしてください。このとき、総消費電力 = (VCC – V_{OH}) × ΣI_{OH} + V_{OL} × ΣI_{OL} + I_{CC}max × VCC です。

注 1. 動作温度の上限は、85 ℃または 105 ℃です（製品による）。詳細は、1.3 型名を参照してください。型名が動作温度 85 ℃を示している場合は、Tj の最大値は 105 ℃になります。それ以外の場合 125 ℃になります。

60.2.2 I/O V_{IH}, V_{IL}

表 60.4 I/O V_{IH}, V_{IL}

項目					シンボル	Min	Typ	Max	単位
入力電圧（シュミットトリガ入力端子を除く）	周辺機能端子	EXTAL（外部クロック入力）、WAIT、SPI			V_{IH}	VCC × 0.8	-	-	V
					V_{IL}	-	-	VCC × 0.2	
		D00～D15、DQ00～DQ15			V_{IH}	VCC × 0.7	-	-	
					V_{IL}	-	-	VCC × 0.3	
		ETHERC			V_{IH}	2.3	-	-	
					V_{IL}	-	-	VCC × 0.2	
		IIC（SMBus）（注1）			V_{IH}	2.1	-	-	
					V_{IL}	-	-	0.8	
		IIC（SMBus）（注2）			V_{IH}	2.1	-	-	
					V_{IL}	-	-	0.8	
シュミットトリガ入力電圧	周辺機能端子	IIC（SMBusを除く）（注1）			V_{IH}	VCC × 0.7	-	-	V
					V_{IL}	-	-	VCC × 0.3	
					ΔV_T	VCC × 0.05	-	-	
		IIC（SMBusを除く）（注2）			V_{IH}	VCC × 0.7	-	VCC + 3.6 (max 5.8)	
					V_{IL}	-	-	VCC × 0.3	
					ΔV_T	VCC × 0.05	-	-	
		5Vトレラント対応ポート（注3）（注7）			V_{IH}	VCC × 0.8	-	VCC + 3.6 (max 5.8)	
					V_{IL}	-	-	VCC × 0.2	
					ΔV_T	VCC × 0.05	-	-	
		RTCIC0, RTCIC1, RTCIC2	バッテリバックアップ機能使用時	VBATT電源選択時	V_{IH}	V_{BATT} × 0.8	-	V_{BATT} + 0.3	
					V_{IL}	-	-	V_{BATT} × 0.2	
					ΔV_T	V_{BATT} × 0.05	-	-	
				VCC電源選択時	V_{IH}	VCC x 0.8	-	高電位側はVCC + 0.3またはVBATT + 0.3	
					V_{IL}	-	-	VCC × 0.2	
					ΔV_T	VCC × 0.05	-	-	
			バッテリバックアップ機能未使用時		V_{IH}	VCC × 0.8	-	VCC + 0.3	
					V_{IL}	-	-	VCC × 0.2	
					ΔV_T	VCC × 0.05	-	-	
		その他の入力端子（注4）			V_{IH}	VCC × 0.8	-	-	
					V_{IL}	-	-	VCC × 0.2	
					ΔV_T	VCC × 0.05	-	-	
	ポート	5Vトレラント対応ポート（注5）（注7）			V_{IH}	VCC × 0.8	-	VCC + 3.6 (max 5.8)	
					V_{IL}	-	-	VCC × 0.2	
		その他の入力端子（注6）			V_{IH}	VCC × 0.8	-	-	
					V_{IL}	-	-	VCC × 0.2	

注 1. SCL0_B、SCL1_B、SDA1_B（合計 3 端子）
注 2. SCL0_A、SDA0_A、SDA0_B、SCL1_A、SDA1_A、SCL2、SDA2（合計 7 端子）
注 3. P205、P206、P400、P401、P407 ～ P415、P511、P512、P708 ～ P713、PB01（合計 23 端子）に関連する RES および周辺機能端子
注 4. 表で説明した周辺機能端子を除くすべての入力端子
注 5. P205、P206、P400、P401、P407 ～ P415、P511、P512、P708 ～ P713、PB01（合計 22 端子）
注 6. 表で説明したポートを除くすべての入力端子
注 7. VCC が 2.7V 未満の場合、5V トレラントポートの入力電圧は、3.6V 未満としてください。このようにしないと、絶縁破壊が発生する可能性があります。5V トレラントポートは耐圧違反を防止するように電気的に制御されるためです。

60.2.3 I/O I_{OH}, I_{OL}

表 60.5 I/O I_{OH}, I_{OL}

項目			シンボル	Min	Typ	Max	単位
許容出力電流（端子ごとの平均値）	ポートP008～P011、P201、P212	-	I_{OH}	-	--	-2.0	mA
			I_{OL}	-	-	2.0	mA
	ポートP014、P015、P213、P400、P401、P511、P512	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	ポートP402～P404	低駆動（注1）	I_{OH}	-	-	-2.0	mA
			I_{OL}	-	-	2.0	mA
		中駆動（注2）	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	ポートP205、P206、P407～P415、P602、P708～P713、P813、PA12～PA15、PB01（合計24端子）	低駆動（注1）	I_{OH}	-	-	-2.0	mA
			I_{OL}	-	-	2.0	mA
		中駆動（注2）	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		高駆動（注3）	I_{OH}	-	-	-20	mA
			I_{OL}	-	-	20	mA
	その他の出力端子（注4）	低駆動（注1）	I_{OH}	-	-	-2.0	mA
			I_{OL}	-	-	2.0	mA
		中駆動（注2）	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		高駆動（注3）	I_{OH}	-	-	-16	mA
			I_{OL}	-	-	16	mA
許容出力電流（端子ごとの最大値）	ポートP008～P011、P201、P212	-	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
	ポートP014、P015、P213、P400、P401、P511、P512	-	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
	ポートP402～P404	低駆動（注1）	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動（注2）	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
	ポートP205、P206、P407～P415、P602、P708～P713、P813、PA12～PA15、PB01（合計24端子）	低駆動（注1）	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動（注2）	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
		高駆動（注3）	I_{OH}	-	-	-40	mA
			I_{OL}	-	-	40	mA
	その他の出力端子（注4）	低駆動（注1）	I_{OH}	-	-	-4.0	mA
			I_{OL}	-	-	4.0	mA
		中駆動（注2）	I_{OH}	-	-	-8.0	mA
			I_{OL}	-	-	8.0	mA
		高駆動（注3）	I_{OH}	-	-	-32	mA
			I_{OL}	-	-	32	mA
許容出力電流（全端子の最大値）	全出力端子の最大値		$\Sigma I_{OH\ (max)}$	-	-	-80	mA
			$\Sigma I_{OL\ (max)}$	-	-	80	mA

注 1. PmnPFS レジスタのポート駆動能力ビットで低駆動が選択されている場合の値です。選択された駆動能力は、ディープソフトウェアスタンバイモードで保持されます。

注 2. PmnPFS レジスタのポート駆動能力ビットで中駆動が選択されている場合の値です。選択された駆動能力は、ディープソフ

トウェアスタンバイモードで保持されます。

注 3. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。高駆動能力用に次のポートが設定されている場合、ディープソフトウェアスタンバイモードで中駆動に移ります：P203 ～ P207、P407 ～ P415、P602、P708 ～ P713、P813、PA12 ～ PA15、PB01

注 4. 入力ポートである P000 ～ P007、P200 を除きます。

【使用上の注意】 MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100µs の間に計測した電流の平均値を意味します。

60.2.4 I/O V_{OH}、V_{OL}、その他の特性

表 60.6 I/O V_{OH}、V_{OL}、その他の特性

項目		シンボル	Min	Typ	Max	単位	測定条件
出力電圧	IIC	V_{OL}	-	-	0.4	V	I_{OL} = 3.0mA
		V_{OL}	-	-	0.6		I_{OL} = 6.0mA
	IIC（注1）	V_{OL}	-	-	0.4		I_{OL} = 15.0mA (ICFER.FMPE = 1)
		V_{OL}	-	0.4	-		I_{OL} = 20.0mA (ICFER.FMPE = 1)
	ETHERC	V_{OH}	VCC - 0.5	-	-		I_{OH} = -1.0mA
		V_{OL}	-	-	0.4		I_{OL} = 1.0mA
	ポートP205、P206、P407～P415、P602、P708～P713、P813、PA12～PA15、PB01（合計24端子）（注2）	V_{OH}	VCC - 1.0	-	-		I_{OH} = -20mA VCC = 3.3V
		V_{OL}	-	-	1.0		I_{OL} = 20mA VCC = 3.3V
	その他の出力端子	V_{OH}	VCC - 0.5	-	-		I_{OH} = -1.0mA
		V_{OL}	-	-	0.5		I_{OL} = 1.0mA
入力リーク電流	RES	$\|I_{in}\|$	-	-	5.0	µA	V_{in} = 0V V_{in} = 5.5V
	ポートP000～P007、P200		-	-	1.0		V_{in} = 0V V_{in} = VCC
スリーステートリーク電流（オフ状態）	5V トレラント対応ポート	$\|I_{TSI}\|$	-	-	5.0	µA	V_{in} = 0V V_{in} = 5.5V
	その他のポート（P000～P007、P200を除く）		-	-	1.0		V_{in} = 0V V_{in} = VCC
入力プルアップMOS電流	ポートP0～PB（P000～P007を除く）	I_p	-300	-	-10	µA	VCC = 2.7～3.6V V_{in} = 0V
入力容量	USB_DP、USB_DM、およびポートP003、P007、P014、P015、P400、P415、P401、P511、P512	C_{in}	-	-	16	pF	Vbias = 0V Vamp = 20mV f = 1MHz T_a = 25℃
	その他の入力端子		-	-	8		

注 1. SCL0_A、SDA0_A（合計 2 端子）

注 2. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。高駆動が選択されている場合でも、I_{OH} および I_{OL} はディープソフトウェアスタンバイモードで中駆動に移ります。

60.2.5 動作電流とスタンバイ電流

表 60.7 動作電流とスタンバイ電流 (1/2)

項目			シンボル	LDOモード			DCDCモード			単位	測定条件
				Min	Typ	Max	Min	Typ	Max		
消費電流（注1）	High-speedモード	最大動作（注2）	I_{CC}（注7）	-	-	330	-	-	140	mA	ICLK = 240MHz PCLKA = 120MHz（注6） PCLKB = 60MHz PCLKC = 60MHz PCLKD = 120MHz FCLK = 60MHz BCLK = 120MHz
		CoreMark®（注4）		-	45	-	-	24	-		
		通常モード（注3） すべての周辺クロックが有効、その間（1）コードがフラッシュから実行		-	75	-	-	38	-		
		通常モード（注3） すべての周辺クロックが無効、その間（1）コードはフラッシュから実行（注5）		-	32	-	-	18	-		
		スリープモード（注4）（注5）		-	25	150	-	15	75		
		BGO動作中に増加 データフラッシュ P/E		-	7	-	-	7	-		
		BGO動作中に増加 コードフラッシュ P/E		-	10	-	-	10	-		
	Low-speedモード（注4）			-	4.4	-	-	3	-		ICLK = 1MHz
	Subosc-speedモード（注4）			-	3	-	-	2	-		ICLK = 32.768kHz
	ソフトウェアスタンバイモード			-	2.4	110	-	1.2	55		-
	ディープソフトウェアスタンバイモード	スタンバイSRAM、USBレジューム検出部への電源供給あり		-	37	255	-	37	255	μA	VBAT ≠ VCC
		スタンバイSRAM、USBレジューム検出部への電源供給あり		-	37	285	-	37	285		VBAT = VCC
		SRAM、USBレジューム検出部への電源供給なし パワーオンリセット回路、低消費電力機能無効		-	25	50	-	25	50		VBAT ≠ VCC
		SRAM、USBレジューム検出部への電源供給なし パワーオンリセット回路、低消費電力機能無効		-	25	80	-	25	80		VBAT = VCC
		SRAM、USBレジューム検出部への電源供給なし パワーオンリセット回路、低消費電力機能有効		-	16	35	-	16	35		VBAT ≠ VCC
		SRAM、USBレジューム検出部への電源供給なし パワーオンリセット回路、低消費電力機能有効		-	16	65	-	16	65		VBAT = VCC
		RTC、AGT動作中に増加 低速オンチップ発振器（LOCO）使用時		-	9	-	-	9	-		-
		RTC、AGT動作中に増加 低CL水晶発振子使用時		-	1.0	-	-	1.0	-		-
		RTC、AGT動作中に増加 標準CL水晶発振子使用時		-	3.0	-	-	3.0	-		-
	VCCオフ時のRTC動作（バッテリバックアップ機能により、RTC、サブクロック発振器のみ動作） 低CL水晶発振子使用時			-	0.9	-	-	0.9	-		V_{BATT} = 2.0V、VCC = 0V
	VCCオフ時のRTC動作（バッテリバックアップ機能により、RTC、サブクロック発振器のみ動作） 低CL水晶発振子使用時			-	1.6	-	-	1.6	-		V_{BATT} = 3.3V、VCC = 0V
	VCCオフ時のRTC動作（バッテリバックアップ機能により、RTC、サブクロック発振器のみ動作） 標準CL水晶発振子使用時			-	1.7	-	-	1.7	-		V_{BATT} = 2.0V、VCC = 0V
	VCCオフ時のRTC動作（バッテリバックアップ機能により、RTC、サブクロック発振器のみ動作） 標準CL水晶発振子使用時			-	3.3	-	-	3.3	-		V_{BATT} = 3.3V、VCC = 0V
アナログ電源電流	12ビットA/D変換中		AI_{CC}	-	0.8	1.1	-	0.8	1.1	mA	-
	S/H ampを使用した12ビットA/D変換時			-	2.3	3.3	-	2.3	3.3	mA	-
	PGA（1ch）			-	1	3	-	1	3	mA	-
	ACMPHS（1ユニット）				100	150		100	150	μA	-
	温度センサ			-	0.1	0.2	-	0.1	0.2	mA	-
	D/A変換中（1ユニット当り） AMP出力なし			-	0.1	0.2	-	0.1	0.2	mA	-
	D/A変換中（1ユニット当り） AMP出力あり			-	0.5	0.8	-	0.5	0.8	mA	-
	A/D、D/A変換待機時（全ユニット）			-	0.9	1.6	-	0.9	1.6	mA	-
	スタンバイモードのADC12、DAC12（全ユニット）（注8）			-	2	6	-	2	6	μA	-
リファレンス電源電流（VREFH0）	12ビットA/D変換中（ユニット0）		AI_{REFH0}	-	70	120	-	70	120	μA	-
	12ビットA/D変換待機時（ユニット0）			-	0.07	0.4	-	0.07	0.4	μA	-
	スタンバイモードのADC12（ユニット0）			-	0.07	0.2	-	0.07	0.2	μA	-

表 60.7 動作電流とスタンバイ電流 (2/2)

項目			シンボル	LDOモード			DCDCモード			単位	測定条件
				Min	Typ	Max	Min	Typ	Max		
リファレンス電源電流（VREFH）	12ビットA/D変換中（ユニット1）		AI_{REFH}	-	70	120	-	70	120	μA	-
	D/A変換中（1ユニット当り）	AMP出力なし		-	0.24	0.4	-	0.24	0.4	mA	-
		AMP出力あり		-	0.1	0.2	-	0.1	0.2	mA	-
	12ビットA/D（ユニット1）、D/A（全ユニット）変換待機時			-	0.07	0.4	-	0.07	0.4	μA	-
	スタンバイモードのADC12ユニット1			-	0.07	0.2	-	0.07	0.2	μA	-
USB動作電流	ロースピード	USB	$I_{CCUSBLS}$	-	3.5	6.5	-	3.5	6.5	mA	VCC_USB
		USBHS		-	10.5	13.5	-	10.5	13.5	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 0)
		USBHS		-	2.8	3.6	-	2.8	3.6	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 1)
	フルスピード	USB	$I_{CCUSBFS}$	-	4.0	10.0	-	4.0	10.0	mA	VCC_USB
		USBHS		-	14	22	-	14	22	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 0)
		USBHS		-	6.5	13.0	-	6.5	13.0	mA	VCC_USBHS = AVCC_USBHS (PHYSET.HSEB = 1)
	ハイスピード	USBHS	$I_{CCUSBHS}$	-	50	65	-	50	65	mA	VCC_USBHS = AVCC_USBHS
	スタンバイ時（ダイレクトパワーダウン）	USBHS	$I_{CCUSBSBY}$	-	0.5	3.0	-	0.5	3.0	μA	VCC_USBHS = AVCC_USBHS

注 1. 消費電流値はすべての出力端子を無負荷状態にして、さらにすべての入力プルアップ MOS トランジスタをオフ状態にした場合の値です。

注 2. 周辺機能にクロックが供給された状態で計測しました。BGO 動作は含まれません。

注 3. BGO 動作は含まれません。

注 4. この状態では、周辺機能へのクロック信号供給は停止されています。BGO 動作は含まれません。

注 5. FCLK、BCLK、PCLKA、PCLKB、PCLKC、PCLKD は、64 分周（3.75MHz）に設定されています。

注 6. ETHERC を使用する場合、PCLKA 周波数は次のようになります。
12.5MHz ≦ PCLKA ≦ 120MHz

注 7. ICC は f(ICLK) に依存し、以下のように計算されます。
- High-speed モード（最速）
  - LDO モード：ICC max = 0.90[mA/MHz] × f[MHz] + 114[mA]
  - DCDC モード：ICC max = 0.35[mA/MHz] × f[MHz] + 57[mA]
- High-speed モード（通常モード／全周辺クロック停止）
  - LDO モード：ICC typ = 0.10[mA/MHz] × f[MHz] + 6.9[mA]
  - DCDC モード：ICC typ = 0.06[mA/MHz] × f[MHz] + 4.4[mA]
- Low-speed モード（最大 ICLK 1MHz）
  - LDO モード：ICC typ = 0.10[mA/MHz] × f[MHz] + 4.3[mA]
  - DCDC モード：ICC typ = 0.06[mA/MHz] × f[MHz] + 3.0[mA]
- スリープモード
  - LDO モード：ICC max = 0.15[mA/MHz] × f[MHz] + 114[mA]
  - DCDC モード：ICC max = 0.07[mA/MHz] × f[MHz] + 57[mA]

注 8. MSTPCRD.MSTPD16（ADC120 モジュールストップビット）および MSTPCRD.MSTPD15（ADC121 モジュールストップビット）がモジュールストップ状態の場合。

60.2.6 VCC 立ち上がり／立ち下がり勾配とリップル周波数

表 60.8 立ち上がり／立ち下がり勾配の特性

項目	シンボル	Min	Typ	Max	単位	測定条件
VCC立ち上がり勾配	SrVCC	0.0084	-	20	ms/V	-
VCC立ち下がり勾配（注1）	SfVCC	0.0084	-	-	ms/V	-

注 1. VBATT を使用する場合に適用します。

表 60.9 立ち上がり／立ち下がり勾配とリップル周波数特性

リップル電圧は、VCC上限（3.6V）と下限（2.7V）の範囲内で、許容リップル周波数$f_{r(VCC)}$を満たす必要があります。VCC変動がVCC ± 10%を超える場合は、許容電圧変動立ち上がり／立ち下がり勾配dt/dVCCを満たす必要があります。

項目	シンボル	Min	Typ	Max	単位	測定条件
許容リップル周波数	$f_{r\ (VCC)}$	-	-	10	kHz	図 60.2 $V_{r\ (VCC)} \leqq$ VCC × 0.2
		-	-	1	MHz	図 60.2 $V_{r\ (VCC)} \leqq$ VCC × 0.08
		-	-	10	MHz	図 60.2 $V_{r\ (VCC)} \leqq$ VCC × 0.06
許容電圧変動立ち上がり／立ち下がり勾配	dt/dVCC	1.0	-	-	ms/V	VCC変動がVCC ± 10%を超える場合

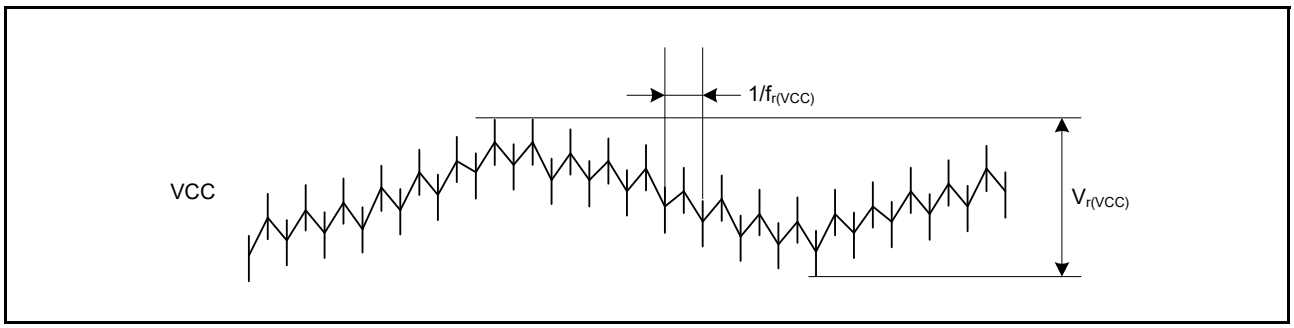


図 60.2 リップル波形

60.3 AC 特性

60.3.1 周波数

表 60.10 High-speedモードにおける動作周波数

項目			シンボル	Min	Typ	Max	単位
動作周波数	システムクロック（ICLK（注2））		f	-	-	240	MHz
	周辺モジュールクロック（PCLKA）（注2）			-	-	120	
	周辺モジュールクロック（PCLKB）（注2）			-	-	60	
	周辺モジュールクロック（PCLKC）（注2）			-（注3）	-	60	
	周辺モジュールクロック（PCLKD）（注2）			-	-	120	
	フラッシュインタフェースクロック（FCLK）（注2）			-（注1）	-	60	
	外部バスクロック（BCLK）（注2）			-	-	120	
	EBCLK端子出力			-	-	60	
	SDCLK端子出力	VCC≧3.0V		-	-	120	

注 1. フラッシュメモリのプログラミング／イレース中、FCLK は 4MHz 以上の周波数で実行する必要があります。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、および BCLK 相互間の周波数関係については「9. クロック発生回路」を参照してください。
注 3. ADC12 使用時、PCLKC 周波数は 1MHz 以上でなければなりません。

表 60.11 Low-speedモードにおける動作周波数の値

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック（ICLK）（注2）	f	-	-	1	MHz
	周辺モジュールクロック（PCLKA）（注2）		-	-	1	
	周辺モジュールクロック（PCLKB）（注2）		-	-	1	
	周辺モジュールクロック（PCLKC）（注2）（注3）		-（注3）	-	1	
	周辺モジュールクロック（PCLKD）（注2）		-	-	1	
	フラッシュインタフェースクロック（FCLK）（注1）（注2）		-	-	1	
	外部バスクロック（BCLK）		-	-	1	
	EBCLK端子出力		-	-	1	

注 1. フラッシュメモリのプログラム／イレースは、Low-speed モードでは許可されていません。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、および BCLK 相互間の周波数関係については「9. クロック発生回路」を参照してください。
注 3. ADC12 使用時、PCLKC 周波数は 1MHz 以上でなければなりません。

表 60.12 Subosc-speedモードにおける動作周波数

項目		シンボル	Min	Typ	Max	単位
動作周波数	システムクロック（ICLK）（注2）	f	29.4	-	36.1	kHz
	周辺モジュールクロック（PCLKA）（注2）		-	-	36.1	
	周辺モジュールクロック（PCLKB）（注2）		-	-	36.1	
	周辺モジュールクロック（PCLKC）（注2）（注3）		-	-	36.1	
	周辺モジュールクロック（PCLKD）（注2）		-	-	36.1	
	フラッシュインタフェースクロック（FCLK）（注1）（注2）		29.4	-	36.1	
	外部バスクロック（BCLK）（注2）		-	-	36.1	
	EBCLK端子出力		-	-	36.1	

注 1. フラッシュメモリのプログラム／イレースは、Subosc-speed モードでは許可されていません。
注 2. ICLK、PCLKA、PCLKB、PCLKC、PCLKD、FCLK、および BCLK 相互間の周波数関係については「9. クロック発生回路」を参照してください。
注 3. ADC12 は使用できません。

60.3.2 クロックタイミング

表 60.13 サブクロック発振器以外のクロックタイミング

項目		シンボル	Min	Typ	Max	単位	測定条件
EBCLK端子出力サイクル時間		t_{Bcyc}	16.6	-	-	ns	図 60.3
EBCLK端子出力Highレベルパルス幅		t_{CH}	3.3	-	-	ns	
EBCLK端子出力Lowレベルパルス幅		t_{CL}	3.3	-	-	ns	
EBCLK端子出力立ち上がり時間		t_{Cr}	-	-	5.0	ns	
EBCLK端子出力立ち下がり時間		t_{Cf}	-	-	5.0	ns	
SDCLK端子出力サイクル時間		t_{SDcyc}	8.33	-	-	ns	
SDCLK端子出力Highレベルパルス幅		t_{CH}	1.0	-	-	ns	
SDCLK端子出力Lowレベルパルス幅		t_{CL}	1.0	-	-	ns	
SDCLK端子出力立ち上がり時間		t_{Cr}	-	-	3.0	ns	
SDCLK端子出力立ち下がり時間		t_{Cf}	-	-	3.0	ns	
EXTAL外部クロック入力サイクル時間		t_{EXcyc}	41.66	-	-	ns	図 60.4
EXTAL外部クロック入力Highレベルパルス幅		t_{EXH}	15.83	-	-	ns	
EXTAL外部クロック入力Lowレベルパルス幅		t_{EXL}	15.83	-	-	ns	
EXTAL外部クロック立ち上がり時間		t_{EXr}	-	-	5.0	ns	
EXTAL外部クロック立ち下がり時間		t_{EXf}	-	-	5.0	ns	
メインクロック発振器周波数		f_{MAIN}	8	-	24	MHz	-
メインクロック発振安定待機時間（水晶）（注1）		$t_{MAINOSCWT}$	-	-	-（注1）	ms	図 60.5
LOCOクロック発振周波数		f_{LOCO}	29.4912	32.768	36.0448	kHz	-
LOCOクロック発振安定待機時間		t_{LOCOWT}	-	-	60.4	µs	図 60.6
ILOCOクロック発振周波数		f_{ILOCO}	13.5	15	16.5	kHz	-
MOCOクロック発振周波数		F_{MOCO}	7.2	8	8.8	MHz	-
MOCOクロック発振安定待機時間		t_{MOCOWT}	-	-	15.0	µs	-
HOCOクロック発振器発振周波数	FLLなし	f_{HOCO16}	15.61	16	16.39	MHz	-20≦Ta≦105℃
		f_{HOCO18}	17.56	18	18.44		
		f_{HOCO20}	19.52	20	20.48		
		f_{HOCO16}	15.52	16	16.48		-40≦Ta≦-20℃
		f_{HOCO18}	17.46	18	18.54		
		f_{HOCO20}	19.40	20	20.60		
	FLLあり	f_{HOCO16}	15.91	16	16.09		SOSC周波数は32.768kHz ± 50ppmです。
		f_{HOCO18}	17.90	18	18.10		
		f_{HOCO20}	19.89	20	20.11		
HOCOクロック発振安定待機時間（注2）		t_{HOCOWT}	-	-	64.7	µs	-
FLL安定待機時間		t_{FLLWT}	-	-	3	ms	-
PLLクロック周波数		f_{PLL}	120	-	240	MHz	-
PLLクロック発振安定待機時間		t_{PLLWT}	-	-	174.9	µs	図 60.7

注 1. メインクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。MOSCWTCR レジスタを、推奨値以上に設定してください。
メインクロック動作を開始するために MOSCCR.MOSTP ビット設定を変更したら、OSCSF.MOSCSF フラグが 1 であることを確認してからメインクロック発振器の使用を開始してください。

注 2. リセット状態の解除から HOCO 発振周波数（fHOCO）が動作保証範囲に達するまでの時間です。

表 60.14 サブクロック発振器のクロックタイミング

項目	シンボル	Min	Typ	Max	単位	測定条件
サブクロック周波数	f_{SUB}	-	32.768	-	kHz	-
サブクロック発振安定待機時間	$t_{SUBOSCWT}$	-	-	-（注1）	s	図 60.8

注 1. サブクロック発振器を設定する場合、発振器メーカに発振評価を確認し、その結果を推奨発振安定時間として使用してください。サブクロック動作を開始するために SOSCCR.SOSTP ビットの設定を変更したら、必ずサブクロック発振安定時間が十分に経過してからサブクロック発振器の使用を開始してください。発振安定待機時間の 2 倍を推奨します。

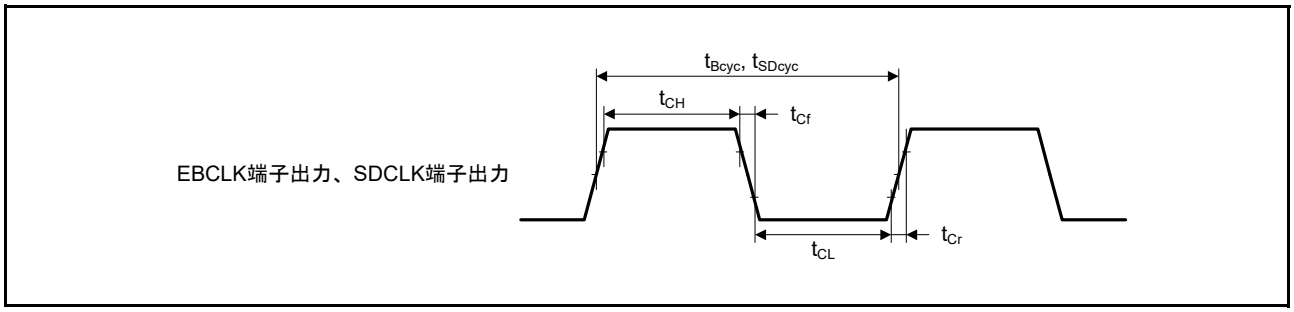


図 60.3 EBCLK および SDCLK の出力タイミング

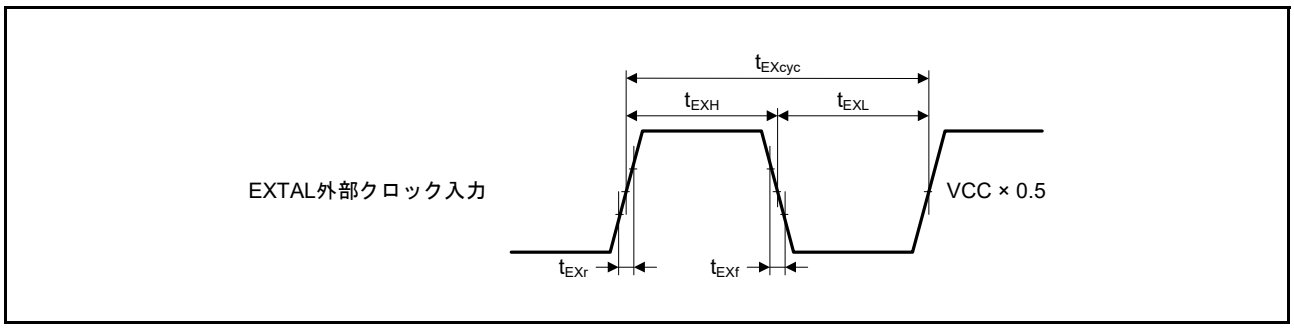


図 60.4 EXTAL 外部クロック入力タイミング

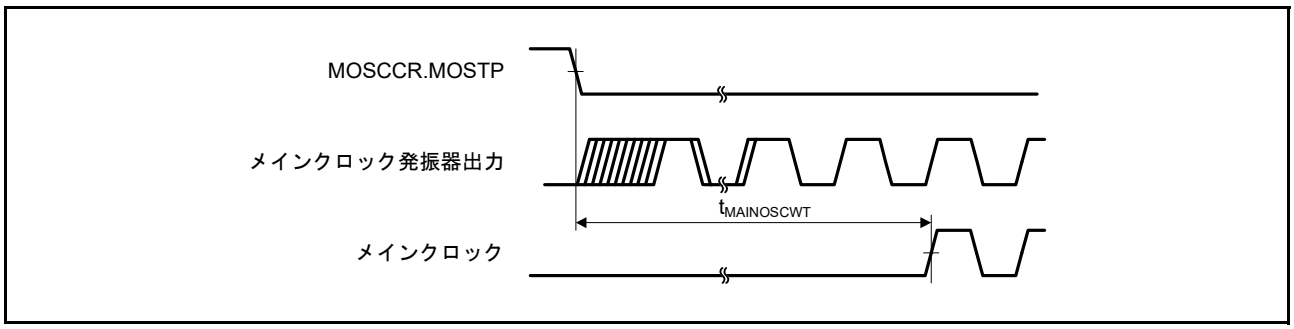


図 60.5 メインクロック発振開始タイミング

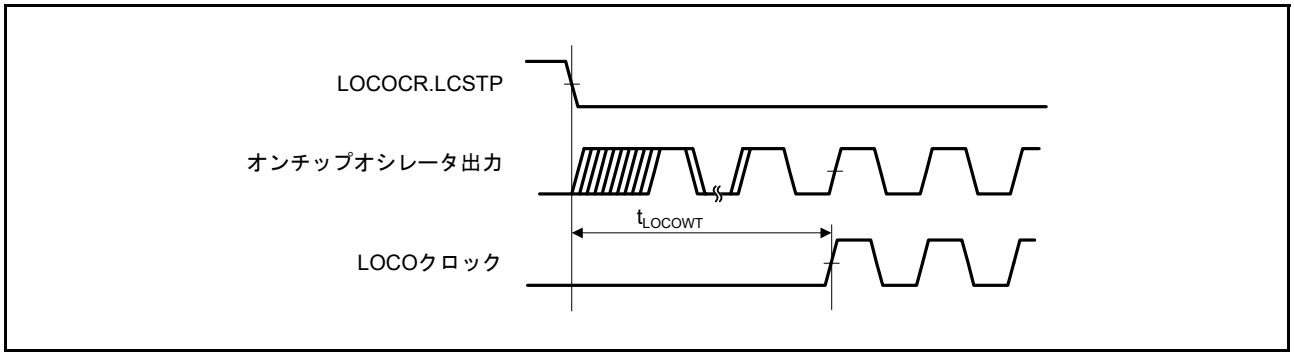


図 60.6 LOCO クロック発振開始タイミング

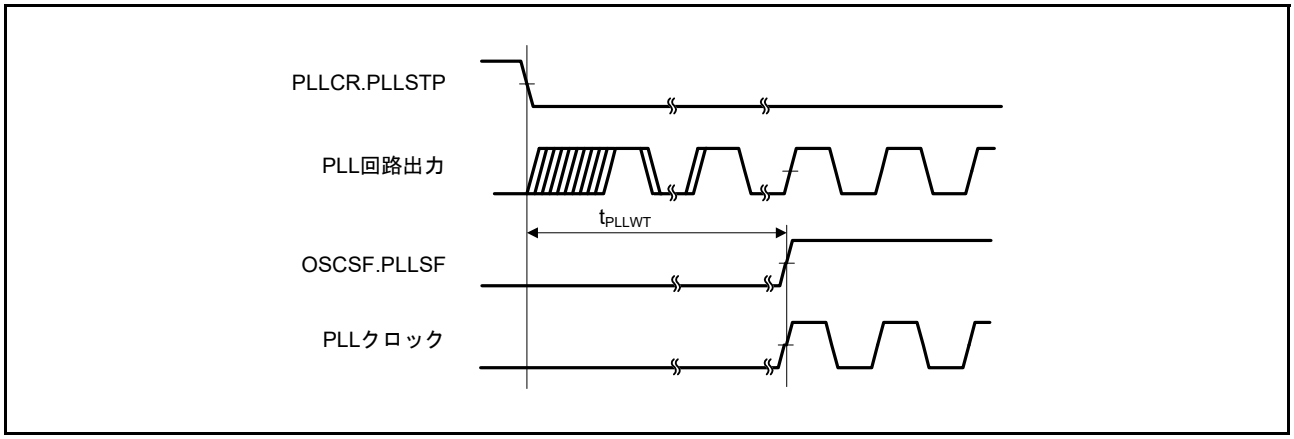


図 60.7 PLL クロック発振開始タイミング

注 . メインクロックの発振が安定した後に PLL を動作させてください。

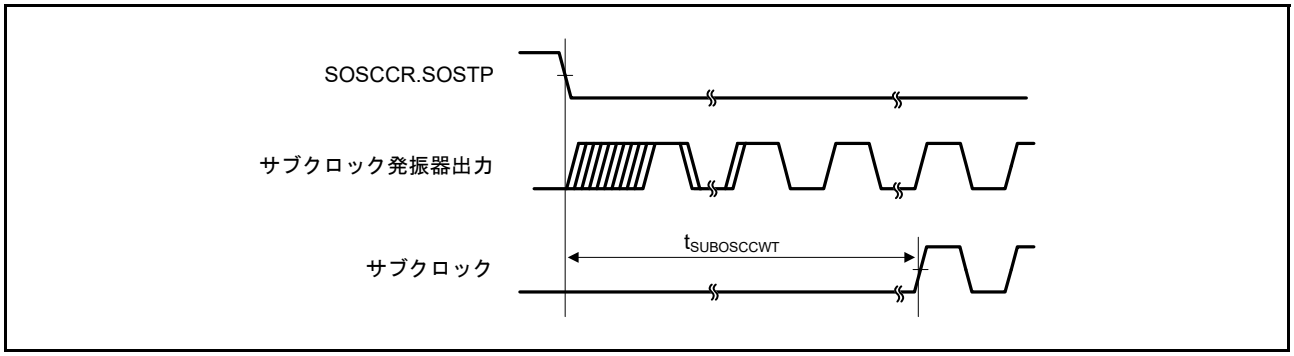


図 60.8 サブクロック発振開始タイミング

60.3.3 リセットタイミング

表 60.15 リセットタイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
RESパルス幅	パワーオン	LDOモード	t_{RESWP}	1	-	-	ms	図 60.9
		DCDCモード		1.5	-	-	ms	
	ディープソフトウェアスタンバイモード		t_{RESWD}	0.6	-	-	ms	図 60.10
	ソフトウェアスタンバイモード、Subosc-speedモード		t_{RESWS}	0.3	-	-	ms	
	上記以外		t_{RESW}	200	-	-	μs	
RES解除後の待機時間			t_{RESWT}	-	-	33.4	μs	図 60.9
内部リセット解除後の待機時間（IWDTリセット、WDTリセット、ソフトウェアリセット、SRAMパリティエラーリセット、SRAM DEDエラーリセット、バスマスタMPUエラーリセット、バススレーブMPUエラーリセット、スタックポインタエラーリセット）			t_{RESW2}	-	-	390	μs	-

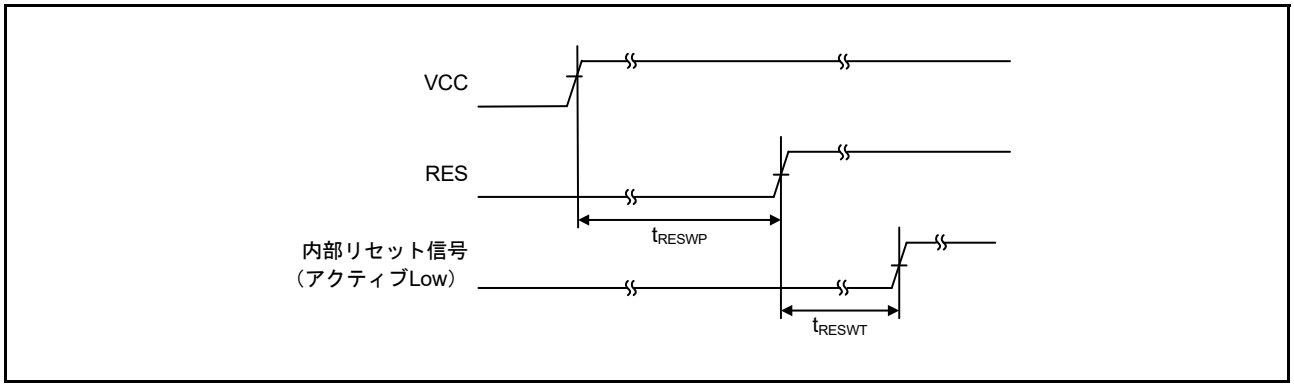


図 60.9 パワーオンリセットタイミング

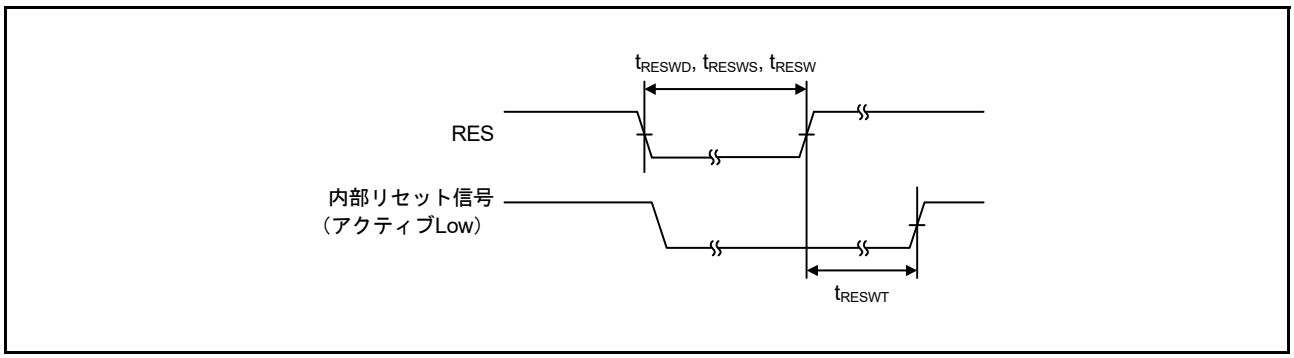


図 60.10 リセット入力タイミング

60.3.4 ウェイクアップタイミングと期間

表 60.16 低消費電力モードからの復帰のタイミングと期間

項目			シンボル	Min	Typ	Max	単位	測定条件
ソフトウェアスタンバイモードからの復帰時間（注1）	メインクロック発振器に水晶振動子を接続	システムクロックソースはメインクロック発振器（注2）	t_{SBYMC}	-	-	2.8	ms	図 60.11 全発振器の分周比は1です。
		システムクロックソースはメインクロック発振器を使用したPLL（注3）	t_{SBYPC}	-	-	3.2	ms	
	メインクロック発振器に外部クロックを入力	システムクロックソースはメインクロック発振器（注4）	t_{SBYEX}	-	-	280	μs	
		システムクロックソースはメインクロック発振器を使用したPLL（注5）	t_{SBYPE}	-	-	700	μs	
	システムクロックソースはサブクロック発振器（注8）		t_{SBYSC}	-	-	1.3	ms	
	システムクロックソースはLOCO（注8）		t_{SBYLO}	-	-	1.4	ms	
	システムクロックソースはHOCOクロック発振器（注6）		t_{SBYHO}	-	-	300	μs	
	システムクロックソースはMOCOクロック発振器（注7）		t_{SBYMO}	-	-	300	μs	
ディープソフトウェアスタンバイモードからの復帰時間			t_{DSBY}	-	-	1.0	ms	図 60.12
ディープソフトウェアスタンバイモード解除後待機時間			t_{DSBYWT}	31	-	32	t_{cyc}	
ソフトウェアスタンバイモードからスヌーズモードへの復帰時間	システムクロックソースがHOCO（20MHz）の場合はHigh-speedモード		t_{SNZ}	-	-	68	μs	図 60.13
	システムクロックソースがMOCO（8MHz）の場合はHigh-speedモード		t_{SNZ}	-	-	14（注9）	μs	
通常モード期間（注10）	システムクロックソースはメインクロック発振器		t_{NML}	-（注11）	-	-	$t_{cycmosc}$	図 60.11
	システムクロックソースはメインクロック発振器を使用したPLL							

注 1. 復帰時間はシステムクロックソースにより決定されます。複数の発振器が起動している場合、復帰時間は以下の計算式で決定できます。
総復帰時間 = システムクロックソースとしての発振器の復帰時間 + システムクロックソースより長い安定時間を要する発振器の最長発振安定時間 + 2 LOCO サイクル（LOCO が動作している場合）+ 3 SOSC サイクル（Subosc が発振中かつ MSTPCO = 0（CAC モジュール停止）の場合）。

注 2. 水晶の周波数が 24MHz の場合（メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）が 05h のとき）。その他の設定（MOSCWTCR が Xh）の場合、復帰時間は以下の計算式で決定できます。
t_{SBYMC} (MOSCWTCR = Xh) = t_{SBYMC} (MOSCWTCR = 05h) + ($t_{MAINOSCWT}$ (MOSCWTCR = Xh) - $t_{MAINOSCWT}$ (MOSCWTCR = 05h))

注 3. PLL の周波数が 240MHz の場合（メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）が 05h のとき）。その他の設定（MOSCWTCR が Xh）の場合、復帰時間は以下の計算式で決定できます。
t_{SBYMC} (MOSCWTCR = Xh) = t_{SBYMC} (MOSCWTCR = 05h) + ($t_{MAINOSCWT}$ (MOSCWTCR = Xh) - $t_{MAINOSCWT}$ (MOSCWTCR = 05h))

注 4. 外部クロックの周波数が 24MHz の場合（メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）が 00h のとき）。その他の設定（MOSCWTCR が Xh）の場合、復帰時間は以下の計算式で決定できます。
t_{SBYMC} (MOSCWTCR = Xh) = t_{SBYMC} (MOSCWTCR = 00h) + ($t_{MAINOSCWT}$ (MOSCWTCR = Xh) - $t_{MAINOSCWT}$ (MOSCWTCR = 00h))

注 5. PLL の周波数が 240MHz の場合（メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）が 00h のとき）。その他の設定（MOSCWTCR が Xh）の場合、復帰時間は以下の計算式で決定できます。
t_{SBYMC} (MOSCWTCR = Xh) = t_{SBYMC} (MOSCWTCR = 00h) + ($t_{MAINOSCWT}$ (MOSCWTCR = Xh) - $t_{MAINOSCWT}$ (MOSCWTCR = 00h))

注 6. HOCO 周波数は 20MHz です。

注 7. MOCO 周波数は 8MHz です。

注 8. Subosc-speed モードでは、サブクロック発振器または LOCO はソフトウェアスタンバイモードで発振を継続します。

注 9. SNZCR.RXDREQEN ビットが 0 のとき、86μs が電源復帰時間として追加されます。

注 10. スヌーズから通常モードへ遷移した後の、通常モードの期間を定義します。
以下にメインクロック発振器の有効な使用方法を示します。
- メインクロック発振器に水晶振動子を接続
- メインクロック発振器に外部クロックを入力
以下の場合を除きます。
- メインクロック振動子がシステムクロックソースに接続されていない
- ソフトウェアスタンバイモードから通常モードへ遷移した

注 11. MOSCWTCR.MSTS[3:0] に設定した値と同じ。通常モード期間は、メインクロック発振器待機時間より長くなければなりません。
MOSCWTCR：メインクロック発振器ウェイトコントロールレジスタ
$t_{cycmosc}$：メインクロック発振器周波数サイクル

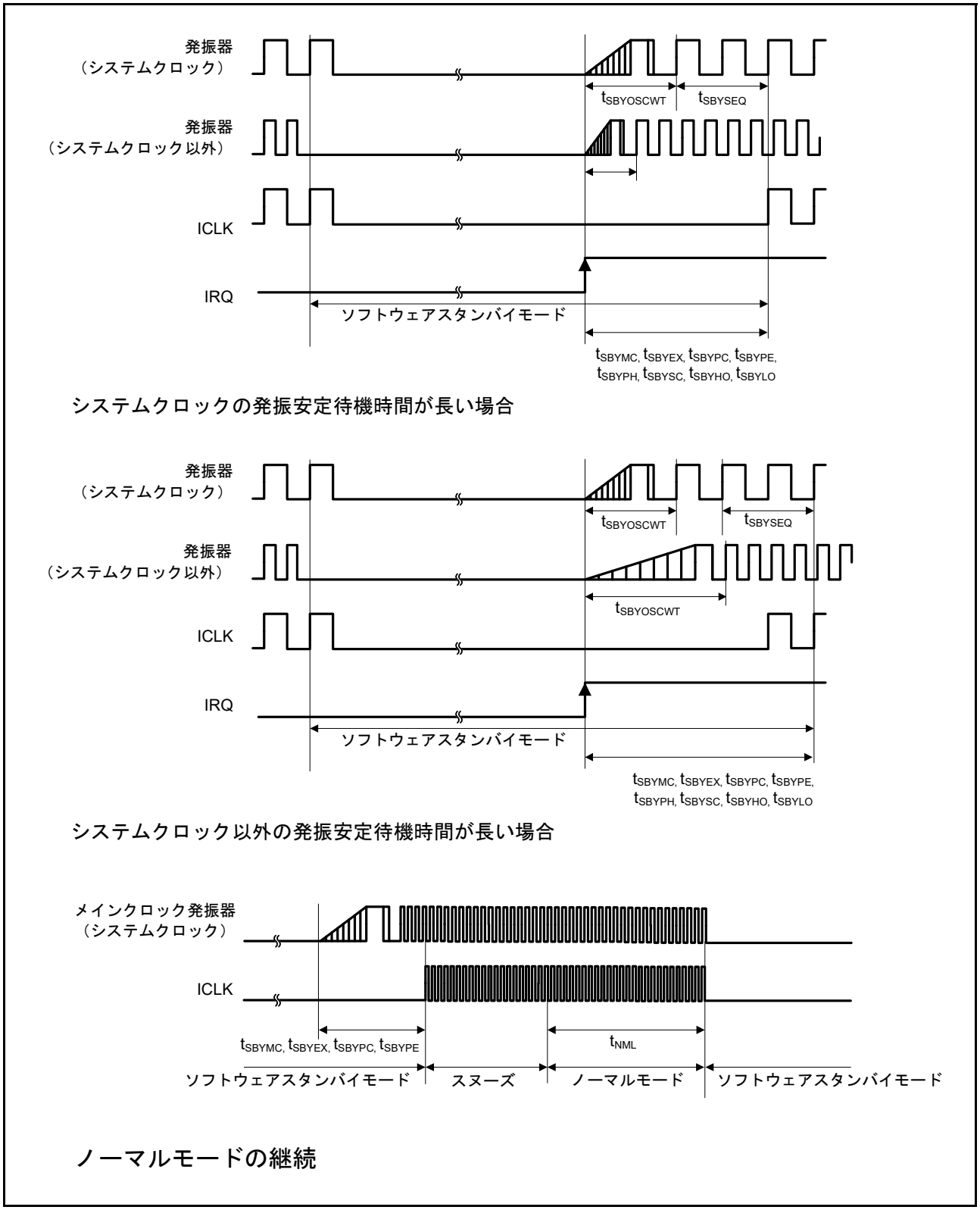


図 60.11　ソフトウェアスタンバイモード解除タイミングと期間

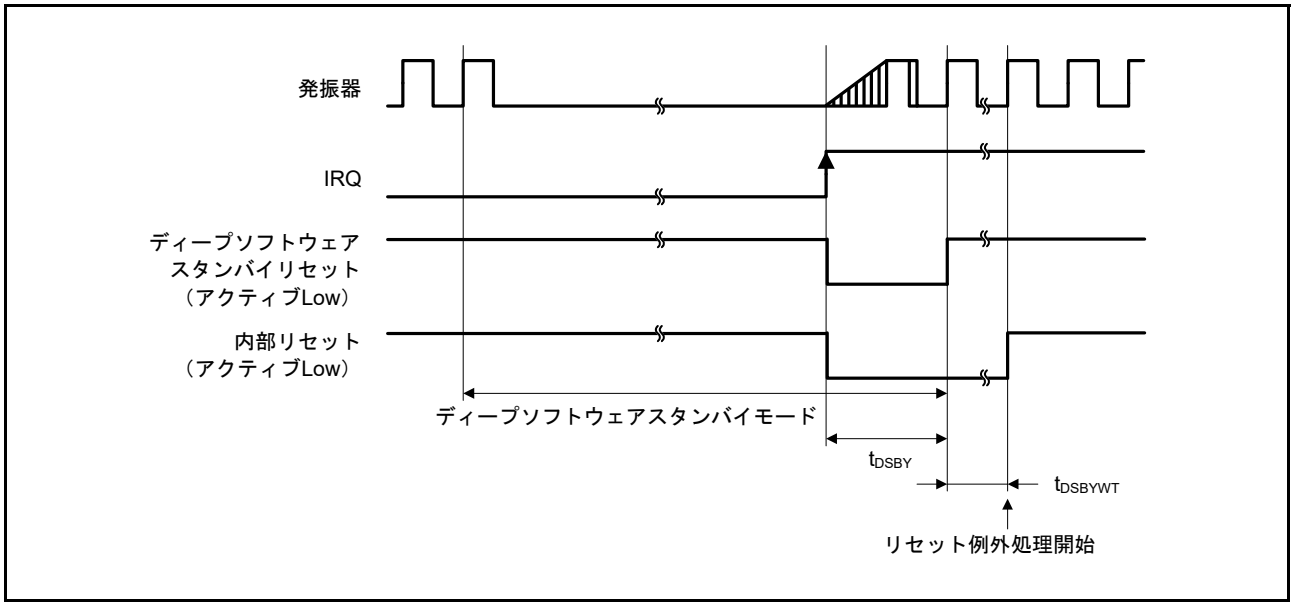
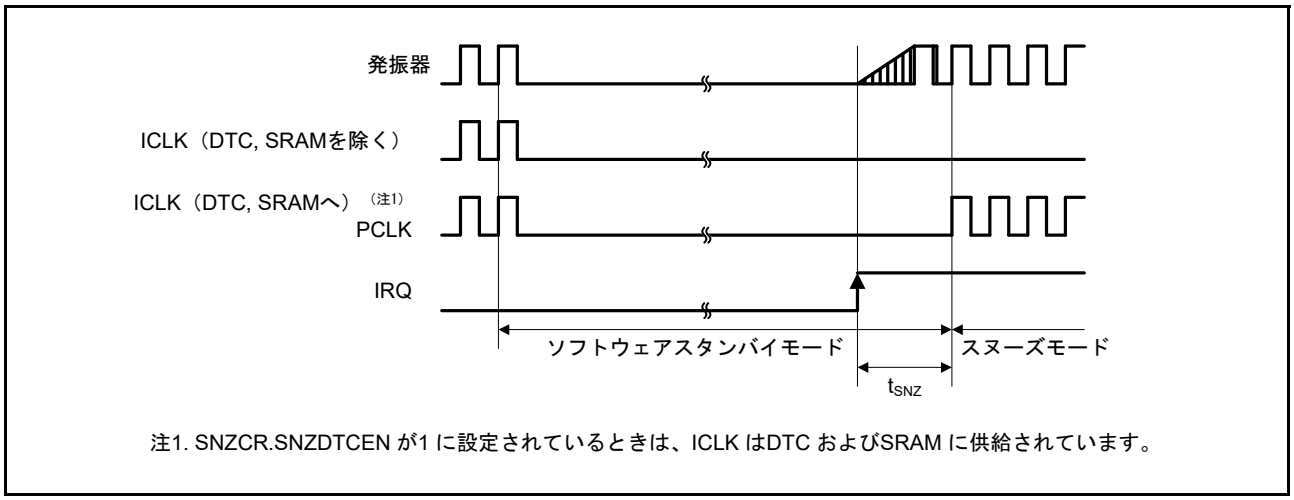


図 60.12　　ディープソフトウェアスタンバイモード解除タイミング



注1. SNZCR.SNZDTCEN が1 に設定されているときは、ICLK はDTC およびSRAM に供給されています。

図 60.13　　ソフトウェアスタンバイモードからスヌーズモードへの復帰タイミング

60.3.5 NMI/IRQ ノイズフィルタ

表 60.17 NMI/IRQノイズフィルタ

項目	シンボル	Min	Typ	Max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	-	-	ns	NMIデジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200ns$
		$t_{Pcyc} \times 2$（注1）	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		NMIデジタルフィルタ有効	$t_{NMICK} \times 3 \leqq 200ns$
		$t_{NMICK} \times 3.5$（注2）	-	-			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	-	-	ns	IRQデジタルフィルタ無効	$t_{Pcyc} \times 2 \leqq 200ns$
		$t_{Pcyc} \times 2$（注1）	-	-			$t_{Pcyc} \times 2 > 200ns$
		200	-	-		IRQデジタルフィルタ有効	$t_{IRQCK} \times 3 \leqq 200ns$
		$t_{IRQCK} \times 3.5$（注3）	-	-			$t_{IRQCK} \times 3 > 200ns$

注 . ソフトウェアスタンバイモード時は最小 200ns です。

注 1. t_{Pcyc} は PCLKB の周期を意味します。

注 2. t_{NMICK} は、NMI デジタルフィルタサンプリングクロックの周期を意味します。

注 3. t_{IRQCK} は、IRQi デジタルフィルタサンプリングクロックの周期を意味します。

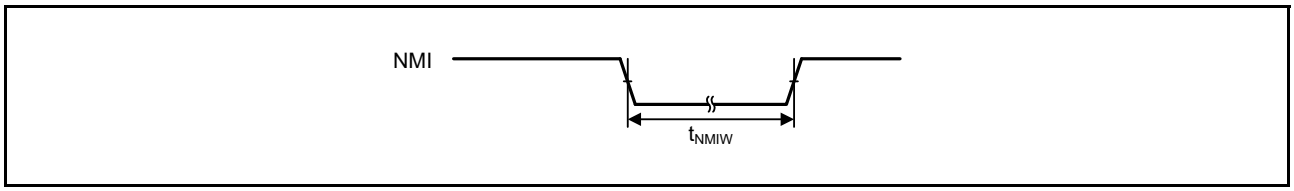


図 60.14 NMI 割り込み入力タイミング

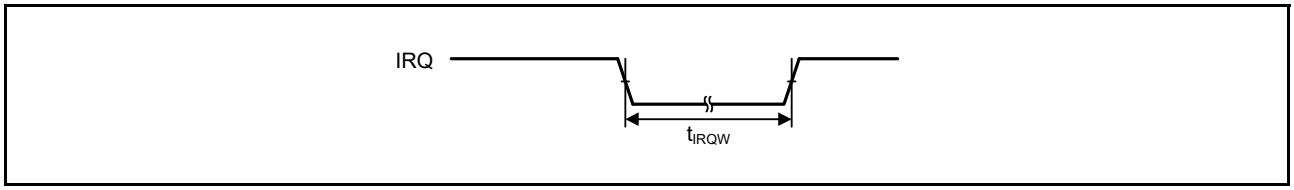


図 60.15 IRQ 割り込み入力タイミング

60.3.6 バスタイミング

表 60.18 バスタイミング

条件1：CS領域コントローラ（CSC）を使用する場合
BCLK = 8～60MHz
VCC = AVCC0 = VCC_USB = VBATT = 2.7～3.6V、VREFH/VREFH0 = 2.7V～AVCC0、
VCC_USBHS = AVCC_USBHS = 3.0～3.6V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 30pF
EBCLK：PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。
その他：PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

条件2：SDRAM領域コントローラ（SDRAMC）を使用する場合
BCLK = SDCLK = 8～120MHz
VCC = AVCC0 = VCC_USB = VBATT = 3.0～3.6V、VREFH/VREFH0 = 3.0V～AVCC0、
VCC_USBHS = AVCC_USBHS = 3.0～3.6V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15pF
PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

条件3：SDRAM領域コントローラ（SDRAMC）とCS領域コントローラ（CSC）を同時に使用する場合
BCLK = SDCLK = 8～60MHz
VCC = AVCC0 = VCC_USB = VBATT = 3.0～3.6V、VREFH/VREFH0 = 3.0V～AVCC0、
VCC_USBHS = AVCC_USBHS = 3.0～3.6V
出力負荷条件：VOH = VCC × 0.5、VOL = VCC × 0.5、C = 15pF
PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目	シンボル	Min	Max	単位	測定条件
アドレス遅延時間	t_{AD}	-	12.5	ns	図 60.16～図 60.19
バイトコントロール遅延時間	t_{BCD}	-	12.5	ns	
CS遅延時間	t_{CSD}	-	12.5	ns	
RD遅延時間	t_{RSD}	-	12.5	ns	
リードデータセットアップ時間	t_{RDS}	12.5	-	ns	
リードデータホールド時間	t_{RDH}	0	-	ns	
WR/WRn遅延時間	t_{WRD}	-	12.5	ns	
ライトデータ遅延時間	t_{WDD}	-	12.5	ns	
ライトデータホールド時間	t_{WDH}	0	-	ns	
WAITセットアップ時間	t_{WTS}	12.5	-	ns	図 60.20
WAITホールド時間	t_{WTH}	0	-	ns	
アドレス遅延時間2（SDRAM）	t_{AD2}	0.8	6.8	ns	図 60.21～図 60.27
CS遅延時間2（SDRAM）	t_{CSD2}	0.8	6.8	ns	
DQM遅延時間（SDRAM）	t_{DQMD}	0.8	6.8	ns	
CKE遅延時間（SDRAM）	t_{CKED}	0.8	6.8	ns	
リードデータセットアップ時間2（SDRAM）	t_{RDS2}	2.9	-	ns	
リードデータホールド時間2（SDRAM）	t_{RDH2}	1.5	-	ns	
ライトデータ遅延時間2（SDRAM）	t_{WDD2}	-	6.8	ns	
ライトデータホールド時間2（SDRAM）	t_{WDH2}	0.8	-	ns	
WE遅延時間（SDRAM）	t_{WED}	0.8	6.8	ns	
RAS遅延時間（SDRAM）	t_{RASD}	0.8	6.8	ns	
CAS遅延時間（SDRAM）	t_{CASD}	0.8	6.8	ns	

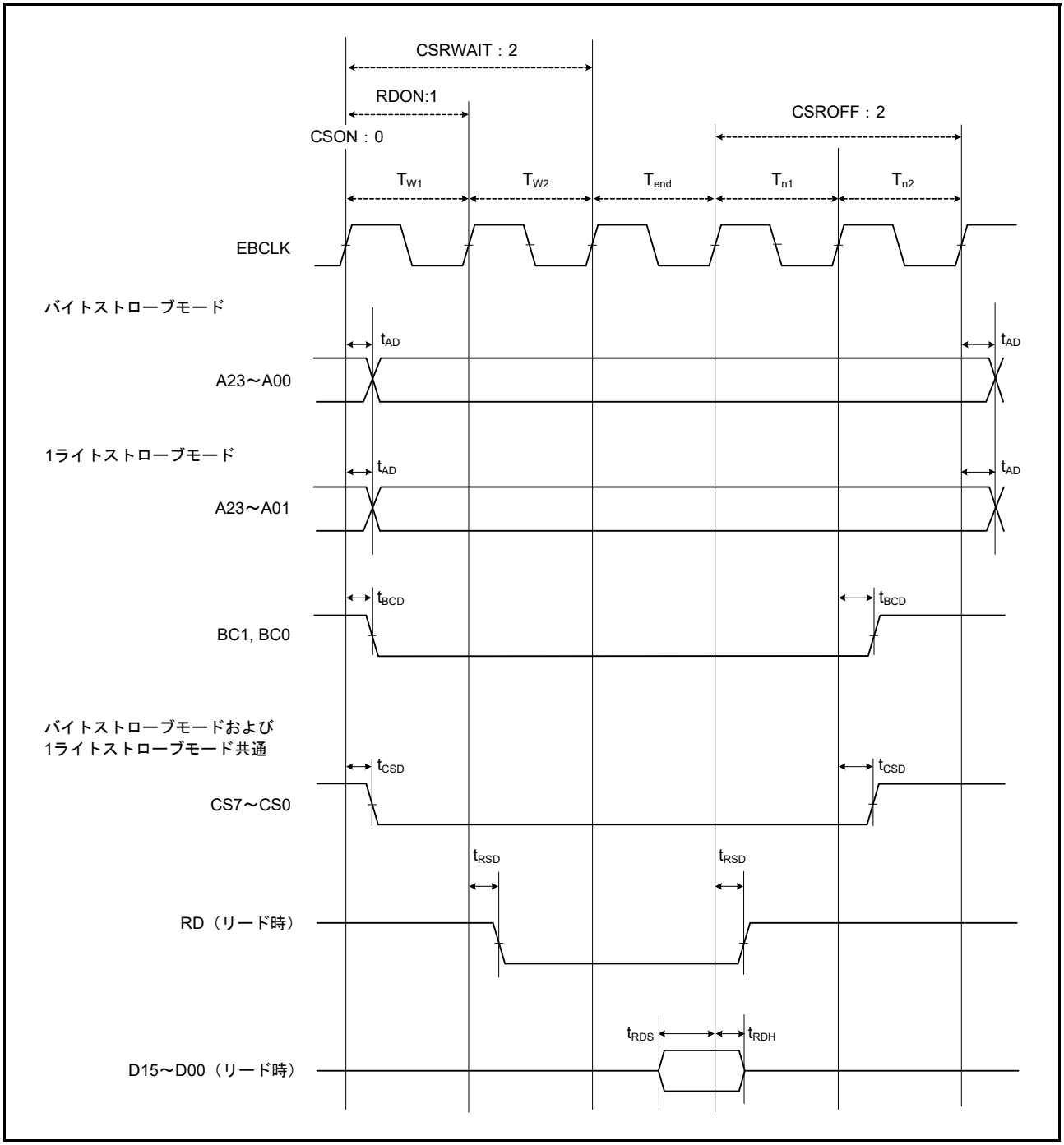
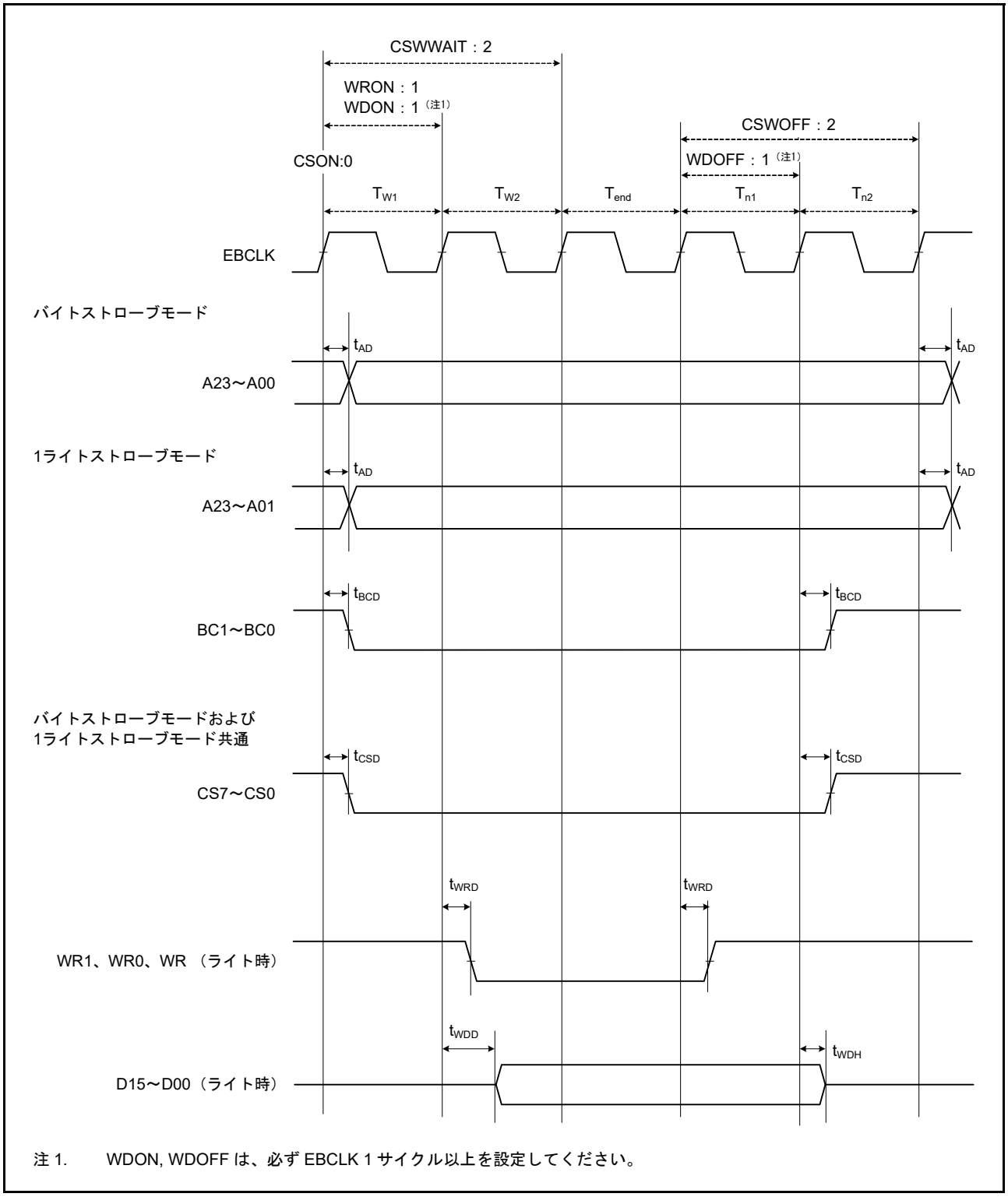


図 60.16　　バスクロック同期を使用したノーマルリードサイクルの外部バスタイミング



注 1. WDON, WDOFF は、必ず EBCLK 1 サイクル以上を設定してください。

図 60.17 バスクロック同期を使用したノーマルライトサイクルの外部バスタイミング

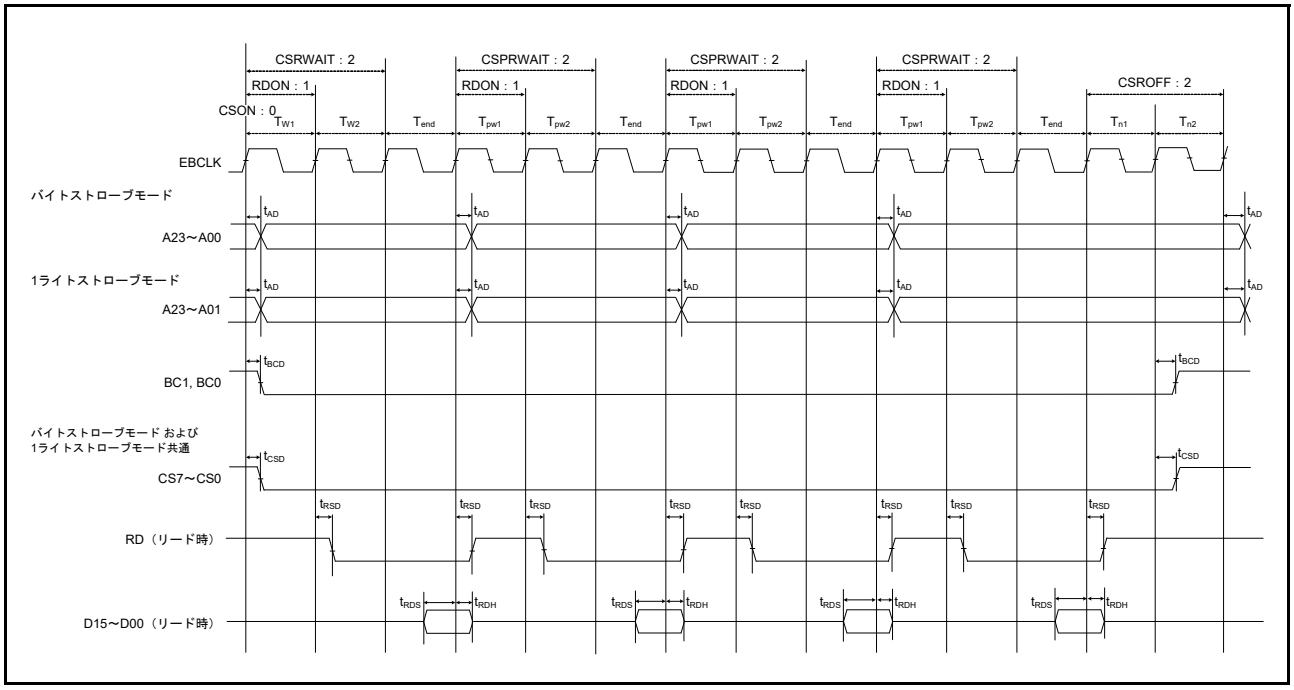
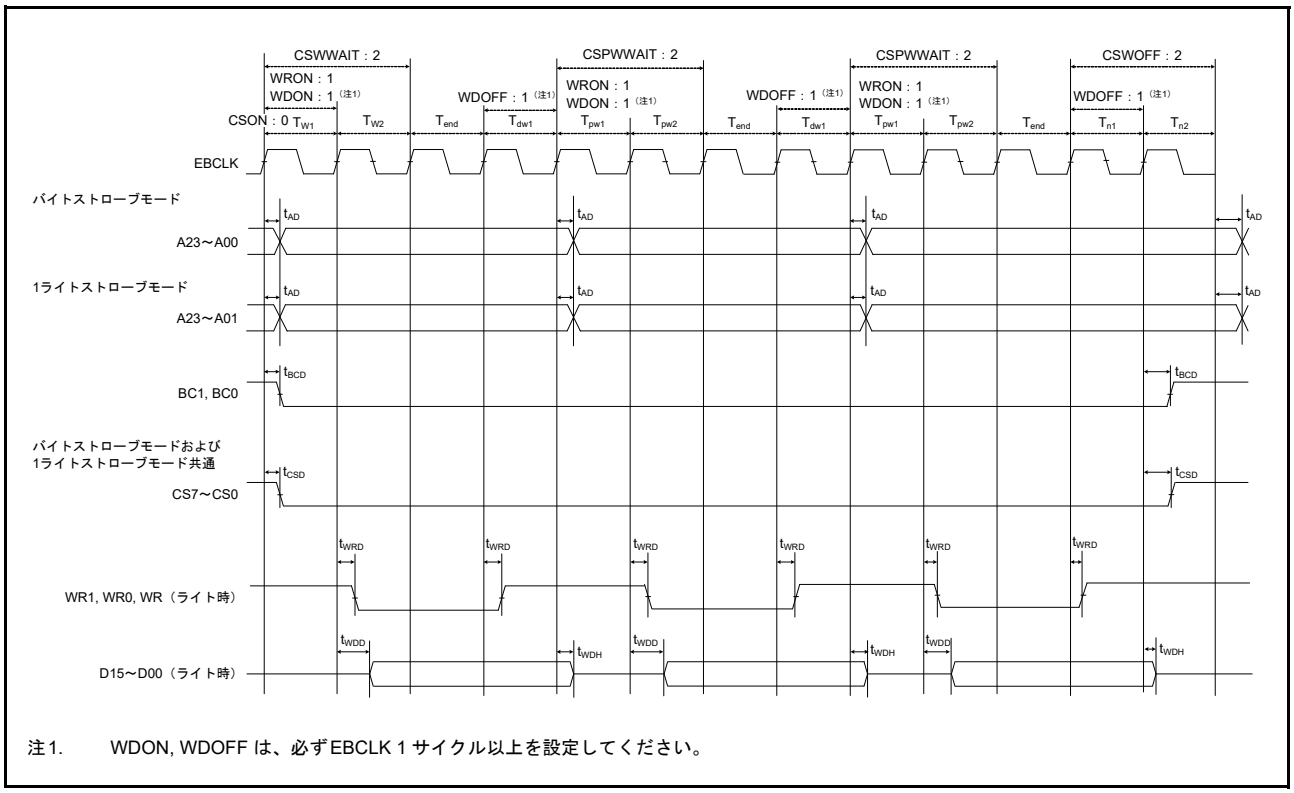


図 60.18　　バスクロック同期を使用したページリードサイクルの外部バスタイミング



注1.　WDON, WDOFF は、必ずEBCLK 1 サイクル以上を設定してください。

図 60.19　　バスクロック同期を使用したページライトサイクルの外部バスタイミング

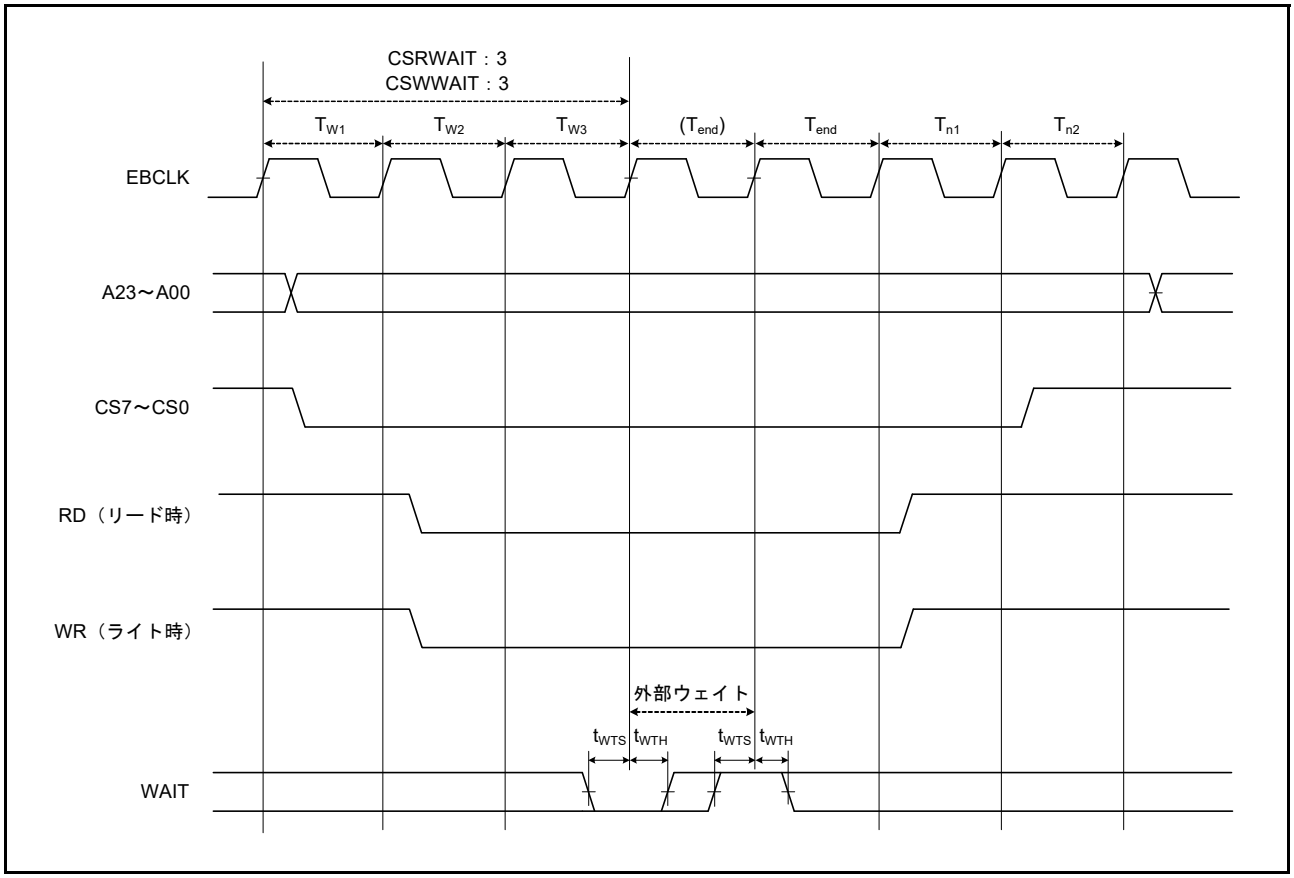
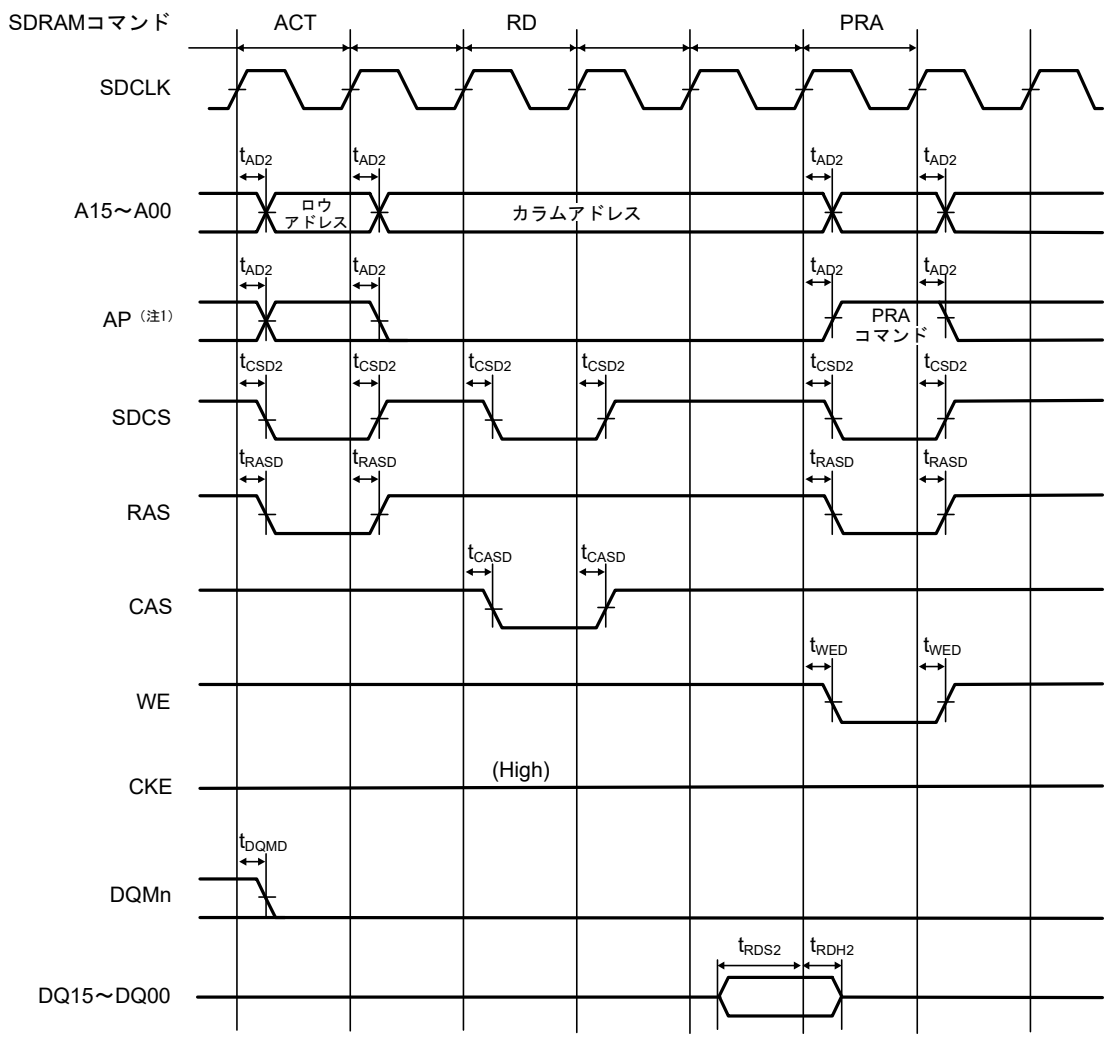
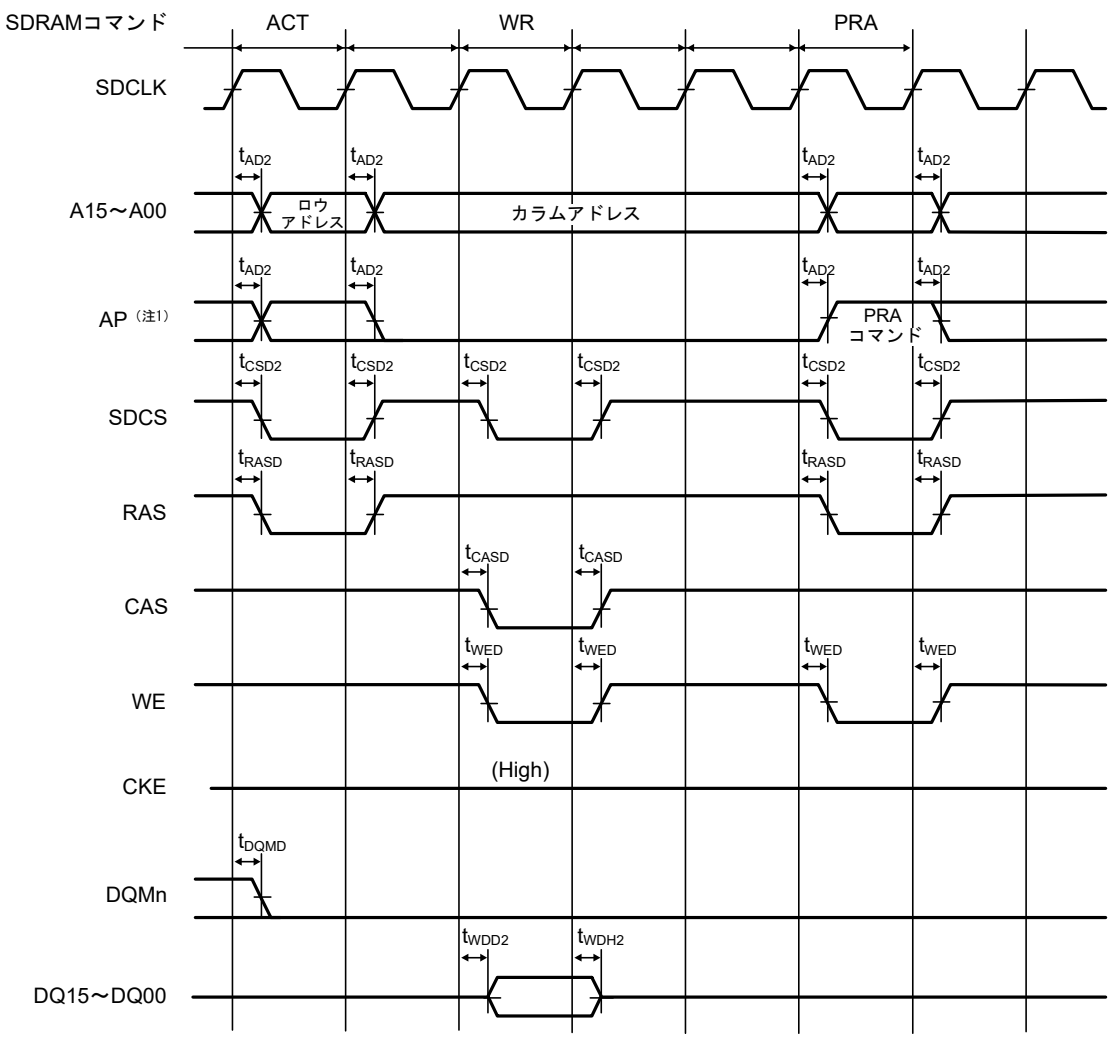


図 60.20　　外部ウェイト制御の外部バスタイミング



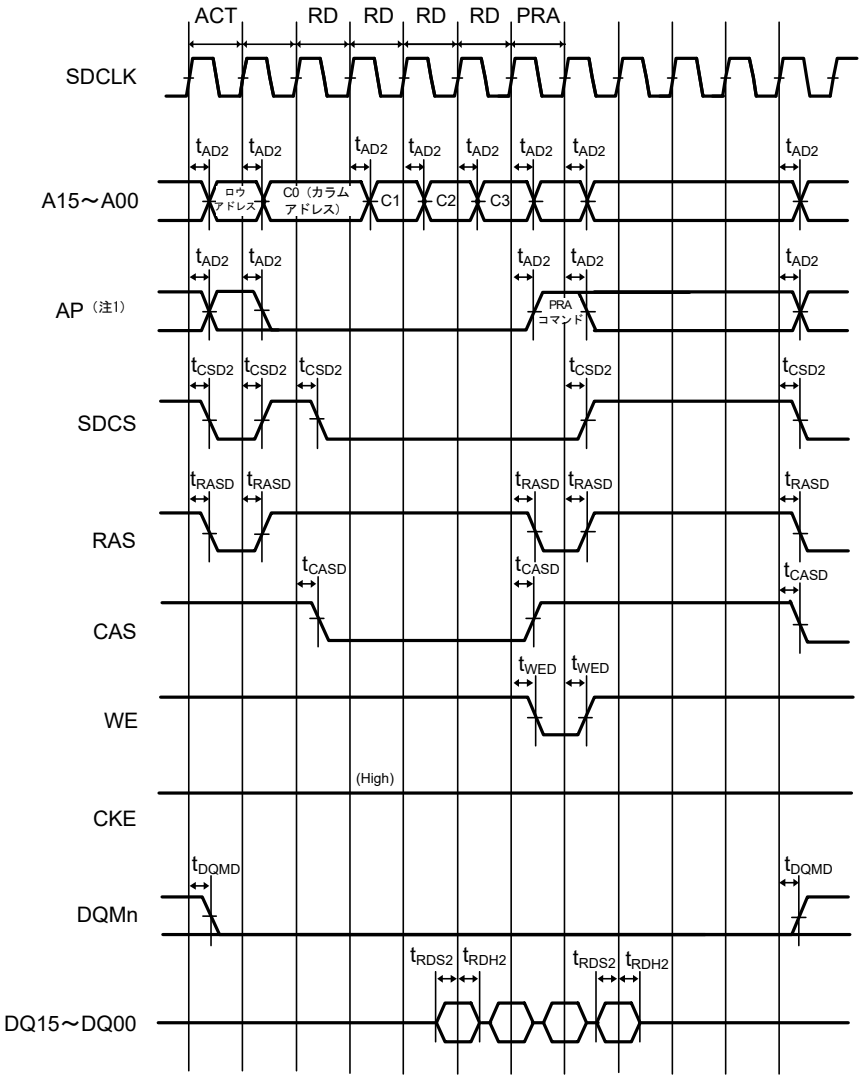
注 1. SDRAM のプリチャージ選択コマンド（Precharge-sel）を出力するアドレス端子です。

図 60.21 SDRAM シングルリードタイミング



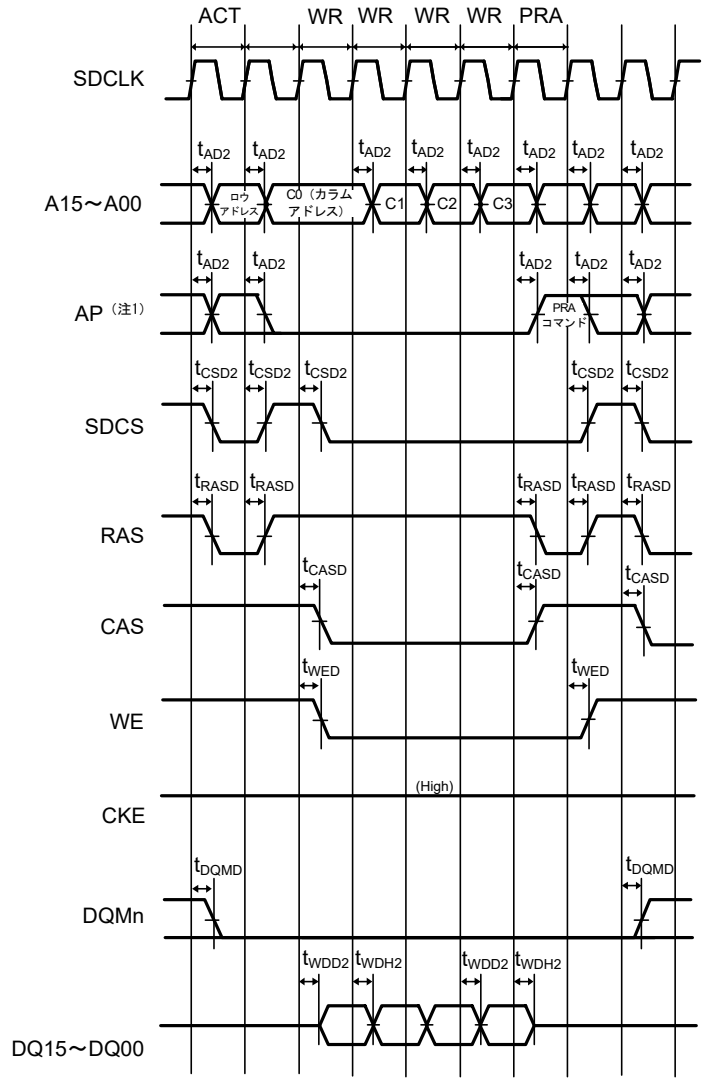
注 1. SDRAM のプリチャージ選択コマンド（Precharge-sel）を出力するアドレス端子です。

図 60.22 SDRAM シングルライトタイミング



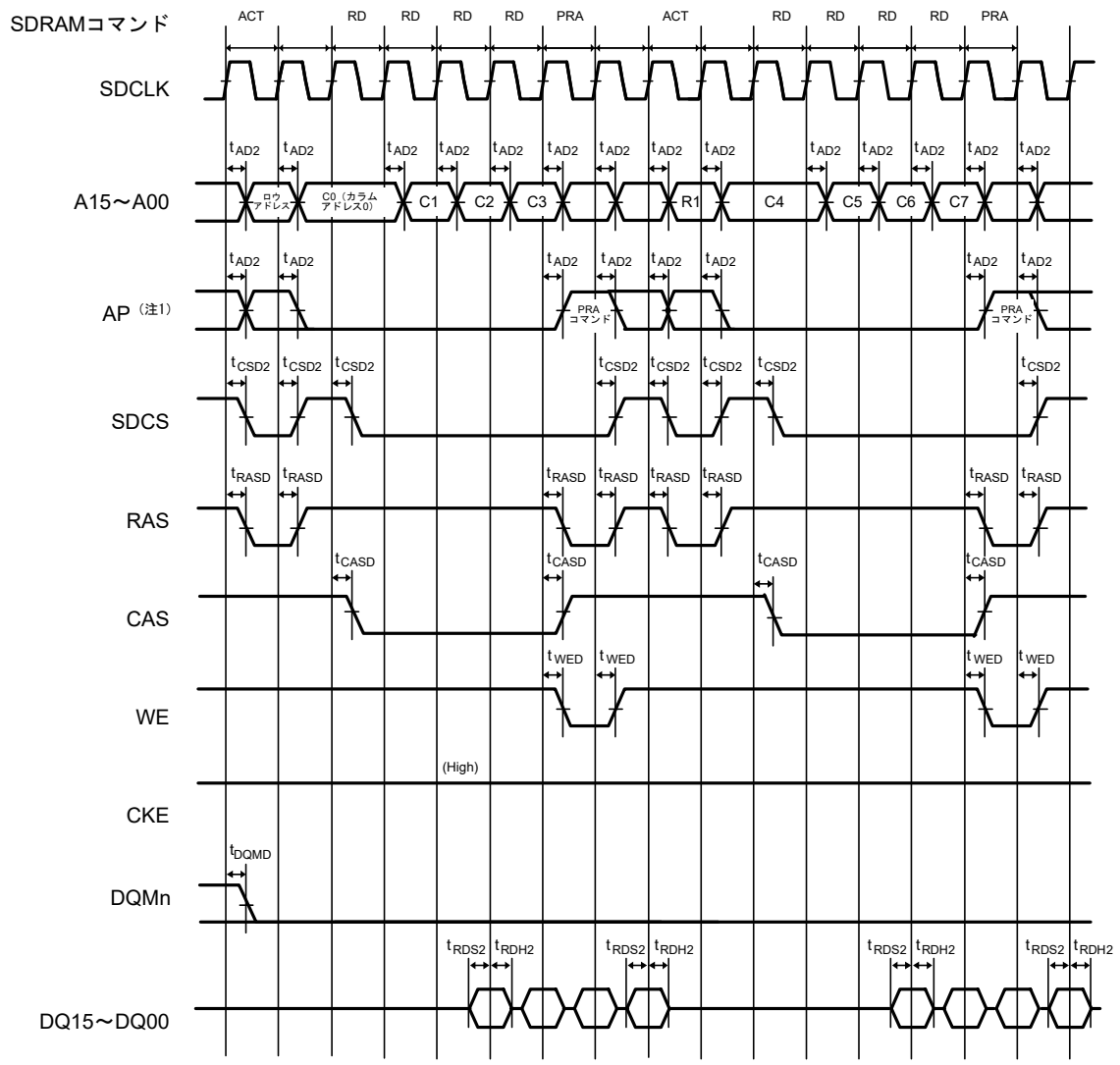
注 1. SDRAM のプリチャージ選択コマンド（Precharge-sel）を出力するアドレス端子です。

図 60.23 SDRAM 複数リードタイミング



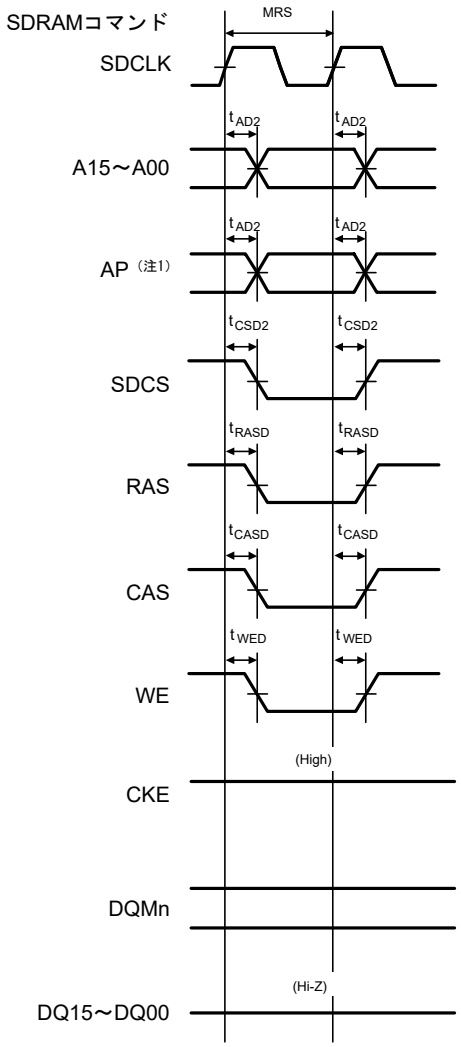
注 1. SDRAM のプリチャージ選択コマンド（Precharge-sel）を出力するアドレス端子です。

図 60.24 SDRAM 複数ライトタイミング



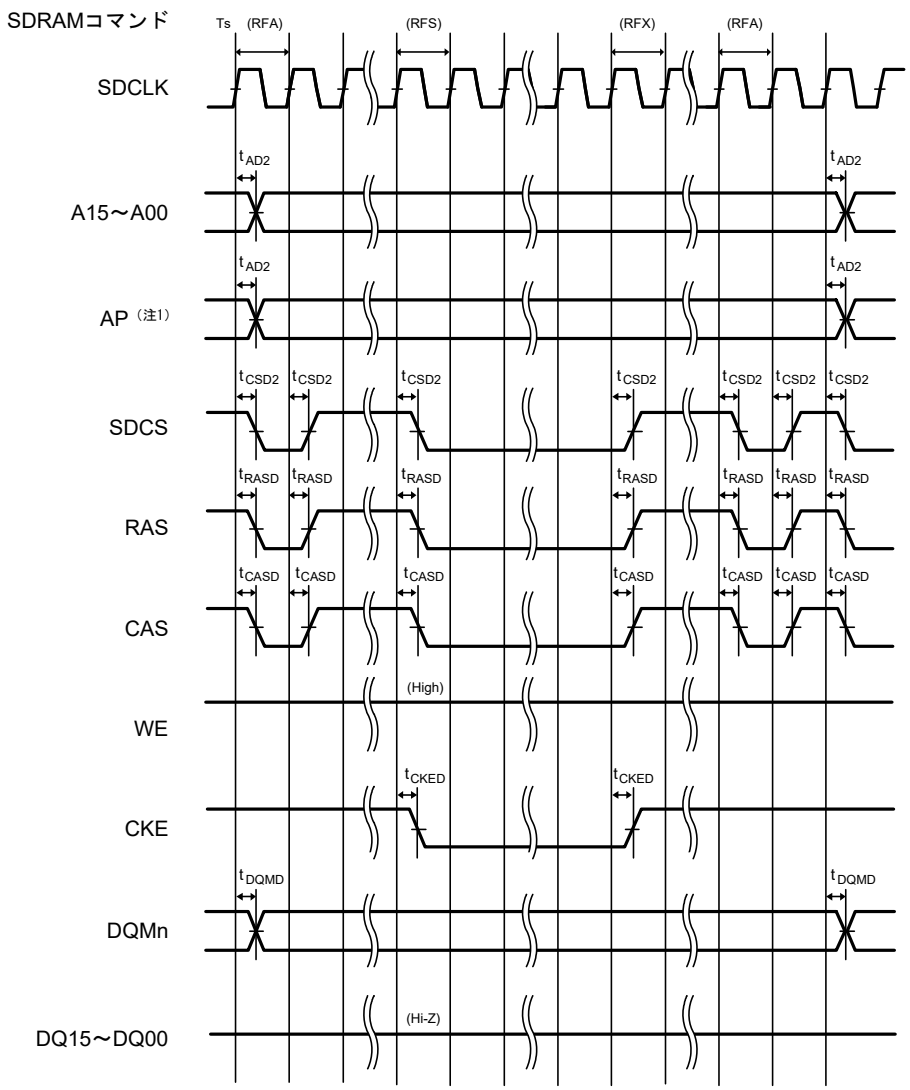
注 1. SDRAM のプリチャージ選択コマンド（Precharge-sel）を出力するアドレス端子です。

図 60.25 SDRAM 複数リード行またぎタイミング



注 1. SDRAM のプリチャージ選択コマンド（Precharge-sel）を出力するアドレス端子です。

図 60.26 SDRAM モードレジスタセットタイミング



注 1. SDRAM のプリチャージ選択コマンド（Precharge-sel）を出力するアドレス端子です。

図 60.27 SDRAM セルフリフレッシュタイミング

60.3.7 I/O ポート、POEG、GPT32、AGT、KINT、ADC12 トリガタイミング

表 60.19 I/Oポート、POEG、GPT32、AGT、KINT、ADC12 トリガタイミング

GPT32条件：
以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：GTIOC6A_A、GTIOC6B_A、GTIOC3A_B、GTIOC3B_B、GTIOC0A_B、GTIOC0B_B、GTIOC9A_B、GTIOC9B_B
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

AGT条件：
PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位	測定条件
I/Oポート	入力データパルス幅		t_{PRW}	1.5	-	t_{Pcyc}	図 60.28
POEG	POEG入力トリガパルス幅		t_{POEW}	3	-	t_{Pcyc}	図 60.29
GPT32	インプットキャプチャパルス幅	単エッジ	t_{GTICW}	1.5	-	t_{PDcyc}	図 60.30
		両エッジ		2.5	-		
	GTIOCxY_Z出力スキュー（x = 0～7、Y = AまたはB、Z = AまたはB）	中駆動バッファ	t_{GTISK}（注2）	-	4	ns	図 60.31
		高駆動バッファ		-	4		
	GTIOCxY_Z出力スキュー（x = 8～13、Y = AまたはB、Z = AまたはB）	中駆動バッファ		-	4		
		高駆動バッファ		-	4		
	GTIOCxY_Z出力スキュー（x = 0～13、Y = AまたはB、Z = AまたはB）	中駆動バッファ		-	6		
		高駆動バッファ		-	6		
	OPS出力スキュー GTOUUP_x、GTOULO_x、GTOVUP_x、GTOVLO_x、GTOWUP_x、GTOWLO_x（x = AまたはB）		t_{GTOSK}（注2）	-	5	ns	図 60.32
GPT（PWM遅延生成回路）	GTIOCxY_Z出力スキュー（x = 0～3、Y = AまたはB、Z = A）		t_{HRSK}（注3）	-	2.0	ns	図 60.33
AGT	AGTIO、AGTEE入力サイクル		t_{ACYC}（注1）	100	-	ns	図 60.34
	AGTIO、AGTEE入力Highレベル幅、Lowレベル幅		t_{ACKWH}, t_{ACKWL}	40	-	ns	
	AGTIO、AGTO、AGTOA、AGTOB出力サイクル		t_{ACYC2}	62.5	-	ns	
ADC12	ADC12トリガ入力パルス幅		t_{TRGW}	1.5	-	t_{Pcyc}	図 60.35
KINT	KRn（n = 00～07）パルス幅		t_{KR}	250	-	ns	図 60.36

注 1. t_{Pcyc}：PCLKB サイクル、t_{PDcyc}：PCLKD サイクル
注 2. このスキューは、同じドライバ I/O が使用されている場合に適用されます。中駆動ドライバと高駆動ドライバの I/O が混在する場合、動作は保証されません。
注 3. 負荷は 30pF です。
注 4. AGTIO 入力の制約：t_{Pcyc} × 2（t_{Pcyc}：PCLKB サイクル）＜ t_{ACYC}

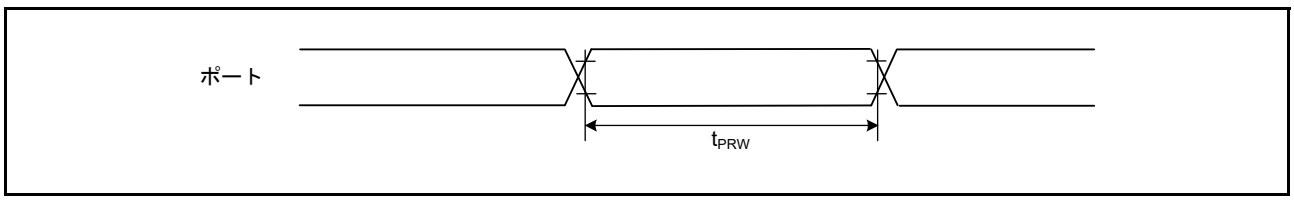


図 60.28 I/O ポート入力タイミング

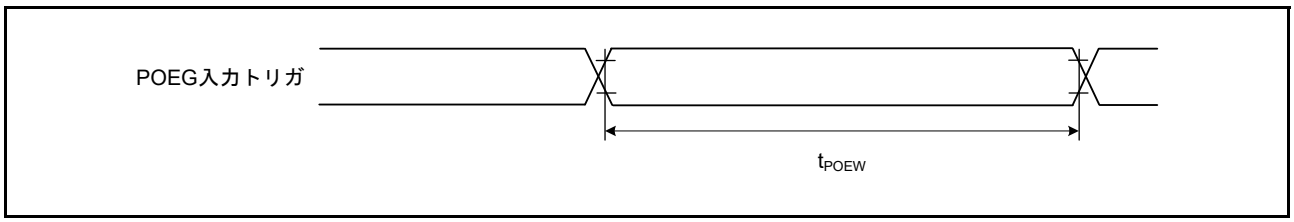


図 60.29 POEG 入力トリガタイミング

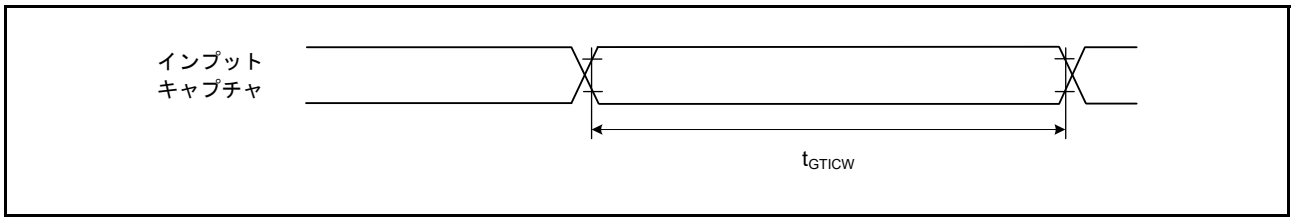


図 60.30 GPT32 インプットキャプチャタイミング

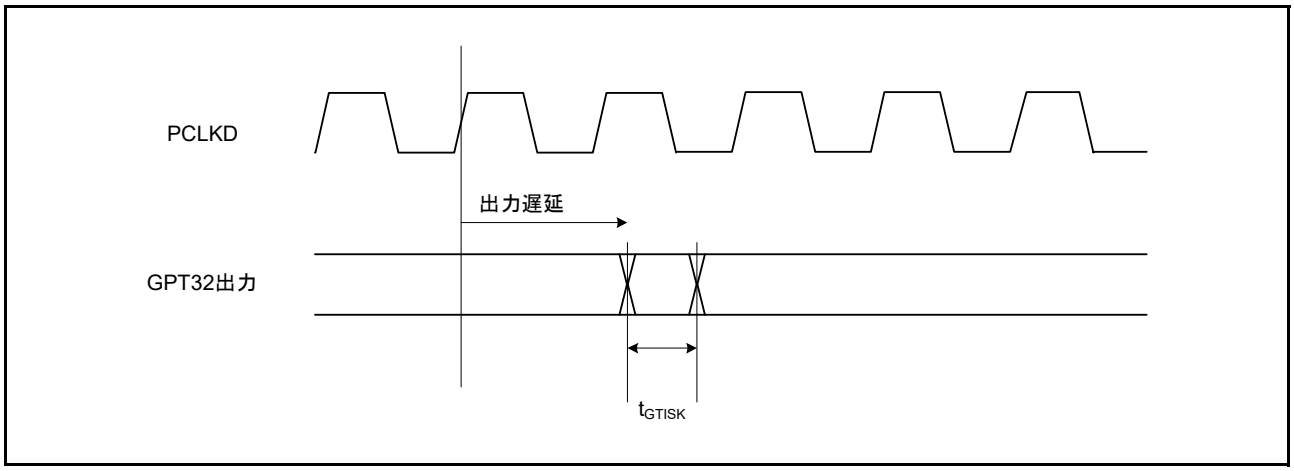


図 60.31 GPT32 出力遅延スキュー

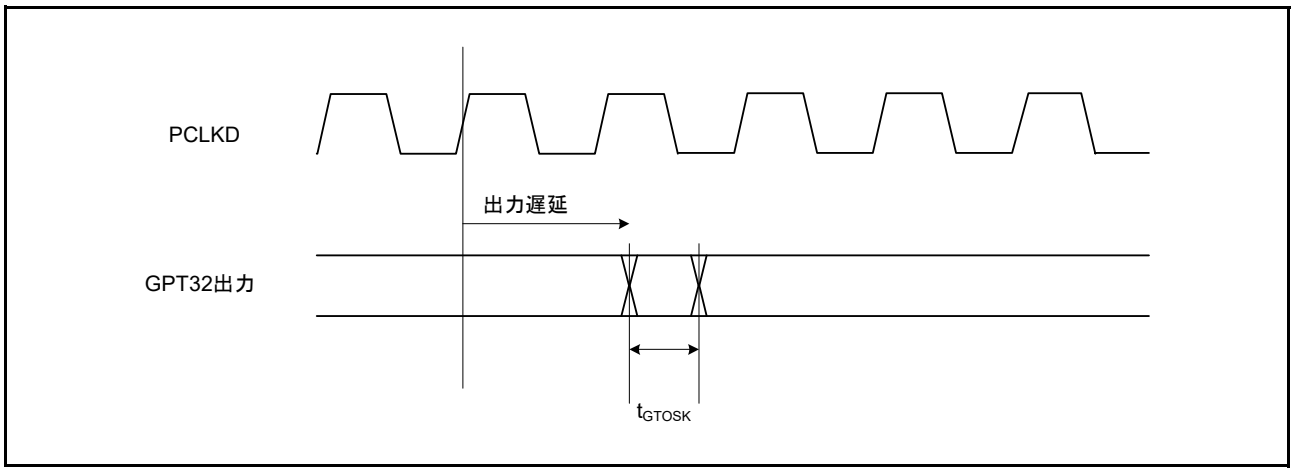


図 60.32 OPS の GPT32 出力遅延スキュー

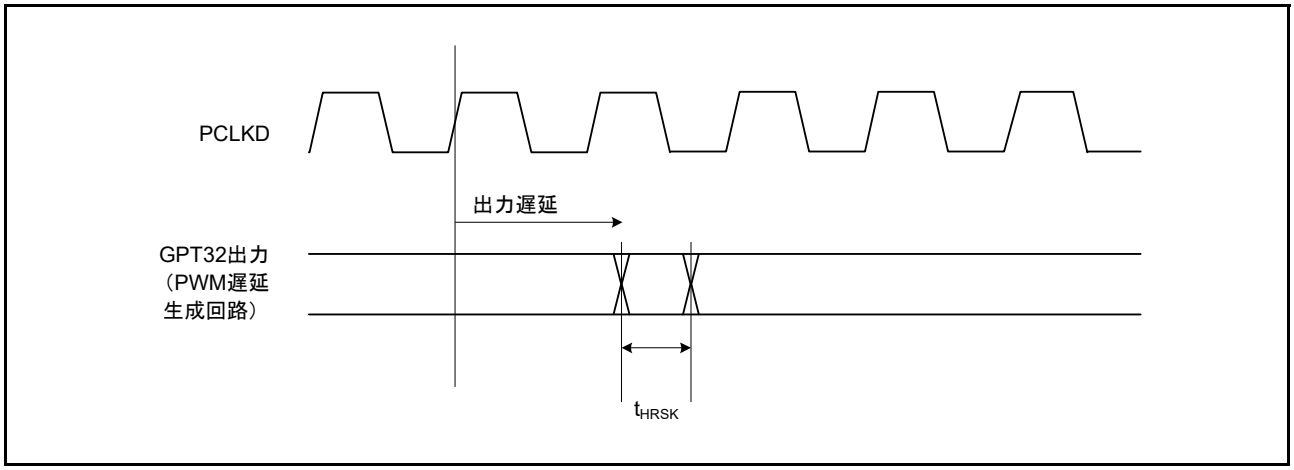


図 60.33　GPT32（PWM 遅延生成回路）出力遅延スキュー

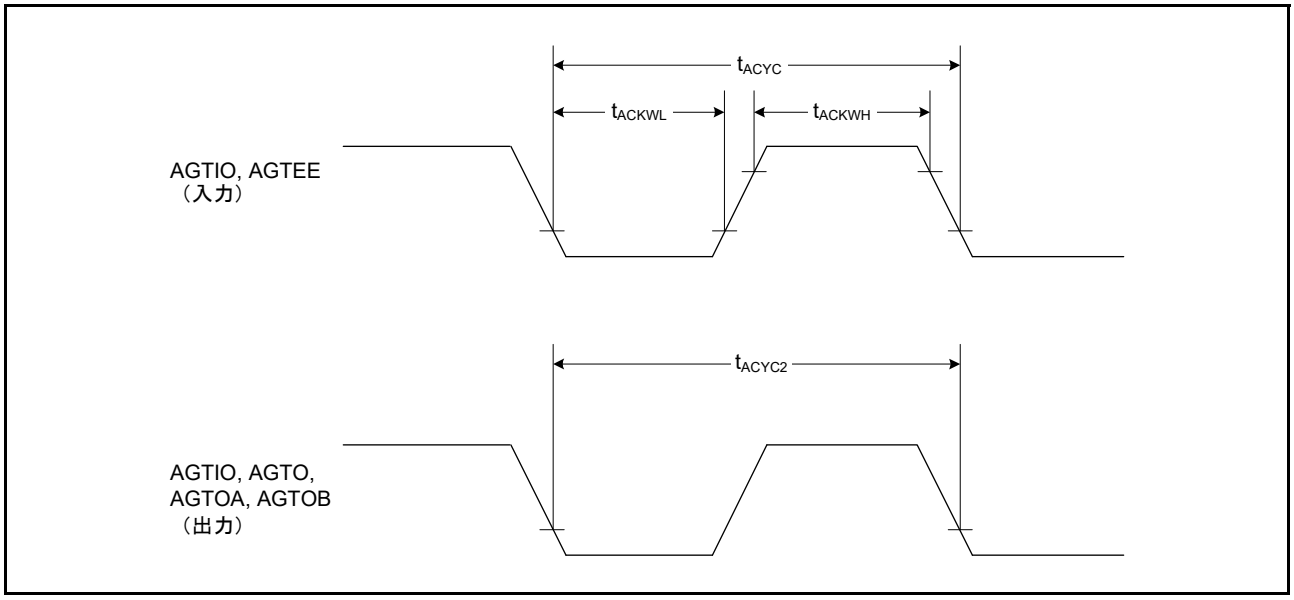


図 60.34　AGT 入出力タイミング

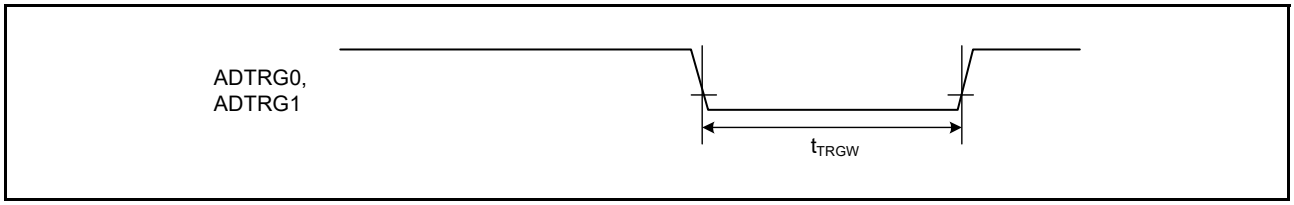


図 60.35　ADC12 トリガ入力タイミング

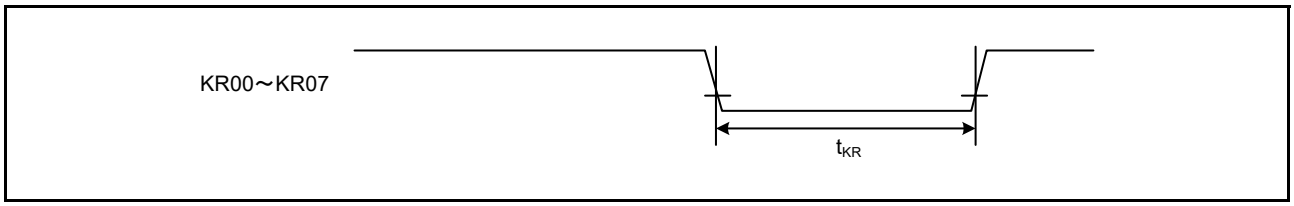


図 60.36　キー割り込み入力タイミング

60.3.8 PWM 遅延生成回路タイミング

表 60.20 PWM遅延生成回路タイミング

項目	Min	Typ	Max	単位	測定条件
動作周波数	80	-	120	MHz	-
分解能	-	260	-	ps	PCLKD = 120MHz
DNL（注1）	-	± 2.0	-	LSB	-

注 1. この値は、1-LSB 分解能の行間の差異を正規化します。

60.3.9 CAC タイミング

表 60.21 CACタイミング

項目			シンボル	Min	Typ	Max	単位	測定条件
CAC	CACREF入力パルス幅	$t_{PBcyc} \leqq tcac$（注2）	t_{CACREF}	$4.5 \times t_{cac} + 3 \times t_{PBcyc}$	-	-	ns	-
		$t_{PBcyc} < tcac$（注2）		$5 \times t_{cac} + 6.5 \times t_{PBcyc}$	-	-	ns	

注 1. t_{PBcyc}：PCLKB の周期

注 2. t_{cac}：CAC カウントクロックソースの周期

60.3.10 SCI タイミング

表 60.22 SCIタイミング（1）

条件：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています：SCK0～SCK9（SCK4_B、SCK7_A を除く）。
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目			シンボル	Min	Max	単位（注1）	測定条件
SCI	入力クロックサイクル	調歩同期式	t_{Scyc}	4	-	t_{Pcyc}	図 60.37
		クロック同期式		6	-		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	-	5	ns	
	入力クロック立ち下がり時間		t_{SCKf}	-	5	ns	
	出力クロックサイクル	調歩同期式	t_{Scyc}	6	-	t_{Pcyc}	
		クロック同期式		4	-		
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出力クロック立ち上がり時間		t_{SCKr}	-	5	ns	
	出力クロック立ち下がり時間		t_{SCKf}	-	5	ns	
	送信データ遅延時間	クロック同期式	t_{TXD}	-	25	ns	図 60.38
	受信データセットアップ時間	クロック同期式	t_{RXS}	15	-	ns	
	受信データホールド時間	クロック同期式	t_{RXH}	5	-	ns	

注 1. t_{Pcyc}：PCLKA の周期

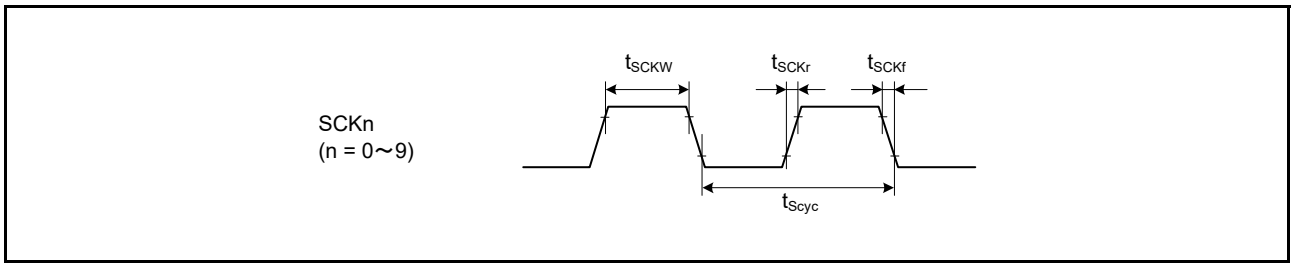


図 60.37 SCK クロック入出力タイミング

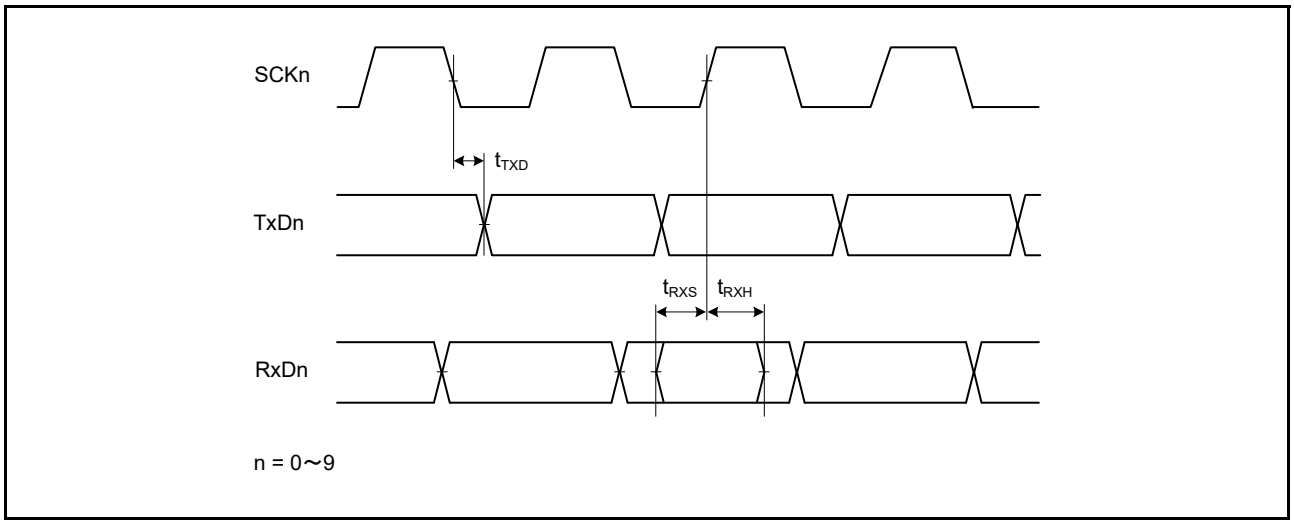


図 60.38 クロック同期式モードにおける SCI 入出力タイミング

表 60.23　SCIタイミング（2）

条件：以下の端子は、PmnPFSレジスタのポート駆動能力ビットで高駆動出力が選択されています：SCK0～SCK9（SCK4_B、SCK7_Aを除く）
SCK4_B端子およびSCK7_A端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。
MISO1_A端子は、PmnPFSレジスタのポート駆動能力ビットで低駆動出力が選択されています。
その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	測定条件
簡易SPI	SCKクロックサイクル出力（マスタ）	t_{SPcyc}	4（PCLKA≦60MHz） 8（PCLKA＜60MHz）	65,536	t_{Pcyc}	図 60.39
	SCKクロックサイクル入力（スレーブ）	-	6（PCLKA≦60MHz） 12（PCLKA＜60MHz）	65,536		
	SCKクロックHighレベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}	
	SCKクロックLowレベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}	
	SCKクロック立ち上がり／立ち下がり時間	t_{SPCKr}, t_{SPCKf}	-	20	ns	
	データ入力セットアップ時間	t_{SU}	33.3	-	ns	図 60.40～図 60.43
	データ入力ホールド時間	t_H	33.3	-	ns	
	SS入力セットアップ時間	t_{LEAD}	1	-	t_{SPcyc}	
	SS入力ホールド時間	t_{LAG}	1	-	t_{SPcyc}	
	データ出力遅延時間	t_{OD}	-	33.3	ns	
	データ出力ホールド時間	t_{OH}	-10	-	ns	
	データ立ち上がり／立ち下がり時間	t_{Dr}, t_{Df}	-	16.6	ns	
	SS入力立ち上がり／立ち下がり時間	t_{SSLr}, t_{SSLf}	-	16.6	ns	
	スレーブアクセス時間	t_{SA}	-	4（PCLKA≦60MHz） 8（PCLKA＜60MHz）	t_{Pcyc}	図 60.43
	スレーブ出力解放時間	t_{REL}	-	5（PCLKA≦60MHz） 10（PCLKA＜60MHz）	t_{Pcyc}	

注．　これらの仕様でMISO1_Aはサポートされていません。

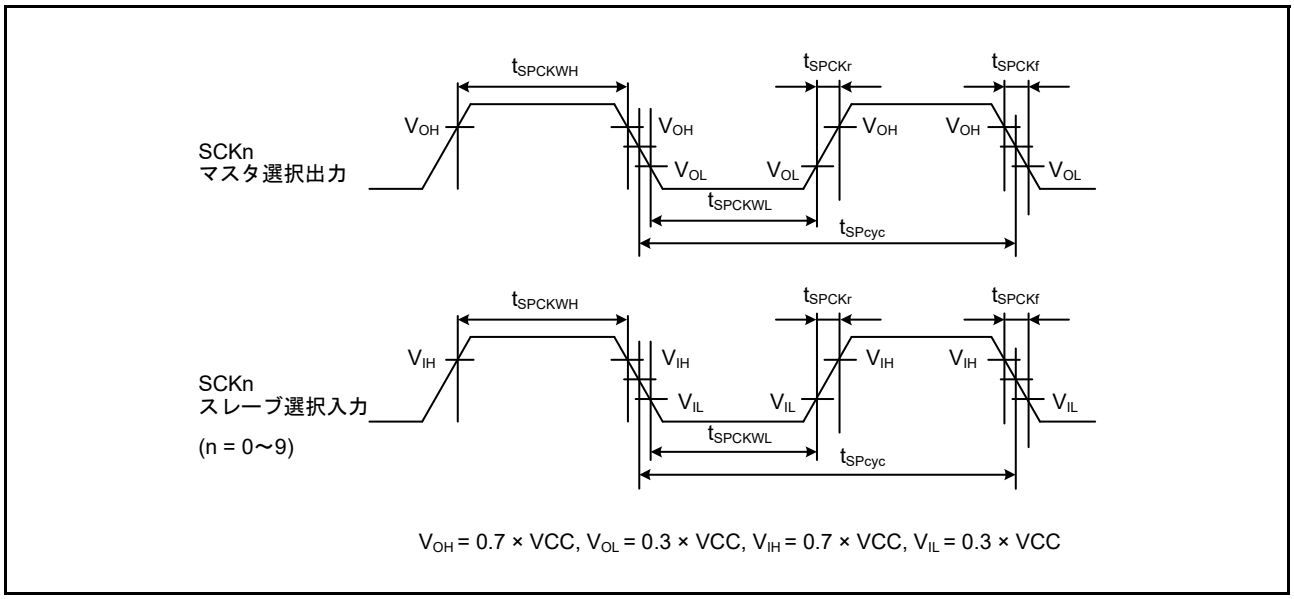


図 60.39　SCI 簡易 SPI モードクロックタイミング

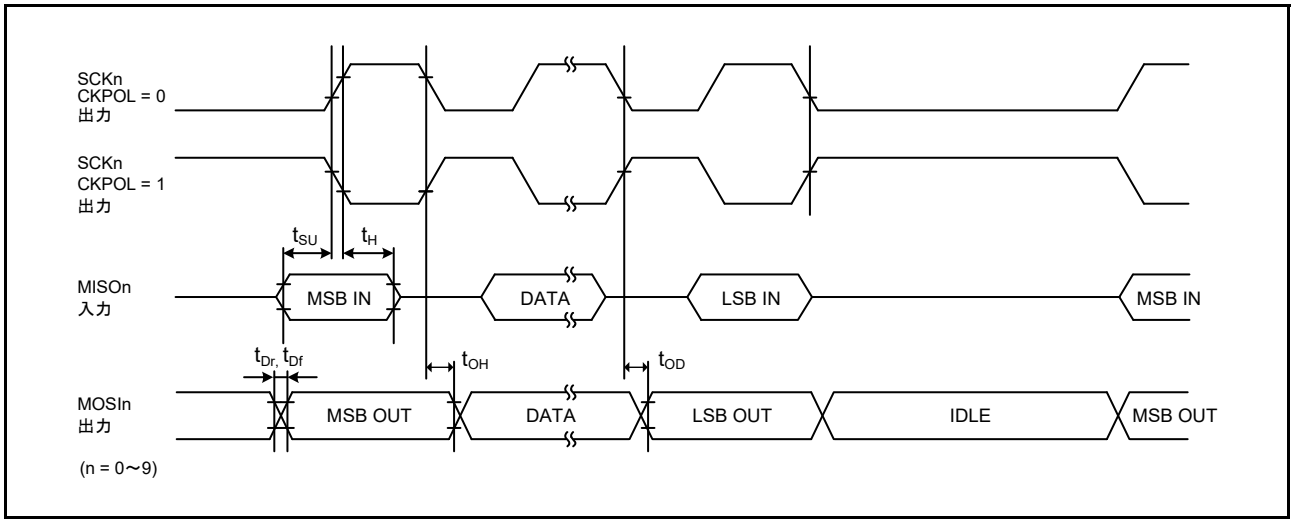


図 60.40　CKPH = 1 の場合におけるマスタの SCI 簡易 SPI モードタイミング

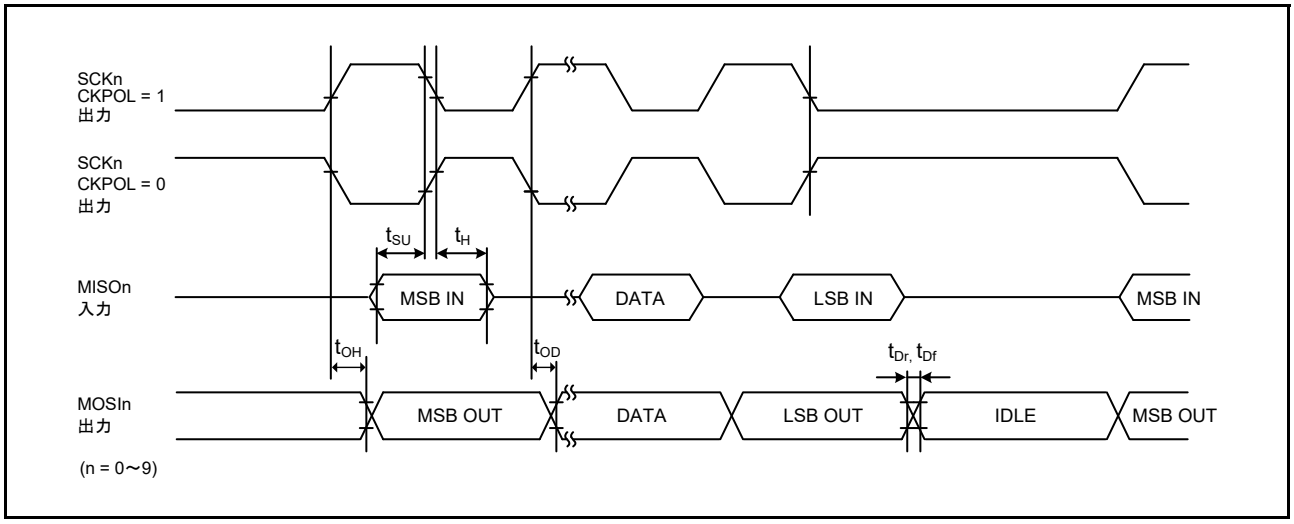


図 60.41　CKPH = 0 の場合におけるマスタの SCI 簡易 SPI モードタイミング

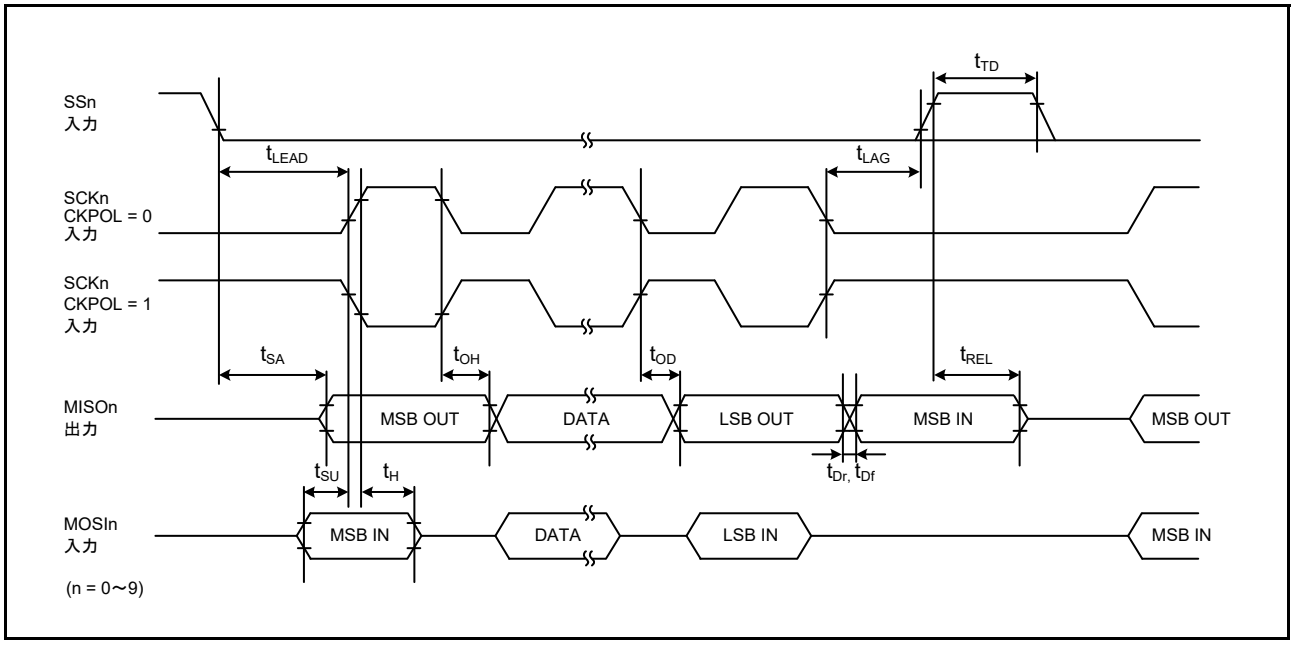


図 60.42　CKPH = 1 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

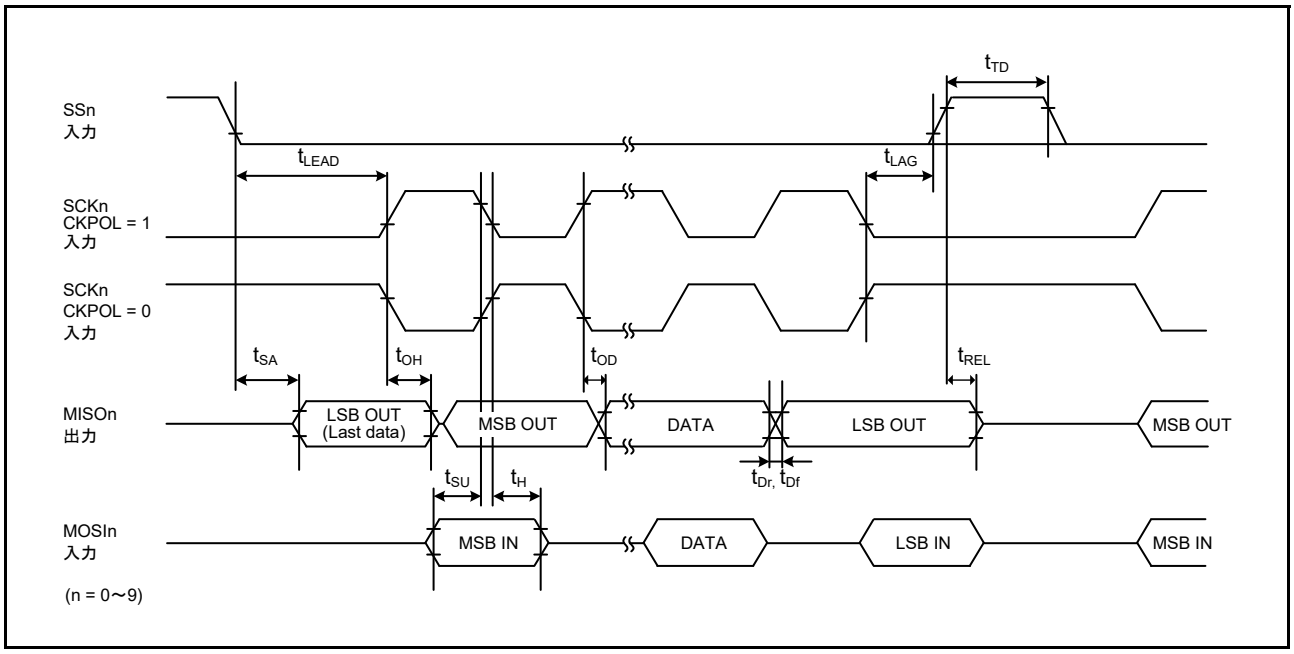


図 60.43　CKPH = 0 の場合におけるスレーブの SCI 簡易 SPI モードタイミング

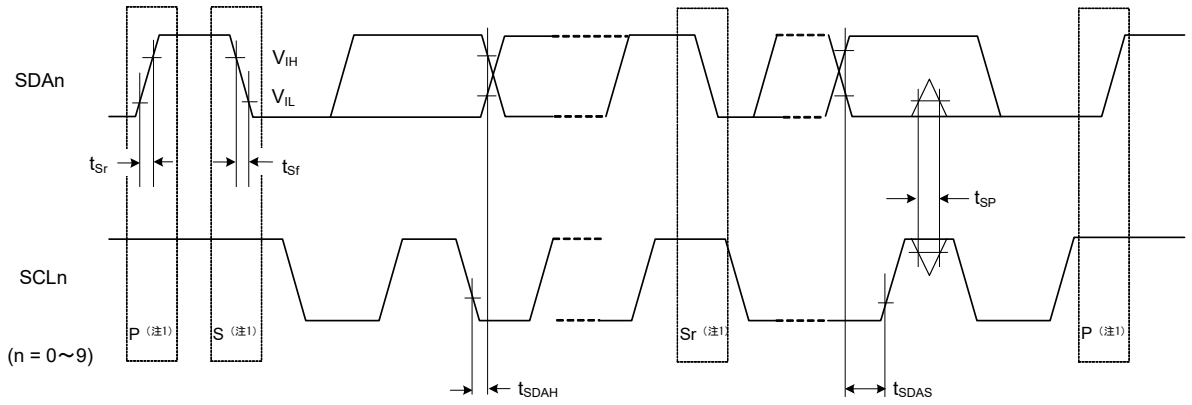
表 60.24　　SCIタイミング（3）

条件：SCL1_A端子は、PmnPFSレジスタのポート駆動能力ビットで低駆動出力が選択されています。
その他の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Max	単位	測定条件
簡易IIC（標準モード）	SDA入力立ち上がり時間	t_{Sr}	-	1,000	ns	図 60.44
	SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	250	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの負荷容量	C_b（注1）	-	400	pF	
簡易IIC（ファストモード）	SDA入力立ち上がり時間	t_{Sr}	-	300	ns	図 60.44
	SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SDA入力スパイクパルス除去時間	t_{SP}	0	4 × t_{IICcyc}	ns	
	データ入力セットアップ時間	t_{SDAS}	100	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの負荷容量	C_b（注1）	-	400	pF	

注 .　　これらの仕様で SCL1_A 出力はサポートされていません。
t_{IICcyc}：IIC 内部基準クロック（IICφ）の周期

注 1.　　Cb はバスラインの容量総計を意味します。



測定条件：
V_{IH} = VCC × 0.7, V_{IL} = VCC × 0.3
V_{OL} = 0.6 V, I_{OL} = 6mA

注 1.　　S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 60.44　　SCI 簡易 IIC モードタイミング

60.3.11 SPI タイミング

表 60.25 SPIタイミング

条件：

（1）PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

（2）所属グループを示すため、“_A”や“_B”などのように端子名の後ろに文字を付加した端子を使用してください。SPIインタフェースについては、電気的特性のACタイミングを各グループで測定しています。

項目			シンボル	Min	Max	単位（注1）	測定条件
SPI	RSPCKクロックサイクル	マスタ	t_{SPcyc}	2 (PCLKA≦60MHz) 4 (PCLKA＞60MHz)	4,096	t_{Pcyc}	図 60.45 C = 30pF
		スレーブ		6	4,096		
	RSPCKクロックHighレベルパルス幅	マスタ	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	-	ns	
		スレーブ		$3 \times t_{Pcyc}$	-		
	RSPCK クロックLowレベルパルス幅	マスタ	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$	-	ns	
		スレーブ		$3 \times t_{Pcyc}$	-		
	RSPCKクロック立ち上がり／立ち下がり時間	マスタ	t_{SPCKr}, t_{SPCKf}	-	5	ns	
		スレーブ		-	1	μs	
	データ入力セットアップ時間	マスタ	t_{SU}	4	-	ns	図 60.46～図 60.51 C = 30pF
		スレーブ		5	-		
	データ入力ホールド時間	マスタ	t_{HF}（注4）	0	-	ns	-
			t_H	t_{Pcyc}	-		
		スレーブ	t_H	20	-		-
	SSLセットアップ時間	マスタ	t_{LEAD}	$N \times t_{SPcyc} - 10$（注2）	$N \times t_{SPcyc} + 100$（注2）	ns	-
		スレーブ		$6 \times t_{Pcyc}$	-	ns	-
	SSLホールド時間	マスタ	t_{LAG}	$N \times t_{SPcyc} - 10$（注3）	$N \times t_{SPcyc} + 100$（注3）	ns	-
		スレーブ		$6 \times t_{Pcyc}$	-	ns	-
	データ出力遅延時間	マスタ	t_{OD}	-	6.3	ns	図 60.46～図 60.51 C = 30pF
		スレーブ		-	20		
	データ出力ホールド時間	マスタ	t_{OH}	0	-	ns	
		スレーブ		0	-		
	連続転送遅延時間	マスタ	t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times t_{Pcyc}$	ns	
		スレーブ		$6 \times t_{Pcyc}$			
	MOSI、MISOの立ち上がり／立ち下がり時間	出力	t_{Dr}, t_{Df}	-	5	ns	
		入力		-	1	μs	
	SSL立ち上がり／立ち下がり時間	出力	t_{SSLr}, t_{SSLf}	-	5	ns	
		入力		-	1	μs	
	スレーブアクセス時間		t_{SA}	-	$2 \times t_{Pcyc} + 28$	ns	図 60.50と図 60.51 C = 30pF
	スレーブ出力開放時間		t_{REL}	-	$2 \times t_{Pcyc} + 28$		

注 1. t_{Pcyc}：PCLKA の周期

注 2. N は、SPCKD レジスタで設定可能な 1 ～ 8 の整数です。

注 3. N は、SSLND レジスタで設定可能な 1 ～ 8 の整数です。

注 4. PCLKA は 2 分周に設定されています。

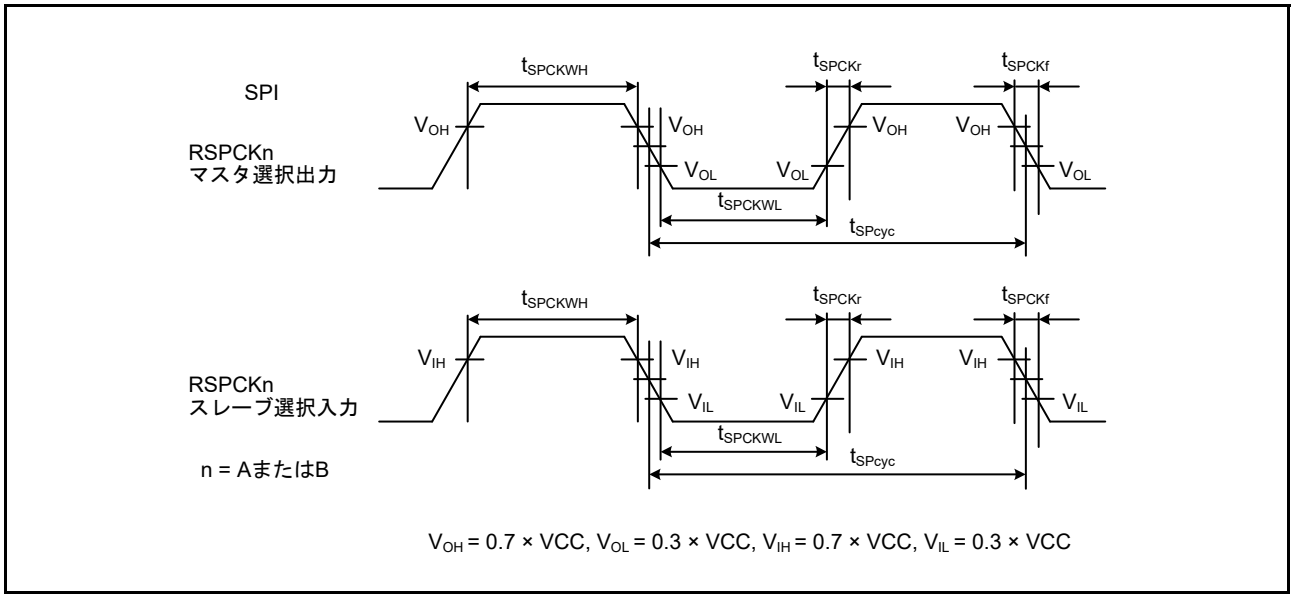


図 60.45 SPI クロックタイミング

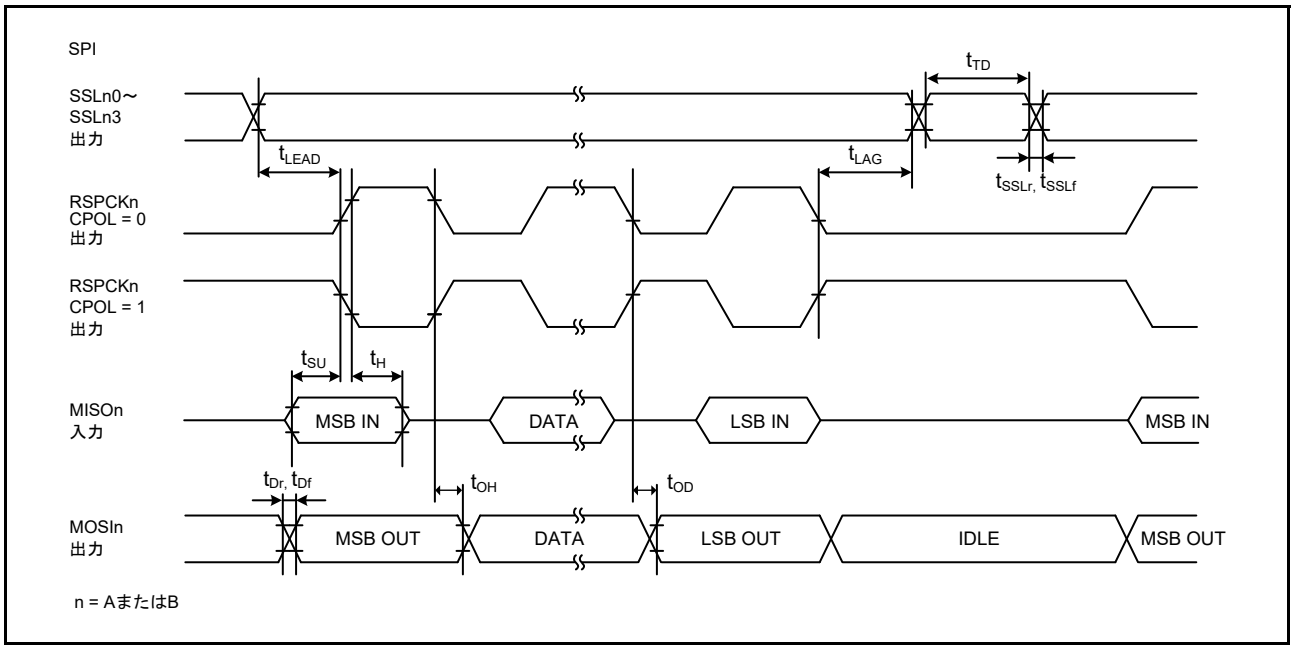


図 60.46 CPHA = 0 の場合におけるマスタの SPI タイミング

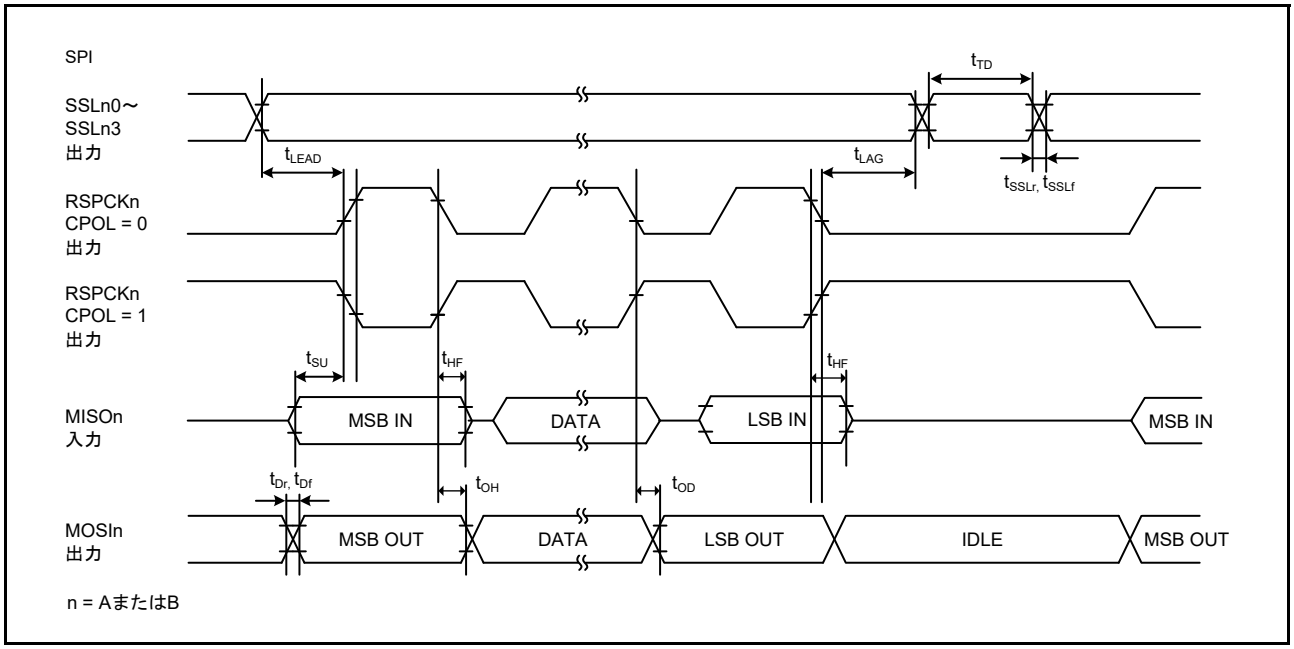


図 60.47 CPHA = 0 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

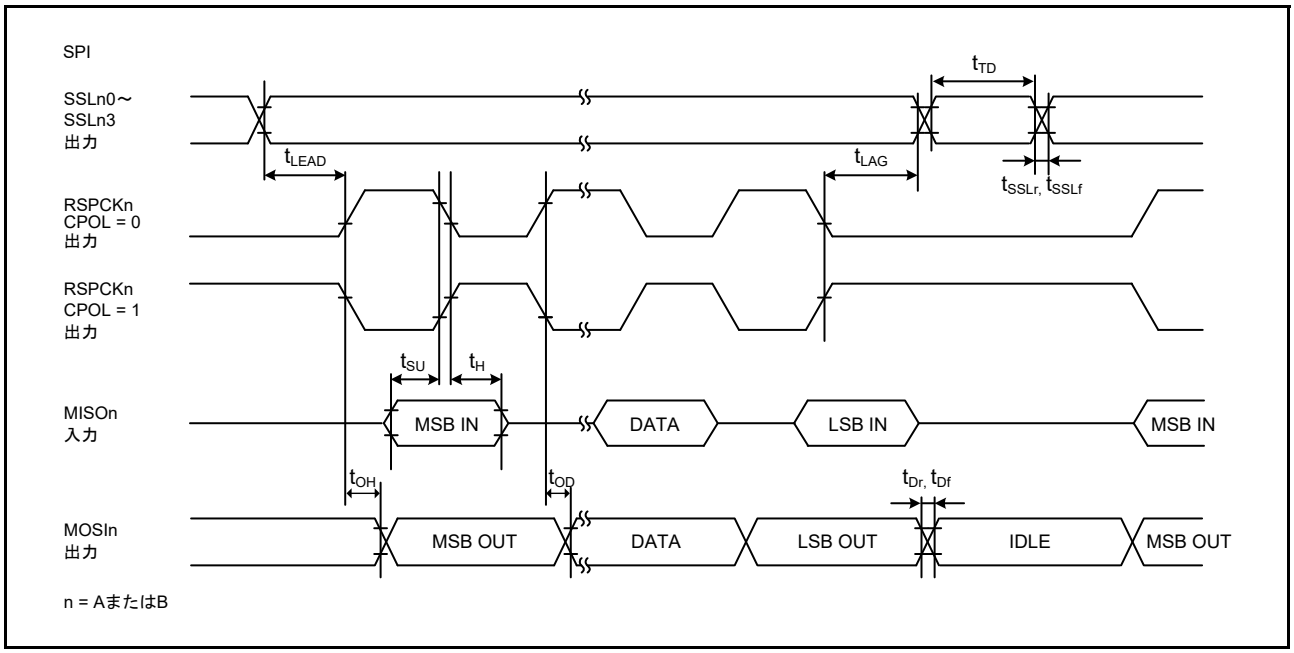


図 60.48 CPHA = 1 の場合におけるマスタの SPI タイミング

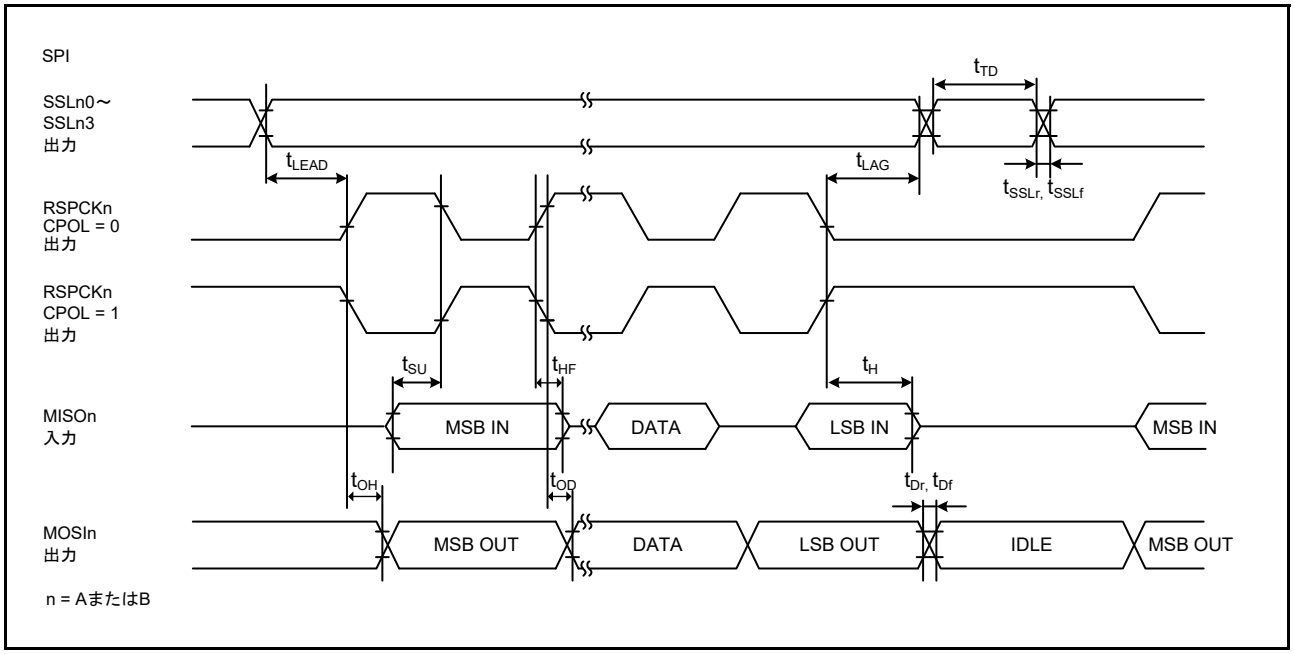


図 60.49 CPHA = 1 で、PCLKA/2 にビットレートが設定されている場合におけるマスタの SPI タイミング

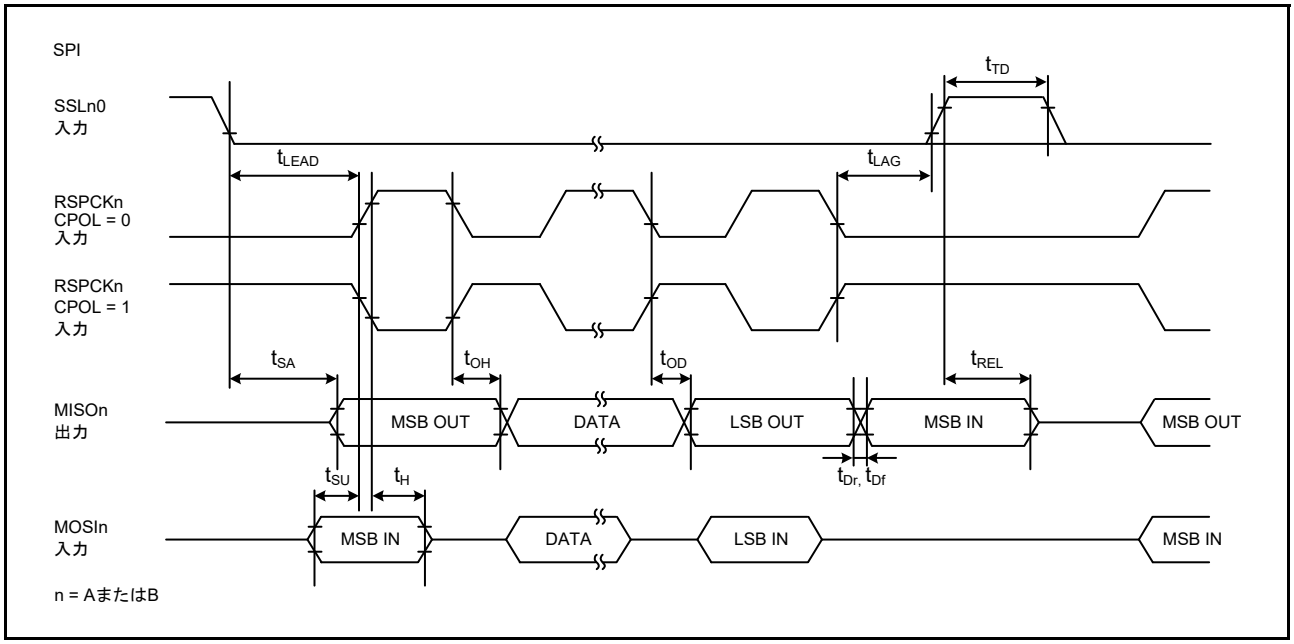


図 60.50 CPHA = 0 の場合におけるスレーブの SPI タイミング

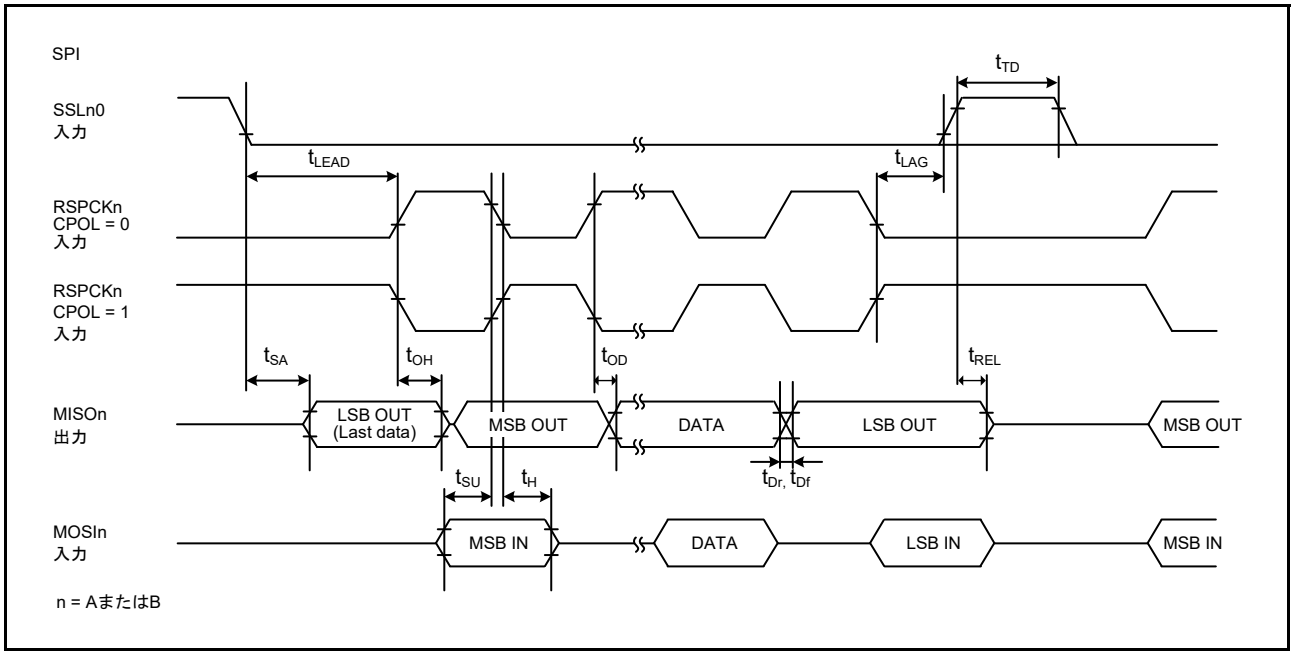


図 60.51 CPHA = 1 の場合におけるスレーブの SPI タイミング

60.3.12 QSPI タイミング

表 60.26 QSPIタイミング

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。

項目		シンボル	Min	Max	単位 (注1)	測定条件
QSPI	QSPCKクロックサイクル	t_{QScyc}	2	48	t_{Pcyc}	図 60.52
	QSPCKクロックHighレベルパルス幅	t_{QSWH}	t_{QScyc} × 0.4	-	ns	
	QSPCKクロックLowレベルパルス幅	t_{QSWL}	t_{QScyc} × 0.4	-	ns	
	データ入力セットアップ時間	t_{Su}	11	-	ns	図 60.53
	データ入力ホールド時間	t_{IH}	0	-	ns	
	QSSLセットアップ時間	t_{LEAD}	(N + 0.5) × t_{Qscyc} - 5（注2）	(N + 0.5) × t_{Qscyc} + 100（注2）	ns	
	QSSLホールド時間	t_{LAG}	(N + 0.5) × t_{Qscyc} - 5（注3）	(N + 0.5) × t_{Qscyc} + 100（注3）	ns	
	データ出力遅延時間	t_{OD}	-	4	ns	
	データ出力ホールド時間	t_{OH}	-3.3	-	ns	
	連続転送遅延時間	t_{TD}	1	16	t_{Qscyc}	

注 1. t_{Pcyc}：PCLKA の周期

注 2. SFMSLD で N は 0 または 1 になっています。

注 3. SFMSHD で N は 0 または 1 になっています。

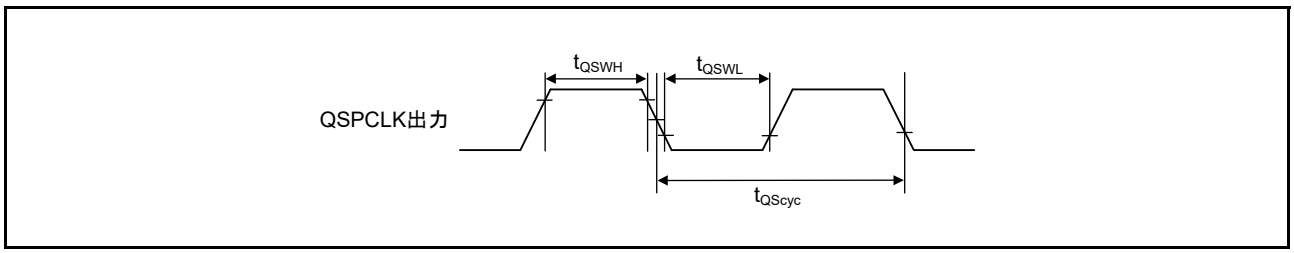


図 60.52 QSPI クロックタイミング

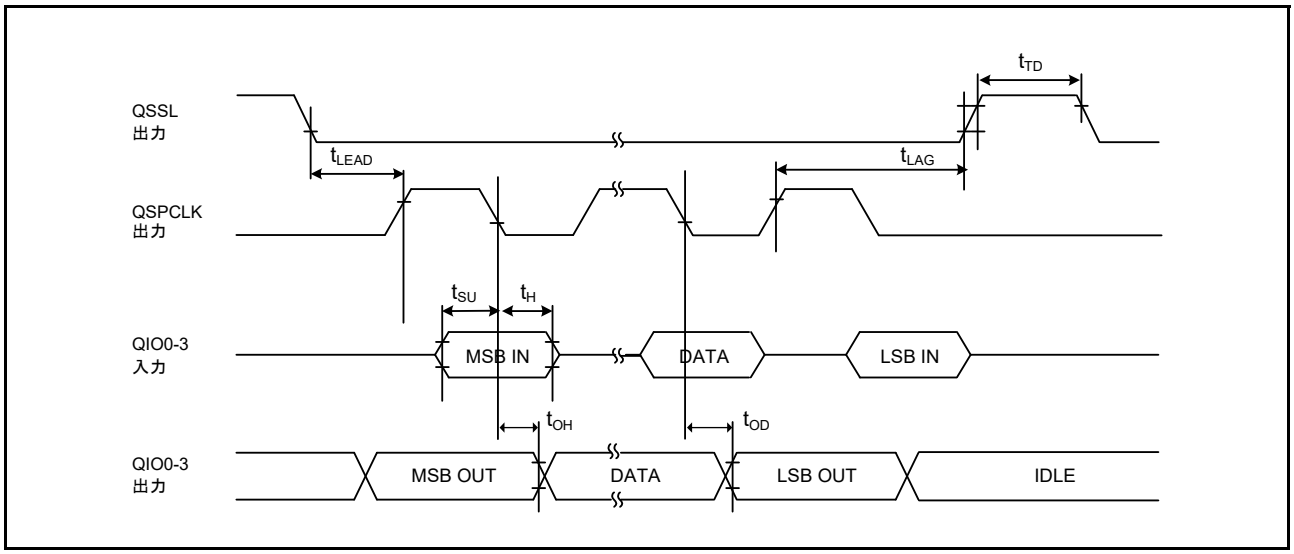


図 60.53 送受信タイミング

60.3.13 IIC タイミング

表 60.27 IICタイミング（1）

条件：

（1）以下の端子は、PmnPFSレジスタのポート駆動能力ビットで中駆動出力が選択されています：SDA0_B、SCL0_B、SDA1_A、SCL1_A、SDA1_B、SCL1_B。以下の端子の設定は必要ありません：SCL0_A、SDA0_A、SCL2、SDA2。

（2）所属グループを示すため、“_A”や“_B”などのように端子名の後ろに文字を付加した端子を使用してください。SPIインタフェースについては、電気的特性のACタイミングを各グループで測定しています。

項目		シンボル	Min（注1）	Max	単位	測定条件
IIC（標準モード、SMBus）ICFER.FMPE = 0	SCL入力サイクル時間	t_{SCL}	6 (12) × t_{IICcyc} + 1,300	-	ns	図 60.54
	SCL入力High レベルパルス幅	t_{SCLH}	3 (6) × t_{IICcyc} + 300	-	ns	
	SCL入力Low レベルパルス幅	t_{SCLL}	3 (6) × t_{IICcyc} + 300	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	-	1,000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	-	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	ウェイクアップ機能が無効な場合のSDA入力バスフリー時間	t_{BUF}	3 (6) × t_{IICcyc} + 300	-	ns	
	ウェイクアップ機能が有効な場合のSDA入力バスフリー時間	t_{BUF}	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	-	ns	
	ウェイクアップ機能が無効な場合のSTART条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	-	ns	
	ウェイクアップ機能が有効な場合のSTART条件入力ホールド時間	t_{STAH}	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	1,000	-	ns	
	STOP条件入力セットアップ時間	t_{STOS}	1,000	-	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの負荷容量	C_b	-	400	pF	
IIC（ファストモード）	SCL入力サイクル時間	t_{SCL}	6 (12) × t_{IICcyc} + 600	-	ns	図 60.54
	SCL入力High レベルパルス幅	t_{SCLH}	3 (6) × t_{IICcyc} + 300	-	ns	
	SCL入力Low レベルパルス幅	t_{SCLL}	3 (6) × t_{IICcyc} + 300	-	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	20 ×（外付けプルアップ電圧/5.5V）（注2）	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	20 ×（外付けプルアップ電圧/5.5V）（注2）	300	ns	
	SCL、SDA入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	ウェイクアップ機能が無効な場合のSDA入力バスフリー時間	t_{BUF}	3 (6) × t_{IICcyc} + 300	-	ns	
	ウェイクアップ機能が有効な場合のSDA入力バスフリー時間	t_{BUF}	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 300	-	ns	
	ウェイクアップ機能が無効な場合のSTART条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 300	-	ns	
	ウェイクアップ機能が有効な場合のSTART条件入力ホールド時間	t_{STAH}	1 (5) × t_{IICcyc} + t_{Pcyc} + 300	-	ns	
	再送START条件入力セットアップ時間	t_{STAS}	300	-	ns	
	STOP条件入力セットアップ時間	t_{STOS}	300	-	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 50	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDAの負荷容量	C_b	-	400	pF	

注． t_{IICcyc}：IIC 内部基準クロック（IICφ）の周期、t_{Pcyc}：PCLKB の周期

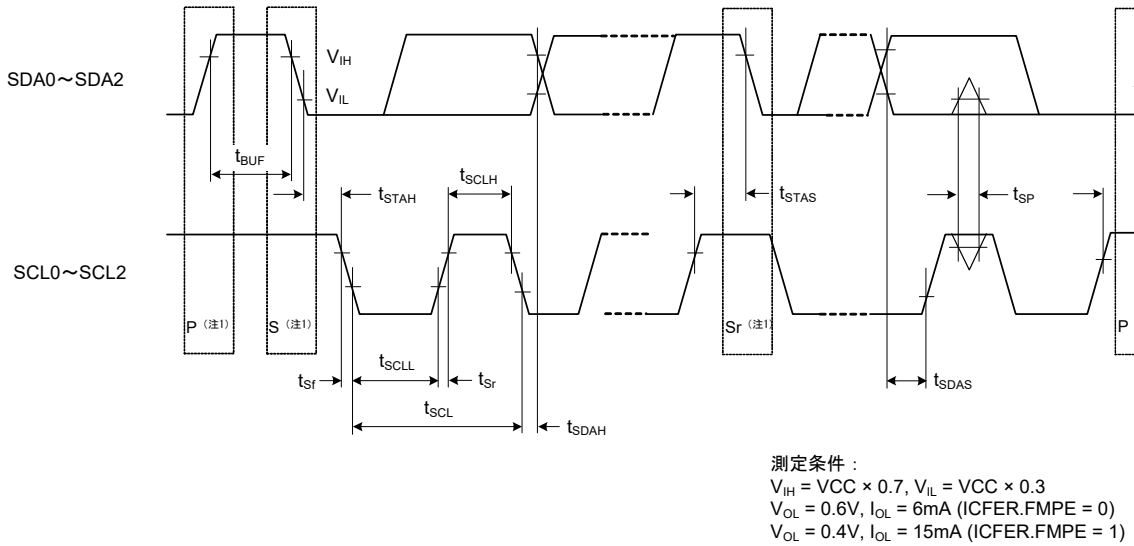
注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると（ ）内の値が適用されます。
注 2. SCL0_A、SDA0_A、SCL2、SDA2 に限りサポートされています。

表 60.28 IIC タイミング（2）

条件：（1）PmnPFS レジスタのポート駆動能力ビットでは、SCL0_A 端子、SDA0_A 端子の設定は必要ありません。

項目		シンボル	Min（注1）（注2）	Max	単位	測定条件
IIC（ファストモード+）ICFER.FMPE = 1	SCL 入力サイクル時間	t_{SCL}	6 (12) × t_{IICcyc} + 240	-	ns	図 60.54
	SCL 入力 High レベルパルス幅	t_{SCLH}	3 (6) × t_{IICcyc} + 120	-	ns	
	SCL 入力 Low レベルパルス幅	t_{SCLL}	3 (6) × t_{IICcyc} + 120	-	ns	
	SCL、SDA 入力立ち上がり時間	t_{Sr}	-	120	ns	
	SCL、SDA 入力立ち下がり時間	t_{Sf}	-	120	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	0	1 (4) × t_{IICcyc}	ns	
	ウェイクアップ機能が無効な場合の SDA 入力バスフリー時間	t_{BUF}	3 (6) × t_{IICcyc} + 120	-	ns	
	ウェイクアップ機能が有効な場合の SDA 入力バスフリー時間	t_{BUF}	3 (6) × t_{IICcyc} + 4 × t_{Pcyc} + 120	-	ns	
	ウェイクアップ機能が無効な場合の START 条件入力ホールド時間	t_{STAH}	t_{IICcyc} + 120	-	ns	
	ウェイクアップ機能が有効な場合の START 条件入力ホールド時間	t_{STAH}	1 (5) × t_{IICcyc} + t_{Pcyc} + 120	-	ns	
	リスタート条件入力セットアップ時間	t_{STAS}	120	-	ns	
	停止条件入力セットアップ時間	t_{STOS}	120	-	ns	
	データ入力セットアップ時間	t_{SDAS}	t_{IICcyc} + 30	-	ns	
	データ入力ホールド時間	t_{SDAH}	0	-	ns	
	SCL、SDA の負荷容量	C_b	-	550	pF	

注 . t_{IICcyc}：IIC 内部基準クロック（IICφ）の周期、t_{Pcyc}：PCLKB の周期
注 1. ICFER.NFE が 1 でデジタルフィルタが有効な場合、ICMR3.NF[1:0] が 11b であると（ ）内の値が適用されます。
注 2. Cb はバスラインの容量総計を意味します。



注 1. S、P、Sr はそれぞれ以下の条件を示します。
S：開始条件
P：停止条件
Sr：再開始条件

図 60.54 I²C バスインタフェース入出力タイミング

60.3.14 SSI タイミング

表 60.29 SSIタイミング

条件：

（1）PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

（2）所属グループを示すため、“_A”や“_B”などのように端子名の後ろに文字を付加した端子を使用してください。SSIインタフェースについては、電気的特性のACタイミングを各グループで測定しています。

項目		シンボル	Min	Max	単位	測定条件
SSI	AUDIO_CLK入力周波数	t_{AUDIO}	-	50	MHz	-
	出力クロック周期	t_O	150	64,000	ns	図 60.55
	入力クロック周期	t_I	150	64,000	ns	
	クロックHighレベルパルス幅	t_{HC}	60	-	ns	
	クロックLowレベルパルス幅	t_{LC}	60	-	ns	
	クロック立ち上がり時間	t_{RC}	-	25	ns	
	データ遅延時間	t_{DTR}	-5	25	ns	図 60.56、図 60.57
	セットアップ時間	t_{SR}	25	-	ns	
	ホールド時間	t_{HTR}	25	-	ns	
	WS変化時からのSSIDATA出力遅延	T_{DTRW}	-	25	ns	図 60.58

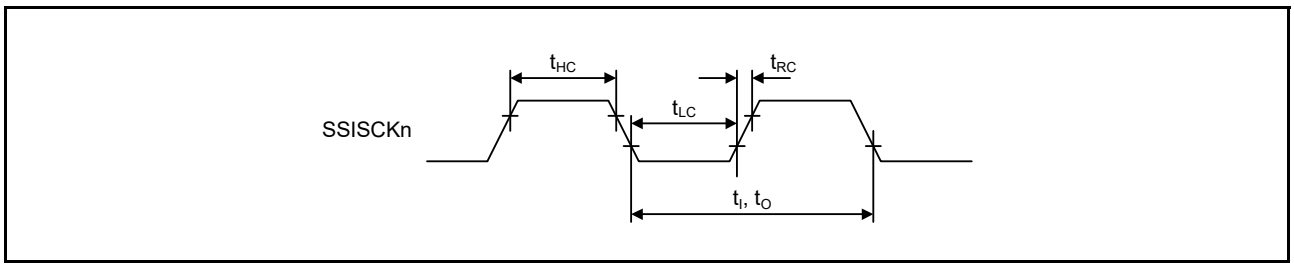


図 60.55 SSI クロック入出力タイミング

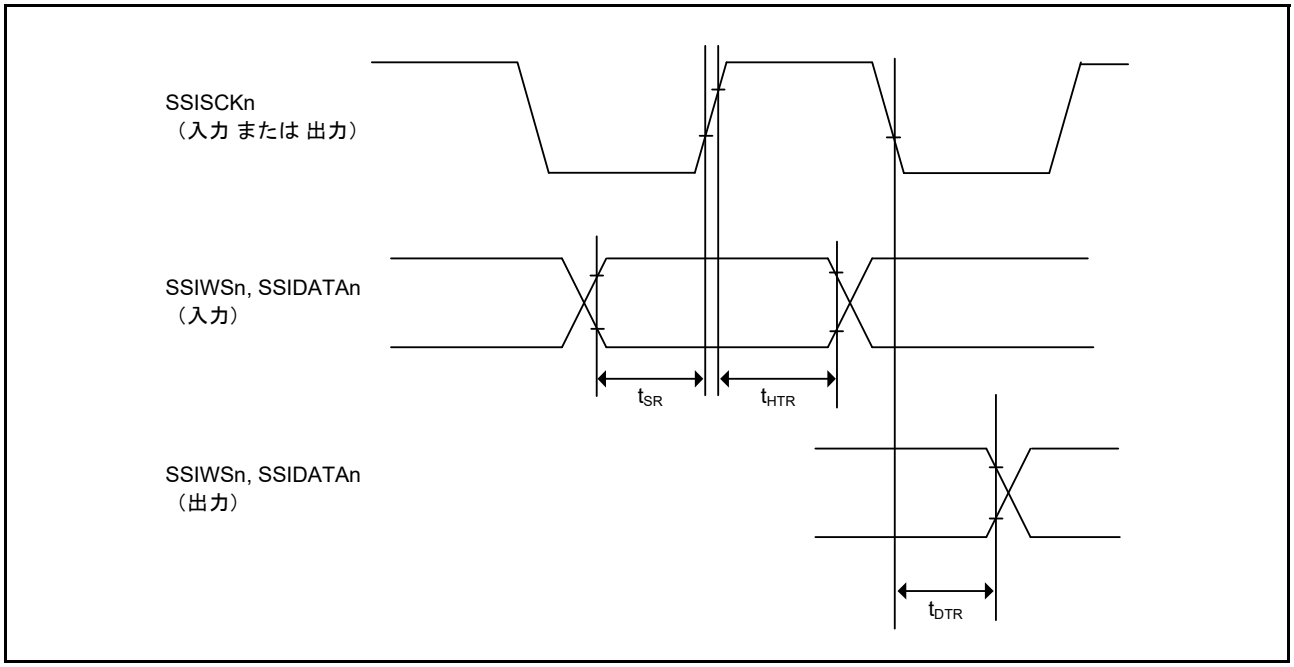


図 60.56 SSICR.SCKP = 0 の場合の SSI データ送受信タイミング

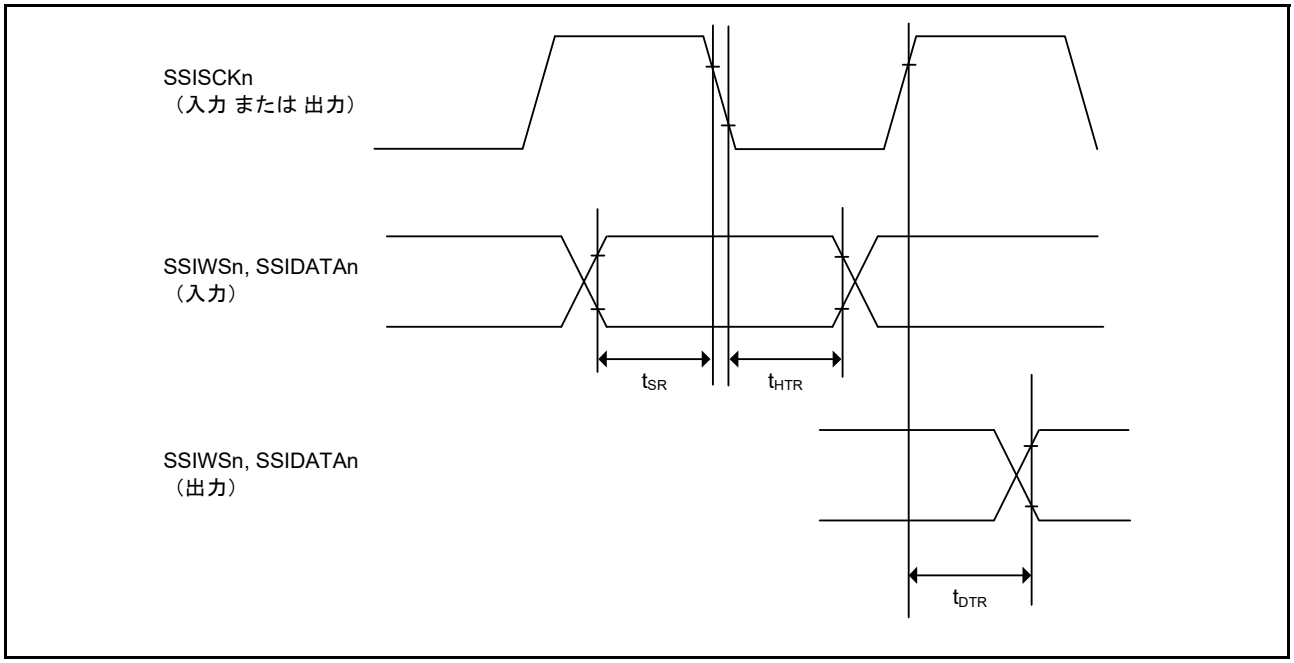


図 60.57　SSICR.SCKP = 1 の場合の SSI データ送受信タイミング

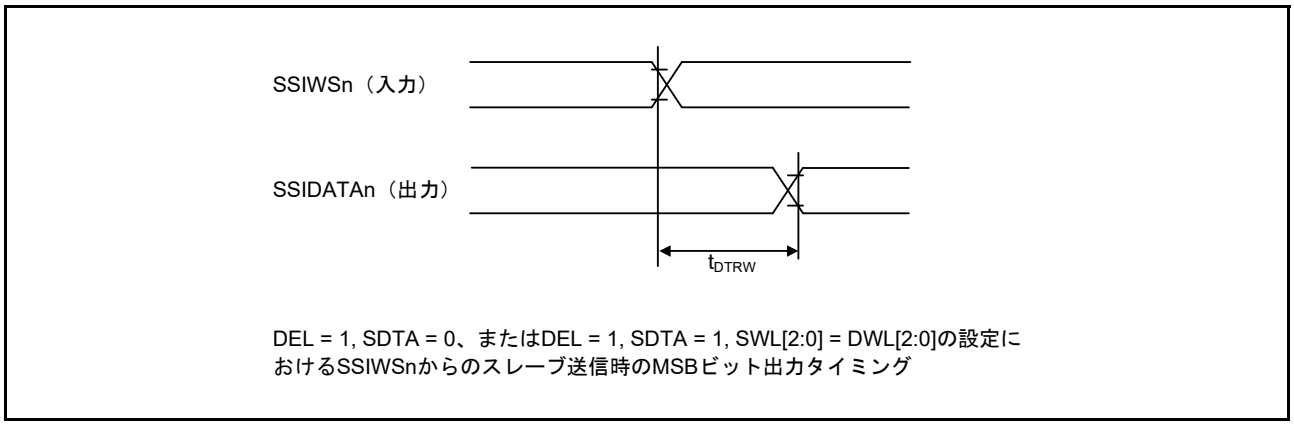


図 60.58　SSIWSn 変化時からの SSI データ出力遅延

60.3.15 SD/MMC ホストインタフェースタイミング

表 60.30 SD/MMC ホストインタフェース信号タイミング

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
クロックデューティ比は50%です。

項目	シンボル	Min	Max	単位	測定条件
SDCLKクロックサイクル	T_{SDCYC}	20	-	ns	図 60.59
SDCLKクロック High レベルパルス幅	T_{SDWH}	6.5	-	ns	
SDCLKクロック Low レベルパルス幅	T_{SDWL}	6.5	-	ns	
SDCLKクロック立ち上がり時間	T_{SDLH}	-	3	ns	
SDCLKクロック立ち下がり時間	T_{SDHL}	-	3	ns	
SDCMD/SDDAT出力データ遅延	T_{SDODLY}	-6	5	ns	
SDCMD/SDDAT入力データセットアップ	T_{SDIS}	4	-	ns	
SDCMD/SDDAT入力データホールド	T_{SDIH}	2	-	ns	

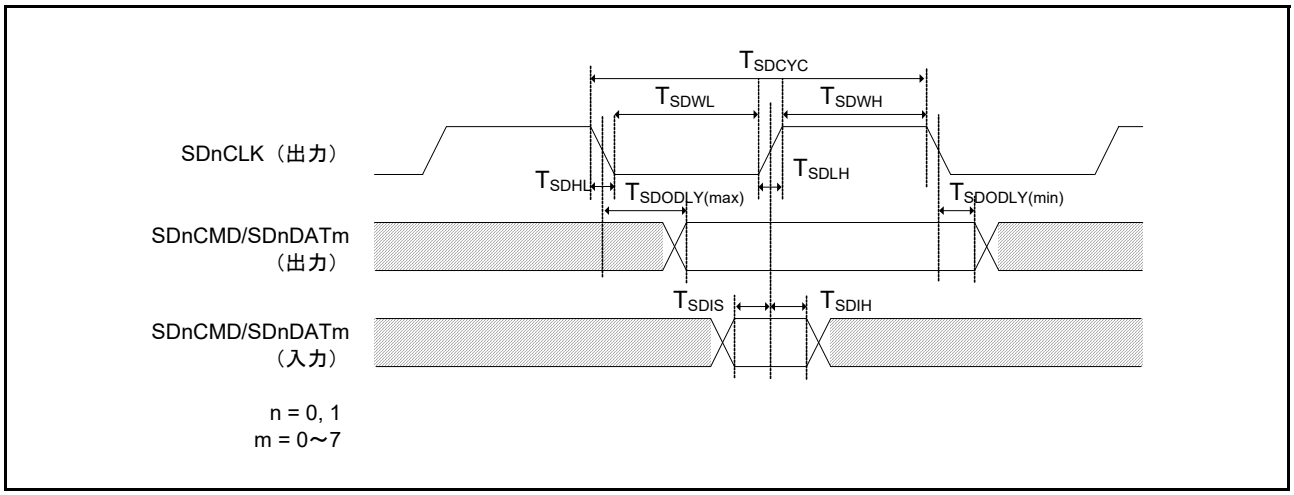


図 60.59 SD/MMC ホストインタフェース信号タイミング

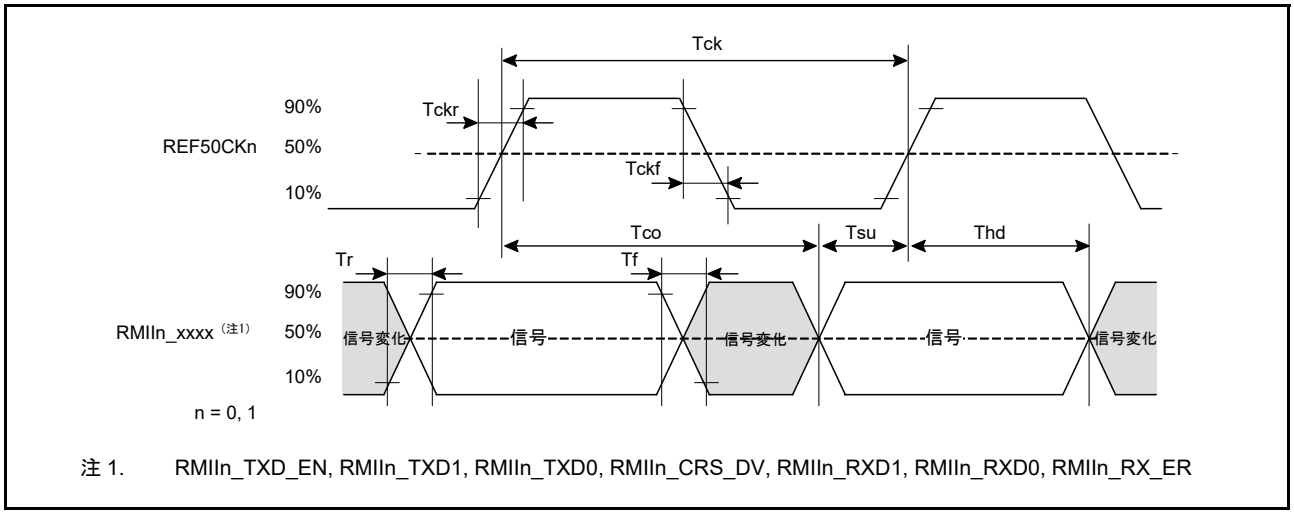
60.3.16 ETHERC タイミング

表 60.31 ETHERC タイミング

条件：ETHERC（RMII）：以下の端子は、PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています：ET0_MDC、ET0_MDIO、ET1_MDC、ET1_MDIO
その他の端子は、PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
ETHERC（MII）：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
n = 0, 1

項目		シンボル	Min	Max	単位	測定条件
ETHERC（RMII）	REF50CKn サイクル時間	T_{ck}	20	-	ns	図 60.60～図 60.63
	REF50CKn 周波数、Typ. 50MHz	-	-	50 + 100ppm	MHz	
	REF50CKn デューティ	-	35	65	%	
	REF50CKn 立ち上がり／立ち下がり時間	$T_{ckr/ckf}$	0.5	3.5	ns	
	RMIIn_xxxx（注1）出力遅延時間	T_{co}	2.5	12.0	ns	
	RMIIn_xxxx（注2）セットアップ時間	T_{su}	3	-	ns	
	RMIIn_xxxx（注2）ホールド時間	T_{hd}	1	-	ns	
	RMIIn_xxxx（注1）（注2）立ち上がり／立ち下がり時間	T_r/T_f	0.4	4	ns	
	ETn_WOL 出力遅延時間	t_{WOLd}	1	23.5	ns	図 60.64
ETHERC（MII）	ETn_TX_CLK サイクル時間	t_{Tcyc}	40	-	ns	-
	ETn_TX_EN 出力遅延時間	t_{TENd}	1	20	ns	図 60.65
	ETn_ETXD0～ET_ETXD3 出力遅延時間	t_{MTDd}	1	20	ns	
	ETn_CRS セットアップ時間	t_{CRSs}	10	-	ns	
	ETn_CRS ホールド時間	t_{CRSh}	10	-	ns	
	ETn_COL セットアップ時間	t_{COLs}	10	-	ns	図 60.66
	ETn_COL ホールド時間	t_{COLh}	10	-	ns	
	ETn_RX_CLK サイクル時間	t_{TRcyc}	40	-	ns	-
	ETn_RX_DV セットアップ時間	t_{RDVs}	10	-	ns	図 60.67
	ETn_RX_DV ホールド時間	t_{RDVh}	10	-	ns	
	ETn_ERXD0～ET_ERXD3 セットアップ時間	t_{MRDs}	10	-	ns	
	ETn_ERXD0～ET_ERXD3 ホールド時間	t_{MRDh}	10	-	ns	
	ETn_RX_ER セットアップ時間	t_{RERs}	10	-	ns	図 60.68
	ETn_RX_ER ホールド時間	t_{RESh}	10	-	ns	
	ETn_WOL 出力遅延時間	t_{WOLd}	1	23.5	ns	図 60.69

注 1. RMIIn_TXD_EN, RMIIn_TXD1, RMIIn_TXD0
注 2. RMIIn_CRS_DV, RMIIn_RXD1, RMIIn_RXD0, RMIIn_RX_ER



注 1. RMIIn_TXD_EN, RMIIn_TXD1, RMIIn_TXD0, RMIIn_CRS_DV, RMIIn_RXD1, RMIIn_RXD0, RMIIn_RX_ER

図 60.60 REF50CKn、RMIIn の信号タイミング（n = 0, 1）

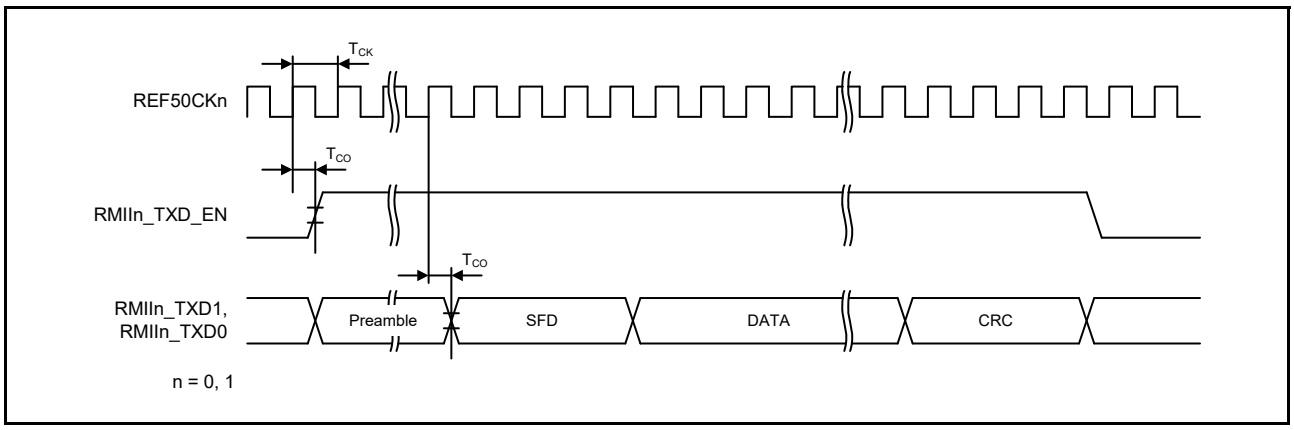


図 60.61 RMII 送信タイミング

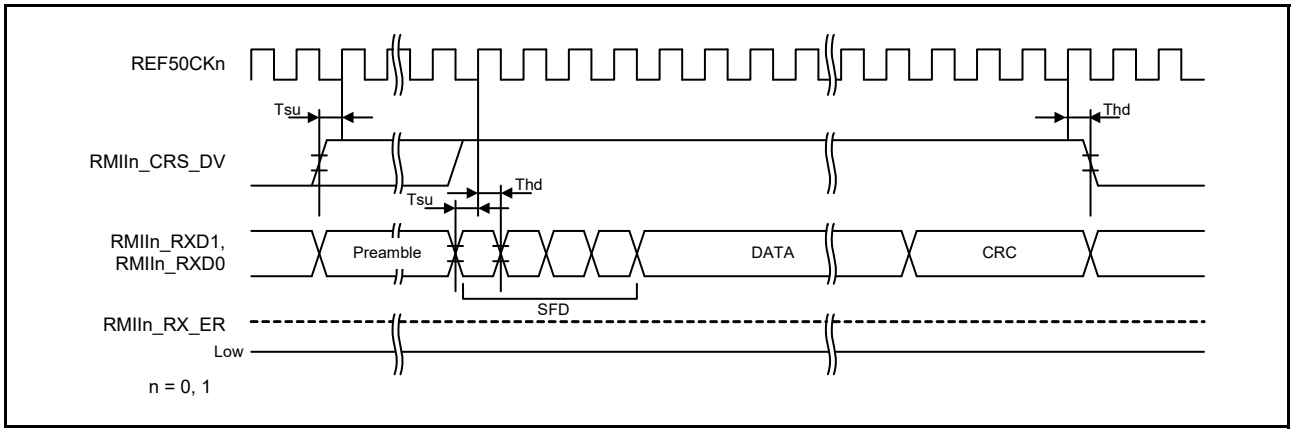


図 60.62 正常動作時の RMII 受信タイミング

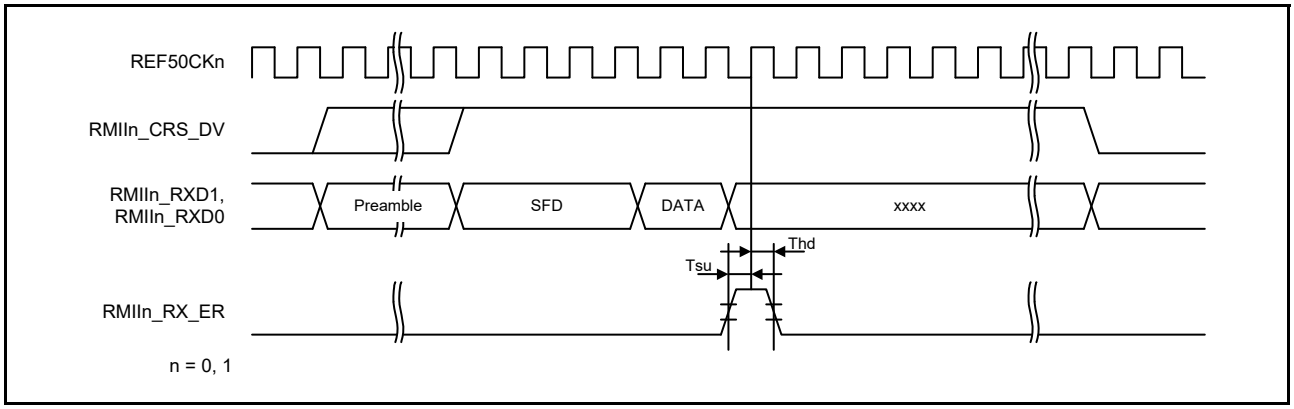


図 60.63　　エラー発生時の RMII 受信タイミング

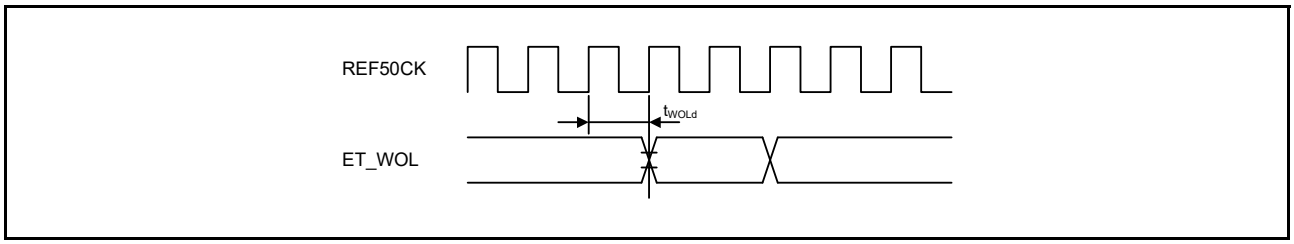


図 60.64　　RMII に対する WOL 出力タイミング

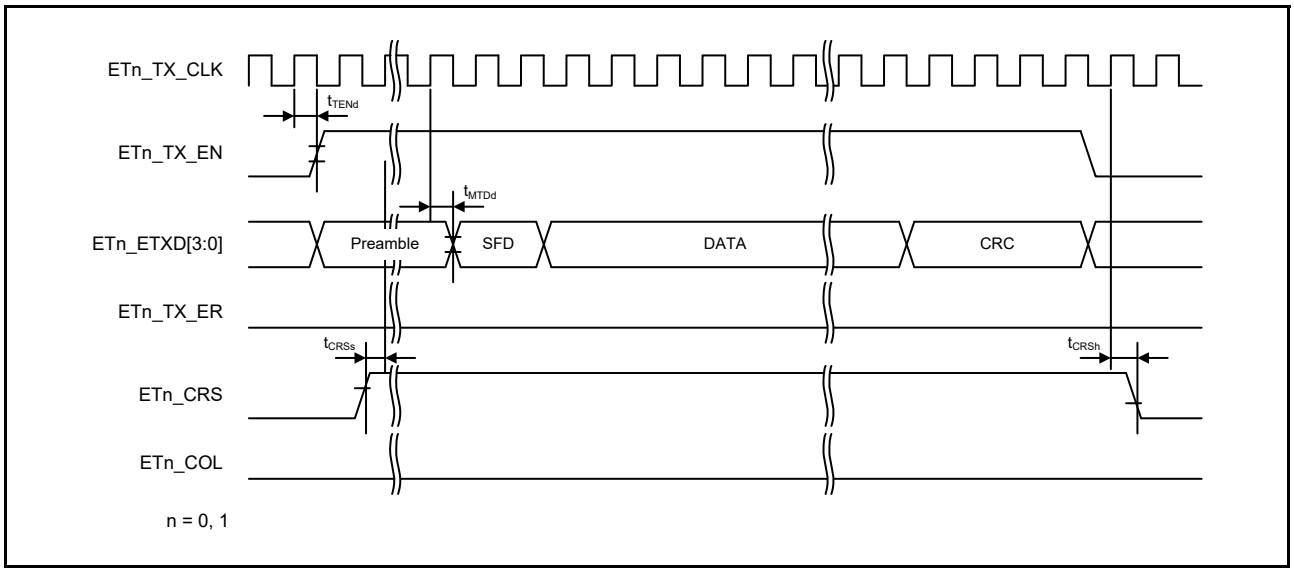


図 60.65　　正常動作時の MII 送信タイミング

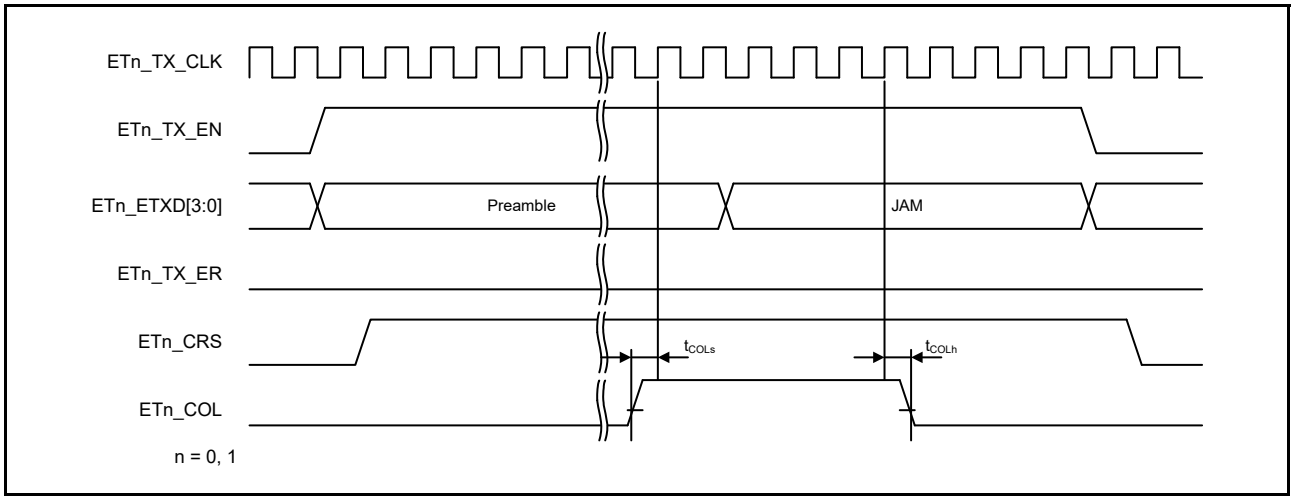


図 60.66　　競合発生時の MII 送信タイミング

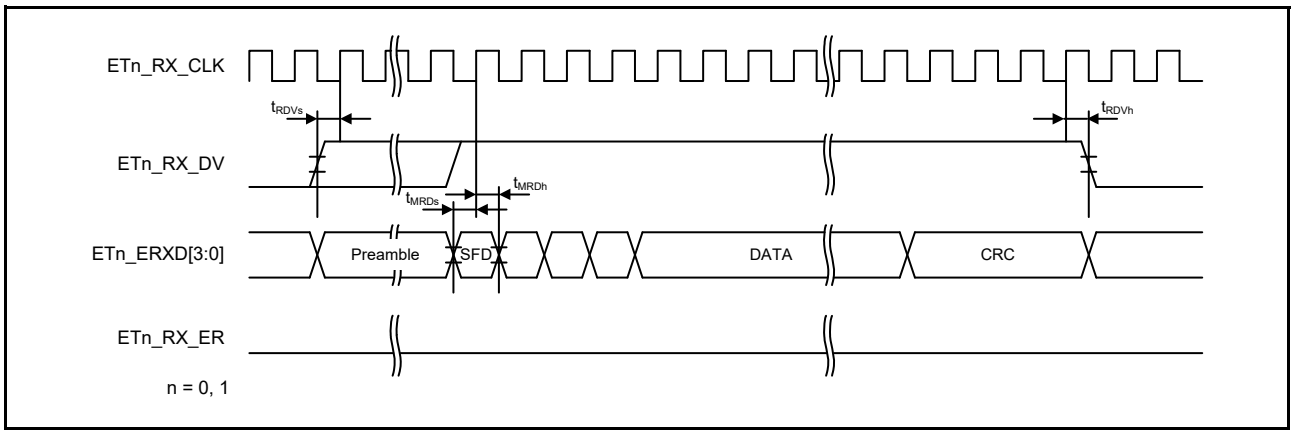


図 60.67　　正常動作時の MII 受信タイミング

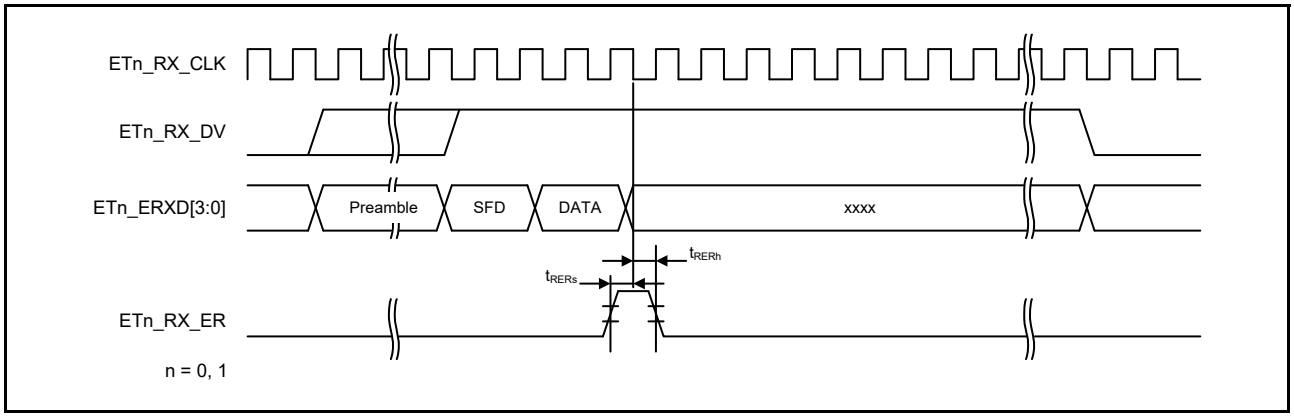


図 60.68　　エラー発生時の MII 受信タイミング

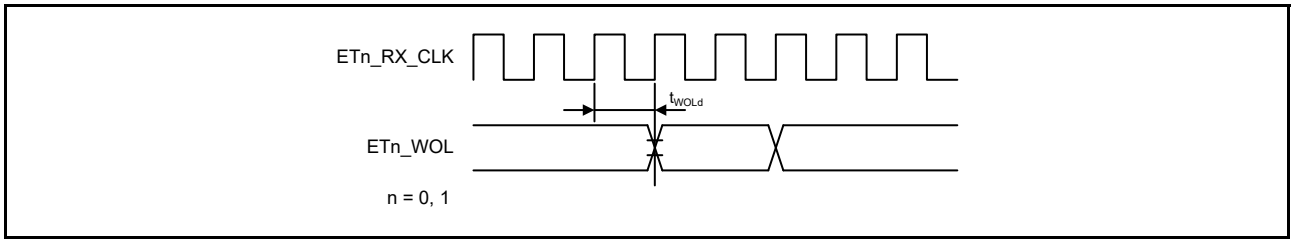


図 60.69 MII に対する WOL 出力タイミング

60.3.17 PDC タイミング

表 60.32 PDC タイミング

条件：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。
出力負荷条件：V_{OH} = VCC × 0.5、V_{OL} = VCC × 0.5、C = 30pF

項目		シンボル	Min	Max	単位	測定条件
PDC	PIXCLK入力サイクル時間	t_{PIXcyc}	37	-	ns	図 60.70
	PIXCLK入力High レベルパルス幅	t_{PIXH}	10	-	ns	
	PIXCLK入力Low レベルパルス幅	t_{PIXL}	10	-	ns	
	PIXCLK立ち上がり時間	t_{PIXr}	-	5	ns	
	PIXCLK立ち下がり時間	t_{PIXf}	-	5	ns	
	PCKO出力サイクル時間	t_{PCKcyc}	2 × t_{PBcyc}	-	ns	図 60.71
	PCKO出力High レベルパルス幅	t_{PCKH}	(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3	-	ns	
	PCKO出力Low レベルパルス幅	t_{PCKL}	(t_{PCKcyc} - t_{PCKr} - t_{PCKf})/2 - 3	-	ns	
	PCKO立ち上がり時間	t_{PCKr}	-	5	ns	
	PCKO立ち下がり時間	t_{PCKf}	-	5	ns	
	VSYNV/HSYNC入力セットアップ時間	t_{SYNCS}	10	-	ns	図 60.72
	VSYNV/HSYNC入力ホールド時間	t_{SYNCH}	5	-	ns	
	PIXD入力セットアップ時間	t_{PIXDS}	10	-	ns	
	PIXD入力ホールド時間	t_{PIXDH}	5	-	ns	

注 1. t_{PBcyc}: PCLKB の周期

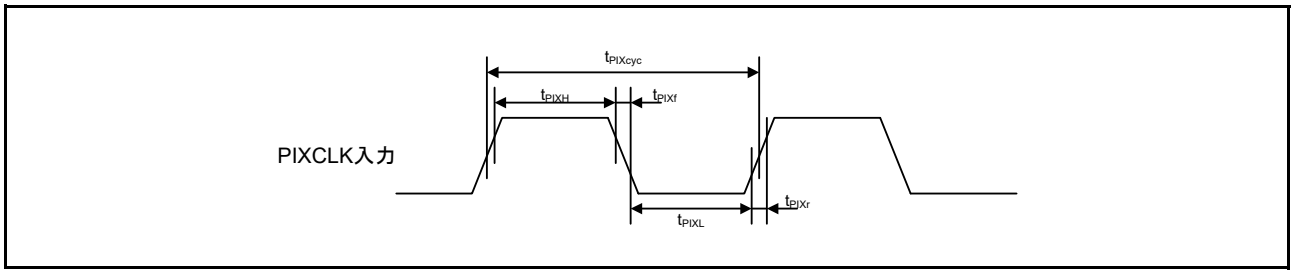


図 60.70 PDC 入力クロックタイミング

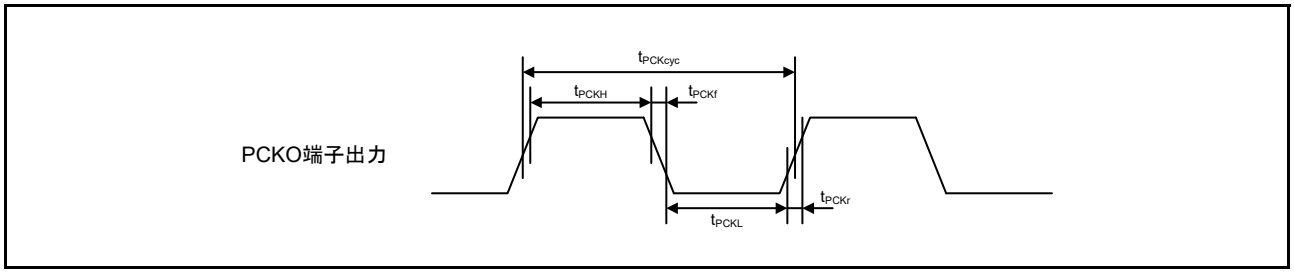


図 60.71　　PDC 出力クロックタイミング

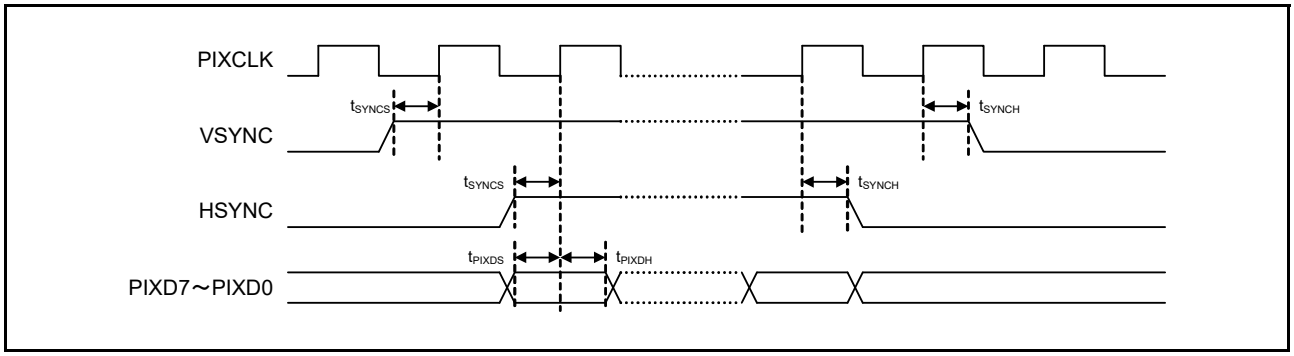


図 60.72　　PDC AC タイミング

60.3.18 グラフィック LCD コントローラタイミング

表 60.33 グラフィックLCDコントローラタイミング

条件：
LCD_CLK：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。
LCD_DATA：PmnPFS レジスタのポート駆動能力ビットで中駆動出力が選択されています。

項目		シンボル	Min	Typ	Max	単位	測定条件
LCD_EXTCLK入力クロック周波数		t_{Ecyc}	-	-	60（注1）	MHz	図 60.73
LCD_EXTCLK入力クロックLowレベルパルス幅		t_{WL}	0.45	-	0.55	t_{Ecyc}	
LCD_EXTCLK入力クロックHighレベルパルス幅		t_{WH}	0.45	-	0.55		
LCD_CLK出力クロック周波数		t_{Lcyc}	-	-	60（注1）	MHz	図 60.74
LCD_CLK出力クロックLowレベルパルス幅		t_{LOL}	0.4	-	0.6	t_{Lcyc}	図 60.74
LCD_CLK出力クロックHighレベルパルス幅		t_{LOH}	0.4	-	0.6	t_{Lcyc}	図 60.74
LCDデータ出力遅延タイミング	_Aまたは_Bの組み合わせ（注2）	t_{DD}	-3.5	-	4	ns	図 60.75
	_Aおよび_Bの組み合わせ（注3）		-5.0	-	5.5		

注 1. 並列 RGB888、666,565：最大 54MHz
シリアル RGB888：最大 60MHz（4x スピード）
注 2. 所属グループを示すため、“_A” や “_B” などのように端子名の後ろに文字を付加した端子を使用してください。
注 3. グループ “_A” および “_B” の組み合わせの端子が使用されます。

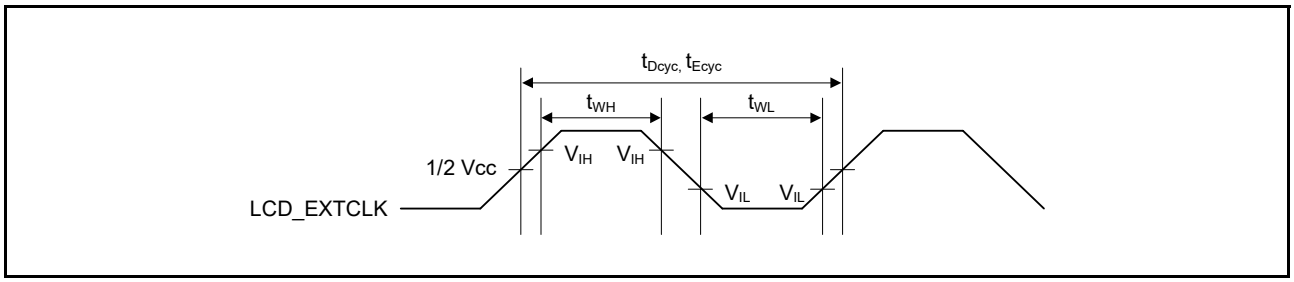


図 60.73 LCD_EXTCLK クロック入力タイミング

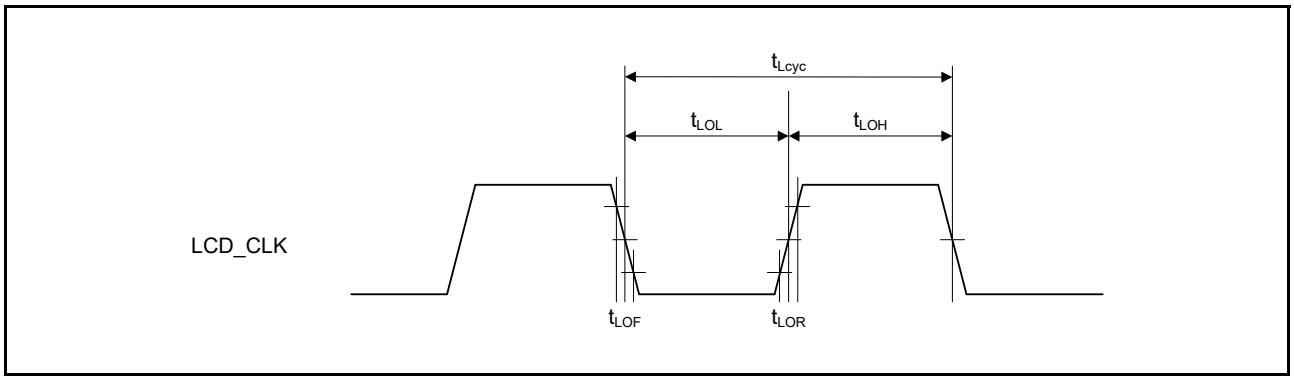


図 60.74 LCD_CLK クロック出力タイミング

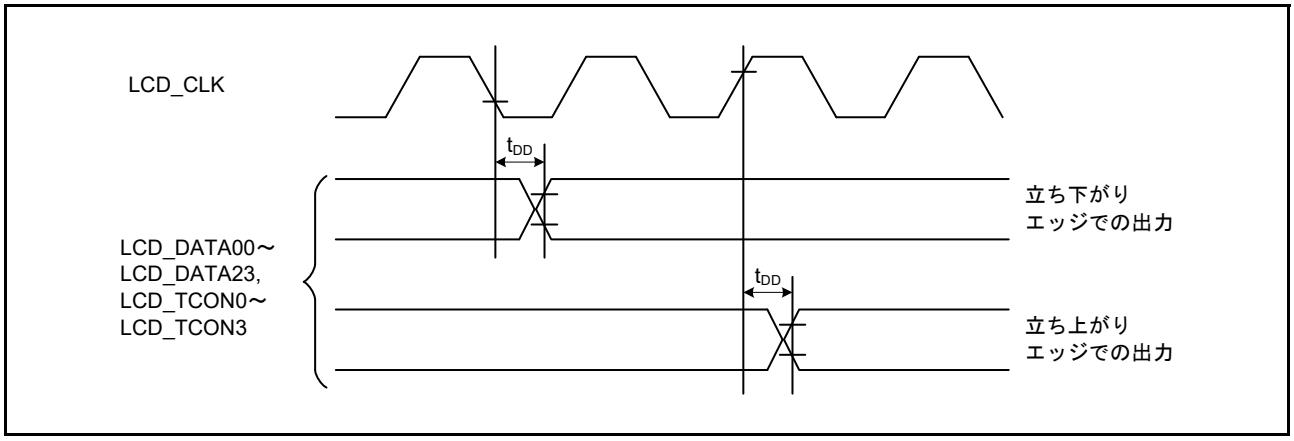


図 60.75 表示出力タイミング

60.4 USB 特性

60.4.1 USBHS タイミング

表 60.34 ホストに限定したUSBHS低速特性（USBHS_DP端子およびUSBHS_DM端子の特性）

条件：USBHS_RREF = 2.2kΩ ± 1%、USBMCLK = 20/24MHz、UCLK = 48MHz

項目		シンボル	Min	Typ	Max	単位	測定条件	
入力特性	入力High レベル電圧	V_{IH}	2.0	-	-	V	-	-
	入力Low レベル電圧	V_{IL}	-	-	0.8	V	-	-
	差動入力感度	V_{DI}	0.2	-	-	V	| USBHS_DP - USBHS_DM |	-
	差動コモンモードレンジ	V_{CM}	0.8	-	2.5	V	-	-
出力特性	出力High レベル電圧	V_{OH}	2.8	-	3.6	V	I_{OH} = -200μA	-
	出力Low レベル電圧	V_{OL}	0.0	-	0.3	V	I_{OL} = 2mA	-
	クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	-	図 60.76、図 60.77
	立ち上がり時間	t_{LR}	75	-	300	ns	-	
	立ち下がり時間	t_{LF}	75	-	300	ns	-	
	立ち上がり／立ち下がり時間比	t_{LR}/t_{LF}	80	-	125	%	t_{LR}/t_{LF}	-
プルアップ、プルダウン特性	USBHS_DPおよびUSBHS_DMのプルダウン抵抗（ホスト）	R_{pd}	14.25	-	24.80	kΩ	-	

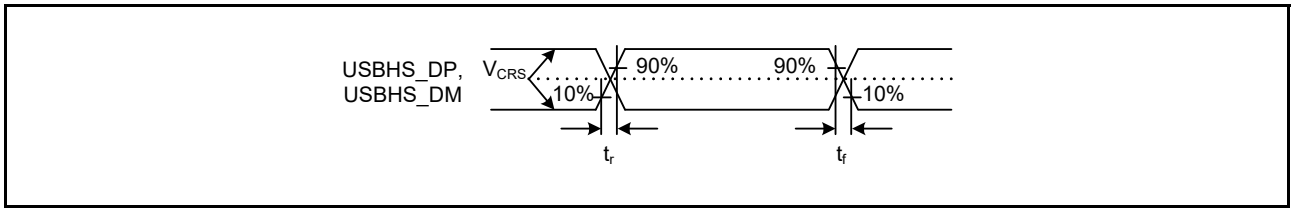


図 60.76 Low-speed モードにおける USBHS_DP、USBHS_DM の出力タイミング

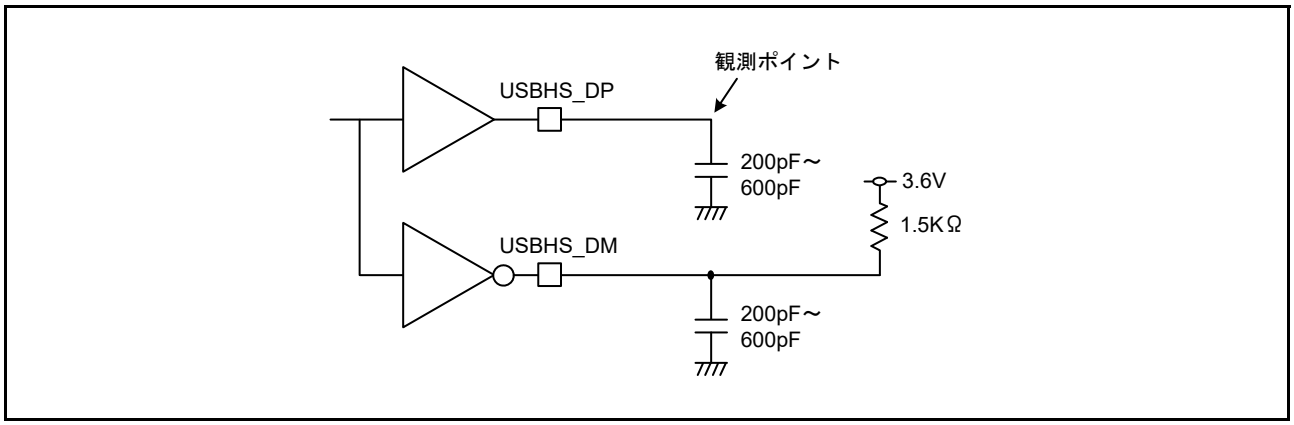


図 60.77 Low-speed モードにおける測定回路

表 60.35 USBHS フルスピード特性（USBHS_DP 端子、USBHS_DM 端子の特性）

条件：USBHS_RREF = 2.2kΩ ± 1%、USBMCLK = 20/24MHz、UCLK = 48MHz

項目		シンボル	Min	Typ	Max	単位	測定条件	
入力特性	入力 High レベル電圧	V_{IH}	2.0	-	-	V	-	-
	入力 Low レベル電圧	V_{IL}	-	-	0.8	V	-	-
	差動入力感度	V_{DI}	0.2	-	-	V	| USBHS_DP - USBHS_DM |	-
	差動コモンモードレンジ	V_{CM}	0.8	-	2.5	V	-	-
出力特性	出力 High レベル電圧	V_{OH}	2.8	-	3.6	V	I_{OH} = -200μA	-
	出力 Low レベル電圧	V_{OL}	0.0	-	0.3	V	I_{OL} = 2mA	-
	クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	-	図 60.78、図 60.79
	立ち上がり時間	t_{LR}	4	-	20	ns	-	
	立ち下がり時間	t_{LF}	4	-	20	ns	-	
	立ち上がり／立ち下がり時間比	t_{LR}/t_{LF}	90	-	111.11	%	t_{FR}/t_{FF}	-
	出力抵抗	Z_{DRV}	40.5	-	49.5	Ω	Rs 不使用（PHYSET.REPSEL[1:0] = 01b、PHYSET.HSEB = 0）	
DC 特性	USBHS_DM プルアップ抵抗（デバイス）	R_{pu}	0.900	-	1.575	kΩ	アイドル状態の間	
			1.425	-	3.090	kΩ	送受信中	
	USBHS_DP/USBHS_DM のプルダウン抵抗（ホスト）	R_{pd}	14.25	-	24.80	kΩ	-	

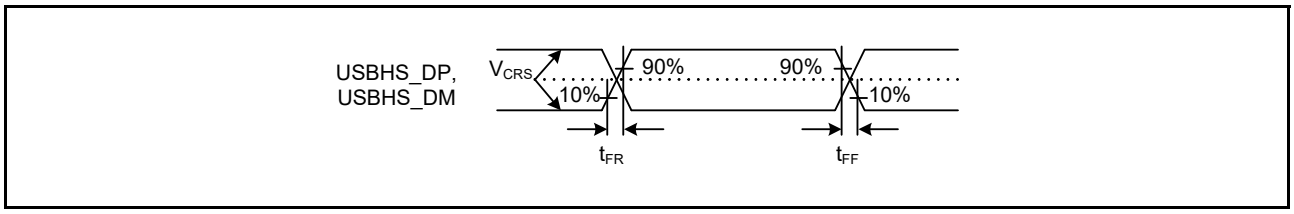


図 60.78 フルスピードモードにおける USBHS_DP、USBHS_DM の出力タイミング

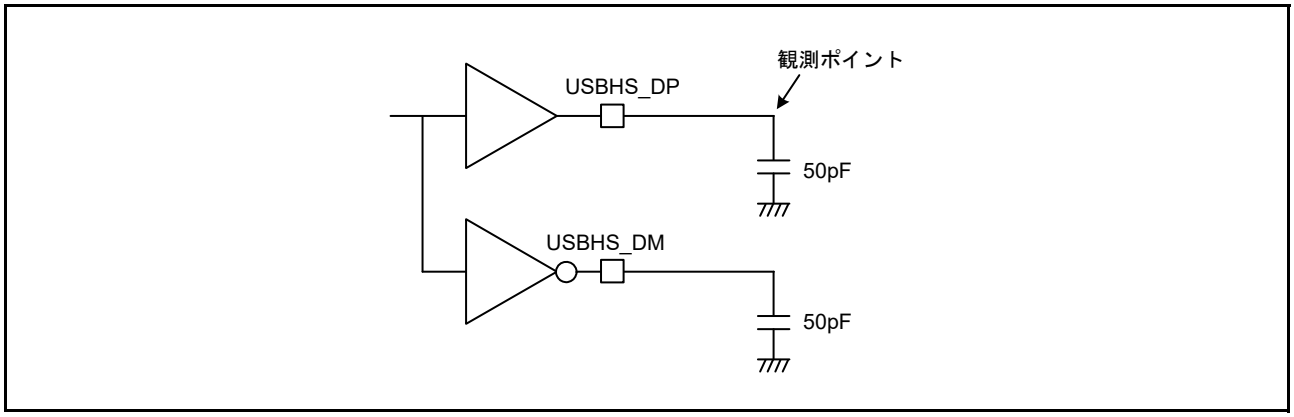


図 60.79 フルスピードモードにおける測定回路

表 60.36　USBHS高速特性（USBHS_DP端子、USBHS_DM端子の特性）

条件：USBHS_RREF = 2.2kΩ ± 1%、USBMCLK = 20/24MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	Squelch検出感度	V_{HSSQ}	100	-	150	mV	図 60.80
	切断検出感度	V_{HSDSC}	525	-	625	mV	図 60.81
	コモンモード電圧	V_{HSCM}	-50	-	500	mV	-
出力特性	アイドル時	V_{HSOI}	-10.0	-	10	mV	-
	出力High レベル電圧	V_{HSOH}	360	-	440	mV	
	出力Low レベル電圧	V_{HSOL}	-10.0	-	10	mV	
	Chirp J出力電圧（差分）	V_{CHIRPJ}	700	-	1100	mV	
	Chirp K出力電圧（差分）	V_{CHIRPK}	-900	-	-500	mV	
AC特性	立ち上がり時間	t_{HSR}	500	-	-	ps	図 60.82
	立ち下がり時間	t_{HSF}	500	-	-	ps	
	出力抵抗	Z_{HSDRV}	40.5	-	49.5	Ω	-

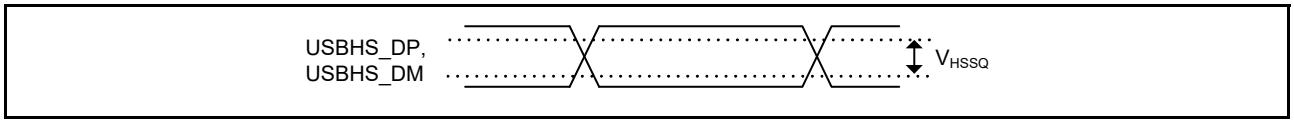


図 60.80　High-speed モードにおける USBHS_DP、USBHS_DM の Squelch 検出感度

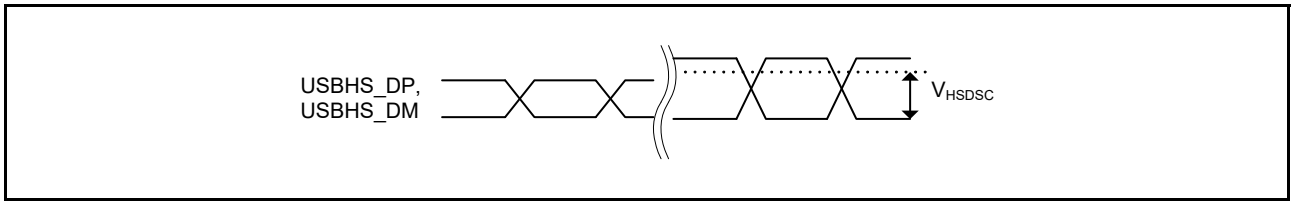


図 60.81　High-speed モードにおける USBHS_DP、USBHS_DM の切断検出感度

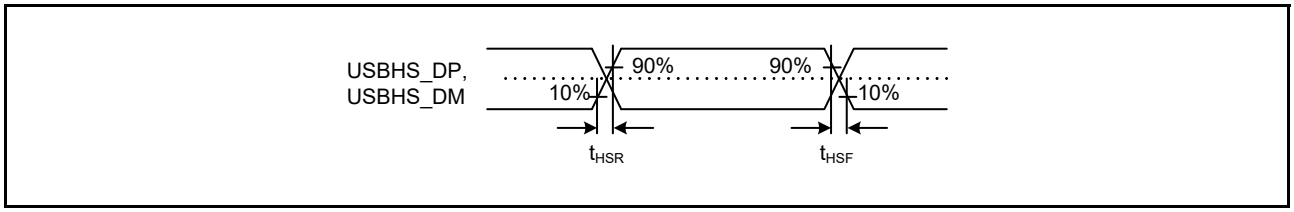


図 60.82　High-speed モードにおける USBHS_DP、USBHS_DM の出力タイミング

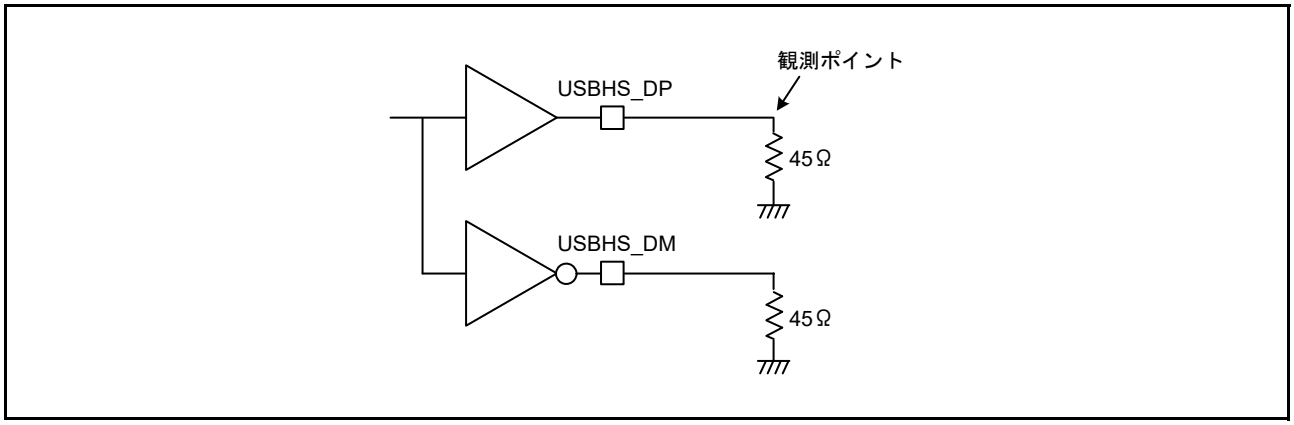


図 60.83　High-speed モードにおける測定回路

表 60.37　　USBHS高速特性（USBHS_DP端子、USBHS_DM端子の特性）

条件：USBHS_RREF = 2.2kΩ ± 1%、USBMCLK = 20/24MHz

項目		シンボル	Min	Max	単位	測定条件
バッテリチャージング規格	D＋シンク電流	I_{DP_SINK}	25	175	μA	-
	D－シンク電流	I_{DM_SINK}	25	175	μA	-
	DCDソース電流	I_{DP_SRC}	7	13	μA	-
	データ検出電圧	V_{DAT_REF}	0.25	0.4	V	-
	D＋ソース電圧	V_{DP_SRC}	0.5	0.7	V	出力電流 = 250μA
	D－ソース電圧	V_{DM_SRC}	0.5	0.7	V	出力電流 = 250μA

60.4.2 USBFS タイミング

表 60.38 ホストに限定したUSBFS低速特性（USB_DP端子およびUSB_DM端子の特性）

条件：VCC = AVCC0 = VCC_USB = VBATT = 3.0～3.6V、2.7≦VREFH0/VREFH≦AVCC0、VCC_USBHS = AVCC_USBHS = 3.0～3.6V、UCLK = 48MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力Highレベル電圧	V_{IH}	2.0	-	-	V	-
	入力Lowレベル電圧	V_{IL}	-	-	0.8	V	-
	差動入力感度	V_{DI}	0.2	-	-	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	-	2.5	V	-
出力特性	出力Highレベル電圧	V_{OH}	2.8	-	3.6	V	I_{OH} = -200μA
	出力Lowレベル電圧	V_{OL}	0.0	-	0.3	V	I_{OL} = 2mA
	クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	図 60.84
	立ち上がり時間	t_{LR}	75	-	300	ns	
	立ち下がり時間	t_{LF}	75	-	300	ns	
	立ち上がり／立ち下がり時間比	t_{LR}/t_{LF}	80	-	125	%	t_{LR}/t_{LF}
プルアップ／プルダウン特性	ホストコントローラモードにおけるUSB_DP、USB_DMのプルダウン抵抗	R_{pd}	14.25	-	24.80	kΩ	-

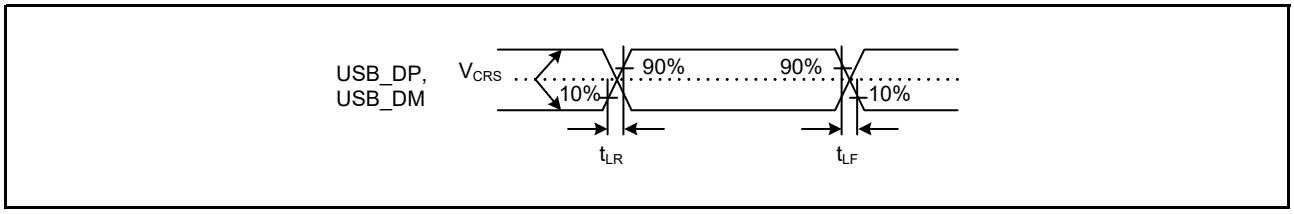


図 60.84 Low-speed モードにおける USB_DP、USB_DM の出力タイミング

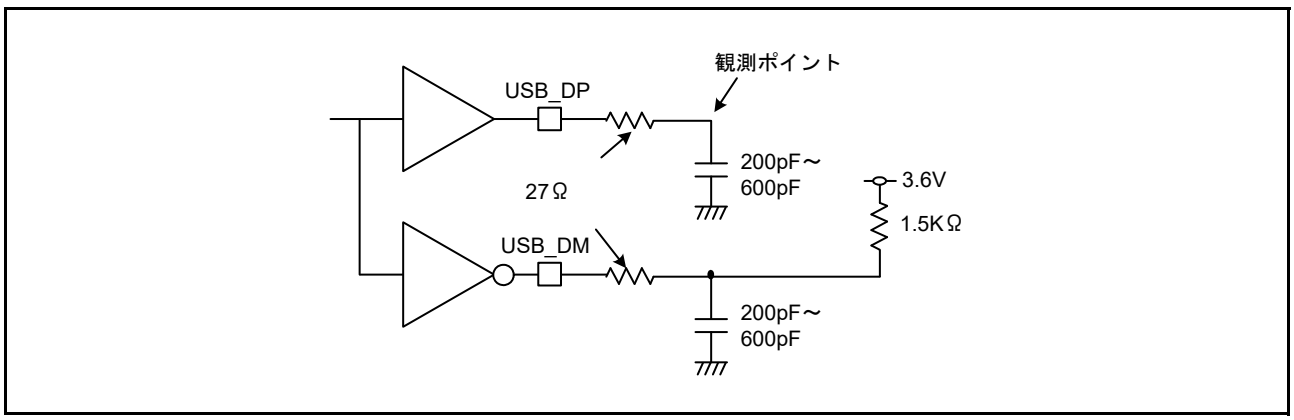


図 60.85 Low-speed モードにおける測定回路

表 60.39　USBFS フルスピード特性（USB_DP 端子、USB_DM 端子の特性）

条件：VCC = AVCC0 = VCC_USB = VBATT = 3.0～3.6V、2.7≦VREFH0/VREFH≦AVCC0、VCC_USBHS = AVCC_USBHS = 3.0～3.6V、UCLK = 48MHz

項目		シンボル	Min	Typ	Max	単位	測定条件
入力特性	入力 High レベル電圧	V_{IH}	2.0	-	-	V	-
	入力 Low レベル電圧	V_{IL}	-	-	0.8	V	-
	差動入力感度	V_{DI}	0.2	-	-	V	| USB_DP - USB_DM |
	差動コモンモードレンジ	V_{CM}	0.8	-	2.5	V	-
出力特性	出力 High レベル電圧	V_{OH}	2.8	-	3.6	V	I_{OH} = -200μA
	出力 Low レベル電圧	V_{OL}	0.0	-	0.3	V	I_{OL} = 2mA
	クロスオーバー電圧	V_{CRS}	1.3	-	2.0	V	図 60.86
	立ち上がり時間	t_{LR}	4	-	20	ns	
	立ち下がり時間	t_{LF}	4	-	20	ns	
	立ち上がり／立ち下がり時間比	t_{LR}/t_{LF}	90	-	111.11	%	t_{FR}/t_{FF}
	出力抵抗	Z_{DRV}	28	-	44	Ω	USBFS：Rs = 27Ω 含む
プルアップ／プルダウン特性	デバイスコントローラモードにおける DM プルアップ抵抗	R_{pu}	0.900	-	1.575	kΩ	アイドル状態の間
			1.425	-	3.090	kΩ	送受信中
	ホストコントローラモードにおける USB_DP、USB_DM のプルダウン抵抗	R_{pd}	14.25	-	24.80	kΩ	-

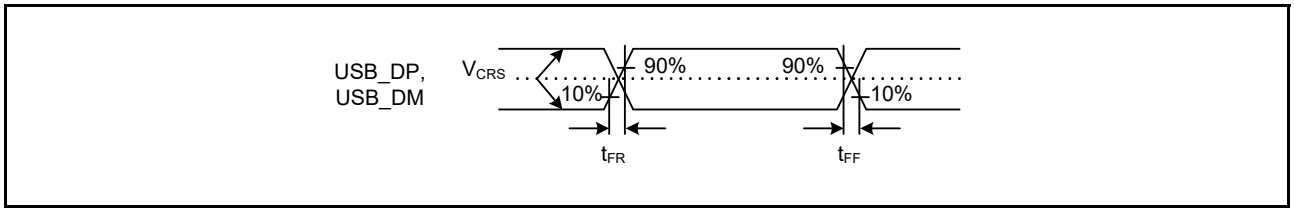


図 60.86　フルスピードモードにおける USB_DP、USB_DM の出力タイミング

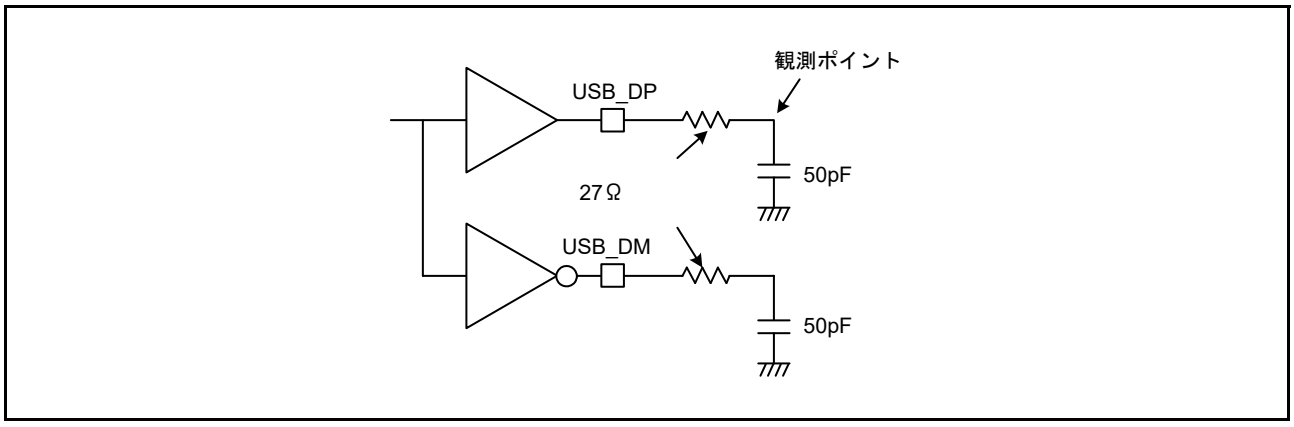


図 60.87　フルスピードモードにおける測定回路

60.5 ADC12 特性

表 60.40 ユニット0のA/D変換特性

条件：PCLKC = 1～60MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	-	60	MHz	-
アナログ入力容量			-	-	30	pF	-
量子化誤差			-	± 0.5	-	LSB	-
分解能			-	-	12	ビット	-
チャネル専用サンプルホールド回路使用時（AN000～AN002）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	1.06 (0.4 + 0.25)（注2）	-	-	μs	• チャネル専用サンプルホールド回路のサンプリング24ステート • サンプリング15ステート
	オフセット誤差		-	± 1.5	± 3.5	LSB	AN000～AN002 = 0.25V
	フルスケール誤差		-	± 1.5	± 3.5	LSB	AN000～AN002 = VREFH0 - 0.25V
	絶対精度		-	± 2.5	± 5.5	LSB	-
	DNL微分非直線性誤差		-	± 1.0	± 2.0	LSB	-
	INL積分非直線性誤差		-	± 1.5	± 3.0	LSB	-
	サンプルホールド回路のホールド特性		-	-	20	μs	-
	ダイナミックレンジ		0.25	-	VREFH 0 - 0.25	V	-
チャネル専用サンプルホールド回路未使用時（AN000～AN002）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	0.88 (0.667)（注2）	-	-	μs	サンプリング40ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
	INL積分非直線性誤差		-	± 1.0	± 2.5	LSB	-
高精度チャネル（AN003～AN006）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	0.48 (0.267)（注2）	-	-	μs	サンプリング16ステート
		max = 300Ω	0.40 (0.183)（注2）	-	-	μs	サンプリング11ステート VCC = AVCC0 = 3.0～3.6V 3.0V≦VREFH0≦AVCC0
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
	INL積分非直線性誤差		-	± 1.0	± 2.5	LSB	-
通常精度チャネル（AN016～AN021）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	0.88 (0.667)（注2）	-	-	μs	サンプリング40ステート
	オフセット誤差		-	± 1.0	± 5.5	LSB	-
	フルスケール誤差		-	± 1.0	± 5.5	LSB	-
	絶対精度		-	± 2.0	± 7.5	LSB	-
	DNL微分非直線性誤差		-	± 0.5	± 4.5	LSB	-
	INL積分非直線性誤差		-	± 1.0	± 5.5	LSB	-

注 . これらの規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中にアクセスが発生した場合は、提示した範囲に数値が収まらない可能性があります。

注 1. 変換時間にはサンプリング時間と比較時間が含まれます。測定条件には、サンプリングステート数が示されています。

注 2. （ ）内の値は、サンプリング時間を意味します。

表 60.41　　ユニット1のA/D変換特性

条件：PCLKC = 1～60MHz

項目			Min	Typ	Max	単位	測定条件
周波数			1	-	60	MHz	-
アナログ入力容量			-	-	30	pF	-
量子化誤差			-	± 0.5	-	LSB	-
分解能			-	-	12	ビット	-
チャネル専用サンプルホールド回路使用時（AN100～AN102）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	1.06 (0.4 + 0.25)（注2）	-	-	μs	• チャネル専用サンプルホールド回路のサンプリング24ステート • サンプリング15ステート
	オフセット誤差		-	± 1.5	± 3.5	LSB	AN100～AN102 = 0.25V
	フルスケール誤差		-	± 1.5	± 3.5	LSB	AN100～AN102 = VREFH - 0.25V
	絶対精度		-	± 2.5	± 5.5	LSB	-
	DNL微分非直線性誤差		-	± 1.0	± 2.0	LSB	-
	INL積分非直線性誤差		-	± 1.5	± 3.0	LSB	-
	サンプルホールド回路のホールド特性		-	-	20	μs	-
	ダイナミックレンジ		0.25	-	VREFH - 0.25	V	-
チャネル専用サンプルホールド回路未使用時（AN100～AN102）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	0.88 (0.667)（注2）	-	-	μs	サンプリング40ステート
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
	INL積分非直線性誤差		-	± 1.0	± 2.5	LSB	-
高精度チャネル（AN103～AN106）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	0.48 (0.267)（注2）	-	-	μs	サンプリング16ステート
		max = 300Ω	0.40 (0.183)（注2）	-	-	μs	サンプリング11ステート VCC = AVCC0 = 3.0～3.6V 3.0V≦VREFH≦AVCC0
	オフセット誤差		-	± 1.0	± 2.5	LSB	-
	フルスケール誤差		-	± 1.0	± 2.5	LSB	-
	絶対精度		-	± 2.0	± 4.5	LSB	-
	DNL微分非直線性誤差		-	± 0.5	± 1.5	LSB	-
	INL積分非直線性誤差		-	± 1.0	± 2.5	LSB	-
通常精度チャネル（AN116～AN120）	変換時間（注1）（PCLKC = 60MHz時）	許容信号源インピーダンス max = 1kΩ	0.88 (0.667)（注2）	-	-	μs	サンプリング40ステート
	オフセット誤差		-	± 1.0	± 5.5	LSB	-
	フルスケール誤差		-	± 1.0	± 5.5	LSB	-
	絶対精度		-	± 2.0	± 7.5	LSB	-
	DNL微分非直線性誤差		-	± 0.5	± 4.5	LSB	-
	INL積分非直線性誤差		-	± 1.0	± 5.5	LSB	-

注 .　これらの規格値は、A/D 変換中に外部バスアクセスを行わなかった場合の数値です。A/D 変換中にアクセスが発生した場合は、提示した範囲に数値が収まらない可能性があります。

注 1.　変換時間にはサンプリング時間と比較時間が含まれています。測定条件には、サンプリングステート数が示されています。

注 2.　（ ）内の値は、サンプリング時間を意味します。

表 60.42　　A/D内部基準電圧特性

項目	Min	Typ	Max	単位	測定条件
A/D内部基準電圧	1.20	1.25	1.30	V	-
サンプリング時間	4.15	-	-	μs	-

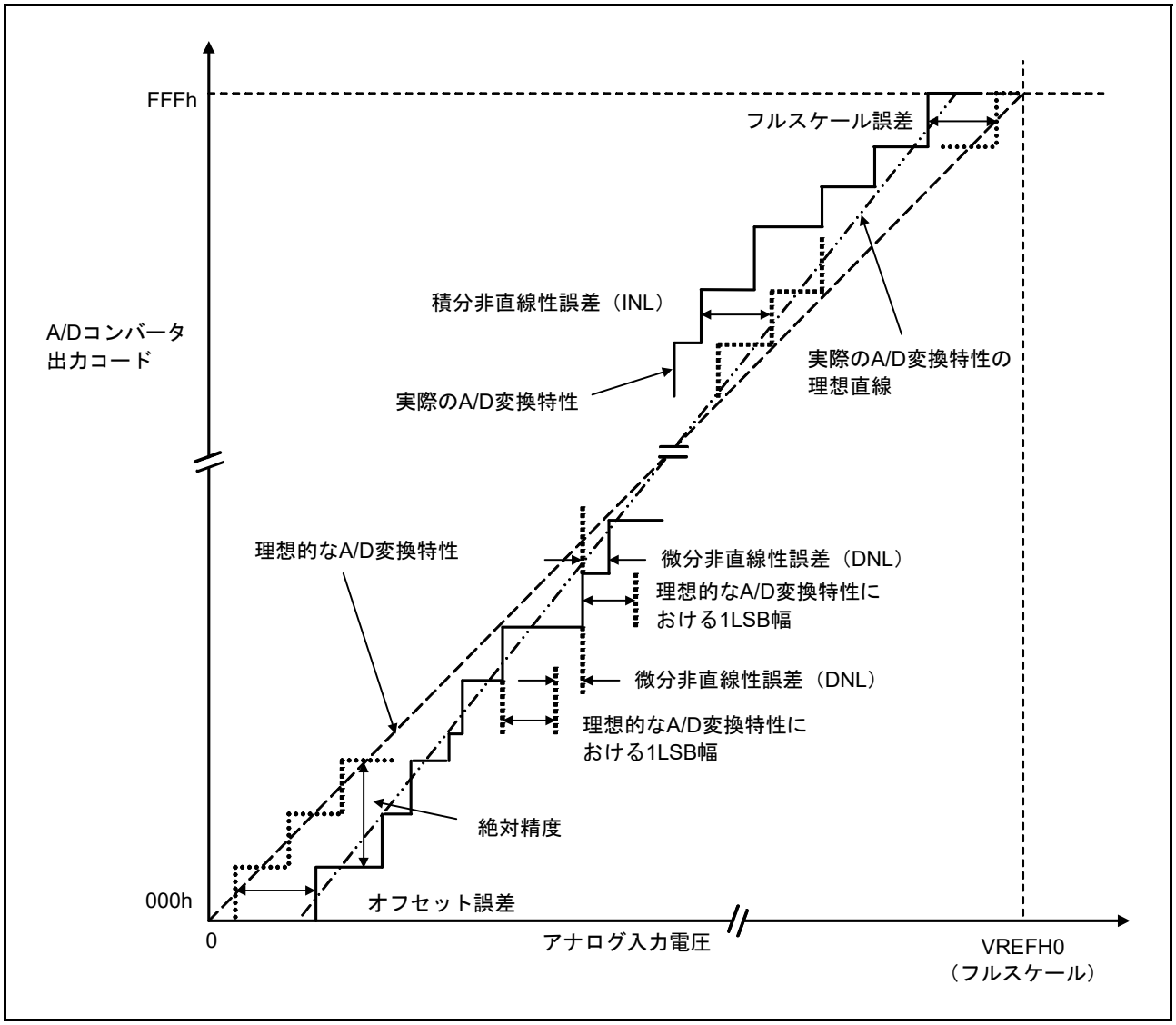


図 60.88 ADC12 特性用語の解説図

絶対精度

絶対精度とは、理論的 A/D 変換特性に基づく出力コードと、実際の A/D 変換結果との差です。絶対精度を測定する場合、理論的 A/D 変換特性において同じ出力コードが期待できるアナログ入力電圧の幅（1-LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。たとえば、分解能が 12 ビットで、基準電圧 VREFH0 = 3.072V の場合、1-LSB 幅は 0.75mV になり、アナログ入力電圧には 0mV、0.75mV、1.5mV が使用されます。± 5 LSB の絶対精度とは、アナログ入力電圧が 6mV の場合、理論的 A/D 変換特性から期待される出力コードが 008h であっても、実際の A/D 変換結果は 003h ～ 00Dh の範囲になることを意味します。

積分非直線性誤差（INL）

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロとした場合の理想的な直線と、実際の出力コードとの最大偏差です。

微分非直線性誤差（DNL）

微分非直線性誤差とは、理想的 A/D 変換特性に基づく 1-LSB 幅と、実際の出力コード幅との差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と、実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と、実際の最後の出力コードとの差です。

60.6 DAC12 特性

表 60.43 D/A 変換特性

項目	Min	Typ	Max	単位	測定条件
分解能	-	-	12	ビット	-
出力アンプなし					
絶対精度	-	-	± 24	LSB	負荷抵抗2MΩ
INL	-	± 2.0	± 8.0	LSB	負荷抵抗2MΩ
DNL		± 1.0	± 2.0	LSB	-
出力インピーダンス	-	7.5	-	kΩ	-
変換時間	-	-	3.0	μs	負荷容量20pF
出力電圧範囲	0	-	VREFH	V	-
出力アンプあり					
INL	-	± 2.0	± 4.0	LSB	-
DNL	-	± 1.0	± 2.0	LSB	-
変換時間	-	-	4.0	μs	-
負荷抵抗	5	-	-	kΩ	-
負荷容量	-	-	50	pF	-
出力電圧範囲	0.2	-	VREFH - 0.2	V	-

60.7 TSN 特性

表 60.44 TSN特性

項目	シンボル	Min	Typ	Max	単位	測定条件
相対精度	-	-	± 1.0	-	℃	-
温度傾斜	-	-	4.1	-	mV/℃	-
出力電圧（25℃）	-	-	1.24	-	V	-
温度センサ起動時間	t_{START}	-	-	30	μs	-
サンプリング時間	-	4.15	-	-	μs	-

60.8 OSC 停止検出特性

表 60.45 発振停止検出回路特性

項目	シンボル	Min	Typ	Max	単位	測定条件
検出時間	t_{dr}	-	-	1	ms	図 60.89

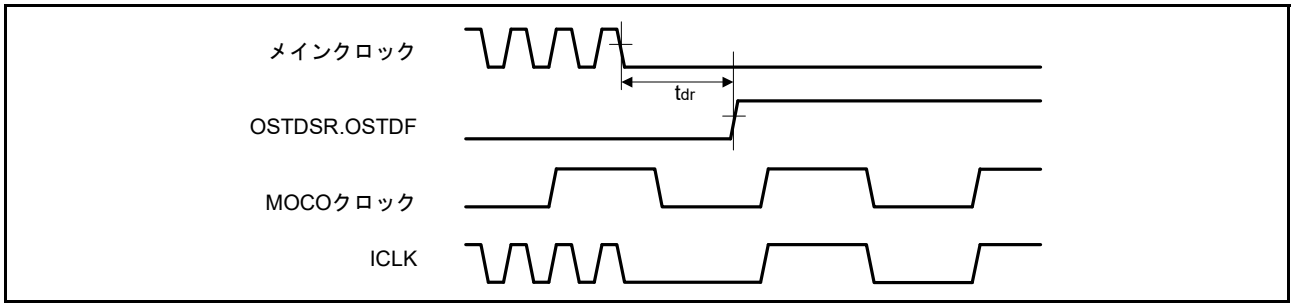


図 60.89 発振停止検出タイミング

60.9 POR/LVD 特性

表 60.46 パワーオンリセット回路、電圧検出回路の特性

項目			シンボル	Min	Typ	Max	単位	測定条件
電圧検出レベル	パワーオンリセット（POR）	モジュールストップ機能無効（注1）	V_{POR}	2.5	2.6	2.7	V	図 60.90
		モジュールストップ機能有効（注2）		2.0	2.35	2.7		
	電圧検出回路（LVD0）		V_{det0_1}	2.84	2.94	3.04		図 60.91
			V_{det0_2}	2.77	2.87	2.97		
			V_{det0_3}	2.70	2.80	2.90		
	電圧検出回路（LVD1）		V_{det1_1}	2.89	2.99	3.09		図 60.92
			V_{det1_2}	2.82	2.92	3.02		
			V_{det1_3}	2.75	2.85	2.95		
	電圧検出回路（LVD2）		V_{det2_1}	2.89	2.99	3.09		図 60.93
			V_{det2_2}	2.82	2.92	3.02		
			V_{det2_3}	2.75	2.85	2.95		
内部リセット時間	パワーオンリセット時間		t_{POR}	-	4.6	-	ms	図 60.90
	LVD0リセット時間		t_{LVD0}	-	0.70	-		図 60.91
	LVD1リセット時間		t_{LVD1}	-	0.57	-		図 60.92
	LVD2リセット時間		t_{LVD2}	-	0.57	-		図 60.93
最小VCC低下時間			t_{VOFF}	200	-	-	μs	図 60.90、図 60.91
応答遅延時間			t_{det}	-	-	200	μs	図 60.90～図 60.93
LVD動作安定時間（LVD有効切り替え後）			$T_{d(E-A)}$	-	-	10	μs	図 60.92、図 60.93
ヒステリシス幅（LVD1、LVD2）			V_{LVH}	-	80	-	mV	

注 1. 最小 VCC 低下時間は、VCC が POR/LVD の電圧検出レベル V_{POR}、V_{det1}、V_{det2} の min 値を下回っている時間です。
注 2. 低消費電力機能は無効で、DEEPCUT[1:0] = 00b または 01b です。
注 3. 低消費電力機能は有効で、DEEPCUT[1:0] = 11b です。

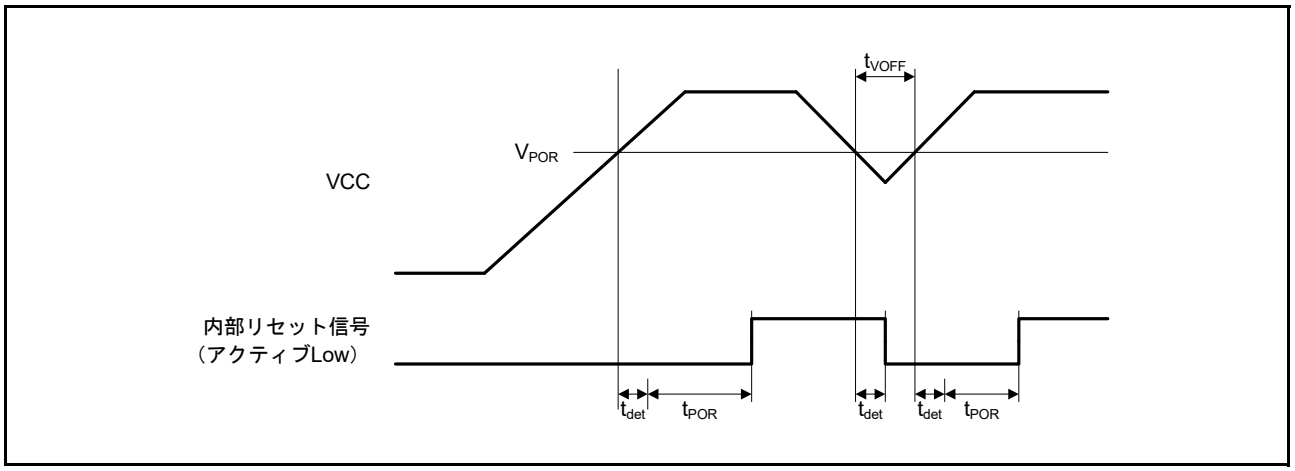


図 60.90 パワーオンリセットタイミング

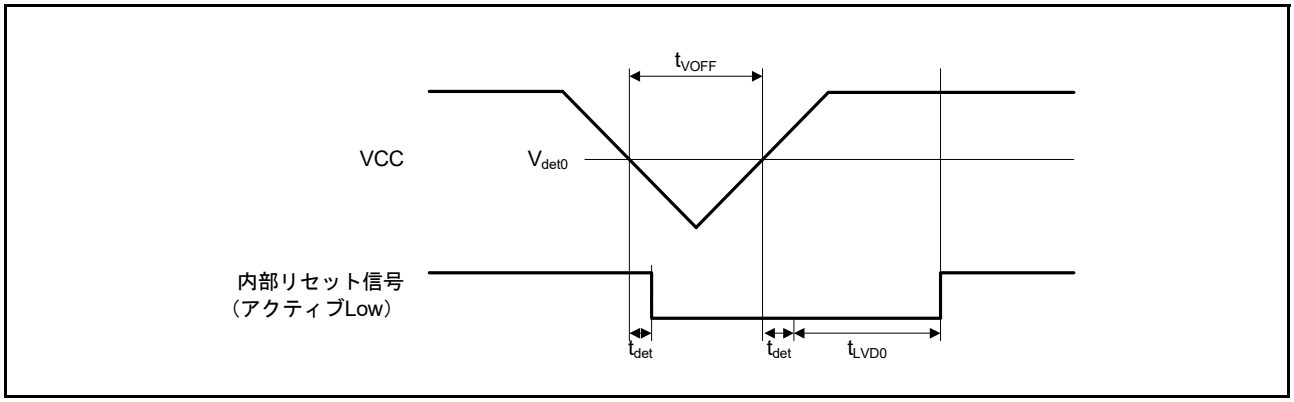


図 60.91　電圧検出回路タイミング（V_{det0}）

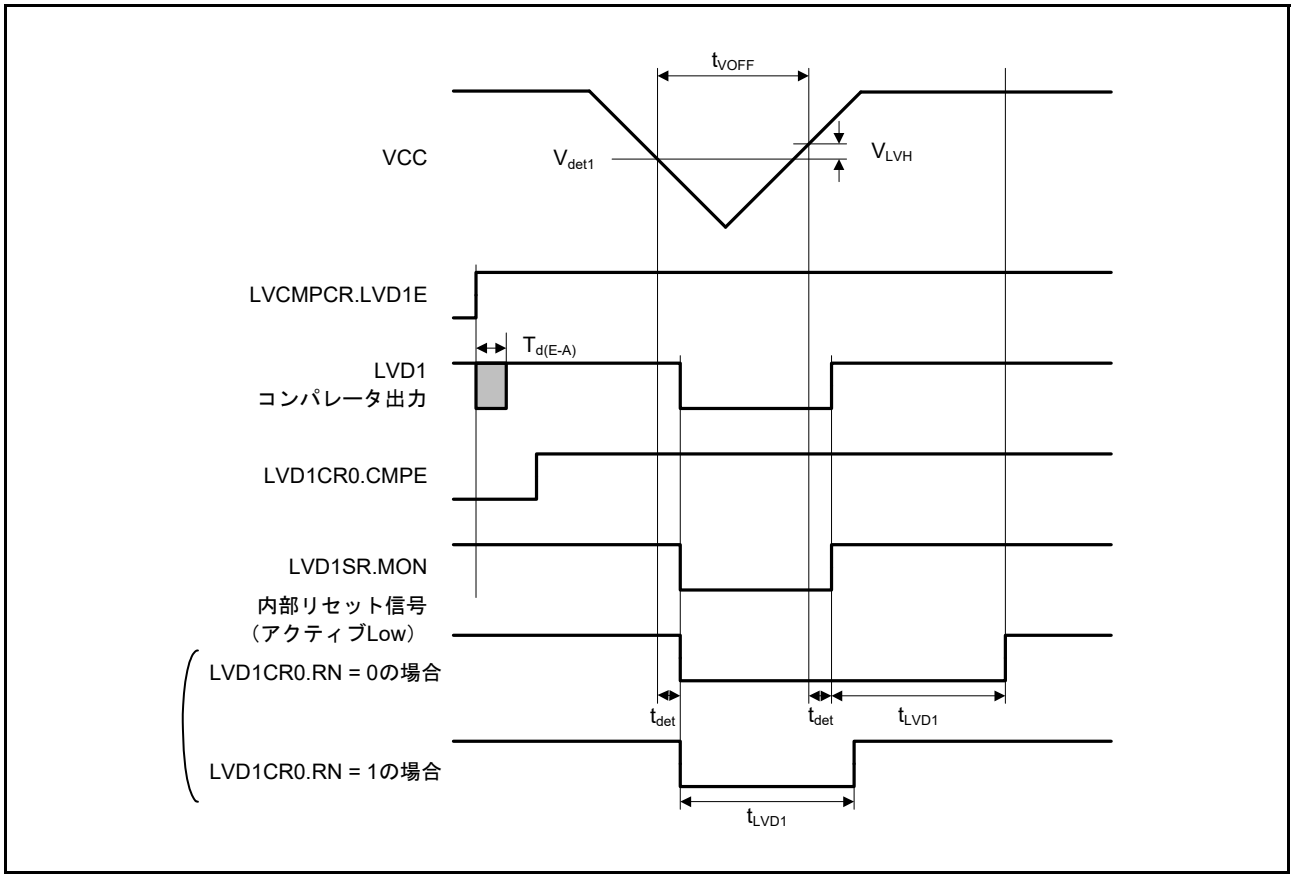


図 60.92　電圧検出回路タイミング（V_{det1}）

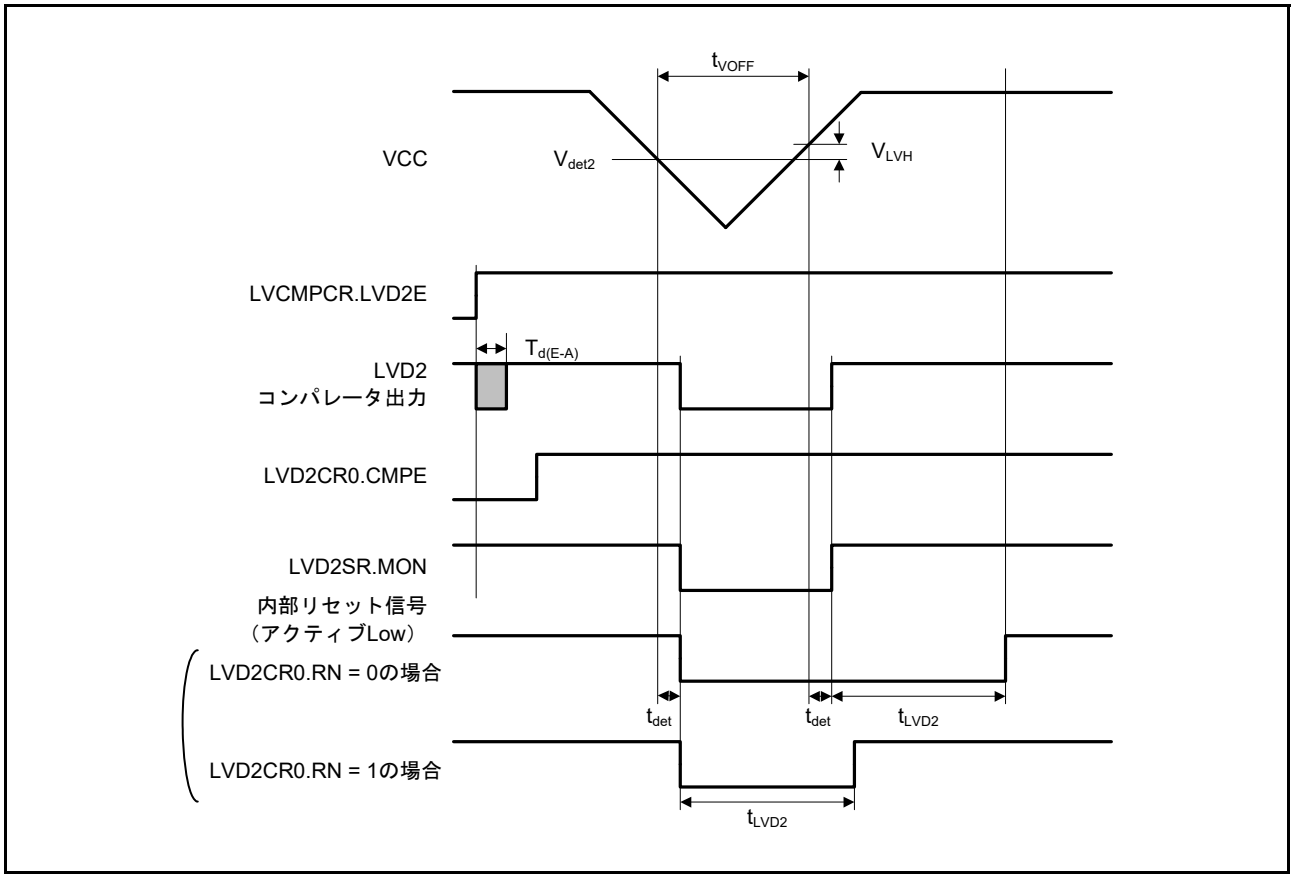


図 60.93　電圧検出回路タイミング（V_{det2}）

60.10 VBATT 特性

表 60.47 バッテリーバックアップ機能の特性

条件：VCC = AVCC0 = VCC_USB = 2.7～3.6V、2.7 V≦VREFH0/VRFEH≦AVCC0、VBATT = 2.0～3.6V

項目	シンボル	Min	Typ	Max	単位	測定条件
バッテリバックアップ切り替え電圧レベル	$V_{DETBATT}$	2.50	2.60	2.70	V	図 60.94
VCC電圧低下による電源切り替え時のVBATT下限電圧	V_{BATTSW}	2.70	-	-	V	
電源切り替え開始時VCCオフ期間	$t_{VOFFBATT}$	200	-	-	μs	

注 . 電源切り替え開始時 VCC オフ期間は、VCC がバッテリバックアップ切り替え電圧レベル $V_{DETBATT}$ の min 値を下回っている時間です。

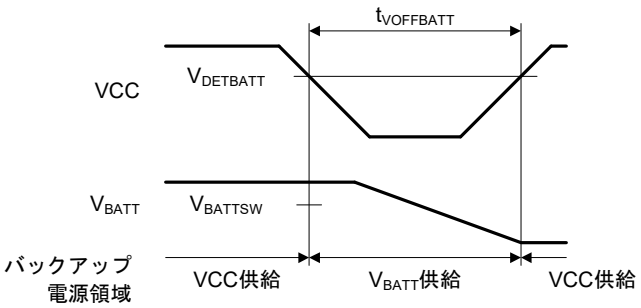


図 60.94 バッテリバックアップ機能特性

60.11 CTSU 特性

表 60.48 CTSU特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TSCAP端子に接続された外付け容量	C_{tscap}	9	10	11	nF	-
TS端子の負荷容量	C_{base}	-	-	50	pF	-
許容大電流出力	ΣI_{oH}	-	-	-40	mA	相互容量方式適用時

60.12 コンパレータ特性

表 60.49 ACMPHS特性

項目	シンボル	Min	Typ	Max	単位	測定条件
基準電圧範囲	VREF	0	-	AVCC0	V	-
入力電圧範囲	VI	0	-	AVCC0	V	-
内部基準電圧	-	1.20	1.25	1.30	V	-
出力遅延時間（注1）	Td	-	50	100	ns	VI = VREF ± 100mV

注 1. 内部伝搬遅延の値です。

60.13 PGA 特性

表 60.50 シングルモードにおけるPGA特性

項目	シンボル	Min	Typ	Max	単位
PGAVSS入力電圧範囲	PGAVSS	0	-	0	V
	AIN0 (G = 2.000)	0.050 × AVCC0	-	0.45 × AVCC0	V
	AIN1 (G = 2.500)	0.047 × AVCC0	-	0.360 × AVCC0	V
	AIN2 (G = 2.667)	0.046 × AVCC0	-	0.337 × AVCC0	V
	AIN3 (G = 2.857)	0.046 × AVCC0	-	0.32 × AVCC0	V
	AIN4 (G = 3.077)	0.045 × AVCC0	-	0.292 × AVCC0	V
	AIN5 (G = 3.333)	0.044 × AVCC0	-	0.265 × AVCC0	V
	AIN6 (G = 3.636)	0.042 × AVCC0	-	0.247 × AVCC0	V
	AIN7 (G = 4.000)	0.040 × AVCC0	-	0.212 × AVCC0	V
	AIN8 (G = 4.444)	0.036 × AVCC0	-	0.191 × AVCC0	V
	AIN9 (G = 5.000)	0.033 × AVCC0	-	0.17 × AVCC0	V
	AIN10 (G = 5.714)	0.031 × AVCC0	-	0.148 × AVCC0	V
	AIN11 (G = 6.667)	0.029 × AVCC0	-	0.127 × AVCC0	V
	AIN12 (G = 8.000)	0.027 × AVCC0	-	0.09 × AVCC0	V
	AIN13 (G = 10.000)	0.025 × AVCC0	-	0.08 × AVCC0	V
	AIN14 (G = 13.333)	0.023 × AVCC0	-	0.06 × AVCC0	V
ゲイン誤差	Gerr0 (G = 2.000)	-1.0	-	1.0	%
	Gerr1 (G = 2.500)	-1.0	-	1.0	%
	Gerr2 (G = 2.667)	-1.0	-	1.0	%
	Gerr3 (G = 2.857)	-1.0	-	1.0	%
	Gerr4 (G = 3.077)	-1.0	-	1.0	%
	Gerr5 (G = 3.333)	-1.5	-	1.5	%
	Gerr6 (G = 3.636)	-1.5	-	1.5	%
	Gerr7 (G = 4.000)	-1.5	-	1.5	%
	Gerr8 (G = 4.444)	-2.0	-	2.0	%
	Gerr9 (G = 5.000)	-2.0	-	2.0	%
	Gerr10 (G = 5.714)	-2.0	-	2.0	%
	Gerr11 (G = 6.667)	-2.0	-	2.0	%
	Gerr12 (G = 8.000)	-2.0	-	2.0	%
	Gerr13 (G = 10.000)	-2.0	-	2.0	%
	Gerr14 (G = 13.333)	-2.0	-	2.0	%
オフセット誤差	Voff	-8	-	8	mV

表 60.51 差動モードにおけるPGA特性

項目		シンボル	Min	Typ	Max	単位
PGAVSS入力電圧範囲		PGAVSS	-0.3	-	0.3	V
差動入力電圧範囲（G = 1.500）		AIN-PGAVSS	-0.5	-	0.5	V
入力電圧範囲（G = 2.333）			-0.4	-	0.4	V
入力電圧範囲（G = 4.000）			-0.2	-	0.2	V
入力電圧範囲（G = 5.667）			-0.15	-	0.15	V
ゲイン誤差	G = 1.500	Gerr	-2.5	-	2.5	%
	G = 2.333		-2	-	2	
	G = 4.000		-1	-	1	
	G = 5.667		-1	-	1	

60.14 フラッシュメモリ特性

60.14.1 コードフラッシュメモリ特性

表 60.52 コードフラッシュメモリ特性

条件：プログラム／イレース：FCLK = 4～60MHz、読み出し：FCLK≦60MHz

項目		シンボル	FCLK = 4MHz			20MHz≦FCLK≦60MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間 N_{PEC}≦100回	256バイト	t_{P256}	-	0.9	13.2	-	0.4	6	ms
	8KB	t_{P8K}	-	29	176	-	13	80	ms
	32KB	t_{P32K}	-	116	704	-	52	320	ms
プログラム時間 N_{PEC}＞100回	256バイト	t_{P256}	-	1.1	15.8	-	0.5	7.2	ms
	8KB	t_{P8K}	-	35	212	-	16	96	ms
	32KB	t_{P32K}	-	140	848	-	64	384	ms
イレース時間 N_{PEC}≦100回	8KB	t_{E8K}	-	71	216	-	39	120	ms
	32KB	t_{E32K}	-	254	864	-	141	480	ms
イレース時間 N_{PEC}＞100回	8KB	t_{E8K}	-	85	260	-	47	144	ms
	32KB	t_{E32K}	-	304	1,040	-	169	576	ms
再プログラム／イレースサイクル（注1）		N_{PEC}	1,000（注2）	-	-	1,000（注2）	-	-	回
プログラム中のサスペンド遅延時間		t_{SPD}	-	-	264	-	-	120	μs
サスペンド優先モードにおけるイレース中の1回目のサスペンド遅延時間		t_{SESD1}	-	-	216	-	-	120	μs
サスペンド優先モードにおけるイレース中の2回目のサスペンド遅延時間		t_{SESD2}	-	-	1.7	-	-	1.7	ms
イレース優先モードにおけるイレース中のサスペンド遅延時間		t_{SEED}	-	-	1.7	-	-	1.7	ms
強制終了コマンド		t_{FD}	-	-	32	-	-	20	μs
データ保持時間（注3）（注4）		t_{DRP}	20	-	-	20	-	-	年

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回（n = 1,000）の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、8KB のブロックについて、それぞれ異なる番地に 256 バイト書き込みを 32 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書きはしないでください）。

注 2. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1 ～最小値です。

注 3. 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

注 4. 信頼性試験から取得された結果です。

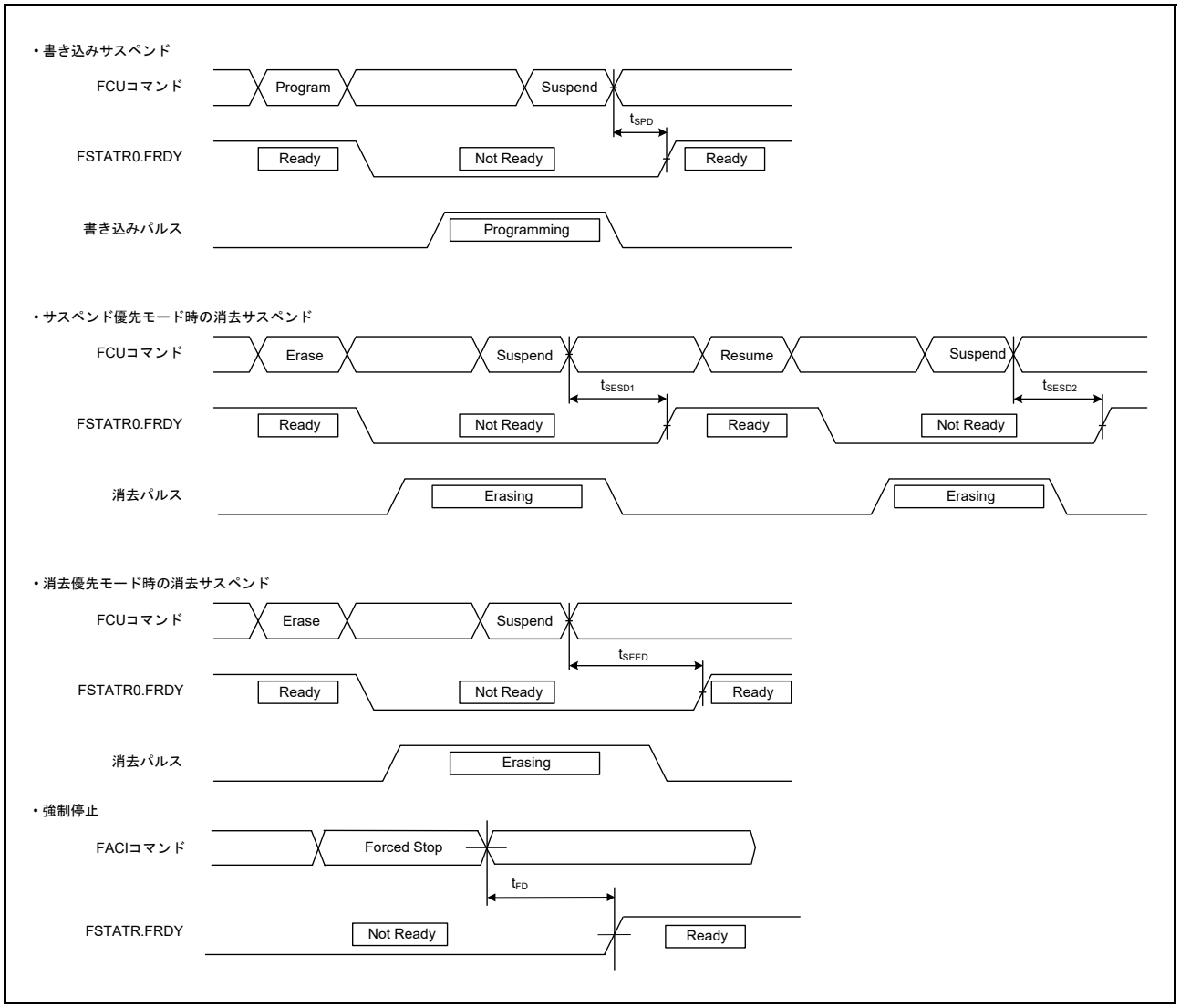


図 60.95　フラッシュメモリのプログラム／イレースのサスペンドタイミングと強制停止タイミング

60.14.2 データフラッシュメモリ特性

表 60.53 データフラッシュメモリ特性

条件：プログラム／イレース：FCLK = 4～60MHz、読み出し：FCLK≦60MHz

項目		シンボル	FCLK = 4MHz			20MHz≦FCLK≦60MHz			単位
			Min	Typ	Max	Min	Typ	Max	
プログラム時間	4バイト	t_{DP4}	-	0.36	3.8	-	0.16	1.7	ms
イレース時間	64バイト	t_{DE64}	-	3.1	18	-	1.7	10	ms
ブランクチェック時間	4バイト	t_{DBC4}	-	-	84	-	-	30	µs
再プログラム／イレースサイクル（注1）		N_{DPEC}	125,000（注2）	-	-	125,000（注2）	-	-	-
プログラム中のサスペンド遅延時間		t_{DSPD}	-	-	264	-	-	120	µs
サスペンド優先モードにおけるイレース中の1回目のサスペンド遅延時間		t_{DSESD1}	-	-	216	-	-	120	µs
サスペンド優先モードにおけるイレース中の2回目のサスペンド遅延時間		t_{DSESD2}	-	-	300	-	-	300	µs
イレース優先モードにおけるイレース中のサスペンド遅延時間		t_{DSEED}	-	-	300	-	-	300	µs
強制終了コマンド		t_{FD}	-	-	32	-	-	20	µs
データ保持時間（注3）（注4）		t_{DDRP}	20	-	-	20	-	-	年

注 1. 再プログラム／イレースサイクルは、ブロックごとの消去回数です。再プログラム／イレースサイクルが n 回（n = 125,000）の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。たとえば、64 バイトのブロックについて、それぞれ異なる番地に 4 バイト書き込みを 16 回に分けて行った後に、そのブロックを消去した場合も、再プログラム／イレースサイクル回数は 1 回と数えます。ただし、消去 1 回に対して、同一アドレスに複数回の書き込みを行うことはできません（上書きはしないでください）。

注 2. 再プログラム後の、すべての特性を保証する最小回数です。保証範囲は 1 ～最小値です。

注 3. 書き換えが min 値を含む仕様範囲内で行われたときの特性です。

注 4. 信頼性試験から取得された結果です。

60.15 バウンダリスキャン

表 60.54 バウンダリスキャン特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	100	-	-	ns	図 60.96
TCKクロックHighレベルパルス幅	t_{TCKH}	45	-	-	ns	
TCKクロックLowレベルパルス幅	t_{TCKL}	45	-	-	ns	
TCKクロック立ち上がり時間	t_{TCKr}	-	-	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	-	-	5	ns	
TMSセットアップ時間	t_{TMSS}	20	-	-	ns	図 60.97
TMSホールド時間	t_{TMSH}	20	-	-	ns	
TDIセットアップ時間	t_{TDIS}	20	-	-	ns	
TDIホールド時間	t_{TDIH}	20	-	-	ns	
TDOデータ遅延時間	t_{TDOD}	-	-	40	ns	
バウンダリスキャン回路起動時間（注1）	T_{BSSTUP}	t_{RESWP}	-	-	-	図 60.98

注 1. パワーオンリセットが無効になるまで、バウンダリスキャンは機能しません。

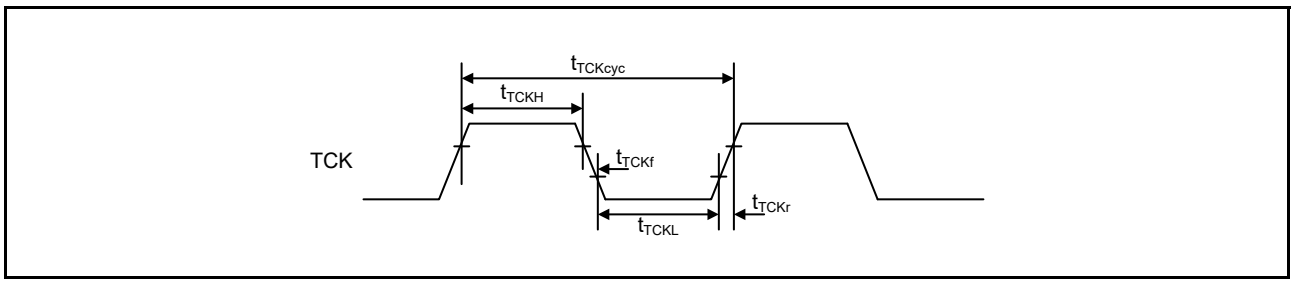


図 60.96 バウンダリスキャン TCK タイミング

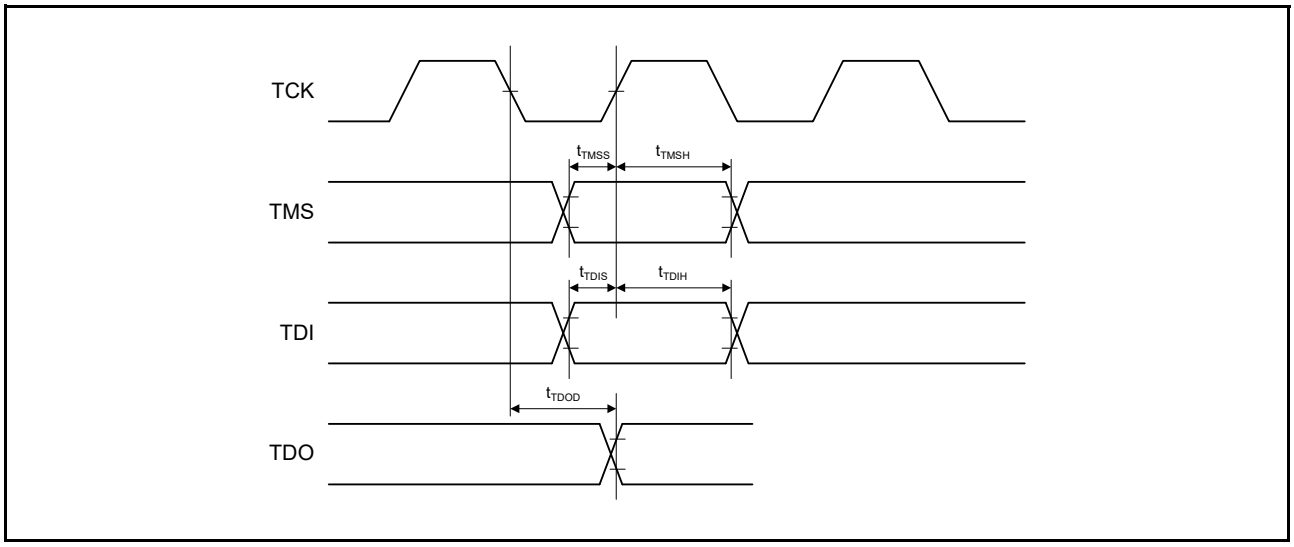


図 60.97 バウンダリスキャン入出力タイミング

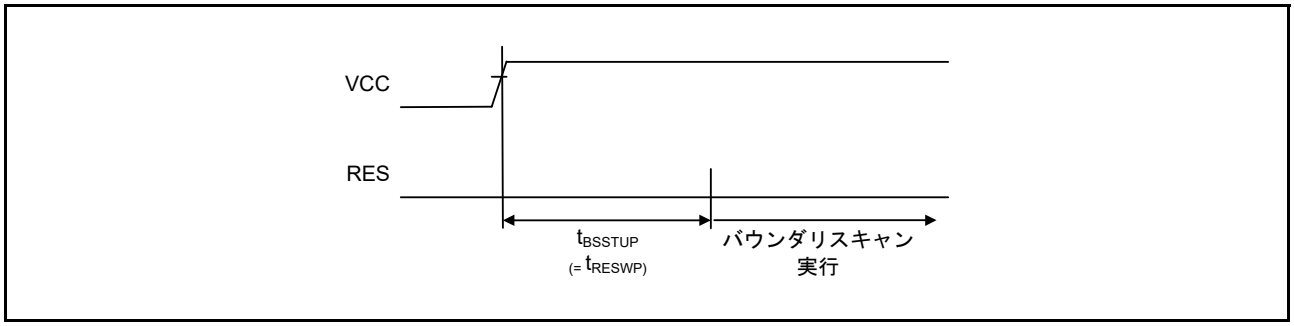


図 60.98 バウンダリスキャン回路起動タイミング

60.16 ジョイントテストアクショングループ（JTAG）

表 60.55 JTAG特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCKクロックサイクル時間	t_{TCKcyc}	40	-	-	ns	図 60.96
TCKクロックHigh レベルパルス幅	t_{TCKH}	15	-	-	ns	
TCKクロックLow レベルパルス幅	t_{TCKL}	15	-	-	ns	
TCKクロック立ち上がり時間	t_{TCKr}	-	-	5	ns	
TCKクロック立ち下がり時間	t_{TCKf}	-	-	5	ns	
TMSセットアップ時間	t_{TMSS}	8	-	-	ns	図 60.97
TMSホールド時間	t_{TMSH}	8	-	-	ns	
TDIセットアップ時間	t_{TDIS}	8	-	-	ns	
TDIホールド時間	t_{TDIH}	8	-	-	ns	
TDOデータ遅延時間	t_{TDOD}	-	-	28	ns	

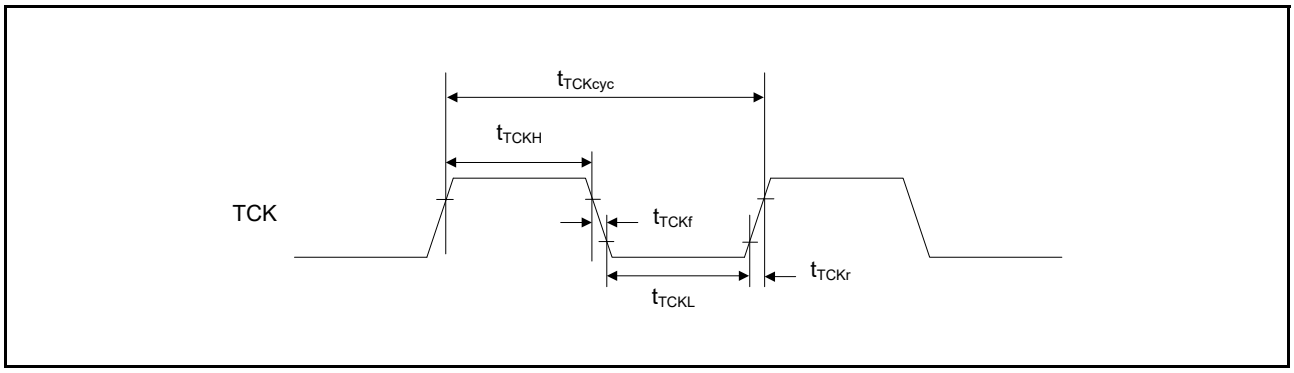


図 60.99 JTAG TCK タイミング

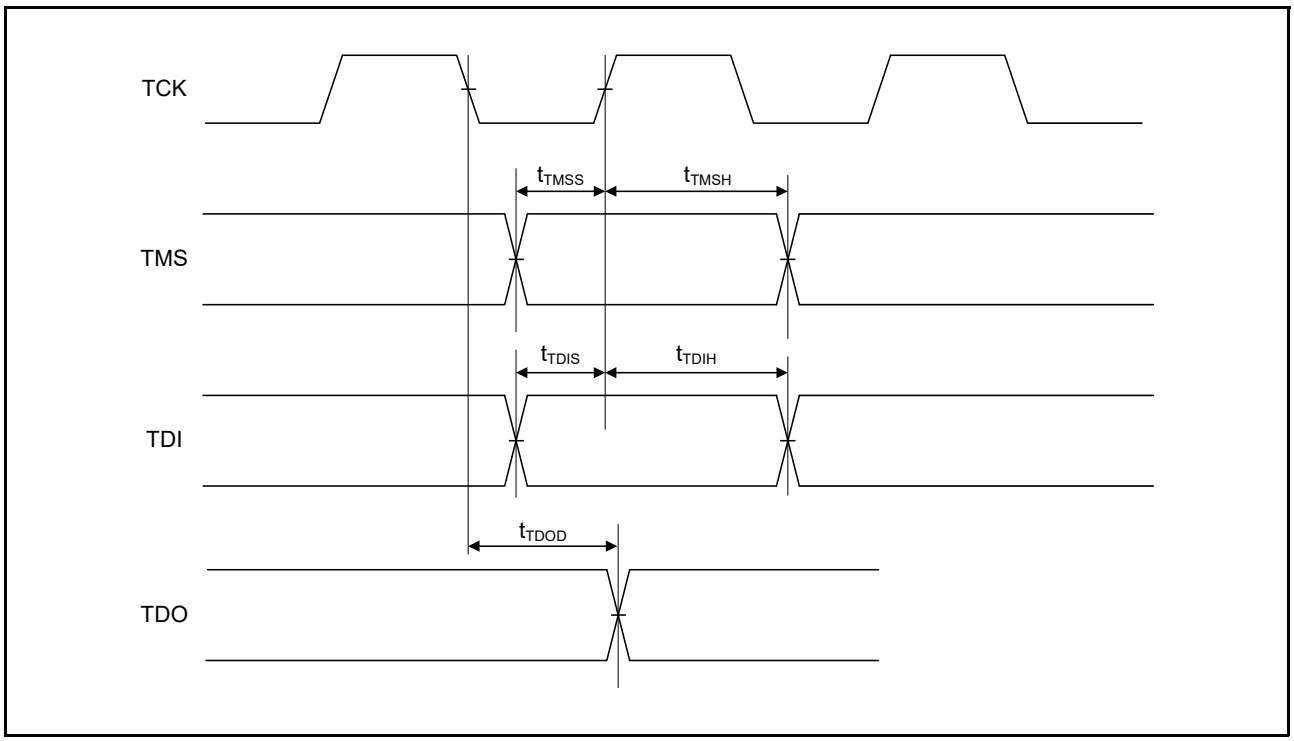


図 60.100 JTAG 入出力タイミング

60.17 シリアルワイヤデバッグ（SWD）

表 60.56 SWD特性

項目	シンボル	Min	Typ	Max	単位	測定条件
SWCLKクロックサイクル時間	$t_{SWCKcyc}$	40	-	-	ns	図 60.101
SWCLKクロックHighレベルパルス幅	t_{SWCKH}	15	-	-	ns	
SWCLKクロックLowレベルパルス幅	t_{SWCKL}	15	-	-	ns	
SWCLKクロック立ち上がり時間	t_{SWCKr}	-	-	5	ns	
SWCLKクロック立ち下がり時間	t_{SWCKf}	-	-	5	ns	
SWDIOセットアップ時間	t_{SWDS}	8	-	-	ns	図 60.102
SWDIOホールド時間	t_{SWDH}	8	-	-	ns	
SWDIOデータ遅延時間	t_{SWDD}	2	-	28	ns	

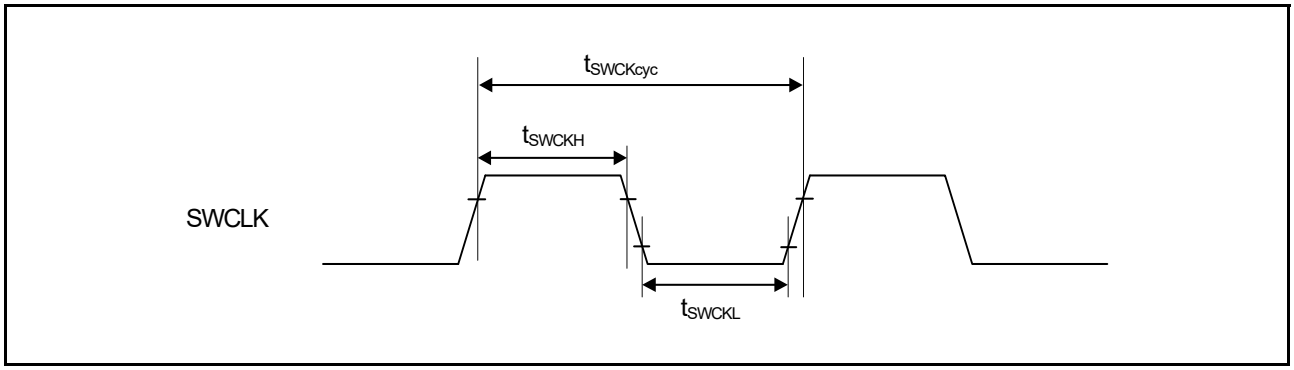


図 60.101 SWD SWCLK タイミング

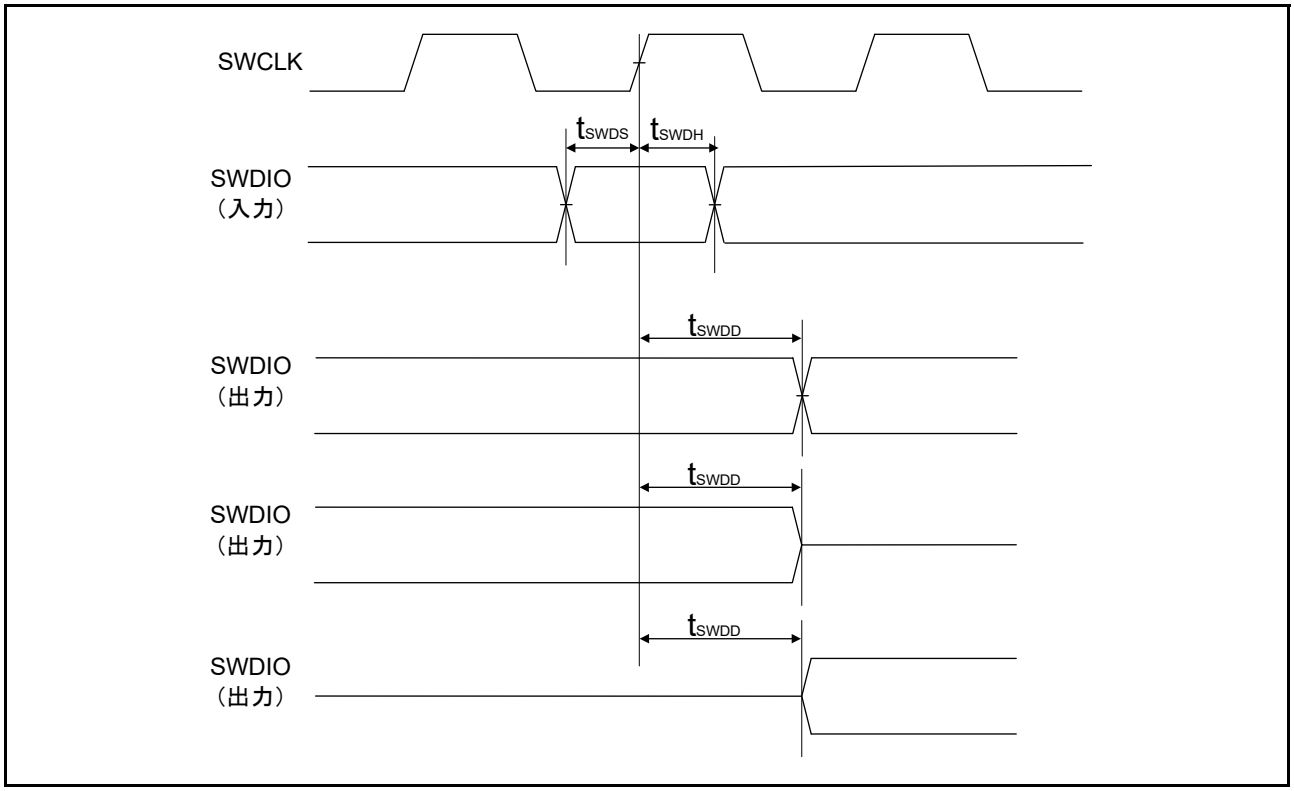


図 60.102 SWD 入出力タイミング

60.18 エンベデッドトレースマクロインタフェース（ETM）

表 60.57 ETM特性

項目	シンボル	Min	Typ	Max	単位	測定条件
TCLKクロックサイクル時間	$t_{TCLKcyc}$	16.6	-	-	ns	図 60.103
TCLKクロックHighレベルパルス幅	t_{TCLKH}	5.8	-	-	ns	
TCLKクロックLowレベルパルス幅	t_{TCLKL}	5.8	-	-	ns	
TCLKクロック立ち上がり時間	t_{TCLKr}	-	-	2.5	ns	
TCLKクロック立ち下がり時間	t_{TCLKf}	-	-	2.5	ns	
TDATA0-3出力セットアップ時間	t_{TRDS}	1.6	-	-	ns	図 60.104
TDATA0-3出力ホールド時間	t_{TRDH}	1.6	-	-	ns	

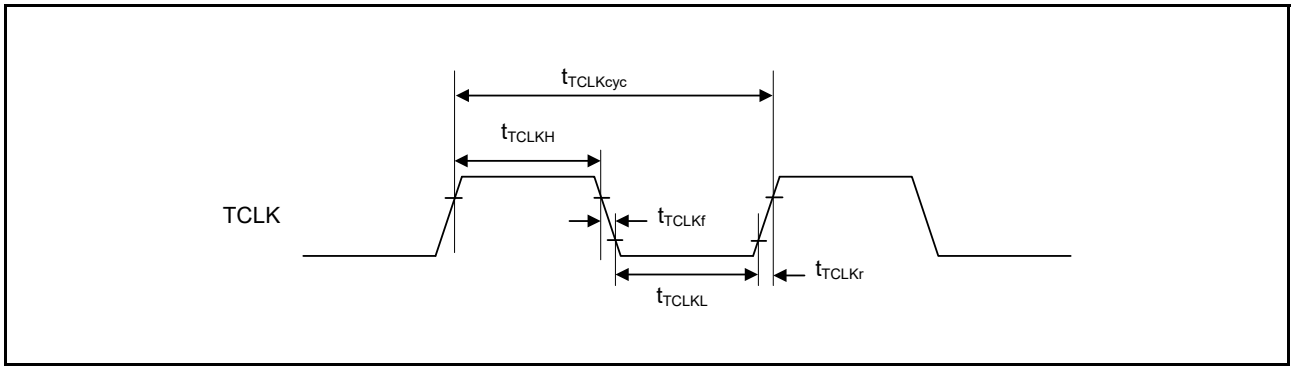


図 60.103 ETM TCLK タイミング

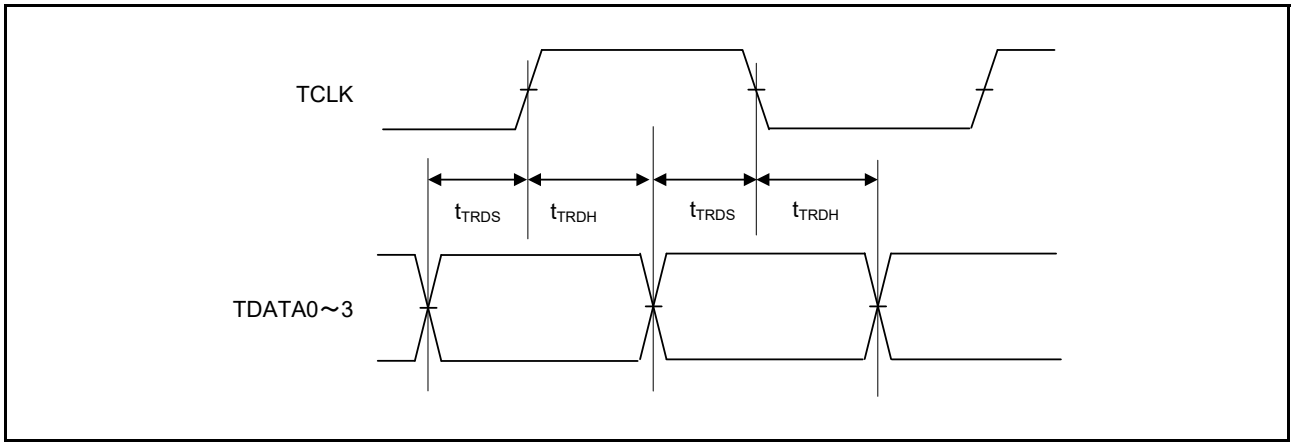


図 60.104 ETM 出力タイミング

付録 1. 各プロセスモードのポート状態

表 1.1 各プロセスモードのポート状態 (1/6)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1（注1）
P000/IRQ6-DS, P001/IRQ7-DS, P002/IRQ8-DS	Hi-Z	Hi-Z（注2）		Keep-O（注3）	Hi-Z	Keep
P003	Hi-Z	Hi-Z		Keep	Hi-Z	Keep
P004/IRQ9-DS, P005/IRQ10-DS, P006/IRQ11-DS	Hi-Z	Hi-Z（注2）		Keep-O（注3）	Hi-Z	Keep
P007	Hi-Z	Hi-Z		Keep	Hi-Z	Keep
P008/IRQ12-DS, P009/IRQ13-DS, P010/IRQ14-DS, P011/IRQ15-DS	Hi-Z	Keep-O（注2）		Keep-O（注3）	Hi-Z	Keep
P014/DA0	Hi-Z	[DA0出力（DAOE0 = 1）] D/A出力保持 [上記以外（DAOE0 = 0）] Keep-O		Keep	Hi-Z	Keep
P015/IRQ13/DA1	Hi-Z	[DA1出力（DAOE1 = 1）] D/A出力保持 [上記以外（DAOE1 = 0）] Keep-O（注2）		Keep	Hi-Z	Keep
P100/D00/DQ00/ KR00/RXD0_A/IRQ2	Hi-Z	[D00出力] Hi-Z [DQ00出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P101/D01/DQ01/ KR01/IRQ1	Hi-Z	[D01出力] Hi-Z [DQ01出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P102/D02/DQ02/ KR02	Hi-Z	[D02出力] Hi-Z [DQ02出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P103/D03/DQ03/ KR03	Hi-Z	[D03出力] Hi-Z [DQ03出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P104/D04/DQ04/ KR04/IRQ1	Hi-Z	[D04出力] Hi-Z [DQ04出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P105/D05/DQ05/ KR05/IRQ0	Hi-Z	[D05出力] Hi-Z [DQ05出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P106/D06/DQ06/ KR06	Hi-Z	[D06出力] Hi-Z [DQ06出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P107/D07/DQ07/ KR07	Hi-Z	[D07出力] Hi-Z [DQ07出力] Hi-Z [上記以外] Keep-O（注2）		Keep	Hi-Z	Keep
P108/TMS	プルアップ	Keep-O		Keep	プルアップ	Keep

表 1.1 各プロセスモードのポート状態 (2/6)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1 (注1)
P109/TDO/CLKOUT_B	TDO出力	[CLKOUT_B選択] CLKOUT_B出力 [上記以外] Keep-O		[TDO出力] TDO出力保持 [上記以外] Keep	[TDO出力] TDO出力保持 [上記以外] Hi-Z	[TDO出力] TDO出力保持 [上記以外] Keep
P110/IRQ3/TDI/VCOUT	プルアップ	[ACMPHS選択] VCOUT出力 [上記以外] Keep-O (注2)		Keep	プルアップ	Keep
P111/A05/IRQ4	Hi-Z	[A05出力] Hi-Z [上記以外] Keep-O (注2)	[A05出力] アドレス出力保持 [上記以外] Keep-O (注2)	Keep	Hi-Z	Keep
P112/A04	Hi-Z	[A04出力] Hi-Z [上記以外] Keep-O	[A04出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P113/A03	Hi-Z	[A03出力] Hi-Z [上記以外] Keep-O	[A03出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P114/A02	Hi-Z	[A02出力] Hi-Z [上記以外] Keep-O	[A02出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P115/A01	Hi-Z	[A01出力] Hi-Z [上記以外] Keep-O	[A01出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P200/NMI	Hi-Z	Hi-Z		Keep	Hi-Z	Keep
P201	プルアップ	Keep-O		Keep	プルアップ	Keep
P202/WR1/BC1/IRQ3-DS	Hi-Z	[WR1/BC1出力] Hi-Z [上記以外] Keep-O (注2)	[WR1/BC1出力] H [上記以外] Keep-O (注2)	Keep-O (注3)	Hi-Z	Keep
P203/A19/IRQ2-DS	Hi-Z	[A19出力] Hi-Z [上記以外] Keep-O (注2)	[A19出力] アドレス出力保持 [上記以外] Keep-O (注2)	Keep-O (注3)	Hi-Z	Keep
P204/A18/AGTIO1_A/SCL0_B/USB_OVRCURB_A-DS	Hi-Z	[A18出力] Hi-Z [上記以外] Keep-O (注2)	[A18出力] アドレス出力保持 [上記以外] Keep-O (注2)	Keep-O (注3)	Hi-Z	Keep
P205/A16/USB_OVRCURA_A-DS/CLKOUT_A/IRQ1-DS	Hi-Z	[A16出力] Hi-Z [CLKOUT_A選択] CLKOUT_A出力 [上記以外] Keep-O (注2)	[A16出力] アドレス出力保持 [CLKOUT_A選択] CLKOUT_A出力 [上記以外] Keep-O (注2)	Keep-O (注3)	Hi-Z	Keep
P206/WAIT/IRQ0-DS	Hi-Z	Keep-O (注2)		Keep-O (注3)	Hi-Z	Keep
P207/A17	Hi-Z	[A17出力] Hi-Z [上記以外] Keep-O	[A17出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P212/IRQ3/EXTAL, P213/IRQ2/XTAL	Hi-Z	Keep-O (注2)		Keep	Hi-Z	Keep
P300/TCK	プルアップ	Keep-O		Keep	プルアップ	Keep
P301/A06/IRQ6	Hi-Z	[A06出力] Hi-Z [上記以外] Keep-O (注2)	[A06出力] アドレス出力保持 [上記以外] Keep-O (注2)	Keep	Hi-Z	Keep
P302/A07/IRQ5	Hi-Z	[A07出力] Hi-Z [上記以外] Keep-O (注2)	[A07出力] アドレス出力保持 [上記以外] Keep-O (注2)	Keep	Hi-Z	Keep
P303/A08	Hi-Z	[A08出力] Hi-Z [上記以外] Keep-O	[A08出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P304/A09/IRQ9	Hi-Z	[A09出力] Hi-Z [上記以外] Keep-O (注2)	[A09出力] アドレス出力保持 [上記以外] Keep-O (注2)	Keep	Hi-Z	Keep

表 1.1 各プロセスモードのポート状態 (3/6)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1（注1）
P305/A10/IRQ8	Hi-Z	[A10出力] Hi-Z [上記以外] Keep-O（注2）	[A10出力] アドレス出力保持 [上記以外] Keep-O（注2）	Keep	Hi-Z	Keep
P306/A11	Hi-Z	[A11出力] Hi-Z [上記以外] Keep-O	[A11出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P307/A12	Hi-Z	[A12出力] Hi-Z [上記以外] Keep-O	[A12出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P308/A13	Hi-Z	[A13出力] Hi-Z [上記以外] Keep-O	[A13出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P309/A14	Hi-Z	[A14出力] Hi-Z [上記以外] Keep-O	[A14出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P310/A15	Hi-Z	[A15出力] Hi-Z [上記以外] Keep-O	[A15出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P311/CS2/RAS	Hi-Z	[CS2出力] Hi-Z [RAS出力] Hi-Z [上記以外] Keep-O	[CS2出力] H [RAS出力] SDSELF.SFEN = 0: H SDSELF.SFEN = 1: L [上記以外] Keep-O	Keep	Hi-Z	Keep
P312/CS3/CAS	Hi-Z	[CS3出力] Hi-Z [CAS出力] Hi-Z [上記以外] Keep-O	[CS3出力] H [CAS出力] SDSELF.SFEN = 0: H SDSELF.SFEN = 1: L [上記以外] Keep-O	Keep	Hi-Z	Keep
P313/A20	Hi-Z	[A20出力] Hi-Z [上記以外] Keep-O	[A20出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P314/A21	Hi-Z	[A21出力] Hi-Z [上記以外] Keep-O	[A21出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P315/A22	Hi-Z	[A22出力] Hi-Z [上記以外] Keep-O	[A22出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P400/SCL0_A/ IRQ0	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
P401/SDA0_A/ IRQ5-DS, P402/IRQ4-DS/ RTCIC0/ AGTIO0_B/ AGTIO1_B, P403/RTCIC1/ AGTIO0_C/ AGTIO1_C, P404/RTCIC2	Hi-Z	Keep-O（注2）		Keep-O（注3）	Hi-Z	Keep
P405, P406	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P407/SDA0_B/ USB_VBUS/RTCOUT	Hi-Z	［RTCOUT選択］ RTCOUT出力 ［上記以外］ Keep-O（注2）		Keep-O（注3）	Hi-Z	Keep
P408/IRQ7, P409/IRQ6, P410/RXD0_B/IRQ5, P411/IRQ4	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
P412～P415	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P500	Hi-Z	Keep-O		Keep	Hi-Z	Keep

表 1.1 各プロセスモードのポート状態 (4/6)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1（注1）
P501/USB_OVRCURA_B/IRQ11, P502/USB_OVRCURB_B/IRQ12	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
P503, P504	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P505/IRQ14, P506/IRQ15	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
P507～P510	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P511/IRQ15, P512/IRQ14	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
P513～P515	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P600/RD	Hi-Z	[RD出力] Hi-Z [上記以外] Keep-O	[RD出力] H [上記以外] Keep-O	Keep	Hi-Z	Keep
P601/WR0/WR/DQM0	Hi-Z	[WR0/WR出力] Hi-Z [DQM0出力] Hi-Z [上記以外] Keep-O	[WR0/WR出力] H [DQM0出力] DQM0出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P602/EBCLK/SDCLK	Hi-Z	[EBCLK出力] H [SDCLK出力] H [上記以外] Keep-O		Keep	Hi-Z	Keep
P603/D13/DQ13	Hi-Z	[D13出力] Hi-Z [DQ13出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P604/D12/DQ12	Hi-Z	[D12出力] Hi-Z [DQ12出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P605/D11/DQ11	Hi-Z	[D11出力] Hi-Z [DQ11出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P606, P607	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P608/A00/BC0/DQM1	Hi-Z	[A00出力] Hi-Z [BC0出力] Hi-Z [DQM1出力] Hi-Z [上記以外] Keep-O	[A00出力] アドレス出力保持 [BC0出力] H [DQM1出力] DQM1出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P609/CS1/CKE	Hi-Z	[CS1出力] Hi-Z [CKE出力] Hi-Z [上記以外] Keep-O	[CS1出力] H [CKE出力] SDSELF.SFEN = 0: H SDSELF.SFEN = 1: L [上記以外] Keep-O	Keep	Hi-Z	Keep
P610/CS0/WE	Hi-Z	[CS0出力] Hi-Z [WE出力] Hi-Z [上記以外] Keep-O	[CS0出力] H [WE出力] H [上記以外] Keep-O	Keep	Hi-Z	Keep
P611/SDCS	Hi-Z	[SDCS出力] Hi-Z [上記以外] Keep-O	[SDCS出力] SDSELF.SFEN = 0: H SDSELF.SFEN = 1: L [上記以外] Keep-O	Keep	Hi-Z	Keep

表 1.1 各プロセスモードのポート状態 (5/6)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1（注1）
P612/D08/DQ08	Hi-Z	[D08出力] Hi-Z [DQ08出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P613/D09/DQ09	Hi-Z	[D09出力] Hi-Z [DQ09出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P614/D10/DQ10	Hi-Z	[D10出力] Hi-Z [DQ10出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P615	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P700～P705	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P706/ USBHS_OVRCURB/ IRQ7, P707/ USBHS_OVRCURA/ IRQ8	Hi-Z	Keep-O（注2）		Keep-O（注3）	Hi-Z	Keep
P708/IRQ11, P709/IRQ10	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
P710～P713	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P800/D14/DQ14	Hi-Z	[D14出力] Hi-Z [DQ14出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P801/D15/DQ15	Hi-Z	[D15出力] Hi-Z [DQ15出力] Hi-Z [上記以外] Keep-O		Keep	Hi-Z	Keep
P802～P813	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P900/A23	Hi-Z	[A23出力] Hi-Z [上記以外] Keep-O	[A23出力] アドレス出力保持 [上記以外] Keep-O	Keep	Hi-Z	Keep
P901～P904	Hi-Z	Keep-O		Keep	Hi-Z	Keep
P905/CS4	Hi-Z	[CS4出力] Hi-Z [上記以外] Keep-O	[CS4出力] H [上記以外] Keep-O	Keep	Hi-Z	Keep
P906/CS5	Hi-Z	[CS5出力] Hi-Z [上記以外] Keep-O	[CS5出力] H [上記以外] Keep-O	Keep	Hi-Z	Keep
P907/CS6	Hi-Z	[CS6出力] Hi-Z [上記以外] Keep-O	[CS6出力] H [上記以外] Keep-O	Keep	Hi-Z	Keep
P908/CS7	Hi-Z	[CS7出力] Hi-Z [上記以外] Keep-O	[CS7出力] H [上記以外] Keep-O	Keep	Hi-Z	Keep
P909～P915	Hi-Z	Keep-O		Keep	Hi-Z	Keep
PA00, PA01	Hi-Z	Keep-O		Keep	Hi-Z	Keep
PA02/IRQ10, PA03/IRQ9	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
PA04～PA15	Hi-Z	Keep-O		Keep	Hi-Z	Keep
PB00	Hi-Z	Keep-O		Keep	Hi-Z	Keep
PB01/USBHS_VBUS	Hi-Z	Keep-O（注2）		Keep-O（注3）	Hi-Z	Keep
PB02, PB03	Hi-Z	Keep-O		Keep	Hi-Z	Keep

表 1.1 各プロセスモードのポート状態 (6/6)

ポート名	リセット	ソフトウェアスタンバイモード		ディープソフトウェアスタンバイモード	ディープソフトウェアスタンバイモード解除後（スタートアップモードに復帰）	
		OPE = 0	OPE = 1		IOKEEP = 0	IOKEEP = 1（注1）
PB04/IRQ12, PB05/IRQ13	Hi-Z	Keep-O（注2）		Keep	Hi-Z	Keep
PB06, PB07	Hi-Z	Keep-O		Keep	Hi-Z	Keep
USB_DP	Hi-Z	Keep-O（注4）		Hi-Z（注3）	Hi-Z	
USB_DM	Hi-Z	Keep-O（注4）		Hi-Z（注3）	Hi-Z	
USBHS_DP	Hi-Z	Keep-O（注4）		Hi-Z（注5）	Hi-Z	
USBHS_DM	Hi-Z	Keep-O（注4）		Hi-Z（注5）	Hi-Z	

H : High レベル
L : Low レベル
Hi-Z : ハイインピーダンス
Keep-O : 出力端子は前の値を保持します。入力端子はハイインピーダンスになります。
Keep : ソフトウェアスタンバイモード期間中、端子状態は保持されます。

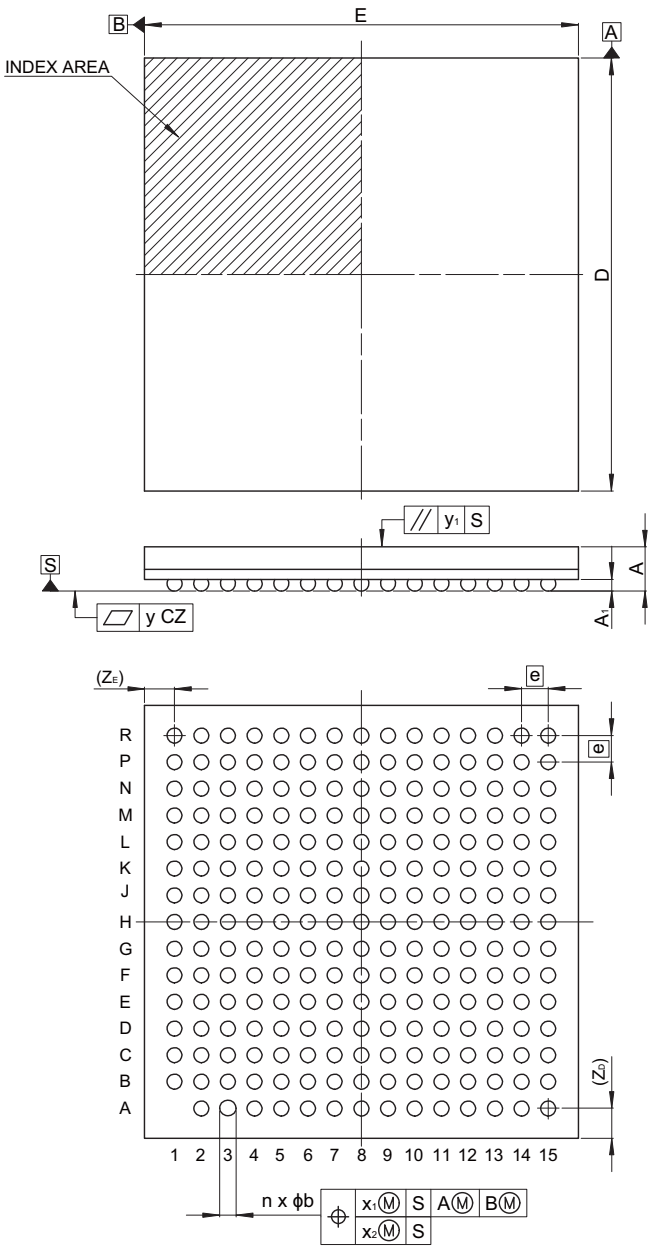
注 1. DPSBYCR.IOKEEP ビットが 0 になるまで、I/O ポートの状態が保持されます。
注 2. 端子が外部割り込み端子として使用され、ソフトウェアスタンバイのキャンセル要因に指定されている場合、入力が許可されます。
注 3. 端子がディープソフトウェアスタンバイのキャンセル要因に指定された場合、入力が許可されます。
注 4. 入力端子として使用されている端子への入力は許可されています。
注 5. ホスト動作では、DPUSR0R.DRPD0 ビットを 1 にして DP/DM プルダウン抵抗を許可します。
デバイス動作では、DPUSR0R.RPUE0 ビットを 1 にして DP プルアップ抵抗を許可します。

付録 2.外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスのウェブサイトの「パッケージ」を参照してください。

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFBGA224-13x13-0.80	PLBG0224GA-A	224FHE	0.4

Unit: mm

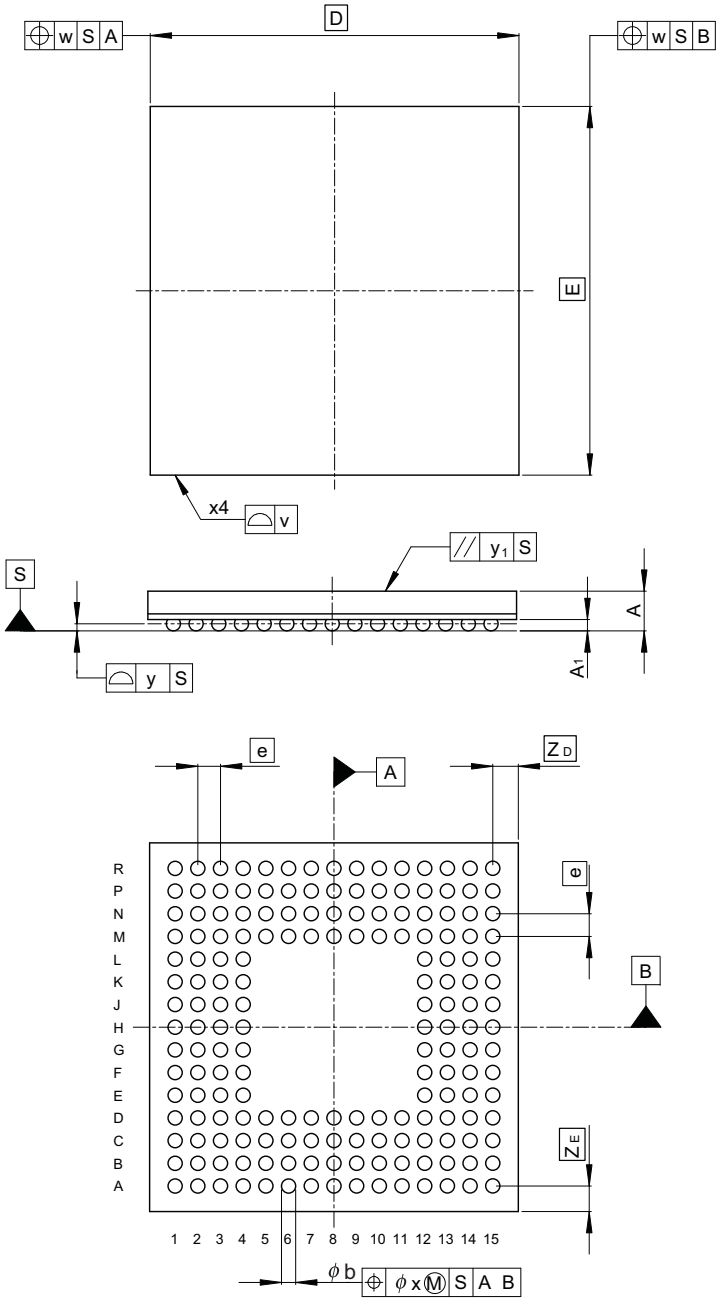


Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	12.9	13.0	13.1
E	12.9	13.0	13.1
A	—	—	1.40
A_1	0.30	0.35	0.40
e	—	0.80	—
b	0.40	0.45	0.50
x_1	—	—	0.15
x_2	—	—	0.08
y	—	—	0.10
y_1	—	—	0.20
n	—	224	—
Z_D	—	0.90	—
Z_E	—	0.90	—

© 2016 Renesas Electronics Corporation. All rights reserved.

図 2.1 224-pin BGA

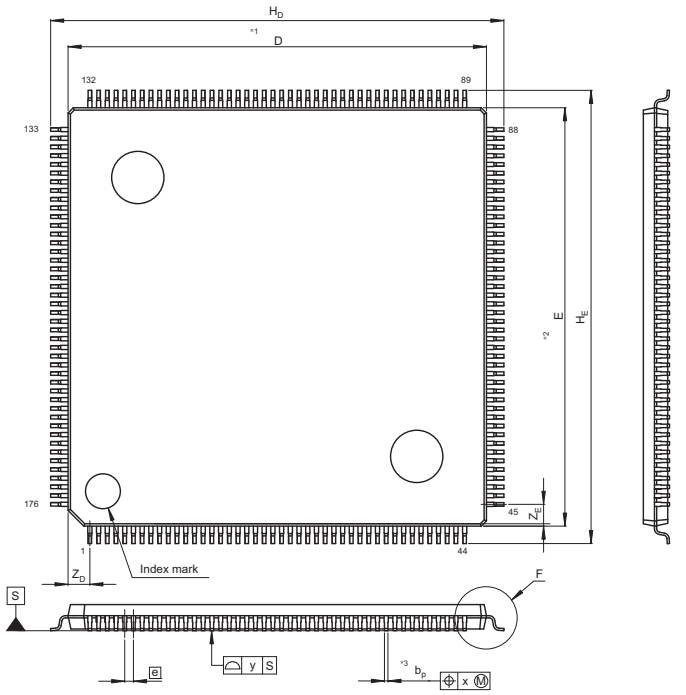
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.)
P-LFBGA176-13x13-0.80	PLBG0176GE-A	176FHS-A	0.45 g

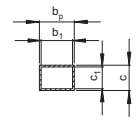


Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	13.0	—
E	—	13.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.40
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.90	—
Z_E	—	0.90	—

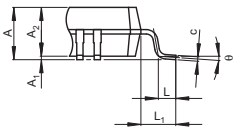
図 2.2 176-pin BGA

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP176-24x24-0.50	PLQP0176KB-A	176P6Q-A/FP-176E/FP-176EV	1.8g





Terminal cross section



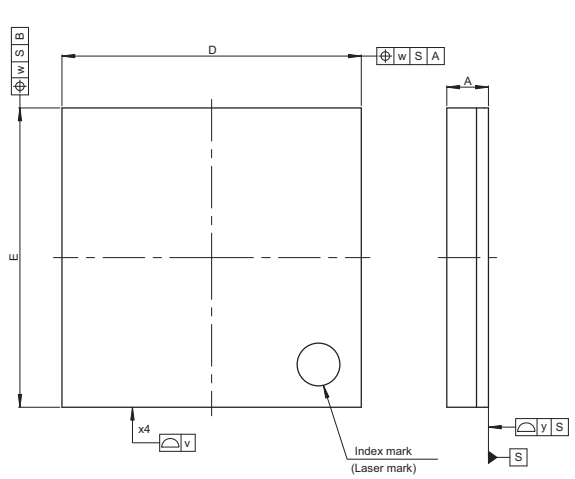
Detail F

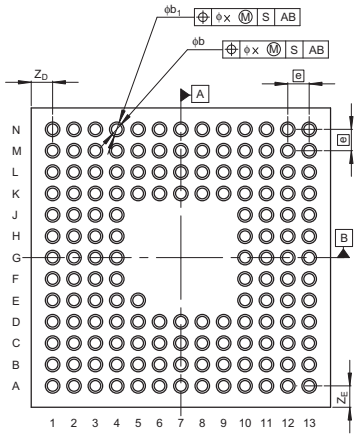
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	23.9	24.0	24.1
E	23.9	24.0	24.1
A_2	—	1.4	—
H_D	25.8	26.0	26.2
H_E	25.8	26.0	26.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 2.3 176-pin LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-TFLGA145-7x7-0.50	PTLG0145KA-A	145F0G	0.1g



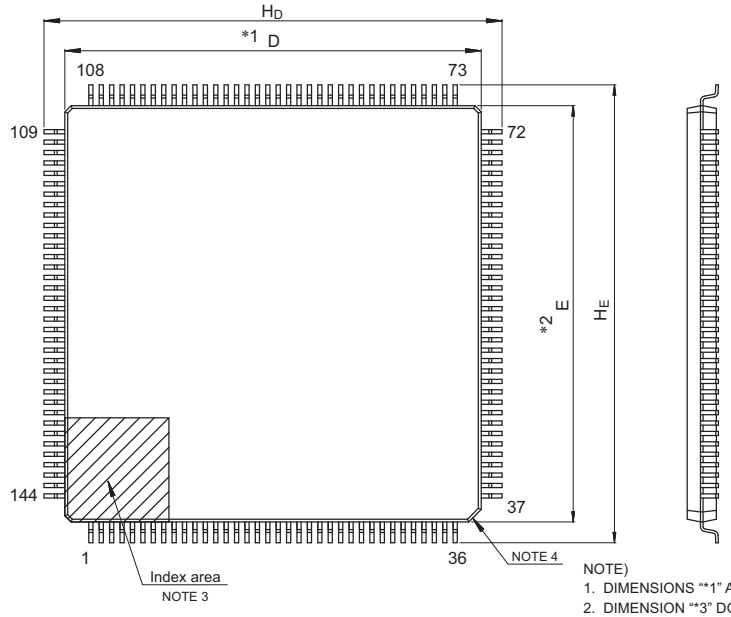


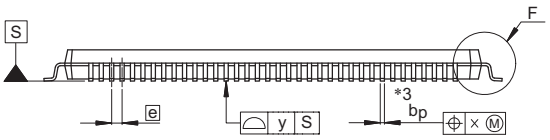
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	7.0	—
E	—	7.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.05
e	—	0.5	—
b	0.21	0.25	0.29
b_1	0.29	0.34	0.39
x	—	—	0.08
y	—	—	0.08
Z_D	—	0.5	—
Z_E	—	0.5	—

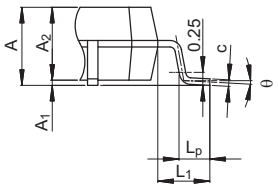
図 2.4 145-pin LGA

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP144-20x20-0.50	PLQP0144KA-B	—	1.2

Unit: mm







Detail F

NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

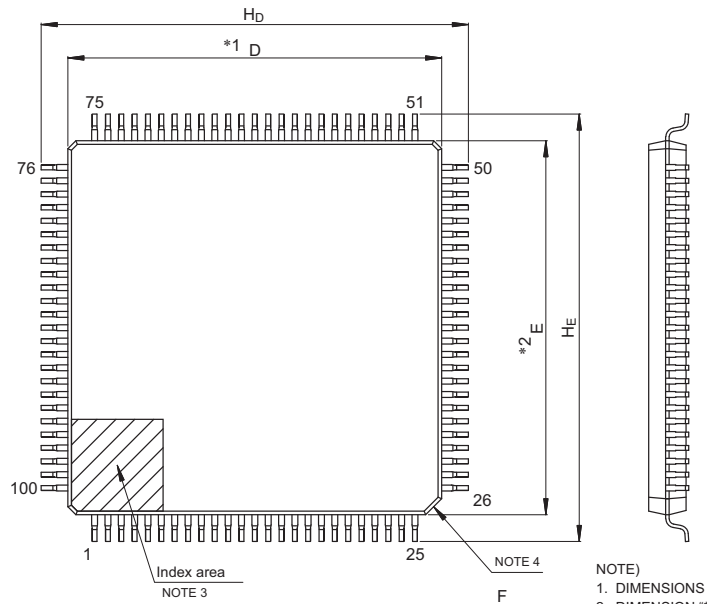
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	19.9	20.0	20.1
E	19.9	20.0	20.1
A_2	—	1.4	—
H_D	21.8	22.0	22.2
H_E	21.8	22.0	22.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.10
L_p	0.45	0.6	0.75
L_1	—	1.0	—

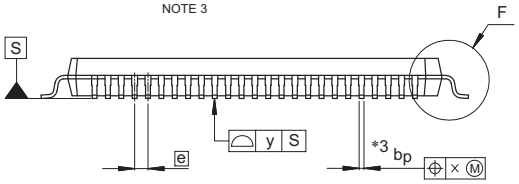
© 2016 Renesas Electronics Corporation. All rights reserved.

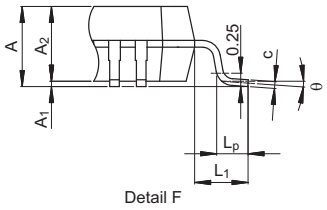
図 2.5 144-pin LQFP

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6

Unit: mm







NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A_2	—	1.4	—
H_D	15.8	16.0	16.2
H_E	15.8	16.0	16.2
A	—	—	1.7
A_1	0.05	—	0.15
b_p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L_p	0.45	0.6	0.75
L_1	—	1.0	—

© 2015 Renesas Electronics Corporation. All rights reserved.

図 2.6 100-pin LQFP

付録 3. I/O レジスタ

この付録では、I/O レジスタアドレス、アクセスサイクル、およびリセット値について機能ごとに説明します。

3.1 ペリフェラルベースアドレス

この節では、このマニュアルでとりあげた周辺機能のベースアドレスについて説明します。

表 3.1 に、各ペリフェラル名、内容、およびそのベースアドレスを示します。

表 3.1 ペリフェラルベースアドレス (1/3)

名称	機能	ベースアドレス
MMPU	バスマスタMPU	0x40000000
SMPU	バススレーブMPU	0x40000C00
SPMON	CPUスタックポインタモニタ	0x40000D00
MMF	メモリミラー機能	0x40001000
SRAM	SRAMコントロール	0x40002000
BUS	バスコントロール	0x40003000
DMAC0	ダイレクトメモリアクセスコントローラ0	0x40005000
DMAC1	ダイレクトメモリアクセスコントローラ1	0x40005040
DMAC2	ダイレクトメモリアクセスコントローラ2	0x40005080
DMAC3	ダイレクトメモリアクセスコントローラ3	0x400050C0
DMAC4	ダイレクトメモリアクセスコントローラ4	0x40005100
DMAC5	ダイレクトメモリアクセスコントローラ5	0x40005140
DMAC6	ダイレクトメモリアクセスコントローラ6	0x40005180
DMAC7	ダイレクトメモリアクセスコントローラ7	0x400051C0
DMA	DMACモジュール起動	0x40005200
DTC	データトランスファコントローラ	0x40005400
ICU	割り込みコントローラ	0x40006000
DBG	デバッグ機能	0x4001B000
FCACHE	フラッシュキャッシュ	0x4001C000
SYSTEM	システムコントロール	0x4001E000
PORT0	ポート0コントロールレジスタ	0x40040000
PORT1	ポート1コントロールレジスタ	0x40040020
PORT2	ポート2コントロールレジスタ	0x40040040
PORT3	ポート3コントロールレジスタ	0x40040060
PORT4	ポート4コントロールレジスタ	0x40040080
PORT5	ポート5コントロールレジスタ	0x400400A0
PORT6	ポート6コントロールレジスタ	0x400400C0
PORT7	ポート7コントロールレジスタ	0x400400E0
PORT8	ポート8コントロールレジスタ	0x40040100
PORT9	ポート9コントロールレジスタ	0x40040120
PORTA	ポートAコントロールレジスタ	0x40040140
PORTB	ポートBコントロールレジスタ	0x40040160
PFS	Pmn端子機能コントロールレジスタ	0x40040800
PMISC	その他のポートコントロールレジスタ	0x40040D00
ELC	イベントリンクコントローラ	0x40041000
POEG	GPT用ポートアウトプットイネーブル	0x40042000
RTC	リアルタイムクロック	0x40044000

表 3.1 ペリフェラルベースアドレス (2/3)

名称	機能	ベースアドレス
WDT	ウォッチドッグタイマ	0x40044200
IWDT	独立ウォッチドッグタイマ	0x40044400
CAC	クロック周波数精度測定回路	0x40044600
MSTP	モジュールストップコントロールB、C、D	0x40047000
SRCRAM	サンプリングレートコンバータRAM	0x40048000
SRC	サンプリングレートコンバータ	0x4004DFF0
SSI0	シリアルサウンドインタフェース0	0x4004E000
SSI1	シリアルサウンドインタフェース1	0x4004E100
CAN0	CAN0モジュール	0x40050000
CAN1	CAN1モジュール	0x40051000
IIC0	Inter-Integrated Circuit 0	0x40053000
IIC1	Inter-Integrated Circuit 1	0x40053100
IIC2	Inter-Integrated Circuit 2	0x40053200
DOC	データ演算回路	0x40054100
ADC120	12ビットA/Dコンバータ0	0x4005C000
ADC121	12ビットA/Dコンバータ1	0x4005C200
TSN	温度センサ	0x4005D000
DAC12	12ビットD/Aコンバータ	0x4005E000
AMI	ADC-DACインタフェース	0x4005F000
USBHS	USB2.0ハイスピードモジュール	0x40060000
SDHI0	SDホストインタフェース0	0x40062000
SDHI1	SDホストインタフェース1	0x40062400
EDMAC0	イーサネットコントローラ用DMAコントローラチャネル0	0x40064000
ETHERC0	イーサネットコントローラチャネル0	0x40064100
EDMAC1	イーサネットコントローラ用DMAコントローラチャネル1	0x40064200
ETHERC1	イーサネットコントローラチャネル1	0x40064300
PTPEDMAC	EPTPC用DMAコントローラ	0x40064400
EPTPC_CFG	EPTPC Configuration	0x40064500
EPTPC	イーサネットコントローラ用PTPモジュール	0x40065000
EPTPC0	イーサネットコントローラ用PTPモジュール0	0x40065800
EPTPC1	イーサネットコントローラ用PTPモジュール1	0x40065C00
SCI0	シリアルコミュニケーションインタフェース0	0x40070000
SCI1	シリアルコミュニケーションインタフェース1	0x40070020
SCI2	シリアルコミュニケーションインタフェース2	0x40070040
SCI3	シリアルコミュニケーションインタフェース3	0x40070060
SCI4	シリアルコミュニケーションインタフェース4	0x40070080
SCI5	シリアルコミュニケーションインタフェース5	0x400700A0
SCI6	シリアルコミュニケーションインタフェース6	0x400700C0
SCI7	シリアルコミュニケーションインタフェース7	0x400700E0
SCI8	シリアルコミュニケーションインタフェース8	0x40070100
SCI9	シリアルコミュニケーションインタフェース9	0x40070120
IRDA	赤外線通信協会	0x40070F00
SPI0	シリアルペリフェラルインタフェース0	0x40072000
SPI1	シリアルペリフェラルインタフェース1	0x40072100
CRC	CRC演算器	0x40074000

表 3.1 ペリフェラルベースアドレス (3/3)

名称	機能	ベースアドレス
GPT32EH0	汎用PWMタイマ0（32ビット拡張高分解能）	0x40078000
GPT32EH1	汎用PWMタイマ1（32ビット拡張高分解能）	0x40078100
GPT32EH2	汎用PWMタイマ2（32ビット拡張高分解能）	0x40078200
GPT32EH3	汎用PWMタイマ3（32ビット拡張）	0x40078300
GPT32E4	汎用PWMタイマ4（32ビット拡張）	0x40078400
GPT32E5	汎用PWMタイマ5（32ビット拡張）	0x40078500
GPT32E6	汎用PWMタイマ6（32ビット拡張）	0x40078600
GPT32E7	汎用PWMタイマ7（32ビット拡張）	0x40078700
GPT328	汎用PWMタイマ8（32ビット）	0x40078800
GPT329	汎用PWMタイマ9（32ビット）	0x40078900
GPT3210	汎用PWMタイマ10（32ビット）	0x40078A00
GPT3211	汎用PWMタイマ11（32ビット）	0x40078B00
GPT3212	汎用PWMタイマ12（32ビット）	0x40078C00
GPT3213	汎用PWMタイマ13（32ビット）	0x40078D00
GPT_OPS	出力相切り替えコントローラ	0x40078FF0
GPT_ODC	PWM遅延生成回路	0x4007B000
KINT	キー割り込み機能	0x40080000
CTSU	静電容量式タッチセンシングユニット	0x40081000
AGT0	非同期汎用タイマ0	0x40084000
AGT1	非同期汎用タイマ1	0x40084100
ACMPHS0	高速アナログコンパレータ0	0x40085000
ACMPHS1	高速アナログコンパレータ1	0x40085100
ACMPHS2	高速アナログコンパレータ2	0x40085200
ACMPHS3	高速アナログコンパレータ3	0x40085300
ACMPHS4	高速アナログコンパレータ4	0x40085400
ACMPHS5	高速アナログコンパレータ5	0x40085500
USBFS	USB2.0フルスピードモジュール	0x40090000
PDC	パラレルデータキャプチャユニット	0x40094000
GLCDC	グラフィックLCDコントローラ	0x400E0000
DRW	2D描画エンジン	0x400E4000
JPEG	JPEGコーデック	0x400E6000
QSPI	クワッドシリアルペリフェラルインタフェース	0x64000000

名称 = ペリフェラル名
説明 = 内容
ベースアドレス = そのペリフェラルによって使用または予約されている最下位アドレス

3.2 アクセスサイクル

この節では、このマニュアルでとりあげた I/O レジスタに関するアクセスサイクル情報を示します。以下の情報は、表 3.2 と表 3.3 に適用されます。

- レジスタは対応するモジュールごとにグループ化されています
- アクセスサイクル数は指定の基準クロックに基づいたサイクル数となります
- 内部 I/O レジスタ領域では、レジスタに割り付けられていないリザーブアドレスは、アクセス禁止であり、アクセスしたときの動作については、保証できません
- I/O レジスタのアクセスサイクル数は、内部周辺バスのバスサイクル（「15. バス」を参照）、分周クロック同期化サイクル、および各モジュール（たとえば、USBHS、SDHI、EDMAC0）のウェイトサイクルによって異なります。分周クロック同期化サイクルは、ICLK と PCLK 間の周波数比によって異なります
- ICLK と PCLK の周波数が等しい場合は、分周クロック同期化サイクル数は定数となります
- ICLK の周波数が PCLK の周波数よりも大きい場合、PCLKD1 クロック分が分周クロック同期化サイクル数に追加されます

注 . これは、CPU からのアクセスが外部メモリへの命令フェッチや他のバスマスタ（DMAC または DTC）からのバスアクセスと衝突しない場合のサイクル数に適用します。

表 3.2 に非 GPT モジュールのレジスタアクセスサイクルを示します。

表 3.2 非GPTモジュールのアクセスサイクル (1/2)

アドレス		ペリフェラル	アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK＞PCLK（注1）			
ここから	ここまで		読み出し	書き込み	読み出し	書き込み		
4000 0000h	4001 CFFFh	MMPU, SMPU, SPMON, MMF, SRAM, BUS, DMACn, DMA, DTC, ICU, DBG, FCACHE	6				ICLK	メモリプロテクションユニット、メモリミラー機能、SRAM、バス、DMAコントローラ、データトランスファコントローラ、割り込みコントローラ、CPU、フラッシュメモリ
4001 E000h	4001 E3FFh	SYSTEM	7				ICLK	低消費電力モード、リセット、低電圧検出、クロック発生回路、レジスタライトプロテクション機能
4001 E400h	4001 E6FFh	SYSTEM	11		7～9		PCLKB	低消費電力モード、リセット、低電圧検出、バッテリバックアップ機能
4004 0000h	4004 7FFFh	PORTn, PFS, PMISC, ELC, POEG, RTC, WDT, IWDT, CAC, MSTP	5		2～4		PCLKB	I/Oポート、イベントリンクコントローラ、GPT用ポートアウトプットイネーブル、リアルタイムクロック、ウォッチドッグタイマ、独立ウォッチドッグタイマ、クロック周波数精度測定回路、モジュールストップコントロール
4004 8000h	4004 DFEFh	SRCRAM	6	5	3～5	2～4	PCLKB	サンプリングレートコンバータ
4004 DFF0h	4004 DFF7h	SRC	7		4～6		PCLKB	
4004 DFF8h	4004 DFFFh	SRC	5		2～4		PCLKB	
4004 E000h	4005 FFFFh	SSIn, CANn, IICn, DOC, ADC12n, TSN, DAC12, AMI	5		2～4		PCLKB	シリアルサウンドインタフェース、コントローラエリアネットワークモジュール、I²Cバスインタフェース、データ演算回路、12ビットA/Dコンバータ、温度センサ、12ビットD/Aコンバータ
4006 0000h	4006 0FFFh	USBHS	(5 + BWAIT)（注2）		(2 + BWAIT)～(4 + BWAIT)（注2）		PCLKA	USB2.0ハイスピードモジュール
4006 2000h	4006 2FFFh	SDHIn	5		2～4		PCLKA	SD/MMCホストインタフェース

表 3.2 非GPTモジュールのアクセスサイクル (2/2)

アドレス		ペリフェラル	アクセスサイクル数				サイクルの単位	関連機能
			ICLK = PCLK		ICLK＞PCLK（注1）			
ここから	ここまで		読み出し	書き込み	読み出し	書き込み		
4006 4000h	4006 40FFh	EDMAC0	6		3～5		PCLKA	イーサネットDMAコントローラ
4006 4100h	4006 41FFh	ETHERC0	15		12～14		PCLKA	イーサネットMACコントローラ
4006 4200h	4006 42FFh	EDMAC1	6		3～5		PCLKA	イーサネットDMAコントローラ
4006 4300h	4006 43FFh	ETHERC1	15		12～14		PCLKA	イーサネットMACコントローラ
4006 4400h	4006 44FFh	PTPEDMAC	6		3～5		PCLKA	イーサネットDMAコントローラ
4006 4500h	4006 45FFh	EPTPC_CFG, EPTPC, EPTPCn	(3 + wait cycle)（注3）		(wait cycle)～(2 + wait cycle)		PCLKA	イーサネットPTPコントローラ
4007 0000h	4007 0EFFh	SCI0 ～ SCI9	5（注4）		2～4（注4）		PCLKA	シリアルコミュニケーションインタフェース
4007 0F00h	4007 0FFFh	IRDA	5		2～4		PCLKA	IrDAインタフェース
4007 2000h	4007 2FFFh	SPI0, SPI1	5（注5）		2～4（注5）		PCLKA	シリアルペリフェラルインタフェース
4007 4000h	4007 4FFFh	CRC	5		2～4		PCLKA	CRC演算器
4007 8000h	4007 8FFFh	GPT32EHi, GPT32Ej, GPT32k, GPT_OPS	表 3.3参照（注6）				PCLKA	汎用PWMタイマ
4007 B000h	4007 BFFFh	GPT_ODC	4		1～3		PCLKA	PWM遅延生成回路
4008 0000h	4008 1FFFh	KINT, CTSU	4		1～3		PCLKB	キー割り込み機能、静電容量式タッチセンシングユニット
4008 4000h	4008 4FFFh	AGTn	7	5	4～6	2～4	PCLKB	非同期汎用タイマ
4008 5000h	4008 5FFFh	ACMPHSn	4		1～3		PCLKB	高速アナログコンパレータ
4009 0000h	4009 03FFh	USBFS	6		3～5		PCLKB	USB2.0フルスピードモジュール
4009 0400h	4009 04FFh	USBFS	4		1～3		PCLKB	USB2.0フルスピードモジュール
4009 4000h	4009 4FFFh	PDC	5		2～4		PCLKB	パラレルデータキャプチャユニット
400E 0000h	400E 4FFFh	GLCDC, DRW	5		2～4		PCLKA	グラフィックLCDコントローラ
400E 6000h	400E 603Fh	JPEG	15	7	12～14	4～6	PCLKA	JPEGコーデック
400E 6040h	400E 6FFFh	JPEG	7	6	4～6	3～5	PCLKA	JPEGコーデック
6400 0000h	6400 000Fh	QSPI	5	15～（注7）	2～4	12～（注7）	PCLKA	クワッドシリアルペリフェラルインタフェース
6400 0010h	6400 0013h	QSPI	26～（注7）	7～（注7）	23～（注7）	4～（注7）	PCLKA	クワッドシリアルペリフェラルインタフェース
6400 0014h	6400 0037h	QSPI	5	15～（注7）	2～4	12～（注7）	PCLKA	クワッドシリアルペリフェラルインタフェース
6400 0804h	6400 0807h	QSPI	4	4	1～3	1～3	PCLKA	クワッドシリアルペリフェラルインタフェース

注 1. PCLK サイクル数が整数ではない（たとえば、1.5）場合、最小値は小数点以下を切り捨て、最大値は小数点を四捨五入します。（たとえば、1.5 ～ 2.5 の範囲は 1 ～ 3 として表示されます。）

注 2. BWAIT は USBHS.BUSWAIT レジスタに設定された（サイクル数ではなく）ウェイト数です。

注 3. ウェイトサイクルとは、EPTPC 章の 30.6.2 レジスタアクセス時のウェイト数に記載のウェイトサイクルのことです。

注 4. 16 ビットレジスタ（FTDRHL、FRDRHL、FCR、FDR、LSR、および CDR）にアクセスを行う場合は、表 3.2 に記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットレジスタ（FTDRH、FTDRL、FRDRH、および FRDRL）にアクセスを行う場合は、表 3.2 に記載のアクセスサイクルとなります。

注 5. 32 ビットレジスタ（SPDR）にアクセスを行う場合は、表 3.2 非 GPT モジュールのアクセスサイクルに記載の値よりも 2 サイクル分多いアクセスサイクルとなります。8 ビットまたは 16 ビットレジスタ（SPDR_HA を含む）にアクセスを行う場合は、表 3.2 に記載のアクセスサイクルとなります。

注 6. 表 3.3 に示すように、アクセスサイクルは ICLK、PCLKA、および PCLKD 間の周波数比によって異なります。

注 7. アクセスサイクルは QSPI バスサイクルによって異なります。

表 3.3 に GPT モジュールのレジスタアクセスサイクルを示します。

表 3.3 GPTモジュールのアクセスサイクル

ICLKとPCLKの相対周波数	アクセスサイクル数		サイクルの単位
	読み出し	書き込み	
ICLK＞PCLKD = PCLKA	5～7	3～5	PCLKA
ICLK＞PCLKD＞PCLKA	1～6	1～4	PCLKA
PCLKD = ICLK = PCLKA	8	6	PCLKA
PCLKD = ICLK＞PCLKA	1～5	1～4	PCLKA
PCLKD＞ICLK = PCLKA	4～6	4～5	PCLKA
PCLKD＞ICLK＞PCLKA	1～4	1～4	PCLKA

3.3 レジスタの説明

この節では、このマニュアルでとりあげたレジスタに関する情報を示します。

表 3.4 に、アドレスオフセット、アドレスサイズ、アクセス権、およびリセット値を含むレジスター覧を示します。

表 3.4 レジスタの説明 (1/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
MMPU	3	0x400	A, B, C	MMPUCTL%s	Bus Master MPU Control Register	0x000	16	read-write	0x0000	0xFFFF
	-	-	-	MMPUPTA	Group A Protection of Register	0x102	16	read-write	0x0000	0xFFFF
	32	0x010	0-31	MMPUACA%s	Group A Region %s Access Control Register	0x200	32	read-write	0x0000 0000	0xFFFF FFFF
	32	0x010	0-31	MMPUSA%s	Group A Region %s Start Address Register	0x204	32	read-write	0x0000 0000	0x0000 0003
	32	0x010	0-31	MMPUEA%s	Group A Region %s End Address Register	0x208	32	read-write	0x0000 0003	0x0000 0003
	-	-	-	MMPUPTB	Group B Protection of Register	0x502	16	read-write	0x0000	0xFFFF
	8	0x010	0-7	MMPUACB%s	Group B Region %s Access Control Register	0x600	32	read-write	0x0000 0000	0xFFFF FFFF
	8	0x010	0-7	MMPUSB%s	Group B Region %s Start Address Register	0x604	32	read-write	0x0000 0000	0x0000 0003
	8	0x010	0-7	MMPUEB%s	Group B Region %s End Address Register	0x608	32	read-write	0x0000 0003	0x0000 0003
	-	-	-	MMPUPTC	Group C protection of register	0x902	16	read-write	0x0000	0xFFFF
	8	0x010	0-7	MMPUACC%s	Group C Region %s Access Control Register	0xA00	32	read-write	0x0000 0000	0xFFFF FFFF
	8	0x010	0-7	MMPUSC%s	Group C Region %s Start Address Register	0xA04	32	read-write	0x0000 0000	0x0000 0003
	8	0x010	0-7	MMPUEC%s	Group C Region %s Start Address Register	0xA08	32	read-write	0x0000 0003	0x0000 0003

表 3.4 レジスタの説明 (2/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SMPU	-	-	-	SMPUCTL	Slave MPU Control Register	0x00	16	read-write	0x0000	0xFFFF
				SMPUMBIU	Access Control Register for MBIU	0x10	16	read-write	0x2000	0xFFFF
				SMPUFBIU	Access Control Register for FBIU	0x14	16	read-write	0x00C0	0xFFFF
	2	0x4	0, 1	SMPUSRAM%s	Access Control Register for SRAM%s	0x18	16	read-write	0x0000	0xFFFF
	4	0x4	0, 2, 6, 7	SMPUP%sBIU	Access Control Register for P%sBIU	0x20	16	read-write	0x00F0	0xFFFF
	-	-	-	SMPUEXBIU	Access Control Register for EXBIU	0x30	16	read-write	0x0000	0xFFFF
				SMPUEXBIU2	Access Control Register for EXBIU2	0x34	16	read-write	0x0000	0xFFFF
SPMON	-	-	-	MSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x00	16	read-write	0x0000	0xFFFF
				MSPMPUCTL	Stack Pointer Monitor Access Control Register	0x04	16	read-write	0x0000	0xFFFF
				MSPMPUPT	Stack Pointer Monitor Protection Register	0x06	16	read-write	0x0000	0xFFFF
				MSPMPUSA	Main Stack Pointer Monitor Start Address Register	0x08	32	read-write	0x0000 0000	0x0000 0003
				MSPMPUEA	Main Stack Pointer Monitor End Address Register	0x0C	32	read-write	0x0000 0003	0x0000 0003
				PSPMPUOAD	Stack Pointer Monitor Operation After Detection Register	0x10	16	read-write	0x0000	0xFFFF
				PSPMPUCTL	Stack Pointer Monitor Access Control Register	0x14	16	read-write	0x0000	0xFFFF
				PSPMPUPT	Stack Pointer Monitor Protection Register	0x16	16	read-write	0x0000	0xFFFF
				PSPMPUSA	Process Stack Pointer Monitor Start Address Register	0x18	32	read-write	0x0000 0000	0x0000 0003
				PSPMPUEA	Process Stack Pointer Monitor End Address Register	0x1C	32	read-write	0x0000 0003	0x0000 0003
MMF	-	-	-	MMSFR	MemMirror Special Function Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				MMEN	MemMirror Enable Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
SRAM	-	-	-	PARIOAD	SRAM Parity Error Operation After Detection Register	0x00	8	read-write	0x00	0xFF
				SRAMPRCR	SRAM Protection Register	0x04	8	read-write	0x00	0xFF
				SRAMWTSC	SRAM Wait State Control Register	0x08	8	read-write	0x1F	0xFF
				DEDMODE	DED Operating Mode Control Register	0xC0	8	read-write	0x00	0xFF
				DED2STS	DED 2-Bit Error Status Register	0xC1	8	read-write	0x00	0xFF
				DED1STSEN	DED 1-Bit Error Information Update Enable Register	0xC2	8	read-write	0x00	0xFF
				DED1STS	DED 1-Bit Error Status Register	0xC3	8	read-write	0x00	0xFF
				DEDPRCR	DED Protection Register	0xC4	8	read-write	0x00	0xFF
				DEDOAD	SRAM DED Error Operation After Detection Register	0xD8	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (3/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
BUS	8	0x10	0-7	CS%sMOD	CS%s Mode Register	0x0002	16	read-write	0x0000	0xFFFF
	8	0x10	0-7	CS%sWCR1	CS%s Wait Control Register 1	0x0004	32	read-write	0x0707 0707	0xFFFF FFFF
	8	0x10	0-7	CS%sWCR2	CS%s Wait Control Register 2	0x0008	32	read-write	0x0000 0007	0xFFFF FFFF
	-	-	-	CS0CR	CS0 Control Register	0x0802	16	read-write	0x0021	0xFFFF
	8	0x10	0-7	CS%sREC	CS%s Recovery Cycle Register	0x080A	16	read-write	0x0000	0xFFFF
	7	0x10	1-7	CS%sCR	CS%s Control Register	0x0812	16	read-write	0x0000	0xFFFF
	-	-	-	CSRECEN	CS Recovery Cycle Insertion Enable Register	0x0880	16	read-write	0x3E3E	0xFFFF
				SDCCR	SDC Control Register	0x0C00	8	read-write	0x00	0xFF
				SDCMOD	SDC Mode Register	0x0C01	8	read-write	0x00	0xFF
				SDAMOD	SDRAM Access Mode Register	0x0C02	8	read-write	0x00	0xFF
				SDSELF	SDRAM Self-Refresh Control Register	0x0C10	8	read-write	0x00	0xFF
				SDRFCR	SDRAM Refresh Control Register	0x0C14	16	read-write	0x0001	0xFFFF
				SDRFEN	SDRAM Auto-Refresh Control Register	0x0C16	8	read-write	0x00	0xFF
				SDICR	SDRAM Initialization Sequence Control Register	0x0C20	8	read-write	0x00	0xFF
				SDIR	SDRAM Initialization Register	0x0C24	16	read-write	0x0010	0xFFFF
				SDADR	SDRAM Address Register	0x0C40	8	read-write	0x00	0xFF
				SDTR	SDRAM Timing Register	0x0C44	32	read-write	0x0000 0002	0xFFFF FFFF
				SDMOD	SDRAM Mode Register	0x0C48	16	read-write	0x0000	0xFFFF
				SDSR	SDRAM Status Register	0x0C50	8	read-only	0x00	0xFF
	2	0x4	M4I, M4D	BUSMCNT%s	Master Bus Control Register %s	0x1000	16	read-write	0x0000	0xFFFF
	-	-	-	BUSMCNTSYS	Master Bus Control Register SYS	0x1008	16	read-write	0x0000	0xFFFF
				BUSMCNTDMA	Master Bus Control Register DMA	0x100C	16	read-write	0x0000	0xFFFF
	2	0x4	EDM, GPX	BUSMCNT%s	Master Bus Control Register %s	0x1010	16	read-write	0x0000	0xFFFF
	2	0x4	FLI, RAMH	BUSSCNT%s	Slave Bus Control Register %s	0x1100	16	read-write	0x0000	0xFFFF
	-	-	-	BUSSCNTMBIU	Slave Bus Control Register MBIU	0x1108	16	read-write	0x0000	0xFFFF
	2	0x4	RAM0, RAM1	BUSSCNT%s	Slave Bus Control Register %s	0x110C	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (4/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
BUS	6	0x4	P0B, P2B, P3B, P4B, P6B, P7B	BUSSCNT%s	Slave Bus Control Register %s	0x1114	16	read-write	0x0000	0xFFFF
	4	0x4	FBU, EXT, EXT2, GPX	BUSSCNT%s	Slave Bus Control Register %s	0x1130	16	read-write	0x0000	0xFFFF
	11	0x10	1-11	BUS%sERRADD	Bus Error Address Register %s	0x1800	32	read-only	0x0000 0000	0x0000 0000
	11	0x10	1-11	BUS%sERRSTAT	Bus Error Status Register %s	0x1804	8	read-only	0x00	0xFE
DMAC0-7	-	-	-	DMSAR	DMA Source Address Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				DMDAR	DMA Destination Address Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
				DMCRA	DMA Transfer Count Register	0x08	32	read-write	0x0000 0000	0xFFFF FFFF
				DMCRB	DMA Block Transfer Count Register	0x0C	16	read-write	0x0000	0xFFFF
				DMTMD	DMA Transfer Mode Register	0x10	16	read-write	0x0000	0xFFFF
				DMINT	DMA Interrupt Setting Register	0x13	8	read-write	0x00	0xFF
				DMAMD	DMA Address Mode Register	0x14	16	read-write	0x0000	0xFFFF
				DMOFR	DMA Offset Register	0x18	32	read-write	0x0000 0000	0xFFFF FFFF
				DMCNT	DMA Transfer Enable Register	0x1C	8	read-write	0x00	0xFF
				DMREQ	DMA Software Start Register	0x1D	8	read-write	0x00	0xFF
				DMSTS	DMAC Module Activation Register	0x1E	8	read-write	0x00	0xFF
DMA	-	-	-	DMAST	DMA Module Activation Register	0x00	8	read-write	0x00	0xFF
DTC	-	-	-	DTCCR	DTC Control Register	0x00	8	read-write	0x08	0xFF
				DTCVBR	DTC Vector Base Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
				DTCST	DTC Module Start Register	0x0C	8	read-write	0x00	0xFF
				DTCSTS	DTC Status Register	0x0E	16	read-only	0x0000	0xFFFF

表 3.4 レジスタの説明 (5/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ICU	16	0x1	0-15	IRQCR%s	IRQ Control Register %s	0x000	8	read-write	0x00	0xFF
	-	-	-	NMICR	NMI Pin Interrupt Control Register	0x100	8	read-write	0x00	0xFF
				NMIER	Non-Maskable Interrupt Enable Register	0x120	16	read-write	0x0000	0xFFFF
				NMICLR	Non-Maskable Interrupt Status Clear Register	0x130	16	read-write	0x0000	0xFFFF
				NMISR	Non-Maskable Interrupt Status Register	0x140	16	read-only	0x0000	0xFFFF
				WUPEN	Wake Up Interrupt Enable Register	0x1A0	32	read-write	0x0000 0000	0xFFFF FFFF
				SELSR0	Snooze Event Link Setting Register	0x200	16	read-write	0x0000	0xFFFF
	8	0x4	0-7	DELSR%s	DMAC Event Link Setting Register %s	0x280	16	read-write	0x0000	0xFFFF
	96	0x4	0-95	IELSR%s	ICU Event Link Setting Register %s	0x300	32	read-write	0x0000 0000	0xFFFF FFFF
DBG	-	-	-	DBGSTR	Debug Status Register	0x000	32	read-only	0x0000 0000	0xFFFF FFFF
				DBGSTOPCR	Debug Stop Control Register	0x010	32	read-write	0x0000 0003	0xFFFF FFFF
				TRACECTR	Trace Control Register	0x020	32	read-write	0x0000 0000	0xFFFF FFFF
FCACHE	-	-	-	FCACHEE	Flash Cache Enable Register	0x100	16	read-write	0x0000	0xFFFF
				FCACHEIV	Flash Cache Invalidate Register	0x104	16	read-write	0x0000	0xFFFF
				FLWT	Flash Wait Cycle Register	0x11C	8	read-write	0x00	0xFF
SYSTEM	-	-	-	SBYCR	Standby Control Register	0x00C	16	read-write	0x4000	0xFFFF
				MSTPCRA	Module Stop Control Register A	0x01C	32	read-write	0xFFBF FF1C	0xFFFF FFFF
				SCKDIVCR	System Clock Division Control Register	0x020	32	read-write	0x22022 222	0xFFFF FFFF
				SCKDIVCR2	System Clock Division Control Register 2	0x024	8	read-write	0x40	0xFF
				SCKSCR	System Clock Source Control Register	0x026	8	read-write	0x01	0xFF
				PLLCCR	PLL Clock Control Register	0x028	16	read-write	0x1300	0xFFFF
				PLLCR	PLL Control Register	0x02A	8	read-write	0x01	0xFF
				BCKCR	External Bus Clock Control Register	0x030	8	read-write	0x00	0xFF
				MOSCCR	Main Clock Oscillator Control Register	0x032	8	read-write	0x01	0xFF
				HOCOCR	High-Speed On-Chip Oscillator Control Register	0x036	8	read-write	0x00	0xFE
				MOCOCR	Middle-Speed On-Chip Oscillator Control Register	0x038	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (6/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SYSTEM	-	-	-	FLLCR1	FLL Control Register 1	0x039	8	read-write	0x00	0xFF
				FLLCR2	FLL Control Register 2	0x03A	16	read-write	0x0000	0xFFFF
				OSCSF	Oscillation Stabilization Flag Register	0x03C	8	read-only	0x00	0xFE
				CKOCR	Clock Out Control Register	0x03E	8	read-write	0x00	0xFF
				TRCKCR	Trace Clock Control Register	0x03F	8	read-write	0x01	0xFF
				OSTDCR	Oscillation Stop Detection Control Register	0x040	8	read-write	0x00	0xFF
				OSTDSR	Oscillation Stop Detection Status Register	0x041	8	read-write	0x00	0xFF
				EBCKOCR	External Bus Clock Output Control Register	0x052	8	read-write	0x00	0xFF
				SDCKOCR	SDRAM Clock Output Control Register	0x053	8	read-write	0x00	0xFF
				MOCOUTCR	MOCO User Trimming Control Register	0x061	8	read-write	0x00	0xFF
				HOCOUTCR	HOCO User Trimming Control Register	0x062	8	read-write	0x00	0xFF
				SNZCR	Snooze Control Register	0x092	8	read-write	0x00	0xFF
				SNZEDCR	Snooze End Control Register	0x094	8	read-write	0x00	0xFF
				SNZREQCR	Snooze Request Control Register	0x098	32	read-write	0x0000 0000	0xFFFF FFFF
				OPCCR	Operating Power Control Register	0x0A0	8	read-write	0x00	0xFF
				MOSCWTCR	Main Clock Oscillator Wait Control Register	0x0A2	8	read-write	0x05	0xFF
				HOCOWTCR	High-speed On-Chip Oscillator wait control register	0x0A5	8	read-write	0x02	0xFF
				SOPCCR	Sub Operating Power Control Register	0x0AA	8	read-write	0x00	0xFF
				RSTSR1	Reset Status Register 1	0x0C0	16	read-write	0x0000	0xE0F8
	2	0x2	1, 2	LVD%sCR1	Voltage Monitor %s Circuit Control Register 1	0x0E0	8	read-write	0x01	0xFF
	2	0x2	1, 2	LVD%sSR	Voltage Monitor %s Circuit Status Register	0x0E1	8	read-write	0x02	0xFF
	-	-	-	PRCR	Protect Register	0x3FE	16	read-write	0x0000	0xFFFF
				DPSBYCR	Deep Software Standby Control Register	0x400	8	read-write	0x01	0xFF
				DPSIER0	Deep Software Standby Interrupt Enable Register 0	0x402	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (7/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SYSTEM	-	-	-	DPSIER1	Deep Software Standby Interrupt Enable Register 1	0x403	8	read-write	0x00	0xFF
				DPSIER2	Deep Software Standby Interrupt Enable Register 2	0x404	8	read-write	0x00	0xFF
				DPSIER3	Deep Software Standby Interrupt Enable Register 3	0x405	8	read-write	0x00	0xFF
				DPSIFR0	Deep Software Standby Interrupt Flag Register 0	0x406	8	read-write	0x00	0xFF
				DPSIFR1	Deep Software Standby Interrupt Flag Register 1	0x407	8	read-write	0x00	0xFF
				DPSIFR2	Deep Software Standby Interrupt Flag Register 2	0x408	8	read-write	0x00	0xFF
				DPSIFR3	Deep Software Standby Interrupt Flag Register 3	0x409	8	read-write	0x00	0xFF
				DPSIEGR0	Deep Software Standby Interrupt Edge Register 0	0x40A	8	read-write	0x00	0xFF
				DPSIEGR1	Deep Software Standby Interrupt Edge Register 1	0x40B	8	read-write	0x00	0xFF
				DPSIEGR2	Deep Software Standby Interrupt Edge Register 2	0x40C	8	read-write	0x00	0xFF
				SYOCDCR	System Control OCD Control Register	0x40E	8	read-write	0x00	0xFE
				STCONR	Standby Condition Register	0x40F	8	read-write	0xC3	0xFF
				RSTSR0	Reset Status Register 0	0x410	8	read-write	0x00	0x70
				RSTSR2	Reset Status Register 2	0x411	8	read-write	0x00	0xFE
				MOMCR	Main Clock Oscillator Mode Oscillation Control Register	0x413	8	read-write	0x00	0xFF
				FWEPROR	Flash P/E Protect Register	0x416	8	read-write	0x02	0xFF
				LVCMPCR	Voltage Monitor Circuit Control Register	0x417	8	read-write	0x00	0xFF
				LVDLVLR	Voltage Detection Level Select Register	0x418	8	read-write	0xF3	0xFF
	2	0x1	1, 2	LVD%sCR0	Voltage Monitor %s Circuit Control Register 0	0x41A	8	read-write	0x8A	0xF7
	-	-	-	SOSCCR	Sub-clock Oscillator Control Register	0x480	8	read-write	0x00	0xFF
				SOMCR	Sub Clock Oscillator Mode Control Register	0x481	8	read-write	0x00	0xFD
				LOCOCR	Low-Speed On-Chip Oscillator Control Register	0x490	8	read-write	0x00	0xFF
				LOCOUTCR	LOCO User Trimming Control Register	0x492	8	read-write	0x00	0xFF
SYSTEM	-	-	-	VBTICTLR	VBATT Input Control Register	0x4BB	8	read-write	0x00	0xF8
	512	0x1	0-511	VBTBKR[%s]	VBATT Backup Register [%s]	0x500	8	read-write	0x00	0x00

表 3.4 レジスタの説明 (8/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PORT0, 5-9, A, B	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				PODR	Output Data Register	0x00	16	read-write	0x0000	0xFFFF
				PDR	Data Direction Register	0x02	16	read-write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read-only	0x0000 0000	0xFFFF 0000
				PIDR	Input Data Register	0x06	16	read-only	0x0000	0xFFFF
				PCNTR3	Port Control Register 3	0x08	32	write-only	0x0000 0000	0xFFFF FFFF
				PORR	Output Reset Register	0x08	16	write-only	0x0000	0xFFFF
				POSR	Output Set Register	0x0A	16	write-only	0x0000	0xFFFF
PORT1-4	-	-	-	PCNTR1	Port Control Register 1	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				PODR	Output Data Register	0x00	16	read-write	0x0000	0xFFFF
				PDR	Data Direction Register	0x02	16	read-write	0x0000	0xFFFF
				PCNTR2	Port Control Register 2	0x04	32	read-only	0x0000 0000	0xFFFF 0000
				EIDR	Event Input Data Register	0x04	16	read-only	0x0000	0x0000
				PIDR	Input Data Register	0x06	16	read-only	0x0000	0xFFFF
				PCNTR3	Port Control Register 3	0x08	32	write-only	0x0000 0000	0xFFFF FFFF
				PORR	Output Set Register	0x08	16	write-only	0x0000	0xFFFF
				POSR	Output Reset Register	0x0A	16	write-only	0x0000	0xFFFF
				PCNTR4	Port Control Register 4	0x0C	32	read-write	0x0000 0000	0xFFFF FFFF
				EORR	Event Output Set Register	0x0C	16	read-write	0x0000	0xFFFF
				EOSR	Event Output Reset Register	0x0E	16	read-write	0x0000	0xFFFF
PFS	-	-	-	P000PFS	P000 Pin Function Control Register	0x000	32	read-write	0x0000 0000	0xFFFF FFFF
				P000PFS_HA	P000 Pin Function Control Register	0x002	16	read-write	0x0000	0xFFFF
				P000PFS_BY	P000 Pin Function Control Register	0x003	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (9/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	9	0x4	1-9	P00%sPFS	P00%s Pin Function Control Register	0x004	32	read-write	0x0000 0000	0xFFFF FFFF
	9	0x4	1-9	P00%sPFS_HA	P00%s Pin Function Control Register	0x006	16	read-write	0x0000	0xFFFF
	9	0x4	1-9	P00%sPFS_BY	P00%s Pin Function Control Register	0x007	8	read-write	0x00	0xFF
	6	0x4	10-15	P0%sPFS	P0%s Pin Function Control Register	0x028	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	10-15	P0%sPFS_HA	P0%s Pin Function Control Register	0x02A	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	P0%sPFS_BY	P0%s Pin Function Control Register	0x02B	8	read-write	0x00	0xFF
	-	-	-	P100PFS	P100 Pin Function Control Register	0x040	32	read-write	0x0000 0000	0xFFFF FFFF
				P100PFS_HA	P100 Pin Function Control Register	0x042	16	read-write	0x0000	0xFFFF
				P100PFS_BY	P100 Pin Function Control Register	0x043	8	read-write	0x00	0xFF
	7	0x4	1-7	P10%sPFS	P10%s Pin Function Control Register	0x044	32	read-write	0x0000 0000	0xFFFF FFFF
	7	0x4	1-7	P10%sPFS_HA	P10%s Pin Function Control Register	0x046	16	read-write	0x0000	0xFFFF
	7	0x4	1-7	P10%sPFS_BY	P10%s Pin Function Control Register	0x047	8	read-write	0x00	0xFF
	-	-	-	P108PFS	P108 Pin Function Control Register	0x060	32	read-write	0x0001 0410	0xFFFF FFFF
				P108PFS_HA	P108 Pin Function Control Register	0x062	16	read-write	0x0410	0xFFFF
				P108PFS_BY	P108 Pin Function Control Register	0x063	8	read-write	0x10	0xFF
				P109PFS	P109 Pin Function Control Register	0x064	32	read-write	0x0001 0400	0xFFFF FFFF
				P109PFS_HA	P109 Pin Function Control Register	0x066	16	read-write	0x0400	0xFFFF
				P109PFS_BY	P109 Pin Function Control Register	0x067	8	read-write	0x00	0xFF
				P110PFS	P110 Pin Function Control Register	0x068	32	read-write	0x0001 0010	0xFFFF FFFF
				P110PFS_HA	P110 Pin Function Control Register	0x06A	16	read-write	0x0010	0xFFFF
				P110PFS_BY	P110 Pin Function Control Register	0x06B	8	read-write	0x10	0xFF
	5	0x4	11-15	P1%sPFS	P1%s Pin Function Control Register	0x06C	32	read-write	0x0000 0000	0xFFFF FFFF
	5	0x4	11-15	P1%sPFS_HA	P1%s Pin Function Control Register	0x06C	16	read-write	0x0000	0xFFFF
	5	0x4	11-15	P1%sPFS_BY	P1%s Pin Function Control Register	0x06C	8	read-write	0x00	0xFF
	-	-	-	P200PFS	P200 Pin Function Control Register	0x080	32	read-write	0x0000 0000	0xFFFF FFFF
				P200PFS_HA	P200 Pin Function Control Register	0x082	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (10/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	-	-	-	P200PFS_BY	P200 Pin Function Control Register	0x083	8	read-write	0x00	0xFF
				P201PFS	P201 Pin Function Control Register	0x084	32	read-write	0x0000 0010	0xFFFF FFFF
				P201PFS_HA	P201 Pin Function Control Register	0x086	16	read-write	0x0010	0xFFFF
				P201PFS_BY	P201 Pin Function Control Register	0x087	8	read-write	0x10	0xFF
	6	0x4	2-7	P20%sPFS	P20%s Pin Function Control Register	0x088	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	2-7	P20%sPFS_HA	P20%s Pin Function Control Register	0x08A	16	read-write	0x0000	0xFFFF
	6	0x4	2-7	P20%sPFS_BY	P20%s Pin Function Control Register	0x08B	8	read-write	0x00	0xFF
	2	0x4	12, 13	P2%sPFS	P2%s Pin Function Control Register	0x0A8	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x4	12, 13	P2%sPFS_HA	P2%s Pin Function Control Register	0x0AA	16	read-write	0x0000	0xFFFF
	2	0x4	12, 13	P2%sPFS_BY	P2%s Pin Function Control Register	0x0AB	8	read-write	0x00	0xFF
	-	-	-	P300PFS	P300 Pin Function Control Register	0x0C0	32	read-write	0x0001 0010	0xFFFF FFFF
				P300PFS_HA	P300 Pin Function Control Register	0x0C2	16	read-write	0x0000	0xFFFF
				P300PFS_BY	P300 Pin Function Control Register	0x0C3	8	read-write	0x00	0xFF
	9	0x4	1-9	P30%sPFS	P30%s Pin Function Control Register	0x0C4	32	read-write	0x0000 0000	0xFFFF FFFF
	9	0x4	1-9	P30%sPFS_HA	P30%s Pin Function Control Register	0x0C6	16	read-write	0x0000	0xFFFF
	9	0x4	1-9	P30%sPFS_BY	P30%s Pin Function Control Register	0x0C7	8	read-write	0x00	0xFF
	6	0x4	10-15	P3%sPFS	P3%s Pin Function Control Register	0x0E8	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	10-15	P3%sPFS_HA	P3%s Pin Function Control Register	0x0EA	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	P3%sPFS_BY	P3%s Pin Function Control Register	0x0EB	8	read-write	0x00	0xFF
	10	0x4	0-9	P40%sPFS	P40%s Pin Function Control Register	0x100	32	read-write	0x0000 0000	0xFFFF FFFF
	10	0x4	0-9	P40%sPFS_HA	P40%s Pin Function Control Register	0x102	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	P40%sPFS_BY	P40%s Pin Function Control Register	0x103	8	read-write	0x00	0xFF
	6	0x4	10-15	P4%sPFS	P4%s Pin Function Control Register	0x128	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	10-15	P4%sPFS_HA	P4%s Pin Function Control Register	0x12A	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	P4%sPFS_BY	P4%s Pin Function Control Register	0x12B	8	read-write	0x00	0xFF
	10	0x4	0-9	P50%sPFS	P50%s Pin Function Control Register	0x140	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (11/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	10	0x4	0-9	P50%sPFS_HA	P50%s Pin Function Control Register	0x142	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	P50%sPFS_BY	P50%s Pin Function Control Register	0x143	8	read-write	0x00	0xFF
	6	0x4	10-15	P5%sPFS	P5%s Pin Function Control Register	0x168	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	10-15	P5%sPFS_HA	P5%s Pin Function Control Register	0x16A	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	P5%sPFS_BY	P5%s Pin Function Control Register	0x16B	8	read-write	0x00	0xFF
	10	0x4	0-9	P60%sPFS	P60%s Pin Function Control Register	0x180	32	read-write	0x0000 0000	0xFFFF FFFF
	10	0x4	0-9	P60%sPFS_HA	P60%s Pin Function Control Register	0x182	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	P60%sPFS_BY	P60%s Pin Function Control Register	0x183	8	read-write	0x00	0xFF
	6	0x4	10-15	P6%sPFS	P6%s Pin Function Control Register	0x1A8	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	10-15	P6%sPFS_HA	P6%s Pin Function Control Register	0x1AA	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	P6%sPFS_BY	P6%s Pin Function Control Register	0x1AB	8	read-write	0x00	0xFF
	10	0x4	0-9	P70%sPFS	P70%s Pin Function Control Register	0x1C0	32	read-write	0x0000 0000	0xFFFF FFFF
	10	0x4	0-9	P70%sPFS_HA	P70%s Pin Function Control Register	0x1C2	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	P70%sPFS_BY	P70%s Pin Function Control Register	0x1C3	8	read-write	0x00	0xFF
	4	0x4	10-13	P7%sPFS	P7%s Pin Function Control Register	0x1E8	32	read-write	0x0000 0000	0xFFFF FFFF
	4	0x4	10-13	P7%sPFS_HA	P7%s Pin Function Control Register	0x1EA	16	read-write	0x0000	0xFFFF
	4	0x4	10-13	P7%sPFS_BY	P7%s Pin Function Control Register	0x1EB	8	read-write	0x00	0xFF
	10	0x4	0-9	P80%sPFS	P80%s Pin Function Control Register	0x200	32	read-write	0x0000 0000	0xFFFF FFFF
	10	0x4	0-9	P80%sPFS_HA	P80%s Pin Function Control Register	0x202	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	P80%sPFS_BY	P80%s Pin Function Control Register	0x203	8	read-write	0x00	0xFF
	4	0x4	10-13	P8%sPFS	P8%s Pin Function Control Register	0x228	32	read-write	0x0000 0000	0xFFFF FFFF
	4	0x4	10-13	P8%sPFS_HA	P8%s Pin Function Control Register	0x22A	16	read-write	0x0000	0xFFFF
	4	0x4	10-13	P8%sPFS_BY	P8%s Pin Function Control Register	0x22B	8	read-write	0x00	0xFF
	10	0x4	0-9	P90%sPFS	P90%s Pin Function Control Register	0x240	32	read-write	0x0000 0000	0xFFFF FFFF
	10	0x4	0-9	P90%sPFS_HA	P90%s Pin Function Control Register	0x242	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	P90%sPFS_BY	P90%s Pin Function Control Register	0x243	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (12/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PFS	6	0x4	10-15	P9%sPFS	P9%s Pin Function Control Register	0x268	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	10-15	P9%sPFS_HA	P9%s Pin Function Control Register	0x26A	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	P9%sPFS_BY	P9%s Pin Function Control Register	0x26B	8	read-write	0x00	0xFF
	10	0x4	0-9	PA0%sPFS	PA0%s Pin Function Control Register	0x280	32	read-write	0x0000 0000	0xFFFF FFFF
	10	0x4	0-9	PA0%sPFS_HA	PA0%s Pin Function Control Register	0x28A	16	read-write	0x0000	0xFFFF
	10	0x4	0-9	PA0%sPFS_BY	PA0%s Pin Function Control Register	0x28B	8	read-write	0x00	0xFF
	6	0x4	10-15	PA%sPFS	PA%s Pin Function Control Register	0x2A8	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x4	10-15	PA%sPFS_HA	PA%s Pin Function Control Register	0x2AA	16	read-write	0x0000	0xFFFF
	6	0x4	10-15	PA%sPFS_BY	PA%s Pin Function Control Register	0x2AB	8	read-write	0x00	0xFF
	8	0x4	0-7	PB0%sPFS	PB0%s Pin Function Control Register	0x2C0	32	read-write	0x0000 0000	0xFFFF FFFF
	8	0x4	0-7	PB0%sPFS_HA	PB0%s Pin Function Control Register	0x2C2	16	read-write	0x0000	0xFFFF
	8	0x4	0-7	PB0%sPFS_BY	PB0%s Pin Function Control Register	0x2C3	8	read-write	0x00	0xFF
PMISC	-	-	-	PFENET	Ethernet Control Register	0x00	8	read-write	0x00	0xFF
				PWPR	Write-Protect Register	0x03	8	read-write	0x80	0xFF
ELC	-	-	-	ELCR	Event Link Controller Register	0x00	8	read-write	0x00	0xFF
	2	0x2	0, 1	ELSEGR%s	Event Link Software Event Generation Register %s	0x02	8	read-write	0x80	0xFF
	19	0x4	0-18	ELSR%s	Event Link Setting Register %s	0x10	16	read-write	0x0000	0xFFFF
POEG	4	0x100	A, B, C, D	POEGG%s	POEG Group %s Setting Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
RTC	-	-	-	R64CNT	64-Hz Counter	0x00	8	read-only	0x00	0x80
				RSECCNT	Second Counter	0x02	8	read-write	0x00	0x00
				BCNT0	Binary Counter 0	0x02	8	read-write	0x00	0x00
				RMINCNT	Minute Counter	0x04	8	read-write	0x00	0x00
				BCNT1	Binary Counter 1	0x04	8	read-write	0x00	0x00
				RHRCNT	Hour Counter	0x06	8	read-write	0x00	0x00
				BCNT2	Binary Counter 2	0x06	8	read-write	0x00	0x00
				RWKCNT	Day-of-Week Counter	0x08	8	read-write	0x00	0x00

表 3.4 レジスタの説明 (13/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
RTC	-	-	-	BCNT3	Binary Counter 3	0x08	8	read-write	0x00	0x00
				RDAYCNT	Day Counter	0x0A	8	read-write	0x00	0xC0
				RMONCNT	Month Counter	0x0C	8	read-write	0x00	0xE0
				RYRCNT	Year Counter	0x0E	16	read-write	0x0000	0xFF00
				RSECAR	Second Alarm Register	0x10	8	read-write	0x00	0x00
				BCNT0AR	Binary Counter 0 Alarm Register	0x10	8	read-write	0x00	0x00
				RMINAR	Minute Alarm Register	0x12	8	read-write	0x00	0x00
				BCNT1AR	Binary Counter 1 Alarm Register	0x12	8	read-write	0x00	0x00
				RHRAR	Hour Alarm Register	0x14	8	read-write	0x00	0x00
				BCNT2AR	Binary Counter 2 Alarm Register	0x14	8	read-write	0x00	0x00
				RWKAR	Day-of-Week Alarm Register	0x16	8	read-write	0x00	0x00
				BCNT3AR	Binary Counter 3 Alarm Register	0x16	8	read-write	0x00	0x00
				RDAYAR	Date Alarm Register	0x18	8	read-write	0x00	0x00
				BCNT0AER	Binary Counter 0 Alarm Enable Register	0x18	8	read-write	0x00	0x00
				RMONAR	Month Alarm Register	0x1A	8	read-write	0x00	0x00
				BCNT1AER	Binary Counter 1 Alarm Enable Register	0x1A	8	read-write	0x00	0x00
				RYRAR	Year Alarm Register	0x1C	16	read-write	0x0000	0xFF00
				BCNT2AER	Binary Counter 2 Alarm Enable Register	0x1C	16	read-write	0x0000	0xFF00
				RYRAREN	Year Alarm Enable Register	0x1E	8	read-write	0x00	0x00
				BCNT3AER	Binary Counter 3 Alarm Enable Register	0x1E	8	read-write	0x00	0x00
				RCR1	RTC Control Register 1	0x22	8	read-write	0x00	0x0A
				RCR2	RTC Control Register 2	0x24	8	read-write	0x00	0x0E
				RCR4	RTC Control Register 4	0x28	8	read-write	0x00	0xFE
				RFRH	Frequency Register H	0x2A	16	read-write	0x0000	0xFFFE
				RFRL	Frequency Register L	0x2C	16	read-write	0x0000	0x0000
				RADJ	Time Error Adjustment Register	0x2E	8	read-write	0x00	0x00

表 3.4 レジスタの説明 (14/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
RTC	3	0x2	0-2	RTCCR%s	Time Capture Control Register %s	0x40	8	read-write	0x00	0x00
	3	0x10	0-2	RSECCP%s	Second Capture Register %s	0x52	8	read-only	0x00	0x00
	3	0x10	0-2	BCNT0CP%s	BCNT0 Capture Register %s	0x52	8	read-only	0x00	0x00
	3	0x10	0-2	RMINCP%s	Minute Capture Register %s	0x54	8	read-only	0x00	0x00
	3	0x10	0-2	BCNT1CP%s	BCNT1 Capture Register %s	0x54	8	read-only	0x00	0x00
	3	0x10	0-2	RHRCP%s	Hour Capture Register %s	0x56	8	read-only	0x00	0x00
	3	0x10	0-2	BCNT2CP%s	BCNT2 Capture Register %s	0x56	8	read-only	0x00	0x00
	3	0x10	0-2	RDAYCP%s	Date Capture Register %s	0x5A	8	read-only	0x00	0x00
	3	0x10	0-2	BCNT3CP%s	BCNT3 Capture Register %s	0x5A	8	read-only	0x00	0x00
	3	0x10	0-2	RMONCP%s	Month Capture Register %s	0x5C	8	read-only	0x00	0x00
WDT	-	-	-	WDTRR	WDT Refresh Register	0x00	8	read-write	0xFF	0xFF
				WDTCR	WDT Control Register	0x02	16	read-write	0x33F3	0xFFFF
				WDTSR	WDT Status Register	0x04	16	read-write	0x0000	0xFFFF
				WDTRCR	WDT Reset Control Register	0x06	8	read-write	0x80	0xFF
				WDTCSTPR	WDT Count Stop Control Register	0x08	8	read-write	0x80	0xFF
IWDT	-	-	-	IWDTRR	IWDT Refresh Register	0x00	8	read-write	0xFF	0xFF
				IWDTSR	IWDT Status Register	0x04	16	read-write	0x0000	0xFFFF
CAC	-	-	-	CACR0	CAC Control Register 0	0x00	8	read-write	0x00	0xFF
				CACR1	CAC Control Register 1	0x01	8	read-write	0x00	0xFF
				CACR2	CAC Control Register 2	0x02	8	read-write	0x00	0xFF
				CAICR	CAC Interrupt Control Register	0x03	8	read-write	0x00	0xFF
				CASTR	CAC Status Register	0x04	8	read-only	0x00	0xFF
				CAULVR	CAC Upper-Limit Value Setting Register	0x06	16	read-write	0x0000	0xFFFF
				CALLVR	CAC Lower-Limit Value Setting Register	0x08	16	read-write	0x0000	0xFFFF
				CACNTBR	CAC Counter Buffer Register	0x0A	16	read-only	0x0000	0xFFFF
MSTP	-	-	-	MSTPCRB	Module Stop Control Register B	0x00	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				MSTPCRC	Module Stop Control Register C	0x04	32	read-write	0xFFFFFFFF	0xFFFFFFFF
				MSTPCRD	Module Stop Control Register D	0x08	32	read-write	0xFFFFFFFF	0xFFFFFFFF
SRCRAM	5552	0x4	0-5551	SRCFCTR[%s]	Filter Coefficient Table [%s]	0x00	32	read-write	0x00000000	0xFFC00000

表 3.4 レジスタの説明 (15/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SRC	-	-	-	SRCID	Input Data Register	0x00	32	write-only	0x0000 0000	0xFFFF FFFF
				SRCOD	Output Data Register	0x04	32	read-only	0x0000 0000	0xFFFF FFFF
				SRCIDCTRL	Input Data Control Register	0x08	16	read-write	0x0000	0xFFFF
				SRCODCTRL	Output Data Control Register	0x0A	16	read-write	0x0000	0xFFFF
				SRCCTRL	Control Register	0x0C	16	read-write	0x0000	0xFFFF
				SRCSTAT	Status Register	0x0E	16	read-write	0x0002	0xFFFF
SSI0, 1	-	-	-	SSICR	Control Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				SSISR	Status Register	0x04	32	read-write	0x0200 0013	0x3E00 007F
				SSIFCR	FIFO Control Register	0x10	32	read-write	0x0000 0000	0xFFFF FFFF
				SSIFSR	FIFO Status Register	0x14	32	read-write	0x0001 0000	0xFFFF FFFF
				SSIFTDR	Transmit FIFO Data Register	0x18	32	write-only	0x0000 0000	0x0000 0000
				SSIFRDR	Receive FIFO Data Register	0x1C	32	read-only	0x0000 0000	0x0000 0000
				SSITDMR	TDM Mode Register	0x20	32	read-write	0x0000 0000	0xFFFF FFFF
CAN0, 1	32	0x10	0-31	MB%s_ID	Mailbox Register	0x200	32	read-write	0x0000 0000	0x0000 0000
	32	0x10	0-31	MB%s_DL	Mailbox Register	0x204	16	read-write	0x0000	0x0000
	32	0x10	0-31	MB%s_D0	Mailbox Register	0x206	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D1	Mailbox Register	0x207	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D2	Mailbox Register	0x208	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D3	Mailbox Register	0x209	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D4	Mailbox Register	0x20A	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D5	Mailbox Register	0x20B	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_D6	Mailbox Register	0x20C	8	read-write	0x00	0x00

表 3.4 レジスタの説明 (16/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
CAN0, 1	32	0x10	0-31	MB%s_D7	Mailbox Register	0x20D	8	read-write	0x00	0x00
	32	0x10	0-31	MB%s_TS	Mailbox Register	0x20E	16	read-write	0x0000	0x0000
	8	0x4	0-7	MKR[%s]	Mask Register	0x400	32	read-write	0x0000 0000	0x0000 0000
	2	0x4	0, 1	FIDCR%s	FIFO Received ID Compare Registers	0x420	32	read-write	0x0000 0000	0x0000 0000
	-	-	-	MKIVLR	Mask Invalid Register	0x428	32	read-write	0x0000 0000	0x0000 0000
				MIER	Mailbox Interrupt Enable Register	0x42C	32	read-write	0x0000 0000	0x0000 0000
				MIER_FIFO	Mailbox Interrupt Enable Register for FIFO Mailbox Mode	0x42C	32	read-write	0x0000 0000	0x0000 0000
	32	0x1	0-31	MCTL_TX[%s]	Message Control Register for Transmit	0x820	8	read-write	0x00	0xFF
	32	0x1	0-31	MCTL_RX[%s]	Message Control Register for Receive	0x820	8	read-write	0x00	0xFF
	-	-	-	CTLR	Control Register	0x840	16	read-write	0x0500	0xFFFF
				STR	Status Register	0x842	16	read-only	0x0500	0xFFFF
				BCR	Bit Configuration Register	0x844	32	read-write	0x0000 0000	0xFFFF FFFF
				RFCR	Receive FIFO Control Register	0x848	8	read-write	0x80	0xFF
				RFPCR	Receive FIFO Pointer Control Register	0x849	8	write-only	0x00	0x00
				TFCR	Transmit FIFO Control Register	0x84A	8	read-write	0x80	0xFF
				TFPCR	Transmit FIFO Pointer Control Register	0x84B	8	write-only	0x00	0x00
				EIER	Error Interrupt Enable Register	0x84C	8	read-write	0x00	0xFF
				EIFR	Error Interrupt Factor Judge Register	0x84D	8	read-write	0x00	0xFF
				RECR	Receive Error Count Register	0x84E	8	read-only	0x00	0xFF
				TECR	Transmit Error Count Register	0x84F	8	read-only	0x00	0xFF
				ECSR	Error Code Store Register	0x850	8	read-write	0x00	0xFF
				CSSR	Channel Search Support Register	0x851	8	read-write	0x00	0x00
				MSSR	Mailbox Search Status Register	0x852	8	read-only	0x80	0xFF
				MSMR	Mailbox Search Mode Register	0x853	8	read-write	0x00	0xFF
				TSR	Time Stamp Register	0x854	16	read-only	0x0000	0xFFFF
				AFSR	Acceptance Filter Support Register	0x856	16	read-write	0x0000	0x0000
CAN0, 1	-	-	-	TCR	Test Control Register	0x858	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (17/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
IIC0	-	-	-	ICCR1	I2C Bus Control Register 1	0x00	8	read-write	0x1F	0xFF
				ICCR2	I2C Bus Control Register 2	0x01	8	read-write	0x00	0xFF
				ICMR1	I2C Bus Mode Register 1	0x02	8	read-write	0x08	0xFF
				ICMR2	I2C Bus Mode Register 2	0x03	8	read-write	0x06	0xFF
				ICMR3	I2C Bus Mode Register 3	0x04	8	read-write	0x00	0xFF
				ICFER	I2C Bus Function Enable Register	0x05	8	read-write	0x72	0xFF
				ICSER	I2C Bus Status Enable Register	0x06	8	read-write	0x09	0xFF
				ICIER	I2C Bus Interrupt Enable Register	0x07	8	read-write	0x00	0xFF
				ICSR1	I2C Bus Status Register 1	0x08	8	read-write	0x00	0xFF
				ICSR2	I2C Bus Status Register 2	0x09	8	read-write	0x00	0xFF
	3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8	read-write	0x00	0xFF
	3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read-write	0x00	0xFF
	-	-	-	ICBRL	I2C Bus Bit Rate Low-Level Register	0x10	8	read-write	0xFF	0xFF
				ICBRH	I2C Bus Bit Rate High-Level Register	0x11	8	read-write	0xFF	0xFF
				ICDRT	I2C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRR	I2C Bus Receive Data Register	0x13	8	read-only	0x00	0xFF
				ICWUR	I2C Bus Wake Up Unit Register	0x16	8	read-write	0x10	0xFF
				ICWUR2	Reserved	0x17	8	read-only	0xFF	0xFF

表 3.4 レジスタの説明 (18/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
IIC1, 2	-	-	-	ICCR1	I2C Bus Control Register 1	0x00	8	read-write	0x1F	0xFF
				ICCR2	I2C Bus Control Register 2	0x01	8	read-write	0x00	0xFF
				ICMR1	I2C Bus Mode Register 1	0x02	8	read-write	0x08	0xFF
				ICMR2	I2C Bus Mode Register 2	0x03	8	read-write	0x06	0xFF
				ICMR3	I2C Bus Mode Register 3	0x04	8	read-write	0x00	0xFF
				ICFER	I2C Bus Function Enable Register	0x05	8	read-write	0x72	0xFF
				ICSER	I2C Bus Status Enable Register	0x06	8	read-write	0x09	0xFF
				ICIER	I2C Bus Interrupt Enable Register	0x07	8	read-write	0x00	0xFF
				ICSR1	I2C Bus Status Register 1	0x08	8	read-write	0x00	0xFF
				ICSR2	I2C Bus Status Register 2	0x09	8	read-write	0x00	0xFF
	3	0x2	0-2	SARL%s	Slave Address Register L%s	0x0A	8	read-write	0x00	0xFF
	3	0x2	0-2	SARU%s	Slave Address Register U%s	0x0B	8	read-write	0x00	0xFF
	-	-	-	ICBRL	I2C Bus Bit Rate Low-Level Register	0x10	8	read-write	0xFF	0xFF
				ICBRH	I2C Bus Bit Rate High-Level Register	0x11	8	read-write	0xFF	0xFF
				ICDRT	I2C Bus Transmit Data Register	0x12	8	read-write	0xFF	0xFF
				ICDRR	I2C Bus Receive Data Register	0x13	8	read-only	0x00	0xFF
DOC	-	-	-	DOCR	DOC Control Register	0x00	8	read-write	0x00	0xFF
				DODIR	DOC Data Input Register	0x02	16	read-write	0x0000	0xFFFF
				DODSR	DOC Data Setting Register	0x04	16	read-write	0x0000	0xFFFF
ADC120	-	-	-	ADCSR	A/D Control Register	0x000	16	read-write	0x0000	0xFFFF
				ADANSA0	A/D Channel Select Register A0	0x004	16	read-write	0x0000	0xFFFF
				ADANSA1	A/D Channel Select Register A1	0x006	16	read-write	0x0000	0xFFFF
				ADADS0	A/D-Converted Value Addition/Average Channel Select Register 0	0x008	16	read-write	0x0000	0xFFFF
				ADADS1	A/D-Converted Value Addition/Average Channel Select Register 1	0x00A	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (19/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC120	-	-	-	ADADC	A/D-Converted Value Addition/Average Count Select Register	0x00C	8	read-write	0x00	0xFF
				ADCER	A/D Control Extended Register	0x00E	16	read-write	0x0000	0xFFFF
				ADSTRGR	A/D Conversion Start Trigger Select Register	0x010	16	read-write	0x0000	0xFFFF
				ADEXICR	A/D Conversion Extended Input Control Register	0x012	16	read-write	0x0000	0xFFFF
				ADANSB0	A/D Channel Select Register B0	0x014	16	read-write	0x0000	0xFFFF
				ADANSB1	A/D Channel Select Register B1	0x016	16	read-write	0x0000	0xFFFF
				ADDBLDR	A/D Data Duplication Register	0x018	16	read-only	0x0000	0xFFFF
				ADTSDR	A/D Temperature Sensor Data Register	0x01A	16	read-only	0x0000	0xFFFF
				ADOCDR	A/D Internal Reference Voltage Data Register	0x01C	16	read-only	0x0000	0xFFFF
				ADRD	A/D Self-Diagnosis Data Register	0x01E	16	read-only	0x0000	0xFFFF
	7	0x2	0-6	ADDR%s	A/D Data Register %s	0x020	16	read-only	0x0000	0xFFFF
	6	0x2	16-21	ADDR%s	A/D Data Register %s	0x040	16	read-only	0x0000	0xFFFF
	-	-	-	ADSHCR	A/D Sample and Hold Circuit Control Register	0x066	16	read-write	0x0018	0xFFFF
				ADDISCR	A/D Disconnection Detection Control Register	0x07A	8	read-write	0x00	0xFF
				ADSHMSR	A/D Sample and Hold Operation Mode Select Register	0x07C	8	read-write	0x00	0xFF
				ADELCCR	A/D Event Link Control Register	0x07D	8	read-write	0x00	0xFF
				ADGSPCR	A/D Group Scan Priority Control Register	0x080	16	read-write	0x0000	0xFFFF
				ADDBLDRA	A/D Data Duplication Register A	0x084	16	read-only	0x0000	0xFFFF
				ADDBLDRB	A/D Data Duplication Register B	0x086	16	read-only	0x0000	0xFFFF
				ADWINMON	A/D Compare Function Window A/B Status Monitor Register	0x08C	8	read-write	0x00	0xFF
				ADCMPCR	A/D Compare Function Control Register	0x090	16	read-write	0x0000	0xFFFF
				ADCMPANSER	A/D Compare Function Window A Extended Input Select Register	0x092	8	read-write	0x00	0xFF
				ADCMPLER	A/D Compare Function Window A Extended Input Comparison Condition Setting Register	0x093	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (20/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC120	-	-	-	ADCMPANSR0	A/D Compare Function Window A Channel Select Register 0	0x094	16	read-write	0x0000	0xFFFF
				ADCMPANSR1	A/D Compare Function Window A Channel Select Register 1	0x096	16	read-write	0x0000	0xFFFF
				ADCMPLR0	A/D Compare Function Window A Comparison Condition Setting Register 0	0x098	16	read-write	0x0000	0xFFFF
				ADCMPLR1	A/D Compare Function Window A Comparison Condition Setting Register 1	0x09A	16	read-write	0x0000	0xFFFF
				ADCMPDR0	A/D Compare Function Window A Lower-Side Level Setting Register	0x09C	16	read-write	0x0000	0xFFFF
				ADCMPDR1	A/D Compare Function Window A Upper-Side Level Setting Register	0x09E	16	read-write	0x0000	0xFFFF
				ADCMPSR0	A/D Compare Function Window A Channel Status Register 0	0x0A0	16	read-write	0x0000	0xFFFF
				ADCMPSR1	A/D Compare Function Window A Channel Status Register 1	0x0A2	16	read-write	0x0000	0xFFFF
				ADCMPSER	A/D Compare Function Window A Extended Input Channel Status Register	0x0A4	8	read-write	0x00	0xFF
				ADCMPBNSR	A/D Compare Function Window B Channel Select Register	0x0A6	8	read-write	0x00	0xFF
				ADWINLLB	A/D Compare Function Window B Lower-Side Level Setting Register	0x0A8	16	read-write	0x0000	0xFFFF
				ADWINULB	A/D Compare Function Window B Upper-Side Level Setting Register	0x0AA	16	read-write	0x0000	0xFFFF
				ADCMPBSR	A/D Compare Function Window B Status Register	0x0AC	16	read-write	0x0000	0xFFFF
				ADSSTRL	A/D Sampling State Register L	0x0DD	8	read-write	0x0B	0xFF
				ADSSTRT	A/D Sampling State Register T	0x0DE	8	read-write	0x0B	0xFF
				ADSSTRO	A/D Sampling State Register O	0x0DF	8	read-write	0x0B	0xFF
	7	0x1	0-6	ADSSTR0%s	A/D Sampling State Register %s (Corresponding Channel is AN00%s)	0x0E0	8	read-write	0x0B	0xFF
	-	-	-	ADPGACR	A/D Programmable Gain Amplifier Control Register	0x1A0	16	read-write	0x9999	0xFFFF
ADC120	-	-	-	ADPGAGS0	A/D Programmable Gain Amplifier Gain Setting Register 0	0x1A2	16	read-write	0x0000	0xFFFF
				ADPGADCR0	A/D Programmable Gain Amplifier Differential Input Control Register	0x1B0	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (21/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC121	-	-	-	ADCSR	A/D Control Register	0x000	16	read-write	0x0000	0xFFFF
				ADANSA0	A/D Channel Select Register A0	0x004	16	read-write	0x0000	0xFFFF
				ADANSA1	A/D Channel Select Register A1	0x006	16	read-write	0x0000	0xFFFF
				ADADS0	A/D-Converted Value Addition/Average Channel Select Register 0	0x008	16	read-write	0x0000	0xFFFF
				ADADS1	A/D-Converted Value Addition/Average Channel Select Register 1	0x00A	16	read-write	0x0000	0xFFFF
				ADADC	A/D-Converted Value Addition/Average Count Select Register	0x00C	8	read-write	0x00	0xFF
				ADCER	A/D Control Extended Register	0x00E	16	read-write	0x0000	0xFFFF
				ADSTRGR	A/D Conversion Start Trigger Select Register	0x010	16	read-write	0x0000	0xFFFF
				ADEXICR	A/D Conversion Extended Input Control Register	0x012	16	read-write	0x0000	0xFFFF
				ADANSB0	A/D Channel Select Register B0	0x014	16	read-write	0x0000	0xFFFF
				ADANSB1	A/D Channel Select Register B1	0x016	16	read-write	0x0000	0xFFFF
				ADDBLDR	A/D Data Duplication Register	0x018	16	read-only	0x0000	0xFFFF
				ADTSDR	A/D Temperature Sensor Data Register	0x01A	16	read-only	0x0000	0xFFFF
				ADOCDR	A/D Internal Reference Voltage Data Register	0x01C	16	read-only	0x0000	0xFFFF
				ADRD	A/D Self-Diagnosis Data Register	0x01E	16	read-only	0x0000	0xFFFF
	7	0x2	0-6	ADDR%s	A/D Data Register %s	0x020	16	read-only	0x0000	0xFFFF
	5	0x2	16-20	ADDR%s	A/D Data Register %s	0x040	16	read-only	0x0000	0xFFFF
	-	-	-	ADSHCR	A/D Sample and Hold Circuit Control Register	0x066	16	read-write	0x0018	0xFFFF
				ADDISCR	A/D Disconnection Detection Control Register	0x07A	8	read-write	0x00	0xFF
				ADSHMSR	A/D Sample and Hold Operation Mode Select Register	0x07C	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (22/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC121	-	-	-	ADGSPCR	A/D Group Scan Priority Control Register	0x080	16	read-write	0x0000	0xFFFF
				ADDBLDRA	A/D Data Duplication Register A	0x084	16	read-only	0x0000	0xFFFF
				ADDBLDRB	A/D Data Duplication Register B	0x086	16	read-only	0x0000	0xFFFF
				ADWINMON	A/D Compare Function Window A/B Status Monitor Register	0x08C	8	read-write	0x00	0xFF
				ADCMPCR	A/D Compare Function Control Register	0x090	16	read-write	0x0000	0xFFFF
				ADCMPANSER	A/D Compare Function Window A Extended Input Select Register	0x092	8	read-write	0x00	0xFF
				ADCMPLER	A/D Compare Function Window A Extended Input Comparison Condition Setting Register	0x093	8	read-write	0x00	0xFF
				ADCMPANSR0	A/D Compare Function Window A Channel Select Register 0	0x094	16	read-write	0x0000	0xFFFF
				ADCMPANSR1	A/D Compare Function Window A Channel Select Register 1	0x096	16	read-write	0x0000	0xFFFF
				ADCMPLR0	A/D Compare Function Window A Comparison Condition Setting Register 0	0x098	16	read-write	0x0000	0xFFFF
				ADCMPLR1	A/D Compare Function Window A Comparison Condition Setting Register 1	0x09A	16	read-write	0x0000	0xFFFF
				ADCMPDR0	A/D Compare Function Window A Lower-Side Level Setting Register	0x09C	16	read-write	0x0000	0xFFFF
				ADCMPDR1	A/D Compare Function Window A Upper-Side Level Setting Register	0x09E	16	read-write	0x0000	0xFFFF
				ADCMPSR0	A/D Compare Function Window A Channel Status Register 0	0x0A0	16	read-write	0x0000	0xFFFF
				ADCMPSR1	A/D Compare Function Window A Channel Status Register 1	0x0A2	16	read-write	0x0000	0xFFFF
				ADCMPSER	A/D Compare Function Window A Extended Input Channel Status Register	0x0A4	8	read-write	0x00	0xFF
				ADCMPBNSR	A/D Compare Function Window B Channel Select Register	0x0A6	8	read-write	0x00	0xFF
				ADWINLLB	A/D Compare Function Window B Lower-Side Level Setting Register	0x0A8	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (23/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ADC121	-	-	-	ADWINULB	A/D Compare Function Window B Upper-Side Level Setting Register	0x0AA	16	read-write	0x0000	0xFFFF
				ADCMPBSR	A/D Compare Function Window B Status Register	0x0AC	16	read-write	0x0000	0xFFFF
				ADSSTRL	A/D Sampling State Register L	0x0DD	8	read-write	0x0B	0xFF
				ADSSTRT	A/D Sampling State Register T	0x0DE	8	read-write	0x0B	0xFF
				ADSSTRO	A/D Sampling State Register O	0x0DF	8	read-write	0x0B	0xFF
	7	0x1	0-6	ADSSTR0%s	A/D Sampling State Register %s (Corresponding Channel is AN10%s)	0x0E0	8	read-write	0x0B	0xFF
	-	-	-	ADPGACR	A/D Programmable Gain Amplifier Control Register	0x1A0	16	read-write	0x9999	0xFFFF
				ADPGAGS0	A/D Programmable Gain Amplifier Gain Setting Register 0	0x1A2	16	read-write	0x0000	0xFFFF
				ADPGADCR0	A/D Programmable Gain Amplifier Differential Input Control Register	0x1B0	16	read-write	0x0000	0xFFFF
TSN	-	-	-	TSCR	Temperature Sensor Control Register	0x00	8	read-write	0x00	0xFF
DAC12	2	0x2	0, 1	DADR%s	D/A Data Register %s	0x00	16	read-write	0x0000	0xFFFF
	-	-	-	DACR	D/A Control Register	0x04	8	read-write	0x1F	0xFF
				DADPR	DADRm Format Select Register	0x05	8	read-write	0x00	0xFF
				DAADSCR	D/A-A/D Synchronous Start Control Register	0x06	8	read-write	0x00	0xFF
				DAAMPCR	D/A Output Amplifier Control Register	0x08	8	read-write	0x00	0xFF
AMI	-	-	-	DAADUSR	D/A A/D Synchronous Unit Select Register	0xC0	8	read-write	0x00	0xFF
USBHS	-	-	-	SYSCFG	System Configuration Control Register	0x000	16	read-write	0x0020	0xFFFF
				BUSWAIT	CPU Bus Wait Register	0x002	16	read-write	0x000F	0x3F3F
				SYSSTS0	System Configuration Status Register	0x004	16	read-only	0x0000	0xFFFF
				PLLSTA	PLL Status Register	0x006	16	read-only	0x0000	0x0001
				DVSTCTR0	Device State Control Register 0	0x008	16	read-write	0x0000	0xFFFF
				TESTMODE	USB Test Mode Register	0x00C	16	read-write	0x0000	0x000F
				CFIFO	CFIFO Port Register	0x014	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (24/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
USBHS	-	-	-	CFIFOL	CFIFO Port Register L	0x014	16	read-write	0x0000	0xFFFF
				CFIFOLL	CFIFO Port Register LL	0x014	8	read-write	0x00	0xFF
				CFIFOH	CFIFO Port Register H	0x016	16	read-write	0x0000	0xFFFF
				CFIFOHH	CFIFO Port Register HH	0x017	8	read-write	0x00	0xFF
				D0FIFO	D0FIFO Port Register	0x018	32	read-write	0x0000 0000	0xFFFF FFFF
				D0FIFOL	D0FIFO Port Register L	0x018	16	read-write	0x0000	0xFFFF
				D0FIFOLL	D0FIFO Port Register LL	0x018	8	read-write	0x00	0xFF
				D0FIFOH	D0FIFO Port Register H	0x01A	16	read-write	0x0000	0xFFFF
				D0FIFOHH	D0FIFO Port Register HH	0x01B	8	read-write	0x00	0xFF
				D1FIFO	D1FIFO Port Register	0x01C	32	read-write	0x0000 0000	0xFFFF FFFF
				D1FIFOL	D1FIFO Port Register L	0x01C	16	read-write	0x0000	0xFFFF
				D1FIFOLL	D1FIFO Port Register LL	0x01C	8	read-write	0x00	0xFF
				D1FIFOH	D1FIFO Port Register H	0x01E	16	read-write	0x0000	0xFFFF
				D1FIFOHH	D1FIFO Port Register HH	0x01F	8	read-write	0x00	0xFF
				CFIFOSEL	CFIFO Port Select Register	0x020	16	read-write	0x0000	0xFFFF
				CFIFOCTR	CFIFO Port Control Register	0x022	16	read-write	0x0000	0xFFFF
				D0FIFOSEL	D0FIFO Port Select Register	0x028	16	read-write	0x0000	0xFFFF
				D0FIFOCTR	D0FIFO Port Control Register	0x02A	16	read-write	0x0000	0xFFFF
				D1FIFOSEL	D1FIFO Port Select Register	0x02C	16	read-write	0x0000	0xFFFF
				D1FIFOCTR	D1FIFO Port Control Register	0x02E	16	read-write	0x0000	0xFFFF
				INTENB0	Interrupt Enable Register 0	0x030	16	read-write	0x0000	0xFF00
				INTENB1	Interrupt Enable Register 1	0x032	16	read-write	0x0000	0xDB71
				BRDYENB	BRDY Interrupt Enable Register	0x036	16	read-write	0x0000	0xFFFF
				NRDYENB	NRDY Interrupt Enable Register	0x038	16	read-write	0x0000	0xFFFF
				BEMPENB	BEMP Interrupt Enable Register	0x03A	16	read-write	0x0000	0xFFFF
				SOFCFG	SOF Pin Configuration Register	0x03C	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (25/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
USBHS	-	-	-	PHYSET	PHY Setting Register	0x03E	16	read-write	0x0033	0x0B3B
				INTSTS0	Interrupt Status Register 0	0x040	16	read-write	0x0000	0xFF7F
				INTSTS1	Interrupt Status Register 1	0x042	16	read-write	0x0000	0xDB71
				BRDYSTS	BRDY Interrupt Status Register	0x046	16	read-write	0x0000	0xFFFF
				NRDYSTS	NRDY Interrupt Status Register	0x048	16	read-write	0x0000	0xFFFF
				BEMPSTS	BEMP Interrupt Status Register	0x04A	16	read-write	0x0000	0xFFFF
				FRMNUM	Frame Number Register	0x04C	16	read-write	0x0000	0xC7FF
				UFRMNUM	uFrame Number Register	0x04E	16	read-write	0x0000	0x8007
				USBADDR	USB Address Register	0x050	16	read-write	0x0000	0x8007
				USBREQ	USB Request Type Register	0x054	16	read-write	0x0000	0xFFFF
				USBVAL	USB Request Value Register	0x056	16	read-write	0x0000	0xFFFF
				USBINDX	USB Request Index Register	0x058	16	read-write	0x0000	0xFFFF
				USBLENG	USB Request Length Register	0x05A	16	read-write	0x0000	0xFFFF
				DCPCFG	DCP Configuration Register	0x05C	16	read-write	0x0000	0x0190
				DCPMAXP	DCP Maximum Packet Size Register	0x05E	16	read-write	0x0040	0xF07F
				DCPCTR	DCP Control Register	0x060	16	read-write	0x0000	0xF1F7
				PIPESEL	Pipe Window Select Register	0x064	16	read-write	0x0000	0x000F
				PIPECFG	Pipe Configuration Register	0x068	16	read-write	0x0000	0xC79F
				PIPEBUF	Pipe Buffer Register	0x06A	16	read-write	0x0000	0x7CFF
				PIPEMAXP	Pipe Maximum Packet Size Register	0x06C	16	read-write	0x0000	0xF7FF
				PIPEPERI	Pipe Cycle Control Register	0x06E	16	read-write	0x0000	0x1007
	9	0x002	1-9	PIPE%sCTR	PIPE Control Register	0x070	16	read-write	0x0000	0xF7E3
	5	0x004	1-5	PIPE%sTRE	PIPE Transaction Counter Enable Register	0x090	16	read-write	0x0000	0x0300
	5	0x004	1-5	PIPE%sTRN	PIPE Transaction Counter Register	0x092	16	read-write	0x0000	0xFFFF
	10	0x002	0-9	DEVADD%s	Device Address Configuration Register	0x0D0	16	read-write	0x0000	0x7FC0
	-	-	-	DEVADDA	Device Address Configuration Register A	0x0E4	16	read-write	0x0000	0x7FC0

表 3.4 レジスタの説明 (26/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
USBHS	-	-	-	LPCTRL	Low Power Control Register	0x100	16	read-write	0x0000	0x0181
				LPSTS	Low Power Status Register	0x102	16	read-write	0x0000	0x510B
				BCCTRL	Battery Charging Control Register	0x140	16	read-write	0x0000	0x033F
				PL1CTRL1	Function L1 Control Register 1	0x144	16	read-write	0x0000	0x4FFF
				PL1CTRL2	Function L1 Control Register 2	0x146	16	read-write	0x0000	0x1F00
				HL1CTRL1	Host L1 Control Register 1	0x148	16	read-write	0x0000	0x0007
				HL1CTRL2	Host L1 Control Register 2	0x14A	16	read-write	0x0000	0x9F0F
				DPUSR0R	Deep Software Standby USB Transceiver Control/ Pin Monitor Register	0x160	32	read-write	0x0000 0000	0xFF4F FFFF
				DPUSR1R	Deep Software Standby USB Suspend/Resume Interrupt Register 1	0x164	32	read-write	0x0000 0000	0xFFFF FFFF
				DPUSR2R	Deep Software Standby USB Suspend/Resume Interrupt Register 2	0x168	16	read-write	0x0000	0xFFFF
				DPUSRCR	Deep Software Standby USB Suspend/Resume Command Register	0x16A	16	read-write	0x0000	0xFFFF
SDHI0, 1	-	-	-	SD_CMD	Command Type Register	0x000	32	read-write	0x0000 0000	0xFFFF FFFF
				SD_PORTSEL	SD Port Select Register	0x004	32	read-write	0x0000 0100	0xFFFF FFFF
				SD_ARG	SD Command Argument Register	0x008	32	read-write	0x0000 0000	0xFFFF FFFF
				SD_ARG1	SD Command Argument Register 1	0x00C	32	read-write	0x0000 0000	0xFFFF FFFF
				SD_STOP	Data Stop Register	0x010	32	read-write	0x0000 0000	0xFFFF FFFF
				SD_SECCNT	Block Count Register	0x014	32	read-write	0x0000 0000	0xFFFF FFFF
				SD_RSP10	SD Card Response Register 10	0x018	32	read-only	0x0000 0000	0xFFFF FFFF
				SD_RSP1	SD Card Response Register 1	0x01C	32	read-only	0x0000 000	0xFFFF FFFF
				SD_RSP32	SD Card Response Register 32	0x020	32	read-only	0x0000 0000	0xFFFF FFFF
				SD_RSP3	SD Card Response Register 3	0x024	32	read-only	0x0000 0000	0xFFFF FFFF
				SD_RSP54	SD Card Response Register 54	0x028	32	read-only	0x0000 0000	0xFFFF FFFF
				SD_RSP5	SD Card Response Register 5	0x02C	32	read-only	0x0000 0000	0xFFFF FFFF
				SD_RSP76	SD Card Response Register 76	0x030	32	read-only	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (27/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SDHI0, 1	-	-	-	SD_RSP7	SD Card Response Register 7	0x034	32	read-only	0x0000 0000	0xFFFF FFFF
				SD_INFO1	SD Card Interrupt Flag Register 1	0x038	32	read-write	0x0000 0000	0xFFFF FB5F
				SD_INFO2	SD Card Interrupt Flag Register 2	0x03C	32	read-write	0x0000 2000	0xFFFF FF7F
				SD_INFO1_MASK	SD_INFO1 Interrupt Mask Register	0x040	32	read-write	0x0000 031D	0xFFFF FFFF
				SD_INFO2_MASK	SD_INFO2 Interrupt Mask Register	0x044	32	read-write	0x0000 8B7F	0xFFFF FFFF
				SD_CLK_CTRL	SD Clock Control Register	0x048	32	read-write	0x0000 0020	0xFFFF FFFF
				SD_SIZE	Transfer Data Length Register	0x04C	32	read-write	0x0000 0200	0xFFFF FFFF
				SD_OPTION	SD Card Access Control Option Register	0x050	32	read-write	0x0000 40EE	0xFFFF FFFF
				SD_ERR_STS1	SD Error Status Register 1	0x058	32	read-only	0x0000 2000	0xFFFF FFFF
				SD_ERR_STS2	SD Error Status Register 2	0x05C	32	read-only	0x0000 0000	0xFFFF FFFF
				SD_BUF0	SD Buffer Register	0x060	32	read-write	0x0000 0000	0x0000 0000
				SDIO_MODE	SDIO Mode Control Register	0x068	32	read-write	0x0000 0000	0xFFFF FFFF
				SDIO_INFO1	SDIO Interrupt Flag Register 1	0x06C	32	read-write	0x0000 0000	0xFFFF FFF9
				SDIO_INFO1_MASK	SDIO_INFO1 Interrupt Mask Register	0x070	32	read-write	0x0000 C007	0xFFFF FFFF
				SD_DMAEN	DMA Mode Enable Register	0x1B0	32	read-write	0x0000 1010	0xFFFF FFFF
				SOFT_RST	Software Reset Register	0x1C0	32	read-write	0x0000 0007	0xFFFF FFFF
				SDIF_MODE	SD Interface Mode Setting Register	0x1CC	32	read-write	0x0000 0000	0xFFFF FFFF
				EXT_SWAP	Swap Control Register	0x1E0	32	read-write	0x0000 0000	0xFFFF FFFF
				EXT_CD_MASK	EXT_CD Interrupt Mask Register	0x1F8	32	read-write	0x0000 00FF	0xFFFF FFFF

表 3.4 レジスタの説明 (28/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
EDMAC0, 1	-	-	-	EDMR	EDMAC Mode Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				TRIMD	Transmit Interrupt Setting Register	0x07C	32	read-write	0x0000 0000	0xFFFF FFFF
				EDTRR	EDMAC Transmit Request Register	0x08	32	read-write	0x0000 0000	0xFFFF FFFF
				TBRAR	Transmit Buffer Read Address Register	0x0D4	32	read-write	0x0000 0000	0xFFFF FFFF
				EDRRR	EDMAC Receive Request Register	0x10	32	read-write	0x0000 0000	0xFFFF FFFF
				TDLAR	Transmit Descriptor List Start Address Register	0x18	32	read-write	0x0000 0000	0xFFFF FFFF
				RDLAR	Receive Descriptor List Start Address Register	0x20	32	read-write	0x0000 0000	0xFFFF FFFF
				EESR	ETHERC/EDMAC Status Register	0x28	32	read-write	0x0000 0000	0xFFFF FFFF
				EESIPR	ETHERC/EDMAC Status Interrupt Enable Register	0x30	32	read-write	0x0000 0000	0xFFFF FFFF
				TRSCER	ETHERC/EDMAC Transmit/Receive Status Copy Enable Register	0x38	32	read-write	0x0000 0000	0xFFFF FFFF
				RMFCR	Missed-Frame Counter Register	0x40	32	read-write	0x0000 0000	0xFFFF FFFF
				TFTR	Transmit FIFO Threshold Register	0x48	32	read-write	0x0000 0000	0xFFFF FFFF
				FDR	FIFO Depth Register	0x50	32	read-write	0x0000 0000	0xFFFF FFFF
				RMCR	Receive Method Control Register	0x58	32	read-write	0x0000 0000	0xFFFF FFFF
				TFUCR	Transmit FIFO Underflow Counter	0x64	32	read-write	0x0000 0000	0xFFFF FFFF
				RFOCR	Receive FIFO Overflow Counter	0x68	32	read-write	0x0000 0000	0xFFFF FFFF
				IOSR	Independent Output Signal Setting Register	0x6C	32	read-write	0x0000 0000	0xFFFF FFFF
				FCFTR	Flow Control Start FIFO Threshold Setting Register	0x70	32	read-write	0x0007 0007	0xFFFF FFFF
				RPADIR	Receive Data Padding Insert Register	0x78	32	read-write	0x0000 0000	0xFFFF FFFF
				RBWAR	Receive Buffer Write Address Register	0xC8	32	read-write	0x0000 0000	0xFFFF FFFF
				RDFAR	Receive Descriptor Fetch Address Register	0xCC	32	read-write	0x0000 0000	0xFFFF FFFF
				TDFAR	Transmit Descriptor Fetch Address Register	0xD8	32	read-only	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (29/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
ETHERC0,1	-	-	-	ECMR	ETHERC Mode Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				RFLR	Receive Frame Maximum Length Register	0x08	32	read-write	0x0000 0000	0xFFFF FFFF
				ECSR	ETHERC Status Register	0x10	32	read-write	0x0000 0000	0xFFFF FFFF
				ECSIPR	ETHERC Interrupt Enable Register	0x18	32	read-write	0x0000 0000	0xFFFF FFFF
				PIR	PHY Interface Register	0x20	32	read-write	0x0000 0000	0xFFFF FFF7
				PSR	PHY Status Register	0x28	32	read-only	0x0000 0000	0xFFFF FFFE
				RDMLR	Random Number Generation Counter Upper Limit Setting Register	0x40	32	read-write	0x0000 0000	0xFFFF FFFF
				IPGR	Interpacket Gap Register	0x50	32	read-write	0x0000 0014	0xFFFF FFFF
				APR	Automatic PAUSE Frame Register	0x54	32	read-write	0x0000 0000	0xFFFF FFFF
				MPR	Manual PAUSE Frame Register	0x58	32	read-write	0x0000 0000	0xFFFF 0000
				RFCF	Received PAUSE Frame Counter	0x60	32	read-only	0x0000 0000	0xFFFF FFFF
				TPAUSER	PAUSE Frame Retransmit Count Setting Register	0x64	32	read-write	0x0000 0000	0xFFFF FFFF
				TPAUSECR	PAUSE Frame Retransmit Counter	0x68	32	read-only	0x0000 0000	0xFFFF FFFF
				BCFRR	Broadcast Frame Receive Count Setting Register	0x6C	32	read-write	0x0000 0000	0xFFFF FFFF
				MAHR	MAC Address Upper Bit Register	0xC0	32	read-write	0x0000 0000	0xFFFF FFFF
				MALR	MAC Address Lower Bit Register	0xC8	32	read-write	0x0000 0000	0xFFFF FFFF
				TROCR	Transmit Retry Over Counter Register	0xD0	32	read-write	0x0000 0000	0xFFFF FFFF
				CDCR	Late Collision Detect Counter Register	0xD4	32	read-write	0x0000 0000	0xFFFF FFFF
				LCCR	Lost Carrier Counter Register	0xD8	32	read-write	0x0000 0000	0xFFFF FFFF
				CNDCR	Carrier Not Detect Counter Register	0xDC	32	read-write	0x0000 0000	0xFFFF FFFF
				CEFCR	CRC Error Frame Receive Counter Register	0xE4	32	read-write	0x0000 0000	0xFFFF FFFF
				FRECR	Frame Receive Error Counter Register	0xE8	32	read-write	0x0000 0000	0xFFFF FFFF
				TSFRCR	Too-Short Frame Receive Counter Register	0xEC	32	read-write	0x0000 0000	0xFFFF FFFF
ETHERC0,1	-	-	-	TLFRCR	Too-Long Frame Receive Counter Register	0xF0	32	read-write	0x0000 0000	0xFFFF FFFF
				RFCR	Received Alignment Error Frame Counter Register	0xF4	32	read-write	0x0000 0000	0xFFFF FFFF
				MAFCR	Multicast Address Frame Receive Counter Register	0xF8	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (30/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PTPEDMAC	-	-	-	EDMR	PTPEDMAC Mode Register	0x000	32	read-write	0x0000 0000	0xFFFF FFFF
				EDTRR	EDMAC Transmit Request Register	0x008	32	read-write	0x0000 0000	0xFFFF FFFF
				EDRRR	EDMAC Receive Request Register	0x010	32	read-write	0x0000 0000	0xFFFF FFFF
				TDLAR	Transmit Descriptor List Start Address Register	0x018	32	read-write	0x0000 0000	0xFFFF FFFF
				RDLAR	Receive Descriptor List Start Address Register	0x020	32	read-write	0x0000 0000	0xFFFF FFFF
				EESR	PTP/EDMAC Status Register	0x028	32	read-write	0x0000 0000	0xFFFF FFFF
				EESIPR	PTP/EDMAC Status Interrupt Enable Register	0x030	32	read-write	0x0000 0000	0xFFFF FFFF
				RMFCR	Missed-Frame Counter Register	0x040	32	read-write	0x0000 0000	0xFFFF FFFF
				TFTR	Transmit FIFO Threshold Register	0x048	32	read-write	0x0000 0000	0xFFFF FFFF
				FDR	FIFO Depth Register	0x050	32	read-write	0x0000 0000	0xFFFF FFFF
				RMCR	Receive Method Control Register	0x058	32	read-write	0x0000 0000	0xFFFF FFFF
				TFUCR	Transmit FIFO Underflow Counter	0x064	32	read-write	0x0000 0000	0xFFFF FFFF
				RFOCR	Receive FIFO Overflow Counter	0x068	32	read-write	0x0000 0000	0xFFFF FFFF
				IOSR	Independent Output Signal Setting Register	0x06C	32	read-write	0x0000 0000	0xFFFF FFFF
				FCFTR	Flow Control Start FIFO Threshold Setting Register	0x070	32	read-write	0x0007 0007	0xFFFF FFFF
				RPADIR	Receive Data Padding Insert Register	0x078	32	read-write	0x0000 0000	0xFFFF FFFF
				TRIMD	Transmit Interrupt Setting Register	0x07C	32	read-write	0x0000 0000	0xFFFF FFFF
				RBWAR	Receive Buffer Write Address Register	0x0C8	32	read-write	0x0000 0000	0xFFFF FFFF
				RDFAR	Receive Descriptor Fetch Address Register	0x0CC	32	read-write	0x0000 0000	0xFFFF FFFF
				TBRAR	Transmit Buffer Read Address Register	0x0D4	32	read-write	0x0000 0000	0xFFFF FFFF
				TDFAR	Transmit Descriptor Fetch Address Register	0x0D8	32	read-write	0x0000 0000	0xFFFF FFFF
EPTPC_CFG	-	-	-	PTRSTR	EPTPC Reset Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				STCSELR	STCA Clock Select Register	0x04	32	read-write	0x0000 0006	0xFFFF FFFF
				BYPASS	Bypass 1588 module Register	0x08	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (31/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
EPTPC	-	-	-	MIESR	ETHER_MINT Interrupt Source Status Register	0x000	32	read-write	0x0000 0000	0xFFFF FFFF
				MIEIPR	ETHER_MINT Interrupt Request Enable Register	0x004	32	read-write	0x0000 0000	0xFFFF FFFF
				ELIPPR	ELC Output/ETHER_IPLS Interrupt Request Permission Register	0x010	32	read-write	0x0000 3F3F	0xFFFF FFFF
				ELIPACR	ELC Output/ETHER_IPLS Interrupt Permission Automatic Clearing Register	0x014	32	read-write	0x0000 0000	0xFFFF FFFF
				STSR	STCA Status Register	0x040	32	read-write	0x0000 0000	0xFFFF FFFF
				STIPR	STCA Status Notification Permission Register	0x044	32	read-write	0x0000 0000	0xFFFF FFFF
				STCFR	STCA Clock Frequency Setting Register	0x050	32	read-write	0x0000 0000	0xFFFF FFFF
				STMR	STCA Operating Mode Register	0x054	32	read-write	0x0000 0000	0xFFFF FFFF
				SYNTOR	Sync Message Reception Timeout Register	0x058	32	read-write	0x0000 0000	0xFFFF FFFF
				IPTSELR	IPLS Interrupt Request Timer Select Register	0x060	32	read-write	0x0000 0000	0xFFFF FFFF
				MITSELR	MINT Interrupt Request Timer Select Register	0x064	32	read-write	0x0000 0000	0xFFFF FFFF
				ELTSELR	ELC Output Timer Select Register	0x068	32	read-write	0x0000 0000	0xFFFF FFFF
				STCHSELR	Time Synchronization Channel Select Register	0x06C	32	read-write	0x0000 0000	0xFFFF FFFF
				SYNSTARTR	Slave Time Synchronization Start Register	0x080	32	read-write	0x0000 0000	0xFFFF FFFF
				LCIVLDR	Local Time Counter Initial Value Load Directive Register	0x084	32	write-only	0x0000 0000	0xFFFF FFFF
				SYNTDARU	Synchronization Loss Detection Threshold Register	0x090	32	read-write	0x0000 0000	0xFFFF FFFF
				SYNTDARL	Synchronization Loss Detection Threshold Register	0x094	32	read-write	0x0000 0000	0xFFFF FFFF
				SYNTDBRU	Synchronization Detection Threshold Register	0x098	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (32/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
EPTPC	-	-	-	SYNTDBRL	Synchronization Detection Threshold Register	0x09C	32	read-write	0x0000 0000	0xFFFF FFFF
				LCIVRU	Local Time Counter Initial Value Register	0x0B0	32	read-write	0x0000 0000	0xFFFF FFFF
				LCIVRM	Local Time Counter Initial Value Register	0x0B4	32	read-write	0x0000 0000	0xFFFF FFFF
				LCIVRL	Local Time Counter Initial Value Register	0x0B8	32	read-write	0x0000 0000	0xFFFF FFFF
				GETW10R	Worst 10 Acquisition Directive Register	0x124	32	read-write	0x0000 0000	0xFFFF FFFF
				PLIMITRU	Positive Gradient Limit Register	0x128	32	read-write	0x0000 0000	0xFFFF FFFF
				PLIMITRM	Positive Gradient Limit Register	0x12C	32	read-write	0x0000 0000	0xFFFF FFFF
				PLIMITRL	Positive Gradient Limit Register	0x130	32	read-write	0x0000 0000	0xFFFF FFFF
				MLIMITRU	Negative Gradient Limit Register	0x134	32	read-write	0x0000 0000	0xFFFF FFFF
				MLIMITRM	Negative Gradient Limit Register	0x138	32	read-write	0x0000 0000	0xFFFF FFFF
				MLIMITRL	Negative Gradient Limit Register	0x13C	32	read-write	0x0000 0000	0xFFFF FFFF
				GETINFOR	Statistical Information Retention Control Register	0x140	32	read-write	0x0000 0000	0xFFFF FFFF
				LCCVRU	Local Time Counters	0x170	32	read-only	0x0000 0000	0xFFFF FFFF
				LCCVRM	Local Time Counters	0x174	32	read-only	0x0000 0000	0xFFFF FFFF
				LCCVRL	Local Time Counters	0x178	32	read-only	0x0000 0000	0xFFFF FFFF
				PW10VRU	Positive Gradient Worst 10 Value Register	0x210	32	read-only	0x0000 0000	0xFFFF FFFF
				PW10VRM	Positive Gradient Worst 10 Value Register	0x214	32	read-only	0x0000 0000	0xFFFF FFFF
				PW10VRL	Positive Gradient Worst 10 Value Register	0x218	32	read-only	0x0000 0000	0xFFFF FFFF
				MW10RU	Negative Gradient Worst 10 Value Register	0x2D0	32	read-only	0x0000 0000	0xFFFF FFFF
				MW10RM	Negative Gradient Worst 10 Value Register	0x2D4	32	read-only	0x0000 0000	0xFFFF FFFF
				MW10RL	Negative Gradient Worst 10 Value Register	0x2D8	32	read-only	0x0000 0000	0xFFFF FFFF
	6	0x10	0-5	TMSTTRU%s	Timer Start Time Setting Register %s	0x300	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x10	0-5	TMSTTRL%s	Timer Start Time Setting Register %s	0x304	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x10	0-5	TMCYCR%s	Timer Cycle Setting Register %s	0x308	32	read-write	0x0000 0000	0xFFFF FFFF
	6	0x10	0-5	TMPLSR%s	Timer Pulse Width Setting Register %s	0x30C	32	read-write	0x0000 0000	0xFFFF FFFF
	-	-	-	TMSTARTR	Timer Start Register	0x37C	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (33/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
EPTPC	-	-	-	PRSR	PRC-TC Status Register	0x400	32	read-write	0x0000 0000	0xFFFF FFFF
				PRIPR	PRC-TC Status Notification Permission Register	0x404	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x8	0-1	PRMACRU%s	Channel %s Local MAC Address Register	0x410	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x8	0-1	PRMACRL%s	Channel %s Local MAC Address Register	0x414	32	read-write	0x0000 0000	0xFFFF FFFF
	-	-	-	TRNDISR	Packet Transmission Control Register	0x420	32	read-write	0x0000 0000	0xFFFF FFFF
				TRNMR	Relay Mode Register	0x430	32	read-write	0x0000 0000	0xFFFF FFFF
				TRNCTTDR	Cut-Through Transfer Start Threshold Register	0x434	32	read-write	0x0000 0060	0xFFFF FFFF
EPTPC0, 1	-	-	-	SYSR	SYNFP Status Register	0x000	32	read-write	0x0000 0000	0xFFFF FFFF
				SYIPR	SYNFP Status Notification Enable Register	0x004	32	read-write	0x0000 0000	0xFFFF FFFF
				SYMACRU	SYNFP MAC Address Register	0x010	32	read-write	0x0000 0000	0xFFFF FFFF
				SYMACRL	SYNFP MAC Address Register	0x014	32	read-write	0x0000 0000	0xFFFF FFFF
				SYLLCCTLR	SYNFP LLC-CTL Value Register	0x018	32	read-write	0x0000 0003	0xFFFF FFFF
				SYIPADDRR	SYNFP Local IP Address Register	0x01C	32	read-write	0x0000 0000	0xFFFF FFFF
				SYSPVRR	SYNFP Specification Version Setting Register	0x040	32	read-write	0x0000 0002	0xFFFF FFFF
				SYDOMR	SYNFP Domain Number Setting Register	0x044	32	read-write	0x0000 0000	0xFFFF FFFF
				ANFR	Announce Message Flag Field Setting Register	0x050	32	read-write	0x0000 0000	0xFFFF FFFF
				SYNFR	Sync Message Flag Field Setting Register	0x054	32	read-write	0x0000 0000	0xFFFF FFFF
				DYRQFR	Delay_Req Message Flag Field Setting Register	0x058	32	read-write	0x0000 0000	0xFFFF FFFF
				DYRPFR	Delay_Resp Message Flag Field Setting Register	0x05C	32	read-write	0x0000 0000	0xFFFF FFFF
				SYCIDRU	SYNFP Local Clock ID Register	0x060	32	read-write	0x0000 0000	0xFFFF FFFF
				SYCIDRL	SYNFP Local Clock ID Register	0x064	32	read-write	0x0000 0000	0xFFFF FFFF
				SYPNUMR	SYNFP Local Port Number Register	0x068	32	read-write	0x0000 0000	0xFFFF FFFF
				SYRVLDR	SYNFP Register Value Load Directive Register	0x080	32	write-only	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (34/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
EPTPC0, 1	-	-	-	SYRFL1R	SYNFP Reception Filter Register 1	0x090	32	read-write	0x0000 0000	0xFFFF FFFF
				SYRFL2R	SYNFP Reception Filter Register 2	0x094	32	read-write	0x0000 0000	0xFFFF FFFF
				SYTRENR	SYNFP Transmission Enable Register	0x098	32	read-write	0x0000 0000	0xFFFF FFFF
				MTCIDU	Master Clock ID Register	0x0A0	32	read-write	0x0000 0000	0xFFFF FFFF
				MTCIDL	Master Clock ID Register	0x0A4	32	read-write	0x0000 0000	0xFFFF FFFF
				MTPID	Master Clock Port Number Register	0x0A8	32	read-write	0x0000 0000	0xFFFF FFFF
				SYTLIR	SYNFP Transmission Interval Setting Register	0x0C0	32	read-write	0x0000 0001	0xFFFF FFFF
				SYRLIR	SYNFP Received logMessageInterval Value Indication Register	0x0C4	32	read-only	0x0000 0000	0xFFFF FFFF
				OFMRU	offsetFromMaster Value Register	0x0C8	32	read-only	0x0000 0000	0xFFFF FFFF
				OFMRL	offsetFromMaster Value Register	0x0CC	32	read-only	0x0000 0000	0xFFFF FFFF
				MPDRU	meanPathDelay Value Register	0x0D0	32	read-only	0x0000 0000	0xFFFF FFFF
				MPDRL	meanPathDelay Value Register	0x0D4	32	read-only	0x0000 0000	0xFFFF FFFF
				GMPR	grandmasterPriority Field Setting Register	0x0E0	32	read-write	0x0000 0000	0xFFFF FFFF
				GMCQR	grandmasterClockQuality Field Setting Register	0x0E4	32	read-write	0x0000 0000	0xFFFF FFFF
				GMIDRU	grandmasterIdentity Field Setting Register	0x0E8	32	read-write	0x0000 0000	0xFFFF FFFF
				GMIDRL	grandmasterIdentity Field Setting Register	0x0EC	32	read-write	0x0000 0000	0xFFFF FFFF
				CUOTSR	currentUtcOffset/ timeSource Field Setting Register	0x0F0	32	read-write	0x0000 0000	0xFFFF FFFF
				SRR	stepsRemoved Field Setting Register	0x0F4	32	read-write	0x0000 0000	0xFFFF FFFF
				PPMACRU	PTP-primary Message Destination MAC Address Setting Register	0x100	32	read-write	0x0001 1B19	0xFFFF FFFF
				PPMACRL	PTP-primary Message Destination MAC Address Setting Register	0x104	32	read-write	0x0000 0000	0xFFFF FFFF
				PDMACRU	PTP-pdelay Message MAC Address Setting Register	0x108	32	read-write	0x0001 80C2	0xFFFF FFFF
				PDMACRL	PTP-pdelay Message MAC Address Setting Register	0x10C	32	read-write	0x0000 000E	0xFFFF FFFF

表 3.4 レジスタの説明 (35/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
EPTPC 0, 1	-	-	-	PETYPER	PTP Message EtherType Setting Register	0x110	32	read-write	0x0000 88F7	0xFFFF FFFF
				PPIPR	PTP-primary Message Destination IP Address Setting Register	0x120	32	read-write	0xE000 0181	0xFFFF FFFF
				PDIPR	PTP-pdelay Message Destination IP Address Setting Register	0x124	32	read-write	0xE000 006B	0xFFFF FFFF
				PETOSR	PTP Event Message TOS Setting Register	0x128	32	read-write	0x0000 0000	0xFFFF FFFF
				PGTOSR	PTP general Message TOS Setting Register	0x12C	32	read-write	0x0000 0000	0xFFFF FFFF
				PPTTLR	PTP-primary Message TTL Setting Register	0x130	32	read-write	0x0000 0080	0xFFFF FFFF
				PDTTLR	PTP-pdelay Message TTL Setting Register	0x134	32	read-write	0x0000 0001	0xFFFF FFFF
				PEUDPR	PTP Event Message UDP Destination Port Number Setting Register	0x138	32	read-write	0x0000 013F	0xFFFF FFFF
				PGUDPR	PTP general Message UDP Destination Port Number Setting Register	0x13C	32	read-write	0x0000 0140	0xFFFF FFFF
				FFLTR	Frame Reception Filter Setting Register	0x140	32	read-write	0x0001 0000	0xFFFF FFFF
	2	0x8	0-1	FMAC%sRU	Frame Reception Filter MAC Address %s Setting Register	0x160	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x8	0-1	FMAC%sRL	Frame Reception Filter MAC Address %s Setting Register	0x164	32	read-write	0x0000 0000	0xFFFF FFFF
	-	-	-	DASYMRU	Asymmetric Delay Setting Register	0x1C0	32	read-write	0x0000 0000	0xFFFF FFFF
				DASYMRL	Asymmetric Delay Setting Register	0x1C4	32	read-write	0x0000 0000	0xFFFF FFFF
				TSLATR	Timestamp Latency Setting Register	0x1C8	32	read-write	0x0000 0000	0xFFFF FFFF
				SYCONFR	SYNFP Operation Setting Register	0x1CC	32	read-write	0x0000 0000	0xFFFF FFFF
				SYFORMR	SYNFP Frame Format Setting Register	0x1D0	32	read-write	0x0000 0000	0xFFFF FFFF
				RSTOUTR	Response Message Reception Timeout Register	0x1D4	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (36/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SCI0-9	-	-	-	SMR	Serial Mode Register (SCMR.SMIF = 0)	0x00	8	read-write	0x00	0xFF
				SMR_SMCI	Serial Mode Register (SCMR.SMIF = 1)	0x00	8	read-write	0x00	0xFF
				BRR	Bit Rate Register	0x01	8	read-write	0x00	0xFF
				SCR	Serial Control Register (SCMR.SMIF = 0)	0x02	8	read-write	0x00	0xFF
				SCR_SMCI	Serial Control Register (SCMR.SMIF =1)	0x02	8	read-write	0x00	0xFF
				TDR	Transmit Data Register	0x03	8	read-write	0xFF	0xFF
				SSR	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=0)	0x04	8	read-write	0x84	0xFF
				SSR_FIFO	Serial Status Register (SCMR.SMIF = 0 and FCR.FM=1)	0x04	8	read-write	0x80	0xFF
				SSR_SMCI	Serial Status Register (SCMR.SMIF = 1)	0x04	8	read-write	0x84	0xFF
				RDR	Receive Data Register	0x05	8	read-only	0x00	0xFF
				SCMR	Smart Card Mode Register	0x06	8	read-write	0xF2	0xFF
				SEMR	Serial Extended Mode Register	0x07	8	read-write	0x00	0xFF
				SNFR	Noise Filter Setting Register	0x08	8	read-write	0x00	0xFF
				SIMR1	I2C Mode Register 1	0x09	8	read-write	0x00	0xFF
				SIMR2	I2C Mode Register 2	0x0A	8	read-write	0x00	0xFF
				SIMR3	I2C Mode Register 3	0x0B	8	read-write	0x00	0xFF
				SISR	I2C Status Register	0x0C	8	read-only	0x00	0xCB
				SPMR	SPI Mode Register	0x0D	8	read-write	0x00	0xFF
				TDRHL	Transmit 9-bit Data Register	0x0E	16	read-write	0xFFFF	0xFFFF
				FTDRHL	Transmit FIFO Data Register HL	0x0E	16	write-only	0xFFFF	0xFFFF
				FTDRH	Transmit FIFO Data Register H	0x0E	8	write-only	0xFF	0xFF
				FTDRL	Transmit FIFO Data Register L	0x0F	8	write-only	0xFF	0xFF
				RDRHL	Receive 9-bit Data Register	0x10	16	read-only	0x0000	0xFFFF
				FRDRHL	Receive FIFO Data Register HL	0x10	16	read-only	0x0000	0xFFFF
				FRDRH	Receive FIFO Data Register H	0x10	8	read-only	0x00	0xFF
				FRDRL	Receive FIFO Data Register L	0x11	8	read-only	0x00	0xFF

表 3.4 レジスタの説明 (37/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
SCI0-9	-	-	-	MDDR	Modulation Duty Register	0x12	8	read-write	0xFF	0xFF
				DCCR	Data Compare Match Control Register	0x13	8	read-write	0x40	0xFF
				FCR	FIFO Control Register	0x14	16	read-write	0xF800	0xFFFF
				FDR	FIFO Data Count Register	0x16	16	read-only	0x0000	0xFFFF
				LSR	Line Status Register	0x18	16	read-only	0x0000	0xFFFF
				CDR	Compare Match Data Register	0x1A	16	read-write	0x0000	0xFFFF
				SPTR	Serial Port Register	0x1C	8	read-write	0x03	0xFF
IRDA	-	-	-	IRCR	IrDA Control Register	0x00	8	read-write	0x00	0xFF
SPI0, 1	-	-	-	SPCR	SPI Control Register	0x00	8	read-write	0x00	0xFF
				SSLP	SPI Slave Select Polarity Register	0x01	8	read-write	0x00	0xFF
				SPPCR	SPI Pin Control Register	0x02	8	read-write	0x00	0xFF
				SPSR	SPI Status Register	0x03	8	read-write	0x20	0xFF
				SPDR	SPI Data Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
				SPDR_HA	SPI Data Register (halfword access)	0x04	16	read-write	0x0000	0xFFFF
				SPSCR	SPI Sequence Control Register	0x08	8	read-write	0x00	0xFF
				SPSSR	SPI Sequence Status Register	0x09	8	read-only	0x00	0xFF
				SPBR	SPI Bit Rate Register	0x0A	8	read-write	0xFF	0xFF
				SPDCR	SPI Data Control Register	0x0B	8	read-write	0x00	0xFF
				SPCKD	SPI Clock Delay Register	0x0C	8	read-write	0x00	0xFF
				SSLND	SPI Slave Select Negation Delay Register	0x0D	8	read-write	0x00	0xFF
				SPND	SPI Next-Access Delay Register	0x0E	8	read-write	0x00	0xFF
				SPCR2	SPI Control Register 2	0x0F	8	read-write	0x00	0xFF
	8	0x2	0-7	SPCMD%s	SPI Command Register %s	0x10	16	read-write	0x070D	0xFFFF

表 3.4 レジスタの説明 (38/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
CRC	-	-	-	CRCCR0	CRC Control Register0	0x00	8	read-write	0x00	0xFF
				CRCCR1	CRC Control Register1	0x01	8	read-write	0x00	0xFF
				CRCDIR	CRC Data Input Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
				CRCDIR_BY	CRC Data Input Register (byte access)	0x04	8	read-write	0x00	0xFF
				CRCDOR	CRC Data Output Register	0x08	32	read-write	0x0000 0000	0xFFFF FFFF
				CRCDOR_HA	CRC Data Output Register (halfword access)	0x08	16	read-write	0x0000	0xFFFF
				CRCDOR_BY	CRC Data Output Register (byte access)	0x08	8	read-write	0x00	0xFF
				CRCSAR	Snoop Address Register	0x0C	16	read-write	0x0000	0xFFFF
GPT32EH 0-3, GPT32E4-7	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				GTSTR	General PWM Timer Software Start Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write-only	0x0000 0000	0xFFFF FFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read-write	0x0000 0000	0xFFFF FFFF
				GTPSR	General PWM Timer Stop Source Select Register	0x14	32	read-write	0x0000 0000	0xFFFF FFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read-write	0x0000 0000	0xFFFF FFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read-write	0x0000 0000	0xFFFF FFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read-write	0x0000 0000	0xFFFF FFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read-write	0x0000 0000	0xFFFF FFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read-write	0x0000 0000	0xFFFF FFFF
				GTCR	General PWM Timer Control Register	0x2C	32	read-write	0x0000 0000	0xFFFF FFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read-write	0x0000 0001	0xFFFF FFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (39/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GPT32EH 0-3, GPT32E4-7	-	-	-	GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read-write	0x0000 0000	0xFFFF FFFF
				GTST	General PWM Timer Status Register	0x3C	32	read-write	0x0000 8000	0xFFFF FFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read-write	0x0000 0000	0xFFFF FFFF
				GTITC	General PWM Timer Interrupt and A/D Converter Start Request Skipping Setting Register	0x44	32	read-write	0x0000 0000	0xFFFF FFFF
				GTCNT	General PWM Timer Counter	0x48	32	read-write	0x0000 0000	0xFFFF FFFF
				GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTPR	General PWM Timer Cycle Setting Register	0x64	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTPDBR	General PWM Timer Cycle Setting Double-Buffer Register	0x6C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTADTRA	A/D Converter Start Request Timing Register A	0x70	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTADTBRA	A/D Converter Start Request Timing Buffer Register A	0x74	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTADTDBRA	A/D Converter Start Request Timing Double-Buffer Register A	0x78	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTADTRB	A/D Converter Start Request Timing Register B	0x7C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTADTBRB	A/D Converter Start Request Timing Buffer Register B	0x80	32	read-write	0xFFFF FFFF	0xFFFF FFFF

表 3.4 レジスタの説明 (40/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GPT32EH 0-3, GPT32E4-7	-	-	-	GTADTDBRB	A/D Converter Start Request Timing Double-Buffer Register B	0x84	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read-write	0x0000 0000	0xFFFF FFFF
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTDVD	General PWM Timer Dead Time Value Register D	0x90	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTDBU	General PWM Timer Dead Time Buffer Register U	0x94	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTDBD	General PWM Timer Dead Time Buffer Register D	0x98	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTSOS	General PWM Timer Output Protection Function Status Register	0x9C	32	read-only	0x0000 0000	0xFFFF FFFF
				GTSOTR	General PWM Timer Output Protection Function Temporary Release Register	0xA0	32	read-write	0x0000 0000	0xFFFF FFFF
GPT328-3213	-	-	-	GTWP	General PWM Timer Write-Protection Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
				GTSTR	General PWM Timer Software Start Register	0x04	32	read-write	0x0000 0000	0xFFFF FFFF
				GTSTP	General PWM Timer Software Stop Register	0x08	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCLR	General PWM Timer Software Clear Register	0x0C	32	write-only	0x0000 0000	0xFFFF FFFF
				GTSSR	General PWM Timer Start Source Select Register	0x10	32	read-write	0x0000 0000	0xFFFF FFFF
				GTPSR	General PWM Timer Stop Source Select Register	0x14	32	read-write	0x0000 0000	0xFFFF FFFF
				GTCSR	General PWM Timer Clear Source Select Register	0x18	32	read-write	0x0000 0000	0xFFFF FFFF
				GTUPSR	General PWM Timer Up Count Source Select Register	0x1C	32	read-write	0x0000 0000	0xFFFF FFFF
				GTDNSR	General PWM Timer Down Count Source Select Register	0x20	32	read-write	0x0000 0000	0xFFFF FFFF
				GTICASR	General PWM Timer Input Capture Source Select Register A	0x24	32	read-write	0x0000 0000	0xFFFF FFFF
				GTICBSR	General PWM Timer Input Capture Source Select Register B	0x28	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (41/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GPT328-3213	-	-	-	GTCR	General PWM Timer Control Register	0x2C	32	read-write	0x0000 0000	0xFFFF FFFF
				GTUDDTYC	General PWM Timer Count Direction and Duty Setting Register	0x30	32	read-write	0x0000 0001	0xFFFF FFFF
				GTIOR	General PWM Timer I/O Control Register	0x34	32	read-write	0x0000 0000	0xFFFF FFFF
				GTINTAD	General PWM Timer Interrupt Output Setting Register	0x38	32	read-write	0x0000 0000	0xFFFF FFFF
				GTST	General PWM Timer Status Register	0x3C	32	read-write	0x0000 8000	0xFFFF FFFF
				GTBER	General PWM Timer Buffer Enable Register	0x40	32	read-write	0x0000 0000	0xFFFF FFFF
				GTITC	General PWM Timer Interrupt and A/D Converter Start Request Skipping Setting Register	0x44	32	read-write	0x0000 0000	0xFFFF FFFF
				GTCNT	General PWM Timer Counter	0x48	32	read-write	0x0000 0000	0xFFFF FFFF
				GTCCRA	General PWM Timer Compare Capture Register A	0x4C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRB	General PWM Timer Compare Capture Register B	0x50	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRC	General PWM Timer Compare Capture Register C	0x54	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRE	General PWM Timer Compare Capture Register E	0x58	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRD	General PWM Timer Compare Capture Register D	0x5C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTCCRF	General PWM Timer Compare Capture Register F	0x60	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTPR	General PWM Timer Cycle Setting Register	0x64	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTPBR	General PWM Timer Cycle Setting Buffer Register	0x68	32	read-write	0xFFFF FFFF	0xFFFF FFFF
				GTDTCR	General PWM Timer Dead Time Control Register	0x88	32	read-write	0x0000 0000	0xFFFF FFFF
				GTDVU	General PWM Timer Dead Time Value Register U	0x8C	32	read-write	0xFFFF FFFF	0xFFFF FFFF
GPT_OPS	-	-	-	OPSCR	Output Phase Switching Control Register	0x00	32	read-write	0x0000 0000	0xFFFF FFFF
GPT_ODC	-	-	-	GTDLYCR	PWM Output Delay Control Register	0x00	16	read-write	0x0000	0xFFFF
				GTDLYCR2	PWM Output Delay Control Register2	0x02	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYR%sA	GTIOC%sA Rising Output Delay Register	0x18	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYR%sB	GTIOC%sB Rising Output Delay Register	0x1A	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYF%sA	GTIOC%sA Falling Output Delay Register	0x28	16	read-write	0x0000	0xFFFF
	4	0x4	0-3	GTDLYF%sB	GTIOC%sB Falling Output Delay Register	0x2A	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (42/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
KINT	-	-	-	KRCTL	KEY Return Control Register	0x00	8	read-write	0x00	0xFF
				KRF	KEY Return Flag Register	0x04	8	read-write	0x00	0xFF
				KRM	KEY Return Mode Register	0x08	8	read-write	0x00	0xFF
CTSU	-	-	-	CTSUCR0	CTSU Control Register 0	0x00	8	read-write	0x00	0xFF
				CTSUCR1	CTSU Control Register 1	0x01	8	read-write	0x00	0xFF
				CTSUSDPRS	CTSU Synchronous Noise Reduction Setting Register	0x02	8	read-write	0x00	0xFF
				CTSUSST	CTSU Sensor Stabilization Wait Control Register	0x03	8	read-write	0x00	0xFF
				CTSUMCH0	CTSU Measurement Channel Register 0	0x04	8	read-write	0x3F	0xFF
				CTSUMCH1	CTSU Measurement Channel Register 1	0x05	8	read-write	0x3F	0xFF
				CTSUCHAC0	CTSU Channel Enable Control Register 0	0x06	8	read-write	0x00	0xFF
				CTSUCHAC1	CTSU Channel Enable Control Register 1	0x07	8	read-write	0x00	0xFF
				CTSUCHAC2	CTSU Channel Enable Control Register 2	0x08	8	read-write	0x00	0xFF
				CTSUCHTRC0	CTSU Channel Transmit/ Receive Control Register 0	0x0B	8	read-write	0x00	0xFF
				CTSUCHTRC1	CTSU Channel Transmit/ Receive Control Register 1	0x0C	8	read-write	0x00	0xFF
				CTSUCHTRC2	CTSU Channel Transmit/ Receive Control Register 2	0x0D	8	read-write	0x00	0xFF
				CTSUDCLKC	CTSU High-Pass Noise Reduction Control Register	0x10	8	read-write	0x00	0xFF
				CTSUST	CTSU Status Register	0x11	8	read-write	0x00	0xFF
CTSU	-	-	-	CTSUSSC	CTSU High-Pass Noise Reduction Spectrum Diffusion Control Register	0x12	16	read-write	0x0000	0xFFFF
				CTSUSO0	CTSU Sensor Offset Register 0	0x14	16	read-write	0x0000	0xFFFF
				CTSUSO1	CTSU Sensor Offset Register 1	0x16	16	read-write	0x0000	0xFFFF
				CTSUSC	CTSU Sensor Counter	0x18	16	read-only	0x0000	0xFFFF
				CTSURC	CTSU Reference Counter	0x1A	16	read-only	0x0000	0xFFFF
				CTSUERRS	CTSU Error Status Register	0x1C	16	read-only	0x0000	0xFFFF

表 3.4 レジスタの説明 (43/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
AGT0, 1	-	-	-	AGT	AGT Counter Register	0x00	16	read-write	0xFFFF	0xFFFF
				AGTCMA	AGT Compare Match A Register	0x02	16	read-write	0xFFFF	0xFFFF
				AGTCMB	AGT Compare Match B Register	0x04	16	read-write	0xFFFF	0xFFFF
				AGTCR	AGT Control Register	0x08	8	read-write	0x00	0xFF
				AGTMR1	AGT Mode Register 1	0x09	8	read-write	0x00	0xFF
				AGTMR2	AGT Mode Register 2	0x0A	8	read-write	0x00	0xFF
				AGTIOC	AGT I/O Control Register	0x0C	8	read-write	0x00	0xFF
				AGTISR	AGT Event Pin Select Register	0x0D	8	read-write	0x00	0xFF
				AGTCMSR	AGT Compare Match Function Select Register	0x0E	8	read-write	0x00	0xFF
				AGTIOSEL	AGT Pin Select Register	0x0F	8	read-write	0x00	0xFF
ACMPHS0	-	-	-	CMPCTL	Comparator Control Register	0x000	8	read-write	0x00	0xFF
				CMPSEL0	Comparator Input Select Register	0x004	8	read-write	0x00	0xFF
				CMPSEL1	Comparator Reference Voltage Select Register	0x008	8	read-write	0x00	0xFF
				CMPMON	Comparator Output Monitor Register	0x00C	8	read-only	0x00	0xFF
				CPIOC	Comparator Output Control Register	0x010	8	read-write	0x00	0xFF
ACMPHS 1-5	-	-	-	CMPCTL	Comparator Control Register	0x000	8	read-write	0x00	0xFF
				CMPSEL0	Comparator Input Select Register	0x004	8	read-write	0x00	0xFF
				CMPSEL1	Comparator Reference Voltage Select Register	0x008	8	read-write	0x00	0xFF
				CMPMON	Comparator Output Monitor Register	0x00C	8	read-only	0x00	0xFF
				CPIOC	Comparator Output Control Register	0x010	8	read-write	0x00	0xFF

表 3.4 レジスタの説明 (44/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
USBFS	-	-	-	SYSCFG	System Configuration Control Register	0x000	16	read-write	0x0000	0xFFFF
				SYSSTS0	System Configuration Status Register 0	0x004	16	read-only	0x0000	0x0000
				DVSTCTR0	Device State Control Register 0	0x008	16	read-write	0x0000	0xFFFF
				CFIFO	CFIFO Port Register	0x014	16	read-write	0x0000	0xFFFF
				CFIFOL	CFIFO Port Register L	0x014	8	read-write	0x00	0xFF
				D0FIFO	D0FIFO Port Register	0x018	16	read-write	0x0000	0xFFFF
				D0FIFOL	D0FIFO Port Register L	0x018	8	read-write	0x00	0xFF
				D1FIFO	D1FIFO Port Register	0x01C	16	read-write	0x0000	0xFFFF
				D1FIFOL	D1FIFO Port Register L	0x01C	8	read-write	0x00	0xFF
				CFIFOSEL	CFIFO Port Select Register	0x020	16	read-write	0x0000	0xFFFF
				CFIFOCTR	CFIFO Port Control Register	0x022	16	read-write	0x0000	0xFFFF
				D0FIFOSEL	D0FIFO Port Select Register	0x028	16	read-write	0x0000	0xFFFF
				D0FIFOCTR	D0FIFO Port Control Register	0x02A	16	read-write	0x0000	0xFFFF
				D1FIFOSEL	D1FIFO Port Select Register	0x02C	16	read-write	0x0000	0xFFFF
				D1FIFOCTR	D1FIFO Port Control Register	0x02E	16	read-write	0x0000	0xFFFF
				INTENB0	Interrupt Enable Register 0	0x030	16	read-write	0x0000	0xFFFF
				INTENB1	Interrupt Enable Register 1	0x032	16	read-write	0x0000	0xFFFF
				BRDYENB	BRDY Interrupt Enable Register	0x036	16	read-write	0x0000	0xFFFF
				NRDYENB	NRDY Interrupt Enable Register	0x038	16	read-write	0x0000	0xFFFF
				BEMPENB	BEMP Interrupt Enable Register	0x03A	16	read-write	0x0000	0xFFFF
				SOFCFG	SOF Output Configuration Register	0x03C	16	read-write	0x0000	0xFFFF

表 3.4 レジスタの説明 (45/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
USBFS	-	-	-	INTSTS0	Interrupt Status Register 0	0x040	16	read-write	0x0000	0xFFFF
				INTSTS1	Interrupt Status Register 1	0x042	16	read-write	0x0000	0xFFFF
				BRDYSTS	BRDY Interrupt Status Register	0x046	16	read-write	0x0000	0xFFFF
				NRDYSTS	NRDY Interrupt Status Register	0x048	16	read-write	0x0000	0xFFFF
				BEMPSTS	BEMP Interrupt Status Register	0x04A	16	read-write	0x0000	0xFFFF
				FRMNUM	Frame Number Register	0x04C	16	read-write	0x0000	0xFFFF
				DVCHGR	Device State Change Register	0x04E	16	read-write	0x0000	0xFFFF
				USBADDR	USB Address Register	0x050	16	read-write	0x0000	0xFFFF
				USBREQ	USB Request Type Register	0x054	16	read-write	0x0000	0xFFFF
				USBVAL	USB Request Value Register	0x056	16	read-write	0x0000	0xFFFF
				USBINDX	USB Request Index Register	0x058	16	read-write	0x0000	0xFFFF
				USBLENG	USB Request Length Register	0x05A	16	read-write	0x0000	0xFFFF
				DCPCFG	DCP Configuration Register	0x05C	16	read-write	0x0000	0xFFFF
				DCPMAXP	DCP Maximum Packet Size Register	0x05E	16	read-write	0x0040	0xFFFF
				DCPCTR	DCP Control Register	0x060	16	read-write	0x0040	0xFFFF
				PIPESEL	Pipe Window Select Register	0x064	16	read-write	0x0000	0xFFFF
				PIPECFG	Pipe Configuration Register	0x068	16	read-write	0x0000	0xFFFF
				PIPEMAXP	Pipe Maximum Packet Size Register	0x06C	16	read-write	0x0000	0xFFBF
				PIPEPERI	Pipe Cycle Control Register	0x06E	16	read-write	0x0000	0xFFFF
	5	0x002	1-5	PIPE%sCTR	Pipe %s Control Register	0x070	16	read-write	0x0000	0xFFFF
	4	0x002	6-9	PIPE%sCTR	Pipe %s Control Register	0x07A	16	read-write	0x0000	0xFFFF
	5	0x004	1-5	PIPE%sTRE	Pipe %s Transaction Counter Enable Register	0x090	16	read-write	0x0000	0xFFFF
	5	0x004	1-5	PIPE%sTRN	Pipe %s Transaction Counter Register	0x092	16	read-write	0x0000	0xFFFF
	6	0x002	0-5	DEVADD%s	Device Address %s Configuration Register	0x0D0	16	read-write	0x0000	0xFFFF
	-	-	-	PHYSLEW	PHY Cross Point Adjustment Register	0x0F0	32	read-write	0x0000000E	0xFF4CFFFF
USBFS	-	-	-	DPUSR0R	Deep Software Standby USB Transceiver Control/ Pin Monitor Register	0x400	32	read-write	0x00000000	0xFF4CFFFF
				DPUSR1R	Deep Software Standby USB Suspend/Resume Interrupt Register	0x404	32	read-write	0x00000000	0xFFFFFFFF

表 3.4 レジスタの説明 (46/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
PDC	-	-	-	PCCR0	PDC Control Register 0	0x000	32	read-write	0x0000 0000	0xFFFF FFFF
				PCCR1	PDC Control Register 1	0x004	32	read-write	0x0000 0000	0xFFFF FFFF
				PCSR	PDC Status Register	0x008	32	read-write	0x0000 0002	0xFFFF FFFF
				PCMONR	PDC Pin Monitor Register	0x00C	32	read-only	0x0000 0000	0xFFFF FFFF
				PCDR	PDC Receive Data Register	0x010	32	read-only	0x0000 0000	0xFFFF FFFF
				VCR	Vertical Capture Register	0x014	32	read-write	0x0000 0000	0xFFFF FFFF
				HCR	Horizontal Capture Register	0x018	32	read-write	0x0000 0000	0xFFFF FFFF
GLCDC	256	0x4	0-255	GR1_CLUT0[%s]	Color Palette 0 Plane for Graphics 1 Plane	0x0000	32	read-write	0x0000 0000	0x0000 0000
	256	0x4	0-255	GR1_CLUT1[%s]	Color Palette 1 Plane for Graphics 1 Plane	0x0400	32	read-write	0x0000 0000	0x0000 0000
	256	0x4	0-255	GR2_CLUT0[%s]	Color Palette 0 Plane for Graphics 2 Plane	0x0800	32	read-write	0x0000 0000	0x0000 0000
	256	0x4	0-255	GR2_CLUT1[%s]	Color Palette 1 Plane for Graphics 2 Plane	0x0C00	32	read-write	0x0000 0000	0x0000 0000
	-	-	-	BG_EN	Background Plane Setting Operation Control Register	0x1000	32	read-write	0x0000 0000	0xFFFF FFFF
				BG_PERI	Background Plane Setting Free-Running Period Register	0x1004	32	read-write	0x0017 0017	0xFFFF FFFF
				BG_SYNC	Background Plane Setting Synchronization Position Register	0x1008	32	read-write	0x0001 0001	0xFFFF FFFF
				BG_VSIZE	Background Plane Setting Full Image Vertical Size Register	0x100C	32	read-write	0x0007 0010	0xFFFF FFFF
				BG_HSIZE	Background Plane Setting Full Image Horizontal Size Register	0x1010	32	read-write	0x0006 0010	0xFFFF FFFF
				BG_BGC	Background Plane Setting Background Color Register	0x1014	32	read-write	0x0000 0000	0xFFFF FFFF
				BG_MON	Background Plane Setting Status Monitor Register	0x1018	32	read-only	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_VEN	Graphics %s Register Update Control Register	0x1100	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_FLMRD	Graphics %s Frame Buffer Read Control Register	0x1104	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (47/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GLCDC	2	0x100	1, 2	GR%s_FLM1	Graphics %s Frame Buffer Control Register 1	0x1108	32	read-write	0x0000 0003	0xFFFF FFFF
	2	0x100	1, 2	GR%s_FLM2	Graphics %s Frame Buffer Control Register 2	0x110C	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_FLM3	Graphics %s Frame Buffer Control Register 3	0x1110	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_FLM5	Graphics %s Frame Buffer Control Register 5	0x1118	32	read-write	0x000F 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_FLM6	Graphics %s Frame Buffer Control Register 6	0x111C	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB1	Graphics %s Alpha Blending Control Register 1	0x1120	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB2	Graphics %s Alpha Blending Control Register 2	0x1124	32	read-write	0x0006 0010	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB3	Graphics %s Alpha Blending Control Register 3	0x1128	32	read-write	0x0005 0010	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB4	Graphics %s Alpha Blending Control Register 4	0x112C	32	read-write	0x0006 0010	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB5	Graphics %s Alpha Blending Control Register 5	0x1130	32	read-write	0x0005 0010	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB6	Graphics %s Alpha Blending Control Register 6	0x1134	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB7	Graphics %s Alpha Blending Control Register 7	0x1138	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB8	Graphics %s Alpha Blending Control Register 8	0x113C	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_AB9	Graphics %s Alpha Blending Control Register 9	0x1140	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_BASE	Graphics %s Background Color Control Register	0x114C	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_CLUTINT	Graphics %s CLUT Table Interrupt Control Register	0x1150	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x100	1, 2	GR%s_MON	Graphics %s Status Monitor Register	0x1154	32	read-only	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LATCH	Gamma %s Register Update Control Register	0x1300	32	read-write	0x0000 0000	0xFFFF FFFF
	-	-	-	GAM_SW	Gamma Correction Block Function Switch Register	0x1304	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (48/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GLCDC	3	0x40	G, B, R	GAM%s_LUT1	Gamma %s Correction Block Table Setting Register 1	0x1308	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LUT2	Gamma %s Correction Block Table Setting Register 2	0x130C	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LUT3	Gamma %s Correction Block Table Setting Register 3	0x1310	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LUT4	Gamma %s Correction Block Table Setting Register 4	0x1314	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LUT5	Gamma %s Correction Block Table Setting Register 5	0x1318	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LUT6	Gamma %s Correction Block Table Setting Register 6	0x131C	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LUT7	Gamma %s Correction Block Table Setting Register 7	0x1320	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_LUT8	Gamma %s Correction Block Table Setting Register 8	0x1324	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_AREA1	Gamma %s Correction Block Area Setting Register 1	0x1328	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_AREA2	Gamma %s Correction Block Area Setting Register 2	0x132C	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_AREA3	Gamma %s Correction Block Area Setting Register 3	0x1330	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_AREA4	Gamma %s Correction Block Area Setting Register 4	0x1334	32	read-write	0x0000 0000	0xFFFF FFFF
	3	0x40	G, B, R	GAM%s_AREA5	Gamma %s Correction Block Area Setting Register 5	0x1338	32	read-write	0x0000 0000	0xFFFF FFFF
	-	-	-	OUT_VLATCH	Output Control Block Register Update Control Register	0x13C0	32	read-write	0x0000 0000	0xFFFF FFFF
				OUT_SET	Output Control Block Output Interface Register	0x13C4	32	read-write	0x0000 0000	0xFFFF FFFF
				OUT_BRIGHT1	Output Control Block Brightness Correction Register 1	0x13C8	32	read-write	0x0000 0000	0xFFFF FFFF
				OUT_BRIGHT2	Output Control Block Brightness Correction Register 2	0x13CC	32	read-write	0x0000 0000	0xFFFF FFFF
				OUT_ CONTRAST	Output Control Block Contrast Correction Register	0x13D0	32	read-write	0x0000 0000	0xFFFF FFFF
				OUT_PDTHA	Output Control Block Panel Dither Correction Register	0x13D4	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (49/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
GLCDC	-	-	-	OUT_CLKPHASE	Output Control Block Output Phase Control Register	0x13E4	32	read-write	0x0000 0000	0xFFFF FFFF
				TCON_TIM	TCON Reference Timing Setting Register	0x1404	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x8	A, B	TCON_STV%s1	TCON Vertical Timing Setting Register %s1	0x1408	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x8	A, B	TCON_STV%s2	TCON Vertical Timing Setting Register %s2	0x140C	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x8	A, B	TCON_STH%s1	TCON Horizontal Timing Setting Register STH%s1	0x1418	32	read-write	0x0000 0000	0xFFFF FFFF
	2	0x8	A, B	TCON_STH%s2	TCON Horizontal Timing Setting Register STH%s2	0x141C	32	read-write	0x0000 0000	0xFFFF FFFF
	-	-	-	TCON_DE	TCON Data Enable Polarity Setting Register	0x1428	32	read-write	0x0000 0000	0xFFFF FFFF
				SYSCNT_ DTCTEN	System Control Block State Detection Control Register	0x1440	32	read-write	0x0000 0000	0xFFFF FFFF
				SYSCNT_INTEN	System Control Block Interrupt Request Enable Control Register	0x1444	32	read-write	0x0000 0000	0xFFFF FFFF
				SYSCNT_STCLR	System Control Block Status Clear Register	0x1448	32	read-write	0x0000 0000	0xFFFF FFFF
				SYSCNT_ STMON	System Control Block Status Monitor Register	0x144C	32	read-only	0x0000 0000	0xFFFF FFFF
				SYSCNT_ PANEL_CLK	System Control Block Version and Panel Clock Control Register	0x1450	32	read-write	0x0110 0000	0xFFFF FFFF
DRW	-	-	-	CONTROL	Geometry Control Register	0x00	32	write-only	0x0000 0000	0xFFFF FFFF
				STATUS	Status Control Register	0x00	32	read-only	0x0000 0000	0xFFFF FFFF
				CONTROL2	Surface Control Register	0x04	32	write-only	0x0000 0000	0xFFFF FFFF
				HWREVISION	Hardware Version and Feature Set ID Register	0x04	32	read-only	0x0FBE 0107	0xFFFF F000
	6	0x4	1-6	L%sSTART	Limiter %s Start Value Register	0x10	32	write-only	0x0000 0000	0xFFFF FFFF
	6	0x4	1-6	L%sXADD	Limiter %s X-Axis Increment Register	0x28	32	write-only	0x0000 0000	0xFFFF FFFF
	6	0x4	1-6	L%sYADD	Limiter %s Y-Axis Increment Register	0x40	32	write-only	0x0000 0000	0xFFFF FFFF
	2	0x4	1, 2	L%sBAND	Limiter %s Band Width Parameter Register	0x58	32	write-only	0x0000 0000	0xFFFF FFFF
	-	-	-	COLOR1	Base Color Register	0x64	32	write-only	0x0000 0000	0xFFFF FFFF
				COLOR2	Secondary Color Register	0x68	32	write-only	0x0000 0000	0xFFFF FFFF
				PATTERN	Pattern Register	0x74	32	write-only	0x0000 0000	0xFFFF FFFF
				SIZE	Bounding Box Dimension Register	0x78	32	write-only	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (50/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
DRW	-	-	-	PITCH	Framebuffer Pitch And Spanstore Delay Register	0x7C	32	write-only	0x0000 0000	0xFFFF FFFF
				ORIGIN	Framebuffer Base Address Register	0x80	32	write-only	0x0000 0000	0xFFFF FFFF
				LUSTART	U Limiter Start Value Register	0x90	32	write-only	0x0000 0000	0xFFFF FFFF
				LUXADD	U Limiter X-Axis Increment Register	0x94	32	write-only	0x0000 0000	0xFFFF FFFF
				LUYADD	U Limiter Y-Axis Increment Register	0x98	32	write-only	0x0000 0000	0xFFFF FFFF
				LVSTARTI	V Limiter Start Value Integer Part Register	0x9C	32	write-only	0x0000 0000	0xFFFF FFFF
				LVSTARTF	V Limiter Start Value Fractional Part Register	0xA0	32	write-only	0x0000 0000	0xFFFF FFFF
				LVXADDI	V Limiter X-Axis Increment Integer Part Register	0xA4	32	write-only	0x0000 0000	0xFFFF FFFF
				LVYADDI	V Limiter Y-Axis Increment Integer Part Register	0xA8	32	write-only	0x0000 0000	0xFFFF FFFF
				LVYXADDF	V Limiter Increment Fractional Parts Register	0xAC	32	write-only	0x0000 0000	0xFFFF FFFF
				TEXPITCH	Texels Per Texture Line Register	0xB4	32	write-only	0x0000 0000	0xFFFF FFFF
				TEXMASK	Texture Size or Texture Address Mask Register	0xB8	32	write-only	0x0000 0000	0xFFFF FFFF
				TEXORIGIN	Texture Base Address Register	0xBC	32	write-only	0x0000 0000	0xFFFF FFFF
				IRQCTL	Interrupt Control Register	0xC0	32	write-only	0x0000 0000	0xFFFF FFFF
				CACHECTL	Cache Control Register	0xC4	32	write-only	0x0000 0000	0xFFFF FFFF
				DLISTSTART	Display List Start Address Register	0xC8	32	write-only	0x0000 0000	0xFFFF FFFF
	2	0x4	1, 2	PERFCOUNT%s	Performance Counter %s	0xCC	32	read-write	0x0000 0000	0xFFFF FFFF
	-	-	-	PERFTRIGGER	Performance Counters Control Register	0xD4	32	write-only	0x0000 0000	0xFFFF FFFF
				TEXCLADDR	CLUT Start Address Register	0xDC	32	write-only	0x0000 0000	0xFFFF FFFF
				TEXCLDATA	CLUT Data Register	0xE0	32	write-only	0x0000 0000	0xFFFF FFFF
				TEXCLOFFSET	CLUT Offset Register	0xE4	32	write-only	0x0000 0000	0xFFFF FFFF
				COLKEY	Color Key Register	0xE8	32	write-only	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (51/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
JPEG	-	-	-	JCMOD	JPEG Code Mode Register	0x000	8	read-write	0x00	0xFF
				JCCMD	JPEG Code Command Register	0x001	8	write-only	0x00	0x00
				JCQTN	JPEG Code Quantization Table Number Register	0x003	8	read-write	0x00	0xFF
				JCHTN	JPEG Code Huffman Table Number Register	0x004	8	read-write	0x00	0xFF
				JCDRIU	JPEG Code DRI Upper Register	0x005	8	read-write	0x00	0xFF
				JCDRID	JPEG Code DRI Lower Register	0x006	8	read-write	0x00	0xFF
				JCVSZU	JPEG Code Vertical Size Upper Register	0x007	8	read-write	0x00	0xFF
				JCVSZD	JPEG Code Vertical Size Lower Register	0x008	8	read-write	0x00	0xFF
				JCHSZU	JPEG Code Horizontal Size Upper Register	0x009	8	read-write	0x00	0xFF
				JCHSZD	JPEG Coded Horizontal Size Lower Register	0x00A	8	read-write	0x00	0xFF
				JCDTCU	JPEG Code Data Count Upper Register	0x00B	8	read-only	0x00	0xFF
				JCDTCM	JPEG Code Data Count Middle Register	0x00C	8	read-only	0x00	0xFF
				JCDTCD	JPEG Code Data Count Lower Register	0x00D	8	read-only	0x00	0xFF
				JINTE0	JPEG Interrupt Enable Register 0	0x00E	8	read-write	0x00	0xFF
				JINTS0	JPEG Interrupt Status Register 0	0x00F	8	read-write	0x00	0xFF
				JCDERR	JPEG Code Decode Error Register	0x010	8	read-write	0x0A	0xFF
				JCRST	JPEG Code Reset Register	0x011	8	read-only	0x00	0xFF
				JIFECNT	JPEG Interface Compression Control Register	0x040	32	read-write	0x0000 0000	0xFFFF FFFF
				JIFESA	JPEG Interface Compression Source Address Register	0x044	32	read-write	0x0000 0000	0xFFFF FFFF
				JIFESOFST	JPEG Interface Compression Line Offset Register	0x048	32	read-write	0x0000 0000	0xFFFF FFFF
				JIFEDA	JPEG Interface Compression Destination Address Register	0x04C	32	read-write	0x0000 0000	0xFFFF FFFF
				JIFESLC	JPEG Interface Compression Source Line Count Register	0x050	32	read-write	0xFFF8 FFF8	0xFFFF FFFF
				JIFDCNT	JPEG Interface Decompression Control Register	0x058	32	read-write	0x0000 0000	0xFFFF FFFF

表 3.4 レジスタの説明 (52/52)

ペリフェラル名	Dim	Dim incr	Dim index	レジスタ名	機能	アドレスオフセット	サイズ	R/W	リセット値	リセットマスク
JPEG	-	-	-	JIFDSA	JPEG Interface Decompression Source Address Register	0x05C	32	read-write	0x0000 0000	0xFFFF FFFF
				JIFDDOFST	JPEG Interface Decompression Line Offset Register	0x060	32	read-write	0x0000 0000	0xFFFF FFFF
				JIFDDA	JPEG Interface Decompression Destination Address Register	0x064	32	read-write	0x0000 0000	0xFFFF FFFF
				JIFDSDC	JPEG Interface Decompression Source Data Count Register	0x068	32	read-write	0xFFF8 FFF8	0xFFFF FFFF
				JIFDDLC	JPEG Interface Decompression Destination Line Count Register	0x06C	32	read-write	0xFFF8 FFF8	0xFFFF FFFF
				JIFDADT	JPEG Interface Decompression alpha Set Register	0x070	32	read-write	0x0000 0000	0xFFFF FFFF
				JINTE1	JPEG Interrupt Enable Register 1	0x08C	32	read-write	0x0000 0000	0xFFFF FFFF
				JINTS1	JPEG Interrupt Status Register 1	0x090	32	read-write	0x0000 0000	0xFFFF FFFF
QSPI	-	-	-	SFMSMD	Transfer Mode Control Register	0x000	32	read-write	0x0000 0000	0xFFFF FFFF
				SFMSSC	Chip Selection Control Register	0x004	32	read-write	0x0000 0037	0xFFFF FFFF
				SFMSKC	Clock Control Register	0x008	32	read-write	0x0000 0008	0xFFFF FFFF
				SFMSST	Status Register	0x00C	32	read-only	0x0000 0080	0xFFFF FFFF
				SFMCOM	Communication Port Register	0x010	32	read-write	0x0000 0000	0x0000 00FF
				SFMCMD	Communication Mode Control Register	0x014	32	read-write	0x0000 0000	0xFFFF FFFF
				SFMCST	Communication Status Register	0x018	32	read-write	0x0000 0000	0xFFFF FFFF
				SFMSIC	Instruction Code Register	0x020	32	read-write	0x0000 0000	0xFFFF FFFF
				SFMSAC	Address Mode Control Register	0x024	32	read-write	0x0000 0002	0xFFFF FFFF
				SFMSDC	Dummy Cycle Control Register	0x028	32	read-write	0x0000 FF00	0xFFFF FFFF
				SFMSPC	SPI Protocol Control Register	0x030	32	read-write	0x0000 0010	0xFFFF FFFF
				SFMPMD	Port Control Register	0x034	32	read-write	0x0000 0000	0xFFFF FFFF
				SFMCNT1	External QSPI Address Register 1	0x804	32	read-write	0x0000 0000	0xFFFF FFFF

ペリフェラル名 = 周辺モジュールの名称
Dim = レジスタ配列の要素数
Dim incr = アドレスマップにおいてアドレス配列の 2 つの隣接するレジスタ間のアドレスインクリメントを示します。
Dim index = レジスタ名においてプレースホルダー「%」を置き換えるサブストリングを示します。
レジスタ名 = レジスタの名称
機能 = レジスタの説明
アドレスオフセット = レジスタのペリフェラルにより定義されるベースアドレスに関連するレジスタアドレス
サイズ = レジスタのビット幅
R/W = レジスタアクセス権：
- read-only：読み出しのみ可能。書き込んでも、その結果は不定
- write-only：書き込みのみ可能。読み出しても、その結果は不定
- read-write：読み出しも書き込みも可能。書き込みはレジスタの状態に影響を与え、読み出しはレジスタに関する値を返す

リセット値 = レジスタのデフォルトのリセット値
リセットマスク = レジスタのどのビットにリセット値が定義されているのかを特定します。

改訂記録	S7G2 マイクロコントローラグループ ユーザーズマニュアル

本改版記録は英語版を翻訳した内容です。また、発行日は英語版ユーザーズマニュアルの発行日を表しています。

Rev.	発行日	章	改訂内容
1.00	2016.02.23（日本語版は2016.09.09発行）	—	Renesas Synergy™ S7G2ユーザーズマニュアル
		1. 概要	表 1.16 端子機能でVREFH、VREFLの説明を更新
		2. CPU	表 2.7 CoreSight ROMテーブルのROMエントリでアドレスE00F F000h、E00F F004hのコンポーネント名を更新
		7. オプション設定メモリ	図 7.1 オプション設定メモリの領域を更新
			7.2.2 オプション機能選択レジスタ1（OFS1）の注を更新
			7.2.3 アクセスウィンドウ設定コントロールレジスタ（AWSC）でAWSCレジスタのビット28 FSPRビットの制限について更新
		9. クロック発生回路	表 9.1 クロック発生回路の仕様（クロックソース）で注1、注2を追加
			表 9.2 クロック発生回路の仕様（内部クロック）で注を更新
			9.2.4 PLLクロックコントロールレジスタ（PLLCCR）で注3、注4を追加
			9.2.13 FLLコントロールレジスタ1（FLLCR1）を追加
			9.2.14 FLLコントロールレジスタ2（FLLCR2）を追加
			9.2.26 HOCOユーザトリミングコントロールレジスタ（HOCOUTCR）で注を追加
			9.7.6 USBクロック（UCLK）を更新
		11. 低消費電力モード	表 11.2 各低消費電力モードの動作状態で注を追加
			表 11.3 スヌーズモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモードを解除するための割り込み要因で注3を追加
			11.2.9 スヌーズ終了コントロールレジスタ（SNZEDCR）で説明を更新
			11.10.13 スヌーズモードにおけるCTSUの条件を追加
			11.10.14 スヌーズモードにおけるELCイベントを更新
			11.10.16 ADC12に対するモジュールストップ機能を追加
		12. バッテリバックアップ機能	12.1.4 時間キャプチャ端子検出で未使用のVBATT端子の要件を更新
			12.4 使用上の注意事項で未使用のVBATT端子の要件を更新
			12.4 使用上の注意事項で注4を更新
		13. レジスタライトプロテクション	表 13.1 PRCRレジスタのビットと保護されるレジスタの対応関係でHOCOWTCR、FLLCR1、FLLCR2を追加
		14. 割り込みコントローラユニット（ICU）	表 14.4 イベントテーブルを更新
		15. バス	15.3.6 CSnウェイトコントロールレジスタ2（CSnWCR2）（n = 0～7）を更新
			15.5.3 リカバリサイクルの挿入を追加
			15.6.7 セルフリフレッシュを更新
			図 15.37 ディープソフトウェアスタンバイモードにおけるセルフリフレッシュサイクルのタイミング例を更新
			表 15.3 外部バスの仕様を更新
			15.3.15 SDRAMアドレスレジスタ（SDADR）でMXC[1:0]の説明を更新
			表 15.18 アドレスマルチプレクスを更新
			表 15.4 外部バスの入出力端子を更新
			図 15.43 SDRAMCの設定手順で注1を追加
		18. データトランスファコントローラ（DTC）	18.2.8 DTCベクタベースレジスタ（DTCVBR）でアドレス範囲を更新
		19. イベントリンクコントローラ（ELC）	19.4.3 モジュールストップ機能の設定を更新

Rev.	発行日	章	改訂内容
1.00	2016.02.23（日本語版は2016.09.09発行）	20. I/O ポート	表 20.2 I/Oポートの機能を更新
			20.2.2 ポートコントロールレジスタ2（PCNTR2/EIDR/PIDR）で注2を追加
			表 20.3 未使用端子の処理でVBATTの行を追加
			20.2.6 書き込みプロテクトレジスタ（PWPR）でb5-b0のR/W許可を更新
			20.5.4 アナログ機能使用時の注意事項を更新
			20.5.5 入出力バッファの仕様で情報を追加
			20.7 PmnPFSレジスタ設定に関する注意事項を追加
			表 20.10 入出力端子機能のレジスタ設定（ポート2）を更新
			表 20.13 入出力端子機能のレジスタ設定（ポート4）を更新
			表 20.15 入出力端子機能のレジスタ設定（ポート5）を更新
		21. キー割り込み機能（KINT）	21.4 使用上の注意事項を更新
		25. 非同期汎用タイマ（AGT）	25.1 概要で情報を追加
		26. リアルタイムクロック（RTC）	26.2.20 周波数レジスタ（RFRH/RFR）を更新
		27. ウォッチドッグタイマ（WDT）	27.2.3 WDTステータスレジスタ（WDTSR）でUNDFF、REFEFの説明を更新
		28. 独立ウォッチドッグタイマ（IWDT）	28.2.2 IWDTステータスレジスタ（IWDTSR）でUNDFF、REFEFの説明を更新
		32. USB2.0 フルスピードモジュール（USBFS）	32.2.4 CFIFOポートレジスタ（CFIFO/CFIFOL）D0FIFOポートレジスタ（D0FIFO/D0FIFOL）D1FIFOポートレジスタ（D1FIFO/D1FIFOL）で8ビットアクセスを追加
		33. USB2.0 ハイスピードモジュール（USBHS）	33.2.7 CFIFOポートレジスタ（CFIFO）D0FIFOポートレジスタ（D0FIFO）D1FIFOポートレジスタ（D1FIFO）で16ビットアクセスを追加
		34. シリアルコミュニケーションインタフェース（SCI）	34.2.14 非スマートカードインタフェースおよびFIFOモード用シリアルステータスレジスタ（SSR_FIFO）（SCMR.SMIF = 0およびFCR.FM = 1）でビット1の初期値、アクセス許可を更新
			34.2.31 シリアルポートレジスタ（SPTR）でビット6の初期値、アクセス許可を更新
		37. CAN（Controller Area Network）モジュール	37.2.2 ビットコンフィグレーションレジスタ（BCR）で注1を更新
		40. 巡回冗長検査（CRC）演算器	40.2.5 スヌープアドレスレジスタ（CRCSAR）でCRCSA[13:0]の説明を更新
		47. 12 ビット A/D コンバータ（ADC12）	表 47.1 ADC12の仕様を更新
			表 47.14 相互排他的関係にあるA/D変換対象を更新
		51. 静電容量式タッチセンシングユニット（CTSU）	51.2.20 CTSUエラーステータスレジスタ（CTSUERRS）でビット15 CTSUICOMPを更新
			51.4.5 TSCAP端子を更新
		60. 電気的特性	60.2.5 動作電流とスタンバイ電流動作電流、スタンバイ電流の情報を更新
			60.16 ジョイントテストアクショングループ（JTAG）を追加
			60.17 シリアルワイヤデバッグ（SWD）を追加
			60.18 エンベデッドトレースマクロインタフェース（ETM）を追加
			表 60.13 サブクロック発振器以外のクロックタイミングを更新
			表 60.25 SPIタイミングでSPIデータを更新
			表 60.40 ユニット0のA/D変換特性を更新
			表 60.41 ユニット1のA/D変換特性を更新
			図 60.47 CPHA = 0で、PCLKA/2にビットレートが設定されている場合におけるマスタのSPIタイミングでSPIデータを更新
			表 60.5 I/O I_{OH}, I_{OL} を更新
		全体	端子名から#を削除

Rev.	発行日	章	改訂内容
1.10	2016.07.22（日本語版は未発行）	1. 概要	表 1.3 システムを更新
			表 1.10 ヒューマンマシーンインタフェースを更新
			表 1.12 データ処理を更新
			図 1.1 ブロック図を更新
			図 1.2 型名の読み方を更新
			表 1.14 製品一覧を追加
			表 1.15 機能の比較を更新
			表 1.16 端子機能を更新
			Table 1.17 端子一覧を更新
		2. CPU	CDBGPWRUPREQ、CDBGPWRUPACKのビット説明を修正
			2.6.4.2 デバッグストップコントロールレジスタ（DBGSTOPCR）のビット説明を更新
			2.6.4.3 トレースコントロールレジスタ（TRACECTR）のビット説明を更新
			2.10.4 接続順序とJTAG/SWD認証を更新
		4. アドレス空間	図 4.1 メモリマップ、図 4.2 外部アドレス空間とCS領域の対応を更新
		6. リセット	表 6.1 リセットの名称と要因を更新
			表 6.3 リセット要因ごとの初期化対象モジュール関連レジスタを更新
			図 6.3 コールドスタート／ウォームスタート判定機能の動作例を更新
			図 6.4 リセット発生要因の判定フロー例を更新
		7. オプション設定メモリ	表 7.1 IDコードプロテクト機能の仕様を更新
		8. 低電圧検出（LVD）	表 8.1 LVDの仕様で誤記修正
			LVD1LVL[4:0]、LVD2LVL[2:0]のビット説明を更新
			8.4 電圧監視0リセットを更新
		9. クロック発生回路	表 9.2 クロック発生回路の仕様（内部クロック）で注2を更新
			9.2.4 PLLクロックコントロールレジスタ（PLLCCR）で注3を更新
			9.2.10 高速オンチップオシレータコントロールレジスタ（HOCOCR）でHCSTPのビット説明に情報を追加
			9.2.11 高速オンチップオシレータウェイトコントロールレジスタ（HOCOWTCR）でHSTS[2:0]の説明に情報を追加
		11. 低消費電力モード	表 11.2 各低消費電力モードの動作状態を更新
			図 11.1 モード遷移を更新
			11.2.1 スタンバイコントロールレジスタ（SBYCR）でSSBYのビット説明を更新
			11.5.1 動作電力制御モードの設定方法を更新
			11.8.2 スヌーズモードの解除を更新
			表 11.10 HOCO：±2.4%（Ta = -20～105℃）（単位：bps）を更新
			図 11.9 ディープソフトウェアスタンバイモード使用時のフローチャート例を更新
			11.10.7 WFI命令のタイミングを更新
		12. バッテリバックアップ機能	タンパー端子 → タイムキャプチャ端子 に変更
			表 12.1 VBATTモード時の動作状態を更新
			12.4 使用上の注意事項を更新
		14. 割り込みコントローラユニット（ICU）	表 14.4 イベントテーブルを更新
			表 14.5 DTCが起動するときの動作を更新
			14.4.4 外部端子割り込みを更新
			14.6.3 スヌーズモードからの復帰を更新
		15. バス	表 15.1 バスの仕様を更新
			15.3.12 SDRAMオートリフレッシュコントロールレジスタ（SDRFEN）でRFENのビット説明を更新
			図 15.7 SDRAM領域の16ビットバス空間におけるデータアライメント（リトルエンディアン）を更新
			図 15.8 SDRAM領域の16ビットバス空間におけるデータアライメント（ビッグエンディアン）を更新
			図 15.9 SDRAM領域の8ビットバス空間におけるデータアライメント（リトルエンディアン）を更新
			図 15.10 SDRAM領域の8ビットバス空間におけるデータアライメント（ビッグエンディアン）を更新
		16. メモリプロテクションユニット（MPU）	3つのメモリプロテクションユニット → 4つのメモリプロテクションユニットに変更
			16.2.1.1 メインスタックポインタモニタ開始アドレスレジスタ（MSPMPUSA）でMSPMPUSA[31:0]の説明を更新
			表 16.7 バススレーブMPUの仕様を更新

Rev.	発行日	章	改訂内容
1.10	2016.07.22（日本語版は未発行）	20. I/O ポート	20.2.1 ポートコントロールレジスタ1（PCNTR1/PODR/PDR）で16ビットレジスタPDR、PODRを追加
			20.2.2 ポートコントロールレジスタ2（PCNTR2/EIDR/PIDR）で16ビットレジスタPIDR、EIDRを追加
			20.2.3 ポートコントロールレジスタ3（PCNTR3/PORR/POSR）で16ビットレジスタPOSR、PORRを追加
			20.2.4 ポートコントロールレジスタ4（PCNTR4/EORR/EOSR）で16ビットレジスタEOSR、EORRを追加
			20.2.5 ポートmn端子機能選択レジスタ（PmnPFS/PmnPFS_HA/PmnPFS_BY）（m = 0～9, A, B; n = 00～15）でレジスタPmnPFS_HA、PmnPFS_BYを追加
			20.2.5 ポートmn端子機能選択レジスタ（PmnPFS/PmnPFS_HA/PmnPFS_BY）（m = 0～9, A, B; n = 00～15）でPIDRの説明を修正
			20.3.1 汎用入出力ポートを更新
			表 20.7 入出力端子機能のレジスタ設定（ポート1）を更新
			表 20.8 入出力端子機能のレジスタ設定（ポート1）を更新
			表 20.9 入出力端子機能のレジスタ設定（ポート2）を更新
			表 20.10 入出力端子機能のレジスタ設定（ポート2）を更新
			表 20.11 入出力端子機能のレジスタ設定（ポート3）を更新
			表 20.13 入出力端子機能のレジスタ設定（ポート4）を更新
			表 20.14 入出力端子機能のレジスタ設定（ポート4）を更新
			表 20.15 入出力端子機能のレジスタ設定（ポート5）を更新
			表 20.16 入出力端子機能のレジスタ設定（ポート5）を更新
		22. GPT 用ポートアウトプットイネーブル（POEG）	図 22.1 POEGのブロック図を更新
			22.2.1 POEGグループn設定レジスタ（POEGGn）（n = A～D）でIOCEのビット説明を更新
			22.3 出力禁止制御の動作を更新
			22.4 割り込み要因を更新
		23. 汎用 PWM タイマ（GPT）	表 23.2 GPTの機能一覧で注を追加
			図 23.1 GPTのブロック図を追加
			図 23.2のタイトルを図 23.2 GPTチャネルとモジュール名の関係に変更
			図 23.10 ハードウェア要因によるダウンカウント時のイベントカウント動作設定例を更新
			図 23.32 GTADTRA、GTADTRBレジスタのバッファ動作設定例を更新
			23.3.3.2 のこぎり波ワンショットパルスモードを更新
			23.3.3.5 三角波PWMモード3（谷64ビット転送）を更新
			23.3.3.2 のこぎり波ワンショットパルスモード、23.3.3.4 三角波PWMモード2（山／谷32ビット転送）でレジスタ名の誤記を修正
			図 23.56 ハードウェア要因によるカウントスタート／ストップ動作設定例を更新
			23.10.2 コンペアマッチ動作時のGTCCRnレジスタの設定（n = A～F）を更新
		25. 非同期汎用タイマ（AGT）	25.3.5 イベントカウンタモードを更新
			25.4.2フラグ（AGTCRレジスタのTEDGF、TUNDF、TCMAF、およびTCMBFビット）へのアクセスを削除
		26. リアルタイムクロック（RTC）	26.2.1 64Hzカウンタ（R64CNT）で予約ビットの説明を更新
		27. ウォッチドッグタイマ（WDT）	27.2.2 WDTコントロールレジスタ（WDTCR）で予約ビットの説明を更新
			27.2.4 WDTリセットコントロールレジスタ（WDTRCR）で予約ビットの説明を更新
		30. イーサネットPTP コントローラ（EPTPC）	図 30.10 E2Eマスタ動作の開始手順を更新
			図 30.33 パルス出力タイマ設定手順を更新
		32. USB2.0 フルスピードモジュール（USBFS）	32.2.36 PHYクロスポイント調整レジスタ（PHYSLEW）でビット説明を更新

Rev.	発行日	章	改訂内容
1.10	2016.07.22（日本語版は未発行）	34. シリアルコミュニケーションインタフェース（SCI）	表 34.1 SCIの仕様を更新
			PCLKA4 → PCLK/4 に変更
			PCLKA16 → PCLK/16 に変更
			PCLKA64 → PCLK/64 に変更
			34.2.13 非スマートカードインタフェースおよび非FIFOモード用シリアルステータスレジスタ（SSR）（SCMR.SMIF = 0およびFCR.FM = 0）で RDRF、TDREのビット説明を修正
			34.2.14 非スマートカードインタフェースおよびFIFOモード用シリアルステータスレジスタ（SSR_FIFO）（SCMR.SMIF = 0およびFCR.FM = 1）でレジスタ名の誤記を修正
			34.2.14 非スマートカードインタフェースおよびFIFOモード用シリアルステータスレジスタ（SSR_FIFO）（SCMR.SMIF = 0およびFCR.FM = 1）でRDFのフラグ説明を更新
			34.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ（SSR_SMCI）（SCMR.SMIF = 1）でRDRF、TDREのビット説明を修正
			不正な相互参照を修復
			34.2.22 IICモードレジスタ2（SIMR2）でIICCSCの説明を更新
			34.2.22 IICモードレジスタ2（SIMR2）でIICSCLS[1:0]の説明を修正
			34.2.26 FIFOコントロールレジスタ（FCR）でFMのビット説明を更新
			34.5.2 CTS、RTS機能を更新
			34.5.4 シリアルデータの送信（クロック同期式モード）を更新
			34.5.6 シリアルデータの同時送受信動作（クロック同期式モード）を更新
			34.10.4 スマートカードインタフェースモードにおける割り込みを更新
			34.10.5 簡易IICモードにおける割り込みを更新
			34.11 イベントリンク機能を更新
			34.12 アドレス不一致イベント出力（SCI0_DCUF）を追加
			図 34.73 送信中にソフトウェアスタンバイモードへ遷移する場合のフローチャート例を更新
			34.14.6 クロック同期送信に関する制限事項（クロック同期式モードおよび簡易SPIモード）を更新
			図 34.78 クロック同期送信時の外部クロック使用に関する制限事項を更新
		35. IrDA インタフェース	35.2.1 IrDAコントロールレジスタ（IRCR）で注を更新
			35.3.3 受信を更新
		36. I^2C バスインタフェース（IIC）	図 36.35 コマンドリカバリモードとEEP応答モードの動作例（スレーブアドレス一致時のウェイクアップ割り込みによるウェイクアップの場合）を更新
			表 36.11 各コンディション発行時のレジスタの状態を更新
		39. クワッドシリアルペリフェラルインタフェース（QSPI）	39.2.4 ステータスレジスタ（SFMSST）で予約ビットの説明を更新
		40. 巡回冗長検査（CRC）演算器	表 40.1 CRC演算器の仕様で注を更新
		41. シリアルサウンドインタフェース（SSI）	41.2.1 コントロールレジスタ（SSICR）でPDTAのビット説明を更新
		43. SD/MMC ホストインタフェース（SDHI）	43.2.4 データストップレジスタ（SD_STOP）でSTPのビット説明を更新
			43.2.11 SDカード割り込みフラグレジスタ2（SD_INFO2）でb11の説明を更新
			43.2.20 SDIOモードコントロールレジスタ（SDIO_MODE）でC51PUBのビット説明を更新
			43.2.21 SDIO割り込み割り込みフラグレジスタ（SDIO_INFO1）でb2、b1の説明を更新
		45. バウンダリスキャン	45.2.3 バイパスレジスタ（JTBPR）を更新
		47. 12 ビット A/D コンバータ（ADC12）	図 47.32 コンペア機能のイベント出力使用時の設定例を更新
			図 47.40 ソフトウェアによるADCSR.ADSTビットのクリア手順を更新
			47.6.10 ボード設計に関する注意事項を追加
			47.6.11 ノイズ軽減を削除
			47.6.12 12ビットA/Dコンバータ入力を使用する場合のポートの設定を更新
		48. 12 ビット D/A コンバータ（DAC12）	48.2.2 D/Aコントロールレジスタ（DACR）でDAOE0のビット説明を修正
			48.3.1 D/A変換とA/D変換の干渉の最小化でビット名の誤記を修正
			図 48.3 DAC12をADC12に同期して変換する例を更新
			図 48.4 DAC12がADC12（ユニット1）からの同期D/A変換許可入力信号を取り込めない場合の例を更新

Rev.	発行日	章	改訂内容
1.10	2016.07.22（日本語版は未発行）	51. 静電容量式タッチセンシングユニット（CTSU）	51.2.12 CTSUチャネル送受信コントロールレジスタ2（CTSUCHTRC2）でレジスタアドレスを修正
			図 51.10 CTSU停止フローを更新
			図 51.16 相互容量フルスキャンモードのソフトウェアフローと動作例を更新
		53. SRAM	53.3.3 DEDエラー発生を更新
			表 53.2 SRAMエラー要因を更新
		54. スタンバイSRAM	54.3.1 スタンバイSRAM領域からの命令フェッチを更新
		55. フラッシュメモリ	表 55.3 フラッシュキャッシュの概要を更新
			55.4 動作説明を更新
			表 55.5 IDコードプロテクト機能の仕様を更新
			55.14.2 追加の書き込みに関する制約を更新
		58. グラフィックLCD コントローラ（GLCDC）	58.2.56 システムコントロールブロックステート検出コントロールレジスタ（SYSCNT_DTCTEN）でVPOSDTC、L1UNDFDTC、L1UNDFDTCのビット説明を更新
			58.2.58 システムコントロールブロックステータスクリアレジスタ（SYSCNT_STCLR）でビット説明を更新
			58.2.60 システムコントロールブロックバージョンおよびパネルクロックコントロールレジスタ（SYSCNT_PANEL_CLK）でb20のリセット値を更新
		60. 電気的特性	章冒頭の段落を更新
			表 60.1 絶対最大定格表を更新
			表 60.6 I/O V_{OH}、V_{OL}、その他の特性を更新
			表 60.7 動作電流とスタンバイ電流を更新
			表 60.22 SCIタイミング（1）を更新
			図 60.44 SCI簡易IICモードタイミングを更新
			図 60.48 CPHA = 1の場合におけるマスタのSPIタイミングのタイトルを更新
			表 60.27 IICタイミング（1）を更新
			表 60.38 ホストに限定したUSBFS低速特性（USB_DP端子およびUSB_DM端子の特性）を更新
			表 60.39 USBFSフルスピード特性（USB_DP端子、USB_DM端子の特性）を更新
			表 60.41 ユニット1のA/D変換特性で注1を更新
		付録 2. 外形寸法図	図 2.1 224-pin BGAを更新
			図 2.5 144-pin LQFPを更新
		全体	SRAM ECCエラー → SRAM DEDエラーに変更
1.20	2016.08.26（日本語版は2017.01.16発行）	2. CPU	表 2.6 Cortex-M4ペリフェラルアドレスマップでSCSアドレスを修正
		4. アドレス空間	図 4.1 メモリマップを更新
		8. 低電圧検出（LVD）	8.2.7 電圧モニタ1回路コントロールレジスタ0（LVD1CR0）、8.2.8 電圧モニタ2回路コントロールレジスタ0（LVD2CR0）でレジスタ図を更新
		9. クロック発生回路	表 9.2 クロック発生回路の仕様（内部クロック）でPCLKBモジュール一覧、クロック周波数に関する注記を更新
			9.2.27 トレースクロックコントロールレジスタ（TRCKCR）でレジスタのリセット情報を追加
			9.3.2 外部クロックを入力する方法を更新
		11. 低消費電力モード	SBYCR.OPEのビット説明を更新
			11.2.6 動作電力コントロールレジスタ（OPCCR）を更新
			11.2.7 サブ動作電力コントロールレジスタ（SOPCCR）を更新
			図 11.7 スヌーズモードエントリでSCI0を使用するための設定例を更新
			11.10.7 WFI命令のタイミングを更新
		13. レジスタライトプロテクション	表 13.1 PRCRレジスタのビットと保護されるレジスタの対応関係を更新
		14. 割り込みコントローラユニット（ICU）	14.6.3 スヌーズモードからの復帰を更新
		15. バス	15.2.6 制限事項を更新
			BUSnERRSTAT.ERRSTATビットの説明、BUSnERRSTAT.ACCSTATビットのリセット値を更新
			BUSnERRADDレジスタのリセット値を更新
		17. DMAコントローラ（DMAC）	17.2.4 DMAブロック転送カウントレジスタ（DMCRB）を更新
			17.2.7 DMAアドレスモードレジスタ（DMAMD）でSARA[4:0]の説明を更新
			17.2.9 DMA転送イネーブルレジスタ（DMCNT）でDTEのビット説明を更新
			17.2.10 DMAソフトウェア起動レジスタ（DMREQ）でSWREQ、CLRSのビット説明を更新

Rev.	発行日	章	改訂内容
1.20	2016.08.26（日本語版は2017.01.16発行）	18. データトランスファコントローラ（DTC）	18.2.3 DTC転送元レジスタ（SAR）で注を追加
			18.2.5 DTC転送カウントレジスタA（CRA）で注を更新
		19. イベントリンクコントローラ（ELC）	ELCソフトウェアイベントのターゲットモジュールとしてDMACを削除
		20. I/O ポート	表 20.3 未使用端子の処理でEXTAL、XTALの行を更新
		22. GPT 用ポートアウトプットイネーブル（POEG）	22.3 出力禁止制御の動作でEXTAL、XTALの行を更新
		23. 汎用 PWM タイマ（GPT）	ELCnイベント → ELC_GPTn に変更
			UNF → UDF に変更
			23.2.12 汎用PWMタイマコントロールレジスタ（GTCR）でMD[2:0]の説明を更新
			23.2.25 A/D変換開始要求タイミングバッファレジスタm（GTADTBRm）（m = A, B）、23.2.29 汎用PWMタイマデッドタイムバッファレジスタm（GTDBm）（m = U, D）でレジスタアドレスを更新
			23.2.28 汎用PWMタイマデッドタイム値レジスタm（GTDVm）（m = U, D）を更新
			23.3.4 デッドタイム自動設定機能を更新
			表 23.6 デッドタイムエラー補正後のコンペアマッチ値を追加
			図 23.59 ハードウェア要因によるカウントクリア動作設定例を更新
			図 23.64 ハードウェア要因による同時スタート設定例を更新
			表 23.10 位相計数モード2でのアップカウント／ダウンカウントの条件（B）を更新
			表 23.11 位相計数モード2でのアップカウント／ダウンカウントの条件（C）を更新
			表 23.16 位相計数モード5でのアップカウント／ダウンカウントの条件（A）を更新
			表 23.17 位相計数モード5でのアップカウント／ダウンカウントの条件（B）を更新
			表 23.20 回転方向制御方法を更新
			23.4.1 割り込み要因を更新
		25. 非同期汎用タイマ（AGT）	AGTMR2 レジスタのビット説明を更新
		27. ウォッチドッグタイマ（WDT）	WDTSR.UNDFF、WDTSR.REFERのフラグ説明を更新
		30. イーサネットPTP コントローラ（EPTPC）	STSR.W10Dビットの名称をW10SからW10Dに修正
			BYPASS レジスタのリセット値を更新
		32. USB2.0 フルスピードモジュール（USBFS）	32.2.13 割り込みステータスレジスタ0（INTSTS0）で注を削除
			32.2.1 システムコンフィグレーションコントロールレジスタ（SYSCFG）で注5を更新
		33. USB2.0 ハイスピードモジュール（USBHS）	図 33.1 USBHSのブロック図を更新
			SYSCFG.CNENのビット説明を更新
			33.2.7 CFIFOポートレジスタ（CFIFO）D0FIFOポートレジスタ（D0FIFO）D1FIFOポートレジスタ（D1FIFO）を更新
			SYSCFG.STSRECOV0[2:0]のビット説明を更新
			DVSTCTR0.RHST[2:0]のフラグ説明を更新
			CFIFOSEL.REW、INTSTS0.VALID、PIPEnCTR.CSCLR、HLCTRL1.L1STATUS[1:0]ビットのR/W許可を変更
			DPUSR0Rレジスタのリセット値を更新
			図 33.22 ホストコントローラまたはデバイスコントローラとしてディープソフトウェアスタンバイモードへ遷移する場合のUSBHS設定フローを更新
			図 33.24 ホストコントローラとしてディープソフトウェアスタンバイモードを解除する場合のUSBHS設定フロー（2）を更新
			図 33.25 デバイスコントローラとしてディープソフトウェアスタンバイモードを解除する場合のUSBHS設定フロー（1）を更新
		34. シリアルコミュニケーションインタフェース（SCI）	34.2.24 IICステータスレジスタ（SISR）を更新
			図 34.66 簡易IICモードにおけるマスタ送信のフローチャート例（送信割り込み、受信割り込み使用時）を更新
			図 34.68 簡易IICモードにおけるマスタ受信のフローチャート例（送信割り込み、受信割り込み使用時）を更新
		36. I^2C バスインタフェース（IIC）	36.2.7 I^2Cバスステータスイネーブルレジスタ（ICSER）を更新
		41. シリアルサウンドインタフェース（SSI）	SSISR.RIORQのビット説明を更新
			SSIFCR.RTRG[1:0]、SSIFCR.TTRG[1:0]、SSIFSR.RDF、SSIFSR.TDE、SSIFSR.TDC[3:0]のビット説明を更新

Rev.	発行日	章	改訂内容
1.20	2016.08.26（日本語版は2017.01.16発行）	43. SD/MMC ホストインタフェース（SDHI）	SD_INFO1_MASK レジスタのリセット値を更新
			43.2.13 SD INFO2割り込みマスクレジスタ（SD_INFO2_MASK）を更新
			SD_SIZE レジスタのリセット値を更新
			43.2.21 SDIO割り込み割り込みフラグレジスタ（SDIO_INFO1）を更新
			43.2.25 SDインタフェースモード設定レジスタ（SDIF_MODE）を更新
			図 43.16 IO_RW_DIRECTコマンド（CMD52）動作の例を更新
		47. 12 ビット A/D コンバータ（ADC12）	ビットの使用上の注意事項を追加： 47.2.5 A/Dチャネル選択レジスタA1（ADANSA1） 47.2.7 A/Dチャネル選択レジスタB1（ADANSB1） 47.2.9 A/D変換値加算／平均チャネル選択レジスタ1（ADADS1） 47.2.21 A/Dコンペア機能ウィンドウAチャネル選択レジスタ1（ADCMPANSR1） 47.2.24 A/Dコンペア機能ウィンドウA比較条件設定レジスタ1（ADCMPLR1） 47.2.28 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1（ADCMPSR1）
			47.2.28 A/Dコンペア機能ウィンドウAチャネルステータスレジスタ1（ADCMPSR1）を更新
		51. 静電容量式タッチセンシングユニット（CTSU）	CTSUCHTRC2 レジスタのアドレスを更新
		53. SRAM	53.2.3 SRAMウェイトステートコントロールレジスタ（SRAMWTSC）を更新
		55. フラッシュメモリ	55.12.2 バックグラウンドオペレーションを更新
			表 55.2 コードフラッシュメモリの製品別リード、P/Eアドレスを更新
			55.3.2.3 フラッシュウェイトサイクルレジスタ（FLWT）を更新
			図 55.7 スタートアッププログラムプロテクションの概要を更新
		60. 電気的特性	表 60.1 絶対最大定格を更新
			表 60.4 I/O V_{IH}, V_{IL} を更新
			表 60.27 IICタイミング（1）に注を追加
			表 60.28 IICタイミング（2）から注を削除
			表 60.42 A/D内部基準電圧特性を更新
			表 60.49 ACMPHS特性を更新
		付録 3. I/O レジスタ	アドレス、アクセス権、アクセスサイクルを含んだレジスター覧を追加
1.30	2018.01.03（日本語版は未発行）	1. 概要	表1.1 Armコアを更新
			表1.2 メモリでオプション設定メモリを追加
			図1.2 型名の読み方を更新
			表1.16 端子機能で説明欄のETをETnに変更
		2. CPU	2.1.1 CPUを更新
			2.5.1 デバッグモード定義を更新
			2.6.4.4 DBGREG CoreSightコンポーネントレジスタおよび2.6.5.4 OCDREG CoreSightコンポーネントレジスタでCoreSightレジスタをCoreSightコンポーネントレジスタに変更
			2.6.5.3 MCUコントロールレジスタ（MCUCTRL）を更新
			2.8 SysTickシステムタイマに注1.を追加
			2.10.1 DBGENを追加
			2.10.4 接続順序とJTAG/SWD認証で項目（3）および（4）を更新
		3. 動作モード	3.3.1 モード設定端子による動作モード遷移で図 3.1を更新
		4. アドレス空間	4.1 アドレス空間で図4.1 メモリマップおよび4.2 外部アドレス空間で図4.2 外部アドレス空間とCS領域の対応を更新
		5. メモリミラー機能（MMF）	5.3.2 設定例で「アプリケーションコード…」を追加
			5.3.2.1 MMSFR.MEMMIRADDR の設定を削除し内容を更新し、5.3.2 設定例の一部として更新
		6. リセット	表6.3 リセット要因ごとの初期化対象モジュール関連レジスタで表および注2を更新
		7. オプション設定メモリ	図7.1 オプション設定メモリの領域を更新
			7.2.1 オプション機能選択レジスタ0（OFS0）で IWDTSTPCTL ビット（IWDT停止制御）の説明を更新
			7.2.2 オプション機能選択レジスタ1（OFS1）でHOCOEN ビット（HOCO 発振有効）の説明を更新
			7.2.4 アクセスウィンドウ設定レジスタ（AWS）を更新
			表7.1 IDコードプロテクト機能の仕様を更新
		8. 低電圧検出（LVD）	8.2.1 電圧モニタ1回路コントロールレジスタ1（LVD1CR1）でb1およびb0の説明を更新
			8.2.3 電圧モニタ2回路コントロールレジスタ1（LVD2CR1）でb1およびb0の説明を更新
			図8.4 電圧監視0リセットの動作例を更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	9. クロック発生回路	表 9.2 クロック発生回路の仕様（内部クロック）を更新
			図9.1 クロック発生回路のブロック図を更新
			9.2.13 FLLコントロールレジスタ1（FLLCR1）を更新
			9.2.15 発振安定フラグレジスタ（OSCSF）を更新
			9.2.18 メインクロック発振器ウェイトコントロールレジスタ（MOSCWTCR）を更新
			9.2.20 サブクロック発振器モードコントロールレジスタ（SOMCR）でb1の説明を更新
			9.2.21 クロックアウトコントロールレジスタ（CKOCR）で CKOSEL[3:0]を CKOSEL[2:0]へ修正
			9.5.2 発振停止検出割り込みを更新
			9.7.3 フラッシュインタフェースクロック（FCLK）でE2データフラッシュをデータフラッシュに変更
		10. クロック周波数精度測定回路（CAC）	10.1 概要を更新
			10.2.2 CACコントロールレジスタ1（CACR1）で FMCS[2:0]ビットの説明を更新
			10.2.3 CACコントロールレジスタ2（CACR2）で RCDS[1:0]ビットの説明を更新
			10.2.4 CAC割り込みコントロールレジスタ（CAICR）で FERRFCL、MENDFCLおよびOVFFCビットの説明を更新
		11. 低消費電力モード	表11.2 各低消費電力モードの動作状態で表および注7を更新
			11.2.5 モジュールストップコントロールレジスタD（MSTPCRD）でビット名およびb5の説明を更新
			11.2.7 サブ動作電力コントロールレジスタ（SOPCCR）で SOPCMTSF フラグ（サブ動作電力制御モード遷移状態フラグ）の説明を更新
			11.2.8 スヌーズコントロールレジスタ（SNZCR）で RXDREQEN ビット（RXD0 スヌーズ要求許可）の説明を更新
			11.2.9 スヌーズ終了コントロールレジスタ（SNZEDCR）で SCI0UMTED ビット（SCI0 アドレス不一致スヌーズ終了許可）の説明を更新
			11.2.10 スヌーズ要求コントロールレジスタ（SNZREQCR）で b17のビット説明を更新
			11.2.15 ディープソフトウェアスタンバイ割り込みイネーブルレジスタ3（DPSIER3）でビット名をDAGT1IEからDTA1IEへ修正
			11.2.19 ディープソフトウェアスタンバイ割り込みフラグレジスタ3（DPSIFR3）でビット名をDTA1IFからDAGT1IFへ修正
			11.8.1 スヌーズモードへの遷移の最後の「スヌーズモード時にDTC を使用する場合を除き、DMAST.DMST ビットとDTCST.DTCST ビットを0 にして…」の一段落分を11.7.1 ソフトウェアスタンバイモードへの遷移へ移動
			表11.8 利用可能なスヌーズ終了要求（ソフトウェアスタンバイモードへの復帰トリガ）を更新
			11.9.2 ディープソフトウェアスタンバイモードの解除で DPSIEGRn (n = 0～3)を DPSIEGRn (n = 0～2)に変更
			11.10.1 レジスタアクセスで DPSIEGRn (n = 0～3)を DPSIEGRn (n = 0～2)に変更
		12. バッテリバックアップ機能	12.4 使用上の注意事項を更新
		13. レジスタライトプロテクション	表13.1 PRCRレジスタのビットと保護されるレジスタの対応関係でDPSIEGR0-3を DPSIEGR0-2に変更
		14. 割り込みコントローラユニット（ICU）	14.2.1 IRQコントロールレジスタi（IRQCRi）（i = 0～15）を更新
			14.2.7 DMACイベントリンク設定レジスタn（DELSRn）（n = 0～7）を更新
		15. バス	表15.1 バスの仕様でE2データフラッシュをデータフラッシュに変更
			表15.2 バス種類別アドレス対応表でE2データフラッシュをデータフラッシュに変更
			15.2.1 メインバスを更新
			15.2.5 バスの設定を更新
			15.3.3 CSリカバリサイクル挿入イネーブルレジスタ（CSRECEN）を更新
			15.3.20 スレーブバスコントロールレジスタ（BUSSCNT<slave>）を更新
			表15.9 優先順位固定（ARBMET[1:0] = 00b）によるバス優先順位を更新
			表15.10 ラウンドロビン（ARBMET[1:0] = 01b）によるバス優先順位を更新
			15.3.21 バスエラーアドレスレジスタ（BUSnERRADD）（n = 1～11）を更新
			15.5.3 リカバリサイクルの挿入を更新
			15.7.1 バスエラーの種類を更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	16. メモリプロテクションユニット（MPU）	16.2 CPUスタックポインタモニタを更新
			16.2.1.6 スタックポインタモニタアクセスコントロールレジスタ（MSPMPUCTL, PSPMPUCTL）を更新
			16.2.1.7 スタックポインタモニタ保護レジスタ（MSPMPUPT, PSPMPUPT）を更新
			図16.4 バスマスタMPUのグループA、B、およびCを更新
			16.4.1.1 グループm領域n開始アドレスレジスタ（MMPUSmn）（m = A～C; n = 0～31）を更新
			16.4.1.2 グループm領域n終了アドレスレジスタ（MMPUEmn）（m = A～C; n = 0～31）を更新
			16.4.1.3 グループm領域nアクセスコントロールレジスタ（MMPUACmn）（m = A～C; n = 0～31）でENABLE ビット（領域有効）の説明を更新
			表16.5 領域制御回路の機能で注記を更新
			16.4.2.3 メモリプロテクションエラーを更新
			表16.7 バススレーブMPUの仕様を更新
			16.5.2 動作説明を更新
		18. データトランスファコントローラ（DTC）	図 18.1 DTCのブロック図を更新
			図 18.2 DTCベクタテーブルと転送情報の対応を更新
			18.6.3 カウンタ = 0のときのチェーン転送を更新
		19. イベントリンクコントローラ（ELC）	図 19.1 ELCのブロック図（n = 0～18）を更新
			19.4.4 ELC 遅延時間を追加
		20. I/O ポート	表20.2 I/Oポートの機能を更新
			20.2.1 ポートコントロールレジスタ1（PCNTR1/PODR/PDR）を更新
			20.2.2 ポートコントロールレジスタ2（PCNTR2/EIDR/PIDR）を更新
			20.2.3 ポートコントロールレジスタ3（PCNTR3/PORR/POSR）を更新
			20.2.4 ポートコントロールレジスタ4（PCNTR4/EORR/EOSR）を更新
			20.2.5 ポートmn端子機能選択レジスタ（PmnPFS/PmnPFS_HA/PmnPFS_BY）（m = 0～9, A, B; n = 00～15）を更新およびレジスタ説明の注記を追加
			20.2.6 書き込みプロテクトレジスタ（PWPR）を更新
			20.3.1 汎用入出力ポートを更新
			表20.3 未使用端子の処理の表および注記を更新
			20.5.1 端子機能の設定手順を更新
			表20.5 入出力端子機能のレジスタ設定（ポート0）を更新
			表20.6 入出力端子機能のレジスタ設定（ポート0）を更新
			表20.9 入出力端子機能のレジスタ設定（ポート2）を更新
			表20.10 入出力端子機能のレジスタ設定（ポート2）を更新
			表20.13 入出力端子機能のレジスタ設定（ポート4）を更新
			表20.16 入出力端子機能のレジスタ設定（ポート5）を更新
		21. キー割り込み機能（KINT）	図21.1 キー割り込みのブロック図を更新
			21.2.1 キーリターンコントロールレジスタ（KRCTL）を更新
			21.2.2 キーリターンフラグレジスタ（KRF）を更新
			21.2.3 キーリターンモードレジスタ（KRM）を更新
		22. GPT 用ポートアウトプットイネーブル（POEG）	22.1 概要を更新
			図22.1 POEGのブロック図を更新
			22.2.1 POEGグループn設定レジスタ（POEGGn）（n = A～D）を更新
			図22.2 デジタルフィルタの動作例を更新
			22.3.2 GPTからの出力禁止要求を更新
			図22.4 GPTに対する外部トリガ出力のタイミングを更新
		23. 汎用 PWM タイマ（GPT）	表23.2 GPTの機能一覧を更新
			図23.1 GPTのブロック図を更新
			23.2.13 汎用PWMタイマカウント方向、デューティ設定レジスタ（GTUDDTYC）を更新
			23.2.14 汎用PWMタイマI/Oコントロールレジスタ（GTIOR）を更新
			23.2.16 汎用PWMタイマステータスレジスタ（GTST）で以下の通りに更新。 • ADTRAUF、ADTRADF、ADTRBUFおよびADTRBDFの説明を追加 • DTEF フラグ（デッドタイムエラーフラグ）の説明を更新
			23.2.18 汎用PWMタイマ割り込み、A/D変換開始要求間引き設定レジスタ（GTITC）を更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	23. 汎用 PWM タイマ（GPT）	23.2.32 出力相切り替えコントロールレジスタ（OPSCR）でb20の説明からRVビットを削除
			図23.47 デッドタイム自動設定機能の設定例（のこぎり波ワンショットパルスモード、三角波PWMモード3の場合）を更新
			表23.7 0%または100%デューティ設定解除後の出力値（m = A, B）を更新
			図23.51 ハードウェア要因ELC_GPTAによるカウントスタート動作例を更新
			23.3.8.2 ハードウェアによる同期動作を更新
			図23.81 GPT_OPS制御フローの概念図を更新
			図23.82 6相レベル出力動作例を更新
			図23.83 6相PWM出力動作例（チョッパ制御）を更新
			図23.84 グループ出力禁止制御動作例を更新
			23.3.11.4 回転方向制御を削除
			23.3.11.5 出力選択制御（グループ出力禁止機能）を更新
			表23.20 出力選択制御方法（正相）、表23.21 出力選択制御方法（逆相）を更新
			23.3.11.6 イベントリンクコントローラ（ELC）出力を更新
			図23.85 GPT_OPSスタート動作設定例を更新
			23.4.1 割り込み要因を更新
			表23.22 割り込み要因の注記を削除
			23.8.3 GTIOC端子出力のネゲート制御を更新
			23.9.1 リセット後の端子設定を更新
			23.9.2 動作中の異常による端子の初期化を更新
			23.10.2 コンペアマッチ動作時のGTCCRnレジスタの設定（n = A～F）を更新
		24. PWM 遅延生成回路	24.2.1 PWM出力遅延コントロールレジスタ（GTDLYCR）～24.2.6 GTIOCnB立ち下がり出力遅延レジスタ（GTDLYFnB）（n = 0～3）を更新
			24.4.1 モジュールストップ機能の設定を更新
		25. 非同期汎用タイマ（AGT）	25.1 概要で「注. VBATT 機能を使用するか否かにかかわらず、コールドスタート後にRTC レジスタにアクセスするときは、VBTCR1.BPWSWSTP ビットを1 にしてから行ってください。」 を削除
			図 25.1 AGTのブロック図を更新
			25.2.4 AGTコントロールレジスタ（AGTCR）を更新
			25.3.1 リロードレジスタおよびカウンタの書き換え動作を更新
			図 25.7 イベントカウンタモードでの動作例1を更新
			図 25.8 イベントカウンタモードでの動作例2を更新
			表25.6 AGTIOn端子の設定で表タイトルにあるAGTIO0を AGTIOnに変更
			25.4.7 カウントソースとしてAGT0アンダーフローを選択した場合を更新
		26. リアルタイムクロック（RTC）	26.2.22 時間キャプチャコントロールレジスタy（RTCCRy）（y = 0～2）でTCENをビット7として追加
			26.2.26 日キャプチャレジスタy（RDAYCPy）（y = 0～2）／BCNT3キャプチャレジスタy（BCNT3CPy）（y = 0～2）で表中のシンボルを更新
			26.2.27 月キャプチャレジスタy（RMONCPy）（y = 0～2）で表中のシンボルを更新
			26.3.6 アラーム機能を更新
			26.3.8.1 自動補正を更新
		27. ウォッチドッグタイマ（WDT）	図27.3 レジスタスタートモードでの動作例を更新
			27.5.1 ICUイベントリンク設定レジスタn（IELSRn）の設定に関する制限を更新
		28. 独立ウォッチドッグタイマ（IWDT）	表 28.1 IWDTの仕様を更新
			図28.1 IWDTのブロック図を更新
			28.2.3 オプション機能選択レジスタ0（OFS0）で IWDTRSTIRQSビットおよびIWDTSTPCTLビットの説明を更新
			28.3.2 リフレッシュ動作を更新
		29. イーサネットMAC コントローラ（ETHERC）	29.2.5 PHY部インタフェースレジスタ（PIR）でMDIビットの R/Wの設定をR/WからRへ変更
			29.2.9 自動PAUSEフレーム設定レジスタ（APR）でAP[15:0]のリセット後の値を0000hからxxxxhに変更
			29.2.10 手動PAUSEフレーム設定レジスタ（MPR）でMP[15:0] のリセット後の値を0000hからxxxxhに変更
			29.2.15 MACアドレス上位設定レジスタ（MAHR）でビット説明を追加
			29.2.17 送信リトライオーバーカウンタレジスタ（TROCR）でビット説明を追加
			29.2.18 遅延衝突検出カウンタレジスタ（CDCR）でビット説明を追加
			29.2.19 キャリア消失カウンタレジスタ（LCCR）でビット説明を追加
			29.2.20 キャリア未検出カウンタレジスタ（CNDCR）でビット説明を追加
			29.2.21 CRCエラーフレーム受信カウンタレジスタ（CEFCR）でビット説明を追加

Rev.	発行日	章	改訂内容
1.30	2018.01.03 （日本語版は未発行）	29. イーサネットMAC コントローラ（ETHERC）	29.2.22 フレーム受信エラーカウンタレジスタ（FRECR）でビット説明を追加
			29.2.23 ショートフレーム受信カウンタレジスタ（TSFRCR）でビット説明を追加
			29.2.24 ロングフレーム受信カウンタレジスタ（TLFRCR）でビット説明を追加
			29.2.25 端数ビットフレーム受信カウンタレジスタ（RFCR）でビット説明を追加
			29.2.26 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）でビット説明を追加および説明内のRFCRレジスタをMAFCRレジスタに変更
			29.3.5.1 Magic Packet検出時の制約でETHERCを EDMACに変更
		30. イーサネットPTP コントローラ（EPTPC）	30.2.1 ETHER_MINT割り込み要因ステータスレジスタ（MIESR）でb15からb4の R/Wの設定をRからR/Wに変更
			30.2.8 STCA動作モードレジスタ（STMR）でSYTH[3:0]の説明を更新
			30.2.31 PRC-TCステータス通知イネーブルレジスタ（PRIPR）でb3のシンボルをOVRE0からOVRE3へ修正
			30.2.56 SYNFP送信間隔設定レジスタ（SYTLIR）を更新
		31. イーサネットDMA コントローラ（EDMAC）	31.2.4 送信ディスクリプタリスト開始アドレスレジスタ（TDLAR）を更新
			31.2.7 PTP用EDMACステータスレジスタ（PTPEDMAC.EESR）を更新
		32. USB2.0 フルスピードモジュール（USBFS）	32.2.1 システムコンフィグレーションコントロールレジスタ（SYSCFG）を更新
			32.2.2 システムコンフィグレーションステータスレジスタ0（SYSSTS0）を更新
			32.2.3 デバイスステートコントロールレジスタ0（DVSTCTR0）を更新
			32.2.4 CFIFOポートレジスタ（CFIFO/CFIFOL）D0FIFOポートレジスタ（D0FIFO/D0FIFOL）D1FIFOポートレジスタ（D1FIFO/D1FIFOL）を更新
			32.2.5 CFIFOポート選択レジスタ（CFIFOSEL）D0FIFOポート選択レジスタ（D0FIFOSEL）D1FIFOポート選択レジスタ（D1FIFOSEL）を更新
			32.2.8 割り込みイネーブルレジスタ1（INTENB1）を更新
			32.2.12 SOF出力コンフィグレーションレジスタ（SOFCFG）を更新
			32.2.13 割り込みステータスレジスタ0（INTSTS0）を更新
			32.2.14 割り込みステータスレジスタ1（INTSTS1）を更新
			32.2.30 パイプマックスパケットサイズレジスタ（PIPEMAXP）で注1を更新
			32.2.31 パイプ周期コントロールレジスタ（PIPEPERI）を更新
			32.2.32 パイプnコントロールレジスタ（PIPEnCTR）（n = 1～9）を更新
			32.2.37 ディープソフトウェアスタンバイUSBトランシーバコントロール／端子モニタレジスタ（DPUSR0R）を更新
			図 32.3 セルフパワードシステムでのデバイス接続例を更新
			表32.15 USBFSの割り込みを更新
			32.3.3.1 BRDY割り込みを更新
			表32.16 BRDYビットのクリア条件を更新
			図 32.12 デバイスコントローラモード時のNRDY割り込み発生タイミングを更新
			図 32.15 コントロール転送ステージの遷移を更新
			32.3.4.7 データPIDシーケンスビットを更新
			32.3.6 FIFOバッファクリアを更新
			表32.21 FIFOポート機能設定を更新
			32.4.2 ソフトウェアスタンバイモード終了時の割り込みステータスレジスタのクリアを更新
		33. USB2.0 ハイスピードモジュール（USBHS）	図 33.1 USBHSのブロック図を更新
			33.2.1 システムコンフィグレーションコントロールレジスタ（SYSCFG）を更新
			33.2.2 CPUバスウェイトレジスタ（BUSWAIT）で BWAIT[3:0]ビットの連続アクセスのためのサイクル時間の説明においてサイクル時間を60nsから40.8nsへ変更
			33.2.5 デバイスステートコントロールレジスタ0（DVSTCTR0）を更新
			33.2.8 CFIFOポート選択レジスタ（CFIFOSEL）を更新
			33.2.9 D0FIFOポート選択レジスタ（D0FIFOSEL）D1FIFOポート選択レジスタ（D1FIFOSEL）を更新
			33.2.16 SOF出力コンフィグレーションレジスタ（SOFCFG）を更新
			33.2.17 PHY設定レジスタ（PHYSET）を更新
			33.2.20 BRDY割り込みステータスレジスタ（BRDYSTS）を更新
			33.2.21 NRDY割り込みステータスレジスタ（NRDYSTS）を更新
			33.2.22 BEMP割り込みステータスレジスタ（BEMPSTS）を更新
			33.2.37 パイプ周期コントロールレジスタ（PIPEPERI）を更新
			表 33.11 デバイスコントローラモードでのPIPEnCTR.PID[1:0]設定に基づいたUSBHSの動作を更新
			33.2.47 ホストL1コントロールレジスタ1（HL1CTRL1）を更新
			図33.2 PHYクロック設定を更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	33. USB2.0 ハイスピードモジュール（USBHS）	表 33.22 パイプ設定を更新
			図33.28 セルフパワードシステムでのデバイス接続例を更新
		34. シリアルコミュニケーションインタフェース（SCI）	表 34.2 SCIの入出力端子を更新
			34.2.4 レシーブFIFOデータレジスタH, L, HL（FRDRH, FRDRL, FRDRHL）を更新
			34.2.10 スマートカードインタフェースモード用シリアルモードレジスタ（SMR_SMCI）（SCMR.SMIF = 1）を更新
			34.2.11 非スマートカードインタフェースモード用シリアルコントロールレジスタ（SCR）（SCMR.SMIF = 0）を更新
			34.2.12 スマートカードインタフェースモード用シリアルコントロールレジスタ（SCR_SMCI）（SCMR.SMIF = 1）を更新
			34.2.13 非スマートカードインタフェースおよび非FIFOモード用シリアルステータスレジスタ（SSR）（SCMR.SMIF = 0およびFCR.FM = 0）を更新
			34.2.14 非スマートカードインタフェースおよびFIFOモード用シリアルステータスレジスタ（SSR_FIFO）（SCMR.SMIF = 0およびFCR.FM = 1）を更新
			34.2.15 スマートカードインタフェースモード用シリアルステータスレジスタ（SSR_SMCI）（SCMR.SMIF = 1）を更新
			表 34.13 各ビットレートに対するBRRの設定例（クロック同期式モード、簡易SPIモード）で10 M ビットおよび15 M ビットを行に追加および注1を更新
			表 34.15 各ビットレートに対するBRRの設定例（スマートカードインタフェースモード、n = 0, S = 372の場合）を更新
			表 34.17 各ビットレートに対するBRRの設定例（簡易IICモード）を更新
			表 34.18 各ビットレート設定でのSCL High/Low幅最小値（簡易IICモード）を更新
			34.2.19 シリアル拡張モードレジスタ（SEMR）を更新
			34.2.23 IICモードレジスタ3（SIMR3）を更新
			34.2.24 IICステータスレジスタ（SISR）を更新
			34.2.26 FIFOコントロールレジスタ（FCR）でDRESのビット説明を追加
			34.2.30 データコンペアマッチコントロールレジスタ（DCCR）を更新
			34.2.31 シリアルポートレジスタ（SPTR）を更新
			34.3.5 CTS、RTS機能を更新
			図34.5 アドレス一致検出の例（1）（非マルチプロセッサモード）を更新
			図34.6 アドレス一致検出の例（2）（マルチプロセッサモード）を更新
			34.3.7 SCIの初期化（調歩同期式モード）を更新
			34.3.8 シリアルデータの送信（調歩同期式モード）を更新
			図34.12 調歩同期式モードにおけるシリアル送信のフローチャート例（非FIFO選択時）を更新
			図34.14 調歩同期式モードにおけるシリアル送信のフローチャート例（FIFO選択時）を更新
			図34.21 調歩同期式モードにおけるシリアル受信のフローチャート例（FIFO選択時）（2）を更新
			図34.30 マルチプロセッサモードにおけるシリアル受信のフローチャート例（FIFO選択時）を更新
			34.5.2 CTS、RTS機能を更新
			図34.38 クロック同期式モードにおけるシリアル送信のフローチャート例（FIFO選択時）を更新
			34.5.6 シリアルデータの同時送受信動作（クロック同期式モード）を更新
			図34.45 スマートカード（ICカード）との接続例を更新
			34.6.3 ブロック転送モードを更新
			34.6.4 受信データのサンプリングタイミングと受信マージンを更新
			図34.50 SCIの初期化フローチャート例（スマートカードインタフェースモード）を更新
			図34.51 スマートカードインタフェースモードにおけるデータ送信のタイミング例および図の直前の記述を追加
			図34.52 SCI送信モードでの再転送動作を更新
			図34.53 送信中のSSR.TENDフラグの発生タイミングを更新
			34.6.8 クロック出力制御を更新
			34.7.3 SDA出力遅延を更新
			34.8 簡易SPIモードの動作を更新
			表 34.25 モードおよびSSn端子入力と各端子状態の関係、表 34.26 SCIの割り込み要因（非FIFO選択時）、表 34.27 SCIの割り込み要因（FIFO選択時）、表 34.28 SCIの割り込み要因を更新
			図34.71 ビットレートモジュレーション機能使用時の内部基本クロックの例を更新
			34.14.2 低消費電力状態でのSCI動作を更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	34. シリアルコミュニケーションインタフェース（SCI）	図34.74 ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、調歩同期送信）を更新
			図34.75 ソフトウェアスタンバイモード遷移中のポートの端子状態（内部クロック、クロック同期送信）を更新
			34.14.8 通信の開始に関する注意事項を更新
			34.14.9 クロック同期式モードおよび簡易SPIモードにおける外部クロック入力を更新
		36. I²C バスインタフェース（IIC）	表36.1 IICの仕様を更新
			36.2.1 I²Cバスコントロールレジスタ1（ICCR1）を更新
			36.2.2 I²Cバスコントロールレジスタ2（ICCR2）を更新
			36.2.16 I²CバスビットレートHighレジスタ（ICBRH）を更新
			36.3.1 通信データフォーマットを更新
			36.3.3 マスタ送信動作を更新
			図36.31 ノーマルウェイクアップモード1および2の動作例（IICウェイクアップ割り込み以外の割り込み（たとえばIRQn）によるウェイクアップの場合）を更新
			図36.36 コマンドリカバリモードとEEP応答モードの動作例（IICウェイクアップ割り込み以外の割り込み（たとえばIRQn）によるウェイクアップの場合）を更新
			36.9.1 送信データの誤送信防止機能を更新
			図36.45 スタートコンディション、リスタートコンディション発行動作タイミング（STおよびRSビットの使用）を更新
			36.12 バスハングアップを更新
			36.14 割り込み要因で表36.10 割り込み要因の表および注5を更新
			36.15 各コンディション発行時のレジスタの状態を更新
		37. CAN（Controller Area Network）モジュール	表37.1 CANモジュールの仕様を更新
			37.2.3 マスクレジスタk（MKRk）（k = 0～7）でb17-b0およびb28-b18の説明を更新
			37.2.4 FIFO受信ID比較レジスタ0、1（FIDCR0、FIDCR1）でb17-b0およびb28-b18の説明を更新
			37.2.6 メールボックスレジスタj（MBj_ID、MBj_DL、MBj_Dm、MBj_TS）（j = 0～31; m = 0～7）でb17-b0およびb28-b18の説明を更新
			37.2.13 送信FIFOコントロールレジスタ（TFCR）を更新
			37.2.21 エラー割り込み要因判定レジスタ（EIFR）を更新
			図 37.3 送信FIFOメールボックスの動作（MIER_FIFOレジスタのビット25、24が01bまたは11bのとき）を更新
			37.6 アクセプタンスフィルタ機能とマスク機能を更新
			図 37.9 各動作モード間の遷移を更新
			37.7.2 送信で SENDTDATA を SENTDATA に修正
		38. シリアルペリフェラルインタフェース（SPI）	38.2.1 SPIコントロールレジスタ（SPCR）を更新
			38.2.4 SPIステータスレジスタ（SPSR）を更新
			表38.5 SPCRレジスタの設定値とSPIのモードの関係を更新
			38.3.3.3 シングルマスタ／マルチスレーブ（MCUはマスタ）を更新
			図38.10 マルチマスタ／マルチスレーブの構成例（MCUはマスタ）を更新
			図38.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形（CPHA = 1）を更新
			図38.30 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形（CPHA = 0）を更新
			38.3.9.1 SPEビットのクリアによる初期化を更新
			38.3.10.1 マスタモード動作を更新
			図38.37 マスタモードでの送信フローを更新
			図38.38 マスタモードでの受信フローを更新
			図38.39 マスタモードでのエラー処理フローを更新
			図38.47 マスタモード時のクロック同期式動作の初期化フロー例を更新
			38.3.11.2 スレーブモード動作を更新
			38.3.12 ループバックモードを更新
			表38.13 SPIの割り込み要因を更新
			表38.15 送信完了イベントの発生条件（スレーブモード時）を更新
		39. クワッドシリアルペリフェラルインタフェース（QSPI）	図 39.2 デフォルト領域設定およびAHB空間メモリマップを更新
			図 39.12 SFMOEXビットを使用した出力許可ホールド時間調整を更新
			39.6.2 標準リード命令を更新
		40. 巡回冗長検査（CRC）演算器	図 40.1 CRC演算器のブロック図のタイトルを更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	41. シリアルサウンドインタフェース（SSI）	図 41.1 SSI ブロック図（SSI0）を更新
			図 41.2 SSI ブロック図（SSI1）を更新
			41.2.2 ステータスレジスタ（SSISR）を更新
			41.5.1 モジュールストップ機能の設定を更新
		43. SD/MMC ホストインタフェース（SDHI）	表43.1 SD/MMC ホストインタフェースの仕様を更新
			43.2.10 SD カード割り込みフラグレジスタ 1（SD_INFO1）を更新
			43.2.11 SD カード割り込みフラグレジスタ 2（SD_INFO2）を更新
			43.2.17 SD エラーステータスレジスタ 1（SD_ERR_STS1）を更新
			図43.6 SD_BUF0 からの読み出しを更新
			表43.7 タイムアウトを更新
			図43.9 レスポンスおよびデータがないコマンドのフロー例で図のタイトルを更新
		44. パラレルデータキャプチャユニット（PDC）	44.3.11 リセット状況を更新
		47. 12 ビット A/D コンバータ（ADC12）	表47.1 ADC12 の仕様を更新
			表47.2 ADC12 の機能一覧を更新
			図 47.1 ADC12（ユニット 0）のブロック図を更新
			図 47.2 ADC12（ユニット 1）のブロック図を更新
			47.2.3 A/D コントロールレジスタ（ADCSR）を更新
			図 47.3 ADADC.ADC[2:0] = 011b、ADADS0.ADS02 = 1、ADS6 = 1 選択時のスキャン変換シーケンスを更新
			47.2.15 A/D サンプル＆ホールド回路コントロールレジスタ（ADSHCR）を更新
			47.2.17 A/D 断線検出コントロールレジスタ（ADDISCR）を更新
			47.2.22 A/D コンペア機能ウィンドウ A 拡張入力選択レジスタ（ADCMPANSER）を更新
			47.2.31 A/D コンペア機能ウィンドウ B ステータスレジスタ（ADCMPBSR）を更新
			47.3.2.7 温度センサ出力／内部基準電圧選択時の A/D 変換動作を更新
			47.3.2.9 ダブルトリガモード選択時の拡張動作を更新
			図 47.15 ダブルトリガモードの拡張動作例（AN003 の 2 重化を選択、ELC_AD00/ELC_AD01 選択）を更新
			図 47.20 連続スキャンモードの動作例（チャネル専用サンプル＆ホールド回路使用、AN000 および AN001 選択 + 自己診断）を更新
			47.3.3.7 温度センサ出力／内部基準電圧選択時の A/D 変換動作を更新
			47.3.4.3 グループ A 優先制御動作を更新
			図 47.25 ADGSPCR.PGS ビット設定時のフローを更新
			図 47.28 グループ A 優先制御の動作例（3）（ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 の場合）を更新
			図 47.32 コンペア機能のイベント出力使用時の設定例を更新
			表47.10 スキャン変換時間（ADCLK と PCLKB のサイクル数）で図および注3を更新
			47.3.7 A/D データレジスタの自動クリア機能の使用例を更新
			47.3.9 断線検出アシスト機能を更新
			47.4.1 割り込み要求を更新
			表47.12 ADC12 のイベント一覧を更新
			図 47.40 ソフトウェアによる ADCSR.ADST ビットのクリア手順を更新
			47.6.7 断線検出アシスト機能使用時の絶対精度誤差を更新
			46.6.8 プログラマブルゲインアンプ（PGA）入力を 47.6.8 AN000～AN002 および AN100～AN102 の使用可能な機能とレジスタ設定に変更
			47.6.9 動作モードおよびステータスビットを更新
			表47.15 A/D 変換中に選択できない ACMPHS 端子一覧を更新
		48. 12 ビット D/A コンバータ（DAC12）	48.2.2 D/A コントロールレジスタ（DACR）を更新
			図48.4 DAC12 が ADC12（ユニット 1）からの同期 D/A 変換許可入力信号を取り込めない場合の例を更新
		49. 温度センサ（TSN）	図49.2 温度センサの使用手順を更新
		50. 高速アナログコンパレータ（ACMPHS）	表50.2 ACMPHS の入力電源構成で注 1 および注 4 を更新
			50.2.1 コンパレータコントロールレジスタ（CMPCTL）を更新
			表50.3 ACMPHSn（n = 0～5）に関連するレジスタの設定手順を更新
			50.6 イベントリンクコントローラ（ELC）への ACMPHS 出力を更新
			50.7 ACMPHS 端子出力を更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	51. 静電容量式タッチセンシングユニット（CTSU）	図 51.3 CTSUのブロック図を更新
			51.2.5 CTSU計測チャネルレジスタ0（CTSUMCH0）を更新
			図 51.4 計測部回路を更新
			図 51.6 放電動作を更新
			図 51.9 CTSU初期設定フローを更新
			51.3.2.2 ステータスカウンタを更新
			図 51.14 自己容量マルチスキャンモードのソフトウェアフローと動作例を更新
			図 51.16 相互容量フルスキャンモードのソフトウェアフローと動作例を更新
		53. SRAM	表 53.1 SRAMの仕様で注2を追加
			表 53.4 SRAM0（DED領域 2000 0000h～2000 7FFFh）を更新
			53.4.3 SRAM のストアバッファを更新
		55. フラッシュメモリ	表55.5 IDコードプロテクト機能の仕様を更新
		56. 2D 描画エンジン（DRW）	図 56.3 2D描画エンジンのブロック図を更新
			56.2.2 サーフェスコントロールレジスタ（CONTROL2）を更新
			56.2.3 割り込みコントロールレジスタ（IRQCTL）を更新
			56.2.5 ステータスコントロールレジスタ（STATUS）を更新
			56.2.6 ハードウェアバージョンおよび機能セットIDレジスタ（HWREVISION）を更新
			56.2.33 パフォーマンスカウンタコントロールレジスタ（PERFTRIGGER）でR/Wの設定を更新
			56.3.1.1 カラーフォーマットを更新
			56.3.3 BitBLTを更新
			図 56.4 テクスチャデータの処理を更新
			56.6.2.1 エッジセットアップ：線形の場合で(2) リミッタの動作の 「灰色のボックスは、線形セットアップとは異なる動作を実行する追加分です。」の1文を削除
			56.6.2.6 ラスタライゼーションの最適化を更新
			56.6.3 テクスチャ処理を更新
			図 56.22 カラライゼーションの手順と2つのカラーレジスタA（COLOR1）とB（COLOR2）の補間を更新
			56.6.5.1 カラーチャネルブレンディングを更新
			図 56.23 CONTROL2.USEACB = 0の場合のカラーチャネルブレンドユニットを更新
			56.6.5.2 アルファチャネルブレンディングを更新
			図 56.24 CONTROL2.USEACB = 1の場合のアルファチャネルおよびカラーチャネルのブレンドユニットを更新
		57. JPEG コーデック	57.2.6 JPEGコードDRI下位レジスタ（JCDRID）を更新
			57.2.31 JPEG割り込みステータスレジスタ1（JINTS1）を更新
		58. グラフィックLCD コントローラ（GLCDC）	58.1.6 TCONの出力制御を更新
			58.1.8 ブレンディングを更新
			58.2.6 バックグラウンドプレーン設定水平方向画像フルサイズレジスタ（BG_HSIZE）を更新
			58.2.8 バックグラウンドプレーン設定ステータスモニタレジスタ（BG_MON）を更新
			58.2.14 グラフィック1フレームバッファコントロールレジスタ5（GR1_FLM5）グラフィック2フレームバッファコントロールレジスタ5（GR2_FLM5）を更新
			58.2.19 グラフィック1アルファブレンディングコントロールレジスタ4（GR1_AB4）グラフィック2アルファブレンディングコントロールレジスタ4（GR2_AB4）を更新
			58.2.21 グラフィック1アルファブレンディングコントロールレジスタ6（GR1_AB6）グラフィック2アルファブレンディングコントロールレジスタ6（GR2_AB6）を更新
			58.2.22 グラフィック1アルファブレンディングコントロールレジスタ7（GR1_AB7）グラフィック2アルファブレンディングコントロールレジスタ7（GR2_AB7）を更新
			58.2.28 ガンマGレジスタ更新コントロールレジスタ（GAMG_LATCH）ガンマBレジスタ更新コントロールレジスタ（GAMB_LATCH）ガンマRレジスタ更新コントロールレジスタ（GAMR_LATCH）を更新
			58.2.32 ガンマG補正ブロックテーブル設定レジスタ3（GAMG_LUT3）ガンマB補正ブロックテーブル設定レジスタ3（GAMB_LUT3）ガンマR補正ブロックテーブル設定レジスタ3（GAMR_LUT3）を更新
			58.2.38 ガンマG補正ブロック領域設定レジスタ1（GAMG_AREA1）ガンマB補正ブロック領域設定レジスタ1（GAMB_AREA1）ガンマR補正ブロック領域設定レジスタ1（GAMR_AREA1）を更新
			58.2.44 出力コントロールブロック出力インタフェースレジスタ（OUT_SET）を更新

Rev.	発行日	章	改訂内容
1.30	2018.01.03（日本語版は未発行）	58. グラフィックLCD コントローラ（GLCDC）	58.2.45 出力コントロールブロック輝度補正レジスタ 1（OUT_BRIGHT1）を更新
			58.2.47 出力コントロールブロックコントラスト補正レジスタ（OUT_CONTRAST）を更新
			58.2.51 TCON垂直タイミング設定レジスタA1（TCON_STVA1）TCON垂直タイミング設定レジスタB1（TCON_STVB1）を更新
			58.2.52 TCON垂直タイミング設定レジスタA2（TCON_STVA2）TCON垂直タイミング設定レジスタB2（TCON_STVB2）を更新
			58.2.53 TCON水平タイミング設定レジスタSTHA1（TCON_STHA1）TCON水平タイミング設定レジスタSTHB1（TCON_STHB1）を更新
			58.2.54 TCON水平タイミング設定レジスタSTHA2（TCON_STHA2）TCON水平タイミング設定レジスタSTHB2（TCON_STHB2）を更新
			58.2.56 システムコントロールブロックステート検出コントロールレジスタ（SYSCNT_DTCTEN）の注1および注2を追加
			58.2.57 システムコントロールブロック割り込み要求イネーブルコントロールレジスタ（SYSCNT_INTEN）を更新
			表58.9 入力クロックの分周を更新
			表58.9 入力クロックの分周で注記を更新
			58.3.1 制御の概要を更新
		59. 内部電圧レギュレータ	図 59.2を更新
		60. 電気的特性	表 60.1を更新
			表 60.3で表を更新および注1を追加
			表 60.4を更新
			表 60.4で注7を追加
			表 60.7を更新
			表 60.7で注8を追加し既存の注7を削除
			表 60.16で表を更新および表タイトルから「ヨーロピアン」を削除
			図 60.13を追加
			表 60.20を更新
			表 60.24で表および注記を更新
			図 60.44を更新
			表 60.25を更新
			図 60.45～図 60.51を更新
			図 60.59を更新
			表 60.31で表および注記を更新
			図 60.60～図 60.63を更新
			図 60.65～図 60.69を更新
			表 60.33を更新
			図 59.74 LCD 出力立ち上がり／立ち下がり時間を削除
			表 60.43を更新
			表 60.52で表を更新および注4を追加
			表 60.53で表を更新および注4を追加
		付録 3. I/O レジスタ	表 3.2を更新
			表 3.4を更新
1.40	2018.08.06（日本語版は2019.05.17発行）	特長	特長を更新
		1. 概要	表1.13 セキュリティを更新
			表 1.13でCACの定義を更新
		4. アドレス空間	図 4.1、図 4.2を更新
		15. バス	表 15.1、表 15.2を更新
		20. I/O ポート	図 20.2、図 20.4を更新
		27. ウォッチドッグタイマ（WDT）	図 27.4を更新
		32. USB2.0 フルスピードモジュール（USBFS）	32.2.5でCURPIPE[3:0] の説明を更新
		34. シリアルコミュニケーションインタフェース（SCI）	図 34.5、図 34.6を更新
		36. I^2C バスインタフェース（IIC）	図 36.6～図 36.8を更新

Rev.	発行日	章	改訂内容
1.40	2018.08.06 （日本語版は 2019.05.17 発行）	37. CAN（Controller Area Network）モジュール	37.2.2 ビットコンフィグレーションレジスタ（BCR）のb26, b27を更新
			37.7.1 受信で手順6の説明を更新
		43. SD/MMC ホストインタフェース（SDHI）	43.2.17、43.2.21、43.2.22を更新
		46. セキュア暗号エンジン（SCE7）	46. セキュア暗号エンジン（SCE7）を追加
		47. 12 ビット A/D コンバータ（ADC12）	表47.13 使用可能な機能とレジスタ設定値を更新
		49. 温度センサ（TSN）	図 49.1を更新
		50. 高速アナログコンパレータ（ACMPHS）	50.2.4、50.2.5を更新
		60. 電気的特性	表 60.14、表 60.19を更新

参考資料

S7G2マイクロコントローラグループ ユーザーズマニュアル（参考資料）

発行年月日 2019年5月17日 Rev.1.40

発行 ルネサスエレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

http://www.renesas.com

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：https://www.renesas.com/contact/

© 2019 Renesas Electronics Corporation. All rights reserved.
Colophon 3.1

Renesas Synergy™ プラットフォーム
S7G2マイクロコントローラグループ
（参考資料）

ルネサス エレクトロニクス株式会社

R01UM0001JU0140