User's Manual

32

RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ

ユーザーズマニュアル
アーキテクチャ・製品データ編

RZ ファミリ
RZ/N シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.60　2025.10

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1　2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2025 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RZ/N1 グループでは次のドキュメントを用意しています。

■ RZ/N1 関連ドキュメント一覧

ドキュメント名	資料番号
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ　データシート	R01DS0323JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ　ユーザーズマニュアル アーキテクチャ・製品データ編	R01UH0750JJ**** （本ユーザーズマニュアル）
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ　ユーザーズマニュアル システム・周辺機能 1 編	R01UH0751JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ　ユーザーズマニュアル 周辺機能 2 編	R01UH0752JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ　ユーザーズマニュアル R-IN Engine・イーサネット機能編	R01UH0753JJ****
RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ　ユーザーズマニュアル PWMTimer	R01UH0913JJ****

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.X　[レジスタ名]

(2)

アドレス　XXXX XXXXh

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	[ビットフィールド]					—	—	[ビットフィールド]		—	[ビット]	[ビット]	[ビット]
リセット後の値	0	0	0	0	1	0	0	0	0	0	0	0	0	1	1	0

表 X.X　[レジスタ名]レジスタの内容

ビット位置	ビット名	機能	R/W
b12～b8	[ビットフィールド]	[説明]	R/W
b5～b4	[ビットフィールド]	[説明] 2'b00：Hi-Z 2'b01：L 出力 上記以外：設定禁止 (3)	R/W
b2	[ビット]	[説明] 1'b0：Hi-Z 1'b1：出力（デフォルト値）	R/W
b1	[ビット]	[説明] 1'b0：Hi-Z 1'b1：出力（デフォルト値） (1)	R/W
b0	[ビット]	[説明] 1'b0：Hi-Z 1'b1：出力	R/W

(1)　R/W　：　読み出し／書き込みとも有効です。

R/(W)　：　読み出し／書き込みとも有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。

R　：　読み出しのみ有効です。書き込みは無効になります。

W　：　書き込みのみ有効です。読み出した値は保証されません。

(2)　予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定以外の値を書き込んだ場合の動作は保証されません。

(3)　設定禁止。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語／略称	フルスペル
AHB	Arm Advanced High-performance Bus
APB	Arm Advanced Peripheral Bus
AXI	Arm Advanced eXtensible Interface
bps	bits per second
CA7	Arm Cortex-A7 module
CM3	Arm Cortex-M3 module
CRC	Cyclic Redundancy Check
DMA	Direct Memory Access
DMAC	Direct Memory Access Controller
Hi-Z	High Impedance
HSR	High-availability Seamless Redundancy
HW-RTOS	Hard Ware Real Time OS
I/O	Input/Output
INTC	Interrupt Controller
LSB	Least Significant Bit
MSB	Most Significant Bit
NC	Non-Connect
NoC	Network-on-Chip
PLL	Phase Locked Loop
PWM	Pulse Width Modulation
UART	Universal Asynchronous Receiver/Transmitter
OTP	One Time Programmable
PTP	Precision Time Protocol
PRP	Parallel Redundancy Protocol
SoC	System On Chip

4. アクセスサイズの表記

アクセスサイズ：

8 ビット＝バイト

16 ビット＝ハーフワード

32 ビット＝ワード

CAN（Controller Area Network）：ドイツ Robert Bosch GmbH により開発された車載ネットワーク規格です。
Arm は Arm Limited（またはその子会社）の EU およびその他地域における登録商標です。
全ての商標・登録商標は各所有者の財産です。

目　次

第 1 章　全体構造 14
1.1　デバイス概要 14
1.2　仕様の概要 15
1.3　製品ファミリ／パッケージ別機能比較 23
1.4　製品一覧 24
1.5　ブロック図 25

第 2 章　アドレス空間 28
2.1　メモリマップ 28
2.1.1　RZ/N1D 28
2.1.2　RZ/N1S 30
2.1.3　RZ/N1L 32
2.2　レジスタマップサマリ 33

第 3 章　クロック生成 35
3.1　概要 35
3.2　クロックゲーティング 37
3.3　クロック選択 37
3.4　クロック分周 38
3.5　クロック周波数変更 39
3.6　クロックオシレータ接続 42
3.6.1　メインクロックオシレータ 42
3.6.1.1　水晶発振子 42
3.6.1.2　外部クロック入力 42
3.6.2　RTC クロックオシレータ 43
3.6.2.1　水晶発振子 43
3.6.2.2　RTC を使用しない場合 43

第 4 章　リセット 44
4.1　概要 44
4.2　チップレベルリセット 45
4.2.1　マスタリセット 45
4.2.2　システムリセット 45
4.2.3　JTAG リセット 45
4.3　モジュールリセット 46

第 5 章　IO マルチプレキシング 47
5.1　概要 47
5.2　レジスタマップ 50
5.3　レジスタ説明 51

5.3.1 rGPIOs_Level1_ConfigA_[n] ─ GPIO[n] RGMII マルチプレキシング Level1 コンフィグレーションレジスタ（n＝0～59） 51
5.3.2 rGPIOs_Level1_ConfigB_[n] ─ GPIO[n] Standard マルチプレキシング Level1 コンフィグレーションレジスタ（n＝60～169（最大）） 52
5.3.3 rGPIOs_Level1_StatusProtect ─ GPIO マルチプレキシング Level1 ステータスおよびプロテクトレジスタ 53
5.3.4 rGPIOs_Level2_Config_[n] ─ GPIO[n]マルチプレキシング Level2 コンフィグレーションレジスタ（n＝0～169（最大）） 54
5.3.5 rGPIOs_Level2_StatusProtect ─ GPIO マルチプレキシング Level2 ステータスおよびプロテクトレジスタ 55
5.3.6 rGPIOs_Level2_Config_MDIO1 ─ MDIO1 インタフェースコンフィグレーションレジスタ 56
5.3.7 rGPIOs_Level2_Config_MDIO2 ─ MDIO2 インタフェースコンフィグレーションレジスタ 57
5.3.8 rGPIOs_Level2_GPIO_Int_[n] ─ GPIO_Int[n]割り込みコンフィグレーションレジスタ（n＝0～7） 58
5.4 動作設定 59
5.4.1 GPIOs Level1 コンフィグレーションレジスタのプロテクトアクセス 59
5.4.2 GPIOs Level2 コンフィグレーションレジスタのプロテクトアクセス 60
5.4.3 GPIO 割り込みラインのコンフィグレーション 61

第 6 章 システムコントロール 62
6.1 概要 62
6.2 レジスタマップ 62
6.3 レジスタ説明 66
6.3.1 PWRCTRL_SWITCHDIV ─ A5PSW のクロック分周器コントロール 66
6.3.2 PWRCTRL_OPPDIV ─ OPP モードのクロック分周器コントロール 67
6.3.3 PWRCTRL_CA7DIV ─ CA7 のクロック分周器コントロール 68
6.3.4 PWRCTRL_PG1_PR2DIV ─ PG1 Program2 のクロック分周器コントロール 69
6.3.5 PWRCTRL_PG1_PR3DIV ─ PG1 Program3 のクロック分周器コントロール 70
6.3.6 PWRCTRL_PG1_PR4DIV ─ PG1 Program4 のクロック分周器コントロール 71
6.3.7 PWRCTRL_PG4_PR1DIV ─ PG4 Program1 のクロック分周器コントロール 72
6.3.8 PWRCTRL_QSPI1DIV ─ QSPI1 のクロック分周器コントロール 73
6.3.9 PWRCTRL_SDIO1DIV ─ SDIO1 のクロック分周器コントロール 74
6.3.10 PWRCTRL_SDIO2DIV ─ SDIO2 のクロック分周器コントロール 75
6.3.11 PWRCTRL_PG0_ADCDIV ─ PG0 ADC のクロック分周器コントロール 76
6.3.12 PWRCTRL_PG0_I2CDIV ─ PG0 I2C のクロック分周器コントロール 77
6.3.13 PWRCTRL_PG0_UARTDIV ─ PG0 UART のクロック分周器コントロール 78
6.3.14 PWRCTRL_NFLASHDIV ─ NAND FLASH Controller のクロック分周器コントロール 79
6.3.15 PWRCTRL_HWRTOS_MDCDIV ─ HW-RTOS GMAC の MDC Clock のクロック分周器コントロール 80
6.3.16 PWRCTRL_QSPI2DIV ─ QSPI2 のクロック分周器コントロール 81
6.3.17 PWRCTRL_SDIO1 ─ SDIO1 のパワーマネージメントコントロール 82

6.3.18 PWRSTAT_SDIO1 – SDIO1 のパワーマネージメントステータス 83
6.3.19 SYSSTAT – システムステータスフラグレジスタ 84
6.3.20 PWRCTRL_USB – USB2.0 のパワーマネージメントコントロール 85
6.3.21 PWRSTAT_USB – USB2.0 のパワーマネージメントステータス 86
6.3.22 PWRCTRL_MSEBI – MSEBI のパワーマネージメントコントロール.....87
6.3.23 PWRSTAT_MSEBI – MSEBI のパワーマネージメントステータス.....88
6.3.24 PWRCTRL_PG0_0 – PG0 のパワーマネージメントコントロール#0.....89
6.3.25 PWRSTAT_PG0 – PG0 のパワーマネージメントステータス.....91
6.3.26 PWRCTRL_PG0_1 – PG0 のパワーマネージメントコントロール#1.....92
6.3.27 PWRCTRL_PG1_1 – PG1 のパワーマネージメントコントロール#1.....93
6.3.28 PWRCTRL_PG1_2 – PG1 のパワーマネージメントコントロール#2.....95
6.3.29 PWRCTRL_DMA – DMAC1 と DMAC2 のパワーマネージメントコントロール 96
6.3.30 PWRCTRL_NFLASH – NAND FLASH Controller のパワーマネージメント
コントロール.....97
6.3.31 PWRCTRL_QSPI1 – QSPI1 のパワーマネージメントコントロール 98
6.3.32 PWRSTAT_DMA – DMAC1 と DMAC2 のパワーマネージメントステータス 99
6.3.33 PWRSTAT_NFLASH – NAND FLASH Controller のパワーマネージメントステータス ..100
6.3.34 PWRSTAT_QSPI1 – QSPI1 のパワーマネージメントステータス.....101
6.3.35 PWRCTRL_DDRC – DDR Memory Controller のパワーマネージメントコントロール ...102
6.3.36 PWRCTRL_EETH – 外部 Ethernet クロックのパワーマネージメントコントロール 103
6.3.37 PWRCTRL_MAC1 – GMAC1 のパワーマネージメントコントロール 104
6.3.38 PWRCTRL_MAC2 – GMAC2 のパワーマネージメントコントロール 105
6.3.39 PWRSTAT_DDRC – DDR Memory Controller のパワーマネージメントステータス 106
6.3.40 PWRSTAT_MAC1 – GMAC1 のパワーマネージメントステータス 107
6.3.41 PWRSTAT_MAC2 – GMAC2 のパワーマネージメントステータス 108
6.3.42 PWRCTRL_ECAT – ETHERCAT のパワーマネージメントコントロール 109
6.3.43 PWRCTRL_SERCOS – SERCOSIII のパワーマネージメントコントロール.....110
6.3.44 PWRSTAT_ECAT – ETHERCAT のパワーマネージメントステータス 111
6.3.45 PWRSTAT_SERCOS – SERCOSIII のパワーマネージメントステータス 112
6.3.46 PWRCTRL_HSR – HSR のパワーマネージメントコントロール 113
6.3.47 PWRCTRL_QSPI2 – QSPI2 のパワーマネージメントコントロール 114
6.3.48 PWRSTAT_HSR – HSR のパワーマネージメントステータス.....115
6.3.49 PWRSTAT_QSPI2 – QSPI2 のパワーマネージメントステータス.....116
6.3.50 PWRSTAT_SWITCH – A5PSW のパワーマネージメントステータス 117
6.3.51 RSTSTAT – リセットステータスレジスタ 118
6.3.52 USBSTAT – USBPLL のステータス情報 119
6.3.53 PWRCTRL_SDIO2 – SDIO2 のパワーマネージメントコントロール.....120
6.3.54 PWRSTAT_SDIO2 – SDIO2 のパワーマネージメントステータス 121
6.3.55 PWRCTRL_PG2_25MHZ – PG2 25MHz のパワーマネージメントコントロール 122
6.3.56 PWRCTRL_PG1_PR2 – PG1 Program2 のパワーマネージメントコントロール.....123
6.3.57 PWRCTRL_PG3_48MHZ – PG3 48MHz のパワーマネージメントコントロール 125
6.3.58 PWRCTRL_PG4 – PG4 のパワーマネージメントコントロール.....126
6.3.59 PWRCTRL_PG1_PR3 – PG1 Program3 のパワーマネージメントコントロール.....127

6.3.60 PWRCTRL_PG1_PR4 – PG1 Program4 のパワーマネージメントコントロール.....128
6.3.61 PWRCTRL_PG4_PR1 – PG4 Program1 のパワーマネージメントコントロール.....129
6.3.62 RSTEN – リセットイネーブルレジスタ.....130
6.3.63 PWRCTRL_SWITCH – A5PSW のパワーマネージメントコントロール.....131
6.3.64 PWRCTRL_RTC – RTC のパワーマネージメントコントロール.....132
6.3.65 PWRSTAT_RTC – RTC のパワーマネージメントステータス.....133
6.3.66 PWRCTRL_ROM – ROM のパワーマネージメントコントロール.....134
6.3.67 PWRSTAT_PG1 – PG1 のパワーマネージメントステータス.....135
6.3.68 PWRSTAT_PG2_25MHZ – PG2 25MHz のパワーマネージメントステータス.....137
6.3.69 PWRSTAT_PG3_48MHZ – PG3 48MHz のパワーマネージメントステータス.....138
6.3.70 PWRSTAT_PG4 – PG4 のパワーマネージメントステータス.....139
6.3.71 PWRSTAT_ROM – ROM のパワーマネージメントステータス.....140
6.3.72 PWRCTRL_CM3 – CM3 のパワーマネージメントコントロール.....141
6.3.73 PWRSTAT_CM3 – CM3 のパワーマネージメントステータス.....142
6.3.74 PWRSTAT_RINCTRL – R-IN Engine アクセサリレジスタのパワーマネージメントステータス.....143
6.3.75 PWRSTAT_SWITCHCTRL – イーサネットアクセサリレジスタのパワーマネージメントステータス.....144
6.3.76 PWRCTRL_RINCTRL – R-IN Engine アクセサリレジスタのパワーマネージメントコントロール.....145
6.3.77 PWRCTRL_SWITCHCTRL – イーサネットアクセサリレジスタのパワーマネージメントコントロール.....146
6.3.78 PWRCTRL_HWRTOS – HW-RTOS のパワーマネージメントコントロール.....147
6.3.79 RSTCTRL – リセットコントロールレジスタ.....148
6.3.80 CFG_USB – USB モードコンフィグレーションレジスタ.....149
6.3.81 OPMODE – システムとブートのコンフィグレーションレジスタ.....150
6.3.82 CFG_SDIO[m] – SDIO[m]コンフィグレーションレジスタ（m＝1 もしくは 2）.....151
6.3.83 DBGCON – デバッグコントロールレジスタ.....152
6.3.84 CFG_GPIOT_PTEN_xx – GPIO トリガイネーブルレジスタ.....153
6.3.85 CFG_GPIOT_TSRC – GPIO トリガソースセレクトレジスタ.....154
6.3.86 CFG_DMAMUX – DMAC1 と DMAC2 のマルチプレクサレジスタ.....155
6.3.87 VERSION – プロダクトバージョンレジスタ.....158
6.3.88 BOOTADDR – Cortex-A7 プロセッサ 1 ブートアドレスコンフィグレーションレジスタ.....158

第 7 章 動作モード.....159
7.1 概要.....159
7.2 ブートモード仕様（RZ/N1D および RZ/N1S）.....160
7.2.1 共通の特徴.....160
7.2.2 QSPI ブートの特徴.....160
7.2.3 NAND ブートの特徴.....161
7.2.4 USB ブートの特徴.....162
7.3 標準のブートシーケンス.....163

7.3.1 概要 163
7.3.2 外部端子によるコンフィグレーション 163
7.3.3 CPU ブート 164
7.3.4 RZ/N1D および RZ/N1S のブート 165
7.3.5 RZ/N1L のブート 165
7.4 SPKG フォーマット（RZ/N1D および RZ/N1S） 166
7.4.1 概要 166
7.4.2 実装の詳細 166
7.5 RZ/N1 初期化シーケンス 169
7.5.1 標準の初期化シーケンス 169
7.5.2 USBPLL の設定 169
7.5.3 Cortex-M3 の活性化 169
7.5.4 一般的な NoC のプログラミングシーケンス 170

第 8 章 Ethernet インタフェースモード 175
8.1 概要 175
8.2 サポートするモード 177
8.2.1 イーサネットポートの内部接続 181
8.2.2 PTP 用クロックの選択 182
8.3 操作手順 185
8.3.1 初期化 185
8.3.2 ETHMODE_SET 186
8.4 使用上の注意事項 187
8.4.1 制限 187
8.4.1.1 サポートされる Ethernet 信号 187

第 9 章 割り込み 188
9.1 概要 188
9.1.1 Cortex-A7 GICv2 188
9.1.2 Cortex-M3 NVIC 188
9.2 動作 189
9.2.1 IRQ の同期化 189
9.2.2 ノンマスカブル割り込み 189
9.2.3 Cortex-A7 と Cortex-M3 の割り込みマネージメント 190
9.2.4 割り込み割り当てとベクタ番号 191

第 10 章 IO 195
10.1 端子機能 195
10.2 未使用端子の処理 201
10.3 端子配置図 202
10.3.1 RZ/N1D BGA-400 パッケージ 202
10.3.2 RZ/N1D BGA-324 パッケージ 203

10.3.3 RZ/N1S BGA-324 パッケージ....204
10.3.4 RZ/N1S BGA-196 パッケージ....205
10.3.5 RZ/N1L BGA-196 パッケージ....206

第 11 章 電気的特性....207
11.1 絶対最大定格....207
11.2 推奨動作条件....208
11.3 DC 特性....209
11.3.1 電流....209
11.3.2 デジタル IO....210
11.3.3 DDR3/DDR2 SDRAM インタフェース....210
11.4 電源投入／切断シーケンス....211
11.4.1 電源投入....211
11.4.2 電源切断....211
11.5 AC タイミング特性....212
11.5.1 Ethernet MAC インタフェースタイミング....212
11.5.1.1 RGMII....212
11.5.1.2 RMII....213
11.5.1.3 MII....214
11.5.1.4 MDIO....215
11.5.2 メモリインタフェースタイミング....216
11.5.2.1 QSPI Flash タイミング....216
11.5.2.2 DDR3/DDR2 インタフェース....217
11.5.2.3 NAND Flash インタフェース....220
11.5.2.4 SD/eMMC/SDIO インタフェース....221
11.5.3 シリアルインタフェースタイミング....223
11.5.3.1 UART....223
11.5.3.2 SPI マスタ....224
11.5.3.3 SPI スレーブ....225
11.5.3.4 I2C....226
11.5.3.5 CAN....227
11.5.3.6 JTAG/SWD....228
11.5.4 LCD インタフェースタイミング....229
11.5.5 MSEBI インタフェースタイミング....230
11.6 ADC 特性....232
11.7 RTC オシレータ特性....232

第 12 章 機械的特性....233
12.1 パッケージ情報....233
12.1.1 BGA-400 パッケージ....233
12.1.2 BGA-324 パッケージ....234
12.1.3 BGA-196 パッケージ....235

付録 A　端子割り当て 236
付録 B　IO マルチプレクシング割り当て 245
付録 C　クロックツリー構造 249

第1章　全体構造

1.1　デバイス概要

■ **32 ビット Arm® Cortex®-A7 MPCore 内蔵**

- 最大 500MHz
- シングルコアもしくはデュアルコア
- FPU、VFPv4-D16
- MMU
- L1 キャッシュ：コア毎に 16K バイト（命令）／16K バイト（データ）
- L2 キャッシュ：最大 256K バイト

■ **32 ビット Arm® Cortex®-M3 プロセッサ内蔵**

- 最大 125MHz
- Memory Protection Unit（MPU）をサポート

■ **低消費電力機能**

- クロックゲーティング管理
- クロック周波数変更

■ **内蔵 SRAM**

- 最大 6M バイト（ECC 付き）

■ **データ転送**

- 2 ユニットの各 8ch DMAC

■ **メモリインタフェース**

- 最大 2ch の Quad SPI/XIP
- 高度な ECC 管理機能を備えた NAND Flash
- 16 ビット幅 DDR インタフェース（DDR2-500/DDR3-1000）
- 最大 2ch の SD/SDIO/eMMC

■ **IO マルチプレキシングコントローラ**

- 周辺機能の I/O 位置を複数の端子の中から選択可

■ **クロックオシレータ**

- 外部クロック／オシレータ 入力周波数：40MHz
- 32kHz の RTC

■ **セキュリティ機能（オプション）**

- セキュアブート／JTAG ロック／64 ビットのチップ ID

■ 周辺機能

- CPU リソース
  - メールボックス
  - 2 ユニットのタイマ（16bit×6ch, 32bit×2ch）
  - PWMTimer（16bit×16ch）
  - CPU 毎に 1 ユニットのウォッチドッグ
  - セマフォ
- 汎用インタフェース
  - 1ch の USB2.0 ホスト
  - 1ch の USB2.0 ホストもしくはファンクション
  - 8ch の UART
  - 6ch の SPI（4ch のマスタ／2ch のスレーブ）
  - 2ch の I^2C
  - 2ch の CAN
  - 最大 2 ユニットの 12 ビット ADC（最大 1MSPS）
  - MSEBI（外部バスインタフェース）
- その他機能
  - LCD コントローラ
  - GPIO ピン（最大 170）

■ **R-IN Engine**

- Arm® Cortex®-M3 CPU
- ハードウェア RTOS アクセラレータ（HW-RTOS）
- ハードウェア Ethernet アクセラレータ

■ **高度なリアルタイム Ethernet 機能**

- Sercos®注1 III スレーブコントローラ
- EtherCAT®注2 3 ポートスレーブコントローラ
- Advanced 5（4＋1）Port Switch（A5PSW）
  - QoS と IEEE1588 対応で 5 ポートをスイッチ
    - ➢ 最大 5 のギガビットのポート
  - IEC62439-3 Ed2.0-2012 準拠の PRP（ｵﾌﾟｼｮﾝ）
- IEC62439-3 Ed2.0-2012 準拠の HSR（ｵﾌﾟｼｮﾝ）
- 最大 2 つの独立した GMAC、IEEE1588 準拠
- MII/RMII/RGMII の最大 5 の外部ポート

注1. Sercos は、Sercos International e.V.の登録商標です。
注2. EtherCAT は、ドイツ Beckhoff Automation GmbH によりライセンスされた特許取得済み技術であり登録商標です。

1.2 仕様の概要

表 1.1　仕様の概要（1/8）

分類	モジュール／機能	説明
CPU	Arm Cortex-A7	● Arm 社の 32 ビット CPU Cortex-A7（リビジョン r0p5） ● デュアルコアもしくはシングルコア ● 最大動作周波数：500MHz ● クロック周波数変更 ● L1 キャッシュ：コア単位に 16K バイト（命令）／16K バイト（データ） ● L2 キャッシュ：最大 256K バイト ● FPU、VFPv4-D16 ● MMU ● ハードウェアコヒーレントキャッシュ ● リトルエンディアン
	Arm Cortex-M3	● Arm 社の 32 ビット CPU Cortex-M3（リビジョン r2p1） ● 最大動作周波数：125MHz ● Memory Protection Unit（MPU） ● リトルエンディアン
メモリ	オンチップ 2MB SRAM	● 容量：2M バイト（1M バイト＋1M バイト） ● 512K バイト単位に分割されたアクセスポート ● SEC-DED（シングルエラー訂正、ダブルエラー検出）
	オンチップ 4MB SRAM	● 容量：4M バイト ● 1M バイト単位に分割されたアクセスポート ● SEC-DED（シングルエラー訂正、ダブルエラー検出）
ウォッチドッグ		● リロードレジスタ付きのフリーランニングの 12 ビットデクリメントカウンタ ● 出力をシステムリセット、あるいは割り込みとして使用可能 ● デバッガ（ブレークポイント実行など）による CPU 停止中のウォッチドッグ停止制御
動作モード		● 3 つのブートモード（CA7） – NAND Flash – QSPI Flash – USB DFU
クロック	クロック発生回路	● 入力 40MHz クロックをオシレータまたはクリスタルから選択可能 ● システムクロック：最大 125MHz ● Cortex-A7 クロック：システムクロックの 1/2/4 倍 ● DDR メモリクロック：250MHz/500MHz
RTC		● 24 時間モードの日付クロック ● カレンダー ● アラーム機能 ● クリスタル 32kHz ● RTC バックアップモード用独立電源供給
リセット		● マスタリセット入力 ● 内部システムリセット（ソフトウェア、ウォッチドッグ）

表 1.1　仕様の概要（2/8）

分類	モジュール／機能	説明
データ転送	ダイレクトメモリアクセスコントローラ（Direct Memory Access Controller：DMAC）	● 2 ユニット： – DMAC1：8 チャネル、16 リクエストソース – DMAC2：8 チャネル、16 リクエストソース ● メモリからメモリ、メモリから周辺機能、周辺機能からメモリの転送 ● 転送幅： – 8、16、32、64 ビット ● プログラマブルな DMA バーストサイズ
メールボックス		● 3 ユニットのプログラマブルなメールボックス メールボックス毎の 7 つの 32 ビットデータレジスタ
セマフォ		● 内部共有リソースのハードウェアロックメカニズム
パラレルバスインタフェース	外部バスインタフェース（Medium Speed External Bus Interface：MSEBI）	● マスタおよびスレーブモード – 8、16、32 ビットから選択可能なデータバス幅 ● アドレス／データ／制御データをデータバス上にマルチプレクス ● バーストモード ● DMA サポート – マスタモード：4DMA チャネル接続（外部リクエスト受信可能） – スレーブモード：外部リクエスト送信可能 ● 最大 4 チップセレクト ● 2 バイト～4G バイトのプログラマブルなアドレス機能 ● プログラマブルなセットアップ／ホールド時間 ● 外部ウエイトリクエスト
I/O ポート	IO マルチプレキシング	● 周辺機能の I/O 位置が選択可能 ● 出力ドライブ強度の選択 ● オンチップのプルアップ／プルダウン抵抗の選択
メモリインタフェース	DDR2/3 コントローラ	● DDR2-500/DDR3-1000 ● メモリデータバスサイズ：16 ビット、8 ビット、8+ECC ビット ● 最大 2 チップセレクトおよび 2ODT ● 最大 2G バイトアドレスをサポート ● ECC SEC/DED ソフトウェア設定可能（有効／無効） ● 終端抵抗（ODT：On-Die Termination）設定 ● 出力インピーダンスおよびスルーレート設定 ● DDR2/DDR3 低電力制御マネージメント（ソフトウェアによる） ● ポートアドレス保護チェック – ポート単位の最大 16 アドレス保護領域
	NAND Flash コントローラ	● 8 ビットバス幅の NAND インタフェース ● 非同期モードサポート ● 4 チップセレクト ● ライトプロテクション ● プログラマブルなアドレスサイクル（0/1/2/3/4/5） ● 内蔵 DMA ● 256B、512B、2KB、1KB、4KB、8KB、16KB ページをサポート ● BCH ECC（エラー検出およびデータ訂正） – ECC データブロックサイズ：256 バイト、512 バイト、1024 バイト – ECC 訂正機能：2、4、8、16、24、32 ビットエラー ● Bad Block Management（BBM）

表 1.1　仕様の概要（3/8）

分類	モジュール／機能	説明
メモリ インタフェース	Quad SPI（QSPI）	● 最大 2 ユニット ● Single、Dual もしくは Quad の I/O 命令をサポート ● リード高速化モード（NoCMD モード）をサポート ● リマップアドレスによるダイレクトアクセス ● プログラマブルなデバイスサイズ ● 最大 4 チップセレクト ● 1/2/3/4 バイトアドレス指定をサポート ● プログラマブルなページサイズをサポート（デフォルト 256 バイト） ● プログラマブルなデバイスブロック毎のバイト数 ● プログラマブルなライトプロテクト領域 ● 送受信 FIFO：16 バイト ● 送受信 FIFO へのダイレクトアクセス（レガシーモード） ● コントロールレジスタセットによる任意の FLASH コマンド実行 ● ダイレクトアクセス時のバーストライト対応
	SD/SDIO/eMMC	● 最大 2 ユニット ● SD/SDIO カードインタフェース – 1 ビットもしくは 4 ビットモードでのデータ転送 – デフォルトモードもしくはハイスピードモードでのデータ転送 ● eMMC インタフェース – 1 ビット、4 ビットもしくは 8 ビットモードでのデータ転送 ● 転送速度 – デフォルトモード：最大 25MHz – ハイスピードモード：最大 50MHz ● PIO/SDMA/ADMA2 転送のサポート
ネットワーク エレメント	R-IN Engine	● ITRON ライクのシステムコール – イベント、セマフォ、およびメールボックスといったエレメント用の 30 種類のシステムコール ● タスクスケジューラ – ハードウェア ISR：128 の割り込みから最大 32 個を選択可能 – コンテキスト要素数：64 – セマフォ識別子数：128 – イベント識別子数：64 – メールボックス識別子数：64 – メールボックス要素数：192 – コンテキスト優先度レベル数：16 ● ハードウェアファンクションマネージャ ● 内蔵 DMA コントローラ ● バッファアロケータ ● ヘッダのエンコード／デコード ● 専用ギガビットイーサネット MAC（MACDMAC 内蔵）

表 1.1　仕様の概要（4/8）

分類	モジュール／機能	説明
ネットワーク エレメント	アドバンスト 5 ポートスイッチ（Advanced 5 Port Switch：A5PSW）	● 動作モード： – 10Mbps 半二重および全二重 – 100Mbps 半二重および全二重 – 1000Mbps 全二重 ● ポート単位の MAC ベース RMON 統計カウンタ ● ポート単位（集約なし）のポート統計 ● 最大 8192MAC アドレスのルックアップテーブル（スタティックおよび学習） ● パケットバッファサイズ：1M ビット ● フレキシブルな出力キューハンドリングのためのフレームプライオリティクラス分けをサポートしている個別の QoS レベルの 4 キュー – 重み付け均等化キューイング（WFQ）によるアービトレーション管理（オプション） ● 不要なフレーム複製を回避するためのフラッディング制御を備えたイーサネットのマルチキャスト、ブロードキャストのサポート ● 各マルチキャストアドレスのフレーム複製を制限するプログラマブルなマルチキャスト宛先ポートマスク ● IEEE 1588-2008 互換 – 1 step Peer-to-Peer（P2P）をサポート（レイヤー2 のみ） – 1 step End-to-End（E2E）をサポート（レイヤー2 のみ） ● 最大 32VLAN の厳密な分離を実現する VLAN ドメインフィルタリングを備えたマルチキャストおよびブロードキャストの解決 ● VLAN フレームの送受信対応 ● 各ポートでのシングルおよびダブルタグ VLAN フレームをサポートしているプログラマブルな Ingress および Egress の VLAN タグの追加、削除および操作 ● 標準フレーム長（1536 バイト）、最大 1700 バイトの拡張フレーム長および最大 10K バイトのジャンボフレームのサポート ● ポート単位のポートミラーリング設定 ● RSTP ポート状態（RSTP3 状態、STP5 状態） – ポート単位に変更可能な RSTP ポート状態 learning、discarding、forwarding – BPDU フレームのサポート – MSTP BPDU フレームのサポート（ソフトウェア） ● 管理モードでの開始 ● フレームスヌーピングエンジン ● スタンドアローンの Energy-Efficient-Ethernet（EEE）管理 ● ポート単位のイグレスレートリミット設定 ● ポート単位の Ingress ブロードキャストストーム保護設定 ● ポート単位の Ingress マルチキャストストーム保護設定 ● 802.1X 送信元アドレス認証のサポート ● 802.1X ゲスト VLAN のサポート ● PRP 機能（IEC 62439-3 edition 2.0- 2012） ● DLR モジュール ● カットスルー ● TDMA（Time Division Multiple Access）4 タイムスロット ● 8 チャネルのパターンマッチャ ● SNMP と RMON/MIB によるリモートモニタリング ● Hub 機能搭載

表 1.1　仕様の概要（5/8）

分類	モジュール／機能	説明
ネットワーク エレメント	HSR スイッチ	● HSR 機能（IEC 62439-3 edition 2.0- 2012） – DANH – 冗長ボックス（Red Box） – 冗長送信フレーム生成 – 重複した受信フレームのフィルタリング – 冗長ヘッダの生成と検出 – 受信フレーム追跡テーブル ● 100Mbps 全二重イーサネット ● 動的フレームバッファ割り当て（page manager） ● 128 プロキシノード（VDANs）をサポート ● リンクローカルプロトコルをサポート ● 重複検出メモリ ● MAC アドレスフィルタリング ● 1 つの VLAN タグをサポート ● ポート単位（集約なし）のポート統計 ● 144K バイトフレームバッファ ● IEEE 1588-2008 ● フラッディング制御を備えたイーサネットマルチキャスト ● 拡張フレーム長：最大 2000 バイト（ジャンボフレーム未対応） ● HSR ループで最小 16 ノードをサポート ● 重複検出滞留時間設定
	EtherCAT スレーブ コントローラ	● 最大 3 ポート ● 自動 TX シフト ● 拡張リンク検出 ● 8 つの FMMU（Fieldbus Memory Management Unit） ● 8 つの SyncManager ● 64 ビット分散クロック ● グローバル IRQ へのマッピング ● Read/Write オフセット ● ライトプロテクション ● AL Status Code レジスタ ● 拡張ウォッチドッグ ● AL Event Mask レジスタ ● ウォッチドッグカウンタ ● SyncManager イベントタイム ● EPU エラーカウンタ ● ロストリンクカウンタ ● 外部 EEPROM 用の I2C interface
	SercosIII スレーブ コントローラ	● 2 ポート ● シリアルインタフェースは 100Mbaud ● 自動送信のテレグラム処理および同期テレグラムおよびデータテレグラムのモニタリング ● マルチプレクサ経由で Sercos プロトコルと標準イーサネットプロトコル間の機能切り替え ● 受信データストリームモニタによりフレームタイプ検出し、SercosIII フレームタイプ検出時に動作開始 ● テレグラムタイプ（MST/MDT もしくは AT）に基づいて SRAM の入出力データ転送のハンドリング

表 1.1　仕様の概要（6/8）

分類	モジュール／機能	説明
ネットワーク エレメント	独立した GMAC	● 2 ユニットの MAC（GMAC1、GMAC2） ● 以下の標準規格に準拠 – IEEE 1588-2008 v2 standard（高精度ネットワーククロック同期） – IEEE 1588-2008 v2 は Power IEEE C37.238 profile に準拠 – IEEE 802.3-az-2010（Energy Efficient Ethernet（EEE）） ● 10/100/1000Mbps データ転送速度をサポート ● 半二重および全二重動作の両方をサポート ● 標準および最大 16K バイト（16K バイト－1）のジャンボイーサネットフレームをサポートするためのプログラマブルなフレーム長 ● アドレスフィルタブロック用 17 個の MAC アドレスレジスタ ● 多種のフレキシブルなアドレスフィルタリングモードに対応 ● 送受信エンジン用独立チャネルネイティブ DMA ● 拡張 IEEE 1588-2002 & 2008 イーサネットフレームタイムスタンプをサポート ● Pulse-Per-Second（PPS）出力信号のフレキシブル制御（GMAC1 のみ） ● CRC 生成およびチェック機能設定 ● RMON 統計サポート（L2 層のみ） ● Station Management ブロック、MDIO インタフェース
サブシステム エレメント	USB2.0 ホスト （USBh）	● 1 つの専用ポートと 1 つの共用ポート（ホストもしくはファンクション） ● 転送速度 – High speed（HS）：480Mbps（USB2.0） – Full speed（FS）：12Mbps（USB1.1） – Low speed（LS）：1.5Mbps（USB1.1） ● USB Plug Detect（UPD） ● 出力ポート電力切り替えマネージメント ● アプリケーションからの過電流表示 ● 内蔵 DMA ● 送受信 FIFO
	USB2.0 ファンクション （USBf）	● 1 つの共用ポート（ホストもしくはファンクション） ● サポート – High speed（HS）：480Mbps（USB2.0） – Full speed（FS）：12Mbps（USB1.1） ● VBUS 経由でホストの接続を検出する USB Plug Detect（UPD） ● 16 の物理 Endpoint ● 内蔵 DMA ● Endpoint バッファ
	UART 1、2、3	● 16550 UART 準拠 ● 分離した 16×8（16×8 ビット幅）の送信および 16×8 の受信 FIFO ● RS485 および MODBUS®拡張機能 ● 最大 5.2Mbaud のボーレート生成 ● ラインブレークの生成および検出 ● プログラマブルなハードウェアフロー制御 ● 16750 に準拠した自動フロー制御モード ● TXD、RXD、CTS_N、RTS_N、DTR_N、DSR_N、DCD_N、RI_N のサポート
	UART 4、5、6、7、8	● UART 1、2、3 と同機能に加えて以下の機能が使用可能 – バーストモード制御を備えた DMA 接続

表 1.1　仕様の概要（7/8）

分類	モジュール／機能	説明
サブシステム エレメント	SPI 1、2、3、4 （マスタ）	● 送信および受信 FIFO（16×16） ● プログラマブルな RXD サンプリング機能 ● プログラマブルなフレームデータサイズ（4～16 ビット） ● 4 チップセレクト ● DMA コントローラインタフェース
	SPI 5、6 （スレーブ）	● 送信および受信 FIFO（16×16） ● プログラマブルなフレームデータサイズ（4～16 ビット） ● DMA コントローラインタフェース
	I^2C 1、2	● 2 種類のスピードモード – 標準モード（0～100Kbps） – ファストモード（400Kbps 以下） ● 分離された 8×8 送信および 8×8 受信 FIFO ● マスタもしくはスレーブの I2C 動作 ● 7 もしくは 10 ビットのアドレス指定 ● 7 もしくは 10 ビットの結合されたフォーマットの転送 ● バルク転送モード ● プログラマブルな SDA ホールド時間（$t_{HD; DAT}$）
	CAN 1、2	● 11 ビットと 29 ビット ID の両方をサポート ● 125Kbps～1Mbps のビットレートをサポート ● アクセプタンスフィルタリング ● ソフトウェアドリブンのビットレート検出（ホットプラグインサポート） ● シングルショット送信オプション、listen-only モード、自己メッセージ受信 ● ビット位置情報付きのアービトレーションロスト割り込み ● Read/write エラーカウンタ ● ラストエラーレジスタ ● プログラマブルなエラー限界警告 ● 同期フレームの周期的送信 ● プログラマブルなタイムベース
	汎用タイマ（TIMER）	● 2 ユニットでそれぞれ以下をサポート – 6 つのプログラマブルな 16 ビットタイマ – 2 つのプログラマブルな 32 ビットタイマ ● 2 つのタイムベースから選択可能なプリスケーラ ● 自動リロードモードもしくはシングルショットモード ● DMA 接続（32 ビットタイマのみ）
	PWMTimer	● キャプチャおよびクロック用の 6 本の入力 – バウンスフィルタ – 40 本の外部入力 ● 16 本のコンペアマッチ出力 – 20 本の外部出力 ● 16 個の 16 ビットカウンタ – キャプチャおよびコンペア機能 – 32 ビットカスケードカウンタ – 2 つの 10 ビットプリスケーラクロック – 他のカウンタとの同期動作

表 1.1　仕様の概要（8/8）

分類	モジュール／機能	説明
ADC	ADC	● 最大 2 ユニット ● 12 ビット分解能 ● 0.0625MSPS～1MSPS のサンプリングレート ● アナログ入力 – 8 チャネル：（5 チャネル＋サンプル＆ホールドを備えた 3 チャネル） ● チャネル毎に個々のトリガー ● DNL、±1.0LSB（Max.）[VAIN＝0.0V～AVDD および f_{CLK}＝20MHz 時] ● INL、±4.0LSB（Max.）[VAIN＝0.0V～AVDD および f_{CLK}＝20MHz 時] ● パワーダウンモード ● 2 段階の優先度 ● 同一優先度レベルで同時に変換要求発生時のラウンドロビン管理 ● DMA 接続 ● 仮想チャネル機能
マルチメディア	LCD コントローラ（LCDC）	● プログラマブルな LCD パネル解像度 ● 1 ポートの TFT LCD パネルインタフェース – 18 ビットデジタル（6 ビット／color） – 24 ビットデジタル（8 ビット／color） ● プログラマブルなフレームバッファ bits per pixel（bpp） – カラーパレットでマップされた 1、2、4、8bpp の 18 ビット LCD ピクセル – 16、18bpp の 18 ビット LCD ピクセル – 24bpp の 24 ビット LCD ピクセル ● ハードウェア点滅のサポート ● LCD パネルの LED バックライト輝度制御用の PWM モジュール ● 電源投入および切断シーケンスのサポート ● 内蔵 DMA
セキュリティ		● セキュアブートによるプログラムの署名検証 ● JTAG 接続によるデバッグ無効化 ● Coretex-A7 から読み出し可能なチップ固有の 64 ビット ID
デバッグインタフェース		● JTAG デバッガに結合された ETM ● Cortex-A7 および Cortex-M3 コアで共有されたトレースバッファ（32KB） ● Arm JTAG ● Arm SWD
電源電圧		● コア電圧：1.15V±0.05V ● IO 電圧：3.3V±0.3V ● DDR IO 電圧：1.8V±0.1V、1.5V±0.075V
動作温度		ジャンクション温度：−40°C～＋110°C
パッケージ		● RZ/N1D – 400LFBGA、17×17mm、0.8mm ピッチ – 324LFBGA、15×15mm、0.8mm ピッチ ● RZ/N1S – 324LFBGA、15×15mm、0.8mm ピッチ – 196LFBGA、12×12mm、0.8mm ピッチ ● RZ/N1L – 196LFBGA、12×12mm、0.8mm ピッチ

1.3　製品ファミリ／パッケージ別機能比較

表 1.2　ルネサス CPU サブシステム

ハードウェア機能		RZ/N1D		RZ/N1S		RZ/N1L
	パッケージタイプ：	400BGA	324BGA	324BGA	196BGA	196BGA
Processor Unit	Arm Cortex-A7	デュアル		シングル		—
	Arm Cortex-M3	使用可能				
Memory Unit	2 MB with ECC	使用可能				
	4 MB with ECC	—		使用可能		
	DDR メモリコントローラ	使用可能注 1		—		
	Quad SPI	1ch		2ch	1ch 注 2	
	SDIO/SD/eMMC	2ch				
	NAND Flash	使用可能				
Networking elements	R-IN Engine & HWRTOS	使用可能注 5				
	Ethernet ポート数	5 ポート	3 ポート注 3	5 ポート	3 ポート注 3	
	独立した GMAC	最大 2	使用不可注 4	最大 2	最大 1 注 4	
	EtherCAT Slave Controller	使用可能注 6　注 7				
	SercosIII Slave Controller	使用可能注 6　注 7				
	Advanced 5port Switch	5 ポート（4＋1）	4 ポート（3＋1）	5 ポート（4＋1）	3 ポート（2＋1）注 7	
	PRP	オプション	—	使用可能	—	
	HSR Switch 注 5　注 6	オプション	—			
Peripheral Group	ADC	2 ユニット	1 ユニット			
	RTC	使用可能				使用不可
	DMAC	2ch				
	UART	8ch				
	I²C	2ch				
	Parallel bus Master & Slave 注 8	使用可能				スレーブのみ
	USB Host & Function	使用可能				
	Mailbox	使用可能				使用不可
	Watchdog for CA7	使用可能、2		使用可能、1		使用不可
	Watchdog for CM3	使用可能				
	SPI マスタ	4ch				
	SPI スレーブ	2ch				
	CAN	2ch				
	LCDC	使用可能			使用不可	
	Semaphore	使用可能				
	Timer block	2 ユニット				
	PWMTimer	使用可能				
GPIO 端子数注 9		170	132	160	95	95
セキュリティ機能 注 10		オプション				—

注1.　RZ/N1D-324 はチップセレクトおよび ODT が 1 つとなります。
注2.　RZ/N1S-196 および RZ/N1L はチップセレクトが 2 つのみとなります。
注3.　使用できないポートの詳細については Ethernet インタフェースモードの制限の章を参照ください。
注4.　GMAC2 は RZ/N1D-324、RZ/N1S-196、および RZ/N1L において A5PSW 経由で使用できます。
注5.　HW-RTOS と HSR は同時に使用できません。
注6.　SERCOSIII、ETHERCAT、および HSR 機能は同時に使用できません。

注7.　A5PSW、SERCOSIII、および ETHERCAT 機能は RZ/N1S-196 および RZ/N1L において同時に使用できません。
注8.　RZ/N1D-324 は 32 ビットモードを使用できません。RZ/N1S-196 および RZ/N1L は 8 ビットモードかつ 2 外部ウエイトリクエストのみ使用できます。RZ/N1S-196 のマスタは ALE シリアルモードのみ使用できます。
注9.　周辺機能の信号と共用されています。
注10.　オプションのセキュリティ機能に関する情報は、弊社営業窓口にお問い合わせください。

1.4　製品一覧

表 1.3　製品一覧

名称	P/N	パッケージ	メイン CPU	PRP/HSR	セキュリティ
RZ/N1D	R9A06G032VGBG	400BGA	デュアル Cortex-A7	—	—
	R9A06G032EGBG				使用可能
	R9A06G032VGBA	324BGA			—
	R9A06G032EGBA				使用可能
	R9A06G032NGBG	400BGA		PRP/HSR	—
	R9A06G032PGBG				使用可能
RZ/N1S	R9A06G033VGBA	196BGA	シングル Cortex-A7	—	—
	R9A06G033EGBA				使用可能
	R9A06G033NGBG	324BGA		PRP	—
	R9A06G033PGBG				使用可能
RZ/N1L	R9A06G034VGBA	196BGA	Cortex-M3	—	—

1.5　ブロック図

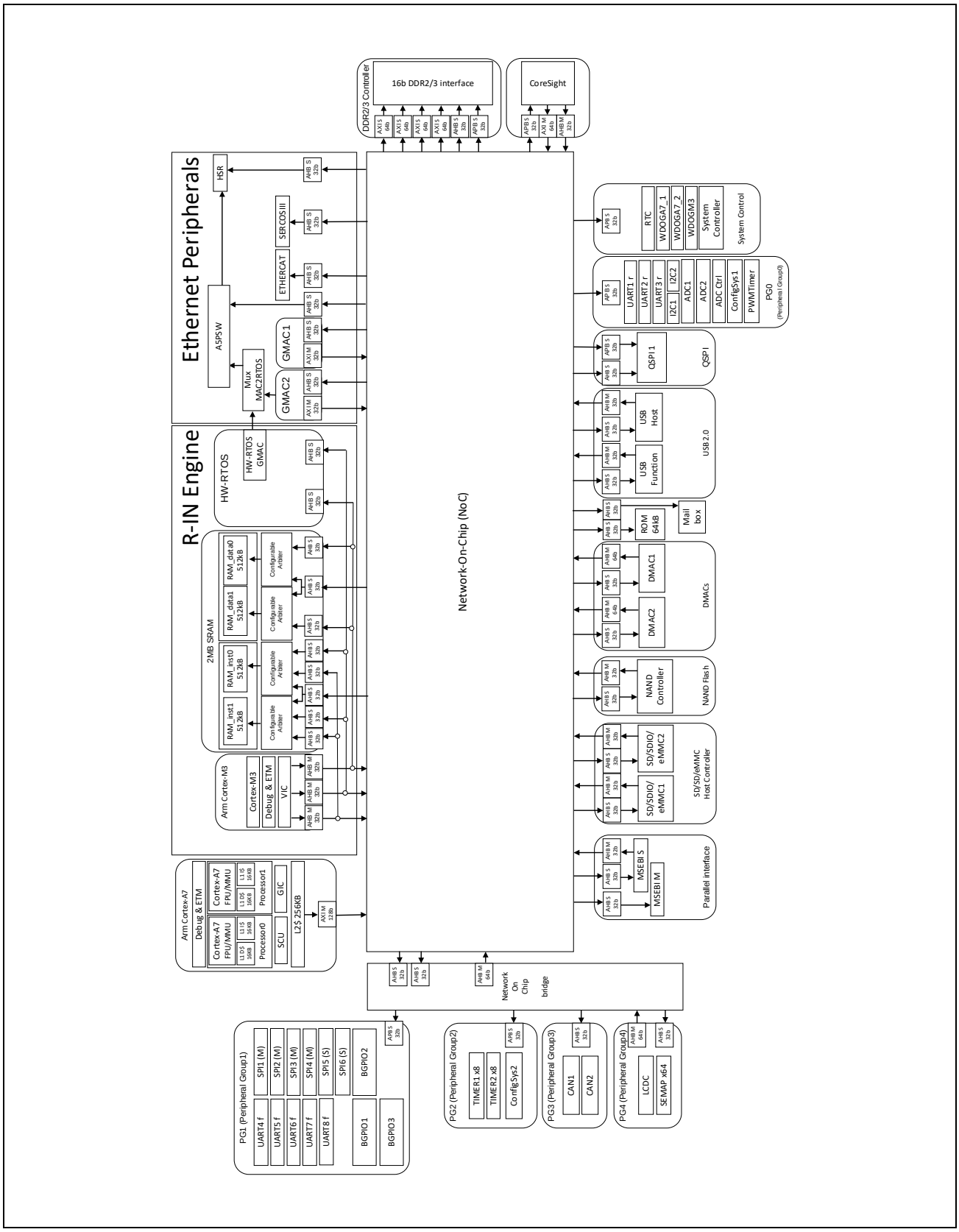


図 1.1　　RZ/N1D デュアル Cortex-A7 & Cortex-M3

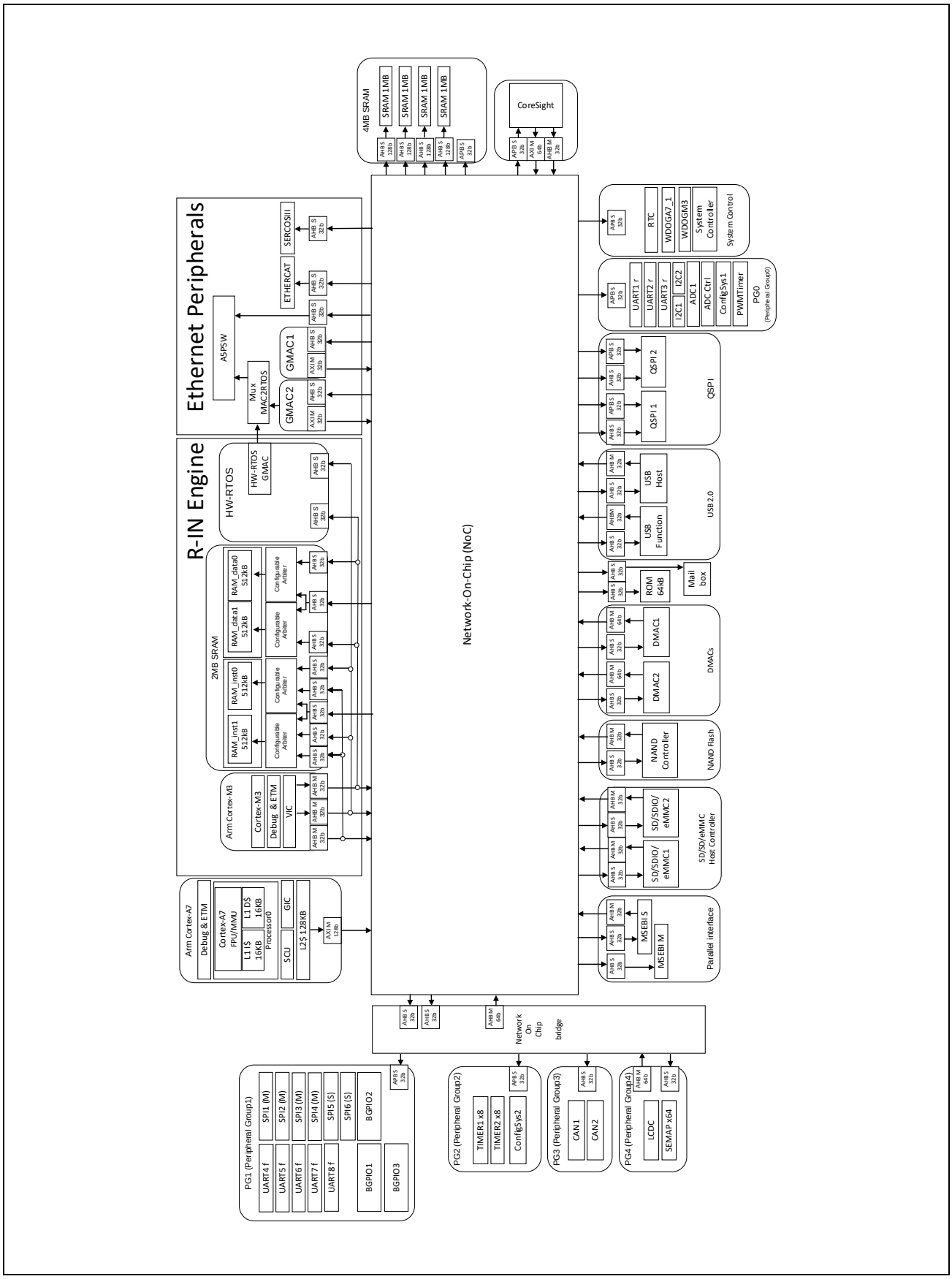


図 1.2　　RZ/N1S シングル Cortex-A7 & Cortex-M3

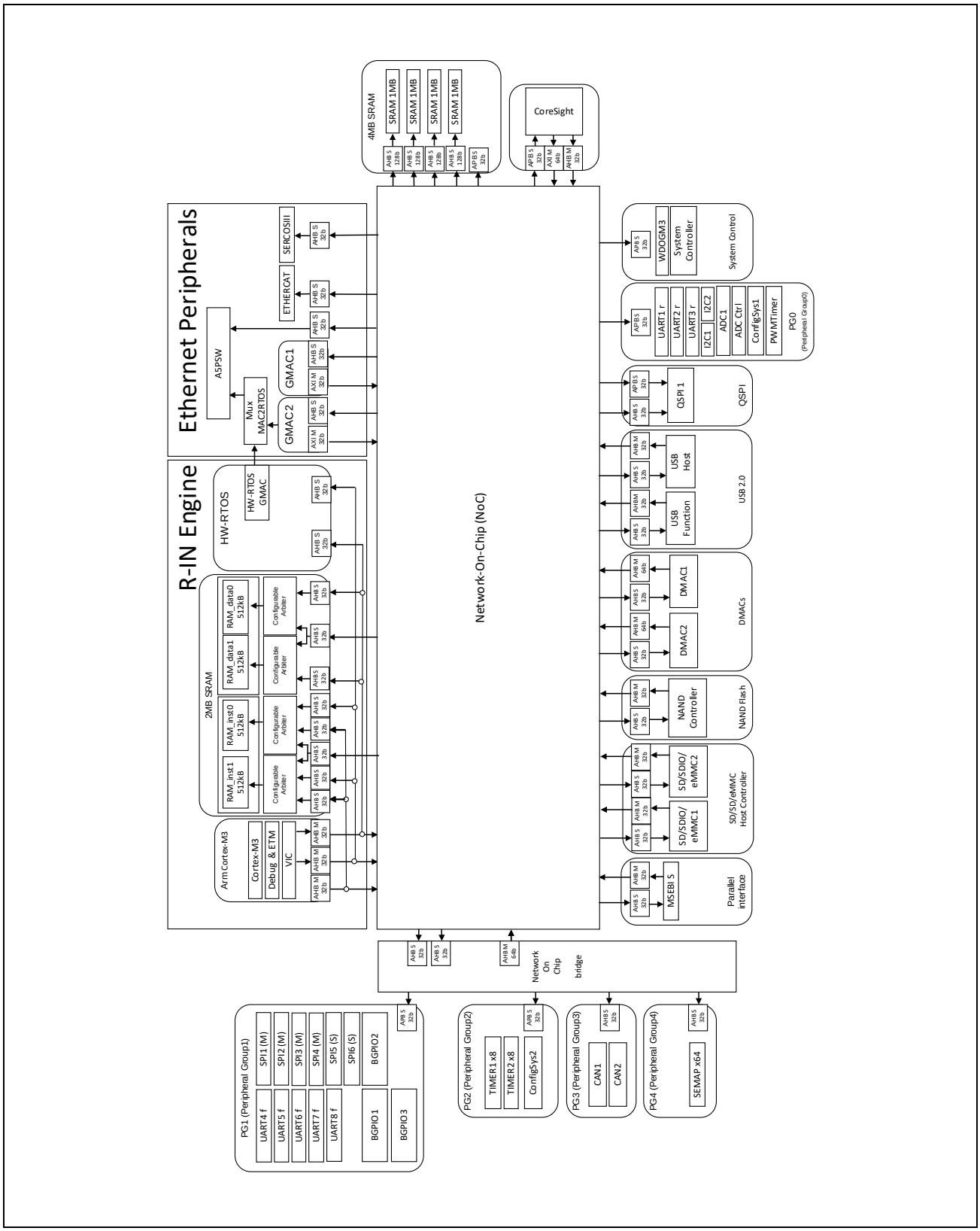


図 1.3　　RZ/N1L Cortex-M3

第2章　アドレス空間

2.1　メモリマップ

2.1.1　RZ/N1D

以下の図は Arm Cortex-A7 から見たメモリマップの概要を示しています。

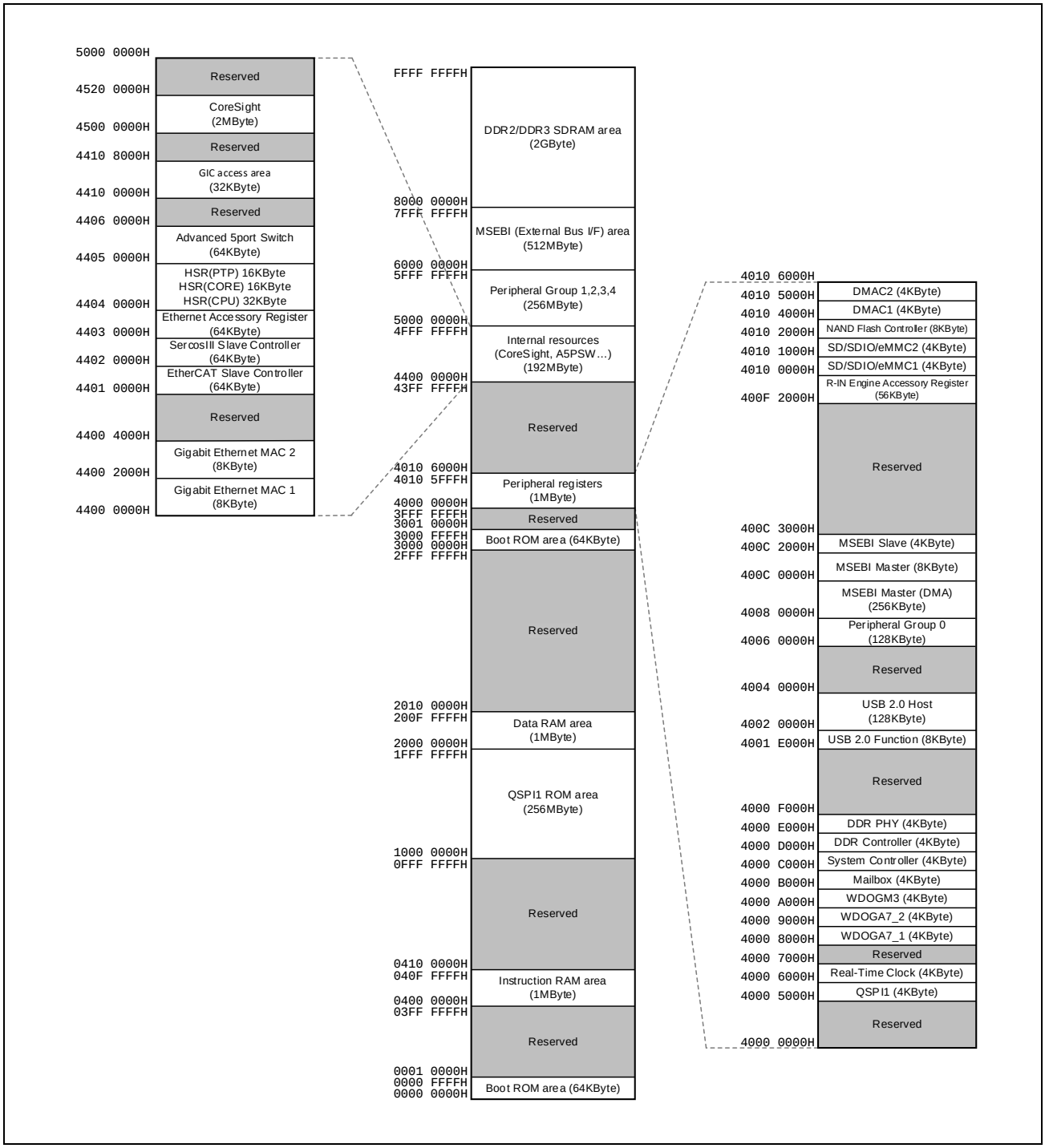


図 2.1　　RZ/N1D（Cortex-A7）のメモリマップ

以下の図は Arm Cortex-M3 から見たメモリマップの概要を示しています。

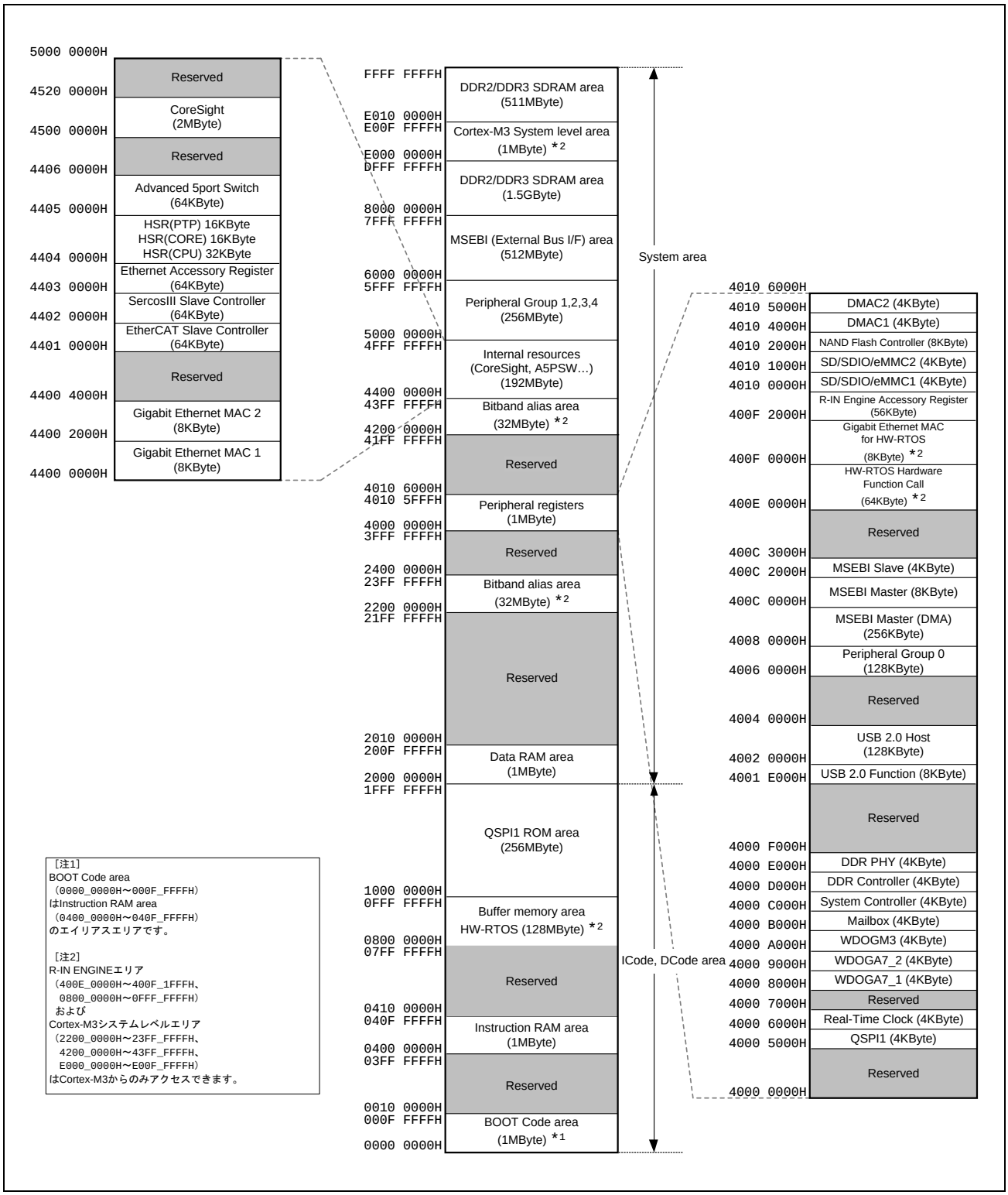


図 2.2　　RZ/N1D（Cortex-M3）のメモリマップ

2.1.2 RZ/N1S

以下の図は Arm Cortex-A7 から見たメモリマップの概要を示しています。

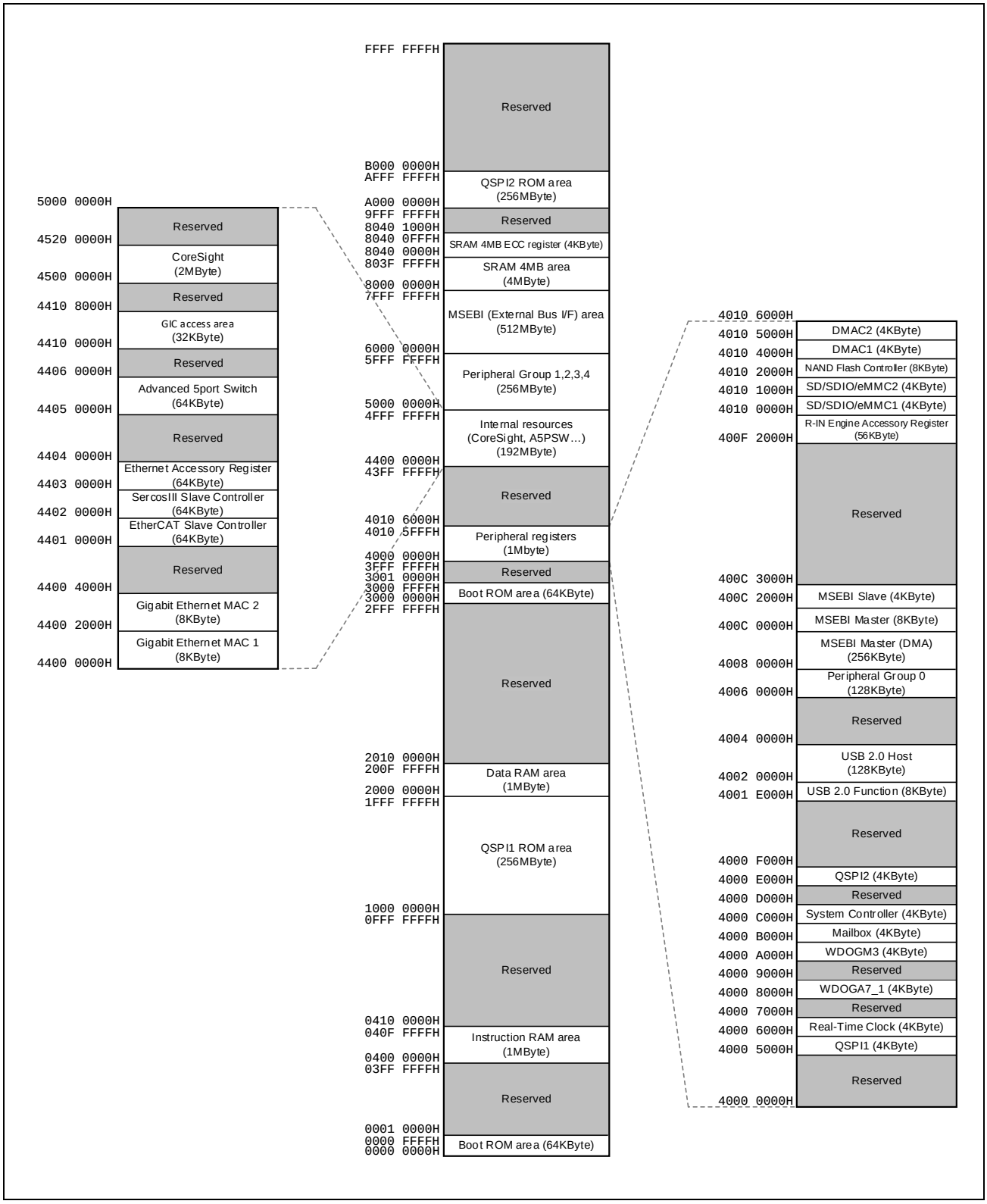


図 2.3　　RZ/N1S（Cortex-A7）のメモリマップ

以下の図は Arm Cortex-M3 から見たメモリマップの概要を示しています。

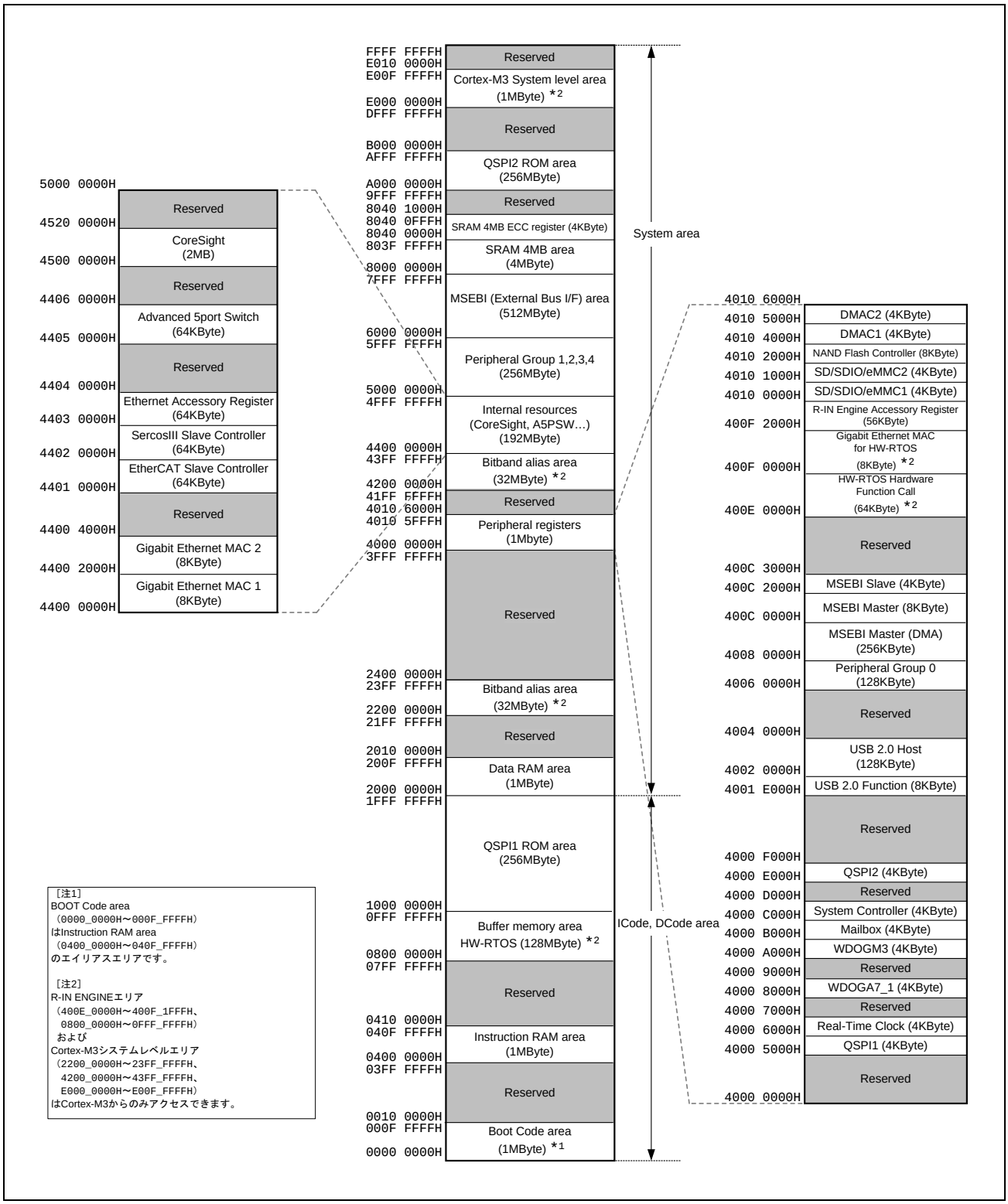


図 2.4　　RZ/N1S（Cortex-M3）のメモリマップ

2.1.3 RZ/N1L

以下の図は Arm Cortex-M3 から見たメモリマップの概要を示しています。

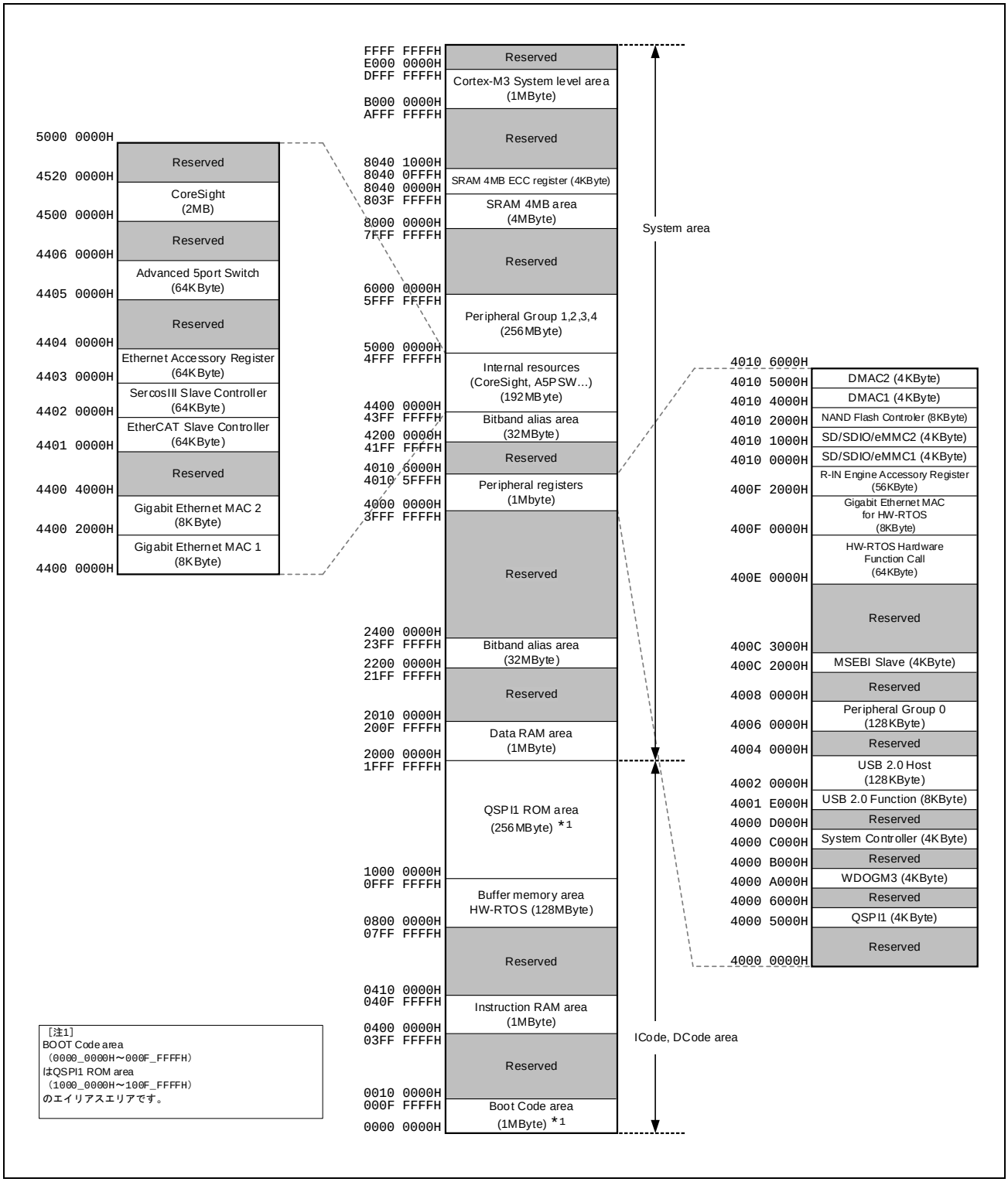


図 2.5　　RZ/N1L のメモリマップ

2.2　レジスタマップサマリ

以下のレジスタマップはすべての RZ/N1 グループ内の周辺機能のベースアドレスをカバーしています。
『○』マークがないモジュールにはアクセスしないでください。

表 2.1　レジスタマップ（1/2）

開始アドレス	周辺機能	RZ/N1D-400	RZ/N1D-324	RZ/N1S-324	RZ/N1S-196	RZ/N1L
4000_5000	Quad SPI Controller1 (QSPI1)	○	○	○	○	○
4000_6000	Real-Time Clock (RTC)	○	○	○	○	×
4000_8000	Watchdog for CA7 processor0 (WDOGA7_1)	○	○	○	○	×
4000_9000	Watchdog for CA7 processor1 (WDOGA7_2)	○	○	×	×	×
4000_A000	Watchdog for CM3 (WDOGCM3)	○	○	○	○	○
4000_B000	Mailbox (IPCM)	○	○	○	○	×
4000_C000	System Controller	○	○	○	○	○
4000_D000	DDR2/3 Controller	○	○	—	—	—
4000_E000	DDR2/3 PHY	○	○	—	—	—
	Quad SPI Controller2 (QSPI2)	—	—	○	×	×
4001_E000	USB 2.0 HS Function Controller (USBf) / EPC	○	○	○	○	○
4001_F000	USB 2.0 HS Function Controller (USBf) / AHB-EPC Bridge	○	○	○	○	○
4002_0000	USB 2.0 HS Host Controller (USBh) / OHCI Operation	○	○	○	○	○
4002_1000	USB 2.0 HS Host Controller (USBh) / EHCI Operation	○	○	○	○	○
4003_0000	USB 2.0 HS Host Controller (USBh) / AHB PCI Bridge (PCI Config. Space)	○	○	○	○	○
4003_0000	USB 2.0 HS Host Controller (USBh) / OHCI (PCI Config. Space)	○	○	○	○	○
4003_0100	USB 2.0 HS Host Controller (USBh) / EHCI (PCI Config. Space)	○	○	○	○	○
4003_0800	USB 2.0 HS Host Controller (USBh) / AHB PCI Bridge (PCI Com. Space)	○	○	○	○	○
4006_0000	UART1	○	○	○	○	○
4006_1000	UART2	○	○	○	○	○
4006_2000	UART3	○	○	○	○	○
4006_3000	I2C1	○	○	○	○	○
4006_4000	I2C2	○	○	○	○	○
4006_5000	ADC Controller / 12bit A/D Converters	○	○	○	○	○
4006_7000	ConfigSys1	○	○	○	○	○
4006_8000	PWMTimer	○	○	○	○	○
4008_0000	MSEBI / Master (MSEBIM) From DMA	○	○	○	○	×
400C_0000	MSEBI / Master (MSEBIM) From CPU	○	○	○	○	×
400C_1000	MSEBI / Slave (MSEBIS) From MSEBI	○	○	○	○	○
400C_2000	MSEBI / Slave (MSEBIS) From CPU	○	○	○	○	○
400E_0000	HW-RTOS Hardware Function Call	○	○	○	○	○
400F_0000	Gigabit Ethernet MAC for HW-RTOS (HW-RTOS GMAC)	○	○	○	○	○
400F_2000	R-IN Engine Accessory Register	○	○	○	○	○
4010_0000	SD/SDIO/eMMC Controller1 (SDIO1)	○	○	○	○	○
4010_1000	SD/SDIO/eMMC Controller2 (SDIO2)	○	○	○	○	○
4010_2000	NAND Flash Controller	○	○	○	○	○
4010_4000	DMAC1	○	○	○	○	○
4010_5000	DMAC2	○	○	○	○	○

表 2.1　レジスタマップ（2/2）

開始アドレス	周辺機能	RZ/N1D-400	RZ/N1D-324	RZ/N1S-324	RZ/N1S-196	RZ/N1L
4400_0000	Gigabit Ethernet MAC1 (GMAC1)	○	×	○	○	○
4400_2000	Gigabit Ethernet MAC2 (GMAC2)	○	○	○	○	○
4401_0000	EtherCAT Slave Controller (ETHERCAT)	○	○	○	○	○
4402_0000	SercosIII Slave Controller (SERCOSIII)	○	○	○	○	○
4403_0000	Ethernet Accessory Register	○	○	○	○	○
4404_0000	HSR Switch / CPU	注 1	—	—	—	—
4404_8000	HSR Switch / CORE	注 1	—	—	—	—
4404_C000	HSR Switch / PTP	注 1	—	—	—	—
4405_0000	Advanced 5port Switch (A5PSW)	○	○	○	○	○
5000_0000	UART4	○	○	○	○	○
5000_1000	UART5	○	○	○	○	○
5000_2000	UART6	○	○	○	○	○
5000_3000	UART7	○	○	○	○	○
5000_4000	UART8	○	○	○	○	○
5000_5000	SPI1 (Master)	○	○	○	○	○
5000_6000	SPI2 (Master)	○	○	○	○	○
5000_7000	SPI3 (Master)	○	○	○	○	○
5000_8000	SPI4 (Master)	○	○	○	○	○
5000_9000	SPI5 (Slave)	○	○	○	○	○
5000_A000	SPI6 (Slave)	○	○	○	○	○
5000_B000	BGPIO1	○	○	○	○	○
5000_C000	BGPIO2	○	○	○	○	○
5000_D000	BGPIO3	○	○	○	×	×
5100_0000	ConfigSys2	○	○	○	○	○
5100_1000	Timer Block1 (TIMER1)	○	○	○	○	○
5100_2000	Timer Block2 (TIMER2)	○	○	○	○	○
5210_4000	CAN1	○	○	○	○	○
5210_5000	CAN2	○	○	○	○	○
5300_0000	Semaphore (SEMAP)	○	○	○	○	○
5300_4000	LCD Controller (LCDC)	○	○	○	×	×

注1.　HSR はオプションです。

第3章　クロック生成

3.1　概要

RZ/N1 は 3 つのクロックソースと 1 つの RGMII のリファレンスクロック入力と 1 つの RMII/MII のリファレンスクロック出力を持っています。

システムコントローラはクロックコントローラ向けのレジスタを含んでいます。これによりパワーマネージメントソフトウェアはクロックゲーティング、クロック選択そしてクロック分周機能のコントロールをすることが可能です。

表 3.1　クロック生成仕様

項目	仕様
メインクロックオシレータ	共振周波数：40MHz
	外部クロック入力周波数：40MHz
	このシステムのメインクロックソース。外部クロック入力モードも使用可能です。
RTC クロックオシレータ	共振周波数：32.768kHz
	RTC のクロックソース。RTC 専用パワードメインに属しています。
JTAG（JTAG_TCK）のためのクロック入力	入力周波数：10MHz（最大）
	CoreSight® と JTAG コントローラのためのクロック。
PLL	入力クロックソース：メインクロックオシレータ
	出力クロック周波数：1000MHz
	このシステムのメイン PLL。
USBPLL	入力クロックソース：メインクロックオシレータ
	出力クロック周波数：480MHz
	USBPHY の PLL。480MHz の 1/10 の 48MHz がシステムに供給されます。デフォルトはパワーダウンモードです。
RGMII（RGMII_REFCLK）用外部クロック入力	入力周波数：125MHz
	RGMII 出力信号用クロック。内部で生成された 125MHz を使うこともできます。
RMII（RMII_REFCLK）用外部クロック出力	出力周波数：50MHz
	外部 RMII インタフェースへのクロック供給
MII（MII_REFCLK）用外部クロック出力	出力周波数：25MHz
	外部 MII インタフェースへのクロック供給

次のページに RZ/N1 のクロックシステムの概略図を示します。

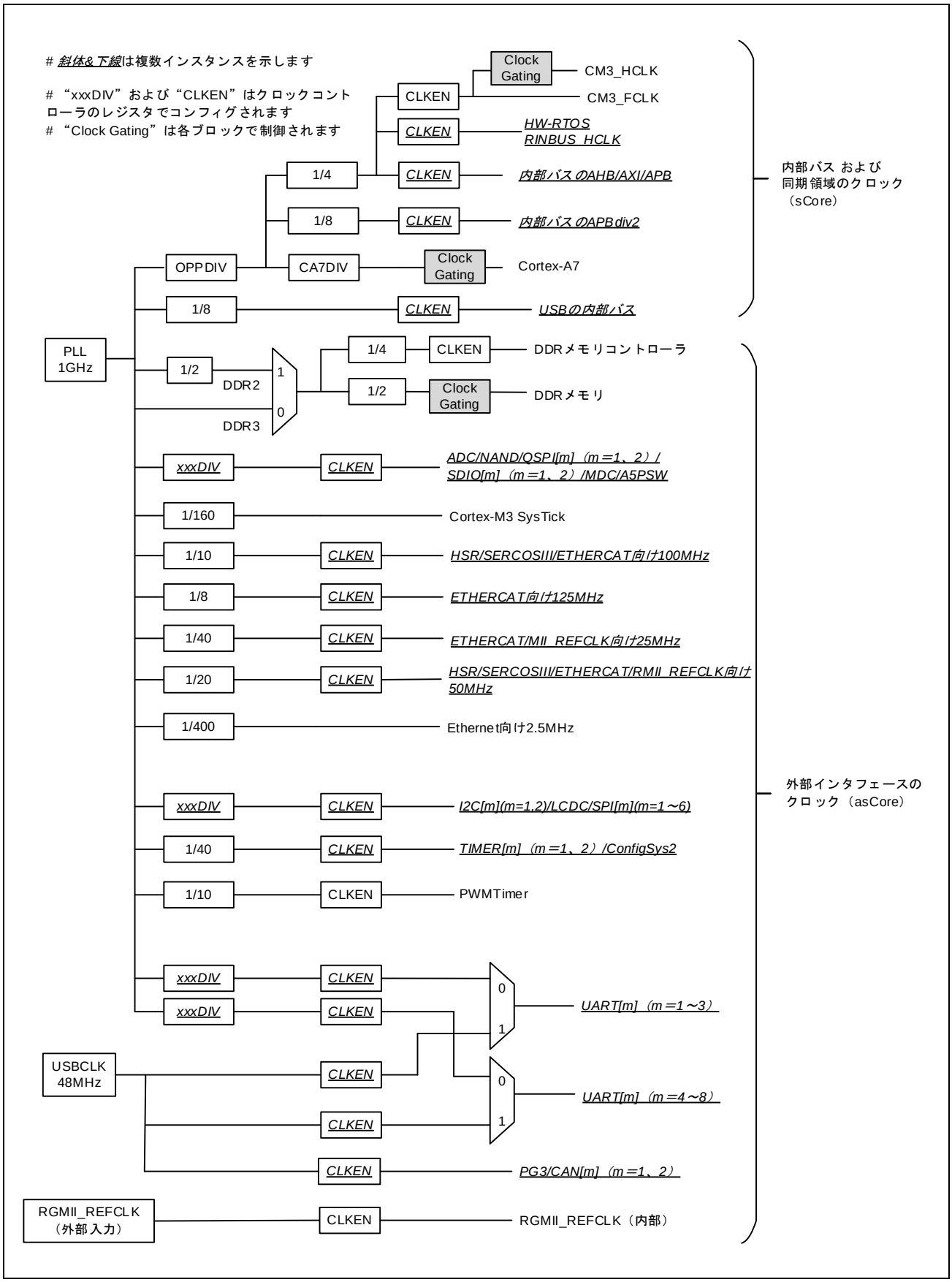


図 3.1　　クロック生成のブロック図

3.2　クロックゲーティング

“PWRCTRL_*”レジスタはクロックゲーティング制御用の“CLKEN_*”を持っています。制御可能なクロックはレジスタのビットによって直接制御されます。

動作中のモジュールのクロックをゲーティングするとハングアップ等想定外の状態になる可能性があります。モジュールをインターコネクトから切断後にクロックをゲーティングするようにソフトウェアで管理する必要があります。

注　意

- RZ/N1 は USBPLL によって供給されたクロックを使います。システムのハングアップを防ぐため、ソフトウェアは USB クロックドメインにアクセスする前に USBPLL がロックされていることを保証してください。
- ソフトウェアはモジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの対応するすべてのインターコネクトが切断（SCON＝1’b0）かつアイドル状態（MISTAT＝1’b1）の場合にのみ行ってください。

3.3　クロック選択

RZ/N1 は各 UART 用のクロック選択機能があります。それらの機能はシステムコントローラの PWRCTRL_PG0_0 と PWRCTRL_PG1_PR2 レジスタによって設定できます。

注　意

RZ/N1 は USBPLL によって供給されたクロックを使います。システムのハングアップを防ぐため、ソフトウェアは USB クロックドメインにアクセスする前に USBPLL がロックされていることを保証してください。

3.4　クロック分周

RZ/N1 クロックコントローラはプログラマブルなクロック分周器を持っています。ゲーティング状態によらずソフトウェアは分周器の再設定が可能です。

注　意

対応するレジスタの BUSY フラグがアサートされた状態で分周器のコントロールレジスタへのライトをしないでください。

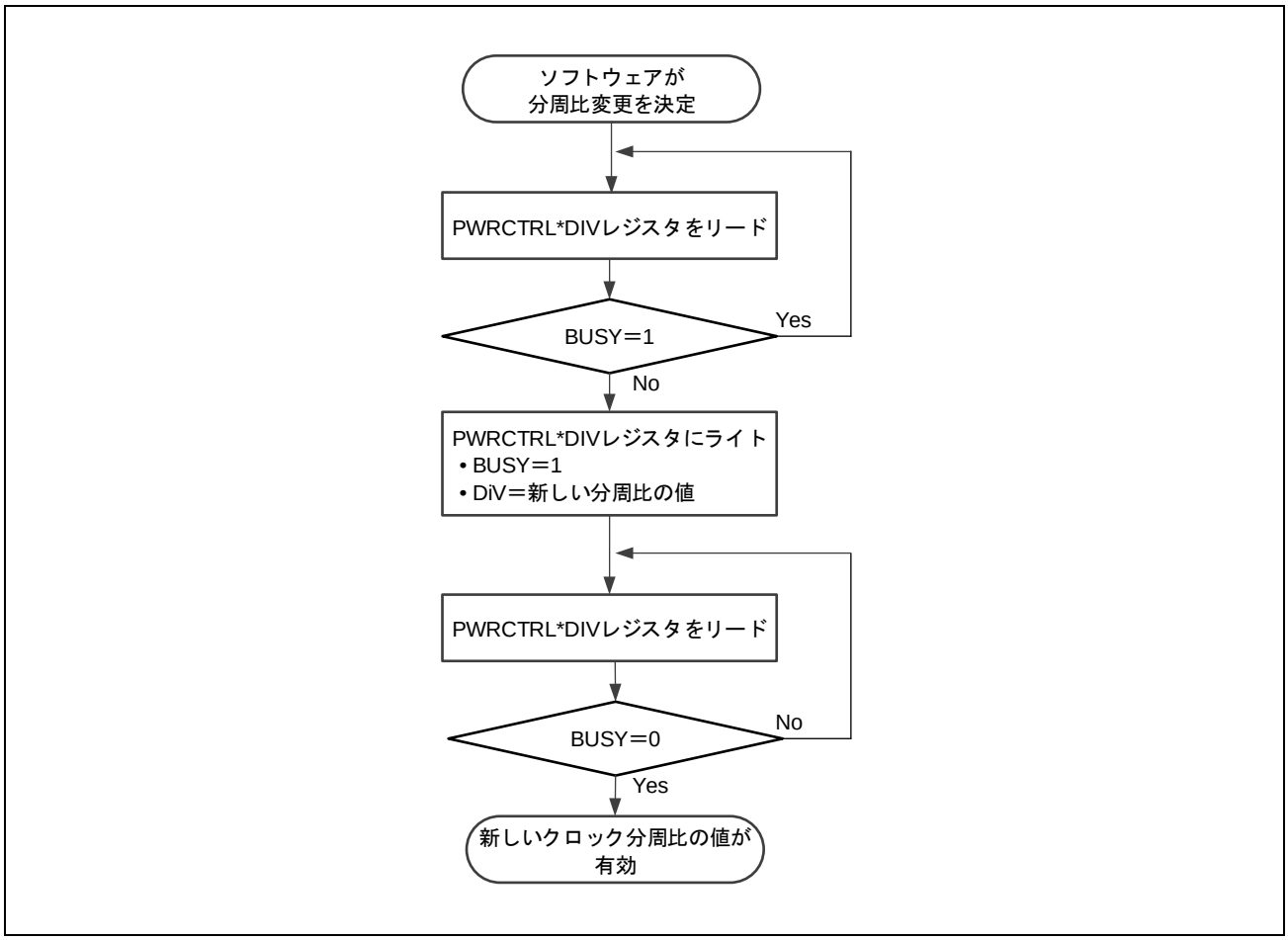


図 3.2　分周器の設定手順

3.5　クロック周波数変更

RZ/N1 クロックコントローラはクロック変更用の 2 つの専用クロック分周器を提供します。1 つは PWRCTRL_CA7DIV レジスタで制御される Cortex-A7 CPU クロックの変更用、もう一方は PWRCTRL_OPPDIV レジスタで制御されるメインの NoC のインターコネクト周波数の変更用です。パワーマネージメントソフトウェアはこれらを制御し、そしてクロック周波数変更をする実際の状況に基づいて決定する必要があります。

注　意

インターコネクトの周波数を変更するとウォッチドッグタイマーの周波数も変更されます。

次の表は設定可能なクロック周波数とユースケースを示しています。各モジュールの回路は、クロックが NoC に同期化しているかによって区別されます。各クロックについては、「**図 3.1 クロック生成のブロック図**」、および「**付録 C クロックツリー構造**」を参照ください。

- sCore：NoC に同期の回路（AXI/AHB/APB のクロック）
- asCore：NoC に非同期の回路

表 3.2　周波数モード（1/3）

機能リスト		125MHz モード（Default）	62.5MHz モード	31.25MHz モード	15.625MHz モード
一般のシステム ― NoC に同期					
Network-on-Chip		125MHz	62.5MHz	31.25MHz	15.625MHz
DMAC		125MHz	62.5MHz	31.25MHz	15.625MHz
システムコントロールブロック（RTC、Watchdog など）		62.5MHz	31.25MHz	15.625MHz	7.8125MHz
CPU & R-IN Engine ― NoC に同期					
Cortex-A7	sCore	500MHz（4×） 250MHz（2×）（Default） 125MHz（1×）	250MHz（4×） 125MHz（2×） 62.5MHz（1×）	125MHz（4×） 62.5MHz（2×） 31.25MHz（1×）	62.5MHz（4×） 31.25MHz（2×） 15.625MHz（1×）
Cortex-M3	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
HW-RTOS	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
メモリユニット					
DDR3-1000	asCore	250MHz	250MHz	250MHz	250MHz
	メモリクロック	500MHz	500MHz	500MHz	500MHz
DDR2-500	asCore	125MHz	125MHz	125MHz	125MHz
	メモリクロック	250MHz	250MHz	250MHz	250MHz
SRAM 2MB & 4MB	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
NAND Flash Controller	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
	asCore	最大 83.33MHz	←	←	←
QSPI	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
	asCore	最大 250MHz 注 1	←	←	←
SD/SDIO/eMMC	sCore	125MHz	62.5MHz	31.25MHz	使用不可
	asCore	最大 50MHz	←	←	
ネットワーク部分 & USB					
USB Host & Function	asCore	125MHz	125MHz	125MHz	使用不可
	USBCLK 出力	48MHz	←	←	

表 3.2　周波数モード（2/3）

機能リスト		125MHz モード（Default）	62.5MHz モード	31.25MHz モード	15.625MHz モード
GMAC	sCore	125MHz	62.5MHz	31.25MHz	使用不可
	PTP	125MHz もしくは 25MHz	←	←	
	Ether モード注 3	GMII/RMII/MII	RMII/MII	RMII/MII	
Advanced 5 Port Switch/PRP	sCore	125MHz	62.5MHz	31.25MHz	使用不可
	asCore	200MHz	←	←	
	Ether モード注 3	GMII/RMII/MII 5 ポート	RMII/MII 5 ポート	RMII/MII 3 ポート	
SERCOSIII	asCore	100MHz	100MHz	100MHz	使用不可
	Ether モード注 3	MII/RMII	MII/RMII	MII/RMII	
ETHERCAT	asCore	125MHz	125MHz	125MHz	使用不可
	Ether モード注 3	MII/RMII	MII/RMII	MII/RMII	
HSR	asCore	100MHz	100MHz	使用不可	使用不可
RGMII/RMII コンバータ	Ether モード注 3	RGMII/RMII/MII	RMII/MII	RMII/MII	RMII/MII
周辺機能					
	UART 用に 2 つのクロックソースが使用可能 1）分周器を通した PLL 出力、最大 83.33MHz 2）USBPLL 出力、48MHz 固定				
UART 1～3	sCore	62.5MHz	31.25MHz	15.625MHz	7.8125MHz
	asCore	最大 83.33MHz もしくは 48MHz	←	←	←
UART 4～8	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
	asCore	最大 83.33MHz もしくは 48MHz	←	←	←
SPI 設定 1	sCore	125MHz	使用不可	使用不可	使用不可
	asCore	最大 125MHz			
SPI 設定 2	sCore	125MHz	62.5MHz	使用不可	使用不可
	asCore	最大 62.5MHz	←		
SPI 設定 3	sCore	125MHz	62.5MHz	31.25MHz	使用不可
	asCore	最大 31.25MHz	←	←	
SPI 設定 4	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
	asCore	最大 15.625MHz	←	←	←
I^2C	sCore	62.5MHz	31.25MHz	15.625MHz	7.8125MHz
	asCore	最大 83.33MHz 注 2	←	←	←
MSEBI	sCore	125MHz	62.5MHz	31.25MHz	使用不可
CAN	asCore	48MHz	←	←	←
BGPIO	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
ADC	sCore	62.5MHz	31.25MHz	15.625MHz	7.8125MHz
	asCore	最大 20MHz	←	←	←
TIMER	asCore	25MHz	←	←	←
PWMTimer	asCore	100MHz	←	←	使用不可
セマフォ	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz
メールボックス	sCore	125MHz	62.5MHz	31.25MHz	15.625MHz

表 3.2　周波数モード（3/3）

機能リスト		125MHz モード（Default）	62.5MHz モード	31.25MHz モード	15.625MHz モード
LCDC（設定 1）	sCore	125MHz	使用不可	使用不可	使用不可
	asCore	最大 83.33MHz			
LCDC（設定 2）	sCore	125MHz	62.5MHz	使用不可	使用不可
	asCore	最大 62.5MHz	62.5MHz 未満		
LCDC（設定 3）	sCore	125MHz	62.5MHz	31.25MHz	使用不可
	asCore	最大 31.25MHz	←	31.25MHz 未満	

注1.　QSPI asCore は sCore より高い周波数としてください。

注2.　I2C asCore は sCore 以上の周波数としてください。

注3.　RGMII/RMII コンバータモード利用可能

3.6 クロックオシレータ接続

3.6.1 メインクロックオシレータ

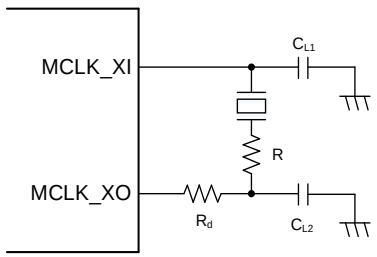
メインクロックオシレータへクロック信号を供給する 2 つの方法があります。オシレーターへの接続と外部クロック信号の入力です。クロック入力モードは THMODE 端子によってセットされます。

表 3.3　THMODE で選択されるクロック入力モード

THMODE	クロック入力モード
Low	オシレーターモード
High	外部クロックモード

3.6.1.1 水晶発振子

以下の図は水晶発振子を接続する例を示しています。



備考　C_{L1}、C_{L2}、R、および R_d の値は水晶発振子の製造元に相談して決定してください。

図 3.3　水晶発振子接続の例（メインクロック）

3.6.1.2 外部クロック入力

以下の図は外部クロック入力の接続例を示しています。MCLK_XI 端子はグランドに固定してください。

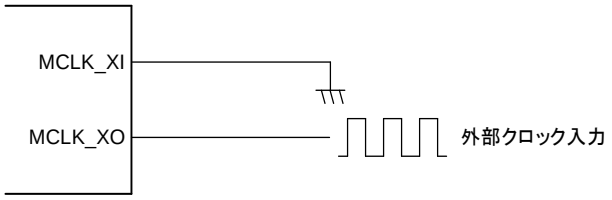


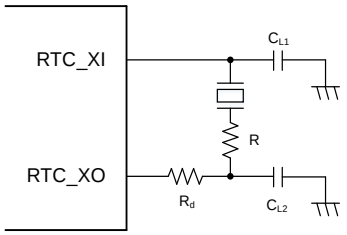
図 3.4　外部クロック接続の例

3.6.2 RTC クロックオシレータ

RTC クロックはオシレーターモードのみサポートします。

3.6.2.1 水晶発振子

以下の図は水晶発振子を接続する例を示しています。



備考　C_{L1}、C_{L2}、R、および R_d の値は水晶発振子の製造元に相談して決定してください。

図 3.5　水晶発振子接続の例（RTC）

3.6.2.2 RTC を使用しない場合

以下の図は RTC が使用されないときのクロック端子接続を示しています。RTC_XI 端子をグラウンドへ接続し、RTC_XO 端子をボード上でオープンにしてください。

RTC_VDD33 には 3.3V 電源を供給し、RTC_PWRGOOD 入力端子は 3.3V を入力してください。

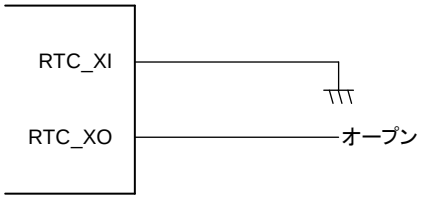


図 3.6　RTC を使用しないときの RTC クロック端子の接続

第4章　リセット

4.1　概要

RZ/N1 は大別して 2 種類のリセット（チップレベルリセット、機能モジュールレベルリセット）を持っています。

それらを以下の表に示します。

表 4.1　リセットの種類

	関連する外部端子	説明
マスタリセット	MRESET_N MRESET_OUT	RZ/N1 LSI 全体のためのリセット。LSI のすべてのハードウェアリソースは MRESET_N＝0 の間にリセットされますが RTC ドメインは例外です。MRESET_OUT は MRESET_N＝0 の間 1 になります。
システムリセット	MRESET_OUT	ウォッチドッグ、ソフトウェアトリガのような内部で生成されたイベントによるリセット RZ/N1 の大部分はこれによりリセットされます。 ソフトウェアは RSTSTAT レジスタによって直前のリセットのソースおよびマスタリセットかシステムリセットを区別できます。 システムリセットがアクティブになると、MRESET_OUT はパルス幅 0.5μs の 1 を出力します。
RTC リセット	—	RTC ドメインでの定電圧検出回路によるリセット RTC ドメインに供給された電圧が規定のレベル以下になったときリセットがアクティブになります。
JTAG リセット	JTAG_TRST_N	CoreSight と JTAG TAP コントローラのためのリセット それらの回路は JTAG_TRST_N＝0 の間リセットされます。
モジュールリセット	—	RZ/N1 の各機能モジュールのためのリセット “PWRCTRL_*レジスタの RSTN_*ビット”によってコントロールされます。

表 4.2　Reset ドメイン定義

リセット対象	リセット種別				
	マスタリセット	システムリセット	RTC リセット	JTAG リセット	モジュールリセット
メインオシレータ	—	—	—	—	—
RTC ドメイン	—	—	○	—	—
PLL	○	—	—	—	—
USBPLL	○	○	—	—	—
RSTSTAT レジスタ	○	—	—	—	—
メイン CPU 注 1	○	○	—	—	—
NoC	○	○	—	—	—
機能モジュール	○	○	—	—	○ （モジュールごと）
CoreSight JTAG TAP コントローラ	○	—	—	○	—

注1.　RZ/N1D、RZ/N1S の Cortex-A7
　　RZ/N1L の Cortex-M3

4.2 チップレベルリセット

4.2.1 マスタリセット

MRESET_N 外部端子は RTC ドメインを除く RZ/N1 LSI 全体をリセットします。メインオシレータと RTC オシレータは MRESET_N＝0 の間も動作しています。

注　意

RTC ドメインはシステム全体の電源投入や電源の電圧低下の間だけリセットされます。RTC 電源を供給している間 RTC ドメインは動作し続けます。

4.2.2 システムリセット

RZ/N1 システムコントローラはシステムリセット制御のための以下のレジスタを持っています。リセットソースはソフトウェアトリガやウォッチドッグタイマー等です。どのリセットソースも個別に有効/無効にでき、この機能全体を有効/無効にすることが可能です。

表 4.3　RZ/N1 システムリセットコントロールレジスタ

アドレス	レジスタシンボル	注釈
4000 C0A8h	RSTSTAT	リセットステータスレジスタ 最後のリセットソースを表示します。
4000 C120h	RSTEN	リセットイネーブルレジスタ このレジスタはシステムリセットソースを個別に有効/無効にできます。（RSTCTRL レジスタ内で）アクティブになっているシステムリセット要求に対応するビットを有効にすると、システムがリセットされます。
4000 C198h	RSTCTRL	リセットコントロールレジスタ ソフトウェアはこのレジスタを使用してシステムリセットを開始することやハードウェアシステムリセットソースのいずれかがシステムリセットを要求しているかどうかを確認することが可能です。

注　意

- USBPLL はシステムリセットでパワーダウンモードになるので、必要になったら再び始めるのはソフトウェアの責任です。
- すべての分周器はリセット後の値に戻ります。
- RSTEN レジスタのリセットソースを有効にする前に、RSTCTRL レジスタで対応するリセットトリガがクリアされていることを確認してください。

4.2.3 JTAG リセット

JTAG_TRST_N 外部端子は CoreSight サブシステムと JTAG TAP コントローラをリセットします。JTAG TAP コントローラはバウンダリスキャン回路を含みます。CPU デバッグや JTAG TAP を使用しない場合、JTAG_TRST_N を 0 にする必要があります。

4.3 モジュールリセット

システムコントローラはシステムの特定のモジュールをリセットすることが可能です。リセット制御ビットを含むレジスタの名前は“PWRCTRL_*”、ビットフィールドの名前は“RSTN_*”です。

注　意

モジュールリセットはクロック供給されている状態で実施する必要があります。

第5章　IO マルチプレキシング

システム/周辺機能の信号は外部の GPIO 端子に多重化されています。高速動作をする信号はマルチプレクサ Level1 に接続され、それ以外はマルチプレクサ Level2 に接続されています。それらは IO マルチプレクスコンフィグレーションレジスタで管理されています。

5.1　概要

各 GPIO[n]端子は以下の機能で個別に設定することが可能です。

- RGMII インタフェース：
  - GPIO[n]（n＝0～59）で 3.3V 電源
- Standard インタフェース：
  - GPIO[n]（n＝60～169）で 3.3V 電源
- ドライブ強度
- プルアップ／プルダウン／なし

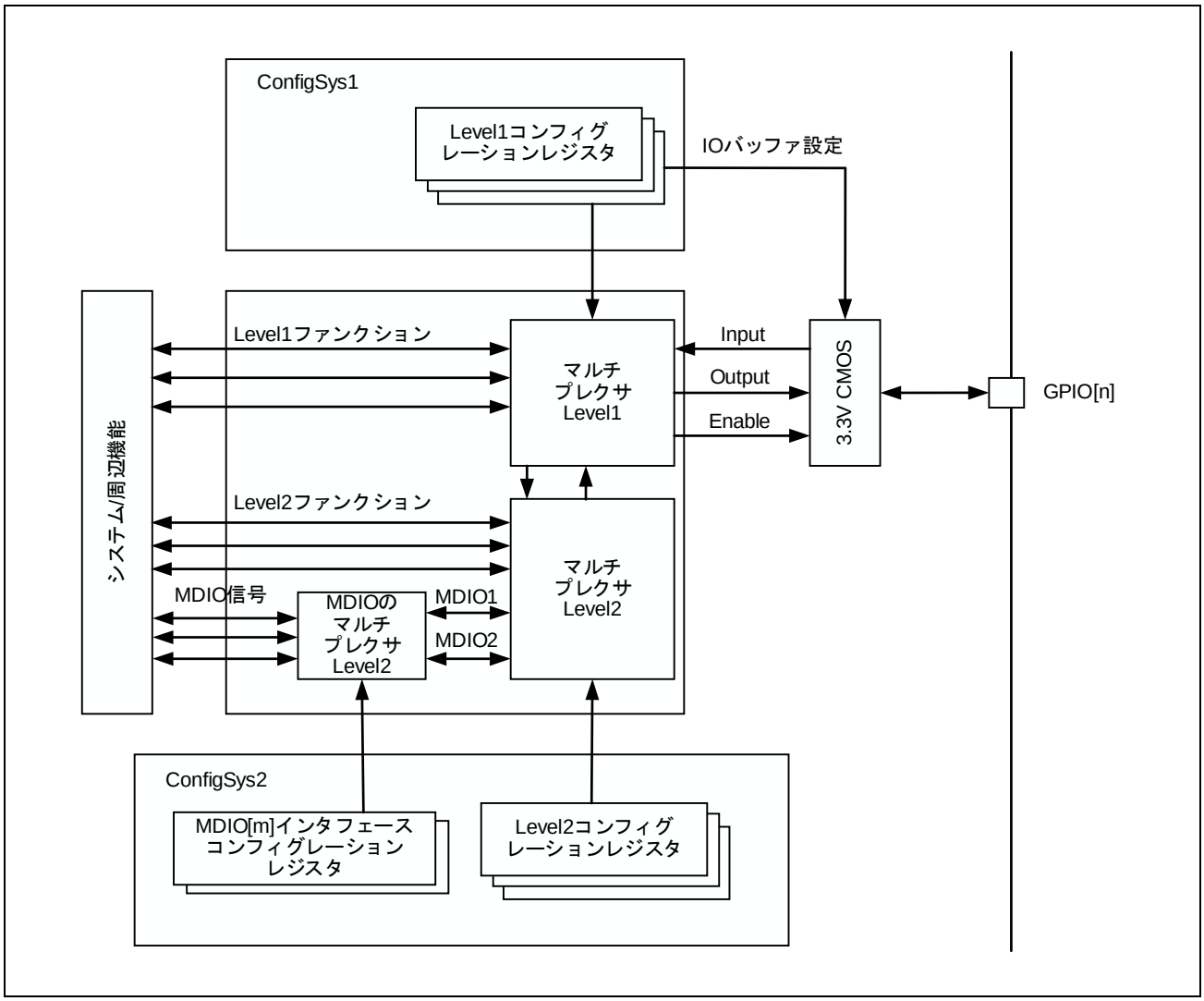


図 5.1　IO マルチプレクスコンフィグレーション Level1、Level2

使用可能な Level1 コンフィグレーションは以下のように定義されています。

表 5.1　IO マルチプレクスコンフィグレーション Level1 一覧

ファンクション番号	Level1 ファンクション
0	機能なし（デフォルト値）
1	論理レベル 0 でドライブ
2	RGMII/RMII/MII および Ethernet リファレンスクロック
3	NAND Flash および Ethernet リファレンスクロック
4	QSPI1、2
5	SDIO1、2
6	LCD コントローラ
8	外部バスインタフェースマスタ（MSEBIM）
9	外部バスインタフェーススレーブ（MSEBIS）
15	IO マルチプレクスは Level2 で制御されます。

使用可能な Level2 コンフィグレーションは以下のように定義されています。

表 5.2　IO マルチプレクスコンフィグレーション Level2 一覧

ファンクション番号	Level2 ファンクション
0	機能なし（デフォルト値）
1	ETHERCAT & Cortex-M3 NMI
2	SERCOSIII
3	拡張 SDIO
4	MDIO
6	拡張 USB
7	拡張 MSEBIM（マスタ）
8	拡張 MSEBIS（スレーブ）
12	UART1 割り当て 2
13	拡張 UART1 割り当て 2
14	UART2 割り当て 2
15	拡張 UART2 割り当て 2
16	UART3 割り当て 2
17	拡張 UART3 割り当て 2
18	UART1 割り当て 1
19	拡張 UART1 割り当て 1
20	UART2 割り当て 1
21	拡張 UART2 割り当て 1
22	UART3 割り当て 1
23	拡張 UART3 割り当て 1
24	UART4
25	拡張 UART4
26	UART5
27	拡張 UART5
28	UART6
29	拡張 UART6
30	UART7
31	拡張 UART7
32	UART8
33	拡張 UART8
34	SPI1（マスタ）
36	SPI2（マスタ）
38	SPI3（マスタ）
40	SPI4（マスタ）
42	SPI5（スレーブ）
44	SPI6（スレーブ）
48	BGPIO
49	CAN
50	I^2C
52～56	PWMTimer
61	拡張 A5PSW & GMAC

5.2 レジスタマップ

表 5.3　IO マルチプレキシングレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4006 7000h＋4h×n	rGPIOs_Level1_ConfigA_[n] （n＝0～59）	GPIO[n] RGMII マルチプレキシング Level1 コンフィグレーションレジスタ
4006 7000h＋4h×n	rGPIOs_Level1_ConfigB_[n] （n＝60～169）	GPIO[n] Standard マルチプレキシング Level1 コンフィグレーションレジスタ
4006 7400h	rGPIOs_Level1_StatusProtect	GPIO マルチプレキシング Level1 ステータスおよびプロテクトレジスタ
5100 0000h＋4h×n	rGPIOs_Level2_Config_[n] （n＝0～169）	GPIO[n]マルチプレキシング Level2 コンフィグレーションレジスタ
5100 0400h	rGPIOs_Level2_StatusProtect	GPIO マルチプレキシング Level2 ステータスおよびプロテクトレジスタ
5100 0404h	rGPIOs_Level2_Config_MDIO1	MDIO1 インタフェースコンフィグレーションレジスタ
5100 0408h	rGPIOs_Level2_Config_MDIO2	MDIO2 インタフェースコンフィグレーションレジスタ
5100 0480h＋4h×n	rGPIOs_Level2_GPIO_Int_[n] （n＝0～7）	GPIO_Int[n]割り込みコンフィグレーションレジスタ

5.3 レジスタ説明

5.3.1 rGPIOs_Level1_ConfigA_[n] ― GPIO[n] RGMII マルチプレキシング Level1 コンフィグレーションレジスタ（n＝0～59）

アドレス　4006 7000h＋4h×n

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	bGPIOs_Level1_DriveStrength		bGPIOs_Level1_PulUp_PullDown		―	―	―	―	bGPIOs_Level1_IOFunction			
リセット後の値	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0

表 5.4　rGPIOs_Level1_ConfigA_[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b12	予約ビット	0 がリードされます。	R
b11、b10	bGPIOs_Level1_DriveStrength	GPIO 端子のドライブ強度を選択 2’b00：4mA 2’b01：6mA 2’b10：8mA（デフォルト値） 2’b11：12mA	R/W
b9、b8	bGPIOs_Level1_PulUp_PullDown	GPIO 端子のプルアップ/プルダウン抵抗を選択 2’b00：抵抗なし 2’b01：プルアップ（デフォルト値） 2’b10：抵抗なし 2’b11：プルダウン	R/W
b7～b4	予約ビット	0 がリードされます。	R
b3～b0	bGPIOs_Level1_IOFunction	GPIO 端子に割り当てるマルチプレキシング Level1 機能を選択 「**表 5.1 IO マルチプレクスコンフィグレーション Level1 一覧**」を参照。	R/W

注　意

- ライトアクセスは bGPIOs_Level1_Config_StatusProtect ビットでプロテクトされています。
- 出力電流値については、「**表 11.3 電流**」の注 1 を参照ください。

5.3.2 rGPIOs_Level1_ConfigB_[n] ― GPIO[n] Standard マルチプレキシング Level1 コンフィグレーションレジスタ（n＝60～169（最大））

アドレス　4006 7000h＋4h×n

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	bGPIOs_Level1_Standard_DriveStrength		bGPIOs_Level1_Standard_PulUp_PullDown		―	―	―	―	bGPIOs_Level1_Standard_IOFunction			
リセット後の値	0	0	0	0	1	0	0	1	0	0	0	0	0	0	0	0

表 5.5　rGPIOs_Level1_ConfigB_[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b12	予約ビット	0 がリードされます。	R
b11、b10	bGPIOs_Level1_Standard_DriveStrength	GPIO 端子のドライブ強度を選択 2'b00：4mA 2'b01：6mA 2'b10：8mA（デフォルト値） 2'b11：12mA	R/W
b9、b8	bGPIOs_Level1_Standard_PulUp_PullDown	GPIO 端子のプルアップ/プルダウン抵抗を選択[注1] 2'b00：抵抗なし 2'b01：プルアップ（デフォルト値） 2'b10：抵抗なし 2'b11：プルダウン	R/W
b7～b4	予約ビット	0 がリードされます。	R
b3～b0	bGPIOs_Level1_Standard_IOFunction	GPIO 端子に割り当てるマルチプレキシング Level1 機能を選択[注2] 「**表 5.1 IO マルチプレクスコンフィグレーション Level1 一覧**」を参照。	R/W

注1.　GPIO[73:62]と GPIO[145:127]は MRESET_N 立ち上がり時の GPIO[79]のレベルに従って初期設定されます。
　　1：GPIO[73:62]および GPIO[145:127]をプルアップ
　　0：GPIO[73:62]および GPIO[145:127]をプルダウン

注2.　RZ/N1L のとき GPIO[79:74]は直接 QSPI インタフェースとして初期設定されます。
　　GPIO[103]はブート ROM によって UART1_TXD に設定されます。

注　意

- ライトアクセスは bGPIOs_Level1_Config_StatusProtect ビットでプロテクトされています。
- 出力電流値については、「**表 11.3 電流**」の注 1 を参照ください。

5.3.3 rGPIOs_Level1_StatusProtect — GPIO マルチプレキシング Level1 ステータスおよびプロテクトレジスタ

アドレス　4006 7400h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	bGPIOs_Level1_BadSequence	—	—	—	bGPIOs_Level1_Config_StatusProtect
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.6　rGPIOs_Level1_StatusProtect レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット	0 がリードされます。	R
b4	bGPIOs_Level1_Bad Sequence	不正シーケンス検出 rGPIOs_Level1_StatusProtect レジスタに不正なライトシーケンスが発生したとき 1 がセットされます。 以下のとき 0 クリアされます。 ● リセット ● 4006 7402h をライト	R/W
b3～b1	予約ビット	0 がリードされます。	R
b0	bGPIOs_Level1_Config_StatusProtect	以下のレジスタのライトプロテクション ● rGPIOs_Level1_ConfigA_[n] ● rGPIOs_Level1_ConfigB_[n] 0：すべてのレジスタはライトプロテクトされ、リードオンリーです 1：すべてのレジスタはプロテクトされず、ライトリード可能です 以下のとき 0 クリアされます。 ● リセット ● レジスタで不正なライトシーケンス 以下により bGPIOs_Level1_Config_StatusProtect ビットはセットやクリアされます。 ［セット］ 4006 7400h をライト ［クリア］ 4006 7401h をライト 「**5.4.1 GPIOs Level1 コンフィグレーションレジスタのプロテクトアクセス**」を参照。	R/W

5.3.4 rGPIOs_Level2_Config_[n] ― GPIO[n]マルチプレキシング Level2 コンフィグレーションレジスタ（n＝0～169（最大））

アドレス　5100 0000h＋4h×n

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	bGPIOs_Level2_IOFunction					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.7　rGPIOs_Level2_Config_[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット	0 がリードされます。	R
b5～b0	bGPIOs_Level2_IOFunction	GPIO 端子に割り当てるマルチプレキシング Level2 機能を選択 「**表 5.2 IO マルチプレクスコンフィグレーション Level2 一覧**」を参照。	R/W

注　意

ライトアクセスは bGPIOs_Level2_Config_StatusProtect ビットでプロテクトされています。

5.3.5 rGPIOs_Level2_StatusProtect — GPIO マルチプレキシング Level2 ステータスおよびプロテクトレジスタ

アドレス　5100 0400h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	bGPIOs_Level2_BadSequence	—	—	—	bGPIOs_Level2_Config_StatusProtect
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.8　rGPIOs_Level2_StatusProtect レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット	0 がリードされます。	R
b4	bGPIOs_Level2_Bad Sequence	不正シーケンス検出 rGPIOs_Level2_StatusProtect レジスタに不正なライトシーケンスが発生したとき 1 がセットされます。 以下のとき 0 クリアされます。 ● リセット ● 5100 0402h をライト	R/W
b3～b1	予約ビット	0 がリードされます。	R
b0	bGPIOs_Level2_Conf ig_StatusProtect	以下のレジスタのライトプロテクション ● rGPIOs_Level2_Config_[n] ● rGPIOs_Level2_Config_MDIO1 ● rGPIOs_Level2_Config_MDIO2 0：すべてのレジスタはライトプロテクトされ、リードオンリーです 1：すべてのレジスタはプロテクトされず、ライトリード可能です 以下のとき 0 クリアされます。 ● リセット ● レジスタで不正なライトシーケンス 以下により bGPIOs_Level2_Config_StatusProtect ビットはセットやクリアされます。 ［セット］ 5100 0400h をライト ［クリア］ 5100 0401h をライト 「**5.4.2 GPIOs Level2 コンフィグレーションレジスタのプロテクトアクセス**」を参照。	R/W

5.3.6 rGPIOs_Level2_Config_MDIO1 ― MDIO1 インタフェースコンフィグレーションレジスタ

アドレス　5100 0404h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	bGPIOs_Level2_Config_MDIO1		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.9　rGPIOs_Level2_Config_MDIO1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット	0 がリードされます。	R
b2～b0	bGPIOs_Level2_Config_MDIO1	MDIO1 インタフェースコンフィグレーション 3’b000：フローティング 3’b001：GMAC1 3’b010：GMAC2 3’b011：ETHERCAT 3’b100：SERCOSIII MDIO1 3’b101：SERCOSIII MDIO2 3’b110：HW-RTOS GMAC 3’b111：Advanced 5port Switch	R/W

注　意

ライトアクセスは bGPIOs_Level2_Config_StatusProtect ビットでプロテクトされています。

5.3.7 rGPIOs_Level2_Config_MDIO2 ― MDIO2 インタフェースコンフィグレーションレジスタ

アドレス 5100 0408h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	bGPIOs_Level2_Config_MDIO2		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.10　rGPIOs_Level2_Config_MDIO2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット	0 がリードされます。	R
b2～b0	bGPIOs_Level2_Config_MDIO2	MDIO2 インタフェースコンフィグレーション rGPIOs_Level2_Config_MDIO1 と同様	R/W

注　意

ライトアクセスは bGPIOs_Level2_Config_StatusProtect ビットでプロテクトされています。

5.3.8 rGPIOs_Level2_GPIO_Int_[n] ― GPIO_Int[n]割り込みコンフィグレーションレジスタ（n＝0～7）

GPIO_Int[n]（n＝0～7）（IRQ103～IRQ110）の割り込みラインのコンフィグレーション

アドレス　5100 0480h＋4h×n

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	bGPIOs_Level2_GPIO_Int						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 5.11　rGPIOs_Level2_GPIO_Int_[n]レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット	0 がリードされます。	R
b6～b0	bGPIOs_Level2_GPIO_Int	各割り込み GPIO_Int[n]に対して 3×32 の割り込みソースから一つの割り込みソースを選択 BGPIO1_Int[31:0]もしくは BGPIO2_Int[31:0]もしくは BGPIO3_Int[31:0] マルチプレキシング Level2 で使用される機能を選択： ● BGPIO1 から送られた割り込みソース： 7’b00_00000：BGPIO1_Int[0] .... 7’b00_11111：BGPIO1_Int[31] ● BGPIO2 から送られた割り込みソース： 7’b01_00000：BGPIO2_Int[0] .... 7’b01_11111：BGPIO2_Int[31] ● BGPIO3 から送られた割り込みソース： 7’b10_00000：BGPIO3_Int[0] .... 7’b10_11111：BGPIO3_Int[31] ● 上記以外の値 7’b11_xxxxx：予約	R/W

5.4 動作設定

5.4.1 GPIOs Level1 コンフィグレーションレジスタのプロテクトアクセス

想定外の動作によってレジスタが変更されることを防ぐプロテクトレジスタは、ライトの禁止／許可状態を変更するために特定の値をライトする必要があります。以下のレジスタへのライトを禁止／許可するには、bGPIOs_Level1_Config_StatusProtect をセット／クリアしてください。

rGPIOs_Level1_ConfigA_[n]

rGPIOs_Level1_ConfigB_[n]

- 非保護（ライト許可）状態へ　～bGPIOs_Level1_Config_StatusProtect をセット

  rGPIOs_Level1_StatusProtect に{rGPIOs_Level1_StatusProtect アドレスの上位 29 ビット、3’b000}をライト
  すなわち、*(4006 7400h)＝4006 7400h

- 保護（ライト禁止）状態へ　～bGPIOs_Level1_Config_StatusProtect をクリア

  rGPIOs_Level1_StatusProtect に{rGPIOs_Level1_StatusProtect アドレスの上位 29 ビット、3’b001}をライト
  すなわち、*(4006 7400h)＝4006 7401h

- 不正シーケンス検出ビットのクリア

  もし誤ったデータが rGPIOs_Level1_StatusProtect レジスタにライトされた場合、
  bGPIOs_Level1_BadSequence がセットされ
  bGPIOs_Level1_Config_StatusProtect がクリアされます。

  bGPIOs_Level1_BadSequence は以下によってクリアされます
  rGPIOs_Level1_StatusProtect に{rGPIOs_Level1_StatusProtect アドレスの上位 29 ビット、3’b010}をライト
  すなわち、*(4006 7400h)＝4006 7402h

5.4.2 GPIOs Level2 コンフィグレーションレジスタのプロテクトアクセス

想定外の動作によってレジスタが変更されることを防ぐプロテクトレジスタは、ライトの禁止／許可状態を変更するために特定の値をライトする必要があります。以下のレジスタへのライトを禁止／許可するには、bGPIOs_Level2_Config_StatusProtect をセット／クリアしてください。

rGPIOs_Level2_Config_[n]

rGPIOs_Level2_Config_MDIO1

rGPIOs_Level2_Config_MDIO2

- 非保護（ライト許可）状態へ　～bGPIOs_Level2_Config_StatusProtect をセット

  rGPIOs_Level2_StatusProtect に{rGPIOs_Level2_StatusProtect アドレスの上位 29 ビット、3’b000}をライト
  すなわち、*(5100 0400h)＝5100 0400h

- 保護（ライト禁止）状態へ　～bGPIOs_Level2_Config_StatusProtect をクリア

  rGPIOs_Level2_StatusProtect に{rGPIOs_Level2_StatusProtect アドレスの上位 29 ビット、3’b001}をライト
  すなわち、*(5100 0400h)＝5100 0401h

- 不正シーケンス検出ビットのクリア

  もし誤ったデータが rGPIOs_Level2_StatusProtect レジスタにライトされた場合、
  bGPIOs_Level2_BadSequence がセットされ
  bGPIOs_Level2_Config_StatusProtect がクリアされます。

  bGPIOs_Level2_BadSequence は以下によってクリアされます
  rGPIOs_Level2_StatusProtect に{rGPIOs_Level2_StatusProtect アドレスの上位 29 ビット、3’b010}をライト
  すなわち、*(5100 0400h)＝5100 0402h

5.4.3 GPIO 割り込みラインのコンフィグレーション

各 CPU への割り込みラインである GPIO_Int[n]は rGPIOs_Level2_GPIO_Int_[n]によって設定されます。
GPIO_Int[n]は BGPIO モジュールの 32 ビット×3 の割り込み出力から選択されます。

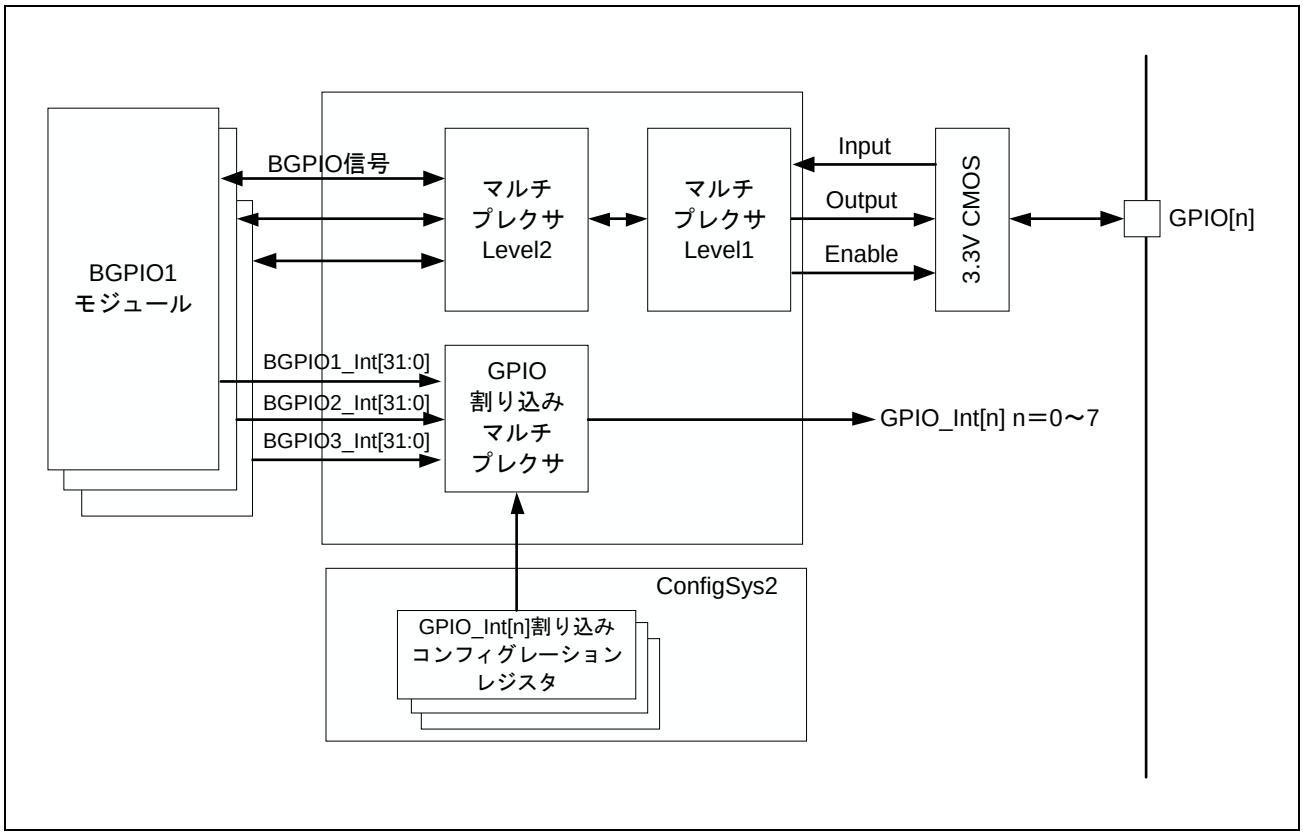


図 5.2　GPIO_Int[n]コンフィグレーション

第6章　システムコントロール

6.1　概要

RZ/N1 システムコントローラはクロック、リセット、NoC（Network-on-Chip）マネージメントとチップレベルの LSI コンフィグレーションのためのレジスタを含んでいます。詳細はクロック生成、リセット、動作モードの各章を参照してください。

6.2　レジスタマップ

表 6.1　クロック制御のレジスタマップ（1/2）

アドレス	レジスタシンボル	レジスタ名
4000 C00Ch	PWRCTRL_SDIO1	SDIO1 のパワーマネージメントコントロール
4000 C010h	PWRSTAT_SDIO1	SDIO1 のパワーマネージメントステータス
4000 C01Ch	PWRCTRL_USB	USB2.0 のパワーマネージメントコントロール
4000 C020h	PWRSTAT_USB	USB2.0 のパワーマネージメントステータス
4000 C02Ch	PWRCTRL_MSEBI	MSEBI のパワーマネージメントコントロール
4000 C030h	PWRSTAT_MSEBI	MSEBI のパワーマネージメントステータス
4000 C034h	PWRCTRL_PG0_0	PG0 のパワーマネージメントコントロール#0
4000 C038h	PWRSTAT_PG0	PG0 のパワーマネージメントステータス
4000 C03Ch	PWRCTRL_PG0_1	PG0 のパワーマネージメントコントロール#1
4000 C040h	PWRCTRL_PG1_1	PG1 のパワーマネージメントコントロール#1
4000 C044h	PWRCTRL_PG1_2	PG1 のパワーマネージメントコントロール#2
4000 C04Ch	PWRCTRL_DMA	DMAC1 と DMAC2 のパワーマネージメントコントロール
4000 C050h	PWRCTRL_NFLASH	NAND FLASH Controller のパワーマネージメントコントロール
4000 C054h	PWRCTRL_QSPI1	QSPI1 のパワーマネージメントコントロール
4000 C058h	PWRSTAT_DMA	DMAC1 と DMAC2 のパワーマネージメントステータス
4000 C05Ch	PWRSTAT_NFLASH	NAND FLASH Controller のパワーマネージメントステータス
4000 C060h	PWRSTAT_QSPI1	QSPI1 のパワーマネージメントステータス
4000 C064h	（RZ/N1D）PWRCTRL_DDRC	DDR Memory Controller のパワーマネージメントコントロール
	（RZ/N1S）PWRCTRL_QSPI2DIV	QSPI2 のクロック分周器コントロール
	（RZ/N1L）予約	
4000 C068h	PWRCTRL_EETH	外部 Ethernet クロックのパワーマネージメントコントロール
4000 C06Ch	PWRCTRL_MAC1	GMAC1 のパワーマネージメントコントロール
4000 C070h	PWRCTRL_MAC2	GMAC2 のパワーマネージメントコントロール
4000 C074h	（RZ/N1D）PWRSTAT_DDRC	DDR Memory Controller のパワーマネージメントステータス
	（RZ/N1S、RZ/N1L）予約	
4000 C078h	PWRSTAT_MAC1	GMAC1 のパワーマネージメントステータス
4000 C07Ch	PWRSTAT_MAC2	GMAC2 のパワーマネージメントステータス
4000 C080h	PWRCTRL_ECAT	ETHERCAT のパワーマネージメントコントロール
4000 C084h	PWRCTRL_SERCOS	SERCOSIII のパワーマネージメントコントロール
4000 C088h	PWRSTAT_ECAT	ETHERCAT のパワーマネージメントステータス
4000 C08Ch	PWRSTAT_SERCOS	SERCOSIII のパワーマネージメントステータス
4000 C090h	（RZ/N1D）PWRCTRL_HSR	HSR のパワーマネージメントコントロール
	（RZ/N1S）PWRCTRL_QSPI2	QSPI2 のパワーマネージメントコントロール
	（RZ/N1L）予約	
4000 C094h	PWRCTRL_SWITCHDIV	A5PSW のクロック分周器コントロール

表 6.1　クロック制御のレジスタマップ（2/2）

アドレス	レジスタシンボル	レジスタ名
4000 C098h	（RZ/N1D）PWRSTAT_HSR	HSR のパワーマネージメントステータス
	（RZ/N1S）PWRSTAT_QSPI2	QSPI2 のパワーマネージメントステータス
	（RZ/N1L）予約	
4000 C09Ch	PWRSTAT_SWITCH	A5PSW のパワーマネージメントステータス
4000 C0C8h	PWRCTRL_SDIO2	SDIO2 のパワーマネージメントコントロール
4000 C0CCh	PWRSTAT_SDIO2	SDIO2 のパワーマネージメントステータス
4000 C0E0h	PWRCTRL_OPPDIV	OPP モードのクロック分周器コントロール
4000 C0E4h	PWRCTRL_CA7DIV	CA7 のクロック分周器コントロール
4000 C0E8h	PWRCTRL_PG2_25MHZ	PG2 25MHz のパワーマネージメントコントロール
4000 C0ECh	PWRCTRL_PG1_PR2	PG1 Program2 のパワーマネージメントコントロール
4000 C0F0h	PWRCTRL_PG3_48MHZ	PG3 48MHz のパワーマネージメントコントロール
4000 C0F4h	PWRCTRL_PG4	PG4 のパワーマネージメントコントロール
4000 C0F8h	PWRCTRL_PG1_PR2DIV	PG1 Program2 のクロック分周器コントロール
4000 C0FCh	PWRCTRL_PG1_PR3	PG1 Program3 のパワーマネージメントコントロール
4000 C100h	PWRCTRL_PG1_PR3DIV	PG1 Program3 のクロック分周器コントロール
4000 C104h	PWRCTRL_PG1_PR4	PG1 Program4 のパワーマネージメントコントロール
4000 C108h	PWRCTRL_PG1_PR4DIV	PG1 Program4 のクロック分周器コントロール
4000 C10Ch	PWRCTRL_PG4_PR1	PG4 Program1 のパワーマネージメントコントロール
4000 C110h	PWRCTRL_PG4_PR1DIV	PG4 Program1 のクロック分周器コントロール
4000 C124h	PWRCTRL_QSPI1DIV	QSPI1 のクロック分周器コントロール
4000 C128h	PWRCTRL_SDIO1DIV	SDIO1 のクロック分周器コントロール
4000 C12Ch	PWRCTRL_SDIO2DIV	SDIO2 のクロック分周器コントロール
4000 C130h	PWRCTRL_SWITCH	A5PSW のパワーマネージメントコントロール
4000 C134h	PWRCTRL_PG0_ADCDIV	PG0 ADC のクロック分周器コントロール
4000 C138h	PWRCTRL_PG0_I2CDIV	PG0 I2C のクロック分周器コントロール
4000 C13Ch	PWRCTRL_PG0_UARTDIV	PG0 UART のクロック分周器コントロール
4000 C140h	PWRCTRL_RTC	RTC のパワーマネージメントコントロール
4000 C144h	PWRSTAT_RTC	RTC のパワーマネージメントステータス
4000 C148h	PWRCTRL_NFLASHDIV	NAND FLASH Controller のクロック分周器コントロール
4000 C154h	（RZ/N1D、RZ/N1S）PWRCTRL_ROM	ROM のパワーマネージメントコントロール
	（RZ/N1L）予約	
4000 C158h	PWRSTAT_PG1	PG1 のパワーマネージメントステータス
4000 C15Ch	PWRSTAT_PG2_25MHZ	PG2 25MHz のパワーマネージメントステータス
4000 C160h	PWRSTAT_PG3_48MHZ	PG3 48MHz のパワーマネージメントステータス
4000 C164h	PWRSTAT_PG4	PG4 のパワーマネージメントステータス
4000 C170h	（RZ/N1D、RZ/N1S）PWRSTAT_ROM	ROM のパワーマネージメントステータス
	（RZ/N1L）予約	
4000 C174h	PWRCTRL_CM3	CM3 のパワーマネージメントコントロール
4000 C178h	PWRSTAT_CM3	CM3 のパワーマネージメントステータス
4000 C17Ch	PWRSTAT_RINCTRL	R-IN Engine アクセサリレジスタのパワーマネージメントステータス
4000 C180h	PWRSTAT_SWITCHCTRL	イーサネットアクセサリレジスタのパワーマネージメントステータス
4000 C184h	PWRCTRL_RINCTRL	R-IN Engine アクセサリレジスタのパワーマネージメントコントロール
4000 C188h	PWRCTRL_SWITCHCTRL	イーサネットアクセサリレジスタのパワーマネージメントコントロール
4000 C18Ch	PWRCTRL_HWRTOS	HW-RTOS のパワーマネージメントコントロール
4000 C190h	PWRCTRL_HWRTOS_MDCDIV	HW-RTOS GMAC の MDC Clock のクロック分周器コントロール

表 6.2　リセット制御のレジスタマップ（1/2）

アドレス	レジスタシンボル	レジスタ名
4000 C00Ch	PWRCTRL_SDIO1	SDIO1 のパワーマネージメントコントロール
4000 C010h	PWRSTAT_SDIO1	SDIO1 のパワーマネージメントステータス
4000 C018h	SYSSTAT	システムステータスフラグレジスタ
4000 C01Ch	PWRCTRL_USB	USB2.0 のパワーマネージメントコントロール
4000 C020h	PWRSTAT_USB	USB2.0 のパワーマネージメントステータス
4000 C02Ch	PWRCTRL_MSEBI	MSEBI のパワーマネージメントコントロール
4000 C030h	PWRSTAT_MSEBI	MSEBI のパワーマネージメントステータス
4000 C034h	PWRCTRL_PG0_0	PG0 のパワーマネージメントコントロール#0
4000 C038h	PWRSTAT_PG0	PG0 のパワーマネージメントステータス
4000 C03Ch	PWRCTRL_PG0_1	PG0 のパワーマネージメントコントロール#1
4000 C040h	PWRCTRL_PG1_1	PG1 のパワーマネージメントコントロール#1
4000 C044h	PWRCTRL_PG1_2	PG1 のパワーマネージメントコントロール#2
4000 C04Ch	PWRCTRL_DMA	DMAC1 と DMAC2 のパワーマネージメントコントロール
4000 C050h	PWRCTRL_NFLASH	NAND FLASH Controller のパワーマネージメントコントロール
4000 C054h	PWRCTRL_QSPI1	QSPI1 のパワーマネージメントコントロール
4000 C058h	PWRSTAT_DMA	DMAC1 と DMAC2 のパワーマネージメントステータス
4000 C05Ch	PWRSTAT_NFLASH	NAND FLASH Controller のパワーマネージメントステータス
4000 C060h	PWRSTAT_QSPI1	QSPI1 のパワーマネージメントステータス
4000 C064h	（RZ/N1D）PWRCTRL_DDRC	DDR memory controller のパワーマネージメントコントロール
	（RZ/N1S）PWRCTRL_QSPI2DIV	QSPI2 のクロック分周器コントロール
	（RZ/N1L）予約	
4000 C068h	PWRCTRL_EETH	外部 Ethernet クロックのパワーマネージメントコントロール
4000 C06Ch	PWRCTRL_MAC1	GMAC1 のパワーマネージメントコントロール
4000 C070h	PWRCTRL_MAC2	GMAC2 のパワーマネージメントコントロール
4000 C074h	（RZ/N1D）PWRSTAT_DDRC	DDR memory controller のパワーマネージメントステータス
	（RZ/N1S、RZ/N1L）予約	
4000 C078h	PWRSTAT_MAC1	GMAC1 のパワーマネージメントステータス
4000 C07Ch	PWRSTAT_MAC2	GMAC2 のパワーマネージメントステータス
4000 C080h	PWRCTRL_ECAT	ETHERCAT のパワーマネージメントコントロール
4000 C084h	PWRCTRL_SERCOS	SERCOSIII のパワーマネージメントコントロール
4000 C088h	PWRSTAT_ECAT	ETHERCAT のパワーマネージメントステータス
4000 C08Ch	PWRSTAT_SERCOS	SERCOSIII のパワーマネージメントステータス
4000 C090h	（RZ/N1D）PWRCTRL_HSR	HSR のパワーマネージメントコントロール
	（RZ/N1S）PWRCTRL_QSPI2	QSPI2 のパワーマネージメントコントロール
	（RZ/N1L）予約	
4000 C098h	（RZ/N1D）PWRSTAT_HSR	HSR のパワーマネージメントステータス
	（RZ/N1S）PWRSTAT_QSPI2	QSPI2 のパワーマネージメントステータス
	（RZ/N1L）予約	
4000 C09Ch	PWRSTAT_SWITCH	A5PSW のパワーマネージメントステータス
4000 C0A8h	RSTSTAT	リセットステータスレジスタ
4000 C0C0h	USBSTAT	USBPLL のステータス情報
4000 C0C8h	PWRCTRL_SDIO2	SDIO2 のパワーマネージメントコントロール
4000 C0CCh	PWRSTAT_SDIO2	SDIO2 のパワーマネージメントステータス
4000 C0E8h	PWRCTRL_PG2_25MHZ	PG2 25MHz のパワーマネージメントコントロール
4000 C0ECh	PWRCTRL_PG1_PR2	PG1 Program2 のパワーマネージメントコントロール

表 6.2　リセット制御のレジスタマップ（2/2）

アドレス	レジスタシンボル	レジスタ名
4000 C0F0h	PWRCTRL_PG3_48MHZ	PG3 48MHz のパワーマネージメントコントロール
4000 C0F4h	PWRCTRL_PG4	PG4 のパワーマネージメントコントロール
4000 C0FCh	PWRCTRL_PG1_PR3	PG1 Program3 のパワーマネージメントコントロール
4000 C104h	PWRCTRL_PG1_PR4	PG1 Program4 のパワーマネージメントコントロール
4000 C10Ch	PWRCTRL_PG4_PR1	PG4 Program1 のパワーマネージメントコントロール
4000 C120h	RSTEN	リセットイネーブルレジスタ
4000 C130h	PWRCTRL_SWITCH	A5PSW のパワーマネージメントコントロール
4000 C140h	PWRCTRL_RTC	RTC のパワーマネージメントコントロール
4000 C144h	PWRSTAT_RTC	RTC のパワーマネージメントステータス
4000 C154h	（RZ/N1D、RZ/N1S）PWRCTRL_ROM	ROM のパワーマネージメントコントロール
	（RZ/N1L）予約	
4000 C158h	PWRSTAT_PG1	PG1 のパワーマネージメントステータス
4000 C15Ch	PWRSTAT_PG2_25MHZ	PG2 25MHz のパワーマネージメントステータス
4000 C160h	PWRSTAT_PG3_48MHZ	PG3 48MHz のパワーマネージメントステータス
4000 C164h	PWRSTAT_PG4	PG4 のパワーマネージメントステータス
4000 C170h	（RZ/N1D、RZ/N1S）PWRSTAT_ROM	ROM のパワーマネージメントステータス
	（RZ/N1L）予約	
4000 C174h	PWRCTRL_CM3	CM3 のパワーマネージメントコントロール
4000 C178h	PWRSTAT_CM3	CM3 のパワーマネージメントステータス
4000 C17Ch	PWRSTAT_RINCTRL	R-IN Engine アクセサリレジスタのパワーマネージメントステータス
4000 C180h	PWRSTAT_SWITCHCTRL	イーサネットアクセサリレジスタのパワーマネージメントステータス
4000 C184h	PWRCTRL_RINCTRL	R-IN Engine アクセサリレジスタのパワーマネージメントコントロール
4000 C188h	PWRCTRL_SWITCHCTRL	イーサネットアクセサリレジスタのパワーマネージメントコントロール
4000 C18Ch	PWRCTRL_HWRTOS	HW-RTOS のパワーマネージメントコントロール
4000 C198h	RSTCTRL	リセットコントロールレジスタ

表 6.3　システムコンフィグレーションのレジスタマップ

アドレス	レジスタシンボル	レジスタ名
4000 C000h	CFG_USB	USB モードコンフィグレーションレジスタ
4000 C004h	OPMODE	システムとブートのコンフィグレーションレジスタ
4000 C008h	CFG_SDIO1	SDIO1 コンフィグレーションレジスタ
4000 C014h	DBGCON	デバッグコントロールレジスタ
4000 C0A0h	CFG_DMAMUX	DMAC1 と DMAC2 のマルチプレクサレジスタ
4000 C0A4h	CFG_GPIOT_PTEN_1A	GPIO トリガイネーブルレジスタ 1A
4000 C0B0h	CFG_GPIOT_PTEN_1B	GPIO トリガイネーブルレジスタ 1B
4000 C0B4h	CFG_GPIOT_PTEN_2A	GPIO トリガイネーブルレジスタ 2A
4000 C0B8h	CFG_GPIOT_PTEN_2B	GPIO トリガイネーブルレジスタ 2B
4000 C0BCh	CFG_GPIOT_TSRC	GPIO トリガソースセレクトレジスタ
4000 C0C4h	CFG_SDIO2	SDIO2 コンフィグレーションレジスタ
4000 C0D8h	CFG_GPIOT_PTEN_3A	GPIO トリガイネーブルレジスタ 3A
4000 C0DCh	CFG_GPIOT_PTEN_3B	GPIO トリガイネーブルレジスタ 3B
4000 C19Ch	VERSION	プロダクトバージョンレジスタ
4000 C204h	BOOTADDR	Cortex-A7 プロセッサ 1 ブートアドレスコンフィグレーションレジスタ

6.3 レジスタ説明

6.3.1 PWRCTRL_SWITCHDIV ― A5PSW のクロック分周器コントロール

アドレス 4000 C094h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	DIV						
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	1	0	1

表 6.4　PWRCTRL_SWITCHDIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b7	予約ビット		R
b6～b0	DIV	A5PSW のクロック（A5PSW_SXCLK）のクロック分周値 有効なレンジ：5	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.2 PWRCTRL_OPPDIV ― OPP モードのクロック分周器コントロール

このレジスタはシステムのリファレンス周波数を変更します。この値は NoC のバス周波数と Cortex-A7 のクロックに直接的な影響を与えます。

アドレス　4000 C0E0h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	DIV				
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	1	0

表 6.5　PWRCTRL_OPPDIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b5	予約ビット		R
b4～b0	DIV	NoC clock のクロック分周値 有効な値：［2、4、8、16］	R/W

備　考

- RTC バックアップモードに移行する場合、このレジスタの値を初期値に変更しておく必要があります。
- BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。
- NoC のバス周波数変更はウォッチドッグタイマーのリファレンスクロック周波数に影響します。

6.3.3 PWRCTRL_CA7DIV ― CA7 のクロック分周器コントロール

アドレス　4000 C0E4h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	DIV		
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1	0

表 6.6　PWRCTRL_CA7DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b3	予約ビット		R
b2～b0	DIV	Cortex-A7 processor clock のクロック分周値 有効な値：［1、2、4］	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.4 PWRCTRL_PG1_PR2DIV ― PG1 Program2 のクロック分周器コントロール

アドレス　4000 C0F8h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	DIV							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	1	1	0	0

表 6.7　PWRCTRL_PG1_PR2DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b8	予約ビット		R
b7～b0	DIV	UART[m]_SCLK（m＝4～8）の PG1 Program2 クロック分周値 有効なレンジ：12～128	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.5 PWRCTRL_PG1_PR3DIV ― PG1 Program3 のクロック分周器コントロール

アドレス　4000 C100h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	DIV							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	1	0	0	0

表 6.8　PWRCTRL_PG1_PR3DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b8	予約ビット		R
b7～b0	DIV	SPI[m]_SCLK（m＝1～4）の PG1 Program3 のクロック分周値 有効なレンジ（周波数モードにも依存）：8～128 **備考）** SPI[m]_SCLK は NoC 以下の周波数としてください。	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.6 PWRCTRL_PG1_PR4DIV ― PG1 Program4 のクロック分周器コントロール

アドレス　4000 C108h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	DIV							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	1	0	0	0

表 6.9　PWRCTRL_PG1_PR4DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b8	予約ビット		R
b7～b0	DIV	SPI[m]_SCLK（m＝5、6）の PG1 Program4 のクロック分周値 有効なレンジ（周波数モードにも依存）：8～128 **備考）** SPI[m]_SCLK は NoC 以下の周波数としてください。	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.7 PWRCTRL_PG4_PR1DIV ― PG4 Program1 のクロック分周器コントロール

アドレス　4000 C110h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	DIV							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	1	1	0	0

表 6.10　PWRCTRL_PG4_PR1DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b8	予約ビット		R
b7～b0	DIV	PG4 Program1 のクロック分周値（LCD_ECLK） 有効なレンジ（周波数モードにも依存）：12～200 **備考）** LCD_ECLK は LCD_HCLK 未満の周波数としてください。	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.8 PWRCTRL_QSPI1DIV ― QSPI1 のクロック分周器コントロール

アドレス　4000 C124h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	DIV						
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	1	1	0

表 6.11　PWRCTRL_QSPI1DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b7	予約ビット		R
b6～b0	DIV	QSPI1_REFCLK のクロック分周値 有効なレンジ：4～64 **備考）** QSPI1_REFCLK は NoC より高い周波数としてください。	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.9 PWRCTRL_SDIO1DIV ― SDIO1 のクロック分周器コントロール

アドレス 4000 C128h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	DIV							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	1	0	1	0	0

表 6.12　PWRCTRL_SDIO1DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b8	予約ビット		R
b7～b0	DIV	SDIO1_ECLK のクロック分周値 有効なレンジ：20～100	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.10 PWRCTRL_SDIO2DIV ― SDIO2 のクロック分周器コントロール

アドレス　4000 C12Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	DIV							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	1	0	1	0	0

表 6.13　PWRCTRL_SDIO2DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b8	予約ビット		R
b7～b0	DIV	SDIO2_ECLK のクロック分周値 有効なレンジ：20～100	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.11 PWRCTRL_PG0_ADCDIV ― PG0 ADC のクロック分周器コントロール

アドレス　4000 C134h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	DIV									
リセット後の値	X	X	X	X	X	X	0	0	0	0	1	1	0	0	1	0

表 6.14　PWRCTRL_PG0_ADCDIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b10	予約ビット		R
b9～b0	DIV	ADC_CLK のクロック分周値 有効なレンジ：50～250	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.12 PWRCTRL_PG0_I2CDIV ― PG0 I2C のクロック分周器コントロール

アドレス　4000 C138h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	DIV						
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	1	1	0	0

表 6.15　PWRCTRL_PG0_I2CDIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b7	予約ビット		R
b6～b0	DIV	I2C[m]_SCLK（m＝1、2）のクロック分周値 有効なレンジ（周波数モードにも依存）：12～64 **備考）** I2C[m]_SCLK は I2C[m]_PCLK 以上の周波数としてください。	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.13 PWRCTRL_PG0_UARTDIV ― PG0 UART のクロック分周器コントロール

アドレス　4000 C13Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	DIV							
リセット後の値	X	X	X	X	X	X	X	X	0	0	0	0	1	1	0	0

表 6.16　PWRCTRL_PG0_UARTDIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b8	予約ビット		R
b7～b0	DIV	UART[m]_SCLK（m＝1～3）のクロック分周値 有効なレンジ：12～128	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.14 PWRCTRL_NFLASHDIV ― NAND FLASH Controller のクロック分周器コントロール

アドレス　4000 C148h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	DIV						
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	1	1	0	0

表 6.17　PWRCTRL_NFLASHDIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b7	予約ビット		R
b6～b0	DIV	NAND_ECLK のクロック分周値 有効なレンジ：12～64 **備考）** PWRCTRL_OPPDIV.DIV＝2 の場合、そのときの最大値は 32 です。	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.15 PWRCTRL_HWRTOS_MDCDIV ― HW-RTOS GMAC の MDC Clock のクロック分周器コントロール

アドレス　4000 C190h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	DIV									
リセット後の値	X	X	X	X	X	X	0	0	0	1	0	1	0	0	0	0

表 6.18　PWRCTRL_HWRTOS_MDCDIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b10	予約ビット		R
b9～b0	DIV	HWRTOS_MDCCLK のクロック分周値 有効な値：［80、160、320、640］	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.16 PWRCTRL_QSPI2DIV ― QSPI2 のクロック分周器コントロール

アドレス　4000 C064h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BUSY	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	DIV						
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	1	1	0

表 6.19　PWRCTRL_QSPI2DIV レジスタの内容

ビット位置	ビット名	機能	R/W
b31	BUSY	レジスタライト（BUSY＝1）は分周値変更のトリガです。レジスタリードは分周器のステータスを表示します。 1：分周設定変更中。DIV 値の変更は禁止です。変更した場合の動作は保証されません。 0：クロック設定は適用されています。DIV へ新しい設定をライト可能です。	R/W
b30～b7	予約ビット		R
b6～b0	DIV	QSPI2_REFCLK のクロック分周値 有効なレンジ：4～64 **備考）** QSPI2_REFCLK は NoC より高い周波数としてください。	R/W

備　考

BUSY フィールドがアサートされている時、このレジスタへのライトは禁止で、行うとバスエラー応答になります。

6.3.17 PWRCTRL_SDIO1 ― SDIO1 のパワーマネージメントコントロール

アドレス 4000 C00Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	CLKEN_B	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	1	1	0	1	1

表 6.20　PWRCTRL_SDIO1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット		R
b4	CLKEN_B	SDIO1_ECLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b3	MIREQ_A	SDIO1 の AHBM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	SDIO1 の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	SDIO1_HCLK ドメインのリセット。Active Low です。0 をセットすると、SDIO1 の NoC インターコネクトをリセットします。	R/W
b0	CLKEN_A	SDIO1_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.18 PWRSTAT_SDIO1 ― SDIO1 のパワーマネージメントステータス

アドレス　4000 C010h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.21　PWRSTAT_SDIO1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MISTAT_A	SDIO1 の AHBM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	SDIO1 の AHBM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	SDIO1 の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.19 SYSSTAT ― システムステータスフラグレジスタ

アドレス　4000 C018h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	PKGMODE	―	CA7_STANDBYWFIL2	CA7_STANDBYWFI		CA7_STANDBYWFE	
リセット後の値	X	X	X	X	X	X	X	X	X	0	1	0	0	0	0	0

表 6.22　SYSSTAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6	PKGMODE	パッケージタイプ （RZ/N1D） 0：400 pin パッケージ 1：324 pin パッケージ （RZ/N1S） 0：324 pin パッケージ 1：196 pin パッケージ （RZ/N1L） 1：196 pin パッケージ	R
b5	予約ビット		R
b4	CA7_STANDBYWFIL2	L2 メモリシステムが WFI ステートであることを表示します。WFI ステートにあるとき、すべての Cortex-A7 プロセッサは WFI ステートにあります。 0：L2 メモリシステムは WFI ステートにありません。 1：L2 メモリシステムは WFI ステートにあります。	R
b3、b2	CA7_STANDBYWFI	Cortex-A7 プロセッサが WFI ステートであることを表示します。 0：プロセッサは WFI ステートにありません。 1：プロセッサは WFI ステートにあります。 （RZ/N1D）ビット 3 はプロセッサ 1 を表しています。（RZ/N1S）予約 ビット 2 はプロセッサ 0 を表しています。	R
b1、b0	CA7_STANDBYWFE	Cortex-A7 プロセッサが WFE ステートであることを表示します。 0：プロセッサは WFE ステートにありません。 1：プロセッサは WFE ステートにあります。 （RZ/N1D）ビット 1 はプロセッサ 1 を表しています。（RZ/N1S）予約 ビット 0 はプロセッサ 0 を表しています。	R

備　考

RZ/N1L ではビット 5～0 は予約ビットです。

6.3.20 PWRCTRL_USB ― USB2.0 のパワーマネージメントコントロール

アドレス 4000 C01Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	RSTN_F	CLKEN_E	CLKEN_C	MIREQ_B	CLKEN_B	MIREQ_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1

表 6.23　PWRCTRL_USB レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7	RSTN_F	48MHz クロックドメインのリセット。Active Low です。0 をセットすると、すべての 48MHz クロックドメインをリセットします。	R/W
b6	CLKEN_E	USB_PCICLK のクロックイネーブル 0：無効 1：有効	R/W
b5	CLKEN_C	USB_HCLKPM（内部バス～Power Management）のクロックイネーブル 0：無効 1：有効	R/W
b4	MIREQ_B	USB Function の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b3	CLKEN_B	USB_HCLKF（内部バス～USB Function）のクロックイネーブル 0：無効 1：有効	R/W
b2	MIREQ_A	USB Host の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b1	RSTN_A	USB_HCLKH ドメインのリセット。Active Low です。0 をセットすると、USB の NoC インターコネクトをリセットします。	R/W
b0	CLKEN_A	USB_HCLKH（内部バス～USB Host）のクロックイネーブル 0：無効 1：有効	R/W

6.3.21 PWRSTAT_USB ― USB2.0 のパワーマネージメントステータス

アドレス　4000 C020h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_B	MIRACK_B	MISTAT_A	MIRACK_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 6.24　PWRSTAT_USB レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	MISTAT_B	USB Function の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b2	MIRACK_B	USB Function の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b1	MISTAT_A	USB Host の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b0	MIRACK_A	USB Host の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.22 PWRCTRL_MSEBI ― MSEBI のパワーマネージメントコントロール

アドレス 4000 C02Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	SLVRDY_B	RSTN_B	CLKEN_B	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	0	1	1	1	0	1	1

表 6.25　PWRCTRL_MSEBI レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6	SLVRDY_B	MSEBI master が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b5	RSTN_B	MSEBIM_HCLK ドメインのリセット。Active Low です。	R/W
b4	CLKEN_B	MSEBIM_HCLK のクロックイネーブル 0：無効 1：有効	R/W
b3	MIREQ_A	MSEBI slave の AHBM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	MSEBI slave の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	MSEBIS_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	MSEBIS_HCLK のクロックイネーブル 0：無効 1：有効	R/W

6.3.23 PWRSTAT_MSEBI ― MSEBI のパワーマネージメントステータス

アドレス 4000 C030h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	SCON_B	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0

表 6.26　PWRSTAT_MSEBI レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	SCON_B	MSEBI master の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b2	MISTAT_A	MSEBI slave の AHBM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	MSEBI slave の AHBM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	MSEBI slave の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.24 PWRCTRL_PG0_0 ― PG0 のパワーマネージメントコントロール#0

アドレス 4000 C034h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	UARTCLKSEL	RSTN_J2	CLKEN_J2	RSTN_J1	CLKEN_J1	RSTN_I2	CLKEN_I2	RSTN_I1	CLKEN_I1	RSTN_H2	CLKEN_H2	RSTN_H1	CLKEN_H1	SLVRDY_F	RSTN_F
リセット後の値	X	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLKEN_F	SLVRDY_E	RSTN_E	CLKEN_E	SLVRDY_D	RSTN_D	CLKEN_D	SLVRDY_C	RSTN_C	CLKEN_C	SLVRDY_B	RSTN_B	CLKEN_B	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	1	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1

表 6.27　PWRCTRL_PG0_0 レジスタの内容（1/2）

ビット位置	ビット名	機能	R/W
b31	予約ビット		R
b30	UARTCLKSEL	PG0 内のすべての UART[m]_SCLK（m＝1～3）ソースを選択[注1] 0：メイン PLL（PWRCTRL_PG0_UARTDIV で制御される分周器の出力） 1：USB_DCLK48（USBPLL 経由の 48MHz）クロック	R/W
b29	RSTN_J2	UART3_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b28	CLKEN_J2	UART3_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b27	RSTN_J1	UART3_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b26	CLKEN_J1	UART3_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W
b25	RSTN_I2	UART2_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b24	CLKEN_I2	UART2_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b23	RSTN_I1	UART2_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b22	CLKEN_I1	UART2_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W
b21	RSTN_H2	UART1_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b20	CLKEN_H2	UART1_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b19	RSTN_H1	UART1_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b18	CLKEN_H1	UART1_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W
b17	SLVRDY_F	ADC が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b16	RSTN_F	ADC_PCLK ドメインのリセット。Active Low です。	R/W
b15	CLKEN_F	ADC_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

表 6.27　PWRCTRL_PG0_0 レジスタの内容（2/2）

ビット位置	ビット名	機能	R/W
b14	SLVRDY_E	I2C2 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b13	RSTN_E	I2C2_PCLK ドメインのリセット。Active Low です。	R/W
b12	CLKEN_E	I2C2_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b11	SLVRDY_D	I2C1 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b10	RSTN_D	I2C1_PCLK ドメインのリセット。Active Low です。	R/W
b9	CLKEN_D	I2C1_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b8	SLVRDY_C	UART3 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b7	RSTN_C	UART3_PCLK ドメインのリセット。Active Low です。	R/W
b6	CLKEN_C	UART3_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b5	SLVRDY_B	UART2 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b4	RSTN_B	UART2_PCLK ドメインのリセット。Active Low です。	R/W
b3	CLKEN_B	UART2_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b2	SLVRDY_A	UART1 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	UART1_PCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	UART1_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

注1.　クロックマルチプレクサを変更する前に、両方のクロックをリセット後の値に戻し、USBPLL がロックされていることを確認してください。

注2.　この機能の適切な操作のため、USBPLL はロックされている必要があります。

6.3.25 PWRSTAT_PG0 ― PG0 のパワーマネージメントステータス

アドレス 4000 C038h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	SCON_P	―	―	SCON_F	SCON_E	SCON_D	SCON_C	SCON_B	SCON_A
リセット後の値	X	X	X	X	X	X	X	0	X	X	0	0	0	0	0	0

表 6.28　PWRSTAT_PG0 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b9	予約ビット		R
b8	SCON_P	PWMTimer の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b7～b6	予約ビット		R
b5	SCON_F	ADC の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b4	SCON_E	I2C2 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b3	SCON_D	I2C1 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b2	SCON_C	UART3 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b1	SCON_B	UART2 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b0	SCON_A	UART1 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.26 PWRCTRL_PG0_1 ― PG0 のパワーマネージメントコントロール#1

アドレス 4000 C03Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	SLVRDY_P	RSTN_P	CLKEN_P	RSTN_M	CLKEN_M	RSTN_L	CLKEN_L	RSTN_K	CLKEN_K	―	―	―	―	―	―
リセット後の値	X	0	1	1	1	1	1	1	1	1	X	X	X	X	X	X

表 6.29　PWRCTRL_PG0_1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b15	予約ビット		R
b14	SLVRDY_P	PWMTimer が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b13	RSTN_P	PWM_PCLK ドメインのリセット。Active Low です。	R/W
b12	CLKEN_P	PWM_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b11	RSTN_M	ADC_CLK ドメインのリセット。Active Low です。	R/W
b10	CLKEN_M	ADC_CLK のクロックイネーブル 0：無効 1：有効	R/W
b9	RSTN_L	I2C2_SCLK ドメインのリセット。Active Low です。	R/W
b8	CLKEN_L	I2C2_SCLK のクロックイネーブル 0：無効 1：有効	R/W
b7	RSTN_K	I2C1_SCLK ドメインのリセット。Active Low です。	R/W
b6	CLKEN_K	I2C1_SCLK のクロックイネーブル 0：無効 1：有効	R/W
b5～b0	予約ビット		R

6.3.27 PWRCTRL_PG1_1 ― PG1 のパワーマネージメントコントロール#1

アドレス 4000 C040h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	SLVRDY_J	RSTN_J	CLKEN_J	SLVRDY_I	RSTN_I	CLKEN_I	SLVRDY_H	RSTN_H	CLKEN_H	SLVRDY_G	RSTN_G	CLKEN_G	SLVRDY_F	RSTN_F
リセット後の値	X	X	0	1	1	0	1	1	0	1	1	0	1	1	0	1

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CLKEN_F	SLVRDY_E	RSTN_E	CLKEN_E	SLVRDY_D	RSTN_D	CLKEN_D	SLVRDY_C	RSTN_C	CLKEN_C	SLVRDY_B	RSTN_B	CLKEN_B	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	1	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1

表 6.30　PWRCTRL_PG1_1 レジスタの内容（1/2）

ビット位置	ビット名	機能	R/W
b31、b30	予約ビット		R
b29	SLVRDY_J	UART5 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b28	RSTN_J	UART5_PCLK ドメインのリセット。Active Low です。	R/W
b27	CLKEN_J	UART5_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b26	SLVRDY_I	UART4 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b25	RSTN_I	UART4_PCLK ドメインのリセット。Active Low です。	R/W
b24	CLKEN_I	UART4_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b23	SLVRDY_H	BGPIO2 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b22	RSTN_H	BGPIO2_PCLK ドメインのリセット。Active Low です。	R/W
b21	CLKEN_H	BGPIO2_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b20	SLVRDY_G	BGPIO1 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b19	RSTN_G	BGPIO1_PCLK ドメインのリセット。Active Low です。	R/W
b18	CLKEN_G	BGPIO1_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b17	SLVRDY_F	SPI6 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b16	RSTN_F	SPI6_PCLK ドメインのリセット。Active Low です。	R/W
b15	CLKEN_F	SPI6_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

表 6.30　PWRCTRL_PG1_1 レジスタの内容（2/2）

ビット位置	ビット名	機能	R/W
b14	SLVRDY_E	SPI5 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b13	RSTN_E	SPI5_PCLK ドメインのリセット。Active Low です。	R/W
b12	CLKEN_E	SPI5_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b11	SLVRDY_D	SPI4 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b10	RSTN_D	SPI4_PCLK ドメインのリセット。Active Low です。	R/W
b9	CLKEN_D	SPI4_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b8	SLVRDY_C	SPI3 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b7	RSTN_C	SPI3_PCLK ドメインのリセット。Active Low です。	R/W
b6	CLKEN_C	SPI3_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b5	SLVRDY_B	SPI2 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b4	RSTN_B	SPI2_PCLK ドメインのリセット。Active Low です。	R/W
b3	CLKEN_B	SPI2_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b2	SLVRDY_A	SPI1 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	SPI1_PCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	SPI1_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.28 PWRCTRL_PG1_2 ― PG1 のパワーマネージメントコントロール#2

アドレス 4000 C044h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	SLVRDY_N	RSTN_N	CLKEN_N	SLVRDY_M	RSTN_M	CLKEN_M	SLVRDY_L	RSTN_L	CLKEN_L	SLVRDY_K	RSTN_K	CLKEN_K
リセット後の値	1	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1

表 6.31　PWRCTRL_PG1_2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b18	予約ビット		R
b17～b12	予約ビット	初期値を維持してください。	R/W
b11	SLVRDY_N	BGPIO3 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b10	RSTN_N	BGPIO3_PCLK ドメインのリセット。Active Low です。	R/W
b9	CLKEN_N	BGPIO3_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b8	SLVRDY_M	UART8 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b7	RSTN_M	UART8_PCLK ドメインのリセット。Active Low です。	R/W
b6	CLKEN_M	UART8_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b5	SLVRDY_L	UART7 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b4	RSTN_L	UART7_PCLK ドメインのリセット。Active Low です。	R/W
b3	CLKEN_L	UART7_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b2	SLVRDY_K	UART6 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_K	UART6_PCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_K	UART6_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.29 PWRCTRL_DMA ― DMAC1 と DMAC2 のパワーマネージメントコントロール

アドレス 4000 C04Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	MIREQ_B	SLVRDY_B	RSTN_B	CLKEN_B	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	1	0	1	1	1	0	1	1

表 6.32　PWRCTRL_DMA レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7	MIREQ_B	DMAC2 の AHBM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b6	SLVRDY_B	DMAC2 の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b5	RSTN_B	DMA2_HCLK ドメインのリセット。Active Low です。	R/W
b4	CLKEN_B	DMA2_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b3	MIREQ_A	DMAC1 の AHBM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	DMAC1 の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	DMA1_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	DMA1_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.30 PWRCTRL_NFLASH ― NAND FLASH Controller のパワーマネージメントコントロール

アドレス　4000 C050h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	RSTN_B	CLKEN_B	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	1	1	1	0	1	1

表 6.33　PWRCTRL_NFLASH レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	RSTN_B	NAND_ECLK ドメインのリセット。Active Low です。	R/W
b4	CLKEN_B	NAND_ECLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b3	MIREQ_A	NAND Flash Controller の AHBM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	NAND Flash Controller の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	NAND_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	NAND_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.31 PWRCTRL_QSPI1 ― QSPI1 のパワーマネージメントコントロール

アドレス 4000 C054h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	RSTN_B	CLKEN_B	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	1	1	1	0	1	1

表 6.34　PWRCTRL_QSPI1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	RSTN_B	QSPI1_REFCLK ドメインのリセット。Active Low です。	R/W
b4	CLKEN_B	QSPI1_REFCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b3	MIREQ_A	QuadSPI1 の AHBS の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	QuadSPI1 の APBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	QSPI1_HCLK ドメイン、QSPI1_PCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	QSPI1_HCLK、QSPI1_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

備　考

QSP1 モジュールの動作中にリセットを行わないでください。

RZ/N1L ではこのレジスタの初期値は 0x37 です。

6.3.32 PWRSTAT_DMA ― DMAC1 と DMAC2 のパワーマネージメントステータス

アドレス 4000 C058h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	MISTAT_B	MIRACK_B	SCON_B	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0

表 6.35　PWRSTAT_DMA レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	MISTAT_B	DMAC2 の AHBM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b4	MIRACK_B	DMAC2 の AHBM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b3	SCON_B	DMAC2 の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b2	MISTAT_A	DMAC1 の AHBM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	DMAC1 の AHBM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	DMAC1 の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.33 PWRSTAT_NFLASH ― NAND FLASH Controller のパワーマネージメントステータス

アドレス 4000 C05Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.36　PWRSTAT_NFLASH レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MISTAT_A	NAND Flash Controller の AHBM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	NAND Flash Controller の AHBM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	NAND Flash Controller の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.34 PWRSTAT_QSPI1 ― QSPI1 のパワーマネージメントステータス

アドレス 4000 C060h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.37　PWRSTAT_QSPI1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MISTAT_A	QSPI1 の AHBS の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	QSPI1 の AHBS の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	QSPI1 の APBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.35 PWRCTRL_DDRC ― DDR Memory Controller のパワーマネージメントコントロール

アドレス 4000 C064h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	RSTN_B	CLKEN_B	RSTN_A	MIREQ_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	1	1	1	1	1

表 6.38　PWRCTRL_DDRC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット		R
b4	RSTN_B	DDR_DFICLK ドメインのリセット。Active Low です。	R/W
b3	CLKEN_B	DDR_DFICLK のクロックイネーブル 0：無効 1：有効	R/W
b2	RSTN_A	DDR_XCLK ドメインのリセット。Active Low です。	R/W
b1	MIREQ_A	DDR memory controller の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b0	CLKEN_A	DDR_XCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.36 PWRCTRL_EETH — 外部 Ethernet クロックのパワーマネージメントコントロール

アドレス 4000 C068h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CLKEN_C	CLKEN_B	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1

表 6.39　PWRCTRL_EETH レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	CLKEN_C	MII_REFCLK（External output）のクロックイネーブル 0：無効 1：有効	R/W
b1	CLKEN_B	RMII_REFCLK（External output）のクロックイネーブル 0：無効 1：有効	R/W
b0	CLKEN_A	RGMII_REFCLK（External input）のクロックイネーブル 0：無効 1：有効	R/W

6.3.37 PWRCTRL_MAC1 ― GMAC1 のパワーマネージメントコントロール

アドレス 4000 C06Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	1	0	0	1

表 6.40　PWRCTRL_MAC1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	MIREQ_A	GMAC1 の AXIM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	GMAC1 の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	GMAC1_XCLK ドメイン、GMAC1_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	GMAC1_XCLK、GMAC1_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.38 PWRCTRL_MAC2 ― GMAC2 のパワーマネージメントコントロール

アドレス 4000 C070h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	1	0	0	1

表 6.41　PWRCTRL_MAC2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	MIREQ_A	GMAC2 の AXIM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	GMAC2 の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	GMAC2_XCLK ドメイン、GMAC2_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	GMAC2_XCLK、GMAC2_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.39 PWRSTAT_DDRC ― DDR Memory Controller のパワーマネージメントステータス

アドレス 4000 C074h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 6.42　PWRSTAT_DDRC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b2	予約ビット		R
b1	MISTAT_A	DDR memory controller の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b0	MIRACK_A	DDR memory controller の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.40 PWRSTAT_MAC1 ― GMAC1 のパワーマネージメントステータス

アドレス 4000 C078h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.43　PWRSTAT_MAC1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MISTAT_A	GMAC1 の AXIM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	GMAC1 の AXIM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	GMAC1 の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.41 PWRSTAT_MAC2 ― GMAC2 のパワーマネージメントステータス

アドレス 4000 C07Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.44　PWRSTAT_MAC2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MISTAT_A	GMAC2 の AXIM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	GMAC2 の AXIM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	GMAC2 の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.42 PWRCTRL_ECAT ― ETHERCAT のパワーマネージメントコントロール

アドレス　4000 C080h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	CLKEN_C	RSTN_B	CLKEN_B	MIREQ_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	1	0	1	1	0	1

表 6.45　PWRCTRL_ECAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	CLKEN_C	ECAT_CLK100 のクロックイネーブル 0：無効 1：有効	R/W
b4	RSTN_B	ECAT_CLK25 ドメインのリセット。Active Low です。	R/W
b3	CLKEN_B	ECAT_CLK25 のクロックイネーブル 0：無効 1：有効	R/W
b2	MIREQ_A	ETHERCAT の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b1	RSTN_A	ECAT_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	ECAT_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.43 PWRCTRL_SERCOS ― SERCOSIII のパワーマネージメントコントロール

アドレス 4000 C084h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	CLKEN_C	CLKEN_B	RSTN_B	RSTN_A	MIREQ_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	1	1	0	0	1	1

表 6.46　PWRCTRL_SERCOS レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	CLKEN_C	SERCOS_CLK100 のクロックイネーブル 0：無効 1：有効	R/W
b4	CLKEN_B	SERCOS_CLK50 のクロックイネーブル 0：無効 1：有効	R/W
b3	RSTN_B	SERCOS_CLK50 ドメインのリセット。Active Low です。	R/W
b2	RSTN_A	SERCOS_HCLK ドメインのリセット。Active Low です。	R/W
b1	MIREQ_A	SERCOSIII の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b0	CLKEN_A	SERCOS_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.44 PWRSTAT_ECAT ― ETHERCAT のパワーマネージメントステータス

アドレス 4000 C088h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 6.47　PWRSTAT_ECAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b2	予約ビット		R
b1	MISTAT_A	ETHERCAT の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b0	MIRACK_A	ETHERCAT の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.45 PWRSTAT_SERCOS ― SERCOSIII のパワーマネージメントステータス

アドレス 4000 C08Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 6.48　PWRSTAT_SERCOS レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b2	予約ビット		R
b1	MISTAT_A	SERCOSIII の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b0	MIRACK_A	SERCOSIII の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.46 PWRCTRL_HSR ― HSR のパワーマネージメントコントロール

アドレス 4000 C090h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	RSTN_C	CLKEN_C	CLKEN_B	RSTN_A	MIREQ_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	1	1	0	1	1

表 6.49　PWRCTRL_HSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	RSTN_C	HSR_CLK50 ドメインのリセット。Active Low です。	R/W
b4	CLKEN_C	HSR_CLK50 のクロックイネーブル 0：無効 1：有効	R/W
b3	CLKEN_B	HSR_CLK100 のクロックイネーブル 0：無効 1：有効	R/W
b2	RSTN_A	HSR_HCLK ドメインのリセット。Active Low です。	R/W
b1	MIREQ_A	HSR の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b0	CLKEN_A	HSR_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.47 PWRCTRL_QSPI2 ― QSPI2 のパワーマネージメントコントロール

アドレス 4000 C090h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	RSTN_B	CLKEN_B	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	1	1	1	0	1	1

表 6.50　PWRCTRL_QSPI2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	RSTN_B	QSPI2_REFCLK ドメインのリセット。Active Low です。	R/W
b4	CLKEN_B	QSPI2_REFCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b3	MIREQ_A	QuadSPI2 の AHBS の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	QuadSPI2 の APBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	QSPI2_HCLK ドメイン、QSPI2_PCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	QSPI2_HCLK、QSPI2_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

備　考

QSP2 モジュールの動作中にリセットを行わないでください。

6.3.48 PWRSTAT_HSR ― HSR のパワーマネージメントステータス

アドレス 4000 C098h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 6.51　PWRSTAT_HSR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b2	予約ビット		R
b1	MISTAT_A	HSR の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b0	MIRACK_A	HSR の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.49 PWRSTAT_QSPI2 ― QSPI2 のパワーマネージメントステータス

アドレス 4000 C098h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.52　PWRSTAT_QSPI2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MISTAT_A	QSPI2 の AHBS の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	QSPI2 の AHBS の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	QSPI2 の APBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.50 PWRSTAT_SWITCH ― A5PSW のパワーマネージメントステータス

アドレス 4000 C09Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 6.53　PWRSTAT_SWITCH レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	SCON_A	A5PSW の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.51 RSTSTAT ― リセットステータスレジスタ

アドレス　4000 C0A8h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORRST_ST	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	1	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	SWRST_ST	CM3SYSRESET_ST	CM3LOCKUPRST_ST	WDM3RST_ST	WDA7RST_ST		―
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0	X

表 6.54　RSTSTAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31	PORRST_ST	外部（パワーオン）リセットが実行されたかどうかのステータスビット 0：外部（パワーオン）リセットを実行していません。 1：外部（パワーオン）リセットを実行しました。	R/W
b30～b7	予約ビット		R
b6	SWRST_ST	ソフトウェアリセットのステータスビット 0：ソフトウェアトリガのリセットを実行していません。 1：ソフトウェアトリガのリセットを実行しました。	R/W
b5	CM3SYSRESET_ST	Cortex-M3 の SYSRESETREQ によるリセットのステータスビット 0：Cortex-M3 トリガのシステムリセットを実行していません。 1：Cortex-M3 トリガのシステムリセットを実行しました。	R/W
b4	CM3LOCKUPRST_ST	Cortex-M3 Core Lockup によるリセットのステータスビット 0：Cortex-M3 Lockup トリガのシステムリセットを実行していません。 1：Cortex-M3 Lockup トリガのシステムリセットを実行しました。	R/W
b3	WDM3RST_ST	Cortex-M3 watchdog によるリセットのステータスビット 0：watchdog トリガのシステムリセットを実行していません。 1：watchdog トリガのシステムリセットを実行しました。	R/W
b2、b1	WDA7RST_ST	Cortex-A7 watchdog によるリセットのステータスビット 0：watchdog トリガのシステムリセットを実行していません。 1：watchdog トリガのシステムリセットを実行しました。 ビット 2（RZ/N1D）Cortex-A7 プロセッサ 1 watchdog リセット（RZ/N1S、RZ/N1L）予約 ビット 1（RZ/N1D、RZ/N1S）Cortex-A7 プロセッサ 0 watchdog リセット（RZ/N1L）予約	R/W
b0	予約ビット		R

備　考

これらのステータスビットは 1 をライトすることによってクリアされます。

6.3.52 USBSTAT ― USBPLL のステータス情報

アドレス 4000 C0C0h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	PLL_LOCK
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 6.55　USBSTAT レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	PLL_LOCK	USBPLL のステータス 0：アンロック 1：ロック	R

備　考

USBPLL がロックした後、USBPLL のクロックで動作しているモジュールへのアクセスを開始してください。ロック前にアクセスした場合、システムがハングアップすることがあります。

注　意

USB モジュールの特定のレジスタアクセス（たとえば PLL_RST）や USB モジュールをリセットすることによって USBPLL はアンロックされます。

6.3.53 PWRCTRL_SDIO2 ― SDIO2 のパワーマネージメントコントロール

アドレス 4000 C0C8h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	CLKEN_B	MIREQ_A	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	1	1	0	1	1

表 6.56　PWRCTRL_SDIO2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット		R
b4	CLKEN_B	SDIO2_ECLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b3	MIREQ_A	SDIO2 の AHBM の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b2	SLVRDY_A	SDIO2 の AHBS が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	SDIO2_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	SDIO2_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.54 PWRSTAT_SDIO2 ― SDIO2 のパワーマネージメントステータス

アドレス 4000 C0CCh

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.57　PWRSTAT_SDIO2 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MISTAT_A	SDIO2 の AHBM の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b1	MIRACK_A	SDIO2 の AHBM の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b0	SCON_A	SDIO2 の AHBS の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.55 PWRCTRL_PG2_25MHZ ― PG2 25MHz のパワーマネージメントコントロール

アドレス　4000 C0E8h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	0	1	1	0	1	1	0	1

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	SLVRDY_S	RSTN_S	CLKEN_S	SLVRDY_R	RSTN_R	CLKEN_R	SLVRDY_Q	RSTN_Q	CLKEN_Q
リセット後の値	1	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1

表 6.58　PWRCTRL_PG2_25MHZ レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b24	予約ビット		R
b23～b9	予約ビット	初期値を維持してください。	R/W
b8	SLVRDY_S	TIMER2 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b7	RSTN_S	TIMER2_PCLK ドメインのリセット。Active Low です。	R/W
b6	CLKEN_S	TIMER2_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b5	SLVRDY_R	TIMER1 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b4	RSTN_R	TIMER1_PCLK ドメインのリセット。Active Low です。	R/W
b3	CLKEN_R	TIMER1_PCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b2	SLVRDY_Q	ConfigSys2 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_Q	PG2_PCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_Q	PG2_PCLK（ConfigSys2 の内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.56 PWRCTRL_PG1_PR2 ― PG1 Program2 のパワーマネージメントコントロール

アドレス　4000 C0ECh

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	UARTCLKSEL	―	―	―	―	RSTN_AK2	CLKEN_AK2	RSTN_AK1	CLKEN_AK1
リセット後の値	X	X	X	X	X	X	X	0	1	1	1	1	1	1	1	1

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RSTN_AJ2	CLKEN_AJ2	RSTN_AJ1	CLKEN_AJ1	RSTN_AI2	CLKEN_AI2	RSTN_AI1	CLKEN_AI1	RSTN_AH2	CLKEN_AH2	RSTN_AH1	CLKEN_AH1	RSTN_AG2	CLKEN_AG2	RSTN_AG1	CLKEN_AG1
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

表 6.59　PWRCTRL_PG1_PR2 レジスタの内容（1/2）

ビット位置	ビット名	機能	R/W
b31～b25	予約ビット		R
b24	UARTCLKSEL	PG1 内のすべての UART[m]_SCLK の（m＝4～8）ソースを選択[注1] 0：メイン PLL（PWRCTRL_PG1_PR2DIV で制御される分周器の出力） 1：USB_DCLK48（USBPLL 経由の 48MHz）クロック	R/W
b23～b20	予約ビット	初期値を維持してください。	R/W
b19	RSTN_AK2	UART8_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b18	CLKEN_AK2	UART8_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b17	RSTN_AK1	UART8_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b16	CLKEN_AK1	UART8_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W
b15	RSTN_AJ2	UART7_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b14	CLKEN_AJ2	UART7_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b13	RSTN_AJ1	UART7_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b12	CLKEN_AJ1	UART7_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W
b11	RSTN_AI2	UART6_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b10	CLKEN_AI2	UART6_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b9	RSTN_AI1	UART6_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b8	CLKEN_AI1	UART6_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W

表 6.59　PWRCTRL_PG1_PR2 レジスタの内容（2/2）

ビット位置	ビット名	機能	R/W
b7	RSTN_AH2	UART5_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b6	CLKEN_AH2	UART5_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b5	RSTN_AH1	UART5_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b4	CLKEN_AH1	UART5_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W
b3	RSTN_AG2	UART4_SCLK ドメインのリセット[注2]（USB_DCLK48 選択時）。Active Low です。	R/W
b2	CLKEN_AG2	UART4_SCLK のクロックイネーブル[注2]（USB_DCLK48 選択時） 0：無効 1：有効	R/W
b1	RSTN_AG1	UART4_SCLK ドメインのリセット（メイン PLL 選択時）。Active Low です。	R/W
b0	CLKEN_AG1	UART4_SCLK のクロックイネーブル（メイン PLL 選択時） 0：無効 1：有効	R/W

注1.　クロックマルチプレクサを変更する前に、両方のクロックをリセット後の値に戻し、USBPLL がロックされていることを確認してください。

注2.　この機能の適切な操作のため、USBPLL はロックされている必要があります。

6.3.57 PWRCTRL_PG3_48MHZ ― PG3 48MHz のパワーマネージメントコントロール

注　意

USBPLL がロックした後、Peripheral Group 3 へのアクセスしてください。ロック前にアクセスした場合、システムがハングアップすることがあります。

アドレス　4000 C0F0h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	MIREQ_UF	RSTN_UF	CLKEN_UF	―	―	―	SLVRDY_AA	RSTN_AA	CLKEN_AA	SLVRDY_Z	RSTN_Z	CLKEN_Z	―	―	―
リセット後の値	X	1	1	1	0	1	1	0	1	1	0	1	1	0	1	1

表 6.60　PWRCTRL_PG3_48MHZ レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b15	予約ビット		R
b14	MIREQ_UF	Peripheral Group 3 の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b13	RSTN_UF	Peripheral Group 3 のリセット。Active Low です。	R/W
b12	CLKEN_UF	Peripheral Group 3 のクロックイネーブル 0：無効 1：有効	R/W
b11～b9	予約ビット	初期値を維持してください。	R/W
b8	SLVRDY_AA	CAN2 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b7	RSTN_AA	CAN2_HCLK ドメインのリセット。Active Low です。	R/W
b6	CLKEN_AA	CAN2_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b5	SLVRDY_Z	CAN1 が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b4	RSTN_Z	CAN1_HCLK ドメインのリセット。Active Low です。	R/W
b3	CLKEN_Z	CAN1_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b2～b0	予約ビット	初期値を維持してください。	R/W

6.3.58 PWRCTRL_PG4 ― PG4 のパワーマネージメントコントロール

アドレス 4000 C0F4h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	MIREQ_UI	RSTN_UI	CLKEN_UI	―	―	―	―	―	―	SLVRDY_AD	RSTN_AD	CLKEN_AD	SLVRDY_AC	RSTN_AC	CLKEN_AC
リセット後の値	X	1	1	1	0	1	1	0	1	1	0	1	1	0	1	1

表 6.61　PWRCTRL_PG4 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b15	予約ビット		R
b14	MIREQ_UI	Peripheral Group 4 の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求	R/W
b13	RSTN_UI	Peripheral Group 4 のリセット。Active Low です。	R/W
b12	CLKEN_UI	Peripheral Group 4 のクロックイネーブル 0：無効 1：有効	R/W
b11～b6	予約ビット	初期値を維持してください。	R/W
b5	SLVRDY_AD	Semaphore が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b4	RSTN_AD	SEMAP_HCLK ドメインのリセット。Active Low です。	R/W
b3	CLKEN_AD	SEMAP_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W
b2	SLVRDY_AC	LCDC が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_AC	LCD_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_AC	LCD_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.59 PWRCTRL_PG1_PR3 ― PG1 Program3 のパワーマネージメントコントロール

アドレス 4000 C0FCh

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	RSTN_AP	CLKEN_AP	RSTN_AO	CLKEN_AO	RSTN_AN	CLKEN_AN	RSTN_AM	CLKEN_AM
リセット後の値	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1

表 6.62　PWRCTRL_PG1_PR3 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7	RSTN_AP	SPI4_SCLK ドメインのリセット。Active Low です。	R/W
b6	CLKEN_AP	SPI4_SCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b5	RSTN_AO	SPI3_SCLK ドメインのリセット。Active Low です。	R/W
b4	CLKEN_AO	SPI3_SCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b3	RSTN_AN	SPI2_SCLK ドメインのリセット。Active Low です。	R/W
b2	CLKEN_AN	SPI2_SCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b1	RSTN_AM	SPI1_SCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_AM	SPI1_SCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W

6.3.60 PWRCTRL_PG1_PR4 ― PG1 Program4 のパワーマネージメントコントロール

アドレス 4000 C104h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	RSTN_AR	CLKEN_AR	RSTN_AQ	CLKEN_AQ
リセット後の値	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1

表 6.63　PWRCTRL_PG1_PR4 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b4	予約ビット	初期値を維持してください。	R/W
b3	RSTN_AR	SPI6_SCLK ドメインのリセット。Active Low です。	R/W
b2	CLKEN_AR	SPI6_SCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W
b1	RSTN_AQ	SPI5_SCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_AQ	SPI5_SCLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W

6.3.61 PWRCTRL_PG4_PR1 ― PG4 Program1 のパワーマネージメントコントロール

アドレス　4000 C10Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	RSTN_AU	CLKEN_AU
リセット後の値	X	X	X	X	X	X	X	X	1	1	1	1	1	1	1	1

表 6.64　PWRCTRL_PG4_PR1 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b8	予約ビット		R
b7～b2	予約ビット	初期値を維持してください。	R/W
b1	RSTN_AU	LCD_ECLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_AU	LCD_ECLK（外部インタフェース）のクロックイネーブル 0：無効 1：有効	R/W

6.3.62 RSTEN ― リセットイネーブルレジスタ

このレジスタはシステムリセットソースを個別に有効/無効にできます。（RSTCTRL レジスタ内で）アクティブになっているシステムリセット要求に対応するビットを有効にすると、システムがリセットされます。

アドレス　4000 C120h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	SWRST_EN	CM3SYSRESET_EN	CM3LOCKUPRST_EN	WDM3RST_EN	WDA7RST_EN		MRESET_EN
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0

表 6.65　RSTEN レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6	SWRST_EN	ソフトウェアによるシステムリセット（RSTCTRL レジスタ SWRST_REQ ビット）のイネーブルビット 0：無効 1：有効	R/W
b5	CM3SYSRESET_EN	Cortex-M3 の SYSRESETREQ によるリセットのイネーブルビット 0：無効 1：有効	R/W
b4	CM3LOCKUPRST_EN	Cortex-M3 Core Lockup リセットのイネーブルビット 0：無効 1：有効	R/W
b3	WDM3RST_EN	Cortex-M3 Core watchdog リセットのイネーブルビット 0：無効 1：有効	R/W
b2、b1	WDA7RST_EN	Cortex-A7 watchdog リセットのイネーブルビット 0：無効 1：有効 ビット 2（RZ/N1D）Cortex-A7 プロセッサ 1 watchdog リセット要求（RZ/N1S、RZ/N1L）予約 ビット 1（RZ/N1D、RZ/N1S）Cortex-A7 プロセッサ 0 watchdog リセット要求（RZ/N1L）予約	R/W
b0	MRESET_EN	システムリセットのイネーブルビット 本ビットが 1 のときビット 6～1 が有効になります。	R/W

6.3.63 PWRCTRL_SWITCH ― A5PSW のパワーマネージメントコントロール

アドレス 4000 C130h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	RSTN_B	CLKEN_B	SLVRDY_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	1	0	1

表 6.66　PWRCTRL_SWITCH レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	RSTN_B	A5PSW_SXCLK ドメインのリセット。Active Low です。	R/W
b2	CLKEN_B	A5PSW_SXCLK（コアクロック）のクロックイネーブル 0：無効 1：有効	R/W
b1	SLVRDY_A	A5PSW が接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b0	CLKEN_A	A5PSW_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.64 PWRCTRL_RTC ― RTC のパワーマネージメントコントロール

ソフトウェアアクセスのために RTC を有効にするには以下の手順を実施してください。

1. RST_RTC を解除する。
2. RTC_PCLK を有効にする。
3. RSTN_FW_RTC を解除する。
4. IDLE_REQ を解除する。

アドレス　4000 C140h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	RSTN_FW_RTC	IDLE_REQ	RST_RTC	CLKEN_RTC
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	1	0	0

表 6.67　PWRCTRL_RTC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	RSTN_FW_RTC	RTC の NoC インターコネクトのソフトウェアリセット。Active Low です。 0：リセット 1：リセット解除	R/W
b2	IDLE_REQ	RTC の NoC インターコネクトへの切断要求 1：切断要求 0：接続要求	R/W
b1	RST_RTC	RTC_PCLK ドメインのリセット。Active High です。 1：リセット 0：リセット解除	R/W
b0	CLKEN_RTC	RTC_PCLK（内部バス）のクロックイネーブル 1：RTC の APB とインターコネクトのクロックが On 0：クロックが Off	R/W

6.3.65 PWRSTAT_RTC ― RTC のパワーマネージメントステータス

アドレス 4000 C144h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	PWR_GOOD	RTC_IDLE	RTC_IACK
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.68　PWRSTAT_RTC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	PWR_GOOD	RTC_PWRGOOD 信号のステータスの表示	R
b1	RTC_IDLE	RTC の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b0	RTC_IACK	RTC の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R

備　考

クロックゲーティングやソフトウェアリセットを実施する場合、切断状態（RTC_IDLE＝1）である必要があります。

6.3.66 PWRCTRL_ROM ― ROM のパワーマネージメントコントロール

アドレス 4000 C154h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1

表 6.69　PWRCTRL_ROM レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	SLVRDY_A	接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	ROM_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	ROM_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.67 PWRSTAT_PG1 ― PG1 のパワーマネージメントステータス

アドレス 4000 C158h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	SCON_N	SCON_M	SCON_L	SCON_K	SCON_J	SCON_I	SCON_H	SCON_G	SCON_F	SCON_E	SCON_D	SCON_C	SCON_B	SCON_A
リセット後の値	X	X	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.70　PWRSTAT_PG1 レジスタの内容（1/2）

ビット位置	ビット名	機能	R/W
b31～b14	予約ビット		R
b13	SCON_N	BGPIO3 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b12	SCON_M	UART8 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b11	SCON_L	UART7 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b10	SCON_K	UART6 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b9	SCON_J	UART5 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b8	SCON_I	UART4 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b7	SCON_H	BGPIO2 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b6	SCON_G	BGPIO1 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b5	SCON_F	SPI6 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b4	SCON_E	SPI5 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b3	SCON_D	SPI4 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b2	SCON_C	SPI3 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

表 6.70　PWRSTAT_PG1 レジスタの内容（2/2）

ビット位置	ビット名	機能	R/W
b1	SCON_B	SPI2 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b0	SCON_A	SPI1 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.68 PWRSTAT_PG2_25MHZ ― PG2 25MHz のパワーマネージメントステータス

アドレス 4000 C15Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	SCON_S	SCON_R	SCON_Q
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0

表 6.71　PWRSTAT_PG2_25MHZ レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	SCON_S	TIMER2 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b1	SCON_R	TIMER1 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b0	SCON_Q	ConfigSys2 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.69 PWRSTAT_PG3_48MHZ ― PG3 48MHz のパワーマネージメントステータス

アドレス 4000 C160h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	MISTAT_UF	MIRACK_UF	―	SCON_AA	SCON_Z	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	X	0	0	X

表 6.72　PWRSTAT_PG3_48MHZ レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	MISTAT_UF	Peripheral Group 3 の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b4	MIRACK_UF	Peripheral Group 3 の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b3	予約ビット		R
b2	SCON_AA	CAN2 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b1	SCON_Z	CAN1 の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b0	予約ビット		R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.70 PWRSTAT_PG4 ― PG4 のパワーマネージメントステータス

アドレス 4000 C164h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	MISTAT_UI	MIRACK_UI	―	―	SCON_AD	SCON_AC
リセット後の値	X	X	X	X	X	X	X	X	X	X	0	0	X	X	0	0

表 6.73　PWRSTAT_PG4 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b6	予約ビット		R
b5	MISTAT_UI	Peripheral Group 4 の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b4	MIRACK_UI	Peripheral Group 4 の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R
b3、b2	予約ビット		R
b1	SCON_AD	Semaphore の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R
b0	SCON_AC	LCDC の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.71 PWRSTAT_ROM ― ROM のパワーマネージメントステータス

アドレス 4000 C170h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 6.74　PWRSTAT_ROM レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	SCON_A	ROM の NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.72 PWRCTRL_CM3 ― CM3 のパワーマネージメントコントロール

アドレス　4000 C174h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	MIREQ_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	1	0	1

表 6.75　PWRCTRL_CM3 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	MIREQ_A	Cortex-M3 の NoC インターコネクトへの切断要求 0：接続要求 1：切断要求 Cortex-M3 のクロックとリセットのドメインが RIN BUS サブシステムに属していることに注意してください。そのため、PWRCTRL_RINCTRL のクロックとリセットを適切に制御してください。	R/W
b1	RSTN_A	CM3_HCLK ドメイン、CM3_FCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	CM3_HCLK、CM3_FCLK のクロックイネーブル 0：無効 1：有効	R/W

備　考

Cortex-M3 のリセットリクエストは、NoC インターコネクトで保留中のトランザクションがない場合（たとえば、Cortex-M3 が WFE ステート）のみ実施できます。Cortex-M3 バス動作が中断されると、NoC インターコネクトはハングアップします。RZ/N1L ではこのレジスタの初期値は 0x3 です。

6.3.73 PWRSTAT_CM3 ― CM3 のパワーマネージメントステータス

アドレス 4000 C178h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	MISTAT_A	MIRACK_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0	0

表 6.76　PWRSTAT_CM3 レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b2	予約ビット		R
b1	MISTAT_A	Cortex-M3 の NoC インターコネクトの接続状態 0：接続状態 1：切断状態	R
b0	MIRACK_A	Cortex-M3 の切断要求に対する応答 0：切断要求応答なし 1：切断要求応答あり	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.74 PWRSTAT_RINCTRL ― R-IN Engine アクセサリレジスタのパワーマネージメントステータス

RINBUS_HCLK のゲーティングにより、R-IN Engine アクセサリレジスタブロックの RINBUS_HCLK で動作する 2MB SRAM の動作は保証されません。

アドレス　4000 C17Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 6.77　PWRSTAT_RINCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	SCON_A	R-IN Engine アクセサリレジスタの NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.75 PWRSTAT_SWITCHCTRL ― イーサネットアクセサリレジスタのパワーマネージメントステータス

アドレス 4000 C180h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	SCON_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	0

表 6.78　PWRSTAT_SWITCHCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b1	予約ビット		R
b0	SCON_A	イーサネットアクセサリレジスタの NoC インターコネクトの接続状態 0：切断状態 1：接続状態	R

備　考

モジュールに対してクロックゲーティングやソフトウェアリセットを行う場合、モジュールの NoC インターコネクトがすべて切断状態（SCON＝0 および MISTAT＝1）の場合にのみ行ってください。

6.3.76 PWRCTRL_RINCTRL ― R-IN Engine アクセサリレジスタのパワーマネージメントコントロール

RINBUS_HCLK のゲーティングにより、R-IN Engine アクセサリレジスタブロックの RINBUS_HCLK で動作する 2MB SRAM の動作は保証されません。

Cortex-M3 動作中に RINBUS_HCLK をゲーティングすることにより、Cortex-M3 がアクセスに使用する RIN BUS サブシステムが停止するため、ハングアップします。

アドレス　4000 C184h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	0	1	1

表 6.79　PWRCTRL_RINCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	SLVRDY_A	R-IN Engine アクセサリレジスタが接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	RINBUS_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	RINBUS_HCLK（内部バス）のクロックイネーブル 0：無効 1：有効	R/W

6.3.77 PWRCTRL_SWITCHCTRL — イーサネットアクセサリレジスタのパワーマネージメントコントロール

アドレス 4000 C188h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	RSTN_ETH	RSTN_CLK25	SLVRDY_A	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	0	0	0	1	1

表 6.80　PWRCTRL_SWITCHCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b5	予約ビット		R
b4	RSTN_ETH	RGMII/RMII コンバータ（50MHz）のリセット。Active Low です。	R/W
b3	RSTN_CLK25	タイムスタンプ信号の選択回路のリセット。Active Low です。	R/W
b2	SLVRDY_A	イーサネットアクセサリレジスタが接続可能であることを NoC インターコネクトに通知します。 0：接続不可 1：接続可	R/W
b1	RSTN_A	RINEG_HCLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	RINEG_HCLK（内部バス～イーサネットアクセサリレジスタ）のクロックイネーブル 0：無効 1：有効	R/W

6.3.78 PWRCTRL_HWRTOS ― HW-RTOS のパワーマネージメントコントロール

アドレス 4000 C18Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	CLKEN_B	RSTN_A	CLKEN_A
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	1	1	1

表 6.81　PWRCTRL_HWRTOS レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	CLKEN_B	HWRTOS_MDCCLK のクロックイネーブル 0：無効 1：有効	R/W
b1	RSTN_A	HWRTOS_CLK ドメインのリセット。Active Low です。	R/W
b0	CLKEN_A	HWRTOS_CLK のクロックイネーブル 0：無効 1：有効	R/W

6.3.79 RSTCTRL ― リセットコントロールレジスタ

ソフトウェアによるシステムリセットを開始するため、もしくは現在のハードウェアシステムリセットソースのいずれかがシステムリセットを要求しているかどうかを識別するためにこのレジスタを使用できます。

アドレス　4000 C198h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	SWRST_REQ	CM3SYSRESET_REQ	CM3LOCKUPRST_REQ	WDM3RST_REQ	WDA7RST_REQ		―
リセット後の値	X	X	X	X	X	X	X	X	X	0	0	0	0	0	0	X

表 6.82　RSTCTRL レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6	SWRST_REQ	ソフトウェアによるシステムリセット要求 0：リセットしません 1：ソフトウェアによるシステムリセットの要求	R/W
b5	CM3SYSRESET_REQ	Cortex-M3 の SYSRESETREQ によるリセット要求 0：システムリセット要求はありません 1：システムリセット要求を保留中[注1]	R/W
b4	CM3LOCKUPRST_REQ	Cortex-M3 Core Lockup リセット要求 0：システムリセット要求はありません 1：システムリセット要求を保留中[注1]	R/W
b3	WDM3RST_REQ	Cortex-M3 Core watchdog リセット要求 0：システムリセット要求はありません 1：システムリセット要求を保留中[注1]	R/W
b2、b1	WDA7RST_REQ	Cortex-A7 watchdog リセット要求 0：システムリセット要求はありません 1：システムリセット要求を保留中[注1] ビット 2（RZ/N1D）Cortex-A7 プロセッサ 1 watchdog リセット要求（RZ/N1S、RZ/N1L）予約 ビット 1（RZ/N1D、RZ/N1S）Cortex-A7 プロセッサ 0 watchdog リセット要求（RZ/N1L）予約	R/W
b0	予約ビット		R

注1.　1 をライトすることによってクリアされます。

6.3.80 CFG_USB ― USB モードコンフィグレーションレジスタ

USB Host/Function コントローラのコンフィグレーションの変更により、USBPLL 動作が影響を受ける可能性があります。USBPLL 動作の停止はシステムのハングアップにつながる可能性があります。バスのハングアップを避けるため、USB コンフィグレーションの変更を実施する場合は事前にすべての USBPLL クロックで動作しているモジュールのバスが NoC インターコネクトから切断されていることを必ず確認してください。

アドレス　4000 C000h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	―	―	―	―	―	―	―	FRCLK 48MOD	H2MOD E	DIRPD
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	1	0	1

表 6.83　CFG_USB レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b3	予約ビット		R
b2	FRCLK48MOD	0：USB サスペンドの間、USBPLL は停止します。 1：USBPLL は USB のステートによらず動作します。すなわち、他のモジュールのクロックに使用できます。	R/W
b1	H2MODE	USB インタフェースのポート設定信号 0：Port1 ファンクション、Port2 ホスト 1：Port1 ホスト、Port2 ホスト USB リセットシーケンスで、リセット解除する前に本ビットを設定してください。	R/W
b0	DIRPD	ダイレクトパワーダウンコントロール 0：USBPLL はパワーオン 1：USBPLL はパワーダウン 本ビットは USB モジュールに対するダイレクトパワーダウン信号です。ダイレクトパワーダウン機能の詳細はユーザーズマニュアルのシステム・周辺機能 1 編の USB2.0 HS ホスト／ファンクションコントローラの章を参照してください。	R/W

6.3.81 OPMODE — システムとブートのコンフィグレーションレジスタ

ブートモードコンフィグレーションはパワーオンリセットの後に外部コンフィグレーション端子からリードされます。システムリセットはこれらの値に影響を与えません。

アドレス　4000 C004h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	LCD1PU	—	CM3BOOTSEL	CA7BOOTSRC		—	DDRMOD
リセット後の値	X	X	X	X	X	X	X	X	X	X 注1	X	X 注1	X 注1	X 注1	X	X 注1

表 6.84　OPMODE レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b7	予約ビット		R
b6	LCD1PU	LCD インタフェース（GPIO 端子に割り当て）のデフォルトプル抵抗設定 0：GPIO[73:62]と GPIO[145:127]をプルダウン 1：GPIO[73:62]と GPIO[145:127]をプルアップ	R
b5	予約ビット		R
b4	CM3BOOTSEL	Cortex-M3 ブートモード設定 0：CA7BOOTSRC に表示されるデバイスで CA7 ブート 1：QSPI から CM3 ブート（RZ/N1L）	R
b3、b2	CA7BOOTSRC	ブートモード設定 2’b00：QuadSPI1 でブート 2’b01：NAND Flash でブート 2’b10：USB function でブート 2’b11：予約	R
b1	予約ビット		R
b0	DDRMOD	DDR Controller 設定（RZ/N1D） 0：DDR3 1：DDR2	R

注1.　パワーオンリセット後に値が反映されます。

6.3.82 CFG_SDIO[m] ― SDIO[m]コンフィグレーションレジスタ（m＝1 もしくは 2）

アドレス　CFG_SDIO1：4000 C008h
CFG_SDIO2：4000 C0C4h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	―	―	―	SLOTTYPE		BASECLKFREQ							
リセット後の値	X	X	X	X	X	X	0	0	0	0	0	0	0	0	0	1

表 6.85　CFG_SDIO[m]レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b10	予約ビット		R
b9、b8	SLOTTYPE	スロットタイプ – 製品の使用状況に基づいて設定する必要があります。 2'b00：リムーバブルカードスロット 2'b01：組み込みスロット 上記以外：予約 このスロットタイプは SDIO の機能レジスタに反映されます。カード検出時間の決定にも使われるため、適切な値を設定してください。	R/W
b7～b0	BASECLKFREQ	SDIO[m]_ECLK クロックのベースクロック周波数設定（MHz） このフィールドは以下の値に設定する必要があります。 SDIO[m]_ECLK 周波数＝roundup（1000／PWRCTRL_SDIO[m]DIV.DIV）	R/W

6.3.83 DBGCON — デバッグコントロールレジスタ

アドレス 4000 C014h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	CA7WD1_DBG_EN	CA7WD0_DBG_EN	CM3WD_DBG_EN	PR_DBG_EN
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	1

表 6.86　DBGCON レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b4	予約ビット		R
b3	CA7WD1_DBG_EN	（RZ/N1D） Cortex-A7 プロセッサ 1 が停止している間の watchdog 機能を制御 0：停止中の Cortex-A7 プロセッサ 1 watchdog を有効 1：停止中の Cortex-A7 プロセッサ 1 watchdog を停止 （RZ/N1S、RZ/N1L） 予約	R/W
b2	CA7WD0_DBG_EN	（RZ/N1D、RZ/N1S） Cortex-A7 プロセッサ 0 が停止している間の watchdog 機能を制御 0：停止中の Cortex-A7 プロセッサ 0 watchdog を有効 1：停止中の Cortex-A7 プロセッサ 0 watchdog を停止 （RZ/N1L） 予約	R/W
b1	CM3WD_DBG_EN	Cortex-M3 Core が停止している間の watchdog 機能を制御 0：停止中の Cortex-M3 Core watchdog を有効 1：停止中の Cortex-M3 Core watchdog を停止	R/W
b0	PR_DBG_EN	制御エミュレーション機能 0：エミュレーション機能を無効化 1：エミュレーション機能を有効化 – PR_DBG_EN ビットは Halt 中の HW-RTOS タイマー停止エミュレーション機能の有効/無効を制御します。初期設定ではエミュレーション機能は有効です。PR_DBG_EN がイネーブルで CPU が debug（たとえば、ICE による CPU 停止）により halt されている間、HW-RTOS タイマーは停止されます。この機能は HW-RTOS OS タイマーの不一致を防ぎます。	R/W

6.3.84 CFG_GPIOT_PTEN_xx ― GPIO トリガイネーブルレジスタ

アドレス　CFG_GPIOT_PTEN_1A：4000 C0A4h
CFG_GPIOT_PTEN_1B：4000 C0B0h
CFG_GPIOT_PTEN_2A：4000 C0B4h
CFG_GPIOT_PTEN_2B：4000 C0B8h
CFG_GPIOT_PTEN_3A：4000 C0D8h
CFG_GPIOT_PTEN_3B：4000 C0DCh

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PORTEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PORTEN															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.87　CFG_GPIOT_PTEN_xx レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	PORTEN	GPIO ポートトリガのイネーブル（ビット単位） 0：ポートトリガ無効（本来の BGPIO 機能を有効化） 1：ポートトリガ有効	R/W

備　考

ビット 31～10 は CFG_GPIOT_PTEN_3B では予約ビットです。

6.3.85 CFG_GPIOT_TSRC ― GPIO トリガソースセレクトレジスタ

BGPIO1/2/3 PortA/B のトリガソースセレクトコントロール

アドレス 4000 C0BCh

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	―	―	―	TRIG3					―	―	―	TRIG2				
リセット後の値	X	X	X	0	0	0	0	0	X	X	X	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	―	―	―	TRIG1					―	―	―	TRIG0				
リセット後の値	X	X	X	0	0	0	0	0	X	X	X	0	0	0	0	0

表 6.88　CFG_GPIOT_TSRC レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b29	予約ビット		R
b28～b24	TRIG3	割り込みソースから GPIO_TRIGGER[3]（BGPIO 行き）の GPIO トリガソースを選択 TRIG3[4:0]　割り込みソース 5’h00 : Ethernet Accessary Register で選択された GPIO_TRIGGER[0] 5’h01 : Ethernet Accessary Register で選択された GPIO_TRIGGER[1] 5’h02 : Ethernet Accessary Register で選択された GPIO_TRIGGER[2] 5’h03 : Ethernet Accessary Register で選択された GPIO_TRIGGER[3] 上記以外 : 使用しません	R/W
b23～b21	予約ビット		R
b20～b16	TRIG2	割り込みソースから GPIO_TRIGGER[2]（BGPIO 行き）の GPIO トリガソースを選択。割り込みソースは TRIG3 と同様です。	R/W
b15～b13	予約ビット		R
b12～b8	TRIG1	割り込みソースから GPIO_TRIGGER[1]（BGPIO 行き）の GPIO トリガソースを選択。割り込みソースは TRIG3 と同様です。	R/W
b7～b5	予約ビット		R
b4～b0	TRIG0	割り込みソースから GPIO_TRIGGER[0]（BGPIO 行き）の GPIO トリガソースを選択。割り込みソースは TRIG3 と同様です。	R/W

6.3.86 CFG_DMAMUX ― DMAC1 と DMAC2 のマルチプレクサレジスタ

イーサネットの DMA ソースは 4 チャネルに割り当て可能となっていますが、同じ DMA ソースを複数チャネルに割り当てないでください。

アドレス　4000 C0A0h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	D2MX15	D2MX14	D2MX13	D2MX12	D2MX11	D2MX10	D2MX9	D2MX8	D2MX7	D2MX6	D2MX5	D2MX4	D2MX3	D2MX2	D2MX1	D2MX0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	D1MX15	D1MX14	D1MX13	D1MX12	D1MX11	D1MX10	D1MX9	D1MX8	D1MX7	D1MX6	D1MX5	D1MX4	D1MX3	D1MX2	D1MX1	D1MX0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.89　CFG_DMAMUX レジスタの内容（1/3）

ビット位置	ビット名	機能	R/W
b31	D2MX15	DMAC2 要求インタフェース 15 のマルチプレクサ 0：TIMER2_SubTimer7 1：ADC チャネル 1	R/W
b30	D2MX14	DMAC2 要求インタフェース 14 のマルチプレクサ 0：S3_DIVCLK 注 1 1：ADC チャネル 0	R/W
b29	D2MX13	DMAC2 要求インタフェース 13 のマルチプレクサ 0：S3_CONCLK 注 1 1：MSEBIM3（CS1_N の TX）	R/W
b28	D2MX12	DMAC2 要求インタフェース 12 のマルチプレクサ 0：MAC_TRIG[1] 注 1 1：MSEBIM2（CS1_N の RX）	R/W
b27	D2MX11	DMAC2 要求インタフェース 11 のマルチプレクサ 0：MAC_PPS[1] 注 1 1：MSEBIM1（CS0_N の TX）	R/W
b26	D2MX10	DMAC2 要求インタフェース 10 のマルチプレクサ 0：MAC_PPS[0] 注 1 1：MSEBIM0（CS0_N の RX）	R/W
b25	D2MX9	DMAC2 要求インタフェース 9 のマルチプレクサ 0：CAT_SYNC1 または SERCOS3_Int[1] 注 1 1：予約	R/W
b24	D2MX8	DMAC2 要求インタフェース 8 のマルチプレクサ 0：CAT_SYNC0 または SERCOS3_Int[0] 注 1 1：予約	R/W
b23	D2MX7	DMAC2 要求インタフェース 7 のマルチプレクサ 0：TIMER2_SubTimer6 1：予約	R/W
b22	D2MX6	DMAC2 要求インタフェース 6 のマルチプレクサ 0：S3_DIVCLK 注 1 1：予約	R/W

表 6.89　CFG_DMAMUX レジスタの内容（2/3）

ビット位置	ビット名	機能	R/W
b21	D2MX5	DMAC2 要求インタフェース 5 のマルチプレクサ 0：S3_CONCLK 注 1 1：UART8 TX	R/W
b20	D2MX4	DMAC2 要求インタフェース 4 のマルチプレクサ 0：MAC_TRIG[1] 注 1 1：UART8 RX	R/W
b19	D2MX3	DMAC2 要求インタフェース 3 のマルチプレクサ 0：MAC_PPS[1] 注 1 1：SPI6 TX	R/W
b18	D2MX2	DMAC2 要求インタフェース 2 のマルチプレクサ 0：MAC_PPS[0] 注 1 1：SPI6 RX	R/W
b17	D2MX1	DMAC2 要求インタフェース 1 のマルチプレクサ 0：CAT_SYNC1 または SERCOS3_Int[1] 注 1 1：SPI5 TX	R/W
b16	D2MX0	DMAC2 要求インタフェース 0 のマルチプレクサ 0：CAT_SYNC0 または SERCOS3_Int[0] 注 1 1：SPI5 RX	R/W
b15	D1MX15	DMAC1 要求インタフェース 15 のマルチプレクサ 0：TIMER1_SubTimer7 1：SPI4 TX	R/W
b14	D1MX14	DMAC1 要求インタフェース 14 のマルチプレクサ 0：S3_DIVCLK 注 1 1：SPI4 RX	R/W
b13	D1MX13	DMAC1 要求インタフェース 13 のマルチプレクサ 0：S3_CONCLK 注 1 1：SPI3 TX	R/W
b12	D1MX12	DMAC1 要求インタフェース 12 のマルチプレクサ 0：MAC_TRIG[1] 注 1 1：SPI3 RX	R/W
b11	D1MX11	DMAC1 要求インタフェース 11 のマルチプレクサ 0：MAC_PPS[1] 注 1 1：SPI2 TX	R/W
b10	D1MX10	DMAC1 要求インタフェース 10 のマルチプレクサ 0：MAC_PPS[0] 注 1 1：SPI2 RX	R/W
b9	D1MX9	DMAC1 要求インタフェース 9 のマルチプレクサ 0：CAT_SYNC1 または SERCOS3_Int[1] 注 1 1：SPI1 TX	R/W
b8	D1MX8	DMAC1 要求インタフェース 8 のマルチプレクサ 0：CAT_SYNC0 または SERCOS3_Int[0] 注 1 1：SPI1 RX	R/W
b7	D1MX7	DMAC1 要求インタフェース 7 のマルチプレクサ 0：TIMER1_SubTimer6 1：UART7 TX	R/W
b6	D1MX6	DMAC1 要求インタフェース 6 のマルチプレクサ 0：S3_DIVCLK 注 1 1：UART7 RX	R/W
b5	D1MX5	DMAC1 要求インタフェース 5 のマルチプレクサ 0：S3_CONCLK 注 1 1：UART6 TX	R/W

表 6.89　CFG_DMAMUX レジスタの内容（3/3）

ビット位置	ビット名	機能	R/W
b4	D1MX4	DMAC1 要求インタフェース 4 のマルチプレクサ 0：MAC_TRIG[1] 注 1 1：UART6 RX	R/W
b3	D1MX3	DMAC1 要求インタフェース 3 のマルチプレクサ 0：MAC_PPS[1] 注 1 1：UART5 TX	R/W
b2	D1MX2	DMAC1 要求インタフェース 2 のマルチプレクサ 0：MAC_PPS[0] 注 1 1：UART5 RX	R/W
b1	D1MX1	DMAC1 要求インタフェース 1 のマルチプレクサ 0：CAT_SYNC1 または SERCOS3_Int[1] 注 1 1：UART4 TX	R/W
b0	D1MX0	DMAC1 要求インタフェース 0 のマルチプレクサ 0：CAT_SYNC0 または SERCOS3_Int[0] 注 1 1：UART4 RX	R/W

注1.　CAT_SYNC0 または SERCOS3_Int[0]は、イーサネットアクセサリレジスタの DMACTRL で選択します。
CAT_SYNC1 または SERCOS3_Int[1]は、イーサネットアクセサリレジスタの DMACTRL で選択します。
イーサネット周辺機能の 7 個の DMA 要求は、4 箇所の要求インタフェースに割り当てられています。同時に使用可能な要求は 1 つだけです。

6.3.87 VERSION — プロダクトバージョンレジスタ

アドレス 4000 C19Ch

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PROD	VERSION							
リセット後の値	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

表 6.90　VERSION レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b9	予約ビット		R
b8	PROD	0：RZ/N1D 1：RZ/N1S、RZ/N1L	R
b7～b0	VERSION	ハードウェアのバージョン[注1] RZ/N1D：0x13 RZ/N1S、RZ/N1L：0x11	R

注1.　RZ/N1D：0x11、RZ/N1S、RZ/N1L：0x10 では、A5PSW のレジスタ書込み不具合が発生する可能性があります。回避策は、『Technical Update』をご覧ください。

6.3.88 BOOTADDR — Cortex-A7 プロセッサ 1 ブートアドレスコンフィグレーションレジスタ

Cortex-A7 プロセッサ 1 はプロセッサ 0 の ROM ブートプロセスの間スタンバイモードにあります。2nd ブートローダーはプロセッサ 1 のブートアドレスを定義するためにこのレジスタに設定する必要があります。いったんプロセッサ 1 のリセットが解除されると、最初に ROM のコードを実行し、そしてこのレジスタからジャンプアドレスを取得します。

このレジスタは RZ/N1D のみ使用し、Cortex-A7 から利用されます。

アドレス 4000 C204h

Bit	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	BOOTADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	BOOTADDR															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

表 6.91　BOOTADDR レジスタの内容

ビット位置	ビット名	機能	R/W
b31～b0	BOOTADDR	Cortex-A7 プロセッサ 1 の 2nd ブートアドレス	R/W

第7章　動作モード

7.1　概要

RZ/N1D および RZ/N1S では、初めに Cortex-A7 がブートし、それから内蔵 ROM のブートローダーを実行します。3 つのブートソース（QSPI/NAND Flash/USB）を使用可能です。ブートローダーは 1st ブートのために RZ/N1 をイニシャライズし、そしてブートソースから 2nd ブートローダーをロードして、実行します。

RZ/N1L では、Cortex-M3 がブートします（Cortex-A7 は使用できません）。Cortex-M3 が QSPI の中のコードを直接実行します。

システムコントローラは外部端子状態やレジスタに基づいてリセット、クロック、およびコンフィグレーションを管理します。ブートのモードとシーケンスもシステムコントローラが処理します。

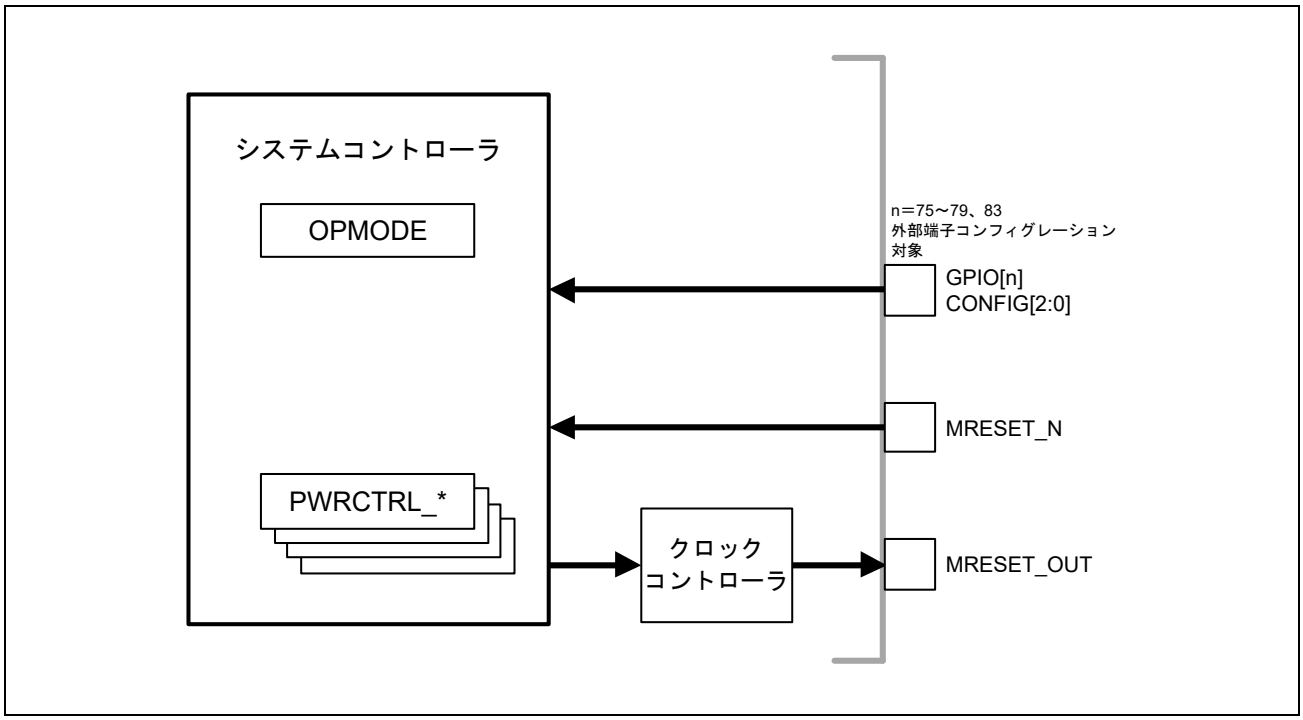


図 7.1　システムコントローラ

7.2　ブートモード仕様（RZ/N1D および RZ/N1S）

7.2.1　共通の特徴

- Cortex-A7 クロックスピード
  - Cortex-A7：250MHz
  - ブート ROM はデフォルトの分周器設定（1/2）を使います。
- RAM 要件
  - 64k バイト（0x200F_0000～0x200F_FFFF）はブート ROM によって使用されます。
- UART1 はブートメッセージを出力します。
  - 115200Baud
  - UART TXD 端子（GPIO[103]）が UART インタフェースとして使用されます。
  - ブート進行状況とエラーメッセージ
- 2nd ステージブートイメージ
  - 最大サイズ 1M バイト
  - 最小サイズ 4 バイト
  - 2nd ステージイメージは連続した領域の内蔵 SRAM（2MB SRAM）から実行する必要があります。つまり、0x0400_0000 – 0x040F_FFFF あるいは 0x2000_0000 – 0x200E_FFFF のどちらかのアドレス領域です。

7.2.2　QSPI ブートの特徴

- QSPI ブートモード時に内蔵 ROM のブートローダーが QSPI1 モジュールを初期設定し、以下の GPIO 端子を Level1/Func4（QSPI）に設定します。QUAD1_CS_N[3:1]（GPIO73、GPIO149、および GPIO150）は CS 出力となります。これらの端子をボード上で他の機能としても使用する場合は、端子 I/O モードを考慮してください。

GPIO 端子	プルモード	QSPI1 端子名	端子 I/O モード	注意
GPIO74	プルアップ／プルダウンなし	QUAD1_CS_N[0]	出力	QSPI ブートで常に使用
GPIO75		QUAD1_IO[3]	入出力	「**7.3.2 外部端子によるコンフィグレーション**」を参照
GPIO76		QUAD1_IO[2]	入出力	
GPIO77		QUAD1_IO[1]	入出力	
GPIO78		QUAD1_IO[0]	入出力	
GPIO79		QUAD1_CLK	出力	
GPIO73		QUAD1_CS_N[1]	出力	ユーザ設定により、これらの端子を他の機能に使用可能ですが、ブート ROM が設定する端子の状態に注意してください。
GPIO149		QUAD1_CS_N[2]	出力	
GPIO150		QUAD1_CS_N[3]	出力	

- サポートされるシリアル Flash

  （1）Quad IO SPI Flash
  （2）Single IO SPI Flash

  ブートローダーは QUAD1_CS_N[0]に接続されたデバイスに標準 SPI モードでアクセスします。

  RZ/N1 リセット時にシリアル Flash も標準 SPI モードになるようにしてください（MRESET_OUT 出力 (Active Hi)をシリアル Flash のリセット端子に接続することを推奨します）。

- Flash のクロック周波数：5.2MHz
- アドレス：3 バイト

7.2.3 NAND ブートの特徴

- NAND ブートモード時に内蔵 ROM のブートローダーが NAND モジュールを初期設定し、以下の GPIO 端子を Level1/Func3（NAND）に設定します。

GPIO 端子	プルモード	QSPI1 端子名	端子 I/O モード	注意
GPIO80	プルアップ／プルダウンなし	FNAND_ALE	出力	
GPIO81		FNAND_CLE	出力	
GPIO82		FNAND_WE_N	出力	
GPIO83		FNAND_RE_N	出力	「7.3.2 外部端子によるコンフィグレーション」を参照
GPIO91..84		FNAND_IO[7:0]	入出力	
GPIO92		FNAND_CE_N[0]	出力	
GPIO93		FNAND_WP_N[0]	出力	
GPIO94	プルアップ	FNAND_RY/BY_N[0]	入力	

- サポートされる NAND Flash

（1） ONFI 1.0／非同期 NAND Flash

- IO バス幅：8 ビット
- 容量：1～8G ビット
- モード 0 がブート中に使われます。デバイスはモード 0 をサポートする必要があります。

ブートローダーはブートシーケンスを始める前に（“Read ID”コマンドか ONFI パラメータをリードのどちらかで）デバイスを識別し、それに従ってタイミングと ECC をセットします。
デバイスが“READ ID”をサポートしない場合、ブートされません。

（2） ONFI 2.0 同期 NAND Flash

ONFI 1.0 後方互換モードのみ（本 NAND Flash Controller のサポート範囲に限る）

- NAND_ECLK 周波数：83.3MHz
  - FNAND_RE_N/FNAND_WE_N は 5NAND_ECLK 期間アサートされ、3NAND_ECLK 期間 High ホールドされます。

7.2.4 USB ブートの特徴

- 内蔵 ROM のブートローダーは USB Function かつ DFU デバイスとして RZ/N1 の USB ポート 1 を設定します。
- USB スピード
  - Full speed および High speed
- USB DFU Function インタフェース
  - 2nd ステージイメージをアップロードする目的のスタンダード DFU インタフェース
- PC／ホスト DFU ソフトウェア
  - 汎用 DFU ホストソフトウェアを使用することが可能です。
    例）Sourceforge の“dfu_util”および汎用 DFU ドライバ“libUSBk”
    http://dfu-util.sourceforge.net/releases/dfu-util-0.8-binaries/win32-mingw32/
    https://sourceforge.net/projects/libusbk/

USB ブートはまず SPKG フォーマットのイメージをダウンロードします。SPKG イメージは USB DFU ホスト（例：USB Function ファームウェアアップグレードアプリケーションを走らせている PC）から内蔵 SRAM にダウンロードされます。

PC のユーティリティは SPKG をダウンロードする機能のみ提供します。ホストの PC は FLASH を直接更新することはできません。

USB ブート後、このアプリケーション（uBoot または同様のもの）によって PC から新しいイメージで FLASH を更新可能です。

7.3 標準のブートシーケンス

7.3.1 概要

RZ/N1 システムコントローラは MRESET_N 端子の立ち上がりで特定の外部端子から初期システム設定を取り込みます。その後、プライマリ CPU により 1st ブートローダーが実行されます。RZ/N1D および RZ/N1S において、プライマリ CPU は Cortex-A7 であり、1st ブートローダーは内蔵 ROM に格納されています。RZ/N1L において、プライマリ CPU は Cortex-M3 であり、1st ブートローダーは QSPI Flash に格納されている必要があります。

7.3.2 外部端子によるコンフィグレーション

以下の外部端子はシステム設定およびブートシーケンスで使用されます。

- GPIO[75]（QUAD1_IO[3]）
- GPIO[76]（QUAD1_IO[2]）
- GPIO[77]（QUAD1_IO[1]）
- GPIO[78]（QUAD1_IO[0]）
- GPIO[79]（QUAD1_CLK）
- GPIO[83]（FNAND_RE_N）

これらの端子は IO 内蔵プルアップ／ダウンなしで起動します。

PCB ボード上の外部プルアップ／ダウン抵抗によって適切なモードを選択してください。

表 7.1　外部端子コンフィグレーション

コントロール信号	コンフィグされる機能	コメント
GPIO[75]	0：DDR3 1：DDR2	RZ/N1D 向けの DDR メモリコントローラ設定。 RZ/N1S および RZ/N1L ではプルアップもしくはプルダウンしてください。
GPIO[76]	1 に設定してください。	
GPIO[78:77]	2’b00：QuadSPI で CA7 ブート 2’b01：NAND Flash で CA7 ブート 2’b10：USB Function で CA7 ブート 2’b11：予約	RZ/N1D および RZ/N1S 向けのブートモード設定。 RZ/N1L ではプルアップもしくはプルダウンしてください。
GPIO[79]	1：GPIO[73:62]と GPIO[145:127]をプルアップ 0：GPIO[73:62]と GPIO[145:127]をプルダウン	RZ/N1D および RZ/N1S 向けの LCD インタフェースのデフォルトのプルアップ／ダウン設定。 RZ/N1L では 1 に設定してください。
GPIO[83]	1 に設定してください。	
ブートデバッグ信号	コンフィグされる機能	コメント
GPIO[103]	UART1 TXD	ブート時の UART デバッグ用（RZ/N1D および RZ/N1S）

7.3.3 CPU ブート

システムコントローラはインターコネクトの初期設定を実行し、システムコンフィグレーションに基づいてプライマリ CPU のリセットを解除します。一連の動作はプライマリ CPU のリセット解除に先行して行われます。これらの初期設定動作はシステムコントローラで実行されます。このフェーズの間、すべての CPU はリセットを保持されています。すべての手順が終わると、プライマリ CPU がリセット解除されます。

“MRESET_N”による外部リセットの後のシステムイニシャライズの間、システムコントローラは外部のプルアップ／ダウン抵抗によって定義された外部端子コンフィグレーションを取り込んで保存します。

取り込みシーケンスは以下です。

- “MRESET_N”解除の後の最初のオシレータクロックの立ち上がり：外部端子コンフィグレーションが取り込まれ、LCD プルアップ／ダウン制御ビットは GPIO[79]から直接取得されます。
- “MRESET_N”解除後の 2 番目のクロックの立ち上がり：ブートコンフィグレーションが FF に取り込まれ、LCD プルアップ／ダウン制御ビットは FF の値からドライブされるように切り替わります。
- “MRESET_N”解除の後の 3 番目のクロックの立ち上がり：クロックコントローラで“MRESET_OUT”の解除を行うため、“BOOTMODE_LATCHED”信号がアサートされます。

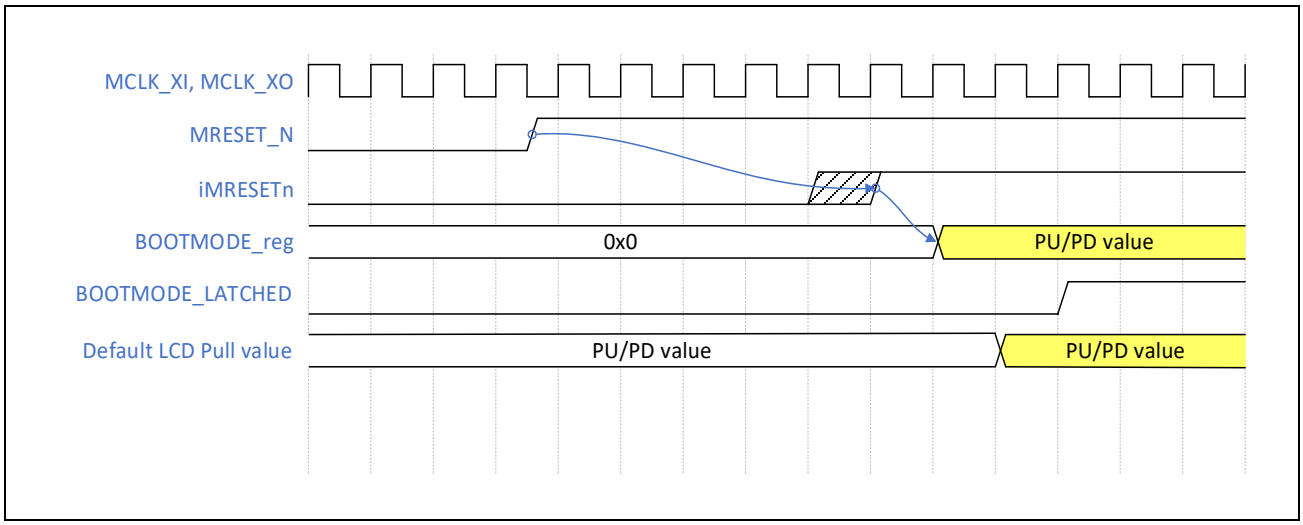


図 7.2　ブートコンフィグレーション取り込みシーケンス

注　意

“MRESET_OUT”信号がアサートされている間は外部端子コンフィグレーションに適切な値が取り込まれるように維持してください。

7.3.4 RZ/N1D および RZ/N1S のブート

Cortex-A7 プロセッサと Cortex-M3 プロセッサを搭載したシステムでは、Cortex-A7 プロセッサ 0 がプライマリプロセッサやブートプロセッサとなります。

システムが電源投入後、両方の Cortex-A7 プロセッサ（Cortex-A7 プロセッサ 0 とプロセッサ 1）はリセット解除されてアドレス 0x00000000 から内蔵 ROM のコードを実行します。初期コア ID チェックにより Cortex-A7 プロセッサ 1 を WFE にします。

Cortex-A7 プロセッサ 0 だけが続きのブートコードを実行することが可能です。その後、2nd ステージブートローダーを実行します。Cortex-A7 プロセッサ 1 と Cortex-M3 プロセッサのリセットベクタアドレスは任意の位置に設定可能です。BOOTADDR レジスタは Corte-xA7 プロセッサ 1 のブートアドレスを定義します。

- デバッグ目的で、ブートローダーは Level 1 function 15/Level 2 function 12（UART1_TXD）で GPIO[103]を設定し、この IO マルチプレキシング設定はブートローダーの終了後も維持されます。

7.3.5 RZ/N1L のブート

RZ/N1L では、Cortex-M3 がプライマリプロセッサになります。

Cortex-M3 は内蔵 ROM のブートローダーを実行しません。0x00000000 にマッピングされた QSPI Flash から 5.2MHz で直接ブートします。

GPIO[74:79]はシステムコントローラによって以下に設定されます。

GPIO 端子	プルモード	QSPI1 端子名	端子 I/O モード	注意
GPIO74	プルアップ	QUAD1_CS_N[0]	出力	ブート時、常に使用
GPIO75	プルアップ／プルダウンなし	QUAD1_IO[3]	入出力	「**7.3.2 外部端子によるコンフィグレーション**」を参照
GPIO76		QUAD1_IO[2]	入出力	
GPIO77		QUAD1_IO[1]	入出力	
GPIO78		QUAD1_IO[0]	入出力	
GPIO79		QUAD1_CLK	出力	

7.4 SPKG フォーマット（RZ/N1D および RZ/N1S）

7.4.1 概要

ブートソース（QSPI、NAND FLASH、USB）からダウンロードされたデータはビットエラーでイメージが壊れている可能性があります。SPKG フォーマットは内容をチェックするために使用されます。

7.4.2 実装の詳細

ブートローダーは選択されたブートソース（QSPI、NAND FLASH、USB）から有効な SPKG をロードします。

SPKG は以下を含んでいます。

- 8 個のヘッダ（CRC 付き）で構成されるブロック
- ペイロード（ヘッダのブロックの直後）
  - 2nd ステージブートローダーイメージ
  - ペイロードの CRC 値

SPKG データフィールドは以下のテーブルで定義されています。

表 7.2　SPKG フィールド

SPKG フィールド	ビット	長さ	フィールド	説明
ヘッダ[注1]				合計 24bytes
	31:0	32bits	Marker	ヘッダ開始表示。“R”、“Z”、“N”、“1”を設定してください。
	35:32	4bits	version	SPKG ヘッダのタイプバージョン
	39:36	4bits	spare bits	“0”をセットしてください
	40	1bit	padding	“0”をセットしてください
	42:41	2bits	NAND ECC block size（codeword size）	NAND Flash Controller の CONTROL レジスタの ECC_BLOCK_SIZE に設定されます。 2’b00 — 256 bytes 2’b01 — 512 bytes 2’b10 — 1024 bytes 2’b11 — 設定禁止
	44:43	2bits	padding	“0”をセットしてください
	45	1bit	Hardware ECC Support enable	NAND Flash Controller の CONTROL レジスタの ECC_EN に設定されます。 0 — ECC disabled 1 — ECC enabled
	47:46	2bits	padding	“0”をセットしてください
	50:48	3bits	NAND ECC scheme	NAND Flash Controller の CONTROL レジスタの ECC_CAP に設定されます。 3’b000 — BCH2 3’b001 — BCH4 3’b010 — BCH8 3’b011 — BCH16 3’b100 — BCH24 3’b101、3’b110、3’b111 — BCH32
	55:51	5bits	padding	“0”をセットしてください
	63:56	8bits	NAND ECC bytes per block	NAND ECC ブロックごとの NAND Flash ECC バイトの数（8 ビット値）。 たとえば、BCH8 かつ NAND ECC ブロックサイズ＝512 では、この値は一般的に 14（0x0E）になります
	71:64	8bits	spare byte	“0”をセットしてください
	95:72	24bits	payload length	BLp_header およびイメージとペイロードの CRC で構成されるペイロードの長さ。
	127:96	32bits	load addr	2nd ステージブートローダーイメージの書き込み先の内蔵メモリのアドレス。
	159:128	32bits	execution offset [注2]	内蔵メモリの 2nd ステージブートローダーイメージの開始位置からコードを実行する場所までのオフセット
	191:160	32bits	ヘッダの CRC	
～上記ヘッダのコピーを 7 回繰り返し～				
Payload				可変長
		264Bytes	BLp_header	セキュリティオプション用ヘッダ。未使用時は、“0”をセットしてください
		可変	2nd ステージブートローダーイメージ	
		32bits	ペイロードの CRC	

注1.　NAND Flash からダウンロードしているとき、ヘッダは ECC なしですが CRC でチェックされます。ペイロードは bits 41-63 で指定することにより ECC が有効になります。ヘッダは ECC なしのため 8 回繰り返されます。つまり、SPKG は 8 つのヘッダとそれに続く 1 つのペイロードで構成されます。

注2.　execution offset のビット 0 は 2nd ステージブートローダーが Thumb®命令か Arm 命令のどちらで動作するかを選択するために使われます。（0＝Arm 命令、1＝Thumb 命令）

3 つのソース（QSPI、NAND FLASH、USB）からのブートイメージデータの整合性は次のように考慮します。

- NAND – NAND FLASH に格納されたデータは CRC 機能で整合性が確認され、またハードウェアによる BCH ECC 機能で保護するオプションも用意されています。ECC データは NAND FLASH のスペアエリアに格納されます。
  - ブートローダーは ECC なしでヘッダブロックの NAND のデータにアクセスします。ヘッダブロックをリードし、ヘッダの CRC 値を使って検証します。ヘッダは ECC の対象でないためヘッダを 8 個持つことによってエラーを緩和します。
  - ヘッダが検査されると、ペイロードの ECC パラメータを設定します。
  - ECC パラメータはユーザー定義です。NAND FLASH にイメージを書く時に使われたパラメータを SPKG ヘッダに反映してください。NAND Flash controller でサポートされる範囲で ECC のレベルを自由に決定してください。
  - SPKG はページ先頭に配置してください。ブートローダーは最初のページから順に検索します。
- QuadSPI – エラーを含む可能性が低いですが、通常の SPKG 処理の一環として QuadSPI もその整合性を検査するために CRC チェックされます。
  - SPKG はページ先頭に配置してください。ブートローダーは最初のページから順に検索します。
- USB – ブートローダーは USB DFU 経由で受信した SPKG に対しても CRC チェックを行います。USB でダウンロードされる SPKG は 1 個だけです。

SPKG 検証は以下のとおりです。

- SPKG の最初にヘッダが配置されており、ヘッダの CRC 値を使って検証します。エラーになると次のヘッダが使われ、8 個のヘッダがエラーになった場合次の SPKG が使用されます。エラーが出なくなるまで繰り返されます。CRC チェックエラーは UART メッセージとして出力されます。すべての SPKG がエラーになったところでブートローダー処理が停止します。
- ペイロードは CRC チェックされます。
- エラーが SPKG で検出された場合、UART メッセージとして出力されます。

multi Logical Unit（multi-LUN）Flash デバイスの場合、ブートローダーは検出された最初の LUN（LUN0）に格納されたイメージを使用します。

7.5 RZ/N1 初期化シーケンス

7.5.1 標準の初期化シーケンス

1) PWRCTRL_*DIV レジスタの DIV でクロック分周値を設定
2) PWRCTRL_*レジスタの CLKEN_*ビットで対象のクロックをイネーブル
3) PWRCTRL_*レジスタの RSTN_*ビットで対象の機能モジュールのリセットを解除
4) PWRCTRL_*および PWRSTAT_*レジスタで NoC インターコネクトを接続
   「**7.5.4 一般的な NoC のプログラミングシーケンス**」を参照
5) rGPIOs_Level1_Config*および rGPIOs_Level2_Config*レジスタで IO マルチプレキシングの設定
   「**第 5 章 IO マルチプレキシング**」を参照
6) モジュールの初期設定

7.5.2 USBPLL の設定

USBPLL は USB 以外のいくつかのモジュールへ 48MHz のクロックを供給することが可能です。このクロックが必要である場合、以下のシーケンスが要求されます。

1) PWRCTRL_USB レジスタの CLKEN_*ビットで USB_HCLKH、USB_HCLKF、USB_HCLKPM、USB_PCICLK をイネーブル
2) PWRCTRL_USB レジスタの RSTN_*ビットで USB のリセットを解除
3) PWRCTRL_USB および PWRSTAT_USB レジスタで NoC インターコネクトを接続
4) CFG_USB レジスタの FRCLK48MOD ビットをイネーブル
5) CFG_USB レジスタの DIRPD ビットをディセーブル
6) 1ms 間ウエイト
7) EPCTR レジスタの PLL_RST ビットを解除
8) USB Function の EPCTR レジスタの PLL_LOCK ビットがアサートされるまでウエイト

7.5.3 Cortex-M3 の活性化

RZ/N1D および RZ/N1S では、Cortex-M3 リセットは Cortex-A7 の起動後も有効です。

Cortex-M3 を活性化するために Cortex-A7 が以下のシーケンスを実行する必要があります。

1) PWRCTRL_RINCTRL レジスタの CLKEN_A で RINBUS_HCLK をイネーブル
2) PWRCTRL_CM3 レジスタの CLKEN_A で CM3_HCLK をイネーブル
3) PWRCTRL_CM3 レジスタの RSTN_A で CM3 のリセットを解除
4) PWRCTRL_CM3 および PWRSTAT_CM3 レジスタで NoC インターコネクトを接続

Cortex-M3 は 0x0400_0000 に置かれたコードによって起動します。

（RZ/N1D および RZ/N1S では、0x0400_0000 は R-IN Engine の内部構造によって 0x0 にミラーされています）

7.5.4 一般的な NoC のプログラミングシーケンス

以下の図はクロック、リセットおよび NoC の接続／切断のフローのプログラミング手順を示します。

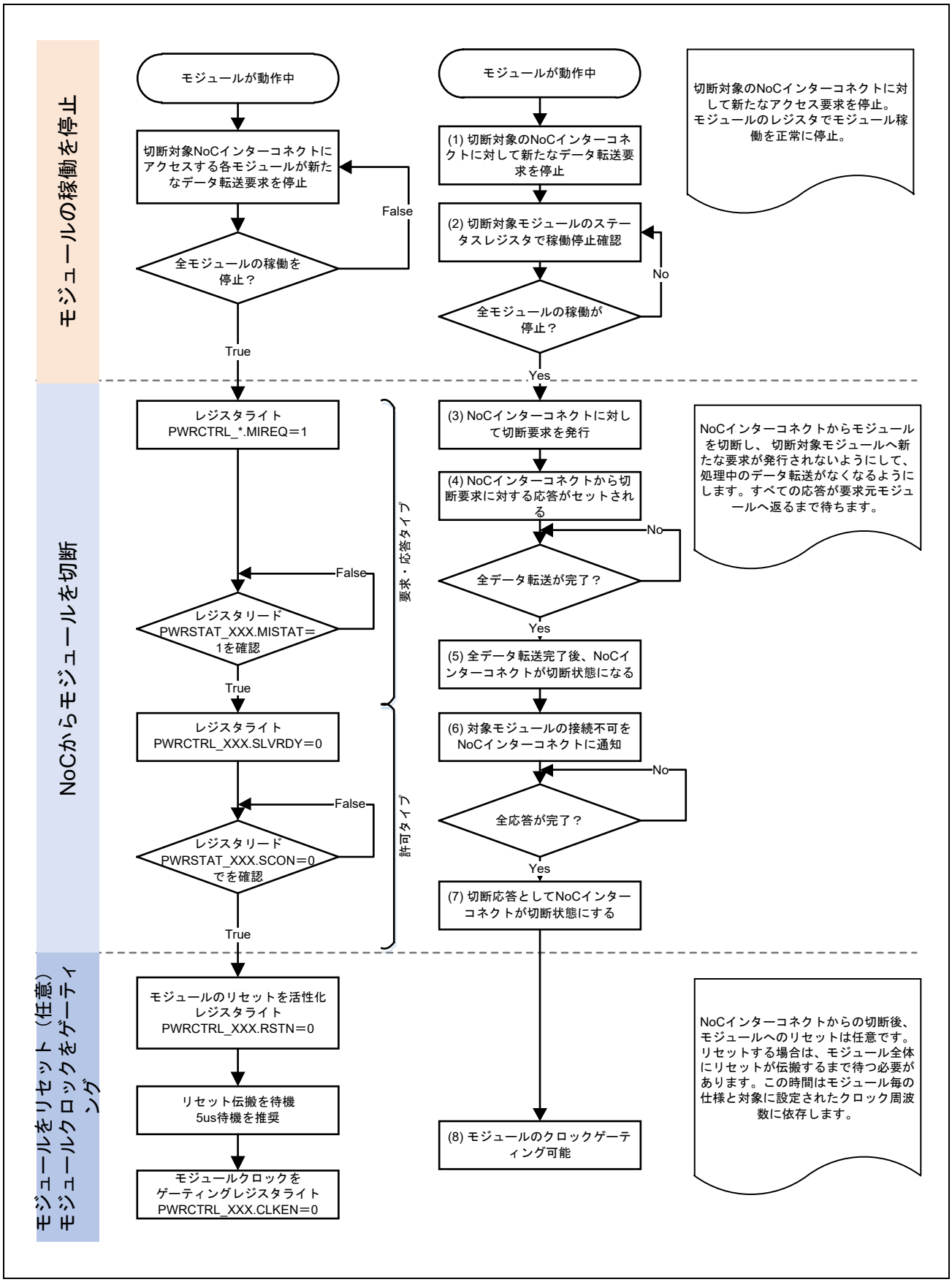


図 7.3　NoC の一般的なプログラミングシーケンス ― 切断

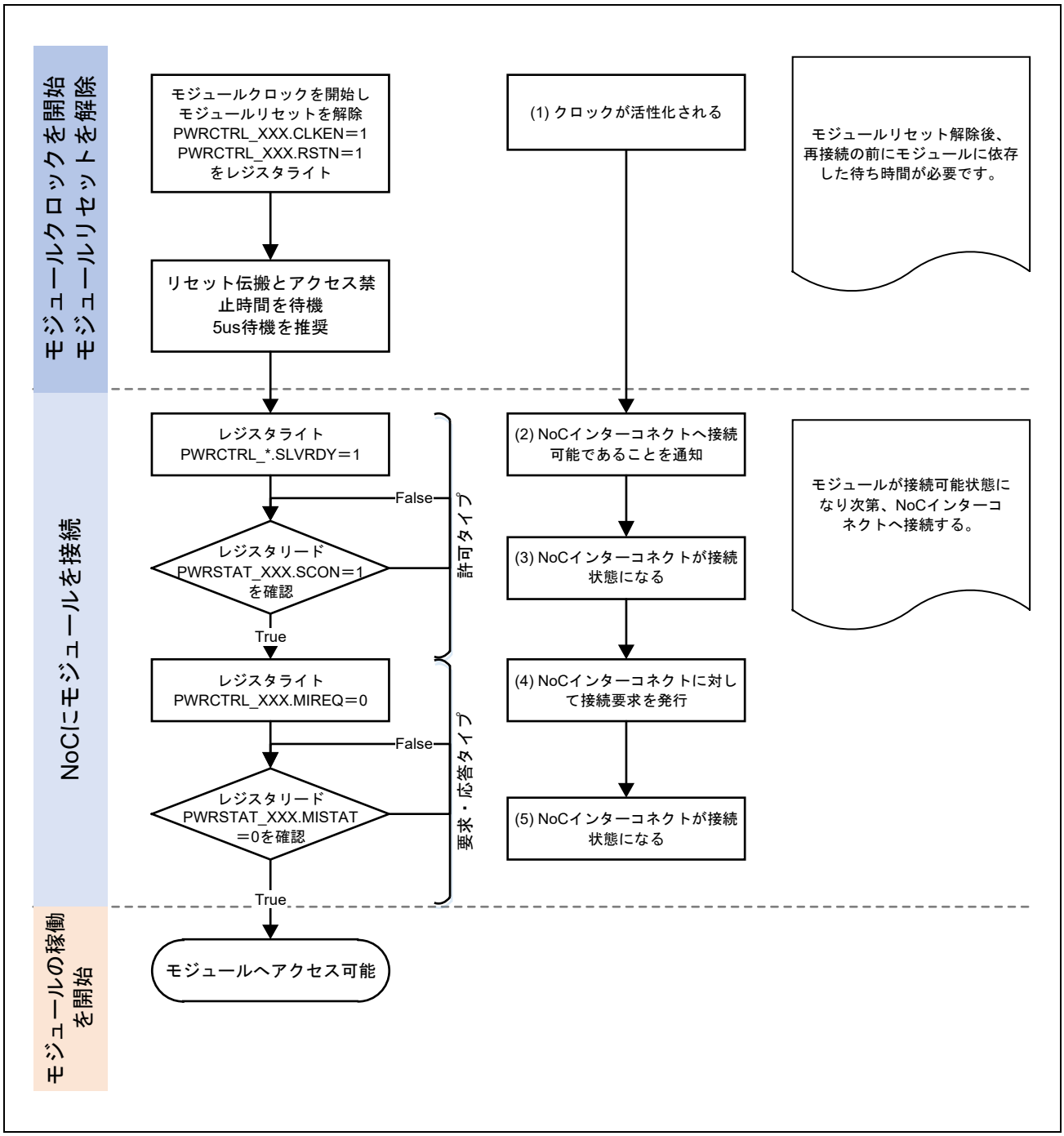


図 7.4　　NoC の一般的なプログラミングシーケンス ― 接続

以下のテーブルは各モジュールを使用するための PWRCTRL および PWRSTAT レジスタを示しています。

CA7/CA3 用 Watchdog、システムコントローラ、ConfigSys1、ECC Controller 付き 4MB SRAM、CoreSight、Mailbox へアクセスするために PWRCTRL および PWRSTAT レジスタの制御は不要です。

2MB SRAM の ECC 設定レジスタは PWRCTRL_RINCTRL で制御するクロックで動作しているため、レジスタアクセスする前に PWRCTRL_RINCTRL をイネーブルにする必要があります。

表 7.3　各モジュールの接続／切断に関連したレジスタ（1/2）

	NoC 接続（要求／応答タイプ）用 PWRCTRL_XXX レジスタ名		NoC 接続（許可タイプ）用 PWRCTRL_XXX レジスタ名		モジュールインタフェース用 PWRCTRL_XXX レジスタ名
	MIREQ/MISTAT	CLKEN/RSTN	SLVRDY/SCON	CLKEN/RSTN	CLKEN/RSTN
MSEBIM			MSEBI	MSEBI	
ROM			ROM	ROM	
R-IN Engine Accessory Register			RINCTRL	RINCTRL	
Ethernet Accessory Register			SWITCHCTRL	SWITCHCTRL	SWITCHCTRL 注 1
A5PSW			SWITCH	SWITCH	SWITCH
QSPI1	QSPI1	QSPI1 注 2	QSPI1	QSPI1 注 2	QSPI1
QSPI2	QSPI2	QSPI2 注 2	QSPI2	QSPI2 注 2	QSPI2
I^2C 1/2			PG0_0	PG0_0	PG0_1
UART 1/2/3 注 3			PG0_0	PG0_0	PG0_0
ADC 1/2			PG0_0	PG0_0	PG0_1
PWMTimer			PG0_1		PG0_1
UART 4/5 注 3			PG1_1	PG1_1	PG1_PR2
UART 6/7/8 注 3			PG1_2	PG1_2	PG1_PR2
SPI 1/2/3/4			PG1_1	PG1_1	PG1_PR3
SPI 5/6			PG1_1	PG1_1	PG1_PR4
CAN 1/2			PG3_48MHZ		PG3_48MHZ
ConfigSys2			PG2_25MHZ		PG2_25MHZ
TIMER 1/2			PG2_25MHZ		PG2_25MHZ
Semaphore			PG4	PG4	
BGPIO 1/2			PG1_1	PG1_1	
BGPIO 3			PG1_2	PG1_2	
LCDC	PG4	PG4	PG4	PG4	PG4_PR1
ETHERCAT	ECAT	ECAT			ECAT 注 4
SERCOSIII	SERCOS	SERCOS			SERCOS 注 4
HSR	HSR	HSR			HSR 注 4
DDR 2/3 Controller	DDRC	DDRC			DDRC
USB	USB 注 5	USB			USB
Cortex-M3 注 6	CM3	CM3			
MSEBIS	MSEBI	MSEBI 注 2	MSEBI	MSEBI 注 2	
DMAC 1/2	DMA	DMA 注 2	DMA	DMA 注 2	
GMAC1	MAC1	MAC1 注 2	MAC1	MAC1 注 2	
GMAC2	MAC2	MAC2 注 2	MAC2	MAC2 注 2	

表 7.3　各モジュールの接続／切断に関連したレジスタ（2/2）

	NoC 接続用（要求／応答タイプ）PWRCTRL_XXX レジスタ名		NoC（許可タイプ）接続用 PWRCTRL_XXX レジスタ名		モジュールインタフェース用 PWRCTRL_XXX レジスタ名
	MIREQ/MISTAT	CLKEN/RSTN	SLVRDY/SCON	CLKEN/RSTN	CLKEN/RSTN
SDIO1	SDIO1	SDIO1 注 2	SDIO1	SDIO1 注 2	SDIO1
SDIO2	SDIO2	SDIO2 注 2	SDIO2	SDIO2 注 2	SDIO2
NAND Flash Controller	NFLASH	NFLASH 注 2	NFLASH	NFLASH 注 2	NFLASH
RTC 注 7	RTC	RTC			RTC
外部 Ethernet クロック					EETH 注 8
HW-RTOS					HWRTOS 注 9

注1.　2 つの RSTN（RSTN_ETH、RSTN_CLK25）
注2.　CLKEN/RSTN はどちらのタイプでも共通です。
注3.　クロックソースとしてメイン PLL もしくは USBPLL を選択できます。
注4.　2 つの CLKEN と 1 つの RSTN
注5.　2 つの MIREQ、3 つの CLKEN、1 つの RSTN
注6.　PWRCTRL_CM3 の前に PWRCTRL_RINCTRL をイネーブルにする必要があります。
注7.　RTC は特別なシーケンスになります。
RST_RTC を解除 → RTC_PCLK をイネーブル → RSTN_FW_RTC を解除 → IDLE_REQ を解除
CLKEN_RTC は RTC アクセスの間のみ有効にしてください。
注8.　MII_REFCLK（外部出力）、RMII_REFCLK（外部出力）、および RGMII_REFCLK（外部入力）の CLKEN
注9.　HW-RTOS および HW-RTOS GMAC MDC の CLKEN/RST

第8章　Ethernet インタフェースモード

8.1　概要

Ethernet のプロトコルのためのいくつかのモジュール、GMII/MII マルチプレキシング論理および RGMII/RMII コンバータはイーサネット機能部にあります。この章ではイーサネット機能部を使用可能にするコンフィグレーションについての情報を提供します。

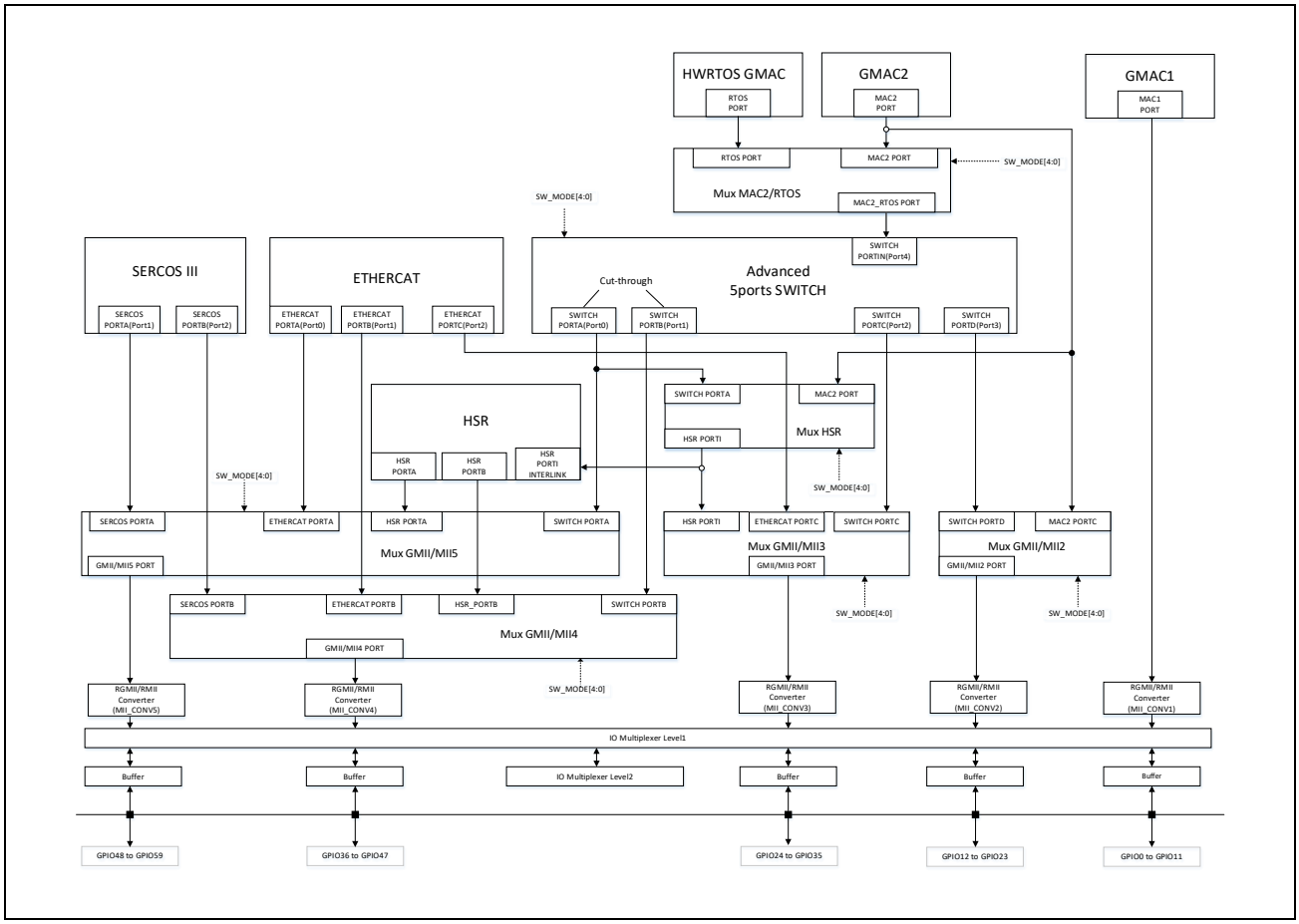


図 8.1　　イーサネット機能部の構造

表 8.1　　サポートされるイーサネットポート

イーサネットポート	RZ/N1D		RZ/N1S		RZ/N1L
	BGA-400	BGA-324	BGA-324	BGA-196	BGA-196
ポート 1	○	使用不可	○	○	○
ポート 2	○	使用不可	○	使用不可	使用不可
ポート 3	○	○	○	使用不可	使用不可
ポート 4	○	○	○	○	○
ポート 5	○	○	○	○	○

備考　上記の図内の SW_MODE[4:0]については「**8.2.1 イーサネットポートの内部接続**」をご確認ください。ただし、使用可能な設定値は各製品によって異なります。

以下のレジスタはイーサネット機能部の RGMII/RMII コンバータおよびマルチプレクスを設定するために使用されます。

R-IN Engine・イーサネット機能のユーザーズマニュアルを参照してください。

表 8.2　動作モードコントロールレジスタ

アドレス	レジスタシンボル	レジスタ名
4403 0008h	MODCTRL	モードコントロールレジスタ
4403 000Ch	PTPMCTRL	PTP モードコントロールレジスタ
4403 0100h	CONVCTRL1	RGMII/RMII コンバータ 1 コントロールレジスタ
4403 0104h	CONVCTRL2	RGMII/RMII コンバータ 2 コントロールレジスタ
4403 0108h	CONVCTRL3	RGMII/RMII コンバータ 3 コントロールレジスタ
4403 010Ch	CONVCTRL4	RGMII/RMII コンバータ 4 コントロールレジスタ
4403 0110h	CONVCTRL5	RGMII/RMII コンバータ 5 コントロールレジスタ

8.2 サポートするモード

表 8.3　Ethernet I/F のサポートモード

Ethernet I/F モード		コンバータによる変換後	コンバータによる変換前	通信モード		レジスタ値			
No.	モード名	MII/RMII/RGMII	MII/GMII	速度[bps]	全二重／半二重	RGMII/RMII コンバータ			RGMII クロックセレクタ
						CONVCTRL[m].CONV_MODE（m＝1～5）	CONVCTRL[m].FULLD（m＝1～5）	CONVCTRL[m].RMII_CRS_MODE（m＝1～5）	PTPMCTRL.RGMII_CLKSEL
1	MII_10M_HALF	MII	MII	10M	半二重	5'b00000	1'b0	1'b1	1'b0
2	MII_10M_FULL	MII	MII	10M	全二重	5'b00000	1'b1	1'b1	1'b0
3	MII_100M_HALF	MII	MII	100M	半二重	5'b00000	1'b0	1'b1	1'b0
4	MII_100M_FULL	MII	MII	100M	全二重	5'b00000	1'b1	1'b1	1'b0
5	RMII_10M_HALF_RI	RMII	MII	10M	半二重	5'b00100	1'b0	1'b1	1'b0
6	RMII_10M_FULL_RI	RMII	MII	10M	全二重	5'b00100	1'b1	1'b1	1'b0
7	RMII_100M_HALF_RI	RMII	MII	100M	半二重	5'b00101	1'b0	1'b1	1'b0
8	RMII_100M_FULL_RI	RMII	MII	100M	全二重	5'b00101	1'b1	1'b1	1'b0
9	RMII_10M_HALF_RO	RMII	MII	10M	半二重	5'b10100	1'b0	1'b1	1'b0
10	RMII_10M_FULL_RO	RMII	MII	10M	全二重	5'b10100	1'b1	1'b1	1'b0
11	RMII_100M_HALF_RO	RMII	MII	100M	半二重	5'b10101	1'b0	1'b1	1'b0
12	RMII_100M_FULL_RO	RMII	MII	100M	全二重	5'b10101	1'b1	1'b1	1'b0
13	RGMII_10M_HALF_RI	RGMII	MII	10M	半二重	5'b01000	1'b0	1'b1	1'b1
14	RGMII_10M_FULL_RI	RGMII	MII	10M	全二重	5'b01000	1'b1	1'b1	1'b1
15	RGMII_100M_HALF_RI	RGMII	MII	100M	半二重	5'b01001	1'b0	1'b1	1'b1
16	RGMII_100M_FULL_RI	RGMII	MII	100M	全二重	5'b01001	1'b1	1'b1	1'b1
17	RGMII_1G_HALF_RI	RGMII	GMII	1G	半二重	5'b01010	1'b0	1'b1	1'b1
18	RGMII_1G_FULL_RI	RGMII	GMII	1G	全二重	5'b01010	1'b1	1'b1	1'b1
19	RGMII_10M_HALF	RGMII	MII	10M	半二重	5'b01000	1'b0	1'b1	1'b0
20	RGMII_10M_FULL	RGMII	MII	10M	全二重	5'b01000	1'b1	1'b1	1'b0
21	RGMII_100M_HALF	RGMII	MII	100M	半二重	5'b01001	1'b0	1'b1	1'b0
22	RGMII_100M_FULL	RGMII	MII	100M	全二重	5'b01001	1'b1	1'b1	1'b0
23	RGMII_1G_HALF	RGMII	GMII	1G	半二重	5'b01010	1'b0	1'b1	1'b0
24	RGMII_1G_FULL	RGMII	GMII	1G	全二重	5'b01010	1'b1	1'b1	1'b0

表 8.4　Ethernet PHY のクロック I/F（Part 1）

クロック ＼ No.とモード名		1	2	3	4
		MII_10M_HALF	MII_10M_FULL	MII_100M_HALF	MII_100M_FULL
リファレンスクロック	方向	PHY へ出力			
	クロック信号名	MII_REFCLK			
	周波数［MHz］	25			
送信クロック	方向	PHY から入力			
	クロック信号名	GMII[m]_TXCLK（m=1～5）			
	周波数［MHz］	2.5		25	
受信クロック	方向	PHY から入力			
	クロック信号名	GMII[m]_RXCLK（m=1～5）			
	周波数［MHz］	2.5		25	

表 8.5　Ethernet PHY のクロック I/F（Part 2）

クロック ＼ No.とモード名		5	6	7	8
		RMII_10M_HALF_RI	RMII_10M_FULL_RI	RMII_100M_HALF_RI	RMII_100M_FULL_RI
リファレンスクロック	方向	PHY から入力			
	クロック信号名	GMII[m]_RXCLK（m=1～5）			
	周波数［MHz］	50			
送信クロック	方向	リファレンスクロックを使用			
	クロック信号名				
	周波数［MHz］				
受信クロック	方向	リファレンスクロックを使用			
	クロック信号名				
	周波数［MHz］				

表 8.6　Ethernet PHY のクロック I/F（Part 3）

クロック ＼ No.とモード名		9	10	11	12
		RMII_10M_HALF_RO	RMII_10M_FULL_RO	RMII_100M_HALF_RO	RMII_100M_FULL_RO
リファレンスクロック	方向	PHY へ出力			
	クロック信号名	RMII_REFCLK			
	周波数［MHz］	50			
送信クロック	方向	リファレンスクロックを使用			
	クロック信号名				
	周波数［MHz］				
受信クロック	方向	リファレンスクロックを使用			
	クロック信号名				
	周波数［MHz］				

表 8.7　Ethernet PHY のクロック I/F（Part 4）

クロック ＼ No.とモード名		13	14	15	16
		RGMII_10M_HALF_RI	RGMII_10M_FULL_RI	RGMII_100M_HALF_RI	RGMII_100M_FULL_RI
リファレンスクロック	方向	外部オシレータから入力			
	クロック信号名	RGMII_REFCLK			
	周波数［MHz］	125			
送信クロック	方向	PHY へ出力			
	クロック信号名	GMII[m]_TXCLK（m=1～5）			
	周波数［MHz］	2.5		25	
受信クロック	方向	PHY から入力			
	クロック信号名	GMII[m]_RXCLK（m=1～5）			
	周波数［MHz］	2.5		25	

表 8.8　Ethernet PHY のクロック I/F（Part 5）

クロック ＼ No.とモード名		17	18
		RGMII_1G_HALF_RI	RGMII_1G_FULL_RI
リファレンスクロック	方向	外部オシレータから入力	
	クロック信号名	RGMII_REFCLK	
	周波数［MHz］	125	
送信クロック	方向	PHY へ出力	
	クロック信号名	GMII[m]_TXCLK（m=1～5）	
	周波数［MHz］	125	
受信クロック	方向	PHY から入力	
	クロック信号名	GMII[m]_RXCLK（m=1～5）	
	周波数［MHz］	125	

表 8.9　Ethernet PHY のクロック I/F（Part 6）

クロック ＼ No.とモード名		19	20	21	22
		RGMII_10M_HALF	RGMII_10M_FULL	RGMII_100M_HALF	RGMII_100M_FULL
リファレンスクロック	方向	—			
	クロック信号名	—			
	周波数［MHz］	—			
送信クロック	方向	PHY へ出力			
	クロック信号名	GMII[m]_TXCLK（m=1～5）			
	周波数［MHz］	2.5		25	
受信クロック	方向	PHY から入力			
	クロック信号名	GMII[m]_RXCLK（m=1～5）			
	周波数［MHz］	2.5		25	

表 8.10　Ethernet PHY のクロック I/F（Part 7）

クロック ＼ No.とモード名		23	24
		RGMII_1G_HALF	RGMII_1G_FULL
リファレンスクロック	方向	—	
	クロック信号名	—	
	周波数［MHz］	—	
送信クロック	方向	PHY へ出力	
	クロック信号名	GMII[m]_TXCLK（m=1～5）	
	周波数［MHz］	125	
受信クロック	方向	PHY から入力	
	クロック信号名	GMII[m]_RXCLK（m=1～5）	
	周波数［MHz］	125	

表 8.11　各モジュールのサポートモード

Ethernet I/F モード		各モジュールのサポートモード					
No.	モード名	GMAC1/2	A5PSW PortA/B/C/D		ETHERCAT PortA/B/C	SERCOSIII PortA/B	HSR PortA/B InterLink 注 1
			ストアアンドフォワード／カットスルー	HUB モード			
1	MII_10M_HALF	○	○	×	×	×	×
2	MII_10M_FULL	○	○	×	×	×	×
3	MII_100M_HALF	○	○	×	×	×	×
4	MII_100M_FULL	○	○	×	○注 2	○	○
5	RMII_10M_HALF_RI	○	○	×	×	×	×
6	RMII_10M_FULL_RI	○	○	×	×	×	×
7	RMII_100M_HALF_RI	○	○	×	×	×	×
8	RMII_100M_FULL_RI	○	○	×	○注 3	○	○
9	RMII_10M_HALF_RO	○	○	×	×	×	×
10	RMII_10M_FULL_RO	○	○	×	×	×	×
11	RMII_100M_HALF_RO	○	○	○	×	×	×
12	RMII_100M_FULL_RO	○	○	×	○	○	○
13	RGMII_10M_HALF_RI	○	○	×	×	×	×
14	RGMII_10M_FULL_RI	○	○	×	×	×	×
15	RGMII_100M_HALF_RI	○	○	×	×	×	×
16	RGMII_100M_FULL_RI	○	○	×	×	×	×
17	RGMII_1G_HALF_RI	○	×	×	×	×	×
18	RGMII_1G_FULL_RI	○	○	×	×	×	×
19	RGMII_10M_HALF	○	○	×	×	×	×
20	RGMII_10M_FULL	○	○	×	×	×	×
21	RGMII_100M_HALF	○	○	×	×	×	×
22	RGMII_100M_FULL	○	○	×	×	×	×
23	RGMII_1G_HALF	○	×	×	×	×	×
24	RGMII_1G_FULL	○	○	×	×	×	×

注1.　外部ポート接続時（MODCTRL.SW_MODE[4:0]＝5'b11110）のみ Port InterLink がサポートされます。

注2.　ETHERCAT 使用時、入力された GMII[m]_TXCLK（m＝3～5）のリファレンスクロックは MII_REFCLK の出力クロックに同期していなければなりません。

注3.　ETHERCAT 使用時、入力された GMII[m]_RXCLK（m＝3～5）のリファレンスクロックは RMII_REFCLK の出力クロックに同期していなければなりません。

8.2.1　イーサネットポートの内部接続

イーサネットポートの内部接続は、イーサネットアクセサリレジスタのモードコントロールレジスタ（MODCTRL）によって、以下のようにコントロールされます。

表 8.12　イーサネットポートの内部接続

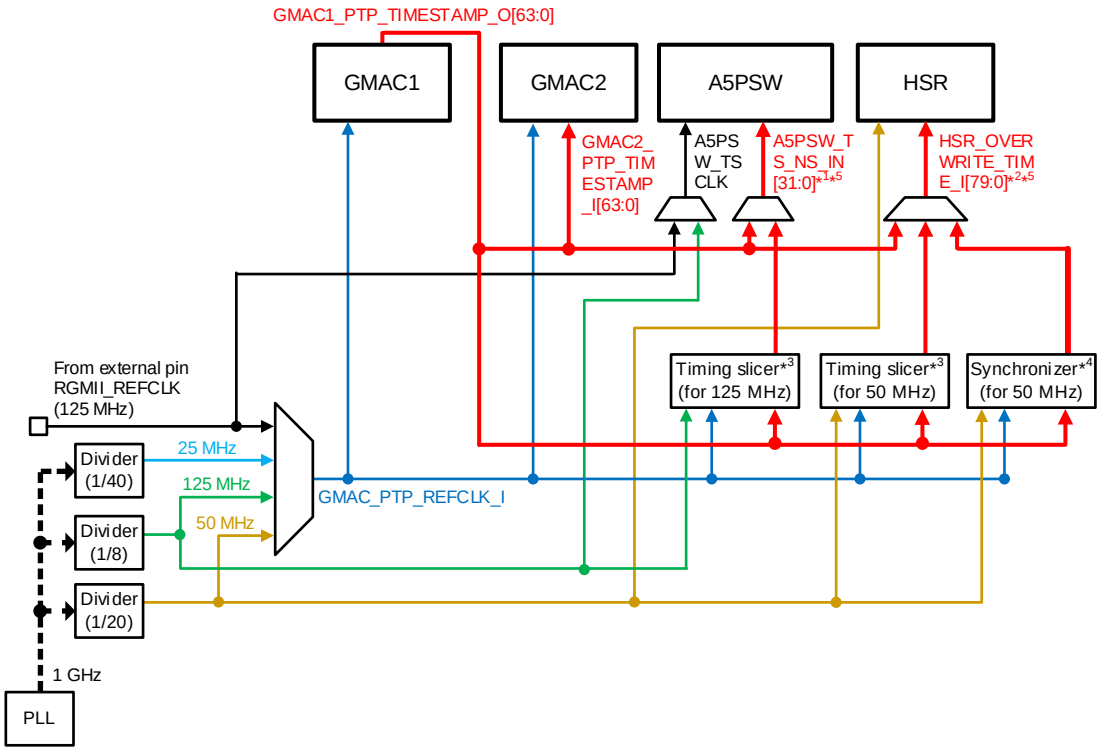
モードコントロールレジスタ MODCTRL. SW_MODE[4:0]		イーサネットポートの内部接続						
10 進	2 進	HSR PORTI INTERLINK	SWITCH PORTIN（A5PSW 管理ポート）	MII_CONV1	MII_CONV2	MII_CONV3	MII_CONV4	MII_CONV5
0	5’b00000	—	RTOS PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	SERCOS PORTB	SERCOS PORTA
1	5’b00001	—	RTOS PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	ETHERCAT PORTB	ETHERCAT PORTA
2	5’b00010	—	RTOS PORT	MAC1 PORT	SWITCH PORTD	ETHERCAT PORTC	ETHERCAT PORTB	ETHERCAT PORTA
3	5’b00011	—	RTOS PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	SWITCH PORTB	SWITCH PORTA
4～7	5’b00100～5’b00111	予約（設定禁止）						
8	5’b01000	—	RTOS PORT	MAC1 PORT	MAC2 PORT	SWITCH PORTC	SERCOS PORTB	SERCOS PORTA
9	5’b01001	—	RTOS PORT	MAC1 PORT	MAC2 PORT	SWITCH PORTC	ETHERCAT PORTB	ETHERCAT PORTA
10	5’b01010	—	RTOS PORT	MAC1 PORT	MAC2 PORT	ETHERCAT PORTC	ETHERCAT PORTB	ETHERCAT PORTA
11	5’b01011	—	RTOS PORT	MAC1 PORT	MAC2 PORT	SWITCH PORTC	SWITCH PORTB	SWITCH PORTA
12～15	5’b01100～5’b01111	予約（設定禁止）						
16	5’b10000	—	MAC2 PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	SERCOS PORTB	SERCOS PORTA
17	5’b10001	—	MAC2 PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	ETHERCAT PORTB	ETHERCAT PORTA
18	5’b10010	—	MAC2 PORT	MAC1 PORT	SWITCH PORTD	ETHERCAT PORTC	ETHERCAT PORTB	ETHERCAT PORTA
19	5’b10011	—	MAC2 PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	SWITCH PORTB	SWITCH PORTA
20～27	5’b10100～5’b11011	予約（設定禁止）						
28	5’b11100	—	MAC2 PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	HSR PORTB	HSR PORTA
29	5’b11101	SWITCH PORTA	MAC2 PORT	MAC1 PORT	SWITCH PORTD	SWITCH PORTC	HSR PORTB	HSR PORTA
30	5’b11110	MII_CONV3	MAC2 PORT	MAC1 PORT	SWITCH PORTD	HSR PORTI INTERLINK	HSR PORTB	HSR PORTA
31	5’b11111	MAC2 PORT	—	MAC1 PORT	—	—	HSR PORTB	HSR PORTA

8.2.2　PTP 用クロックの選択

PTP 用クロックはイーサネットアクセサリレジスタの PTP モードコントロールレジスタ（PTPMCTRL）によって選択されます。

「**表 8.13 PTP 用クロックの選択**」は各 PTP 用クロック設定を示し、「**表 8.14 PTP_MODE の推奨設定**」は MODCTRL.SW_MODE ビットに対する推奨値を示しています。

各モジュールの PTP 機能に関しては、R-IN Engine・イーサネット機能のユーザーズマニュアルの「**6.5.7 IEEE 1588 タイムスタンプ生成のプログラミングガイドライン**」および「**4.5.4 タイムスタンプ機能（TSM）**」を参照してください。



注1.　A5PSW 向けビットマップは以下です。
　　A5PSW_TS_NS_IN [31:30]＝00b
　　A5PSW_TS_NS_IN [29:0]＝GMAC1_PTP_TIMESTAMP_O[29:0]

注2.　HSR 向けビットマップは以下です。
　　HSR_OVERWRITE_TIME_I[79:64]＝0000h
　　HSR_OVERWRITE_TIME_I[63:32]＝GMAC1_PTP_TIMESTAMP_O[63:32]
　　HSR_OVERWRITE_TIME_I[31:30]＝00b
　　HSR_OVERWRITE_TIME_I[29:0]＝GMAC1_PTP_TIMESTAMP_O[29:0]

注3.　Timing slicer はクロック周波数変換の同期ブリッジです。

注4.　Synchronizer はクロック周波数変換の非同期ブリッジです。

注5.　有効な値にするため、PWRCTRL_SWITCHCTRL レジスタの RSTN_CLK25 のリセットを解除してください。

図 8.2　　PTPMCTRL レジスタによる PTP 用クロックの選択

表 8.13　PTP 用クロックの選択

PTPMCTRL.PTP_MODE [3:0]	GMAC1	GMAC2	A5PSW		HSR		
	GMAC_PTP_REFCLK_I	GMAC_PTP_REFCLK_I	PTP 用クロック（A5PSW_TSCLK）	Timing Slicer	PTP 用クロック	Synchronizer	Timing Slicer
O 4'b0000	停止	停止	停止	無効	無効	無効	無効
A 4'b0001	RGMII_REFCLK（外部端子からの 125MHz）	RGMII_REFCLK（外部端子からの 125MHz）	RGMII_REFCLK（外部端子からの 125MHz）	無効	50MHz（PLL ソースから）	有効	無効
B 4'b0010	125MHz（PLL ソースから）	125MHz（PLL ソースから）	125MHz（PLL ソースから）	無効	50MHz（PLL ソースから）	無効	有効
C 4'b0011	50MHz（PLL ソースから）	50MHz（PLL ソースから）	125MHz（PLL ソースから）	有効	50MHz（PLL ソースから）	無効	無効
D 4'b0100	25MHz（PLL ソースから）	25MHz（PLL ソースから）	125MHz（PLL ソースから）	有効	50MHz（PLL ソースから）	無効	有効

表 8.14　PTP_MODE の推奨設定

Mode Control Register		PTP Mode Control Register			
MODCTRL.SW_MODE[4:0]		PTPMCTRL.PTP_MODE[3:0]の推奨値			
		PTP タイマーに高精度要求時		PTP-Timer に低パワー要求時	PTP-Timer 未使用時
		RGMII_REFCLK 使用時（PTPMCTRL.RGMII_CLKSEL＝1）	RGMII_REFCLK 未使用時（PTPMCTRL.RGMII_CLKSEL＝0）		
10 進	2 進	Symbol	Symbol	Symbol	Symbol
0	5'b00000	A	B	D	O
1	5'b00001	A	B	D	O
2	5'b00010	A	B	D	O
3	5'b00011	A	B	D	O
4～7	5'b00100～5'b00111	予約（設定禁止）			
8	5'b01000	A	B	D	O
9	5'b01001	A	B	D	O
10	5'b01010	A	B	D	O
11	5'b01011	A	B	D	O
12～15	5'b01100～5'b01111	予約（設定禁止）			
16	5'b10000	A	B	D	O
17	5'b10001	A	B	D	O
18	5'b10010	A	B	D	O
19	5'b10011	A	B	D	O
20～27	5'b10100～5'b11011	予約（設定禁止）			
28	5'b11100	B	B	C	O
29	5'b11101	B	B	C	O
30	5'b11110	B	B	C	O
31	5'b11111	B	B	C	O

PTP でのタイムスタンプ処理と構成例を以下に示します。

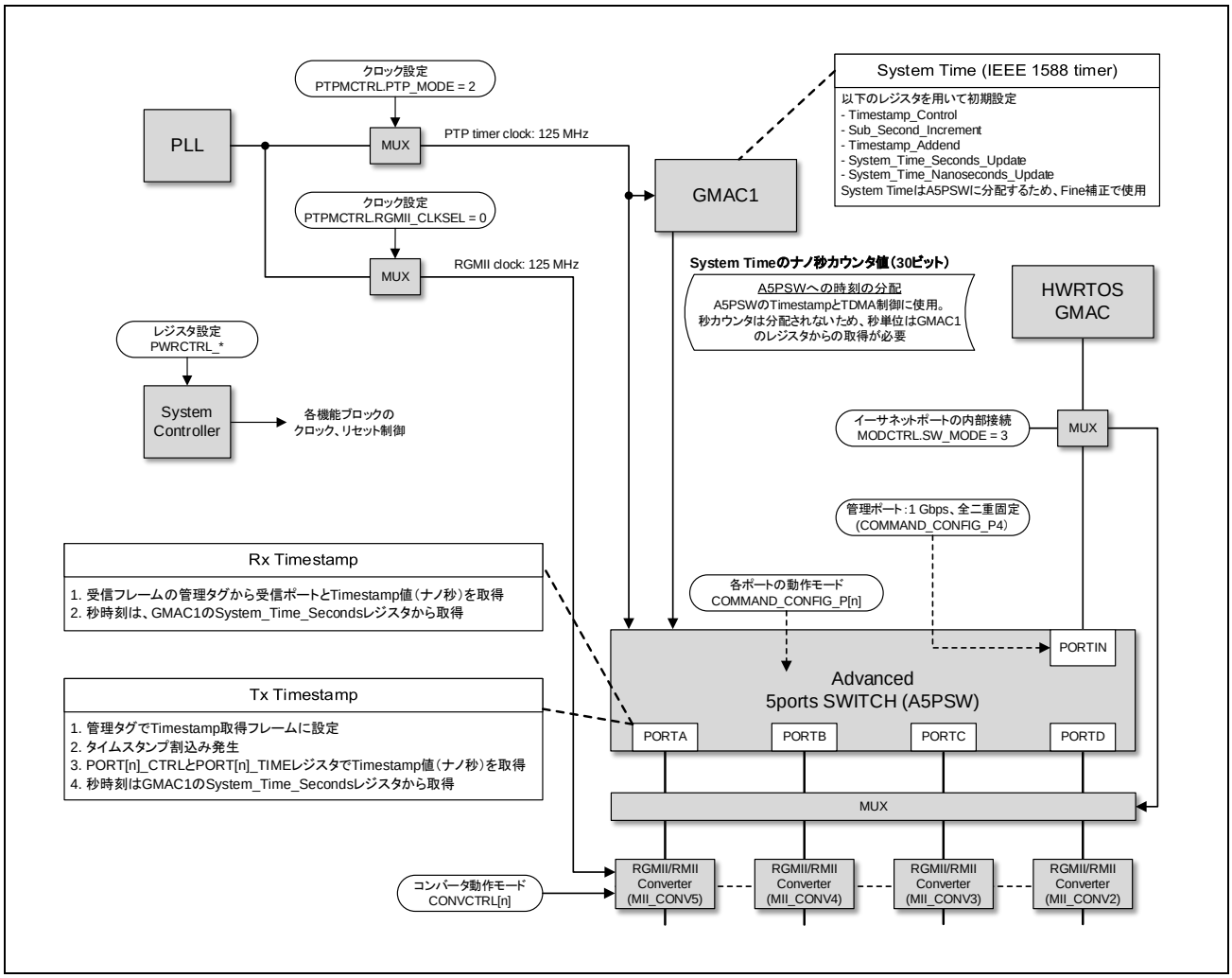


図 8.3　　PTP 使用時の構成例

8.3 操作手順

8.3.1 初期化

Ethernet を使うためのシーケンス例は以下のとおりです。

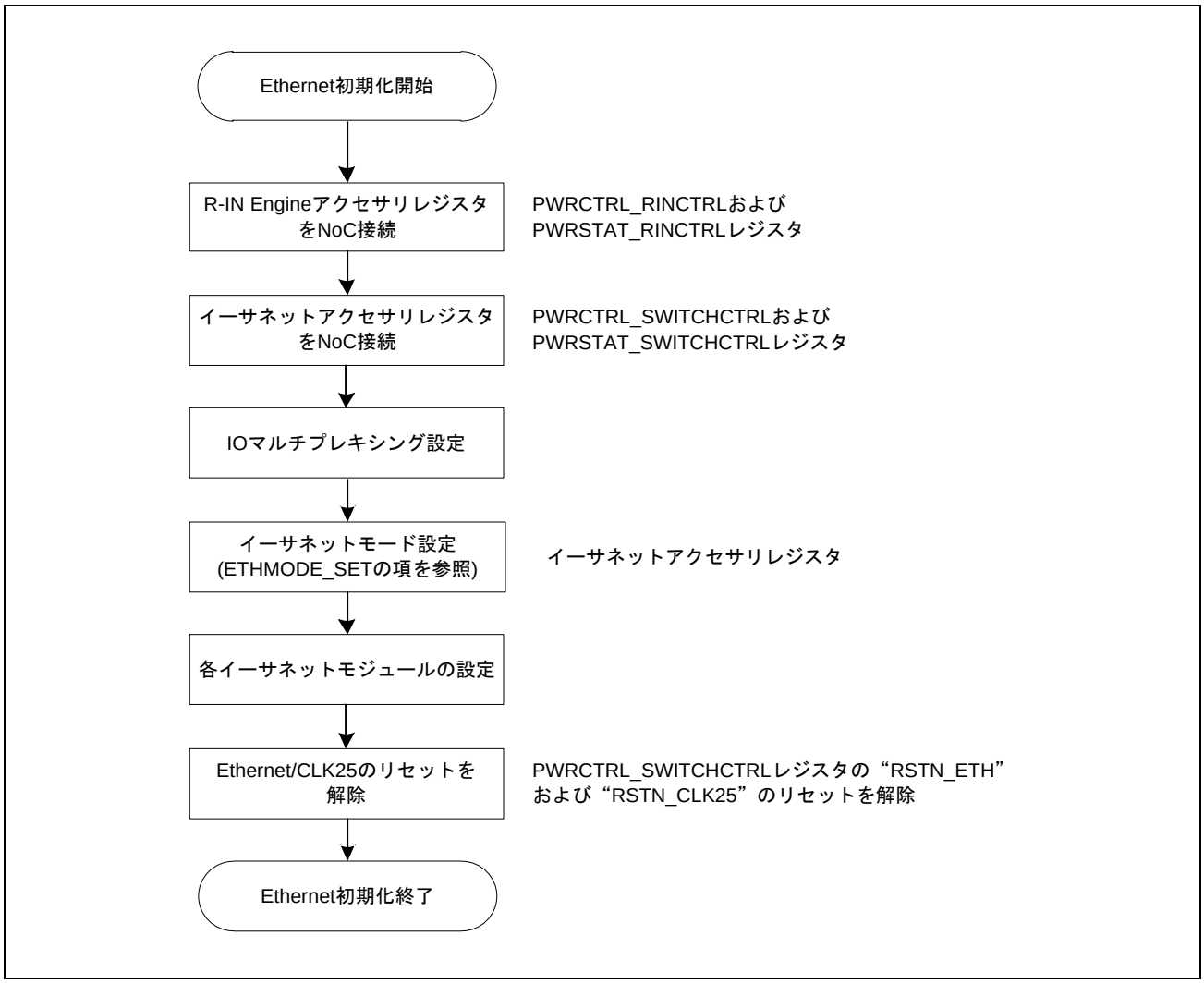
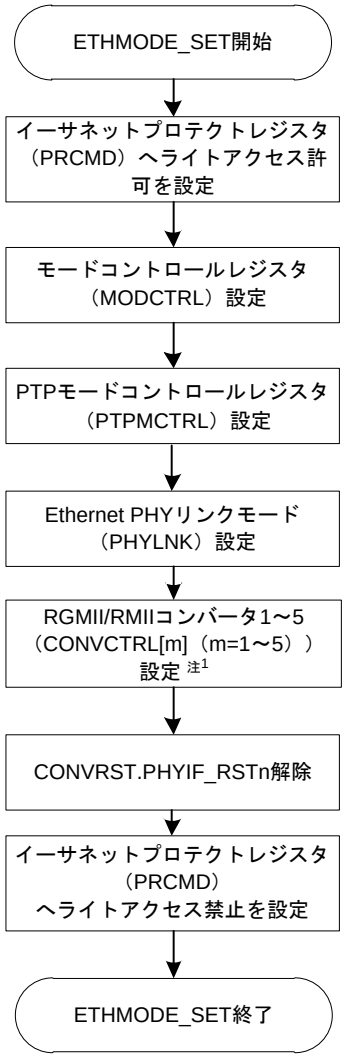


図 8.4　Ethernet の初期化のフローチャート

8.3.2 ETHMODE_SET

ETHMODE_SET 動作のため、以下のフローチャートを実施してください。



備考　イーサネットアクセサリレジスタのレジスタの説明を参照

注1. イーサネットポート 1 を使用しない場合は、RGMII/RMII コンバーター1＝0000_0115h を設定してください。この設定を行わないと、PTP 回路は動作しません。たとえば、RZ/N1D-324 ではポート 1 がないため、この設定は必須です。

図 8.5　ETHMODE_SET フローチャート

8.4 使用上の注意事項

8.4.1 制限

- SERCOSIII、ETHERCAT、HSR は同時に使用できません。
- HW-RTOS GMAC と HSR は同時に使用できません。
- HSR は RZ/N1D のみ使用可能です。
- RZ/N1D-324 はポート 3、4、5 のみ使用可能です。
- RZ/N1S-196 と RZ/N1L はポート 1、4、5 のみ使用可能です。

8.4.1.1 サポートされる Ethernet 信号

表 8.15　各 PHY モードにおける Ethernet 信号

信号名	MII モード	RMII モード	RGMII モード	注釈
GMII[m]_TXCLK	TX_CLK	未使用	TXC	
GMII[m]_TXD0	TXD0	TXD0	TXD0	
GMII[m]_TXD1	TXD1	TXD1	TXD1	
GMII[m]_TXD2	TXD2	未使用	TXD2	
GMII[m]_TXD3	TXD3	未使用	TXD3	
GMII[m]_TXEN	TX_EN	TX_EN	TX_CTL	
GMII[m]_TXER	TX_ER	未使用	未使用	RZ/N1S-196、または RZ/N1L のポート 1 にはありません
GMII[m]_RXCLK	RX_CLK	REF_CLK	RXC	
GMII[m]_RXD0	RXD0	RXD0	RXD0	
GMII[m]_RXD1	RXD1	RXD1	RXD1	
GMII[m]_RXD2	RXD2	未使用	RXD2	
GMII[m]_RXD3	RXD3	未使用	RXD3	
GMII[m]_RXDV	RX_DV	CRS_DV	RX_CTL	
GMII[m]_RXER	RX_ER	RX_ER （オプション）	未使用	RZ/N1S-196、または RZ/N1L のポート 1 にはありません
GMII[m]_CRS	CRS	未使用	未使用	RZ/N1S-196、または RZ/N1L のポート 1 にはありません
GMII[m]_COL	COL	未使用	未使用	RZ/N1S-196、または RZ/N1L のポート 1 にはありません

備考　m＝1～5

第9章　割り込み

9.1　概要

RZ/N1 は割り込みコントローラとして Cortex-A7 GICv2 と Cortex-M3 NVIC を持っています。

9.1.1　Cortex-A7 GICv2

GIC は多数の割り込みソースから照合、調停を行います。以下が提供されます。

- 割り込みマスク
- 割り込みの優先順位づけ
- ターゲットプロセッサへの割り込みを nIRQ と nFIQ で分配
- 割り込み状態のトラッキング
- ソフトウェアによる割り込みの生成
- セキュリティ拡張のサポート
- 仮想化拡張のサポート
- 160 の標準割り込みソースをサポート
- GIC は Arm Generic Interrupt Controller（GIC）Architecture Specification の version 2.0 に準拠

Arm ウェブサイトの“*CoreLink™ GIC-400 Generic Interrupt Controller Technical Reference Manual*”を参照してください。

9.1.2　Cortex-M3 NVIC

NVIC の主な機能は以下のとおりです。

- 割り込みマスク
- 割り込みの優先順位づけ
- ソフトウェアによる割り込みの生成
- 低レイテンシ割り込みを容易にします（NVIC とプロセッサコアインタフェースは密接に結合）。NVIC 多重割り込みを可能にするため、スタックされた（ネストされた）割り込みの情報を保持します。
- パワーマネージメントの管理
- 最大 256 優先度レベル付け可能な 240 の標準割り込みソースのサポート
- 外部 IO からコントロールされる NMI 割り込み

Arm ウェブサイトの“*Cortex-M3 Technical Reference Manual*”を参照してください。

9.2 動作

9.2.1 IRQ の同期化

RZ/N1 システムコントローラはすべてのソースからすべての IRQ 信号を受け取り、Cortex-A7 GIC、Cortex-M3 NVIC、HW-RTOS に伝達します。次の IRQ 処理カテゴリが区別されています。

- Cortex-A7 GIC には同期論理があります。
- RZ/N1 システムコントローラはすべての割り込みで Cortex-M3 と HW-RTOS 用の同期論理があります。よって、Cortex-M3 と HW-RTOS は同期化後の割り込み信号を受け取ります。
- イーサネット機能は IRQ の特定の割り込み（49～52 番）を共有しています。

9.2.2 ノンマスカブル割り込み

Cortex-M3 CPU はノンマスカブル割り込み（NMI）の入力を持っています。この割り込みは IO マルチプレキシングによって外部端子に割り当て可能です。

9.2.3 Cortex-A7 と Cortex-M3 の割り込みマネージメント

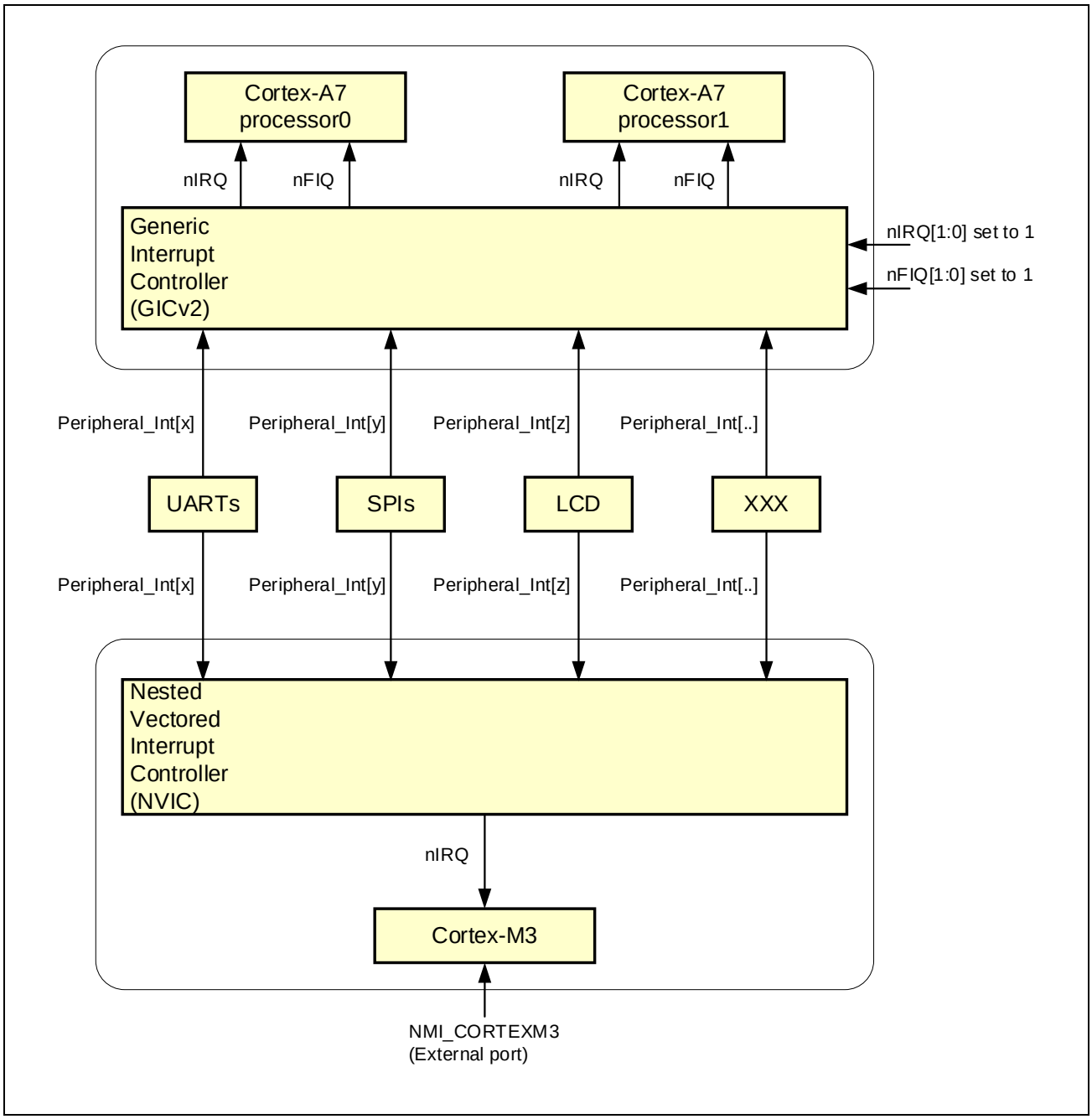


図 9.1　Cortex-A7 と Cortex-M3 の割り込みマネージメント

9.2.4 割り込み割り当てとベクタ番号

表 9.1　割り込み割り当てとベクタ番号（1/4）

IRQ [番号]	IRQ	N1D		N1S		N1L	説明
		CA7	CM3	CA7	CM3	CM3	
0	ADC_Int	○	○	○	○	○	ADC 割り込み
1	I2C1_Int	○	○	○	○	○	I2C1 割り込み
2	I2C2_Int	○	○	○	○	○	I2C2 割り込み
3	予約	—	—	—	—	—	予約
4	予約	—	—	—	—	—	予約
5	予約	—	—	—	—	—	予約
6	UART1_Int	○	○	○	○	○	UART1 割り込み
7	UART2_Int	○	○	○	○	○	UART2 割り込み
8	UART3_Int	○	○	○	○	○	UART3 割り込み
9	予約	—	—	—	—	—	予約
10	PWM_Int	○	○	○	○	○	PWMTimer 割り込み
11	ECC_4MB_Int	—	—	○	○	○	4MB SRAM で ECC エラー検出および訂正不可
12	ECC_2MB_Int	○	○	○	○	○	2MB SRAM で ECC エラー検出および訂正不可
13	CM3_LOCKUP_Int	○	—	○	—	—	Cortex-M3 ロックアップ
14	CM3_TRING_Int[0]	○	○	○	○	—	トリガ割り込み 0 （Cortex-M3 のクロストリガインタフェース）
15	CM3_TRING_Int[1]	○	○	○	○	—	トリガ割り込み 1 （Cortex-M3 のクロストリガインタフェース）
16	HWRTOS_BRAMERR_Int	—	○	—	○	○	HW-RTOS GMAC バッファ RAM エリアアクセスエラー
17	HWRTOS_BUFDMA_Int	—	○	—	○	○	HW-RTOS GMAC バッファ間 DMA 転送完了
18	HWRTOS_BUFDMAERR_Int	—	○	—	○	○	HW-RTOS GMAC バッファ間 DMA エラー
19	HWRTOS_ETHMMAI_Int	—	○	—	○	○	HW-RTOS GMAC MII 管理アクセス完了割り込み
20	HWRTOS_ETHPPIT_Int	—	○	—	○	○	HW-RTOS GMAC ポーズパケット送信完了
21	HWRTOS_ETHDRIE_Int	—	○	—	○	○	HW-RTOS GMAC MACDMA 受信エラー
22	HWRTOS_ETHDMAIR_Int	—	○	—	○	○	HW-RTOS GMAC MACDMA 受信完了
23	HWRTOS_ETHRFE_Int	—	○	—	○	○	HW-RTOS GMAC MACDMA エラーフレーム受信完了
24	HWRTOS_ETHRFIV_Int	—	○	—	○	○	HW-RTOS GMAC RX FIFO オーバーフロー
25	HWRTOS_ETHIT_Int	—	○	—	○	○	HW-RTOS GMAC 送信完了割り込み
26	HWRTOS_ETHDTIE_Int	—	○	—	○	○	HW-RTOS GMAC MACDMA 送信エラー
27	HWRTOS_ETHDMAIT_Int	—	○	—	○	○	HW-RTOS GMAC MACDMA 送信完了
28	HWRTOS_ETHTFIU_Int	—	○	—	○	○	HW-RTOS GMAC TX FIFO アンダーフロー
29	HWRTOS_ETHTFIE_Int	—	○	—	○	○	HW-RTOS GMAC TX FIFO エラー割り込み
30	HWRTOS_Int	—	○	—	○	○	HW-RTOS 割り込み
31	HWRTOS_ETHRFI_Int	—	○	—	○	○	HW-RTOS GMAC MACDMA 有効フレーム受信完了
32	予約	—	—	—	—	—	予約
33	予約	—	—	—	—	—	予約
34	GMAC1_SBD_Int	○	○	○	○	○	GMAC1 汎用
35	GMAC1_LPI_Int	○	○	○	○	○	GMAC1 省電力
36	GMAC1_PMT_Int	○	○	○	○	○	GMAC1 電力管理
37	GMAC2_SBD_Int	○	○	○	○	○	GMAC2 汎用
38	GMAC2_LPI_Int	○	○	○	○	○	GMAC2 省電力
39	GMAC2_PMT_Int	○	○	○	○	○	GMAC2 電力管理
40	A5PSW_DLR_Int	○	○	○	○	○	A5PSW ― DLR 割り込み

表 9.1　割り込み割り当てとベクタ番号（2/4）

IRQ [番号]	IRQ	N1D		N1S		N1L	説明
		CA7	CM3	CA7	CM3	CM3	
41	予約	—	—	—	—	—	予約
42	A5PSW_Int	○	○	○	○	○	A5PSW
43	A5PSW_PRP_Int	○	○	○	○	—	A5PSW — PRP 割り込み
44	A5PSW_HUB_Int	○	○	○	○	○	A5PSW — 内蔵 Hub モジュール
45	A5PSW_PTRN_Int	○	○	○	○	○	A5PSW — RX パターンマッチャー
46	ETHCAT_RST_Int	○	○	○	○	○	ETHERCAT リセット割り込み
47	ETHCAT_SYNC_Int[0]	○	○	○	○	○	ETHERCAT シンク 0 割り込み
48	ETHCAT_SYNC_Int[1]	○	○	○	○	○	ETHERCAT シンク 1 割り込み
49	ETHCAT_WDT_Int SERCOS3_DIVCLK_Int	○	○	○	○	○	ETHERCAT と SERCOSIII の IRQ の間で OR されています（1 モジュールだけ排他的に使われます） ETHERCAT：WDT 割り込み SERCOSIII：Divided 通信クロック出力
50	ETHCAT_EOF_Int SERCOS3_CONCLK_Int HSR_PTP_I_IRQ	○	○	○	○	○	ETHERCAT、SERCOSIII と HSR IRQ の間で OR されています（1 モジュールだけ排他的に使われます） ETHERCAT：EOF 割り込み SERCOSIII：通信同期制御クロック出力 HSR：PTP インタフェース割り込み
51	ETHCAT_SOF_Int SERCOS3_Int[0] HSR_CPU_I_IRQ	○	○	○	○	○	ETHERCAT、SERCOSIII と HSR IRQ の間で OR されています（1 モジュールだけ排他的に使われます） ETHERCAT：SOF 割り込み SERCOSIII：ポート 1 割り込み HSR：CPU インタフェース割り込み
52	ETHCAT_Int SERCOS3_Int[1]	○	○	○	○	○	ETHERCAT と SERCOSIII IRQs の間でマルチプレキシング（アクティブなモジュールに依存） ETHERCAT 割り込み SERCOSIII：ポート 2 割り込み
53	予約	—	—	—	—	—	予約
54	予約	—	—	—	—	—	予約
55	予約	—	—	—	—	—	予約
56	DMA1_Int	○	○	○	○	○	DMAC1 割り込み
57	DMA2_Int	○	○	○	○	○	DMAC2 割り込み
58	NAND_Int	○	○	○	○	○	NAND Flash Controller 割り込み
59	IPCM_Int[0]	○	○	○	○	—	Mailbox 割り込み 0
60	IPCM_Int[1]	○	○	○	○	—	Mailbox 割り込み 1
61	IPCM_Int[2]	○	○	○	○	—	Mailbox 割り込み 2
62	予約	—	—	—	—	—	予約
63	MSEBIS_Int	○	○	○	○	○	MSEBI スレーブバス割り込み
64	QSPI1_Int	○	○	○	○	○	QuadSPI1 割り込み
65	QSPI2_Int	—	—	○	○	—	QuadSPI2 割り込み
66	RTCATINTAL_Int	○	—	○	—	—	RTC（アラーム割り込み）
67	RTCATINTR_Int	○	—	○	—	—	RTC（固定周期割り込み）
68	RTCATINT1S_Int	○	—	○	—	—	RTC（1 秒割り込み）
69	SDIF1_Int	○	○	○	○	○	SDIO/SD/eMMC 1 割り込み
70	SDIF1_wkup_Int	○	○	○	○	○	SDIO/SD/eMMC 1 ウェイクアップ
71	SDIF2_Int	○	○	○	○	○	SDIO/SD/eMMC 2 割り込み
72	SDIF2_wkup_Int	○	○	○	○	○	SDIO/SD/eMMC 2 ウェイクアップ

表 9.1　割り込み割り当てとベクタ番号（3/4）

IRQ [番号]	IRQ	N1D		N1S		N1L	説明
		CA7	CM3	CA7	CM3	CM3	
73	WDT_CA7_p0_reset_Int	○	○	○	○	—	CA7 processor0 のウォッチドッグタイマー
74	WDT_CA7_p1_reset_Int	○	○	—	—	—	CA7 processor1 のウォッチドッグタイマー
75	WDT_CM3_reset_Int	○	○	○	○	○	CM3 のウォッチドッグタイマー
76	DDRC_Int	○	○	—	—	—	DDR コントローラ
77	USB2F_EPC_Int	○	○	○	○	○	USB ファンクション
78	USB2F_Int	○	○	○	○	○	USB ファンクション
79	USB2H_BIND_Int	○	○	○	○	○	USB ホスト
80	SPI1_Int	○	○	○	○	○	SPI1 マスタ割り込み
81	SPI2_Int	○	○	○	○	○	SPI2 マスタ割り込み
82	SPI3_Int	○	○	○	○	○	SPI3 マスタ割り込み
83	SPI4_Int	○	○	○	○	○	SPI4 マスタ割り込み
84	SPI5_Int	○	○	○	○	○	SPI5 スレーブ割り込み
85	SPI6_Int	○	○	○	○	○	SPI6 スレーブ割り込み
86	UART4_Int	○	○	○	○	○	UART4 割り込み
87	UART5_Int	○	○	○	○	○	UART5 割り込み
88	UART6_Int	○	○	○	○	○	UART6 割り込み
89	UART7_Int	○	○	○	○	○	UART7 割り込み
90	UART8_Int	○	○	○	○	○	UART8 割り込み
91	予約	—	—	—	—	—	予約
92	予約	—	—	—	—	—	予約
93	予約	—	—	—	—	—	予約
94	予約	—	—	—	—	—	予約
95	CAN1_Int	○	○	○	○	○	CAN1
96	CAN2_Int	○	○	○	○	○	CAN2
97	LCDC_Int	○	○	○	○	—	LCD コントローラ割り込み
98	予約	—	—	—	—	—	予約
99	予約	—	—	—	—	—	予約
100	予約	—	—	—	—	—	予約
101	予約	—	—	—	—	—	予約
102	予約	—	—	—	—	—	予約
103	GPIO_Int[0]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
104	GPIO_Int[1]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
105	GPIO_Int[2]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
106	GPIO_Int[3]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
107	GPIO_Int[4]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
108	GPIO_Int[5]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
109	GPIO_Int[6]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
110	GPIO_Int[7]	○	○	○	○	○	32*3 の割り込みソースから選択（BGPIO1、2、3）注 1
111	予約	—	—	—	—	—	予約
112	TIMER1_Int[0]	○	○	○	○	○	TIMER1 のサブタイマー0 割り込み
113	TIMER1_Int[1]	○	○	○	○	○	TIMER1 のサブタイマー1 割り込み
114	TIMER1_Int[2]	○	○	○	○	○	TIMER1 のサブタイマー2 割り込み
115	TIMER1_Int[3]	○	○	○	○	○	TIMER1 のサブタイマー3 割り込み
116	TIMER1_Int[4]	○	○	○	○	○	TIMER1 のサブタイマー4 割り込み

表 9.1　割り込み割り当てとベクタ番号（4/4）

IRQ [番号]	IRQ	N1D		N1S		N1L	説明
		CA7	CM3	CA7	CM3	CM3	
117	TIMER1_Int[5]	○	○	○	○	○	TIMER1 のサブタイマー5 割り込み
118	TIMER1_Int[6]	○	○	○	○	○	TIMER1 のサブタイマー6 割り込み
119	TIMER1_Int[7]	○	○	○	○	○	TIMER1 のサブタイマー7 割り込み
120	TIMER2_Int[0]	○	○	○	○	○	TIMER2 のサブタイマー0 割り込み
121	TIMER2_Int[1]	○	○	○	○	○	TIMER2 のサブタイマー1 割り込み
122	TIMER2_Int[2]	○	○	○	○	○	TIMER2 のサブタイマー2 割り込み
123	TIMER2_Int[3]	○	○	○	○	○	TIMER2 のサブタイマー3 割り込み
124	TIMER2_Int[4]	○	○	○	○	○	TIMER2 のサブタイマー4 割り込み
125	TIMER2_Int[5]	○	○	○	○	○	TIMER2 のサブタイマー5 割り込み
126	TIMER2_Int[6]	○	○	○	○	○	TIMER2 のサブタイマー6 割り込み
127	TIMER2_Int[7]	○	○	○	○	○	TIMER2 のサブタイマー7 割り込み
128～154	予約	—	—	—	—	—	予約
155	AXIERR_IRQ	○	—	○	—	—	Cortex-A7 の AXI エラー割り込み
156～239	予約	×	—	×	—	—	予約

注1.　BGPIO[m]_Int[31:0]（m＝1、2、3）の割り込みソースから rGPIOs_Level2_Gpio_Int_[n]（n＝0～7）によって選択

第10章　IO

10.1　端子機能

表 10.1　PKG 電源端子名

分類	PKG 端子名	電源	説明
電源	VDD11	（V_{DD11}）	内部ロジック用の電源端子
	VDD11_CA7		
	GND	—	グラウンド端子
	VDD33	（V_{DD33}）	GPIO59～GPIO0 以外の入出力端子用の電源端子
	RGMII1_VDDQ	（V_{RGMII}）	GPIO11～GPIO0 用の電源端子
	RGMII2_VDDQ		GPIO23～GPIO12 用の電源端子
	RGMII3_VDDQ		GPIO35～GPIO24 用の電源端子
	RGMII4_VDDQ		GPIO47～GPIO36 用の電源端子
	RGMII5_VDDQ		GPIO59～GPIO48 用の電源端子
PLL 電源	PLL_AVDD	（V_{PLL}）	PLL 用の電源端子
	PLL_AGND	—	PLL 用のグラウンド端子
USB 電源	USB_VD33	（V_{USB}）	USB PHY 用の電源端子
	USB_GND	—	USB PHY 用のグラウンド端子
	USB_AVDD	（V_{USB}）	USB PHY 用のアナログ電源端子
	USB_AVSS	—	USB PHY 用のアナロググラウンド端子
RTC 電源	RTC_VDD33	（V_{RTC}）	RTC 用の電源端子
ADC 電源	ADC1_AVDD	（V_{ADC}）	ADC1 用の電源端子
	ADC1_AGND	—	ADC1 用のグラウンド端子
	ADC2_AVDD	（V_{ADC}）	ADC2 用の電源端子
	ADC2_AGND	—	ADC2 用のグラウンド端子
OTP 電源	ANF_VDD_PRG	（V_{ANFPRG}）	OTP メモリプログラミング電圧入力端子
DDR PHY 電源	DVDD	（V_{DVDD}）	DDR PHY コアおよび PLL 用の電源端子
	DVDDQ	（V_{DVDDQ}）	DDR PHY I/O 用の電源端子
	DVSS	—	DDR PHY 用のグラウンド端子

表 10.2　PKG 端子名（1/2）

分類	PKG 端子名	入出力	Active	電源	説明
クロック	MCLK_XO	入出力	—	VDD33	水晶発振子を接続。また、MCLK_XO 端子は外部クロック信号を入力することもできます。
	MCLK_XI	入力	—		
	RTC_XO	出力	—		水晶発振子を接続
	RTC_XI	入力	—		
動作モードコントロール	CONFIG[1:0]	入力	—		デバッグインタフェース制御端子 2'b00：Arm-JTAG/SWD（CoreSight） 2'b10：バウンダリスキャン（JTAG-TAP コントローラ） 上記以外：予約 これら端子は内部プルダウン抵抗（R_{PUUD}）を持っています。
	CONFIG2	入力	—		予約設定端子。1 にしてください。
	TMC[2:1]	入力	—		製品テスト端子。0 にしてください。
	CTRSTBYB	入力	High		シュミットトリガの IO バッファイネーブル端子 0：IO バッファディセーブル（出力：Hi-Z） 1：IO バッファイネーブル "電源投入／切断シーケンス"中の IO バッファ状態を直接制御するための端子です。 この端子は内部プルアップ抵抗（R_{PUUD}）を持っています。
システムコントロール	MRESET_N	入力	Low		シュミットトリガのマスタリセット信号入力端子
	MRESET_OUT	出力	High		マスタリセット信号出力端子。MRESET_N＝0 もしくはシステムリセットの間 1 を出力します。
	THMODE	入力	—		メインクロック入力モード選択端子 この端子は内部プルダウン抵抗（R_{PUUD}）を持っています。
デバッグインタフェース	JTAG_TRST_N	入力	Low		CoreSight もしくはバウンダリスキャン端子。 これらの端子はプルアップ／プルダウン抵抗（R_{PUUD}）を持っています。 JTAG_TRST_N、JTAG_TMS、JTAG_TDI、JTAG_TDO：プルアップ JTAG_TCK：プルダウン
	JTAG_TMS	入出力	—		
	JTAG_TDI	入力	—		
	JTAG_TDO	出力	—		
	JTAG_TCK	入力	—		
DDR2/3 インタフェース	DDR_CLKP	出力	—	DVDDQ	差動クロック出力端子 CLKP — DDR の CK、CLKN — DDR の/CK
	DDR_CLKN	出力	—		
	DDR_CLKEN	出力	High		クロックイネーブル端子
	DDR_RESET_N	出力	Low		DDR3-SDRAM 用のリセット信号
	DDR_ADDR[15:0]	出力	—		アドレスバス
	DDR_BA[2:0]	出力	—		バンクアドレス
	DDR_DQ[15:0]	入出力	—		データバス
	DDR_DM1 DDR_DM0	出力	High		データマスク信号
	DDR_DQS1 DDR_DQS0	入出力	—		差動双方向データストローブ DQS[n] — DDR の DQS DQS_N[n] — DDR の/DQS
	DDR_DQS_N1 DDR_DQS_N0	入出力	—		
	DDR_WE	出力	Low		DDR の/WE
	DDR_RAS	出力	Low		DDR の/RAS
	DDR_CAS	出力	Low		DDR の/CAS
	DDR_CS1 DDR_CS0	出力	Low		チップセレクト
	DDR_ODT1 DDR_ODT0	出力	High		ODT コントロール

表 10.2　PKG 端子名（2/2）

分類	PKG 端子名	入出力	Active	電源	説明
DDR2/3 インタフェース	DDR_MZQ	入出力	—	—	出力インピーダンス制御用外部リファレンス抵抗接続端子 DDR2：150Ω±1%を介して GND に接続 DDR3：120Ω±1%を介して GND に接続
	DDR_VREF	入力	—	（$V_{DDR\ REF}$）	リファレンス電圧入力端子
USB インタフェース	USB_RREF	入力	—	—	リファレンス電流生成端子 RZ/N1D：1.6kΩ±1%を介して GND に接続 RZ/N1S、N1L：2.2kΩ±1%を介して GND に接続
	USB_VBUS	入力	—	USB_VD33	USB ファンクション用のシュミットトリガのポートパワー検出端子
	USB_DP1	入出力	—		USB High Speed D±信号（Port1）
	USB_DM1	入出力	—		
	USB_DP2	入出力	—		USB High Speed D±信号（Port2）
	USB_DM2	入出力	—		
AD コンバータ	ADC1_VREFP	入力	—	（$V_{ADC\ REFP}$）	リファレンス電圧入力端子
	ADC1_VREFN	入力	—	（$V_{ADC\ REFM}$）	
	ADC1_IN[n]	入力	—	ADC1_AVDD	ADC1 用のアナログ入力端子 n＝0～4、6～8
	ADC2_VREFP	入力	—	（$V_{ADC\ REFP}$）	リファレンス電圧入力端子
	ADC2_VREFN	入力	—	（$V_{ADC\ REFM}$）	
	ADC2_IN[n]	入力	—	ADC2_AVDD	ADC2 用のアナログ入力端子 n＝0～4、6～8
リアルタイムクロック（RTC）	RTC_PWRGOOD	入力	—	RTC_VDD33	RTC バックアップモード制御端子 0：バックアップ 1：通常
GPIO	GPIO[n]	入出力	—	RGMII1_VDDQ	n＝0～11
				RGMII2_VDDQ	n＝12～23
				RGMII3_VDDQ	n＝24～35
				RGMII4_VDDQ	n＝36～47
				RGMII5_VDDQ	n＝48～59
				VDD33	n＝60～169（最大） GPIO75～79、83 は外部端子コンフィグレーションにも使用されます。この機能の詳細は「**7.3.2 外部端子によるコンフィグレーション**」に記載されています。

表 10.3　GPIO Multiplexed 端子名（1/3）

分類	IOMuxed 信号名	入出力	Active Level	説明
Ethernet RGMII/RMII/MII	GMII[m]_TXCLK	入出力	—	TX クロック m＝1～5
	GMII[m]_TXD[3:0]	出力	—	TX データ m＝1～5
	GMII[m]_TXEN	出力	High	TX データイネーブル m＝1～5
	GMII[m]_TXER	出力	High	TX データエラーm＝1～5
	GMII[m]_RXCLK	入力	—	RX クロック m＝1～5
	GMII[m]_RXD[3:0]	出力	—	RX データ m＝1～5
	GMII[m]_RXDV	入力	High	RX データイネーブル m＝1～5
	GMII[m]_RXER	入力	High	RX データエラーm＝1～5
	GMII[m]_CRS	入力	High	キャリア検出 m＝1～5
	GMII[m]_COL	入力	High	コリジョン検出 m＝1～5
	RGMII_REFCLK	入力	—	RGMII 用の 125MHz 入力
	RMII_REFCLK	出力	—	RMII 用の 50MHz 出力
	MII_REFCLK_[5:0]	出力	—	MII 用の 25MHz 出力
NAND Flash	FNAND_CE_N[3:0]	出力	Low	チップイネーブル
	FNAND_IO[7:0]	入出力	—	データ
	FNAND_CLE	出力	High	コマンドラッチイネーブル
	FNAND_ALE	出力	High	アドレスラッチイネーブル
	FNAND_RE_N	出力	Low	リードイネーブル
	FNAND_WE_N	出力	Low	ライトイネーブル
	FNAND_WP_N[3:0]	出力	Low	ライトプロテクト／リセット
	FNAND_RY/BY_N[3:0]	入力	—	レディ／ビジー
QSPI	QUAD[m]_CLK	出力	—	クロック m＝1、2
	QUAD[m]_IO[3:0]	入出力	—	データ m＝1、2
	QUAD[m]_CS_N[3:0]	出力	Low	スレーブセレクト m＝1、2
SD/MMC/SDIO	SDIO[m]_CLK	出力	—	クロック m＝1、2
	SDIO[m]_CMD	入出力	—	コマンド／レスポンス m＝1、2
	SDIO[m]_IO[7:0]	入出力	—	データ m＝1、2
	SDIO[m]_CD_N	入力	Low	カード検出 m＝1、2
	SDIO[m]_WP	入力	High	SD カードライトプロテクト m＝1、2
	SDIO[m]_LEDCTRL	出力	High	LED コントロール m＝1、2
LCD	LCD_PCLK	出力	—	ピクセルクロック
	LCD_HSYNC	出力	設定で選択	水平同期パルス
	LCD_VSYNC	出力	設定で選択	垂直同期パルス
	LCD_DE	出力	設定で選択	データイネーブル
	LCD_PE	出力	High	パワーイネーブル
	LCD_PWM[n]	出力	—	LCD LED Pulse Width Modulation 信号 n＝0、1
	LCD_R[7:0]	出力	—	Red データ
	LCD_G[7:0]	出力	—	Green データ
	LCD_B[7:0]	出力	—	Blue データ

表 10.3　GPIO Multiplexed 端子名（2/3）

分類	IOMuxed 信号名	入出力	Active Level	説明
MSEBI Master	MSEBIM_ACD[31:0]	入出力	—	アドレス／制御データ／データをマルチプレクス
	MSEBIM_ALE	出力	High	アドレスラッチイネーブル
	MSEBIM_ALE1	出力	High	パラレルモード用アドレスラッチイネーブル
	MSEBIM_ALE2	出力	High	パラレルモード用アドレスラッチイネーブル
	MSEBIM_ALE3	出力	High	パラレルモード用アドレスラッチイネーブル
	MSEBIM_CLE	出力	High	アドレス／コントロールラッチイネーブル
	MSEBIM_DLE	出力	High	データラッチイネーブル
	MSEBIM_WR_N	出力	Low	ライトネーブル
	MSEBIM_RD_N	出力	Low	リードイネーブル
	MSEBIM_CLK	出力	—	クロック
	MSEBIM_WAIT_N[3:0]	入力	Low	ウェイト要求入力
	MSEBIM_DMA_RD_N[1:0]	入力	Low	DMA リードリクエスト
	MSEBIM_DMA_WR_N[1:0]	入力	Low	DMA ライトリクエスト
MSEBI Slave	MSEBIS_ACD[31:0]	入出力	—	アドレス／制御データ／データをマルチプレクス
	MSEBIS_ALE	入力	High	アドレスラッチイネーブル
	MSEBIS_CLE	入力	High	アドレス／コントロールラッチイネーブル
	MSEBIS_DLE	入力	High	データラッチイネーブル
	MSEBIS_CLK	入力	—	クロック
	MSEBIS_WAIT_N[3:0]	出力	Low	ウェイト要求出力
	MSEBIS_DMA_RD_N[1:0]	出力	Low	DMA リードリクエスト
	MSEBIS_DMA_WR_N[1:0]	出力	Low	DMA ライトリクエスト
Cortex-M3	NMI_CORTEXM3	入力	High	Cortex-M3 のノンマスカブル割り込み
ETHERCAT	CAT_LEDRUN	出力	High	RUN LED 信号
	CAT_LEDSTER	出力	High	Dual-color 状態 LED 信号
	CAT_LEDERR	出力	High	エラーLED 信号
	CAT_LINKACT[n]	出力	High	Link/Activity LED 信号 n＝0～2
	CAT_SYNC[n]	出力	High	SYNC 信号 n＝0、1
	CAT_LATCH[n]	入力	両エッジ	LATCH 信号 n＝0、1
	CAT_MII_LINK[n]	入力	設定で選択	PHY のリンク状態 n＝0～2
	CAT_RESETOUT_N	出力	Low	リセット出力
	CAT_I2CCLK	出力	—	EEPROM I^2C クロック信号
	CAT_I2CDATA	入出力	—	EEPROM I^2C データ信号
SERCOSIII	S3_LED_GN	出力	High	LED（緑）信号
	S3_LED_RD	出力	High	LED（赤）信号
	S3_ACTLEDP[m]	出力	High	Activity LED 信号 m＝1、2
	S3_LINKLEDP[m]	出力	High	Link LED 信号 m＝1、2
	S3_CONCLK	出力	—	通信同期制御クロック出力
	S3_DIVCLK	出力	—	Divided 通信クロック出力
	S3_MII_LINKP[m]	入力	設定で選択	PHY のリンク状態 m＝1、2
	S3_PHY_RESET_N	出力	Low	PHY リセット
	S3_TESTPIN[m]	出力	—	DBGOCR のテスト信号出力 m＝1、2
GMAC/A5PSW	MAC_PPS[n]	出力	High	GMAC1 Pulse Per Second 出力 n＝0、1
	MAC_TRIG[m]	入力	Rise Edge	GMAC[m] 補助タイムスタンプトリガ入力 m＝1、2
	SWITCH_MII_LINK[m]	入力	設定で選択	A5PSW PHY のリンク状態 m＝2～5

表 10.3　GPIO Multiplexed 端子名（3/3）

分類	IOMuxed 信号名	入出力	Active Level	説明
MDIO	MDC[m]	出力	—	マネージメントデータクロック m＝1、2
	MDIO[m]	入出力	—	マネージメントデータ I/O m＝1、2
USB	USB_OC[m]	入力	Low	USB ホストの過電流状態検出 m＝1、2
	USB_PPON[m]	出力	High	USB ホストのポートパワー制御 m＝1、2
UART	UART[m]_RXD	入力	—	受信データ m＝1～8
	UART[m]_TXD	出力	—	送信データ m＝1～8
	UART[m]_CTS_N	入力	Low	送信可モデムステータス m＝1～8
	UART[m]_DSR_N	入力	Low	データ設定レディモデムステータス m＝1～8
	UART[m]_DCD_N	入力	Low	データキャリア検出モデムステータス m＝1～8
	UART[m]_RI_N	入力	Low	リングインジケータモデムステータス m＝1～8
	UART[m]_DTR_N	出力	Low	モデム制御データ端末レディ m＝1～8
	UART[m]_RTS_N	出力	Low	モデム制御送信要求 m＝1～8
SPI マスタ	SPI[m]_CLK	出力	—	クロック m＝1～4
	SPI[m]_MOSI	出力	—	マスタ送信データ m＝1～4
	SPI[m]_MISO	入力	—	スレーブ送信データ m＝1～4
	SPI[m]_SS_N[n]	出力	Low	スレーブセレクト m＝1～4、n＝0～3
SPI スレーブ	SPI[m]_CLK	入力	—	クロック m＝5、6
	SPI[m]_MOSI	入力	—	マスタ送信データ m＝5、6
	SPI[m]_MISO	出力	—	スレーブ送信データ m＝5、6
	SPI[m]_SS_N	入力	Low	スレーブセレクト m＝5、6
BGPIO	BGPIO[m]A[n]	入出力	—	Basic GPIO[m] ポート A m＝1～3、n＝0～31
	BGPIO[m]B[n]	入出力	—	Basic GPIO[m] ポート B m＝1～3、n＝0～31
CAN	CAN[m]_RXD	入力	—	受信データ m＝1、2
	CAN[m]_TXD	出力	—	送信データ m＝1、2
I2C	I2C[m]_SCL	入出力	—	シリアルクロック m＝1、2
	I2C[m]_SDA	入出力	—	シリアルデータ m＝1、2
PWMTimer	PWM_IN[n]	入力	—	入力端子 n＝0～39
	PWM_OUT[n]	出力	—	出力端子 n＝0～19

10.2　未使用端子の処理

表 10.4　未使用端子の処理

端子名	処理
USB_VD33	VDD33 に接続
USB_GND	グラウンド
USB_AVDD	VDD33 に接続
USB_AVSS	グラウンド
RTC_VDD33	VDD33 に接続
ADC1_AVDD	VDD33 に接続
ADC1_AGND	グラウンド
ADC2_AVDD	VDD33 に接続
ADC2_AGND	グラウンド
MCLK_XI	グラウンド
RTC_XO	オープン
RTC_XI	グラウンド
MRESET_OUT	オープン
JTAG_TRST_N	オープンもしくは 4.7kΩ プルダウン
JTAG_TMS	オープンもしくは 4.7kΩ プルアップ
JTAG_TDI	オープンもしくは 4.7kΩ プルダウン
JTAG_TDO	オープン
JTAG_TCK	オープンもしくは 4.7kΩ プルアップもしくはプルダウン
USB_RREF	USB 使用時と同様の処理をしてください。備考の 2.を参照。
USB_VBUS	10kΩ プルダウン
USB_DP1	10kΩ プルダウン
USB_DM1	
USB_DP2	10kΩ プルダウン
USB_DM2	
ADC1_VREFP	オープン
ADC1_VREFN	
ADC1_IN[n]	オープン
ADC2_VREFP	オープン
ADC2_VREFN	
ADC2_IN[n]	オープン
RTC_PWRGOOD	VDD33 に接続
ANF_VDD_PRG	グラウンド
GPIO[n] n＝0～169（最大）	［モード設定］Level1 ファンクション：フローティング（デフォルト値）およびプルアップ（デフォルト値）／プルダウン

備　考

1. ADC 未使用時、ADC はパワーダウンモードに設定する必要があります。
2. 通常のユースケースで USB_RREF はリファレンス抵抗を必要とします。USBPLL 動作のために必要です。

10.3　端子配置図

10.3.1　RZ/N1D BGA-400 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	
20	GND	GPIO75	GPIO77	GPIO36	GPIO37	GPIO42	GPIO48	GPIO53	GPIO54	GPIO59	GPIO12	GPIO18	GPIO20	GPIO62	GPIO63	GPIO90	GPIO88	GPIO86	GPIO84	GND	20
19	GPIO78	GPIO76	GPIO74	GPIO68	GPIO38	GPIO41	GPIO45	GPIO51	GPIO56	GPIO58	GPIO13	GPIO17	GPIO64	GPIO106	GPIO91	GPIO89	GPIO87	GPIO85	GPIO93	GPIO82	19
18	GPIO30	GPIO79	GPIO73	GPIO71	GPIO66	GPIO39	GPIO44	GPIO47	GPIO52	GPIO55	GPIO19	GPIO15	GPIO22	GPIO102	GPIO107	GPIO96	GPIO95	GPIO100	GPIO80	GPIO81	18
17	GPIO27	GPIO32	GPIO34	GPIO69	GPIO70	GPIO67	GPIO40	GPIO46	GPIO49	GPIO57	GPIO16	GPIO21	GPIO104	GPIO99	GPIO98	GPIO97	GPIO105	GPIO103	GPIO92	GPIO83	17
16	GPIO24	GPIO28	GPIO29	GPIO129	GPIO128	GPIO72	GPIO65	GPIO43	GPIO50	GND	GPIO14	GPIO23	GPIO108	GPIO101	VDD11_CA7	GPIO120	GPIO109	GPIO118	GPIO94	GPIO117	16
15	GPIO6	GPIO8	GPIO31	GPIO33	GPIO35	GND	GND	GND	RGMII5_VDDQ	RGMII5_VDDQ	GND	GND	VDD33	GND	VDD11_CA7	GPIO125	GPIO126	GPIO121	GPIO116	GPIO119	15
14	GPIO5	GPIO9	GPIO10	GPIO26	RGMII3_VDDQ	RGMII3_VDDQ	VDD33	RGMII4_VDDQ	RGMII4_VDDQ	GND	RGMII2_VDDQ	RGMII2_VDDQ	VDD33	GND	GPIO124	GPIO123	GPIO122	GPIO111	GPIO115	GPIO113	14
13	GPIO2	GPIO4	GPIO3	GPIO11	GPIO25	GND	VDD11	GND	VDD11	VDD11	GND	VDD11	GND	VDD33	GPIO127	JTAG_TDO	JTAG_TCK	GPIO114	GPIO112	GPIO110	13
12	GPIO0	GPIO131	GPIO1	GPIO7	RGMII1_VDDQ	GND	VDD11	GND	GND	GND	GND	GND	VDD11	VDD33	GND	JTAG_TRST_N	JTAG_TDI	JTAG_TMS	GPIO61	GPIO60	12
11	GPIO137	GPIO135	GPIO133	GPIO132	GPIO130	RGMII1_VDDQ	GND	GND	GND	GND	GND	GND	GND	USB_AVSS	USB_RREF	USB_AVDD	USB_VBUS	MRESET_N	MRESET_OUT	USB_GND	11
10	GPIO139	GPIO136	GPIO138	GPIO140	GPIO134	GND	VDD33	GND	GND	GND	GND	GND	VDD11	USB_AVSS	USB_GND	USB_GND	USB_GND	USB_GND	USB_DM1	USB_DP1	10
9	GPIO141	GPIO143	GPIO147	GPIO144	CTRSTBYB	VDD33	VDD33	VDD11	GND	GND	GND	GND	VDD11	GND	USB_VD33	USB_VD33	USB_GND	USB_GND	USB_DM2	USB_DP2	9
8	GPIO145	GPIO149	GPIO142	GPIO148	ANF_VDD_PRG	RTC_VDD33	GND	VDD11	VDD11	DVSS	DVDD	VDD11	GND	VDD33	ADC2_AGND	ADC2_AVDD	ADC2_IN6	ADC2_IN7	ADC2_IN8	USB_GND	8
7	RTC_XI	GPIO146	RTC_PWRGOOD	GPIO152	GPIO150	GND	VDD33	DVDDQ	GND	DVSS	DVDD	DVDDQ	VDD33	TMC2	THMODE	ADC2_VREFN	ADC2_VREFP	ADC2_IN3	ADC2_IN2	ADC2_IN4	7
6	RTC_XO	GPIO151	GPIO153	GPIO154	GPIO158	GND	VDD33	GND	DVDDQ	DVDDQ	DVDDQ	DVDDQ	GND	CONFIG1	CONFIG0	ADC1_AVDD	ADC1_VREFP	ADC1_IN8	ADC2_IN1	ADC2_IN0	6
5	GPIO155	GPIO157	GPIO159	GPIO163	GPIO162	DDR_DQ6	GND	GND	GND	DDR_VREF	GND	DDR_ADDR0	GND	DDR_ADDR5	CONFIG2	ADC1_AGND	ADC1_VREFN	ADC1_IN4	ADC1_IN6	ADC1_IN7	5
4	GPIO160	GPIO156	GPIO167	GPIO165	GND	DDR_DQ0	DDR_DQS_N0	DDR_DQ7	DDR_DQ5	DDR_MZQ	DDR_CS1	DDR_ADDR12	DDR_ADDR15	DDR_BA0	DDR_ADDR7	DDR_ADDR1	TMC1	ADC1_IN3	ADC1_IN0	ADC1_IN2	4
3	GPIO161	GPIO169	GPIO166	GND	DDR_DQ4	DDR_DQS0	DDR_DM0	DDR_DQ1	DDR_DQ3	GND	DDR_ADDR10	DDR_RAS	DDR_CAS	DDR_ADDR3	DDR_ADDR4	DDR_ADDR9	DDR_ADDR14	DDR_RESET_N	GND	ADC1_IN1	3
2	GPIO164	GPIO168	DDR_DQ14	DDR_DQ8	DDR_DQ2	DDR_DM1	DDR_DQS_N1	DDR_DQ9	DDR_DQ15	DDR_CLKP	DDR_CLKEN	DDR_WE	DDR_ODT0	DDR_BA2	DDR_ADDR2	DDR_ADDR11	DDR_ADDR13	GND	MCLK_XO	GND	2
1	GND	GND	DDR_DQ12	DDR_DQ10	GND	DDR_DQS1	GND	DDR_DQ11	DDR_DQ13	DDR_CLKN	GND	DDR_CS0	DDR_ODT1	DDR_BA1	GND	DDR_ADDR6	DDR_ADDR8	GND	MCLK_XI	GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y	

図 10.1　　RZ/N1D 端子配置 BGA-400（上面図）

10.3.2　RZ/N1D BGA-324 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	
18	GND	GPIO75	GPIO77	GPIO36	GPIO41	GPIO42	GPIO46	GPIO48	GPIO51	GPIO54	GPIO64	GPIO101	GPIO107	GPIO90	GPIO88	GPIO86	GPIO84	GND	18
17	GPIO78	GPIO76	GPIO74	GPIO66	GPIO39	GPIO44	GPIO47	GPIO52	GPIO53	GPIO56	GPIO108	GPIO99	GPIO91	GPIO89	GPIO87	GPIO85	GPIO93	GPIO82	17
16	GPIO79	GPIO69	GPIO72	GPIO68	GPIO37	GPIO40	GPIO45	GPIO50	GPIO57	GPIO58	GPIO106	GPIO96	GPIO97	GPIO95	GPIO120	GPIO100	GPIO80	GPIO81	16
15	GPIO30	GPIO33	GPIO73	GPIO70	GPIO67	GPIO38	GPIO43	GPIO49	GPIO55	GPIO102	GPIO104	GPIO98	GPIO105	VDD11_CA7	GPIO125	GPIO103	GPIO92	GPIO83	15
14	GPIO35	GPIO28	GPIO31	GPIO128	GPIO71	GPIO65	RGMII4_VDDQ	GND	GPIO59	GPIO62	GPIO63	GPIO109	GND	VDD11_CA7	GPIO124	GPIO126	GPIO94	GPIO115	14
13	GPIO29	GPIO32	GPIO34	GPIO129	VDD33	GND	RGMII4_VDDQ	RGMII5_VDDQ	RGMII5_VDDQ	VDD33	VDD33	GND	GND	GPIO123	GPIO122	GPIO118	GPIO116	GPIO113	13
12	GPIO24	GPIO27	GPIO25	GPIO26	RGMII3_VDDQ	GND	VDD11	GND	GND	VDD11	GND	VDD11	VDD33	GPIO127	GPIO121	GPIO117	GPIO119	GPIO114	12
11	GPIO133	GPIO131	GPIO132	GPIO130	RGMII3_VDDQ	VDD33	GND	GND	GND	GND	GND	VDD11	VDD33	JTAG_TDO	JTAG_TDI	GPIO111	GPIO112	GPIO110	11
10	GPIO135	GPIO137	GPIO136	GPIO134	GND	VDD11	GND	GND	GND	GND	GND	USB_AVSS	GND	JTAG_TRST_N	JTAG_TMS	JTAG_TCK	GPIO61	GPIO60	10
9	GPIO139	GPIO138	GPIO147	GPIO142	VDD33	VDD33	GND	GND	GND	GND	GND	USB_AVSS	USB_RREF	USB_AVDD	USB_VBUS	MRESET_N	MRESET_OUT	USB_GND	9
8	GPIO141	GPIO143	GPIO140	GPIO146	ANF_VDD_PRG	VDD33	GND	GND	DVSS	DVDD	VDD11	USB_VD33	USB_VD33	USB_GND	USB_GND	USB_GND	USB_DM1	USB_DP1	8
7	GPIO145	GPIO149	GPIO144	CTRSTBYB	RTC_VDD33	VDD11	GND	DVDDQ	DVSS	DVDD	VDD11	GND	VDD33	CONFIG0	USB_GND	USB_GND	USB_DM2	USB_DP2	7
6	RTC_XI	GPIO148	GPIO150	RTC_PWRGOOD	GND	VDD33	VDD11	DVDDQ	DVDDQ	DVDDQ	DVDDQ	VDD33	TMC2	ADC1_AVDD	ADC1_VREFP	ADC1_IN6	ADC1_IN8	USB_GND	6
5	RTC_XO	GPIO151	GPIO154	GND	DDR_DQ6	GND	GND	GND	DDR_VREF	DDR_ADDR0	GND	THMODE	TMC1	CONFIG2	ADC1_AGND	ADC1_VREFN	ADC1_IN4	ADC1_IN7	5
4	GPIO152	GPIO153	GND	DDR_DQ0	DDR_DQS0	DDR_DQ1	DDR_DQ7	DDR_MZQ	GND	DDR_ADDR12	DDR_BA0	DDR_ADDR5	DDR_ADDR7	DDR_ADDR1	CONFIG1	ADC1_IN1	ADC1_IN2	ADC1_IN0	4
3	GPIO155	DDR_DQ14	DDR_DQ4	DDR_DQS_N0	DDR_DM0	DDR_DQ3	DDR_DQ5	GND	DDR_ADDR10	DDR_RAS	DDR_ADDR15	DDR_ADDR3	DDR_ADDR4	DDR_ADDR9	DDR_ADDR14	DDR_RESET_N	GND	ADC1_IN3	3
2	DDR_DQ12	DDR_DQ10	DDR_DQ2	DDR_DM1	DDR_DQS_N1	DDR_DQ9	DDR_DQ15	DDR_CLKP	DDR_CLKEN	DDR_WE	DDR_CAS	DDR_BA2	DDR_ADDR2	DDR_ADDR11	DDR_ADDR13	GND	MCLK_XO	GND	2
1	GND	DDR_DQ8	GND	DDR_DQS1	GND	DDR_DQ11	DDR_DQ13	DDR_CLKN	GND	DDR_CS0	DDR_ODT0	DDR_BA1	GND	DDR_ADDR6	DDR_ADDR8	GND	MCLK_XI	GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	

図 10.2　RZ/N1D 端子配置 BGA-324（上面図）

10.3.3　RZ/N1S BGA-324 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	
18	GND	GPIO69	GND	GPIO48	GPIO55	GPIO59	GPIO12	GPIO17	GPIO20	GND	GPIO0	GPIO2	GPIO6	GND	GPIO88	GPIO86	GPIO84	GND	18
17	GPIO67	GPIO68	GPIO70	GPIO50	GPIO51	GPIO57	GND	GPIO14	GPIO19	GPIO21	GPIO1	GPIO3	GPIO8	GPIO90	GPIO89	GPIO87	GPIO85	GPIO93	17
16	GPIO66	GPIO65	GPIO64	GPIO71	GPIO53	GPIO49	GPIO56	GPIO13	GPIO18	GPIO23	GPIO5	GPIO7	GPIO9	GPIO153	GPIO91	GPIO81	GPIO82	GPIO80	16
15	GND	GPIO62	GPIO63	GPIO72	GPIO52	GPIO54	GPIO58	GPIO15	GPIO16	GPIO22	GPIO4	GPIO11	GPIO10	GPIO154	GPIO152	GPIO151	GPIO92	GND	15
14	GPIO43	GPIO45	GPIO46	GPIO73	VDD33	VDD33	RGMII5 _VDDQ	RGMII5 _VDDQ	RGMII2 _VDDQ	RGMII2 _VDDQ	RGMII1 _VDDQ	RGMII1 _VDDQ	VDD33	GPIO155	GPIO157	GPIO150	GPIO83	GPIO94	14
13	GPIO38	GPIO39	GPIO44	GPIO47	GND	GND	GND	GND	GND	GND	GND	GND	VDD33	GPIO156	GPIO158	GPIO159	MRESET _OUT	GND	13
12	GPIO36	GPIO37	GPIO41	GPIO42	RGMII4 _VDDQ	GND	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	GND	GND	GND	MRESET _N	MCLK _XO	MCLK _XI	12
11	GND	GPIO34	GPIO33	GPIO40	RGMII4 _VDDQ	GND	VDD11	GND	GND	GND	GND	VDD11	PLL _AVDD	GND	GND	USB _VBUS	USB _GND	USB _GND	11
10	GPIO32	GPIO35	GPIO31	GPIO30	RGMII3 _VDDQ	GND	VDD11	GND	GND	GND	GND	VDD11	PLL _AGND	USB _AVDD	USB _RREF	USB _GND	USB _DM1	USB _DP1	10
9	GPIO28	GPIO27	GPIO29	GPIO25	RGMII3 _VDDQ	GND	VDD11	GND	GND	GND	GND	VDD11	VDD33	USB _VD33	USB _VD33	USB _GND	USB _DM2	USB _DP2	9
8	GPIO24	GPIO26	GPIO77	GND	GND	VDD33	VDD11	GND	GND	GND	GND	VDD11	GND	ADC1 _AVDD	ADC1 _VREFN	ADC1 _IN7	USB _GND	USB _GND	8
7	GND	GPIO79	GPIO76	GPIO74	GND	VDD33	VDD11	VDD11	VDD11	VDD11	VDD11	VDD11	GND	ADC1 _AGND	ADC1 _VREFP	ADC1 _IN2	ADC1 _IN8	ADC1 _IN6	7
6	GPIO61	GPIO78	GPIO75	GPIO133	GND	VDD33	GND	GND	GND	GND	GND	GND	GND	VDD33	TMC2	ADC1 _IN0	ADC1 _IN1	ADC1 _IN3	6
5	GPIO60	VDD33	GPIO149	RTC _VDD33	GND	GND	VDD33	VDD33	VDD33	GND	GND	GND	VDD33	VDD33	JTAG _TRST_N	JTAG _TDI	JTAG _TMS	ADC1 _IN4	5
4	GND	ANF_VDD _PRG	RTC_PWR GOOD	GPIO123	GPIO125	GPIO127	GPIO129	GPIO130	GPIO131	GPIO132	GPIO134	GPIO136	CTRSTBY B	CONFIG1	TMC1	JTAG _TCK	GPIO148	GND	4
3	RTC_XO	GPIO120	GPIO121	GPIO122	GPIO124	GPIO126	GPIO128	GPIO106	GPIO109	GPIO112	GPIO114	GPIO135	THMODE	CONFIG0	JTAG_TD O	GPIO145	GPIO146	GPIO147	3
2	RTC_XI	GPIO119	GPIO97	GPIO98	GPIO100	GPIO102	GPIO104	GPIO105	GPIO108	GPIO111	GPIO113	GPIO116	GPIO137	GPIO138	GPIO139	GPIO142	GPIO143	GPIO144	2
1	GND	GPIO95	GPIO96	GND	GPIO99	GPIO101	GPIO103	GND	GPIO107	GPIO110	GND	GPIO115	GPIO117	GPIO118	GND	GPIO140	GPIO141	GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	

図 10.3　RZ/N1S 端子配置 BGA-324（上面図）

10.3.4　RZ/N1S BGA-196 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	
14	GND	GPIO70	GND	GPIO48	GPIO51	GPIO57	GND	GPIO3	GPIO7	GPIO8	GND	GPIO89	GPIO87	GND	14
13	GPIO64	GPIO68	GPIO71	GPIO50	GPIO49	GPIO56	GPIO0	GPIO2	GPIO6	GPIO90	GPIO86	GPIO84	GPIO81	GPIO93	13
12	GPIO63	GPIO67	GPIO72	GPIO52	GPIO54	GPIO58	GPIO1	GPIO5	GPIO9	GPIO88	GPIO91	GPIO82	GPIO80	GPIO83	12
11	GPIO66	GPIO65	GPIO69	GPIO53	GPIO55	GPIO59	GPIO4	GPIO11	GPIO10	VDD33	GPIO85	GPIO92	GPIO94	GND	11
10	GND	GPIO45	GPIO62	GPIO73	VDD33	RGMII5 _VDDQ	RGMII5 _VDDQ	RGMII1 _VDDQ	RGMII1 _VDDQ	GND	VDD11	MRESET _OUT	MCLK _XO	MCLK _XI	10
9	GPIO47	GPIO43	GPIO42	GPIO44	VDD11	GND	VDD11	GND	VDD11	PLL _AVDD	PLL _AGND	MRESET _N	USB_VBU S	USB _GND	9
8	GPIO46	GPIO39	GPIO38	GPIO41	RGMII4 _VDDQ	GND	GND	GND	GND	USB _AVDD	USB _RREF	USB _GND	USB _DM1	USB _DP1	8
7	GND	GPIO36	GPIO37	GPIO40	RGMII4 _VDDQ	VDD11	GND	GND	VDD11	USB _VD33	USB _VD33	USB _GND	USB _DM2	USB _DP2	7
6	GPIO61	GPIO77	GPIO79	GPIO76	VDD33	GND	GND	GND	GND	GND	ADC1 _AVDD	ADC1 _VREFN	USB _GND	USB _GND	6
5	GPIO60	GPIO75	GPIO78	GPIO74	VDD11	GND	VDD11	VDD11	GND	VDD11	ADC1 _AGND	ADC1 _VREFP	ADC1 _IN8	ADC1 _IN7	5
4	GND	RTC _VDD33	VDD33	ANF_VDD _PRG	VDD33	GPIO105	GPIO107	GPIO112	VDD33	VDD33	TMC2	ADC1 _IN2	ADC1 _IN0	ADC1 _IN6	4
3	RTC _XO	RTC_PWR GOOD	GPIO97	GPIO95	GPIO100	GPIO103	GPIO111	GPIO115	GPIO117	CTRSTBY B	CONFIG1	TMC1	ADC1 _IN4	ADC1 _IN3	3
2	RTC _XI	GPIO98	GPIO96	GPIO102	GPIO104	GPIO108	GPIO110	GPIO114	GPIO116	THMODE	CONFIG0	JTAG _TCK	JTAG _TMS	ADC1 _IN1	2
1	GND	GPIO99	GPIO101	GND	GPIO106	GPIO109	GND	GPIO113	GPIO118	GND	JTAG _TDO	JTAG _TRST_N	JTAG _TDI	GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	

図 10.4　　RZ/N1S 端子配置 BGA-196（上面図）

10.3.5　RZ/N1L BGA-196 パッケージ

	A	B	C	D	E	F	G	H	J	K	L	M	N	P	
14	GND	GPIO70	GND	GPIO48	GPIO51	GPIO57	GND	GPIO3	GPIO7	GPIO8	GND	GPIO89	GPIO87	GND	14
13	GPIO64	GPIO68	GPIO71	GPIO50	GPIO49	GPIO56	GPIO0	GPIO2	GPIO6	GPIO90	GPIO86	GPIO84	GPIO81	GPIO93	13
12	GPIO63	GPIO67	GPIO72	GPIO52	GPIO54	GPIO58	GPIO1	GPIO5	GPIO9	GPIO88	GPIO91	GPIO82	GPIO80	GPIO83	12
11	GPIO66	GPIO65	GPIO69	GPIO53	GPIO55	GPIO59	GPIO4	GPIO11	GPIO10	VDD33	GPIO85	GPIO92	GPIO94	GND	11
10	GND	GPIO45	GPIO62	GPIO73	VDD33	RGMII5 _VDDQ	RGMII5 _VDDQ	RGMII1 _VDDQ	RGMII1 _VDDQ	GND	VDD11	MRESET _OUT	MCLK _XO	MCLK _XI	10
9	GPIO47	GPIO43	GPIO42	GPIO44	VDD11	GND	VDD11	GND	VDD11	PLL _AVDD	PLL _AGND	MRESET _N	USB_VBU S	USB _GND	9
8	GPIO46	GPIO39	GPIO38	GPIO41	RGMII4 _VDDQ	GND	GND	GND	GND	USB _AVDD	USB _RREF	USB _GND	USB _DM1	USB _DP1	8
7	GND	GPIO36	GPIO37	GPIO40	RGMII4 _VDDQ	VDD11	GND	GND	VDD11	USB _VD33	USB _VD33	USB _GND	USB _DM2	USB _DP2	7
6	GPIO61	GPIO77	GPIO79	GPIO76	VDD33	GND	GND	GND	GND	GND	ADC1 _AVDD	ADC1 _VREFN	USB _GND	USB _GND	6
5	GPIO60	GPIO75	GPIO78	GPIO74	VDD11	GND	VDD11	VDD11	GND	VDD11	ADC1 _AGND	ADC1 _VREFP	ADC1 _IN8	ADC1 _IN7	5
4	GND	VDD33	VDD33	GND	VDD33	GPIO105	GPIO107	GPIO112	VDD33	VDD33	TMC2	ADC1 _IN2	ADC1 _IN0	ADC1 _IN6	4
3	N.C.	VDD33	GPIO97	GPIO95	GPIO100	GPIO103	GPIO111	GPIO115	GPIO117	CTRSTBY B	CONFIG1	TMC1	ADC1 _IN4	ADC1 _IN3	3
2	GND	GPIO98	GPIO96	GPIO102	GPIO104	GPIO108	GPIO110	GPIO114	GPIO116	THMODE	CONFIG0	JTAG _TCK	JTAG _TMS	ADC1 _IN1	2
1	GND	GPIO99	GPIO101	GND	GPIO106	GPIO109	GND	GPIO113	GPIO118	GND	JTAG _TDO	JTAG _TRST_N	JTAG _TDI	GND	1
	A	B	C	D	E	F	G	H	J	K	L	M	N	P	

図 10.5　RZ/N1L 端子配置 BGA-196（上面図）

第11章　電気的特性

11.1　絶対最大定格

表 11.1　絶対最大定格

パラメータ		記号	条件	定格値	単位
電源電圧	ロジックコア	V_{DD11}	—	−0.45～+1.6	V
	I/O	V_{DD33}	—	−0.5～+4.6	V
	I/O（RGMII）	V_{RGMII}	—	−0.5～+4.6	V
	PLL	V_{PLL}	—	−0.45～+1.6	V
	USB	V_{USB}	—	−0.5～+4.6	V
	ADC	V_{ADC}	—	−0.5～+4.6	V
	RTC	V_{RTC}	—	−0.5～+4.6	V
	DDRPHY I/O	V_{DVDDQ}	—	−0.5～+2.5	V
	DDRPHY コア	V_{DVDD}	—	−0.45～+1.6	V
	DDRPHY リファレンス	$V_{DDR\ REF}$	—	−0.5～+2.5	V
	OTP メモリプログラミング	V_{ANFPRG}	—	−0.5～+7.5	V
入出力電圧		V_I / V_O	V_I / V_O＜V_{DD33}+0.5V	−0.5～+4.6	V
保存温度		T_{stg}	—	−55～+125	°C

注　意

LSI を長期間絶対最大定格条件下に置くことは LSI の信用性に悪影響を及ぼすことがあります。絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。パラメータは個別に適用されます。LSI は DC 特性および AC 特性で規定された範囲内で動作させる必要があります。

11.2　推奨動作条件

表 11.2　推奨動作条件

パラメータ	記号	条件	Min	Typ	Max	単位
電源電圧	V_{DD11}		1.10	1.15	1.20	V
	V_{DD33}		3.0	3.3	3.6	V
	V_{RGMII}	RGMII モード	3.14	3.3	3.46	V
	V_{PLL}		1.10	1.15	1.20	V
	V_{USB}		3.0	3.3	3.6	V
	V_{ADC}		3.0	3.3	3.6	V
	$V_{ADC\ REFP}$		V_{ADC}			V
	$V_{ADC\ REFM}$		0			V
	V_{RTC}	ノーマルモード $\lvert V_{DD33} - V_{RTC} \rvert \leqq 0.3$	3.0	3.3	3.6	V
		バックアップモード	1.8	—	3.6	V
	V_{DVDDQ}	DDR3	1.425	1.5	1.575	V
		DDR2	1.7	1.8	1.9	V
	V_{DVDD}		1.10	1.15	1.20	V
	$V_{DDR\ REF}$		V_{DVDDQ} ×0.49	V_{DVDDQ} ×0.50	V_{DVDDQ} ×0.51	V
	V_{ANFPRG}	OTP メモリプログラミング	6.8	6.9	7.0	V
		ノーマルモード	—	0	—	V
クロック入力周波数	f_{OSC}	±50ppm 注 1	—	40.0	—	MHz
ジャンクション温度	T_j		−40	—	110	°C

注1.　EtherCAT では±25ppm

11.3 DC 特性

11.3.1 電流

表 11.3　電流

パラメータ	記号	条件		Min	Typ	Max	単位
電流ドレイン	I_{DD11}	RZ/N1D		—	—	1450	mA
		RZ/N1S、RZ/N1L		—	—	1300	mA
	I_{DD33}			—	—	250	mA
	I_{RGMII}	RGMII 1ch		—	—	50	mA
	I_{PLL}	RZ/N1S、RZ/N1L のみ		—	—	15	mA
	I_{USB}	2 ポート使用時		—	—	125	mA
	I_{ADC}	ADC 1 ユニット		—	—	12	mA
	$I_{ADC\ REF}$	ADC 1 ユニット		—	—	300	μA
	I_{RTC_NM}	ノーマルモード RTC_PCLK を供給		—	—	1.5	mA
	I_{RTC_BU}	バックアップモード T_j＝0～40°C、V_{RTC}＝3.0V		—	2.0	4.0	μA
	I_{DVDDQ}	DDR3		—	—	210	mA
	I_{DVDD}	DDR3		—	—	140	mA
	I_{ANFPRG}	OTP メモリプログラミング		—	—	30	mA
入力リーク電流	I_{LI}	V_I＝V_{DD33} もしくは GND		—	—	±5	μA
		V_I＝内部プルアップ付き GND		−36		−96	μA
		V_I＝内部プルダウン付き V_{DD33}		37		96	μA
出力 High レベル電流	$-I_{OH}$ 注 1	V_{OH}＝2.4V	4mA	4	—	—	mA
			6mA	6	—	—	mA
			8mA	7.8	—	—	mA
			12mA	9.5	—	—	mA
出力 Low レベル電流	I_{OL} 注 1	V_{OL}＝0.4V	4mA	4	—	—	mA
			6mA	6	—	—	mA
			8mA	7.8	—	—	mA
			12mA	9.5	—	—	mA

注1.　LSI の信頼性を確保するため、各端子の出力電流値の総和は I_{DD33}、および I_{RGMII} 値を超えないことを強く推奨します。
I_{DD33}：GPIO60～GPIO169 端子の電流値の総和
I_{RGMII}：各チャネル（GPIO11～GPIO0、GPIO23～GPIO12、GPIO35～GPIO24、GPIO47～GPIO36、GPIO59～GPIO48）ごとの端子の電流値の総和

11.3.2 デジタル IO

表 11.4　デジタル IO

パラメータ	記号	条件	Min	Typ	Max	単位
入力 High レベル電圧	V_{IH}	3.3V 入力	2.0	—	V_{DD33}+0.3	V
入力 Low レベル電圧	V_{IL}	3.3V 入力	−0.3	—	0.8	V
ポジティブトリガー電圧	V_P	シュミット入力	0.9	—	2.1	V
ネガティブトリガー電圧	V_N	シュミット入力	0.7	—	1.9	V
シュミットトリガのヒステリシス	V_{H1}	シュミット入力	0.2	—	1.4	V
出力 High レベル電圧	V_{OH}	I_{OH}	2.4	—	—	V
出力 Low レベル電圧	V_{OL}	I_{OL}	0	—	0.4	V
データ入力立ち上がり／立ち下がり時間	t_{rid}/t_{fid}	—	0	—	200	ns
クロック入力立ち上がり／立ち下がり時間	t_{ric}/t_{fic}	—	0	—	4	ns
シュミット入力立ち上がり／立ち下がり時間	t_{ris}/t_{fis}	—	0	—	1	ms
プルアップ／プルダウン抵抗	R_{PUUD}	—	37	50	82	kΩ
入力容量	Cin	—	—	—	6.0	pF

11.3.3 DDR3/DDR2 SDRAM インタフェース

表 11.5　DDR3/DDR2 SDRAM インタフェース

パラメータ	記号	Min	Typ	Max	単位	備考
リファレンス電圧入力	$V_{DDR\ REF}$	V_{DVDDQ}×0.49	V_{DVDDQ} ×0.50	V_{DVDDQ}×0.51	V	
DC 入力論理 high	V_{DDRIH} (dc)	$V_{DDR\ REF}$+0.1	—	V_{DVDDQ}	V	注 1
DC 入力論理 low	V_{DDRIL} (dc)	0	—	$V_{DDR\ REF}$−0.1	V	注 1
DC 差動入力 high	$V_{DDRIHdiff}$ (dc)	0.400	—	—	V	注 2
DC 差動入力 low	$V_{DDRILdiff}$ (dc)	—	—	−0.400	V	注 2
AC 入力論理 high	V_{DDRIH} (ac)	$V_{DDR\ REF}$+0.150	—	V_{DVDDQ}+0.5	V	注 3
AC 入力論理 low	V_{DDRIL} (ac)	−0.5	—	$V_{DDR\ REF}$−0.150	V	注 3
AC 差動入力 high	$V_{DDRIHdiff}$ (ac)	0.500	—	—	V	注 2
AC 差動入力 low	$V_{DDRILdiff}$ (ac)	—	—	−0.500	V	注 2
AC 差動クロスポイント電圧（入力）	V_{DDRIX} (ac)	0.5×V_{DVDDQ}−0.150	—	0.5×V_{DVDDQ}+0.150	V	注 2
AC 差動クロスポイント電圧（出力）	V_{DDROX} (ac)	0.5×V_{DVDDQ}−0.050	—	0.5×V_{DVDDQ}+0.050	V	注 4

注1.　DDR_DQ、DDR_DQS、DDR_DQS_N

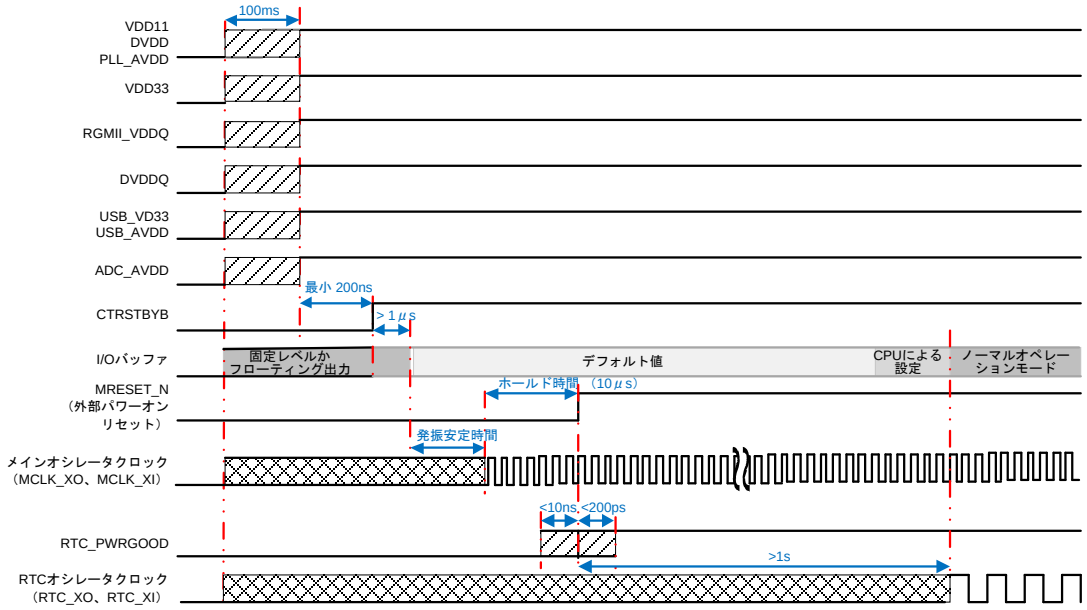
注2.　DDR_DQS、DDR_DQS_N

注3.　DDR_DQ

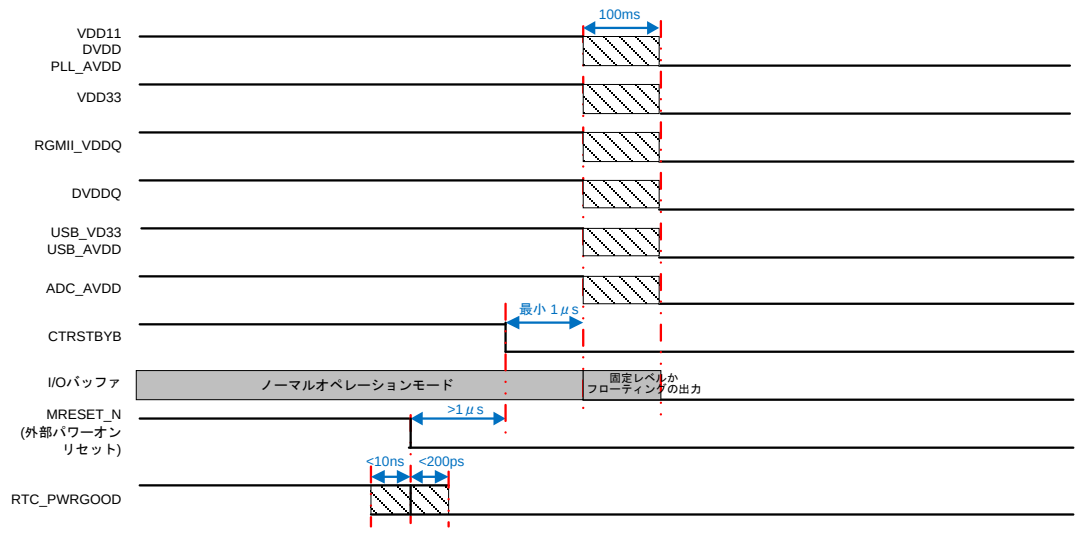
注4.　DDR_CLKP、DDR_CLKN、DDR_DQS、DDR_DQS_N

11.4　電源投入／切断シーケンス

11.4.1　電源投入



11.4.2　電源切断



注　意

メインオシレータクロックの発振安定時間を待ってからリセットを解除してください。

RTC を使用しない場合、RTC オシレータクロックのスタートアップ時間（t_{START}）は不要です。RTC_PWRGOOD は RTC バックアップモードの時のみタイミング制御してください。

11.5　AC タイミング特性

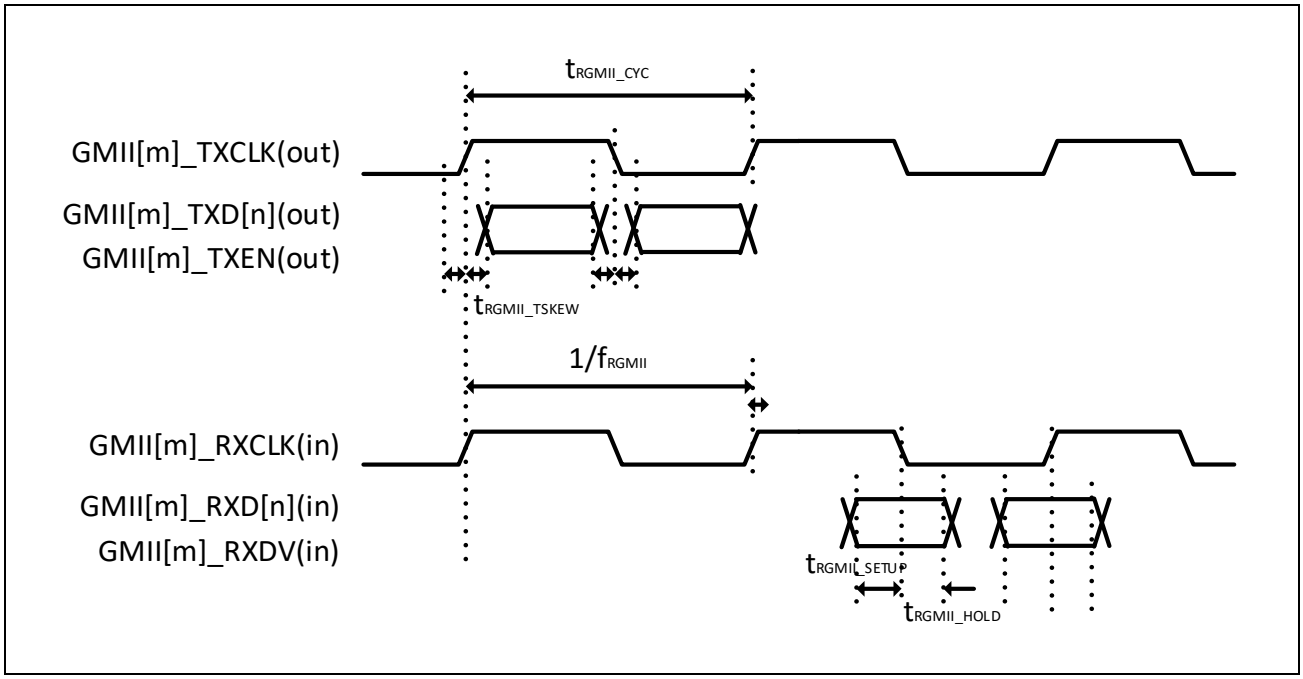
11.5.1　Ethernet MAC インタフェースタイミング

11.5.1.1　RGMII

表 11.6　RGMII

パラメータ	記号	条件	Min	Typ	Max	単位
GMII[m]_TXCLK/RXCLK 周波数	f_{RGMII}	±50ppm	—	125	—	MHz
GMII[m]_TXCLK/RXCLK クロックサイクル時間	t_{RGMII_CYC}	—	7.2	8	8.8	ns
信号の立ち上がり／立ち下がり時間	$t_{RGMII_RISEFALL}$	20%～80%			0.75	ns
GMII[m]_TXCLK/RXCLK デューティ	$t_{RGMII_CLK_DUTY}$	—	45	50	55	%
GMII[m]_TXD[n] GMII[m]_TXEN（TX_CTL） GMII[m]_TXCLK スキュー	t_{RGMII_TSKEW}	GMII[m]_TXCLK 立ち上がり／立ち下がり	−0.5	—	0.5	ns
GMII[m]_RXD[n] GMII[m]_RXDV（RX_CTL） セットアップ時間	t_{RGMII_SETUP}	GMII[m]_RXCLK 立ち上がり／立ち下がり	1	—	—	ns
GMII[m]_RXD[n] GMII[m]_RXDV（RX_CTL） ホールド時間	t_{RGMII_HOLD}		1	—	—	ns

備考　m＝1～5、n＝0～3、負荷容量 $C_{L\ (max)}$ ＝15pF、ドライブ強度 8mA
電圧条件は V_{RGMII} に準拠する必要があります。



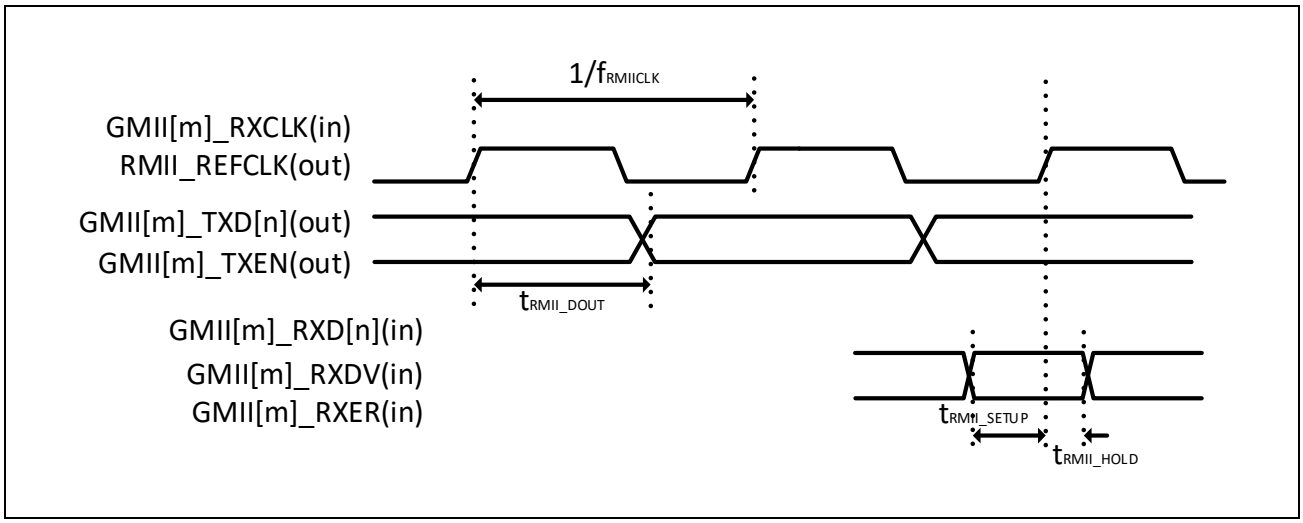
11.5.1.2 RMII

表 11.7　RMII

パラメータ	記号	条件	Min	Typ	Max	単位
GMII[m]_RXCLK/RMII_REFCLK 周波数注 1	$f_{RMIICLK}$	±50ppm	—	50	—	MHz
GMII[m]_RXCLK/RMII_REFCLK デューティ注 1	$t_{RMII_CLK_DUTY}$	—	35		65	%
GMII[m]_TXD[n]/TXEN イネーブルディレイ時間	t_{RMII_DOUT}	GMII[m]_RXCLK/RMII_REFCLK 立ち上がり注 1	2	—	10	ns
GMII[m]_RXD[n]/RXDV/RXER セットアップ時間	t_{RMII_SETUP}		4	—	—	ns
GMII[m]_RXD[n]/RXDV/RXER ホールド時間	t_{RMII_HOLD}		2	—	—	ns

備考　m＝1～5、n＝0～1、負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 8mA

注1.　リファレンスクロック入力時：GMII[m]_RXCLK、リファレンスクロック出力時：RMII_REFCLK

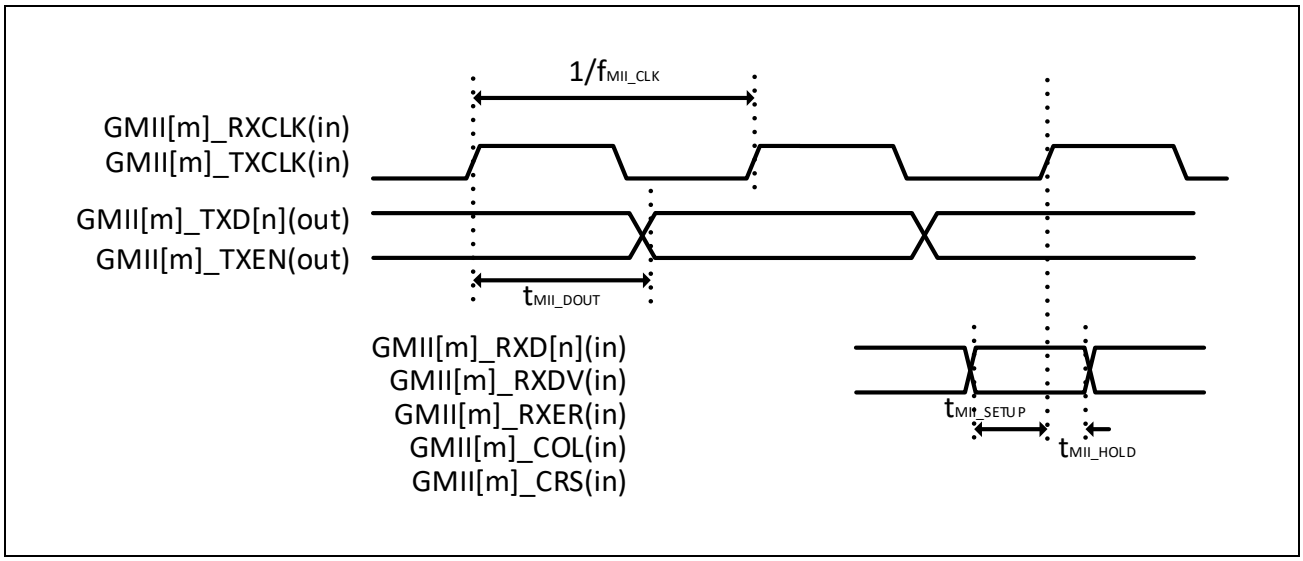


11.5.1.3 MII

表 11.8　MII

パラメータ	記号	条件	Min	Typ	Max	単位
GMII[m]_TXCLK/RXCLK 周波数	f_{MII_CLK}	±50ppm	—	25	—	MHz
GMII[m]_TXD[n]/TXEN イネーブルディレイ時間	t_{MII_DOUT}	GMII[m]_RXCLK 立ち上がり	0	—	25	ns
GMII[m]_RXD[n] /RXDV/RXER/COL/CRS セットアップ時間	t_{MII_SETUP}		10	—	—	ns
GMII[m]_RXD[n] /RXDV/RXER/COL/CRS ホールド時間	t_{MII_HOLD}		10	—	—	ns

備考　m＝1～5、n＝0～3、負荷容量 $C_{L\ (max)}$ ＝30pF、ドライブ強度 8mA



11.5.1.4 MDIO

表 11.9　MDIO

パラメータ	記号	条件	Min	Typ	Max	単位
MDC[m]周波数注 1	f_{MDIO}		—	—	12.5	MHz
MDIO[m]出力遅延注 2	t_{MDIO_DOUT1}	MDC 立ち下がり	−20	—	20	ns
	t_{MDIO_DOUT2}	MDC 立ち上がり	reg_delay ×T_{A5PSW_HCLK}−20	—	reg_delay ×T_{A5PSW_HCLK}+20	ns
MDIO[m]入力セットアップ時間	t_{MDIO_SETUP}	MDC 立ち上がり	20	—	—	ns
MDIO[m]入力ホールド時間	t_{MDIO_HOLD}		0	—	—	ns

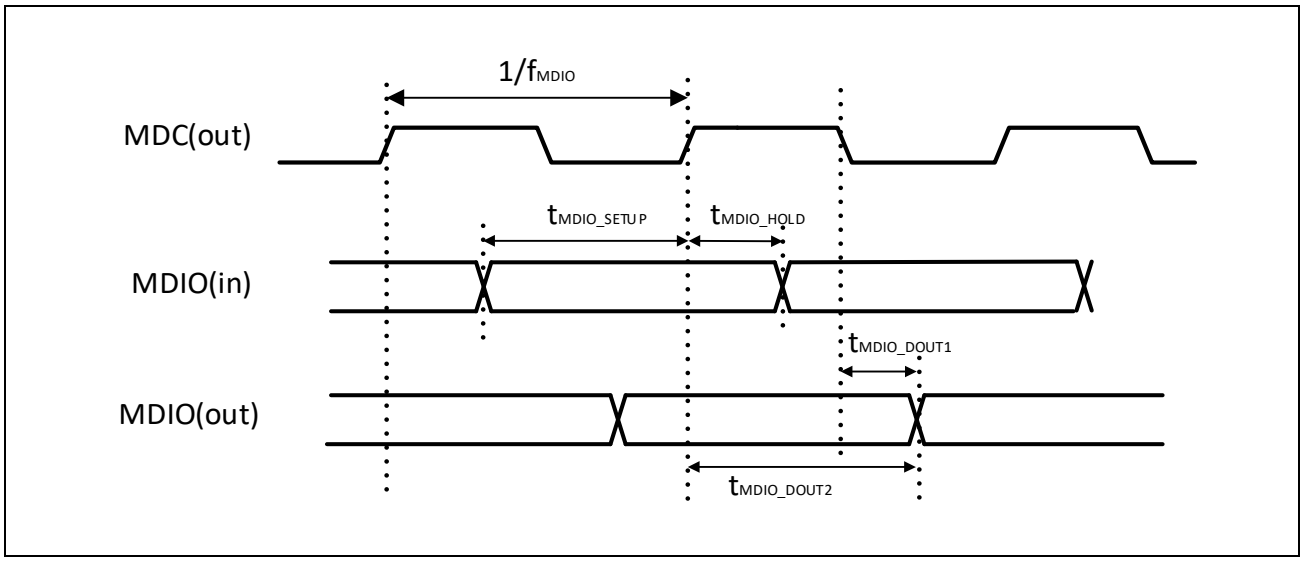
備考　m＝1、2、負荷容量 $C_{L\ (max)}$ ＝30pF、ドライブ強度 8mA

注1.　EtherCAT からの周波数は、2.5MHz となります。

注2.　A5PSW 以外：t_{MDIO_DOUT1}、A5PSW：t_{MDIO_DOUT2}

A5PSW からの出力タイミングは、MDC 立ち上がりエッジ基準となります。レジスタにより出力遅延を設定できます。

T_{A5PSW_HCLK}：A5PSW の AHB クロック周期、reg_delay：レジスタ設定による遅延サイクル数



11.5.2　メモリインタフェースタイミング

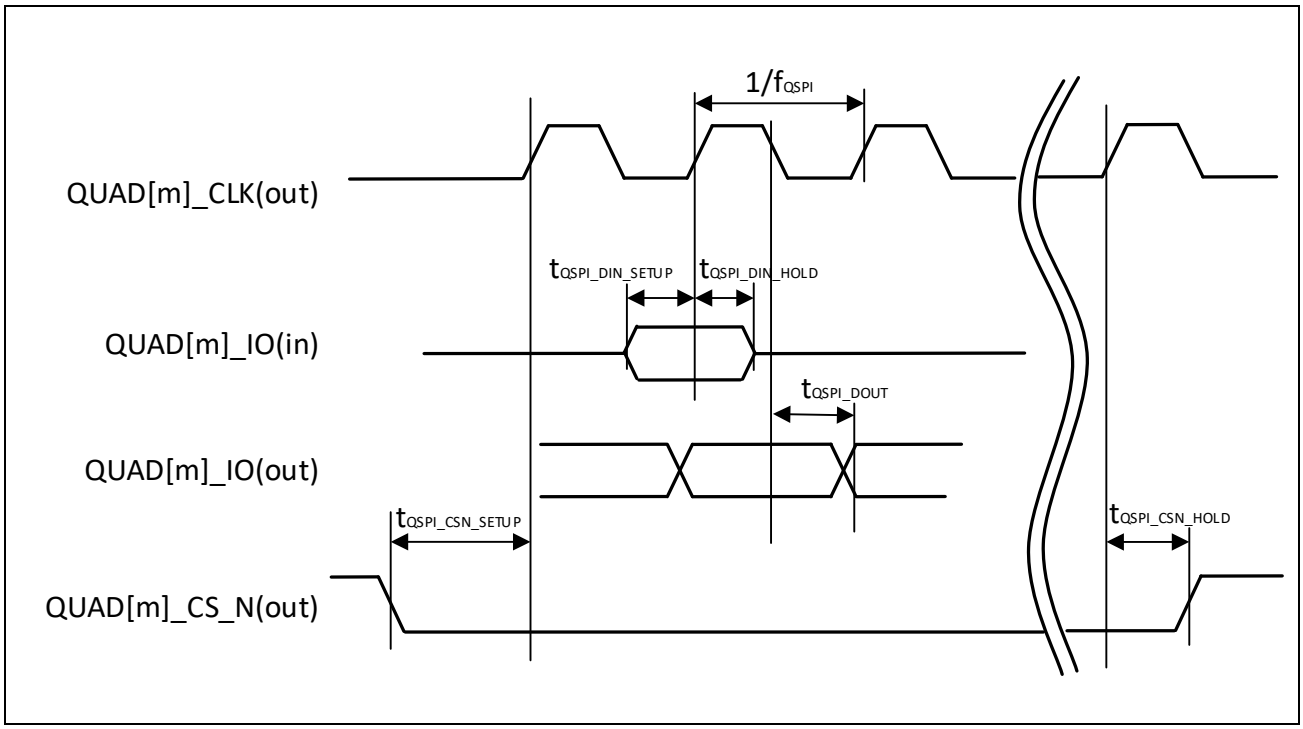
11.5.2.1　QSPI Flash タイミング

表 11.10　QSPI Flash インタフェース

パラメータ	記号	条件	Min	Typ	Max	単位
QUAD[m]_CLK 周波数注 1	f_{QSPI}	—	—	—	62.5	MHz
QUAD[m]_IO 入力セットアップ時間	$t_{QSPI_DIN_SETUP}$	QUAD[m]_CLK 立ち上がり	$10-T_{REF}\times D_{RD}$	—	—	ns
QUAD[m]_IO 入力ホールド時間	$t_{QSPI_DIN_HOLD}$		$T_{REF}\times D_{RD}-3$	—	—	ns
QUAD[m]_IO 遅延時間	t_{QSPI_DOUT}	QUAD[m]_CLK 立ち下がり	−3	—	4	ns
QUAD[m]_CS_N セットアップ時間	$t_{QSPI_CSN_SETUP}$	QUAD[m]_CLK 立ち上がり	0.5T−3	—	—	ns
QUAD[m]_CS_N ホールド時間	$t_{QSPI_CSN_HOLD}$		0.5T−3	—	—	ns

備考　m＝1、2、負荷容量 $C_{L\ (max)}$ ＝30pF、ドライブ強度 8mA
T＝QUAD[m]_CLK 周期、T_{REF}＝QSPI[m]_REFCLK 周期、D_{RD}＝QSPI の読み出しデータキャプチャレジスタのリードディレイ設定

注1.　QSPI インタフェースはレジスタ設定により内部取り込みエッジをシフトさせることができます。



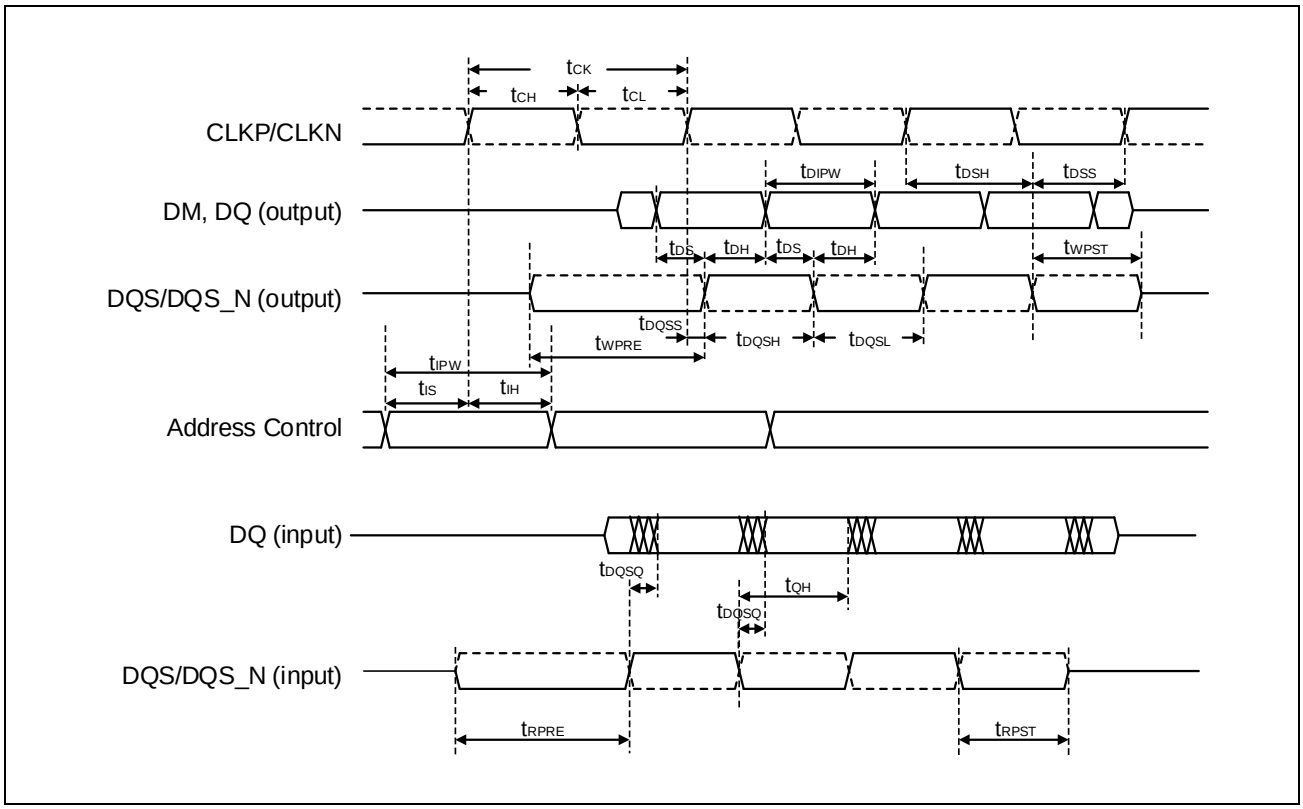
11.5.2.2 DDR3/DDR2 インタフェース

表 11.11　DDR3-1000

パラメータ	記号	Min	Typ	Max	単位	注釈
CLK サイクルタイム	t_{CK}	2000	—	—	ps	平均
CLKP/CLKN High レベル幅	t_{CH}	0.47×t_{CK} ＋10ps	—	0.53×t_{CK} −10ps	t_{CK}	平均
CLKP/CLKN Low レベル幅	t_{CL}	0.47×t_{CK} ＋10ps	—	0.53×t_{CK} −10ps	t_{CK}	平均
DQ/DM セットアップ時間	t_{DS}	320	—	—	ps	DQ：1.0V/ns、 DQS：2.0V/ns 変換
DQ/DM ホールド時間	t_{DH}	290	—	—	ps	DQ：1.0V/ns、 DQS：2.0V/ns 変換
制御およびアドレスの各信号のパルス幅	t_{IPW}	1600	—	—	ps	—
DQ/DM 各信号のパルス幅	t_{DIPW}	800	—	—	ps	—
DQ/DM DQS および関連した DQ 信号のスキュー	t_{DQSQ}	—	—	245	ps	—
DQS からの DQ ホールド時間	t_{QH}	675	—	—	ps	—
ライトコマンドから最初の DQS までのラッチ遷移	t_{DQSS}	−250	—	＋250	ps	—
DQS/DQS_N High パルス幅	t_{DQSH}	0.45×t_{CK} ＋10ps	—	0.55×t_{CK} −10ps	t_{CK}	—
DQS/DQS_N Low パルス幅	t_{DQSL}	0.45×t_{CK} ＋10ps	—	0.55×t_{CK} −10ps	t_{CK}	—
DQS/DQS_N 立ち下がりエッジからの CLKP/CLKN のセットアップ時間	t_{DSS}	0.325	—	—	t_{CK}	—
CLKP/CLKN から DQS/DQS_N 立ち下がりエッジのホールド時間	t_{DSH}	0.325	—	—	t_{CK}	—
ライトプリアンブル	t_{WPRE}	0.91	—	—	t_{CK}	—
ライトポストアンブル	t_{WPST}	0.31	—	—	t_{CK}	—
リードプリアンブル	t_{RPRE}	0.89	—	—	t_{CK}	—
リードポストアンブル	t_{RPST}	0.25	—	—	t_{CK}	—
アドレスおよび制御信号のセットアップ時間	t_{IS}	670	—	—	ps	CMD、ADD：1.0V/ns CLK：2.0V/ns 変換
アドレスおよび制御信号のホールド時間	t_{IH}	670	—	—	ps	CMD、ADD：1.0V/ns CLK：2.0V/ns 変換

表 11.12　DDR2-500

パラメータ	記号	Min	Typ	Max	単位	注釈
CLK cycle time	t_{CK}	4000	—	—	ps	平均
CLKP/CLKN High レベル幅	t_{CH}	0.48×t_{CK} ＋10ps	—	0.52×t_{CK} －10ps	t_{CK}	平均
CLKP/CLKN Low レベル幅	t_{CL}	0.48×t_{CK} ＋10ps	—	0.52×t_{CK} －10ps	t_{CK}	平均
DQ/DM セットアップ時間	t_{DS}	500	—	—	ps	DQ：1.0V/ns、 DQS：2.0V/ns 変換
DQ/DM ホールド時間	t_{DH}	500	—	—	ps	DQ：1.0V/ns、 DQS：2.0V/ns 変換
制御およびアドレスの各信号のパルス幅	t_{IPW}	0.8	—	—	t_{CK}	—
DQ/DM 各信号のパルス幅	t_{DIPW}	0.4	—	—	t_{CK}	—
DQ/DM DQS および関連した DQ 信号のスキュー	t_{DQSQ}	—	—	450	ps	—
DQS からの DQ ホールド時間	t_{QH}	1100	—	—	ps	—
ライトコマンドから最初の DQS までのラッチ遷移	t_{DQSS}	－0.125	—	＋0.125	t_{CK}	—
DQS/DQS_N High パルス幅	t_{DQSH}	0.41×t_{CK} ＋10ps	—	—	t_{CK}	—
DQS/DQS_N Low パルス幅	t_{DQSL}	0.41×t_{CK} ＋10ps	—	—	t_{CK}	—
DQS/DQS_N 立ち下がりエッジからの CLKP/CLKN のセットアップ時間	t_{DSS}	0.325	—	—	t_{CK}	—
CLKP/CLKN から DQS/DQS_N 立ち下がりエッジのホールド時間	t_{DSH}	0.325	—	—	t_{CK}	—
ライトプリアンブル	t_{WPRE}	0.26	—	—	t_{CK}	—
ライトポストアンブル	t_{WPST}	0.41	—	—	t_{CK}	—
リードプリアンブル	t_{RPRE}	0.89	—	—	t_{CK}	—
リードポストアンブル	t_{RPST}	0.35	—	—	t_{CK}	—
アドレスおよび制御信号のセットアップ時間	t_{IS}	1400	—	—	ps	CMD、ADD：1.0V/ns CLK：2.0V/ns 変換
アドレスおよび制御信号のホールド時間	t_{IH}	1400	—	—	ps	CMD、ADD：1.0V/ns CLK：2.0V/ns 変換

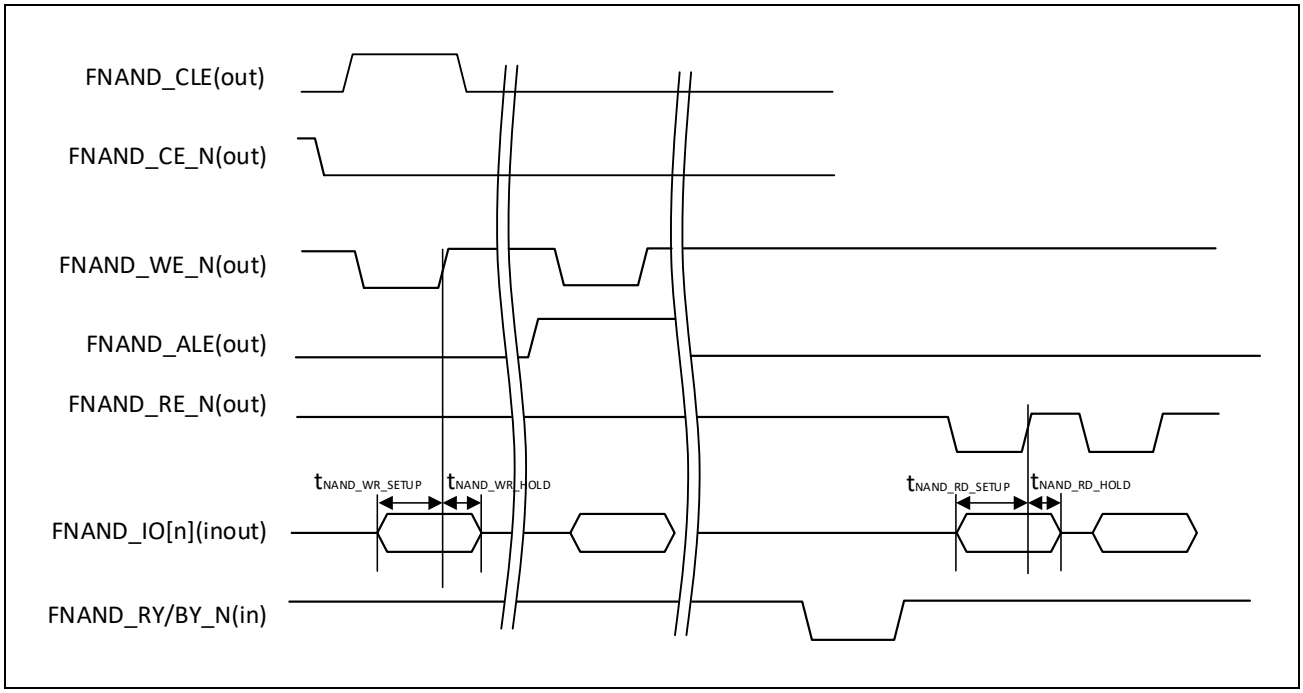

tCK
tCH
tCL
CLKP/CLKN
tDIPW
tDSH
tDSS
DM, DQ (output)
tDS
tDH
tDS
tDH
tWPST
DQS/DQS_N (output)
tDQSS
tWPRE
tDQSH
tDQSL
tIPW
tIS
tIH
Address Control
DQ (input)
tDQSQ
tQH
tDQSQ
DQS/DQS_N (input)
tRPRE
tRPST

11.5.2.3 NAND Flash インタフェース

表 11.13　NAND Flash インタフェース

パラメータ	記号	条件	Min	Typ	Max	単位
ライトデータセットアップ時間	$t_{NAND_WR_SETUP}$	FNAND_WE_N 立ち上がり	n_1×T−6	—	—	ns
ライトデータホールド時間	$t_{NAND_WR_HOLD}$		n_2×T−6	—	—	ns
リードデータセットアップ時間	$t_{NAND_RD_SETUP}$	FNAND_RE_N 立ち上がり	10	—	—	ns
リードデータホールド時間	$t_{NAND_RD_HOLD}$		0	—	—	ns

備考　負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 8mA
T＝NAND_ECLK 周期、n_1、および n_2 はレジスタ設定です。



11.5.2.4 SD/eMMC/SDIO インタフェース

表 11.14　SD バスタイミング（デフォルトモード）

パラメータ	記号	条件	Min	Typ	Max	単位
SDIO_CLK 周波数 （データ転送モード）	f_{SD}	—	—	—	25	MHz
SDIO_CLK クロック Low 幅	t_{SD_CKLO}	—	16	—	—	ns
SDIO_CLK クロック High 幅	t_{SD_CKHI}	—	16	—	—	ns
SDIO_CLK クロック立ち上がり時間	t_{SD_CKRISE}	V_{OL}～V_{OH}	—	—	2	ns
SDIO_CLK クロック立ち下がり時間	t_{SD_CKFALL}	V_{OH}～V_{OL}	—	—	2	ns
入力 CMD、IO セットアップ時間	t_{SD_SETUP}	SDIO_CLK 立ち上がり	4	—	—	ns
入力 CMD、IO ホールド時間	t_{SD_HOLD}		2	—	—	ns
データ転送モード中の 出力 CMD、IO 遅延時間	t_{SD_DOUT}	SDIO_CLK 立ち下がり	−2	—	11	ns

備考　負荷容量 $C_{L\ (max)}$ ＝30pF、ドライブ強度 8mA

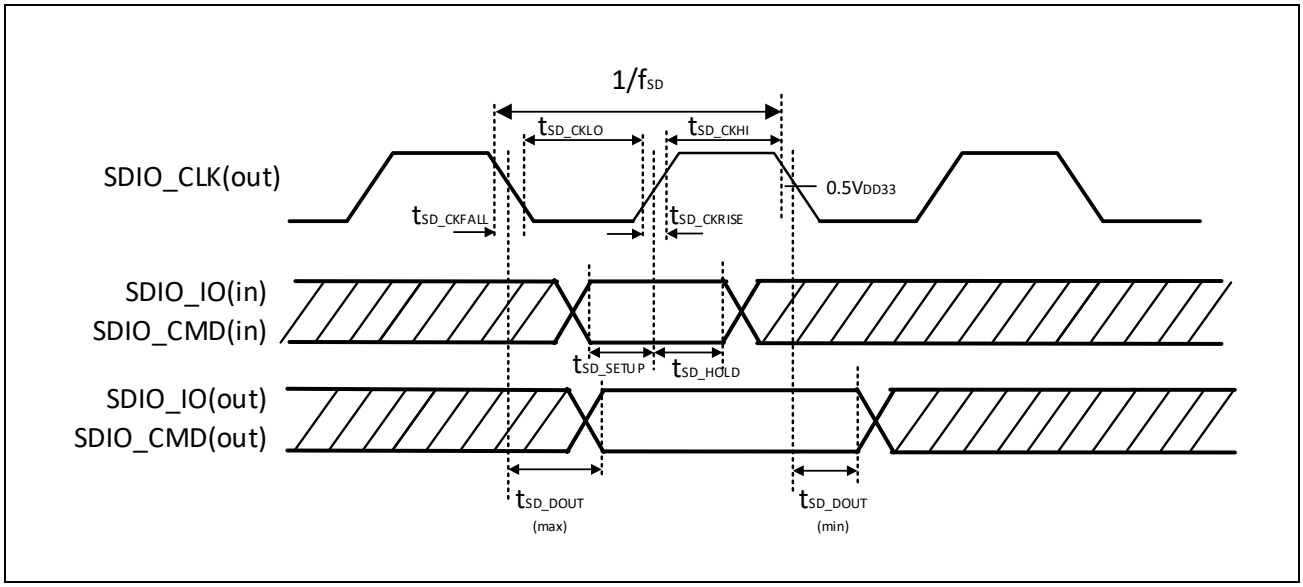
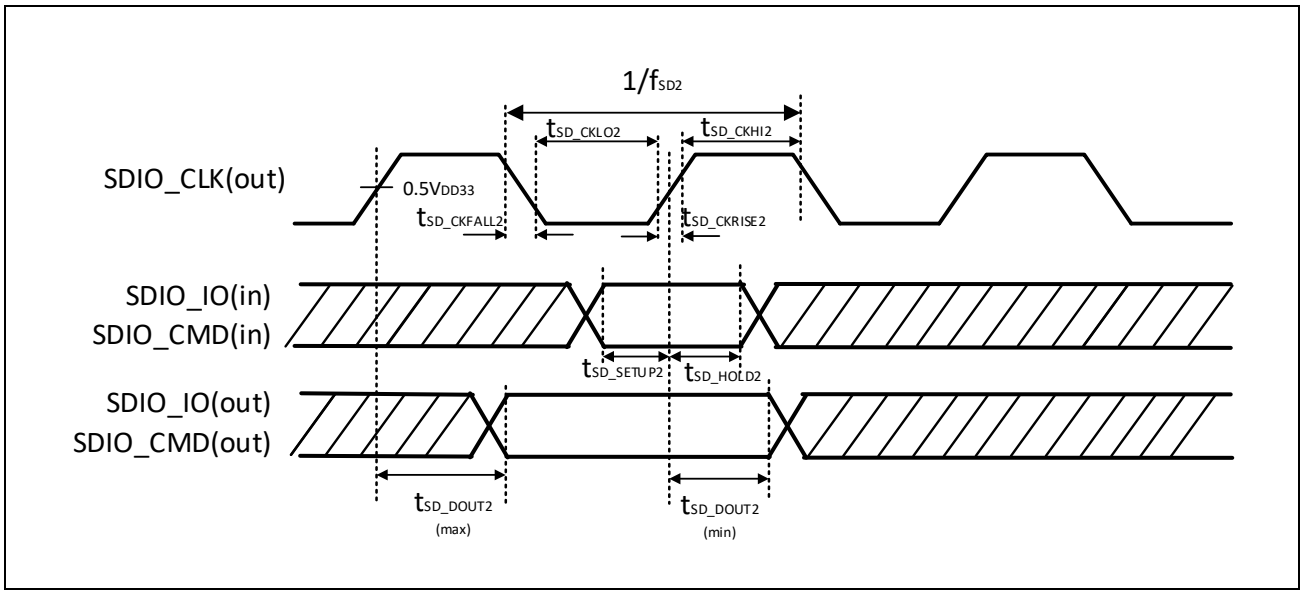


表 11.15　SD バスタイミング（ハイスピードモード）

パラメータ	記号	条件	Min	Typ	Max	単位
SDIO_CLK 周波数 （データ転送モード）	f_{SD2}	—	—	—	50	MHz
SDIO_CLK クロック Low 幅	t_{SD_CKLO2}	—	8	—	—	ns
SDIO_CLK クロック High 幅	t_{SD_CKHI2}	—	8	—	—	ns
SDIO_CLK クロック立ち上がり時間	$t_{SD_CKRISE2}$	V_{OL}～V_{OH}	—	—	1	ns
SDIO_CLK クロック立ち下がり時間	$t_{SD_CKFALL2}$	V_{OH}～V_{OL}	—	—	1	ns
入力 CMD、IO セットアップ時間	t_{SD_SETUP2}	SDIO_CLK 立ち上がり	4	—	—	ns
入力 CMD、IO ホールド時間	t_{SD_HOLD2}		2	—	—	ns
データ転送モード中の 出力 CMD、IO 遅延時間	t_{SD_DOUT2}	SDIO_CLK 立ち上がり	3	—	13	ns

備考　負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 8mA



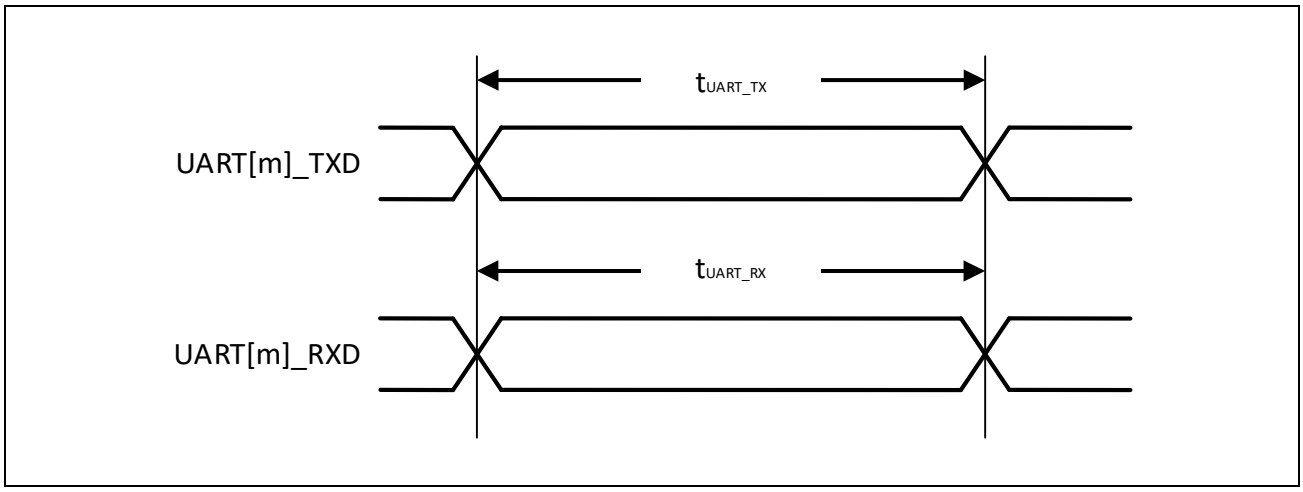
11.5.3 シリアルインタフェースタイミング

11.5.3.1 UART

表 11.16　UART

パラメータ	記号	条件	Min	Typ	Max	単位
UART[m]_TXD パルス幅	t_{UART_TX}	—	192	—	—	ns
UART[m]_RXD パルス幅	t_{UART_RX}	—	192	—	—	ns

備考　m＝1～8



11.5.3.2　SPI マスタ

表 11.17　SPI マスタ

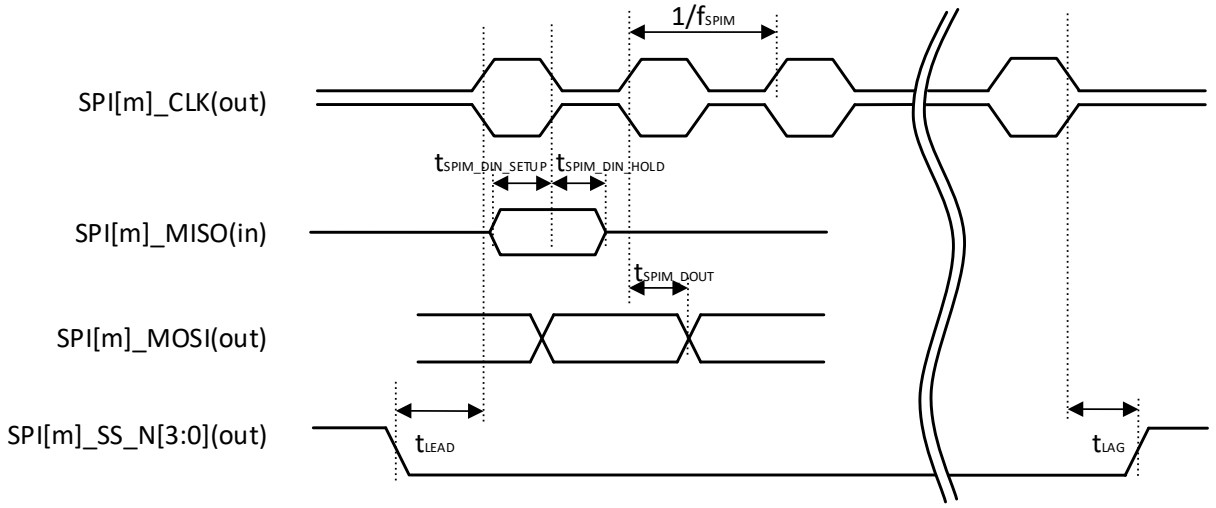
パラメータ	記号	条件	Min	Typ	Max	記号
SPI[m]_CLK 周波数注 1	f_{SPIM}	—	—	—	25	MHz
SPI[m]_MISO データ入力セットアップ時間	$t_{SPIM_DIN_SETUP}$	—	20	—	—	ns
SPI[m]_MISO データ入力ホールド時間	$t_{SPIM_DIN_HOLD}$	—	0	—	—	ns
SPI[m]_MOSI 遅延時間	t_{SPIM_DOUT}	—	−6	—	6	ns
SPI[m]_SS_N[3:0]出力セットアップ時間	t_{LEAD}	—	（N−1）×T_{REF}−8 注 2	—	—	ns
SPI[m]_SS_N[3:0]出力ホールド時間	t_{LAG}	—	（N/2＋1）×T_{REF}−6 注 3	—	—	ns

備考　m＝1～4、負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 8mA
T_{REF}＝リファレンスクロックの SPI[m]_SCLK 周期、N＝ボーレート選択レジスタの SPI クロック分周器設定値

注1.　SPI[m]_CLK の極性はレジスタ設定により変えることができます。デフォルト設定では、SPI[m]_CLK の立ち下がりエッジでデータ出力が始まり、立ち上がりエッジでデータ取り込みが始まります。デフォルト設定（bSpi_SCPOL＝1：シリアルクロックの非アクティブ状態は High、bSpi_SCPH＝1：シリアルクロックはデータビットのスタート時点で最初にトグル）

注2.　モトローラ SPI（bSpi_SCPH＝0）のときは、［（N/2−1）×T_{REF}−8］となります。

注3.　テキサスインスツルメンツ同期式シリアルプロトコルのときは、［T_{REF}−6］となります。



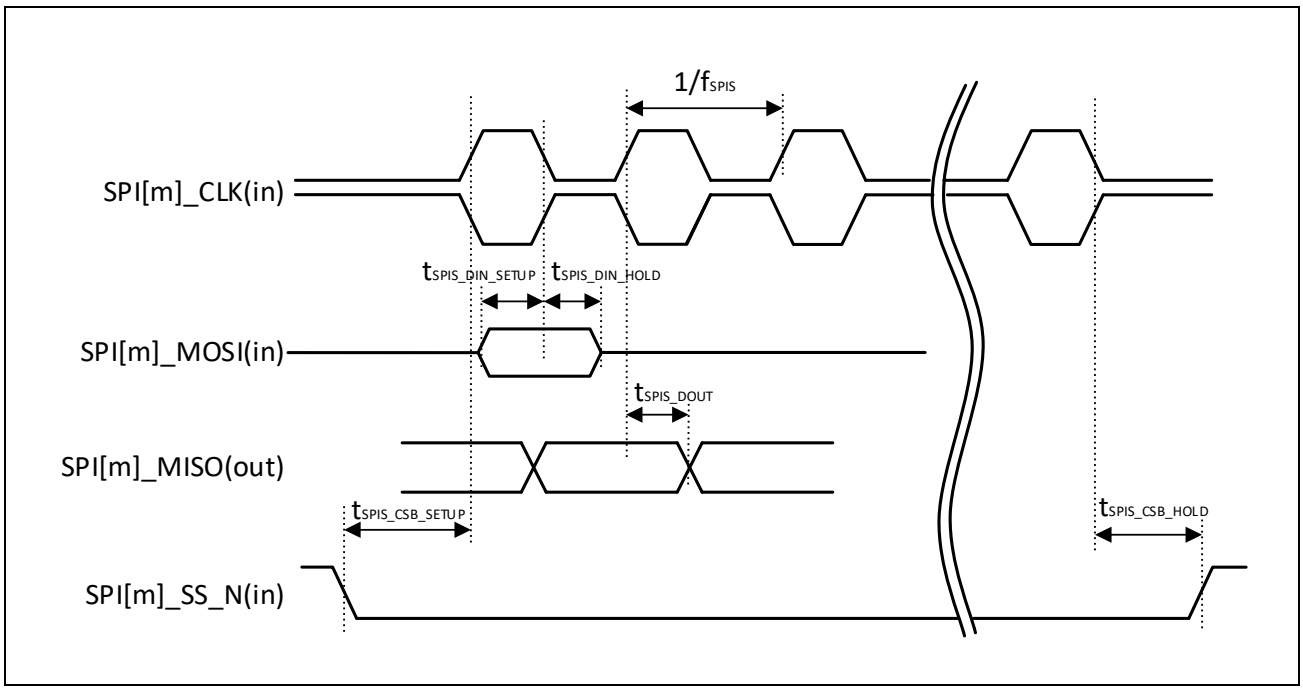
11.5.3.3 SPI スレーブ

表 11.18　SPI スレーブ

パラメータ	記号	条件	Min	Typ	Max	単位
SPI[m]_CLK 入力周波数注 1	f_{SPIS}	—	—	—	12.5	MHz
SPI[m]_MOSI データ入力セットアップ時間	$t_{SPIS_DIN_SETUP}$	—	0	—	—	ns
SPI[m]_MOSI データ入力ホールド時間	$t_{SPIS_DIN_HOLD}$	—	$3T_{REF}$＋4	—	—	ns
SPI[m]_MISO 遅延時間	t_{SPIS_DOUT}	—	—	—	$3T_{REF}$＋12	ns
SPI[m]_SS_N 入力セットアップ時間	$t_{SPIS_CSB_SETUP}$	—	$3T_{REF}$	—	—	ns
SPI[m]_SS_N 入力ホールド時間	$t_{SPIS_CSB_HOLD}$	—	$3T_{REF}$	—	—	ns

備考　m＝5～6、負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 8mA
T_{REF}＝リファレンスクロックの SPI[m]_SCLK 周期

注1.　SPI[m]_CLK の極性はレジスタ設定により変えることができます。デフォルト設定では、SPI[m]_CLK の立ち下がりエッジでデータ出力が始まり、立ち上がりエッジでデータ取り込みが始まります。デフォルト設定（bSpi_SCPOL＝1：シリアルクロックの非アクティブ状態は High、bSpi_SCPH＝1：シリアルクロックはデータビットのスタート時点で最初にトグル）

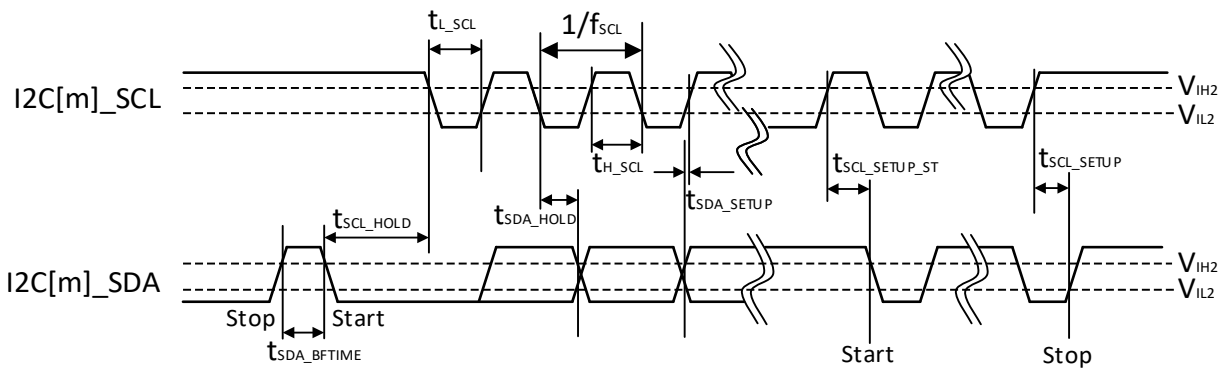


11.5.3.4 I2C

表 11.19　I2C

パラメータ	記号	条件	Min	Typ	Max	単位
I2C[m]_SCL クロック周波数	f_{SCL}	標準モード	—	—	100	kHz
		ファストモード	—	—	400	kHz
バスフリー時間（ストップとスタート）	t_{SDA_BFTIME}	標準モード	4.7	—	—	μs
		ファストモード	1.3	—	—	μs
I2C[m]_SCL ホールド時間（スタート時）	t_{SCL_HOLD}	標準モード	4.0	—	—	μs
		ファストモード	0.6	—	—	μs
I2C[m]_SCL Low 幅	t_{L_SCL}	標準モード	4.7	—	—	μs
		ファストモード	1.3	—	—	μs
I2C[m]_SCL High 幅	t_{H_SCL}	標準モード	4.0	—	—	μs
		ファストモード	0.6	—	—	μs
I2C[m]_SCL セットアップ時間（開始時）	$t_{SCL_SETUP_ST}$	標準モード	4.7	—	—	μs
		ファストモード	0.6	—	—	μs
I2C[m]_SDA ホールド時間	t_{SDA_HOLD}	標準モード	0	—	—	μs
		ファストモード	0	—	—	μs
I2C[m]_SDA セットアップ時間	t_{SDA_SETUP}	標準モード	250	—	—	ns
		ファストモード	100	—	—	μs
I2C[m]_SCL セットアップ時間	t_{SCL_SETUP}	標準モード	4.0	—	—	μs
		ファストモード	0.6	—	—	μs

備考　m＝1、2



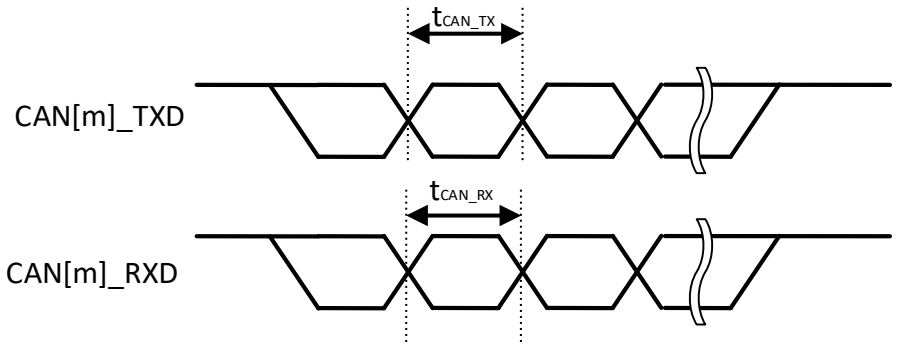
備考　V_{IH2}/V_{IL2} は、I2C バス仕様で定義される V_{IH}/V_{IL} となります。

11.5.3.5 CAN

表 11.20　CAN

パラメータ	記号	条件	Min	Typ	Max	単位
CAN ボーレート	f_{CAN}	—	—	—	1	Mbaud
CAN[m]_TXD パルス幅	t_{CAN_TX}	—	$1/f_{CAN}-5$	—	$1/f_{CAN}+5$	ns
CAN[m]_RXD パルス幅	t_{CAN_RX}	—	$1/f_{CAN}-5$	—	$1/f_{CAN}+5$	ns

備考　m＝1、2



11.5.3.6 JTAG/SWD

表 11.21　JTAG

パラメータ	記号	条件	Min	Typ	Max	単位
JTAG_TCK 入力周波数	f_{JTAG}	—	—	—	10	MHz
JTAG_TCK Low 周期	t_{JTAG_CL}	—	40	—	—	ns
JTAG_TCK High 周期	t_{JTAG_CH}	—	40	—	—	ns
JTAG_TMS/TDI セットアップ時間	t_{JTAG_SETUP}	JTAG_TCK 立ち上がり	6	—	—	ns
JTAG_TMS/TDI ホールド時間	t_{JTAG_HOLD}	JTAG_TCK 立ち上がり	6	—	—	ns
JTAG_TDO 出力遅延	t_{JTAG_DOUT}	JTAG_TCK 立ち下がり	0	—	15	ns

備考　負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 8mA（固定）

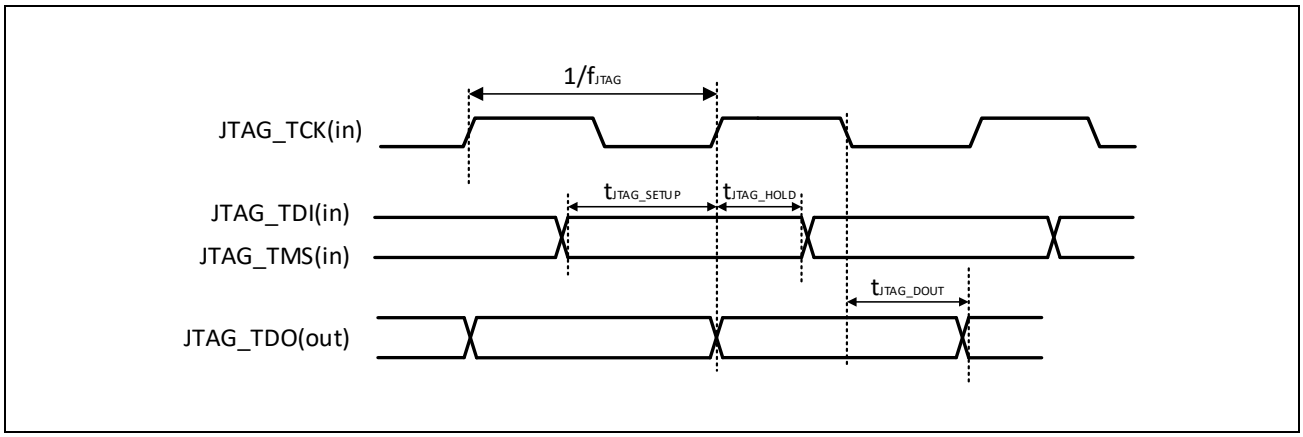
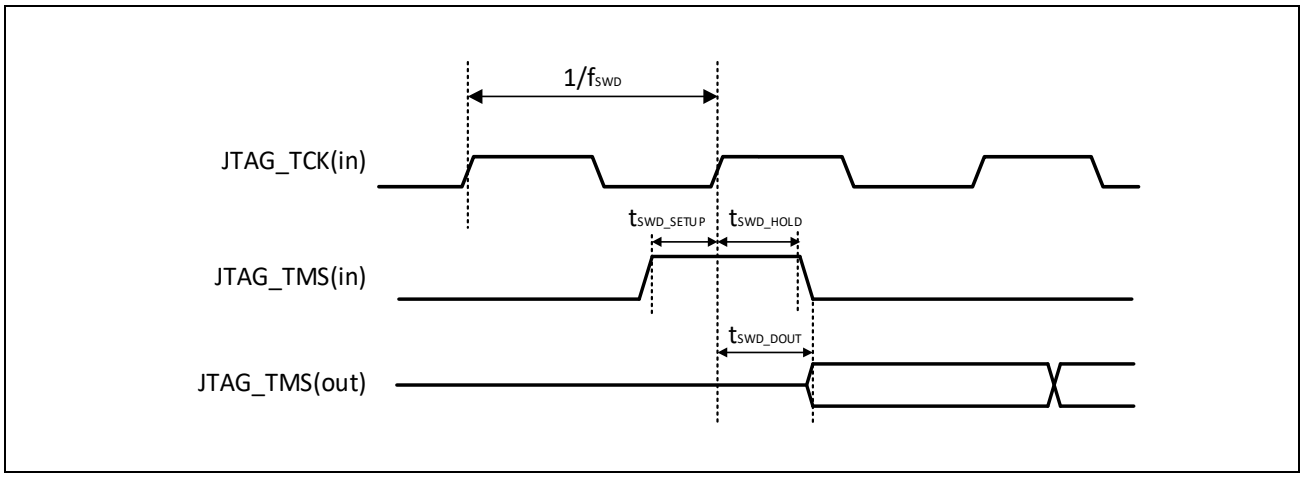


表 11.22　シリアルワイヤデバッグ（SWD）

パラメータ	記号	条件	Min	Typ	Max	単位
JTAG_TCK（SWDCLK）入力周波数	f_{SWD}	—	—	—	40	MHz
JTAG_TCK（SWDCLK）Low 周期	t_{SWD_CL}	—	10	—	—	ns
JTAG_TCK（SWDCLK）High 周期	t_{SWD_CH}	—	10	—	—	ns
JTAG_TMS（SWDIO）セットアップ時間	t_{SWD_SETUP}	JTAG_TCK 立ち上がり	4	—	—	ns
JTAG_TMS（SWDIO）ホールド時間	t_{SWD_HOLD}	JTAG_TCK 立ち上がり	4	—	—	ns
JTAG_TMS（SWDIO）出力遅延	t_{SWD_DOUT}	JTAG_TCK 立ち上がり	2	—	15	ns

備考　負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 8mA（固定）

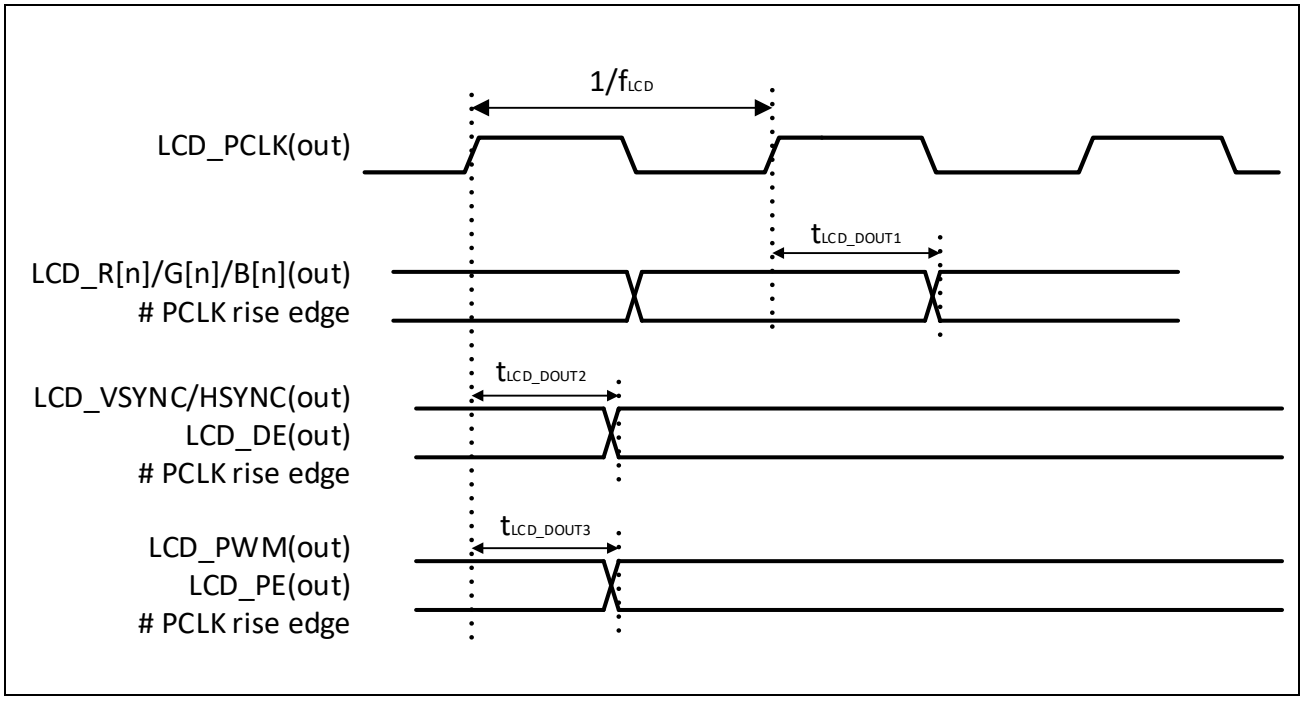


11.5.4 LCD インタフェースタイミング

表 11.23　LCD インタフェースタイミング

パラメータ	記号	条件	Min	Typ	Max	単位
LCD_PCLK 周波数	f_{LCD}	—	—	—	83.3	MHz
LCD_R[n]/G[n]/B[n] 出力遅延	t_{LCD_DOUT1}	LCD_PCLK 立ち上がりもしくは立ち下がり	1.5	—	8.5	ns
LCD_HSYNC/VSYNC LCD_DE 出力遅延	t_{LCD_DOUT2}	LCD_PCLK 立ち上がりもしくは立ち下がり	1.5	—	8.5	ns
LCD_PE LCD_PWM 出力遅延	t_{LCD_DOUT3}	LCD_PCLK 立ち上がりもしくは立ち下がり	0	—	20	ns

備考　n＝0～7、負荷容量 $C_{L\ (max)}$ ＝25pF、ドライブ強度 6mA



11.5.5 MSEBI インタフェースタイミング

表 11.24　MSEBI マスタ

パラメータ		記号	条件	Min	Typ	Max	単位
MSEBIM_CLK 周波数[注1]		f_{MSEBIM}	—	—	—	62.5	MHz
MSEBIM_WAIT_N[3:0] MSEBIM_ACD[31:0] 入力	セットアップ時間	t_{MSEBIM_SETUP}	MSEBIM_CLK 立ち上がり	14	—	—	ns
	ホールド時間	t_{MSEBIM_HOLD}	MSEBIM_CLK 立ち上がり	0	—	—	ns
MSEBIM_ACD[31:0] MSEBIM_ALE MSEBIM_ALE1 MSEBIM_ALE2 MSEBIM_ALE3 MSEBIM_DLE MSEBIM_CLE MSEBIM_WR_N MSEBIM_RD_N 出力遅延		t_{MSEBIM_DOUT}	MSEBIM_CLK 立ち上がり	0	—	10	ns

備考　負荷容量 $C_{L\ (max)}$ ＝15pF、ドライブ強度 8mA

注1.　最大バースト速度は、31.25MHz です。

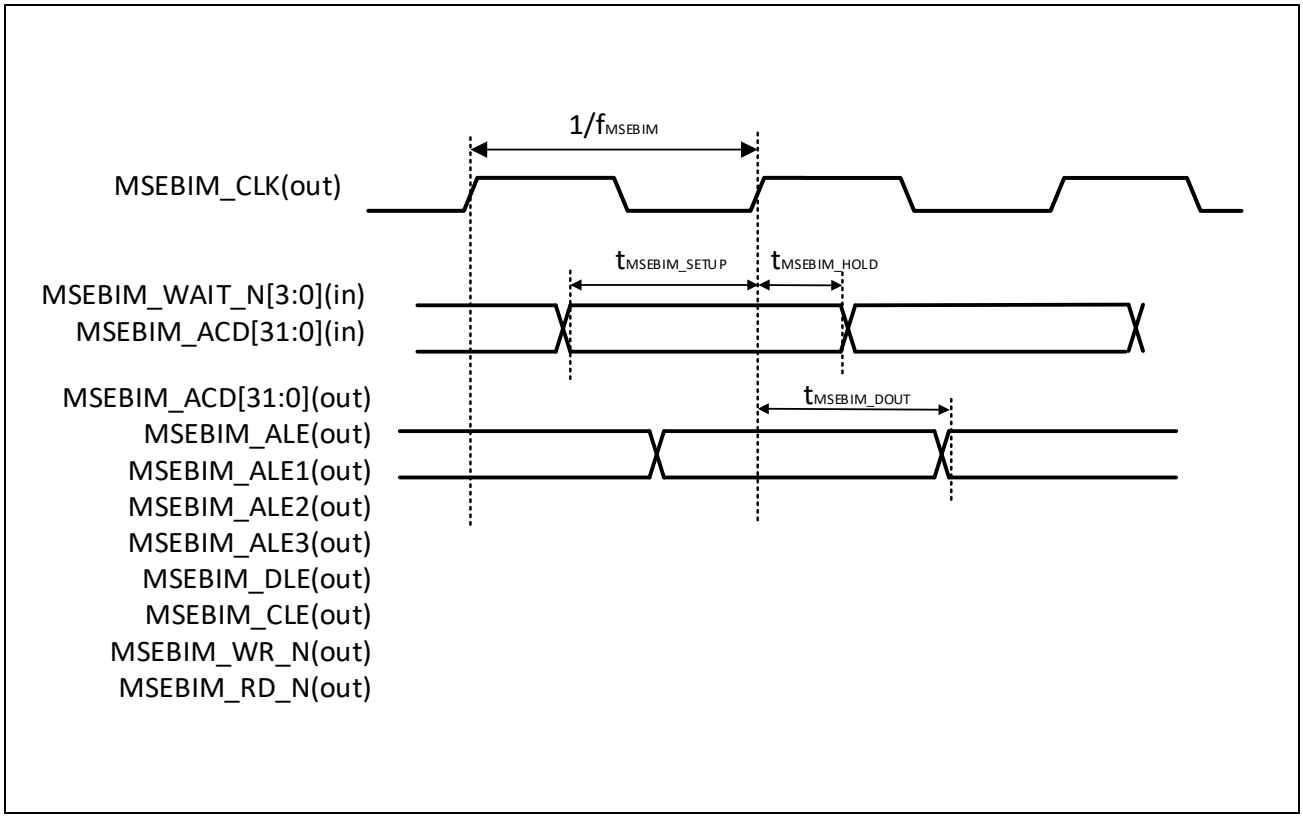
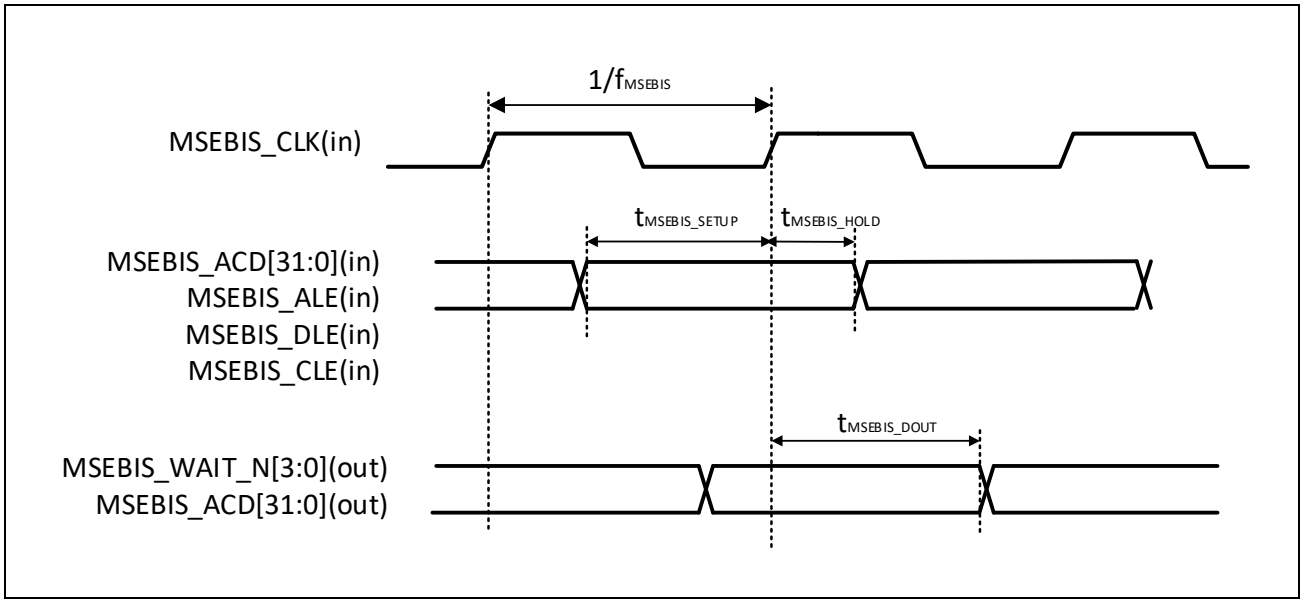


表 11.25　MSEBI スレーブ

パラメータ		記号	条件	Min	Typ	Max	単位
MSEBIS_CLK 周波数		f_{MSEBIS}	—	—	—	31.25	MHz
MSEBIS_WAIT_N[3:0] MSEBIS_ACD[31:0] 出力遅延		t_{MSEBIS_DOUT}	MSEBIS_CLK 立ち上がり	4	—	16	ns
MSEBIS_ACD[31:0] MSEBIS_ALE MSEBIS_DLE MSEBIS_CLE 入力	セットアップ時間	t_{MSEBIS_SETUP}	MSEBIS_CLK 立ち上がり	14	—	—	ns
	ホールド時間	t_{MSEBIS_HOLD}	MSEBIS_CLK 立ち上がり	0	—	—	ns

備考　負荷容量 $C_{L\ (max)}$ ＝15pF、ドライブ強度 8mA



11.6　ADC 特性

条件：　V_{ADC}＝$V_{ADC\ REFP}$＝3.3±0.3V、$V_{ADC\ REFM}$＝0V、V_{DD11}＝1.15±0.05V、Rs（ソースインピーダンス）≦300Ω、T_A＝＋25°C

表 11.26　ADC 特性

パラメータ	記号	条件	Min	Typ	Max	単位
分解能	RES	—	—	12	—	bit
積分非直線性	INL	—	—	±1.0	±4.0	LSB
微分非直線性	DNL	—	—	±0.3	±1.0	LSB
ゼロスケール誤差	ZSE	—	—	±2.0	±6.0	LSB
フルスケール誤差	FSE	—	—	±0.5	±1.5	LSB
ADC 入力等価容量	C_{Ain}	—	—	—	8.0	pF
ADC サンプル／ホールド入力等価容量	C_{ASHin}	—	—	—	6.0	pF

これらの誤差は外部回路によるサンプリング誤差を含みません。さらに、$V_{ADC\ REFP}$＜V_{ADC} かつ $V_{ADC\ REFM}$＞0.0V のとき、それらはより大きくなります。

11.7　RTC オシレータ特性

表 11.27　RTC オシレータ特性

パラメータ	記号	条件	Min	Typ	Max	単位
振動周波数	$F_{OSC\ RTC}$	負荷容量 C_L＝7pF	—	32.768	—	kHz
出力クロックデューティ	$Duty_{RTC}$	負荷容量 C_L＝7pF	40	—	60	%
低電圧検出電圧[注1]	$L2H_{RTC}$	RTC_VDD33 スルーレート＜1V/1msec	2.0	2.2	2.4	V
	$H2L_{RTC}$		1.8	2.0	2.2	V
スタートアップ時間	t_{START}	RTC_PWRGOOD＝1	—	1	—	sec

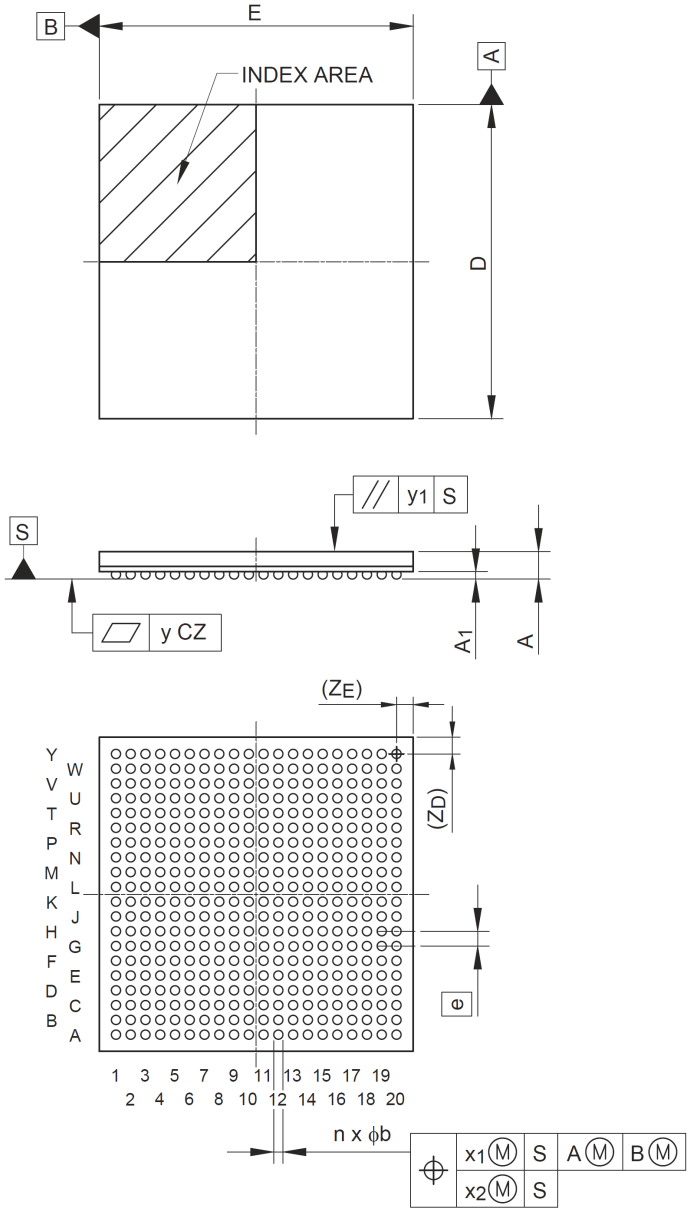
注1.　RTC_VDD33 が $H2L_{RTC}$ になったとき低電圧リセット信号がアサートされ、RTC 回路がリセットされます。

第12章　機械的特性

12.1　パッケージ情報

12.1.1　BGA-400 パッケージ

JEITA Package Code	RENESAS Code	MASS (Typ) [g]
P-LFBGA400-17x17-0.80	PLBG0400GB-A	0.88

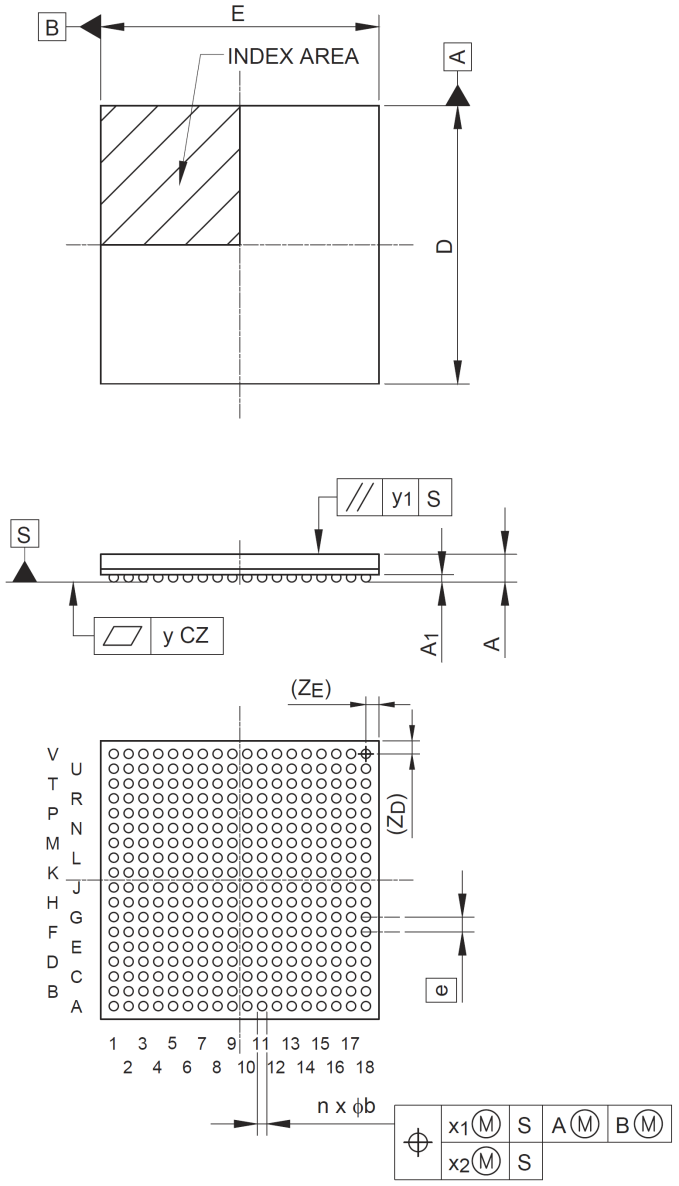


Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	16.90	17.00	17.10
E	16.90	17.00	17.10
A	—	—	1.70
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x_1	—	—	0.15
x_2	—	—	0.08
y	—	—	0.10
y_1	—	—	0.20
n	—	400	—
Z_D	—	0.90	—
Z_E	—	0.90	—

図 12.1　　BGA-400 パッケージ寸法

12.1.2 BGA-324 パッケージ

JEITA Package Code	RENESAS Code	MASS (Typ) [g]
P-LFBGA324-15x15-0.80	PLBG0324GA-A	0.70

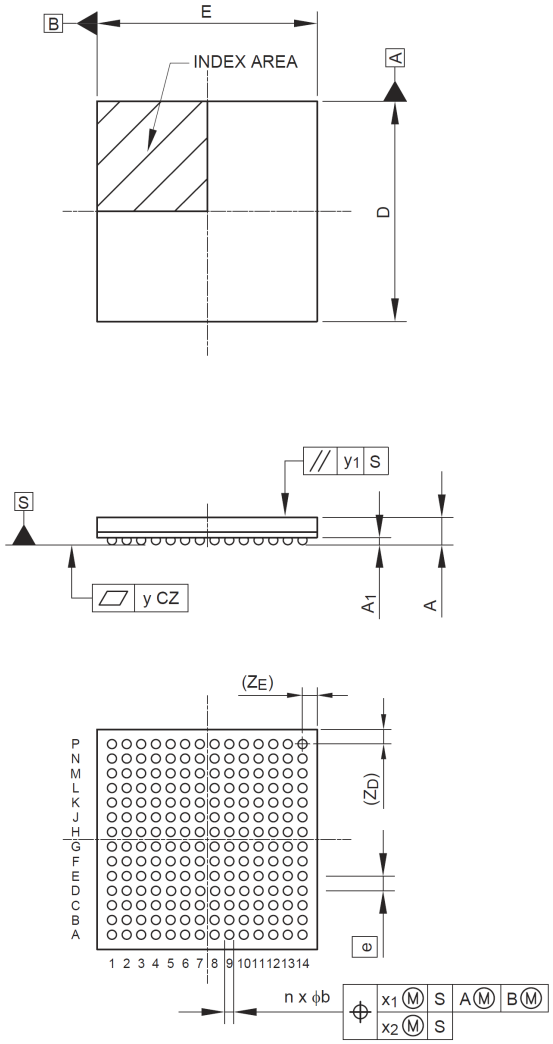


Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	14.90	15.00	15.10
E	14.90	15.00	15.10
A	—	—	1.70
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x_1	—	—	0.15
x_2	—	—	0.08
y	—	—	0.10
y_1	—	—	0.20
n	—	324	—
Z_D	—	0.70	—
Z_E	—	0.70	—

図 12.2　BGA-324 パッケージ寸法

12.1.3 BGA-196 パッケージ

JEITA Package Code	RENESAS Code	MASS (Typ) [g]
P-LFBGA196-12x12-0.80	PLBG0196GA-A	0.43



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	11.92	12.0	12.08
E	11.92	12.0	12.08
A	—	—	1.70
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x_1	—	—	0.15
x_2	—	—	0.08
y	—	—	0.10
y_1	—	—	0.20
n	—	196	—
Z_D	—	0.80	—
Z_E	—	0.80	—

図 12.3　BGA-196 パッケージ寸法

付録A　端子割り当て

表 A.1　端子割り当て（1/7）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
DDR2/3 インタフェース	DDR_ADDR0	M5	K5	—	—	—
	DDR_ADDR1	T4	P4	—	—	—
	DDR_ADDR2	R2	N2	—	—	—
	DDR_ADDR3	P3	M3	—	—	—
	DDR_ADDR4	R3	N3	—	—	—
	DDR_ADDR5	P5	M4	—	—	—
	DDR_ADDR6	T1	P1	—	—	—
	DDR_ADDR7	R4	N4	—	—	—
	DDR_ADDR8	U1	R1	—	—	—
	DDR_ADDR9	T3	P3	—	—	—
	DDR_ADDR10	L3	J3	—	—	—
	DDR_ADDR11	T2	P2	—	—	—
	DDR_ADDR12	M4	K4	—	—	—
	DDR_ADDR13	U2	R2	—	—	—
	DDR_ADDR14	U3	R3	—	—	—
	DDR_ADDR15	N4	L3	—	—	—
	DDR_RAS	M3	K3	—	—	—
	DDR_CAS	N3	L2	—	—	—
	DDR_WE	M2	K2	—	—	—
	DDR_CS0	M1	K1	—	—	—
	DDR_CS1	L4	—	—	—	—
	DDR_BA0	P4	L4	—	—	—
	DDR_BA1	P1	M1	—	—	—
	DDR_BA2	P2	M2	—	—	—
	DDR_CLKEN	L2	J2	—	—	—
	DDR_ODT0	N2	L1	—	—	—
	DDR_ODT1	N1	—	—	—	—
	DDR_DM0	G3	E3	—	—	—
	DDR_DM1	F2	D2	—	—	—
	DDR_DQS0	F3	E4	—	—	—
	DDR_DQS_N0	G4	D3	—	—	—
	DDR_DQS1	F1	D1	—	—	—
	DDR_DQS_N1	G2	E2	—	—	—
	DDR_DQ0	F4	D4	—	—	—
	DDR_DQ1	H3	F4	—	—	—
	DDR_DQ2	E2	C2	—	—	—
	DDR_DQ3	J3	F3	—	—	—
	DDR_DQ4	E3	C3	—	—	—
	DDR_DQ5	J4	G3	—	—	—
	DDR_DQ6	F5	E5	—	—	—
	DDR_DQ7	H4	G4	—	—	—
	DDR_DQ8	D2	B1	—	—	—

表 A.1　端子割り当て（2/7）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
DDR2/3 インタフェース	DDR_DQ9	H2	F2	—	—	—
	DDR_DQ10	D1	B2	—	—	—
	DDR_DQ11	H1	F1	—	—	—
	DDR_DQ12	C1	A2	—	—	—
	DDR_DQ13	J1	G1	—	—	—
	DDR_DQ14	C2	B3	—	—	—
	DDR_DQ15	J2	G2	—	—	—
	DDR_CLKN	K1	H1	—	—	—
	DDR_CLKP	K2	H2	—	—	—
	DDR_RESET_N	V3	T3	—	—	—
	DDR_VREF	K5	J5	—	—	—
	DDR_MZQ	K4	H4	—	—	—
USB インタフェース	USB_DP1	Y10	V8	V10	P8	P8
	USB_DM1	W10	U8	U10	N8	N8
	USB_DP2	Y9	V7	V9	P7	P7
	USB_DM2	W9	U7	U9	N7	N7
	USB_RREF	R11	N9	R10	L8	L8
	USB_VBUS	U11	R9	T11	N9	N9
RTC	RTC_XO	A6	A5	A3	A3	—
	RTC_XI	A7	A6	A2	A2	—
	RTC_PWRGOOD	C7	D6	C4	B3	—
ADC	ADC1_VREFP	U6	R6	R7	M5	M5
	ADC1_VREFN	U5	T5	R8	M6	M6
	ADC1_IN0	W4	V4	T6	N4	N4
	ADC1_IN1	Y3	T4	U6	P2	P2
	ADC1_IN2	Y4	U4	T7	M4	M4
	ADC1_IN3	V4	V3	V6	P3	P3
	ADC1_IN4	V5	U5	V5	N3	N3
	ADC1_IN6	W5	T6	V7	P4	P4
	ADC1_IN7	Y5	V5	T8	P5	P5
	ADC1_IN8	V6	U6	U7	N5	N5
	ADC2_VREFP	U7	—	—	—	—
	ADC2_VREFN	T7	—	—	—	—
	ADC2_IN0	Y6	—	—	—	—
	ADC2_IN1	W6	—	—	—	—
	ADC2_IN2	W7	—	—	—	—
	ADC2_IN3	V7	—	—	—	—
	ADC2_IN4	Y7	—	—	—	—
	ADC2_IN6	U8	—	—	—	—
	ADC2_IN7	V8	—	—	—	—
	ADC2_IN8	W8	—	—	—	—
クロック	MCLK_XO	W2	U2	U12	N10	N10
	MCLK_XI	W1	U1	V12	P10	P10

表 A.1　端子割り当て（3/7）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
システムコントロール	MRESET_N	V11	T9	T12	M9	M9
	MRESET_OUT	W11	U9	U13	M10	M10
	THMODE	R7	M5	N3	K2	K2
OTP	ANF_VDD_PRG	E8	E8	B4	D4	—
デバッグインタフェース	JTAG_TRST_N	T12	P10	R5	M1	M1
	JTAG_TCK	U13	T10	T4	M2	M2
	JTAG_TMS	V12	R10	U5	N2	N2
	JTAG_TDI	U12	R11	T5	N1	N1
	JTAG_TDO	T13	P11	R3	L1	L1
動作モード制御	CONFIG0	R6	P7	P3	L2	L2
	CONFIG1	P6	R4	P4	L3	L3
	CONFIG2	R5	P5	—	—	—
	TMC1	U4	N5	R4	M3	M3
	TMC2	P7	N6	R6	L4	L4
	CTRSTBYB	E9	D7	N4	K3	K3
GPIO	GPIO0	A12	—	L18	G13	G13
	GPIO1	C12	—	L17	G12	G12
	GPIO2	A13	—	M18	H13	H13
	GPIO3	C13	—	M17	H14	H14
	GPIO4	B13	—	L15	G11	G11
	GPIO5	A14	—	L16	H12	H12
	GPIO6	A15	—	N18	J13	J13
	GPIO7	D12	—	M16	J14	J14
	GPIO8	B15	—	N17	K14	K14
	GPIO9	B14	—	N16	J12	J12
	GPIO10	C14	—	N15	J11	J11
	GPIO11	D13	—	M15	H11	H11
	GPIO12	L20	—	G18	—	—
	GPIO13	L19	—	H16	—	—
	GPIO14	L16	—	H17	—	—
	GPIO15	M18	—	H15	—	—
	GPIO16	L17	—	J15	—	—
	GPIO17	M19	—	H18	—	—
	GPIO18	M20	—	J16	—	—
	GPIO19	L18	—	J17	—	—
	GPIO20	N20	—	J18	—	—
	GPIO21	M17	—	K17	—	—
	GPIO22	N18	—	K15	—	—
	GPIO23	M16	—	K16	—	—
	GPIO24	A16	A12	A8	—	—
	GPIO25	E13	C12	D9	—	—
	GPIO26	D14	D12	B8	—	—
	GPIO27	A17	B12	B9	—	—
	GPIO28	B16	B14	A9	—	—
	GPIO29	C16	A13	C9	—	—

表 A.1　端子割り当て（4/7）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
GPIO	GPIO30	A18	A15	D10	—	—
	GPIO31	C15	C14	C10	—	—
	GPIO32	B17	B13	A10	—	—
	GPIO33	D15	B15	C11	—	—
	GPIO34	C17	C13	B11	—	—
	GPIO35	E15	A14	B10	—	—
	GPIO36	D20	D18	A12	B7	B7
	GPIO37	E20	E16	B12	C7	C7
	GPIO38	E19	F15	A13	C8	C8
	GPIO39	F18	E17	B13	B8	B8
	GPIO40	G17	F16	D11	D7	D7
	GPIO41	F19	E18	C12	D8	D8
	GPIO42	F20	F18	D12	C9	C9
	GPIO43	H16	G15	A14	B9	B9
	GPIO44	G18	F17	C13	D9	D9
	GPIO45	G19	G16	B14	B10	B10
	GPIO46	H17	G18	C14	A8	A8
	GPIO47	H18	G17	D13	A9	A9
	GPIO48	G20	H18	D18	D14	D14
	GPIO49	J17	H15	F16	E13	E13
	GPIO50	J16	H16	D17	D13	D13
	GPIO51	H19	J18	E17	E14	E14
	GPIO52	J18	H17	E15	D12	D12
	GPIO53	H20	J17	E16	D11	D11
	GPIO54	J20	K18	F15	E12	E12
	GPIO55	K18	J15	E18	E11	E11
	GPIO56	J19	K17	G16	F13	F13
	GPIO57	K17	J16	F17	F14	F14
	GPIO58	K19	K16	G15	F12	F12
	GPIO59	K20	J14	F18	F11	F11
	GPIO60	Y12	V10	A5	A5	A5
	GPIO61	W12	U10	A6	A6	A6
	GPIO62	P20	K14	B15	C10	C10
	GPIO63	R20	L14	C15	A12	A12
	GPIO64	N19	L18	C16	A13	A13
	GPIO65	G16	F14	B16	B11	B11
	GPIO66	E18	D17	A16	A11	A11
	GPIO67	F17	E15	A17	B12	B12
	GPIO68	D19	D16	B17	B13	B13
	GPIO69	D17	B16	B18	C11	C11
	GPIO70	E17	D15	C17	B14	B14
	GPIO71	D18	E14	D16	C13	C13
	GPIO72	F16	C16	D15	C12	C12
	GPIO73	C18	C15	D14	D10	D10
	GPIO74	C19	C17	D7	D5	D5

表 A.1　端子割り当て（5/7）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
GPIO	GPIO75	B20	B18	C6	B5	B5
	GPIO76	B19	B17	C7	D6	D6
	GPIO77	C20	C18	C8	B6	B6
	GPIO78	A19	A17	B6	C5	C5
	GPIO79	B18	A16	B7	C6	C6
	GPIO80	W18	U16	V16	N12	N12
	GPIO81	Y18	V16	T16	N13	N13
	GPIO82	Y19	V17	U16	M12	M12
	GPIO83	Y17	V15	U14	P12	P12
	GPIO84	W20	U18	U18	M13	M13
	GPIO85	V19	T17	U17	L11	L11
	GPIO86	V20	T18	T18	L13	L13
	GPIO87	U19	R17	T17	N14	N14
	GPIO88	U20	R18	R18	K12	K12
	GPIO89	T19	P17	R17	M14	M14
	GPIO90	T20	P18	P17	K13	K13
	GPIO91	R19	N17	R16	L12	L12
	GPIO92	W17	U15	U15	M11	M11
	GPIO93	W19	U17	V17	P13	P13
	GPIO94	W16	U14	V14	N11	N11
	GPIO95	U18	P16	B1	D3	D3
	GPIO96	T18	M16	C1	C2	C2
	GPIO97	T17	N16	C2	C3	C3
	GPIO98	R17	M15	D2	B2	B2
	GPIO99	P17	M17	E1	B1	B1
	GPIO100	V18	T16	E2	E3	E3
	GPIO101	P16	M18	F1	C1	C1
	GPIO102	P18	K15	F2	D2	D2
	GPIO103	V17	T15	G1	F3	F3
	GPIO104	N17	L15	G2	E2	E2
	GPIO105	U17	N15	H2	F4	F4
	GPIO106	P19	L16	H3	E1	E1
	GPIO107	R18	N18	J1	G4	G4
	GPIO108	N16	L17	J2	F2	F2
	GPIO109	U16	M14	J3	F1	F1
	GPIO110	Y13	V11	K1	G2	G2
	GPIO111	V14	T11	K2	G3	G3
	GPIO112	W13	U11	K3	H4	H4
	GPIO113	Y14	V13	L2	H1	H1
	GPIO114	V13	V12	L3	H2	H2
	GPIO115	W14	V14	M1	H3	H3
	GPIO116	W15	U13	M2	J2	J2
	GPIO117	Y16	T12	N1	J3	J3
	GPIO118	V16	T13	P1	J1	J1
	GPIO119	Y15	U12	B2	—	—

表 A.1　端子割り当て（6/7）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
GPIO	GPIO120	T16	R16	B3	—	—
	GPIO121	V15	R12	C3	—	—
	GPIO122	U14	R13	D3	—	—
	GPIO123	T14	P13	D4	—	—
	GPIO124	R14	R14	E3	—	—
	GPIO125	T15	R15	E4	—	—
	GPIO126	U15	T14	F3	—	—
	GPIO127	R13	P12	F4	—	—
	GPIO128	E16	D14	G3	—	—
	GPIO129	D16	D13	G4	—	—
	GPIO130	E11	D11	H4	—	—
	GPIO131	B12	B11	J4	—	—
	GPIO132	D11	C11	K4	—	—
	GPIO133	C11	A11	D6	—	—
	GPIO134	E10	D10	L4	—	—
	GPIO135	B11	A10	M3	—	—
	GPIO136	B10	C10	M4	—	—
	GPIO137	A11	B10	N2	—	—
	GPIO138	C10	B9	P2	—	—
	GPIO139	A10	A9	R2	—	—
	GPIO140	D10	C8	T1	—	—
	GPIO141	A9	A8	U1	—	—
	GPIO142	C8	D9	T2	—	—
	GPIO143	B9	B8	U2	—	—
	GPIO144	D9	C7	V2	—	—
	GPIO145	A8	A7	T3	—	—
	GPIO146	B7	D8	U3	—	—
	GPIO147	C9	C9	V3	—	—
	GPIO148	D8	B6	U4	—	—
	GPIO149	B8	B7	C5	—	—
	GPIO150	E7	C6	T14	—	—
	GPIO151	B6	B5	T15	—	—
	GPIO152	D7	A4	R15	—	—
	GPIO153	C6	B4	P16	—	—
	GPIO154	D6	C5	P15	—	—
	GPIO155	A5	A3	P14	—	—
	GPIO156	B4	—	P13	—	—
	GPIO157	B5	—	R14	—	—
	GPIO158	E6	—	R13	—	—
	GPIO159	C5	—	T13	—	—
	GPIO160	A4	—	—	—	—
	GPIO161	A3	—	—	—	—
	GPIO162	E5	—	—	—	—
	GPIO163	D5	—	—	—	—
	GPIO164	A2	—	—	—	—

表 A.1　端子割り当て（7/7）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
GPIO	GPIO165	D4	—	—	—	—
	GPIO166	C3	—	—	—	—
	GPIO167	C4	—	—	—	—
	GPIO168	B2	—	—	—	—
	GPIO169	B3	—	—	—	—

表 A.2　端子割り当て（電源）（1/2）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
電源	VDD11	G13、J13、K13、M13、G12、N12、N10、H9、N9、H8、J8、M8	G12、K12、M12、M11、F10、L8、F7、L7、G6	G12、H12、J12、K12、L12、M12、G11、M11、G10、M10、G9、M9、G8、M8、G7、H7、J7、K7、L7、M7	L10、E9、G9、J9、F7、J7、E5、G5、H5、K5	L10、E9、G9、J9、F7、J7、E5、G5、H5、K5
	VDD11_CA7	R16、R15	P15、P14	—	—	—
	GND	A20、Y20、K16、F15、G15、H15、L15、M15、P15、K14、P14、F13、H13、L13、N13、F12、H12、J12、K12、L12、M12、R12、G11、H11、J11、K11、L11、M11、N11、F10、H10、J10、K10、L10、M10、J9、K9、L9、M9、P9、G8、N8、F7、J7、F6、H6、N6、G5、H5、J5、L5、N5、E4、D3、K3、W3、V2、Y2、A1、B1、E1、G1、L1、R1、V1、Y1	A18、V18、H14、N14、F13、M13、N13、F12、H12、J12、L12、G11、H11、J11、K11、L11、E10、G10、H10、J10、K10、L10、N10、G9、H9、J9、K9、L9、G8、H8、G7、M7、E6、D5、F5、G5、H5、L5、C4、J4、H3、U3、T2、V2、A1、C1、E1、J1、N1、T1、V1	A18、C18、K18、P18、V18、G17、A15、V15、E13、F13、G13、H13、J13、K13、L13、M13、V13、F12、N12、P12、R12、A11、F11、H11、J11、K11、L11、P11、R11、F10、H10、J10、K10、L10、F9、H9、J9、K9、L9、D8、E8、H8、J8、K8、L8、N8、A7、E7、N7、E6、G6、H6、J6、K6、L6、M6、N6、E5、F5、K5、L5、M5、A4、V4、A1、D1、H1、L1、R1、V1	A14、C14、G14、L14、P14、P11、A10、K10、F9、H9、F8、G8、H8、J8、A7、G7、H7、F6、G6、H6、J6、K6、F5、J5、A4、A1、D1、G1、K1、P1	A14、C14、G14、L14、P14、P11、A10、K10、F9、H9、F8、G8、H8、J8、A7、G7、H7、F6、G6、H6、J6、K6、F5、J5、A4、A1、D1、G1、K1、P1、A2、D4
	VDD33	N15、G14、N14、P13、P12、G10、G9、P8、G7、N7、G6、F9	E13、K13、L13、N12、F11、N11、F9、F8、N7、F6、M6、E9	E14、F14、N14、N13、N9、F8、F7、F6、P6、G5、H5、J5、N5、P5、B5	K11、E10、E6、E4、J4、K4、C4	K11、E10、E6、E4、J4、K4、B3、B4、C4
	RGMII1_VDDQ	E12、F11	—	L14、M14	H10、J10	H10、J10
	RGMII2_VDDQ	L14、M14	—	J14、K14	—	—
	RGMII3_VDDQ	E14、F14	E12、E11	E10、E9	—	—
	RGMII4_VDDQ	H14、J14	G14、G13	E12、E11	E8、E7	E8、E7
	RGMII5_VDDQ	J15、K15	H13、J13	G14、H14	F10、G10	F10、G10
PLL 電源	PLL_AVDD	—	—	N11	K9	K9
	PLL_AGND	—	—	N10	L9	L9

表 A.2　端子割り当て（電源）（2/2）

分類	PKG 端子名	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196
USB 電源	USB_VD33	R9、T9	M8、N8	P9、R9	K7、L7	K7、L7
	USB_GND	Y11、R10、T10、U10、V10、U9、V9、Y8	V9、P8、R8、T8、R7、T7、V6	U11、V11、T10、T9、U8、V8	P9、M8、M7、N6、P6	P9、M8、M7、N6、P6
	USB_AVDD	T11	P9	P10	K8	K8
	USB_AVSS	P11、P10	M10、M9	—	—	—
RTC 電源	RTC_VDD33	F8	E7	D5	B4	—
ADC 電源	ADC1_AVDD	T6	P6	P8	L6	L6
	ADC1_AGND	T5	R5	P7	L5	L5
	ADC2_AVDD	T8	—	—	—	—
	ADC2_AGND	R8	—	—	—	—
DDR PHY 電源	DVDD	L8、L7	K8、K7	—	—	—
	DVDDQ	H7、M7、J6、K6、L6、M6	H7、H6、J6、K6、L6	—	—	—
	DVSS	K8、K7	J8、J7	—	—	—

付録B　IO マルチプレクシング割り当て

以下のテーブルに IO マルチプレクシング割り当ての一部が記載されています。記載されていない機能に関しては、専用の割り当てソフトウェアでご確認ください。

表 B.1　IO マルチプレクシング割り当て（1/4）

	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196	Level1 Func2	Level1 Func3	Level1 Func4	Level1 Func5	Level1 Func6	Level1 Func8	Level1 Func9	Level2 Func48
GPIO0	O	—	O	O	O	GMII1_TXCLK							BGPIO1A[0]
GPIO1	O	—	O	O	O	GMII1_TXD0							BGPIO1B[0]
GPIO2	O	—	O	O	O	GMII1_TXD1							BGPIO1B[1]
GPIO3	O	—	O	O	O	GMII1_TXD2							BGPIO1A[1]
GPIO4	O	—	O	O	O	GMII1_TXD3							BGPIO1A[2]
GPIO5	O	—	O	O	O	GMII1_TXEN							BGPIO1B[2]
GPIO6	O	—	O	O	O	GMII1_RXCLK							BGPIO1B[3]
GPIO7	O	—	O	O	O	GMII1_RXD0							BGPIO1B[4]
GPIO8	O	—	O	O	O	GMII1_RXD1							BGPIO1B[5]
GPIO9	O	—	O	O	O	GMII1_RXD2							BGPIO1A[3]
GPIO10	O	—	O	O	O	GMII1_RXD3							BGPIO1A[4]
GPIO11	O	—	O	O	O	GMII1_RXDV							BGPIO1B[6]
GPIO12	O	—	O	—	—	GMII2_TXCLK							BGPIO1A[5]
GPIO13	O	—	O	—	—	GMII2_TXD0							BGPIO1B[7]
GPIO14	O	—	O	—	—	GMII2_TXD1							BGPIO1B[8]
GPIO15	O	—	O	—	—	GMII2_TXD2							BGPIO1A[6]
GPIO16	O	—	O	—	—	GMII2_TXD3							BGPIO1A[7]
GPIO17	O	—	O	—	—	GMII2_TXEN							BGPIO1B[9]
GPIO18	O	—	O	—	—	GMII2_RXCLK							BGPIO1B[10]
GPIO19	O	—	O	—	—	GMII2_RXD0							BGPIO1B[11]
GPIO20	O	—	O	—	—	GMII2_RXD1							BGPIO1B[12]
GPIO21	O	—	O	—	—	GMII2_RXD2							BGPIO1A[8]
GPIO22	O	—	O	—	—	GMII2_RXD3							BGPIO1A[9]
GPIO23	O	—	O	—	—	GMII2_RXDV							BGPIO1B[13]
GPIO24	O	O	O	—	—	GMII3_TXCLK							BGPIO1A[10]
GPIO25	O	O	O	—	—	GMII3_TXD0							BGPIO1B[14]
GPIO26	O	O	O	—	—	GMII3_TXD1							BGPIO1B[15]
GPIO27	O	O	O	—	—	GMII3_TXD2							BGPIO1A[11]
GPIO28	O	O	O	—	—	GMII3_TXD3							BGPIO1A[12]
GPIO29	O	O	O	—	—	GMII3_TXEN							BGPIO1B[16]
GPIO30	O	O	O	—	—	GMII3_RXCLK							BGPIO1B[17]
GPIO31	O	O	O	—	—	GMII3_RXD0							BGPIO1B[18]
GPIO32	O	O	O	—	—	GMII3_RXD1							BGPIO1B[19]
GPIO33	O	O	O	—	—	GMII3_RXD2							BGPIO1A[13]
GPIO34	O	O	O	—	—	GMII3_RXD3							BGPIO1A[14]
GPIO35	O	O	O	—	—	GMII3_RXDV							BGPIO1B[20]
GPIO36	O	O	O	O	O	GMII4_TXCLK							BGPIO1A[15]
GPIO37	O	O	O	O	O	GMII4_TXD0							BGPIO1B[21]
GPIO38	O	O	O	O	O	GMII4_TXD1							BGPIO1B[22]
GPIO39	O	O	O	O	O	GMII4_TXD2							BGPIO1A[16]
GPIO40	O	O	O	O	O	GMII4_TXD3							BGPIO1A[17]
GPIO41	O	O	O	O	O	GMII4_TXEN							BGPIO1B[23]
GPIO42	O	O	O	O	O	GMII4_RXCLK							BGPIO1B[24]
GPIO43	O	O	O	O	O	GMII4_RXD0							BGPIO1B[25]
GPIO44	O	O	O	O	O	GMII4_RXD1							BGPIO1B[26]
GPIO45	O	O	O	O	O	GMII4_RXD2							BGPIO1A[18]

表 B.1　IO マルチプレクシング割り当て（2/4）

	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196	Level1 Func2	Level1 Func3	Level1 Func4	Level1 Func5	Level1 Func6	Level1 Func8	Level1 Func9	Level2 Func48
GPIO46	O	O	O	O	O	GMII4_RXD3							BGPIO1A[19]
GPIO47	O	O	O	O	O	GMII4_RXDV							BGPIO1B[27]
GPIO48	O	O	O	O	O	GMII5_TXCLK							BGPIO1A[20]
GPIO49	O	O	O	O	O	GMII5_TXD0							BGPIO1B[28]
GPIO50	O	O	O	O	O	GMII5_TXD1							BGPIO1B[29]
GPIO51	O	O	O	O	O	GMII5_TXD2							BGPIO1A[21]
GPIO52	O	O	O	O	O	GMII5_TXD3							BGPIO1A[22]
GPIO53	O	O	O	O	O	GMII5_TXEN							BGPIO1B[30]
GPIO54	O	O	O	O	O	GMII5_RXCLK							BGPIO1B[31]
GPIO55	O	O	O	O	O	GMII5_RXD0							BGPIO2B[0]
GPIO56	O	O	O	O	O	GMII5_RXD1							BGPIO2B[1]
GPIO57	O	O	O	O	O	GMII5_RXD2							BGPIO1A[23]
GPIO58	O	O	O	O	O	GMII5_RXD3							BGPIO1A[24]
GPIO59	O	O	O	O	O	GMII5_RXDV							BGPIO2B[2]
GPIO60	O	O	O	O	O	RGMII_REFCLK	MII_REFCLK_0						BGPIO2B[3]
GPIO61	O	O	O	O	O	RMII_REFCLK	MII_REFCLK_1						BGPIO2B[4]
GPIO62	O	O	O	O	O	GMII3_TXER	FNAND_CE_N2			LCD_R1			BGPIO1A[25]
GPIO63	O	O	O	O	O	GMII3_RXER	FNAND_WP_N2			LCD_G1			BGPIO1A[26]
GPIO64	O	O	O	O	O	GMII3_CRS	FNAND_RY/BY_N2			LCD_B1			BGPIO1A[27]
GPIO65	O	O	O	O	O	GMII3_COL	FNAND_CE_N3			LCD_R2			BGPIO1A[28]
GPIO66	O	O	O	O	O	GMII4_TXER	FNAND_WP_N3			LCD_G2			BGPIO1A[29]
GPIO67	O	O	O	O	O	GMII4_RXER	FNAND_RY/BY_N3			LCD_B2			BGPIO1A[30]
GPIO68	O	O	O	O	O	GMII4_CRS				LCD_R3			BGPIO1A[31]
GPIO69	O	O	O	O	O	GMII4_COL	FNAND_CE_N1			LCD_G3			BGPIO2A[0]
GPIO70	O	O	O	O	O	GMII5_TXER	FNAND_WP_N1			LCD_B3			BGPIO2A[1]
GPIO71	O	O	O	O	O	GMII5_RXER	FNAND_RY/BY_N1			LCD_R4			BGPIO2A[2]
GPIO72	O	O	O	O	O	GMII5_CRS				LCD_G4			BGPIO2A[3]
GPIO73	O	O	O	O	O	GMII5_COL		QUAD1_CS_N1		LCD_B4			BGPIO2A[4]
GPIO74	O	O	O	O	O			QUAD1_CS_N0					BGPIO2B[5]
GPIO75	O	O	O	O	O			QUAD1_IO3					BGPIO2B[6]
GPIO76	O	O	O	O	O			QUAD1_IO2					BGPIO2B[7]
GPIO77	O	O	O	O	O			QUAD1_IO1					BGPIO2B[8]
GPIO78	O	O	O	O	O			QUAD1_IO0					BGPIO2B[9]
GPIO79	O	O	O	O	O			QUAD1_CLK					BGPIO2B[10]
GPIO80	O	O	O	O	O		FNAND_ALE						BGPIO2B[11]
GPIO81	O	O	O	O	O		FNAND_CLE						BGPIO2B[12]
GPIO82	O	O	O	O	O		FNAND_WE_N						BGPIO2B[13]
GPIO83	O	O	O	O	O		FNAND_RE_N						BGPIO2B[14]
GPIO84	O	O	O	O	O		FNAND_IO0						BGPIO2B[15]
GPIO85	O	O	O	O	O		FNAND_IO1						BGPIO2B[16]
GPIO86	O	O	O	O	O		FNAND_IO2						BGPIO2B[17]
GPIO87	O	O	O	O	O		FNAND_IO3						BGPIO2B[18]
GPIO88	O	O	O	O	O		FNAND_IO4						BGPIO2B[19]
GPIO89	O	O	O	O	O		FNAND_IO5						BGPIO2B[20]
GPIO90	O	O	O	O	O		FNAND_IO6						BGPIO2B[21]
GPIO91	O	O	O	O	O		FNAND_IO7						BGPIO2B[22]
GPIO92	O	O	O	O	O		FNAND_CE_N0						BGPIO2B[23]
GPIO93	O	O	O	O	O		FNAND_WP_N0						BGPIO2B[24]
GPIO94	O	O	O	O	O		FNAND_RY/BY_N0						BGPIO2B[25]
GPIO95	O	O	O	O	O				SDIO1_CMD				BGPIO2A[5]
GPIO96	O	O	O	O	O				SDIO1_CLK				BGPIO2A[6]

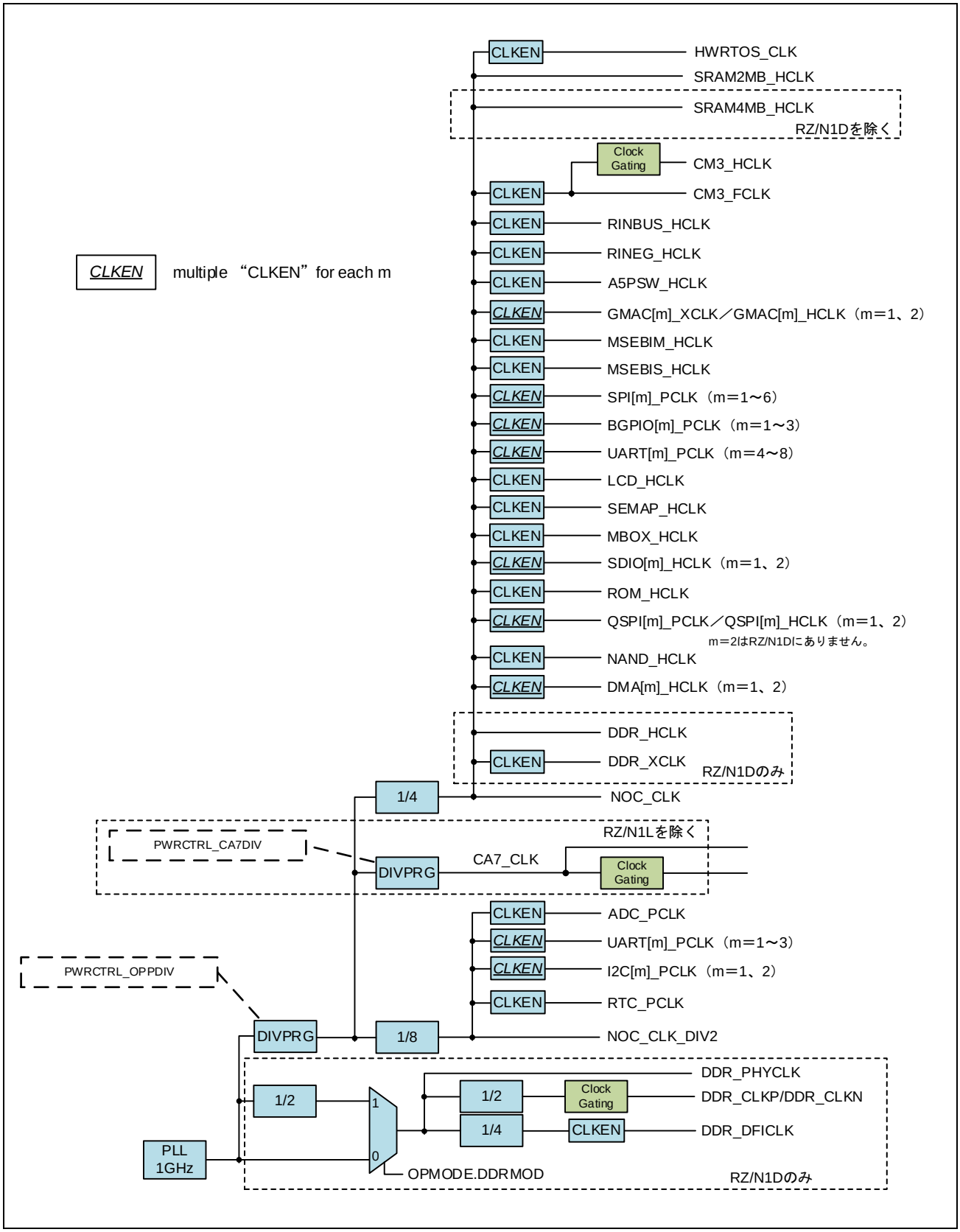
表 B.1　IO マルチプレクシング割り当て（3/4）

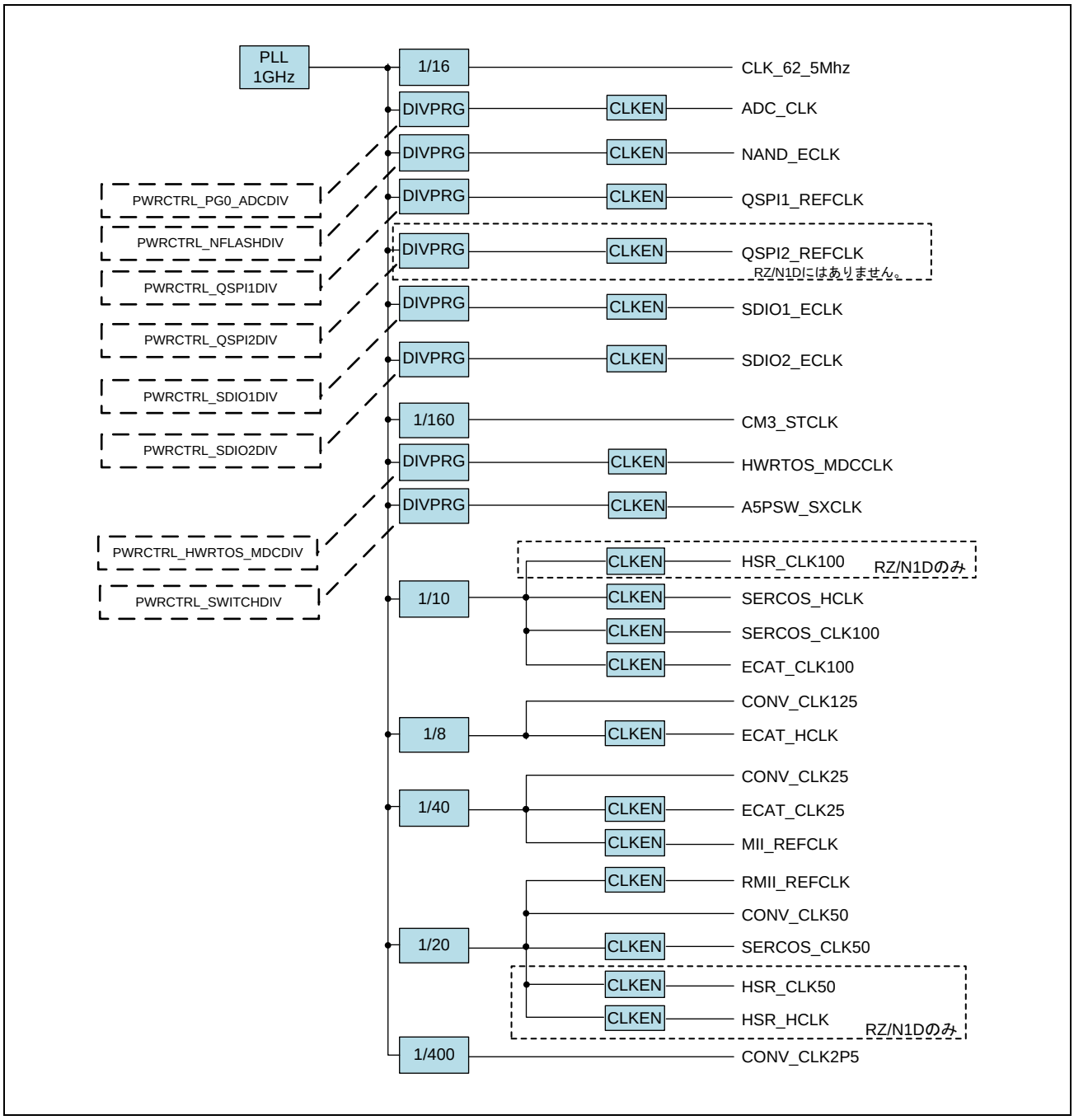
	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196	Level1 Func2	Level1 Func3	Level1 Func4	Level1 Func5	Level1 Func6	Level1 Func8	Level1 Func9	Level2 Func48
GPIO97	O	O	O	O	O				SDIO1_IO0				BGPIO2A[7]
GPIO98	O	O	O	O	O				SDIO1_IO1				BGPIO2A[8]
GPIO99	O	O	O	O	O				SDIO1_IO2				BGPIO2A[9]
GPIO100	O	O	O	O	O				SDIO1_IO3				BGPIO2A[10]
GPIO101	O	O	O	O	O				SDIO1_IO4		MSEBIM_ALE2		BGPIO2A[11]
GPIO102	O	O	O	O	O				SDIO1_IO5		MSEBIM_ALE3		BGPIO2A[12]
GPIO103	O	O	O	O	O				SDIO1_IO6				BGPIO2A[13]
GPIO104	O	O	O	O	O				SDIO1_IO7				BGPIO2A[14]
GPIO105	O	O	O	O	O				SDIO2_CMD		MSEBIM_ACD0	MSEBIS_ACD0	BGPIO2A[15]
GPIO106	O	O	O	O	O				SDIO2_CLK		MSEBIM_ACD1	MSEBIS_ACD1	BGPIO2A[16]
GPIO107	O	O	O	O	O				SDIO2_IO0		MSEBIM_ACD2	MSEBIS_ACD2	BGPIO2A[17]
GPIO108	O	O	O	O	O				SDIO2_IO1		MSEBIM_ACD3	MSEBIS_ACD3	BGPIO2A[18]
GPIO109	O	O	O	O	O				SDIO2_IO2		MSEBIM_ALE	MSEBIS_ACD4	BGPIO2A[19]
GPIO110	O	O	O	O	O				SDIO2_IO3		MSEBIM_CLK	MSEBIS_ACD5	BGPIO2A[20]
GPIO111	O	O	O	O	O				SDIO2_IO4		MSEBIM_CLE	MSEBIS_ACD6	BGPIO2A[21]
GPIO112	O	O	O	O	O	MII_REFCLK_2			SDIO2_IO5		MSEBIM_DLE	MSEBIS_ACD7	BGPIO2A[22]
GPIO113	O	O	O	O	O				SDIO2_IO6		MSEBIM_ACD4	MSEBIS_ALE	BGPIO2A[23]
GPIO114	O	O	O	O	O				SDIO2_IO7		MSEBIM_ACD5	MSEBIS_CLK	BGPIO2A[24]
GPIO115	O	O	O	O	O						MSEBIM_ACD6	MSEBIS_CLE	BGPIO2A[25]
GPIO116	O	O	O	O	O						MSEBIM_ACD7	MSEBIS_DLE	BGPIO2A[26]
GPIO117	O	O	O	O	O						MSEBIM_WAIT_N0	MSEBIS_WAIT_N0	BGPIO2A[27]
GPIO118	O	O	O	O	O						MSEBIM_WAIT_N1	MSEBIS_WAIT_N1	BGPIO2A[28]
GPIO119	O	O	O	—	—								BGPIO2A[29]
GPIO120	O	O	O	—	—								BGPIO2A[30]
GPIO121	O	O	O	—	—								BGPIO2A[31]
GPIO122	O	O	O	—	—								BGPIO3A[0]
GPIO123	O	O	O	—	—								BGPIO3A[1]
GPIO124	O	O	O	—	—								BGPIO3A[2]
GPIO125	O	O	O	—	—								BGPIO3A[3]
GPIO126	O	O	O	—	—	MII_REFCLK_3							BGPIO3A[4]
GPIO127	O	O	O	—	—					LCD_PWM0			BGPIO3A[5]
GPIO128	O	O	O	—	—					LCD_PCLK			BGPIO3A[6]
GPIO129	O	O	O	—	—					LCD_HSYNC			BGPIO3A[7]
GPIO130	O	O	O	—	—					LCD_VSYNC			BGPIO3A[8]
GPIO131	O	O	O	—	—					LCD_DE			BGPIO3A[9]
GPIO132	O	O	O	—	—					LCD_PE			BGPIO3A[10]
GPIO133	O	O	O	—	—					LCD_PWM1	MSEBIM_ALE1		BGPIO3A[11]
GPIO134	O	O	O	—	—	MII_REFCLK_4				LCD_R5	MSEBIM_WAIT_N2	MSEBIS_WAIT_N2	BGPIO3A[12]
GPIO135	O	O	O	—	—					LCD_R0	MSEBIM_WAIT_N3	MSEBIS_WAIT_N3	BGPIO3A[13]
GPIO136	O	O	O	—	—					LCD_G0	MSEBIM_ACD8	MSEBIS_ACD8	BGPIO3A[14]
GPIO137	O	O	O	—	—					LCD_B0	MSEBIM_ACD9	MSEBIS_ACD9	BGPIO3A[15]
GPIO138	O	O	O	—	—					LCD_R6	MSEBIM_ACD10	MSEBIS_ACD10	BGPIO3A[16]
GPIO139	O	O	O	—	—					LCD_G6	MSEBIM_ACD11	MSEBIS_ACD11	BGPIO3A[17]
GPIO140	O	O	O	—	—					LCD_B6	MSEBIM_ACD12	MSEBIS_ACD12	BGPIO3A[18]
GPIO141	O	O	O	—	—					LCD_R7	MSEBIM_ACD13	MSEBIS_ACD13	BGPIO3A[19]
GPIO142	O	O	O	—	—					LCD_G7	MSEBIM_ACD14	MSEBIS_ACD14	BGPIO3A[20]
GPIO143	O	O	O	—	—					LCD_B7	MSEBIM_ACD15	MSEBIS_ACD15	BGPIO3A[21]
GPIO144	O	O	O	—	—					LCD_G5	MSEBIM_ACD16	MSEBIS_ACD16	BGPIO3A[22]
GPIO145	O	O	O	—	—	MII_REFCLK_5				LCD_B5	MSEBIM_ACD17	MSEBIS_ACD17	BGPIO3A[23]
GPIO146	O	O	O	—	—						MSEBIM_ACD18	MSEBIS_ACD18	BGPIO3A[24]
GPIO147	O	O	O	—	—						MSEBIM_ACD19	MSEBIS_ACD19	BGPIO3A[25]

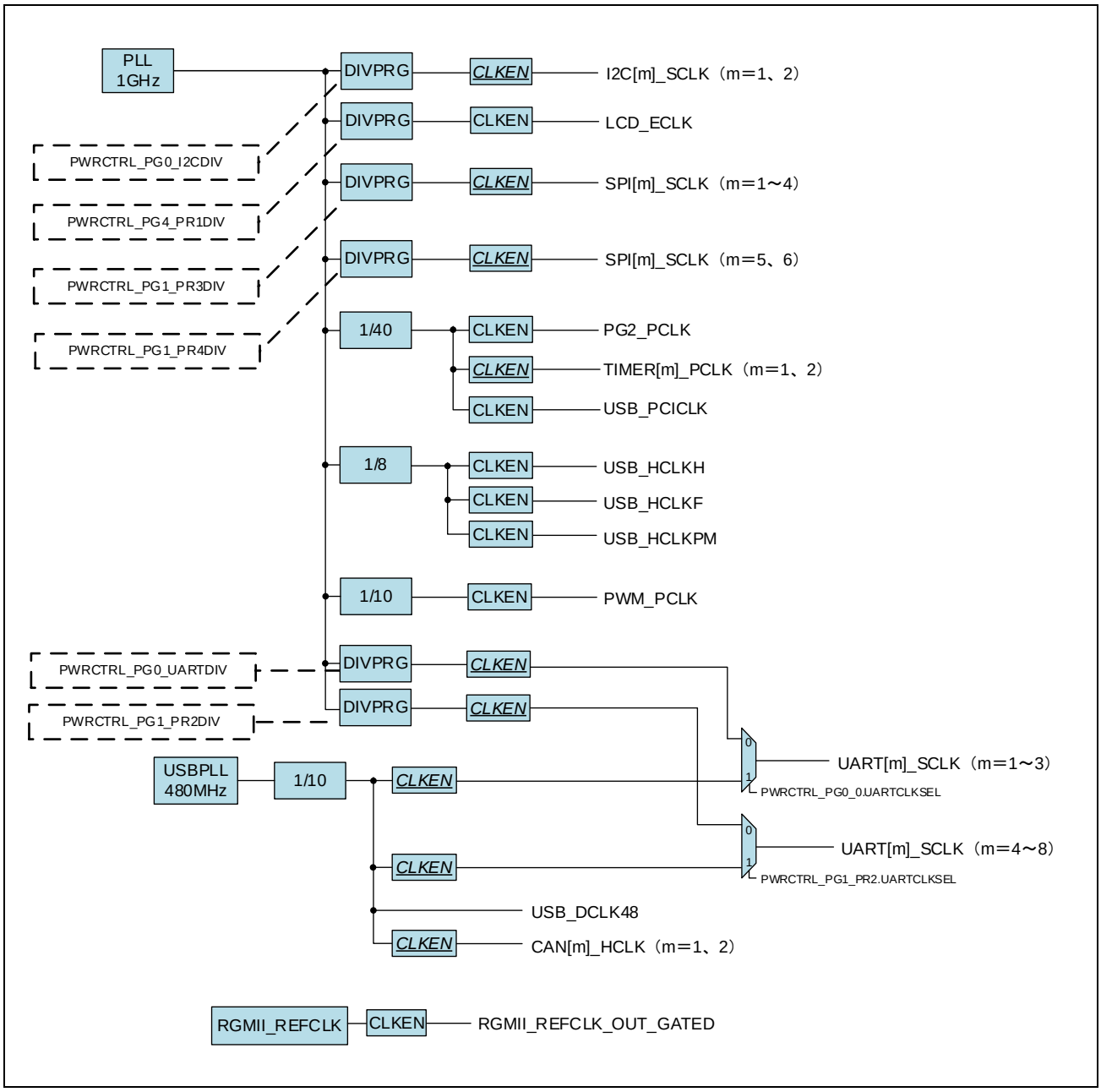
表 B.1　IO マルチプレクシング割り当て（4/4）

	N1D 400	N1D 324	N1S 324	N1S 196	N1L 196	Level1 Func2	Level1 Func3	Level1 Func4	Level1 Func5	Level1 Func6	Level1 Func8	Level1 Func9	Level2 Func48
GPIO148	○	○	○	—	—						MSEBIM_ACD20	MSEBIS_ACD20	BGPIO3A[26]
GPIO149	○	○	○	—	—			QUAD1_CS_N2			MSEBIM_ACD21	MSEBIS_ACD21	BGPIO3A[27]
GPIO150	○	○	○	—	—			QUAD1_CS_N3			MSEBIM_ACD22	MSEBIS_ACD22	BGPIO2B[26]
GPIO151	○	○	○	—	—			QUAD2_CS_N3			MSEBIM_ACD23	MSEBIS_ACD23	BGPIO2B[27]
GPIO152	○	○	○	—	—	GMII1_TXER		QUAD2_CS_N2			MSEBIM_ACD24	MSEBIS_ACD24	BGPIO2B[28]
GPIO153	○	○	○	—	—	GMII1_RXER		QUAD2_CS_N1			MSEBIM_ACD25	MSEBIS_ACD25	BGPIO2B[29]
GPIO154	○	○	○	—	—	GMII1_CRS		QUAD2_CS_N0			MSEBIM_ACD26	MSEBIS_ACD26	BGPIO2B[30]
GPIO155	○	○	○	—	—	GMII1_COL		QUAD2_IO3			MSEBIM_ACD27	MSEBIS_ACD27	BGPIO2B[31]
GPIO156	○	—	○	—	—	GMII2_TXER		QUAD2_IO2			MSEBIM_ACD28	MSEBIS_ACD28	BGPIO3A[28]
GPIO157	○	—	○	—	—	GMII2_RXER		QUAD2_IO1			MSEBIM_ACD29	MSEBIS_ACD29	BGPIO3A[29]
GPIO158	○	—	○	—	—	GMII2_CRS		QUAD2_IO0			MSEBIM_ACD30	MSEBIS_ACD30	BGPIO3A[30]
GPIO159	○	—	○	—	—	GMII2_COL		QUAD2_CLK			MSEBIM_ACD31	MSEBIS_ACD31	BGPIO3A[31]
GPIO160	○	—	—	—	—								BGPIO3B[0]
GPIO161	○	—	—	—	—								BGPIO3B[1]
GPIO162	○	—	—	—	—								BGPIO3B[2]
GPIO163	○	—	—	—	—								BGPIO3B[3]
GPIO164	○	—	—	—	—								BGPIO3B[4]
GPIO165	○	—	—	—	—								BGPIO3B[5]
GPIO166	○	—	—	—	—								BGPIO3B[6]
GPIO167	○	—	—	—	—								BGPIO3B[7]
GPIO168	○	—	—	—	—								BGPIO3B[8]
GPIO169	○	—	—	—	—								BGPIO3B[9]

付録C　クロックツリー構造




PLL
1GHz
1/16
CLK_62_5Mhz
DIVPRG
CLKEN
ADC_CLK
NAND_ECLK
QSPI1_REFCLK
QSPI2_REFCLK
RZ/N1Dにはありません。
SDIO1_ECLK
SDIO2_ECLK
1/160
CM3_STCLK
HWRTOS_MDCCLK
A5PSW_SXCLK
HSR_CLK100
RZ/N1Dのみ
1/10
SERCOS_HCLK
SERCOS_CLK100
ECAT_CLK100
CONV_CLK125
1/8
ECAT_HCLK
CONV_CLK25
1/40
ECAT_CLK25
MII_REFCLK
RMII_REFCLK
CONV_CLK50
1/20
SERCOS_CLK50
HSR_CLK50
HSR_HCLK
RZ/N1Dのみ
1/400
CONV_CLK2P5
PWRCTRL_PG0_ADCDIV
PWRCTRL_NFLASHDIV
PWRCTRL_QSPI1DIV
PWRCTRL_QSPI2DIV
PWRCTRL_SDIO1DIV
PWRCTRL_SDIO2DIV
PWRCTRL_HWRTOS_MDCDIV
PWRCTRL_SWITCHDIV


PLL
1GHz
DIVPRG
CLKEN
I2C[m]_SCLK（m=1、2）
LCD_ECLK
PWRCTRL_PG0_I2CDIV
SPI[m]_SCLK（m=1～4）
PWRCTRL_PG4_PR1DIV
SPI[m]_SCLK（m=5、6）
PWRCTRL_PG1_PR3DIV
1/40
PG2_PCLK
PWRCTRL_PG1_PR4DIV
TIMER[m]_PCLK（m=1、2）
USB_PCICLK
1/8
USB_HCLKH
USB_HCLKF
USB_HCLKPM
1/10
PWM_PCLK
PWRCTRL_PG0_UARTDIV
PWRCTRL_PG1_PR2DIV
UART[m]_SCLK（m=1～3）
PWRCTRL_PG0_0.UARTCLKSEL
USBPLL
480MHz
UART[m]_SCLK（m=4～8）
PWRCTRL_PG1_PR2.UARTCLKSEL
USB_DCLK48
CAN[m]_HCLK（m=1、2）
RGMII_REFCLK
RGMII_REFCLK_OUT_GATED

改訂記録	RZ/N1Dグループ、RZ/N1Sグループ、RZ/N1Lグループ ユーザーズマニュアル　アーキテクチャ・製品データ編

Rev.	発行日	改訂内容	
		ページ	ポイント
0.90	2018.03.30	—	初版発行
0.95	2018.10.19	—	すべての章で表現修正、および体裁修正
		—	すべての章でセーフティ機能を削除（Clock Monitoring、Watchdog Safe 1／2、Safety Reset、Safety Filtering）
		6	このマニュアルの使い方、3. 略語および略称の説明、INTC、OTP　語句修正
		13	1.1 デバイス概要、DMA（16ch DMA→各 8ch DMA）　説明修正
		13	1.1 デバイス概要、タイマ（6×16b＋2×32b→16bit×6ch, 32bit×2ch）　説明修正
		13	1.1 デバイス概要、ADC（ADC @ 1MHz→ADC（最大 1MSPS））　説明修正
		13	1.1 デバイス概要、MSEBI（外部バスインタフェース）　説明追加
		13	1.1 デバイス概要、注 2（EtherCAT）　説明修正
		14	1.2 仕様の概要、表 1.1 仕様の概要（1/8）、CPU、L1 キャッシュ　表現修正
		14	1.2 仕様の概要、表 1.1 仕様の概要（1/8）、ウォッチドッグ　説明修正
		15	1.2 仕様の概要、表 1.1 仕様の概要（2/8）、セマフォ　説明追加
		15	1.2 仕様の概要、表 1.1 仕様の概要（2/8）、DDR2／3 コントローラ　表現修正
		16	1.2 仕様の概要、表 1.1 仕様の概要（3/8）、Quad SPI（QSPI）　説明追加
		16	1.2 仕様の概要、表 1.1 仕様の概要（3/8）、SD／SDIO／eMMC（eMMC カード→eMMC、ADMA→ADMA2）　説明修正
		16	1.2 仕様の概要、表 1.1 仕様の概要（3/8）、R-IN Engine　説明修正
		17	1.2 仕様の概要、表 1.1 仕様の概要（4/8）、アドバンスト 5 ポートスイッチ（Advanced 5 Port Switch：A5PSW）　説明修正
		18	1.2 仕様の概要、表 1.1 仕様の概要（5/8）、EtherCAT スレーブコントローラ（分配→分散）　説明修正
		18	1.2 仕様の概要、表 1.1 仕様の概要（5/8）、SercosIII スレーブコントローラ　説明修正
		19	1.2 仕様の概要、表 1.1 仕様の概要（6/8）、独立した GMAC　説明修正
		20	1.2 仕様の概要、表 1.1 仕様の概要（7/8）、CAN 1、2　説明修正
		21	1.2 仕様の概要、表 1.1 仕様の概要（8/8）、電源電圧（3.3V→3.3 V±0.3V、1.8V、1.5V→1.8V±0.1V、1.5V±0.075V）、その他　説明修正
		22	1.3 製品一覧、（Peripherals SoC→Peripheral Group、その他）　説明修正
		23	1.4 ブロック図、図 1.1 RZ/N1D デュアル Cortex-A7 & Cortex-M3　図修正
		24	1.4 ブロック図、図 1.2 RZ/N1S シングル Cortex-A7 & Cortex-M3　図修正
		26	2.1.1 RZ/N1D、図 2.1 RZ/N1D（Cortex-A7）のメモリマップ（削除：Service area、追加：GIC access area）　図修正
		27	2.1.1 RZ/N1D、図 2.2 RZ/N1D（Cortex-M3）のメモリマップ（CA7 と同じ構成）　図修正
		28	2.1.2 RZ/N1S、図 2.3 RZ/N1S（Cortex-A7）のメモリマップ（追加：GIC access area）図修正
		29	2.1.2 RZ/N1S、図 2.4 RZ/N1S（Cortex-M3）のメモリマップ （CA7 と同じ構成）　図修正
		30	2.1.3 RZ/N1L、図 2.5 RZ/N1L のメモリマップ　図修正
		31	2.2 レジスタマップサマリ、表 2.1 レジスタマップ（1/2）　説明修正
		32	2.2 レジスタマップサマリ、表 2.1 レジスタマップ（2/2）　説明修正
		34	3.1 概要、図 3.1 クロック生成のブロック図　説明修正
		35	3.2 クロックゲーティング、注意　表現修正
		37	3.5 クロック周波数変更　説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	37、38	3.5 クロック周波数変更、表 3.2 周波数モード　SD／SDIO／eMMC（50MHz→最大 50MHz）、ADC（20MHz→最大 20MHz）、BGPIO、その他　説明修正
		39	3.5 クロック周波数変更、表 3.2 周波数モード、注 1、注 2、注 3　説明追加
		43	4.2.1 マスタリセット（電源→RTC 電源）　注意修正
		47	5.1 概要、表 5.2 IO マルチプレクスコンフィグレーション Level2 一覧　説明修正
		49	5.3.1 rGPIOs_Level1_ConfigA_[n] ― GPIO[n] RGMII マルチプレキシング Level1 コンフィグレーションレジスタ（n＝0～59）　注意追加
		50	5.3.2 rGPIOs_Level1_ConfigB_[n] ― GPIO[n] Standard マルチプレキシング Level1 コンフィグレーションレジスタ（n＝60～169（最大））　注意追加
		51	5.3.3 rGPIOs_Level1_StatusProtect ― GPIO マルチプレキシング Level1 ステータスおよびプロテクトレジスタ　注意削除
		52	5.3.4 rGPIOs_Level2_Config_[n] ― GPIO[n]マルチプレキシング Level2 コンフィグレーションレジスタ（n＝0～169（最大））　注意追加
		53	5.3.5 rGPIOs_Level2_StatusProtect ― GPIO マルチプレキシング Level2 ステータスおよびプロテクトレジスタ　注意削除
		56	5.3.8 rGPIOs_Level2_Gpio_Int_[n] ― GPIO_Int[n]割り込みコンフィグレーションレジスタ（n＝0～7）（BGPIO3→BGPIO2）　説明修正
		64	6.3.1 PWRCTRL_SWITCHDIV ― A5PSW のクロック分周器コントロール、DIV（有効なレンジ：5～40→有効なレンジ：5）　説明修正
		68~70、75	6.3.5 PWRCTRL_PG1_PR3DIV ― PG1 Program3 のクロック分周器コントロール、DIV（クロックモード→周波数モード）語句修正 6.3.6～7、6.3.12　6.3.5 PWRCTRL_PG1_PR3DIV と同様な修正
		68~71、75、79	6.3.5 PWRCTRL_PG1_PR3DIV ― PG1 Program3 のクロック分周器コントロール、DIV 備考追加 6.3.6～8、6.3.12、6.3.16　6.3.5 PWRCTRL_PG1_PR3DIV と同様な修正
		80	6.3.17 PWRCTRL_SDIO1 ― SDIO1 のパワーマネージメントコントロール、機能　表現修正
		82	6.3.19 SYSSTAT ― システムステータスフラグレジスタ、CA7_STANDBYWFIL2（プロセッサ→Cortex-A7 プロセッサ）　説明修正
		87	6.3.24 PWRCTRL_PG0_0 ― PG0 のパワーマネージメントコントロール#0、UARTCLKSEL（UART[m]_SCLK→UART[m]_SCLK（m＝1～3））　説明修正
		116	6.3.55 PWRCTRL_PG2_25MHZ ― PG2 25MHz のパワーマネージメントコントロール、SLVRDY_Q、CLKEN_Q　説明修正
		117	6.3.56 PWRCTRL_PG1_PR2 ― PG1 Program2 のパワーマネージメントコントロール、UARTCLKSEL（UART[m]_SCLK の→UART[m]_SCLK の（m＝4～8））　説明修正
		122	6.3.62 RSTEN ― リセットイネーブルレジスタ、SWRST_EN　説明修正
		124	6.3.64 PWRCTRL_RTC ― RTC のパワーマネージメントコントロール、RST_RTC（リセットなし→リセット解除）　表現修正
		129	6.3.68 PWRSTAT_PG2_25MHZ ― PG2 25MHz のパワーマネージメントステータス、SCON_Q　説明修正
		139	6.3.79 RSTCTRL ― リセットコントロールレジスタ、SWRST_REQ　説明修正
		140	6.3.80 CFG_USB ― USB モードコンフィグレーションレジスタ、FRCLK48MOD、DIRPD　説明修正
		141	6.3.81 OPMODE ― システムとブートのコンフィグレーションレジスタ、リセット後の値　注釈追加
		151	7.2.1 共通の特徴、RAM 要件と 2nd ステージブートイメージ　説明修正
		151	7.2.2 QSPI ブートの特徴　説明修正
		152	7.2.3 NAND ブートの特徴　説明修正
		154	7.3.2 外部端子によるコンフィグレーション、表 7.1 外部端子コンフィグレーション、コメント　説明修正
		156	7.3.5 RZ/N1L のブート　説明修正
		157	7.4.2 実装の詳細　説明追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	164、165	7.5.4 一般的な NoC のプログラミングシーケンス、表 7.3 各モジュールの接続／切断に関連したレジスタ、先頭行　説明修正
		168	8.2 サポートするモード（各モジュールのサポートモード→サポートするモード）　タイトル修正
		168	8.2 サポートするモード、表 8.3 Ethernet I/F のサポートモード　説明修正
		169、170	8.2 サポートするモード、表 8.4 Ethernet PHY のクロック I/F（Part 1）～表 8.10 Ethernet PHY のクロック I/F（Part 7）　説明修正
		171	8.2 サポートするモード、表 8.11 各モジュールのサポートモード、注 2　語句修正
		172	8.2.1 イーサネットポートの内部接続（Switch Mux モード→イーサネットポートの内部接続）　タイトル、説明修正
		172	8.2.1 イーサネットポートの内部接続、表 8.12 イーサネットポートの内部接続（Switch Mux モード→ イーサネットポートの内部接続）　タイトル、説明修正
		173	8.2.2 PTP 用クロックの選択（PTP モード→ PTP 用クロックの選択）　タイトル、説明修正
		173	8.2.2 PTP 用クロックの選択、図 8.2 PTPMCTRL レジスタによる PTP 用クロックの選択（ptp_timestamp 信号の接続→PTPMCTRL レジスタによる PTP 用クロックの選択）　タイトル、図修正
		174	8.2.2 PTP 用クロックの選択、表 8.13 PTP 用クロックの選択（PTP_MODE の選択（1/2）→PTP 用クロックの選択）　タイトル、説明修正
		174	8.2.2 PTP 用クロックの選択、表 8.14 PTP_MODE の推奨設定（PTP_MODE の選択（2/2）→PTP_MODE の推奨設定）　タイトル修正
		175	8.3.1 初期化、図 8.3 Ethernet の初期化のフローチャート　図修正
		176	8.3.2 ETHMODE_SET、図 8.4 ETHMODE_SET フローチャート　図修正
		177	8.4.1 制限　説明修正
		177	8.4.1.1 サポートされる Ethernet 信号、表 8.15 各 PHY モードにおける Ethernet 信号　表現修正
		178	9.1.1 Cortex-A7 GICv2　説明修正
		180	9.2.3 Cortex-A7 と Cortex-M3 の割り込みマネージメント、図 9.1 Cortex-A7 と Cortex-M3 の割り込みマネージメント　図修正
		181	9.2.4 割り込み割り当てとベクタ番号、表 9.1 割り込み割り当てとベクタ番号（1/4）、（CM3_LOCKUP_Int、IRQ32,33→予約、HWRTOS_ETHMMA_Int→HWRTOS_ETHMMAI_Int、その他）　説明修正
		182	9.2.4 割り込み割り当てとベクタ番号、表 9.1 割り込み割り当てとベクタ番号（2/4）（A5PSW_HUB_Int、A5PSW_PTRN_Int）　説明修正
		183	9.2.4 割り込み割り当てとベクタ番号、表 9.1 割り込み割り当てとベクタ番号（3/4）、GPIO_Int、その他　説明修正
		184	9.2.4 割り込み割り当てとベクタ番号、表 9.1 割り込み割り当てとベクタ番号、注 1　説明追加
		—	第 10 章 IO と第 11 章 電気的特性において、“OTP メモリプログラミング”に用語統一
		186	10.1 端子機能、表 10.2 PKG 端子名（1/2）、CTRSTBYB　説明修正
		190	10.1 端子機能、表 10.3 GPIO Multiplexed 端子名（3/3）　説明修正
		199	11.3.1 電流、表 11.3 電流（出力リーク電流→出力 High レベル電流）　説明修正
		199	11.3.1 電流、表 11.3 電流（I_{OH}→$-I_{OH}$）　表記修正
		199	11.3.1 電流、表 11.3 電流　注 1　説明追加
		200	11.3.2 デジタル IO、表 11.4 デジタル IO、入力容量　説明追加
		201	11.4.1 電源投入、DVDD、PLL_AVDD、USB_AVDD　図修正
		201	11.4.2 電源切断、DVDD、PLL_AVDD、USB_AVDD　図修正
		207	11.5.2.2 DDR3／DDR2 インタフェース、表 11.11 DDR3 -1000（強度→記号、DQS からの DQ ホールドスキュー係数→DQS からの DQ ホールド時間）　説明修正
		208	11.5.2.2 DDR3／DDR2 インタフェース、表 11.12 DDR2-500（信号→記号、DQS からの DQ ホールドスキュー係数→DQS からの DQ ホールド時間）　説明修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.95	2018.10.19	211	11.5.2.4 SD／MMC／SDIO インタフェース、表 11.14 SD バスタイミング（デフォルトモード）、条件　説明修正
		212	11.5.2.4 SD／MMC／SDIO インタフェース、表 11.15 SD バスタイミング（ハイスピードモード）、条件　説明修正
		218	11.5.3.6 JTAG／SWD、表 11.21 JTAG　タイトル修正
		218	11.5.3.6 JTAG／SWD、表 11.22 シリアルワイヤデバッグ（SWD）　タイトル修正
		222	11.6 ADC 特性、表 11.26 ADC 特性、入力等価容量　説明追加
		223	12.1.1 BGA-400 パッケージ、図 12.1 BGA-400 パッケージ寸法　図修正
		224	12.1.2 BGA-324 パッケージ、図 12.2 BGA-324 パッケージ寸法　図修正
		225	12.1.3 BGA-196 パッケージ、図 12.3 BGA-196 パッケージ寸法　図修正
		241	付録 C クロックツリー構造（UART[m]_SCLK→UART[m]_SCLK（m＝4～8））、その他図修正
1.00	2019.03.29	—	すべての章で表記修正、および体裁修正
		23	1.3 製品ファミリ／パッケージ別機能比較　タイトル修正
		24	1.4 製品一覧、表 1.3 製品一覧　表追加
		40	3.5 クロック周波数変更、表 3.2 周波数モード（2/3）、メールボックス　説明追加
		49	5.1 概要、表 5.2 IO マルチプレクスコンフィグレーション Level2 一覧、ファンクション番号 1　説明修正
		74	6.3.9 PWRCTRL_SDIO1DIV ― SDIO1 のクロック分周器コントロール、DIV　値修正
		75	6.3.10 PWRCTRL_SDIO2DIV ― SDIO2 のクロック分周器コントロール、DIV　値修正
		83～147	6.3.18 PWRSTAT_SDIO1 ― SDIO1 のパワーマネージメントステータス、 同様に 6.3.21～24、6.3.26～49、6.3.53～63、6.3.65～66、6.3.69～70、6.3.72～73、6.3.76～78　説明修正
		84	6.3.19 SYSSTAT ― システムステータスフラグレジスタ　説明修正
		101	6.3.34 PWRSTAT_QSPI1 ― QSPI1 のパワーマネージメントステータス　備考追加
		116	6.3.49 PWRSTAT_QSPI2 ― QSPI2 のパワーマネージメントステータス　備考追加
		158	6.3.87 VERSION ― プロダクトバージョンレジスタ、VERSION　説明修正
		190	9.2.4 割り込み割り当てとベクタ番号、表 9.1 割り込み割り当てとベクタ番号（1/4）、HWRTOS_*　説明修正
		195	10.1 端子機能、表 10.2 PKG 端子名（1/2）、CTRSTBYB、DDR_ADDR　説明修正
		199	10.1 端子機能、表 10.3 GPIO Multiplexed 端子名（3/3）、SPI[m]_SS_N[n]　説明追加
		200	10.2 未使用端子の処理、表 10.4 未使用端子の処理、GPIO[n]　説明追加
		223	11.5.3.2 SPI マスタ、表 11.17 SPI マスタ　説明修正
		224	11.5.3.3 SPI スレーブ、表 11.18 SPI スレーブ　説明修正
		229	11.5.5 MSEBI インタフェースタイミング、表 11.24 MSEBI マスタ　説明修正
		248	付録 C クロックツリー構造、SRAM2MB_HCLK、SRAM4MB_HCLK、MBOX_HCLK　図修正
1.10	2019.07.29	—	6 章、8 章、11 章で表記修正、および体裁修正
		89	6.3.24 PWRCTRL_PG0_0 ― PG0 のパワーマネージメントコントロール#0（USBPLL→USB_DCLK48）語句修正
		123、124	6.3.56 PWRCTRL_PG1_PR2 ― PG1 Program2 のパワーマネージメントコントロール（USBPLL→USB_DCLK48）語句修正
		132	6.3.64 PWRCTRL_RTC ― RTC のパワーマネージメントコントロール　説明修正
		146	6.3.77 PWRCTRL_SWITCHCTRL ― イーサネットアクセサリレジスタのパワーマネージメントコントロール、RSTN_CLK25、CLKEN_A　説明修正
		152	6.3.83 DBGCON ― デバッグコントロールレジスタ　表現修正
		155～157	6.3.86 CFG_DMAMUX ― DMAC1 と DMAC2 のマルチプレクサレジスタ　表現統一（システム・周辺機能 1 編、11.6.2 DMA 要求の割り当て）
		158	6.3.87 VERSION ― プロダクトバージョンレジスタ、VERSION　値修正、説明追記

Rev.	発行日	改訂内容	
		ページ	ポイント
1.10	2019.07.29	177	8.2 サポートするモード、表 8.3 Ethernet I/F のサポートモード　表現修正
		181	8.2.1 イーサネットポートの内部接続　表現修正
		182	8.2.2 PTP 用クロックの選択、図 8.2 PTPMCTRL レジスタによる PTP 用クロックの選択 注釈追加
		—	第 11 章 電気的特性、全般的に端子名称および記号の統一
		—	第 11 章 電気的特性、全般的に表現統一（CL、IO 強度→負荷容量 CL、ドライブ強度）
		216～217	11.5.2.2 DDR3/DDR2 インタフェース　表現統一
		225	11.5.3.4 I2C、タイミングチャート　備考追加
		227	11.5.3.6 JTAG/SW、表 11.22 シリアルワイヤデバッグ（SWD）（t_{SWD_CL}→t_{SWD_CH}）、タイミングチャート（t_{SWD_OUT}→t_{SWD_DOUT}）　記号統一
		229	11.5.5 MSEBI インタフェースタイミング、表 11.24 MSEBI マスタおよびタイミングチャート　MSEBIM_ALE 端子名　表記統一
		230	11.5.5 MSEBI インタフェースタイミング、表 11.25 MSEBI スレーブおよびタイミングチャート、MSEBIS_WR_N、MSEBIS_RD_N 端子名　表記削除
1.20	2020.05.29	14	1.1 デバイス概要、セキュリティ機能　説明追加
		16	1.2 仕様の概要、表 1.1 仕様の概要（2/8）、ダイレクトメモリアクセスコントローラ（Direct Memory Access Controller：DMAC）　説明修正
		17	1.2 仕様の概要、表 1.1 仕様の概要（3/8）、Quad SPI（QSPI）　説明修正
		22	1.2 仕様の概要、表 1.1 仕様の概要（8/8）、セキュリティ　説明追加
		23～24	1.3 製品ファミリ／パッケージ別機能比較、表 1.2 ルネサス CPU サブシステム、セキュリティ機能　説明追加
		24	1.4 製品一覧、表 1.3 製品一覧、セキュリティ　説明追加
		36	3.1 概要、図 3.1 クロック生成のブロック図、USBCLK　図修正
		44	4.1 概要、表 4.1 リセットの種類、システムリセット　説明修正
		167	7.4.2 実装の詳細、表 7.2 SPKG フィールド、BLp_header　説明修正
		175	8.1 概要、備考　参照先修正
		210	11.4 電源投入／切断シーケンス　注意追加
		210	11.4.1 電源投入　図修正
		210	11.4.2 電源切断　図修正
1.30	2020.09.30	14	1.1 デバイス概要、周辺機能、PWMTimer　説明追加
		21	1.2 仕様の概要、表 1.1 仕様の概要（7/8）、PWMTimer　説明追加
		23	1.3 製品ファミリ／パッケージ別機能比較、表 1.2 ルネサス CPU サブシステム、PWMTimer　説明追加
		25	1.5 ブロック図、図 1.1 RZ/N1D デュアル Cortex-A7 & Cortex-M3、PWMTimer　図修正
		26	1.5 ブロック図、図 1.2 RZ/N1S シングル Cortex-A7 & Cortex-M3、PWMTimer　図修正
		27	1.5 ブロック図、図 1.3 RZ/N1L Cortex-M3、PWMTimer　図修正
		33	2.2 レジスタマップサマリ、表 2.1 レジスタマップ（1/2）、PWMTimer　説明追加
		36	3.1 概要、図 3.1 クロック生成のブロック図、PWMTimer　図修正
		40	3.5 クロック周波数変更、表 3.2 周波数モード（2/3）、PWMTimer　説明追加
		48	5.1 概要、表 5.1 IO マルチプレクスコンフィグレーション Level1 一覧、ファンクション番号　0　説明修正
		49	5.1 概要、表 5.2 IO マルチプレクスコンフィグレーション Level2 一覧、ファンクション番号　0　説明修正
		49	5.1 概要、表 5.2 IO マルチプレクスコンフィグレーション Level2 一覧、PWMTimer　説明追加
		91	6.3.25 PWRSTAT_PG0 — PG0 のパワーマネージメントステータス、SCON_P　説明追加
		92	6.3.26 PWRCTRL_PG0_1 — PG0 のパワーマネージメントコントロール#1、SLVRDY_P、RSTN_P、CLKEN_P　説明追加

Rev.	発行日	改訂内容	
		ページ	ポイント
1.30	2020.09.30	173	7.5.4 一般的な NoC のプログラミングシーケンス、表 7.3 各モジュールの接続／切断に関連したレジスタ（1/2）、PWMTimer　説明追加
		190	9.2.4 割り込み割り当てとベクタ番号、表 9.1 割り込み割り当てとベクタ番号（1/4）、PWM_Int　説明追加
		199	10.1 端子機能、表 10.3 GPIO Multiplexed 端子名（3/3）、PWMTimer　説明追加
		212	11.5.1.2 RMII、RMII_REFCLK　説明追加
		250	付録 C クロックツリー構造、PWM_PCLK　図修正
1.40	2021.02.28	18	1.2 仕様の概要、表 1.1 仕様の概要（4/8）、アドバンスト 5 ポートスイッチ（Advanced 5 Port Switch：A5PSW）　説明修正
1.50	2021.12.29	—	すべての章で表記修正、および体裁修正
		184	8.2.2 PTP 用クロックの選択、図 8.3 PTP 使用時の構成例　図追加
		211	11.4 電源投入／切断シーケンス、注意　説明追加
		211	11.4.1 電源投入　図修正
		215	11.5.1.4 MDIO、表 11.9 MDIO　注釈追加
1.60	2025.10.31	160	7.2.2 QSPI ブートの特徴　サポートされるシリアル Flash に説明追加
		196	CTRSTBYB の説明を変更

RZ/N1Dグループ、RZ/N1Sグループ、RZ/N1Lグループ
ユーザーズマニュアル　アーキテクチャ・製品データ編

発行年月日　2018 年 03 月 30 日　Rev.0.90
2025 年 10 月 31 日　Rev.1.60

発行　ルネサス エレクトロニクス株式会社
〒135-0061　東京都江東区豊洲 3-2-24（豊洲フォレシア）

RZ/N1D グループ、RZ/N1S グループ、RZ/N1L グループ

Renesas Electronics Corporation

R01UH0750JJ0160