User's Manual

32

RZ/A1L グループ、RZ/A1LU グループ、RZ/A1LC グループ

ユーザーズマニュアル　ハードウェア編

ルネサスマイクロプロセッサ
RZ ファミリ／RZ/A シリーズ

arm

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.7.00　2024.09

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ幅射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

目次

1. 概要 1-1
1.1 本 LSI の特長 1-1
1.2 製品一覧 1-9
1.3 ブロック図 1-9
1.4 ピン配置図 1-10
1.5 端子機能 1-14
1.6 端子一覧 1-21
2. CPU 2-1
2.1 特長 2-1
2.2 構成信号 2-1
3. ブートモード 3-1
3.1 特長 3-1
3.2 ブートモードと端子機能設定 3-1
3.3 各ブートモードで使用するハードウェアの情報 3-2
3.4 ブートモードとリセット時の例外ベクタ位置 3-3
3.5 動作説明 3-4
3.5.1 ブートモード 0 3-4
3.5.2 ブートモード 1 3-4
3.5.3 ブートモード 2 3-5
3.5.4 ブートモード 3 3-7
3.6 注意事項 3-8
3.6.1 ブート関連端子 3-8
3.6.2 例外ベクタ位置がハイベクタ設定で例外が発生した時の動作 3-8
3.6.3 シリアルフラッシュブート（ブートモード 1）での本 LSI リセット発生時の注意事項 3-9
4. 2 次キャッシュ 4-1
4.1 特長 4-1
4.2 構成信号 4-1
5. LSI 内部バス 5-1
5.1 LSI 内部バス 5-1
5.1.1 構成 5-1
5.1.2 動作説明 5-1
5.2 ノース基幹バス 5-2
5.2.1 構成 5-2
5.2.2 特長 5-2
5.2.3 周辺バス 5-3
5.3 サウス基幹バス 5-5
5.3.1 構成 5-5
5.3.2 特長 5-5
5.3.3 接続バス 5-6

5.4 アドレスマップ 5-7
5.5 アドレス・リマップ 5-9
5.5.1 概要 5-9
5.5.2 動作説明 5-10
5.6 AXI インターコネクト 5-11
5.6.1 構成 5-11
5.6.2 動作説明 5-11
5.7 バスブリッジ 5-12
5.8 AXI プロトコルの制御信号 5-12
5.8.1 Cortex-A9/CoreSight/ ダイレクトメモリアクセスコントローラを除くバスマスタ 5-12
5.8.2 Cortex-A9 5-13
5.8.3 CoreSight 5-13
5.8.4 ダイレクトメモリアクセスコントローラ 5-13
5.8.5 スレーブ領域 5-13
5.9 ライトバッファ 5-14
5.10 レジスタの説明 5-15
5.10.1 リマップレジスタ（RMPR） 5-16
5.10.2 AXI バスコントロールレジスタ 0（AXIBUSCTL0） 5-17
5.10.3 AXI バスコントロールレジスタ 2（AXIBUSCTL2） 5-18
5.10.4 AXI バスコントロールレジスタ 5（AXIBUSCTL5） 5-19
5.10.5 AXI バスコントロールレジスタ 6（AXIBUSCTL6） 5-20
5.10.6 AXI バスコントロールレジスタ 7（AXIBUSCTL7） 5-21
5.10.7 AXI バス応答エラー割り込みコントロールレジスタ 0（AXIRERRCTL0） 5-22
5.10.8 AXI バス応答エラー割り込みコントロールレジスタ 2（AXIRERRCTL2） 5-23
5.10.9 AXI バス応答エラーステータスレジスタ 0（AXIRERRST0） 5-24
5.10.10 AXI バス応答エラーステータスレジスタ 2（AXIRERRST2） 5-25
5.10.11 AXI バス応答エラークリアレジスタ 0（AXIRERRCLR0） 5-26
5.10.12 AXI バス応答エラークリアレジスタ 2（AXIRERRCLR2） 5-27
5.11 割り込み要求 5-28
6. クロックパルス発振器 6-1
6.1 特長 6-1
6.2 入出力端子 6-4
6.3 クロックモード 6-5
6.4 レジスタの説明 6-7
6.4.1 周波数制御レジスタ（FRQCR） 6-7
6.5 周波数変更方法 6-9
6.5.1 分周率の変更 6-9
6.6 クロック端子の使用方法 6-10
6.6.1 外部クロック入力時 6-10
6.6.2 水晶発振子使用時 6-11

6.6.3 未使用時 6-11
6.7 発振安定時間 6-12
6.7.1 内蔵水晶発振器の発振安定時間 6-12
6.7.2 PLL 回路の発振安定時間 6-12
6.8 ボード設計上の注意事項 6-13
6.8.1 PLL 発振回路使用時の注意 6-13
6.9 SSCG 仕様の変調率と変調周波数の定義 6-13
6.10 クロック樹形図 6-14
6.10.1 システムクロック、リアルタイムクロック用クロック 6-14
6.10.2 音声クロック、USB クロック 6-15
6.10.3 映像クロック 6-16
6.10.4 その他クロック 6-16
6.10.5 内部クロック（1） 6-17
6.10.6 内部クロック（2） 6-18
6.11 使用上の注意事項 6-19
6.11.1 SSCG 機能に関する注意事項 6-19
7. 割り込みコントローラ 7-1
7.1 特長 7-1
7.2 入出力端子 7-2
7.3 レジスタの説明 7-3
7.3.1 割り込みコントロールレジスタ 0（ICR0） 7-13
7.3.2 割り込みコントロールレジスタ 1（ICR1） 7-14
7.3.3 IRQ 割り込み要求レジスタ（IRQRR） 7-15
7.4 割り込み要因 7-16
7.4.1 NMI 割り込み 7-16
7.4.2 IRQ 割り込み 7-16
7.4.3 内蔵周辺モジュール割り込み 7-17
7.4.4 端子割り込み 7-18
7.5 割り込み ID 7-18
7.6 動作説明 7-31
7.6.1 初期設定 7-31
7.6.2 割り込み動作の流れ 7-33
7.7 割り込み要求信号によるデータ転送 7-34
7.7.1 割り込み要求信号を CPU の割り込み要因とし、ダイレクトメモリアクセスコントローラの起動要因としない場合 7-34
7.7.2 割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、CPU の割り込み要因としない場合 7-34
7.8 使用上の注意事項 7-35
7.8.1 割り込み要因クリアのタイミング 7-35
7.8.2 IRQ 割り込みに端子機能を切り換えるときの注意 7-35
7.8.3 割り込み応答レジスタ (ICCIAR) で割り込み ID の値を読み出すときの注意 7-35

7.8.4 ソフトウェアスタンバイモードを使用し、
IRQ 端子をスタンバイ解除要因として使用する場合の注意 7-35
8. バスステートコントローラ 8-1
8.1 特長 8-1
8.2 入出力端子 8-4
8.3 エリアの概要 8-5
8.3.1 アドレスマップ 8-5
8.3.2 ブートモード、各エリアのデータバス幅、関連端子設定 8-6
8.4 レジスタの説明 8-7
8.4.1 共通コントロールレジスタ（CMNCR） 8-8
8.4.2 CSn 空間バスコントロールレジスタ（CSnBCR）（n ＝ 0 ～ 5） 8-9
8.4.3 CSn 空間ウェイトコントロールレジスタ（CSnWCR）（n ＝ 0 ～ 5） 8-11
8.4.4 SDRAM コントロールレジスタ（SDCR） 8-24
8.4.5 リフレッシュタイマコントロール／ステータスレジスタ（RTCSR） 8-26
8.4.6 リフレッシュタイマカウンタ（RTCNT） 8-27
8.4.7 リフレッシュタイムコンスタントレジスタ（RTCOR） 8-28
8.4.8 タイムアウトサイクルコンスタントレジスタ（TOSCORn）（n=0 ～ 5） 8-29
8.4.9 タイムアウトステータスレジスタ（TOSTR） 8-30
8.4.10 タイムアウトイネーブルレジスタ（TOENR） 8-31
8.5 動作説明 8-32
8.5.1 アクセスサイズとデータアライメント 8-32
8.5.2 通常空間インタフェース 8-34
8.5.3 アクセスウェイト制御 8-39
8.5.4 $\overline{\text{CSn}}$ アサート期間拡張 8-41
8.5.5 MPX-I/O インタフェース 8-42
8.5.6 SDRAM インタフェース 8-45
8.5.7 バースト ROM（クロック非同期）インタフェース 8-70
8.5.8 バイト選択付き SRAM インタフェース 8-72
8.5.9 バースト ROM（クロック同期）インタフェース 8-77
8.5.10 アクセスサイクル間アイドル 8-78
8.5.11 その他 8-81
9. ダイレクトメモリアクセスコントローラ 9-1
9.1 特長 9-1
9.2 入出力端子 9-2
9.3 レジスタ構成 9-2
9.4 レジスタの説明 9-4
9.4.1 Next Source Address Register n (N0SA_n、N1SA_n) 9-11
9.4.2 Next Destination Address Register n (N0DA_n、N1DA_n) 9-11
9.4.3 Next Transaction Byte Register n (N0TB_n、N1TB_n) 9-12
9.4.4 Current Source Address Register (CRSA_n) 9-12

9.4.5 Current Destination Address Register (CRDA_n) 9-13
9.4.6 Current Transaction Byte Register (CRTB_n) 9-13
9.4.7 Channel Status Register n (CHSTAT_n) 9-14
9.4.8 Channel Control Register n (CHCTRL_n) 9-17
9.4.9 Channel Configuration Register n (CHCFG_n) 9-19
9.4.10 Channel Interval Register n (CHITVL_n) 9-22
9.4.11 Channel Extension Register n (CHEXT_n) 9-22
9.4.12 Next Link Address Register n (NXLA_n) 9-23
9.4.13 Current Link Address Register n (CRLA_n) 9-23
9.4.14 DMA Control Register (DCTRL_0_7, DCTRL_8_15) 9-24
9.4.15 DMA Status EN Register (DSTAT_EN_0_7) 9-25
9.4.16 DMA Status EN Register (DSTAT_EN_8_15) 9-26
9.4.17 DMA Status ER Register (DSTAT_ER_0_7) 9-27
9.4.18 DMA Status ER Register (DSTAT_ER_8_15) 9-28
9.4.19 DMA Status END Register (DSTAT_END_0_7) 9-29
9.4.20 DMA Status END Register (DSTAT_END_8_15) 9-30
9.4.21 DMA Status TC Register (DSTAT_TC_0_7) 9-31
9.4.22 DMA Status TC Register (DSTAT_TC_8_15) 9-32
9.4.23 DMA Status SUS Register (DSTAT_SUS_0_7) 9-33
9.4.24 DMA Status SUS Register (DSTAT_SUS_8_15) 9-34
9.4.25 DMA 拡張リソースセレクタ 0 ～ 7（DMARS0 ～ DMARS7） 9-35
9.5 動作説明 9-38
9.5.1 転送フロー 9-38
9.5.2 DMA 転送要求 9-38
9.6 DMA モード 9-44
9.6.1 モード設定 9-44
9.6.2 レジスタ・モード 9-44
9.6.3 リンク・モード 9-51
9.7 DMA 転送 9-59
9.7.1 転送モード 9-59
9.7.2 DMA チャネルの優先順位制御 9-60
9.7.3 外部バスサイクルのステート数 9-63
9.7.4 DMA 転送要求 9-63
9.7.5 DMA アクノリッジ出力機能 9-65
9.7.6 DMA 転送終了出力機能 9-67
9.7.7 DMA 転送終了割り込み 9-68
9.7.8 DMA エラー割り込み 9-68
9.7.9 インターバル･カウント機能 9-68
9.7.10 転送サイズによる動作の違い 9-69
9.7.11 転送状態 9-71

9.8 DMA 設定例 9-75
9.8.1 設定例 1（レジスタ・モード　ハードウェア・リクエスト）....9-75
9.8.2 設定例 2（レジスタ・モード　ソフトウェア・リクエスト）....9-77
9.8.3 設定例 3（レジスタ・モード 連続実行）....9-79
9.8.4 設定例 4（リンク・モード）....9-81
9.8.5 Next レジスタ連続実行設定 9-85
9.9 注意事項 9-88
9.9.1 DACK0,TEND0 が分割出力される場合について 9-88
9.9.2 TEND0 が出力されない場合について 9-89
9.9.3 アトミック・アクセス (ARLOCK[1:0]、AWLOCK[1:0]) 9-89
10. マルチファンクションタイマパルスユニット 2 10-1
10.1 特長 10-1
10.2 入出力端子 10-4
10.3 レジスタの説明 10-5
10.3.1 タイマコントロールレジスタ（TCR）....10-7
10.3.2 タイマモードレジスタ（TMDR）....10-10
10.3.3 タイマ I/O コントロールレジスタ（TIOR）....10-11
10.3.4 タイマインタラプトイネーブルレジスタ（TIER）....10-21
10.3.5 タイマステータスレジスタ（TSR）....10-22
10.3.6 タイマバッファ動作転送モードレジスタ（TBTM）....10-25
10.3.7 タイマインプットキャプチャコントロールレジスタ（TICCR）....10-26
10.3.8 タイマ A/D 変換開始要求コントロールレジスタ（TADCR）....10-27
10.3.9 タイマ A/D 変換開始要求周期設定レジスタ（TADCORA/B_4）....10-28
10.3.10 タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA/B_4）....10-28
10.3.11 タイマカウンタ（TCNT）....10-29
10.3.12 タイマジェネラルレジスタ（TGR）....10-29
10.3.13 タイマスタートレジスタ（TSTR）....10-30
10.3.14 タイマシンクロレジスタ（TSYR）....10-31
10.3.15 タイマリードライトイネーブルレジスタ（TRWER）....10-31
10.3.16 タイマアウトプットマスタイネーブルレジスタ（TOER）....10-32
10.3.17 タイマアウトプットコントロールレジスタ 1（TOCR1）....10-33
10.3.18 タイマアウトプットコントロールレジスタ 2（TOCR2）....10-35
10.3.19 タイマアウトプットレベルバッファレジスタ（TOLBR）....10-37
10.3.20 タイマゲートコントロールレジスタ（TGCR）....10-38
10.3.21 タイマサブカウンタ（TCNTS）....10-39
10.3.22 タイマデッドタイムデータレジスタ（TDDR）....10-39
10.3.23 タイマ周期データレジスタ（TCDR）....10-39
10.3.24 タイマ周期バッファレジスタ（TCBR）....10-39
10.3.25 タイマ割り込み間引き設定レジスタ（TITCR）....10-40
10.3.26 タイマ割り込み間引き回数カウンタ（TITCNT）....10-41

10.3.27 タイマバッファ転送設定レジスタ（TBTER）.....10-41
10.3.28 タイマデッドタイムイネーブルレジスタ（TDER）.....10-42
10.3.29 タイマ波形コントロールレジスタ（TWCR）.....10-43
10.3.30 バスマスタとのインタフェース.....10-43
10.4 動作説明.....10-44
10.4.1 基本動作.....10-44
10.4.2 同期動作.....10-49
10.4.3 バッファ動作.....10-50
10.4.4 カスケード接続動作.....10-54
10.4.5 PWM モード.....10-58
10.4.6 位相計数モード.....10-63
10.4.7 リセット同期 PWM モード.....10-69
10.4.8 相補 PWM モード.....10-72
10.4.9 A/D 変換開始要求ディレイド機能.....10-100
10.4.10 相補 PWM の「山／谷」での TCNT キャプチャ動作.....10-102
10.5 割り込み要因.....10-103
10.5.1 割り込み要因と優先順位.....10-103
10.5.2 ダイレクトメモリアクセスコントローラの起動.....10-104
10.5.3 A/D 変換器の起動.....10-105
10.6 動作タイミング.....10-106
10.6.1 入出力タイミング.....10-106
10.6.2 割り込み信号タイミング.....10-111
10.7 使用上の注意事項.....10-114
10.7.1 モジュールスタンバイモードの設定.....10-114
10.7.2 入力クロックの制限事項.....10-114
10.7.3 周期設定上の注意事項.....10-114
10.7.4 TCNT のライトとクリアの競合.....10-115
10.7.5 TCNT のライトとカウントアップの競合.....10-115
10.7.6 TGR のライトとコンペアマッチの競合.....10-116
10.7.7 バッファレジスタのライトとコンペアマッチの競合.....10-116
10.7.8 バッファレジスタのライトと TCNT クリアの競合.....10-117
10.7.9 TGR のリードとインプットキャプチャの競合.....10-117
10.7.10 TGR のライトとインプットキャプチャの競合.....10-118
10.7.11 バッファレジスタのライトとインプットキャプチャの競合.....10-118
10.7.12 カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合.....10-119
10.7.13 相補 PWM モード停止時のカウンタ値.....10-120
10.7.14 相補 PWM モードでのバッファ動作の設定.....10-120
10.7.15 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ.....10-121
10.7.16 リセット同期 PWM モードのオーバフローフラグ.....10-122
10.7.17 オーバフロー／アンダフローとカウンタクリアの競合.....10-122

10.7.18 TCNT のライトとオーバフロー／アンダフローの競合 10-123
10.7.19 通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項 10-123
10.7.20 相補 PWM モード、リセット同期 PWM モードの出力レベル 10-123
10.7.21 モジュールスタンバイ時の割り込み 10-123
10.7.22 カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ 10-124
10.7.23 相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項 10-124
10.8 マルチファンクションタイマパルスユニット 2 出力端子の初期化方法 10-126
10.8.1 動作モード 10-126
10.8.2 リセットスタート時の動作 10-126
10.8.3 動作中の異常などによる再設定時の動作 10-126
10.8.4 動作中の異常などによる端子の初期化手順、モード遷移の概要 10-127
11. OS タイマ 11-1
11.1 機能概要 11-1
11.1.1 特長 11-1
11.2 レジスタ 11-2
11.2.1 レジスタの概要 11-2
11.2.2 レジスタの詳細 11-2
11.3 機能説明 11-7
11.3.1 ブロック図 11-7
11.3.2 カウント・クロック 11-8
11.3.3 割り込み要求の生成 11-8
11.3.4 タイマの起動と停止 11-9
11.3.5 インターバルタイマモード 11-9
11.3.6 フリーランニングコンペアモード 11-13
12. ウォッチドッグタイマ 12-1
12.1 特長 12-1
12.2 入出力端子 12-2
12.3 レジスタの説明 12-3
12.3.1 ウォッチドッグタイマカウンタ（WTCNT） 12-3
12.3.2 ウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR） 12-4
12.3.3 ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR） 12-5
12.3.4 レジスタアクセス時の注意 12-6
12.4 使用方法 12-8
12.4.1 ソフトウェアスタンバイモード解除の手順 12-8
12.4.2 ウォッチドッグタイマモードの使用法 12-9
12.4.3 インターバルタイマモードの使用法 12-10
12.5 使用上の注意事項 12-11
12.5.1 タイマ誤差 12-11
12.5.2 WTCNT の設定値として H'FF は設定禁止 12-11

12.5.3 インターバルタイマオーバフローフラグ 12-11
12.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット 12-11
12.5.5 ウォッチドッグタイマモードでの内部リセット 12-11
13. リアルタイムクロック 13-1
13.1 特長 13-1
13.2 入出力端子 13-3
13.3 レジスタの説明 13-3
13.3.1 64Hz カウンタ（R64CNT） 13-4
13.3.2 秒カウンタ（RSECCNT） 13-4
13.3.3 分カウンタ（RMINCNT） 13-5
13.3.4 時カウンタ（RHRCNT） 13-5
13.3.5 曜日カウンタ（RWKCNT） 13-6
13.3.6 日カウンタ（RDAYCNT） 13-6
13.3.7 月カウンタ（RMONCNT） 13-7
13.3.8 年カウンタ（RYRCNT） 13-7
13.3.9 秒アラームレジスタ（RSECAR） 13-8
13.3.10 分アラームレジスタ（RMINAR） 13-8
13.3.11 時アラームレジスタ（RHRAR） 13-9
13.3.12 曜日アラームレジスタ（RWKAR） 13-10
13.3.13 日アラームレジスタ（RDAYAR） 13-11
13.3.14 月アラームレジスタ（RMONAR） 13-11
13.3.15 年アラームレジスタ（RYRAR） 13-12
13.3.16 コントロールレジスタ 1（RCR1） 13-13
13.3.17 コントロールレジスタ 2（RCR2） 13-14
13.3.18 コントロールレジスタ 3（RCR3） 13-15
13.3.19 コントロールレジスタ 5（RCR5） 13-15
13.3.20 周波数レジスタ H/L（RFRH/L） 13-16
13.4 動作説明 13-17
13.4.1 電源投入後のレジスタの初期設定と発振安定時間 13-17
13.4.2 時刻設定手順 13-17
13.4.3 時刻読み出し手順 13-18
13.4.4 アラーム機能 13-19
13.5 使用上の注意事項 13-20
13.5.1 カウント動作時のレジスタ書き込みについて 13-20
13.5.2 リアルタイムクロックの周期割り込みの使用について 13-20
13.5.3 レジスタ設定後のスタンバイ遷移について 13-20
13.5.4 レジスタ書き込み／読み出し時の注意事項 13-20
14. FIFO 内蔵シリアルコミュニケーションインタフェース 14-1
14.1 特長 14-1
14.2 入出力端子 14-2

14.3 レジスタの説明 14-3
14.3.1 受信シフトレジスタ（SCRSR） 14-4
14.3.2 受信 FIFO データレジスタ（SCFRDR） 14-4
14.3.3 送信シフトレジスタ（SCTSR） 14-5
14.3.4 送信 FIFO データレジスタ（SCFTDR） 14-5
14.3.5 シリアルモードレジスタ（SCSMR） 14-5
14.3.6 シリアルコントロールレジスタ（SCSCR） 14-7
14.3.7 シリアルステータスレジスタ（SCFSR） 14-8
14.3.8 ビットレートレジスタ（SCBRR） 14-12
14.3.9 FIFO コントロールレジスタ（SCFCR） 14-15
14.3.10 FIFO データカウントセットレジスタ（SCFDR） 14-16
14.3.11 シリアルポートレジスタ（SCSPTR） 14-17
14.3.12 ラインステータスレジスタ（SCLSR） 14-18
14.3.13 シリアル拡張モードレジスタ（SCEMR） 14-19
14.4 動作説明 14-20
14.4.1 概要 14-20
14.4.2 調歩同期式モード時の動作 14-22
14.4.3 クロック同期式モード時の動作 14-30
14.5 割り込み 14-37
14.6 使用上の注意事項 14-38
14.6.1 SCFTDR への書き込みと TDFE フラグ 14-38
14.6.2 SCFRDR の読み出しと RDF フラグ 14-38
14.6.3 ダイレクトメモリアクセスコントローラ使用上の制約事項 14-38
14.6.4 ブレークの検出と処理 14-38
14.6.5 ブレークの送り出し 14-39
14.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン 14-39
14.6.7 調歩同期式基本クロックセレクト 14-40
15. シリアルコミュニケーションインタフェース 15-1
15.1 概要 15-1
15.2 レジスタの説明 15-4
15.2.1 レシーブシフトレジスタ（RSR） 15-4
15.2.2 レシーブデータレジスタ（RDR） 15-5
15.2.3 トランスミットデータレジスタ（TDR） 15-5
15.2.4 トランスミットシフトレジスタ（TSR） 15-6
15.2.5 シリアルモードレジスタ（SMR） 15-6
15.2.6 シリアルコントロールレジスタ（SCR） 15-10
15.2.7 シリアルステータスレジスタ（SSR） 15-14
15.2.8 スマートカードモードレジスタ（SCMR） 15-18
15.2.9 ビットレートレジスタ（BRR） 15-19
15.2.10 シリアル拡張モードレジスタ（SEMR） 15-23

15.2.11 ノイズフィルタ設定レジスタ（SNFR）.....15-24
15.2.12 拡張機能コントロールレジスタ (SECR) 15-25
15.3 調歩同期式モードの動作 15-26
15.3.1 シリアル送信 / 受信フォーマット 15-26
15.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 15-28
15.3.3 クロック 15-29
15.3.4 CTS、RTS 機能 15-29
15.3.5 初期化（調歩同期式モード）.....15-30
15.3.6 シリアルデータの送信（調歩同期式モード）.....15-31
15.3.7 シリアルデータの受信（調歩同期式モード）.....15-33
15.4 マルチプロセッサ通信機能 15-37
15.4.1 マルチプロセッサシリアルデータ送信 15-38
15.4.2 マルチプロセッサシリアルデータ受信 15-39
15.5 クロック同期式モードの動作 15-42
15.5.1 クロック 15-42
15.5.2 CTS、RTS 機能 15-43
15.5.3 初期化（クロック同期式モード）.....15-44
15.5.4 シリアルデータの送信（クロック同期式モード）.....15-45
15.5.5 シリアルデータの受信（クロック同期式モード）.....15-47
15.5.6 シリアルデータの送受信同時動作（クロック同期式モード）.....15-50
15.6 スマートカードインタフェースモードの動作 15-51
15.6.1 接続例 15-51
15.6.2 データフォーマット（ブロック転送モード時を除く）.....15-51
15.6.3 ブロック転送モード 15-53
15.6.4 受信データサンプリングタイミングと受信マージン 15-54
15.6.5 初期化（スマートカードインタフェースモード）.....15-55
15.6.6 シリアルデータの送信（ブロック転送モードを除く）.....15-56
15.6.7 シリアルの受信（ブロック転送モードを除く）.....15-59
15.6.8 クロック出力制御 15-60
15.7 ノイズ除去機能 15-62
15.8 割り込み要因 15-63
15.8.1 シリアルコミュニケーションインタフェースモードにおける割り込み 15-63
15.8.2 スマートカードインタフェースモードにおける割り込み 15-64
15.9 使用上の注意事項 15-65
15.9.1 モジュールスタンバイ機能の設定 15-65
15.9.2 ブレークの検出と処理について 15-65
15.9.3 マーク状態とブレークの送出 15-65
15.9.4 受信エラーフラグと送信動作について（クロック同期式モードのみ）.....15-65
15.9.5 TDR レジスタへのライトについて 15-65
15.9.6 クロック同期送信時の制約事項 15-65

15.9.7 ダイレクトメモリアクセスコントローラ使用上の制約事項 15-66
15.9.8 通信の開始に関する注意事項 15-66
15.9.9 低消費電力状態時の動作について 15-66
15.9.10 クロック同期式モード外部クロック入力 15-68
15.10 IrDA 通信 15-69
15.11 IrDA レジスタの説明 15-70
15.11.1 IrDA コントロールレジスタ（IRCR） 15-70
15.12 IrDA 動作説明 15-71
15.12.1 IrDA 設定フロー 15-71
15.12.2 送信 15-71
15.12.3 受信 15-71
15.12.4 High パルス幅の選択 15-72
15.13 IrDA 使用上の注意事項 15-73
15.13.1 受信時の最小パルス幅について 15-73
15.13.2 シリアルコミュニケーションインタフェースの調歩同期基本クロックについて 15-73
16. ルネサスシリアルペリフェラルインタフェース 16-1
16.1 特長 16-1
16.2 入出力端子 16-3
16.3 レジスタの説明 16-4
16.3.1 制御レジスタ（SPCR） 16-6
16.3.2 スレーブセレクト極性レジスタ（SSLP） 16-7
16.3.3 端子制御レジスタ（SPPCR） 16-8
16.3.4 ステータスレジスタ（SPSR） 16-9
16.3.5 データレジスタ（SPDR） 16-10
16.3.6 シーケンス制御レジスタ（SPSCR） 16-11
16.3.7 シーケンスステータスレジスタ（SPSSR） 16-11
16.3.8 ビットレートレジスタ（SPBR） 16-12
16.3.9 データコントロールレジスタ（SPDCR） 16-13
16.3.10 クロック遅延レジスタ（SPCKD） 16-14
16.3.11 スレーブセレクトネゲート遅延レジスタ（SSLND） 16-15
16.3.12 次アクセス遅延レジスタ（SPND） 16-16
16.3.13 コマンドレジスタ（SPCMD） 16-17
16.3.14 バッファコントロールレジスタ（SPBFCR） 16-19
16.3.15 バッファデータカウントセットレジスタ（SPBFDR） 16-20
16.4 動作説明 16-21
16.4.1 動作の概要 16-21
16.4.2 端子の制御 16-22
16.4.3 システム構成例 16-23
16.4.4 転送フォーマット 16-25
16.4.5 データフォーマット 16-27

16.4.6 エラー検出 16-33
16.4.7 初期化 16-35
16.4.8 SPI 動作 16-36
16.4.9 エラー処理 16-46
16.4.10 ループバックモード 16-47
16.4.11 割り込み要因 16-47
17. SPI マルチ I/O バスコントローラ 17-1
17.1 特長 17-1
17.2 ブロック図 17-2
17.3 入出力端子 17-2
17.4 レジスタの説明 17-3
17.4.1 共通コントロールレジスタ（CMNCR） 17-4
17.4.2 SSL 遅延レジスタ（SSLDR） 17-6
17.4.3 ビットレート設定レジスタ（SPBCR） 17-7
17.4.4 データリードコントロールレジスタ（DRCR） 17-9
17.4.5 データリードコマンド設定レジスタ（DRCMR） 17-10
17.4.6 データリード拡張アドレス設定レジスタ（DREAR） 17-11
17.4.7 データリードオプション設定レジスタ（DROPR） 17-12
17.4.8 データリードイネーブル設定レジスタ（DRENR） 17-13
17.4.9 SPI モードコントロールレジスタ（SMCR） 17-15
17.4.10 SPI モードコマンド設定レジスタ（SMCMR） 17-16
17.4.11 SPI モードアドレス設定レジスタ（SMADR） 17-16
17.4.12 SPI モードオプション設定レジスタ（SMOPR） 17-17
17.4.13 SPI モードイネーブル設定レジスタ（SMENR） 17-18
17.4.14 SPI モードリードデータレジスタ 0（SMRDR0） 17-20
17.4.15 SPI モードリードデータレジスタ 1（SMRDR1） 17-21
17.4.16 SPI モードライトデータレジスタ 0（SMWDR0） 17-21
17.4.17 SPI モードライトデータレジスタ 1（SMWDR1） 17-22
17.4.18 共通ステータスレジスタ（CMNSR） 17-22
17.4.19 SPI AC 入力特性調整レジスタ (CKDLY) (RZ/A1LU のみ) 17-23
17.4.20 データリードダミーサイクル設定レジスタ（DRDMCR） 17-24
17.4.21 データリード DDR イネーブルレジスタ (DRDRENR)（RZ/A1LU のみ） 17-25
17.4.22 SPI モードダミーサイクル設定レジスタ（SMDMCR） 17-26
17.4.23 SPI モード DDR イネーブルレジスタ (SMDRENR) (RZ/A1LU のみ) 17-27
17.4.24 SPI AC 出力特性調整レジスタ (SPODLY) (RZ/A1LU のみ) 17-28
17.5 動作説明 17-29
17.5.1 システム構成 17-29
17.5.2 アドレスマップ 17-30
17.5.3 シリアルフラッシュ 32 ビットアドレス 17-30
17.5.4 データアライメント 17-31

17.5.5 動作モード 17-32
17.5.6 外部アドレス空間リードモード 17-32
17.5.7 リードキャッシュ 17-37
17.5.8 SPI 動作モード 17-38
17.5.9 転送フォーマット 17-41
17.5.10 データフォーマット 17-43
17.5.11 データ端子制御 17-48
17.5.12 SPBSSL 端子制御 17-49
17.5.13 フラグ 17-50
17.6 使用上の注意事項 17-51
17.6.1 SPI 動作モードのデータリード転送時の注意事項 17-51
17.6.2 SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項 17-51
18. I²C バスインタフェース 18-1
18.1 特長 18-1
18.1.1 チャネル数 18-1
18.1.2 レジスタベースアドレス 18-1
18.1.3 外部入出力信号 18-2
18.2 概要 18-3
18.2.1 機能概要 18-3
18.2.2 ブロック図 18-5
18.3 レジスタ 18-7
18.3.1 RIICnCR1 — I²C バスコントロールレジスタ 1 18-7
18.3.2 RIICnCR2 — I²C バスコントロールレジスタ 2 18-10
18.3.3 RIICnMR1 — I²C バスモードレジスタ 1 18-14
18.3.4 RIICnMR2 — I²C バスモードレジスタ 2 18-16
18.3.5 RIICnMR3 — I²C バスモードレジスタ 3 18-18
18.3.6 RIICnFER — I²C バスファンクションイネーブルレジスタ 18-21
18.3.7 RIICnSER — I²C バスステータスイネーブルレジスタ 18-23
18.3.8 RIICnIER — I²C バスインタラプトイネーブルレジスタ 18-25
18.3.9 RIICnSR1 — I²C バスステータスレジスタ 1 18-27
18.3.10 RIICnSR2 — I²C バスステータスレジスタ 2 18-30
18.3.11 RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2）....18-35
18.3.12 RIICnBRL — I²C バスビットレートロウレベルレジスタ 18-37
18.3.13 RIICnBRH — I²C バスビットレートハイレベルレジスタ 18-38
18.3.14 RIICnDRT — I²C バス送信データレジスタ 18-42
18.3.15 RIICnDRR — I²C バス受信データレジスタ 18-43
18.3.16 RIICnDRS — I²C バスシフトレジスタ 18-44
18.4 割り込み要因 18-45
18.5 動作 18-46
18.5.1 通信データフォーマット 18-46

18.5.2 初期設定 18-47
18.5.3 マスタ送信動作 18-48
18.5.4 マスタ受信動作 18-53
18.5.5 スレーブ送信動作 18-59
18.5.6 スレーブ受信動作 18-62
18.6 SCL 同期回路 18-65
18.7 SDA 出力遅延機能 18-66
18.8 デジタルノイズフィルタ回路 18-67
18.9 アドレス一致検出機能 18-68
18.9.1 スレーブアドレス一致検出機能 18-68
18.9.2 ジェネラルコールアドレス検出機能 18-70
18.9.3 デバイス ID アドレス検出機能 18-71
18.9.4 ホストアドレス検出機能 18-73
18.10 SCL の自動 Low ホールド機能 18-74
18.10.1 送信データ誤送信防止機能 18-74
18.10.2 NACK 受信転送中断機能 18-75
18.10.3 受信データ取りこぼし防止機能 18-76
18.11 アービトレーションロスト検出機能 18-78
18.11.1 マスタアービトレーションロスト検出機能（MALE ビット） 18-78
18.11.2 NACK 送信アービトレーションロスト検出機能（NALE ビット） 18-80
18.11.3 スレーブアービトレーションロスト検出機能（SALE ビット） 18-81
18.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能 18-82
18.12.1 スタートコンディション発行動作 18-82
18.12.2 リスタートコンディション発行動作 18-82
18.12.3 ストップコンディション発行動作 18-84
18.13 バスハングアップ 18-85
18.13.1 タイムアウト検出機能 18-85
18.13.2 SCL クロック追加出力機能 18-87
18.13.3 RIIC/ 内部リセット 18-88
18.14 SMBus 動作 18-89
18.14.1 SMBus タイムアウト測定 18-89
18.14.2 SMBus ホスト通知プロトコル／ Notify ARP master 18-90
18.15 RIIC のリセット機能 18-91
19. シリアルサウンドインタフェース 19-1
19.1 特長 19-1
19.2 入出力端子 19-3
19.3 レジスタの説明 19-4
19.3.1 コントロールレジスタ（SSICR） 19-6
19.3.2 ステータスレジスタ（SSISR） 19-10

19.3.3 トランスミットデータレジスタ（SSITDR）.....19-12
19.3.4 レシーブデータレジスタ（SSIRDR）.....19-12
19.3.5 FIFO コントロールレジスタ（SSIFCR）.....19-13
19.3.6 FIFO ステータスレジスタ（SSIFSR）.....19-15
19.3.7 送信 FIFO データレジスタ（SSIFTDR）.....19-17
19.3.8 受信 FIFO データレジスタ（SSIFRDR）.....19-17
19.3.9 TDM モードレジスタ（SSITDMR）.....19-18
19.3.10 FC コントロールレジスタ（SSIFCCR）.....19-19
19.3.11 FC モードレジスタ（SSIFCMR）.....19-20
19.3.12 FC ステータスレジスタ（SSIFCSR）.....19-21
19.4 動作説明 19-22
19.4.1 バスフォーマット 19-22
19.4.2 非圧縮モード 19-22
19.4.3 TDM モード 19-32
19.4.4 WS コンティニュモード 19-33
19.4.5 動作モード 19-34
19.4.6 送信動作 19-35
19.4.7 受信動作 19-38
19.4.8 シリアルビットクロックコントロール 19-40
19.5 使用上の注意事項 19-40
19.5.1 DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項 19-40
19.5.2 マスタトランシーバからマスタレシーバへモードを切り替える場合の注意 19-40
19.5.3 TDM モード、WS コンティニュモードの制限事項 19-40
20. メディア・ローカル・バス 20-1
20.1 特長 20-1
20.2 入出力端子 20-2
20.3 レジスタの説明 20-2
21. CAN インタフェース 21-1
21.1 RS-CAN の概要 21-1
21.1.1 ユニット 21-1
21.1.2 レジスタアドレス 21-2
21.1.3 クロック供給 21-2
21.1.4 割り込み 21-3
21.1.5 入出力端子 21-3
21.2 機能 21-4
21.2.1 ブロック図 21-6
21.3 レジスタ 21-7
21.3.1 RSCAN0CmCFG — チャネルコンフィグレーションレジスタ（m= 0、1）.....21-20
21.3.2 RSCAN0CmCTR — チャネル制御レジスタ（m = 0、1）.....21-22
21.3.3 RSCAN0CmSTS — チャネルステータスレジスタ（m = 0、1）.....21-26

21.3.4 RSCAN0CmERFL — チャネルエラーフラグレジスタ（m = 0、1）.....21-29
21.3.5 RSCAN0GCFG — グローバルコンフィグレーションレジスタ 21-33
21.3.6 RSCAN0GCTR — グローバル制御レジスタ 21-36
21.3.7 RSCAN0GSTS — グローバルステータスレジスタ 21-38
21.3.8 RSCAN0GERFL — グローバルエラーフラグレジスタ 21-39
21.3.9 RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0 21-41
21.3.10 RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ 21-43
21.3.11 RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ 21-44
21.3.12 RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0 21-45
21.3.13 RSCAN0GAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）.....21-46
21.3.14 RSCAN0GAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）.....21-48
21.3.15 RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）.....21-49
21.3.16 RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）.....21-51
21.3.17 RSCAN0RMNB — 受信バッファナンバレジスタ 21-52
21.3.18 RSCAN0RMND y — 受信バッファ新データレジスタ y (y = 0) 21-53
21.3.19 RSCAN0RMIDq — 受信バッファ ID レジスタ（q = 0 ~ 31）.....21-54
21.3.20 RSCAN0RMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 31）.....21-55
21.3.21 RSCAN0RMDF0q — 受信バッファデータフィールド 0 レジスタ（q = 0 ~ 31）.....21-56
21.3.22 RSCAN0RMDF1q — 受信バッファデータフィールド 1 レジスタ（q = 0 ~ 31）.....21-57
21.3.23 RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）.....21-58
21.3.24 RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）.....21-60
21.3.25 RSCAN0RFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）.....21-62
21.3.26 RSCAN0RFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）.....21-63
21.3.27 RSCAN0RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）.....21-64
21.3.28 RSCAN0RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7）.....21-65
21.3.29 RSCAN0RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7）.....21-66
21.3.30 RSCAN0CFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 5）.....21-67
21.3.31 RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 5）.....21-71
21.3.32 RSCAN0CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ~ 5）.....21-74
21.3.33 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 5）.....21-76
21.3.34 RSCAN0CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 5）.....21-78
21.3.35 RSCAN0CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ~ 5）.....21-80
21.3.36 RSCAN0CFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ~ 5）.....21-81
21.3.37 RSCAN0FESTS — FIFO エンプティステータスレジスタ 21-82
21.3.38 RSCAN0FFSTS — FIFO フルステータスレジスタ 21-83

21.3.39 RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ 21-85
21.3.40 RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ 21-86
21.3.41 RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグ ステータスレジスタ 21-87
21.3.42 RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグ ステータスレジスタ 21-88
21.3.43 RSCAN0TMCp — 送信バッファ制御レジスタ（p = 0 ~ 31）.....21-89
21.3.44 RSCAN0TMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 31）.....21-91
21.3.45 RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ y (y = 0) 21-93
21.3.46 RSCAN0TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ y (y = 0) 21-95
21.3.47 RSCAN0TMTCSTSy — 送信バッファ送信完了ステータスレジスタ y (y = 0) 21-96
21.3.48 RSCAN0TMTASTSy— 送信バッファ送信アボートステータスレジスタ y (y = 0) 21-98
21.3.49 RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーション レジスタ y (y = 0) 21-99
21.3.50 RSCAN0TMIDp — 送信バッファ ID レジスタ（p = 0 ~ 31）.....21-100
21.3.51 RSCAN0TMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 31）.....21-101
21.3.52 RSCAN0TMDF0p — 送信バッファデータフィールド 0 レジスタ（p = 0 ~ 31）.....21-102
21.3.53 RSCAN0TMDF1p — 送信バッファデータフィールド 1 レジスタ（p = 0 ~ 31）.....21-103
21.3.54 RSCAN0TXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0、1）.....21-104
21.3.55 RSCAN0TXQSTSm — 送信キューステータスレジスタ（m = 0、1）.....21-106
21.3.56 RSCAN0TXQPCTRm — 送信キューポインタ制御レジスタ（m = 0、1）.....21-107
21.3.57 RSCAN0THLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0、1）.....21-108
21.3.58 RSCAN0THLSTSm — 送信履歴ステータスレジスタ（m = 0、1）.....21-110
21.3.59 RSCAN0THLACCm — 送信履歴アクセスレジスタ（m = 0、1）.....21-112
21.3.60 RSCAN0THLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0、1）.....21-113
21.3.61 RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ 21-114
21.3.62 RSCAN0GTSTCTR — グローバルテスト制御レジスタ 21-115
21.3.63 RSCAN0GLOCKK — グローバルロックキーレジスタ 21-116
21.4 割り込み要因 21-117
21.5 CAN モード 21-121
21.5.1 グローバルモード 21-121
21.5.2 チャネルモード 21-124
21.6 受信機能 21-129
21.6.1 受信ルールテーブルを用いたデータ処理 21-129
21.7 送信機能 21-134
21.7.1 送信の優先順位判定 21-135
21.7.2 送信バッファを用いた送信 21-135
21.7.3 FIFO バッファによる送信 21-136

21.7.4 送信キューによる送信 21-138
21.7.5 送信履歴機能 21-139
21.8 ゲートウェイ機能 21-141
21.9 テスト機能 21-142
21.9.1 標準テストモード 21-142
21.9.2 リッスンオンリモード 21-142
21.9.3 セルフテストモード（ループバックモード） 21-143
21.9.4 チャネル間通信テスト 21-144
21.10 RS-CAN の設定手順 21-145
21.10.1 初期設定 21-145
21.10.2 受信手順 21-152
21.10.3 送信手順 21-157
21.10.4 テスト設定 21-166
21.11 RS-CAN モジュールの注意事項 21-168
22. IEBus コントローラ 22-1
22.1 IEBB の特徴 22-1
22.2 構成 22-3
22.2.1 機能概要 22-3
22.2.2 ブロック図 22-4
22.3 レジスタ 22-5
22.3.1 IEBBn レジスタの概要 22-5
22.3.2 IEBBn 制御レジスタの詳細 22-6
22.4 割り込み動作 22-73
22.4.1 割り込み要求信号 22-73
22.4.2 割り込み判定例 22-78
22.5 動作 22-80
22.5.1 FIFO 機能 22-80
22.5.2 初期設定 22-82
22.5.3 マスタ送信（シングル・モード） 22-83
22.5.4 マスタ送信（FIFO モード） 22-85
22.5.5 マスタ受信（シングル・モード） 22-87
22.5.6 マスタ受信（FIFO モード） 22-89
22.5.7 スレーブ送信（シングル・モード） 22-90
22.5.8 スレーブ送信（FIFO モード） 22-93
22.5.9 スレーブ受信（シングル・モード） 22-96
22.5.10 スレーブ受信（FIFO モード） 22-98
22.6 設定手順 22-99
22.6.1 マスタ送信（シングル・モード） 22-99
22.6.2 マスタ送信（FIFO モード） 22-100
22.6.3 マスタ受信（シングル・モード） 22-101

22.6.4 マスタ受信（FIFO モード）.....22-102
22.6.5 スレーブ送信（シングル・モード）.....22-103
22.6.6 スレーブ送信（FIFO モード）.....22-106
22.6.7 スレーブ受信（シングル・モード）.....22-109
22.6.8 スレーブ受信（FIFO モード）.....22-110
22.7 機能.....22-111
22.7.1 IEBus の通信プロトコル.....22-111
22.7.2 バス占有権の決定（アービトレーション）.....22-112
22.7.3 通信モード.....22-112
22.7.4 通信アドレス.....22-113
22.7.5 同報通信.....22-113
22.7.6 IEBus の伝送フォーマット.....22-114
22.7.7 伝送データ.....22-124
22.7.8 ビット・フォーマット.....22-127
23. ルネサス SPDIF インタフェース.....23-1
23.1 概要.....23-1
23.2 特長.....23-1
23.3 機能ブロック図.....23-2
23.4 入出力端子.....23-2
23.5 ルネサス SPDIF（IEC60958）フレームフォーマット.....23-3
23.6 レジスタ構成.....23-4
23.7 レジスタの説明.....23-5
23.7.1 コントロールレジスタ（CTRL）.....23-5
23.7.2 ステータスレジスタ（STAT）.....23-8
23.7.3 送信モジュールチャネル 1 オーディオレジスタ（TLCA）.....23-10
23.7.4 送信モジュールチャネル 2 オーディオレジスタ（TRCA）.....23-11
23.7.5 送信モジュール DMA オーディオデータレジスタ（TDAD）.....23-11
23.7.6 送信ユーザデータレジスタ（TUI）.....23-12
23.7.7 送信モジュールチャネル 1 ステータスレジスタ（TLCS）.....23-13
23.7.8 送信モジュールチャネル 2 ステータスレジスタ（TRCS）.....23-14
23.7.9 受信モジュールチャネル 1 オーディオレジスタ（RLCA）.....23-15
23.7.10 受信モジュールチャネル 2 オーディオレジスタ（RRCA）.....23-15
23.7.11 受信モジュール DMA オーディオデータ（RDAD）.....23-16
23.7.12 受信ユーザデータレジスタ（RUI）.....23-17
23.7.13 受信モジュールチャネル 1 ステータスレジスタ（RLCS）.....23-18
23.7.14 受信モジュールチャネル 2 ステータスレジスタ（RRCS）.....23-19
23.8 機能の説明－送信モジュール.....23-20
23.8.1 送信モジュール.....23-20
23.8.2 送信モジュールの初期化.....23-21
23.8.3 送信モジュールの初期設定.....23-21

23.8.4 送信モジュールのデータ転送 23-22
23.9 機能の説明－受信モジュール 23-24
23.9.1 受信モジュール 23-24
23.9.2 受信モジュールの初期化 23-25
23.9.3 受信モジュールのデータ転送 23-25
23.10 モジュールの停止 23-28
23.10.1 送信モジュールと受信モジュールのアイドル状態 23-28
23.11 圧縮モードデータ 23-28
23.12 参考 23-28
23.13 使用上の注意 23-28
23.13.1 TUIR のクリアについて 23-28
23.13.2 オーディオ用入力クロックの周波数 23-28
24. CD-ROM デコーダ 24-1
24.1 特長 24-1
24.1.1 データフォーマット 24-2
24.2 ブロック図 24-3
24.3 レジスタの説明 24-7
24.3.1 イネーブルコントロールレジスタ（CROMEN）....24-8
24.3.2 同期コードの同期制御コントロールレジスタ（CROMSY0）....24-9
24.3.3 デコーディングモードコントロールレジスタ（CROMCTL0）....24-10
24.3.4 EDC、ECC チェック制御コントロールレジスタ（CROMCTL1）....24-11
24.3.5 デコード処理自動停止コントロールレジスタ（CROMCTL3）....24-12
24.3.6 デコードオプション設定コントロールレジスタ（CROMCTL4）....24-13
24.3.7 HEAD20 ～ 22 表示コントロールレジスタ（CROMCTL5）....24-13
24.3.8 同期コードステータスレジスタ（CROMST0）....24-14
24.3.9 ECC 後のヘッダに対するエラーステータスレジスタ（CROMST1）....24-15
24.3.10 ECC 後のサブヘッダに対するエラーステータスレジスタ（CROMST3）....24-15
24.3.11 ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ（CROMST4）....24-16
24.3.12 モード判定結果とリンクセクタ検出ステータスレジスタ（CROMST5）....24-17
24.3.13 ECC、EDC エラーステータスレジスタ（CROMST6）....24-18
24.3.14 バッファステータスレジスタ（CBUFST0）....24-18
24.3.15 デコード中止要因ステータスレジスタ（CBUFST1）....24-19
24.3.16 バッファオーバフローステータスレジスタ（CBUFST2）....24-19
24.3.17 ECC 訂正前ヘッダ部 -MINUTES データレジスタ（HEAD00）....24-20
24.3.18 ECC 訂正前ヘッダ部 -SECONDS データレジスタ（HEAD01）....24-20
24.3.19 ECC 訂正前ヘッダ部 -FRAMES（1/75 秒）データレジスタ（HEAD02）....24-20
24.3.20 ECC 訂正前ヘッダ部 -MODE データレジスタ（HEAD03）....24-21
24.3.21 ECC 訂正前サブヘッダ部 - ファイルナンバ（BYTE-16）データレジスタ（SHEAD00）....24-21
24.3.22 ECC 訂正前サブヘッダ部 - チャネルナンバ（BYTE-17）データレジスタ（SHEAD01）....24-21

24.3.23 ECC 訂正前サブヘッダ部 - サブモード（BYTE-18）
データレジスタ（SHEAD02）.....24-22
24.3.24 ECC 訂正前サブヘッダ部 - データタイプ（BYTE-19）
データレジスタ（SHEAD03）.....24-22
24.3.25 ECC 訂正前サブヘッダ部 - ファイルナンバ（BYTE-20）
データレジスタ（SHEAD04）.....24-22
24.3.26 ECC 訂正前サブヘッダ部 - チャネルナンバ（BYTE-21）
データレジスタ（SHEAD05）.....24-23
24.3.27 ECC 訂正前サブヘッダ部 - サブモード（BYTE-22）
データレジスタ（SHEAD06）.....24-23
24.3.28 ECC 訂正前サブヘッダ部 - データタイプ（BYTE-23）
データレジスタ（SHEAD07）.....24-23
24.3.29 ECC 訂正後ヘッダ部 -MINUTES データレジスタ（HEAD20）.....24-24
24.3.30 ECC 訂正後ヘッダ部 -SECONDS データレジスタ（HEAD21）.....24-24
24.3.31 ECC 訂正後ヘッダ部 -FRAMES（1/75 秒）データレジスタ（HEAD22）.....24-24
24.3.32 ECC 訂正後ヘッダ部 -MODE データレジスタ（HEAD23）.....24-25
24.3.33 ECC 訂正後サブヘッダ部 - ファイルナンバ（BYTE-16）
データレジスタ（SHEAD20）.....24-25
24.3.34 ECC 訂正後サブヘッダ部 - チャネルナンバ（BYTE-17）
データレジスタ（SHEAD21）.....24-25
24.3.35 ECC 訂正後サブヘッダ部 - サブモード（BYTE-18）
データレジスタ（SHEAD22）.....24-26
24.3.36 ECC 訂正後サブヘッダ部 - データタイプ（BYTE-19）
データレジスタ（SHEAD23）.....24-26
24.3.37 ECC 訂正後サブヘッダ部 - ファイルナンバ（BYTE-20）
データレジスタ（SHEAD24）.....24-26
24.3.38 ECC 訂正後サブヘッダ部 - チャネルナンバ（BYTE-21）
データレジスタ（SHEAD25）.....24-27
24.3.39 ECC 訂正後サブヘッダ部 - サブモード（BYTE-22）
データレジスタ（SHEAD26）.....24-27
24.3.40 ECC 訂正後サブヘッダ部 - データタイプ（BYTE-23）
データレジスタ（SHEAD27）.....24-27
24.3.41 自動バッファリング設定コントロールレジスタ（CBUFCTL0）.....24-28
24.3.42 自動バッファリング開始セクタ設定 -MINUTES コントロールレジスタ
（CBUFCTL1）.....24-28
24.3.43 自動バッファリング開始セクタ設定 -SECONDS コントロールレジスタ
（CBUFCTL2）.....24-29
24.3.44 自動バッファリング開始セクタ設定 -FRAMES コントロールレジスタ
（CBUFCTL3）.....24-29
24.3.45 ISY 割り込み要因マスクコントロールレジスタ（CROMST0M）.....24-29
24.3.46 CD-ROM デコーダモジュールリセットコントロールレジスタ
（ROMDECRST）.....24-30
24.3.47 CD-ROM デコーダモジュールリセットステータスレジスタ（RSTSTAT）.....24-30
24.3.48 シリアルサウンドインタフェースデータコントロールレジスタ（SSI）.....24-31
24.3.49 割り込みフラグレジスタ（INTHOLD）.....24-32
24.3.50 割り込み要因マスクコントロールレジスタ（INHINT）.....24-32

24.3.51 CD-ROM デコーダストリームデータ入力レジスタ（STRMDIN0）.....24-33
24.3.52 CD-ROM デコーダストリームデータ入力レジスタ（STRMDIN2）.....24-33
24.3.53 CD-ROM デコーダストリームデータ出力レジスタ（STRMDOUT0）.....24-33
24.4 動作説明 24-34
24.4.1 入力ストリームデータエンディアン変換機能 24-34
24.4.2 同期コード保護機能 24-35
24.4.3 エラー訂正 24-39
24.4.4 自動デコード停止機能 24-40
24.4.5 バッファリングフォーマット 24-41
24.4.6 目標セクタバッファリング機能 24-43
24.5 割り込み要因 24-45
24.5.1 割り込みおよび DMA 転送要求信号 24-45
24.5.2 ステータスレジスタの更新タイミング 24-46
24.6 使用上の注意事項 24-47
24.6.1 デコード動作状態でバッファリングのみ停止／再開させる場合の注意 24-47
24.6.2 同期コードステータスレジスタ（CROMST0）設定時の注意 24-47
24.6.3 リンクブロックでの注意 24-47
24.6.4 CD-DSP 停止・再開時の注意点 24-48
24.6.5 IREADY フラグクリアの注意点 24-48
24.6.6 ストリームデータ転送における注意点（1）.....24-48
24.6.7 ストリームデータ転送における注意点（2）.....24-48
24.6.8 ソフトウェアリセットの注意点 24-48
25. LIN インタフェース 25-1
25.1 特長 25-1
25.1.1 チャネル数 25-1
25.1.2 レジスタアドレス 25-1
25.1.3 クロック供給 25-1
25.1.4 割り込みと DMA 25-2
25.1.5 入出力信号 25-2
25.2 機能 25-3
25.2.1 ブロック図 25-5
25.2.2 ブロック図の説明 25-5
25.3 レジスタの説明 25-6
25.3.1 LIN マスタ関連レジスタ 25-7
25.4 割り込み 要因 25-34
25.5 モード 25-35
25.6 LIN リセットモード 25-37
25.7 LIN モード 25-38
25.7.1 LIN マスタモード 25-40
25.7.2 データ送信／受信 25-43

25.7.3 送信／受信データのバッファ処理 25-45
25.7.4 ウエイクアップ送信／受信 25-48
25.7.5 ステータス 25-50
25.7.6 エラーステータス 25-51
25.8 LIN セルフテストモード 25-53
25.8.1 LIN セルフテストモードへの移行 25-54
25.8.2 LIN マスタ セルフテストモードにおける送信 25-55
25.8.3 LIN マスタ セルフテストモードにおける受信 25-56
25.8.4 LIN セルフテストモード終了 25-57
25.9 ボーレートジェネレータ 25-58
25.9.1 LIN マスタモード 25-58
25.9.2 ノイズフィルタ 25-59
26. イーサネットコントローラ 26-1
26.1 特長 26-1
26.2 入出力端子 26-3
26.3 レジスタの説明 26-4
26.3.1 ソフトウェアリセットレジスタ（ARSTR） 26-7
26.3.2 E-MAC モードレジスタ（ECMR） 26-8
26.3.3 E-MAC ステータスレジスタ（ECSR） 26-10
26.3.4 E-MAC 割り込み許可レジスタ（ECSIPR） 26-11
26.3.5 PHY 部インタフェースレジスタ（PIR） 26-12
26.3.6 MAC アドレス上位設定レジスタ（MAHR） 26-12
26.3.7 MAC アドレス下位設定レジスタ（MALR） 26-13
26.3.8 受信フレーム長上限レジスタ（RFLR） 26-14
26.3.9 CRC エラーフレーム受信カウンタレジスタ（CEFCR） 26-15
26.3.10 フレーム受信エラーカウンタレジスタ（FRECR） 26-15
26.3.11 64 バイト未満フレーム受信カウンタレジスタ（TSFRCR） 26-16
26.3.12 指定バイト超フレーム受信カウンタレジスタ（TLFRCR） 26-16
26.3.13 端数ビットフレーム受信カウンタレジスタ（RFCR） 26-17
26.3.14 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR） 26-17
26.3.15 自動 PAUSE フレーム設定レジスタ（APR） 26-18
26.3.16 手動 PAUSE フレーム設定レジスタ（MPR） 26-19
26.3.17 自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER） 26-19
26.3.18 PAUSE フレーム送信カウンタレジスタ（PFTCR） 26-20
26.3.19 PAUSE フレーム受信カウンタレジスタ（PFRCR） 26-20
26.3.20 TSU カウンタリセットレジスタ（TSU_CTRST） 26-21
26.3.21 転送機能設定レジスタ (共通) (TSU_FWSLC) 26-21
26.3.22 VLANtag 設定レジスタ（TSU_VTAG0） 26-22
26.3.23 CAM エントリテーブル設定ビジーレジスタ（TSU_ADSBSY） 26-22
26.3.24 CAM エントリテーブルイネーブル設定レジスタ（TSU_TEN） 26-23

26.3.25 CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1) 26-25
26.3.26 CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2) 26-26
26.3.27 CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3) 26-27
26.3.28 CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4) 26-28
26.3.29 CAM エントリテーブル 0 ～ 31H レジスタ（TSU_ADRH0 ～ TSU_ADRH31）..... 26-29
26.3.30 CAM エントリテーブル 0 ～ 31L レジスタ（TSU_ADRL0 ～ TSU_ADRL31）..... 26-29
26.3.31 送信フレーム数カウンタレジスタ（正常送信のみ）（TXNLCR0）..... 26-30
26.3.32 送信フレーム数カウンタレジスタ（正常および障害発生を含むすべて）（TXALCR0）..... 26-30
26.3.33 受信フレーム数カウンタレジスタ（正常受信のみ）（RXNLCR0）..... 26-31
26.3.34 受信フレーム数カウンタレジスタ（正常および障害発生を含むすべて）（RXALCR0）..... 26-31
26.3.35 E-DMAC 起動レジスタ（EDSR）..... 26-32
26.3.36 E-DMAC モードレジスタ（EDMR）..... 26-32
26.3.37 E-DMAC 送信要求レジスタ（EDTRR）..... 26-34
26.3.38 E-DMAC 受信要求レジスタ（EDRRR）..... 26-35
26.3.39 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）..... 26-36
26.3.40 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）..... 26-36
26.3.41 E-MAC/E-DMAC ステータスレジスタ（EESR）..... 26-37
26.3.42 E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）..... 26-40
26.3.43 送受信ステータスコピー指示レジスタ（TRSCER）..... 26-42
26.3.44 ミスドフレームカウンタレジスタ（RMFCR）..... 26-43
26.3.45 送信 FIFO しきい値指定レジスタ（TFTR）..... 26-44
26.3.46 FIFO 容量指定レジスタ（FDR）..... 26-45
26.3.47 受信方式制御レジスタ（RMCR）..... 26-46
26.3.48 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）..... 26-46
26.3.49 受信ディスクリプタ処理済アドレスレジスタ（RDFXR）..... 26-47
26.3.50 受信ディスクリプタ最終フラグレジスタ（RDFFR）..... 26-47
26.3.51 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）..... 26-48
26.3.52 送信ディスクリプタ処理済アドレスレジスタ（TDFXR）..... 26-48
26.3.53 送信ディスクリプタ最終フラグレジスタ（TDFFR）..... 26-49
26.3.54 オーバフロー予告 FIFO しきい値設定レジスタ（FCFTR）..... 26-50
26.3.55 受信データパディング挿入設定レジスタ（RPADIR）..... 26-51
26.3.56 インテリジェントチェックサムモードレジスタ（CSMR）..... 26-52
26.3.57 インテリジェントチェックサム機能スキップ済みバイト数モニタレジスタ（CSSBM）..... 26-53
26.3.58 インテリジェントチェックサム機能モニタレジスタ（CSSMR）..... 26-53
26.4 動作説明 26-54
26.4.1 ディスクリプタとディスクリプタリスト 26-56
26.4.2 送信動作 26-69
26.4.3 受信動作 26-73

26.4.4 CAM 機能 26-77
26.4.5 マルチバッファフレーム（1 フレーム／複数ディスクリプタ）の送信処理について 26-78
26.4.6 受信データへのパディング挿入について 26-79
26.4.7 割り込み動作 26-80
26.4.8 起動手順 26-81
26.4.9 フロー制御 26-83
26.4.10 インテリジェントチェックサム計算機能 26-84
26.5 PHY-LSI との接続 26-86
26.5.1 MII フレームタイミング 26-86
26.5.2 MII レジスタのアクセス方法 26-86
26.6 使用上の注意事項 26-90
26.6.1 イーサネットフレームのサムチェック計算 26-90
26.6.2 インテリジェントチェックサム機能の使用時の注意 26-90
26.6.3 ソフトウェアリセット 26-91
27. A/D 変換器 27-1
27.1 特長 27-1
27.2 入出力端子 27-2
27.3 レジスタの説明 27-3
27.3.1 A/D データレジスタ A ～ H（ADDRA ～ ADDRH） 27-4
27.3.2 A/D 比較上限値レジスタ A ～ H（ADCMPHA ～ ADCMPHH） 27-5
27.3.3 A/D 比較下限値レジスタ A ～ H（ADCMPLA ～ ADCMPLH） 27-6
27.3.4 A/D コントロール／ステータスレジスタ（ADCSR） 27-7
27.3.5 A/D 比較割り込み許可レジスタ（ADCMPER） 27-8
27.3.6 A/D 比較ステータスレジスタ（ADCMPSR） 27-9
27.4 動作説明 27-10
27.4.1 シングルモード 27-10
27.4.2 マルチモード 27-12
27.4.3 スキャンモード 27-14
27.4.4 外部トリガ、マルチファンクションタイマパルスユニット 2 による A/D 変換器の起動 27-16
27.4.5 入力サンプリングと A/D 変換時間 27-16
27.4.6 外部トリガ入力タイミング 27-19
27.5 割り込み要因と DMA 転送要求 27-20
27.6 A/D 変換精度の定義 27-21
27.7 使用上の注意事項 27-22
27.7.1 モジュールスタンバイモードの設定 27-22
27.7.2 アナログ電圧の設定 27-22
27.7.3 ボード設計上の注意 27-22
27.7.4 アナログ入力端子の取り扱い 27-22
27.7.5 許容信号源インピーダンス 27-24

27.7.6 絶対精度への影響 27-24
27.7.7 ポート端子使用上の注意 27-24
28. USB2.0 ホスト／ファンクションモジュール 28-1
28.1 概要 28-1
28.2 特長 28-1
28.2.1 USB Hi-Speed 対応のホストコントローラと ファンクションコントローラを内蔵 28-1
28.2.2 USB 全転送タイプに対応 28-1
28.2.3 内部バスインタフェース 28-1
28.2.4 パイプコンフィグレーション 28-2
28.2.5 ホストコントローラ機能選択時の特長 28-2
28.2.6 ファンクションコントローラ機能選択時の特長 28-2
28.2.7 その他の機能 28-3
28.3 入出力端子 28-3
28.4 レジスタ 28-4
28.4.1 レジスター覧 28-5
28.5 システムコンフィグレーションコントロール 28-12
28.5.1 システムコンフィグレーションコントロールレジスタ【SYSCFG0】 28-12
28.5.2 CPU バスウェイトレジスタ【BUSWAIT】 28-15
28.6 システムコンフィグレーションステータス 28-16
28.6.1 システムコンフィグレーションステータスレジスタ【SYSSTS0】 28-16
28.7 USB 信号制御 28-18
28.7.1 デバイスステートコントロールレジスタ 0【DVSTCTR0】 28-18
28.8 テストモード 28-21
28.8.1 テストモードレジスタ【TESTMODE】 28-21
28.9 DMA-FIFO バスアクセス制御 28-23
28.9.1 DMAn-FIFO バスコンフィグレーションレジスタ【DnFBCFG】（n ＝ 0、1） 28-23
28.10 FIFO ポート 28-25
28.10.1 CFIFO ポートレジスタ【CFIFO】、 DnFIFO ポートレジスタ【DnFIFO】（n ＝ 0、1） 28-25
28.10.2 CFIFO ポート選択レジスタ【CFIFOSEL】 28-27
28.10.3 DnFIFO ポート選択レジスタ【DnFIFOSEL】（n ＝ 0、1） 28-29
28.10.4 CFIFO ポートコントロールレジスタ【CFIFOCTR】、 DnFIFO ポートコントロールレジスタ【DnFIFOCTR】（n ＝ 0、1） 28-31
28.11 割り込み許可 28-33
28.11.1 割り込み許可レジスタ 0【INTENB0】 28-33
28.11.2 割り込み許可レジスタ 1【INTENB1】 28-34
28.11.3 BRDY 割り込み許可レジスタ【BRDYENB】 28-35
28.11.4 NRDY 割り込み許可レジスタ【NRDYENB】 28-35
28.11.5 BEMP 割り込み許可レジスタ【BEMPENB】 28-36
28.12 SOF 制御レジスタ 28-36

28.12.1 SOF ピンコンフィグレーションレジスタ【SOFCFG】 28-36
28.13 割り込みステータス 28-37
28.13.1 割り込みステータスレジスタ 0【INTSTS0】 28-37
28.13.2 割り込みステータスレジスタ 1【INTSTS1】 28-40
28.13.3 BRDY 割り込みステータスレジスタ【BRDYSTS】 28-42
28.13.4 NRDY 割り込みステータスレジスタ【NRDYSTS】 28-45
28.13.5 BEMP 割り込みステータスレジスタ【BEMPSTS】 28-49
28.14 フレーム番号レジスタ 28-50
28.14.1 フレームナンバレジスタ【FRMNUM】 28-50
28.14.2 μフレームナンバレジスタ【UFRMNUM】 28-51
28.15 ファンクションコントローラ機能選択時 USB アドレス 28-52
28.15.1 USB アドレスレジスタ【USBADDR】 28-52
28.16 USB リクエストレジスタ 28-53
28.16.1 USB リクエストタイプレジスタ【USBREQ】 28-53
28.16.2 USB リクエストバリューレジスタ【USBVAL】 28-54
28.16.3 USB リクエストインデックスレジスタ【USBINDX】 28-55
28.16.4 USB リクエストレングスレジスタ【USBLENG】 28-56
28.17 DCP コンフィグレーション 28-57
28.17.1 DCP コンフィグレーションレジスタ【DCPCFG】 28-57
28.17.2 DCP マックスパケットサイズレジスタ【DCPMAXP】 28-59
28.17.3 DCP コントロールレジスタ【DCPCTR】 28-60
28.18 パイプコンフィグレーションレジスタ 28-65
28.18.1 パイプウィンドウ選択レジスタ【PIPESEL】 28-65
28.18.2 パイプコンフィグレーションレジスタ【PIPECFG】 28-66
28.18.3 パイプバッファ指定レジスタ【PIPEBUF】 28-70
28.18.4 パイプマックスパケットサイズレジスタ【PIPEMAXP】 28-72
28.18.5 パイプ周期制御レジスタ【PIPEPERI】 28-74
28.19 パイプコントロールレジスタ 28-78
28.19.1 PIPEn コントロールレジスタ【PIPEnCTR】（n ＝ 1 ～ 5、9、A ～ F） 28-78
28.19.2 PIPEn コントロールレジスタ【PIPEnCTR】（n ＝ 6 ～ 8） 28-84
28.20 トランザクションカウンタ 28-86
28.20.1 PIPEn トランザクションカウンタ許可レジスタ【PIPEnTRE】（n ＝ 1 ～ 5、9、A ～ F） 28-86
28.20.2 PIPEn トランザクションカウンタレジスタ【PIPEnTRN】（n ＝ 1 ～ 5、9、A ～ F） 28-87
28.21 デバイスアドレスコンフィグレーションレジスタ 28-88
28.21.1 デバイスアドレス n コンフィグレーションレジスタ【DEVADDn】（n ＝ 0 ～ 9、A） 28-88
28.22 サスペンドモードレジスタ (SUSPMODE) 28-89
28.22.1 サスペンドモードレジスタ【SUSPMODE】 28-89
28.23 FIFO 連続転送ポート 28-90

28.23.1 D0FIFO 連続転送ポートレジスタ n【D0FIFOBn】
D1FIFO 連続転送ポートレジスタ n【D1FIFOBn】
（n ＝ 0 ～ 7）.....28-90
28.24 動作説明 28-91
28.24.1 システム制御および供給制御 28-91
28.24.2 割り込み機能 28-93
28.24.3 パイプコントロール 28-97
28.24.4 FIFO バッファ 28-102
28.24.5 FIFO ポートの機能 28-104
28.24.6 コントロール転送（DCP）.....28-107
28.24.7 バルク転送（パイプ 1-5、9 ～ 15）.....28-109
28.24.8 インタラプト転送（パイプ 6-9、10）.....28-111
28.24.9 アイソクロナス転送（パイプ 1-2）.....28-112
28.24.10 SOF 補間機能 28-117
29. ビデオディスプレイコントローラ 5（1） 概要 29-1
29.1 特長 29-1
29.2 ブロック図 29-3
29.3 入出力端子 29-5
29.4 クロック 29-6
29.5 水平・垂直同期信号 29-6
29.5.1 外部入力垂直同期 29-6
29.5.2 自走垂直同期 29-7
29.5.3 垂直同期信号切り替え時の注意事項 29-9
30. ビデオディスプレイコントローラ 5（2） 入力制御部 30-1
30.1 入力制御機能 30-1
30.1.1 機能概要 30-1
30.1.2 外部入力部、同期信号調整部のレジスタ更新制御 30-2
30.1.3 入力制御 30-2
30.1.4 外部入力の映像信号制御 30-3
30.1.5 外部入力のクロックのエッジ選択 30-3
30.1.6 外部入力の同期信号の反転制御 30-4
30.1.7 外部入力の映像信号のビット割り付け 30-5
30.1.8 BT601 の標準信号タイミング 30-9
30.1.9 BT656 の標準信号タイミング 30-11
30.1.10 BT656 の SAV、EAV コード 30-13
30.1.11 BT656 プログレッシブ 30-16
30.1.12 BT656 ／ BT601 ／ YCbCr422 設定 30-19
30.1.13 YCbCr444/RGB888/666/565 の外部入力タイミング 30-22
30.1.14 フィールド判別と垂直同期位相調整 30-23
30.1.15 垂直同期信号ライン遅延調整 30-24
30.1.16 同期遅延調整 30-24

30.1.17 水平ノイズリダクション 30-25
30.1.18 カラーマトリクス 30-27
30.2 レジスタの説明 30-30
30.2.1 外部入力部レジスタ更新制御レジスタ（INP_UPDATE） 30-31
30.2.2 入力選択制御レジスタ（INP_SEL_CNT） 30-32
30.2.3 外部入力同期信号制御レジスタ（INP_EXT_SYNC_CNT） 30-33
30.2.4 垂直同期信号位相調整レジスタ（INP_VSYNC_PH_ADJ） 30-34
30.2.5 同期信号遅延調整レジスタ（INP_DLY_ADJ） 30-34
30.2.6 画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE） 30-35
30.2.7 NR 制御レジスタ 0（IMGCNT_NR_CNT0） 30-36
30.2.8 NR 制御レジスタ 1（IMGCNT_NR_CNT1） 30-37
30.2.9 画質調整部マトリクスモードレジスタ（IMGCNT_MTX_MODE） 30-38
30.2.10 画質調整部マトリクス YG 調整レジスタ 0（IMGCNT_MTX_YG_ADJ0） 30-38
30.2.11 画質調整部マトリクス YG 調整レジスタ 1（IMGCNT_MTX_YG_ADJ1） 30-39
30.2.12 画質調整部マトリクス CBB 調整レジスタ 0（IMGCNT_MTX_CBB_ADJ0） 30-39
30.2.13 画質調整部マトリクス CBB 調整レジスタ 1（IMGCNT_MTX_CBB_ADJ1） 30-40
30.2.14 画質調整部マトリクス CRR 調整レジスタ 0（IMGCNT_MTX_CRR_ADJ0） 30-40
30.2.15 画質調整部マトリクス CRR 調整レジスタ 1（IMGCNT_MTX_CRR_ADJ1） 30-41
30.3 使用方法 30-42
30.3.1 入力フォーマット調整方法 30-42
30.3.2 カラーマトリクス変換の使用方法 30-44
31. ビデオディスプレイコントローラ 5（3） スケーリング部 31-1
31.1 スケーリング機能 31-1
31.1.1 機能概要 31-1
31.1.2 レジスタ制御 31-2
31.1.3 同期制御 31-3
31.1.4 画角サイズ設定 31-7
31.1.5 スケーリング設定 31-10
31.1.6 水平プリフィルタ 31-11
31.1.7 水平縮小処理 31-12
31.1.8 垂直縮小処理 31-13
31.1.9 水平拡大処理 31-14
31.1.10 垂直拡大処理 31-15
31.1.11 IP 変換 31-16
31.1.12 縮小前画像ライン指定割り込み制御、縮小前画像ラインの読み出し 31-19
31.1.13 トリミング 31-19
31.1.14 画面合成 31-20
31.1.15 フレームバッファ書き込み映像フォーマット選択 31-20
31.1.16 水平鏡像、回転処理 31-21
31.1.17 フレームバッファ書き込み処理 31-22

31.1.18 拡大処理とグラフィックス（0）処理の選択 31-26
31.1.19 フレームバッファ読み出し時のフィールド指定 31-28
31.1.20 ポインタバッファとフレームバッファ読み出し処理 31-28
31.2 レジスタの説明 31-31
31.2.1 SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）..... 31-34
31.2.2 マスク処理レジスタ（SC0_SCL0_FRC1）..... 31-35
31.2.3 欠落補償レジスタ（SC0_SCL0_FRC2）..... 31-35
31.2.4 出力同期選択レジスタ（SC0_SCL0_FRC3）..... 31-36
31.2.5 自走周期レジスタ（SC0_SCL0_FRC4）..... 31-36
31.2.6 出力遅延制御レジスタ（SC0_SCL0_FRC5）..... 31-37
31.2.7 フル画面垂直サイズレジスタ（SC0_SCL0_FRC6）..... 31-37
31.2.8 フル画面水平サイズレジスタ（SC0_SCL0_FRC7）..... 31-38
31.2.9 同期検出レジスタ（SC0_SCL0_FRC9）..... 31-38
31.2.10 ステータスモニタ 0 レジスタ（SC0_SCL0_MON0）..... 31-39
31.2.11 割り込み制御レジスタ（SC0_SCL0_INT）..... 31-39
31.2.12 縮小制御レジスタ（SC0_SCL0_DS1）..... 31-40
31.2.13 取り込み垂直サイズレジスタ（SC0_SCL0_DS2）..... 31-40
31.2.14 取り込み水平サイズレジスタ（SC0_SCL0_DS3）..... 31-41
31.2.15 水平縮小レジスタ（SC0_SCL0_DS4）..... 31-41
31.2.16 垂直初期位相レジスタ（SC0_SCL0_DS5）..... 31-43
31.2.17 垂直スケーリングレジスタ（SC0_SCL0_DS6）..... 31-43
31.2.18 縮小制御部出力サイズレジスタ（SC0_SCL0_DS7）..... 31-44
31.2.19 拡大制御レジスタ（SC0_SCL0_US1）..... 31-45
31.2.20 出力画像垂直サイズレジスタ（SC0_SCL0_US2）..... 31-46
31.2.21 出力画像水平サイズレジスタ（SC0_SCL0_US3）..... 31-47
31.2.22 拡大制御部入力サイズレジスタ（SC0_SCL0_US4）..... 31-47
31.2.23 水平拡大レジスタ（SC0_SCL0_US5）..... 31-48
31.2.24 水平拡大初期位相レジスタ（SC0_SCL0_US6）..... 31-48
31.2.25 トリミングレジスタ（SC0_SCL0_US7）..... 31-49
31.2.26 フレームバッファ読み出し選択レジスタ（SC0_SCL0_US8）..... 31-49
31.2.27 背景色レジスタ（SC0_SCL0_OVR1）..... 31-50
31.2.28 SCL1 レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）..... 31-50
31.2.29 書き込み動作モードレジスタ（SC0_SCL1_WR1）..... 31-51
31.2.30 書き込みアドレスレジスタ 1T（SC0_SCL1_WR2）..... 31-52
31.2.31 書き込みアドレスレジスタ 2T（SC0_SCL1_WR3）..... 31-53
31.2.32 書き込みアドレスレジスタ 3T（SC0_SCL1_WR4）..... 31-54
31.2.33 フレーム間引きレジスタ（SC0_SCL1_WR5）..... 31-54
31.2.34 ビット縮退レジスタ（SC0_SCL1_WR6）..... 31-55
31.2.35 書き込み検出レジスタ（SC0_SCL1_WR7）..... 31-56
31.2.36 書き込みアドレスレジスタ 1B（SC0_SCL1_WR8）..... 31-56

31.2.37 書き込みアドレスレジスタ 2B（SC0_SCL1_WR9）.....31-57
31.2.38 書き込みアドレスレジスタ 3B（SC0_SCL1_WR10）.....31-58
31.2.39 書き込み検出レジスタ B（SC0_SCL1_WR11）.....31-58
31.2.40 ステータスモニタ 1 レジスタ（SC0_SCL1_MON1）.....31-59
31.2.41 ポインターバッファ 0 レジスタ（SC0_SCL1_PBUF0）.....31-59
31.2.42 ポインターバッファ 1 レジスタ（SC0_SCL1_PBUF1）.....31-60
31.2.43 ポインターバッファ 2 レジスタ（SC0_SCL1_PBUF2）.....31-60
31.2.44 ポインターバッファ 3 レジスタ（SC0_SCL1_PBUF3）.....31-60
31.2.45 ポインターバッファ、フィールド情報レジスタ（SC0_SCL1_PBUF_FLD）.....31-61
31.2.46 ポインターバッファ制御レジスタ（SC0_SCL1_PBUF_CNT）.....31-62
31.2.47 グラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）.....31-62
31.2.48 フレームバッファ読み出し制御レジスタ（グラフィックス（0））（GR0_FLM_RD）.....31-63
31.2.49 フレームバッファ制御レジスタ 1（グラフィックス（0））（GR0_FLM1）.....31-63
31.2.50 フレームバッファ制御レジスタ 2（グラフィックス（0））（GR0_FLM2）.....31-64
31.2.51 フレームバッファ制御レジスタ 3（グラフィックス（0））（GR0_FLM3）.....31-65
31.2.52 フレームバッファ制御レジスタ 4（グラフィックス（0））（GR0_FLM4）.....31-66
31.2.53 フレームバッファ制御レジスタ 5（グラフィックス（0））（GR0_FLM5）.....31-66
31.2.54 フレームバッファ制御レジスタ 6（グラフィックス（0））（GR0_FLM6）.....31-67
31.2.55 アルファブレンド制御レジスタ 1（グラフィックス（0））（GR0_AB1）.....31-69
31.2.56 アルファブレンド制御レジスタ 2（グラフィックス（0））（GR0_AB2）.....31-70
31.2.57 アルファブレンド制御レジスタ 3（グラフィックス（0））（GR0_AB3）.....31-70
31.2.58 アルファブレンド制御レジスタ 7（グラフィックス（0））（GR0_AB7）.....31-71
31.2.59 アルファブレンド制御レジスタ 8（グラフィックス（0））（GR0_AB8）.....31-71
31.2.60 アルファブレンド制御レジスタ 9（グラフィックス（0））（GR0_AB9）.....31-72
31.2.61 アルファブレンド制御レジスタ 10（グラフィックス（0））（GR0_AB10）.....31-72
31.2.62 アルファブレンド制御レジスタ 11（グラフィックス（0））（GR0_AB11）.....31-73
31.2.63 背景色制御レジスタ（グラフィックス（0））（GR0_BASE）.....31-73
31.2.64 CLUT テーブル制御レジスタ（グラフィックス（0））（GR0_CLUT）.....31-74
31.3 使用方法 31-75
31.3.1 525i 映像入力、VGA(640x480) サイズ映像出力のスケーリング設定例 31-75
31.3.2 グラフィックス表示時のスケーリング設定例 31-78
31.3.3 グラフィックス拡大表示時のスケーリング設定例 31-80
32. ビデオディスプレイコントローラ 5（4） 画質改善部 32-1
32.1 画質改善機能 32-1
32.1.1 機能概要 32-1
32.1.2 レジスタの更新制御 32-2
32.1.3 黒伸張 32-2
32.1.4 エンハンサ 32-3
32.1.5 カラーマトリクス 32-8

32.2 レジスタの説明 32-10
32.2.1 画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）....32-11
32.2.2 黒伸張部レジスタ（ADJ0_BKSTR_SET）....32-12
32.2.3 エンハンサタイミング調整レジスタ 1（ADJ0_ENH_TIM1）....32-13
32.2.4 エンハンサタイミング調整レジスタ 2（ADJ0_ENH_TIM2）....32-13
32.2.5 エンハンサタイミング調整レジスタ 3（ADJ0_ENH_TIM3）....32-14
32.2.6 エンハンサシャープネスレジスタ 1（ADJ0_ENH_SHP1）....32-14
32.2.7 エンハンサシャープネスレジスタ 2（ADJ0_ENH_SHP2）....32-15
32.2.8 エンハンサシャープネスレジスタ 3（ADJ0_ENH_SHP3）....32-15
32.2.9 エンハンサシャープネスレジスタ 4（ADJ0_ENH_SHP4）....32-16
32.2.10 エンハンサシャープネスレジスタ 5（ADJ0_ENH_SHP5）....32-16
32.2.11 エンハンサシャープネスレジスタ 6（ADJ0_ENH_SHP6）....32-17
32.2.12 エンハンサ LTI レジスタ 1（ADJ0_ENH_LTI1）....32-18
32.2.13 エンハンサ LTI レジスタ 2（ADJ0_ENH_LTI2）....32-19
32.2.14 画質改善部マトリクスモードレジスタ（ADJ0_MTX_MODE）....32-19
32.2.15 画質改善部マトリクス YG 調整レジスタ 0（ADJ0_MTX_YG_ADJ0）....32-20
32.2.16 画質改善部マトリクス YG 調整レジスタ 1（ADJ0_MTX_YG_ADJ1）....32-20
32.2.17 画質改善部マトリクス CBB 調整レジスタ 0（ADJ0_MTX_CBB_ADJ0）....32-21
32.2.18 画質改善部マトリクス CBB 調整レジスタ 1（ADJ0_MTX_CBB_ADJ1）....32-21
32.2.19 画質改善部マトリクス CRR 調整レジスタ 0（ADJ0_MTX_CRR_ADJ0）....32-22
32.2.20 画質改善部マトリクス CRR 調整レジスタ 1（ADJ0_MTX_CRR_ADJ1）....32-22
32.3 使用方法 32-23
32.3.1 黒伸張の使用方法 32-23
32.3.2 エンハンサの LTI 処理 32-23
32.3.3 エンハンサのシャープネス処理 32-24
32.3.4 カラーマトリクスのデータ変換設定方法 32-25
33. ビデオディスプレイコントローラ 5（5） 画面合成部 33-1
33.1 画面合成機能 33-1
33.1.1 機能概要 33-1
33.1.2 グラフィックスデータ読み出し制御 33-2
33.1.3 グラフィックス領域設定 33-12
33.1.4 指定ライン割り込み生成 33-13
33.1.5 フレームバッファ読み出し信号フォーマットとアルファブレンドの対応 33-13
33.1.6 表示選択 33-14
33.1.7 背景色表示処理 33-16
33.1.8 下層グラフィックス表示処理 33-16
33.1.9 カレントグラフィックス表示処理 33-16
33.1.10 矩形領域アルファブレンド表示処理 33-16
33.1.11 RGB 参照クロマキー表示処理 33-19
33.1.12 CLUT 参照クロマキー表示処理 33-20

33.1.13 画素単位アルファブレンド表示処理 33-21
33.1.14 アルファブレンド演算式 33-21
33.1.15 CLUT テーブル 33-21
33.1.16 矩形領域アルファブレンドでのカレントαとのマルチプライ表示処理 33-22
33.1.17 VIN 合成部の下層グラフィックス選択 33-22
33.2 レジスタの説明 33-23
33.2.1 グラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）....33-27
33.2.2 フレームバッファ読み出し制御レジスタ（グラフィックス（2））（GR2_FLM_RD）....33-27
33.2.3 フレームバッファ制御レジスタ 1（グラフィックス（2））（GR2_FLM1）....33-28
33.2.4 フレームバッファ制御レジスタ 2（グラフィックス（2））（GR2_FLM2）....33-29
33.2.5 フレームバッファ制御レジスタ 3（グラフィックス（2））（GR2_FLM3）....33-29
33.2.6 フレームバッファ制御レジスタ 4（グラフィックス（2））（GR2_FLM4）....33-30
33.2.7 フレームバッファ制御レジスタ 5（グラフィックス（2））（GR2_FLM5）....33-30
33.2.8 フレームバッファ制御レジスタ 6（グラフィックス（2））（GR2_FLM6）....33-31
33.2.9 アルファブレンド制御レジスタ 1（グラフィックス（2））（GR2_AB1）....33-32
33.2.10 アルファブレンド制御レジスタ 2（グラフィックス（2））（GR2_AB2）....33-33
33.2.11 アルファブレンド制御レジスタ 3（グラフィックス（2））（GR2_AB3）....33-33
33.2.12 アルファブレンド制御レジスタ 4（グラフィックス（2））（GR2_AB4）....33-34
33.2.13 アルファブレンド制御レジスタ 5（グラフィックス（2））（GR2_AB5）....33-34
33.2.14 アルファブレンド制御レジスタ 6（グラフィックス（2））（GR2_AB6）....33-35
33.2.15 アルファブレンド制御レジスタ 7（グラフィックス（2））（GR2_AB7）....33-35
33.2.16 アルファブレンド制御レジスタ 8（グラフィックス（2））（GR2_AB8）....33-36
33.2.17 アルファブレンド制御レジスタ 9（グラフィックス（2））（GR2_AB9）....33-36
33.2.18 アルファブレンド制御レジスタ 10（グラフィックス（2））（GR2_AB10）....33-37
33.2.19 アルファブレンド制御レジスタ 11（グラフィックス（2））（GR2_AB11）....33-37
33.2.20 背景色制御レジスタ（グラフィックス（2））（GR2_BASE）....33-38
33.2.21 CLUT テーブル制御レジスタ（グラフィックス（2））（GR2_CLUT）....33-38
33.2.22 ステータスモニタレジスタ（グラフィックス（2））（GR2_MON）....33-39
33.2.23 グラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）....33-39
33.2.24 フレームバッファ読み出し制御レジスタ（グラフィックス（3））（GR3_FLM_RD）....33-40
33.2.25 フレームバッファ制御レジスタ 1（グラフィックス（3））（GR3_FLM1）....33-41
33.2.26 フレームバッファ制御レジスタ 2（グラフィックス（3））（GR3_FLM2）....33-42
33.2.27 フレームバッファ制御レジスタ 3（グラフィックス（3））（GR3_FLM3）....33-42
33.2.28 フレームバッファ制御レジスタ 4（グラフィックス（3））（GR3_FLM4）....33-43
33.2.29 フレームバッファ制御レジスタ 5（グラフィックス（3））（GR3_FLM5）....33-43
33.2.30 フレームバッファ制御レジスタ 6（グラフィックス（3））（GR3_FLM6）....33-44
33.2.31 アルファブレンド制御レジスタ 1（グラフィックス（3））（GR3_AB1）....33-45
33.2.32 アルファブレンド制御レジスタ 2（グラフィックス（3））（GR3_AB2）....33-46
33.2.33 アルファブレンド制御レジスタ 3（グラフィックス（3））（GR3_AB3）....33-46

33.2.34 アルファブレンド制御レジスタ 4（グラフィックス（3））（GR3_AB4）.....33-47
33.2.35 アルファブレンド制御レジスタ 5（グラフィックス（3））（GR3_AB5）.....33-47
33.2.36 アルファブレンド制御レジスタ 6（グラフィックス（3））（GR3_AB6）.....33-48
33.2.37 アルファブレンド制御レジスタ 7（グラフィックス（3））（GR3_AB7）.....33-48
33.2.38 アルファブレンド制御レジスタ 8（グラフィックス（3））（GR3_AB8）.....33-49
33.2.39 アルファブレンド制御レジスタ 9（グラフィックス（3））（GR3_AB9）.....33-49
33.2.40 アルファブレンド制御レジスタ 10（グラフィックス（3））（GR3_AB10）.....33-50
33.2.41 アルファブレンド制御レジスタ 11（グラフィックス（3））（GR3_AB11）.....33-50
33.2.42 背景色制御レジスタ（グラフィックス（3））（GR3_BASE）.....33-51
33.2.43 CLUT テーブル・割り込み制御レジスタ（グラフィックス（3））（GR3_CLUT_INT）.....33-52
33.2.44 ステータスモニタレジスタ（グラフィックス（3））（GR3_MON）.....33-52
33.2.45 VIN 合成部レジスタ更新制御レジスタ（GR_VIN_UPDATE）.....33-53
33.2.46 アルファブレンド制御レジスタ 1（VIN 合成部）（GR_VIN_AB1）.....33-54
33.3 使用方法 33-55
33.3.1 ミュート 33-55
33.3.2 矩形領域アルファブレンド 33-55
34. ビデオディスプレイコントローラ 5（7） 出力制御部 34-1
34.1 出力制御機能 34-1
34.1.1 機能概要 34-1
34.1.2 レジスタの更新制御 34-2
34.1.3 経路選択 34-2
34.1.4 ブライト調整 34-3
34.1.5 コントラスト調整 34-3
34.1.6 ガンマ補正 34-4
34.1.7 ディザ処理 34-8
34.1.8 出力フォーマット変換 34-11
34.1.9 LCD TCON 34-18
34.2 レジスタの説明 34-27
34.2.1 ガンマ補正部レジスタ更新制御レジスタ G（GAM_G_UPDATE）.....34-30
34.2.2 ガンマ補正部機能スイッチレジスタ（GAM_SW）.....34-30
34.2.3 ガンマ補正部テーブル設定レジスタ G1 ～ 16（GAM_G_LUT1 ～ 16）.....34-31
34.2.4 ガンマ補正部領域設定レジスタ G1（GAM_G_AREA1）.....34-33
34.2.5 ガンマ補正部領域設定レジスタ G2（GAM_G_AREA2）.....34-33
34.2.6 ガンマ補正部領域設定レジスタ G3（GAM_G_AREA3）.....34-34
34.2.7 ガンマ補正部領域設定レジスタ G4（GAM_G_AREA4）.....34-34
34.2.8 ガンマ補正部領域設定レジスタ G5（GAM_G_AREA5）.....34-35
34.2.9 ガンマ補正部領域設定レジスタ G6（GAM_G_AREA6）.....34-35
34.2.10 ガンマ補正部領域設定レジスタ G7（GAM_G_AREA7）.....34-36
34.2.11 ガンマ補正部領域設定レジスタ G8（GAM_G_AREA8）.....34-36

34.2.12 ガンマ補正部レジスタ更新制御レジスタ B（GAM_B_UPDATE）.....34-37
34.2.13 ガンマ補正部テーブル設定レジスタ B1 ～ 16（GAM_B_LUT1 ～ 16）.....34-38
34.2.14 ガンマ補正部領域設定レジスタ B1（GAM_B_AREA1）.....34-40
34.2.15 ガンマ補正部領域設定レジスタ B2（GAM_B_AREA2）.....34-40
34.2.16 ガンマ補正部領域設定レジスタ B3（GAM_B_AREA3）.....34-41
34.2.17 ガンマ補正部領域設定レジスタ B4（GAM_B_AREA4）.....34-41
34.2.18 ガンマ補正部領域設定レジスタ B5（GAM_B_AREA5）.....34-42
34.2.19 ガンマ補正部領域設定レジスタ B6（GAM_B_AREA6）.....34-42
34.2.20 ガンマ補正部領域設定レジスタ B7（GAM_B_AREA7）.....34-43
34.2.21 ガンマ補正部領域設定レジスタ B8（GAM_B_AREA8）.....34-44
34.2.22 ガンマ補正部レジスタ更新制御レジスタ R（GAM_R_UPDATE）.....34-44
34.2.23 ガンマ補正部テーブル設定レジスタ R1 ～ 16（GAM_R_LUT1 ～ 16）.....34-45
34.2.24 ガンマ補正部領域設定レジスタ R1（GAM_R_AREA1）.....34-47
34.2.25 ガンマ補正部領域設定レジスタ R2（GAM_R_AREA2）.....34-48
34.2.26 ガンマ補正部領域設定レジスタ R3（GAM_R_AREA3）.....34-48
34.2.27 ガンマ補正部領域設定レジスタ R4（GAM_R_AREA4）.....34-49
34.2.28 ガンマ補正部領域設定レジスタ R5（GAM_R_AREA5）.....34-49
34.2.29 ガンマ補正部領域設定レジスタ R6（GAM_R_AREA6）.....34-50
34.2.30 ガンマ補正部領域設定レジスタ R7（GAM_R_AREA7）.....34-50
34.2.31 ガンマ補正部領域設定レジスタ R8（GAM_R_AREA8）.....34-51
34.2.32 TCON レジスタ更新制御レジスタ（TCON_UPDATE）.....34-51
34.2.33 TCON 基準タイミング設定レジスタ（TCON_TIM）.....34-52
34.2.34 TCON 垂直タイミング設定レジスタ A1（TCON_TIM_STVA1）.....34-52
34.2.35 TCON 垂直タイミング設定レジスタ A2（TCON_TIM_STVA2）.....34-53
34.2.36 TCON 垂直タイミング設定レジスタ B1（TCON_TIM_STVB1）.....34-53
34.2.37 TCON 垂直タイミング設定レジスタ B2（TCON_TIM_STVB2）.....34-54
34.2.38 TCON 水平タイミング設定レジスタ STH1（TCON_TIM_STH1）.....34-55
34.2.39 TCON 水平タイミング設定レジスタ STH2（TCON_TIM_STH2）.....34-55
34.2.40 TCON 水平タイミング設定レジスタ STB1（TCON_TIM_STB1）.....34-56
34.2.41 TCON 水平タイミング設定レジスタ STB2（TCON_TIM_STB2）.....34-57
34.2.42 TCON 水平タイミング設定レジスタ CPV1（TCON_TIM_CPV1）.....34-58
34.2.43 TCON 水平タイミング設定レジスタ CPV2（TCON_TIM_CPV2）.....34-59
34.2.44 TCON 水平タイミング設定レジスタ POLA1（TCON_TIM_POLA1）.....34-60
34.2.45 TCON 水平タイミング設定レジスタ POLA2（TCON_TIM_POLA2）.....34-60
34.2.46 TCON 水平タイミング設定レジスタ POLB1（TCON_TIM_POLB1）.....34-61
34.2.47 TCON 水平タイミング設定レジスタ POLB2（TCON_TIM_POLB2）.....34-62
34.2.48 TCON データイネーブル極性設定レジスタ（TCON_TIM_DE）.....34-63
34.2.49 出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）.....34-63
34.2.50 出力インタフェース用レジスタ（OUT_SET）.....34-64
34.2.51 ブライト（DC）補正用レジスタ 1（OUT_BRIGHT1）.....34-65

34.2.52 ブライト（DC）補正用レジスタ 2（OUT_BRIGHT2）.....34-65
34.2.53 コントラスト（ゲイン）補正用レジスタ（OUT_CONTRAST）.....34-66
34.2.54 パネルディザレジスタ（OUT_PDTHA）.....34-66
34.2.55 出力位相制御レジスタ（OUT_CLK_PHASE）.....34-67
34.3 使用方法 34-69
34.3.1 ガンマ補正調整方法 34-69
34.3.2 ディザの使用方法 34-69
34.3.3 出力フォーマット調整方法 34-70
35. ビデオディスプレイコントローラ 5（8） システム制御部 35-1
35.1 システム制御機能 35-1
35.1.1 機能概要 35-1
35.1.2 割り込み制御 35-1
35.1.3 パネルクロック制御 35-4
35.1.4 CLUT テーブル読み出し選択信号ステータスフラグ 35-5
35.2 レジスタの説明 35-6
35.2.1 割り込み制御レジスタ 1（SYSCNT_INT1）.....35-7
35.2.2 割り込み制御レジスタ 2（SYSCNT_INT2）.....35-8
35.2.3 割り込み制御レジスタ 4（SYSCNT_INT4）.....35-9
35.2.4 割り込み制御レジスタ 5（SYSCNT_INT5）.....35-10
35.2.5 パネルクロック制御レジスタ（SYSCNT_PANEL_CLK）.....35-11
35.2.6 CLUT テーブル読み出し選択信号ステータスフラグレジスタ（SYSCNT_CLUT）.....35-12
36. キャプチャエンジンユニット 36-1
36.1 CEU 特長 36-1
36.2 CEU の機能概要 36-2
36.3 CEU の端子構成 36-3
36.4 CEU レジスタの説明 36-4
36.4.1 キャプチャ開始レジスタ（CAPSR）.....36-6
36.4.2 キャプチャ制御レジスタ（CAPCR）.....36-9
36.4.3 キャプチャインタフェース制御レジスタ（CAMCR）.....36-11
36.4.4 キャプチャインタフェースサイクルレジスタ（CMCYR）.....36-16
36.4.5 キャプチャインタフェースオフセットレジスタ（CAMOR）.....36-17
36.4.6 キャプチャインタフェース幅レジスタ（CAPWR）.....36-19
36.4.7 キャプチャインタフェース入力方式レジスタ（CAIFR）.....36-20
36.4.8 CEU レジスタ制御レジスタ（CRCNTR）.....36-25
36.4.9 CEU レジスタ強制制御レジスタ（CRCMPR）.....36-26
36.4.10 キャプチャフィルタ制御レジスタ（CFLCR）.....36-27
36.4.11 キャプチャフィルタサイズクリップレジスタ（CFSZR）.....36-29
36.4.12 キャプチャデスティネーション幅レジスタ（CDWDR）.....36-31
36.4.13 キャプチャデータアドレス Y レジスタ（CDAYR）.....36-32

36.4.14 キャプチャデータアドレス C レジスタ（CDACR）.....36-34
36.4.15 キャプチャデータボトムフィールドアドレス Y レジスタ（CDBYR）.....36-36
36.4.16 キャプチャデータボトムフィールドアドレス C レジスタ（CDBCR）.....36-37
36.4.17 キャプチャバンドルデスティネーションサイズレジスタ（CBDSR）.....36-38
36.4.18 キャプチャローパスフィルタ制御レジスタ（CLFCR）.....36-40
36.4.19 ファイアウォール動作制御レジスタ（CFWCR）.....36-40
36.4.20 キャプチャデータ出力制御レジスタ（CDOCR）.....36-41
36.4.21 キャプチャイベント割り込み許可レジスタ（CEIER）.....36-45
36.4.22 キャプチャイベントフラグクリアレジスタ（CETCR）.....36-46
36.4.23 キャプチャステータスレジスタ（CSTSR）.....36-50
36.4.24 キャプチャデータ容量レジスタ（CDSSR）.....36-51
36.4.25 キャプチャデータアドレス Y レジスタ 2（CDAYR2）.....36-52
36.4.26 キャプチャデータアドレス C レジスタ 2（CDACR2）.....36-53
36.4.27 キャプチャデータボトムフィールドアドレス Y レジスタ 2（CDBYR2）.....36-55
36.4.28 キャプチャデータボトムフィールドアドレス C レジスタ 2（CDBCR2）.....36-56
36.5 CEU の使用上の注意事項 36-57
36.5.1 外部モジュールの接続条件 36-57
36.5.2 入出力機能制限事項 36-58
36.5.3 ビデオディスプレイコントローラ 5 との連携 36-58
36.5.4 ソフトウェアリセット 36-58
37. SCUX 37-1
37.1 特長 37-1
37.2 入出力端子 37-3
37.3 レジスタの説明 37-4
37.3.1 IPC0_n Initialization Register（IPCIR_IPC0_n ）(n=0,1,2,3) 37-12
37.3.2 IPC0_n Pass Select Register（IPSLR_IPC0_n ）(n=0,1,2,3) 37-13
37.3.3 OPC0_n Initialization Register（OPCIR_OPC0_n ）(n=0,1,2,3) 37-13
37.3.4 OPC0_n Pass Select Register（OPSLR_OPC0_n ）(n=0,1,2,3) 37-14
37.3.5 FFD0_n FIFO Download Initialization Register（FFDIR_FFD0_n ）(n=0,1,2,3) 37-14
37.3.6 FFD0_n FIFO Download Audio Information Register（FDAIR_FFD0_n ）(n=0,1,2,3) 37-15
37.3.7 FFD0_n FIFO Download Request Size Register（DRQSR_FFD0_n ）(n=0,1,2,3) 37-16
37.3.8 FFD0_n FIFO Download Pass Register（FFDPR_FFD0_n ）(n=0,1,2,3) 37-17
37.3.9 FFD0_n FIFO Download Boot Register（FFDBR_FFD0_n ）(n=0,1,2,3) 37-17
37.3.10 FFD0_n FIFO Download Event Mask Register（DEVMR_FFD0_n ）(n=0,1,2,3) 37-18
37.3.11 FFD0_n FIFO Download Event Clear Register（DEVCR_FFD0_n ）(n=0,1,2,3) 37-19
37.3.12 FFU0_n FIFO Upload Initialization Register（FFUIR_FFU0_n ）(n=0,1,2,3) 37-20
37.3.13 FFU0_n FIFO Upload Audio Information Register（FUAIR_FFU0_n ）(n=0,1,2,3) 37-21
37.3.14 FFU0_n FIFO Upload Request Size Register（URQSR_FFU0_n ）(n=0,1,2,3) 37-22

37.3.15 FFU0_n FIFO Upload Pass Register（FFUPR_FFU0_n ）(n=0,1,2,3) 37-23
37.3.16 FFU0_n FIFO Upload Event Mask Register（UEVMR_FFU0_n ）(n=0,1,2,3) 37-24
37.3.17 FFU0_n FIFO Upload Event Clear Register（UEVCR_FFU0_n ）(n=0,1,2,3) 37-25
37.3.18 2SRC0_m Initialization Register p（SRCIRp_2SRC0_m ）(m=0,1, p=0,1) 37-26
37.3.19 2SRC0_m Audio Information Register p（SADIRp_2SRC0_m ）(m=0,1 p=0,1) 37-27
37.3.20 2SRC0_m Bypass Register p（SRCBRp_2SRC0_m ）(m=0,1 p=0,1) 37-28
37.3.21 2SRC0_m IFS Control Register p（IFSCRp_2SRC0_m ）(m=0,1 p=0,1) 37-28
37.3.22 2SRC0_m IFS Value Setting Register p（IFSVRp_2SRC0_m ）(m=0,1 p=0,1) 37-29
37.3.23 2SRC0_m Control Register p（SRCCRp_2SRC0_m）(m=0,1 p=0,1) 37-33
37.3.24 2SRC0_m Minimum FS Setting Register p（MNFSRp_2SRC0_m ）
(m=0,1 p=0,1) 37-34
37.3.25 2SRC0_m Buffer Size Setting Register p（BFSSRp_2SRC0_m ）
(m=0,1 p=0,1) 37-35
37.3.26 2SRC0_m SCU2 Status Register p（SC2SRp_2SRC0_m ）(m=0,1 p=0,1) 37-36
37.3.27 2SRC0_m Wait Time Setting Register p（WATSRp_2SRC0_m ）
(m=0,1 p=0,1) 37-37
37.3.28 2SRC0_m Event Mask Register p（SEVMRp_2SRC0_m ）(m=0,1 p=0,1) 37-38
37.3.29 2SRC0_m Event Clear Register p（SEVCRp_2SRC0_m ）(m=0,1 p=0,1) 37-39
37.3.30 2SRC0_m Initialization Register RIF（SRCIRR_2SRC0_m ）(m=0,1) 37-40
37.3.31 DVU0_n Initialization Register（DVUIR_DVU0_n ）(n=0,1,2,3) 37-40
37.3.32 DVU0_n Audio Information Register（VADIR_DVU0_n ）(n=0,1,2,3) 37-41
37.3.33 DVU0_n Bypass Register（DVUBR_DVU0_n ）(n=0,1,2,3) 37-42
37.3.34 DVU0_n Control Register（DVUCR_DVU0_n ）(n=0,1,2,3) 37-43
37.3.35 DVU0_n Zero Cross Mute Control Register（ZCMCR_DVU0_n ）(n=0,1,2,3) 37-44
37.3.36 DVU0_n Volume Ramp Control Register（VRCTR_DVU0_n ）(n=0,1,2,3) 37-45
37.3.37 DVU0_n Volume Ramp Period Register（VRPDR_DVU0_n ）(n=0,1,2,3) 37-46
37.3.38 DVU0_n Volume Ramp Decibel Register（VRDBR_DVU0_n ）(n=0,1,2,3) 37-48
37.3.39 DVU0_n Volume Ramp Wait Time Register（VRWTR_DVU0_n ）(n=0,1,2,3) 37-49
37.3.40 DVU0_n Volume Value Setting 0 Register（VOL0R_DVU0_n ）(n=0,1,2,3) 37-50
37.3.41 DVU0_n Volume Value Setting 1 Register（VOL1R_DVU0_n ）(n=0,1,2,3) 37-51
37.3.42 DVU0_n Volume Value Setting 2 Register（VOL2R_DVU0_n ）(n=0,1,2,3) 37-52
37.3.43 DVU0_n Volume Value Setting 3 Register（VOL3R_DVU0_n ）(n=0,1,2,3) 37-53
37.3.44 DVU0_n Volume Value Setting 4 Register（VOL4R_DVU0_n ）(n=0,1,2,3) 37-54
37.3.45 DVU0_n Volume Value Setting 5 Register（VOL5R_DVU0_n ）(n=0,1,2,3) 37-55
37.3.46 DVU0_n Volume Value Setting 6 Register（VOL6R_DVU0_n ）(n=0,1,2,3) 37-56
37.3.47 DVU0_n Volume Value Setting 7 Register（VOL7R_DVU0_n ）(n=0,1,2,3) 37-57
37.3.48 DVU0_n Enable Register（DVUER_DVU0_n ）(n=0,1,2,3) 37-58
37.3.49 DVU0_n Status Register（DVUSR_DVU0_n ）(n=0,1,2,3) 37-59
37.3.50 DVU0_n Event Mask Register（VEVMR_DVU0_n ）(n=0,1,2,3) 37-61
37.3.51 DVU0_n Event Clear Register（VEVCR_DVU0_n ）(n=0,1,2,3) 37-63
37.3.52 MIX0_0 Initialization Register（MIXIR_MIX0_0 ）.....37-64

37.3.53 MIX0_0 Audio Information Register（MADIR_MIX0_0 ）....37-65
37.3.54 MIX0_0 Bypass Register（MIXBR_MIX0_0 ）....37-66
37.3.55 MIX0_0 Mode Register（MIXMR_MIX0_0）....37-67
37.3.56 MIX0_0 Volume Period Register（MVPDR_MIX0_0 ）....37-68
37.3.57 MIX0_0 Decibel A Register（MDBAR_MIX0_0 ）....37-69
37.3.58 MIX0_0 Decibel B Register（MDBBR_MIX0_0 ）....37-70
37.3.59 MIX0_0 Decibel C Register（MDBCR_MIX0_0 ）....37-71
37.3.60 MIX0_0 Decibel D Register（MDBDR_MIX0_0 ）....37-72
37.3.61 MIX0_0 Decibel Enable Register（MDBER_MIX0_0 ）....37-73
37.3.62 MIX0_0 Status Register（MIXSR_MIX0_0 ）....37-73
37.3.63 Software Reset Register（SWRSR_CIM ）....37-74
37.3.64 DMA Control Register（DMACR_CIM ）....37-75
37.3.65 DMA Transfer Register for FFD0_n（DMATDn_CIM ）(n=0,1,2,3) 37-76
37.3.66 DMA Transfer Register for FFU0_n（DMATUn_CIM ）(n=0,1,2,3) 37-77
37.3.67 SSI ルート選択レジスタ（SSIRSEL_CIM ）....37-78
37.3.68 FFD0_n タイミング選択レジスタ（FDTSELn_CIM）(n=0,1,2,3) 37-80
37.3.69 FFU0_n タイミング選択レジスタ（FUTSELn_CIM）(n=0,1,2,3) 37-82
37.3.70 SSI ピンモードレジスタ（SSIPMD_CIM）....37-84
37.3.71 SSI コントロールレジスタ（SSICTRL_CIM ）....37-86
37.3.72 SRCn ルート選択レジスタ（SRCRSELn_CIM ）(n=0,1,2,3) 37-88
37.3.73 MIX ルート選択レジスタ（MIXRSEL_CIM ）....37-91
37.4 動作説明 37-94
37.4.1 初期設定手順 37-94
37.4.2 転送開始手順および停止手順 37-94
37.4.3 チャネル単位でのデータの並び替え 37-99
37.4.4 SSIF の端子接続仕様 37-102
37.4.5 データ転送ルート 37-103
37.4.6 入力タイミング信号と出力タイミング信号 37-109
37.4.7 2SRC(SRC) ブロック 37-112
37.4.8 DVU ブロック 37-115
37.4.9 MIX ブロック 37-119
37.5 使用上の注意事項 37-123
37.5.1 ソフトウェアリセット 37-123
38. SD ホストインタフェース 38-1
38.1 概要 38-1
38.1.1 特長 38-1
38.1.2 ブロック図 38-1
38.1.3 入出力端子 38-2
38.2 レジスタの説明 38-3
38.2.1 コマンドタイプレジスタ（SD_CMD）....38-5

38.2.2 コマンドアーギュメントレジスタ（SD_ARG）.....38-6
38.2.3 データストップレジスタ（SD_STOP）.....38-7
38.2.4 ブロックカウントレジスタ（SD_SECCNT）.....38-8
38.2.5 カードレスポンスレジスタ（SD_RSP）.....38-8
38.2.6 SD 割り込みフラグレジスタ 1（SD_INFO1）.....38-10
38.2.7 SD 割り込みフラグレジスタ 2（SD_INFO2）.....38-12
38.2.8 SD_INFO1 割り込みマスクレジスタ（SD_INFO1_MASK）.....38-15
38.2.9 SD_INFO2 割り込みマスクレジスタ（SD_INFO2_MASK）.....38-15
38.2.10 SD クロックコントロールレジスタ（SD_CLK_CTRL）.....38-16
38.2.11 転送データサイズレジスタ（SD_SIZE）.....38-17
38.2.12 カードアクセスオプションレジスタ（SD_OPTION）.....38-18
38.2.13 SD エラーステータスレジスタ 1（SD_ERR_STS1）.....38-19
38.2.14 SD エラーステータスレジスタ 2（SD_ERR_STS2）.....38-20
38.2.15 SD バッファリード / ライトレジスタ（SD_BUF0）.....38-20
38.2.16 SDIO モードコントロールレジスタ（SDIO_MODE）.....38-21
38.2.17 SDIO 割り込みフラグレジスタ（SDIO_INFO1）.....38-23
38.2.18 SDIO_INFO1 割り込みマスクレジスタ（SDIO_INFO1_MASK）.....38-24
38.2.19 DMA モードイネーブルレジスタ（CC_EXT_MODE）.....38-24
38.2.20 ソフトリセットレジスタ（SOFT_RST）.....38-25
38.2.21 バージョンレジスタ（VERSION）.....38-25
38.2.22 スワップコントロールレジスタ（EXT_SWAP）.....38-26
38.3 動作説明 38-27
38.3.1 SD I/F 38-27
38.3.2 カード検出／ライトプロテクト 38-29
38.3.3 割り込み要求と DMA 転送要求 38-31
38.3.4 通信エラーとタイムアウト 38-33
38.4 使用例 38-35
38.4.1 データ転送を伴わないコマンド 38-35
38.4.2 シングルブロックリード 38-37
38.4.3 シングルブロックライト 38-39
38.4.4 マルチブロックリード 38-41
38.4.5 マルチブロックライト 38-43
38.4.6 IO_RW_DIRECT コマンド（CMD52）.....38-45
38.4.7 IO_RW_EXTENDED（CMD53 ／マルチブロックリード）.....38-46
38.4.8 IO_RW_EXTENDED（CMD53 ／マルチブロックライト）.....38-48
38.4.9 DMA 転送 38-50
38.4.10 SD_CMD レジスタ設定例 38-52
38.5 使用上の注意 38-53
39. MMC ホストインタフェース 39-1
39.1 特長 39-1

39.2 入出力端子 39-2
39.3 レジスタの説明 39-2
39.3.1 コマンド設定レジスタ（CE_CMD_SET）....39-3
39.3.2 アーギュメントレジスタ（CE_ARG）....39-5
39.3.3 自動 CMD12 アーギュメントレジスタ（CE_ARG_CMD12）....39-5
39.3.4 コマンド制御レジスタ（CE_CMD_CTRL）....39-6
39.3.5 転送ブロック設定レジスタ（CE_BLOCK_SET）....39-6
39.3.6 クロックコントロールレジスタ（CE_CLK_CTRL）....39-7
39.3.7 バッファアクセス設定レジスタ（CE_BUF_ACC）....39-8
39.3.8 レスポンスレジスタ 3 ～ 0（CE_RESP3 ～ 0）....39-9
39.3.9 自動 CMD12 レスポンスレジスタ（CE_RESP_CMD12）....39-10
39.3.10 データレジスタ（CE_DATA）....39-11
39.3.11 割り込みフラグレジスタ（CE_INT）....39-11
39.3.12 割り込みイネーブルレジスタ（CE_INT_EN）....39-14
39.3.13 ステータスレジスタ 1（CE_HOST_STS1）....39-16
39.3.14 ステータスレジスタ 2（CE_HOST_STS2）....39-17
39.3.15 DMA モード設定レジスタ（CE_DMA_MODE）....39-18
39.3.16 カード検出／ポート制御レジスタ（CE_DETECT）....39-19
39.3.17 特殊モード設定レジスタ（CE_ADD_MODE）....39-20
39.3.18 バージョンレジスタ（CE_VERSION）....39-20
39.4 割り込み要求の説明 39-21
39.5 DMA 仕様 39-22
39.5.1 バッファライト DMA の説明 39-22
39.5.2 バッファリード DMA の説明 39-22
39.6 動作説明 39-23
39.6.1 コマンド／レスポンスのフォーマット 39-23
39.6.2 データブロックフォーマット 39-23
39.6.3 バッファ構造とバッファアクセス 39-25
39.6.4 自動 CMD12 発行 39-26
39.6.5 High Priority Interrupt (HPI) 39-26
39.6.6 Background Operation 39-27
39.6.7 エラー、タイムアウト発生時の本モジュールの処理 39-27
39.7 設定例 39-28
39.7.1 凡例の説明 39-28
39.7.2 コマンド送信設定例 39-28
39.7.3 コマンド送信→レスポンス受信設定例 39-29
39.7.4 コマンド送信→レスポンス受信（レスポンスビジーあり）設定例 39-30
39.7.5 シングルブロックリード設定例 39-32
39.7.6 マルチブロックリード設定例 39-33
39.7.7 マルチブロックリード（自動 CMD12 あり）設定例 39-34

39.7.8 シングルブロックライト設定例 39-35
39.7.9 マルチブロックライト設定例 39-36
39.7.10 マルチブロックライト（自動 CMD12 あり）設定例 39-37
39.7.11 強制終了設定例 39-38
39.7.12 CE_CMD_SET 設定値 39-39
39.8 使用上の注意事項 39-40
39.8.1 カード検出について 39-40
39.8.2 マルチブロック転送について 39-40
39.8.3 ソフトウェアリセット 39-40
40. 内蔵 RAM 40-1
40.1 特長 40-1
40.2 使用上の注意事項 40-3
40.2.1 ページ競合 40-3
40.2.2 データ保持について 40-3
41. 汎用入出力ポート 41-1
41.1 特長 41-1
41.1.1 ポートグループ 41-1
41.1.2 ポートグループインデックス n 41-1
41.1.3 ベースアドレス 41-1
41.2 機能概要 41-2
41.2.1 端子機能のモード 41-2
41.2.2 端子のデータ入力／出力 41-3
41.3 レジスタの説明 41-4
41.3.1 ポートレジスタ（Pn） 41-4
41.3.2 ポートセット／リセットレジスタ（PSRn） 41-5
41.3.3 ポート端子リードレジスタ（PPRn/JPPR0） 41-5
41.3.4 ポートモードレジスタ（PMn） 41-6
41.3.5 ポートモード制御レジスタ（PMCn/JPMC0） 41-6
41.3.6 ポート機能制御レジスタ（PFCn） 41-7
41.3.7 ポート機能制御拡張レジスタ（PFCEn） 41-8
41.3.8 ポート NOT レジスタ（PNOTn） 41-9
41.3.9 ポートモードセット／リセットレジスタ（PMSRn） 41-9
41.3.10 ポートモード制御セット／リセットレジスタ（PMCSRn/JPMCSR0） 41-10
41.3.11 ポート機能制御追加拡張レジスタ（PFCAEn） 41-10
41.3.12 ポート入力バッファ制御レジスタ（PIBCn/JPIBC0） 41-11
41.3.13 ポート双方向制御レジスタ（PBDCn） 41-11
41.3.14 ポート IP 制御レジスタ（PIPCn） 41-12
41.3.15 シリアルサウンドインタフェースノイズキャンセラ制御レジスタ（SNCR） 41-13
41.4 ポート機能 41-14
41.5 JTAG ポート 0（JP0） 41-15

41.6 ポート 0（P0）.....41-15
41.7 ポート 1（P1）.....41-16
41.8 ポート 2（P2）.....41-17
41.9 ポート 3（P3）.....41-18
41.10 ポート 4（P4）.....41-19
41.11 ポート 5（P5）.....41-20
41.12 ポート 6（P6）.....41-21
41.13 ポート 7（P7）.....41-22
41.14 ポート 8（P8）.....41-24
41.15 ポート 9（P9）.....41-25
41.16 ポート制御論理図 41-26
41.17 ポート設定のフロー例 41-27
42. 低消費電力モード 42-1
42.1 特長 42-1
42.1.1 処理状態および低消費電力モードの種類 42-1
42.2 レジスタの説明 42-3
42.2.1 スタンバイコントロールレジスタ 1（STBCR1）.....42-4
42.2.2 スタンバイコントロールレジスタ 2（STBCR2）.....42-5
42.2.3 スタンバイコントロールレジスタ 3（STBCR3）.....42-6
42.2.4 スタンバイコントロールレジスタ 4（STBCR4）.....42-7
42.2.5 スタンバイコントロールレジスタ 5（STBCR5）.....42-8
42.2.6 スタンバイコントロールレジスタ 6（STBCR6）.....42-9
42.2.7 スタンバイコントロールレジスタ 7（STBCR7）.....42-10
42.2.8 スタンバイコントロールレジスタ 8（STBCR8）.....42-11
42.2.9 スタンバイコントロールレジスタ 9（STBCR9）.....42-12
42.2.10 スタンバイコントロールレジスタ 10（STBCR10）.....42-13
42.2.11 スタンバイコントロールレジスタ 11（STBCR11）.....42-14
42.2.12 スタンバイコントロールレジスタ 12（STBCR12）.....42-15
42.2.13 ソフトウェアリセットコントロールレジスタ 1（SWRSTCR1）.....42-16
42.2.14 ソフトウェアリセットコントロールレジスタ 2（SWRSTCR2）.....42-17
42.2.15 システムコントロールレジスタ 1（SYSCR1）.....42-18
42.2.16 システムコントロールレジスタ 2（SYSCR2）.....42-19
42.2.17 システムコントロールレジスタ 3（SYSCR3）.....42-20
42.2.18 CPU ステータスレジスタ（CPUSTS）.....42-20
42.2.19 スタンバイリクエストレジスタ 1（STBREQ1）.....42-21
42.2.20 スタンバイリクエストレジスタ 2（STBREQ2）.....42-22
42.2.21 スタンバイアックレジスタ 1（STBACK1）.....42-23
42.2.22 スタンバイアックレジスタ 2（STBACK2）.....42-24
42.2.23 保持用内蔵 RAM 保持エリア指定レジスタ（RRAMKP）.....42-25
42.2.24 ディープスタンバイコントロールレジスタ（DSCTR）.....42-26

42.2.25 ディープスタンバイ解除要因セレクトレジスタ（DSSSR）.....42-26
42.2.26 ディープスタンバイ解除エッジセレクトレジスタ（DSESR）.....42-28
42.2.27 ディープスタンバイ解除要因フラグレジスタ（DSFR）.....42-29
42.2.28 XTAL 水晶発振器ゲインコントロールレジスタ（XTALCTR）.....42-30
42.3 動作説明 42-31
42.3.1 スリープモード 42-31
42.3.2 ソフトウェアスタンバイモード 42-32
42.3.3 ソフトウェアスタンバイモードの応用例 42-34
42.3.4 ディープスタンバイモード 42-35
42.3.5 モジュールスタンバイ機能 42-40
42.3.6 ソフトウェアリセット 42-41
42.3.7 XTAL 用水晶発振器ゲイン調整機能 42-42
42.4 使用上の注意事項 42-43
42.4.1 レジスタ設定時の注意 42-43
42.4.2 リアルタイムクロック未使用時の注意 42-43
42.4.3 USB_X1 端子未使用時の注意 42-43
42.4.4 ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合の注意 42-43
43. デバッガインタフェース 43-1
43.1 特長 43-1
43.2 入出力端子 43-6
43.3 バウンダリスキャン用 TAP コントローラのレジスタの説明 43-7
43.3.1 バイパスレジスタ（BSBPR）.....43-7
43.3.2 インストラクションレジスタ（BSIR）.....43-7
43.3.3 バウンダリスキャンレジスタ（SDBSR）.....43-8
43.3.4 ID レジスタ（BSID）.....43-16
43.4 ICE レジスタの説明 43-17
43.4.1 モードリセットコントロールレジスタ（ICEREGMDRSTCTL）.....43-17
43.4.2 JTAG トレースセレクトレジスタ（ICEREGJTTRCSEL）.....43-18
43.4.3 クロックパワーコントロールレジスタ（ICEREGCLKPWRCTRL）.....43-19
43.4.4 ロックアクセスレジスタ（ICEREGLOCKACCESS）.....43-19
43.5 動作説明 43-20
43.5.1 TAP コントローラ 43-20
43.5.2 リセット構成 43-20
43.6 バウンダリスキャン 43-21
43.6.1 サポートする命令 43-21
43.6.2 注意事項 43-22
43.7 使用上の注意事項 43-22
44. JPEG コーデックユニット 44-1
44.1 特長 44-1

44.2 レジスタの説明 44-3
44.2.1 JPEG コードモードレジスタ（JCMOD）....44-5
44.2.2 JPEG コードコマンドレジスタ（JCCMD）....44-6
44.2.3 JPEG コード量子化テーブル番号レジスタ（JCQTN）....44-7
44.2.4 JPEG コードハフマンテーブル番号レジスタ（JCHTN）....44-7
44.2.5 JPEG コード DRI 上位レジスタ（JCDRIU）....44-8
44.2.6 JPEG コード DRI 下位レジスタ（JCDRID）....44-8
44.2.7 JPEG コード垂直方向サイズ上位レジスタ（JCVSZU）....44-8
44.2.8 JPEG コード垂直方向サイズ下位レジスタ（JCVSZD）....44-9
44.2.9 JPEG コード水平方向サイズ上位レジスタ（JCHSZU）....44-9
44.2.10 JPEG コード水平方向サイズ下位レジスタ（JCHSZD）....44-9
44.2.11 JPEG コードデータカウント上位レジスタ（JCDTCU）....44-10
44.2.12 JPEG コードデータカウント中位レジスタ（JCDTCM）....44-10
44.2.13 JPEG コードデータカウント下位レジスタ（JCDTCD）....44-10
44.2.14 JPEG 割り込みイネーブルレジスタ 0（JINTE0）....44-11
44.2.15 JPEG 割り込みステータスレジスタ 0（JINTS0）....44-12
44.2.16 JPEG コードデコードエラーレジスタ（JCDERR）....44-12
44.2.17 JPEG コード再起動レジスタ（JCRST）....44-13
44.2.18 JPEG インタフェース圧縮制御レジスタ（JIFECNT）....44-13
44.2.19 JPEG インタフェース圧縮ソースアドレスレジスタ（JIFESA）....44-15
44.2.20 JPEG インタフェース圧縮ラインオフセットレジスタ（JIFESOFST）....44-15
44.2.21 JPEG インタフェース圧縮デスティネーションアドレスレジスタ（JIFEDA）....44-16
44.2.22 JPEG インタフェース圧縮ソースラインカウントレジスタ（JIFESLC）....44-16
44.2.23 JPEG インタフェース圧縮デスティネーションカウントレジスタ（JIFEDDC）....44-17
44.2.24 JPEG インタフェース伸長制御レジスタ（JIFDCNT）....44-17
44.2.25 JPEG インタフェース伸長ソースアドレスレジスタ（JIFDSA）....44-19
44.2.26 JPEG インタフェース伸長ラインオフセットレジスタ（JIFDDOFST）....44-20
44.2.27 JPEG インタフェース伸長デスティネーションアドレスレジスタ（JIFDDA）....44-20
44.2.28 JPEG インタフェース伸長ソースデータカウントレジスタ（JIFDSDC）....44-21
44.2.29 JPEG インタフェース伸長デスティネーションラインカウントレジスタ（JIFDDLC）....44-21
44.2.30 JPEG インタフェース伸長 α 設定レジスタ（JIFDADT）....44-22
44.2.31 JPEG 割り込みイネーブルレジスタ 1（JINTE1）....44-23
44.2.32 JPEG 割り込みステータスレジスタ 1（JINTS1）....44-24
44.2.33 JPEG 入力画像データ CbCr 範囲設定レジスタ（JIFESVSZ）....44-25
44.2.34 JPEG 出力画像データ CbCr 範囲設定レジスタ（JIFESHSZ）....44-25
44.3 動作説明 44-26
44.3.1 圧縮 44-26
44.3.2 伸長 44-32
44.3.3 伸長時の出力ピクセルフォーマット 44-38
44.3.4 画像データ格納 44-43

44.4 割り込み 44-44
44.4.1 圧縮伸長処理割り込み要求（JEDI） 44-44
44.4.2 データ転送処理割り込み要求（JDTI） 44-45
44.5 バスリセット処理 44-46
45. EthernetAVB 45-1
45.1 概要 45-1
45.1.1 仕様（機能） 45-1
45.1.2 ブロック図 45-2
45.1.3 入出力端子 45-3
45.2 レジスタの説明 45-4
45.2.1 AVB-DMAC モードレジスタ（CCC） 45-6
45.2.2 ディスクリプタベースアドレステーブルレジスタ（DBAT） 45-9
45.2.3 ディスクリプタベースアドレスロード要求レジスタ（DLR） 45-10
45.2.4 AVB-DMAC ステータスレジスタ（CSR） 45-13
45.2.5 カレントディスクリプタアドレスレジスタ q（CDARq）（q = 0 ～ 21） 45-16
45.2.6 エラーステータスレジスタ（ESR） 45-17
45.2.7 受信設定レジスタ（RCR） 45-19
45.2.8 受信キュー設定レジスタ i（RQCi）（i = 0 ～ 4） 45-22
45.2.9 受信パディング設定レジスタ（RPC） 45-24
45.2.10 未読フレームカウンタ停止レベル設定レジスタ（UFCS） 45-26
45.2.11 未読フレームカウンタレジスタ i（UFCVi）（i = 0 ～ 4） 45-27
45.2.12 未読フレームカウンタ減算レジスタ i（UFCDi）（i = 0 ～ 4） 45-29
45.2.13 セパレーションフィルタオフセット設定レジスタ（SFO） 45-30
45.2.14 セパレーションフィルタパターン設定レジスタ i（SFPi）（i = 0 ～ 31） 45-31
45.2.15 セパレーションフィルタマスク設定レジスタ i（SFMi）（i = 0, 1） 45-32
45.2.16 送信設定レジスタ（TGC） 45-33
45.2.17 送信設定制御レジスタ（TCCR） 45-35
45.2.18 送信ステータスレジスタ（TSR） 45-37
45.2.19 タイムスタンプ FIFO アクセスレジスタ 0（TFA0） 45-39
45.2.20 タイムスタンプ FIFO アクセスレジスタ 1（TFA1） 45-40
45.2.21 タイムスタンプ FIFO アクセスレジスタ 2（TFA2） 45-41
45.2.22 CBS インクリメント値レジスタ c（CIVRc）（c = 0, 1） 45-42
45.2.23 CBS デクリメント値レジスタ c（CDVRc）（c = 0, 1） 45-43
45.2.24 CBS 上限値レジスタ c（CULc）（c = 0, 1） 45-44
45.2.25 CBS 下限値レジスタ c（CLLc）（c = 0, 1） 45-45
45.2.26 ディスクリプタ割り込み制御レジスタ（DIC） 45-46
45.2.27 ディスクリプタ割り込みステータスレジスタ（DIS） 45-48
45.2.28 エラー割り込み制御レジスタ（EIC） 45-50
45.2.29 エラー割り込みステータスレジスタ（EIS） 45-52
45.2.30 受信割り込み制御レジスタ 0（RIC0） 45-55

45.2.31 受信割り込みステータスレジスタ 0（RIS0）.....45-57
45.2.32 受信割り込み制御レジスタ 1（RIC1）.....45-59
45.2.33 受信割り込みステータスレジスタ 1（RIS1）.....45-60
45.2.34 受信割り込み制御レジスタ 2（RIC2）.....45-61
45.2.35 受信割り込みステータスレジスタ 2（RIS2）.....45-63
45.2.36 送信割り込み制御レジスタ（TIC）.....45-66
45.2.37 送信割り込みステータスレジスタ（TIS）.....45-67
45.2.38 割り込みサマリステータスレジスタ（ISS）.....45-69
45.2.39 gPTP 設定制御レジスタ（GCCR）.....45-72
45.2.40 gPTP 最大トランジットタイム設定レジスタ（GMTT）.....45-75
45.2.41 gPTP プレゼンテーションタイム比較レジスタ（GPTC）.....45-76
45.2.42 gPTP タイマインクリメント設定レジスタ（GTI）.....45-77
45.2.43 gPTP タイマオフセット設定レジスタ i（GTOi）（i = 0 ～ 2）.....45-78
45.2.44 gPTP 割り込み制御レジスタ（GIC）.....45-79
45.2.45 gPTP 割り込みステータスレジスタ（GIS）.....45-80
45.2.46 gPTP プレゼンテーションタイムキャプチャレジスタ（GCPT）.....45-82
45.2.47 gPTP タイマキャプチャレジスタ i（GCTi）（i = 0 ～ 2）.....45-83
45.2.48 gPTP キャプチャイベント設定レジスタ（GCEC）.....45-84
45.2.49 E-MAC モードレジスタ（ECMR）.....45-86
45.2.50 受信フレーム長上限レジスタ（RFLR）.....45-89
45.2.51 E-MAC ステータスレジスタ（ECSR）.....45-90
45.2.52 E-MAC 割り込み許可レジスタ（ECSIPR）.....45-91
45.2.53 PHY 部インタフェースレジスタ（PIR）.....45-92
45.2.54 自動 PAUSE フレーム設定レジスタ（APR）.....45-93
45.2.55 手動 PAUSE フレーム設定レジスタ（MPR）.....45-94
45.2.56 PAUSE フレーム送信カウンタ（PFTCR）.....45-95
45.2.57 PAUSE フレーム受信カウンタ（PFRCR）.....45-96
45.2.58 自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）.....45-97
45.2.59 MAC アドレス上位設定レジスタ（MAHR）.....45-98
45.2.60 MAC アドレス下位設定レジスタ（MALR）.....45-99
45.2.61 CRC エラーフレーム受信カウンタレジスタ（CEFCR）.....45-100
45.2.62 フレーム受信エラーカウンタレジスタ（FRECR）.....45-101
45.2.63 64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）.....45-102
45.2.64 指定バイト超フレーム受信カウンタレジスタ（TLFRCR）.....45-103
45.2.65 端数ビットフレーム受信カウンタレジスタ（RFCR）.....45-104
45.2.66 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）.....45-105
45.3 動作説明.....45-106
45.3.1 AVB-DMAC 動作モード.....45-107
45.3.2 （送受信）共通制御.....45-111
45.3.3 ディスクリプタ.....45-119

45.3.4 受信制御 45-132
45.3.5 送信制御 45-148
45.3.6 CBS（Credit Based Shaping）....45-164
45.3.7 IEEE802.1:gPTP 45-172
45.3.8 IEEE1722 サポート 45-175
45.3.9 フロー制御 45-176
45.3.10 割り込み 45-178
45.3.11 動作フロー 45-180
45.3.12 PHY-LSI との接続 45-191
45.3.13 使用上の注意事項 45-195
46. レジスター覧 46-1
46.1 アドレス一覧 46-1
46.2 ビット一覧 46-69
46.3 レジスタ状態一覧 46-232
47. 電気的特性 47-1
47.1 絶対最大定格 47-1
47.2 電源投入・切断シーケンス 47-2
47.3 DC 特性 47-3
47.4 AC 特性 47-7
47.4.1 クロックタイミング 47-8
47.4.2 制御信号タイミング 47-12
47.4.3 バスタイミング 47-14
47.4.4 ダイレクトメモリアクセスコントローラタイミング 47-40
47.4.5 マルチファンクションタイマパルスユニット 2 タイミング 47-41
47.4.6 ウォッチドッグタイマタイミング 47-41
47.4.7 FIFO 内蔵シリアルコミュニケーションインタフェースタイミング 47-42
47.4.8 シリアルコミュニケーションインタフェースタイミング 47-43
47.4.9 ルネサスシリアルペリフェラルインタフェースタイミング 47-44
47.4.10 SPI マルチ I/O バスコントローラタイミング 47-47
47.4.11 I²C バスインタフェースタイミング 47-50
47.4.12 シリアルサウンドインタフェースタイミング 47-52
47.4.13 メディアローカルバスタイミング 47-55
47.4.14 CAN インタフェースタイミング 47-56
47.4.15 イーサネットコントローラ、EthernetAVB タイミング 47-57
47.4.16 A/D 変換器タイミング 47-60
47.4.17 USB2.0 ホスト／ファンクションモジュールタイミング 47-61
47.4.18 ビデオディスプレイコントローラ 5 タイミング 47-64
47.4.19 キャプチャエンジンユニットモジュール信号タイミング 47-66
47.4.20 SD ホストインタフェースタイミング 47-68
47.4.21 MMC ホストインタフェースタイミング 47-69

47.4.22 汎用入出力ポートタイミング 47-70
47.4.23 デバッガインタフェースタイミング 47-71
47.4.24 AC 特性測定条件 47-73
47.5 A/D 変換器特性 47-74
48. 端子状態と処理方法 48-1
48.1 端子状態 48-1
48.2 未使用端子の処理 48-6
48.3 ディープスタンバイモード時の端子処理 48-7
48.4 バイパスコンデンサ推奨組み合わせ 48-8
付録 ..... 付録 -1
A. 外形寸法図 ..... 付録 -1
改訂記録 ..... 改訂 -1

1. 概要

1.1 本 LSI の特長

本 LSI は、Arm 社 Cortex®-A9 プロセッサを搭載し、システム構成に必要な周辺機能を集積したシングルチップマイコンです。

本 LSI は、命令 32K バイト／データ 32K バイトの L1 キャッシュおよび 128K バイトの L2 キャッシュを内蔵しています。さらに本 LSI はシステム構成に必要な周辺機能として、3M バイト（RZ/A1L、RZ/A1LU）あるいは 2M バイト（RZ/A1LC）の大容量 RAM（128K バイトがデータ保持用 RAM と共用）、データ保持用 RAM、マルチファンクションタイマパルスユニット 2、OS タイマ、リアルタイムクロック、FIFO 内蔵シリアルコミュニケーションインタフェース、シリアルコミュニケーションインタフェース、I^2C バスインタフェース、シリアルサウンドインタフェース、メディア・ローカル・バス（RZ/A1L のみ）、SCUX、CAN インタフェース、IEBus™（注 1）コントローラ（RZ/A1L のみ）、ルネサス SPDIF インタフェース、ルネサスシリアルペリフェラルインタフェース、SPI マルチ I/O バスコントローラ、CD-ROM デコーダ（RZ/A1L のみ）、A/D 変換器、LIN インタフェース（RZ/A1L のみ）、イーサネットコントローラ、EthernetAVB（RZ/A1LU のみ）、USB2.0 ホスト／ファンクションモジュール、ビデオディスプレイコントローラ 5、JPEG コーデックユニット（RZ/A1LU のみ）、キャプチャエンジンユニット、SD ホストインタフェース、MMC ホストインタフェース、割り込みコントローラ、汎用入出力ポートなどを内蔵しています。本 LSI の特長を表 1.1 に示します。

注 1. IEBus（Inter Equipment Bus）はルネサスエレクトロニクスの商標です。

表1.1　RZ/A1L、RZ/A1LU、RZ/A1LCの特長

項目	特　長
CPU	• Arm社のCortex-A9プロセッサ搭載 • 最大動作周波数：400MHz • 命令キャッシュサイズ：32Kバイト • データキャッシュサイズ：32Kバイト（ライトバック方式） • TLBエントリ数：128エントリ • Jazelle®テクノロジアーキテクチャ拡張機能：フル実装 • Media Processing Engine with NEON™ technology搭載
L2キャッシュメモリ	• Arm社のCoreLink™ Level 2 Cache Controller L2C-310搭載 • 動作周波数：133MHz • キャッシュサイズ：128Kバイト
割り込みコントローラ	• Arm社のPrimeCell® Generic Interrupt Controller（PL390）搭載 • 外部割り込み端子（NMI、IRQ7～IRQ0、TINT121～TINT0） • 内蔵周辺割り込み：モジュールごとに優先順位を設定 • 32レベルの優先順位設定が可能
バスステートコントローラ	• アドレス空間はそれぞれ最大64Mバイトの6つの領域エリア0～5をサポート • 各エリアには独立に次の機能を設定可能 バスサイズ（8、16、32ビット）。ただし各エリアごとにサポートサイズは異なります。 アクセスウェイトサイクル数（リード／ライトで独立ウェイト設定可能のエリアあり） アイドルウェイトサイクル設定（同一エリア／別エリア） エリアごとに接続するメモリを指定することによってSRAM、バイト選択付きSRAM、SDRAM、バーストROM（クロック同期／クロック非同期）との直結が可能。また、アドレス／データマルチプレクスI/O（MPX）インタフェースをサポート。 • 該当する領域にチップセレクト信号（CS0～CS5）を出力 （CSアサート／ネゲートタイミングをプログラミングで選択可能） • SDRAMリフレッシュ機能 オートリフレッシュおよびセルフリフレッシュモードをサポート • SDRAMバーストアクセス機能
ダイレクトメモリアクセスコントローラ	• 16チャネル。うち、1チャネルが外部リクエスト可能 • 内蔵周辺モジュールから起動することが可能 • バスの占有率を調整するため、DMA転送の間隔を指定することが可能 • リンク・モード（ディスクリプタによるDMA設定）をサポート • 転送情報を自動的にリロードすることが可能
クロックパルス発振器	• クロックモード：入力クロックを外部入力（EXTALまたはUSB_X1）または水晶発振子から選択可能 • 内蔵PLL回路により入力クロックを最大32逓倍することが可能 • 内蔵SSCG回路によりEMIノイズピークの低減が可能 • 5種類のクロックを生成 CPUクロック（Iφ）：最大400.00MHz 内部バスクロック（Bφ）：最大133.33MHz 周辺クロック1（P1φ）：最大66.67MHz 周辺クロック0（P0φ）：最大33.33MHz
ウォッチドッグタイマ	• 1チャネルのウォッチドッグタイマ • カウンタのオーバフローにより本LSIにリセットをかけることが可能
低消費電力モード	• 本LSIの消費電力を下げるために4種類の低消費電力モードをサポート スリープモード ソフトウェアスタンバイモード ディープスタンバイモード モジュールスタンバイモード

項目	特　　長
マルチファンクション タイマパルスユニット2	• 16ビットタイマ5チャネルをベースに最大16種類のパルス入出力が可能 • 18本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ • インプットキャプチャ機能 • パルス出力モード トグル／PWM／相補PWM／リセット同期PWM • 複数カウンタの同期化機能 • 相補PWM出力モード 3相のインバータ制御用ノンオーバラップ波形を出力 デッドタイム自動設定 PWMデューティを0～100%任意に設定可能 A/D変換要求ディレイド機能 山・谷割り込み間引き機能 • リセット同期PWMモード 任意デューティの正相・逆相PWM波形を3相出力 • 位相計数モード 2相エンコーダ計数処理が可能
OSタイマ	• 2チャネル32ビットカウンタ • 2つの動作モードをサポート インターバルタイマモード フリーランニングコンペアモード • コンペアマッチ時、DMA転送要求または割り込み要求の発生を選択可能
リアルタイムクロック	• 内蔵クロック、カレンダー機能、アラーム機能 • 1/64秒の最大分解能（割り込みサイクル）の内蔵32.768kHz水晶発振器回路
FIFO内蔵シリアル コミュニケーション インタフェース	• 5チャネル • クロック同期式／調歩同期式モードの選択が可能 • 送受信を同時に行うことが可能（全二重） • 専用のボーレートジェネレータ内蔵 • 送受信用FIFOをそれぞれ16バイト内蔵 • モデムコントロール機能 （調歩同期式モード時、チャネル0、1、2）
シリアル コミュニケーション インタフェース	• 2チャネル • クロック同期式／調歩同期式／スマートカードインタフェースの選択が可能 • 送受信を同時に行うことが可能（全二重） • 専用のボーレートジェネレータ内蔵 • LSB/MSBファースト選択可能 • モデムコントロール機能 • IrDA規格1.0に基づくIrDA通信波形のエンコード／デコード可能（チャネル0）
ルネサス シリアルペリフェラル インタフェース	• 3チャネル • SPI動作 • マスタ／スレーブモードをサポート • プログラマブルなビット長、クロック極性、クロック位相選択可能 • 転送をシーケンシャルに実行可能 • MSBファースト／LSBファーストの選択可能 • 最大転送レート：33.33Mbps
SPIマルチI/Oバス コントローラ	• 1チャネル • マルチI/O（Single／Dual／Quad）対応のシリアルフラッシュメモリと2個まで接続可能 • 外部アドレス空間リードモード（リードキャッシュ内蔵） • SPI動作モード • クロック極性、クロック位相選択可能 • MSBファースト／LSBファーストの選択可能 • 最大転送レート： 533.33Mbps（SDR転送、シリアルフラッシュメモリ2個接続時） 1066.66Mbps（DDR転送、シリアルフラッシュメモリ2個接続時)(RZ/A1LUのみ)
I^2Cバスインタフェース	• 4チャネル • マスタモード／スレーブモード内蔵 • 7ビット／10ビットスレーブアドレスフォーマットをサポート • マルチマスタ対応 • タイムアウト検出機能

項目	特　　長
シリアルサウンド インタフェース	• 4チャネルの双方向シリアル転送 • 二重通信可能（チャネル0、1、3） • 多様なシリアルオーディオフォーマットをサポート • マスタ／スレーブ機能をサポート • プログラマブルワードクロック、ビットクロック生成機能 • マルチチャネルフォーマット機能 • 8/16/18/20/22/24/32ビットデータフォーマットをサポート • 送受信用8段FIFOの内蔵 • TDMモードをサポート • SSIWS信号を停止せず動作するWSコンディニュモードをサポート • SCUXモジュールとのダイレクト転送をサポート • サンプリング周波数の切り替わりを検出可能
メディア・ローカル・バス (RZ/A1Lのみ)	• MediaLB Ver2.0に準拠、最大50Mbpsのデータ転送が可能
SCUX	• サンプリングレート変換 非同期／同期のサンプリングレート変換可能 サンプリングレート（同期モード） ※選択可能な組み合わせは使用するチャネル数／レート比に依存します。 入力[KHz]：8、11.025、12、16、22.05、24、32、44.1、48、64、88.2、96から選択可能 出力[KHz]：8、16、24、44.1、48、96から選択可能 サンプリングレート（非同期モード） ※選択可能な組み合わせは使用するチャネル数／レート比に依存します。 入力／出力[KHz]：1～96 データ形式：16ビットまたは24ビット • デジタルボリューム＆ミュート機能 0～8倍（－120～18dB）の範囲でボリューム設定可能 ボリュームランプ機能により、ソフトミュート、フェードイン、フェードアウト可能 ゼロクロスミュート機能により、ゼロクロスするポイントでミュート可能 • ミキサ 2～4系統の入力ソースを1系統にミックス（足し合わせる）可能 足し合わせる比率を動的に設定可能 • シリアルサウンドインターフェースとのダイレクト転送をサポート
CANインタフェース	• 2チャネル • ISO11898-1の仕様に適合 • メッセージバッファ： 最大64×2チャネル受信メッセージバッファ、全チャネルでシェア 1チャネルあたり16送信メッセージバッファ
IEBus™コントローラ (RZ/A1Lのみ)	• IEBus（通信モード1／通信モード2）のプロトコルに準拠 • 実行伝送速度：約18kbps（通信モード1）／約27kbps（通信モード2） • 最大転送バイト数：32バイト／フレーム（通信モード1）、128バイト／フレーム（通信モード2） • 動作クロック8MHz ※周辺クロック0（P0φ）＝32MHz入力が必要
ルネサスSPDIF インタフェース	• IEC60958規格に適合（ステレオ、民生用モードのみ） • サンプリング周波数：32kHz、44.1kHz、48kHz • オーディオワードサイズ：16～24ビット／サンプル • バイフェイズマーク方式エンコード • データのダブルバッファ • パリティ付きシリアルデータ • 同時送受信可能 • 受信モジュールはIEC61937圧縮モードデータを自動検出可能
CD-ROMデコーダ (RZ/A1Lのみ)	• Mode0、Mode1、Mode2、Mode2 Form1、Mode2 Form2の5種類のフォーマットをサポート • 同期コードの検出・保護 （保護：検出できなかったときに自動挿入） • デスクランブル • ECC訂正 P、Q、PQ、QP訂正 PQ、QP訂正は、最大3回まで繰り返し訂正が可能 • EDCチェック ECC前後にチェック • Mode、Formの自動検出 • リンクセクタの自動検出 • バッファリングデータ制御 同期コード以降のCD-ROMデータに対して、デスクランブル、ECC訂正、EDCチェック後のデータを特定フォーマットで転送

項目	特　　長
LIN インタフェース (RZ/A1L のみ)	• LIN プロトコル仕様 Revision1.3、2.0、2.1、2.2 と SAEJ2062 に準拠 • マスタ機能をサポート
イーサネットコントローラ	• イーサネットあるいは IEEE802.3 の MAC(Media Access Control) 層規格に準拠 • MAC 機能 データフレームの組み立て／分解（IEEE802.3, 2000Edition 準拠フレーム形式） 10Mbps、100Mbps 転送に対応 全二重モード対応 IEEE802.3x 準拠のフロー制御が可能。 IEEE802.3 準拠 PHY インタフェース MII（Media Independent Interface）をサポート 上位プロトコルサポート（サムチェック）機能 • E-DMAC（イーサネット専用 DMAC）搭載
EthernetAVB (RZ/A1LU のみ)	• イーサネットあるいは IEEE802.3 の MAC(Media Access Control) 層規格に準拠 • MAC 機能 データフレームの組み立て／分解 (IEEE802.3，2000Edition 準拠フレーム形式） 100Mbps 転送に対応 全二重モード対応 IEEE802.3x 準拠のフロー制御が可能. IEEE802.3 準拠 PHY インタフェース MII（Media Independent Interface）をサポート 上位プロトコルサポート（サムチェック）機能 • AVB-DMAC（EthernetAVB 専用 DMAC）搭載 AVB-DMAC は IEEE802.1BA で制定される IEEE802.1AS (時刻同期プロトコル)、IEEE802.1Qav（リアルタイム転送)、IEEE802.1Qat（帯域予約プロトコル）の 3 つの規格に準拠
USB2.0 ホスト／ ファンクションモジュール	• 2 チャネル • USB2.0 ホストファンクションモジュールバージョン 2.0 準拠 • 480Mbps、12Mbps、および 1.5Mbps の転送レートに対応（ホストモード） • 480Mbps および 12Mbps の転送レートに対応（ファンクションモード） • 通信バッファとして 8K バイトの RAM を内蔵

項目	特　　長
ビデオディスプレイ コントローラ5	• 映像入力インタフェース BT601、BT656フォーマット（NTSC／PAL）入力：入力クロック27MHz／54MHz デジタル端子入力（チャネル0）：YCbCr422、YCbCr444、RGB888、RGB666、RGB565 デジタル端子入力サイズ： 設定可能な入力映像サイズ（注1）　水平1440画素、垂直1024ライン 注1.　接続するデバイスとのAC特性に依存します。 入力映像サイズ例 XGA（1024×768）、SVGA（800×600）、WVGA（800×480）、VGA（640×480）、WQVGA（480×240）、QVGA（320×240、240×320） • 入力映像制御 水平ノイズリダクション(NR)、マトリクス演算によるブライト、ゲイン調整 • スケーリング制御 入力映像に対し、垂直・水平方向に任意倍率にて拡大・縮小処理可能 （拡大はグラフィックスも可能） 拡大率：1～8倍、縮小率：1／8～1倍 補間方法：ホールド補間、リニア補間から選択可能 2D IP変換：TOP／BOTTOMフィールド毎の初期位相指定により2D IP変換可能 • 映像録画 出力ピクセルフォーマット：YCbCr444、YCbCr422、RGB888、RGB565 出力フィールドレート：1／1、1／2、1／4、1／8フィールド 回転機能：YCbCr422、RGB565のとき、水平鏡像、90／180／270度回転可能 保存可能な最大映像サイズ：入力映像の等倍 • 出力映像制御 黒伸張機能：Y信号の状態に応じて黒領域を伸長 エンハンサ機能：Y信号に対し、LTI（トランジェント改善）、シャープネス（輪郭強調） • グラフィックスレイヤ3面（内1面を入力映像と共用） 対応入力ピクセルフォーマット 1bit/pixel：CLUT1、4bit/pixel：CLUT4、8bit/pixel：CLUT8 16bit/pixel：YCbCr422（グラフィックスレイヤ0）、RGB565、ARGB1555、RGBA5551、ARGB4444 32bit/pixel：ARGB8888、RGBA8888、RGB888、YCbCr444（グラフィックスレイヤ0） • 重畳機能 矩形領域アルファブレンド機能：設定した領域にて入力映像、レイヤ1、レイヤ2を透過率αに基づきMixing（フェードイン、フェードアウト機能あり） クロマキー機能：設定したRGB、CULT値にて、透過率αに基づきMixing 画素単位アルファ機能：透過率αに基づき画素単位でMixing • パネル出力制御 パネル出力補正機能：ブライト、コントラスト調整、ガンマ補正、パネルディザ処理 TCON：垂直・垂直パネルドライバ信号7本により、LCDパネル駆動用の各種タイミング出力可能 パネル出力ピクセルフォーマット：RGB888、RGB666、RGB565、シリアルRGB 出力映像サイズ： 設定可能な出力映像サイズ（注1）　水平1999画素、垂直2035ライン 注1.　接続するパネルとのAC特性に依存します。 出力映像サイズ例 XGA（1024×768）、SVGA（800×600）、WVGA（800×480）、VGA（640×480）、WQVGA（480×240）、QVGA（320×240、240×320）
JPEGコーデックユニット (RZ/A1LUのみ)	• JPEGベースラインに準拠（注1）した圧縮伸長方式 注1.　記載の範囲内で準拠 • 演算精度：JPEG Part2、ISO-IEC10918-2準拠 • ピクセルフォーマット 圧縮　：YCbCr422 伸長　：YCbCr444、YCbCr422、YCbCr411、YCbCr420 ただし、出力ピクセルフォーマットはYCbCr422、ARGB8888、RGB565 • 量子化テーブル　：4テーブル内蔵 • ハフマンテーブル　：4テーブル内蔵（AC係数2テーブル、DC係数2テーブル） • 対象マーカ：SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI • 画像データレート：133.33MB/s（66.67MHz動作時）

項目	特　　長
キャプチャエンジン ユニット	• 入力映像サイズ例 5M画素（2560×1920）、3M画素（2048×1536）、2M画素（1632×1224）、UXGA（1600×1200）、SXGA(1)（1280×1024）、SXGA(2)（1280×960）、WXGA（1280×768）、XGA（1024×768）、SVGA（800×600）、WVGA（800×480）、VGA（640×480）、WQVGA（480×240）、QVGA（320×240、240×320） 注.　接続するデバイスとのAC特性、接続するデバイスのフレームレート、および保存するRAMへの転送速度に依存します。 • 入力フォーマット YCbCr422 8ビット、バイナリデータ • メモリ出力フォーマット YCbCr422、YCbCr420 注.　YデータとCbCrデータに分けてメモリに書き込むため、キャプチャしたデータはビデオディスプレイコントローラ5で表示することはできません。
SDホストインタフェース	• 2チャネル • SDメモリ／IOカードインタフェース（1ビット／4ビットSDバス） • エラーチェック機能：CRC7（コマンド）、CRC16（データ） • 割り込み要求：カードアクセス割り込み、SDIOアクセス割り込み、カード検出割り込み • DMA転送要求：SD_BUFライト、SD_BUFリード • カード検出機能、ライトプロテクトサポート
MMCホスト インタフェース	• Multi Media Card（MMC）とのインタフェース • データバス：1ビット／4ビット／8ビットMMCモードに対応 • 割り込み要求：カード検出割り込み、エラー／タイムアウト割り込み、通常動作割り込み • DMA転送要求：CE_DATAライト、CE_DATAリード • カード検出機能サポート
汎用入出力ポート	• 176ピン：入出力 78 本、オープンドレイン出力付き入力 8 本、入力専用 14 本 • 208ピン、233ピン：入出力 100 本、オープンドレイン出力付き入力 8 本、入力専用14本 • 入出力ポートはビットごとに入出力切り替え可能
A/D変換器	• 分解能：12ビット • 入力：8チャネル • 最小変換時間：5.0μs • 外部トリガ／タイマトリガによるA/D変換の起動が可能
デバッグインタフェース	• Arm社のCoreSight™ アーキテクチャ採用 • JTAG標準端子配置
内蔵RAM	• 映像表示／録画、ワーク領域用に3Mバイト(RZ/A1L、RZ/A1LU)あるいは2Mバイト(RZ/A1LC)の大容量メモリを内蔵 （内128Kバイトをデータ保持用と共有） • データ保持用に128Kバイトのメモリを内蔵 （16Kバイト×2面、32Kバイト×1面、64Kバイト×1面）
ブートモード	• 4つのブートモード ブートモード0：CS0空間に接続されたメモリ（バス幅16ビット）からブート ブートモード1：シリアルフラッシュメモリからブート ブートモード2：SDコントローラ内蔵NANDフラッシュメモリからブート ブートモード3：MMCコントローラ内蔵NANDフラッシュメモリからブート
電源電圧	• Vcc：1.10～1.26V、PVcc：3.0～3.6V

項目	特　　長
パッケージ	• PLBG0176KA-A 176 ピン BGA、8mm 角、0.5mm ピッチ JEITA Package Code : P-LFBGA176-8x8-0.50 RENESAS Code : PLBG0176KA-A • PLQP0176KB-A 176 ピン QFP、24mm 角、0.5mm ピッチ JEITA Package Code : P-LFQFP176-24x24-0.50 RENESAS Code : PLQP0176KB-A • PLQP0208KB-A（注1） 208 ピン QFP、28mm 角、0.5mm ピッチ JEITA Package Code : P-LFQFP208-28x28-0.50 RENESAS Code : PLQP0208KB-A • PLQP0208KD-A（注2） 208 ピン QFP、28mm 角、0.5mm ピッチ JEITA Package Code : P-LFQFP208-28x28-0.50 RENESAS Code : PLQP0208KD-A • PRBG0233GA-A 233 ピン BGA、15mm 角、0.8mm ピッチ JEITA Package Code : P-FBGA233-15x15-0.80 RENESAS Code : PRBG0233GA-A 注1.　PLQP0208KB-A : 受注型名 R7S721021VCFP#AA1 注2.　PLQP0208KD-A : 受注型名 R7S721021VCFP#AA2

1.2 製品一覧

表1.2　製品一覧

グループ	型名	温度範囲	品質レベル	パッケージ
RZ/A1L	R7S721020VCBG	-40℃～+85℃	Industry usage etc.	PLBG0176KA-A
	R7S721020VCFP		Industry usage etc.	PLQP0176KB-A
	R7S721020VLFP		Car Accessories	
	R7S721021VCFP		Industry usage etc.	PLQP0208KB-A（注1）
				PLQP0208KD-A（注2）
	R7S721021VLFP		Car Accessories	PLQP0208KB-A
RZ/A1LU	R7S721030VCBG	-40℃～+85℃	Industry usage etc.	PLBG0176KA-A
	R7S721030VCFP		Industry usage etc.	PLQP0176KB-A
	R7S721030VLFP		Car Accessories	
	R7S721031VCFP		Industry usage etc.	PLQP0208KB-A
	R7S721031VLFP		Car Accessories	
	R7S721031VCBG		Industry usage etc.	PRBG0233GA-A
	R7S721031VLBG		Car Accessories	
RZ/A1LC	R7S721034VCBG	-40℃～+85℃	Industry usage etc.	PLBG0176KA-A

注1.　PLQP0208KB-A : 受注型名 R7S721021VCFP#AA1
注2.　PLQP0208KD-A : 受注型名 R7S721021VCFP#AA2

1.3 ブロック図

「5.　LSI 内部バス」を参照してください。

1.4　ピン配置図

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
A	Vss	Vcc	P5_2	P5_0	P4_5	P4_3	Vss	Vss	DM0	DP1	Vss	USB_X1	P2_8	P3_15	Vss	A
B	P5_3	Vss	Vcc	P5_1	P4_6	P4_4	P4_1	REFRIN	DP0	DM1	USB_X2	P2_9	P2_6	Vss	P1_7	B
C	P5_6	P5_4	Vss	Vcc	P4_7	P4_2	P4_0	USBAVcc	VBUS0	VBUS1	Vss	P2_7	Vss	P1_6	P1_5	C
D	P5_7	P5_5	P5_8	PVcc	Vcc	Vcc	Vcc	Vss	Vss	USBAPVcc	PVcc	Vss	PVcc	P1_4	P1_3	D
E	P5_10	P5_11	P5_9	PVcc								PVcc	P1_2	P1_0	P1_1	E
F	P5_15	P5_12	P5_14	P5_13								PVcc	P3_14	P3_13	P3_12	F
G	P6_2	P6_1	P6_0	Vss								P3_8	P3_9	P3_11	P3_10	G
H	P6_5	P6_4	P6_3	Vss								Vss	P3_6	P3_7	P3_5	H
J	P6_7	P6_9	P6_8	P6_6								Vss	P3_2	P3_4	P3_3	J
K	P6_10	P6_11	P6_12	PVcc								P3_1	P3_0	TCK	Vss	K
L	Vss	P6_13	P6_15	PVcc								TMS	$\overline{\text{TRST}}$	JP0_1	JP0_0	L
M	CKIO	P6_14	P7_1	Vss	PVcc	P0_3	P0_0	P0_2	PLLVcc	PVcc	PVcc	Vcc	P2_5	P2_4	Vss	M
N	P7_2	P7_0	Vss	P7_5	P7_8	P7_11	P0_1	Vss	NMI	P1_9	P1_11	P1_14	Vcc	BSCANP	AUDIO_X2	N
P	PVcc	Vss	P7_3	P7_6	P7_10	P2_0	P2_2	RTC_X1	XTAL	P1_8	P1_13	P1_12	AVcc	Vcc	AUDIO_X1	P
R	Vss	P7_4	Vss	P7_7	P7_9	P2_1	P2_3	RTC_X2	EXTAL	$\overline{\text{RES}}$	P1_10	P1_15	AVss	AVref	Vcc	R
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	

図 1.1　176 ピン BGA 版ピン配置図（上面透視図）

図 1.2　176 ピン QFP 版ピン配置図（上面図）

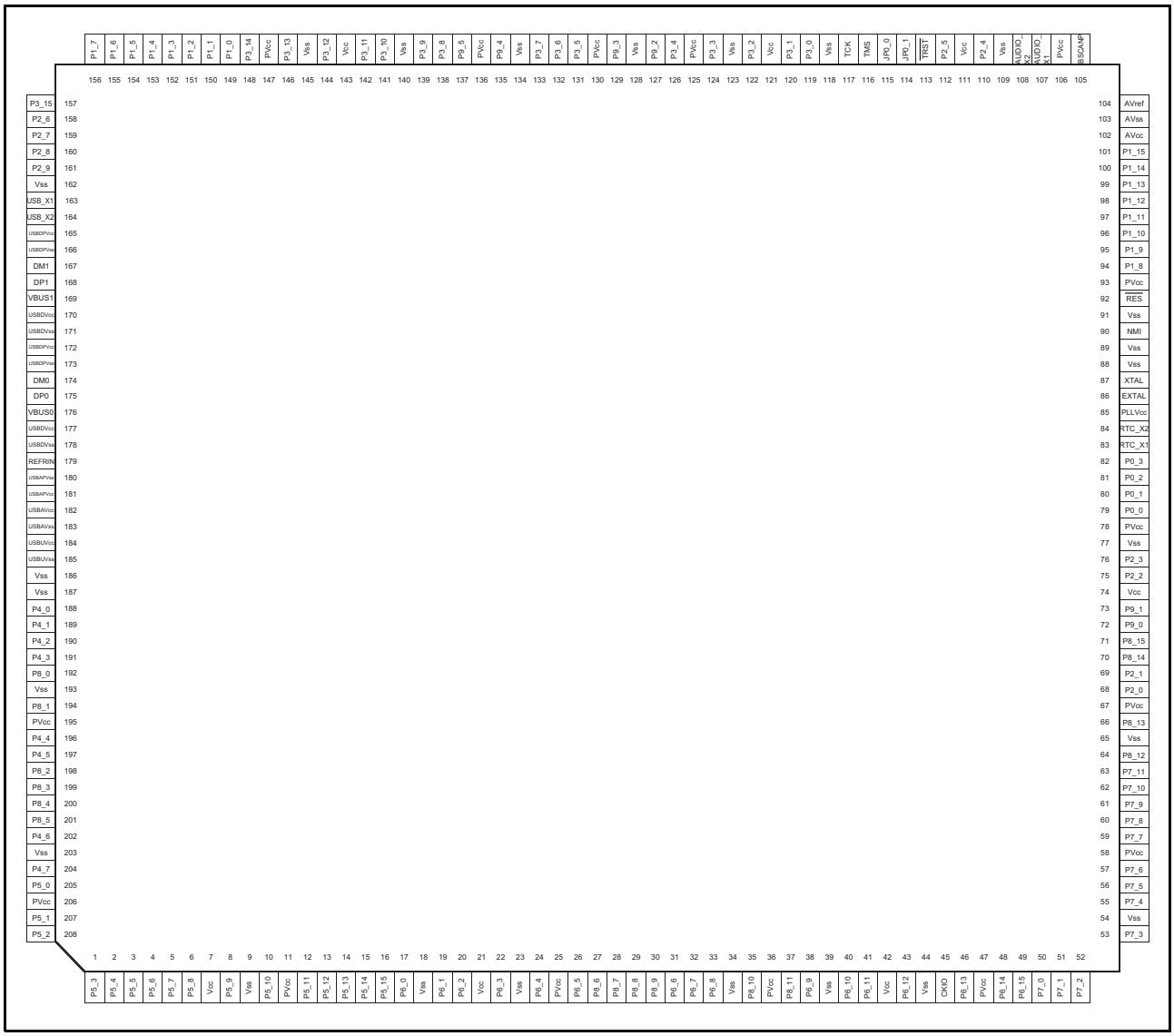


図 1.3　208 ピン QFP 版ピン配置図（上面図）

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	
A	Vss	Vcc	P5_2	P5_0	P4_6	P4_5	Vss	P4_2	P4_0	Vss	DM0	DP1	Vss	USB_X1	P2_6	P3_15	Vss	A
B	P5_3	Vss	Vcc	P5_1	P8_5	P8_2	P8_1	P4_3	VSS	REFRIN	DP0	DM1	USB_X2	P2_8	P2_7	Vss	PVcc	B
C	P5_7	P5_4	Vss	Vcc	P4_7	P8_4	P4_4	P8_0	P4_1	USBAVcc	VBUS0	VBUS1	PVcc	P2_9	Vss	PVcc	P1_7	C
D	P5_10	P5_8	P5_6	Vss	Vcc	Vcc	P8_3	PVcc	PVcc	Vss	Vss	USBAPVcc	Vss	Vss	PVcc	P1_6	P1_5	D
E	P5_12	P5_11	P5_9	P5_5										PVcc	P1_4	P1_3	P1_2	E
F	P5_15	P5_14	P5_13	PVcc										PVcc	P1_1	P1_0	P3_14	F
G	P6_1	P6_2	P6_0	PVcc			VSS	VSS	VSS	VSS	VSS			P3_10	P3_13	P3_12	P3_11	G
H	P6_5	P6_4	P6_3	Vcc			VSS	VSS	VSS	VSS	VSS			P3_9	P3_8	P9_5	P9_4	H
J	P8_8	P8_7	P8_6	Vcc			VSS	VSS	VSS	VSS	VSS			Vcc	P3_6	P3_7	Vss	J
K	P8_9	P6_6	P6_7	P6_8			VSS	VSS	VSS	VSS	VSS			Vcc	P9_3	P3_5	P9_2	K
L	P8_10	P8_11	P6_9	PVcc			VSS	VSS	VSS	VSS	VSS			Vcc	P3_2	P3_4	Vss	L
M	Vss	P6_11	P6_10	PVcc										$\overline{\text{TRST}}$	TMS	P3_1	P3_3	M
N	CKIO	P6_12	P6_13	PVcc										BSCANP	JP0_1	TCK	P3_0	N
P	PVcc	P6_14	P7_1	Vss	P7_3	P7_9	P7_11	PVcc	PVcc	PLLVcc	Vss	PVcc	PVcc	Vcc	P2_4	JP0_0	Vss	P
R	P6_15	P7_0	Vss	P7_5	P7_7	P8_13	P8_15	P2_2	P0_0	P0_3	NMI	P1_10	P1_14	P1_15	Vcc	P2_5	AUDIO_X2	R
T	P7_2	Vss	P7_6	P7_8	P8_12	P2_1	P9_0	P2_3	RTC_X1	P0_2	XTAL	P1_8	P1_11	P1_13	AVcc	Vcc	AUDIO_X1	T
U	Vss	P7_4	Vss	P7_10	P2_0	P8_14	P9_1	P0_1	RTC_X2	Vss	EXTAL	$\overline{\text{RES}}$	P1_9	P1_12	AVss	AVref	Vcc	U
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	

図 1.4　　233 ピン BGA 版ピン配置図（上面透視図）

1.5 端子機能

表1.3　端子機能

分類	端子名	入出力	名称	機能
電源	Vcc	入力	電源	電源端子です。すべてのVcc端子をシステムの電源に接続してください。開放端子があると動作しません。
	Vss	入力	グランド	グランド端子です。すべてのVss端子をシステム電源（0V）に接続してください。開放端子があると動作しません。
	PVcc	入力	入出力回路用電源	入出力端子用の電源端子です。すべてのPVcc端子をシステムの電源に接続してください。開放端子があると動作しません。
	PLLVcc	入力	PLL用電源	内蔵PLL発振器用の電源です。
クロック	EXTAL	入力	外部クロック	水晶発振子を接続します。また、EXTAL端子は外部クロックを入力することもできます。
	XTAL	出力	クリスタル	水晶発振子を接続します。
	CKIO	出力	システムクロック出力	外部デバイスにシステムクロックを供給します。
	AUDIO_CLK	入力	オーディオ用外部クロック	オーディオ用外部クロックを入力します。AUDIO_X1、AUDIO_X2の発振クロックと選択して分周器に入力します。
	AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック	オーディオ用水晶発振子を接続します。また、AUDIO_X1端子は外部クロックを入力することもできます。AUDIO_CLK入力クロックと選択して分周器に入力します。
	AUDIO_X2	出力		
	AUDIO_XOUT	出力	AUDIO_X1クロック出力	AUDIO_X1端子の内蔵水晶発振器の出力または外部クロック入力を出力します。
	AUDIO_XOUT2	出力	AUDIO_X1 2分周クロック出力	AUDIO_X1端子の内蔵水晶発振器の出力または外部クロック入力を2分周したクロックを出力します。
	AUDIO_XOUT3	出力	AUDIO_X1 3分周クロック出力	AUDIO_X1端子の内蔵水晶発振器の出力または外部クロック入力を3分周したクロックを出力します。
動作モードコントロール	MD_BOOT1、MD_BOOT0	入力	モード設定	動作モードを設定します。$\overline{\text{RES}}$端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	MD_CLK	入力	クロックモード設定	クロック動作モードを設定します。$\overline{\text{RES}}$端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	MD_CLKS	入力	SSCGクロックモード設定	SSCG回路動作のON、OFFを設定します。$\overline{\text{RES}}$端子アサート中およびネゲート後モードが確定するまでは、変化させないでください。
	BSCANP	入力	バウンダリスキャン設定	バウンダリスキャン設定端子です。バウンダリスキャン時はハイレベル、通常動作時はローレベルに固定してください。
システム制御	$\overline{\text{RES}}$	入力	パワーオンリセット	この端子がローレベルになると、パワーオンリセット状態になります。
	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマオーバフロー	ウォッチドッグタイマからのオーバフロー出力信号です。
割り込み	NMI	入力	ノンマスカブル割り込み	ノンマスカブル割り込み要求端子です。FIQ例外として受け付けられます。使用しない場合はハイレベルに固定してください。
	IRQ7～IRQ0	入力	割り込み要求7～0	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。エッジ入力の場合、立ち上がり、立ち下がり、両エッジの選択が可能です。

分類	端子名	入出力	名称	機　　能
割り込み	TINT121～TINT0	入力	割り込み要求121～0	マスク可能な割り込み要求端子です。 ハイレベル入力、立ち上がりエッジ入力の選択が可能です。
アドレスバス	A25～A0	出力	アドレスバス	アドレスを出力します。
データバス	D31～D0	入出力	データバス	双方向のデータバスです。
バス制御	$\overline{CS5}$～$\overline{CS0}$	出力	チップセレクト5～0	外部メモリまたはデバイスのためのチップセレクト信号です。
	$\overline{RD}$	出力	読み出し	外部のデバイスから読み出すことを示します。
	RD/$\overline{WR}$	出力	リード／ライト	リード信号またはライト信号です。
	$\overline{BS}$	出力	バス開始	バスサイクル開始信号です。
	$\overline{AH}$	出力	アドレスホールド	マルチプレクスI/O時のアドレスをホールドするための信号です。
	$\overline{WAIT}$	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
	$\overline{WE0}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット7～0に書き込みすることを示します。
	$\overline{WE1}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット15～8に書き込みすることを示します。
	$\overline{WE2}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット23～16に書き込みすることを示します。
	$\overline{WE3}$	出力	バイト指定	外部メモリまたはデバイスのデータのビット31～24に書き込みすることを示します。
	DQMLL	出力	バイト指定	SDRAM接続時、D7～D0を選択します。
	DQMLU	出力	バイト指定	SDRAM接続時、D15～D8を選択します。
	DQMUL	出力	バイト指定	SDRAM接続時、D23～D16を選択します。
	DQMUU	出力	バイト指定	SDRAM接続時、D31～D24を選択します。
	$\overline{RAS}$	出力	RAS	SDRAM接続時に$\overline{RAS}$端子に接続します。
	$\overline{CAS}$	出力	CAS	SDRAM接続時に$\overline{CAS}$端子に接続します。
	CKE	出力	CKイネーブル	SDRAM接続時にCKE端子に接続します。
ダイレクトメモリアクセスコントローラ	DREQ0	入力	DMA転送要求	外部からのDMA転送要求の入力端子です。
	DACK0	出力	DMA転送要求受け付け	外部からのDMA転送要求に対する、要求受け付け出力端子です。
	TEND0	出力	DMA転送終了出力	DMA転送終了出力信号です。
マルチファンクションタイマパルスユニット2	TCLKA、TCLKB、TCLKC、TCLKD	入力	タイマクロック入力	タイマの外部クロック入力端子です。
	TIOC0A、TIOC0B、TIOC0C、TIOC0D 【注】TIOC0B端子は176ピンパッケージには存在しません。	入出力	インプットキャプチャ／アウトプットコンペア（チャネル0）	TGRA_0～TGRD_0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	TIOC1A、TIOC1B	入出力	インプットキャプチャ／アウトプットコンペア（チャネル1）	TGRA_1、TGRB_1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	TIOC2A、TIOC2B	入出力	インプットキャプチャ／アウトプットコンペア（チャネル2）	TGRA_2、TGRB_2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。

分類	端子名	入出力	名称	機　　能
マルチファンクションタイマパルスユニット2	TIOC3A、TIOC3B、TIOC3C、TIOC3D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル3）	TGRA_3～TGRD_3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
	TIOC4A、TIOC4B、TIOC4C、TIOC4D	入出力	インプットキャプチャ／アウトプットコンペア（チャネル4）	TGRA_4～TGRD_4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子です。
リアルタイムクロック	RTC_X1	入力	リアルタイムクロック用水晶発振子／外部クロック	32.768kHzの水晶発振子を接続します。 また、RTC_X1端子は外部クロックを入力することもできます。
	RTC_X2	出力		
FIFO内蔵シリアルコミュニケーションインタフェース	TxD4～TxD0	出力	送信データ	データ出力端子です。
	RxD4～RxD0	入力	受信データ	データ入力端子です。
	SCK4～SCK0	入出力	シリアルクロック	クロック入出力端子です。
	$\overline{\text{RTS2}}$、$\overline{\text{RTS1}}$、$\overline{\text{RTS0}}$	入出力	送信要求	モデムコントロール端子です。
	$\overline{\text{CTS2}}$、$\overline{\text{CTS1}}$、$\overline{\text{CTS0}}$	入出力	送信可	モデムコントロール端子です。
シリアルコミュニケーションインタフェース	SCI_SCK1、SCI_SCK0	入出力	シリアルクロック	クロック入出力端子です。
	SCI_TXD1、SCI_TXD0	出力	送信データ	データ出力端子です。
	SCI_RXD1、SCI_RXD0	入力	受信データ	データ入力端子です。
	$\overline{\text{SCI_CTS1}}$/$\overline{\text{RTS1}}$、SCI_CTS0/$\overline{\text{RTS0}}$	入出力	送受信開始制御	送受信開始制御用入出力端子です。
ルネサスシリアルペリフェラルインタフェース	MOSI2～MOSI0	入出力	データ	データ入出力端子です。
	MISO2～MISO0	入出力	データ	データ入出力端子です。
	RSPCK2～RSPCK0	入出力	クロック	クロック入出力端子です。
	SSL20、SSL10、SSL00	入出力	スレーブセレクト	スレーブセレクト入出力端子です。
SPIマルチI/Oバスコントローラ	SPBCLK_0	出力	クロック	クロック出力端子です。
	SPBSSL_0	出力	スレーブセレクト	スレーブセレクト出力端子です。
	SPBMO0_0/SPBIO00_0、SPBMI0_0/SPBIO10_0、SPBIO20_0、SPBIO30_0 SPBMO1_0/SPBIO01_0、SPBMI1_0/SPBIO11_0、SPBIO21_0、SPBIO31_0	入出力	データ	データ入出力端子です。
I^2Cバスインタフェース	RIIC3SCL～RIIC0SCL	入出力	シリアルクロック端子	シリアルクロック入出力端子です。
	RIIC3SDA～RIIC0SDA	入出力	シリアルデータ端子	シリアルデータ入出力端子です。
シリアルサウンドインタフェース	SSITxD3、SSITxD1、SSITxD0	出力	データ出力	シリアルデータ出力端子です。
	SSIRxD3、SSIRxD1、SSIRxD0	入力	データ入力	シリアルデータ入力端子です。
	SSIDATA2	入出力	データ入出力	シリアルデータ入出力端子です。
	SSISCK3～SSISCK0	入出力	クロック入出力	シリアルクロック入出力端子です。
	SSIWS3～SSIWS0	入出力	クロックLR入出力	ワード選択入出力端子です。
メディア・ローカル・バス(RZ/A1Lのみ)	MLB_CLK	入力	クロック入力	MediaLBクロック入力端子です。
	MLB_SIG	入出力	信号情報入出力	MediaLB信号情報入出力端子です。
	MLB_DAT	入出力	データ入出力	MediaLBデータ入出力端子です。

分類	端子名	入出力	名称	機　　能
CAN インタフェース	CAN_CLK	入力	CAN通信用 クロックソース	CAN通信用のクロック源です。
	CAN1TX、CAN0TX	出力	CANバス 送信データ	CANバスの送信用端子です。
	CAN1RX、CAN0RX	入力	CANバス 受信データ	CANバスの受信用端子です。
IEBus™ コントローラ (RZ/A1Lのみ)	IETxD	出力	IEBus™ コントローラ 送信データ	IEBus™コントローラの送信データ出力端子です。
	IERxD	入力	IEBus™ コントローラ 受信データ	IEBus™コントローラの受信データ入力端子です。
ルネサスSPDIF インタフェース	SPDIF_OUT	出力	出力データ	送信データ出力端子です。
	SPDIF_IN	入力	入力データ	受信データ入力端子です。
LIN インタフェース (RZ/A1Lのみ)	RLIN30TX	出力	出力データ	送信データ出力端子です。
	RLIN30RX	入力	入力データ	受信データ入力端子です。
イーサネット コントローラ EthernetAVB(RZ/A1LUのみ) 【注】イーサネットコントローラとEthernetAVBの端子機能切り替えは「41.　汎用入出力ポート」を参照してください。	ET_TXCLK	入力	送信クロック	送信用クロック端子です。
	ET_TXEN	出力	送信イネーブル	送信用データイネーブル端子です。
	ET_TXD3～ET_TXD0	出力	送信データ	MII送信データ端子です。
	ET_COL	入力	衝突検出	衝突検出端子です。
	ET_TXER	出力	送信エラー	送信エラー出力端子です。
	ET_RXCLK	入力	受信クロック	受信用クロック端子です。
	ET_RXDV	入力	受信イネーブル	受信用データイネーブル端子です。
	ET_RXD3～ET_RXD0	入力	受信データ	MII受信データ端子です。
	ET_RXER	入力	受信エラー	受信エラー入力端子です。
	ET_CRS	入力	キャリア検出	キャリア検出端子です。
	ET_MDC	出力	管理用データ クロック	MDIOによる情報転送用クロック端子です。
	ET_MDIO	入出力	管理用データ 入出力	管理情報を交換するための双方向端子です。
EthernetAVB (RZ/A1LUのみ)	AVB_CAPTURE	入力	タイマキャプチャ	AVTPプレゼンテーションタイマのキャプチャ用入力端子です。
	AVB_GPTP_EXTERN	入力	gPTPタイマ 外部クロック	gPTPタイマ用外部クロック端子です。

分類	端子名	入出力	名称	機　　能
USB2.0ホスト／ファンクションモジュール	DP1、DP0	入出力	USB2.0ホスト／ファンクションモジュールD+データ	USB2.0ホスト／ファンクションモジュールバスのD+データです。
	DM1、DM0	入出力	USB2.0ホスト／ファンクションモジュールD-データ	USB2.0ホスト／ファンクションモジュールバスのD-データです。
	VBUS1、VBUS0	入力	VBUS入力	USB2.0ホスト／ファンクションモジュールバスのVbusに接続してください。
	REFRIN	入力	リファレンス入力	5.6kΩ±1%抵抗を介してUSBAPVssに接続してください。（QFPパッケージ） 5.6kΩ±1%の抵抗を介してVssに接続してください。（BGAパッケージ）
	USB_X1	入力	USB2.0ホスト／ファンクションモジュール用水晶発振子／外部クロック	USB2.0ホスト／ファンクションモジュール用水晶発振子を接続します。またUSB_X1端子は外部クロックを入力することもできます。
	USB_X2	出力		
	USBAPVcc	入力	トランシーバ部アナログ端子電源	端子用電源です。
	USBAPVss 【注】BGAパッケージには存在しません。	入力	トランシーバ部アナログ端子グランド	端子用グランドです。
	USBDPVcc 【注】BGAパッケージには存在しません。	入力	トランシーバ部デジタル端子電源	端子用電源です。
	USBDPVss 【注】BGAパッケージには存在しません。	入力	トランシーバ部デジタル端子グランド	端子用グランドです。
	USBAVcc	入力	トランシーバ部アナログコア電源	コア用電源です。
	USBAVss 【注】BGAパッケージには存在しません。	入力	トランシーバ部アナログコアグランド	コア用グランドです。
	USBDVcc 【注】BGAパッケージには存在しません。	入力	トランシーバ部デジタルコア電源	コア用電源です。
	USBDVss 【注】BGAパッケージには存在しません。	入力	トランシーバ部デジタルコアグランド	コア用グランドです。
	USBUVcc 【注】BGAパッケージには存在しません。	入力	USB2.0ホスト／ファンクションモジュール480MHz用電源	480MHz動作部電源です。
	USBUVss 【注】BGAパッケージには存在しません。	入力	USB2.0ホスト／ファンクションモジュール480MHz用グランド	480MHz動作部グランドです。

分類	端子名	入出力	名称	機　　能
ビデオ ディスプレイ コントローラ5	LCD0_DATA23～LCD0_DATA0	出力	出力データ	パネル用データ出力端子です。
	LCD0_TCON6～LCD0_TCON0	出力	パネルタイミング調整出力	パネルのタイミング調整用出力端子です。
	LCD0_CLK	出力	パネルクロック	パネルクロック出力端子です。
	LCD0_EXTCLK	入力	パネルクロックソース	パネルクロックソース入力端子です。
	DV0_DATA23 ～ DV0_DATA0	入力	入力データ	グラフィックスデータ入力端子です。
	DV0_VSYNC	入力	VSYNC入力	VSYNC入力端子です。
	DV0_HSYNC	入力	HSYNC入力	HSYNC入力端子です。
	DV0_CLK	入力	入力クロック	グラフィックスデータのクロック入力端子です。
キャプチャエンジンユニット	VIO_D7～VIO_D0	入力	入力データ	グラフィックスデータ入力端子です。
	VIO_CLK	入力	入力クロック	グラフィックスデータのクロック入力端子です。
	VIO_VD	入力	VSYNC入力	VSYNC入力端子です。
	VIO_HD	入力	HSYNC入力	HSYNC入力端子です。
	VIO_FLD	入力	FIELD入力	FIELD情報の入力端子です。
SDホスト インタフェース	SD_CLK_0 SD_CLK_1	出力	SDクロック	SDクロック出力端子です。
	SD_CMD_0 SD_CMD_1	入出力	SDコマンド	SDコマンド出力、レスポンス入力信号です。
	SD_D3_0～SD_D0_0 SD_D3_1～SD_D0_1	入出力	SDデータ	SDデータバス信号です。
	SD_CD_0 SD_CD_1	入力	SDカード検出	SDカード検出です。
	SD_WP_0 SD_WP_1	入力	SDライトプロテクト	SDライトプロテクト信号です。
MMCホスト インタフェース	MMC_CLK	出力	MMCクロック	MMCクロック出力端子です。
	MMC_CMD	入出力	MMCコマンド	MMCコマンド出力、レスポンス入力信号です。
	MMC_D7～MMC_D0	入出力	MMCデータ	MMCデータバス信号です。
	MMC_CD	入力	MMCカード検出	MMCカード検出です。
A/D変換器	AN7～AN0	入力	アナログ入力端子	アナログ入力端子です。
	$\overline{\text{ADTRG}}$	入力	A/D変換トリガ入力	A/D変換開始のための外部トリガ入力端子です。
	AVcc	入力	アナログ電源	A/D変換器の電源端子です。
	AVss	入力	アナロググランド	A/D変換器のグランド端子です。
	AVref	入力	アナログ基準電圧	A/D変換器の基準電圧端子です。
汎用入出力 ポート	P2_0～P2_9、 P3_0～P3_15、 P4_0～P4_7、 P5_0～P5_15、 P6_0～P6_15、 P7_0～P7_11、 P8_0～P8_15 （208ピンと233ピンのみ）、 P9_0～P9_5 （208ピンと233ピンのみ）	入出力	汎用ポート	176ピンは78本、208ピン、233ピンは100本の汎用入出力ポート端子です。
	P1_0～P1_7	入出力	汎用ポート	8本のオープンドレイン出力付き入力ポート端子です。
	JP0_0、JP0_1、 P0_0～P0_3、 P1_8～P1_15	入力	汎用ポート	14本の汎用入力ポート端子です。

分類	端子名	入出力	名称	機　　能
デバッグ インタフェース	TCK/SWDCLK	入力	テストクロック	テストクロック入力端子です。 シリアルワイヤデバッグ用入力クロック端子と共用します。
	TMS/SWDIO	入力／ 入出力	テストモード セレクト	テストモードセレクト信号入力端子です。 シリアルワイヤデバッグ用入出力データ端子と共用します。
	TDI	入力	テストデータ 入力	インストラクションとデータのシリアル入力端子です。
	TDO	出力	テストデータ 出力	インストラクションとデータのシリアル出力端子です。
	$\overline{\text{TRST}}$	入力	テストリセット	初期化信号入力端子です。 【注】 CoreSightデバッグモード時、$\overline{\text{RES}}$端子がハイレベル状態で、TRST端子をネゲートしないでください。
	TRACEDATA3～TRACEDATA0	出力	データ出力	トレースデータ出力端子です。
	TRACECLK	出力	クロック出力	トレースクロック出力端子です。
	TRACECTL	出力	イネーブル出力	トレースイネーブル出力端子です。

1.6 端子一覧

表1.4 端子一覧

176 QFP	176 BGA	208 QFP	233 BGA	ポート機能/専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		機能8		簡易回路図
No.	No.	No.	No.	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	図1.5
1	B1	1	B1	P5_3	I(s)/O	—	—	D3	I(s)/O	MMC_D7	I(s)/O	ET_TXD3	O	DV0_DATA19	I(s)	LCD0_TCON3	O	—	—	—	—	—	—	(8)
2	C2	2	C2	P5_4	I(s)/O	—	—	D4	I(s)/O	RSPCK2	I(s)/O	SSISCK1	I(s)/O	DV0_DATA20	I(s)	—	—	—	—	—	—	—	—	(8)
3	D2	3	E4	P5_5	I(s)/O	—	—	D5	I(s)/O	SSL20	I(s)/O	SSIWS1	I(s)/O	DV0_DATA21	I(s)	—	—	—	—	—	—	—	—	(8)
4	C1	4	D3	P5_6	I(s)/O	—	—	D6	I(s)/O	MOSI2	I(s)/O	SSITxD1	O	DV0_DATA22	I(s)	SCK2	I(s)/O	—	—	—	—	—	—	(8)
5	D1	5	C1	P5_7	I(s)/O	—	—	D7	I(s)/O	MISO2	I(s)/O	SSIRxD1	I(s)	DV0_DATA23	I(s)	TxD2	O	—	—	—	—	—	—	(8)
6	D3	6	D2	P5_8	I(s)/O	—	—	D8	I(s)/O	CAN0RX	I(s)	TIOC4A	I(s)/O	IRQ3	I(s)	—	—	—	—	—	—	—	—	(8)
7	—	7	—	Vcc																				
8	E3	8	E3	P5_9	I(s)/O	—	—	D9	I(s)/O	CAN0TX	O	TIOC4B	I(s)/O	IRQ4	I(s)	—	—	—	—	—	—	—	—	(8)
9	—	9	—	Vss																				
10	E1	10	D1	P5_10	I(s)/O	—	—	D10	I(s)/O	IERxD注3	I(s)	TIOC4C	I(s)/O	IRQ5	I(s)	—	—	—	—	—	—	—	—	(8)
11	—	11	—	PVcc																				
12	E2	12	E2	P5_11	I(s)/O	—	—	D11	I(s)/O	IETxD注3	O	TIOC4D	I(s)/O	IRQ6	I(s)	—	—	—	—	—	—	—	—	(8)
13	F2	13	E1	P5_12	I(s)/O	—	—	D12	I(s)/O	SSISCK2	I(s)/O	SCK4	I(s)/O	AUDIO_XOUT2	O	—	—	—	—	—	—	—	—	(8)
14	F4	14	F3	P5_13	I(s)/O	—	—	D13	I(s)/O	SSIWS2	I(s)/O	AUDIO_XOUT	O	AUDIO_XOUT3	O	—	—	—	—	—	—	—	—	(8)
15	F3	15	F2	P5_14	I(s)/O	—	—	D14	I(s)/O	SSIDATA2	I(s)/O	RxD4	I(s)	TIOC2A	I(s)/O	—	—	—	—	—	—	—	—	(8)
16	F1	16	F1	P5_15	I(s)/O	—	—	D15	I(s)/O	SD_WP_1	I(s)	TxD4	O	—	—	—	—	—	—	—	—	—	—	(8)
17	G3	17	G3	P6_0	I(s)/O	—	—	D16	I(s)/O	LCD0_DATA8	O	RSPCK0	I(s)/O	TCLKA	I(s)	$\overline{\text{WDTOVF}}$	O	—	—	—	—	—	—	(8)
18	—	18	—	Vss																				
19	G2	19	G1	P6_1	I(s)/O	—	—	D17	I(s)/O	LCD0_DATA9	O	SSL00	I(s)/O	TCLKB	I(s)	—	—	—	—	—	—	—	—	(8)
20	G1	20	G2	P6_2	I(s)/O	—	—	D18	I(s)/O	LCD0_DATA10	O	MOSI0	I(s)/O	TCLKC	I(s)	—	—	—	—	—	—	—	—	(8)
21	—	21	—	Vcc																				
22	H3	22	H3	P6_3	I(s)/O	—	—	D19	I(s)/O	LCD0_DATA11	O	MISO0	I(s)/O	TCLKD	I(s)	—	—	—	—	—	—	—	—	(8)
23	—	23	—	Vss																				
24	H2	24	H2	P6_4	I(s)/O	—	—	D20	I(s)/O	LCD0_DATA12	O	SSISCK3	I(s)/O	MLB_CLK注1	I(s)	—	—	—	—	—	—	—	—	(8)
														AVB_CAPTURE注2	I(s)									
25	—	25	—	PVcc																				
26	H1	26	H1	P6_5	I(s)/O	—	—	D21	I(s)/O	LCD0_DATA13	O	SSIWS3	I(s)/O	MLB_SIG注1	I(s)/O	—	—	—	—	—	—	—	—	(8)
														AVB_GPTP_EXTERN注2	I(s)									
—	—	27	J3	P8_6	I(s)/O	—	—	LCD0_DATA6	O	ET_TXEN	O	IRQ6	I(s)	CTS1	I(s)/O	TIOC0C	I(s)/O	—	—	—	—	—	—	(7)
—	—	28	J2	P8_7	I(s)/O	—	—	LCD0_DATA7	O	ET_RXD0	I(s)	IRQ7	I(s)	RTS1	I(s)/O	TIOC0D	I(s)/O	—	—	—	—	—	—	(7)
—	—	29	J1	P8_8	I(s)/O	—	—	LCD0_TCON0	O	ET_RXD1	I(s)	AUDIO_XOUT	O	SCK2	I(s)/O	AUDIO_XOUT3	O	—	—	—	—	—	—	(7)
—	—	30	K1	P8_9	I(s)/O	—	—	LCD0_TCON1	O	ET_RXD2	I(s)	CAN1TX	O	RxD2	I(s)	AUDIO_XOUT2	O	—	—	—	—	—	—	(7)
27	J4	31	K2	P6_6	I(s)/O	—	—	D22	I(s)/O	LCD0_DATA14	O	SSITxD3	O	MLB_DAT注3	I(s)/O	—	—	—	—	—	—	—	—	(8)
28	J1	32	K3	P6_7	I(s)/O	—	—	D23	I(s)/O	LCD0_DATA15	O	SSIRxD3	I(s)	IRQ0	I(s)	TIOC3A	I(s)/O	RLIN30 RX注3	I(s)	—	—	TRACE DATA0注4	O	(8)
29	J3	33	K4	P6_8	I(s)/O	—	—	D24	I(s)/O	LCD0_DATA16	O	SSISCK0	I(s)/O	IRQ1	I(s)	TIOC3B	I(s)/O	RLIN30 TX注3	O	—	—	TRACE DATA1注4	O	(8)
—	—	34	—	Vss																				
—	—	35	L1	P8_10	I(s)/O	—	—	LCD0_TCON2	O	ET_RXD3	I(s)	CAN1RX	I(s)	TxD2	O	—	—	—	—	—	—	—	—	(7)
—	—	36	—	PVcc																				
—	—	37	L2	P8_11	I(s)/O	—	—	LCD0_TCON3	O	—	—	SSISCK2	I(s)/O	SCK4	I(s)/O	—	—	—	—	—	—	—	—	(7)
30	J2	38	L3	P6_9	I(s)/O	—	—	D25	I(s)/O	LCD0_DATA17	O	SSIWS0	I(s)/O	IRQ2	I(s)	TIOC3C	I(s)/O	—	—	—	—	TRACE DATA2注4	O	(8)
31	—	39	—	Vss																				

表 1.4　端子一覧

176 QFP	176 BGA	208 QFP	233 BGA	ポート機能/専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		機能8		簡易回路図
No.	No.	No.	No.	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	図 1.5
32	K1	40	M3	P6_10	I(s)/O	–	–	D26	I(s)/O	LCD0_DATA18	O	SSITxD0	O	IRQ3	I(s)	TIOC3D	I(s)/O	CAN1TX	O	–	–	TRACEDATA3 注4	O	(8)
33	K2	41	M2	P6_11	I(s)/O	–	–	D27	I(s)/O	LCD0_DATA19	O	SSIRxD0	I(s)	SSI DATA2	I(s)/O	SCK0	I(s)/O	CAN1RX	I(s)	–	–	TRACECTL 注4	O	(8)
34	–	42	–	Vcc																				
35	K3	43	N2	P6_12	I(s)/O	–	–	D28	I(s)/O	LCD0_DATA20	O	RSPCK1	I(s)/O	SSI SCK2	I(s)/O	RTS0	I(s)/O	DV0_DATA0	I(s)	–	–	–	–	(8)
36	–	44	–	Vss																				
37	M1	45	N1	CKIO	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(5)
38	L2	46	N3	P6_13	I(s)/O	–	–	D29	I(s)/O	LCD0_DATA21	O	SSL10	I(s)/O	SSI WS2	I(s)/O	CTS0	I(s)/O	DV0_DATA1	I(s)	–	–	–	–	(8)
39	–	47	–	PVcc																				
40	M2	48	P2	P6_14	I(s)/O	–	–	D30	I(s)/O	LCD0_DATA22	O	MOSI1	I(s)/O	SSI DATA2	I(s)/O	RxD0	I(s)	DV0_DATA2	I(s)	–	–	–	–	(8)
41	L3	49	R1	P6_15	I(s)/O	–	–	D31	I(s)/O	LCD0_DATA23	O	MISO1	I(s)/O	–	–	TxD0	O	DV0_DATA3	I(s)	–	–	–	–	(8)
42	N2	50	R2	P7_0	I(s)/O	–	–	LCD0_EXTCLK	I(s)	MMC_CD	I(s)	SD_CD_1	I(s)	SPDIF_OUT	O	TIOC2A	I(s)/O	DV0_DATA4	I(s)	SCI_SCK0	I(s)/O	TRACECLK 注4	O	(7)
43	M3	51	P3	P7_1	I(s)/O	–	–	CS1	O	AUDIO_XOUT	O	SD_WP_1	I(s)	TxD2	O	–	–	DV0_DATA5	I(s)	SCI_RXD0/IrRXD	I(s)	–	–	(7)
44	N1	52	T1	P7_2	I(s)/O	–	–	CS4	O	MMC_D1	I(s)/O	SD_D1_1	I(s)/O	IRQ4	I(s)	CAN0RX	I(s)	DV0_DATA6	I(s)	SCI_TXD0/IrTXD	O	–	–	(7)
45	P3	53	P5	P7_3	I(s)/O	–	–	CS5	O	MMC_D0	I(s)/O	SD_D0_1	I(s)/O	IRQ3	I(s)	CAN0TX	O	DV0_DATA7	I(s)	SCI_CTS0/RTS0	I(s)/O	–	–	(7)
46	–	54	–	Vss																				
47	R2	55	U2	P7_4	I(s)/O	–	–	WAIT	I(s)	MMC_CLK	O	SD_CLK_1	O	–	–	IETxD 注3	O	LCD0_CLK	O	SCI_SCK1	I(s)/O	–	–	(7)
48	N4	56	R4	P7_5	I(s)/O	–	–	BS	O	MMC_CMD	I(s)/O	SD_CMD_1	I(s)/O	TxD0	O	IERxD 注3	I(s)	LCD0_TCON4	O	SCI_RXD1	I(s)	–	–	(7)
49	P4	57	T3	P7_6	I(s)/O	–	–	WE2/DQMUL	O	MMC_D3	I(s)/O	SD_D3_1	I(s)/O	IRQ6	I(s)	CTS2	I(s)/O	LCD0_TCON5	O	SCI_TXD1	O	–	–	(7)
50	–	58	–	PVcc																				
51	R4	59	R5	P7_7	I(s)/O	–	–	WE3/DQMUU/AH	O	MMC_D2	I(s)/O	SD_D2_1	I(s)/O	IRQ5	I(s)	RTS2	I(s)/O	LCD0_TCON6	O	SCI_CTS1/RTS1	I(s)/O	–	–	(7)
52	N5	60	T4	P7_8	I(s)/O	–	–	CS2	O	SSISCK1	I(s)/O	DV0_CLK	I(s)	IRQ3	I(s)	TxD0	O	–	–	–	–	–	–	(7)
53	R5	61	P6	P7_9	I(s)/O	–	–	A25	O	SSIWS1	I(s)/O	DV0_VSYNC	I(s)	IRQ5	I(s)	SCK3	I(s)/O	TIOC1A	I(s)/O	–	–	–	–	(7)
54	P5	62	U4	P7_10	I(s)/O	–	–	TEND0	O	SSITxD1	O	DV0_HSYNC	I(s)	–	–	RxD3	I(s)	–	–	–	–	–	–	(7)
55	N6	63	P7	P7_11	I(s)/O	–	–	DACK0	O	SSIRxD1	I(s)	CAN_CLK	I(s)	SCK2	I(s)/O	TxD3	O	AUDIO_XOUT	O	AUDIO_XOUT3	O	–	–	(7)
–	–	64	T5	P8_12	I(s)/O	–	–	LCD0_TCON4	O	SPDIF_IN	I(s)	SSIWS2	I(s)/O	RxD4	I(s)	–	–	–	–	–	–	–	–	(7)
–	–	65	–	Vss																				
–	–	66	R6	P8_13	I(s)/O	–	–	LCD0_TCON5	O	SPDIF_OUT	O	SSI DATA2	I(s)/O	TxD4	O	–	–	–	–	–	–	–	–	(7)
–	–	67	–	PVcc																				
56	P6	68	U5	P2_0	I(s)/O	–	–	CS3	O	RLIN30 RX 注3	I(s)	SPDIF_IN	I(s)	IRQ7	I(s)	–	–	–	–	–	–	–	–	(7)
57	R6	69	T6	P2_1	I(s)/O	–	–	RAS	O	RLIN30 TX 注3	O	SPDIF_OUT	O	IRQ6	I(s)	–	–	–	–	–	–	–	–	(7)
–	–	70	U6	P8_14	I(s)/O	–	–	LCD0_TCON6	O	ET_COL	I(s)	SD_CD_0	I(s)	SCK1	I(s)/O	–	–	–	–	–	–	–	–	(7)
–	–	71	R7	P8_15	I(s)/O	–	–	–	–	ET_CRS	I(s)	SD_WP_0	I(s)	RxD1	I(s)	–	–	–	–	–	–	–	–	(7)
–	–	72	T7	P9_0	I(s)/O	–	–	–	–	ET_MDC	O	SD_D1_0	I(s)/O	TxD1	O	–	–	–	–	–	–	–	–	(7)
–	–	73	U7	P9_1	I(s)/O	–	–	–	–	ET_MDIO	I(s)/O	SD_D0_0	I(s)/O	CTS0	I(s)/O	–	–	–	–	–	–	–	–	(7)
58	–	74	–	Vcc																				
59	P7	75	R8	P2_2	I(s)/O	–	–	CAS	O	CAN1RX	I(s)	TIOC0C	I(s)/O	IRQ5	I(s)	–	–	–	–	–	–	–	–	(7)
60	R7	76	T8	P2_3	I(s)/O	–	–	CKE	O	CAN1TX	O	TIOC0D	I(s)/O	–	–	–	–	–	–	–	–	–	–	(7)
61	–	77	–	Vss																				
62	–	78	–	PVcc																				
63	M7	79	R9	P0_0	I(s)	MD_BOOT0	I(s)	–	–	RxD0	I(s)	IRQ4	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
64	N7	80	U8	P0_1	I(s)	MD_BOOT1	I(s)	–	–	RxD2	I(s)	SSIRxD3	I(s)	ADTRG	I(s)	–	–	–	–	–	–	–	–	(3)
65	M8	81	T10	P0_2	I(s)	MD_CLK	I(s)	–	–	RxD1	I(s)	IRQ7	I(s)	–	–	–	–	–	–	–	–	–	–	(3)

表1.4　端子一覧

176 QFP	176 BGA	208 QFP	233 BGA	ポート機能/専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		機能8		簡易回路図
No.	No.	No.	No.	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	図1.5
66	M6	82	R10	P0_3	I(s)	MD_CLKS	I(s)	–	–	RxD3	I(s)	SPDIF_IN	I(s)	–	–	–	–	–	–	–	–	–	–	(3)
67	P8	83	T9	RTC_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(11)
68	R8	84	U9	RTC_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
69	M9	85	P10	PLLVcc																				
70	R9	86	U11	EXTAL	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
71	P9	87	T11	XTAL	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
72	–	88	–	Vss																				
73	–	89	–	Vss																				
74	N9	90	R11	NMI	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(3)
75	–	91	–	Vss																				
76	R10	92	U12	RES	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(1)
77	–	93	–	PVcc																				
78	P10	94	T12	P1_8	I(s)	–	–	AN0	I(a)	IRQ0	I(s)	RxD0	I(s)	DV0_DATA4	I(s)	–	–	–	–	–	–	–	–	(4)
79	N10	95	U13	P1_9	I(s)	–	–	AN1	I(a)	IRQ1	I(s)	RxD1	I(s)	DV0_DATA5	I(s)	–	–	–	–	–	–	–	–	(4)
80	R11	96	R12	P1_10	I(s)	–	–	AN2	I(a)	IRQ2	I(s)	RxD2	I(s)	DV0_DATA6	I(s)	–	–	–	–	–	–	–	–	(4)
81	N11	97	T13	P1_11	I(s)	–	–	AN3	I(a)	IRQ3	I(s)	RxD3	I(s)	DV0_DATA7	I(s)	–	–	–	–	–	–	–	–	(4)
82	P12	98	U14	P1_12	I(s)	–	–	AN4	I(a)	IRQ4	I(s)	ET_RXD0	I(s)	VIO_D4	I(s)	–	–	–	–	–	–	–	–	(4)
83	P11	99	T14	P1_13	I(s)	–	–	AN5	I(a)	IRQ5	I(s)	ET_RXD1	I(s)	VIO_D5	I(s)	–	–	–	–	–	–	–	–	(4)
84	N12	100	R13	P1_14	I(s)	–	–	AN6	I(a)	IRQ6	I(s)	ET_RXD2	I(s)	VIO_D6	I(s)	–	–	–	–	–	–	–	–	(4)
85	R12	101	R14	P1_15	I(s)	–	–	AN7	I(a)	IRQ7	I(s)	ET_RXD3	I(s)	VIO_D7	I(s)	–	–	–	–	–	–	–	–	(4)
86	P13	102	T15	AVcc																				
87	R13	103	U15	AVss																				
88	R14	104	U16	AVref																				
89	N14	105	N14	BSCANP	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(1)
90	–	106	–	PVcc																				
91	P15	107	T17	AUDIO_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
92	N15	108	R17	AUDIO_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
93	–	109	–	Vss																				
94	M14	110	P15	P2_4	I(s)/O	–	–	$\overline{WE0}$/DQMLL	O	–	–	TIOC4A	I(s)/O	–	–	–	–	–	–	–	–	–	–	(7)
95	–	111	–	Vcc																				
96	M13	112	R16	P2_5	I(s)/O	–	–	$\overline{WE1}$/$\overline{WE}$/DQMLU	O	–	–	TIOC3A	I(s)/O	–	–	–	–	–	–	–	–	–	–	(7)
97	L13	113	M14	TRST	I(s)	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(3)
98	L14	114	N15	JP0_1	I	–	–	TDO	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(6)
99	L15	115	P16	JP0_0	I	–	–	TDI	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(2)
100	L12	116	M15	TMS	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(2)
101	K14	117	N16	TCK	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(2)
102	–	118	–	Vss																				
103	K13	119	N17	P3_0	I(s)/O	–	–	A1	O	SD_D2_0	I(s)/O	LCD0_DATA0	O	ET_TXCLK	I(s)	–	–	–	–	–	–	–	–	(7)
104	K12	120	M16	P3_1	I(s)/O	–	–	A2	O	SD_D3_0	I(s)/O	LCD0_DATA1	O	ET_TXER	O	–	–	–	–	–	–	–	–	(7)
105	–	121	–	Vcc																				
106	J13	122	L15	P3_2	I(s)/O	–	–	A3	O	SD_CMD_0	I(s)/O	LCD0_DATA2	O	ET_TXEN	O	–	–	–	–	–	–	–	–	(7)
107	–	123	–	Vss																				
108	J15	124	M17	P3_3	I(s)/O	–	–	A4	O	SD_CLK_0	O	LCD0_DATA3	O	ET_RXCLK	I(s)	–	–	–	–	–	–	–	–	(7)
109	–	125	–	PVcc																				
110	J14	126	L16	P3_4	I(s)/O	–	–	A5	O	SD_D0_0	I(s)/O	LCD0_DATA4	O	ET_RXER	I(s)	–	–	–	–	–	–	–	–	(7)
–	–	127	K17	P9_2	I(s)/O	–	–	RSPCK2	I(s)/O	ET_RXCLK	I(s)	SD_CLK_0	O	RTS0	I(s)/O	TIOC1A	I(s)/O	–	–	–	–	–	–	(7)
–	–	128	–	Vss																				
–	–	129	K15	P9_3	I(s)/O	–	–	SSL20	I(s)/O	ET_RXER	I(s)	SD_CMD_0	I(s)/O	SCK0	I(s)/O	TIOC1B	I(s)/O	–	–	–	–	–	–	(7)
–	–	130	–	PVcc																				
111	H15	131	K16	P3_5	I(s)/O	–	–	A6	O	SD_D1_0	I(s)/O	LCD0_DATA5	O	ET_RXDV	I(s)	–	–	–	–	–	–	–	–	(7)
112	H13	132	J15	P3_6	I(s)/O	–	–	A7	O	SD_WP_0	I(s)	LCD0_DATA6	O	ET_COL	I(s)	–	–	–	–	–	–	–	–	(7)

表 1.4　端子一覧

176 QFP	176 BGA	208 QFP	233 BGA	ポート機能/ 専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		機能8		簡易回路図
No.	No.	No.	No.	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	図 1.5
113	H14	133	J16	P3_7	I(s)/O	–	–	A8	O	SD_ CD_0	I(s)	LCD0_ DATA7	O	ET_CRS	I(s)	–	–	–	–	–	–	–	–	(7)
–	–	134	–	Vss																				
–	–	135	H17	P9_4	I(s)/O	–	–	MOSI2	I(s)/O	ET_ RXDV	I(s)	SD_D3_0	I(s)/O	RxD0	I(s)	TIOC2A	I(s)/O	–	–	–	–	–	–	(7)
–	–	136	–	PVcc																				
–	–	137	H16	P9_5	I(s)/O	–	–	MISO2	I(s)/O	–	–	SD_D2_0	I(s)/O	TxD0	O	TIOC2B	I(s)/O	–	–	–	–	–	–	(7)
114	G12	138	H15	P3_8	I(s)/O	–	–	A9	O	–	–	AUDIO_ CLK	I(s)	DV0_ DATA8	I(s)	SCK3	I(s)/O	–	–	–	–	–	–	(7)
115	G13	139	H14	P3_9	I(s)/O	–	–	A10	O	–	–	SPDIF_ OUT	O	DV0_ DATA9	I(s)	TxD3	O	–	–	–	–	–	–	(7)
116	–	140	–	Vss																				
117	G15	141	G14	P3_10	I(s)/O	–	–	A11	O	SPBIO 01_0	I(s)/O	TIOC3B	I(s)/O	DV0_ DATA10	I(s)	RxD3	I(s)	–	–	–	–	–	–	(7)
118	G14	142	G17	P3_11	I(s)/O	–	–	A12	O	SPBIO 11_0	I(s)/O	TIOC3A	I(s)/O	DV0_ DATA11	I(s)	–	–	–	–	–	–	–	–	(7)
119	–	143	–	Vcc																				
120	F15	144	G16	P3_12	I(s)/O	–	–	A13	O	SPBIO 21_0	I(s)/O	TIOC3C	I(s)/O	DV0_ DATA12	I(s)	–	–	–	–	–	–	–	–	(7)
121	–	145	–	Vss																				
122	F14	146	G15	P3_13	I(s)/O	–	–	A14	O	SPBIO 31_0	I(s)/O	TIOC3D	I(s)/O	DV0_ DATA13	I(s)	–	–	–	–	–	–	–	–	(7)
123	–	147	–	PVcc																				
124	F13	148	F17	P3_14	I(s)/O	–	–	A15	O	VIO_ CLK	I(s)	SPDIF_ IN	I(s)	DV0_ DATA14	I(s)	SCK1	I(s)/O	AUDIO_ XOUT2	O	–	–	–	–	(7)
125	E14	149	F16	P1_0	I(s)/ O(o)	–	–	RIIC0 SCL	I(s)/ O(o)	IRQ4	I(s)	ET_ RXD0	I(s)	DV0_ DATA0	I(s)	–	–	–	–	–	–	–	–	(9)
126	E15	150	F15	P1_1	I(s)/ O(o)	–	–	RIIC0 SDA	I(s)/ O(o)	IRQ5	I(s)	ET_ RXD1	I(s)	DV0_ DATA1	I(s)	–	–	–	–	–	–	–	–	(9)
127	E13	151	E17	P1_2	I(s)/ O(o)	–	–	RIIC1 SCL	I(s)/ O(o)	IRQ6	I(s)	ET_ RXD2	I(s)	DV0_ DATA2	I(s)	–	–	–	–	–	–	–	–	(9)
128	D15	152	E16	P1_3	I(s)/ O(o)	–	–	RIIC1 SDA	I(s)/ O(o)	IRQ7	I(s)	ET_ RXD3	I(s)	DV0_ DATA3	I(s)	–	–	–	–	–	–	–	–	(9)
129	D14	153	E15	P1_4	I(s)/ O(o)	–	–	RIIC2 SCL	I(s)/ O(o)	IRQ0	I(s)	DREQ0	I(s)	VIO_D0	I(s)	–	–	–	–	–	–	–	–	(9)
130	C15	154	D17	P1_5	I(s)/ O(o)	–	–	RIIC2 SDA	I(s)/ O(o)	IRQ1	I(s)	–	–	VIO_D1	I(s)	–	–	–	–	–	–	–	–	(9)
131	C14	155	D16	P1_6	I(s)/ O(o)	–	–	RIIC3 SCL	I(s)/ O(o)	IRQ2	I(s)	SSIRxD0	I(s)	VIO_D2	I(s)	–	–	–	–	–	–	–	–	(9)
132	B15	156	C17	P1_7	I(s)/ O(o)	–	–	RIIC3 SDA	I(s)/ O(o)	IRQ3	I(s)	RxD2	I(s)	VIO_D3	I(s)	–	–	–	–	–	–	–	–	(9)
133	A14	157	A16	P3_15	I(s)/O	–	–	A16	O	VIO_ FLD	I(s)	–	–	DV0_ DATA15	I(s)	TxD1	O	–	–	–	–	–	–	(7)
134	B13	158	A15	P2_6	I(s)/O	–	–	RD/$\overline{WR}$	O	SSIRxD3	I(s)	TIOC2A	I(s)/O	–	–	–	–	–	–	–	–	–	–	(7)
135	C12	159	B15	P2_7	I(s)/O	–	–	CS0	O	SSISCK3	I(s)/O	TIOC1A	I(s)/O	IRQ2	I(s)	–	–	–	–	–	–	–	–	(7)
136	A13	160	B14	P2_8	I(s)/O	–	–	RD	O	SSITxD3	O	TIOC0A	I(s)/O	–	–	CAN0TX	O	–	–	–	–	–	–	(7)
137	B12	161	C14	P2_9	I(s)/O	–	–	A0	O	SSIWS3	I(s)/O	SCK0	I(s)/O	IRQ1	I(s)	CAN0RX	I(s)	–	–	–	–	–	–	(7)
138	–	162	–	Vss																				
139	A12	163	A14	USB_X1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	(10)
140	B11	164	B13	USB_X2	O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
141	–	165	–	USBD PVcc																				
142	–	166	–	USBD PVss																				
143	B10	167	B12	DM1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
144	A10	168	A12	DP1	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
145	C10	169	C12	VBUS1	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
146	–	170	–	USBD Vcc																				
147	–	171	–	USBD Vss																				
148	–	172	–	USBD PVcc																				
149	–	173	–	USBD PVss																				
150	A9	174	A11	DM0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
151	B9	175	B11	DP0	I/O	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
152	C9	176	C11	VBUS0	I	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	
153	–	177	–	USBD Vcc																				
154	–	178	–	USBD Vss																				
155	B8	179	B10	REFRIN	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	

表1.4　端子一覧

176 QFP	176 BGA	208 QFP	233 BGA	ポート機能/ 専用機能		モード機能		機能1		機能2		機能3		機能4		機能5		機能6		機能7		機能8		簡易回路図
No.	No.	No.	No.	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	端子名	I/O	図1.5
156	–	180	–	USBA PVss																				
157	D10	181	D12	USBA PVcc																				
158	C8	182	C10	USBA Vcc																				
159	–	183	–	USBA Vss																				
160	–	184	–	USBU Vcc																				
161	–	185	–	USBU Vss																				
162	–	186	–	Vss																				
163	–	187	–	Vss																				
164	C7	188	A9	P4_0	I(s)/O	–	–	A17	O	VIO_VD	I(s)	TIOC1B	I(s)/O	ET_MDC	O	CTS1	I(s)/O	–	–	–	–	–	–	(7)
165	B7	189	C9	P4_1	I(s)/O	–	–	A18	O	VIO_HD	I(s)	TIOC2B	I(s)/O	ET_MDIO	I(s)/O	RTS1	I(s)/O	–	–	–	–	–	–	(7)
166	C6	190	A8	P4_2	I(s)/O	–	–	A19	O	SPBIO 20_0	I(s)/O	TRACE DATA2 注3	O	–	–	–	–	–	–	–	–	–	–	(7)
167	A6	191	B8	P4_3	I(s)/O	–	–	A20	O	SPBIO 30_0	I(s)/O	TRACE DATA3 注3	O	–	–	–	–	–	–	–	–	–	–	(7)
–	–	192	C8	P8_0	I(s)/O	–	–	LCD0_ DATA0	O	ET_ TXD0	O	SSISCK1	I(s)/O	SCK3	I(s)/O	–	–	–	–	–	–	–	–	(7)
–	–	193	–	Vss																				
–	–	194	B7	P8_1	I(s)/O	–	–	LCD0_ DATA1	O	ET_ TXD1	O	SSIWS1	I(s)/O	RxD3	I(s)	–	–	–	–	–	–	–	–	(7)
–	–	195	–	PVcc																				
168	B6	196	C7	P4_4	I(s)/O	–	–	A21	O	SPB CLK_0	O	TRACE CLK注3	O	–	–	–	–	–	–	–	–	–	–	(7)
169	A5	197	A6	P4_5	I(s)/O	–	–	A22	O	SPB SSL_0	O	TRACE CTL注3	O	–	–	–	–	–	–	–	–	–	–	(7)
–	–	198	B6	P8_2	I(s)/O	–	–	LCD0_ DATA2	O	ET_ TXD2	O	SSITxD1	O	TxD3	O	–	–	–	–	–	–	–	–	(7)
–	–	199	D7	P8_3	I(s)/O	–	–	LCD0_ DATA3	O	ET_ TXD3	O	SSIRxD1	I(s)	–	–	–	–	–	–	–	–	–	–	(7)
–	–	200	C6	P8_4	I(s)/O	–	–	LCD0_ DATA4	O	ET_ TXCLK	I(s)	–	–	CTS2	I(s)/O	TIOC0A	I(s)/O	–	–	–	–	–	–	(7)
–	–	201	B5	P8_5	I(s)/O	–	–	LCD0_ DATA5	O	ET_ TXER	O	–	–	RTS2	I(s)/O	TIOC0B	I(s)/O	–	–	–	–	–	–	(7)
170	B5	202	A5	P4_6	I(s)/O	–	–	A23	O	SPBIO 00_0	I(s)/O	TRACE DATA0 注3	O	–	–	–	–	–	–	–	–	–	–	(7)
171	–	203	–	Vss																				
172	C5	204	C5	P4_7	I(s)/O	–	–	A24	O	SPBIO 10_0	I(s)/O	TRACE DATA1 注3	O	–	–	–	–	–	–	–	–	–	–	(7)
173	A4	205	A4	P5_0	I(s)/O	–	–	D0	I(s)/O	MMC_ D4	I(s)/O	ET_ TXD0	O	DV0_ DATA16	I(s)	LCD0_ TCON0	O	–	–	–	–	–	–	(8)
174	–	206	–	PVcc																				
175	B4	207	B4	P5_1	I(s)/O	–	–	D1	I(s)/O	MMC_ D5	I(s)/O	ET_ TXD1	O	DV0_ DATA17	I(s)	LCD0_ TCON1	O	–	–	–	–	–	–	(8)
176	A3	208	A3	P5_2	I(s)/O	–	–	D2	I(s)/O	MMC_ D6	I(s)/O	ET_ TXD2	O	DV0_ DATA18	I(s)	LCD0_ TCON2	O	–	–	–	–	–	–	(8)

【記号説明】
(s)：シュミット
(a)：アナログ
(o)：オープンドレイン

注.　176BGAのPVcc、Vcc、Vss端子は下記となります。
PVcc: D4、D11、D13、E4、E12、F12、K4、L4、M5、M10、M11、P1
Vcc:　A2、B3、C4、D5、D6、D7、M12、N13、P14、R15
Vss:　A1、A7、A8、A11、A15、B2、B14、C3、C11、C13、D8、D9、D12、G4、H4、H12、J12、K15、L1、M4、M15、N3、N8、P2、R1、R3

注.　233BGAのPVcc、Vcc、Vss 端子は下記となります。
PVcc: B17、C13、C16、D8、D9、D15、E14、F4、F14、G4、L4、M4、N4、P1、P8、P9、P12、P13
Vcc:　A2、B3、C4、D5、D6、H4、J4、J14、K14、L14、P14、R15、T16、U17
Vss:　A1、A7、A10、A13、A17、B2、B9、B16、C3、C15、D4、D10、D11、D13、D14、G7、G8、G9、G10、G11、H7、H8、H9、H10、H11、J7、J8、J9、J10、J11、J17、K7、K8、K9、K10、K11、L7、L8、L9、L10、L11、L17、M1、P4、P11、P17、R3、T2、U1、U3、U10

注1.　RZ/A1L のみ、RZ/A1LC では"－"となります。
注2.　RZ/A1LU のみ、RZ/A1LC では"－"となります。
注3.　RZ/A1L のみ、RZ/A1LU と RZ/A1LC では"－"となります。
注4.　RZ/A1LU と RZ/A1LC のみ、RZ/A1L では"－"となります。

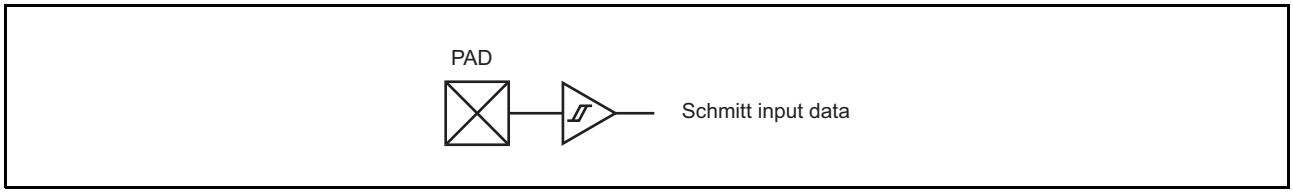


図 1.5　（1）簡易回路図（シュミット入力バッファ）

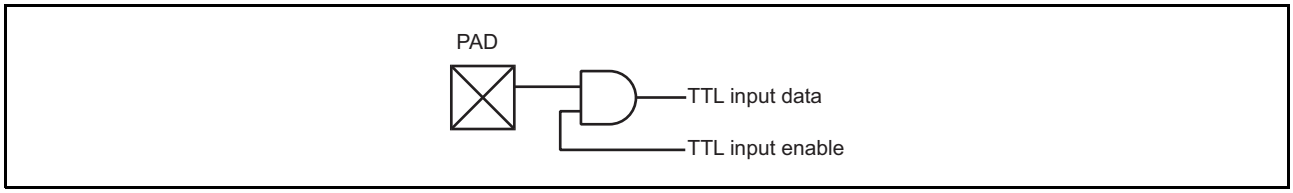


図 1.5　（2）簡易回路図（TTL AND 入力バッファ）

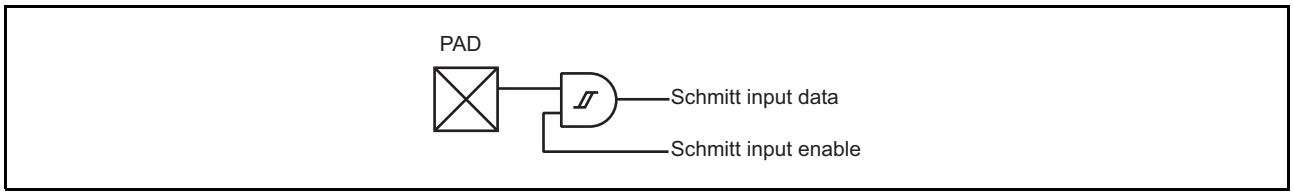


図 1.5　（3）簡易回路図（シュミット AND 入力バッファ）

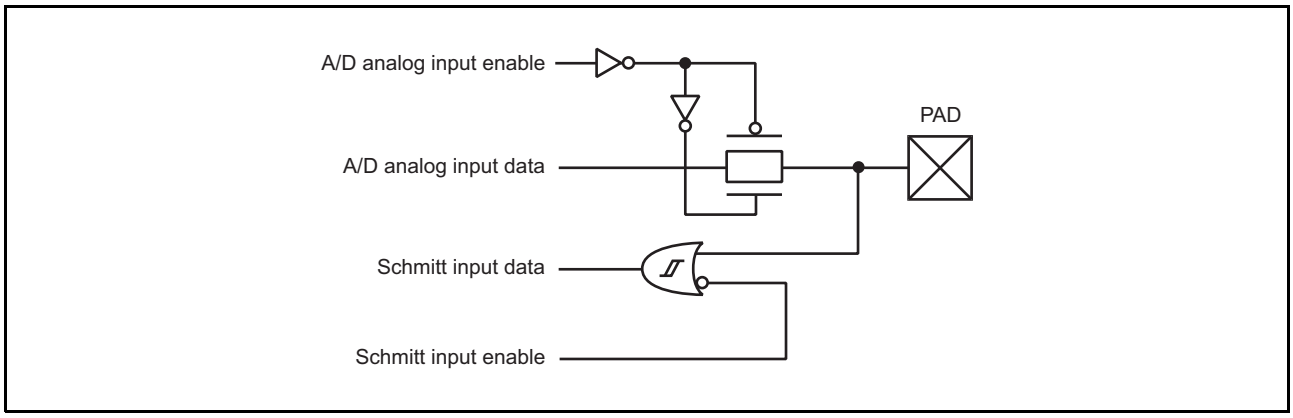


図 1.5　（4）簡易回路図（シュミット OR 入力、A/D 入力兼用バッファ）

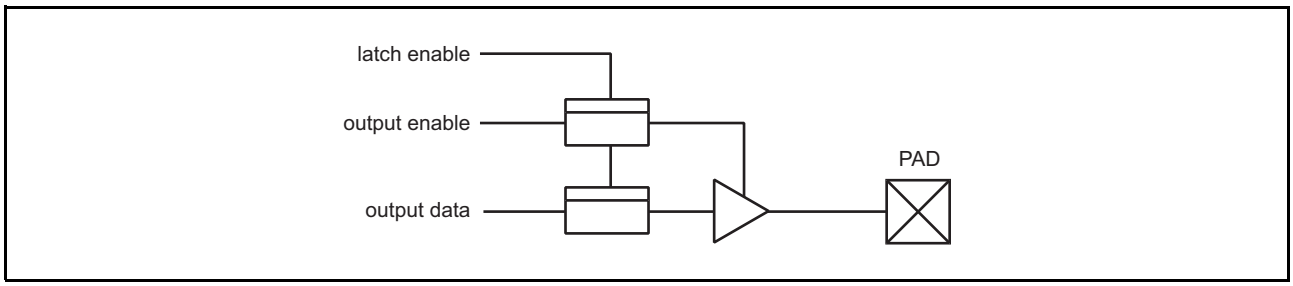


図 1.5　（5）簡易回路図（イネーブル付き出力バッファ、ラッチ付き）

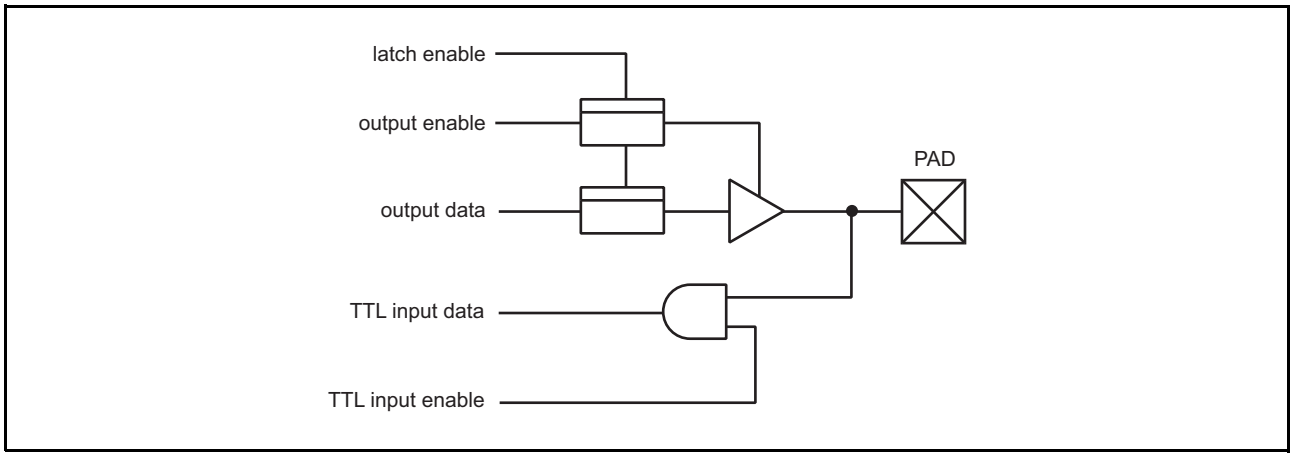


図 1.5　（6）簡易回路図（双方向バッファ、TTL AND 入力、ラッチ付き）

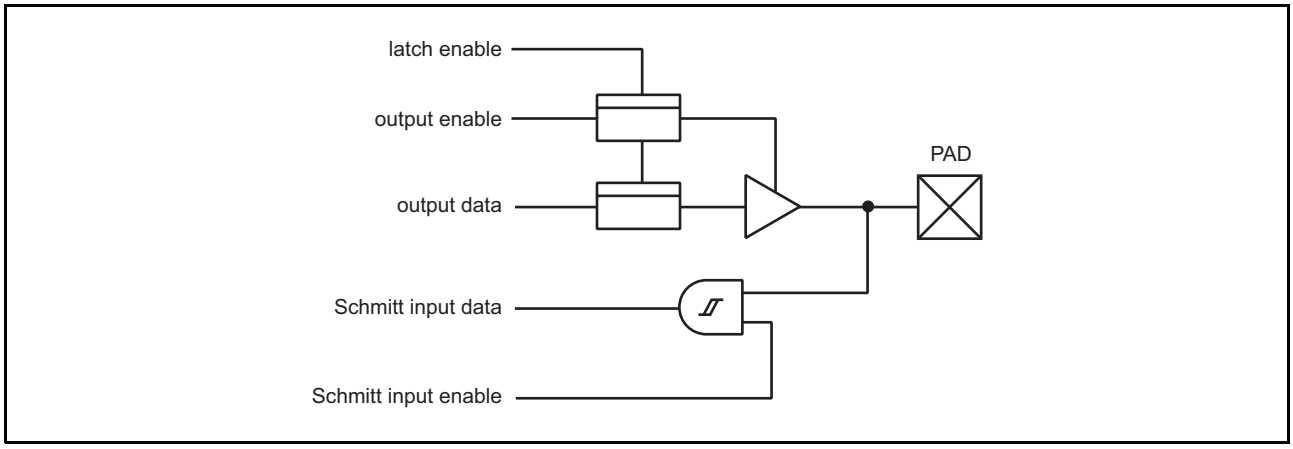


図 1.5　（7）簡易回路図（双方向バッファ、シュミット AND 入力、ラッチ付き）

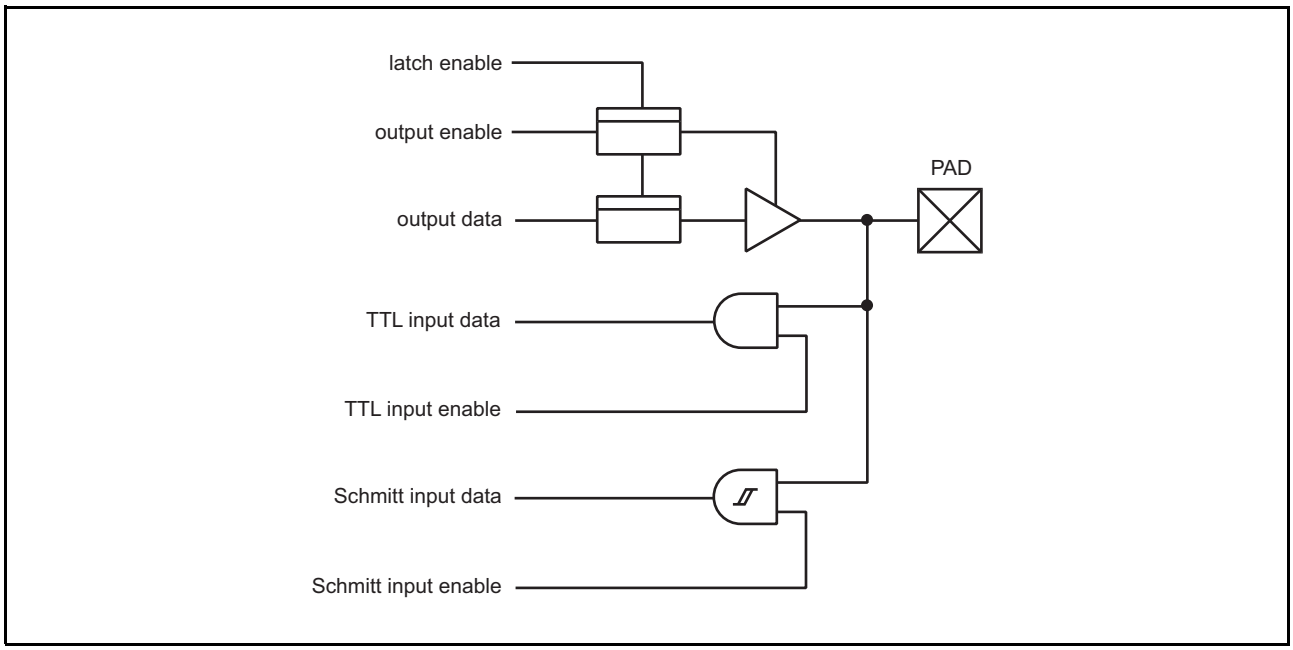


図 1.5　（8）簡易回路図（双方向バッファ、TTL AND 入力、シュミット AND 入力、ラッチ付き）

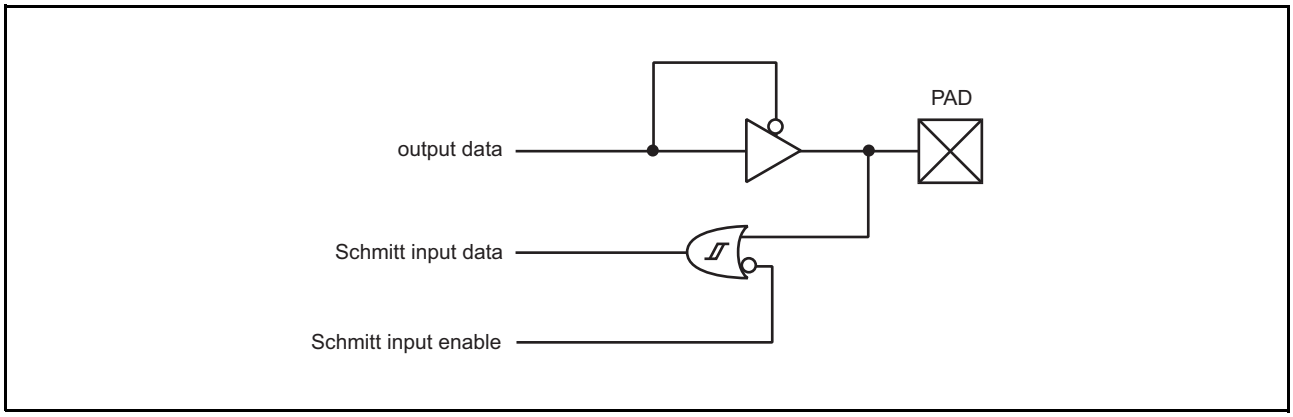


図 1.5　（9）簡易回路図（オープンドレイン出力、シュミット OR 入力）

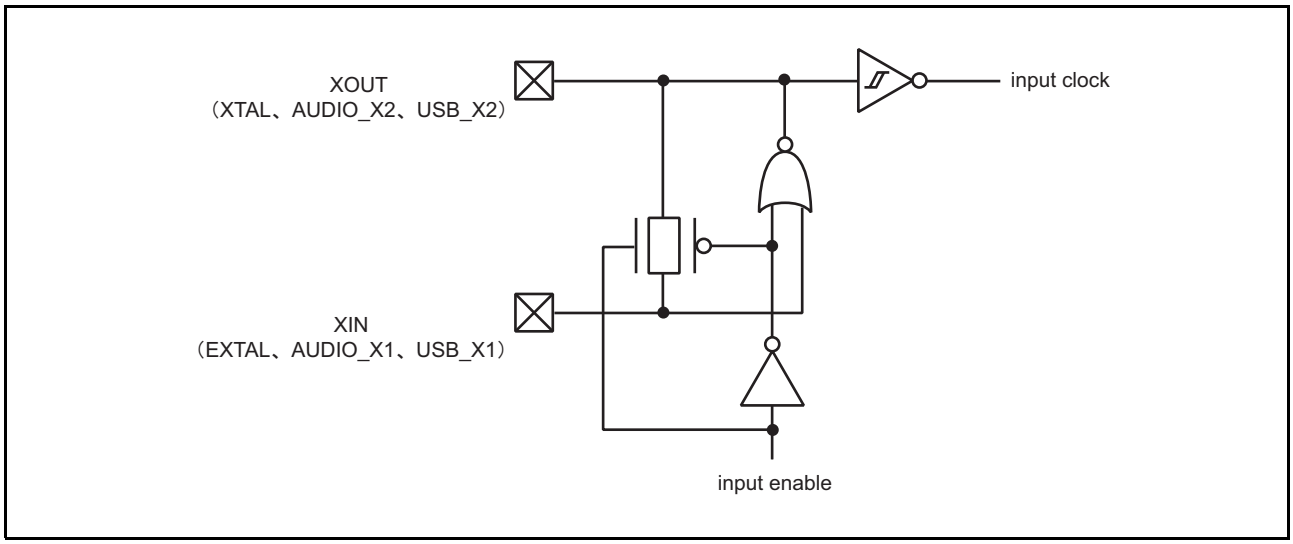


図 1.5　（10）簡易回路図（発振バッファ 1）

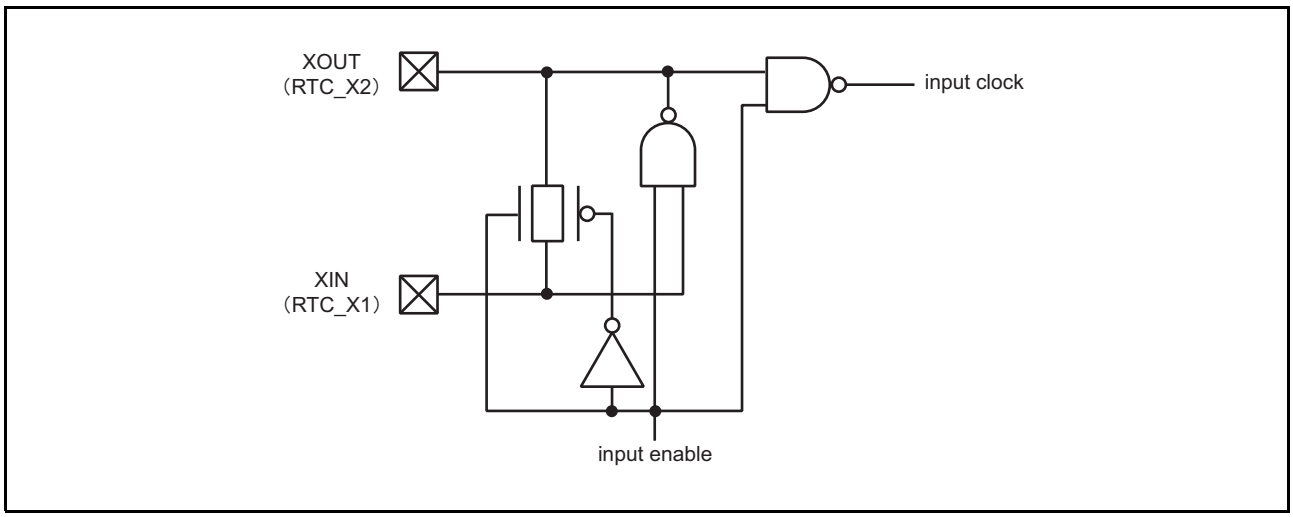


図 1.5　（11）簡易回路図（発振バッファ 2）

2. CPU

本製品には、Arm 社の Cortex-A9 MPCore (1Core 構成) を搭載しています。IP のバージョンは r3p0 です。

2.1 特長（注 1）

- Instruction cache size: 32KB
- Data cache size:（注 2） 32KB
- TLB entries: 128 entries
- Jazelle Architecture Extension Full or trivial: Full
- Media Processing engine with NEON technology: Included
- FPU: Included
- PTM interface: Included
- Wrappers to support for power off and dormant mode: not
- PRELOAD ENGINE not
- Number of interrupts 0 (内蔵の割り込みコントローラは使用しません)
- Accelerator Coherence Port not

注 1. 詳細は、Arm Cortex-A9 MPCore Technical Reference Manual を参照してください。
注 2. データキャッシュ有効時、内部ライトスルーに設定したメモリ領域は内部キャッシュ不可として動作します。詳細は、Arm Cortex-A9 Technical Reference Manual を参照してください。

2.2 構成信号

表 2.1 に Cortex-A9 構成信号の設定値を示します。

表2.1 構成信号の設定値

構成信号	設定値
CFGEND	1’b0
CFGNMIF	1’b1
CLUSTERID	4’h0
FILTEREN（注1）	1’b1
FILTERSTART[31:20]（注1）	12’hE00
FILTEREND[31:20]（注1）	12’hFFF
PERIPHBASE[31:13]（注2）	19’b111_1000_0000_0000_0000
TEINIT	1’b0
VINITHI	NOR,SRAM ブート時 :1’b0, 内蔵 ROM ブート時 :1’b1

注1. 初期値（設定値）のまま使用し、ソフトウェアでの書き換えは行わないでください。
注2. Cortex-A9のプライベートメモリ領域のベースアドレスは H'F0000000 です。このベースアドレスに相対的なレジスタの概要・詳細については、Arm Cortex-A9 MPCore Technical Reference Manual を参照してください。

3. ブートモード

本 LSI は、CS0 空間に接続されたメモリ、および、シリアルフラッシュメモリからブートすることが可能です。

注 1. SD コントローラ内蔵 NAND フラッシュメモリ、MMC コントローラ内蔵 NAND フラッシュメモリからのブートモードは、現在サポート対象外です。

3.1 特長

- 4 つのブートモード

  ブートモード 0 ： CS0 空間に接続されたメモリ（バス幅 16bit）からブートします。

  ブートモード 1 ： SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリからブートします。

  ブートモード 2 ： SD コントローラ内蔵 NAND フラッシュメモリ（注 1）からブートします。

  注 1. SD Specification Part 1 eSD Addendum (Version 2.10) 規格で定義されている "eSD (Embedded SD)" からブート可能。

  ブートモード 3 ： MMC コントローラ内蔵 NAND フラッシュメモリ（注 1）からブートします。

  注 1. JEDEC STANDARD JESD84 A44 (MMCA 4.4) 規格の Boot operation mode に対応した eMMC デバイスからのみブート可能。（MMC カードからのブートはできません。）

3.2 ブートモードと端子機能設定

本 LSI は、$\overline{\text{RES}}$ ＝ L の状態の時に外部端子を用いてブートモードを決定することができます。ブートモードを決定する外部端子設定を表 3.1 に示します。

表 3.1　外部端子（MD_BOOT1、0）設定とブートモードの関係

MD_BOOT1	MD_BOOT0	ブートモード
0	0	ブートモード 0（CS0 空間 16 ビットブート） CS0 空間に接続されたメモリ（バス幅 16bit）からブートします。
1	0	ブートモード 1（シリアルフラッシュブート） SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリからブートします。
0	1	ブートモード 2（eSD ブート） SD コントローラ内蔵 NAND フラッシュメモリからブートします。 チャネル 0（P3_0～5）からのみブート可能です。
1	1	ブートモード 3（eMMC ブート） MMC コントローラ内蔵 NAND フラッシュメモリからブートします。

3.3 各ブートモードで使用するハードウェアの情報

各ブートモードで使用するハードウェアの情報を表 3.2 に示します。

表3.2　各ブートモードで使用するハードウェアの情報

ブートモード	周辺モジュール	使用端子	備考
ブートモード0 （CS0空間 16ビットブート）	バスステートコントローラ	A[20:1] D[15:0] $\overline{\text{CS0}}$ $\overline{\text{RD}}$ CKIO	—
ブートモード1 （シリアルフラッシュブート）	SPIマルチI/Oバスコントローラ	SPBCLK_0 SPBSSL_0 SPBMO0_0 SPBMI0_0	ビットレートは、内部ボーレートジェネレータでBφを8分周してSPBCLK_0を生成
ブートモード2 （eSDブート）	SDホストインタフェース	SD_CLK_0 SD_CMD_0 SD_D[3:0]_0	SDクロック周波数（SD_CLK_0）は、P1φを4分周にして生成
ブートモード3 （eMMCブート）	MMCホストインタフェース	MMC_CLK MMC_CMD MMC_D[3:0]	MMCクロック周波数（MMC_CLK）は、P1φを4分周にして生成

3.4 ブートモードとリセット時の例外ベクタ位置

本 LSI は、ブートモードによりリセット時の例外ベクタ位置が異なります。

本 LSI は、ブートモード 0 設定時、H'0000_0000（ローベクタ）よりリセット時の例外ベクタを開始します。また、本 LSI は、ブートモード 1、2、3 設定時、H'FFFF_0000（ハイベクタ）よりリセット時の例外ベクタを開始します。

本 LSI の H'FFFF_0000 ～ H'FFFF_FFFF の領域には内蔵 ROM が配置されています。内蔵 ROM にはブートプログラムが格納されており、ブートプログラムは外部端子 MD_BOOT1、0 により設定したブートモードに対応する処理を実行します。

ブートモードとリセット時の例外ベクタ位置を**表 3.3** に示します。

表3.3　ブートモードとリセット時の例外ベクタ位置

ブートモード	リセット時の例外ベクタ位置	例外ベクタ位置に配置されるメモリ
ブートモード0 （CS0空間 16ビットブート）	H'0000 0000 （ローベクタ）	CS0空間に接続されたメモリ
ブートモード1 （シリアルフラッシュブート）	H'FFFF 0000 （ハイベクタ）	内蔵ROM（ブートプログラム）
ブートモード2 （eSDブート）	H'FFFF 0000 （ハイベクタ）	内蔵ROM（ブートプログラム）
ブートモード3 （eMMCブート）	H'FFFF 0000 （ハイベクタ）	内蔵ROM（ブートプログラム）

3.5 動作説明

3.5.1 ブートモード 0

ブートモード 0 は、CS0 空間に接続されたメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、CS0 空間に接続されたメモリの H’0000_0000 番地からプログラムの実行を開始します。

3.5.2 ブートモード 1

ブートモード 1 は、SPI マルチ I/O バス空間に接続されたシリアルフラッシュメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM（H’FFFF_0000 ～）に格納されているブートプログラムを実行します。

ブートプログラムは、SPI マルチ I/O バスコントローラを外部アドレス空間リードモードに設定します。設定により、本 LSI は SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、接続されたシリアルフラッシュメモリに対し、直接リードが可能な状態となります。ブートプログラムは、SPI 通信変換に使用するシリアルフラッシュメモリへのコマンドとしてリードコマンド（オペコード：03H、アドレス：3 バイト、ダミーサイクル：なし）を設定します。SPI 通信変換よりシリアルフラッシュメモリに対し出力される制御信号を図 3.1 に示します。

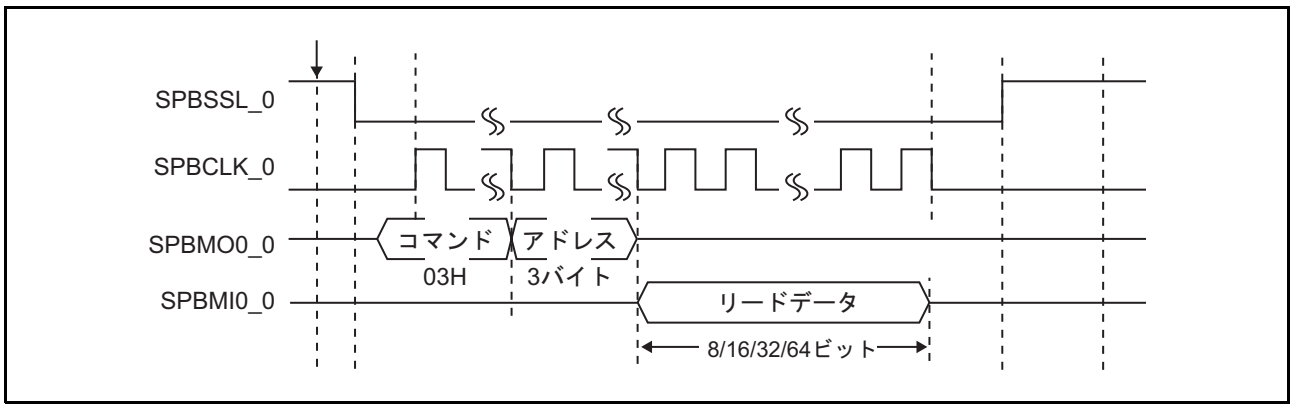


図 3.1　SPI 通信変換によりシリアルフラッシュメモリに対して出力される制御信号

ブートプログラムは、ワークメモリとして H'2002_0000 ～ H'2002_3FFF 番地の領域を使用します。

ブートプログラムの処理完了時、H’1800_0000 番地（SPI マルチ I/O バス空間）に分岐します。このときの Current Program Status Register (CPSR) の I ビット、F ビット、T ビット、Mode[4:0] ビットはそれぞれ初期状態であり、I ビットは 1’b1（IRQ マスク状態）、F ビットは 1’b1（FIQ マスク状態）、T ビットは 1’b0（Arm 状態）、Mode[4:0] ビットは 5’b10011（スーパバイザモード）になります。

3.5.3 ブートモード 2

ブートモード 2 は、SD ホストインタフェースのチャネル 0 に接続された SD コントローラ内蔵 NAND フラッシュメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM（H'FFFF_0000 ～）に格納されているブートプログラムを実行します。

ブートプログラムは、SD ホストインタフェースのチャネル 0 に接続された SD コントローラ内蔵 NAND フラッシュメモリからプログラム 28K バイトを大容量内蔵 RAM の H'2002_4000 ～ H'2002_AFFF 番地に転送します。

このときブートプログラムが大容量内蔵 RAM に転送するプログラム（28K バイト）をローダプログラムと呼びます。

ブートプログラムは、ワークメモリとして H'2002_0000 ～ H'2002_3FFF 番地の領域を使用します。なお、ローダプログラムは、ローダプログラムの格納仕様に基づき SD コントローラ内蔵 NAND フラッシュメモリに格納する必要があります（注 1）。

注 1.　ローダプログラムの格納仕様については、弊社の営業担当にご確認ください。

ブートプログラムの処理完了時、H'2002_4000 番地（大容量内蔵 RAM）に分岐します。

このときの Current Program Status Register (CPSR) の I ビット、F ビット、T ビット、Mode[4:0] ビットはそれぞれ初期状態であり、I ビットは 1'b1（IRQ マスク状態）、F ビットは 1'b1（FIQ マスク状態）、T ビットは 1'b0（Arm 状態）、Mode[4:0] ビットは 5'b10011（スーパバイザモード）になります。

ブートプログラムが大容量内蔵 RAM に転送するローダプログラムのサイズは 28K バイト固定です。お客様のプログラムのサイズが 28K バイトを超える場合、ローダプログラムにより、SD ホストインタフェースのチャネル 0 を使用して SD コントローラ内蔵 NAND フラッシュメモリからお客様のプログラム（アプリケーションプログラム）を大容量内蔵 RAM または外部 RAM に転送してください。なお、ローダプログラムはお客様にて設計いただく必要があります。

図 3.2 にブートモード 2 の仕様概略図を示します。

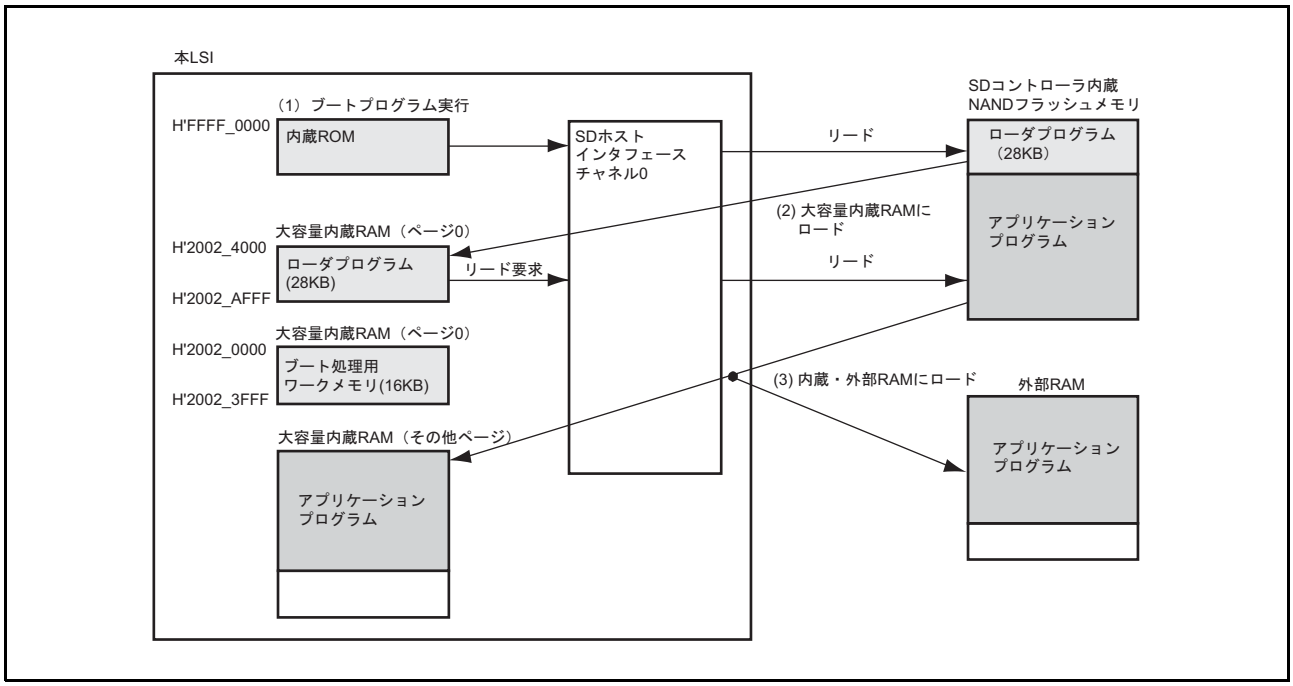


図 3.2　　ブートモード 2 の仕様概略図

3.5.4 ブートモード 3

ブートモード 3 は、MMC ホストインタフェースに接続された MMC コントローラ内蔵 NAND フラッシュメモリからブートします。このモードのとき、本 LSI は次のように動作します。

パワーオンリセット解除後、内蔵 ROM（H'FFFF_0000 ～）に格納されているブートプログラムを実行します。

ブートプログラムは、MMC ホストインタフェースに接続された MMC コントローラ内蔵 NAND フラッシュメモリからプログラム 28K バイトを大容量内蔵 RAM の H'2002_4000 ～ H'2002_AFFF 番地に転送します。このときブートプログラムが大容量内蔵 RAM に転送するプログラム（28K バイト）をローダプログラムと呼びます。

ブートプログラムは、ワークメモリとして H'2002_0000 ～ H'2002_3FFF 番地の領域を使用します。なお、ローダプログラムは、ローダプログラムの格納仕様に基づき MMC コントローラ内蔵 NAND フラッシュメモリに格納する必要があります（注 1）。

注 1.　ローダプログラムの格納仕様については、弊社の営業担当にご確認ください 。

ブートプログラムの処理完了時、H'2002_4000 番地（大容量内蔵 RAM）に分岐します。

このときの Current Program Status Register (CPSR) の I ビット、F ビット、T ビット、Mode[4:0] ビットはそれぞれ初期状態であり、I ビットは 1'b1（IRQ マスク状態）、F ビットは 1'b1（FIQ マスク状態）、T ビットは 1'b0（Arm 状態）、Mode[4:0] ビットは 5'b10011（スーパバイザモード）になります。

ブートプログラムが大容量内蔵 RAM に転送するローダプログラムのサイズは 28K バイト固定です。お客様のプログラムのサイズが 28K バイトを超える場合、ローダプログラムにより、MMC ホストインタフェースを使用して MMC コントローラ内蔵 NAND フラッシュメモリからお客様のプログラム（アプリケーションプログラム）を大容量内蔵 RAM または外部 RAM に転送してください。なお、ローダプログラムはお客様にて設計いただく必要があります。

図 3.3 にブートモード 3 の仕様概略図を示します。

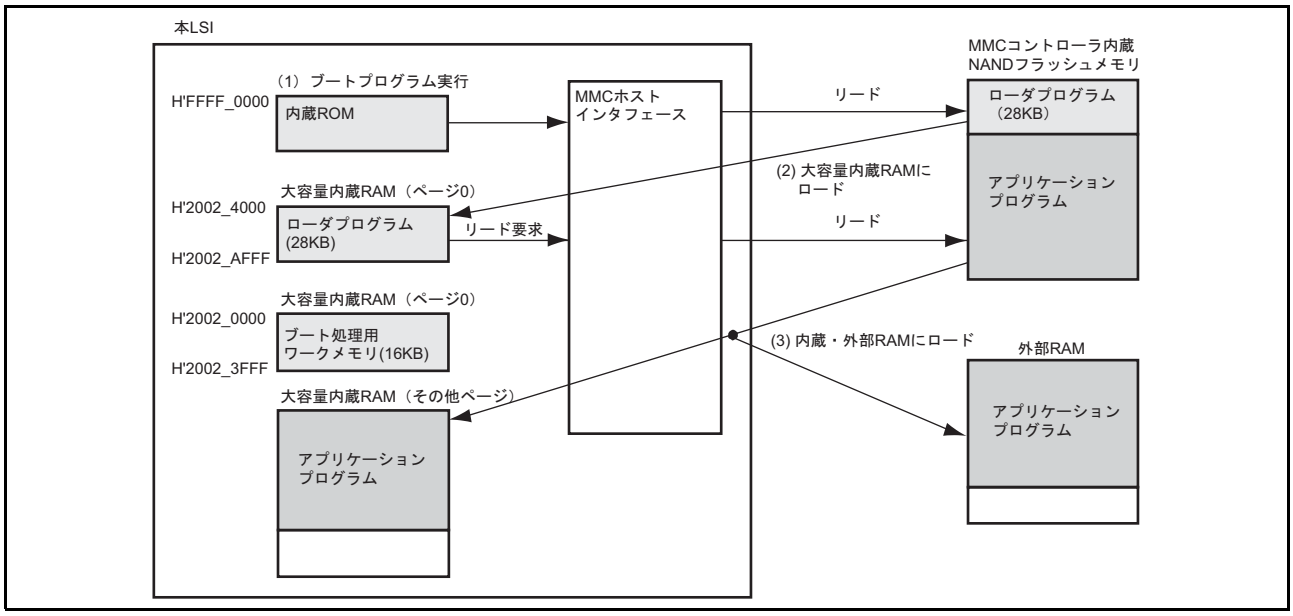


図 3.3　　ブートモード 3 の仕様概略図

3.6　注意事項

3.6.1　ブート関連端子

ブートモードにより、CS0 空間のメモリリード、SPI マルチ I/O バス空間のメモリリード、SD ホストインタフェースのチャネル 0、MMC ホストインタフェースに関連する端子の初期状態、ディープスタンバイ時の端子出力状態などが異なります。

詳細については、それぞれ「8.　バスステートコントローラ」、「41.　汎用入出力ポート」、「42.　低消費電力モード」の章を参照してください。

3.6.2　例外ベクタ位置がハイベクタ設定で例外が発生した時の動作

本 LSI は、例外ベクタ位置がハイベクタ設定にてリセット時以外の例外が発生すると、内蔵 ROM 内の例外ベクタにてプログラムカウンタが自番地ループします。このため、ブートモード 1、2、3 を使用する場合、リセット時以外の例外が発生する前に CP15 System Control Register(SCTLR) の V ビットを 0 に設定し、例外ベクタ位置をローベクタ設定にしてください。CP15 System Control Register(SCTLR) の詳細は、Arm Architecture Reference Manual を参照してください。

3.6.3 シリアルフラッシュブート（ブートモード 1）での本 LSI リセット発生時の注意事項

シリアルフラッシュブート（ブートモード 1）では、ブート時にシリアルフラッシュメモリへのコマンドとしてリードコマンド（オペコード :03H、アドレス：3 バイト、ダミーサイクル：なし）を設定します。そのため、シリアルフラッシュがリードコマンドを受け付けることができない状態で、本 LSI がリセット状態となった場合、正常にブートできない可能性があります。

たとえば、シリアルフラッシュの消去中のビジー状態時に、本 LSI がリセットされた場合、シリアルフラッシュはリードコマンドを受け付けることができません。

このようなシリアルフラッシュがリードコマンドを受け付けることができない状態で、本 LSI がリセットとなるシステム構成の場合は、リセット端子付きのシリアルフラッシュをご使用いただくか、リセット発生時にシリアルフラッシュの電源をいったん遮断するなどして本 LSI のリセット解除時にシリアルフラッシュが必ずリードコマンドを受け付けられるようにしてください。

4. 2 次キャッシュ

本製品には、2 次キャッシュとして Arm 社の PL310 を搭載しています。IP のバージョンは r3p2 です。

4.1 特長

- Total Cache size: 128KB
- Way: 8way
- Number of Master ports : 2
- Number of Slave ports: 2
- Lockdown by master: no
- Lockdown by line: defined
- Speculative read: no
- Sideband signal from CA9: no

詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。

4.2 構成信号

表 4.1 に PL310 構成信号の設定値を示します。

表4.1　構成信号の設定値

構成信号	設定値
ASSOCIATIVITY（注1）	1'b0 (8way)
CACHEID[5:0]	6'b000000
CFGADDRFILTEN（注1）	1'b1
CFGADDRFILTEND[11:0]（注1）	12'h3FF
CFGADDRFILTSTART[11:0]（注1）	12'h180
CFGBIGEND	1'b0
DATAREADLAT[2:0]（注1）	3'b000
DATASETUPLAT[2:0]（注1）	3'b000
DATAWRITELAT[2:0]（注1）	3'b000
REGFILEBASE[19:0]（注2）	20'h3FFFF
TAGREADLAT[2:0]（注1）	3'b000
TAGSETUPLAT[2:0]（注1）	3'b000
TAGWRITELAT[2:0]（注1）	3'b000
WAYSIZE[2:0]（注1）	3'b001 (16Kbyte)

注1.　初期値（設定値）のまま使用し、ソフトウェアでの書き換えは行わないでください。
注2.　PL310のレジスタベースアドレスは H'3FFFF000 です。レジスタの概要・詳細については、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。外ROM/RAMのミラー領域(0x4000_0000～0x5FFF_FFFF)は2次キャッシュ手前でミラーされるため、外ROM/RAMのミラー領域に対するキャッシュメンテナンス命令実行時の物理アドレスは外ROM/RAMの通常領域(0x0000_0000～0x1FFF_FFFF)のアドレスを使用するようにしてください。

5. LSI 内部バス

5.1 LSI 内部バス

5.1.1 構成

本 LSI は、周辺モジュールが接続されるノース基幹バス、内蔵 RAM、外 ROM/RAM が接続されるサウス基幹バスの２つの基幹バスで構成されています。概略図を図 5.1 に示します。

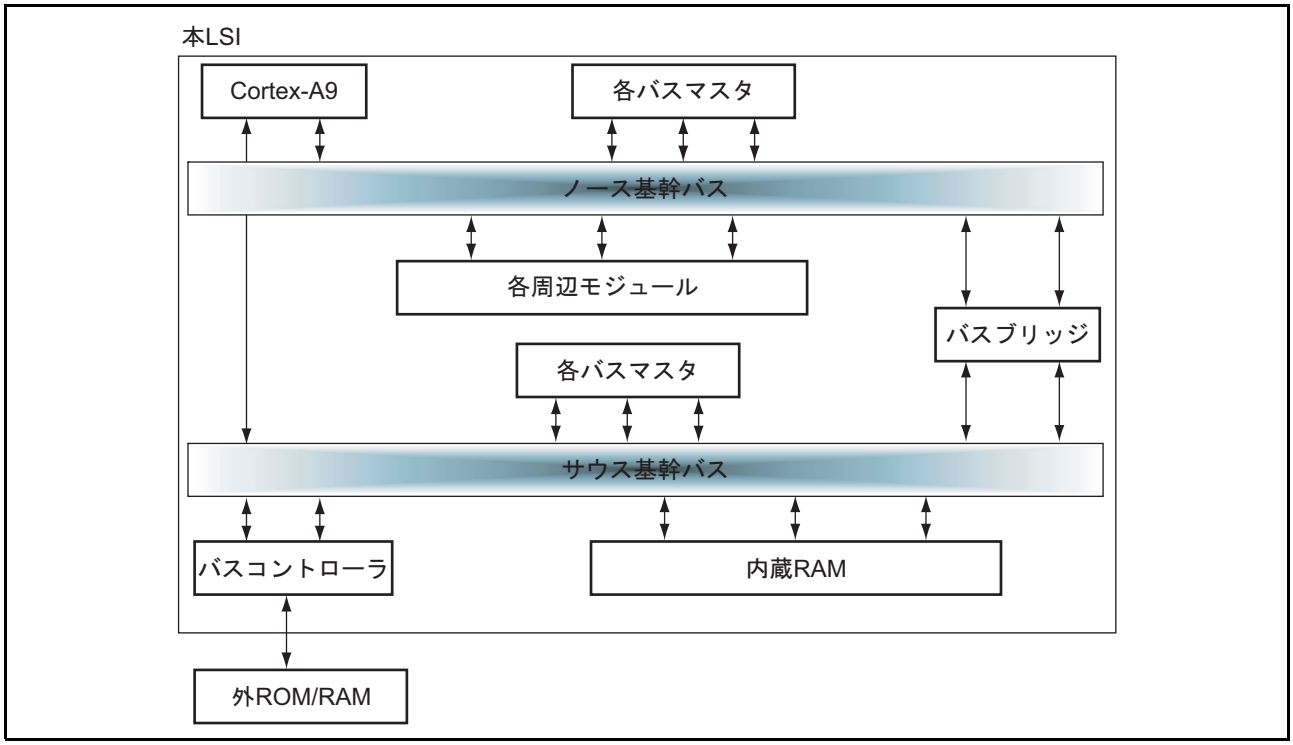


図 5.1　LSI 内部バス概略図

5.1.2 動作説明

Cortex-A9 はノース基幹バス、サウス基幹バス、それぞれにインタフェースを持っています。ノース基幹バスに割り当てられているアドレスへはノース基幹バスインタフェースから、サウス基幹バスに割り当てられているアドレスへはサウス基幹バスインタフェースからアクセスします。

Cortex-A9 を除いて、ノース基幹バスに接続されるバスマスタが内蔵 RAM、外 ROM/RAM へアクセスする場合は、ノース基幹バス→サウス基幹バスのバスブリッジを通して行います。サウス基幹バスに接続されているバスマスタが、ノース基幹バスに割り当てられているアドレスへアクセスすることは出来ません。なお、本 LSI の内部バスはリトルエンディアン方式で動作します。

5.2　ノース基幹バス

5.2.1　構成

ノース基幹バスには、各周辺モジュールが接続されます。ノース基幹バスの構成を図 5.2 に示します。

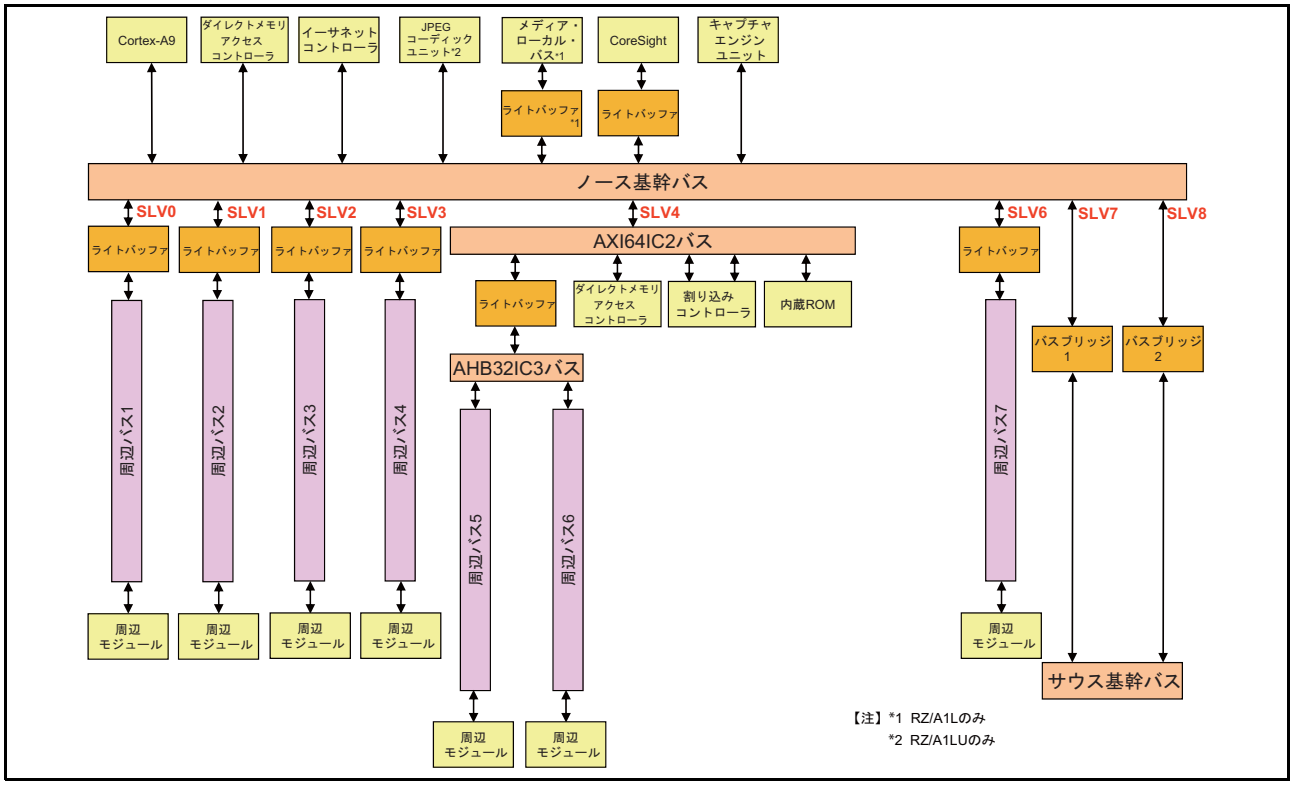


図 5.2　ノース基幹バス構成図

5.2.2　特長

ノース基幹バスの特長を表 5.1 に記載します。

表 5.1　ノース基幹バス

項目	内容
バスプロトコル	AMBA® AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	64 ビット
アービトレーション	ラウンドロビン

5.2.3 周辺バス

ノース基幹バスに接続されている周辺バスの一覧を、**表 5.2** に示します。

表 5.2　周辺バス一覧

項目	内容
周辺バス 1	
バス周波数	P0φ
バス幅	32 ビット
接続周辺モジュール	マルチファンクションタイマパルスユニット 2
	リアルタイムクロック
	ビデオディスプレイコントローラ 5
周辺バス 2	
バス周波数	P0φ
バス幅	32 ビット
接続周辺モジュール	クロックパルス発振器
	割り込みコントローラ
	ダイレクトメモリアクセスコントローラ
	OS タイマ 0,1 チャネル
	I^2C バスインタフェース　0～3 チャネル
	IEBus コントローラ（RZ/A1L のみ）
	LIN インタフェース（RZ/A1L のみ）
	汎用入出力ポート
周辺バス 3	
バス周波数	P1φ
バス幅	32 ビット
接続周辺モジュール	CAN インタフェース
	メディア・ローカル・バス（RZ/A1L のみ）
	SD ホストインタフェース　0,1 チャネル
	MMC ホストインタフェース

項目	内容
周辺バス 4	
バス周波数	P1φ
バス幅	32 ビット
接続周辺モジュール	FIFO 内蔵シリアルコミュニケーションインタフェース 0～4 チャネル
	シリアルコミュニケーションインタフェース 0,1 チャネル
	ルネサスシリアルペリフェラルインタフェース 0～2 チャネル
	ルネサス SPDIF インタフェース
	CD-ROM デコーダ（RZ/A1L のみ）
	A/D 変換器
	USB2.0 ホスト／ファンクションモジュール 0 チャネル
	JPEG コーデックユニット (RZ/A1LU のみ)
AXI64IC2 バス	
バスプロトコル	AMBA AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	64 ビット
アービトレーション	ラウンドロビン
AHB32IC3 バス	
バスプロトコル	AMBA AHB プロトコル
バス周波数	Bφ
バス幅	32 ビット
周辺バス 5	
バス周波数	P1φ
バス幅	32 ビット
接続周辺モジュール	シリアルサウンドインタフェース 0～3 チャネル
	USB2.0 ホスト／ファンクションモジュール 1 チャネル
	SCUX
周辺バス 6	
バス周波数	Bφ
バス幅	32 ビット
接続周辺モジュール	イーサネットコントローラ
	キャプチャエンジンユニット
	EthernetAVB　(RZ/A1LU のみ)
周辺バス 7	
バス周波数	P1φ
バス幅	32 ビット
接続周辺モジュール	CoreSight

5.3 サウス基幹バス

5.3.1 構成

サウス基幹バスには、内蔵 RAM、外 ROM/RAM が接続されます。サウス基幹バスの構成を図 5.3 に示します。

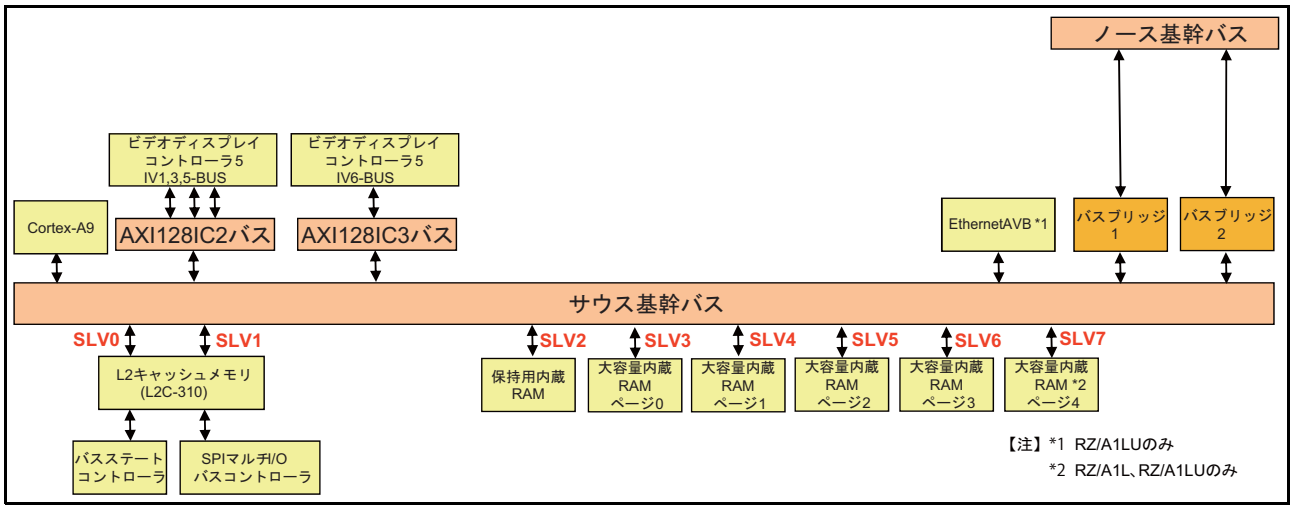


図 5.3　サウス基幹バス構成図

5.3.2 特長

サウス基幹バスの特長を表 5.3 に記載します。

表 5.3　サウス基幹バス

項目	内容
バスプロトコル	AMBA AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	128 ビット
アービトレーション	ラウンドロビン

5.3.3 接続バス

サウス基幹バスに接続されているバスの一覧とその特長を、表 5.4 に示します。

表 5.4　サウス基幹バスへの接続バス一覧とその特長

項目	内容
AXI128IC2、AXI128IC3 バス	
バスプロトコル	AMBA AXI プロトコル
バスシステム構成	全チャネルマルチレイヤ構成の AXI インターコネクト
バス周波数	Bφ
バス幅	128 ビット
アービトレーション	ラウンドロビン

5.4 アドレスマップ

本 LSI のアドレスマップを表 5.5 に示します。

表 5.5　アドレスマップ

アドレス	領域	ノース基幹バスマスタから見たスレーブ領域	サウス基幹バスマスタから見たスレーブ領域
0xFFFF_0000～0xFFFF_FFFF	IO 領域	SLV4 内蔵 ROM*1	－
0xFD00_0000～0xFFFE_FFFF	予約領域	－	
0xFCFF_0000～0xFCFF_FFFF	IO 領域	SLV0*1	
0xFCFE_0000～0xFCFE_FFFF	IO 領域	SLV1*1	
0xFC08_0000～0xFCFD_FFFF	予約領域	－	
0xFC00_0000～0xFC07_FFFF	IO 領域	SLV6*2*4	
0xF000_2000～0xFBFF_FFFF	予約領域	－	
0xF000_0000～0xF000_1FFF	Cortex-A9 プライベート領域	－	
0xE823_0000～0xEFFF_FFFF	予約領域	－	
0xE820_0000～0xE822_FFFF	IO 領域	SLV4*1*3	
0xE805_0000～0xE81F_FFFF	予約領域	－	
0xE803_0000～0xE804_FFFF	IO 領域	SLV2*1	
0xE802_0000～0xE802_FFFF	予約領域	－	
0xE800_0000～0xE801_FFFF	IO 領域	SLV3*1	
0xE000_0000～0xE7FF_FFFF	予約領域	－	
0x6030_0000～0xDFFF_FFFF	予約領域	－	－
0x6020_0000～0x602F_FFFF	大容量内蔵 RAM ページ 4 ミラー領域（1MB）（RZ/A1L、RZ/A1LU のみ）	SLV7	SLV7
0x6018_0000～0x601F_FFFF	大容量内蔵 RAM ページ 3 ミラー領域（512KB）		SLV6
0x6010_0000～0x6017_FFFF	大容量内蔵 RAM ページ 2 ミラー領域（512KB）	SLV8	SLV5
0x6008_0000～0x600F_FFFF	大容量内蔵 RAM ページ 1 ミラー領域（512KB）		SLV4
0x6002_0000～0x6007_FFFF	大容量内蔵 RAM ページ 0（保持用内蔵 RAM 含）ミラー領域（512KB）		SLV3
0x6000_0000～0x6001_FFFF			SLV2
0x5C00_0000～0x5FFF_FFFF	予約領域	－	－
0x5800_0000～0x5BFF_FFFF	SPI マルチ I/O バス領域 ミラー領域（64MB）	SLV7	SLV1
0x5400_0000～0x57FF_FFFF	CS5 空間 ミラー領域（64MB）		SLV0
0x5000_0000～0x53FF_FFFF	CS4 空間 ミラー領域（64MB）		
0x4C00_0000～0x4FFF_FFFF	CS3 空間 ミラー領域（64MB）		
0x4800_0000～0x4BFF_FFFF	CS2 空間 ミラー領域（64MB）		
0x4400_0000～0x47FF_FFFF	CS1 空間 ミラー領域（64MB）		
0x4080_0000～0x43FF_FFFF	CS0 空間 ミラー領域（64MB）		
0x4000_0000～0x407F_FFFF		－*5	
0x3FFF_C000～0x3FFF_FFFF	IO 領域	SLV8	
0x3FEF_B000～0x3FFF_BFFF	予約領域	－	－
0x3FEF_A000～0x3FEF_AFFF	IO 領域	SLV8	SLV1
0x2030_0000～0x3FEF_9FFF	予約領域	－	－

アドレス	領域	ノース基幹バスマスタから見たスレーブ領域	サウス基幹バスマスタから見たスレーブ領域
0x2020_0000～0x202F_FFFF	大容量内蔵RAM ページ4（1MB）（RZ/A1L、RZ/A1LUのみ）	SLV7	SLV7
0x2018_0000～0x201F_FFFF	大容量内蔵RAM ページ3（512KB）		SLV6
0x2010_0000～0x2017_FFFF	大容量内蔵RAM ページ2（512KB）	SLV8	SLV5
0x2008_0000～0x200F_FFFF	大容量内蔵RAM ページ1（512KB）		SLV4
0x2002_0000～0x2007_FFFF	大容量内蔵RAM ページ0（保持用内蔵RAM含）（512KB）		SLV3
0x2000_0000～0x2001_FFFF			SLV2
0x1C00_0000～0x1FFF_FFFF	予約領域	－	－
0x1800_0000～0x1BFF_FFFF	SPIマルチI/Oバス領域（64MB）	SLV8	SLV1
0x1400_0000～0x17FF_FFFF	CS5空間（64MB）		SLV0
0x1000_0000～0x13FF_FFFF	CS4空間（64MB）		
0x0C00_0000～0x0FFF_FFFF	CS3空間（64MB）		
0x0800_0000～0x0BFF_FFFF	CS2空間（64MB）		
0x0400_0000～0x07FF_FFFF	CS1空間（64MB）		
0x0000_0000～0x03FF_FFFF	CS0空間（64MB）		

注1.　Cortex-A9、ダイレクトメモリアクセスコントローラ、CoreSightのみアクセス可能です。その他のノース基幹バスマスタからのアクセスは、デコードエラーとなります。
注2.　Cortex-A9、CoreSightのみアクセス可能です。その他のノース基幹バスマスタからのアクセスは、デコードエラーとなります。
注3.　アドレス0xE821_4800～0xE822_FFFFをアクセスした場合、デコードエラーまたはスレーブエラーとなります。
注4.　CoreSightの状態により、スレーブエラーを返すことがあります。
注5.　ノース基幹バスに接続されるバスマスタ
・ダイレクトメモリアクセスコントローラ
・イーサネットコントローラ
・メディア・ローカル・バス
・CoreSight
・キャプチャエンジンユニット
から0x4000_0000～0x407F_FFFF番地をアクセスした場合、デコードエラーが発生し、アクセス出来ません。（RZ/A1Lのみ）
サウス基幹バスに接続されるバスマスタ
・Cortex-A9
・ビデオディスプレイコントローラ5
からはアクセス出来ます。
注6.　大容量内蔵RAMをアクセス無効時にアクセスした場合、スレーブエラーとなります。
注7.　“－”で記載されている箇所にアクセスした場合、デコードエラーまたはスレーブエラーとなります。
注8.　IO領域へのアクセスは、各スレーブモジュールで指定されたサイズでアクセスしてください。

5.5　アドレス・リマップ

5.5.1　概要

Cortex-A9 はリセットや割り込み等の例外発生時にアドレス 0x0000_0000 ～ 0x0000_001C に配置されている例外ベクタにジャンプします。割り込み応答時間は、この領域に接続されているメモリのアクセス時間に依存し、低速メモリが接続されている場合にはオーバーヘッドが大きくなります。上記を回避する方法として、MMU もしくはベクタベースアドレスレジスタにより、例外ベクタを高速な内蔵 RAM に再マッピングする方法。もしくは、アドレス・リマップ機能を使用することで、例外ベクタが配置されているアドレスを高速な内蔵 RAM に配置する方法があります。

図 5.4 にアドレス・リマップ前後のアドレスマップを示します。

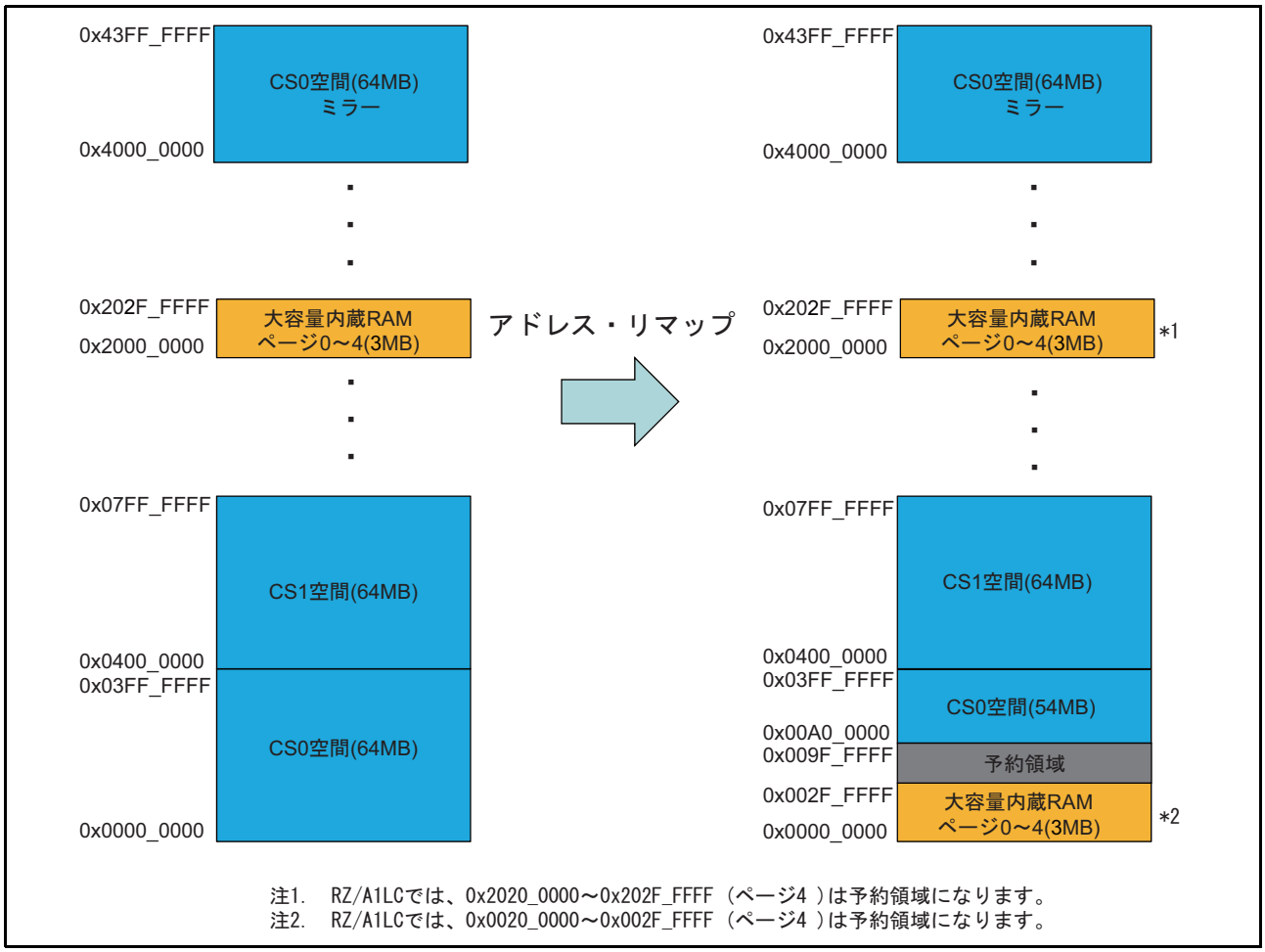


図 5.4　アドレス・リマップ

5.5.2 動作説明

リマップレジスタの AXI128 ビットを “0” に設定することで、アドレス・リマップを行います。アドレス・リマップが完了すると、大容量内蔵 RAM ページ 0 ～ 4 (RZ/A1LC : ページ 0 ～ 3) がアドレス 0x0000_0000 ～ 0x009F_FFFF に配置されます。ただし、アドレス 0x0030_0000 ～ 0x009F_FFFF (RZ/A1LC : アドレス 0x0020_0000 ～ 0x009F_FFFF) 領域は予約領域となりますので、アクセスしないでください。アドレス・リマップ後に CS0 空間にアクセスしたい場合は、CS0 空間（ミラー）を使用してください。

アドレス・リマップ中は、アドレス 0x0000_0000 ～ 0x009F_FFFF 領域へのアクセスを禁止します。このため、リマップレジスタは、下記手順で書き換えてください。

1. Cortex-A9 以外のバスマスタを停止する。
   または、必ずアドレス 0x0000_0000 ～ 0x009F_FFFF 領域をアクセスしない設定にする。
2. アドレス 0x0000_0000 ～ 0x009F_FFFF 以外の領域でプログラムを実行する。
3. リマップレジスタを書き換え後、リマップレジスタをダミーリードする。

5.6 AXI インターコネクト

5.6.1 構成

本 LSI の AXI インターコネクトは、全チャネル（5 チャネル）でマルチレイヤ構成となっています。
図 5.5 に AXI インターコネクトの構成概念図を示します。

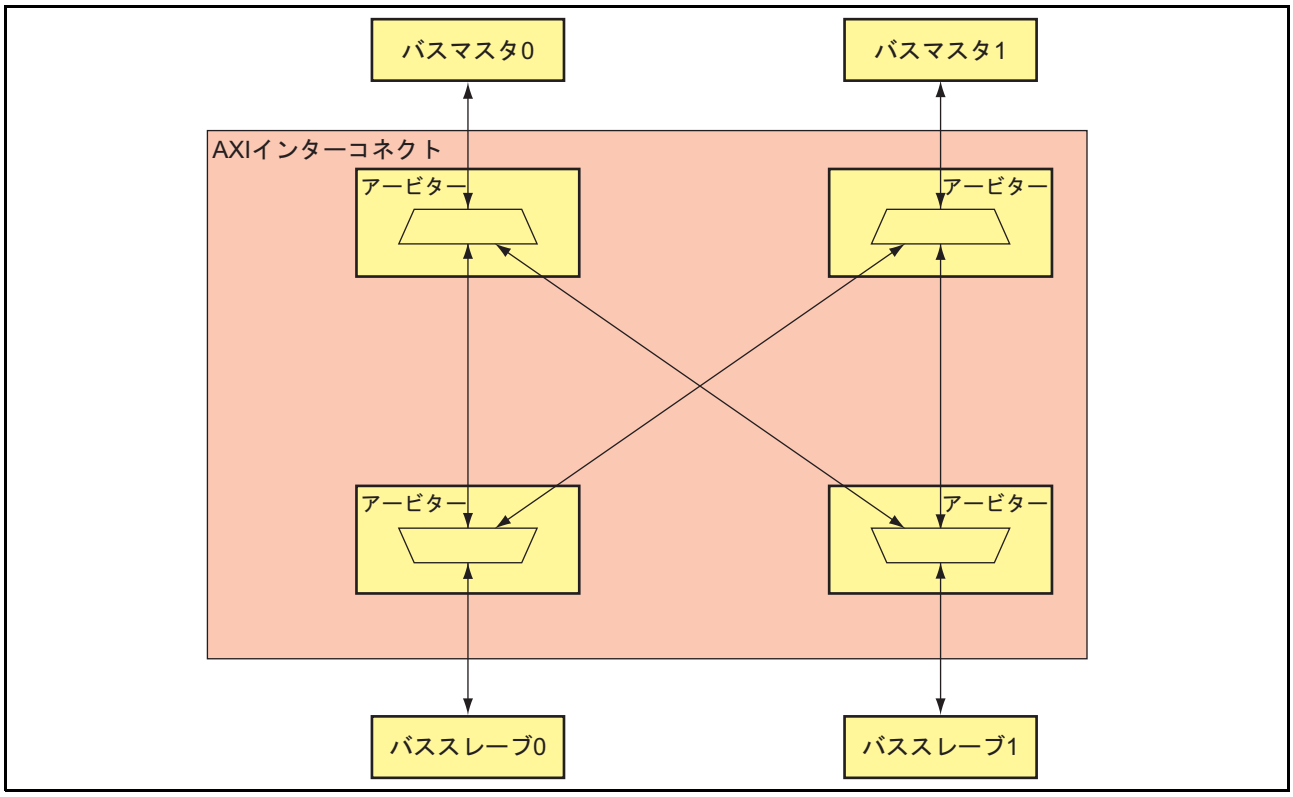


図 5.5　AXI インターコネクトの構成概念図

5.6.2 動作説明

AXI インターコネクトは、全チャネルで全バスマスタ⇔全バススレーブ間の配線が全てあります。各バスマスタ／スレーブが、各バススレーブ／マスタへアクセスを行った場合、アービターにてバス権調停後に転送を行います。バス権の優先順位は、ラウンドロビン方式によって切り替わります。各バスマスタ／スレーブがそれぞれ異なるバススレーブ／マスタへアクセスする場合、複数のバスマスタ／スレーブからのアクセスを並列に実行することが出来ます。しかし、同一のバススレーブ／マスタへのアクセスが同時に発生した場合、アービターにてバス権調停が行われます。バス権を取得できなかったバスマスタ／スレーブは、アクセス先のバスマスタ／スレーブが複数転送の受け入れが出来ない場合、バス権を取得したバスマスタ／スレーブの転送完了まで待ち状態となります。アクセス先のバスマスタ／スレーブが複数転送の受け入れ可能な場合は、次の転送タイミングで再度バス権調停が行われます。

5.7　バスブリッジ

ノース基幹バスからサウス基幹バスへのアクセスは、バスブリッジを通して行われます。バスブリッジは２つあり、アクセスするスレーブ領域によって、使用されるバスブリッジが決まります。アクセスするスレーブ領域の割り当てについては、**「表 5.5　アドレスマップ」**を参照してください。

本バスブリッジは同時に 8 つまでの転送を受け入れることが出来ます。またアウトオブオーダーをサポートしています。そのため、異なるバスマスタから低速な外 ROM アクセス、高速な内蔵 RAM アクセスの順番で連続して発生した場合、内蔵 RAM アクセスは、前に発行された外 ROM アクセスを待つことなく転送を行う事が出来ます。

5.8　AXI プロトコルの制御信号

AXI プロトコルの制御信号をバスマスタ毎に任意に設定することが出来ます。AXI プロトコルの制御信号詳細については、Arm 社の「AMBA AXI Protocol Specification」を参照してください。

5.8.1　Cortex-A9/CoreSight/ ダイレクトメモリアクセスコントローラを除くバスマスタ

(1)　キャッシュ制御（ARCACHE[3:0]、AWCACHE[3:0]）

AXI バスコントロールレジスタ（AXIBUSCTL）により、各バスマスタの ARCACHE[3:0]、AWCACHE[3:0] 信号を設定することが出来ます。設定を行う際は、必ず設定対象のバスマスタが AXI バスを使用していない状態で行ってください。

(2)　応答シグナル（RRESP[1:0]、BRESP[1:0]）

AXI バス応答エラーステータスレジスタ（AXIRERRST）により、各バスマスタが受け取った RRESP[1:0]、BRESP[1:0] 信号を読み出すことが出来ます。応答エラー発生時、レジスタの値は更新されます。AXI バス応答エラークリアレジスタ（AXIRERRCLR）により、ステータスレジスタの値を 00 にクリアすることが出来ます。

また、AXI バス応答エラー割り込みコントロールレジスタ（AXIRERRCTL）で、割り込み許可することにより、応答エラー発生時に割り込みを発生させることが出来ます。

本割り込みはデバッグ用途です。システム動作時は、応答エラーが発生しないようにしてください。

(3)　保護ユニット情報（ARPROT[2:0]、AWPROT[2:0])

ARPROT[2:0]、AWPROT[2:0] 信号は下記で固定されます。変更することは出来ません。

ARPROT[2]、AWPROT[2] : 0 (data access)

ARPROT[1]、AWPROT[1] : 1* (nonsecure access)

ARPROT[0]、AWPROT[0] : 0 (normal access)

【注】* EthernetAVB は ARPROT[1]、AWPROT[1] : 0 (secure access) に固定します。

(4)　アトミック・アクセス（ARLOCK[1:0]、AWLOCK[1:0])

ARLOCK[1:0]、AWLOCK[1:0] 信号は下記で固定されます。変更することは出来ません。

ARLOCK[1:0]、AWLOCK[1:0] : 00(normal access)

5.8.2 Cortex-A9

Cortex-A9 の詳細については、Arm Architecture Reference Manual を参照してください。

5.8.3 CoreSight

CoreSight の詳細については、Arm 社のテクニカルリファレンスマニュアルを参照してください。

CoreSight のバスマスタ側 (AHB Access Port) は、AHB-AXI バス変換回路を通して基幹バスに接続されています。

この際、各種信号は次のように変換されます。

(1) キャッシュ制御 (ARCACHE[3:0]、AWCACHE[3:0])

ARCACHE[3]、AWCACHE[3] : HPROT[3]=0 の時 0、HPROT[3]=1 の時 1
ARCACHE[2]、AWCACHE[2] : HPROT[3]=0 の時 0、HPROT[3]=1 の時 1
ARCACHE[1]、AWCACHE[1] : HPROT[3](cacheable) の値
ARCACHE[0]、AWCACHE[0] : HPROT[2](buffarable) の値

(2) 応答ユニット (RRESP[1:0]、BRESP[1:0])

RRESP[1:0]、BRESP[1:0]=00,01 の時、OKAY レスポンスを返します。
RRESP[1:0]、BRESP[1:0]=10,11 の時、ERROR レスポンスを返します。

(3) 保護ユニット情報 (ARPROT[2:0]、AWPROT[2:0])

ARPROT[2]、AWPROT[2] : HPROT[0](data/opcode) の反転
ARPROT[1]、AWPROT[1] : 1 固定 (nonsecure access)
ARPROT[0]、AWPROT[0] : HPROT[1](privileged) の値

(4) アトミック・アクセス (ARLOCK[1:0]、AWLOCK[1:0])

ARLOCK[1:0]、AWLOCK[1:0] : 00 固定 (normal access)

5.8.4 ダイレクトメモリアクセスコントローラ

ダイレクトメモリアクセスコントローラの詳細については、「9. ダイレクトメモリアクセスコントローラ」の章を参照してください。

5.8.5 スレーブ領域

各スレーブ領域では、制御信号を下記のように取り扱います。

(1) キャッシュ制御 (ARCACHE[3:0]、AWCACHE[3:0])

L2 キャッシュメモリおよびライトバッファにて参照します。
その他のスレーブ領域では、参照しません。

(2) 応答ユニット（RRESP[1:0]、BRESP[1:0])

表 5.5 アドレスマップを参照してください。

(3)　保護ユニット情報 (ARPROT[2:0]、AWPROT[2:0])

ARPROT[2]、AWPROT[2](instruction/data) : 参照しません。
ARPROT[1]、AWPROT[1](nonsecure/secure) : 割り込みコントローラ、L2 キャッシュメモリにて参照します。その他のスレーブ領域では参照しません。
ARPROT[0]、AWPROT[0](privileged/user) : 参照しません。

(4)　アトミック・アクセス（ARLOCK[1:0]、AWLOCK[1:0])

対応しません。マスタは必ず ARLOCK[1:0],AWLOCK[1:0]=00(normal access) でアクセスしてください。*
【注】* 本制約により、Cortex-A9 の内部キャッシュ不可領域に対する排他アクセス命令 (LDREX, STREX, LDREXB, STREXB, LDREXD, STREXD, LDREXH, STREXH)、及びセマフォ命令 (SWP,SWPB) は使用できません。

5.9　ライトバッファ

ノース基幹バスから周辺バスへ接続する箇所とメディア・ローカル・バス及び CoreSight からノース基幹バスへ接続する箇所にライトバッファを配置しています。

キャッシュ制御信号 AWCACHE[1:0] で、キャッシュ可能またはバッファ可能（AWCACHE[1:0] のどちらか片方が “1”）に設定した時、ライトバッファはその下のスレーブ領域をアクセスする前に書き込み完了をバスマスタに応答します。この際、アクセスするスレーブ領域からスレーブエラー応答を受けても無視します。

5.10 レジスタの説明

内部バスに関連するレジスタを下記に示します。

表 5.6　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
リマップレジスタ	RMPR	R/W	H'0000_0003	H'FCFE_1A00	32
AXI バスコントロールレジスタ 0	AXIBUSCTL0	R/W	H'0000_0000	H'FCFE_1A04	32
AXI バスコントロールレジスタ 2	AXIBUSCTL2	R/W	H'0000_0000	H'FCFE_1A0C	32
AXI バスコントロールレジスタ 5 (RZ/A1L のみ)	AXIBUSCTL5	R/W	H'0000_0000	H'FCFE_1A18	32
AXI バスコントロールレジスタ 6	AXIBUSCTL6	R/W	H'0000_0000	H'FCFE_1A1C	32
AXI バスコントロールレジスタ 7	AXIBUSCTL7	R/W	H'0000_0000	H'FCFE_1A20	32
AXI バス応答エラー割り込みコントロールレジスタ 0	AXIRERRCTL0	R/W	H'0000_0000	H'FCFE_1A30	32
AXI バス応答エラー割り込みコントロールレジスタ 2	AXIRERRCTL2	R/W	H'0000_0000	H'FCFE_1A38	32
AXI バス応答エラーステータスレジスタ 0	AXIRERRST0	R/W	H'0000_0000	H'FCFE_1A40	32
AXI バス応答エラーステータスレジスタ 2	AXIRERRST2	R/W	H'0000_0000	H'FCFE_1A48	32
AXI バス応答エラークリアレジスタ 0	AXIRERRCLR0	R/W	H'0000_0000	H'FCFE_1A50	32
AXI バス応答エラークリアレジスタ 2	AXIRERRCLR2	R/W	H'0000_0000	H'FCFE_1A58	32

5.10.1　リマップレジスタ（RMPR）

本レジスタは、アドレス・リマップ機能の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	AXI128	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説明
31～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
1	AXI128	1	R/W	AXI128アドレス・リマップ H'0000_0000～H'009F_FFFFのアドレスを内蔵RAMページ0～4 (RZ/A1LC : ページ0 ～ 3) に割り当てます。 0：アドレス・リマップ有効 1：アドレス・リマップ無効
0	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値は常に1にしてください。

5.10.2 AXI バスコントロールレジスタ 0（AXIBUSCTL0）

本レジスタは、JPEG コーデックユニット (RZ/A1LU のみ)、イーサネットコントローラのキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	JCUARCACHE[3:0] *				—	—	—	—	JCUAWCACHE[3:0] *			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	ETHARCACHE[3:0]				—	—	—	—	ETHAWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27～24	JCUARCACHE[3:0]*	すべて 0	R/W	JPEG コーデックユニット ARCACHE[3:0] 信号 JPEG コーデックユニットがリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、JPEG コーデックユニットの ARCACHE[3:0] 信号に反映されます。本ビットの書き換えは、必ず JPEG コーデックユニットが内部バスを使用していない時に行ってください。
23～20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19～16	JCUAWCACHE[3:0]*	すべて 0	R/W	JPEG コーデックユニット AWCACHE[3:0] 信号 JPEG コーデックユニットがライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、JPEG コーデックユニットの AWCACHE[3:0] 信号に反映されます。本ビットの書き換えは、必ず JPEG コーデックユニットが内部バスを使用していない時に行ってください。
15～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11～8	ETHARCACHE [3:0]	すべて 0	R/W	イーサネットコントローラ ARCACHE[3:0] 信号 イーサネットコントローラがリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、イーサネットコントローラの ARCACHE[3:0] 信号に反映されます。本ビットの書き換えは、必ずイーサネットコントローラが内部バスを使用していない時に行ってください。
7～4	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
3～0	ETHAWCACHE [3:0]	すべて 0	R/W	イーサネットコントローラ AWCACHE[3:0] 信号 イーサネットコントローラがライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、イーサネットコントローラの AWCACHE[3:0] 信号に反映されます。本ビットの書き換えは、必ずイーサネットコントローラが内部バスを使用していない時に行ってください。

注 .　* 本ビットは RZ/A1LU にのみ実装されています。RZ/A1L、RZ/A1LC では書き込む値は常に 0 にしてください。

5.10.3 AXI バスコントロールレジスタ 2（AXIBUSCTL2）

本レジスタは、キャプチャエンジンユニット のキャッシュ制御 を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	CEUAWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～4	ー	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
3～0	CEUAWCACHE [3:0]	すべて0	R/W	キャプチャエンジンユニット AWCACHE[3:0]信号 キャプチャエンジンユニットがライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、キャプチャエンジンユニットのAWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずキャプチャエンジンユニットが内部バスを使用していない時に行ってください。

5.10.4　AXI バスコントロールレジスタ 5（AXIBUSCTL5）

本レジスタは、RZ/A1L にのみ搭載しています。本レジスタは、メディア・ローカル・バスのキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MLBAXCACHE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
1,0	MLBAX CACHE[1:0]	すべて0	R/W	メディア・ローカル・バスAWCACHE[3:0]、ARCACHE[3:0]信号 メディア・ローカル・バスがリード／ライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、メディア・ローカル・バスのAWCACHE[3:0]、ARCACHE[3:0]信号に反映されます。 MLBAXCACHE[0]の値は、ARCACHE[0], AWCACHE[0]にそのまま反映されます。 MLBAXCACHE[1]=0の時、ARCACHE[3:1], AWCACHE[3:1]は全て0、 MLBAXCACHE[1]=1の時、ARCACHE[3:1], AWCACHE[3:1]は全て1となります。 本ビットの書き換えは、必ずメディア・ローカル・バスが内部バスを使用していない時に行ってください。

5.10.5 AXI バスコントロールレジスタ 6（AXIBUSCTL6）

本レジスタは、ビデオディスプレイコントローラ 5 のキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VDC501ARCACHE[3:0]				—	—	—	—	VDC501AWCACHE[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VDC502ARCACHE[3:0]				—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～28	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
27～24	VDC501AR CACHE[3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 5 IV3-BUS ARCACHE[3:0]信号 ビデオディスプレイコントローラ 5 IV3-BUS がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 5 IV3-BUS の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 5 が内部バスを使用していない時に行ってください。
23～20	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19～16	VDC501AW CACHE[3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 5 IV1-BUS AWCACHE[3:0]信号 ビデオディスプレイコントローラ 5 IV1-BUS がライト動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 5 IV1-BUS の AWCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 5 が内部バスを使用していない時に行ってください。
15～12	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11～8	VDC502AR CACHE [3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 5 IV5-BUS ARCACHE[3:0]信号 ビデオディスプレイコントローラ 5 IV5-BUS がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 5 IV5-BUS の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 5 が内部バスを使用していない時に行ってください。
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.10.6 AXI バスコントロールレジスタ 7（AXIBUSCTL7）

本レジスタは、ビデオディスプレイコントローラ 5 のキャッシュ制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	VDC504ARCACHE[3:0]				—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～12	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
11～8	VDC504AR CACHE [3:0]	すべて 0	R/W	ビデオディスプレイコントローラ 5 IV6-BUS ARCACHE[3:0]信号 ビデオディスプレイコントローラ 5 IV6-BUS がリード動作を行った際のシステムキャッシュ動作を設定します。本ビットの値は、ビデオディスプレイコントローラ 5 IV6-BUS の ARCACHE[3:0]信号に反映されます。本ビットの書き換えは、必ずビデオディスプレイコントローラ 5 が内部バスを使用していない時に行ってください。
7～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.10.7　AXI バス応答エラー割り込みコントロールレジスタ 0（AXIRERRCTL0）

本レジスタは、AXI バス応答エラー割り込み制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	JCURERREN*	—	—	—	ETHRERREN	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CEURERREN	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～29	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	JCURERREN*	0	R/W	JPEGコーデックユニットレスポンスエラー割り込みイネーブル JPEGコーデックユニットからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
27～25	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	ETHRERREN	0	R/W	イーサネットコントローラ レスポンスエラー割り込みイネーブル イーサネットコントローラからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
23～9	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
8	CEURERREN	0	R/W	キャプチャエンジンユニット レスポンスエラー割り込みイネーブル キャプチャエンジンユニット からのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
7～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

注．　* 本ビットは RZ/A1LU にのみ実装されています。RZ/A1L、RZ/A1LC では書き込む値は常に 0 にしてください。

5.10.8 AXI バス応答エラー割り込みコントロールレジスタ 2（AXIRERRCTL2）

本レジスタは、AXI バス応答エラー割り込み制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	VDC501 RERREN	—	—	—	VDC502 RERREN	—	—	—	—	—	—	—	VDC504 RERREN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31～29	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	VDC501RERREN	0	R/W	ビデオディスプレイコントローラ5 IV1/3-BUS レスポンスエラー割り込みイネーブル ビデオディスプレイコントローラ5 IV1/3-BUSからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
27～25	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	VDC502RERREN	0	R/W	ビデオディスプレイコントローラ5 IV5-BUS レスポンスエラー割り込みイネーブル ビデオディスプレイコントローラ5 IV5-BUSからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
23～17	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
16	VDC504RERREN	0	R/W	ビデオディスプレイコントローラ5 IV6-BUS レスポンスエラー割り込みイネーブル ビデオディスプレイコントローラ5 IV6-BUSからのアクセスがレスポンスエラーとなった時、割り込み要求の発生を許可／禁止します。 0：割り込み要求を禁止 1：割り込み要求を許可
15～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.10.9　AXI バス応答エラーステータスレジスタ 0（AXIRERRST0）

本レジスタは、AXI バス応答エラーを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	JCURRESP[1:0]*		JCUBRESP[1:0]*		ETHRRESP[1:0]		ETHBRESP[1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	CEUBRESP[1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
31,30	JCURRESP[1:0]*	すべて 0	R	JPEG コーデックユニット RRESP[1:0] 信号 JPEG コーデックユニットが受け取る RRESP[1:0] 信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
29,28	JCUBRESP[1:0]*	すべて 0	R	JPEG コーデックユニット BRESP[1:0] 信号 JPEG コーデックユニットが受け取る BRESP[1:0] 信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
27,26	ETHRRESP[1:0]	すべて 0	R	イーサネットコントローラ RRESP[1:0] 信号 イーサネットコントローラが受け取る RRESP[1:0] 信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
25,24	ETHBRESP[1:0]	すべて 0	R	イーサネットコントローラ BRESP[1:0] 信号 イーサネットコントローラが受け取る BRESP[1:0] 信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
23～10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
9,8	CEUBRESP[1:0]	すべて 0	R	キャプチャエンジンユニット BRESP[1:0] 信号 キャプチャエンジンユニットが受け取る BRESP[1:0] 信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
7～0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

注．　* 本ビットは RZ/A1LU にのみ実装されています。RZ/A1L、RZ/A1LC では読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.10.10　AXI バス応答エラーステータスレジスタ 2（AXIRERRST2）

本レジスタは、AXI バス応答エラーを示すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VDC501RRESP[1:0]		VDC501BRESP[1:0]		VDC502RRESP[1:0]		—	—	—	—	—	—	VDC504RRESP[1:0]		—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31,30	VDC501RRESP[1:0]	すべて0	R	ビデオディスプレイコントローラ5 IV3-BUS RRESP[1:0]信号 ビデオディスプレイコントローラ5 IV3-BUSが受け取るRRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
29,28	VDC501BRESP[1:0]	すべて0	R	ビデオディスプレイコントローラ5 IV1-BUS BRESP[1:0]信号 ビデオディスプレイコントローラ5 IV1-BUSが受け取るBRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
27,26	VDC502RRESP[1:0]	すべて0	R	ビデオディスプレイコントローラ5 IV5-BUS RRESP[1:0]信号 ビデオディスプレイコントローラ5 IV5-BUSが受け取るRRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
25～20	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
19,18	VDC504RRESP[1:0]	すべて0	R	ビデオディスプレイコントローラ5 IV6-BUS RRESP[1:0]信号 ビデオディスプレイコントローラ5 IV6-BUSが受け取るRRESP[1:0]信号が反映されます。応答エラーが発生した時、本ビットは更新されます。 00：OKAY, 10：SLVERR, 11：DECERR
17～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

5.10.11　AXI バス応答エラークリアレジスタ 0（AXIRERRCLR0）

本レジスタは、AXI バス応答エラーステータスのクリアを行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	JCURRESPCLR*	—	JCUBRESPCLR*	—	ETHRRESPCLR	—	ETHBRESPCLR	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CEUBRESPCLR	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
30	JCURRESPCLR*	0	R/W	JCURRESP[1:0]クリア 本ビットに1ライトを行う事により、JCURRESP[1:0] ビットを00にクリアします。 読み出し時は常に0です。
29	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
28	JCUBRESPCLR*	0	R/W	JCUBRESP[1:0]クリア 本ビットに1ライトを行う事により、JCUBRESP[1:0] ビットを00にクリアします。 読み出し時は常に0です。
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
26	ETHRRESPCLR	0	R/W	ETHRRESP[1:0]クリア 本ビットに1ライトを行う事により、ETHRRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
25	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
24	ETHBRESPCLR	0	R/W	ETHBRESP[1:0]クリア 本ビットに1ライトを行う事により、ETHBRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
23～9	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。
8	CEUBRESPCLR	0	R/W	CEUBRESP[1:0]クリア 本ビットに1ライトを行う事により、CEUBRESP[1:0]ビットを00にクリアします。 読み出し時は常に0です。
7～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は常に0にしてください。

注．　* 本ビットは RZ/A1LU にのみ実装されています。RZ/A1L、RZ/A1LC では書き込む値は常に 0 にしてください。

5.10.12　AXI バス応答エラークリアレジスタ 2（AXIRERRCLR2）

本レジスタは、AXI バス応答エラーステータスのクリアを行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	VDC501 RRESP CLR	—	VDC501 BRESP CLR	—	VDC502 RRESP CLR	—	—	—	—	—	—	—	VDC504 RRESP CLR	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R/W	R	R/W	R	R	R	R	R	R	R	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
30	VDC501RRESPCLR	0	R/W	VDC501RRESP[1:0]クリア 本ビットに 1 ライトを行う事により、VDC501RRESP[1:0]ビットを 00 にクリアします。 読み出し時は常に 0 です。
29	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
28	VDC501BRESPCLR	0	R/W	VDC501BRESP[1:0]クリア 本ビットに 1 ライトを行う事により、VDC501BRESP[1:0]ビットを 00 にクリアします。 読み出し時は常に 0 です。
27	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
26	VDC502RRESPCLR	0	R/W	VDC502RRESP[1:0]クリア 本ビットに 1 ライトを行う事により、VDC502RRESP[1:0]ビットを 00 にクリアします。 読み出し時は常に 0 です。
25～19	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
18	VDC504RRESPCLR	0	R/W	VDC504RRESP[1:0]クリア 本ビットに 1 ライトを行う事により、VDC504RRESP[1:0]ビットを 00 にクリアします。 読み出し時は常に 0 です。
17～0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

5.11　割り込み要求

デコード／スレーブエラー発生時、AXI バス応答エラー割り込み要求（PRRI）を出力します。

AXI バス応答エラー割り込みコントロールレジスタ（AXIRERRCTL）で割り込み要求許可を設定したバスに、応答エラーが返った時、割り込み要求を出力します。応答エラーの内容は、AXI バス応答エラーステータスレジスタ（AXIRERRST）を読み出すことにより確認することが出来ます。割り込み要求をクリアする際は、AXI バス応答エラークリアレジスタ（AXIRERRCLR）で、AXI バス応答エラーステータスレジスタをクリアします。

本割り込みはデバッグ用途です。システム動作時は、応答エラーが発生しないようにしてください。

6. クロックパルス発振器

本 LSI は、クロックパルス発振器を内蔵しており、CPU クロック（Iφ）、内部バスクロック（Bφ）、周辺クロック 1（P1φ）、および周辺クロック 0（P0φ）を生成します。クロックパルス発振器は、水晶発振器、PLL 回路、および分周回路で構成されます。

6.1 特長

- クロックの種類
  CPU クロック（Iφ）、内部バスクロック（Bφ）、外部バスインタフェースで使用する周辺クロック 1（P1φ ＝ CKIO）さらに、周辺モジュールで使用する周辺クロック 0（P0φ）を独立に生成できます。
- 周波数変更機能
  本モジュール内部の PLL（Phase Locked Loop）回路や分周回路により、CPU クロックの周波数を変更できます。周波数変更は、周波数制御レジスタ（FRQCR）の設定により、ソフトウェアで行います。
- 低消費電力モードの制御
  スリープモード、ソフトウェアスタンバイモード、およびディープスタンバイモードでのクロック停止、およびモジュールスタンバイ機能での特定モジュールの停止が可能です。なお、低消費電力モードの制御については、**「42. 低消費電力モード」**を参照してください。
- SSCG 機能
  CPU 内部の PLL（Phase Locked Loop）回路に SSCG（Spread Spectrum Clock Generator）を内蔵しています。
  SSCG とは、出力周波数をわずかに変動させて発振（周波数変調）させることで、EMI（電磁波輻射）ノイズのピークを抑えることができます。
  本 LSI で使用している SSCG の仕様は、以下です。
- SSCG 仕様
  1. 変調波形（変調プロファイル）： 三角波
  2. スプレッドタイプ　：ダウンスプレッド
  3. 変調率　：-3.3% (クロックモード０), -3.1%（クロックモード１ ）
  4. 変調周波数　：20.00 ～ 26.67kHz（EXTAL 周波数 ÷500）
     24.00kHz (USB_X1 周波数 ×(1/4)÷500)

図 6.1 にブロック図を示します。

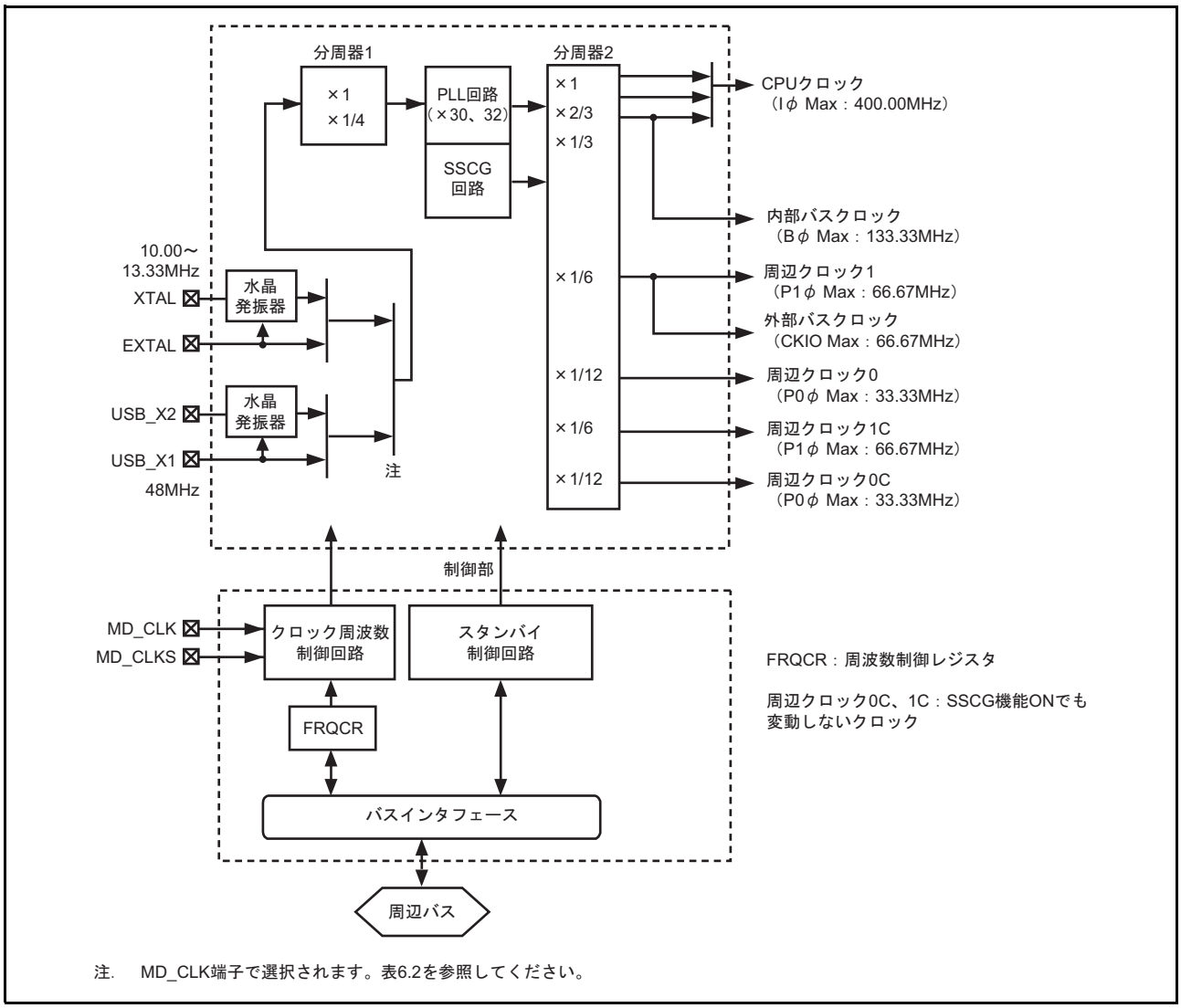


図 6.1　　ブロック図

本モジュールの各ブロックは、次のように機能します。

(1)　水晶発振器

水晶発振器は、XTAL、EXTAL および USB_X1、USB_X2 端子に水晶発振子を接続する場合に使用されます。クロックモードの設定により、どちらかが選択されます。

(2)　PLL 回路

PLL 回路は、EXTAL 端子からの入力クロックを 30 逓倍する機能を持ちます。USB_X1 端子からの入力クロックを選択した場合は 32 逓倍する機能となります。

(3) 分周器 1、分周器 2

分周器 1 は、EXTAL 入力では 1/1 分周固定、USB_X1 入力では 1/4 分周固定です。

分周器 2 は、CPU クロック、内部バスクロック、周辺クロック 1 および周辺クロック 0 で使用する動作周波数のクロックを生成する機能を持ちます。CPU クロックの分周率は、周波数制御レジスタ（FRQCR）で設定します。周辺クロック 1 の分周率は 1/6 固定、周辺クロック 0 の分周率は 1/12 固定です。

(4) クロック周波数制御回路

クロック周波数制御回路は、周波数制御レジスタ（FRQCR）によりクロック周波数を制御します。

(5) スタンバイ制御回路

スタンバイ制御回路は、クロック切り替え時またはソフトウェアスタンバイモードおよびディープスタンバイモード時の内蔵発振回路の状態、および他のモジュールの状態を制御します。

さらに、他のモジュールの低消費電力モードを制御するスタンバイコントロールレジスタがあります。スタンバイコントロールレジスタについては、**「42. 低消費電力モード」**を参照してください。

(6) 周波数制御レジスタ（FRQCR）

周波数制御レジスタ（FRQCR）には、ソフトウェアスタンバイモード時および、ディープスタンバイモード時の CKIO 端子からのクロック出力の有無、CPU クロック（Iφ）の周波数分周率の各制御ビットが割り当てられています。

(7) SSCG 回路

SSCG 回路は、MD_CLKS 端子により機能 ON、機能 OFF の制御を行います。SSCG 機能が OFF の場合、内部クロックはすべて変動のない一定の周波数のクロックになります。SSCG 機能を ON にすると、以下に示す一部の周辺モジュールに供給するクロック以外が、変動する周波数のクロックになります。

常に変動しない周波数のクロックが供給される周辺モジュール：

IEBus™ コントローラ (RZ/A1L のみ)、マルチファンクションタイマパルスユニット 2、FIFO 内蔵シリアルコミュニケーションインタフェース、CAN インタフェース、OS タイマ、LIN インタフェース (RZ/A1L のみ)、シリアルコミュニケーションインタフェース

6.2 入出力端子

表 6.1 に端子構成と機能を示します。

表6.1　端子構成と機能

名称	端子名	入出力	機能
モード制御端子	MD_CLK	入力	EXTAL 入力、USB_X1 入力を切り替えます。
	MD_CLKS	入力	SSCG 回路動作 ON、OFF を設定します。
クリスタル入出力端子 （クロック入力端子）	XTAL	出力	水晶発振子を接続します。 （水晶発振子を使用しない場合は、端子を開放してください）
	EXTAL	入力	水晶発振子を接続、または外部クロック入力端子として使用します。
	USB_X2	出力	水晶発振子を接続します。 （水晶発振子を使用しない場合は、端子を開放してください）
	USB_X1	入力	水晶発振子を接続、または外部クロック入力端子として使用します。
クロック出力端子	CKIO	出力	クロック出力端子になります。

6.3　クロックモード

クロック入出力の関係を**表 6.2** に示します。使用可能周波数範囲を**表 6.3** に示します。

表6.2　クロック入出力の関係

モード	MD_CLK 端子設定値	クロック入出力		分周器1	PLL回路	CKIOの周波数
		供給源	出力			
0	0	EXTAL／水晶発振子	CKIO	1	ON（×30）	（EXTAL／水晶）×5
1	1	USB_X1／水晶発振子	CKIO	1/4	ON（×32）	（USB_X1／水晶）×4/3

クロックモード 0 は、EXTAL 端子または水晶発振器からクロックを入力します。PLL 回路で波形成形および周波数逓倍を行い、本 LSI に供給します。EXTAL 端子入力および水晶発振子ともに発振周波数が 10MHz から 13.33MHz までのものを使用でき、CKIO の周波数レンジは 50MHz から 66.67MHz となります。

クロックモード 1 は、USB_X1 端子または水晶発振器からクロックを入力します。PLL 回路で波形成形および周波数逓倍を行い、本 LSI に供給します。USB_X1 端子入力および水晶発振子ともに発振周波数は 48MHz を使用でき、CKIO の周波数は 64MHz となります。

周波数を変更する際は、必ず PL310 の Power Control Register の standby_mode_en を設定してください。レジスタ詳細については、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。

周波数制御レジスタの IFC[1:0] を変更後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、周波数変更を開始します。この際、発行済リクエストが完了できない場合は周波数変更処理を開始できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。また、バスマスタから意図しないリクエストの発生を抑止するために、周波数変更の手順を実行する前に、予めソフトウェアにより各バスマスタを停止させておくことも有効です。

表6.3　設定可能な周波数範囲

モード	FRQCR レジスタ設定値（注 1）	PLL 逓倍率 / PLL 回路	内部クロック比 (I：B：P1：P0)（注 2）	設定可能な周波数範囲（MHz）					
				入力クロック（注 3）	出力クロック (CKIO 端子)	CPU クロック (Iφ)	内部バスクロック (Bφ)	周辺クロック 1 (P1φ)	周辺クロック 0 (P0φ)
0	H'x035	ON (×30)	30：10：5：5/2	10.00 ～ 13.33	50.00 ～ 66.67	300.00 ～ 400.00	100.00 ～ 133.33	50.00 ～ 66.67	25.00 ～ 33.33
	H'x135		20：10：5：5/2			200.00 ～ 266.67			
	H'x335		10：10：5：5/2			100.00 ～ 133.33			
1	H'x035	ON (×32)	8：8/3：4/3：2/3	48.00	64.00	384.00	128.00	64.00	32.00
	H'x135		16/3：8/3：4/3：2/3			256.00			
	H'x335		8/ 3：8/3：4/3：2/3			128.00			

注1.　FRQCR レジスタ設定値の x は、ビット 14、13、12 の設定値によります。
注2.　入力クロック周波数を 1 としたときのクロック比です。
注3.　クロックモード 0 の場合、EXTAL 端子からのクロック入力または水晶発振子の周波数です。クロックモード 1 の場合、USB_X1 端子からのクロック入力または水晶発振子の周波数です。

【注意事項】

表 6.3 以外の周波数設定で本 LSI を使用しないでください。

本 LSI は、$\overline{\text{RES}}$ = L の状態のときに、MD_CLK 端子の設定値によりクロック供給源を切り替えます。設定値に対応する動作は、以下となります。

表 6.4　クロック供給源選択

MD_CLK 端子設定値	クロック供給源
0	EXTAL ／水晶発振子
1	USB_X1 ／水晶発振子

本 LSI は、$\overline{\text{RES}}$ = L の状態のときに、MD_CLKS 端子の設定値により SSCG 動作 ON、OFF を切り替えます。設定値に対応する動作は、以下となります。ただし、PLL の逓倍率および各クロックの分周率が設定値によって変わるものではありません。

表 6.5　SSCG 動作設定

MD_CLKS 端子設定値	SSCG 動作
0	OFF
1	ON

6.4　レジスタの説明

レジスタ構成を表 6.6 に示します。

表6.6　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
周波数制御レジスタ	FRQCR	R/W	H'0335	H'FCFE0010	16

6.4.1　周波数制御レジスタ（FRQCR）

FRQCR は、読み出し／書き込み可能な 16 ビットのレジスタで、通常時、XTAL 用水晶発振器のゲイン変更時、ソフトウェアスタンバイモード時、ディープスタンバイモード時、およびスタンバイ解除時の CKIO 端子からクロック出力の有無、CPU クロック（Iφ）の周波数分周率の指定ができます。FRQCR は、16 ビットサイズアクセスのみ可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	CKOEN2	CKOEN[1:0]		-	-	IFC[1:0]		-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	1	1	0	0	1	1	0	1	0	1
R/W：	R	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	CKOEN2	0	RW	クロック出力イネーブル2 CKOEN2は、XTAL水晶発振器のゲイン変更時にCKIO端子からクロックを出力するかCKIO端子をローレベル固定するかを指定します。 1を設定した場合は、XTAL水晶発振器のゲイン変更時の間、CKIO端子がローレベルに固定されます。これによりXTAL水晶発振器のゲイン変更時の不安定なCKIOクロックによって外部回路が誤動作することを防ぐことができます。 0：不安定なクロックを出力 1：ローレベル出力
13、12	CKOEN[1:0]	00	R/W	クロック出力イネーブル CKOEN[1:0]は、通常時、ディープスタンバイモード時、ソフトウェアスタンバイモード時、およびスタンバイ解除時にCKIO端子からクロックを出力するか、CKIO端子をレベル固定するか、ハイインピーダンス状態（Hi-Z）にするかを指定します。 01を設定した場合は、ディープスタンバイモード時、ソフトウェアスタンバイモード時およびソフトウェアスタンバイ解除時の間、CKIO端子がローレベルに固定されます。これにより、ソフトウェアスタンバイ解除時の不安定なCKIOクロックによって外部回路が誤動作することを防ぐことができます。 表6.7にCKOEN[1:0]ビットの設定内容を示します。
11、10	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	IFC[1:0]	11	R/W	CPUクロック周波数の分周率 PLL回路の出力周波数に対してのCPUクロック周波数の分周率を指定します。 注.　6.5.1参照 00：×1/1倍 01：×2/3倍 10：予約（設定禁止） 11：×1/3倍
7、6	—	00	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	—	11	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　明
2	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

表6.7　CKOEN[1:0]ビットの設定内容

設定値	通常時	ソフトウェアスタンバイモード時	ディープスタンバイモード時（注1）
00	出力	出力オフ （Hi-Z）	出力オフ （Hi-Z）
01	出力	ローレベル出力	ローレベル出力
10	出力	出力 （不安定なクロック出力）	ローレベル出力またはハイレベル出力
11	出力オフ （Hi-Z）	出力オフ （Hi-Z）	出力オフ （Hi-Z）

注1.　ただし、ディープスタンバイ解除時、出力されるCKIOクロックの先頭が欠ける場合があります。

6.5　周波数変更方法

CPU クロック（Iφ）の周波数を変更するには、分周器の分周率を変えます。分周率の変更は、周波数制御レジスタ（FRQCR）によってソフトウェアで制御します。

6.5.1　分周率の変更

分周率を変更する手順は、以下の方法です。

1. 初期状態では、IFC[1:0] ＝ B'11 になっています。
2. IFC[1:0] ビットを目的とする値に設定します。誤った値を設定すると本 LSI は誤動作するので注意してください。
3. レジスタの各ビット（IFC[1:0]）が設定されると、設定されたクロックに切り替わります。

注 .　周波数変更後 WFI 命令を実行する場合、周波数制御レジスタ（FRQCR）をリードして設定されたことを確認してください。さらに、CPU ステータスレジスタ（CPUSTS）の ISBUSY0 ビットが 0 であることを確認してから、WFI 命令を実行してください。
CPUSTS レジスタについては「42.　低消費電力モード」を参照してください。

6.6　クロック端子の使用方法

本 LSI には、水晶発振子を接続またはクロック入力が可能な端子として、**表 6.8** に示す端子があります。

これらの端子に関して、以下のことに注意してください。なお、本文中の Xin 端子と Xout 端子は**表 6.8** の端子を示します。

表6.8　クロック端子

Xin端子 （水晶発振子を接続または外部クロック入力端子として使用する）	Xout端子 （水晶発振子を接続する）
EXTAL	XTAL
USB_X1	USB_X2
AUDIO_X1	AUDIO_X2
RTC_X1	RTC_X2

6.6.1　外部クロック入力時

外部クロック入力の接続例を**図 6.2** に示します。Xout 端子を開放状態にする場合、寄生容量は 10pF 以下にしてください。

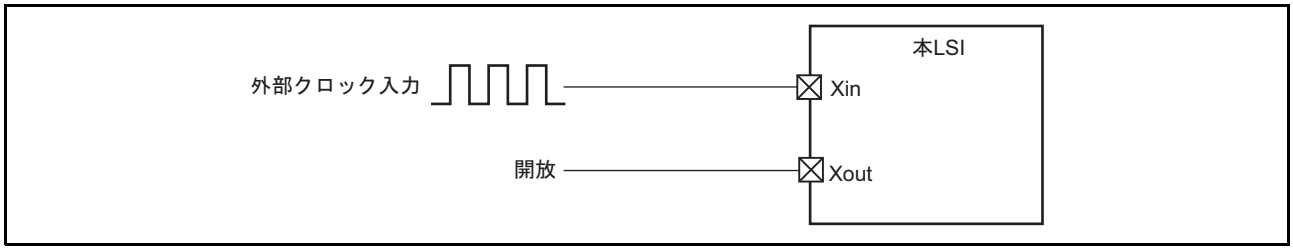


図 6.2　外部クロックの接続例

6.6.2　水晶発振子使用時

水晶発振子の接続例を図 6.3 に示します。

水晶発振子と容量 CL1、CL2 は、できるだけ Xin 端子と Xout 端子の近くに置いてください。また、誘導を避け、正しい発振を行うために、水晶発振子に付加するコンデンサの接地点は共通にし、これらの部品の近くには配線パターンを置かないでください。

水晶発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する水晶発振子の接続例を参考に、ユーザ側での十分な評価を実施して使用してください。水晶発振子の回路定格は、水晶発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカーと十分ご相談の上決定してください。クロック端子に印加される電圧が最大定格を超えないようにしてください。帰還抵抗を内蔵しておりますが、水晶発振子の特性によっては外付け帰還抵抗が必要になる場合があります。ユーザ側で十分な評価を実施して、パラメータ（抵抗、容量値）を設定してください。

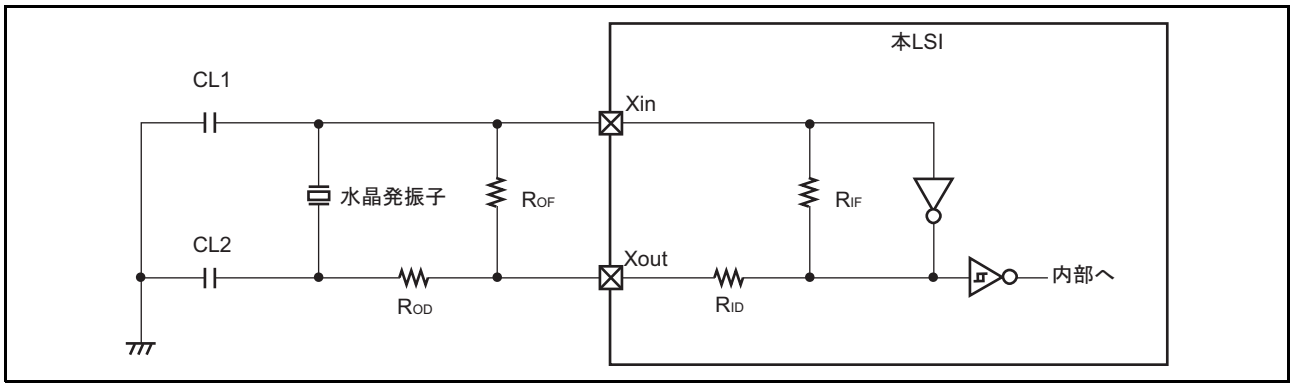


図 6.3　水晶発振子の接続例

6.6.3　未使用時

未使用時は、Xin 端子は固定（プルアップ／プルダウン／電源接続／グランド接続）、Xout 端子は開放にしてください。

6.7 発振安定時間

6.7.1 内蔵水晶発振器の発振安定時間

内蔵水晶発振器の発振安定時間確保のため、水晶発振子使用時は以下の場合は内蔵発振回路発振安定時間待つようにしてください（外部クロック入力時は必要ありません）。

- 電源投入時
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子で解除するとき
- パワーオンリセットまたはレジスタ設定により、発振停止から発振動作へ変化するとき（AUDIO_X1）。
- レジスタ設定により発振停止から発振動作へ変化するとき（RTC_X1）
- $\overline{\text{RES}}$ 端子によるパワーオンリセットにより、水晶発振器のゲインが変化するとき（EXTAL）

6.7.2 PLL 回路の発振安定時間

EXTAL からの入力が、PLL に供給されます。このため、EXTAL に水晶発振子を使用するか外部クロック入力するかにかかわらず、PLL 回路の発振安定時間確保のため、以下の場合は発振安定時間以上待つようにしてください。

- 電源投入時（水晶発振子使用時）／外部クロック入力開始時（外部クロック入力時）
- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子で解除するとき

【備考】
以下の場合は本 LSI 内部のカウンタが動作することで発振安定時間が確保されます。

- ソフトウェアスタンバイモードまたはディープスタンバイモードを $\overline{\text{RES}}$ 端子以外で解除するとき
- レジスタ設定により、水晶発振器のゲインを変更するとき（EXTAL）

6.8　ボード設計上の注意事項

6.8.1　PLL 発振回路使用時の注意

PLL 用 PLLVcc の接続パターンはボード電源供給端子からの配線長を短くし､パターン幅は広くしてインダクタンス成分を減らしてください。

PLL のアナログ電源系はノイズ等に敏感であるため、他の電源との干渉によってシステム全体として誤動作を生じさせる可能性があります。このため、本アナログ電源系と Vcc、PVcc のデジタル電源系は、極力基板上で同一リソースを供給しないでください。

6.9　SSCG 仕様の変調率と変調周波数の定義

SSCG 回路では、出力周波数をわずかに変動させて周波数変調を行うことにより輻射ノイズのピークを抑えることができます。このときの周波数の変化率を変調率、入力クロックに対する周波数遷移の周波数を変調周波数と定義します。変調率と変調周波数を図 6.4 に示します。

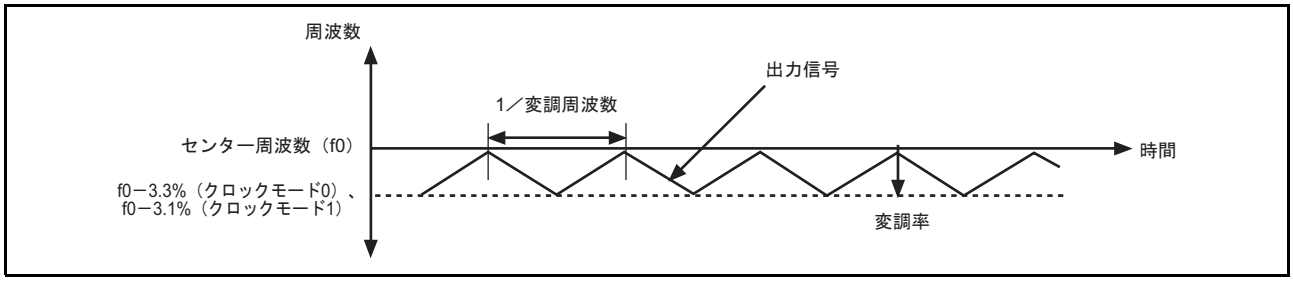


図 6.4　SSCG 変調率と変調周波数の定義

6.10　クロック樹形図

6.10.1　システムクロック、リアルタイムクロック用クロック

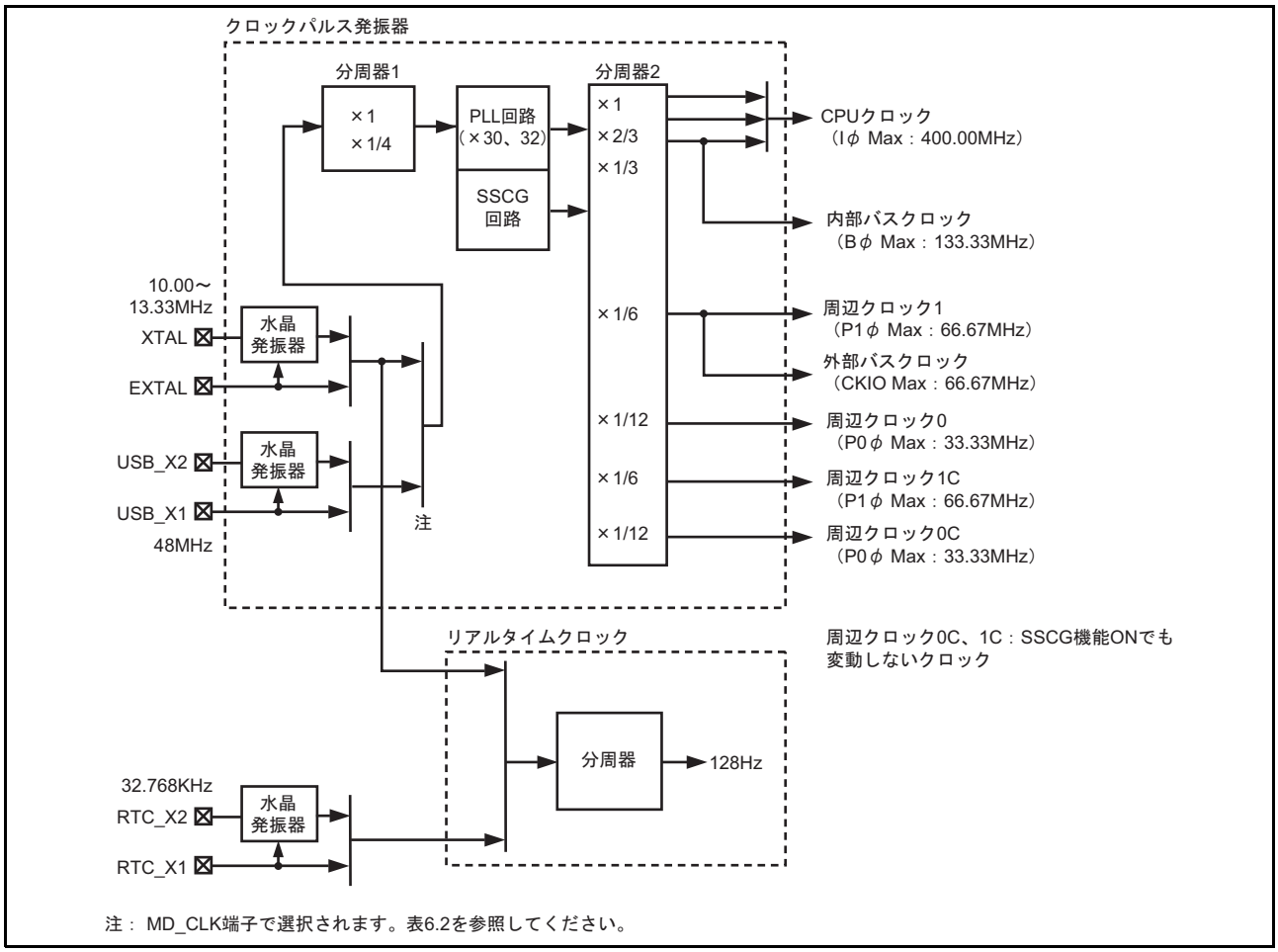
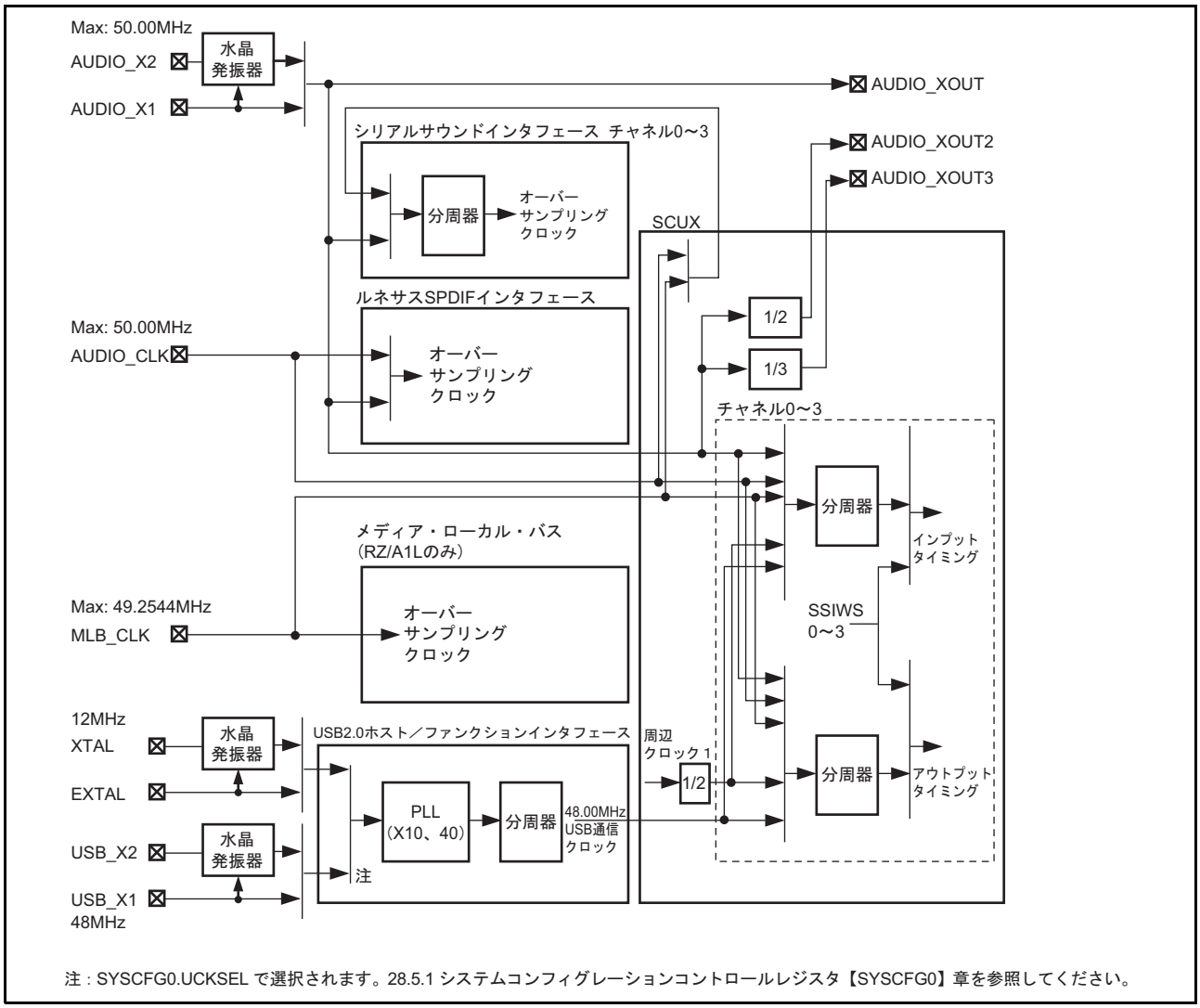


図 6.5　システムクロック、リアルタイムクロック用クロック樹形図

6.10.2　音声クロック、USB クロック



注 : SYSCFG0.UCKSEL で選択されます。28.5.1 システムコンフィグレーションコントロールレジスタ【SYSCFG0】章を参照してください。

図 6.6　音声クロック、USB クロック樹形図

6.10.3　映像クロック

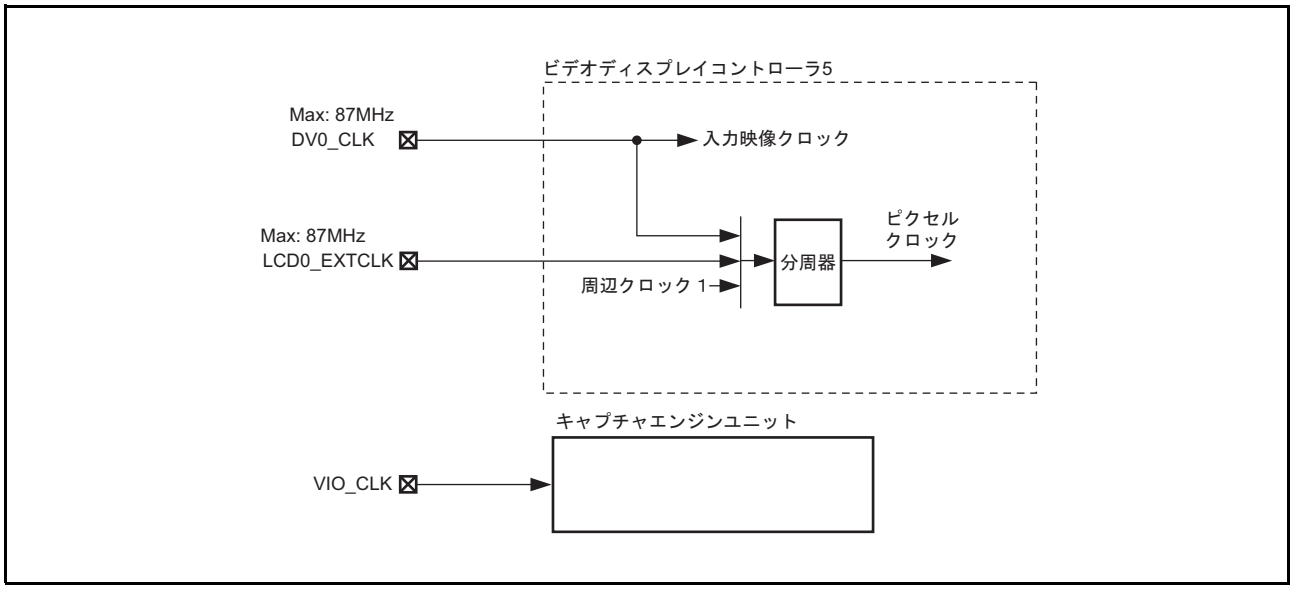


図 6.7　映像クロック樹形図

6.10.4　その他クロック

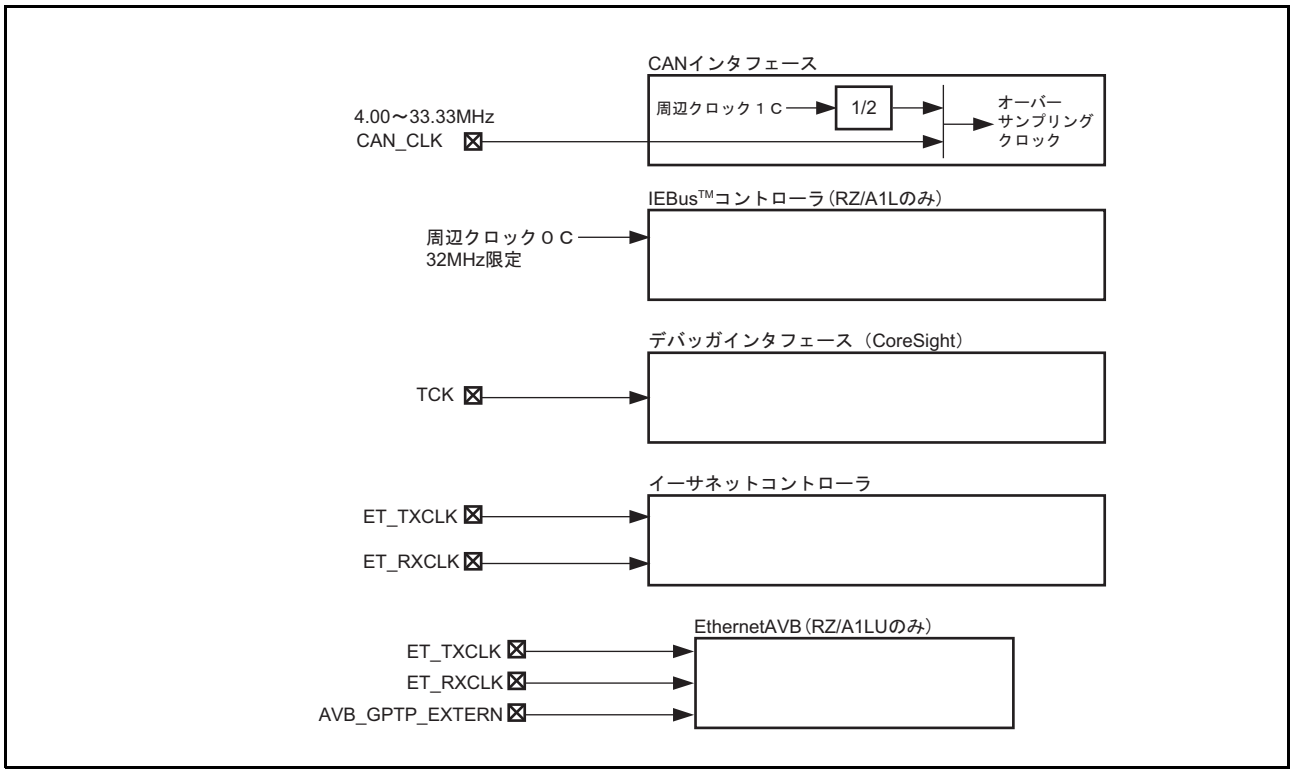


図 6.8　その他のクロック樹形図

6.10.5　内部クロック（1）

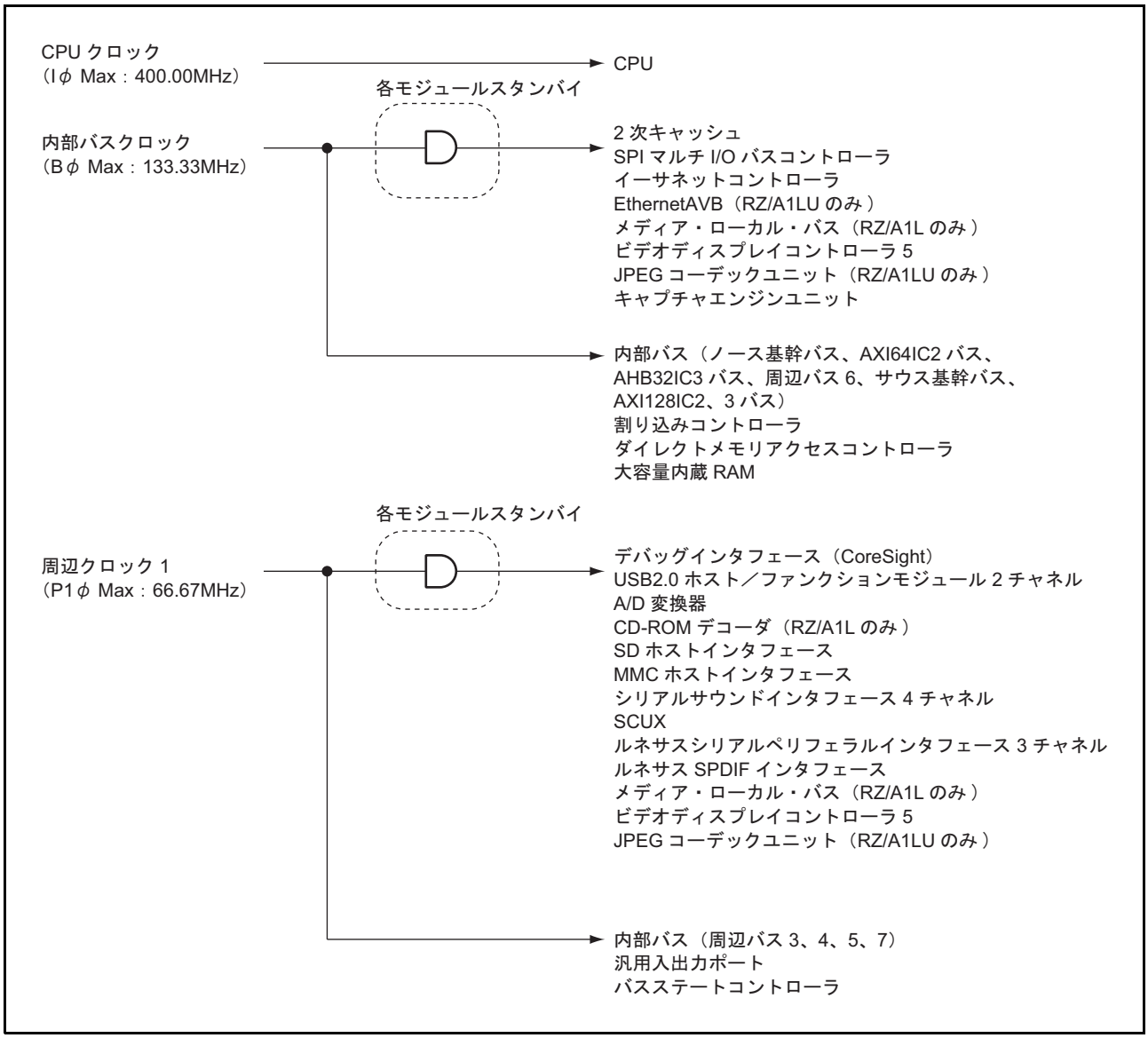


図 6.9　内部クロック分配図（1）

6.10.6　内部クロック（2）

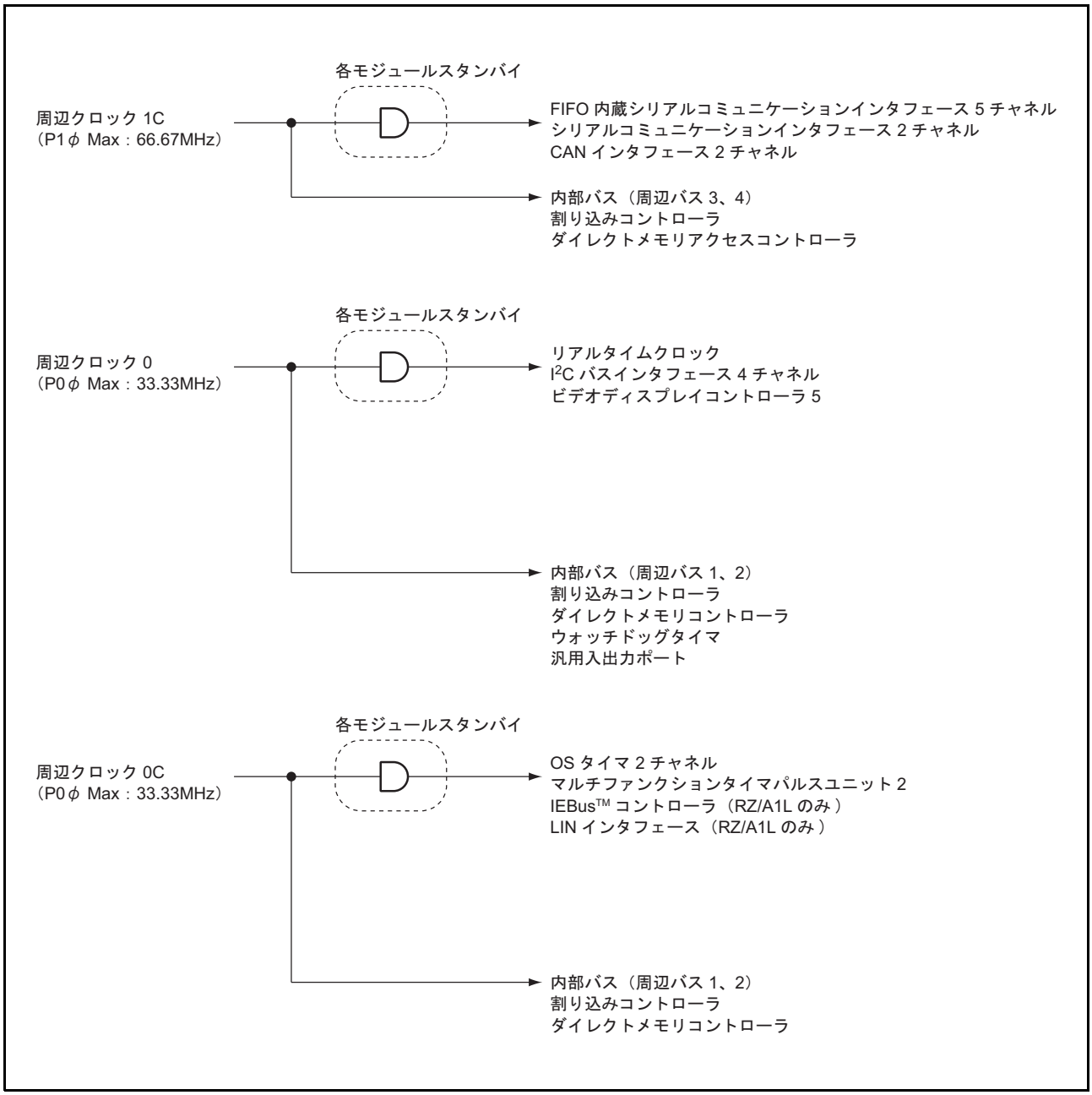


図 6.10　内部クロック分配図（2）

6.11　使用上の注意事項

6.11.1　SSCG 機能に関する注意事項

SSCG 機能を使用する場合には、「47.　電気的特性」の「表 47.5　クロックタイミング　SSCG 安定時間（t_{SSCG}）」を満足するようにしてください。かつ、ディープスタンバイモードは使用しないでください。

7. 割り込みコントローラ

割り込みコントローラは、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。本モジュールには、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

7.1 特長

- 割り込み優先順位を 32 レベル設定可能
  割り込み優先レベル設定レジスタにより、IRQ 割り込み、内蔵周辺モジュール割り込み、および端子割り込みの優先順位を要求元別に 32 レベルまで設定することができます。
- NMI ノイズキャンセラ機能
  NMI 端子の状態を示す NMI 入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- Arm 社の PrimeCell® Generic Interrupt Controller（PL390）搭載 *

【注】* PL390 は Arm Generic Interrupt Controller(GIC) Architecture specification version1 に対応しています。

図 7.1 にブロック図を示します。

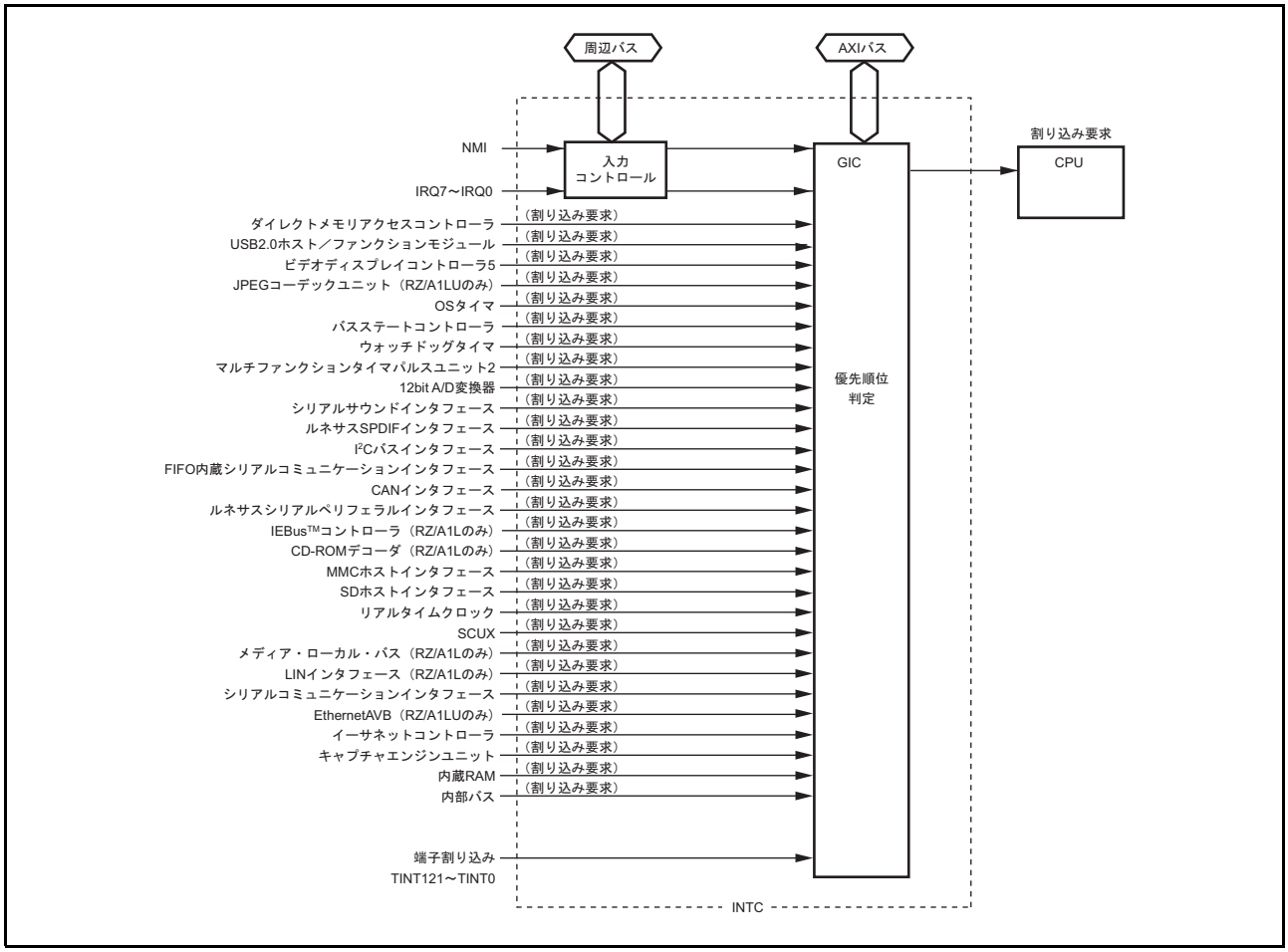


図 7.1　ブロック図

7.2 入出力端子

表 7.1 に端子構成を示します。

表7.1　端子構成

名称	端子名	入出力	機　能
ノンマスカブル割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ7 ～ IRQ0	入力	マスク可能な割り込み要求信号を入力
	TINT121 ～ TINT0	入力	

7.3 レジスタの説明

表 7.2 にレジスタ構成を示します。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

割り込みコントロールレジスタ 0、割り込みコントロールレジスタ 1、および IRQ 割り込み要求レジスタ以外のレジスタの説明は Arm Generic Interrupt Controller Architecture Specification 及び Arm PrimeCell Generic Interrupt Controller (PL390) Technical Reference Manual を参照してください。

表7.2　　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みコントロールレジスタ 0	ICR0	R/W	（注 1）	H'FCFEF800	16
割り込みコントロールレジスタ 1	ICR1	R/W	H'0000	H'FCFEF802	16
IRQ割り込み要求レジスタ	IRQRR	R/(W)（注 2）	H'0000	H'FCFEF804	16
分配器制御レジスタ	ICDDCR	RW	H’00000000	H’E8201000	32
割り込みコントローラタイプレジスタ	ICDICTR	R	H’0000FC31（注 3）	H’E8201004	32
分配器実装者識別レジスタ	ICDIIDR	R	H’0000043B	H’E8201008	32
割り込みセキュリティレジスタ 0	ICDISR0	R/W	H’00000000	H’E8201080	32
割り込みセキュリティレジスタ 1	ICDISR1	R/W	H’00000000	H’E8201084	32
割り込みセキュリティレジスタ 2	ICDISR2	R/W	H’00000000	H’E8201088	32
割り込みセキュリティレジスタ 3	ICDISR3	R/W	H’00000000	H’E820108C	32
割り込みセキュリティレジスタ 4	ICDISR4	R/W	H’00000000	H’E8201090	32
割り込みセキュリティレジスタ 5	ICDISR5	R/W	H’00000000	H’E8201094	32
割り込みセキュリティレジスタ 6	ICDISR6	R/W	H’00000000	H’E8201098	32
割り込みセキュリティレジスタ 7	ICDISR7	R/W	H’00000000	H’E820109C	32
割り込みセキュリティレジスタ 8	ICDISR8	R/W	H’00000000	H’E82010A0	32
割り込みセキュリティレジスタ 9	ICDISR9	R/W	H’00000000	H’E82010A4	32
割り込みセキュリティレジスタ 10	ICDISR10	R/W	H’00000000	H’E82010A8	32
割り込みセキュリティレジスタ 11	ICDISR11	R/W	H’00000000	H’E82010AC	32
割り込みセキュリティレジスタ 12	ICDISR12	R/W	H’00000000	H’E82010B0	32
割り込みセキュリティレジスタ 13	ICDISR13	R/W	H’00000000	H’E82010B4	32
割り込みセキュリティレジスタ 14	ICDISR14	R/W	H’00000000	H’E82010B8	32
割り込みセキュリティレジスタ 15	ICDISR15	R/W	H’00000000	H’E82010BC	32
割り込みセキュリティレジスタ 16	ICDISR16	R/W	H’00000000	H’E82010C0	32
割り込みイネーブルセットレジスタ 0	ICDISER0	R/W	H’00000000	H’E8201100	32
割り込みイネーブルセットレジスタ 1	ICDISER1	R/W	H’00000000	H’E8201104	32
割り込みイネーブルセットレジスタ 2	ICDISER2	R/W	H’00000000	H’E8201108	32
割り込みイネーブルセットレジスタ 3	ICDISER3	R/W	H’00000000	H’E820110C	32
割り込みイネーブルセットレジスタ 4	ICDISER4	R/W	H’00000000	H’E8201110	32
割り込みイネーブルセットレジスタ 5	ICDISER5	R/W	H’00000000	H’E8201114	32
割り込みイネーブルセットレジスタ 6	ICDISER6	R/W	H’00000000	H’E8201118	32
割り込みイネーブルセットレジスタ 7	ICDISER7	R/W	H’00000000	H’E820111C	32
割り込みイネーブルセットレジスタ 8	ICDISER8	R/W	H’00000000	H’E8201120	32
割り込みイネーブルセットレジスタ 9	ICDISER9	R/W	H’00000000	H’E8201124	32
割り込みイネーブルセットレジスタ 10	ICDISER10	R/W	H’00000000	H’E8201128	32
割り込みイネーブルセットレジスタ 11	ICDISER11	R/W	H’00000000	H’E820112C	32
割り込みイネーブルセットレジスタ 12	ICDISER12	R/W	H’00000000	H’E8201130	32
割り込みイネーブルセットレジスタ 13	ICDISER13	R/W	H’00000000	H’E8201134	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みイネーブルセットレジスタ 14	ICDISER14	R/W	H'00000000	H'E8201138	32
割り込みイネーブルセットレジスタ 15	ICDISER15	R/W	H'00000000	H'E820113C	32
割り込みイネーブルセットレジスタ 16	ICDISER16	R/W	H'00000000	H'E8201140	32
割り込みイネーブルクリアレジスタ 0	ICDICER0	R/W	H'00000000	H'E8201180	32
割り込みイネーブルクリアレジスタ 1	ICDICER1	R/W	H'00000000	H'E8201184	32
割り込みイネーブルクリアレジスタ 2	ICDICER2	R/W	H'00000000	H'E8201188	32
割り込みイネーブルクリアレジスタ 3	ICDICER3	R/W	H'00000000	H'E820118C	32
割り込みイネーブルクリアレジスタ 4	ICDICER4	R/W	H'00000000	H'E8201190	32
割り込みイネーブルクリアレジスタ 5	ICDICER5	R/W	H'00000000	H'E8201194	32
割り込みイネーブルクリアレジスタ 6	ICDICER6	R/W	H'00000000	H'E8201198	32
割り込みイネーブルクリアレジスタ 7	ICDICER7	R/W	H'00000000	H'E820119C	32
割り込みイネーブルクリアレジスタ 8	ICDICER8	R/W	H'00000000	H'E82011A0	32
割り込みイネーブルクリアレジスタ 9	ICDICER9	R/W	H'00000000	H'E82011A4	32
割り込みイネーブルクリアレジスタ 10	ICDICER10	R/W	H'00000000	H'E82011A8	32
割り込みイネーブルクリアレジスタ 11	ICDICER11	R/W	H'00000000	H'E82011AC	32
割り込みイネーブルクリアレジスタ 12	ICDICER12	R/W	H'00000000	H'E82011B0	32
割り込みイネーブルクリアレジスタ 13	ICDICER13	R/W	H'00000000	H'E82011B4	32
割り込みイネーブルクリアレジスタ 14	ICDICER14	R/W	H'00000000	H'E82011B8	32
割り込みイネーブルクリアレジスタ 15	ICDICER15	R/W	H'00000000	H'E82011BC	32
割り込みイネーブルクリアレジスタ 16	ICDICER16	R/W	H'00000000	H'E82011C0	32
割り込み保留セットレジスタ 0	ICDISPR0	R/W	H'00000000	H'E8201200	32
割り込み保留セットレジスタ 1	ICDISPR1	R/W	H'00000000	H'E8201204	32
割り込み保留セットレジスタ 2	ICDISPR2	R/W	H'00000000	H'E8201208	32
割り込み保留セットレジスタ 3	ICDISPR3	R/W	H'00000000	H'E820120C	32
割り込み保留セットレジスタ 4	ICDISPR4	R/W	H'00000000	H'E8201210	32
割り込み保留セットレジスタ 5	ICDISPR5	R/W	H'00000000	H'E8201214	32
割り込み保留セットレジスタ 6	ICDISPR6	R/W	H'00000000	H'E8201218	32
割り込み保留セットレジスタ 7	ICDISPR7	R/W	H'00000000	H'E820121C	32
割り込み保留セットレジスタ 8	ICDISPR8	R/W	H'00000000	H'E8201220	32
割り込み保留セットレジスタ 9	ICDISPR9	R/W	H'00000000	H'E8201224	32
割り込み保留セットレジスタ 10	ICDISPR10	R/W	H'00000000	H'E8201228	32
割り込み保留セットレジスタ 11	ICDISPR11	R/W	H'00000000	H'E820122C	32
割り込み保留セットレジスタ 12	ICDISPR12	R/W	H'00000000	H'E8201230	32
割り込み保留セットレジスタ 13	ICDISPR13	R/W	H'00000000	H'E8201234	32
割り込み保留セットレジスタ 14	ICDISPR14	R/W	H'00000000	H'E8201238	32
割り込み保留セットレジスタ 15	ICDISPR15	R/W	H'00000000	H'E820123C	32
割り込み保留セットレジスタ 16	ICDISPR16	R/W	H'00000000	H'E8201240	32
割り込み保留クリアレジスタ 0	ICDICPR0	R/W	H'00000000	H'E8201280	32
割り込み保留クリアレジスタ 1	ICDICPR1	R/W	H'00000000	H'E8201284	32
割り込み保留クリアレジスタ 2	ICDICPR2	R/W	H'00000000	H'E8201288	32
割り込み保留クリアレジスタ 3	ICDICPR3	R/W	H'00000000	H'E820128C	32
割り込み保留クリアレジスタ 4	ICDICPR4	R/W	H'00000000	H'E8201290	32
割り込み保留クリアレジスタ 5	ICDICPR5	R/W	H'00000000	H'E8201294	32
割り込み保留クリアレジスタ 6	ICDICPR6	R/W	H'00000000	H'E8201298	32
割り込み保留クリアレジスタ 7	ICDICPR7	R/W	H'00000000	H'E820129C	32
割り込み保留クリアレジスタ 8	ICDICPR8	R/W	H'00000000	H'E82012A0	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み保留クリアレジスタ 9	ICDICPR9	R/W	H'00000000	H'E82012A4	32
割り込み保留クリアレジスタ 10	ICDICPR10	R/W	H'00000000	H'E82012A8	32
割り込み保留クリアレジスタ 11	ICDICPR11	R/W	H'00000000	H'E82012AC	32
割り込み保留クリアレジスタ 12	ICDICPR12	R/W	H'00000000	H'E82012B0	32
割り込み保留クリアレジスタ 13	ICDICPR13	R/W	H'00000000	H'E82012B4	32
割り込み保留クリアレジスタ 14	ICDICPR14	R/W	H'00000000	H'E82012B8	32
割り込み保留クリアレジスタ 15	ICDICPR15	R/W	H'00000000	H'E82012BC	32
割り込み保留クリアレジスタ 16	ICDICPR16	R/W	H'00000000	H'E82012C0	32
アクティブビットレジスタ 0	ICDABR0	R/W	H'00000000	H'E8201300	32
アクティブビットレジスタ 1	ICDABR1	R/W	H'00000000	H'E8201304	32
アクティブビットレジスタ 2	ICDABR2	R/W	H'00000000	H'E8201308	32
アクティブビットレジスタ 3	ICDABR3	R/W	H'00000000	H'E820130C	32
アクティブビットレジスタ 4	ICDABR4	R/W	H'00000000	H'E8201310	32
アクティブビットレジスタ 5	ICDABR5	R/W	H'00000000	H'E8201314	32
アクティブビットレジスタ 6	ICDABR6	R/W	H'00000000	H'E8201318	32
アクティブビットレジスタ 7	ICDABR7	R/W	H'00000000	H'E820131C	32
アクティブビットレジスタ 8	ICDABR8	R/W	H'00000000	H'E8201320	32
アクティブビットレジスタ 9	ICDABR9	R/W	H'00000000	H'E8201324	32
アクティブビットレジスタ 10	ICDABR10	R/W	H'00000000	H'E8201328	32
アクティブビットレジスタ 11	ICDABR11	R/W	H'00000000	H'E820132C	32
アクティブビットレジスタ 12	ICDABR12	R/W	H'00000000	H'E8201330	32
アクティブビットレジスタ 13	ICDABR13	R/W	H'00000000	H'E8201334	32
アクティブビットレジスタ 14	ICDABR14	R/W	H'00000000	H'E8201338	32
アクティブビットレジスタ 15	ICDABR15	R/W	H'00000000	H'E820133C	32
アクティブビットレジスタ 16	ICDABR16	R/W	H'00000000	H'E8201340	32
割り込み優先度レジスタ 0	ICDIPR0	R/W	H'00000000	H'E8201400	32
割り込み優先度レジスタ 1	ICDIPR1	R/W	H'00000000	H'E8201404	32
割り込み優先度レジスタ 2	ICDIPR2	R/W	H'00000000	H'E8201408	32
割り込み優先度レジスタ 3	ICDIPR3	R/W	H'00000000	H'E820140C	32
割り込み優先度レジスタ 4	ICDIPR4	R/W	H'00000000	H'E8201410	32
割り込み優先度レジスタ 5	ICDIPR5	R/W	H'00000000	H'E8201414	32
割り込み優先度レジスタ 6	ICDIPR6	R/W	H'00000000	H'E8201418	32
割り込み優先度レジスタ 7	ICDIPR7	R/W	H'00000000	H'E820141C	32
割り込み優先度レジスタ 8	ICDIPR8	R/W	H'00000000	H'E8201420	32
割り込み優先度レジスタ 9	ICDIPR9	R/W	H'00000000	H'E8201424	32
割り込み優先度レジスタ 10	ICDIPR10	R/W	H'00000000	H'E8201428	32
割り込み優先度レジスタ 11	ICDIPR11	R/W	H'00000000	H'E820142C	32
割り込み優先度レジスタ 12	ICDIPR12	R/W	H'00000000	H'E8201430	32
割り込み優先度レジスタ 13	ICDIPR13	R/W	H'00000000	H'E8201434	32
割り込み優先度レジスタ 14	ICDIPR14	R/W	H'00000000	H'E8201438	32
割り込み優先度レジスタ 15	ICDIPR15	R/W	H'00000000	H'E820143C	32
割り込み優先度レジスタ 16	ICDIPR16	R/W	H'00000000	H'E8201440	32
割り込み優先度レジスタ 17	ICDIPR17	R/W	H'00000000	H'E8201444	32
割り込み優先度レジスタ 18	ICDIPR18	R/W	H'00000000	H'E8201448	32
割り込み優先度レジスタ 19	ICDIPR19	R/W	H'00000000	H'E820144C	32
割り込み優先度レジスタ 20	ICDIPR20	R/W	H'00000000	H'E8201450	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先度レジスタ 21	ICDIPR21	R/W	H'00000000	H'E8201454	32
割り込み優先度レジスタ 22	ICDIPR22	R/W	H'00000000	H'E8201458	32
割り込み優先度レジスタ 23	ICDIPR23	R/W	H'00000000	H'E820145C	32
割り込み優先度レジスタ 24	ICDIPR24	R/W	H'00000000	H'E8201460	32
割り込み優先度レジスタ 25	ICDIPR25	R/W	H'00000000	H'E8201464	32
割り込み優先度レジスタ 26	ICDIPR26	R/W	H'00000000	H'E8201468	32
割り込み優先度レジスタ 27	ICDIPR27	R/W	H'00000000	H'E820146C	32
割り込み優先度レジスタ 28	ICDIPR28	R/W	H'00000000	H'E8201470	32
割り込み優先度レジスタ 29	ICDIPR29	R/W	H'00000000	H'E8201474	32
割り込み優先度レジスタ 30	ICDIPR30	R/W	H'00000000	H'E8201478	32
割り込み優先度レジスタ 31	ICDIPR31	R/W	H'00000000	H'E820147C	32
割り込み優先度レジスタ 32	ICDIPR32	R/W	H'00000000	H'E8201480	32
割り込み優先度レジスタ 33	ICDIPR33	R/W	H'00000000	H'E8201484	32
割り込み優先度レジスタ 34	ICDIPR34	R/W	H'00000000	H'E8201488	32
割り込み優先度レジスタ 35	ICDIPR35	R/W	H'00000000	H'E820148C	32
割り込み優先度レジスタ 36	ICDIPR36	R/W	H'00000000	H'E8201490	32
割り込み優先度レジスタ 37	ICDIPR37	R/W	H'00000000	H'E8201494	32
割り込み優先度レジスタ 38	ICDIPR38	R/W	H'00000000	H'E8201498	32
割り込み優先度レジスタ 39	ICDIPR39	R/W	H'00000000	H'E820149C	32
割り込み優先度レジスタ 40	ICDIPR40	R/W	H'00000000	H'E82014A0	32
割り込み優先度レジスタ 41	ICDIPR41	R/W	H'00000000	H'E82014A4	32
割り込み優先度レジスタ 42	ICDIPR42	R/W	H'00000000	H'E82014A8	32
割り込み優先度レジスタ 43	ICDIPR43	R/W	H'00000000	H'E82014AC	32
割り込み優先度レジスタ 44	ICDIPR44	R/W	H'00000000	H'E82014B0	32
割り込み優先度レジスタ 45	ICDIPR45	R/W	H'00000000	H'E82014B4	32
割り込み優先度レジスタ 46	ICDIPR46	R/W	H'00000000	H'E82014B8	32
割り込み優先度レジスタ 47	ICDIPR47	R/W	H'00000000	H'E82014BC	32
割り込み優先度レジスタ 48	ICDIPR48	R/W	H'00000000	H'E82014C0	32
割り込み優先度レジスタ 49	ICDIPR49	R/W	H'00000000	H'E82014C4	32
割り込み優先度レジスタ 50	ICDIPR50	R/W	H'00000000	H'E82014C8	32
割り込み優先度レジスタ 51	ICDIPR51	R/W	H'00000000	H'E82014CC	32
割り込み優先度レジスタ 52	ICDIPR52	R/W	H'00000000	H'E82014D0	32
割り込み優先度レジスタ 53	ICDIPR53	R/W	H'00000000	H'E82014D4	32
割り込み優先度レジスタ 54	ICDIPR54	R/W	H'00000000	H'E82014D8	32
割り込み優先度レジスタ 55	ICDIPR55	R/W	H'00000000	H'E82014DC	32
割り込み優先度レジスタ 56	ICDIPR56	R/W	H'00000000	H'E82014E0	32
割り込み優先度レジスタ 57	ICDIPR57	R/W	H'00000000	H'E82014E4	32
割り込み優先度レジスタ 58	ICDIPR58	R/W	H'00000000	H'E82014E8	32
割り込み優先度レジスタ 59	ICDIPR59	R/W	H'00000000	H'E82014EC	32
割り込み優先度レジスタ 60	ICDIPR60	R/W	H'00000000	H'E82014F0	32
割り込み優先度レジスタ 61	ICDIPR61	R/W	H'00000000	H'E82014F4	32
割り込み優先度レジスタ 62	ICDIPR62	R/W	H'00000000	H'E82014F8	32
割り込み優先度レジスタ 63	ICDIPR63	R/W	H'00000000	H'E82014FC	32
割り込み優先度レジスタ 64	ICDIPR64	R/W	H'00000000	H'E8201500	32
割り込み優先度レジスタ 65	ICDIPR65	R/W	H'00000000	H'E8201504	32
割り込み優先度レジスタ 66	ICDIPR66	R/W	H'00000000	H'E8201508	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先度レジスタ 67	ICDIPR67	R/W	H'00000000	H'E820150C	32
割り込み優先度レジスタ 68	ICDIPR68	R/W	H'00000000	H'E8201510	32
割り込み優先度レジスタ 69	ICDIPR69	R/W	H'00000000	H'E8201514	32
割り込み優先度レジスタ 70	ICDIPR70	R/W	H'00000000	H'E8201518	32
割り込み優先度レジスタ 71	ICDIPR71	R/W	H'00000000	H'E820151C	32
割り込み優先度レジスタ 72	ICDIPR72	R/W	H'00000000	H'E8201520	32
割り込み優先度レジスタ 73	ICDIPR73	R/W	H'00000000	H'E8201524	32
割り込み優先度レジスタ 74	ICDIPR74	R/W	H'00000000	H'E8201528	32
割り込み優先度レジスタ 75	ICDIPR75	R/W	H'00000000	H'E820152C	32
割り込み優先度レジスタ 76	ICDIPR76	R/W	H'00000000	H'E8201530	32
割り込み優先度レジスタ 77	ICDIPR77	R/W	H'00000000	H'E8201534	32
割り込み優先度レジスタ 78	ICDIPR78	R/W	H'00000000	H'E8201538	32
割り込み優先度レジスタ 79	ICDIPR79	R/W	H'00000000	H'E820153C	32
割り込み優先度レジスタ 80	ICDIPR80	R/W	H'00000000	H'E8201540	32
割り込み優先度レジスタ 81	ICDIPR81	R/W	H'00000000	H'E8201544	32
割り込み優先度レジスタ 82	ICDIPR82	R/W	H'00000000	H'E8201548	32
割り込み優先度レジスタ 83	ICDIPR83	R/W	H'00000000	H'E820154C	32
割り込み優先度レジスタ 84	ICDIPR84	R/W	H'00000000	H'E8201550	32
割り込み優先度レジスタ 85	ICDIPR85	R/W	H'00000000	H'E8201554	32
割り込み優先度レジスタ 86	ICDIPR86	R/W	H'00000000	H'E8201558	32
割り込み優先度レジスタ 87	ICDIPR87	R/W	H'00000000	H'E820155C	32
割り込み優先度レジスタ 88	ICDIPR88	R/W	H'00000000	H'E8201560	32
割り込み優先度レジスタ 89	ICDIPR89	R/W	H'00000000	H'E8201564	32
割り込み優先度レジスタ 90	ICDIPR90	R/W	H'00000000	H'E8201568	32
割り込み優先度レジスタ 91	ICDIPR91	R/W	H'00000000	H'E820156C	32
割り込み優先度レジスタ 92	ICDIPR92	R/W	H'00000000	H'E8201570	32
割り込み優先度レジスタ 93	ICDIPR93	R/W	H'00000000	H'E8201574	32
割り込み優先度レジスタ 94	ICDIPR94	R/W	H'00000000	H'E8201578	32
割り込み優先度レジスタ 95	ICDIPR95	R/W	H'00000000	H'E820157C	32
割り込み優先度レジスタ 96	ICDIPR96	R/W	H'00000000	H'E8201580	32
割り込み優先度レジスタ 97	ICDIPR97	R/W	H'00000000	H'E8201584	32
割り込み優先度レジスタ 98	ICDIPR98	R/W	H'00000000	H'E8201588	32
割り込み優先度レジスタ 99	ICDIPR99	R/W	H'00000000	H'E820158C	32
割り込み優先度レジスタ 100	ICDIPR100	R/W	H'00000000	H'E8201590	32
割り込み優先度レジスタ 101	ICDIPR101	R/W	H'00000000	H'E8201594	32
割り込み優先度レジスタ 102	ICDIPR102	R/W	H'00000000	H'E8201598	32
割り込み優先度レジスタ 103	ICDIPR103	R/W	H'00000000	H'E820159C	32
割り込み優先度レジスタ 104	ICDIPR104	R/W	H'00000000	H'E82015A0	32
割り込み優先度レジスタ 105	ICDIPR105	R/W	H'00000000	H'E82015A4	32
割り込み優先度レジスタ 106	ICDIPR106	R/W	H'00000000	H'E82015A8	32
割り込み優先度レジスタ 107	ICDIPR107	R/W	H'00000000	H'E82015AC	32
割り込み優先度レジスタ 108	ICDIPR108	R/W	H'00000000	H'E82015B0	32
割り込み優先度レジスタ 109	ICDIPR109	R/W	H'00000000	H'E82015B4	32
割り込み優先度レジスタ 110	ICDIPR110	R/W	H'00000000	H'E82015B8	32
割り込み優先度レジスタ 111	ICDIPR111	R/W	H'00000000	H'E82015BC	32
割り込み優先度レジスタ 112	ICDIPR112	R/W	H'00000000	H'E82015C0	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み優先度レジスタ 113	ICDIPR113	R/W	H'00000000	H'E82015C4	32
割り込み優先度レジスタ 114	ICDIPR114	R/W	H'00000000	H'E82015C8	32
割り込み優先度レジスタ 115	ICDIPR115	R/W	H'00000000	H'E82015CC	32
割り込み優先度レジスタ 116	ICDIPR116	R/W	H'00000000	H'E82015D0	32
割り込み優先度レジスタ 117	ICDIPR117	R/W	H'00000000	H'E82015D4	32
割り込み優先度レジスタ 118	ICDIPR118	R/W	H'00000000	H'E82015D8	32
割り込み優先度レジスタ 119	ICDIPR119	R/W	H'00000000	H'E82015DC	32
割り込み優先度レジスタ 120	ICDIPR120	R/W	H'00000000	H'E82015E0	32
割り込み優先度レジスタ 121	ICDIPR121	R/W	H'00000000	H'E82015E4	32
割り込み優先度レジスタ 122	ICDIPR122	R/W	H'00000000	H'E82015E8	32
割り込み優先度レジスタ 123	ICDIPR123	R/W	H'00000000	H'E82015EC	32
割り込み優先度レジスタ 124	ICDIPR124	R/W	H'00000000	H'E82015F0	32
割り込み優先度レジスタ 125	ICDIPR125	R/W	H'00000000	H'E82015F4	32
割り込み優先度レジスタ 126	ICDIPR126	R/W	H'00000000	H'E82015F8	32
割り込み優先度レジスタ 127	ICDIPR127	R/W	H'00000000	H'E82015FC	32
割り込み優先度レジスタ 128	ICDIPR128	R/W	H'00000000	H'E8201600	32
割り込み優先度レジスタ 129	ICDIPR129	R/W	H'00000000	H'E8201604	32
割り込み優先度レジスタ 130	ICDIPR130	R/W	H'00000000	H'E8201608	32
割り込み優先度レジスタ 131	ICDIPR131	R/W	H'00000000	H'E820160C	32
割り込み優先度レジスタ 132	ICDIPR132	R/W	H'00000000	H'E8201610	32
割り込み優先度レジスタ 133	ICDIPR133	R/W	H'00000000	H'E8201614	32
割り込み優先度レジスタ 134	ICDIPR134	R/W	H'00000000	H'E8201618	32
割り込みプロセッサターゲットレジスタ 0	ICDIPTR0	R	H'00000000	H'E8201800	32
割り込みプロセッサターゲットレジスタ 1	ICDIPTR1	R	H'00000000	H'E8201804	32
割り込みプロセッサターゲットレジスタ 2	ICDIPTR2	R	H'00000000	H'E8201808	32
割り込みプロセッサターゲットレジスタ 3	ICDIPTR3	R	H'00000000	H'E820180C	32
割り込みプロセッサターゲットレジスタ 4	ICDIPTR4	R	H'00000000	H'E8201810	32
割り込みプロセッサターゲットレジスタ 5	ICDIPTR5	R	H'00000000	H'E8201814	32
割り込みプロセッサターゲットレジスタ 6	ICDIPTR6	R	H'00000000	H'E8201818	32
割り込みプロセッサターゲットレジスタ 7	ICDIPTR7	R	H'00000000	H'E820181C	32
割り込みプロセッサターゲットレジスタ 8	ICDIPTR8	R/W	H'00000000	H'E8201820	32
割り込みプロセッサターゲットレジスタ 9	ICDIPTR9	R/W	H'00000000	H'E8201824	32
割り込みプロセッサターゲットレジスタ 10	ICDIPTR10	R/W	H'00000000	H'E8201828	32
割り込みプロセッサターゲットレジスタ 11	ICDIPTR11	R/W	H'00000000	H'E820182C	32
割り込みプロセッサターゲットレジスタ 12	ICDIPTR12	R/W	H'00000000	H'E8201830	32
割り込みプロセッサターゲットレジスタ 13	ICDIPTR13	R/W	H'00000000	H'E8201834	32
割り込みプロセッサターゲットレジスタ 14	ICDIPTR14	R/W	H'00000000	H'E8201838	32
割り込みプロセッサターゲットレジスタ 15	ICDIPTR15	R/W	H'00000000	H'E820183C	32
割り込みプロセッサターゲットレジスタ 16	ICDIPTR16	R/W	H'00000000	H'E8201840	32
割り込みプロセッサターゲットレジスタ 17	ICDIPTR17	R/W	H'00000000	H'E8201844	32
割り込みプロセッサターゲットレジスタ 18	ICDIPTR18	R/W	H'00000000	H'E8201848	32
割り込みプロセッサターゲットレジスタ 19	ICDIPTR19	R/W	H'00000000	H'E820184C	32
割り込みプロセッサターゲットレジスタ 20	ICDIPTR20	R/W	H'00000000	H'E8201850	32
割り込みプロセッサターゲットレジスタ 21	ICDIPTR21	R/W	H'00000000	H'E8201854	32
割り込みプロセッサターゲットレジスタ 22	ICDIPTR22	R/W	H'00000000	H'E8201858	32
割り込みプロセッサターゲットレジスタ 23	ICDIPTR23	R/W	H'00000000	H'E820185C	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みプロセッサターゲットレジスタ 24	ICDIPTR24	R/W	H'00000000	H'E8201860	32
割り込みプロセッサターゲットレジスタ 25	ICDIPTR25	R/W	H'00000000	H'E8201864	32
割り込みプロセッサターゲットレジスタ 26	ICDIPTR26	R/W	H'00000000	H'E8201868	32
割り込みプロセッサターゲットレジスタ 27	ICDIPTR27	R/W	H'00000000	H'E820186C	32
割り込みプロセッサターゲットレジスタ 28	ICDIPTR28	R/W	H'00000000	H'E8201870	32
割り込みプロセッサターゲットレジスタ 29	ICDIPTR29	R/W	H'00000000	H'E8201874	32
割り込みプロセッサターゲットレジスタ 30	ICDIPTR30	R/W	H'00000000	H'E8201878	32
割り込みプロセッサターゲットレジスタ 31	ICDIPTR31	R/W	H'00000000	H'E820187C	32
割り込みプロセッサターゲットレジスタ 32	ICDIPTR32	R/W	H'00000000	H'E8201880	32
割り込みプロセッサターゲットレジスタ 33	ICDIPTR33	R/W	H'00000000	H'E8201884	32
割り込みプロセッサターゲットレジスタ 34	ICDIPTR34	R/W	H'00000000	H'E8201888	32
割り込みプロセッサターゲットレジスタ 35	ICDIPTR35	R/W	H'00000000	H'E820188C	32
割り込みプロセッサターゲットレジスタ 36	ICDIPTR36	R/W	H'00000000	H'E8201890	32
割り込みプロセッサターゲットレジスタ 37	ICDIPTR37	R/W	H'00000000	H'E8201894	32
割り込みプロセッサターゲットレジスタ 38	ICDIPTR38	R/W	H'00000000	H'E8201898	32
割り込みプロセッサターゲットレジスタ 39	ICDIPTR39	R/W	H'00000000	H'E820189C	32
割り込みプロセッサターゲットレジスタ 40	ICDIPTR40	R/W	H'00000000	H'E82018A0	32
割り込みプロセッサターゲットレジスタ 41	ICDIPTR41	R/W	H'00000000	H'E82018A4	32
割り込みプロセッサターゲットレジスタ 42	ICDIPTR42	R/W	H'00000000	H'E82018A8	32
割り込みプロセッサターゲットレジスタ 43	ICDIPTR43	R/W	H'00000000	H'E82018AC	32
割り込みプロセッサターゲットレジスタ 44	ICDIPTR44	R/W	H'00000000	H'E82018B0	32
割り込みプロセッサターゲットレジスタ 45	ICDIPTR45	R/W	H'00000000	H'E82018B4	32
割り込みプロセッサターゲットレジスタ 46	ICDIPTR46	R/W	H'00000000	H'E82018B8	32
割り込みプロセッサターゲットレジスタ 47	ICDIPTR47	R/W	H'00000000	H'E82018BC	32
割り込みプロセッサターゲットレジスタ 48	ICDIPTR48	R/W	H'00000000	H'E82018C0	32
割り込みプロセッサターゲットレジスタ 49	ICDIPTR49	R/W	H'00000000	H'E82018C4	32
割り込みプロセッサターゲットレジスタ 50	ICDIPTR50	R/W	H'00000000	H'E82018C8	32
割り込みプロセッサターゲットレジスタ 51	ICDIPTR51	R/W	H'00000000	H'E82018CC	32
割り込みプロセッサターゲットレジスタ 52	ICDIPTR52	R/W	H'00000000	H'E82018D0	32
割り込みプロセッサターゲットレジスタ 53	ICDIPTR53	R/W	H'00000000	H'E82018D4	32
割り込みプロセッサターゲットレジスタ 54	ICDIPTR54	R/W	H'00000000	H'E82018D8	32
割り込みプロセッサターゲットレジスタ 55	ICDIPTR55	R/W	H'00000000	H'E82018DC	32
割り込みプロセッサターゲットレジスタ 56	ICDIPTR56	R/W	H'00000000	H'E82018E0	32
割り込みプロセッサターゲットレジスタ 57	ICDIPTR57	R/W	H'00000000	H'E82018E4	32
割り込みプロセッサターゲットレジスタ 58	ICDIPTR58	R/W	H'00000000	H'E82018E8	32
割り込みプロセッサターゲットレジスタ 59	ICDIPTR59	R/W	H'00000000	H'E82018EC	32
割り込みプロセッサターゲットレジスタ 60	ICDIPTR60	R/W	H'00000000	H'E82018F0	32
割り込みプロセッサターゲットレジスタ 61	ICDIPTR61	R/W	H'00000000	H'E82018F4	32
割り込みプロセッサターゲットレジスタ 62	ICDIPTR62	R/W	H'00000000	H'E82018F8	32
割り込みプロセッサターゲットレジスタ 63	ICDIPTR63	R/W	H'00000000	H'E82018FC	32
割り込みプロセッサターゲットレジスタ 64	ICDIPTR64	R/W	H'00000000	H'E8201900	32
割り込みプロセッサターゲットレジスタ 65	ICDIPTR65	R/W	H'00000000	H'E8201904	32
割り込みプロセッサターゲットレジスタ 66	ICDIPTR66	R/W	H'00000000	H'E8201908	32
割り込みプロセッサターゲットレジスタ 67	ICDIPTR67	R/W	H'00000000	H'E820190C	32
割り込みプロセッサターゲットレジスタ 68	ICDIPTR68	R/W	H'00000000	H'E8201910	32
割り込みプロセッサターゲットレジスタ 69	ICDIPTR69	R/W	H'00000000	H'E8201914	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みプロセッサターゲットレジスタ 70	ICDIPTR70	R/W	H'00000000	H'E8201918	32
割り込みプロセッサターゲットレジスタ 71	ICDIPTR71	R/W	H'00000000	H'E820191C	32
割り込みプロセッサターゲットレジスタ 72	ICDIPTR72	R/W	H'00000000	H'E8201920	32
割り込みプロセッサターゲットレジスタ 73	ICDIPTR73	R/W	H'00000000	H'E8201924	32
割り込みプロセッサターゲットレジスタ 74	ICDIPTR74	R/W	H'00000000	H'E8201928	32
割り込みプロセッサターゲットレジスタ 75	ICDIPTR75	R/W	H'00000000	H'E820192C	32
割り込みプロセッサターゲットレジスタ 76	ICDIPTR76	R/W	H'00000000	H'E8201930	32
割り込みプロセッサターゲットレジスタ 77	ICDIPTR77	R/W	H'00000000	H'E8201934	32
割り込みプロセッサターゲットレジスタ 78	ICDIPTR78	R/W	H'00000000	H'E8201938	32
割り込みプロセッサターゲットレジスタ 79	ICDIPTR79	R/W	H'00000000	H'E820193C	32
割り込みプロセッサターゲットレジスタ 80	ICDIPTR80	R/W	H'00000000	H'E8201940	32
割り込みプロセッサターゲットレジスタ 81	ICDIPTR81	R/W	H'00000000	H'E8201944	32
割り込みプロセッサターゲットレジスタ 82	ICDIPTR82	R/W	H'00000000	H'E8201948	32
割り込みプロセッサターゲットレジスタ 83	ICDIPTR83	R/W	H'00000000	H'E820194C	32
割り込みプロセッサターゲットレジスタ 84	ICDIPTR84	R/W	H'00000000	H'E8201950	32
割り込みプロセッサターゲットレジスタ 85	ICDIPTR85	R/W	H'00000000	H'E8201954	32
割り込みプロセッサターゲットレジスタ 86	ICDIPTR86	R/W	H'00000000	H'E8201958	32
割り込みプロセッサターゲットレジスタ 87	ICDIPTR87	R/W	H'00000000	H'E820195C	32
割り込みプロセッサターゲットレジスタ 88	ICDIPTR88	R/W	H'00000000	H'E8201960	32
割り込みプロセッサターゲットレジスタ 89	ICDIPTR89	R/W	H'00000000	H'E8201964	32
割り込みプロセッサターゲットレジスタ 90	ICDIPTR90	R/W	H'00000000	H'E8201968	32
割り込みプロセッサターゲットレジスタ 91	ICDIPTR91	R/W	H'00000000	H'E820196C	32
割り込みプロセッサターゲットレジスタ 92	ICDIPTR92	R/W	H'00000000	H'E8201970	32
割り込みプロセッサターゲットレジスタ 93	ICDIPTR93	R/W	H'00000000	H'E8201974	32
割り込みプロセッサターゲットレジスタ 94	ICDIPTR94	R/W	H'00000000	H'E8201978	32
割り込みプロセッサターゲットレジスタ 95	ICDIPTR95	R/W	H'00000000	H'E820197C	32
割り込みプロセッサターゲットレジスタ 96	ICDIPTR96	R/W	H'00000000	H'E8201980	32
割り込みプロセッサターゲットレジスタ 97	ICDIPTR97	R/W	H'00000000	H'E8201984	32
割り込みプロセッサターゲットレジスタ 98	ICDIPTR98	R/W	H'00000000	H'E8201988	32
割り込みプロセッサターゲットレジスタ 99	ICDIPTR99	R/W	H'00000000	H'E820198C	32
割り込みプロセッサターゲットレジスタ 100	ICDIPTR100	R/W	H'00000000	H'E8201990	32
割り込みプロセッサターゲットレジスタ 101	ICDIPTR101	R/W	H'00000000	H'E8201994	32
割り込みプロセッサターゲットレジスタ 102	ICDIPTR102	R/W	H'00000000	H'E8201998	32
割り込みプロセッサターゲットレジスタ 103	ICDIPTR103	R/W	H'00000000	H'E820199C	32
割り込みプロセッサターゲットレジスタ 104	ICDIPTR104	R/W	H'00000000	H'E82019A0	32
割り込みプロセッサターゲットレジスタ 105	ICDIPTR105	R/W	H'00000000	H'E82019A4	32
割り込みプロセッサターゲットレジスタ 106	ICDIPTR106	R/W	H'00000000	H'E82019A8	32
割り込みプロセッサターゲットレジスタ 107	ICDIPTR107	R/W	H'00000000	H'E82019AC	32
割り込みプロセッサターゲットレジスタ 108	ICDIPTR108	R/W	H'00000000	H'E82019B0	32
割り込みプロセッサターゲットレジスタ 109	ICDIPTR109	R/W	H'00000000	H'E82019B4	32
割り込みプロセッサターゲットレジスタ 110	ICDIPTR110	R/W	H'00000000	H'E82019B8	32
割り込みプロセッサターゲットレジスタ 111	ICDIPTR111	R/W	H'00000000	H'E82019BC	32
割り込みプロセッサターゲットレジスタ 112	ICDIPTR112	R/W	H'00000000	H'E82019C0	32
割り込みプロセッサターゲットレジスタ 113	ICDIPTR113	R/W	H'00000000	H'E82019C4	32
割り込みプロセッサターゲットレジスタ 114	ICDIPTR114	R/W	H'00000000	H'E82019C8	32
割り込みプロセッサターゲットレジスタ 115	ICDIPTR115	R/W	H'00000000	H'E82019CC	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込みプロセッサターゲットレジスタ 116	ICDIPTR116	R/W	H'00000000	H'E82019D0	32
割り込みプロセッサターゲットレジスタ 117	ICDIPTR117	R/W	H'00000000	H'E82019D4	32
割り込みプロセッサターゲットレジスタ 118	ICDIPTR118	R/W	H'00000000	H'E82019D8	32
割り込みプロセッサターゲットレジスタ 119	ICDIPTR119	R/W	H'00000000	H'E82019DC	32
割り込みプロセッサターゲットレジスタ 120	ICDIPTR120	R/W	H'00000000	H'E82019E0	32
割り込みプロセッサターゲットレジスタ 121	ICDIPTR121	R/W	H'00000000	H'E82019E4	32
割り込みプロセッサターゲットレジスタ 122	ICDIPTR122	R/W	H'00000000	H'E82019E8	32
割り込みプロセッサターゲットレジスタ 123	ICDIPTR123	R/W	H'00000000	H'E82019EC	32
割り込みプロセッサターゲットレジスタ 124	ICDIPTR124	R/W	H'00000000	H'E82019F0	32
割り込みプロセッサターゲットレジスタ 125	ICDIPTR125	R/W	H'00000000	H'E82019F4	32
割り込みプロセッサターゲットレジスタ 126	ICDIPTR126	R/W	H'00000000	H'E82019F8	32
割り込みプロセッサターゲットレジスタ 127	ICDIPTR127	R/W	H'00000000	H'E82019FC	32
割り込みプロセッサターゲットレジスタ 128	ICDIPTR128	R/W	H'00000000	H'E8201A00	32
割り込みプロセッサターゲットレジスタ 129	ICDIPTR129	R/W	H'00000000	H'E8201A04	32
割り込みプロセッサターゲットレジスタ 130	ICDIPTR130	R/W	H'00000000	H'E8201A08	32
割り込みプロセッサターゲットレジスタ 131	ICDIPTR131	R/W	H'00000000	H'E8201A0C	32
割り込みプロセッサターゲットレジスタ 132	ICDIPTR132	R/W	H'00000000	H'E8201A10	32
割り込みプロセッサターゲットレジスタ 133	ICDIPTR133	R/W	H'00000000	H'E8201A14	32
割り込みプロセッサターゲットレジスタ 134	ICDIPTR134	R/W	H'00000000	H'E8201A18	32
割り込み構成レジスタ 0	ICDICFR0	R	H'AAAAAAAA	H'E8201C00	32
割り込み構成レジスタ 1	ICDICFR1	R/W	H'55555555	H'E8201C04	32
割り込み構成レジスタ 2	ICDICFR2	R/W	H'55555555	H'E8201C08	32
割り込み構成レジスタ 3	ICDICFR3	R/W	H'55555555	H'E8201C0C	32
割り込み構成レジスタ 4	ICDICFR4	R/W	H'55555555	H'E8201C10	32
割り込み構成レジスタ 5	ICDICFR5	R/W	H'55555555	H'E8201C14	32
割り込み構成レジスタ 6	ICDICFR6	R/W	H'55555555	H'E8201C18	32
割り込み構成レジスタ 7	ICDICFR7	R/W	H'55555555	H'E8201C1C	32
割り込み構成レジスタ 8	ICDICFR8	R/W	H'55555555	H'E8201C20	32
割り込み構成レジスタ 9	ICDICFR9	R/W	H'55555555	H'E8201C24	32
割り込み構成レジスタ 10	ICDICFR10	R/W	H'55555555	H'E8201C28	32
割り込み構成レジスタ 11	ICDICFR11	R/W	H'55555555	H'E8201C2C	32
割り込み構成レジスタ 12	ICDICFR12	R/W	H'55555555	H'E8201C30	32
割り込み構成レジスタ 13	ICDICFR13	R/W	H'55555555	H'E8201C34	32
割り込み構成レジスタ 14	ICDICFR14	R/W	H'55555555	H'E8201C38	32
割り込み構成レジスタ 15	ICDICFR15	R/W	H'55555555	H'E8201C3C	32
割り込み構成レジスタ 16	ICDICFR16	R/W	H'55555555	H'E8201C40	32
割り込み構成レジスタ 17	ICDICFR17	R/W	H'55555555	H'E8201C44	32
割り込み構成レジスタ 18	ICDICFR18	R/W	H'55555555	H'E8201C48	32
割り込み構成レジスタ 19	ICDICFR19	R/W	H'55555555	H'E8201C4C	32
割り込み構成レジスタ 20	ICDICFR20	R/W	H'55555555	H'E8201C50	32
割り込み構成レジスタ 21	ICDICFR21	R/W	H'55555555	H'E8201C54	32
割り込み構成レジスタ 22	ICDICFR22	R/W	H'55555555	H'E8201C58	32
割り込み構成レジスタ 23	ICDICFR23	R/W	H'55555555	H'E8201C5C	32
割り込み構成レジスタ 24	ICDICFR24	R/W	H'55555555	H'E8201C60	32
割り込み構成レジスタ 25	ICDICFR25	R/W	H'55555555	H'E8201C64	32
割り込み構成レジスタ 26	ICDICFR26	R/W	H'55555555	H'E8201C68	32

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み構成レジスタ27	ICDICFR27	R/W	H'55555555	H'E8201C6C	32
割り込み構成レジスタ28	ICDICFR28	R/W	H'55555555	H'E8201C70	32
割り込み構成レジスタ29	ICDICFR29	R/W	H'55555555	H'E8201C74	32
割り込み構成レジスタ30	ICDICFR30	R/W	H'55555555	H'E8201C78	32
割り込み構成レジスタ31	ICDICFR31	R/W	H'55555555	H'E8201C7C	32
割り込み構成レジスタ32	ICDICFR32	R/W	H'55555555	H'E8201C80	32
割り込み構成レジスタ33	ICDICFR33	R/W	H'55555555	H'E8201C84	32
PPIステータスレジスタ	ppi_status	R	H'00000000	H'E8201D00	32
SPIステータスレジスタ0	spi_status0	R	H'00000000	H'E8201D04	32
SPIステータスレジスタ1	spi_status1	R	H'00000000	H'E8201D08	32
SPIステータスレジスタ2	spi_status2	R	H'00000000	H'E8201D0C	32
SPIステータスレジスタ3	spi_status3	R	H'00000000	H'E8201D10	32
SPIステータスレジスタ4	spi_status4	R	H'00000000	H'E8201D14	32
SPIステータスレジスタ5	spi_status5	R	H'00000000	H'E8201D18	32
SPIステータスレジスタ6	spi_status6	R	H'00000000	H'E8201D1C	32
SPIステータスレジスタ7	spi_status7	R	H'00000000	H'E8201D20	32
SPIステータスレジスタ8	spi_status8	R	H'00000000	H'E8201D24	32
SPIステータスレジスタ9	spi_status9	R	H'00000000	H'E8201D28	32
SPIステータスレジスタ10	spi_status10	R	H'00000000	H'E8201D2C	32
SPIステータスレジスタ11	spi_status11	R	H'00000000	H'E8201D30	32
SPIステータスレジスタ12	spi_status12	R	H'00000000	H'E8201D34	32
SPIステータスレジスタ13	spi_status13	R	H'00000000	H'E8201D38	32
SPIステータスレジスタ14	spi_status14	R	H'00000000	H'E8201D3C	32
ソフトウェア生成割り込みレジスタ	ICDSGIR	W	H'00000000	H'E8201F00	32
CPUインタフェース制御レジスタ	ICCICR	R/W	H'00000000	H'E8202000	32
割り込み優先度マスクレジスタ	ICCPMR	R/W	H'00000000	H'E8202004	32
2進小数点レジスタ	ICCBPR	R/W	H'00000002	H'E8202008	32
割り込み応答レジスタ	ICCIAR	R	H'000003FF	H'E820200C	32
割り込み終了レジスタ	ICCEOIR	W	-	H'E8202010	32
実行優先度レジスタ	ICCRPR	R	H'000000FF	H'E8202014	32
最優先保留割り込みレジスタ	ICCHPIR	R	H'000003FF	H'E8202018	32
エイリアスされた非セキュア2進小数点レジスタ	ICCABPR	R/W	H'00000003	H'E820201C	32
CPUインタフェース実装識別レジスタ	ICCIIDR	R	H'3901043B	H'E82020FC	32

注1.　NMI端子がハイレベルのとき：H'8000、ローレベルのとき：H'0000です。
注2.　フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
注3.　IT lines numberの値を使用して割り込みIDの最大数を計算する場合は、
以下の計算式を用いてください。
(17+1)×32+1 ～ (17+2)×32 : 577～608

7.3.1　割り込みコントロールレジスタ 0（ICR0）

ICR0 は、16 ビットのレジスタで、外部割り込み入力端子 NMI のマスク／許可と入力信号検出モードを設定し、NMI 端子への入力レベル、割り込み要求を示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	-	-	-	-	-	-	NMIE	-	-	-	-	-	-	NMIF	-
初期値：	*1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/(W)*2	R

【注】*1　NMI端子がハイレベルのとき1、ローレベルのとき0です。
*2　フラグをクリアするために、1を読み出した後に0書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15	NMIL	*1	R	NMI 入力レベル NMI 端子に入力されている信号のレベルが設定されます。本ビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。 0：NMI 端子にローレベルが入力されている。 1：NMI 端子にハイレベルが入力されている。
14 ～ 9	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	NMIE	0	R/W	NMI エッジセレクト NMI 入力の立ち下がりまたは立ち上がりのどちらで割り込み要求信号を検出するかを選択します。 0：NMI 入力の立ち下がりエッジで割り込み要求を検出。 1：NMI 入力の立ち上がりエッジで割り込み要求を検出。
7 ～ 2	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	NMIF	0	R/(W)*2	NMI 割り込み要求 NMI 端子に対する割り込み要求のステータスを表示します。書き込みは無効です。 0：NMI 割り込み要求が検出されていません。 [クリア条件] • NMIE ビットの設定値を変更したとき • NMIF＝1 の状態をリード後に 0 をライトしたとき 1：NMI 割り込み要求が検出されています。 [セット条件] • NMI 端子に NMIE に対応するエッジが発生したとき
0	―	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

7.3.2　割り込みコントロールレジスタ 1（ICR1）

ICR1 は、外部割り込み入力端子 IRQ7 ～ IRQ0 に対してローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジの検出モードを個別に指定する 16 ビットのレジスタです。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S	IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15	IRQ71S	0	R/W	IRQ センスセレクト IRQ7～IRQ0 端子に対する割り込み信号をローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジのどれで検出するかを選択します。 00：割り込み要求を IRQn 入力のローレベルで検出する。 01：割り込み要求を IRQn 入力の立ち下がりエッジで検出する。 10：割り込み要求を IRQn 入力の立ち上がりエッジで検出する。 11：割り込み要求を IRQn 入力の両エッジで検出する。
14	IRQ70S	0	R/W	
13	IRQ61S	0	R/W	
12	IRQ60S	0	R/W	
11	IRQ51S	0	R/W	
10	IRQ50S	0	R/W	
9	IRQ41S	0	R/W	
8	IRQ40S	0	R/W	
7	IRQ31S	0	R/W	
6	IRQ30S	0	R/W	
5	IRQ21S	0	R/W	
4	IRQ20S	0	R/W	
3	IRQ11S	0	R/W	
2	IRQ10S	0	R/W	
1	IRQ01S	0	R/W	
0	IRQ00S	0	R/W	

【記号説明】　n ＝ 7 ～ 0

7.3.3　IRQ 割り込み要求レジスタ（IRQRR）

IRQRR は、16 ビットのレジスタで、外部割り込み入力端子 IRQ7 ～ IRQ0 の割り込み要求を示します。IRQ7 ～ IRQ0 割り込みをエッジ検出に設定している場合、IRQ7F ～ IRQ0F ＝ 1 をリード後、IRQ7F ～ IRQ0F に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
15 ～ 8	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	IRQ7F	0	R/(W)*	IRQ割り込み要求 IRQ7～IRQ0割り込み要求のステータスを表示します。 レベル検出時 0：IRQn割り込み要求が存在しません。 [クリア条件] • IRQn入力がハイレベルのとき 1：IRQn割り込み要求が存在します。 [セット条件] • IRQn入力がローレベルのとき エッジ検出時 0：IRQn割り込み要求が検出されていません。 [クリア条件] • IRQnF=1の状態をリード後に0をライトしたとき 1：IRQn割り込み要求が検出されています。 [セット条件] • IRQn端子にICR1のIRQn1S、IRQn0Sに対応するエッジが発生したとき
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【記号説明】　n ＝ 7 ～ 0

7.4 割り込み要因

割り込み要因は、NMI、IRQ、内蔵周辺モジュール、端子割り込みの 4 つに分類されます。各割り込みの優先順位は割り込み優先レベル値（0 ～ 31）で表され、レベル 0 が最高でレベル 31 が最低です。

7.4.1 NMI 割り込み

NMI 割り込みは、最優先される割り込みで、CPU へは FIQ 例外として常に受け付けられます。NMI 端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ 0（ICR0）の NMI エッジセレクトビット（NMIE）の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。NMI 割り込み要求ビット（NMIF）をリードすることにより NMI 割り込み要求が検出されているかどうかを確認できます。また、NMIE ビットの値を変更した場合、その時点で保留されている NMI 割り込み要求は取り下げます。

ディープスタンバイに遷移した場合、NMI で解除可能です。

7.4.2 IRQ 割り込み

IRQ 割り込みは IRQ7 ～ IRQ0 端子からの入力による割り込みです。IRQ 割り込みは、割り込みコントロールレジスタ 1（ICR1）の IRQ センスセレクトビット（IRQ71S ～ IRQ01S、IRQ70S ～ IRQ00S）の設定によって、端子ごとにローレベル、立ち下がりエッジ、立ち上がりエッジ、両エッジ検出を選択できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ7 ～ IRQ0 端子がローレベルの期間、割り込みコントローラに割り込み要求信号が送られます。IRQ7 ～ IRQ0 端子がハイレベルになると、割り込み要求信号は割り込みコントローラに送られません。IRQ 割り込み要求レジスタ（IRQRR）の IRQ 割り込み要求ビット（IRQ7F ～ IRQ0F）をリードすることにより割り込み要求を確認できます。

IRQ 割り込みをエッジ検出に設定している場合、IRQ7 ～ IRQ0 端子の変化により割り込み要求が検出され、割り込みコントローラに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、IRQ 割り込み要求レジスタ（IRQRR) の IRQ7F ～ IRQ0F ビットをリードすることにより IRQ 割り込み要求が検出されているかどうかを確認でき、1 をリードした後に 0 をライトすることにより IRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外サービスルーチンから復帰する際は、誤って再度受け付けないように、IRQ 割り込み要求レジスタ（IRQRR）で割り込み要求がクリアされていることを確認してから復帰命令を実行してください。

7.4.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ
- USB2.0 ホスト／ファンクションモジュール
- ビデオディスプレイコントローラ 5
- JPEG コーデックユニット (RZ/A1LU のみ)
- OS タイマ
- バスステートコントローラ
- ウォッチドッグタイマ
- マルチファンクションタイマパルスユニット 2
- 12bit A/D 変換器
- シリアルサウンドインタフェース
- ルネサス SPDIF インタフェース
- I^2C バスインタフェース
- FIFO 内蔵シリアルコミュニケーションインタフェース
- CAN インタフェース
- ルネサスシリアルペリフェラルインタフェース
- IEBus™ コントローラ (RZ/A1L のみ)
- CD-ROM デコーダ (RZ/A1L のみ)
- MMC ホストインタフェース
- SD ホストインタフェース
- リアルタイムクロック
- SCUX
- メディア・ローカル・バス (RZ/A1L のみ)
- LIN インタフェース (RZ/A1L のみ)
- シリアルコミュニケーションインタフェース
- EthernetAVB (RZ/A1LU のみ)
- イーサネットコントローラ
- キャプチャエンジンユニット
- 内蔵 RAM
- 内部バス

周辺モジュールのレベルによる割り込み要求の場合、割り込み例外サービスルーチンから復帰する際は、割り込み要求を誤って再度受け付けないように、要求元の要因フラグのクリア後要因フラグのリードを行ってから復帰命令を実行してください。

7.4.4 端子割り込み

端子割り込みは、TINT121 ～ TINT0 端子による割り込みです。TINT121 ～ TINT0 端子は、汎用入出力ポートのモード / 機能に関わらず、ポートからの入力信号を割り込みとして伝えます。

そのため、ポートモードで端子割り込みを使用する際は、ポート入力に設定してください。また、兼用モードの際は、入力機能の兼用端子でのみ端子割り込みを使用出来ます。汎用入出力ポートの設定は、**「41. 汎用入出力ポート」**を参照してください。

端子割り込みは、割り込み構成レジスタ（ICDICFRn）の設定によって、端子ごとにハイレベル、立ち上がりエッジ検出を選択できます。割り込み構成レジスタ（ICDICFRn）の説明は GIC アーキテクチャ仕様書を参照してください。

7.5 割り込み ID

表 7.3 に、割り込み要因と割り込み ID およびその割り込み要因の設定を行うレジスタを示します。

表 7.3 以外の設定をした場合の動作は保証しません。

各割り込み要因には、それぞれ異なる割り込み ID が割り当てられています。割り込み要因の CPU への通知の制御および状態を参照にするには、割り当てられた割り込み ID に対応した以下のレジスタを設定および参照する必要があります。

- 割り込みセキュリティレジスタ　ICDISRn
- 割り込みイネーブルセットレジスタ　ICDISERn
- 割り込みイネーブルクリアレジスタ　ICDICERn
- 割り込み保留セットレジスタ　ICDISPRn
- 割り込み保留クリアレジスタ　ICDICPRn
- アクティブビットレジスタ　ICDABRn
- 割り込み構成レジスタ　ICDICFRn
- 割り込み優先度レジスタ　ICDIPRn
- 割り込みプロセッサターゲットレジスタ　ICDIPTRn

各レジスタの初期設定手順は**「7.6.1　初期設定」**を参照してください。各レジスタの詳細は Arm Generic Interrupt Controller Architecture Specification 及び Arm PrimeCell Generic Interrupt Controller (PL390) Technical Reference Manual を参照してください。

表7.3　割り込みID一覧

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
GIC ソフトウェア 割り込み	-	-	-	0	0	0	0	1～0	0	7～0
				1		1		3～2		15～8
				2		2		5～4		23～16
				3		3		7～6		31～24
				4		4		9～8	1	7～0
				5		5		11～10		15～8
				6		6		13～12		23～16
				7		7		15～14		31～24
				8		8		17～16	2	7～0
				9		9		19～18		15～8
				10		10		21～20		23～16
				11		11		23～22		31～24
				12		12		25～24	3	7～0
				13		13		27～26		15～8
				14		14		29～28		23～16
				15		15		31～30		31～24
CPU	0	PMUIRQ0	レベル	16		16	1	1～0	4	7～0
		COMMRX0	レベル	17		17		3～2		15～8
		COMMTX0	レベル	18		18		5～4		23～16
		CTIIRQ0	レベル	19		19		7～6		31～24
IRQ	-	IRQ0	レベル	32	1	0	2	1～0	8	7～0
		IRQ1	レベル	33		1		3～2		15～8
		IRQ2	レベル	34		2		5～4		23～16
		IRQ3	レベル	35		3		7～6		31～24
		IRQ4	レベル	36		4		9～8	9	7～0
		IRQ5	レベル	37		5		11～10		15～8
		IRQ6	レベル	38		6		13～12		23～16
		IRQ7	レベル	39		7		15～14		31～24
2次キャッシュ	-	PL310ERR	レベル	40		8		17～16	10	7～0
ダイレクト メモリアクセス コントローラ	0	DMAINT0	エッジ	41		9		19～18		15～8
	1	DMAINT1	エッジ	42		10		21～20		23～16
	2	DMAINT2	エッジ	43		11		23～22		31～24
	3	DMAINT3	エッジ	44		12		25～24	11	7～0
	4	DMAINT4	エッジ	45		13		27～26		15～8
	5	DMAINT5	エッジ	46		14		29～28		23～16
	6	DMAINT6	エッジ	47		15		31～30		31～24
	7	DMAINT7	エッジ	48		16	3	1～0	12	7～0
	8	DMAINT8	エッジ	49		17		3～2		15～8
	9	DMAINT9	エッジ	50		18		5～4		23～16
	10	DMAINT10	エッジ	51		19		7～6		31～24
	11	DMAINT11	エッジ	52		20		9～8	13	7～0
	12	DMAINT12	エッジ	53		21		11～10		15～8
	13	DMAINT13	エッジ	54		22		13～12		23～16
	14	DMAINT14	エッジ	55		23		15～14		31～24
	15	DMAINT15	エッジ	56		24		17～16	14	7～0
	-	DMAERR	エッジ	57		25		19～18		15～8

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
予約				58	1	26	3	21～20	14	23～16
				59		27		23～22		31～24
				60		28		25～24	15	7～0
				61		29		27～26		15～8
				62		30		29～28		23～16
				63		31		31～30		31～24
				64	2	0	4	1～0	16	7～0
				65		1		3～2		15～8
				66		2		5～4		23～16
				67		3		7～6		31～24
				68		4		9～8	17	7～0
				69		5		11～10		15～8
				70		6		13～12		23～16
				71		7		15～14		31～24
				72		8		17～16	18	7～0
USB2.0ホスト／ファンクションモジュール	0	USBI0	レベル	73		9		19～18		15～8
	1	USBI1	レベル	74		10		21～20		23～16
ビデオディスプレイコントローラ5	-	S0_VI_VSYNC0	レベル	75		11		23～22		31～24
		S0_LO_VSYNC0	レベル	76		12		25～24	19	7～0
		S0_VSYNCERR0	レベル	77		13		27～26		15～8
		GR3_VLINE0	レベル	78		14		29～28		23～16
		S0_VFIELD0	レベル	79		15		31～30		31～24
		IV1_VBUFERR0	レベル	80		16	5	1～0	20	7～0
		IV3_VBUFERR0	レベル	81		17		3～2		15～8
		IV5_VBUFERR0	レベル	82		18		5～4		23～16
		IV6_VBUFERR0	レベル	83		19		7～6		31～24
		S0_WLINE0	レベル	84		20		9～8	21	7～0
予約				85		21		11～10		15～8
				86		22		13～12		23～16
				87		23		15～14		31～24
				88		24		17～16	22	7～0
				89		25		19～18		15～8
				90		26		21～20		23～16
				91		27		23～22		31～24
				92		28		25～24	23	7～0
				93		29		27～26		15～8
				94		30		29～28		23～16
				95		31		31～30		31～24
				96	3	0	6	1～0	24	7～0
				97		1		3～2		15～8
				98		2		5～4		23～16
				99		3		7～6		31～24
				100		4		9～8	25	7～0
				101		5		11～10		15～8
				102		6		13～12		23～16
				103		7		15～14		31～24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
予約	-			104	3	8	6	17～16	26	7～0
				105		9		19～18		15～8
				106		10		21～20		23～16
				107		11		23～22		31～24
				108		12		25～24	27	7～0
				109		13		27～26		15～8
				110		14		29～28		23～16
				111		15		31～30		31～24
				112		16	7	1～0	28	7～0
				113		17		3～2		15～8
				114		18		5～4		23～16
				115		19		7～6		31～24
				116		20		9～8	29	7～0
				117		21		11～10		15～8
				118		22		13～12		23～16
				119		23		15～14		31～24
				120		24		17～16	30	7～0
				121		25		19～18		15～8
				122		26		21～20		23～16
				123		27		23～22		31～24
				124		28		25～24	31	7～0
				125		29		27～26		15～8
JPEGコーデックユニット (RZ/A1LUのみ)	-	JEDI	レベル	126		30		29～28		23～16
		JDTI	レベル	127		31		31～30		31～24
予約	-			128	4	0	8	1～0	32	7～0
				129		1		3～2		15～8
				130		2		5～4		23～16
				131		3		7～6		31～24
				132		4		9～8	33	7～0
				133		5		11～10		15～8
OSタイマ	0	OSTM0TINT	エッジ	134		6		13～12		23～16
	1	OSTM1TINT	エッジ	135		7		15～14		31～24
バスステート コントローラ	-	CMI	レベル	136		8		17～16	34	7～0
		WTOUT	レベル	137		9		19～18		15～8
ウォッチドッグタイマ	-	ITI	レベル	138		10		21～20		23～16
マルチ ファンクション タイマパルス ユニット2	0	TGI0A	レベル	139		11		23～22		31～24
		TGI0B	レベル	140		12		25～24	35	7～0
		TGI0C	レベル	141		13		27～26		15～8
		TGI0D	レベル	142		14		29～28		23～16
		TGI0V	レベル	143		15		31～30		31～24
		TGI0E	レベル	144		16	9	1～0	36	7～0
		TGI0F	レベル	145		17		3～2		15～8
	1	TGI1A	レベル	146		18		5～4		23～16
		TGI1B	レベル	147		19		7～6		31～24
		TGI1V	レベル	148		20		9～8	37	7～0
		TGI1U	レベル	149		21		11～10		15～8
	2	TGI2A	レベル	150		22		13～12		23～16

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
マルチファンクションタイマパルスユニット2	2	TGI2B	レベル	151	4	23	9	15～14	37	31～24
		TGI2V	レベル	152		24		17～16	38	7～0
		TGI2U	レベル	153		25		19～18		15～8
	3	TGI3A	レベル	154		26		21～20		23～16
		TGI3B	レベル	155		27		23～22		31～24
		TGI3C	レベル	156		28		25～24	39	7～0
		TGI3D	レベル	157		29		27～26		15～8
		TGI3V	レベル	158		30		29～28		23～16
	4	TGI4A	レベル	159		31		31～30		31～24
		TGI4B	レベル	160	5	0	10	1～0	40	7～0
		TGI4C	レベル	161		1		3～2		15～8
		TGI4D	レベル	162		2		5～4		23～16
		TGI4V	レベル	163		3		7～6		31～24
予約	-			164		4		9～8	41	7～0
				165		5		11～10		15～8
				166		6		13～12		23～16
				167		7		15～14		31～24
				168		8		17～16	42	7～0
				169		9		19～18		15～8
12bit A/D変換器	-	ADI	レベル	170		10		21～20		23～16
		LMTI	レベル	171		11		23～22		31～24
シリアルサウンドインタフェース	0	SSII0	レベル	172		12		25～24	43	7～0
		SSIRXI0	レベル	173		13		27～26		15～8
		SSITXI0	レベル	174		14		29～28		23～16
	1	SSII1	レベル	175		15		31～30		31～24
		SSIRXI1	レベル	176		16	11	1～0	44	7～0
		SSITXI1	レベル	177		17		3～2		15～8
	2	SSII2	レベル	178		18		5～4		23～16
		SSIRTI2	レベル	179		19		7～6		31～24
	3	SSII3	レベル	180		20		9～8	45	7～0
		SSIRXI3	レベル	181		21		11～10		15～8
		SSITXI3	レベル	182		22		13～12		23～16
予約				183		23		15～14		31～24
				184		24		17～16	46	7～0
				185		25		19～18		15～8
				186		26		21～20		23～16
				187		27		23～22		31～24
ルネサスSPDIFインタフェース	-	SPDIFI	レベル	188		28		25～24	47	7～0
I²Cバスインタフェース	0	INTIICTEI0	レベル	189		29		27～26		15～8
		INTIICRI0	エッジ	190		30		29～28		23～16
		INTIICTI0	エッジ	191		31		31～30		31～24
		INTIICSPI0	レベル	192	6	0	12	1～0	48	7～0
		INTIICSTI0	レベル	193		1		3～2		15～8
		INTIICNAKI0	レベル	194		2		5～4		23～16
		INTIICALI0	レベル	195		3		7～6		31～24
		INTIICTMOI0	レベル	196		4		9～8	49	7～0

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
I²C バスインタフェース	1	INTIICTEI1	レベル	197	6	5	12	11～10	49	15～8
		INTIICRI1	エッジ	198		6		13～12		23～16
		INTIICTI1	エッジ	199		7		15～14		31～24
		INTIICSPI1	レベル	200		8		17～16	50	7～0
		INTIICSTI1	レベル	201		9		19～18		15～8
		INTIICNAKI1	レベル	202		10		21～20		23～16
		INTIICALI1	レベル	203		11		23～22		31～24
		INTIICTMOI1	レベル	204		12		25～24	51	7～0
	2	INTIICTEI2	レベル	205		13		27～26		15～8
		INTIICRI2	エッジ	206		14		29～28		23～16
		INTIICTI2	エッジ	207		15		31～30		31～24
		INTIICSPI2	レベル	208		16	13	1～0	52	7～0
		INTIICSTI2	レベル	209		17		3～2		15～8
		INTIICNAKI2	レベル	210		18		5～4		23～16
		INTIICALI2	レベル	211		19		7～6		31～24
		INTIICTMOI2	レベル	212		20		9～8	53	7～0
	3	INTIICTEI3	レベル	213		21		11～10		15～8
		INTIICRI3	エッジ	214		22		13～12		23～16
		INTIICTI3	エッジ	215		23		15～14		31～24
		INTIICSPI3	レベル	216		24		17～16	54	7～0
		INTIICSTI3	レベル	217		25		19～18		15～8
		INTIICNAKI3	レベル	218		26		21～20		23～16
		INTIICALI3	レベル	219		27		23～22		31～24
		INTIICTMOI3	レベル	220		28		25～24	55	7～0
FIFO 内蔵 シリアル コミュニケーション インタフェース	0	BRI0	レベル	221		29		27～26		15～8
		ERI0	レベル	222		30		29～28		23～16
		RXI0	レベル	223		31		31～30		31～24
		TXI0	レベル	224	7	0	14	1～0	56	7～0
	1	BRI1	レベル	225		1		3～2		15～8
		ERI1	レベル	226		2		5～4		23～16
		RXI1	レベル	227		3		7～6		31～24
		TXI1	レベル	228		4		9～8	57	7～0
	2	BRI2	レベル	229		5		11～10		15～8
		ERI2	レベル	230		6		13～12		23～16
		RXI2	レベル	231		7		15～14		31～24
		TXI2	レベル	232		8		17～16	58	7～0
	3	BRI3	レベル	233		9		19～18		15～8
		ERI3	レベル	234		10		21～20		23～16
		RXI3	レベル	235		11		23～22		31～24
		TXI3	レベル	236		12		25～24	59	7～0
	4	BRI4	レベル	237		13		27～26		15～8
		ERI4	レベル	238		14		29～28		23～16
		RXI4	レベル	239		15		31～30		31～24
		TXI4	レベル	240		16	15	1～0	60	7～0
予約				241		17		3～2		15～8
				242		18		5～4		23～16
				243		19		7～6		31～24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
予約				244	7	20	15	9～8	61	7～0
				245		21		11～10		15～8
				246		22		13～12		23～16
				247		23		15～14		31～24
				248		24		17～16	62	7～0
				249		25		19～18		15～8
				250		26		21～20		23～16
				251		27		23～22		31～24
				252		28		25～24	63	7～0
CANインタフェース	共通	INTRCANGERR	レベル	253		29		27～26		15～8
		INTRCANGRECC	レベル	254		30		29～28		23～16
	0	INTRCAN0REC	レベル	255		31		31～30		31～24
		INTRCAN0ERR	レベル	256	8	0	16	1～0	64	7～0
		INTRCAN0TRX	レベル	257		1		3～2		15～8
	1	INTRCAN1REC	レベル	258		2		5～4		23～16
		INTRCAN1ERR	レベル	259		3		7～6		31～24
		INTRCAN1TRX	レベル	260		4		9～8	65	7～0
予約				261		5		11～10		15～8
				262		6		13～12		23～16
				263		7		15～14		31～24
				264		8		17～16	66	7～0
				265		9		19～18		15～8
				266		10		21～20		23～16
				267		11		23～22		31～24
				268		12		25～24	67	7～0
				269		13		27～26		15～8
ルネサス シリアル ペリフェラル インタフェース	0	SPEI0	レベル	270		14		29～28		23～16
		SPRI0	レベル	271		15		31～30		31～24
		SPTI0	レベル	272		16	17	1～0	68	7～0
	1	SPEI1	レベル	273		17		3～2		15～8
		SPRI1	レベル	274		18		5～4		23～16
		SPTI1	レベル	275		19		7～6		31～24
	2	SPEI2	レベル	276		20		9～8	69	7～0
		SPRI2	レベル	277		21		11～10		15～8
		SPTI2	レベル	278		22		13～12		23～16
予約				279		23		15～14		31～24
				280		24		17～16	70	7～0
				281		25		19～18		15～8
				282		26		21～20		23～16
				283		27		23～22		31～24
				284		28		25～24	71	7～0
IEBus™ コントローラ (RZ/A1Lのみ)	-	IEBBTD	エッジ	285		29		27～26		15～8
		IEBBTERR	エッジ	286		30		29～28		23～16
		IEBBTSTA	エッジ	287		31		31～30		31～24
		IEBBTV	エッジ	288	9	0	18	1～0	72	7～0
CD-ROM デコーダ (RZ/A1Lのみ)	-	ISY	レベル	289		1		3～2		15～8
		IERR	レベル	290		2		5～4		23～16

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
CD-ROM デコーダ (RZ/A1Lのみ)	-	ITARG	レベル	291	9	3	18	7～6	72	31～24
		ISEC	レベル	292		4		9～8	73	7～0
		IBUF	レベル	293		5		11～10		15～8
		IREADY	レベル	294		6		13～12		23～16
予約	-			295		7		15～14		31～24
				296		8		17～16	74	7～0
				297		9		19～18		15～8
				298		10		21～20		23～16
MMC ホスト インタフェース	-	MMC0	レベル	299		11		23～22		31～24
		MMC1	レベル	300		12		25～24	75	7～0
		MMC2	レベル	301		13		27～26		15～8
SDホスト インタフェース	0	SDHI0_3	レベル	302		14		29～28		23～16
		SDHI0_0	レベル	303		15		31～30		31～24
		SDHI0_1	レベル	304		16	19	1～0	76	7～0
	1	SDHI1_3	レベル	305		17		3～2		15～8
		SDHI1_0	レベル	306		18		5～4		23～16
		SDHI1_1	レベル	307		19		7～6		31～24
リアルタイム クロック	-	ARM	レベル	308		20		9～8	77	7～0
		PRD	レベル	309		21		11～10		15～8
		CUP	レベル	310		22		13～12		23～16
SCUX	-	SCUAI0	レベル	311		23		15～14		31～24
		SCUAI1	レベル	312		24		17～16	78	7～0
		SCUFDI0	レベル	313		25		19～18		15～8
		SCUFDI1	レベル	314		26		21～20		23～16
		SCUFDI2	レベル	315		27		23～22		31～24
		SCUFDI3	レベル	316		28		25～24	79	7～0
		SCUFUI0	レベル	317		29		27～26		15～8
		SCUFUI1	レベル	318		30		29～28		23～16
		SCUFUI2	レベル	319		31		31～30		31～24
		SCUFUI3	レベル	320	10	0	20	1～0	80	7～0
		SCUDVI0	レベル	321		1		3～2		15～8
		SCUDVI1	レベル	322		2		5～4		23～16
		SCUDVI2	レベル	323		3		7～6		31～24
		SCUDVI3	レベル	324		4		9～8	81	7～0
メディア・ ローカル・バス (RZ/A1Lのみ)	-	MLB_CINT	レベル	325		5		11～10		15～8
		MLB_SINT	レベル	326		6		13～12		23～16
予約				327		7		15～14		31～24
				328		8		17～16	82	7～0
				329		9		19～18		15～8
				330		10		21～20		23～16
LINインタフェース (RZ/A1Lのみ)	0	LIN0_INT_T	エッジ	331		11		23～22		31～24
		LIN0_INT_R	エッジ	332		12		25～24	83	7～0
		LIN0_INT_S	エッジ	333		13		27～26		15～8
		LIN0_INT_M	エッジ	334		14		29～28		23～16

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
予約				335	10	15	20	31～30	83	31～24
				336		16	21	1～0	84	7～0
				337		17		3～2		15～8
				338		18		5～4		23～16
				339		19		7～6		31～24
				340		20		9～8	85	7～0
				341		21		11～10		15～8
				342		22		13～12		23～16
				343		23		15～14		31～24
				344		24		17～16	86	7～0
				345		25		19～18		15～8
				346		26		21～20		23～16
シリアル コミュニケーション インタフェース	0	ERI0	レベル	347		27		23～22		31～24
		RXI0	エッジ	348		28		25～24	87	7～0
		TXI0	エッジ	349		29		27～26		15～8
		TEI0	レベル	350		30		29～28		23～16
	1	ERI1	レベル	351		31		31～30		31～24
		RXI1	エッジ	352	11	0	22	1～0	88	7～0
		TXI1	エッジ	353		1		3～2		15～8
		TEI1	レベル	354		2		5～4		23～16
EthernetAVB (RZ/A1LUのみ)	-	AVBI_DATA	レベル	355		3		7～6		31～24
		AVBI_ERROR	レベル	356		4		9～8	89	7～0
		AVBI_MANAGE	レベル	357		5		11～10		15～8
		AVBI_MAC	レベル	358		6		13～12		23～16
イーサネットコントローラ	-	ETHERI	レベル	359		7		15～14		31～24
予約				360		8		17～16	90	7～0
				361		9		19～18		15～8
				362		10		21～20		23～16
				363		11		23～22		31～24
キャプチャエンジンユニット	-	CEUI	レベル	364		12		25～24	91	7～0
予約				365		13		27～26		15～8
				366		14		29～28		23～16
				367		15		31～30		31～24
				368		16	23	1～0	92	7～0
				369		17		3～2		15～8
				370		18		5～4		23～16
				371		19		7～6		31～24
				372		20		9～8	93	7～0
				373		21		11～10		15～8
				374		22		13～12		23～16
				375		23		15～14		31～24
				376		24		17～16	94	7～0
				377		25		19～18		15～8
				378		26		21～20		23～16
				379		27		23～22		31～24
				380		28		25～24	95	7～0
内部バス		H2XMLB_ERRINT	レベル	381		29		27～26		15～8

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
内部バス		H2XIC1_ERRINT	レベル	382	11	30	23	29～28	95	23～16
		X2HPERI1_ERRINT	レベル	383		31		31～30		31～24
		X2HPERI2_ERRINT	レベル	384	12	0	24	1～0	96	7～0
		X2HPERI34_ERRINT	レベル	385		1		3～2		15～8
		X2HPERI5_ERRINT	レベル	386		2		5～4		23～16
		X2HPERI67_ERRINT	レベル	387		3		7～6		31～24
		X2HDBGR_ERRINT	レベル	388		4		9～8	97	7～0
		X2HBSC_ERRINT	レベル	389		5		11～10		15～8
		X2HSPI1_ERRINT	レベル	390		6		13～12		23～16
		X2HSPI2_ERRINT	レベル	391		7		15～14		31～24
		PRRI	レベル	392		8		17～16	98	7～0
予約				393		9		19～18		15～8
				394		10		21～20		23～16
				395		11		23～22		31～24
				396		12		25～24	99	7～0
				397		13		27～26		15～8
				398		14		29～28		23～16
				399		15		31～30		31～24
				400		16	25	1～0	100	7～0
				401		17		3～2		15～8
				402		18		5～4		23～16
				403		19		7～6		31～24
				404		20		9～8	101	7～0
				405		21		11～10		15～8
				406		22		13～12		23～16
				407		23		15～14		31～24
				408		24		17～16	102	7～0
				409		25		19～18		15～8
				410		26		21～20		23～16
				411		27		23～22		31～24
				412		28		25～24	103	7～0
				413		29		27～26		15～8
				414		30		29～28		23～16
				415		31		31～30		31～24
端子割り込み 【注】端子割り込みの ch 行の記載はポート名です。	JP0_0	TINT0	エッジ/レベル	416	13	0	26	1～0	104	7～0
	JP0_1	TINT1	エッジ/レベル	417		1		3～2		15～8
	P0_0	TINT2	エッジ/レベル	418		2		5～4		23～16
	P0_1	TINT3	エッジ/レベル	419		3		7～6		31～24
	P0_2	TINT4	エッジ/レベル	420		4		9～8	105	7～0
	P0_3	TINT5	エッジ/レベル	421		5		11～10		15～8
	P1_0	TINT6	エッジ/レベル	422		6		13～12		23～16
	P1_1	TINT7	エッジ/レベル	423		7		15～14		31～24
	P1_2	TINT8	エッジ/レベル	424		8		17～16	106	7～0
	P1_3	TINT9	エッジ/レベル	425		9		19～18		15～8
	P1_4	TINT10	エッジ/レベル	426		10		21～20		23～16
	P1_5	TINT11	エッジ/レベル	427		11		23～22		31～24
	P1_6	TINT12	エッジ/レベル	428		12		25～24	107	7～0

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
端子割り込み 【注】端子割り込みの ch 行の記載はポート名です。	P1_7	TINT13	エッジ/レベル	429	13	13	26	27～26	107	15～8
	P1_8	TINT14	エッジ/レベル	430		14		29～28		23～16
	P1_9	TINT15	エッジ/レベル	431		15		31～30		31～24
	P1_10	TINT16	エッジ/レベル	432		16	27	1～0	108	7～0
	P1_11	TINT17	エッジ/レベル	433		17		3～2		15～8
	P1_12	TINT18	エッジ/レベル	434		18		5～4		23～16
	P1_13	TINT19	エッジ/レベル	435		19		7～6		31～24
	P1_14	TINT20	エッジ/レベル	436		20		9～8	109	7～0
	P1_15	TINT21	エッジ/レベル	437		21		11～10		15～8
	P2_0	TINT22	エッジ/レベル	438		22		13～12		23～16
	P2_1	TINT23	エッジ/レベル	439		23		15～14		31～24
	P2_2	TINT24	エッジ/レベル	440		24		17～16	110	7～0
	P2_3	TINT25	エッジ/レベル	441		25		19～18		15～8
	P2_4	TINT26	エッジ/レベル	442		26		21～20		23～16
	P2_5	TINT27	エッジ/レベル	443		27		23～22		31～24
	P2_6	TINT28	エッジ/レベル	444		28		25～24	111	7～0
	P2_7	TINT29	エッジ/レベル	445		29		27～26		15～8
	P2_8	TINT30	エッジ/レベル	446		30		29～28		23～16
	P2_9	TINT31	エッジ/レベル	447		31		31～30		31～24
	P3_0	TINT32	エッジ/レベル	448	14	0	28	1～0	112	7～0
	P3_1	TINT33	エッジ/レベル	449		1		3～2		15～8
	P3_2	TINT34	エッジ/レベル	450		2		5～4		23～16
	P3_3	TINT35	エッジ/レベル	451		3		7～6		31～24
	P3_4	TINT36	エッジ/レベル	452		4		9～8	113	7～0
	P3_5	TINT37	エッジ/レベル	453		5		11～10		15～8
	P3_6	TINT38	エッジ/レベル	454		6		13～12		23～16
	P3_7	TINT39	エッジ/レベル	455		7		15～14		31～24
	P3_8	TINT40	エッジ/レベル	456		8		17～16	114	7～0
	P3_9	TINT41	エッジ/レベル	457		9		19～18		15～8
	P3_10	TINT42	エッジ/レベル	458		10		21～20		23～16
	P3_11	TINT43	エッジ/レベル	459		11		23～22		31～24
	P3_12	TINT44	エッジ/レベル	460		12		25～24	115	7～0
	P3_13	TINT45	エッジ/レベル	461		13		27～26		15～8
	P3_14	TINT46	エッジ/レベル	462		14		29～28		23～16
	P3_15	TINT47	エッジ/レベル	463		15		31～30		31～24
	P4_0	TINT48	エッジ/レベル	464		16	29	1～0	116	7～0
	P4_1	TINT49	エッジ/レベル	465		17		3～2		15～8
	P4_2	TINT50	エッジ/レベル	466		18		5～4		23～16
	P4_3	TINT51	エッジ/レベル	467		19		7～6		31～24
	P4_4	TINT52	エッジ/レベル	468		20		9～8	117	7～0
	P4_5	TINT53	エッジ/レベル	469		21		11～10		15～8
	P4_6	TINT54	エッジ/レベル	470		22		13～12		23～16
	P4_7	TINT55	エッジ/レベル	471		23		15～14		31～24
	P5_0	TINT56	エッジ/レベル	472		24		17～16	118	7～0
	P5_1	TINT57	エッジ/レベル	473		25		19～18		15～8
	P5_2	TINT58	エッジ/レベル	474		26		21～20		23～16
	P5_3	TINT59	エッジ/レベル	475		27		23～22		31～24

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求エッジ/レベル	割り込みID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
端子割り込み 【注】端子割り込みのch行の記載はポート名です。	P5_4	TINT60	エッジ/レベル	476	14	28	29	25～24	119	7～0
	P5_5	TINT61	エッジ/レベル	477		29		27～26		15～8
	P5_6	TINT62	エッジ/レベル	478		30		29～28		23～16
	P5_7	TINT63	エッジ/レベル	479		31		31～30		31～24
	P5_8	TINT64	エッジ/レベル	480	15	0	30	1～0	120	7～0
	P5_9	TINT65	エッジ/レベル	481		1		3～2		15～8
	P5_10	TINT66	エッジ/レベル	482		2		5～4		23～16
	P5_11	TINT67	エッジ/レベル	483		3		7～6		31～24
	P5_12	TINT68	エッジ/レベル	484		4		9～8	121	7～0
	P5_13	TINT69	エッジ/レベル	485		5		11～10		15～8
	P5_14	TINT70	エッジ/レベル	486		6		13～12		23～16
	P5_15	TINT71	エッジ/レベル	487		7		15～14		31～24
	P6_0	TINT72	エッジ/レベル	488		8		17～16	122	7～0
	P6_1	TINT73	エッジ/レベル	489		9		19～18		15～8
	P6_2	TINT74	エッジ/レベル	490		10		21～20		23～16
	P6_3	TINT75	エッジ/レベル	491		11		23～22		31～24
	P6_4	TINT76	エッジ/レベル	492		12		25～24	123	7～0
	P6_5	TINT77	エッジ/レベル	493		13		27～26		15～8
	P6_6	TINT78	エッジ/レベル	494		14		29～28		23～16
	P6_7	TINT79	エッジ/レベル	495		15		31～30		31～24
	P6_8	TINT80	エッジ/レベル	496		16	31	1～0	124	7～0
	P6_9	TINT81	エッジ/レベル	497		17		3～2		15～8
	P6_10	TINT82	エッジ/レベル	498		18		5～4		23～16
	P6_11	TINT83	エッジ/レベル	499		19		7～6		31～24
	P6_12	TINT84	エッジ/レベル	500		20		9～8	125	7～0
	P6_13	TINT85	エッジ/レベル	501		21		11～10		15～8
	P6_14	TINT86	エッジ/レベル	502		22		13～12		23～16
	P6_15	TINT87	エッジ/レベル	503		23		15～14		31～24
	P7_0	TINT88	エッジ/レベル	504		24		17～16	126	7～0
	P7_1	TINT89	エッジ/レベル	505		25		19～18		15～8
	P7_2	TINT90	エッジ/レベル	506		26		21～20		23～16
	P7_3	TINT91	エッジ/レベル	507		27		23～22		31～24
	P7_4	TINT92	エッジ/レベル	508		28		25～24	127	7～0
	P7_5	TINT93	エッジ/レベル	509		29		27～26		15～8
	P7_6	TINT94	エッジ/レベル	510		30		29～28		23～16
	P7_7	TINT95	エッジ/レベル	511		31		31～30		31～24
	P7_8	TINT96	エッジ/レベル	512	16	0	32	1～0	128	7～0
	P7_9	TINT97	エッジ/レベル	513		1		3～2		15～8
	P7_10	TINT98	エッジ/レベル	514		2		5～4		23～16
	P7_11	TINT99	エッジ/レベル	515		3		7～6		31～24
	P8_0	TINT100	エッジ/レベル	516		4		9～8	129	7～0
	P8_1	TINT101	エッジ/レベル	517		5		11～10		15～8
	P8_2	TINT102	エッジ/レベル	518		6		13～12		23～16
	P8_3	TINT103	エッジ/レベル	519		7		15～14		31～24
	P8_4	TINT104	エッジ/レベル	520		8		17～16	130	7～0
	P8_5	TINT105	エッジ/レベル	521		9		19～18		15～8

割り込み要因					レジスタ割り当て					
モジュール	ch	要求要因名	割り込み要求 エッジ/レベル	割り込み ID	ICDISRn ICDISERn ICDICERn ICDISPRn ICDICPRn ICDABRn	bit	ICDICFRn	bit	ICDIPRn ICDIPTRn	bit
端子割り込み 【注】端子割り込みの ch 行の記載はポート名です。	P8_6	TINT106	エッジ/レベル	522	16	10	32	21～20	130	23～16
	P8_7	TINT107	エッジ/レベル	523		11		23～22		31～24
	P8_8	TINT108	エッジ/レベル	524		12		25～24	131	7～0
	P8_9	TINT109	エッジ/レベル	525		13		27～26		15～8
	P8_10	TINT110	エッジ/レベル	526		14		29～28		23～16
	P8_11	TINT111	エッジ/レベル	527		15		31～30		31～24
	P8_12	TINT112	エッジ/レベル	528		16	33	1～0	132	7～0
	P8_13	TINT113	エッジ/レベル	529		17		3～2		15～8
	P8_14	TINT114	エッジ/レベル	530		18		5～4		23～16
	P8_15	TINT115	エッジ/レベル	531		19		7～6		31～24
	P9_0	TINT116	エッジ/レベル	532		20		9～8	133	7～0
	P9_1	TINT117	エッジ/レベル	533		21		11～10		15～8
	P9_2	TINT118	エッジ/レベル	534		22		13～12		23～16
	P9_3	TINT119	エッジ/レベル	535		23		15～14		31～24
	P9_4	TINT120	エッジ/レベル	536		24		17～16	134	7～0
	P9_5	TINT121	エッジ/レベル	537		25		19～18		15～8

7.6　動作説明

7.6.1　初期設定

初期設定を行うレジスタ及び設定手順の詳細は、Arm Generic Interrupt Controller Architecture Specification 及び Arm PrimeCell Generic Interrupt Controller (PL390) Technical Reference Manual を参照してください。

図 7.2 に初期設定フローを示します。

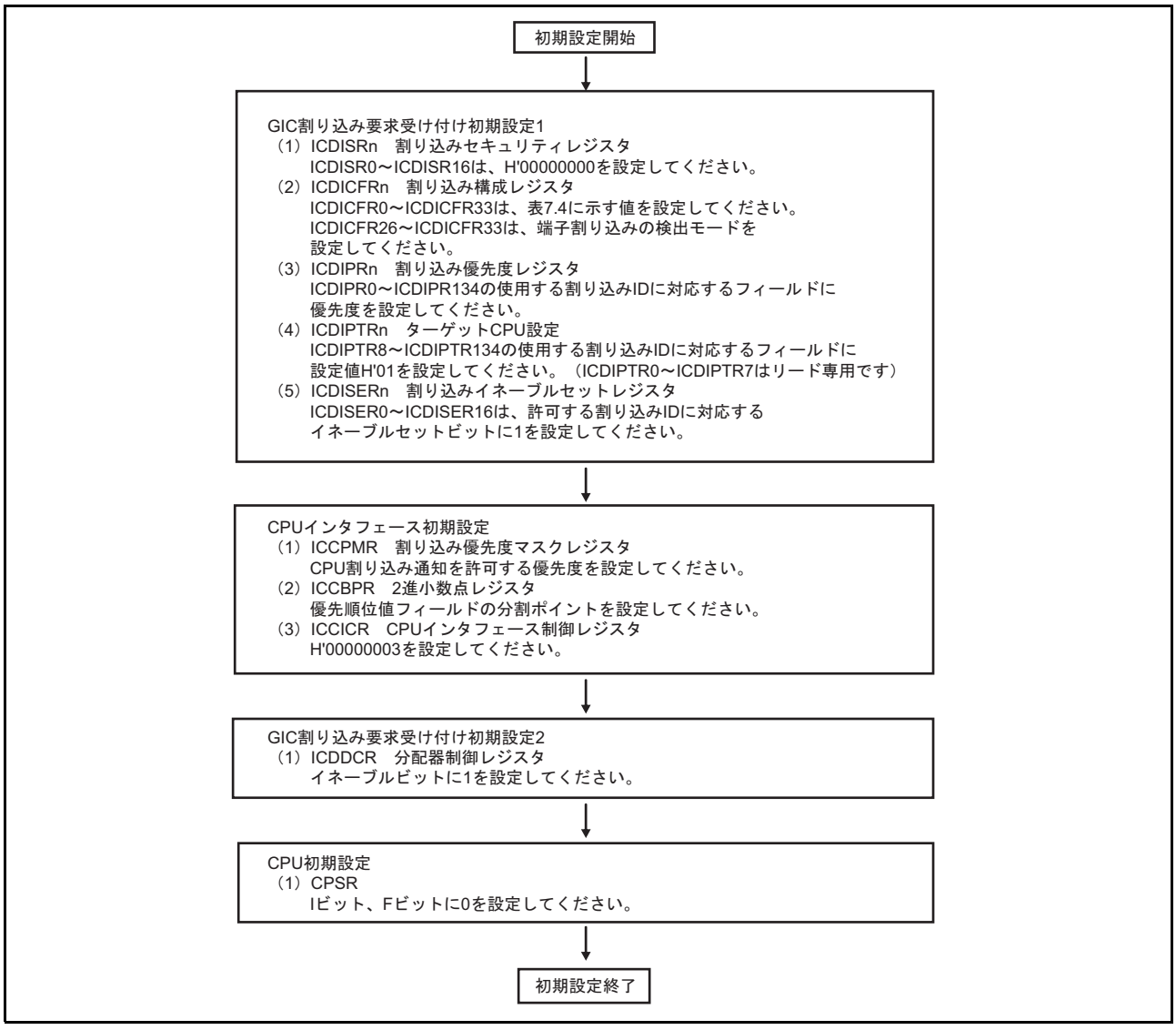


図 7.2　初期設定フロー

表7.4　　ICDICFRn　割り込み構成レジスタ設定値

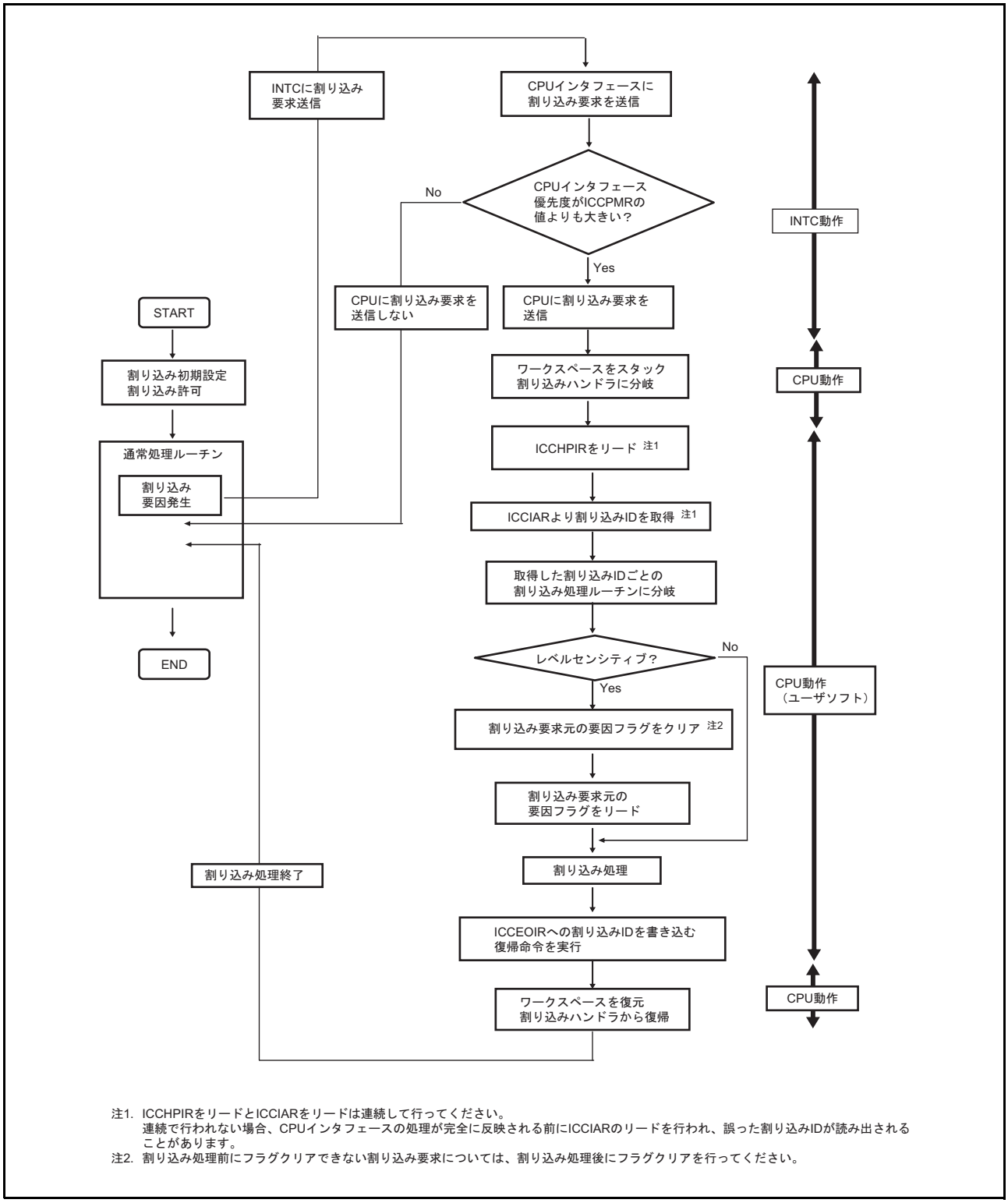
レジスタ名	設定値	割り込みID
ICDICFR0	H'AAAAAAAA	15 ～ 0
ICDICFR1	H'00000055	31 ～ 16
ICDICFR2	H'FFFD5555	47 ～ 32
ICDICFR3	H'555FFFFF	63 ～ 48
ICDICFR4	H'55555555	79 ～ 64
ICDICFR5	H'55555555	95 ～ 80
ICDICFR6	H'55555555	111 ～ 96
ICDICFR7	H'55555555	127 ～ 112
ICDICFR8	H'5555F555	143 ～ 128
ICDICFR9	H'55555555	159 ～ 144
ICDICFR10	H'55555555	175 ～ 160
ICDICFR11	H'F5555555	191 ～ 176
ICDICFR12	H'F555F555	207 ～ 192
ICDICFR13	H'5555F555	223 ～ 208
ICDICFR14	H'55555555	239 ～ 224
ICDICFR15	H'55555555	255 ～ 240
ICDICFR16	H'55555555	271 ～ 256
ICDICFR17	H'FD555555	287 ～ 272
ICDICFR18	H'55555557	303 ～ 288
ICDICFR19	H'55555555	319 ～ 304
ICDICFR20	H'7FD55555	335 ～ 320
ICDICFR21	H'5F555555	351 ～ 336
ICDICFR22	H'FD55555F	367 ～ 352
ICDICFR23	H'55555557	383 ～ 368
ICDICFR24	H'55555555	399 ～ 384
ICDICFR25	H'55555555	415 ～ 400
ICDICFR26（注 1）	H'55555555	431 ～ 416
ICDICFR27（注 1）	H'55555555	447 ～ 432
ICDICFR28（注 1）	H'55555555	463 ～ 448
ICDICFR29（注 1）	H'55555555	479 ～ 464
ICDICFR30（注 1）	H'55555555	495 ～ 480
ICDICFR31（注 1）	H'55555555	511 ～ 496
ICDICFR32（注 1）	H'55555555	527 ～ 512
ICDICFR33（注 1）	H'55555555	537 ～ 528

注1.　端子割り込みに対応するIDはエッジ検出、レベルセンシティブの選択が可能です。
表中の設定値はレベルセンシティブを選択しています。

7.6.2　割り込み動作の流れ

割り込み発生時の動作の詳細は Arm Generic Interrupt Controller Architecture Specification 及び Arm PrimeCell Generic Interrupt Controller (PL390) Technical Reference Manual を参照してください。

図 7.3 に割り込み動作フローを示します。



注1. ICCHPIRをリードとICCIARをリードは連続して行ってください。
連続で行われない場合、CPUインタフェースの処理が完全に反映される前にICCIARのリードを行われ、誤った割り込みIDが読み出されることがあります。
注2. 割り込み処理前にフラグクリアできない割り込み要求については、割り込み処理後にフラグクリアを行ってください。

図 7.3　割り込み動作フロー

7.7 割り込み要求信号によるデータ転送

割り込み要求信号によりダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

割り込み要因の中でダイレクトメモリアクセスコントローラの DMA 拡張リソースセレクタ 0 ～ 7 に指定されているものは割り込みコントローラに入力されずにマスクされます。

割り込み制御ブロック図を図 7.4 に示します。

詳細は「9. ダイレクトメモリアクセスコントローラ」を参照してください。

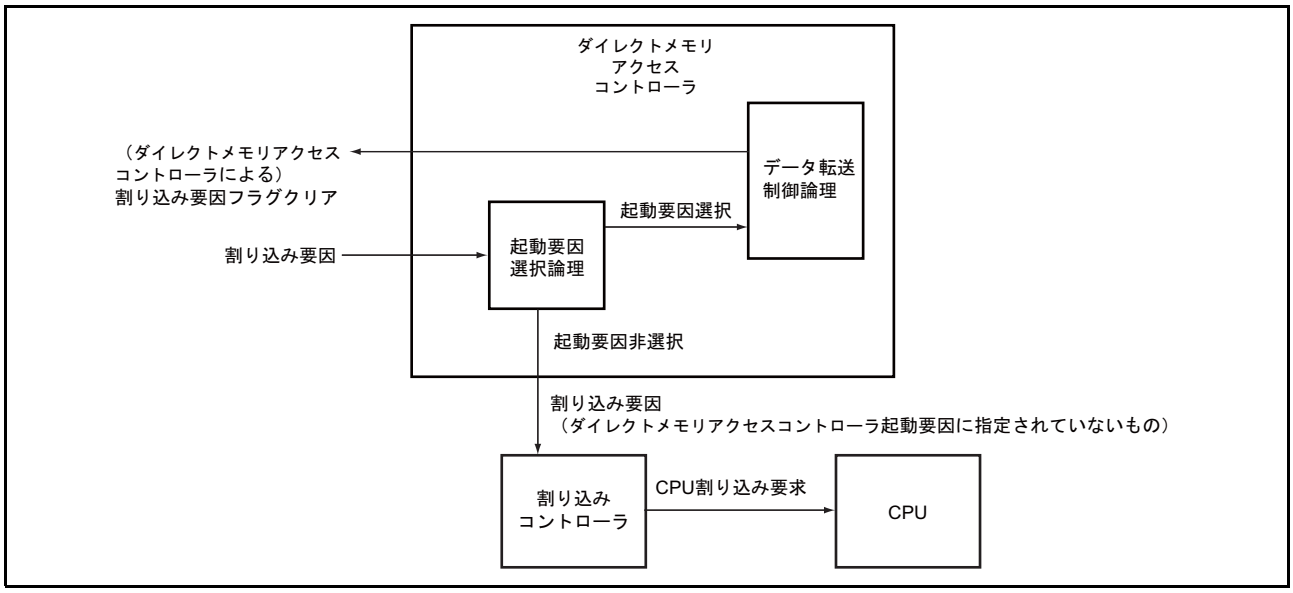


図 7.4　割り込み制御ブロック図

7.7.1 割り込み要求信号を CPU の割り込み要因とし、ダイレクトメモリアクセスコントローラの起動要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択しません。
2. 割り込みが発生すると、CPU に割り込みを要求します。
3. CPU は割り込み例外サービスルーチンで、割り込み要因をクリアし所要の処理をします。

7.7.2 割り込み要求信号をダイレクトメモリアクセスコントローラの起動要因とし、CPU の割り込み要因としない場合

1. ダイレクトメモリアクセスコントローラで要因を選択します。
2. 割り込みが発生すると、ダイレクトメモリアクセスコントローラに起動要因が与えられます。
3. ダイレクトメモリアクセスコントローラは、転送時に起動要因をクリアします。

7.8 使用上の注意事項

7.8.1 割り込み要因クリアのタイミング

割り込み要因フラグは、割り込み例外サービスルーチン中でクリアしてください。割り込み要因フラグをクリアしてから実際に CPU への割り込み要因が取り下げられるまでに、時間を必要とします。そのため、クリアしたはずの割り込み要因を誤って再度受け付けないように、クリア後割り込み要因フラグをリードし、その後復帰命令を実行します。

7.8.2 IRQ 割り込みに端子機能を切り換えるときの注意

割り込みコントロールレジスタ 1（ICR1）が IRQ 入力の立ち下がりエッジ検出および両エッジ検出設定で端子入力がローレベルのとき、端子機能を IRQ 割り込みに切り換えると当該エッジが検出されます。

7.8.3 割り込み応答レジスタ (ICCIAR) で割り込み ID の値を読み出すときの注意

割り込み応答レジスタ (ICCIAR) で読み出した割り込み ID の値が 0 のとき、誤った割り込み通知である可能性があります。そのため、割り込み応答レジスタ (ICCIAR) で読み出した割り込み ID の値が 0 のとき、割り込み処理を行う前に、割り込み ID 0 の割り込み状態を確認してください。

割り込み ID 0 の割り込み状態は、アクティブビットレジスタ 0 (ICDABR0) のビット 0 で確認できます。

割り込み状態がアクティブではないとき、割り込み通知は誤りのため、割り込み処理を行う必要はありません。割り込み優先度レジスタ 0 (ICDIPR0) に設定値と同じ値を書き込んだ後、割り込み処理から復帰してください。

割り込み状態がアクティブである場合、割り込み通知は正しいため、割り込み処理を行ってください。

また、割り込み応答レジスタ (ICCIAR) で読み出した割り込み ID の値が 1022 または 1023 のとき、割り込み優先度レジスタ 0 (ICDIPR0) に設定値と同じ値を書き込んだ後、割り込み処理から復帰してください。

7.8.4 ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合の注意

ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合には、以下の処理を実施してください。

(1) 端子設定を兼用モードからポートモードに切り替えた場合

割り込みコントロールレジスタ 1(ICR1) の IRQ センスセレクトを初期値のローレベル検出 (00) に設定してください。

(2) 端子設定をポートモードから兼用モードに切り替えた場合

端子設定後に IRQ センスセレクト設定を連続して実施してください。IRQ センスセレクト設定の際は、以下のとおり、割り込みコントロールレジスタ 1(ICR1) にて IRQ センスセレクトを一度初期値のローレベル検出 (00) に設定した後、所望の設定に設定してください。

- IRQ センスセレクトを立ち下がりエッジ検出 (01) 設定で使用する場合
  ローレベル検出 (00) を設定後（注 1）、立ち下がりエッジ検出 (01) を設定
- IRQ センスセレクトを立ち上がりエッジ検出 (10) 設定で使用する場合
  ローレベル検出 (00) を設定後（注 1）、立ち上がりエッジ検出 (10) を設定
- IRQ センスセレクトを両エッジ検出 (11) 設定で使用する場合
  ローレベル検出 (00) を設定後（注 1）、両エッジ検出 (11) を設定

注 1. IRQ 端子が Low レベルの場合は割り込み要求を検出します。端子設定から IRQ センスセレクト設定までの間は割り込みが動作しない、もしくは無視されるように設定してください。

8. バスステートコントローラ

外部バスコントローラは、外部アドレス空間に接続された各種メモリ、外部デバイスに対し制御信号を出力します。これにより、SRAM、SDRAM などの各種メモリおよび外部デバイスを直接接続することができます。

8.1 特長

1. 外部アドレス空間
- CS0 ～ CS5 の各空間をそれぞれ最大 64M バイトまでサポート
- 空間ごとに、通常空間インタフェース、バイト選択付き SRAM インタフェース、バースト ROM（クロック同期または非同期）、MPX-I/O および SDRAM のメモリ種類を指定可能
- 空間ごとに、データバス幅（8 ビット、16 ビット、32 ビット）を選択可能
- 空間ごとに、ウェイトステートの挿入を制御可能
- リードアクセス、ライトアクセスごとにウェイトステートの挿入を制御可能
- 連続するアクセスがリードーライト（同一空間または別空間）、リードーリード（同一空間または別空間）、および先頭サイクルがライトの場合の 5 種類独立にアイドルサイクルを設定可能

2. 通常空間インタフェース
- SRAM との直結が可能なインタフェースをサポート

3. バースト ROM（クロック非同期）インタフェース
- ページモード機能を有する ROM を高速にアクセス可能

4. MPX-I/O インタフェース
- アドレス／データマルチプレクスが必要な周辺 LSI を直結可能

5. SDRAM インタフェース
- 最大 2 つのエリアで SDRAM を設定可能
- ロウアドレスまたはカラムアドレスのマルチプレクス出力をサポート
- シングル読み出しまたはシングル書き込みによる効率的なアクセスが可能
- バンクアクティブモードによる高速アクセスが可能
- オートリフレッシュとセルフリフレッシュのサポート
- パワーダウンモードのサポート
- MRS コマンド、EMRS コマンド発行のサポート

6. バイト選択付き SRAM インタフェース
- バイト選択付き SRAM との直結が可能なインタフェースをサポート

7. バースト ROM（クロック同期）インタフェース
- クロック同期タイプのバースト ROM を直結可能

8. リフレッシュ機能
- オートリフレッシュとセルフリフレッシュをサポート
- リフレッシュ用カウンタ、クロック選択により、リフレッシュ間隔を設定可能
- リフレッシュ回数設定（1、2、4、6、および 8）による集中リフレッシュが可能

9. リフレッシュ用カウンタのインターバルタイマとしての利用
- コンペアマッチタイマで割り込み要求発生可能

10. 外部 $\overline{\text{WAIT}}$ 端子による長期アクセスウェイト状態を検出可能
- CS 空間ごとにタイムアウト検出条件を設定可能
- タイムアウト検出すると外部 WAIT 機能を無効にし、タイムアウト検出割り込み要求を発行

図 8.1 に本モジュールのブロック図を示します。

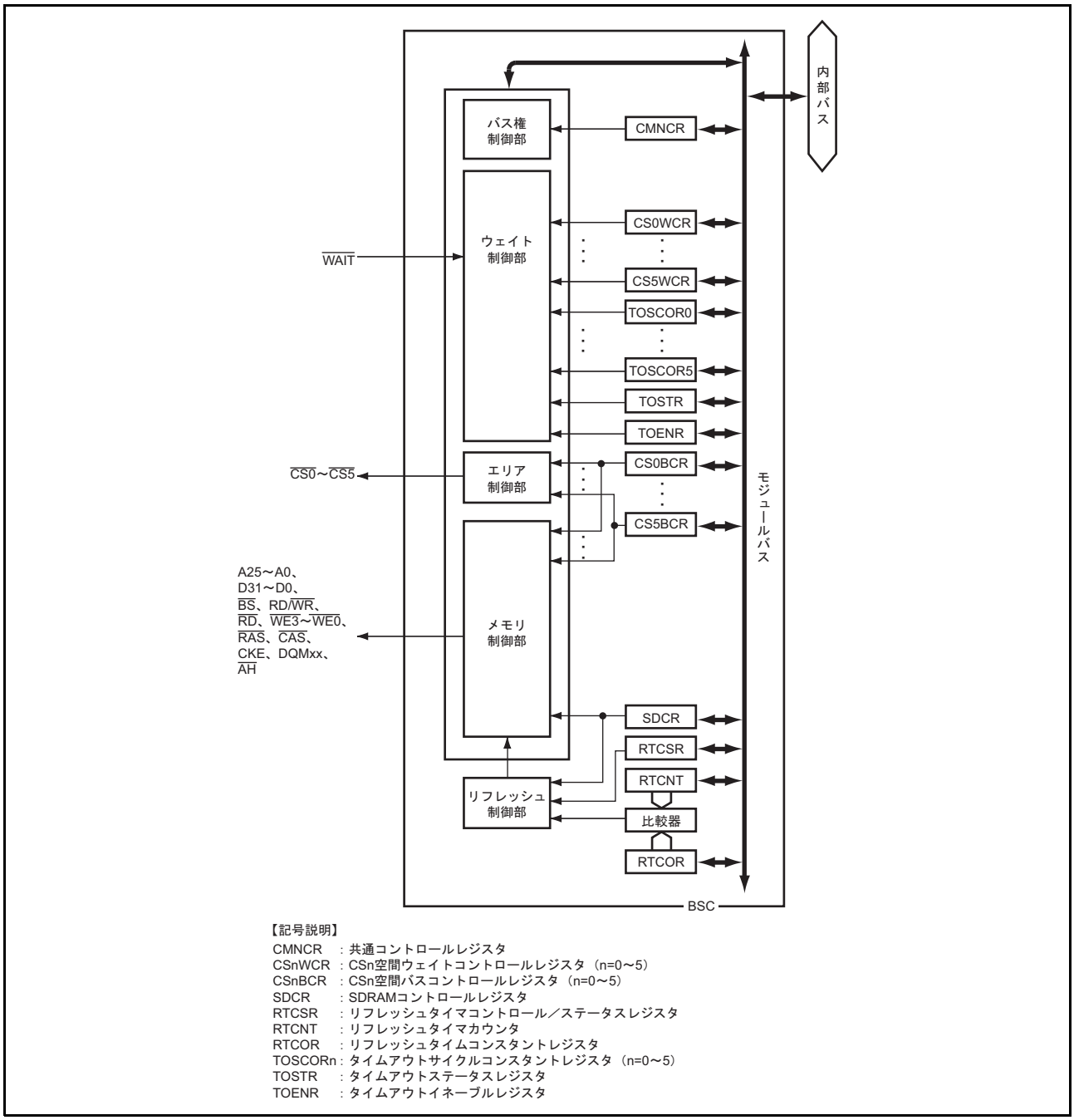


図 8.1　　バスステートコントローラのブロック図

8.2 入出力端子

表 8.1 に端子構成を示します。

表 8.1　端子構成

端子名	入出力	機　能
A25 ～ A0	出力	アドレスバス
D31 ～ D0	入出力	データバス
$\overline{BS}$	出力	バスサイクルの開始を示す信号
$\overline{CS0}$ ～ $\overline{CS5}$	出力	チップセレクト
RD/$\overline{WR}$	出力	リードまたはライト信号 SDRAM、およびバイト選択付き SRAM 接続時は、$\overline{WE}$ 端子に接続
$\overline{RD}$	出力	リードパルス信号（リードデータ出力許可信号）
$\overline{WE3}$/DQMUU/$\overline{AH}$	出力	D31 ～ D24 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D31 ～ D24 対応の選択信号 MPX-I/O 使用時は、アドレスをホールドするための信号
$\overline{WE2}$/DQMUL	出力	D23 ～ D16 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D23 ～ D16 対応の選択信号
$\overline{WE1}$/DQMLU	出力	D15 ～ D8 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D15 ～ D8 対応の選択信号
$\overline{WE0}$/DQMLL	出力	D7 ～ D0 対応のバイト書き込み指示 バイト選択付き SRAM 接続時は、バイトセレクト端子に接続 SDRAM 接続時は、D7 ～ D0 対応の選択信号
$\overline{RAS}$	出力	SDRAM 接続時は、$\overline{RAS}$ 端子に接続
$\overline{CAS}$	出力	SDRAM 接続時は、$\overline{CAS}$ 端子に接続
CKE	出力	SDRAM 接続時は、CKE 端子に接続
$\overline{WAIT}$	入力	外部ウェイト入力

8.3 エリアの概要

8.3.1 アドレスマップ

本 LSI は、アーキテクチャとして 32 ビットのアドレス空間を有しており、上位ビットで、外部メモリ空間、内蔵空間（SPI マルチ I/O 空間、大容量内蔵 RAM、保持用内蔵 RAM、内蔵周辺モジュール、予約エリア）に分割されています。

CS0 ～ CS5 の外部アドレス空間のキャッシュ有効 / 無効の設定は「5. LSI 内部バス」を参照して実施してください。

接続されるメモリの種類およびデータバス幅は、各部分空間ごとに指定します。外部アドレス空間のアドレスマップは、下表のとおりです。

表 8.2　アドレスマップ

内部アドレス	空間	メモリ種類
H'00000000 ～ H'03FFFFFF	CS0	通常空間、バイト選択付き SRAM、バースト ROM（非同期、同期）
H'04000000 ～ H'07FFFFFF	CS1	通常空間、バイト選択付き SRAM
H'08000000 ～ H'0BFFFFFF	CS2	通常空間、バイト選択付き SRAM、SDRAM
H'0C000000 ～ H'0FFFFFFF	CS3	通常空間、バイト選択付き SRAM、SDRAM
H'10000000 ～ H'13FFFFFF	CS4	通常空間、バイト選択付き SRAM、バースト ROM（非同期）
H'14000000 ～ H'17FFFFFF	CS5	通常空間、バイト選択付き SRAM、MPX-I/O
H'18000000 ～ H'3FFFFFFF	その他	SPI マルチ I/O バス空間、大容量内蔵 RAM、保持用内蔵 RAM、内蔵周辺モジュール、予約エリア（注 1）
H'40000000 ～ H'407FFFFF	CS0 ミラー	ノース基幹バスからはアクセス不可、サウス基幹バス接続からはアクセス可能。（注 2）
H'40800000 ～ H'43FFFFFF	CS0 ミラー	通常空間、バイト選択付き SRAM、バースト ROM（非同期、同期）
H'44000000 ～ H'47FFFFFF	CS1 ミラー	通常空間、バイト選択付き SRAM
H'48000000 ～ H'4BFFFFFF	CS2 ミラー	通常空間、バイト選択付き SRAM、SDRAM
H'4C000000 ～ H'4FFFFFFF	CS3 ミラー	通常空間、バイト選択付き SRAM、SDRAM
H'50000000 ～ H'53FFFFFF	CS4 ミラー	通常空間、バイト選択付き SRAM、バースト ROM（非同期）
H'54000000 ～ H'57FFFFFF	CS5 ミラー	通常空間、バイト選択付き SRAM、MPX-I/O
H'58000000 ～ H'FFFFFFFF	その他	SPI マルチ I/O バス空間（ミラー）、大容量内蔵 RAM（ミラー）、保持用内蔵 RAM（ミラー）、内蔵周辺モジュール、予約エリア（注 1）

注 1.　大容量内蔵 RAM 空間および保持用内蔵 RAM 空間は「40. 内蔵 RAM」で示すアドレスにアクセスしてください。内蔵周辺モジュール空間のアクセスは「46. レジスター覧」で示すアドレスにアクセスしてください。これらに記載のないアドレスにはアクセスしないでください。アクセスした場合は、動作の保証はできません。

注 2.　詳細は「5. LSI 内部バス」を参照してください。

8.3.2　ブートモード、各エリアのデータバス幅、関連端子設定

ブートモードにより、データバス幅や本モジュール関連端子設定の初期状態が異なります。ブートモードについては「3. ブートモード」を参照してください。

ブートモード 0 では、エリア 0 に接続された ROM から起動しますので、エリア 0 の状態はバス幅 16 ビットの状態から変更できません。エリア 1 ～ 5 の初期状態もエリア 0 と同じですが、プログラムでバス幅を変更可能です。これらのモードではパワーオンリセット直後に、エリア 0 の ROM を読み出すのに必要となるアドレスの一部とデータバスの一部、$\overline{CS0}$、$\overline{RD}$ の端子機能と RD/$\overline{WR}$ の端子機能が初期機能として自動的に選択されますが、それ以外の機能は初期機能が汎用ポートとなり、プログラムで端子機能を設定するまでは使用できません。端子設定が完了するまでは、エリア 0 のリードアクセス以外は行わないでください。

ブートモード 1 ～ 3 では、SPI 空間シリアルメモリ、SD コントローラ内蔵 NAND フラッシュメモリ、および、MMC コントローラ内蔵 NAND フラッシュメモリからの起動になりますので、エリア 0 ～ 5 が初期状態からプログラムで変更可能となります。また、自動的な本モジュール関連端子設定は行われませんので、プログラムでの設定が必要となります。端子設定が完了するまで外部アドレス空間のアクセスを行わないでください。

表 8.3 にブートモードとエリア別初期状態を示します。

なお、本章に記載しているアクセス波形例では、$\overline{BS}$、$\overline{WEn}$ などの端子も示していますが、これらは汎用入出力ポートで端子機能を設定した場合の例です。たとえば 16 ビットバス幅を使用する場合、A1 端子の設定が必要になり、8 ビットバス幅を使用する場合、A1、A0 端子の設定が必要になります。

端子設定の詳細は、「41. 汎用入出力ポート」を参照してください。

表 8.3　ブートモードとエリア別初期状態

ブートモード	項目	エリア 0	エリア 1～5
0	データバス幅	16 ビットバス幅に固定。変更不可	初期値は 16 ビットバス幅。プログラムで変更可能
	本モジュール関連端子設定	A20～A1、D15～D0、$\overline{CS0}$、RD/$\overline{WR}$、$\overline{RD}$ の端子機能のみは自動設定。それ以外の端子はプログラムで設定が必要。	
1 ～ 3	データバス幅	初期値は 32 ビットバス幅。プログラムで変更可能	
	本モジュール関連端子設定	初期値は汎用ポート機能。外部バスアクセスを行う場合、必要端子すべてのプログラム設定が必要	

注 1.　ブートモード 0 において A21 以上のアドレス線を使用するブート ROM を接続する場合、A21 以上のアドレス線に対し基板上でプルダウン処理が必要です。

注 2.　使用するメモリタイプによっては、データバス幅が限定されるものがあります。詳細は「8.4.2　CSn 空間バスコントロールレジスタ（CSnBCR）（n＝0～5）」を参照してください。

8.4 レジスタの説明

表 8.4 にレジスタ構成を示します。

接続メモリとのインタフェースの設定が終了するまでは、該当エリアのアクセスを行わないでください。

表8.4　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
共通コントロールレジスタ	CMNCR	R/W	H'00001018	H'3FFFC000	32
CS0空間バスコントロールレジスタ	CS0BCR	R/W	H'36DB0C00（注 1）	H'3FFFC004	32
CS1空間バスコントロールレジスタ	CS1BCR	R/W	H'36DB0C00（注 1）	H'3FFFC008	32
CS2空間バスコントロールレジスタ	CS2BCR	R/W	H'36DB0C00（注 1）	H'3FFFC00C	32
CS3空間バスコントロールレジスタ	CS3BCR	R/W	H'36DB0C00（注 1）	H'3FFFC010	32
CS4空間バスコントロールレジスタ	CS4BCR	R/W	H'36DB0C00（注 1）	H'3FFFC014	32
CS5空間バスコントロールレジスタ	CS5BCR	R/W	H'36DB0C00（注 1）	H'3FFFC018	32
CS0空間ウェイトコントロールレジスタ	CS0WCR	R/W	H'00000500	H'3FFFC028	32
CS1空間ウェイトコントロールレジスタ	CS1WCR	R/W	H'00000500	H'3FFFC02C	32
CS2空間ウェイトコントロールレジスタ	CS2WCR	R/W	H'00000500	H'3FFFC030	32
CS3空間ウェイトコントロールレジスタ	CS3WCR	R/W	H'00000500	H'3FFFC034	32
CS4空間ウェイトコントロールレジスタ	CS4WCR	R/W	H'00000500	H'3FFFC038	32
CS5空間ウェイトコントロールレジスタ	CS5WCR	R/W	H'00000500	H'3FFFC03C	32
SDRAMコントロールレジスタ	SDCR	R/W	H'00000000	H'3FFFC04C	32
リフレッシュタイマコントロール／ステータスレジスタ	RTCSR	R/W	H'00000000	H'3FFFC050	32
リフレッシュタイマカウンタ	RTCNT	R/W	H'00000000	H'3FFFC054	32
リフレッシュタイムコンスタントレジスタ	RTCOR	R/W	H'00000000	H'3FFFC058	32
タイムアウトサイクルコンスタントレジスタ0	TOSCOR0	R/W	H'00000000	H'3FFFC060	32
タイムアウトサイクルコンスタントレジスタ1	TOSCOR1	R/W	H'00000000	H'3FFFC064	32
タイムアウトサイクルコンスタントレジスタ2	TOSCOR2	R/W	H'00000000	H'3FFFC068	32
タイムアウトサイクルコンスタントレジスタ3	TOSCOR3	R/W	H'00000000	H'3FFFC06C	32
タイムアウトサイクルコンスタントレジスタ4	TOSCOR4	R/W	H'00000000	H'3FFFC070	32
タイムアウトサイクルコンスタントレジスタ5	TOSCOR5	R/W	H'00000000	H'3FFFC074	32
タイムアウトステータスレジスタ	TOSTR	R/W	H'00000000	H'3FFFC080	32
タイムアウトイネーブルレジスタ	TOENR	R/W	H'00000000	H'3FFFC084	32

注1.　ブートモード0の場合H'36DB0C00、ブートモード1～3の場合H'36DB0E00になります。

8.4.1　共通コントロールレジスタ（CMNCR）

CMNCR は、各エリアに共通の制御を行う 32 ビットのレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	TL0	-	-	-	AL0	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	DPRTY[1:0]		-	-	-	-	-	-	-	HIZ MEM	HIZ CNT*
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 29	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	TL0	0	R/W	トランスファエンドレベル TEND0 信号をハイアクティブにするかローアクティブにするかを指定します。 0：TEND0 をローアクティブ出力 1：TEND0 をハイアクティブ出力
27 ～ 25	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	AL0	0	R/W	アクノリッジレベル DACK0 信号をハイアクティブにするかローアクティブにするかを指定します。 0：DACK0 をローアクティブ出力 1：DACK0 をハイアクティブ出力
23 ～ 13	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	―	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
11	―	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10、9	DPRTY[1:0]	00	R/W	DMA バースト転送優先順位 本ビットは、DMA バースト転送中に対するリフレッシュ要求の優先順位を指定します。 0*：DMA バースト転送中にリフレッシュ要求を受け付ける。 10：DMA バースト転送中にリフレッシュ要求を受け付けない。 11：予約（設定禁止）
8 ～ 5	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4、3	―	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	―	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	HIZMEM	0	R/W	High-Z メモリコントロール 本ビットは、A25～A0、$\overline{BS}$、$\overline{CSn}$、RD/$\overline{WR}$、$\overline{WEn}$/DQMxx/$\overline{AH}$、$\overline{RD}$ のソフトウェアスタンバイモード時、およびディープスタンバイモード時の端子状態を指定します。 0：ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス 1：ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ
0	HIZCNT*	0	R/W	High-Z コントロール 本ビットは、CKE、$\overline{RAS}$、$\overline{CAS}$ のソフトウェアスタンバイモード時、およびディープスタンバイモード時の状態を指定します。 0：CKE、$\overline{RAS}$、$\overline{CAS}$ は、ソフトウェアスタンバイモード時およびディープスタンバイモード時にハイインピーダンス 1：CKE、$\overline{RAS}$、$\overline{CAS}$ は、ソフトウェアスタンバイモード時およびディープスタンバイモード時にドライブ

注　*　CKIO の High-Z コントロールは「6.　クロックパルス発振器」を参照してください。

8.4.2　CSn 空間バスコントロールレジスタ（CSnBCR）（n ＝ 0 ～ 5）

CSnBCR は、各空間に接続するメモリの種類、空間のデータバス幅、およびアクセスサイクル間ウェイト数を設定します。

レジスタの初期設定および端子設定が終了するまでは、該当エリアの外部メモリをアクセスしないでください。

アイドルサイクルなしの指定でも、アイドルサイクルが挿入される場合があります。詳細は、**「8.5.10 アクセスサイクル間アイドル」**を参照ください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	IWW[2:0]			IWRWD[2:0]			IWRWS[2:0]			IWRRD[2:0]			IWRRS[2:0]		
初期値：	0	0	1	1	0	1	1	0	1	1	0	1	1	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	TYPE[2:0]			-	BSZ[1:0]		-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	1	1*	0*	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R	R	R	R	R	R	R	R	R

【注】＊ ブートモード0の場合B'10、ブートモード1～3の場合B'11になります。

ビット	ビット名	初期値	R/W	説　明
31	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 28	IWW[2:0]	011	R/W	ライトーリード／ライトーライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、ライトーリードサイクルとライトーライトサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
27 ～ 25	IWRWD[2:0]	011	R/W	別空間リードーライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリードーライトサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
24 ～ 22	IWRWS[2:0]	011	R/W	同一空間リードーライトサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリードーライトサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入

ビット	ビット名	初期値	R/W	説　　明
21 ～ 19	IWRRD[2:0]	011	R/W	別空間リードーリードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが別空間でかつリードーリードサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
18 ～ 16	IWRRS[2:0]	011	R/W	同一空間リードーリードサイクル間アイドル指定 本ビットは、空間に接続されたメモリをアクセスした後に挿入するアイドルサイクル数を指定します。対象となるサイクルは、連続するアクセスが同一空間でかつリードーリードサイクルの場合です。 000：アイドルサイクルなし 001：1アイドルサイクル挿入 010：2アイドルサイクル挿入 011：4アイドルサイクル挿入 100：6アイドルサイクル挿入 101：8アイドルサイクル挿入 110：10アイドルサイクル挿入 111：12アイドルサイクル挿入
15	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 12	TYPE[2:0]	000	R/W	本ビットは、空間に接続するメモリの種類を設定します。 000：通常空間 001：バーストROM（クロック非同期） 010：MPX-I/O 011：バイト選択付きSRAM 100：SDRAM 101：予約（設定禁止） 110：予約（設定禁止） 111：バーストROM（クロック同期） エリアごとのメモリタイプは表8.2を参照してください。 注.　ブートモード0で、CS0空間にバーストROMを接続する場合は、CS0WCRレジスタを使用するバーストROMで必要な設定に変更した後でTYPE[2:0]をバーストROMの設定にしてください。ブートモード1～3の場合には、CS0BCR、CS0WCR設定後にアクセスしてください。
11	―	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
10、9	BSZ[1:0]	10*	R/W	データバス幅指定 本ビットは、空間のデータバス幅を指定します。 00：予約（設定禁止） 01：8ビット 10：16ビット 11：32ビット MPX-I/O時は、アドレスによるバス幅選択。 注1.　エリア5をMPX-I/Oに設定した場合は、本ビットの設定を11に設定すると、バス幅はCS5WCRのSZSELに従ったアドレスによりバス幅（8ビットまたは16ビット）が選択されます。また、固定バス幅では8または16ビットバス幅が設定可能です。 注2.　ブートモード0の場合、CS0BCRのBSZ[1:0]ビットへの書き込みは無視されます。 注3.　エリア2またはエリア3をSDRAM空間に設定した場合は、バス幅は16ビットまたは32ビットから選択可能です。 注4.　エリア0をクロック同期バーストROM空間に設定した場合は、バス幅は16ビットまたは32ビットから選択可能です。
8 ～ 0	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注　*　ブートモード 0 の場合 B'10、ブートモード 1 ～ 3 の場合 B'11 になります。

8.4.3　CSn 空間ウェイトコントロールレジスタ（CSnWCR）（n ＝ 0 ～ 5）

CSnWCR は、メモリアクセスに関する各種ウェイトサイクルの設定を行います。このレジスタのビット構成は、CSn 空間バスコントロールレジスタ（CSnBCR）に設定したメモリ種類（TYPE[2:0]）により、以下のように変わります。対象となるエリアをアクセスする前に設定してください。また、CSnWCR は、CSnBCR レジスタを設定後に設定してください。

(1)　通常空間、バイト選択付き SRAM、MPX-I/O

- CS0WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-*	BAS	-	-	-*	-*
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]				WM	-	-	-	-	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 22	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	－ *	0	R/W	リザーブビット 通常空間、バイト選択付きSRAMインタフェース時は0にしてください。
20	BAS	0	R/W	バイト選択付きSRAMバイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時の$\overline{\text{WEn}}$および RD/$\overline{\text{WR}}$信号のタイミングを設定します。 0：$\overline{\text{WEn}}$はリードライトタイミングでアサート、RD/$\overline{\text{WR}}$はライトアクセスサイクル中アサート 1：$\overline{\text{WEn}}$はリードライトアクセスサイクル中アサート、RD/$\overline{\text{WR}}$はライトタイミングでアサート
19、18	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	－ *	すべて 0	R/W	リザーブビット 通常空間、バイト選択付きSRAMインタフェース時は0にしてください。
15 ～ 13	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、$\overline{\text{CS0}}$アサート→$\overline{\text{RD}}$、$\overline{\text{WEn}}$アサート遅延サイクル数 本ビットは、アドレス、$\overline{\text{CS0}}$アサートから$\overline{\text{RD}}$、$\overline{\text{WEn}}$アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

ビット	ビット名	初期値	R/W	説　　明
10 ～ 7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 2	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	$\overline{RD}$、$\overline{WEn}$ネゲート→アドレス、$\overline{CS0}$ネゲート遅延サイクル数 本ビットは、$\overline{RD}$、$\overline{WEn}$ネゲートから、アドレス、$\overline{CS0}$ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

注　*　ブートモード 0 で、CS0 空間にバースト ROM を接続し、起動後にバースト ROM インタフェースに切り替える場合には、ビット 21、20 でバースト数の指定、ビット 17、16 でバーストウェイトサイクル数の指定を行った後に、CS0BCR の TYPE[2:0] を設定してください。上記以外のリザーブビットへの 1 書き込みは行わないでください。

- CS1WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]				WM	-	-	-	-	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付きSRAM　バイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時の$\overline{WEn}$および$RD/\overline{WR}$信号のタイミングを設定します。 0：$\overline{WEn}$はリードライトタイミングでアサート、$RD/\overline{WR}$はライトアクセスサイクル中アサート 1：$\overline{WEn}$はリードライトアクセスサイクル中アサート、$RD/\overline{WR}$はライトタイミングでアサート
19	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
18 ～ 16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000：WR[3:0]設定（リードアクセスウェイト数）と同じサイクル 001：ウェイトサイクルなし 010：1サイクル 011：2サイクル 100：3サイクル 101：4サイクル 110：5サイクル 111：6サイクル
15 ～ 13	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、$\overline{\text{CSn}}$アサート→$\overline{\text{RD}}$、$\overline{\text{WEn}}$アサート遅延サイクル数 本ビットは、アドレス、$\overline{\text{CSn}}$アサートから$\overline{\text{RD}}$、$\overline{\text{WEn}}$アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル
10 ～ 7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 2	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	$\overline{\text{RD}}$、$\overline{\text{WEn}}$ネゲート→アドレス、$\overline{\text{CSn}}$ネゲート遅延サイクル数 本ビットは、$\overline{\text{RD}}$、$\overline{\text{WEn}}$ネゲートから、アドレス、$\overline{\text{CSn}}$ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

- CS2WCR、CS3WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	WR[3:0]				WM	-	-	-	-	-	-
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付きSRAM　バイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時の$\overline{\text{WEn}}$および$\overline{\text{RD}}$/$\overline{\text{WR}}$信号のタイミングを設定します。 0：$\overline{\text{WEn}}$はリードライトタイミングでアサート、$\overline{\text{RD}}$/$\overline{\text{WR}}$はライトアクセスサイクル中アサート 1：$\overline{\text{WEn}}$はリードライトアクセスサイクル中アサート、$\overline{\text{RD}}$/$\overline{\text{WR}}$はライトタイミングでアサート
19 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 7	WR[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、リードおよびライトアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- CS4WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	BAS	-	WW[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]				WM	-	-	-	-	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	BAS	0	R/W	バイト選択付きSRAM　バイトアクセス選択 本ビットは、バイト選択付きSRAMインタフェース時の$\overline{\text{WEn}}$および RD/$\overline{\text{WR}}$信号のタイミングを設定します。 0：$\overline{\text{WEn}}$はリードライトタイミングでアサート、RD/$\overline{\text{WR}}$はライトアクセスサイクル中アサート 1：$\overline{\text{WEn}}$はリードライトアクセスサイクル中アサート、RD/$\overline{\text{WR}}$はライトタイミングでアサート
19	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18 ～ 16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000：WR[3:0]設定（リードアクセスウェイト数）と同じサイクル 001：ウェイトサイクルなし 010：1サイクル 011：2サイクル 100：3サイクル 101：4サイクル 110：5サイクル 111：6サイクル
15 ～ 13	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、$\overline{\text{CS4}}$アサート→$\overline{\text{RD}}$、$\overline{\text{WEn}}$アサート遅延サイクル数 本ビットは、アドレス、$\overline{\text{CS4}}$アサートから$\overline{\text{RD}}$、$\overline{\text{WEn}}$アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル
10 ～ 7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）

ビット	ビット名	初期値	R/W	説　　明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5～2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	RD、WEnネゲート→アドレス、CS4ネゲート遅延サイクル数 本ビットは、RD、WEnネゲートから、アドレス、CS4ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

- CS5WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	SZSEL	MPXW/BAS	-	WW[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		WR[3:0]				WM	-	-	-	-	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～22	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21	SZSEL	0	R/W	MPX-I/Oインタフェースバス幅指定ビット 本ビットは、CS5BCRのBSZ[1:0]を11に設定したときのバス幅を選択するアドレスを指定します。本設定は、エリア5をMPX-I/Oに設定したときにのみ有効です。 0：アドレスA14によりバス幅選択 1：アドレスA21によりバス幅選択 SZSELビットとA14、A21によるバス幅選択の関係について示します。
20	MPXW	0	R/W	MPX-I/Oインタフェースアドレスウェイト 本設定は、エリア5をMPX-I/Oに設定したときにのみ有効です。本ビットは、MPX-I/Oインタフェースのアドレスサイクル挿入ウェイトを設定します。 0：ウェイトなし 1：1サイクルウェイト挿入
	BAS	0	R/W	バイト選択付きSRAMバイトアクセス選択 本設定は、エリア5をバイト選択付きSRAMに設定したときのみ有効です。 本ビットは、バイト選択付きSRAMインタフェース時のWEnおよびRD/WR信号のタイミングを設定します。 0：WEnはリードライトタイミングでアサート、RD/WRはライトアクセスサイクル中アサート 1：WEnはリードライトアクセスサイクル中アサート、RD/WRはライトタイミングでアサート
19	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

SZSEL	A14	A21	説明
0	0	影響なし	8ビットバス幅
	1	影響なし	16ビットバス幅
1	影響なし	0	8ビットバス幅
	影響なし	1	16ビットバス幅

ビット	ビット名	初期値	R/W	説　　明
18～16	WW[2:0]	000	R/W	ライトアクセスウェイトサイクル数 本ビットには、ライトアクセスに必要なサイクル数を指定します。 000：WR[3:0]設定（リードアクセスウェイト数）と同じサイクル 001：ウェイトサイクルなし 010：1サイクル 011：2サイクル 100：3サイクル 101：4サイクル 110：5サイクル 111：6サイクル
15～13	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、$\overline{CS5}$アサート→$\overline{RD}$、$\overline{WEn}$アサート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付きSRAMに設定した場合、アドレス、$\overline{CS5}$アサートから$\overline{RD}$、$\overline{WEn}$アサートまでの遅延サイクル数を指定します。 エリア5をMPX-I/Oに設定した場合、アドレスサイクル（Ta3）終了から、$\overline{RD}$、$\overline{WEn}$アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル
10 ～ 7	WR[3:0]	1010	R/W	リードアクセスウェイトサイクル数 本ビットは、リードアクセスに必要なウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	$\overline{RD}$、$\overline{WEn}$ネゲート→アドレス、$\overline{CS5}$ネゲート遅延サイクル数 本ビットは、エリア5を通常空間、バイト選択付きSRAMに設定した場合、$\overline{RD}$、$\overline{WEn}$ネゲートから、アドレス、$\overline{CS5}$ネゲートまでの遅延サイクル数を指定します。 エリア5をMPX-I/Oに設定した場合、$\overline{RD}$、$\overline{WEn}$ネゲートから、$\overline{CS5}$ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

(2) バースト ROM（クロック非同期）

- CS0WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]		-	-	BW[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]				WM	-	-	-	-	-	-
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 22	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16バイト以上のアクセス発生時のバースト数を指定します。 BST[1:0]のB'11設定は予約ですので設定しないでください。 注.　詳細は「表8.17　バス幅およびアクセスサイズとバースト数の関係」を参照してください。
19、18	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）

バス幅	BST[1:0]	バースト数 （16バイトアクセス）
8ビット	00	16バースト×1回
	01	4バースト×4回
16ビット	00	8バースト×1回
	01	2バースト×4回
	10	4-4または2-4-2バースト
32ビット	xx	4バースト×1回

ビット	ビット名	初期値	R/W	説　　明
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5～0	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- CS4WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	BST[1:0]		-	-	BW[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	SW[1:0]		W[3:0]				WM	-	-	-	-	HW[1:0]	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～22	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	BST[1:0]	00	R/W	バースト数指定 本ビットは、16バイト以上のアクセス発生時のバースト数を指定します。 BST[1:0]のB'11設定は予約ですので設定しないでください。
19、18	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の2回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
15～13	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12、11	SW[1:0]	00	R/W	アドレス、$\overline{CS4}$アサート→$\overline{RD}$、$\overline{WEn}$アサート遅延サイクル数 本ビットは、アドレス、$\overline{CS4}$アサートから、$\overline{RD}$、$\overline{WEn}$アサートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

バス幅	BST[1:0]	バースト数 （16バイトアクセス）
8ビット	00	16バースト×1回
	01	4バースト×4回
16ビット	00	8バースト×1回
	01	2バースト×4回
	10	4-4または2-4-2バースト
32ビット	xx	4バースト×1回

注.　詳細は「表8.17　バス幅およびアクセスサイズとバースト数の関係」を参照してください。

ビット	ビット名	初期値	R/W	説　　明
10 ～ 7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 2	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	HW[1:0]	00	R/W	$\overline{RD}$、$\overline{WEn}$ネゲート→アドレス、$\overline{CS4}$ネゲート遅延サイクル数 本ビットは、$\overline{RD}$、$\overline{WEn}$ネゲートから、アドレス、$\overline{CS4}$ネゲートまでの遅延サイクル数を指定します。 00：0.5サイクル 01：1.5サイクル 10：2.5サイクル 11：3.5サイクル

(3)　SDRAM*

- CS2WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	A2CL[1:0]		-	-	-	-	-	-	-
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 11	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	―	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
9	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
8、7	A2CL[1:0]	10	R/W	エリア2CAS レイテンシ 本ビットは、エリア2のCAS レイテンシを指定します。 00：1サイクル 01：2サイクル 10：3サイクル 11：4サイクル
6 ～ 0	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注　*　1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

- CS3WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	WTRP[1:0]*		-	WTRCD[1:0]*		-	A3CL[1:0]		-	-	TRWL[1:0]*		-	WTRC[1:0]*	
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R	R/W	R/W	R	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W

【注】* エリア2とエリア3がともにSDRAMに設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。

ビット	ビット名	初期値	R/W	説　　明
31 ～ 15	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14、13	WTRP[1:0]*	00	R/W	プリチャージ完了待ちサイクル数 以下のプリチャージ完了待ちの最小サイクル数を指定します。 • オートプリチャージの起動から同一バンクに対するACTVコマンド発行まで • PRE/PALLコマンド発行から同一バンクに対するACTVコマンド発行まで • パワーダウンモード／ディープパワーダウンモード遷移まで • オートリフレッシュ時のPALLコマンド発行からREFコマンド発行まで • セルフリフレッシュ時のPALLコマンド発行からSELFコマンド発行まで エリア2とエリア3の設定は共通となります。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
12	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11、10	WTRCD[1:0]*	01	R/W	ACTVコマンド→READ（A）／WRIT（A）コマンド間ウェイトサイクル数 本ビットは、ACTVコマンド発行後、READ（A）／WRIT（A）コマンド発行までの最小ウェイトサイクル数を指定します。エリア2とエリア3の設定は、共通となります。 00：ウェイトサイクルなし 01：1サイクル 10：2サイクル 11：3サイクル
9	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8、7	A3CL[1:0]	10	R/W	エリア3CAS レイテンシ 本ビットは、エリア3のCAS レイテンシを指定します。 00：1サイクル 01：2サイクル 10：3サイクル 11：4サイクル

ビット	ビット名	初期値	R/W	説　　明
6、5	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4、3	TRWL[1:0]*	00	R/W	プリチャージ起動待ちサイクル数 以下のプリチャージ起動待ちの最小サイクル数を指定します。 • 本 LSI が WRITA コマンドを発行してから SDRAM 内でオートプリチャージが起動するまでのサイクル数 WRITA コマンド発行後、同一バンクに対する ACTV コマンド発行までのサイクル数です。なお、SDRAM 内で WRITA コマンドを受けてから何サイクルでオートプリチャージが起動されるかは、各 SDRAM のデータシートで確認してください。そのサイクル数が、本ビットで指定されるサイクル数を超えないように本ビットを設定してください。 • 本 LSI が WRIT コマンドを発行してから PRE コマンドを発行するまでのサイクル数 バンクアクティブモード時に、同一バンクで別ロウアドレスへのアクセスを行う場合です。 エリア 2 とエリア 3 の設定は共通となります。 00：ウェイトサイクルなし 01：1 サイクル 10：2 サイクル 11：3 サイクル
2	―	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	WTRC[1:0]*	00	R/W	REF コマンド／セルフリフレッシュ解除→ACTV/REF/MRS コマンド間アイドルサイクル数 以下のコマンド間の最小アイドルサイクル数を指定します。 • REF コマンド発行後から ACTV/REF/MRS コマンド発行まで • セルフリフレッシュ解除後から ACTV/REF/MRS コマンド発行まで エリア 2 とエリア 3 の設定は共通となります。 00：2 サイクル 01：3 サイクル 10：5 サイクル 11：8 サイクル

注　*　エリア 2 とエリア 3 がともに SDRAM に設定されている場合は、WTRP[1:0]、WTRCD[1:0]、TRWL[1:0]、WTRC[1:0] ビットは共通の設定となります。
1 エリアのみ SDRAM を接続する場合は、エリア 3 を SDRAM 設定としてください。このときエリア 2 は、通常空間設定またはバイト選択付き SRAM 設定としてください。

(4)　バースト ROM（クロック同期）

- CS0WCR

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BW[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	W[3:0]				WM	-	-	-	-	-	-
初期値：	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 18	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	BW[1:0]	00	R/W	バーストウェイトサイクル数 本ビットは、バーストアクセス時の 2 回目以降のアクセスサイクルに挿入するウェイトサイクル数を指定します。 00：ウェイトサイクルなし 01：1 サイクル 10：2 サイクル 11：3 サイクル

ビット	ビット名	初期値	R/W	説　　明
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 7	W[3:0]	1010	R/W	アクセスウェイトサイクル数 本ビットは、1回目のアクセスサイクルに挿入するウェイトサイクル数を指定します。 0000：ウェイトサイクルなし 0001：1サイクル 0010：2サイクル 0011：3サイクル 0100：4サイクル 0101：5サイクル 0110：6サイクル 0111：8サイクル 1000：10サイクル 1001：12サイクル 1010：14サイクル 1011：18サイクル 1100：24サイクル 1101：予約（設定禁止） 1110：予約（設定禁止） 1111：予約（設定禁止）
6	WM	0	R/W	外部ウェイトマスク指定 本ビットは、外部ウェイト入力を有効にするか無視するかを指定します。アクセスウェイトサイクル数が0の場合でも、本ビットの設定は有効です。 0：外部ウェイト入力有効 1：外部ウェイト入力無視
5 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

8.4.4　SDRAM コントロールレジスタ（SDCR）

SDCR は、SDRAM のリフレッシュ方法やアクセス方法および接続する SDRAM の種類を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	A2ROW[1:0]		-	A2COL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	DEEP	-	RFSH	RMODE	PDOWN	BACTV	-	-	-	A3ROW[1:0]		-	A3COL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20、19	A2ROW[1:0]	00	R/W	エリア2ロウアドレスビット数 本ビットは、エリア2のロウアドレスのビット数を指定します。 00：11ビット 01：12ビット 10：13ビット 11：予約（設定禁止）
18	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	A2COL[1:0]	00	R/W	エリア2カラムアドレスビット数 本ビットは、エリア2のカラムアドレスのビット数を指定します。 00：8ビット 01：9ビット 10：10ビット 11：予約（設定禁止）
15、14	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	DEEP	0	R/W	ディープパワーダウンモード ローパワー SDRAMに対してのみ有効です。本ビットを1の状態でRFSHビットおよびRMODEビットを1にすると、ディープパワーダウンエントリコマンドを発行してローパワー SDRAMはディープパワーダウンモードに遷移します。 0：セルフリフレッシュモード 1：ディープパワーダウンモード
12	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	RFSH	0	R/W	リフレッシュ制御 本ビットは、SDRAMに対してリフレッシュを行うかどうかを指定します。 0：リフレッシュしない 1：リフレッシュする
10	RMODE	0	R/W	リフレッシュモード 本ビットは、RFSHビットが1のとき、オートリフレッシュを行うかセルフリフレッシュを行うかを指定します。RFSHビットを1かつ本ビットを1に設定すると、その直後にセルフリフレッシュモードに入ります。RFSHビットを1かつ本ビットを0に設定すると、RTCSR、RTCNT、およびRTCORレジスタに設定した内容に従いオートリフレッシュを行います。 0：オートリフレッシュを行う 1：セルフリフレッシュを行う
9	PDOWN	0	R/W	パワーダウンモード 本ビットは、SDRAMに対するアクセス終了後に、SDRAMをパワーダウンモードにするかどうかを指定します。本ビットを1に設定すると、アクセス終了後CKE端子をローレベルにしてSDRAMをパワーダウンモードにします。 0：アクセス終了後、SDRAMをパワーダウンモードにしない 1：アクセス終了後、SDRAMをパワーダウンモードにする

ビット	ビット名	初期値	R/W	説　　明
8	BACTV	0	R/W	バンクアクティブモード 本ビットは、オートプリチャージモード（READAおよびWRITAコマンドを使用）でアクセスするのか、バンクアクティブモード（READおよびWRITコマンドを使用）でアクセスするのかを指定します。 0：オートプリチャージモード（READAおよびWRITAコマンドを使用） 1：バンクアクティブモード（READおよびWRITコマンドを使用） 注.　バンクアクティブモードは、エリア3でのみ設定可能です。エリア2およびエリア3ともにSDRAMに設定する場合は、オートプリチャージモードに設定してください。
7 ～ 5	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4、3	A3ROW[1:0]	00	R/W	エリア3ロウアドレスビット数 本ビットは、エリア3のロウアドレスのビット数を指定します。 00：11ビット 01：12ビット 10：13ビット 11：予約（設定禁止）
2	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	A3COL[1:0]	00	R/W	エリア3カラムアドレスビット数 本ビットは、エリア3のカラムアドレスのビット数を指定します。 00：8ビット 01：9ビット 10：10ビット 11：予約（設定禁止）

8.4.5　リフレッシュタイマコントロール／ステータスレジスタ（RTCSR）

RTCSR は、SDRAM のリフレッシュに関する各種設定を行います。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックは、パワーオンリセットでのみ位相を合わせるため、CKS[2:0] を B'000 以外に設定してタイマを動作させた最初のコンペアマッチフラグセットまでの期間には誤差を含みますのでご注意ください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	CMF	CMIE	CKS[2:0]			RRC[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 8	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	CMF	0	R/W	コンペアマッチフラグ 本ビットは、リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致したことを示すステータスフラグです。次の条件でセット／クリアされます。 0：クリア条件：CMF＝1 の状態で RTCSR を読み出した後に、CMF に 0 を書き込んだとき 1：セット条件：RTCNT＝RTCOR になったとき
6	CMIE	0	R/W	コンペアマッチインタラプトイネーブル 本ビットは、RTCSR の CMF ビットが 1 にセットされたとき、CMF による割り込み要求を許可するか禁止するかを設定します。 0：CMF による割り込み要求を禁止 1：CMF による割り込み要求を許可
5 ～ 3	CKS[2:0]	000	R/W	クロックセレクト 本ビットは、リフレッシュタイマカウンタ（RTCNT）をカウントアップするクロックを選択します。 000：カウントアップ停止 001：CKIOφ/4 010：CKIOφ/16 011：CKIOφ/64 100：CKIOφ/256 101：CKIOφ/1024 110：CKIOφ/2048 111：CKIOφ/4096
2 ～ 0	RRC[2:0]	000	R/W	リフレッシュ回数 本ビットは、リフレッシュタイマカウンタ（RTCNT）とリフレッシュタイムコンスタントレジスタ（RTCOR）の値が一致してリフレッシュ要求が発生したとき、連続してリフレッシュを行う回数を指定します。本機能により、リフレッシュを発生させる周期を長くすることができます。 000：1 回 001：2 回 010：4 回 011：6 回 100：8 回 101：予約（設定禁止） 110：予約（設定禁止） 111：予約（設定禁止）

8.4.6　リフレッシュタイマカウンタ（RTCNT）

RTCNT は、8 ビットのカウンタで、RTCSR の CKS[2:0] ビットで選択したクロックによりカウントアップされます。RTCNT と RTCOR の値が一致すると、RTCNT は 0 にクリアされます。また、255 までカウントアップすると次は 0 に戻ります。書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 8	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
7 ～ 0		すべて 0	R/W	8ビットのカウンタ

8.4.7　リフレッシュタイムコンスタントレジスタ（RTCOR）

RTCOR は、8 ビットのレジスタです。RTCOR と RTCNT の値が一致すると、RTCSR の CMF ビットが 1 にセットされ、RTCNT は 0 にクリアされます。

SDCR の RFSH ビットが 1 にセットされている場合は、この一致信号によってリフレッシュ要求を発生します。リフレッシュ要求は、実際にリフレッシュ動作が行われるまで保持されます。次の一致までにリフレッシュ要求が処理されない場合は、前の要求は無効となります。

RTCSR の CMIE ビットが 1 にセットされていると、この一致信号によって割り込み要求を発生します。割り込み要求は、RTCSR の CMF ビットがクリアされるまで続けて出力されます。CMF ビットのクリアは、割り込みのみに影響を及ぼし、リフレッシュ要求がこれによってクリアされることはありません。したがって、リフレッシュを行いながらリフレッシュ要求の数を割り込みを用いてカウントするなど、リフレッシュとインターバルタイマ割り込みの同時設定を行うことも可能です。

書き込み時には、書き込みデータの上位 16 ビットを H'A55A としてライトプロテクトを解除してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-								
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 8	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
7 ～ 0		すべて 0	R/W	8 ビットのレジスタ

8.4.8 タイムアウトサイクルコンスタントレジスタ（TOSCORn）（n=0 ～ 5）

TOSCORn は、CSn 空間ウェイトコントロールレジスタ（CSnWCR）の WM ビットが 0、かつタイムアウトイネーブルレジスタ（TOENR）の該当ビットが 1 の場合に有効となる、16 ビットのレジスタです。外部ウェイト入力によるサイクル内ウェイトサイクル数が TOSCORn の設定値と一致すると、外部ウェイト入力を無効化してアクセスサイクルを終了し、タイムアウトステータスレジスタ（TOSTR）の該当空間タイムアウトステータスフラグをセットし、タイムアウト検出割り込み要求を発生します。タイムアウト検出割り込み要求は、TOENR の該当ビットを 0、あるいは TOSTR の該当空間タイムアウトステータスフラグに 0 書込みするまで保持されます。なお、TOSTR の該当空間タイムアウトステータスフラグが 1 の状態でもタイムアウト検出機能は有効となり、再びタイムアウトとなった場合、外部ウェイ入力の無効化が行われます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 16	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
15 ～ 0		すべて 0	R/W	16ビットのレジスタ H'0000：65536サイクル H'0001：1サイクル ～ H'FFFF：65535サイクル

8.4.9　タイムアウトステータスレジスタ（TOSTR）

TOSTR は、8 ビットのレジスタです。CSn 空間ウェイトコントロールレジスタ（CSnWCR）の WM ビットが 0、かつタイムアウトイネーブルレジスタ（TOENR）の該当ビットが 1 の場合に、外部ウェイト入力によるサイクル内ウェイトサイクル数が TOSCORn の設定値と一致すると該当空間のタイムアウトステータスフラグがセットされ、タイムアウト検出割り込み要求が発生します。タイムアウトステータスフラグは、フラグクリアのための 0 書込みのみが有効で、1 書き込みは無視されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	CS5TOSTF	CS4TOSTF	CS3TOSTF	CS2TOSTF	CS1TOSTF	CS0TOSTF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 6	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
5	CS5TOSTF	0	R/W	CS5 空間タイムアウトステータスフラグ 本ビットは、CS5 空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR5）と CS5 空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。次の条件でセット／クリアされます。 0：クリア条件 CS5TOSTF に 0 を書き込んだとき 1：セット条件 CS5 空間ウェイトコントロールレジスタ (CS5WCR) の WM ビットが 0、かつタイムアウトイネーブルレジスタ (TOENR) の CS5TOEN ビットが 1 の場合に、外部ウェイト入力による CS5 空間アクセスのサイクル内ウェイトサイクル数が TOSCOR5 の設定値と一致したとき
4	CS4TOSTF	0	R/W	CS4 空間タイムアウトステータスフラグ 本ビットは、CS4 空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR4）と CS4 空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTF の説明を参照してください。
3	CS3TOSTF	0	R/W	CS3 空間タイムアウトステータスフラグ 本ビットは、CS3 空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR3）と CS3 空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTF の説明を参照してください。
2	CS2TOSTF	0	R/W	CS2 空間タイムアウトステータスフラグ 本ビットは、CS2 空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR2）と CS2 空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTF の説明を参照してください。
1	CS1TOSTF	0	R/W	CS1 空間タイムアウトステータスフラグ 本ビットは、CS1 空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR1）と CS1 空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTF の説明を参照してください。
0	CS0TOSTF	0	R/W	CS0 空間タイムアウトステータスフラグ 本ビットは、CS0 空間のタイムアウトサイクルコンスタントレジスタ（TOSCOR0）と CS0 空間アクセス中に発生した外部ウェイト入力によるサイクル内ウェイトサイクル数が一致したことを示すステータスフラグです。 セット／クリア条件は、CS5TOSTF の説明を参照してください。

8.4.10　タイムアウトイネーブルレジスタ（TOENR）

TOENR は、8 ビットのレジスタです。タイムアウト検出機能を各空間ごとに有効にするか無効にするかの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	CS5TOEN	CS4TOEN	CS3TOEN	CS2TOEN	CS1TOEN	CS0TOEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 6	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
5	CS5TOEN	0	R/W	CS5空間タイムアウト検出機能イネーブル 本ビットは、CS5空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
4	CS4TOEN	0	R/W	CS4空間タイムアウト検出機能イネーブル 本ビットは、CS4空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
3	CS3TOEN	0	R/W	CS3空間タイムアウト検出機能イネーブル 本ビットは、CS3空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
2	CS2TOEN	0	R/W	CS2空間タイムアウト検出機能イネーブル 本ビットは、CS2空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
1	CS1TOEN	0	R/W	CS1空間タイムアウト検出機能イネーブル 本ビットは、CS1空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可
0	CS0TOEN	0	R/W	CS0空間タイムアウト検出機能イネーブル 本ビットは、CS0空間のタイムアウト検出機能を有効にするか無効にするかを設定します。 0：タイムアウト検出機能を禁止 1：タイムアウト検出機能を許可

8.5 動作説明

8.5.1 アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方が下位バイト（LSB）が 0 番地側になるリトルエンディアンをサポートしています。

また、データバス幅は、通常メモリ、バイト選択付き SRAM としては 8 ビット、16 ビット、および 32 ビット幅の 3 種類から選べ、SDRAM は 16 ビットおよび 32 ビット幅の 2 種類から選べます。MPX-I/O では、8 ビットまたは 16 ビット幅固定、もしくはアクセスするアドレスにより 8 ビットまたは 16 ビットの可変となります。

なお、データバス幅はブートモードに伴う制限があります。詳細は**「8.3.2 ブートモード、各エリアのデータバス幅、関連端子設定」**を参照してください。

データのアライメントは、各デバイスのデータバス幅に合わせて行われます。したがって、8 ビット幅のデバイスから 32 ビットデータを読み出すためには、4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

デバイスのデータ幅とアクセスの単位との関係を**表 8.5 ～表 8.7** に示します。

表 8.5　リトルエンディアンの 32 ビット外部デバイスのアクセスとデータアライメント

オペレーション	データバス				ストローブ信号			
	D31～D24	D23～D16	D15～D8	D7～D0	$\overline{WE3}$、DQMUU	$\overline{WE2}$、DQMUL	$\overline{WE1}$、DQMLU	$\overline{WE0}$ DQMLL
0番地8ビットアクセス	－	－	－	データ 7～0	－	－	－	アサート
1番地8ビットアクセス	－	－	データ 7～0	－	－	－	アサート	－
2番地8ビットアクセス	－	データ 7～0	－	－	－	アサート	－	－
3番地8ビットアクセス	データ 7～0	－	－	－	アサート	－	－	－
0番地16ビットアクセス	－	－	データ 15～8	データ 7～0	－	－	アサート	アサート
2番地16ビットアクセス	データ 15～8	データ 7～0	－	－	アサート	アサート	－	－
0番地32ビットアクセス	データ 31～24	データ 23～16	データ 15～8	データ 7～0	アサート	アサート	アサート	アサート

表8.6　リトルエンディアンの16ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31～D24	D23～D16	D15～D8	D7～D0	$\overline{WE3}$、DQMUU	$\overline{WE2}$、DQMUL	$\overline{WE1}$、DQMLU	$\overline{WE0}$、DQMLL
0番地8ビットアクセス		ー	ー	ー	データ 7～0	ー	ー	ー	アサート
1番地8ビットアクセス		ー	ー	データ 7～0	ー	ー	ー	アサート	ー
2番地8ビットアクセス		ー	ー	ー	データ 7～0	ー	ー	ー	アサート
3番地8ビットアクセス		ー	ー	データ 7～0	ー	ー	ー	アサート	ー
0番地16ビットアクセス		ー	ー	データ 15～8	データ 7～0	ー	ー	アサート	アサート
2番地16ビットアクセス		ー	ー	データ 15～8	データ 7～0	ー	ー	アサート	アサート
0番地32ビットアクセス	1回目(0番地)	ー	ー	データ 15～8	データ 7～0	ー	ー	アサート	アサート
	2回目(2番地)	ー	ー	データ 31～24	データ 23～16	ー	ー	アサート	アサート

表8.7　リトルエンディアンの8ビット外部デバイスのアクセスとデータアライメント

オペレーション		データバス				ストローブ信号			
		D31～D24	D23～D16	D15～D8	D7～D0	$\overline{WE3}$、DQMUU	$\overline{WE2}$、DQMUL	$\overline{WE1}$、DQMLU	$\overline{WE0}$、DQMLL
0番地8ビットアクセス		ー	ー	ー	データ 7～0	ー	ー	ー	アサート
1番地8ビットアクセス		ー	ー	ー	データ 7～0	ー	ー	ー	アサート
2番地8ビットアクセス		ー	ー	ー	データ 7～0	ー	ー	ー	アサート
3番地8ビットアクセス		ー	ー	ー	データ 7～0	ー	ー	ー	アサート
0番地16ビットアクセス	1回目(0番地)	ー	ー	ー	データ 7～0	ー	ー	ー	アサート
	2回目(1番地)	ー	ー	ー	データ 15～8	ー	ー	ー	アサート
2番地16ビットアクセス	1回目(0番地)	ー	ー	ー	データ 7～0	ー	ー	ー	アサート
	2回目(1番地)	ー	ー	ー	データ 15～8	ー	ー	ー	アサート
0番地32ビットアクセス	1回目(0番地)	ー	ー	ー	データ 7～0	ー	ー	ー	アサート
	2回目(1番地)	ー	ー	ー	データ 15～8	ー	ー	ー	アサート
	3回目(2番地)	ー	ー	ー	データ 23～16	ー	ー	ー	アサート
	4回目(3番地)	ー	ー	ー	データ 31～24	ー	ー	ー	アサート

8.5.2　通常空間インタフェース

(1)　基本タイミング

通常空間アクセスは、おもにバイト選択端子のない SRAM の直結を考慮してストローブ信号を出力します。バイト選択付き端子のある SRAM を使用する場合は、「8.5.8　バイト選択付き SRAM インタフェース」を参照してください。図 8.2 に通常空間アクセスの基本タイミングを示します。ウェイトのない通常アクセスは、2 サイクルで終了します。$\overline{BS}$ 信号はバスサイクルの開始を表し、1 サイクルアサートされます。

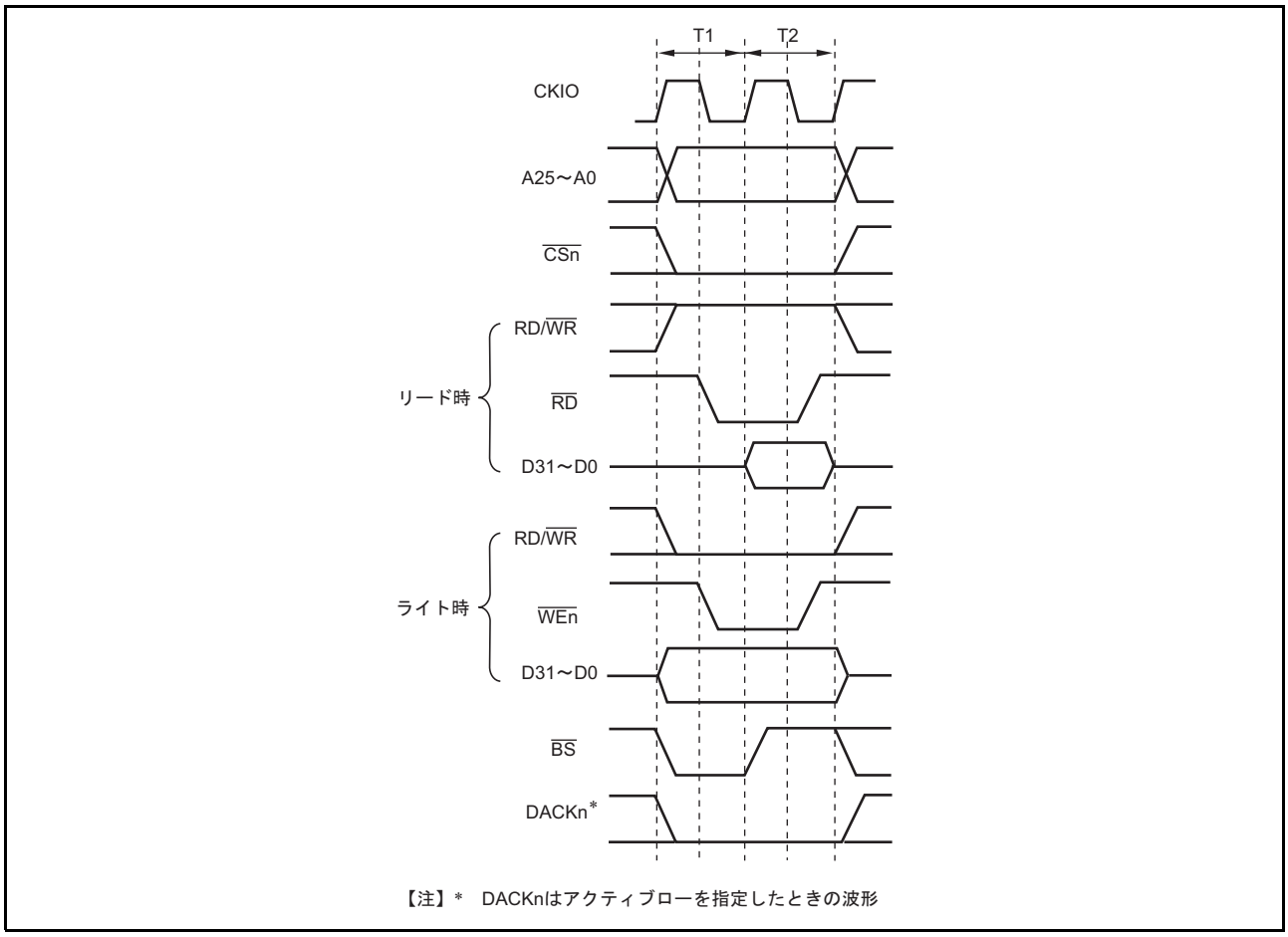


図 8.2　通常空間基本アクセス（アクセスウェイト 0）

リード時は、外部バスに対してアクセスサイズの指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビットを、16 ビットデバイスでは 16 ビットを常に読み出すことになります。ライト時には、書き込みを行うバイトの $\overline{WEn}$ 信号のみがアサートされます。

データバスにバッファを設ける場合には、$\overline{RD}$ を用いてリードデータの出力制御を行う必要があります。RD/$\overline{WR}$ 信号は、アクセスを行っていないときはリード状態（ハイレベル出力）となっているため、これを用いて外付けデータバッファの制御を行うと出力が衝突する危険性があるので注意が必要です。

図 8.3、図 8.4 に通常空間連続アクセスの例を示します。CSnWCR の WM ビットを 0 に設定すると、設定した CSn 空間アクセスの後に外部ウェイトを評価するために 1 サイクル Tnop が挿入されます（図 8.3）。しかし、CSnWCR の WM ビットを 1 に設定すると、外部ウェイトが無視され Tnop サイクルの挿入を抑止することができます（図 8.4）。

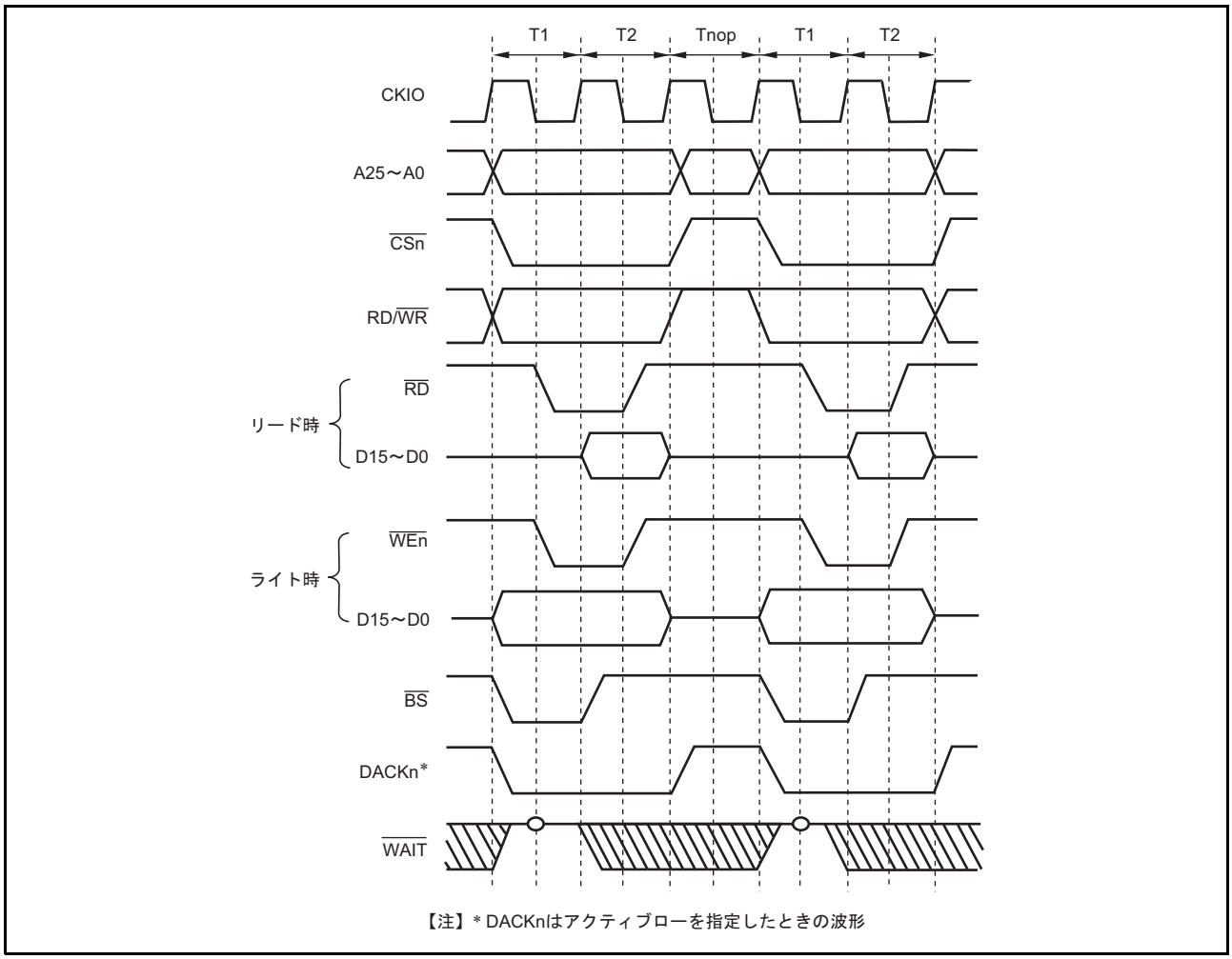


図 8.3　通常空間連続アクセス例 1
バス幅 16 ビット、32 ビットアクセス、CSnWCR.WM ビット＝ 0
（アクセスウェイト 0、サイクル間ウェイト 0）

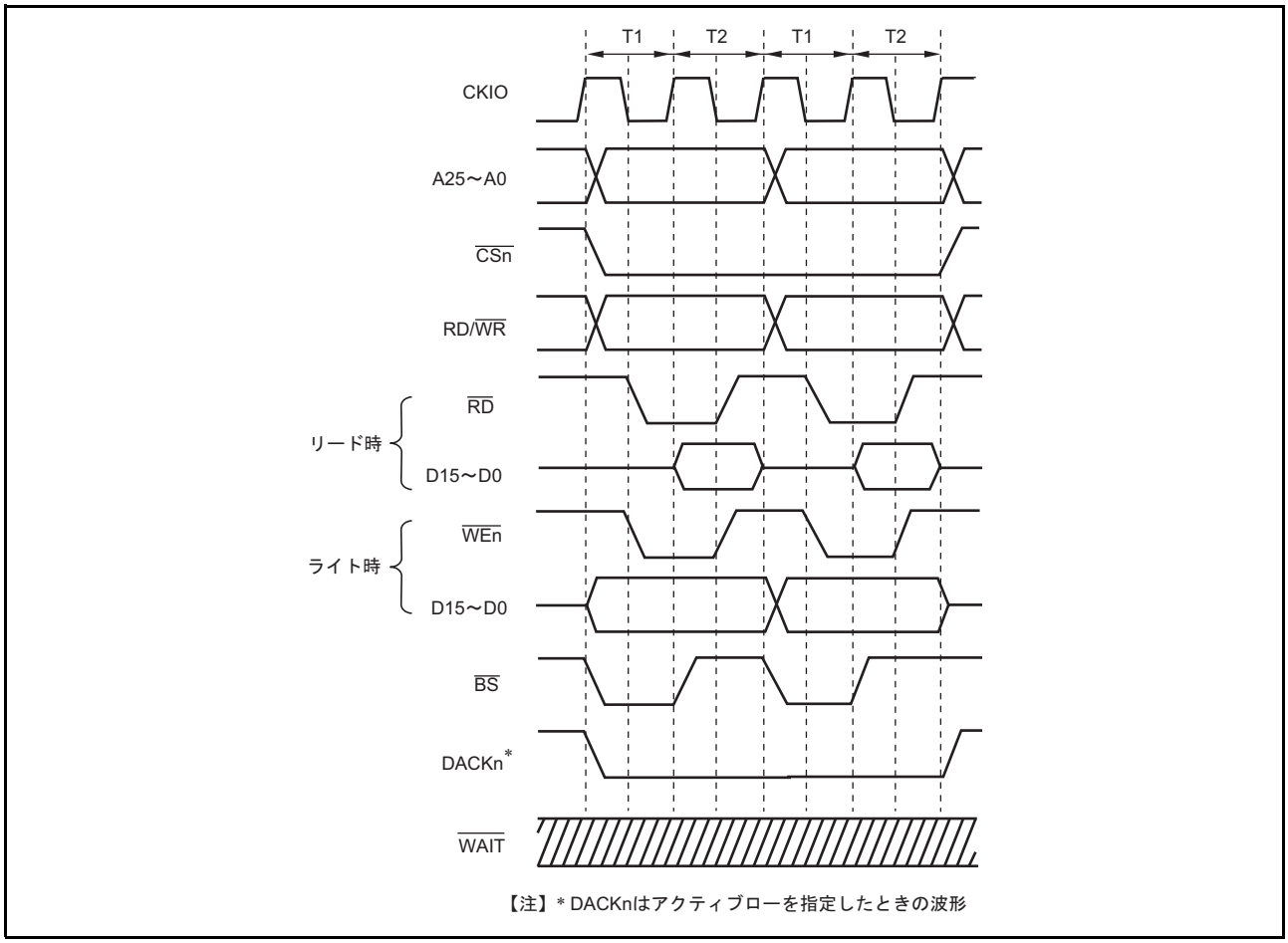


図 8.4　通常空間連続アクセス例 2
バス幅 16 ビット、32 ビットアクセス、CSnWCR.WM ビット＝ 1
（アクセスウェイト 0、サイクル間ウェイト 0）

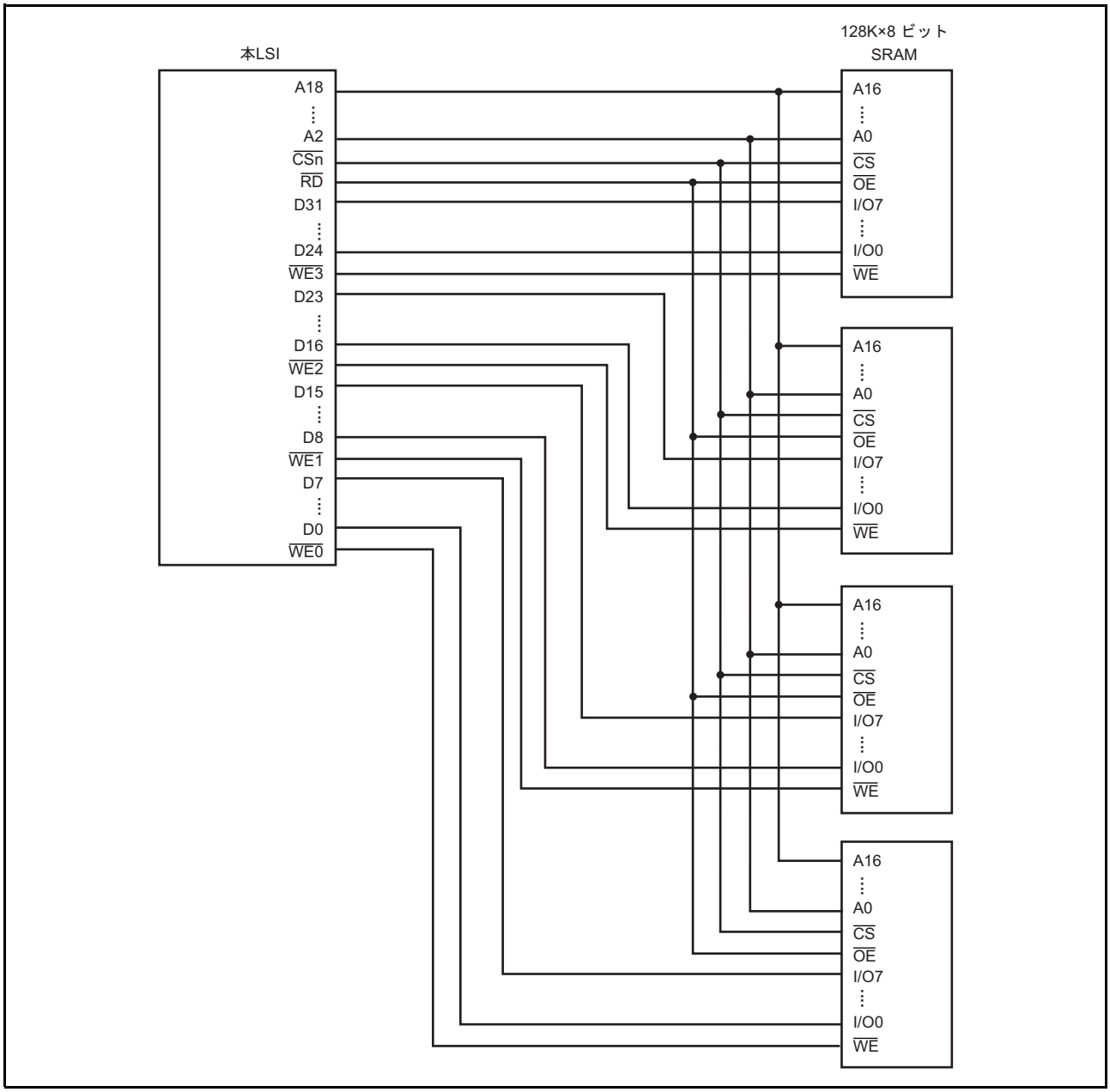


図 8.5　　32 ビットデータ幅 SRAM 接続例

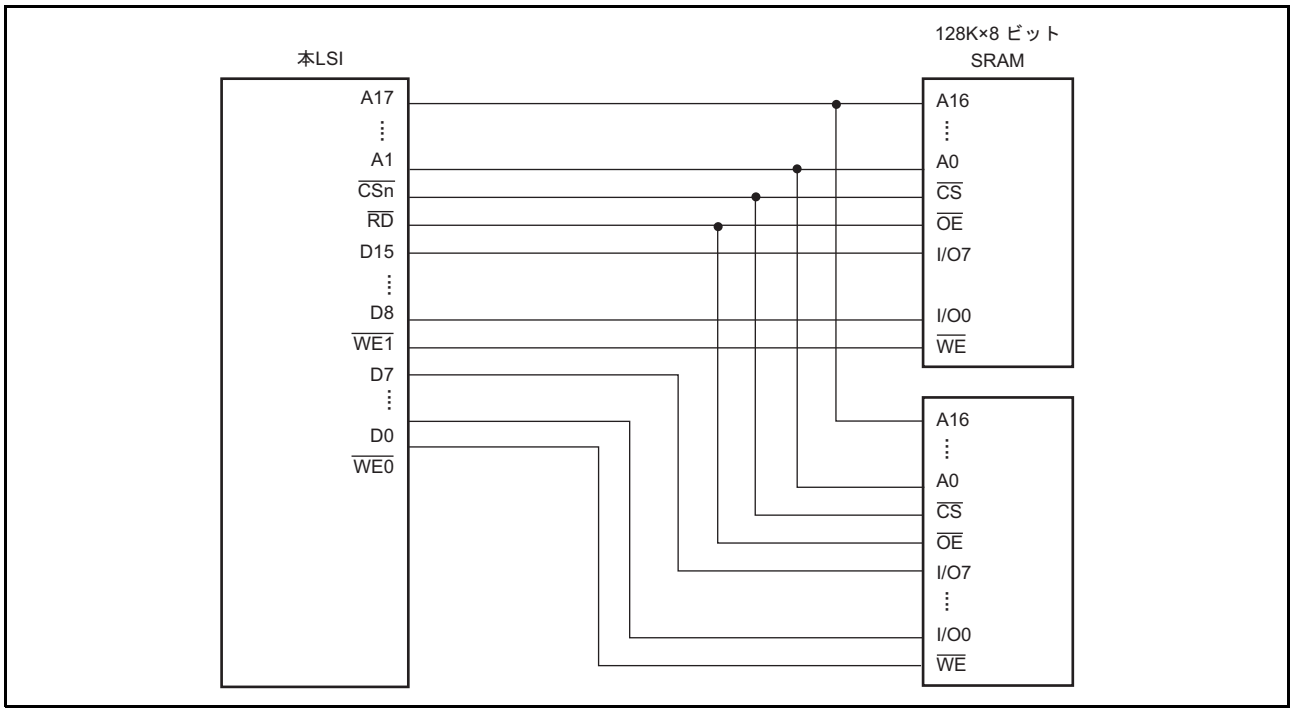


図 8.6　16 ビットデータ幅 SRAM 接続例

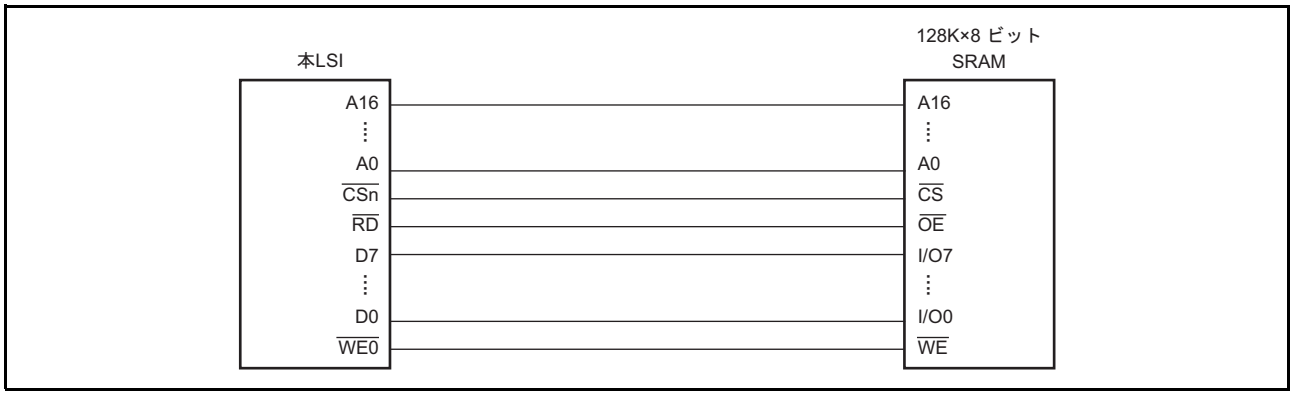


図 8.7　8 ビットデータ幅 SRAM 接続例

8.5.3　アクセスウェイト制御

CSnWCR の WR[3:0] ビットの設定により、通常空間アクセスのウェイトサイクルの挿入を制御できます。エリア 1、4 およびエリア 5 では、リードアクセスとライトアクセスで独立にウェイトサイクルを挿入することが可能です。エリア 0、2 およびエリア 3 のアクセスウェイトは、リードおよびライトサイクルで共通となります。**図 8.8** に示す通常空間のアクセスでは、Tw のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

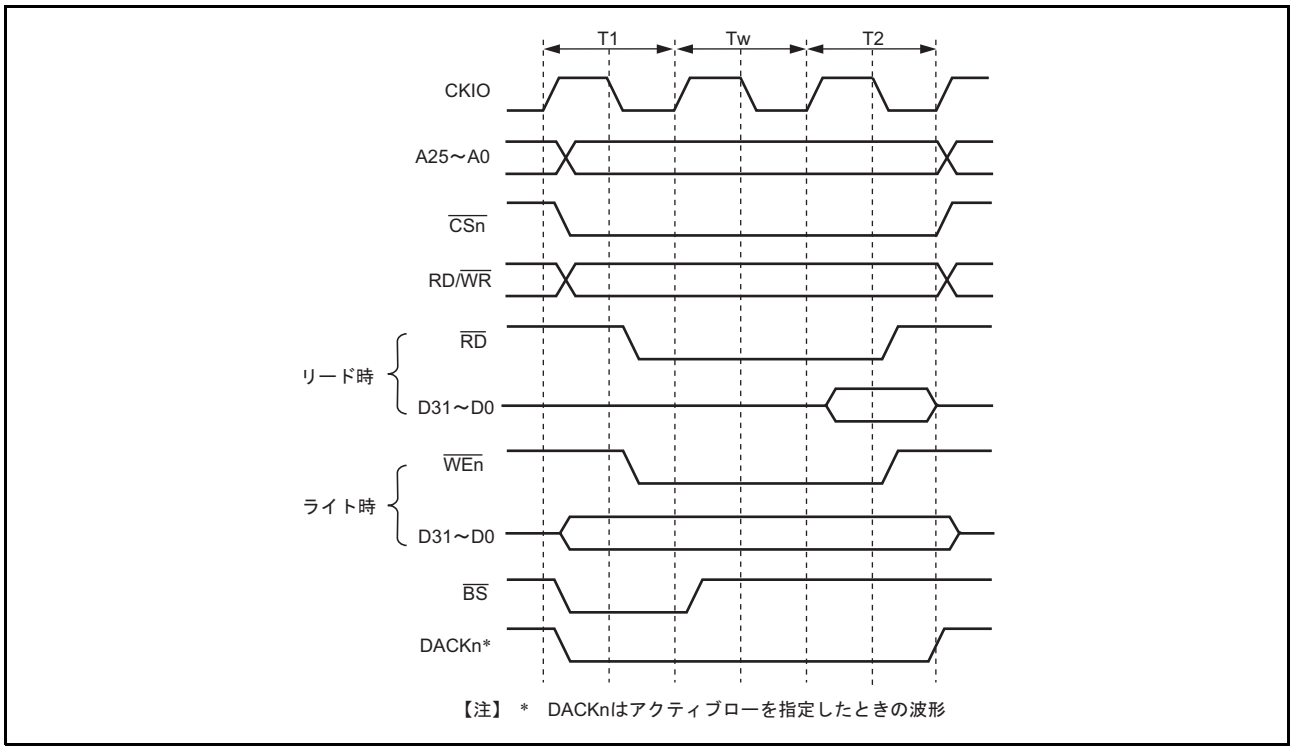


図 8.8　通常空間アクセスのウェイトタイミング（ソフトウェアウェイトのみ）

CSnWCR の WM ビットを 0 としたときには、外部からのウェイト入力 $\overline{\text{WAIT}}$ 信号もサンプリングされます。$\overline{\text{WAIT}}$ 信号のサンプリングを図 8.9 に示します。ソフトウェアウェイトとして 2 サイクルのウェイトを指定しています。$\overline{\text{WAIT}}$ 信号は、T1 または Tw サイクルから T2 サイクルに移行する際に、CKIO の立ち下がりでサンプリングされます。

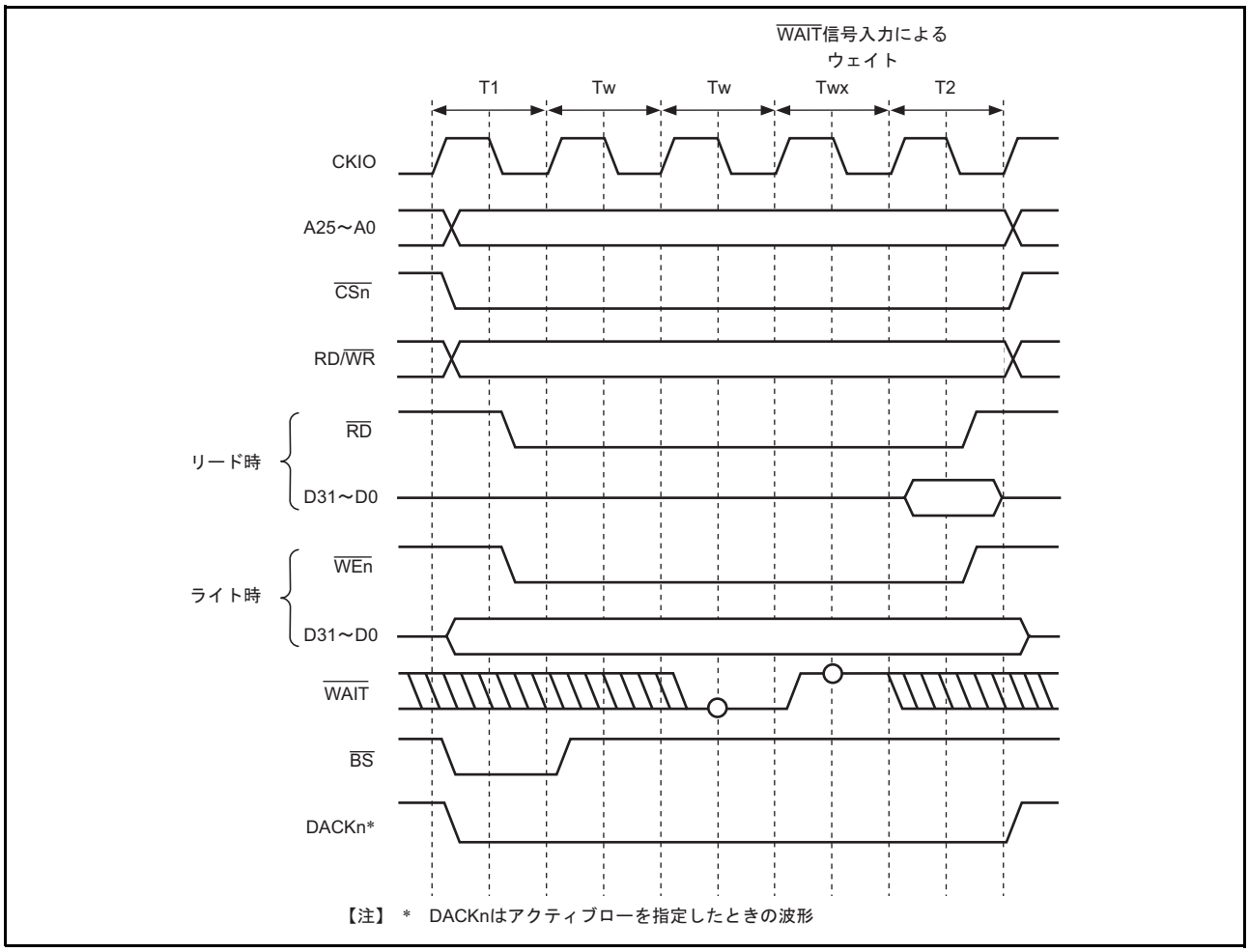


図 8.9　通常空間アクセスのウェイトタイミング（$\overline{\text{WAIT}}$ 信号によるウェイト挿入）

8.5.4 $\overline{\text{CSn}}$ アサート期間拡張

CSnWCR の SW[1:0] ビットの設定により、$\overline{\text{CSn}}$ アサートから $\overline{\text{RD}}$ と $\overline{\text{WEn}}$ アサートまでのサイクル数を指定できます。また、HW[1:0] ビットの設定により、$\overline{\text{RD}}$ と $\overline{\text{WEn}}$ ネゲートから $\overline{\text{CSn}}$ ネゲートまでのサイクル数を指定できます。これにより、外部デバイスとのフレキシブルなインタフェースがとれます。例を**図 8.10** に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。これらのサイクルでは、$\overline{\text{RD}}$ と $\overline{\text{WEn}}$ 以外はアサートされますが、$\overline{\text{RD}}$ と $\overline{\text{WEn}}$ はアサートされません。また、データは Tf サイクルまで延長して出力されるので、書き込み動作の遅いデバイスなどに有効です。

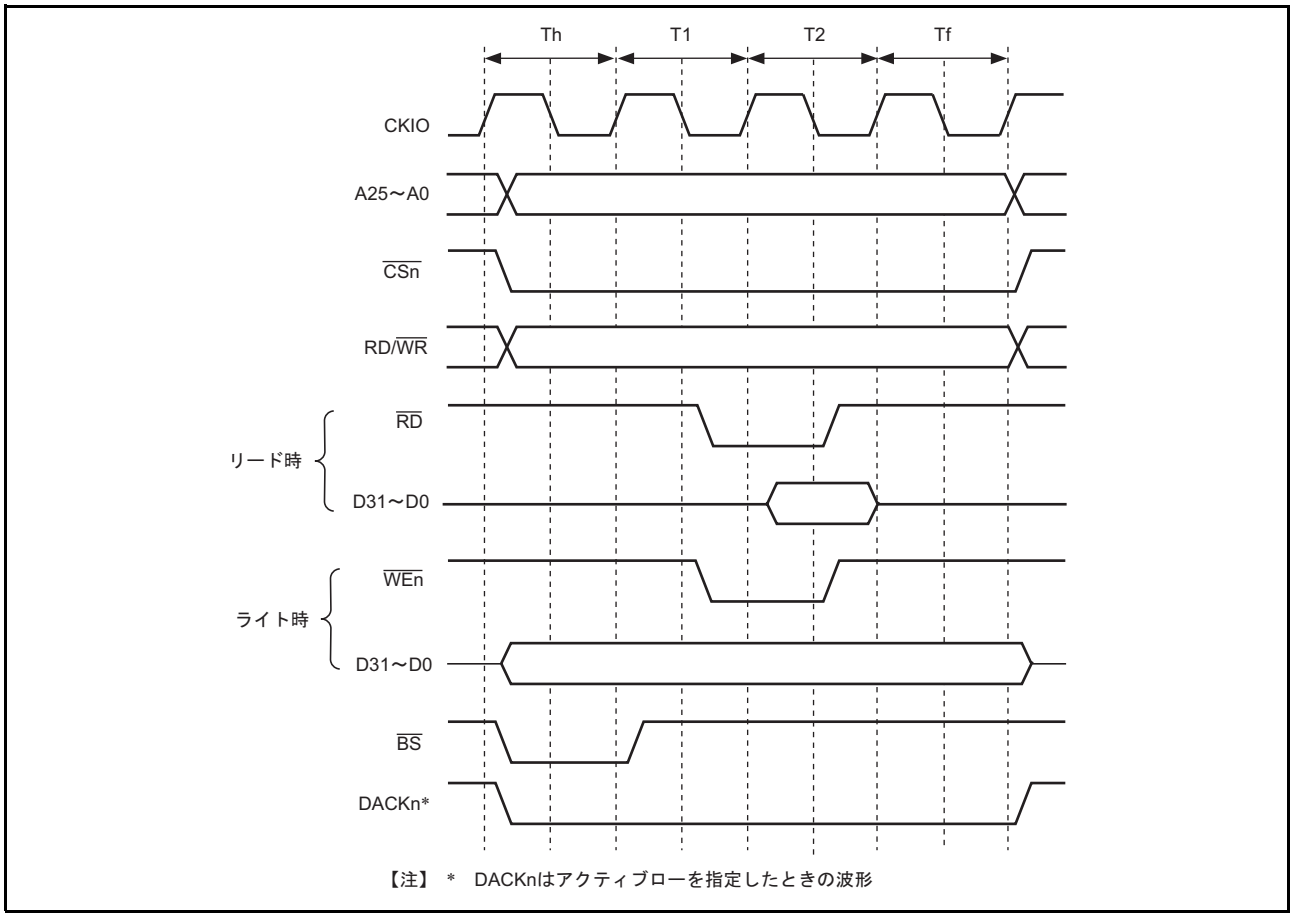


図 8.10 $\overline{\text{CSn}}$ アサート期間拡張

8.5.5 MPX-I/O インタフェース

MPX 空間のアクセスタイミングを以下に示します。MPX 空間では、$\overline{CS5}$、$\overline{AH}$、$\overline{RD}$、および $\overline{WEn}$ 信号でアクセスが制御されます。MPX 空間の基本アクセスは、アドレス出力が 2 サイクル行われた後に、続けて通常空間のアクセスが行われます。アドレス出力サイクルおよびデータ入出力サイクルのバス幅は、8 ビットまたは 16 ビット固定もしくはアクセスするアドレスにより、8 ビットあるいは 16 ビットの可変となります。

D15～D0 または D7～D0 からのアドレスの出力は Ta2 サイクルから Ta3 サイクルまで行われ、Ta1 サイクルはハイインピーダンス状態となり、連続アクセス時でもアイドルサイクルの挿入なしにアドレスとデータの衝突を防ぐことができます。また、CS5WCR の MPXW ビットを 1 に設定することにより、アドレス出力は 3 サイクルとなります。

RD/$\overline{WR}$ 信号は $\overline{CS5}$ 信号と同じタイミングで出力され、リードサイクルではハイレベルが、ライトサイクルではローレベルが出力されます。

データサイクルは、通常空間アクセスと同一のサイクルとなります。

SW[1:0] の遅延サイクルは、Ta3 と T1 サイクルの間に挿入されます。HW[1:0] の遅延サイクルは T2 サイクルの後に付加されます。

タイミングチャートを**図 8.11** ～**図 8.13** に示します。

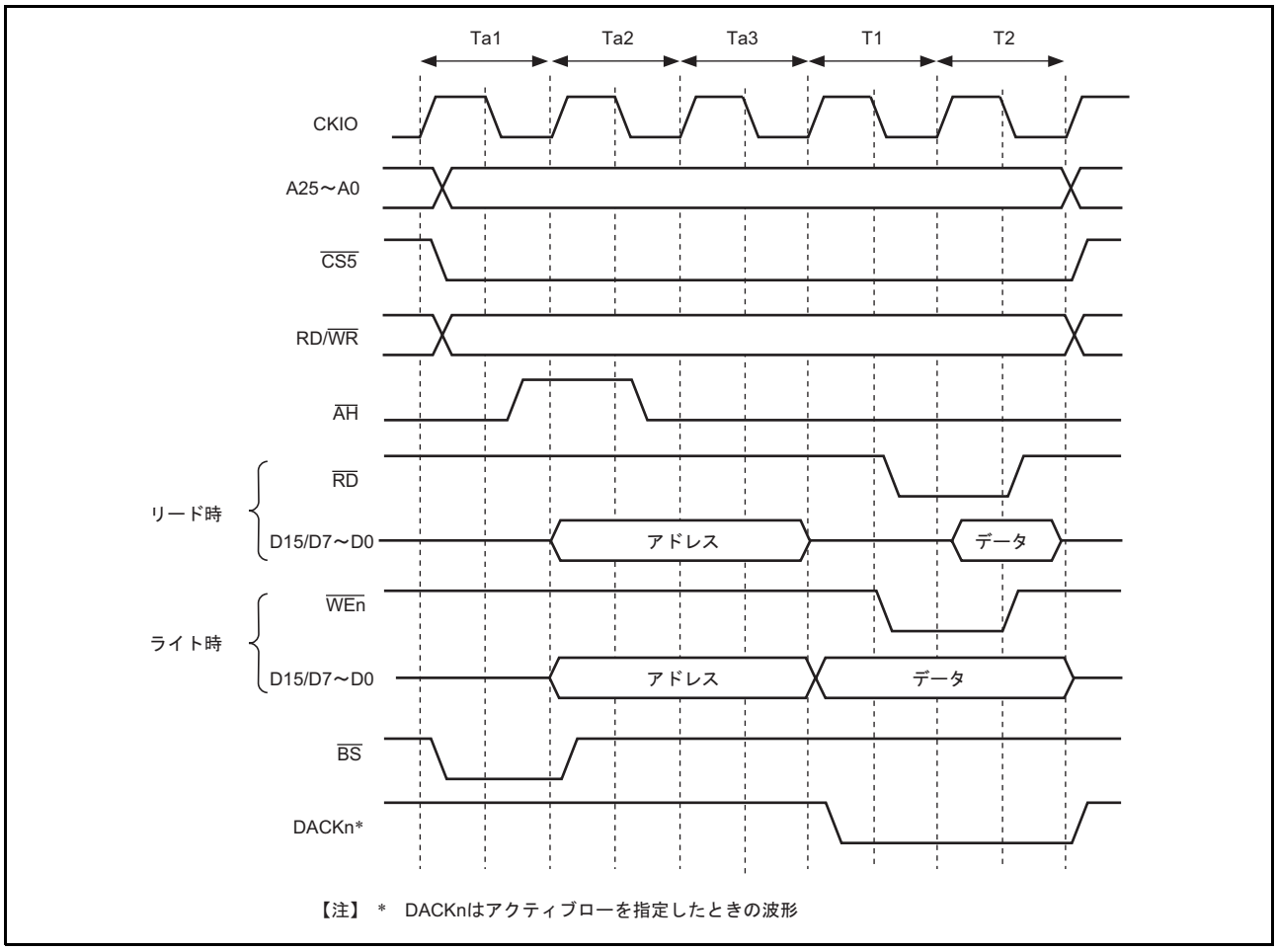


図 8.11　MPX 空間アクセスタイミング (1)
（アドレスサイクルノーウェイト、データサイクルノーウェイト）

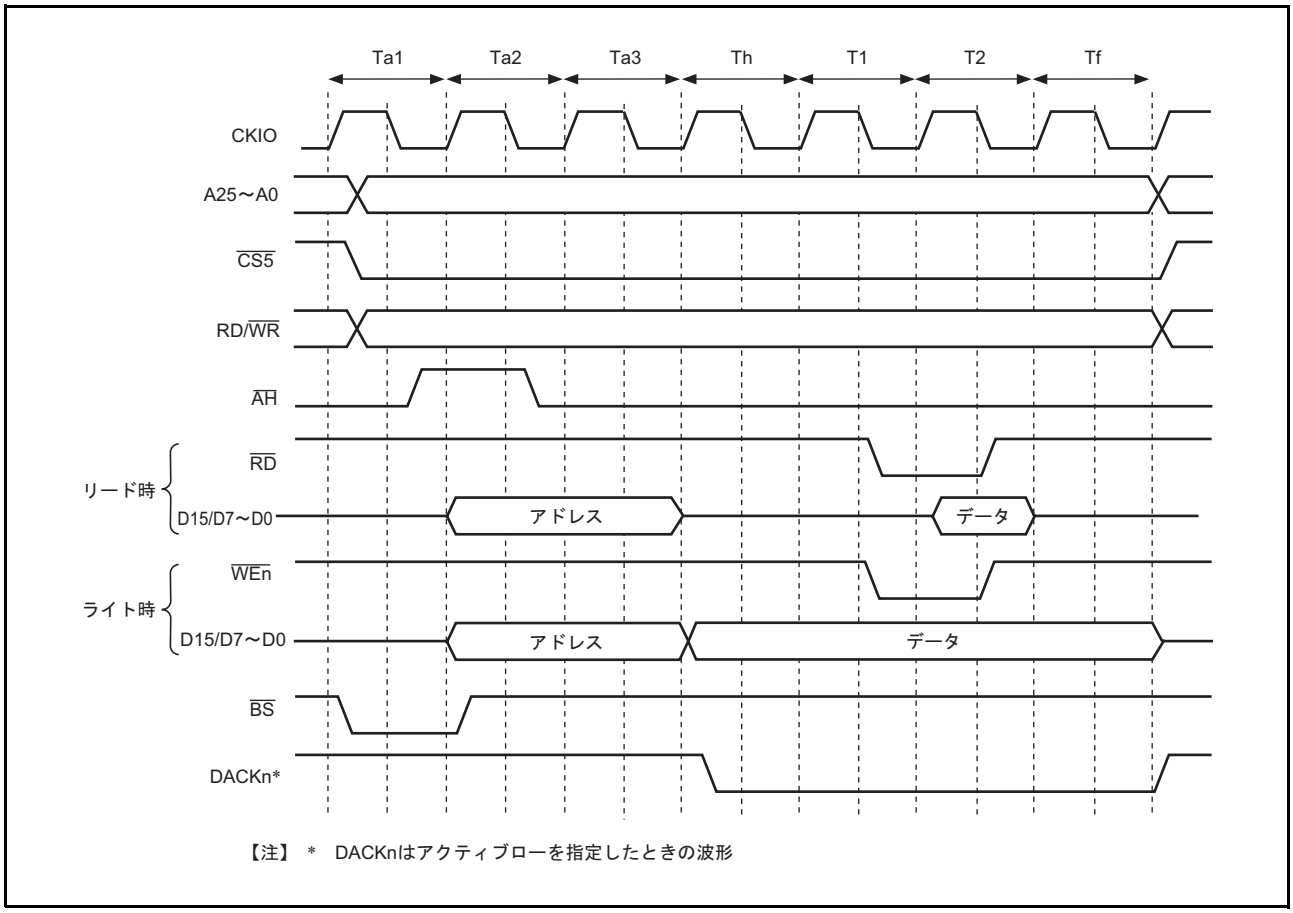


図 8.11　MPX 空間アクセスタイミング (2)
（アドレスサイクルノーウェイト、アサート拡張サイクル 1.5、データサイクルノーウェイト、ネゲート拡張サイクル 1.5）

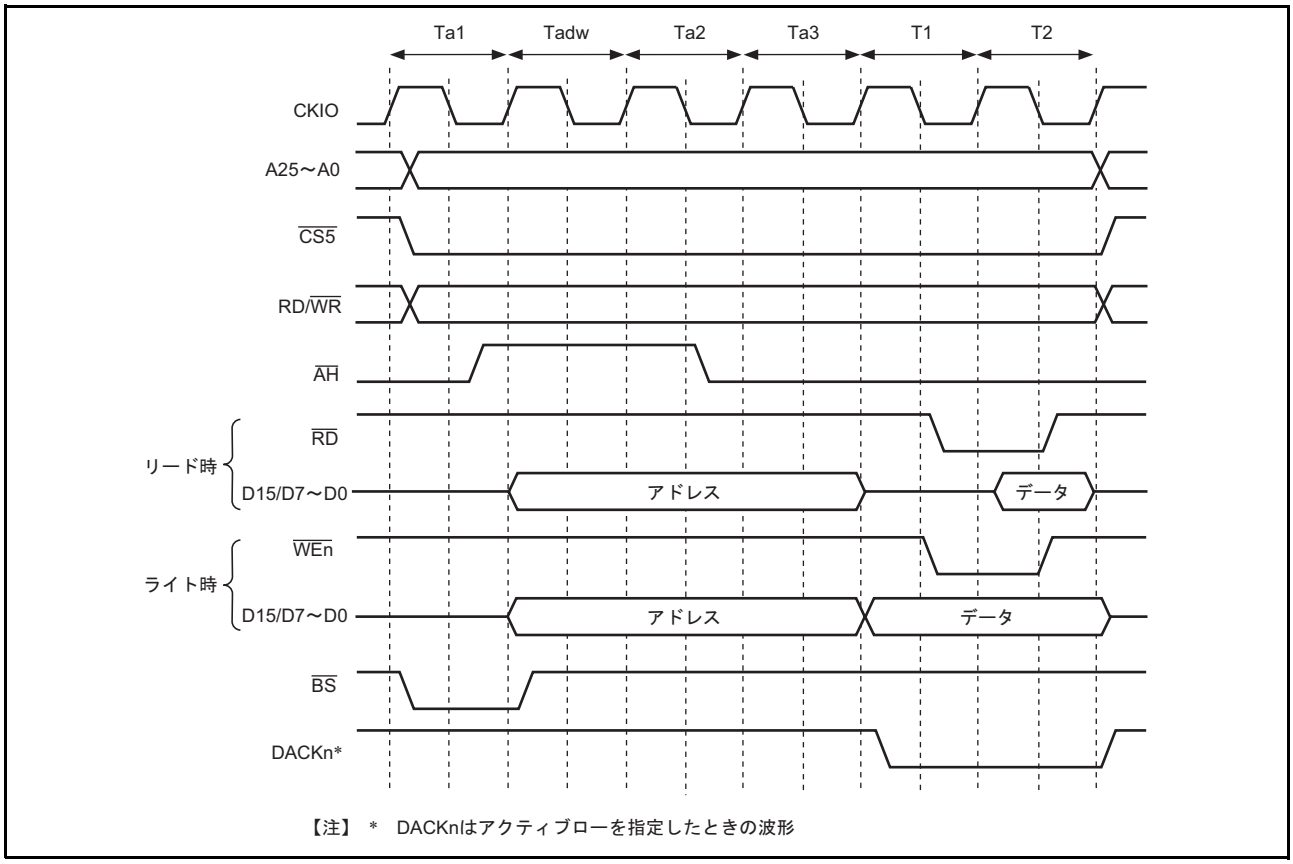


図 8.12　MPX 空間アクセスタイミング
（アドレスサイクルウェイト 1、データサイクルノーウェイト）

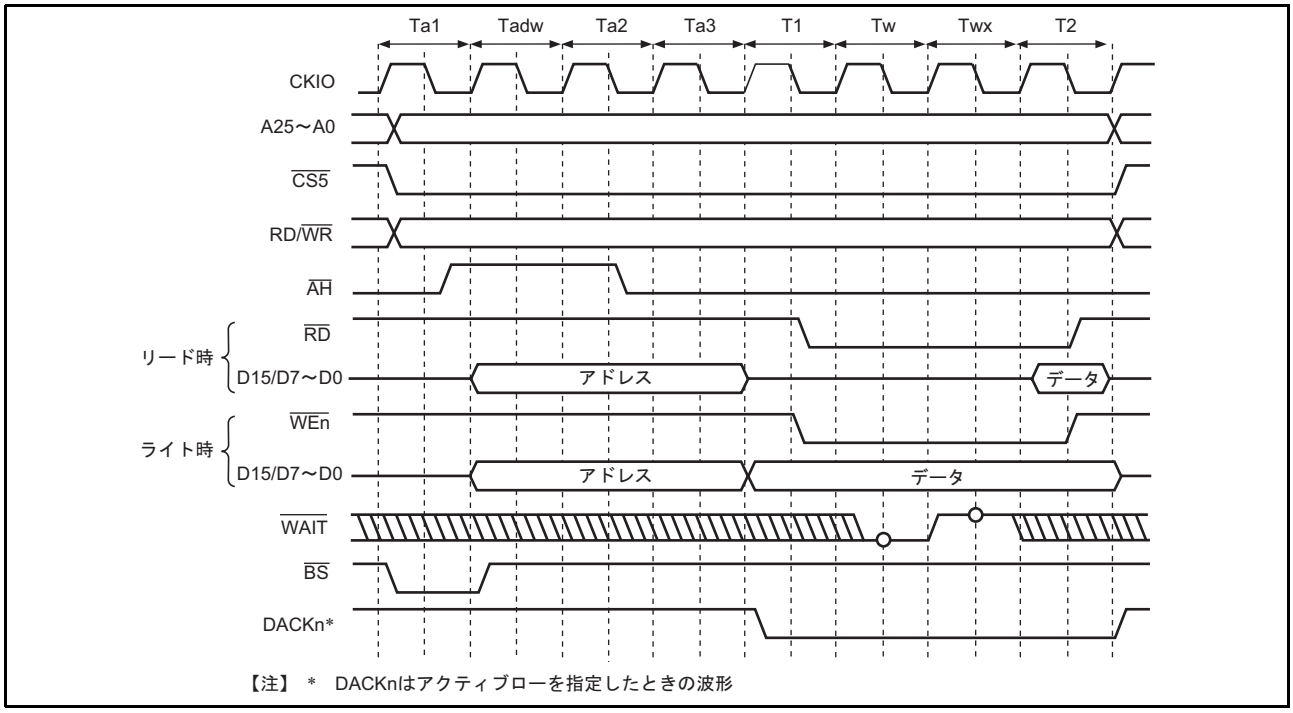


図 8.13　MPX 空間アクセスタイミング
（アドレスサイクルアクセスウェイト 1、データサイクルウェイト 1、外部ウェイト 1）

8.5.6 SDRAM インタフェース

(1) SDRAM 直結インタフェース

本 LSI に接続可能な SDRAM は、ロウアドレスが 11 ／ 12 ／ 13 ビット、カラムアドレスが 8 ／ 9 ／ 10 ビット、バンク数が 4 以下、リードーライトコマンドサイクルで A10 端子をプリチャージモードの設定に使用する製品です。

SDRAM を直結するための制御信号は、$\overline{RAS}$、$\overline{CAS}$、RD/$\overline{WR}$、DQMUU、DQMUL、DQMLU、DQMLL、CKE、および $\overline{CS2}$ と $\overline{CS3}$ です。$\overline{CS2}$ と $\overline{CS3}$ を除く信号は各空間に共通であり、CKE を除く信号は $\overline{CS2}$ または $\overline{CS3}$ がアサートされているときのみ有効になります。最大 2 空間に SDRAM を接続することができます。SDRAM を接続する空間のデータバス幅は、32 ビットまたは 16 ビットに設定可能です。

SDRAM の動作モードとしては、バーストリード／シングルライト（バースト長 1）とバーストリード／バーストライト（バースト長 1）をサポートしています。

$\overline{RAS}$、$\overline{CAS}$、RD/$\overline{WR}$、および特定のアドレス信号によって、SDRAM に対するコマンドが指定されます。コマンドは、NOP、オートリフレッシュ（REF）、セルフリフレッシュ（SELF）、全バンクプリチャージ（PALL）、指定バンクプリチャージ（PRE）、バンクアクティブ（ACTV）、リード（READ）、プリチャージ付きリード（READA）、ライト（WRIT）、プリチャージ付きライト（WRITA）、モードレジスタ書き込み（MRS、EMRS）などをサポートしています。

アクセスするバイトの指定は、DQMUU、DQMUL、DQMLU および DQMLL によって行われます。該当する DQMxx がローレベルのバイトに対してリード／ライトが行われます。DQMxx とアクセスするバイトの関係は、「8.5.1 アクセスサイズとデータアライメント」を参照してください。

図 8.14、図 8.15 に本 LSI と SDRAM との接続例を示します。

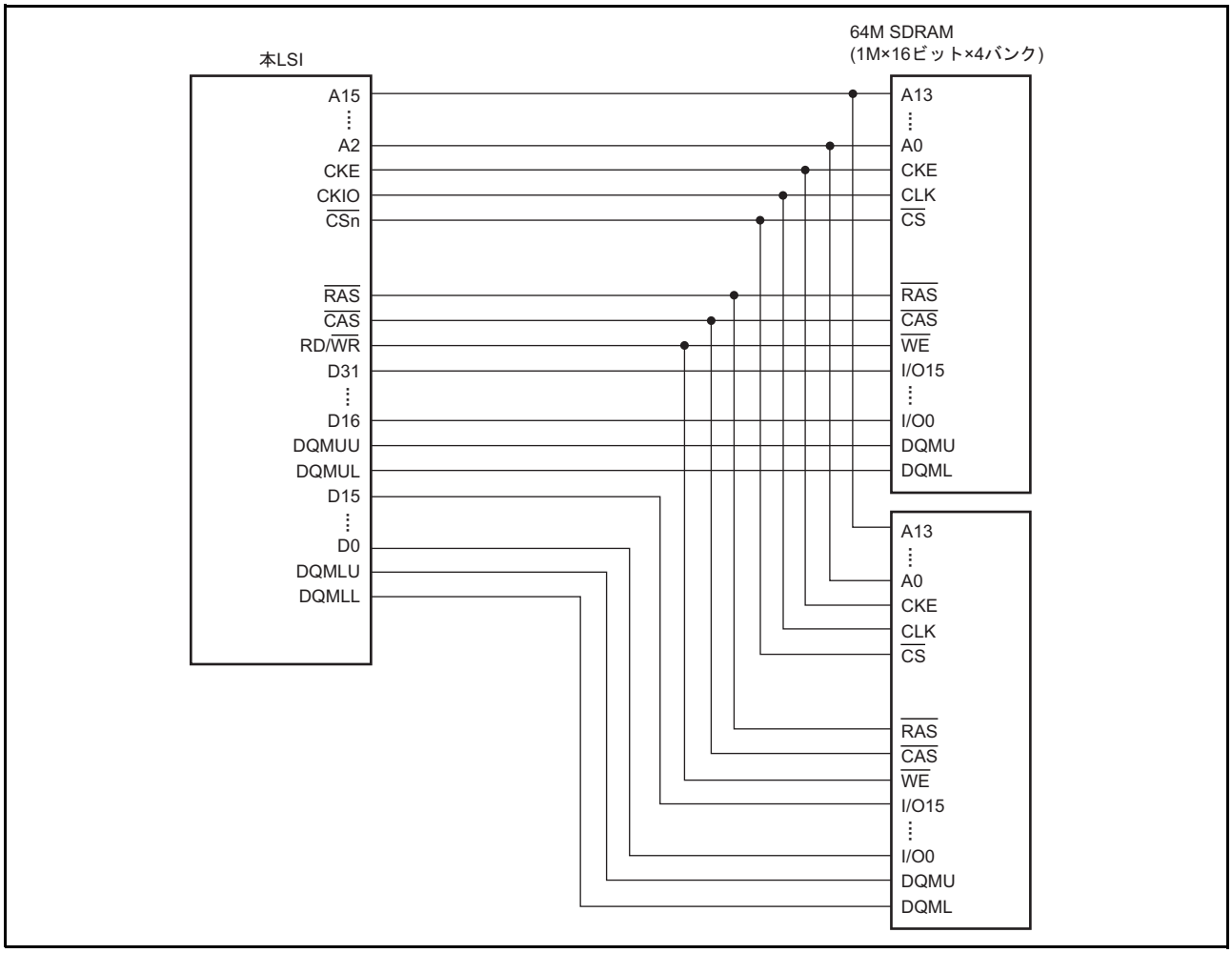


図 8.14　32 ビットデータ幅 SDRAM 接続例

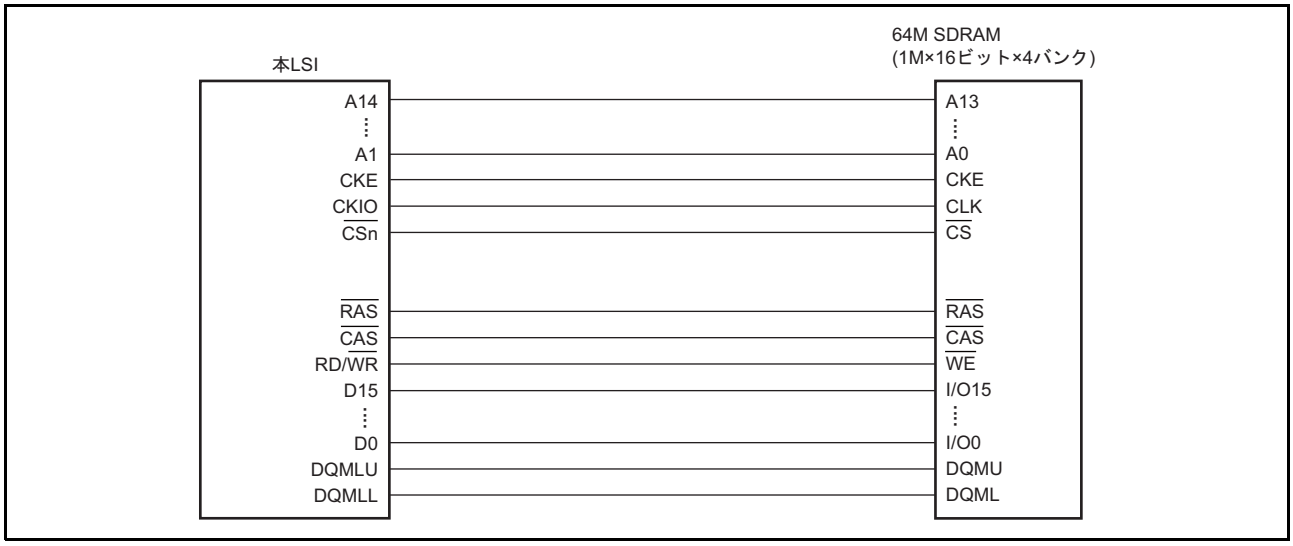


図 8.15　16 ビットデータ幅 SDRAM 接続例

(2) アドレスマルチプレクス

CSnBCR の BSZ[1:0] ビット、SDCR の A2ROW[1:0] ビット、A2COL[1:0] ビット、A3ROW[1:0] ビット、および A3COL[1:0] ビットの設定に従って、外付けのアドレスマルチプレクス回路なしに SDRAM を接続できるようにアドレスのマルチプレクスを行います。**表 8.8 ～表 8.13** に BSZ[1:0]、A2ROW[1:0] ビット、A2COL[1:0] ビット、A3ROW[1:0] ビット、および A3COL[1:0] ビットの設定とアドレス端子に出力されるビットの関係を示します。この表以外の設定は、行わないでください。この表以外の設定を行った場合の動作は、保証されません。A25 ～ A18 は、マルチプレクスを行わず常に本来のアドレスが出力されています。

データバス幅が 16 ビットのとき（BSZ[1:0] = B'10）は、SDRAM の A0 端子は 16 ビットアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A1 端子に接続し、以下 A1 端子を A2 端子にという順で接続してください。データバス幅が 32 ビットのとき（BSZ[1:0] = B'11）は、SDRAM の A0 端子は 32 ビットアドレスの指定を行います。したがって、SDRAM の A0 端子を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。

表 8.8　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係（1）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	00 (11 ビット)	00 (8 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22（注 2）	A22（注 2）	A12(BA1)	バンク指定
A13	A21（注 2）	A21（注 2）	A11(BA0)	
A12	A20	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
64M ビット品（512K ワード ×32 ビット ×4 バンク、カラム 8 ビット品）1 個 16M ビット品（512K ワード ×16 ビット ×2 バンク、カラム 8 ビット品）2 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	00 (8 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23（注 2）	A23（注 2）	A13(BA1)	バンク指定
A14	A22（注 2）	A22（注 2）	A12(BA0)	
A13	A21	A13	A11	アドレス
A12	A20	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A11	A19	A11	A9	アドレス
A10	A18	A10	A8	
A9	A17	A9	A7	
A8	A16	A8	A6	
A7	A15	A7	A5	
A6	A14	A6	A4	
A5	A13	A5	A3	
A4	A12	A4	A2	
A3	A11	A3	A1	
A2	A10	A2	A0	
A1	A9	A1		未使用
A0	A8	A0		
接続メモリ例				
128M ビット品（1M ワード ×32 ビット ×4 バンク、カラム 8 ビット品）1 個 64M ビット品（1M ワード ×16 ビット ×4 バンク、カラム 8 ビット品）2 個				

注1.　L/Hはコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注2.　バンクアドレス指定

表 8.9　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係（2）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24（注 2）	A24（注 2）	A13(BA1)	バンク指定
A14	A23（注 2）	A23（注 2）	A12(BA0)	
A13	A22	A13	A11	アドレス
A12	A21	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
256M ビット品（2M ワード ×32 ビット ×4 バンク、カラム 9 ビット品）1 個 128M ビット品（2M ワード ×16 ビット ×4 バンク、カラム 9 ビット品）2 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25（注 2）	A25（注 2）	A13(BA1)	バンク指定
A14	A24（注 2）	A24（注 2）	A12(BA0)	
A13	A23	A13	A11	アドレス
A12	A22	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A11	A21	A11	A9	アドレス
A10	A20	A10	A8	
A9	A19	A9	A7	
A8	A18	A8	A6	
A7	A17	A7	A5	
A6	A16	A6	A4	
A5	A15	A5	A3	
A4	A14	A4	A2	
A3	A13	A3	A1	
A2	A12	A2	A0	
A1	A11	A1		未使用
A0	A10	A0		
接続メモリ例				
512M ビット品（4M ワード ×32 ビット ×4 バンク、カラム 10 ビット品）1 個 256M ビット品（4M ワード ×16 ビット ×4 バンク、カラム 10 ビット品）2 個				

注 1.　L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注 2.　バンクアドレス指定

表 8.10　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係（3）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
11 (32 ビット)	10 (13 ビット)	01 (9 ビット)		
本 LSI の出力端子	ロウアドレス 出力サイクル	カラムアドレス 出力サイクル	SDRAM の端子	機能
A17	A26	A17		未使用
A16	A25（注 2）	A25（注 2）	A14(BA1)	バンク指定
A15	A24（注 2）	A24（注 2）	A13(BA0)	
A14	A23	A14	A12	アドレス
A13	A22	A13	A11	
A12	A21	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A11	A20	A11	A9	アドレス
A10	A19	A10	A8	
A9	A18	A9	A7	
A8	A17	A8	A6	
A7	A16	A7	A5	
A6	A15	A6	A4	
A5	A14	A5	A3	
A4	A13	A4	A2	
A3	A12	A3	A1	
A2	A11	A2	A0	
A1	A10	A1		未使用
A0	A9	A0		
接続メモリ例				
512M ビット品（4M ワード ×32 ビット ×4 バンク、カラム 9 ビット品）1 個 256M ビット品（4M ワード ×16 ビット ×4 バンク、カラム 9 ビット品）2 個				

注 1.　L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注 2.　バンクアドレス指定

表 8.11　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係（4）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	00 (11 ビット)	00 (8 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22	A14		
A13	A21	A21		
A12	A20（注 2）	A20（注 2）	A11(BA0)	バンク指定
A11	A19	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
16M ビット品（512K ワード ×16 ビット ×2 バンク、カラム 8 ビット品）1 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	00 (8 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A25	A17		未使用
A16	A24	A16		
A15	A23	A15		
A14	A22（注 2）	A22（注 2）	A13(BA1)	バンク指定
A13	A21（注 2）	A21（注 2）	A12(BA0)	
A12	A20	A12	A11	アドレス
A11	A19	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A10	A18	A10	A9	アドレス
A9	A17	A9	A8	
A8	A16	A8	A7	
A7	A15	A7	A6	
A6	A14	A6	A5	
A5	A13	A5	A4	
A4	A12	A4	A3	
A3	A11	A3	A2	
A2	A10	A2	A1	
A1	A9	A1	A0	
A0	A8	A0		未使用
接続メモリ例				
64M ビット品（1M ワード ×16 ビット ×4 バンク、カラム 8 ビット品）1 個				

注 1.　L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注 2.　バンクアドレス指定

表 8.12　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係（5）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	01 (9 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24	A15		
A14	A23（注 2）	A23（注 2）	A13(BA1)	バンク指定
A13	A22（注 2）	A22（注 2）	A12(BA0)	
A12	A21	A12	A11	アドレス
A11	A20	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
128M ビット品（2M ワード ×16 ビット ×4 バンク、カラム 9 ビット品）1 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	01 (12 ビット)	10 (10 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25	A15		
A14	A24（注 2）	A24（注 2）	A13(BA1)	バンク指定
A13	A23（注 2）	A23（注 2）	A12(BA0)	
A12	A22	A12	A11	アドレス
A11	A21	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
256M ビット品（4M ワード ×16 ビット ×4 バンク、カラム 10 ビット品）1 個				

注 1.　L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注 2.　バンクアドレス指定

表 8.13　BSZ[1:0]、A2/3ROW[1:0]、A2/3COL[1:0] とアドレスマルチプレクスの関係（6）

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	10 (13 ビット)	01 (9 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A26	A17		未使用
A16	A25	A16		
A15	A24（注 2）	A24（注 2）	A14(BA1)	バンク指定
A14	A23（注 2）	A23（注 2）	A13(BA0)	
A13	A22	A13	A12	アドレス
A12	A21	A12	A11	
A11	A20	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A10	A19	A10	A9	アドレス
A9	A18	A9	A8	
A8	A17	A8	A7	
A7	A16	A7	A6	
A6	A15	A6	A5	
A5	A14	A5	A4	
A4	A13	A4	A3	
A3	A12	A3	A2	
A2	A11	A2	A1	
A1	A10	A1	A0	
A0	A9	A0		未使用
接続メモリ例				
256M ビット品（4M ワード ×16 ビット ×4 バンク、カラム 9 ビット品）1 個				

設定				
BSZ[1:0]	A2/3ROW[1:0]	A2/3COL[1:0]		
10 (16 ビット)	10 (13 ビット)	10 (10 ビット)		
本 LSI の出力端子	ロウアドレス出力サイクル	カラムアドレス出力サイクル	SDRAM の端子	機能
A17	A27	A17		未使用
A16	A26	A16		
A15	A25（注 2）	A25（注 2）	A14(BA1)	バンク指定
A14	A24（注 2）	A24（注 2）	A13(BA0)	
A13	A23	A13	A12	アドレス
A12	A22	A12	A11	
A11	A21	L/H（注 1）	A10/AP	アドレス／プリチャージ指定
A10	A20	A10	A9	アドレス
A9	A19	A9	A8	
A8	A18	A8	A7	
A7	A17	A7	A6	
A6	A16	A6	A5	
A5	A15	A5	A4	
A4	A14	A4	A3	
A3	A13	A3	A2	
A2	A12	A2	A1	
A1	A11	A1	A0	
A0	A10	A0		未使用
接続メモリ例				
512M ビット品（8M ワード ×16 ビット ×4 バンク、カラム 10 ビット品）1 個				

注 1.　L/H はコマンド指定に使われるビットであり、アクセスモードによってローまたはハイに固定されます。
注 2.　バンクアドレス指定

(3) バーストリード

本 LSI でバーストリードが発生する条件は以下のとおりです。

1. データバス幅よりもリードのアクセスサイズが大きいとき
2. 16 バイト転送、32 バイト転送、64 バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを読み出すときは、バースト長 1 のリードを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストリードと呼びます。**表 8.14** にアクセスサイズとバースト数の関係を示します。

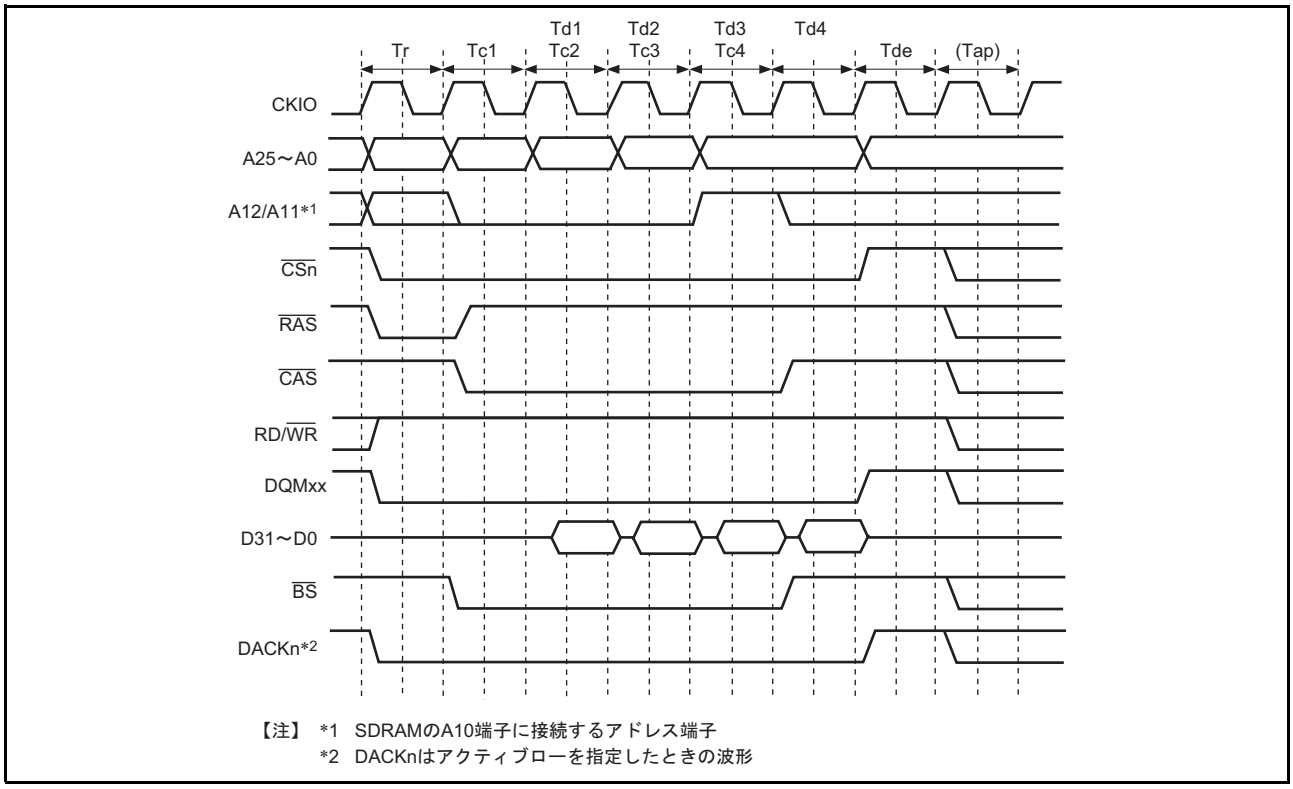
表 8.14　アクセスサイズとバースト数の関係

バス幅	アクセスサイズ	バースト数
16 ビット	8 ビット	1
	16 ビット	1
	32 ビット	2
	16 バイト	8
	32 バイト	16
	64 バイト	32
32 ビット	8 ビット	1
	16 ビット	1
	32 ビット	1
	16 バイト	4
	32 バイト	8
	64 バイト	16

バーストリード時のタイミングチャートを**図 8.16** と**図 8.17** に示します。バーストリードでは ACTV コマンド出力を行う Tr サイクルに続いて、READ コマンドを Tc1、Tc2、Tc3 サイクルに、READA コマンドを Tc4 サイクルに発行し、Td1 から Td4 のサイクルに外部クロック（CKIO）の立ち上がりでリードデータを受け取ります。Tap サイクルは SDRAM 内部で READA コマンドによるオートプリチャージの完了を待つサイクルであり、この間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。CS3WCR の WTRP[1:0] ビットの指定によって Tap のサイクル数を決定します。

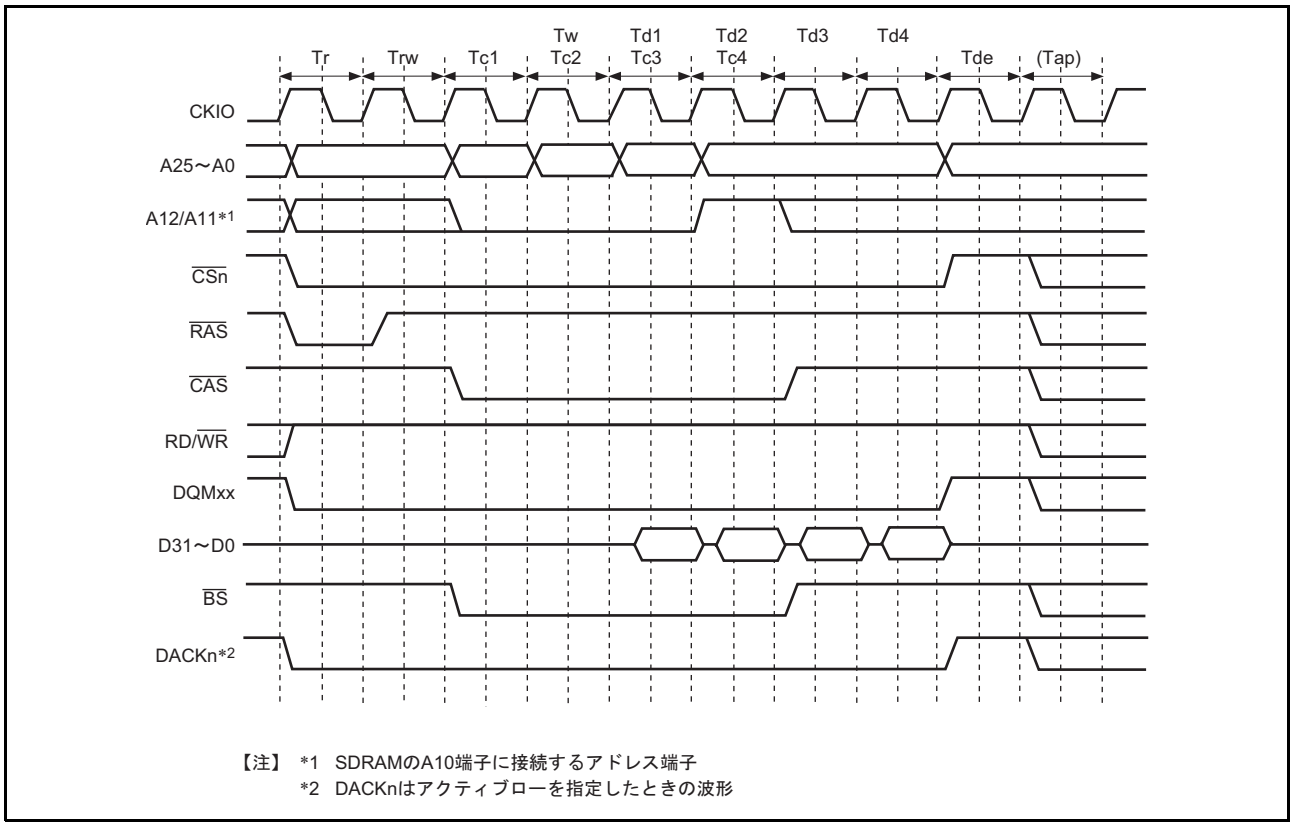
本 LSI では、様々な周波数で SDRAM と接続するために CS3WCR の各ビットを設定することによりウェイトサイクルを挿入することができます。各種ウェイトの設定を行った例が**図 8.17** となります。ACTV コマンド出力サイクル Tr から READ コマンド出力サイクル Tc1 までのサイクル数は、CS3WCR の WTRCD[1:0] によって指定することができます。WTRCD[1:0] の設定が 1 サイクル以上の場合は、Tr サイクルと Tc1 サイクルの間に NOP コマンド発行サイクル Trw サイクルが挿入されます。READ コマンド出力サイクル Tc1 からリードデータ取り込みサイクル Td1 までのサイクル数は、CS2WCR の A2CL[1:0] ビットおよび CS3WCR の A3CL[1:0] ビットによって CS2 と CS3 の空間でそれぞれ独立に指定することができます。このサイクル数は、SDRAM の CAS レイテンシに相当します。SDRAM の CAS レイテンシの仕様は 3 サイクルまでですが、本 LSI では、1 サイクルから 4 サイクルまで設定できます。これは、本 LSI と SDRAM の間にラッチを含む回路を設けて接続するためのものです。

Tde サイクルは、本 LSI 内部にリードデータを転送するために必要なアイドルサイクルで、バーストリード、シングルリード時に必ず 1 サイクル発生します。



【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.16　バーストリード基本タイミング（CAS レイテンシ 1、オートプリチャージ）



【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.17　バーストリードウェイト指定タイミング
（CAS レイテンシ 2、WTRCD[1:0] ＝ 1 サイクル、オートプリチャージ）

(4)　シングルリード

データバス幅がアクセスサイズ以上のときは、リードアクセスは 1 回で終了します。SDRAM は、バースト長 1 のバーストリードに設定しているので必要なデータのみ出力します。1 回で終了するリードアクセスをシングルリードと呼びます。

シングルリードの基本タイミングチャートを図 8.18 に示します。

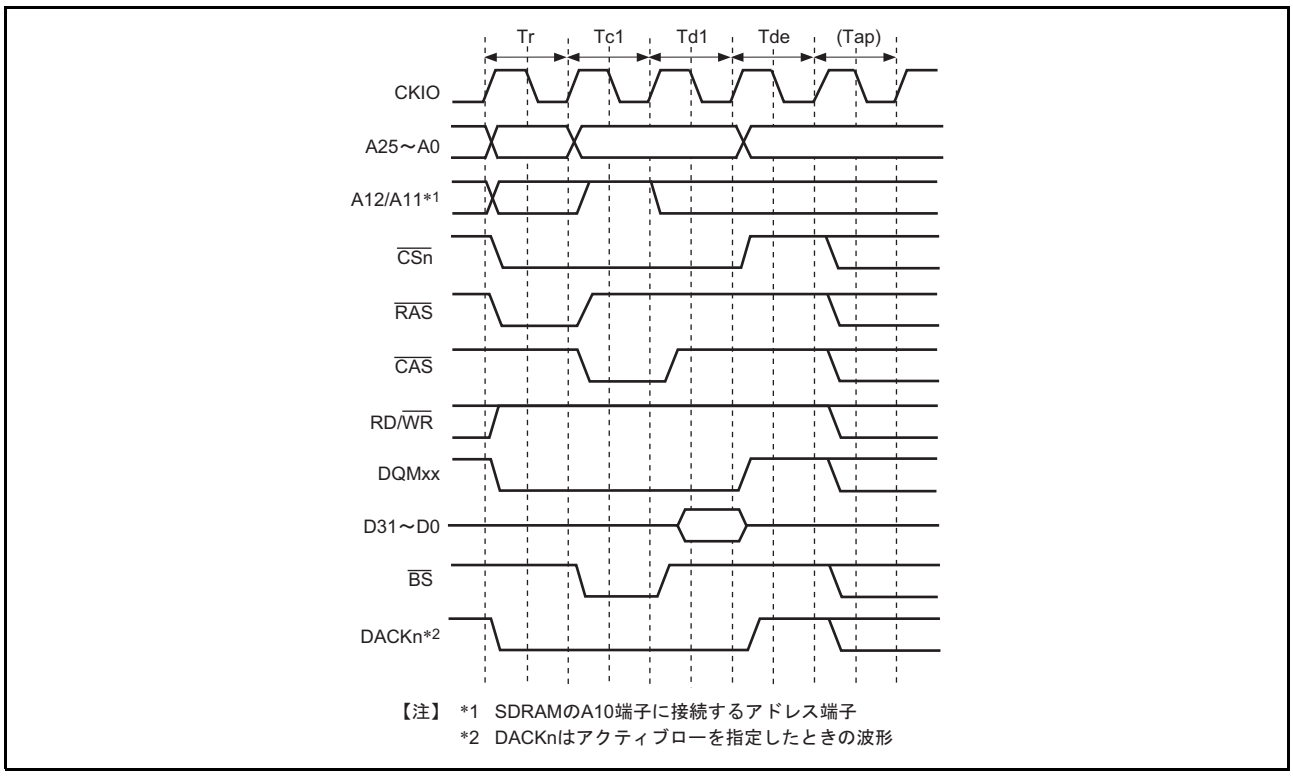


図 8.18　　シングルリードの基本タイミング（CAS レイテンシ 1、オートプリチャージ）

(5) バーストライト

本 LSI でバーストライトが発生する条件は、以下のとおりです。

1. データバス幅よりもライトのアクセスサイズが大きいとき
2. 16 バイト転送、32 バイト転送、64 バイト転送のとき

本 LSI は、SDRAM に対し常にバースト長 1 でアクセスします。たとえば、16 ビットのデータバスに接続された SDRAM から連続して 16 バイト分のデータを書き込むときは、バースト長 1 のライトを 8 回連続して行います。このときのアクセスをバースト数 8 のバーストライトと呼びます。アクセスサイズとバースト数の関係は、**表 8.14** に従います。**図 8.19** にバーストライト時のタイミングチャートを示します。バーストライトでは ACTV コマンド出力を行う Tr サイクルに続いて WRIT コマンドを Tc1、Tc2、Tc3 サイクルに、オートプリチャージを行う WRITA コマンドを Tc4 サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンド出力後は、オートプリチャージが起動されるまでの時間を待つ Trw1 サイクル、そしてオートプリチャージの完了を待つ Tap サイクルが続きます。Tap サイクルは SDRAM 内部で WRITA コマンドによるオートプリチャージの完了を待つサイクルです。Trwl サイクルおよび Tap サイクルの間は同一のバンクに対して新たなコマンドの発行は行いません。ただし、別の CS 空間や同じ SDRAM の異なるバンクに対するアクセスは可能です。Trw1 サイクルは CS3WCR の TRWL[1:0] ビットおよび Tap サイクルは CS3WCR の WTRP[1:0] ビットの指定で決定されます。

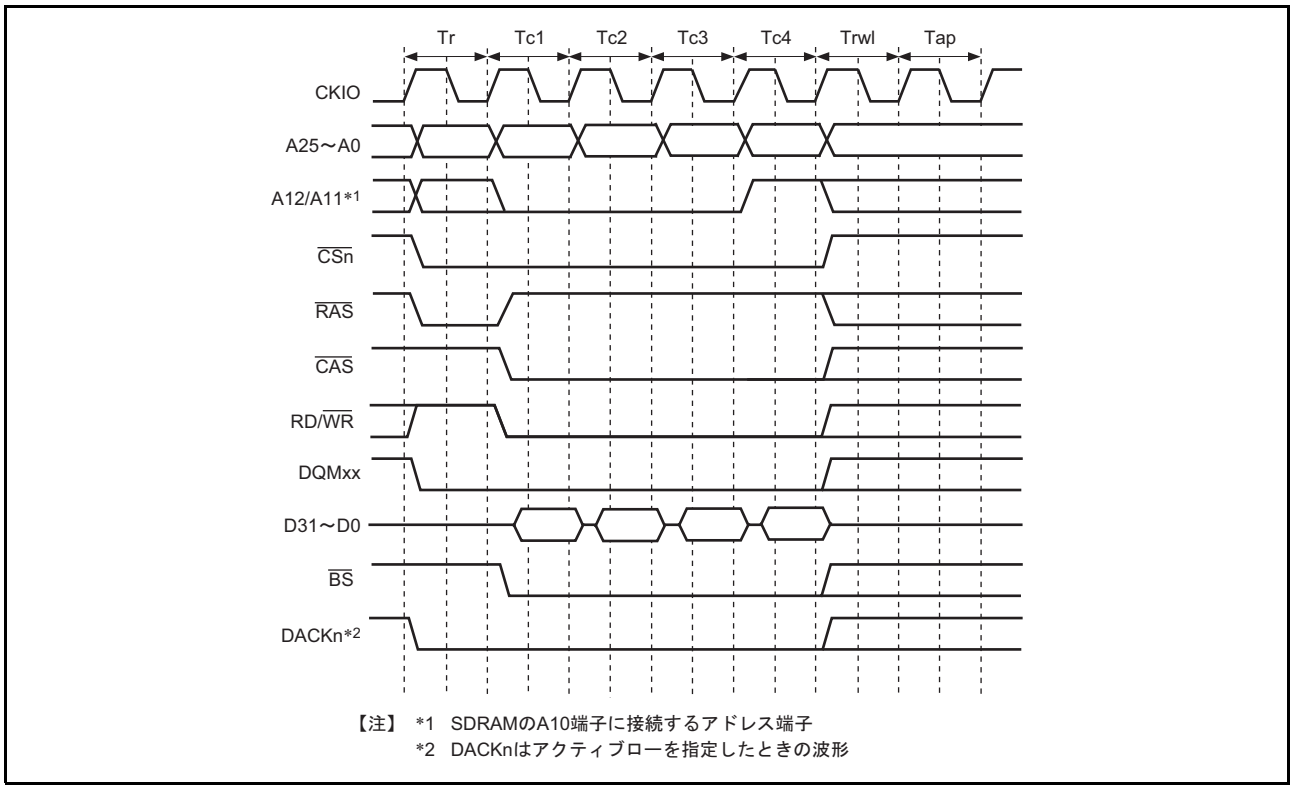


図 8.19　バーストライト基本タイミング（オートプリチャージ）

(6) シングルライト

データバス幅がアクセスサイズ以上のときは、ライトアクセスは 1 回で終了します。SDRAM は、シングルライトまたはバースト長 1 のバーストライトに設定しているので、必要なデータのみライトされます。1 回で終了するライトアクセスをシングルライトと呼びます。シングルライトの基本タイミングチャートを図 8.20 に示します。

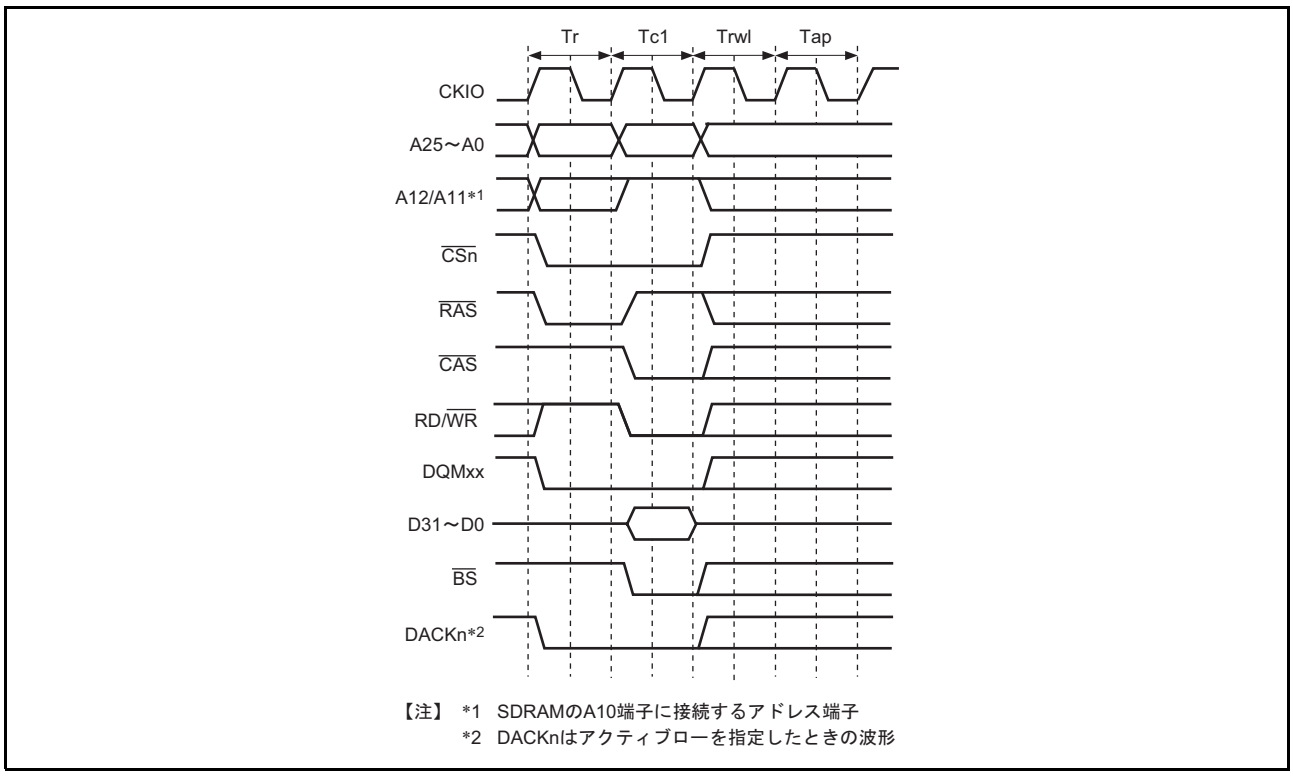


図 8.20　シングルライト基本タイミング（オートプリチャージ）

(7) バンクアクティブ

同一のロウアドレスに対するアクセスを高速実行するため、SDRAM のバンク機能を使用することができます。SDCR の BACTV ビットが 1 の場合は、オートプリチャージなしのコマンド（READ または WRIT）を使用してアクセスを行います。これをバンクアクティブ機能といいます。ただし、バンクアクティブ機能が有効なのは、エリア 3 に対してのみです。エリア 3 をバンクアクティブモードに設定している場合は、エリア 2 空間は通常空間またはバイト選択付き SRAM に設定してください。エリア 2 およびエリア 3 の両空間を SDRAM 設定とする場合は、オートプリチャージモードとしてください。

バンクアクティブ機能を用いた場合は、アクセスが終了してもプリチャージは行われません。同じバンクの同じロウアドレスにアクセスする場合は、ACTV コマンドを発行せずに、ただちに READ または WRIT コマンドを発行することができます。SDRAM の内部は複数のバンクに分かれているので、それぞれのバンクで 1 つずつのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順に発行します。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまう可能性があります。PRE コマンド発行から ACTV コマンド発行までのサイクル数は、CS3WCR の WTRP[1:0] ビットで指定します。

書き込みの場合は、オートプリチャージを行うと、WRITA コマンド発行後 Trwl ＋ Tap サイクルの間同一バンクに対してコマンドを発行できません。バンクアクティブモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、1 つの書き込みごとに Trwl ＋ Tap サイクルだけサイクル数を短縮することができます。

各バンクをアクティブ状態にしておける時間（tRAS）には、制限があります。プログラムの実行によって、この制限を守る周期で異なるロウアドレスにアクセスする保証がない場合には、リフレッシュ周期を tRAS 以下に設定する必要があります。

図 8.21 にオートプリチャージのないバーストリードサイクルを、**図 8.22** には同一のロウアドレスに対するバーストリードサイクルを、**図 8.23** には異なるロウアドレスに対するバーストリードサイクルを示します。同様に、**図 8.24** にオートプリチャージのないシングルライトサイクルを、**図 8.25** に同一のロウアドレスに対するシングルライトサイクルを、**図 8.26** には異なるロウアドレスに対するシングルライトサイクルを示します。

図 8.22 において READ コマンドを発行する Tc サイクルに先立って、何も行わない Tnop サイクルが挿入されています。これは SDRAM からのデータリード時に、読み出しバイト指定を行う DQMxx 信号について、2 サイクルのレイテンシを守るために挿入されています。CAS レイテンシが 2 以上の場合には、Tc サイクル以降に DQMxx 信号をアサートしても 2 サイクルのレイテンシが守られるので、Tnop サイクルの挿入は行われません。

バンクアクティブ機能が設定されている空間のそれぞれのバンクに対するアクセスのみを見た場合は、同一のロウアドレスに対するアクセスが続くかぎり、**図 8.21** または**図 8.24** で始まり、**図 8.22** または**図 8.25** を繰り返します。間に別の空間や別のバンクに対するアクセスがあっても影響しません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合は、**図 8.22** または**図 8.25** の代わりに**図 8.23** または**図 8.26** のバスサイクルを行います。バンクアクティブモードでも、リフレッシュサイクルの後は、すべてのバンクが非アクティブな状態になります。

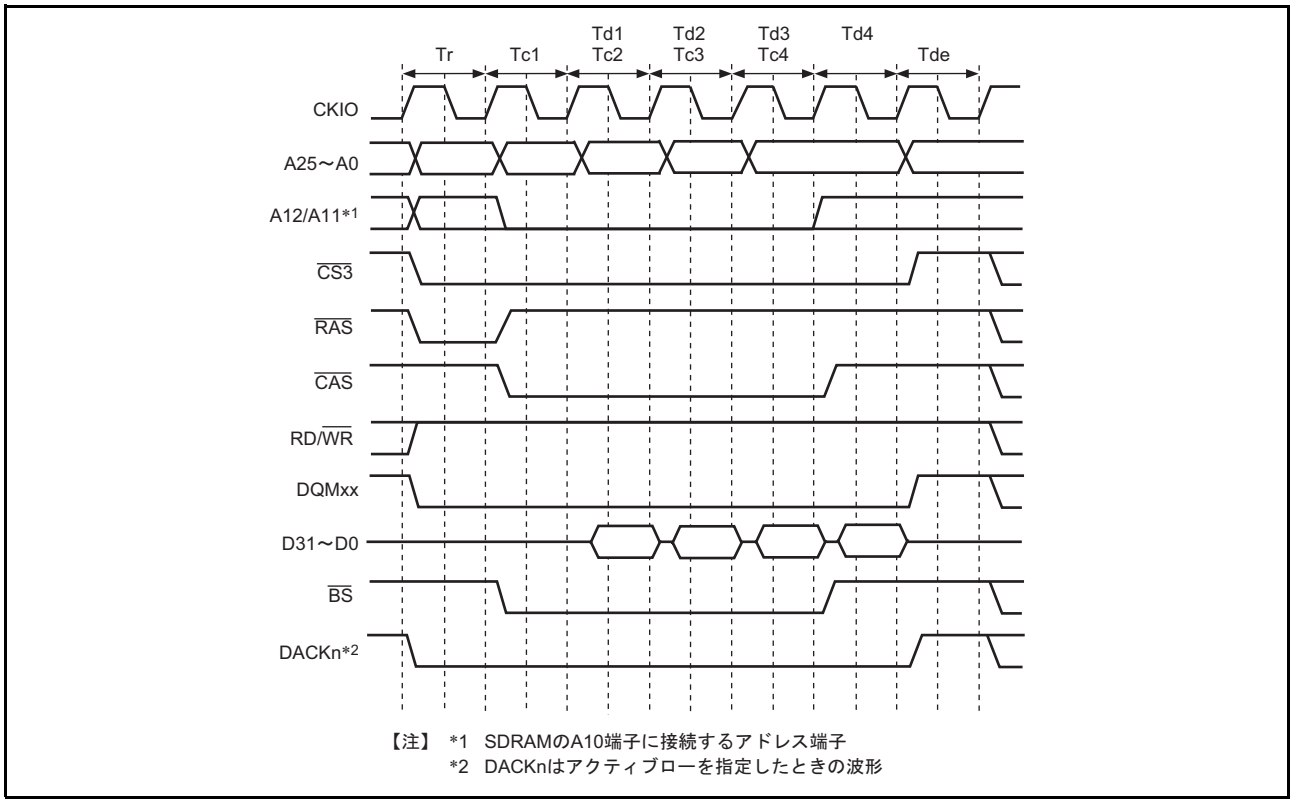


図 8.21　バーストリードタイミング（バンクアクティブ、異なるバンク、CAS レイテンシ 1）

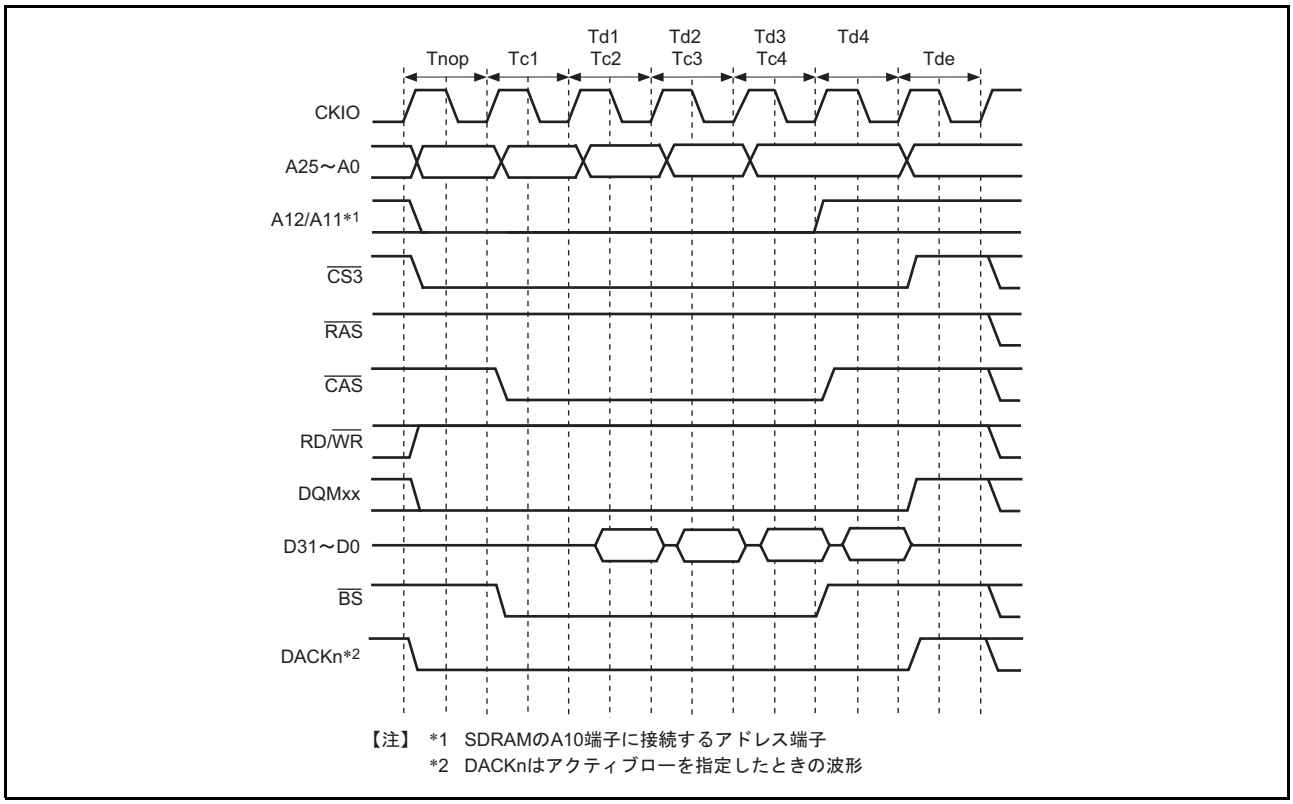


図 8.22　バーストリードタイミング（バンクアクティブ、同一バンクで同一ロウアドレス、CAS レイテンシ 1）

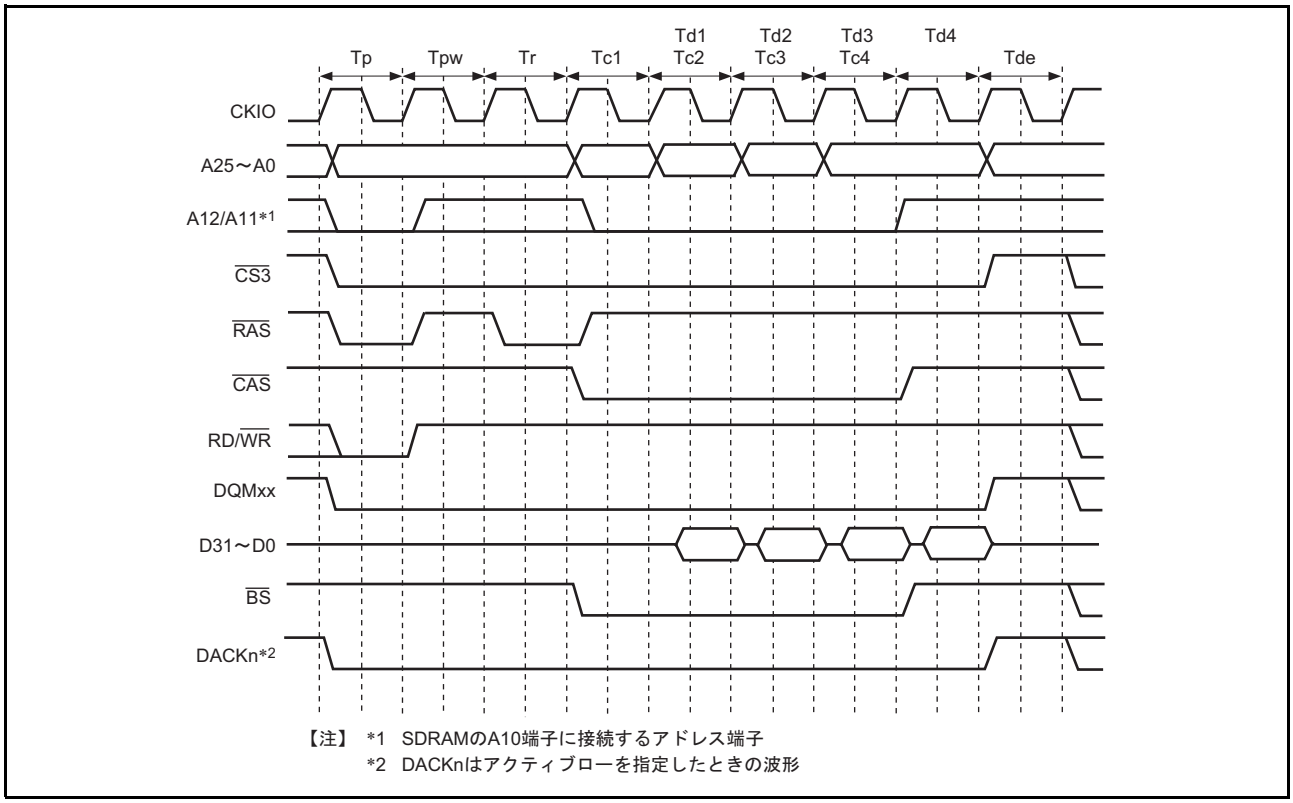


図 8.23　バーストリードタイミング
（バンクアクティブ、同一バンクで異なるロウアドレス、CAS レイテンシ 1）

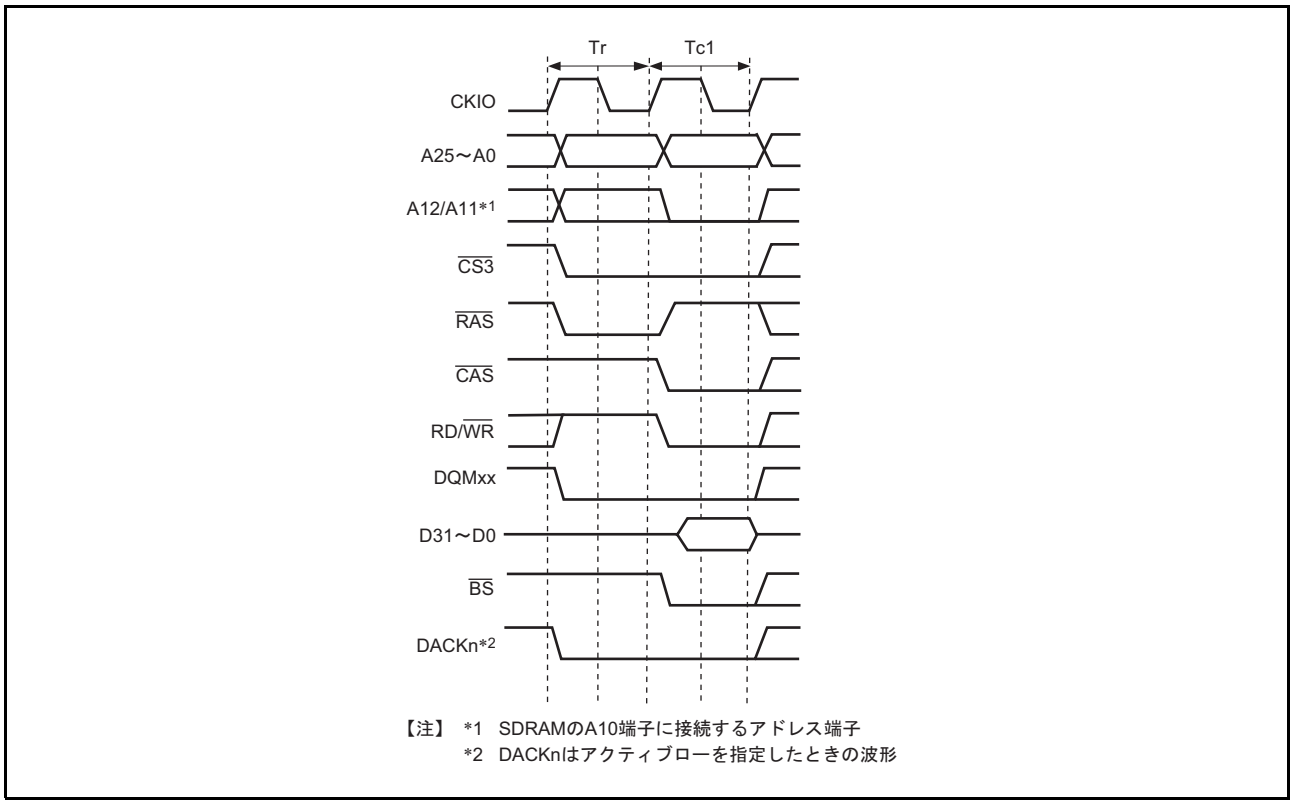
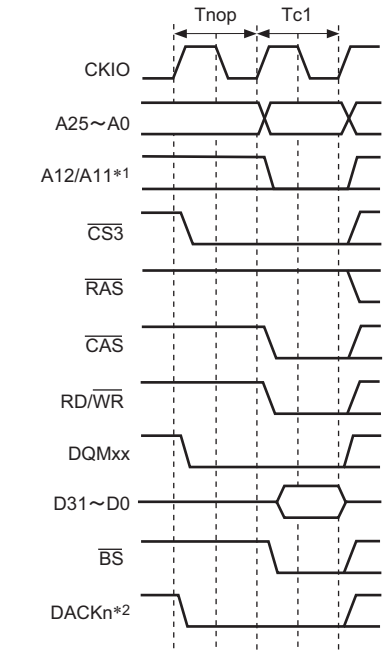
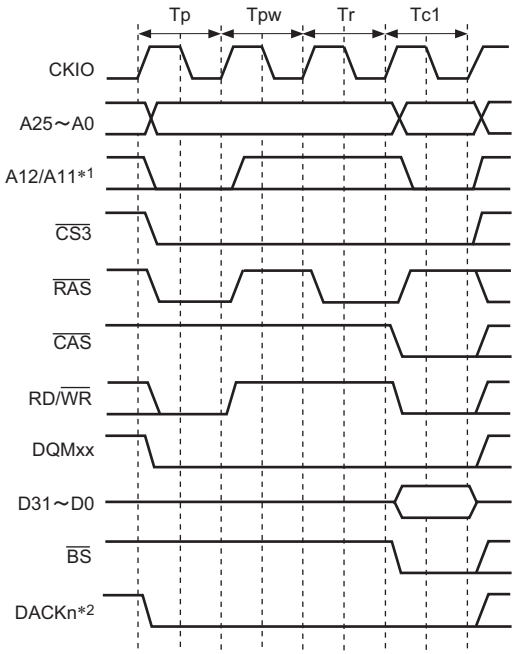


図 8.24　シングルライトタイミング（バンクアクティブ、異なるバンク）



【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.25　シングルライトタイミング（バンクアクティブ、同一バンクで同一ロウアドレス）



【注】 *1 SDRAMのA10端子に接続するアドレス端子
*2 DACKnはアクティブローを指定したときの波形

図 8.26　シングルライトタイミング（バンクアクティブ、同一バンクで異なるロウアドレス）

(8)　リフレッシュ

本モジュールは、SDRAM のリフレッシュを制御する機能を備えています。SDCR の RFSH ビットを 1 に、RMODE ビットを 0 に設定することによって、オートリフレッシュを行うことができます。また、RTCSR の RRC[2:0] ビットを設定することにより、連続してリフレッシュを発生させることができます。さらに、長時間 SDRAM にアクセスしないときは、RFSH ビットと RMODE ビットをともに 1 にすることによって、消費電力が少ないセルフリフレッシュを起動することができます。

(a)　オートリフレッシュ

RTCSR の CKS[2:0] ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔で RTCSR の RRC[2:0] ビットに設定した回数のリフレッシュが行われます。使用する SDRAM のリフレッシュ間隔規定を満たすように、各レジスタの設定を行ってください。最初に RTCOR、RTCNT、SDCR の RFSH ビット、および RMODE ビットの設定を行い、次いで RTCSR の CKS[2:0] ビットおよび、RRC[2:0] ビットの設定を行ってください。CKS[2:0] ビットによって入力クロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、RRC[2:0] ビットに設定された回数のオートリフレッシュが実行されます。同時に RTCNT は 0 にクリアされ、カウントアップが再開されます。

図 8.27 にオートリフレッシュサイクルのタイミングを示します。オートリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、すべてのバンクをアクティブ状態からプリチャージ状態にするため、Tp サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定された数のアイドルサイクル挿入後、REF コマンドを Trr サイクルに発行します。Trr サイクル後 CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間は、新たなコマンドの発行は行いません。SDRAM のリフレッシュサイクル時間の規定（tRC）を満たすように WTRC[1:0] ビットを設定する必要があります。CS3WCR の WTRP[1:0] ビットの設定値が 1 サイクル以上の場合は、Tp サイクルと Trr サイクルの間にアイドルサイクルが挿入されます。

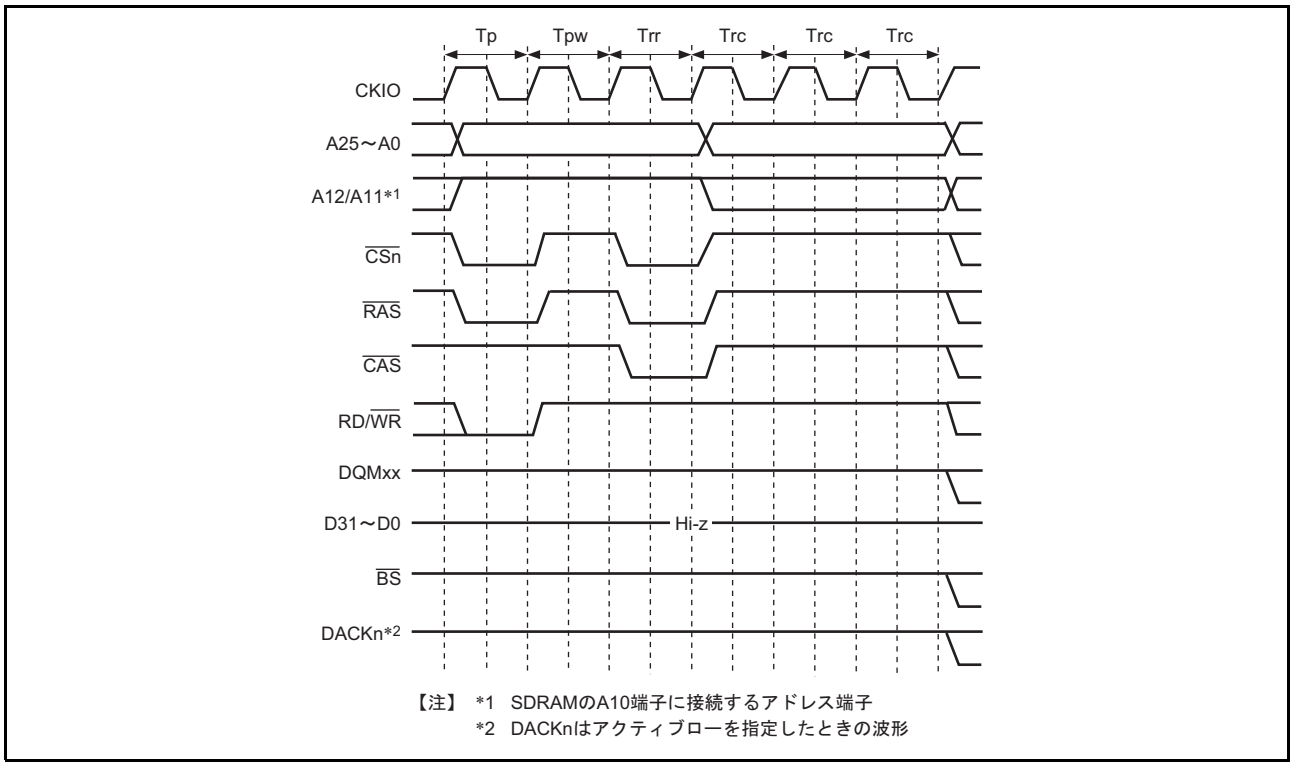


図 8.27　オートリフレッシュタイミング

(b)　セルフリフレッシュ

セルフリフレッシュは、SDRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。SDCR の RFSH ビットと RMODE ビットをともに 1 にすることによって起動します。セルフリフレッシュが起動されると、プリチャージ中のバンクがある場合は、その完了を待った後、Tp サイクルで PALL コマンドを発行します。次いで、CS3WCR の WTRP[1:0] ビットで設定されたアイドルサイクルを挿入後、SELF コマンドを発行します。セルフリフレッシュ状態の間は、SDRAM にアクセスすることができません。セルフリフレッシュの解除は、RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、CS3WCR の WTRC[1:0] ビットで指定されるサイクル数の間はコマンドの発行を行いません。

セルフリフレッシュのタイミングを**図 8.28** に示します。セルフリフレッシュ解除後、ただちにオートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合は、セルフリフレッシュ解除時に RFSH ＝ 1、RMODE ＝ 0 とすれば、オートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、（RTCOR の値－ 1）を RTCNT に設定することにより、ただちにオートリフレッシュを開始することができます。

セルフリフレッシュに設定した後は、本 LSI をスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、割り込みによるスタンバイ状態からの復帰後もセルフリフレッシュ状態が保持されます。ただし、CMNCR レジスタの HIZCNT ビットを 1 に設定し、スタンバイ状態でも CKE 他端子をドライブする必要があります。

パワーオンリセットの場合には、本モジュールのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

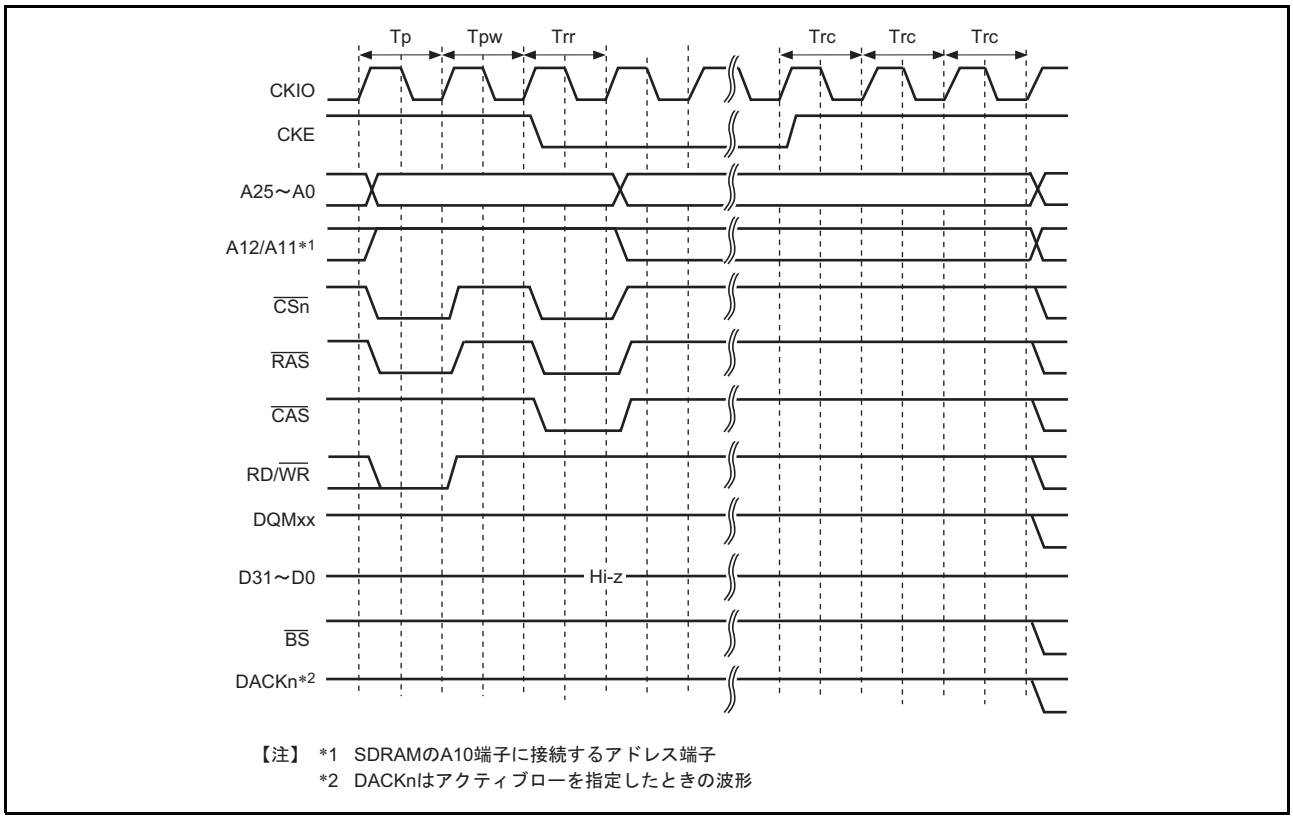


図 8.28　　セルフリフレッシュタイミング

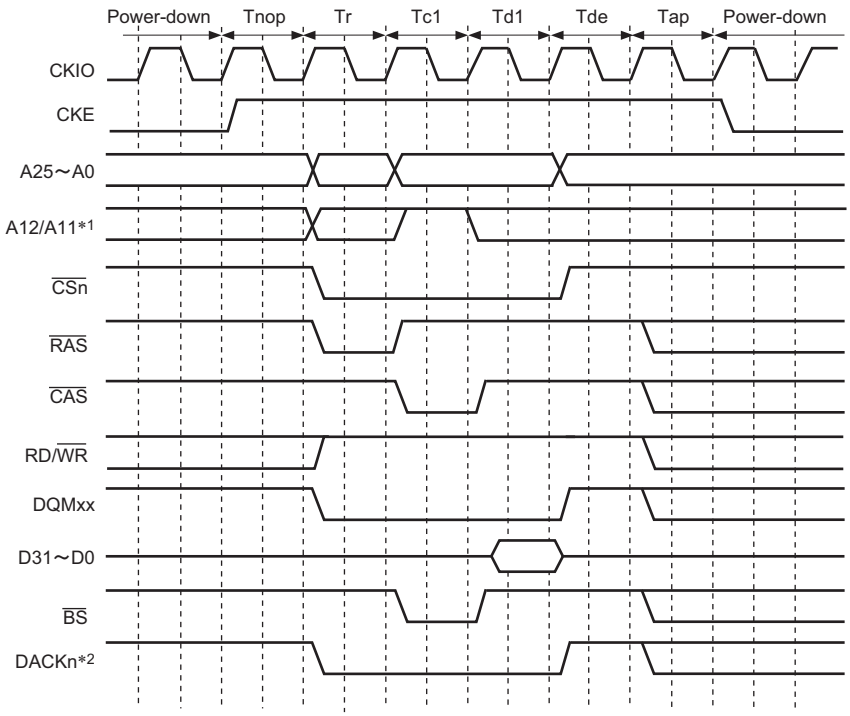
(9)　リフレッシュ要求とバスサイクルの関係

バスサイクル実行中にリフレッシュ要求が発生した場合は、リフレッシュの実行はバスサイクルの完了まで待たされます。

リフレッシュの実行を待たされている状態で新たなリフレッシュ要求が発生した場合には、前のリフレッシュ要求は消滅します。リフレッシュを正しく行うためには、リフレッシュ間隔よりも長いバスサイクルが起こらないようにする必要があります。

(10) パワーダウンモード

SDCR の PDOWN ビットを 1 に設定すると、非アクセス時には CKE を L レベルにして SDRAM をパワーダウンモードに遷移させます。これにより非アクセス時の消費電力を大幅に抑えることができます。ただし、アクセス発生時には SDRAM のパワーダウンモードを解除するために CKE をアサートするサイクルが挿入されるため、1 サイクルのオーバヘッドが発生します。図 8.29 にパワーダウンモードでのアクセスタイミングを示します。



【注】 *1　SDRAMのA10端子に接続するアドレス端子
*2　DACKnはアクティブローを指定したときの波形

図 8.29　　パワーダウンモードでのアクセスタイミング

(11) パワーオンシーケンス

SDRAM を使用するためには、パワーオン後、使用する SDRAM で規定されたポーズ期間の後に、SDRAM に対してモード設定を行う必要があります。ポーズ間隔は、パワーオンリセット生成回路またはソフトウェアなどで実現してください。

SDRAM の初期化を正しく行うためには、まず本モジュールのレジスタを設定した後、SDRAM のモードレジスタに対する書き込みを行います。SDRAM のモードレジスタの設定は $\overline{CSn}$、$\overline{RAS}$、$\overline{CAS}$、および RD/$\overline{WR}$ の組み合わせで、その時点のアドレス信号の値が SDRAM に取り込まれます。設定したい値を X とすると X ＋（エリア 2 : H'3FFFD000、エリア 3 : H'3FFFE000 番地）に 16 ビットライトを行うことによって、値 X が SDRAM 内のモードレジスタに書き込まれます。このときライトデータは、無視されます。本 LSI でサポートしているバーストリード／シングルライト（バースト長 1）またはバーストリード／バーストライト（バースト長 1）、CAS レイテンシ 2 ～ 3、ラップタイプ＝シーケンシャル、およびバースト長 1 を設定するには、表 8.15 に示すアクセスアドレスに任意のデータを 16 ビットライトします。このとき、外部アドレス端子の A12 以上のビットには 0 が出力されます。

表 8.15　SDRAM モードレジスタライト時のアクセスアドレス

- エリア 2 設定

バーストリード／シングルライト（バースト長 1）の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'3FFFD440	H'0000440
	3	H'3FFFD460	H'0000460
32 ビット	2	H'3FFFD880	H'0000880
	3	H'3FFFD8C0	H'00008C0

バーストリード／バーストライト（バースト長 1）の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'3FFFD040	H'0000040
	3	H'3FFFD060	H'0000060
32 ビット	2	H'3FFFD080	H'0000080
	3	H'3FFFD0C0	H'00000C0

- エリア 3 設定

バーストリード／シングルライト（バースト長 1）の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'3FFFE440	H'0000440
	3	H'3FFFE460	H'0000460
32 ビット	2	H'3FFFE880	H'0000880
	3	H'3FFFE8C0	H'00008C0

バーストリード／バーストライト（バースト長 1）の場合

データバス幅	CAS レイテンシ	アクセスアドレス	外部アドレス端子
16 ビット	2	H'3FFFE040	H'0000040
	3	H'3FFFE060	H'0000060
32 ビット	2	H'3FFFE080	H'0000080
	3	H'3FFFE0C0	H'00000C0

モードレジスタ設定タイミングを図 8.30 に示します。まず全バンクプリチャージコマンド（PALL）を発行し、次いでオートリフレッシュコマンド（REF）を 8 回発行します。そして最後に、モードレジスタ書き込みコマンド（MRS）を発行します。PALL と 1 回目の REF の間に CS3WCR の WTRP[1:0] ビットに設定した数のアイドルサイクルが挿入され、REF と REF および、8 回目の REF と MRS の間に CS3WCR の WTRC[1:0] ビットに設定した数のアイドルサイクルが挿入されます。また、MRS と次に発行するコマンドの間に 1 サイクル以上のアイドルサイクルが挿入されます。

SDRAM は全バンクプリチャージ（PALL）に先立って、電源投入後に一定のアイドル時間を確保しなければなりません。必要なアイドル時間は、SDRAM のマニュアルを参照してください。リセット信号のパルス幅がこのアイドル時間より長い場合には、ただちにモードレジスタの設定を行っても問題ありませんが、短い場合は注意する必要があります。

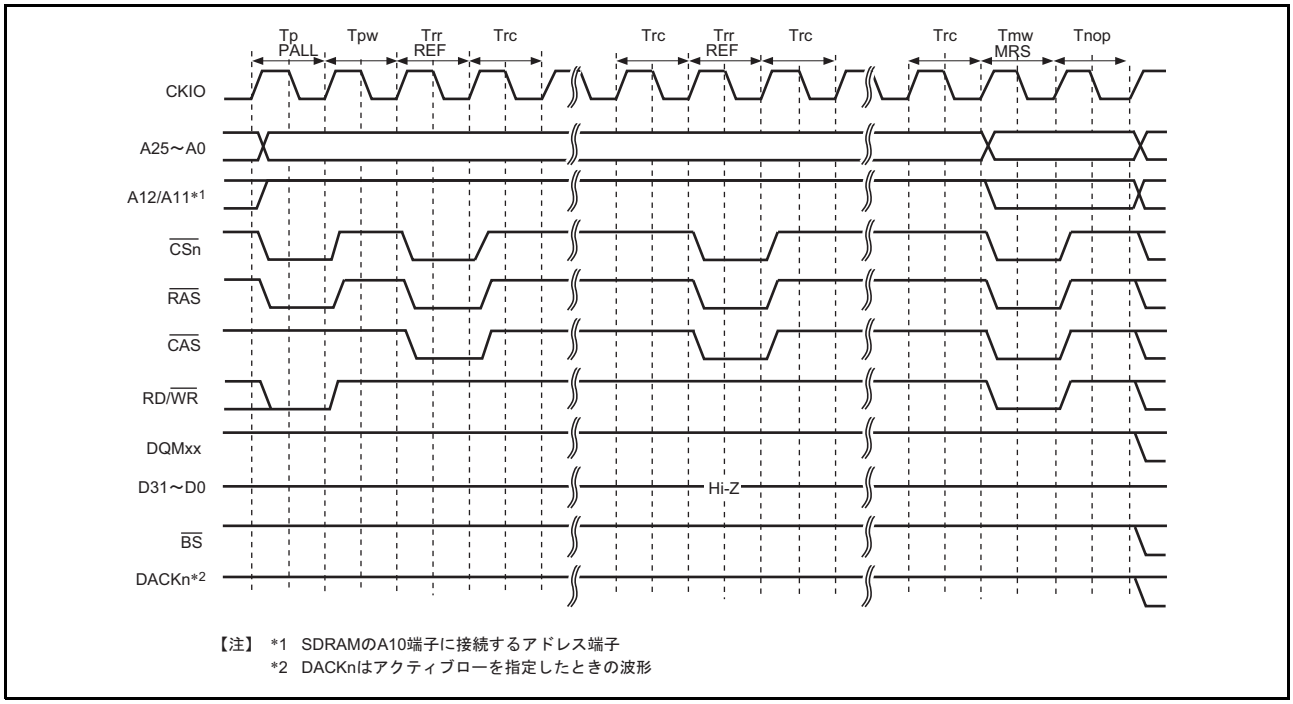


図 8.30　SDRAM モードレジスタ書き込みタイミング（JEDEC 準拠）

(12) ローパワー SDRAM

ローパワー SDRAM は、通常の SDRAM と同様のプロトコルによりアクセス可能なメモリです。

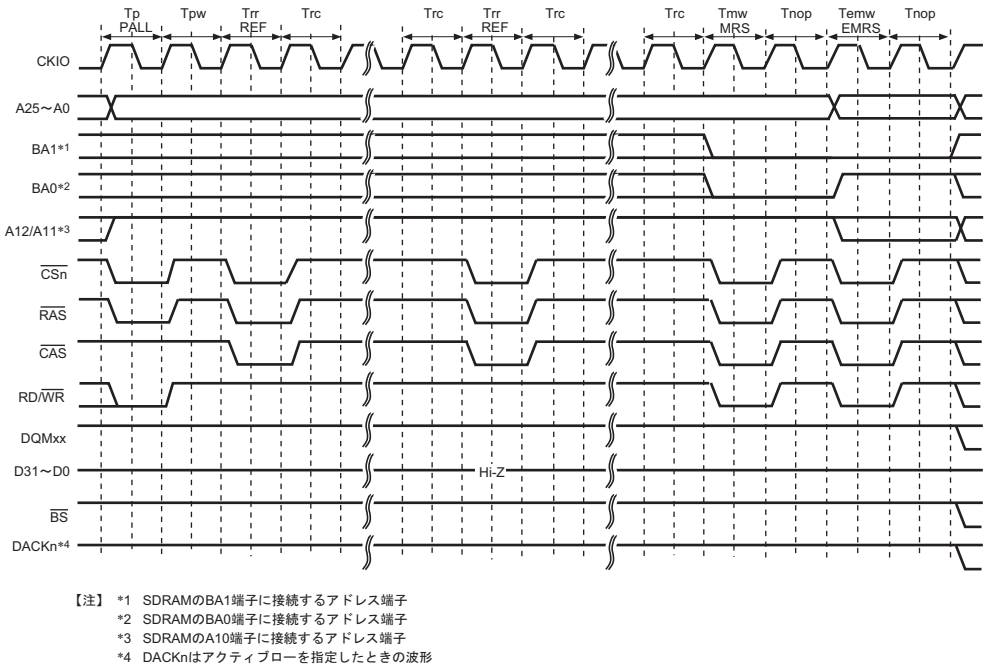
ローパワー SDRAM と通常 SDRAM の仕様上の相違点は、セルフリフレッシュ時にメモリの一部のみセルフリフレッシュ状態にするパーシャルリフレッシュや、ユーザの使用条件（温度）によるリフレッシュ時の低電力化を行うなどの制御を細やかに設定できることです。パーシャルリフレッシュは、ある特定の領域以外はワークエリアでデータが失われても問題ないシステムに有効です。詳細は、ご使用になるローパワー SDRAM のデータシートを参照してください。

ローパワー SDRAM には、通常の SDRAM と同じモードレジスタに加え拡張モードレジスタを備えています。拡張モードレジスタ書き込みコマンドは EMRS と呼ばれ、本 LSI では EMRS コマンド発行をサポートしています。

EMRS 発行は、下記の表に従います。たとえば H'3FFFEXX0 に H'0YYYYYYY のデータを 32 ビットライトすると、CS3 空間に対して PALL → REF×8 → MRS → EMRS のシーケンスでコマンドを発行します。そして MRS 発行時のアドレスは H'0000XX0 に、および EMRS 発行時のアドレスは H'YYYYYYY になります。また H'3FFFEXX0 に H'1YYYYYYY のデータを 32 ビットライトすると、CS3 空間に対して PALL → MRS → EMRS のシーケンスでコマンドを発行します。

表 8.16　EMRS コマンド発行時の出力アドレス

発行コマンド	アクセスアドレス	アクセスデータ	ライトアクセスサイズ	MRS コマンド時発行アドレス	EMRS コマンド時発行アドレス
CS2　MRS	H'3FFFDXX0	H'********	16 ビット	H'0000XX0	--------
CS3　MRS	H'3FFFEXX0	H'********	16 ビット	H'0000XX0	--------
CS2　MRS ＋ EMRS（リフレッシュあり）	H'3FFFDXX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3　MRS+EMRS（リフレッシュあり）	H'3FFFEXX0	H'0YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS2　MRS ＋ EMRS（リフレッシュなし）	H'3FFFDXX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY
CS3　MRS+EMRS（リフレッシュなし）	H'3FFFEXX0	H'1YYYYYYY	32 ビット	H'0000XX0	H'YYYYYYY



【注】 *1 SDRAMのBA1端子に接続するアドレス端子
*2 SDRAMのBA0端子に接続するアドレス端子
*3 SDRAMのA10端子に接続するアドレス端子
*4 DACKnはアクティブローを指定したときの波形

図 8.31　EMRS コマンド発行タイミング

- ディープパワーダウンモード
  ローパワー SDRAM には、ディープパワーダウンモードという低消費電力モードもあります。
  パーシャルセルフリフレッシュが、ある特定領域のみセルフリフレッシュを行うのに対して、ディープパワーダウンモードではメモリ全体のセルフリフレッシュ動作を行いません。
  本モードは、メモリ全体を作業エリアとして用いるシステムに有効です。
  SDCR の DEEP ビットを 1、RFSH ビットを 1 に設定した状態で RMODE ビットに 1 を書き込むと、ローパワー SDRAM はディープパワーダウンモードに遷移します。RMODE ビットに 0 を書き込むと CKE がハイレベルとなりディープパワーダウンモードは解除されます。ディープパワーダウン解除後のアクセスは、パワーアップシーケンスをやり直してから行ってください。

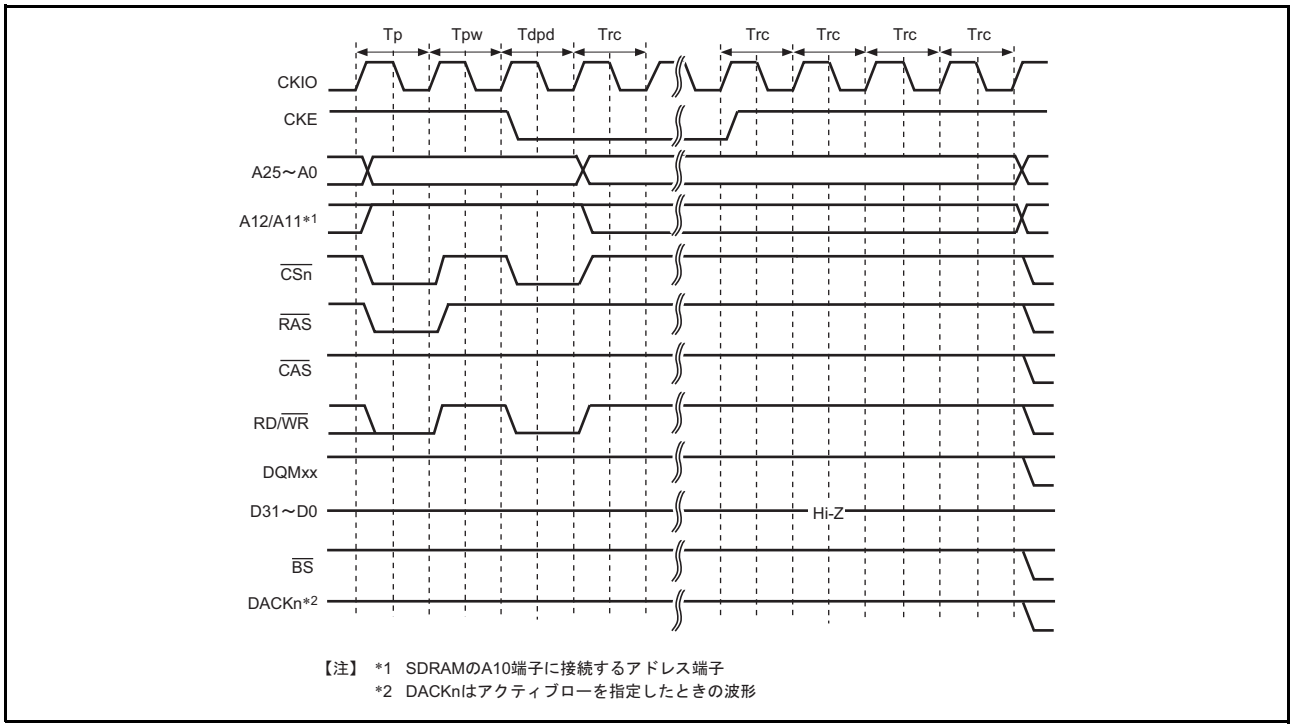


図 8.32　ディープパワーダウンモード遷移タイミング

8.5.7 バースト ROM（クロック非同期）インタフェース

バースト ROM（クロック非同期）インタフェースは、バーストモードあるいはページモードなどと呼ばれるアドレスの切り替えによって、高速に読み出しのできる機能を有するメモリをアクセスするためのものです。基本的には通常空間と同じようなアクセスを行いますが、最初のサイクルを終了する際に $\overline{RD}$ 信号のネゲートを行わず、アドレスのみを切り替えて、2 回目以降のアクセスを行います。2 回目以降のアクセスでは、アドレスの変化が CKIO の立ち下がりになります。

最初のアクセスサイクルに対しては、CSnWCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CSnWCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック非同期）アクセス時は、$\overline{BS}$ 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のアクセスサイクルにのみ有効です。

バースト ROM（クロック非同期）インタフェースでバースト動作を行わないシングルアクセスおよびライトアクセス時は、通常空間と同じアクセスタイミングになります。

表 8.17 にバス幅およびアクセスサイズとバースト数の関係を、**図 8.33** にタイムチャートを示します。

表 8.17　バス幅およびアクセスサイズとバースト数の関係

バス幅	アクセスサイズ	CSnWCR.BST[1:0] ビット	バースト数	アクセス回数
8 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	2	1
	32 ビット	影響なし	4	1
	16 バイト	00	16	1
		01	4	4
	32 バイト	00	16	2
		01	4	8
	64 バイト	00	16	4
		01	4	16
16 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	2	1
	16 バイト	00	8	1
		01	2	4
		10（注 1）	4	2
			2、4、2	3
	32 バイト	00	8	2
		01	2	8
		10（注 1）	4	4
			2、4、2	6
	64 バイト	00	8	4
		01	2	16
		10（注 1）	4	8
			2、4、2	12
32 ビット	8 ビット	影響なし	1	1
	16 ビット	影響なし	1	1
	32 ビット	影響なし	1	1
	16 バイト	影響なし	4	1
	32 バイト	影響なし	4	2
	64 バイト	影響なし	4	4

注 1.　バス幅 16 ビット、アクセスサイズ 16 バイト以上、CSnWCR.BST[1:0] が“10”の場合、アクセス先頭アドレスによってバースト数とアクセス回数が変わり、H'xxx0、H'xxx8 番地の場合 4-4 バースト、H'xxx4、H'xxxC 番地の場合 2-4-2 バーストアクセスとなります。

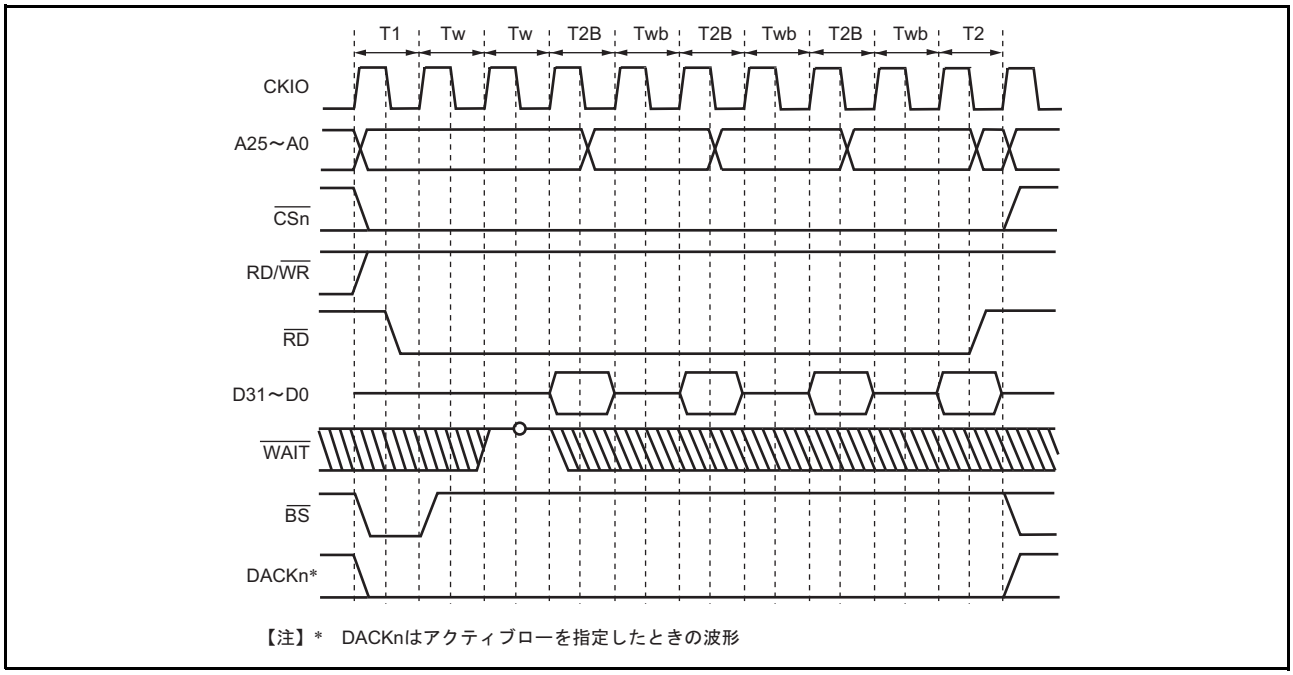


図 8.33　バースト ROM（クロック非同期）アクセス
（バス幅 32 ビット 16 バイト転送（バースト数 4）、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1）

8.5.8　バイト選択付き SRAM インタフェース

バイト選択付き SRAM インタフェースは、リードまたはライトいずれのバスサイクルでもバイト選択端子（$\overline{\text{WEn}}$）を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子を持ち、$\overline{\text{UB}}$ あるいは $\overline{\text{LB}}$ のような上位バイト選択端子および下位バイト選択端子のある SRAM をアクセスするためのものです。

CSnWCR の BAS ビットが 0（初期値）のとき、バイト選択付き SRAM インタフェースのライトアクセスタイミングは、通常空間インタフェースと同一です。一方、リード動作では、$\overline{\text{WEn}}$ 端子のタイミングが通常空間インタフェースと異なり、$\overline{\text{WEn}}$ 端子からバイト選択信号を出力します。図 8.34 に基本アクセスタイミングを示します。特にライト時は、バイト選択端子（$\overline{\text{WEn}}$）のタイミングでメモリに書き込まれます。ご使用になるメモリのデータシートをご確認ください。

CSnWCR の BAS ビットが 1 のとき、$\overline{\text{WEn}}$ 端子と RD/$\overline{\text{WR}}$ 端子のタイミングが変化します。図 8.35 に基本アクセスタイミングを示します。特にライト時は、ライトイネーブル端子（RD/$\overline{\text{WR}}$）のタイミングでメモリに書き込まれます。RD/$\overline{\text{WR}}$ のネゲートタイミングからのライトデータのホールドタイミングは、CSnWCR の HW[1:0] ビットを設定することにより確保してください。図 8.36 にソフトウェイト設定時のアクセスタイミングを示します。

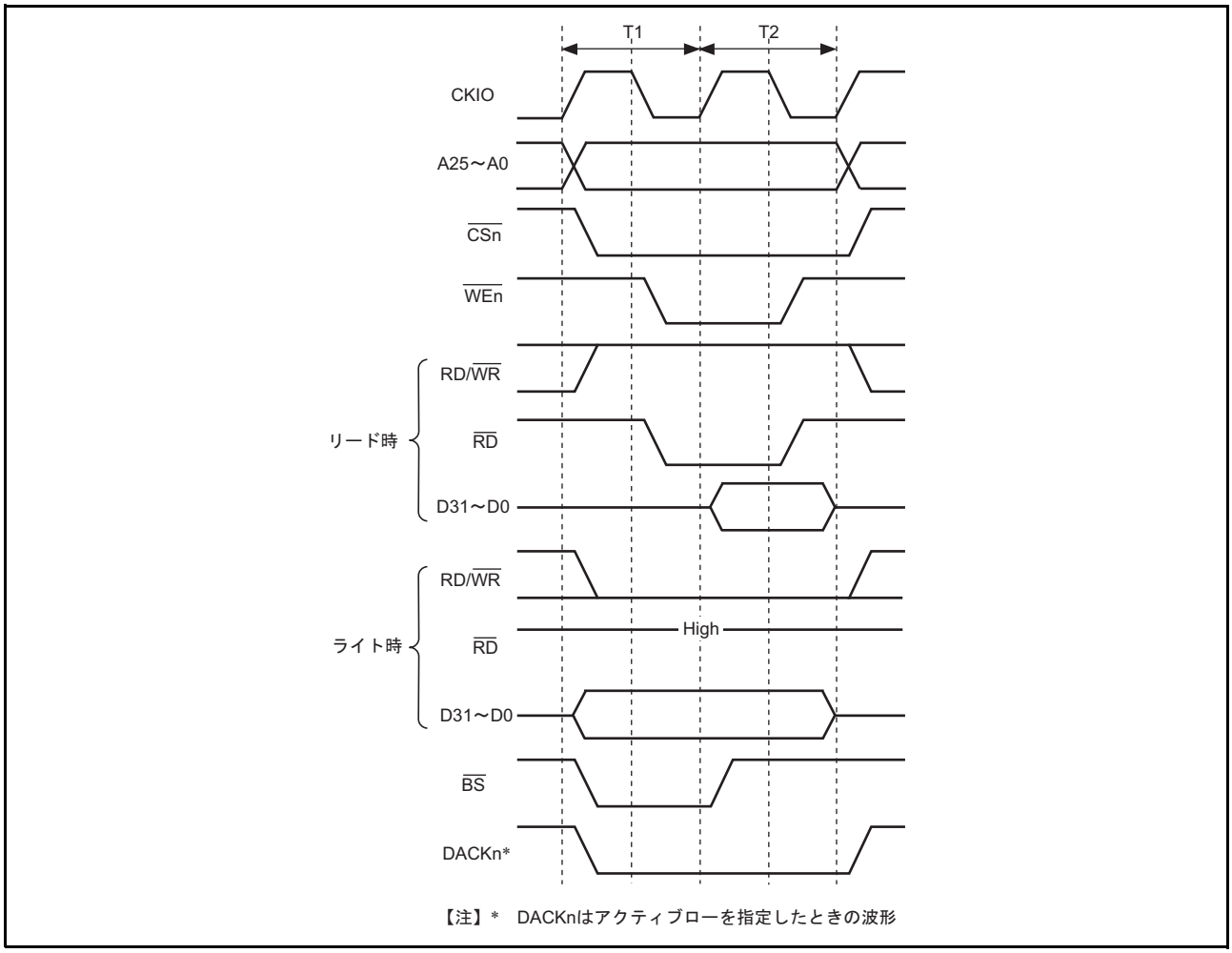


図 8.34　BAS=0、バイト選択付き SRAM 基本アクセスタイミング

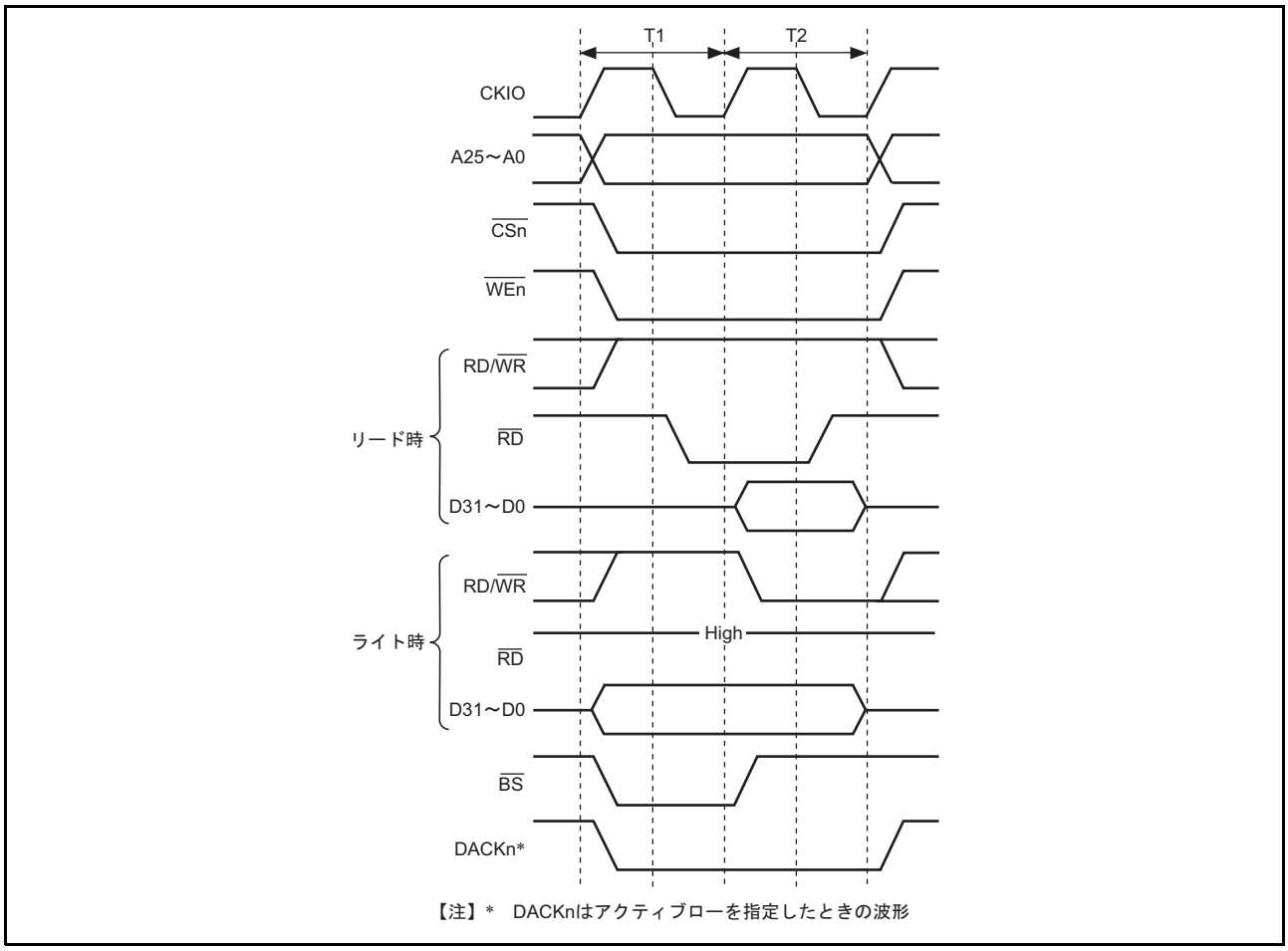


図 8.35　BAS=1、バイト選択付き SRAM 基本アクセスタイミング

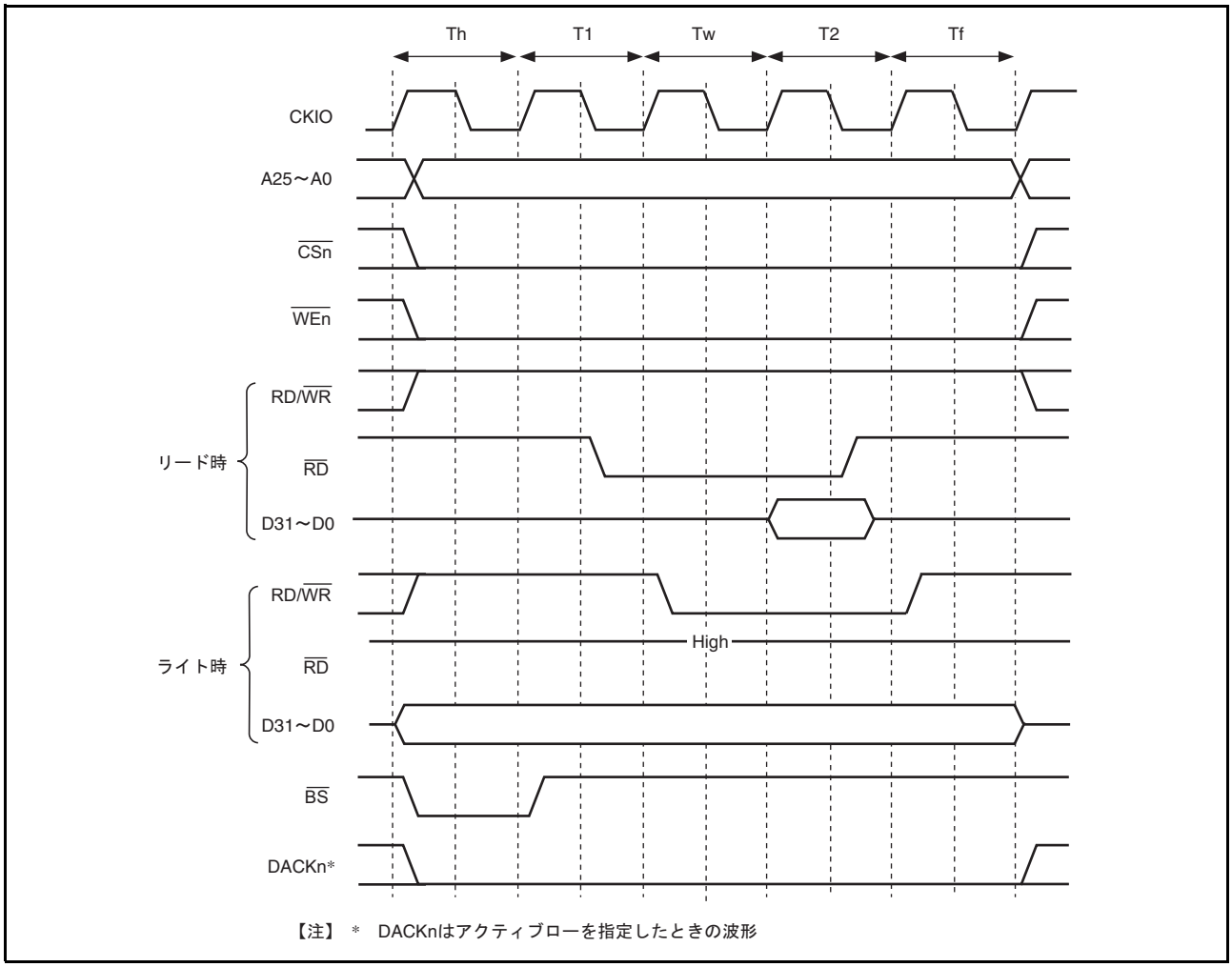


図 8.36　BAS=1、バイト選択付き SRAM ウェイトタイミング
（SW[1:0] ＝ 01、WR[3:0] ＝ 0001、HW[1:0] ＝ 01）

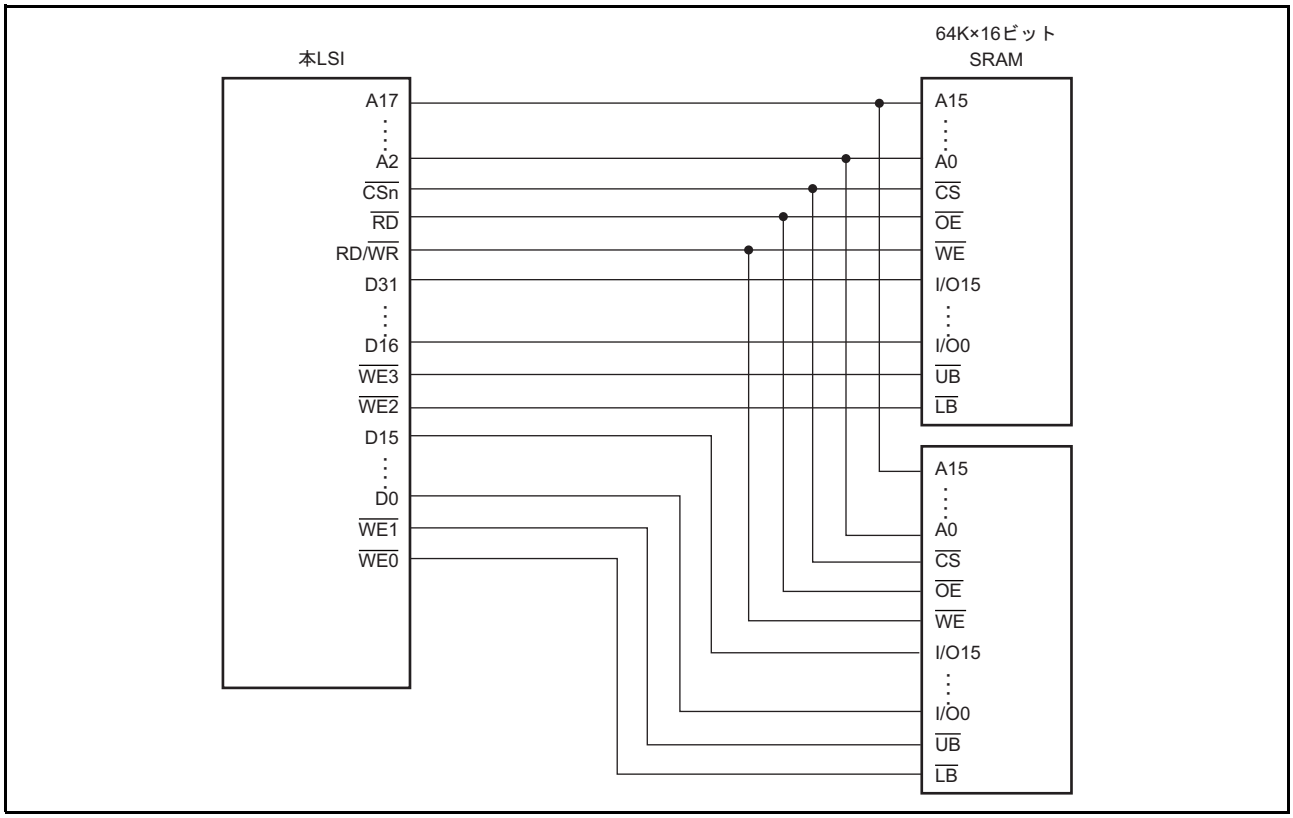


図 8.37　32 ビットデータ幅バイト選択付き SRAM 接続例

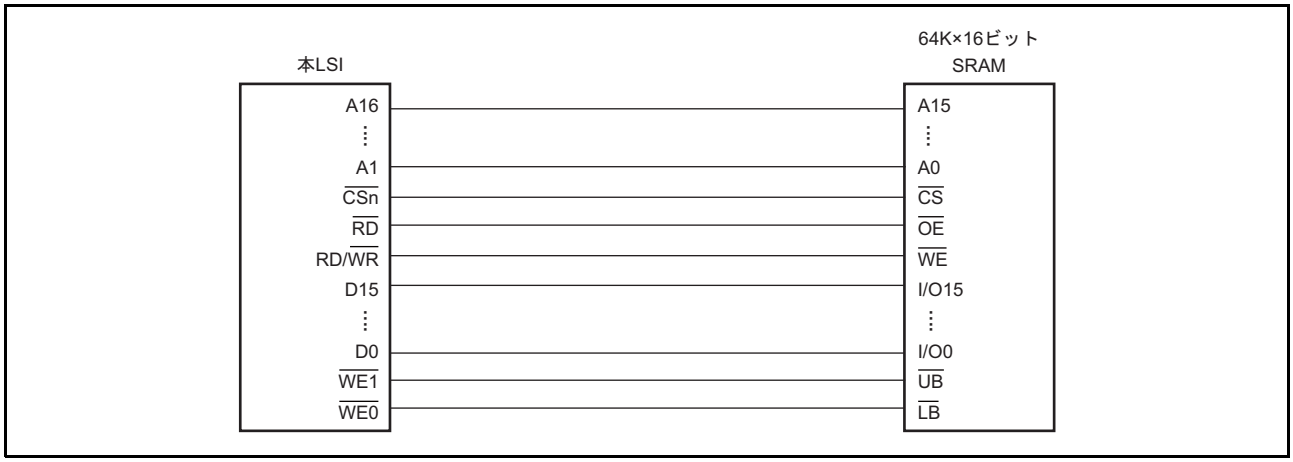


図 8.38　16 ビットデータ幅バイト選択付き SRAM 接続例

8.5.9　バースト ROM（クロック同期）インタフェース

バースト ROM（クロック同期）インタフェースは、シンクロナスバースト機能を有する ROM を高速にアクセスするためのものです。基本的には、通常空間と同じようなアクセスを行います。本インタフェースは、エリア 0 でのみ設定可能です。

最初のアクセスサイクルに対しては、CS0WCR の W[3:0] ビットに設定された数のウェイトサイクルが挿入されます。2 回目以降のアクセスサイクルに対しては、CS0WCR の BW[1:0] ビットに設定された数のウェイトサイクルが挿入されます。

バースト ROM（クロック同期）アクセス時は、$\overline{BS}$ 信号は最初のアクセスサイクルに対してのみアサートされます。また、外部ウェイト入力も最初のときにのみ有効です。

メモリの設定はバス幅が 16 ビット時にはバースト長は 8、バス幅が 32 ビット時はバースト長は 4 に設定してください。バス幅 8 ビットはサポートしていません。

本インタフェースではすべてのリードアクセスに対して、バースト動作を行います。たとえば 16 ビットバス幅で 32 ビットアクセス時は、必要な 2 データの読み込みを行った後に、残りの不要な 6 データの空読み出しを行います。

このような空読み出しサイクルは、メモリアクセスタイムの増加をもたらし、プログラム実行速度の低下および DMA 転送速度の低下を招くので、16 バイト以上のアクセスサイズのリードを有効に活用することが重要です。ライトアクセス時は、通常空間アクセスと同様のタイミングとなります。

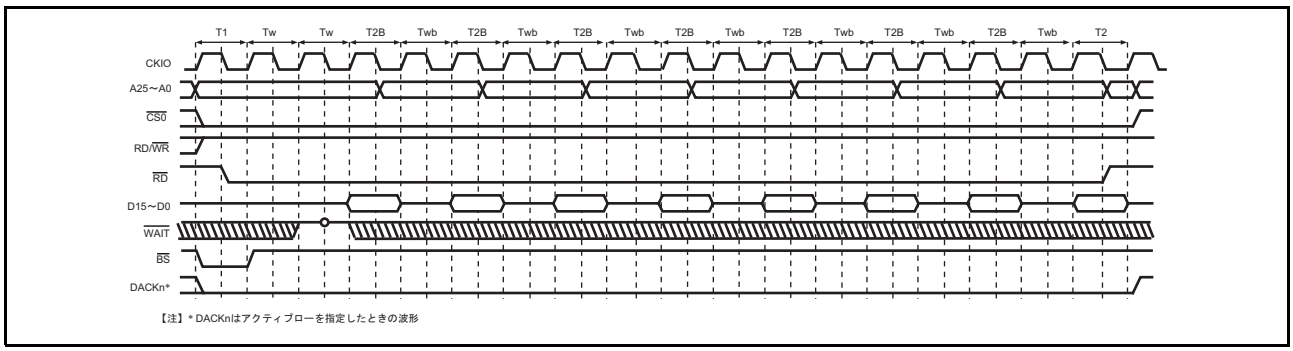


図 8.39　バースト ROM（クロック同期）アクセス
（バースト長 8、初回アクセスウェイト 2、2 回目以降アクセスウェイト 1）

8.5.10　アクセスサイクル間アイドル

LSI の動作周波数が高くなってきたため、低速なデバイスからのデータ出力が完了した際のデータバッファのオフが間に合わず、次のデバイスのデータ出力と衝突してデバイスの信頼度を低下させたり、誤動作を引き起こす場合があります。これを防止するため、連続するアクセス間にアクセスサイクル間アイドル（ウェイト）を挿入して、データの衝突を回避する機能を設けました。

アクセスサイクル間アイドルのサイクル数は、CSnWCR の WM ビットおよび CSnBCR の IWW[2:0]、IWRWD[2:0]、IWRWS[2:0]、IWRRD[2:0]、IWRRS[2:0] の各ビットで指定します。アクセスサイクル間アイドルは、以下の条件のとき挿入が可能です。

1. 連続するアクセスがライトーリード、ライトーライトの場合
2. 連続するアクセスが別空間でかつリードーライトの場合
3. 連続するアクセスが同一空間でかつリードーライトの場合
4. 連続するアクセスが別空間でかつリードーリードの場合
5. 連続するアクセスが同一空間でかつリードーリードの場合

上記のアクセスサイクル間アイドルサイクル数の指定については、各レジスタの説明を参照してください。

これらのレジスタで指定するアクセスサイクル間ウェイトのアイドルサイクル以外に、内部バスとのインタフェースや、マルチプレクスされた端子（$\overline{\text{WEn}}$）の最小パルス幅確保のため、アイドルサイクルを挿入する場合があります。以下にアイドルサイクルの詳細、アイドルサイクル数の試算方法について説明します。

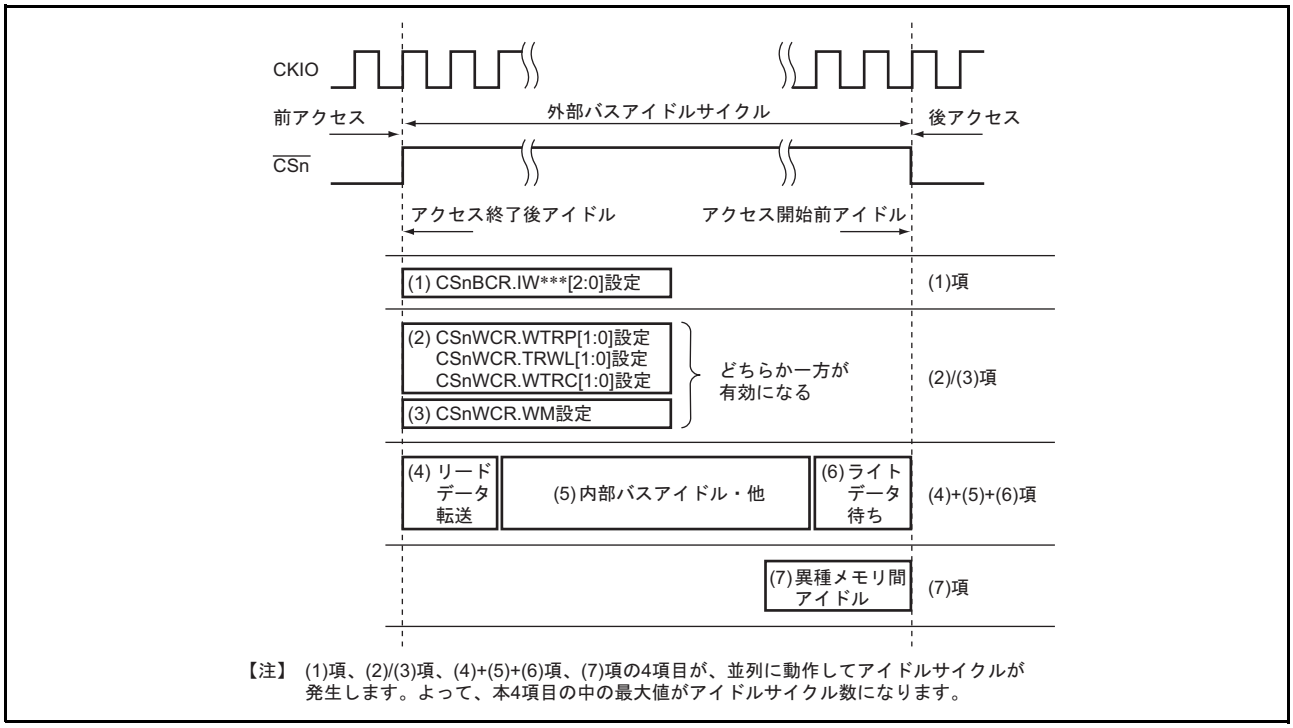
$\overline{\text{CSn}}$ ネゲートから $\overline{\text{CSn}}$ または $\overline{\text{CSm}}$ アサートまでの外部バスアイドルサイクル数について説明します。

外部バスのアイドルサイクル数を決める項目としては、**表 8.18** の 7 項目があります。これらの関係を**図 8.40** に示します。

表 8.18　アイドルサイクル数を決める項目

項番	内容	説　明	範囲	注意事項
(1)	CSnBCR.IW***[2:0] 設定	アイドルサイクル数を指定します。前後サイクルの組み合わせごとに指定できます。たとえば CS1 空間リード後の他 CS 空間リードの場合に、アイドル数を 6 サイクル以上に設定したい場合、CS1BCR.IWRRD[2:0] を B'100 に設定します。シングルアドレス転送以外の時のみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0 ～ 12	連続アクセスできないメモリ種の場合には、0 に設定しないようにご注意ください。
(2)	CSnWCR の SDRAM 関係設定	SDRAM アクセス時のプリチャージ完了／起動待ち、コマンド間アイドル数を指定します。SDRAM アクセス時にのみ有効となる項目で、アクセス終了後に発生するアイドルサイクルです。	0 ～ 3	使用する SDRAM のスペックに合わせて設定してください。
(3)	CSnWCR.WM ビット設定	SDRAM 以外のメモリでは、外部 $\overline{\text{WAIT}}$ 端子入力を有効／無効にする設定ができます。0（外部 $\overline{\text{WAIT}}$ 有効）の場合、外部 $\overline{\text{WAIT}}$ 端子状態の評価のための 1 アイドルサイクルがアクセス終了後に挿入されます。1（無効）の場合には、本アイドルサイクルは発生しません。	0 ～ 1	
(4)	リードデータ転送サイクル	リードアクセスの終了後に発生する 1 アイドルサイクルです。分割されたアクセスの最初および途中のアクセスでは発生しません。また、CSnWCR.HW[1:0] が B'00 以外の場合にも発生しません。	0 ～ 1	SDRAM のリードサイクルでは必ず 1 サイクルのアイドルが発生します。
(5)	内部バスアイドルほか	CPU、ダイレクトメモリアクセスコントローラなどからの外部バスアクセス要求および結果の受け渡しは、内部バスを経由します。内部バスのアイドルサイクルおよび外部バス以外のアクセス中は、外部バスはアイドル状態になります。外部データバス幅よりもアクセスサイズが大きいとき、本モジュールで分割アクセスを行いますが、分割サイクル間では内部バスアイドルサイクル他の影響はありません。	0 ～	CPU、内部バスおよび CKIO のクロック比によっては内部バスアイドル数が "0" にならない場合があります。
(6)	ライトデータ到着待ちサイクル	ライトアクセスの場合、ライトデータの到着を待ってから外部バスのライトサイクルが発生します。このライトデータ待ちがライトサイクルの前に発生するアイドルサイクルになります。ただし、前サイクルがライトの場合で、内部バスアイドル他が前アクセスのライトサイクル長より短い場合、前アクセスと平行して処理されるため、本アイドルサイクルは発生しません（ライトバッファ効果）。	0 ～ 1	ライト→ライトおよびライト→リードアクセスの場合、左記ライトバッファの効果で、連続アクセスが発生する場合があります。連続アクセスできない場合は、CSnBCR などでサイクル間アイドルの最低数を指定してください。
(7)	異種メモリ間アイドル	ピンマルチ端子の最小パルス幅確保のために、メモリ種切り替え後のアクセスが発生する前に、アイドルサイクルが挿入される場合があります。メモリ種によっては、メモリ種切り替えを行わなくてもアイドルサイクルが発生するものもあります。	0 ～ 2	メモリ種ごとに決まっています。表 8.19 を参照してください。

(1) 項、(2)/(3) 項（どちらか一方が有効になります）、(4)+(5)+(6) 項（順番に発生するので加算されます）および (7) 項の 4 項目が平行して発生しますので、これらのうち最大のものが外部バスアイドル数となります。最低アイドル数を確保する場合には、(1) 項のレジスタ設定を行ってください。



【注】 (1)項、(2)/(3)項、(4)+(5)+(6)項、(7)項の4項目が、並列に動作してアイドルサイクルが発生します。よって、本4項目の中の最大値がアイドルサイクル数になります。

図 8.40　アイドルサイクルの構成

表8.19　異種メモリ間アクセス時の前に挿入されるアイドルサイクル数

		後サイクル						
		SRAM	バースト ROM（非同期）	MPX-I/O	バイト SRAM（BAS=0）	バイト SRAM（BAS=1）	SDRAM	バースト ROM（同期）
前サイクル	SRAM	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	バースト ROM（非同期）	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	MPX-I/O	1	1	0	1	1	1	1
	バイト SRAM（BAS=0）	0	0	1	0	0/1（注 1）	0/1（注 1）	0
	バイト SRAM（BAS=1）	0/1（注 1）	0/1（注 1）	1/2（注 1）	0/1（注 1）	0	0	0/1（注 1）
	SDRAM	1	1	2	1	0	0	1
	バースト ROM（同期）	0	0	1	0	1	1	0

注1.　前サイクルのCSnWCR.HW[1:0]ビットの設定で、アイドルサイクル数が決まります。HW[1:0]≠B’00の場合には左側のアイドルサイクル数、HW[1:0]＝B’00の場合には右側のアイドルサイクル数になります。また、前サイクルがCSnWCR.WH[1:0]ビットが存在しないCSn空間の場合には、右側のアイドルサイクル数になります。

8.5.11　その他

(1)　リセット

本モジュールは、パワーオンリセットでのみ完全な初期化が行われます。パワーオンリセット時にはリセットの内部クロック同期化後、バスサイクルの途中であるなしにかかわらずすべての信号をネゲートし、データ出力バッファをオフにします。また、制御レジスタはすべて初期化されます。ソフトウェアスタンバイ、スリープでは、バスステートコントローラの制御レジスタの初期化は一切行われません。

(2)　ライトバッファの注意事項

本モジュールには一段のライトバッファがあるため、ライトサイクルではチップ外部のバスサイクルが完了しなくても内部バスを別のアクセスに使用することができます。チップ外部の低速メモリに対して書き込みを行った後に、内蔵周辺モジュールに対する読み出しまたは書き込みを行う場合は、低速メモリへの書き込みの完了を待たずに内蔵周辺モジュールへのアクセスが可能です。

読み出しでは、常に動作の完了まで CPU は待たされるので、実際のデバイスに対するデータの書き込みが完了したことを確認してから処理を続行したい場合は、続けて同じアドレスに対するダミーの読み出しアクセスを行うと書き込みの終了を確認できます。

ダイレクトメモリアクセスコントローラなどの別のバスマスタからのアクセスでも、同様に本モジュールのライトバッファは働きます。したがって、DMA 転送を行う場合は、書き込みサイクルの完了を待たずに次の読み出しサイクルの起動がかけられます。ただし、DMA のソースアドレスとデスティネーションアドレスがともに外部メモリ空間である場合には、前の書き込みサイクルが完了するまで次の読み出しサイクルの開始は待たされます。

なお、ライトバッファの動作中に本モジュールのレジスタを変更すると、正しいライトアクセスができなくなりますので、ライトアクセス直後に本モジュールのレジスタの変更は行わないでください。必要な場合にはライトデータのダミーリードを実行後に本モジュールのレジスタを変更してください。

(3)　内蔵周辺モジュールのアクセス

内蔵周辺モジュールのレジスタへのアクセスは、内部バスから周辺モジュールクロック（P0φ または P1φ）で 2 サイクル以上かかります。一方、CPU から内蔵周辺レジスタに書き込みを行う際、CPU はレジスタ書き込みの完了を待たずに、後続の命令を実行します。

例として低消費電力のために、ソフトウェアスタンバイモードに遷移する場合で説明します。この遷移のために、STBCR1 レジスタの STBY ビットを 1 に設定後 WFI 命令を実行する必要がありますが、WFI 命令の実行前に STBCR1 レジスタをダミーリードしなければなりません。ダミーリードを行わないと、STBY ビットが 1 にセットされる前に CPU が WFI 命令を実行するため、目的のソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。STBY ビットへの書き込みを待つために STBCR1 レジスタのダミーリードが必要です。

本例のように、後続命令実行時に内蔵周辺レジスタによる変更を反映させたい場合には、レジスタ書き込み命令の後に同じレジスタのダミーリードを実施し、その後に目的の後続命令を実行してください。

9. ダイレクトメモリアクセスコントローラ

ダイレクトメモリアクセスコントローラは、DACK（転送要求受け付け信号）付き外部デバイス、外部メモリ、内蔵メモリ、メモリマップト外部デバイス、および内蔵周辺モジュール間のデータ転送を CPU に代わって高速に行うことができます。

9.1 特長

- チャネル数：CH0 ～ CH15 の 16 チャネル。その内、CH0 で外部リクエストの受け付けが可能です。
- アドレス空間：アーキテクチャ上は 4G バイト
- 転送データ単位：バイト、2 バイト、4 バイト、8 バイト、16 バイト、32 バイト、64 バイト、128 バイト
- 最大転送サイズ：$2^{32} - 1$ バイト
- アドレスモード：デュアルアドレスモード
- 転送要求：外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト（ソフトウェア起動）の 3 種類から選択可能
  内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。
  FIFO 内蔵シリアルコミュニケーションインタフェース：10 要因、
  A/D 変換器：1 要因、マルチファンクションタイマパルスユニット 2：5 要因、
  USB2.0 ホスト / ファンクションモジュール：4 要因、
  シリアルサウンドインタフェース：7 要因、
  ルネサス SPDIF インタフェース：2 要因、CD-ROM デコーダ：1 要因 (RZ/A1L のみ)、
  SD ホストインタフェース：4 要因、MMC ホストインタフェース：2 要因、
  ルネサスシリアルペリフェラルインタフェース：6 要因、
  IEBus™ コントローラ：2 要因 (RZ/A1L のみ)、
  OS タイマ：2 要因、SCUX：8 要因、メディア・ローカル・バス：1 要因 (RZ/A1L のみ)、
  シリアルコミュニケーションインタフェース：4 要因、
  I^2C バスインタフェース：8 要因、
  LIN インタフェース：2 要因 (RZ/A1L のみ)
- 転送モード：シングル転送モードおよびブロック転送モードから選択可能
- 優先順位:チャネル0～7内およびチャネル8～15内は固定優先／ラウンドロビンモードの2種類から選択可能（チャネル 0 ～ 7、チャネル 8 ～ 15 間はラウンドロビン）
- 割り込み要求：データ転送終了時（DMA 転送終了割り込み /CH）、および転送エラー発生時（DMA エラー割り込み）に CPU へ割り込み要求を発生可能
- 外部リクエスト検出：DREQ 入力のロー／ハイレベル検出、立ち上がり／立ち下がりエッジ検出から選択可能
- DMA 設定のレジスタに連続実行機能を備えていますので、DMA 転送中にあらかじめ設定しておくことで、次回の DMA 転送を連続で実行することができます。この連続実行機能は、チャネルごとに ON/OFF の設定が可能です。
- リンクモード：CPU によってメモリ上に配置された設定データ（ディスクリプタ・データ）を自動的に DMAC が取り込み、その設定値を元に DMA 転送を行うモードが選択可能
- バッファ掃き出し：DMA 転送中に強制的に転送を中断した場合、既にバッファに取り込んでいるデータを出力して停止することができます。
- インターバル：バスの占有率を調整するため、DMA 転送の間隔を指定することが可能です。

9.2　入出力端子

表 9.1 に端子構成を示します。本モジュールは、外部バス用に 1 チャネル分の端子（CH0）を持っています。

表 9.1　端子構成

チャネル	名称	端子名	入出力	機　能
0	DMA 転送要求	DREQ0	入力	外部デバイスからチャネル 0 への DMA 転送要求入力
	DMA 転送要求受け付け	DACK0	出力	本モジュールチャネル 0 から外部デバイスへの DMA 転送要求受け付け出力
	DMA 転送終了	TEND0	出力	本モジュールチャネル 0 の DMA 転送終了出力

注.　DACK0,TEND0 のアクティブレベル詳細「8.　バスステートコントローラ」参照

9.3　レジスタ構成

図 9.1 にレジスタ構成を示します。

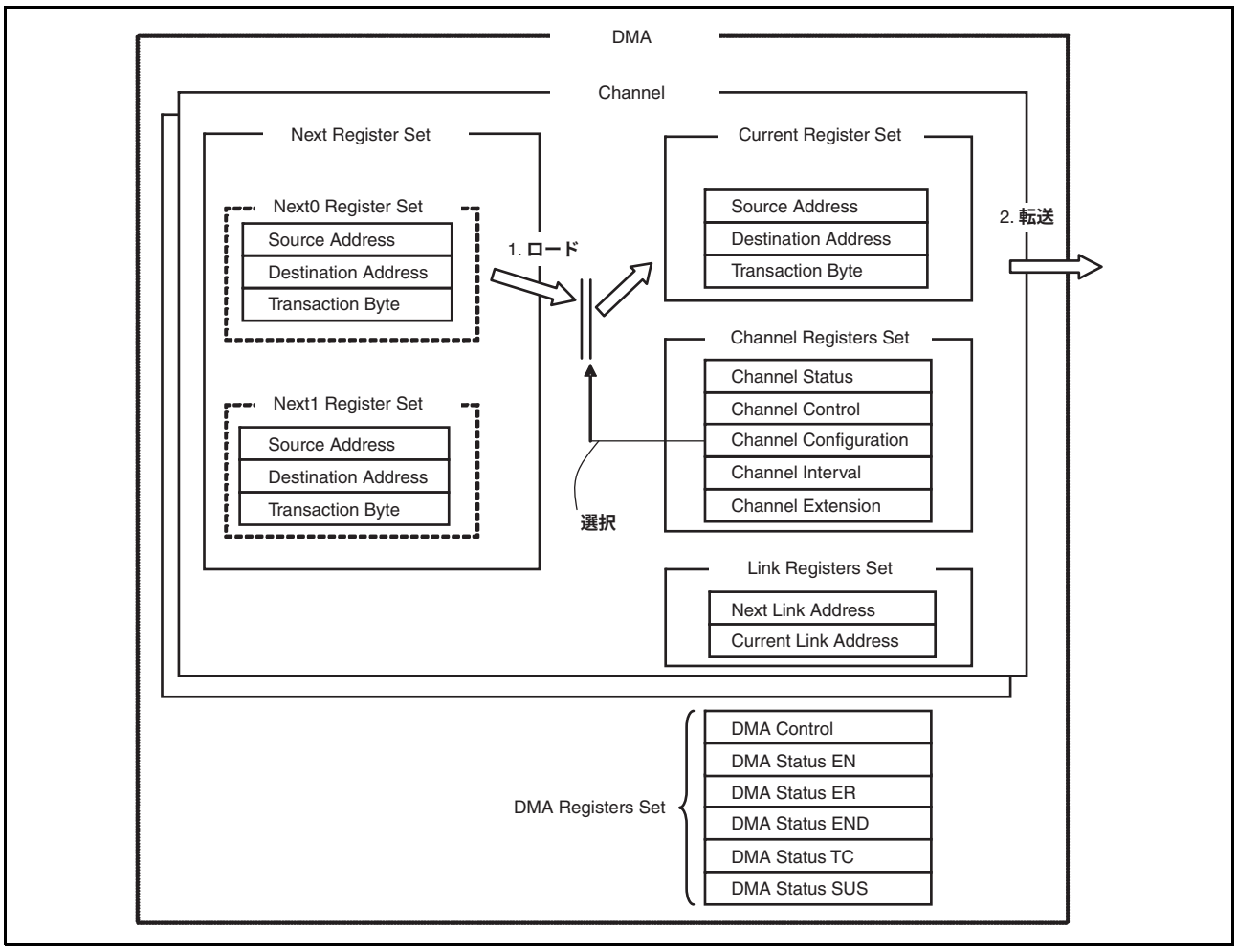


図 9.1　レジスタ構成

(a) Next Register Set

次に実行するDMAトランザクションの転送元アドレス、転送先アドレス、転送バイト数を設定するレジスタ・セットです。

Next0レジスタ・セットとNext1レジスタ・セットから成ります。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的にNext0レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Currentレジスタ・セットにロードされ、DMA転送に使用されます。

(b) Current Register Set

現在実行中の、転送元アドレス、転送先アドレス、転送バイト数を表示するレジスタ・セットです。

Next0/1レジスタ・セット（レジスタ・モード）または、ディスクリプタ・リード・データ（リンク・モード）からロードされます。ユーザが直接書き込むことはできません。

DMAトランザクションを実行するごとに、自動的に更新されます。

(c) Channel Register Set

DMA転送の設定を行うためのレジスタ・セットです。

このレジスタ･セットでは、チャネル状態の表示、チャネルの制御、DMAトランザクションの設定、DMAトランザクション間隔の設定などを行います。

(d) Link Register Set

リンク・モード時に、次にロードするディスクリプタ・アドレスを設定するレジスタ（Next Link Address Register）と、現在実行しているディスクリプタ・アドレスを表示するレジスタ（Current Link Address Register）から成ります。

Current Link Address Registerは、ディスクリプタ・リードにより自動的に更新され、ユーザが直接書き込むことはできません。

(e) DMA Register Set

DMA全体を制御するレジスタと、各チャネルの状態を表示するレジスタから成ります。チャネルの優先順位の制御、各チャネルのEN、ER、END、TC、SUSの状態確認などができます。

(f) 拡張リソースセレクタ Register Set

DMA転送行う内蔵周辺モジュールおよび外部リクエストを選択するためのレジスタ・セットです。

9.4　レジスタの説明

表 9.2 にレジスタ構成を示します。各チャネルに 11 本の制御レジスタと 5 本のステータスレジスタがあり、チャネル共通な制御レジスタが 12 本あります。さらに、2 チャネルごとに 1 本の拡張リソースセレクタレジスタがあります。各チャネルのレジスタについては、チャネル 0 の N0SA は N0SA_0 のように表記しています。

表9.2　レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	Next0 Source Address Register 0	N0SA_0	RW	H'00000000	H'E8200000	32
	Next0 Destination Address Register 0	N0DA_0	RW	H'00000000	H'E8200004	32
	Next0 Transaction Byte Register 0	N0TB_0	RW	H'00000000	H'E8200008	32
	Next1 Source Address Register 0	N1SA_0	RW	H'00000000	H'E820000C	32
	Next1 Destination Address Register 0	N1DA_0	RW	H'00000000	H'E8200010	32
	Next1 Transaction Byte Register 0	N1TB_0	RW	H'00000000	H'E8200014	32
	Current Source Address Register 0	CRSA_0	R	H'00000000	H'E8200018	32
	Current Destination Address Register 0	CRDA_0	R	H'00000000	H'E820001C	32
	Current Transaction Byte Register 0	CRTB_0	R	H'00000000	H'E8200020	32
	Channel Status Register 0	CHSTAT_0	R	H'00000000	H'E8200024	32
	Channel Control Register 0	CHCTRL_0	RW	H'00000000	H'E8200028	32
	Channel Configuration Register 0	CHCFG_0	RW	H'00000000	H'E820002C	32
	Channel Interval Register 0	CHITVL_0	RW	H'00000000	H'E8200030	32
	Channel Extension Register 0	CHEXT_0	RW	H'00000000	H'E8200034	32
	Next Link Address Register 0	NXLA_0	RW	H'00000000	H'E8200038	32
	Current Link Address Register 0	CRLA_0	R	H'00000000	H'E820003C	32
1	Next0 Source Address Register 1	N0SA_1	RW	H'00000000	H'E8200040	32
	Next0 Destination Address Register 1	N0DA_1	RW	H'00000000	H'E8200044	32
	Next0 Transaction Byte Register 1	N0TB_1	RW	H'00000000	H'E8200048	32
	Next1 Source Address Register 1	N1SA_1	RW	H'00000000	H'E820004C	32
	Next1 Destination Address Register 1	N1DA_1	RW	H'00000000	H'E8200050	32
	Next1 Transaction Byte Register 1	N1TB_1	RW	H'00000000	H'E8200054	32
	Current Source Address Register 1	CRSA_1	R	H'00000000	H'E8200058	32
	Current Destination Address Register 1	CRDA_1	R	H'00000000	H'E820005C	32
	Current Transaction Byte Register 1	CRTB_1	R	H'00000000	H'E8200060	32
	Channel Status Register 1	CHSTAT_1	R	H'00000000	H'E8200064	32
	Channel Control Register 1	CHCTRL_1	RW	H'00000000	H'E8200068	32
	Channel Configuration Register 1	CHCFG_1	RW	H'00000000	H'E820006C	32
	Channel Interval Register 1	CHITVL_1	RW	H'00000000	H'E8200070	32
	Channel Extension Register 1	CHEXT_1	RW	H'00000000	H'E8200074	32
	Next Link Address Register 1	NXLA_1	RW	H'00000000	H'E8200078	32
	Current Link Address Register 1	CRLA_1	R	H'00000000	H'E820007C	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
2	Next0 Source Address Register 2	N0SA_2	RW	H'00000000	H'E8200080	32
	Next0 Destination Address Register 2	N0DA_2	RW	H'00000000	H'E8200084	32
	Next0 Transaction Byte Register 2	N0TB_2	RW	H'00000000	H'E8200088	32
	Next1 Source Address Register 2	N1SA_2	RW	H'00000000	H'E820008C	32
	Next1 Destination Address Register 2	N1DA_2	RW	H'00000000	H'E8200090	32
	Next1 Transaction Byte Register 2	N1TB_2	RW	H'00000000	H'E8200094	32
	Current Source Address Register 2	CRSA_2	R	H'00000000	H'E8200098	32
	Current Destination Address Register 2	CRDA_2	R	H'00000000	H'E820009C	32
	Current Transaction Byte Register 2	CRTB_2	R	H'00000000	H'E82000A0	32
	Channel Status Register 2	CHSTAT_2	R	H'00000000	H'E82000A4	32
	Channel Control Register 2	CHCTRL_2	RW	H'00000000	H'E82000A8	32
	Channel Configuration Register 2	CHCFG_2	RW	H'00000000	H'E82000AC	32
	Channel Interval Register 2	CHITVL_2	RW	H'00000000	H'E82000B0	32
	Channel Extension Register 2	CHEXT_2	RW	H'00000000	H'E82000B4	32
	Next Link Address Register 2	NXLA_2	RW	H'00000000	H'E82000B8	32
	Current Link Address Register 2	CRLA_2	R	H'00000000	H'E82000BC	32
3	Next0 Source Address Register 3	N0SA_3	RW	H'00000000	H'E82000C0	32
	Next0 Destination Address Register 3	N0DA_3	RW	H'00000000	H'E82000C4	32
	Next0 Transaction Byte Register 3	N0TB_3	RW	H'00000000	H'E82000C8	32
	Next1 Source Address Register 3	N1SA_3	RW	H'00000000	H'E82000CC	32
	Next1 Destination Address Register 3	N1DA_3	RW	H'00000000	H'E82000D0	32
	Next1 Transaction Byte Register 3	N1TB_3	RW	H'00000000	H'E82000D4	32
	Current Source Address Register 3	CRSA_3	R	H'00000000	H'E82000D8	32
	Current Destination Address Register 3	CRDA_3	R	H'00000000	H'E82000DC	32
	Current Transaction Byte Register 3	CRTB_3	R	H'00000000	H'E82000E0	32
	Channel Status Register 3	CHSTAT_3	R	H'00000000	H'E82000E4	32
	Channel Control Register 3	CHCTRL_3	RW	H'00000000	H'E82000E8	32
	Channel Configuration Register 3	CHCFG_3	RW	H'00000000	H'E82000EC	32
	Channel Interval Register 3	CHITVL_3	RW	H'00000000	H'E82000F0	32
	Channel Extension Register 3	CHEXT_3	RW	H'00000000	H'E82000F4	32
	Next Link Address Register 3	NXLA_3	RW	H'00000000	H'E82000F8	32
	Current Link Address Register 3	CRLA_3	R	H'00000000	H'E82000FC	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
4	Next0 Source Address Register 4	N0SA_4	RW	H'00000000	H'E8200100	32
	Next0 Destination Address Register 4	N0DA_4	RW	H'00000000	H'E8200104	32
	Next0 Transaction Byte Register 4	N0TB_4	RW	H'00000000	H'E8200108	32
	Next1 Source Address Register 4	N1SA_4	RW	H'00000000	H'E820010C	32
	Next1 Destination Address Register 4	N1DA_4	RW	H'00000000	H'E8200110	32
	Next1 Transaction Byte Register 4	N1TB_4	RW	H'00000000	H'E8200114	32
	Current Source Address Register 4	CRSA_4	R	H'00000000	H'E8200118	32
	Current Destination Address Register 4	CRDA_4	R	H'00000000	H'E820011C	32
	Current Transaction Byte Register 4	CRTB_4	R	H'00000000	H'E8200120	32
	Channel Status Register 4	CHSTAT_4	R	H'00000000	H'E8200124	32
	Channel Control Register 4	CHCTRL_4	RW	H'00000000	H'E8200128	32
	Channel Configuration Register 4	CHCFG_4	RW	H'00000000	H'E820012C	32
	Channel Interval Register 4	CHITVL_4	RW	H'00000000	H'E8200130	32
	Channel Extension Register 4	CHEXT_4	RW	H'00000000	H'E8200134	32
	Next Link Address Register 4	NXLA_4	RW	H'00000000	H'E8200138	32
	Current Link Address Register 4	CRLA_4	R	H'00000000	H'E820013C	32
5	Next0 Source Address Register 5	N0SA_5	RW	H'00000000	H'E8200140	32
	Next0 Destination Address Register 5	N0DA_5	RW	H'00000000	H'E8200144	32
	Next0 Transaction Byte Register 5	N0TB_5	RW	H'00000000	H'E8200148	32
	Next1 Source Address Register 5	N1SA_5	RW	H'00000000	H'E820014C	32
	Next1 Destination Address Register 5	N1DA_5	RW	H'00000000	H'E8200150	32
	Next1 Transaction Byte Register 5	N1TB_5	RW	H'00000000	H'E8200154	32
	Current Source Address Register 5	CRSA_5	R	H'00000000	H'E8200158	32
	Current Destination Address Register 5	CRDA_5	R	H'00000000	H'E820015C	32
	Current Transaction Byte Register 5	CRTB_5	R	H'00000000	H'E8200160	32
	Channel Status Register 5	CHSTAT_5	R	H'00000000	H'E8200164	32
	Channel Control Register 5	CHCTRL_5	RW	H'00000000	H'E8200168	32
	Channel Configuration Register 5	CHCFG_5	RW	H'00000000	H'E820016C	32
	Channel Interval Register 5	CHITVL_5	RW	H'00000000	H'E8200170	32
	Channel Extension Register 5	CHEXT_5	RW	H'00000000	H'E8200174	32
	Next Link Address Register 5	NXLA_5	RW	H'00000000	H'E8200178	32
	Current Link Address Register 5	CRLA_5	R	H'00000000	H'E820017C	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
6	Next0 Source Address Register 6	N0SA_6	RW	H'00000000	H'E8200180	32
	Next0 Destination Address Register 6	N0DA_6	RW	H'00000000	H'E8200184	32
	Next0 Transaction Byte Register 6	N0TB_6	RW	H'00000000	H'E8200188	32
	Next1 Source Address Register 6	N1SA_6	RW	H'00000000	H'E820018C	32
	Next1 Destination Address Register 6	N1DA_6	RW	H'00000000	H'E8200190	32
	Next1 Transaction Byte Register 6	N1TB_6	RW	H'00000000	H'E8200194	32
	Current Source Address Register 6	CRSA_6	R	H'00000000	H'E8200198	32
	Current Destination Address Register 6	CRDA_6	R	H'00000000	H'E820019C	32
	Current Transaction Byte Register 6	CRTB_6	R	H'00000000	H'E82001A0	32
	Channel Status Register 6	CHSTAT_6	R	H'00000000	H'E82001A4	32
	Channel Control Register 6	CHCTRL_6	RW	H'00000000	H'E82001A8	32
	Channel Configuration Register 6	CHCFG_6	RW	H'00000000	H'E82001AC	32
	Channel Interval Register 6	CHITVL_6	RW	H'00000000	H'E82001B0	32
	Channel Extension Register 6	CHEXT_6	RW	H'00000000	H'E82001B4	32
	Next Link Address Register 6	NXLA_6	RW	H'00000000	H'E82001B8	32
	Current Link Address Register 6	CRLA_6	R	H'00000000	H'E82001BC	32
7	Next0 Source Address Register 7	N0SA_7	RW	H'00000000	H'E82001C0	32
	Next0 Destination Address Register 7	N0DA_7	RW	H'00000000	H'E82001C4	32
	Next0 Transaction Byte Register 7	N0TB_7	RW	H'00000000	H'E82001C8	32
	Next1 Source Address Register 7	N1SA_7	RW	H'00000000	H'E82001CC	32
	Next1 Destination Address Register 7	N1DA_7	RW	H'00000000	H'E82001D0	32
	Next1 Transaction Byte Register 7	N1TB_7	RW	H'00000000	H'E82001D4	32
	Current Source Address Register 7	CRSA_7	R	H'00000000	H'E82001D8	32
	Current Destination Address Register 7	CRDA_7	R	H'00000000	H'E82001DC	32
	Current Transaction Byte Register 7	CRTB_7	R	H'00000000	H'E82001E0	32
	Channel Status Register 7	CHSTAT_7	R	H'00000000	H'E82001E4	32
	Channel Control Register 7	CHCTRL_7	RW	H'00000000	H'E82001E8	32
	Channel Configuration Register 7	CHCFG_7	RW	H'00000000	H'E82001EC	32
	Channel Interval Register 7	CHITVL_7	RW	H'00000000	H'E82001F0	32
	Channel Extension Register 7	CHEXT_7	RW	H'00000000	H'E82001F4	32
	Next Link Address Register 7	NXLA_7	RW	H'00000000	H'E82001F8	32
	Current Link Address Register 7	CRLA_7	R	H'00000000	H'E82001FC	32
0-7 共通	DMA Control Registers 0-7	DCTRL_0_7	R/W	H'00000000	H'E8200300	32
	DMA Status EN Registers 0-7	DSTAT_EN_0_7	R	H'00000000	H'E8200310	32
	DMA Status ER Registers 0-7	DSTAT_ER_0_7	R	H'00000000	H'E8200314	32
	DMA Status END Registers 0-7	DSTAT_END_0_7	R	H'00000000	H'E8200318	32
	DMA Status TC Registers 0-7	DSTAT_TC_0_7	R	H'00000000	H'E820031C	32
	DMA Status SUS Registers 0-7	DSTAT_SUS_0_7	R	H'00000000	H'E8200320	32
8	Next0 Source Address Register 8	N0SA_8	RW	H'00000000	H'E8200400	32
	Next0 Destination Address Register 8	N0DA_8	RW	H'00000000	H'E8200404	32
	Next0 Transaction Byte Register 8	N0TB_8	RW	H'00000000	H'E8200408	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
8	Next1 Source Address Register 8	N1SA_8	RW	H'00000000	H'E820040C	32
	Next1 Destination Address Register 8	N1DA_8	RW	H'00000000	H'E8200410	32
	Next1 Transaction Byte Register 8	N1TB_8	RW	H'00000000	H'E8200414	32
	Current Source Address Register 8	CRSA_8	R	H'00000000	H'E8200418	32
	Current Destination Address Register 8	CRDA_8	R	H'00000000	H'E820041C	32
	Current Transaction Byte Register 8	CRTB_8	R	H'00000000	H'E8200420	32
	Channel Status Register 8	CHSTAT_8	R	H'00000000	H'E8200424	32
	Channel Control Register 8	CHCTRL_8	RW	H'00000000	H'E8200428	32
	Channel Configuration Register 8	CHCFG_8	RW	H'00000000	H'E820042C	32
	Channel Interval Register 8	CHITVL_8	RW	H'00000000	H'E8200430	32
	Channel Extension Register 8	CHEXT_8	RW	H'00000000	H'E8200434	32
	Next Link Address Register 8	NXLA_8	RW	H'00000000	H'E8200438	32
	Current Link Address Register 8	CRLA_8	R	H'00000000	H'E820043C	32
9	Next0 Source Address Register 9	N0SA_9	RW	H'00000000	H'E8200440	32
	Next0 Destination Address Register 9	N0DA_9	RW	H'00000000	H'E8200444	32
	Next0 Transaction Byte Register 9	N0TB_9	RW	H'00000000	H'E8200448	32
	Next1 Source Address Register 9	N1SA_9	RW	H'00000000	H'E820044C	32
	Next1 Destination Address Register 9	N1DA_9	RW	H'00000000	H'E8200450	32
	Next1 Transaction Byte Register 9	N1TB_9	RW	H'00000000	H'E8200454	32
	Current Source Address Register 9	CRSA_9	R	H'00000000	H'E8200458	32
	Current Destination Address Register 9	CRDA_9	R	H'00000000	H'E820045C	32
	Current Transaction Byte Register 9	CRTB_9	R	H'00000000	H'E8200460	32
	Channel Status Register 9	CHSTAT_9	R	H'00000000	H'E8200464	32
	Channel Control Register 9	CHCTRL_9	RW	H'00000000	H'E8200468	32
	Channel Configuration Register 9	CHCFG_9	RW	H'00000000	H'E820046C	32
	Channel Interval Register 9	CHITVL_9	RW	H'00000000	H'E8200470	32
	Channel Extension Register 9	CHEXT_9	RW	H'00000000	H'E8200474	32
	Next Link Address Register 9	NXLA_9	RW	H'00000000	H'E8200478	32
	Current Link Address Register 9	CRLA_9	R	H'00000000	H'E820047C	32
10	Next0 Source Address Register 10	N0SA_10	RW	H'00000000	H'E8200480	32
	Next0 Destination Address Register 10	N0DA_10	RW	H'00000000	H'E8200484	32
	Next0 Transaction Byte Register 10	N0TB_10	RW	H'00000000	H'E8200488	32
	Next1 Source Address Register 10	N1SA_10	RW	H'00000000	H'E820048C	32
	Next1 Destination Address Register 10	N1DA_10	RW	H'00000000	H'E8200490	32
	Next1 Transaction Byte Register 10	N1TB_10	RW	H'00000000	H'E8200494	32
	Current Source Address Register 10	CRSA_10	R	H'00000000	H'E8200498	32
	Current Destination Address Register 10	CRDA_10	R	H'00000000	H'E820049C	32
	Current Transaction Byte Register 10	CRTB_10	R	H'00000000	H'E82004A0	32
	Channel Status Register 10	CHSTAT_10	R	H'00000000	H'E82004A4	32
	Channel Control Register 10	CHCTRL_10	RW	H'00000000	H'E82004A8	32
	Channel Configuration Register 10	CHCFG_10	RW	H'00000000	H'E82004AC	32
	Channel Interval Register 10	CHITVL_10	RW	H'00000000	H'E82004B0	32
	Channel Extension Register 10	CHEXT_10	RW	H'00000000	H'E82004B4	32
	Next Link Address Register 10	NXLA_10	RW	H'00000000	H'E82004B8	32
	Current Link Address Register 10	CRLA_10	R	H'00000000	H'E82004BC	32
11	Next0 Source Address Register 11	N0SA_11	RW	H'00000000	H'E82004C0	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
11	Next0 Destination Address Register 11	N0DA_11	RW	H'00000000	H'E82004C4	32
	Next0 Transaction Byte Register 11	N0TB_11	RW	H'00000000	H'E82004C8	32
	Next1 Source Address Register 11	N1SA_11	RW	H'00000000	H'E82004CC	32
	Next1 Destination Address Register 11	N1DA_11	RW	H'00000000	H'E82004D0	32
	Next1 Transaction Byte Register 11	N1TB_11	RW	H'00000000	H'E82004D4	32
	Current Source Address Register 11	CRSA_11	R	H'00000000	H'E82004D8	32
	Current Destination Address Register 11	CRDA_11	R	H'00000000	H'E82004DC	32
	Current Transaction Byte Register 11	CRTB_11	R	H'00000000	H'E82004E0	32
	Channel Status Register 11	CHSTAT_11	R	H'00000000	H'E82004E4	32
	Channel Control Register 11	CHCTRL_11	RW	H'00000000	H'E82004E8	32
	Channel Configuration Register 11	CHCFG_11	RW	H'00000000	H'E82004EC	32
	Channel Interval Register 11	CHITVL_11	RW	H'00000000	H'E82004F0	32
	Channel Extension Register 11	CHEXT_11	RW	H'00000000	H'E82004F4	32
	Next Link Address Register 11	NXLA_11	RW	H'00000000	H'E82004F8	32
	Current Link Address Register 11	CRLA_11	R	H'00000000	H'E82004FC	32
12	Next0 Source Address Register 12	N0SA_12	RW	H'00000000	H'E8200500	32
	Next0 Destination Address Register 12	N0DA_12	RW	H'00000000	H'E8200504	32
	Next0 Transaction Byte Register 12	N0TB_12	RW	H'00000000	H'E8200508	32
	Next1 Source Address Register 12	N1SA_12	RW	H'00000000	H'E820050C	32
	Next1 Destination Address Register 12	N1DA_12	RW	H'00000000	H'E8200510	32
	Next1 Transaction Byte Register 12	N1TB_12	RW	H'00000000	H'E8200514	32
	Current Source Address Register 12	CRSA_12	R	H'00000000	H'E8200518	32
	Current Destination Address Register 12	CRDA_12	R	H'00000000	H'E820051C	32
	Current Transaction Byte Register 12	CRTB_12	R	H'00000000	H'E8200520	32
	Channel Status Register 12	CHSTAT_12	R	H'00000000	H'E8200524	32
	Channel Control Register 12	CHCTRL_12	RW	H'00000000	H'E8200528	32
	Channel Configuration Register 12	CHCFG_12	RW	H'00000000	H'E820052C	32
	Channel Interval Register 12	CHITVL_12	RW	H'00000000	H'E8200530	32
	Channel Extension Register 12	CHEXT_12	RW	H'00000000	H'E8200534	32
	Next Link Address Register 12	NXLA_12	RW	H'00000000	H'E8200538	32
	Current Link Address Register 12	CRLA_12	R	H'00000000	H'E820053C	32
13	Next0 Source Address Register 13	N0SA_13	RW	H'00000000	H'E8200540	32
	Next0 Destination Address Register 13	N0DA_13	RW	H'00000000	H'E8200544	32
	Next0 Transaction Byte Register 13	N0TB_13	RW	H'00000000	H'E8200548	32
	Next1 Source Address Register 13	N1SA_13	RW	H'00000000	H'E820054C	32
	Next1 Destination Address Register 13	N1DA_13	RW	H'00000000	H'E8200550	32
	Next1 Transaction Byte Register 13	N1TB_13	RW	H'00000000	H'E8200554	32
	Current Source Address Register 13	CRSA_13	R	H'00000000	H'E8200558	32
	Current Destination Address Register 13	CRDA_13	R	H'00000000	H'E820055C	32
	Current Transaction Byte Register 13	CRTB_13	R	H'00000000	H'E8200560	32
	Channel Status Register 13	CHSTAT_13	R	H'00000000	H'E8200564	32
	Channel Control Register 13	CHCTRL_13	RW	H'00000000	H'E8200568	32
	Channel Configuration Register 13	CHCFG_13	RW	H'00000000	H'E820056C	32
	Channel Interval Register 13	CHITVL_13	RW	H'00000000	H'E8200570	32
	Channel Extension Register 13	CHEXT_13	RW	H'00000000	H'E8200574	32
	Next Link Address Register 13	NXLA_13	RW	H'00000000	H'E8200578	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
13	Current Link Address Register 13	CRLA_13	R	H'00000000	H'E820057C	32
14	Next0 Source Address Register 14	N0SA_14	RW	H'00000000	H'E8200580	32
	Next0 Destination Address Register 14	N0DA_14	RW	H'00000000	H'E8200584	32
	Next0 Transaction Byte Register 14	N0TB_14	RW	H'00000000	H'E8200588	32
	Next1 Source Address Register 14	N1SA_14	RW	H'00000000	H'E820058C	32
	Next1 Destination Address Register 14	N1DA_14	RW	H'00000000	H'E8200590	32
	Next1 Transaction Byte Register 14	N1TB_14	RW	H'00000000	H'E8200594	32
	Current Source Address Register 14	CRSA_14	R	H'00000000	H'E8200598	32
	Current Destination Address Register 14	CRDA_14	R	H'00000000	H'E820059C	32
	Current Transaction Byte Register 14	CRTB_14	R	H'00000000	H'E82005A0	32
	Channel Status Register 14	CHSTAT_14	R	H'00000000	H'E82005A4	32
	Channel Control Register 14	CHCTRL_14	RW	H'00000000	H'E82005A8	32
	Channel Configuration Register 14	CHCFG_14	RW	H'00000000	H'E82005AC	32
	Channel Interval Register 14	CHITVL_14	RW	H'00000000	H'E82005B0	32
	Channel Extension Register 14	CHEXT_14	RW	H'00000000	H'E82005B4	32
	Next Link Address Register 14	NXLA_14	RW	H'00000000	H'E82005B8	32
	Current Link Address Register 14	CRLA_14	R	H'00000000	H'E82005BC	32
15	Next0 Source Address Register 15	N0SA_15	RW	H'00000000	H'E82005C0	32
	Next0 Destination Address Register 15	N0DA_15	RW	H'00000000	H'E82005C4	32
	Next0 Transaction Byte Register 15	N0TB_15	RW	H'00000000	H'E82005C8	32
	Next1 Source Address Register 15	N1SA_15	RW	H'00000000	H'E82005CC	32
	Next1 Destination Address Register 15	N1DA_15	RW	H'00000000	H'E82005D0	32
	Next1 Transaction Byte Register 15	N1TB_15	RW	H'00000000	H'E82005D4	32
	Current Source Address Register 15	CRSA_15	R	H'00000000	H'E82005D8	32
	Current Destination Address Register 15	CRDA_15	R	H'00000000	H'E82005DC	32
	Current Transaction Byte Register 15	CRTB_15	R	H'00000000	H'E82005E0	32
	Channel Status Register 15	CHSTAT_15	R	H'00000000	H'E82005E4	32
	Channel Control Register 15	CHCTRL_15	RW	H'00000000	H'E82005E8	32
	Channel Configuration Register 15	CHCFG_15	RW	H'00000000	H'E82005EC	32
	Channel Interval Register 15	CHITVL_15	RW	H'00000000	H'E82005F0	32
	Channel Extension Register 15	CHEXT_15	RW	H'00000000	H'E82005F4	32
	Next Link Address Register 15	NXLA_15	RW	H'00000000	H'E82005F8	32
	Current Link Address Register 15	CRLA_15	R	H'00000000	H'E82005FC	32
8-15 共通	DMA Control Registers 8-15	DCTRL_8_15	R/W	H'00000000	H'E8200700	32
	DMA Status EN Registers 8-15	DSTAT_EN_8_15	R	H'00000000	H'E8200710	32
	DMA Status ER Registers 8-15	DSTAT_ER_8_15	R	H'00000000	H'E8200714	32
	DMA Status END Registers 8-15	DSTAT_END_8_15	R	H'00000000	H'E8200718	32
	DMA Status TC Registers 8-15	DSTAT_TC_8_15	R	H'00000000	H'E820071C	32
	DMA Status SUS Registers 8-15	DSTAT_SUS_8_15	R	H'00000000	H'E8200720	32
0/1	DMA 拡張リソースセレクタ 0	DMARS0	R/W	H'00000000	H'FCFE1000	32
2/3	DMA 拡張リソースセレクタ 1	DMARS1	R/W	H'00000000	H'FCFE1004	32
4/5	DMA 拡張リソースセレクタ 2	DMARS2	R/W	H'00000000	H'FCFE1008	32
6/7	DMA 拡張リソースセレクタ 3	DMARS3	R/W	H'00000000	H'FCFE100C	32
8/9	DMA 拡張リソースセレクタ 4	DMARS4	R/W	H'00000000	H'FCFE1010	32
10/11	DMA 拡張リソースセレクタ 5	DMARS5	R/W	H'00000000	H'FCFE1014	32
12/13	DMA 拡張リソースセレクタ 6	DMARS6	R/W	H'00000000	H'FCFE1018	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
14/15	DMA 拡張リソースセレクタ 7	DMARS7	R/W	H'00000000	H'FCFE101C	32

9.4.1 Next Source Address Register n (N0SA_n、N1SA_n)

次に実行する DMA チャネル n の DMA 転送元アドレス（32 ビット）を設定します（n = 0 ～ 15）。

N0SA_n は Next0 Register Set 用、N1SA_n は Next1 Register Set 用です。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的に Next0 レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Current レジスタ・セットにロードされ、DMA 転送に使用されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 0	SA	all 0	R/W	Source Address DMA 転送元の開始アドレスを設定します。

9.4.2 Next Destination Address Register n (N0DA_n、N1DA_n)

次に実行する DMA チャネル n の DMA 転送先アドレス（32 ビット）を設定します（n = 0 ～ 15）。

N0DA_n は Next0 Register Set 用、N1DA_n は Next1 Register Set 用です。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的に Next0 レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Current レジスタ・セットにロードされ、DMA 転送に使用されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 0	DA	all 0	R/W	Destination Address DMA 転送先の開始アドレスを設定します。

9.4.3 Next Transaction Byte Register n (N0TB_n、N1TB_n)

次に実行する DMA チャネル n の総転送バイト数（DMA トランザクション）を設定するレジスタです（n ＝ 0 ～ 15）。

N0TB_n は Next0 Register Set 用、N1TB_n は Next1 Register Set 用です。

レジスタ・モードではソフトウェアで設定します。リンク・モードでは、ディスクリプタ・リード・データが自動的に Next0 レジスタ・セットにセットされます。

これらレジスタ･セットの値は、Current レジスタ・セットにロードされ、DMA 転送に使用されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TB															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TB															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 0	TB	all 0	R/W	Transaction Byte 総転送バイト数を設定します。 注.　0を設定した状態でDMA トランザクションを開始しないでください。

9.4.4 Current Source Address Register (CRSA_n)

DMA チャネル n の、DMA 転送元アドレスを表示します（n ＝ 0 ～ 15）。

レジスタ・モード時は Next0/1 レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRSA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

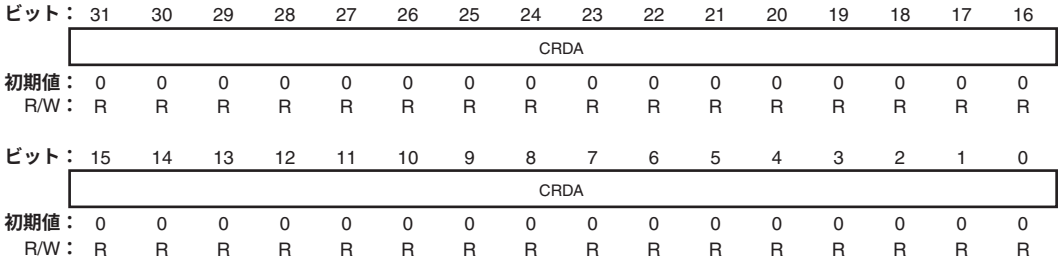
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRSA															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31 ～ 0	CRSA	all 0	R	Current Source Address Register 次のDMA トランザクションのリード・アドレスを表示します。 DMA トランザクション中は、自動的にインクリメントします（CHCFG_nのSAD＝1の場合は固定）。 インクリメントはリード・トランスファ開始時に行います。 本レジスタは、DMA停止（CHSTAT_nレジスタのEN＝0）してからリードしてください（DMA動作中は参考値として扱ってください）。

9.4.5 Current Destination Address Register (CRDA_n)

DMA チャネル n の DMA 転送先アドレスを表示します（n ＝ 0 ～ 15）。

レジスタ・モード時は Next0/1 レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。

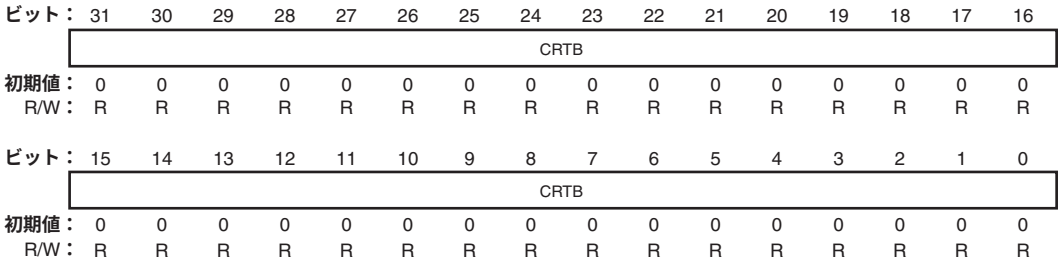


ビット	ビット名	初期値	R/W	説明
31 ～ 0	CRDA	all 0	R	Current Destination Address Register 次の DMA トランザクションのライト・アドレスを表示します。 DMA トランザクション中は、自動的にインクリメントします（CHCFG_n の DAD ＝ 1 の場合は固定）。 インクリメントはライト・トランスファ開始時に行います。 本レジスタは、DMA 停止（CHSTAT_n レジスタの EN ＝ 0）してからリードしてください（DMA 動作中は参考値として扱ってください）。

9.4.6 Current Transaction Byte Register (CRTB_n)

DMA チャネル n の、総転送バイト数を表示します（n ＝ 0 ～ 15）。転送終了時には 0 となります。

レジスタ・モード時は Next0/1 レジスタ・セットから設定値を、リンク・モード時はディスクリプタ・リード・データから設定値をロードします。ソフトウェアでの書き込みはできません。



ビット	ビット名	初期値	R/W	説明
31 ～ 0	CRTB	all 0	R	Current Transaction Byte Register 現在実行している DMA トランザクションの、残りの転送バイト数を表示します。 DMA トランザクション中は、自動的にデクリメントします。 デクリメントはライト・トランスファ完了時に行います。 本レジスタは、DMA 停止（CHSTAT_n レジスタの EN ＝ 0）してからリードしてください（DMA 動作中は参考値として扱ってください）。

9.4.7 Channel Status Register n (CHSTAT_n)

DMA チャネル n の状態を表示するレジスタです（n ＝ 0 ～ 15）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INTMSK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	MODE	DER	DW	DL	SR	TC	END	ER	SUS	TACT	RQST	EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 17	—	all 0	R	Reserved 領域です。0 を設定してください。読み出すと 0 が読めます。
16	INTMSK	0	R	DMA 転送終了割り込みの一時マスク状態を表示します。 1：一時マスク状態 0：一時マスク解除状態 セット条件： • SETINTMSK（CHCTRL_n）に 1 ライト時 リセット条件： • CLRINTMSK（CHCTRL_n）に 1 ライト時 • SWRST（CHCTRL_n）に 1 ライト時
15 ～ 12	—	all 0	R	Reserved 領域です。0 を設定してください。読み出すと 0 が読めます。
11	MODE	0	R	DMA Mode DMA モードを示します。CHCFG_n レジスタの DMS ビットの設定値を表示します。 0：レジスタ・モード 1：リンク・モード
10	DER	0	R	Descriptor Error リードしたディスクリプタのバリッドがインバリッド（LV＝0）であったことを示します（ディスクリプタの DIM のレベルには依存しません）。ディスクリプタエラー発生時は転送中止しますが、DMA エラー割り込みは発生しません。 0：Descriptor Error 未発生 1：Descriptor Error 発生 セット条件： • リンク・モードのディスクリプタ・ロードの LV が 0 リセット条件： • SWRST(CHCTRL_n)に 1 ライト時
9	DW	0	R	Descriptor WriteBack ディスクリプタ・ライト・バック状態であることを示します。また、ディスクリプタ・ライト・バック時にバス・エラーを受けた場合、1 を保持します。 0：リンク・モードの header をライト・バック以外 1：（ER＝0 時） 　リンク・モードの header をライト・バック中 （ER＝1 時） 　リンク・モードの header をライト・バック中にバス・エラーが発生 セット条件： • リンク・モードの header をライト・バック開始時 リセット条件： • リンク・モードの header ライト・バックが OK レスポンスで終了 • SWRST（CHCTRL_n）に 1 ライト時

ビット	ビット名	初期値	R/W	意味
8	DL	0	R	Descriptor Load ディスクリプタ・ロード状態であることを示します。また、ディスクリプタ・ロード時にバス・エラーを受けた場合、1を保持します。 0：ディスクリプタ・ロード以外 1：（ER＝0時） リンク・モードのディスクリプタ・ロード中 （ER＝1時） リンク・モードのディスクリプタ・ロード中にバス・エラーが発生 セット条件： • リンク・モードのディスクリプタ・ロード開始時 リセット条件： • リンク・モードのディスクリプタ・ロードがOKレスポンスで終了 • SWRST（CHCTRL_n）に1ライト時
7	SR	0	R	Selected Register Set レジスタ・モード時、選択しているレジスタ・セットを示します。 0：Next0 Register Set 1：Next1 Register Set セット条件： • RSEL（CHCFG_n）に1ライト時 リセット条件： • RSEL（CHCFG_n）に0ライト時
6	TC	0	R	Terminal Count DMAトランザクションが完了したことを示すステータス・ビットです。 0：DMA転送未了 1：DMA転送完了 セット条件： • レジスタ・モードで、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 • リンク・モードで、ディスクリプタのheaderのWBD＝1で、CRTBレジスタに設定された総転送バイト数分の転送が終了した場合 • リンク・モードで、ディスクリプタのheaderのWBD＝0で、ディスクリプタ・ライト・バックが終了した場合 クリア条件： • CLRTC（CHCTRL_n）に1ライト時 • SWRST（CHCTRL_n）に1ライト時
5	END	0	R	DMAEND Interrupted DMAトランザクションが完了し、DMA転送終了割り込みが発生したことを示すビットです。 0：DMA転送未了 1：DMA転送完了 セット条件： • TCビットのセット条件、かつCHCFG_nレジスタのDEM＝0の場合 • リンク・モードで、ディスクリプタREAD時に、headerのLV＝0、かつDIM＝0の場合 クリア条件： • CLREND（CHCTRL_n）に1ライト時 • SWRST（CHCTRL_n）に1ライト時
4	ER	0	R	Error bit DMA転送中に、転送元または転送先からERRORレスポンスを受け、バス・エラーが発生した結果、DMAエラー割り込みが発生したことを示します。 0：バス・エラーは発生していない 1：バス・エラーによる、DMAエラー割り込みが発生 セット条件： • バス・サイクルでバス・エラーが発生した場合 クリア条件： • SWRST（CHCTRL_n）に1ライト時

ビット	ビット名	初期値	R/W	意味
3	SUS	0	R	Suspend チャネルが一時停止状態にあることを示すビットです。 0：Channel_nが一時停止状態でない 1：Channel_nが一時停止中 セット条件： • Channel_nのDMA転送実行中にSETSUS（CHCTRL_n）に1ライトし、内部がSUSPEND状態になった場合 クリア条件： • CLRSUS（CHCTRL_n）に1ライト時 • CLREN（CHCTRL_n）に1ライト時
2	TACT	0	R	Transaction Active DMACが動作中であることを示すビットです。チャネルが完全に停止していることを確認するためのビットです。 0：Channel_nのDMAが停止状態 1：Channel_nのDMAが動作中 セット条件： • Channel_nのDMA トランザクション開始時 クリア条件： • DMA トランザクション完了時
1	RQST	0	R	Request 転送要求を受け付けていることを示すビットです。 0：DMA転送要求を受けていない 1：DMA転送要求を受けている セット条件： • STG（CHCTRL_n）に1ライト時（オートリクエスト時） • CHCFG_nレジスタで設定したDMA要求元から、転送要求を受け付けた場合 クリア条件： • SWRST（CHCTRL_n）に1ライト時 • CLRRQ（CHCTRL_n）に1ライト時 • シングル転送（TM＝0）モードで、REQD（CHCFG_n）で指定した側の転送実行時 • レジスタ・モードで、すべてのDMA トランザクションが完了した場合（REN＝0でトランザクション完了） • リンク・モードで、最後のディスクリプタ（LE＝1）のDMA転送を終了した場合 • リンク・モードで、ディスクリプタ読み込みで停止（LV＝0）した場合 • リンク・モードで、DEM＝0の状態で、DMA トランザクションを終了した場合 • エラーレスポンスによるバス・エラーを受けた場合
0	EN	0	R	Enable DMAチャネルnの動作許可／停止状態を表示します。 0：動作停止状態 1：動作許可状態 セット条件： • SETEN（CHCTRL_n）に1ライト時 クリア条件： • SWRST（CHCTRL_n）に1ライト時 • CLREN（CHCTRL_n）に1ライト時 • 転送中にエラー・レスポンスによるバス・エラーを受けた場合 • レジスタ・モードですべてのDMA トランザクションが完了した場合（REN＝0でトランザクション完了） • リンク・モードで、最後のディスクリプタ（LE＝1）のDMA転送（WBD＝0の場合はライトバック）を終了した場合 • リンク・モードのディスクリプタ読み込みで停止（LV＝0）した場合

注．　ERビットがセットされた転送は、その一連の転送が無効であるものとして処理してください。
DMA トランザクションを中断する場合は、転送要求をマスクおよびクリアするか、イネーブルをクリアすることで行ってください（手順は「9.7.11 (2)　転送中断」に従ってください）。
同一のチャネルに対して周辺モジュールまたは外部DREQ端子による転送要求と、オートリクエストによる転送要求（STGビットのセット）を併用した場合、有効となった起動要因の特定はできません。システムで、いずれかの転送要求のみ使用するようにしてください。
オートリクエストによる転送要求を行う場合、前回要求したDMA転送動作が完了（Current Registerなどで確認）してから、次のSTGビット操作を行ってください。

9.4.8 Channel Control Register n (CHCTRL_n)

DMA チャネル n の DMA 転送動作を制御するレジスタです（n = 0 ～ 15）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	CLRINTMSK	SETINTMSK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	CLRSUS	SETSUS	-	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	意味
31 ～ 18	—	all 0	R	Reserved 領域です。0 を設定してください。読み出すと 0 が読めます。
17	CLRINTMSK	0	R/W	このビットをセットすることで、DMA 転送終了割り込みをマスクする状態を解除します。また、CHSTAT_n レジスタの INTMSK ビットが 0 となります。 DCTRL レジスタの LVINT=1、CHSTAT_n レジスタの END＝1 の状態でマスクを解除した場合、DMA 転送終了割り込みがアクティブになります（LVINT＝0 の場合は、アクティブにはなりません）。 リードをすると 0 が読めます。 1：SETINTMSK でセットしたマスクを解除します。 0：動作に影響を与えません。
16	SETINTMSK	0	R/W	このビットをセットすることで、DMA 転送終了割り込みを一時的にマスクする状態となります。また、CHSTAT_n レジスタの INTMSK ビットが 1 となります。 リードをすると 0 が読めます。 1：DMA 転送終了割り込みをマスクします。 0：動作に影響を与えません。
15 ～ 10	—	all 0	R	Reserved 領域です。0 を設定してください。読み出すと 0 が読めます。
9	CLRSUS	0	R/W	Clear Suspend 一時停止状態を解除します。CHSTAT_n レジスタの SUS が 1 のときに、このビットを 1 にセットすると、一時停止状態を解除することができます。 このビットをリードすると 0 が読めます。 1：実行中の DMA 転送の一時停止解除 0：動作に影響を与えません。
8	SETSUS	0	R/W	Set Suspend 実行中の DMA 転送を一時停止します。CHSTAT_n レジスタの EN が 1 のときに、このビットを 1 にセットすると、実行中の DMA 転送を一時停止させることができます。 このビットをリードすると 0 が読めます。 1：実行中の DMA 転送の一時停止 0：動作に影響を与えません。
7	—	0	R	Reserved 領域です。0 を設定してください。読み出すと 0 が読めます。
6	CLRTC	0	R/W	Clear TC bit このビットをセットすることで、CHSTAT_n レジスタの TC ビットのクリアを行うことができます。このビットをリードすると 0 が読めます。 1：TC ビットのクリア 0：動作に影響を与えません。
5	CLREND	0	R/W	Clear End bit このビットをセットすることで、CHSTAT_n レジスタの END ビットのクリアを行うことができます。 また、DMA 転送終了割り込みをクリアします。 このビットをリードすると 0 が読めます。 1：END ビットのクリア 0：動作に影響を与えません。
4	CLRRQ	0	R/W	Clear Request bit このビットをセットすることで、CHSTAT_n レジスタの RQST ビットのクリアを行うことができます。 このビットをリードすると 0 が読めます。 1：RQST ビットのクリア 0：動作に影響を与えません。

ビット	ビット名	初期値	R/W	意味
3	SWRST	0	R/W	Software Reset このビットをセットすることで、チャネルステータス・レジスタ（CHSTAT_n）をクリアすることができます。このビットのセットは、ENビットが0かつTACTビットが0のときに行ってください。 このビットをリードすると0が読めます。 1：チャネル・ステータス・レジスタのリセット 0：動作に影響を与えません。
2	STG	0	R/W	Software Trigger このビットをセットすることで、オートリクエストをセットします。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先されます。 このビットをリードすると0が読めます。 1：オートリクエストによる転送要求のセット（RQSTビットをセット） 0：動作に影響を与えません。
1	CLREN	0	R/W	Clear Enable このビットをセットすることで、ENビットのクリアを行うことができます（詳細は「9.7.11 (2)　転送中断」参照）。 このビットをリードすると0が読めます。 1：DMA転送の停止（ENビットをクリア） 0：動作に影響を与えません。
0	SETEN	0	R/W	Set Enable DMAチャネルnのDMA転送の許可を設定します。SWRSTビットと同時にセットした場合には、SWRSTビットによるクリアが優先され、転送は開始しません。 このビットをリードすると0が読めます。 1：DMA転送の許可（ENビットをセット） 0：動作に影響を与えません。

9.4.9 Channel Configuration Register n (CHCFG_n)

DMA チャネル n の DMA 転送動作を制御するレジスタです（n = 0 ～ 15）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DMS	REN	RSW	RSEL	SBE	-	-	DEM	-	TM	DAD	SAD	DDS[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SDS[3:0]				-	AM[2:0]			-	LVL	HIEN	LOEN	REQD	SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	意味
31	DMS	0	R/W	DMA Mode Select DMAモードを設定します。 0：レジスタ・モード（初期値） 1：リンク・モード
30	REN	0	R/W	Register Set Enable DMA トランザクション完了後に、続けて、RSEL で選択されている Next レジスタ・セットで DMA 転送を行います。このビットはレジスタ・モード時のみ有効です。 0：続けて実行しない 1：続けて実行する セット条件 • 本ビットへ 1 をライト クリア条件 • 本ビットへ 0 をライト • REN＝1 で DMA トランザクション完了時
29	RSW	0	R/W	Register Select Switch DMA トランザクション終了後に、RSEL を自動で反転します。このビットはレジスタ・モード時のみ有効です。 0：DMA トランザクション完了後に RSEL を反転しない（初期値） 1：DMA トランザクション完了後に RSEL を反転する
28	RSEL	0	R/W	Register Set Select 次に実行する Next レジスタ・セットを選択します。このビットはレジスタ・モード時のみ有効です。 RSW＝1 の場合、DMA トランザクション完了時に自動的に反転します。 0：Next0 Register Set を実行する（初期値） 1：Next1 Register Set を実行する 遷移条件： • RSW＝1 で DMA トランザクション完了時
27	SBE	0	R/W	Sweep Buffer Enable DMA トランザクション中にイネーブルを 0 にクリアした場合、すでにリードしてバッファに取り込んでいるデータを掃き出して（ライトして）停止するか否かを選択します。 REQD＝0 の場合のみ、掃き出しモードを使用することができます。 0：バッファの掃き出しをしないで転送中止（初期値） 1：バッファの掃き出しをして転送中止
26、25	—	すべて 0	R	Reserved 領域です。0 を設定してください。読み出すと 0 が読めます。
24	DEM	0	R/W	DMA 転送終了割り込み Mask レジスタ・モードの転送時に DMA 転送終了割り込みをマスクします。 DMA 転送終了割り込みの出力タイミングでこのビットが 1 だった場合、DMA 転送終了割り込み信号をアサートしません。このとき、DEM は自動的に 0 クリアされます。 0：マスクしない（初期値） 1：マスクする クリア条件： • DEM＝1 で DMA トランザクション完了時
23	—	0	R	Reserved 領域です。0 を設定してください。読み出すと 0 が読めます。

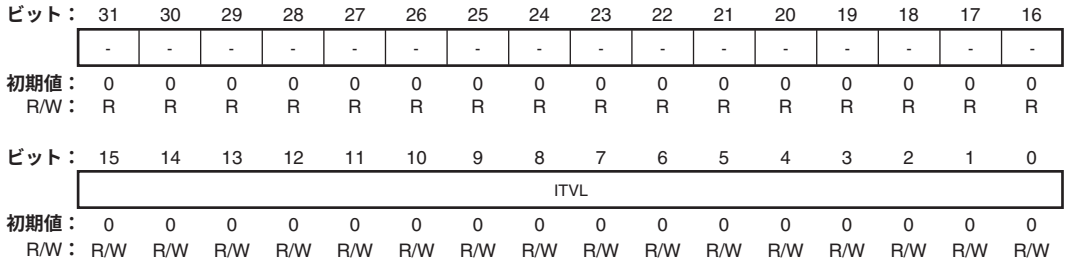
<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>意味</th></tr>
<tr><td>22</td><td>TM</td><td>0</td><td>R/W</td><td>Transfer Mode
DMA転送モードを設定します。
0：シングル転送モード（初期値）
1：ブロック転送モード</td></tr>
<tr><td>21</td><td>DAD</td><td>0</td><td>R/W</td><td>DMAチャネルnの転送先アドレスのカウント方向を設定します。
0：インクリメント（初期値）
1：固定</td></tr>
<tr><td>20</td><td>SAD</td><td>0</td><td>R/W</td><td>DMAチャネルnの転送元アドレスのカウント方向を設定します。
0：インクリメント（初期値）
1：固定</td></tr>
<tr><td>19 ～ 16</td><td>DDS[3:0]</td><td>0000</td><td>R/W</td><td>Destination Data Size
転送先DMAトランスファ・サイズを設定します。
<table>
<tr><th>設定値</th><th>サイズ</th><th>備考</th></tr>
<tr><td>0000</td><td>8ビット</td><td>初期値</td></tr>
<tr><td>0001</td><td>16ビット</td><td></td></tr>
<tr><td>0010</td><td>32ビット</td><td></td></tr>
<tr><td>0011</td><td>64ビット</td><td></td></tr>
<tr><td>0100</td><td>128ビット</td><td></td></tr>
<tr><td>0101</td><td>256ビット</td><td></td></tr>
<tr><td>0110</td><td>512ビット</td><td></td></tr>
<tr><td>0111</td><td>1024ビット</td><td></td></tr>
<tr><td>上記以外</td><td>—</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>15 ～ 12</td><td>SDS[3:0]</td><td>0000</td><td>R/W</td><td>Source Data Size
転送元 DMA トランスファ・サイズを設定します。
<table>
<tr><th>設定値</th><th>サイズ</th><th>備考</th></tr>
<tr><td>0000</td><td>8 ビット</td><td>初期値</td></tr>
<tr><td>0001</td><td>16 ビット</td><td></td></tr>
<tr><td>0010</td><td>32 ビット</td><td></td></tr>
<tr><td>0011</td><td>64 ビット</td><td></td></tr>
<tr><td>0100</td><td>128 ビット</td><td></td></tr>
<tr><td>0101</td><td>256 ビット</td><td></td></tr>
<tr><td>0110</td><td>512 ビット</td><td></td></tr>
<tr><td>0111</td><td>1024 ビット</td><td></td></tr>
<tr><td>上記以外</td><td>—</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>11</td><td>—</td><td>0</td><td>R</td><td>Reserved領域です。0を設定してください。読み出すと0が読めます。</td></tr>
<tr><td>10 ～ 8</td><td>AM[2:0]</td><td>000</td><td>R/W</td><td>ACK Mode
DMAACK出力モードを設定します。
000：（初期値）
001：レベル・モード
（選択された周辺モジュールあるいは外部DREQからの転送要求がインアテクィブになるまでアクティブ）
01x：バス・サイクル・モード
（DMA転送がバス・サイクルの間アクティブ）
1xx：DMAACKを出力しない
（STG（CHCTRL_n）によるオートリクエスト時に設定してください）</td></tr>
<tr><td>7</td><td>—</td><td>0</td><td>R</td><td>Reserved領域です。0を設定してください。読み出すと0が読めます。</td></tr>
<tr><td>6</td><td>LVL</td><td>0</td><td>R/W</td><td>Level
DMA要求を、信号のレベルで検出するかエッジで検出するかを選択します。
0：エッジで検出します（初期値）
1：レベルで検出します</td></tr>
</table>

ビット	ビット名	初期値	R/W	意味
5	HIEN	0	R/W	High Enable DMA 要求を、信号の High レベルか立ち上がりエッジで検出することを選択します。 LVL＝0の場合： HIEN＝1：信号が立ち上がった場合要求があったと認識します HIEN＝0：信号が立ち上がっても要求を認識しません（初期値） LVL＝1の場合： HIEN＝1：信号が Highの場合要求があったと認識します HIEN＝0：信号が Highでも要求を認識しません（初期値）
4	LOEN	0	R/W	Low Enable DMA 要求を、信号の Low レベルか立ち下がりエッジで検出することを選択します。 LVL＝0の場合： LOEN＝1：信号が立ち下がった場合要求があったと認識します LOEN＝0：信号が立ち下がっても要求を認識しません（初期値） LVL＝1の場合： LOEN＝1：信号が Lowの場合要求があったと認識します LOEN＝0：信号が Lowでも要求を認識しません（初期値）
3	REQD	0	R/W	Request Direction SEL ビットで選択した DMAREQ が、ソース側かディスティネーション側のどちらであるかを選択します。また、DMAACK がアクティブになるタイミングもこのビットで選択します。 0：ソース側、DMAACK はリード時にアクティブ（初期値） 1：ディスティネーション側、DMAACK はライト時にアクティブ
2 ～ 0	SEL[2:0]	000	R/W	DMAC のチャネルを設定するビットです。CHCFG_n のチャネルと SEL で設定するチャネルが等しくなるように、以下の値を設定してください。 000：CH0/CH8 001：CH1/CH9 010：CH2/CH10 011：CH3/CH11 100：CH4/CH12 101：CH5/CH13 110：CH6/CH14 111：CH7/CH15

9.4.10 Channel Interval Register n (CHITVL_n)

DMA チャネル n の転送間隔を設定します（n = 0 ～ 15）。

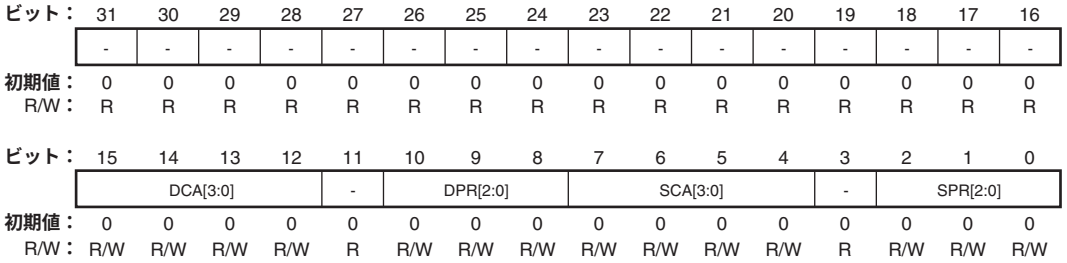
詳細は「9.7.9 **インターバル･カウント機能**」を参照してください。



ビット	ビット名	初期値	R/W	意味
31 ～ 16	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
15 ～ 0	ITVL	all 0	R/W	チャネル転送間隔を設定します。

9.4.11 Channel Extension Register n (CHEXT_n)

DMA チャネル n の拡張用レジスタです（n = 0 ～ 15）。



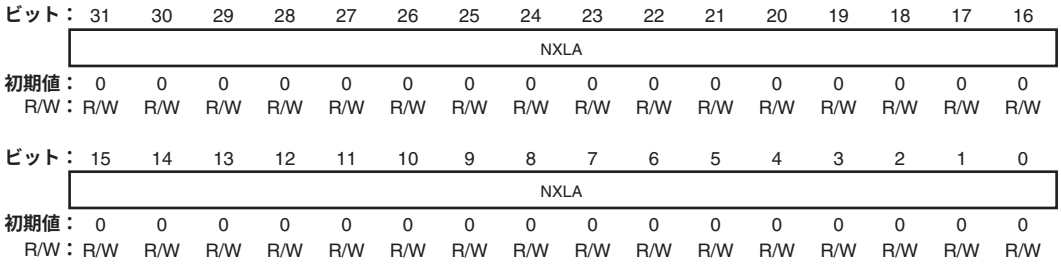
ビット	ビット名	初期値	R/W	意味
31 ～ 16	—	all 0	R	0を設定してください。読み出すと0が読めます。
15 ～ 12	DCA[3:0]	0000	R/W	Destination CACHE DMAライト・トランスファのAWCACHE[3:0]に出力する値を設定します。 注1.を参照してください。
11	—	0	R	0を設定してください。読み出すと0が読めます。
10 ～ 8	DPR[2:0]	000	R/W	Destination PROT DMA ライト・トランスファのAWPROT[2:0]に出力する値を設定します。 注2.を参照してください。
7 ～ 4	SCA[3:0]	0000	R/W	Source CACHE DMAリード・トランスファのARCACHE[3:0]に出力する値を設定します。 注1.を参照してください。
3	—	0	R	0を設定してください。読み出すと0が読めます。
2 ～ 0	SPR[2:0]	000	R/W	Source PROT DMA リード・トランスファのARPROT[2:0]に出力する値を設定します。 注2.を参照してください。

注1.　キャッシュサポート：SCA及びDCAにて変更できます。
転送先あるいは転送元が外部バス空間以外の場合、0000を設定してください。
外部バス空間の場合でも、2次キャッシュを使用しない場合、0000を設定してください。この場合、DREQ0転送要求に対するDACK0出力、TEND0出力が発行されます。
外部バス空間で、2次キャッシュを使用する場合にはCACHE[3:0]を設定してください。

注2.　保護ユニットサポート：SPR及びDPRにて変更できます。
設定値についてはArm 社の「AMBA AXI Protocol Specification」を参照してください。

9.4.12 Next Link Address Register n (NXLA_n)

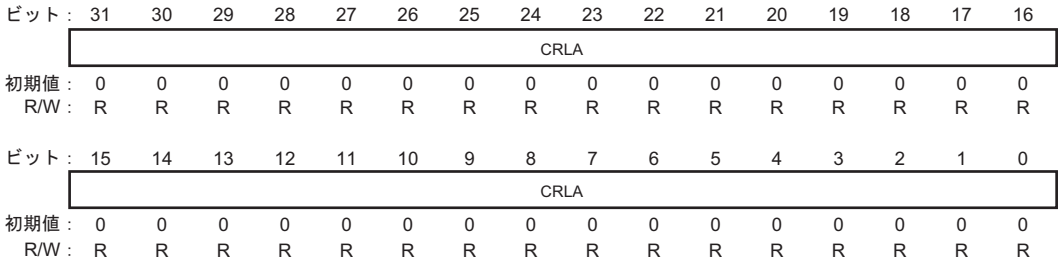
DMA チャネル n のリンク・アドレスを設定する 32 ビット・レジスタです（n = 0 ～ 15）。
リンク・モードについては、「9.6.3　リンク・モード」を参照してください。



ビット	ビット名	初期値	R/W	意味
31 ～ 0	NXLA	all 0	R/W	リンク先のアドレスを設定します。下位2ビットは0でマスクされます。4バイト・アラインされたアドレスのみ設定可能です。

9.4.13 Current Link Address Register n (CRLA_n)

DMA チャネル n のリンク・アドレスを表示する 32 ビット・レジスタです（n = 0 ～ 15）。
リンク・モードについては、「9.6.3　リンク・モード」を参照してください。



ビット	ビット名	初期値	R/W	意味
31 ～ 0	CRLA	all 0	R	現在実行しているディスクリプタのアドレスが表示されます。

9.4.14 DMA Control Register (DCTRL_0_7, DCTRL_8_15)

ディスクリプタ・アクセス時の転送タイプ、およびチャネル間のアービトレーションを設定します（DCTRL_0_7 はチャネル 0 ～ 7 共通、DCTRL_8_15 はチャネル 8 ～ 15 共通）。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LWCA				-	LWPR			LDCA				-	LDPR		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	LVINT	PR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	意味
31 ～ 28	LWCA	0000	R/W	Link WriteBack CACHE リンク・モードのディスクリプタ・ライト・バック時にAWCACHE[3:0]に出力する値を設定します。設定値については「9.4.11　Channel Extension Register n (CHEXT_n)」の注.を参照してください。
27	—	0	R	Reserved領域です。0を設定してください。初期値は0です。
26 ～ 24	LWPR	000	R/W	Link WriteBack PROT リンク・モードのディスクリプタ・ライト・バック時にAWPROT[2:0]に出力する値を設定します。 設定値についてはArm 社の「AMBA AXI Protocol Specification」を参照してください。
23 ～ 20	LDCA	0000	R/W	Link Descriptor CACHE リンク・モードのディスクリプタ・ロード時にARCACHE[3:0]に出力する値を設定します。設定値については「9.4.11　Channel Extension Register n (CHEXT_n)」の注.を参照してください。
19	—	0	R	Reserved領域です。0を設定してください。初期値は0です。
18 ～ 16	LDPR	000	R/W	Link Descriptor PROT リンク・モードのディスクリプタ・ロード時にARPROT[2:0]に出力する値を設定します。 設定値についてはArm 社の「AMBA AXI Protocol Specification」を参照してください。
15 ～ 2	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
1	LVINT	0	R/W	DMA転送終了割り込み、DMAエラー割り込みをパルスで出力するか、レベルで出力するかを設定します。本製品ではパルス出力を設定してください。 0：パルス出力（初期値） 1：レベル出力
0	PR	0	R/W	チャネル間の転送優先順位制御モードを設定します（「9.7.2　DMAチャネルの優先順位制御」参照）。 0：固定優先順位モード（初期値） 1：ラウンドロビン・モード

9.4.15 DMA Status EN Register (DSTAT_EN_0_7)

CHSTAT_n レジスタ（n ＝ 0 ～ 7）の EN ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	EN7	0	R	DMAチャネル7のENビットの状態を表示します。
6	EN6	0	R	DMAチャネル6のENビットの状態を表示します。
5	EN5	0	R	DMAチャネル5のENビットの状態を表示します。
4	EN4	0	R	DMAチャネル4のENビットの状態を表示します。
3	EN3	0	R	DMAチャネル3のENビットの状態を表示します。
2	EN2	0	R	DMAチャネル2のENビットの状態を表示します。
1	EN1	0	R	DMAチャネル1のENビットの状態を表示します。
0	EN0	0	R	DMAチャネル0のENビットの状態を表示します。

9.4.16 DMA Status EN Register (DSTAT_EN_8_15)

CHSTAT_n レジスタ（n ＝ 8 ～ 15）の EN ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	EN15	0	R	DMAチャネル15のENビットの状態を表示します。
6	EN14	0	R	DMAチャネル14のENビットの状態を表示します。
5	EN13	0	R	DMAチャネル13のENビットの状態を表示します。
4	EN12	0	R	DMAチャネル12のENビットの状態を表示します。
3	EN11	0	R	DMAチャネル11のENビットの状態を表示します。
2	EN10	0	R	DMAチャネル10のENビットの状態を表示します。
1	EN9	0	R	DMAチャネル9のENビットの状態を表示します。
0	EN8	0	R	DMAチャネル8のENビットの状態を表示します。

9.4.17 DMA Status ER Register (DSTAT_ER_0_7)

CHSTAT_n レジスタ（n ＝ 0 ～ 7）の ER ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	ER7	0	R	DMAチャネル7のERビットの状態を表示します。
6	ER6	0	R	DMAチャネル6のERビットの状態を表示します。
5	ER5	0	R	DMAチャネル5のERビットの状態を表示します。
4	ER4	0	R	DMAチャネル4のERビットの状態を表示します。
3	ER3	0	R	DMAチャネル3のERビットの状態を表示します。
2	ER2	0	R	DMAチャネル2のERビットの状態を表示します。
1	ER1	0	R	DMAチャネル1のERビットの状態を表示します。
0	ER0	0	R	DMAチャネル0のERビットの状態を表示します。

9.4.18 DMA Status ER Register (DSTAT_ER_8_15)

CHSTAT_n レジスタ（n ＝ 8 ～ 15）の ER ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	ER15	0	R	DMAチャネル15のERビットの状態を表示します。
6	ER14	0	R	DMAチャネル14のERビットの状態を表示します。
5	ER13	0	R	DMAチャネル13のERビットの状態を表示します。
4	ER12	0	R	DMAチャネル12のERビットの状態を表示します。
3	ER11	0	R	DMAチャネル11のERビットの状態を表示します。
2	ER10	0	R	DMAチャネル10のERビットの状態を表示します。
1	ER9	0	R	DMAチャネル9のERビットの状態を表示します。
0	ER8	0	R	DMAチャネル8のERビットの状態を表示します。

9.4.19 DMA Status END Register (DSTAT_END_0_7)

CHSTAT_n レジスタ（n ＝ 0 ～ 7）の END ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	END7	END6	END5	END4	END3	END2	END1	END0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	END7	0	R	DMAチャネル7のENDビットの状態を表示します。
6	END6	0	R	DMAチャネル6のENDビットの状態を表示します。
5	END5	0	R	DMAチャネル5のENDビットの状態を表示します。
4	END4	0	R	DMAチャネル4のENDビットの状態を表示します。
3	END3	0	R	DMAチャネル3のENDビットの状態を表示します。
2	END2	0	R	DMAチャネル2のENDビットの状態を表示します。
1	END1	0	R	DMAチャネル1のENDビットの状態を表示します。
0	END0	0	R	DMAチャネル0のENDビットの状態を表示します。

9.4.20 DMA Status END Register (DSTAT_END_8_15)

CHSTAT_n レジスタ（n ＝ 8 ～ 15）の END ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	END15	END14	END13	END12	END11	END10	END9	END8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	END15	0	R	DMAチャネル15のENDビットの状態を表示します。
6	END14	0	R	DMAチャネル14のENDビットの状態を表示します。
5	END13	0	R	DMAチャネル13のENDビットの状態を表示します。
4	END12	0	R	DMAチャネル12のENDビットの状態を表示します。
3	END11	0	R	DMAチャネル11のENDビットの状態を表示します。
2	END10	0	R	DMAチャネル10のENDビットの状態を表示します。
1	END9	0	R	DMAチャネル9のENDビットの状態を表示します。
0	END8	0	R	DMAチャネル8のENDビットの状態を表示します。

9.4.21 DMA Status TC Register (DSTAT_TC_0_7)

CHSTAT_n レジスタ（n ＝ 0 ～ 7）の TC ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	TC7	0	R	DMAチャネル7のTCビットの状態を表示します。
6	TC6	0	R	DMAチャネル6のTCビットの状態を表示します。
5	TC5	0	R	DMAチャネル5のTCビットの状態を表示します。
4	TC4	0	R	DMAチャネル4のTCビットの状態を表示します。
3	TC3	0	R	DMAチャネル3のTCビットの状態を表示します。
2	TC2	0	R	DMAチャネル2のTCビットの状態を表示します。
1	TC1	0	R	DMAチャネル1のTCビットの状態を表示します。
0	TC0	0	R	DMAチャネル0のTCビットの状態を表示します。

9.4.22 DMA Status TC Register (DSTAT_TC_8_15)

CHSTAT_n レジスタ（n ＝ 8 ～ 15）の TC ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	TC15	0	R	DMAチャネル15のTCビットの状態を表示します。
6	TC14	0	R	DMAチャネル14のTCビットの状態を表示します。
5	TC13	0	R	DMAチャネル13のTCビットの状態を表示します。
4	TC12	0	R	DMAチャネル12のTCビットの状態を表示します。
3	TC11	0	R	DMAチャネル11のTCビットの状態を表示します。
2	TC10	0	R	DMAチャネル10のTCビットの状態を表示します。
1	TC9	0	R	DMAチャネル9のTCビットの状態を表示します。
0	TC8	0	R	DMAチャネル8のTCビットの状態を表示します。

9.4.23 DMA Status SUS Register (DSTAT_SUS_0_7)

CHSTAT_n レジスタ（n ＝ 0 ～ 7）の SUS ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	SUS7	SUS6	SUS5	SUS4	SUS3	SUS2	SUS1	SUS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	SUS7	0	R	DMAチャネル7のSUSビットの状態を表示します。
6	SUS6	0	R	DMAチャネル6のSUSビットの状態を表示します。
5	SUS5	0	R	DMAチャネル5のSUSビットの状態を表示します。
4	SUS4	0	R	DMAチャネル4のSUSビットの状態を表示します。
3	SUS3	0	R	DMAチャネル3のSUSビットの状態を表示します。
2	SUS2	0	R	DMAチャネル2のSUSビットの状態を表示します。
1	SUS1	0	R	DMAチャネル1のSUSビットの状態を表示します。
0	SUS0	0	R	DMAチャネル0のSUSビットの状態を表示します。

9.4.24 DMA Status SUS Register (DSTAT_SUS_8_15)

CHSTAT_n レジスタ（n ＝ 8 ～ 15）の SUS ビット状態を表示します。
このレジスタへライトを行っても、各ビットの値は変化しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	SUS15	SUS14	SUS13	SUS12	SUS11	SUS10	SUS9	SUS8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	意味
31 ～ 8	—	all 0	R	Reserved領域です。0を設定してください。読み出すと0が読めます。
7	SUS15	0	R	DMAチャネル15のSUSビットの状態を表示します。
6	SUS14	0	R	DMAチャネル14のSUSビットの状態を表示します。
5	SUS13	0	R	DMAチャネル13のSUSビットの状態を表示します。
4	SUS12	0	R	DMAチャネル12のSUSビットの状態を表示します。
3	SUS11	0	R	DMAチャネル11のSUSビットの状態を表示します。
2	SUS10	0	R	DMAチャネル10のSUSビットの状態を表示します。
1	SUS9	0	R	DMAチャネル9のSUSビットの状態を表示します。
0	SUS8	0	R	DMAチャネル8のSUSビットの状態を表示します。

9.4.25　DMA 拡張リソースセレクタ 0 ～ 7（DMARS0 ～ DMARS7）

DMARS は、読み出し／書き込み可能な 32 ビットのレジスタで、チャネルごとに周辺モジュールからの DMA 転送要求元を指定します。DMARS0 はチャネル 0 および 1、DMARS1 はチャネル 2 および 3 のように設定します。

設定可能な組み合わせを**表 9.4** に示します。

本レジスタで、以下の起動要因に対して転送要求を受け付けることができるように設定できます。
内蔵周辺モジュールリクエストを発行できるモジュールには以下のモジュールがあります。
FIFO 内蔵シリアルコミュニケーションインタフェース：10 要因、
A/D 変換器：1 要因、マルチファンクションタイマパルスユニット 2：5 要因、
USB2.0 ホスト／ファンクションモジュール：4 要因、
シリアルサウンドインタフェース：7 要因、
ルネサス SPDIF インタフェース：2 要因、CD-ROM デコーダ：1 要因 (RZ/A1L のみ)、
SD ホストインタフェース：4 要因、MMC ホストインタフェース：2 要因、
ルネサスシリアルペリフェラルインタフェース：6 要因、
IEBus™ コントローラ：2 要因 (RZ/A1L のみ)、
OS タイマ：2 要因、SCUX：8 要因、メディア・ローカル・バス：1 要因 (RZ/A1L のみ)、
シリアルコミュニケーションインタフェース：4 要因、
I^2C バスインタフェース：8 要因、
LIN インタフェース：2 要因 (RZ/A1L のみ)

本製品に搭載している内蔵周辺モジュールには、割り込み要求と DMA 転送要求を兼用信号として出力するモジュールがあります。DMARS レジスタで当該モジュールを選択すると、この兼用信号は DMA 転送要求信号となり、割り込みコントローラへの割り込み要求はマスクされます。割り込みを有効にする場合は DMARS の選択をクリア（MID[6:0]、RID[1:0] をすべて 0）してください。

- DMARS0

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH1 MID[6:0]							CH1 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH0 MID[6:0]							CH0 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS1

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH3 MID[6:0]							CH3 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH2 MID[6:0]							CH2 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS2

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH5 MID[6:0]							CH5 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH4 MID[6:0]							CH4 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS3

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH7 MID[6:0]							CH7 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH6 MID[6:0]							CH6 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS4

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH9 MID[6:0]							CH9 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH8 MID[6:0]							CH8 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS5

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH11 MID[6:0]							CH11 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH10 MID[6:0]							CH10 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS6

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH13 MID[6:0]							CH13 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH12 MID[6:0]							CH12 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

- DMARS7

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CH15 MID[6:0]							CH15 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CH14 MID[6:0]							CH14 RID[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.5 動作説明

DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。

9.5.1 転送フロー

Next Source Address Register（N0SA_n/N1SA_n）、Next Destination Address Register（N0DA_n/N1DA_n）、Next Transaction Byte Register（N0TB_n/N1TB_n）、Channel Control Register（CHCTRL_n）、Channel Configuration Register（CHCFG_n）、Channel Extension Register（CHEXT_n）、DMA Control Register（DCTRL_0_7/ DCTRL_8_15）、DMA 拡張リソースセレクト（DMARS）に目的の転送条件設定後、以下の順序でデータを転送します。

1. 転送許可状態かどうか（Channel Status Register の EN ＝ 0 かつ TACT ＝ 0）をチェックします。
2. Channel Status Register をクリアします（Channel Control Register の SWRST ＝ 1 をセット）。
3. DMA 転送の許可を設定します（Channel Control Register の SETEN ＝ 1 をセット）。
4. 転送許可状態で転送要求が発生すると 1 転送単位のデータ（DDS[3:0] および SDS[3:0] ビットの設定により決定）を転送します。オートリクエストモードの場合は Channel Control Register の STG ビットが 1 にセットされると自動的に転送を開始します。転送を行うごとに CRTB_n の値をデクリメントします。
5. Channel Configuration Register の REN ＝ 0 のとき、指定された回数の転送を終える（CRTB_n の値が 0 になる）と、転送を正常に終了します。このとき Channel Configuration Register の DEM ビットが 0 であれば、CPU に DMA 転送終了割り込みを発生します。REN ＝ 1 のときには、CRTB_n の値が 0 になると、Channel Configuration Register の RSEL で指定された N0SA_n/N1SA_n、N0DA_n/N1DA_n、N0TB_n/N1TB_n の値で、転送要求がなくなるまで転送動作を継続します。
6. 本モジュールによるアドレスエラーが発生した場合には、転送を中断します。また CHCTRL_n の CLREN ビットを 1 にしても中断します。

9.5.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。外部リクエスト、内蔵周辺モジュールリクエストの転送要求の選択は DMARS0 ～ DMARS7 レジスタによって行います。

(1) オートリクエストモード

オートリクエストモードは、メモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリ転送のように、転送要求信号が外部から来ない場合に、本モジュール内部で自動的に転送要求信号を発生するモードです。Channel Control Register の STG ビットを 1 にセットすると転送が開始されます。ただし Channel Status Register の TACT ＝ 0 である必要があります。

(2) 外部リクエストモード

外部リクエストモードは、LSI の外部デバイスからの転送要求信号（DREQ0）によって転送を開始させるモードです。DMA 転送が許可されているときに DREQ が入力されると DMA 転送が開始されます。

DREQ0 をエッジで検出するかレベルで検出するかは、以下に示す Channel Configuration Register 0 の LVL ビット、HIEN ビット、LOEN ビットで選択します。転送要求元は必ずしもデータの転送元か転送先である必要はありません。

また、DACK0、TEND0 端子の出力レベル設定については「8. バスステートコントローラ」を参照してください。

表 9.3　外部リクエスト検出設定

CHCFG_0			外部リクエスト検出方法
LVL	HIEN	LOEN	
0	0	1	立ち下がり検出
	1	0	立ち上がり検出
1	0	1	ローレベル検出
	1	0	ハイレベル検出

DREQ0 が受け付けられると DREQ0 端子は要求受け付け不可能状態（不感帯）となります。受け付けた DREQ0 に対するアクノリッジ DACK0 を出力した後、再び DREQ0 端子は要求を受け付けることが可能になります。

(3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードでは、内蔵周辺モジュールからの DMA 転送要求信号によって転送が実行されます。

内蔵周辺モジュールリクエストモード選択時に、DMA 転送許可状態ならば、転送要求信号によって転送が実行されます。

内蔵周辺モジュールおよび外部リクエストから本モジュールに対する DMA 転送要求信号の一覧を表 9.4 に示します。

内蔵周辺モジュールリクエストの場合には、転送元、転送先が固定されるケースがあります。表 9.4 を参照してください。

表9.4　　内蔵周辺モジュールリクエスト

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARS		CHCFG_n						
				MID	RID	TM	AM[2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
OSタイマ チャネル0	OSTM0TINT （コンペアマッチ）	任意	任意	000_1000	11	0/1	010	0	1	0	0/1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
OSタイマ チャネル1	OSTM1TINT （コンペアマッチ）	任意	任意	000_1001	11							
マルチ ファンクション タイマパルス ユニット2 チャネル0	TGIA_0 （インプット キャプチャ／ コンペアマッチ）	任意	任意	001_0000	11	0/1	001	1			0/1	
マルチ ファンクション タイマパルス ユニット2 チャネル1	TGIA_1 （インプット キャプチャ／ コンペアマッチ）	任意	任意	001_0001	11							
マルチ ファンクション タイマパルス ユニット2 チャネル2	TGIA_2 （インプット キャプチャ／ コンペアマッチ）	任意	任意	001_0010	11							
マルチ ファンクション タイマパルス ユニット2 チャネル3	TGIA_3 （インプット キャプチャ／ コンペアマッチ）	任意	任意	001_0011	11							
マルチ ファンクション タイマパルス ユニット2 チャネル4	TGIA_4 （インプット キャプチャ／ コンペアマッチ）	任意	任意	001_0100	11							
FIFO内蔵シリアル コミュニケーション インタフェース チャネル0	TXI0 （送信エンプティ）	任意	SCFTDR_0	001_1000	01	0	010	1			1	
	RXI0 （受信データフル）	SCFRDR_0	任意		10						0	
FIFO内蔵シリアル コミュニケーション インタフェース チャネル1	TXI1 （送信エンプティ）	任意	SCFTDR_1	001_1001	01						1	
	RXI1 （受信データフル）	SCFRDR_1	任意		10						0	
FIFO内蔵シリアル コミュニケーション インタフェース チャネル2	TXI2 （送信エンプティ）	任意	SCFTDR_2	001_1010	01						1	
	RXI2 （受信データフル）	SCFRDR_2	任意		10						0	
FIFO内蔵シリアル コミュニケーション インタフェース チャネル3	TXI3 （送信エンプティ）	任意	SCFTDR_3	001_1011	01						1	
	RXI3 （受信データフル）	SCFRDR_3	任意		10						0	
FIFO内蔵シリアル コミュニケーション インタフェース チャネル4	TXI4 （送信エンプティ）	任意	SCFTDR_4	001_1100	01						1	
	RXI4 （受信データフル）	SCFRDR_4	任意		10						0	
USB2.0ホスト／ ファンクション モジュール チャネル0	USB0_DMA0 （チャネル0送信 FIFOエンプティ）	任意	D0FIFO_0 D0FIFOBn_0 （n = 0～7）	010_0000	11		010	1			1	
	USB0_DMA0 （チャネル0受信 FIFOフル）	D0FIFO_0 D0FIFOBn_0 （n = 0～7）	任意								0	
	USB0_DMA1 （チャネル1送信 FIFOエンプティ）	任意	D1FIFO_0 D1FIFOBn_0 （n = 0～7）	010_0001	11						1	
	USB0_DMA1 （チャネル1受信 FIFOフル）	D1FIFO_0 D1FIFOBn_0 （n = 0～7）	任意								0	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARS		CHCFG_n						
				MID	RID	TM	AM[2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
USB2.0ホスト／ファンクションモジュールチャネル1	USB1_DMA0（チャネル0送信FIFOエンプティ）	任意	D0FIFO_1 D1FIFOBn_1 （n = 0～7）	010_0010	11	0	010	1	1	0	1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	USB1_DMA0（チャネル0受信FIFOフル）	D0FIFO_1 D0FIFOBn_1 （n = 0～7）	任意								0	
	USB1_DMA1（チャネル1送信FIFOエンプティ）	任意	D0FIFO_1 D0FIFOBn_1 （n = 0～7）	010_0011	11						1	
	USB1_DMA1（チャネル1受信FIFOフル）	D1FIFO_1 D1FIFOBn_1 （n = 0～7）	任意								0	
A/D変換器	ADI（A/D変換終了）	ADDR	任意	010_0100	11	0/1	001	1			0	
IEBus™コントローラ(RZ/A1Lのみ)	IEBBTD(データ割り込み)(シングルモード送信時)	任意	IEBB0DR	010_1000	11	0	010	0	1	0		
	IEBBTD(データ割り込み)(シングルモード受信時)	IEBB0DR	任意									
	IEBBTD(データ割り込み)(FIFOモード送信時)	任意	IEBB0DR									
	IEBBTV(ベクタ割り込み)(FIFOモード受信時)	IEBB0DR	任意	010_1001	11							
CD-ROMデコーダ(RZ/A1Lのみ)	IREADY（デコード終了）	STRMDOUT0	任意	010_1010	11		010	1			0	
SDホストインタフェース0	SDHI_0送信	任意	データレジスタ	011_0000	01		010	1			1	
	SDHI_0受信	データレジスタ	任意		10						0	
SDホストインタフェース1	SDHI_1送信	任意	データレジスタ	011_0001	01						1	
	SDHI_1受信	データレジスタ	任意		10						0	
MMCホストインタフェース	送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ	任意	データレジスタ	011_0010	01		010	1			1	
	受信ﾃﾞｰﾀﾌﾙ	データレジスタ	任意		10						0	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARS		CHCFG_n						
				MID	RID	TM	AM[2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
シリアルサウンドインタフェースチャネル0	SSITXI0（送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ）	任意	SSIFTDR_0	011_1000	01	0	010	1	1	0	1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	SSIRXI0（受信ﾃﾞｰﾀﾌﾙ）	SSIFRDR_0	任意		10						0	
シリアルサウンドインタフェースチャネル1	SSITXI1（送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ）	任意	SSIFTDR_1	011_1001	01						1	
	SSIRXI1（受信ﾃﾞｰﾀﾌﾙ）	SSIFRDR_1	任意		10						0	
シリアルサウンドインタフェースチャネル2	SSIRTI2（送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ）	任意	SSIFTDR_2	011_1010	11						1	
	SSIRTI2（受信ﾃﾞｰﾀﾌﾙ）	SSIFRDR_2	任意								0	
シリアルサウンドインタフェースチャネル3	SSITXI3（送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ）	任意	SSIFTDR_3	011_1011	01						1	
	SSIRXI3（受信ﾃﾞｰﾀﾌﾙ）	SSIFRDR_3	任意		10						0	
SCUX	SCUTXI0（FFD0_0 要求）	任意	DMATD0_CIM	100_0000	01		001	1			1	
	SCURXI0（FFU0_0 要求）	DMATU0_CIM	任意		10						0	
	SCUTXI1（FFD0_1 要求）	任意	DMATD1_CIM	100_0001	01						1	
	SCURXI1（FFU0_1 要求）	DMATU1_CIM	任意		10						0	
	SCUTXI2（FFD0_2 要求）	任意	DMATD2_CIM	100_0010	01						1	
	SCURXI2（FFU0_2 要求）	DMATU2_CIM	任意		10						0	
	SCUTXI3（FFD0_3 要求）	任意	DMATD3_CIM	100_0011	01						1	
	SCURXI3（FFU0_3 要求）	DMATU3_CIM	任意		10						0	
ルネサスシリアルペリフェラルインタフェースチャネル0	SPTI0（送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ）	任意	SPDR_0	100_1000	01	0	010	1	1	0	1	
	SPRI0（受信ﾃﾞｰﾀﾌﾙ）	SPDR_0	任意		10						0	
ルネサスシリアルペリフェラルインタフェースチャネル1	SPTI1（送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ）	任意	SPDR_1	100_1001	01						1	
	SPRI1（受信ﾃﾞｰﾀﾌﾙ）	SPDR_1	任意		10						0	
ルネサスシリアルペリフェラルインタフェースチャネル2	SPTI2（送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ）	任意	SPDR_2	100_1010	01						1	
	SPRI2（受信ﾃﾞｰﾀﾌﾙ）	SPDR_2	任意		10						0	
ルネサスSPDIFインタフェース	SPDIFTXI	任意	TDAD	101_0000	01		010	1			1	
	SPDIFRXI	RDAD	任意		10						0	
メディア・ローカル・バス(RZ/A1Lのみ)	MLB_CINT（MLBﾁｬﾈﾙ書込）	任意	Local Channel buffer	101_0011	11	0	010	1	1	0	1	
	MLB_CINT（MLBﾁｬﾈﾙ読出）	Local Channel buffer	任意								0	

DMA転送要求元	DMA転送要求信号	転送元	転送先	DMARS		CHCFG_n						
				MID	RID	TM	AM[2:0]	LVL	HIEN	LOEN	REQD	SEL[2:0]
シリアル コミュニケーション インタフェース チャネル0	TXI0	任意	TDR0	101_1010	01	0	010	0	1	0	1	Ch0:000 Ch1:001 Ch2:010 Ch3:011 Ch4:100 Ch5:101 Ch6:110 Ch7:111 Ch8:000 Ch9:001 Ch10:010 Ch11:011 Ch12:100 Ch13:101 Ch14:110 Ch15:111
	RXI0	RDR0	任意		10						0	
シリアル コミュニケーション インタフェース チャネル1	TXI1	任意	TDR1	101_1011	01		010	0			1	
	RXI1	RDR1	任意		10						0	
I²Cバス インタフェース チャネル0	INTRIICTI0 (送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ)	任意	RIIC0DRT	110_0000	01		010	0			1	
	INTRIICRI0 (受信ﾃﾞｰﾀﾌﾙ)	RIIC0DRR	任意		10						0	
I²Cバス インタフェース チャネル1	INTRIICTI1 (送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ)	任意	RIIC1DRT	110_0001	01						1	
	INTRIICRI1 (受信ﾃﾞｰﾀﾌﾙ)	RIIC1DRR	任意		10						0	
I²Cバス インタフェース チャネル2	INTRIICTI2 (送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ)	任意	RIIC2DRT	110_0010	01						1	
	INTRIICRI2 (受信ﾃﾞｰﾀﾌﾙ)	RIIC2DRR	任意		10						0	
I²Cバス インタフェース チャネル3	INTRIICTI3 (送信ﾃﾞｰﾀｴﾝﾌﾟﾃｨ)	任意	RIIC3DRT	110_0011	01						1	
	INTRIICRI3 (受信ﾃﾞｰﾀﾌﾙ)	RIIC3DRR	任意		10						0	
LIN インタフェース チャネル0 (RZ/A1Lのみ)	LIN0_INT_T (LINﾓｰﾄﾞ)	任意	RLN30LDBRm (m=1～8)	110_1000	01	0	010	0	1	0	1	
	LIN0_INT_R (LINﾓｰﾄﾞ)	RLN30LDBRm (m=1～8)	任意		10						0	
外部リクエスト	DREQ0	任意	任意	000_0000	11	0/1	001/ 010/ 100	001:立下り検出 010:立上り検出 101:ローレベル検出 110:ハイレベル検出			0/1	000

注. CHCFG_n設定値

TM
- 0：シングル転送
- 1：ブロック転送

AM
- 001：ACKレベル出力
- 010：ACKバスサイクル出力
- 100：ACK無

LVL
- 0：REQエッジ検出
- 1：REQレベル検出

REQD
- 0：リード時、ACK出力
- 1：ライト時、ACK出力

9.6 DMA モード

9.6.1 モード設定

CHCFG_n レジスタの DMS フィールドにより、レジスタ・モードとリンク・モードを切り替えることができます。

表9.5 DMAモード設定

DMS (CHCFG_n)	モード	説明
0	レジスタ・モード	Next Register Setに設定された値でDMA転送を行います。
1	リンク・モード	ディスクリプタをCurrentレジスタにセットして、DMA転送を実行します。ディスクリプタによる設定、またはコントロールレジスタで停止しない限り、ディスクリプタのロードとDMA転送を繰り返します。

9.6.2 レジスタ・モード

レジスタ・モードは、内部レジスタに設定した値を用いて、DMA 転送を行います。

転送元アドレス、転送先アドレス、転送バイト数を 2 種類 (Next0 Register Set、Next1 Register Set) 設定できます。使用する Next レジスタ・セットを選択して転送したり、2 つの Next レジスタ・セットを連続して転送したりすることができます。

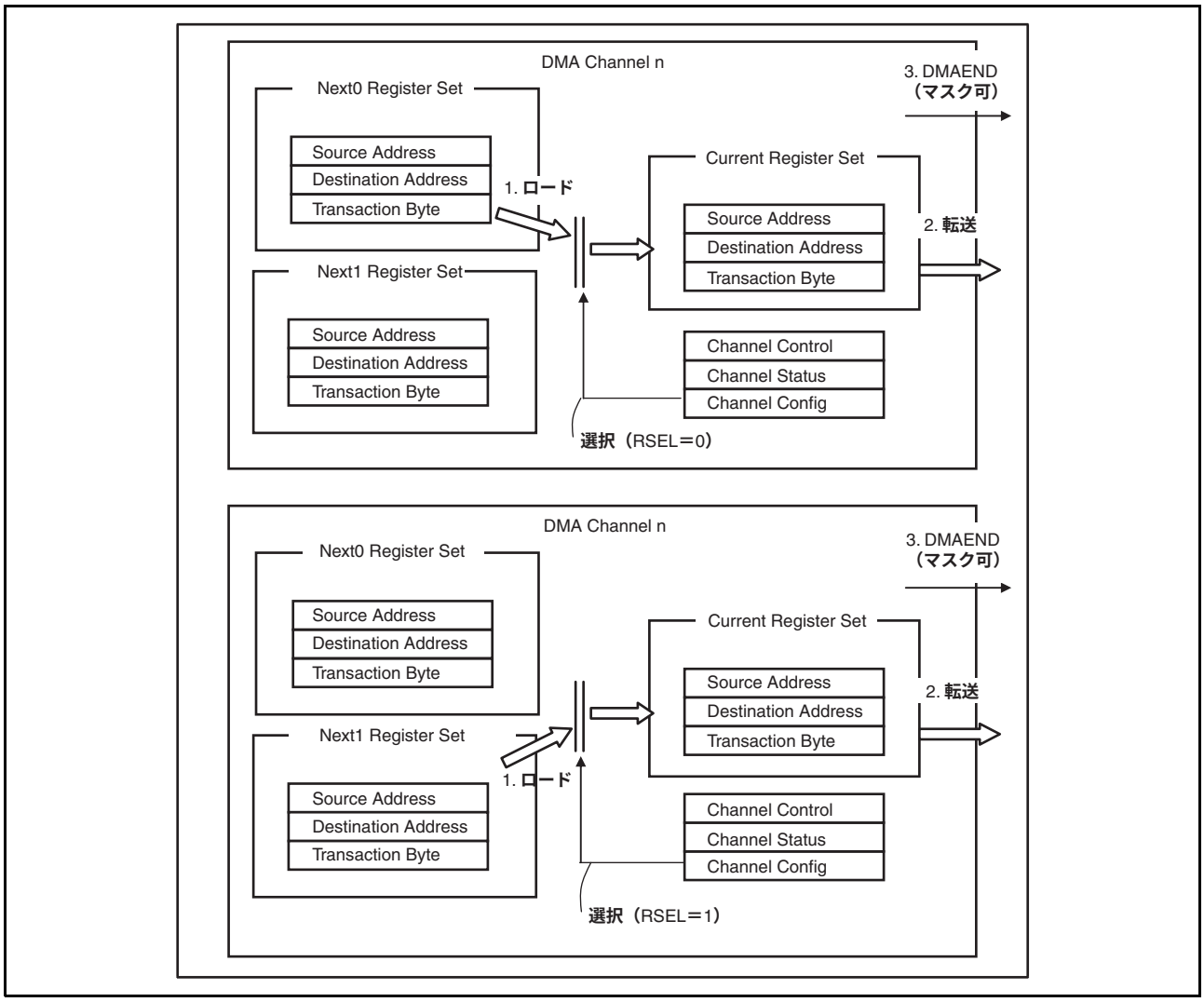


図 9.2　Register 通常モード概要

上記の図は、Next0 を実行する場合 (図上) と、Next1 を実行する場合 (図下) を示しています。

(1)　動作フロー

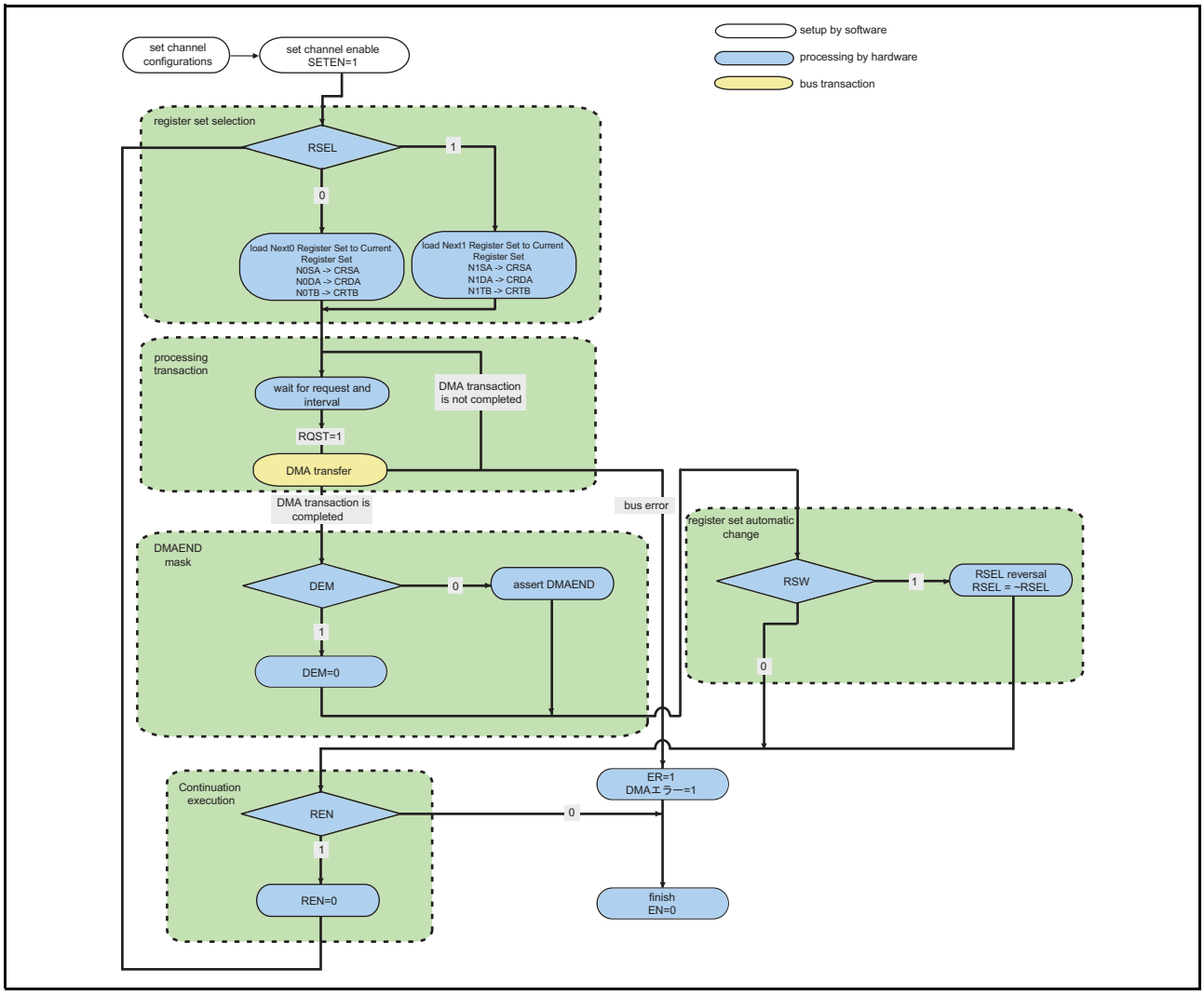


図 9.3　　レジスタ・モードフロー

＜レジスタ・モードフローの説明＞

1. チャネル設定 (set channel configuration)
   Next0 または Next1 レジスタ･セット (転送先アドレス､転送元アドレス､総転送バイト数) を設定します。Channel レジスタ・セットに DMA レジスタ・セット REQ、DMAACK、転送量等) を設定します（「9.7 DMA 転送」参照）。

2. レジスタ･セットの選択 (register set selection)
   EN=1 にすると､RSEL で選択した Next レジスタ･セットの設定値を Current レジスタ･セットにロードします。

3. DMA トランザクション (processing transaction)
   設定した値に従って、DMA 転送を行います。転送の詳細については、「9.7　DMA 転送」を参照して下さい。

4. DMA 転送終了割り込みマスク (DMAINT mask)
   CHCFG_n の DEM ビットに設定した値に従って、DMA 転送終了割り込みのマスクを行います。DEM=1 だった場合、DMA 転送終了割り込みを出力しません。またその直後、自動的に DEM を 0 クリアします。

5. レジスタ・セットの自動切換え (register set automatic change)
   CHCFG_n の RSW ビットに設定された値に従って、もう一方の Next レジスタ・セットを使用するかを決定します。

6. 継続実行 (continuation execution)
   CHCFG_n の REN ビットに設定した値に従って、DMA 転送を連続実行するかを決定します。REN=1 だった場合、継続して実行します。また、その直後、自動的に REN を 0 クリアします。

(2) レジスタ設定

(a) レジスタ・モード設定

実行するレジスタ・セットを選択します。

表 9.6　レジスタ・モード設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	説明
0	0	Next0 Register Set を実行します
	1	Next1 Register Set を実行します

(b) DMA 転送終了割り込みマスク設定

レジスタ・セット毎に DMA 転送終了割り込みをマスクすることができます。

表 9.7　DMAINT マスク設定

DEM (CHCFG_n)	動作	備考
0	DMA トランザクションが完了すると、DMA 転送終了割り込みを発行します。	
1	DMA トランザクションが完了しても、DMA 転送終了割り込みを発行しません。 DMA トランザクション完了後に、DEM はハードウェアにより 0 クリアされます。	

(c)　レジスタ・セット自動実行設定

DMA 転送後に自動的に選択されているレジスタ・セットの DMA トランザクションを実行します。

表 9.8　　レジスタ・セット自動実行設定

REN (CHCFG_n)	動作	備考
0	RSEL に設定されているレジスタ・セットの DMA トランザクションが完了すると、EN ビットをクリアして DMA 動作を終了します	DMA トランザクションを 1 回実行したい場合に設定して下さい。
1	DMA トランザクション完了後に、続けて選択されているレジスタ・セットの内容を DMA 転送します。連続転送が成立した場合、REN は 0 クリアされます。	連続してレジスタ･セットの内容を実行したい場合に設定して下さい。

(d)　レジスタ・セット自動切り替え設定

REN=1 の場合、DMA トランザクション完了後に自動的に次に実行するレジスタ・セットを切り替えることができます。

表 9.9　　レジスタ・セット自動切り替え設定

RSW (CHCFG_n)	動作	備考
0	REN=1 かつ DMA トランザクション完了時に、レジスタ・セットの切り替えを行いません。	1 つのレジスタ・セットのみを使う場合に設定して下さい。
1	REN=1 で DMA トランザクション完了時に、自動的に RSEL が反転して一方のレジスタ・セットが選択されます。	レジスタ・セットを切り替える場合に設定して下さい。

(3)　設定例

(a)　Next0 レジスタ・セットのみを使用する場合

表 9.10　　レジスタ・モード設定例 1

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	0 (マスクなし)	0 (スイッチなし)	0 (連続実行なし)

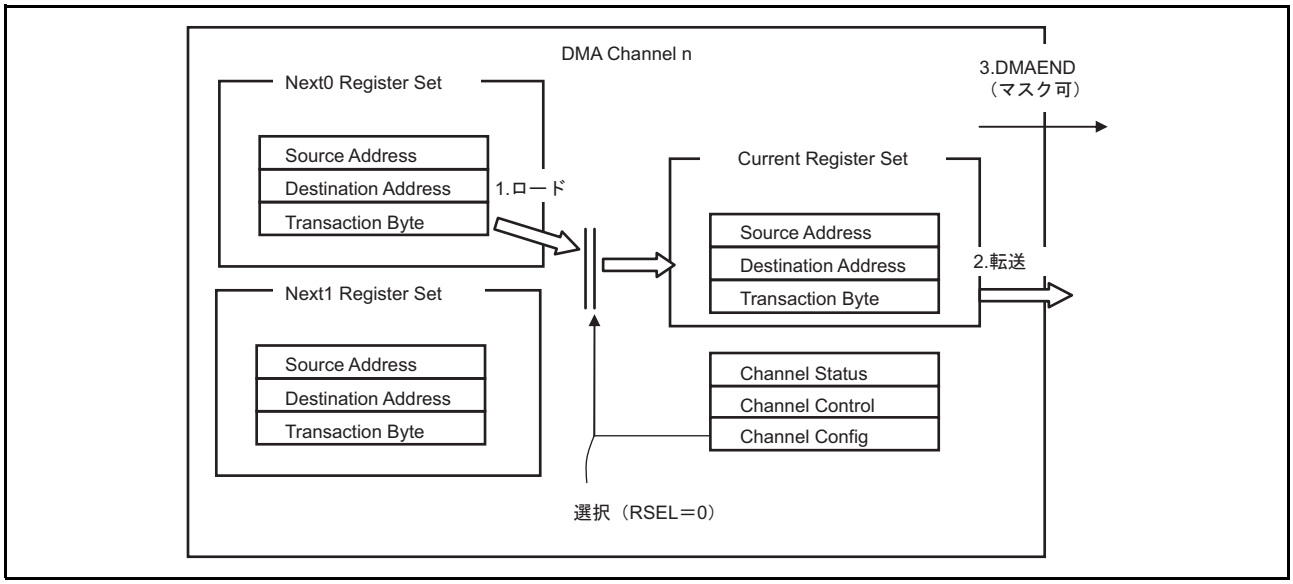


図 9.4　　レジスタ・モード設定例 1

1. EN=1(SETEN=1) にセットし、Next0 レジスタ・セットを Current レジスタ・セットにロードします。
2. Current レジスタ・セットと Channel レジスタ･セットの値によって DMA トランザクションを実行します。
3. DEM が 0 であるため、DMA トランザクション完了後に DMA 転送終了割り込みを発行します。
4. REN が 0 であるため、EN を 0 クリアして終了します。

(b)　2 つのレジスタ・セットを連続して使用する場合

表 9.11　　レジスタ・セット自動実行設定

DMS (CHCFG_n)	RSEL (CHCFG_n)	DEM (CHCFG_n)	RSW (CHCFG_n)	REN (CHCFG_n)
0 (レジスタ・モード)	0 (Next0)	1 (マスクあり)	1 (スイッチあり)	1 (連続実行あり)

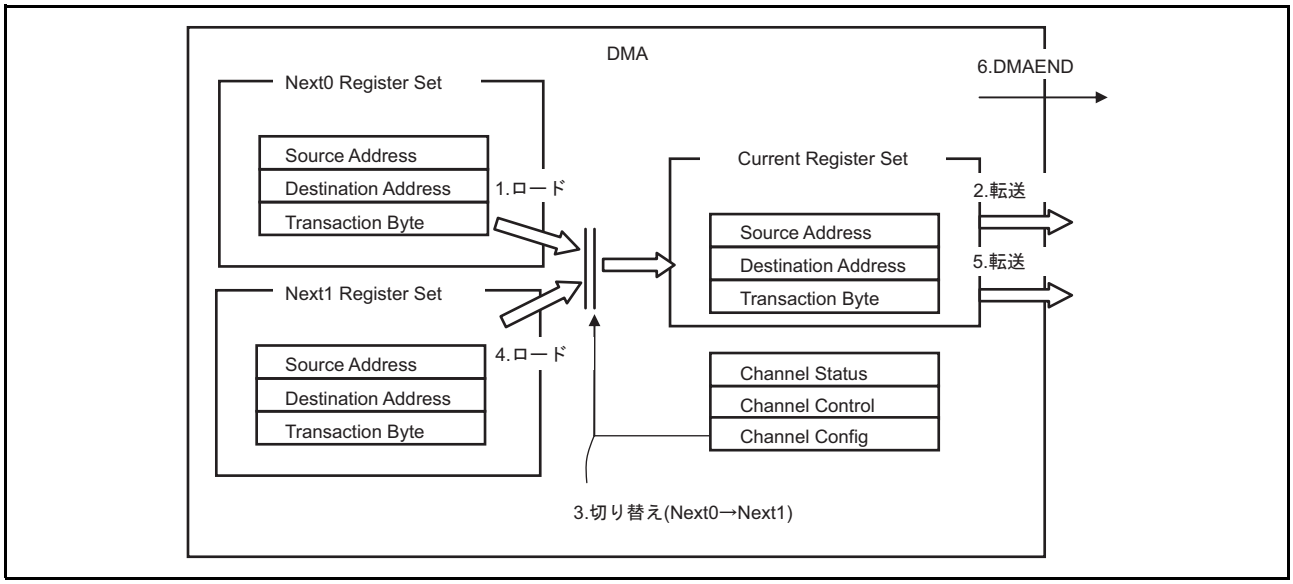


図 9.5　　レジスタ・モード設定例 2

1. EN=1(SETEN=1) にセットし、Next0 レジスタ・セットを Current レジスタ・セットにロードします。
2. Current レジスタ・セットと Channel レジスタ･セットの値によって DMA トランザクションを実行します。
3. DEM が 1 であるため、DMA トランザクション完了後の DMA 転送終了割り込みは出力しません。また自動的に DEM を 0 クリアします。
4. REN が 1 であるため、継続実行します。また自動的に REN を 0 クリアします。
5. RSW が 1 であるため、次に実行するレジスタ･セットを切り替えます (RSEL=0 → 1)。
6. Next1 レジスタ・セットを Current レジスタ・セットにロードします。
7. Current レジスタ・セットと Channel レジスタ･セットの値によって DMA トランザクションを実行します。
8. DEM が 0 であるため、トランザクション完了後に DMA 転送終了割り込みを発行します。
9. REN が 0 であるため、EN を 0 クリアして終了します。

9.6.3　リンク・モード

リンク・モードは、外部の記憶領域に置かれたディスクリプタを設定値としてロードして、DMA トランザクションを実行するモードです。DMAC 内部にはチャネル毎に Next Link アドレスと Current Link アドレスがあり、それぞれ、次に実行するディスクリプタ・アドレスの設定と、現在実行中の DMA トランザクションのディスクリプタ・アドレスの表示に使用します。

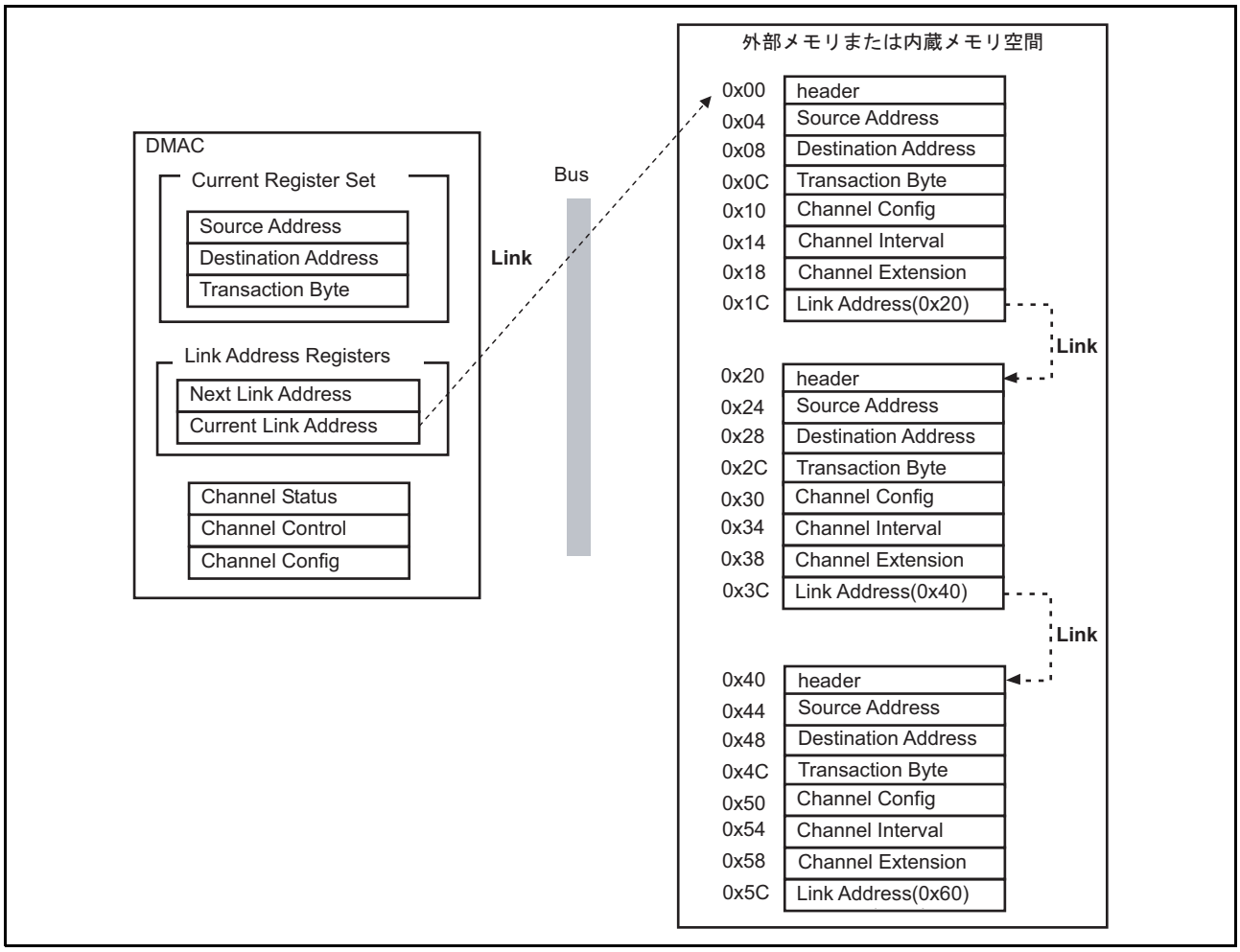


図 9.6　リンク・モード概要

(1) 動作フロー

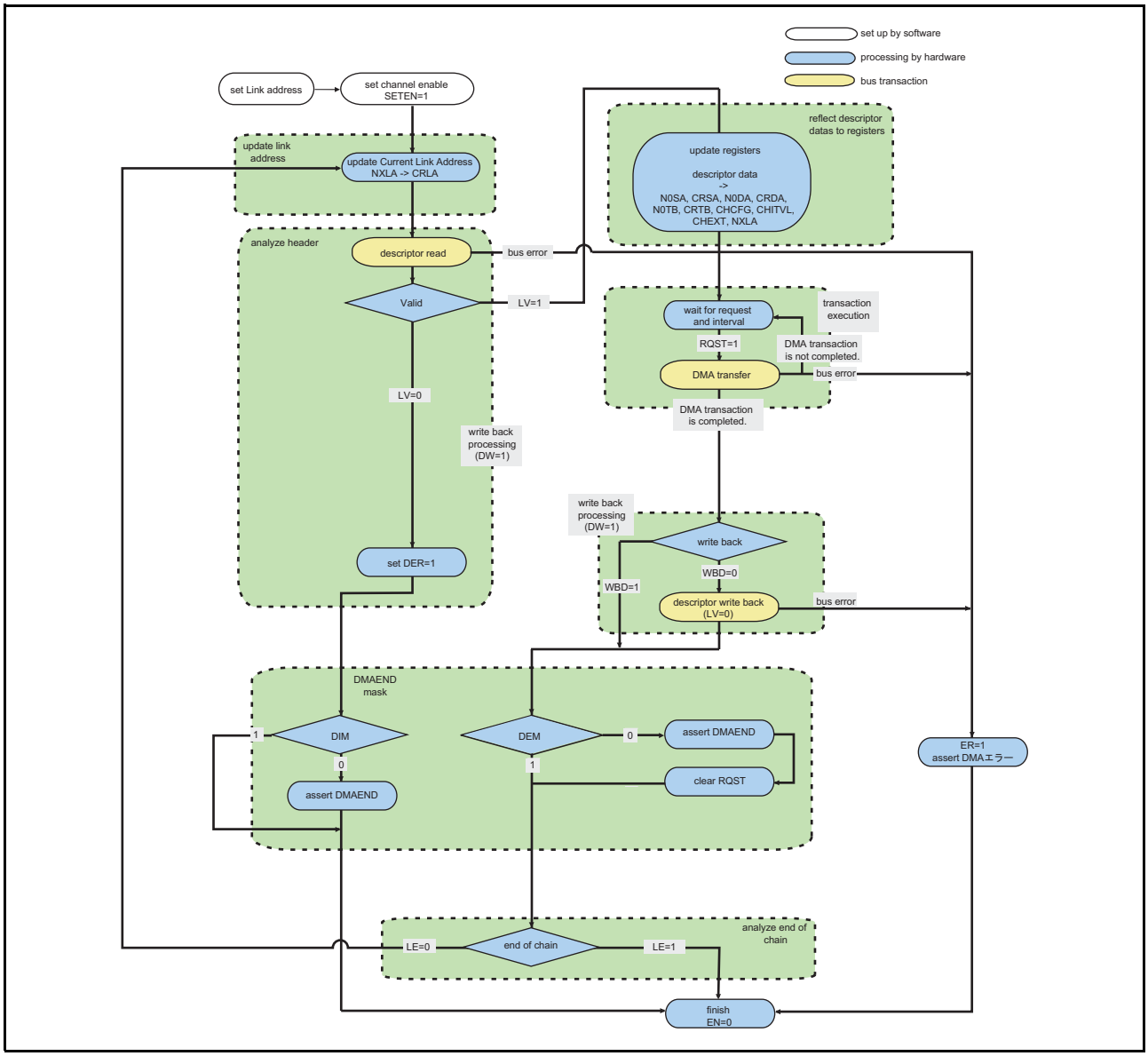


図 9.7　　リンク・モードのフロー

＜リンク・モードフローの説明＞

1. チャネル設定
   NXLA_n にリンク先の先頭アドレスを設定します。

2. リンク・アドレス更新
   EN=1(SETEN を 1 にセット) にすると NXLA_n に設定した Link アドレスを CRLA_n にロードされます。

3. ディスクリプタ読み出しと header 判定
   ディスクリプタ・ロードを開始し、DMAC は header の内容を確認します。LV=0 の場合は、ディスクリプタを読み捨て、DER=1 になり終了状態 (EN=0) になります。このとき、header 内の DIM が 0 ならば、DMAEND が発行されます。

4. ディスクリプタ設定
   ロードしたディスクリプタを Current レジスタ･セットと、Channel レジスタ･セットに設定します。また、NXLA_n に次のリンク先を設定します。

5. DMA トランザクション
   設定された値に従って、DMA トランザクションを実行します。

6. header 書き戻し（ライト・バック）
   header の WBD=0 の場合、DMA が header の LV ビットを 0 として header を書き戻します。

7. DMAINT マスク
   CHCFG_n の DEM ビットが 0 の場合、DMA 転送終了割り込みを発行します。

8. リンク終了判定
   header の LE=1 の場合、ディスクリプタ設定での転送後、EN を 0 クリアして終了します。
   LE=0 の場合は、Current レジスタを更新し、次のディスクリプタ・ロード開始します。
   TEND は、各ディスクリプタ転送終了時に発行します。

(2)　レジスタ設定

(a)　リンク・モード設定

リンク・モードを使用する場合は、CHCFG_n レジスタの DMS ビットを 1 に設定して下さい。

表 9.12　　リンク・モード設定

DMS (CHCFG_n)	説明
1	リンク・モードで動作します。 ディスクリプタによって、このビットを書き換えることはできません。

(b)　LINK アドレス設定

リンク先を示すレジスタとして、Next Link アドレス・レジスタと Current Link アドレス・レジスタがあります。

リンク・モードを開始する際には、Next Link アドレス・レジスタにリンク先を設定して下さい。

Next Link アドレスは、ディスクリプタ・ロード後に、次のリンク先を示します。また、Current Link アドレスは現在実行中のリンク・アドレスを示しています。

表 9.13　Link アドレスレジスタ・セット

レジスタ	説明
Next Link Address Register (NXLA_n)	次のリンク先の設定、および表示を行います。リンク・モード開始前に、このレジスタにリンク先のアドレスを設定して下さい。
Current Link Address Register (CRLA_n)	現在実行中のリンク先を表示します。このレジスタは読み出しのみ可能です。

注.　リンク・モードでは、ディスクリプタ・リードにより設定を変更することができますが、設定の変更タイミングと周辺モジュールおよび外部リクエストとの同期は取ることはできません。このため、周辺モジュールおよび外部リクエストを使う場合、イネーブルをセットする前に CHCFG_n レジスタの AM、LVL、HIEN、LOEN、SEL を設定し、かつディスクリプタ中でこれらの設定ビットを変更しないようにして下さい。

(3)　ディスクリプタ設定

リンク先のアドレスには、以下の順で、ディスクリプタを準備して下さい。
DMAC はディスクリプタをバーストでリードします。

(a)　ディスクリプタ並び

表 9.14　ディスクリプタ設定並び

アドレス	データ	備考
LinkAddress + 00H	header	
LinkAddress + 04H	Source Address	
LinkAddress + 08H	Destination Address	
LinkAddress + 0CH	Transaction Byte	
LinkAddress + 10H	Config	レジスタ・モードの設定はできません。
LinkAddress + 14H	Interval	
LinkAddress + 18H	Extension	
LinkAddress + 1CH	Next Link Address	

【備考】　リンク先には、32bit 境界にアラインされているアドレスを設定して下さい。

(b)　header

header は以下に示すように、ディスクリプタの状態を表します。
この領域は、リンク・モードでの DMA 転送開始前に、DMAC によってリードされます。また、DMA トランザクション終了後に、転送状況が DMAC によってライト・バックされます。

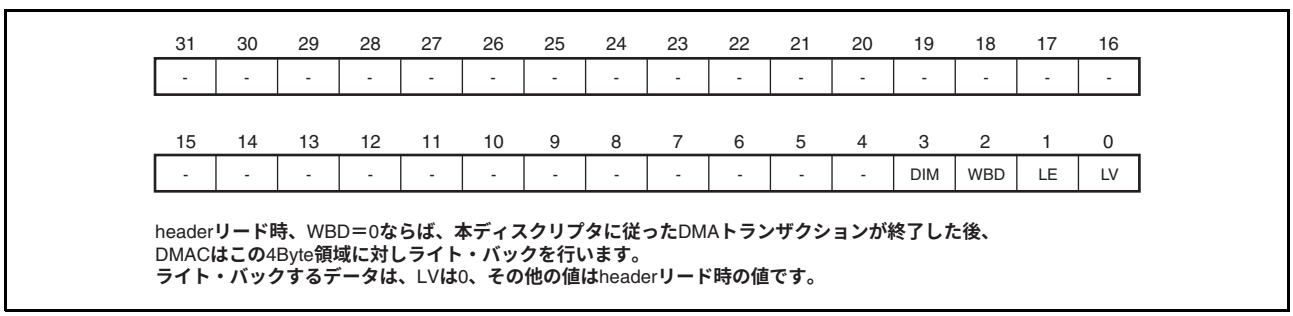


図 9.8　header 領域

表9.15　　header領域

ビット位置	ビット名	意味
31:4	—	—
3	DIM	Descriptor Interrupt Mask headerロード時にLV=0だった場合、DMA転送終了割り込みのマスクの有無を設定します。 0:DMA転送終了割り込みを発行する。 1:DMA転送終了割り込みを発行しない。
2	WBD	Write Back Disable LVビットのライト・バック実行をマスクします。このビットが1である場合、DMACは書き戻す動作を行いません。 0:LVビットを0に書き戻す。 1:LVビットを書き戻さない。
1	LE	Link End このディスクリプタのDMAトランザクションでリンクが終了することを示します。リンクの最後を示す場合にこのビットを1に設定して下さい。 0: リンク継続 1: リンク終了
0	LV	Link Valid このディスクリプタが有効であることを示します。 このビットはWBD=0の場合、DMACがディスクリプタに書かれたDMAトランザクション実行後に0を書き込みます。header設定時には1を設定して下さい。 0: ディスクリプタ無効 1: ディスクリプタ有効

(c)　header 以外のディスクリプタの設定

header 以外のディスクリプタの各データは、内蔵レジスタの仕様と同じです（ただし CHCFG_n レジスタの DMS ビットはディスクリプタで書き換えることはできません。）。内蔵レジスタの仕様は**「9.4　レジスタの説明」**を参照して下さい。

ディスクリプタの設定例は**「9.8　DMA 設定例」**を参照して下さい。

(d)　ディスクリプタ・アクセス時の CACHE 設定

ディスクリプタのアクセス時の CACHE 設定は「9.4.14　DMA Control Register (DCTRL_0_7, DCTRL_8_15)」の LWCA、LDCA に設定することができます。ディスクリプタが準備されているアクセス先に応じて、設定して下さい。

(e)　ディスクリプタ領域と DMA 転送領域

以下に、DMAC がアクセスする、ディスクリプタ領域と DMA 転送領域の概略を示します。

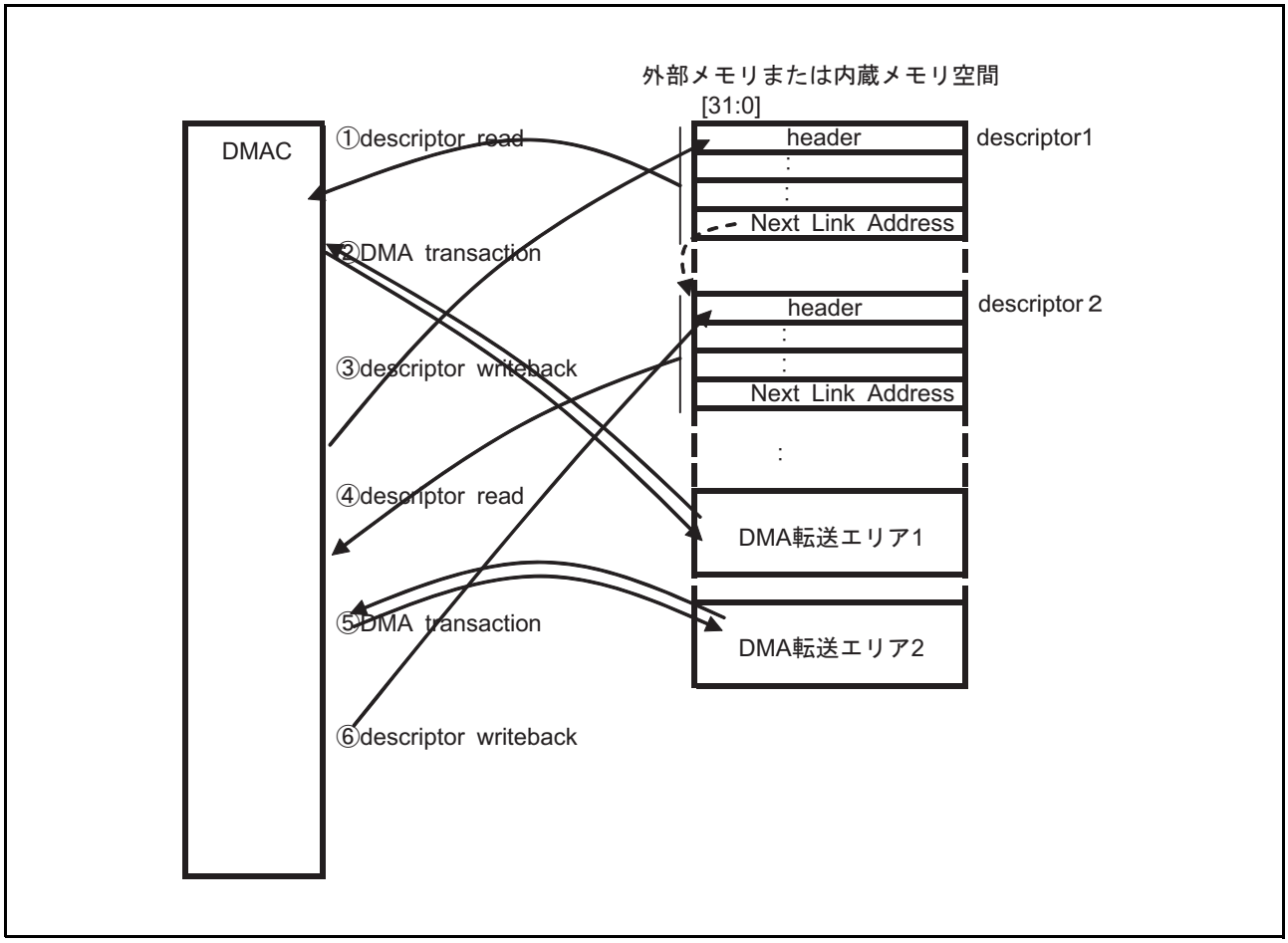


図 9.9　　ディスクリプタ領域と DMA 転送領域の概略

1. ディスクリプタ・リード
   内蔵の Next Link Address レジスタに設定した値を、Current Link Address レジスタにロードし、Current Link Address レジスタの指し示す外部メモリ空間 (descriptor1) から、ディスクリプタをリード

2. DMA 転送
   ディスクリプタの header 中の LV ＝ 1 だったならば、ディスクリプタ情報に従い、DMA 転送を実行

3. ディスクリプタ・ライト・バック
   設定バイト数 DMA 転送後、header 中の WBD=0 だったならば、descriptor1 の header に対し、LV は 0、その他のフィールドは 1. でリードした値をデータとして、ワード・サイズでのライト・バックを実行。

4. ディスクリプタ・リード
   前回（1.）リードしたディスクリプタの header 中の LE=0 だったならば、ディスクリプタ中の Next Link Address で示されるアドレス（descriptor2）から、次のディスクリプタをリード。

5. DMA 転送
   ディスクリプタの header 中の LV ＝ 1 だったならば、ディスクリプタ情報に従い、DMA 転送を実行

6. ディスクリプタ・ライト・バック
   設定バイト数 DMA 転送後、header 中の WBD=0 だったならば、descriptor2 の header に対し、LV は 0、その他のフィールドは 4. でリードした値をライト・データとして、ワード・サイズでのライト・バックを実行。

以降 4. ～ 6. の繰り返し

header 中の LE ＝ 1、WBD=0 だったならば、そのディスクリプタ設定での DMA 転送、および header の LV ビットに 0 をライト・バックして終了。

header 中の LE=1、WBD=1 だったならば、そのディスクリプタ設定での DMA 転送を行って終了（ライト・バックは行わない）。

header 中の LV=0 だったならば停止（DMA 転送は行わない）。

(4) ディスクリプタ構成例

リンク・モードでは、ディスクリプタを以下のように構成することが可能です。

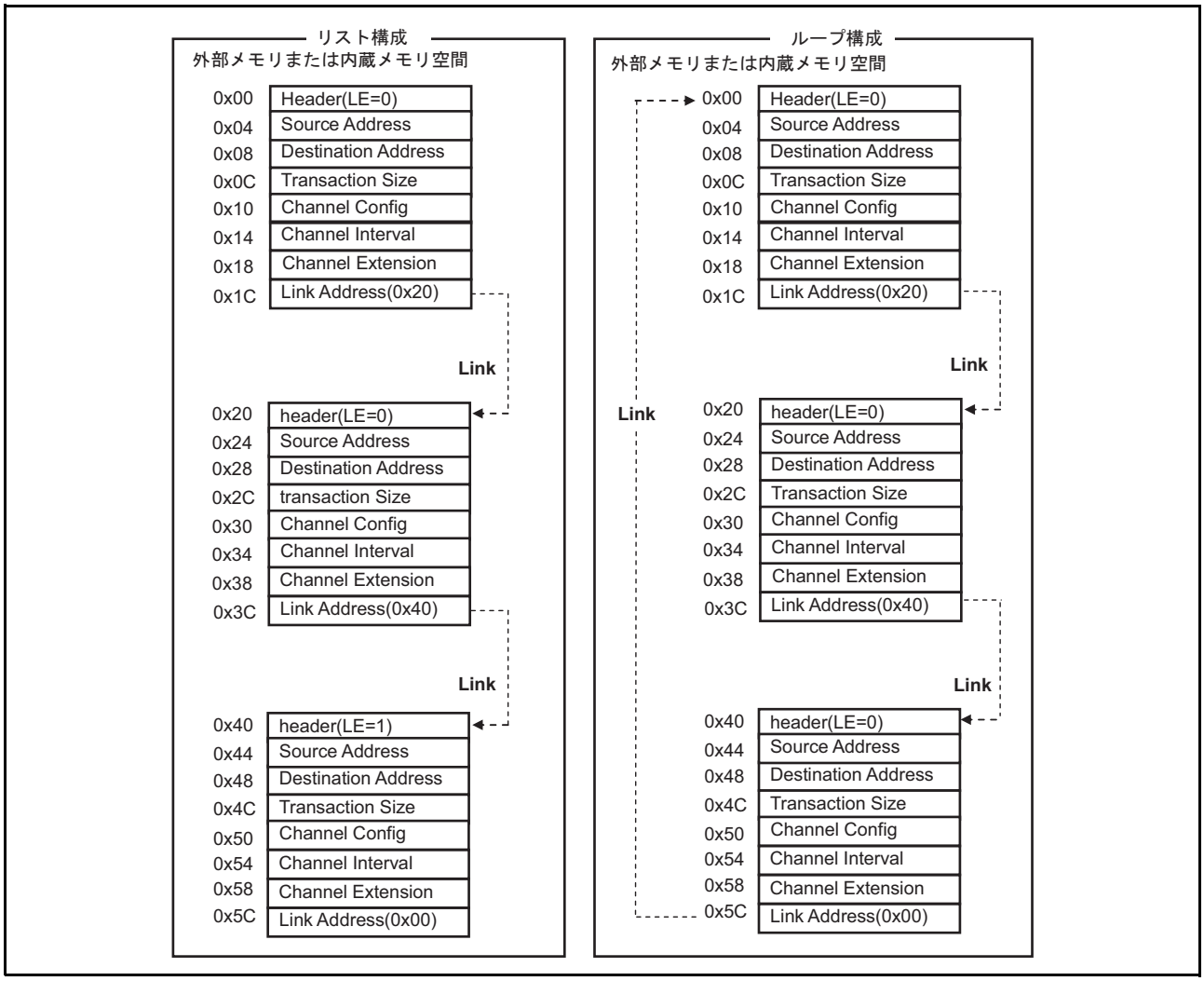


図 9.10　ディスクリプタ構成例

- リスト構成
  最後のディスクリプタの header にある LE ビットを 1 に設定することで、リンクを終了します。

- ループ構成
  最後のディスクリプタのリンク先を、前のディスクリプタのアドレスに設定することで、ディスクリプタをループ構成とする事ができます。ループを終了するためには、DMAC がディスクリプタ・リードする前に header の LE ビットを 1 に書き換えるか、転送中断手順に従って停止して下さい。

9.7 DMA 転送

本章では、DMA 転送の基本動作について説明をします。

9.7.1 転送モード

転送モードは、シングル転送モードとブロック転送モードをサポートしています。
モードの選択は、チャネル毎に CHCFG_n の TM ビットで設定して下さい。

表 9.16　基本転送設定

転送モード	TM (CHCFG_n)	機能
シングル転送	0	1 回の DMAREQ に対して、1 回の DMA トランスファを実行します。
ブロック転送	1	1 回の DMAREQ に対して、DMA トランザクションが完了するまで、転送を実行します。

(1) シングル転送モード

DMA 転送要求を受け付けると、REQD で示された方向(ソースあるいはディスティネーション)の DMA トランスファを 1 回実行します。転送要求を受け付ける度に 1 回の転送を行い、この動作を CRTB_n にロードされたバイト数分続けます（チャネル間のアービトレーションは、DMA トランスファ毎に行います)。

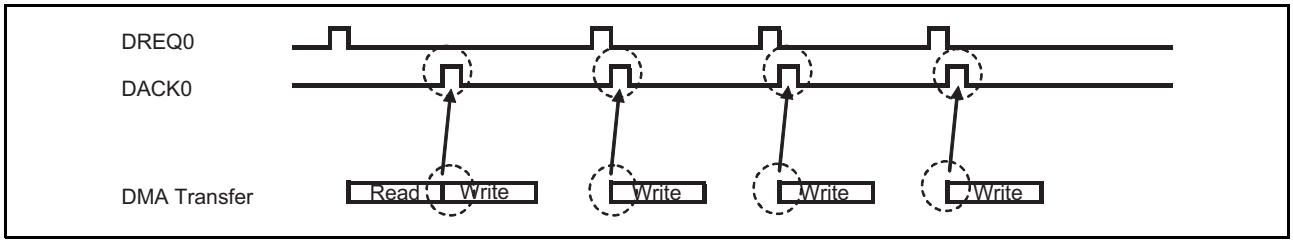


図 9.11　シングル転送モード (REQD=1、SDS>DDS)

(2)　ブロック転送モード

DMA 転送要求を 1 度受け付けると、DMA 転送バイト・レジスタ（CRTB_n レジスタ）にロードしたバイト数分の転送が完了する (DMA トランザクション完了) まで転送を続けます（チャネル間のアービトレーションは、DMA トランスファ毎に行います)。

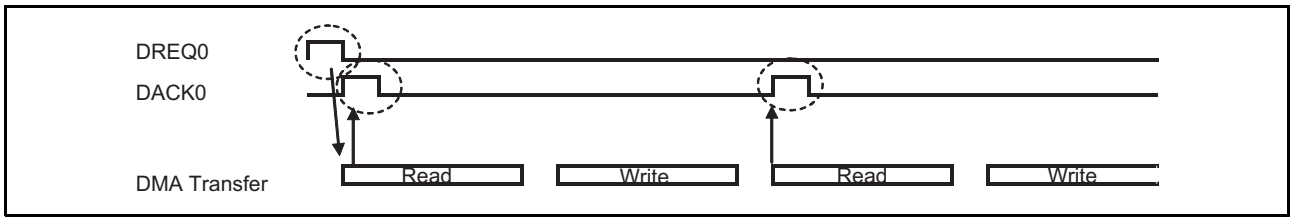


図 9.12　　ブロック転送モード (REQD=0、SDS<DDS)

9.7.2　　DMA チャネルの優先順位制御

優先順位は、チャネル 0 ～ 7 内およびチャネル 8 ～ 15 内で固定優先順位モードとラウンドロビン・モードをサポートしています。チャネル 0 ～ 7 とチャネル 8 ～ 15 間ではラウンドロビン・モードのみサポートしています。モードの選択は、DMA コントロール・レジスタ（DCTRL レジスタ）の PR ビットで行います。PR ビットが 0 の場合、固定優先順位モードとなり、PR ビットが 1 の場合、ラウンドロビン・モードとなります。

リードの優先順位とライトの優先順位を独立に制御します。

DMAC はトランスファの完了を待たずに、各チャネルのトランスファを並行して発行し、レスポンスが返って来た順に処理します。このため、各チャネルのトランザクション開始とトランザクション完了の順番が一致するとは限りません。

表 9.17　　優先順位制御設定

モード	PR (DCTRL)	機能	用途
固定優先順位	0	チャネル 0 ～ 7 ／チャネル 8 ～ 15 固定優先順位 (高 : CH0(CH8) > CH1(CH9) > CH2(CH10) > CH3(CH11) > CH4(CH12) > CH5(CH13) > CH6(CH14) > CH7(CH15) : 低) でリクエストを制御します。	チャネルに優先順位がある場合に使用して下さい。
ラウンドロビン	1	ラウンドロビンでリクエストを制御します。	各リクエストに対して均等に実行させたい場合に使用して下さい。

(1)　固定優先順位モード

固定優先順位モードでは、チャネル 0 ～ 7 内およびチャネル 8 ～ 15 内の優先順位は固定となります。またチャネル 0 ～ 7 とチャネル 8 ～ 15 間ではラウンドロビンとなります。

リセット直後の優先順位は次のようになります。

高　CH0 ＞ CH8 ＞ CH1 ＞ CH9 ＞ CH2 ＞ CH10 ＞ CH3 ＞ CH11 ＞ CH4 ＞ CH12 ＞ CH5 ＞ CH13 ＞ CH6 ＞ CH14 ＞ CH7 ＞ CH15　低

この状態で、DMA チャネル 0 の転送要求があった場合、DMA チャネル 0 の転送を行い、終了後には以下のようになります。

高　CH8 ＞ CH0 ＞ CH9 ＞ CH1 ＞ CH10 ＞ CH2 ＞ CH11 ＞ CH3 ＞ CH12 ＞ CH4 ＞ CH13 ＞ CH5 ＞ CH14 ＞ CH6 ＞ CH15 ＞ CH7　低

DMA 転送要求が複数のチャネルで同時に発生した場合は、番号の小さいチャネルの DMA 転送要求を優先します。固定優先順位モードでの DMA 転送実行時に、優先順位の高い他の DMA 転送要求が発生した場合の例を次に示します。

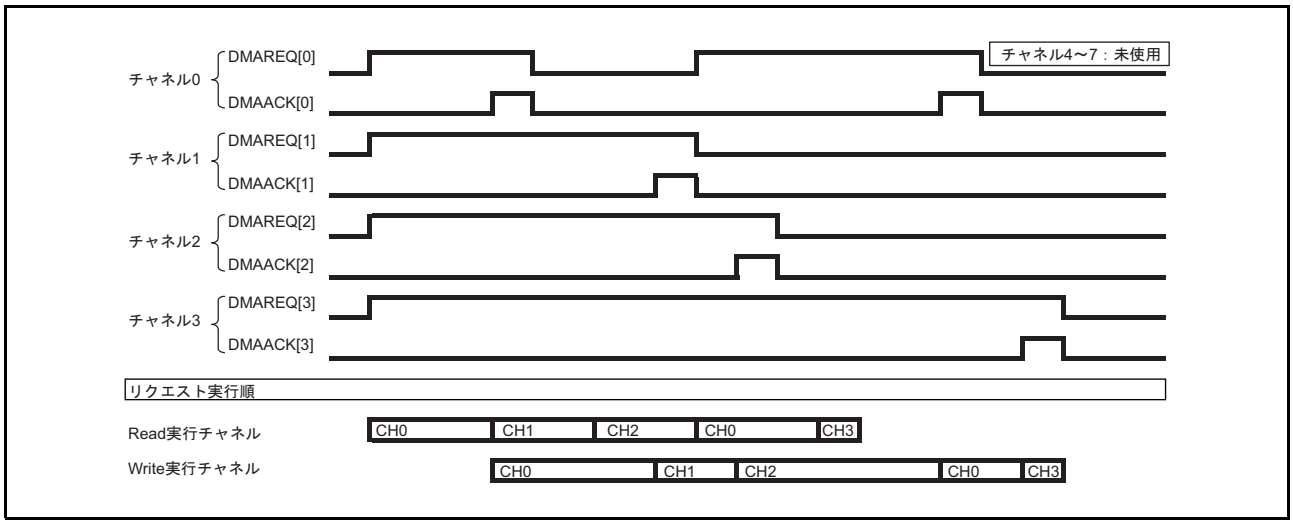


図 9.13　固定優先順位モード（チャネル数 4、REQD=1 の場合）

(2)　ラウンドロビン･モード

ラウンドロビン・モードでは、チャネル 0 ～ 7 内およびチャネル 8 ～ 15 内の転送受け付け毎に、直前の転送を行ったチャネルの優先順位が一番低くなるように優先順位を変更します。

チャネル 0 ～ 7 とチャネル 8 ～ 15 間もラウンドロビンで優先順位が決まります。

リセット直後の優先順位は、固定優先順位モードと同様で、次のようになります。

高　CH0 ＞ CH8 ＞ CH1 ＞ CH9 ＞ CH2 ＞ CH10 ＞ CH3 ＞ CH11 ＞ CH4 ＞ CH12 ＞ CH5 ＞ CH13 ＞ CH6 ＞ CH14 ＞ CH7 ＞ CH15　低

この状態で、DMA チャネル 2 の転送要求があった場合、DMA チャネル 2 の転送を行い、終了後には以下のようになります。

高　CH8 ＞ CH3 ＞ CH9 ＞ CH4 ＞ CH10 ＞ CH5 ＞ CH11 ＞ CH6 ＞ CH12 ＞ CH7 ＞ CH13 ＞ CH0 ＞ CH14 ＞ CH1 ＞ CH15 ＞ CH2　低

ラウンドロビン・モードで DMA 転送の例を次に示します。

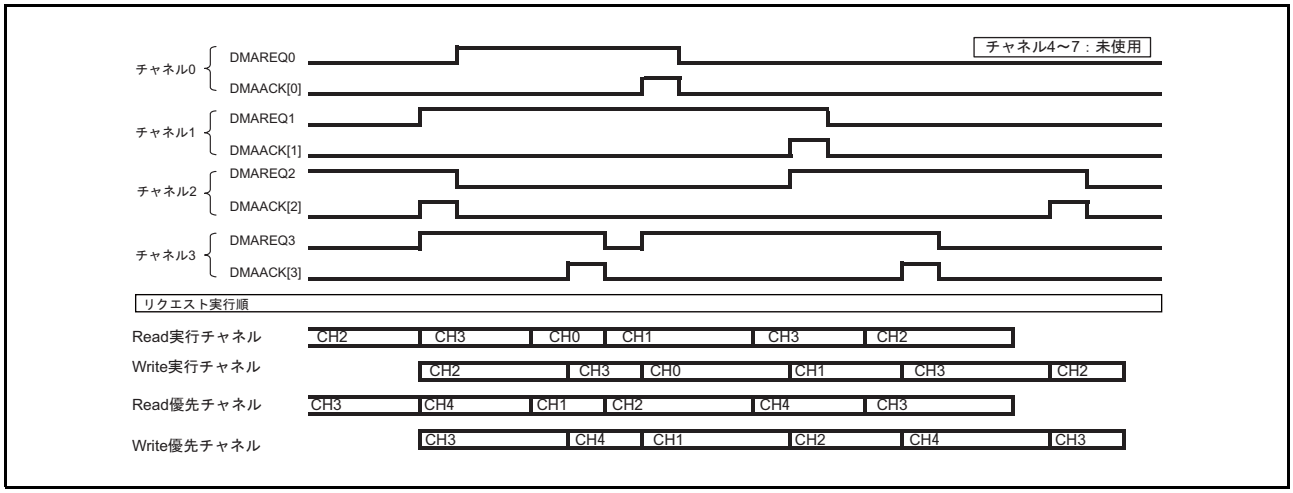


図 9.14　　ラウンドロビン･モード（チャネル数 4、REQD=0 の場合）

現在 DMA トランスファを実行しているチャネル +1 の番号のチャネルが、次にトランスファを行います。+1 のチャネルの転送要求が無い場合は、さらに +1 のチャネルがトランスファを実行することができます。

9.7.3　外部バスサイクルのステート数

本モジュールがバスマスタのときの外部バスサイクルのステート数は、CPU がバスマスタのときと同様にバスステートコントローラで制御されます。

詳細は、「8. バスステートコントローラ」を参照のこと。

9.7.4　DMA 転送要求

CHCFG_n レジスタの LVL ビットにより、エッジ検出とレベル検出を選択します。

CHCFG_n レジスタの HIEN/LOEN ビットにより、エッジ検出の場合は立ち上がり / 立ち下がり、レベル検出の場合は High レベル /Low レベル検出を設定します。

周辺モジュール転送要求の場合は、「表 9.4　内蔵周辺モジュールリクエスト」に従って、CHCFG_n レジスタを設定してください。

外部端子リクエスト（DREQ0）の場合、「表 9.18　外部端子リクエスト検出設定」に従って、立ち上がりエッジ／立ち下がりエッジ／ High レベル／ Low レベル検出を設定してください。

表 9.18　外部端子リクエスト検出設定

モード	LVL (CHCFG_0)	HIEN (CHCFG_0)	LOEN (CHCFG_0)	機能
エッジ検出	0	0	0	オートリクエスト起動を使用の場合はこの設定にして下さい。
			1	外部端子リクエスト（DREQ0）の立ち下がりエッジで検出します。
		1	0	外部端子リクエスト（DREQ0）の立ち上がりエッジを検出します。
			1	設定禁止
レベル検出	1	0	0	設定禁止
			1	外部端子リクエスト（DREQ0）を Low レベル・モードで検出します。
		1	0	外部端子リクエスト（DREQ0）を High レベル・モードで検出します。
			1	設定禁止

(1)　エッジ検出

CHCFG_n レジスタの LVL ビットを 0 に設定することにより、エッジ検出となります。

CHCFG_n レジスタの HIEN ビットを 1 に設定することにより立ち上がりエッジ検出、LOEN ビットを 1 に設定することにより立ち下がりエッジ検出となります。

DACK0 の検出を待ってから次の DREQ0 要求を出すようにして下さい。

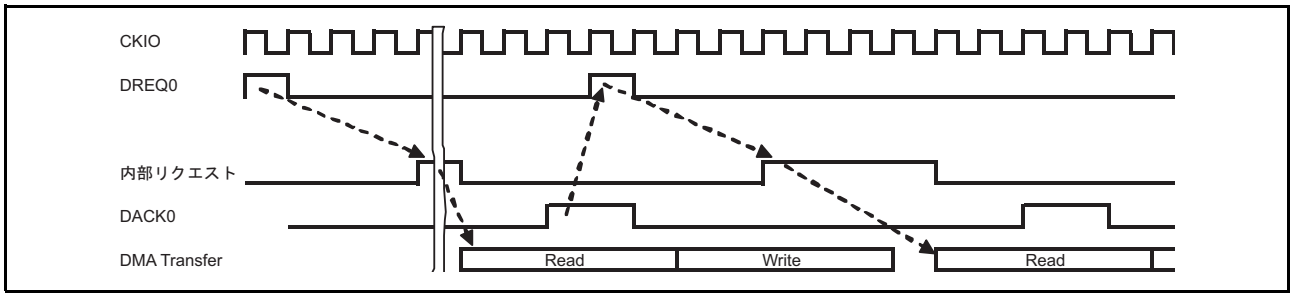


図 9.15　エッジ検出タイミング（HIEN=1、REQD=0）

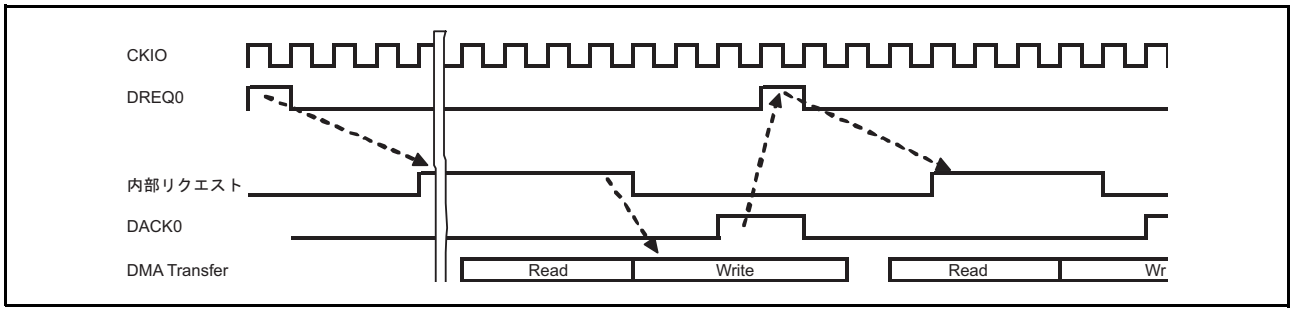


図 9.16　エッジ検出タイミング（HIEN=1、REQD=1）

(2)　レベル検出

CHCFG_n レジスタの LVL ビットを 1 に設定することにより、レベル検出となります。

DREQ0 が、連続した 2 クロック・サイクル以上の期間アクティブ (HIEN、LOEN の設定による) である場合、正しい DREQ0 として認識します。

DACK0 をレベル・モードにした場合、DACK0 は DREQ0 がディアサートされるまで、High レベルになります。

次の DMA 転送要求を行う場合、DACK0 がディアサートされてから次の DREQ0 をアサートして下さい。

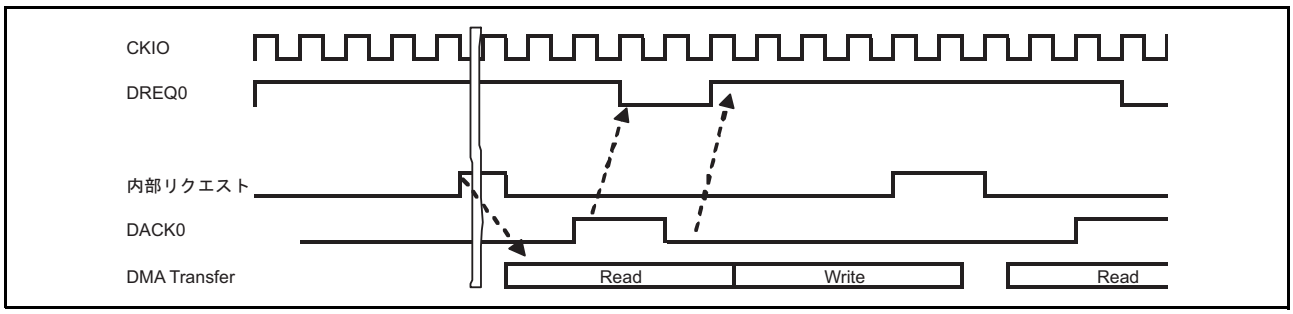


図 9.17　レベル検出タイミング（HIEN=1、REQD=0、AM[2:0]=001）

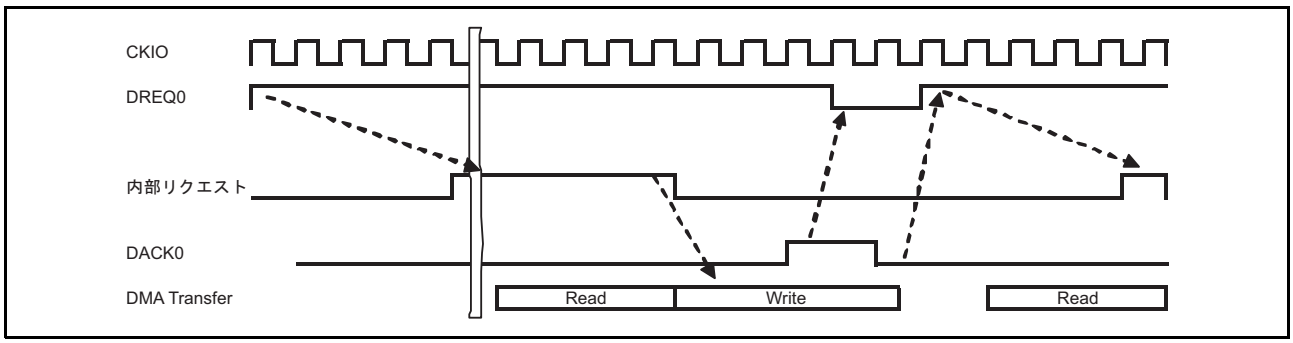


図 9.18　レベル検出タイミング（HIEN=1、REQD=1、AM[2:0]=001）

9.7.5　DMA アクノリッジ出力機能

DACK0 は、DREQ0 に対するアクノリッジ信号です。DACK0 の出力は、レベル出力、バス・サイクル出力設定をサポートしています。

DACK0 は MPX-IO インタフェースを除き、当該 $\overline{CS}$ アサートと同一タイミングでアサートします。詳細は「8.　バスステートコントローラ」を参照してください。

(1)　DMA アクノリッジ信号出力タイミング設定

DMA 転送要求が受け付けるとアクティブ（High レベル出力）になります。CHCFG_n レジスタの REQD ビットと AM[2:0] ビットによって、以下のように設定することが可能です。

表 9.19　DACK0 出力タイミング設定

モード	AM[2] (CHCFG_0)	AM[1:0] (CHCFG_0)	REQD (CHCFG_0)	用途
パルス	0	00	0	設定禁止
			1	
レベル	0	01	0 (リード時にアクティブ)	レベルで DACK0 を出力します。DACK0 は DREQ0 がディアサートされるまでアサートし続けます。
			1 (ライト時にアクティブ)	
バス・サイクル	0	10 11	0 (リード時にアクティブ)	バス・サイクルの期間 DACK0 を出力します。バス・サイクルの終了タイミングまで DACK0 をアサートしたい場合に使用します。
			1 (ライト時にアクティブ)	
マスク	1	—	—	オートリクエスト起動時に設定

(2)　レベル出力

CHCFG_n レジスタの AM ビットを 001 に設定することにより、レベル出力となります。DACK0 は、DREQ0 がディアサートされるまでアサートし続けます。

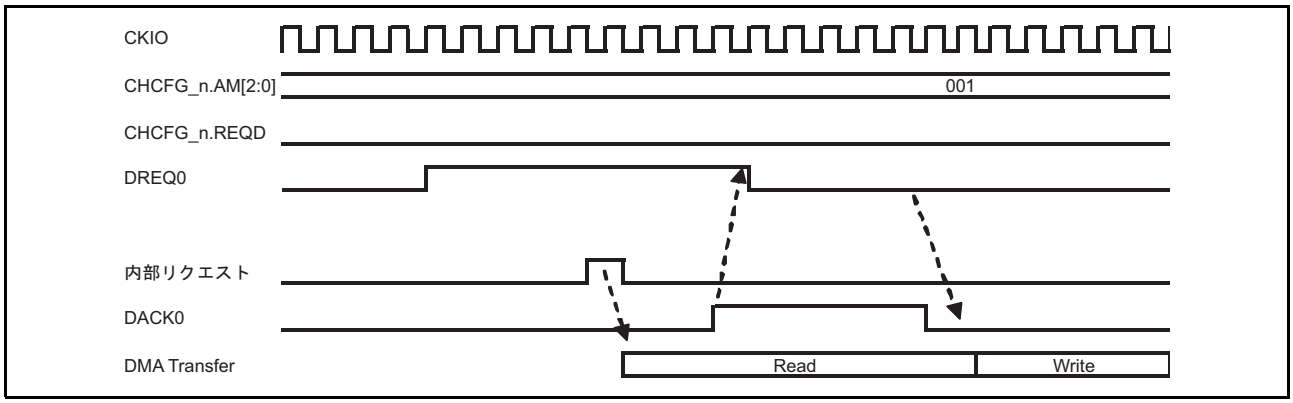


図 9.19　DACK0 出力タイミング（AM[2:0]=001、REQD=0）

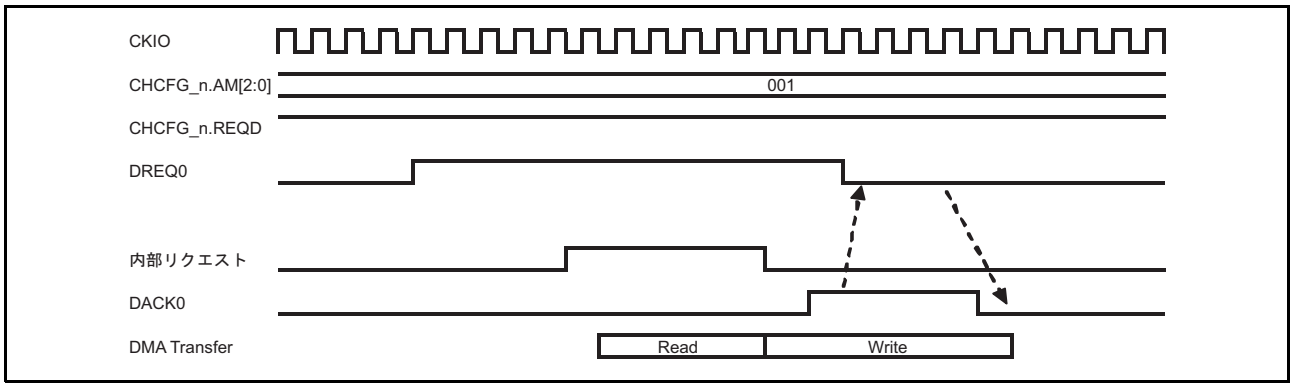


図 9.20　DACK0 出力タイミング（AM[2:0]=001、REQD=1）

(3)　バス・サイクル出力

CHCTRL_n レジスタの AM ビットを 010 に設定することにより、バス・サイクル出力となります。バス・サイクルの期間、DACK0 がアクティブになります。

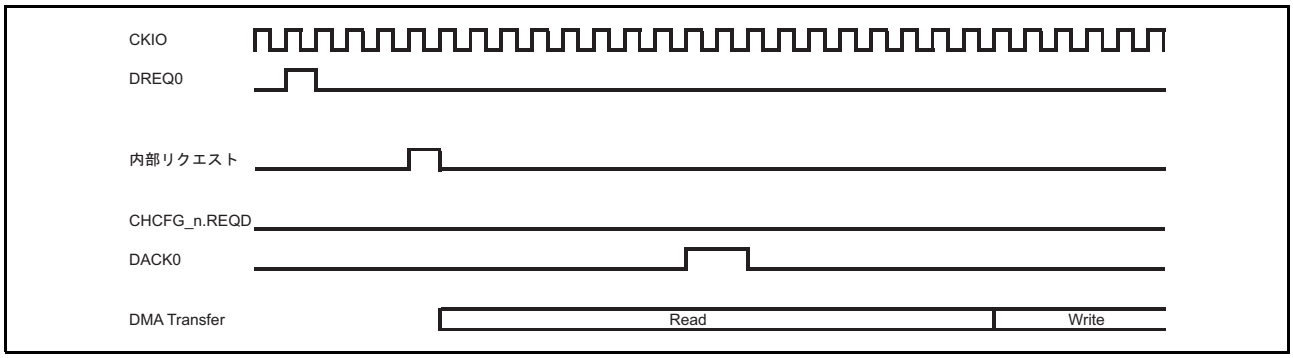


図 9.21　バス・サイクル出力タイミング（REQD=0）

- リード時アクティブ (REQD=0) の場合は、バス上でリードリクエストを出力するタイミングから最後のリード・データの 1 サイクル後までの期間、DACK0 がアクティブになります。
- DREQ0 がレベル検出の場合、バス・サイクル終了後の次のサイクルまで DREQ0 は無効です。

以下の信号が DACK0 の立ち上がり・立ち下りのトリガになります。
立ち上がり：転送開始（MARVALID =1）
立ち下がり：転送終了（MRLAST & MRREADY=1）

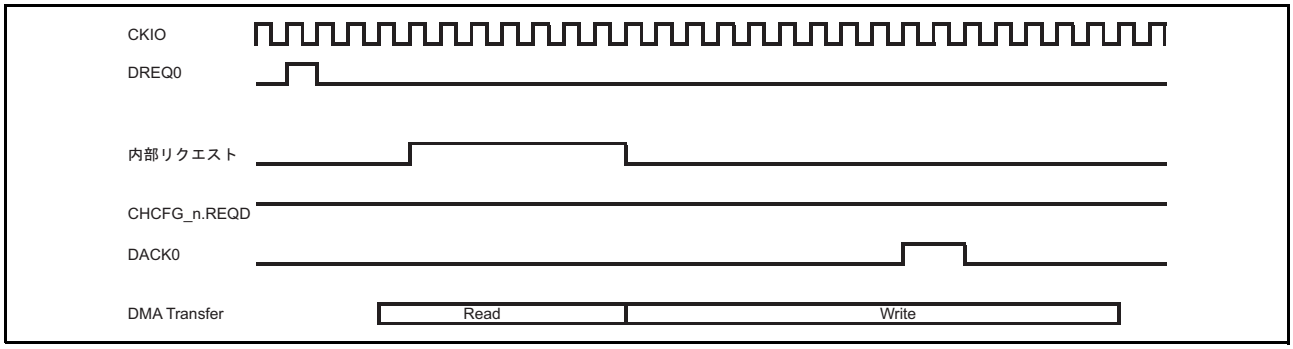


図 9.22　バス・サイクル出力タイミング（REQD=1）

- ライト時アクティブ (REQD=1) の場合は、ライトリクエストを出力するタイミングから最後のデータに対するレスポンスが返った 1 サイクル後までの期間、DACK0 がアクティブになります
- DREQ0 がレベルの場合、バス・サイクル終了後の次のサイクルまで DREQ0 は無効です。

以下の信号が DACK0 の立ち上がり・立ち下りのトリガになります。
立ち上がり：転送開始（MAWVALID =1）
立ち下がり：転送終了（MBVALID & MBREADY=1）

9.7.6　DMA 転送終了出力機能

TEND0 は、DMA 転送要求を出した要求元に対するトランザクション完了信号です。
TEND0 は転送最終トランザクションの DACK0 と同じタイミングでアサートします。
図 9.23 に TEND0 出力タイミングを示します。

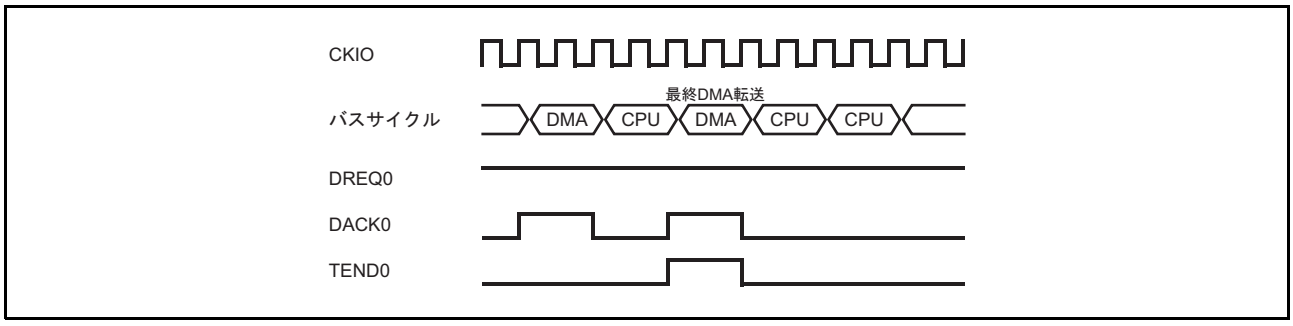


図 9.23　TEND0 出力タイミング

9.7.7　DMA 転送終了割り込み

DMA 転送終了割り込みは、DMA トランザクションが終了したことを示す割り込み要求信号です。
DMA 転送終了割り込みは、各チャネル個別にあります。

CRTB(Current Transaction Byte) にロードされた総転送バイト数分の転送が完了した場合、CHSTAT_n レジスタの END を 1 にセットします。この時、CHCFG_n レジスタの DEM=0 だった場合、DMA 転送終了割り込みを出力します（n = 0-15)。（リンク・モードでライト・バックを行う場合は、ライト・バック後に出力します。）

またリンク・モードにおいて、リードしたディスクリプタの header が LV=0 だった場合、CHSTAT_n レジスタの DER を 1 にセットします。この時、header の DIM=0 だった場合、DMA 転送終了割り込みを出力します。

表 9.20　DMA 転送終了割り込みアサート条件

要因	条件	DMA 転送終了割り込みマスク信号
DMA トランザクション完了	CRTB(Current Transaction Byte)にロードされた総転送バイト数分の転送が、OKAY レスポンスで完了した時（リンク・モードでライト・バックを行う場合は、ライト・バック後）	CHCFG_n レジスタの DEM ビット
ディスクリプタ・インバリッド	リンク・モードにおいて、header の DIM=0 の状態で、リードしたディスクリプタの header が LV=0 だった時	header の DIM ビット

9.7.8　DMA エラー割り込み

DMA 転送およびディスクリプタ・アクセスに対して、エラー・レスポンスを受けた場合、DMAC はエラーと判断し、転送を中止します。エラー・レスポンスを受けると、転送中のチャネル n の CHSTAT_n レジスタの EN ビットを 0 にクリアし、ER ビットを 1 にセッします（n = 0-15)。また、DMA エラー割り込みを出力します。
DMA エラー割り込みをマスクすることはできません。

エラーとなった一連の転送はそのデータを保証できません。必ず下記の手順にて、最初から転送をやり直して下さい。

1. CHCTRL_n レジスタの SWRST ビットを 1 にセット
2. 各レジスタを再設定

9.7.9　インターバル･カウント機能

チャネル・インターバル・レジスタ（CHITVL_n）の ITVL ビットの設定によって、DMA 転送の実行間隔を調整することが可能です。この機能は、DMA コントローラがバスを占有することの無いようにするためのものです。
一回のリードまたはライトが完了すると、CHITVL_n に設定された値からカウントダウンを始めます。カウント値が 0 になるまでは、次の内部リクエストが実行されません。
動作例を次に示します。

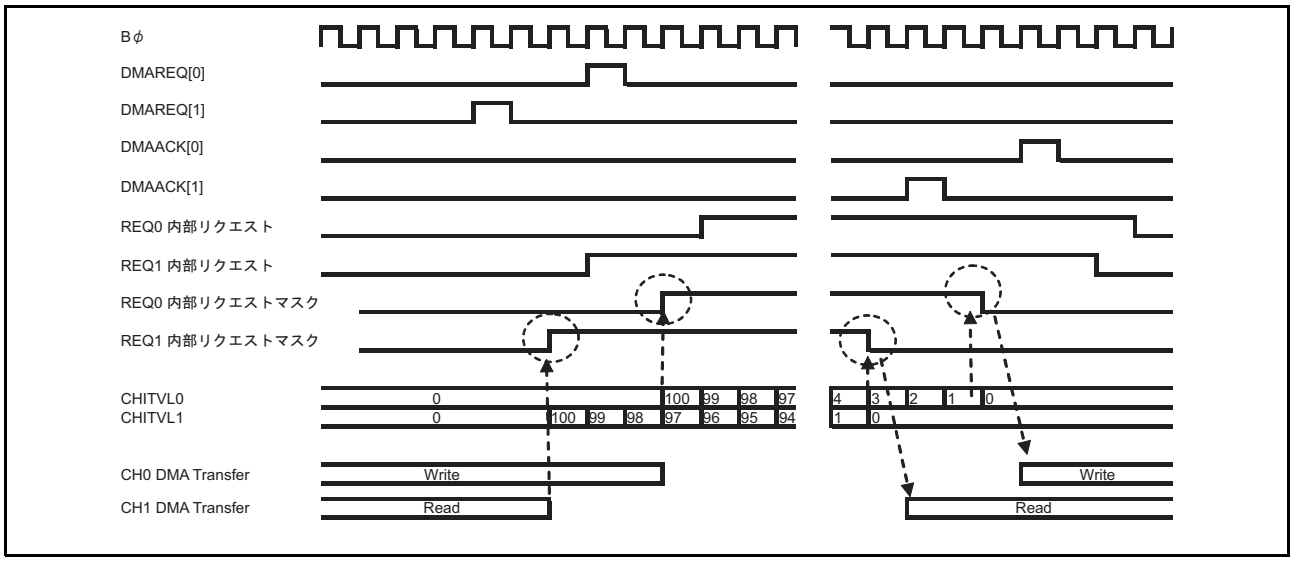


図 9.24　インターバル・カウント

9.7.10　転送サイズによる動作の違い

(1)　ソース側の転送サイズが小さい場合

ディスティネーション・データ・サイズ分のデータのリードが完了すると、ディスティネーションへのライトを行います。

ソース側が 8bit、ディスティネーション側が 32bit の場合のタイミング図を以下に示します。（立ち上がりエッジ検出の場合）

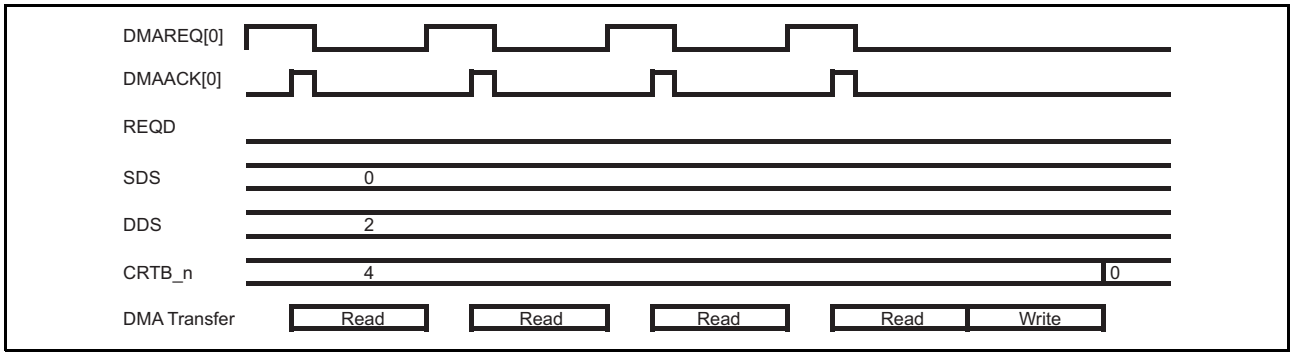


図 9.25　ソースが小さい場合（CHCFG_n の LVL=0、HIEN=1、REQD=0、SDS<DDS）

(2)　ディスティネーション側の転送サイズが小さい場合

ソース側の方が大きいため、一度のソース・リードの後、数回のディスティネーション・ライトが発生することとなります。ソース側が 64bit、ディスティネーション側が 16bit の場合を以下に示します。（立ち上がりエッジ検出の場合）（CHCFG_n レジスタの REQD=1 に設定）

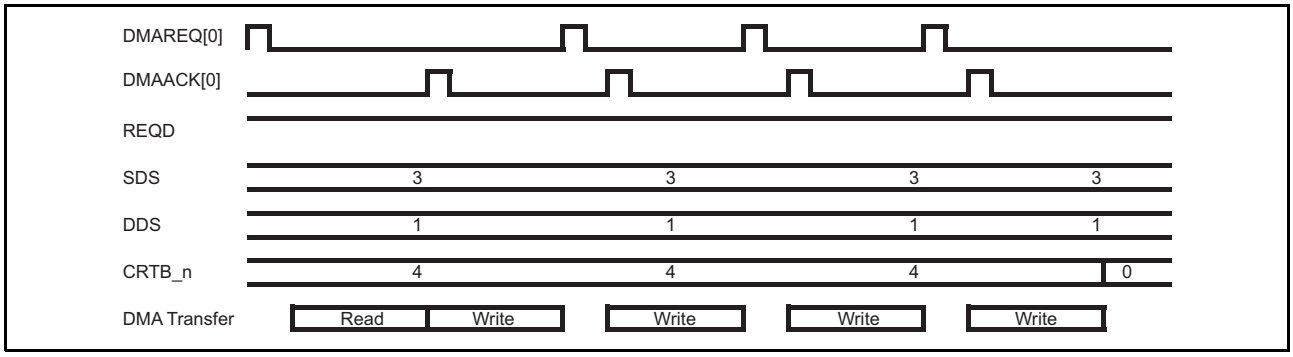


図 9.26　　ディスティネーションが小さい場合（CHCFG_n の LVL=0、HIEN=1、REQD=1、SDS>DDS）

(3)　ソースとディスティネーションの転送サイズが同じ場合

DMA 転送要求を検出するたびにソースのリードとディスティネーションへのライトを行います。

ソースとディスティネーションが 8bit の場合のタイミング図を以下に示します。（立ち上がりエッジ検出で、CHCFG_n レジスタの REQD=1 に設定の場合）

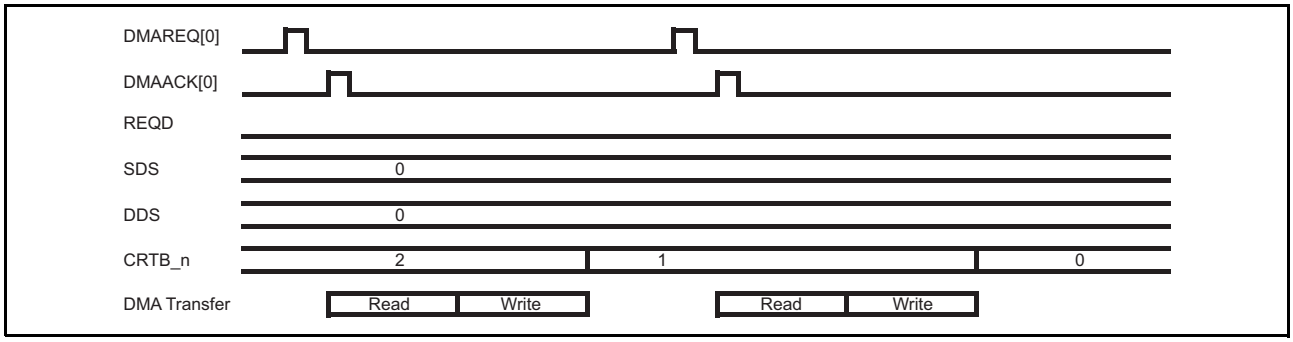


図 9.27　　ソースとディスティネーションが同じ場合（CHCFG_n の LVL=0、HIEN=1、REQD=0、SDS=DDS）

9.7.11　転送状態

Channel ステータス・レジスタはチャネルの DMA 転送実行状態を示します。

(1)　一時停止

CHCTRL_n の SETSUS ビットで DMA 転送を一時停止することができます。この時、すでに実行されているバス・サイクルがあれば、その完了を待って、停止状態になります。CLRSUS ビットに 1 をライトすることで停止状態から復帰することができます。

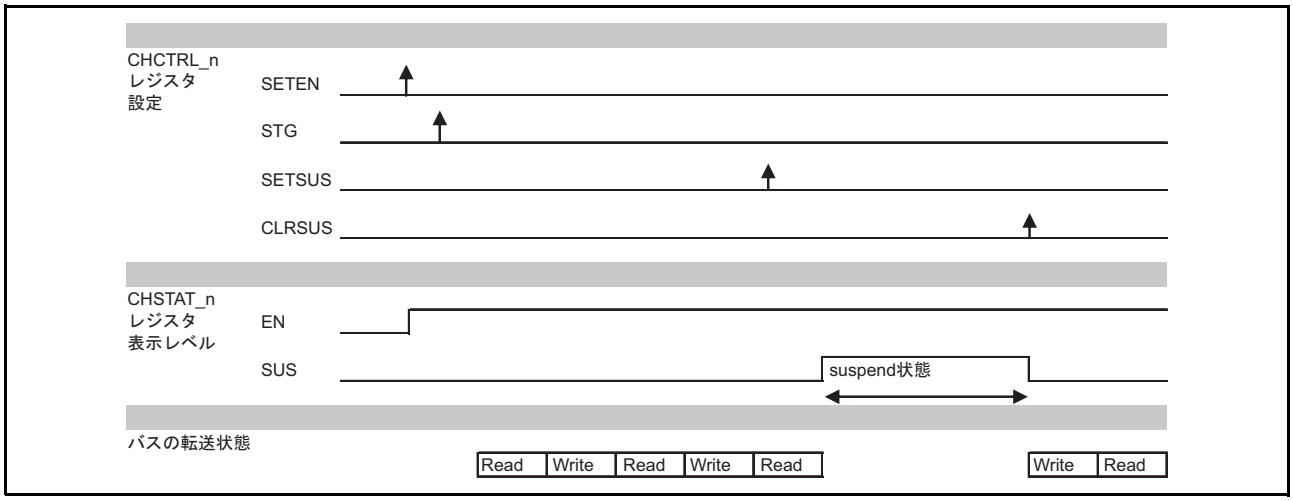


図 9.28　DMAC 一時停止状態 (オートリクエスト ブロック転送)

上記の場合、リード・トランスファが終了した時点で停止状態に入ります。

すでに DMA が転送を実行している場合、その転送が完了した時点でサスペンド状態になります。サスペンド状態であることを確認するためには、SETSUS をセットした後、CHSTAT レジスタまたは DSTAT_SUS レジスタをリードして該当チャネルの SUS ビットが 1 になっていることを確認して下さい。

(2)　転送中断

DMA トランザクション中に CLREN に 1 をライトすると、そのチャネルの DMA トランザクションを中断することができます。中断後の処理として、中断したタイミングでバッファに残ったデータを掃き出すモード (SBE=1) と、掃き出しを行わないモード (SBE=0) を CHCFG_n レジスタの SBE ビットで選択することができます。デフォルトは SBE=0 です。

この掃き出しモードが有効で、CLREN=1 で進行中の転送が中断されると、DMAC のバッファにデータが残っていた場合、そのデータを掃き出して、トランザクションが完了になります。

(a)　転送中断（バッファ掃き出しなし：SBE=0）

DMA 転送中に CLREN をセットすると、DMA 転送を中断して停止します。停止するタイミングは REQD 設定した値にしたがって停止します。停止後は必ず、SWRST をセットし DMA 内部状態をクリアしてから、次の転送設定を行って下さい。

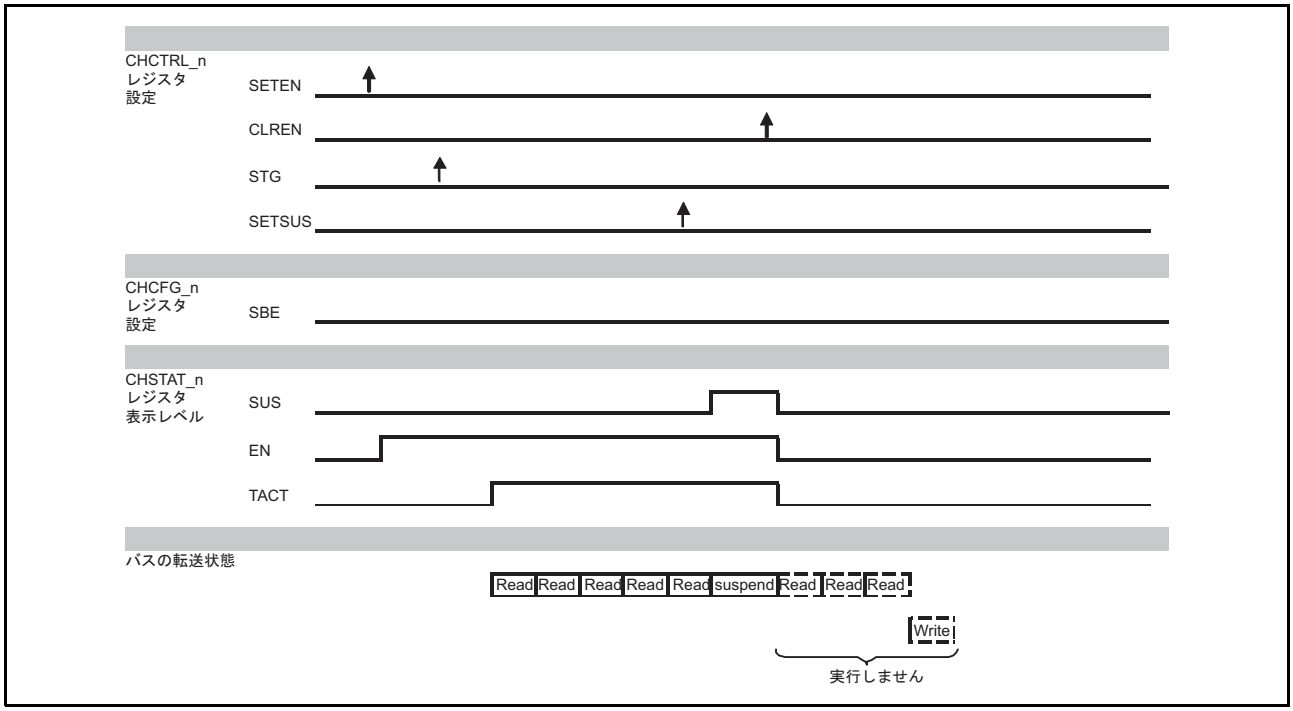


図 9.29　　DMA 転送中断

- TACT ビットが落ちた時点でチャネルが完全に停止したことを確認できます。
- DMA 転送の途中で中断した場合、DMA 転送終了割り込みはアサートしません。
- REQD=0 の場合、次のリードが完了した時点で停止します。(ただし、ライトできるデータがバッファ内にある場合はライトして停止します)。
- REQD=1 の場合、次のライトが完了した時点で停止します。

(b)　転送中断（バッファ掃き出しあり：SBE=1）

DMA 転送中に CLREN をセットすると、DMA 転送を中断します。REQD=0 の場合、すでにリードしたデータを掃き出し (ライト) して DMA 転送を停止します。REQD=1 でハードウェア・リクエストを使用している場合は、掃き出しモードを使用しないで下さい。停止後は SWRST をセットし、DMAC 内部状態をクリアしてから、次の転送設定を行って下さい。

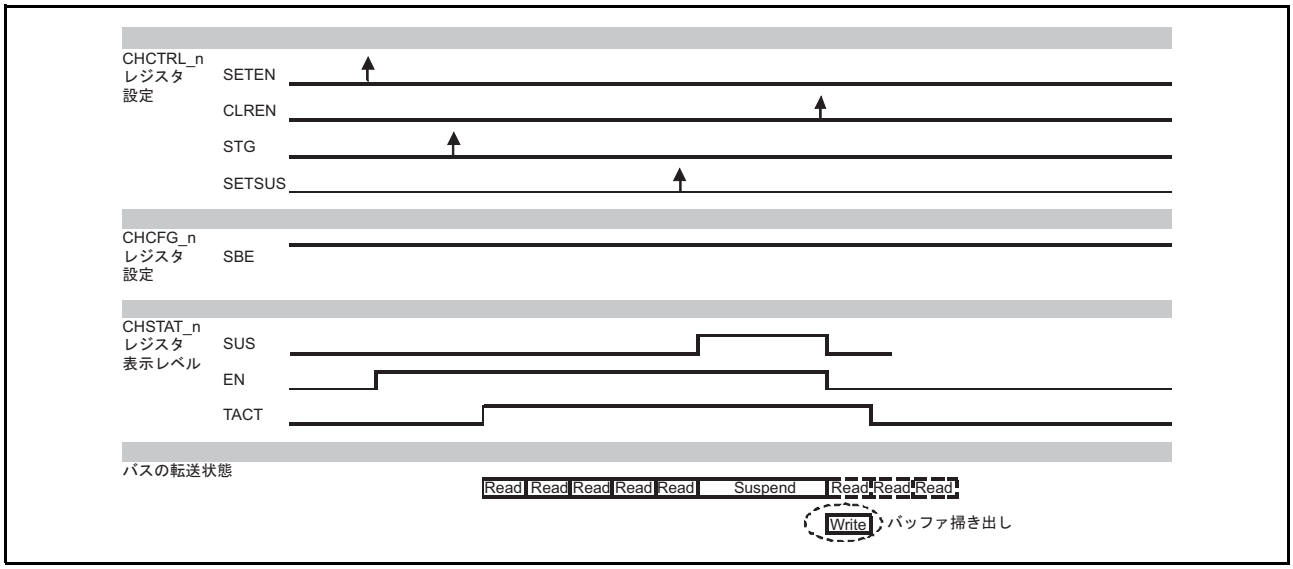


図 9.30　DMA 転送中断 (バッファ掃き出しモード)

- TACT ビットが落ちた時点でチャネルが完全に停止したことを確認できます。
- 掃き出しモード (SBE=1) で、5 回目のリード転送中に SETSUS → CLREN で転送を中断した場合、リードしたデータをライトして、DMA を停止します。

(c)　チャネルの停止確認方法

EN ビットを 0 クリアしても、すでにバス上で転送が実行されている場合は、DMA はすぐに停止するこができません。よって DMA が完全に停止したことを確認するためには、EN ビットが 0 かつ TACT ビットが 0 であることを確認する必要があります。

(d)　転送中断手順

以下に転送停止手順を示します。

1. CHCTRL_n の SETSUS をセットします。
2. CHSTAT_n の SUS ビットが 1 になるまでポーリングします。(このとき、すでに EN が 0 の場合は DMAC が停止しているため、手順 6 へ)
3. CHCTRL_n の CLREN をセットします。
4. SBE=0 の場合は REQD の値にしたがって停止、SBE=1 の場合は掃き出し状態になります。SBE=1 の設定の場合、REQD=0 に設定しておいて下さい。
5. CHSTAT_n をリードして TACT ビットが 0 になっていることを確認します。TACT=0 ならば、DMA が完全に停止したことを意味します。TACT=1 の場合は、0 になるまでポーリングして下さい。
6. 中断後、次の DMA 転送を行う場合、次の転送を開始する直前までに必ず CHCTRL_n の SWRST（ソフトウェアリセット）ビットをセットして下さい。

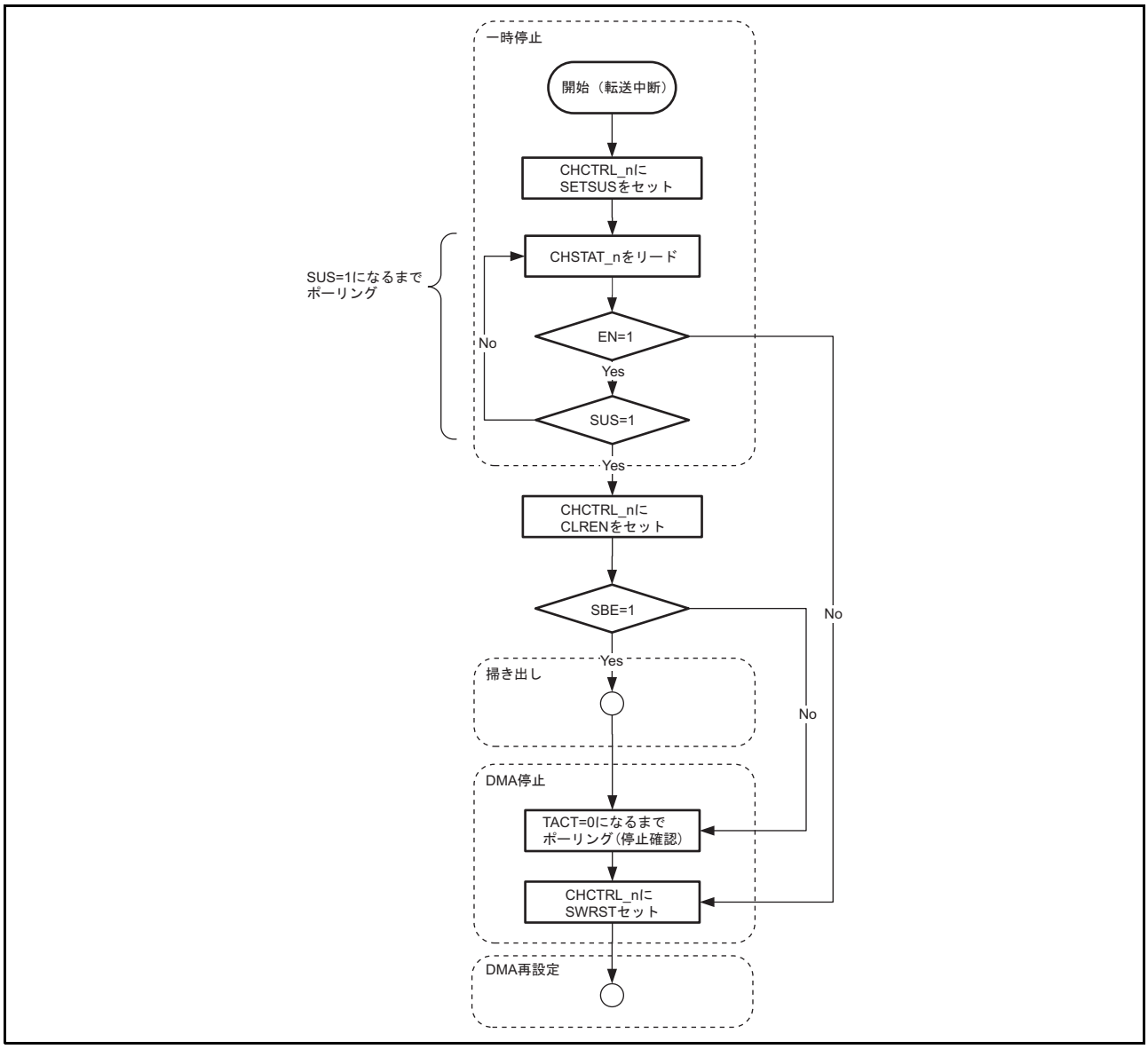


図 9.31　転送中断フロー

9.8 DMA 設定例

この章では、ダイレクトメモリアクセスコントローラを使用して、DMA 転送を行う場合の設定例を示します。

各設定例の転送条件は次のとおりです。

表 9.21　DMA 転送設定例の転送条件一覧

	DMA モード	転送モード	転送要求
設定例 1	Register	シングル	ハード
設定例 2	Register	ブロック	ソフト
設定例 3	Register (連続実行)	ブロック	ソフト
設定例 4	Link	ブロック	ソフト

設定内容の詳細については、各設定例を参照して下さい。

9.8.1 設定例 1（レジスタ・モード　ハードウェア・リクエスト）

次に示す設定で DMA 転送を行う場合の設定値を示します。

表 9.22　DMA 転送の設定例 1

項目		内容	
使用チャネル		3	
DMA モード		Register	
転送モード		シングル転送	
使用レジスタ・セット		Next0	
転送元／転送先		転送元	転送先
	開始アドレス	1111_0000H	2222_0000H
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	32 ビット	32 ビット
DMA 転送バイト数		64 Byte	
DMA 転送要求		ハードウエアによる、立ち上がりエッジ検出	
DMAACK 信号		リード時にレベル出力	
DMA 転送終了割り込みマスク		なし	
CACHE 設定		デフォルト値	

設定例 1

N0SA = 1111_0000H (転送元アドレス)

N0DA = 2222_0000H (転送先アドレス)

N0TB = 0000_0040H (転送バイト数)

CHCFG = 0002_2123H (コンフィグ)

CHITVL = 0000_0000H (インターバル)

CHEXT = 0000_0000H (CACHE 設定)

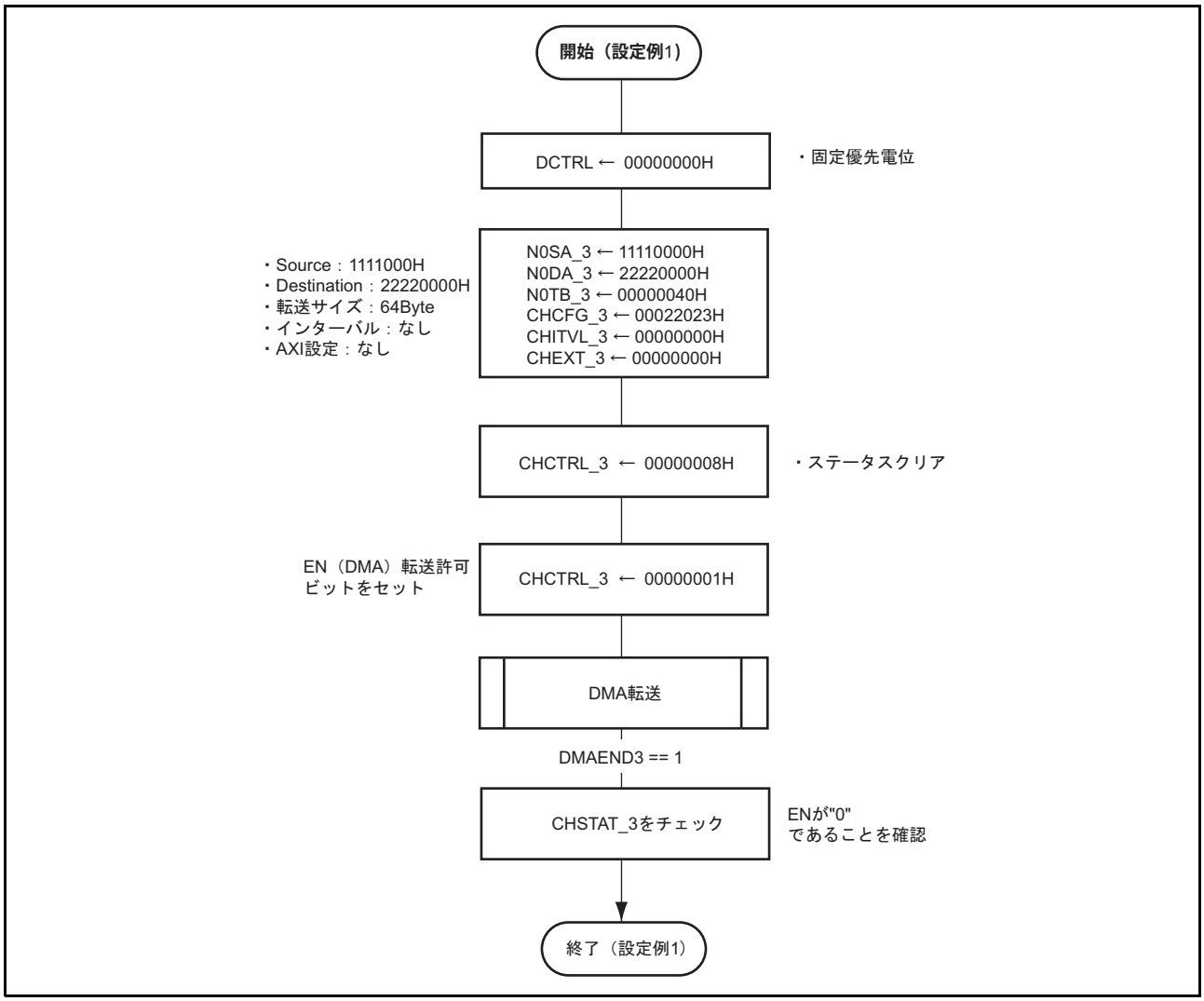

開始（設定例1）
DCTRL ← 00000000H
・固定優先電位
・Source：1111000H
・Destination：22220000H
・転送サイズ：64Byte
・インターバル：なし
・AXI設定：なし
N0SA_3 ← 11110000H
N0DA_3 ← 22220000H
N0TB_3 ← 00000040H
CHCFG_3 ← 00022023H
CHITVL_3 ← 00000000H
CHEXT_3 ← 00000000H
CHCTRL_3 ← 00000008H
・ステータスクリア
EN（DMA）転送許可
ビットをセット
CHCTRL_3 ← 00000001H
DMA転送
DMAEND3 == 1
CHSTAT_3をチェック
ENが"0"
であることを確認
終了（設定例1）

図 9.32　設定例 1

9.8.2 設定例 2（レジスタ・モード　ソフトウェア・リクエスト）

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 9.23　DMA 転送の設定例 2

項目		内容	
使用チャネル		2	
優先順位制御		ラウンドロビン	
DMA モード		Register	
転送モード		ブロック転送	
使用レジスタ・セット		Next1	
転送元／転送先		転送元	転送先
	開始アドレス	0FFF_E000H	3333_0000H
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	8 ビット	256 ビット
DMA 転送バイト数		128 Byte	
DMA 転送要求		オートリクエスト	
DMAACK 信号		マスク	
DMA 転送終了割り込みマスク		なし	
CACHE 設定		デフォルト値	

設定例 2

DCTRL = 0000_0001H(DMA 設定)

N1SA = 0FFF_E000H (転送元アドレス)
N1DA = 3333_0000H (転送先アドレス)
N1TB = 0000_0080H (転送バイト数)

CHCFG = 1045_0402H (コンフィグ)
CHITVL = 0000_0000H (インターバル)
CHEXT = 0000_0000H (CACHE 設定)

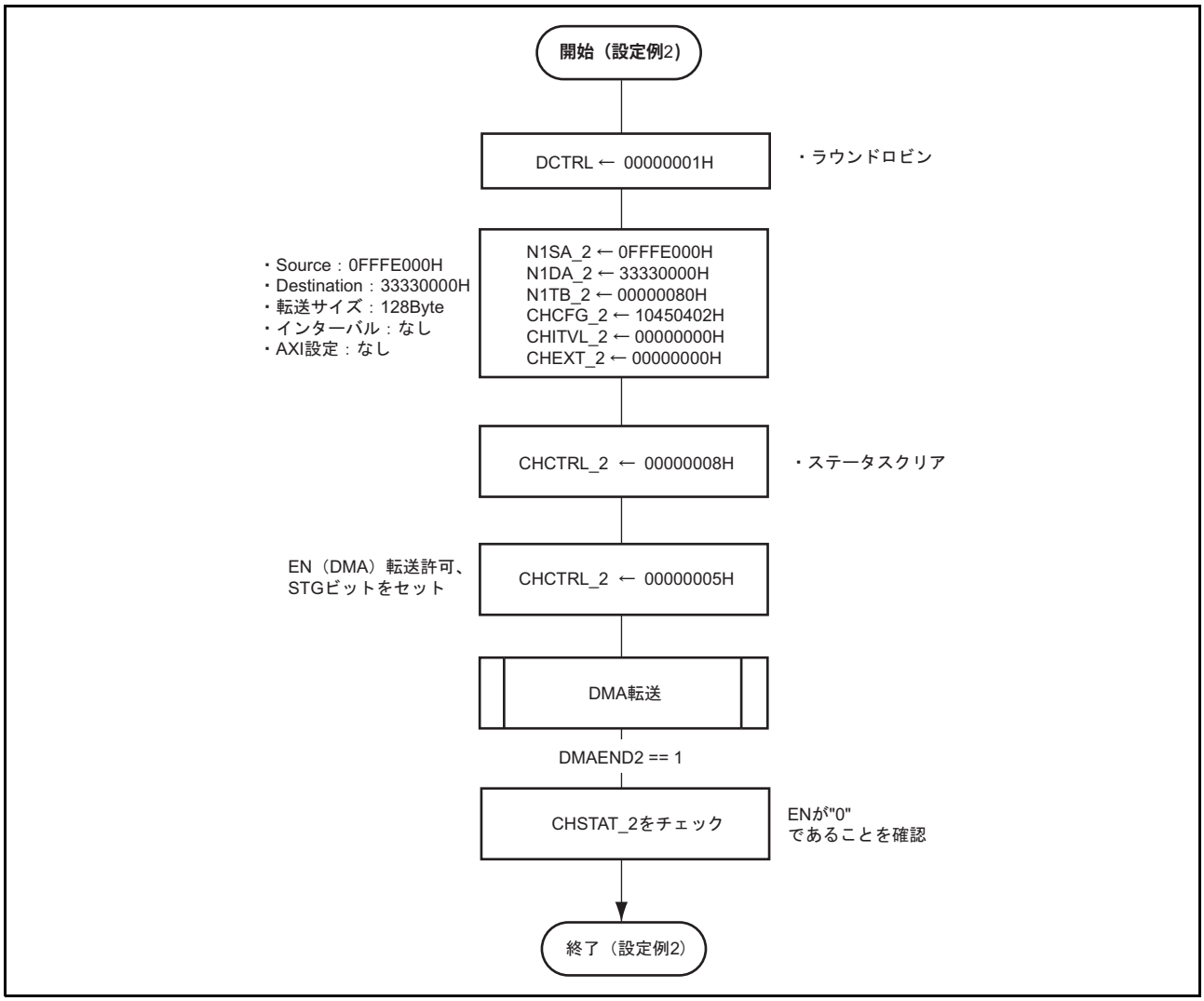

開始（設定例2）
DCTRL ← 00000001H
・ラウンドロビン
・Source：0FFFE000H
・Destination：33330000H
・転送サイズ：128Byte
・インターバル：なし
・AXI設定：なし
N1SA_2 ← 0FFFE000H
N1DA_2 ← 33330000H
N1TB_2 ← 00000080H
CHCFG_2 ← 10450402H
CHITVL_2 ← 00000000H
CHEXT_2 ← 00000000H
CHCTRL_2 ← 00000008H
・ステータスクリア
EN（DMA）転送許可、
STGビットをセット
CHCTRL_2 ← 00000005H
DMA転送
DMAEND2 == 1
CHSTAT_2をチェック
ENが"0"
であることを確認
終了（設定例2）

図 9.33　設定例 2

9.8.3 設定例 3（レジスタ・モード 連続実行）

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 9.24　DMA 転送の設定例 3

項目		内容	
使用チャネル		1	
優先順位制御		ラウンドロビン	
DMA モード		Register	
転送モード		ブロック転送	
使用レジスタ・セット		Next0→Next1 連続	
Next0		転送元	転送先
	開始アドレス	1111_0000H	3333_0000H
	アドレス方向	固定	固定
	データ・サイズ	32 ビット	512 ビット
	DMA 転送バイト数	512Byte	
Next1		転送元	転送先
	開始アドレス	2222_0000H	4444_0000H
	アドレス方向	固定	固定
	データ・サイズ	32 ビット	512 ビット
	DMA 転送バイト数	2048Byte	
DMA 転送要求		オートリクエスト	
DMAACK 信号		出力しない	
DMA 転送終了割り込みマスク		Next0 完了時に DMA 転送終了割り込みをマスク	
CACHE 設定		デフォルト値	

設定例 3

DCTRL = 0000_0001H(DMA 設定)

N0SA = 1111_0000H (転送元アドレス)
N0DA = 3333_0000H (転送先アドレス)
N0TB = 0000_0200H (転送バイト数)

N1SA = 2222_0000H (転送元アドレス)
N1DA = 4444_0000H (転送先アドレス)
N1TB = 0000_0800H (転送バイト数)

CHCFG = 6176_2001H (コンフィグ)
CHITVL = 0000_0000H (インターバル)
CHEXT = 0000_0000H (CACHE 設定)

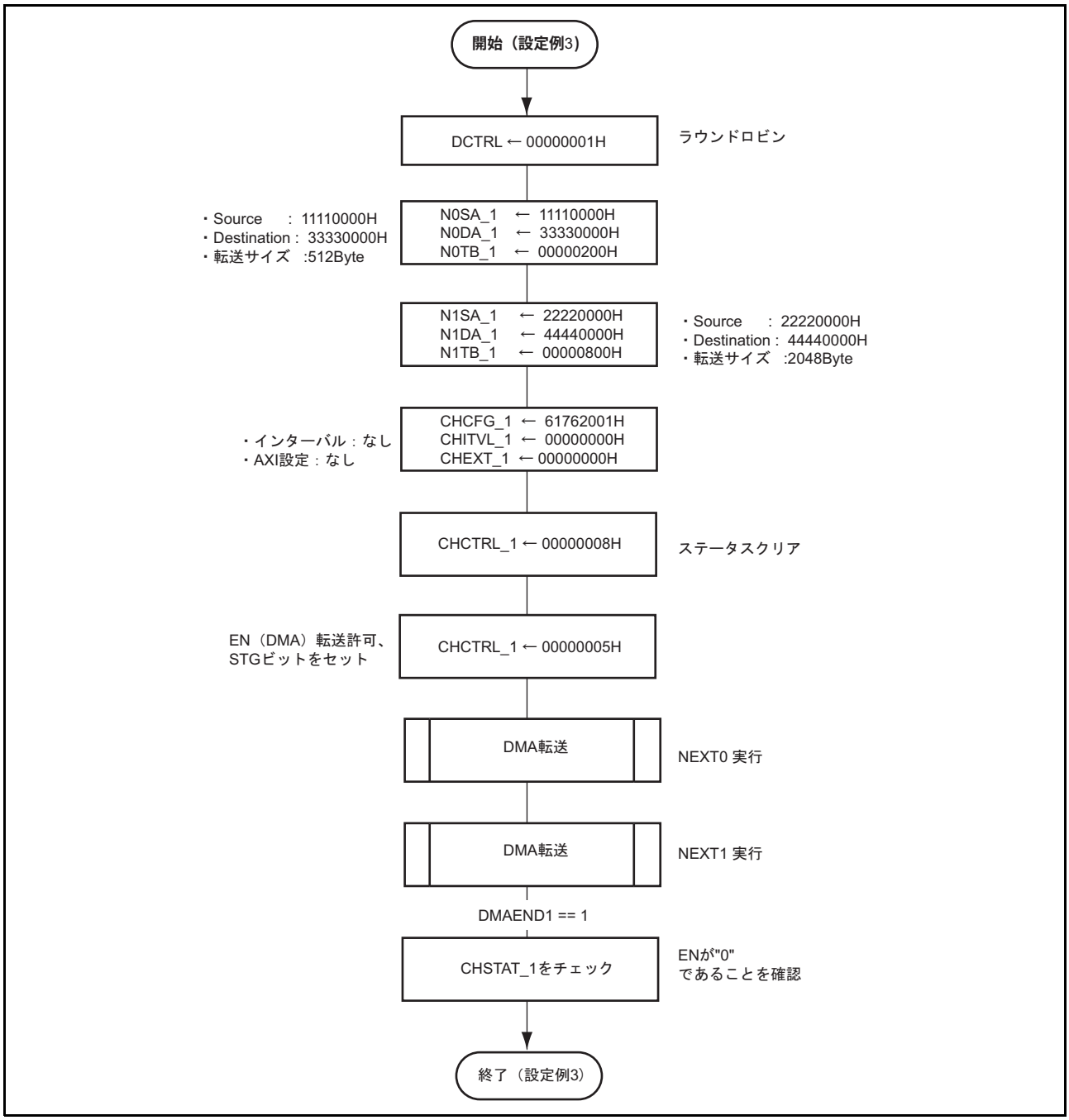

開始（設定例3）
DCTRL ← 00000001H
ラウンドロビン
・Source　：11110000H
・Destination：33330000H
・転送サイズ　:512Byte
N0SA_1 ← 11110000H
N0DA_1 ← 33330000H
N0TB_1 ← 00000200H
N1SA_1 ← 22220000H
N1DA_1 ← 44440000H
N1TB_1 ← 00000800H
・Source　：22220000H
・Destination：44440000H
・転送サイズ　:2048Byte
・インターバル：なし
・AXI設定：なし
CHCFG_1 ← 61762001H
CHITVL_1 ← 00000000H
CHEXT_1 ← 00000000H
CHCTRL_1 ← 00000008H
ステータスクリア
EN（DMA）転送許可、
STGビットをセット
CHCTRL_1 ← 00000005H
DMA転送
NEXT0 実行
DMA転送
NEXT1 実行
DMAEND1 == 1
CHSTAT_1をチェック
ENが"0"
であることを確認
終了（設定例3）

図 9.34　　設定例 3

9.8.4 設定例 4（リンク・モード）

次に示す設定で DMA 転送を行う場合の設定例を示します。

表 9.25　DMA 転送の設定例 4

項目	内容
使用チャネル	0
優先順位制御	ラウンドロビン
DMA モード	Link
転送モード	ブロック転送
使用レジスタ・セット	—
ディスクリプタ 開始アドレス	0000_1000H

表 9.26　DMA 転送の設定例 4(ディスクリプタ 1)

項目		内容	
ディスクリプタ 先頭アドレス		0000_1000H	
次ディスクリプタ 先頭アドレス		0000_2000H	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	1111_0000H	3333_0000H
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	32 ビット	32 ビット
	DMA 転送バイト数	2048Byte	
DMA 転送要求		オートリクエスト起動(STG)	
DMAACK 信号		出力しない	
DMA 転送終了割り込みマスク		あり	
CACHE 設定		デフォルト値	
header			
	LV=1 だった場合の DMAEND	発行(DIM=0)	
	LV 書き戻し	あり(WBD=0)	
	次リンク先	あり(LE=0)	
	ディスクリプタ有効	有効(LV=1)	

表 9.27　DMA 転送の設定例4(ディスクリプタ 2)

項目		内容	
ディスクリプタ 先頭アドレス		0000_2000H	
次ディスクリプタ 先頭アドレス		0000_5000H	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	4444_0000H	5555_0000H
	アドレス方向	インクリメント	インクリメント
	データ･サイズ	64 ビット	256 ビット
	DMA 転送バイト数	1024Byte	
DMA 転送要求		オートリクエスト起動(STG)	
DMAACK 信号		出力しない	
DMA 転送終了割り込みマスク		あり	
CACHE 設定		デフォルト値	
header			
	LV=1 だった場合の DMAEND	発行(DIM=0)	
	LV 書き戻し	あり(WBD=0)	
	次リンク先	あり(LE=0)	
	ディスクリプタ有効	有効(LV=1)	

表 9.28　DMA 転送の設定例 4(ディスクリプタ 3)

項目		内容	
ディスクリプタ 先頭アドレス		0000_5000H	
次ディスクリプタ 先頭アドレス		—	
転送モード		ブロック転送	
Next0		転送元	転送先
	開始アドレス	7777_0000H	AAAA_0000H
	アドレス方向	インクリメント	インクリメント
	データ・サイズ	512 ビット	512 ビット
	DMA 転送バイト数	4096Byte	
DMA 転送要求		オートリクエスト起動(STG)	
DMAACK 信号		出力しない	
DMA 転送終了割り込みマスク		なし	
CACHE 設定		デフォルト値	
header			
	LV=1 だった場合の DMAEND	発行(DIM=0)	
	LV 書き戻し	あり(WBD=0)	
	次リンク先	なし(LE=1)	
	ディスクリプタ有効	有効(LV=1)	

設定例 4

DCTRL= 0000_0001H(DMA 設定)

NXLA = 0000_1000H(ディスクリプタ先頭アドレス)

CHCFG = 8000_0000H (コンフィグ)

表 9.29　ディスクリプタ設定

	ディスクリプタ 1	ディスクリプタ 2	ディスクリプタ 3
header	0000_0001H	0000_0001H	0000_0003H
SA(Source Address)	1111_0000H	4444_0000H	7777_0000H
DA(Destination Address)	3333_0000H	5555_0000H	AAAA_0000H
TB(Transaction Byte)	0000_0800H	0000_0400H	0000_1000H
CFG(configuration)	8142_2008H	8145_3008H	8046_6008H
ITVL(Interval)	0000_0000H	0000_0000H	0000_0000H
EXT(Extension)	0000_0000H	0000_0000H	0000_0000H
NXLA(Next Link Address)	0000_2000H	0000_5000H	0000_0000H

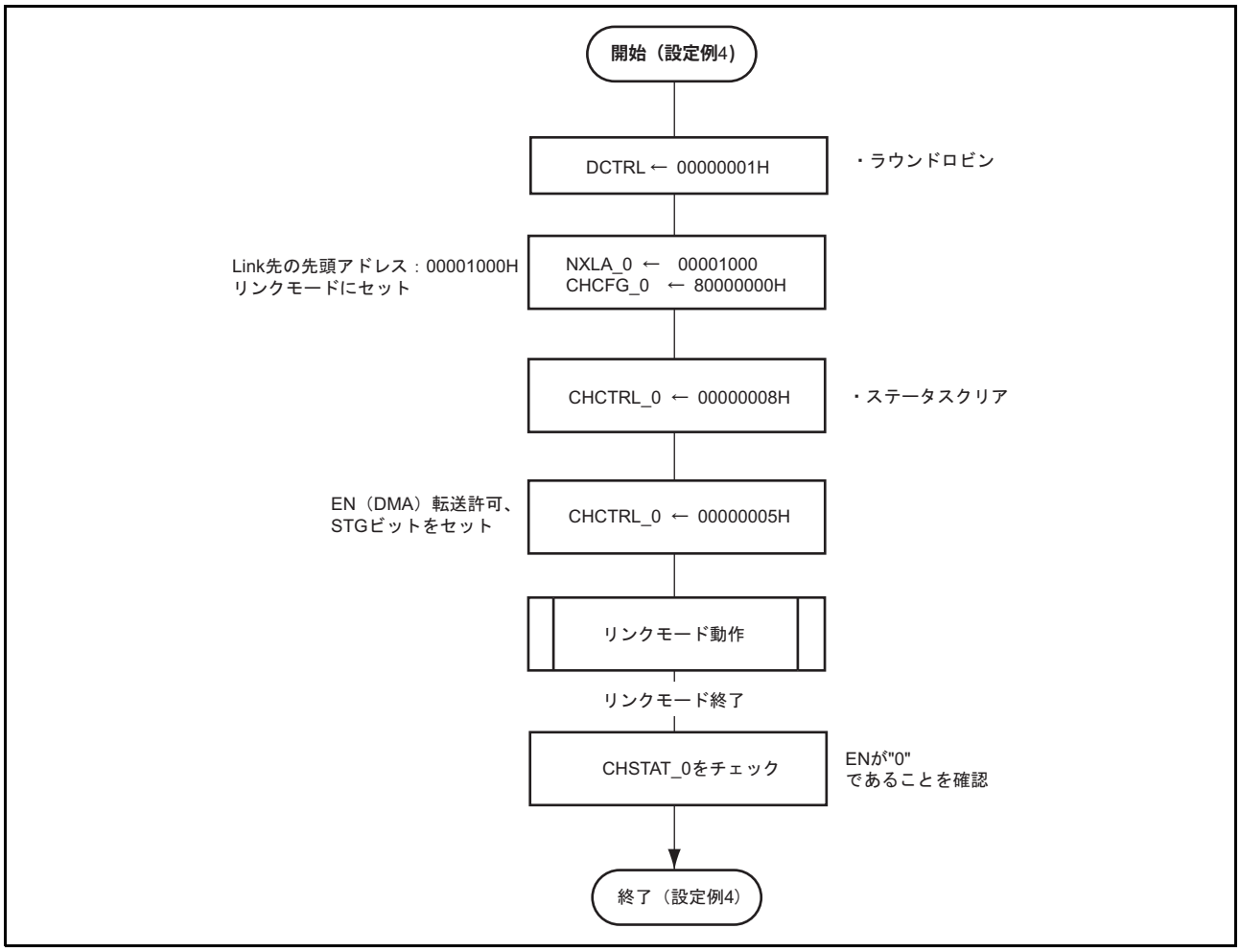

開始（設定例4）
DCTRL ← 00000001H
・ラウンドロビン
Link先の先頭アドレス：00001000H
リンクモードにセット
NXLA_0 ← 00001000
CHCFG_0 ← 80000000H
CHCTRL_0 ← 00000008H
・ステータスクリア
EN（DMA）転送許可、
STGビットをセット
CHCTRL_0 ← 00000005H
リンクモード動作
リンクモード終了
CHSTAT_0をチェック
ENが"0"
であることを確認
終了（設定例4）

図 9.35　設定例 4

9.8.5　Next レジスタ連続実行設定

レジスタ・モードで 2 つの Next レジスタ・セットを使用して、DMA 転送を継続する場合のフローチャートを示します。一方の Next レジスタの DMA トランザクションを実行中に、もう一方の Next レジスタの設定を行い、DMA 転送を継続して実行します。

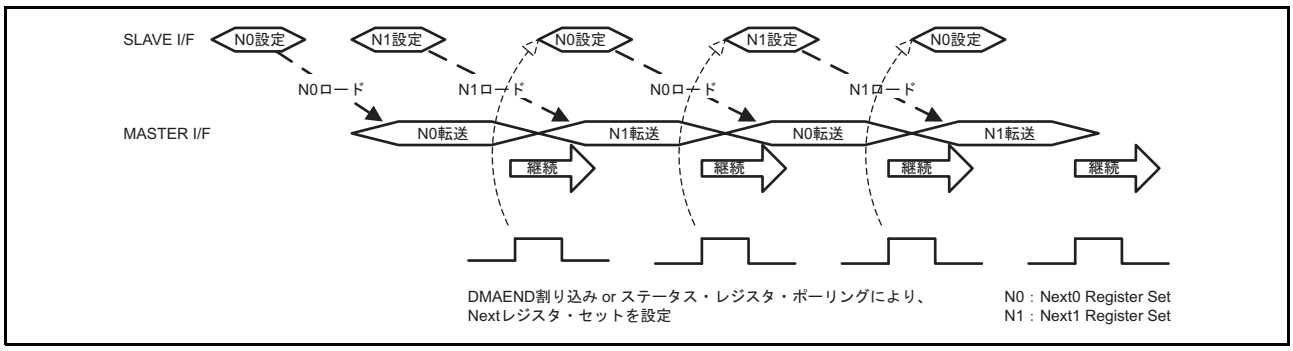


図 9.36　Next レジスタ連続実行イメージ

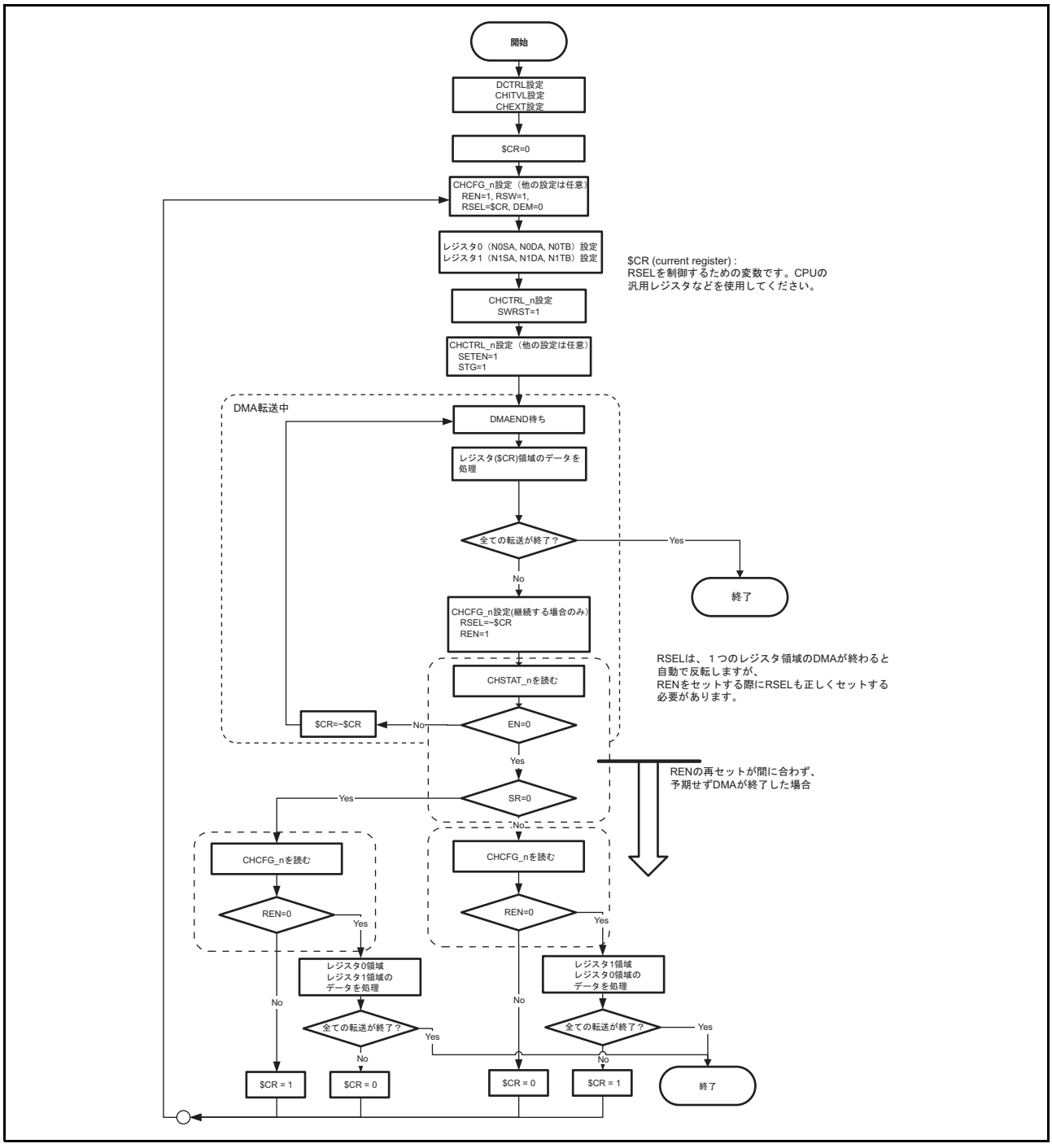


図 9.37　Next レジスタ設定による連続 DMA 実行実施例

【補足】 最初に転送するレジスタ・セット（0（N0SA、N0DA、N0TB）、1（N1SA、N1DA、N1TB））を CPU の汎用レジスタなどに保存して下さい（このレジスタの値を便宜上＄CR と呼びます。）。
1 つのレジスタ・セットの DMA 転送が終わる（DMA 転送終了割り込みが出力される）ごとに、REN は自動的に 0 にクリアされます。続けて実行するには、DMA 転送終了割り込みがアサートされるたびに、CHCFG_n レジスタの REN をセットする必要がありますが、同レジスタには RSEL の設定ビットもあり、この値も正しく設定する必要があります。このために＄CR を使用して下さい。

本モードでは二つの Next レジスタを連続して実行しますが、CLREN のセットが DMA トランザクション終了（次の DMA 転送終了割り込みが出力される）までに間に合わなかった場合、連続実行は止まります。この場合、CHSTAT_n レジスタの SR、EN ビットと、CHCFG_n レジスタの REN をリードすることで、どこまで転送ができたかを確認することができます。再開する場合には上記のフローチャートの手順に従って実行して下さい。

9.9 注意事項

9.9.1 DACK0,TEND0 が分割出力される場合について

8 ビット、16 ビット外部デバイスに 4 バイト以上の転送を行ったり、8 ビット外部デバイスに 2 バイト以上の転送をする場合は DMA 転送単位が複数のバスサイクルに分割されます。DMA 転送が複数のバスサイクルに分割され、かつバスサイクル間で $\overline{CS}$ がネゲートする設定の場合、データをアライメントするために $\overline{CS}$ と同様に DACK0 出力および TEND0 出力が分割されるので注意してください。この例を図 9.38 に示します。

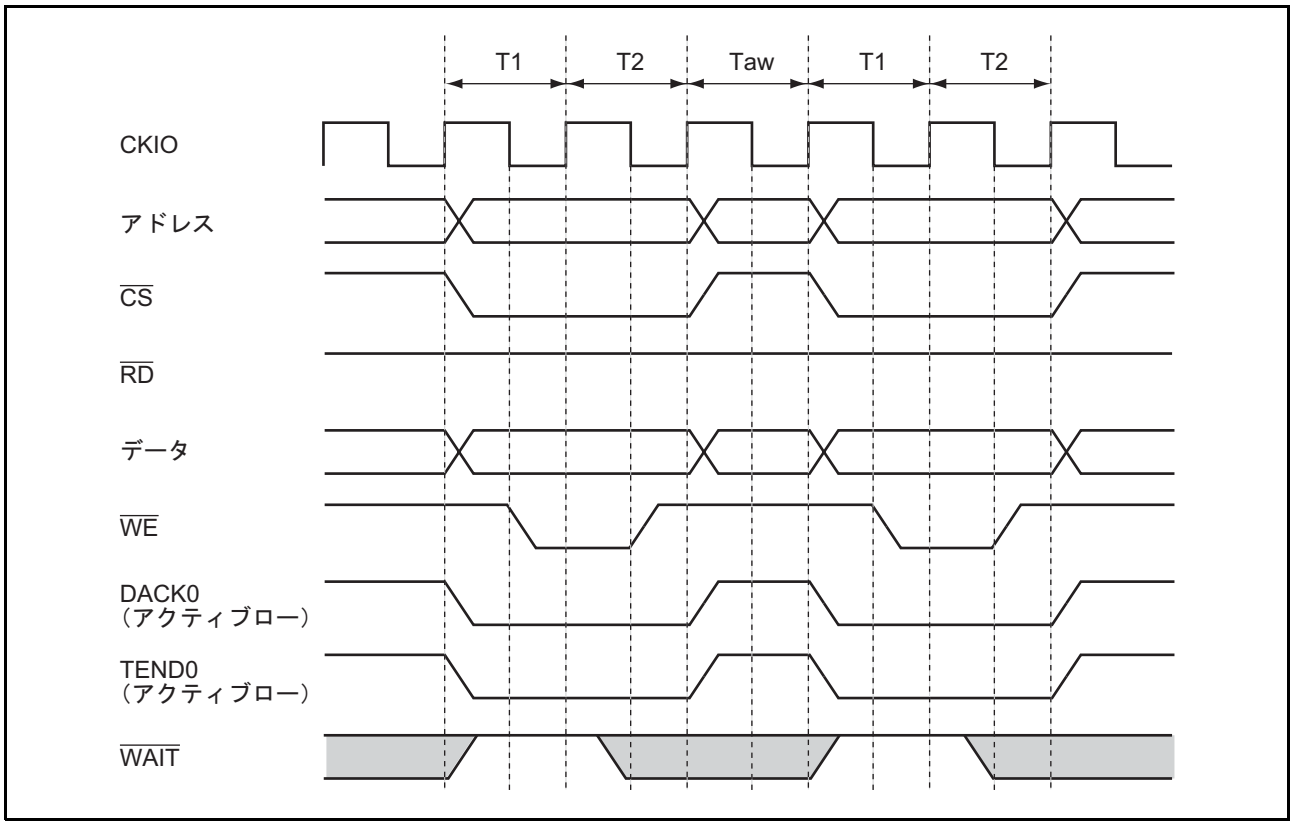


図 9.38　TEND0 分割出力タイミング例

9.9.2　TEND0 が出力されない場合について

CHCFG_0 レジスタ内 DDS[3:0]、SDS[3:0]、REQD ビットの組み合わせにより、TEND0 が出力されない場合があるので注意してください。

出力されない組み合わせを**表 9.30** に、動作例を**図 9.39** に示します。

表 9.30　TEND0 未出力組み合わせ

CHCFG_0 レジスタ			TEND0 出力
REQD	DDS	SDS	
1	—	—	出力
0	DDS > SDS		出力
	DDS = SDS		出力
	DDS < SDS		未出力

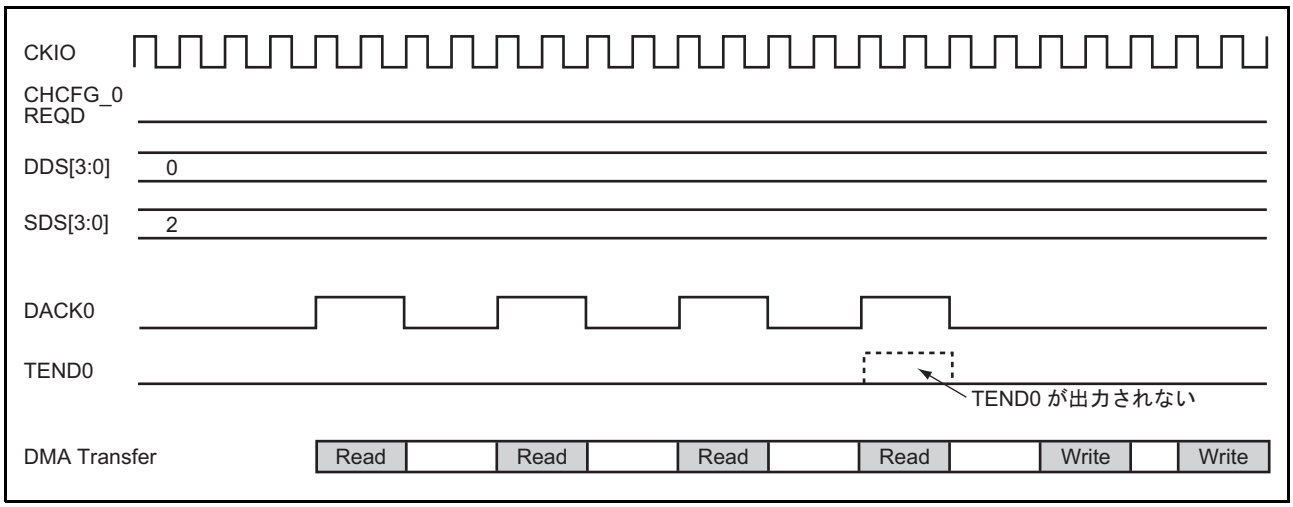


図 9.39　TEND0 未出力例

9.9.3　アトミック・アクセス (ARLOCK[1:0]、AWLOCK[1:0])

本モジュールは、アトミック (ロック、排他) アクセスには対応しません（normal access のみ対応）。

ARLOCK[1:0]、AWLOCK[1:0] 信号は下記で固定されます。変更することは出来ません。

ARLOCK[1:0]、AWLOCK[1:0] : 00(normal access)

10. マルチファンクションタイマパルスユニット 2

本 LSI は、5 チャネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 2 を内蔵しています。

10.1 特長

- 最大 16 本のパルス入出力が可能
- 各チャネルごとに 8 種類のカウンタ入力クロックを選択可能
- 次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ（TCNT）への同時書き込み、コンペアマッチ／インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大 12 相の PWM 出力
- チャネル 0、3、4 はバッファ動作を設定可能
- チャネル 1、2 はそれぞれ独立に位相計数モードを設定可能
- カスケード接続動作
- 内部 16 ビットバスによる高速アクセス
- 25 種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D 変換器の変換スタートトリガを生成可能
- モジュールスタンバイモードの設定可能
- CH3、4 連動動作により相補 PWM、リセット PWM3 相のポジ、ネガ計 6 相波形出力設定可能
- CH0、3、4 を連動して、相補 PWM、リセット PWM を用いた AC 同期モータ（ブラシレス DC モータ）駆動モードが設定可能で、2 種（チョッピング、レベル）の波形出力が選択可能
- 相補 PWM モード時、カウンタの山／谷での割り込み、および A/D 変換器の変換スタートトリガを間引くことが可能

表 10.1　マルチファンクションタイマパルスユニット 2 の機能一覧

項目		チャネル 0	チャネル 1	チャネル 2	チャネル 3	チャネル 4
カウントクロック		P0φ／1 P0φ／4 P0φ／16 P0φ／64 TCLKA TCLKB TCLKC TCLKD	P0φ／1 P0φ／4 P0φ／16 P0φ／64 P0φ／256 TCLKA TCLKB	P0φ／1 P0φ／4 P0φ／16 P0φ／64 P0φ／1024 TCLKA TCLKB TCLKC	P0φ／1 P0φ／4 P0φ／16 P0φ／64 P0φ／256 P0φ／1024 TCLKA TCLKB	P0φ／1 P0φ／4 P0φ／16 P0φ／64 P0φ／256 P0φ／1024 TCLKA TCLKB
ジェネラルレジスタ（TGR）		TGRA_0 TGRB_0 TGRE_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4
ジェネラルレジスタ／バッファレジスタ		TGRC_0 TGRD_0 TGRF_0	−	−	TGRC_3 TGRD_3	TGRC_4 TGRD_4
入出力端子		TIOC0A TIOC0B TIOC0C TIOC0D	TIOC1A TIOC1B	TIOC2A TIOC2B	TIOC3A TIOC3B TIOC3C TIOC3D	TIOC4A TIOC4B TIOC4C TIOC4D
カウンタクリア機能		TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ
コンペアマッチ出力	0出力	○	○	○	○	○
	1出力	○	○	○	○	○
	トグル出力	○	○	○	○	○

項目	チャネル0	チャネル1	チャネル2	チャネル3	チャネル4
インプットキャプチャ機能	○	○	○	○	○
同期動作	○	○	○	○	○
PWMモード1	○	○	○	○	○
PWMモード2	○	○	○	－	－
相補PWMモード	－	－	－	○	○
リセットPWMモード	－	－	－	○	○
AC同期モータ駆動モード	○	－	－	○	○
位相計数モード	－	○	○	－	－
バッファ動作	○	－	－	○	○
ダイレクトメモリアクセスコントローラの起動	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャ	TGRのコンペアマッチまたはインプットキャプチャとTCNTオーバフロー／アンダフロー
A/D変換開始トリガ	TGRA_0のコンペアマッチまたはインプットキャプチャTGRE_0のコンペアマッチ	TGRA_1のコンペアマッチまたはインプットキャプチャ	TGRA_2のコンペアマッチまたはインプットキャプチャ	TGRA_3のコンペアマッチまたはインプットキャプチャ	TGRA_4のコンペアマッチまたはインプットキャプチャ相補PWMモード時TCNT_4のアンダフロー（谷）
割り込み要因	7要因 • コンペアマッチ／インプットキャプチャ 0A • コンペアマッチ／インプットキャプチャ 0B • コンペアマッチ／インプットキャプチャ 0C • コンペアマッチ／インプットキャプチャ 0D • コンペアマッチ 0E • コンペアマッチ 0F • オーバフロー	4要因 • コンペアマッチ／インプットキャプチャ 1A • コンペアマッチ／インプットキャプチャ 1B • オーバフロー • アンダフロー	4要因 • コンペアマッチ／インプットキャプチャ 2A • コンペアマッチ／インプットキャプチャ 2B • オーバフロー • アンダフロー	5要因 • コンペアマッチ／インプットキャプチャ 3A • コンペアマッチ／インプットキャプチャ 3B • コンペアマッチ／インプットキャプチャ 3C • コンペアマッチ／インプットキャプチャ 3D • オーバフロー	5要因 • コンペアマッチ／インプットキャプチャ 4A • コンペアマッチ／インプットキャプチャ 4B • コンペアマッチ／インプットキャプチャ 4C • コンペアマッチ／インプットキャプチャ 4D • オーバフロー／アンダフロー
A/D変換開始要求ディレイド機能	－	－	－	－	• TADCORA_4とTCNT_4の一致で、A/D変換開始要求 • TADCORB_4とTCNT_4の一致で、A/D変換開始要求
割り込み間引き機能	－	－	－	• TGRA_3のコンペアマッチ割り込みを間引き	• TCIV_4割り込みを間引き

【記号説明】

○：可能

－：不可

図 10.1 にブロック図を示します。

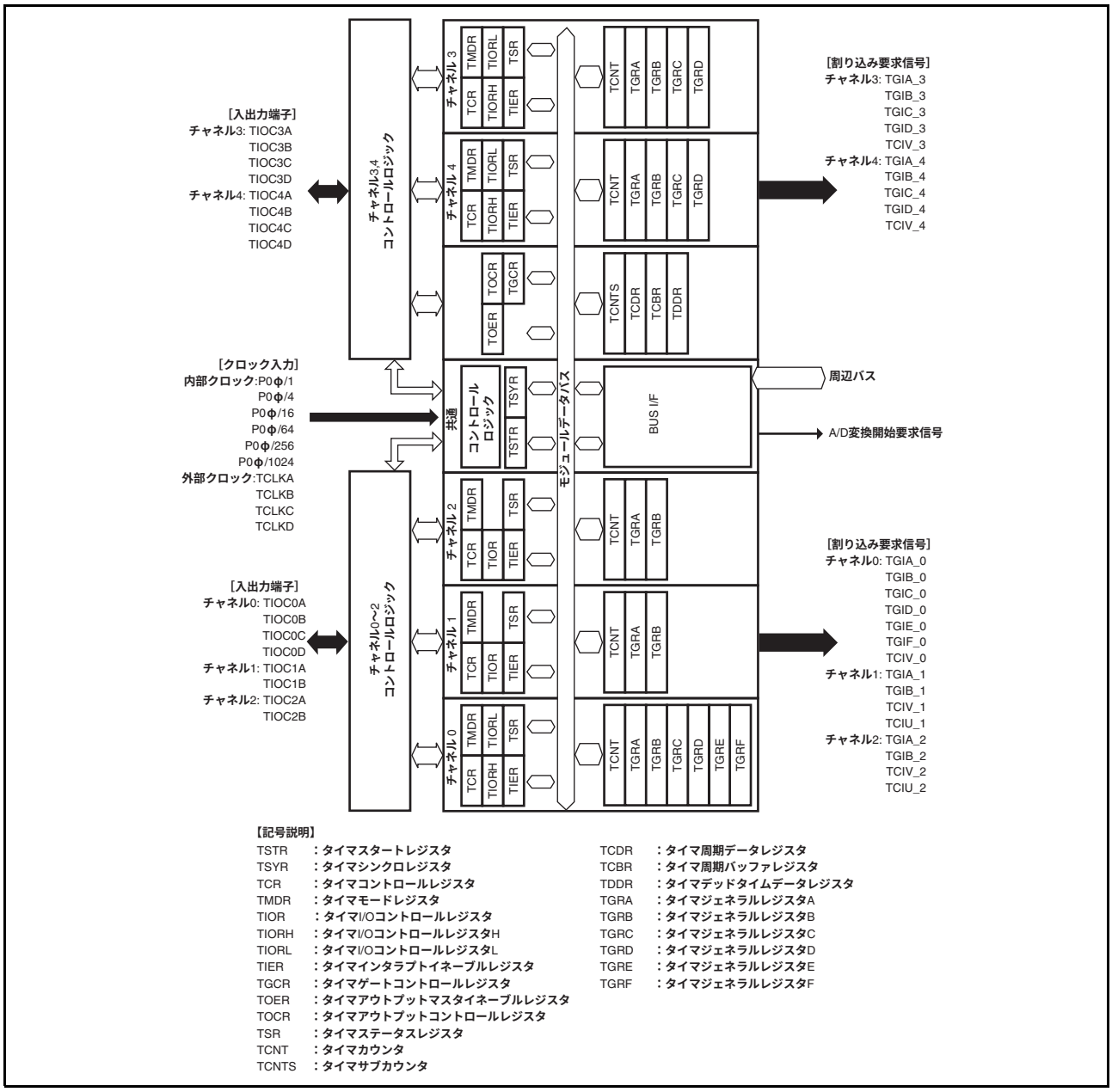


図 10.1　ブロック図

10.2　入出力端子

表 10.2 に端子構成を示します。

表10.2　端子構成

チャネル	端子名	入出力	機能
共通	TCLKA	入力	外部クロックA入力端子（チャネル1の位相計数モードA相入力）
	TCLKB	入力	外部クロックB入力端子（チャネル1の位相計数モードB相入力）
	TCLKC	入力	外部クロックC入力端子（チャネル2の位相計数モードA相入力）
	TCLKD	入力	外部クロックD入力端子（チャネル2の位相計数モードB相入力）
0	TIOC0A	入出力	TGRA_0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC0B	入出力	TGRB_0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC0C	入出力	TGRC_0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC0D	入出力	TGRD_0のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
1	TIOC1A	入出力	TGRA_1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC1B	入出力	TGRB_1のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
2	TIOC2A	入出力	TGRA_2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC2B	入出力	TGRB_2のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
3	TIOC3A	入出力	TGRA_3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC3B	入出力	TGRB_3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC3C	入出力	TGRC_3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC3D	入出力	TGRD_3のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
4	TIOC4A	入出力	TGRA_4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC4B	入出力	TGRB_4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC4C	入出力	TGRC_4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子
	TIOC4D	入出力	TGRD_4のインプットキャプチャ入力／アウトプットコンペア出力／PWM出力端子

注.　相補PWMモードの端子構成は、「10.4.8　相補PWMモード」の表10.52を参照してください。

10.3　レジスタの説明

表 10.3 にレジスタ構成を示します。各チャネルのレジスタ名についてはチャネル 0 の TCR は TCR_0 と表記してあります。

表 10.3　レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	タイマコントロールレジスタ _0	TCR_0	R/W	H'00	H'FCFF0300	8
	タイマモードレジスタ _0	TMDR_0	R/W	H'00	H'FCFF0301	8
	タイマ I/O コントロールレジスタ H_0	TIORH_0	R/W	H'00	H'FCFF0302	8
	タイマ I/O コントロールレジスタ L_0	TIORL_0	R/W	H'00	H'FCFF0303	8
	タイマインタラプトイネーブルレジスタ _0	TIER_0	R/W	H'00	H'FCFF0304	8
	タイマステータスレジスタ _0	TSR_0	R/W	H'C0	H'FCFF0305	8
	タイマカウンタ _0	TCNT_0	R/W	H'0000	H'FCFF0306	16
	タイマジェネラルレジスタ A_0	TGRA_0	R/W	H'FFFF	H'FCFF0308	16
	タイマジェネラルレジスタ B_0	TGRB_0	R/W	H'FFFF	H'FCFF030A	16
	タイマジェネラルレジスタ C_0	TGRC_0	R/W	H'FFFF	H'FCFF030C	16
	タイマジェネラルレジスタ D_0	TGRD_0	R/W	H'FFFF	H'FCFF030E	16
	タイマジェネラルレジスタ E_0	TGRE_0	R/W	H'FFFF	H'FCFF0320	16
	タイマジェネラルレジスタ F_0	TGRF_0	R/W	H'FFFF	H'FCFF0322	16
	タイマインタラプトイネーブルレジスタ 2_0	TIER2_0	R/W	H'00	H'FCFF0324	8
	タイマステータスレジスタ 2_0	TSR2_0	R/W	H'C0	H'FCFF0325	8
	タイマバッファ動作転送モードレジスタ _0	TBTM_0	R/W	H'00	H'FCFF0326	8
1	タイマコントロールレジスタ _1	TCR_1	R/W	H'00	H'FCFF0380	8
	タイマモードレジスタ _1	TMDR_1	R/W	H'00	H'FCFF0381	8
	タイマ I/O コントロールレジスタ _1	TIOR_1	R/W	H'00	H'FCFF0382	8
	タイマインタラプトイネーブルレジスタ _1	TIER_1	R/W	H'00	H'FCFF0384	8
	タイマステータスレジスタ _1	TSR_1	R/W	H'C0	H'FCFF0385	8
	タイマカウンタ _1	TCNT_1	R/W	H'0000	H'FCFF0386	16
	タイマジェネラルレジスタ A_1	TGRA_1	R/W	H'FFFF	H'FCFF0388	16
	タイマジェネラルレジスタ B_1	TGRB_1	R/W	H'FFFF	H'FCFF038A	16
	タイマインプットキャプチャコントロールレジスタ	TICCR	R/W	H'00	H'FCFF0390	8
2	タイマコントロールレジスタ _2	TCR_2	R/W	H'00	H'FCFF0000	8
	タイマモードレジスタ _2	TMDR_2	R/W	H'00	H'FCFF0001	8
	タイマ I/O コントロールレジスタ _2	TIOR_2	R/W	H'00	H'FCFF0002	8
	タイマインタラプトイネーブルレジスタ _2	TIER_2	R/W	H'00	H'FCFF0004	8
	タイマステータスレジスタ _2	TSR_2	R/W	H'C0	H'FCFF0005	8
	タイマカウンタ _2	TCNT_2	R/W	H'0000	H'FCFF0006	16
	タイマジェネラルレジスタ A_2	TGRA_2	R/W	H'FFFF	H'FCFF0008	16
	タイマジェネラルレジスタ B_2	TGRB_2	R/W	H'FFFF	H'FCFF000A	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
3	タイマコントロールレジスタ_3	TCR_3	R/W	H'00	H'FCFF0200	8
	タイマモードレジスタ_3	TMDR_3	R/W	H'00	H'FCFF0202	8
	タイマI/Oコントロールレジスタ H_3	TIORH_3	R/W	H'00	H'FCFF0204	8
	タイマI/Oコントロールレジスタ L_3	TIORL_3	R/W	H'00	H'FCFF0205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	R/W	H'00	H'FCFF0208	8
	タイマステータスレジスタ_3	TSR_3	R/W	H'C0	H'FCFF022C	8
	タイマカウンタ_3	TCNT_3	R/W	H'0000	H'FCFF0210	16
	タイマジェネラルレジスタ A_3	TGRA_3	R/W	H'FFFF	H'FCFF0218	16
	タイマジェネラルレジスタ B_3	TGRB_3	R/W	H'FFFF	H'FCFF021A	16
	タイマジェネラルレジスタ C_3	TGRC_3	R/W	H'FFFF	H'FCFF0224	16
	タイマジェネラルレジスタ D_3	TGRD_3	R/W	H'FFFF	H'FCFF0226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	R/W	H'00	H'FCFF0238	8
4	タイマコントロールレジスタ_4	TCR_4	R/W	H'00	H'FCFF0201	8
	タイマモードレジスタ_4	TMDR_4	R/W	H'00	H'FCFF0203	8
	タイマI/Oコントロールレジスタ H_4	TIORH_4	R/W	H'00	H'FCFF0206	8
	タイマI/Oコントロールレジスタ L_4	TIORL_4	R/W	H'00	H'FCFF0207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	R/W	H'00	H'FCFF0209	8
	タイマステータスレジスタ_4	TSR_4	R/W	H'C0	H'FCFF022D	8
	タイマカウンタ_4	TCNT_4	R/W	H'0000	H'FCFF0212	16
	タイマジェネラルレジスタ A_4	TGRA_4	R/W	H'FFFF	H'FCFF021C	16
	タイマジェネラルレジスタ B_4	TGRB_4	R/W	H'FFFF	H'FCFF021E	16
	タイマジェネラルレジスタ C_4	TGRC_4	R/W	H'FFFF	H'FCFF0228	16
	タイマジェネラルレジスタ D_4	TGRD_4	R/W	H'FFFF	H'FCFF022A	16
	タイマバッファ動作転送モードレジスタ_4	TBTM_4	R/W	H'00	H'FCFF0239	8
	タイマA/D変換開始要求コントロールレジスタ	TADCR	R/W	H'0000	H'FCFF0240	16
	タイマA/D変換開始要求周期設定レジスタA_4	TADCORA_4	R/W	H'FFFF	H'FCFF0244	16
	タイマA/D変換開始要求周期設定レジスタB_4	TADCORB_4	R/W	H'FFFF	H'FCFF0246	16
	タイマA/D変換開始要求周期設定バッファレジスタA_4	TADCOBRA_4	R/W	H'FFFF	H'FCFF0248	16
	タイマA/D変換開始要求周期設定バッファレジスタB_4	TADCOBRB_4	R/W	H'FFFF	H'FCFF024A	16
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FCFF0280	8
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FCFF0281	8
	タイマリードライトイネーブルレジスタ	TRWER	R/W	H'01	H'FCFF0284	8

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
3/4 共通	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'C0	H'FCFF020A	8
	タイマアウトプットコントロールレジスタ 1	TOCR1	R/W	H'00	H'FCFF020E	8
	タイマアウトプットコントロールレジスタ 2	TOCR2	R/W	H'00	H'FCFF020F	8
	タイマゲートコントロールレジスタ	TGCR	R/W	H'80	H'FCFF020D	8
	タイマ周期データレジスタ	TCDR	R/W	H'FFFF	H'FCFF0214	16
	タイマデッドタイムデータレジスタ	TDDR	R/W	H'FFFF	H'FCFF0216	16
	タイマサブカウンタ	TCNTS	R	H'0000	H'FCFF0220	16
	タイマ周期バッファレジスタ	TCBR	R/W	H'FFFF	H'FCFF0222	16
	タイマ割り込み間引き設定レジスタ	TITCR	R/W	H'00	H'FCFF0230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	R	H'00	H'FCFF0231	8
	タイマバッファ転送設定レジスタ	TBTER	R/W	H'00	H'FCFF0232	8
	タイマデッドタイムイネーブルレジスタ	TDER	R/W	H'01	H'FCFF0234	8
	タイマ波形コントロールレジスタ	TWCR	R/W	H'00	H'FCFF0260	8
	タイマアウトプットレベルバッファレジスタ	TOLBR	R/W	H'00	H'FCFF0236	8

10.3.1　タイマコントロールレジスタ（TCR）

TCR は、各チャネルの TCNT を制御する 8 ビットの読み出し／書き込み可能なレジスタです。本モジュールには、チャネル 0 ～ 4 に各 1 本、計 5 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	CCLR[2:0]			CKEG[1:0]		TPSC[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7 ～ 5	CCLR[2:0]	000	R/W	カウンタクリア 2、1、0 TCNT のカウンタクリア要因を選択します。詳細は表 10.4、表 10.5 を参照してください。
4、3	CKEG[1:0]	00	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1／2 になります（例：P0φ／4 の両エッジ＝P0φ／2 の立ち上がりエッジ）。チャネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが P0φ／4 もしくはそれより遅い場合に有効です。入力クロックに P0φ／1、あるいは他のチャネルのオーバフロー／アンダフローを選択した場合、値は書き込めますが、動作は初期値となります。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1x：両エッジでカウント
2 ～ 0	TPSC[2:0]	000	R/W	タイマプリスケーラ 2、1、0 TCNT のカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は表 10.6 ～表 10.9 を参照してください。

【記号説明】x：Don't care

表10.4　CCLR2～CCLR0（チャネル0、3、4）

チャネル	ビット7	ビット6	ビット5	説明
	CCLR2	CCLR1	CCLR0	
0、3、4	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	0	TGRDのコンペアマッチ／インプットキャプチャでTCNTクリア（注2）
	1	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。
注2.　TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNTはクリアされません。

表10.5　CCLR2～CCLR0（チャネル1、2）

チャネル	ビット7	ビット6	ビット5	説明
	リザーブ（注2）	CCLR1	CCLR0	
1、2	0	0	0	TCNTのクリア禁止
	0	0	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア（注1）

注1.　同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。
注2.　チャネル1、2ではビット7はリザーブです。読み出すと常に0が読み出されます。書き込みは無効です。

表10.6　TPSC2～TPSC0（チャネル0）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック：P0φ／1でカウント
	0	0	1	内部クロック：P0φ／4でカウント
	0	1	0	内部クロック：P0φ／16でカウント
	0	1	1	内部クロック：P0φ／64でカウント
	1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	1	外部クロック：TCLKB端子入力でカウント
	1	1	0	外部クロック：TCLKC端子入力でカウント
	1	1	1	外部クロック：TCLKD端子入力でカウント

表10.7　TPSC2～TPSC0（チャネル1）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック：P0φ／1でカウント
	0	0	1	内部クロック：P0φ／4でカウント
	0	1	0	内部クロック：P0φ／16でカウント
	0	1	1	内部クロック：P0φ／64でカウント
	1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	1	外部クロック：TCLKB端子入力でカウント
	1	1	0	内部クロック：P0φ／256でカウント
	1	1	1	TCNT_2のオーバフロー／アンダフローでカウント

注.　チャネル1が位相計数モード時、この設定は無効になります。

表10.8　TPSC2～TPSC0（チャネル2）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック：P0φ／1でカウント
	0	0	1	内部クロック：P0φ／4でカウント
	0	1	0	内部クロック：P0φ／16でカウント
	0	1	1	内部クロック：P0φ／64でカウント
	1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	1	外部クロック：TCLKB端子入力でカウント
	1	1	0	外部クロック：TCLKC端子入力でカウント
	1	1	1	内部クロック：P0φ／1024でカウント

注.　チャネル2が位相計数モード時、この設定は無効になります。

表10.9　TPSC2～TPSC0（チャネル3、4）

チャネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3、4	0	0	0	内部クロック：P0φ／1でカウント
	0	0	1	内部クロック：P0φ／4でカウント
	0	1	0	内部クロック：P0φ／16でカウント
	0	1	1	内部クロック：P0φ／64でカウント
	1	0	0	内部クロック：P0φ／256でカウント
	1	0	1	内部クロック：P0φ／1024でカウント
	1	1	0	外部クロック：TCLKA端子入力でカウント
	1	1	1	外部クロック：TCLKB端子入力でカウント

10.3.2　タイマモードレジスタ（TMDR）

TMDR は、8 ビットの読み出し／書き込み可能なレジスタで、各チャネルの動作モードの設定を行います。本モジュールには、チャネル 0 ～ 4 に各 1 本、計 5 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	BFE	BFB	BFA	MD[3:0]			
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	BFE	0	R/W	バッファ動作E TGRE_0とTGRF_0を通常動作またはバッファ動作させるかどうかを選択します。TGRFをバッファレジスタとして使用した場合も、TGRFのコンペアマッチは発生します。 チャネル1、2、3、4ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0：TGRE_0とTGRF_0は通常動作 1：TGRE_0とTGRF_0はバッファ動作
5	BFB	0	R/W	バッファ動作B TGRBを通常動作させるか、TGRBとTGRDを組み合わせてバッファ動作させるかを設定します。TGRDをバッファレジスタとして使用した場合、相補PWMモード以外ではTGRDのインプットキャプチャ／アウトプットコンペアは発生しません。 TGRDを持たないチャネル1、2ではこのビットはリザーブビットになります。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0：TGRBとTGRDは通常動作 1：TGRBとTGRDはバッファ動作
4	BFA	0	R/W	バッファ動作A TGRAを通常動作させるか、TGRAとTGRCを組み合わせてバッファ動作させるかを設定します。TGRCをバッファレジスタとして使用した場合、相補PWMモード以外ではTGRCのインプットキャプチャ／アウトプットコンペアは発生しませんが、相補PWMモード時はTGRCのコンペアマッチが発生します。また、チャネル4のコンペアマッチが相補PWMモードのTb区間に発生した場合はTGFCがセットされますので、タイマインタラプトイネーブルレジスタ_4（TIER_4）のTGIECビットは0にしてください。 TGRCを持たないチャネル1、2ではこのビットはリザーブビットになります。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0：TGRAとTGRCは通常動作 1：TGRAとTGRCはバッファ動作
3 ～ 0	MD[3:0]	0000	R/W	モード3～0 MD3～MD0はタイマの動作モードを設定します。 詳細は表10.10を参照してください。

表 10.10　MD3～MD0 ビットによる動作モードの設定

ビット 3	ビット 2	ビット 1	ビット 0	説明
MD3	MD2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	設定禁止
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2（注 1）
0	1	0	0	位相計数モード 1（注 2）
0	1	0	1	位相計数モード 2（注 2）
0	1	1	0	位相計数モード 3（注 2）
0	1	1	1	位相計数モード 4（注 2）
1	0	0	0	リセット同期 PWM モード（注 3）
1	0	0	1	設定禁止
1	0	1	x	設定禁止
1	1	0	0	設定禁止
1	1	0	1	相補 PWM モード 1（山で転送）（注 3）
1	1	1	0	相補 PWM モード 2（谷で転送）（注 3）
1	1	1	1	相補 PWM モード 3（山・谷で転送）（注 3）

【記号説明】x：Don't care

注 1.　チャネル 3、4 では、PWM モード 2 の設定はできません。
注 2.　チャネル 0、3、4 では、位相計数モードの設定はできません。
注 3.　リセット同期 PWM モード、相補 PWM モードの設定は、チャネル 3 のみ可能です。
チャネル 3 をリセット同期 PWM モードまたは相補 PWM モードに設定した場合、チャネル 4 の設定は無効となり自動的にチャネル 3 の設定に従います。ただし、チャネル 4 にはリセット同期 PWM モード、相補 PWM モードを設定しないでください。
チャネル 0、1、2 では、リセット同期 PWM モード、相補 PWM モードの設定はできません。

10.3.3　タイマ I/O コントロールレジスタ（TIOR）

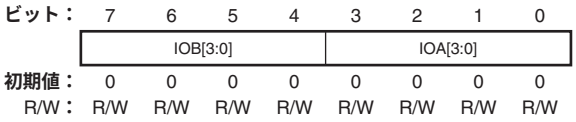
TIOR は、TGR を制御する 8 ビットの読み出し／書き込み可能なレジスタです。本モジュールには、チャネル 0、3、4 に各 2 本、チャネル 1、2 に各 1 本、計 8 本の TIOR があります。

TIOR は TMDR の設定が、通常動作、PWM モード、位相係数モードの場合に設定します。

TIOR で指定した初期出力はカウンタ停止した（TSTR の CST ビットを 0 にクリアした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

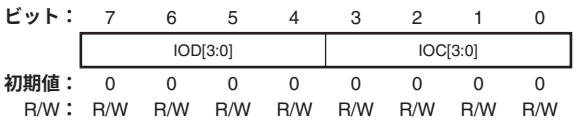
TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIORH_4



ビット	ビット名	初期値	R/W	説明
7 ～ 4	IOB[3:0]	0000	R/W	I/Oコントロール B3 ～ B0 IOB3 ～ IOB0 ビットは TGRB の機能を設定します。 下記の表を参照してください。 TIORH_0：表 10.11　TIOR_1：表 10.13　TIOR_2：表 10.14 TIORH_3：表 10.15　TIORH_4：表 10.17
3 ～ 0	IOA[3:0]	0000	R/W	I/Oコントロール A3 ～ A0 IOA3 ～ IOA0 は TGRA の機能を設定します。 下記の表を参照してください。 TIORH_0：表 10.19　TIOR_1：表 10.21　TIOR_2：表 10.22 TIORH_3：表 10.23　TIORH_4：表 10.25

- TIORL_0、TIORL_3、TIORL_4



ビット	ビット名	初期値	R/W	説明
7 ～ 4	IOD[3:0]	0000	R/W	I/Oコントロール D3 ～ D0 IOD3 ～ IOD0 ビットは TGRD の機能を設定します。 下記の表を参照してください。 TIORL_0：表 10.12　TIORL_3：表 10.16　TIORL_4：表 10.18
3 ～ 0	IOC[3:0]	0000	R/W	I/Oコントロール C3 ～ C0 IOC3 ～ IOC0 ビットは TGRC の機能を設定します。 下記の表を参照してください。 TIORL_0：表 10.20　TIORL_3：表 10.24　TIORL_4：表 10.26

表10.11　TIORH_0（チャネル0）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0の機能	TIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1／カウントクロックTCNT_1のカウントアップ／カウントダウンでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.12　TIORL_0（チャネル0）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_0の機能	TIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力保持（注1）
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注2）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1／カウントクロックTCNT_1のカウントアップ／カウントダウンでインプットキャプチャ

【記号説明】x：Don't care

注1.　パワーオンリセット後、TIORを設定するまでは0が出力されます。

注2.　TMDR_0のBFBビットを1にセットしてTGRD_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.13　TIOR_1（チャネル1）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOC1B端子の機能
0	0	0	0	TGRB_1はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRC_0のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.14　TIOR_2（チャネル2）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOC2B端子の機能
0	0	0	0	TGRB_2はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.15　TIORH_3（チャネル3）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.16　TIORL_3（チャネル3）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_3の機能	TIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力保持（注1）
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注2）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注1.　パワーオンリセット後、TIORを設定するまでは0が出力されます。
注2.　TMDR_3のBFBビットを1にセットしてTGRD_3をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.17　TIORH_4（チャネル4）

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_4の機能	TIOC4B端子の機能
0	0	0	0	TGRB_4はアウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペマッチで0出力
0	1	1	0		初期出力は1出力 コンペマッチで1出力
0	1	1	1		初期出力は1出力 コンペマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.18　TIORL_4（チャネル4）

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_4の機能	TIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力保持（注1）
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注2）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注1.　パワーオンリセット後、TIORを設定するまでは0が出力されます。
注2.　TMDR_4のBFBビットを1にセットして、TGRD_4をバッファレジスタとして使用した場合は、本設定は無効になりインプットキャプチャ／アウトプットコンペアは発生しません。

表10.19　TIORH_0（チャネル0）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_0の機能	TIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1／カウントクロックTCNT_1のカウントアップ／カウントダウンでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.20　TIORL_0（チャネル0）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_0の機能	TIOC0Cの端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力保持（注1）
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ（注2）	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1／カウントクロックTCNT_1のカウントアップ／カウントダウンでインプットキャプチャ

【記号説明】x：Don't care

注1.　パワーオンリセット後、TIORを設定するまでは0が出力されます。

注2.　TMDR_0のBFAビットを1にセットしてTGRC_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.21　TIOR_1（チャネル1）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		TGRA_0のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.22　TIOR_2（チャネル2）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.23　TIORH_3（チャネル3）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_3の機能	TIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.24　TIORL_3（チャネル3）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_3の端子	TIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力保持（注1）
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注2）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注1.　パワーオンリセット後、TIORを設定するまでは0が出力されます。
注2.　TMDR_3のBFAビットを1にセットしてTGRC_3をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表10.25　TIORH_4（チャネル4）

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_4の機能	TIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力保持*
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注　*　パワーオンリセット後、TIOR を設定するまでは 0 が出力されます。

表10.26　TIORL_4（チャネル4）

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_4の機能	TIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ（注2）	出力保持（注1）
0	0	0	1		初期出力は0出力 コンペアマッチで0出力
0	0	1	0		初期出力は0出力 コンペアマッチで1出力
0	0	1	1		初期出力は0出力 コンペアマッチでトグル出力
0	1	0	0		出力保持
0	1	0	1		初期出力は1出力 コンペアマッチで0出力
0	1	1	0		初期出力は1出力 コンペアマッチで1出力
0	1	1	1		初期出力は1出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ（注2）	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

【記号説明】x：Don't care

注1.　パワーオンリセット後、TIORを設定するまでは0が出力されます。
注2.　TMDR_4のBFAビットを1にセットして、TGRC_4をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

10.3.4　タイマインタラプトイネーブルレジスタ（TIER）

TIERは、8ビットの読み出し／書き込み可能なレジスタで、各チャネルの割り込み要求の許可、禁止を制御します。本モジュールには、チャネル0に2本、チャネル1～4に各1本、計6本のTIERがあります。

- TIER_0、TIER_1、TIER_2、TIER_3、TIER_4

ビット：	7	6	5	4	3	2	1	0
	TTGE	TTGE2	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D変換開始要求イネーブル TGRAのインプットキャプチャ／コンペアマッチによるA/D変換開始要求の発生を許可または禁止します。 0：A/D変換開始要求の発生を禁止 1：A/D変換開始要求の発生を許可
6	TTGE2	0	R/W	A/D変換開始要求イネーブル2 相補PWMモードで、TCNT_4のアンダフロー（谷）によるA/D変換開始要求の発生を許可または禁止します。 チャネル0～3ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0：TCNT_4のアンダフロー（谷）によるA/D変換開始要求を禁止 1：TCNT_4のアンダフロー（谷）によるA/D変換開始要求を許可
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャネル1、2でTSRのTCFUフラグが1にセットされたとき、TCFUフラグによる割り込み要求（TCIU）を許可または禁止します。 チャネル0、3、4ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0：TCFUによる割り込み要求（TCIU）を禁止 1：TCFUによる割り込み要求（TCIU）を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSRのTCFVフラグが1にセットされたとき、TCFVフラグによる割り込み要求（TCIV）を許可または禁止します。 0：TCFVによる割り込み要求（TCIV）を禁止 1：TCFVによる割り込み要求（TCIV）を許可
3	TGIED	0	R/W	TGRインタラプトイネーブルD チャネル0、3、4でTSRのTGFDビットが1にセットされたとき、TGFDビットによる割り込み要求（TGID）を許可または禁止します。 チャネル1、2ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0：TGFDビットによる割り込み要求（TGID）を禁止 1：TGFDビットによる割り込み要求（TGID）を許可
2	TGIEC	0	R/W	TGRインタラプトイネーブルC チャネル0、3、4でTSRのTGFCビットが1にセットされたとき、TGFCビットによる割り込み要求（TGIC）を許可または禁止します。 チャネル1、2ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 0：TGFCビットによる割り込み要求（TGIC）を禁止 1：TGFCビットによる割り込み要求（TGIC）を許可
1	TGIEB	0	R/W	TGRインタラプトイネーブルB TSRのTGFBビットが1にセットされたとき、TGFBビットによる割り込み要求（TGIB）を許可または禁止します。 0：TGFBビットによる割り込み要求（TGIB）を禁止 1：TGFBビットによる割り込み要求（TGIB）を許可
0	TGIEA	0	R/W	TGRインタラプトイネーブルA TSRのTGFAビットが1にセットされたとき、TGFAビットによる割り込み要求（TGIA）を許可または禁止します。 0：TGFAビットによる割り込み要求（TGIA）を禁止 1：TGFAビットによる割り込み要求（TGIA）を許可

- TIER2_0

ビット：	7	6	5	4	3	2	1	0
	TTGE2	-	-	-	-	-	TGIEF	TGIEE
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE2	0	R/W	A/D変換開始要求イネーブル2 TCNT_0とTGRE_0のコンペアマッチによるA/D変換開始要求の発生を許可または禁止します。 0：TCNT_0とTGRE_0のコンペアマッチによるA/D変換開始要求を禁止する 1：TCNT_0とTGRE_0のコンペアマッチによるA/D変換開始要求を許可する
6～2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TGIEF	0	R/W	TGRインタラプトイネーブルF TCNT_0とTGRF_0のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0：TGFEビットによる割り込み要求（TGIF）を禁止 1：TGFEビットによる割り込み要求（TGIF）を許可
0	TGIEE	0	R/W	TGRインタラプトイネーブルE TCNT_0とTGRE_0のコンペアマッチによる割り込み要求の発生を許可または禁止します。 0：TGEEビットによる割り込み要求（TGIE）を禁止 1：TGEEビットによる割り込み要求（TGIE）を許可

10.3.5　タイマステータスレジスタ（TSR）

TSRは、8ビットの読み出し／書き込み可能なレジスタで、各チャネルのステータスの表示を行います。本モジュールには、チャネル0に2本、チャネル1～4に各1本、計6本のTSRがあります。

- TSR_0、TSR_1、TSR_2、TSR_3、TSR_4

ビット：	7	6	5	4	3	2	1	0
	TCFD	-	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1	R/(W)*1

【注】 *1 **フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。**

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャネル1～4のTCNTのカウント方向を示すステータスフラグです。 チャネル0ではリザーブビットです。読み出すと常に1が読み出されます。書き込む値も常に1にしてください。 0：TCNTはダウンカウント 1：TCNTはアップカウント
6	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5	TCFU	0	R/(W) (注1)	アンダフローフラグ チャネル1、2が位相計数モードのとき、TCNTのアンダフローの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。 チャネル0、3、4ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 [クリア条件] ● TCFU＝1の状態でTCFUをリード後、TCFUに0をライトしたとき (注2) [セット条件] ● TCNTの値がアンダフロー（H'0000→H'FFFF）したとき

ビット	ビット名	初期値	R/W	説明
4	TCFV	0	R/(W) (注1)	オーバフローフラグ TCNTのオーバフローの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。 [クリア条件] • TCFV＝1の状態でTCFVをリード後、TCFVに0をライトしたとき (注2) [セット条件] • TCNTの値がオーバフローしたとき（H'FFFF→ H'0000） チャネル4では相補PWMモードでTCNT_4の値がアンダフロー（H'0001→H'0000）したときにも本フラグがセットされます。
3	TGFD	0	R/(W) (注1)	インプットキャプチャ／アウトプットコンペアフラグD チャネル0、3、4のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。チャネル1、2ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 [クリア条件] • TGFD＝1の状態でTGFDをリード後、TGFDに0をライトしたとき (注2) [セット条件] • TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRDになったとき • TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき
2	TGFC	0	R/(W) (注1)	インプットキャプチャ／アウトプットコンペアフラグC チャネル0、3、4のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。チャネル1、2ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 [クリア条件] • TGFC＝1の状態でTGFCをリード後、TGFCに0をライトしたとき (注2) [セット条件] • TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRCになったとき • TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき
1	TGFB	0	R/(W) (注1)	インプットキャプチャ／アウトプットコンペアフラグB TGRBのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。 [クリア条件] • TGFB＝1の状態でTGFBをリード後、TGFBに0をライトしたとき (注2) [セット条件] • TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRBになったとき • TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき
0	TGFA	0	R/(W) (注1)	インプットキャプチャ／アウトプットコンペアフラグA TGRAのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。フラグをクリアするための0ライトのみ可能です。 [クリア条件] • TGIA割り込みによりダイレクトメモリアクセスコントローラが起動されたとき • TGFA＝1の状態でTGFAをリード後、TGFAに0をライトしたとき (注2) [セット条件] • TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRAになったとき • TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

注1.　フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
注2.　1を読み出した後、0を書き込む前に次のフラグセットが発生した場合は、0を書き込んでもフラグはクリアされません。再度1を読み出して0を書き込んでください。

- TSR2_0

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	TGFF	TGFE
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/(W)*1	R/(W)*1

【注】 *1 フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説明
7、6	―	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
5～2	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	TGFF	0	R/(W) (注1)	コンペアマッチフラグF TCNT_0とTGRF_0のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFF＝1の状態でTGFFをリード後、TGFFに0をライトしたとき (注2) [セット条件] • TGRF_0をコンペアレジスタとして機能している場合、TCNT_0＝TGRF_0になったとき
0	TGFE	0	R/(W) (注1)	コンペアマッチフラグE TCNT_0とTGRE_0のコンペアマッチの発生を示すステータスフラグです。 [クリア条件] • TGFE＝1の状態でTGFEをリード後、TGFEに0をライトしたとき (注2) [セット条件] • TGRE_0をコンペアレジスタとして機能している場合、TCNT_0＝TGRE_0になったとき

注1.　フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。
注2.　1を読み出した後、0を書き込む前に次のフラグセットが発生した場合は、0を書き込んでもフラグはクリアされません。再度1を読み出して0を書き込んでください。

10.3.6　タイマバッファ動作転送モードレジスタ（TBTM）

TBTM は、8 ビットの読み出し／書き込み可能なレジスタで、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングの設定を行います。本モジュールには、チャネル 0、3、4 に各 1 本、計 3 本の TBTM があります。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	TTSE	TTSB	TTSA
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7～3	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	TTSE	0	R/W	タイミングセレクトE バッファ動作時のTGRF_0からTGRE_0への転送タイミングを設定します。チャネル3、4ではリザーブビットです。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 なお、チャネル0をPWMモード以外で使用する場合は、本ビットを1に設定しないでください。 0：チャネル0のコンペアマッチE発生時 1：TCNT_0クリア時
1	TTSB	0	R/W	タイミングセレクトB 各チャネルのバッファ動作時のTGRDからTGRBへの転送タイミングを設定します。 なお、PWMモード以外で使用するチャネルでは、本ビットを1に設定しないでください。 0：各チャネルのコンペアマッチB発生時 1：各チャネルのTCNTクリア時
0	TTSA	0	R/W	タイミングセレクトA 各チャネルのバッファ動作時のTGRCからTGRAへの転送タイミングを設定します。 なお、PWMモード以外で使用するチャネルでは、本ビットを1に設定しないでください。 0：各チャネルのコンペアマッチA発生時 1：各チャネルのTCNTクリア時

10.3.7　タイマインプットキャプチャコントロールレジスタ（TICCR）

TICCR は、8 ビットの読み出し／書き込み可能なレジスタで、TCNT_1 と TCNT_2 のカスケード接続時のインプットキャプチャ条件を制御します。本モジュールには、チャネル 1 に 1 本の TICCR があります。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	I2BE	I2AE	I1BE	I1AE
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7～4	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	I2BE	0	R/W	インプットキャプチャイネーブル TGRB_1のインプットキャプチャ条件にTIOC2B端子を追加する／しないを選択します。 0：TIOC2B端子をTGRB_1のインプットキャプチャ条件に追加しない 1：TIOC2B端子をTGRB_1のインプットキャプチャ条件に追加する
2	I2AE	0	R/W	インプットキャプチャイネーブル TGRA_1のインプットキャプチャ条件にTIOC2A端子を追加する／しないを選択します。 0：TIOC2A端子をTGRA_1のインプットキャプチャ条件に追加しない 1：TIOC2A端子をTGRA_1のインプットキャプチャ条件に追加する
1	I1BE	0	R/W	インプットキャプチャイネーブル TGRB_2のインプットキャプチャ条件にTIOC1B端子を追加する／しないを選択します。 0：TIOC1B端子をTGRB_2のインプットキャプチャ条件に追加しない 1：TIOC1B端子をTGRB_2のインプットキャプチャ条件に追加する
0	I1AE	0	R/W	インプットキャプチャイネーブル TGRA_2のインプットキャプチャ条件にTIOC1A端子を追加する／しないを選択します。 0：TIOC1A端子をTGRA_2のインプットキャプチャ条件に追加しない 1：TIOC1A端子をTGRA_2のインプットキャプチャ条件に追加する

10.3.8　タイマ A/D 変換開始要求コントロールレジスタ（TADCR）

TADCR は、16 ビットの読み出し／書き込み可能なレジスタで、A/D 変換開始要求の許可／禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する／しないを設定します。本モジュールには、チャネル 4 に 1 本の TADCR があります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BF[1:0]		-	-	-	-	-	-	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
初期値：	0	0	0	0	0	0	0	0	0	0*	0	0*	0*	0*	0*	0*
R/W：	R/W	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15、14	BF[1:0]	00	R/W	TADCOBRA/B_4転送タイミングセレクト TADCOBRA/B_4からTADCORA/B_4への転送タイミングを選択します。 詳細は表10.27を参照してください。
13 ～ 8	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	UT4AE	0	R/W	アップカウントTRG4ANイネーブル TCNT_4のアップカウント時にA/D変換の開始要求（TRG4AN）の許可／禁止を設定します。 0：TCNT_4のアップカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：TCNT_4のアップカウント時にA/D変換の開始要求（TRG4AN）を許可
6	DT4AE	0*	R/W	ダウンカウントTRG4ANイネーブル TCNT_4のダウンカウント時にA/D変換の開始要求（TRG4AN）の許可／禁止を設定します。 0：TCNT_4のダウンカウント時にA/D変換の開始要求（TRG4AN）を禁止 1：TCNT_4のダウンカウント時にA/D変換の開始要求（TRG4AN）を許可
5	UT4BE	0	R/W	アップカウントTRG4BNイネーブル TCNT_4のアップカウント時にA/D変換の開始要求（TRG4BN）の許可／禁止を設定します。 0：TCNT_4のアップカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：TCNT_4のアップカウント時にA/D変換の開始要求（TRG4BN）を許可
4	DT4BE	0*	R/W	ダウンカウントTRG4BNイネーブル TCNT_4のダウンカウント時にA/D変換の開始要求（TRG4BN）の許可／禁止を設定します。 0：TCNT_4のダウンカウント時にA/D変換の開始要求（TRG4BN）を禁止 1：TCNT_4のダウンカウント時にA/D変換の開始要求（TRG4BN）を許可
3	ITA3AE	0*	R/W	TGIA_3割り込み間引き連動イネーブル A/D変換の開始要求（TRG4AN）をTGIA_3割り込み間引き機能と連動する／しないを選択します。 0：TGIA_3割り込み間引き機能と連動しない 1：TGIA_3割り込み間引き機能と連動する
2	ITA4VE	0*	R/W	TCIV_4割り込み間引き連動イネーブル A/D変換の開始要求（TRG4AN）をTCIV_4割り込み間引き機能と連動する／しないを選択します。 0：TCIV_4割り込み間引き機能と連動しない 1：TCIV_4割り込み間引き機能と連動する
1	ITB3AE	0*	R/W	TGIA_3割り込み間引き連動イネーブル A/D変換の開始要求（TRG4BN）をTGIA_3割り込み間引き機能と連動する／しないを選択します。 0：TGIA_3割り込み間引き機能と連動しない 1：TGIA_3割り込み間引き機能と連動する
0	ITB4VE	0*	R/W	TCIV_4割り込み間引き連動イネーブル A/D変換の開始要求（TRG4BN）をTCIV_4割り込み間引き機能と連動する／しないを選択します。 0：TCIV_4割り込み間引き機能と連動しない 1：TCIV_4割り込み間引き機能と連動する

注1.　TADCRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。
注2.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VENビットを0に設定したとき、またはTITCRの間引き回数設定ビット（3ACOR、4VCOR）を0に設定したとき）は、必ず割り込み間引き機能と連動しない（タイマA/D変換開始要求コントロールレジスタ（TADCR）のITA3AE、ITA4VE、ITB3AE、ITB4VEビットを0に設定）設定にしてください。

注3.　割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注　*　相補 PWM モード以外では、1 に設定しないでください。

表 10.27　BF1、BF0 ビットによる転送タイミングの設定

ビット 7	ビット 6	説明
BF1	BF0	
0	0	周期設定バッファレジスタから周期設定レジスタへ転送しない
0	1	TCNT_4 の山で周期設定バッファレジスタから周期設定レジスタへ転送する（注 1）
1	0	TCNT_4 の谷で周期設定バッファレジスタから周期設定レジスタへ転送する（注 2）
1	1	TCNT_4 の山と谷で周期設定バッファレジスタから周期設定レジスタへ転送する（注 2）

注1.　相補 PWM モードでは TCNT_4 の山、リセット同期 PWM モードでは TCNT_3 が TGRA_3 とコンペアマッチしたとき、PWM モード 1／通常動作モードでは TCNT_4 が TGRA_4 とコンペアマッチしたときに、周期設定バッファレジスタから周期設定レジスタへ転送します。

注2.　相補 PWM モード以外では設定禁止です。

10.3.9　タイマ A/D 変換開始要求周期設定レジスタ（TADCORA/B_4）

TADCORA/B_4 は、16 ビットの読み出し／書き込み可能なレジスタです。TCNT_4 と一致したとき、対応する A/D 変換開始要求を発生します。

TADCORA/B_4 の初期値は H'FFFF です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】　TADCORA/B_4 の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.10　タイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBRA/B_4）

TADCOBRA/B_4 は、16 ビットの読み出し／書き込み可能なレジスタです。TADCORA/B_4 のバッファレジスタから山か谷で TADCORA/B_4 に転送します。

TADCOBRA/B_4 の初期値は H'FFFF です。

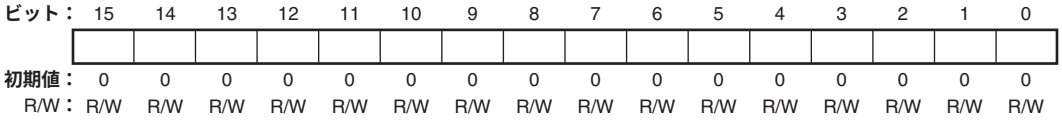
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】　TADCOBRA/B_4 の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.3.11　タイマカウンタ（TCNT）

TCNT は、16 ビットの読み出し／書き込み可能なカウンタです。チャネル 0 ～ 4 に各 1 本、計 5 本の TCNT があります。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。



ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

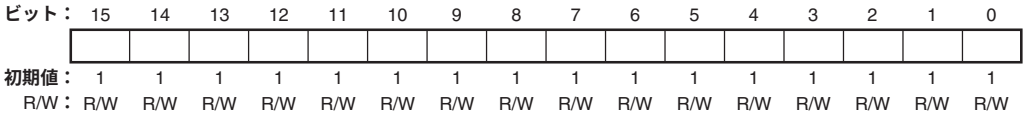
【注】　TCNTの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.12　タイマジェネラルレジスタ（TGR）

TGR は、16 ビットの読み出し／書き込み可能なレジスタです。チャネル 0 に 6 本、チャネル 1、2 に各 2 本、チャネル 3、4 に各 4 本、計 18 本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRD はアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャネル 0、3、4 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRA － TGRC、TGRB － TGRD になります。

TGRE_0、TGRF_0 はコンペアレジスタとして機能し、TCNT_0 と TGRE_0 が一致したとき、A/D 変換開始要求を発生することができます。TGRF は、バッファレジスタとして動作設定することができます。TGR とバッファレジスタの組み合わせは、TGRE － TGRF になります。



ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】　TGRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。TGRの初期値は、H'FFFFです。

10.3.13　タイマスタートレジスタ（TSTR）

TSTR は、8 ビットの読み出し／書き込み可能なレジスタで、チャネル 0 ～ 4 の TCNT の動作／停止を選択します。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット：	7	6	5	4	3	2	1	0
	CST4	CST3	-	-	-	CST2	CST1	CST0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CST4	0	R/W	カウンタスタート4、3 TCNTの動作または停止を選択します。 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態でTIORへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0：TCNT_4、TCNT_3のカウント動作は停止 1：TCNT_4、TCNT_3はカウント動作
6	CST3	0	R/W	
5 ～ 3	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	CST2	0	R/W	カウンタスタート2～0 TCNTの動作または停止を選択します。 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態でTIORへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0：TCNT_2～TCNT_0のカウント動作は停止 1：TCNT_2～TCNT_0はカウント動作
1	CST1	0	R/W	
0	CST0	0	R/W	

10.3.14　タイマシンクロレジスタ（TSYR）

TSYR は、8 ビットの読み出し／書き込み可能なレジスタで、チャネル 0 ～ 4 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャネルが同期動作を行います。

ビット：	7	6	5	4	3	2	1	0
	SYNC4	SYNC3	-	-	-	SYNC2	SYNC1	SYNC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SYNC4	0	R/W	タイマ同期4、3 他のチャネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数のTCNTの同期プリセットや、他チャネルのカウンタクリアによる同期クリアが可能となります。 同期動作の設定には、最低2チャネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットの他にTCRのCCLR2～CCLR0ビットで、TCNTのクリア要因を設定する必要があります。 0：TCNT_4、TCNT_3は独立動作（TCNTのプリセット／クリアは他チャネルと無関係） 1：TCNT_4、TCNT_3は同期動作 　TCNTの同期プリセット／同期クリアが可能
6	SYNC3	0	R/W	
5 ～ 3	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	SYNC2	0	R/W	タイマ同期2～0 他のチャネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数のTCNTの同期プリセットや、他チャネルのカウンタクリアによる同期クリアが可能となります。 同期動作の設定には、最低2チャネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットの他にTCRのCCLR2～CCLR0ビットで、TCNTのクリア要因を設定する必要があります。 0：TCNT_2～TCNT_0は独立動作（TCNTのプリセット／クリアは他チャネルと無関係） 1：TCNT_2～TCNT_0は同期動作 　TCNTの同期プリセット／同期クリアが可能
1	SYNC1	0	R/W	
0	SYNC0	0	R/W	

10.3.15　タイマリードライトイネーブルレジスタ（TRWER）

TRWER は、8 ビットの読み出し／書き込み可能なレジスタです。チャネル 3、4 の誤書き込み防止の対象レジスタ／カウンタのアクセス許可／禁止を設定します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	RWE
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	RWE	1	R/W	リードライトイネーブル 誤書き込み防止のレジスタへのリードライト許可／禁止を設定します。 0：レジスタのリードライトを禁止する 1：レジスタのリードライトを許可する ［クリア条件］ • RWE＝1の状態でRWEをリード後、RWEに0をライトしたとき

- 誤書き込み防止の対象レジスタ／カウンタ

TCR_3、4、TMDR_3、4、TIORH_3、4、TIORL_3、4、TIER_3、4、TGRA_3、4、TGRB_3、4、TOER、TOCR1、TOCR2、TGCR、TCDR、TDDR と TCNT_3、4 の計 22 レジスタです。

10.3.16　タイマアウトプットマスタイネーブルレジスタ（TOER）

TOER は、8 ビットの読み出し／書き込み可能なレジスタで、出力端子の TIOC4D、TIOC4C、TIOC3D、TIOC4B、TIOC4A、TIOC3B の出力設定の許可／禁止を行います。これらの端子は TOER の各ビットの設定をしないと正しく出力されません。チャネル 3、4 において、TOER はチャネル 3、4 の TIOR 設定の前に値をセットしてください。TOER の設定はチャネル 3、4 の TCNT のカウント動作を停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	―	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	OE4D	0	R/W	マスタイネーブル TIOC4D TIOC4D 端子の本モジュール出力を許可／禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
4	OE4C	0	R/W	マスタイネーブル TIOC4C TIOC4C 端子の本モジュール出力を許可／禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
3	OE3D	0	R/W	マスタイネーブル TIOC3D TIOC3D 端子の本モジュール出力を許可／禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
2	OE4B	0	R/W	マスタイネーブル TIOC4B TIOC4B 端子の本モジュール出力を許可／禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
1	OE4A	0	R/W	マスタイネーブル TIOC4A TIOC4A 端子の本モジュール出力を許可／禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可
0	OE3B	0	R/W	マスタイネーブル TIOC3B TIOC3B 端子の本モジュール出力を許可／禁止します。 0：本モジュール出力禁止（非アクティブレベル）* 1：本モジュール出力許可

注　*　非アクティブレベルは、タイマアウトプットコントロールレジスタ 1/2（TOCR1/2）の設定によります。詳細は、「10.3.17 タイマアウトプットコントロールレジスタ 1（TOCR1）」、「10.3.18　タイマアウトプットコントロールレジスタ 2（TOCR2）」を参照してください。なお、相補 PWM モード／リセット同期 PWM モード以外で本モジュール出力する場合は 1 に設定してください。0 に設定した場合はローレベルが出力されます。

10.3.17　タイマアウトプットコントロールレジスタ 1（TOCR1）

TOCR1 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可／禁止、および PWM 出力の出力レベル反転の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	-	PSYE	-	-	TOCL	TOCS	OLSN	OLSP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R/(W)注3	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	PSYE	0	R/W	PWM同期出力イネーブル PWM周期に同期したトグル出力の許可／禁止を設定します。 0：トグル出力を禁止 1：トグル出力を許可
5、4	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	TOCL	0	R/(W) （注3）	TOCレジスタ書き込み禁止ビット（注1） TOCR1レジスタのTOCSビット、OLSNビット、OLSPビットへの書き込み禁止／許可の設定をします。 0：TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1：TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止
2	TOCS	0	R/W	TOCセレクトビット 相補PWMモード／リセット同期PWMモードの出力レベルの設定をTOCR1とTOCR2のどちらの設定を有効にするか選択します。 0：TOCR1の設定を有効にする 1：TOCR2の設定を有効にする
1	OLSN	0	R/W	出力レベルセレクトN（注2、注4） リセット同期PWMモード／相補PWMモード時に、逆相の出力レベルを選択します。表10.28を参照してください。
0	OLSP	0	R/W	出力レベルセレクトP（注2） リセット同期PWMモード／相補PWMモード時に、正相の出力レベルを選択します。表10.29を参照してください。

注1.　TOCLビットを1に設定することにより、CPU暴走時の誤書き込みを防止することができます。
注2.　TOCSビットを0に設定することにより、本設定が有効になります。
注3.　パワーオンリセット後、1回のみ1を書き込みできます。1を書き込み後は、0を書き込むことはできません。
注4.　デッドタイムを生成しない場合、逆相の出力は正相の反転になります。なお、OLSP、OLSNに同じ値を設定してください。

表 10.28　出力レベルセレクト機能

ビット 1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 10.29　出力レベルセレクト機能

ビット 0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例（1 相分）を図 10.2 に示します。

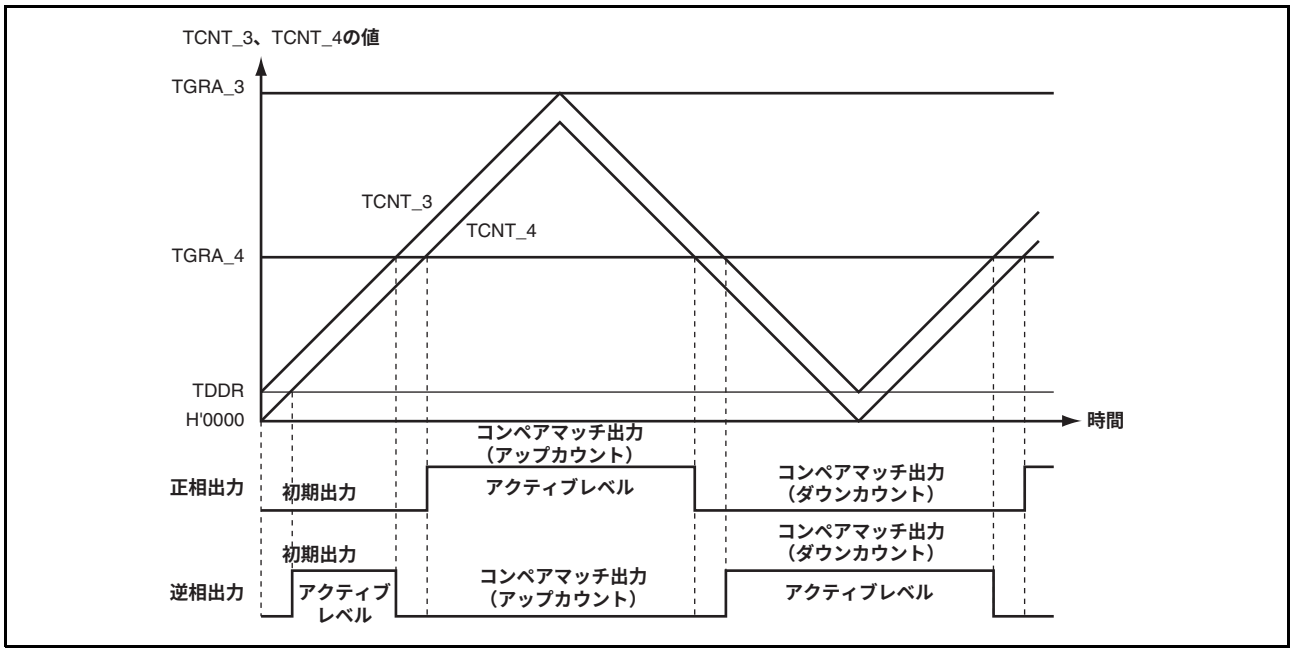


図 10.2　相補 PWM モードの出力レベルの例

10.3.18　タイマアウトプットコントロールレジスタ 2（TOCR2）

TOCR2 は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力の出力レベル反転の制御を行います。

ビット：	7	6	5	4	3	2	1	0
	BF[1:0]		OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	BF[1:0]	00	R/W	TOLBR バッファ転送タイミングセレクト TOLBR から TOCR2 へのバッファ転送タイミングを選択します。 詳細は表 10.30 を参照してください。
5	OLS3N	0	R/W	出力レベルセレクト 3N* リセット同期 PWM モード／相補 PWM モード時に、TIOC4D の出力レベルを選択します。表 10.31 を参照してください。
4	OLS3P	0	R/W	出力レベルセレクト 3P* リセット同期 PWM モード／相補 PWM モード時に、TIOC4B の出力レベルを選択します。表 10.32 を参照してください。
3	OLS2N	0	R/W	出力レベルセレクト 2N* リセット同期 PWM モード／相補 PWM モード時に、TIOC4C の出力レベルを選択します。表 10.33 を参照してください。
2	OLS2P	0	R/W	出力レベルセレクト 2P* リセット同期 PWM モード／相補 PWM モード時に、TIOC4A の出力レベルを選択します。表 10.34 を参照してください。
1	OLS1N	0	R/W	出力レベルセレクト 1N* リセット同期 PWM モード／相補 PWM モード時に、TIOC3D の出力レベルを選択します。表 10.35 を参照してください。
0	OLS1P	0	R/W	出力レベルセレクト 1P* リセット同期 PWM モード／相補 PWM モード時に、TIOC3B の出力レベルを選択します。表 10.36 を参照してください。

注　*　TOCR1 の TOCS ビットを 1 に設定することにより、本設定が有効になります。
デッドタイムを生成しない場合、逆相の出力は正相の反転となります。なお、OLSiP、OLSiN に同じ値を設定してください（i ＝ 1、2、3）。

表 10.30　BF1、BF0 ビットの設定

ビット 7	ビット 6	説明	
BF1	BF0	相補 PWM モード時	リセット同期 PWM モード時
0	0	バッファレジスタ（TOLBR）から TOCR2 へ転送しない	バッファレジスタ（TOLBR）から TOCR2 へ転送しない
0	1	TCNT_4 の山でバッファレジスタ（TOLBR）から TOCR2 へ転送する	TCNT_3/4 カウンタクリア時にバッファレジスタ（TOLBR）から TOCR2 へ転送する
1	0	TCNT_4 の谷でバッファレジスタ（TOLBR）から TOCR2 へ転送する	設定禁止
1	1	TCNT_4 の山と谷でバッファレジスタ（TOLBR）から TOCR2 へ転送する	設定禁止

表10.31　TIOC4D出力レベルセレクト機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表10.32　TIOC4B出力レベルセレクト機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表10.33　TIOC4C出力レベルセレクト機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表10.34　TIOC4A出力レベルセレクト機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

表10.35　TIOC3D出力レベルセレクト機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ハイレベル	ローレベル
1	ローレベル	ハイレベル	ローレベル	ハイレベル

注.　逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表10.36　TIOC4B出力レベルセレクト機能

ビット0	機能			
OLS1P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	ハイレベル	ローレベル	ローレベル	ハイレベル
1	ローレベル	ハイレベル	ハイレベル	ローレベル

10.3.19　タイマアウトプットレベルバッファレジスタ（TOLBR）

TOLBR は TOCR2 のバッファレジスタで、相補 PWM モード／リセット同期 PWM モードにおける PWM 出力レベルの設定を行います。TOLBR レジスタは 8 ビットの読み出し／書き込み可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	-	-	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7、6	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	OLS3N	0	R/W	TOCR2 の OLS3N ビットにバッファ転送する値を設定してください。
4	OLS3P	0	R/W	TOCR2 の OLS3P ビットにバッファ転送する値を設定してください。
3	OLS2N	0	R/W	TOCR2 の OLS2N ビットにバッファ転送する値を設定してください。
2	OLS2P	0	R/W	TOCR2 の OLS2P ビットにバッファ転送する値を設定してください。
1	OLS1N	0	R/W	TOCR2 の OLS1N ビットにバッファ転送する値を設定してください。
0	OLS1P	0	R/W	TOCR2 の OLS1P ビットにバッファ転送する値を設定してください。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 10.3 に示します。

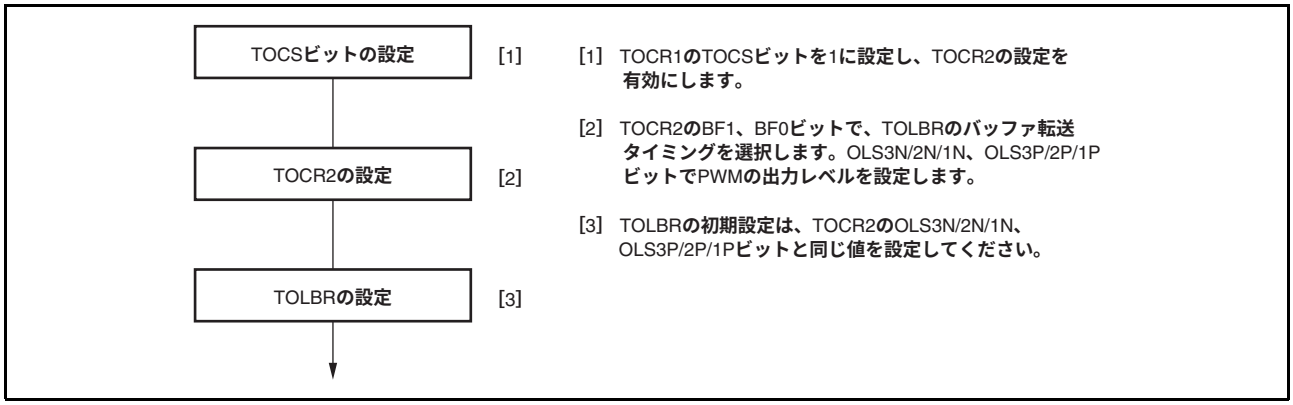


図 10.3　PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

10.3.20　タイマゲートコントロールレジスタ（TGCR）

TGCR は、リセット同期 PWM モード／相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行います。TGCR レジスタは 8 ビットの読み出し／書き込み可能なレジスタです。相補 PWM モード／リセット同期 PWM モード以外では、本レジスタの設定は無効です。

ビット：	7	6	5	4	3	2	1	0
	-	BDC	N	P	FB	WF	VF	UF
初期値：	1	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
6	BDC	0	R/W	ブラシレスDCモータ 本レジスタの機能を有効にするか、無効にするかを選択します。 0：通常出力 1：本レジスタの機能を有効
5	N	0	R/W	逆相出力（N）制御 逆相端子（TIOC3D端子、TIOC4C端子、TIOC4D端子）を出力時、レベル出力するか、リセット同期PWM／相補PWM出力するかの選択をします。 0：レベル出力 1：リセット同期PWM／相補PWM出力
4	P	0	R/W	正相出力（P）制御 正相端子の出力（TIOC3B端子、TIOC4A端子、TIOC4B端子）を出力時、レベル出力をするか、リセット同期PWM／相補PWM出力するかを選択します。 0：レベル出力 1：リセット同期PWM／相補PWM出力
3	FB	0	R/W	外部フィードバック信号許可 正相／逆相の出力の切り替えを本モジュール／チャネル0のTGRA、TGRB、TGRCのインプットキャプチャ信号で自動的に行うか、TGCRのビット2～0に0または1を書き込むことによって行うかを選択します。 0：出力の切り替えは、外部入力（入力元は、チャネル0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRのUF、VF、WFの設定値）
2	WF	0	R/W	出力相切り替え2～0 正相／逆相の出力相のON、OFFを設定します。これらのビットの設定は本レジスタのFBビットが1のときのみ有効です。このときは、ビット2～0の設定が、外部入力の代りになります。表10.37を参照してください。
1	VF	0	R/W	
0	UF	0	R/W	

表 10.37　出力レベルセレクト機能

ビット2	ビット1	ビット0	機能					
WF	VF	UF	TIOC3B	TIOC4A	TIOC4B	TIOC3D	TIOC4C	TIOC4D
			U相	V相	W相	U相	V相	W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

10.3.21　タイマサブカウンタ（TCNTS）

TCNTS は、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTS の初期値は H'0000 です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】　TCNTSの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.22　タイマデッドタイムデータレジスタ（TDDR）

TDDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、相補 PWM モード時 TCNT_3 と TCNT_4 カウンタのオフセット値を設定します。相補 PWM モード時に TCNT_3、TCNT_4 カウンタをクリアして再スタートするときは、TDDR レジスタの値が TCNT_3 カウンタにロードされカウント動作を開始します。TDDR の初期値は H'FFFF です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】　TDDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.23　タイマ周期データレジスタ（TCDR）

TCDR は、相補 PWM モード時のみ使用される 16 ビットのレジスタです。TCDR レジスタの値は PWM キャリア周期の 1/2 の値 (ただし TDDR の 2 倍 +3 以上の値) を設定してください。本レジスタは、相補 PWM モード時 TCNTS カウンタと常時比較され、一致すると TCNTS カウンタはカウント方向を切り替えます（ダウンカウント→アップカウント）。TCDR の初期値は H'FFFF です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】　TCDRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.24　タイマ周期バッファレジスタ（TCBR）

TCBR は、相補 PWM モード時のみ使用される 16 ビットのレジスタで、TCDR レジスタのバッファレジスタとして機能します。TMDR レジスタで設定した転送タイミングで TCBR レジスタの値が TCDR レジスタに転送されます。TCBR の初期値は H'FFFF です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】　TCBRの8ビット単位でのアクセスは禁止です。常に16ビット単位でアクセスしてください。

10.3.25　タイマ割り込み間引き設定レジスタ（TITCR）

TITCR は、8 ビットの読み出し／書き込み可能なレジスタで、割り込み間引きの禁止／許可、割り込み間引き回数の設定を制御します。本モジュールには 1 本の TITCR があります。

ビット：	7	6	5	4	3	2	1	0
	T3AEN	3ACOR[2:0]			T4VEN	4VCOR[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	T3AEN	0	R/W	T3AEN TGIA_3 割り込みの間引きの禁止／許可を設定します。 0：TGIA_3 割り込みの間引きを禁止する 1：TGIA_3 割り込みの間引きを許可する
6 ～ 4	3ACOR[2:0]	000	R/W	TGIA_3 割り込みの間引き回数を 0 ～ 7 回で設定します。* 詳細は表 10.38 を参照してください。
3	T4VEN	0	R/W	T4VEN TCIV_4 割り込みの間引きの禁止／許可を設定します。 0：TCIV_4 割り込みの間引きを禁止する 1：TCIV_4 割り込みの間引きを許可する
2 ～ 0	4VCOR[2:0]	000	R/W	TCIV_4 割り込みの間引き回数を 0 ～ 7 回で設定します。* 詳細は表 10.39 を参照してください。

注　*　割り込み間引き回数に 0 を設定すると間引きは行いません。
また、割り込み間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 に設定して間引き回数カウンタ（TITCNT）をクリアしてください。

表 10.38　3ACOR2 ～ 3ACOR0 ビットによる割り込み間引き回数の設定

ビット 6	ビット 5	ビット 4	説明
3ACOR2	3ACOR1	3ACOR0	
0	0	0	TGIA_3 の割り込み間引きを行わない
0	0	1	TGIA_3 の割り込み間引き回数を 1 回に設定
0	1	0	TGIA_3 の割り込み間引き回数を 2 回に設定
0	1	1	TGIA_3 の割り込み間引き回数を 3 回に設定
1	0	0	TGIA_3 の割り込み間引き回数を 4 回に設定
1	0	1	TGIA_3 の割り込み間引き回数を 5 回に設定
1	1	0	TGIA_3 の割り込み間引き回数を 6 回に設定
1	1	1	TGIA_3 の割り込み間引き回数を 7 回に設定

表 10.39　4VCOR2 ～ 4VCOR0 ビットによる割り込み間引き回数の設定

ビット 2	ビット 1	ビット 0	説明
4VCOR2	4VCOR1	4VCOR0	
0	0	0	TCIV_4 の割り込み間引きを行わない
0	0	1	TCIV_4 の割り込み間引き回数を 1 回に設定
0	1	0	TCIV_4 の割り込み間引き回数を 2 回に設定
0	1	1	TCIV_4 の割り込み間引き回数を 3 回に設定
1	0	0	TCIV_4 の割り込み間引き回数を 4 回に設定
1	0	1	TCIV_4 の割り込み間引き回数を 5 回に設定
1	1	0	TCIV_4 の割り込み間引き回数を 6 回に設定
1	1	1	TCIV_4 の割り込み間引き回数を 7 回に設定

10.3.26　タイマ割り込み間引き回数カウンタ（TITCNT）

TITCNT は、8 ビットの読み出し可能なカウンタです。本モジュールには 1 本の TITCNT があります。TITCNT は、TCNT_3 および TCNT_4 のカウント動作停止後も、値を保持します。

ビット：	7	6	5	4	3	2	1	0
	-	3ACNT[2:0]			-	4VCNT[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
6 ～ 4	3ACNT[2:0]	000	R	TGIA_3 割り込みカウンタ TITCR の T3AEN ビットに 1 を設定時、TGIA_3 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] • TITCR の 3ACOR2 ～ 3ACOR0 と TITCNT の 3ACNT2 ～ 3ACNT0 が一致したとき • TITCR の T3AEN ビットが 0 のとき • TITCR の 3ACOR2 ～ 3ACOR0 が 0 のとき
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。
2 ～ 0	4VCNT[2:0]	000	R	TCIV_4 割り込みカウンタ TITCR の T4VEN ビットに 1 を設定時、TCIV_4 割り込み要因が発生したときに 1 カウントアップします。 [クリア条件] • TITCR の 4VCOR2 ～ 4VCOR0 と TITCNT の 4VCNT2 ～ 4VCNT0 が一致したとき • TITCR の T4VEN ビットが 0 のとき • TITCR の 4VCOR2 ～ 4VCOR0 が 0 のとき

注　*　TITCNT の値をクリアするには、TITCR の T3AEN ビットと T4VEN ビットを 0 にクリアしてください。

10.3.27　タイマバッファ転送設定レジスタ（TBTER）

TBTER は、8 ビットの読み出し／書き込み可能なレジスタで、相補 PWM モードで使用するバッファレジスタ * からテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能と連動する／しないを設定します。本モジュールには 1 本の TBTER があります。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	BTE[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	BTE[1:0]	00	R/W	相補 PWM モードで使用するバッファレジスタ * からテンポラリレジスタへの転送を抑止する／しない、または割り込み間引き機能と連動する／しないを設定します。詳細は表 10.40 を参照してください。

注　*　対象バッファレジスタ
TGRC_3、TGRD_3、TGRC_4、TGRD_4、TCBR

表10.40　BTE1、BTE0ビットの設定

ビット1	ビット0	説明
BTE1	BTE0	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない（注1） また、割り込み間引き機能と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能と連動する（注2）
1	1	設定禁止

注1.　TMDRのMD3～MD0の設定に従い転送します。詳細は「10.4.8　相補PWMモード」を参照してください。
注2.　割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）のT3AEN、T4VENビットを0に設定したとき、またはTITCRの間引き回数設定ビット（3ACOR、4VCOR）を0に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送レジスタ（TBTER）のBTE1を0に設定）にしてください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

10.3.28　タイマデッドタイムイネーブルレジスタ（TDER）

TDER は、8 ビットの読み出し／書き込み可能なレジスタです。チャネル 3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御できます。本モジュールには 1 本の TDER があります。TDER の設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	TDER
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説明
7～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TDER	1	R/(W)	デッドタイムイネーブルレジスタ デッドタイムの生成をする／しないを設定します。 0：デッドタイムを生成しない 1：デッドタイムを生成する* [クリア条件] • TDER＝1の状態でTDERをリード後、TDERに0をライトしたとき

注　*　TDDR ≧ 1 に設定してください。

10.3.29　タイマ波形コントロールレジスタ（TWCR）

TWCR は、8 ビットの読み出し／書き込み可能なレジスタです。相補 PWM モードで TCNT_3、TCNT_4 の同期カウンタクリアが発生した場合の出力波形の制御と、TGRA_3 のコンペアマッチによるカウンタクリアをする／しないを設定します。TWCR の CCE ビット、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

ビット：	7	6	5	4	3	2	1	0
	CCE	-	-	-	-	-	-	WRE
初期値：	0*	0	0	0	0	0	0	0
R/W：	R/(W)	R	R	R	R	R	R	R/(W)

ビット	ビット名	初期値	R/W	説明
7	CCE	0*	R/(W)	コンペアマッチクリアイネーブル 相補PWMモードで、TGRA_3のコンペアマッチによるカウンタクリアをする／しないを設定します。 0：TGRA_3のコンペアマッチによるカウンタクリアをしない 1：TGRA_3のコンペアマッチによるカウンタクリアをする ［セット条件］ • CCE＝0の状態でCCEをリード後、CCEに1をライトしたとき
6 ～ 1	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	WRE	0	R/(W)	初期出力抑止イネーブル 相補PWMモードで同期カウンタクリアが起きたときの出力波形を選択します。本機能によって初期出力が抑止されるのは、相補PWMモードの谷のTb区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WREビットの設定によらず、TOCRレジスタで設定した初期値を出力します。また、TCNT_3、TCNT_4スタート直後の谷のTb区間で同期クリアが発生した場合も、TOCRレジスタで設定した初期値を出力します。 相補PWMモードの谷のTb区間については、図10.40を参照してください。 0：TOCRレジスタで設定した初期出力値を出力 1：初期出力を抑止する ［セット条件］ • WRE＝0の状態でWREをリード後、WREに1をライトしたとき

注　*　相補 PWM モード 1 のとき以外は、1 に設定しないでください。

10.3.30　バスマスタとのインタフェース

タイマカウンタ（TCNT）、ジェネラルレジスタ（TGR）、タイマサブカウンタ（TCNTS）、タイマ周期バッファレジスタ（TCBR）、タイマデッドタイムデータレジスタ（TDDR）、タイマ周期データレジスタ（TCDR）、タイマ A/D 変換開始要求コントロールレジスタ（TADCR）、タイマ A/D 変換開始要求周期設定レジスタ（TADCOR）、およびタイマ A/D 変換開始要求周期設定バッファレジスタ（TADCOBR）は 16 ビットのレジスタです。16 ビット単位での読み出し／書き込みが可能です。8 ビット単位での読み出し／書き込みはできません。常に 16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位での読み出し／書き込みが可能です。16 ビット単位での読み出し／書き込みはできません。常に 8 ビット単位でアクセスしてください。

10.4　動作説明

10.4.1　基本動作

各チャネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

本モジュールの外部端子の機能設定は汎用入出力ポートで行ってください。

(1)　カウンタの動作

TSTR の CST0～CST4 ビットを 1 にセットすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a)　カウント動作の設定手順例

カウント動作の設定手順例を図 10.4 に示します。

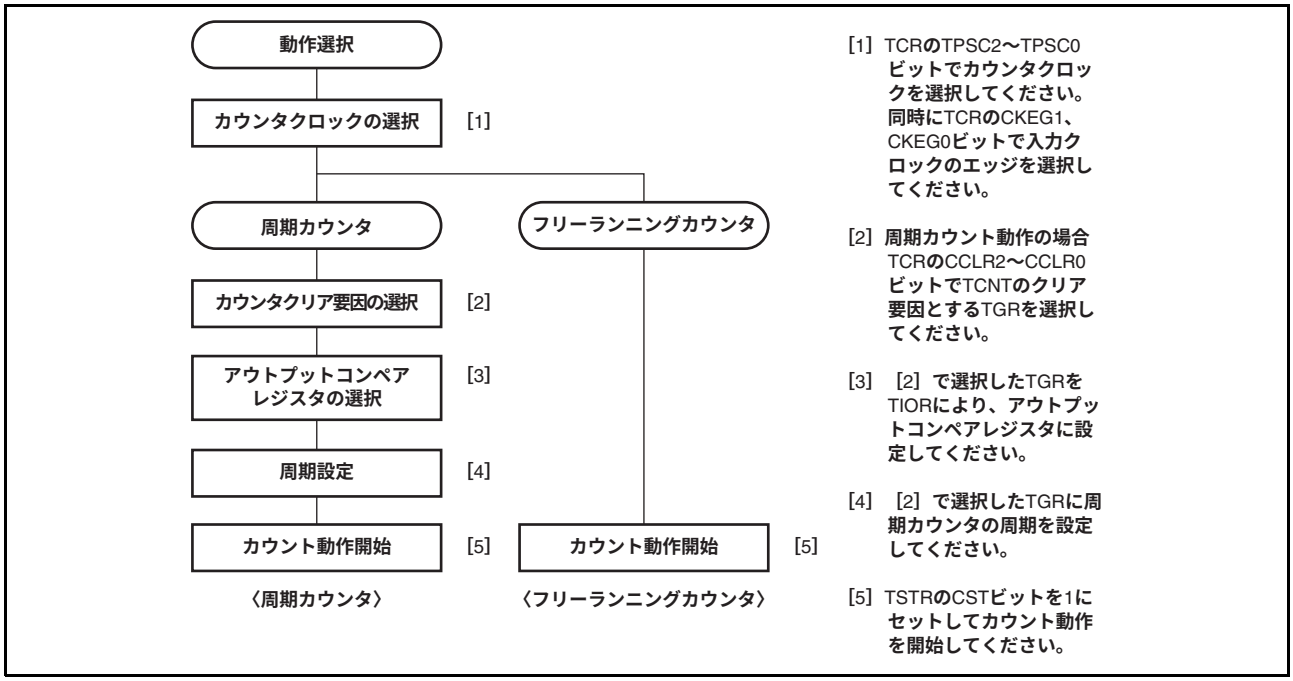


図 10.4　カウンタ動作設定手順例

(b)　フリーランニングカウント動作と周期カウント動作

本モジュールの TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー(H'FFFF → H'0000) すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はオーバフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を**図 10.5** に示します。

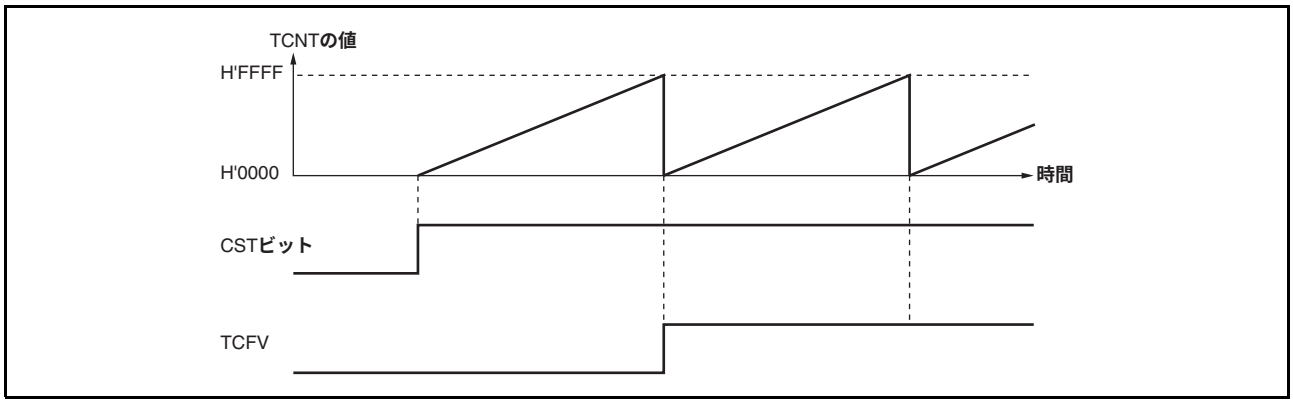


図 10.5　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ～ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、本モジュールは割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を**図 10.6** に示します。

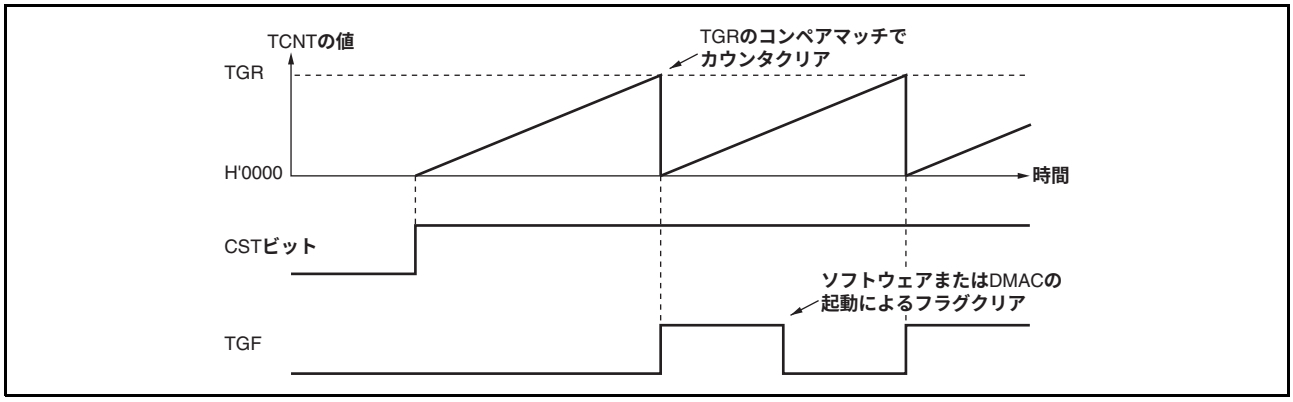


図 10.6　周期カウンタの動作

(2)　コンペアマッチによる波形出力機能

本モジュールは、コンペアマッチにより対応する出力端子から 0 出力／1 出力／トグル出力を行うことができます。

(a)　コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.7 に示します。

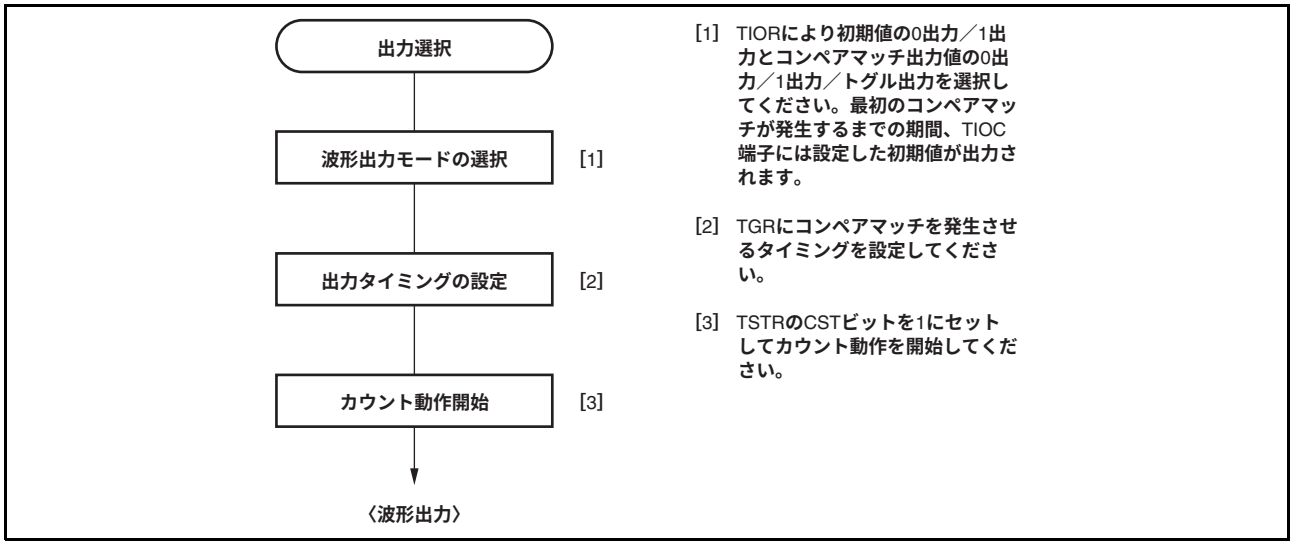


図 10.7　　コンペアマッチによる波形出力動作例

(b)　波形出力動作例

0 出力／1 出力例を図 10.8 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

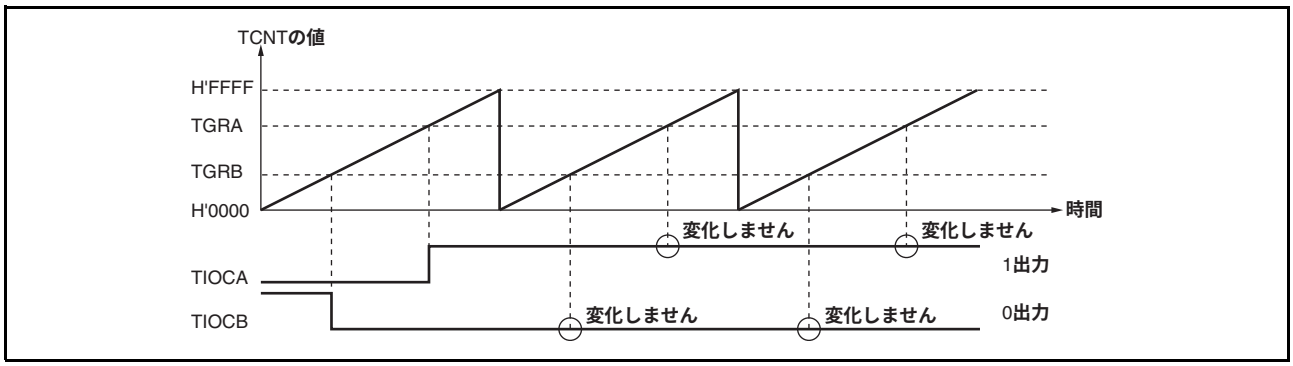


図 10.8　　0 出力／1 出力の動作例

トグル出力の例を図 10.9 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

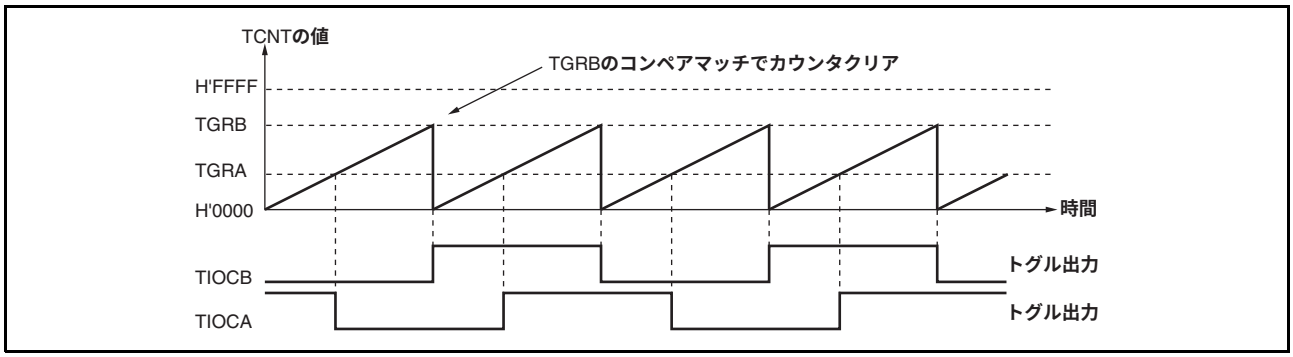


図 10.9　トグル出力の動作例

(3)　インプットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。また、チャネル 0、1 は別のチャネルのカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

注 .　チャネル 0、1 で別のチャネルのカウンタ入力クロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウンタ入力クロックに P0φ ／ 1 を選択しないでください。P0φ ／ 1 を選択した場合は、インプットキャプチャは発生しません。

(a)　インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 10.10 に示します。

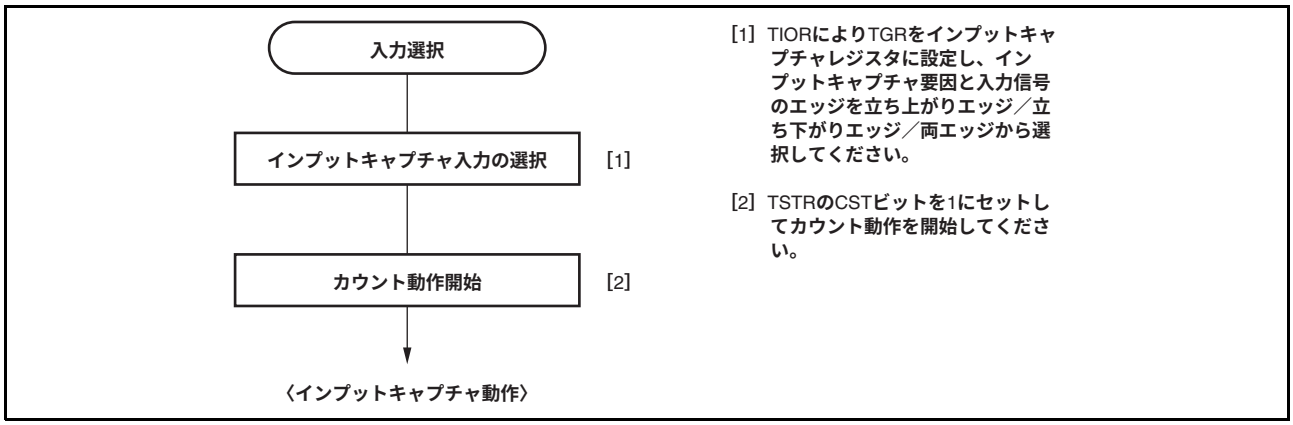


図 10.10　インプットキャプチャ動作の設定例

(b)　インプットキャプチャ動作例

インプットキャプチャ動作例を図 10.11 に示します。

TIOCA 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また TIOCB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

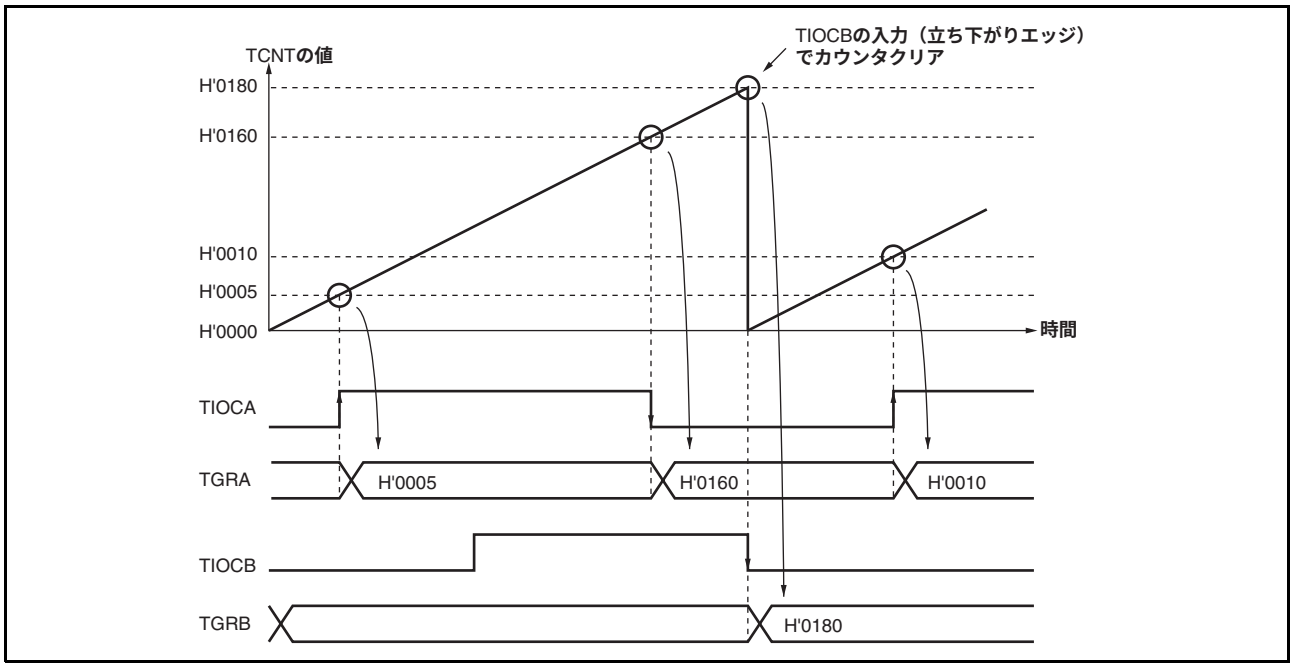


図 10.11　インプットキャプチャ動作例

10.4.2　同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1 つのタイムベースに対して動作する TGR の本数を増加することができます。

チャネル 0 ～ 4 はすべて同期動作の設定が可能です。

(1)　同期動作の設定手順例

同期動作の設定手順例を図 10.12 に示します。

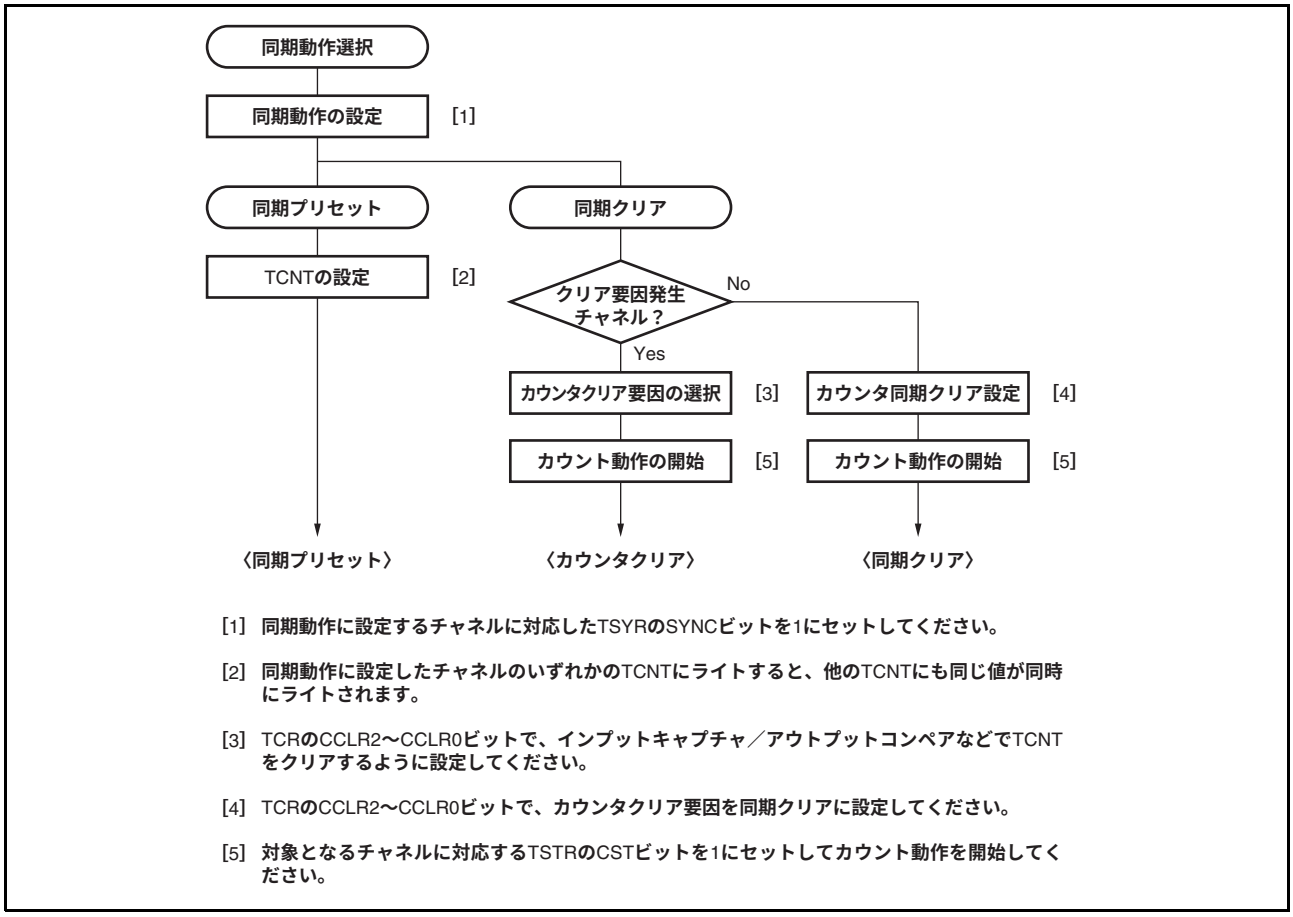


図 10.12　同期動作の設定手順例

(2)　同期動作の例

同期動作の例を図 10.13 に示します。

チャネル 0 ～ 2 を同期動作かつ PWM モード 1 に設定し、チャネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOC0A、TIOC1A、TIOC2A 端子から出力します。このとき、チャネル 0 ～ 2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「10.4.5　PWM モード」を参照してください。

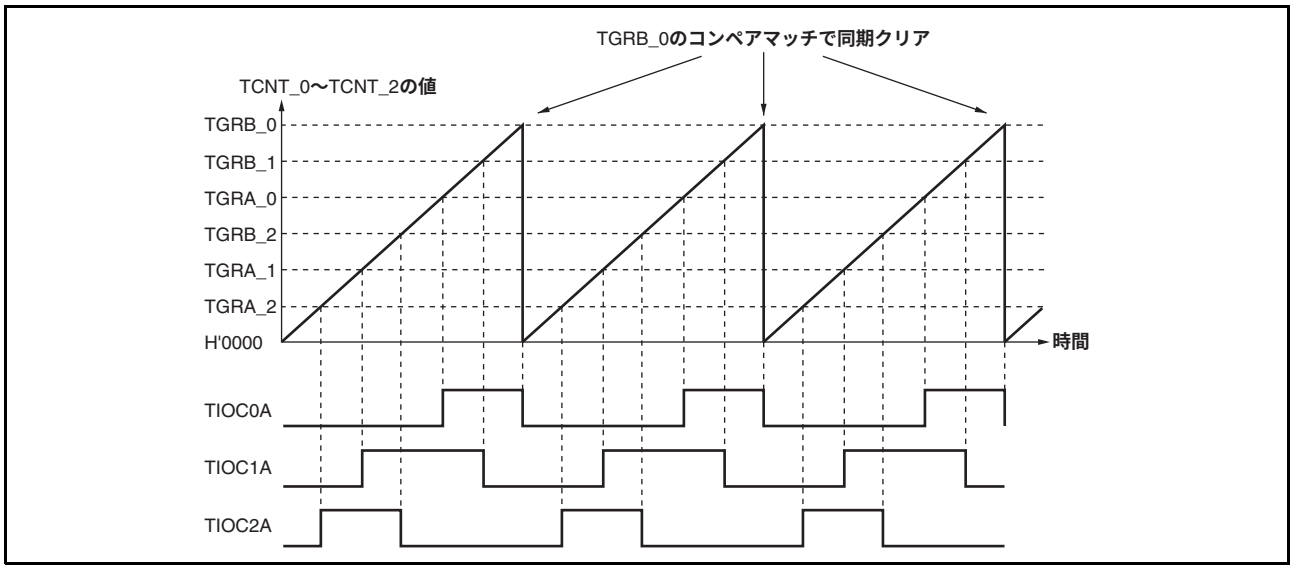


図 10.13　同期動作の動作例

10.4.3　　バッファ動作

バッファ動作は、チャネル 0、3、4 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。また、チャネル 0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注 .　TGRE_0 はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 10.41 にバッファ動作時のレジスタの組み合わせを示します。

表 10.41　　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
	TGRE_0	TGRF_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3
4	TGRA_4	TGRC_4
	TGRB_4	TGRD_4

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.14 に示します。

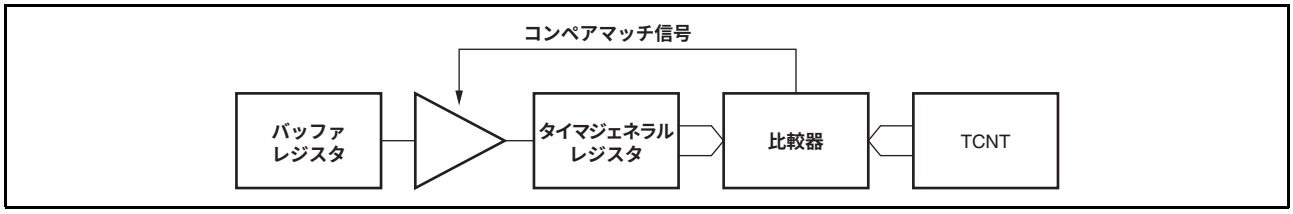


図 10.14　コンペアマッチバッファ動作

- TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 10.15 に示します。

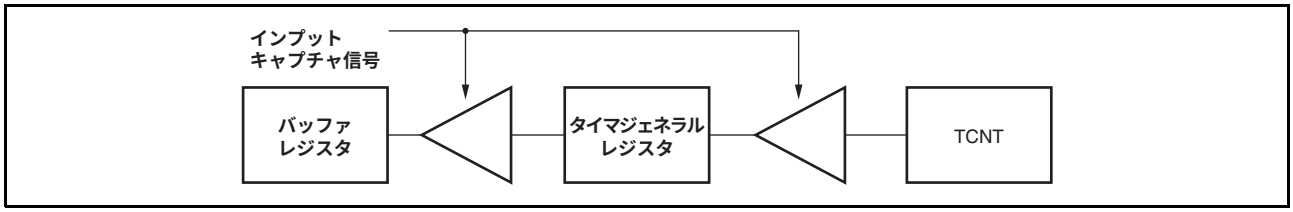


図 10.15　インプットキャプチャバッファ動作

(1)　バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.16 に示します。

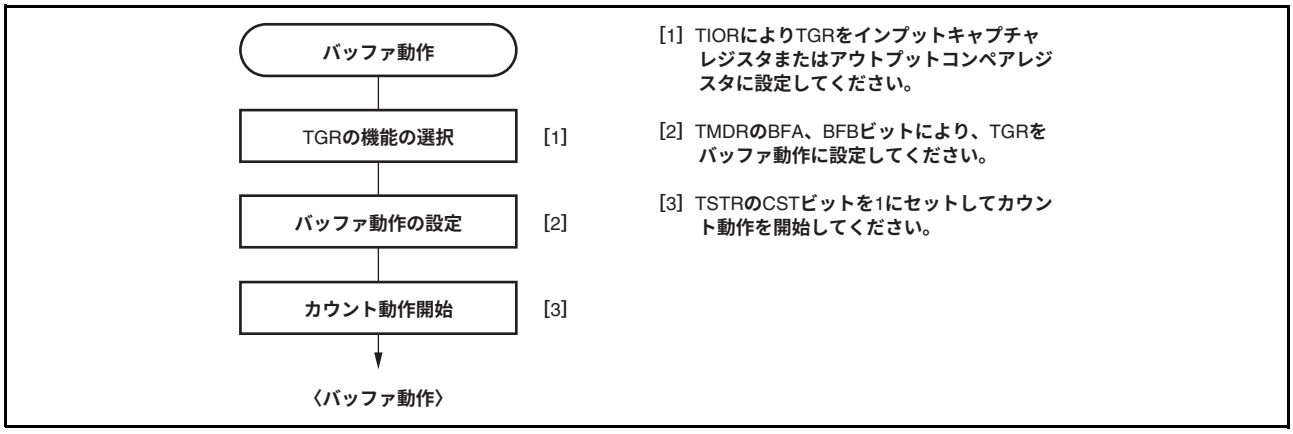


図 10.16　バッファ動作の設定手順例

(2)　バッファ動作例

(a)　TGR がアウトプットコンペアレジスタの場合

チャネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.17 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。この例では、TBTM の TTSA ビットは 0 に設定しています。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「10.4.5　PWM モード」を参照してください。

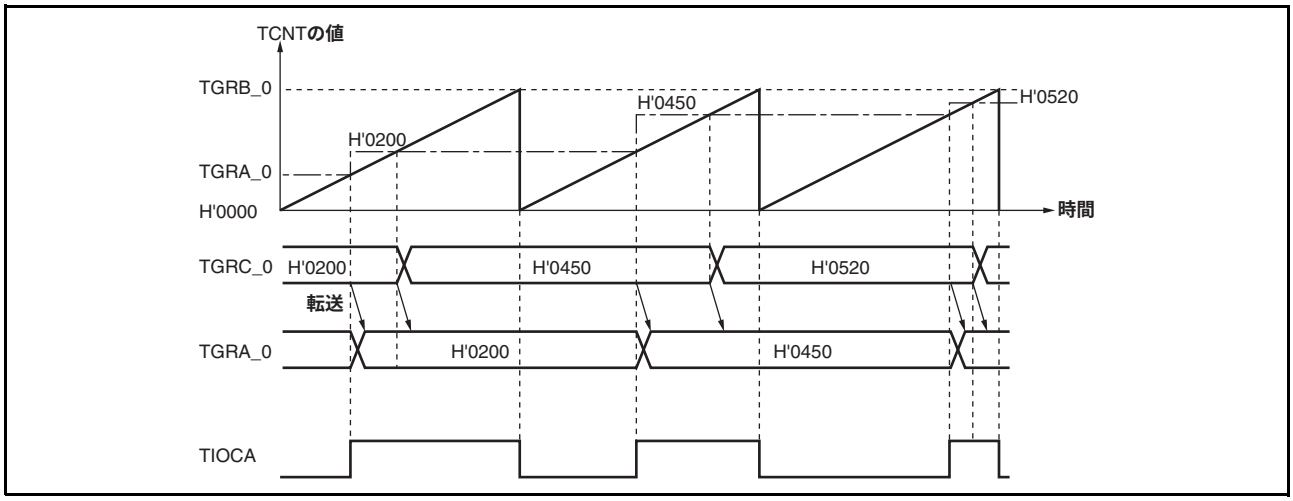


図 10.17　バッファ動作例（1）

(b)　TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.18 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ／立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

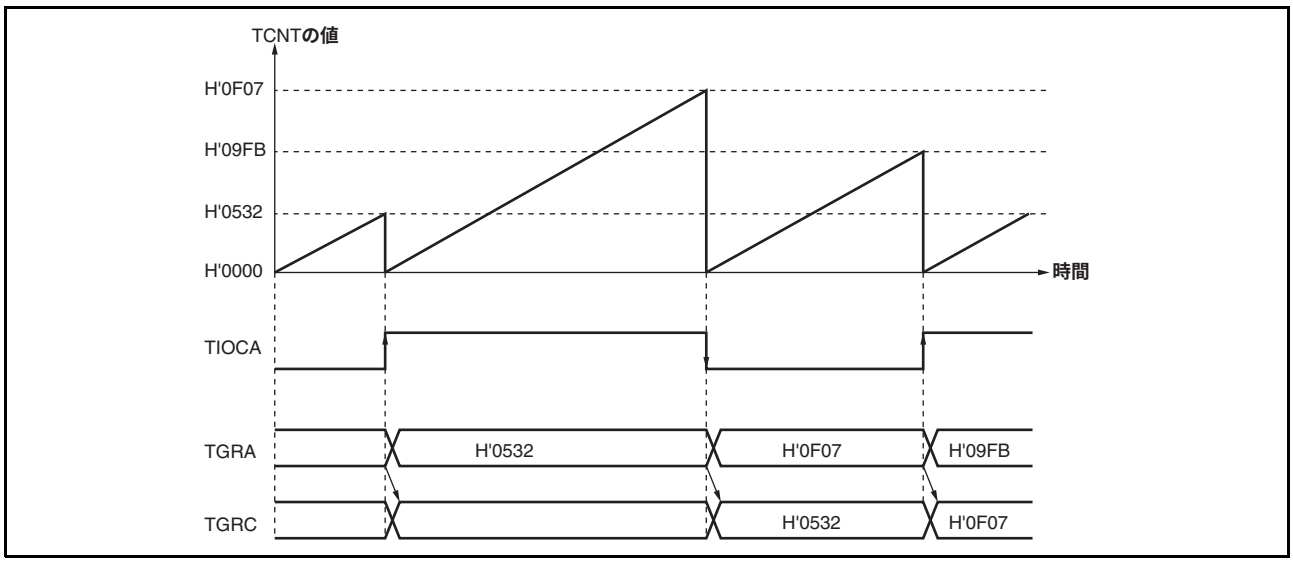


図 10.18　バッファ動作例（2）

(3)　バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ（TBTM_0、TBTM_3、TBTM_4）を設定することで、チャネル 0 では PWM モード 1、2 時の、チャネル 3、4 では PWM モード 1 時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（初期値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバフローしたとき（H'FFFF → H'0000）
- カウンタ動作中、TCNT に H'0000 がライトされたとき
- TCR の CCLR2 ～ CCLR0 ビットで設定したクリア要因で、TCNT が H'0000 になったとき

注 .　TBTM の設定は TCNT が停止した状態で行ってください。

チャネル 0 を PWM モード 1 に設定し、TGRA_0 と TGRC_0 をバッファ動作に設定した場合の動作例を図 10.19 に示します。TCNT_0 はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力、TBTM_0 の TTSA ビットは 1 に設定しています。

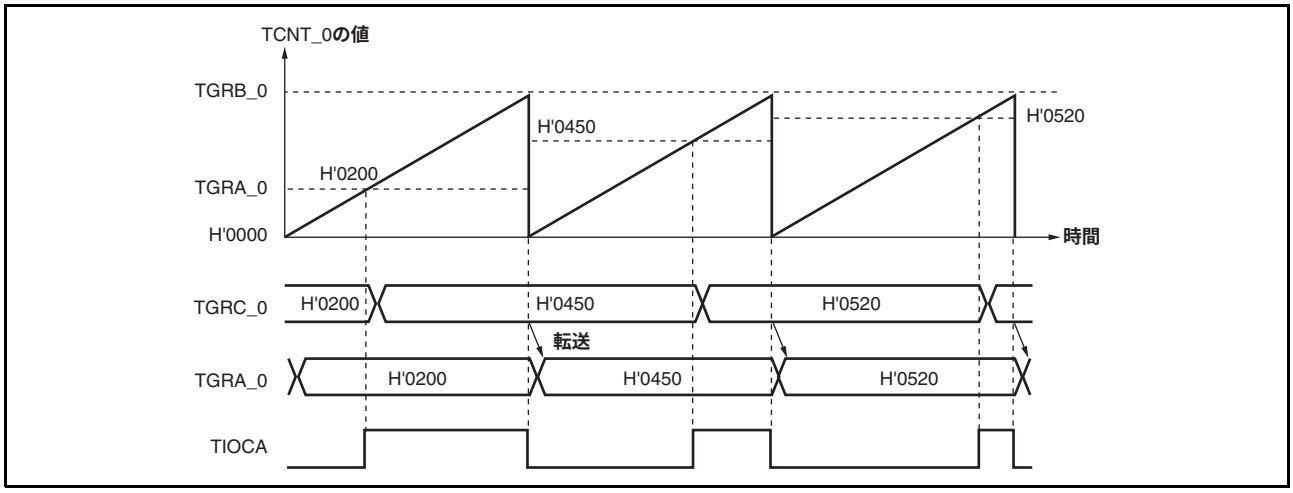


図 10.19　TGRC_0 から TGRA_0 のバッファ転送タイミングを TCNT_0 クリア時に選択した場合の動作例

10.4.4　カスケード接続動作

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャネル 1 のカウンタクロックを TCR の TPSC2 ～ TPSC0 ビットで TCNT_2 のオーバフロー／アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 10.42 にカスケード接続の組み合わせを示します。

注 .　チャネル 1 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.42　カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャネル 1 とチャネル 2	TCNT_1	TCNT_2

カスケード動作時に、TCNT_1 と TCNT_2 の同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ（TICCR）で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子と追加した入力端子の OR を取った信号に対して行われます。詳細は「10.4.4　(4)　カスケード接続動作例（c）」を参照してください。カスケード接続時のインプットキャプチャについては「10.7.22　カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ」を参照してください。

TICCR 設定値とインプットキャプチャ入力端子の対応を**表 10.43** に示します。

表 10.43　TICCR 設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR 設定値	インプットキャプチャ入力端子
TCNT_1 から TGRA_1 への インプットキャプチャ	I2AE ビット＝0（初期値）	TIOC1A
	I2AE ビット＝1	TIOC1A、TIOC2A
TCNT_1 から TGRB_1 への インプットキャプチャ	I2BE ビット＝0（初期値）	TIOC1B
	I2BE ビット＝1	TIOC1B、TIOC2B
TCNT_2 から TGRA_2 への インプットキャプチャ	I1AE ビット＝0（初期値）	TIOC2A
	I1AE ビット＝1	TIOC2A、TIOC1A
TCNT_2 から TGRB_2 への インプットキャプチャ	I1BE ビット＝0（初期値）	TIOC2B
	I1BE ビット＝1	TIOC2B、TIOC1B

(1)　カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.20 に示します。

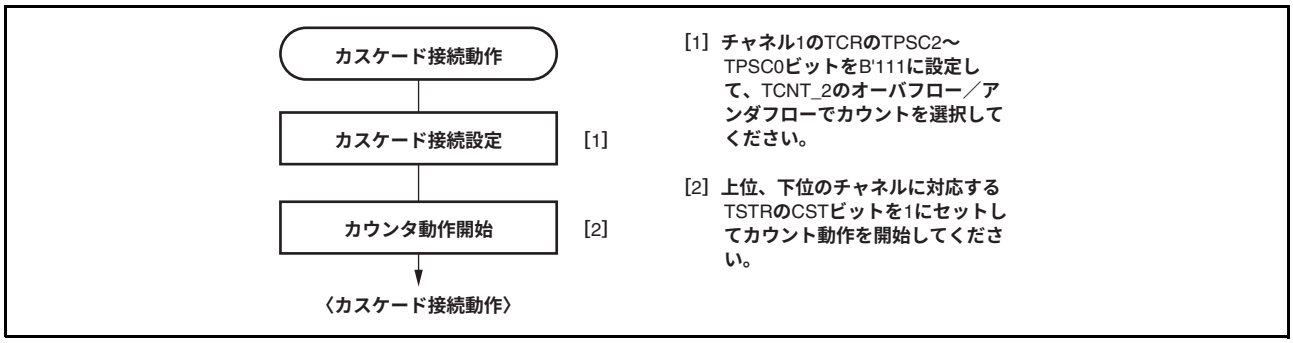


図 10.20　カスケード接続動作設定手順

(2)　カスケード接続動作例（a）

TCNT_1 は TCNT_2 のオーバフロー／アンダフローでカウント、チャネル 2 を位相計数モードに設定したときの動作を図 10.21 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

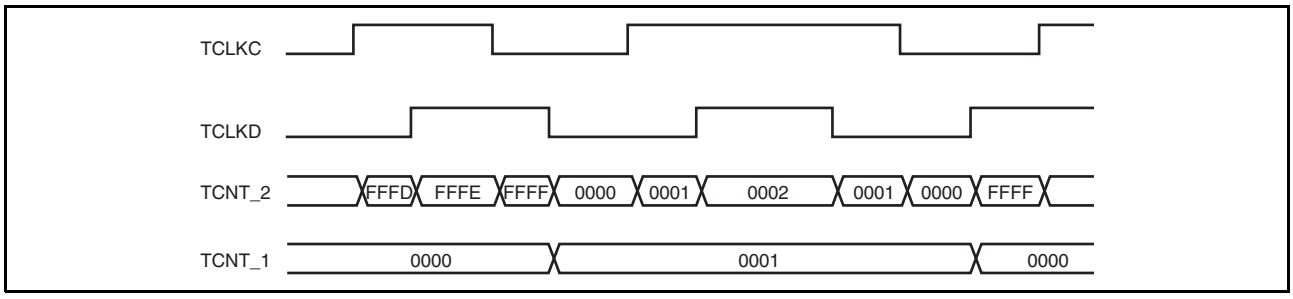


図 10.21　カスケード接続動作例（a）

(3)　カスケード接続動作例（b）

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 10.22 に示します。この例では TIOR_1 の IOA0 ～ IOA3 の設定は、（TIOC1A の）立ち上がりエッジでインプットキャプチャに設定しています。また、TIOR_2 の IOA0 ～ IOA3 の設定は、（TIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOC1A と TIOC2A の両方の立ち上がりエッジが TGRA_1 のインプットキャプチャ条件に設定されます。また、TGRA_2 のインプットキャプチャ条件は TIOC2A の立ち上がりエッジとなります。

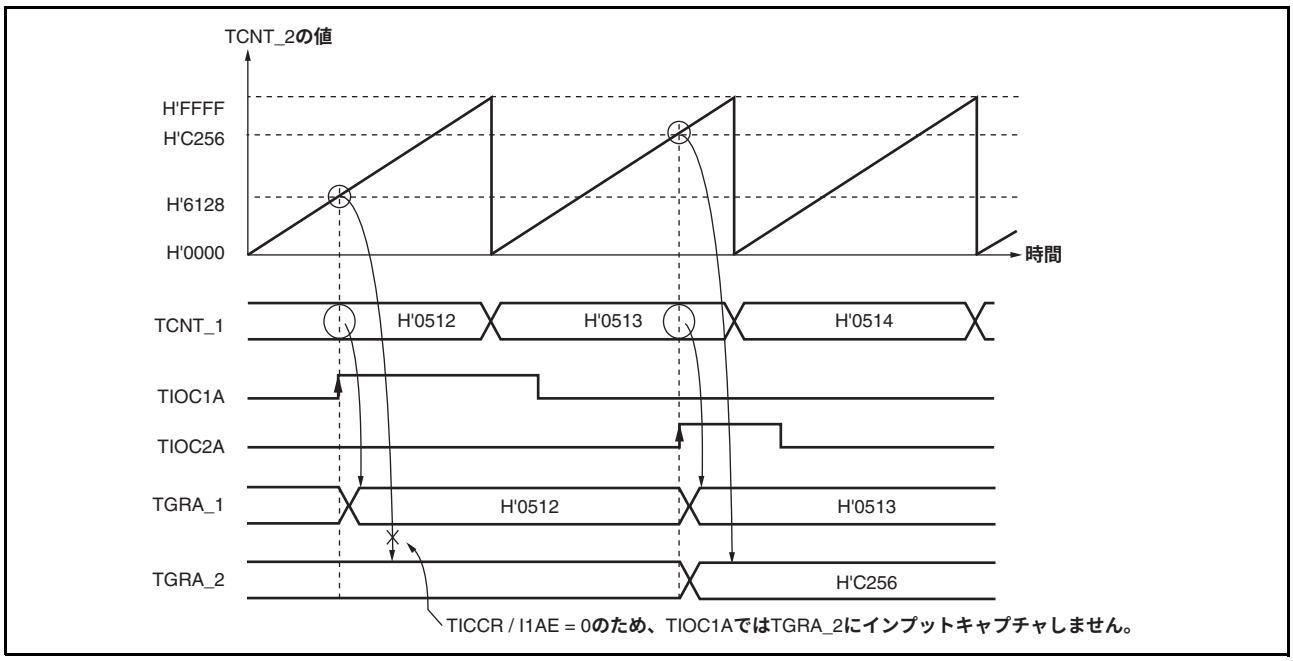


図 10.22　カスケード接続動作例（b）

(4)　カスケード接続動作例（c）

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットと I1AE に 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加し、TIOC1A 端子を TGRA_2 のインプットキャプチャ条件に追加した場合の動作を図 10.23 に示します。この例では TIOR_1、TIOR_2 の IOA0 ～ IOA3 の設定は、どちらも両エッジでインプットキャプチャに設定しています。この場合、TIOC1A と TIOC2A 入力の OR が TGRA_1 および TGRA_2 のインプットキャプチャ条件となります。

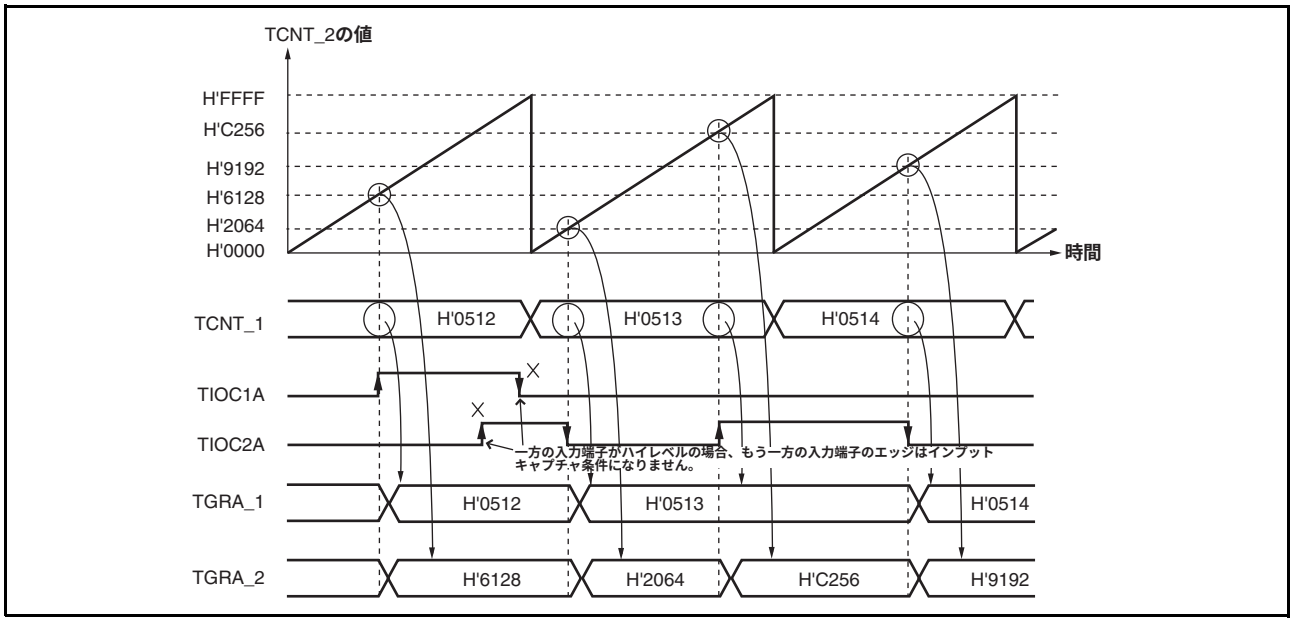


図 10.23　カスケード接続動作例（c）

(5)　カスケード接続動作例（d）

TCNT_1、TCNT_2 をカスケード接続し、TICCR の I2AE ビットに 1 をセットして、TIOC2A 端子を TGRA_1 のインプットキャプチャ条件に追加した場合の動作を図 10.24 に示します。この例では TIOR_1 の IOA0 ～ IOA3 の設定は、TGRA_0 のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャに設定しています。また、TIOR_2 の IOA0 ～ IOA3 の設定は、（TIOC2A の）立ち上がりエッジでインプットキャプチャに設定しています。

この場合、TIOR_1 の設定が TGRA_0 のコンペアマッチ／インプットキャプチャの発生でインプットキャプチャのため、TICCR の I2AE ビットを 1 にセットしても TIOC2A のエッジが TGRA_1 のインプットキャプチャ条件になることはありません。

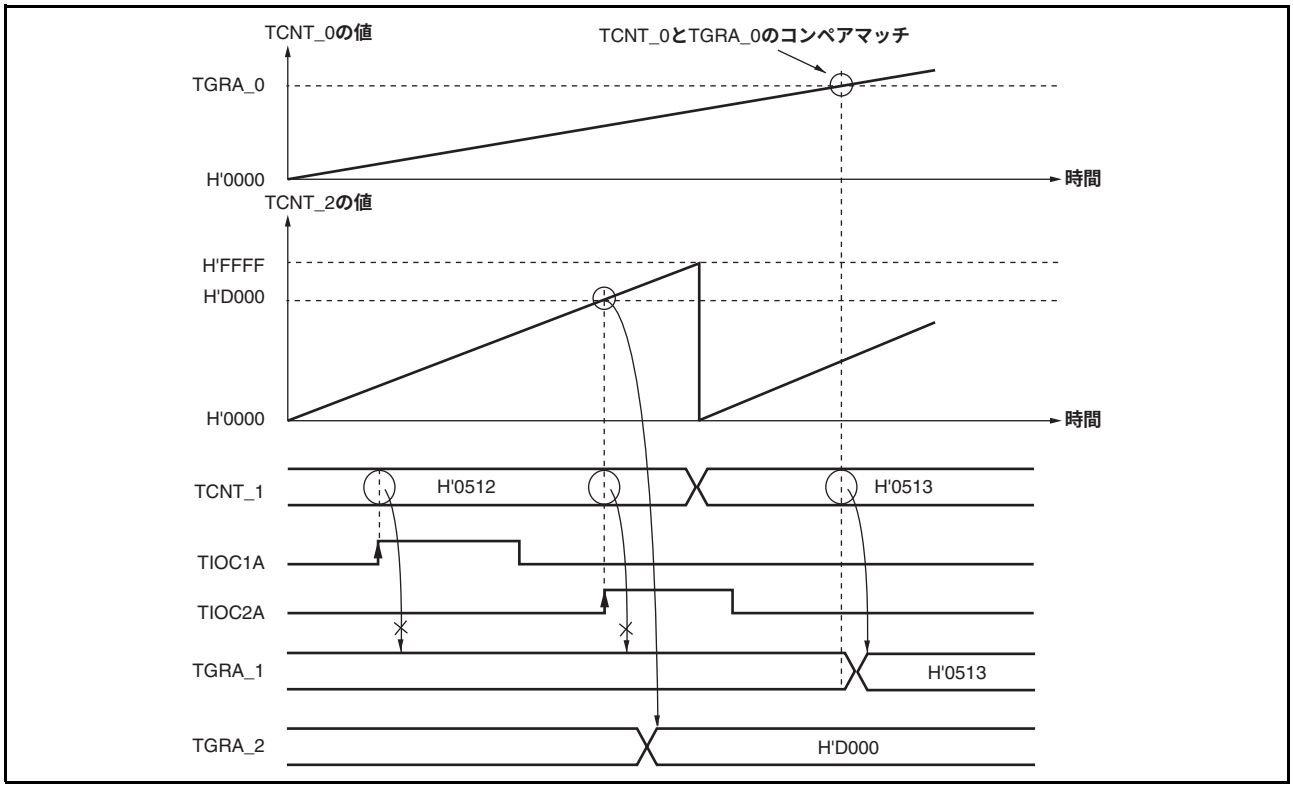


図 10.24　カスケード接続動作例（d）

10.4.5　PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力／1 出力／トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ～ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

- PWM モード 1
  TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ～ IOA0、IOC3 ～ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ～ IOB0、IOD3 ～ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。
  PWM モード 1 では、最大 8 相の PWM 出力が可能です。

- PWM モード 2
  TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。
  PWM モード 2 では、同期動作と併用することにより最大 8 相の PWM 出力が可能です。
  PWM 出力端子とレジスタの対応を**表 10.44** に示します。

表 10.44　各 PWM 出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOC0A	TIOC0A
	TGRB_0		TIOC0B
	TGRC_0	TIOC0C	TIOC0C
	TGRD_0		TIOC0D
1	TGRA_1	TIOC1A	TIOC1A
	TGRB_1		TIOC1B
2	TGRA_2	TIOC2A	TIOC2A
	TGRB_2		TIOC2B
3	TGRA_3	TIOC3A	設定できません
	TGRB_3		
	TGRC_3	TIOC3C	
	TGRD_3		
4	TGRA_4	TIOC4A	
	TGRB_4		
	TGRC_4	TIOC4C	
	TGRD_4		

注.　PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(1)　PWM モードの設定手順例

PWM モードの設定手順例を図 10.25 に示します。

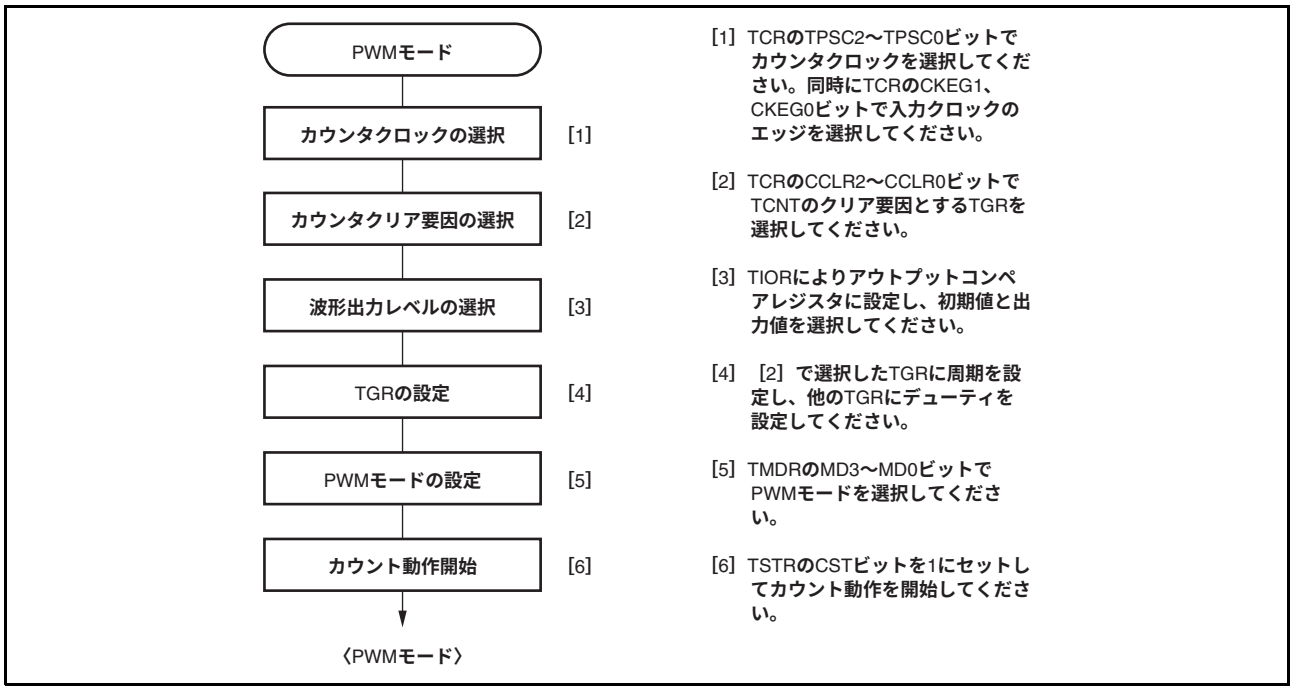


図 10.25　PWM モードの設定手順例

(2)　PWM モードの動作例

PWM モード 1 の動作例を図 10.26 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

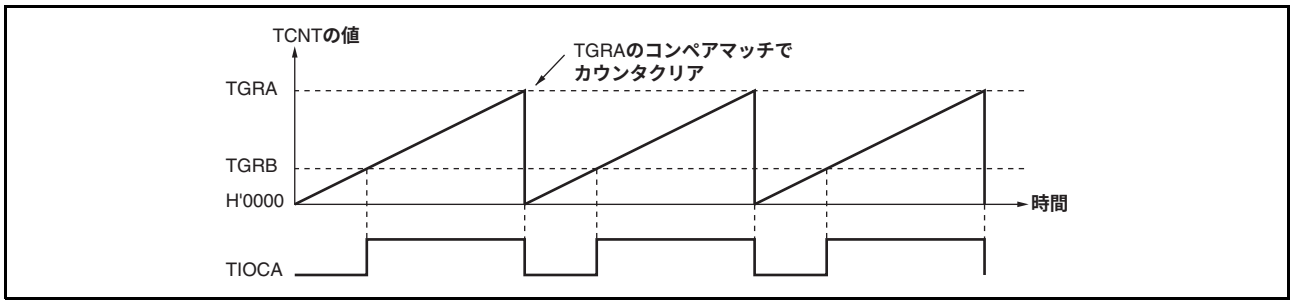


図 10.26　PWM モードの動作例

PWM モード 2 の動作例を図 10.27 に示します。

この図は、チャネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR（TGRA_0 ～ TGRD_0、TGRA_1）の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

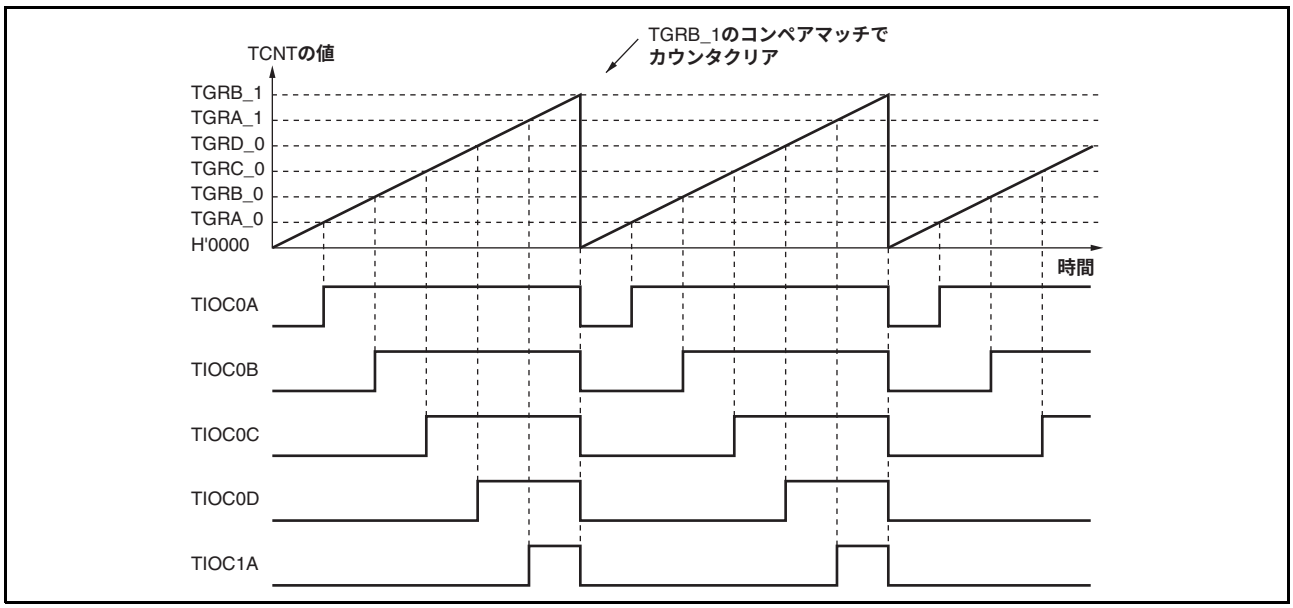


図 10.27　PWM モードの動作例

PWM モードで、デューティ 0%、デューティ 100%の PWM 波形を出力する例を図 10.28 に示します。

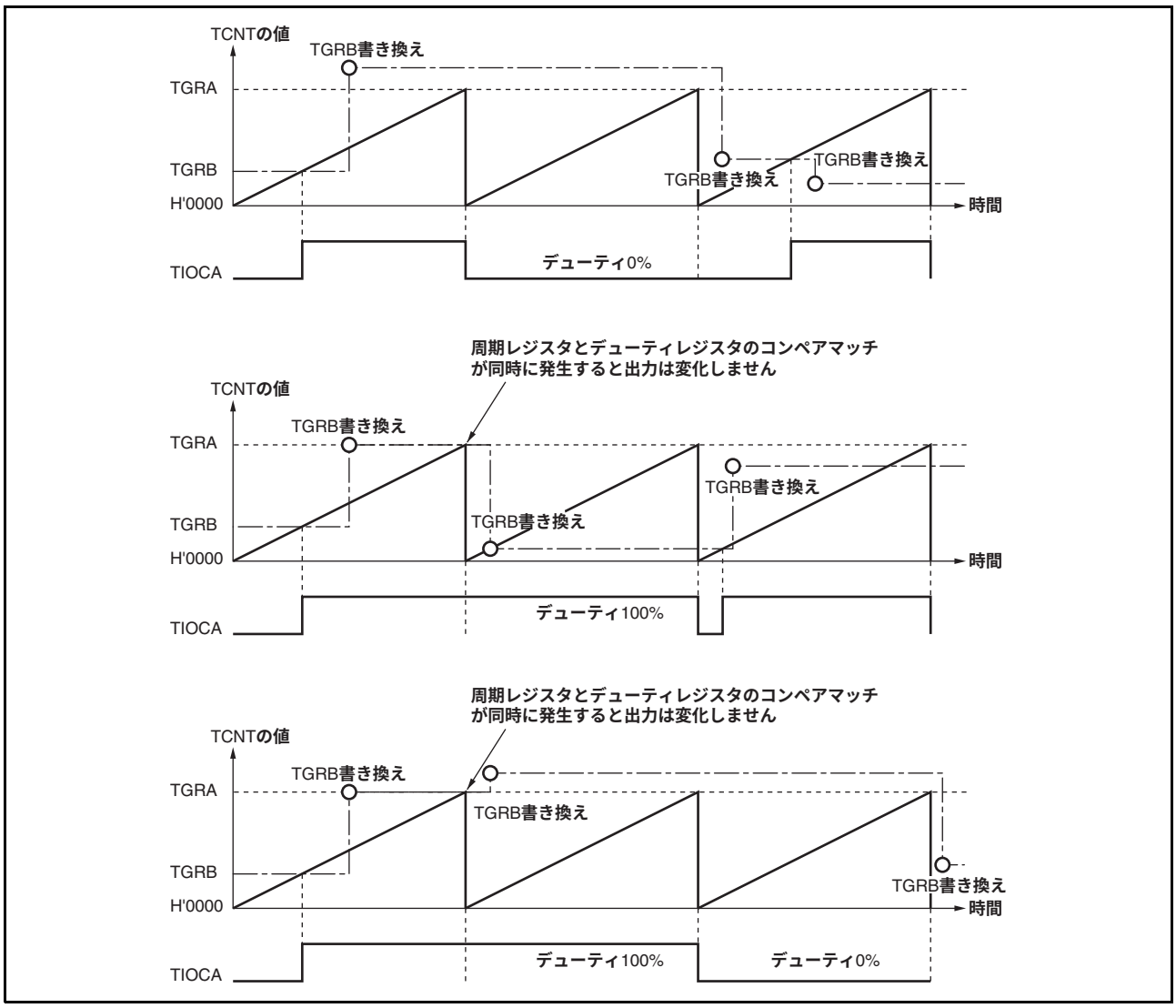


図 10.28　PWM モード動作例

10.4.6　位相計数モード

位相計数モードは、チャネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ～ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ／ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生すると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.45 に外部クロック端子とチャネルの対応を示します。

表 10.45　位相計数モードクロック入力端子

チャネル	外部クロック端子	
	A 相	B 相
チャネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャネル 2 を位相計数モードとするとき	TCLKC	TCLKD

(1)　位相計数モードの設定手順例

位相計数モードの設定手順例を**図 10.29** に示します。

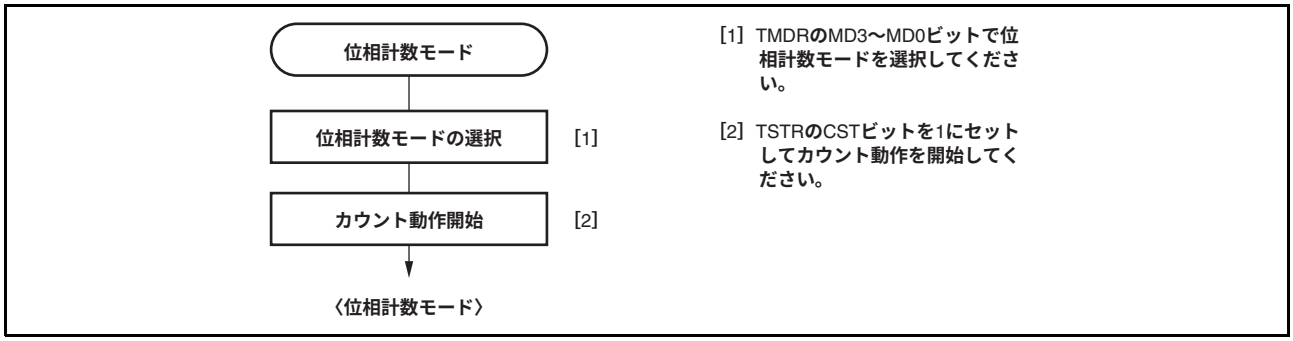


図 10.29　位相計数モードの設定手順例

(2)　位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップ／ダウンカウントします。また、カウント条件により 4 つのモードがあります。

(a)　位相計数モード 1

位相計数モード 1 の動作例を**図 10.30** に、TCNT のアップ／ダウンカウント条件を**表 10.46** に示します。

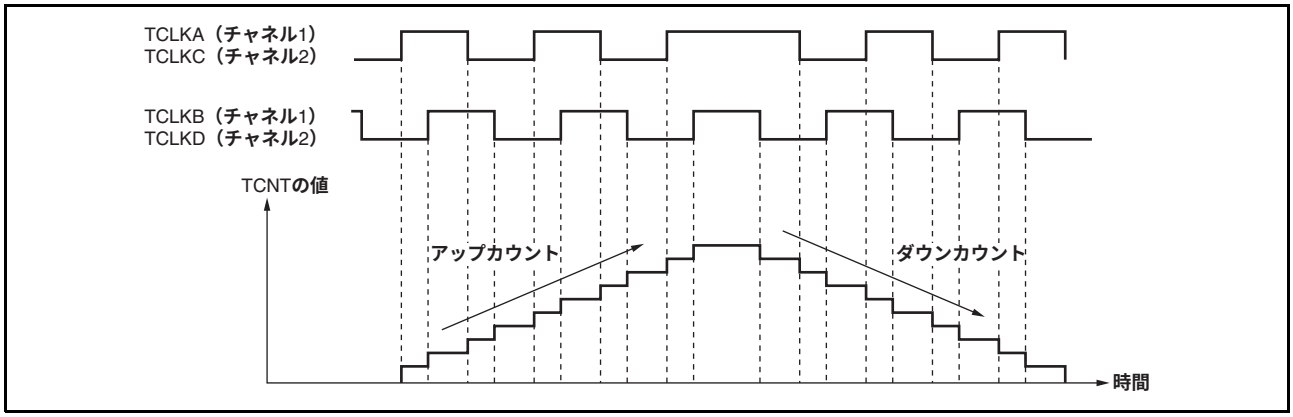


図 10.30　位相計数モード 1 の動作例

表 10.46　位相計数モード 1 のアップ／ダウンカウント条件

TCLKA（チャネル 1） TCLKC（チャネル 2）	TCLKB（チャネル 1） TCLKD（チャネル 2）	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(b)　位相計数モード 2

位相計数モード 2 の動作例を図 10.31 に、TCNT のアップ／ダウンカウント条件を表 10.47 に示します。

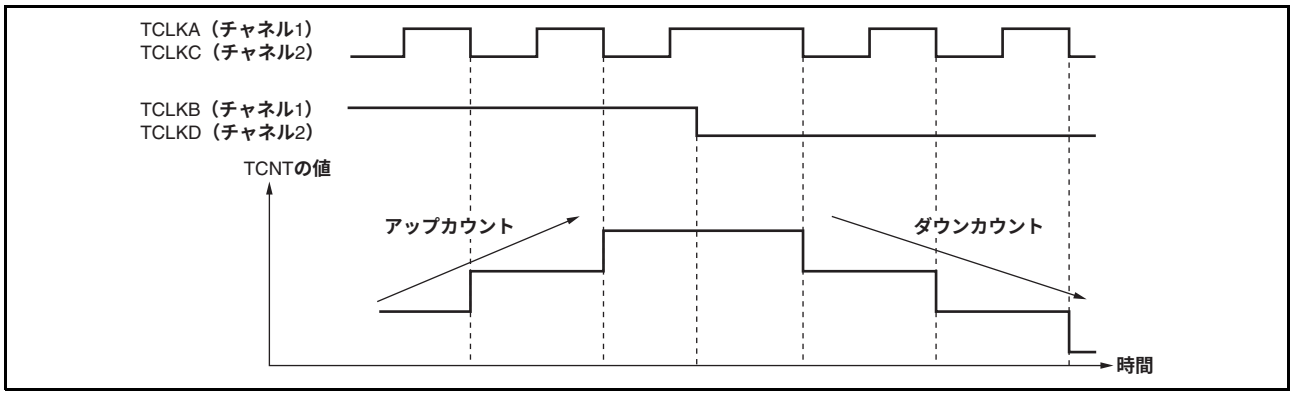


図 10.31　位相計数モード 2 の動作例

表 10.47　位相計数モード 2 のアップ／ダウンカウント条件

TCLKA（チャネル 1） TCLKC（チャネル 2）	TCLKB（チャネル 1） TCLKD（チャネル 2）	動作内容
High レベル	↑	カウントしない（Don't care）
Low レベル	↓	カウントしない（Don't care）
↑	Low レベル	カウントしない（Don't care）
↓	High レベル	アップカウント
High レベル	↓	カウントしない（Don't care）
Low レベル	↑	カウントしない（Don't care）
↑	High レベル	カウントしない（Don't care）
↓	Low レベル	ダウンカウント

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(c)　位相計数モード 3

位相計数モード 3 の動作例を図 10.32 に、TCNT のアップ／ダウンカウント条件を表 10.48 に示します。

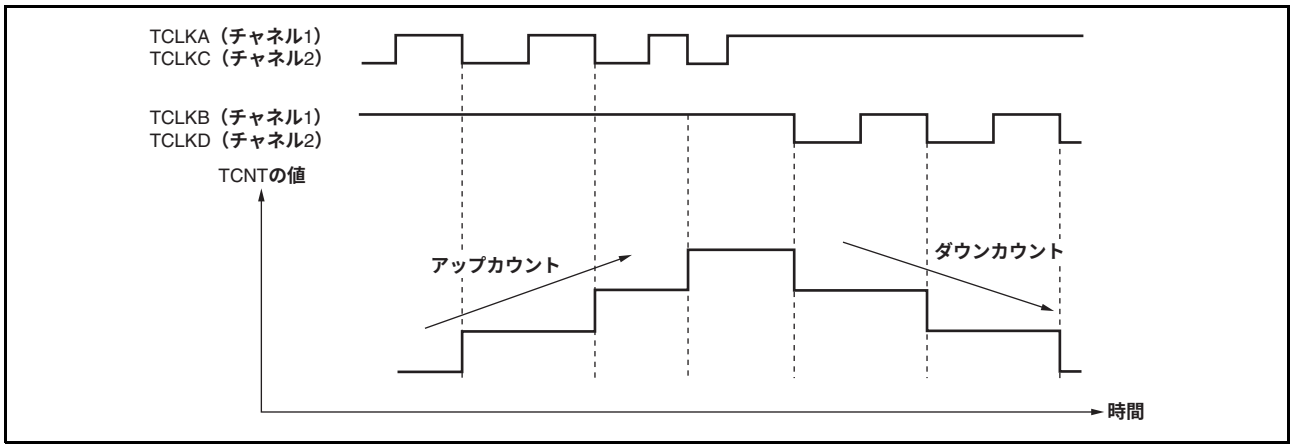


図 10.32　位相計数モード 3 の動作例

表 10.48　位相計数モード3のアップ／ダウンカウント条件

TCLKA（チャネル1） TCLKC（チャネル2）	TCLKB（チャネル1） TCLKD（チャネル2）	動作内容
High レベル	↑	カウントしない（Don't care）
Low レベル	↓	カウントしない（Don't care）
↑	Low レベル	カウントしない（Don't care）
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	カウントしない（Don't care）
↑	High レベル	カウントしない（Don't care）
↓	Low レベル	カウントしない（Don't care）

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(d)　位相計数モード 4

位相計数モード 4 の動作例を図 10.33 に、TCNT のアップ／ダウンカウント条件を表 10.49 に示します。

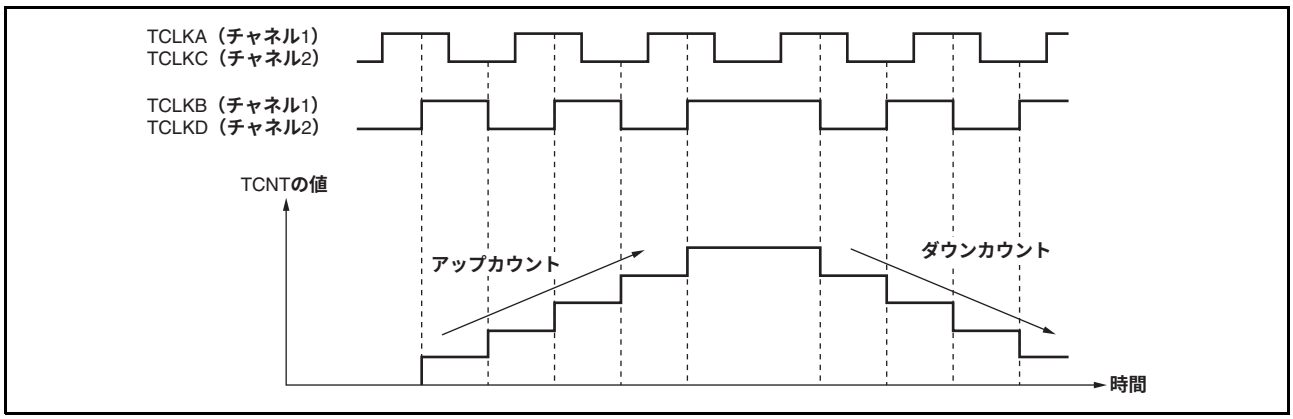


図 10.33　位相計数モード 4 の動作例

表 10.49　位相計数モード 4 のアップ／ダウンカウント条件

TCLKA（チャネル 1） TCLKC（チャネル 2）	TCLKB（チャネル 1） TCLKD（チャネル 2）	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	カウントしない（Don't care）
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	カウントしない（Don't care）
↓	Low レベル	

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

(3)　位相計数モード応用例

チャネル 1 を位相計数モードに設定し、チャネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を**図 10.34** に示します。

チャネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 はインプットキャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 のインプットキャプチャ要因は、チャネル 1 のカウンタ入力クロックとし、2 相エンコーダの 4 逓倍パルスのパルス幅を検出します。

チャネル 1 の TGRA_1 と TGRB_1 は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャネル 0 の TGRA_0 と TGRC_0 のコンペアマッチを選択し、それぞれの制御周期時のアップ／ダウンカウンタの値を格納します。

これにより、正確な位置／速度検出を行うことができます。

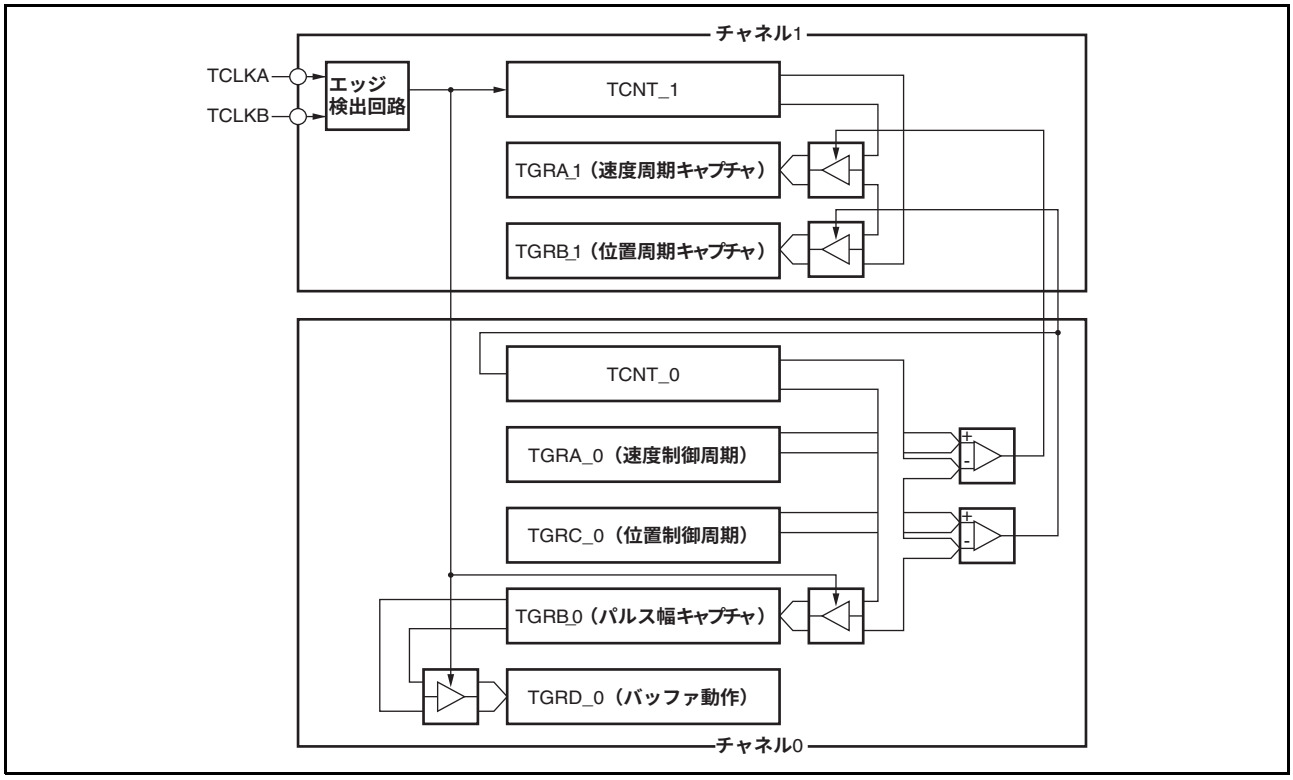


図 10.34　位相計数モードの応用例

10.4.7　リセット同期 PWM モード

リセット同期 PWM モードは、チャネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、および TIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3（TCNT_3）はアップカウンタとして機能します。

使用される PWM 出力端子を**表 10.50** に、使用するレジスタの設定を**表 10.51** に示します。

表 10.50　リセット同期 PWM モード時の出力端子

チャネル	出力端子	説明
3	TIOC3B	PWM 出力端子 1
	TIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形）
4	TIOC4A	PWM 出力端子 2
	TIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形）
	TIOC4B	PWM 出力端子 3
	TIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形）

表 10.51　リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT_3	H'0000 を初期設定
TCNT_4	H'0000 を初期設定
TGRA_3	TCNT_3 のカウント周期を設定
TGRB_3	TIOC3B、TIOC3D 端子より出力される PWM 波形の変化点を設定
TGRA_4	TIOC4A、TIOC4C 端子より出力される PWM 波形の変化点を設定
TGRB_4	TIOC4B、TIOC4D 端子より出力される PWM 波形の変化点を設定

(1)　リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 10.35 に示します。

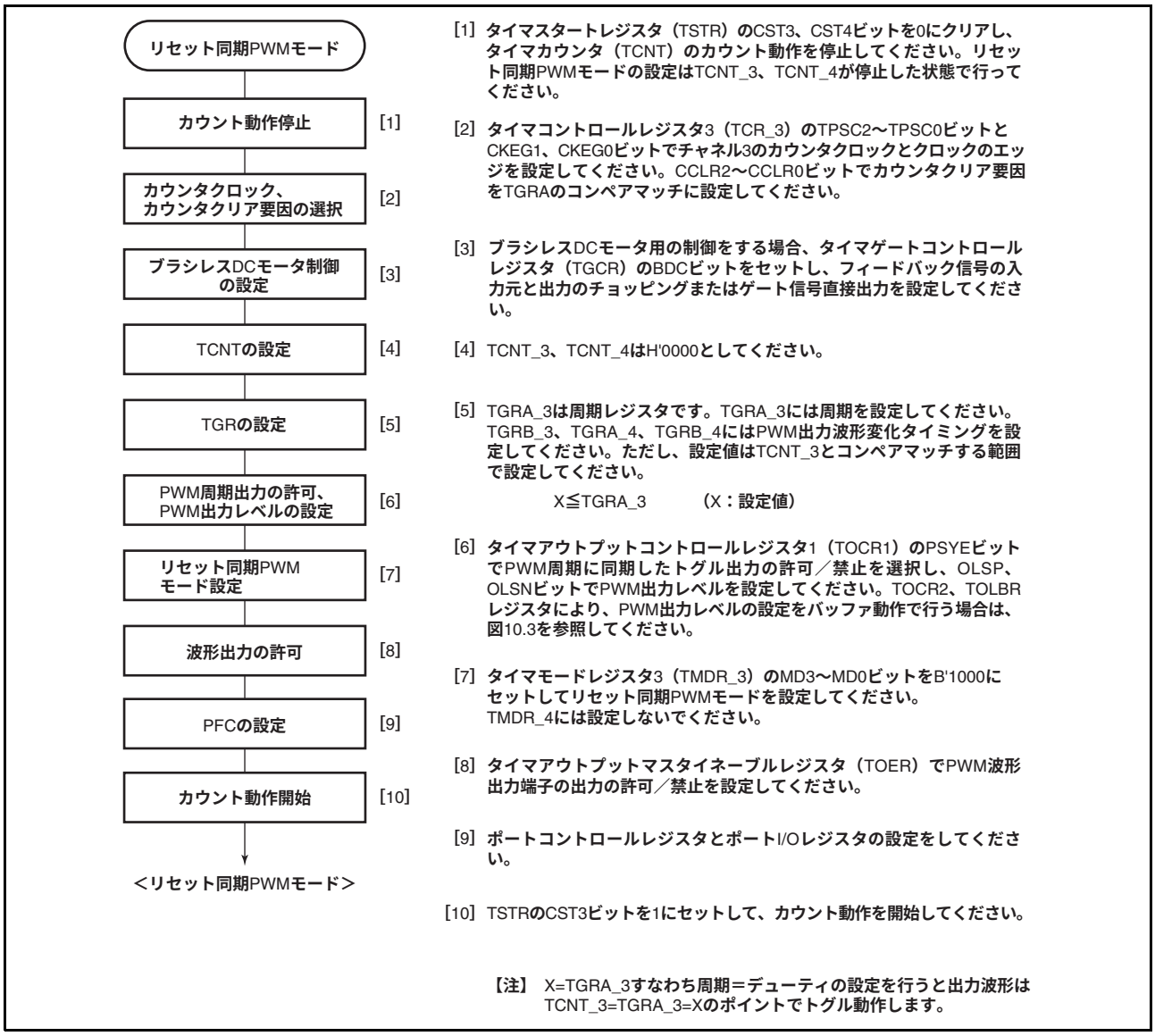


図 10.35　リセット同期 PWM モードの設定手順例

(2)　リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 10.36 に示します。

リセット同期 PWM モードでは、TCNT_3 と TCNT_4 はアップカウンタとして動作します。TCNT_3 が TGRA_3 とコンペアマッチするとカウンタはクリアされ H'0000 からカウントアップを再開します。PWM 出力端子は、それぞれ TGRB_3、TGRA_4、TGRB_4 のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

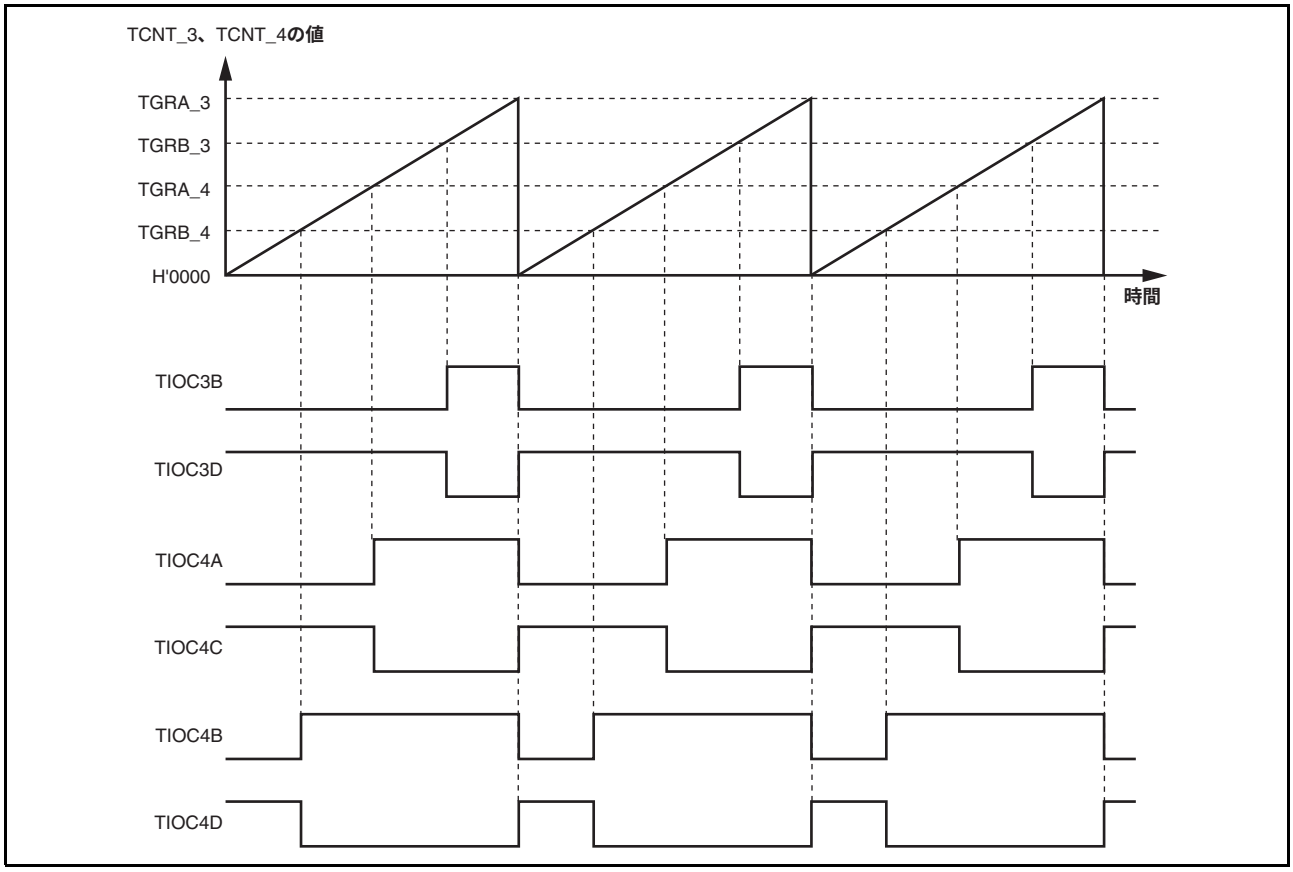


図 10.36　リセット同期 PWM モードの動作例（TOCR の OLSN ＝ 1、OLSP ＝ 1 に設定した場合）

10.4.8　相補 PWM モード

相補 PWM モードは、チャネル 3、4 を組み合わせることにより、正相と逆相がノンオーバラップの関係にある PWM 波形を 3 相出力します。ノンオーバラップ時間を持たない設定も可能です。

相補 PWM モードに設定すると、TIOC3B、TIOC3D、TIOC4A、TIOC4B、TIOC4C、TIOC4D 端子は PWM 出力端子となり、TIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、TCNT_3 と TCNT_4 はアップ／ダウンカウンタとして機能します。

使用される PWM 出力端子を**表 10.52** に、使用するレジスタの設定を**表 10.53** に示します。

表 10.52　相補 PWM モード時の出力端子

チャネル	出力端子	説明
3	TIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	TIOC3B	PWM 出力端子 1
	TIOC3C	入出力ポート*
	TIOC3D	PWM 出力端子 1'（PWM 出力 1 とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
4	TIOC4A	PWM 出力端子 2
	TIOC4B	PWM 出力端子 3
	TIOC4C	PWM 出力端子 2'（PWM 出力 2 とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）
	TIOC4D	PWM 出力端子 3'（PWM 出力 3 とノンオーバラップ関係にある逆相波形。ノンオーバラップ時間を持たない設定も可能）

注　*　TIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 10.53　相補 PWM モード時のレジスタ設定

チャネル	カウンタ／レジスタ	説明	CPU からの読み出し／書き込み
3	TCNT_3	デッドタイムレジスタに設定した値からカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_3	TCNT_3 の上限値を設定（キャリア周期の 1/2＋デッドタイム）	TRWER の設定*によりマスク可能
	TGRB_3	PWM 出力 1 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_3	TGRA_3 のバッファレジスタ	常に読み出し／書き込み可能
	TGRD_3	PWM 出力 1/TGRB_3 のバッファレジスタ	常に読み出し／書き込み可能
4	TCNT_4	H'0000 を初期設定しカウントアップスタート	TRWER の設定*によりマスク可能
	TGRA_4	PWM 出力 2 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRB_4	PWM 出力 3 のコンペアレジスタ	TRWER の設定*によりマスク可能
	TGRC_4	PWM 出力 2/TGRA_4 のバッファレジスタ	常に読み出し／書き込み可能
	TGRD_4	PWM 出力 3/TGRB_4 のバッファレジスタ	常に読み出し／書き込み可能

チャネル	カウンタ／レジスタ	説明	CPUからの読み出し／書き込み
タイマデッドタイムデータレジスタ（TDDR）		TCNT_4とTCNT_3のオフセット値（デッドタイムの値）を設定	TRWERの設定*によりマスク可能
タイマ周期データレジスタ（TCDR）		TCNT_4の上限値の値を設定（キャリア周期の1/2）	TRWERの設定*によりマスク可能
タイマ周期バッファレジスタ（TCBR）		TCDRのバッファレジスタ	常に読み出し／書き込み可能
サブカウンタ（TCNTS）		デッドタイム生成のためのサブカウンタ	読み出しのみ可能
テンポラリレジスタ1（TEMP1）		PWM出力1/TGRB_3のテンポラリレジスタ	読み出し／書き込み不可
テンポラリレジスタ2（TEMP2）		PWM出力2/TGRA_4のテンポラリレジスタ	読み出し／書き込み不可
テンポラリレジスタ3（TEMP3）		PWM出力3/TGRB_4のテンポラリレジスタ	読み出し／書き込み不可

注　*　TRWER（タイマリードライトイネーブルレジスタ）の設定によりアクセスの許可／禁止が可能です。

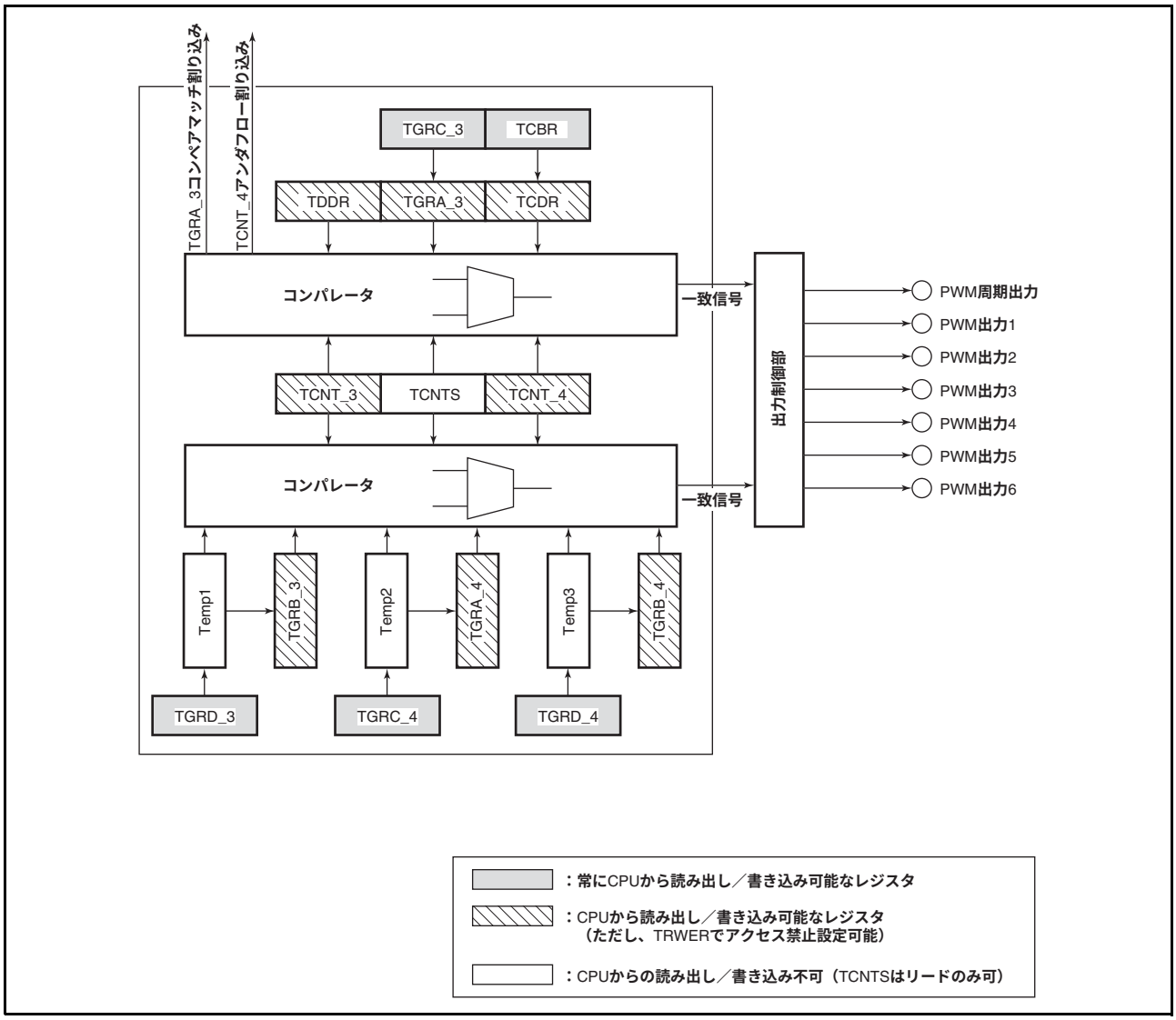


図 10.37　相補 PWM モード時のチャネル 3、4 ブロック図

(1)　相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 10.38 に示します。

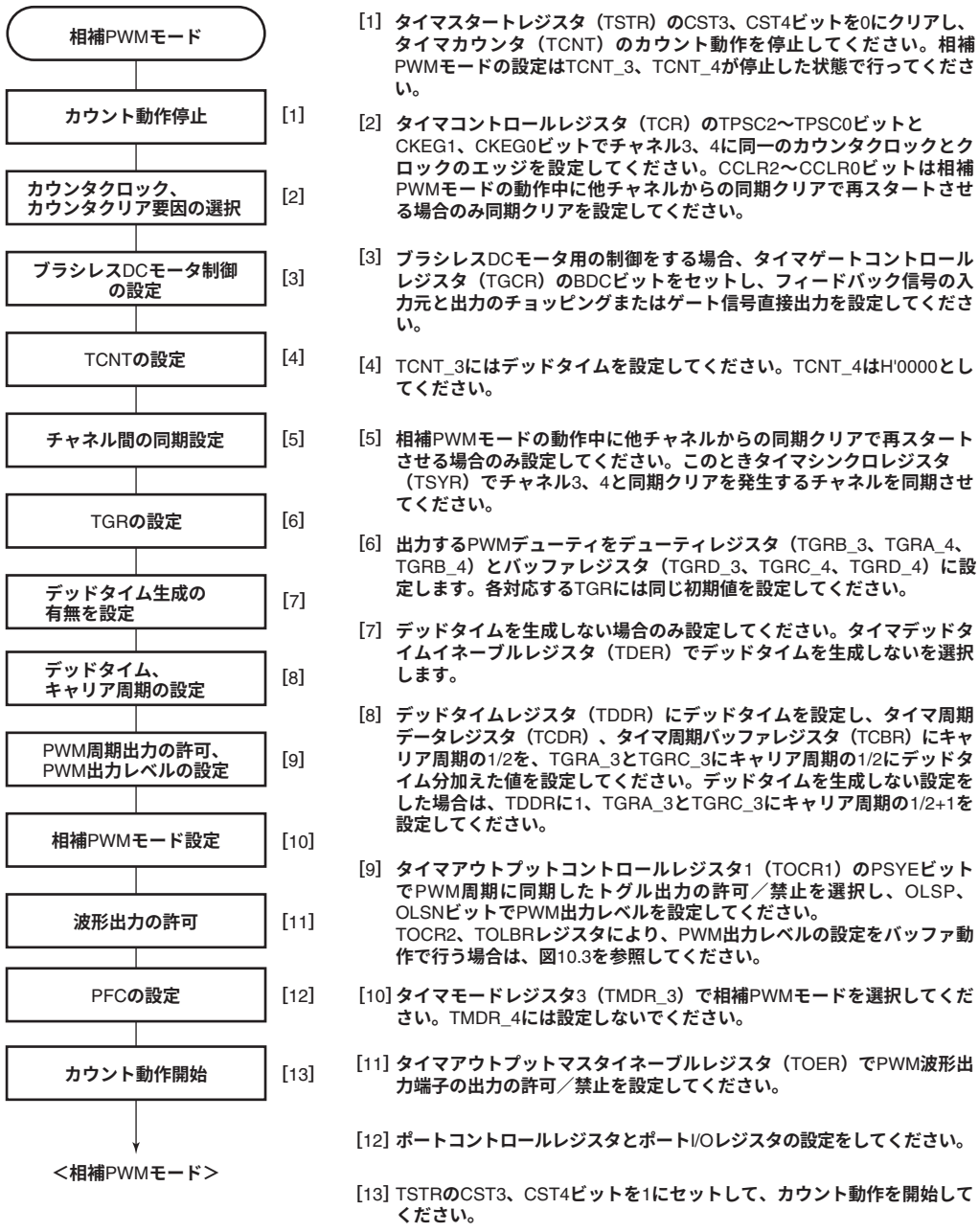


図 10.38　相補 PWM モードの設定手順例

(2)　相補 PWM モードの動作概要

相補 PWM モードでは、6 相の PWM 出力が可能です。**図 10.39** に相補 PWM モードのカウンタの動作を示します。**図 10.40** に相補 PWM モードの動作例を示します。

(a)　カウンタの動作

相補 PWM モードでは、TCNT_3、TCNT_4 および TCNTS の 3 本のカウンタがアップダウンカウント動作を行います。

TCNT_3 は、相補 PWM モードに設定され TSTR の CST ビットが 0 のとき、TDDR に設定された値が自動的に初期値として設定されます。

CST ビットが 1 に設定されると、TGRA_3 に設定された値までアップカウント動作を行い、TGRA_3 と一致するとダウンカウントに切り替わります。その後、TDDR と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、TCNT_4 は、初期値として H'0000 を設定します。

CST ビットが 1 に設定されると、TCNT_3 に同期して動作しアップカウントを行い、TCDR と一致するとダウンカウントに切り替わります。この後、H'0000 と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTS は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。

TCNT_3、4 がアップダウンカウント時、TCNT_3 が TCDR と一致するとダウンカウントを開始し、TCNTS が TCDR と一致するとアップカウントに切り替わります。また、TGRA_3 と一致すると H'0000 にクリアされます。

TCNT_3、TCNT_4 がダウンカウント時、TCNT_4 が TDDR と一致するとアップカウントを開始し、TCNTS が TDDR と一致するとダウンカウントに切り替わります。また、H'0000 に一致すると TCNTS は TGRA_3 の値が設定されます。

TCNTS は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

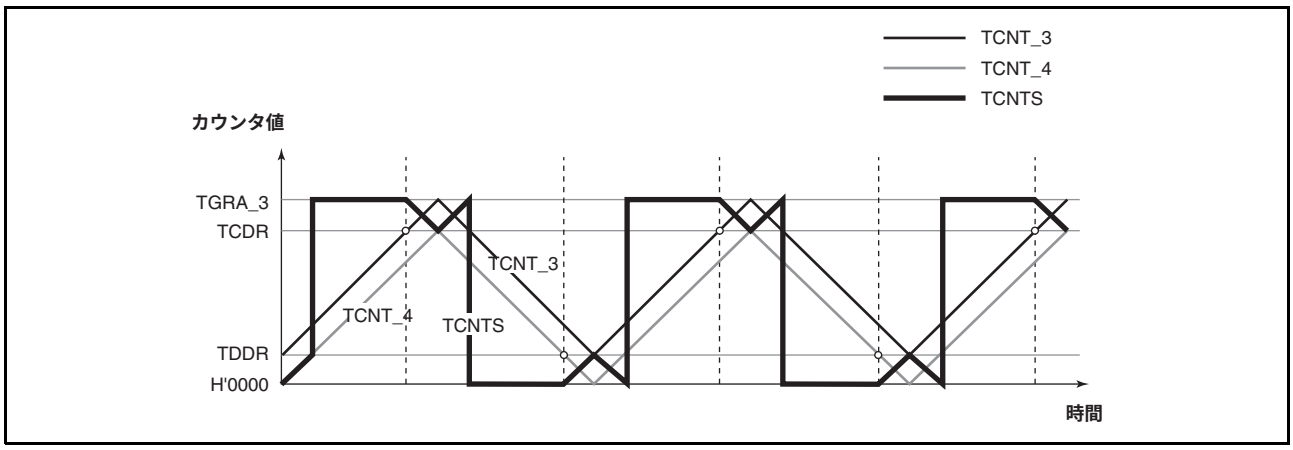


図 10.39　相補 PWM モードのカウンタ動作

(b)　レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの 9 本のレジスタを使用します。**図 10.40** に相補 PWM モードの動作例を示します。

PWM 出力を行うためにカウンタと常に比較されているレジスタが、TGRB_3、TGRA_4、TGRB_4 です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ（TOCR）の OLSN、OLSP ビットで設定した値が出力されます。

これらのコンペアレジスタのバッファレジスタが、TGRD_3、TGRC_4、TGRD_4 です。

また、バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、常時読み出し／書き込みが可能です。

バッファレジスタに書き込まれたデータは、Ta 区間では常時テンポラリレジスタに転送されます。また Tb 区間では、テンポラリレジスタには転送されません。この区間でバッファレジスタに書き込まれたデータは Tb 区間が終了後テンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb 区間が終了する TCNTS がアップカウント時に TGRA_3 が一致したとき、またはダウンカウント時に H'0000 と一致したときにコンペアレジスタに転送されます。この、テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ（TMDR）の MD3 ～ MD0 ビットで選択できます。**図 10.40** は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb（**図 10.40** では Tb1）区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1 相の出力に対して 2 本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、TCNT_3、4 および TCNTS の 3 本のカウンタとコンペアレジスタ、テンポラリレジスタの 2 本のレジスタが比較され、PWM 出力を制御します。

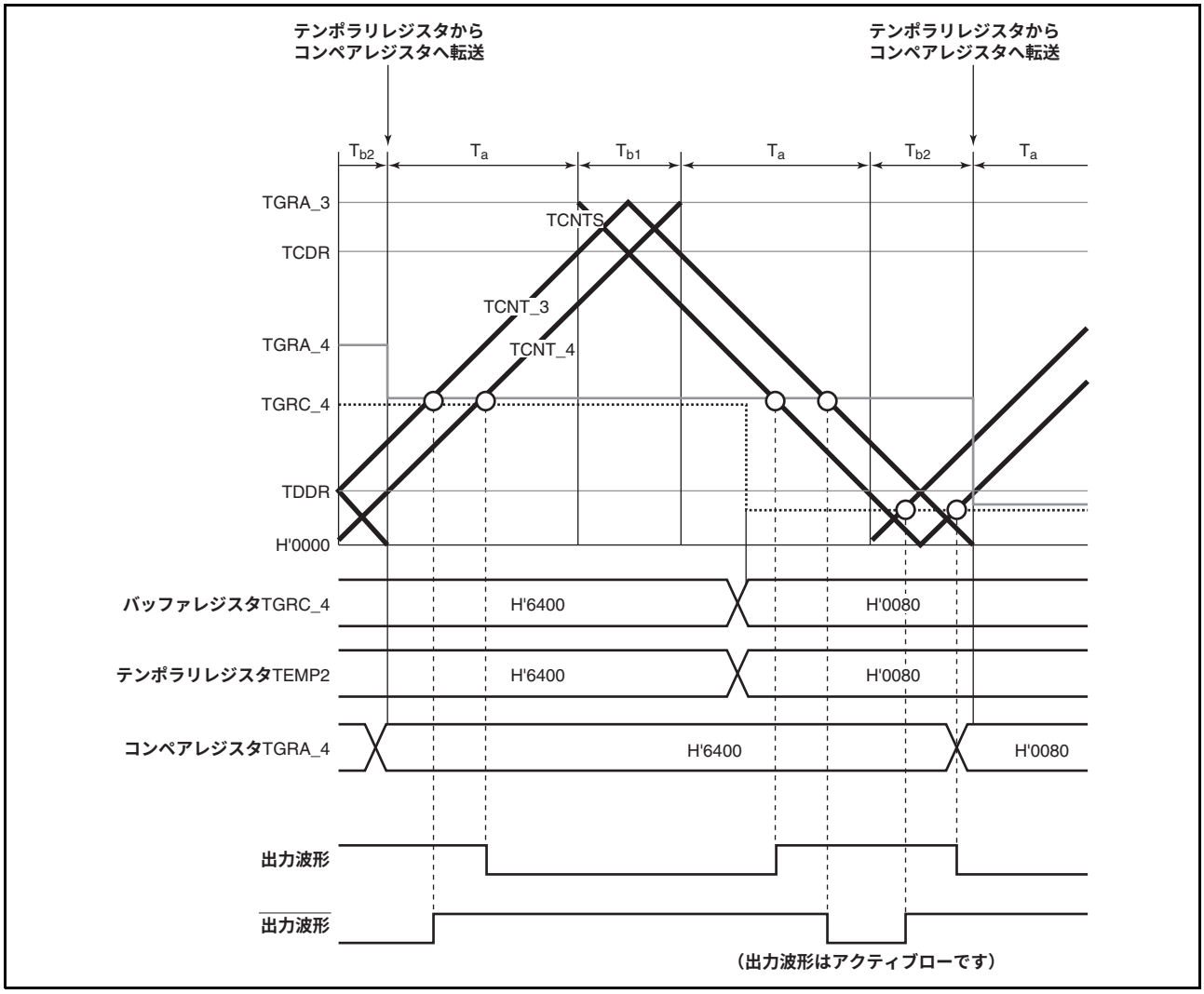


図 10.40　相補 PWM モード動作例

(c)　初期設定

相補 PWM モードでは、初期設定の必要なレジスタが 6 本あります。また、デッドタイム生成の有無を設定するレジスタが 1 本あります（デッドタイムを生成しない場合のみ設定してください）。

タイマモードレジスタ（TMDR）の MD3 ～ MD0 ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TGRC_3はTGRA_3のバッファレジスタとして動作し、PWMキャリア周期の1/2＋デッドタイムTdを設定します。タイマ周期バッファレジスタ（TCBR）は、タイマ周期データレジスタ（TCDR）のバッファレジスタとして動作し、PWM キャリア周期の 1/2 を設定します。また、タイマデッドタイムデータレジスタ（TDDR）には、デッドタイム Td を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ（TDER）の TDER ビットを 0 に設定し、TGRC_3、TGRA_3 には、PWM キャリア周期の 1/2+1 を、TDDR には 1 を設定します。

バッファレジスタ TGRD_3、TGRC_4、TGRD_4 の 3 本には、それぞれ PWM デューティの初期値を設定します。

TDDR を除く 5 本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、TCNT_4 は、相補 PWM モードに設定する前に H'0000 に設定してください。

表 10.54　初期設定の必要なレジスタとカウンタ

レジスタ／カウンタ	設定値
TGRC_3	PWM キャリア周期の 1/2 ＋デッドタイム Td （TDER でデッドタイム生成をなしに設定した場合は PWM キャリア周期の 1/2+1）
TDDR	デッドタイム Td（TDER でデッドタイム生成をなしに設定した場合 1）
TCBR	PWM キャリア周期の 1/2
TGRD_3、TGRC_4、TGRD_4	各相の PWM デューティの初期値
TCNT_4	H'0000

注.　TGRC_3 の設定値は、必ず、TCBR に設定する PWM キャリア周期の 1/2 の値と TDDR に設定するデッドタイム Td の値の和としてください。ただし、TDER でデッドタイム生成をなしに設定した場合は、PWM キャリア周期の 1/2+1 としてください。

(d)　PWM 出力レベルの設定

相補 PWM モードでは、PWM パルスの出力レベルをタイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2（TOCR2）の OLS1P ～ OLS3P、OLS1N ～ OLS3N ビットで設定します。

出力レベルは、6 相出力の正相の 3 相、逆相の 3 相ごとに設定できます。

なお、出力レベルの設定／変更は、相補 PWM モードを解除した状態で行ってください。

(e)　デッドタイムの設定

相補 PWM モードでは、正相と逆相がノンオーバラップの関係にある PWM パルスを出力します。また、このノンオーバラップ時間をデッドタイム時間と呼びます。

ノンオーバラップ時間は、タイマデッドタイムデータレジスタ（TDDR）に設定します。TDDR に設定した値が、TCNT_3 のカウンタスタート値となり、TCNT_3 と TCNT_4 のノンオーバラップを生成します。TDDR の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f)　デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ（TDER）の TDER ビットを 0 に設定します。TDER は、TDER ＝ 1 の状態で TDER をリード後、TDER に 0 をライトしたときのみ、0 に設定できます。

TGRA_3、TGRC_3 には PWM キャリア周期の 1/2+1 を設定し、タイマデッドタイムデータレジスタ（TDDR）には 1 を設定します。

デッドタイムを生成しない設定にすると、デッドタイムなしの PWM 波形を出力できます。**図 10.41** にデッドタイムを生成しない場合の動作例を示します。

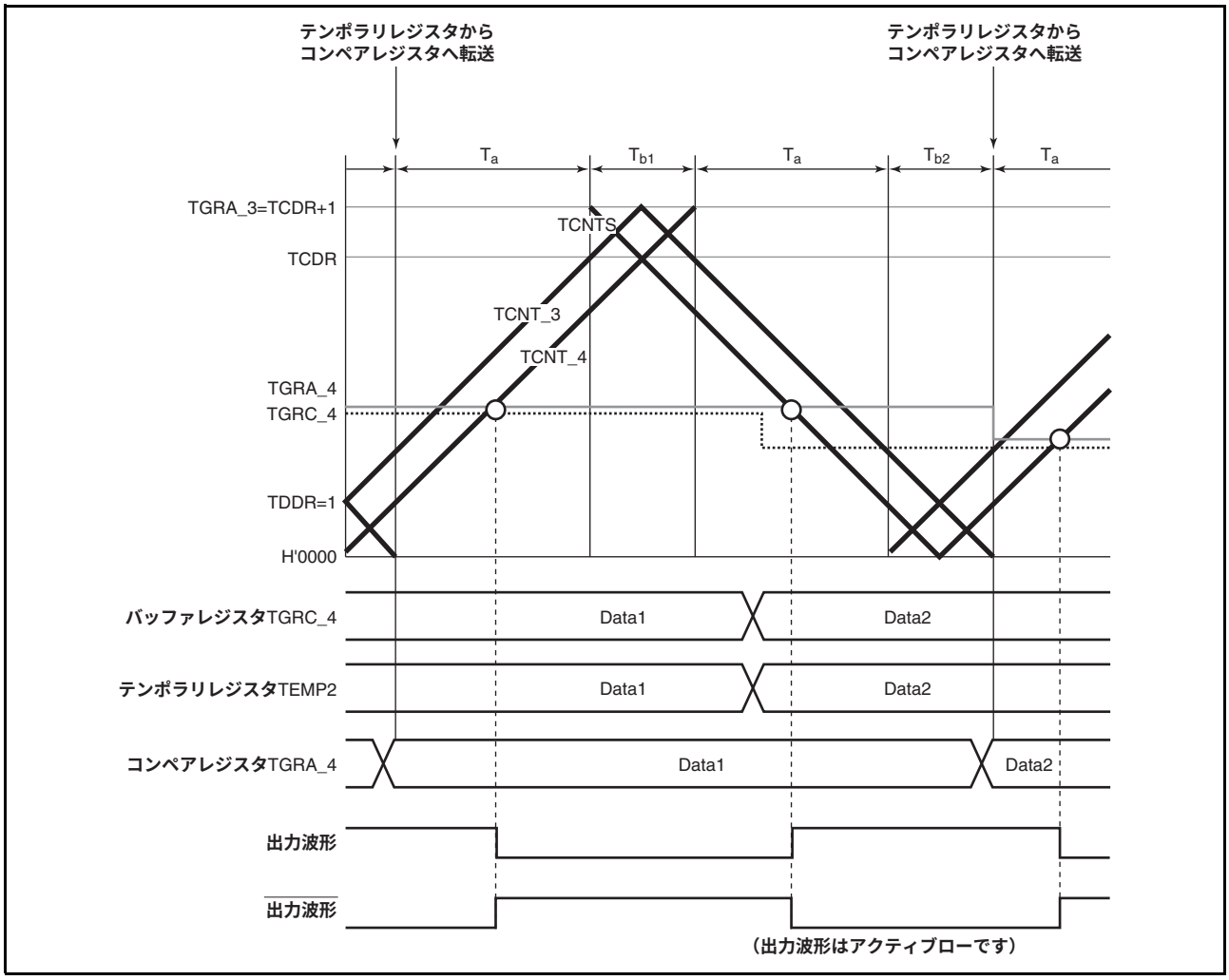


図 10.41　デッドタイムを生成しない場合の動作例

(g)　PWM 周期の設定

相補 PWM モードでは、PWM パルスの周期を TCNT_3 の上限値を設定する TGRA_3 と TCNT_4 の上限値を設定する TCDR の 2 つのレジスタに設定します。これらの 2 つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり：TGRA_3 の設定値＝ TCDR の設定値＋ TDDR の設定値
TCDR の設定値 > TDDR の設定値の 2 倍 + 2
デッドタイム生成なし：TGRA_3 の設定値＝ TCDR の設定値＋ 1
TCDR の設定値 > 4

また、TGRA_3、TCDR の設定は、バッファレジスタの TGRC_3、TCBR に値を設定することで行ってください。TGRC_3、TCBR に設定した値は、タイマモードレジスタ（TMDR）の MD3 ～ MD0 で選択した転送タイミングで TGRA_3、TCDR に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。**図 10.42** に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次の**「(h)　レジスタデータの更新」**の項を参照してください。

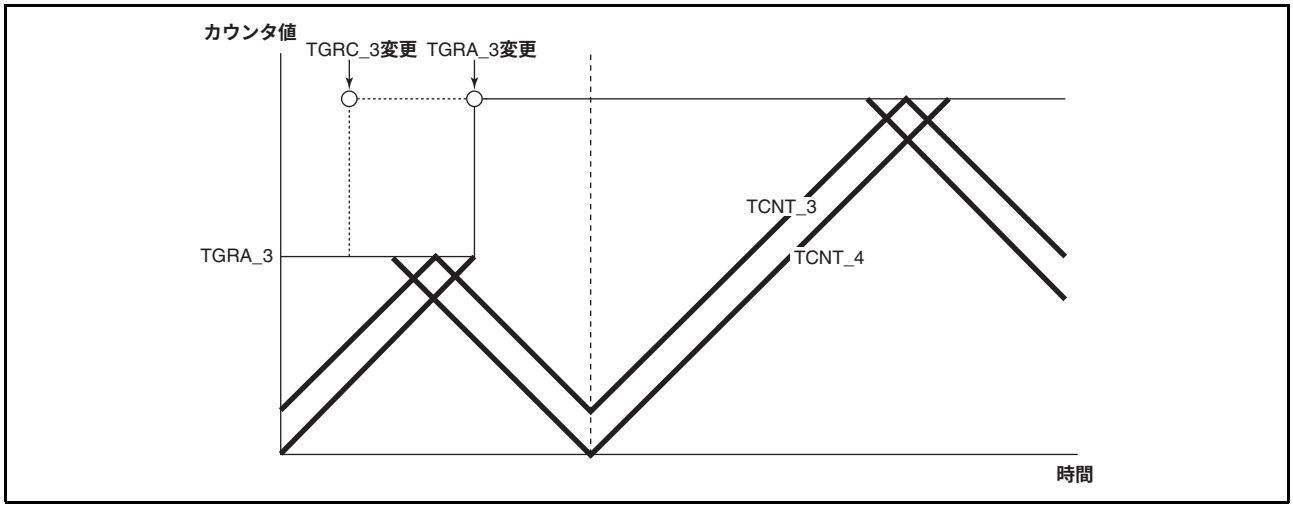


図 10.42　PWM 周期の変更例

(h)　レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用およびキャリア周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTS がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換ります。TCNTS がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTS が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、タイマモードレジスタ（TMDR）の MD3 ～ MD0 ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 10.43 に相補 PWM モード時のデータ更新例を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に必ず TGRD_4 への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、TGRD_4 に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または TGRD_4 のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、必ず TGRD_4 に書き込み動作を行ってください。またこのとき、TGRD_4 に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

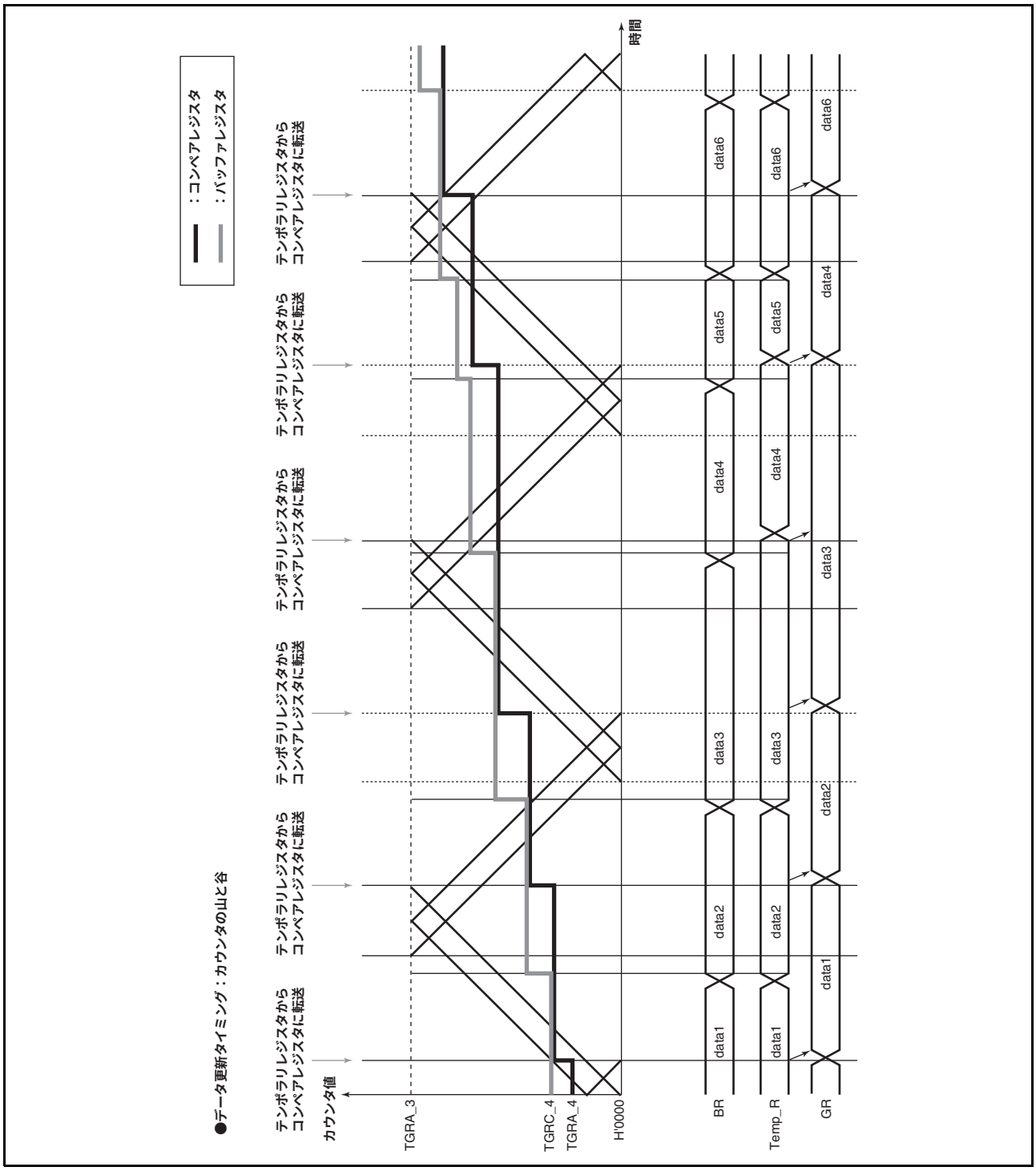


図 10.43　相補 PWM モードのデータ更新例

(i)　相補 PWM モードの初期出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ 1（TOCR1）の OLSN、OLSP ビットの設定または、タイマアウトプットコントロールレジスタ 2（TOCR2）の OLS1N ～ OLS3N、OLS1P ～ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM パルスのノンアクティブレベルで、タイマモードレジスタ（TMDR）で相補 PWM モードを設定してから TCNT_4 がデッドタイムレジスタ（TDDR）に設定された値より大きくなるまで出力されます。図 10.44 に相補 PWM モードの初期出力例を示します。

また、PWM デューティの初期値が TDDR の値より小さい場合の波形例を図 10.45 に示します。

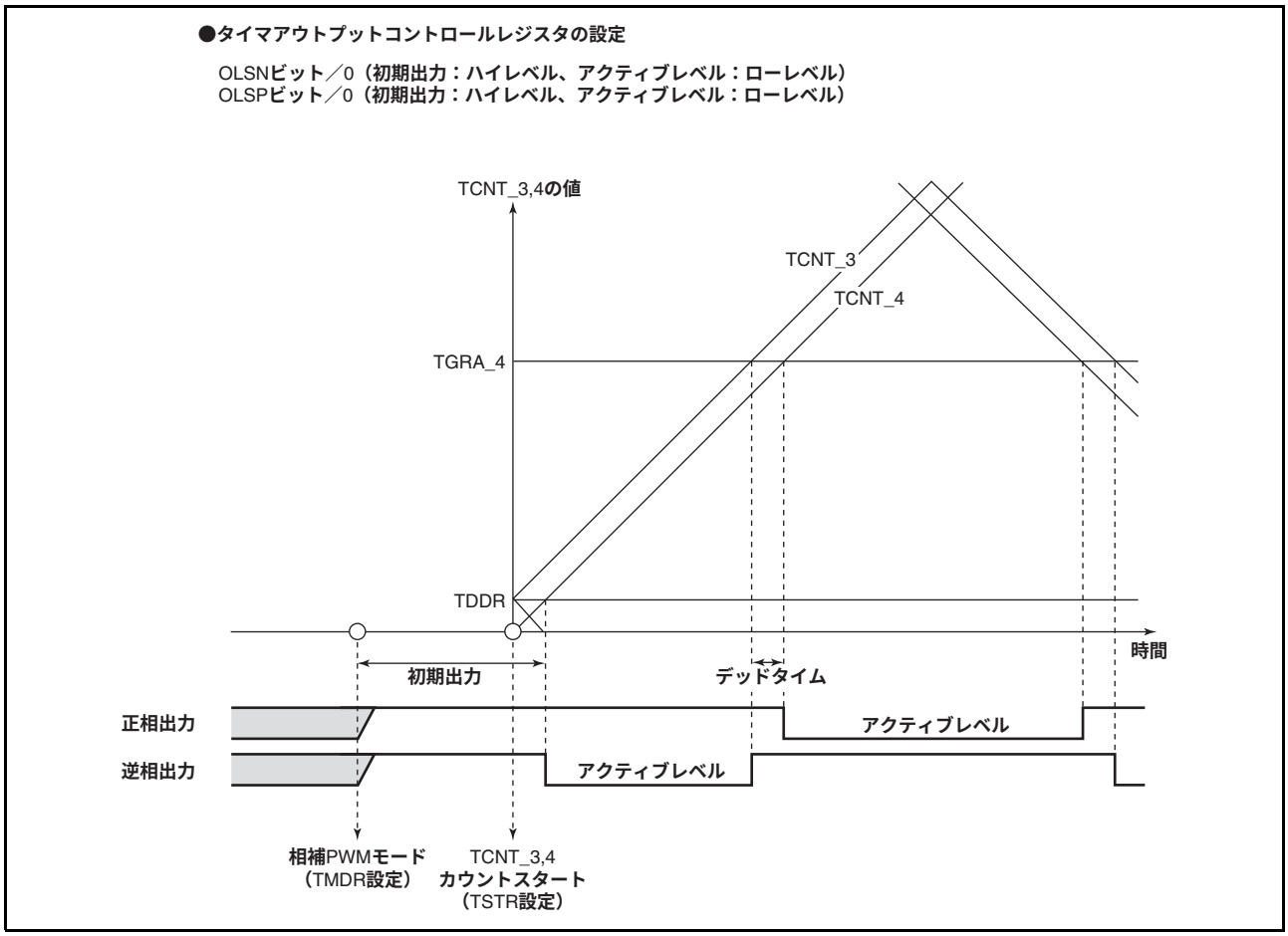


図 10.44　相補 PWM モードの初期出力例（1）

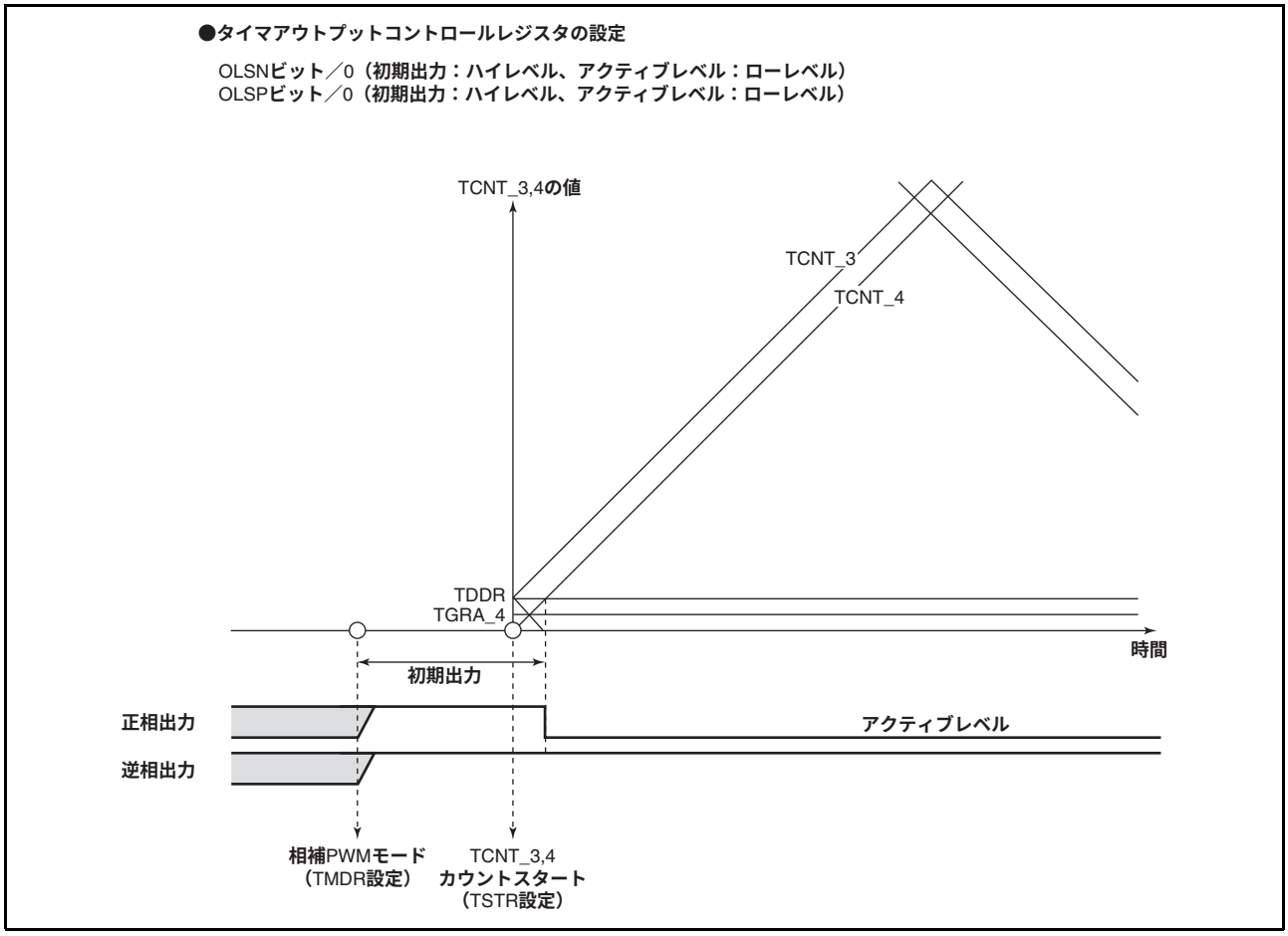


図 10.45　相補 PWM モードの初期出力例（2）

(j)　相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは、正相と逆相がノンオーバラップ時間を持った PWM 波形を 3 相出力します。このノンオーバラップ時間をデッドタイムと呼びます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTS がカウント動作する期間では、0 ～ 100% まで連続した PWM パルスを作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相／逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。**図 10.46 ～図 10.48** に相補 PWM モードの波形生成例を示します。

正相／逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、**図 10.46** に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 10.47 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 10.48 に示す例では、c のコンペアマッチより前にテンポラリレジスタの新しいデータとのコンペアマッチ a' が発生しますが、正相を OFF する c が起こるまで他のコンペアマッチは無視されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

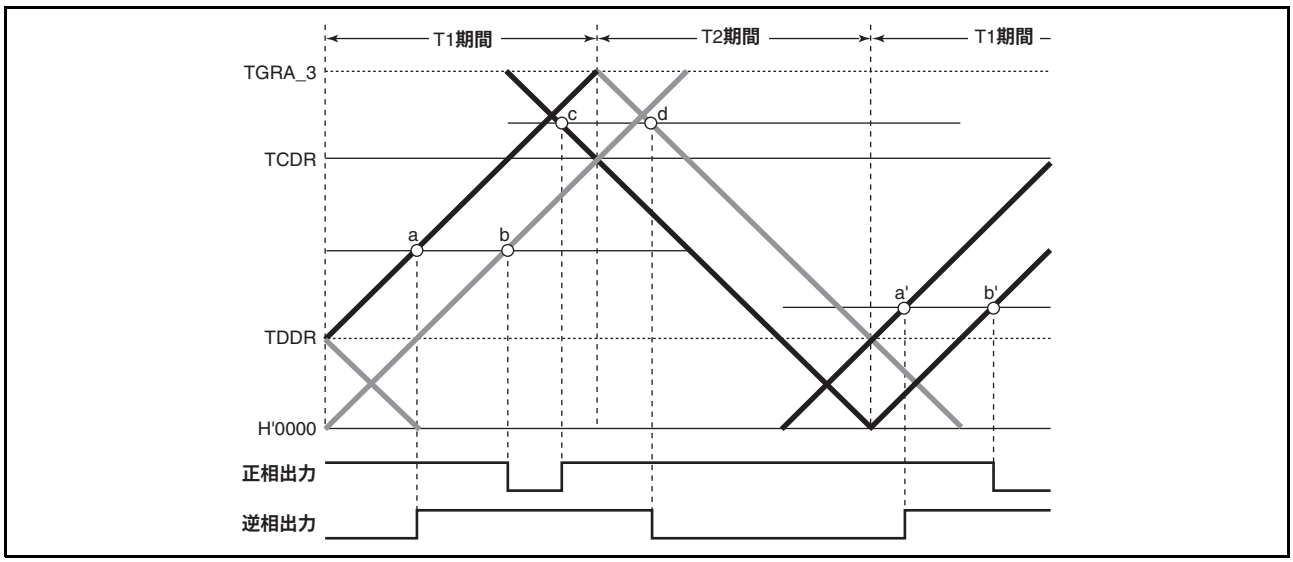


図 10.46　相補 PWM モード波形出力例（1）

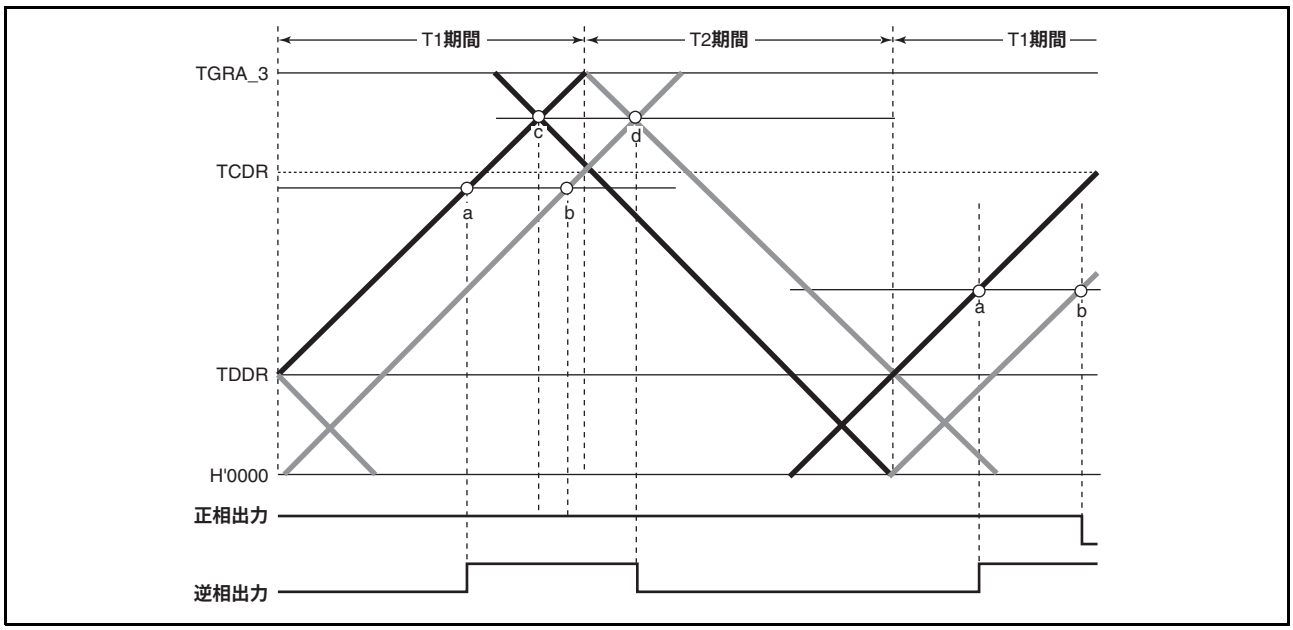


図 10.47　相補 PWM モード波形出力例（2）

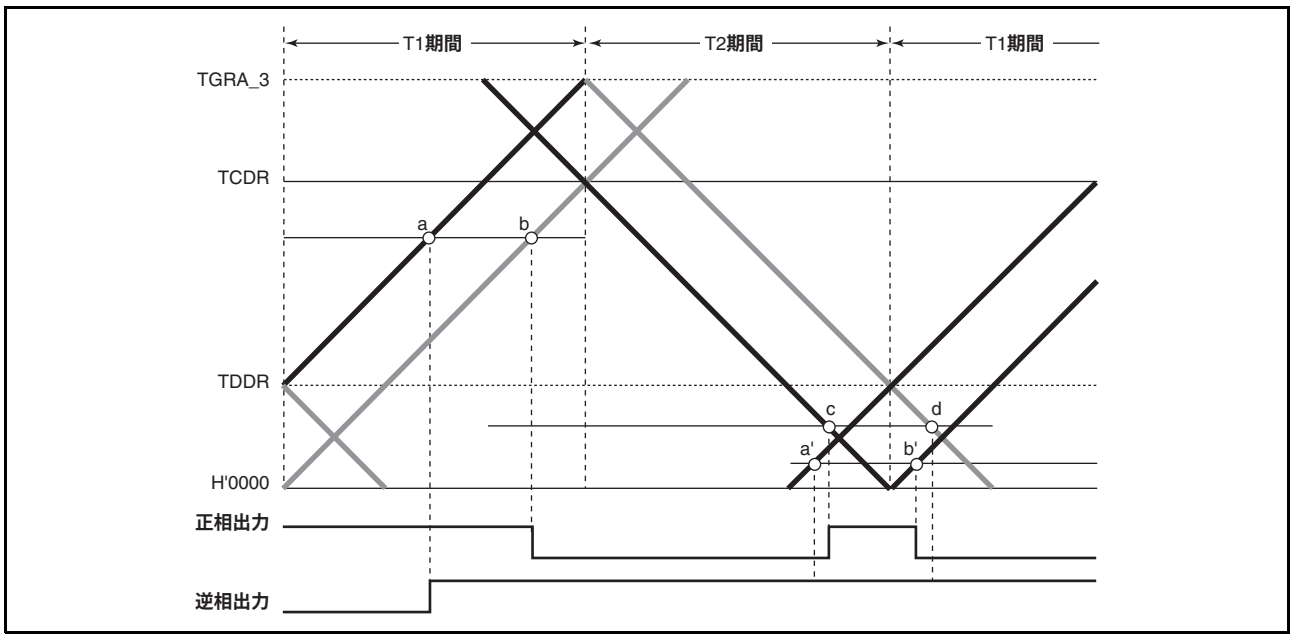


図 10.48　相補 PWM モード波形出力例（3）

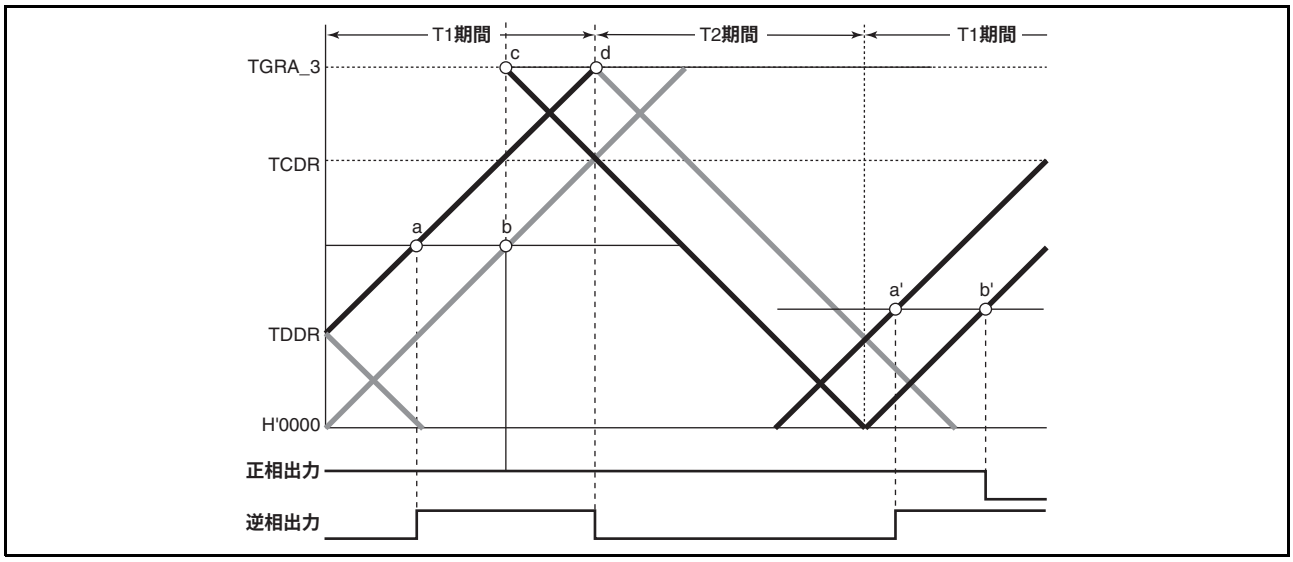


図 10.49　相補 PWM モード 0%、100% 波形出力例（1）

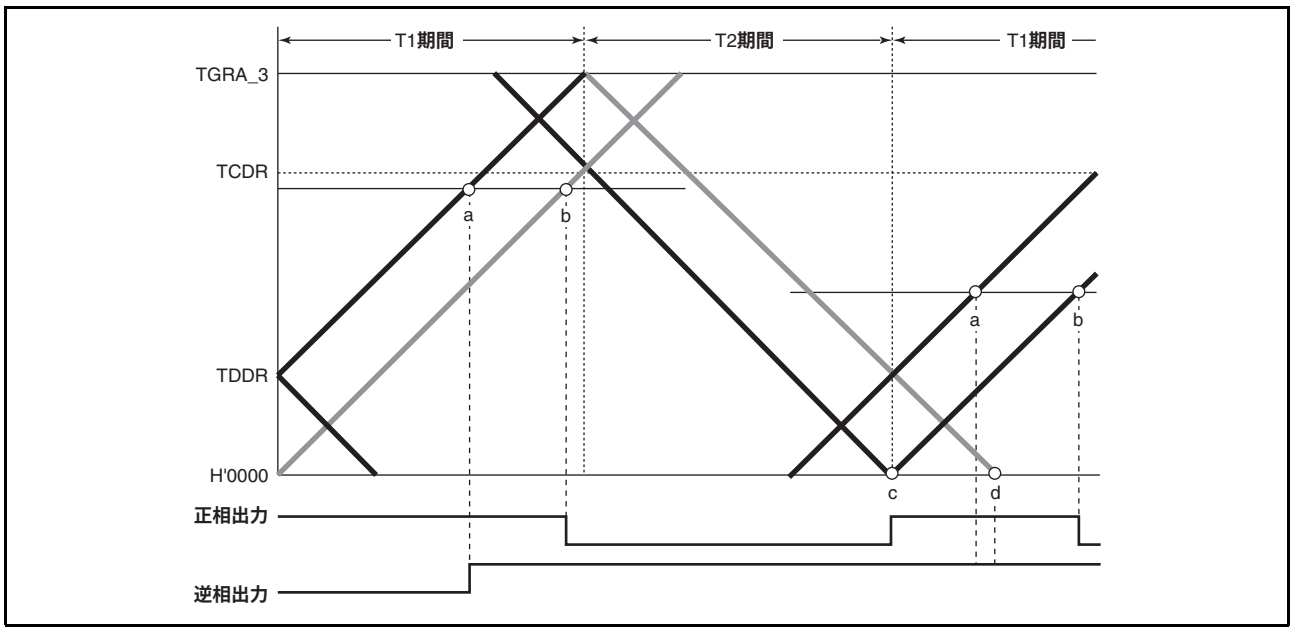


図 10.50　相補 PWM モード 0%、100% 波形出力例（2）

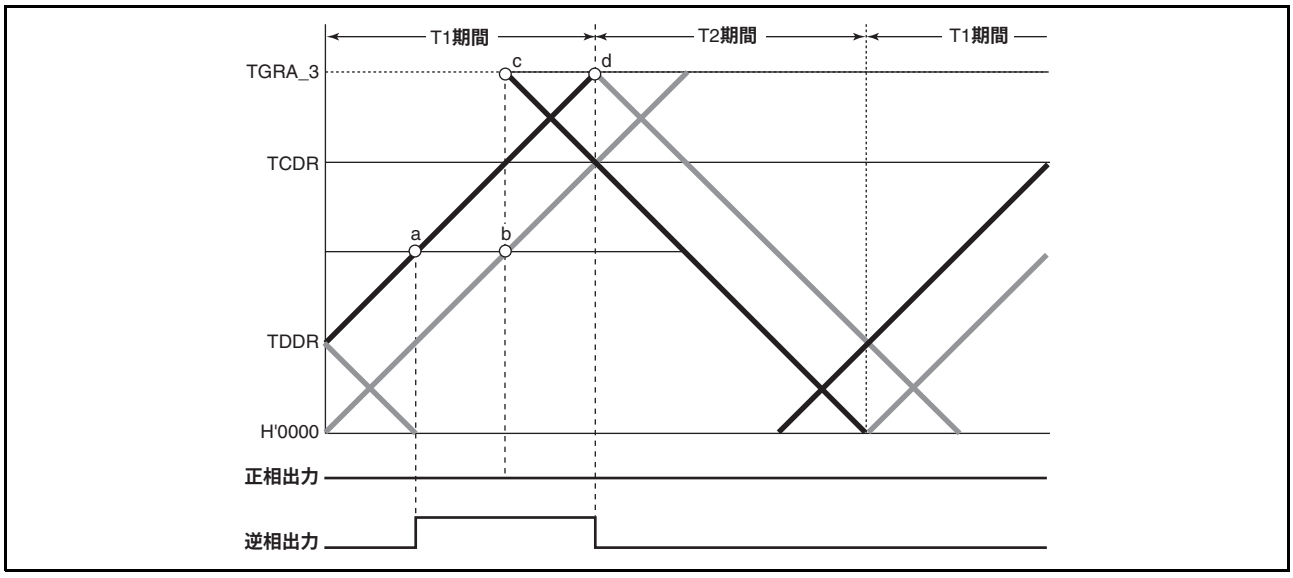


図 10.51　相補 PWM モード 0%、100% 波形出力例（3）

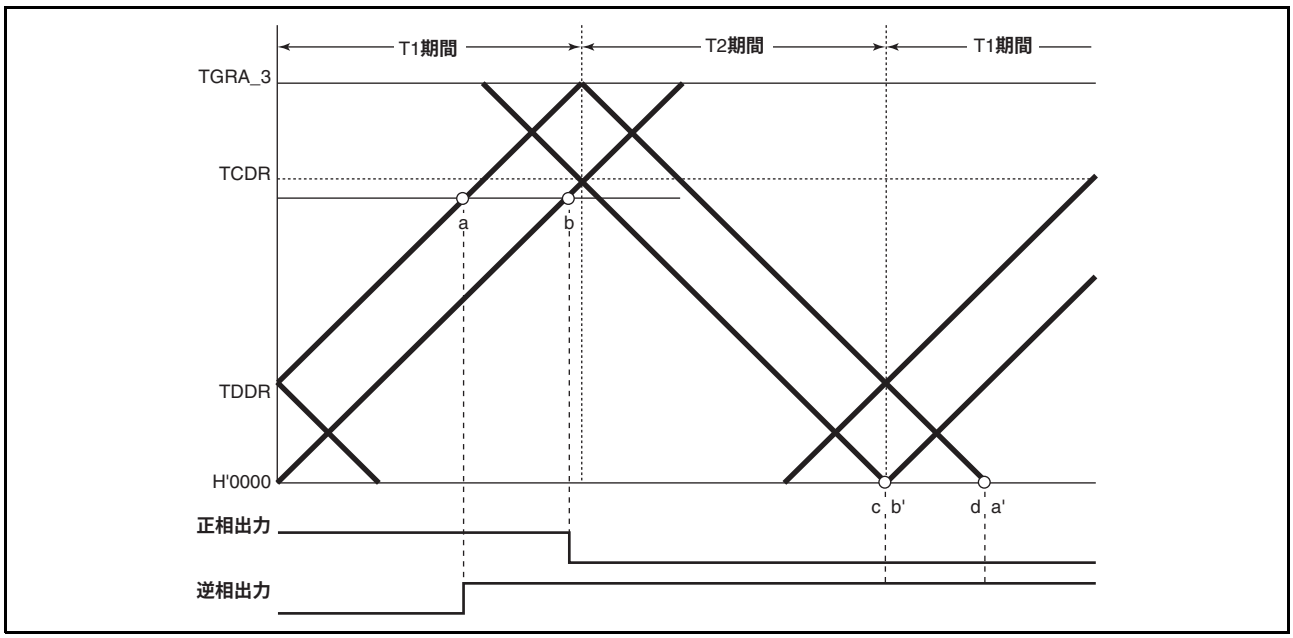


図 10.52　相補 PWM モード 0%、100% 波形出力例（4）

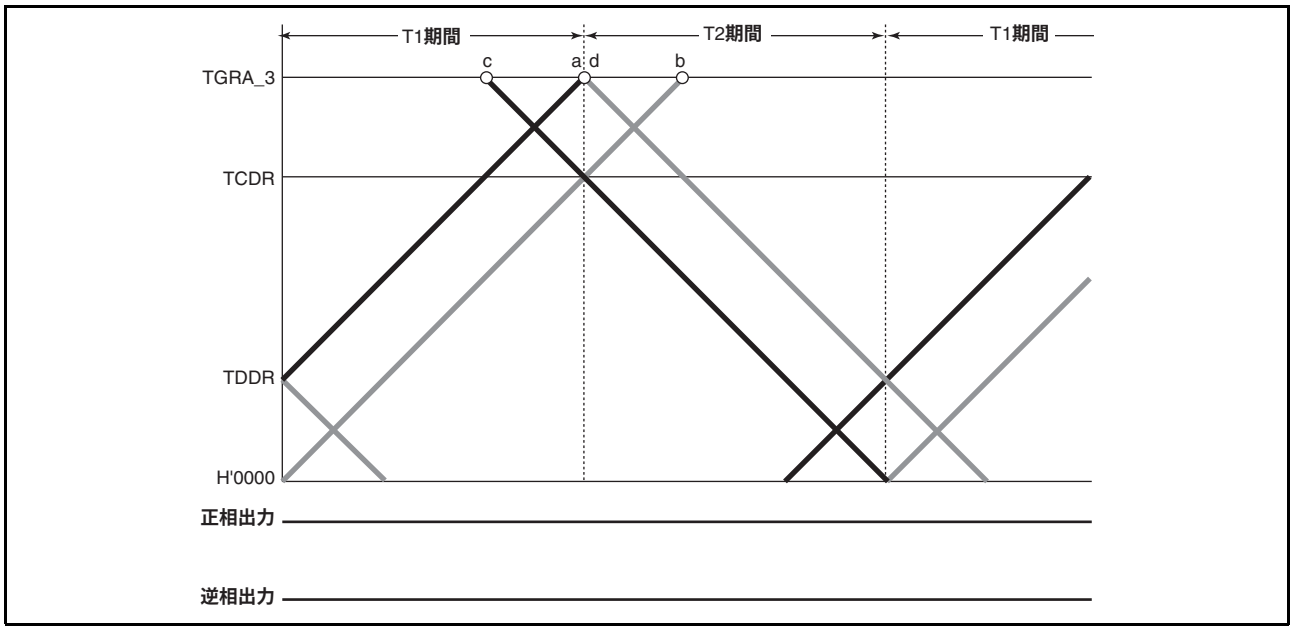


図 10.53　相補 PWM モード 0%、100% 波形出力例（5）

(k)　相補 PWM モードのデューティ 0%、100% 出力

相補 PWM モードでは、デューティ 0%、100% を任意に出力可能です。図 10.49 ～図 10.53 に出力例を示します。

デューティ 100% 出力は、コンペアレジスタの値を H'0000 に設定すると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ 0% 出力は、コンペアレジスタの値を TGRA_3 の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視をされ波形は変化しません。

(l)　PWM 周期に同期したトグル出力

相補 PWM モードでは、タイマアウトプットコントロールレジスタ（TOCR）の PSYE ビットを 1 にセットすることにより PWM キャリア周期に同期したトグル出力が可能です。トグル出力の波形例を図 10.54 に示します。

この出力は、TCNT_3 と TGRA_3 のコンペアマッチと TCNT_4 と H'0000 のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、TIOC3A 端子です。また、初期出力は 1 出力です。

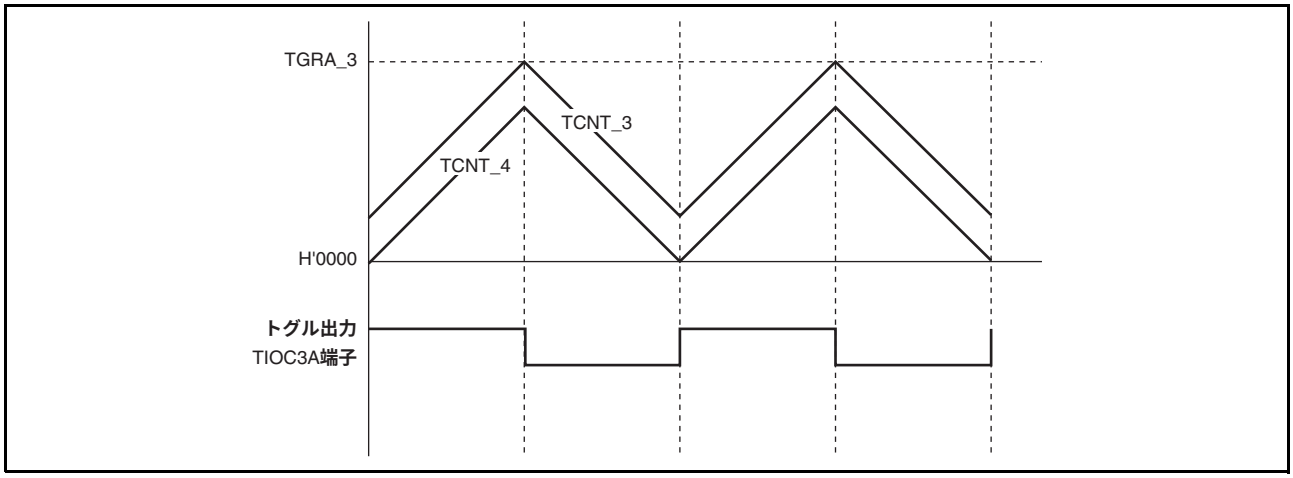


図 10.54　PWM 出力に同期したトグル出力波形例

(m)　他のチャネルによるカウンタクリア

相補 PWM モード時、タイマシンクロレジスタ（TSYR）により他のチャネルとの同期モードに設定し、またタイマコントロールレジスタ（TCR）の CCLR2 ～ CCLR0 により同期クリアを選択することにより他のチャネルによる TCNT_3、TCNT_4 および TCNTS のクリアをすることが可能です。

図 10.55 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

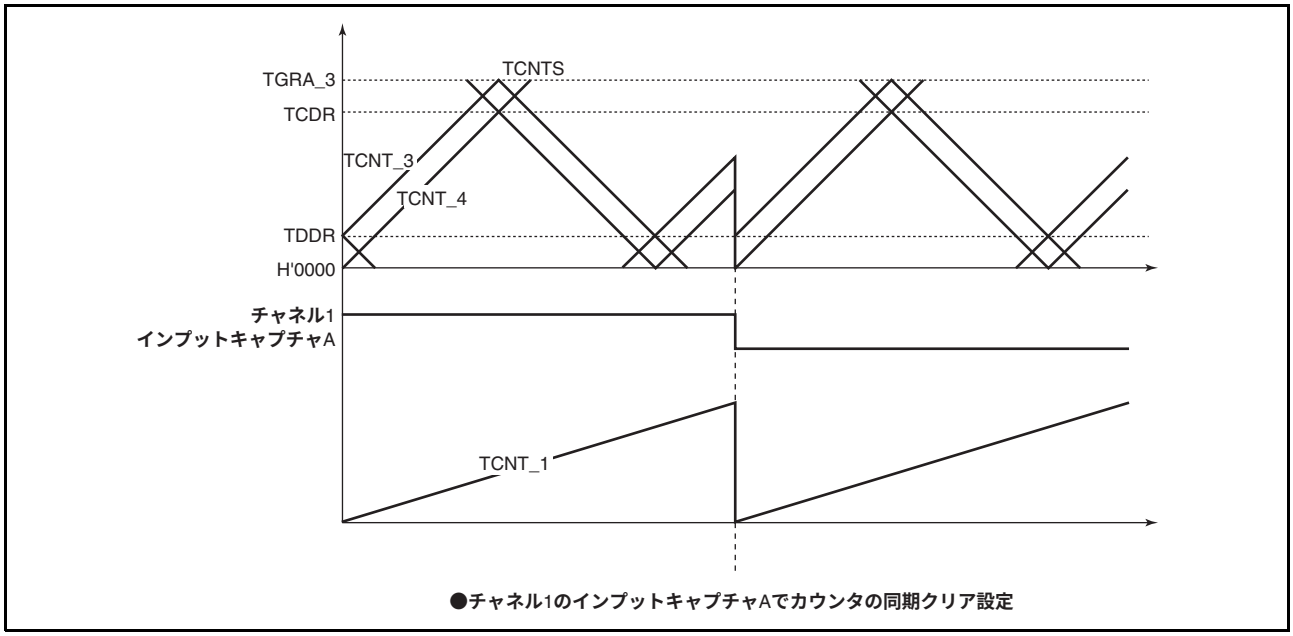


図 10.55　他のチャネルに同期したカウンタクリア

(n)　相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCR レジスタの WRE ビットを 1 に設定することにより、相補 PWM モードの谷の Tb 区間で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティの変化を抑止することができます。

WRE ビットを 1 に設定することで初期出力を抑止することができるのは、同期クリアが**図 10.56** の⑩、⑪のような谷の Tb 区間で入ってきたときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR レジスタの OLS ビットで設定した初期値が出力されます。また、谷の Tb 区間であっても、**図 10.56** の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

初期出力を抑止する場合、コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デットタイムデータレジスタ TDDR の 2 倍以上になるように設定してください。TDDR が 2 倍未満の状態で同期クリアすると、PWM 出力のデッドタイムが短くなる（消失）、もしくは、初期出力の抑止期間中に PWM 逆相出力から、不正なアクティブレベルが出力される場合があります。詳細は、**「10.7.23　相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項」**を参照してください。

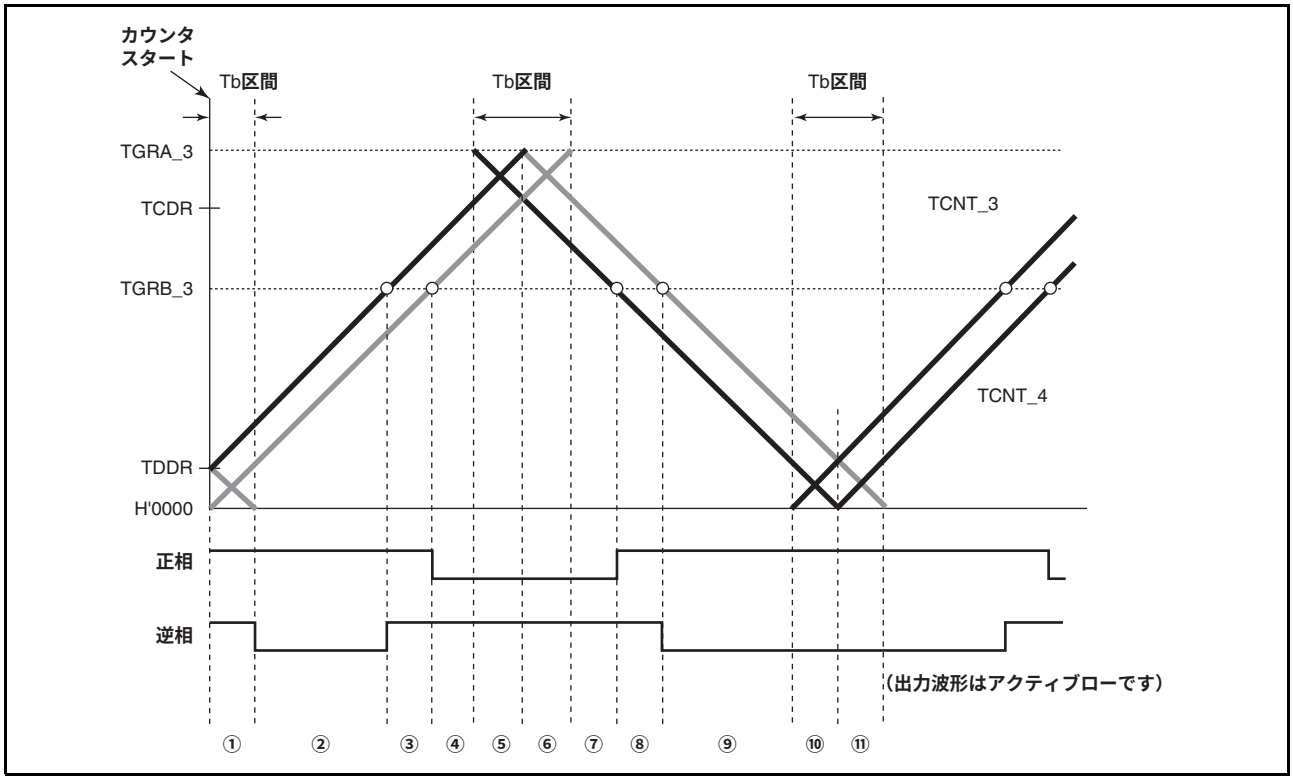


図 10.56　同期カウンタクリアタイミング

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

  相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 10.57 に示します。

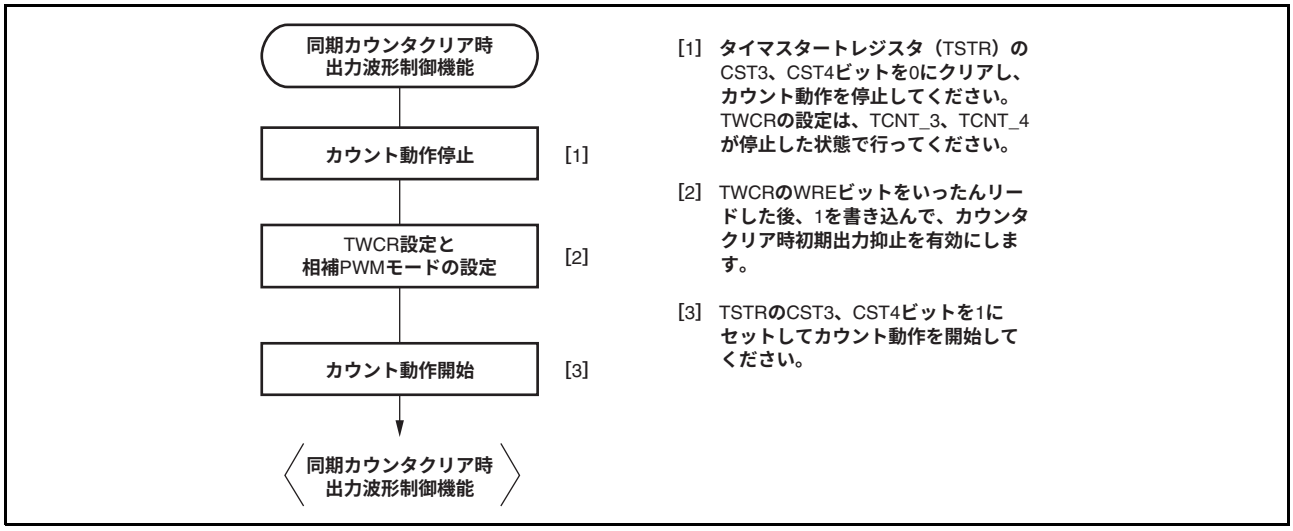


図 10.57　相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

  図 10.58 ～図 10.61 に、TWCR の WRE ビットを 1 に設定した状態で本モジュールを相補 PWM 動作をさせ、同期カウンタクリアをした場合の動作例を示します。ここで、図 10.58 ～図 10.61 の同期カウンタクリアのタイミングは、それぞれ図 10.56 の③、⑥、⑧、⑪で示したタイミングです。

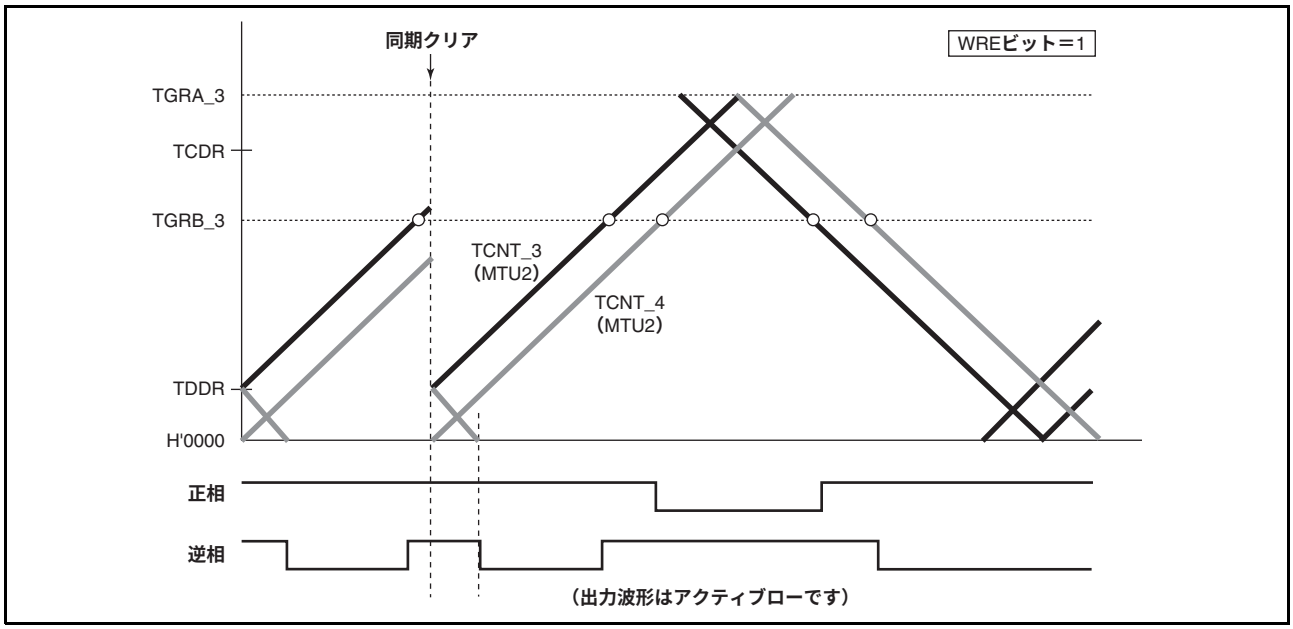


図 10.58　アップカウント中のデッドタイム時に同期クリアが発生した場合
（図 10.56 のタイミング③、本モジュールの TWCR レジスタの WRE ビット＝ 1）

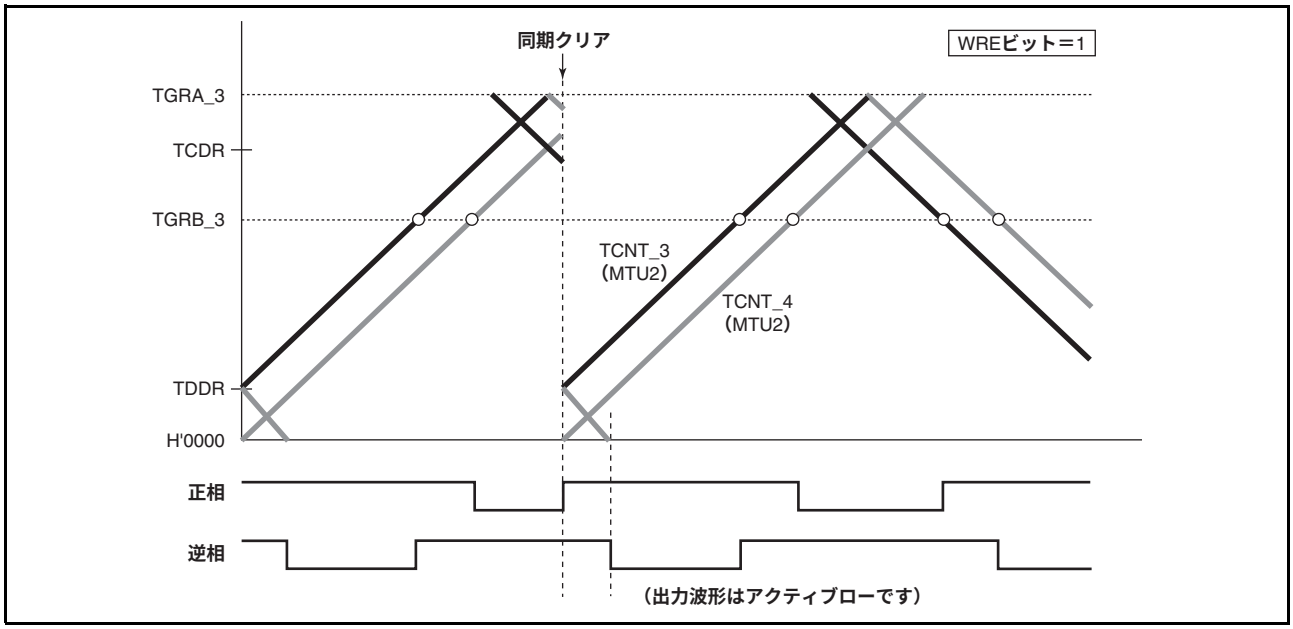


図 10.59　山の Tb 区間で同期クリアが発生した場合
（図 10.56 のタイミング⑥、本モジュールの TWCR レジスタの WRE ビット＝ 1）

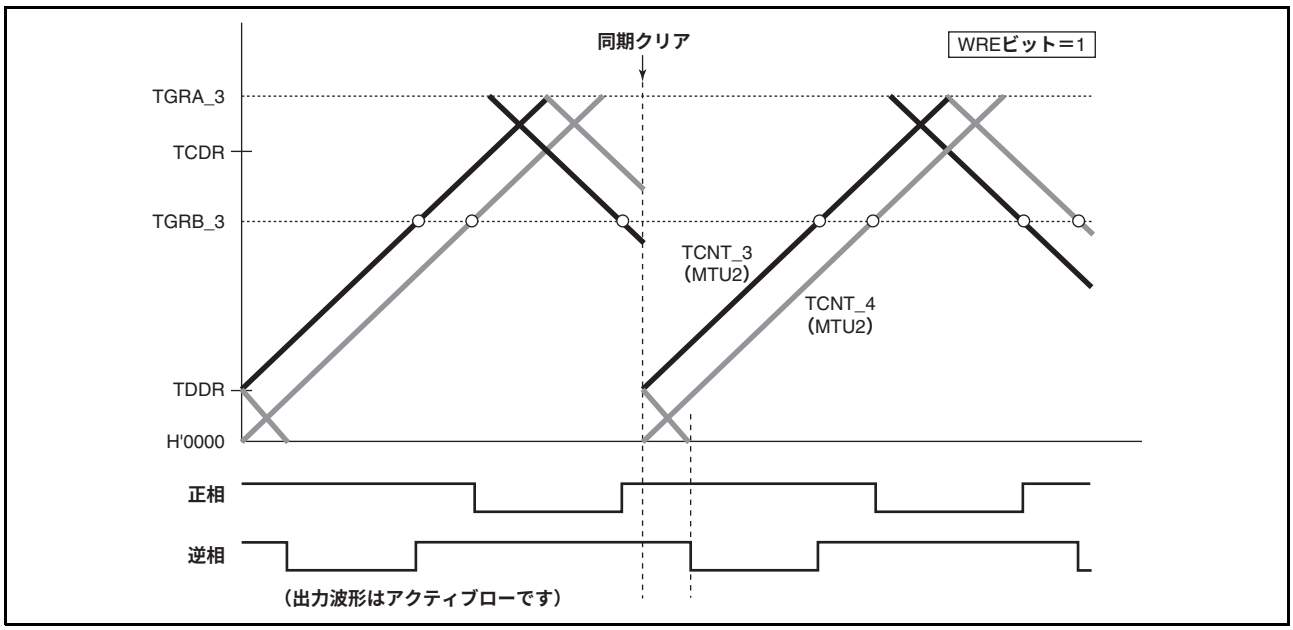


図 10.60　ダウンカウント中のデッドタイム時に同期クリアが発生した場合
（図 10.56 のタイミング⑧、TWCR レジスタの WRE ビット＝ 1）

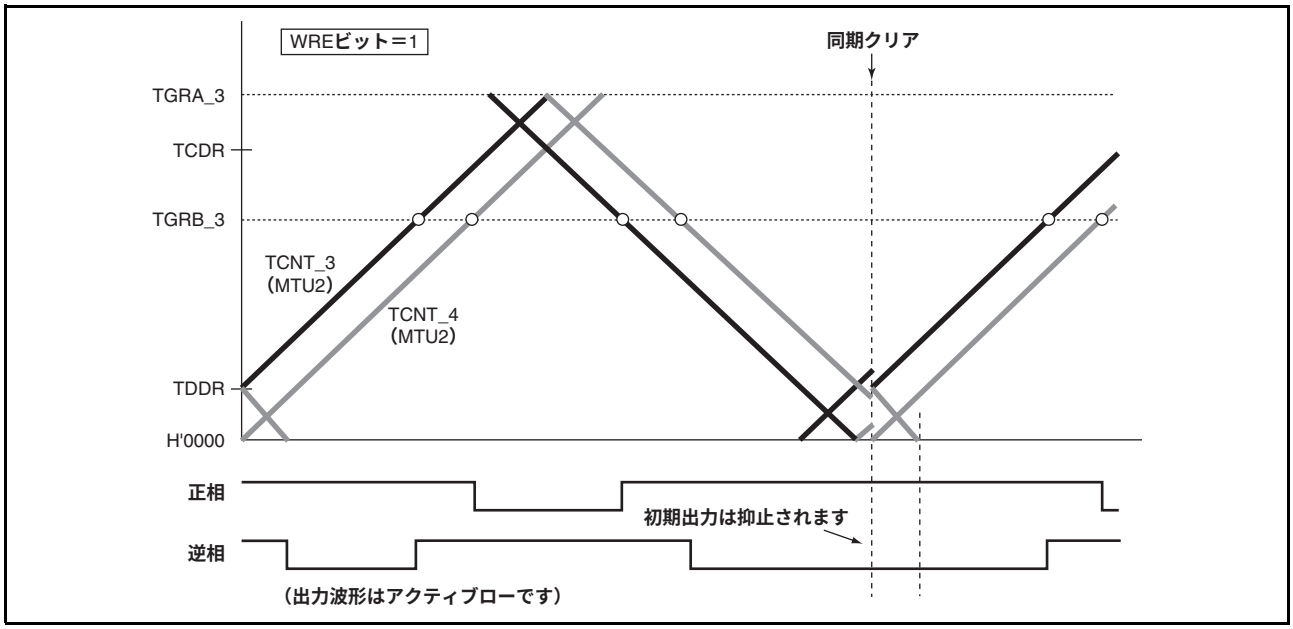


図 10.61　谷の Tb 区間で同期クリアが発生した場合
（図 10.56 のタイミング⑪、TWCR レジスタの WRE ビット＝ 1）

(o)　TGRA_3 のコンペアマッチによるカウンタクリア

相補 PWM モードでは、タイマ波形コントロールレジスタ（TWCR）の CCE ビットを設定することにより、TGRA_3 のコンペアマッチで TCNT_3、TCNT_4 および TCNTS をクリアすることが可能です。

図 10.62 に動作例を示します。

注 1.　相補 PWM モード 1（山で転送）でのみ使用してください。
注 2.　他のチャネルとの同期クリア機能に設定しないでください。（タイマシンクロレジスタ（TSYR）の SYNC0 ～ SYNC4 ビットを 1 に設定しないでください）
注 3.　PWM デューティは、H'0000 を設定しないでください。
注 4.　タイマアウトプットコントロールレジスタ 1（TOCR1）の PSYE ビットを 1 に設定しないでください。

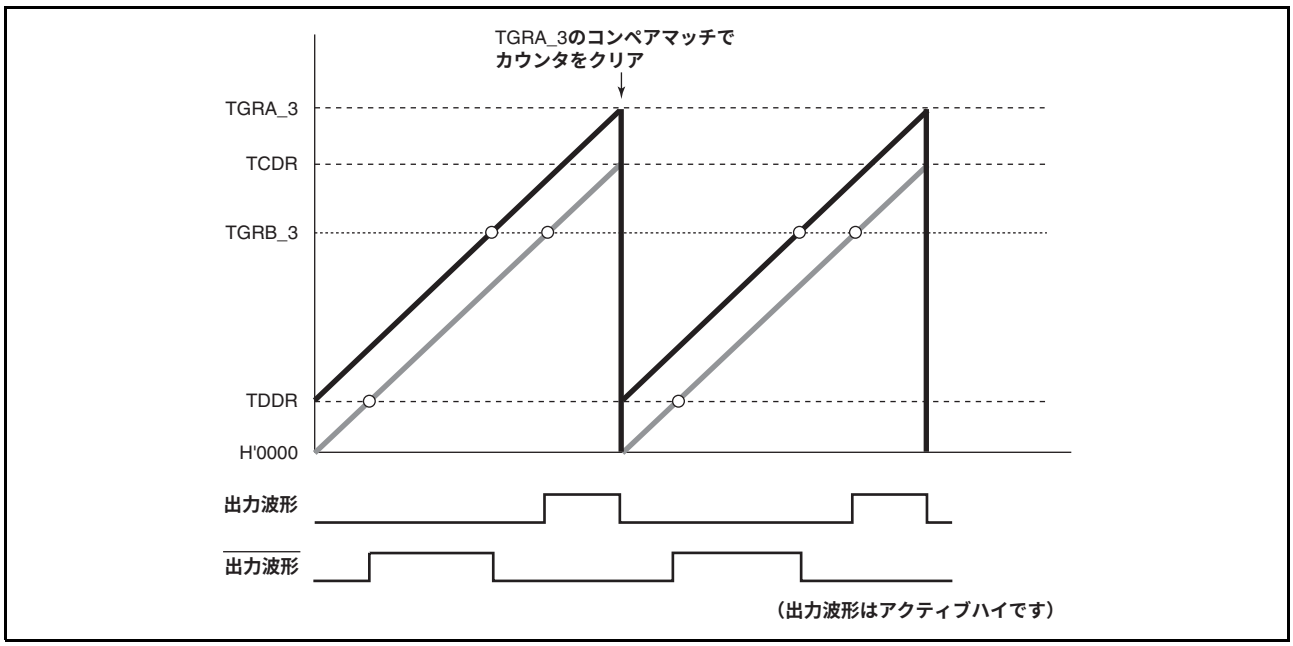


図 10.62　TGRA_3 のコンペアマッチにおけるカウンタクリアの動作例

(p)　AC 同期モータ（ブラシレス DC モータ）の駆動波形出力例

相補 PWM モードでは、タイマゲートコントロールレジスタ（TGCR）を使ってブラシレス DC モータを簡単に制御することができます。図 10.63 ～図 10.66 に TGCR を使用したブラシレス DC モータの駆動波形例を示します。

3 相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCR の FB ビットを 0 に設定します。この場合、磁極位置を示す外部信号をチャネル 0 のタイマ入力端子 TIOC0A、TIOC0B、TIOC0C 端子に入力します（汎用入出力ポートで設定してください）。TIOC0A、TIOC0B、TIOC0C 端子の 3 つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

FB ビットが 1 の場合は、TGCR の UF、VF、WF ビットの各ビットに 0 または 1 を設定すると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの 6 相出力端子から出力されます。

この 6 相出力は N ビットまたは P ビットを 1 に設定することにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが 0 の場合は、レベル出力になります。

また、6 相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、タイマアウトプットコントロールレジスタ（TOCR）の OLSN ビット、OLSP ビットで設定できます。

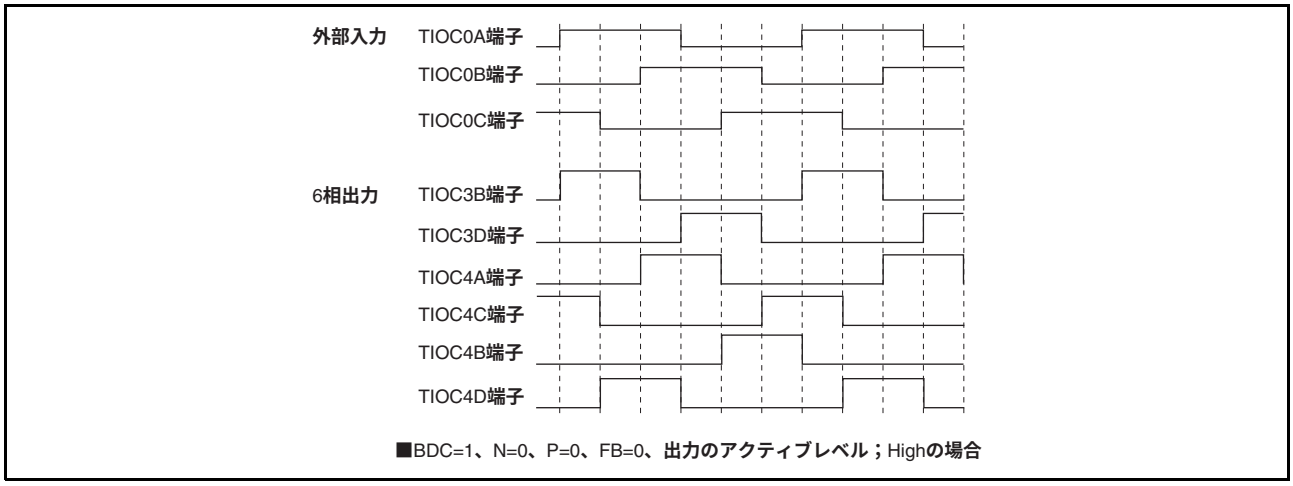


図 10.63　外部入力による出力相の切り替え動作例（1）

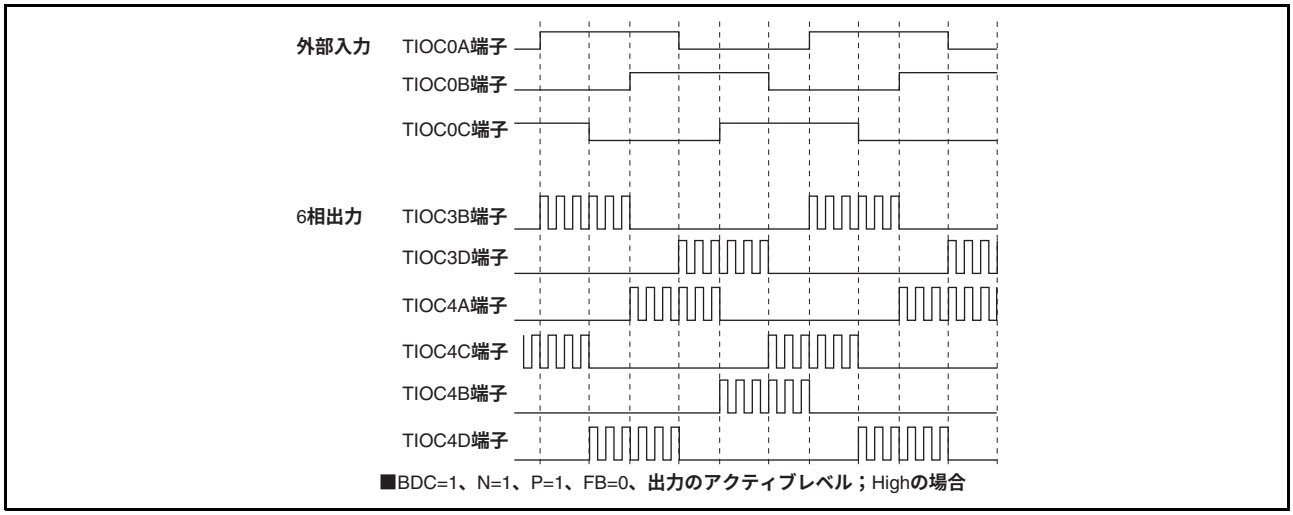


図 10.64　外部入力による出力相の切り替え動作例（2）

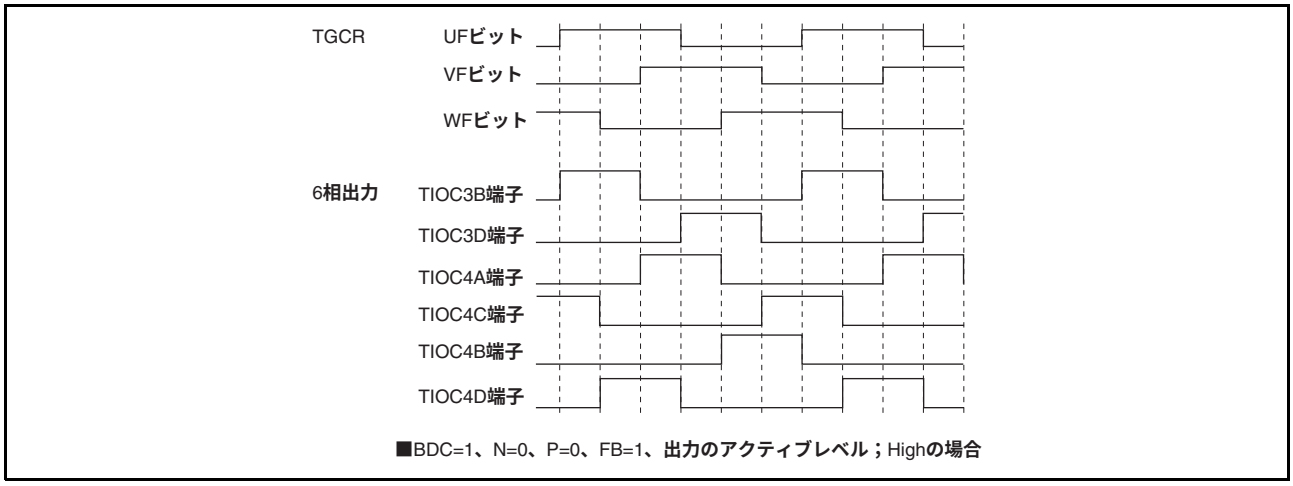


図 10.65　UF、VF、WF ビット設定による出力相の切り替え動作例（1）

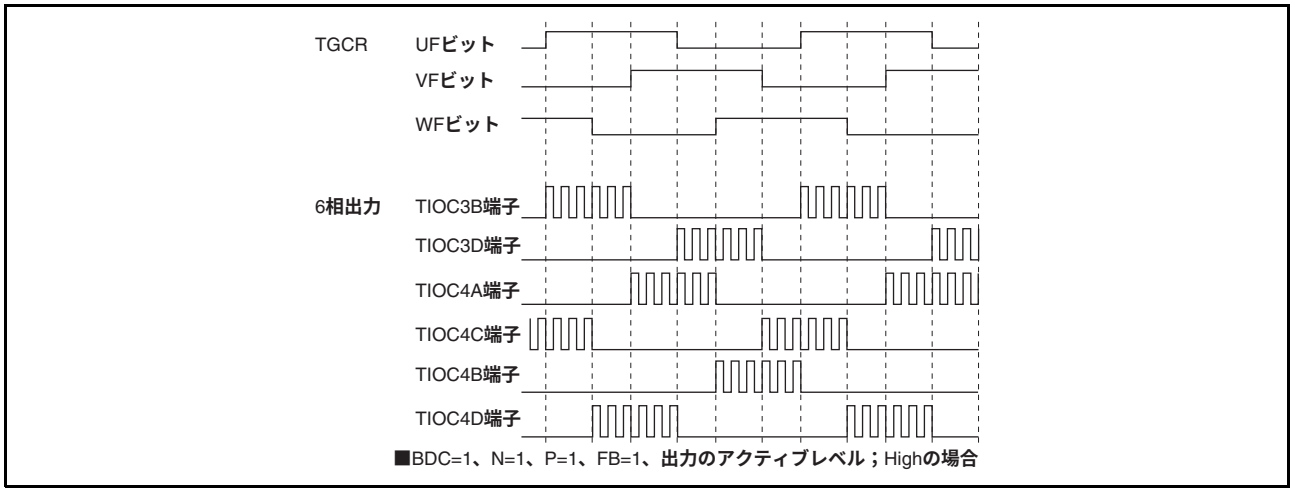


図 10.66　UF、VF、WF ビット設定による出力相の切り替え動作例（2）

(q)　A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は TGRA_3 のコンペアマッチ、TCNT_4 のアンダフロー（谷）、チャネル 3、4 以外のチャネルのコンペアマッチを使用して行うことが可能です。

TGRA_3 のコンペアマッチを使用して開始要求を設定すると、TCNT_3 の山で A/D 変換をスタートさせることができます。

A/D 変換の開始要求は、タイマインタラプトイネーブルレジスタ（TIER）の TTGE ビットを 1 にセットすることで設定できます。TCNT_4 のアンダフロー（谷）の A/D 変換の開始要求は、TIER_4 の TTGE2 ビットを 1 にセットすることで設定できます。

(3)　相補 PWM モードの割り込み間引き機能

チャネル 3 とチャネル 4 の TGIA_3（山の割り込み）、および TCIV_4（谷の割り込み）は、タイマ割り込み間引き設定レジスタ（TITCR）を設定することにより、最大で 7 回まで割り込みを間引くことが可能です。

タイマバッファ転送レジスタ（TBTER）を設定することにより、バッファレジスタからテンポラリレジスタ／コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、**「(c)　割り込み間引きと連動したバッファ転送制御」**を参照してください。

タイマ A/D 変換要求コントロールレジスタ（TADCR）を設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については**「10.4.9　A/D 変換開始要求ディレイド機能」**を参照してください。

タイマ割り込み間引き設定レジスタ（TITCR）の設定は、TIER_3、TIER_4 レジスタの設定で TGIA_3 と TCIV_4 割り込み要求を禁止した状態、かつコンペアマッチによる TGFA_3、TCFV_4 フラグセットが発生しない状態で行ってください。また、間引き回数の変更前に、必ず T3AEN、T4VEN ビットを 0 にして、間引きカウンタをクリアしてください。

(a)　割り込み間引き機能の設定手順例

割り込み間引き機能の設定手順例を**図 10.67** に示します。また、割り込み間引き回数の変更可能期間を**図 10.68** に示します。

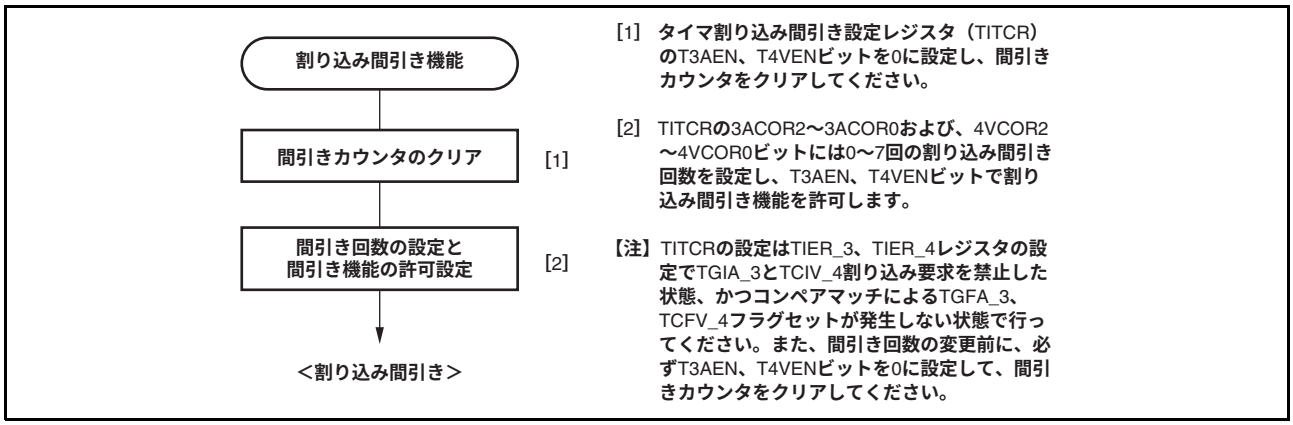


図 10.67　割り込み間引き機能の設定手順例

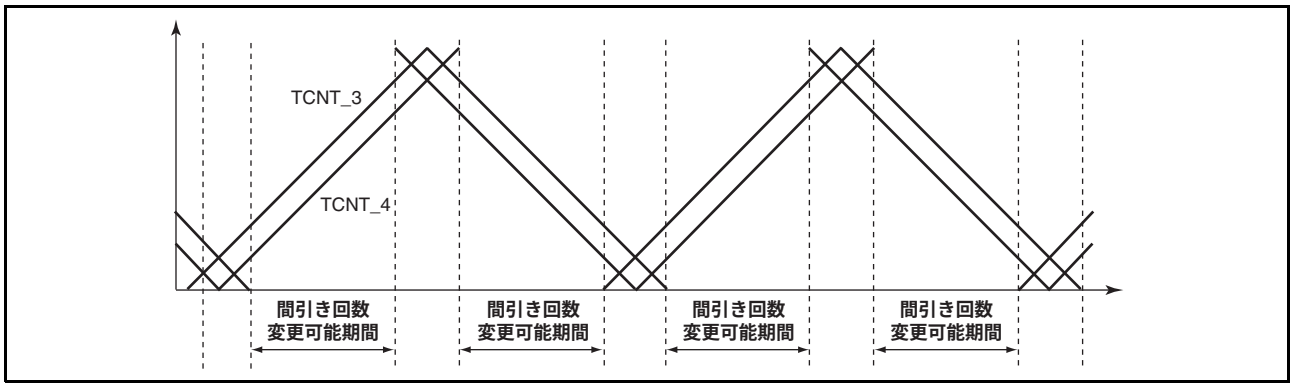


図 10.68　割り込み間引き回数の変更可能期間

(b)　割り込み間引き機能の動作例

タイマ割り込み間引き設定レジスタ（TITCR）の 3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを 1 に設定した場合の、TGIA_3 割り込み間引きの動作例を図 10.69 に示します。

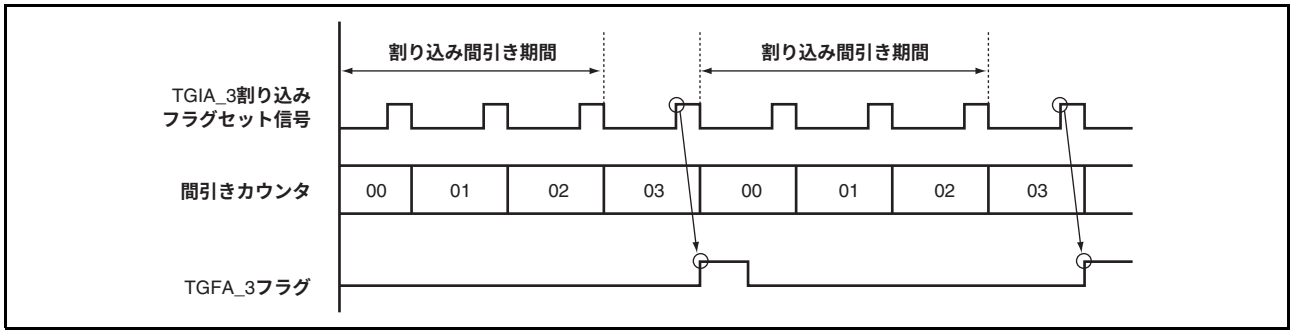


図 10.69　割り込み間引き機能の動作例

(c)　割り込み間引きと連動したバッファ転送制御

タイマバッファ転送設定レジスタ（TBTER）レジスタの BTE1、BTE0 ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする／しない、または割り込み間引きと連動する／しないを選択することが可能です。

バッファ転送を抑止する設定（BTE1 ＝ 0、BTE0 ＝ 1）にした場合の動作例を図 10.70 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定（BTE1 ＝ 1、BTE0 ＝ 0）にした場合の動作例を図 10.71 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。割り込み発生からバッファレジスタの書き換えタイミングにより、バッファレジスタからテンポラリレジスタおよびテンポラリレジスタからジェネラルレジスタへの転送タイミングが 2 種類あります。

なお、タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN ビットを 1 に設定した場合、T4VEN ビットを 1 に設定した場合、T3AEN/T4VEN ビットを 1 に設定した場合で、それぞれバッファ転送許可期間が異なります。TITCR の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 10.72 に示します。

注 .　本機能は、割り込み間引き機能と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ずバッファ転送を割り込み間引きと連動しない設定（タイマバッファ転送設定レジスタ（TBTER）の BTE1 を 0 に設定）してください。
割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

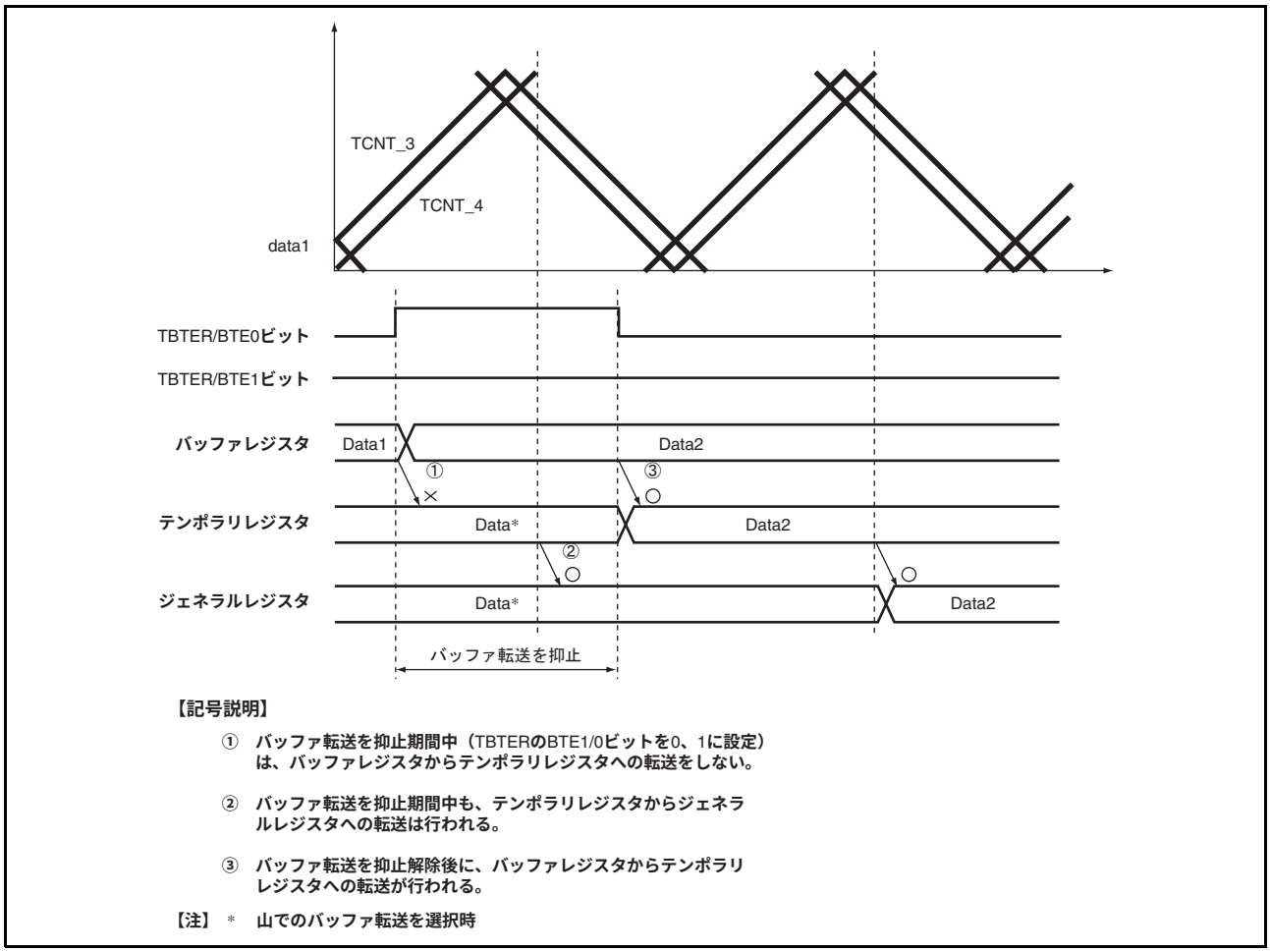
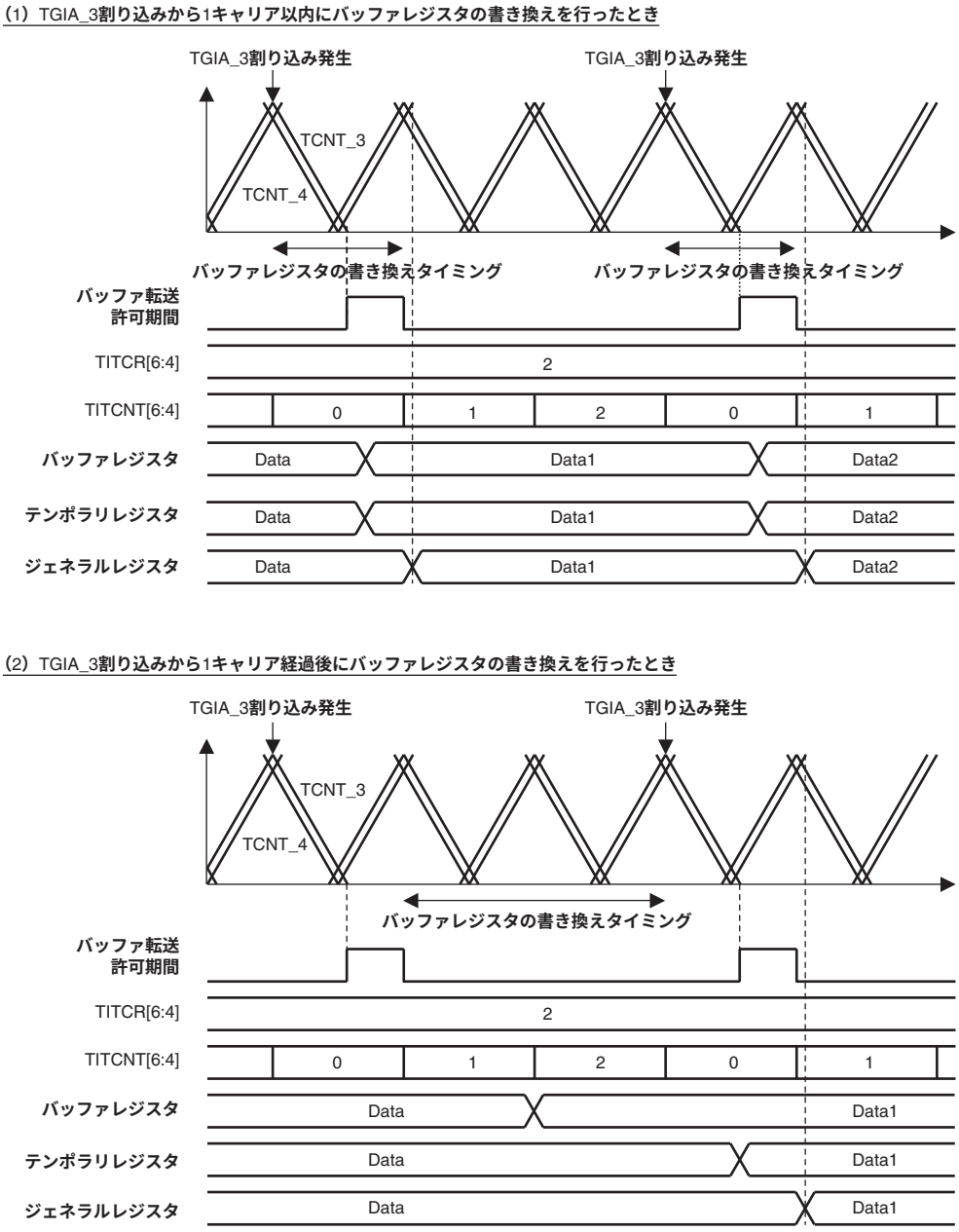


図 10.70　バッファ転送を抑止する設定（BTE1 ＝ 0、BTE0 ＝ 1）にした場合の動作例



【注】 TMDR_3のMD[3:0]=1101、山でのバッファ転送を選択。
間引き回数を2回に設定。
T3AENを1、T4VENを0に設定。

図 10.71　バッファ転送を割り込み間引きと連動する設定（BTE1 ＝ 1、BTE0 ＝ 0）にした場合の動作例

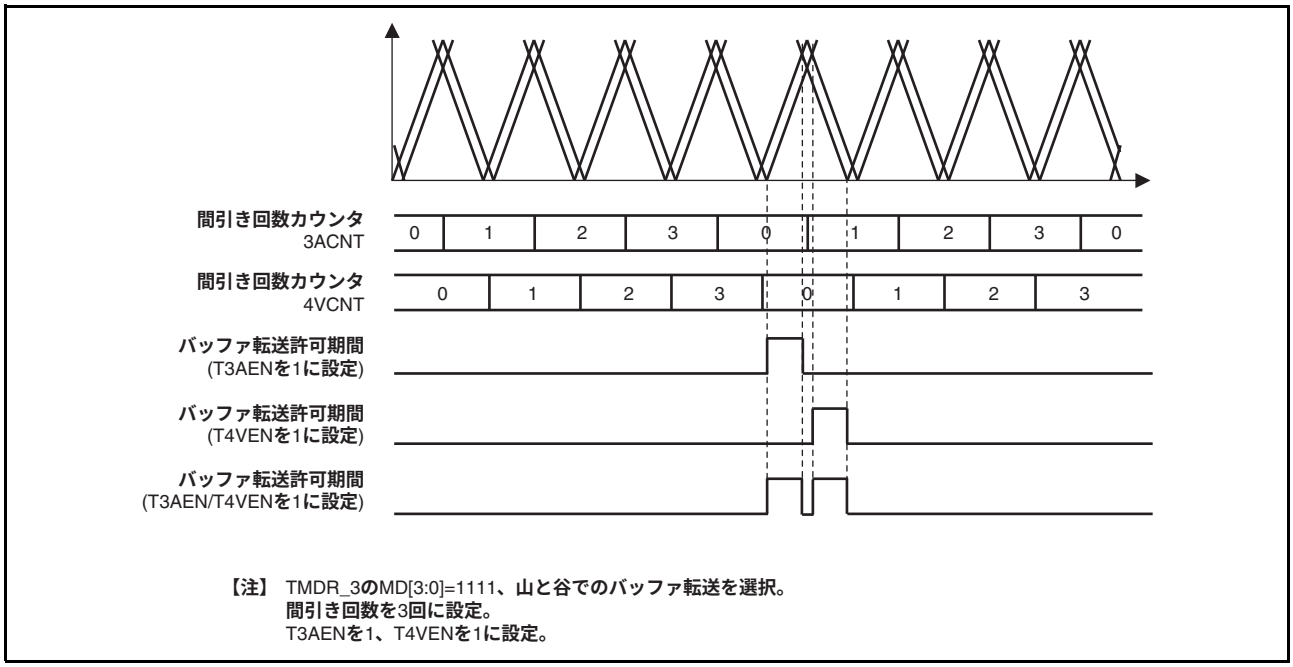


図 10.72　タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4)　相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a)　レジスタ、カウンタの誤書き込み防止機能

相補 PWM モードで使用するレジスタ、カウンタのうち常に書き換えを行うバッファレジスタを除くモードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、タイマリードライトイネーブルレジスタ（TRWER）の RWE ビットの設定により CPU からのアクセスの許可／禁止を選択することが可能です。対象となるレジスタはチャネル 3 および 4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

TCR_3 および TCR_4、TMDR_3 および TMDR_4、TIORH_3 および TIORH_4、TIORL_3 および TIORL_4、TIER_3 および TIER_4、TCNT_3 および TCNT_4、TGRA_3 および TGRA_4、TGRB_3 および TGRB_4、TOER、TOCR、TGCR、TCDR、TDDR　計 21 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し時は不定値が読み出され、書き込みは無効です。

10.4.9　A/D 変換開始要求ディレイド機能

チャネル 4 のタイマ A/D 変換開始要求コントロールレジスタ（TADCR）、タイマ A/D 起動要求用周期レジスタ（TADCORA_4、TADCORB_4）、タイマ A/D 起動要求用周期バッファレジスタ（TADCOBRA_4、TADCOBRB_4）を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、TCNT_4 と TADCORA_4、TADCORB_4 を比較し、TCNT_4 と TADCORA_4、TADCORB_4 が一致したとき、それぞれの A/D 変換の開始要求（TRG4AN、TRG4BN）を行います。

また、TADCR の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求（TRG4AN、TRG4BN）を間引くことが可能です。

- A/D 変換開始要求ディレイド機能の設定手順例

  A/D 変換開始要求ディレイド機能の設定手順例を図 10.73 に示します。

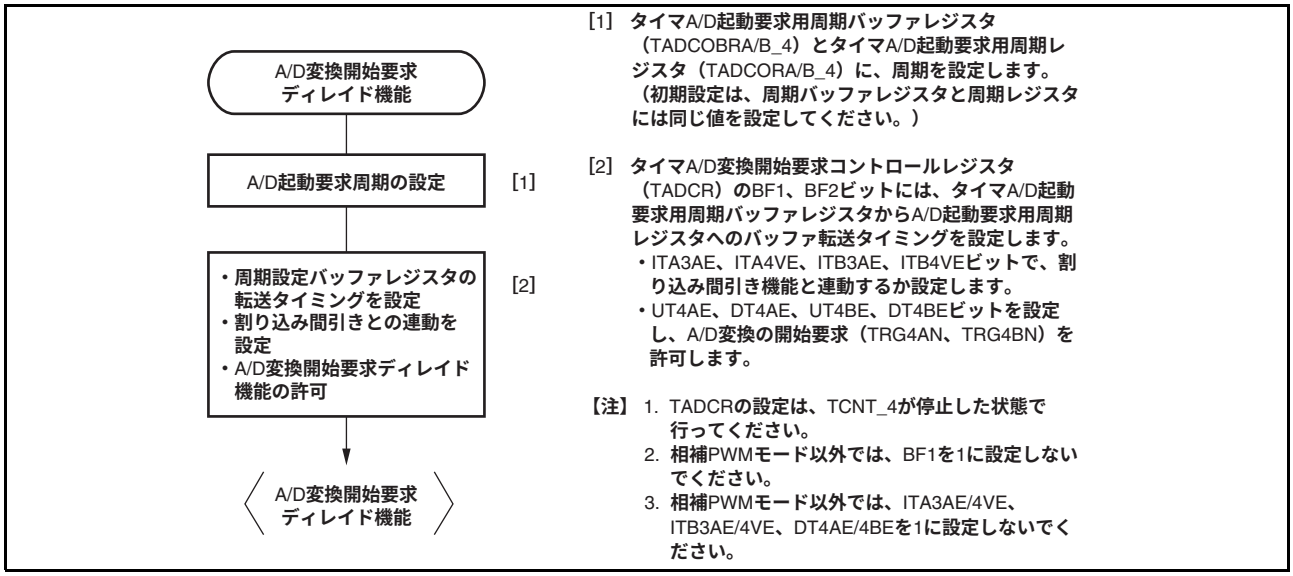


図 10.73　A/D 変換開始要求ディレイド機能の設定手順例

- A/D 変換開始要求ディレイド機能の基本動作例

  バッファ転送タイミングを TCNT_4 の谷に設定し、TCNT_4 のダウンカウント時に A/D 変換の開始要求信号（TRG4AN）を出力する設定にした場合の、A/D 変換の開始要求信号（TRG4AN）の基本動作例を図 10.74 に示します。

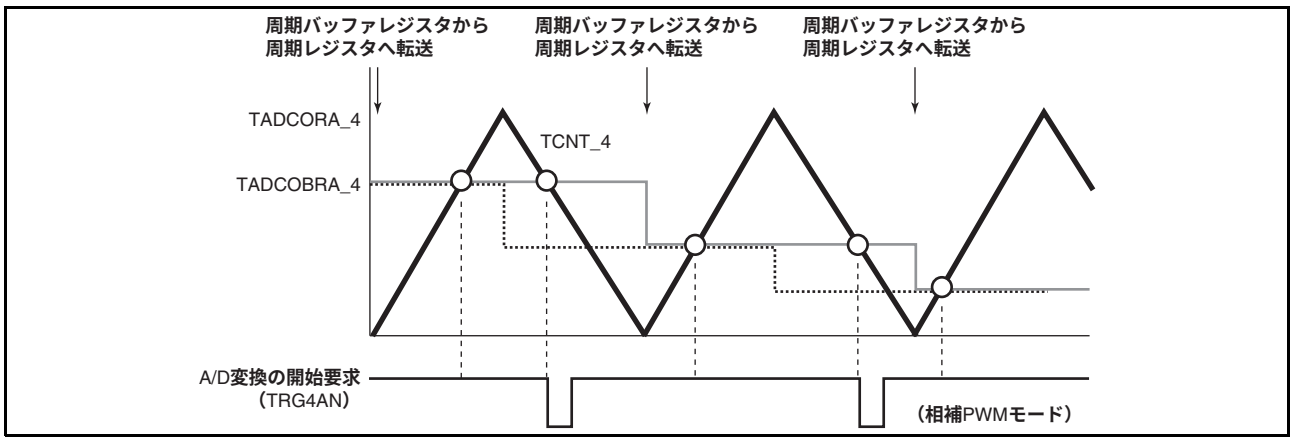


図 10.74　A/D 変換の開始要求信号（TRG4AN）の基本動作例

- **バッファ転送**
  タイマ A/D 起動要求用周期設定レジスタ（TADCORA/B_4）のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ（TADCOBRA/B_4）にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、タイマ A/D 変換開始要求コントロールレジスタ（TADCR_4）の BF1、BF0 ビットを設定することにより選択することができます。

- **割り込み間引き機能と連動した A/D 変換開始要求ディレイド機能**
  タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能と連動して A/D 変換の開始要求（TRG4AN、TRG4BN）を行うことが可能です。TCNT_4 のアップカウント時、およびダウンカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を**図 10.75** に示します。
  また、TCNT_4 のアップカウント時に TRG4AN 出力を許可する設定にし、割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例を**図 10.76** に示します。

注 .　本機能は割り込み間引き機能と組み合わせて使用してください。
割り込み間引きが禁止のとき（タイマ割り込み間引き設定レジスタ（TITCR）の T3AEN、T4VEN ビットを 0 に設定したとき、または TITCR の間引き回数設定ビット（3ACOR、4VCOR）を 0 に設定したとき）は、必ず割り込み間引き機能と連動しない（タイマ A/D 変換開始要求コントロールレジスタ（TADCR）の ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットを 0 に設定）設定にしてください。

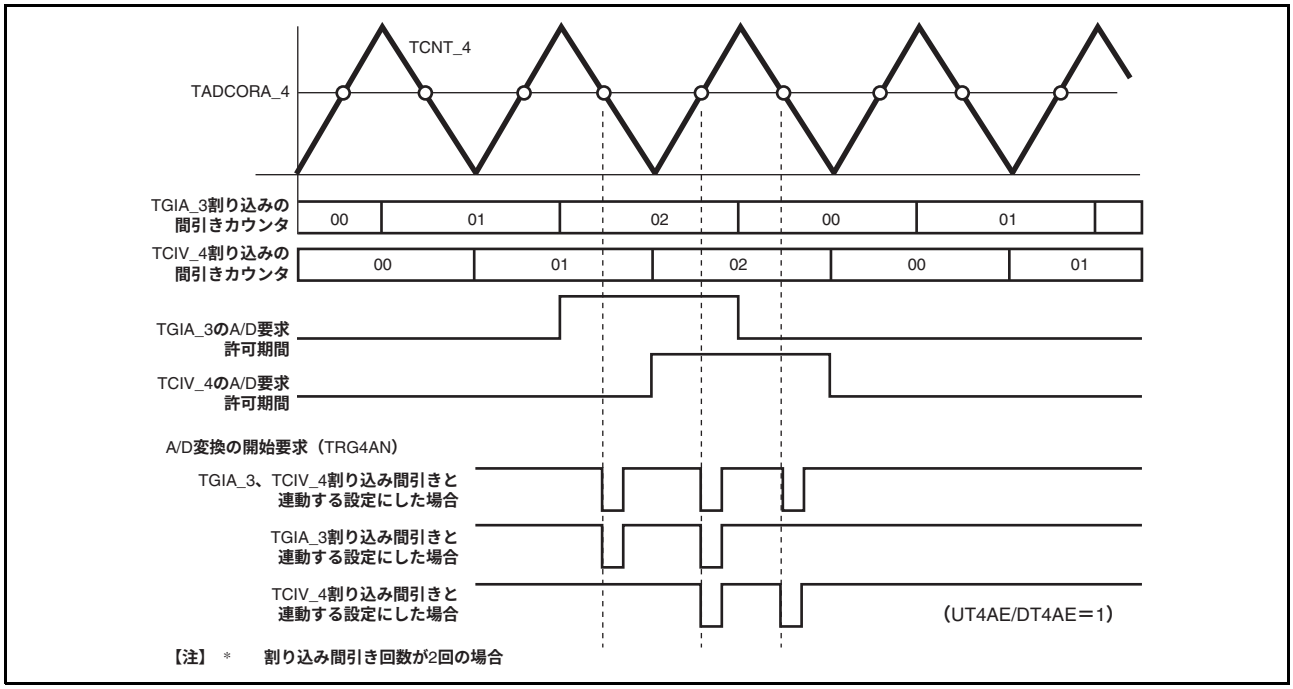


図 10.75　割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例

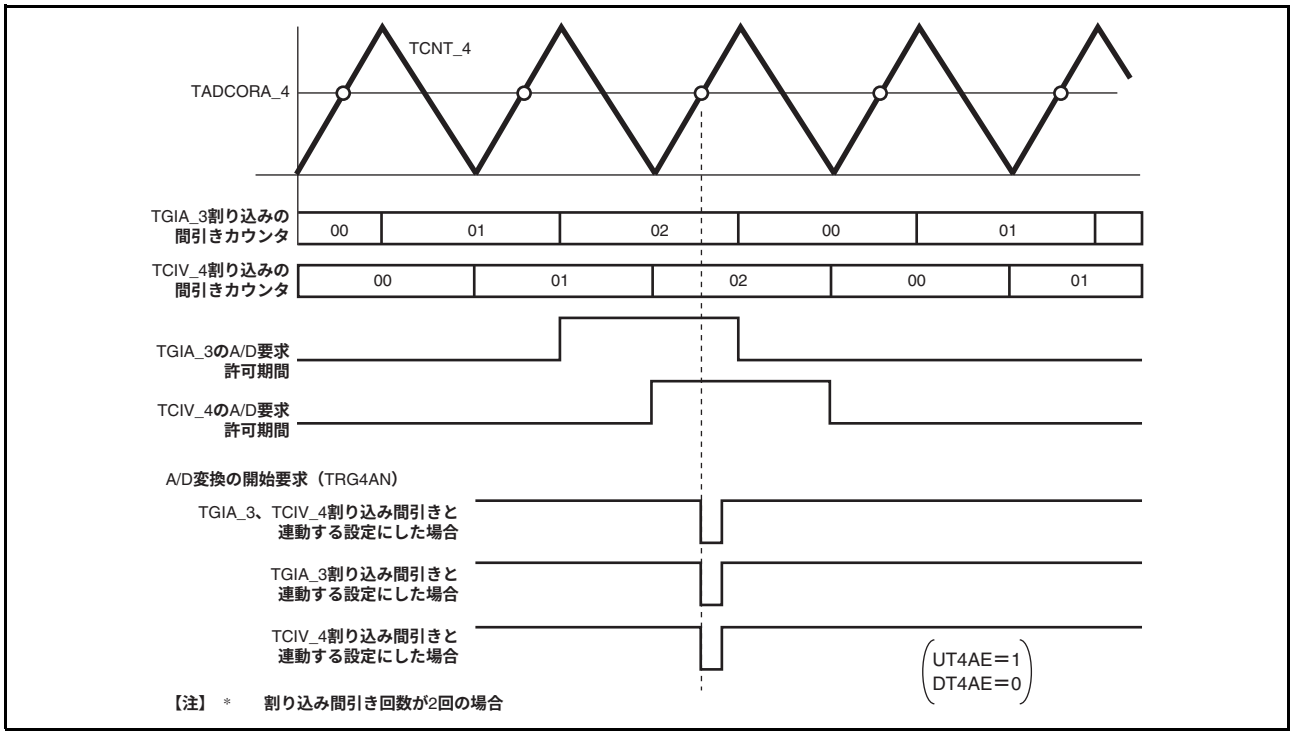


図 10.76　割り込み間引き機能と連動した場合の A/D 変換の開始要求信号（TRG4AN）の動作例

10.4.10　相補 PWM の「山／谷」での TCNT キャプチャ動作

相補 PWM 動作時、TCNT の値を「山、谷、山谷」で TGR へ保存します。TGR に取り込むタイミングの切り替えは、TIOR で選択します。

図 10.77 は TCNT はフリーランでクリアせずに使用し、設定した「山、谷」で TGR にキャプチャを行った動作例です。

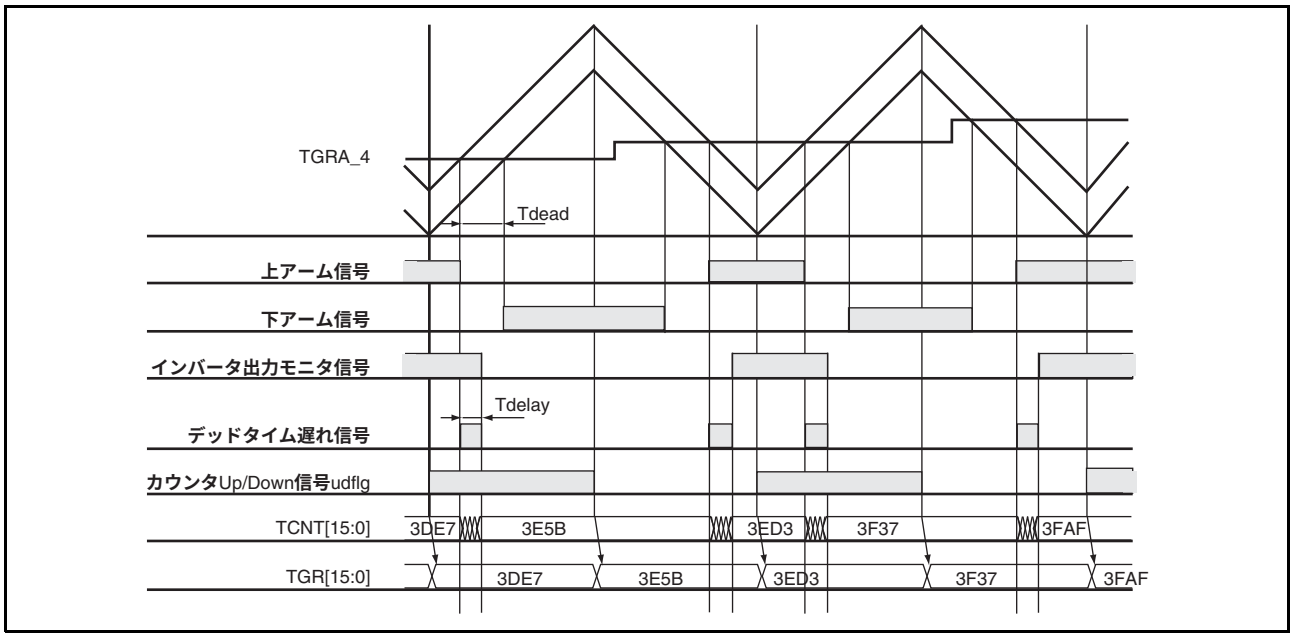


図 10.77　相補 PWM の「山／谷」での TCNT キャプチャ動作

10.5　割り込み要因

10.5.1　割り込み要因と優先順位

本モジュールの割り込み要因には、TGR のインプットキャプチャ／コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可／禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可／禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「7.　割り込みコントローラ」を参照してください。

表 10.55 に本モジュールの割り込み要因の一覧を示します。

表 10.55　マルチファンクションタイマパルスユニット 2 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動	優先順位
0	TGIA_0	TGRA_0 のインプットキャプチャ／コンペアマッチ	TGFA_0	可	高
	TGIB_0	TGRB_0 のインプットキャプチャ／コンペアマッチ	TGFB_0	不可	
	TGIC_0	TGRC_0 のインプットキャプチャ／コンペアマッチ	TGFC_0	不可	
	TGID_0	TGRD_0 のインプットキャプチャ／コンペアマッチ	TGFD_0	不可	
	TCIV_0	TCNT_0 のオーバフロー	TCFV_0	不可	
	TGIE_0	TGRE_0 のコンペアマッチ	TGFE_0	不可	
	TGIF_0	TGRF_0 のコンペアマッチ	TGFF_0	不可	
1	TGIA_1	TGRA_1 のインプットキャプチャ／コンペアマッチ	TGFA_1	可	
	TGIB_1	TGRB_1 のインプットキャプチャ／コンペアマッチ	TGFB_1	不可	
	TCIV_1	TCNT_1 のオーバフロー	TCFV_1	不可	
	TCIU_1	TCNT_1 のアンダフロー	TCFU_1	不可	
2	TGIA_2	TGRA_2 のインプットキャプチャ／コンペアマッチ	TGFA_2	可	
	TGIB_2	TGRB_2 のインプットキャプチャ／コンペアマッチ	TGFB_2	不可	
	TCIV_2	TCNT_2 のオーバフロー	TCFV_2	不可	
	TCIU_2	TCNT_2 のアンダフロー	TCFU_2	不可	
3	TGIA_3	TGRA_3 のインプットキャプチャ／コンペアマッチ	TGFA_3	可	
	TGIB_3	TGRB_3 のインプットキャプチャ／コンペアマッチ	TGFB_3	不可	
	TGIC_3	TGRC_3 のインプットキャプチャ／コンペアマッチ	TGFC_3	不可	
	TGID_3	TGRD_3 のインプットキャプチャ／コンペアマッチ	TGFD_3	不可	
	TCIV_3	TCNT_3 のオーバフロー	TCFV_3	不可	
4	TGIA_4	TGRA_4 のインプットキャプチャ／コンペアマッチ	TGFA_4	可	
	TGIB_4	TGRB_4 のインプットキャプチャ／コンペアマッチ	TGFB_4	不可	
	TGIC_4	TGRC_4 のインプットキャプチャ／コンペアマッチ	TGFC_4	不可	
	TGID_4	TGRD_4 のインプットキャプチャ／コンペアマッチ	TGFD_4	不可	
	TCIV_4	TCNT_4 のオーバフロー／アンダフロー	TCFV_4	不可	低

注.　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1)　インプットキャプチャ／コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ／コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、チャネル 0 に 6 本、チャネル 3、4 に各 4 本、チャネル 1、2 に各 2 本、計 18 本のインプットキャプチャ／コンペアマッチ割り込みがあります。チャネル 0 の TGFE_0、TGFF_0 フラグは、インプットキャプチャではセットされません。

(2)　オーバフロー割り込み

各チャネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、各チャネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(3)　アンダフロー割り込み

各チャネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。本モジュールには、チャネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

10.5.2　　ダイレクトメモリアクセスコントローラの起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチ割り込みによって、ダイレクトメモリアクセスコントローラを起動することができます。詳細は「9.　ダイレクトメモリアクセスコントローラ」を参照してください。

本モジュールでは、チャネル 0 ～ 4 の各チャネル 1 本、計 5 本の TGRA レジスタのインプットキャプチャ／コンペアマッチ割り込みをダイレクトメモリアクセスコントローラの起動要因とすることができます。

10.5.3　A/D 変換器の起動

本モジュールでは、次の 3 種類の方法で A/D 変換器を起動することができます。
各割り込み要因と A/D 変換開始要求の対応を、**表 10.56** に示します。

(1)　TGRA のインプットキャプチャ／コンペアマッチと、相補 PWM モード時の TCNT_4 の谷での A/D 起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチによって、A/D 変換器を起動することができます。また、TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせた場合は、TCNT_4 が谷（TCNT_4 = H'0000）になったときも A/D 変換器を起動することができます。
次に示す条件で、A/D 変換器に対して A/D 変換開始要求 TRGAN を発生します。

- 各チャネルの TGRA のインプットキャプチャ／コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていた場合
- TIER_4 の TTGE2 ビットに 1 をセットした状態で、相補 PWM 動作をさせ、TCNT_4 が谷（TCNT_4 = H'0000）になった場合

これらのとき A/D 変換器側で本モジュールの変換開始トリガ TRGAN が選択されていれば、A/D 変換が開始されます。

(2)　TCNT_0 と TGRE_0 のコンペアマッチによる A/D 起動

チャネル 0 の TCNT_0 と TGRE_0 のコンペアマッチによって、A/D 変換開始要求 TRG0N を発生し、A/D 変換器を起動することができます。
チャネル 0 の TCNT_0 と TGRE_0 のコンペアマッチの発生により、TSR2_0 の TGFE フラグが 1 にセットされたとき、TIER2_0 の TTGE2 ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換開始要求 TRG0N を発生します。このとき、A/D 変換器側で本モジュールの変換開始トリガ TRG0N が選択されていれば、A/D 変換が開始されます。

(3)　A/D 変換開始要求ディレイド機能による A/D 起動

A/D 変換開始要求コントロールレジスタ（TADCR）の UT4AE、DT4AE、UT4BE、DT4BE ビットに 1 をセットした場合、TADCORA、TADCORB と TCNT_4 の一致によって、TRG4AN、TRG4BN を発生し、A/D 変換器を起動することができます。詳細は「**10.4.9　A/D 変換開始要求ディレイド機能**」を参照してください。
TRG4AN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4AN が選択されていれば、A/D 変換が開始されます。また、TRG4BN が発生したとき、A/D 変換器側で本モジュールの変換開始トリガ TRG4BN が選択されていれば、A/D 変換が開始されます。

表 10.56　各割り込み要因と A/D 変換開始要求の対応

対象	割り込み要因	A/D 変換開始要求
TGRA_0 と TCNT_0	インプットキャプチャ／コンペアマッチ	TRGAN
TGRA_1 と TCNT_1		
TGRA_2 と TCNT_2		
TGRA_3 と TCNT_3		
TGRA_4 と TCNT_4		
TCNT_4	相補 PWM モード時の TCNT_4 の谷	
TGRE_0 と TCNT_0	コンペアマッチ	TRG0N
TADCORA と TCNT_4		TRG4AN
TADCORB と TCNT_4		TRG4BN

10.6　動作タイミング

10.6.1　入出力タイミング

(1)　TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.78 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 10.79 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 10.80 に示します。

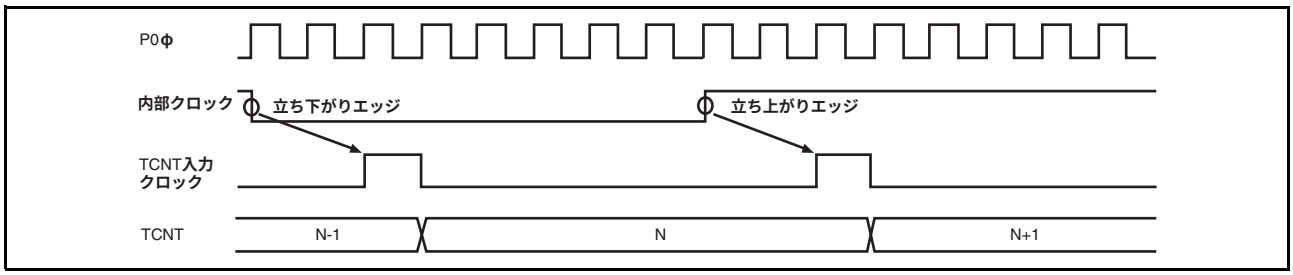


図 10.78　内部クロック動作時のカウントタイミング

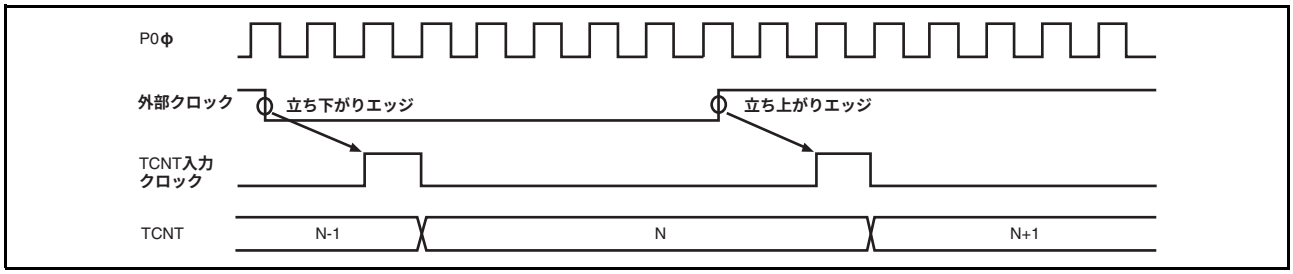


図 10.79　外部クロック動作時のカウントタイミング

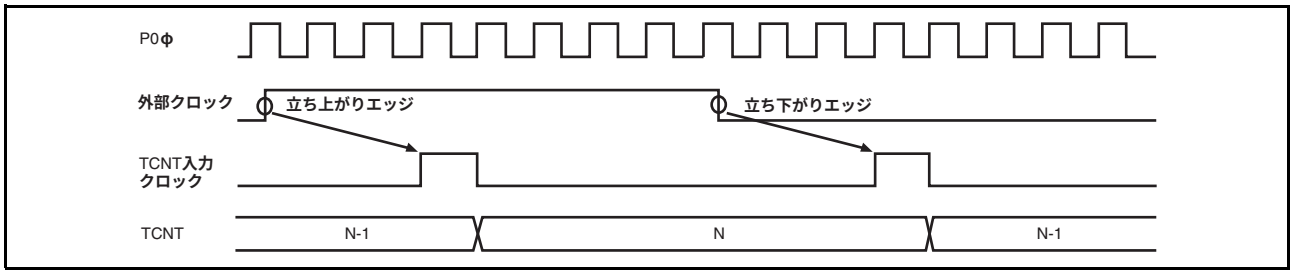


図 10.80　外部クロック動作時のカウントタイミング（位相計数モード）

(2)　アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子（TIOC 端子）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）を図 10.81 に、アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）を図 10.82 に示します。

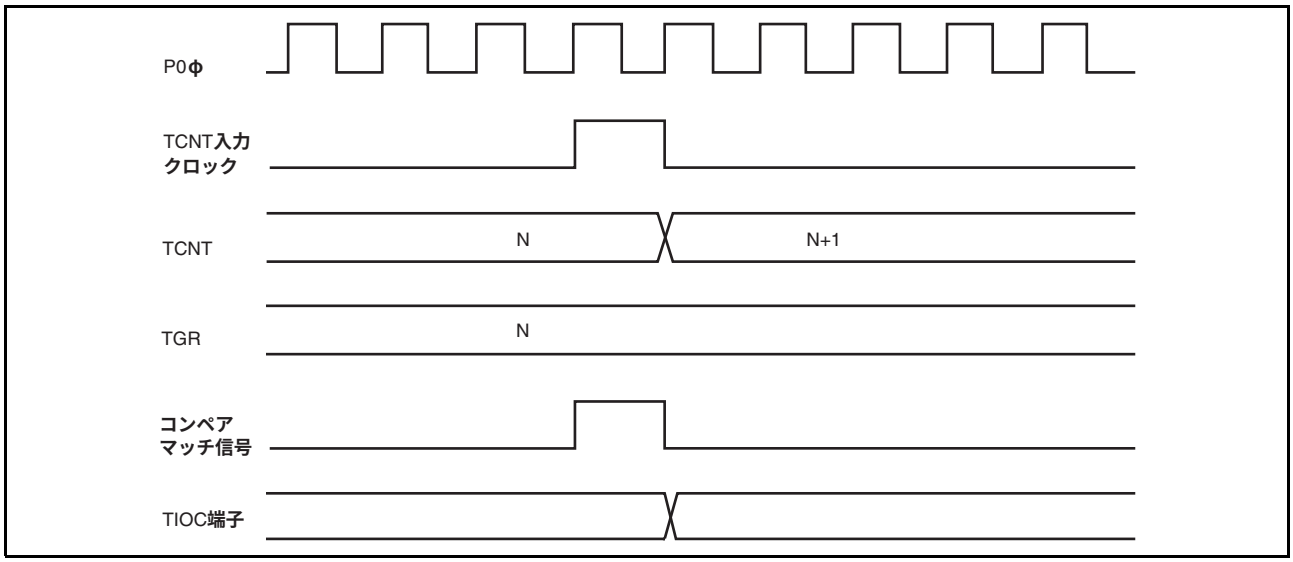


図 10.81　アウトプットコンペア出力タイミング（ノーマルモード、PWM モード）

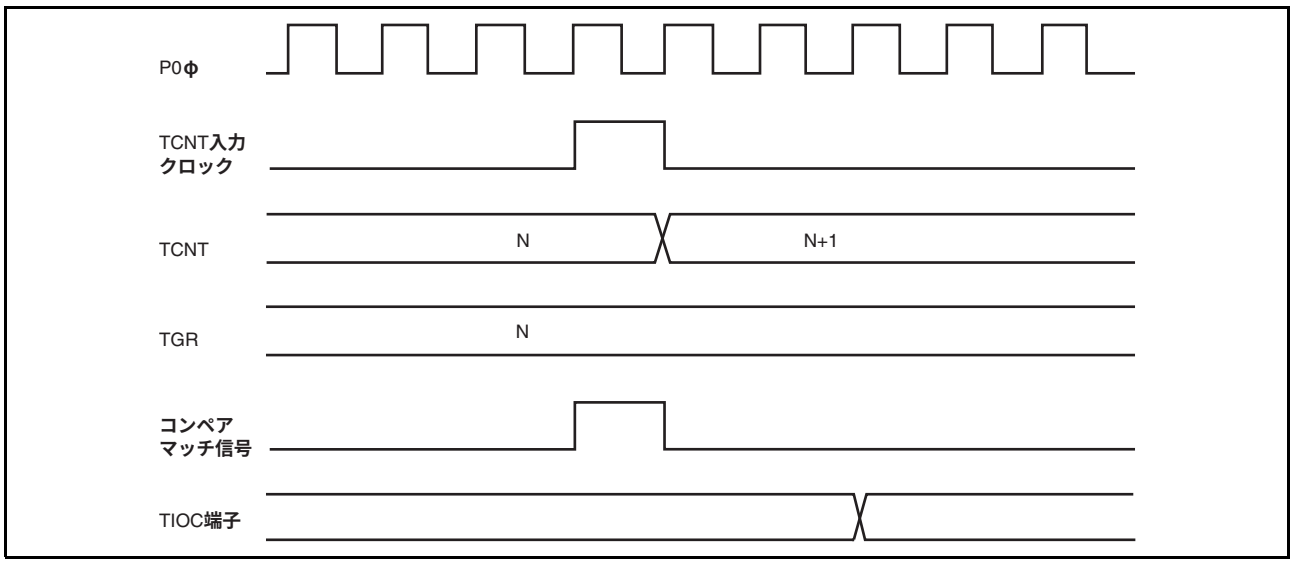


図 10.82　アウトプットコンペア出力タイミング（相補 PWM モード、リセット同期 PWM モード）

(3)　インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.83 に示します。

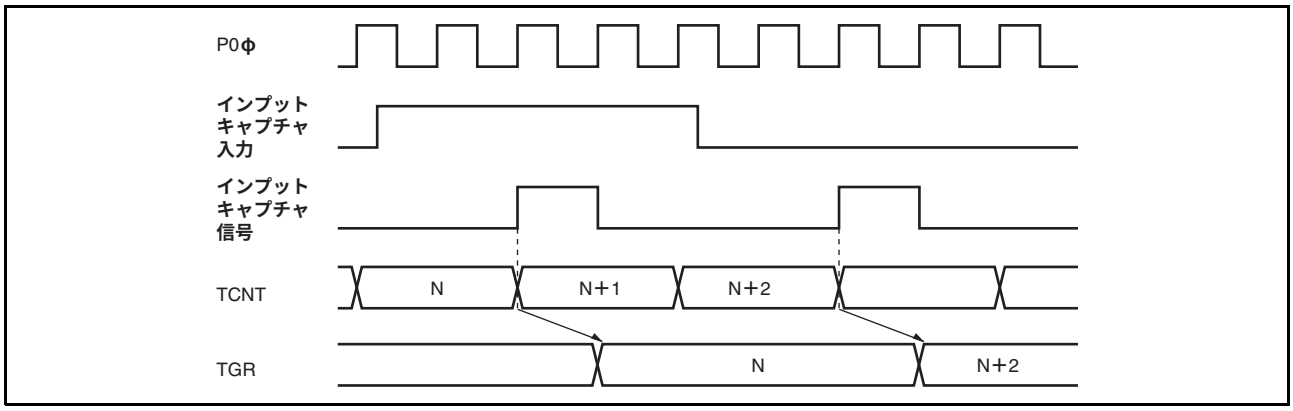


図 10.83　インプットキャプチャ入力信号タイミング

(4)　コンペアマッチ／インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.84 に示します。
インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.85 に示します。

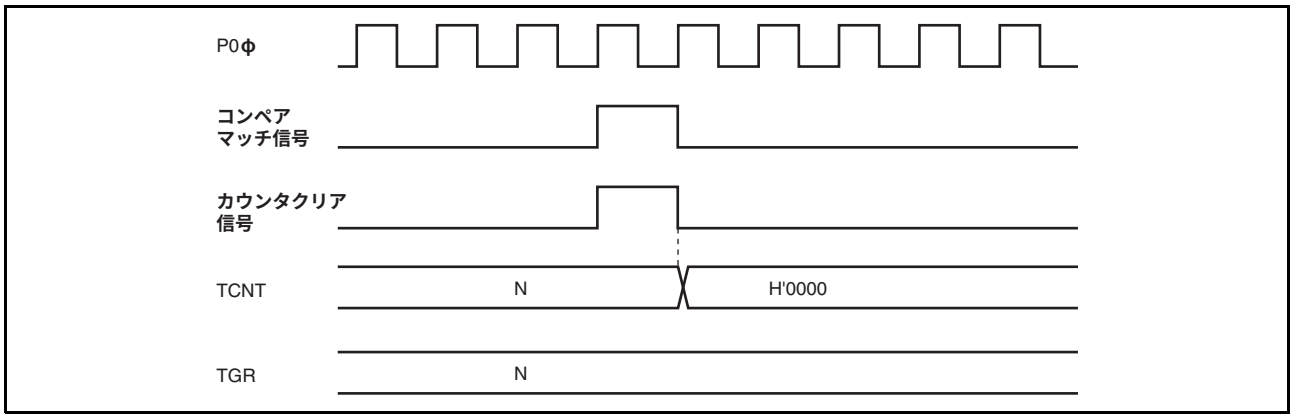


図 10.84　カウンタクリアタイミング（コンペアマッチ）

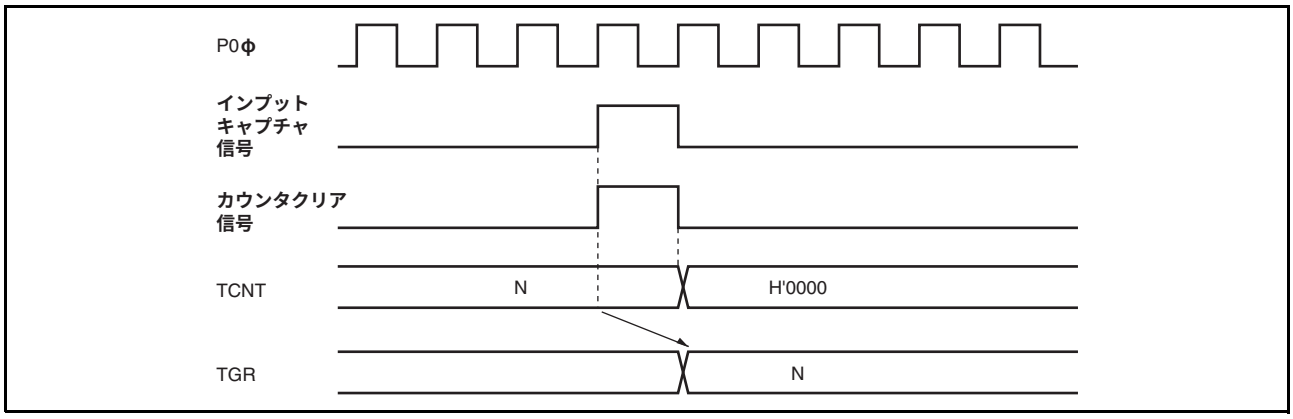


図 10.85　カウンタクリアタイミング（インプットキャプチャ）

(5)　バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.86 ～図 10.88 に示します。

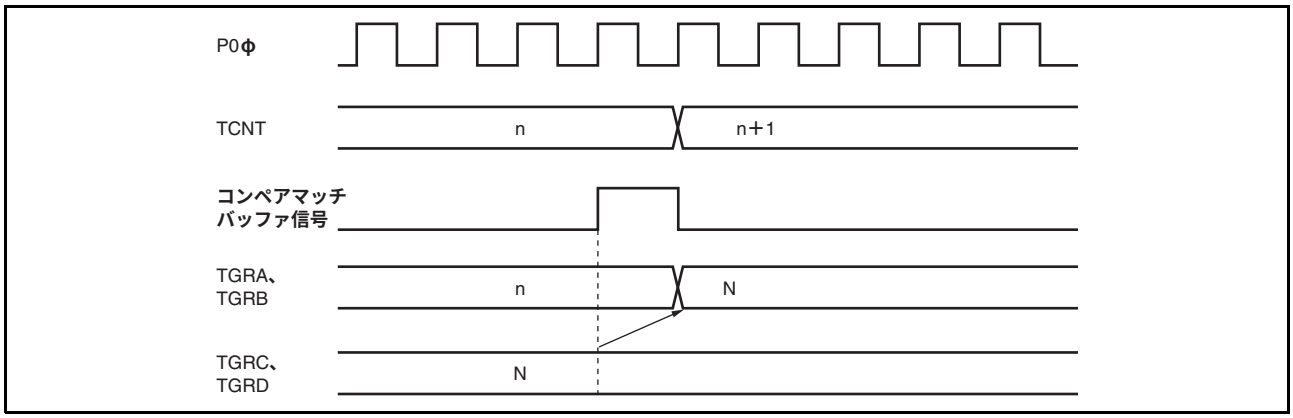


図 10.86　バッファ動作タイミング（コンペアマッチ）

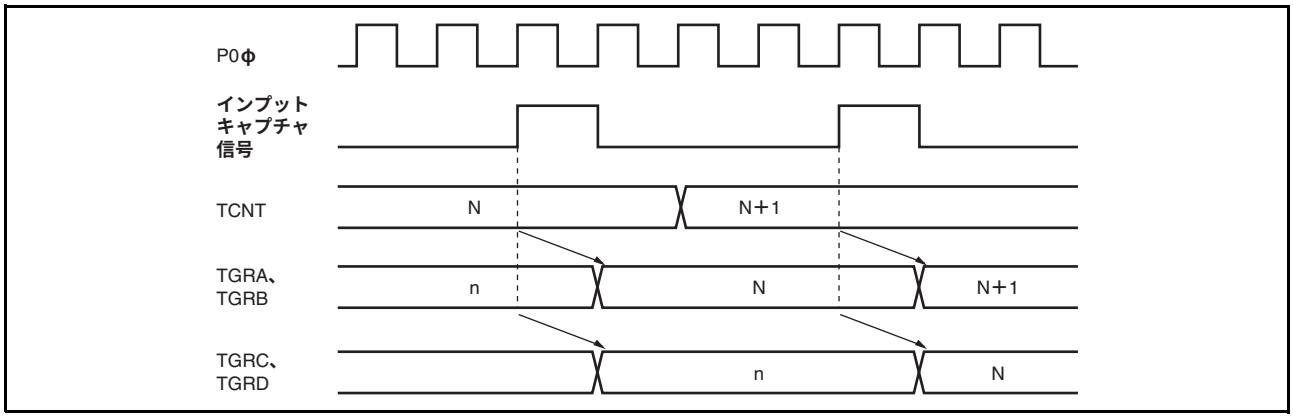


図 10.87　バッファ動作タイミング（インプットキャプチャ）

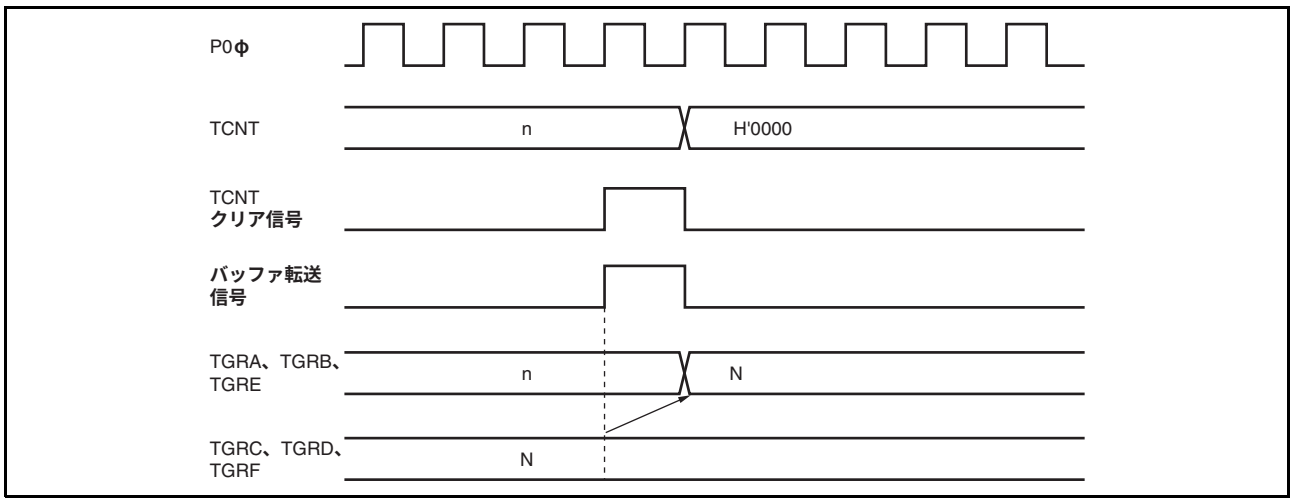


図 10.88　バッファ動作タイミング（TCNT クリア時）

(6)　バッファ転送タイミング（相補 PWM モード時）

相補 PWM モード時のバッファ転送のタイミングを図 10.89 ～図 10.91 に示します。

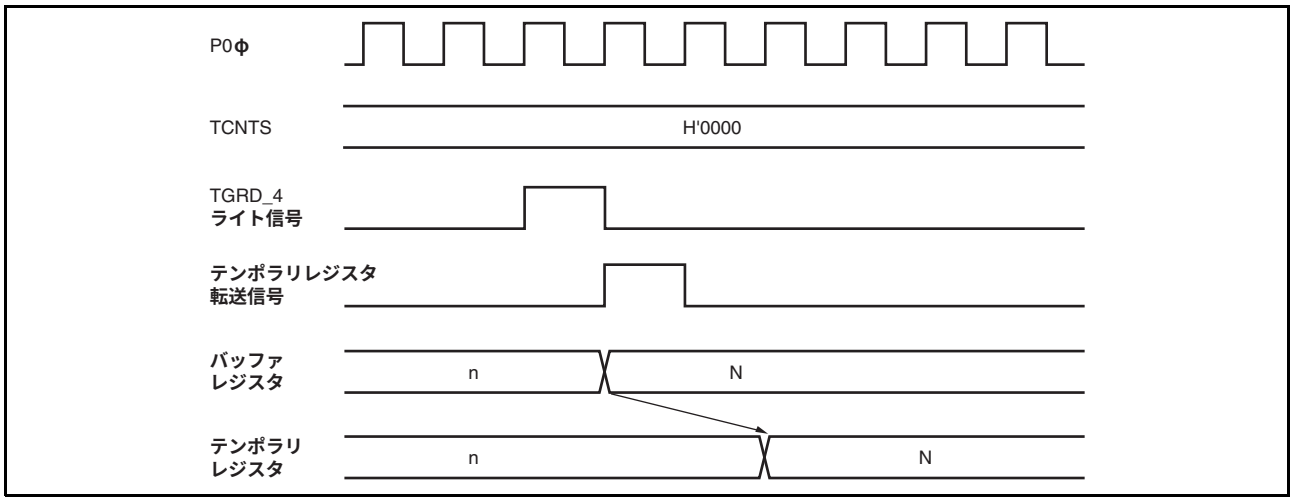


図 10.89　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTS 停止中）

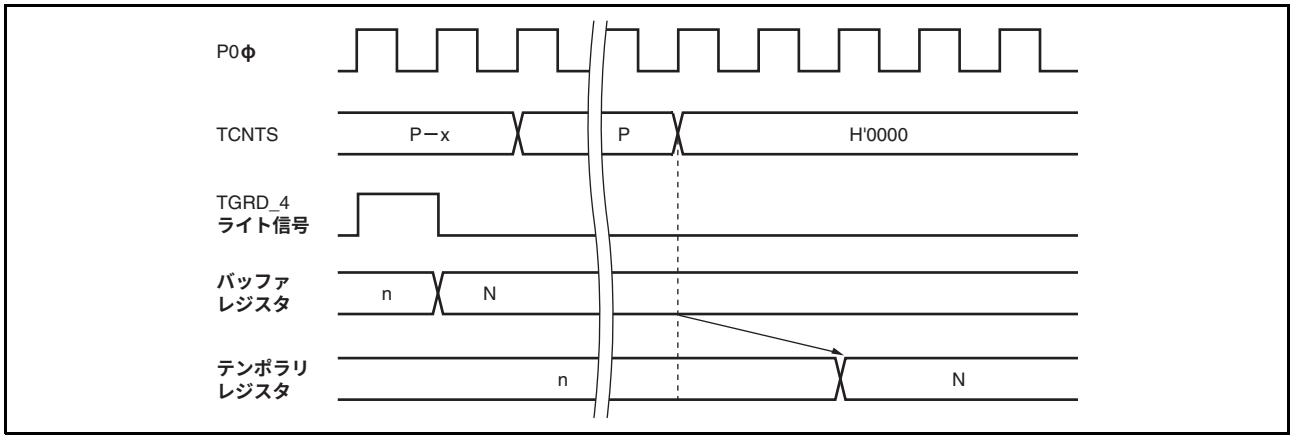


図 10.90　バッファレジスタからテンポラリレジスタへの転送タイミング（TCNTS 動作中）

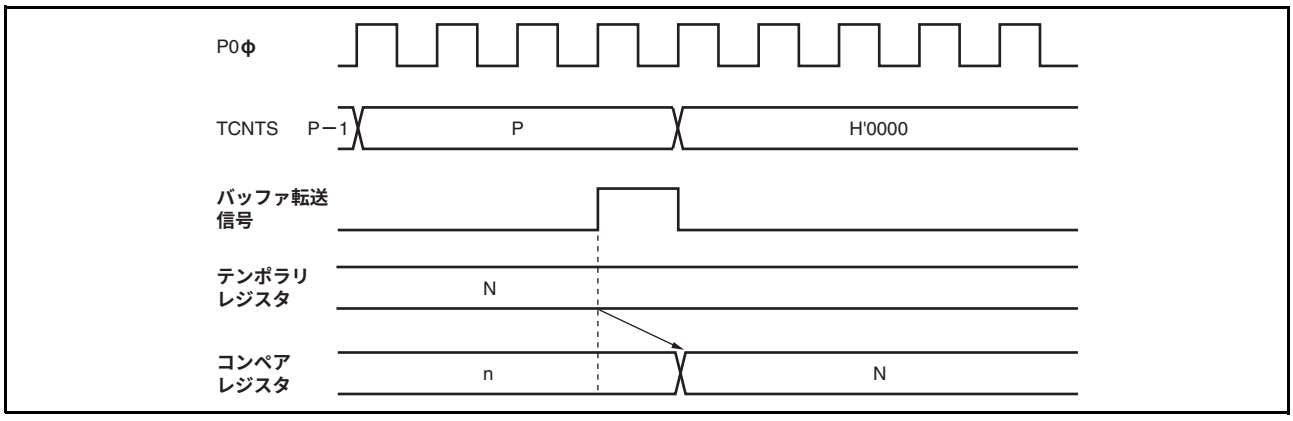


図 10.91　テンポラリレジスタからコンペアレジスタへの転送タイミング

10.6.2　割り込み信号タイミング

(1)　コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.92 に示します。

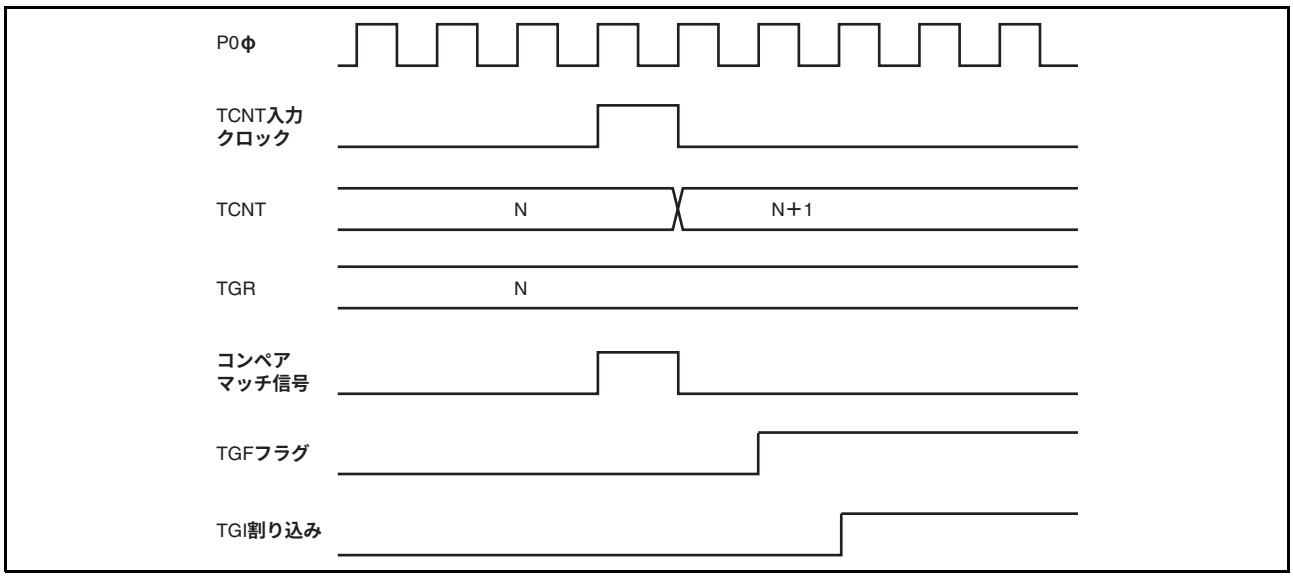


図 10.92　TGI 割り込みタイミング（コンペアマッチ）

(2)　インプットキャプチャ時の TGF フラグのセットタイミング

インプットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.93 に示します。

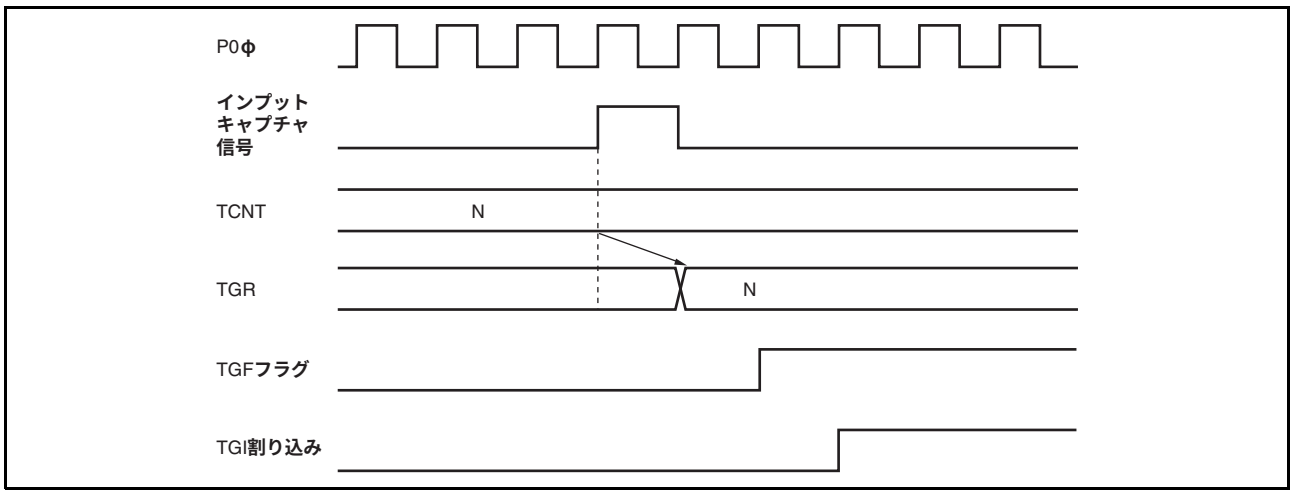


図 10.93　TGI 割り込みタイミング（インプットキャプチャ）

(3)　TCFV フラグ／TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.94 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.95 に示します。

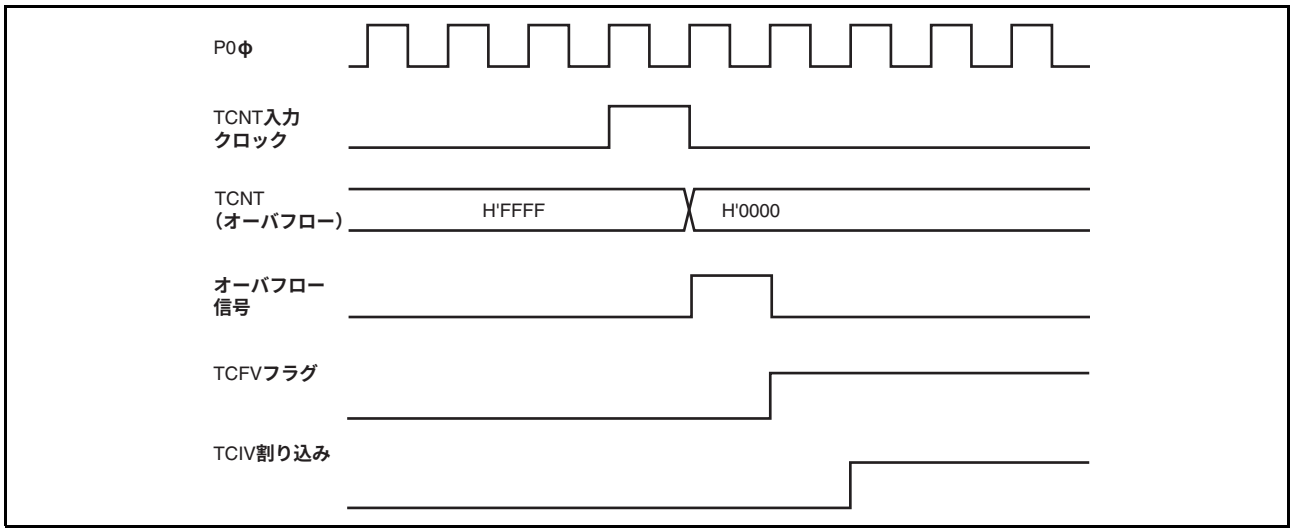


図 10.94　TCIV 割り込みのセットタイミング

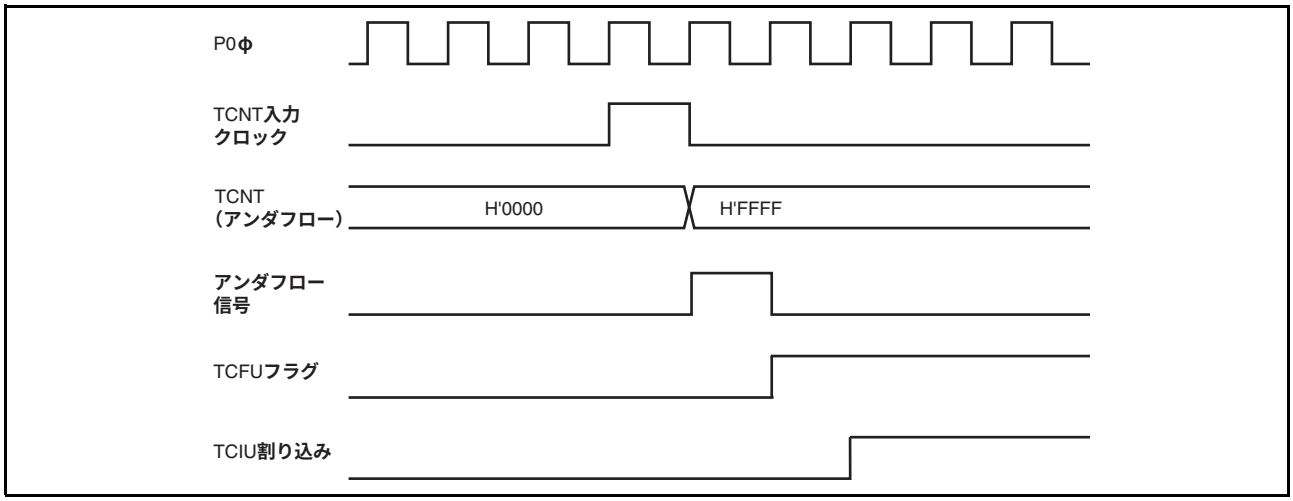


図 10.95　TCIU 割り込みのセットタイミング

(4)　ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。ダイレクトメモリアクセスコントローラを起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 10.96 に、ダイレクトメモリアクセスコントローラによるステータスフラグのクリアのタイミングを図 10.97 に示します。

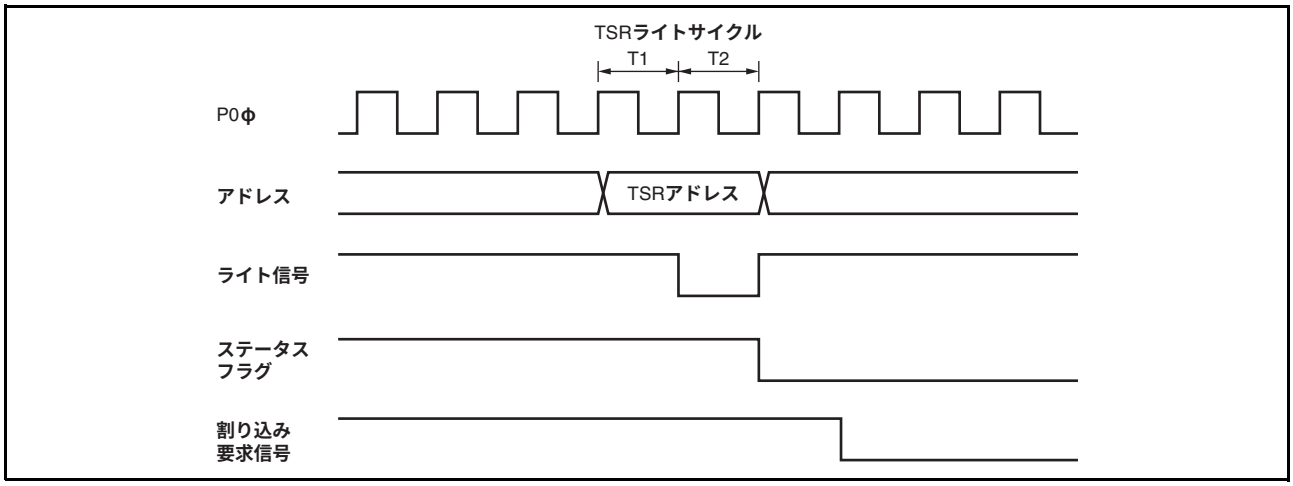


図 10.96　CPU によるステータスフラグのクリアタイミング

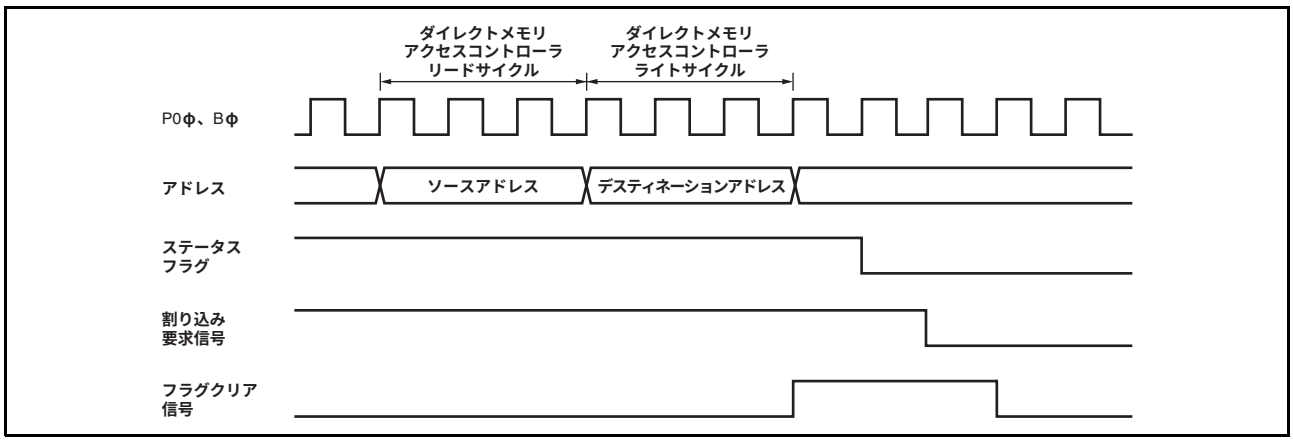


図 10.97　ダイレクトメモリアクセスコントローラの起動によるステータスフラグのクリアタイミング

10.7　使用上の注意事項

10.7.1　モジュールスタンバイモードの設定

本モジュールは、スタンバイコントロールレジスタにより、本モジュールの動作禁止／許可を設定することが可能です。初期値では、本モジュールの動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、**「42.　低消費電力モード」**を参照してください。

10.7.2　入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を**図** 10.98 に示します。

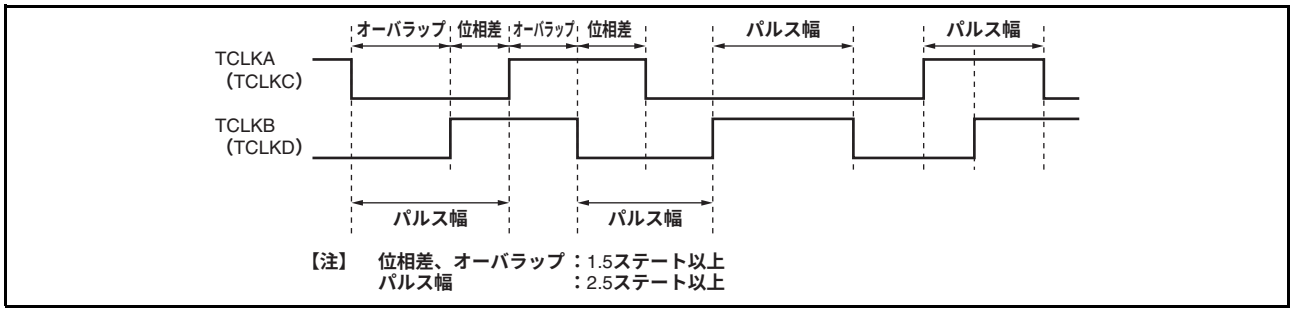


図 10.98　位相計数モード時の位相差、オーバラップ、およびパルス幅

10.7.3　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P0\phi}{(N+1)}$$

f　　：カウンタ周波数
P0φ　：周辺クロック動作周波数
N　　：TGR の設定値

10.7.4　TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.99 に示します。

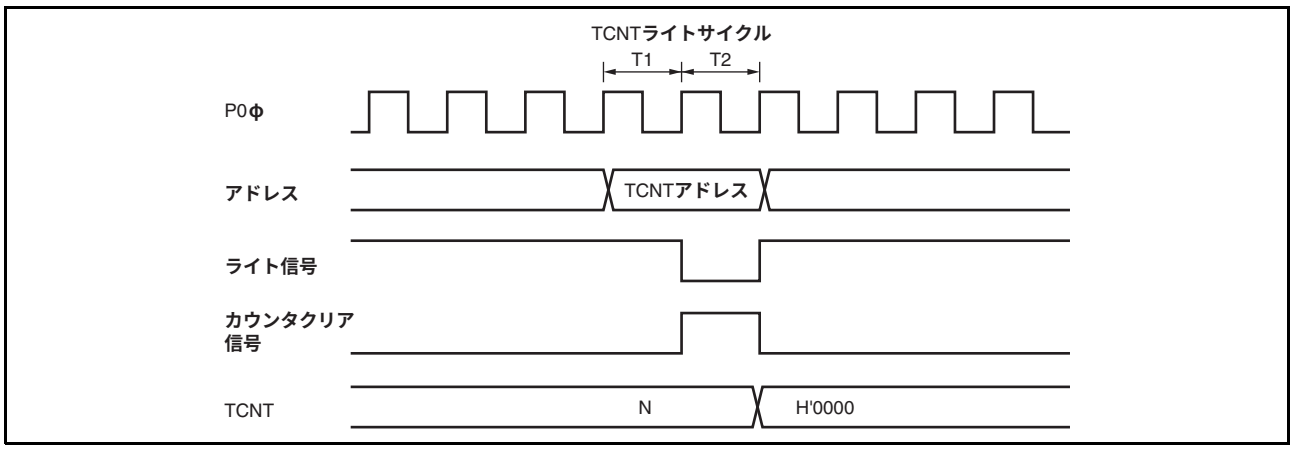


図 10.99　TCNT のライトとクリアの競合

10.7.5　TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.100 に示します。

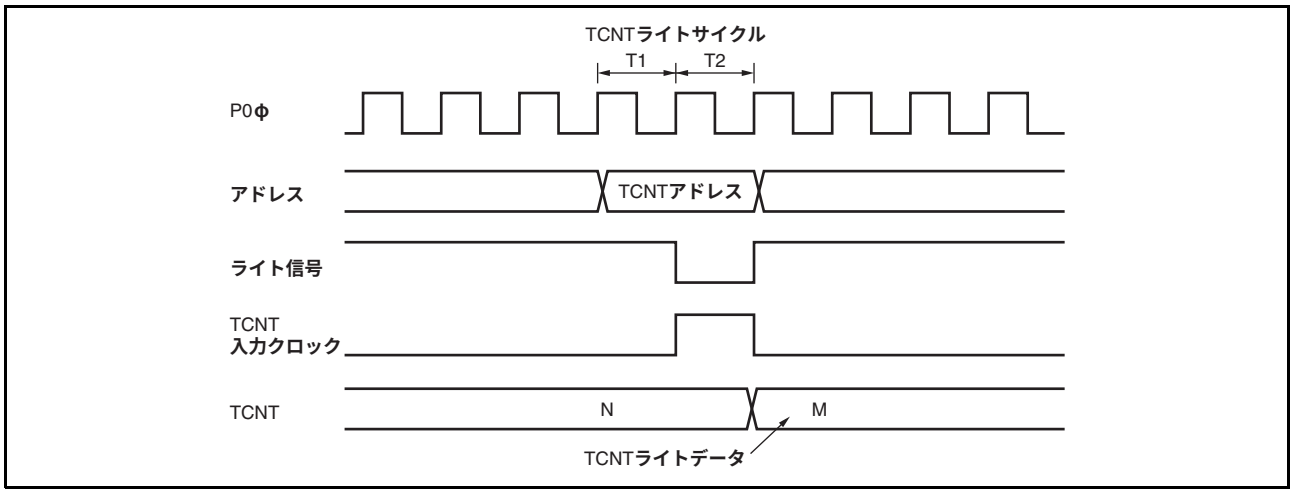


図 10.100　TCNT のライトとカウントアップの競合

10.7.6　TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生した場合、TGR のライトが実行され、コンペアマッチ信号も発生します。

このタイミングを図 10.101 に示します。

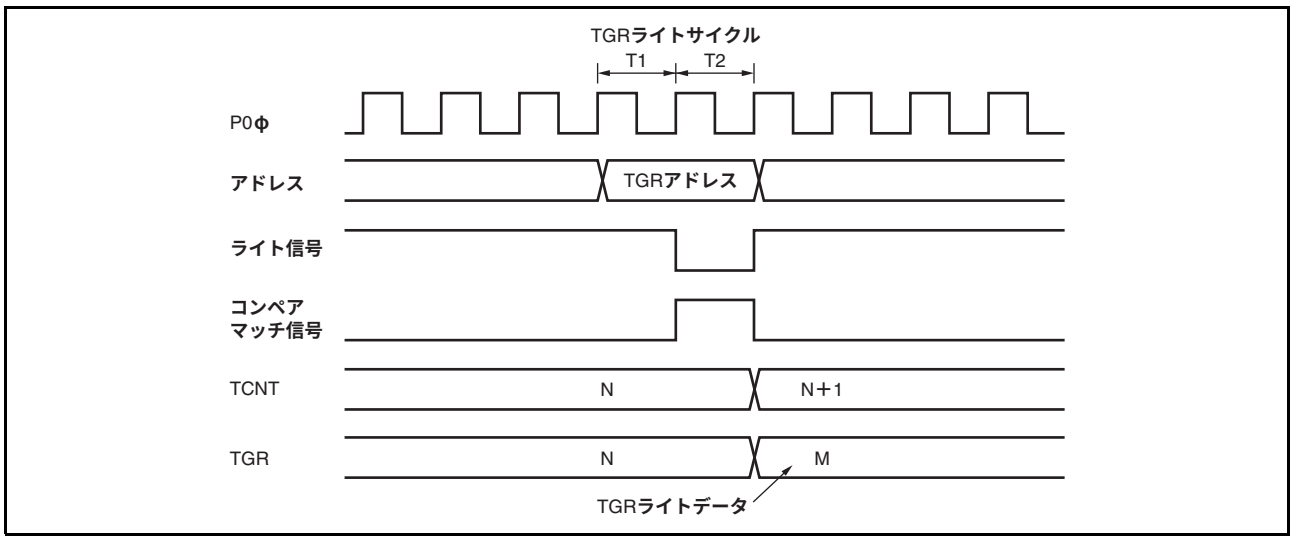


図 10.101　TGR のライトとコンペアマッチの競合

10.7.7　バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータは書き込み前のデータです。

このタイミングを図 10.102 に示します。

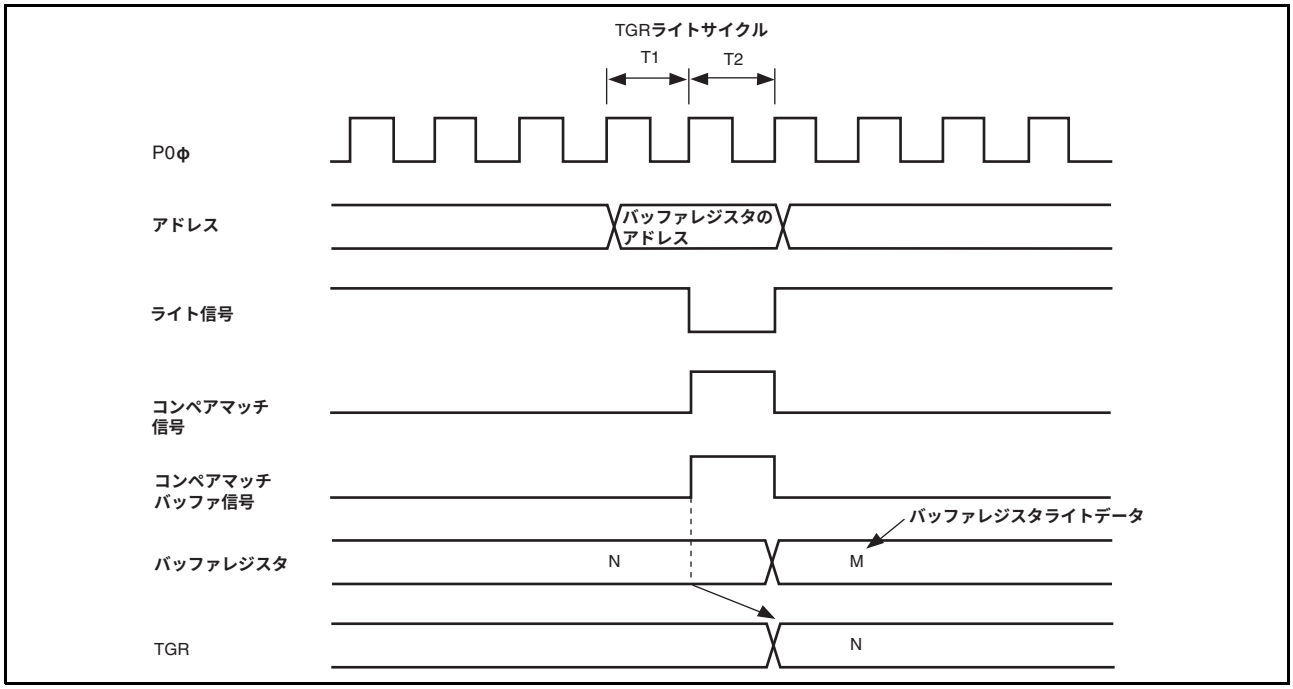


図 10.102　バッファレジスタのライトとコンペアマッチの競合

10.7.8　バッファレジスタのライトと TCNT クリアの競合

バッファ転送モードレジスタ（TBTM）でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR のライトサイクル中の T2 ステートで TCNT クリアが発生すると、バッファ動作によって転送されるデータは書き込み前のデータです。

このタイミングを図 10.103 に示します。

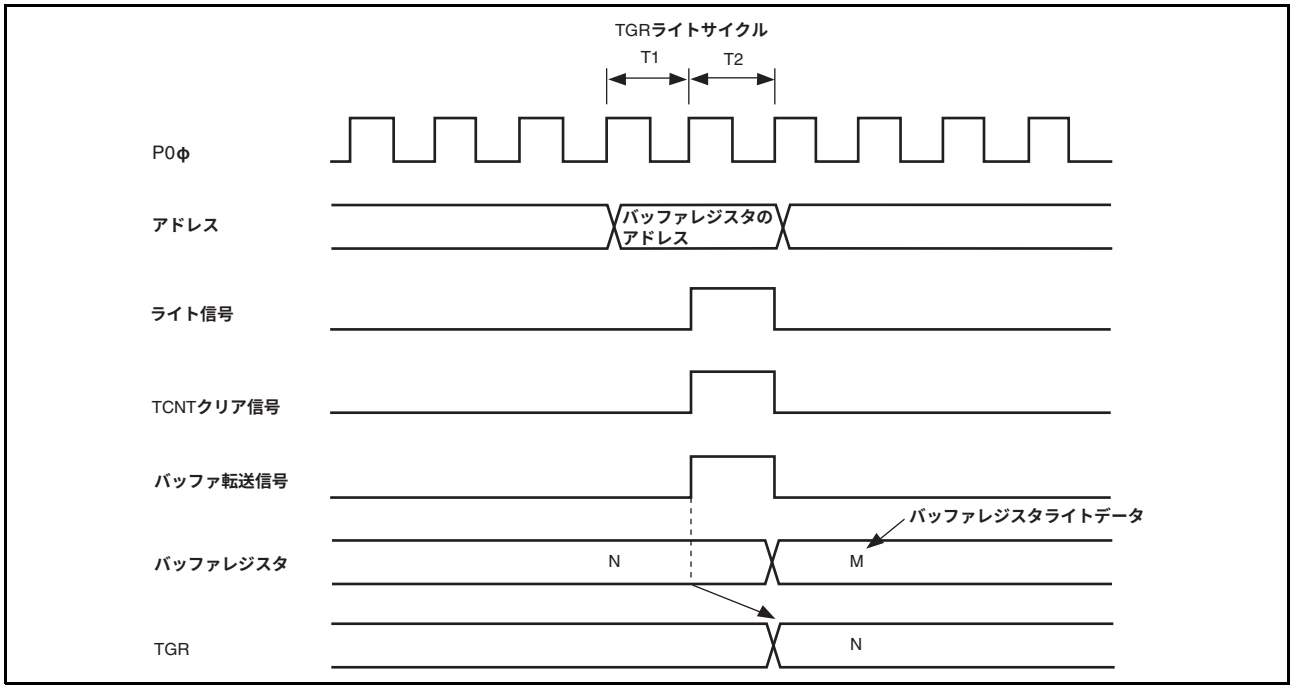


図 10.103　バッファレジスタのライトと TCNT クリアの競合

10.7.9　TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 10.104 に示します。

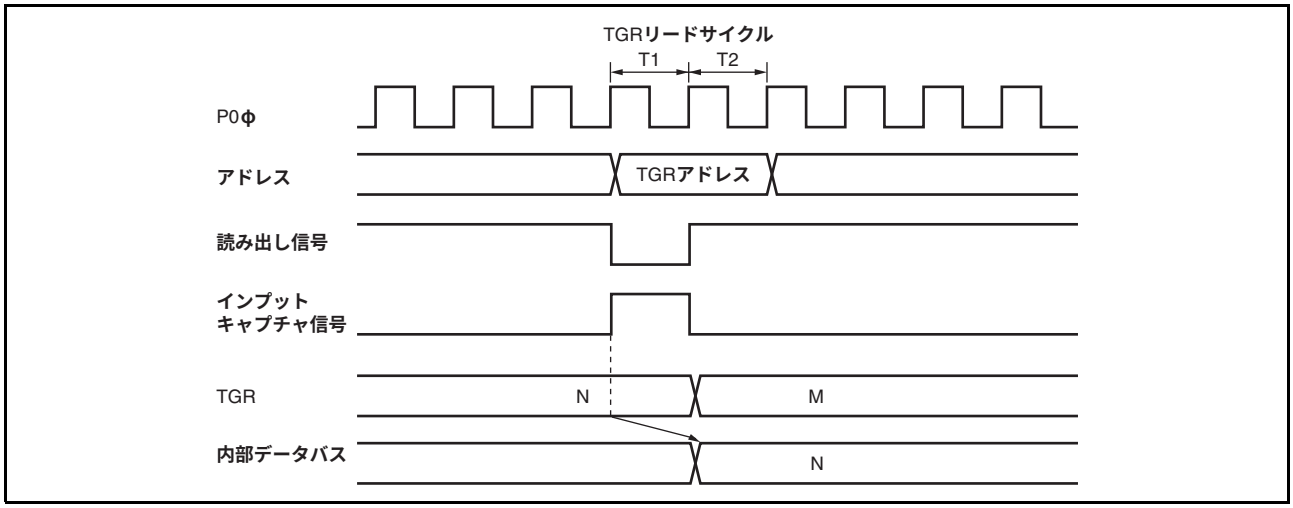


図 10.104　TGR のリードとインプットキャプチャの競合

10.7.10　TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 10.105 に示します。

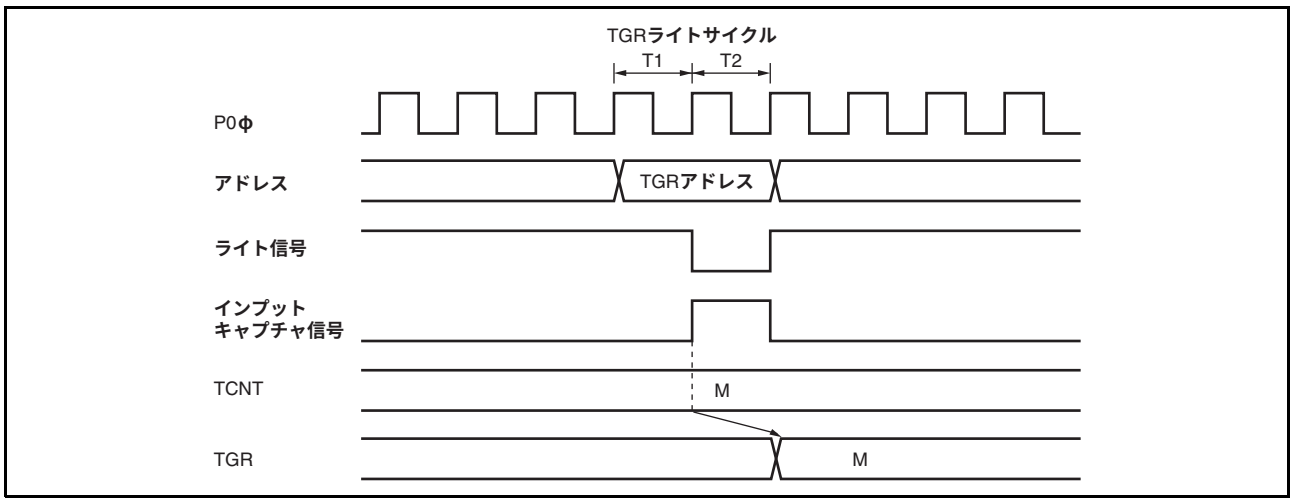


図 10.105　TGR のライトとインプットキャプチャの競合

10.7.11　バッファレジスタのライトとインプットキャプチャの競合

バッファのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.106 に示します。

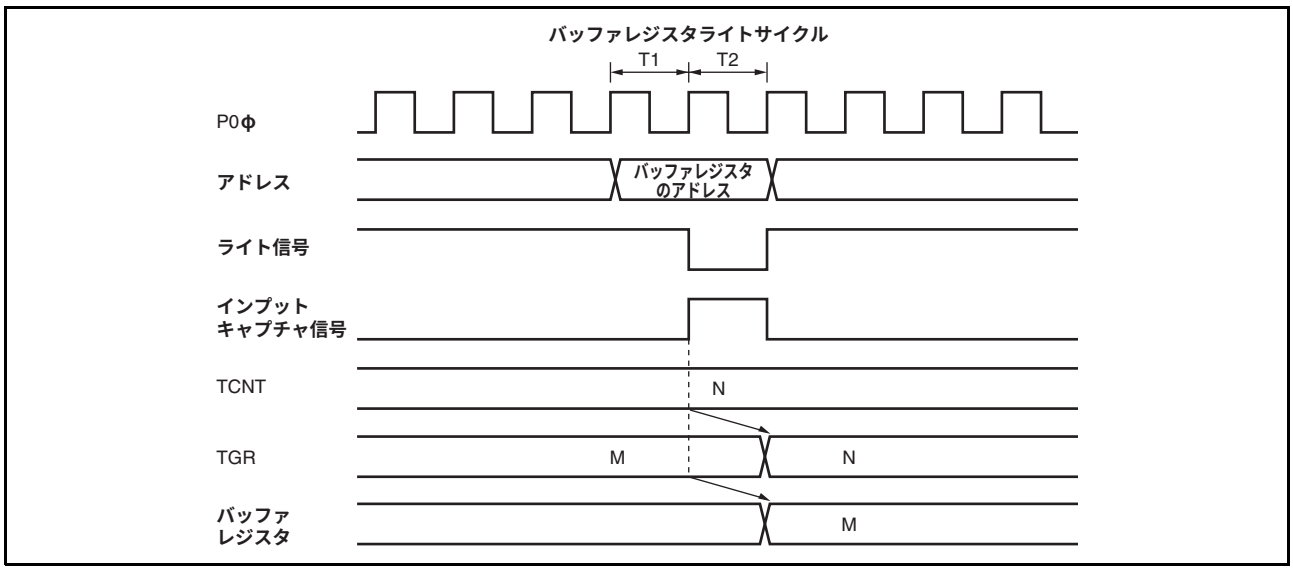


図 10.106　バッファレジスタのライトとインプットキャプチャの競合

10.7.12　カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合

タイマカウンタ（TCNT_1 と TCNT_2）をカスケード接続し、TCNT_1 がカウントする瞬間（TCNT_2 がオーバフロー／アンダフローする瞬間）と TCNT_2 の書き込みサイクル中の T2 ステートが競合すると、TCNT_2 への書き込みが行われ、TCNT_1 のカウント信号が禁止されます。このとき、TGRA_1 がコンペアマッチレジスタとして動作し TCNT_1 の値と一致していた場合、コンペアマッチ信号が発生します。

また、チャネル 0 のインプットキャプチャ要因に TCNT_1 カウントクロックを選択した場合には、TGRA_0～D_0 はインプットキャプチャ動作します。さらに TGRB_1 のインプットキャプチャ要因に TGRC_0 のコンペアマッチ／インプットキャプチャを選択した場合には、TGRB_1 はインプットキャプチャ動作します。

このタイミングを図 10.107 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、チャネル 1 とチャネル 2 の同期設定を行ってください。

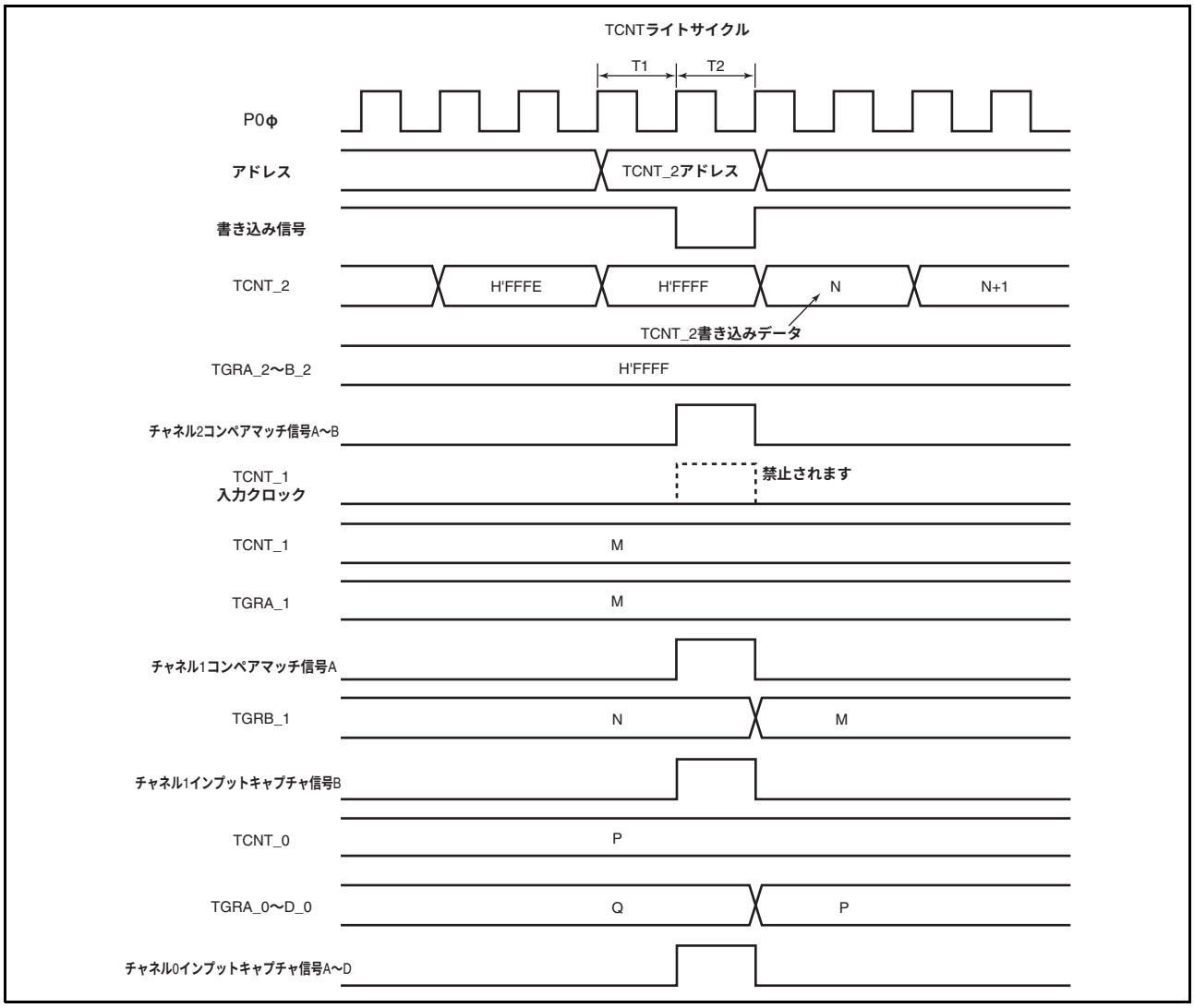


図 10.107　カスケード接続における TCNT_2 のライトとオーバフロー／アンダフローの競合

10.7.13　相補 PWM モード停止時のカウンタ値

TCNT_3、TCNT_4 が相補 PWM モードで動作している時にカウント動作を停止すると、TCNT_3 はタイマデッドタイムレジスタ（TDDR）の値、TCNT_4 は H'0000 になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を**図 10.108** に示します。

また、他の動作モードでカウントを開始する場合は TCNT_3、TCNT_4 にカウント初期値の設定を行ってください。

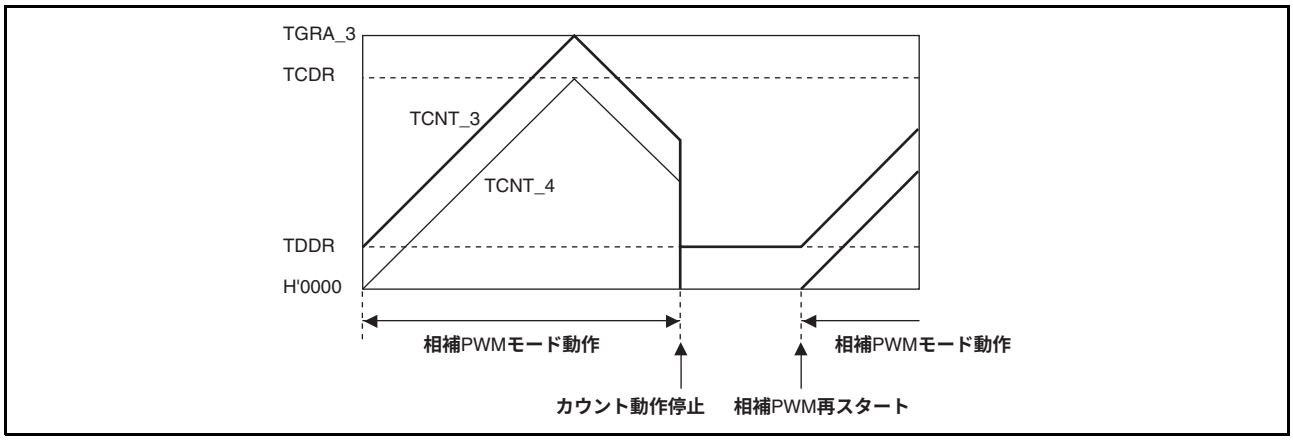


図 10.108　相補 PWM モード停止時のカウンタ値

10.7.14　相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ（TGRA_3）、タイマ周期データレジスタ（TCDR）、デューティ設定レジスタ（TGRB_3、TGRA_4、TGRB_4）の書き換えは、バッファ動作で行ってください。

相補 PWM モード時のチャネル 3 および 4 のバッファ動作は、TMDR_3 の BFA、BFB ビットの設定に従い動作します。TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能し、さらに TCBR は TCDR のバッファレジスタとして機能します。

10.7.15　リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

リセット同期 PWM モードでバッファ動作を設定する場合には、TMDR_4 の BFA、BFB ビットを 0 に設定してください。TMDR_4 の BFA ビットを 1 に設定すると、TIOC4C 端子の波形出力ができなくなります。

リセット同期 PWM モード時のチャネル 3 および 4 のバッファ動作は TMDR_3 の BFA、BFB ビットの設定に従い動作します。たとえば、TMDR_3 の BFA ビットを 1 にセットした場合、TGRC_3 は TGRA_3 のバッファレジスタとして機能します。同時に TGRC_4 は TGRA_4 のバッファレジスタとして機能します。

TSR_3 および TSR_4 の TGFC ビットと TGFD ビットは TGRC_3、TGRD_3 がバッファレジスタとして動作している場合、セットされることはありません。

TMDR_3 の BFA、BFB ビットを 1 にセットし、TMDR_4 の BFA、BFB ビットを 0 にセットした場合の TGR_3、TGR_4、TIOC3、TIOC4 の動作例を**図 10.109** に示します。

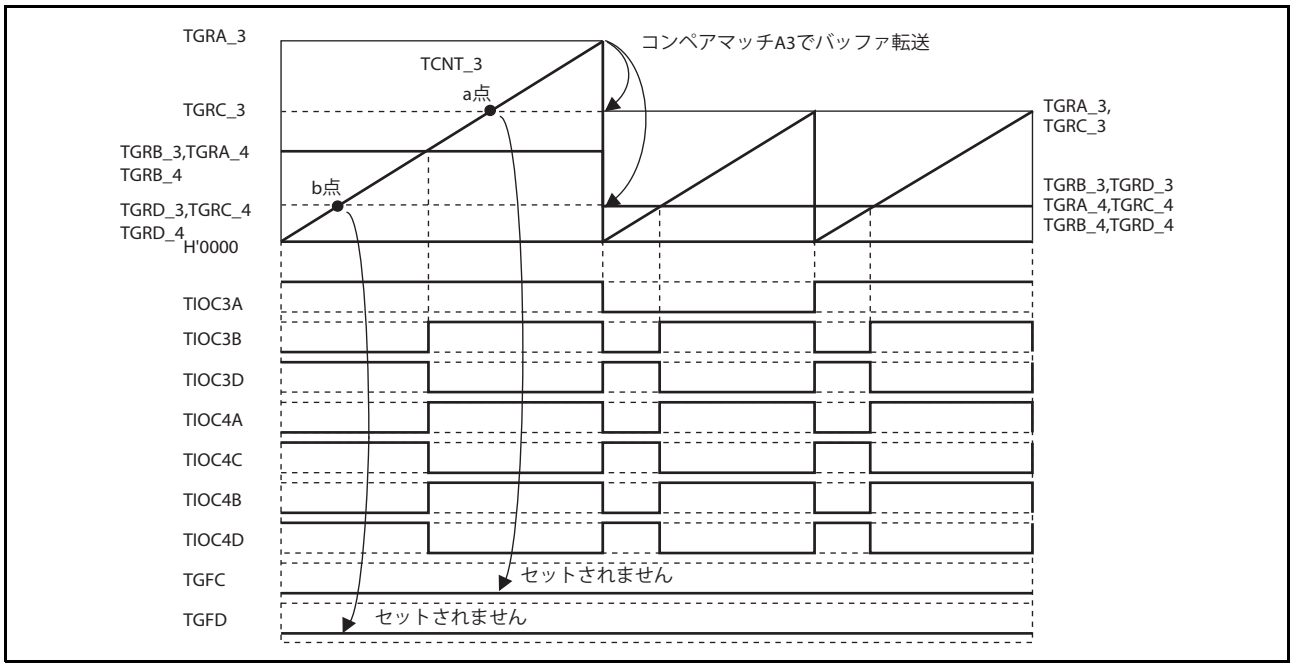


図 10.109　リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ

10.7.16　リセット同期 PWM モードのオーバフローフラグ

リセット同期 PWM モードを設定し、TSTR の CST3 ビットを 1 に設定すると、TCNT_3 と TCNT_4 のカウント動作が開始します。このとき、TCNT_4 のカウントクロックソースとカウントエッジは TCR_3 の設定に従います。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定した場合、TCNT_3、TCNT_4 がアップカウントし H'FFFF になると、TGRA_3 とのコンペアマッチが発生し、TCNT_3、TCNT_4 ともにカウントクリアされます。このとき、TSR のオーバフローフラグ TCFV ビットはセットされません。

リセット同期 PWM モードで周期レジスタ TGRA_3 の設定値を H'FFFF とし、カウンタクリア要因に TGRA_3 のコンペアマッチを指定し、同期設定していない場合の TCFV ビットの動作例を図 10.110 に示します。

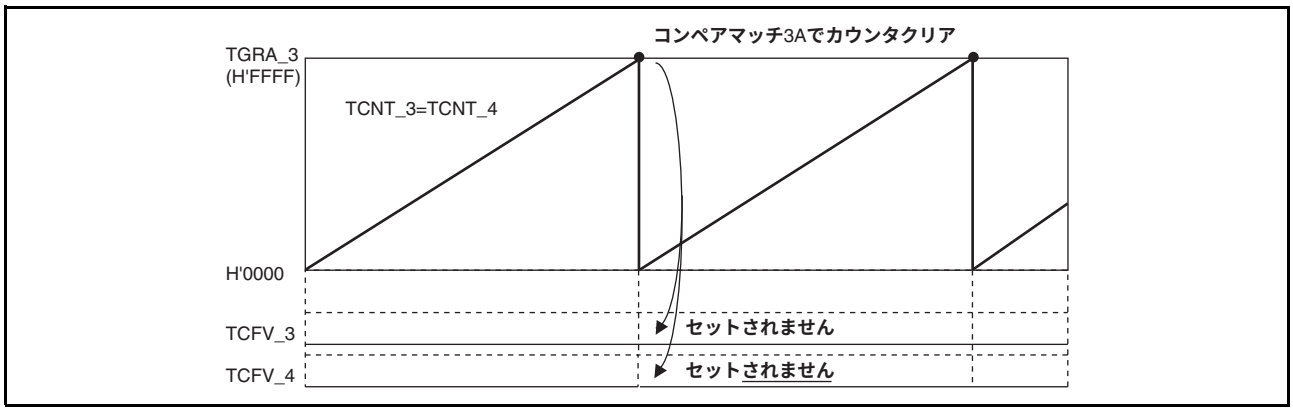


図 10.110　リセット同期 PWM モードのオーバフローフラグ

10.7.17　オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV ／ TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.111 に示します。

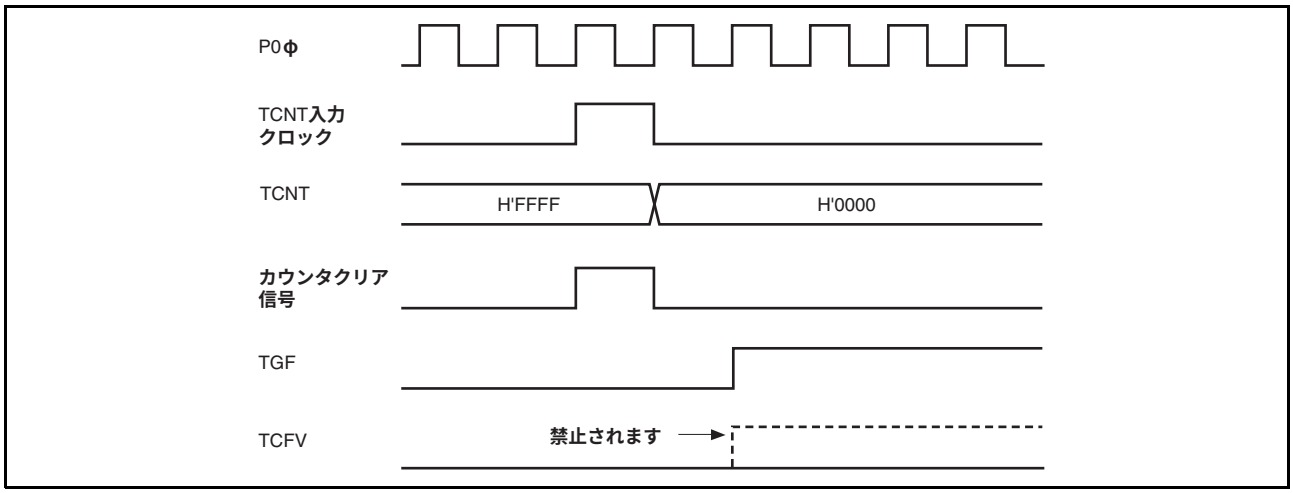


図 10.111　オーバフローとカウンタクリアの競合

10.7.18　TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV ／ TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 10.112 に示します。

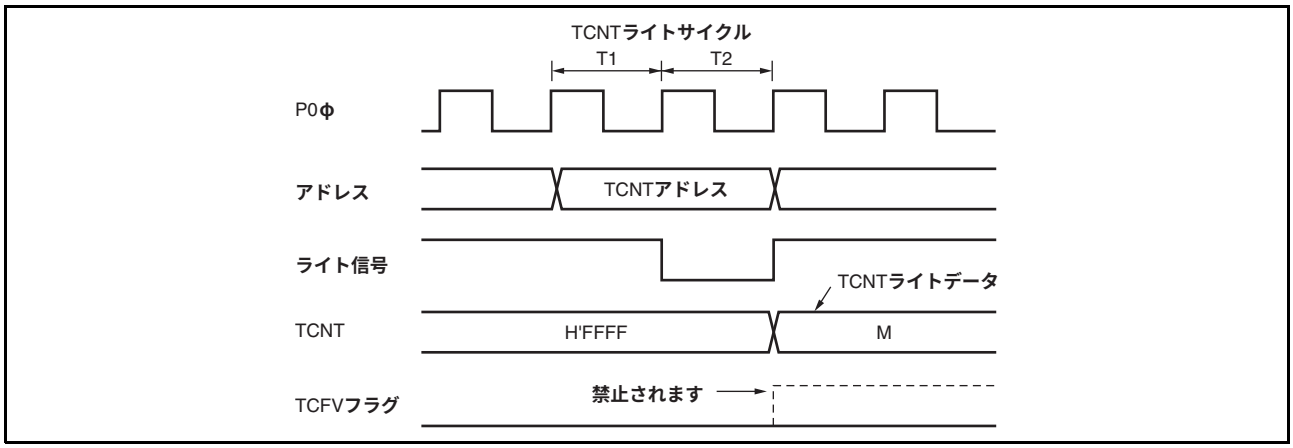


図 10.112　TCNT のライトとオーバフローの競合

10.7.19　通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合の注意事項

チャネル 3、4 の通常動作または PWM モード 1 からリセット同期 PWM モードへ遷移する場合、出力端子（TIOC3B、TIOC3D、TIOC4A、TIOC4C、TIOC4B、TIOC4D）をハイレベルの状態にしたままカウンタを止め、リセット同期 PWM モードに遷移して動作させると、端子の初期出力が正しく出力されませんのでご注意ください。

通常動作からリセット同期 PWM モードに遷移する場合には、TIORH_3、TIORL_3、TIORH_4、TIORL_4 レジスタに H'11 を書いて出力端子をローレベルに初期化した後、レジスタの初期値 H'00 を設定してからモード遷移を行ってください。

PWM モード 1 からリセット同期 PWM モードに遷移する場合には、いったん通常動作に遷移してから出力端子をローレベルへ初期化した後、レジスタの初期値 H'00 を設定してからリセット同期 PWM モードに遷移してください。

10.7.20　相補 PWM モード、リセット同期 PWM モードの出力レベル

チャネル 3、4 が相補 PWM モードまたはリセット同期 PWM モードの場合、PWM 波形の出力レベルはタイマアウトプットコントロールレジスタ（TOCR）の OLSP、OLSN ビットで設定します。相補 PWM モードまたはリセット同期 PWM モードの場合、TIOR は H'00 としてください。

10.7.21　モジュールスタンバイ時の割り込み

割り込みが要求された状態でモジュールスタンバイになると、CPU の割り込み要因、またはダイレクトメモリアクセスコントローラの起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールスタンバイモードとしてください。

10.7.22　カスケード接続における TCNT_1、TCNT_2 同時インプットキャプチャ

タイマカウンタ 1、2（TCNT_1 と TCNT_2）をカスケード接続して、32 ビットカウンタとして動作させている場合、TIOC1A と TIOC2A、または TIOC1B と TIOC2B に同時にインプットキャプチャ入力を行っても、TCNT_1、TCNT_2 に入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、TIOC1A、TIOC2A、または TIOC1B と TIOC2B の取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、TCNT_1（上位 16 ビットのカウンタ）が TCNT_2（下位 16 ビットのカウンタ）のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくは TCNT_1=H'FFF1、TCNT_2=H'0000 の値を TGRA_1 と TGRA_2、もしくは TGRB_1 と TGRB_2 に転送すべきところを誤って TCNT_1=H'FFF0、TCNT_2=H'0000 の値を転送します。

10.7.23　相補 PWM モードでの同期カウンタクリア時出力波形制御における注意事項

相補 PWM モードにて、同期カウンタクリア時出力波形制御を有効（TWCR レジスタの WRE=1）とした状態で、条件（1）、条件（2）のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる（もしくは消失）。
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される。

条件（1）　初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアする（**図 10.113**）。

条件（2）　初期出力の抑止期間⑩、⑪にて、TGRB_3 ≦ TDDR、TGRA_4 ≦ TDDR、TGRB_4 ≦ TDDR のいずれかが成立する状態で、同期クリアする（**図 10.114**）。

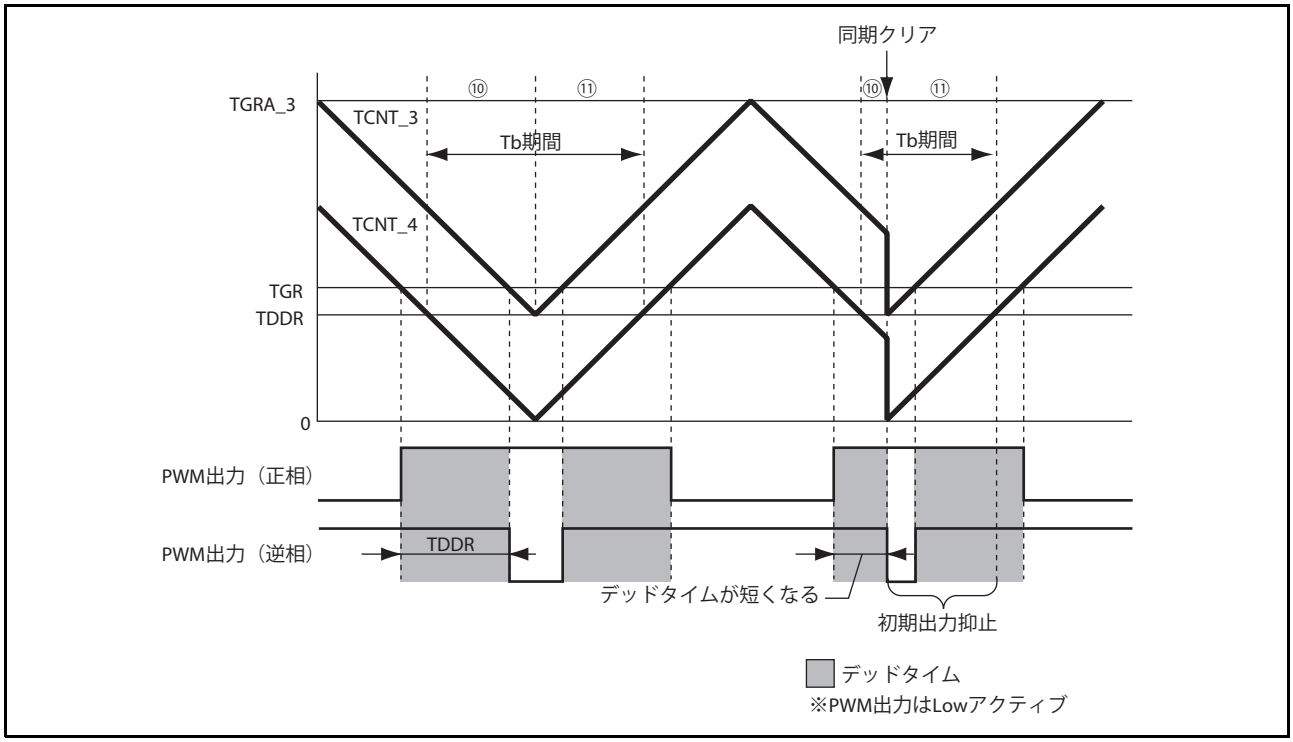


図 10.113　条件（1）の同期クリア例

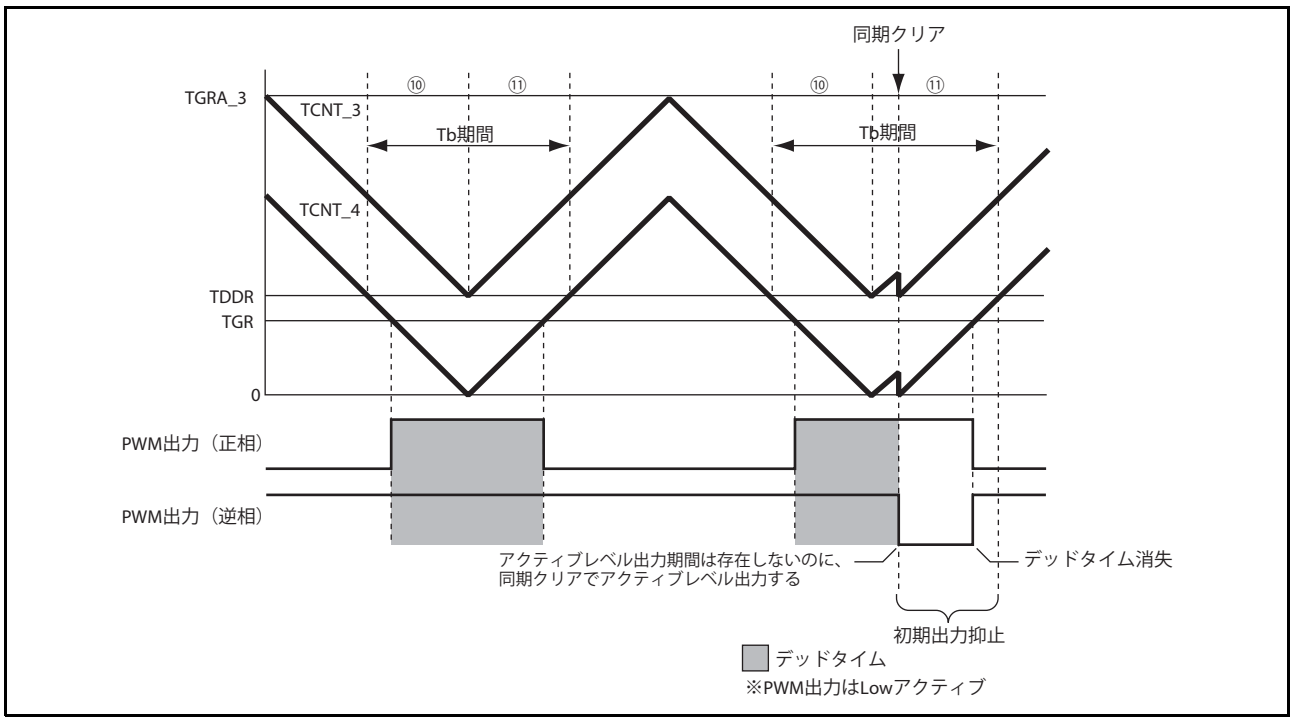


図 10.114　条件（2）の同期クリア例

本現象は下記の方法により、回避することができます。

コンペアレジスタ TGRB_3、TGRA_4、TGRB_4 のすべてが、デットタイムデータレジスタ TDDR の 2 倍以上になるように設定した状態で、同期クリアする。

10.8　マルチファンクションタイマパルスユニット 2 出力端子の初期化方法

10.8.1　動作モード

本モジュールには以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード（チャネル 0 ～ 4）
- PWM モード 1（チャネル 0 ～ 4）
- PWM モード 2（チャネル 0 ～ 2）
- 位相計数モード 1 ～ 4（チャネル 1、2）
- 相補 PWM モード（チャネル 3、4）
- リセット同期 PWM モード（チャネル 3、4）

ここでは、各モードでの本モジュール出力端子の初期化方法について示します。

10.8.2　リセットスタート時の動作

本モジュールの出力端子（TIOC*）はパワーオンリセットまたはディープスタンバイモード時に L に初期化されます。本モジュールの端子機能の選択は汎用入出力ポートで行うため、汎用入出力ポートが設定された時点でそのときの本モジュールの端子の状態がポートに出力されます。リセット直後に汎用入出力ポートで本モジュールの出力を選択した場合、ポート出力には本モジュール出力の初期状態 L がそのまま出力されます。アクティブレベルが L の場合、ここでシステムが動作してしまうため、汎用入出力ポートの設定は本モジュールの出力端子の初期設定終了後に行ってください。

注　* チャネル番号 + ポート記号が入ります。

10.8.3　動作中の異常などによる再設定時の動作

本モジュールの動作中に異常が発生した場合、システムで本モジュールの出力を遮断してください。遮断は端子の出力を汎用入出力ポートでポート出力に切り替え、アクティブレベルの反転を出力することにより行います。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

本モジュールには前述のように 6 つの動作モードがあります。モード遷移の組み合わせは 36 通りとなりますがチャネルとモードの組み合わせ上存在しない遷移が存在します。この一覧表を**表 10.57** に示します。

ただし、下記の表記を使用します。

Normal：ノーマルモード　　PWM1：PWM モード 1　　PWM2：PWM モード 2

PCM：位相計数モード 1 ～ 4　　CPWM：相補 PWM モード　　RPWM：リセット同期 PWM モード

表 10.57　モード遷移の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

10.8.4　動作中の異常などによる端子の初期化手順、モード遷移の概要

- タイマ I/O コントロールレジスタ（TIOR）の設定で端子の出力レベルを選択するモード（Normal、PWM1、PWM2、PCM）に遷移する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では TIOC*B（TIOC*D）端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 1 に遷移してください。
- PWM モード 2 では周期レジスタの端子に波形が出力されないため、TIOR を設定しても端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後、PWM モード 2 遷移してください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、TIOR を設定してもバッファレジスタの端子は初期化されません。初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、TIOR を設定しても TGRC の端子は初期化されません。TGRC の端子を初期化したい場合にはバッファモードを解除して初期化した後、バッファモードを再設定してください。
- タイマアウトプットコントロールレジスタ（TOCR）の設定で端子の出力レベルを選択するモード（CPWM、RPWM）に遷移する場合は、ノーマルモードに遷移し TIOR で初期化、TIOR を初期値に戻したのちタイマアウトプットマスタイネーブルレジスタ（TOER）でチャネル 3、4 を一度出力禁止としてください。その後モード設定手順（TOCR 設定、TMDR 設定、TOER 設定）に従い動作させてください。

注．　本項記述中の * にはチャネル番号が入ります。

以下、**表 10.57** の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは L とします。

(1)　ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.115 に示します。

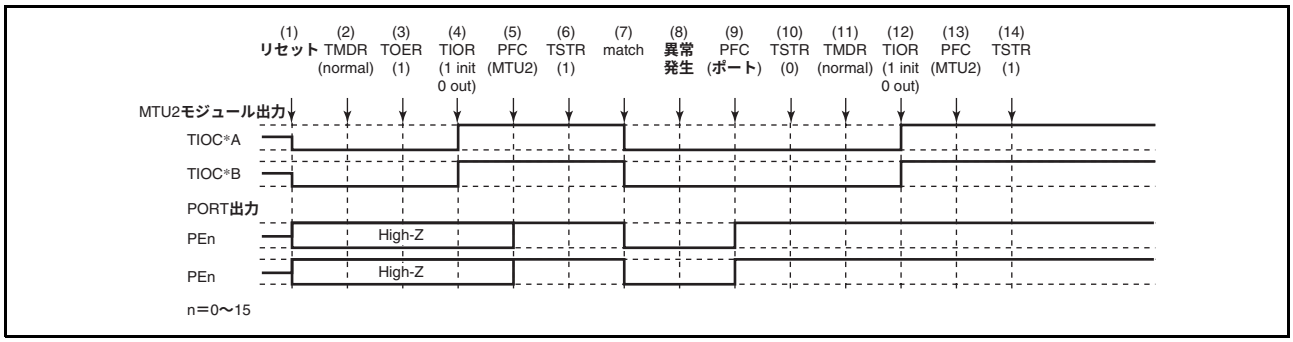


図 10.115　ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
(2) リセットにより TMDR はノーマルモード設定になります。
(3) チャネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
(4) TIOR で端子を初期化してください（例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
(5) 汎用入出力ポートで本モジュール出力としてください。
(6) TSTR でカウント動作を開始します。
(7) コンペアマッチの発生によりローレベルを出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
(10) TSTR でカウント動作を停止します。
(11) ノーマルモードで再スタートする場合は必要ありません。
(12) TIOR で端子を初期化してください。
(13) 汎用入出力ポートで本モジュール出力としてください。
(14) TSTR で再スタートします。

(2)　ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.116 に示します。

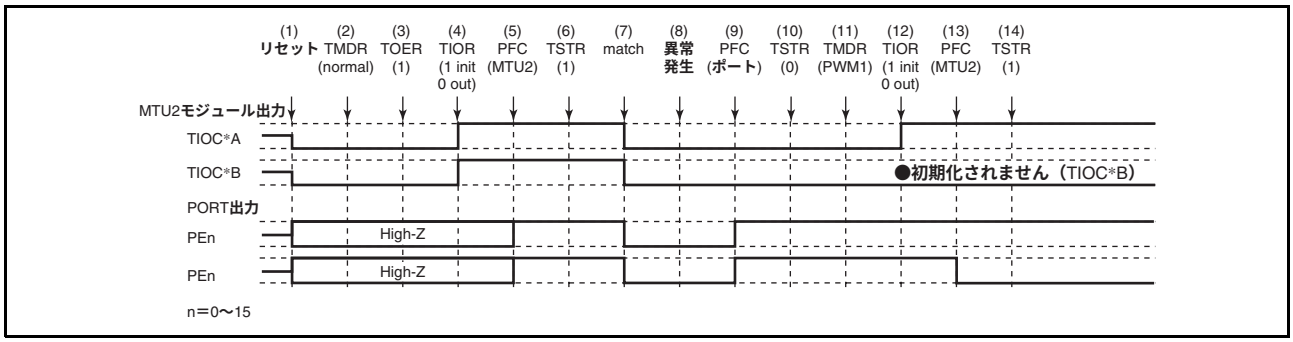


図 10.116　ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.115 と共通です。
（11）PWM モード 1 を設定します。
（12）TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません。初期化したい場合はノーマルモードで初期化した後、PWM モード 1 に遷移してください）。
（13）汎用入出力ポートで本モジュール出力としてください。
（14）TSTR で再スタートします。

(3)　ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 10.117 に示します。

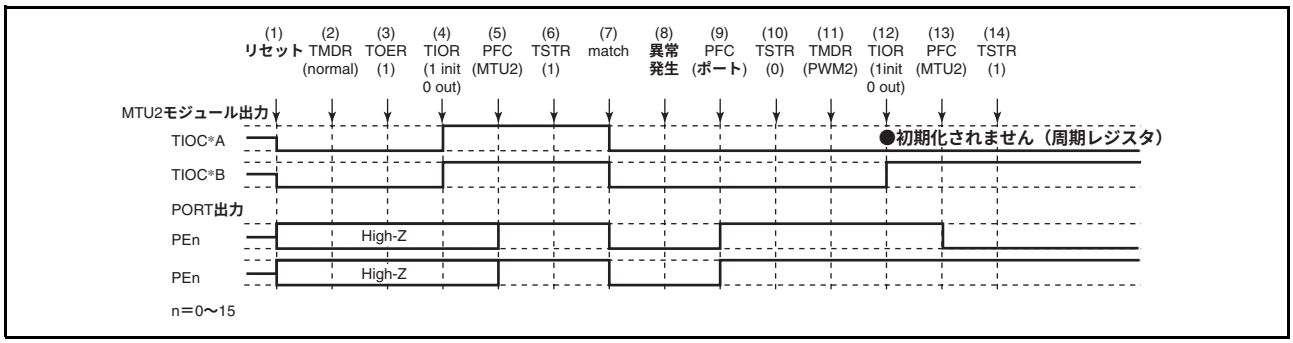


図 10.117　ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（10）は図 10.115 と共通です。
（11）PWM モード 2 を設定します。
（12）TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません。初期化したい場合にはノーマルモードで初期化した後 PWM モード 2 に遷移してください）。
（13）汎用入出力ポートで本モジュール出力としてください。
（14）TSTR で再スタートします。

注 .　PWM モード 2 はチャネル 0 ～ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(4)　ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.118 に示します。

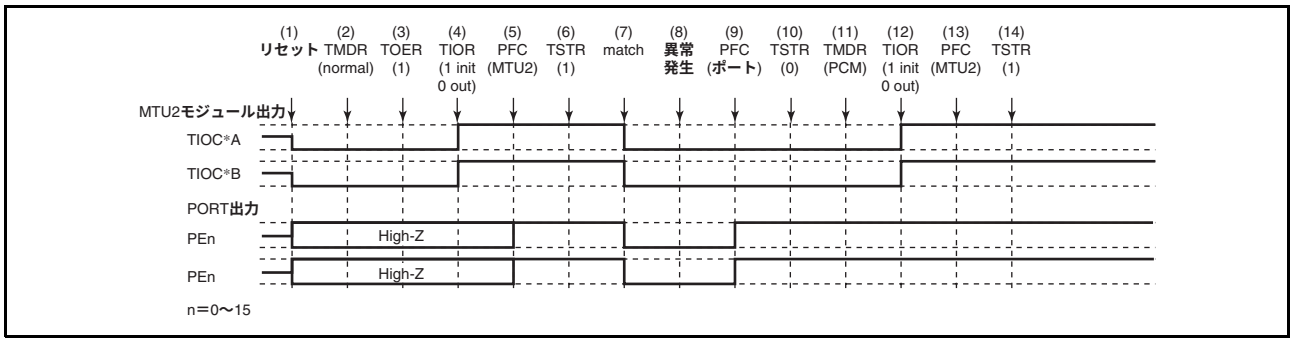


図 10.118　ノーマルモードで異常が発生し、位相計数モードで復帰する場合

（1）～（10）は図 10.115 と共通です。
（11）位相計数モードを設定します。
（12）TIOR で端子を初期化してください。
（13）汎用入出力ポートで本モジュール出力としてください。
（14）TSTR で再スタートします。

注 .　位相計数モードはチャネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(5)　ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.119 に示します。

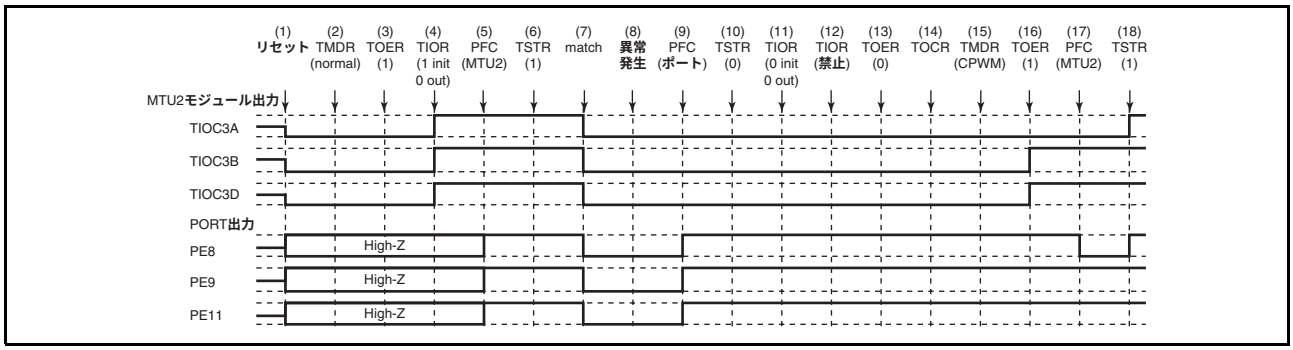


図 10.119　ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.115 と共通です。
（11）TIOR でノーマルモードの波形生成部を初期化してください。
（12）TIOR でノーマルモードの波形生成部の動作を禁止してください。
（13）TOER でチャネル 3、4 の出力を禁止してください。
（14）TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
（15）相補 PWM を設定します。
（16）TOER でチャネル 3、4 の出力を許可してください。
（17）汎用入出力ポートで本モジュール出力としてください。
（18）TSTR で再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を**図 10.120** に示します。

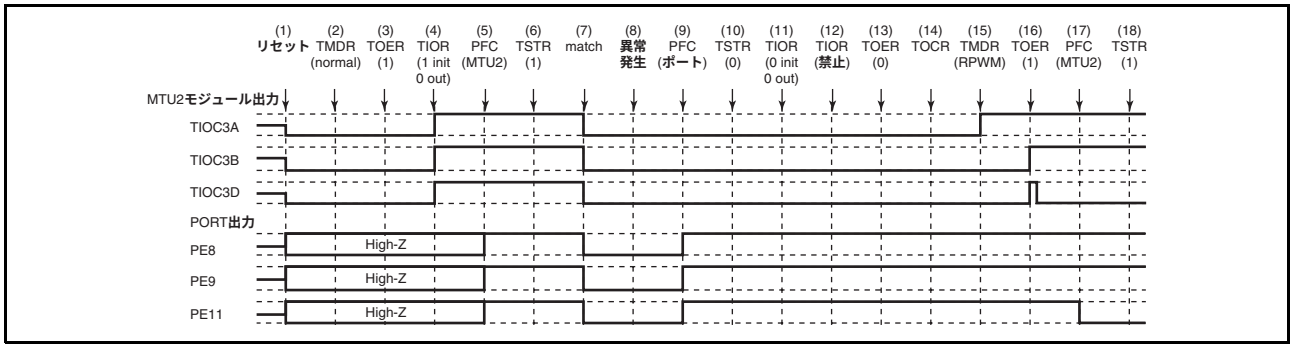


図 10.120　ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（13）は**図 10.115** と共通です。
（14）TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
（15）リセット同期 PWM を設定します。
（16）TOER でチャネル 3、4 の出力を許可してください。
（17）汎用入出力ポートで本モジュール出力としてください。
（18）TSTR で再スタートします。

(7)　PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.121 に示します。

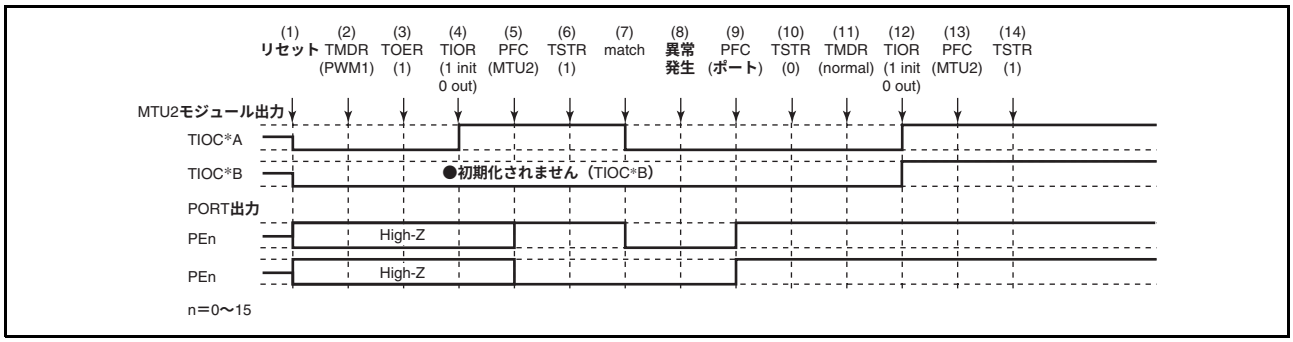


図 10.121　PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
(2) PWM モード 1 を設定してください。
(3) チャネル 3、4 では TIOR で端子を初期化する前に TOER で出力を許可してください。
(4) TIOR で端子を初期化してください（例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 1 では TIOC*B 側は初期化されません）。
(5) 汎用入出力ポートで本モジュール出力としてください。
(6) TSTR でカウント動作を開始します。
(7) コンペアマッチの発生により L を出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
(10) TSTR でカウント動作を停止します。
(11) ノーマルモードを設定してください。
(12) TIOR で端子を初期化してください。
(13) 汎用入出力ポートで本モジュール出力としてください。
(14) TSTR で再スタートします。

(8)　PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWMモード1で異常が発生し、再設定後PWMモード1で再スタートする場合の説明図を図10.122に示します。

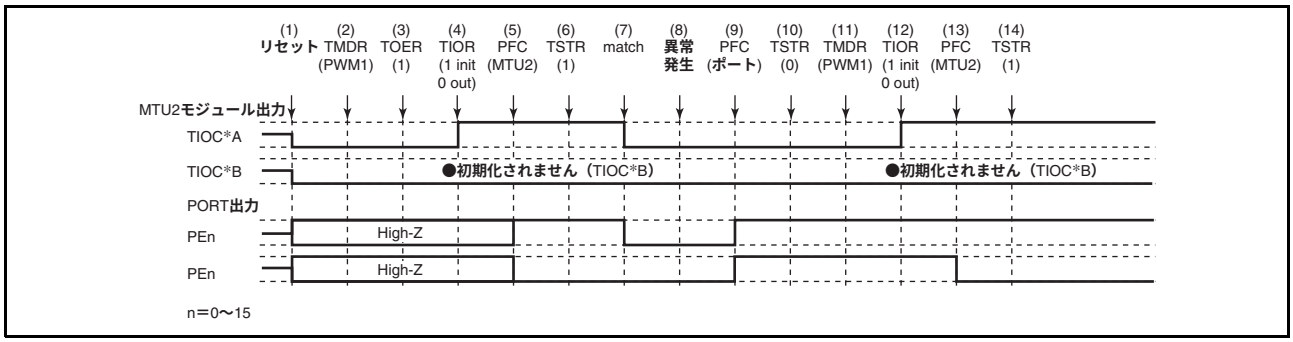


図 10.122　PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.121 と共通です。
（11）PWM モード 1 で再スタートする場合には必要ありません。
（12）TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。
（13）汎用入出力ポートで本モジュール出力としてください。
（14）TSTR で再スタートします。

(9)　PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWMモード1で異常が発生し、再設定後PWMモード2で再スタートする場合の説明図を図10.123に示します。

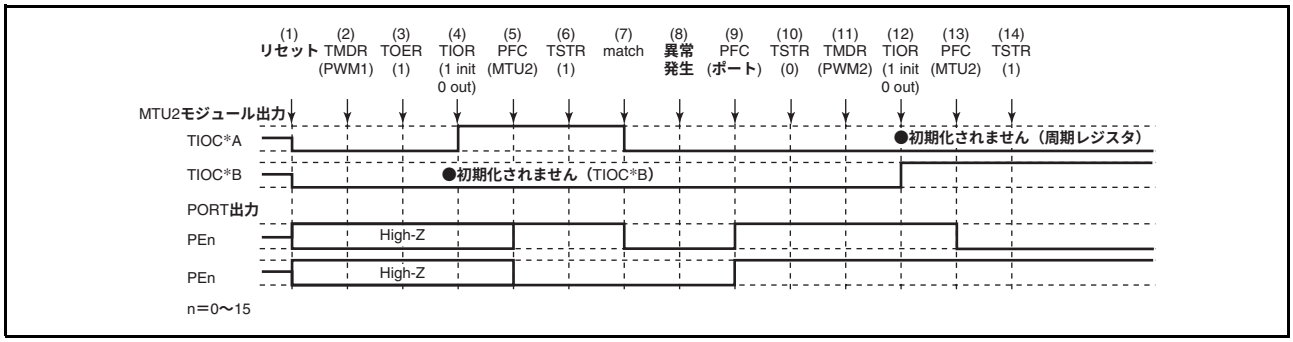


図 10.123　PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（10）は図 10.121 と共通です。
（11）PWM モード 2 を設定します。
（12）TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません）。
（13）汎用入出力ポートで本モジュール出力としてください。
（14）TSTR で再スタートします。

注 .　PWM モード 2 はチャネル 0 ～ 2 でのみ設定可能です。したがって TOER の設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.124 に示します。

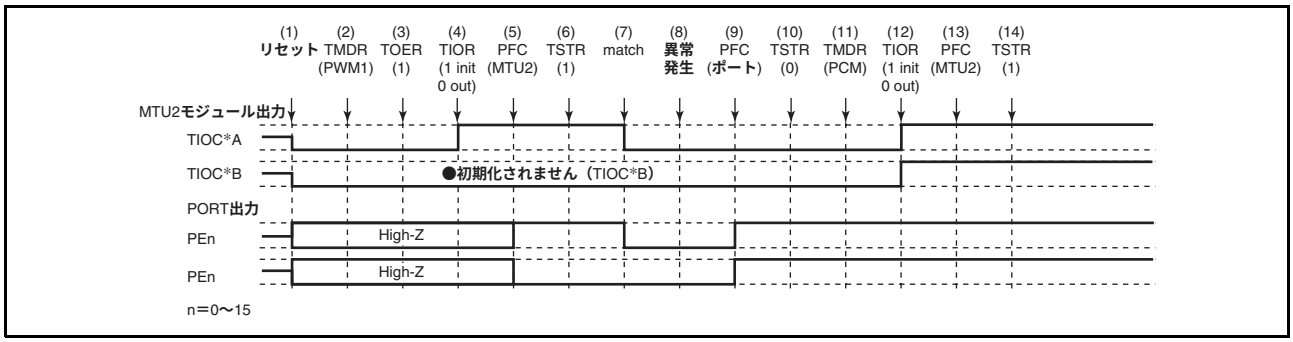


図 10.124　PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

（1）～（10）は図 10.121 と共通です。
（11）位相計数モードを設定します。
（12）TIOR で端子を初期化してください。
（13）汎用入出力ポートで本モジュール出力としてください。
（14）TSTR で再スタートします。

注 .　位相計数モードはチャネル 1、2 でのみ設定可能です。したがって TOER の設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.125 に示します。

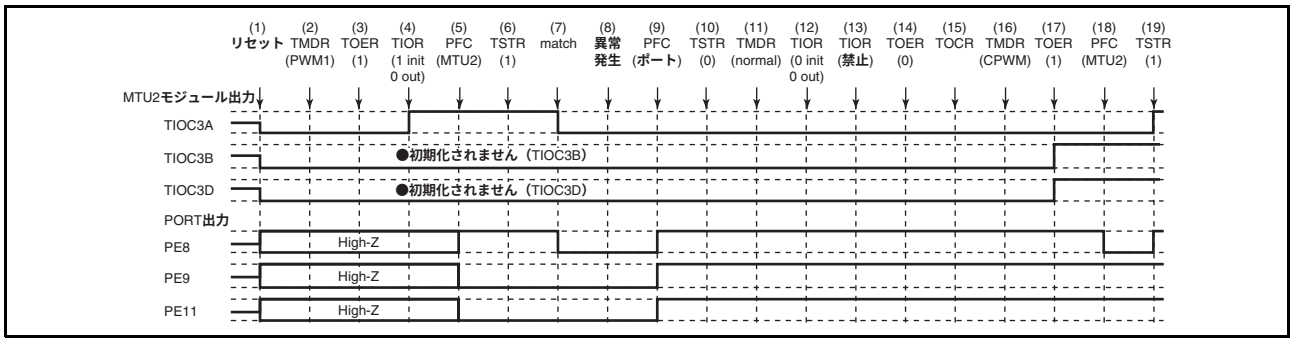


図 10.125　PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.121 と共通です。
（11）波形生成部の初期化のためノーマルモードを設定してください。
（12）TIOR で PWM モード 1 の波形生成部を初期化してください。
（13）TIOR で PWM モード 1 の波形生成部の動作を禁止してください
（14）TOER でチャネル 3、4 の出力を禁止してください。
（15）TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
（16）相補 PWM を設定します。
（17）TOER でチャネル 3、4 の出力を許可してください。
（18）汎用入出力ポートで本モジュール出力としてください。
（19）TSTR で再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.126 に示します。

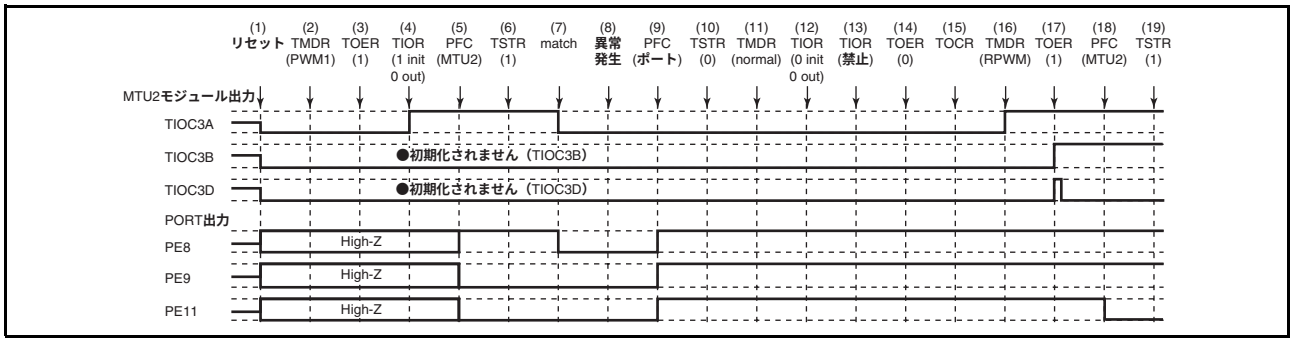


図 10.126　PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（14）は図 10.125 と共通です。
（15）TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
（16）リセット同期 PWM を設定します。
（17）TOER でチャネル 3、4 の出力を許可してください。
（18）汎用入出力ポートで本モジュール出力としてください。
（19）TSTR で再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.127 に示します。

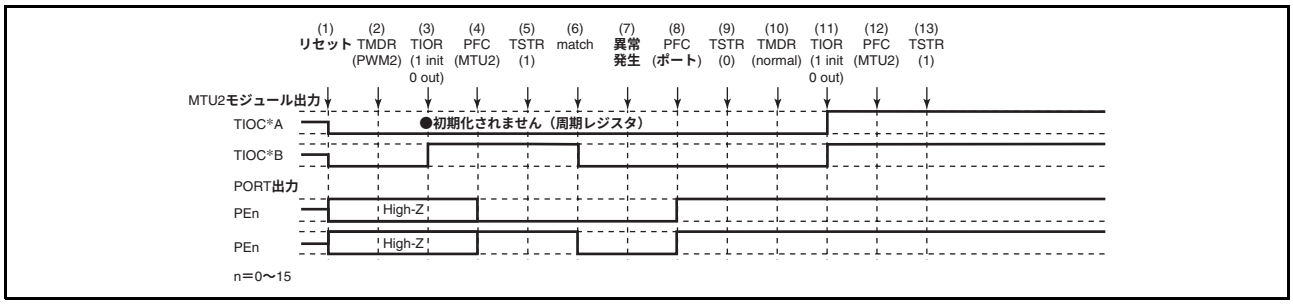


図 10.127　PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
(2) PWM モード 2 を設定してください。
(3) TIOR で端子を初期化してください（例は初期出力はハイレベル、コンペアマッチでローレベル出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は TIOC*A が周期レジスタの場合です）。
(4) 汎用入出力ポートで本モジュール出力としてください。
(5) TSTR でカウント動作を開始します。
(6) コンペアマッチの発生によりローレベルを出力します。
(7) 異常が発生しました。
(8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
(9) TSTR でカウント動作を停止します。
(10) ノーマルモードを設定してください。
(11) TIOR で端子を初期化してください。
(12) 汎用入出力ポートで本モジュール出力としてください。
(13) TSTR で再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWMモード2で異常が発生し、再設定後PWMモード1で再スタートする場合の説明図を図10.128に示します。

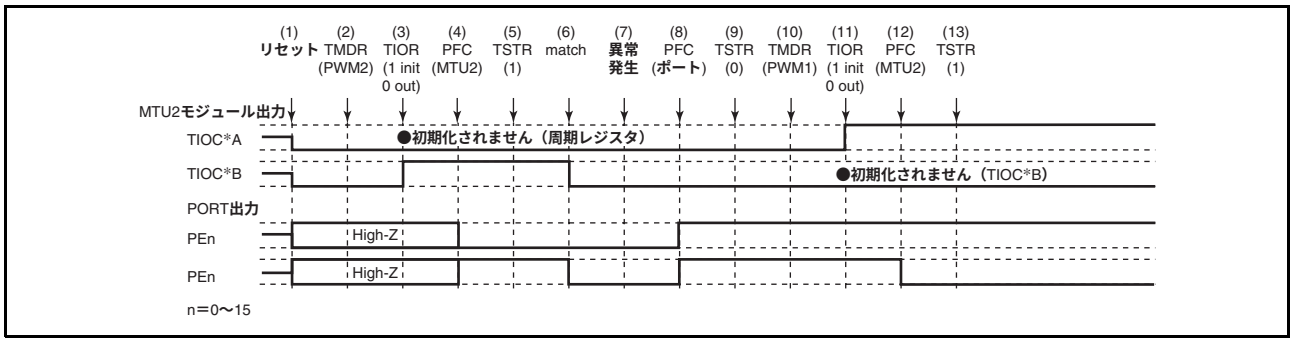


図 10.128　PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 10.127 と共通です。
（10）PWM モード 1 を設定します。
（11）TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。
（12）汎用入出力ポートで本モジュール出力としてください。
（13）TSTR で再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWMモード2で異常が発生し、再設定後PWMモード2で再スタートする場合の説明図を図10.129に示します。

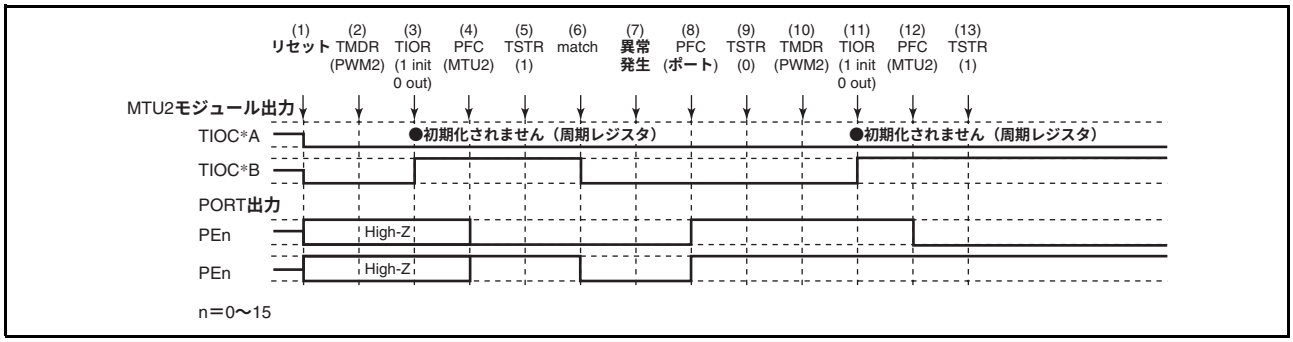


図 10.129　PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 10.127 と共通です。
（10）PWM モード 2 で再スタートする場合には必要ありません。
（11）TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません）。
（12）汎用入出力ポートで本モジュール出力としてください。
（13）TSTR で再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.130 に示します。

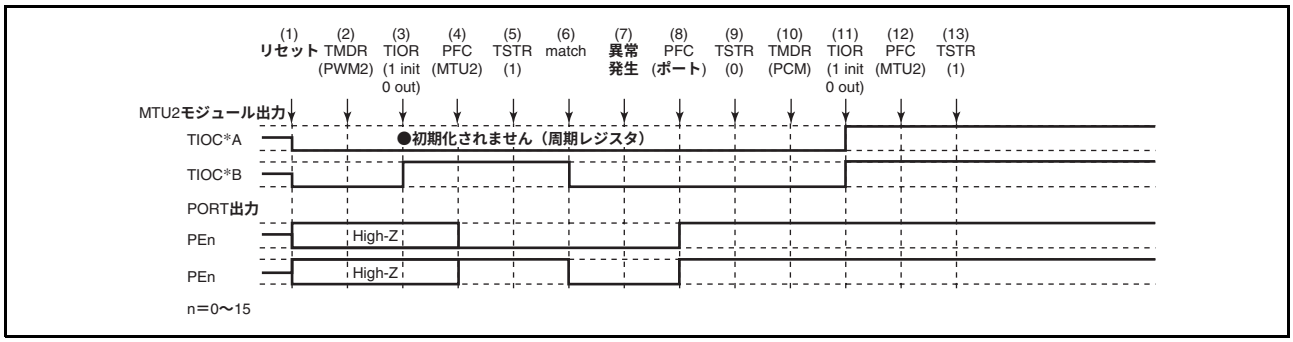


図 10.130　PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 10.127 と共通です。
（10）位相計数モードを設定します。
（11）TIOR で端子を初期化してください。
（12）汎用入出力ポートで本モジュール出力としてください。
（13）TSTR で再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.131 に示します。

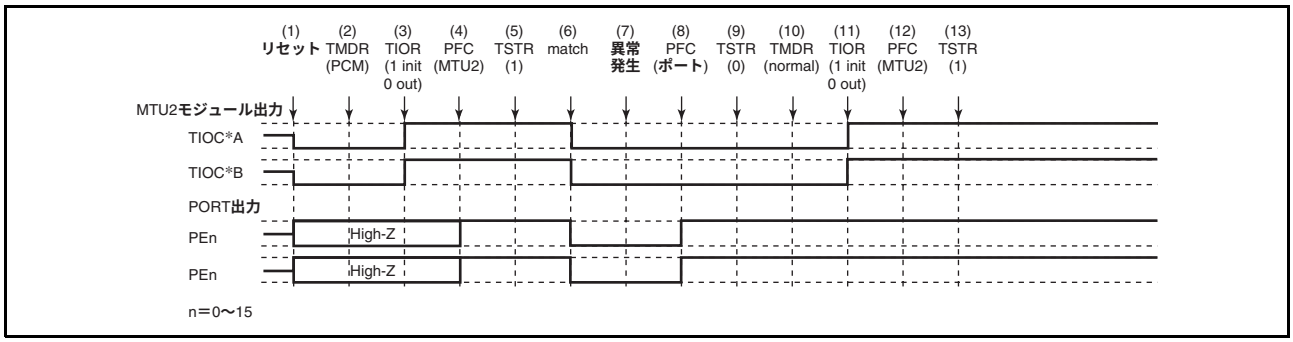


図 10.131　位相計数モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
(2) 位相計数モードを設定してください。
(3) TIOR で端子を初期化してください（例は初期出力はハイレベル、コンペアマッチでローレベル出力です)。
(4) 汎用入出力ポートで本モジュール出力としてください。
(5) TSTR でカウント動作を開始します。
(6) コンペアマッチの発生によりローレベルを出力します。
(7) 異常が発生しました。
(8) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
(9) TSTR でカウント動作を停止します。
(10) ノーマルモードで設定してください。
(11) TIOR で端子を初期化してください。
(12) 汎用入出力ポートで本モジュール出力としてください。
(13) TSTR で再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.132 に示します。

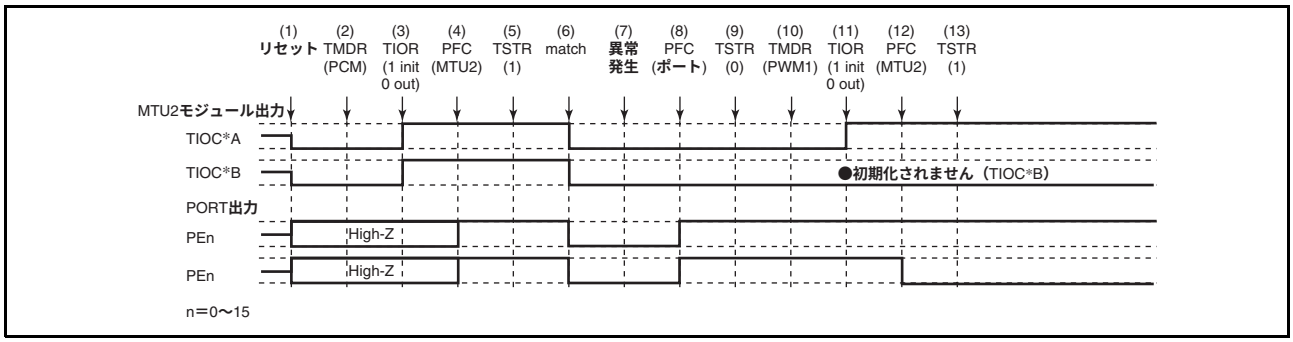


図 10.132　位相計数モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（9）は図 10.131 と共通です。
（10）PWM モード 1 を設定します。
（11）TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。
（12）汎用入出力ポートで本モジュール出力としてください。
（13）TSTR で再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 10.133 に示します。

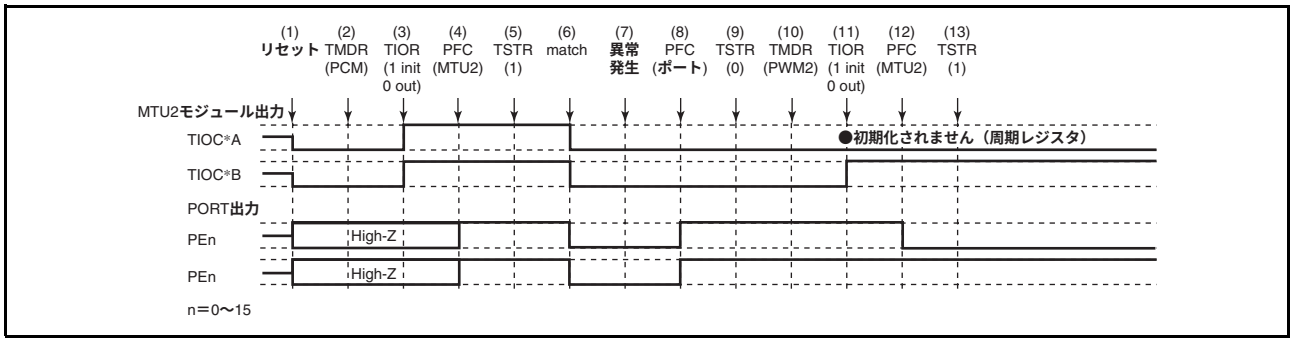


図 10.133　位相計数モードで異常が発生し、PWM モード 2 で復帰する場合

（1）～（9）は図 10.131 と共通です。
（10）PWM モード 2 を設定します。
（11）TIOR で端子を初期化してください（PWM モード 2 では周期レジスタの端子は初期化されません）。
（12）汎用入出力ポートで本モジュール出力としてください。
（13）TSTR で再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 10.134 に示します。

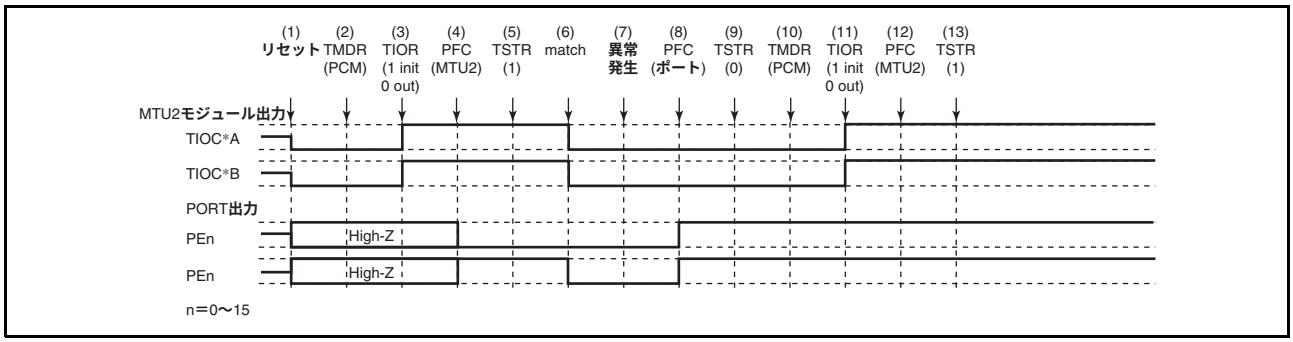


図 10.134　位相計数モードで異常が発生し、位相計数モードで復帰する場合

（1）～（9）は図 10.131 と共通です。

（10）位相計数モードで再スタートする場合には必要ありません。

（11）TIOR で端子を初期化してください。

（12）汎用入出力ポートで本モジュール出力としてください。

（13）TSTR で再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 10.135 に示します。

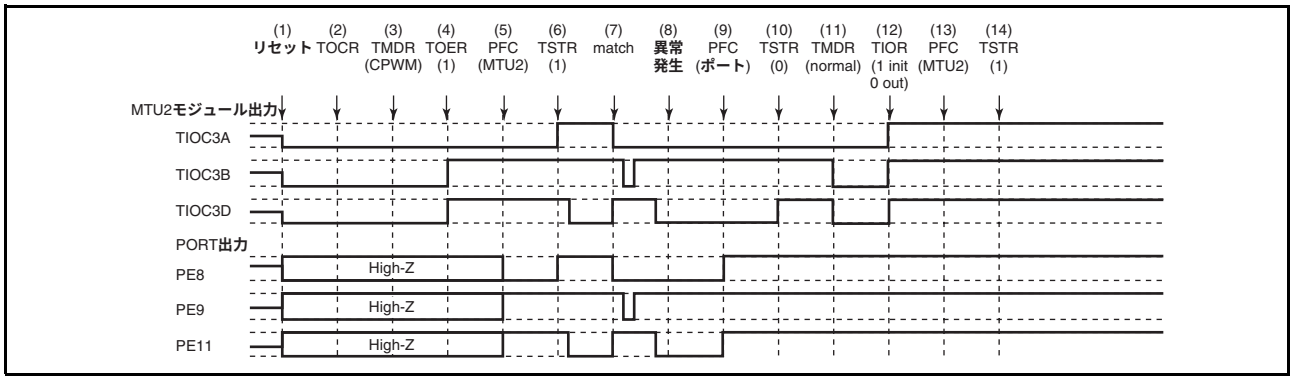


図 10.135　相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
(2) TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。
(3) 相補 PWM を設定します。
(4) TOER でチャネル 3、4 の出力を許可してください。
(5) 汎用入出力ポートで本モジュール出力としてください。
(6) TSTR でカウント動作を開始します。
(7) コンペアマッチの発生により相補 PWM 波形を出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
(10) TSTR でカウント動作を停止します（本モジュール出力は相補 PWM 出力初期値となります）。
(11) ノーマルモードを設定してください（本モジュール出力はローレベルとなります）。
(12) TIOR で端子を初期化してください。
(13) 汎用入出力ポートで本モジュール出力としてください。
(14) TSTR で再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.136 に示します。

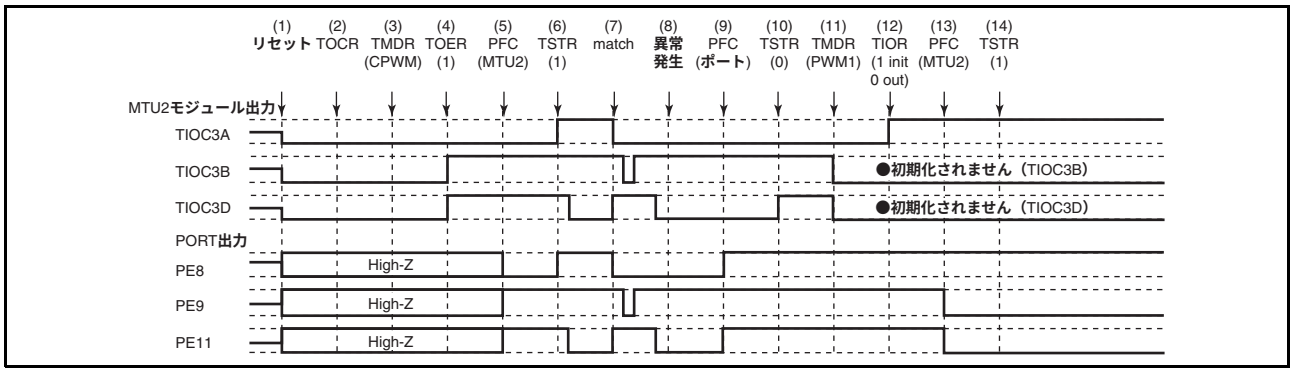


図 10.136　相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.135 と共通です。
（11）PWM モード 1 を設定してください（本モジュール出力はローレベルとなります）。
（12）TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。
（13）汎用入出力ポートで本モジュール出力としてください。
（14）TSTR で再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.137 に示します（周期、デューティ設定をカウンタを止めた時の値から再スタートする場合）。

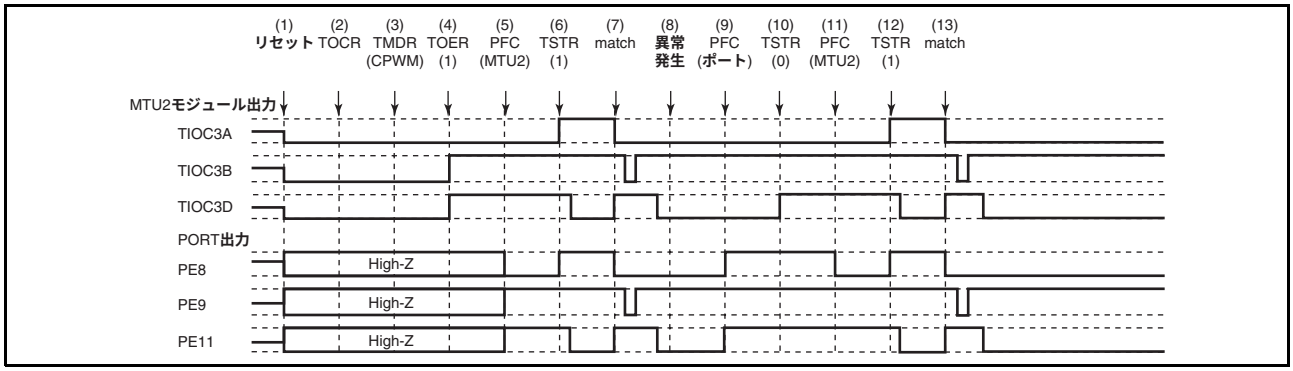


図 10.137　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.135 と共通です。
（11）汎用入出力ポートで本モジュール出力としてください。
（12）TSTR で再スタートします。
（13）コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.138 に示します（周期、デューティ設定を全く新しい設定値で再スタートする場合）。

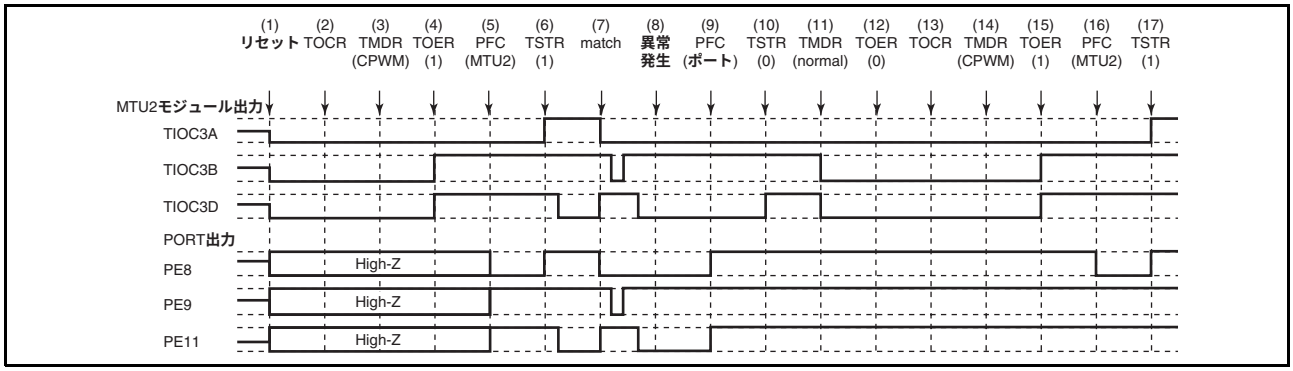


図 10.138　相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.135 と共通です。

（11）ノーマルモードを設定し新しい設定値を設定してください（本モジュール出力はローレベルとなります）。

（12）TOER でチャネル 3、4 の出力を禁止してください。

（13）TOCR で相補 PWM モードの出力レベルと周期出力の許可禁止を選択してください。

（14）相補 PWM を設定します。

（15）TOER でチャネル 3、4 の出力を許可してください。

（16）汎用入出力ポートで本モジュール出力としてください。

（17）TSTR で再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.139 に示します。

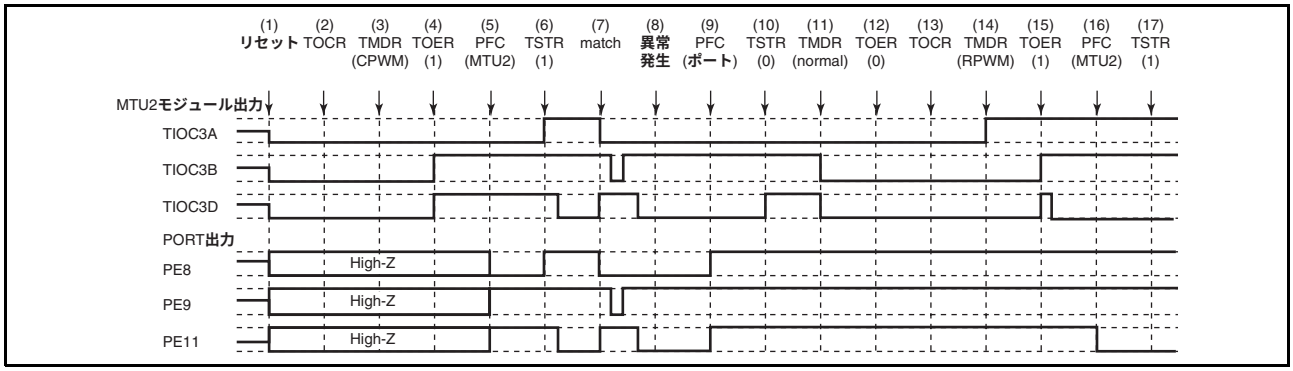


図 10.139　相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（10）は図 10.135 と共通です。
（11）ノーマルモードを設定してください（本モジュール出力はローレベルとなります）。
（12）TOER でチャネル 3、4 の出力を禁止してください。
（13）TOCR でリセット同期 PWM モードの出力レベルと周期出力の許可禁止を選択してください。
（14）リセット同期 PWM を設定します。
（15）TOER でチャネル 3、4 の出力を許可してください。
（16）汎用入出力ポートで本モジュール出力としてください。
（17）TSTR で再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を**図 10.140** に示します。

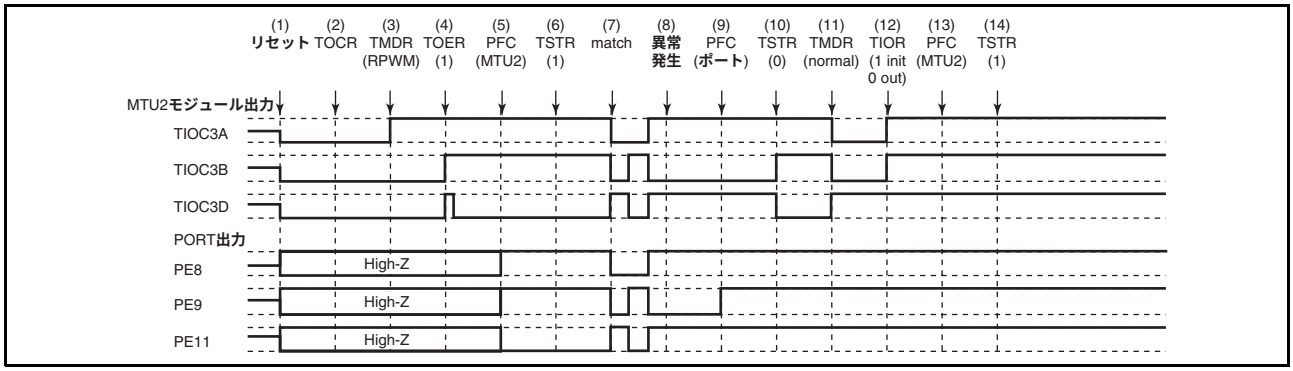


図 10.140　リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

(1) リセットにより本モジュール出力はローレベル、ポートはハイインピーダンスになります。
(2) TOCR でリセット同期 PWM の出力レベルと周期出力の許可禁止を選択してください。
(3) リセット同期 PWM を設定します。
(4) TOER でチャネル 3、4 の出力を許可してください。
(5) 汎用入出力ポートで本モジュール出力としてください。
(6) TSTR でカウント動作を開始します。
(7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
(8) 異常が発生しました。
(9) 汎用入出力ポートでポート出力とし、アクティブレベルの反転を出力してください。
(10) TSTR でカウント動作を停止します（本モジュール出力はリセット同期 PWM 出力初期値となります)。
(11) ノーマルモードを設定してください（本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります)。
(12) TIOR で端子を初期化してください。
(13) 汎用入出力ポートで本モジュール出力としてください。
(14) TSTR で再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 10.141 に示します。

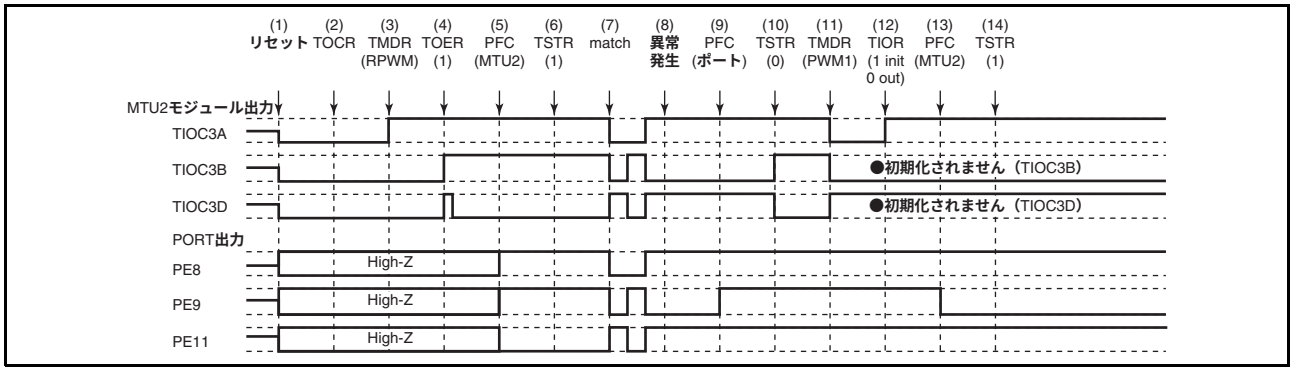


図 10.141　リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

（1）～（10）は図 10.140 と共通です。

（11）PWM モード 1 を設定してください（本モジュール出力は正相側がローレベル、逆相側がハイレベルとなります）。

（12）TIOR で端子を初期化してください（PWM モード 1 では TIOC*B 側は初期化されません）。

（13）汎用入出力ポートで本モジュール出力としてください。

（14）TSTR で再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 10.142 に示します。

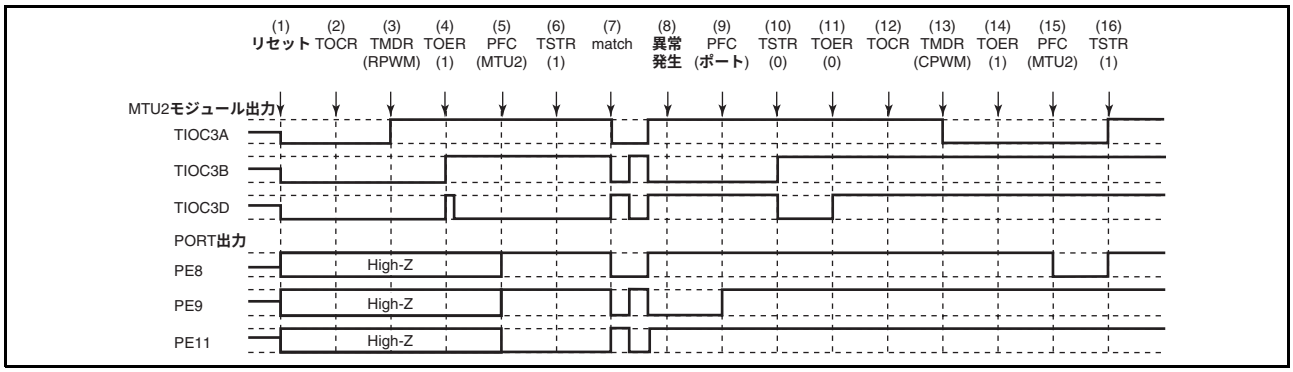


図 10.142　リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

（1）～（10）は図 10.140 と共通です。

（11）TOER でチャネル 3、4 の出力を禁止してください。

（12）TOCR で相補 PWM の出力レベルと周期出力の許可禁止を選択してください。

（13）相補 PWM を設定します（本モジュールの周期出力端子はローレベルになります）。

（14）TOER でチャネル 3、4 の出力を許可してください。

（15）汎用入出力ポートで本モジュール出力としてください。

（16）TSTR で再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 10.143 に示します。

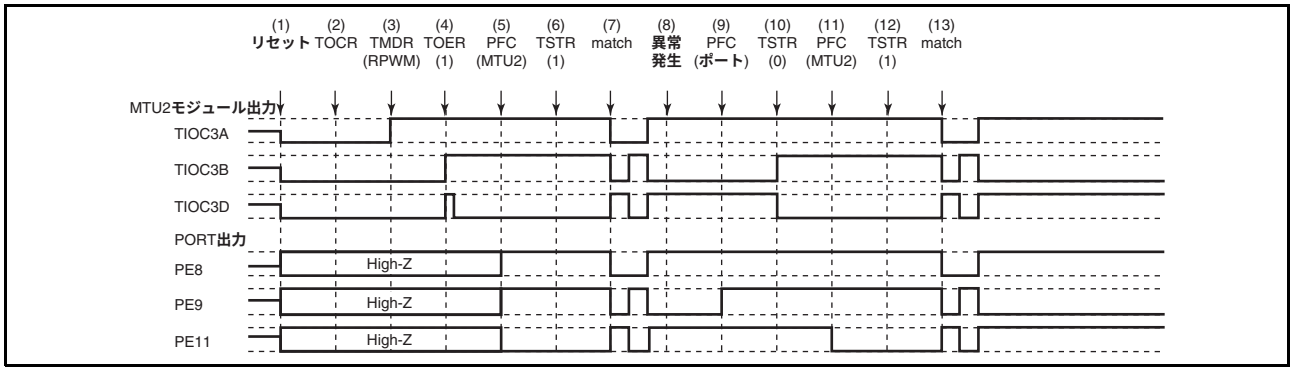


図 10.143　リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

（1）～（10）は図 10.140 と共通です。

（11）汎用入出力ポートで本モジュール出力としてください。

（12）TSTR で再スタートします。

（13）コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

11. OS タイマ

11.1 機能概要

OS タイマには、次の機能があります。

- 2 つの動作モード
  - インターバルタイマモード
  - フリーランニングコンペアモード
- コンペアマッチによる DMA の起動、または割り込み発生の選択可

11.1.1 特長

チャネル　この製品は次のチャネル数の OS タイマを搭載しています。

表 11.1　OS タイマのチャネル

OS タイマ	
チャネル数	2
名称	OSTMn

n の意味

この章では、OS タイマの各チャネルを「n」で識別します。たとえば、n 出力レジスタ（OSTMnTO）（n = 0, 1）のように記述しています。

レジスタアドレス

OS タイマのレジスタのアドレスは、それぞれのベースアドレス <OSTMn_base> からのオフセットで表されます。

各 OSTMn のレジスタベースアドレスを次の表に示します。

表 11.2　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<OSTM0_base>	FCFE C000$_H$
<OSTM1_base>	FCFE C400$_H$

割り込み

OS タイマは次の割り込み要求を発生できます。

表 11.3　OSTMn の割り込み要求

OSTMn の信号	機能	ダイレクトメモリアクセスコントローラ起動
OSTM0TINT	OSTM0 の割り込み	○
OSTM1TINT	OSTM1 の割り込み	○

11.2　レジスタ

OS タイマは、次のレジスタで制御、動作します。

11.2.1　レジスタの概要

OSTMn（n = 0, 1）のレジスター一覧、メモリアドレスを以下に示します。

ベースアドレスは**表 11.2** をご参照ください。

実際のアドレスはこのベースアドレスに表で示したオフセット値を加算します。

レジスタ名	機能	R/W	初期値	アクセス単位（ビット）			アドレス
				8	16	32	
OSTMnCMP	OSTM コンペアレジスタ	R/W	0000 0000_H	—	—	○	<OSTMn_base> + 00_H
OSTMnCNT	OSTM カウンタレジスタ	R	FFFF $FFFF_H$	—	—	○	<OSTMn_base> + 04_H
OSTMnTE	OSTM カウントイネーブルステータスレジスタ	R	00_H	○	—	—	<OSTMn_base> + 10_H
OSTMnTS	OSTM カウント開始トリガレジスタ	W	00_H	○	—	—	<OSTMn_base> + 14_H
OSTMnTT	OSTM カウント停止トリガレジスタ	W	00_H	○	—	—	<OSTMn_base> + 18_H
OSTMnCTL	OSTM 制御レジスタ	R/W	00_H	○	—	—	<OSTMn_base> + 20_H

11.2.2　レジスタの詳細

11.2.2.1　OSTMnCMP — OSTM コンペアレジスタ

このレジスタは、動作モードによってダウンカウンタの開始値または、コンペア値を格納します。

アクセス　32 ビット単位でリード／ライト可能です。

アドレス　<OSTMn_base>

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCMP[31:16]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCMP[15:0]															
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 11.4　OSTMnCMP レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OSTMnCMP[31:0]	• インターバルタイマモードの場合：ダウンカウンタの開始値 • フリーランニングコンペアモードの場合：コンペア値

11.2.2.2　OSTMnCNT — OSTM カウンタレジスタ

このレジスタはタイマのカウンタ値を示します。

アクセス　32 ビット単位でリード可能です。

アドレス　<OSTMn_base> + 4_H

初期値　OS タイマの動作モードによって変わります。「表 11.6　動作モード、カウントのアップダウン方向、初期値の関係」を参照してください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OSTMnCNT[31:16]															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OSTMnCNT[15:0]															
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 11.5　OSTMnCNT レジスタの内容

ビット位置	ビット名	機能
31 ～ 0	OSTMnCNT[31:0]	32 ビットカウンタの値

動作モード、カウントのアップダウン方向、初期値の関係を次に示します。初期値は、動作モードが変更されたあとにリードされる値です。

表 11.6　動作モード、カウントのアップダウン方向、初期値の関係

タイマの動作モード	OSTMnCTL.OSTMnMD1	カウントのアップダウン方向	初期値
インターバルタイマモード	0 注 1.	ダウン	FFFF FFFF$_H$
フリーランニングコンペアモード	1	アップ	0000 0000$_H$

注 1.　リセット後の値

11.2.2.3　OSTMnTE — OSTM カウントイネーブルステータスレジスタ

このレジスタは、カウンタの状態を示します。

アクセス　8 ビット単位でリード可能です。

アドレス　<OSTMn_base>+ 10_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OSTMnTE
R/W	R	R	R	R	R	R	R	R

表 11.7　OSTMnTE レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSTMnTE	カウンタの状態を示します。 0: カウンタが停止中 1: カウンタが動作中 OSTMnTS.OSTMnTS ビットを 1 に設定すると、このビットが 1 になります。 OSTMnTT.OSTMnTT ビットを 1 に設定すると、このビットが 0 にリセットされます。

備　考

OSTMnTE = 0 の場合はカウンタ値が保持されます。
カウントを再開した場合は次のようになります。

- インターバルタイマモードでは、カウンタ値は OSTMnCMP レジスタ値からカウントダウンを開始します。
- フリーランニングコンペアモードでは、カウンタ値 0000 0000_H からカウントアップを開始します。

11.2.2.4　OSTMnTS — OSTM カウント開始トリガレジスタ

このレジスタは、カウント動作を開始します。

アクセス　8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス　<OSTMn_base>+ 14_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OSTMnTS
R/W	R	R	R	R	R	R	R	W

表 11.8　OSTMnTS レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSTMnTS	カウントの動作を開始します。 0: 設定は無効です。 1: カウントを開始し、OSTMnTE.OSTMnTE ビットをセットします。 • インターバルタイマモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされると、強制リスタートが実行されます。 • フリーランニングコンペアモードでは、OSTMnTE.OSTMnTE = 1 の場合にこのビットがセットされても無視されます。

11.2.2.5　OSTMnTT — OSTM カウント停止トリガレジスタ

このレジスタは、カウント動作を停止します。

アクセス　8 ビット単位でライト可能です。リードすると常に 00_H を返します。

アドレス　<OSTMn_base>+ 18_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	0	OSTMnTT
R/W	R	R	R	R	R	R	R	W

表 11.9　OSTMnTT レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	OSTMnTT	カウンタの動作を停止します。 0: 設定は無効です。 1: カウンタを停止し、OSTMnTE.OSTMnTE ビットをクリアします。

11.2.2.6　OSTMnCTL — OSTM 制御レジスタ

このレジスタは、カウンタの動作モードを設定し、カウント開始時の割り込み要求 OSTMnTINT の許可／禁止を設定します。

アクセス　8 ビット単位でリード / ライト可能です。カウンタが無効の場合（OSTMnTE.OSTMnTE = 0）のみライト可能です。

アドレス　<OSTMn_base>+ 20_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	OSTMnMD1	OSTMnMD0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 11.10 OSTMnCTL レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	—	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	OSTMnMD1	カウンタの動作モードを設定します。 0: インターバルタイマモード 1: フリーランニングコンペアモード
0	OSTMnMD0	カウント開始時の OSTMnTINT 割り込み許可／禁止を設定します。 0: カウント開始時の割り込みを禁止 1: カウント開始時の割り込みを許可

11.3　機能説明

OS タイマは 32 ビットのタイマ／カウンタです。

動作モードを選択することによりカウントのアップ・ダウン方向を指定し、割り込み要求の生成を制御します。

11.3.1　ブロック図

OSTM の主な構成要素を次のブロック図に示します。

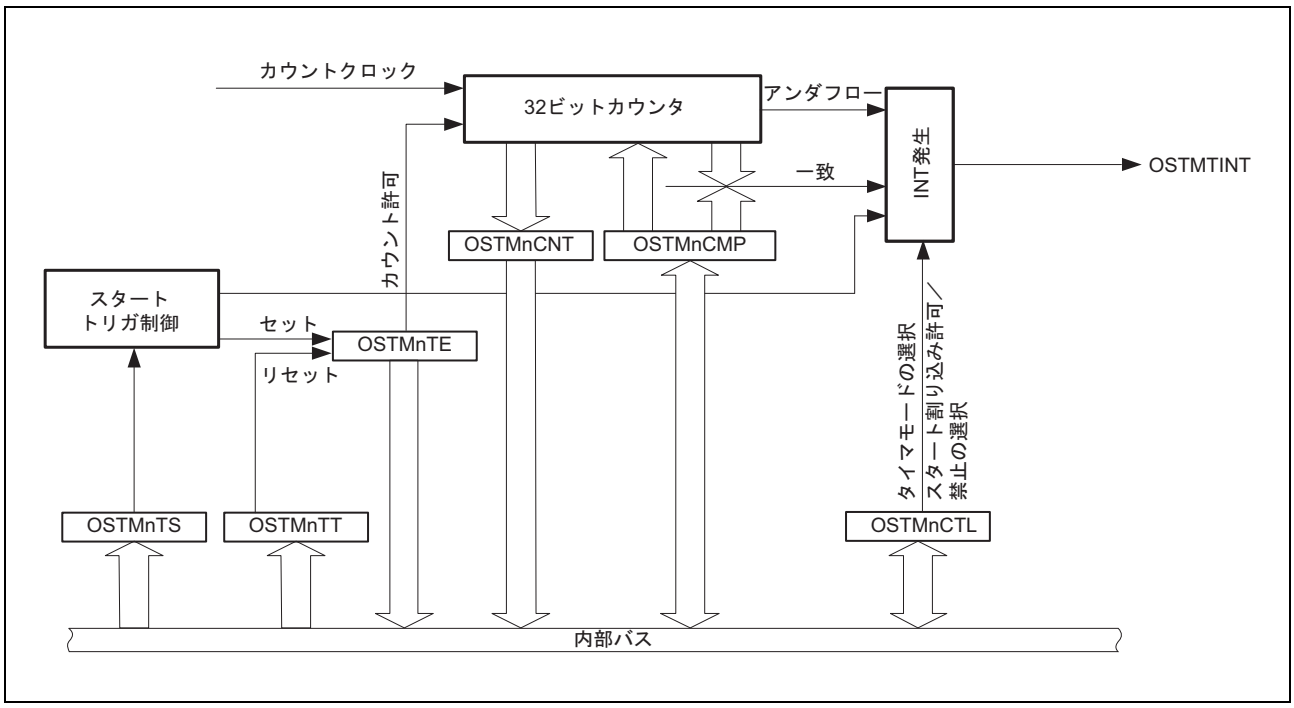


図 11.1　OSTM のブロック図

11.3.2　カウント・クロック

OSTMn のカウントクロックは P0Φ です。

11.3.3　割り込み要求の生成

カウンタが 0000 0000$_H$ に到達したとき（インターバルタイマモードの場合）またはカウンタがコンペア値と一致したとき（フリーランニングコンペアモードの場合）に割り込み要求 OSTMnTINT が発生します。

さらに、割り込み要求はカウント開始時またはカウント再開時にも生成できます。これは OSTMnCTL.OSTMnMD0 ビットで制御します。

これを次の図に示します。

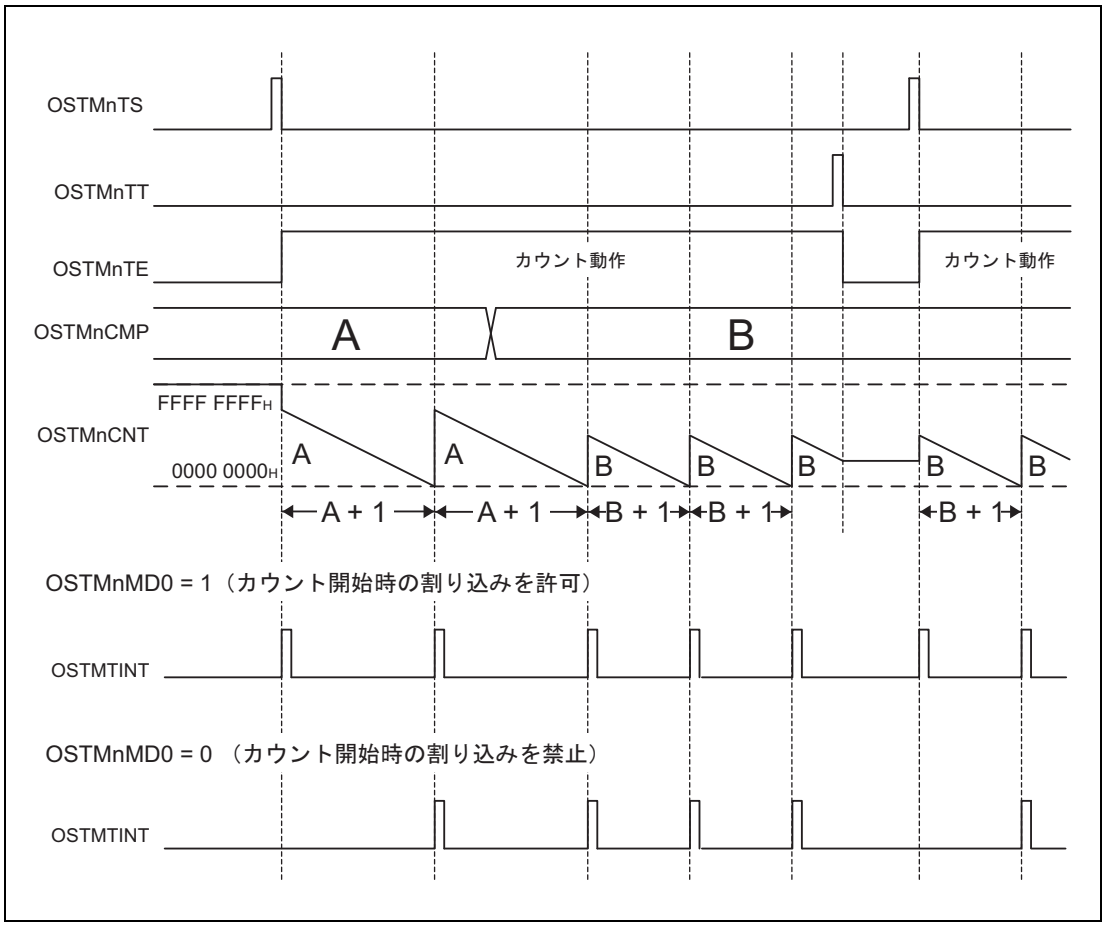


図 11.2　カウント開始時の割り込み生成（インターバルタイマモード）

11.3.4　タイマの起動と停止

OS タイマは次のように起動し、停止します。

起動

タイマは以下の設定によって起動します。

- OSTMnTS.OSTMnTS ビット = 1 に設定

ステータス・ビット OSTMnTE.OSTMnTE が 1 に設定されます。

動作モードによって、カウンタはカウントダウンまたはカウントアップを開始します。

停止

タイマは、OSTMnTT.OSTMnTT ビット = 1 に設定することで停止します。

ステータス・ビット OSTMnTE.OSTMnTE がクリアされます。

11.3.5　インターバルタイマモード

インターバルタイマモードでは、OS タイマを一定の間隔で割り込み要求を発生する基準タイマとして使用できます。

11.3.5.1　インターバルタイマモードの基本動作

インターバルタイマモードでは、カウンタは OSTMnCMP レジスタで指定された値からカウントダウンします。カウンタ値が 0000 0000_H に到達した場合に、割り込み要求 OSTMnTINT が発生します。

インターバルタイマモードは OSTMnCTL.OSTMnMD1 ビット = 0 で設定されます。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。カウント動作中に書き換えられた場合、カウンタ値が 0000 0000_H に到達後、カウンタは次のカウント・クロックで OSTMnCMP レジスタ値から動作を開始します。

OSTMnTINT 周期

OSTMnTINT 出力の期間は次のようになります。

- OSTMnTINT 発生周期 = カウント・クロック周期 ×(OSTMnCMP ＋ 1)

次の図に、インターバルタイマモードでカウンタスタート割り込みを許可された場合の OSTM の基本動作を示します。

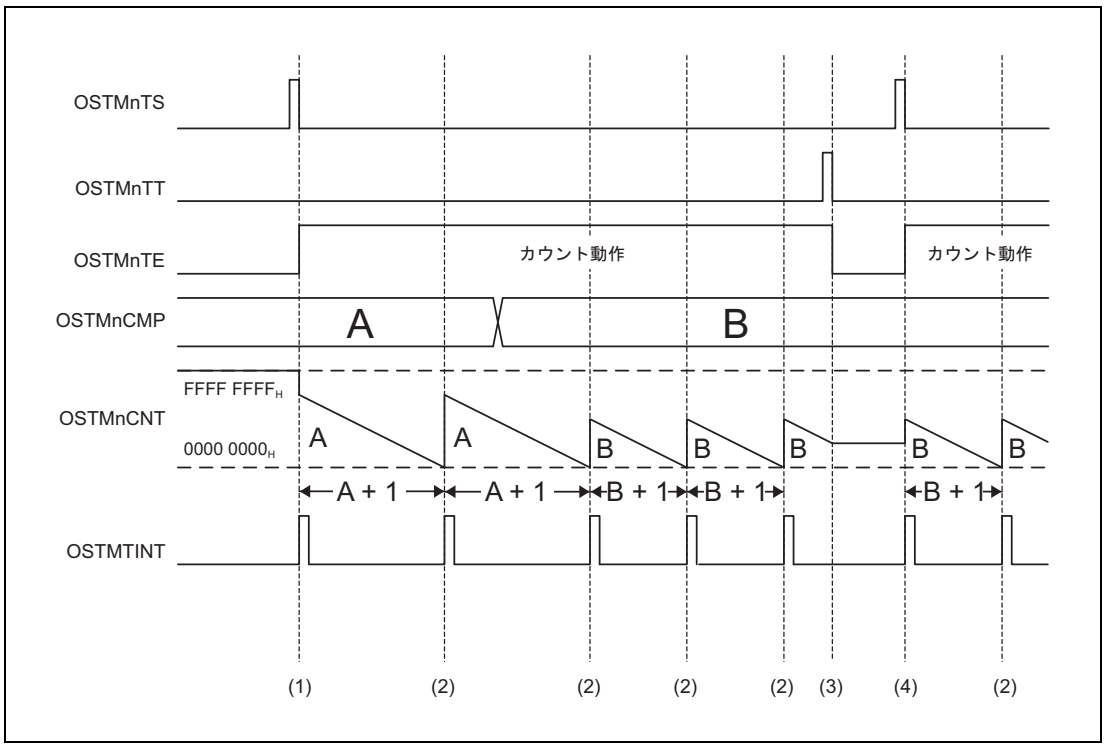


図 11.3　インターバルタイマモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは、OSTMnCMP の値からカウントダウンを開始します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。カウンタ値は OSTMnCNT レジスタで示されます。

(2) カウンタが 0000 0000$_H$ に達すると、割り込み要求 OSTMTINT が発生します。カウンタは、OSTMnCMP から新しい開始値をロードしてカウントダウンを継続します。

(3) OSTMnTT.OSTMnTT = 1 によりカウンタが停止すると、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは OSTMnCMP から新しい開始値をロードしてカウントダウンを開始します。

強制リスタート

カウンタの強制リスタートは、カウント動作中に OSTMnTS.OSTMnTS = 1 に設定することによって実行されます。

カウンタは、OSTMnCMP の値からカウントダウンを開始します。

次の図に、インターバルタイマモードでカウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）されるタイミング図を示します。

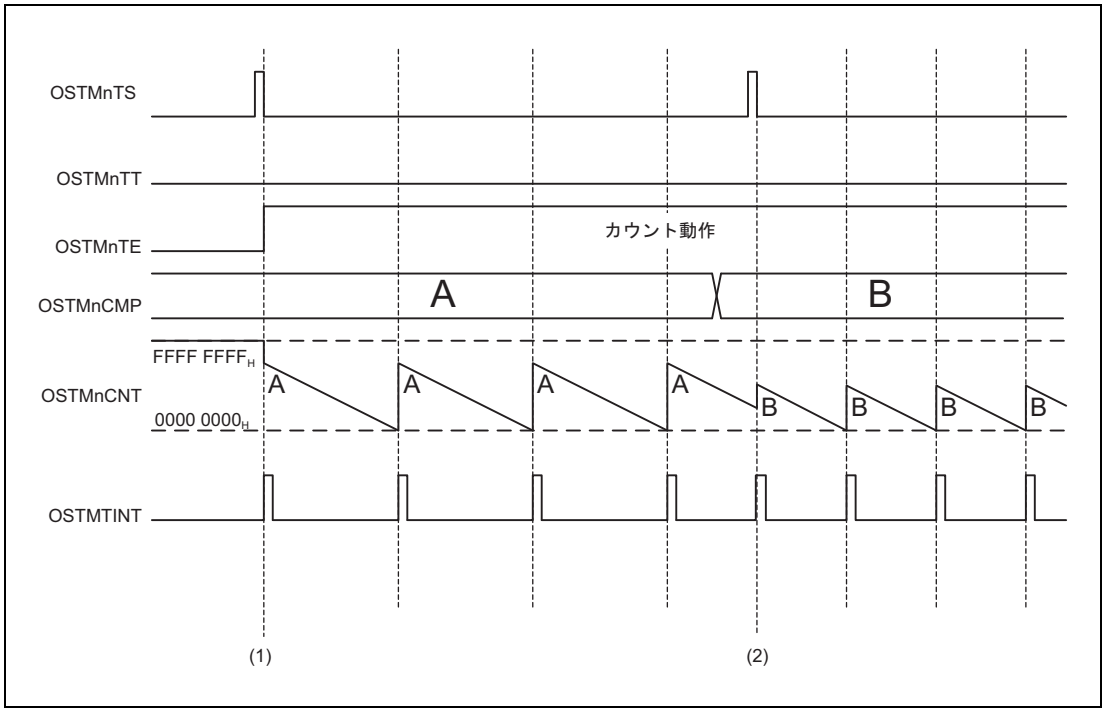


図 11.4　インターバルタイマモードの強制リスタートのタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、**「図 11.3　インターバルタイマモードの OSTM のタイミング図」**で説明されているように動作を開始します。

(2) カウンタは、動作している間（OSTMnTE.OSTMnTE = 1）OSTMnTS.OSTMnTS = 1 にすると、リスタートします。
カウンタは、ただちに OSTMnCMP の現在値からカウントダウンを再開します。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

11.3.5.2　OSTMnCMP = 0000 0000$_H$ の場合の動作

OSTMnCMP = 0000 0000$_H$ の場合に、OS タイマは次のように動作します。

- カウンタが有効な場合は、割り込み要求 OSTMTINT は常に 1 になります。

次の図に、OSTMnCMP = 0000 0000$_H$ であり、カウンタスタート割り込みが許可された場合の OSTM の動作を示します。

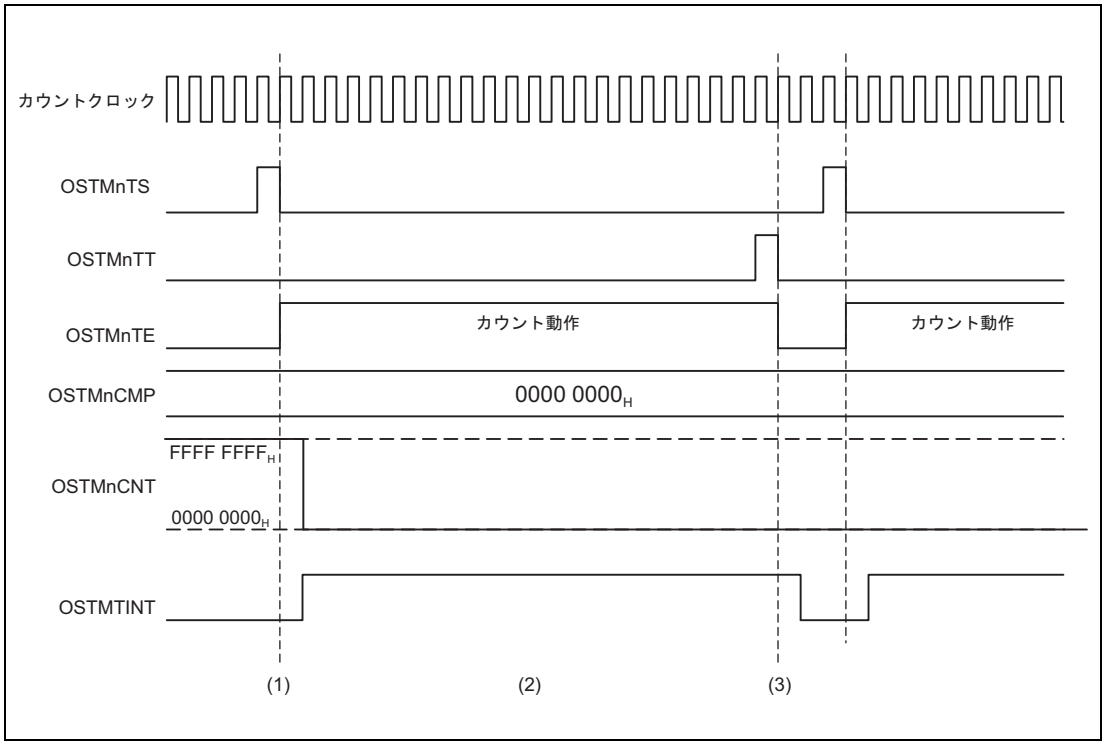


図 11.5　インターバルタイマモードで OSTMnCMP = 0000 0000$_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1)　カウンタはカウントを開始しますが、OSTMnCMP の値をリロードするため、0000 0000$_H$ のままです。

(2)　割り込み要求 OSTMTINT が継続的に発生します。

(3)　カウンタが停止すると、割り込み要求 OSTMTINT が停止します。

(4)　カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

11.3.6　フリーランニングコンペアモード

11.3.6.1　フリーランニングコンペアモードの基本動作

フリーランニングコンペアモードでは、カウンタは 0000 0000$_H$ から FFFF FFFF$_H$ までカウントアップします。OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、割り込み要求 OSTMnTINT が発生します。フリーランニングコンペアモードは、OSTMnCTL.OSTMnMD1 ビット = 1 で設定します。

OSTMnCMP レジスタは任意のタイミングで書き換えることができます。

次の図に、フリーランニングコンペアモードでカウント開始が許可（OSTMnCTL.OSTMnMD0 = 1）された場合の OSTM の基本動作を示します。

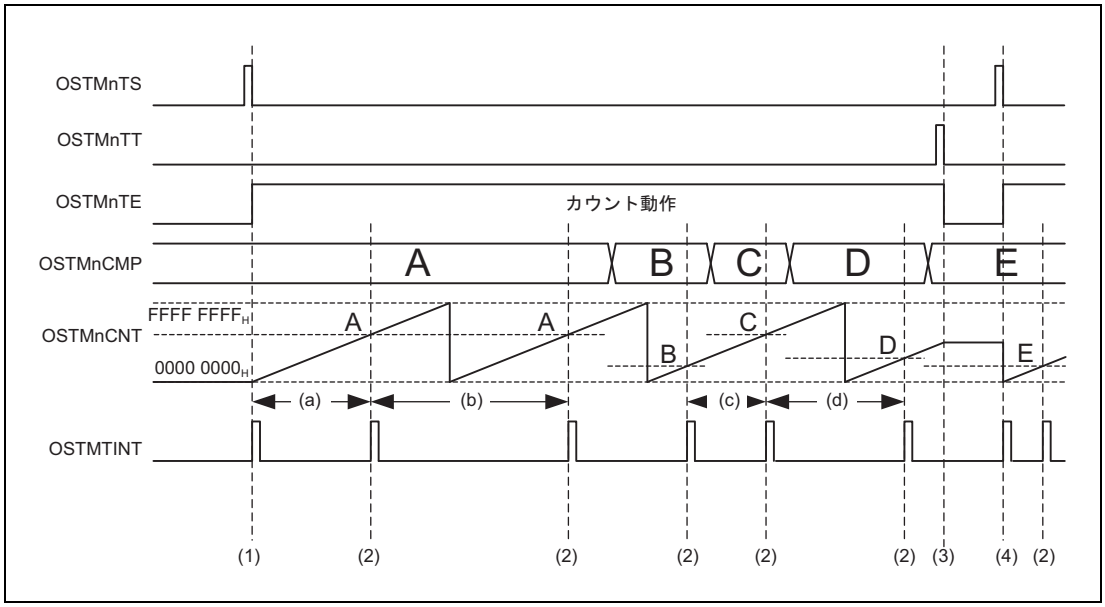


図 11.6　フリーランニングコンペアモードの OSTM のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウンタは、OSTMnTS.OSTMnTS = 1 によりカウントを開始します。
OSTMnTE.OSTMnTE ビットがセットされ、カウンタが動作中であることを示します。
カウンタは 0000 0000$_H$ から FFFF FFFF$_H$ までカウントアップします。カウンタ値はレジスタ OSTMnCNT で示されます。
OSTMnCTL.OSTMnMD0 = 1 の場合は、カウント開始タイミングで割り込み要求 OSTMTINT が発生します。

(2) OSTMnCMP レジスタの値が現在のカウンタ値と一致すると、OSTMTINT 割り込み要求が発生します。

(3) カウンタが停止すると（OSTMnTT.OSTMnTT = 1）、OSTMnTE.OSTMnTE ビットがクリアされ、カウンタが停止中であることを示します。
カウンタは、カウントを再開するまでその時点での値を保持します。

(4) OSTMnTS.OSTMnTS = 1 によりカウントを再開すると、カウンタは 0000 0000$_H$ からカウントを開始します。

OSTMTINT 期間

OSTMTINT 発生期間はカウント開始時によって異なり、動作中に OSTMnCMP が書き換えられた場合は古い比較値と新しい比較値の大小関係によって変化します。

表 11.11 OSTMTINT 発生のタイミング

古い比較値	新しい比較値	書き換え時のカウンタ値	OSTMTINT の発生期間	タイミング図のラベル
カウント開始			(A + 1) × カウントクロック期間	(a)
A	A	書き換えなし	(FFFF FFFF$_H$ + 1) × カウントクロック期間	(b)
B	C > B	B < カウンタ値 < C	(C – B) × カウントクロック期間	(c)
C	D < C	カウンタ値 > D, C	(FFFF FFFF$_H$ – C + D + 1) × カウントクロック期間	(d)

強制リスタート

カウント動作中に OSTMnTS.OSTMnTS ビットがセットされた場合でも、カウンタの強制リスタートは実行されません。カウンタは、この設定を無視してカウントを継続します。

11.3.6.2 OSTMnCMP = 0000 0000$_H$ の場合の動作

次の図に、OSTMnCMP = 0000 0000$_H$ であり、カウンタスタート割り込みが許可（OSTMnCTL.OSTMnMD0 = 1）された場合の OSTM の動作を示します。

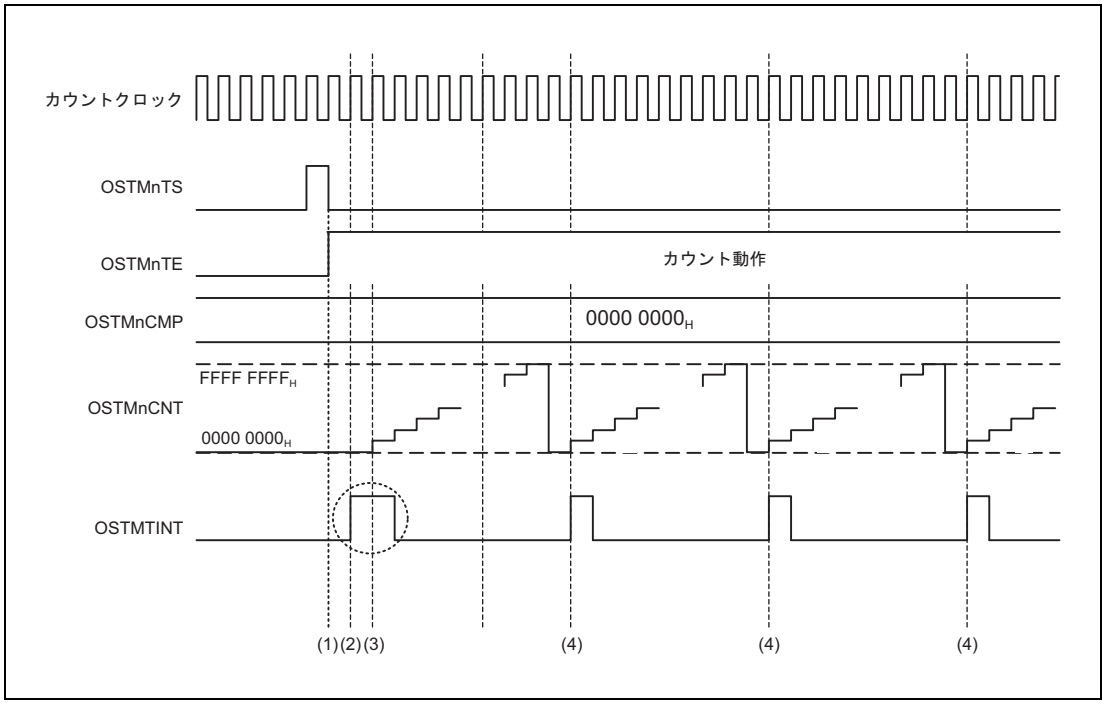


図 11.7　フリーランニングコンペアモードで OSTMnCMP = 0000 0000$_H$ の場合のタイミング図

上記のタイミング図では次の内容を示しています。

(1) カウントを開始すると、カウンタは 0000 0000$_H$ から FFFF FFFF$_H$ までをカウントします。

(2) カウント開始時に割り込み要求 OSTMTINT が発生します。

(3) 現在のカウント値が OSTMnCMP と一致する場合は、割り込み要求 OSTMTINT が発生します。上記のように OSTMnCMP = 0000 0000_H の場合、OSTMTINT はカウントクロック 2 クロック分発生します。

(4) (FFFF $FFFF_H$ + 1) クロックサイクルごとに、割り込み要求 OSTMTINT が発生します。カウント開始時に割り込み禁止の場合は、カウント開始タイミングで割り込みは発生しません。

12. ウォッチドッグタイマ

本 LSI は、ウォッチドッグタイマを内蔵しており、システムの暴走などによりカウンタ値が書き換えられずにオーバフローした場合、外部にオーバフロー信号（$\overline{\text{WDTOVF}}$）を出力します。同時に、本 LSI の内部リセット信号を発生することができます。

本モジュールは、1 チャネルのタイマで、ソフトウェアスタンバイモード解除のためのクロック発振安定時間のカウントに使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

12.1 特長

- クロック発振安定時間の確保に使用可能
  ソフトウェアスタンバイモード状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能
- ウォッチドッグタイマモード時、$\overline{\text{WDTOVF}}$ 信号を出力
  カウンタがオーバフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本 LSI 内部をリセットするかどうかを選択できます。この内部リセットは、パワーオンリセットとなります。
- インターバルタイマモード時、割り込みを発生
  カウンタオーバフローにより、インターバルタイマ割り込みを発生します。
- 8 種類のカウンタ入力クロックを選択可能
  周辺クロックを分周した 8 種類のクロック（P0φ×1 ～ ×1/16384）から選択できます。

図 12.1 にブロック図を示します。

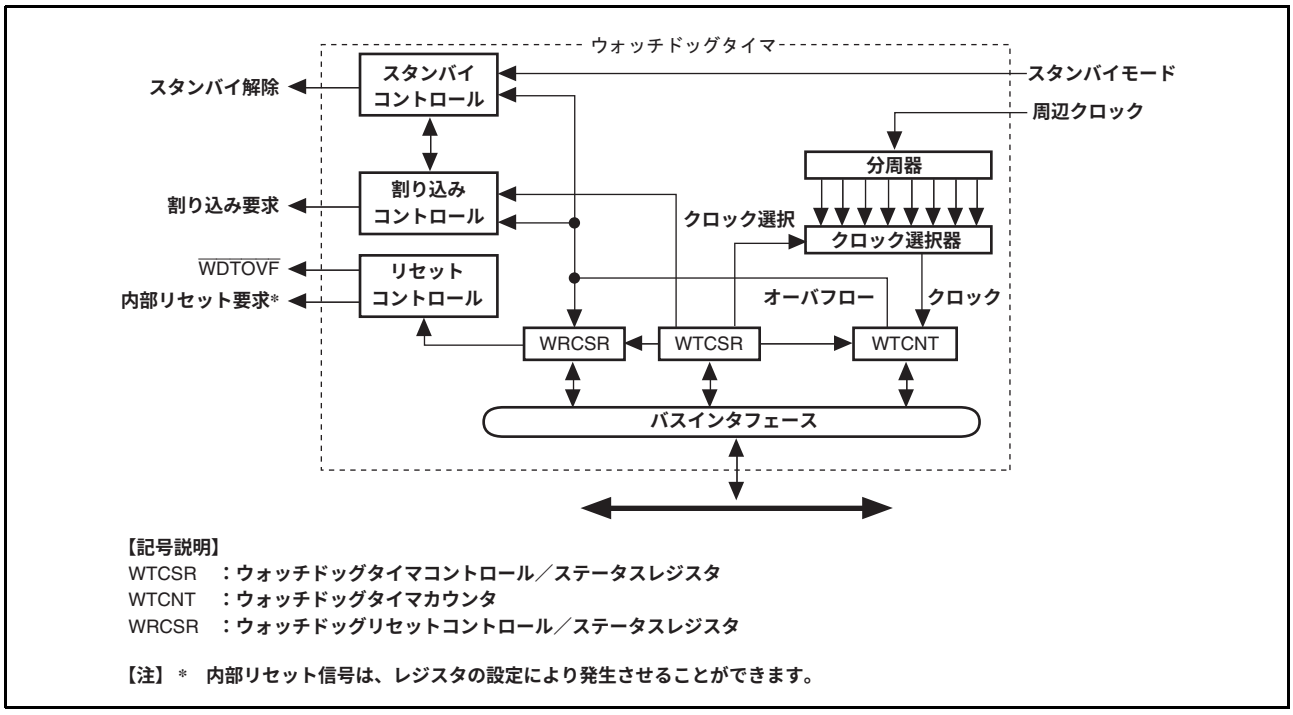


図 12.1　ブロック図

12.2 入出力端子

表 12.1 に端子構成を示します。

表 12.1　端子構成

名称	端子名	入出力	機　能
ウォッチドッグタイマオーバフロー	$\overline{\text{WDTOVF}}$	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力

12.3 レジスタの説明

表 12.2 にレジスタ構成を示します。

表 12.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ウォッチドッグタイマカウンタ	WTCNT	R/W	H'00	H'FCFE0002	16*
ウォッチドッグタイマコントロール／ステータスレジスタ	WTCSR	R/W	H'18	H'FCFE0000	16*
ウォッチドッグリセットコントロール／ステータスレジスタ	WRCSR	R/W	H'1F	H'FCFE0004	16*

注　*　アクセスサイズは、「12.3.4　レジスタアクセス時の注意」を参照してください。

12.3.1　ウォッチドッグタイマカウンタ（WTCNT）

WTCNT は、読み出し／書き込み可能な 8 ビットのレジスタで、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときはウォッチドッグタイマオーバフロー信号（$\overline{\text{WDTOVF}}$）が発生し、インターバルタイマモードのときは割り込みが発生します。

WTCNT への書き込みは、上位バイトを H'5A にして 16 ビットサイズで行ってください。読み出しは、8 ビットサイズで行ってください。

注 .　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「12.3.4　レジスタアクセス時の注意」を参照してください。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

12.3.2　ウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）

WTCSR は、読み出し／書き込み可能な 8 ビットのレジスタで、カウントに使用するクロックの選択を行うビット、オーバフローフラグおよびイネーブルビットからなります。

ソフトウェアスタンバイモード解除時のクロック発振安定時間のカウントに使用するときには、カウンタオーバフロー後、値が保持されます。

WTCSR への書き込みは、上位バイトを H'A5 にして 16 ビットサイズで行ってください。読み出しは、8 ビットサイズで行ってください。

注．　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「12.3.4　レジスタアクセス時の注意」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	IOVF	WT/$\overline{IT}$	TME	-	-	CKS[2:0]		
初期値：	0	0	0	1	1	0	0	0
R/W：	R/(W)	R/W	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	IOVF	0	R/(W)	インターバルタイマオーバフロー インターバルタイマモードでWTCNTがオーバフローしたことを示します。ウォッチドッグタイマモードでは、セットされません。 0：オーバフローなし 1：インターバルタイマモードでWTCNTがオーバフローした [クリア条件] • IOVF を読み出してから 0 を書き込む
6	WT/$\overline{IT}$	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。 0：インターバルタイマモード 1：ウォッチドッグタイマモード 注．　ウォッチドッグタイマモードでは、WTCNTがオーバフローしたときWDTOVF信号を外部へ出力 本モジュールの動作中にWT/$\overline{IT}$を書き換えるとカウントアップが正しく行われないことがあります。
5	TME	0	R/W	タイマイネーブル タイマ動作の開始または停止を設定します。ソフトウェアスタンバイモードやクロック周波数変更時に本モジュールを使用する場合には、このビットを0にしてください。 0：タイマディスエーブル カウントアップを停止し、WTCNTの値を保持する。 1：タイマイネーブル
4、3	ー	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット	ビット名	初期値	R/W	説　　明
2 ～ 0	CKS[2:0]	000	R/W	クロックセレクト 周辺クロック（P0φ）を分周して得られる8種類のクロックから、WTCNTのカウントに使用するクロックを選択します。かっこ内に示すオーバフロー周期は、周辺クロック（P0φ）＝33.33MHzの場合の値です。 クロック分周比　　オーバフロー周期 000：1 x P0φ　　（7.7μs） 001：1/64 x P0φ　　（490μs） 010：1/128 x P0φ　　（979μs） 011：1/256 x P0φ　　（2.0ms） 100：1/512 x P0φ　　（3.9ms） 101：1/1024 x P0φ　　（7.8ms） 110：1/4096 x P0φ　　（31ms） 111：1/16384 x P0φ　　（125ms） 注．　本モジュールの動作中にCKS[2:0]ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS[2:0]ビットを書き換える場合は、必ず本モジュールを停止させてください。

12.3.3　ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR）

WRCSR は、読み出し／書き込み可能な 8 ビットのレジスタで、ウォッチドッグタイマカウンタ（WTCNT）のオーバフローによる内部リセット信号の発生を制御します。

注．　本レジスタは、誤って書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「12.3.4　レジスタアクセス時の注意」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	WOVF	RSTE	-	-	-	-	-	-
初期値：	0	0	0	1	1	1	1	1
R/W：	R/(W)	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	WOVF	0	R/(W)	ウォッチドッグタイマオーバフロー ウォッチドッグタイマモードでWTCNTがオーバフローしたことを示します。インターバルタイマモードでは、セットされません。 0：オーバフローなし 1：ウォッチドッグタイマモードでWTCNTがオーバフローした [クリア条件] • WOVFを読み出してから0を書き込む
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードでWTCNTがオーバフローしたとき本LSI内部をリセットする信号を発生するかどうかを選択します。インターバルタイマモードの場合は、設定値は無視されます。 0：WTCNTがオーバフローしたとき、内部リセットしない* 1：WTCNTがオーバフローしたとき、内部リセットする 注　*　本LSI内部はリセットされませんが、本モジュール内のWTCNT、WTCSRはリセットされます。
5	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 ～ 0	―	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

12.3.4　レジスタアクセス時の注意

ウォッチドッグタイマカウンタ（WTCNT）、ウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）、ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出しまたは書き込みを行ってください。

(1)　WTCNT および WTCSR への書き込み

WTCNT および WTCSR へ書き込むときは、必ず 16 ビット転送命令を使用してください。8 ビット転送および 32 ビット転送命令では書き込めません。

図 12.2 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

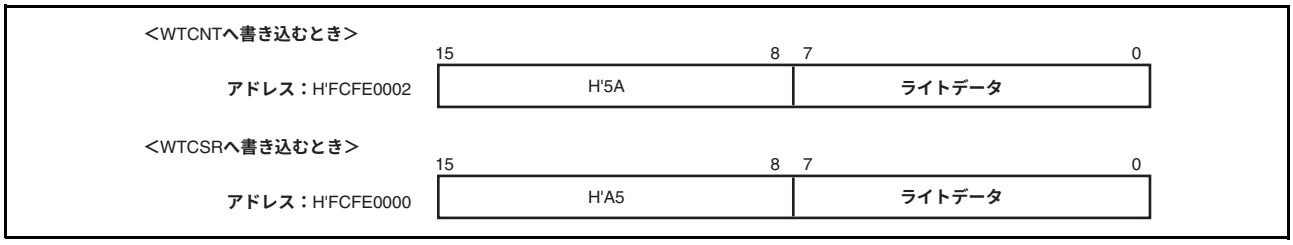


図 12.2　WTCNT および WTCSR への書き込み

(2)　WRCSR への書き込み

WRCSR へ書き込むときは、アドレス H'FCFE0004 に対して 16 ビット転送を行ってください。8 ビット転送命令および 32 ビット転送命令では書き込めません。

WOVF ビット（ビット 7）へ 0 を書き込む場合と、RSTE ビット（ビット 6）に書き込む場合では、**図 12.3** に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットに書き込まれます。このとき、WOVF ビットは影響を受けません。

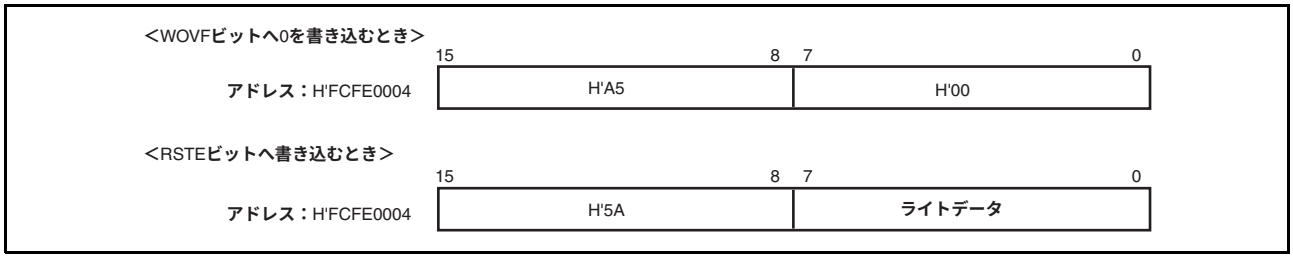


図 12.3　WRCSR への書き込み

(3) WTCNT、WTCSR、WRCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。WTCSR はアドレス H'FCFE0000 に、WTCNT はアドレス H'FCFE0002 に、WRCSR はアドレス H'FCFE0004 に割り当てられています。読み出すときは、必ず 8 ビット転送命令を使用してください。

12.4　使用方法

12.4.1　ソフトウェアスタンバイモード解除の手順

本モジュールは、ソフトウェアスタンバイモードを NMI などの割り込みで解除する場合に使用します。この手順を以下に示します（リセットで解除する場合は、本モジュールは動作しないため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子をローレベルに保ってください）。

1. ソフトウェアスタンバイモードへの遷移前に、必ず WTCSR の TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
2. WTCSR の CKS[2:0] ビットに使用するカウントクロックの種類と WTCNT に初期値を設定しておきます。これらの値は、カウントオーバフローまでの時間がクロック発振安定時間以上（注 1）になるように設定してください。
3. スタンバイコントロールレジスタ 1（STBCR1：「42.　低消費電力モード」参照）の STBY ビットに 1、DEEP ビットに 0 を設定後、WFI 命令実行によりソフトウェアスタンバイモードに遷移して、クロックは停止します。
4. NMI 信号変化のエッジなどの割り込み検出により、本モジュールがカウントを開始します。
5. 本モジュールがカウントオーバフローすると、クロックパルス発振器がクロック供給を開始して、本 LSI が動作を再開します。このとき、WRCSR の WOVF はセットされません。

注 1.　クロックモード 0 を選択時、RCR5 の RCKSEL ビットで EXTAL を選択している場合は、ソフトウェアスタンバイモード中も EXTAL の発振は継続するため、内蔵 PLL 回路発振安定時間（t_{POSC}）以上の値を設定してください。
RCR5 の RCKSEL ビットで EXTAL を選択していていない場合は、ソフトウェアスタンバイモード中は EXTAL の発振が停止するため、EXTAL の内蔵発振回路発振安定時間（t_{ROSC}）と内蔵 PLL 回路発振安定時間（t_{POSC}）の合計以上の値を設定してください。
クロックモード 1 を選択時は USB_X1 の発振が停止するため、USB_X1 の内蔵発振回路発振安定時間（t_{ROSC}）と内蔵 PLL 回路発振安定時間 (t_{POSC}）の合計以上の値を設定してください。
発振安定時間に発振開始時間は含まれないため、起動開始時間とは一致しません。ソフトウェアスタンバイモードの解除要求を受け付けて EXTAL、または USB_X1 の発振が開始した後、ウォッチドッグタイマカウンタ（WTCNT）の カウント動作を開始します。

12.4.2　ウォッチドッグタイマモードの使用法

1. WTCSR の WT/$\overline{IT}$ ビットに 1 を設定して、CKS[2:0] にカウントクロックの種類、WRCSR の RSTE ビットに本 LSI の内部をリセットするかしないか、および WTCNT に初期値を設定します。
2. WTCSR の TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
3. ウォッチドッグタイマモードで動作中は、カウンタがオーバフローしないように定期的にカウンタを H'00 に書き換えてください。
4. カウンタがオーバフローすると、本モジュールは WRCSR の WOVF を 1 にセットして、$\overline{WDTOVF}$ 信号が外部に出力されます。これを図 12.4 に示します。この $\overline{WDTOVF}$ 信号を用いて、システムをリセットすることができます。$\overline{WDTOVF}$ 信号は、64×P0φ クロックの間出力されます。
5. WRCSR の RSTE ビットを 1 にセットしておくと、$\overline{WDTOVF}$ 信号と同時に本 LSI の内部をリセットする信号を発生させることができます。内部リセット信号は、128×P0φ クロックの間出力されます。
6. $\overline{RES}$ 端子からの入力信号によるリセットと本モジュールのオーバフローによるリセットが同時に発生したときは、$\overline{RES}$ 端子によるリセットが優先され、WRCSR の WOVF ビットは 0 にクリアされます。

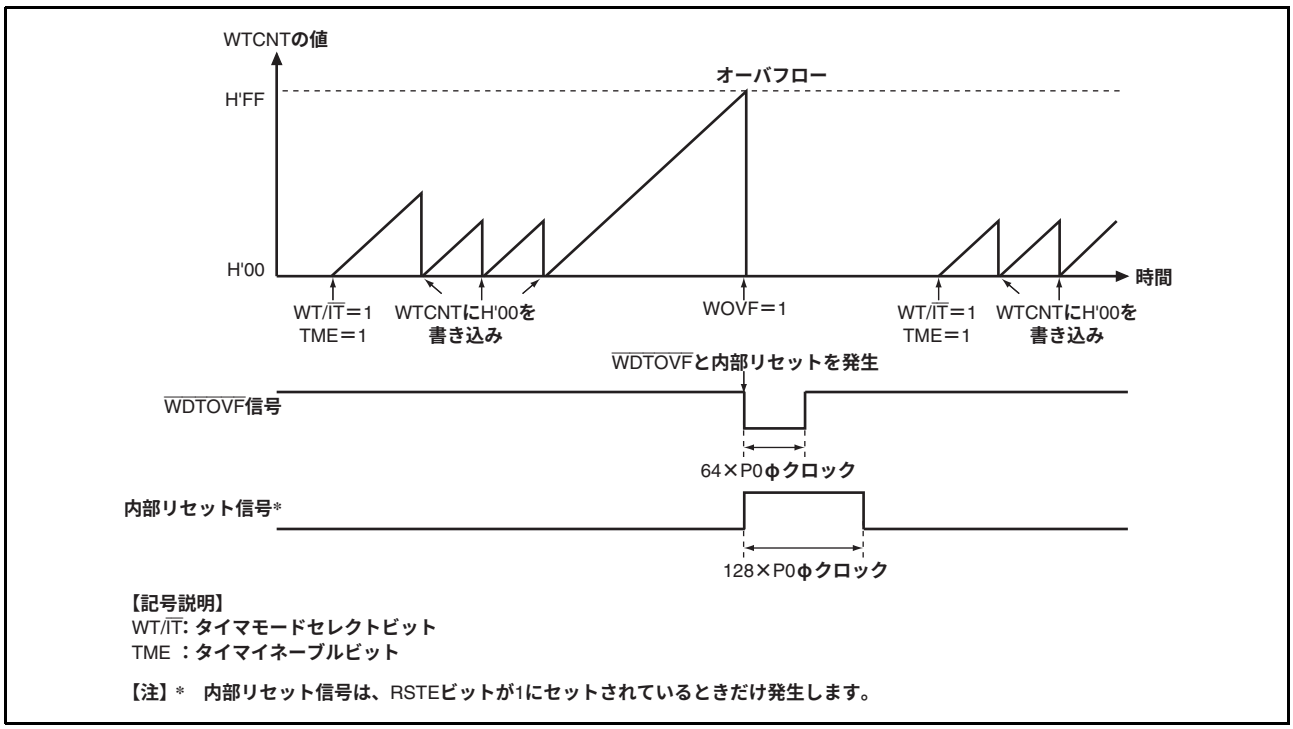


図 12.4　ウォッチドッグタイマモード時の動作

12.4.3　インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

1. WTCSR の WT/$\overline{IT}$ ビットに 0 をセットして、CKS[2:0] ビットにカウントクロックの種類、WTCNT に初期値を設定します。
2. WTCSR の TME ビットに 1 をセットするとインターバルタイマモードでカウントを開始します。
3. 本モジュールは、カウンタがオーバフローすると WTCSR の IOVF に 1 をセットし、インターバルタイマ割り込み要求を割り込みコントローラに送ります。カウンタはカウントを続行します。

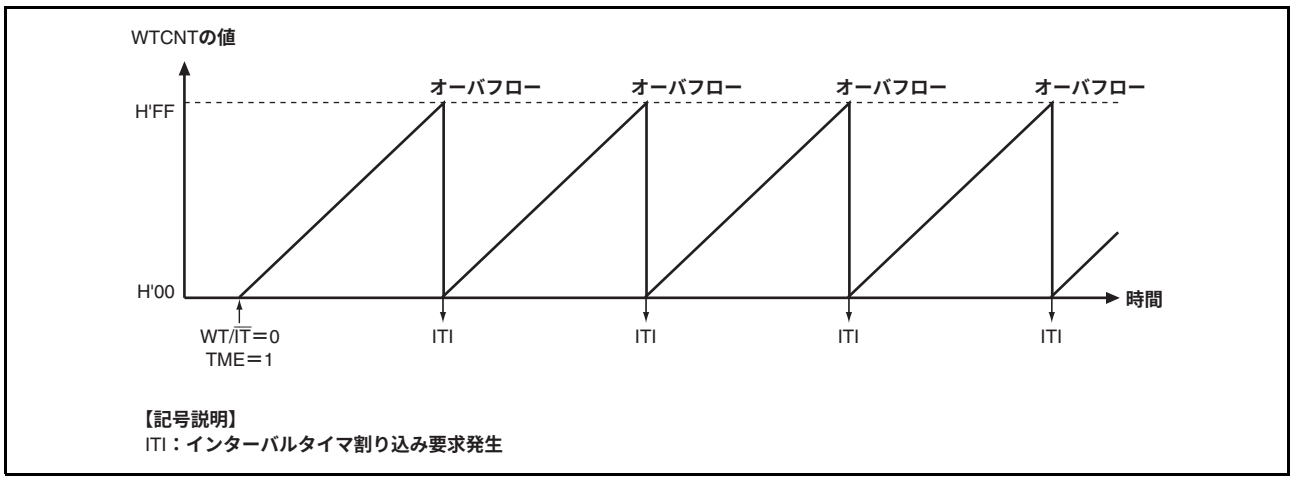


図 12.5　インターバルタイマモード時の動作

12.5 使用上の注意事項

インターバルタイマモードおよびウォッチドッグタイマモードにおいて、以下の注意事項があります。

12.5.1 タイマ誤差

タイマ動作開始後の WTCNT レジスタの最初のカウントアップタイミングは、パワーオンリセットを基点とした WTCSR レジスタの TME ビットのセットタイミングによって、P0φ の 1 サイクル後（最短）から、CKS[2:0] で選択した分周タイミング（最長）までの間となります。2 回目以降のカウントアップタイミングは選択した分周タイミングとなります。したがって、上記の最初のカウントアップまでの時間差がタイマ誤差となります。タイマ動作中、WTCNT レジスタ書き換え後、最初のカウントアップタイミングも同様です。

12.5.2 WTCNT の設定値として H'FF は設定禁止

本モジュールでは WTCNT の値が H'FF になったことをオーバフローと判定します。したがって、WTCNT に H'FF を設定すると、CKS[2:0] の選択クロックにかかわらず、すぐにインターバルタイマ割り込みまたはリセットが発生します。

12.5.3 インターバルタイマオーバフローフラグ

WTCNT の値が H'FF のときには、WTCSR の IOVF フラグはクリアできません。

WTCNT の値が H'00 になってからクリアを行うか、WTCNT の値を H'FF 以外の値に書き換えてから IOVF フラグをクリアしてください。

12.5.4 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット

$\overline{\text{WDTOVF}}$ 信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

$\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。$\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 12.6 に示すような回路で行ってください。

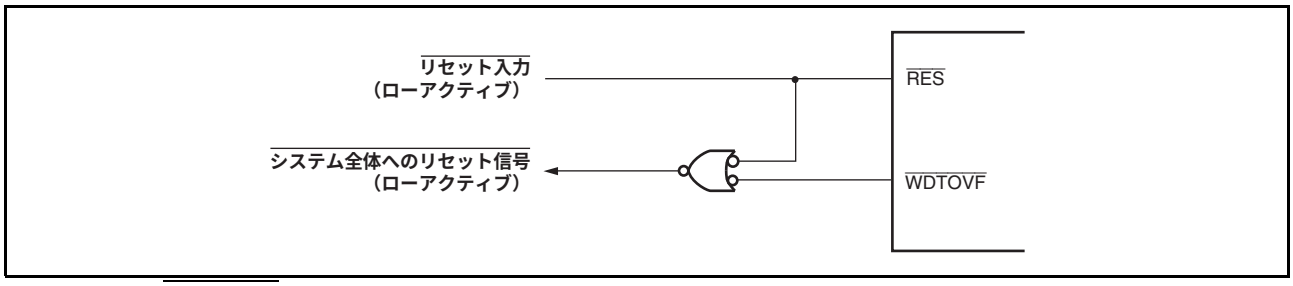


図 12.6 $\overline{\text{WDTOVF}}$ 信号によるシステムリセット回路例

12.5.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモードで、ウォッチドッグタイマカウンタ（WTCNT）のオーバフローによる内部リセットが発生した場合、ウォッチドッグリセットコントロール／ステータスレジスタ（WRCSR）は初期化されず、WOVF ビットは 1 の状態となります。WOVF ビットが 1 の状態の場合、WTCNT がオーバフローしても内部リセットは発生しません。

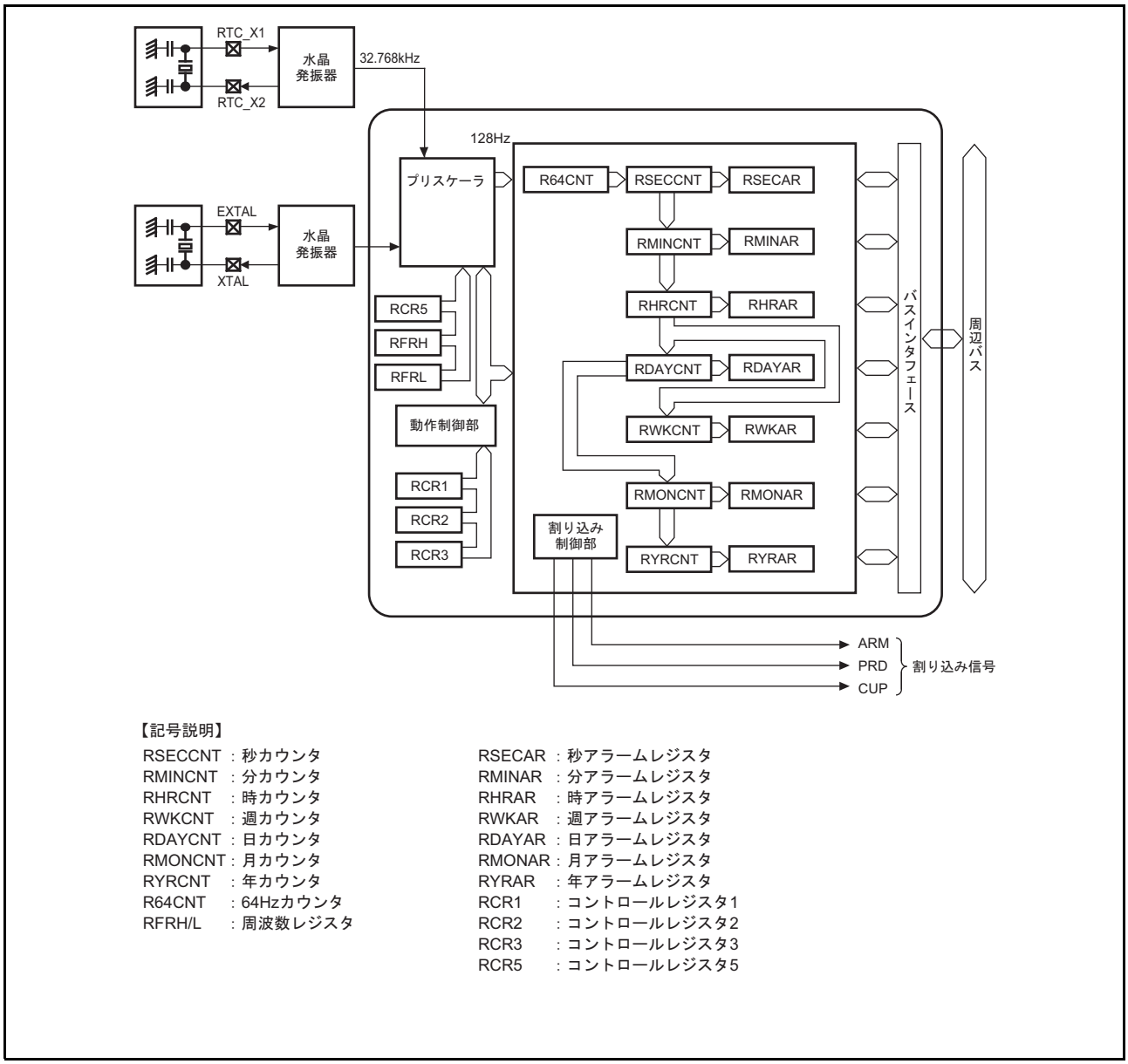
13. リアルタイムクロック

本 LSI は、リアルタイムクロックおよび 32.768kHz 水晶発振器を内蔵しています。

13.1 特長

- 時計・カレンダ機能（BCD 表示）を搭載
  秒、分、時、曜日、日、月、年をカウント
- 1 ～ 64Hz タイマ（バイナリ表示）を搭載
  64Hz カウンタが、分周回路のうち 64Hz ～ 1Hz の状態を示します。
- スタート／ストップ機能
- 30 秒調整機能
- アラーム割り込み
  アラーム割り込み条件として、秒、分、時、曜日、日、月、年のいずれと比較するか選択可能
- 周期割り込み
  割り込み周期として、1/64 秒、1/16 秒、1/4 秒、1/2 秒、1 秒、2 秒周期から選択可能
- 桁上げ割り込み
  秒カウンタ桁上げ、または 64Hz カウンタの読み出し時に 64Hz カウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能
- 時計用の動作クロックは、内部クロック用と時計専用の外部クロック入力を選択可能
- アラーム割り込みによる、ディープスタンバイ復帰が可能

図 13.1 にブロック図を示します。



【記号説明】

RSECCNT	：秒カウンタ	RSECAR	：秒アラームレジスタ
RMINCNT	：分カウンタ	RMINAR	：分アラームレジスタ
RHRCNT	：時カウンタ	RHRAR	：時アラームレジスタ
RWKCNT	：週カウンタ	RWKAR	：週アラームレジスタ
RDAYCNT	：日カウンタ	RDAYAR	：日アラームレジスタ
RMONCNT	：月カウンタ	RMONAR	：月アラームレジスタ
RYRCNT	：年カウンタ	RYRAR	：年アラームレジスタ
R64CNT	：64Hzカウンタ	RCR1	：コントロールレジスタ1
RFRH/L	：周波数レジスタ	RCR2	：コントロールレジスタ2
		RCR3	：コントロールレジスタ3
		RCR5	：コントロールレジスタ5

図 13.1　ブロック図

13.2 入出力端子

表 13.1 に端子構成を示します。

表 13.1　端子構成

名称	端子名	入出力	機　能
リアルタイムクロック用水晶発振子端子／外部クロック	RTC_X1	入力	本モジュール用に32.768KHzの水晶発振子を接続します。 またRTC_X1端子は外部クロックを入力することもできます。
	RTC_X2	出力	
内部クロック用水晶発振子／外部クロック	EXTAL	入力	内部動作用に使用する水晶発振子を接続します。 詳細は「6.　クロックパルス発振器」を参照してください。
	XTAL	出力	

13.3 レジスタの説明

表 13.2 にレジスタ構成を示します。

表 13.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
64Hzカウンタ	R64CNT	R	H'xx	H'FCFF1000	8
秒カウンタ	RSECCNT	R/W	H'xx	H'FCFF1002	8
分カウンタ	RMINCNT	R/W	H'xx	H'FCFF1004	8
時カウンタ	RHRCNT	R/W	H'xx	H'FCFF1006	8
曜日カウンタ	RWKCNT	R/W	H'0x	H'FCFF1008	8
日カウンタ	RDAYCNT	R/W	H'xx	H'FCFF100A	8
月カウンタ	RMONCNT	R/W	H'xx	H'FCFF100C	8
年カウンタ	RYRCNT	R/W	H'xxxx	H'FCFF100E	16
秒アラームレジスタ	RSECAR	R/W	H'xx	H'FCFF1010	8
分アラームレジスタ	RMINAR	R/W	H'xx	H'FCFF1012	8
時アラームレジスタ	RHRAR	R/W	H'xx	H'FCFF1014	8
曜日アラームレジスタ	RWKAR	R/W	H'xx	H'FCFF1016	8
日アラームレジスタ	RDAYAR	R/W	H'xx	H'FCFF1018	8
月アラームレジスタ	RMONAR	R/W	H'xx	H'FCFF101A	8
年アラームレジスタ	RYRAR	R/W	H'xxxx	H'FCFF1020	16
コントロールレジスタ1	RCR1	R/W	H'xx	H'FCFF101C	8
コントロールレジスタ2	RCR2	R/W	H'01	H'FCFF101E	8
コントロールレジスタ3	RCR3	R/W	H'x0	H'FCFF1024	8
コントロールレジスタ5	RCR5	R/W	H'0x	H'FCFF1026	8
周波数レジスタ	RFRH	R/W	H'xxxx	H'FCFF102A	16
	RFRL	R/W	H'xxxx	H'FCFF102C	16

13.3.1　64Hz カウンタ（R64CNT）

R64CNT は、分周回路のうち、64Hz ～ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、コントロールレジスタ 1（RCR1）の CF ビットが 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

コントロールレジスタ 2（RCR2）の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、分周回路が初期化され、R64CNT は初期化されます。

ビット：	7	6	5	4	3	2	1	0
	-	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
初期値：	0	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	1Hz	不定	R	分周回路のうち、1Hz～64Hzの状態を示します。
5	2Hz	不定	R	
4	4Hz	不定	R	
3	8Hz	不定	R	
2	16Hz	不定	R	
1	32Hz	不定	R	
0	64Hz	不定	R	

13.3.2　秒カウンタ（RSECCNT）

RSECCNT は、BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

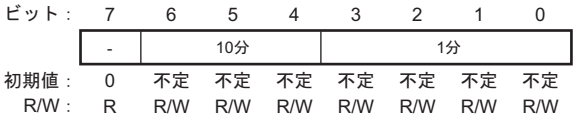
ビット：	7	6	5	4	3	2	1	0
	-	10秒			1秒			
初期値：	0	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 4	10 秒	不定	R/W	秒十位カウント 秒十位は0から5をカウントして、60秒のカウントを行います。
3 ～ 0	1 秒	不定	R/W	秒一位カウント 秒一位は1秒ごとに0から9をカウントします。桁上がりを発生すると、秒十位が＋1されます。

13.3.3　分カウンタ（RMINCNT）

RMINCNT は、BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。



ビット	ビット名	初期値	R/W	説　　明
7	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 4	10 分	不定	R/W	分十位カウント 分十位は0から5をカウントして、60分のカウントを行います。
3 ～ 0	1 分	不定	R/W	分一位カウント 分一位は1分ごとに0から9をカウントします。桁上がりを発生すると、分十位が＋1されます。

13.3.4　時カウンタ（RHRCNT）

RHRCNT は、BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 00 ～ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット	ビット名	初期値	R/W	説　　明
7、6	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	10 時間	不定	R/W	時十位カウント 時十位は0から2をカウントします。
3 ～ 0	1 時間	不定	R/W	時一位カウント 時一位は1時間ごとに0から9をカウントします。桁上がりを発生すると、時十位が＋1されます。

13.3.5　曜日カウンタ（RWKCNT）

RWKCNT は、BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 0 ～ 6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	曜日		
初期値：	0	0	0	0	0	不定	不定	不定
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7 ～ 3	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	曜日	不定	R/W	曜日カウント バイナリコードで曜日を表します。 000：日 001：月 010：火 011：水 100：木 101：金 110：土 111：予約（設定禁止）

13.3.6　日カウンタ（RDAYCNT）

RDAYCNT は、BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 01 ～ 31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

RDAYCNT の設定範囲は、月ごとおよびうるう年によって変化しますので、確認の上、設定してください。うるう年は年カウンタ（RYRCNT）を西暦として、400、100、4 で割り切れるかどうかにより計算されます。

ビット：	7	6	5	4	3	2	1	0
	-	-	10日		1日			
初期値：	0	0	不定	不定	不定	不定	不定	不定
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7、6	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	10 日	不定	R/W	日十位カウント
3 ～ 0	1 日	不定	R/W	日一位カウント 日一位は1日ごとに0～9をカウントします。桁上がりを発生すると日十位が＋1されます。

13.3.7　月カウンタ（RMONCNT）

RMONCNT は、BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月ごとのキャリーによってカウント動作を行います。

設定可能範囲は、10 進（BCD）で 01 ～ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット	ビット名	初期値	R/W	説　明
7 ～ 5	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	10 月	不定	R/W	月十位カウント
3 ～ 0	1 月	不定	R/W	月一位カウント 月一位は1月ごとに0～9をカウントします。桁上がりを発生すると月十位が＋1されます。

13.3.8　年カウンタ（RYRCNT）

RYRCNT は、BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年ごとのキャリーによって、カウント動作を行います。

設定可能範囲は、10 進（BCD）で 0000 ～ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行ってください。

ビット	ビット名	初期値	R/W	説　明
15 ～ 12	1000 年	不定	R/W	年千位カウント
11 ～ 8	100 年	不定	R/W	年百位カウント
7 ～ 4	10 年	不定	R/W	年十位カウント
3 ～ 0	1 年	不定	R/W	年一位カウント

13.3.9　秒アラームレジスタ（RSECAR）

RSECAR は、BCD コード化された秒部分のカウンタ RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進（BCD）で 00 ～ 59 ＋ ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット：	7	6	5	4	3	2	1	0
	ENB	10秒			1秒			
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	ENB	不定	R/W	1にセットされていると、RSECCNTの値と比較を行います。
6 ～ 4	10 秒	不定	R/W	秒十位の設定値
3 ～ 0	1 秒	不定	R/W	秒一位の設定値

13.3.10　分アラームレジスタ（RMINAR）

RMINAR は、BCD コード化された分部分のカウンタ RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進（BCD）で 00 ～ 59 ＋ ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット：	7	6	5	4	3	2	1	0
	ENB	10分			1分			
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	ENB	不定	R/W	1にセットされていると、RMINCNTの値と比較を行います。
6 ～ 4	10 分	不定	R/W	分十位の設定値
3 ～ 0	1 分	不定	R/W	分一位の設定値

13.3.11　時アラームレジスタ（RHRAR）

RHRAR は、BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進（BCD）で 00 ～ 23 ＋ ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット：	7	6	5	4	3	2	1	0
	ENB	-	10時間		1時間			
初期値：	不定	0	不定	不定	不定	不定	不定	不定
R/W：	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	ENB	不定	R/W	1にセットされていると、RHRCNTの値と比較を行います。
6	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	10 時間	不定	R/W	時十位の設定値
3 ～ 0	1 時間	不定	R/W	時一位の設定値

13.3.12　曜日アラームレジスタ（RWKAR）

RWKAR は、BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進（BCD）で 0 ～ 6 ＋ ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット：	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	曜日		
初期値：	不定	0	0	0	0	不定	不定	不定
R/W：	R/W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	ENB	不定	R/W	1にセットされていると、RWKCNTの値と比較を行います。
6 ～ 3	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	曜日	不定	R/W	曜日の設定値 000：日 001：月 010：火 011：水 100：木 101：金 110：土 111：予約（設定禁止）

13.3.13　日アラームレジスタ（RDAYAR）

RDAYAR は、BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進（BCD）で 01 ～ 31 ＋ ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット	ビット名	初期値	R/W	説　　明
7	ENB	不定	R/W	1にセットされていると、RDAYCNTの値と比較を行います。
6	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	10 日	不定	R/W	日十位の設定値
3 ～ 0	1 日	不定	R/W	日一位の設定値

13.3.14　月アラームレジスタ（RMONAR）

RMONAR は、BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、おのおのがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進（BCD）で 01 ～ 12 ＋ ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

ビット	ビット名	初期値	R/W	説　　明
7	ENB	不定	R/W	1にセットされていると、RMONCNTの値と比較を行います。
6、5	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	10 月	不定	R/W	月十位の設定値
3 ～ 0	1 月	不定	R/W	月一位の設定値

13.3.15　年アラームレジスタ（RYRAR）

RYRAR は、BCD コード化された年部分のカウンタ RYRCNT に対応するアラームレジスタです。

設定可能範囲は、10 進（BCD）で 0000 ～ 9999 であり、それ以外の値が設定されると、正常に動作しません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	1000年				100年				10年				1年			
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
15 ～ 12	1000 年	不定	R/W	年千位の設定値
11 ～ 8	100 年	不定	R/W	年百位の設定値
7 ～ 4	10 年	不定	R/W	年十位の設定値
3 ～ 0	1 年	不定	R/W	年一位の設定値

13.3.16　コントロールレジスタ 1（RCR1）

RCR1 は、桁上げおよびアラームフラグに関するレジスタです。また、おのおののフラグについて、割り込みを発生するかどうか選択できます。

CF フラグは､分周回路がリセット(RCR2 の RESET ビットと ADJ ビットを 1 にセット)されるまでは不定になります。CF フラグを使用する場合は、使用前に必ず分周回路をリセットしてください。

AF フラグは、アラームレジスタとカウンタに値がセットされるまでは不定になります。AF フラグを使用する場合には、使用前に必ずアラームレジスタとカウンタを設定してください。

ビット：	7	6	5	4	3	2	1	0
	CF	-	-	CIE	AIE	-	-	AF
初期値：	不定	0	0	0	0	0	0	不定
R/W：	R/W	R	R	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7	CF	不定	R/W	桁上げフラグ このフラグが1にセットされた場合、秒カウンタ桁上げ、または64Hzカウンタ読み出し時に64Hzカウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。 0：秒カウンタ桁上げおよび64Hzカウンタ読み出し時の64Hzカウンタ桁上げなし [クリア条件] CFに0を書き込んだとき 1：秒カウンタ桁上げおよび64Hzカウンタ読み出し時の64Hzカウンタ桁上げあり [セット条件] 秒カウンタ桁上げまたは64Hzカウンタ桁上げ時の読み出し時の64Hzカウンタ桁上げあり、またはCFに1を書き込んだとき
6、5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CIE	0	R/W	桁上げ割り込みイネーブルフラグ 桁上げフラグ（CF）が1にセットされているとき、割り込み発生を許可するビットです。 0：CFフラグが1にセットされたとき、桁上げ割り込みを発生させない 1：CFフラグが1にセットされたとき、桁上げ割り込みを発生させる
3	AIE	0	R/W	アラーム割り込みイネーブルフラグ アラームフラグ（AF）が1にセットされているとき、割り込み発生を許可するビットです。 0：AFフラグが1にセットされたとき、アラーム割り込みを発生させない 1：AFフラグが1にセットされたとき、アラーム割り込みを発生させる
2、1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	AF	不定	R/W	アラームフラグ アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RYRAR）で設定したアラーム時刻（ENBビットを1に設定したレジスタのみ）とカウンタが一致したとき1にセットされるフラグです。 0：アラームレジスタとカウンタは不一致 [クリア条件] AFに0を書き込んだとき 1：アラームレジスタとカウンタは一致* [セット条件] アラームレジスタ（ENBビットを1に設定したレジスタのみ）とカウンタが一致したとき 注　*　1 を書き込むと、元の値が保持されます。

13.3.17　コントロールレジスタ 2（RCR2）

RCR2 は、周期割り込み制御、30 秒調整、分周回路リセット、カウント制御に関するレジスタです。

パワーオンリセットおよびディープスタンバイモード時は初期化されます。RTCEN ビットは $\overline{\text{RES}}$ 端子からのパワーオンリセットのみで初期化されます。

ビット：	7	6	5	4	3	2	1	0
	PEF	PES[2:0]			RTCEN	ADJ	RESET	START
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	PEF	0	R/W	周期割り込みフラグ PES2～PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。 0：PES2～PES0 ビットで設定された周期で割り込み発生なし ［クリア条件］PEF に 0 を書き込んだとき 1：PES2～PES0 ビットで設定された周期で割り込み発生あり ［セット条件］PES2～PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき
6 ～ 4	PES[2:0]	000	R/W	割り込みイネーブルフラグ 周期割り込みの周期を設定します。 000：周期割り込み発生なし 001：設定禁止 010：周期割り込み発生の周期を 1/64 秒ごとにする 011：周期割り込み発生の周期を 1/16 秒ごとにする 100：周期割り込み発生の周期を 1/4 秒ごとにする 101：周期割り込み発生の周期を 1/2 秒ごとにする 110：周期割り込み発生の周期を 1 秒ごとにする 111：周期割り込み発生の周期を 2 秒ごとにする
3	RTCEN	0	R/W	RTC_X1 クロック制御 RTC_X1 端子の機能を制御します。 0：内蔵水晶発振器を停止／外部クロック入力禁止 1：内蔵水晶発振器を動作／外部クロック入力許可 注．　RCR5 レジスタの RCKSEL[1:0] ビットによって選択された内蔵水晶発振器が動作します。RCKSEL[1:0] が 01 に設定されているときは、本ビットを 1 に設定しないでください。
2	ADJ	0	R/W	30 秒調整 30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路（プリスケーラおよび R64CNT）も同時にリセットされます。自動的にこの ADJ ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：30 秒の調整を行う
1	RESET	0	R/W	リセット 1 を書き込むことによって、分周回路および R64CNT レジスタ、アラームレジスタ、RCR3 レジスタ、RCR1 レジスタの CF、AF ビット、RCR2 レジスタの PEF ビットが初期化されます。なお、1 が書き込まれた場合、上記レジスタがリセットされた後、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はなく、ビットの読み出しは常に 0 が読み出されます。 0：通常の時計動作 1：分周回路をリセット
0	START	1	R/W	START ビット カウンタ（時計）動作を停止させたり、再起動をかけるビットです。 0：秒、分、時、日、曜日、月、年カウンタは停止 1：秒、分、時、日、曜日、月、年カウンタは通常動作

13.3.18　コントロールレジスタ 3（RCR3）

RCR3 は、ENB ビットが 1 にセットされていると、RYRCNT の値と比較を行います。アラームレジスタ（RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR、RCR3）のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、それぞれがすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

ビット：	7	6	5	4	3	2	1	0
	ENB	-	-	-	-	-	-	-
初期値：	不定	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	ENB	不定	R/W	1にセットされていると、RYRCNTの値と比較を行います。
6～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

13.3.19　コントロールレジスタ 5（RCR5）

RCR5のRCKSEL[1:0]ビットが00にセットされていると、32.768KHzのRTC_X1クロックを使用して時計のカウント動作を行い、RCKSEL[1:0] ビットが 01 にセットされていると、EXTAL クロックを使用して時計のカウント動作を行います。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	RCKSEL[1:0]	
初期値：	0	0	0	0	0	0	不定	不定
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	RCKSEL[1:0]	不定	R/W	動作クロック選択ビット 動作クロックを、RTC_X1、EXTALから選択することが可能です。なお、動作中にRCKSEL[1:0]の切り換えは行わないでください。 00：RTC_X1からの32.768KHzを選択 01：EXTALを選択 10：リザーブビット 11：設定禁止

13.3.20　周波数レジスタ H/L（RFRH/L）

RFRH/L は、読み出し／書き込み可能なレジスタで、16 ビットで構成されています。

RFC[18:0] には、EXTAL クロックで動作時、128Hz のクロックを作るための「周波数比較値」を設定します。「周波数比較値」は、EXTAL クロック周波数により、値を変更してください。計算方法は下記を参照してください。RCR5 レジスタの RCKSEL ビットが 00 の場合、本レジスタの設定は必要ありません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SEL64	-	-	-	-	-	-	-	-	-	-	-	-	RFC[18:16]		
初期値：	不定	0	0	0	0	0	0	0	0	0	0	0	0	不定	不定	不定
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFC[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	SEL64	不定	R/W	64 分周選択 EXTAL クロック周波数が 128Hz では割り切れないが、64Hz で割り切れる場合の動作クロックであることを示します。 0：EXTAL クロック周波数が 128Hz で割り切れる 1：EXTAL クロック周波数が 128Hz では割り切れないが、64Hz で割り切れる
30 ～ 19	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18 ～ 0	RFC[18:0]	不定	R/W	周波数比較値 EXTAL クロックから、動作クロックを作成するために、比較値を設定します。

(1)　「周波数比較値」計算方法

- EXTAL クロック周波数が 128Hz で割り切れる場合
  RFC[18:0] ＝（EXTAL クロック周波数）÷128
  SEL64 ビットを 0 に設定してください。
- EXTAL クロック周波数が 128Hz では割り切れないが、64Hz で割り切れる場合
  RFC[18:0] ＝（EXTAL クロック周波数）÷64
  SEL64 ビットを 1 に設定してください。

(2)　設定例

表 13.3　　設定例

クロック周波数		SEL64 設定値	RFC 設定値
EXTAL	10MHz	0	H'1312D
	11MHz	1	H'29F63
	12MHz	0	H'16E36
	13MHz	1	H'31975

13.4　動作説明

本モジュールの使用例を示します。

13.4.1　電源投入後のレジスタの初期設定と発振安定時間

電源投入後すべてのレジスタを初期設定してください。RTC_X1 の水晶発振器を使用する場合、RCR2 レジスタの RTCEN ビットを 0 から 1 に設定した後に、発振安定時間が必要となります。

発振安定時間中のリアルタイムクロックの各種設定および動作は行わないでください。

発振安定時間については「47.　電気的特性」を参照してください。

13.4.2　時刻設定手順

時刻設定手順例を図 13.2 に示します。

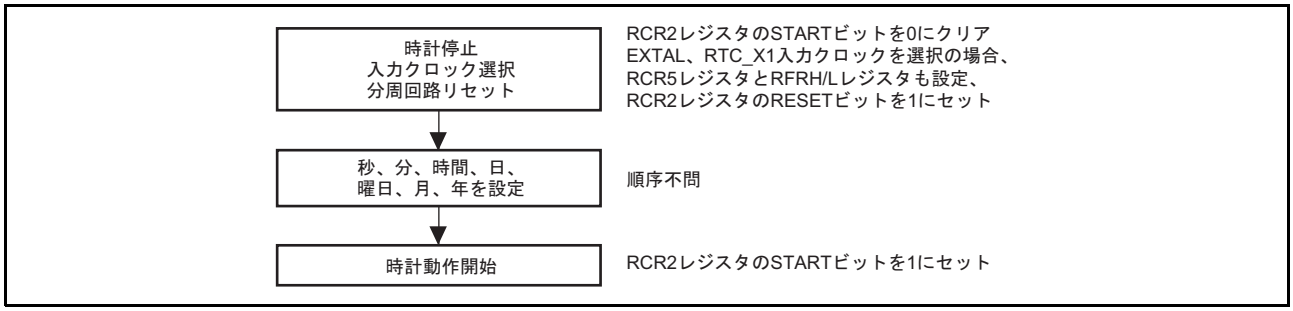


図 13.2　時刻設定手順

13.4.3　時刻読み出し手順

時刻読み出し手順を図 13.3 に示します。

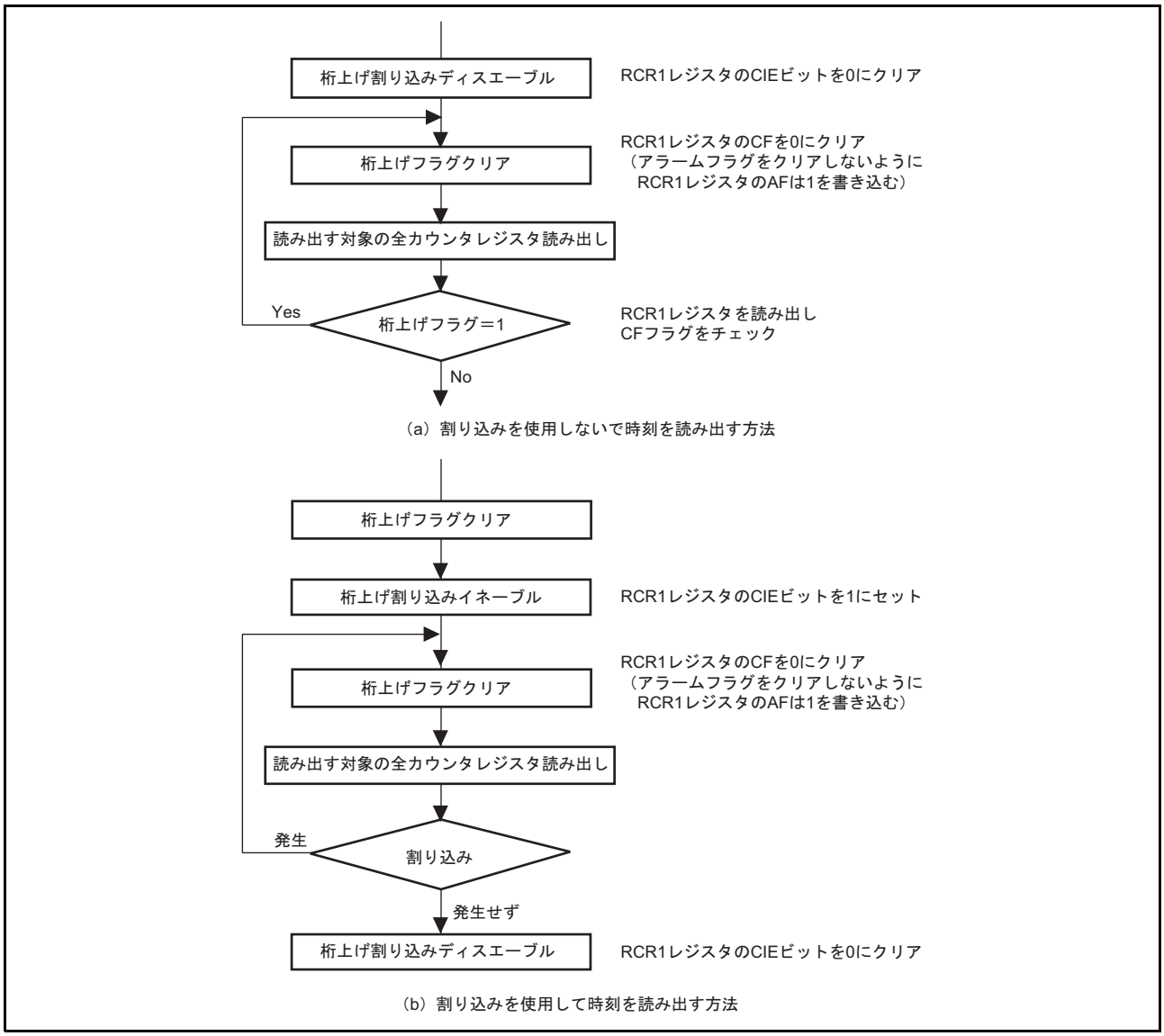


図 13.3　時刻読み出し手順

時刻読み出し中に桁上げが起こると正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法を図 13.3 の（a）に、桁上げ割り込みを使用する方法を図 13.3 の（b）に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

13.4.4　アラーム機能

アラーム機能の使用例を図 13.4 に示します。

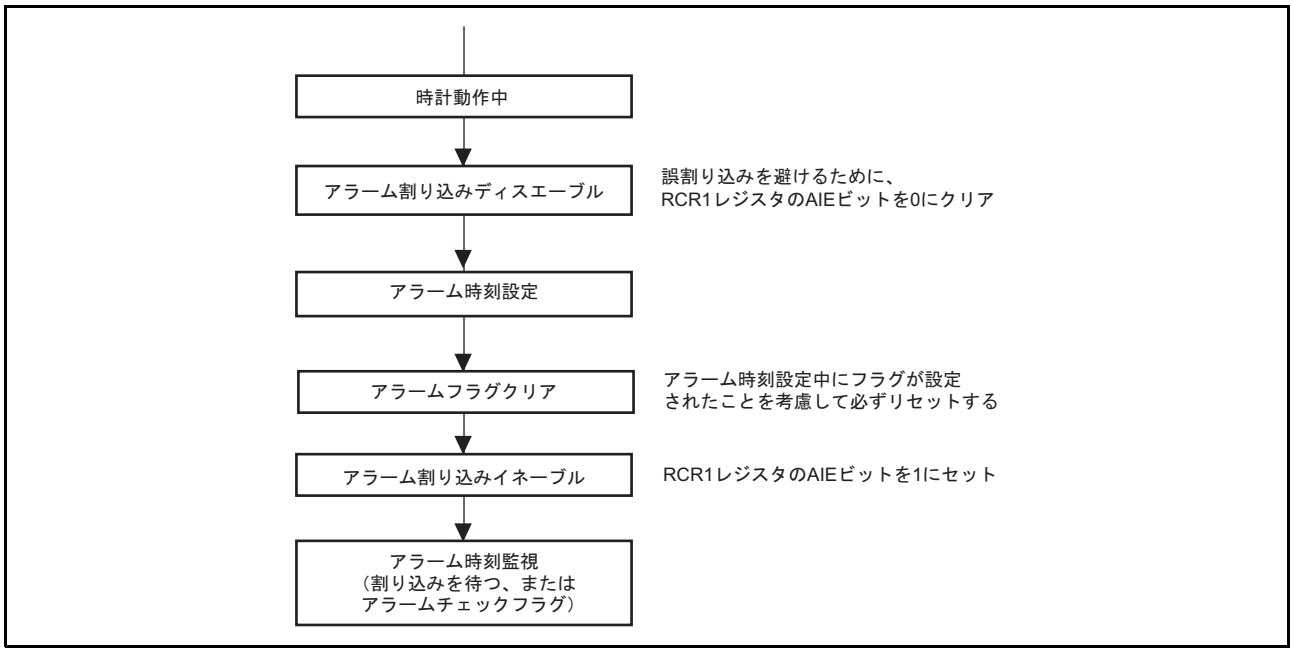


図 13.4　アラーム機能の使用方法

アラームは、秒、分、時、曜日、日、月、年のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは、ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合は、RCR1 レジスタの AF ビットに 1 がセットされます。アラームの検出はこのビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1 レジスタの AIE ビットに 1 が書き込まれている場合、アラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致しているとセットされます。しかし、アラームフラグに 0 を書き込むとクリアされます。

13.5　使用上の注意事項

13.5.1　カウント動作時のレジスタ書き込みについて

カウント動作時（RCR2 レジスタの START ビット＝ 1 のとき）は、以下のレジスタに書き込みができません。

RSECCNT、RMINCNT、RHRCNT、RDAYCNT、RWKCNT、RMONCNT、RYRCONT

上記のレジスタへ書き込みを行う場合は、一度カウント動作を停止してから書き込んでください。

13.5.2　リアルタイムクロックの周期割り込みの使用について

周期割り込みの使用方法を図 13.5 に示します。

周期割り込みは、RCR2 レジスタの PES[2:0] ビットで設定した周期で定期的に割り込みを発生させることができます。PES[2:0] ビットで設定した時間が経過すると PEF が 1 にセットされます。

PEF は、PES[2:0] ビット設定時および周期割り込み発生時に 0 にクリアします。周期割り込みの発生は、このビットを読み出すことで確認できますが、通常は割り込み機能を使用します。

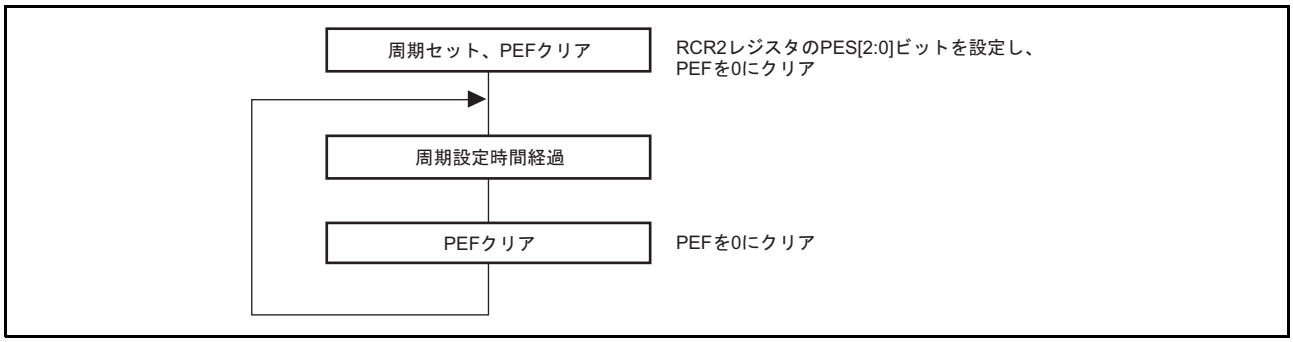


図 13.5　周期割り込み機能の使用方法

13.5.3　レジスタ設定後のスタンバイ遷移について

本モジュール内のレジスタ設定後にスタンバイ状態へ遷移すると、正しくカウントできない場合があります。必ずレジスタ設定後は、設定したレジスタのダミーリードを行ってからスタンバイ状態に遷移してください。

13.5.4　レジスタ書き込み／読み出し時の注意事項

- 秒カウンタなどカウントレジスタおよび RCR2 レジスタの書き込み後の読み出しは、ダミーリードを 2 回行った後にリードしてください。2 回のダミーリードでは、書き込み前の値が読み出せます。3 回目のリードで書き込み値が反映されます。
- 上記以外のレジスタは、書き込み直後の読み出しで書き込み値が反映されます。

14. FIFO 内蔵シリアルコミュニケーションインタフェース

本 LSI は、調歩同期式通信とクロック同期式通信の 2 方式をサポートする 5 チャネルの FIFO 内蔵シリアルコミュニケーションインタフェースを備えています。また、各チャネルとも独立に送信／受信用に 16 段の FIFO レジスタを内蔵し、本 LSI の効率的かつ高速な連続通信を可能にしています。

14.1 特長

- 調歩同期式シリアル通信
  キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter（UART）や Asynchronous Communication Interface Adapter（ACIA）など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。
  データ長　　：7 ビットまたは 8 ビット
  ストップビット長　：1 ビットまたは 2 ビット
  パリティ　　：偶数パリティ、奇数パリティ、またはパリティなし
  受信エラーの検出　：パリティエラー、フレーミングエラー、オーバランエラーを検出
  ブレークの検出　　：フレーミングエラー発生後、引き続き 1 フレーム長以上スペース 0（ローレベル）の場合、ブレークが検出されます。またフレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタから直接読み出すことによってもブレークを検出できます。
- クロック同期式シリアル通信
  クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。シリアルデータ通信フォーマットは 1 種類です。
  データ長　　：8 ビット
  受信エラーの検出　：オーバランエラーを検出
- 全二重通信が可能
  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともに 16 段の FIFO バッファ構造になっているので、シリアルデータの高速連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 内部または外部送受信クロックソース
  ボーレートジェネレータ（内部クロック）、または SCK 端子（外部クロック）から選択可能
- 4 種類の割り込み要因
  送信 FIFO データエンプティ割り込み、ブレーク割り込み、受信 FIFO データフル割り込み、および受信エラー割り込みの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。
- 本モジュールを使用しないときは、消費電力低減のため本モジュールに対してクロックの供給を止めて動作を停止させることができます。
- 調歩同期式モードにおいて、モデムコントロール機能（RTS および CTS）を内蔵（チャネル 0、1、2 のみ）
- 送信、および受信 FIFO データレジスタのデータ数、および受信 FIFO データレジスタの受信データの受信エラー数を検出できます。
- 調歩同期式モード受信時、タイムアウトエラー（DR）を検出できます。
- 調歩同期式モードにおいて、ビットレートの 16/8 倍の基本クロックでの動作を選択可能

- 調歩同期式モード、クロックソースが内部クロック／ SCK 端子は入力端子において、ボーレートジェネレータ通常／倍速モード選択可能

図 14.1 にブロック図を示します。ただし、$\overline{\text{CTS}}$、$\overline{\text{RTS}}$ 端子のないチャネルがあります。

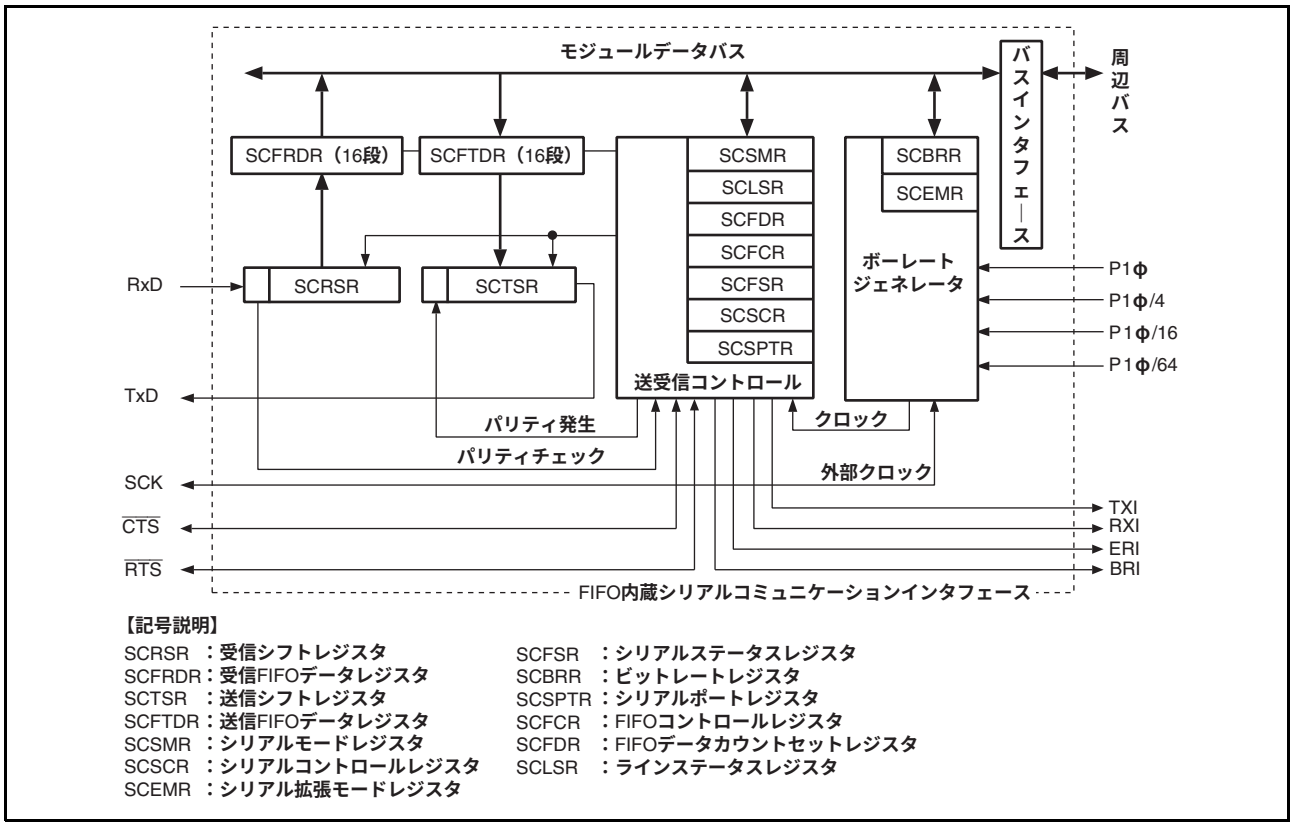


図 14.1　ブロック図

14.2　入出力端子

表 14.1 に端子構成を示します。

表 14.1　端子構成

チャネル	名称	端子名	入出力	機　能
0 ～ 4	シリアルクロック端子	SCK0 ～ SCK4	入出力	クロック入出力
	受信データ端子	RxD0 ～ RxD4	入力	受信データ入力
	送信データ端子	TxD0 ～ TxD4	出力	送信データ出力
0、1、2	リクエストツーセンド端子	$\overline{\text{RTS0}}$、$\overline{\text{RTS1}}$、$\overline{\text{RTS2}}$	入出力	リクエストツーセンド
	クリアツーセンド端子	$\overline{\text{CTS0}}$、$\overline{\text{CTS1}}$、$\overline{\text{CTS2}}$	入出力	クリアツーセンド

14.3 レジスタの説明

表 14.2 にレジスタ構成を示します。

表 14.2 レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	シリアルモードレジスタ_0	SCSMR_0	R/W	H'0000	H'E8007000	16
	ビットレートレジスタ_0	SCBRR_0	R/W	H'FF	H'E8007004	8
	シリアルコントロールレジスタ_0	SCSCR_0	R/W	H'0000	H'E8007008	16
	送信FIFOデータレジスタ_0	SCFTDR_0	W	不定	H'E800700C	8
	シリアルステータスレジスタ_0	SCFSR_0	R/(W) (注 1)	H'0060	H'E8007010	16
	受信FIFOデータレジスタ_0	SCFRDR_0	R	不定	H'E8007014	8
	FIFOコントロールレジスタ_0	SCFCR_0	R/W	H'0000	H'E8007018	16
	FIFOデータカウントセットレジスタ_0	SCFDR_0	R	H'0000	H'E800701C	16
	シリアルポートレジスタ_0	SCSPTR_0	R/W	H'0050	H'E8007020	16
	ラインステータスレジスタ_0	SCLSR_0	R/(W) (注 2)	H'0000	H'E8007024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	R/W	H'0000	H'E8007028	16
1	シリアルモードレジスタ_1	SCSMR_1	R/W	H'0000	H'E8007800	16
	ビットレートレジスタ_1	SCBRR_1	R/W	H'FF	H'E8007804	8
	シリアルコントロールレジスタ_1	SCSCR_1	R/W	H'0000	H'E8007808	16
	送信FIFOデータレジスタ_1	SCFTDR_1	W	不定	H'E800780C	8
	シリアルステータスレジスタ_1	SCFSR_1	R/(W) (注 1)	H'0060	H'E8007810	16
	受信FIFOデータレジスタ_1	SCFRDR_1	R	不定	H'E8007814	8
	FIFOコントロールレジスタ_1	SCFCR_1	R/W	H'0000	H'E8007818	16
	FIFOデータカウントセットレジスタ_1	SCFDR_1	R	H'0000	H'E800781C	16
	シリアルポートレジスタ_1	SCSPTR_1	R/W	H'0050	H'E8007820	16
	ラインステータスレジスタ_1	SCLSR_1	R/(W) (注 2)	H'0000	H'E8007824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	R/W	H'0000	H'E8007828	16
2	シリアルモードレジスタ_2	SCSMR_2	R/W	H'0000	H'E8008000	16
	ビットレートレジスタ_2	SCBRR_2	R/W	H'FF	H'E8008004	8
	シリアルコントロールレジスタ_2	SCSCR_2	R/W	H'0000	H'E8008008	16
	送信FIFOデータレジスタ_2	SCFTDR_2	W	不定	H'E800800C	8
	シリアルステータスレジスタ_2	SCFSR_2	R/(W) (注 1)	H'0060	H'E8008010	16
	受信FIFOデータレジスタ_2	SCFRDR_2	R	不定	H'E8008014	8
	FIFOコントロールレジスタ_2	SCFCR_2	R/W	H'0000	H'E8008018	16
	FIFOデータカウントセットレジスタ_2	SCFDR_2	R	H'0000	H'E800801C	16
	シリアルポートレジスタ_2	SCSPTR_2	R/W	H'0050	H'E8008020	16
	ラインステータスレジスタ_2	SCLSR_2	R/(W) (注 2)	H'0000	H'E8008024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	R/W	H'0000	H'E8008028	16
3	シリアルモードレジスタ_3	SCSMR_3	R/W	H'0000	H'E8008800	16
	ビットレートレジスタ_3	SCBRR_3	R/W	H'FF	H'E8008804	8
	シリアルコントロールレジスタ_3	SCSCR_3	R/W	H'0000	H'E8008808	16
	送信FIFOデータレジスタ_3	SCFTDR_3	W	不定	H'E800880C	8
	シリアルステータスレジスタ_3	SCFSR_3	R/(W) (注 1)	H'0060	H'E8008810	16
	受信FIFOデータレジスタ_3	SCFRDR_3	R	不定	H'E8008814	8
	FIFOコントロールレジスタ_3	SCFCR_3	R/W	H'0000	H'E8008818	16
	FIFOデータカウントセットレジスタ_3	SCFDR_3	R	H'0000	H'E800881C	16
	シリアルポートレジスタ_3	SCSPTR_3	R/W	H'0050	H'E8008820	16
	ラインステータスレジスタ_3	SCLSR_3	R/(W) (注 2)	H'0000	H'E8008824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	R/W	H'0000	H'E8008828	16

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
4	シリアルモードレジスタ_4	SCSMR_4	R/W	H'0000	H'E8009000	16
	ビットレートレジスタ_4	SCBRR_4	R/W	H'FF	H'E8009004	8
	シリアルコントロールレジスタ_4	SCSCR_4	R/W	H'0000	H'E8009008	16
	送信FIFOデータレジスタ_4	SCFTDR_4	W	不定	H'E800900C	8
	シリアルステータスレジスタ_4	SCFSR_4	R/(W)（注1）	H'0060	H'E8009010	16
	受信FIFOデータレジスタ_4	SCFRDR_4	R	不定	H'E8009014	8
	FIFOコントロールレジスタ_4	SCFCR_4	R/W	H'0000	H'E8009018	16
	FIFOデータカウントセットレジスタ_4	SCFDR_4	R	H'0000	H'E800901C	16
	シリアルポートレジスタ_4	SCSPTR_4	R/W	H'0050	H'E8009020	16
	ラインステータスレジスタ_4	SCLSR_4	R/(W)（注2）	H'0000	H'E8009024	16
	シリアル拡張モードレジスタ_4	SCEMR_4	R/W	H'0000	H'E8009028	16

注1. フラグをクリアするために0のみ書き込むことができます。ビット15～8、3、2は読み出し専用であり書き込むことはできません。
注2. フラグをクリアするために0のみ書き込むことができます。ビット15～1は読み出し専用であり書き込むことはできません。

14.3.1 受信シフトレジスタ（SCRSR）

SCRSR は、シリアルデータを受信するためのレジスタです。SCRSR に RxD 端子から入力されたシリアルデータを LSB（ビット 0）から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に受信 FIFO データレジスタ（SCFRDR）へ転送されます。

CPU から直接 SCRSR の読み出し／書き込みをすることはできません。

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-

14.3.2 受信 FIFO データレジスタ（SCFRDR）

SCFRDR は、受信したシリアルデータを格納する 16 段 FIFO レジスタです。1 バイトのシリアルデータの受信が終了すると、受信シフトレジスタ（SCRSR）から SCFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。16 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SCFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になります。

SCFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われます。

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R

14.3.3 送信シフトレジスタ（SCTSR）

SCTSR は、シリアルデータを送信するためのレジスタです。送信 FIFO データレジスタ（SCFTDR）から送信データをいったん SCTSR に転送し、LSB（ビット 0）から順に TxD 端子に送り出すことでシリアルデータ送信を行います。1 バイトのデータ送信を終了すると自動的に SCFTDR から SCTSR へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR の読み出し／書き込みをすることはできません。

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-

14.3.4 送信 FIFO データレジスタ（SCFTDR）

SCFTDR は、シリアル送信するデータを格納する 16 段 FIFO レジスタです。送信シフトレジスタ（SCTSR）の空を検出すると、SCFTDR に書き込まれた送信データを SCTSR に転送してシリアル送信を開始します。SCFTDR の送信データが空になるまで連続シリアル送信ができます。SCFTDR は常に CPU による書き込みが可能です。

SCFTDR が送信データでいっぱい（16 バイト）になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視されます。

ビット：	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-
R/W：	W	W	W	W	W	W	W	W

14.3.5 シリアルモードレジスタ（SCSMR）

SCSMR は、シリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するためのレジスタです。

SCSMR は、常に CPU による読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	-	CKS[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 8	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	C/$\overline{A}$	0	R/W	コミュニケーションモード 動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。 0：調歩同期式モード 1：クロック同期式モード

ビット	ビット名	初期値	R/W	説　　明
6	CHR	0	R/W	キャラクタレングス 調歩同期式モードのデータ長を7ビット／8ビットデータのいずれかから選択します。クロック同期式モードでは、CHRの設定にかかわらず、データ長は8ビットデータ固定です。 0：8ビットデータ 1：7ビットデータ（注1） 注1.　7ビットデータを選択した場合、送信FIFOデータレジスタのMSB（ビット7）は送信されません。
5	PE	0	R/W	パリティイネーブル 調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加およびチェックは行いません。 0：パリティビットの付加、およびチェックを禁止 1：パリティビットの付加、およびチェックを許可（注1） 注1.　PEビットに1をセットすると、送信時にはO/$\overline{E}$ビットで指定した偶数または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/$\overline{E}$ビットで指定した偶数または奇数パリティになっているかどうかをチェックします。
4	O/$\overline{E}$	0	R/W	パリティモード パリティの付加やチェックを偶数パリティまたは奇数パリティのいずれで行うかを選択します。O/$\overline{E}$ビットの設定は、調歩同期式モードでPEビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/$\overline{E}$ビットの指定は無効です。 0：偶数パリティ（注1） 1：奇数パリティ（注2） 注1.　偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が偶数であるかどうかをチェックします。 注2.　奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタをあわせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。 受信時には、パリティビットと受信キャラクタをあわせて、その中の1の数の合計が奇数であるかどうかをチェックします。
3	STOP	0	R/W	ストップビットレングス 調歩同期式モードでのストップビットの長さを1ビット／2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。 0：1ストップビット 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。 1：2ストップビット 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。
2	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	CKS[1:0]	00	R/W	クロックセレクト 内蔵ボーレートジェネレータの内部クロックソースを選択します。 クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「14.3.8　ビットレートレジスタ（SCBRR）」を参照してください。 00：P1φクロック 01：P1φ/4クロック 10：P1φ/16クロック 11：P1φ/64クロック 注.　P1φ：周辺クロック

14.3.6 シリアルコントロールレジスタ（SCSCR）

SCSCR は、送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。SCSCR は、常に CPU による読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TIE	RIE	TE	RE	REIE	-	CKE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 8	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	TIE	0	R/W	送信インタラプトイネーブル 送信FIFOデータレジスタ（SCFTDR）から送信シフトレジスタ（SCTSR）へシリアル送信データが転送され、送信FIFOデータレジスタのデータ数が指定送信トリガ数より少なくなり、シリアルステータスレジスタ（SCFSR）のTDFEフラグが1にセットされたときに、送信FIFOデータエンプティ割り込み（TXI）要求の発生を許可／禁止します。 0：送信FIFOデータエンプティ割り込み（TXI）要求を禁止 1：送信FIFOデータエンプティ割り込み（TXI）要求を許可（注1） 注1.　TXIの解除は、SCFTDRに指定した送信トリガ数より多い送信データを書き込み、TDFEフラグの1を読み出した後0にクリアするか、またはTIEを0にクリアすることで行うことができます。
6	RIE	0	R/W	受信インタラプトイネーブル シリアルステータスレジスタ（SCFSR）のRDFフラグまたはDRフラグが1にセットされたときの受信FIFOデータフル割り込み（RXI）要求、SCFSRのERフラグが1にセットされたときの受信エラー割り込み（ERI）要求、およびSCFSRのBRKフラグまたはラインステータスレジスタ（SCLSR）のORERフラグが1にセットされたときのブレーク割り込み（BRI）要求の発生を許可／禁止します。 0：受信FIFOデータフル割り込み（RXI）要求、受信エラー割り込み（ERI）要求、およびブレーク割り込み（BRI）要求を禁止 1：受信FIFOデータフル割り込み（RXI）要求、受信エラー割り込み（ERI）要求、およびブレーク割り込み（BRI）要求を許可（注1） 注1.　RXI割り込み要求の解除は、DRまたはRDFフラグの1を読み出した後、0にクリアするか、RIEビットを0にクリアすることで行えます。ERI、BRI割り込み要求の解除は、ER、BRK、またはORERフラグの1を読み出した後、0にクリアするか、RIE、REIEビットを0にクリアすることで行えます。
5	TE	0	R/W	送信イネーブル シリアル送信動作の開始を許可／禁止します。 0：送信動作を禁止 1：送信動作を許可（注1） 注1.　この状態でSCFTDRに送信データを書き込むとシリアル送信を開始します。なお、TEビットを1にセットする前に必ずSCSMRおよびSCFCRの設定を行い、送信フォーマットを決定し、送信FIFOをリセットてください。
4	RE	0	R/W	受信イネーブル シリアル受信動作の開始を許可／禁止します。 0：受信動作を禁止（注1） 1：受信動作を許可（注2） 注1.　REビットを0にクリアしてもDR、ER、BRK、RDF、FER、PER、ORERの各ビットは影響を受けず、状態を保持しますので注意してください。 注2.　この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロックをそれぞれ検出すると、シリアル受信を開始します。なお、REビットを1にセットする前に必ずシリアルモードレジスタ（SCSMR）、FIFOコントロールレジスタ（SCFCR）の設定を行い、受信フォーマットを決定し、受信FIFOをリセットしてください。

ビット	ビット名	初期値	R/W	説　　明
3	REIE	0	R/W	受信エラーインタラプトイネーブル 受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求の発生を許可／禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。 0：受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を禁止 1：受信エラー割り込み（ERI）要求、ブレーク割り込み（BRI）要求を許可（注 1） 注 1.　ERI、BRI 割り込み要求の解除は、ER、BRK、または ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。
2	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	CKE[1:0]	00	R/W	クロックイネーブル クロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。CKE[1:0] によって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。クロック同期式モードで同期クロック出力に設定する場合は、SCSMR の C/$\overline{A}$ ビットを 1 に設定してから CKE[1:0] を設定してください。 • 調歩同期式モード 00：内部クロック／SCK 端子は入力端子（入力信号は無視） 01：内部クロック／SCK 端子はクロック出力 （ビットレートの 16/8 倍の周波数のクロックを出力） 10：外部クロック／SCK 端子はクロック入力 （ビットレートの 16/8 倍の周波数のクロックを入力） 11：設定禁止 • クロック同期式モード 00：内部クロック／SCK 端子は同期クロック出力 01：内部クロック／SCK 端子は同期クロック出力 10：外部クロック／SCK 端子は同期クロック入力 11：設定禁止

14.3.7　シリアルステータスレジスタ（SCFSR）

SCFSR は、16 ビットのレジスタです。上位 8 ビットは受信 FIFO データレジスタのデータの受信エラー数を、下位 8 ビットは動作状態を示すステータスフラグを示します。

SCFSR は常に CPU から読み出し／書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各ステータスフラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。さらに、PER フラグ（ビット 15 ～ 12、2）、FER フラグ（ビット 11 ～ 8、3）は読み出し専用であり、書き込むことはできません。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PER[3:0]				FER[3:0]				ER	TEND	TDFE	BRK	FER	PER	RDF	DR
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*	R/(W)*

【注】* フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15 ～ 12	PER[3:0]	0000	R	パリティエラー数 受信 FIFO データレジスタ（SCFRDR）に格納されている受信データでパリティエラーの発生しているデータ数を示します。 SCFSR の ER ビットがセットされた後、ビット 15 ～ 12 で示される値がパリティエラー発生データ数を表示します。SCFRDR の 16 バイト受信データすべてがパリティエラーを伴う場合、PER[3:0] は 0000 を表示します。

ビット	ビット名	初期値	R/W	説　　明
11 ～ 8	FER[3:0]	0000	R	フレーミングエラー数 受信FIFOデータレジスタ（SCFRDR）に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。 SCFSRのERビットがセットされた後、ビット11～8で示される値がフレーミングエラーの発生しているデータ数を表示します。SCFRDRの16バイト受信データすべてがフレーミングエラーを伴う場合、FER[3:0]は0000を表示します。
7	ER	0	R/(W)*	受信エラー フレーミングエラー、またはパリティを含むデータの受信時にパリティエラーが発生したことを示します。（注1） 0：受信中、または正常に受信を完了したことを表示 [クリア条件] • パワーオンリセット • ER＝1の状態を読み出した後、0を書き込んだとき 1：受信時にフレーミングエラーまたはパリティエラーが発生したことを表示 [セット条件] • 1回のデータ受信の終わりで受信データの最後のストップビットが1であるかどうかをチェックし、ストップビットが0の場合（注2） • 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ（SCSMR）のO/$\overline{E}$ビットで指定した偶数パリティ／奇数パリティの設定と一致しなかったとき 注1.　SCSCRのREビットを0にクリアしたときには、ERビットは影響を受けず以前の状態を保持します。受信エラーが発生しても受信データはSCFRDRに転送され受信動作は継続します。SCFRDRから読み出したデータに受信エラーが含まれるかどうかは、SCFSRのFERビットとPERビットで判定できます。 注2.　2ストップモードのときは第1ストップビットのみチェックされ、第2ストップビットはチェックされません。
6	TEND	1	R/(W)*	送信エンド 送信キャラクタの最後尾ビットの送信時にSCFTDRに有効なデータがなく、送信を終了したことを示します。 0：送信中であることを表示 [クリア条件] • SCFTDRへ送信データを書き込み、TEND=1の状態を読み出した後、TENDフラグに0を書き込んだとき（注1） 1：送信を終了したことを表示 [セット条件] • パワーオンリセット • SCSCRのTEビットが0のとき • 1バイトのシリアル送信キャラクタの最後尾ビット送信時にSCFTDRに送信データがないとき 注1.　TXI割り込み要求によりダイレクトメモリアクセスコントローラでSCFTDRへデータのライトを行った場合、送信終了フラグとして使用しないでください。
5	TDFE	1	R/(W)*	送信FIFOデータエンプティ 送信FIFOデータレジスタ（SCFTDR）から送信シフトレジスタ（SCTSR）にデータが転送され、SCFTDRのデータ数がFIFOコントロールレジスタ（SCFCR）のTTRG[1:0]で指定した送信トリガデータ数より少なくなり、SCFTDRへの送信データの書き込みが許可されることを示します。 0：SCFTDRに書き込んだ送信データ数が指定送信トリガ数より多いことを表示 [クリア条件] • TDFE＝1の状態を読み出した後、指定送信トリガ数より多いデータをSCFTDRに書き込み、TDFEに0を書き込んだとき • 送信FIFOデータエンプティ割り込み（TXI）によりダイレクトメモリアクセスコントローラを起動し、指定送信トリガ数より多いデータをSCFTDRに書き込んだとき 1：SCFTDRに書き込んだ送信データ数が指定送信トリガ数以下であること（注1）を表示 [セット条件] • パワーオンリセット • 送信の結果SCFTDRに書き込んだ送信データ数が指定送信トリガ数以下のとき 注1.　SCFTDRは16バイトのFIFOレジスタであるため、TDFE＝1の状態で書き込むことができるデータの最大数は「16から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SCFTDRのデータ数はSCFDRの上位8ビットで示されます。

ビット	ビット名	初期値	R/W	説　　明
4	BRK	0	R/(W)*	ブレーク検出 受信データにブレーク信号が検出されたことを示します。 0：ブレーク信号なし [クリア条件] • パワーオンリセット • BRK＝1の状態を読み出した後、BRKフラグに0を書き込んだとき 1：ブレーク信号を受信（注1） [セット条件] • フレーミングエラーを含むデータを受信し、引き続き1フレーム長以上スペース0（ローレベル）の場合 注1.　ブレークが検出されると、検出後SCFRDRへの受信データ（H'00）の転送は停止します。ブレークが終了し、受信信号がマーク1になると、受信データの転送が再開します。
3	FER	0	R	フレーミングエラー表示 調歩同期式モードで、受信FIFOデータレジスタ（SCFRDR）から読み出したデータにフレーミングエラーがあったかどうかを表示します。 0：次にSCFRDRから読み出す受信データにフレーミングエラーが発生しなかったことを表示 [クリア条件] • パワーオンリセット • 次のSCFRDR読み出しデータにフレーミングエラーなし 1：次にSCFRDRから読み出す受信データにフレーミングエラーが発生したことを表示 [セット条件] • 次のSCFRDR読み出しデータにフレーミングエラーあり
2	PER	0	R	パリティエラー表示 調歩同期式モードで、受信FIFOデータレジスタ（SCFRDR）から読み出したデータにパリティエラーがあったかどうかを表示します。 0：次にSCFRDRから読み出す受信データにパリティエラーが発生しなかったことを表示 [クリア条件] • パワーオンリセット • 次のSCFRDR読み出しデータにパリティエラーなし 1：次にSCFRDRから読み出す受信データにパリティエラーが発生したことを表示 [セット条件] • 次のSCFRDR読み出しデータにパリティエラーあり
1	RDF	0	R/(W)*	受信FIFOデータフル 受信データが受信FIFOデータレジスタ（SCFRDR）に転送され、SCFRDRのデータ数がFIFOコントロールレジスタ（SCFCR）のRTRG[1:0]で指定した受信トリガ数より多くなったことを示します。 0：SCFRDRの書き込まれた受信データ数が指定受信トリガ数より少ないことを表示 [クリア条件] • パワーオンリセット • RDF＝1を読み出した後、SCFRDRの受信データ数が指定受信トリガ数より少なくなるまでSCFRDRを読み出し、RDFに0を書き込んだとき • 受信FIFOデータフル割り込み（RXI）によりダイレクトメモリアクセスコントローラを起動し、SCFRDRの受信データ数が指定受信トリガ数より少なくなるまでSCFRDRを読み出したとき 1：SCFRDRの受信データ数が指定受信トリガ数以上であることを表示 [セット条件] • 指定受信トリガ数以上の受信データ数がSCFRDRに格納されるとき（注1） 注1.　SCFRDRは16バイトのFIFOレジスタであるため、RDFが1のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SCFRDRのすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SCFRDRの受信データ数はSCFDRの下位8ビットで示されます。

ビット	ビット名	初期値	R/W	説　　明
0	DR	0	R/(W)*	受信データレディ 調歩同期式モードで、受信FIFOデータレジスタ（SCFRDR）に指定受信トリガ数より少ないデータを格納し、最後のストップビットから15ETUの時間経過後も次のデータが受信されないことを示します。クロック同期式モードに設定した場合はセットされません。 0：受信中であるか、正常に受信完了後SCFRDRに受信データが残っていないことを表示 [クリア条件] • パワーオンリセット • DR=1の状態を読み出した後、SCFRDR内の受信データをすべて読み出し、0を書き込んだとき • 受信FIFOデータフル割り込み（RXI）によりダイレクトメモリアクセスコントローラを起動し、SCFRDR内の受信データをすべて読み出したとき 1：次の受信データが受信されていないことを表示 [セット条件] • 指定受信トリガ数未満のデータをSCFRDRが格納し、最後のストップビットから15ETUの時間経過（注1）後も次のデータが受信されないとき 注1.　8ビット、1ストップビットのフォーマットの1.5フレーム分に相当します。（ETU：Element Time Unit：要素時間単位）

注　*　フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

14.3.8 ビットレートレジスタ（SCBRR）

SCBRR は、シリアルモードレジスタ（SCSMR）の CKS[1:0]、シリアル拡張モードレジスタ（SCEMR）の BGDM ビットおよび ABCS ビットとあわせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR は、常に CPU による読み出し／書き込みが可能です。SCBRR は、パワーオンリセット時に H'FF に初期化されます。なお、チャネルごとにボーレートジェネレータのコントロールが独立していますので、8 つのチャネルにはそれぞれ異なる値を設定することができます。

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCBRR の設定値は以下の計算式で求められます。

【調歩同期式モード】

- ボーレートジェネレータ通常モード（SCEMR の BGDM ＝ 0）

  $N = (P1\varphi / (64 \times 2^{2n-1} \times B)) \times 10^6 - 1$

  （ビットレートの 16 倍の基本クロックで動作時）

  $N = (P1\varphi / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$

  （ビットレートの 8 倍の基本クロックで動作時）

- ボーレートジェネレータ倍速モード（SCEMR の BGDM ＝ 1）

  $N = (P1\varphi / (32 \times 2^{2n-1} \times B)) \times 10^6 - 1$

  （ビットレートの 16 倍の基本クロックで動作時）

  $N = (P1\varphi / (16 \times 2^{2n-1} \times B)) \times 10^6 - 1$

  （ビットレートの 8 倍の基本クロックで動作時）

【クロック同期式モード】

$$N = \frac{P1\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B：ビットレート（bit/s）

N：ボーレートジェネレータの SCBRR の設定値（0 ≦ N ≦ 255）
（電気的特性を満足する設定値としてください）

P1φ：周辺モジュール用動作周波数（MHz）

n：ボーレートジェネレータ入力クロック（n ＝ 0、1、2、3）
（n とクロックの関係は、**表 14.3** を参照してください）

表 14.3　SCSMR の設定

n	クロック	SCSMR の設定値	
		CKS[1]	CKS[0]
0	P1φ	0	0
1	P1φ/4	0	1
2	P1φ/16	1	0
3	P1φ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

- ボーレートジェネレータ通常モード（SCEMR の BGDM ＝ 0）
  誤差（%）＝｛((P1φ×10^6）／（(N ＋ 1）×B×64×2^(2n-1))）－ 1｝×100
  （ビットレートの 16 倍の基本クロックで動作時）
  誤差（%）＝｛((P1φ×10^6）／（(N ＋ 1）×B×32×2^(2n-1))）－ 1｝×100
  （ビットレートの 8 倍の基本クロックで動作時）
- ボーレートジェネレータ倍速モード（SCEMR の BGDM ＝ 1）
  誤差（%）＝｛((P1φ×10^6）／（(N ＋ 1）×B×32×2^(2n-1))）－ 1｝×100
  （ビットレートの 16 倍の基本クロックで動作時）
  誤差（%）＝｛((P1φ×10^6）／（(N ＋ 1）×B×16×2^(2n-1))）－ 1｝×100
  （ビットレートの 8 倍の基本クロックで動作時）

表 14.4 にボーレートジェネレータ通常モード（SCEMR の BGDM ＝ 0）、16 倍の基本クロック動作（SCEMR の ABCS ＝ 0）のとき、調歩同期式モードの SCBRR の設定例を示します。また、**表 14.5** にクロック同期式モードの SCBRR の設定例を示します。

表 14.4　ビットレートに対する SCBRR の設定例〔調歩同期式モード、BGDM=0、ABCS=0〕

ビットレート (bit/s)	P1φ（MHz）					
	50			66.67		
	n	N	誤差（%）	n	N	誤差（%）
110	3	221	-0.02			
150	3	162	-0.15	3	216	0.01
300	3	80	0.47	3	108	-0.45
600	2	162	-0.15	2	216	0.01
1200	2	80	0.47	2	108	-0.45
2400	1	162	-0.15	1	216	0.01
4800	1	80	0.47	1	108	-0.45
9600	0	162	-0.15	0	216	0.01
19200	0	80	0.47	0	108	-0.45
31250	0	49	0.00	0	66	-0.50
38400	0	40	-0.76	0	53	0.47

注．　誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

空欄：設定できません。

表14.5　ビットレートに対するSCBRRの設定例〔クロック同期式モード〕

ビットレート (bit/s)	P1φ（MHz）			
	50		66.67	
	n	N	n	N
500	—	—		
1000	3	194	—	—
2500	3	77	3	103
5000	2	155	2	207
10000	2	77	2	103
25000	1	124	1	166
50000	1	62	1	82
100000	0	124	0	166
250000	0	49	0	66
500000	0	24	—	—
1000000	—	—	—	—
2000000	—	—	—	—

【記号説明】

空欄：設定できません。

－：設定可能ですが誤差が出ます。

表 14.6 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、**表 14.7** に外部クロック入力における調歩同期式モードの最大ビットレート、**表 14.8** に外部クロック入力（$t_{Scyc} = 12t_{pcyc}$ 時 (注 1)）におけるクロック同期式モードの最大ビットレートを示します。

注1.　本LSIと通信相手先の電気的特性を満足することを確認してください。

表14.6　ボーレートジェネレータを使用する場合の各周波数における最大ビットレート（調歩同期式モード）

P1φ（MHz）	設定値				最大ビットレート（bit/s）
	BGDM	ABCS	n	N	
50	0	0	0	0	1562500
		1	0	0	3125000
	1	0	0	0	3125000
		1	0	0	6250000
66.67	0	0	0	0	2083333
		1	0	0	4166667
	1	0	0	0	4166667
		1	0	0	8333333

表14.7　外部クロック入力時の最大ビットレート（調歩同期式モード）

P1φ（MHz）	外部入力クロック（MHz）	設定値	最大ビットレート（bit/s）
		ABCS	
50	12.5000	0	781250
		1	1562500
66.67	16.6667	0	1041667
		1	2083333

表 14.8　外部クロック入力時の最大ビットレート（クロック同期式モード、t_{Scyc} = 12t_{pcyc} 時）

P1φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
50	4.1667	4166666.7
66.67	5.5556	5555555.5

14.3.9　FIFO コントロールレジスタ（SCFCR）

SCFCR は、送信 FIFO データレジスタおよび受信 FIFO データレジスタのデータ数のリセット、トリガデータ数の設定を行うレジスタです。また、ループバックテストの許可ビットを含んでいます。

SCFCR は、常に CPU による読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	RSTRG[2:0]			RTRG[1:0]		TTRG[1:0]		MCE	TFRST	RFRST	LOOP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 8	RSTRG[2:0]	000	R/W	$\overline{\text{RTS}}$ 出力アクティブトリガ 受信 FIFO データレジスタ（SCFRDR）内に格納された受信データ数が下表に示すトリガ設定数以上になったとき、$\overline{\text{RTS}}$ 信号はハイレベルになります。 000：15 001：1 010：4 011：6 100：8 101：10 110：12 111：14
7、6	RTRG[1:0]	00	R/W	受信 FIFO データ数トリガ シリアルステータスレジスタ（SCFSR）の RDF フラグをセットする基準となる受信データ数（指定受信トリガ数）を設定します。受信 FIFO データレジスタ（SCFRDR）に格納された受信データ数が以下に示す設定トリガ数以上になったとき RDF フラグは 1 にセットされます。 • 調歩同期式モード 00：1 01：4 10：8 11：14 • クロック同期式モード 00：1 01：2 10：8 11：14 注.　クロック同期式モードのとき、ダイレクトメモリアクセスコントローラにより受信データを転送する場合、受信トリガ数を 1 に設定してください。1 以外に設定した場合、CPU により SCFRDR に残っている受信データを読み出す必要があります。
5、4	TTRG[1:0]	00	R/W	送信 FIFO データ数トリガ シリアルステータスレジスタ（SCFSR）の TDFE フラグをセットする基準となる送信データ数（指定送信トリガ数）を設定します。送信 FIFO データレジスタ（SCFTDR）に格納された送信データ数が以下に示す設定トリガ数以下になったとき TDFE フラグは 1 にセットされます。 00：8（8）（注 1） 01：4（12）（注 1） 10：2（14）（注 1） 11：0（16）（注 1） 注 1.　（　）内の数値は TDFE フラグが 1 にセットされるときの SCFTDR レジスタの空きバイト数を意味します。

ビット	ビット名	初期値	R/W	説　　明
3	MCE	0	R/W	モデムコントロールイネーブル モデムコントロール信号 $\overline{\text{CTS}}$、$\overline{\text{RTS}}$ を許可／禁止します。 チャネル 3、4、クロック同期モードでは MCE を常に 0 にしてください。 0：モデム信号を禁止（注 1） 1：モデム信号を許可 注 1.　入力値に関係なく $\overline{\text{CTS}}$ はアクティブ 0 に固定され、$\overline{\text{RTS}}$ も 0 に固定されます。
2	TFRST	0	R/W	送信 FIFO データレジスタリセット 送信 FIFO データレジスタ内の送信データを無効にし、データが空の状態にリセットします。 0：リセット動作を禁止（注 1） 1：リセット動作を許可 注 1.　パワーオンリセット時にはリセット動作が行われます。
1	RFRST	0	R/W	受信 FIFO データレジスタリセット 受信 FIFO データレジスタ内の受信データを無効にし、データを空の状態にリセットします。 0：リセット動作を禁止（注 1） 1：リセット動作を許可 注 1.　パワーオンリセット時にはリセット動作が行われます。
0	LOOP	0	R/W	ループバックテスト 送信出力端子（TxD）と受信入力端子（RxD）、$\overline{\text{RTS}}$ 端子と $\overline{\text{CTS}}$ 端子を内部で接続しループバックテストを許可します。 0：ループバックテストを禁止 1：ループバックテストを許可

14.3.10　FIFO データカウントセットレジスタ（SCFDR）

SCFDR は、送信 FIFO データレジスタ（SCFTDR）と受信 FIFO データレジスタ（SCFRDR）に格納されているデータ数を示します。

上位 8 ビットで SCFTDR の送信データ数を、下位 8 ビットで SCFRDR の受信データ数を示します。SCFDR は、常に CPU から読み出しが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	T[4:0]					-	-	-	R[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15 ～ 13	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12 ～ 8	T[4:0]	00000	R	SCFTDR に格納された未送信データ数を示します。 H'00 は送信データがないことを、H'10 は送信データのすべてが SCFTDR に格納されていることを示します。
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4 ～ 0	R[4:0]	00000	R	SCFRDR に格納された受信データ数を示します。 H'00 は受信データがないことを、H'10 は受信データのすべてが SCFRDR 格納されていることを示します。

14.3.11 シリアルポートレジスタ（SCSPTR）

SCSPTR は、本モジュールの端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 7、6 で $\overline{\text{RTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 5、4 で $\overline{\text{CTS}}$ 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 3、2 で SCK 端子に対して、データの読み出しおよび出力データを書き込むことができます。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。

SCSPTR は、常に CPU による読み出し／書き込みが可能です。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
初期値：	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 8	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7	RTSIO	0	R/W	$\overline{\text{RTS}}$ ポート入出力 シリアルポートの $\overline{\text{RTS}}$ 端子の入出力を指定します。実際に $\overline{\text{RTS}}$ 端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0：$\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力しない 1：$\overline{\text{RTS}}$ 端子に RTSDT ビットの値を出力する
6	RTSDT	1	R/W	$\overline{\text{RTS}}$ ポートデータ シリアルポートの $\overline{\text{RTS}}$ 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します。出力の場合、RTSDT ビットの値が $\overline{\text{RTS}}$ 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは $\overline{\text{RTS}}$ 端子の値が読み出されます。ただし汎用入出力ポートで $\overline{\text{RTS}}$ 入出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル
5	CTSIO	0	R/W	$\overline{\text{CTS}}$ ポート入出力 シリアルポートの $\overline{\text{CTS}}$ 端子の入出力を指定します。実際に $\overline{\text{CTS}}$ 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR の MCE ビットを 0 に設定してください。 0：$\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力しない 1：$\overline{\text{CTS}}$ 端子に CTSDT ビットの値を出力する
4	CTSDT	1	R/W	$\overline{\text{CTS}}$ ポートデータ シリアルポートの $\overline{\text{CTS}}$ 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します。出力の場合、CTSDT ビットの値が $\overline{\text{CTS}}$ 端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは $\overline{\text{CTS}}$ 端子の値が読み出されます。ただし汎用入出力ポートで $\overline{\text{CTS}}$ 入出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル
3	SCKIO	0	R/W	SCK ポート入出力 シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SCKDT ビットで設定した値を出力する場合は、SCSCR の CKE1、CKE0 ビットを 0 に設定してください。 0：SCK 端子に SCKDT ビットの値を出力しない 1：SCK 端子に SCKDT ビットの値を出力する
2	SCKDT	0	R/W	SCK ポートデータ シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SCKIO ビットで指定します。出力の場合、SCKDT ビットの値が SCK 端子に出力されます。SCKIO ビットの値にかかわらず、SCKDT ビットからは SCK 端子の値が読み出されます。ただし汎用入出力ポートで SCK 入出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル

ビット	ビット名	初期値	R/W	説　　明
1	SPB2IO	0	R/W	シリアルポートブレーク入出力 シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR の TE ビットを 0 に設定してください。 0：TxD 端子に SPB2DT ビットの値を出力しない 1：TxD 端子に SPB2DT ビットの値を出力する
0	SPB2DT	0	R/W	シリアルポートブレークデータ シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。入力か出力かは SPB2IO ビットで指定します。TxD 端子を出力に設定した場合、SPB2DT ビットの値が TxD 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD 端子の値が読み出されます。ただし汎用入出力ポートで RxD 入力、TxD 出力に設定しておく必要があります。 0：入出力データがローレベル 1：入出力データがハイレベル

14.3.12　ラインステータスレジスタ（SCLSR）

SCLSR は、常に CPU から読み出し／書き込みが可能です。ただし、ORER のステータスフラグへ 1 を書き込むことはできません。0 にクリアするためには、あらかじめ 1 を読み出しておく必要があります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	ORER
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	ORER	0	R/(W)*	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを示します。 0：受信中、または正常に受信を完了したことを表示（注1） [クリア条件] • パワーオンリセット • ORER＝1 の状態を読み出した後、0 を書き込んだとき 1：受信時にオーバランエラーが発生したことを表示（注2） [セット条件] • 受信 FIFO にいっぱいの 16 バイトのデータが受信された状態で次のシリアル受信を完了したとき 注1.　シリアルコントロールレジスタ（SCSCR）の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。 注2.　受信 FIFO データレジスタ（SCFRDR）ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。

14.3.13 シリアル拡張モードレジスタ（SCEMR）

SCEMR は、常に CPU から読み出し／書き込みが可能です。BGDM ビットを 1 にセットすることにより、調歩同期式モード（SCSMR の C/$\overline{A}$ = 0）かつクロックソースを内部クロック／ SCK 端子は入力端子（SCSCR の CKE[1:0] = 00）のとき、本モジュール内部のボーレートジェネレータが倍速モードで動作します。

また、ABCS ビットの設定を変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックを選択することができます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	BGDM	-	-	-	-	-	-	ABCS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 8	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	BGDM	0	R/W	ボーレートジェネレータ倍速モード BGDMビットを1にセットすると、本モジュール内部のボーレートジェネレータが倍速モードで動作します。BGDMの設定は、調歩同期式モード（SCSMRのC/$\overline{A}$＝0）かつクロックソースを内部クロック／SCK端子は入力端子（SCSCRのCKE[1:0]＝00）のときに有効です。上記設定以外のときは通常モードを使用してください。 0：通常モード 1：倍速モード
6 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ABCS	0	R/W	調歩同期式基本クロックセレクト 調歩同期式モードにおける1ビット期間の基本クロックを選択します。ABCSビットの設定は、調歩同期式モード（SCSMRのC/$\overline{A}$＝0）のとき有効です。 0：ビットレートの16倍の周波数の基本クロックで動作 1：ビットレートの8倍の周波数の基本クロックで動作

14.4 動作説明

14.4.1 概要

本モジュールは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

送信／受信のそれぞれに 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。さらにチャネル 0、1、2 にはモデムコントロール信号として $\overline{\text{RTS}}$ 信号、$\overline{\text{CTS}}$ 信号を用意しています。送受信フォーマットの選択は、シリアルモードレジスタ（SCSMR）で行います。これを**表 14.9** に示します。また、クロックソースは、シリアルモードレジスタ（SCSMR）の C/$\overline{\text{A}}$ とシリアルコントロールレジスタ（SCSCR）の CKE[1:0] の組み合わせで決まります。これを**表 14.10** に示します。

(1) 調歩同期式モード

- データ長：7 ビット／8 ビットから選択可能
- パリティの付加および 1 ビット／2 ビットのストップビットの付加を選択可能
  （これらの組み合わせにより送信／受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、受信 FIFO データフル、オーバランエラー、受信データレディ、およびブレークの検出が可能
- 送受信 FIFO レジスタそれぞれの格納データ数を表示
- クロックソース：内部クロック／外部クロックから選択可能
  内部クロックを選択した場合：ボーレートジェネレータのクロックで動作
  外部クロックを選択した場合：ビットレートの 16/8 倍の周波数のクロックを入力することが必要
  （内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信／受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラーの検出可能
- クロックソース：内部クロック／外部クロックから選択可能
  内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、このクロックを同期クロックとして外部へ出力
  外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された外部同期クロックで動作

表14.9　SCSMRの設定値と送信／受信フォーマット

SCSMR				モード	送信／受信フォーマット		
ビット7	ビット6	ビット5	ビット3		データ長	パリティビット	ストップビット長
C/$\overline{A}$	CHR	PE	STOP				
0	0	0	0	調歩同期式モード	8ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
	1	0	0		7ビット	なし	1ビット
			1				2ビット
		1	0			あり	1ビット
			1				2ビット
1	x	x	x	クロック同期式モード	8ビット	なし	なし

【記号説明】　x：Don't care

表14.10　SCSMR、SCSCRの設定値とクロックソースの選択

SCSMR	SCSCR	モード	クロックソース	SCK端子の機能
ビット7	ビット1、0			
C/$\overline{A}$	CKE[1:0]			
0	00	調歩同期式モード	内部	SCK端子を使用しません
	01			ビットレートの16/8倍の周波数のクロックを出力
	10		外部	ビットレートの16/8倍の周波数のクロックを入力
	11		設定禁止	
1	0x	クロック同期式モード	内部	同期クロックを出力
	10		外部	同期クロックを入力
	11		設定禁止	

【記号説明】　x：Don't care

注.　ボーレートジェネレータ倍速モード（BGDM＝1）を使用する際は、調歩同期式モード（C/$\overline{A}$＝0）かつクロックソースを内部クロック／SCK端子を使用しない（CKE[1:0]＝00）設定にしてください。

14.4.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

本モジュール内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1 ビット期間の 16/8 倍の周波数のクロックの 8/4 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

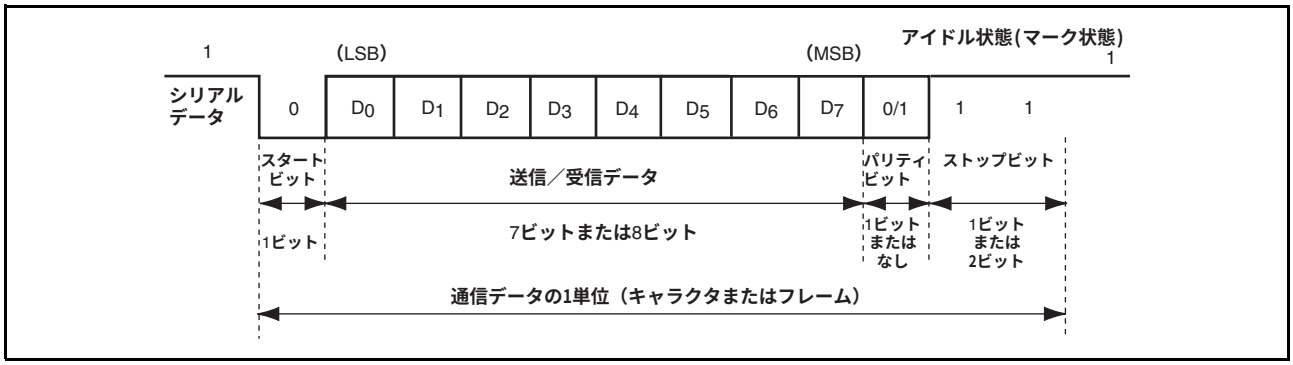


図 14.2 調歩同期式通信のデータフォーマット
（8 ビットデータ／パリティあり／2 ストップビットの例）

(1) 送信／受信フォーマット

設定可能な送信／受信フォーマットを、**表 14.11** に示します。

送信／受信フォーマットは 8 種類あり、シリアルモードレジスタ（SCSMR）の設定により選択できます。

表 14.11　シリアル送信／受信フォーマット（調歩同期式モード）

SCSMR の設定			シリアル送信／受信フォーマットとフレーム長											
CHR	PE	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	START	8ビットデータ								STOP		
		1	START	8ビットデータ								STOP	STOP	
	1	0	START	8ビットデータ								P	STOP	
		1	START	8ビットデータ								P	STOP	STOP
1	0	0	START	7ビットデータ							STOP			
		1	START	7ビットデータ							STOP	STOP		
	1	0	START	7ビットデータ							P	STOP		
		1	START	7ビットデータ							P	STOP	STOP	

【記号説明】

START　：スタートビット
STOP　：ストップビット
P　：パリティビット

(2) クロック

本モジュールの送受信クロックは、SCSMR の C/$\overline{A}$ ビットおよびシリアルコントロールレジスタ（SCSCR）の CKE[1:0] の設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは SCK 端子から入力された外部クロックの 2 種類から選択できます。クロックソースの選択については**表 14.10** を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16/8 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートの 16/8 倍の周波数です。

(3) データの送信／受信動作

- **初期化（調歩同期式モード）**

  データの送信／受信前には、まずシリアルコントロールレジスタ（SCSCR）の TE ビットおよび RE ビットを 0 にクリアした後、以下の順で初期化してください。

  動作モードの変更、通信フォーマットの変更などの場合には、必ず TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、送信シフトレジスタ（SCTSR）は初期化されます。しかし、TE ビットと RE ビットを 0 にクリアしても、シリアルステータスレジスタ（SCFSR）、送信 FIFO データレジスタ（SCFTDR）、受信 FIFO データレジスタ（SCFRDR）は初期化されず、それらの内容は保持されますのでご注意ください。TE ビットの 0 クリアは、送信データをすべて送信し、SCFSR の TEND フラグがセットされた後に行ってください。TE ビットは送信中でも 0 クリア可能ですが、送信データは 0 クリアした後、マーク状態になります。また再度 TEビットを1にセットして送信開始する前にSCFCRのTFRSTビットを1にセットしてSCFTDRをリセットしてください。

  外部クロックを使用している場合には、動作が不確実になりますので、初期化を含めた動作中にクロックを止めないでください。図 14.3 に初期化フローチャートの例を示します。

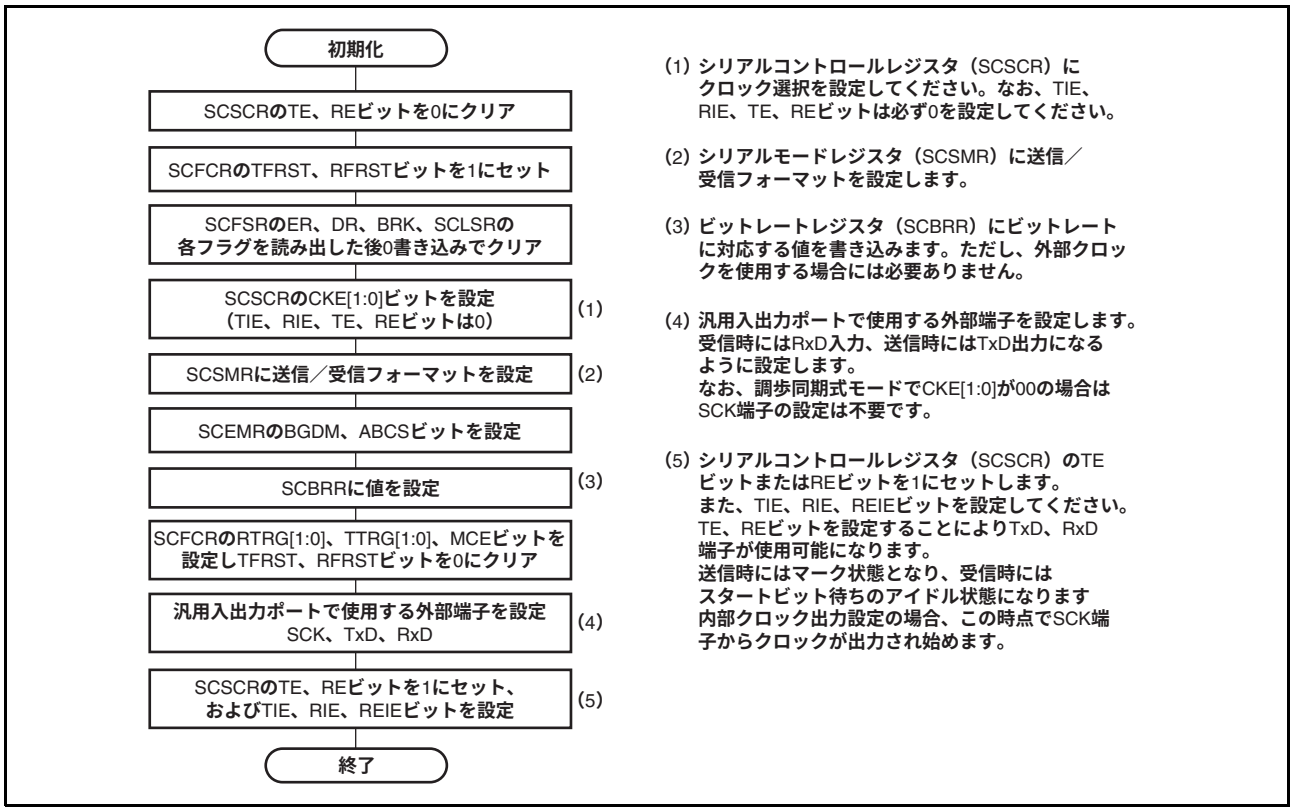


図 14.3　初期化フローチャートの例

- **シリアルデータ送信（調歩同期式モード）**

  図 14.4 にシリアル送信のフローチャートの例を示します。

  送信を可能にした後、シリアルデータ送信は以下の手順に従い行ってください。

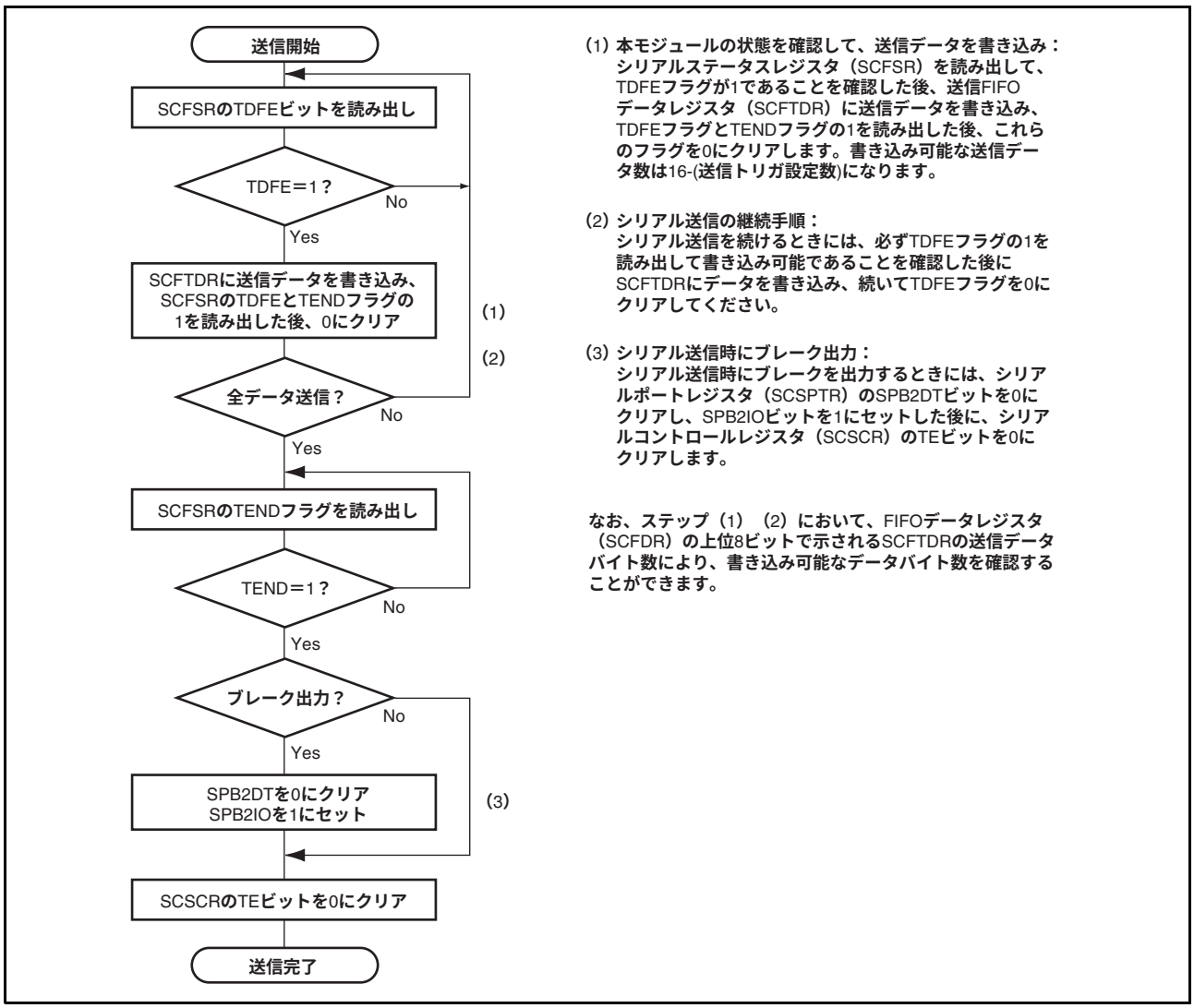


図 14.4　シリアル送信のフローチャートの例

シリアル送信時には以下のように動作します。

1. 送信 FIFO データレジスタ（SCFTDR）にデータが書き込まれると、SCFTDR から送信シフトレジスタ（SCTSR）にデータを転送します。送信データを SCFTDR に書き込む前に、シリアルステータスレジスタ（SCFSR）の TDFE フラグが 1 にセットされていることを確認してください。書き込み可能な送信データバイト数は（16 －送信トリガ設定数）です。
2. SCFTDR から SCTSR へデータを転送し、送信を開始すると、SCFTDR の送信データがなくなるまで連続して送信動作を実行します。SCFTDR の送信データバイト数が FIFO コントロールレジスタ（SCFCR）で設定した送信トリガ数以下になると、TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ（SCSCR）の TIE ビットが 1 にセットされていると送信 FIFO データエンプティ割り込み（TXI）要求を発生します。

   シリアル送信データは、以下の順に TxD 端子から送り出されます。

(a) スタートビット：1 ビットの 0 が出力されます。
(b) 送信データ：8 ビットまたは 7 ビットのデータが LSB から順に出力されます。
(c) パリティビット：1 ビットのパリティビット（偶数パリティ、または奇数パリティ）が出力されます（なお、パリティビットを出力しないフォーマットも選択できます）。
(d) ストップビット：1 ビットまたは 2 ビットの 1（ストップビット）が出力されます。
(e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。

3. ストップビットを送出するタイミングで SCFTDR 送信データをチェックします。データがあると、SCFTDR から SCTSR にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

調歩同期式モードでの送信時の動作例を図 14.5 に示します。

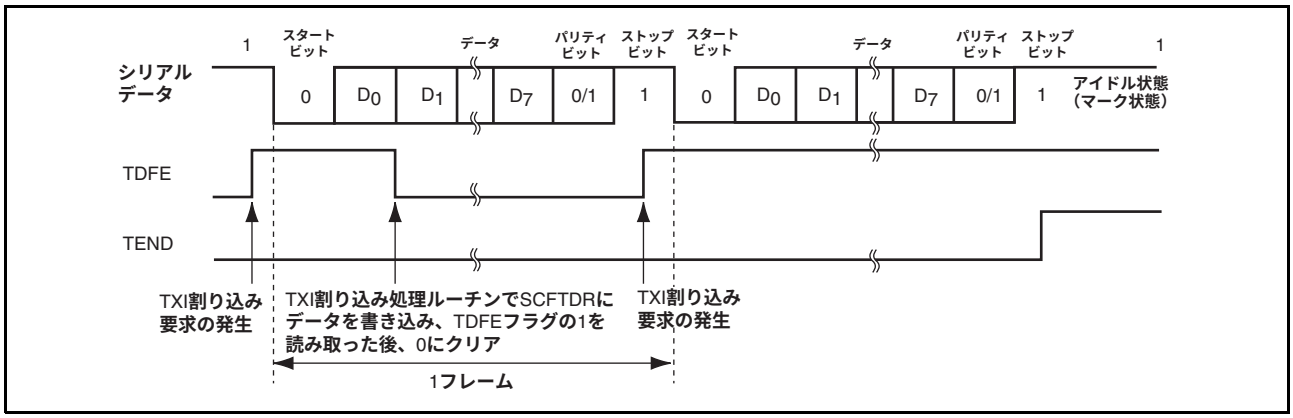


図 14.5　送信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

4. チャネル 0、1、2 において、モデムコントロールを許可した場合、$\overline{\text{CTS}}$ 入力値によって送信を停止／再開することができます。$\overline{\text{CTS}}$ が 1 にセットされると、送信中のときは 1 フレームの送信終了後マーク状態になります。$\overline{\text{CTS}}$ が 0 にセットされると、次の送信データがスタートビットを先頭に出力されます。

モデムコントロールを使用した動作例を図 14.6 に示します。

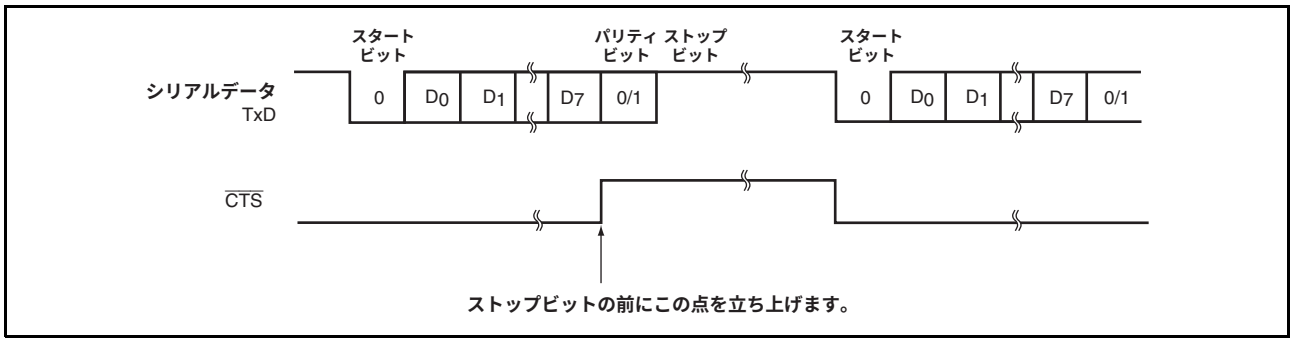


図 14.6　モデムコントロールを使用した動作例（$\overline{\text{CTS}}$）

- シリアルデータ受信（調歩同期式モード）
  図 14.7、図 14.8 にシリアル受信フローチャートの例を示します。
  受信を可能に設定した後、シリアルデータ受信は次の手順に従い行ってください。

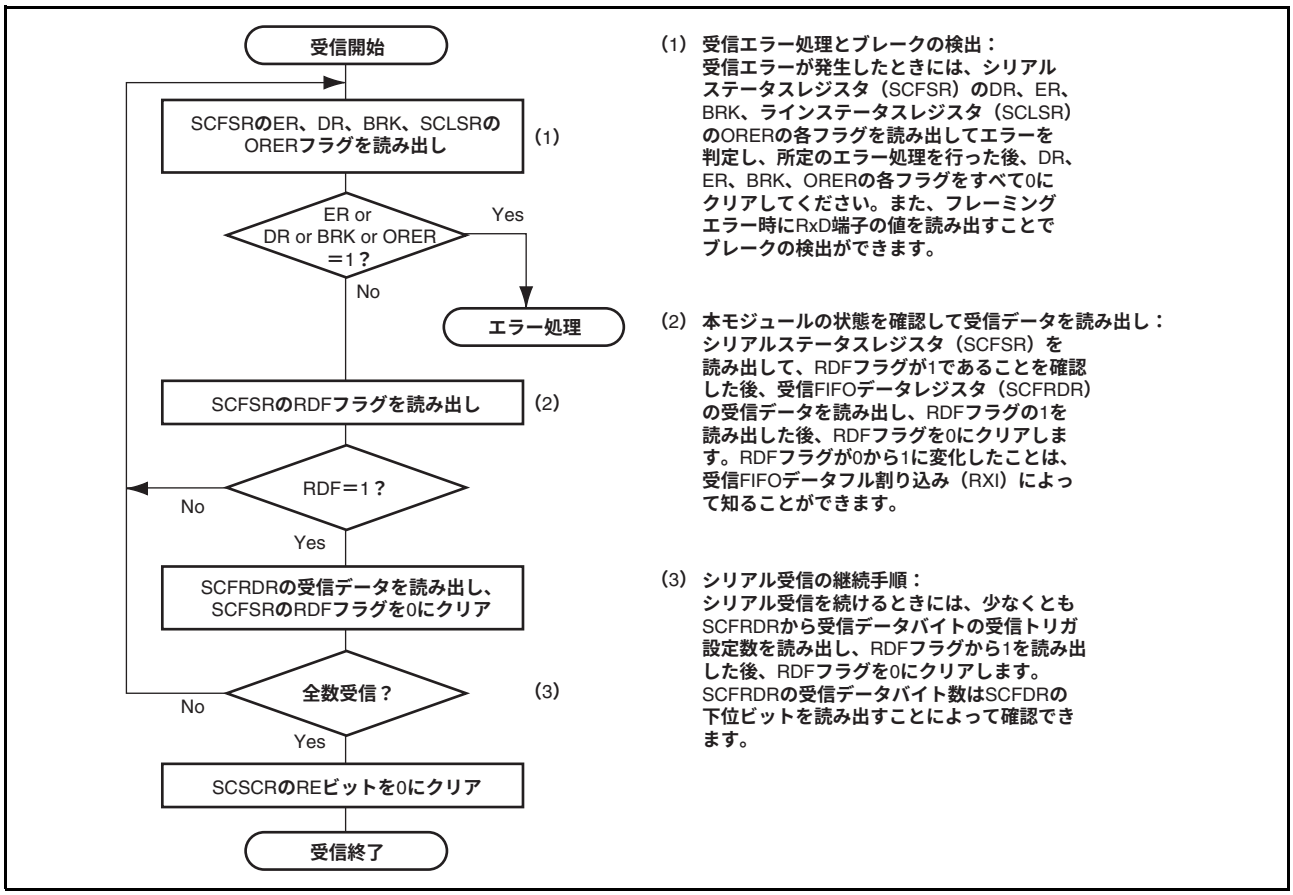


図 14.7　シリアル受信のフローチャートの例（1）

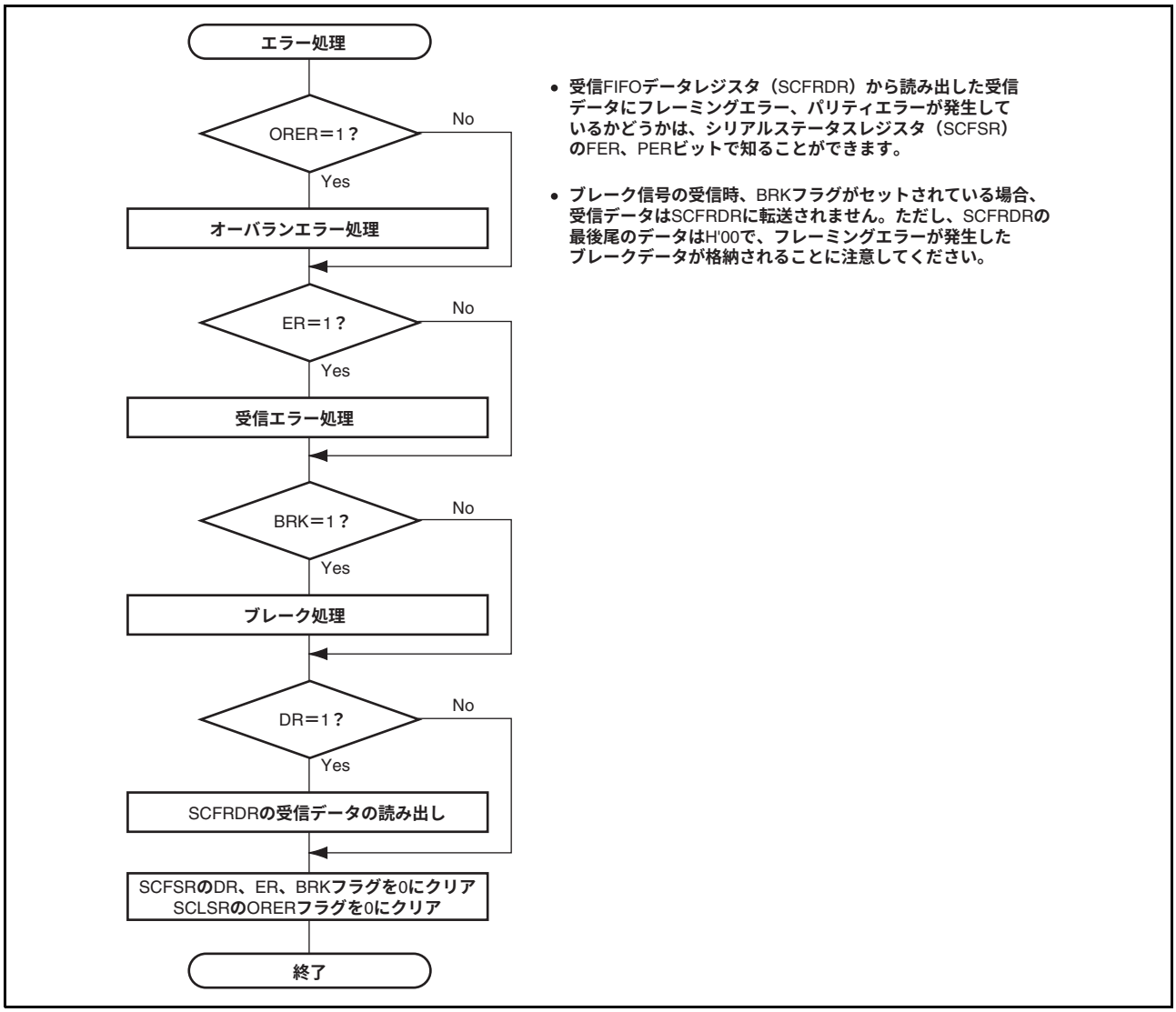


図 14.8　シリアル受信のフローチャートの例（2）

受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
2. 受信したデータを SCRSR の LSB から MSB の順に格納します。
3. パリティビットおよびストップビットを受信します。
   受信後、以下のチェックを行います。

(a) ストップビットチェック：ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

(b) 受信データを受信シフトレジスタ（SCRSR）からSCFRDRに転送できる状態であるかをチェックします。

(c) オーバランエラーチェック：オーバランエラーが発生していないことを示すORERフラグが0であるかどうかをチェックします。

(d) ブレークチェック：ブレーク状態がセットされていないことを示すBRKフラグが0であるかどうかをチェックします。

以上のチェックがすべてパスしたとき、SCFRDR に受信データが格納されます。

注．　パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

4. RDF または DR フラグが 1 になったとき、SCSCR の RIE ビットが 1 にセットされていると、受信 FIFO データフル割り込み（RXI）要求を発生します。また、ER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、受信エラー割り込み（ERI）要求を発生します。さらに、BRK フラグまたは ORER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされていると、ブレーク受信割り込み（BRI）要求を発生します。

   調歩同期式モード受信時の動作例を**図 14.9** に示します。

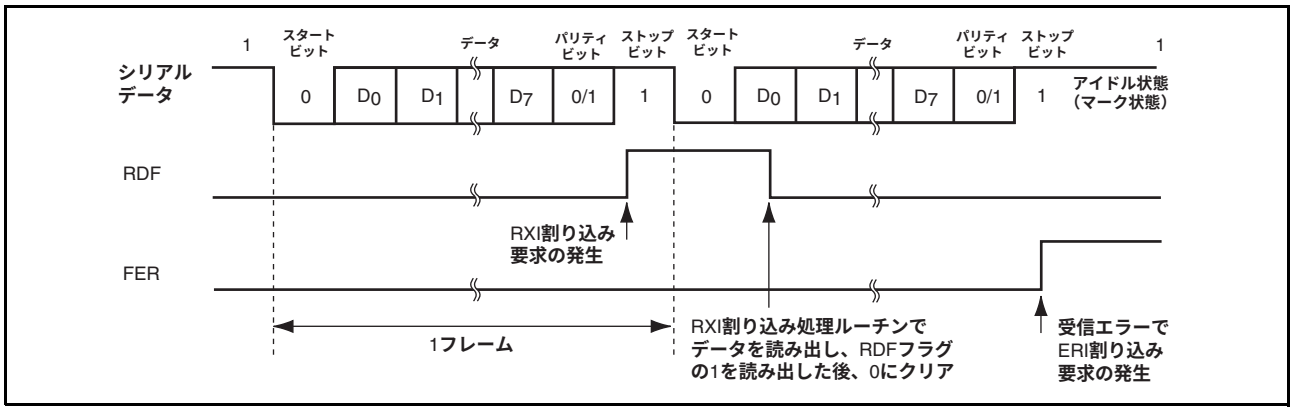


図 14.9　受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

5. チャネル 0、1、2 においてモデムコントロールが有効であると、SCFRDR が空のとき $\overline{\text{RTS}}$ 信号が出力されます。$\overline{\text{RTS}}$ が 0 の場合受信が可能です。$\overline{\text{RTS}}$ が 1 の場合は SCFRDR のデータ数が RTS 出力アクティブトリガ設定数以上であることを示します。

   モデムコントロール使用時の動作例を**図 14.10** に示します。

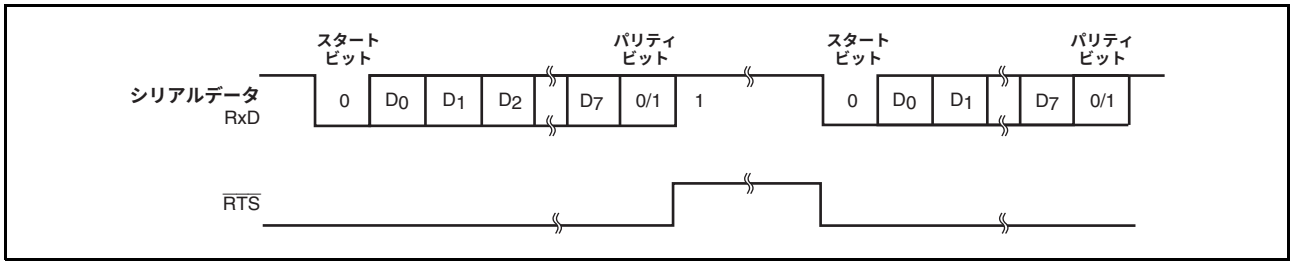


図 14.10　モデムコントロール使用時の動作例（$\overline{\text{RTS}}$）

14.4.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

本モジュール内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。また、送信部と受信部がともに 16 段の FIFO バッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 14.11 に示します。

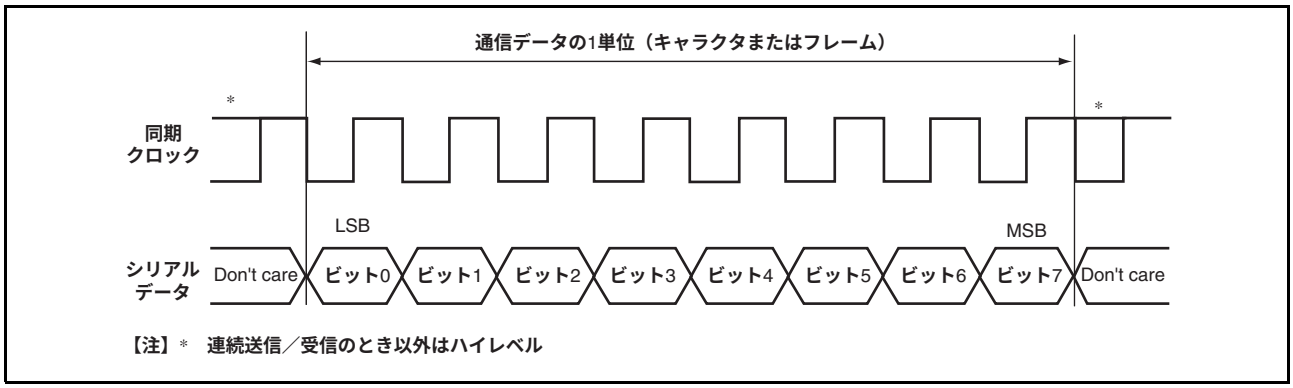


図 14.11 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の 1 キャラクタは、データの LSB から始まり最後に MSB が出力されます。MSB 出力後の通信回線の状態は MSB の状態を保ちます。

クロック同期式モードでは、同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8 ビットデータ固定です。

パリティビットの付加はできません。

(2) クロック

SCSMR の C/$\overline{A}$ ビットと SCSCR の CKE[1:0]の設定により内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部同期クロックの 2 種類から選択できます。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信／受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内部クロックを選択すると SCSCR の RE ビットが 1 の間、受信 FIFO 内データ数が受信トリガ設定数に達するまでクロックパルスが出力されます。

(3) データの送信／受信動作

- 初期化（クロック同期式モード）
  データの送信／受信前にシリアルコントロールレジスタ（SCSCR）の TE および RE ビットを 0 にクリアした後、以下の手順で初期化してください。
  モードの変更、通信フォーマットの変更などの場合には必ず、TE および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると送信シフトレジスタ（SCTSR）が初期化されます。RE ビットを 0 にクリアしても RDF、PER、FER、ORER の各フラグ、および受信データレジスタ（SCRDR）の内容は保持されますので注意してください。

図 14.12 に初期化フローチャートの例を示します。

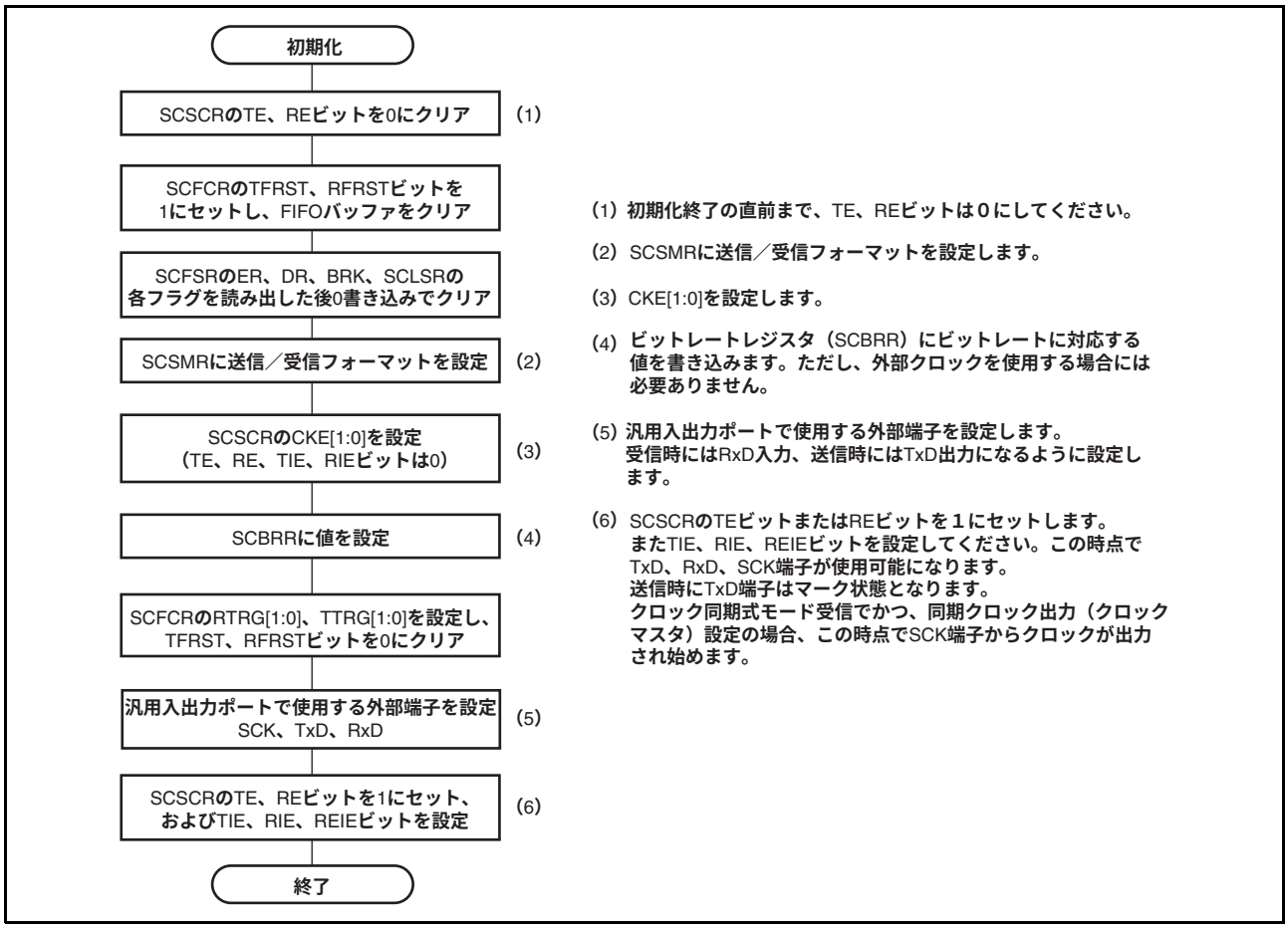


図 14.12　初期化フローチャートの例

- シリアルデータ送信（クロック同期式モード）
  図 14.13 にシリアル送信のフローチャートの例を示します。
  シリアルデータ送信は、送信動作可能状態に設定した後、以下の手順で行ってください。

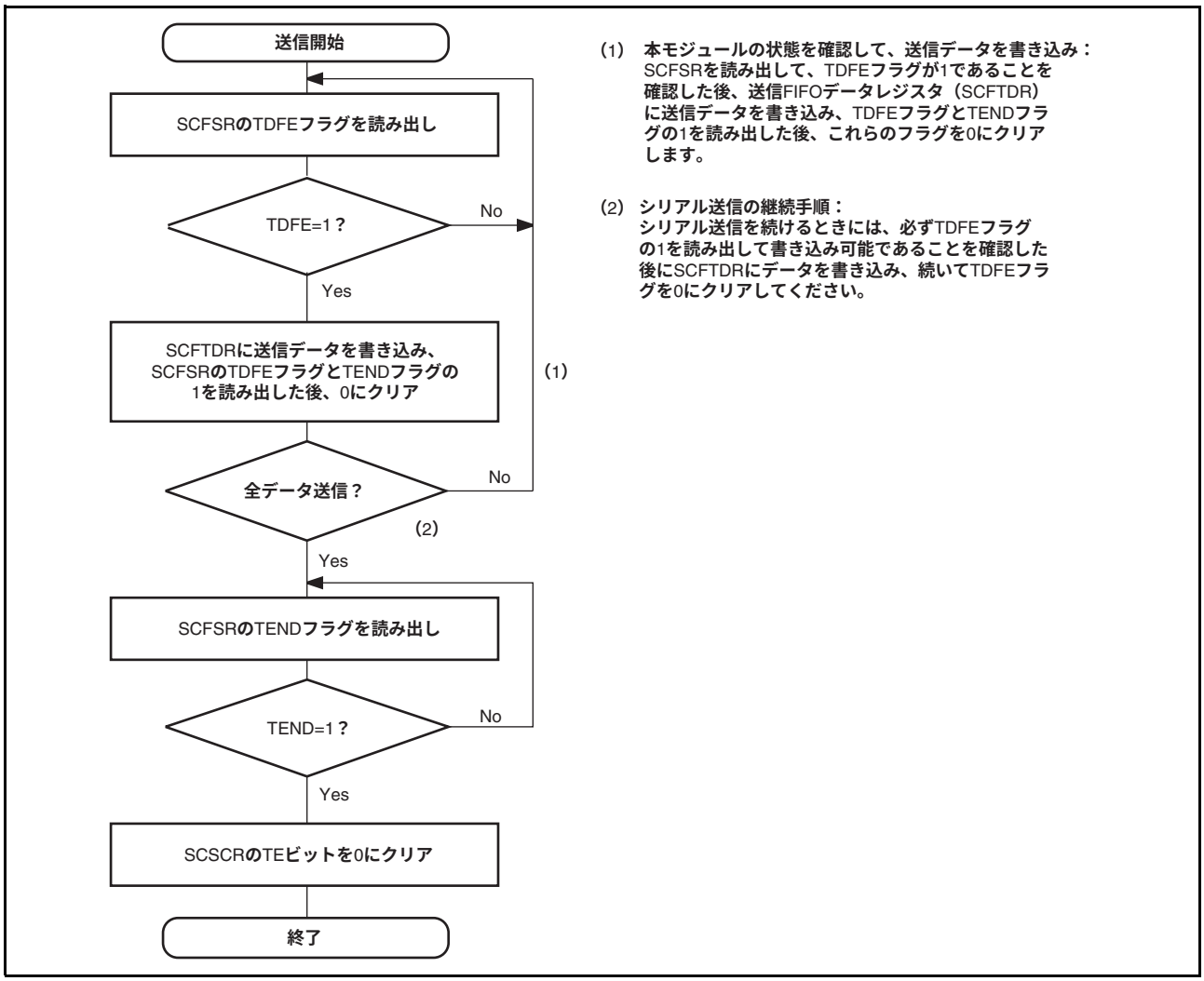


図 14.13　シリアル送信のフローチャートの例

シリアル送信時に以下のように動作します。

1. 送信 FIFO データレジスタ（SCFTDR）にデータが書き込まれると、SCFTDR から送信シフトレジスタ（SCTSR）にデータを転送します。送信データを SCFTDR に書き込む前に、シリアルステータスレジスタ（SCFSR）の TDFE フラグが 1 にセットされていることを確認してください。書き込み可能な送信データバイト数は（16 －送信トリガ設定数）です。
2. SCFTDR から SCTSR へデータが転送され、送信を開始すると、SCFTDR に送信データがなくなるまで連続して送信動作を続けます。SCFTDR の送信データバイト数が FIFO コントロールレジスタ（SCFCR）で設定した送信トリガ数以下になると、TDFE フラグがセットされます。このとき、シリアルコントロールレジスタ（SCSCR）の TIE ビットが 1 にセットされていると送信 FIFO データエンプティ割り込み（TXI）要求を発生します。
   クロック出力モードに設定したときには、同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアル送信データは、LSB（ビット 0）～ MSB（ビット 7）の順に TxD 端子から送り出されます。

3. 最終ビットを送出するタイミングで SCFTDR 送信データをチェックします。送信データがあると SCFTDR から SCTSR にデータを転送し、次のフレームのシリアル送信を開始します。データがないと、SCFSR の TEND フラグを 1 にセットし、最終ビットを送り出した後、TxD 端子は状態を保持します。
4. シリアル送信終了後は、SCK 端子はハイレベル固定になります。

図 14.14 に送信時の動作例を示します。

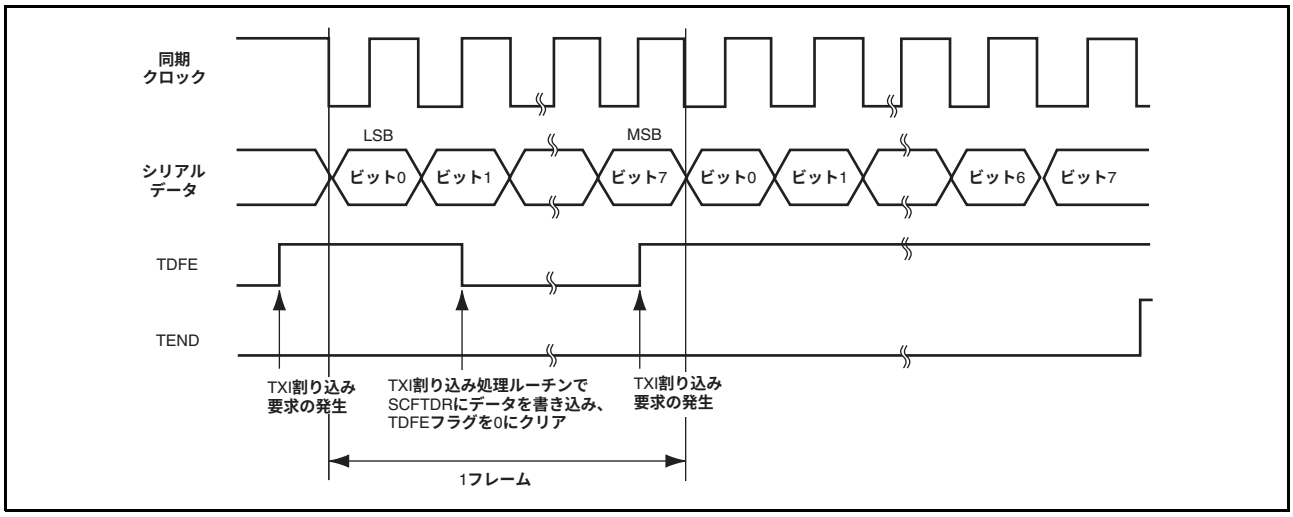


図 14.14　送信時の動作例

- シリアルデータ受信（クロック同期式モード）

  図 14.15、図 14.16 にシリアル受信のフローチャートの例を示します。

  シリアルデータ受信は、受信動作可能状態に設定した後、以下の手順に従って行ってください。

  初期化を行わずに動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

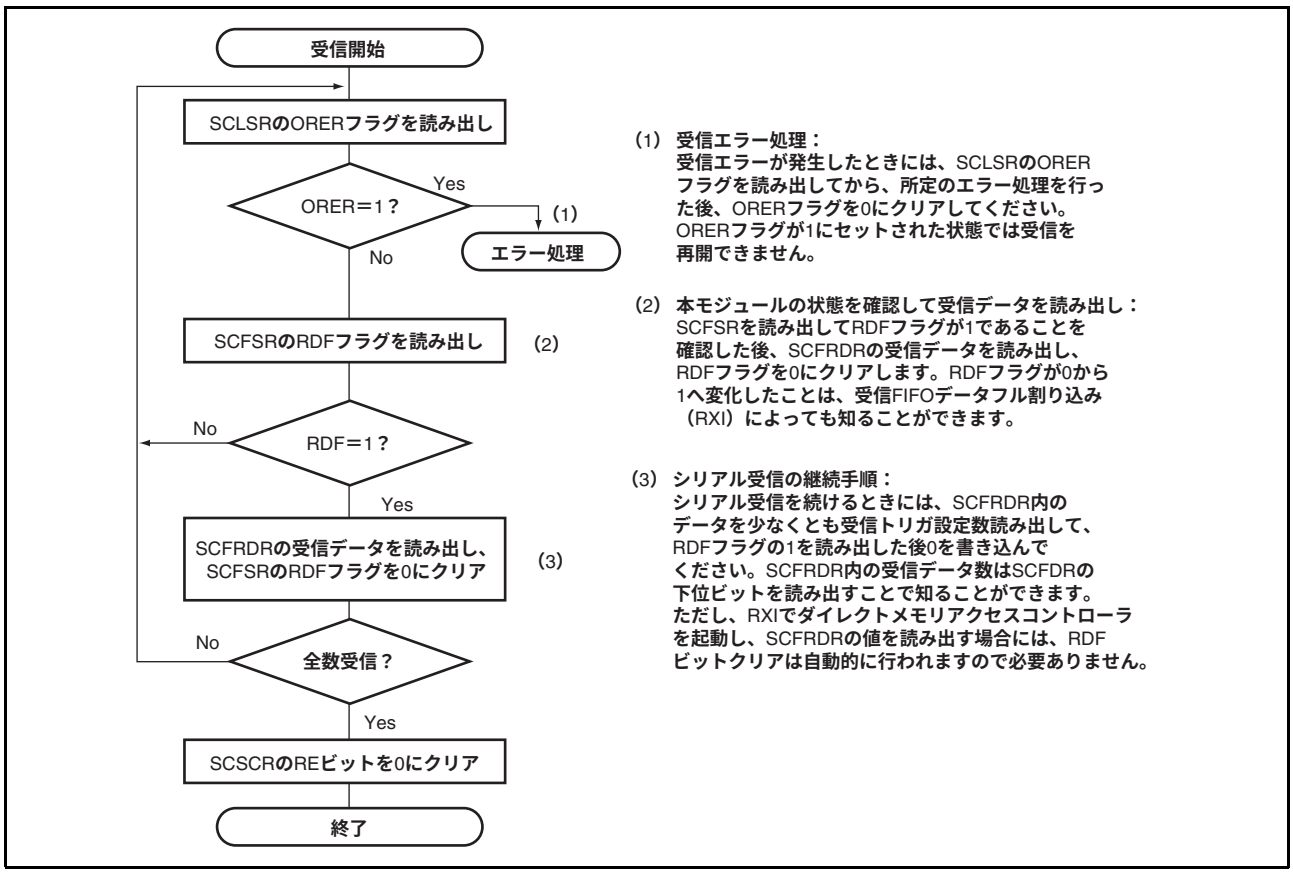


図 14.15　シリアル受信のフローチャートの例（1）

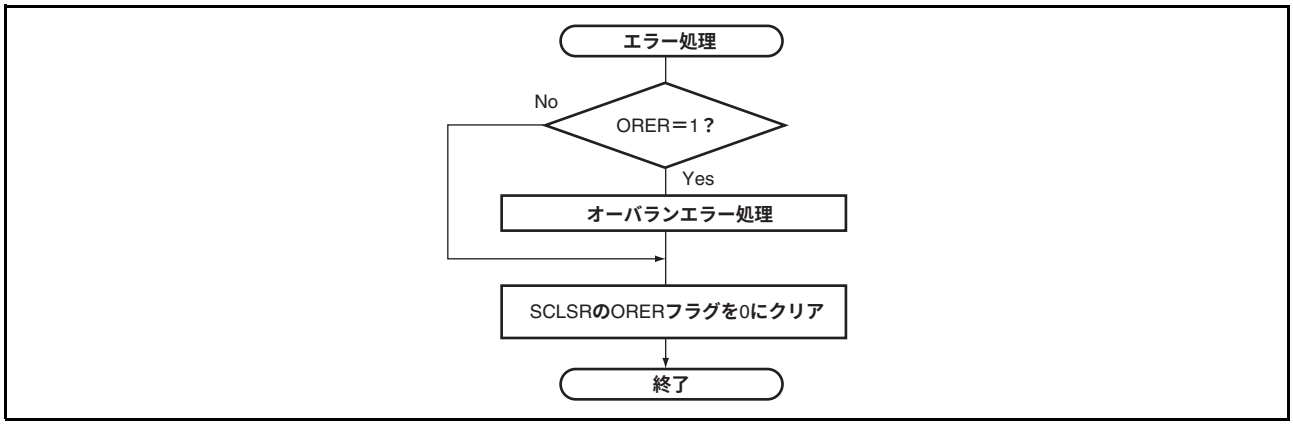


図 14.16　シリアル受信のフローチャートの例（2）

シリアル受信時に以下のように動作します。

1. 同期クロックの入力または出力に同期して受信を開始します。
2. 受信したデータを受信シフトレジスタ（SCRSR）の LSB から MSB の順に格納します。受信後、受信データを SCRSR から SCFRDR に転送できる状態であるかをチェックします。このチェックがパスしたとき RDF フラグが 1 にセットされ、SCFRDR に受信データが格納されます。エラーチェックでオーバランエラーを検出すると、以後の受信動作ができません。
3. RDF フラグが 1 になったとき、シリアルコントロールレジスタ（SCSCR）の RIE ビットが 1 にセットされていると受信 FIFO データフル割り込み（RXI）要求を発生します。また、ORER フラグが 1 になったとき、SCSCR の RIE ビットまたは REIE ビットが 1 にセットされているとブレーク割り込み（BRI）要求を発生します。

図 14.17 に受信時の動作例を示します。

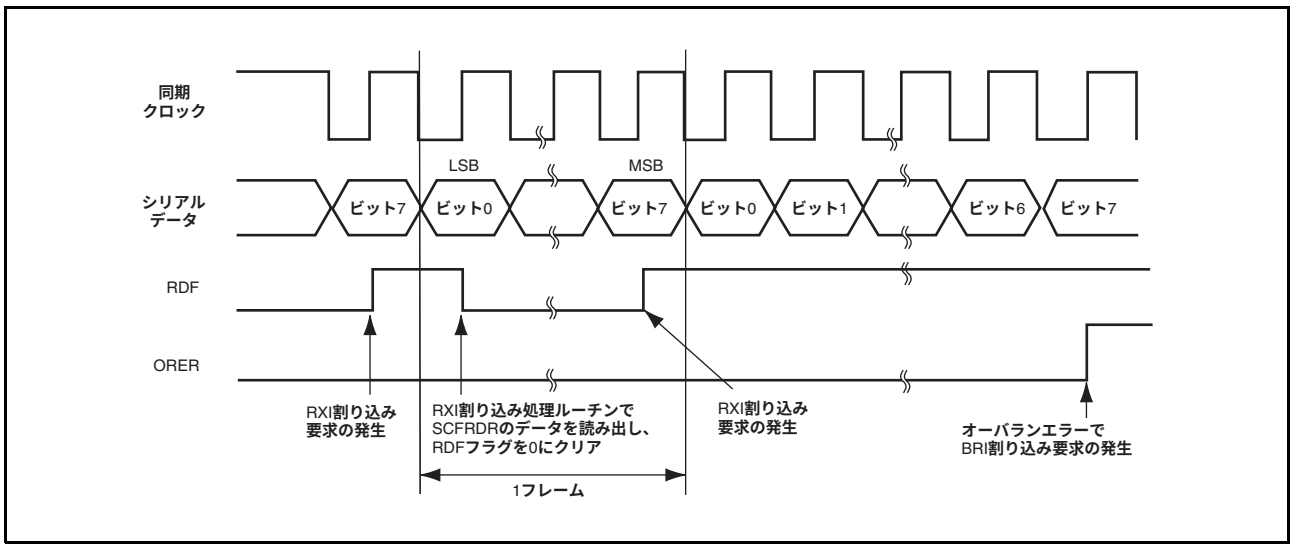


図 14.17　受信時の動作例

- シリアルデータ送受信同時動作（クロック同期式モード）
  図 14.18 にシリアル送受信同時動作のフローチャートの例を示します。
  シリアルデータの送受信同時動作は、送受信動作可能状態に設定した後、以下の手順に従って行ってください。

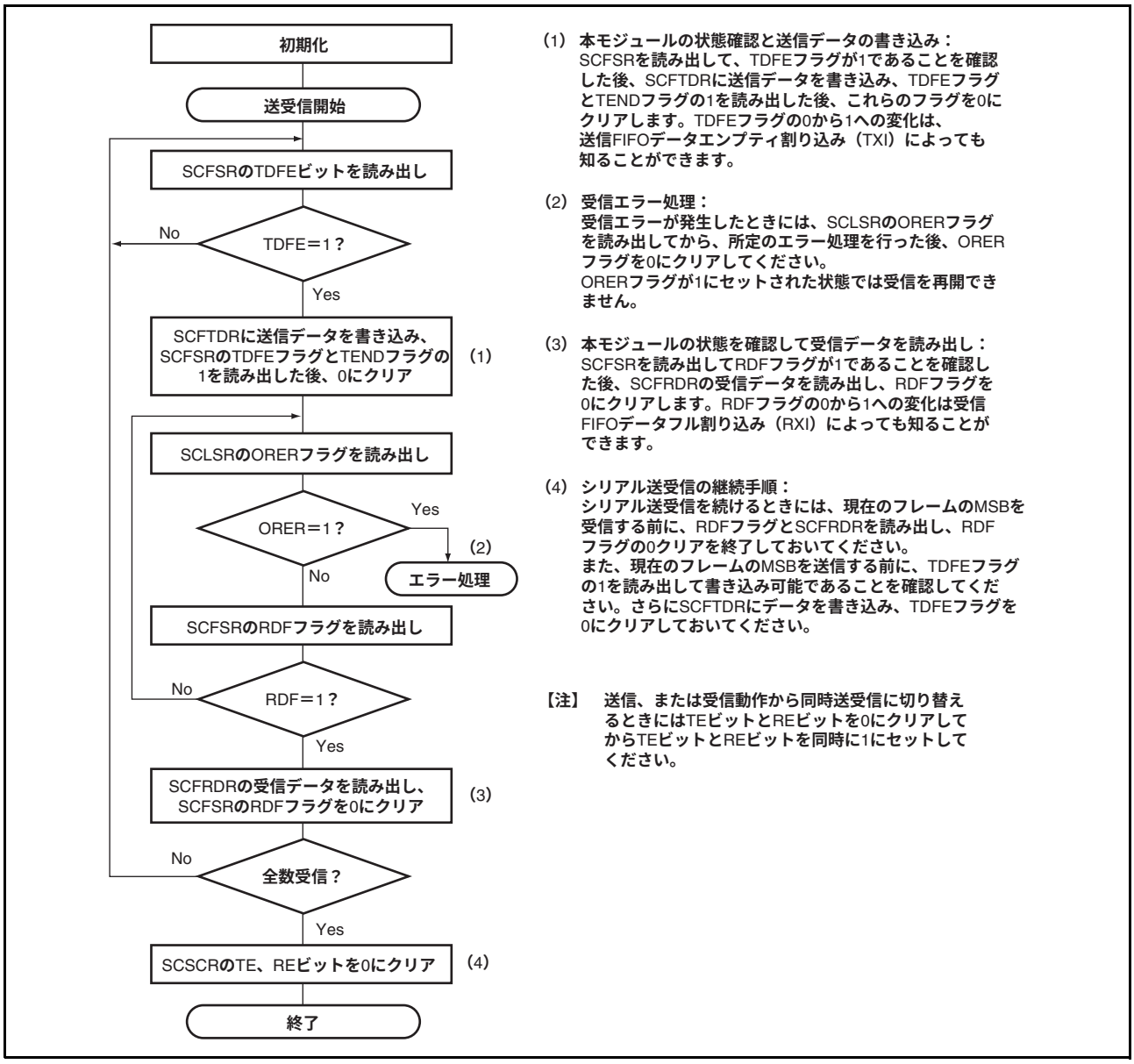


図 14.18　シリアルデータ送受信フローチャートの例

14.5 割り込み

本モジュールは、送信 FIFO データエンプティ割り込み（TXI）要求、受信エラー割り込み（ERI）要求、受信 FIFO データフル割り込み（RXI）要求、ブレーク割り込み（BRI）要求の 4 種類の割り込み要因を持っています。

表 14.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR の TIE、RIE、REIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

TIE ビットにより TXI が許可されている場合、シリアルステータスレジスタ（SCFSR）の TDFE フラグが 1 にセットされると、TXI 割り込み要求が発生します。この TXI 割り込み要求でダイレクトメモリアクセスコントローラを起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。

RIE ビットにより RXI が許可されている場合、SCFSR の RDF フラグまたは DR フラグが 1 にセットされると、RXI 割り込み要求が発生します。この RXI 割り込み要求でダイレクトメモリアクセスコントローラを起動して、データ転送を行うことができます。このとき、CPU への割り込み要求は発生しません。また、DR フラグが 1 にセットされたことによる RXI 割り込み要求は、調歩同期式モード時のみ発生します。

SCSCR の RIE ビットを 0 に設定し、REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求または BRI 割り込み要求を出すことができます。

なお、TXI は送信データを書き込み可能なことを示し、RXI は SCFRDR に受信データがあることを示しています。

表 14.12　割り込み要因

割り込み要因	内　　容	ダイレクトメモリアクセスコントローラの起動	リセット解除時優先順位
BRI	ブレーク（BRK）またはオーバラン（ORER）による割り込み	不可	高
ERI	受信エラー（ER）による割り込み	不可	↕
RXI	受信 FIFO データフル（RDF）またはデータレディ（DR）による割り込み	可	↕
TXI	送信 FIFO データエンプティ（TDFE）による割り込み	可	低

14.6 使用上の注意事項

本モジュールを使用する際は、以下のことに注意してください。

14.6.1 SCFTDR への書き込みと TDFE フラグ

シリアルステータスレジスタ（SCFSR）の TDFE フラグは、送信 FIFO データレジスタ（SCFTDR）に書き込まれた送信データバイト数が FIFO コントロールレジスタ（SCFCR）の TTRG[1:0] で設定した送信トリガ数より少なくなるとセットされます。TDFE フラグがセットされた後、送信データは SCFTDR の空バイト数まで書き込むことができ、効率のよい連続送信が可能です。

ただし、SCFTDR に書き込んだデータバイト数が送信トリガ数以下の場合、TDFE フラグは 1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、TDFE フラグのクリアは、SCFTDR に書き込んだデータバイト数が送信トリガ数を上回るときに 1 を読み出した後に実行してください。

SCFTDR の送信データバイト数は FIFO データカウントレジスタ（SCFDR）の上位 8 ビットから知ることができます。

14.6.2 SCFRDR の読み出しと RDF フラグ

シリアルステータスレジスタ（SCFSR）の RDF フラグは、受信 FIFO データレジスタ（SCFRDR）の受信データバイト数が FIFO コントロールレジスタ（SCFCR）の RTRG[1:0] で設定した受信トリガ数以上になるとセットされます。RDF フラグがセットされた後、トリガ数分の受信データを SCFRDR から読み出すことができ、効率のよい連続受信が可能です。

ただし、SCFRDR のデータバイト数が受信トリガ数を上回る場合、RDF フラグは、1 を読み出した後 0 にクリアしても再び 1 にセットされます。したがって、RDF フラグのクリアは、受信 FIFO データレジスタ（SCFRDR）内のデータ数がトリガ数より少なくなるように受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。SCFRDR の受信データバイト数は、FIFO データカウントレジスタ（SCFDR）の下位 8 ビットから知ることができます。

14.6.3 ダイレクトメモリアクセスコントローラ使用上の制約事項

TXI 割り込み要求によりダイレクトメモリアクセスコントローラで SCFTDR へデータのライトを行った場合、TEND フラグの状態は不定となります。したがって、この場合 TEND フラグを転送終了フラグとして使用しないでください。

14.6.4 ブレークの検出と処理

フレーミングエラー（FER）検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので、FER フラグがセットされ、またパリティエラーフラグ（PER）もセットされる場合があります。

ブレークを検出すると SCFRDR への受信データの転送は停止しますが、受信動作は続けます。

14.6.5 ブレークの送り出し

TxD 端子の入出力条件とレベルは、シリアルポートレジスタ（SCSPTR）の SPB2IO ビットと SPB2DR ビットで決まります。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット（送信可能）するまでは、TxD 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替されます。このため、最初は SPB2IO と SPB2DT ビットを 1（ハイレベル出力）に設定しておきます。

シリアル送信時にブレーク信号を送り出すためには、SPB2DT ビットを 0 にクリア（ローレベルを指定）した後、TE ビットを 0 にクリア（送信停止）します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子から 0 が出力されます。

14.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

本モジュールはビットレートの 16/8 倍の周波数の基本クロックで動作しています。受信時には、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8/4 クロック目の立ち上がりエッジで内部に取り込みます。16 倍の周波数の基本クロックで動作したときのタイミングを図 14.19 に示します。

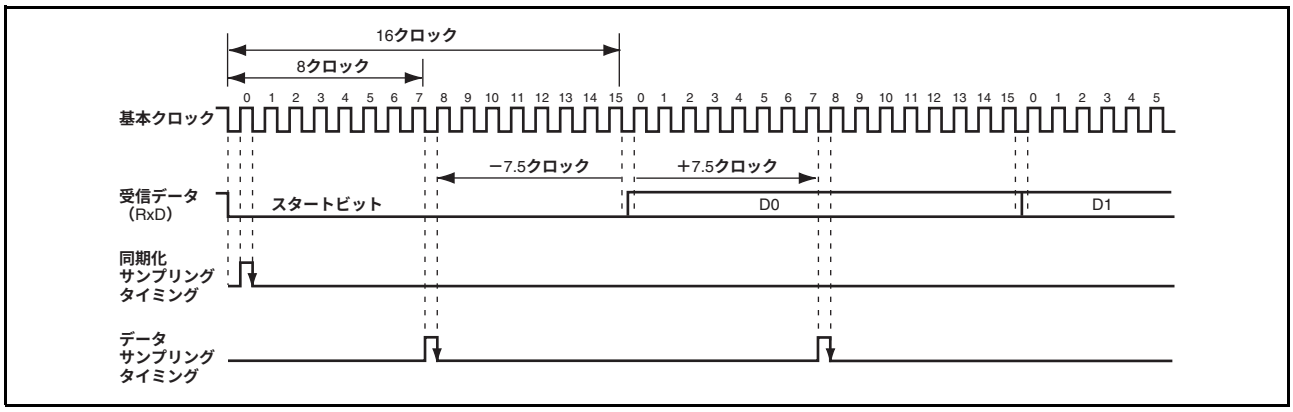


図 14.19 調歩同期式モードでの受信データサンプリングタイミング
（ビットレートの 16 倍の周波数の基本クロックで動作）

したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \left| (0.5 - \frac{1}{2N}) - (L-0.5)\,F - \frac{|D-0.5|}{N}(1+F) \right| \times 100[\%] \quad \cdots \text{式 (1)}$$

M：受信マージン（%）
N：ビットレートに対するクロック周波数の比（N=16/8）
D：クロックデューティ（D:0 ～ 1.0）
L：フレーム長（L ＝ 9 ～ 12）
F：クロック周波数の偏差の絶対値

式（1）で、F ＝ 0、D ＝ 0.5、N ＝ 16 とすると、受信マージンは式（2）より 46.875% となります。

D=0.5、F=0のとき

$$M = (0.5 - 1/(2\times16)) \times 100\% = 46.875\% \quad \cdots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30% の余裕を持たせてください。

14.6.7 調歩同期式基本クロックセレクト

本 LSI では、シリアル拡張モードレジスタ（SCEMR）の ABCS ビットを変更することにより、調歩同期式モードにおける 1 ビット期間の基本クロックをビットレートの 16/8 倍の周波数にすることができます。

ただし、**「14.6.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン」**の式（1）からわかるように、基本クロックの周波数をビットレートの 8 倍に下げると受信マージンが減少するので注意してください。

所望のビットレートが、シリアルモードレジスタ（SCSMR）の CKS[1:0]、ビットレートレジスタ（SCBRR）の設定のみで可能であれば、1 ビット期間の基本クロックをビットレートの 16 倍の周波数（SCEMR の ABCS ＝ 0）とすることをお勧めします。また、クロックソースを内部クロック／ SCK 端子を使用しなければ、ボーレートジェネレータ倍速モード（SCEMR の BGDM ＝ 1）にすることで受信マージンを落とさずにビットレートを上げることができます。

15. シリアルコミュニケーションインタフェース

本 LSI は、独立した 2 チャネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。

SCI は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）インタフェースに対応しています。

15.1 概要

表 15.1 に SCI の仕様を示します。

図 15.1 に SCI のブロック図を示します。

表 15.1　SCI の仕様

項目		内容
シリアル通信方式		• 調歩同期式 • クロック同期式 • スマートカードインタフェース
転送速度		内蔵ボーレートジェネレータにより任意のビットレートを設定可能
全二重通信		送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能
入出力端子		表 15.2 参照
データ転送		LSB ファースト/MSB ファースト選択可能
割り込み要因		送信終了、送信データエンプティ、受信データフル、受信エラー
消費電力低減機能		チャネルごとにモジュールスタンバイ状態への設定が可能
調歩同期式モード	データ長	7 ビット/8 ビット
	送信ストップビット	1 ビット/2 ビット
	パリティ機能	偶数パリティ /奇数パリティ /パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能
	ブレーク検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブレークを検出可能
	クロックソース	内部クロック/外部クロックの選択が可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8 ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn 端子、RTSn 端子を用いた送受信制御が可能
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送出
		送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート

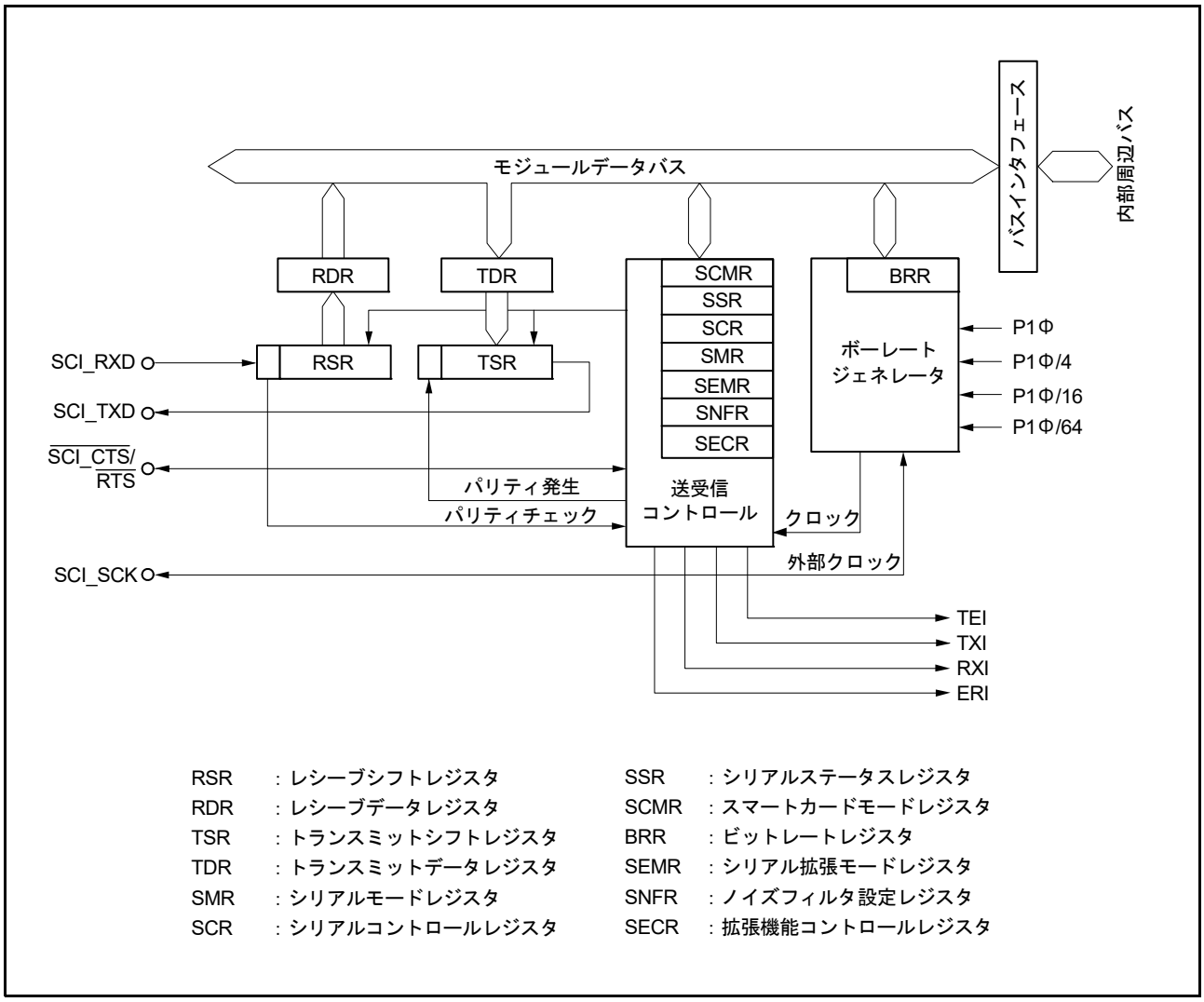


図 15.1　SCI のブロック図

表 15.2 に SCI の入出力端子を示します。

表15.2　SCIの入出力端子

チャネル	端子名	入出力	機能
0	SCI_SCK0	入出力	SCI0のクロック入出力端子
	SCI_RXD0	入力	SCI0の受信データ入力端子
	SCI_TXD0	出力	SCI0の送信データ出力端子
	$\overline{\text{SCI_CTS0}}$/$\overline{\text{RTS0}}$	入出力	SCI0送受信開始制御用入出力端子
1	SCI_SCK1	入出力	SCI1のクロック入出力端子
	SCI_RXD1	入力	SCI1の受信データ入力端子
	SCI_TXD1	出力	SCI1の送信データ出力端子
	$\overline{\text{SCI_CTS1}}$/$\overline{\text{RTS1}}$	入出力	SCI1送受信開始制御用入出力端子

注 .　本文中では、それぞれ SCKn、RXDn、TXDn、RTSn#/CTSn# で表します。

15.2　レジスタの説明

表 15.3 にレジスター覧を示します。

表 15.3　レジスター覧

チャネル	レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
0	シリアルモードレジスタ 0	SMR0	H'00	H'E800B000	8
	ビットレートレジスタ 0	BRR0	H'FF	H'E800B001	8
	シリアルコントロールレジスタ 0	SCR0	H'00	H'E800B002	8
	トランスミットデータレジスタ 0	TDR0	H'FF	H'E800B003	8
	シリアルステータスレジスタ 0	SSR0	H'84	H'E800B004	8
	レシーブデータレジスタ 0	RDR0	H'00	H'E800B005	8
	スマートカードモードレジスタ 0	SCMR0	H'F2	H'E800B006	8
	シリアル拡張モードレジスタ 0	SEMR0	H'00	H'E800B007	8
	ノイズフィルタ設定レジスタ 0	SNFR0	H'00	H'E800B008	8
	拡張機能コントロールレジスタ 0	SECR0	H'00	H'E800B00D	8
1	シリアルモードレジスタ 1	SMR1	H'00	H'E800B800	8
	ビットレートレジスタ 1	BRR1	H'FF	H'E800B801	8
	シリアルコントロールレジスタ 1	SCR1	H'00	H'E800B802	8
	トランスミットデータレジスタ 1	TDR1	H'FF	H'E800B803	8
	シリアルステータスレジスタ 1	SSR1	H'84	H'E800B804	8
	レシーブデータレジスタ 1	RDR1	H'00	H'E800B805	8
	スマートカードモードレジスタ 1	SCMR1	H'F2	H'E800B806	8
	シリアル拡張モードレジスタ 1	SEMR1	H'00	H'E800B807	8
	ノイズフィルタ設定レジスタ 1	SNFR1	H'00	H'E800B808	8
	拡張機能コントロールレジスタ 1	SECR1	H'00	H'E800B80D	8

15.2.1　レシーブシフトレジスタ（RSR）

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信用シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

15.2.2　レシーブデータレジスタ（RDR）

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み（RXI）要求が発生したときに 1 回だけ行ってください。受信データを RDR レジスタからリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

15.2.3　トランスミットデータレジスタ（TDR）

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	1	1	1	1	1	1	1	1

TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を継続します。

TDR レジスタは CPU から常にリード / ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み（TXI）要求が発生したときに 1 回だけ行ってください。

15.2.4　トランスミットシフトレジスタ（TSR）

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

15.2.5　シリアルモードレジスタ（SMR）

注 .　SMR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1)　シリアルコミュニケーションインタフェースモードのとき（SCMR.SMIF ビット =0）

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：P1Φクロック（n=0）（注1） 0 1：P1Φ/4クロック（n=1）（注1） 1 0：P1Φ/16クロック（n=2）（注1） 1 1：P1Φ/64クロック（n=3）（注1）	R/W （注4）
b2	MP	マルチプロセッサモードビット	（調歩同期式モードのみ有効） 0：マルチプロセッサ通信機能を禁止 1：マルチプロセッサ通信機能を許可	R/W （注4）
b3	STOP	ストップビットレングスビット	（調歩同期式モードのみ有効） 0：1ストップビット 1：2ストップビット	R/W （注4）
b4	PM	パリティモードビット	（調歩同期式モードで、PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W （注4）
b5	PE	パリティイネーブルビット	（調歩同期式モードのみ有効） • 送信時 0：パリティビットなし 1：パリティビットを付加 • 受信時 0：パリティなしで受信 1：パリティチェックを行う	R/W （注4）
b6	CHR	キャラクタレングスビット	（調歩同期式モードのみ有効） 0：データ長8ビットで送受信（注2） 1：データ長7ビットで送受信（注3）	R/W （注4）
b7	CM	コミュニケーションモードビット	0：調歩同期式モードで動作 1：クロック同期式モードで動作	R/W （注4）

注1.　nは設定値の10進表示で、「15.2.9　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　クロック同期式モードでは、設定は無効でデータ長は8ビット固定です。
注3.　LSBファースト固定となり、送信ではTDRレジスタのMSB（b7）は送信されません。
注4.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「15.2.9　ビットレートレジスタ（BRR）」を参照してください。

MP ビット（マルチプロセッサモードビット）

マルチプロセッサ通信機能の禁止 / 許可を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット（ストップビットレングスビット）

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が “0” の場合は次の送信フレームのスタートビットと見なします。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット（パリティイネーブルビット）

PE ビットが “1” のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット（キャラクタレングスビット）

送受信データのデータ長を選択します。

クロック同期式モードでは、データ長は 8 ビット固定です。

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット =1）

	b7	b6	b5	b4	b3	b2	b1	b0
	GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0：P1Φクロック（n=0）（注1） 0 1：P1Φ/4クロック（n=1）（注1） 1 0：P1Φ/16クロック（n=2）（注1） 1 1：P1Φ/64クロック（n=3）（注1）	R/W （注3）
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 SCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定値 BCP2 b3 b2 0 0 0：93クロック（S=93）（注2） 0 0 1：128クロック（S=128）（注2） 0 1 0：186クロック（S=186）（注2） 0 1 1：512クロック（S=512）（注2） 1 0 0：32クロック（S=32）（注2）（初期値） 1 0 1：64クロック（S=64）（注2） 1 1 0：372クロック（S=372）（注2） 1 1 1：256クロック（S=256）（注2）	R/W （注3）
b4	PM	パリティモードビット	（PEビット＝1のときのみ有効） 0：偶数パリティで送受信 1：奇数パリティで送受信	R/W （注3）
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W （注3）
b6	BLK	ブロック転送モードビット	0：通常モードで動作します 1：ブロック転送モードで動作します	R/W （注3）
b7	GM	GSMモードビット	0：通常モードで動作します 1：GSMモードで動作します	R/W （注3）

注1.　nは設定値の10進表示で、「15.2.9　ビットレートレジスタ（BRR）」中のnの値を表します。
注2.　Sは「15.2.9　ビットレートレジスタ（BRR）」中のSの値を表します。
注3.　SCR.TEビット= 0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

CKS[1:0] ビット（クロックセレクトビット）

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「15.2.9　ビットレートレジスタ（BRR）」を参照してください。

BCP[1:0] ビット（基本クロックパルスビット）

スマートカードインタフェースモードにおいて、1 ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2 ビットと組み合わせて選択します。

詳細は、「15.6.4　受信データサンプリングタイミングと受信マージン」を参照してください。

PM ビット（パリティモードビット）

送受信時のパリティ（偶数パリティ / 奇数パリティ）を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、**「15.6.2　データフォーマット（ブロック転送モード時を除く）」**を参照してください。

PE ビット（パリティイネーブルビット）

PE ビットは “1” に設定してください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット（ブロック転送モードビット）

BLK ビットを “1” に設定すると、ブロック転送モードで動作します。

ブロック転送モードについては、**「15.6.3　ブロック転送モード」**を参照してください。

GM ビット（GSM モードビット）

GM ビットを “1” に設定すると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0etu（etu：Elementary Time Unit、1 ビットの転送期間）に前倒しされ、クロック出力制御機能が追加されます。詳細は、**「15.6.6　シリアルデータの送信（ブロック転送モードを除く）」**、**「15.6.8　クロック出力制御」**を参照してください。

15.2.6　シリアルコントロールレジスタ（SCR）

注 .　SCR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1)　シリアルコミュニケーションインタフェースモードのとき（SCMR.SMIF ビット =0）

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	調歩同期式の場合 b1 b0 0 0：内蔵ボーレートジェネレータ 汎用入出力ポートの設定によって、SCKn端子は入出力ポートとして使用できます 0 1：内蔵ボーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x：外部クロック SEMR.ABCSビット=0のとき： SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SMER.ABCSビット=1のとき： SCKn端子からビットレートの8倍の周波数のクロックを入力してください。 クロック同期式の場合 b1 b0 0 x：内部クロック SCKn端子はクロック出力端子となります 1 x：外部クロック SCKn端子はクロック入力端子となります	R/W （注1）
b2	TEIE	トランスミットエンドインタラプトイネーブルビット	0：TEI割り込み要求を禁止 1：TEI割り込み要求を許可	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	（調歩同期式モードで、SMR.MPビット＝“1”のとき有効） 0：通常の受信動作 1：マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR.ORER,FERの各ステータスフラグのセット（“1”）を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的にクリア（“0”）され、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注2）
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注2）
b6	RIE	レシーブインタラプトイネーブルビット	0：RXIおよびERI割り込み要求を禁止 1：RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0：TXI割り込み要求を禁止 1：TXI割り込み要求を許可	R/W

x：Don’t care

注1.　TEビット=0、REビット= 0の場合のみ書き込み可能です。
注2.　SMR.CMビットが“1”のときは、TEビット=0、REビット= 0の場合のみ“1”を書き込み可能です。
一度、TE、REビットのいずれかを“1”に設定した後は、TEビット=0、REビット＝0の書き込みのみ可能になります。SMR.CMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット（クロックイネーブルビット）

クロックソースおよび SCKn 端子の機能を選択します。

TEIE ビット（トランスミットエンドインタラプトイネーブルビット）

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを “0” にすることで行うことができます。

MPIE ビット（マルチプロセッサインタラプトイネーブルビット）

MPIE ビットを “1” に設定すると、マルチプロセッサビットが “0” の受信データは読み飛ばし、SSR.ORER、FER の各ステータスフラグは “1” にされません。マルチプロセッサビットが “1” のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「**15.4　マルチプロセッサ通信機能**」を参照してください。

SSR.MPB ビット =0 を含む受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、SSR.ORER、FER の各フラグのセット（“1”）は行いません。

SSR.MPB ビット =1 を含む受信データを受信すると、SSR.MPB ビットを “1” にし、MPIE ビットを自動的に “0” にし、RXI、ERI 割り込み要求（SCR.RIE ビットが “1” に設定されている場合）と、SSR.ORER、FER フラグのセット（“1”）が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには “0” を書き込んでください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” に設定すると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを “1” に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから “1” を読み出した後、“0” にするか、RIE ビットを “0” にすることで行うことができます。

TIE ビット（トランスミットインタラプトイネーブルビット）

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” にすることで行うことができます。

(2)　スマートカードインタフェースモードのとき（SCMR.SMIF ビット =1）

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	• SMR.GM ビット =0 の場合 b1 b0 0 0：出力ディスエーブル （汎用入出力ポートの設定によって、SCKn 端子は入出力ポートとして使用できます） 0 1：クロック出力 1 x：（設定しないでください） • SMR.GM ビット =1 の場合 b1 b0 0 0：Low 出力固定 x 1：クロック出力 1 0：High 出力固定	R/W （注 1）
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0” としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0” としてください	R/W
b4	RE	レシーブイネーブルビット	0：シリアル受信動作を禁止 1：シリアル受信動作を許可	R/W （注 2）
b5	TE	トランスミットイネーブルビット	0：シリアル送信動作を禁止 1：シリアル送信動作を許可	R/W （注 2）
b6	RIE	レシーブインタラプトイネーブル ビット	0：RXI および ERI 割り込み要求を禁止 1：RXI および ERI 割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0：TXI 割り込み要求を禁止 1：TXI 割り込み要求を許可	R/W

x：Don’t care

注 1.　TE ビット =0、RE ビット =0 の場合のみ書き込み可能です。

注 2.　SMR.CM ビットが “1” のときは、TE ビット =0、RE ビット =0 の場合のみ “1” を書き込み可能です。
一度、TE、RE ビットのいずれかを “1” に設定した後は、TE ビット =0、RE ビット =0 の書き込みのみ可能になります。SMR.CM ビットが “0” のときは、任意のタイミングで書き込みが可能です。

各割り込み要求については、**「15.8　割り込み要因」**を参照してください。

CKE[1:0] ビット（クロックイネーブルビット）

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、**「15.6.8　クロック出力制御」**を参照してください。

TEIE ビット（トランスミットエンドインタラプトイネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

MPIE ビット（マルチプロセッサインタラプトイネーブルビット）

スマートカードインタフェースモードでは “0” としてください。

RE ビット（レシーブイネーブルビット）

シリアル受信動作を許可、または禁止します。

RE ビットを “1” に設定すると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを “1” に設定する前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを “0” にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

TE ビット（トランスミットイネーブルビット）

シリアル送信動作を許可、または禁止します。

TE ビットを “1” に設定すると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを “1” に設定する前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット（レシーブインタラプトイネーブルビット）

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを “0” にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから “1” を読み出した後、“0” にするか、RIE ビットを “0” にすることで行うことができます。

TIE ビット（トランスミットインタラプトイネーブルビット）

TXI 割り込み要求の通知を許可、または禁止します。

TXI 割り込み要求の禁止は、TIE ビットを “0” にすることで行うことができます。

15.2.7　シリアルステータスレジスタ（SSR）

注 .　SSR レジスタは、シリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なります。

(1)　シリアルコミュニケーションインタフェースモードのとき（SCMR.SMIF ビット =0）

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	x	x	0	0	0	1	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0：データ送信サイクル 1：ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0：データ送信サイクル 1：ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) （注1）
b4	FER	フレーミングエラーフラグ	0：フレーミングエラーの発生なし 1：フレーミングエラーの発生あり	R/(W) （注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) （注1）
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R

注1.　フラグをクリアするための“0”書き込みのみ可能です。

MPB ビット（マルチプロセッサビット）

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが “0” のときは変化しません。

TEND フラグ（トランスミットエンドフラグ）

送信が終了したことを表示します。

[“1” になる条件]

- SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

[“0” になる条件]

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき
  TDR レジスタへの送信データの書き込みにより TEND フラグをクリアし、TEI 割り込み要求を許可した状態で割り込み例外処理から復帰する場合には、割り込み例外処理から復帰する前に TEND フラグをダミーリードしてください。

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリエィエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に PER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ（フレーミングエラーフラグ）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- ストップビットが “0” のとき
  2 ストップモードのときは、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に FER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0” にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに “1” がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に ORER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

(2) スマートカードインタフェースモードのとき（SCMR.SMIF ビット =1）

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	ORER	ERS	PER	TEND	MPB	MPBT
リセット後の値	x	x	0	0	0	1	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは“0”としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。“0”としてください	R
b2	TEND	トランスミットエンドフラグ	0：キャラクタを送信中 1：キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0：パリティエラーの発生なし 1：パリティエラーの発生あり	R/(W) （注1）
b4	ERS	エラーシグナルステータスフラグ	0：エラーシグナルLow応答なし 1：エラーシグナルLow応答あり	R/(W) （注1）
b5	ORER	オーバランエラーフラグ	0：オーバランエラーの発生なし 1：オーバランエラーの発生あり	R/(W) （注1）
b7-b6	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R

注1.　フラグをクリアするための“0”書き込みのみ可能です。

MPBT ビット（マルチプロセッサビットトランスファビット）

スマートカードインタフェースモードでは “0” としてください。

MPB ビット（マルチプロセッサビット）

スマートカードインタフェースモードでは使用しません。“0” としてください。

TEND フラグ（トランスミットエンドフラグ）

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき “1” にされます。

[“1” になる条件]

- SCR.TE ビット =0（シリアル送信動作を禁止）のとき
  SCR.TE ビットを “0” から “1” にするときは、TEND フラグは影響を受けず “1” の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ =0 かつ TDR レジスタが更新されていないとき
  セットされるタイミングは、レジスタの設定により以下のように異なります。
  SMR.GM ビット =0、SMR.BLK ビット =0 のとき、送信開始から 12.5etu 後
  SMR.GM ビット =0、SMR.BLK ビット =1 のとき、送信開始から 11.5etu 後
  SMR.GM ビット =1、SMR.BLK ビット =0 のとき、送信開始から 11.0etu 後
  SMR.GM ビット =1、SMR.BLK ビット =1 のとき、送信開始から 11.0etu 後

[“0” になる条件]

- SCR.TE ビットが “1” の状態で TDR レジスタへ送信データを書き込んだとき

PER フラグ（パリティエラーフラグ）

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- 受信中にパリティエラーを検出したとき
  パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが “1” にされた状態では、以降の受信データは RDR レジスタに転送されません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に PER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0”（シリアル受信動作を禁止）にクリアしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ（エラーシグナルステータスフラグ）

[“1” になる条件]

- エラーシグナル Low をサンプリングしたとき

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき

ORER フラグ（オーバランエラーフラグ）

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1” になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
  RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに “1” がセットされた状態では、以降のシリアル受信を続けることはできません。

[“0” になる条件]

- “1” の状態を読み出した後、“0” を書き込んだとき（“0” を書き込んだ後に ORER フラグがクリアされたことを確認してください。）
  SCR.RE ビットを “0” にしても、ORER フラグは影響を受けず以前の状態を保持します。

15.2.8　スマートカードモードレジスタ（SCMR）

	b7	b6	b5	b4	b3	b2	b1	b0
	BCP2	—	—	—	SDIR	SINV	—	SMIF
リセット後の値	1	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェース モードセレクトビット	0：シリアルコミュニケーションインタフェースモード 1：スマートカードインタフェースモード	R/W （注1）
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b2	SINV	送受信データインバートビット	0：TDR レジスタの内容をそのまま送信、受信データをそのまま RDR レジスタに格納 1：TDR レジスタの内容を反転して送信、受信データを反転して RDR レジスタに格納	R/W （注1）
b3	SDIR	送受信データトランスファディレクションビット	0：LSB ファーストで送受信 1：MSB ファーストで送受信	R/W （注1）
b6-b4	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R
b7	BCP2	基本クロックパルスビット 2	SMR.BCP[1:0] ビットと組み合わせて選択します。 SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定値 BCP2 BCP1 BCP0 0 0 0：93 クロック（S=93）（注2） 0 0 1：128 クロック（S=128）（注2） 0 1 0：186 クロック（S=186）（注2） 0 1 1：512 クロック（S=512）（注2） 1 0 0：32 クロック（S=32）（注2）（初期値） 1 0 1：64 クロック（S=64）（注2） 1 1 0：372 クロック（S=372）（注2） 1 1 1：256 クロック（S=256）（注2）	R/W （注1）

注1.　SCR.TE ビット=0、SCR.RE ビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。
注2.　S は「15.2.9　ビットレートレジスタ（BRR）」中の S の値を表します。

SMIF ビット（スマートカードインタフェースモードセレクトビット）

スマートカードインタフェースモードで動作させるときは、“1” を設定します。
調歩同期式またはクロック同期式モードで動作させるときは、“0” を設定します。

SINV ビット（送受信データインバートビット）

送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PM ビットを反転してください。

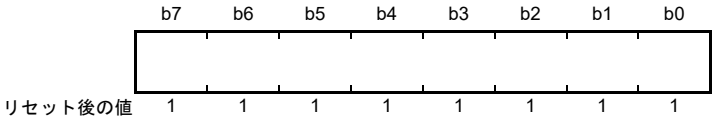
SDIR ビット（送受信データトランスファディレクションビット）

シリアル / パラレル変換の方向を選択します。

BCP2 ビット（基本クロックパルスビット 2）

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

15.2.9　ビットレートレジスタ（BRR）



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモードにおける BRR レジスタの設定値 N とビットレート B の関係を**表 15.4** に示します。

BRR レジスタの初期値は FFh です。

BRR レジスタは、CPU から読み出しは常に可能ですが、書き込みは SCR.TE ビット =0、SCR.RE ビット =0 の場合のみ可能です。

表 15.4　BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR.ABCS ビット	BRR レジスタの設定値	誤差
調歩同期式、マルチプロセッサ通信	0	$N = \frac{P1\Phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差（%）$= \{\frac{P1\Phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
	1	$N = \frac{P1\Phi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差（%）$= \{\frac{P1\Phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1\} \times 100$
クロック同期式		$N = \frac{P1\Phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース		$N = \frac{P1\Phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差（%）$= \{\frac{P1\Phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1\} \times 100$

注 1.　B：ビットレート（bps）
N：ボーレートジェネレータの BRR の設定値（0 ≦ N ≦ 255）
P1Φ：動作周波数（MHz）
n と S：下表のとおり SMR の設定値によって決まります。

表 15.5　クロックソースの設定

SMR レジスタの設定値 CKS[1:0] ビット	クロックソース	n
0 0	P1Φ クロック	0
0 1	P1Φ/4 クロック	1
1 0	P1Φ16 クロック	2
1 1	P1Φ/64 クロック	3

表 15.6　スマートカードインタフェースモード時の基本クロックの設定

SCMR レジスタの設定値	SMR レジスタの設定値	1 ビット期間中の基本クロックパルス数	S
BCP2 ビット	BCP[1:0] ビット		
0	0 0	93 クロック	93
0	0 1	128 クロック	128
0	1 0	186 クロック	186
0	1 1	512 クロック	512
1	0 0	32 クロック	32
1	0 1	64 クロック	64
1	1 0	372 クロック	372
1	1 1	256 クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を**表 15.7** に、各動作周波数における設定可能な最大ビットレートを**表 15.8** に示します。また、クロック同期式モードにおける BRR レジスタの値 N の設定例を**表 15.10** に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を**表 15.12** に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は**「15.6.4　受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表 15.9**、**表 15.11** に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ（SEMR）の調歩同期基本クロックセレクトビット（ABCS）を “1” に設定したときのビットレートは**表 15.7** の 2 倍になります。

表15.7　ビットレートに対するBRRの設定例（調歩同期式モード）

ビットレート（bit/s）	動作周波数P1Φ（MHz）								
	50			64			66.67		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	221	–0.02						
150	3	162	–0.15	3	207	0.16	3	216	0.01
300	3	80	0.47	3	103	0.16	3	108	–0.45
600	2	162	–0.15	2	207	0.16	2	216	0.01
1200	2	80	0.47	2	103	0.16	2	108	–0.45
2400	1	162	–0.15	1	207	0.16	1	216	0.01
4800	1	80	0.47	1	103	0.16	1	108	–0.45
9600	0	162	–0.15	1	51	0.16	0	216	0.01
19200	0	80	0.47	0	103	0.16	0	108	–0.45
31250	0	49	0.00	0	63	0.00	0	66	–0.50
38400	0	40	–0.76	0	51	0.16	0	53	0.47

【記号説明】
空欄：設定できません。
—　：設定可能ですが誤差がでます。
注.　SEMR.ABCSビット= 0のときの例です。
　　ABCSビット=1に設定したときは、ビットレートが2倍になります。

表15.8　各動作周波数における最大ビットレート（調歩同期式モード）

P1Φ（MHz）	最大ビットレート（bit/s）	n	N
50	1562500	0	0
64	2000000	0	0
66.67	2083333	0	0

注.　SEMR.ABCSビット= 1に設定したときは、ビットレートが2倍になります。

表15.9　外部クロック入力時の最大ビットレート（調歩同期式モード）

P1Φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）	
		SEMR.ABCSビット= 0	SEMR.ABCSビット= 1
50	12.5	781250	1562500
64	16	1000000	2000000
66.67	16.667	1041667	2083333

表15.10　ビットレートに対するBRRの設定例（クロック同期式モード）

ビットレート（bit/s）	動作周波数P1Φ（MHz）					
	50		64		66.67	
	n	N	n	N	n	N
110						
250						
500						
1k	3	194	3	249		
2.5k	3	77	3	99	3	103
5k	2	155	2	199	2	207
10k	2	77	2	99	2	103
25k	1	124	1	159	1	166
50k	1	62	1	79	1	82
100k	0	124	0	159	0	166
250k	0	49	0	63	0	66
500k	0	24	0	31	0	32
1M	—	—	0	15	0	16
2.5M	0	4	—	—	—	—
5M	—	—	—	—	—	—

空欄：設定できません。
—　：設定可能ですが誤差がでます。

表15.11　外部クロック入力時の最大ビットレート（クロック同期式モード）

P1Φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
50	8.3333	8333333.3
64	10.6667	10666666.7
66.67	11.1111	11111100

表15.12　ビットレートに対するBRRの設定例
（スマートカードインタフェースモードでn＝0、S＝372のとき）

ビットレート（bit/s）	動作周波数P1Φ（MHz）								
	50			64			66.67		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	6	0.01	0	8	0.44	0	8	3.72

表15.13　各動作周波数における最大ビットレート
（スマートカードインタフェースモードでS＝372のとき）

P1Φ（MHz）	最大ビットレート（bit/s）	n	N
50	67204	0	0
64	86022	0	0
66.67	89610	0	0

15.2.10　シリアル拡張モードレジスタ（SEMR）

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	NFEN	ABCS	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b4	ABCS	調歩同期基本クロックセレクトビット	（調歩同期式モードのみ有効） 0：基本クロック16サイクルの期間が1ビット期間の転送レートになります 1：基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W （注1）
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	（調歩同期式モード） 0：RXDn入力信号のノイズ除去機能無効 1：RXDn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを”0”にしてください。	R/W （注1）
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SCR.TEビット=0、SCR.REビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SEMR レジスタは、調歩同期式モード時の 1 ビット期間のクロックを選択するためのレジスタです。

NFEN ビット（デジタルノイズフィルタ機能イネーブルビット）

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXDn 入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。

デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

15.2.11　ノイズフィルタ設定レジスタ（SNFR）

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	NFCS[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2　b0 0 0 0：1分周のクロックをノイズフィルタに使用 上記以外：設定しないでください	R/W （注1）
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SCR.TE ビット=0、SCR.RE ビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

NFCS[2:0] ビット（ノイズフィルタクロックセレクトビット）

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b” を設定してください。

15.2.12　拡張機能コントロールレジスタ (SECR)

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	CTSE	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R
b1	CTSE	CTSイネーブルビット	0：CTS機能禁止（RTS出力機能有効） 1：CTS機能許可	R/W （注1）
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R

注1.　SCR.TE ビット=0、SCR.RE ビット= 0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SECR レジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

CTSE ビット（CTS イネーブルビット）

CTS 制御信号を用いて送受信制御を行う場合は “1” を設定します。“0” を設定している状態では RTS 信号を出力します。スマートカードインタフェースモード時は “0” を設定してください。

15.3　調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを**図 15.2** に示します。

1 フレームは、スタートビット（Low）から始まり送受信データ、パリティビット、ストップビット（High）の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態（High）に保たれています。

SCI は通信回線を監視し、スペース（Low）を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード / ライトができ、連続送受信が可能です。

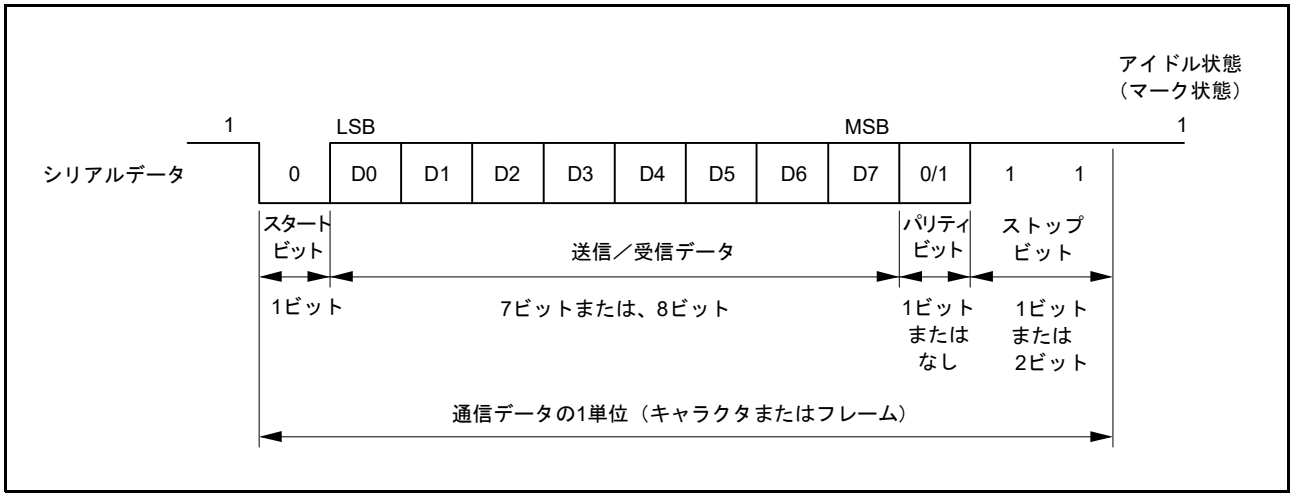


図 15.2　調歩同期式シリアル通信のデータフォーマット
（8 ビットデータ / パリティあり /2 ストップビットの例）

15.3.1　シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを**表 15.14** に示します。

フォーマットは 12 種類あり、SMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については**「15.4　マルチプロセッサ通信機能」**を参照してください。

表 15.14　シリアル送信/受信フォーマット（調歩同期式モード）

SMR レジスタの設定				シリアル送信／受信フォーマットとフレーム長
CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	0	S 8ビットデータ STOP
0	0	0	1	S 8ビットデータ STOP STOP
0	1	0	0	S 8ビットデータ P STOP
0	1	0	1	S 8ビットデータ P STOP STOP
1	0	0	0	S 7ビットデータ STOP
1	0	0	1	S 7ビットデータ STOP STOP
1	1	0	0	S 7ビットデータ P STOP
1	1	0	1	S 7ビットデータ P STOP STOP
0	—	1	0	S 8ビットデータ MPB STOP
0	—	1	1	S 8ビットデータ MPB STOP STOP
1	—	1	0	S 7ビットデータ MPB STOP
1	—	1	1	S 7ビットデータ MPB STOP STOP

S　　：スタートビット
STOP　：ストップビット
P　　：パリティビット
MPB　：マルチプロセッサビット

15.3.2　調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍 (注 1) の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 15.3 に示すように受信データを基本クロックの 8 サイクル目 (注 1) の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表わすことができます。

$$M=\left|(0.5-\frac{1}{2N})-(L-0.5)F-\frac{|D-0.5|}{N}(1+F)\right|\times 100\ [\%] \quad \cdots 式\ (1)$$

M : 受信マージン
N : クロックに対するビットレートの比
　（SEMR.ABCS ビット=0 のとき N=16、ABCS ビット=1 のとき N=8）
D : クロックのデューティ（D=0.5～1.0）
L : フレーム長（L=9～12）
F : クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）＝ 0、D（クロックのデューティ）＝ 0.5 とすると、

M=｛0.5-1/（2×16）｝×100［%］=46.875%

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ～ 30%の余裕を持たせてください。

注 1.　SEMR.ABCS ビット＝ 0 のときの例です。ABCS ビット＝ 1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

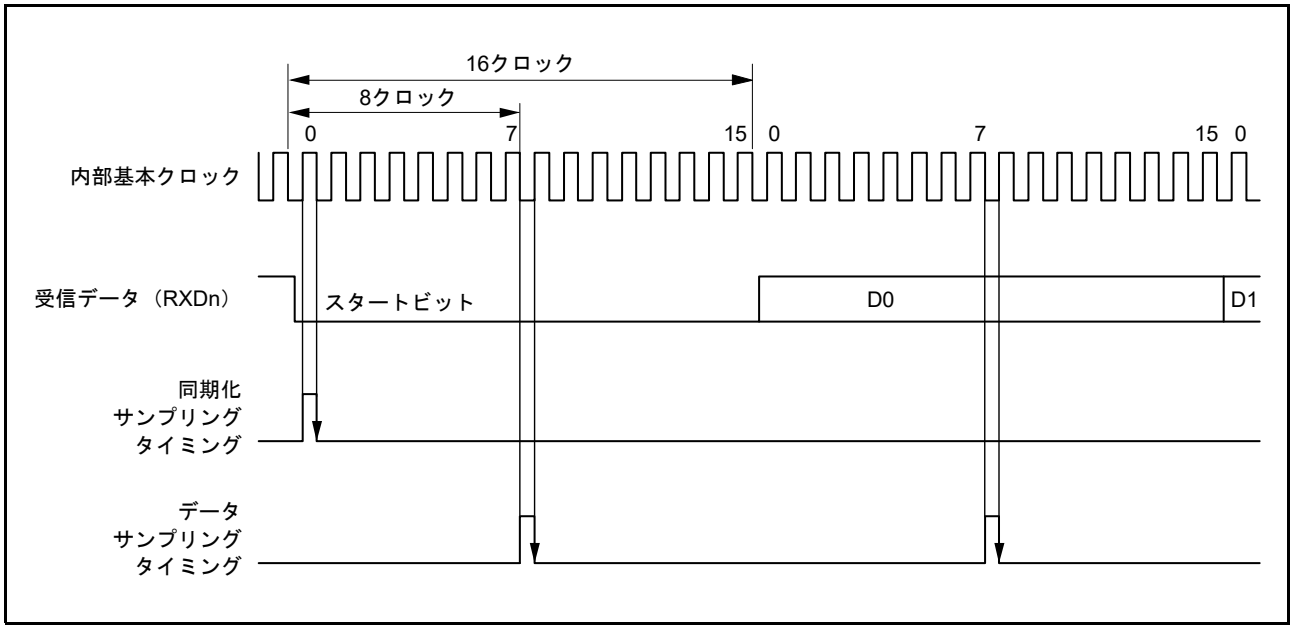


図 15.3　調歩同期式モードの受信データサンプリングタイミング

15.3.3　クロック

SCI の送受信クロックは、SMR.CM ビットと SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCKn 端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn 端子にビットレートの 16 倍（SEMR.ABCS ビット＝ 0 のとき）、8 倍（SEMR.ABCS ビット＝ 1 のとき）の周波数のクロックを入力してください。

内部クロックで動作させるときは SCKn 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は**図 15.4** に示すように送信データの中央でクロックが立ち上がります。

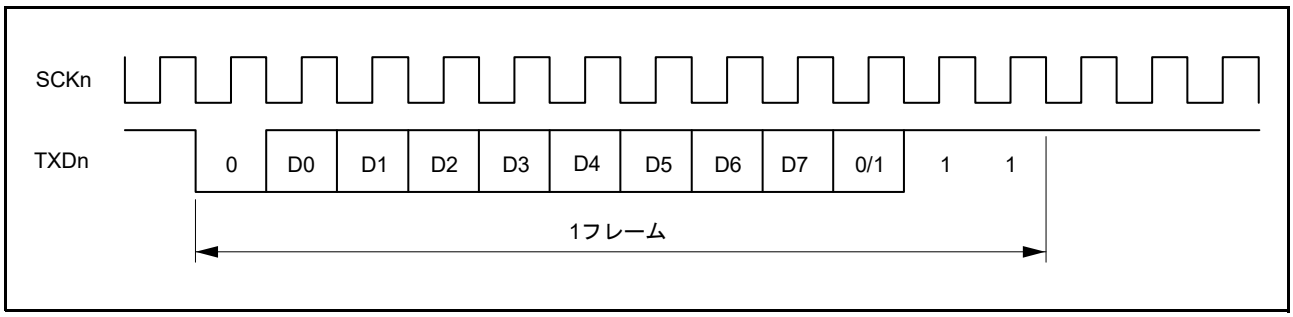


図 15.4　出力クロックと送信データの位相関係（調歩同期式モード：SMR.CHR=0,PE=1,MP=0,STOP=1）

15.3.4　CTS、RTS 機能

CTS 機能は、CTSn# 端子入力を使用して送信制御を行う機能です。

SECR.CTSE ビットを “1” にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTSn# 端子を Low にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTSn# 端子出力を使用して受信要求を行う機能で、受信可能状態になると Low を出力します。Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが “1”
- 受信動作中でない
- 読み出し前の受信データがない
- SSR.ORER, FER, PER フラグがすべて “0”

[High になる条件]

Low になる条件を満たさない場合

15.3.5　初期化（調歩同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 15.5 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.RE ビットを “0” に設定しても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” に設定すると、SCR.TIE ビットが “1” の場合、TXI 割り込み要求が発生しますので注意してください。

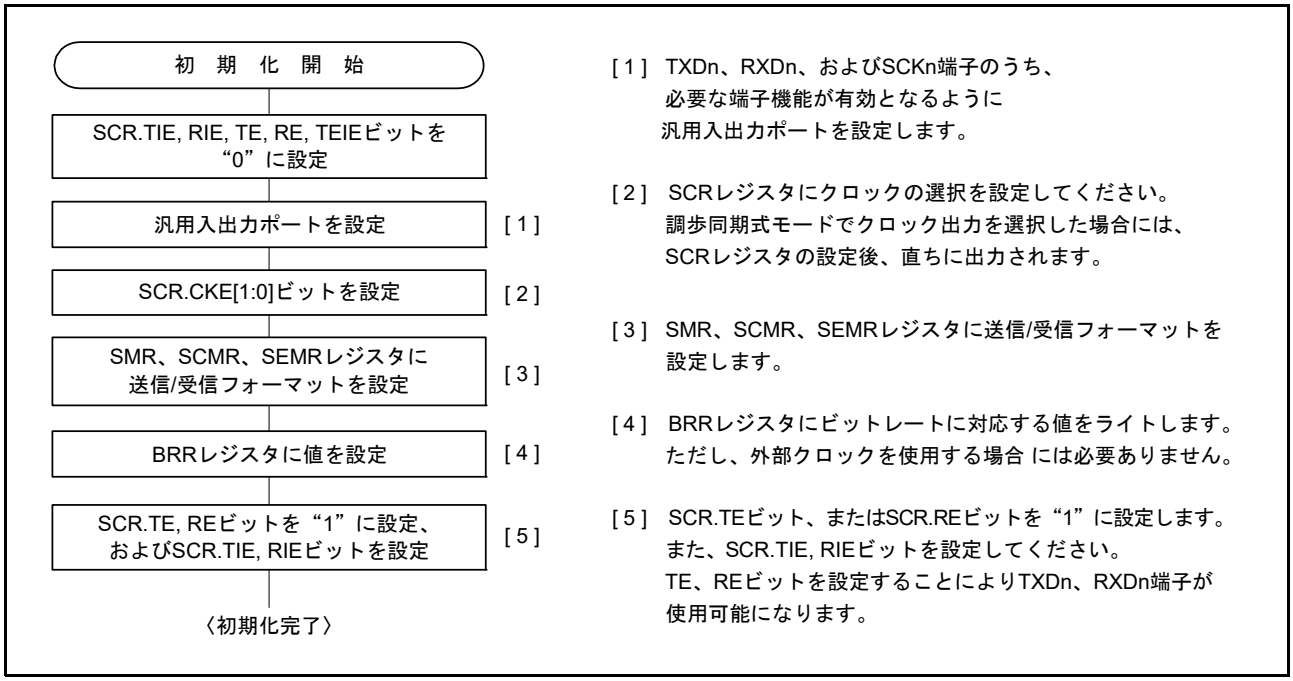


図 15.5　初期化フローチャートの例（調歩同期式モード）

15.3.6　シリアルデータの送信（調歩同期式モード）

図 15.6 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” に設定した後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” に設定することで発生します。
2. SECR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” に設定されていると、TXI 割り込み要求を発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていると、SECR.CTSE ビットが “0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタから TSR レジスタにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、ストップビット送出後、“1” を出力してマーク状態になります。このとき、SCR.TEIE ビットが “1” にされていると、SSR.TEND フラグが “1” にされ TEI 割り込み要求を発生します。

図 15.7 にシリアル送信のフローチャートの例を示します。

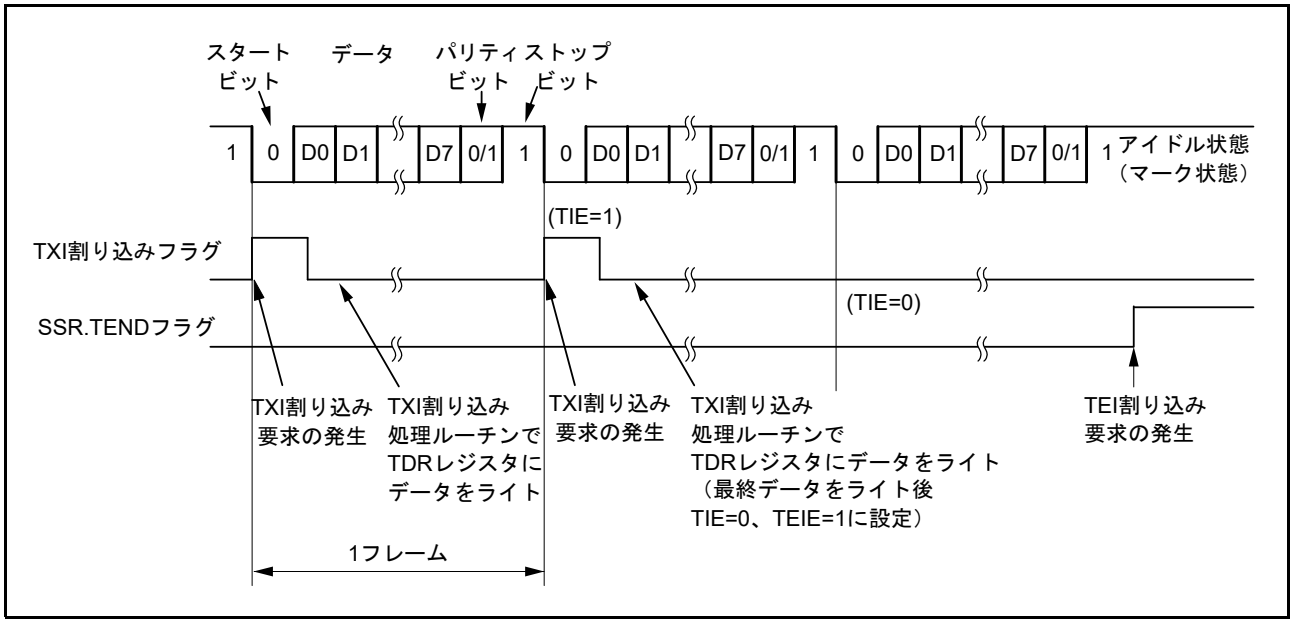
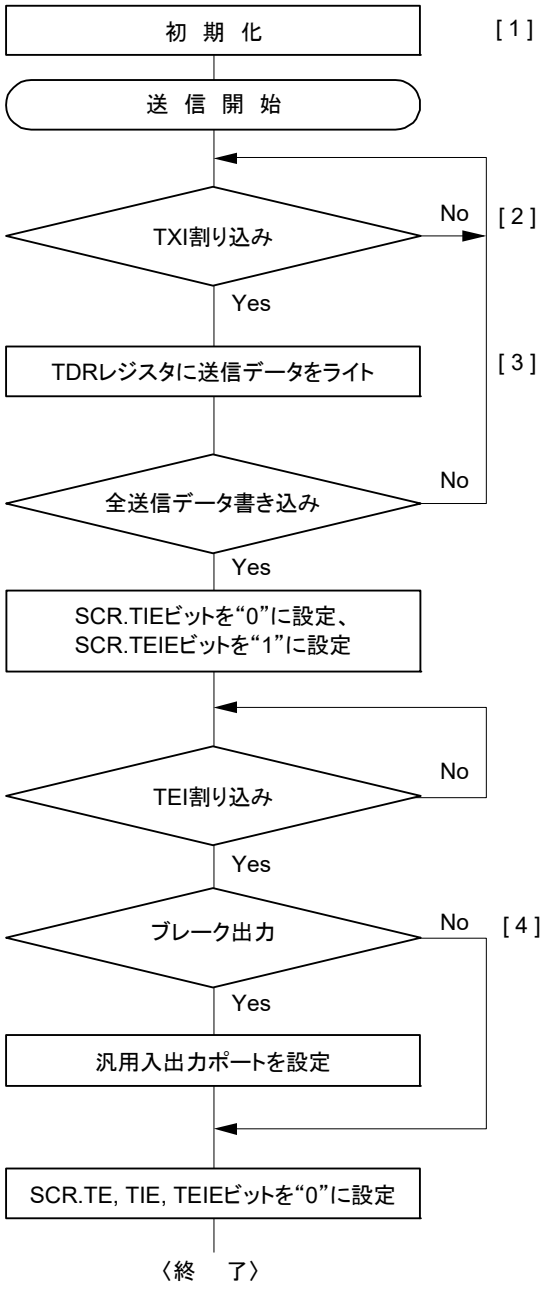


図 15.6　調歩同期式モードのシリアル送信（送信中～送信終了時）の動作例（8 ビットデータ / パリティあり /1 ストップビットの例）



[1]　初期化:
TXDn端子は自動的に送信データ出力端子になります。SCR.TEビットを “1” に設定した後、1フレーム分の1を出力して送信可能状態になります。

[2]　TXI割り込み要求で送信データをTDRレジスタにライト:
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み要求（TXI）が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回だけライトしてください。

[3]　シリアル送信の継続手順:
シリアル送信を続けるときには、TXI割り込み要求でTDRレジスタに送信データを1回だけライトしてください。TXI割り込み要求でダイレクトメモリアクセスコントローラを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを “0” に SCR.TEIEビットを “1”に設定します。

[4]　シリアル送信の終了時にブレークを出力:
シリアル送信時にブレークを出力するときには、TXDn端子に対応する汎用入出力ポートを設定（Low出力に設定）し、TXDn端子を汎用入出力ポート機能に切り替えた後、SCR.TEビットを“0”に設定します。

図 15.7　調歩同期式モードのシリアル送信のフローチャート例

15.3.7　シリアルデータの受信（調歩同期式モード）

図 15.8、図 15.9 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットを “1” にして、RTSn# 端子出力を Low にします。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。受信データは RDR レジスタに転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタに転送します。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。
5. フレーミングエラー（ストップビットが 0 のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタに転送します。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。
6. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき、SCR.RIE ビットが “1” にされていると、RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

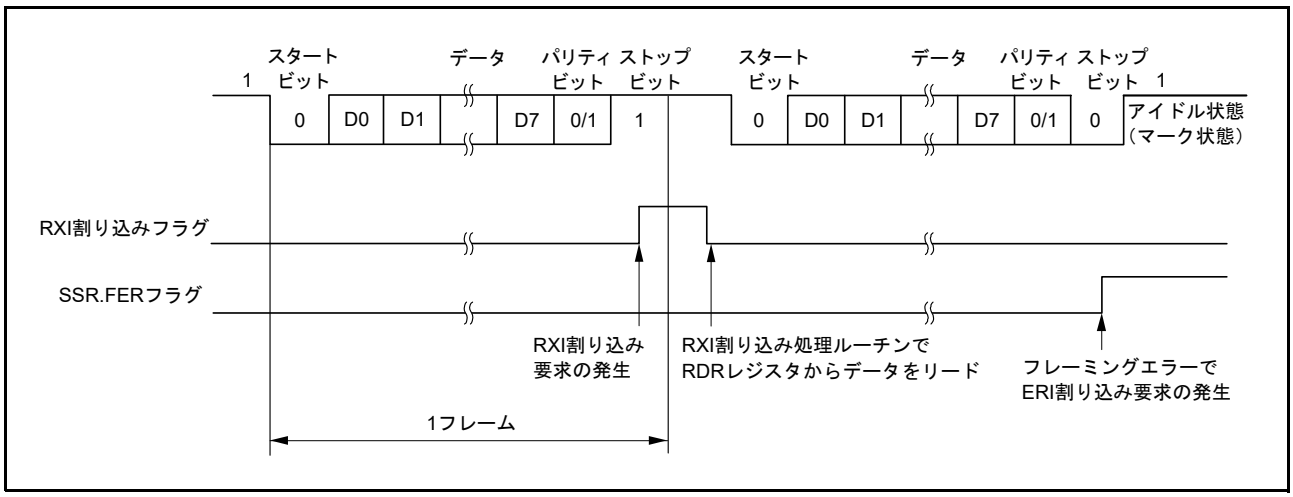


図 15.8　調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり /1 ストップビットの例）

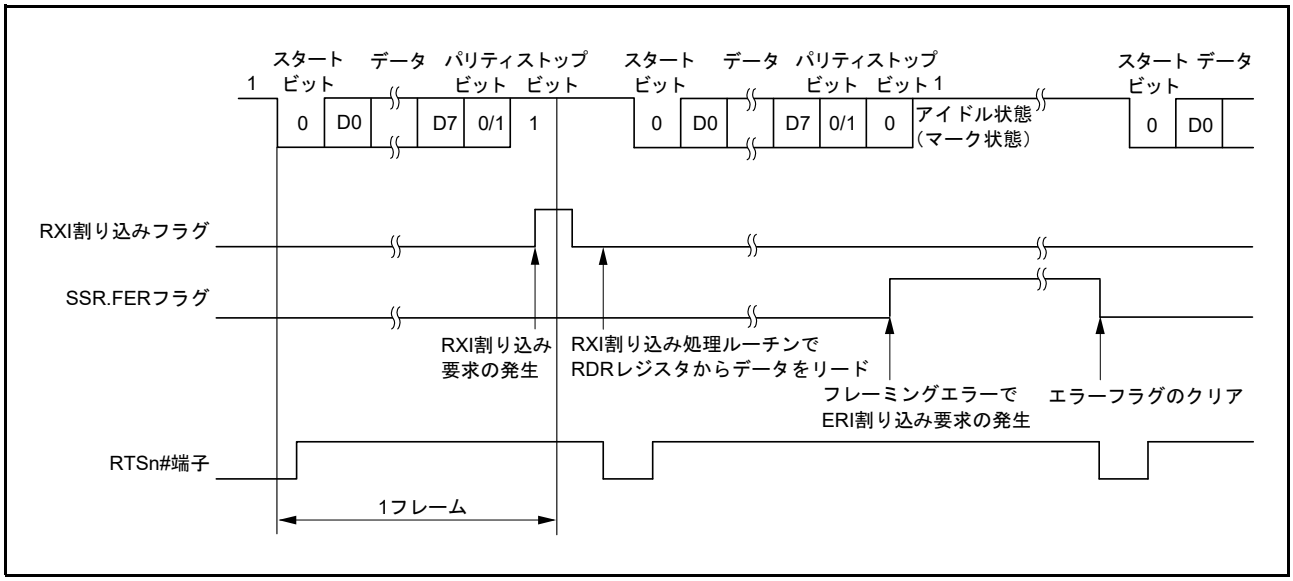


図 15.9　調歩同期式モードのシリアル受信時の動作例（2）（RTS 機能使用時）
（8 ビットデータ / パリティあり /1 ストップビットの例）

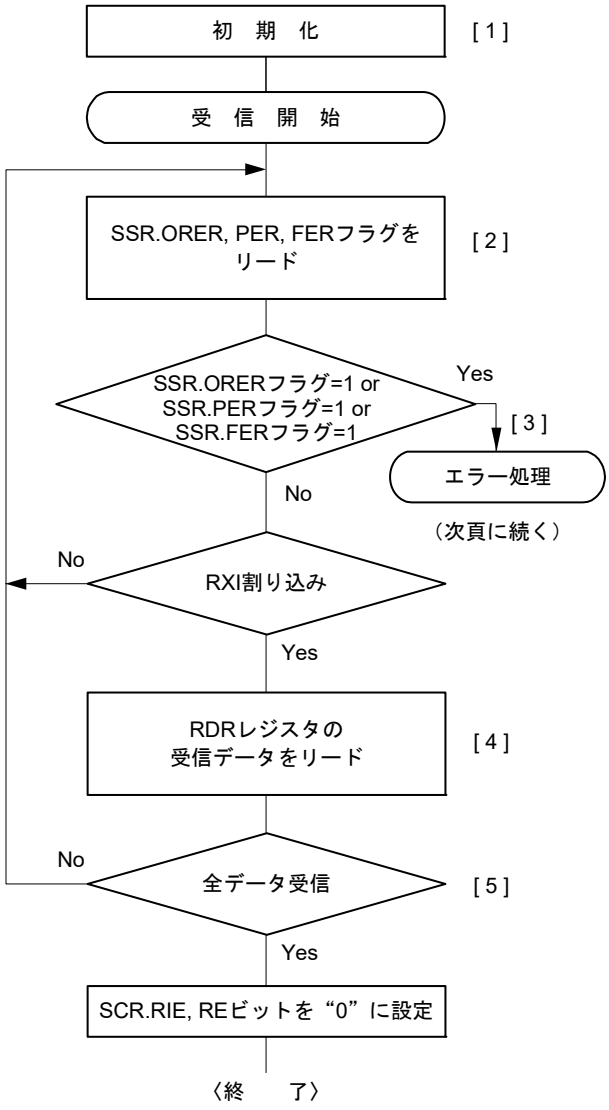
受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を**表 15.15** に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に SSR.ORER、FER、および PER フラグを “0” に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。

図 15.10、**図 15.11** にシリアル受信のフローチャートの例を示します。

表 15.15　SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR へ転送	フレーミングエラー
0	0	1	RDR へ転送	パリティエラー
1	1	0	消失	オーバランエラー＋フレーミングエラー
1	0	1	消失	オーバランエラー＋パリティエラー
0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー



[1] 初期化：
RXDn端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、ERI割り込みが発生します。SSR.ORER, PER, FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、PER、FERフラグをすべて“0”に設定してください。ORER、PER、FERフラグのいずれかが“1”に設定された状態では受信を再開できません。また、フレーミングエラー時にRXDn端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

[4] RXI割り込みルーチンで、RDRレジスタの受信データを1回リードします。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RXI割り込みルーチンでRDRレジスタの値をリードします。ダイレクトメモリアクセスコントローラを起動し、RDRレジスタの値をリードすることも可能です。

図 15.10　調歩同期式モードのシリアル受信のフローチャート例（1）

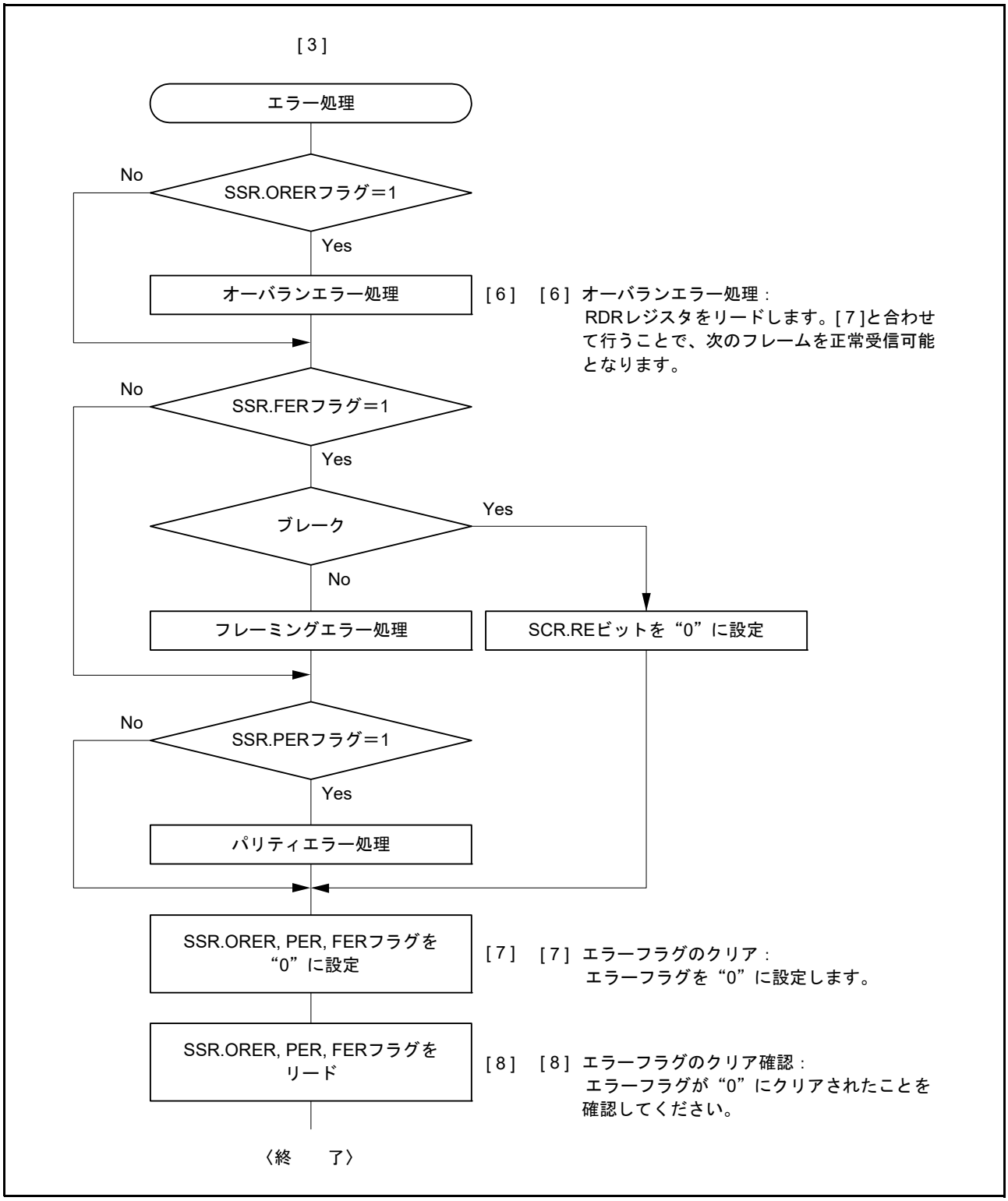


図 15.11　調歩同期式モードのシリアル受信のフローチャート例（2）

15.4　マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。**図 15.12** にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。SCR.MPIE ビットを “1” に設定すると、マルチプロセッサビットが 1 のデータを受け取るまで RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と SSR.ORER、FER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR.MPBT ビットが “1” にされるとともに SCR.MPIE ビットが自動的にクリアされて通常の受信動作に戻ります。このとき SCR.RIE ビットがセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

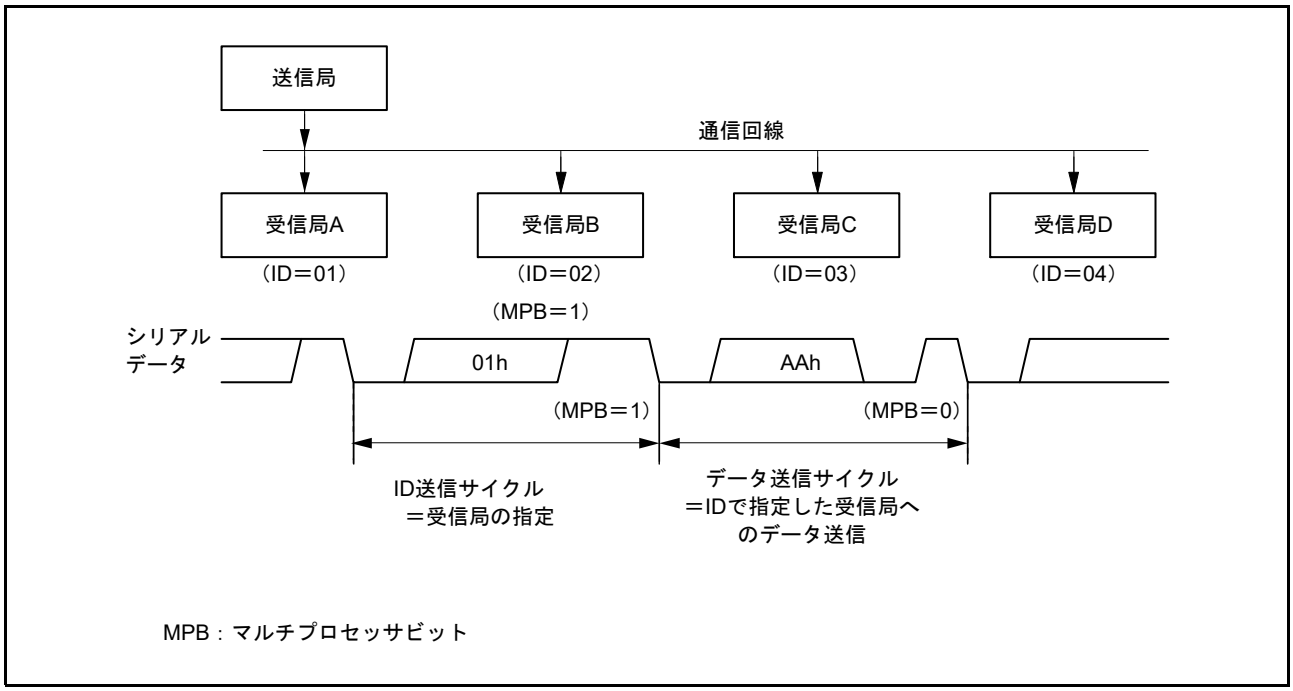


図 15.12　マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ AAh の送信の例）

15.4.1　マルチプロセッサシリアルデータ送信

図 15.13 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを “1” に設定して送信してください。データ送信サイクルでは SSR.MPBT ビットを “0” に設定して送信してください。その他の動作は調歩同期式モードの動作と同じです。

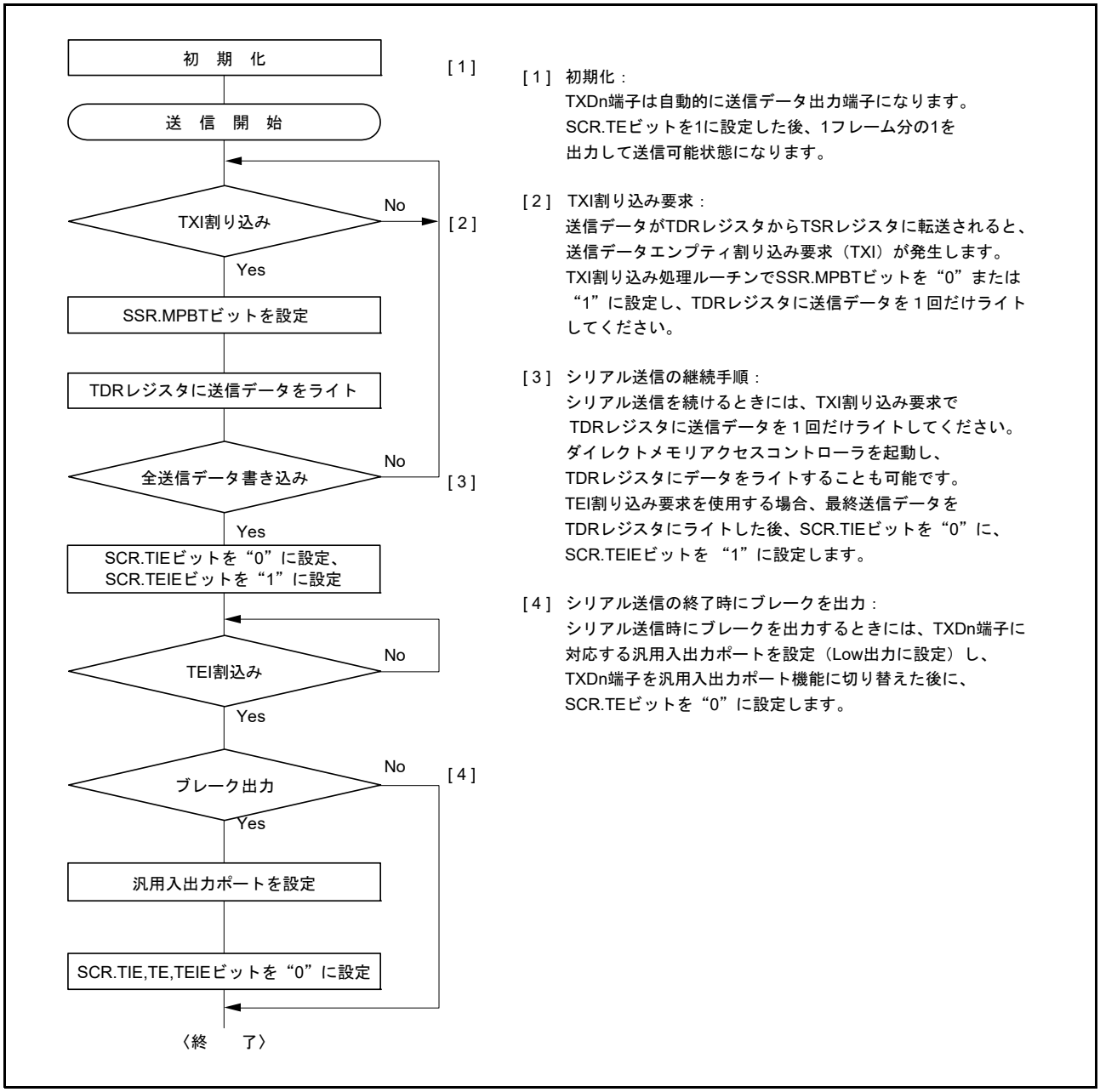


図 15.13　マルチプロセッサシリアル送信のフローチャートの例

15.4.2　マルチプロセッサシリアルデータ受信

図 15.15、図 15.16 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを “1” に設定するとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR レジスタに転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。

図 15.14 に受信時の動作例を示します。

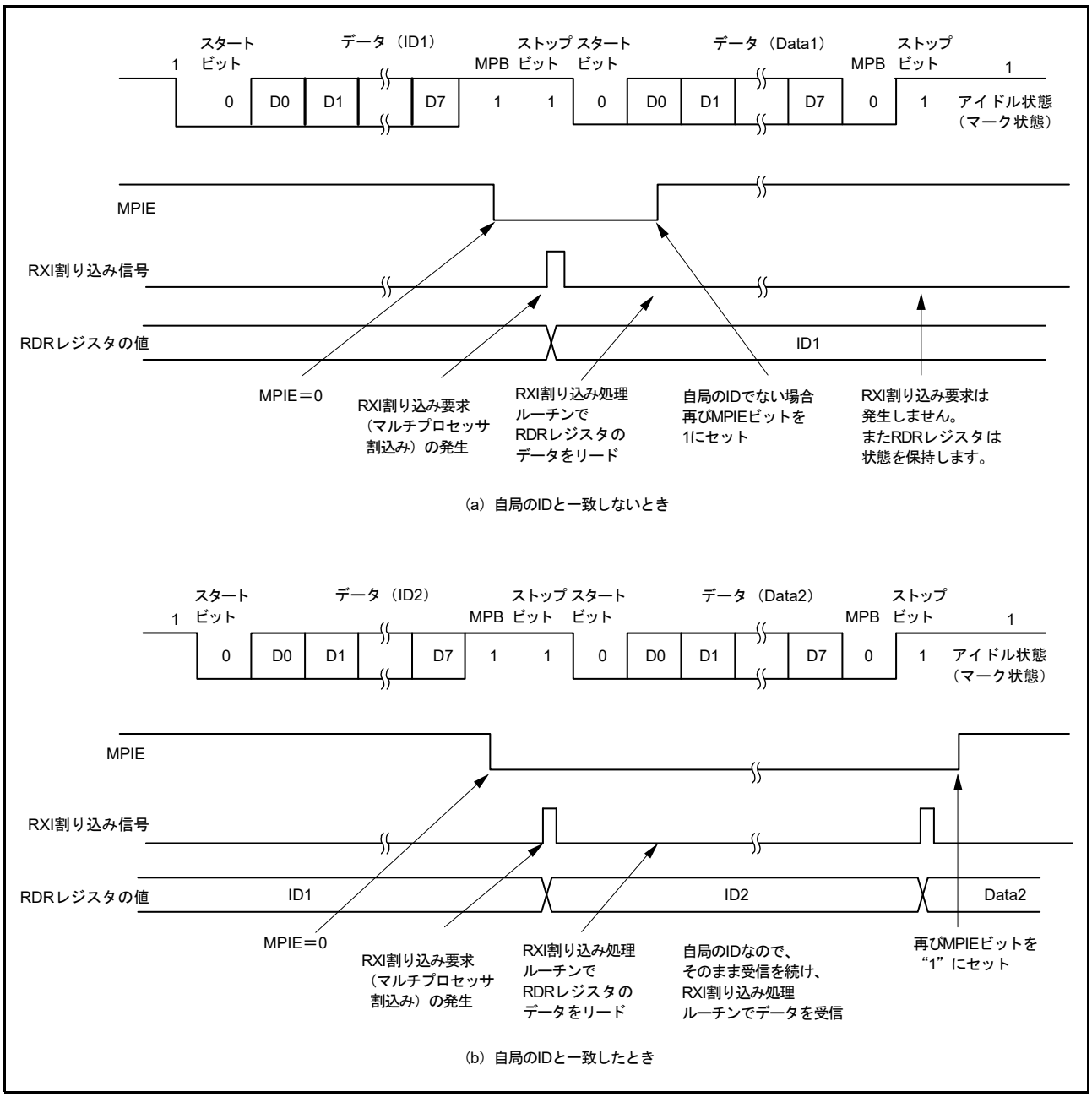
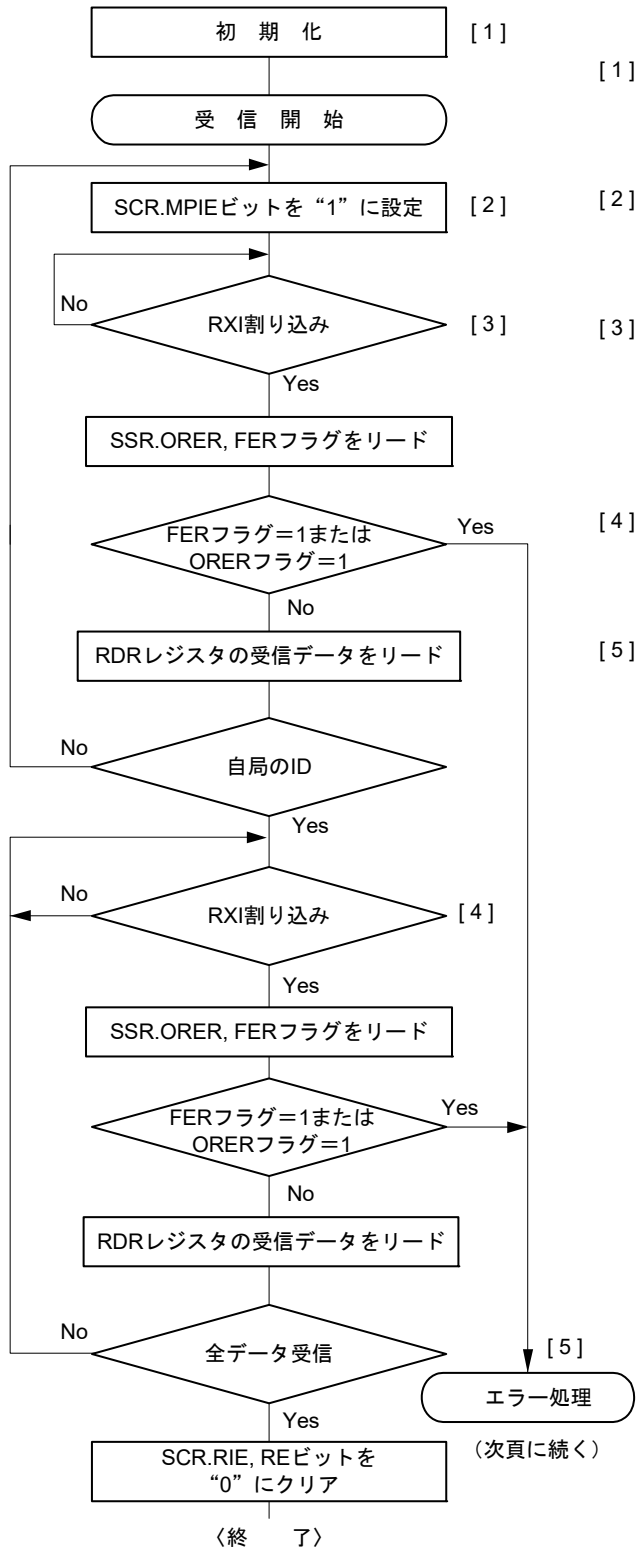


図 15.14　受信時の動作例（8 ビットデータ / マルチプロセッサビットあり /1 ストップビットの例）



[1] 初期化：
RXDn端子は自動的に受信データ入力端子になります。

[2] ID受信サイクル：
SCR.MPIEビットを“1”に設定し、ID受信を待ちます。

[3] SCIの状態を確認して、IDの受信と比較：
1回目のRXI割り込みで、RDRレジスタのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びSCR.MPIEビットを“1”に設定してRXI割り込みを待ちます。

[4] RXI割り込みでデータの受信：
RXI割り込みルーチンで、RDRレジスタのデータを1回リードします。

[5] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSR.ORER, FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、ORER、FERフラグをすべて“0”にクリアしてください。ORER、FERフラグのいずれかが“1”に設定された状態では受信を再開できません。また、フレーミングエラー時にRXDn端子の値をリードすることでブレークの検出ができます。

図 15.15　マルチプロセッサシリアル受信のフローチャートの例（1）

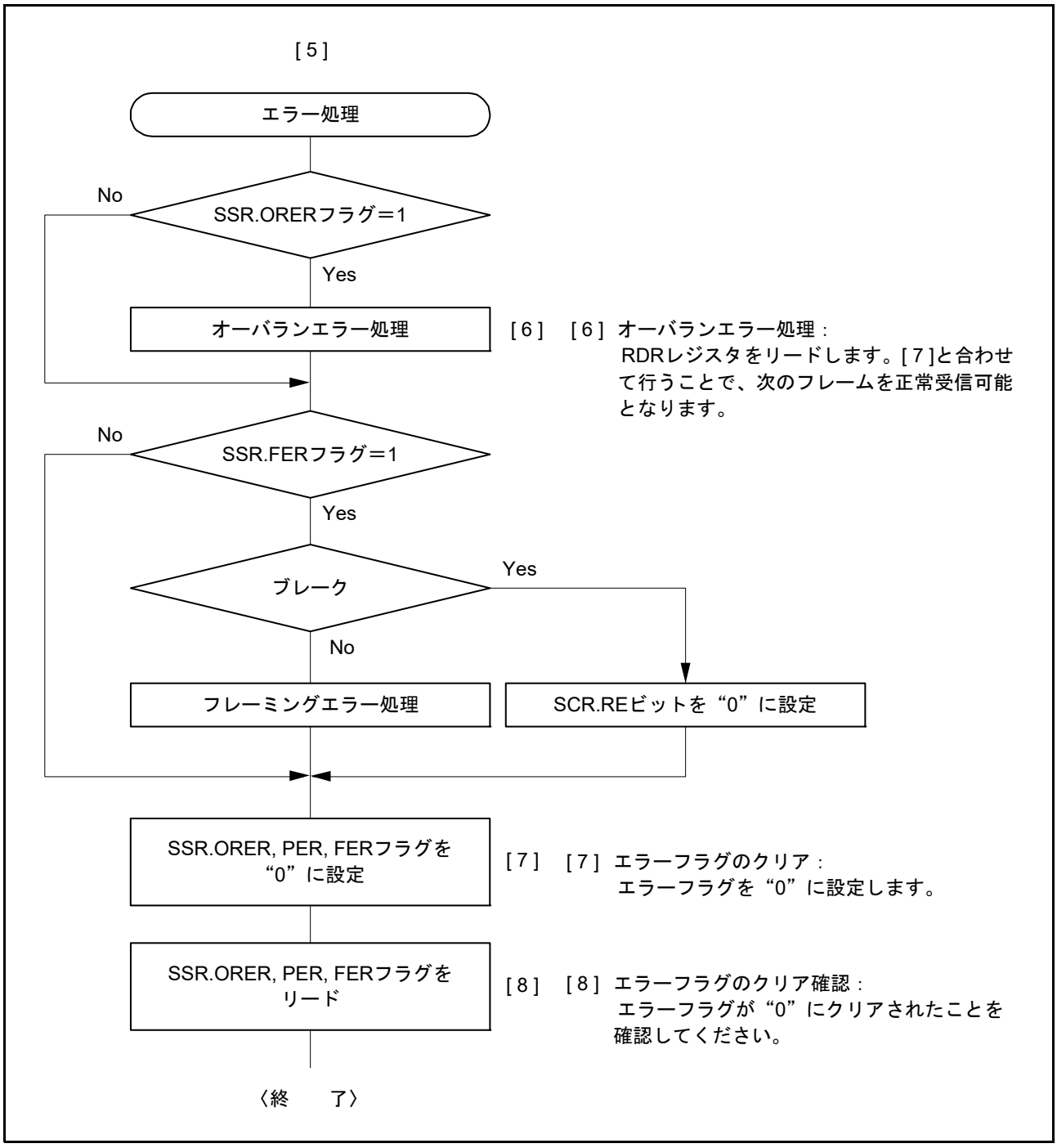


図 15.16　マルチプロセッサシリアル受信のフローチャートの例（2）

15.5　クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 15.17 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCI は、データ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

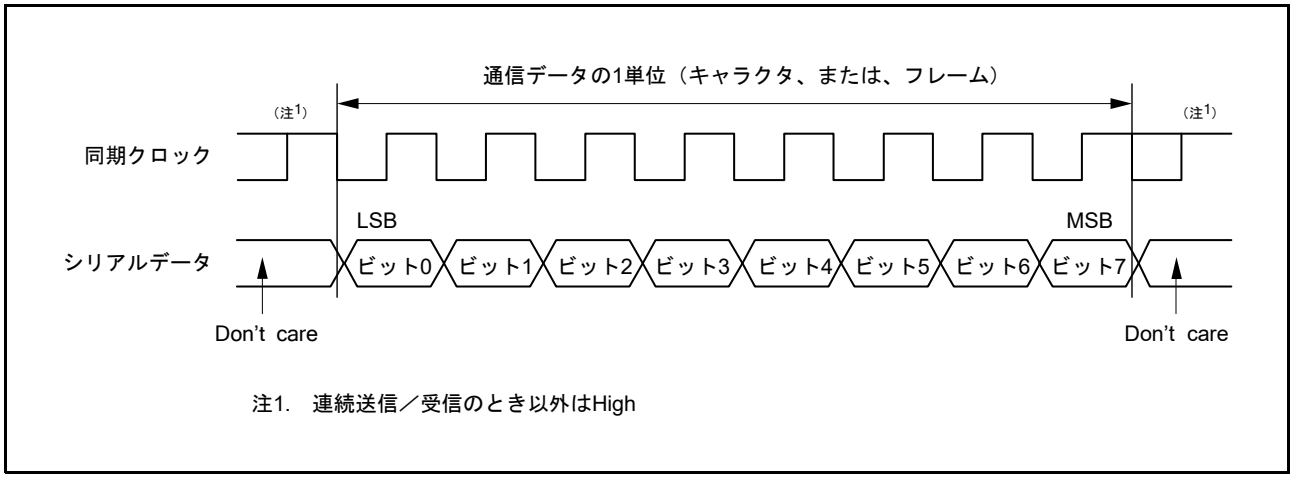


図 15.17　クロック同期式シリアル通信のデータフォーマット（LSB ファーストの場合）

15.5.1　クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは CTS 機能有効で CTSn# 端子入力が High か、オーバランエラーが発生するか、SCR.RE ビットを “0” に設定するまで同期クロックは出力されます。CTS 機能が有効な場合は、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を停止します。

15.5.2　CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SECR.CTSE ビット “1” に設定すると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが “1”
- 送受信動作中でない
- 読み出し前の受信データがない（SCR.RE ビットが “1” のとき）
- 送信データを書き込み済（SCR.TE ビットが “1” のとき）
- SSR.ORER フラグが “0”

[High になる条件]

Low になる条件を満たさない場合

15.5.3　初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 00h を書き込み、図 15.18 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” に設定しても、SSR.ORER, FER, PER の各フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” に設定すると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

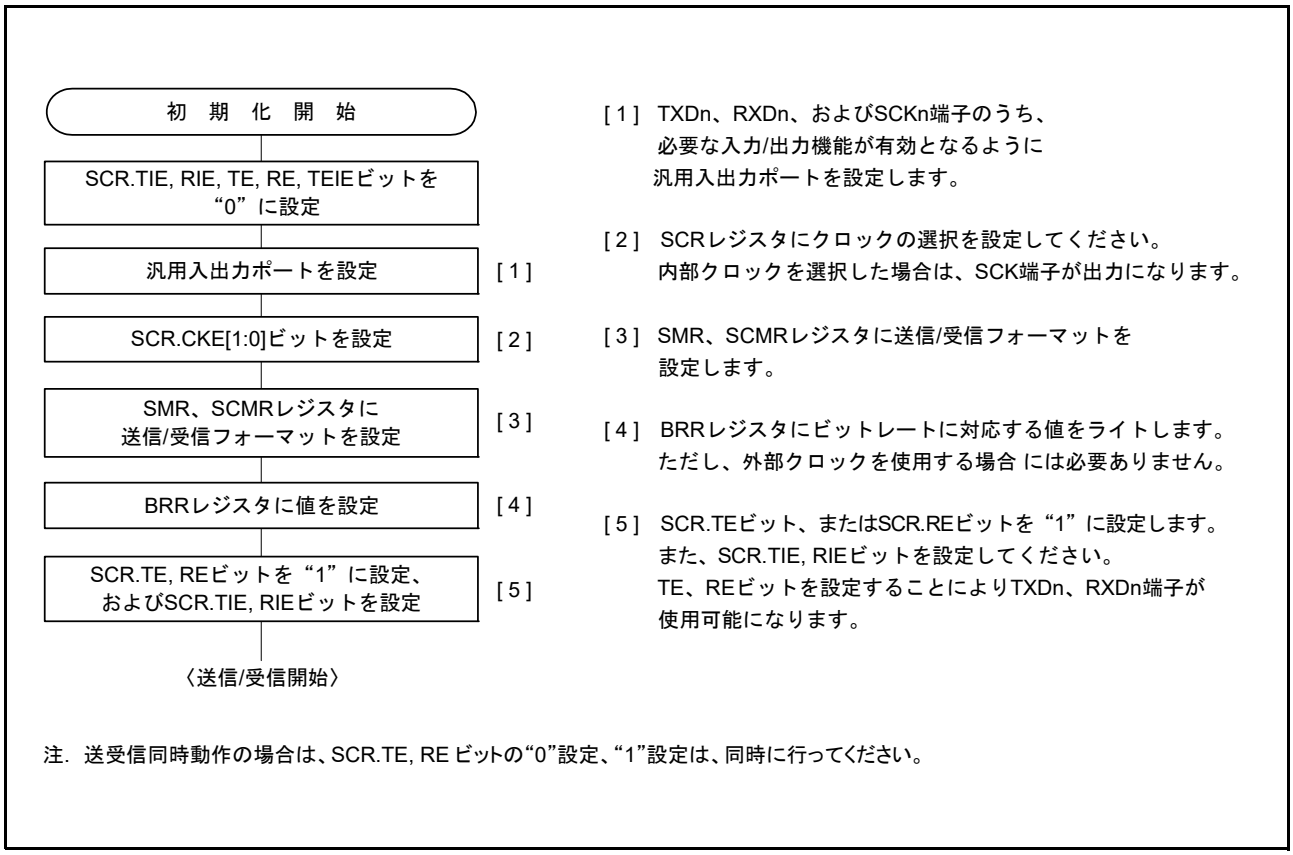


図 15.18　初期化フローチャートの例（クロック同期式モード）

15.5.4　シリアルデータの送信（クロック同期式モード）

図 15.19 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを “1” に設定した後に SCR.TE ビットを “1” にするか、1 命令で同時に “1” に設定することで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが “1” に設定されていると、TXI 割り込み要求を発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを “0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを “1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SECR.CTSE ビットが “1”（CTS 機能許可）のとき、CTS 信号入力が Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを “1” にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが “1” にされていると、TEI 割り込み要求を発生します。SCKn 端子は High に固定されます。

図 15.20 にシリアル送信のフローチャートの例を示します。
受信エラーフラグ（SSR.ORER, FER, PER）が “1” にされた状態では送信を開始しません。送信開始の前に、受信エラーフラグを “0” に設定してください。また、受信エラーフラグは SCR.RE ビットを “0” にしただけではクリアされませんので注意してください。

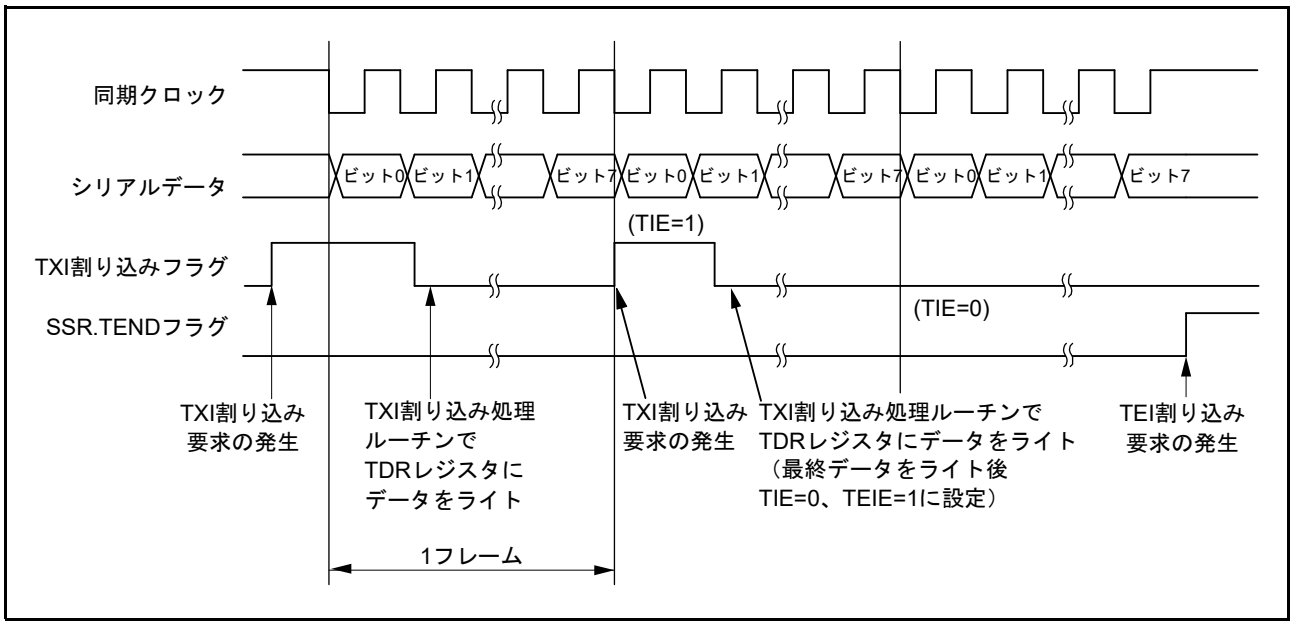
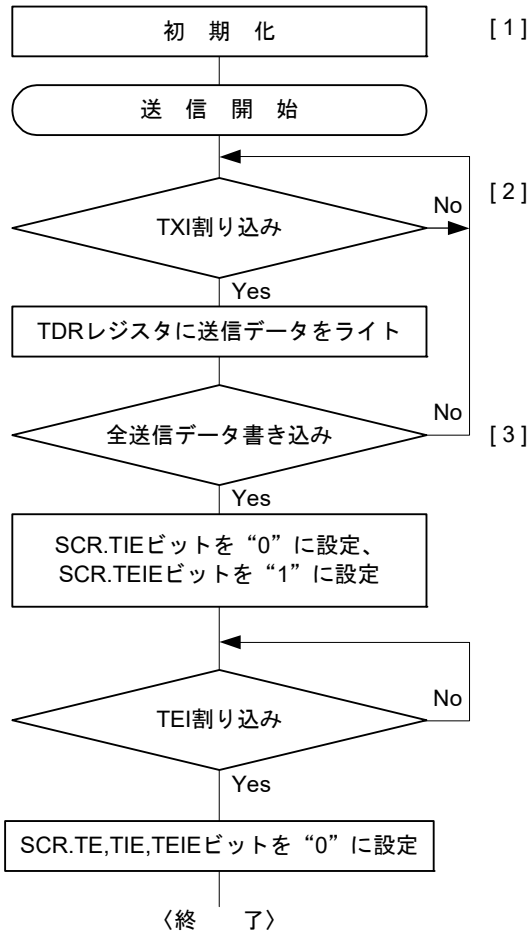


図 15.19　クロック同期式モードのシリアル送信（送信中～送信終了時）の動作例



[1] 初期化：
TXDn端子は自動的に送信データ出力端子になります。

[2] TXI割り込み要求で送信データをTDRレジスタにライト：
送信データがTDRレジスタからTSRレジスタに転送されると、送信データエンプティ割り込み要求（TXI）が発生します。TXI割り込み処理ルーチンでTDRレジスタに送信データを1回ライトします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、送信データエンプティ割り込み要求（TXI）によりTDRレジスタにデータをライトしてください。TXI割り込み要求でダイレクトメモリアクセスコントローラを起動し、TDRレジスタにデータをライトすることも可能です。
TEI割り込み要求を使用する場合、最終送信データをTDRレジスタにライトした後、SCR.TIEビットを “0” に、SCR.TEIEビットを “1”に設定します。

注.　外部クロック（SCR.CKE[1:0]ビット=10b、11b）のときは、最終ビットのSCK端子立ち上がりでSSR.TENDフラグが“1”になります。このとき、SCR.TEビットを直ぐ“0”に設定すると受信デバイス側の受信データのホールド時間が不足する場合があります。

図 15.20　クロック同期式モードのシリアル送信のフローチャート例

15.5.5　シリアルデータの受信（クロック同期式モード）

図 15.21、図 15.22 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが “1” になると、RTS 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが “1” にされていると、RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTS 信号出力を Low にします（RTS 機能使用時）。

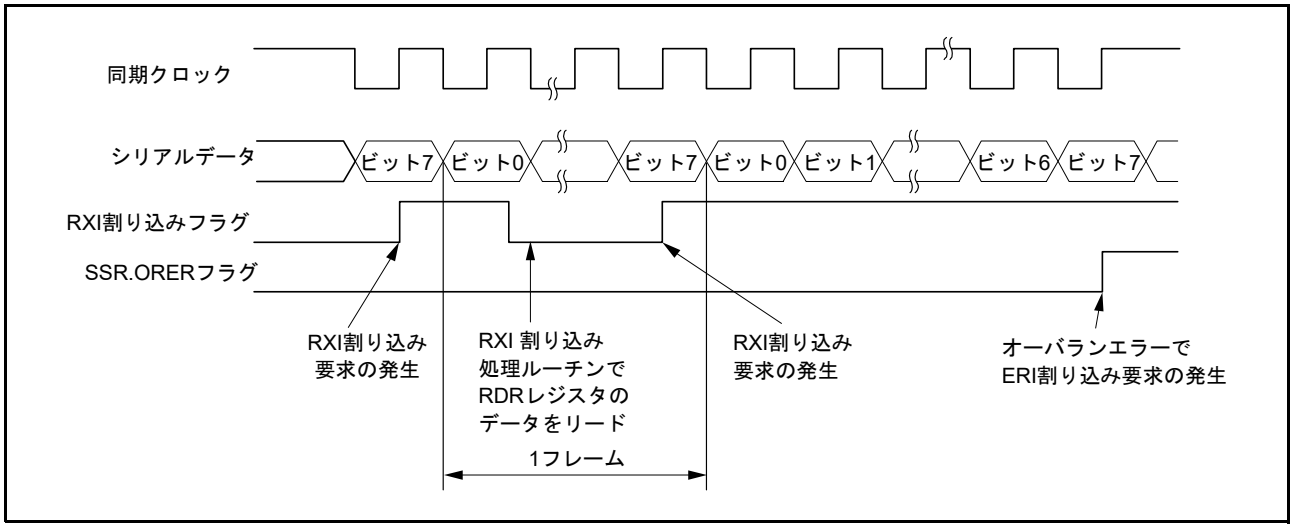


図 15.21　クロック同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）

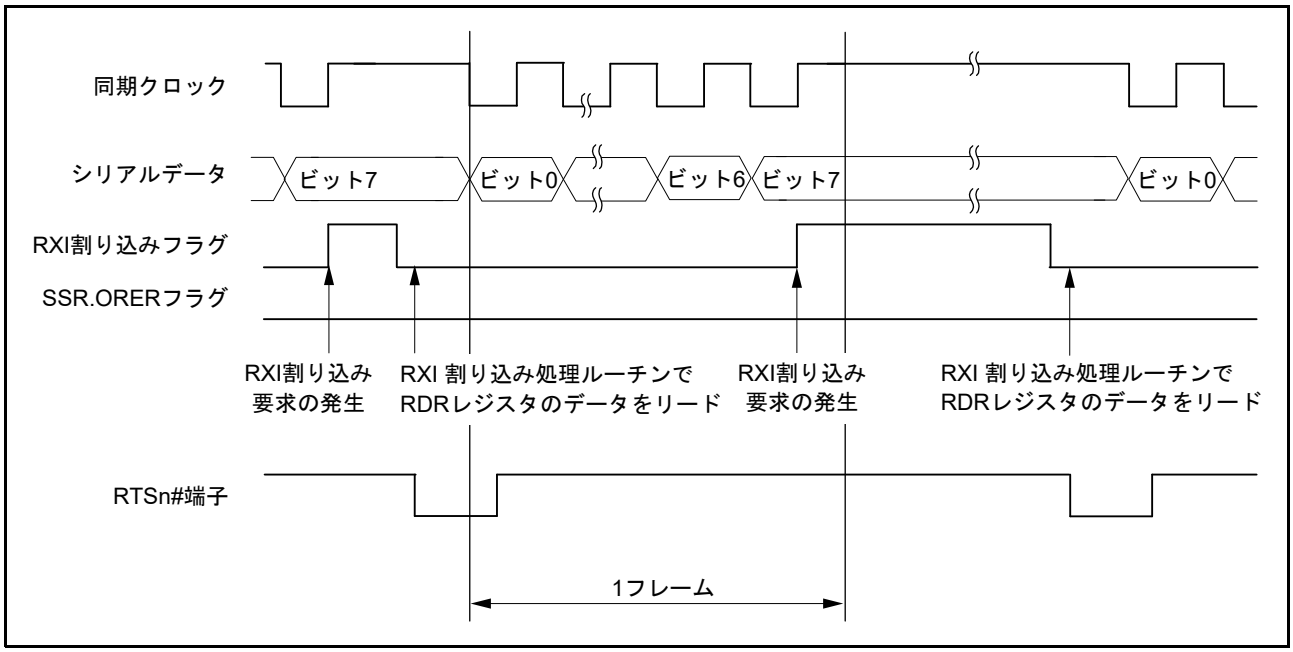
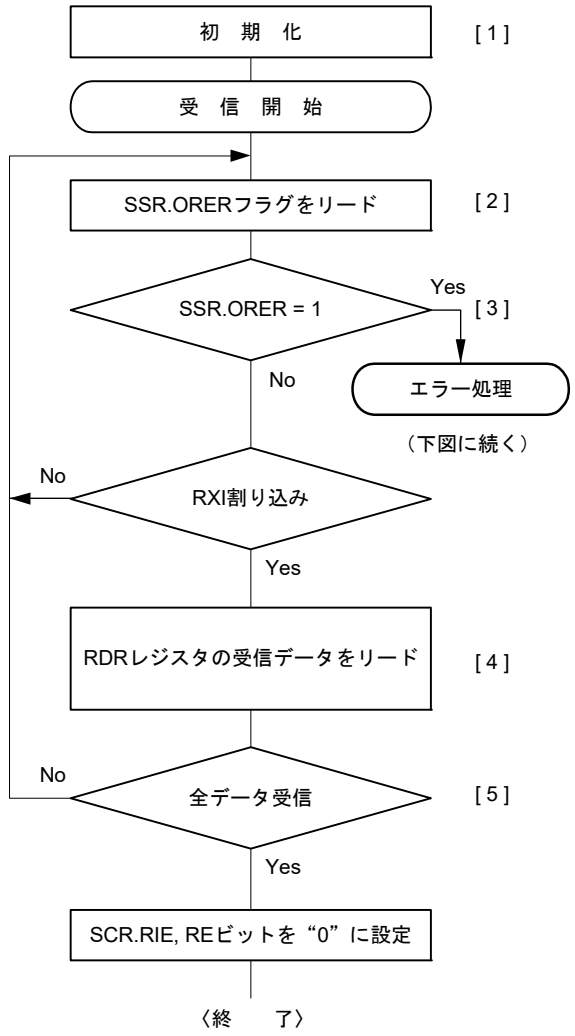
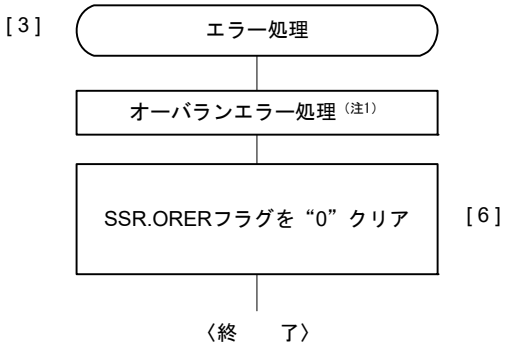


図 15.22　クロック同期式モードのシリアル受信時の動作例（2）（RTS 機能使用時）

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR.ORER, FER, PER フラグを “0” に設定してください。また、オーバランエラー処理では RDR レジスタをリードしてください。

図 15.23 にシリアル受信のフローチャートの例を示します。





[1] 初期化：
RXDn端子として使用するポートを入力に設定してください。

[2] [3]受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを“0”にクリアしてください。ORERフラグが“1”に設定された状態では、受信を再開できません。

[4] RXI割り込み要求（RXI）でRDRレジスタの受信データを1回リードしてください。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRレジスタのリードを終了しておいてください。受信データフル割り込み（RXI）要求でダイレクトメモリアクセスコントローラを起動し、RDRレジスタの値をリードすることも可能です。

[6] エラーフラグのクリア：
エラーフラグを“0”にクリアします。
“0”を書き込んだ後、フラグがクリアされたことを確認してください。

注1. RDRレジスタをリード

図 15.23　クロック同期式モードのシリアル受信のフローチャート例

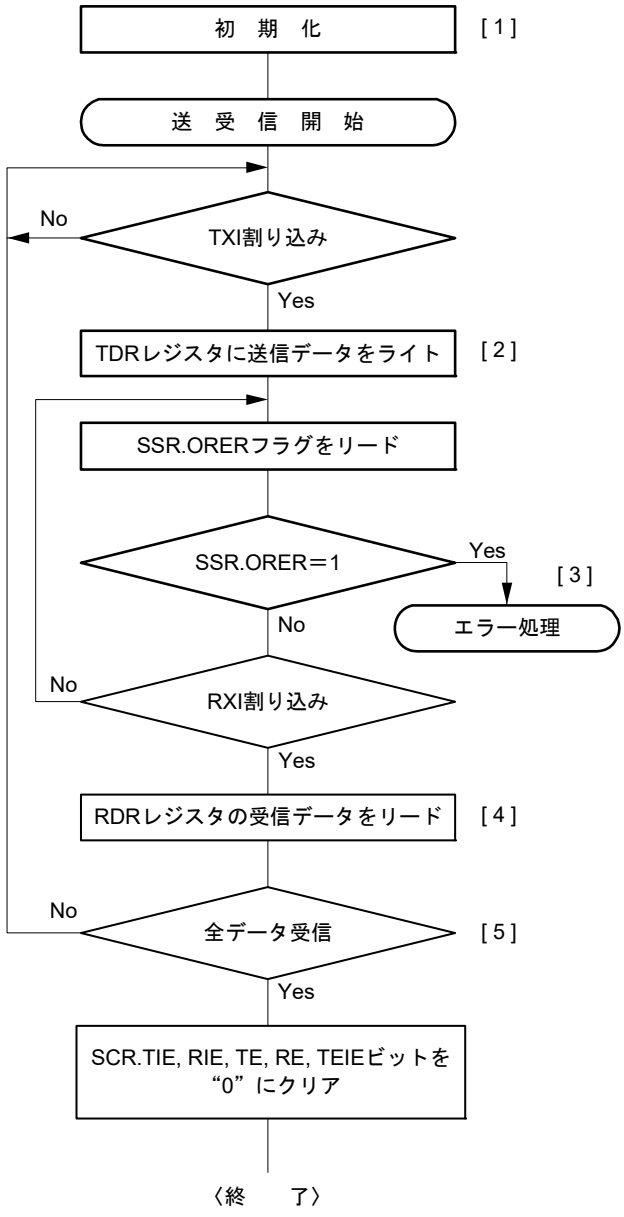
15.5.6　シリアルデータの送受信同時動作（クロック同期式モード）

図 15.24 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であることを SSR.TEND フラグが “1” に設定されていることで確認してください。その後、SCR レジスタを初期化してから SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に “1” に設定してください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認した後、SCR.RIE, RE ビットを “0” に設定してから、エラーフラグ（SSR.ORER, FER, PER）が “0” に設定されていることを確認した後、SCR.TIE, RIE, TE, RE ビットを 1 命令で同時に “1” に設定してください。



[1]　初期化：
TXDn端子は送信データ出力端子に、RXDn端子は受信データ入力端子にして送受信同時動作可能状態になります。

[2]　送信データのライト：
TXI割り込みでTDRレジスタに送信データを1回ライトします。

[3]　受信エラー処理：
受信エラーが発生したときには、SSR.ORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを “0” に設定してください。ORERフラグが “1” に設定された状態では受信を再開できません。

[4]　受信データのリード：
RXI割り込みでRDRレジスタの受信データを1回リードします。

[5]　シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前にRXI割り込みでRDRレジスタのリードを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTXI割り込みでTDRレジスタにデータをライトしてください。
送信データエンプティ割り込み（TXI）要求でダイレクトメモリアクセスコントローラを起動し、TDRレジスタにデータをライトすることや、受信データフル割り込み（RXI）要求でダイレクトメモリアクセスコントローラを起動し、RDRレジスタの値をリードすることも可能です。

注.　送信、または受信動作から同時送受信に切り替えるときには、SCR.TIE, RIE, TE, RE, TEIEビットを “0” にクリアしてから、SCR.TIE, RIE, TE, REビットを同時に “1” に設定してください。

図 15.24　クロック同期式モードのシリアル送受信同時動作のフローチャート例

15.6　スマートカードインタフェースモードの動作

SCI は ISO/IEC 7816-3（Identification Card）に対応したスマートカード（IC カード）とのインタフェースをサポートしています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

15.6.1　接続例

図 15.25 にスマートカード（IC カード）との接続例を示します。

IC カードとは 1 本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット =1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 LSI の出力ポートを使用できます。

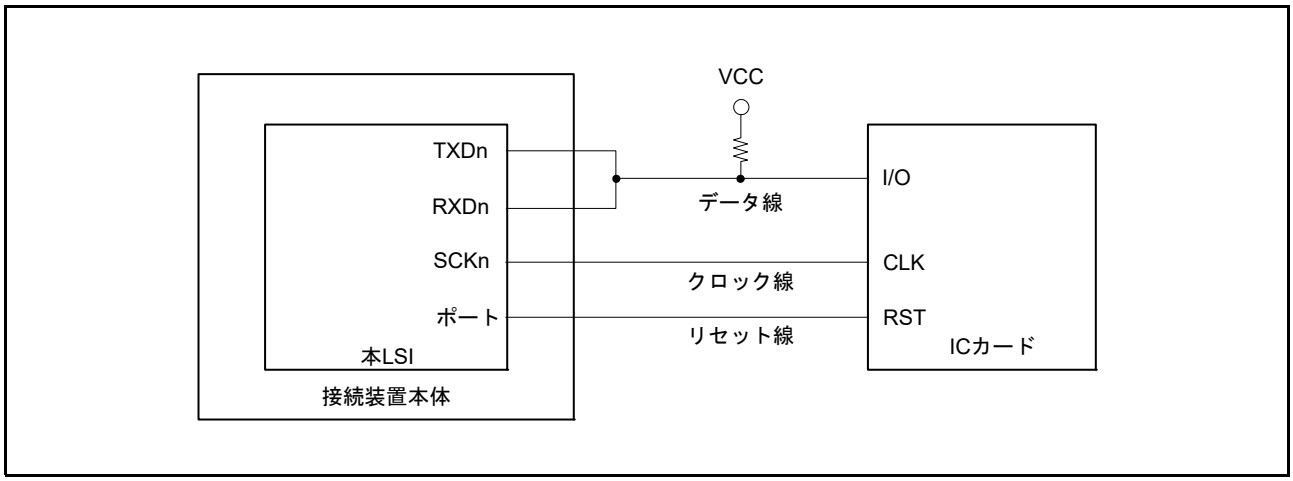


図 15.25　スマートカード（IC カード）との接続例

15.6.2　データフォーマット（ブロック転送モード時を除く）

図 15.26 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2etu（Elementary Time Unit : 1 ビットの転送期間）以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5etu 経過後、エラーシグナル（Low）を 1etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを再送信します。

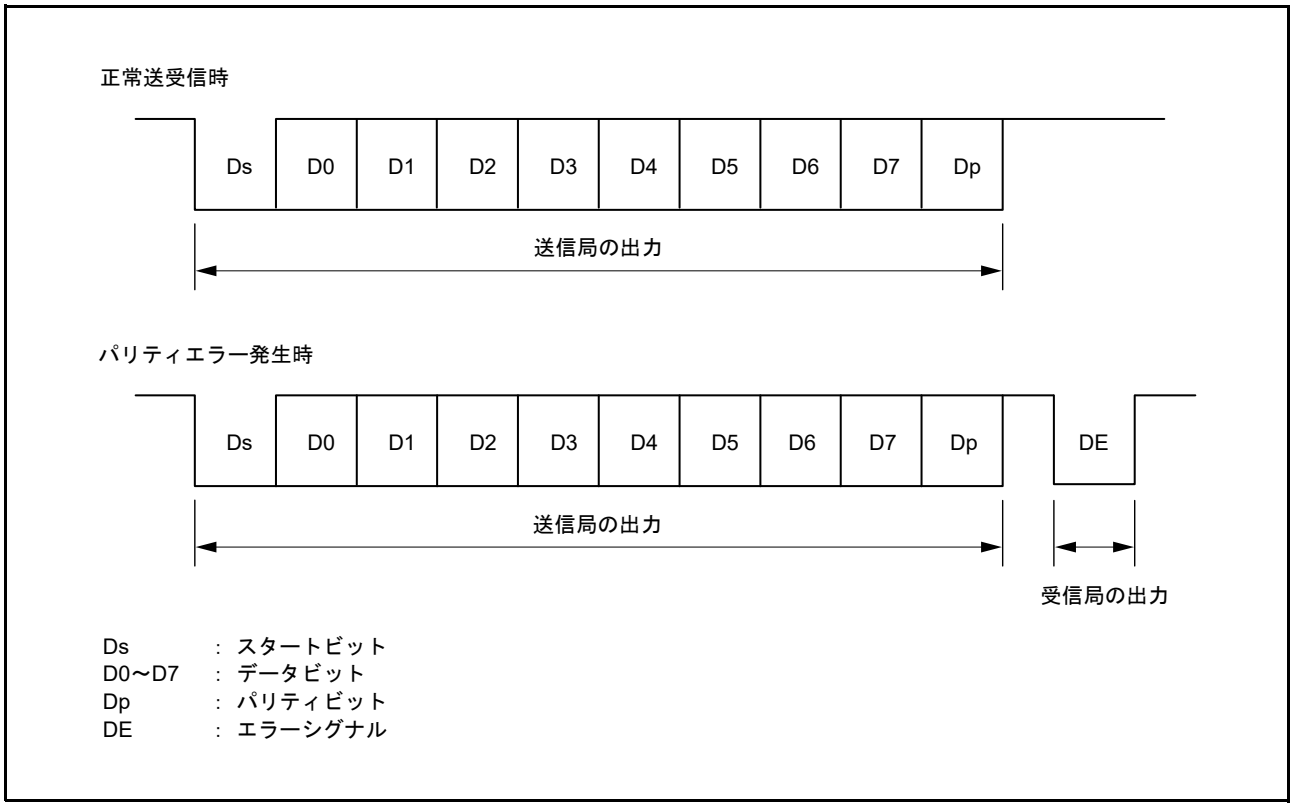


図 15.26　スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの 2 種類の IC カードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 15.27** に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。**図 15.27** の開始キャラクタでは、データは 3Bh となります。

ダイレクトコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “0” に設定してください。また、スマートカードの規程により偶数パリティとなるよう SMR.PM ビットには “0” を設定してください。

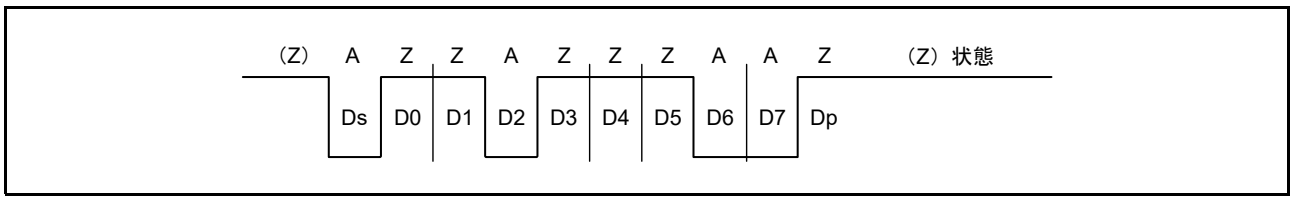


図 15.27　ダイレクトコンベンション（SCMR.SDIR ビット =0、SCMR.SINV ビット =0、SMR.PM ビット =0）

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。**図 15.28** の開始キャラクタでは、データは 3Fh となります。

インバースコンベンションタイプでは、SCMR.SDIR, SINV ビットをともに “1” に設定してください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SCMR.SINV ビットはデータビット D7 ～ D0 のみ反転させます。このため、送受信とも SMR.PM ビットに “1” を設定してパリティビットを反転させてください。

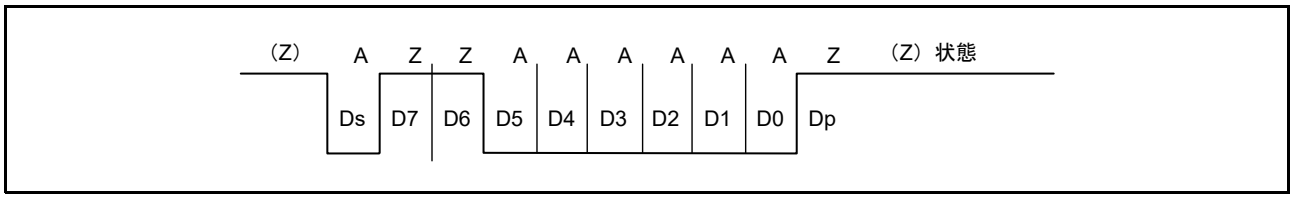


図 15.28　インバースコンベンション（SCMR.SDIR ビット＝ 1、SCMR.SINV ビット＝ 1、SMR.PM ビット＝ 1

15.6.3　ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5etu 後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に “0” となります。

15.6.4　受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCI は SCMR.BCP2 ビット、SMR.BCP[1:0] ビットの設定により、ビットレートの 32 倍、64 倍、372 倍、256 倍、93 倍、128 倍、186 倍、512 倍（通常の調歩同期式モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 15.29 に示すように、受信データを基本クロックのそれぞれ 16、32、186、128、46、64、93、256 サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\ [\%]$$

M　：受信マージン(%)
N　：クロックに対するビットレートの比(N=32, 64, 372, 256)
D　：クロックデューティ (D=0～1.0)
L　：フレーム長(L=10)
F　：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

M={0.5-1/(2×372)}×100[%] = 49.866%

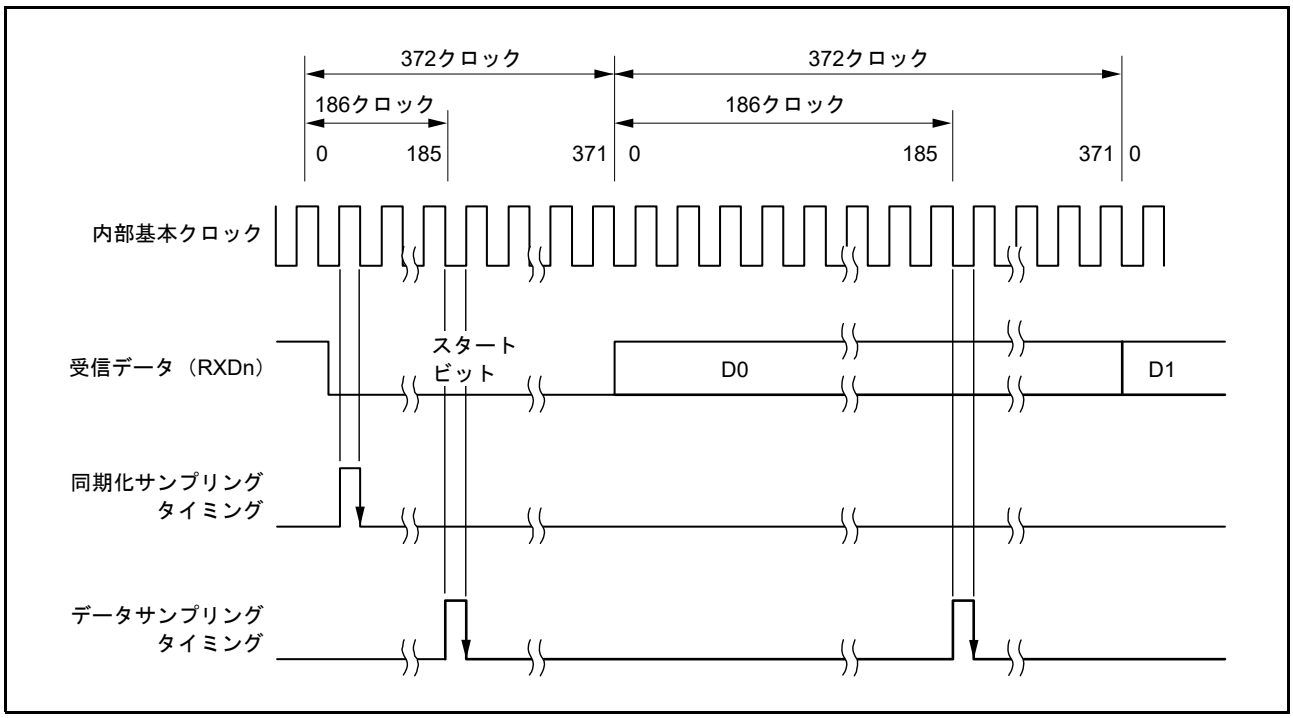


図 15.29　スマートカードインタフェースモード時の受信データサンプリングタイミング
（372 倍のクロック使用時）

15.6.5　初期化（スマートカードインタフェースモード）

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCR レジスタに初期値 00h を書き込みます。
2. TXDn、RXDn、および SCKn 端子のうち、必要な入力 / 出力機能が有効となるように汎用入出力ポートを設定してください。
3. SSR レジスタのエラーフラグ（ORER、ERS、PER）を “0” に設定してください。
4. SMR.GM, BLK, PM, BCP[1:0], CKS[1:0] ビット、および SCMR.BCP2 ビットを設定してください。このとき、SMR.PE ビットは “1” に設定してください。
5. SCMR.SDIR, SINV, SMIF ビットを設定してください。TXDn 端子および RXDn 端子は、ハイインピーダンス状態となります。
6. ビットレートに対応する値を BRR レジスタに設定します。
7. SCR.CKE[1:0] ビットを設定してください。このとき、SCR.TIE, RIE, TE, RE, TEIE ビットは “0” に設定してください。
   SCR.CKE[0] ビットを “1” に設定した場合は、SCKn 端子からクロックを出力します。
8. SCR.TIE, RIE, TE, RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、SCR.TE ビット＝ 1、SCR.RE ビット＝ 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、SCR.TE ビット＝ 0、SCR.RE ビット＝ 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

15.6.6　シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 15.30 に示します。

1. 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると SSR.ERS フラグが “1” に設定されます。このとき SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。次のパリティビットのサンプリングまでに SSR.ERS フラグをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSR.TEND フラグはセットされません。TDR レジスタから TSR レジスタに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSR.ERS フラグはセットされません。
4. 再転送を含む 1 フレームの送信が完了したと判断して、SSR.TEND フラグがセットされます。このとき、SCR.TIE ビットが “1” にされていれば、TXI 割り込み要求を発生します。送信データを TDR レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 15.32 に示します。これらの一連の処理は、TXI 割り込み要因によってダイレクトメモリアクセスコントローラを起動することで自動的に行うことができます。

送信動作では、SSR.TEND フラグが “1” にされると、SCR.TIE ビットを “1” にしておくと、TXI 割り込み要求を発生します。あらかじめダイレクトメモリアクセスコントローラの起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求によりダイレクトメモリアクセスコントローラが起動されて送信データの転送を行います。SSR.TEND フラグは、ダイレクトメモリアクセスコントローラによるデータ転送時に自動的に “0” にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、SSR.TEND フラグは “0” のまま保持され、ダイレクトメモリアクセスコントローラは起動されません。したがって、エラー発生時の再送信を含め、SCI とダイレクトメモリアクセスコントローラが指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にはクリアされませんので、SCR.RIE ビットを “1” にしておき、エラー発生時に ERI 割り込み要求を発生させ、SSR.ERS フラグをクリアしてください。

なお、ダイレクトメモリアクセスコントローラを使って送受信を行う場合は、先にダイレクトメモリアクセスコントローラを設定し、許可状態にしてから SCI の設定を行ってください。

ダイレクトメモリアクセスコントローラの設定方法は「9.　ダイレクトメモリアクセスコントローラ」を参照してください。

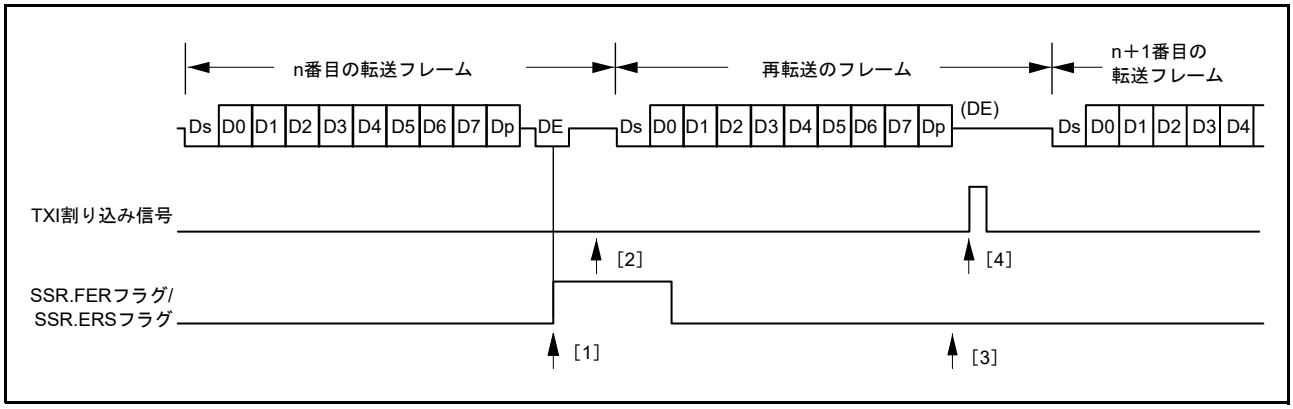


図 15.30　送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 15.31 に SSR.TEND フラグ発生タイミングを示します。

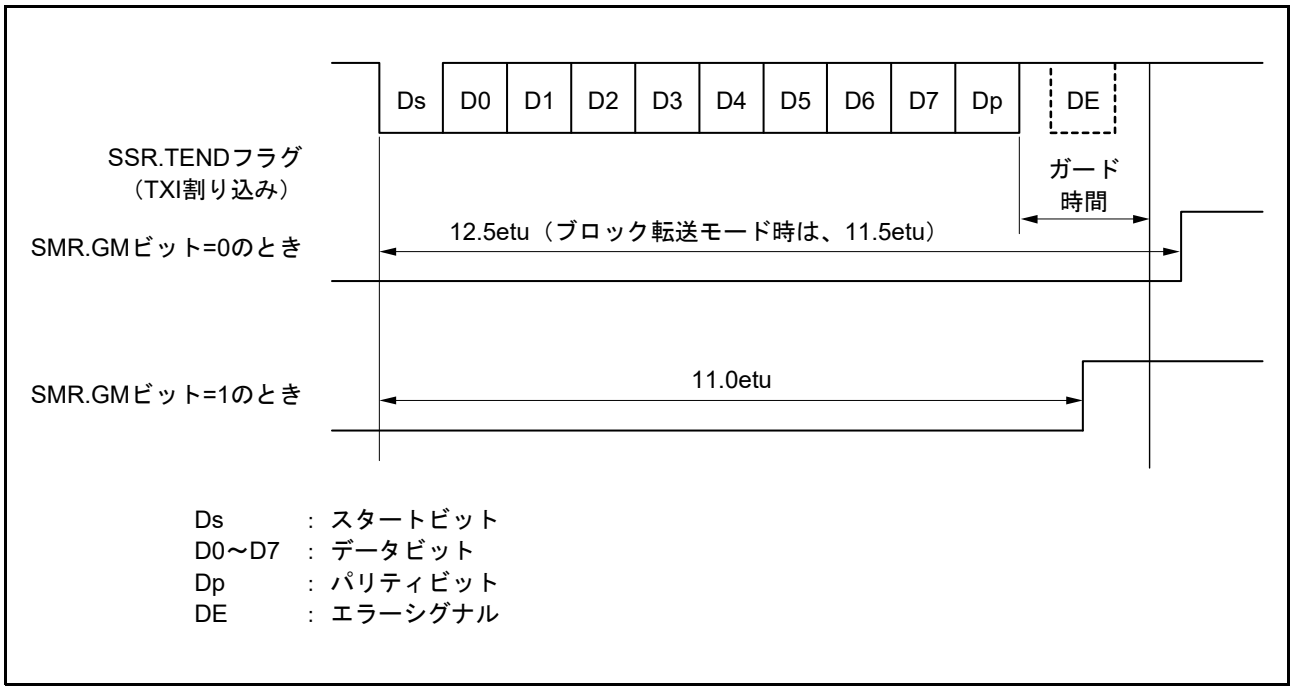


図 15.31　送信時の SSR.TEND フラグの発生タイミング

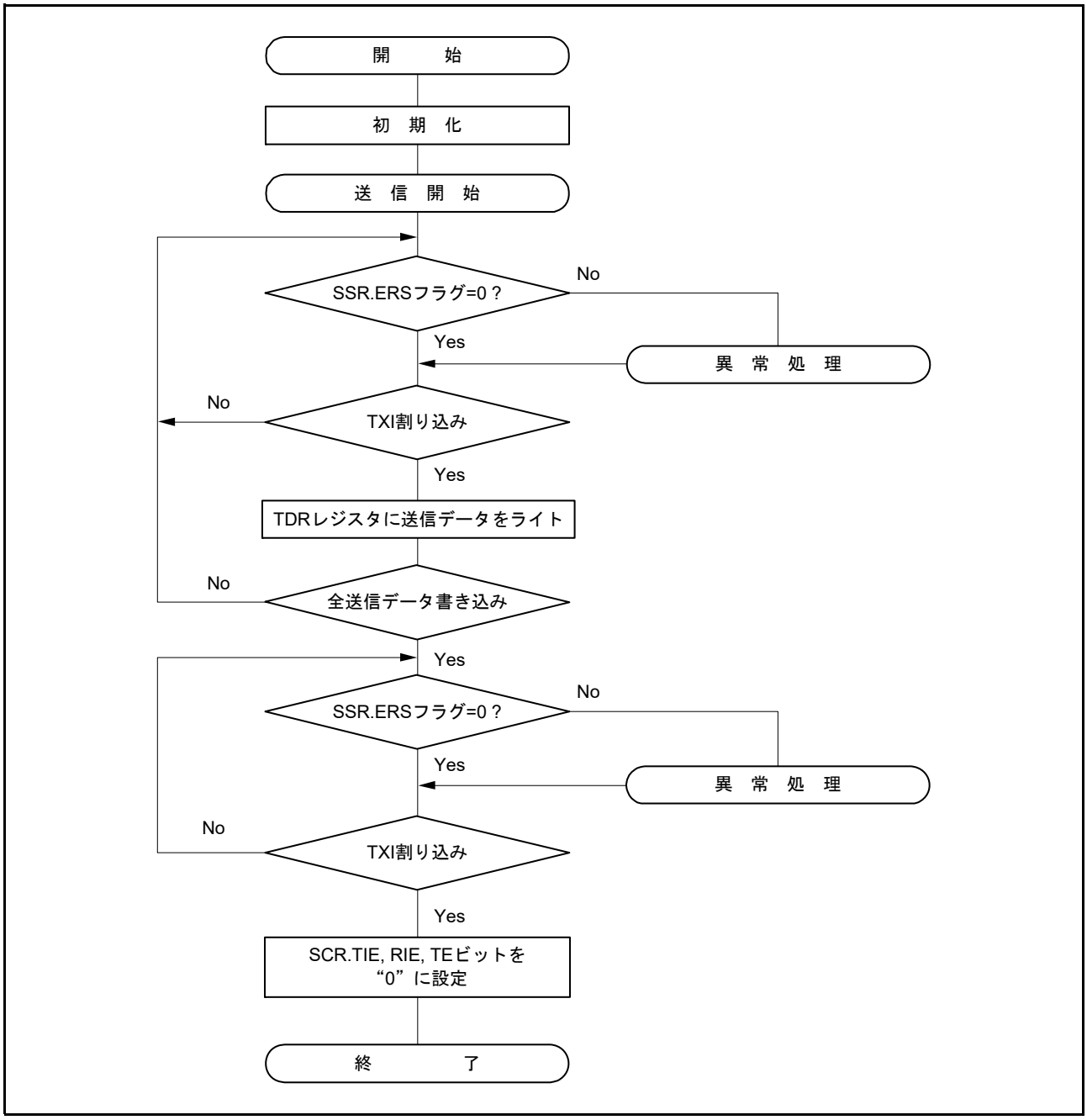


図 15.32　スマートカードインタフェース送信のフローチャート例

15.6.7　シリアルの受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、シリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 15.33 に示します。

1. 受信データにパリティエラーを検出すると SSR.PER フラグが “1” に設定されます。このとき、SCR.RIE ビットが “1” にされていると、ERI 割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでに SSR.PER フラグをクリアしてください。
2. パリティエラーを検出したフレームでは RXI 割り込みは発生しません。
3. パリティエラーが検出されない場合は、SSR.PER フラグはセットされません。
4. 正常に受信を完了したと判断して、SCR.RIE ビットが “1” にされていれば、RXI 割り込み要求を発生します。

シリアル受信のフローチャートの例を図 15.34 に示します。これらの一連の処理は、RXI 割り込み要求によってダイレクトメモリアクセスコントローラを起動することで自動的に行うことができます。

受信動作では、SCR.RIE ビットを “1” にしておくと、RXI 割り込み要求を発生します。あらかじめダイレクトメモリアクセスコントローラの起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求によりダイレクトメモリアクセスコントローラが起動されて受信データの転送を行います。

また、受信時にエラーが発生し SSR.ORER, PER フラグのいずれかが “1” に設定されると、受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はダイレクトメモリアクセスコントローラは起動されず、受信データはスキップされるためダイレクトメモリアクセスコントローラに設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し SSR.PER フラグが “1” に設定された場合でも、受信したデータは RDR レジスタに転送されるのでこのデータをリードすることは可能です。

注 .　ブロック転送モードの場合は、「15.3　調歩同期式モードの動作」を参照してください。

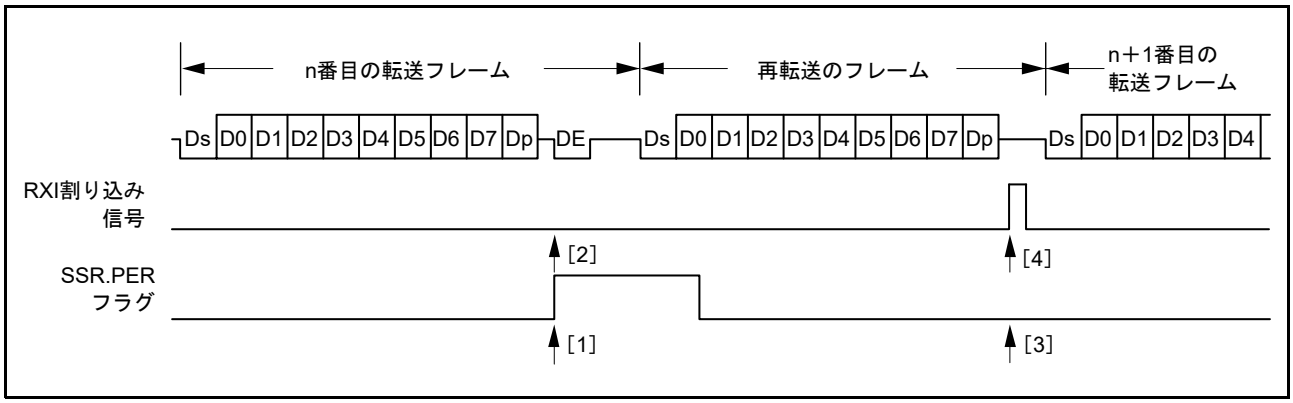


図 15.33　受信モードの場合の再転送動作（受信時の再転送動作）

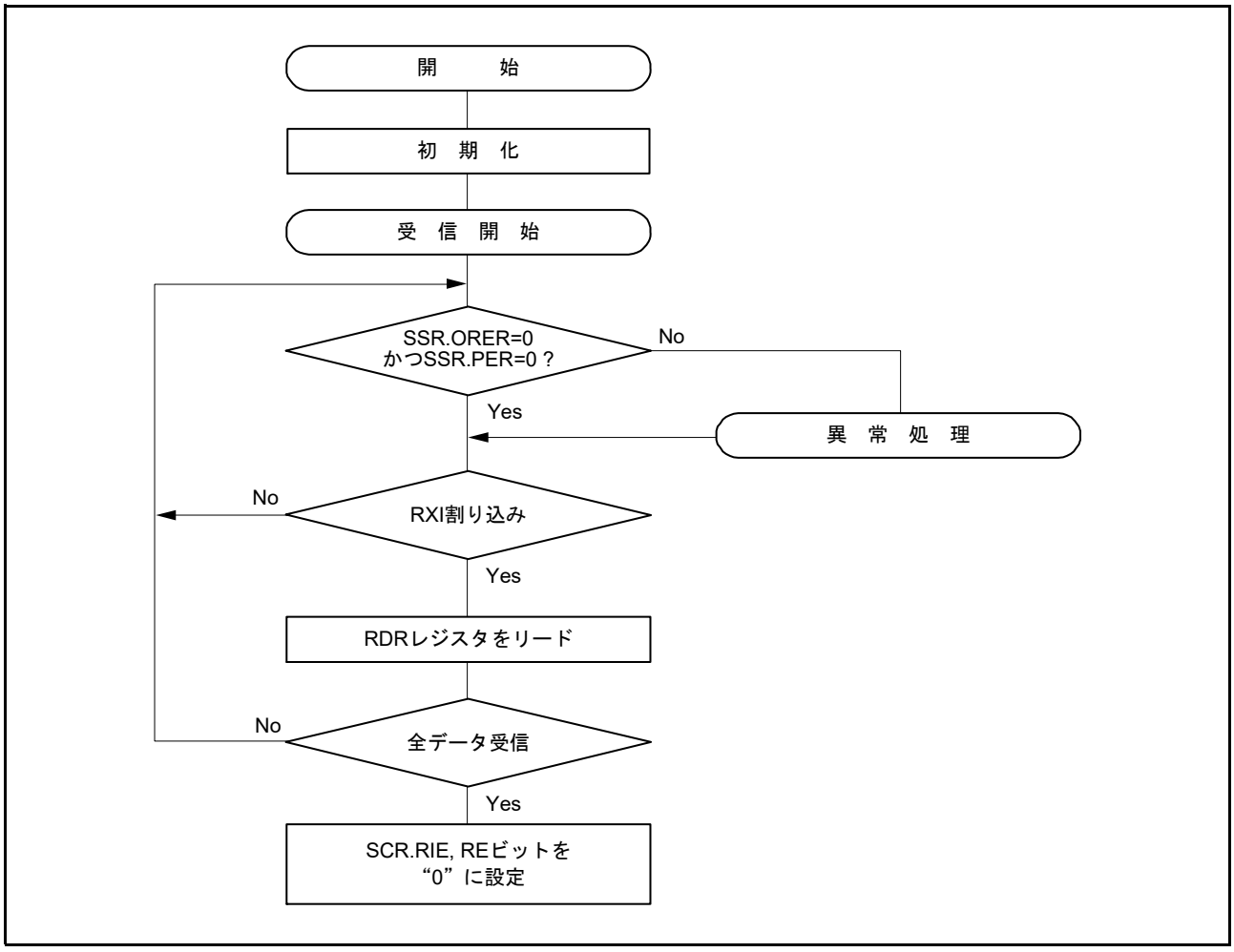


図 15.34　スマートカードインタフェース受信のフローチャート例

15.6.8　クロック出力制御

SMR.GM ビットが “1” に設定されているとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.35 にクロック出力の固定タイミングを示します。SMR.GM ビット＝ 1、SCR.CKE1 ビット＝ 0 とし、SCR.CKE0 ビットを制御した場合の例です。

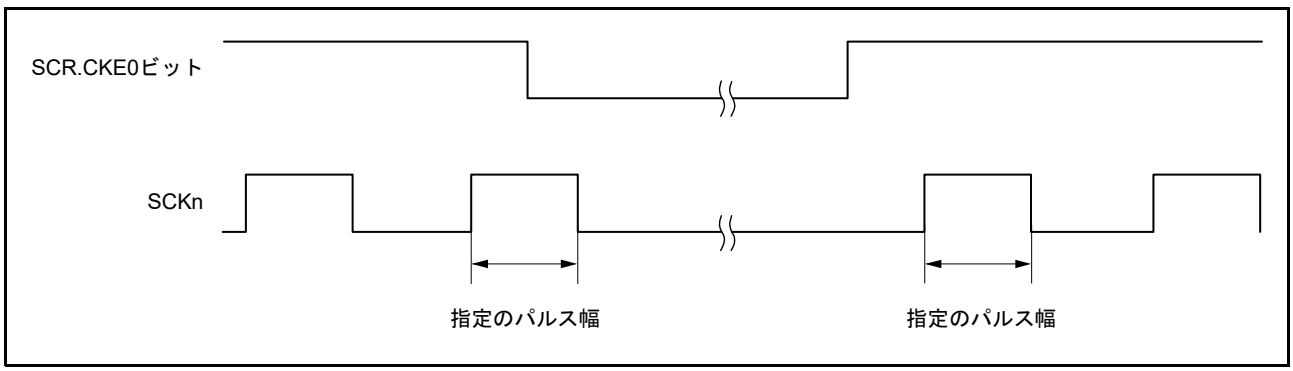


図 15.35　クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移、またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

(1)　電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび汎用入出力ポートを設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを “1” に設定して、クロック出力を開始させてください。

(2)　モード切り替え時

(a)　スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. 低消費電力モードを設定し、SCKn 端子がソフトウェアスタンバイモード時に所望の出力固定状態の値になるようにしてください。
2. SCR.TE, RE ビットに “0” をライトし、送信 / 受信動作を停止させてください。
   同時に、SCR.CKE[1] ビットをソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
3. SCR.CKE[0] ビットに “0” をライトし、クロックを停止させてください。
4. シリアルクロックの 1 クロック周期の間、待ってください。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. SCKn 端子を汎用入出力ポート機能に切り替えた後、ソフトウェアスタンバイモードの状態に遷移させてください。

(b)　ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき

6. ソフトウェアスタンバイモードの状態を解除してください。
7. SCR.CKE[0] ビットに “1” を設定し、クロックを出力させてください。正常なデューティにて信号発生を開始します

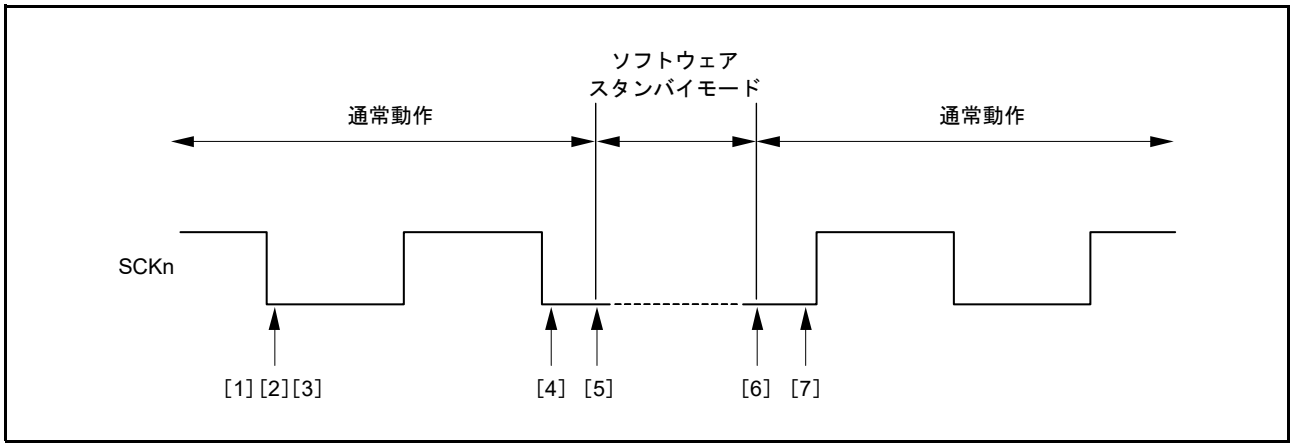


図 15.36　クロック停止・再起動手順

15.7　ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 15.37 に示します。ノイズフィルタは 2 段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて 3 回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度 3 回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDn の入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期（SEMR.ABCS=0 のとき 1 ビット期間の 1/16、SEMR.ABCS=1 のとき 1 ビット期間の 1/8）となります。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間に SCR.TE ビット =0、SCR.RE ビット =0 にした場合、ノイズフィルタのフリップフロップはすべて “1” に初期化され、受信再開時の入力データが “1” の場合は一致検出として内部信号に伝えられます。“0” の場合は 3 回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

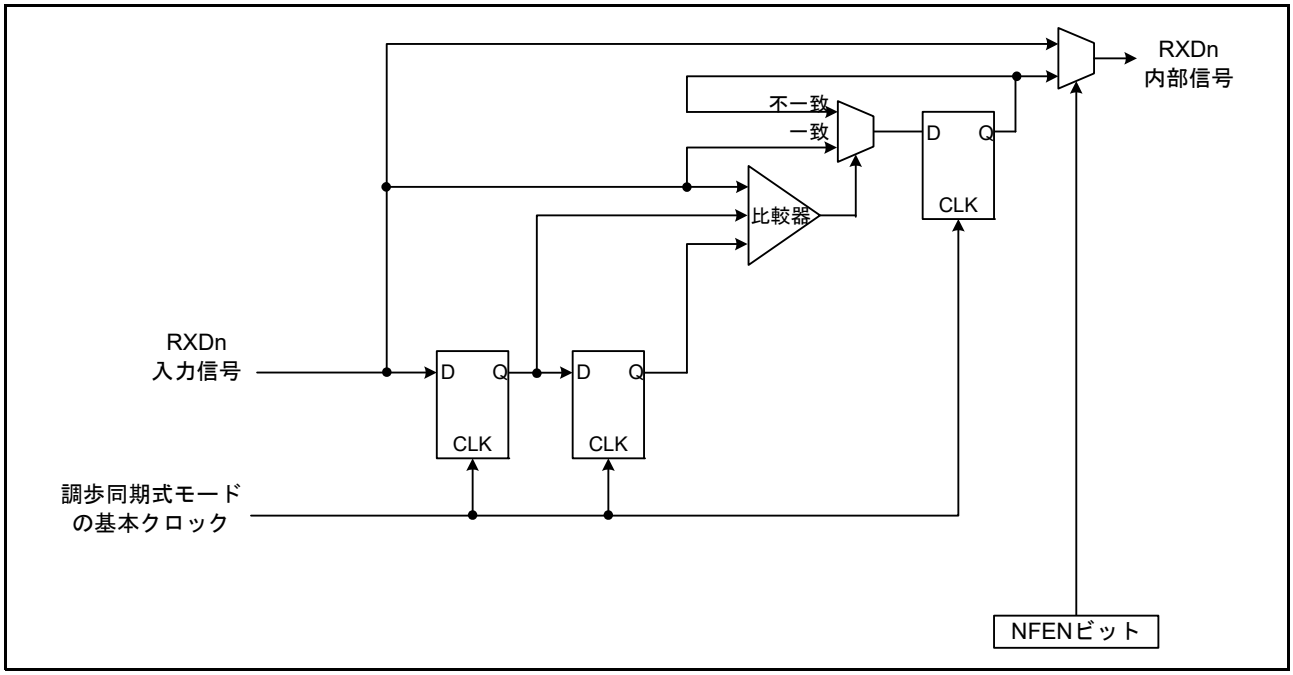


図 15.37　デジタルノイズフィルタ回路のブロック図

15.8　割り込み要因

15.8.1　シリアルコミュニケーションインタフェースモードにおける割り込み

表 15.16 にシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因は SCR レジスタのイネーブルビットにより独立にイネーブルにすることができます。

SCR.TIE ビットが “1” のとき、送信データが TDR レジスタから TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを “1” に設定した後で SCR.TE ビットを “1” にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に “1” に設定することでも発生します。TXI 割り込み要求により、ダイレクトメモリアクセスコントローラを起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが “0” の状態で SCR.TE ビットを “1” に設定した場合、および SCR.TE ビットが “1” の状態で SCR.TIE ビットを “1” に設定した場合には発生しません。(注 1)

SCR.TEIE ビットが “1” のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタに次のデータをライトしていないと SSR.TEND フラグが “1” になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを “1” に設定してから TDR レジスタに送信データをライトするまでの間は、SSR.TEND フラグは “1” を保持しており、SCR.TEIE ビットを “1” にすると TEI 割り込み要求が発生します。

TDR レジスタにデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが “1” のとき、受信データが RDR レジスタに格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、ダイレクトメモリアクセスコントローラを起動してデータ転送を行うことができます。

SCR.RIE ビットが “1” のとき、SSR.ORER, FER, PER フラグのいずれかが “1” にセットされると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR.ORER, FER, PER のすべてのビットをクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1.　最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 15.16　割り込み要因

名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動
ERI	受信エラー	ORER、FER、PER	不可能
RXI	受信データフル	—	可能
TXI	送信データエンプティ	—	可能
TEI	送信終了	TEND	不可能

15.8.2　スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、**表 15.17** の割り込み要因があります。送信終了割り込み（TEI）要求は使用できません。

表 15.17　割り込み要因

名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可能
RXI	受信データフル	—	可能
TXI	送信データエンプティ	TEND	可能

スマートカードインタフェースモードの場合も、ダイレクトメモリアクセスコントローラを使って送受信を行うことができます。送信動作では、SSR.TEND フラグが “1” にされると、TXI 割り込み要求が発生します。あらかじめダイレクトメモリアクセスコントローラの起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求によりダイレクトメモリアクセスコントローラが起動されて送信データの転送を行います。SSR.TEND フラグは、ダイレクトメモリアクセスコントローラによるデータ転送時に自動的に “0” にされます。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、SSR.TEND フラグは “0” のまま保持され、ダイレクトメモリアクセスコントローラは起動されません。したがって、エラー発生時の再送信を含め、SCI とダイレクトメモリアクセスコントローラが指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを “1” にセットしておき、エラー発生時に ERI 割り込み要求を発生させ SSR.ERS フラグをクリアしてください。

なお、ダイレクトメモリアクセスコントローラを使って送受信を行う場合は、先にダイレクトメモリアクセスコントローラを設定し、許可状態にしてから SCI の設定を行ってください。ダイレクトメモリアクセスコントローラの設定方法は「**9.　ダイレクトメモリアクセスコントローラ**」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめダイレクトメモリアクセスコントローラの起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求でダイレクトメモリアクセスコントローラが起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのためダイレクトメモリアクセスコントローラは起動されず、代わりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

15.9　使用上の注意事項

15.9.1　モジュールスタンバイ機能の設定

低消費電力モードの設定により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールスタンバイ状態を解除することによりレジスタをアクセスできます。詳細は「42.　低消費電力モード」を参照してください。

15.9.2　ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて 0 になりますので、SSR.FER フラグが “1”（フレーミングエラーの発生あり）に設定され、また SSR.PER フラグも “1”（パリティエラーの発生あり）に設定される可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって SSR.FER フラグを “0”（フレーミングエラーの発生なし）に設定しても、再び SSR.FER フラグが “1” に設定されますので注意してください。

15.9.3　マーク状態とブレークの送出

SCR.TE ビットが “0”（シリアル送信動作を禁止）のとき、汎用入出力ポートを設定することにより、TXDn 端子を入出力方向とレベルを選択できる汎用入出力ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送出することができます。SCR.TE ビットを “1”（シリアル送信動作を許可）に設定するまで、通信回線をマーク状態（1 の状態）にするためには、汎用入出力ポートにより TXDn 端子を “1” を出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送出したいときは、汎用入出力ポートにより TXDn 端子を “0” を出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを "0" に設定すると現在の送信状態とは無関係に送信部は初期化されます。

15.9.4　受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（SSR.ORER）が “1” に設定された状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを “0” に設定しておいてください。また、SCR.RE ビットを “0”（シリアル受信動作を禁止）に設定しても受信エラーフラグは “0” にクリアされませんので注意してください。

15.9.5　TDR レジスタへのライトについて

TDR レジスタへのデータのライトは、常に行うことができます。しかし、TDR レジスタに送信データが残っている状態で新しいデータを TDR レジスタにライトすると、TDR レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって TDR レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

15.9.6　クロック同期送信時の制約事項

同期クロックに外部クロックソースを使用する場合、ダイレクトメモリアクセスコントローラによる TDR レジスタの更新後、P1Φ クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR レジスタの更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります。

15.9.7　ダイレクトメモリアクセスコントローラ使用上の制約事項

ダイレクトメモリアクセスコントローラにより、RDR レジスタのリードを行うときは起動要因を当該チャネルの受信完了割り込み（RXI）に設定してください。

15.9.8　通信の開始に関する注意事項

通信開始時点で割り込みコントローラに割り込み要求が発生しているときは、動作許可（SCR.TE ビットを “1” に設定、または SCR.RE ビットを “1” に設定）前に以下の手順で割り込み要求をクリアしてください。

- 通信が停止していること（SCR.TE ビットまたは SCR.RE ビットが “0” となっていること）を確認
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を “0” に設定
- 対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を読み出し、“0” を確認
- 割り込みコントローラの割り込み要因をクリア

15.9.9　低消費電力状態時の動作について

(1)　送信

モジュールスタンバイ状態への設定、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止（SCR.TIE ビット =0、TE ビット =0、TEIE ビット =0）してから行ってください。SCR.TE ビットを 0 にクリアすることによって、TSR レジスタおよび SSR.TEND フラグはリセットされます。ソフトウェアスタンバイモード時の出力端子の状態は、低消費電力モードの設定に依存します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、SCR.TE ビット =1 に設定し、SSR レジスタリード→ TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

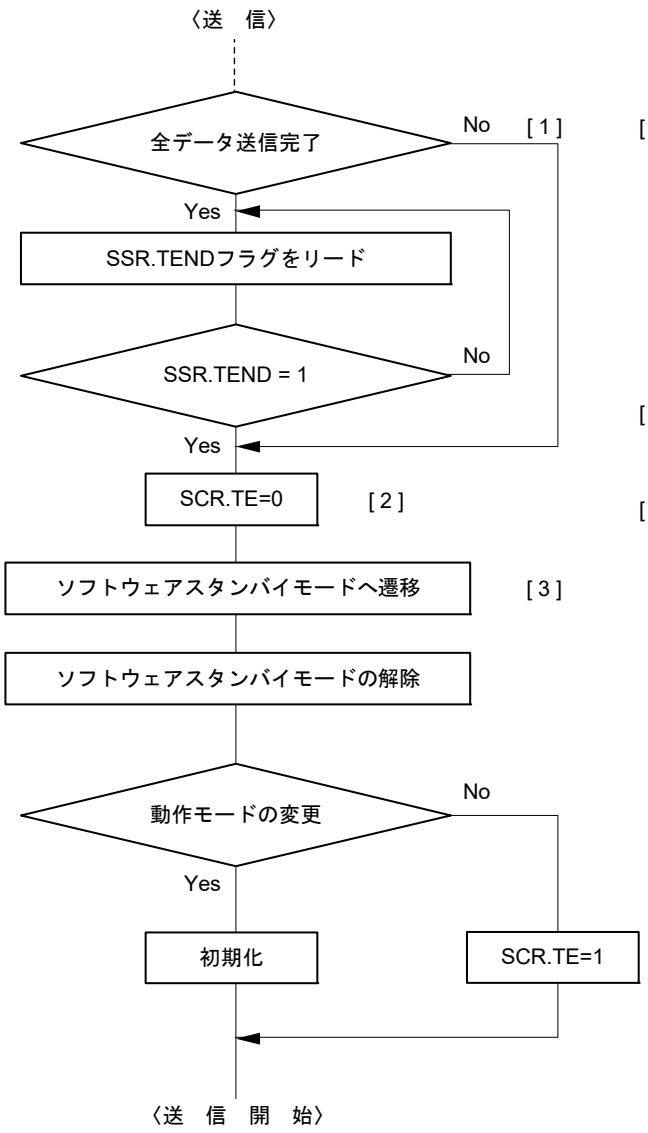
図 15.38 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

(2)　受信

モジュールスタンバイ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止（SCR.RE ビット =0）してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、SCR.RE ビット =1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 15.39 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。



[1]　送信中のデータは途切れます。なお、ソフトウェアスタンバイモード解除後、SCR.TEビット=1にしてSSRレジスタをリード、TDRレジスタへのライトで通常CPU送信できますが、ダイレクトメモリアクセスコントローラを起動させていた場合に、SCR.TEビット=1、SCR.TIEビット=1にするとダイレクトメモリアクセスコントローラ上にある残りのデータが送信されますので注意してください。

[2]　SCR.TIEビット=1、SCR.TEIEビット=1に設定している場合は、“0”に設定してください。

[3]　モジュールスタンバイ状態への設定も含みます。

図 15.38　送信時のソフトウェアスタンバイモード遷移フローチャートの例

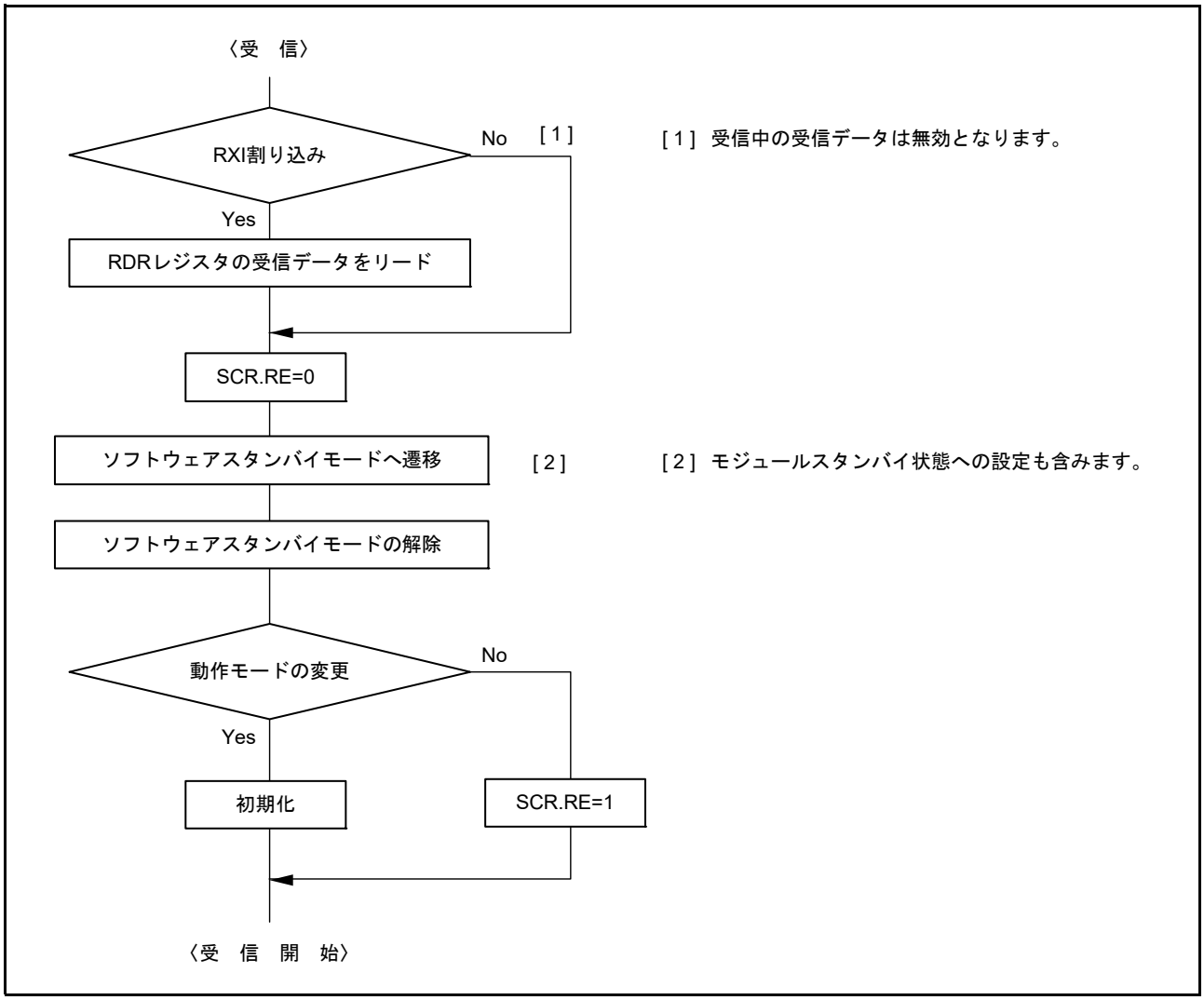


図 15.39　受信時のソフトウェアスタンバイモード遷移フローチャートの例

15.9.10　クロック同期式モード外部クロック入力

クロック同期式モード時、外部クロック SCKn 入力は、High パルス期間および Low パルス期間を P1Φ2 サイクル以上、周期を P1Φ6 サイクル以上としてください。

15.10 IrDA 通信

シリアルコミュニケーションインタフェース (SCI) チャネル 0 は、IrDA（Infrared Data Association）モジュールと連携して IrDA 規格 1.0 に基づく IrDA 通信波形の送受信を実現します。

IRCR レジスタの IRE ビットで IrDA 機能をイネーブル（有効）にすると、シリアルコミュニケーションインタフェースチャネル 0 の SCI_TXD0、SCI_RXD0 信号は IrDA 規格 1.0 に準拠した波形のエンコード / デコードを行います。これを赤外線送受信トランシーバ / レシーバと接続することで、IrDA 規格 1.0 に準拠した赤外線送受信を実現することができます。

IrDA 規格 1.0 では、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。IrDA モジュールは、自動的に転送レートを変更する機能は有していません。そのため転送レートを変更する場合は、シリアルコミュニケーションインタフェースの転送レートを変更してください。

図 15.40 にブロック図を、**表 15.18** に IrDA の端子構成を示します。

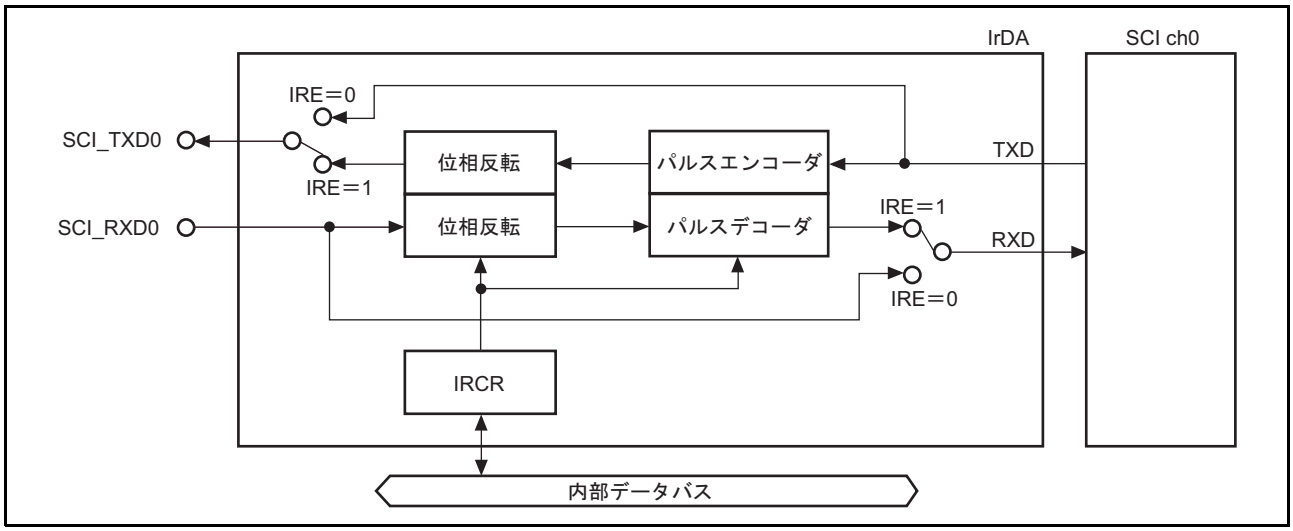


図 15.40　ブロック図

表 15.18　端子構成

名称	端子名	入出力	機　　能
IrDA送信データ端子	SCI_TXD0	出力	IrDA送信データ出力
IrDA受信データ端子	SCI_RXD0	入力	IrDA受信データ入力

15.11 IrDA レジスタの説明

表 15.19 にレジスタ構成を示します。

表 15.19　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
IrDA コントロールレジスタ	IRCR	R/W	H'00	H'E8014000	8

15.11.1　IrDA コントロールレジスタ（IRCR）

IRCR は、IrDA モジュールの動作設定を行うレジスタです。

ビット：	7	6	5	4	3	2	1	0
	IRE	IRCKS[2:0]			IRTX INV	IRRX INV	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説　明
7	IRE	0	R/W	IrDA イネーブルビット SCI_TXD0 端子および SCI_RXD0 端子を、通常のシリアル機能にするか IrDA 機能にするか設定します。 0：IrDA 機能無効 （シリアルコミュニケーションインタフェースチャネル 0 からの TXD を SCI_TXD0 へそのまま出力します。 SCI_RXD0 をシリアルコミュニケーションインタフェースチャネル 0 の RXD へそのまま出力します。） 1：IrDA 機能有効 （シリアルコミュニケーションインタフェースチャネル 0 からの TXD をエンコードし、SCI_TXD0 へ出力します。 SCI_RXD0 をデコードし、シリアルコミュニケーションインタフェースチャネル 0 の RXD へ出力します。）
6 ～ 4	IRCKS[2:0]	000	R/W	IrDA クロックセレクトビット IRE ビット=1 の時、SCI_TXD0 出力パルスをエンコードする際のパルス幅を設定します。 000：B×3/16（B= ビットレート） 001：P1φ/2 010：P1φ/4 011：P1φ/8 100：P1φ/16 101：P1φ/32 110：P1φ/64 111：P1φ/128
3	IRTXINV	0	R/W	SCI_TXD0 データ極性切り替えビット SCI_TXD0 出力のロジックレベルの反転を設定します。 0：送信データをそのまま SCI_TXD0 へ出力します。 IRCKS ビットで指定したパルス幅は High レベルとなります。 1：送信データを反転して SCI_TXD0 へ出力します。 IRCKS ビットで指定したパルス幅は Low レベルとなります。
2	IRRXINV	0	R/W	SCI_RXD0 データ極性切り替えビット SCI_RXD0 入力のロジックレベルの反転を設定します。 0：SCI_RXD0 入力をそのまま受信データとして使用します。 1：SCI_RXD0 入力を反転して受信データとして使用します。
1、0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

15.12 IrDA 動作説明

15.12.1 IrDA 設定フロー

IrDA の動作設定を行う際は、以下の手順にしたがってください。

1. 汎用入出力ポートを設定します。
2. IRCR レジスタを設定します。
3. シリアルコミュニケーションインタフェース関連のレジスタを設定します。

15.12.2 送信

IrDA 機能を有効にした送信時、シリアルコミュニケーションインタフェースの TXD からのシリアルデータ（UART フレームのデータ）は IR フレームに変換されます（**図 15.41** 参照）。IRTXINV=0 の時、シリアルデータが 0 の時、ビットレート（1 ビット幅の期間）の 3/16 の High パルスが SCI_TXD0 端子に出力されます（初期値）。なお High パルス幅は、IRCR レジスタの IRCKS[2:0] ビットで変更できます。IrDA 規格では、High パルス幅は最小 1.41µs、最大 (3/16 ＋ 2.5%) × ビットレート、または (3/16× ビットレート) ＋ 1.08µs と定められています。P1φ が 66.67MHz の時、1.41µs 以上で最大の High パルス幅として 1.92µs が設定可能です。またシリアルデータが 1 の時は、パルスは出力されません。

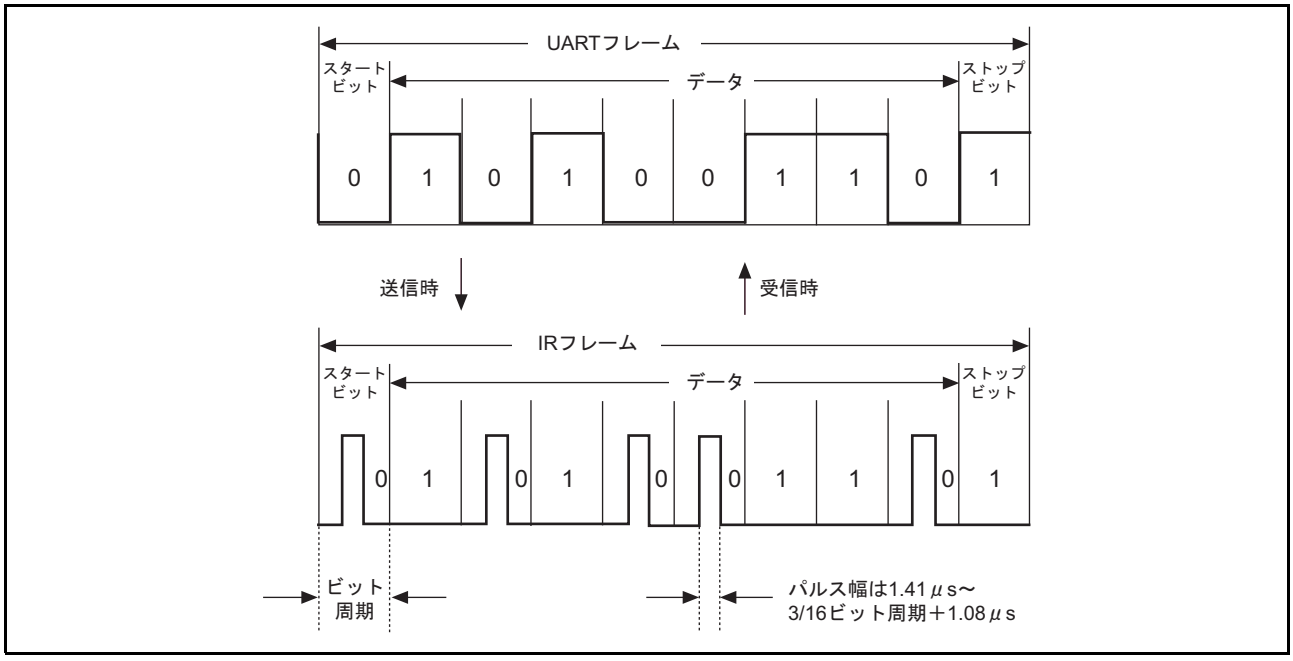


図 15.41　IrDA の送受信の動作例

15.12.3 受信

IRDA 機能を有効にした受信時、SCI_RXD0 端子からの IR フレームのデータは、シリアルデータに変換され、シリアルコミュニケーションインタフェースの RXD に出力されます。IRRXINV=0 の時、High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の 1.41µs より短いパルスは認識されませんので注意してください。

15.12.4 High パルス幅の選択

送信時にビットレート ×3/16 よりパルス幅を短くする場合に、適用可能な IRCKS[2:0] ビットの設定（最小パルス幅）、P1φ の動作周波数、およびビットレートの対応を表 15.20 に示します。

表 15.20　IRCKS[2:0] ビットの設定

P1φ（MHz）	ビットレート（bps）（上段）/ ビット周期 ×3/16（μs）（下段）					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
50	111	111	111	111	111	—（注 1）
64	111	111	111	111	111	—（注 2）
66.67	111	111	111	111	111	—（注 2）

注 1.　シリアルコミュニケーションインタフェース側のビットレートが設定できません。
注 2.　ビットレート ×3/16 より短いパルス幅を設定できません。

15.13 IrDA 使用上の注意事項

15.13.1 受信時の最小パルス幅について

最小パルス幅 1.41µs より短いパルスは、認識されません。

15.13.2 シリアルコミュニケーションインタフェースの調歩同期基本クロックについて

IrDA モジュールは、シリアルコミュニケーションインタフェースから通信ビットレートの 16 倍の周波数の基本クロックを受け取り、連携して動作しています。シリアルコミュニケーションインタフェースは 1 ビット期間が 16 クロックサイクルまたは 8 クロックサイクルのどちらかに設定できますが、IrDA モジュールはシリアルコミュニケーションインタフェースの 1 ビット期間が 16 クロックサイクルの設定にのみ対応しています。

16.　ルネサスシリアルペリフェラルインタフェース

本 LSI は、独立した 3 チャネルのルネサスシリアルペリフェラルインタフェースを備えています。
本モジュールは、全二重同期式のシリアル通信ができます。

16.1　特長

本 LSI の本モジュールには次のような特長があります。

- SPI 転送機能
  MOSI（Master Out Slave In）、MISO（Master In Slave Out）、SSL（Slave Select）、RSPCK（SPI Clock）信号を使用して、SPI 動作（4 線式）でシリアル通信が可能。
  マスタ／スレーブモードでのシリアル通信が可能。
  モードフォルトエラー検出が可能（SPI スレーブモード設定時のみ）。
  オーバランエラー検出が可能（SPI スレーブモード設定時のみ）。
  シリアル転送クロックの極性を変更可能。
  シリアル転送クロックの位相を変更可能。
- データフォーマット
  MSB ファースト／ LSB ファーストの切り替え可能。
  転送ビット長を 8、16、32 ビットに変更可能。
- ビットレート
  マスタ時の RSPCK は、最大 4096 分周
  内蔵ボーレートジェネレータで P1φ を分周して RSPCK を生成。
  外部入力クロックをシリアルクロックとして使用。
- バッファ構成
  送信用バッファ 8Byte、受信用バッファ 32Byte。
- SSL 制御機能
  1 チャネルあたり 1 本の SSL 信号あり。
  マスタ設定時には、SSL 信号を出力。
  スレーブ設定時には、SSL 信号を入力。
  SSL 出力のアサートから RSPCK 動作までの遅延（RSPCK 遅延）を設定可能。
  設定範囲：1 ～ 8 RSPCK　設定単位：1 RSPCK
  RSPCK 停止から SSL 出力のネゲートまでの遅延（SSL ネゲート遅延）を設定可能。
  設定範囲：1 ～ 8 RSPCK　設定単位：1 RSPCK
  次アクセスの SSL 出力アサートのウェイト（次アクセス遅延）を設定可能。
  設定範囲：1 ～ 8 RSPCK　設定単位：1 RSPCK
  SSL 極性変更機能。
- マスタ転送時の制御方式
  最大 4 コマンドで構成された転送をシーケンシャルにループ実行可能。
  各コマンドに設定可能な項目は以下のとおり。
  SSL 信号値、ビットレート、RSPCK 極性／位相、転送データ長、LSB/MSB ファースト、バースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延。
  送信バッファへのライトで転送を起動可能。
  SPTEF ビットクリアで転送を起動可能。
  SSL ネゲート時の MOSI 信号値を設定可能。

- 割り込み要因
  マスカブルな割り込み要因あり。
  受信割り込み（受信バッファフル）。
  送信割り込み（送信バッファエンプティ）。
  エラー割り込み（モードフォルト、オーバラン）。
- その他
  ループバックモードあり。
  ディスエーブル（初期化）機能あり。

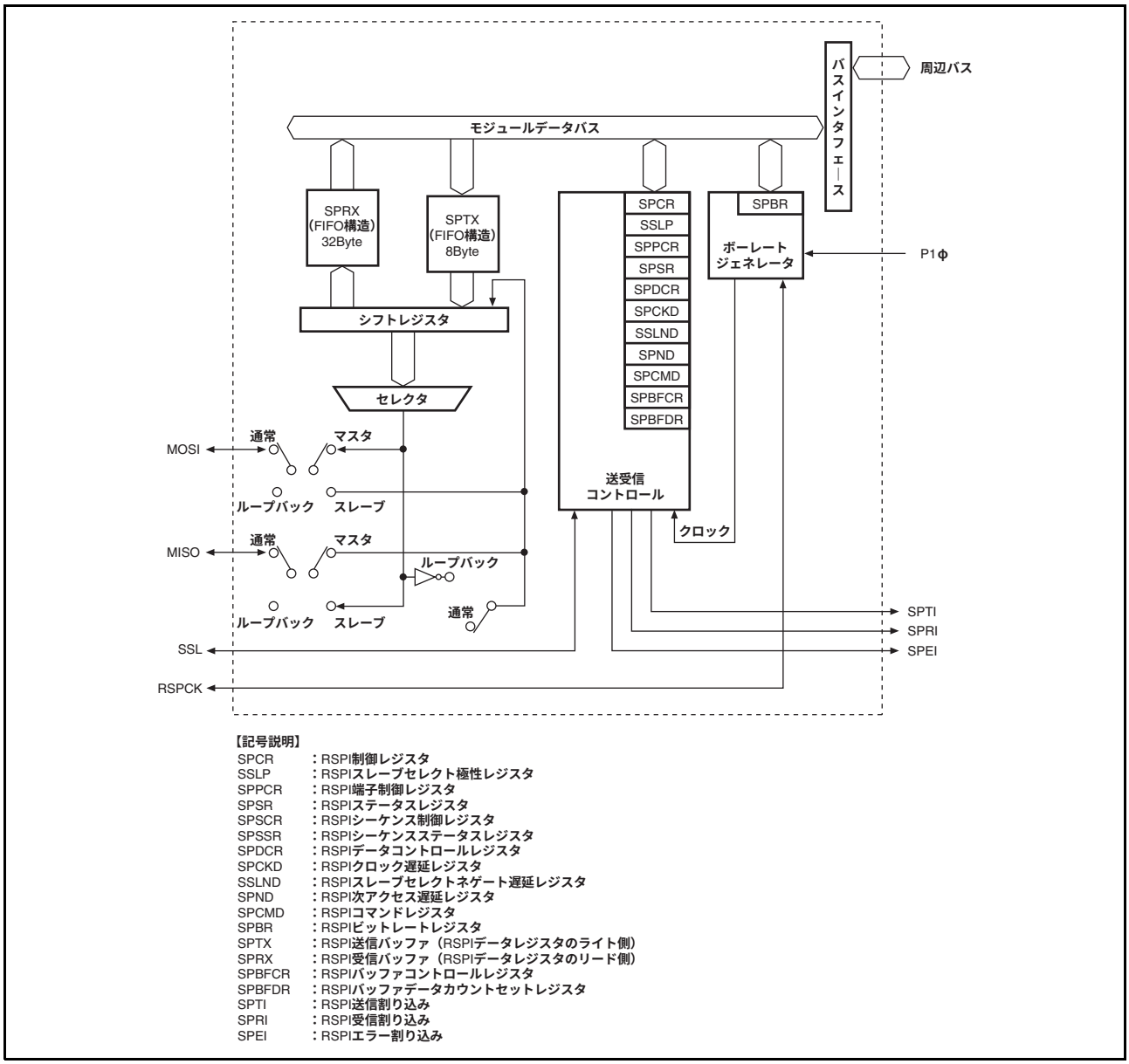


図 16.1　ブロック図（1 チャネル分）

16.2　入出力端子

表 16.1 に端子構成を示します。SSL 端子の入出力方向は、マスタ設定の場合には出力、スレーブ設定の場合には入力に、本モジュールが自動的に切り替えます。RSPCK、MOSI、MISO の入出力方向は、マスタ／スレーブ設定と SSL 入力レベルに応じて、本モジュールが自動的に切り替えます（**「16.4.2　端子の制御」**を参照）。

表 16.1　　端子構成

チャネル	名称	端子名	入出力	機　　能
0	クロック端子	RSPCK0	入出力	クロック入出力
	マスタ送出データ端子	MOSI0	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO0	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL00	入出力	スレーブセレクト
1	クロック端子	RSPCK1	入出力	クロック入出力
	マスタ送出データ端子	MOSI1	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO1	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL10	入出力	スレーブセレクト
2	クロック端子	RSPCK2	入出力	クロック入出力
	マスタ送出データ端子	MOSI2	入出力	マスタ送出データ
	スレーブ送出データ端子	MISO2	入出力	スレーブ送出データ
	スレーブセレクト 0 端子	SSL20	入出力	スレーブセレクト

注.　本文中ではチャネルを省略し、RSPCK、MOSI、MISO、SSL と略称します。

16.3　レジスタの説明

表 16.2 にレジスタ構成を示します。これらのレジスタにより、マスタ／スレーブモードの指定、転送フォーマットの指定、および送信部／受信部の制御を行うことができます。

表 16.2　レジスタ構成

チャネル	名称	略称（注 1）	R/W	初期値	アドレス	アクセスサイズ
0	制御レジスタ _0	SPCR_0	R/W	H'00	H'E800C800	8
	スレーブセレクト極性レジスタ _0	SSLP_0	R/W	H'00	H'E800C801	8
	端子制御レジスタ _0	SPPCR_0	R/W	H'00	H'E800C802	8
	ステータスレジスタ _0	SPSR_0	R/(W)（注 2）	H'60	H'E800C803	8
	データレジスタ _0	SPDR_0	R/W	不定	H'E800C804	8、16、32
	シーケンス制御レジスタ _0	SPSCR_0	R/W	H'00	H'E800C808	8
	シーケンスステータスレジスタ _0	SPSSR_0	R	H'00	H'E800C809	8
	ビットレートレジスタ _0	SPBR_0	R/W	H'FF	H'E800C80A	8
	データコントロールレジスタ _0	SPDCR_0	R/W	H'20	H'E800C80B	8
	クロック遅延レジスタ _0	SPCKD_0	R/W	H'00	H'E800C80C	8
	スレーブセレクトネゲート遅延レジスタ _0	SSLND_0	R/W	H'00	H'E800C80D	8
	次アクセス遅延レジスタ _0	SPND_0	R/W	H'00	H'E800C80E	8
	コマンドレジスタ 0_0	SPCMD0_0	R/W	H'070D	H'E800C810	16
	コマンドレジスタ 1_0	SPCMD1_0	R/W	H'070D	H'E800C812	16
	コマンドレジスタ 2_0	SPCMD2_0	R/W	H'070D	H'E800C814	16
	コマンドレジスタ 3_0	SPCMD3_0	R/W	H'070D	H'E800C816	16
	バッファコントロールレジスタ _0	SPBFCR_0	R/W	H'00	H'E800C820	8
	バッファデータカウントセットレジスタ _0	SPBFDR_0	R	H'0000	H'E800C822	16
1	制御レジスタ _1	SPCR_1	R/W	H'00	H'E800D000	8
	スレーブセレクト極性レジスタ _1	SSLP_1	R/W	H'00	H'E800D001	8
	端子制御レジスタ _1	SPPCR_1	R/W	H'00	H'E800D002	8
	ステータスレジスタ _1	SPSR_1	R/(W)（注 2）	H'60	H'E800D003	8
	データレジスタ _1	SPDR_1	R/W	不定	H'E800D004	8、16、32
	シーケンス制御レジスタ _1	SPSCR_1	R/W	H'00	H'E800D008	8
	シーケンスステータスレジスタ _1	SPSSR_1	R	H'00	H'E800D009	8
	ビットレートレジスタ _1	SPBR_1	R/W	H'FF	H'E800D00A	8
	データコントロールレジスタ _1	SPDCR_1	R/W	H'20	H'E800D00B	8
	クロック遅延レジスタ _1	SPCKD_1	R/W	H'00	H'E800D00C	8
	スレーブセレクトネゲート遅延レジスタ _1	SSLND_1	R/W	H'00	H'E800D00D	8
	次アクセス遅延レジスタ _1	SPND_1	R/W	H'00	H'E800D00E	8
	コマンドレジスタ 0_1	SPCMD0_1	R/W	H'070D	H'E800D010	16
	コマンドレジスタ 1_1	SPCMD1_1	R/W	H'070D	H'E800D012	16
	コマンドレジスタ 2_1	SPCMD2_1	R/W	H'070D	H'E800D014	16
	コマンドレジスタ 3_1	SPCMD3_1	R/W	H'070D	H'E800D016	16
	バッファコントロールレジスタ _1	SPBFCR_1	R/W	H'00	H'E800D020	8
	バッファデータカウントセットレジスタ _1	SPBFDR_1	R	H'0000	H'E800D022	16

チャネル	名称	略称（注1）	R/W	初期値	アドレス	アクセスサイズ
2	制御レジスタ _2	SPCR_2	R/W	H'00	H'E800D800	8
	スレーブセレクト極性レジスタ _2	SSLP_2	R/W	H'00	H'E800D801	8
	端子制御レジスタ _2	SPPCR_2	R/W	H'00	H'E800D802	8
	ステータスレジスタ _2	SPSR_2	R/(W)（注2）	H'60	H'E800D803	8
	データレジスタ _2	SPDR_2	R/W	不定	H'E800D804	8、16、32
	シーケンス制御レジスタ _2	SPSCR_2	R/W	H'00	H'E800D808	8
	シーケンスステータスレジスタ _2	SPSSR_2	R	H'00	H'E800D809	8
	ビットレートレジスタ _2	SPBR_2	R/W	H'FF	H'E800D80A	8
	データコントロールレジスタ _2	SPDCR_2	R/W	H'20	H'E800D80B	8
	クロック遅延レジスタ _2	SPCKD_2	R/W	H'00	H'E800D80C	8
	スレーブセレクトネゲート遅延レジスタ _2	SSLND_2	R/W	H'00	H'E800D80D	8
	次アクセス遅延レジスタ _2	SPND_2	R/W	H'00	H'E800D80E	8
	コマンドレジスタ 0_2	SPCMD0_2	R/W	H'070D	H'E800D810	16
	コマンドレジスタ 1_2	SPCMD1_2	R/W	H'070D	H'E800D812	16
	コマンドレジスタ 2_2	SPCMD2_2	R/W	H'070D	H'E800D814	16
	コマンドレジスタ 3_2	SPCMD3_2	R/W	H'070D	H'E800D816	16
	バッファコントロールレジスタ _2	SPBFCR_2	R/W	H'00	H'E800D820	8
	バッファデータカウントセットレジスタ _2	SPBFDR_2	R	H'0000	H'E800D822	16

注1.　本文中ではチャネルを省略してレジスタ名を表記しています。
注2.　フラグをクリアするために0のみ書き込むことができます。

16.3.1　制御レジスタ（SPCR）

SPCR は、動作モードを設定するためのレジスタです。SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、MSTR ビット、MODFEN ビットの設定値を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MOD FEN	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説　　明
7	SPRIE	0	R/W	受信割り込みイネーブル 受信バッファ（SPRX）の受信データ数が指定受信トリガ数以上になり、ステータスレジスタ（SPSR）のSPRF フラグが1にセットされたとき、受信割り込み（SPRI）要求の発生の許可／禁止を設定します。 0：受信割り込み要求の発生を禁止する 1：受信割り込み要求の発生を許可する
6	SPE	0	R/W	機能イネーブル 本ビットを1にすることにより、本モジュールの機能が有効になります。ステータスレジスタ（SPSR）のMODF ビットが1の場合には、SPE ビットを1に設定することはできません（「16.4.6　エラー検出」を参照）。SPE ビットを0にすると、本モジュールの機能は無効化されて、モジュール機能の一部が初期化されます（「16.4.7　初期化」を参照）。 0：本モジュールの機能を無効化する 1：本モジュールの機能を有効化する
5	SPTIE	0	R/W	送信割り込みイネーブル 送信バッファ（SPTX）の送信データ数が指定送信トリガ数以下になり、ステータスレジスタ（SPSR）のSPTEF フラグが1にセットされたとき、送信割り込み（SPTI）要求の発生の許可／禁止を設定します。 0：送信割り込み要求の発生を禁止する 1：送信割り込み要求の発生を許可する
4	SPEIE	0	R/W	エラー割り込みイネーブル 本モジュールがモードフォルトエラーを検出してステータスレジスタ（SPSR）のMODF ビットを1にした場合、または本モジュールがオーバランエラーを検出してSPSR のOVRF ビットを1にした場合のエラー割り込み要求の発生を許可／禁止するためのビットです（「16.4.6　エラー検出」を参照）。 0：エラー割り込み要求の発生を禁止する 1：エラー割り込み要求の発生を許可する 注.　SPI スレーブモード設定時のみ有効となります。
3	MSTR	0	R/W	マスタ／スレーブモード選択 マスタ／スレーブモードを選択するためのビットです。また、本モジュールはMSTR ビットの設定に従って、RSPCK、MOSI、MISO、SSL 端子の方向を決定します。 0：スレーブモード 1：マスタモード
2	MODFEN	0	R/W	モードフォルトエラー検出イネーブル モードフォルトエラーの検出を許可／禁止するためのビットです（「16.4.6　エラー検出」を参照）。 0：モードフォルトエラー検出を禁止する 1：モードフォルトエラー検出を許可する 注.　SPI スレーブモード設定時のみ有効となります。 また、MSTR ビットをマスタモード設定する場合はかならず、MODFEN ビットを0に設定してください。
1、0	ー	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。

16.3.2　スレーブセレクト極性レジスタ（SSLP）

SSLP は、SSL 信号の極性を設定するためのレジスタです。制御レジスタ（SPCR）の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SSL0P ビットを書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	SSL0P
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　明
7～1	－	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
0	SSL0P	0	R/W	SSL信号極性設定 SSL信号の極性を設定するためのビットです。SSL0Pの設定値が、SSL信号のアクティブ極性を示します。 0：SSL信号は0アクティブ 1：SSL信号は1アクティブ

16.3.3　端子制御レジスタ（SPPCR）

SPPCR は、端子モードを設定するために使用されるレジスタです。SPCR の SPE ビットが 1 で本モジュールの機能がイネーブルである状態において、SPPCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	-	-	MOIFE	MOIFV	-	-	-	SPLP
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	－	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
5	MOIFE	0	R/W	MOSI アイドル値固定イネーブル マスタモードの本モジュールが、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）に MOSI 出力値を固定するために使用するビットです。MOIFE が 0 の場合には、本モジュールは SSL ネゲート期間中に前回のシリアル転送の最終出力値を MOSI に出力します（CPHA＝0 の場合は不定）。MOIFE が 1 の場合には、本モジュールは MOIFV ビットに設定された固定値を MOSI に出力します。 0：MOSI 出力値は前回転送の最終出力値（CPHA＝0 の場合は不定） 1：MOSI 出力値は MOIFV ビットの設定値
4	MOIFV	0	R/W	MOSI アイドル固定値 マスタモードで MOIFE ビットが 1 の場合には、本モジュールは MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を決定します。 0：MOSI アイドル固定値は 0 1：MOSI アイドル固定値は 1
3 ～ 1	－	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
0	SPLP	0	R/W	ループバック SPLP ビットを 1 にすると、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。 0：通常モード 1：ループバックモード

16.3.4　ステータスレジスタ（SPSR）

SPSR は、動作状態を示すフラグを格納したレジスタです。

ビット：	7	6	5	4	3	2	1	0
	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
初期値：	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/(W)*	R	R/(W)*

【注】* フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
7	SPRF	0	R	受信バッファフルフラグ 受信バッファ（SPRX）の受信データ数がバッファコントロールレジスタ（SPBFCR）の受信バッファデータ数トリガ（RXTRG）で指定した値以上になったことを示すビットです。 0：受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満である 1：受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上である SPRF ビットを0にクリアするための条件は以下のとおりです。 • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値未満まで受信バッファを読み出したとき • 受信バッファデータリセットを有効にしたとき • パワーオンリセット SPRF ビットを1にセットするための条件は以下のとおりです。 • 受信バッファの受信データ数が受信バッファデータ数トリガで指定した値以上のとき
6	TEND	1	R	送信終了 送信終了したことを示すビットです。TEND ビットが1の場合、送信終了したことを示し、TEND ビットが0の場合、送信未終了であることを示します。 TEND ビットを0にクリアする条件は以下のとおりです。 • 送信レジスタからシフトレジスタへ送信データが転送されたとき TEND ビットを1にセットする条件は以下のとおりです。 • シリアル転送終了時に送信バッファ（SPTX）のデータ格納数が空であるとき 注.　SPI マスタモード設定のみ有効となります。
5	SPTEF	1	R	送信バッファエンプティフラグ 送信バッファ（SPTX）の送信データ数がバッファコントロールレジスタ（SPBFCR）の送信バッファデータ数トリガ（TXTRG）で指定した値以下になったことを示すビットです。 0：送信バッファの送信データ数が送信バッファデータ数トリガで指定した値以上である 1：送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満である SPTEF ビットを0にクリアする条件は以下のとおりです。 • 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値より多くなるまで送信バッファに書き込んだとき SPTEF ビットに1をセットする条件は以下のとおりです。 • 送信バッファの送信データ数が送信バッファデータ数トリガで指定した値未満になったとき • 送信バッファデータリセットを有効にしたとき • パワーオンリセット
4、3	―	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
2	MODF	0	R/(W)*	モードフォルトエラーフラグ モードフォルトエラーの発生状況を示すビットです。本モジュールがスレーブモードの場合にMODFEN ビットに1を設定すると、データ転送に必要なRSPCK サイクルが終了する前にSSL 端子がネゲートされると、本モジュールがモードフォルトエラーを検出します。なお、SSL 信号のアクティブレベルは、スレーブセレクト極性レジスタ（SSLP）のSSL0P ビットによって決定されます。MODF ビットのクリア条件は以下のとおりです。 • MODF が1にされた状態のSPSR を読み出した後、MODF に0を書き込む • パワーオンリセット 0：モードフォルトエラーなし 1：モードフォルトエラー発生 注.　SPI スレーブモード設定時のみ有効となります。
1	―	0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。

ビット	ビット名	初期値	R/W	説　　明
0	OVRF	0	R/(W)*	オーバランエラーフラグ オーバランエラーの発生状況を示すビットです。受信バッファ（SPRX）に受信データ長の空きがない状態でシリアル転送が完了した場合に、本モジュールはオーバランエラーを検出し、OVRF ビットを 1 にします。OVRF ビットのクリア条件は、以下のとおりです。 • OVRF が 1 にされた状態の SPSR を読み出した後、OVRF に 0 を書き込む • パワーオンリセット 0：オーバランエラーなし 1：オーバランエラー発生 注.　SPI スレーブモード設定時のみ有効となります。

注　*　フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

16.3.5　データレジスタ（SPDR）

SPDR は、送受信用のデータを格納するバッファです。

送信用バッファ（SPTX）と受信用バッファ（SPRX）は独立したバッファで、これらのバッファが SPDR にマッピングされています。

SPDR へのリード／ライトは、データコントロールレジスタ（SPDCR）のアクセス幅設定ビット（SPLW）の設定によって、バイト／ワード／ロングワードで行ってください。

SPDR の使用するビット長はコマンドレジスタ（SPCMD）のデータ長設定ビット（SPB3 ～ 0）によって決定されます。SPDCR のアクセス幅設定と SPCMD のデータ長設定は一致させる必要があります。

SPDR への書き込みは、送信バッファに SPDR アクセス幅長の空きがあると、SPDR から送信バッファへデータを書き込みます。送信バッファに SPDR アクセス幅長の空きがないと、書き込みを行いません。書き込みを試みてもデータは無視されます。

SPDR からデータを読み出すと、受信バッファにある受信データを読み出すことができます。受信バッファに受信データがない状態で読み出すと不定値となります。

また、SPDR にロングワード／ワード／バイトのアクセス幅で書き込みを行う場合、アクセス幅に関わらず必ず 0 番地に送信データを書き込んでください。0 番地以外に書き込んだ場合のデータは保証しません。

SPDR からロングワード／ワード／バイトのアクセス幅で読み込みを行う場合、アクセス幅に関わらず必ず 0 番地から受信データを読み込んでください。0 番地以外から読み込んだ場合のデータは不定値となります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24	SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

16.3.6　シーケンス制御レジスタ（SPSCR）

SPSCR は、本モジュールがマスタ動作する場合のシーケンス制御方式を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュール機能がイネーブルである状態において、SPSCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPSLN1	SPSLN0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7～2	－	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
1 0	SPSLN1 SPSLN0	0 0	R/W R/W	シーケンス長設定 マスタモードの本モジュールがシーケンス動作する場合のシーケンス長を設定するためのビットです。マスタモードの本モジュールはSPSLN1、SPSLN0に設定されたシーケンス長に応じて、参照するコマンドレジスタ0～3（SPCMD0～3）と参照順を変更します。SPSLN1、SPSLN0の設定値とシーケンス長、本モジュールが参照するSPCMD0～3の関係は以下のとおりです。なお、スレーブモードの本モジュールでは、常にSPCMD0が参照されます。 シーケンス長　参照するSPCMD レジスタ（番号） 00：1　0→0→… 01：2　0→1→0→… 10：3　0→1→2→0→… 11：4　0→1→2→3→0→…

16.3.7　シーケンスステータスレジスタ（SPSSR）

SPSSR は、本モジュールがマスタ動作する場合のシーケンス制御の状態を示すレジスタです。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SPCP1	SPCP0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7～2	－	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
1 0	SPCP1 SPCP0	0 0	R R	コマンドポインタ シーケンス制御で、現在ポインタで指されているコマンドレジスタ0～3（SPCMD0～3）を示すビットです。SPCP1、SPCP0の値とSPCMD0～SPCMD3の対応は以下のとおりです。なお、シーケンス制御については、「16.4.8（1）（c）シーケンス制御」を参照してください。 00：SPCMD0 01：SPCMD1 10：SPCMD2 11：SPCMD3

16.3.8　ビットレートレジスタ（SPBR）

SPBR は、マスタモード時のビットレート設定に使用するレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールの機能がイネーブルである状態において、SPBR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本モジュールをスレーブモードで使用する場合には、SPBR、BRDV の設定に関係なく、入力クロックのビットレートに依存します。

ビットレートは SPBR の設定値とコマンドレジスタ（SPCMD0 ～ 3）の BRDV1 ～ 0 ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR の設定値（0、1、2、……、255）、N は BRDV1 ～ 0 ビットの設定値（0、1、2、3）です。

$$\text{ビットレート} = \frac{f\ (P1\phi)}{2\times\ (n+1)\ \times 2^{N}}$$

SPBR レジスタ、BRDV1 ～ 0 ビットの設定値とビットレートの関係の例を**表 16.3** に示します。

表 16.3　SPBR レジスタ、BRDV1 ～ 0 ビットの設定値とビットレート

SPBR の設定値（n）	BRDV1 ～ 0 の設定値（N）	分周比	ビットレート		
			P1φ＝50MHz	P1φ＝64MHz	P1φ＝66.67MHz
0	0	2（注 1）	25.00Mbps	32.00Mbps	33.33Mbps
1	0	4	12.50Mbps	16.00Mbps	16.67Mbps
2	0	6	8.33Mbps	10.67Mbps	11.11Mbps
3	0	8	6.25Mbps	8.00Mbps	8.33Mbps
4	0	10	5.00Mbps	6.40Mbps	6.67Mbps
5	0	12	4.17Mbps	5.33Mbps	5.56Mbps
5	1	24	2.08Mbps	2.67Mbps	2.78Mbps
5	2	48	1.04Mbps	1.33Mbps	1.39Mbps
5	3	96	520.83kbps	666.67kbps	694.44kbps
255	3	4096	12.21kbps	15.63kbps	16.28kbps

注 1.　実際にシステムで使用するビットレートはタイミング仕様を検討頂いた上で決定してください。

16.3.9　データコントロールレジスタ（SPDCR）

SPDCR は、SPDR レジスタへのアクセス幅をバイトアクセス／ロングワードアクセス／ワードアクセスに設定、本モジュールがマスタモード設定時、ダミーデータ送信イネーブル（TXDMY）の許可設定をするためのレジスタです。

ステータスレジスタ（SPCR）の TEND ビットが送信未終了の状態のときに SPDCR を書き換えた場合には、以降の動作は保証されません。

ビット：	7	6	5	4	3	2	1	0
	TXDMY	SPLW1	SPLW0	-	-	-	-	-
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	TXDMY	0	R/W	ダミーデータ送信イネーブル ダミーデータ送信の許可／禁止を設定するためのビットです。 TXDMYを1にセットにし通信を行った場合、送信バッファに送信データがない場合でも、MOSI端子からダミーデータを送信し、シリアル通信をすることが可能となります。 送信バッファに送信データがなく、TXDMYに1がセットされている場合に、ダミーデータをシフトレジスタへ転送します。ダミーデータは端子から送信された直前のデータとなります。また、初期化後にTXDMYを1にセットし、転送を行った場合、送信されるダミーデータは不定値となります。 0：ダミーデータ送信を禁止にする 1：ダミーデータ送信を許可にする 注.　本モジュールがマスタ設定時のみ有効となります。
6 5	SPLW1 SPLW0	0 1	R/W R/W	アクセス幅設定 データレジスタ（SPDR）へのアクセス幅を設定します。データレジスタ（SPDR）への転送データ長（注1）とSPLWのアクセス幅設定が異なる場合の動作は保証しません。 00：設定禁止 01：SPDRレジスタへバイト（8ビット）アクセス 10：SPDRレジスタへはワード（16ビット）アクセス 11：SPDRレジスタへはロングワード（32ビット）アクセス
4～0	−	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。

注1.　コマンドレジスタ（SPCMD）SPB3～0により決定されます。「16.3.5　データレジスタ（SPDR）」を参照してください。

16.3.10　クロック遅延レジスタ（SPCKD）

SPCKD は、コマンドレジスタ（SPCMD）の SCKDEN ビットが 1 の状態における、SSL 信号アサート開始から RSPCK 発振までの期間（RSPCK 遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPCKD を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SCKDL2 ～ SCKDL0 に B'000 を設定してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 3	－	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
2 1 0	SCKDL2 SCKDL1 SCKDL0	0 0 0	R/W R/W R/W	RSPCK遅延設定 SPCMDのSCKDENビットが1の場合のRSPCK遅延値を設定するためのビットです。 SCKDL2～SCKDL0の設定値とRSPCK遅延値の関係は以下のとおりです。 000：1RSPCK 001：2RSPCK 010：3RSPCK 011：4RSPCK 100：5RSPCK 101：6RSPCK 110：7RSPCK 111：8RSPCK

16.3.11　スレーブセレクトネゲート遅延レジスタ（SSLND）

SSLND は、マスタモードの本モジュールがシリアル転送の最終 RSPCK エッジを送出してから SSL 信号をネゲートするまでの期間（SSL ネゲート遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SSLND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SLNDL2 ～ SLNDL0 に B'000 を設定してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 3	―	すべて 0	R	リザーブビット 書き込む値は常に 0 にしてください。1 を書き込んだ場合の動作は保証しません。
2 1 0	SLNDL2 SLNDL1 SLNDL0	0 0 0	R/W R/W R/W	SSL ネゲート遅延設定 SPCMD の SLNDEN ビットが 1 の場合の SSL ネゲート遅延を設定するためのビットです。 SLNDL2 ～ SLNDL0 の設定値と SSL ネゲート遅延値の関係は以下のとおりです。 000：1RSPCK 001：2RSPCK 010：3RSPCK 011：4RSPCK 100：5RSPCK 101：6RSPCK 110：7RSPCK 111：8RSPCK

16.3.12　次アクセス遅延レジスタ（SPND）

SPND は、コマンドレジスタ（SPCMD）の SPNDEN ビットが 1 の状態における、シリアル転送終了後の SSL 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。制御レジスタ（SPCR）の MSTR ビットと SPE ビットが 1 で、マスタモードの本モジュールがイネーブルである状態において、SPND を書き換えた場合には、以降の動作は保証されません。

本モジュールをスレーブモードで使用する場合には、SPNDL2 ～ SPNDL0 に B'000 を設定してください。

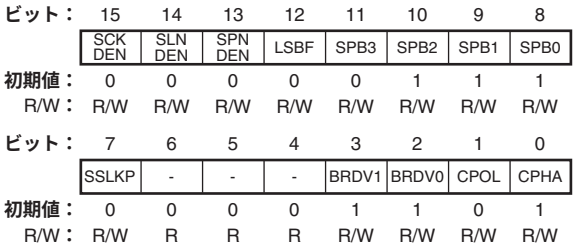
ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 3	－	すべて 0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
2 1 0	SPNDL2 SPNDL1 SPNDL0	0 0 0	R/W R/W R/W	次アクセス遅延設定 SPCMDのSPNDENビットが1の場合の次アクセス遅延を設定するためのビットです。 SPNDL2～SPNDL0の設定値と次アクセス遅延値の関係は以下のとおりです。 000：1RSPCK＋2P1φ 001：2RSPCK＋2P1φ 010：3RSPCK＋2P1φ 011：4RSPCK＋2P1φ 100：5RSPCK＋2P1φ 101：6RSPCK＋2P1φ 110：7RSPCK＋2P1φ 111：8RSPCK＋2P1φ

16.3.13　コマンドレジスタ（SPCMD）

1 チャネルにコマンドレジスタ（SPCMD）が 4 本あります（SPCMD0 ～ SPCMD3）。SPCMD0 ～ SPCMD3 は、マスタモードの転送フォーマットを設定するために使用されます。また、SPCMD0 の一部のビットは、スレーブモードの転送フォーマットを設定するためにも使用されます。マスタモードの本モジュールはシーケンス制御レジスタ（SPSCR）の SPSLN1、SPSLN0 ビットの設定に従ってシーケンシャルに SPCMD0 ～ 3 を参照し、参照した SPCMD に設定されたシリアル転送を実行します。

ステータスレジスタ（SPSR）の TEND ビットが送信未終了の状態のときに、本モジュールが参照している SPCMD を書き換えた場合には、本モジュールの以降の動作は保証されません。マスタモードの本モジュールが参照している SPCMD は、シーケンスステータスレジスタ（SPSSR）の SPCP1、0 ビットにより確認できます。また、スレーブモードの本モジュールがイネーブルな状態において、SPCMD0 を書き換えた場合には、以降の動作は保証されません。



ビット	ビット名	初期値	R/W	説　　明
15	SCKDEN	0	R/W	RSPCK遅延設定イネーブル マスタモードの本モジュールが、SSL信号をアクティブにしてからRSPCKを発振するまでの期間（RSPCK遅延）を設定するためのビットです。SCKDENが0の場合には、本モジュールはRSPCK遅延を1RSPCKにします。SCKDENが1の場合には、本モジュールはクロック遅延レジスタ（SPCKD）の設定に従ったRSPCK遅延でRSPCKの発振を開始します。 本モジュールをスレーブモードで使用する場合には、SCKDENに0を設定してください。 0：RSPCK遅延は1RSPCK 1：RSPCK遅延はRSPCK遅延レジスタ（SPCKD）の設定値
14	SLNDEN	0	R/W	SSLネゲート遅延設定イネーブル マスタモードの本モジュールが、RSPCKを発振停止してからSSL信号を非アクティブにするまでの期間（SSLネゲート遅延）を設定するためのビットです。SLNDENが0の場合には、本モジュールはSSLネゲート遅延を1RSPCKにします。SLNDENが1の場合には、本モジュールはスレーブセレクトネゲート遅延レジスタ（SSLND）の設定に従ったRSPCK遅延でSSLをネゲートします。 本モジュールをスレーブモードで使用する場合には、SLNDENに0を設定してください。 0：SSLネゲート遅延は1RSPCK 1：SSLネゲート遅延はスレーブセレクトネゲート遅延レジスタ（SSLND）の設定値
13	SPNDEN	0	R/W	次アクセス遅延イネーブル マスタモードの本モジュールがシリアル転送を終了してSSL信号を非アクティブにしてから、次アクセスのSSL信号アサートを可能にするまでの期間（次アクセス遅延）を設定するためのビットです。SPNDENが0の場合には、本モジュールは次アクセス遅延を1RSPCK＋2P1φにします。SPNDENが1の場合には、本モジュールは次アクセス遅延レジスタ（SPND）の設定に従った次アクセス遅延を挿入します。 本モジュールをスレーブモードで使用する場合には、SPNDENに0を設定してください。 0：次アクセス遅延は1RSPCK＋2P1φ 1：次アクセス遅延は次アクセス遅延レジスタ（SPND）の設定値
12	LSBF	0	R/W	LSBファースト マスタモード／スレーブモードのデータフォーマットを、MSBファースト／LSBファーストに設定するためのビットです。 0：MSBファースト 1：LSBファースト

ビット	ビット名	初期値	R/W	説　　明
11 10 9 8	SPB3 SPB2 SPB1 SPB0	0 1 1 1	R/W R/W R/W R/W	データ長設定 マスタモード／スレーブモードの転送データ長を設定するためのビットです。 0100～0111：8ビット 1111：16ビット 0010、0011：32ビット その他：設定禁止
7	SSLKP	0	R/W	SSL信号レベル保持 マスタモードの本モジュールがシリアル転送する場合に、現コマンドに対応するSSLネゲートタイミングから次コマンドに対応するSSLアサートタイミングの間に、現コマンドのSSL信号レベルを保持するか、ネゲートするかを設定するビットです。 本モジュールをスレーブモードで使用する場合には、SSLKPに0を設定してください。 0：転送終了時にSSL信号をネゲート 1：転送終了後から次アクセス開始までSSL信号レベルを保持
6～4	―	すべて0	R	リザーブビット 書き込む値は常に0にしてください。1を書き込んだ場合の動作は保証しません。
3 2	BRDV1 BRDV0	1 1	R/W R/W	ビットレート分周設定 ビットレートを決定するために使用するレジスタです。BRDV1、0ビットとビットレートレジスタ（SPBR）の設定値の組み合わせでビットレートを決定します（「16.3.8 ビットレートレジスタ（SPBR）」を参照）。SPBRの設定値は、ベースとなるビットレートを決定します。BRDV1～0ビットの設定値は、ベースのビットレートに対して分周なし／2分周／4分周／8分周したビットレートを選択するために使用します。SPCMD0～3にはそれぞれ異なるBRDV1、0の設定を行うことができます。このため、コマンドごとに異なるビットレートでシリアル転送を実行することが可能です。 00：ベースのビットレートを選択 01：ベースのビットレートの2分周を選択 10：ベースのビットレートの4分周を選択 11：ベースのビットレートの8分周を選択
1	CPOL	0	R/W	RSPCK極性設定 マスタモード／スレーブモードのRSPCK極性を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK極性を設定する必要があります。 0：アイドル時のRSPCKが0 1：アイドル時のRSPCKが1
0	CPHA	1	R/W	RSPCK位相設定 マスタモード／スレーブモードのRSPCK位相を設定するためのビットです。本モジュール間のデータ通信を行う場合、モジュール間で同一のRSPCK位相を設定する必要があります。 0：奇数エッジでデータサンプル、偶数エッジでデータ変化 1：奇数エッジでデータ変化、偶数エッジでデータサンプル

16.3.14　バッファコントロールレジスタ（SPBFCR）

SPBFCR は、送信バッファ（SPTX）／受信バッファ（SPRX）のデータ数のリセット、トリガデータ数の設定を行うレジスタです。

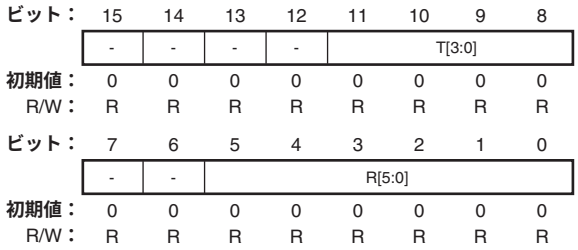
ビット：	7	6	5	4	3	2	1	0
	TXRST	RXRST	TXTRG[1:0]		-	RXTRG[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	TXRST	0	R/W	送信バッファデータリセット 送信バッファ内の送信データを無効にし、データが何もない状態にリセットします。 0：リセット動作を禁止（注1） 1：リセット動作を許可 注1.　パワーオンリセット時にはリセット動作が行われます。
6	RXRST	0	R/W	受信バッファデータリセット 受信バッファ内の受信データを無効にし、データが何もない状態にリセットします。 0：リセット動作を禁止（注1） 1：リセット動作を許可 注1.　パワーオンリセット時にはリセット動作が行われます。
5、4	TXTRG	00	R/W	送信バッファデータ数トリガ ステータスレジスタのSPTEF フラグの基準となる、送信バッファエンプティタイミングの設定をします。送信バッファ（SPTX）に格納されたデータバイト数が以下に示す設定トリガ数以下になったときSPTEF フラグは1にセットされます。 00：7Byte（1）（注1） 01：6Byte（2）（注1） 10：4Byte（4）（注1） 11：0Byte（8）（注1） 注1.　（）内の数値は送信バッファ（SPTX）の空きバイト数を示します。
3	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も0にしてください。
2～0	RXTRG	000	R/W	受信バッファデータ数トリガ ステータスレジスタのSPRF フラグの基準値となる、受信バッファフルタイミングの設定をします。受信バッファ（SPRX）に格納されたデータバイト数が以下に示す設定トリガ数以上になったときにSPRF フラグは1にセットされます。 000：1Byte（31）（注1） 001：2Byte（30）（注1） 010：4Byte（28）（注1） 011：8Byte（24）（注1） 100：16Byte（16）（注1） 101：24Byte（8）（注1） 110：32Byte（0）（注1） 111：5Byte（27）（注1） 注1.　（）内の数値は受信バッファ（SPRX）の空きバイト数を示します。

16.3.15　バッファデータカウントセットレジスタ（SPBFDR）

SPBFDR は、送信バッファ（SPTX）と受信バッファ（SPRX）に格納されているデータ数を示します。

上位 8 ビットで SPTX の送信データバイト数を、下位 8 ビットで SPRX の受信データバイト数を示します。



ビット	ビット名	初期値	R/W	説　　明
15 ～ 12	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も0にしてください。
11 ～ 8	T[3:0]	0000	R	SPTXに格納されている未送信データバイト数を示します。 B'0000はSPTXがエンプティ状態であることを示します。 B'1000はSPTXがフル状態であることを示します。
7、6	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も0にしてください。
5 ～ 0	R[5:0]	000000	R	SPRXに格納されている受信データバイト数を示します。 B'000000はSPRXがエンプティ状態であることを示します。 B'100000はSPRXがフル状態であることを示します。

16.4　動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

16.4.1　動作の概要

本モジュールは、スレーブモード、マスタモードのシリアル転送が可能です。モードは、制御レジスタ（SPCR）の MSTR ビットによって設定可能です。**表 16.4** にモードと SPCR 設定の関係および各モードの概要を示します。

表 16.4　モードと SPCR 設定の関係および各モードの概要

モード	スレーブ（SPI 動作）	マスタ（SPI 動作）
MSTR ビットの設定	0	1
MODFEN ビットの設定	0 or 1	0
RSPCK 信号	入力	出力
MOSI 信号	入力	出力
MISO 信号	出力／ Hi-Z	入力
SSL 信号	入力	出力
SSL 極性変更機能	あり	あり
転送レート	～ P1φ/8	～ P1φ/2
クロックソース	RSPCK 入力	内蔵ボーレートジェネレータ
クロック極性	2 種	2 種
クロック位相	2 種	2 種
先頭転送ビット	MSB ／ LSB	MSB ／ LSB
転送データ長	8、16、32 ビット	8、16、32 ビット
バースト転送	可能（CPHA=1）	可能（CPHA=0、1）
RSPCK 遅延制御	なし	あり
SSL ネゲート遅延制御	なし	あり
次アクセス遅延制御	なし	あり
転送起動方法	SSL 入力アクティブ または RSPCK 発振	SPE=1 で送信 バッファ書き込み
シーケンス制御	なし	あり
送信バッファエンプティ検出	あり	あり
受信バッファフル検出	あり	あり
オーバランエラー検出	あり	なし
モードフォルトエラー検出	あり（MODFEN=1）	なし

16.4.2　端子の制御

本モジュールは、制御レジスタ（SPCR）の MSTR ビットの設定に従って、端子方向と出力モードを自動的に切り替えます。端子状態と各ビットの設定値の関係を**表 16.5** に示します。

表 16.5　端子の状態と制御ビット設定値の関係

モード	端子	端子状態
マスタ（SPI 動作）（MSTR＝1）	RSPCK	CMOS 出力
	SSL	CMOS 出力
	MOSI	CMOS 出力
	MISO	入力
スレーブ（SPI 動作）（MSTR＝0）	RSPCK	入力
	SSL	入力
	MOSI	入力
	MISO（注 1）	CMOS 出力／Hi-Z

注 1.　SSL が非アクティブレベルまたは SPCR の SPE ビットが 0 の場合、端子状態が Hi-Z になります。

マスタモード（SPI 動作）の本モジュールは、SPPCR の MOIFE ビットと MOIFV ビットの設定に従って、SSL ネゲート期間（バースト転送における SSL 保持期間を含む）の MOSI 信号値を**表 16.6** のように決定します。

表 16.6　SSL ネゲート期間の MOSI 信号値の決定方法

MOIFE	MOIFV	SSL ネゲート期間の MOSI 信号値
0	0、1	前回転送の最終出力値（CPHA＝0 の場合は不定）
1	0	常に 0
1	1	常に 1

16.4.3　システム構成例

(1)　マスタ／スレーブ（本 LSI ＝マスタ）

図 16.2 に、本 LSI をマスタとして使用した場合のマスタ／スレーブのシステムの構成例を示します。マスタ／スレーブの構成では、本 LSI（マスタ）の SSL 出力は使用しません。スレーブの SSL 入力は 0 レベルに固定して、スレーブを常にセレクト状態にします。制御レジスタ（SPCR）の CPHA ビットが 0 の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 LSI の SSL 出力をスレーブデバイスの SSL 入力に接続してください。

本 LSI（マスタ）は、RSPCK と MOSI を常にドライブします。スレーブは、MISO を常にドライブします。

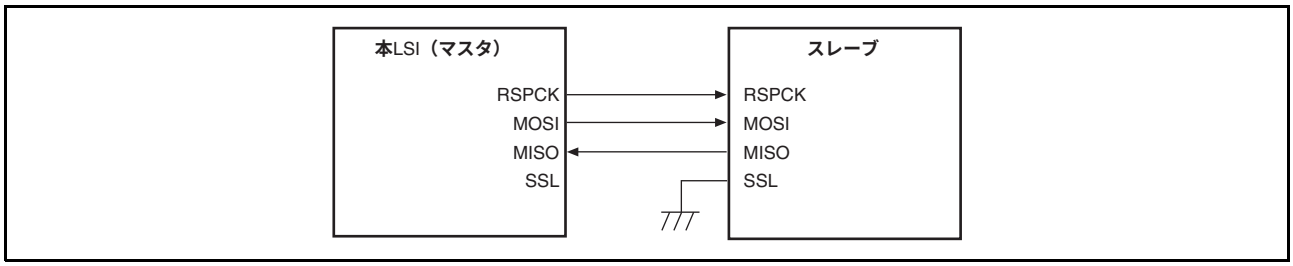


図 16.2　マスタ／スレーブの構成例（本 LSI ＝マスタ）

(2)　マスタ／スレーブ（本 LSI ＝スレーブ）

図 16.3 に、本 LSI をスレーブとして使用した場合のマスタ／スレーブのシステム構成例を示します。本 LSI をスレーブとして使用する場合には、SSL 端子を SSL 入力として使用します。マスタは、RSPCK と MOSI を常にドライブします。本 LSI（スレーブ）は、MISO を常にドライブします。SSL が非アクティブレベルの場合、端子状態が Hi-Z になります。

コマンドレジスタ（SPCMD）の CPHA ビットを 1 に設定したシングルスレーブ構成の場合には、本 LSI（スレーブ）の SSL 入力を 0 レベルに固定して本 LSI（スレーブ）を常に選択状態とし、シリアル転送を実行することも可能です（図 16.4）。

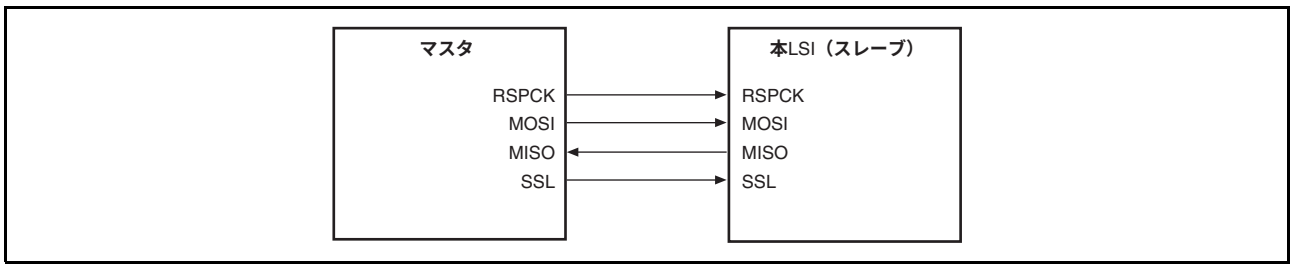


図 16.3　マスタ／スレーブの構成例（本 LSI ＝スレーブ）

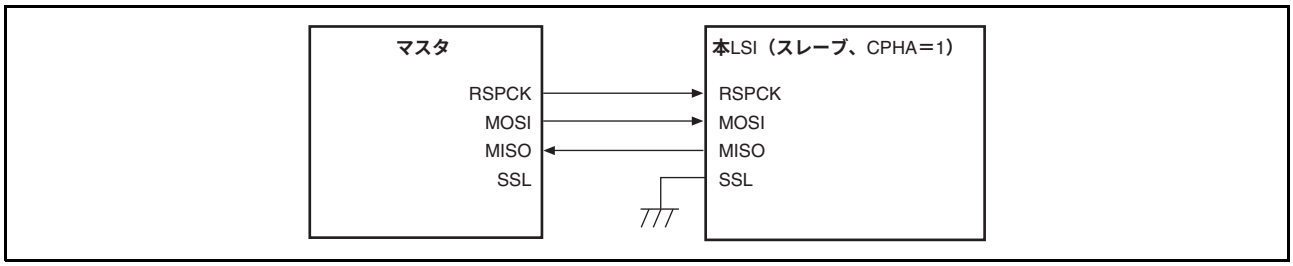


図 16.4　マスタ／スレーブの構成例（本 LSI ＝スレーブ、CPHA ＝ 1）

(3)　マスタ／マルチスレーブ（本 LSI ＝スレーブ）

図 16.5 に、本 LSI をスレーブとして使用した場合のマスタ／マルチスレーブのシステム構成例を示します。図 16.5 の例では、マスタと 2 つの本 LSI（スレーブ X、スレーブ Y）からシステムを構成しています。

マスタの RSPCK 出力と MOSI 出力は、本 LSI（スレーブ X、スレーブ Y）の RSPCK 入力と MOSI 入力に接続します。本 LSI（スレーブ X、スレーブ Y）の MISO 出力は、マスタの MISO 入力に接続します。マスタの SSLX 出力、SSLY 出力は、本 LSI（スレーブ X、スレーブ Y）の SSL 入力に接続します。

マスタは、RSPCK、MOSI、SSLX、SSLY を常にドライブします。本 LSI（スレーブ X、スレーブ Y）のうち、SSL0 入力に 0 レベルを入力されているスレーブが、MISO をドライブします。

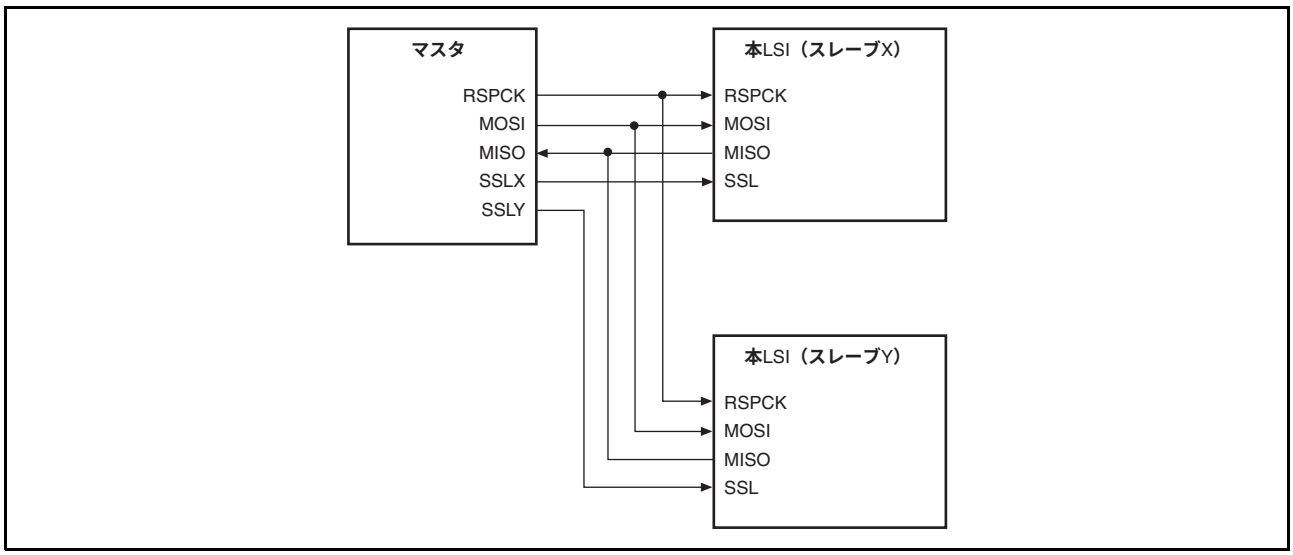


図 16.5　シングルマスタ／マルチスレーブの構成例（本 LSI ＝スレーブ）

16.4.4　転送フォーマット

(1)　CPHA ＝ 0 の場合

図 16.6 にコマンドレジスタ（SPCMD）の CPHA ビットが 0 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 16.6 において、RSPCK（CPOL ＝ 0）は SPCMD の CPOL ビットが 0 の場合、RSPCK（CPOL ＝ 1）は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、本モジュールの設定に依存します。詳細は「16.4.2　端子の制御」を参照してください。

CPHA ビットが 0 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1RSPCK 周期ごとにデータがサンプリングされます。MOSI 信号と MISO 信号の変化タイミングは、常に転送データ取り込みタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は、RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSL 信号のアサートから RSPCK 発振までの期間（RSPCK 遅延）です。t2 は、RSPCK 発振停止から SSL 信号のネゲートまでの期間（SSL ネゲート遅延）です。t3 は、シリアル転送終了後に次転送のための SSL 信号アサートを抑制するための期間（次アクセス遅延）です。t1、t2、t3 は、システム上のマスタデバイスによって制御されます。本モジュールがマスタモードである場合の t1、t2、t3 については、「16.4.3　(1)　マスタ／スレーブ（本 LSI ＝マスタ）」を参照してください。

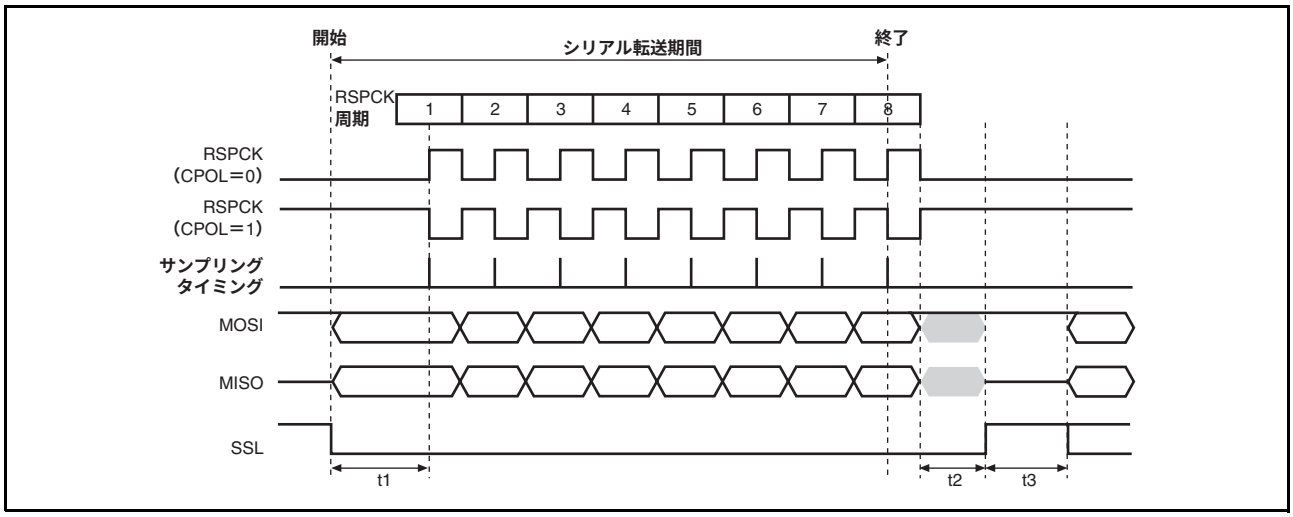


図 16.6　転送フォーマット（CPHA ＝ 0）

(2)　CPHA ＝ 1 の場合

図 16.7 コマンドレジスタ（SPCMD）の CPHA ビットが 1 の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。図 16.7 において、RSPCK（CPOL ＝ 0）は SPCMD の CPOL ビットが 0 の場合、RSPCK（CPOL ＝ 1）は CPOL ビットが 1 の場合の RSPCK 信号波形です。サンプリングタイミングは、本モジュールがシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、モード（マスタ／スレーブ）に依存します。詳細は「16.4.2　端子の制御」を参照してください。

CPHA ビットが 1 の場合には、SSL 信号のアサートタイミングで、MOSI 信号と MISO 信号に無効データのドライブが開始されます。SSL 信号のアサート後に発生する最初の RSPCK 信号変化タイミングで、MOSI 信号と MISO 信号への有効データのドライブが開始され、このタイミング以降 1RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、常にこのタイミングの 1/2RSPCK 周期後になります。CPOL ビットの設定値は RSPCK 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ＝ 0 の場合と同様です。本モジュールがマスタモードである場合の t1、t2、t3 については、「16.4.3　(1)　マスタ／スレーブ（本 LSI ＝マスタ）」を参照してください。

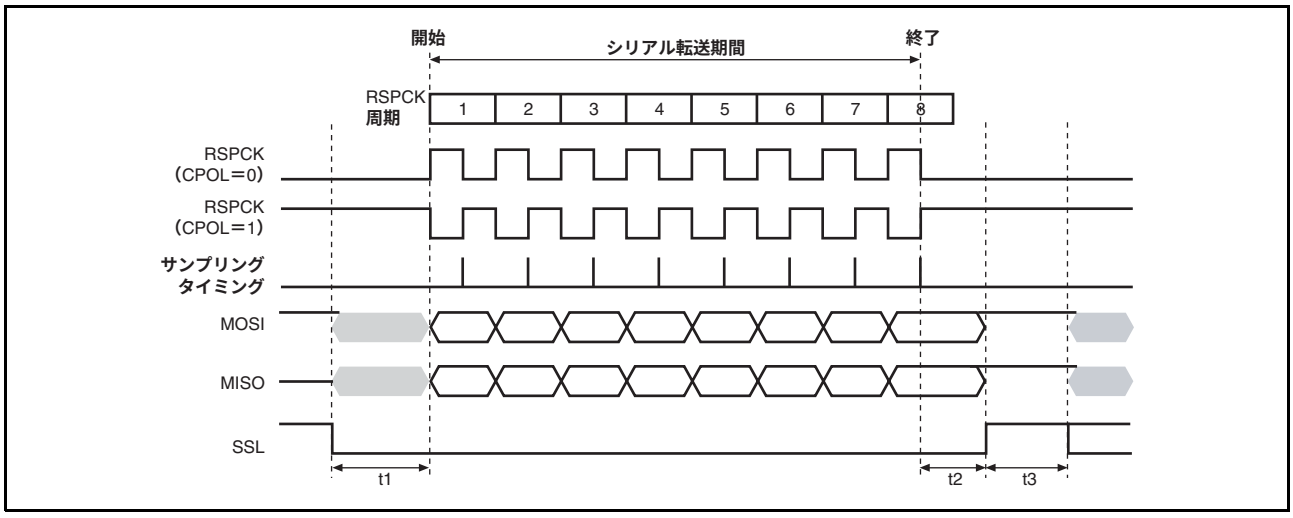


図 16.7　　転送フォーマット（CPHA ＝ 1）

16.4.5　データフォーマット

データフォーマットは、コマンドレジスタ（SPCMD）の設定値に依存します。MSB ／ LSB ファーストにかかわらず、本モジュールはデータレジスタ（SPDR）の LSB から設定データ長分の範囲を転送データとして扱います。

(1)　MSB ファースト転送（32 ビットデータ）

図 16.8 に、本モジュールがデータ長 32 ビットの MSB ファースト転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、SPDR の送信バッファに T31 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタにはデータ R31 ～ R00 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R31 ～ R00 がシフトレジスタからシフトアウトされます。

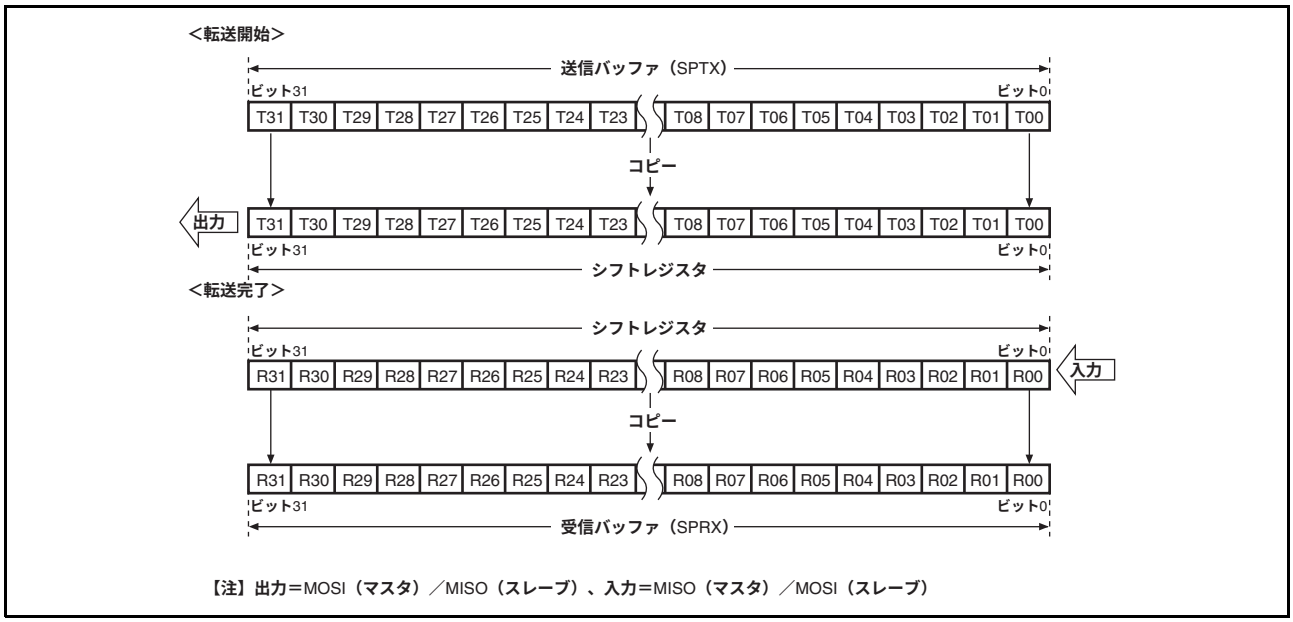


図 16.8　MSB ファースト転送（32 ビットデータ）

(2)　MSB ファースト転送（16 ビットデータ）

図 16.9 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 15 からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 15 ～ 0 には受信データ R15 ～ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ～ 16 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R15 ～ R00 がシフトレジスタからシフトアウトされます。

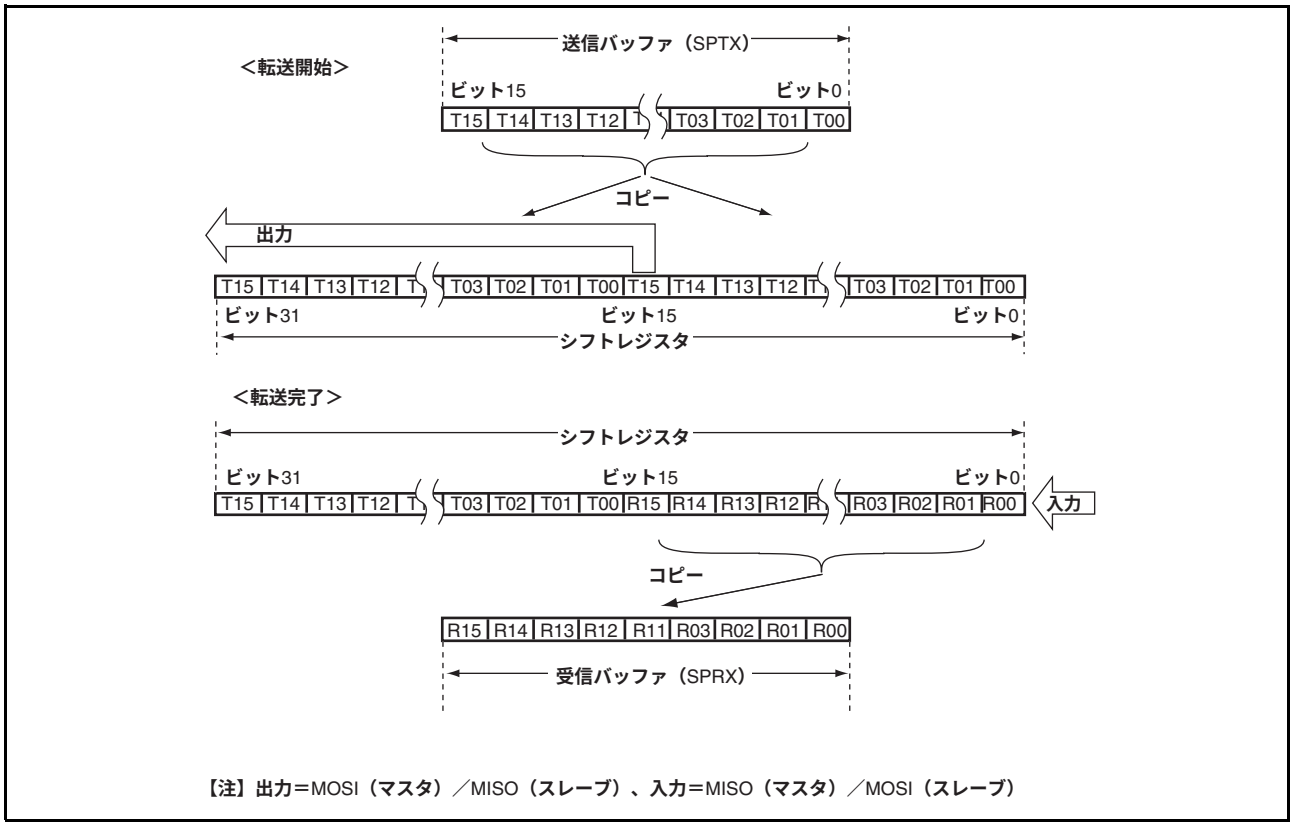


図 16.9　　MSB ファースト転送（16 ビットデータ）

(3)　MSB ファースト転送（8 ビットデータ）

図 16.10 に、本モジュールが 8 ビットのデータ転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタのビット 7 からデータを出力し、シフトレジスタの LSB（ビット 0）からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 7 ～ 0 には受信データ R07 ～ R00 が格納されます。シリアル転送完了後のシフトレジスタのビット 31 ～ 8 には、転送前のデータが保持されています。この状態で、本モジュールはシフトレジスタから受信バッファにデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R07 ～ R00 がシフトレジスタからシフトアウトされます。

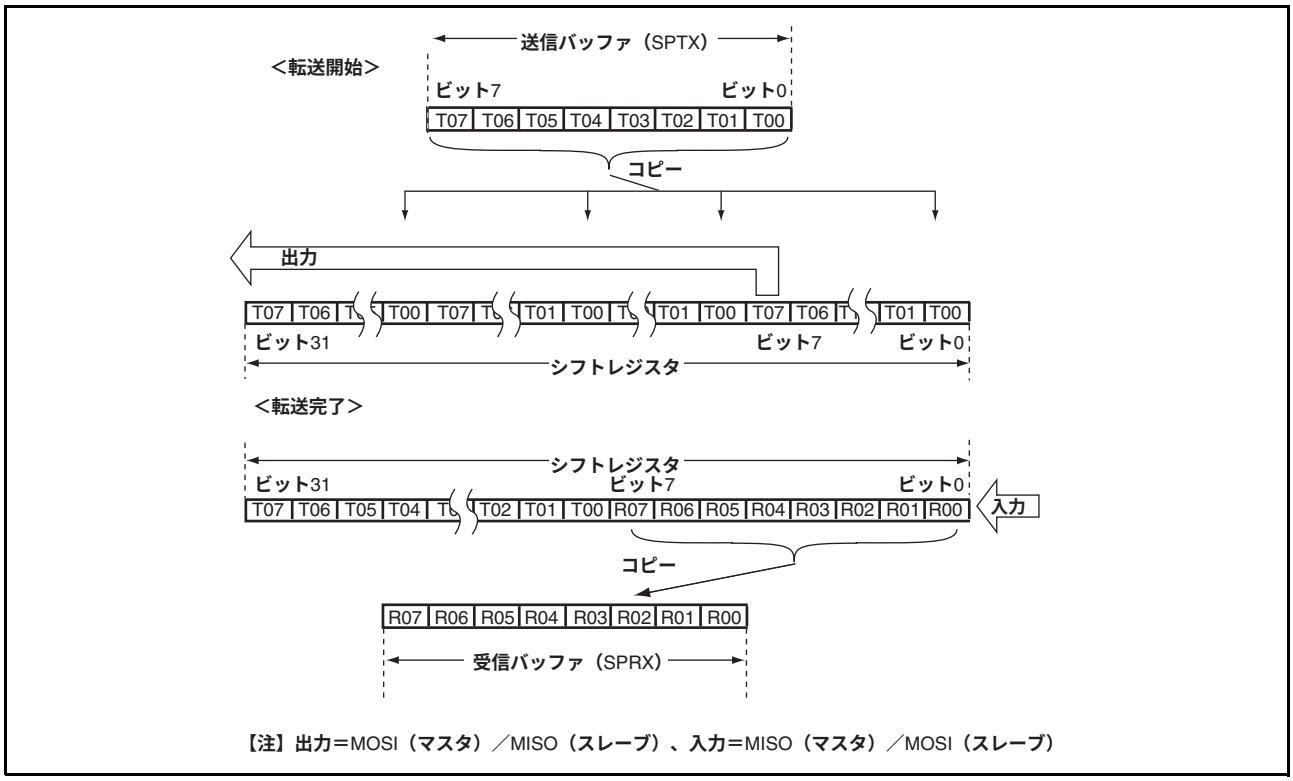


図 16.10　MSB ファースト転送（8 ビットデータ）

(4)　LSB ファースト転送（32 ビットデータ）

図 16.11 に、本モジュールがデータ長 32 ビットの LSB ファースト転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T31 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）から送信データを出力し、シフトレジスタの LSB（ビット 0）から受信データをシフトインします。32 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタには受信データ R00 ～ R31 が格納されます。この状態で、本モジュールはシフトレジスタから受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。

また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R31 がシフトレジスタからシフトアウトされます。

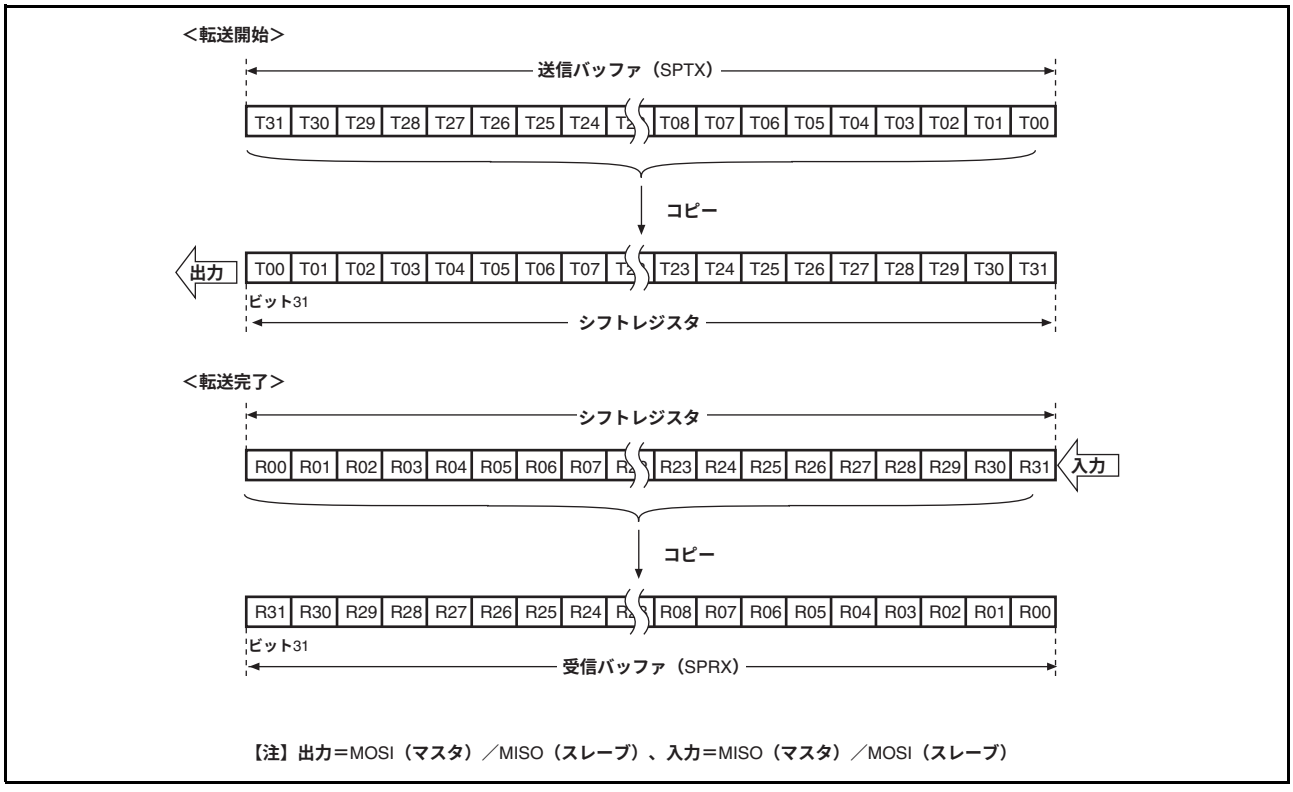


図 16.11　LSB ファースト転送（32 ビットデータ）

(5)　LSB ファースト転送（16 ビットデータ）

図 16.12 に、本モジュールが 16 ビットのデータ転送を実施する場合の送信バッファ（SPTX）とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T15 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファのデータをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタのビット 16 からデータをシフトインします。16 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ～ 16 には受信データ R00 ～ R15 が格納されます。シリアル転送完了後のシフトレジスタのビット 15 ～ 0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R15 がシフトレジスタからシフトアウトされます。

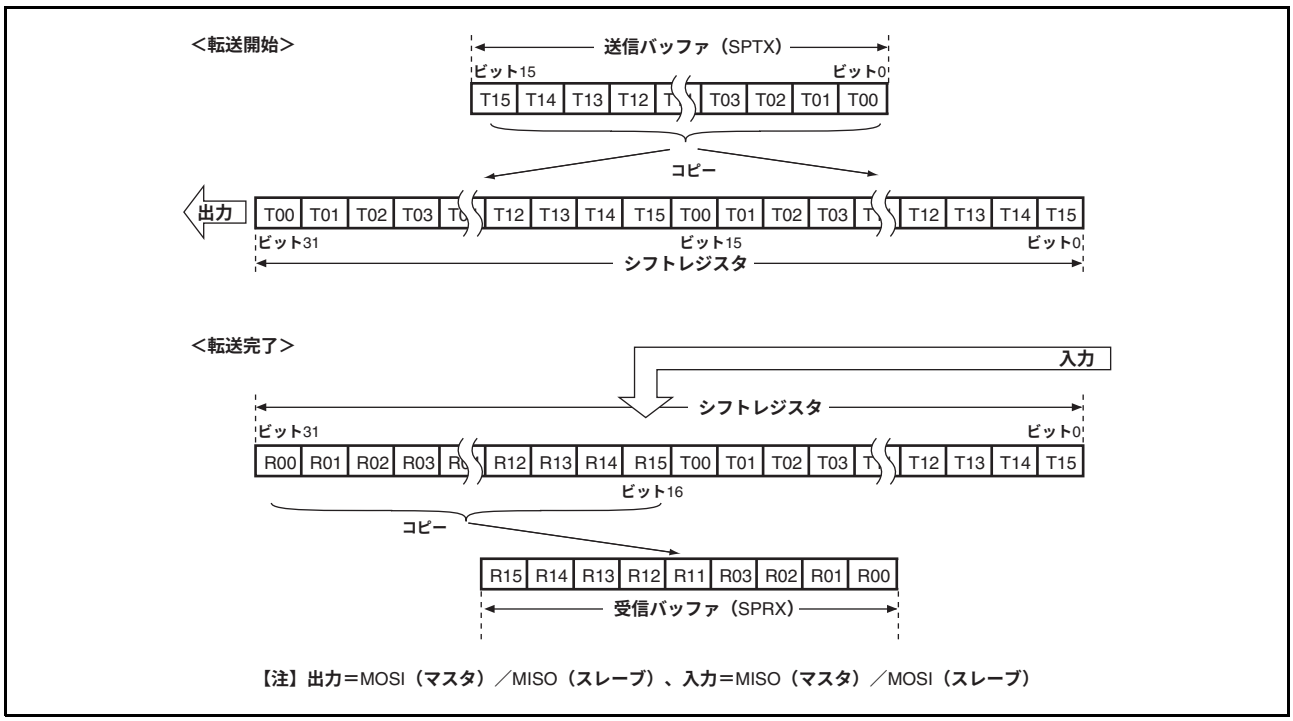


図 16.12　LSB ファースト転送（16 ビットデータ）

(6)　LSB ファースト転送（8 ビットデータ）

図 16.13 に、本モジュールが 8 ビットのデータ転送を実施する場合の送信バッファ (SPTX) とシフトレジスタの動作内容を示します。

CPU またはダイレクトメモリアクセスコントローラは、送信バッファに T07 ～ T00 を書き込みます。シフトレジスタがエンプティであれば、本モジュールが送信バッファの送信データをシフトレジスタにビット順を逆転してコピーし、シフトレジスタをフルにします。シリアル転送が開始されると、本モジュールはシフトレジスタの MSB（ビット 31）からデータを出力し、シフトレジスタのビット 24 からデータをシフトインします。8 ビット分のシリアル転送に必要な RSPCK 周期を経過すると、シフトレジスタのビット 31 ～ 24 には受信データ R00 ～ R07 が格納されます。シリアル転送完了後のシフトレジスタのビット 23 ～ 0 には、転送前のデータが保持されています。この状態で、本モジュールがシフトレジスタから SPDR の受信バッファにビット順を逆転したデータをコピーし、シフトレジスタをエンプティにします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信バッファに空きを確保してください。

なお、CPU またはダイレクトメモリアクセスコントローラが SPDR の送信バッファを書き込む前に、次のシリアル転送が起動されると、受信データ R00 ～ R07 がシフトレジスタからシフトアウトされます。

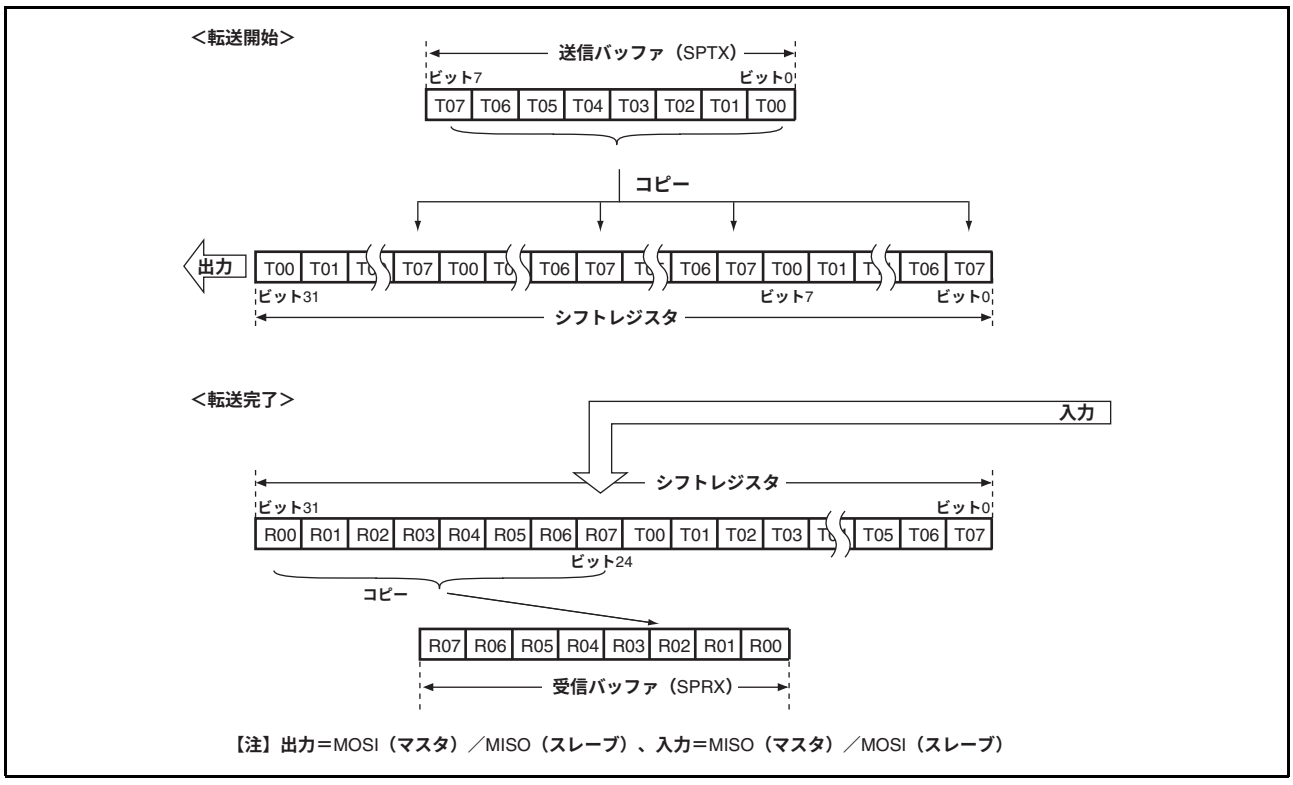


図 16.13　LSB ファースト転送（8 ビットデータ）

16.4.6　エラー検出

通常のシリアル転送では、データレジスタ（SPDR）の送信バッファに書き込んだデータがシリアル送信され、シリアル受信されたデータを SPDR の受信バッファから読み出すことができます。SPDR へアクセスした場合の送受信バッファの状態やシリアル転送の開始／終了時の状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、本モジュールはオーバランエラーまたはモードフォルトエラーとして検出します。**表 16.7** に、通常以外の転送動作とエラー検出機能の関係を示します。

表 16.7　通常以外の転送の発生条件とエラー検出機能

	発生条件	動作	エラー検出
A	送信バッファがいっぱいの状態でSPDRを書き込み。	書き込みデータ欠落。	なし
B	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始。	前回シリアル転送時の受信データをシリアル送信。	なし
C	受信バッファに受信データが1つもない状態でSPDRを読み出し。	不定出力	なし
D	受信バッファが受信データでいっぱいの状態で、シリアル転送が終了。	シリアル受信データ欠落。	オーバランエラー検出（スレーブモードのみ）
E	スレーブモードでシリアル転送中にSSL入力信号がネゲート。	シリアル転送中断。 送受信データ欠落。 動作ディスエーブル。	モードフォルトエラー検出

表 16.7 の A に示した動作に対しては、本モジュールはエラーを検出しません。SPDR への書き込みが可能であるかについては、バッファデータカウントセットレジスタ（SPBFDR）の T[3:0] ビットで確認することができます。

B に示した動作に対しても、本モジュールはエラーを検出しません。本モジュールでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、B に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR の受信バッファに保持されているので、正しく読み出されます。

C に示した動作に対しても、本モジュールはエラーを検出しません。不要なデータを読み出さないためには、バッファデータカウントセットレジスタ（SPBFDR）の R[5:0] ビットで受信バッファに格納されている受信データ数を確認してください。

D に示したオーバランエラーについては、**「16.4.6　(1)　オーバランエラー」**で詳しく説明します。また、E に示したモードフォルトエラーについては、**「16.4.6　(2)　モードフォルトエラー」**で説明します。

(1)　オーバランエラー

データレジスタ（SPDR）の受信バッファフル状態でシリアル転送が終了すると、本モジュールはオーバランエラーを検出して SPSR の OVRF ビットを 1 にします。OVRF ビットが 1 の状態では、本モジュールはシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。SPSR の OVRF ビットを 0 にするためには、パワーオンリセットを実施するか、OVRF ビットが 1 にセットされた状態の SPSR を読み出した後に、OVRF に 0 を書き込む必要があります。

図 16.14 に、SPSR の SPRF ビットと OVRF ビットの動作を示します。**図 16.14** に記載した SPSR アクセスと SPDR アクセスは、それぞれのアクセス状況を示しています。I はアイドル状態、W は書き込みサイクル、R は読み出しサイクルを示しています。**図 16.14** の例では、コマンドレジスタ（SPCMD）の CPHA が 1、CPOL が 0 の設定で、本モジュールが 8 ビットのシリアル転送を実行しています。RSPCK 波形の下に記載した数字は RSPCK サイクル数（＝転送ビット数）を示しています。

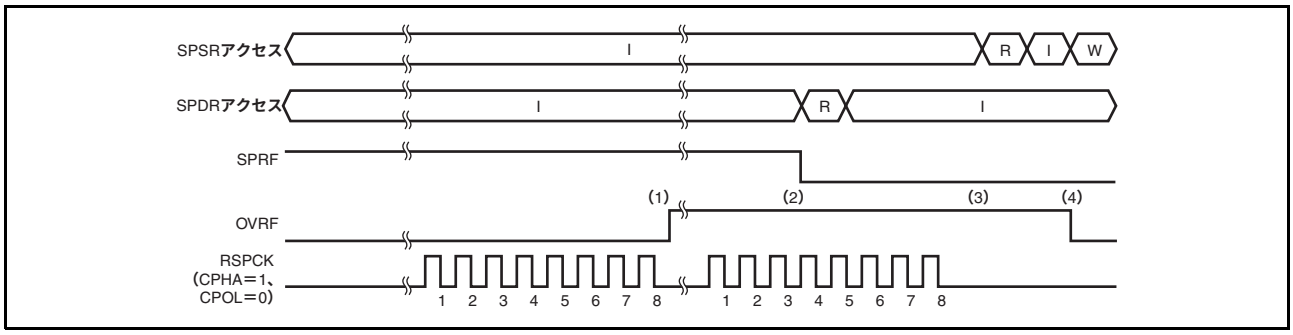


図 16.14　SPRF、OVRF ビットの動作例

以下に、図中の（1）～（4）に示したタイミングでのフラグの動作内容を説明します。

1. 受信バッファに受信データ長の空きがない状態でシリアル転送が終了すると、本モジュールがオーバランエラーを検出し、OVRF ビットを 1 にします。本モジュールはシフトレジスタのデータを受信バッファにコピーしません。
2. SPDR を読み出し、バッファコントロールレジスタ（SPBFCR）の受信バッファデータ数トリガ（RXTRG）ビットで設定したトリガ数以下になっても OVRF ビットはクリアされません。
3. オーバランエラー発生状態で、シリアル転送が終了すると本モジュールはシフトレジスタをエンプティであると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
4. OVRF ビットが 1 の状態で SPSR を読み出した後、OVRF に 0 を書き込むと、本モジュールは OVRF ビットをクリアします。

オーバランの発生は、SPSR の読み出しあるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ（SPCR）の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにシリアル転送を実行する場合には、SPDR の読み出し直後に SPSR を読み出すなどの方法で、オーバランエラー発生を早期に検出できるように対処してください。

OVRF ビットを 0 にクリアする条件は以下のとおりです。

- OVRF が 1 にされた状態の SPSR を読み出した後、OVRF に 0 を書き込む
- パワーオンリセット

注．　オーバランエラーが発生している状態で、受信バッファに受信データ格納領域がある場合、本モジュールは受信データを受信します。

(2)　モードフォルトエラー

MSTR ビットが 0 の場合には、本モジュールはスレーブモードで動作します。スレーブモードで MODFEN ビットが 1 の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）に SSL 入力信号がネゲートされると、本モジュールはモードフォルトエラーを検出します。

本モジュールはモードフォルトエラーを検出すると出力信号のドライブ停止および SPCR レジスタの SPE ビットのクリアを実施します。SPE ビットが 0 になると本モジュールの機能が無効化され、本モジュールによる外部信号のドライブは停止します。SPE ビットを 0 にすることによる本モジュール機能の無効化については「16.4.7　初期化」を参照してください。

モードフォルトエラーの発生は、SPSR の読み出し、あるいはエラー割り込みと SPSR の読み出しによって確認できます。エラー割り込みを利用する場合には、制御レジスタ（SPCR）の SPEIE ビットを 1 にしてください。エラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSR をポーリングする必要があります。

MODF ビットが 1 の状態では、SPE ビットへの 1 の書き込みを無視します。モードフォルトエラー検出後に本モジュールの機能を有効にするためには、必ず MODF ビットを 0 にしてください。MODF ビットを 0 にクリアする条件は以下のとおりです。

- MODF が 1 にされた状態の SPSR を読み出した後、MODF に 0 を書き込む
- パワーオンリセット

16.4.7　　初期化

制御レジスタ（SPCR）の SPE ビットに 0 を書き込んだ場合、またはモードフォルトエラー検出により本モジュールが SPE ビットを 0 にクリアした場合には、本モジュールは機能を無効化し、モジュール機能の一部を初期化します。また、パワーオンリセットが発生した場合には、本モジュールはモジュール機能をすべて初期化します。以下に、SPE ビットのクリアによる初期化について説明します。

(1)　SPE ビットのクリアによる初期化

SPCR の SPE ビットがクリアされた場合、本モジュールは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止（Hi-Z）
- 内部ステートの初期化
- SPSR の TEND ビットの初期化

SPE ビットのクリアによる初期化では、本モジュールの制御ビットは初期化されません。このため、SPE ビットに 1 を再設定すれば初期化前と同じ転送モードで本モジュールを起動できます。

16.4.8　SPI 動作

(1)　マスタモード動作

マルチマスタモード動作について説明します。

(a)　シリアル転送の開始

シリアル転送の開始条件は送信バッファからシフトレジスタへ送信データをコピーし、シフトレジスタがフルになり、かつ受信バッファに受信データ長の空きがある場合にシリアル転送を開始します。また、シフトレジスタに送信データが書き込まれていた場合、送信バッファからシフトレジスタへのコピーは行われません。

なお、転送フォーマットの詳細については「16.4.4　転送フォーマット」を参照してください。

(b)　シリアル転送の終了

コマンドレジスタ（SPCMD）の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに対応する RSPCK エッジを送出するとシリアル転送を終了します。シリアル転送終了後にシフトレジスタから受信データを受信バッファにコピーします。また、シフトレジスタから受信バッファに受信データをコピーした後、受信バッファに受信データ長の空きがない場合、次のシリアル転送は開始されません。次のシリアル転送を開始するために、受信バッファから受信データ長分のデータを読み、受信データ長の空きを確保してください。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのデータ長は、コマンドレジスタ（SPCMD）の SPB3 ～ SPB0 ビットの設定値に依存します。転送フォーマットの詳細については「16.4.4　転送フォーマット」を参照してください。

(c)　シーケンス制御

マスタモード時の転送フォーマットは、シーケンス制御レジスタ（SPSCR）、コマンドレジスタ 0 ～ 3（SPCMD0 ～ 3）、ビットレートレジスタ（SPBR）、クロック遅延値レジスタ（SPCKD）、スレーブセレクトネゲート遅延レジスタ（SSLND）、次アクセス遅延値レジスタ（SPND）によって決定されます。

SPSCR は、マスタモードの本モジュールで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMD0 ～ 3 には、SSL 出力信号値、MSB ／ LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性／位相、SPCKD の参照要否、SSLND の参照要否、SPND の参照要否が設定されています。SPBR にはビットレート設定の一部、SPCKD にはクロック遅延値、SSLND には SSL ネゲート遅延、SPND には次アクセス遅延値が設定されています。

本モジュールは、SPSCR に設定されたシーケンス長に従って、SPCMD0 ～ 3 の一部／全部からなるシーケンスを構成します。本モジュールには、シーケンスを構成している SPCMD に対するポインタが存在します。このポインタの値は、シーケンスステータスレジスタ（SPSSR）の SPCP1、0 ビットを読み出すことで確認が可能です。制御レジスタ（SPCR）の SPE ビットを 1 にして本モジュールの機能をイネーブルにすると、本モジュールはコマンドに対するポインタを SPCMD0 にセットし、シリアル転送の開始時に SPCMD0 の設定内容を転送フォーマットに反映します。本モジュールは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、本モジュールはポインタを SPCMD0 にセットするので、シーケンスは繰り返し実行されます。

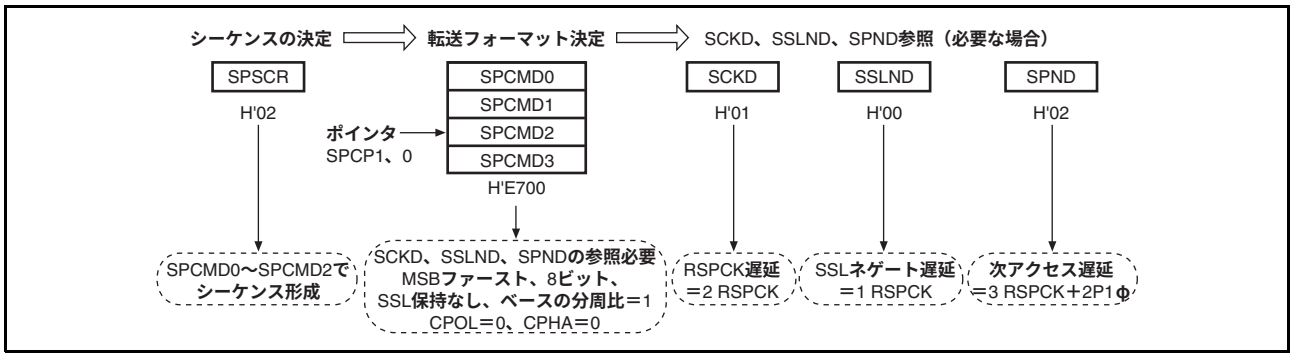


図 16.15　マスタモードでのシリアル転送方式の決定方法

(d)　バースト転送

本モジュールが現在のシリアル転送で参照しているコマンドレジスタ（SPCMD）の SSLKP ビットが 1 の場合には、本モジュールはシリアル転送中の SSL 信号レベルを次のシリアル転送の SSL 信号アサート開始まで保持します。次のシリアル転送での SSL 信号レベルが、現在のシリアル転送での SSL 信号レベルと同じであれば、本モジュールは SSL 信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図 16.16 に、SPCMD0、1 の設定を使用してバースト転送を実現した場合の SSL 信号動作例を示します。図 16.16 に記載した（1）～（7）の動作内容について、以下に説明します。なお、SSL 出力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の設定値に依存します。

1. SPCMD0 に従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
2. SPCMD0 に従ったシリアル転送を実行します。
3. SSL ネゲート遅延を挿入します。
4. SPCMD0 の SSLKP ビットが 1 であるため、SPCMD0 での SSL 信号値を保持します。この期間は、最短の場合には SPCMD0 の次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタがエンプティの場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
5. SPCMD1 に従った SSL 信号のアサートと RSPCK 遅延の挿入を実施します。
6. SPCMD1 に従ったシリアル転送を実行します。
7. SPCMD1 の SSLKP ビットが 0 であるため、SSL 信号をネゲートします。また、SPCMD1 に従った次アクセス遅延が挿入されます。

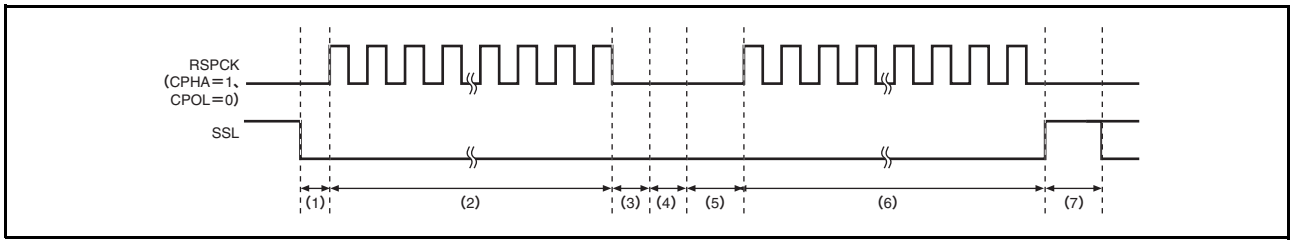


図 16.16　SSLKP ビットを利用したバースト転送動作の例

SSLKPビットに1を設定したSPCMDでのSSL信号出力設定と、次転送で使用するSPCMDでのSSL信号出力設定が異なる場合、本モジュールは次転送のコマンドに対応したSSL信号のアサート時（図16.16の（5））にSSL信号状態を切り替えます。このようなSSL信号の切り替えが発生した場合、MISOをドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの本モジュールは、SSLKPを使用しない場合のSSL信号動作をモジュール内部で参照しています。SPCMDのCPHAビットが0の場合でも、本モジュールは内部で検出した次転送のSSL信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHAビットの設定値にかかわらず実行できます（「16.4.8（2）スレーブモード動作」を参照）。

(e)　RSPCK遅延（t1）

マスタモードのRSPCK遅延値は、コマンドレジスタ（SPCMD）のSCKDENビットの設定とクロック遅延レジスタ（SPCKD）の設定に依存します。本モジュールは、シリアル転送で参照するSPCMDをポインタ制御によって決定し、選択したSPCMDのSCKDENビットとSPCKDを使用して、表16.8のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「16.4.4　転送フォーマット」を参照してください。

表16.8　　SCKDEN、SPCKDとRSPCK遅延値の関係

SCKDEN	SPCKD	RSPCK遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(f)　SSL ネゲート遅延（t2）

マスタモードの SSL ネゲート遅延値は、コマンドレジスタ（SPCMD）の SLNDEN ビットの設定と SSL ネゲート遅延レジスタ（SSLND）の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SLNDEN ビットと SSLND を使用して、**表 16.9** のようにシリアル転送時の SSL ネゲート遅延値を決定します。なお、SSL ネゲート遅延の定義については、**「16.4.4　転送フォーマット」**を参照してください。

表 16.9　　SLNDEN、SSLND と SSL ネゲート遅延値の関係

SLNDEN	SSLND	SSL ネゲート遅延値
0	000 ～ 111	1RSPCK
1	000	1RSPCK
	001	2RSPCK
	010	3RSPCK
	011	4RSPCK
	100	5RSPCK
	101	6RSPCK
	110	7RSPCK
	111	8RSPCK

(g)　次アクセス遅延（t3）

マスタモードの次アクセス遅延は、コマンドレジスタ（SPCMD）の SPNDEN ビットの設定と次アクセス遅延レジスタ（SPND）の設定に依存します。本モジュールは、シリアル転送で参照する SPCMD をポインタ制御によって決定し、選択した SPCMD の SPNDEN ビットと SPND を使用して、**表 16.10** のようにシリアル転送時の RSPCK 遅延を決定します。なお、次アクセス遅延の定義については、**「16.4.4　転送フォーマット」**を参照してください。

表 16.10　　SPNDEN、SPND と次アクセス遅延値の関係

SPNDEN	SPND	次アクセス遅延値
0	000 ～ 111	1RSPCK＋2P1φ
1	000	1RSPCK＋2P1φ
	001	2RSPCK＋2P1φ
	010	3RSPCK＋2P1φ
	011	4RSPCK＋2P1φ
	100	5RSPCK＋2P1φ
	101	6RSPCK＋2P1φ
	110	7RSPCK＋2P1φ
	111	8RSPCK＋2P1φ

(h)　初期化フロー

図 16.17 に、SPI 動作時、本モジュールをマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

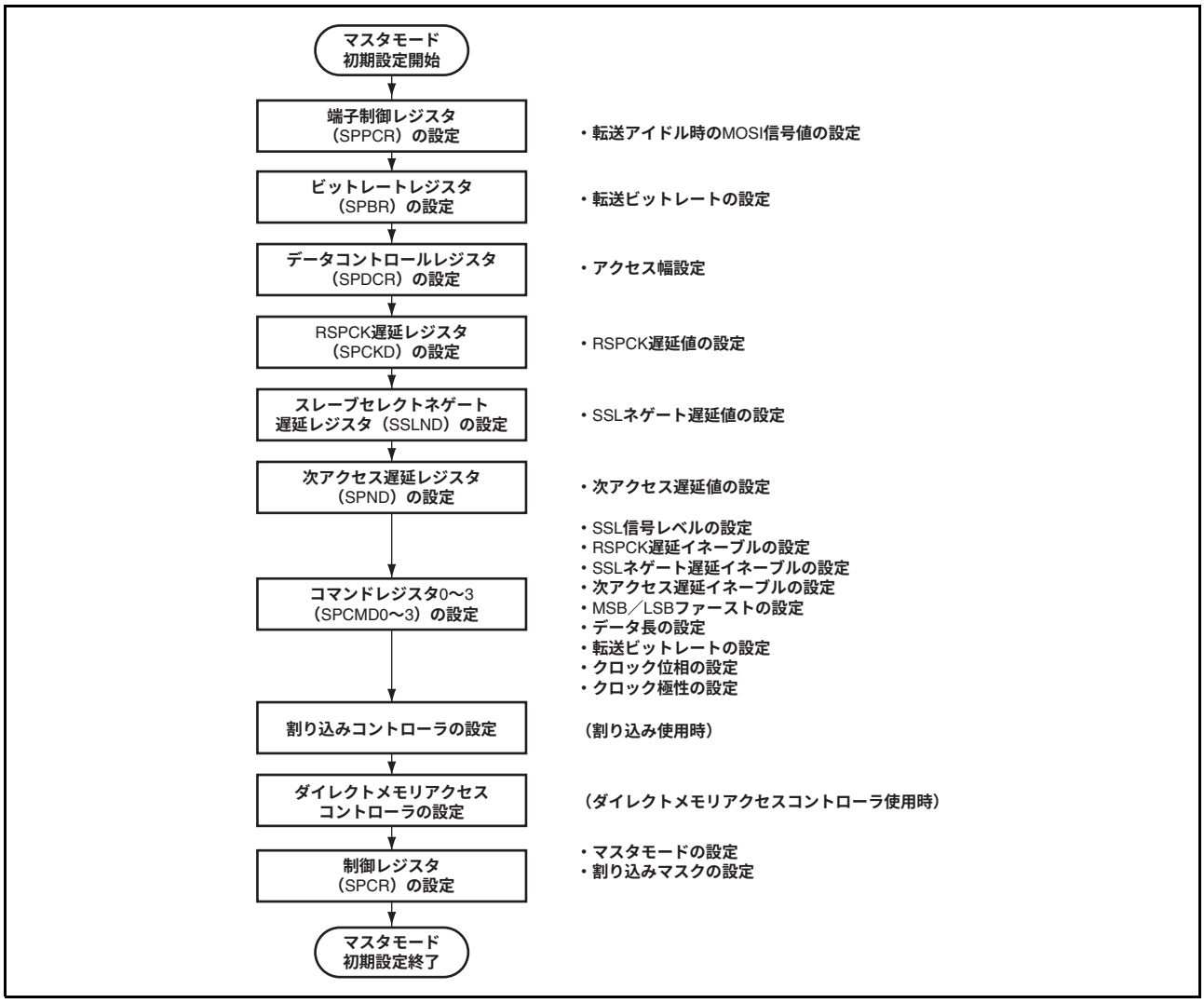


図 16.17　マスタモード時の初期化フロー例

(i)　転送動作フロー

図 16.18 に、SPI 動作時、マスタモードの転送動作フローを示します。

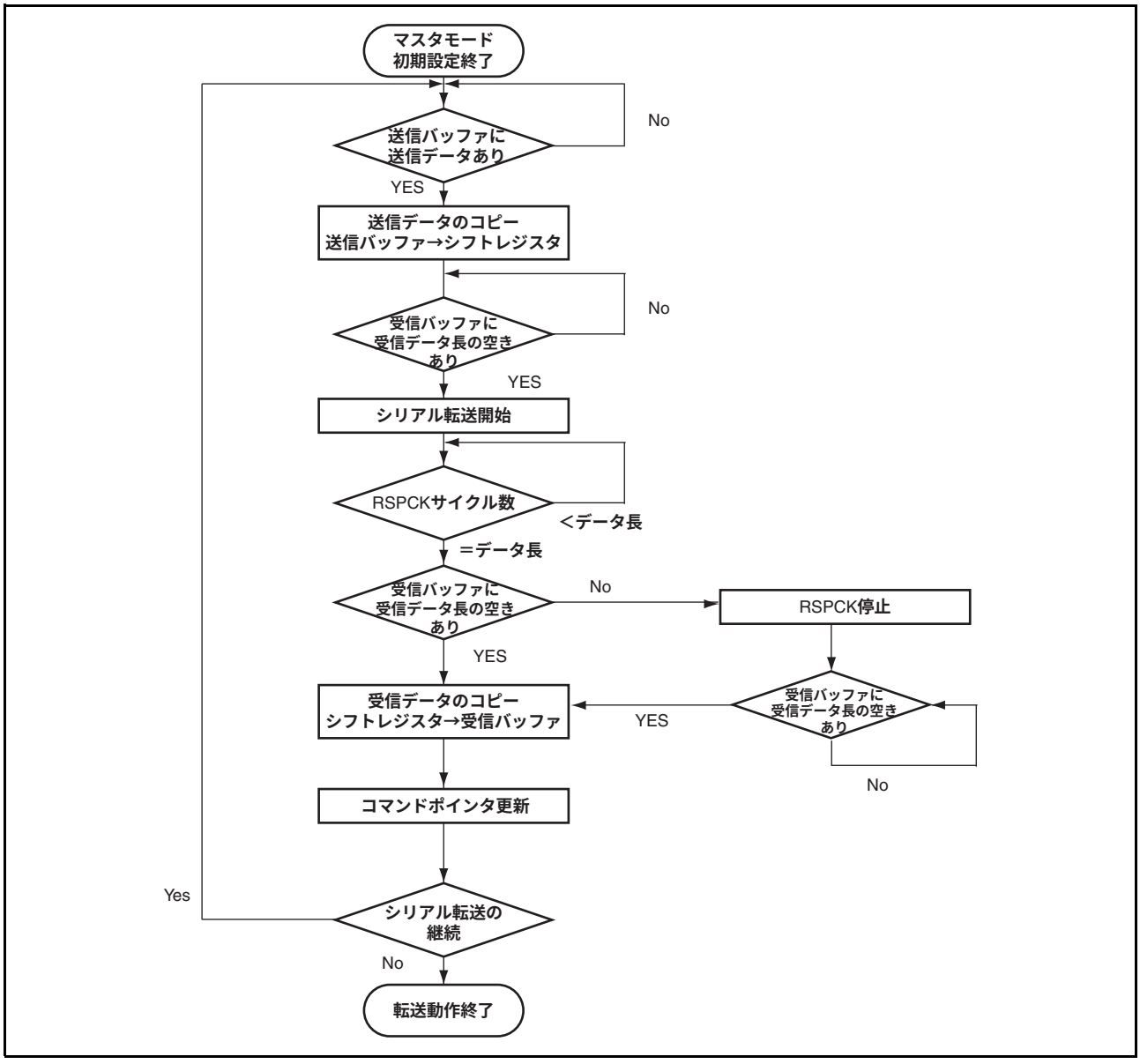


図 16.18　マスタモード時の転送動作フロー

(2)　スレーブモード動作

(a)　シリアル転送の開始

コマンドレジスタ 0（SPCMD0）の CPHA ビットが 0 の場合、本モジュールは SSL 入力信号のアサートを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 0 の場合には、SSL 入力信号のアサートがシリアル転送開始のトリガになります。

CPHA ビットが 1 の場合には、本モジュールは SSL 入力信号のアサート状態で最初の RSPCK エッジを検出すると、MISO 出力信号への有効データのドライブを開始する必要があります。このため、CPHA が 1 の場合には、SSL 信号アサート状態における最初の RSPCK エッジがシリアル転送開始のトリガになります。

本モジュールは、シフトレジスタがエンプティの状態でシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、本モジュールはシフトレジスタの状態をフルのまま変更しません。

CPHA ビットの設定に依存せず、本モジュールが MISO 出力信号のドライブを開始するタイミングは、SSL 信号アサートタイミングです。CPHA ビットの設定によって、本モジュールが出力するデータの有効／無効が異なります。

なお、本モジュールの転送フォーマットの詳細については、**「16.4.4　転送フォーマット」**を参照してください。SSL 入力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の SSLP ビットの設定値に依存します。

(b)　シリアル転送の終了

コマンドレジスタ 0（SPCMD0）の CPHA ビットにかかわらず、本モジュールは最終サンプリングタイミングに相当する RSPCK エッジを検出するとシリアル転送を終了します。受信バッファに受信データを保存することができる空きがある場合には、シリアル転送の終了後に、本モジュールはシフトレジスタからデータレジスタ（SPDR）の受信バッファに受信データをコピーします。また、SPRF ビットの値にかかわらず、本モジュールはシリアル転送の終了後にシフトレジスタの状態をエンプティに変更します。シリアル転送開始からシリアル転送終了の間に本モジュールが SSL 入力信号のネゲートを検出するとモードフォルトエラーが発生します（**「16.4.6　エラー検出」**を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのデータ長は SPCMD0 の SPB3 ～ SPB0 ビットの設定値に依存します。SSL 入力信号の極性は、スレーブセレクト極性レジスタ（SSLP）の SSLP ビットの設定値に依存します。転送フォーマットの詳細については、**「16.4.4　転送フォーマット」**を参照してください。

(c)　スレーブ時の注意点

コマンドレジスタ 0（SPCMD0）の CPHA ビットが 0 の場合には、本モジュールは SSL 入力信号のアサートエッジを検出するとシリアル転送を開始します。**図 16.4** の例に示したような構成で本モジュールをスレーブで使用する場合には、SSL 入力信号が常にアクティブ状態に固定されるため、CPHA を 0 に設定した本モジュールではシリアル転送を正しく開始できません。SSL 入力信号をアクティブ状態に固定する構成で、スレーブモードの送受信を正しく実行するためには、CPHA ビットを 1 にしてください。CPHA ビットを 0 にする必要がある場合には、SSL 入力信号を固定しないでください。

(d)　バースト転送

コマンドレジスタ 0（SPCMD0）の CPHA ビットが 1 の場合には、SSL 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行することが可能です。CPHA ビットが 1 の場合には、SSL 入力信号アクティブ状態における最初の RSPCK エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSL 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応可能です。

CPHA ビットが 0 の場合には、「16.4.8　(2)　(c)　スレーブ時の注意点」と同じ理由のために、バースト転送の 2 回目以降のシリアル転送を正しく実行できません。

(e)　初期化フロー

図 16.19 に、SPI 動作時、本モジュールをスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、ダイレクトメモリアクセスコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

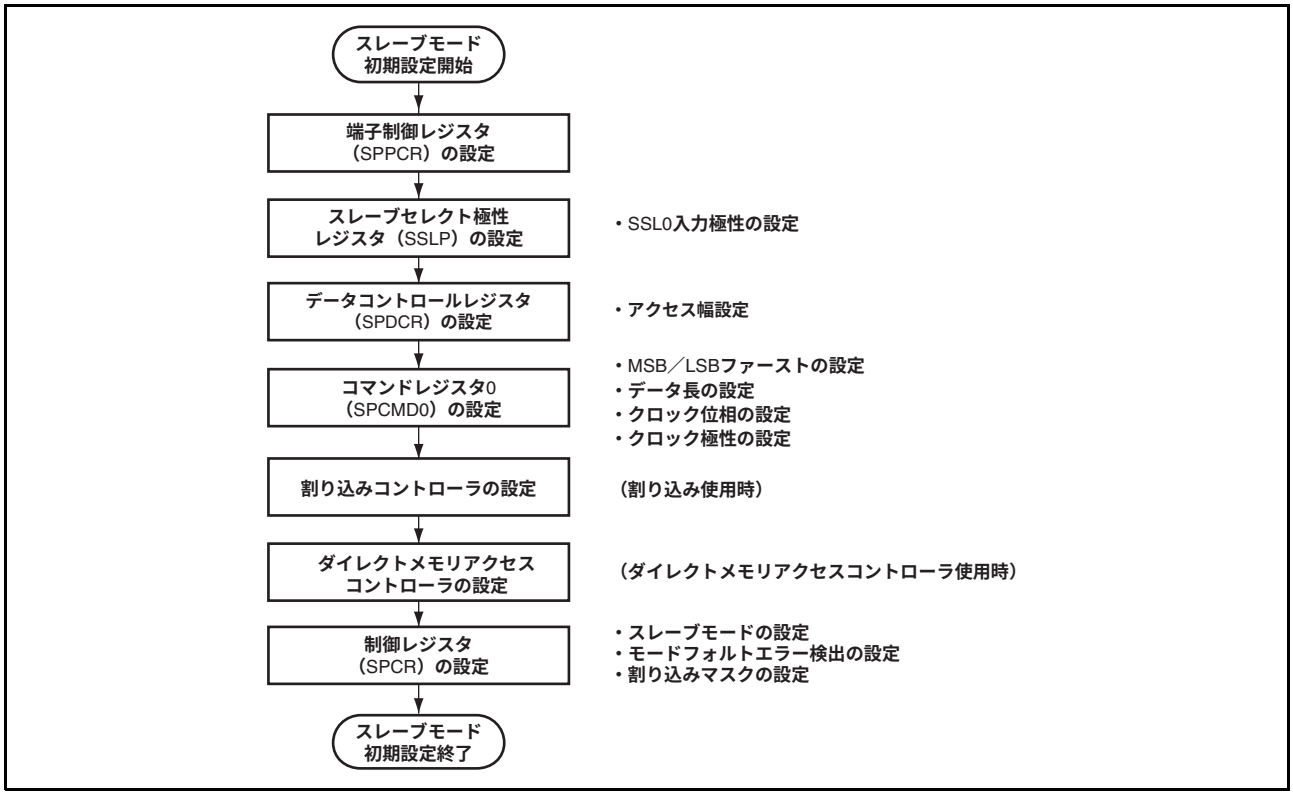


図 16.19　スレーブモード時の初期化フロー例

(f)　転送動作フロー（CPHA ＝ 0）

図 16.20 に、SPI 動作時、コマンドレジスタ 0（SPCMD0）の CPHA ビットを 0 に設定したスレーブモードの転送動作フローを示します。

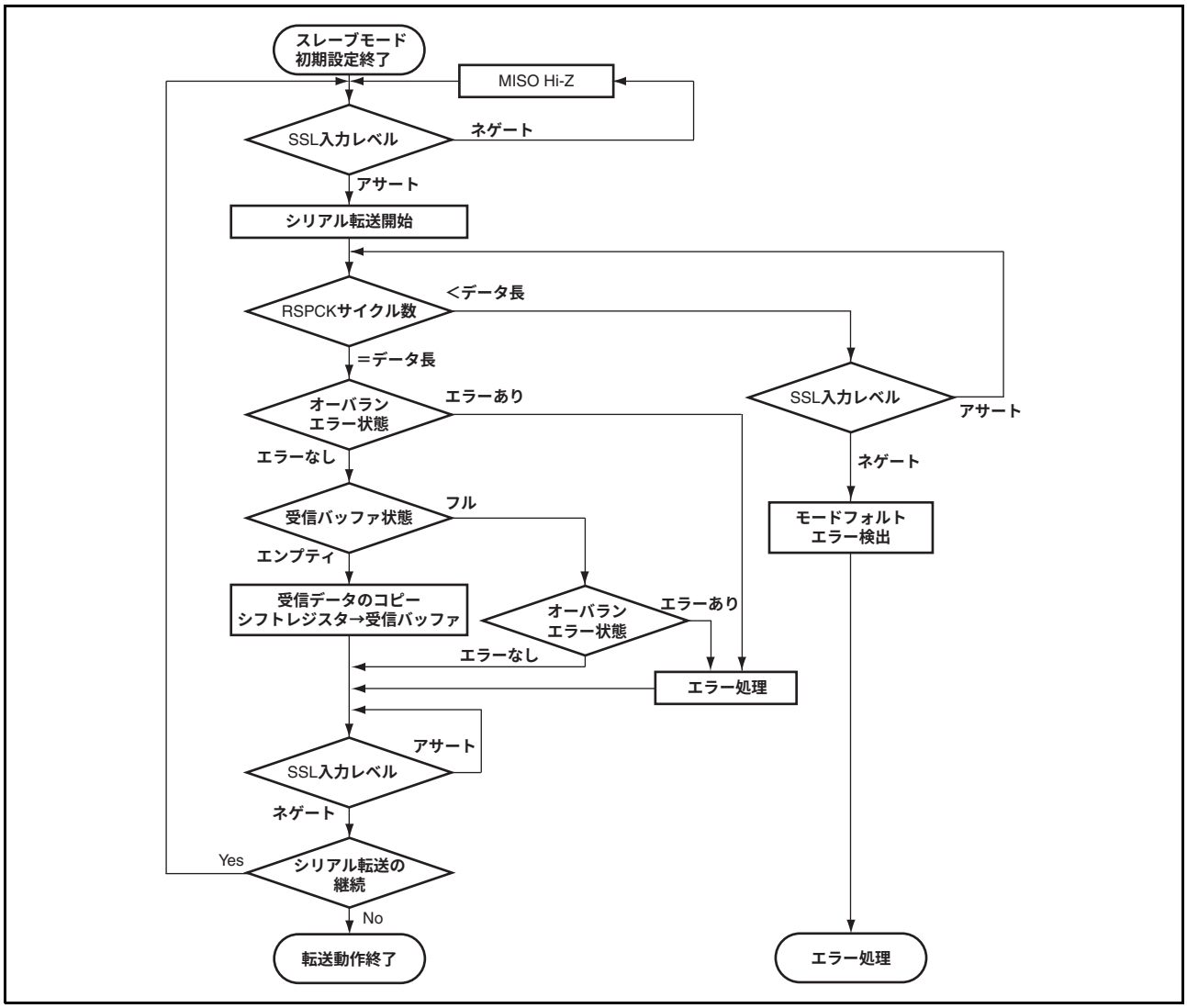


図 16.20　スレーブモード時の転送動作フロー（CPHA ＝ 0）

(g)　転送動作フロー（CPHA ＝ 1）

図 16.21 に、SPI 動作時、コマンドレジスタ 0（SPCMD0）の CPHA ビットを 1、制御レジスタ（SPCR）の MODFEN ビットを 1 に設定したスレーブモードの転送動作フローを示します。MODFEN ビットを 0 に設定した状態でシリアル転送を開始し、RSPCK サイクル数がデータ長より短い状態で SSL 入力レベルがネゲートされた場合、以降の動作は保証されません。

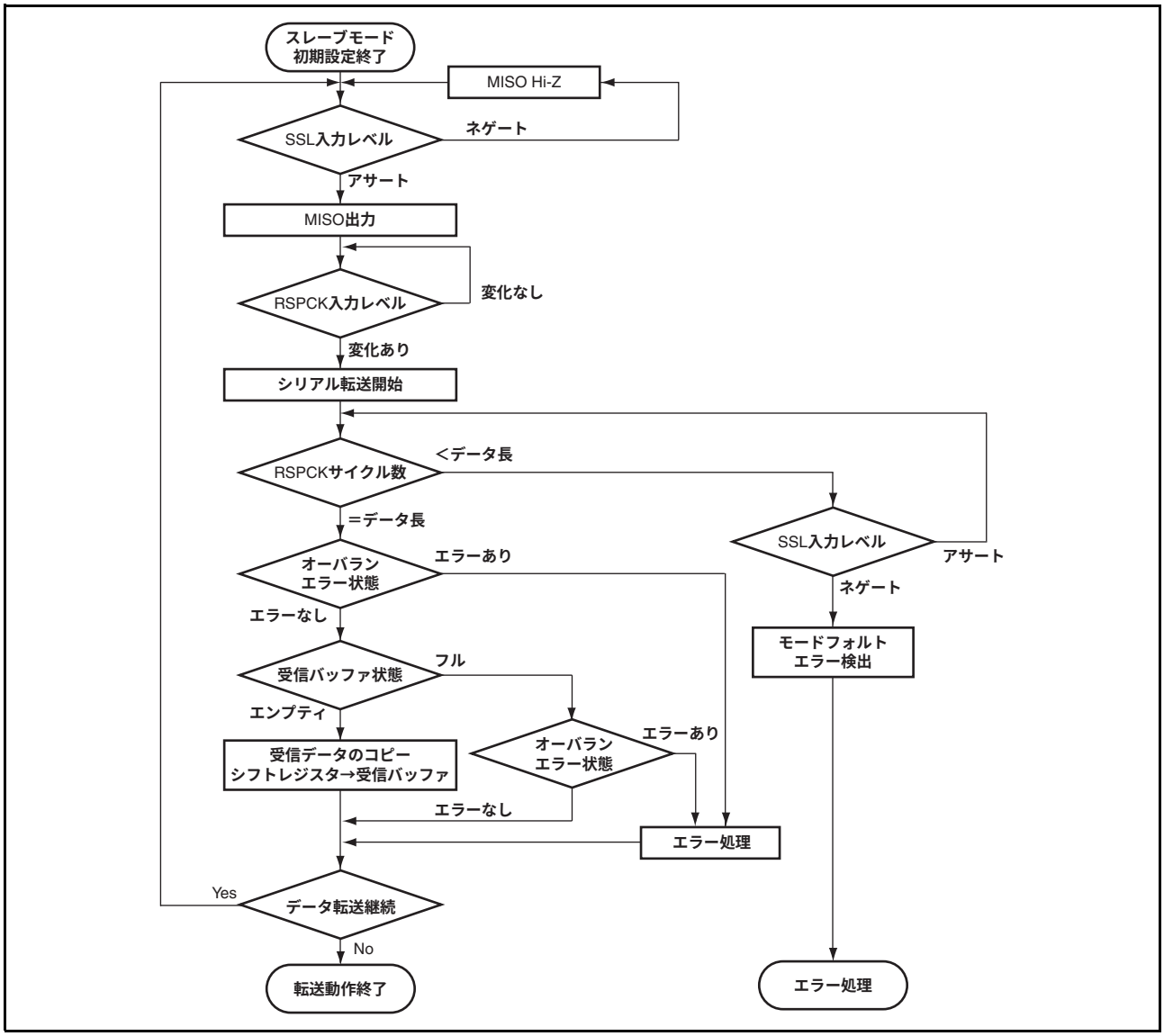


図 16.21　スレーブモード時の転送動作フロー（CPHA ＝ 1）

16.4.9　エラー処理

図 16.22、図 16.23 に、エラー処理を示します。マスタモード、スレーブモードで発生したエラーは、以下のエラー処理を行うことでエラー状態から復帰できます。

図 16.22　エラー処理（オーバランエラー）

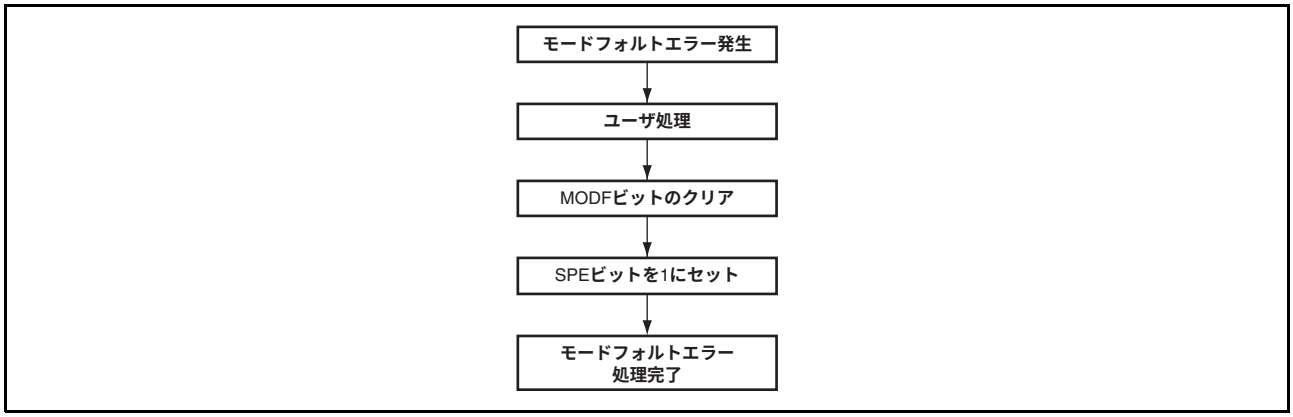


図 16.23　エラー処理（モードフォルトエラー）

16.4.10　ループバックモード

端子制御レジスタ（SPPCR）の SPLP ビットに 1 を書き込むと、本モジュールは MISO 端子とシフトレジスタ間、MOSI 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路（反転）を接続します。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、送信データが受信データになります。**図 16.24** に、マスタモードの本モジュールをループバックモードに設定した場合のシフトレジスタ入出力経路の構成を示します。

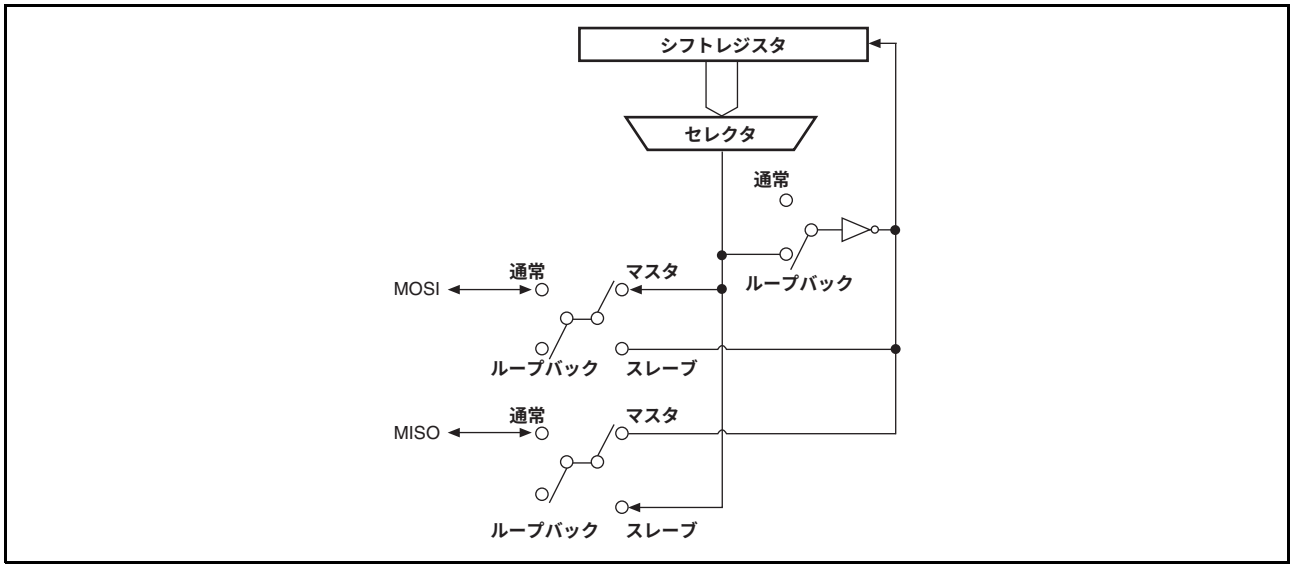


図 16.24　ループバックモード時のシフトレジスタ入出力構成（マスタモード）

16.4.11　割り込み要因

割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバランがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でダイレクトメモリアクセスコントローラを起動し、データ転送を行うことができます。

表 16.11 に、割り込み要因を示します。

表 16.11 の割り込み条件が成立すると、割り込みが発生します。CPU またはダイレクトメモリアクセスコントローラによるデータ転送で割り込み要因をクリアしてください。

表 16.11　割り込み要因

名称	割り込み要因	略称	割り込み条件	ダイレクトメモリアクセスコントローラ起動
SPRI	受信バッファフル	RXI	(SPRIE=1)・(SPRF=1)	○
SPTI	送信バッファエンプティ	TXI	(SPTIE=1)・(SPTEF=1)	○
SPEI	モードフォルト	MOI	(SPEIE=1)・(MODF=1)	－
	オーバラン	OVI	(SPEIE=1)・(OVRF=1)	－

17. SPI マルチ I/O バスコントローラ

SPI マルチ I/O バスコントローラは、SPI マルチ I/O バス空間に接続されたシリアルフラッシュに対し制御信号を出力します。これにより、シリアルフラッシュを直接接続することができます。

本 LSI は独立した 1 チャネルの SPI マルチ I/O バスコントローラを備えています。

17.1 特長

本モジュールは、接続したシリアルフラッシュに対し、SPI マルチ I/O バス空間への直接リードおよび SPI 動作モードによるデータの送受信を行うことができます。

1. シリアルフラッシュインタフェース
- 1 チャネルあたりシリアルフラッシュを 2 個まで接続可能
- データバス幅を 1 つのシリアルフラッシュに対し、1 ビット、2 ビット、4 ビットから選択可能
- DDR 転送に対応したシリアルフラッシュと接続可能（RZ/A1LU のみ）

2. 外部アドレス空間リードモード
- アドレス空間最大 8G バイトまでサポート（シリアルフラッシュ 2 個接続時）
- アクセスアドレスをモニタすることにより、SPBSSL 端子の自動制御可能
- リードキャッシュ内蔵（ラインサイズ 64 ビット ×16 エントリ）により、効率の良いデータ受信可能

3. SPI 動作モード
- シリアルフラッシュに対し、任意のリード／ライト動作可能

4. ビットレート
- 内部ボーレートジェネレータで Bφ を分周して SPBCLK を生成
- SPBCLK 分周比を 2 ～ 4080 で設定可能

5. SPBSSL 端子制御
- SPBSSL 信号アサートから SPBCLK 動作までの遅延（クロック遅延）を設定可能
  設定範囲：1 ～ 8 SPBCLK　設定単位：1SPBCLK
- SPBCLK 停止から SPBSSL 出力ネゲートまでの遅延（SPBSSL ネゲート遅延）を設定可能
  設定範囲：1.5 ～ 8.5 SPBCLK　設定単位：1SPBCLK
- 次のアクセスの SPBSSL 出力アサートのウェイト（次アクセス遅延）を設定可能
  設定範囲：1 ～ 8 SPBCLK　設定単位：1SPBCLK
- SPBSSL 極性変更可能

17.2　ブロック図

本モジュールの 1 チャネルあたりの全体ブロックを図 17.1 に示します。

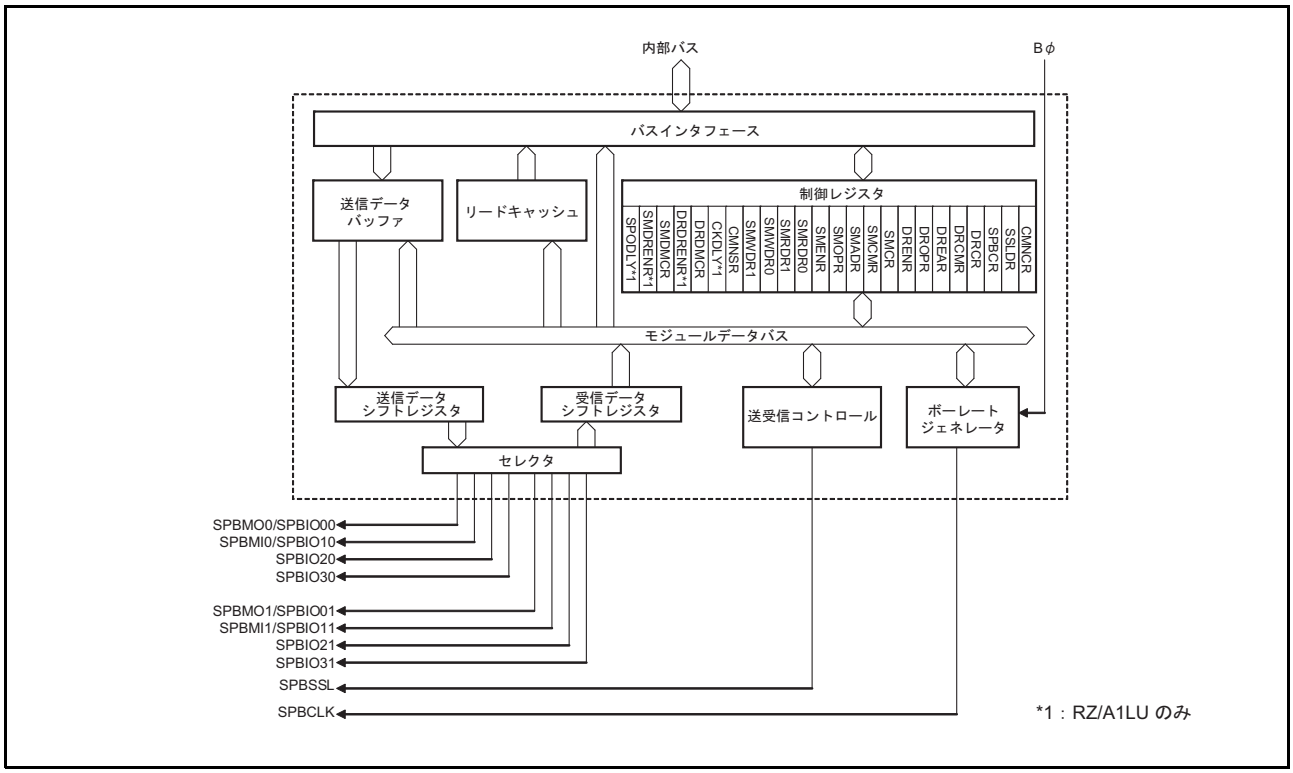


図 17.1　ブロック図

17.3　入出力端子

1 チャネルあたりの端子構成を表 17.1 に示します。

表 17.1　端子構成

ポート	名称	端子名	入出力	機能
共通	クロック端子	SPBCLK_n	出力	クロック出力
	スレーブセレクト端子	SPBSSL_n	出力	スレーブセレクト
0	ポート 0 データ 0 端子	SPBMO0_n/SPBIO00_n	入出力	ポート 0 マスタ送出データ／データ 0
	ポート 0 データ 1 端子	SPBMI0_n/SPBIO10_n	入出力	ポート 0 マスタ入力データ／データ 1
	ポート 0 データ 2 端子	SPBIO20_n	入出力	ポート 0 データ 2
	ポート 0 データ 3 端子	SPBIO30_n	入出力	ポート 0 データ 3
1	ポート 1 データ 0 端子	SPBMO1_n/SPBIO01_n	入出力	ポート 1 マスタ送出データ／データ 0
	ポート 1 データ 1 端子	SPBMI1_n/SPBIO11_n	入出力	ポート 1 マスタ入力データ／データ 1
	ポート 1 データ 2 端子	SPBIO21_n	入出力	ポート 1 データ 2
	ポート 1 データ 3 端子	SPBIO31_n	入出力	ポート 1 データ 3

注.　n はチャネル（0）となります。本文中ではチャネルは省略して表記しています。

17.4 レジスタの説明

レジスタ構成を表 17.2 に示します。

表 17.2　レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	共通コントロールレジスタ _0	CMNCR_0	R/W	H'01AA4000	H'3FEFA000	32
	SSL 遅延レジスタ _0	SSLDR_0	R/W	H'00070707	H'3FEFA004	32
	ビットレート設定レジスタ _0	SPBCR_0	R/W	H'00000003	H'3FEFA008	32
	データリードコントロールレジスタ _0	DRCR_0	R/W	H'00000000	H'3FEFA00C	32
	データリードコマンド設定レジスタ _0	DRCMR_0	R/W	H'00030000	H'3FEFA010	32
	データリード拡張アドレス設定レジスタ _0	DREAR_0	R/W	H'00000000	H'3FEFA014	32
	データリードオプション設定レジスタ _0	DROPR_0	R/W	H'00000000	H'3FEFA018	32
	データリードイネーブル設定レジスタ _0	DRENR_0	R/W	H'00004700	H'3FEFA01C	32
	SPI モードコントロールレジスタ _0	SMCR_0	R/W	H'00000000	H'3FEFA020	32
	SPI モードコマンド設定レジスタ _0	SMCMR_0	R/W	H'00000000	H'3FEFA024	32
	SPI モードアドレス設定レジスタ _0	SMADR_0	R/W	H'00000000	H'3FEFA028	32
	SPI モードオプション設定レジスタ _0	SMOPR_0	R/W	H'00000000	H'3FEFA02C	32
	SPI モードイネーブル設定レジスタ _0	SMENR_0	R/W	H'00004000	H'3FEFA030	32
	SPI モードリードデータレジスタ 0_0	SMRDR0_0	R	不定	H'3FEFA038	8、16、32
	SPI モードリードデータレジスタ 1_0	SMRDR1_0	R	不定	H'3FEFA03C	8、16、32
	SPI モードライトデータレジスタ 0_0	SMWDR0_0	R/W	H'00000000	H'3FEFA040	8、16、32
	SPI モードライトデータレジスタ 1_0	SMWDR1_0	R/W	H'00000000	H'3FEFA044	8、16、32
	共通ステータスレジスタ _0	CMNSR_0	R	H'00000001	H'3FEFA048	32
	SPIAC 入力特性調整レジスタ _0 (RZ/A1LU のみ)	CKDLY_0	R/W	H'00000004	H'3FEFA050	32
	データリードダミーサイクル設定レジスタ _0	DRDMCR_0	R/W	H'00000000	H'3FEFA058	32
	データリード DDR イネーブルレジスタ _0 (RZ/A1LU のみ)	DRDRENR_0	R/W	H'00000000	H'3FEFA05C	32
	SPI モードダミーサイクル設定レジスタ _0	SMDMCR_0	R/W	H'00000000	H'3FEFA060	32
	SPI モード DDR イネーブルレジスタ _0 (RZ/A1LU のみ)	SMDRENR_0	R/W	H'00000000	H'3FEFA064	32
	SPIAC 出力特性調整レジスタ _0 (RZ/A1LU のみ)	SPODLY_0	R/W	H'00000000	H'3FEFA068	32

注.　本文ではチャネルを省略して表記しています。

17.4.1　共通コントロールレジスタ（CMNCR）

CMNCRは、SPIマルチI/Oバスコントローラの制御を行う32ビットのレジスタです。本レジスタの設定は、外部アドレス空間リード／SPI動作モード両方に反映されます。

CMNSRレジスタのTENDフラグ＝"1"のときに変更してください。CMNSRレジスタのTENDフラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MD	—	—	—	—	—	—	SFDE	MOIIO3[1:0]		MOIIO2[1:0]		MOIIO1[1:0]		MOIIO0[1:0]	
初期値：	0	0	0	0	0	0	0	1	1	0	1	0	1	0	1	0
R/W：	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO3FV[1:0]		IO2FV[1:0]		—	—	IO0FV[1:0]		—	CPHAT	CPHAR	SSLP	CPOL	—	BSZ[1:0]	
初期値：	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31	MD	0	R/W	動作モード切り替え 動作モードの切り替えを行います。 0：外部アドレス空間リードモード 1：SPI動作モード
30 ～ 25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	SFDE	1	R/W	シリアルフラッシュデータスワップ設定 シリアルフラッシュのデータのスワップを設定します。 0：スワップしない 1：8ビット単位でスワップ 詳細は「17.5.4　データアライメント」を参照してください。
23、22	MOIIO3 [1:0]	10	R/W	SPBSSL出力アイドル値固定SPBIO30、SPBIO31 SPBSSLネゲート期間にSPBIO30、SPBIO31の出力値を固定します。 00：出力値は0 01：出力値は1 10：出力値は直前のビット（直前のビットがHi-Zのときは Hi-Z） 11：出力値はHi-Z
21、20	MOIIO2 [1:0]	10	R/W	SPBSSL出力アイドル値固定SPBIO20、SPBIO21 SPBSSLネゲート期間にSPBIO20、SPBIO21の出力値を固定します。 00：出力値は0 01：出力値は1 10：出力値は直前のビット（直前のビットがHi-Zのときは Hi-Z） 11：出力値はHi-Z
19、18	MOIIO1 [1:0]	10	R/W	SPBSSL出力アイドル値固定SPBIO10、SPBIO11 SPBSSLネゲート期間にSPBIO10、SPBIO11の出力値を固定します。 00：出力値は0 01：出力値は1 10：出力値は直前のビット（直前のビットがHi-Zのときは Hi-Z） 11：出力値はHi-Z
17、16	MOIIO0 [1:0]	10	R/W	SPBSSL出力アイドル値固定SPBIO00、SPBIO01 SPBSSLネゲート期間にSPBIO00、SPBIO01の出力値を固定します。 00：出力値は0 01：出力値は1 10：出力値は直前のビット（直前のビットがHi-Zのときは Hi-Z） 11：出力値はHi-Z
15、14	IO3FV[1:0]	01	R/W	1ビット／2ビット幅時SPBIO30、SPBIO31固定値 1ビット／2ビット幅時、SPBIO30、SPBIO31端子の出力値を固定します。 00：出力値は0固定 01：出力値は1固定 10：出力値は直前のビット（直前のビットがHi-Zのときは Hi-Z） 11：出力値はHi-Z

ビット	ビット名	初期値	R/W	説　　明
13、12	IO2FV[1:0]	00	R/W	1ビット／2ビット幅時SPBIO20、SPBIO21固定値 1ビット／2ビット幅時、SPBIO20、SPBIO21端子の出力値を固定します。 00：出力値は0固定 01：出力値は1固定 10：出力値は直前のビット（直前のビットがHi-Zのときは Hi-Z） 11：出力値は Hi-Z
11、10	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	IO0FV[1:0]	00	R/W	1ビット幅入力時SPBIO00、SPBIO01固定値 1ビット幅入力時、SPBIO00、SPBIO01端子の出力値を固定します。 00：出力値は0固定 01：出力値は1固定 10：出力値は直前のビット（直前のビットがHi-Zのときは Hi-Z） 11：出力値は Hi-Z
7	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	CPHAT	0	R/W	出力シフト設定 出力データのSPBCLKエッジを設定します。 CPHATとCPHARの設定はCPHAR説明の表に従ってください。 0：SDR転送 偶数エッジでデータ送信 　DDR転送 偶数エッジからデータ送信を開始(RZ/A1LU のみ) 1：SDR転送 奇数エッジでデータ送信 　DDR転送 奇数エッジからデータ送信を開始(RZ/A1LU のみ)
5	CPHAR	0	R/W	入力ラッチ設定 受信データのSPBCLKエッジを設定します。 CPHATとCPHARの設定は下表に従ってください。 0：SDR転送 奇数エッジでデータ受信 　DDR転送 奇数エッジからデータ受信を開始(RZ/A1LU のみ) 1：SDR転送 偶数エッジでデータ受信 　DDR転送 偶数エッジからデータ受信を開始(RZ/A1LU のみ) CPHATとCPHARの設定値 CPHAT / CPHAR / 設定可 0 / 0 / 設定可 0 / 1 / SDR 転送時設定可 1 / 0 / 設定禁止 1 / 1 / 設定可 注.　DDR転送をするときはCPHATビット="0"、CPHAR ビット="0"または CPHATビット="1"、 CPHARビット="1"と設定してください。(RZ/A1LU のみ)
4	SSLP	0	R/W	SPBSSL信号極性設定 SPBSSL信号の極性を設定します。 0：SPBSSL信号はLowアクティブ 1：SPBSSL信号はHighアクティブ
3	CPOL	0	R/W	SPBSSLネゲート期間SPBCLK出力方向 SPBSSLネゲート期間のSPBCLK出力方向を設定します。 0：SPBSSLネゲート時SPBCLKは0出力 1：SPBSSLネゲート時SPBCLKは1出力
2	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	BSZ[1:0]	00	R/W	データバス幅指定 接続するシリアルフラッシュの数を指定します。 00：1個 01：2個 1X：設定禁止 注.　本ビットを変更した場合は、必ずDRCRレジスタのRCFビット＝"1"により、リードキャッシュの全エントリをクリアしてください。

17.4.2 SSL 遅延レジスタ（SSLDR）

SSLDR は、SPBSSL 信号と SPBCLK 信号間のタイミング調整を行う 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／ SPI 動作モード両方に反映されます。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	SPNDL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	SLNDL[2:0]			–	–	–	–	–	SCKDL[2:0]		
初期値：	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 19	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18 ～ 16	SPNDL[2:0]	111	R/W	次アクセス遅延設定 転送終了から次の転送開始までの期間（次アクセス）を設定します。 000：1SPBCLK 001：2SPBCLK 010：3SPBCLK 011：4SPBCLK 100：5SPBCLK 101：6SPBCLK 110：7SPBCLK 111：8SPBCLK
15 ～ 11	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 8	SLNDL[2:0]	111	R/W	SPBSSL ネゲート遅延設定 転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間（SPBSSL ネゲート遅延）を設定します。 000：1.5SPBCLK 001：2.5SPBCLK 010：3.5SPBCLK 011：4.5SPBCLK 100：5.5SPBCLK 101：6.5SPBCLK 110：7.5SPBCLK 111：8.5SPBCLK
7 ～ 3	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 ～ 0	SCKDL[2:0]	111	R/W	クロック遅延設定 SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）を設定します。 000：1SPBCLK 001：2SPBCLK 010：3SPBCLK 011：4SPBCLK 100：5SPBCLK 101：6SPBCLK 110：7SPBCLK 111：8SPBCLK

17.4.3　ビットレート設定レジスタ（SPBCR）

SPBCR は、ビットレートを設定する 32 ビットのレジスタです。

本レジスタの設定は、外部アドレス空間リード／ SPI 動作モード両方に反映されます。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPBR[7:0]								–	–	–	–	–	–	BRDV[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 ～ 8	SPBR[7:0]	すべて 0	R/W	ビットレート設定 ビットレートを設定します。ビットレートは BRDV[1:0] ビットとの組み合わせで決定されます。詳細は表 17.3 を参照してください。
7 ～ 2	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	BRDV[1:0]	11	R/W	ビットレート分周設定 ビットレートを設定します。ビットレートは SPBR[7:0] ビットとの組み合わせで決定されます。SPBR の設定値は、ベースとなるビットレートを決定します。本ビットの設定値は、ベースのビットレートに対して分周なし／2 分周／4 分周／8 分周したビットレートを選択するために使用します。 00：ベースのビットレートを選択 01：ベースのビットレートの 2 分周を選択 10：ベースのビットレートの 4 分周を選択 11：ベースのビットレートの 8 分周を選択

(1)　ビットレート

SPBR[7:0]、BRDV[1:0] にてビットレートの設定をします。

SPBR[7:0] ≠ 0 のときのビットレートの計算式は下記です。

式中の n は SPBR[7:0] の設定値（1、…255）、N は BRDV[1:0] の設定値（0 ～ 3）です。

ビットレート＝ Bφ/（$2\times n\times 2^N$）

また、SPBR[7:0]=0 のときのビットレートの計算式は下記です。

式中の N は BRDV[1:0] の設定値 (0 ～ 3) です。

ビットレート =$B\varphi/2^N$

表 17.3　SPBR[7:0]、BRDV[1:0] ビットの設定値とビットレート

SPBR[7:0]の設定値（n）	BRDV[1:0]の設定値（N）	分周比	ビットレート		
			Bφ＝100MHz	Bφ＝128MHz	Bφ＝133.33MHz
0	0	1	設定禁止		
1	0	2	50Mbps	64Mbps	66.67Mbps
2	0	4	25Mbps	32Mbps	33.33Mbps
3	0	6	16.67Mbps	21.33Mbps	22.22Mbps
4	0	8	12.5Mbps	16Mbps	16.67Mbps
5	0	10	10Mbps	12.8Mbps	13.33Mbps
6	0	12	8.33Mbps	10.67Mbps	11.11Mbps
6	1	24	4.17Mbps	5.33Mbps	5.56Mbps
6	2	48	2.08Mbps	2.67Mbps	2.78Mbps
6	3	96	1.04Mbps	1.33Mbps	1.39Mbps
255	3	4080	24.51kbps	31.37kbps	32.68kbps

注.　ビットレートは本モジュールの AC 特性を満たせる範囲で設定してください。

17.4.4　データリードコントロールレジスタ（DRCR）

外部アドレス空間リード時の動作を設定する 32 ビットのレジスタです。

SSLN ビット以外は CMNSR レジスタの TEND フラグ＝"1" のときに変更してください。CMNSR レジスタの TEND フラグ＝"0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	SSLN	－	－	－	－	RBURST[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	RCF	RBE	－	－	－	－	－	－	－	SSLE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
24	SSLN	0	W	SPBSSL ネゲート RBE ビット＝"1"かつ SSLE ビット＝"1"の設定のとき、本ビットに 1 ライトすることにより、アサート中の SPBSSL をネゲートします。 読み出すと常に 0 が読み出されます。 注.　本ビットで SPBSSL をネゲートした後、次のアクセスを始める場合、CMNSR レジスタの SSLF ビット＝0 をリードして SPBSSL がネゲートされたことを確認してください。
23 ～ 20	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19 ～ 16	RBURST [3:0]	0000	R/W	リードデータバースト長 リード時のバースト長を設定します。 RBE ビット＝"1"にセットしたときに有効となります。 0000：1 データ長連続 0001：2 データ長連続 ： 1110：15 データ長連続 1111：16 データ長連続 1 データ長は 64 ビットです。
15 ～ 10	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9	RCF	0	W	リードキャッシュフラッシュ 1 を書き込むと、リードキャッシュの全エントリをクリアします。 読み出すと常に 0 が読み出されます。 注.　RCF ビットに 1 を書き込んでリードキャッシュのクリアを行った後は、DRCR レジスタの内容を読み出した後に外部アドレス空間リードを行ってください。
8	RBE	0	R/W	リードバースト リード時のバースト ON/OFF を設定します。 0：アクセスサイズに応じてリードします。 1：リードキャッシュが有効となり、RBURST[3:0] ビットに指定されたバースト数分のリードをします。
7 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SSLE	0	R/W	SPBSSL ネゲート設定 リードバースト時の SPBSSL のネゲート条件を設定します。 通常リード時はアクセスごとに SPBSSL をネゲートします。 0：バースト長で設定されたデータ転送終了ごとに SPBSSL をネゲートします。 1：アクセスしたアドレスが前回転送のアドレスから連続していないときに SPBSSL をネゲートします。

17.4.5　データリードコマンド設定レジスタ（DRCMR）

外部アドレス空間リード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	CMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	OCMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	CMD[7:0]	H'03	R/W	コマンド コマンドを設定します。
15 ～ 8	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 ～ 0	OCMD[7:0]	H'00	R/W	オプショナルコマンド オプショナルコマンドを設定します。

17.4.6　データリード拡張アドレス設定レジスタ（DREAR）

シリアルフラッシュのアドレスを 32 ビットで出力するときの設定をする 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	EAV[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

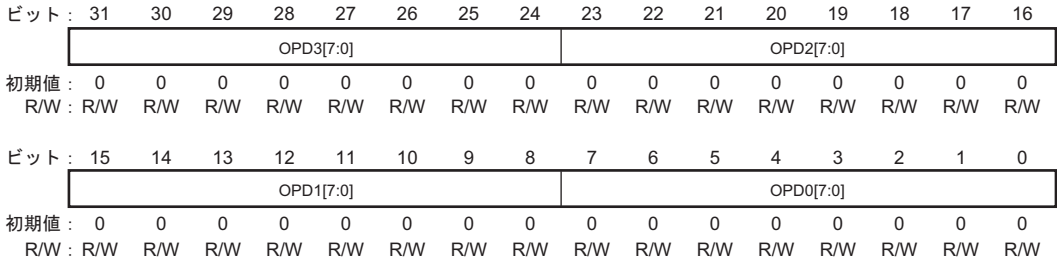
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	EAC[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	EAV[7:0]	H'00	R/W	32 ビット拡張上位アドレス固定値設定 シリアルフラッシュのアドレスを 32 ビットで出力するとき、EAC[2:0] ビットで設定した外部アドレスの上位のアドレスビット値を設定するレジスタです。 ビット 0 がシリアルフラッシュのアドレスビット [25] に対応し、ビット 7 がビット [32] に対応します。 この設定は DRENR レジスタの ADE[3] ビット＝1 のときに有効となります。 EAC[2:0]＝000 のとき、シリアルフラッシュのアドレス [32:25] の固定値を EAV[7:0] に設定します。 EAC[2:0]＝001 のとき、シリアルフラッシュのアドレス [32:26] の固定値を EAV[7:1] に設定します。 （1）CMNCR レジスタの BSZ[1:0] ビット＝00（シリアルフラッシュ 1 個接続） シリアルフラッシュのアドレス [31:0] を用いてアクセスします。 （2）CMNCR レジスタの BSZ[1:0] ビット＝01（シリアルフラッシュ 2 個接続） シリアルフラッシュのアドレス [32:1] を用いてアクセスします。
15 ～ 3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 ～ 0	EAC[2:0]	000	R/W	32 ビット拡張外部アドレス有効範囲設定 シリアルフラッシュのアドレスを 32 ビットで出力するとき、シリアルフラッシュのアドレスとして使用する外部アドレスの範囲を設定します。 この設定は DRENR レジスタの ADE[3] ビット＝1 のときに有効となります。 000：外部アドレスのビット [24:0] が有効 001：外部アドレスのビット [25:0] が有効 上記以外：設定禁止

17.4.7　データリードオプション設定レジスタ（DROPR）

外部アドレス空間リード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。



ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23 ～ 16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15 ～ 8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7 ～ 0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

注．　出力の順番は OPD3→OPD2→OPD1→OPD0 です。

17.4.8　データリードイネーブル設定レジスタ（DRENR）

外部アドレス空間リード時にコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅、およびリードデータ以外の出力イネーブルの設定をする32ビットのレジスタです。

CMNSRレジスタのTENDフラグ＝"1"のときに変更してください。CMNSRレジスタのTENDフラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		–	–	ADB[1:0]		–	–	OPDB[1:0]		–	–	DRDB[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DME	CDE	–	OCDE	ADE[3:0]				OPDE[3:0]				–	–	–	–
初期値：	0	1	0	0	0	1	1	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
31、30	CDB[1:0]	00	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00：1ビット 01：2ビット 10：4ビット 11：設定禁止
29、28	OCDB[1:0]	00	R/W	オプショナルコマンドビット幅 オプショナルコマンドのビット幅を設定します。 00：1ビット 01：2ビット 10：4ビット 11：設定禁止
27、26	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25、24	ADB[1:0]	00	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00：1ビット 01：2ビット 10：4ビット 11：設定禁止
23、22	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	OPDB[1:0]	00	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00：1ビット 01：2ビット 10：4ビット 11：設定禁止
19、18	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	DRDB[1:0]	00	R/W	データリードビット幅 データリードのビット幅を設定します。 00：1ビット 01：2ビット 10：4ビット 11：設定禁止
15	DME	0	R/W	ダミーサイクルイネーブル ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注.　転送がダミーサイクルから始まる設定は禁止です。 0：挿入しない 1：挿入する

ビット	ビット名	初期値	R/W	説　　明
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0：出力しない 1：出力する
13	―	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	0	R/W	オプショナルコマンドイネーブル オプショナルコマンド出力を設定します。 0：出力しない 1：出力する
11 ～ 8	ADE[3:0]	0111	R/W	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 （1）CMNCR レジスタの BSZ[1:0] ビット＝00（シリアルフラッシュ 1 個接続） 0000：出力しない 0111：Address[23:0] を出力 1111：Address[31:0] を出力 上記以外：設定禁止 （2）CMNCR レジスタの BSZ[1:0] ビット＝01（シリアルフラッシュ 2 個接続） 0000：出力しない 0111：Address[24:1] を出力 1111：Address[32:1] を出力 上記以外：設定禁止
7 ～ 4	OPDE[3:0]	0000	R/W	オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：出力しない 1000：OPD3 を出力 1100：OPD3、OPD2 を出力 1110：OPD3、OPD2、OPD1 を出力 1111：OPD3、OPD2、OPD1、OPD0 を出力 上記以外：設定禁止
3 ～ 0	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

17.4.9　SPI モードコントロールレジスタ（SMCR）

SPI 動作モードの動作を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	SSLKP	－	－	－	－	－	SPIRE	SPIWE	SPIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R/W	R/W	W

ビット	ビット名	初期値	R/W	説　　明
31～9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SSLKP	0	R/W	SPBSSL 信号レベル保持 転送終了後の SPBSSL の状態を決定します。 0：転送終了時に SPBSSL 信号をネゲート 1：転送終了後から次アクセス開始まで SPBSSL 信号レベルを保持
7～3	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	SPIRE	0	R/W	データリードイネーブル SPI 動作モード時のリードイネーブルです。 0：データリードしない 1：データリードする 注.　SPIDB[1:0] ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。
1	SPIWE	0	R/W	データライトイネーブル SPI 動作モード時のライトイネーブルです。 0：データライトしない 1：データライトする 注.　SPIDB[1:0] ビットで転送データビット幅を 2 ビットまたは 4 ビットに設定した場合、SPIRE ビットと SPIWE ビットを同時に 1 に設定しないでください。
0	SPIE	0	W	SPI データ転送イネーブル 本ビットを 1 セットすることにより、データ転送を行います。 CMNSR レジスタの TEND ビット＝"1"時のみ有効です。CMNSR レジスタの TEND ビット＝"0"時に、1 セットした場合の動作は保証しません。 読み出すと常に 0 が読み出されます。 注.　SPBSSL がネゲートされているときは SPIRE、SPIWE ビット＝"0"でも、出力イネーブルに設定したコマンド／オプショナルコマンド／アドレス／オプションデータは出力されます。 SPBSSL がアサートされているときは「17.6.2　SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項」に従ってください。

17.4.10　SPI モードコマンド設定レジスタ（SMCMR）

SPI 動作モード時に発行するコマンドを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	CMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	OCMD[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	CMD[7:0]	H'00	R/W	コマンド コマンドを設定します。
15 ～ 8	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
7 ～ 0	OCMD[7:0]	H'00	R/W	オプショナルコマンド オプショナルコマンドを設定します。

17.4.11　SPI モードアドレス設定レジスタ（SMADR）

SPI 動作モード時のアドレスを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ADR[31:24]								ADR[23:16]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	ADR[31:24]	H'00	R/W	アドレス シリアルフラッシュのアドレスを 32 ビットで出力するときのビット 31 ～ 24 を設定します。 この設定は SMENR レジスタの ADE[3] ビット＝1 のときに有効になります。
23 ～ 0	ADR[23:0]	H'000000	R/W	アドレス アドレスを設定します。

17.4.12　SPI モードオプション設定レジスタ（SMOPR）

SPI 動作モード時のオプションデータを設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	OPD3[7:0]								OPD2[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	OPD1[7:0]								OPD0[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	OPD3[7:0]	H'00	R/W	オプションデータ 3 オプションデータ 3 を設定します。
23 ～ 16	OPD2[7:0]	H'00	R/W	オプションデータ 2 オプションデータ 2 を設定します。
15 ～ 8	OPD1[7:0]	H'00	R/W	オプションデータ 1 オプションデータ 1 を設定します。
7 ～ 0	OPD0[7:0]	H'00	R/W	オプションデータ 0 オプションデータ 0 を設定します。

注.　出力の順番は OPD3→OPD2→OPD1→OPD0 です。

17.4.13　SPI モードイネーブル設定レジスタ（SMENR）

SPI 動作モード時にコマンド／オプショナルコマンド／アドレス／オプションデータ／転送データのビット幅およびイネーブルとダミーサイクルのイネーブルの設定をする 32 ビットのレジスタです。コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクル／転送データすべてをディスエーブルにすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDB[1:0]		OCDB[1:0]		–	–	ADB[1:0]		–	–	OPDB[1:0]		–	–	SPIDB[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DME	CDE	–	OCDE	ADE[3:0]				OPDE[3:0]				SPIDE[3:0]			
初期値：	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31、30	CDB[1:0]	00	R/W	コマンドビット幅 コマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
29、28	OCDB[1:0]	00	R/W	オプショナルコマンドビット幅 オプショナルコマンドのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
27、26	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25、24	ADB[1:0]	00	R/W	アドレスビット幅 アドレスのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
23、22	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	OPDB[1:0]	00	R/W	オプションデータビット幅 オプションデータのビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止
19、18	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	SPIDB[1:0]	00	R/W	転送データビット幅 転送データビット幅を設定します。 00：1 ビット 01：2 ビット 10：4 ビット 11：設定禁止

ビット	ビット名	初期値	R/W	説　　明
15	DME	0	R/W	ダミーサイクルイネーブル ダミーサイクル挿入を設定します。 ダミーサイクルはリードデータの前に挿入されます。 注.　SPI 動作モードでライトのときは挿入禁止です。 これは 1 回の転送がダミーサイクルで終わる場合も含みます。 注.　転送がダミーサイクルで始まる設定は禁止です。 0：挿入しない 1：挿入する
14	CDE	1	R/W	コマンドイネーブル コマンド出力を設定します。 0：出力しない 1：出力する
13	―	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
12	OCDE	0	R/W	オプショナルコマンドイネーブル オプショナルコマンド出力を設定します。 0：出力しない 1：出力する
11 ～ 8	ADE[3:0]	0000	R/W	アドレスイネーブル アドレス出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：出力しない 0100：ADR[23:16] を出力 0110：ADR[23:8] を出力 0111：ADR[23:0] を出力 1111：ADR[31:0] を出力 上記以外：設定禁止
7 ～ 4	OPDE[3:0]	0000	R/W	オプションデータイネーブル オプションデータ出力を設定します。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 0000：出力しない 1000：OPD3 を出力 1100：OPD3、OPD2 を出力 1110：OPD3、OPD2、OPD1 を出力 1111：OPD3、OPD2、OPD1、OPD0 を出力 上記以外：設定禁止

ビット	ビット名	初期値	R/W	説　　明
3 ～ 0	SPIDE[3:0]	0000	R/W	転送データイネーブル 転送データの有効を設定します。 CMNCR レジスタの BSZ[1:0] ビットにより、有効データが異なります。 必ず下記の設定で使用してください。下記以外の設定をした場合の動作は保証しません。 (1) CMNCR レジスタの BSZ[1:0] ビット＝00 （シリアルフラッシュ 1 個接続） 0000：転送しない 1000：8 ビット転送 （SPI モードリード／ライトデータレジスタ 0 の 0 番地のデータを有効） 1100：16 ビット転送 （SPI モードリード／ライトデータレジスタ 0 の 0 ～ 1 番地のデータを有効） 1111：32 ビット転送 （SPI モードリード／ライトデータレジスタ 0 の 0 ～ 3 番地のデータを有効） 上記以外：設定禁止 (2) CMNCR レジスタの BSZ[1:0] ビット＝01 （シリアルフラッシュ 2 個接続） 0000：転送しない 1000：16 ビット転送 （SPI モードリード／ライトデータレジスタ 0 の 0 ～ 1 番地のデータを有効） 1100：32 ビット転送 （SPI モードリード／ライトデータレジスタ 0 の 0 ～ 3 番地のデータを有効） 1111：64 ビット転送 （SPI モードリード／ライトデータレジスタ 0 の 0 ～ 3 番地のデータと SPI モードリード／ライトデータレジスタ 1 の 0 ～ 3 番地のデータを有効） 上記以外：設定禁止

17.4.14　SPI モードリードデータレジスタ 0（SMRDR0）

SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ＝"1" のときにリードしてください。CMNSR レジスタの TEND フラグ＝"0" 時にリードした場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDATA0[31:16]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDATA0[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	RDATA0[31:0]	不定	R	リードデータ SPI 動作モード時にリードしたデータを格納します。 CMNCR レジスタの SFDE、BSZ[1:0] ビットおよび SMENR レジスタの SPIDE[3:0] ビットにより、データビットが異なります。 BSZ[1:0] ＝ 01,SPIDE[3:0]=1111,SFDE=1：リードデータ [63:32] となります。 BSZ[1:0] ＝ 01,SPIDE[3:0]=1111,SFDE=0：リードデータ [31:0] となります。 上記以外　　：リードデータ [31:0] となります。

本レジスタと SMRDR1 レジスタは SPI 動作モードの受信が終了すると内容が書き換えられます。

SPI 動作モードの受信が終了したら必ずデータを読み出してください。

17.4.15　SPI モードリードデータレジスタ 1（SMRDR1）

SPI 動作モード時のリードデータを格納する 32 ビットのレジスタです。

CMNCR レジスタの BSZ[1:0] ビット＝ 01（シリアルフラッシュ 2 個接続）時に有効となります。BSZ[1:0] ビット＝ 00（シリアルフラッシュ 1 個接続）時、本レジスタの値は無効です。

本レジスタへのアクセスは SPI モードイネーブルレジスタ（SMENR）の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ＝"1"のときにリードしてください。CMNSR レジスタの TEND フラグ＝"0"時にリードした場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDATA1[31:16]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDATA1[15:0]															
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	RDATA1[31:0]	不定	R	リードデータ SPI 動作モード時にリードしたデータを格納します。 CMNCR レジスタの SFDE、BSZ[1:0] ビットおよび SMENR レジスタの SPIDE[3:0] ビットにより、データビットが異なります。 BSZ[1:0]＝01,SPIDE[3:0]=1111,SFDE=1：リードデータ [31:0] となります。 BSZ[1:0]＝01,SPIDE[3:0]=1111,SFDE=0：リードデータ [63:32] となります。 上記以外　　：本ビットの値は無効です。

17.4.16　SPI モードライトデータレジスタ 0（SMWDR0）

SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

本レジスタへのアクセスは SPI モードイネーブルレジスタ (SMENR) の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDATA0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDATA0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	WDATA0[31:0]	すべて 0	R/W	ライトデータ SPI 動作モード時にライトするデータを格納します。 CMNCR レジスタの SFDE、BSZ[1:0] ビットおよび SMENR レジスタの SPIDE[3:0] ビットにより、データビットが異なります。 BSZ[1:0]＝01,SPIDE[3:0]=1111,SFDE=1：ライトデータ [63:32] となります。 BSZ[1:0]＝01,SPIDE[3:0]=1111,SFDE=0：ライトデータ [31:0] となります。 上記以外　　：ライトデータ [31:0] となります。

17.4.17　SPI モードライトデータレジスタ 1（SMWDR1）

SPI 動作モード時のライトデータを設定する 32 ビットのレジスタです。

CMNCR レジスタの BSZ[1:0] ビット＝ 01（シリアルフラッシュ 2 個接続）時に有効となります。BSZ[1:0] ビット＝ 00（シリアルフラッシュ 1 個接続）時、本レジスタの値は無効です。

本レジスタへのアクセスは SPI モードイネーブルレジスタ（SMENR）の SPIDE[3:0] ビットで設定した転送サイズと同じサイズでアクセスしてください。また、必ず 0 番地からアクセスしてください。

CMNSR レジスタの TEND フラグ＝"1"のときに変更してください。CMNSR レジスタの TEND フラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	WDATA1[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WDATA1[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	WDATA1[31:0]	すべて 0	R/W	ライトデータ SPI 動作モード時にライトするデータを格納します。 CMNCR レジスタの SFDE、BSZ[1:0] ビットおよび SMENR レジスタの SPIDE[3:0] ビットにより、データビットが異なります。 BSZ[1:0]＝01,SPIDE[3:0]=1111,SFDE=1：ライトデータ [31:0] となります。 BSZ[1:0]＝01,SPIDE[3:0]=1111,SFDE=0：ライトデータ [63:32] となります。 上記以外　　：本ビットの値は無効です。

17.4.18　共通ステータスレジスタ（CMNSR）

動作状態を示すフラグを格納する 32 ビットのレジスタです。

本レジスタは、外部アドレス空間リード／ SPI 動作モード両方に反映されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	SSLF	TEND
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1	SSLF	0	R	SPBSSL 端子モニタ 0：SPBSSL 端子がネゲート中 1：SPBSSL 端子がアサート中
0	TEND	1	R	転送終了フラグ データ転送を終了したことを示します。 0：転送中であることを表示 1：転送を終了したことを表示

17.4.19　SPI AC 入力特性調整レジスタ (CKDLY) (RZ/A1LU のみ)

データ入力セットアップ / ホールド時間のタイミングを調整するレジスタです。

接続するシリアルフラッシュの AC 特性に応じて調整を行ってください。

CMNSR レジスタの SSLF フラグ ＝ "0" のときに変更してください。CMNSR レジスタの SSLF フラグ＝ "1" 時に変更した場合の動作は保証しません。

本レジスタの書き込みは、15 ～ 8 ビット目を H'A5 にして 32 ビットサイズで行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GB[7:0]								–	–	–	–	CKDLY[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	W	W	W	W	W	W	W	W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	–	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 8	GB[7:0]	すべて 0	W	ガードビット 本レジスタへの書き込みは、本ビットを H'A5にして 32 ビットサイズで行ってください。 読み出すと常に0が読み出されます。
7 ～ 4	–	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3 ～ 0	CKDLY [3:0]	0100	R/W	入力特性調整ビット データ入力セットアップ／ホールド時間のタイミングを切り替えます。 設定可能な値は、下記の 2 つです。 0100 : 初期値 1010 : データ入力セットアップ時間を縮め、データホールド時間を長くします。 上記以外 : 設定禁止

17.4.20　データリードダミーサイクル設定レジスタ（DRDMCR）

外部アドレス空間リード時に挿入するダミーサイクルのビット幅とサイクル数を設定する32ビットのレジスタです。

本レジスタの設定はデータリードイネーブル設定レジスタ（DRENR）のDMEビット＝"1"のときに有効になります。

CMNSRレジスタのTENDフラグ＝"1"のときに変更してください。CMNSRレジスタのTENDフラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	DMDB[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	DMCYC[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～18	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	DMDB[1:0]	00	R/W	ダミーサイクルビット幅 ダミーサイクルのビット幅を設定します。 この設定と共通コントロールレジスタ（CMNCR）のIO0FVビット、IO2FVビット、IO3FVビットの設定に従ってダミーサイクル中の未使用端子の状態が決定されます。 使用中の端子はHi-Zとなります。 00：1ビット 01：2ビット 10：4ビット 11：設定禁止
15～3	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2～0	DMCYC[2:0]	000	R/W	ダミーサイクル数設定 データリードイネーブル設定レジスタ（DRENR）のDMEビット＝"1"のときに挿入するダミーサイクルのサイクル数を設定します。 000：1サイクル 001：2サイクル 010：3サイクル 011：4サイクル 100：5サイクル 101：6サイクル 110：7サイクル 111：8サイクル

17.4.21　データリード DDR イネーブルレジスタ (DRDRENR)（RZ/A1LU のみ）

外部アドレス空間リード時のアドレス／オプションデータ／リードデータの SDR/DDR 転送を設定する 32 ビットのレジスタです。

CMNSR レジスタの TEND フラグ＝"1" のときに変更してください。CMNSR レジスタの TEND フラグ＝"0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	ADDRE	－	－	－	OPDRE	－	－	－	ORDRE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	ADDRE	0	R/W	アドレス DDR イネーブル アドレスの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	OPDRE	0	R/W	オプションデータ DDR イネーブル オプションデータの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	DRDRE	0	R/W	データリード DDR イネーブル データリードの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送

17.4.22　SPI モードダミーサイクル設定レジスタ（SMDMCR）

SPI動作モード時に挿入するダミーサイクルのビット数とサイクル数を設定する32ビットのレジスタです。

本レジスタの設定は SPI モードイネーブル設定レジスタ（SMENR）の DME ビット＝ "1" のときに有効になります。

CMNSRレジスタのTENDフラグ＝"1"のときに変更してください。CMNSRレジスタのTENDフラグ＝"0"時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	DMDB[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	DMCYC[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 18	–	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	DMDB [1:0]	00	R/W	ダミーサイクルビット幅 ダミーサイクルのビット幅を設定します。 この設定と共通コントロールレジスタ（CMNCR）のIO0FVビット、IO2FVビット、IO3FVビットの設定に従ってダミーサイクル中の未使用端子の状態が決定されます。 使用中の端子はHi-Zとなります。 00：1ビット 01：2ビット 10：4ビット 11：設定禁止
15 ～ 3	–	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	DMCYC [2:0]	000	R/W	ダミーサイクル数設定 SPIモードイネーブル設定レジスタ（SMENR）のDMEビット＝"1"のときに挿入するダミーサイクルのサイクル数を設定します。 000：1サイクル 001：2サイクル 010：3サイクル 011：4サイクル 100：5サイクル 101：6サイクル 110：7サイクル 111：8サイクル

17.4.23　SPI モード DDR イネーブルレジスタ (SMDRENR) (RZ/A1LU のみ)

SPI 動作モード時のア ドレス／オプションデータ／転送データの SDR/DDR 転送を設定する 32 ビッ トのレジ スタです。

CMNSR レジスタの TEND フラグ＝"1" のときに変更してください。CMNSR レジスタの TEND フラグ＝"0" 時に変更した場合の動作は保証しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	ADDRE	－	－	－	OPDRE	－	－	－	SPIDRE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	ADDRE	0	R/W	アドレス DDR イネーブル アドレスの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	OPDRE	0	R/W	オプションデータ DDR イネーブル オプションデータの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SPIDRE	0	R/W	転送データ DDR イ ネーブル 転送データの SDR/DDR 転送を設定します。 0：SDR 転送 1：DDR 転送

17.4.24　SPI AC 出力特性調整レジスタ (SPODLY) (RZ/A1LU のみ)

データ出力遅延 ／ホールド／バッファオン／バッファオフ時間のタイ ミングを調整するレジスタです。接続するシリアルフラッシュの AC 特性に応じて調整を行ってください。

CMNSR レジスタの SSLF フラグ＝ "0" のときに変更してください。CMNSR レジスタの SSLF フラグ＝ "1" 時に変更した場合の動作は保証しません。

本レジスタの書き込みは、31 ～ 24 ビット目を H'A5 にして 32 ビット トサイズで行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GB[7:0]								–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SPODLY[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GB[7:0]	すべて 0	W	ガードビット 本レジスタへの書き込みは、本ビットを H'A5にして32ビットサイズで行ってください。 読み出すと常に0が読み出されます。
23 ～ 16	–	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 0	SPODLY [15:0]	すべて 0	R/W	出力特性調整ビット データ出力遅延／ホールド／バッファオン／バッファオフ時間のタイミングを切り替えます。 設定可能な値は、下記の 2 つです。 H'0000：初期値 H'1111：データ出力遅延／ホールド／バッファオン／バッファオフ時間を遅らせます。 上記以外：設定禁止

17.5　動作説明

17.5.1　システム構成

本モジュールは、1 チャネルあたりでシリアルフラッシュ（データ幅 1/2/4 ビット）を直接 1、2 個接続することが可能です。接続数は CMNCR レジスタの BSZ[1:0] ビットにより切り替えます。

シリアルフラッシュを 1、2 個接続したシステム構成例を図 17.2 と図 17.3 に示します。

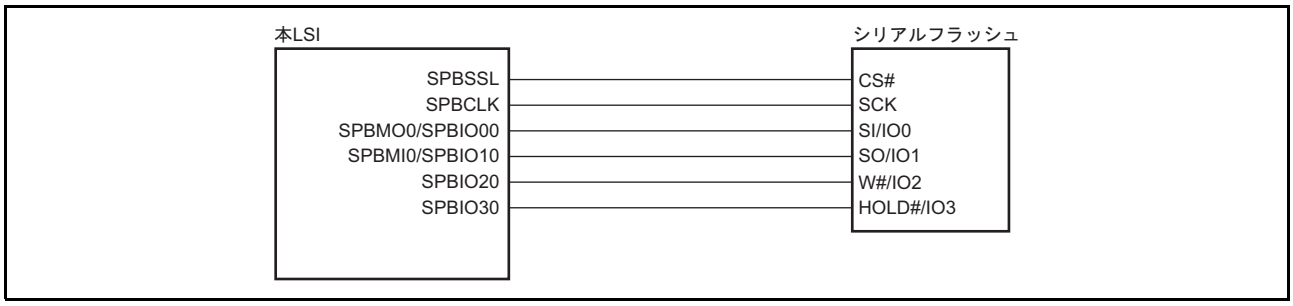


図 17.2　データ幅 4 ビット、シリアルフラッシュ 1 個接続例（CMNCR レジスタの BSZ[1:0] ビット＝00）

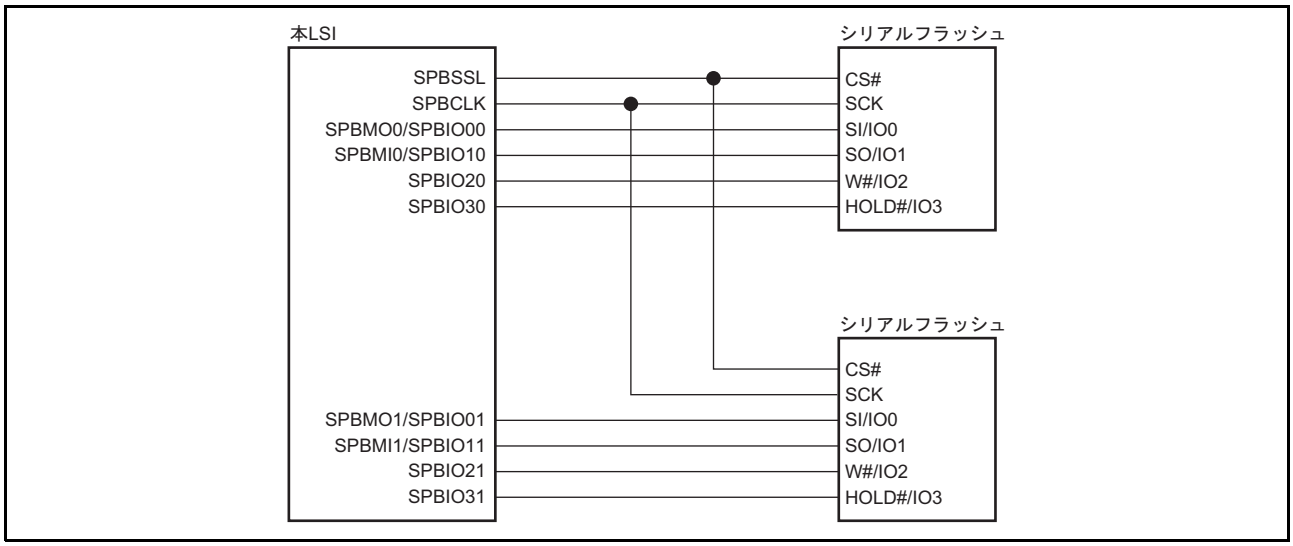


図 17.3　データ幅 4 ビット、シリアルフラッシュ 2 個接続例（CMNCR レジスタの BSZ[1:0] ビット＝01）

17.5.2　アドレスマップ

外部アドレス空間リードモード時、接続するシリアルフラッシュは、SPI マルチ I/O バス空間に割り当てられます。シリアルフラッシュ接続数によりアクセスできるアドレス空間の最大値が異なります。DREAR レジスタとの組み合わせにより、シリアルフラッシュ 1 個接続時は最大 4G バイト、シリアルフラッシュ 2 個接続時は最大 8G バイトまでアクセス可能です。

表 17.4　アドレスマップ

チャネル	シリアルフラッシュ接続数	内部アドレス	最大アクセス領域
0	1 個	H'18000000～H'1BFFFFFF	4G バイト
		H'58000000～H'5BFFFFFF（ミラー領域）	
	2 個	H'18000000～H'1BFFFFFF	8G バイト
		H'58000000～H'5BFFFFFF（ミラー領域）	

17.5.3　シリアルフラッシュ 32 ビットアドレス

SPI マルチ I/O バス空間は 64M バイトであるため、直接アクセスできるのはシリアルフラッシュの 32 ビットアドレス領域の一部となります。このとき、32 ビットアドレスの上位ビットはレジスタに設定した固定値となります。

シリアルフラッシュのアドレスを 32 ビットで出力するためには、DRENR レジスタの ADE[3] ビット＝ 1 に設定し、DREAR レジスタの EAC[2:0] ビットにシリアルフラッシュのアドレスとして使用する外部アドレスの範囲と、DREAR レジスタの EAV[7:0] ビットに 32 ビットアドレスの上位ビットとする固定値を設定します。

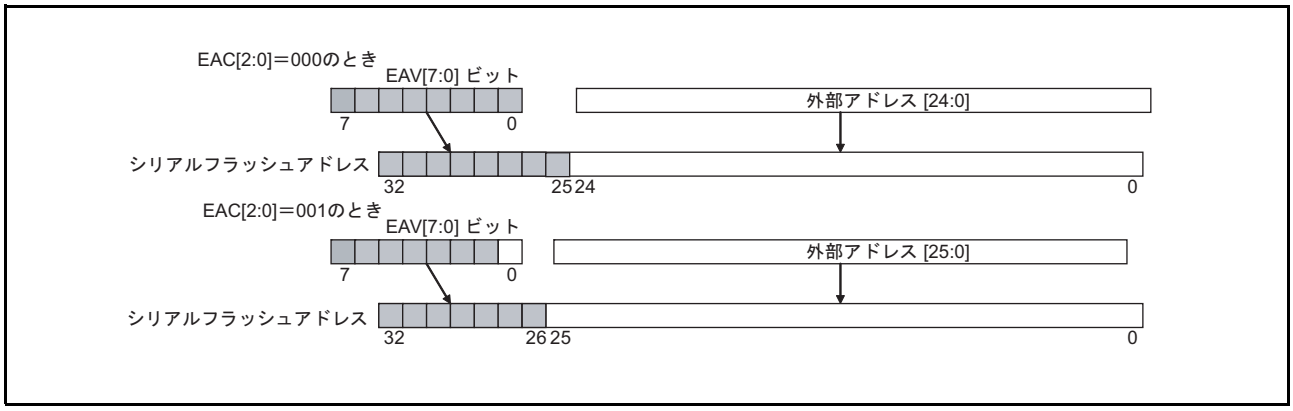


図 17.4　32 ビットアドレス設定

DRENR レジスタの ADE[3] ビット＝ 1 とすることで、シリアルフラッシュのアドレスを [31:0] ビットで出力することが可能となります。

EAC[2:0] ＝ 000 とした場合、外部アドレス [24:0] が有効となります。[32:25] ビットは EAV[7:0] に設定してください。

EAC[2:0] ＝ 001 とした場合、外部アドレス [25:0] が有効となります。[32:26] ビットは EAV[7:1] に設定してください。

実際にアクセスで使用するアドレスはシリアルフラッシュの接続個数で異なります。

シリアルフラッシュ 1 個接続のときはアドレス [31:0] を使用します。

シリアルフラッシュ 2 個接続のときはアドレス [32:1] を使用します。

注 .　4G バイト未満の容量のシリアルフラッシュを使用する場合、以下のことに注意してください。
バースト動作（DRCR レジスタの RBE ビット＝ 1）のとき、シリアルフラッシュの最終アドレスを跨いでアクセスを行うと、アクセスアドレスとシリアルフラッシュの内部アドレスに相違が生じます。
これを防ぐため、使用するシリアルフラッシュの容量毎にアクセス可能なアドレス領域をソフトウェアにて管理する必要があります。

17.5.4　データアライメント

データアライメントは共通コントロールレジスタ（CMNCR）の SFDE ビットにより設定できます。データリードモードと SPI モードのデータアライメントを図 17.5 と図 17.6 に示します。

シリアルフラッシュを 2 個接続したとき、端子 SPBIO30-SPBIO00 に接続したシリアルフラッシュは 2n 番地、端子 SPBIO31-SPBIO01 に接続したシリアルフラッシュは 2n+1 番地となります。必ずワード以上でアクセスする必要があり、バイト単位でアクセスすることはできません。

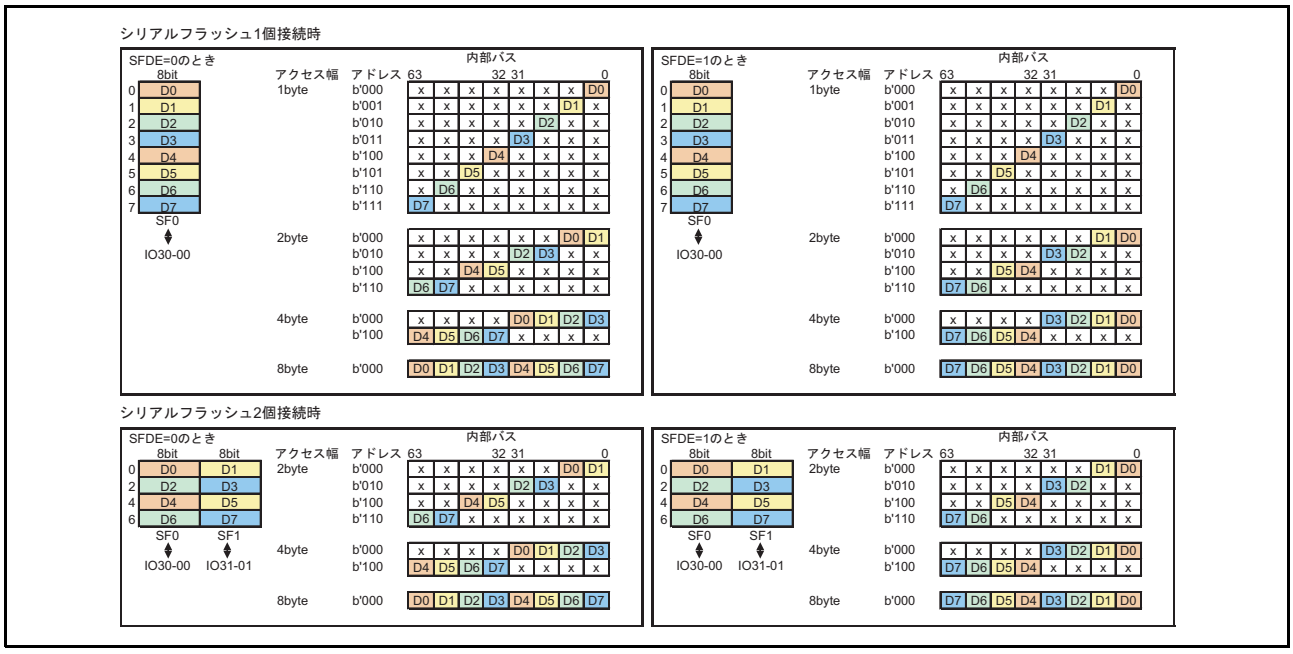


図 17.5　データリードモードのデータアライメント

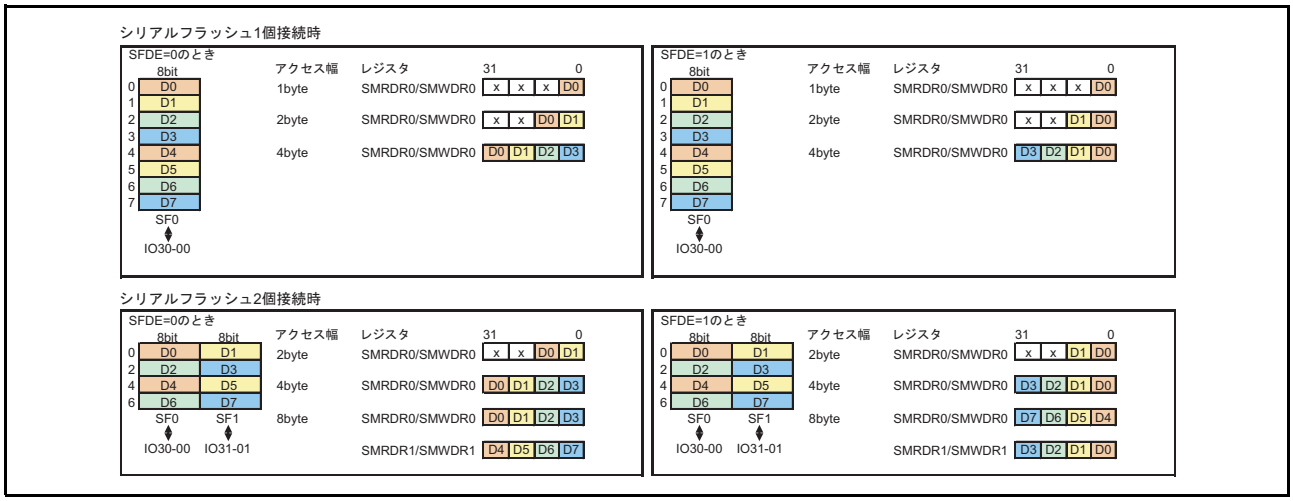


図 17.6　SPI モードのデータアライメント

17.5.5　動作モード

本モジュールは、外部アドレス空間リードモードおよび SPI 動作モードの 2 つのモードを持っています。

外部アドレス空間リードモードは、SPI マルチ I/O バス空間へのリードを SPI 通信に変換し、データの受信を行います。データ取得後、発行元のバスマスタにデータを返します。詳細については、**「17.5.6　外部アドレス空間リードモード」**を参照してください。

SPI 動作モードは、レジスタ設定にて任意の SPI 通信を行います。詳細については、**「17.5.8　SPI 動作モード」**を参照してください。

17.5.6　外部アドレス空間リードモード

外部アドレス空間リードモードにより、SPI マルチ I/O バス空間へのリードを SPI 通信に変換することができます。また、リード時に発行するコマンド／オプショナルコマンド／オプションデータとダミーサイクルを、レジスタ設定にて変更することができます。

さらに、SPBCLK が 2 分周以上のときはアドレス／オプションデータ／リードデータについて SDR/DDR 転送をレジスタ設定で変更することができます。（RZ/A1LU のみ）

外部アドレス空間リードモードでは、通常リード動作とバーストリード動作の 2 つの動作を選択することができます。転送フォーマットは、共通コントロールレジスタ（CMNCR）、SSL 遅延レジスタ（SSLDR）、ビットレート設定レジスタ（SPBCR）、データリードコントロールレジスタ（DRCR）、データリードコマンド設定レジスタ（DRCMR）、データリード拡張アドレス設定レジスタ（DREAR）、データリードオプション設定レジスタ（DROPR）、データリードイネーブル設定レジスタ（DRENR）、データリードダミーサイクル設定レジスタ（DRDMCR）、データリード DDR イネーブルレジスタ（DRDRENR）（RZ/A1LU のみ）により決定されます。

(1)　通常リード動作

DRCR レジスタの RBE ビット＝ "0" に設定することにより、通常リード動作となります。

通常リード動作では、バイト／ワード／ロングワードリードに対し、それぞれ 8 ビット／ 16 ビット／ 32 ビット分データをリードします。ただし、バイトアクセスはシリアルフラッシュ 1 個接続時のみ可能となります。データリード後、SPBSSL 端子はネゲートされます。

通常リード動作時のタイミング図を**図 17.7** に示します。

t1 は SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）、t2 は転送の最終 SPBCLK エッジを送出してから SPBSSL 端子をネゲートするまでの期間（SPBSSL ネゲート遅延）、t3 は転送終了から次の転送開始までの期間（次アクセス）を意味します。t1、t2、t3 の詳細については、**「17.5.9　転送フォーマット」**を参照してください。

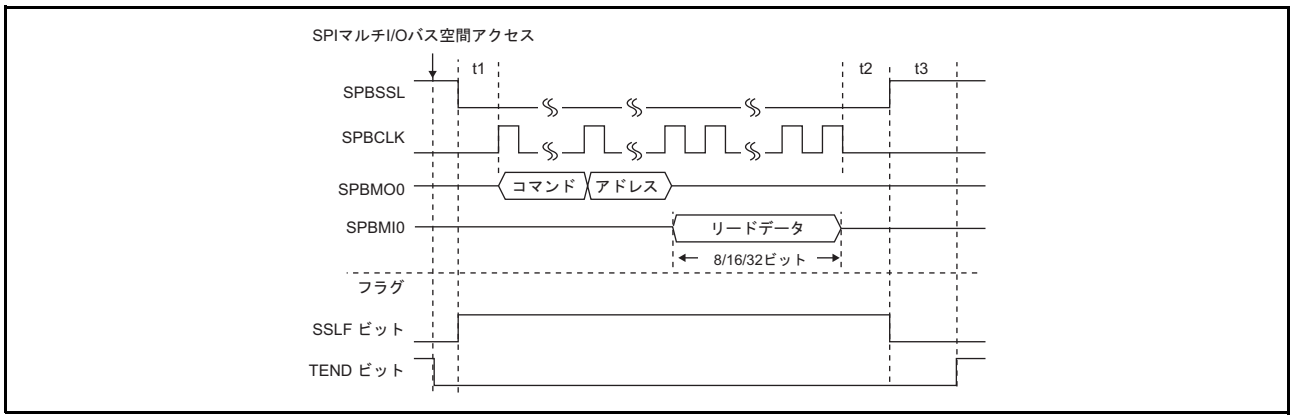


図 17.7　通常リード動作タイミング

(2)　バーストリード動作

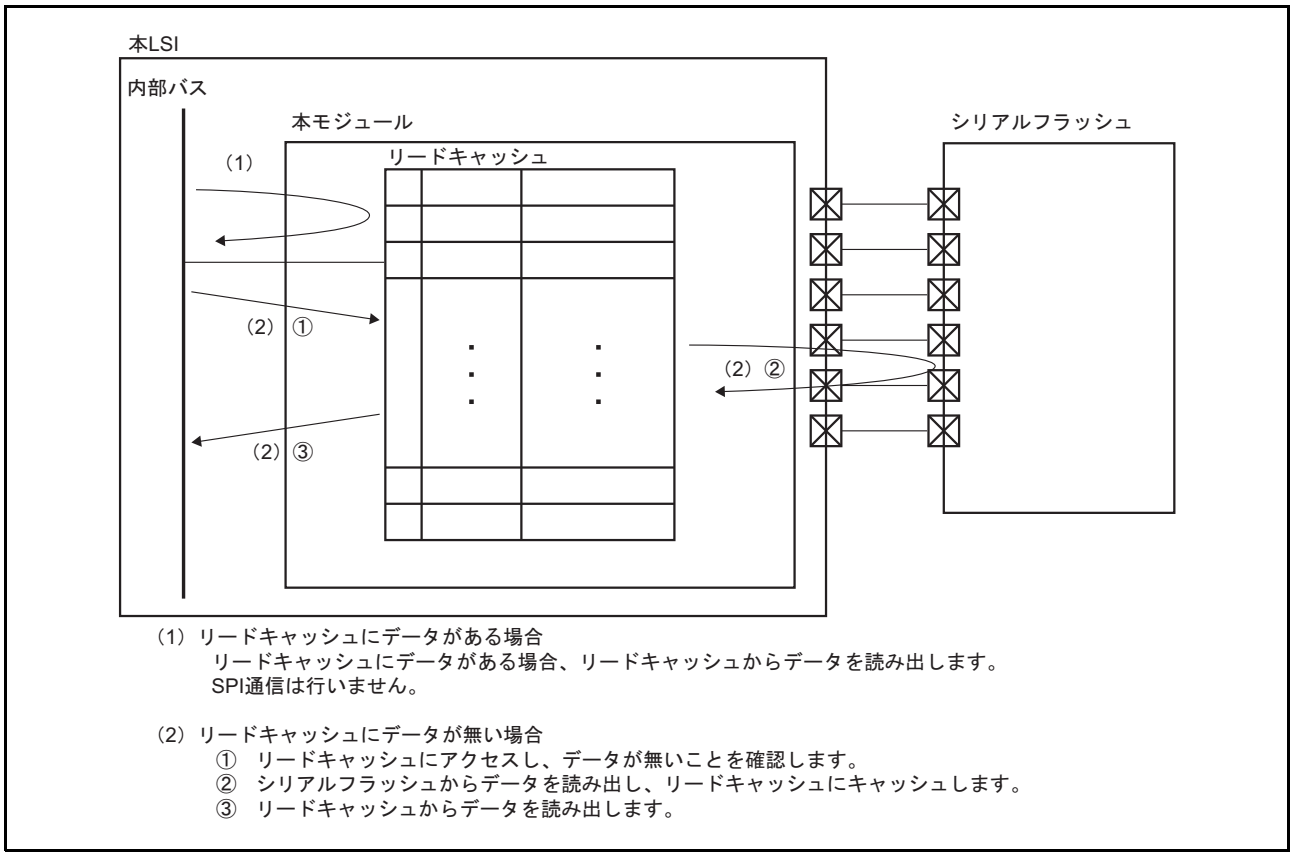
DRCR レジスタの RBE ビット＝ "1" に設定することにより、バーストリード動作となります。

バーストリード動作では、リードキャッシュが有効となります。リードキャッシュの動作については**「17.5.7　リードキャッシュ」**を参照してください。

バイト／ワード／ロングワードリードに対し、まずリードキャッシュからデータを参照します。リードキャッシュにデータがある場合は、シリアルフラッシュへはアクセスせず、リードキャッシュからデータを読み出します。リードキャッシュにデータが無い場合は、シリアルフラッシュへバーストリードし、読み出したデータはリードキャッシュに格納されます。このときのデータ転送長は 64 ビット ×RBURST[3:0] ビットであり、必ず 64 ビット境界からリードします。

また、DRCR レジスタの SSLE ビットによりデータ転送後の SPBSSL 端子の状態を選択できます。SSLE ビット＝ 0 であれば、データ転送後必ず SPBSSL 端子をネゲートします。SSLE ビット＝ 1 の動作については、**「17.5.6　(3)　バーストリード動作　SPBSSL 自動ネゲート」**を参照してください。

本動作の模式図および SSLE ビット＝ "0" 時のバーストリード動作タイミングを**図 17.8** と**図 17.9** に示します。



(1) リードキャッシュにデータがある場合
リードキャッシュにデータがある場合、リードキャッシュからデータを読み出します。
SPI通信は行いません。

(2) リードキャッシュにデータが無い場合
① リードキャッシュにアクセスし、データが無いことを確認します。
② シリアルフラッシュからデータを読み出し、リードキャッシュにキャッシュします。
③ リードキャッシュからデータを読み出します。

図 17.8　バーストリード動作時のリード動作

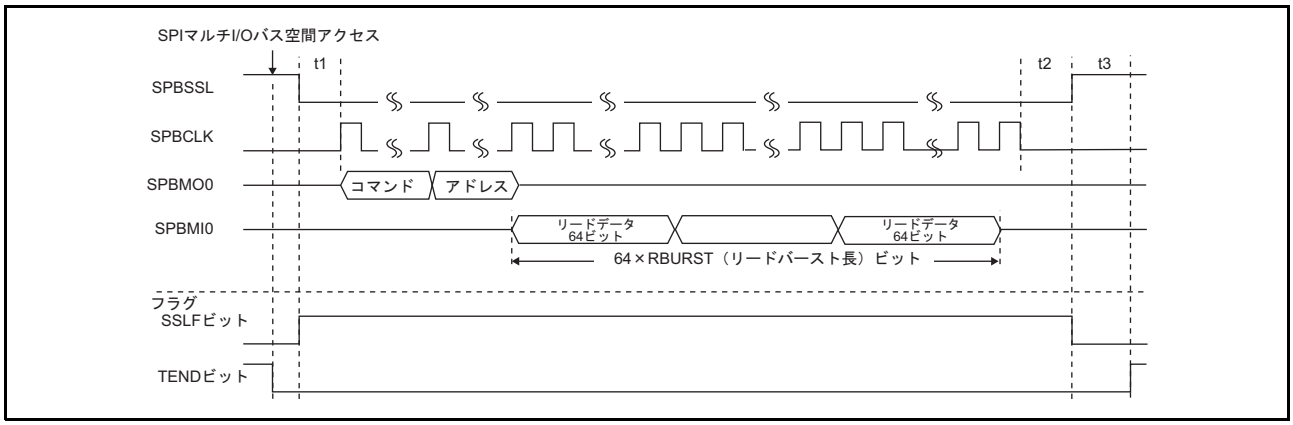


図 17.9　バーストリード動作タイミング（SSLE ビット＝ 0）

(3)　バーストリード動作　SPBSSL 自動ネゲート

本モジュールは、DRCR レジスタの SSLE ビット＝ "1" 設定時バーストリード転送後に SPBSSL 端子をネゲートしません。次回アクセス時、前回リードアドレスに対してアドレスが連続している場合、コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクルは発行せずに、バーストリードを行います。また、アドレスが連続していない場合は SPBSSL 端子を一度ネゲートし、コマンド／オプショナルコマンド／アドレス／オプションデータ／ダミーサイクルを発行後にバーストリードを行います。

連続アドレス時および非連続アドレス時のバーストリードタイミングを**図 17.10** と**図 17.11** に示します。

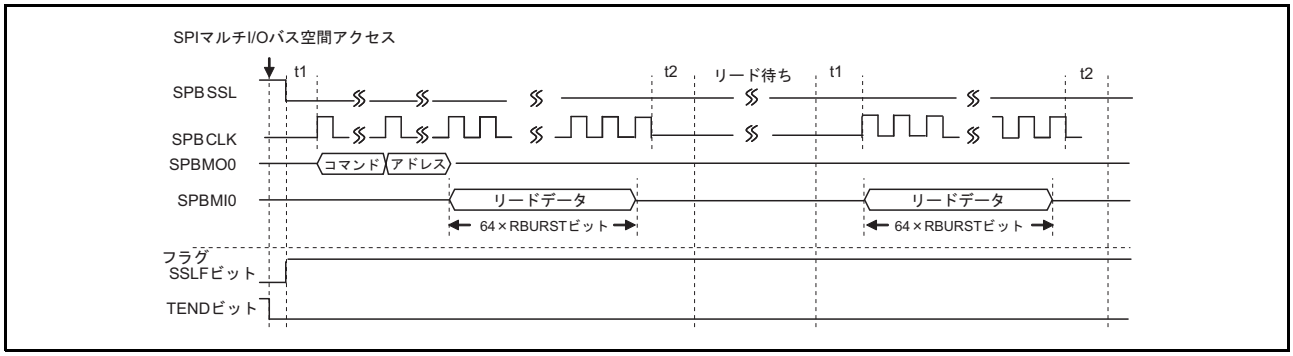


図 17.10　連続アドレスバーストリード動作タイミング（SSLE ビット＝ 1）

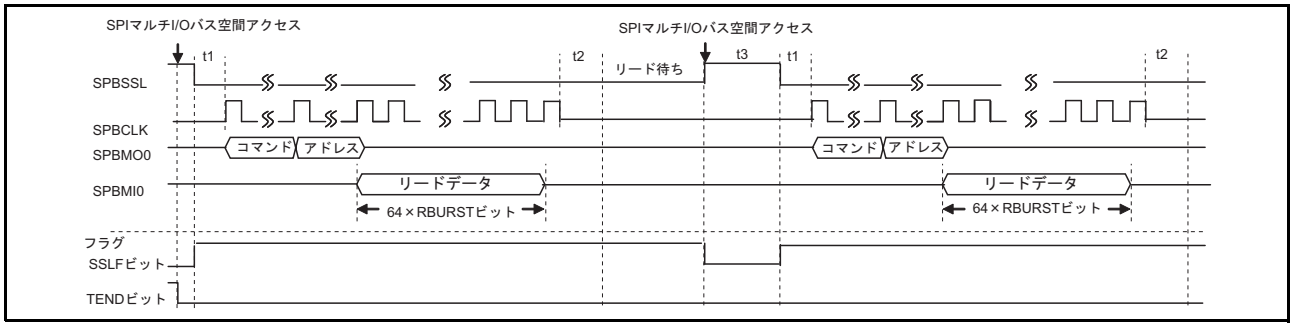


図 17.11　非連続アドレスバーストリード動作タイミング（SSLE ビット＝ 1）

本動作にて DRCR レジスタの SSLN ビットで SPBSSL をネゲートした後に次のアクセスを行う場合、CMNSR レジスタの SSLF ビット＝ 0 をリードして SPBSSL がネゲートされたことを確認してください。

(4) 初期設定フロー

外部アドレス空間リードモード時の初期設定フロー例を**図 17.12** に示します。

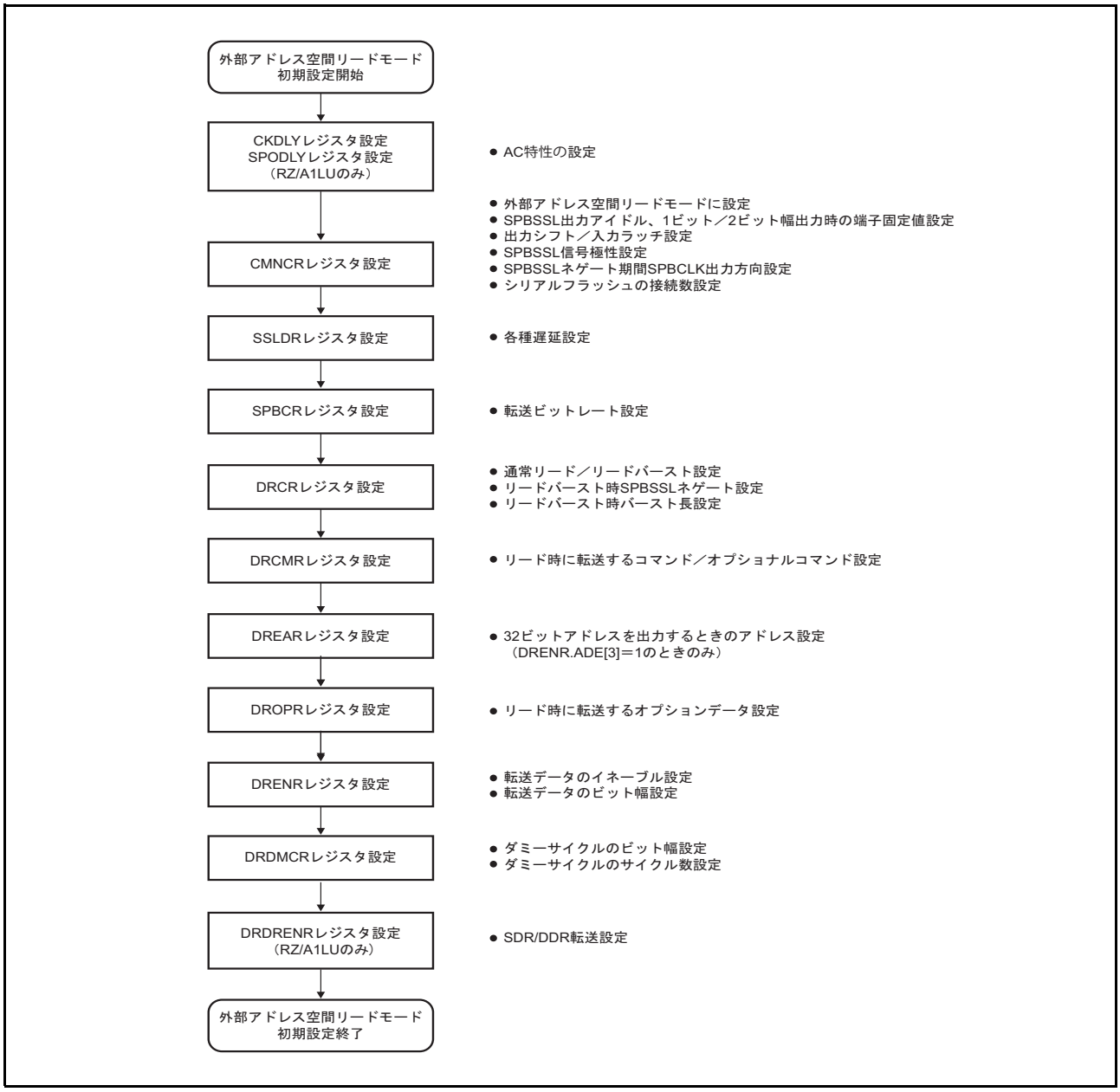


図 17.12　外部アドレス空間リードモード時の初期設定フロー例

17.5.7　リードキャッシュ

本モジュールは、簡易的なリードキャッシュを内蔵しています。外部アドレス空間リードモード、バーストリード動作時リードキャッシュを使用できます。リードキャッシュは、ラインサイズ 64 ビット、16 エントリで構成されています。

リードキャッシュの構成を図 17.13 に示します。

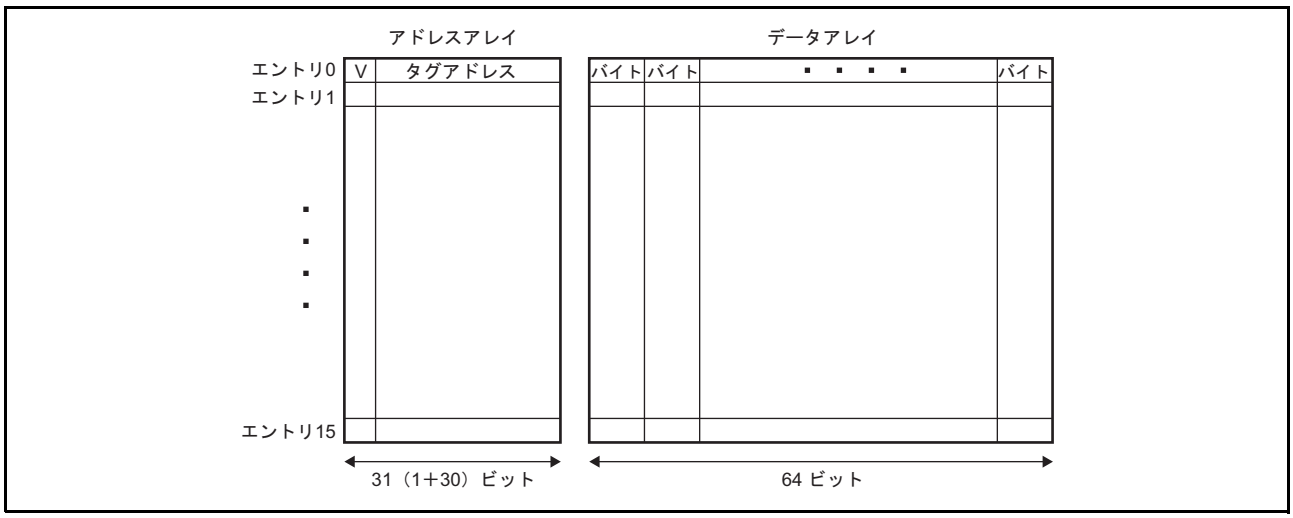


図 17.13　リードキャッシュの構成

(1)　アドレスアレイ

V ビットは、エントリのデータが有効かどうかを示します。V ビットが 1 で有効、0 で無効を示します。

タグアドレスは、シリアルフラッシュに使用されるアドレスを保持します。アドレス 32 ～ 3 ビットからなります。アドレス出力が 24 ビットで、シリアルフラッシュ 1 個接続時はアドレス 23 ～ 3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 24 ～ 3 が有効となります。

アドレス出力が 32 ビットで、シリアルフラッシュ 1 個接続時はアドレス 31 ～ 3 が有効となり、シリアルフラッシュ 2 個接続時はアドレス 32 ～ 3 が有効となります。

(2)　データアレイ

64 ビットのリードデータを保持します。リードキャッシュへの登録はライン単位で行われます。

(3)　リード動作

リードヒットした場合、リードキャッシュからデータを読み出します。リードミスした場合、64×RBURST（リードバースト長）分データをシリアルフラッシュから読み出し、リードキャッシュを更新した後、バスマスタに対しデータを返します。

(4)　データ置換

データの更新はライトポインタにより管理されます。リードミス時、ライトポインタが指し示しているエントリから RBURST（リードバースト長）分、データを置換します。つまり格納した古い順から置換します。データを参照したかどうかは影響しません。

17.5.8　SPI 動作モード

本モジュールは、レジスタ設定で任意の SPI 動作を行うことができます。

転送フォーマットは、共通コントロールレジスタ（CMNCR）、SSL 遅延レジスタ（SSLDR）、ビットレート設定レジスタ（SPBCR）、SPI モードコントロールレジスタ（SMCR）、SPI モードコマンド設定レジスタ（SMCMR）、SPI モードアドレス設定レジスタ（SMADR）、SPI モードオプション設定レジスタ（SMOPR）、SPI モードイネーブル設定レジスタ（SMENR）、SPI モードリードデータレジスタ（SMRDR）、SPI モードライトデータレジスタ（SMWDR）、SPI モードダミーサイクル設定レジスタ（SMDMCR）、SPI モード DDR イネーブルレジスタ（SMDRENR）（RZ/A1LU のみ）により決定されます。

また、SPBCLK が 2 分周以上のときはアドレス／オプションデータ／転送データについて SDR/DDR 転送をレジスタ設定で変更することができます。（RZ/A1LU のみ）

シリアルフラッシュのステータスリードまたはライト動作等に使用することができます。

このモードでの 1 回の転送とは SMCR レジスタの SPIE ビットを 1 にセットしてから TEND が 1 にセットされるまでを意味します。

(1)　転送の開始

SMCR レジスタの SPIE ビット＝ "1" により、設定した転送フォーマットにて転送を開始します。ライトイネーブル時、SPI モードライトデータレジスタがシリアルフラッシュに送信されます。リードイネーブル時、シリアルフラッシュから読み出したデータが、SPI モードリードデータレジスタに格納されます。

タイミング図を**図 17.14** に示します。

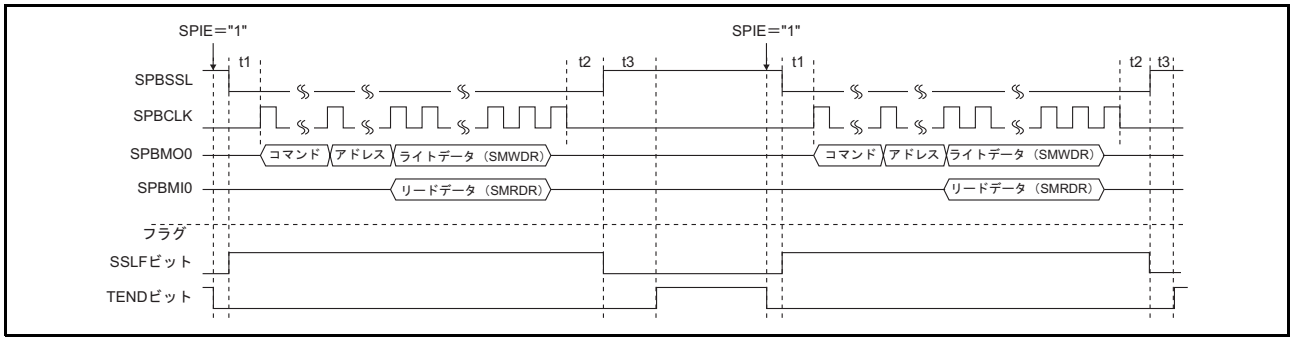


図 17.14　SPI 動作タイミング図

(2)　リード／ライトイネーブル

リード動作：SMCR レジスタの SPIRE ビット＝ "1" に設定することで、データをリードすることができます。リードしたデータは SMRDR レジスタに格納されます。

ライト動作：SMCR レジスタの SPIWE ビット＝ "1" に設定することで、データをライトすることができます。SMWDR レジスタに格納されたデータが出力されます。

また、SMENR レジスタの SPIDB[1:0] ビットのビット幅を 1 ビットに設定しているときは、SPIRE、SPIWE ビット＝ "1" に設定することで送受信可能となります。ただし、SPIDB[1:0] ビットのビット幅を 2 ビット／4 ビットに設定したときは、SPIRE、SPIWE ビットのどちらか片方を有効にしてください。両方有効にした場合の動作は保証しません。

(3) SPBSSL 端子アサート保持

SMCR レジスタの SSLKP ビット＝ "1" により、SPBSSL 端子を次の転送までアサートし続けます。本機能により、SPBSSL アサート状態のまま連続的に転送を行うことができます。

SSLKP ビットを利用した転送タイミングを図 17.15 に示します。

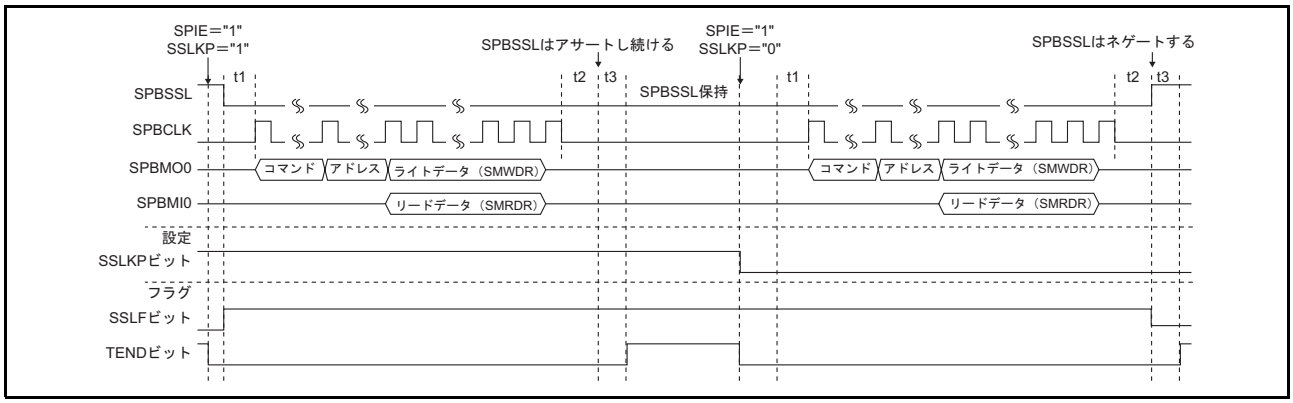


図 17.15　SSLKP ビットを利用した転送タイミング図

(4) 初期設定フロー

SPI 動作モード時の初期設定フロー例を図 17.16 に示します。

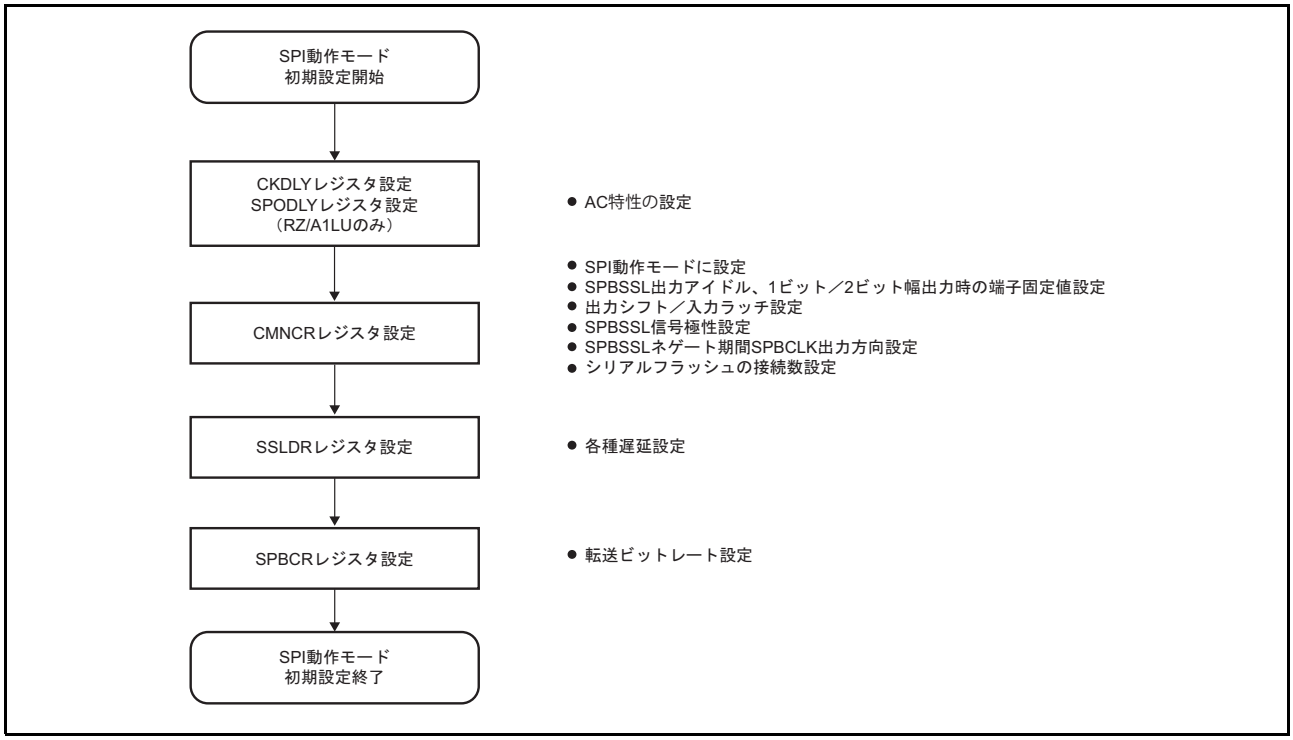


図 17.16　SPI 動作モード時の初期設定フロー例

(5)　データ転送設定フロー

SPI 動作モード時のデータ転送設定フロー例を図 17.17 に示します。

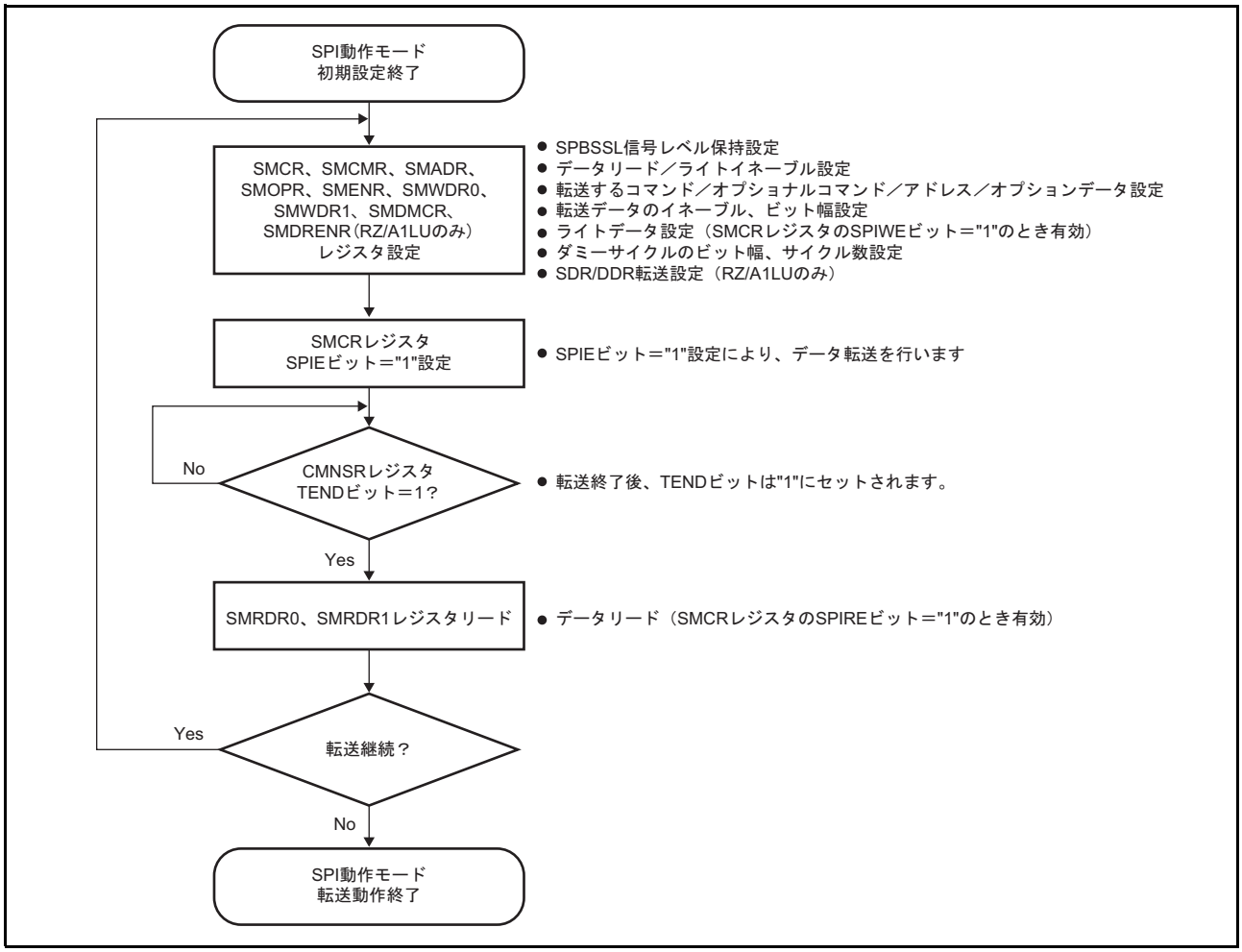


図 17.17　SPI 動作モード時のデータ転送設定フロー例

17.5.9　転送フォーマット

(1)　SPBSSL 端子のイネーブル極性制御

CMNCR レジスタの SSLP ビットにより、SPBSSL のイネーブル極性を変更することが可能です。

(2)　SPBCLK 出力

CMNCR レジスタの CPOL ビットにより、SPBSSL ネゲート時の SPBCLK 出力方向を設定可能です。

(3)　データ送信・受信タイミング

SDR 転送と DDR 転送でタイミングが異なります。（RZ/A1LU のみ）

SDR 転送ではデータ送信とデータ受信はそれぞれ奇数／偶数エッジのどちらかで行います。CMNCR レジスタの CPHAT ビットによりデータ送信タイミングを奇数／偶数に設定可能です。同様に CMNCR レジスタの CPHAR ビットによりデータ受信タイミングを奇数／偶数に設定可能です。

DDR 転送では奇数／偶数エッジの両方でデータ送信とデータ受信を行います。CMNCR レジスタの CPHAT ビットにより最初のデータを送信するタイミングを設定可能です。同様に CMNCR レジスタの CPHAR ビットにより最初のデータを受信するタイミングを設定可能です。（RZ/A1LU のみ）

(4)　遅延設定

t1 は、SPBSSL 端子アサートから SPBCLK 発振までの期間（クロック遅延）です。SSLDR レジスタの SCKDL[2:0] ビットで設定できます。t2 は、SPBCLK 発振停止から SPBSSL 信号のネゲートまでの期間（SPBSSL ネゲート遅延）です。SSLDR レジスタの SLNDL[2:0] ビットで設定できます。t3 は、転送終了後に次転送のための SPBSSL 信号アサートを抑制するための期間（次アクセス遅延）です。SSLDR レジスタの SPNDL[2:0] ビットで設定できます。

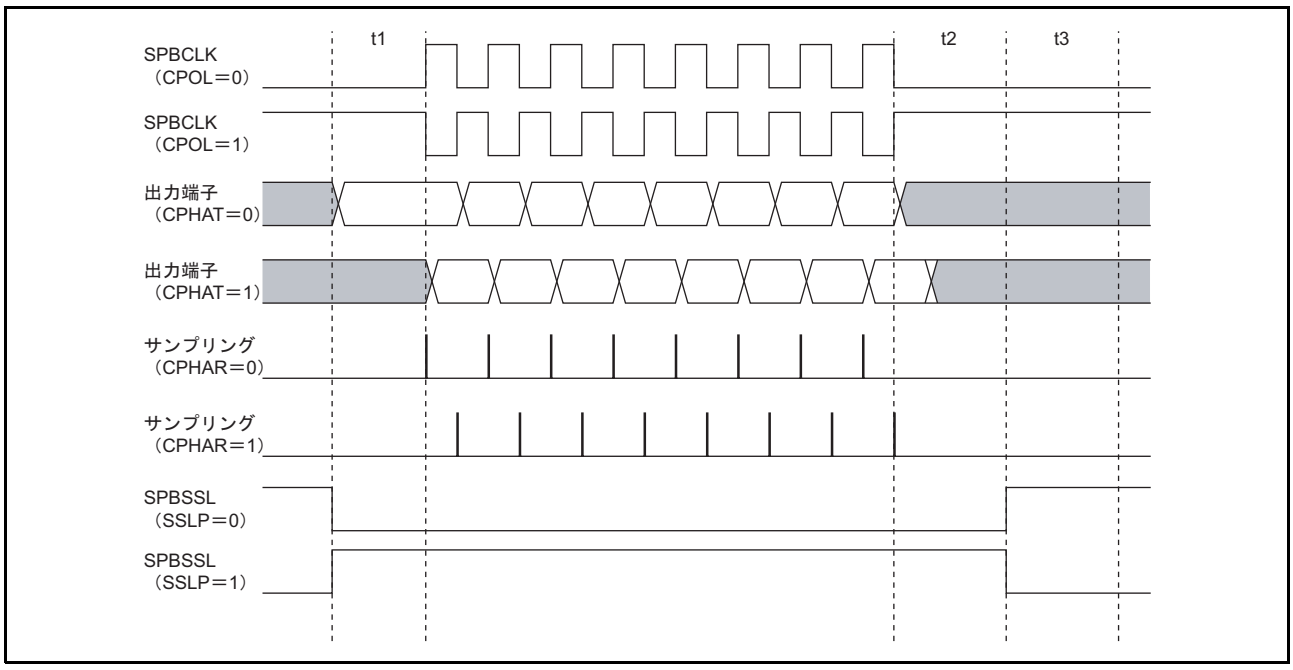


図 17.18　SDR 転送フォーマット

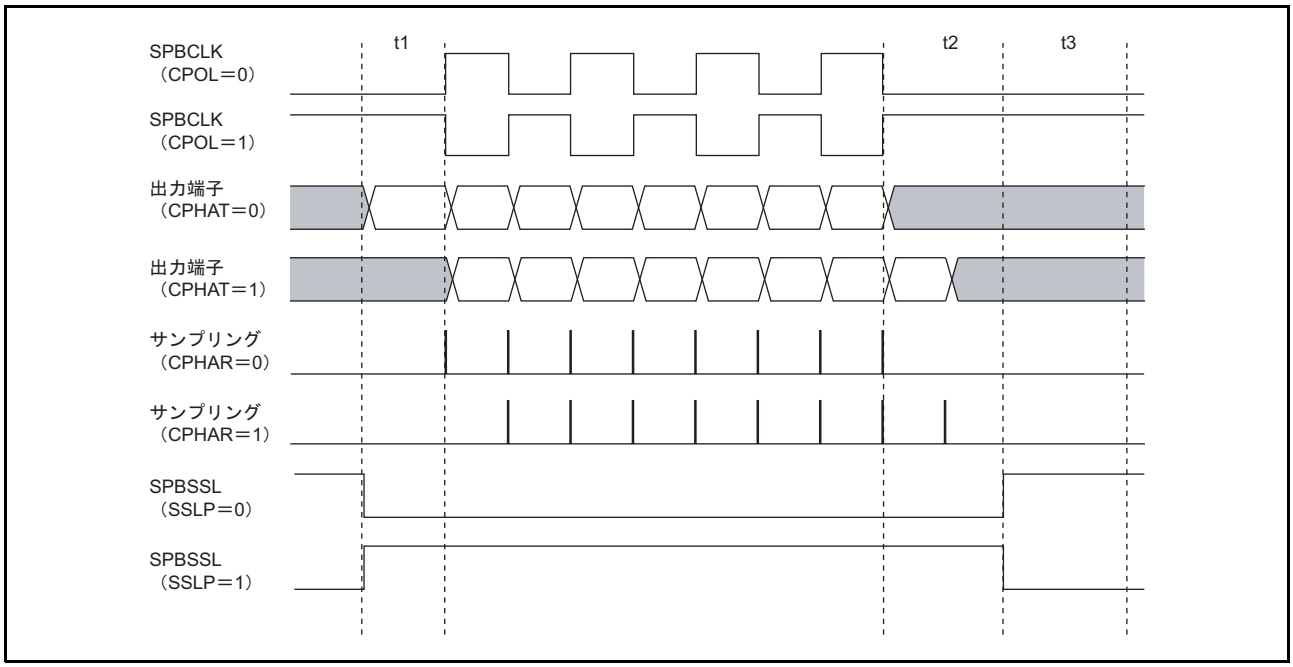


図 17.19　DDR 転送フォーマット (RZ/A1LU のみ)

注 .　CPHAR=1 のときの DDR 受信では、最終ビットのサンプリングは本モジュール内部の分周クロックによって行われます。
しかし、CPHAT=1 のときの DDR 送信では、シリアルフラッシュで最終ビットのサンプリングタイミングがとれません。このため、CPHAT=1 のときは 1 回の転送が DDR 送信で終了する転送は正常に行われません。

17.5.10　データフォーマット

本モジュールは、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクル、データの順番でデータ入出力を行います。

(1)　データレジスタ

入出力されるデータを表 17.5 に示します。

表 17.5　データレジスタ

データ		外部アドレス空間リード動作	SPI 動作
コマンド（8 ビット）		DRCMR.CMD[7:0] ビット	SMCMR.CMD[7:0] ビット
オプショナルコマンド（8 ビット）		DRCMR.OCMD[7:0] ビット	SMCMR.OCMD[7:0] ビット
アドレス（32 ビット／24 ビット）	BSZ[1:0] ＝ 00（1 個接続）	32 ビット時：DREAR.EAV[6:1 ～ 0] ビット＋リードした下位アドレス [25 ～ 24:0] ビット 24 ビット時：リードした下位アドレス [23:0] ビット	32 ビット時：SMADR.ADR[31:0] ビット 24 ビット時：SMADR.ADR[23:0] ビット
	BSZ[1:0] ＝ 01（2 個接続）	32 ビット時：DREAR.EAV[7:1 ～ 0] ビット＋リードした下位アドレス [25 ～ 24:1] ビット 24 ビット時：リードした下位アドレス [24:1] ビット	
オプションデータ（8 ビット ×4）		DROPR レジスタ	SMOPR レジスタ
ダミーサイクル（1 ～ 8 サイクル）		DRDMCR レジスタ	SMDMCR レジスタ（リード時のみ）
転送データ		通常リード：8/16/32 ビット バーストリード：64×RBURST ビット	リード：SMRDR0、1 レジスタ ライト：SMWDR0、1 レジスタ

(2) データイネーブル

外部アドレス空間リード動作時、DRENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME ビットにより、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクルの転送イネーブル／ディスエーブルを制御することが可能です。ダミーサイクルのサイクル数とビット幅はデータリードモードダミーサイクルレジスタ（DRDMCR）にて制御することが可能です。

さらに、SPBCLK が 2 分周以上ではデータリード DDR イネーブルレジスタ（DRDRENR）の ADDRE、OPDRE、DRDRE ビットによりアドレス、オプションデータ、リードデータの SDR/DDR 転送を制御することができます。（RZ/A1LU のみ）

同様に SPI 動作モード時、SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0]、DME、SPIDE[3:0] ビットにより、コマンド、オプショナルコマンド、アドレス、オプションデータ、ダミーサイクル、転送データのイネーブル／ディスエーブルを制御することが可能です。ただし、SPI 動作モード時、すべてをディスエーブルにすることは禁止です。必ずダミーサイクル以外の 1 つはイネーブルとしてください。ダミーサイクルのサイクル数とビット幅は SPI モードダミーサイクルレジスタ（SMDMCR）にて制御することが可能です。

さらに、SPBCLK が 2 分周以上では SPI モード DDR イネーブルレジスタ（SMDRENR）の ADDRE、OPDRE、SPIDRE ビットによりアドレス、オプションデータ、転送データの SDR/DDR 転送を制御することができます。（RZ/A1LU のみ）

また、外部アドレス空間リード動作時のアドレス／オプションデータ、SPI 動作モード時のアドレス／オプションデータ／転送データは、転送データ長により設定可能なイネーブルビットが決まっています。設定可能なイネーブルビットの組み合わせについては、各レジスタの説明を参照してください。

ディスエーブルにした場合、そのデータは飛ばされ、次のデータの入出力を行います。コマンド、オプショナルコマンド、アドレス、オプションデータは常に出力です。ダミーサイクル中は使用している端子を Hi-Z にします。データは外部アドレス空間リード動作時は常に入力、SPI 動作モード時は、SMCR レジスタの SPIRE、SPIWE ビット設定により入出力を決定します。

ダミーサイクルの挿入には制限があります。詳細は DRENR レジスタと SMENR レジスタの DME ビットを参照してください。

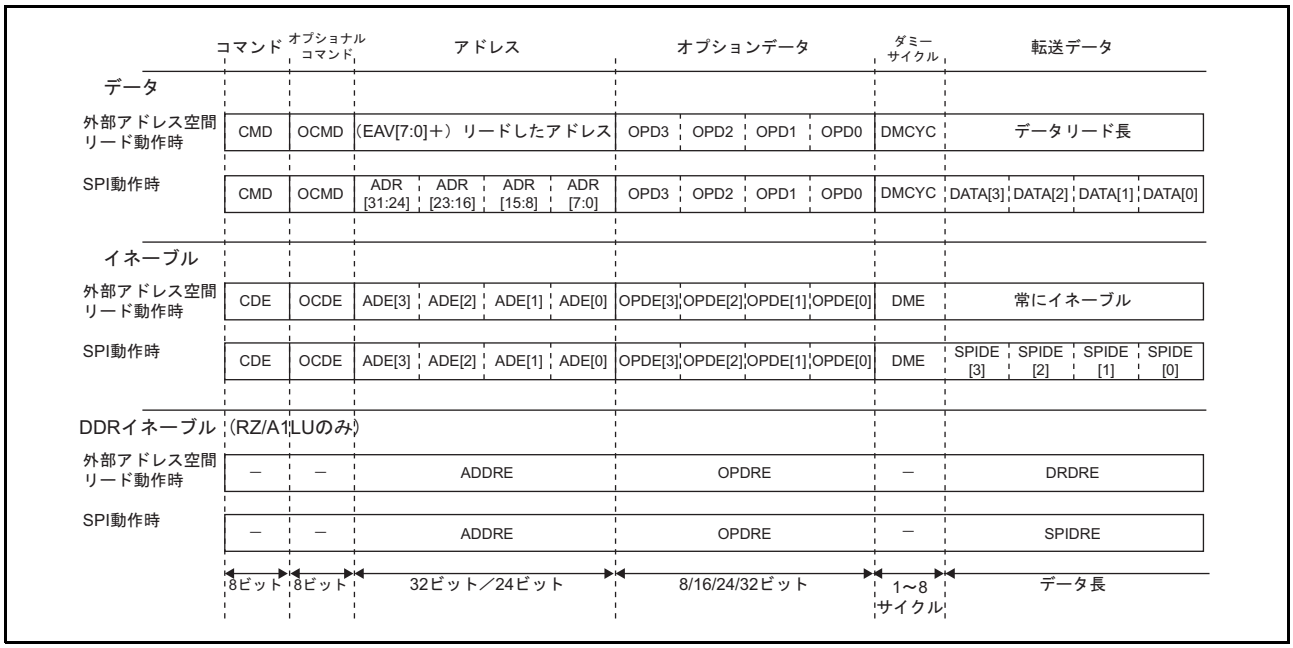


図 17.20　データとイネーブル

(3)　ビット幅

外部アドレス空間リード動作時、DRENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、DRDB[1:0] ビットによりコマンド／オプショナルコマンド／アドレス／オプションデータ／リードデータのビット幅をそれぞれ制御することが可能です。また、DRDMCR レジスタの DMDB[1:0] ビットによりダミーサイクルのビット幅を制御することが可能です。

同様に SPI 動作モード時、SMENR レジスタの CDB[1:0]、OCDB[1:0]、ADB[1:0]、OPDB[1:0]、SPIDB[1:0] ビットによりコマンド／オプショナルコマンド／アドレス／オプションデータ／リードライトデータのビット幅を制御することが可能です。また、SMDMCR レジスタの DMDB[1:0] ビットによりダミーサイクルのビット幅を制御することが可能です。

(a)　1 ビット幅

ビット幅を 1 ビットに設定した場合、SPBMI0、SPBMI1 端子は入力、SPBMO0、SPBMO1 端子は出力となります。SPBIO20、SPBIO21、SPBIO30、SPBIO31 端子は使用しません。

転送フォーマット例を図 17.21 と図 17.22 に示します。

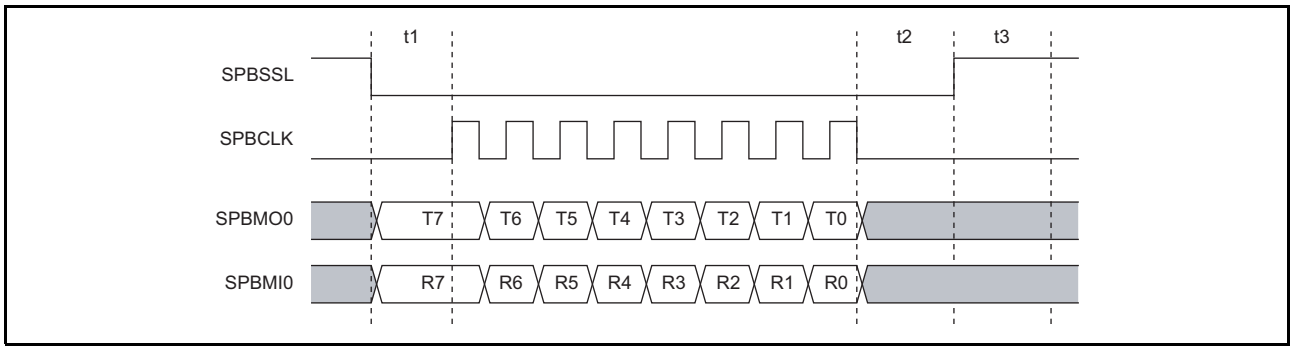


図 17.21　1 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

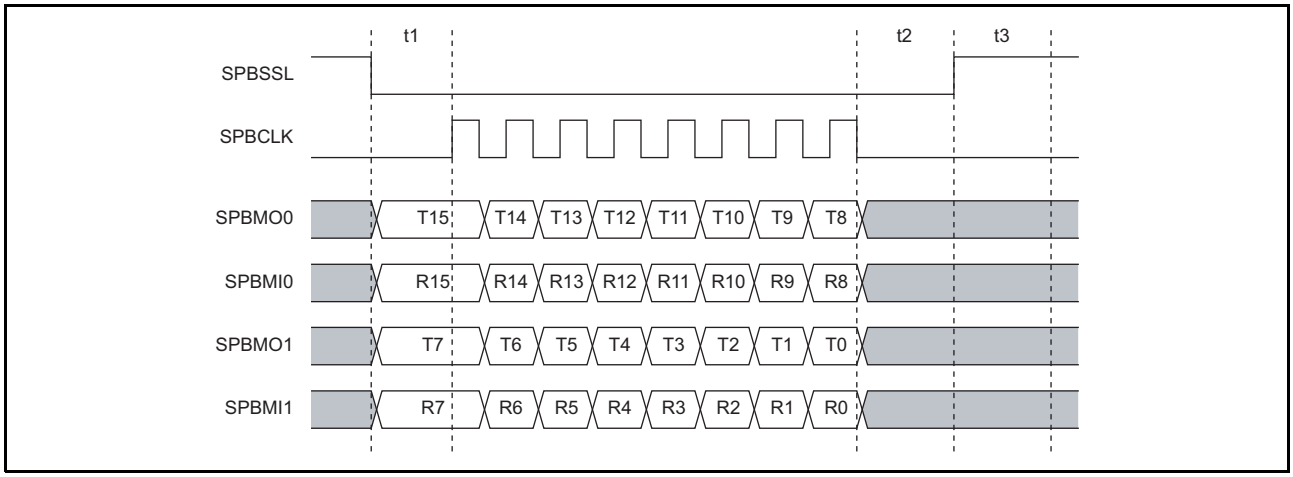


図 17.22　1 ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例

(b)　2 ビット幅

ビット幅を 2 ビットに設定した場合、SPBIO00、SPBIO01 端子および SPBIO10、SPBIO11 端子は入力もしくは出力のどちらかになります。SPBIO20、SPBIO21、SPBIO30、SPBIO31 端子は使用しません。

転送フォーマット例を**図 17.23** と**図 17.24** に示します。

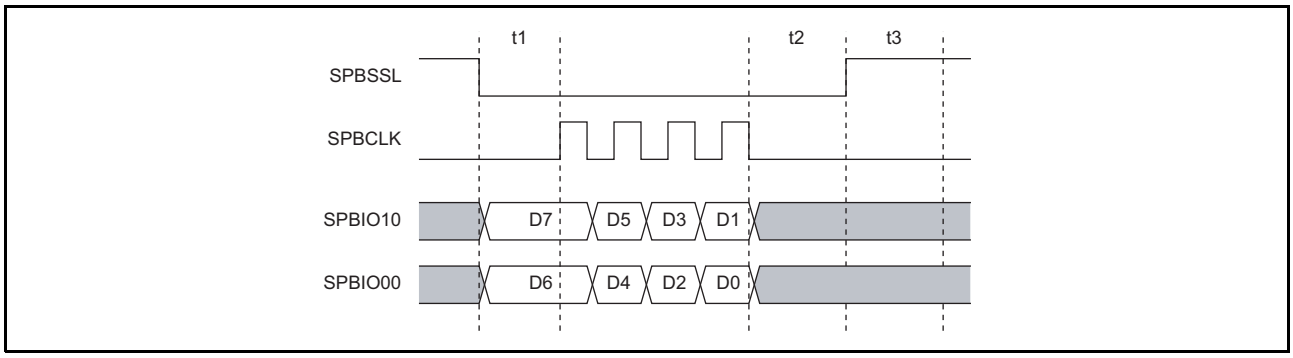


図 17.23　2 ビット幅、シリアルフラッシュ 1 個接続転送フォーマット例

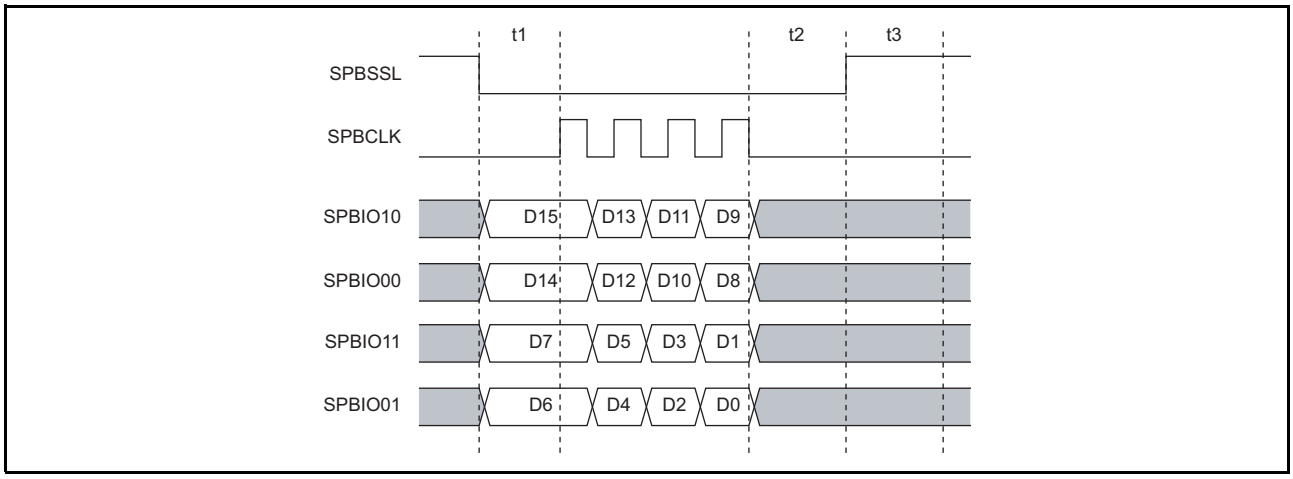


図 17.24　2 ビット幅、シリアルフラッシュ 2 個接続転送フォーマット例

(c)　4 ビット幅

ビット幅を 4 ビットに設定した場合、SPBIO00、SPBIO01、SPBIO10、SPBIO11、SPBIO20、SPBIO21、SPBIO30、SPBIO31 端子は入力もしくは出力のどちらかになります。転送フォーマット例を図 17.25 と図 17.26 に示します。

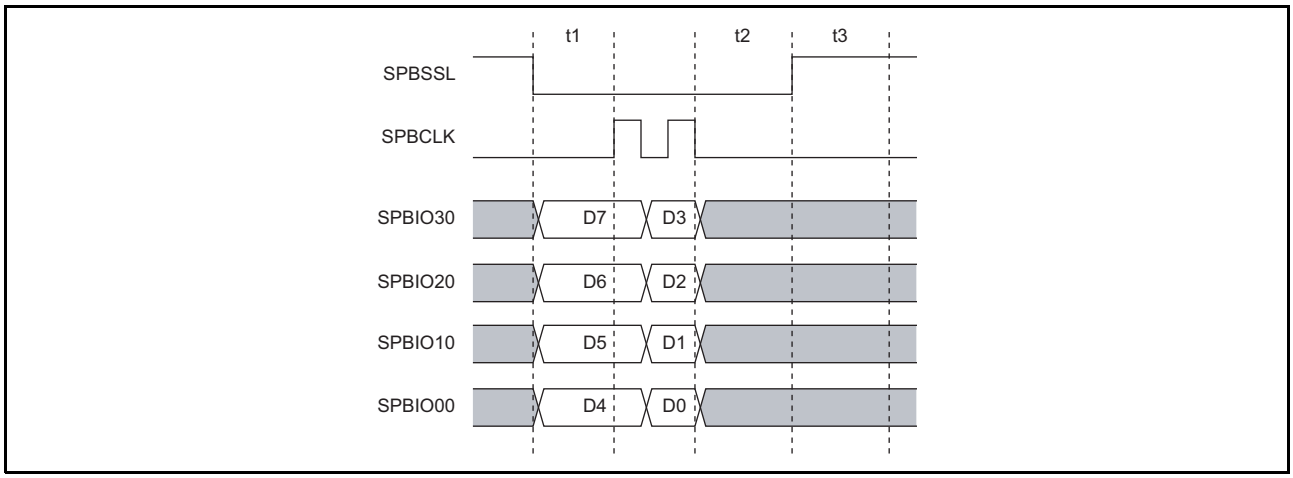


図 17.25　4 ビット幅、シリアルフラッシュ 1 個転送フォーマット例

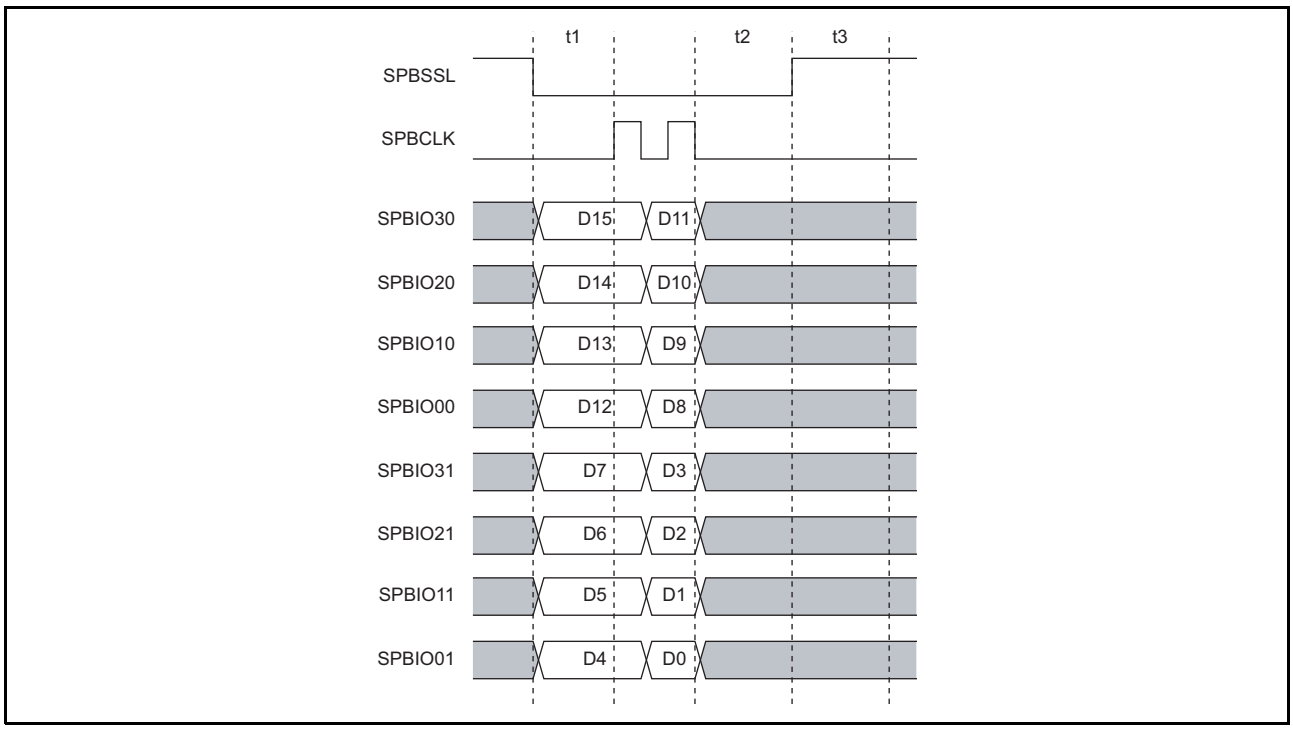


図 17.26　4 ビット幅、シリアルフラッシュ 2 個転送フォーマット例

17.5.11　データ端子制御

本モジュールは、使用するデータ幅・リード・ライト設定により端子状態を自動的に切り替えます。また、SPBSSL ネゲートの端子状態は CMNCR レジスタの MOIIO3、MOIIO2、MOIIO1、MOIIO0 ビットにより設定可能です。

SPBSSL、SPBCLK 端子は常に出力です。それぞれの端子状態の表を**表 17.6** ～**表 17.9** に示します。

表 17.6　端子状態（1）

端子	SPBSSL ネゲート	SPBSSL アサート		
		コマンド、オプショナルコマンド、アドレス、オプションデータ		
		1 ビット幅	2 ビット幅	4 ビット幅
SPBMO0/SPBIO00、SPBMO1/SPBIO01	MOIIO0 ビット設定値	出力	出力	出力
SPBMI0/SPBIO10、SPBMI1/SPBIO11	MOIIO1 ビット設定値	Hi-Z	出力	出力
SPBIO20、SPBIO21	MOIIO2 ビット設定値	IO2FV ビット設定値	IO2FV ビット設定値	出力
SPBIO30、SPBIO31	MOIIO3 ビット設定値	IO3FV ビット設定値	IO3FV ビット設定値	出力

表 17.7　端子状態（2）

端子	転送データ					
	外部アドレス空間リード動作			SPI 動作		
	1 ビット幅	2 ビット幅	4 ビット幅	SPIRE ビット＝1、SPIWE ビット＝0		
				1 ビット幅	2 ビット幅	4 ビット幅
SPBMO0/SPBIO00、SPBMO1/SPBIO01	IO0FV ビット設定値	入力	入力	IO0FV ビット設定値	入力	入力
SPBMI0/SPBIO10、SPBMI1/SPBIO11	入力	入力	入力	入力	入力	入力
SPBIO20、SPBIO21	IO2FV ビット設定値	IO2FV ビット設定値	入力	IO2FV ビット設定値	IO2FV ビット設定値	入力
SPBIO30、SPBIO31	IO3FV ビット設定値	IO3FV ビット設定値	入力	IO3FV ビット設定値	IO3FV ビット設定値	入力

表 17.8　端子状態（3）

端子	転送データ					
	SPI 動作					
	SPIRE ビット＝0、SPIWE ビット＝1			SPIRE ビット＝1、SPIWE ビット＝1		
	1 ビット幅	2 ビット幅	4 ビット幅	1 ビット幅	2 ビット幅	4 ビット幅
SPBMO0/SPBIO00、SPBMO1/SPBIO01	出力	出力	出力	出力	設定禁止	設定禁止
SPBMI0/SPBIO10、SPBMI1/SPBIO11	Hi-Z	出力	出力	入力	設定禁止	設定禁止
SPBIO20、SPBIO21	IO2FV ビット設定値	IO2FV ビット設定値	出力	IO2FV ビット設定値	設定禁止	設定禁止
SPBIO30、SPBIO31	IO3FV ビット設定値	IO3FV ビット設定値	出力	IO3FV ビット設定値	設定禁止	設定禁止

表 17.9　端子状態（4）

端子	ダミーサイクル		
	1 ビット幅	2 ビット幅	4 ビット幅
SPBMO0/SPBIO00、SPBMO1/SPBIO01	IO0FV ビット設定値	Hi-Z	Hi-Z
SPBMI0/SPBIO10、SPBMI1/SPBIO11	Hi-Z	Hi-Z	Hi-Z
SPBIO20、SPBIO21	IO2FV ビット設定値	IO2FV ビット設定値	Hi-Z
SPBIO30、SPBIO31	IO3FV ビット設定値	IO3FV ビット設定値	Hi-Z

17.5.12　SPBSSL 端子制御

SPBSSL 端子のネゲート条件を下記に示します。

(1)　外部アドレス空間リード動作

(a)　通常リード動作（DRCR レジスタの RBE ビット＝ "0"）

データ転送完了し、t2 サイクル後にネゲート

(b)　バーストリード SPBSSL 自動ネゲートなし

（DRCR レジスタの RBE ビット＝ "1"、DRCR レジスタの SSLE ビット＝ "0"）
データ転送完了し、t2 サイクル後にネゲート

(c)　バーストリード SPBSSL 自動ネゲート

（DRCR レジスタの RBE ビット＝ "1"、DRCR レジスタの SSLE ビット＝ "1"）

- リードアドレスが前回リードしたアドレスに対し非連続のとき、t2 サイクル後にネゲート
- DRCR レジスタの SSLN ビット＝ "1" 設定後にネゲート

(2)　SPI 動作モード

(a)　SPBSSL 端子アサート保持なし（SMCR レジスタの SSLKP ビット＝ "0"）

データ転送完了し、t2 サイクル後にネゲート

(b)　SPBSSL 端子アサート保持あり（SMCR レジスタの SSLKP ビット＝ "1"）

ネゲートしません。
ネゲートする場合は、SSLKP ビット＝ "0" 設定後にデータの転送を行ってください。

17.5.13　フラグ

本モジュールは、CMNSR レジスタに SSLF、TEND ビットの 2 つのビットを持っています。これらのビットは読み出しのみ可能です。

(1)　SSLF ビット

SPBSSL の端子状態を示します。SPBSSL をアサートしているときは "1"、ネゲートしているときは "0" が読み出されます。

(2)　TEND ビット

データ転送中／終了を示します。

t1 期間、データ転送、t2 期間、t3 期間のとき、およびバーストリード SPBSSL 自動ネゲートでのリードアクセス待ちのとき、データ転送中であることを示し TEND ビット＝ "0" が読み出されます。

上記以外のとき、データ転送終了を示し TEND ビット＝ "1" が読み出されます。

(3)　レジスタ書き換え

TEND ビットの状態により、レジスタ書き換えタイミングを決定します。

DRCR レジスタ SSLN ビット以外のライトアクセス可能なすべてのレジスタは TEND＝"1"の時に書き換えてください。

また、SMRDR0、SMRDR1 レジスタは TEND ＝ "1" のときにリードしてください。

CMNSR レジスタは常にリード可能です。

17.6　使用上の注意事項

17.6.1　SPI 動作モードのデータリード転送時の注意事項

SPI 動作モードかつビットレートが 2 分周以上のとき、SPI モードイネーブル設定レジスタ（SMENR）にて、データリード転送のみイネーブルにする場合は以下の点に注意してください。

なお、データリード転送のみとは SMENR レジスタの CDE、OCDE、ADE[3:0]、OPDE[3:0] の各ビットをすべて 0 に設定し、データのリード転送を行うことを意味します。

(1)　SPBSSL 端子をネゲートしている状態でのデータリード転送

データリード転送のみを行う場合は、SMENR.SPIDE[3:0] ＝ 1100 または 1111 に設定するようにしてください。

SMENR.SPIDE[3:0] ＝ 1000 にてデータリード転送のみを行った場合、正常に転送が行われません。

(2)　SPBSSL 端子をアサートしている状態でのデータリード転送

データリード転送のみを行う場合、直前の転送をデータリード転送で終了させるか、SMENR.SPIDE[3:0] ＝ 1100 または 1111 に設定するようにしてください。

直前の転送がコマンド／オプショナルコマンド／アドレス／オプションデータまたはデータライト転送の場合、その後の転送で SMENR.SPIDE[3:0] ＝ 1000 に設定したデータリード転送のみを行うと正常に転送が行われません。

17.6.2　SPI 動作モードの SPBSSL 保持状態からの転送開始の注意事項

SPI 動作モードで SPBSSL 端子をアサート保持している状態で、コマンド、オプショナルコマンド、アドレス、オプションデータで転送を開始する際は、SMCR レジスタの SPIWE ビットを 1 に設定してください。

18. I²C バスインタフェース

本章では、I²C バスインタフェース（RIIC）全般について説明します。

最初の節では、チャネル数、レジスタベースアドレスなど、本 LSI に固有の特長について説明します。それ以降の節では、RIIC の機能、レジスタについて説明します。

18.1 特長

18.1.1 チャネル数

本 LSI は以下のチャネル数の I²C バスインタフェースを搭載しています。

表 18.1 RIIC のチャネル数

パッケージ	176 ピン	208 ピン	233 ピン
チャネル数	4		
名称	RIICn（n = 0 ～ 3）		

表 18.2 添字

添字	意味
n	本章では、I²C バスインタフェースの各チャネルを「n」（n=0 ～ 3）で識別します。たとえば、I²C バスコントロールレジスタ 1 は RIICnCR1 と記述します。

18.1.2 レジスタベースアドレス

各 RIICn のレジスタベースアドレス <RIICn_base> を次の表に示します。

RIICn レジスタのアドレスは、各チャネルのレジスタベースアドレス <RIICn_base> にオフセットを加えた値で表されます。

表 18.3 レジスタベースアドレス

チャネル	ベースアドレス名	ベースアドレス
RIIC0	<RIIC0_base>	FCFE E000$_H$
RIIC1	<RIIC1_base>	FCFE E400$_H$
RIIC2	<RIIC2_base>	FCFE E800$_H$
RIIC3	<RIIC3_base>	FCFE EC00$_H$

18.1.3 外部入出力信号

RIIC の外部入出力信号を以下の表に示します。

表 18.4　RIICn の I/O 信号

チャネル	兼用端子名	機能
RIIC0	RIIC0SCL	RIIC0 シリアルクロック入出力端子
	RIIC0SDA	RIIC0 シリアルデータ入出力端子
RIIC1	RIIC1SCL	RIIC1 シリアルクロック入出力端子
	RIIC1SDA	RIIC1 シリアルデータ入出力端子
RIIC2	RIIC2SCL	RIIC2 シリアルクロック入出力端子
	RIIC2SDA	RIIC2 シリアルデータ入出力端子
RIIC3	RIIC3SCL	RIIC3 シリアルクロック入出力端子
	RIIC3SDA	RIIC3 シリアルデータ入出力端子

18.2 概要

18.2.1 機能概要

通信フォーマット

- I^2C バスフォーマット /SMBus フォーマット
- マスタ／スレーブ選択可能
- 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保

転送速度

～ 400kbps

SCL クロック

マスタ時、SCL クロックのデューティ比を以下の範囲で設定可能

0% ＜デューティ＜ 100%

コンディション発行／検出

- スタートコンディション／リスタートコンディション／ストップコンディションの自動生成
- スタートコンディション（リスタートコンディション含む）／ストップコンディション検出

スレーブアドレス

- スレーブアドレスを 3 セット設定可能
- 7 ビット／ 10 ビットアドレスフォーマット対応（混在可能）
- ジェネラルコールアドレス検出、デバイス ID アドレス検出、SMBus のホストアドレス検出可能

アクノリッジ応答

- 送信時、アクノリッジビットの自動ロード
  - ノットアクノリッジ受信時に次送信データ転送の自動中断が可能
- 受信時、アクノリッジビットの自動送出
  - 8 クロック目と 9 クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクノリッジビット応答のソフトウェア制御が可能

ウェイト機能

- 受信時、SCL クロックの Low ホールドによるウェイトが可能
  - 8 クロック目と 9 クロック目の間をウェイト
  - 9 クロック目と 1 クロック目の間をウェイト（WAIT 機能）

SDA 出力遅延機能

アクノリッジ送信を含むデータ送信の出力タイミングを遅延させることが可能

アービトレーション

- マルチマスタ対応
  - 他のマスタとの SCL クロック衝突時、SCL クロックの同期動作可能
  - スタートコンディション発行競合時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能
  - マスタ時、送信データ不一致でアービトレーションロスト検出可能
- バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能（スタートコンディションの二重発行防止）
- ノットアクノリッジ送信時、SDA ライン上の信号の状態が不一致ならアービトレーションロスト検出可能
- スレーブ送信時、データ不一致でアービトレーションロスト検出可能

タイムアウト検出機能

内蔵タイムアウト検出機能により SCL クロックの長時間停止を検出可能

ノイズ除去

RIICnSCL、RIICnSDA 端子入力にアナログノイズフィルタとデジタルノイズフィルタを内蔵
デジタルノイズフィルタはノイズ除去幅をプログラマブルに調整可能

割り込み要因

- 8 種類
  - 送信終了
  - 受信データフル
  - 送信データエンプティ
  - ストップコンディション検出
  - スタートコンディション検出
  - NACK 受信
  - アービトレーションロスト
  - タイムアウト

消費電力低減機能

モジュールストップ状態への設定が可能

18.2.2　ブロック図

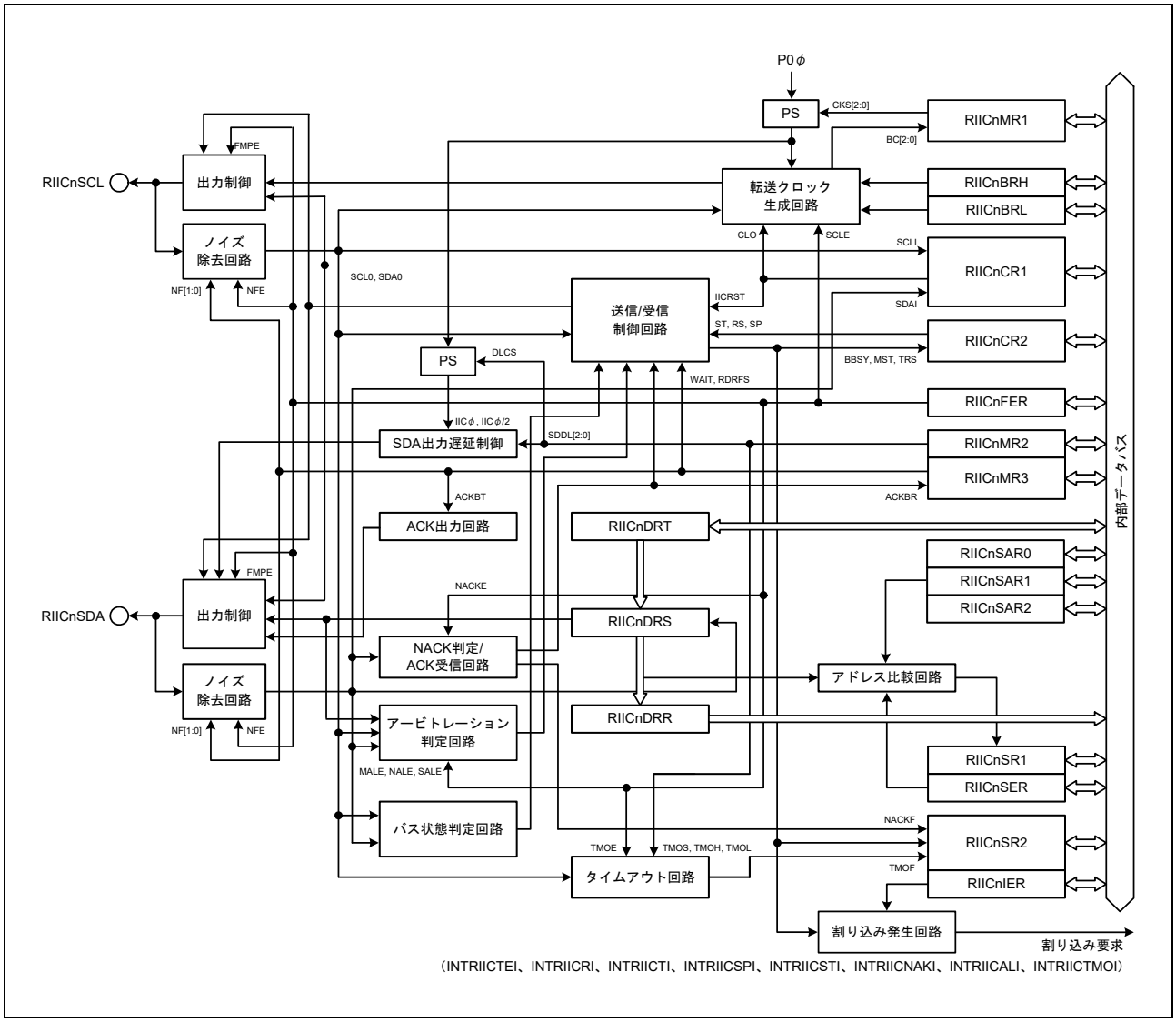


図 18.1　RIIC のブロック図

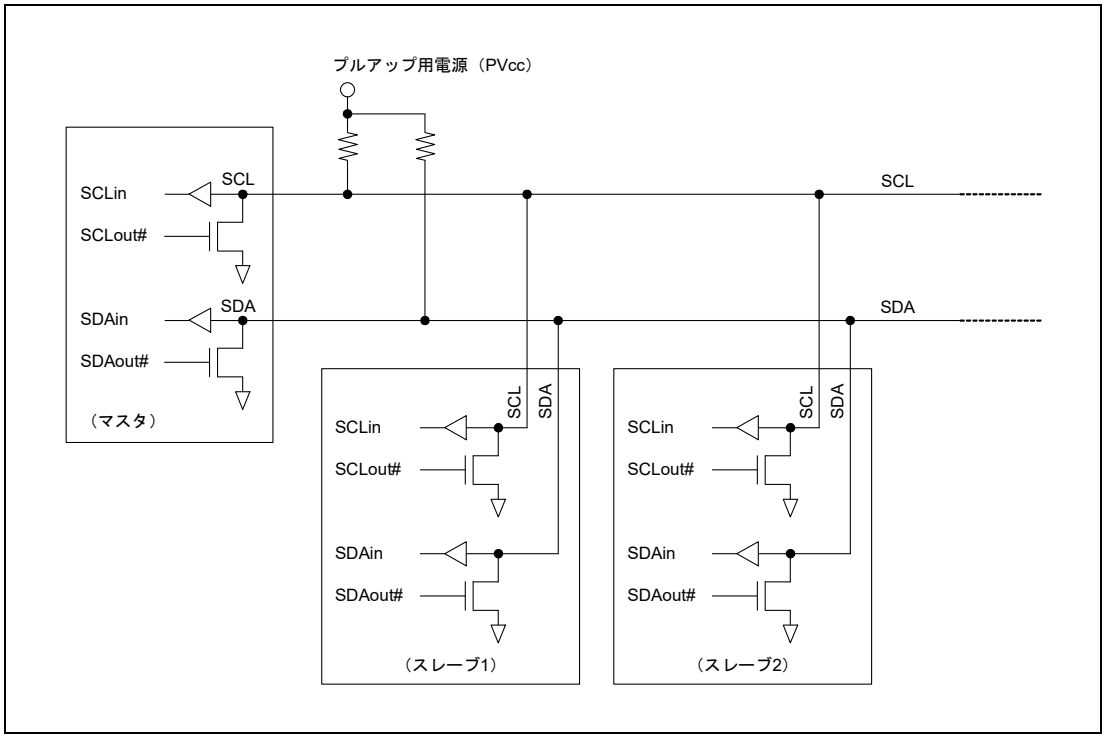


図 18.2　入出力端子の外部回路接続例（I²C バス構成例）

RIICnSCL、RIICnSDA 端子は、マスタ、スレーブともにシュミット入力、オープンドレイン出力となります。また、出力がオープンドレインのため、外部にプルアップ抵抗が必要です。

18.3 レジスタ

18.3.1 RIICnCR1 — I²C バスコントロールレジスタ 1

アクセス　RIICnCR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnCR1L、RIICnCR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnCR1LL、RIICnCR1LH、RIICnCR1HL、RIICnCR1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnCR1: <RIICn_base> + 0000_H
RIICnCR1L: <RIICn_base> + 0000_H、RIICnCR1H: <RIICn_base> + 0002_H
RIICnCR1LL: <RIICn_base> + 0000_H、RIICnCR1LH: <RIICn_base> + 0001_H、RIICnCR1HL: <RIICn_base> + 0002_H、
RIICnCR1HH: <RIICn_base> + 0003_H

初期値　$0000\ 001F_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
初期値	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 18.5　RIICnCR1 レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	ICE	I²C バスインタフェース許可ビット 0：RIICnSCL、RIICnSDA 端子の出力禁止（RIICnSCL、RIICnSDA 端子への入力は有効） 1：許可（RIICnSCL、RIICnSDA 端子駆動状態） （IICRST ビットとの組合せで、RIIC リセット、内部リセットを選択）
6	IICRST	I²C バスインタフェース内部リセットビット 0：RIIC/ 内部リセット解除 1：RIIC/ 内部リセット状態 （ビットカウンタのクリア、SCL/SDA 出力ラッチを解除）
5	CLO	SCL クロック追加出力ビット 0：SCL クロックを追加で出力しない（通常状態） 1：SCL クロックを追加で出力する（1 クロック出力後、自動的に “0” になる）
4	SOWP 注 2	SCLO/SDAO ライトプロテクトビット 0：SCLO、SDAO ビットの値を設定 （読むと “1” が読めます）
3	SCLO 注 1, 注 2	SCL 出力制御ビット • 読み出し時 0：RIICnSCL 端子は Low 出力 1：RIICnSCL 端子はハイインピーダンス • 書き込み時 0：RIICnSCL 端子を Low 出力に変更 1：RIICnSCL 端子をハイインピーダンスに変更 （外部プルアップ抵抗により High 出力）

表 18.5　RIICnCR1 レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
2	SDAO 注 1, 注 2	SDA 出力制御ビット • 読み出し時 0：RIICnSDA 端子は Low 出力 1：RIICnSDA 端子はハイインピーダンス • 書き込み時 0：RIICnSDA 端子を Low 出力に変更 1：RIICnSDA 端子をハイインピーダンスに変更 （外部プルアップ抵抗により High 出力）
1	SCLI	SCL バス入力モニタビット 0：RIICnSCL 端子入力は Low 1：RIICnSCL 端子入力は High
0	SDAI	SDA バス入力モニタビット 0：RIICnSDA 端子入力は Low 1：RIICnSDA 端子入力は High

注 1.　通信中に書き込みをしないでください。通信中に値を変更すると、送信／受信動作の異常動作や AL エラーが発生する場合があります。

注 2.　SDAO ビットおよび SCLO ビットを書き換える場合は、SOWP ビットを “0” にするのと同時に書き換えてください。

CLO ビット（SCL クロック追加出力ビット）

SCL クロックを 1 クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は “0” にしてください。正常な通信動作中に使用すると通信エラーの原因になります。

本機能の詳細については、**「18.13.2　SCL クロック追加出力機能」**を参照してください。

IICRST ビット（I²C バス内部リセットビット）

RIIC の内部状態をリセットします。

IICRST ビットを “1” にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。**表 18.6** に RIIC のリセットの種類を示します。

RIIC リセットでは RIICnCR2.BBSY フラグを含めた全レジスタ（ICE、IICRST は除く）および内部状態を、内部リセットではビットカウンタ（RIICnMR1.BC[2:0] ビット）、I²C バスシフトレジスタ（RIICnDRS）、I²C バスステータスレジスタ（RIICnSR1、RIICnSR2）および内部状態をリセットします。各レジスタのリセット状況については、**「18.15　RIIC のリセット機能」**を参照してください。

動作中（ICE ビット = 1 の状態）、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを “1” にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで RIICnSCL 端子／ RIICnSDA 端子をハイインピーダンスにしてバスを解放することができます。

注　意

スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態（主に双方のビットカウンタ情報に差異が生じる）になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 18.6　RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタ（ICE、IICRST は除く）および内部状態をリセット
	1	内部リセット	RIICnMR1.BC[2:0] ビット、RIICnSR1、RIICnSR2、RIICnDRS レジスタおよび内部状態をリセット

ICE ビット（I²C バスインタフェース許可ビット）

RIICnSCL、RIICnSDA 端子の駆動／非駆動を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 18.6　RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを “1” に設定してください。ICE ビットが “1” のとき、RIICnSCL、RIICnSDA 端子は駆動状態になります。

RIIC を使用しないときは、ICE ビットを “0” に設定してください。ICE ビットが “0” のとき、RIICnSCL、RIICnSDA 端子は出力禁止になります。

18.3.2 RIICnCR2 — I²C バスコントロールレジスタ 2

アクセス RIICnCR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnCR2L、RIICnCR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnCR2LL、RIICnCR2LH、RIICnCR2HL、RIICnCR2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnCR2: <RIICn_base> + 0004_H
RIICnCR2L: <RIICn_base> + 0004_H、RIICnCR2H: <RIICn_base> + 0006_H
RIICnCR2LL: <RIICn_base> + 0004_H、RIICnCR2LH: <RIICn_base> + 0005_H、RIICnCR2HL: <RIICn_base> + 0006_H、
RIICnCR2HH: <RIICn_base> + 0007_H

初期値 $0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	BBSY	MST	TRS	—	SP	RS	ST	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R

表 18.7　RIICnCR2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	BBSY	バスビジー検出フラグ 0：I²C バスが解放状態（バスフリー状態） 1：I²C バスが占有状態（バスビジー状態またはバスフリーの期間中）
6	MST	マスタ／スレーブモードビット 0：スレーブモード 1：マスタモード
5	TRS	送信／受信モードビット 0：受信モード 1：送信モード
4	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
3	SP	ストップコンディション発行要求ビット 0：ストップコンディションの発行を要求しない 1：ストップコンディションの発行を要求する
2	RS	リスタートコンディション発行要求ビット 0：リスタートコンディションの発行を要求しない 1：リスタートコンディションの発行を要求する
1	ST	スタートコンディション発行要求ビット 0：スタートコンディションの発行を要求しない 1：スタートコンディションの発行を要求する
0	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください

ST ビット（スタートコンディション発行要求ビット）

マスタモードへの移行およびスタートコンディションの発行を要求します。

ST ビットが “1” になるとスタートコンディションの発行を要求し、BBSY フラグが “0”（バスフリー）のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、**「18.12　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- スタートコンディションの発行が完了したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注　意

ST ビットは、BBSY フラグが “0”（バスフリー）のとき、“1”（スタートコンディション発行要求）にしてください。
BBSY フラグが “1”（バスビジー）のとき、ST ビットを “1”（スタートコンディション発行要求）にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RS ビット（リスタートコンディション発行要求ビット）

マスタモードでリスタートコンディションの発行を要求します。

RS ビットが “1” になるとリスタートコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、**「18.12　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

RIICnCR2.BBSY フラグが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- リスタートコンディションの発行が完了したとき、またはスタートコンディションを検出したとき
- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注　意

1. **ストップコンディション発行中に RS ビットを “1” にしないでください。**
2. **リスタートコンディションを発行する場合、マスタ送信モードで実施することを推奨します。マスタモード以外で RS ビットに “1”（リスタートコンディション発行要求）を書いた場合、リスタートコンディションはその動作モードでは発行されずに RS ビットは “1” のままになります。このまま動作モードをマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。**

SP ビット（ストップコンディション発行要求ビット）

マスタモードでストップコンディションの発行を要求します。

SP ビットが “1” になるとストップコンディションの発行を要求し、BBSY フラグが “1”（バスビジー）でかつ MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、**「18.12　スタートコンディション、リスタートコンディション、ストップコンディション発行機能」**を参照してください。

[“1” になる条件]

RIICnCR2.BBSY フラグが “1” でかつ RIICnCR2.MST ビットが “1” の状態で、“1” を書いたとき

[“0” になる条件]

- “0” を書いたとき
- ストップコンディションの発行が完了したとき、またはストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- スタートコンディションおよびリスタートコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注　意

1. BBSY フラグ = 0（バスフリー）のとき書き込みはできません。
2. リスタートコンディション発行中に SP ビットを “1” にしないでください。

TRS ビット（送信／受信モードビット）

送信／受信モードを示すビットです。

TRS ビットが “0” のとき受信モード、TRS ビットが “1” のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行／検出および R/W# ビットなどで “1”/“0” になり、動作モードは自動的に送信モードまたは受信モードに移行します。

[“1” になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき

[“0” になる条件]

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが RIICnSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき（ジェネラルコールアドレス含

む）

- スレーブ送信モード時、リスタートコンディションを検出したとき（RIICnCR2.BBSY=1、RIICnCR2.MST=0 の状態でリスタートコンディションを検出したとき）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット（マスタ／スレーブモードビット）

マスタモード／スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行／検出などで “1”/“0” になり、動作モードは自動的にマスタモードまたはスレーブモードに移行します。

[“1” になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき（ST ビットが “1” の状態で、スタートコンディションを検出したとき）

[“0” になる条件]

- ストップコンディションを検出したとき
- RIICnSR2.AL フラグが “1” になったとき（アービトレーションロスト）
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ（バスビジー検出フラグ）

I^2C バスの占有（バスビジー）／解放状態（バスフリー）を示します。

SCL ラインが High の状態で SDA ラインが High から Low に変化すると、スタートコンディションが発行されたと認識して “1” になります。

SCL ラインが High の状態で SDA ラインが Low から High に変化すると、ストップコンディションが発行されたと認識し、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき “0” になります。

[“1” になる条件]

スタートコンディションを検出したとき

[“0” になる条件]

- ストップコンディションを検出後、バスフリーの時間（RIICnBRL レジスタに設定した時間）スタートコンディション検出がないとき
- RIICnCR1.ICE ビットが “0” の状態で RIICnCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

18.3.3 RIICnMR1 — I²C バスモードレジスタ 1

アクセス　RIICnMR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR1L、RIICnMR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR1LL、RIICnMR1LH、RIICnMR1HL、RIICnMR1HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnMR1: <RIICn_base> + 0008_H
RIICnMR1L: <RIICn_base> + 0008_H、RIICnMR1H: <RIICn_base> + $000A_H$
RIICnMR1LL: <RIICn_base> + 0008_H、RIICnMR1LH: <RIICn_base> + 0009_H、RIICnMR1HL: <RIICn_base> + $000A_H$、
RIICnMR1HH: <RIICn_base> + $000B_H$

初期値　$0000\ 0008_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CKS[2:0]			BCWP	BC[2:0]		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.8　RIICnMR1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
6 ～ 4	CKS[2:0]	内部基準クロック（IICφ）選択ビット b6　b4 0 0 0：IICφ=P0φ/1 0 0 1：IICφ=P0φ/2 0 1 0：IICφ=P0φ/4 0 1 1：IICφ=P0φ/8 1 0 0：IICφ=P0φ/16 1 0 1：IICφ=P0φ/32 1 1 0：IICφ=P0φ/64 1 1 1：IICφ=P0φ/128
3	BCWP 注 1	BC ライトプロテクトビット 0：BC[2:0] の値を設定許可　（読むと “1” が読めます）
2 ～ 0	BC[2:0]	ビットカウンタ b2　b0 0 0 0：9 ビット 0 0 1：2 ビット 0 1 0：3 ビット 0 1 1：4 ビット 1 0 0：5 ビット 1 0 1：6 ビット 1 1 0：7 ビット 1 1 1：8 ビット

注 1.　BC[2:0] ビットを書き換える場合は、同時に BCWP ビットに “0” を書いてください。

BC[2:0] ビット（ビットカウンタ）

SCL ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできますが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数＋ 1 を指定し（データにアクノリッジ 1 ビットが付加されて転送される）、転送フレーム間でかつ SCL ラインが Low の 状態で行ってください。

BC[2:0] ビットはアクノリッジを含むデータ転送終了時、またはスタートコンディション検出（リスタートコンディション含む）で自動的に “000_B” に戻ります。

18.3.4 RIICnMR2 — I²C バスモードレジスタ 2

アクセス RIICnMR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR2L、RIICnMR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR2LL、RIICnMR2LH、RIICnMR2HL、RIICnMR2HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnMR2: <RIICn_base> + $000C_H$
RIICnMR2L: <RIICn_base> + $000C_H$、RIICnMR2H: <RIICn_base> + $000E_H$
RIICnMR2LL: <RIICn_base> + $000C_H$、RIICnMR2LH: <RIICn_base> + $000D_H$、RIICnMR2HL: <RIICn_base> + $000E_H$、
RIICnMR2HH: <RIICn_base> + $000F_H$

初期値 $0000\ 0006_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DLCS	SDDL[2:0]			—	TMOH	TMOL	TMOS
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

表 18.9　RIICnMR2 レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	DLCS	SDA 出力遅延クロックソース選択ビット 0：SDA 出力遅延カウンタのクロックソースに内部基準クロック（IICφ）を選択 1：SDA 出力遅延カウンタのクロックソースに内部基準クロックの 2 分周（IICφ/2）を選択[注 1]
6 ～ 4	SDDL[2:0]	SDA 出力遅延カウンタ • RIICnMR2.DLCS ＝ 0（IICφ）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφ の 1 サイクル 0 1 0：IICφ の 2 サイクル 0 1 1：IICφ の 3 サイクル 1 0 0：IICφ の 4 サイクル 1 0 1：IICφ の 5 サイクル 1 1 0：IICφ の 6 サイクル 1 1 1：IICφ の 7 サイクル • RIICnMR2.DLCS = 1（IICφ/2）のとき b6　b4 0 0 0：出力遅延なし 0 0 1：IICφ の 1 ～ 2 サイクル 0 1 0：IICφ の 3 ～ 4 サイクル 0 1 1：IICφ の 5 ～ 6 サイクル 1 0 0：IICφ の 7 ～ 8 サイクル 1 0 1：IICφ の 9 ～ 10 サイクル 1 1 0：IICφ の 11 ～ 12 サイクル 1 1 1：IICφ の 13 ～ 14 サイクル
3	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
2	TMOH	タイムアウト H カウント制御ビット 0：SCL ラインが High でカウント禁止 1：SCL ラインが High でカウント有効

表 18.9　RIICnMR2 レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
1	TMOL	タイムアウト L カウント制御ビット 0：SCL ラインが Low でカウント禁止 1：SCL ラインが Low でカウント有効
0	TMOS	タイムアウト検出時間選択ビット 0：ロングモードを選択 1：ショートモードを選択

注 1.　SCL = Low のときのみ DLCS = 1（IICφ/2）の設定が有効になります。SCL = High のとき DLCS = 1 の設定は無効となり内部基準クロック（IICφ）となります。

TMOS ビット（タイムアウト検出時間選択ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）にタイムアウト検出時間を選択するビットで、“0” にするとロングモード、“1” にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが 16 ビットカウンタとして、またショートモードでは 14 ビットカウンタとして動作し、SCL ラインが TMOH、TMOL ビットで選択された状態になったとき、内部基準クロック（IICφ）をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、**「18.13.1　タイムアウト検出機能」**を参照してください。

TMOL ビット（タイムアウト L カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）に SCL ラインが Low 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

TMOH ビット（タイムアウト H カウント制御ビット）

タイムアウト検出機能有効時（RIICnFER.TMOE ビット = 1）に SCL ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを有効にするか禁止にするかを選択するビットです。

SDDL[2:0] ビット（SDA 出力遅延カウンタ）

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

本機能の詳細については、**「18.7　SDA 出力遅延機能」**を参照してください。

注　意

SDA 出力遅延の設定は、I²C バス規格（データ有効時間／アクノリッジ有効時間[注 1] 内）または SMBus 規格（データホールド時間：300[ns] 以上、かつ SCL クロックの Low 幅－データセットアップ時間：250[ns] の範囲内）に収まるようにしてください。規格外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

注 1.　データ有効時間／アクノリッジ有効時間
3,450[ns]（0 ～ 100[kbps]：標準モード（Sm））
900[ns]（0 ～ 400[kbps]：高速モード（Fm））

18.3.5 RIICnMR3 — I²C バスモードレジスタ 3

アクセス RIICnMR3 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnMR3L、RIICnMR3H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnMR3LL、RIICnMR3LH、RIICnMR3HL、RIICnMR3HH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnMR3: <RIICn_base> + 0010_H
RIICnMR3L: <RIICn_base> + 0010_H、RIICnMR3H: <RIICn_base> + 0012_H
RIICnMR3LL: <RIICn_base> + 0010_H、RIICnMR3LH: <RIICn_base> + 0011_H、RIICnMR3HL: <RIICn_base> + 0012_H、
RIICnMR3HH: <RIICn_base> + 0013_H

初期値 $0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SMBE	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	W	R/W	R	R/W	R/W

表 18.10 RIICnMR3 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	SMBE	SMBus/I²C バス選択ビット 0：I²C バス選択 1：SMBus 選択
6	WAIT 注 2	WAIT ビット 0：WAIT なし （9 クロック目と 1 クロック目の間を Low にホールドしない） 1：WAIT あり （9 クロック目と 1 クロック目の間を Low にホールドする） Low ホールドは RIICnDRR レジスタの読み出しで解除
5	RDRFS 注 2	RDRF フラグセットタイミング選択ビット 0：SCL クロックの 9 クロック目の立ち上がり時に “1” になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドしない） 1：SCL クロックの 8 クロック目の立ち上がり時に “1” になる （8 クロック目の立ち下がりで SCL ラインを Low にホールドする） Low ホールドは ACKBT ビットへの書き込みで解除
4	ACKWP 注 1	ACKBT ライトプロテクトビット 0：ACKBT ビットへの書き込み禁止 1：ACKBT ビットへの書き込み許可
3	ACKBT 注 1	送信アクノリッジビット 0：アクノリッジビットに “0” を送出（ACK 送信） 1：アクノリッジビットに “1” を送出（NACK 送信）
2	ACKBR	受信アクノリッジビット 0：アクノリッジビットに “0” を受信（ACK 受信） 1：アクノリッジビットに “1” を受信（NACK 受信）
1、0	NF[1:0]	ノイズフィルタ段数選択ビット b1 b0 0 0：1×IICφ 以下のノイズを除去（フィルタは 1 段） 0 1：2×IICφ 以下のノイズを除去（フィルタは 2 段） 1 0：3×IICφ 以下のノイズを除去（フィルタは 3 段） 1 1：4×IICφ 以下のノイズを除去（フィルタは 4 段）

注 1.　ACKWP ビットは、ACKBT ビットへの書き込みと同時に “1” にしても、ACKBT ビットに書き込みはできま

せん。

注 2.　WAIT ビットおよび RDRFS ビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット（ノイズフィルタ段数選択ビット）

RIICnSCL、RIICnSDA 端子に入力された信号に対して、除去可能なノイズ幅を選択します。

ACKBR ビット（受信アクノリッジビット）

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

[“1” になる条件]

RIICnCR2.TRS ビットが “1” の状態でアクノリッジビットに “1” を受信したとき

[“0” になる条件]

- RIICnCR2.TRS ビットが “1” の状態でアクノリッジビットに “0” を受信したとき
- RIICnCR1.ICE ビットが “0” の状態で RIICnCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

ACKBT ビット（送信アクノリッジビット）

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1” になる条件]

ACKWP ビットが “1” の状態で “1” を書いたとき

[“0” になる条件]

- ACKWP ビットが “1” の状態で “0” を書いたとき
- ストップコンディションの発行を検出したとき
- RIICnCR1.ICE ビットが “0” の状態で RIICnCR1.IICRST ビットに “1” を書いたとき（RIIC リセット）

注　意

ACKBT ビットに書く場合には、ACKWP ビットが “1” の状態で行ってください。ACKWP ビットが “0” の状態で書いた場合には、ACKBT ビットへの書き込みは無効となります。

ACKWP ビット（ACKBT ライトプロテクトビット）

ACKBT ビットへの書き込みを制御します。

RDRFS ビット（RDRF フラグセットタイミング選択ビット）

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが “0” のとき、8 クロック目の立ち下がりで SCL ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを “1” にします。

RDRFS ビットが “1” のとき、RDRF フラグは 8 クロック目の立ち上がりで “1” にし、8 クロック目の立ち下がりで SCL ラインを Low にホールドします。この SCL ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK（ACKBT ビットが “0”）または NACK（ACKBT ビットが “1”）を送出する処理が可能です。

WAIT ビット（WAIT ビット）

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに受信データバッファ（RIICnDRR レジスタ）の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが “0” のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま継続します。RDRFS ビットと WAIT ビットがともに “0” のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが “1” のとき、1 バイト受信ごとに 9 クロック目の立ち下がり以降、RIICnDRR レジスタの値が読み出されるまでの間 SCL ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注　意

WAIT ビットを “0” にする場合は、RIICnDRR を先に読んでから “0” にしてください。

SMBE ビット（SMBus 選択ビット）

SMBE ビットを “1” にすると、RIICnSER.HOAE ビットが有効になります。

18.3.6 RIICnFER — I²C バスファンクションイネーブルレジスタ

アクセス RIICnFER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnFERL、RIICnFERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnFERLL、RIICnFERLH、RIICnFERHL、RIICnFERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnFER: <RIICn_base> + 0014_H
RIICnFERL: <RIICn_base> + 0014_H、RIICnFERH: <RIICn_base> + 0016_H
RIICnFERLL: <RIICn_base> + 0014_H、RIICnFERLH: <RIICn_base> + 0015_H、RIICnFERHL: <RIICn_base> + 0016_H、
RIICnFERHH: <RIICn_base> + 0017_H

初期値 $0000\ 0072_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
初期値	0	0	0	0	0	0	0	0	0	1	1	1	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.11 RIICnFER レジスタの内容

ビット位置	ビット名	機能
31 ～ 7	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
6	SCLE	SCL 同期回路有効ビット 0：SCL 同期回路無効 1：SCL 同期回路有効
5	NFE	デジタルノイズフィルタ回路有効ビット 0：デジタルノイズフィルタ回路を使用しない 1：デジタルノイズフィルタ回路を使用する
4	NACKE	NACK 受信転送中断許可ビット 0：NACK 受信時、転送を中断しない（転送中断禁止） 1：NACK 受信時、転送を中断する（転送中断許可）
3	SALE	スレーブアービトレーションロスト検出許可ビット 0：スレーブアービトレーションロスト検出禁止 1：スレーブアービトレーションロスト検出許可
2	NALE	NACK 送信アービトレーションロスト検出許可ビット 0：NACK 送信アービトレーションロスト検出禁止 1：NACK 送信アービトレーションロスト検出許可
1	MALE	マスタアービトレーションロスト検出許可ビット 0：マスタのアービトレーションロスト検出禁止 （アービトレーションロスト検出機能を無効にし、アービトレーションロスト　発生による RIICnCR2.MST, TRS ビットの自動クリアを行わない） 1：マスタアービトレーションロスト検出許可 （アービトレーションロスト検出機能を有効にし、アービトレーションロスト　発生による RIICnCR2.MST, TRS ビットの自動クリアを行う）
0	TMOE	タイムアウト検出機能有効ビット 0：タイムアウト検出機能無効 1：タイムアウト検出機能有効

TMOE ビット（タイムアウト検出機能有効ビット）

タイムアウト検出機能の有効／無効を選択します。

タイムアウト検出機能の詳細については、「18.13.1　タイムアウト検出機能」を参照してください。

MALE ビット（マスタアービトレーションロスト検出許可ビット）

マスタモード時にアービトレーションロスト検出機能の有効／無効を決定します。通常は “1” にしてください。

NALE ビット（NACK 送信アービトレーションロスト検出許可ビット）

受信モード時、NACK 送出中に ACK が検出された場合（同じアドレスのスレーブがバス上に存在した場合や、2 つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など）にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット（スレーブアービトレーションロスト検出許可ビット）

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合（同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など）にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット（NACK 受信転送中断許可ビット）

送信モード時、NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は “1” にしてください。

NACKE ビットが “1” のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが “0” のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

SCLE ビット（SCL 同期回路有効ビット）

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は “1” にしてください。

SCLE ビットを “0”（SCL 同期回路無効）にすると、クロック同期を行いません。この設定の場合、RIIC は SCL ラインの状態に関わらず RIICnBRH および RIICnBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I^2C バスラインのバス負荷が規格値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、規格外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション、リスタートコンディション、ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き “0” にしないでください。

18.3.7 RIICnSER — I²C バスステータスイネーブルレジスタ

アクセス RIICnSER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSERL、RIICnSERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSERLL、RIICnSERLH、RIICnSERHL、RIICnSERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnSER: <RIICn_base> + 0018_H
RIICnSERL: <RIICn_base> + 0018_H、RIICnSERH: <RIICn_base> + $001A_H$
RIICnSERLL: <RIICn_base> + 0018_H、RIICnSERLH: <RIICn_base> + 0019_H、RIICnSERHL: <RIICn_base> + $001A_H$、
RIICnSERHH: <RIICn_base> + $001B_H$

初期値 $0000\ 0009_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HOAE	—	DIDE	—	GCE	SAR2	SAR1	SAR0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1
R/W	R	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 18.12 RIICnSER レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	HOAE	ホストアドレス許可ビット 0：ホストアドレス検出は無効 1：ホストアドレス検出は有効
6	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
5	DIDE	デバイス ID アドレス検出許可ビット 0：デバイス ID アドレス検出は無効 1：デバイス ID アドレス検出は有効
4	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
3	GCE	ジェネラルコールアドレス許可ビット 0：ジェネラルコールアドレス検出は無効 1：ジェネラルコールアドレス検出は有効
2	SAR2	スレーブアドレスレジスタ 2 許可ビット 0：RIICnSAR2 の設定値は無効 1：RIICnSAR2 の設定値は有効
1	SAR1	スレーブアドレスレジスタ 1 許可ビット 0：RIICnSAR1 の設定値は無効 1：RIICnSAR1 の設定値は有効
0	SAR0	スレーブアドレスレジスタ 0 許可ビット 0：RIICnSAR0 の設定値は無効 1：RIICnSAR0 の設定値は有効

SARy ビット（スレーブアドレスレジスタ y 許可ビット）（y = 0 ～ 2）

RIICnSARy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARy ビットを “1” にすると、RIICnSARy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARy ビットを “0” にすると、RIICnSARy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCE ビット（ジェネラルコールアドレス許可ビット）

ジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]：All“0”）を受信した場合、無視するかどうかを選択します。

GCE ビットが “1” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は RIICnSARy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCE ビットが “0” の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット（デバイス ID アドレス検出許可ビット）

スタートコンディションまたはリスタートコンディション検出後の第 1 フレームにデバイス ID アドレス（$1111\ 100_B$）を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが “1” の場合、受信した第 1 フレームがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが “0”[W] のとき第 2 フレーム目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが “0” の場合、受信した第 1 フレームがデバイス ID アドレスと一致しても無視され、第 1 フレームを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「18.9.3　デバイス ID アドレス検出機能」を参照してください。

HOAE ビット（ホストアドレス許可ビット）

RIICnMR3.SMBE ビットが “1” の場合、ホストアドレス（$0001\ 000_B$）を受信したとき、無視するかどうかを選択します。

RIICnMR3.SMBE ビットが “1” でかつ HOAE ビットが “1” の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は RIICnSARy レジスタ（y = 0 ～ 2）で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

RIICnMR3.SMBE ビットが “0” または HOAE ビットが “0” の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

18.3.8 RIICnIER — I²C バスインタラプトイネーブルレジスタ

アクセス RIICnIER レジスタは、32 ビット単位でリード／ライト可能です。
RIICnIERL、RIICnIERH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnIERLL、RIICnIERLH、RIICnIERHL、RIICnIERHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス RIICnIER: <RIICn_base> + $001C_H$
RIICnIERL: <RIICn_base> + $001C_H$、RIICnIERH: <RIICn_base> + $001E_H$
RIICnIERLL: <RIICn_base> + $001C_H$、RIICnIERLH: <RIICn_base> + $001D_H$、RIICnIERHL: <RIICn_base> + $001E_H$、
RIICnIERHH: <RIICn_base> + $001F_H$

初期値 $0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.13 RIICnIER レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	TIE	送信データエンプティ割り込み許可ビット 0：送信データエンプティ割り込み（INTRIICTI）の禁止 1：送信データエンプティ割り込み（INTRIICTI）の許可
6	TEIE	送信終了割り込み許可ビット 0：送信終了割り込み（INTRIICTEI）の禁止 1：送信終了割り込み（INTRIICTEI）の許可
5	RIE	受信データフル割り込み許可ビット 0：受信データフル割り込み（INTRIICRI）の禁止 1：受信データフル割り込み（INTRIICRI）の許可
4	NAKIE	NACK 受信割り込み許可ビット 0：NACK 受信割り込み（INTRIICNAKI）の禁止 1：NACK 受信割り込み（INTRIICNAKI）の許可
3	SPIE	ストップコンディション検出割り込み許可ビット 0：ストップコンディション検出割り込み（INTRIICSPI）の禁止 1：ストップコンディション検出割り込み（INTRIICSPI）の許可
2	STIE	スタートコンディション検出割り込み許可ビット 0：スタートコンディション検出割り込み（INTRIICSTI）の禁止 1：スタートコンディション検出割り込み（INTRIICSTI）の許可
1	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み（INTRIICALI）の禁止 1：アービトレーションロスト割り込み（INTRIICALI）の許可
0	TMOIE	タイムアウト割り込み許可ビット 0：タイムアウト割り込み（INTRIICTMOI）の禁止 1：タイムアウト割り込み（INTRIICTMOI）の許可

TMOIE ビット（タイムアウト割り込み許可ビット）

RIICnSR2.TMOF フラグが “1” のとき、タイムアウト割り込み（INTRIICTMOI）の許可／禁止を選択します。INTRIICTMOI 割り込みは、TMOF フラグを “0” にするか、または TMOIE ビットを “0” にすることで解除できます。

ALIE ビット（アービトレーションロスト割り込み許可ビット）

RIICnSR2.AL フラグが “1” のとき、アービトレーションロスト割り込み（INTRIICALI）の許可／禁止を選択します。INTRIICALI 割り込みは、AL フラグを “0” にするか、または ALIE ビットを “0” にすることで解除できます。

STIE ビット（スタートコンディション検出割り込み許可ビット）

RIICnSR2.START フラグが “1” のとき、スタートコンディション検出割り込み（INTRIICSTI）の許可／禁止を選択します。INTRIICSTI 割り込みは、START フラグを “0” にするか、または STIE ビットを “0” にすることで解除できます。

SPIE ビット（ストップコンディション検出割り込み許可ビット）

RIICnSR2.STOP フラグが “1” のとき、ストップコンディション検出割り込み（INTRIICSPI）の許可／禁止を選択します。INTRIICSPI 割り込みは、STOP フラグを “0” にするか、または SPIE ビットを “0” にすることで解除できます。

NAKIE ビット（NACK 受信割り込み許可ビット）

RIICnSR2.NACKF フラグが “1” のとき、NACK 受信割り込み（INTRIICNAKI）の許可／禁止を選択します。INTRIICNAKI 割り込みは、NACKF フラグを “0” にするか、または NAKIE ビットを “0” にすることで解除できます。

RIE ビット（受信データフル割り込み許可ビット）

RIICnSR2.RDRF フラグが “1” のとき、受信データフル割り込み（INTRIICRI）の許可／禁止を選択します。INTRIICRI 割り込みは、RDRF フラグを “0” にするか、または RIE ビットを “0” にすることで解除できます。

TEIE ビット（送信終了割り込み許可ビット）

RIICnSR2.TEND フラグが “1” のとき、送信終了割り込み（INTRIICTEI）の許可／禁止を選択します。INTRIICTEI 割り込みは、TEND フラグを “0” にするか、または TEIE ビットを “0” にすることで解除できます。

TIE ビット（送信データエンプティ割り込み許可ビット）

RIICnSR2.TDRE フラグが 1” のとき、送信データエンプティ割り込み（INTRIICTI）の許可／禁止を選択します。

18.3.9 RIICnSR1 — I²C バスステータスレジスタ 1

アクセス RIICnSR1 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR1L、RIICnSR1H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR1LL、RIICnSR1LH、RIICnSR1HL、RIICnSR1HH レジスタは、8/1 ビット単位でリード／ライト可能です。

アドレス RIICnSR1: <RIICn_base> + 0020_H
RIICnSR1L: <RIICn_base> + 0020_H、RIICnSR1H: <RIICn_base> + 0022_H
RIICnSR1LL: <RIICn_base> + 0020_H、RIICnSR1LH: <RIICn_base> + 0021_H、RIICnSR1HL: <RIICn_base> + 0022_H、
RIICnSR1HH: <RIICn_base> + 0023_H

初期値 $0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	HOA	—	DID	—	GCA	AAS2	AAS1	AAS0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R(/W) 注 1	R	R(/W) 注 1	R	R/W 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1

注 1.　“0” のみ書けます。

表 18.14　RIICnSR1 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	HOA	ホストアドレス検出フラグ 0：ホストアドレス未検出 1：ホストアドレス検出
6	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
5	DID	デバイス ID アドレス検出フラグ 0：デバイス ID アドレス未検出 1：デバイス ID アドレス検出
4	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
3	GCA	ジェネラルコールアドレス検出フラグ 0：ジェネラルコールアドレス未検出 1：ジェネラルコールアドレス検出
2	AAS2	スレーブアドレス 2 検出フラグ 0：スレーブアドレス 2 未検出 1：スレーブアドレス 2 検出
1	AAS1	スレーブアドレス 1 検出フラグ 0：スレーブアドレス 1 未検出 1：スレーブアドレス 1 検出
0	AAS0	スレーブアドレス 0 検出フラグ 0：スレーブアドレス 0 未検出 1：スレーブアドレス 0 検出

AASy フラグ（スレーブアドレス y 検出フラグ）（y = 0 ～ 2）

[“1” になる条件]

【7 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 1】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが $1111\ 0_B$ ＋ RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

【7 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 0】

RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが RIICnSARy.SVA[7:1] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

【10 ビットアドレスフォーマット選択時 : RIICnSARy.FSy ビット = 1】

- RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが $1111\ 0_B$ ＋ RIICnSARy.SVA[9:8] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.SARy ビットが “1”（スレーブアドレス y 検出有効）の状態で、受信したスレーブアドレスが $1111\ 0_B$ ＋ RIICnSARy.SVA[9:8] と一致し、それに続くアドレスが RIICnSARy.SVA[7:0] と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

GCA フラグ（ジェネラルコールアドレス検出フラグ）

[“1” になる条件]

RIICnSER.GCE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.GCE ビットが “1”（ジェネラルコールアドレス検出有効）の状態で、受信したスレーブアドレスがジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ（デバイス ID アドレス検出フラグ）

[“1” になる条件]

- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID

アドレス（1111 100_B）＋ 0[W] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、デバイス ID アドレスが一致した後にリスタートコンディション検出し、さらにデバイス ID アドレス（1111 100_B）＋ 1[R] と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100_B）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnSER.DIDE ビットが “1”（デバイス ID アドレス検出有効）の状態で、スタートコンディション検出またはリスタートコンディション検出後の第 1 フレームがデバイス ID アドレス（1111 100_B）＋ 0[W] と一致し、続く第 2 フレームがスレーブアドレス 0 ～ 2 のすべてと不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ（ホストアドレス検出フラグ）

[“1” になる条件]

RIICnMR3.SMBE ビットが “1” かつ RIICnSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000_B）と一致したとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnMR3.SMBE ビットに “0” または RIICnSER.HOAE ビットに “0” を書いたとき
- RIICnSER.HOAE ビットが “1”（ホストアドレス検出有効）の状態で、受信したスレーブアドレスがホストアドレス（0001 000_B）と不一致のとき、そのフレームの SCL クロックの 9 クロック目の立ち上がり
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

18.3.10 RIICnSR2 — I²C バスステータスレジスタ 2

アクセス RIICnSR2 レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSR2L、RIICnSR2H レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSR2LL、RIICnSR2LH、RIICnSR2HL、RIICnSR2HH レジスタは、8/1 ビット単位でリード／ライト可能です。

アドレス RIICnSR2: <RIICn_base> + 0024_H
RIICnSR2L: <RIICn_base> + 0024_H、RIICnSR2H: <RIICn_base> + 0026_H
RIICnSR2LL: <RIICn_base> + 0024_H、RIICnSR2LH: <RIICn_base> + 0025_H、RIICnSR2HL: <RIICn_base> + 0026_H、
RIICnSR2HH: <RIICn_base> + 0027_H

初期値 $0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1	R(/W) 注 1

注 1.　“0” のみ書けます。

表 18.15　RIICnSR2 レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7	TDRE	送信データエンプティフラグ 0：RIICnDRT レジスタに送信データあり 1：RIICnDRT レジスタに送信データなし
6	TEND	送信終了フラグ 0：データ送信中 1：データ送信終了
5	RDRF	受信データフルフラグ 0：RIICnDRR レジスタに受信データなし 1：RIICnDRR レジスタに受信データあり
4	NACKF	NACK 受信フラグ 0：NACK 未受信 1：NACK 受信
3	STOP	ストップコンディション検出フラグ 0：ストップコンディション未検出 1：ストップコンディション検出
2	START	スタートコンディション検出フラグ 0：スタートコンディション未検出 1：スタートコンディション検出
1	AL	アービトレーションロストフラグ 0：アービトレーションロストの発生なし 1：アービトレーションロストの発生あり
0	TMOF	タイムアウトフラグ 0：タイムアウトの発生なし 1：タイムアウトの発生あり

TMOF フラグ（タイムアウトフラグ）

SCL ラインの状態が一定期間変化しない場合、タイムアウトを認識して “1” になります。

[“1” になる条件]

タイムアウト検出機能は RIICnFER.TMOE ビットが “1” のとき有効で、以下の期間に SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

- マスタモード（RIICnCR2.MST ビット＝ 1）で、バスビジー（RIICnCR2.BBSY フラグ＝ 1）
- スレーブモード（RIICnCR2.MST ビット＝ 0）で、自スレーブアドレス一致（RIICnSR1 レジスタ≠ 00_H）かつバスビジー（RIICnCR2.BBSY フラグ＝ 1）
- スタートコンディション発行要求中（RIICnCR2.ST ビット＝ 1）で、バスフリー（RIICnCR2.BBSY フラグ＝ 0）

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

AL フラグ（アービトレーションロストフラグ）

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失（アービトレーションロスト）したことを示します。RIIC は送信中に SDA ラインのレベルを監視し、出力データと SDA ラインのレベルが一致しない場合 AL フラグを “1” にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIIC では設定により受信モード時に NACK 送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1” になる条件]

【マスタアービトレーションロスト検出有効時：RIICnFER.MALE ビット＝ 1】

- マスタ送信モード時のデータ送信（スレーブアドレス送信含む）において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致（内部 SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出）したとき
- RIICnCR2.ST ビットが “1”（スタートコンディション発行要求）の状態でスタートコンディションを検出したとき、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
- RIICnCR2.BBSY フラグが “1” の状態で RIICnCR2.ST ビットが “1”（スタートコンディション発行要求）に設定したとき

【NACK アービトレーションロスト検出有効時：RIICnFER.NALE ビット＝ 1】

受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時：RIICnFER.SALE ビット＝ 1】

スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき

- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

表 18.16　アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

RIICnFER			RIICn SR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	RIICnCR2.ST = 1 の状態でスタートコンディション検出時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき
					RIICnCR2.BBSY = 1 の状態で RIICnCR2.ST = 1 にしたとき
			1	送信データ不一致	マスタ送信モードで送信データ（スレーブアドレス送信含む）とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x：Don’t care

START フラグ（スタートコンディション検出フラグ）

[“1” になる条件]

スタートコンディション（リスタートコンディション含む）を検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ（ストップコンディション検出フラグ）

[“1” になる条件]

ストップコンディションを検出したとき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

NACKF フラグ（NACK 受信フラグ）

[“1” になる条件]

RIICnFER.NACKE ビットが “1”（転送中断許可）の状態で、送信モード時に受信デバイスからアクノリッジがなかった（NACK を受信した）とき

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注　意

NACKF フラグが “1” になると RIIC は通信動作を中断します。NACKF フラグが “1” の状態で送信モード時に RIICnDRT レジスタへの書き込みや、受信モード時に RIICnDRR レジスタの読み出しを行っても、送信／受信動作は行われません。通信動作を再開する場合は NACKF フラグを “0” にしてください。

RDRF フラグ（受信データフルフラグ）

[“1” になる条件]

- スレーブ受信モード
  - スタートコンディション（リスタートコンディション含む）を検出後、受信したスレーブアドレスが一致して RIICnCR2.TRS ビットが “0” になったとき
  - RIICnDRS レジスタから RIICnDRR レジスタに受信データが転送されて、SCL クロックの 8 または 9 クロック目（RIICnMR3.RDRFS ビットで選択）の立ち上がり時
- マスタ受信モード
  - スタートコンディション（リスタートコンディション含む）を発行後、スレーブアドレスとデータ方向を送信して、受信モード（RIICnCR2.TRS ビットを “0”）にしたとき
  - RIICnDRS レジスタから RIICnDRR レジスタに受信データが転送されて、SCL クロックの 8 または 9 クロック目（RIICnMR3.RDRFS ビットで選択）の立ち上がり時

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnDRR レジスタを読んだとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ（送信終了フラグ）

[“1” になる条件]

TDRE フラグが “1” の状態で、SCL クロックの 9 クロック目の立ち上がり

[“0” になる条件]

- “1” を読んだ後、“0” を書いたとき
- RIICnDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ（送信データエンプティフラグ）

[“1” になる条件]

- RIICnDRT レジスタから RIICnDRS レジスタにデータ転送が行われ、RIICnDRT レジスタが空になったとき
- RIICnCR2.TRS ビットが “1” になったとき

  - スタートコンディション（リスタートコンディション含む）検出後、RIICnCR2.MST ビットが “1” のとき
  - 受信モードから送信モードになったとき
- 受信したスレーブアドレスが一致し、TRS ビットが “1” のとき

[“0” になる条件]

- RIICnDRT レジスタへデータを書いたとき
- RIICnCR2.TRS ビットが “0” になったとき
  - ストップコンディションを検出したとき
  - 送信モードから受信モードになったとき
- RIICnCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

注　意

RIICnFER.NACKE ビットが “1” の状態で NACKF フラグが “1” になると RIIC は通信動作を中断します。このとき、TDRE フラグが “0” の状態（次の送信データが既に書き込まれている状態）の場合、9 クロック目の立ち上がりで RIICnDRS レジスタへのデータ転送が行われ RIICnDRT レジスタが空状態になりますが、TDRE フラグは “1” になりません。

18.3.11 RIICnSARy — I²C スレーブアドレスレジスタ y（y = 0 ～ 2）

アクセス　RIICnSARy レジスタは、32 ビット単位でリード／ライト可能です。
RIICnSARyL、RIICnSARyH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnSARyLL、RIICnSARyLH、RIICnSARyHL、RIICnSARyHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnSAR0: <RIICn_base> + 0028_H
RIICnSAR0L: <RIICn_base> + 0028_H、RIICnSAR0H: <RIICn_base> + $002A_H$
RIICnSAR0LL: <RIICn_base> + 0028_H、RIICnSAR0LH: <RIICn_base> + 0029_H、RIICnSAR0HL: <RIICn_base> + $002A_H$、RIICnSAR0HH: <RIICn_base> + $002B_H$
RIICnSAR1: <RIICn_base> + $002C_H$
RIICnSAR1L: <RIICn_base> + $002C_H$、RIICnSAR1H: <RIICn_base> + $002E_H$
RIICnSAR1LL: <RIICn_base> + $002C_H$、RIICnSAR1LH: <RIICn_base> + $002D_H$、RIICnSAR1HL: <RIICn_base> + $002E_H$、RIICnSAR1HH: <RIICn_base> + $002F_H$
RIICnSAR2: <RIICn_base> + 0030_H
RIICnSAR2L: <RIICn_base> + 0030_H、RIICnSAR2H: <RIICn_base> + 0032_H
RIICnSAR2LL: <RIICn_base> + 0030_H、RIICnSAR2LH: <RIICn_base> + 0031_H、RIICnSAR2HL: <RIICn_base> + 0032_H、RIICnSAR2HH: <RIICn_base> + 0033_H

初期値　$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FSy	—	—	—	—	—	SVA[9:1]									SVA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 18.17　RIICnSARy レスレジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
15	FSy	7 ビット /10 ビットアドレスフォーマット選択ビット 0：7 ビットアドレスフォーマット選択 1：10 ビットアドレスフォーマット選択
14 ～ 10	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
9 ～ 1	SVA[9:1]	7 ビットアドレス /10 ビットアドレス上位ビット スレーブアドレスを設定してください。 • FSy ビット = 0（7 ビットアドレスフォーマット選択）のとき、SVA[7:1] ビットが有効になり、7 ビットスレーブアドレスになる • FSy ビット = 1（10 ビットアドレスフォーマット選択）のとき、SVA[9:1] ビットは SVA0 ビットと合わせて 10 ビットスレーブアドレスになる
0	SVA0	10 ビットアドレス最下位ビット スレーブアドレスを設定してください。 • FSy ビット = 0（7 ビットアドレスフォーマット選択）のとき、SVA0 ビットは無効になる • FSy ビット =1（10 ビットアドレスフォーマット選択）のとき、SVA0 ビットが有効になり、SVA[9:1] ビットと合わせて 10 ビットスレーブアドレスになる

SVA0 ビット（10 ビットアドレス最下位ビット）

10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 1）、10 ビットアドレス最下位ビットとして機能し、SVA[9:1] ビットと合わせて 10 ビットアドレスを設定します。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “1” のとき設定値が有効になり、RIICnSARy.FSy ビットまたは SARy ビットが “0” のとき設定値は無視されます。

SVA[9:1] ビット（7 ビットアドレス /10 ビットアドレス上位ビット）

7 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 0）、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時（RIICnSARy.FSy ビット = 1）、SVA0 ビットと合わせて 10 ビットアドレスとして機能します。

RIICnSER.SARy ビットが “0” のとき設定値は無視されます。

FSy ビット（7 ビット /10 ビットアドレスフォーマット選択ビット）

スレーブアドレス y（RIICnSARy レジスタ）を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、RIICnSARy.SVA[7:1] ビットの設定値が有効になり SVA[9:8] ビットおよび RIICnSARy.SVA0 ビットの設定値は無視されます。

RIICnSER.SARy ビットが “1”（RIICnSARy レジスタ有効）でかつ RIICnSARy.FSy ビットが “1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[9:1] ビット、SVA0 ビットの設定値が有効になります。

RIICnSER.SARy ビットが “0”（RIICnSARy レジスタ無効）のとき RIICnSARy.FSy ビットの設定値は無効です。

18.3.12 RIICnBRL — I²C バスビットレートロウレベルレジスタ

アクセス　RIICnBRL レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRLL、RIICnBRLH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRLLL、RIICnBRLLH、RIICnBRLHL、RIICnBRLHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnBRL: <RIICn_base> + 0034_H
RIICnBRLL: <RIICn_base> + 0034_H、RIICnBRLH: <RIICn_base> + 0036_H
RIICnBRLLL: <RIICn_base> + 0034_H、RIICnBRLLH: <RIICn_base> + 0035_H、RIICnBRLHL: <RIICn_base> + 0036_H、
RIICnBRLHH: <RIICn_base> + 0037_H

初期値　$0000\ 00FF_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRL[4:0]				
初期値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 18.18　RIICnBRL レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7 ～ 5	—	予約ビット 読むと “1” が読めます。書く場合、“1” としてください。
4 ～ 0	BRL[4:0]	ビットレート Low 幅設定ビット SCL クロックの Low 幅の値を設定

RIICnBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また RIICnBRL レジスタは、SCL 自動 Low ホールド発生時（「18.10　SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間[注 1] 以上の値を設定してください。

RIICnBRL レジスタは RIICnMR1.CKS[2:0] ビットで選択した内部基準クロックソース（IICφ）で Low 幅をカウントします。

注 1.　データセットアップ時間（$t_{SU:DAT}$）
250[ns]（0 ～ 100[kbps]：標準モード（Sm））
100[ns]（0 ～ 400[kbps]：高速モード（Fm））

18.3.13 RIICnBRH — I²C バスビットレートハイレベルレジスタ

アクセス　RIICnBRH レジスタは、32 ビット単位でリード／ライト可能です。
RIICnBRHL、RIICnBRHH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnBRHLL、RIICnBRHLH、RIICnBRHHL、RIICnBRHHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnBRH: <RIICn_base> + 0038_H
RIICnBRHL: <RIICn_base> + 0038_H、RIICnBRHH: <RIICn_base> + $003A_H$
RIICnBRHLL: <RIICn_base> + 0038_H、RIICnBRHLH: <RIICn_base> + 0039_H、RIICnBRHHL: <RIICn_base> + $003A_H$、
RIICnBRHHH:<RIICn_base> + $003B_H$

初期値　$0000\ 00FF_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	BRH[4:0]				
初期値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

表 18.19　RIICnBRH レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読めます。書く場合、“0” としてください
7 ～ 5	—	予約ビット 読むと “1” が読めます。書く場合、“1” としてください。
4 ～ 0	BRH[4:0]	ビットレート High 幅設定ビット SCL クロックの High 幅の値を設定

RIICnBRH レジスタは SCL クロックの High 幅を設定するための 5 ビットのレジスタで、マスタモード時に有効です。RIIC を常にスレーブモードで使用する場合には、High 幅を設定する必要はありません。

RIICnBRH レジスタは RIICnMR1.CKS[2:0] ビットで選択された内部基準クロックソース（IICφ）で High 幅をカウントします。

下記に周波数と Duty 比の算出式を示します。

周波数と Duty 比はレジスタ設定により算出式が①～⑤のいずれかになります。

注　意

RIICnBRL と RIICnBRH には、RIICnFER の SCLE ビットと NFE ビットと RIICnMR3 の NF ビットの値により設定下限値が存在する為、注意してください。設定下限値についての詳細は、表 18.20 を参照してください。

① SCLE = 0 の場合

周波数の計算式 = 1 / {[(BRH + 1) ＋ (BRL + 1)] / IICφ + tr + tf}

Duty の計算式　= {tr +(BRH + 1) / IICφ } / {tr + tf +[(BRH + 1) + (BRL + 1)] / IICφ }

② SCLE = 1、NFE = 0、CKS = 000 (IICφ = P0φ) の場合

周波数の計算式 = 1 / {[(BRH + 3) ＋ (BRL + 3)] / IICφ + tr + tf}

Duty の計算式　= {tr +(BRH + 3) / IICφ } / {tr + tf +[(BRH + 3) + (BRL + 3)] / IICφ }

③ SCLE = 1、NFE = 1、CKS = 000 (IICφ = P0φ) の場合

周波数の計算式 = 1 / {[(BRH + 3 + nf) ＋ (BRL + 3 + nf)] / IICφ + tr + tf}

Duty の計算式　= {tr +(BRH + 3 + nf) / IICφ } / {tr + tf +[(BRH + 3 + nf) + (BRL + 3 + nf)] / IICφ }

④ SCLE = 1、NFE = 0、CKS = 000 以外 (IICφ < P0φ) の場合

周波数の計算式 = 1 / {[(BRH + 2) ＋ (BRL + 2)] / IICφ + tr + tf}

Duty の計算式　= {tr +(BRH + 2) / IICφ } / {tr + tf +[(BRH + 2) + (BRL + 2)] / IICφ }

⑤ SCLE = 1、NFE = 1、CKS = 000 以外 (IICφ < P0φ) の場合

周波数の計算式 = 1 / {[(BRH + 2 + nf) ＋ (BRL + 2 + nf)] / IICφ + tr + tf}

Duty の計算式　= {tr +(BRH + 2 + nf) / IICφ} / {tr + tf +[(BRH + 2 + nf) + (BRL + 2 + nf)] / IICφ }

算出式中の記号の説明

SCLE　：RIICnFER.SCLE ビット。

BRH　：RIICnBRH.BRH[4:0] ビット。

BRL　：RIICnBRL.BRL[4:0] ビット。

CKS　：RIICnMR1.CKS ビット。

NFE　：RIICnFER.NFE ビット。

IICφ：CKS で選択された内部基準クロック。

tf : SCL ライン立下り時間 [s] 注 1

tr : SCL ライン立上り時間 [s] 注 1

nf　: デジタルノイズフィルタ段数。RIICnMR3.NF[0.1] で設定。

注 1.　SCL ライン立上り時間 [tr]、SCL ライン立下り時間 [tf] は、バスライン総容量 [Cb] とプルアップ抵抗 [Rp] に依存します。詳細については NXP 社の I²C バス規格書を参照してください。

表 18.20　RIICnBRL と RIICnBRH の設定下限値

SCLE	NFE	nf	デジタルフィルタ 最小通過パルス幅	BRH、BRL の設定下限値	下限値設定時のパルス幅
0	0	—	1*IICΦ	1	2*IICΦ
0	1	1	2*IICΦ	2	3*IICΦ
0	1	2	3*IICΦ	3	4*IICΦ
0	1	3	4*IICΦ	4	5*IICΦ
0	1	4	5*IICΦ	5	6*IICΦ
IICΦ 周期＞ P0φ 周期 (CKS=000 以外)					
1	0	—	1*IICΦ	0	2*IICΦ
1	1	1	2*IICΦ	1	4*IICΦ
1	1	2	3*IICΦ	2	6*IICΦ
1	1	3	4*IICΦ	3	8*IICΦ
1	1	4	5*IICΦ	4	10*IICΦ
IICΦ 周期＝ P0φ 周期 (CKS=000)					
1	0	—	2*P0φ	0	3*P0φ
1	1	1	3*P0φ	1	5*P0φ
1	1	2	4*P0φ	2	7*P0φ
1	1	3	5*P0φ	3	9*P0φ
1	1	4	6*P0φ	4	11*P0φ

RIICnBRH、RIICnBRL レジスタの値の設定例を表 18.21、表 18.22 に示します。

表 18.21　転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が “1”、RIICnFER.NFE が “0” の場合）

転送速度 [kbps]	周辺クロックの動作周波数 P0φ [MHz]								
	25			30			33		
	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL
10	110_B	21($F5_H$)	14(EE_H)	110_B	25($F9_H$)	18($F2_H$)	111_B	12(EC_H)	10(EA_H)
50	100_B	20($F4_H$)	7($E7_H$)	100_B	20($F4_H$)	13(ED_H)	100_B	22($F6_H$)	15(EF_H)
100	010_B	30(FE_H)	29(FD_H)	011_B	18($F2_H$)	16($F0_H$)	011_B	20($F4_H$)	18($F2_H$)
400	000_B	27(FB_H)	30(FE_H)	001_B	16($F0_H$)	18($F2_H$)	001_B	18($F2_H$)	20($F4_H$)

表 18.22　転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が “1”、RIICnFER.NFE が “1”、NF 段数が "4" の場合）

転送速度 [kbps]	周辺クロックの動作周波数 P0φ [MHz]								
	25			30			33		
	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL	RIICnMR1. CKS[2:0]	RIICnBRH. BRH	RIICnBRL. BRL
10	110_B	19($F3_H$)	8($E8_H$)	110_B	24($F8_H$)	11(EB_H)	110_B	28(FC_H)	12(EC_H)
50	011_B	28(FC_H)	22($F6_H$)	100_B	19($F3_H$)	7($E7_H$)	100_B	20($F4_H$)	10(EA_H)
100	010_B	26(FA_H)	25($F9_H$)	011_B	14(EE_H)	12(EC_H)	011_B	16($F0_H$)	14(EE_H)
400	000_B	23($F7_H$)	26(FA_H)	001_B	11(EB_H)	15(EF_H)	001_B	14(EE_H)	16($F0_H$)

18.3.14 RIICnDRT — I²C バス送信データレジスタ

アクセス　RIICnDRT レジスタは、32 ビット単位でリード／ライト可能です。
RIICnDRTL、RIICnDRTH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnDRTLL、RIICnDRTLH、RIICnDRTHL、RIICnDRTHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnDRT: <RIICn_base> + $003C_H$
RIICnDRTL: <RIICn_base> + $003C_H$、RIICnDRTH: <RIICn_base> + $003E_H$
RIICnDRTLL: <RIICn_base> + $003C_H$、RIICnDRTLH: <RIICn_base> + $003D_H$、RIICnDRTHL: <RIICn_base> + $003E_H$、
RIICnDRTHH: <RIICn_base> + $003F_H$

初期値　$0000\ 00FF_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRT[7:0]							
初期値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

I^2C バスシフトレジスタ（RIICnDRS）の空きを検出すると、RIICnDRT レジスタに書き込まれた送信データが RIICnDRS レジスタへ転送され、送信モード時にデータ送信を開始します。

RIICnDRT レジスタと RIICnDRS レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ送信中に、次に送信するデータを RIICnDRT レジスタに書いておくと連続送信動作が可能です。

RIICnDRT レジスタは常に読み出し／書き込み可能です。RIICnDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み（INTRIICTI）要求が発生したときに 1 回だけ行ってください。ビット 8 ～ 15 に値を書き込む場合は、必ず 0 を書き込んでください。

18.3.15 RIICnDRR — I²C バス受信データレジスタ

アクセス　RIICnDRR レジスタは、32 ビット単位でリード／ライト可能です。
RIICnDRRL、RIICnDRRH レジスタは、16 ビット単位でリード／ライト可能です。
RIICnDRRLL、RIICnDRRLH、RIICnDRRHL、RIICnDRRHH レジスタは、8 ビット単位でリード／ライト可能です。

アドレス　RIICnDRR: <RIICn_base> + 0040_H
RIICnDRRL: <RIICn_base> + 0040_H、RIICnDRRH: <RIICn_base> + 0042_H
RIICnDRRLL: <RIICn_base> + 0040_H、RIICnDRRLH: <RIICn_base> + 0041_H、RIICnDRRHL: <RIICn_base> + 0042_H、
RIICnDRRHH:<RIICn_base> + 0043_H

初期値　$0000\ 0000_H$　本レジスタは各種リセットによって初期化されます。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRR[7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

1 バイトのデータの受信が終了すると、受信したデータは I^2C バスシフトレジスタ（RIICnDRS）から RIICnDRR レジスタへ転送され、次のデータを受信可能にします。

RIICnDRS レジスタと RIICnDRR レジスタはダブルバッファ構造になっているため、RIICnDRS レジスタのデータ受信中に、すでに受信したデータを RIICnDRR レジスタから読んでおくと連続受信動作が可能です。

RIICnDRR レジスタに書き込みはできません。RIICnDRR レジスタの読み出しは、受信データフル割り込み（INTRIICRI）要求が発生したときに 1 回だけ行ってください。

受信データを RIICnDRR レジスタから読み出ししないまま（RIICnSR2.RDRF フラグが “1” の状態のまま）次の受信データを受け取ると、RIIC は RDRF フラグを次に “1” になるタイミングの 1 つ手前の SCL クロックで自動的に Low ホールドを行います。

18.3.16 RIICnDRS — I²C バスシフトレジスタ

アクセス　アクセスすることはできません。

アドレス　−

初期値　0000 00FF$_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	DRS[7:0]							
初期値	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

RIICnDRS レジスタは、データを送信／受信するためのシフトレジスタです。

送信時は RIICnDRT レジスタから送信データが RIICnDRS レジスタに転送され、SDA 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが RIICnDRS レジスタから RIICnDRR レジスタへ転送されます。

RIICnDRS レジスタは直接アクセスすることはできません。

18.4　割り込み要因

RIIC の割り込み要因には、送信終了、受信データフル、送信データエンプティ、ストップコンディション検出、スタートコンディション検出、NACK 受信、アービトレーションロスト、タイムアウトの 8 種類があります。

表 18.23 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要因は、DMAC を起動してデータ転送を行うことができます。

表 18.23　割り込み要因

名称	割り込み要因	割り込みフラグ	DMAC の起動	優先順位[注 1.]	割り込み条件
INTRIICTEI	送信終了	TEND	不可能	高	TEND = 1 かつ TEIE = 1
INTRIICRI	受信データフル	RDRF	可能	▲	RDRF = 1 かつ RIE = 1
INTRIICTI	送信データエンプティ	TDRE	可能	▲	TDRE = 1 かつ TIE = 1
INTRIICSPI	ストップコンディション検出	STOP	不可能	▲	STOP = 1 かつ SPIE = 1
INTRIICSTI	スタートコンディション検出	START	不可能	▲	START = 1 かつ STIE = 1
INTRIICNAKI	NACK 受信	NACKF	不可能	▲	NACKF = 1 かつ NAKIE = 1
INTRIICALI	アービトレーションロスト	AL	不可能	▲	AL = 1 かつ ALIE = 1
INTRIICTMOI	タイムアウト発生	TMOF	不可能	低	TMOF = 1 かつ TMOIE = 1

注 1.　割り込み優先度レジスタ（ICDIPRn）の設定値が同じ場合

割り込み処理の中でそれぞれのフラグをクリアまたはマスクしてください。

注　意

1. CPU から周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、レイテンシがあります。割り込みフラグをクリアまたはマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。
2. INTRIICRI 割り込みと INTRIICTI 割り込みはエッジ割り込みのためクリアの必要はありません。
3. INTRIICTEI 割り込みを使用する場合、INTRIICTEI 割り込み処理の中で、RIICnSR2.TEND フラグをクリアしてください。
4. INTRIICSPI 割り込みを使用する場合、INTRIICSPI 割り込み処理の中で、RIICnSR2.STOP フラグをクリアしてください。
5. INTRIICSTI 割り込みを使用する場合、INTRIICSTI 割り込み処理の中で、RIICnSR2.START フラグをクリアしてください。
6. INTRIICNAKI 割り込みを使用する場合、INTRIICNAKI 割り込み処理の中で、RIICnSR2.NACKF フラグをクリアしてください。
7. INTRIICALI 割り込みを使用する場合、INTRIICALI 割り込み処理の中で、RIICnSR2.AL フラグをクリアしてください。
8. INTRIICTMOI 割り込みを使用する場合、INTRIICTMOI 割り込み処理の中で、RIICnSR2.TMOF フラグをクリアしてください。

18.5 動作

18.5.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています（1 フレーム）。マスタはスタートコンディションおよびリスタートコンディションを発行した後、はじめのフレームでスレーブアドレスとデータ方向を送出します。指定されたスレーブはストップコンディションが発行されるか、もしくはリスタートコンディションにより新たにスレーブが指定されるまで有効です。

図 18.3 に I²C バスフォーマットを、図 18.4 に I²C バスタイミングを示します。

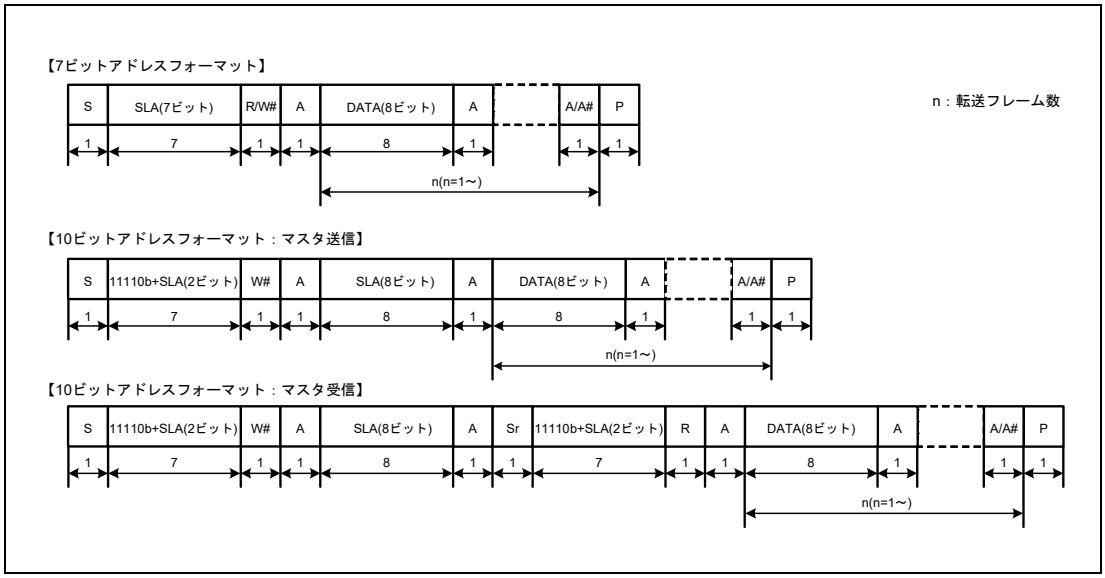


図 18.3　I²C バスフォーマット

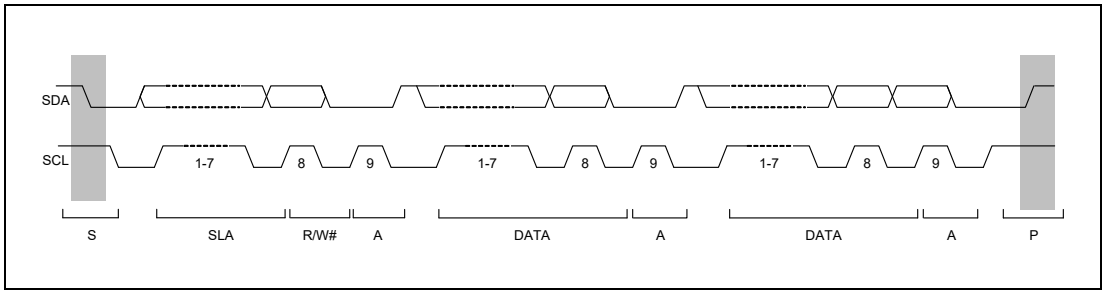


図 18.4　I²C バスタイミング（SLA = 7 ビットの場合）

S　：スタートコンディションを示します。マスタデバイスが、SCL ラインが High の状態で SDA ラインが High から Low に変化します。

SLA　：スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。

R/W#　：送信／受信の方向を示します。“1” のときスレーブデバイスからマスタデバイスへ、“0” のときマスタデバイスからスレーブデバイスへデータを送信します。

A　：アクノリッジを示します。受信デバイスが SDA ラインを Low にします（マスタ送信モード時：スレーブデバイスがアクノリッジを返します。マスタ受信モード時：マスタデバイスがアクノリッジを返します）。

A#　：ノットアクノリッジを示します。受信デバイスから応答がない、または受信デバイスが存在せず、SDA ラインが High の状態のままです。

Sr　：リスタートコンディションを示します。マスタデバイスが、SCL ラインが High の状態でセットアップ時間経過後に SDA ラインが High から Low に変化します。

DATA　：送受信データを示します。

P　：ストップコンディションを示します。マスタデバイスが、SCL ラインが High の状態で SDA ラインが Low から High に変化します。

18.5.2　初期設定

データの送信／受信を開始する場合、図 18.5 に示す手順に従って RIIC を初期化してください。

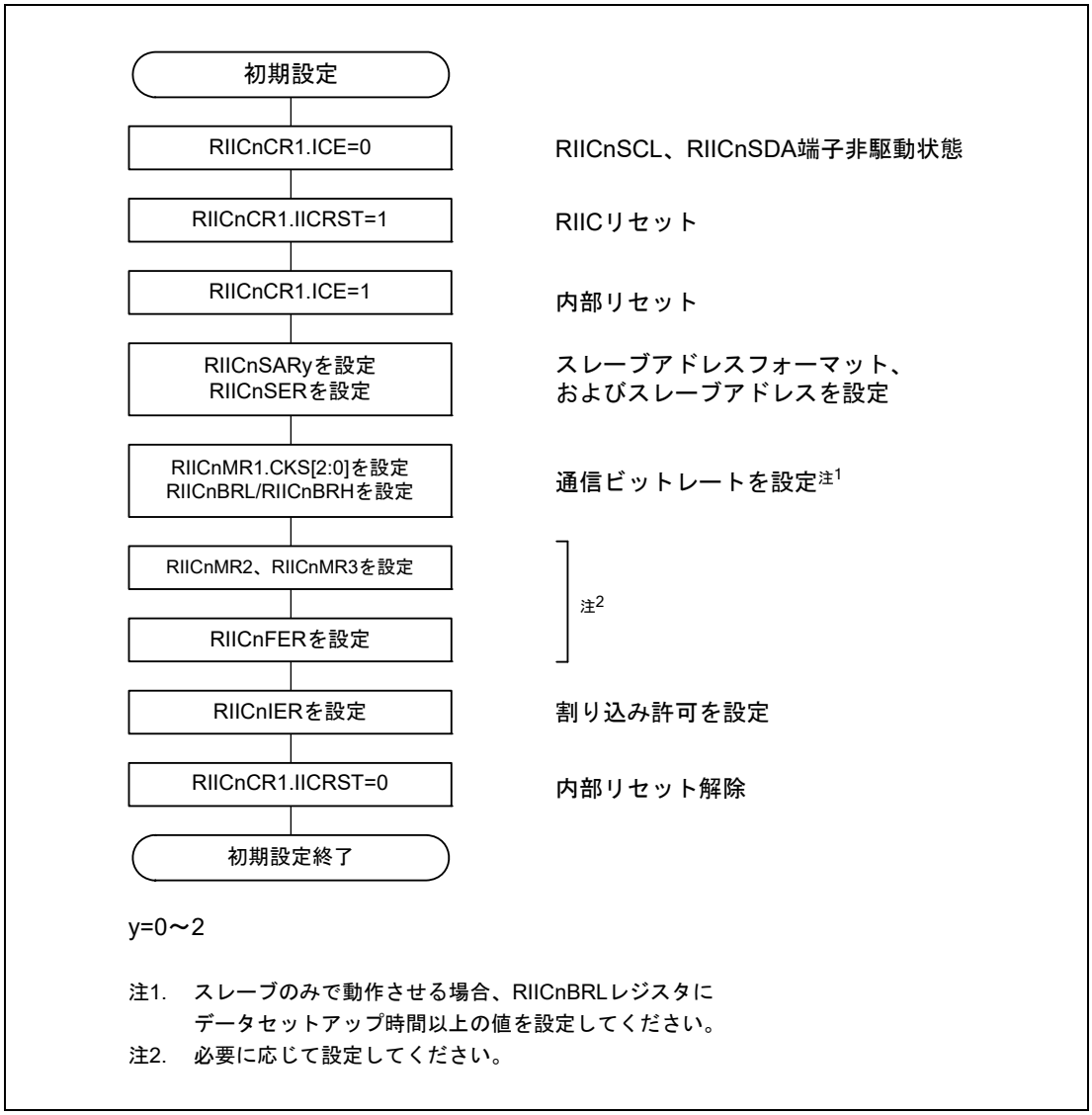


図 18.5　RIIC の初期化フローチャート例

18.5.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 18.6 にマスタ送信の使用例を、図 18.7 ～ 図 18.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

(1) RIICnCR1.ICE ビットを “0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを “1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを “1”（内部リセット）にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については図 18.5 参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また RIICnSR2.TDRE は、TRS ビット = 1 により自動的に “1” になります。

(3) RIICnSR2.TDRE フラグが “ 1 ” であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W# ビット = 0 を受信すると、引き続きマスタ送信モードの状態を継続します。
このとき RIICnSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに “1” を書くことで行われます。
なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で RIICnDRT レジスタに $1111\ 0_B$+ スレーブアドレスの上位 2 ビット＋ W# を書き、2 回目のアドレス送信処理で RIICnDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(4) RIICnSR2.TDRE フラグが “1” であることを確認した後、送信データを RIICnDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL ラインを Low にホールドします。

(5) 送信するデータの最後のバイトを RIICnDRT レジスタに書き終わった後、RIICnSR2.TEND フラグが “1” になるまで待ってから RIICnCR2.SP ビットに “1” を書いてください（ストップコンディション発行要求）。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。

(6) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットが自動的に “00_B” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.TDRE, TEND フラグも自動的に “0” になり、RIICnSR2.STOP フラグが “1” になります。

(7) RIICnSR2.NACKF、STOP フラグを “0” にしてください。

注　意

RIICnSR2.STOP フラグが "1" となる前に、RIICnSR2.NACKF フラグを "0" クリアすると、通信動作を再開しますので、必ず RIICnSR2.STOP フラグが "1" であることを確認した後に、RIICnSR2.NACKF フラグを "0" クリアしてください。特に、NACK 受信割り込み (INTRIICNAKI) を使用時、割り込み処理内で STOP フラグが "1" となる前に、NACKF フラグを "0" クリアしないよう注意してください。

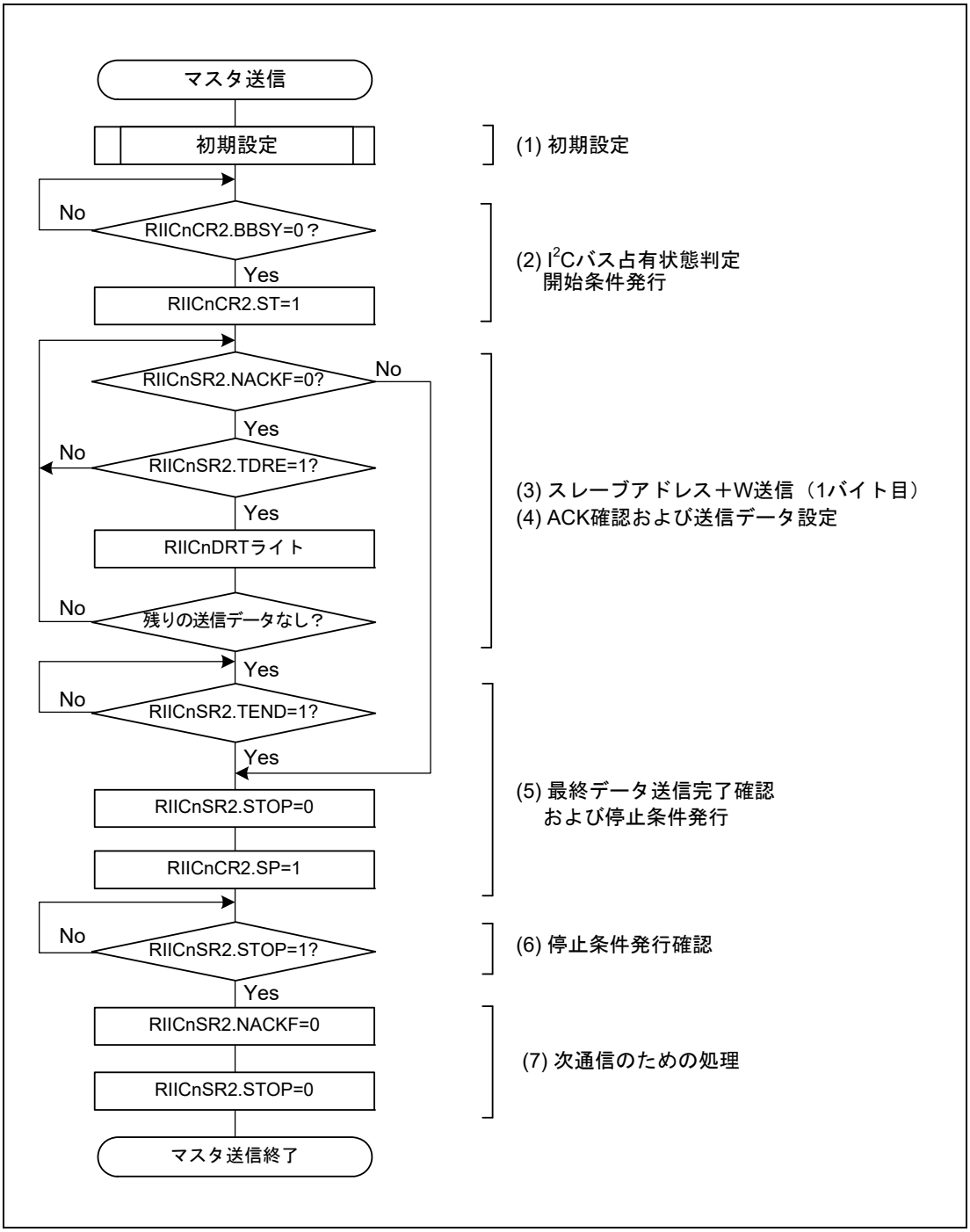


図 18.6　マスタ送信のフローチャート例

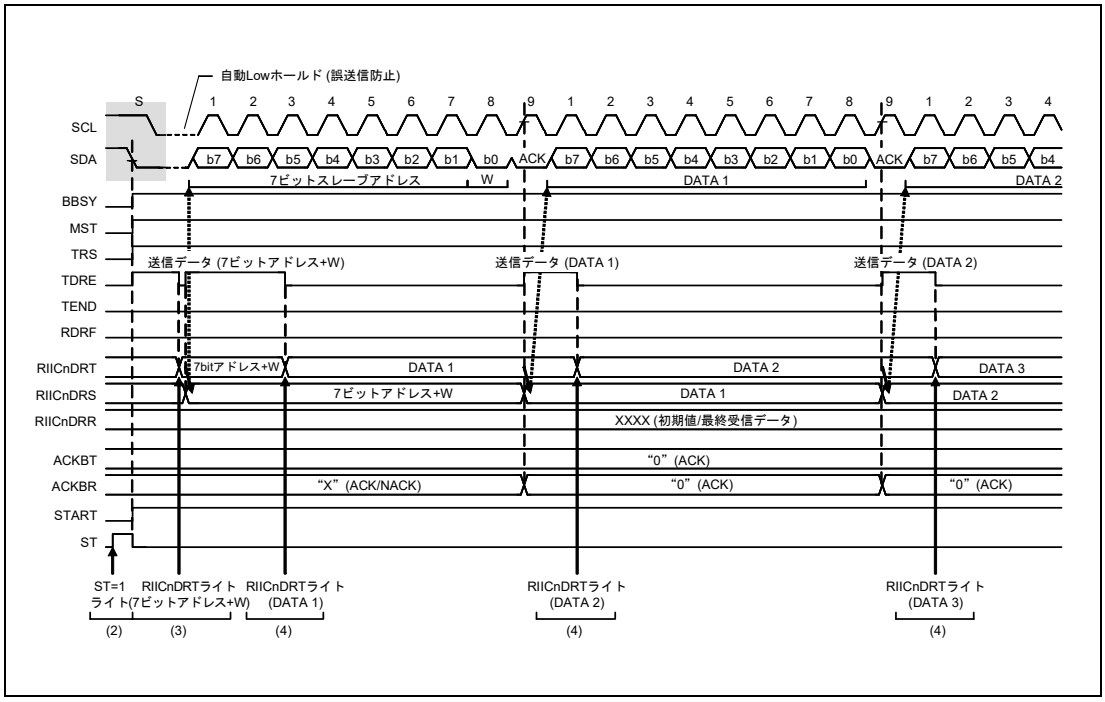


図 18.7　マスタ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

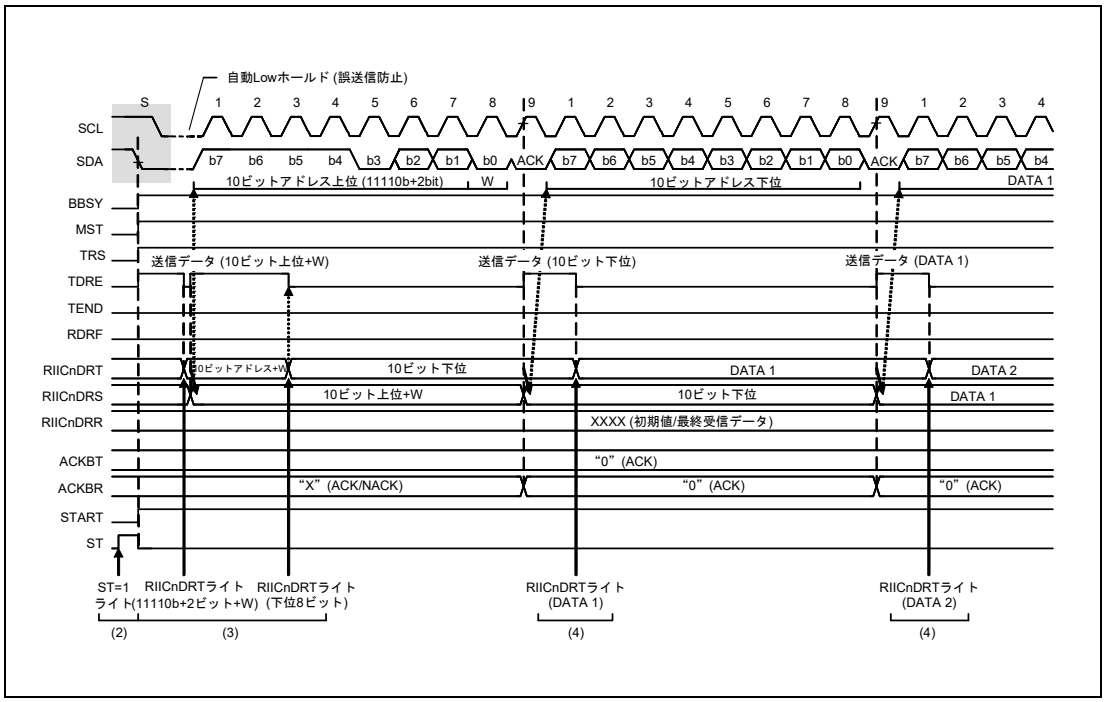


図 18.8　マスタ送信の動作タイミング（2）（10 ビットアドレスフォーマットのとき）

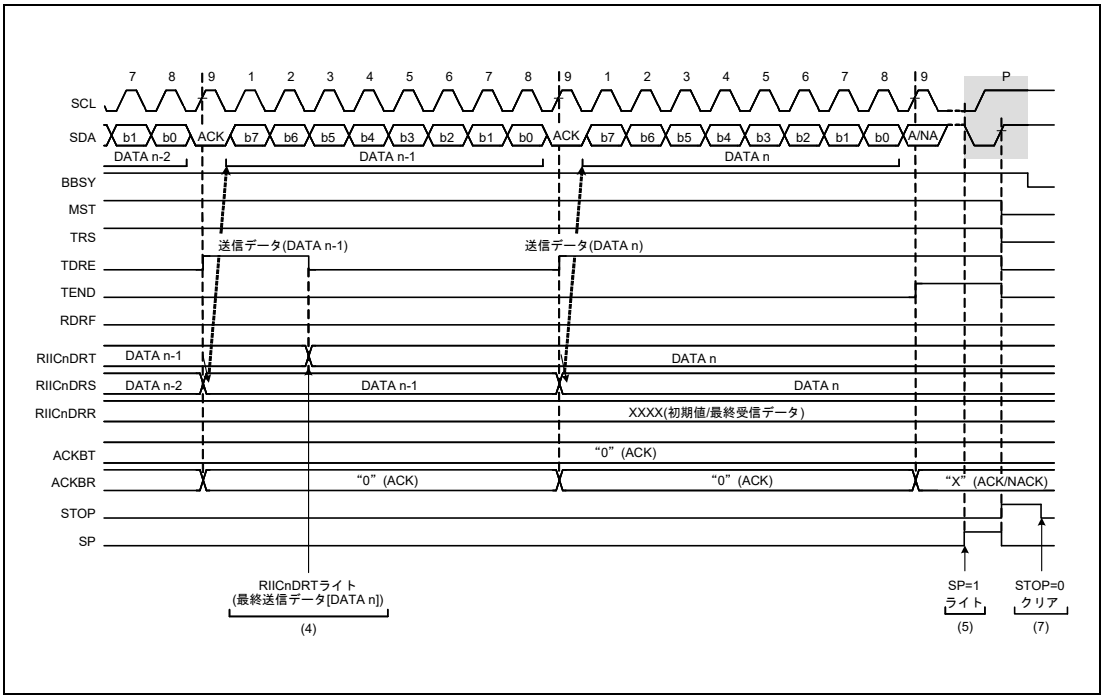


図 18.9　マスタ送信の動作タイミング（3）

18.5.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信する必要があるため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 18.10 にマスタ受信の 3 バイト以上受信使用例（7 ビットアドレスフォーマットの場合）、**図 18.14** にマスタ受信の 1 バイト /2 バイト受信使用例（7 ビットアドレスフォーマットの場合）を、**図 18.11 ～図 18.13** にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

(1) RIICnCR1.ICE ビットを “0”（RIICnSCL、RIICnSDA 端子非駆動状態）にしたまま RIICnCR1.IICRST ビットを “1”（RIIC リセット）にした後、RIICnCR1.ICE ビットを “1”（内部リセット）にします。これにより RIICnSR1 レジスタの各フラグや内部状態の初期化を行います。その後、RIICnSARy、RIICnSER、RIICnMR1、RIICnBRH、RIICnBRL レジスタ (y = 0 ～ 2) を設定し、その他のレジスタは必要に応じて設定してください（RIIC の初期設定については**図 18.5** 参照）。必要なレジスタの設定が終了したら、RIICnCR1.IICRST ビットを “0”（リセット解除）にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

(2) RIICnCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、RIICnCR2.ST ビットに “1” を書きます（スタートコンディション発行要求）。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、RIICnSR2.START フラグを自動的に “1” にし、ST ビットを自動的に “0” にします。このとき ST ビットが “1” の状態で自分が出した SDA 信号と SDA ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、RIICnCR2.MST, TRS ビットを自動的に “1” にしてマスタ送信モードになります。また RIICnSR2.TDRE フラグは、TRS ビット = 1 により自動的に “1” になります。

(3) RIICnSR2.TDRE フラグが “1” であることを確認した後、RIICnDRT レジスタに送信データ（スレーブアドレスと R/W# ビット）を書いてください。RIICnDRT レジスタに送信データを書くと TDRE フラグは自動的に “0” になり、RIICnDRT レジスタから RIICnDRS レジスタにデータが転送されて、再び TDRE フラグが “1” になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に RIICnCR2.TRS ビットが変更され送信モード／受信モードが選択されます。RIIC は R/W# ビット = 1 を受信すると、9 クロック目の立ち上がりで TRS ビットを “0” にしてマスタ受信モードに移行します。このとき TDRE フラグは “0” に、RIICnSR2.RDRF フラグは自動的に “1” になります。
このとき RIICnSR2.NACKF フラグが “1” なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は RIICnCR2.SP ビットに “1” を書くことで行えます。
なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0_B+ スレーブアドレスの上位 2 ビット＋ R を送信することで、マスタ受信モードに移行します。

(4) RIICnSR2.RDRF フラグが “1” であることを確認した後、ダミーで RIICnDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。

(5) 1 バイトのデータ受信が終了し、RIICnMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、RIICnSR2.RDRF フラグが “1” になります。このとき RIICnDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に “0” になります。また SCL クロックの 9 クロック目のアクノリッジビットには、RIICnMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイトー 1 の場合、RIICnDRR レジスタ（最終バイトー 2 バイト目）を読む前に RIICnMR3.WAIT ビットを “1”（WAIT あり）にしてください。これにより、続く（6）の RIICnMR3.ACKBT ビットを “1”（NACK）にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするとともに、最終バイトの受信時に 9 クロック目の立ち下がりで SCL ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。

(6) RIICnMR3.RDRFS ビットが “0” でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、RIICnMR3.ACKBT ビットを “1”（NACK）にしてください。

(7) RIICnDRR レジスタ（最終バイトー 1 バイト目）読み出し後、RIICnSR2.RDRF フラグが “1” であることを確認してから、RIICnCR2.SP ビットに “1” を書いて（ストップコンディション発行要求）、RIICnDRR レジスタ（最終バイト）を読んでください。RIIC は RIICnDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL ラインの Low ホールド解除後にストップコンディションを発行します。

(8) RIIC はストップコンディションを検出すると、RIICnCR2.MST, TRS ビットは自動的に “00_B” になり、スレーブ受信モードに移行します。また、ストップコンディション検出により RIICnSR2.STOP フラグが “1” になります。

(9) RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.NACKF, STOP フラグを “0” にしてください。

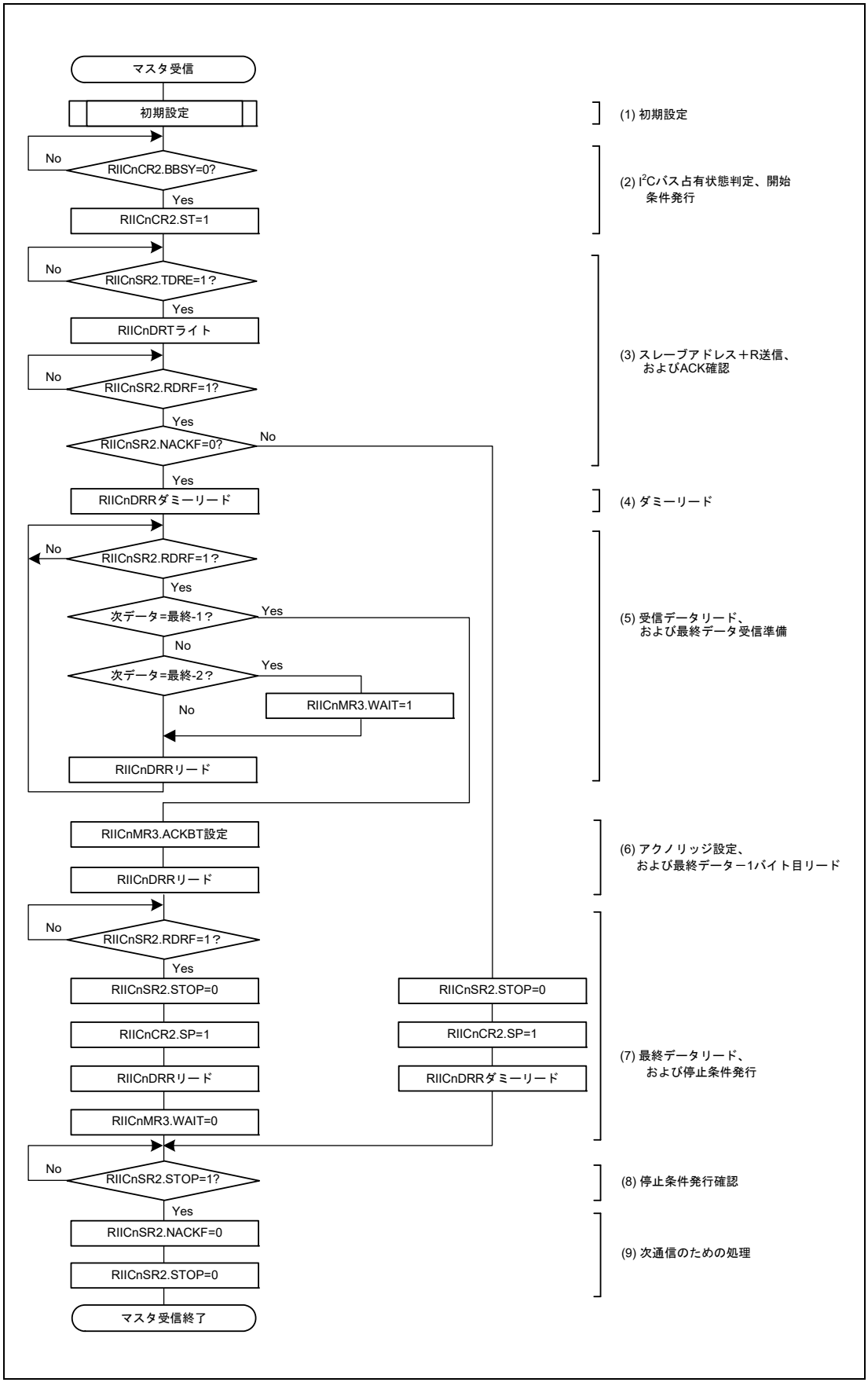


図 18.10　マスタ受信の 3 バイト以上受信フローチャート例（7 ビットアドレスフォーマットの場合）

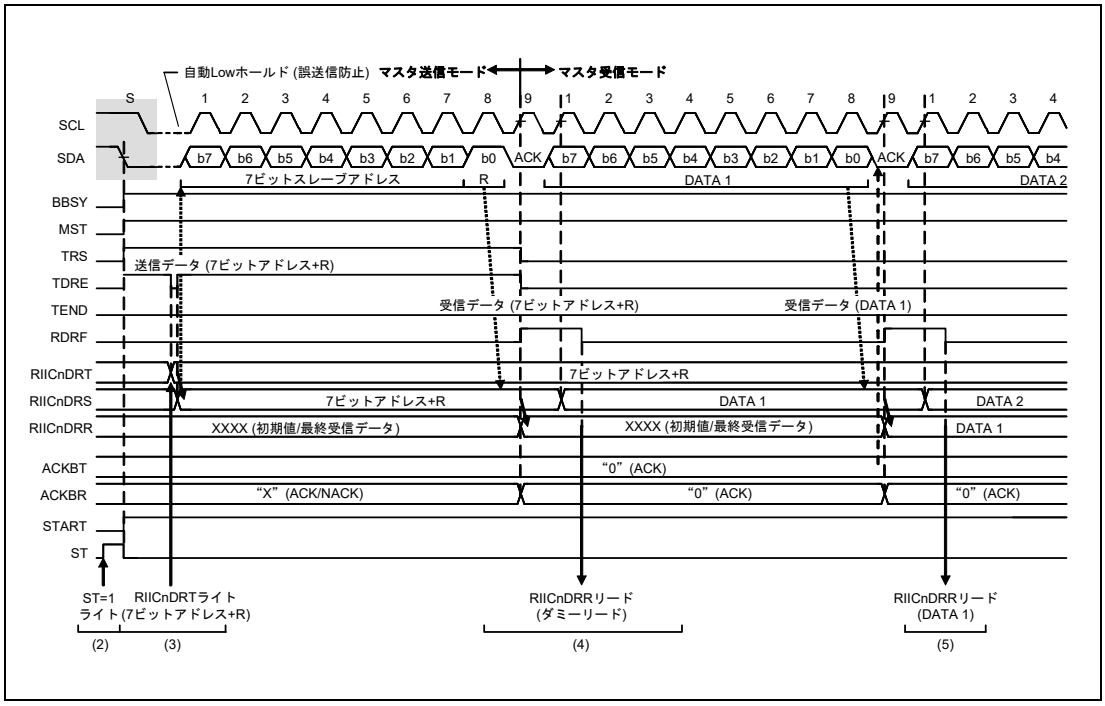


図 18.11　マスタ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき

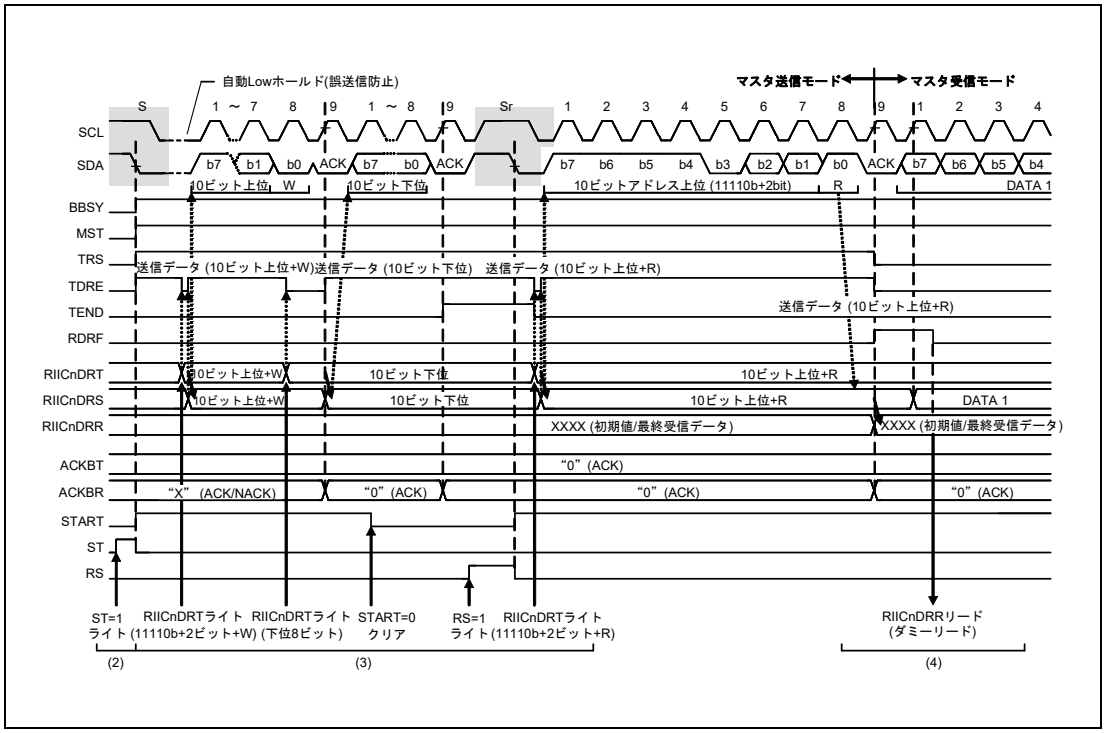


図 18.12　マスタ受信の動作タイミング（2）（10 ビットアドレスフォーマット、RDRFS = 0 のとき）

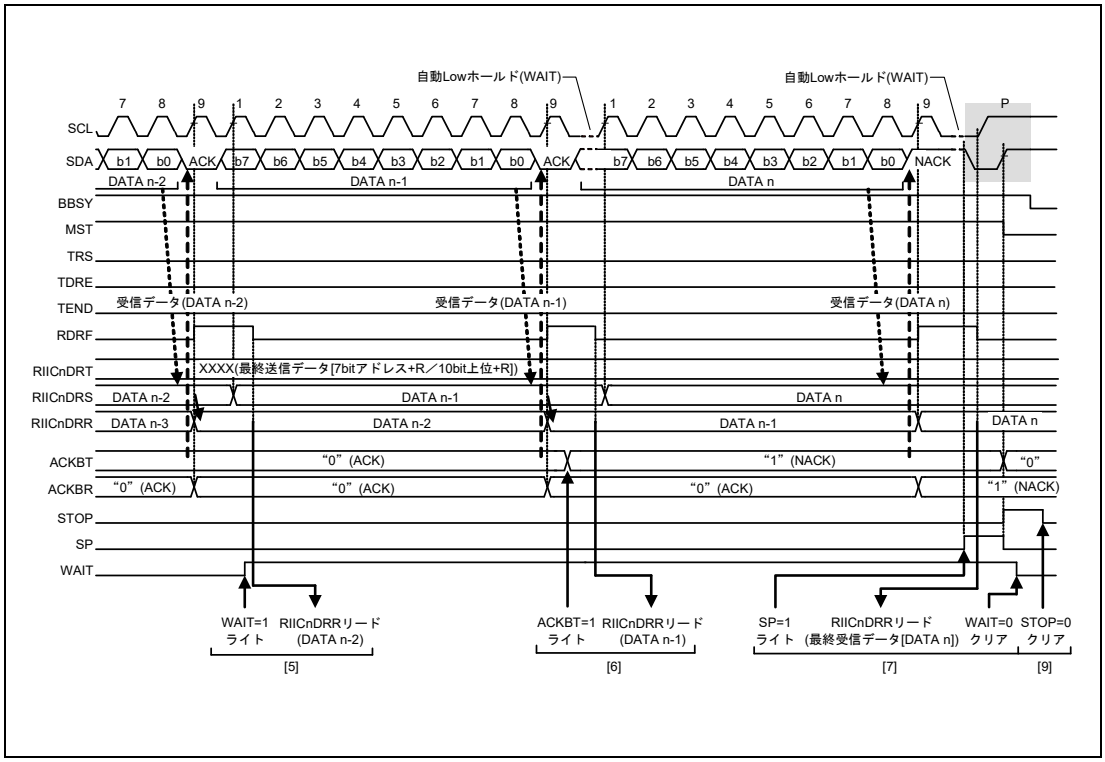


図 18.13　マスタ受信の動作タイミング（3）（RDRFS = 0 のとき）

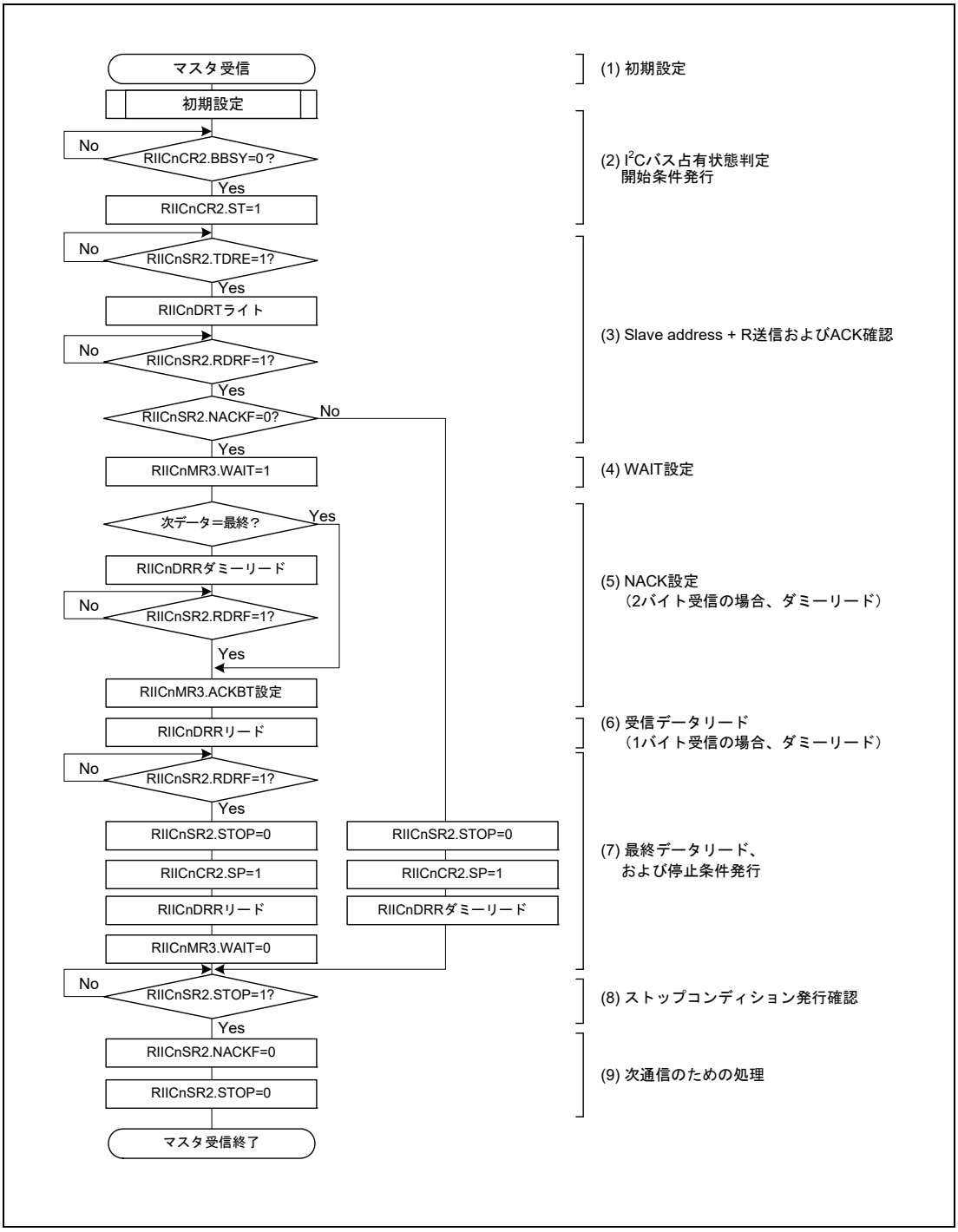


図 18.14　マスタ受信の 1 バイト /2 バイト受信フロー例（7 ビットアドレスフォーマットの場合）

18.5.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 18.15 にスレーブ送信の使用例を示します。図 18.16、図 18.17 にスレーブ送信のタイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

(1) 図 18.5 に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.HOA, GCA, AASy ビット（y = 0 ～ 2）のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “1” のとき、RIICnCR2.TRS ビットおよび RIICnSR2.TDRE フラグを “1” にし、自動的にスレーブ送信モードに切り替わります。

(3) RIICnSR2.TDRE フラグが “1” であることを確認した後、RIICnDRT レジスタに送信データを書いてください。このとき、RIICnFER.NACKE ビットが “1” の状態でマスタデバイスからアクノリッジがなかった（NACK を受信した）場合、RIIC は次の通信動作を中断します。

(4) RIICnSR2.NACKF フラグが “1” になるか、または最終送信データを RIICnDRT レジスタに書いた後、RIICnSR2.TDRE フラグが “1” の状態で、RIICnSR2.TEND フラグが “1” になるまで待ってください。RIICnSR2.NACKF フラグが “1” または TEND フラグが “1” の場合、RIIC は 9 クロック目の立ち下がり以降 SCL ラインを Low にホールドします。

(5) RIICnSR2.NACKF フラグが “1” または RIICnSR2.TEND フラグが “1” の場合、終了処理のため RIICnDRR レジスタをダミーで読んでください。これにより SCL ラインを開放します。

(6) RIIC はストップコンディションを検出すると、RIICnSR1.HOA、GCA、AASy ビット (y = 0 ～ 2)、RIICnSR2.TDRE、TEND フラグ、RIICnCR2.TRS ビットを自動的に “0” にし、スレーブ受信モードに移行します。

(7) RIICnSR2.NACKF、STOP フラグを “0” にしてください。

注　意

RIICnSR2.STOP フラグが "1" となる前に、RIICnSR2.NACKF フラグを "0" クリアすると、通信動作を再開しますので、必ず RIICnSR2.STOP フラグが "1" であることを確認した後に、RIICnSR2.NACKF フラグを "0" クリアしてください。特に、NACK 受信割り込み (INTRIICNAKI) を使用時、割り込み処理内で STOP フラグが "1" となる前に、NACKF フラグを "0" クリアしないよう注意してください。

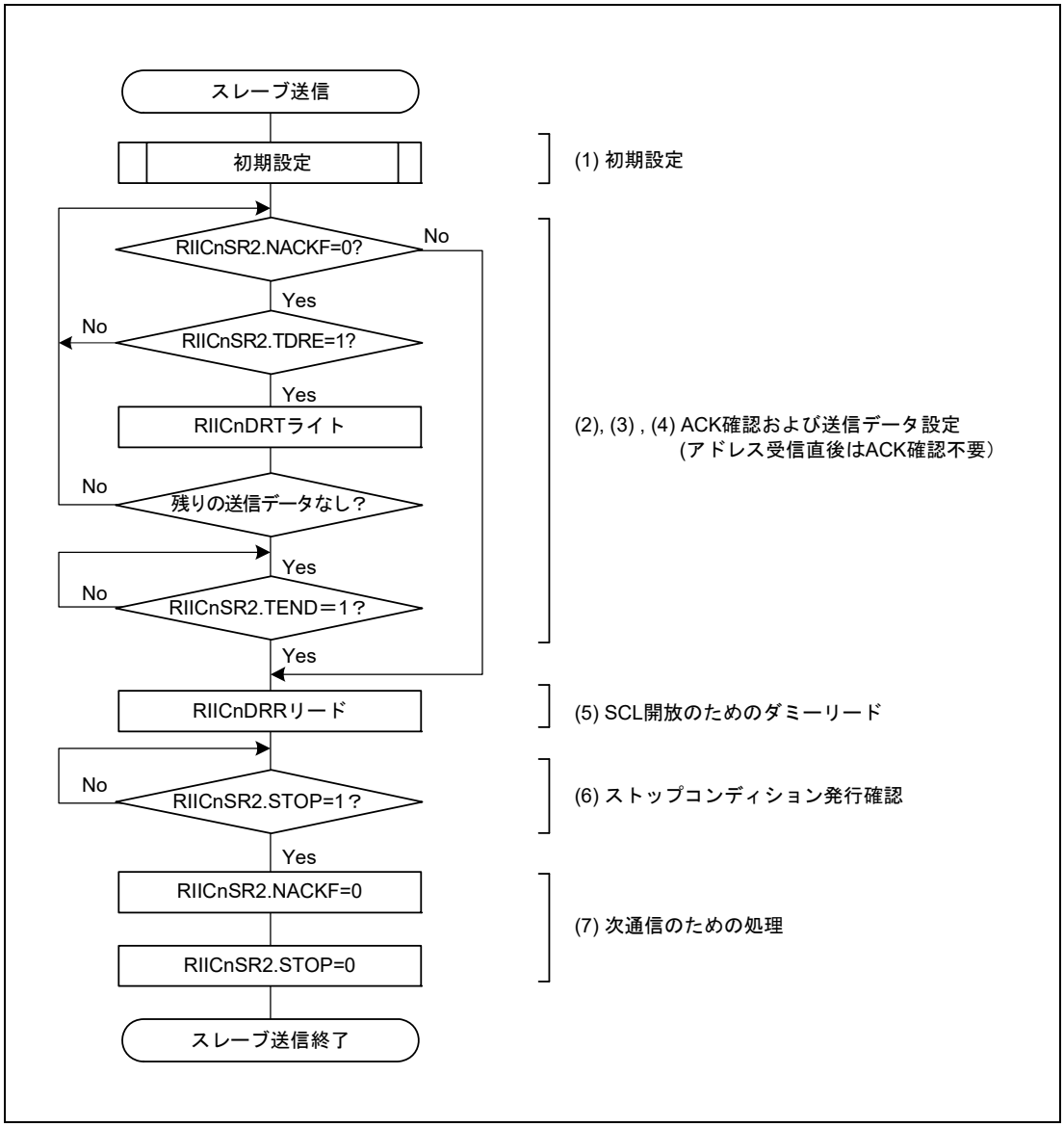


図 18.15　スレーブ送信のフローチャート例

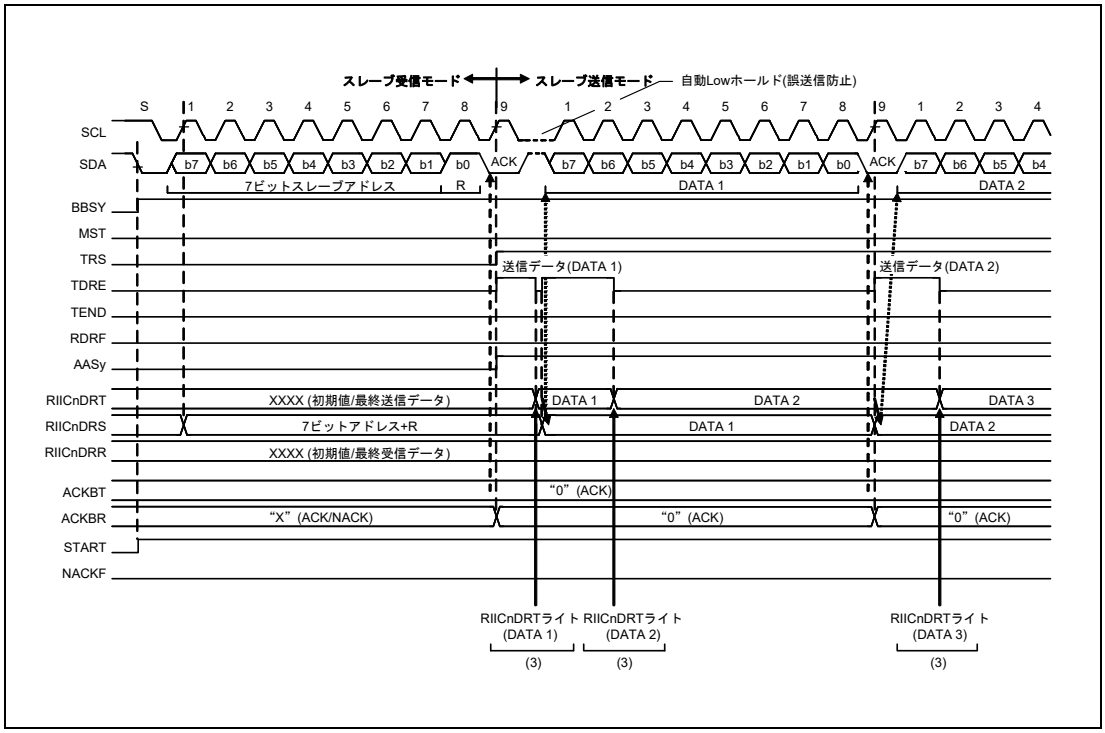


図 18.16　スレーブ送信の動作タイミング（1）（7 ビットアドレスフォーマットのとき）

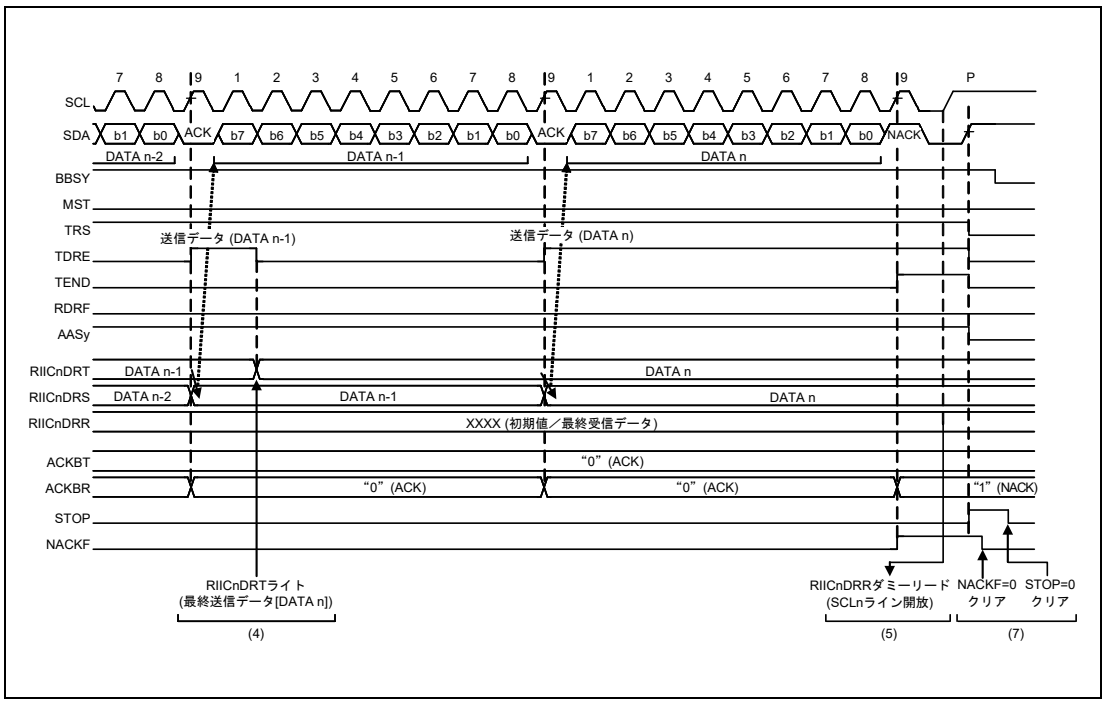


図 18.17　スレーブ送信の動作タイミング（2）

18.5.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 18.18 にスレーブ受信の使用例を、**図 18.19**、**図 18.20** にスレーブ受信の動作タイミングを示します。

以下にスレーブ受信の受信手順と動作を示します。

(1) **図 18.5** に示す手順で RIIC を初期設定してください。すでに RIIC の初期化が完了している場合、この手順は不要です。初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。

(2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.HOA, GCA, AASy ビット (y = 0 ～ 2) のいずれかを “1” にし、SCL クロックの 9 クロック目のアクノリッジビットに RIICnMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが “0” なら、スレーブ受信モードの状態を継続し、RIICnSR2.RDRF フラグを “1” にします。

(3) RIICnSR2.STOP フラグが “0” で、かつ RIICnSR2.RDRF フラグが “1” であることを確認したら、最初の 1 回目は RIICnDRR レジスタをダミーで読んでください（なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス＋ R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。

(4) RIICnDRR レジスタを読むと RIIC は RIICnSR2.RDRF フラグを自動的に “0” にします。なお、RIICnDRR レジスタの読み出しが遅れて、RDRF フラグが “1” になった状態で次のデータを受信すると、RIIC は RDRF フラグが “1” になるタイミングの 1 つ手前の SCL クロック立ち下がりで SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタを読むことで解除され RIIC は SCL ラインを開放します。RIICnSR2.STOP フラグが “1” で、かつ RIICnSR2.RDRF フラグが “1” の場合、または全データ受信が完了するタイミングで RIICnDRR レジスタを読んでください。

(5) RIIC はストップコンディションを検出すると、RIICnSR1.HOA、GCA, AASy ビット (y = 0 ～ 2) を自動的に “0” にします。

(6) RIICnSR2.STOP フラグが “1” であることを確認した後、次通信のために RIICnSR2.STOP フラグを “0” にしてください。

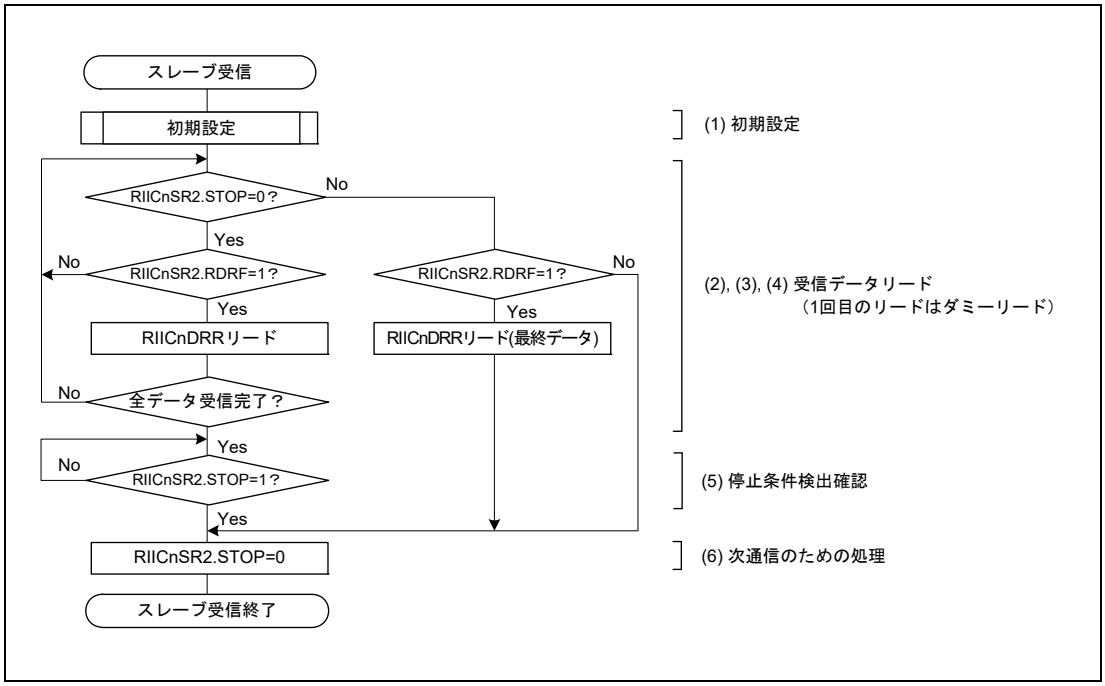


図 18.18　スレーブ受信のフローチャート例

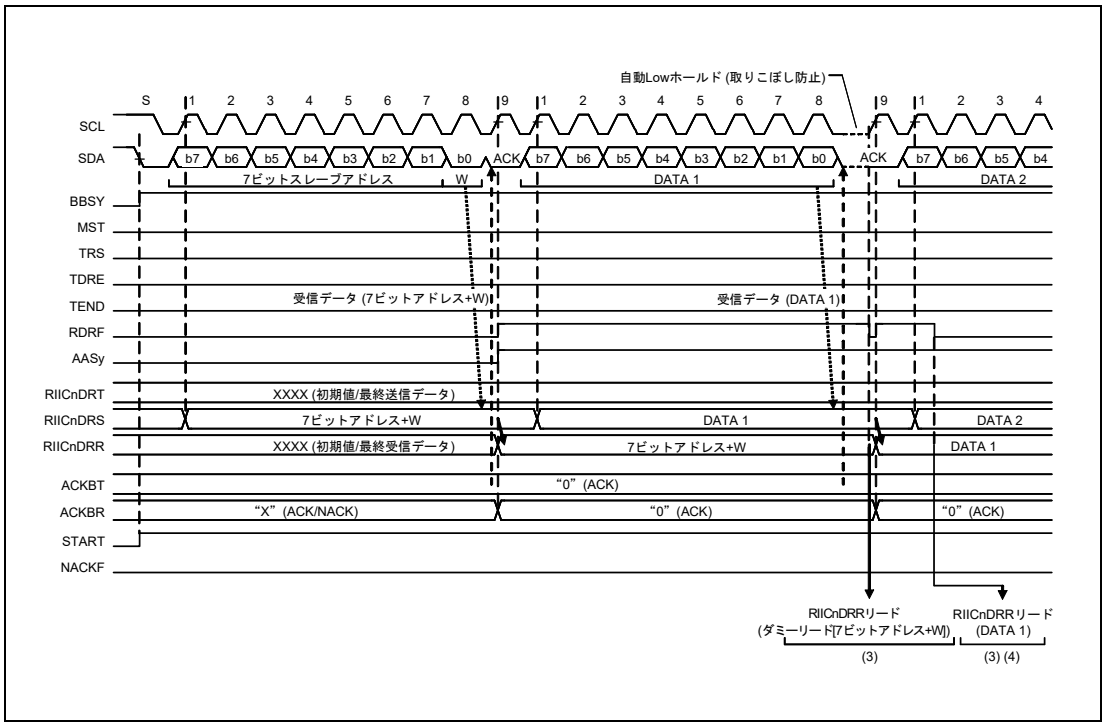


図 18.19　スレーブ受信の動作タイミング（1）（7 ビットアドレスフォーマット、RDRFS = 0 のとき

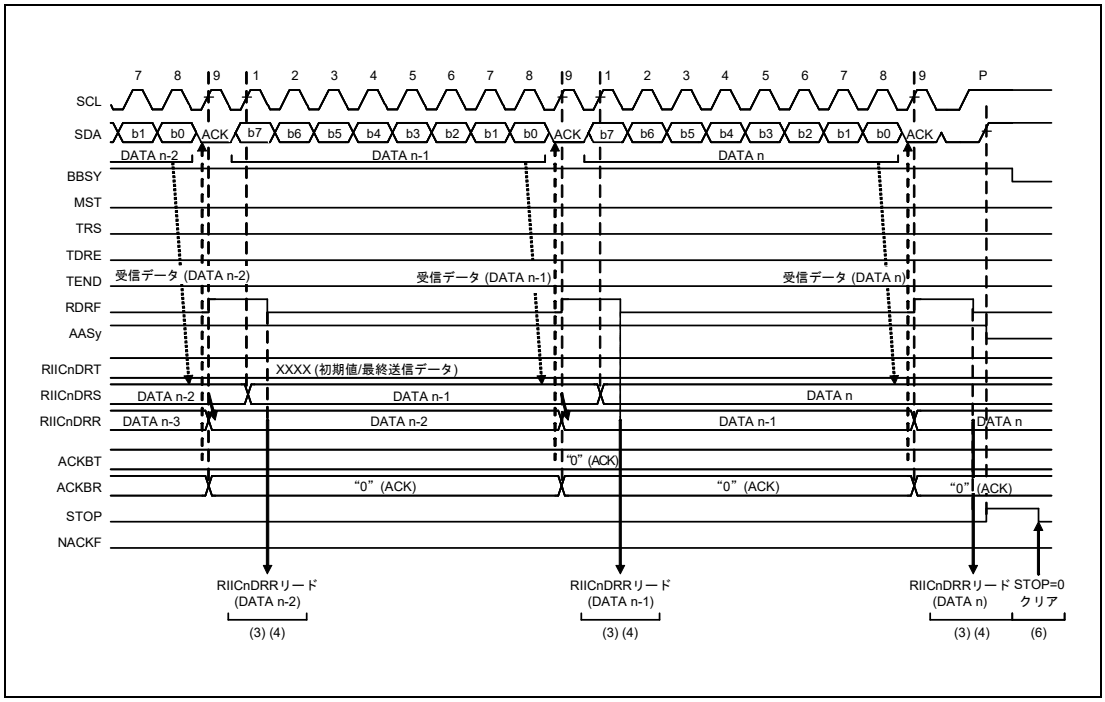


図 18.20　スレーブ受信の動作タイミング（2）（RDRFS = 0 のとき）

18.6 SCL 同期回路

RIIC の SCL クロック生成は SCL ラインの立ち上がりを検出すると、RIICnBRH レジスタで設定された High 幅のカウントを開始し、High 幅のカウントが終了すると SCL ラインを Low にドライブして立ち下げます。また SCL ラインの立ち下がりを検出すると、RIICnBRL レジスタで設定された Low 幅のカウントを開始し、Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。これにより SCL クロックを生成します。

I^2C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があり、RIIC は通信時に SCL ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能（SCL 同期回路）を備えています。

RIIC が SCL ラインの立ち上がりを検出し RIICnBRH レジスタで設定された High 幅のカウント中に他のマスタデバイスの SCL クロック出力により SCL ラインが立ち下げられた場合、RIIC は SCL ラインの立ち下がりを検出すると High 幅のカウントアップ動作を中断し、SCL ラインの Low ドライブを行うのと同時に RIICnBRL レジスタで設定された Low 幅のカウントアップを開始します。Low 幅のカウントが終了すると SCL ラインの Low ドライブを終了して SCL ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は RIICnFER.SCLE ビットが “1” のとき有効です。

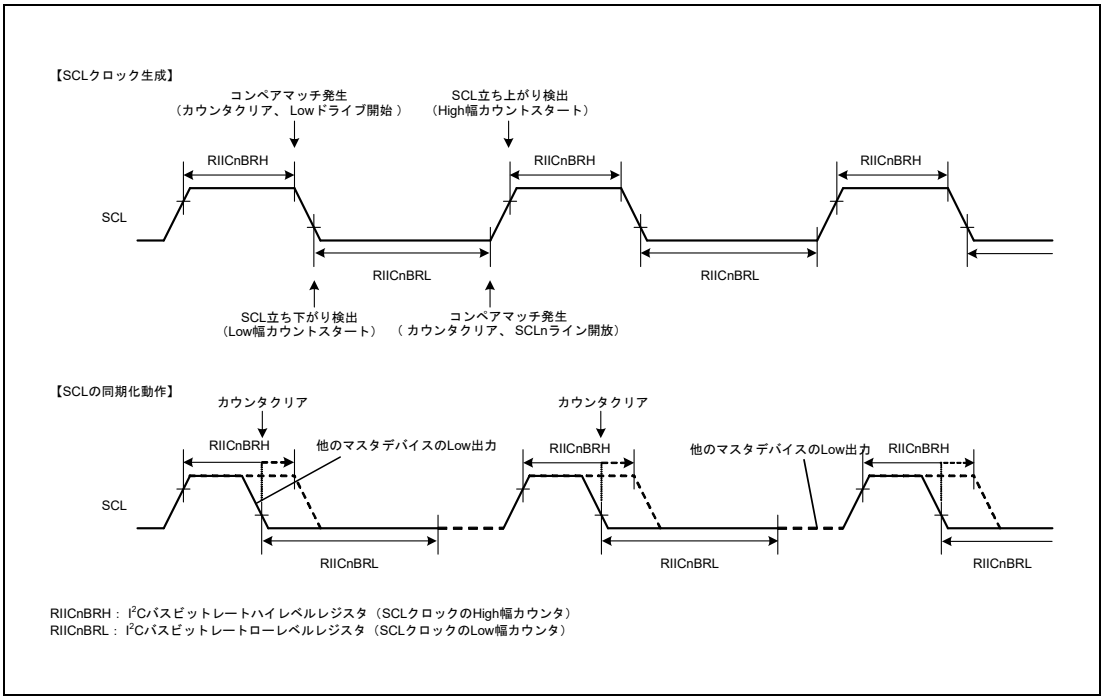


図 18.21　RIIC の SCL クロック生成および SCL 同期化動作

18.7　SDA 出力遅延機能

RIIC には SDA 出力遅延機能を備えています。SDA 出力遅延機能は、すべての SDA 出力タイミング（発行動作（開始／再開始／停止）、データ出力、ACK/NACK 出力）を遅延させることができます。

SDA 出力遅延機能は、SCL クロックの立ち下がり検出から SDA 出力を遅延させ、確実に SCL クロックの Low 期間中に SDA 出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBus のデータホールド時間 :300ns（min）の規格を満たす目的でも使用することができます。

この SDA 出力遅延機能は RIICnMR2.SDDL[2:0] ビットが “000_B” 以外のとき有効で、SDDL[2:0] ビットが “000_B” のとき無効です。

SDA 出力遅延機能が有効（SDDL[2:0] ビットが “000_B” 以外）のとき、SDA 出力遅延カウンタは RIICnMR2.DLCS ビットで選択された内部基準クロック（IICφ）またはその 2 分周クロック（IICφ/2）をカウントソースとして SDDL[2:0] ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点で RIIC は SDA 出力（発行動作（開始／再開始／停止）、データ出力、ACK/NACK 出力）を行います。

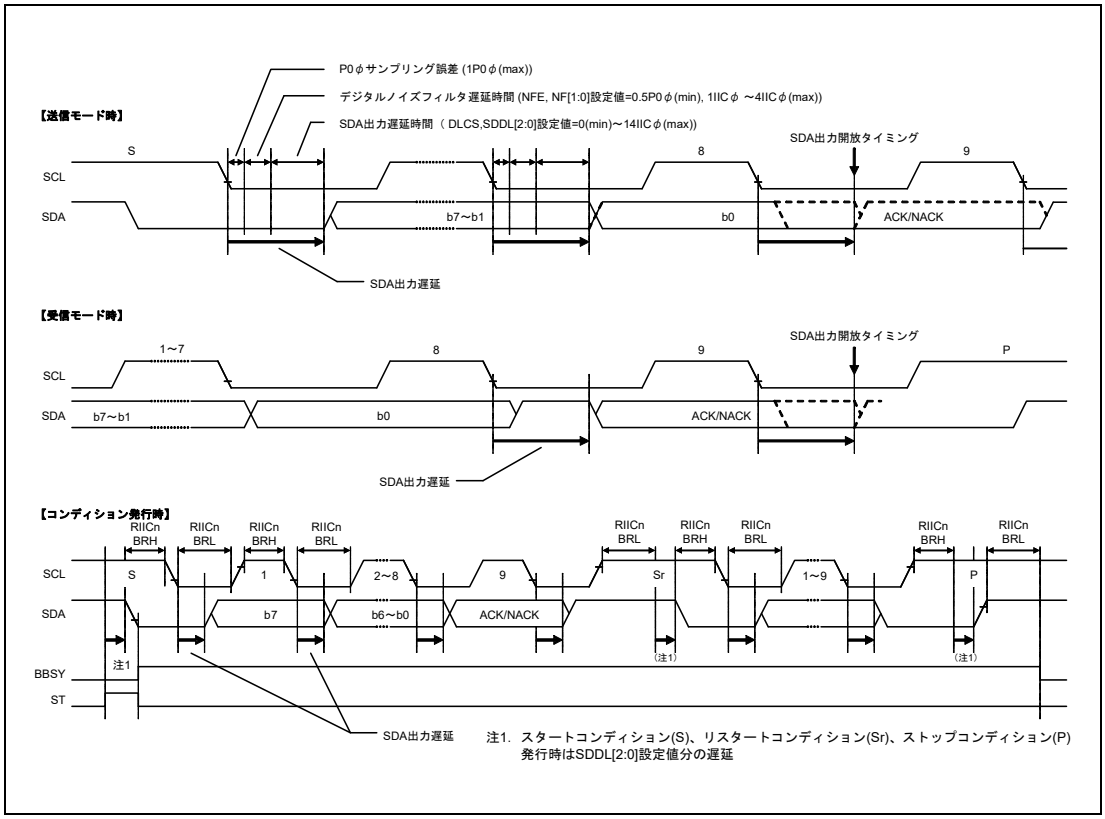


図 18.22　SDA 出力遅延タイミング

18.8　デジタルノイズフィルタ回路

図 18.23 にデジタルノイズフィルタ回路のブロック図を示します。RIICnFER.NFE ビットを “1” に設定すると、RIICnSCL、RIICnSDA 端子の入力は、デジタルノイズフィルタ回路を経由して内部に取り込まれます。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は RIICnMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1×IICφ ～ 4×IICφ サイクル分となります。

RIICnSCL 端子入力信号（または RIICnSDA 端子入力信号）は IICφ の立ち下がりでサンプリングされ、RIICnMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、P0φ と IICφ の周波数の比が小さい場合、（RIICnMR1.CKS[2:0] ビットを "000_B" に設定した場合）は、デジタルノイズフィルタの特性上、必要な信号まで除去してしまう可能性があるので、注意してください。

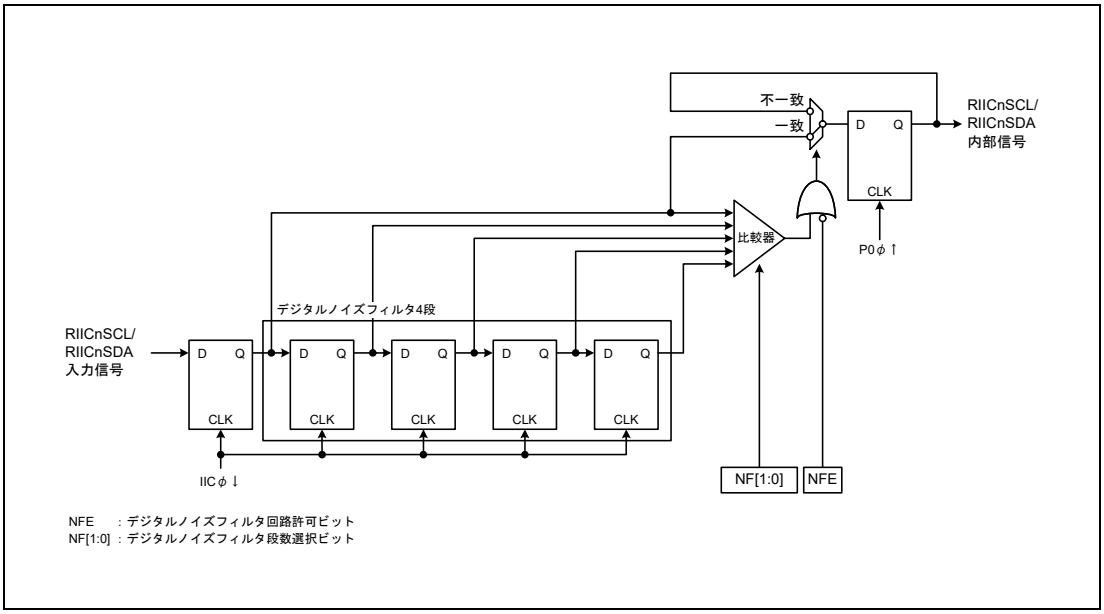


図 18.23　デジタルノイズフィルタ回路のブロック図

18.9　アドレス一致検出機能

RIIC はジェネラルコールアドレス、ホストアドレスの他に 3 種類のスレーブアドレスを設定可能です。またスレーブアドレスには 7 ビットアドレスまたは 10 ビットアドレスの設定が可能です。

18.9.1　スレーブアドレス一致検出機能

RIIC は 3 種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。RIICnSER.SARy ビット (y = 0 ～ 2) が “1” のとき、RIICnSARy レジスタ (y = 0 ～ 2) に設定されたスレーブアドレスを検出することができます。

RIIC は設定されたスレーブアドレス一致を検出すると、SCL クロックの 9 クロック目の立ち上がりで該当する RIICnSR1.AASy フラグ (y = 0 ～ 2) を “1” にし、続く R/W# ビットにより RIICnSR2.RDRF フラグまたは RIICnSR2.TDRE フラグを “1” にします。これにより受信データフル割り込み（INTRIICRI）または送信データエンプティ割り込み（INTRIICTI）を発生させることができ、AASy フラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図 18.24 ～図 18.26 に AASy フラグが “1” になるタイミングを示します。

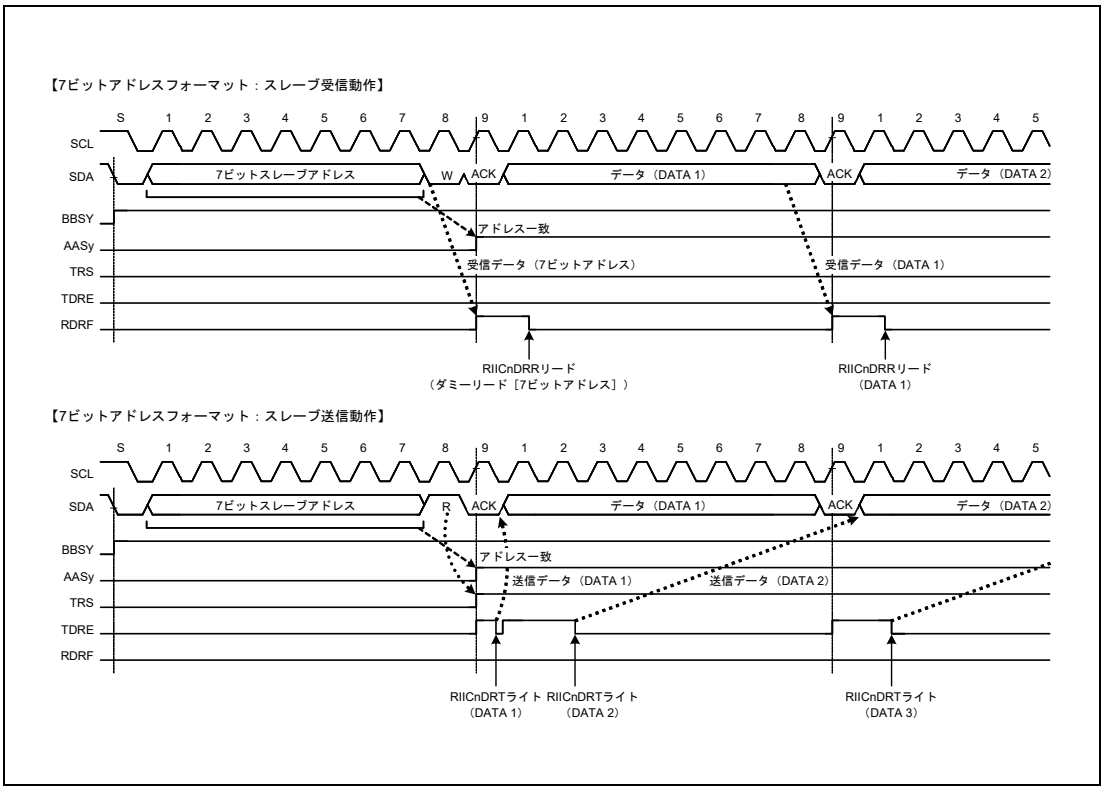


図 18.24　7 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

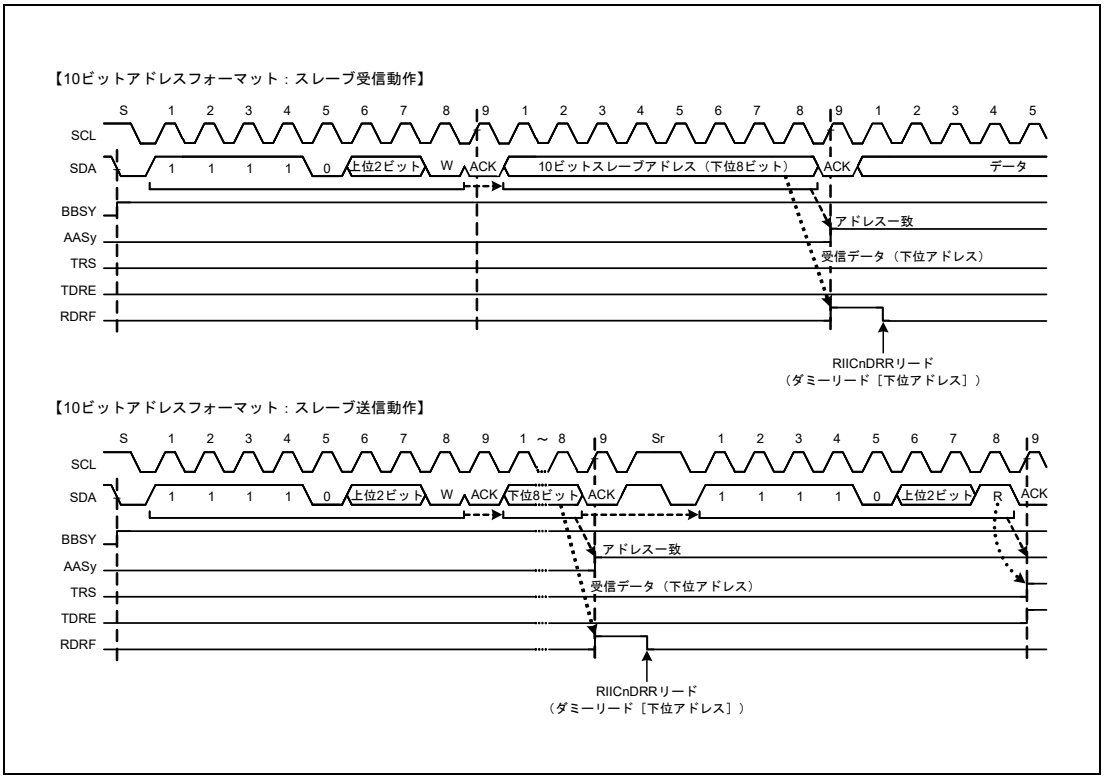


図 18.25　10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング

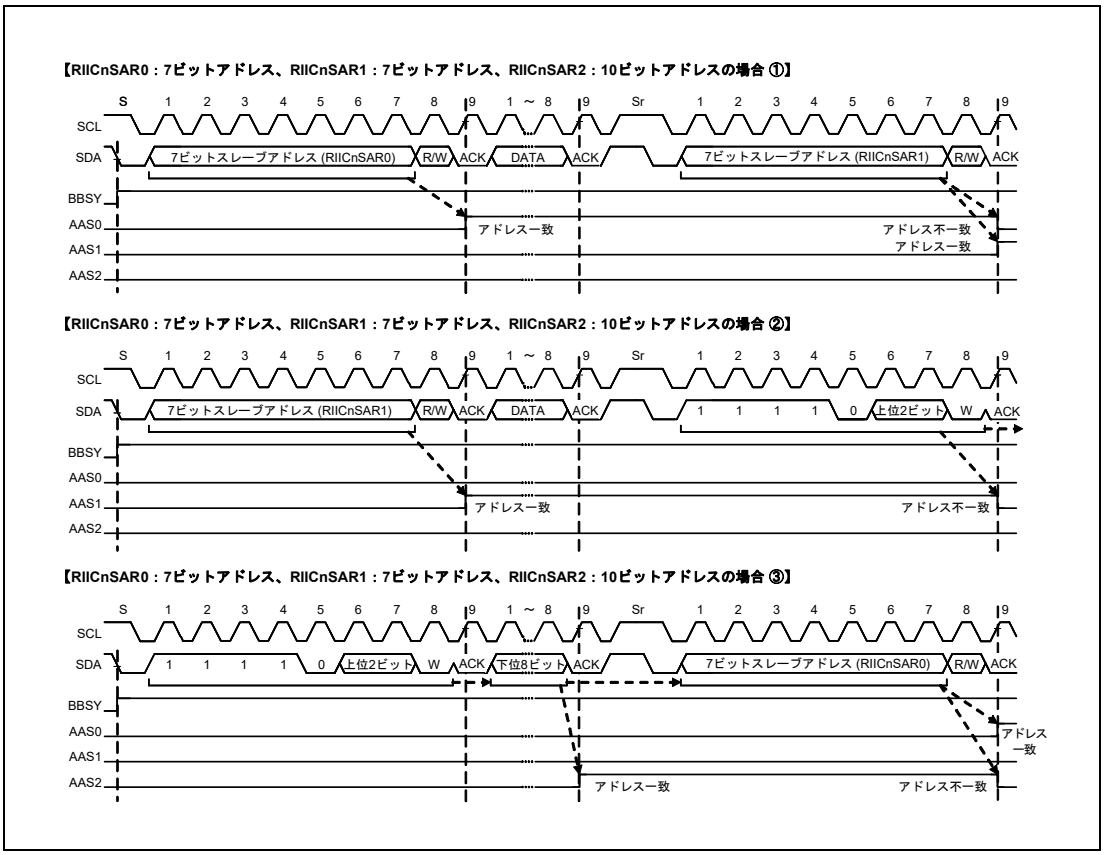


図 18.26　7 ビット /10 ビットアドレスフォーマット混在時に AASy フラグが “1”/“0” になるタイミング

18.9.2　ジェネラルコールアドレス検出機能

RIIC はジェネラルコールアドレス（$0000\ 000_B$ ＋ 0[W]）の検出機能を備えています。RIICnSER.GCE ビットが “1” のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが $0000\ 000_B$ ＋ 1[R]（スタートバイト）だった場合、RIIC はこのアドレスを All“0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIIC はジェネラルコールアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.GCA フラグを “1” にし、同時に RIICnSR2.RDRF フラグを “1” にします。これにより受信データフル割り込み（INTRIICRI）を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

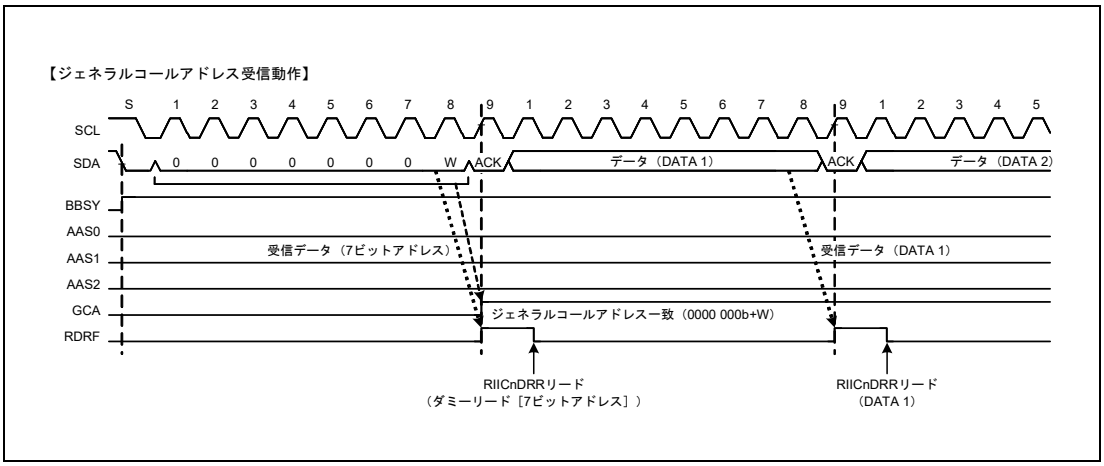


図 18.27　ジェネラルコールアドレス受信時に GCA フラグが “1” になるタイミング

18.9.3 デバイス ID アドレス検出機能

RIIC は I²C バス（Rev.03）に準拠したデバイス ID アドレスの検出機能を備えています。RIICnSER.DIDE ビットを “1” にした状態で、スタートコンディションまたはリスタートコンディション後の 1 バイト目に 1111 100_B を受信すると、RIIC はこのアドレスをデバイス ID アドレスと認識し、続く R/W# ビットが “0” のとき SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.DID フラグを “1” にした後、2 バイト目以降と自スレーブアドレスとの比較動作を行います。この 2 バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当する RIICnSR1.AASy フラグ (y = 0 ～ 2) が “1” になります。

その後スタートコンディションまたはリスタートコンディション後の 1 バイト目が再びデバイス ID アドレス（1111 100_B）と一致し、続く R/W# ビットが “1” のとき RIIC は続く 2 バイト目以降はアドレス比較動作を行わず、RIICnSR2.TDRE フラグを “1” にします。

デバイス ID アドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイス ID アドレスと不一致の場合、DID フラグを “0” にし、スタートコンディションまたはリスタートコンディション後の 1 バイト目がデバイス ID アドレス（1111 100_B）と一致し、かつ R/W# ビットが “0” のとき DID フラグを “1” にセットし、続く 2 バイト目以降をスレーブアドレスと比較します。R/W# ビットが “1” の場合、DID フラグは前値の状態を継続し、2 バイト目以降のスレーブアドレス比較を行いません。そのため、TDRE = 1 確認後 DID フラグをチェックすることで、デバイス ID を受信したことを確認することができます。

なお、一連のデバイス ID 受信後にホストに送信するデバイス ID フィールドとして必要な情報（3 バイト分：メーカ [12 ビット] ＋部品識別 [9 ビット] ＋リビジョン [3 ビット]）は、通常の送信データと同様あらかじめ準備してください。詳細については NXP 社の I²C バス規格書を参照してください。

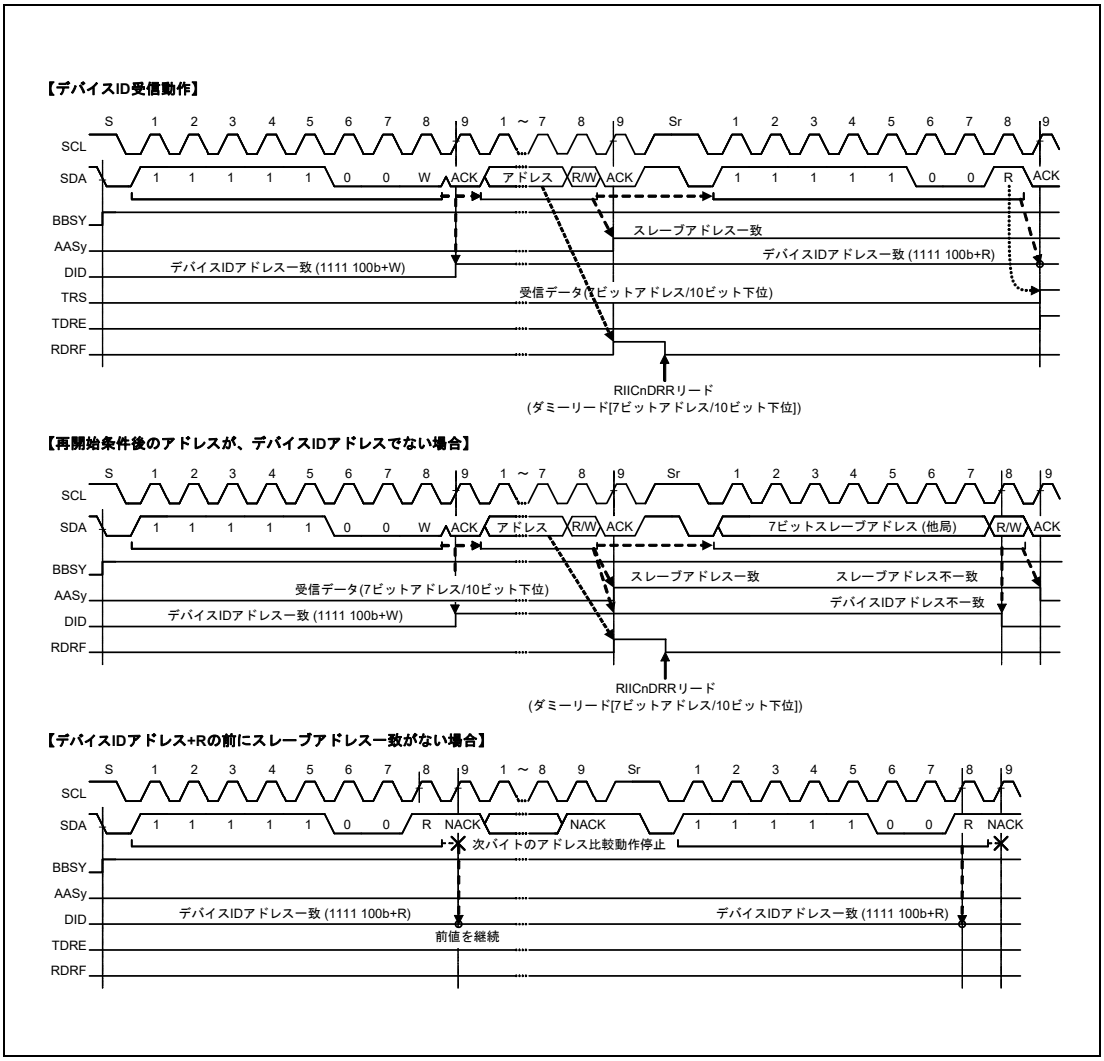


図 18.28　デバイス ID アドレス受信時の AASy、DID フラグセット／クリアタイミング

18.9.4　ホストアドレス検出機能

RIIC には SMBus 動作時にホストアドレス検出機能を備えています。RIICnMR3.SMBE ビットが “1” のとき RIICnSER.HOAE ビットを “1” にすると、スレーブ受信モード（RIICnCR2.MST, TRS ビット = 00_B）にホストアドレス（$0001\ 000_B$）を検出することが可能です。

RIIC はホストアドレスを検出すると、SCL クロックの 9 クロック目の立ち上がりで RIICnSR1.HOA フラグを “1” にし、Wr ビット（R/W# ビットに “0” を受信）のとき RIICnSR2.RDRF フラグを “1” にします。これにより受信データフル割込み (INTRIICRI) を発生させることができ、HOA フラグを確認することでスマートバッテリなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス（$0001\ 000_B$）に続くビットが Rd ビット（R/W# ビットに “1” を受信）の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

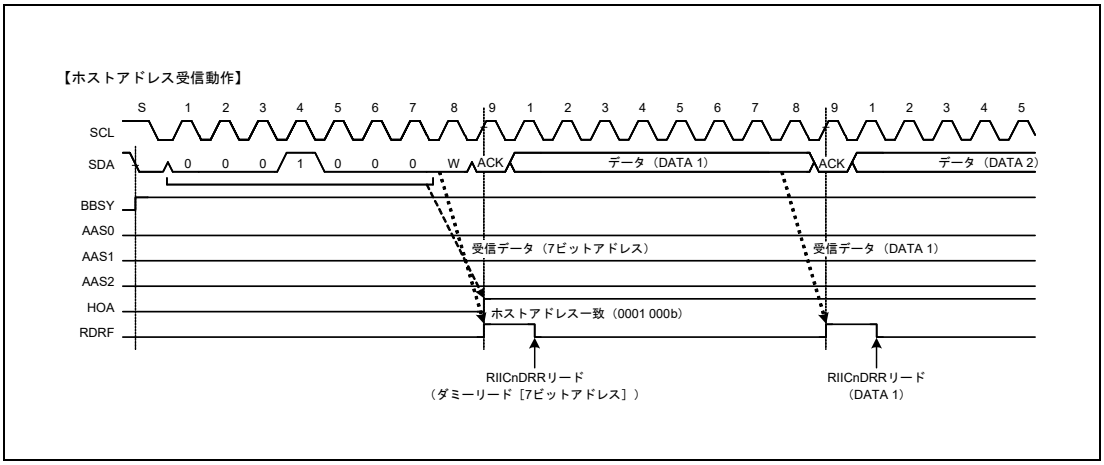


図 18.29　ホストアドレス受信時に HOA フラグが “1” になるタイミング

18.10 SCL の自動 Low ホールド機能

18.10.1 送信データ誤送信防止機能

RIIC は送信モード時（RIICnCR2.TRS ビット = 1）、シフトレジスタ（RIICnDRS レジスタ）が空の状態でかつ送信データ（RIICnDRT レジスタ）が書かれていない場合、以下に示す区間、自動的に SCL ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション／リスタートコンディション発行後の Low 区間
- 9 クロック目と 1 クロック目の Low 区間

《スレーブ送信モード》

- 9 クロック目と 1 クロック目の Low 区間

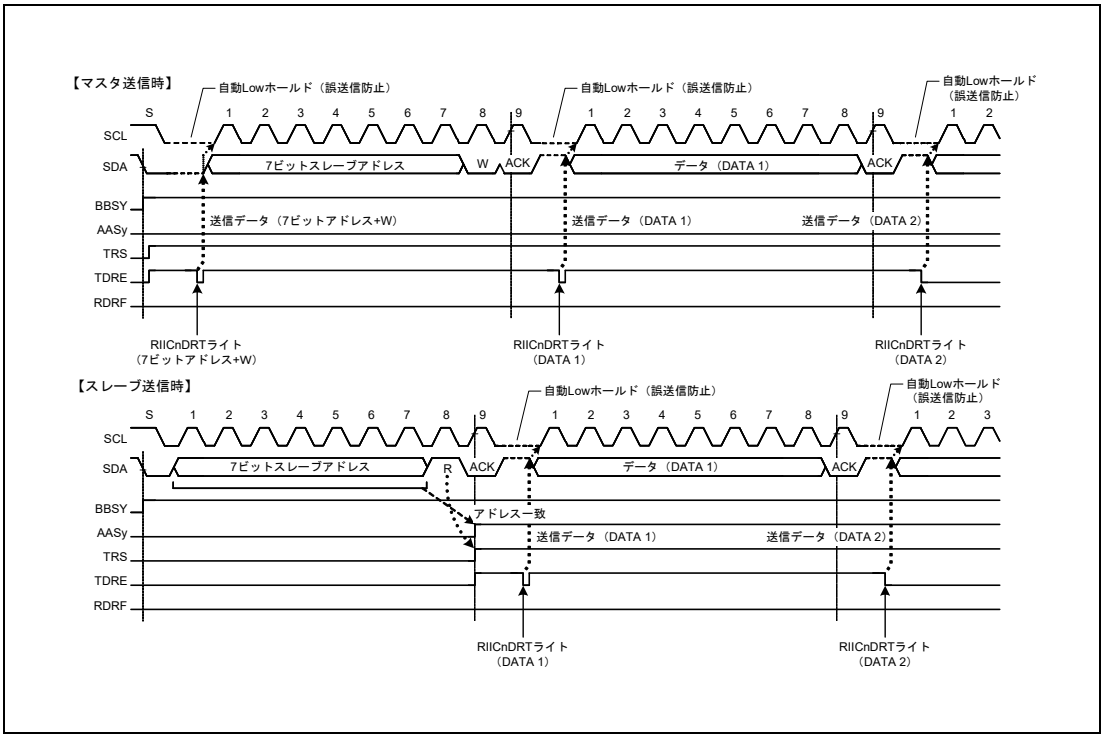


図 18.30　送信モードの自動 Low ホールド動作

18.10.2 NACK 受信転送中断機能

RIIC は送信モード時（RIICnCR2.TRS ビット = 1）に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は RIICnFER.NACKE ビットが “1”（転送中断許可）のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合（RIICnSR2.TDRE フラグ = 0 の状態）、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合（RIICnSR2.NACKF フラグ = 1）、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合にはリスタートコンディション発行後に NACKF フラグを “0” クリア、またはストップコンディション発行確認後に NACKF、STOP フラグを “0” クリアし次にスタートコンディション発行を行って、動作をやり直してください。

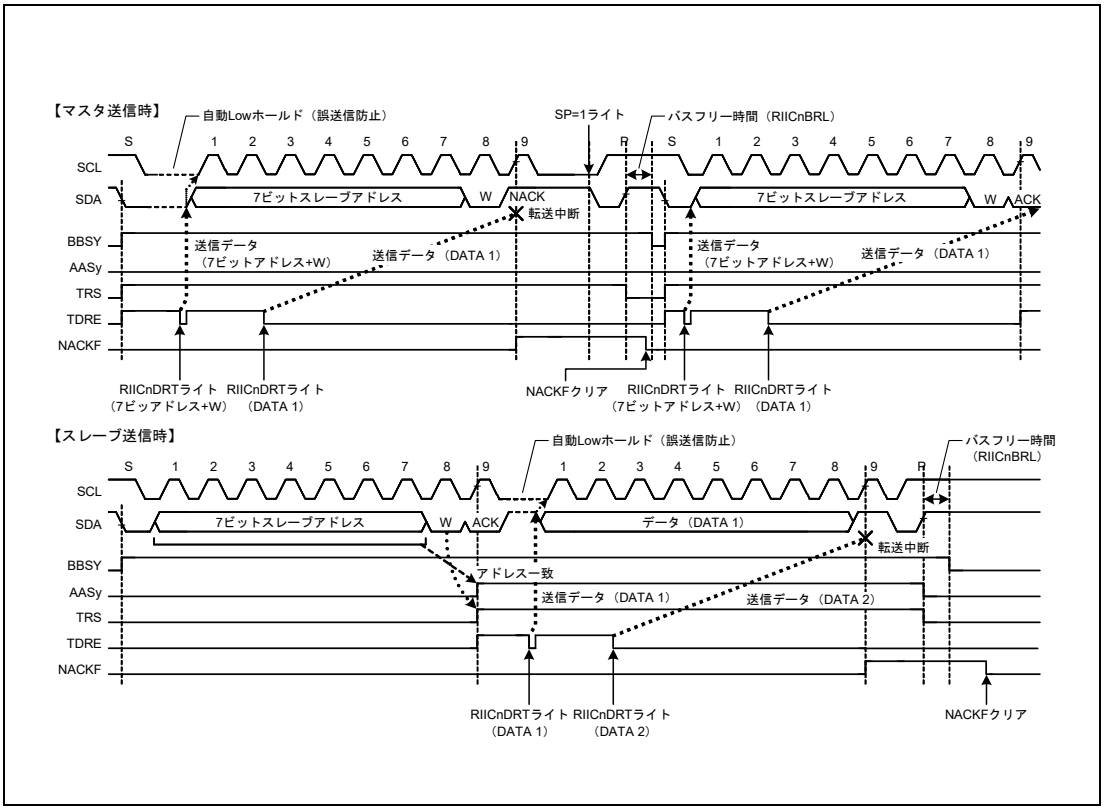


図 18.31　NACK 受信時の転送中断動作（NACKE = 1 のとき）

18.10.3 受信データ取りこぼし防止機能

RIIC は受信モード時（RIICnCR2.TRS ビット = 0）、受信データフル（RIICnSR2.RDRF フラグ = 1）の状態で受信データ（RIICnDRR レジスタ）の読み出しが 1 転送フレーム以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では RIICnMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作／自動 Low ホールド機能

RIICnMR3.WAIT ビットを “1” にすると、RIIC は WAIT ビット機能による 1 バイト受信動作になります。RIICnMR3.RDRFS ビットが “0” のとき、RIIC は SCL クロックの 8 クロック目の立ち下がりから 9 クロック目の立ち下がり期間のアクノリッジビットには自動的に RIICnMR3.ACKBT ビットの内容が送出され、9 クロック目立ち下がりを検出すると WAIT ビット機能により自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnDRR レジスタの読み出しによって解除されます。そのため 1 バイトごとの受信動作が可能となります。

なお WAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作（ACK/NACK 送出制御）／自動 Low ホールド機能

RIICnMR3.RDRFS ビットを “1” にすると、RIIC は RDRFS ビット機能による 1 バイト受信動作になります。RDRFS ビットを “1” にすると、受信データフルフラグ（RIICnSR2.RDRF フラグ）が “1” になるタイミングが SCL クロックの 8 クロック目の立ち上がりに変更され、8 クロック目の立ち下がりを検出すると自動的に SCL ラインを Low にホールドします。この Low ホールドは RIICnMR3.ACKBT ビットへの書き込みによって解除され、RIICnDRR レジスタの読み出しでは解除されません。そのため 1 バイトごとに受信したデータの内容に応じた ACK/NACK 送出の受信動作が可能となります。

なお RDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス（ジェネラルコールアドレス、ホストアドレス含む）と一致した以降の受信フレームから有効になります。

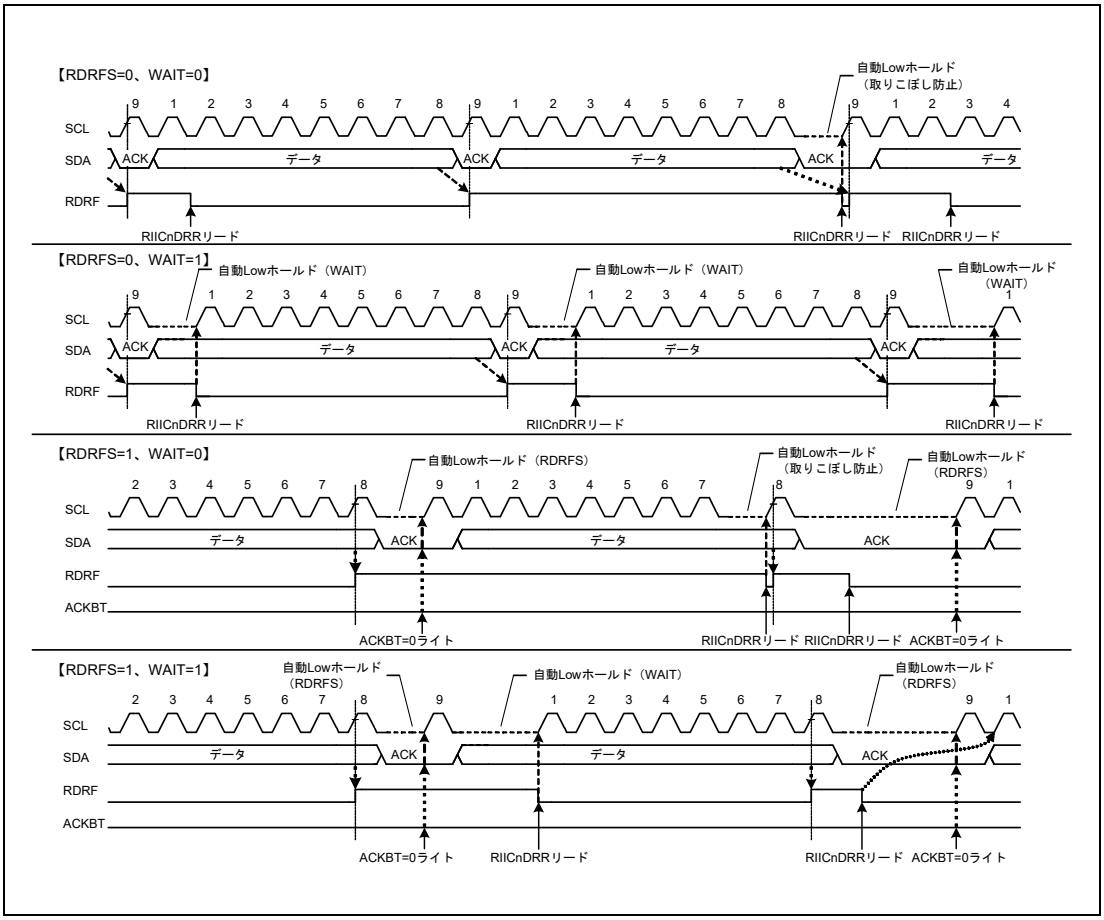


図 18.32　受信モードの自動 Low ホールド動作（RDRFS、WAIT ビット）

18.11 アービトレーションロスト検出機能

RIIC には I^2C バス規格で定めている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK 送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

18.11.1 マスタアービトレーションロスト検出機能（MALE ビット）

RIIC はスタートコンディション発行の際 SDA ラインを Low にしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行して SDA ラインを Low にした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様に RIICnCR2.BBSY フラグが “1”（バスビジー中）のときに RIICnCR2.ST ビットを “1” にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ（SDA 信号）と SDA ラインに不一致が生じた場合（自分が出した SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、RIICnFER.MALE ビットが “1”（マスタアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- RIICnCR2.BBSY フラグ = 0 の状態で RIICnCR2.ST ビット =1 によるスタートコンディション発行時に SDA 信号と SDA ライン上の信号の状態が不一致のとき（スタートコンディション発行エラー）
- RIICnCR2.BBSY フラグ = 1 で RIICnCR2.ST ビットを “1” にしたとき（スタートコンディション二重発行エラー）
- マスタ送信モード時（RIICnCR2.MST, TRS ビット = 11_B）、アクノリッジを除く送信データ（SDA 信号）と SDA ライン上の信号の状態が不一致のとき

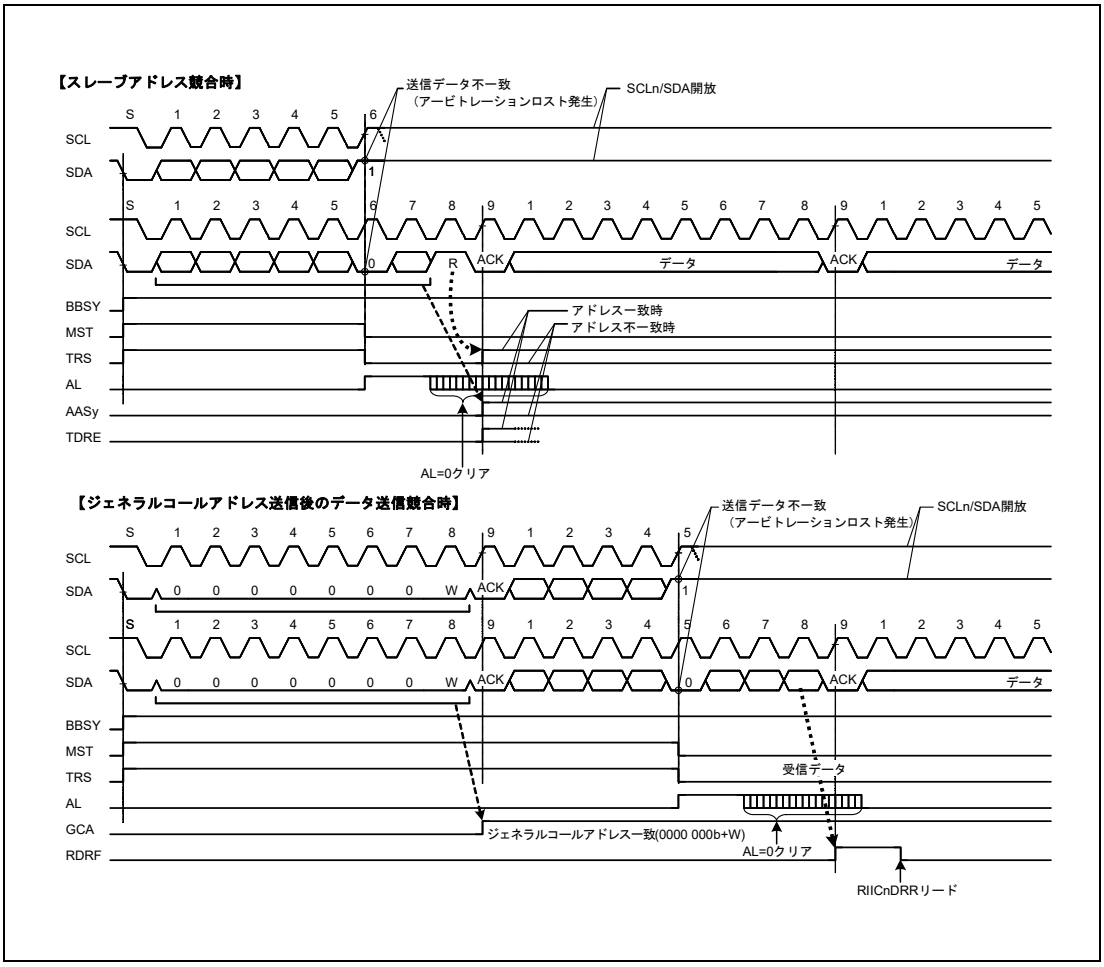


図 18.33　マスタアービトレーションロスト検出動作例（MALE = 1 のとき）

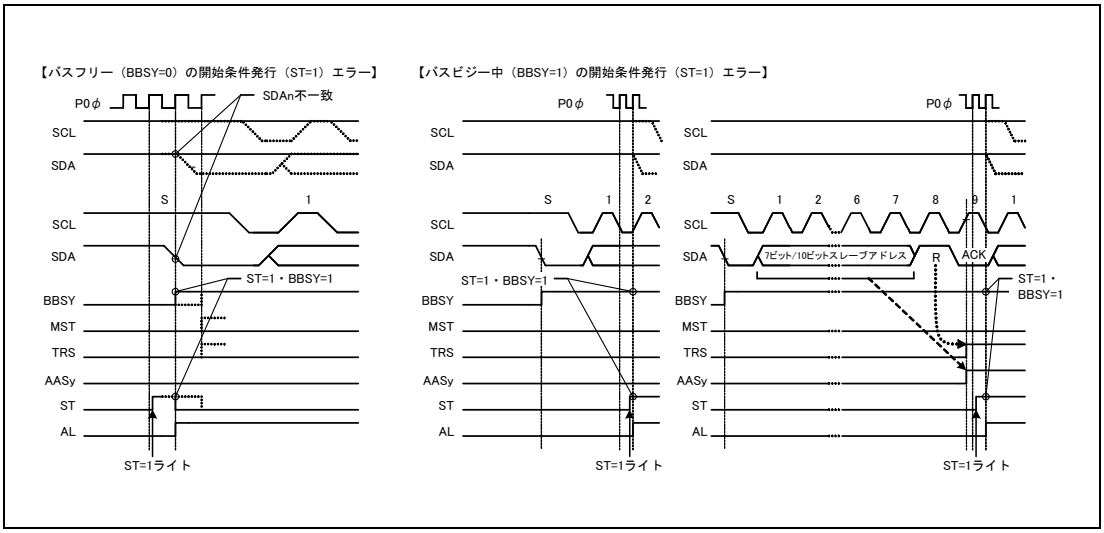


図 18.34　スタートコンディション発行時のアービトレーションロスト（MALE = 1 のとき）

18.11.2　NACK 送信アービトレーションロスト検出機能（NALE ビット）

RIIC は受信モード時で NACK 送信時に自分が出した SDA 信号と SDA ライン上の信号の状態が不一致の場合（自分が出した SDA 出力が High 出力（＝ SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主にマルチマスタのシステムにおいて 2 つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際に NACK 送信と ACK 送信が衝突することで発生します。これは 2 つ以上のマスタデバイスが 1 つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。**図 18.35** に NACK 送信アービトレーションロスト検出動作例を示します。

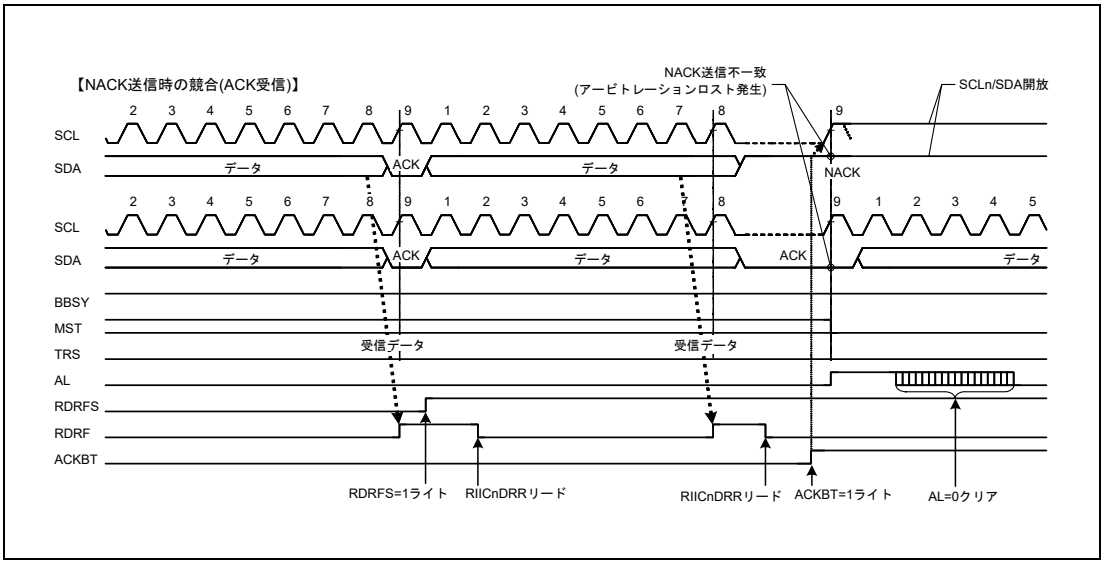


図 18.35　NACK 送信アービトレーションロスト検出動作例（NALE = 1 のとき）

2 つのマスタデバイス（マスタ A、マスタ B）と 1 つのスレーブデバイスがバス上に接続されている場合を例に挙げて説明します。マスタ A はスレーブデバイスから 2 バイト受信、マスタ B はスレーブデバイスから 4 バイト分のデータ受信を行うものとします。

このときマスタ A とマスタ B が同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタ A、マスタ B ともスレーブデバイスアクセス時にアービトレーションロストが発生しません。そのためマスタ A、マスタ B ともどちらもバス権を取得したものと認識して動作します。ここでマスタ A は、スレーブデバイスから最終バイトである 2 バイト分の受信が完了した時点で NACK を送信します。一方マスタ B は、スレーブデバイスから必要な 4 バイト受信に満たないため ACK 送信を行います。このときマスタ A の NACK 送信とマスタ B の ACK 送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタ A はマスタ B が出した ACK 送信を検出できないままストップコンディション発行動作を行うため、マスタ B の SCL クロック出力と競合し通信を阻害します。

RIIC はこのような NACK 送信時に ACK を受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK 送信アービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信阻害を防止することが可能です。

また SMBus の ARP コマンド処理において、アサインアドレスの UDID（ユニークデバイスアイデンティファイ）不一致時の NACK 送信以降、およびアサインアドレス確定後の Get UDID（汎用）の NACK 送信以降の余剰処理（FF_H 送信処理）を省くことができます。

なお NACK 送信アービトレーションロスト検出は、RIICnFER.NALE ビットが “1”（NACK 送信アービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［NACK 送信アービトレーションロスト条件］

NACK 送信時（RIICnMR3.ACKBT ビット =1）、自分が出した SDA 信号と SDA ライン上の信号の状態が不一致のとき（ACK を受信したとき）

18.11.3　スレーブアービトレーションロスト検出機能（SALE ビット）

RIIC は、スレーブ送信時に送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態に不一致が生じた場合（自分が出した SDA 出力が High 出力（= SDA 端子はハイインピーダンス）で、SDA ラインに Low を検出したとき）、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID（ユニークデバイスアイデンティファイ）送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理（FF_H 送信処理）を省くことができます。

なおスレーブアービトレーションロスト検出は、RIICnFER.SALE ビットが “1”（スレーブアービトレーションロスト検出許可）の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

［スレーブアービトレーションロスト条件］

スレーブ送信モード時（RIICnCR2.MST, TRS ビット = 01_B）、アクノリッジを除く送信データ（自分が出した SDA 信号）と SDA ライン上の信号の状態が不一致のとき

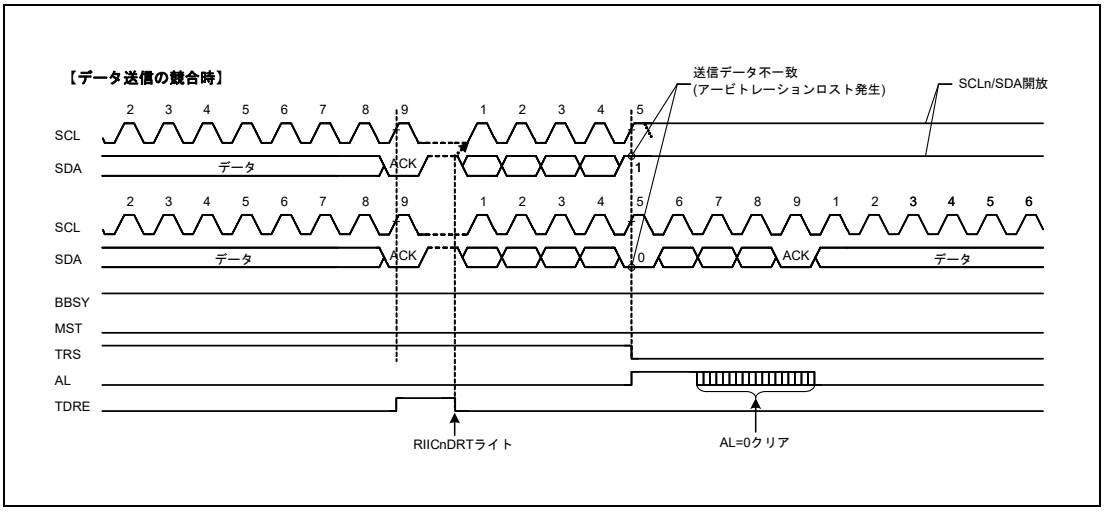


図 18.36　スレーブアービトレーションロスト検出動作例（SALE = 1 のとき）

18.12 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

18.12.1 スタートコンディション発行動作

RIIC は、RIICnCR2.ST ビットによりスタートコンディションの発行を行います。

ST ビットを “1” にすると、スタートコンディション発行の要求が行われ RIICnCR2.BBSY フラグが “0”（バスフリー）の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIIC は自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

［スタートコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間スタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 **SCL** ラインの **Low** 幅を確保

18.12.2 リスタートコンディション発行動作

RIIC は RIICnCR2.RS ビットによりリスタートコンディションの発行を行います。

RS ビットを “1” にするとリスタートコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが “1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが “1”（マスタモード）のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

［リスタートコンディション発行動作］

- SDA ラインを開放
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRL レジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRH レジスタで設定した時間リスタートコンディションのホールド時間を確保
- SCL ラインを立ち下げ（High から Low に遷移）
- SCL ラインの Low を検出後、RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保

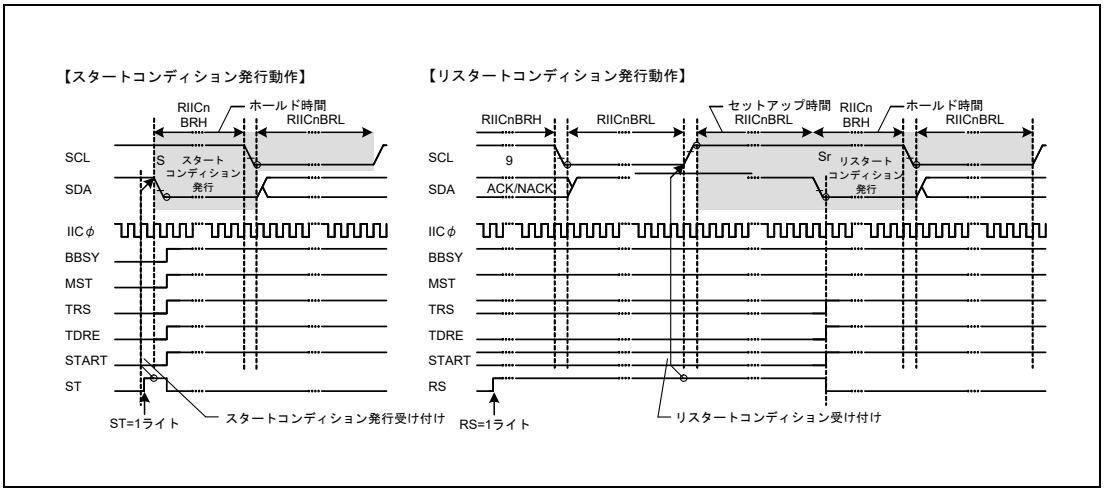


図 18.37　スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）

18.12.3　ストップコンディション発行動作

RIIC は RIICnCR2.SP ビットによりストップコンディションの発行を行います。

SP ビットを “1” にするとストップコンディション発行の要求が行われ、RIIC は RIICnCR2.BBSY フラグが “1”（バスビジー）の状態でかつ RIICnCR2.MST ビットが “1”（マスタモード）のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

［ストップコンディション発行動作］

- SDA ラインを立ち下げ（High から Low に遷移）
- RIICnBRL レジスタで設定した時間 SCL ラインの Low 幅を確保
- SCL ラインを開放（Low から High に遷移）
- SCL ラインの High 検出後、RIICnBRH レジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA ラインを開放（Low から High に遷移）
- RIICnBRL レジスタで設定した時間バスフリー時間を確保
- BBSY フラグクリア（バス権解放）

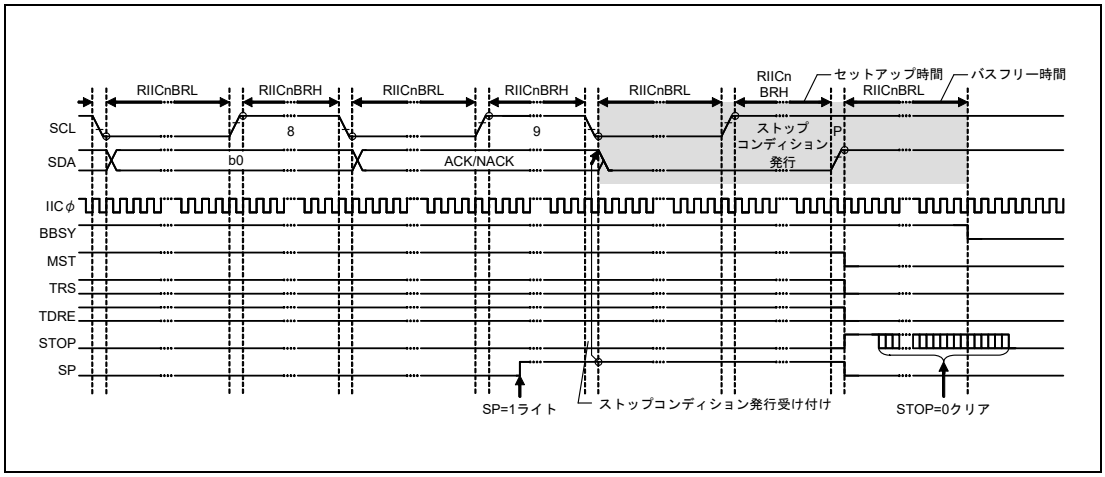


図 18.38　ストップコンディション発行動作タイミング（SP ビット）

18.13 バスハングアップ

I²C バスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCL ラインや SDA ラインが固定されたままバスハングアップを起こす場合があります。

RIIC は、このバスハングアップ状態に対し SCL ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するための SCL クロック追加出力機能および RIIC ／内部リセット機能を備えています。

また、RIICnCR1.SCLO, SDAO, SCLI, SDAI ビットを確認することで、RIIC 自身が SCL ライン／ SDA ラインに Low 出力しているか、あるいは通信デバイス側が Low 出力しているかどうかを確認することが可能です。

18.13.1 タイムアウト検出機能

RIIC には SCL ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIIC は SCL ラインが Low または High に固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能は SCL ラインの状態を監視し、Low または High の時間を内部カウンタでカウントします。タイムアウト検出機能は SCL ラインに変化（立ち上がり／立ち下がり）があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL ラインに変化がないまま内部カウンタがオーバフローすると、RIIC はタイムアウトを検出しバス異常状態を知らせることができます。

このタイムアウト検出機能は RIICnFER.TMOE ビットが “1” のとき有効で、以下のときに SCL ラインの Low 固定または High 固定のバス異常状態を検出します。

①バスビジー状態（RIICnCR2.BBSY=1）で、マスタモード（RIICnCR2.MST=1）時

②バスビジー状態（RIICnCR2.BBSY=1）で、スレーブモード（RIICnCR2.MST=0）かつ自スレーブアドレス一致（RIICnSR1 レジスタ≠ 00_H）時

③バスフリー状態 （RIICnCR2.BBSY=0）で、スタートコンディション発行要求中（RIICnCR2.ST ビットが ”1”）の期間

タイムアウト検出機能の内部カウンタは、RIICnMR1.CKS[2:0] ビットで設定された内部基準クロック（IICφ）をカウントソースとして動作し、ロングモード選択時（RIICnMR2.TMOS ビット = 0）16 ビットカウンタ、ショートモード選択時（TMOS ビット = 1）14 ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL ラインが Low 状態のときカウントさせるか、High 状態のときカウントさせるか、あるいはその両方をカウントさせるかを RIICnMR2.TMOH, TMOL ビットの設定により選択することが可能です。なお TMOH, TMOL ビットの両方を “0” にした場合は、内部カウント動作を行いません。

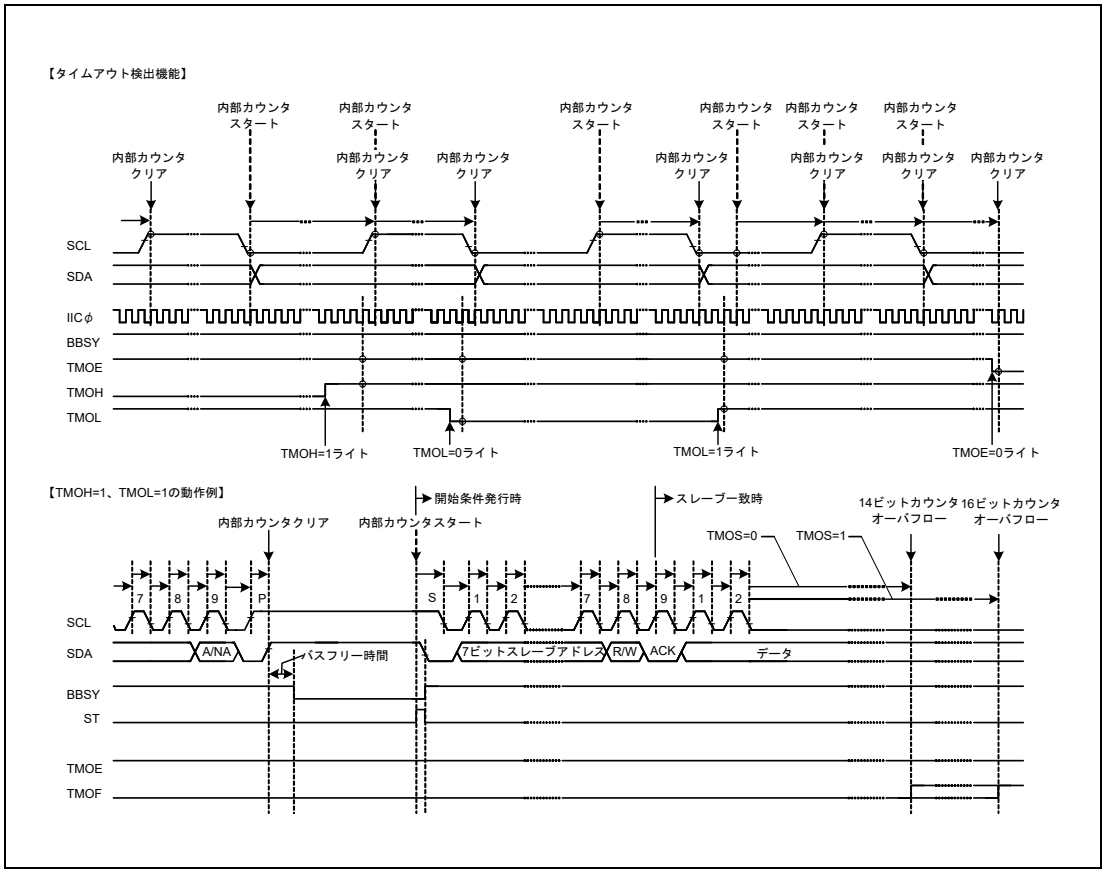


図 18.39　タイムアウト検出機能（TMOE、TMOS、TMOH、TMOL ビット）

18.13.2　SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、RIICnCR1.CLO ビットを “1” にすると、RIICnMR1.CKS[2:0] ビット、RIICnBRH、RIICnBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に “0” になります。このとき BBSY フラグ = 1 の場合 SCL 端子は L 出力を継続し、BBSY フラグ = 0 の場合 SCL 端子は H になります。また、ソフトウェアで CLO ビットが “0” であることを確認後 “1” を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA ラインを Low 固定状態のままストップコンディションを発行できないバス異常状態のとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA ライン開放は RIICnCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

[RIICnCR1.CLO ビットの出力条件]

- バスフリー状態（RIICnCR2.BBSY フラグ = 0）またはマスタモード（RIICnCR2.MST ビット = 1、BBSY フラグ = 1 の状態）のとき
- 通信デバイスが SCL ラインを Low ホールドにしていない状態のとき

図 18.40 に SCL クロック追加出力機能（CLO ビット）を示します。

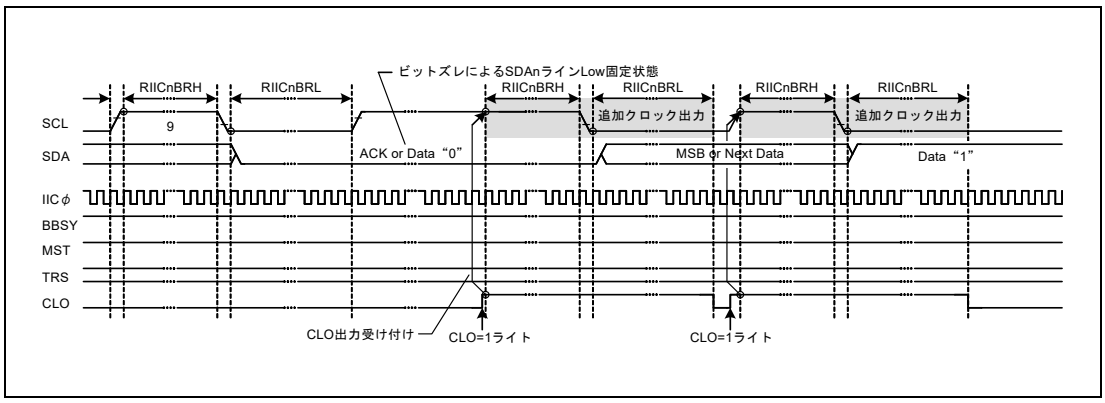


図 18.40　SCL クロック追加出力機能（CLO ビット）

18.13.3 RIIC/ 内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは RIICnCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は RIICnCR1.IICRST ビットを “0” にしてください。

いずれのリセットも SCL 端子／ SDA 端子の出力状態を解除しハイインピーダンスに戻すため、バスハングアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット（RIICnCR1.ICE, IICRST ビット = 01_B）のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC ／内部リセットの詳細については、**「18.15　RIIC のリセット機能」**を参照してください。

18.14 SMBus 動作

RIIC は SMBus（Ver.2.0）に準拠した通信動作が可能です。SMBus 通信を行うには、RIICnMR3.SMBE ビットを “1” にしてください。転送速度は SMBus 規格の 10kbps ～ 100kbps の範囲に収まるよう RIICnMR1.CKS[2:0] ビット、RIICnBRH、RIICnBRL レジスタを設定し、データホールド時間 :300ns（min）の規格を守るよう RIICnMR2.DLCS ビットおよび RIICnMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、RIICnBRL はデータセットアップ時間（250ns）以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス（$1100\ 001_B$）はスレーブアドレスレジスタ L0 ～ L2（RIICnSAR0、RIICnSAR1、RIICnSAR2）のいずれか 1 本を使用し、該当する RIICnSARy.FSy ビット (y = 0 ～ 2)（7 ビット／ 10 ビットアドレスフォーマット選択ビット）を “0”（7 ビットアドレスフォーマット）を選択してください。

また、UDID（ユニークデバイスアイデンティファイ）送信時には、RIICnFER.SALE ビットを “1” にしてスレーブアービトレーションロスト検出機能を有効にしてください。

18.14.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間（タイムアウト間隔 : $T_{LOW:SEXT}$）を計測する必要があります。

- **スタートコンディションからストップコンディション**

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（INTRIICSTI）、ストップコンディション検出割り込み（INTRIICSPI）を利用してスタートコンディション検出からストップコンディション検出までの時間を内蔵タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［スレーブデバイス］$T_{LOW:SEXT}$: 25ms（max）以内である必要があります。

内蔵タイマで計測した時間が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$: 25ms（min）を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには RIICnCR1.IICRST ビットに “1” を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL 端子／ SDA 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間（タイムアウト間隔 : $T_{LOW:MEXT}$）を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み（INTRIICSTI）、ストップコンディション検出割り込み（INTRIICSPI）、および送信終了割り込み（INTRIICTEI）または受信データフル割り込み（INTRIICRI）を利用して、それぞれの区間を内蔵タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 規格のクロック Low の累積時間［マスタデバイス］$T_{LOW:MEXT}$: 10ms（max）以内である必要があり、スタートコンディションからストップコンディション

までのすべての $T_{LOW\ :\ MEXT}$ を加算した結果が $T_{LOW\ :\ SEXT}$：25ms（max）以内である必要があります。

ACK 受信タイミング（SMBCLK の 9 クロック目の立ち上がり）は、マスタ送信モード時（マスタトランスミッタ）は RIICnSR2.TEND フラグ、マスタ受信モード時（マスタレシーバ）は RIICnSR2.RDRF フラグで見る必要があります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは RIICnMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SMBCLK の 9 クロック目の立ち上がりで “1” になります。

内蔵タイマで計測した時間が、SMBus 規格のクロック Low の累積時間［マスタデバイス］TLOW：MEXT：10ms（max）または各計測時間の加算した結果が、SMBus 規格のクロック Low 検出のタイムアウト $T_{TIMEOUT}$：25ms（min）を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作（RIICnDRT レジスタへの書き込み動作）を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

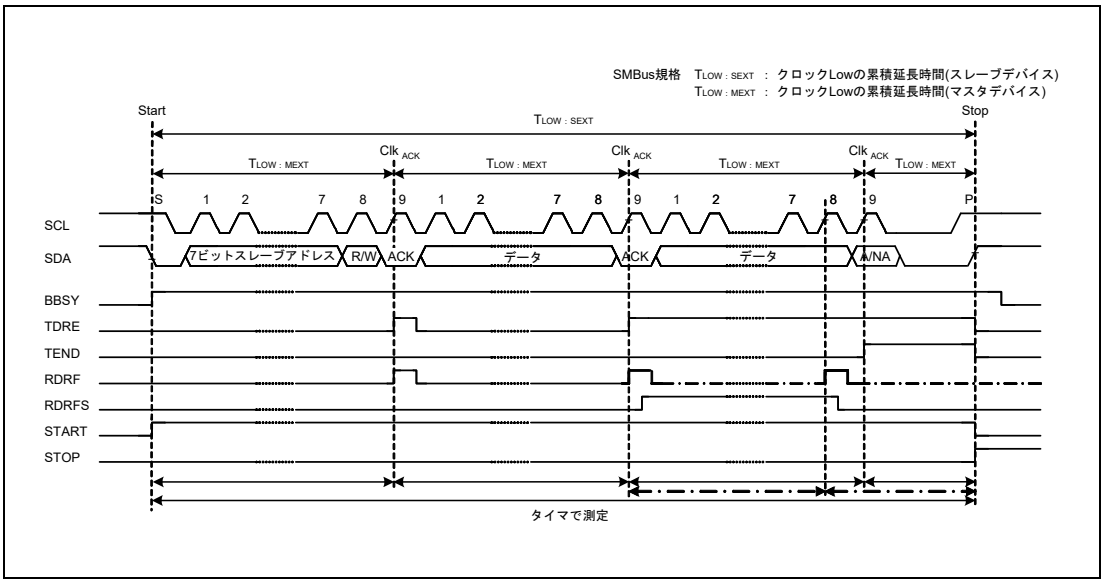


図 18.41　SMBus タイムアウト測定

18.14.2　SMBus ホスト通知プロトコル／ Notify ARP master

SMBus ではスレーブデバイスが SMBus ホスト（または ARP マスタ）に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知（または要求）することができます。

本 LSI を SMBus ホスト（または ARP マスタ）として動作させる場合、スレーブデバイスからのホストアドレス（$0001\ 000_B$）送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、RIICnMR3.SMBE ビットを “1”、RIICnSER.HOAE ビットを “1” にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

18.15 RIIC のリセット機能

RIIC はチップリセット、RIIC リセットおよび内部リセットのリセット機能を持っています。表 18.24 に各リセットのリセット範囲およびリセット状況を示します。

表 18.24 RIIC のリセット機能 (1 / 2)

レジスタ		RIIC リセット（ICE ビット = 0、IICRST ビット = 1）	内部リセット（ICE ビット = 1、IICRST ビット = 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnCR1	ICE	0	1	保持	保持
	IICRST	1	1	保持	保持
	CLO	初期化	保持	保持	保持
	SOWP	初期化	保持	保持	保持
	SCLO	初期化	初期化	保持	保持
	SDAO	初期化	初期化	保持	保持
	SCLI	初期化	保持	保持	保持
	SDAI	初期化	保持	保持	保持
RIICnCR2	BBSY	初期化	初期化注 1	動作	保持
	MST	初期化	初期化	動作（保持）	初期化
	TRS	初期化	初期化	動作（保持）	初期化
	SP	初期化	初期化	初期化	初期化
	RS	初期化	初期化	初期化	初期化
	ST	初期化	初期化	初期化	保持
RIICnMR1	CKS[2:0]	初期化	保持	保持	保持
	BCWP	初期化	保持	保持	保持
	BC[2:0]	初期化	初期化	初期化	保持
RIICnMR2		初期化	保持	保持	保持
RIICnMR3	WAIT	初期化	保持	保持	保持
	RDRFS	初期化	保持	保持	保持
	ACKWP	初期化	保持	保持	保持
	ACKBT	初期化	保持	保持	初期化
	ACKBR	初期化	保持	保持	保持
	NF[1:0]	初期化	保持	保持	保持
RIICnFER		初期化	保持	保持	保持
RIICnSER		初期化	保持	保持	保持
RIICnIER		初期化	保持	保持	保持
RIICnSR1	DID	初期化	初期化	保持	初期化
	GCA	初期化	初期化	保持	初期化
	AAS2	初期化	初期化	保持	初期化
	AAS1	初期化	初期化	保持	初期化
	AAS0	初期化	初期化	保持	初期化
RIICnSR2	TDRE	初期化	初期化	保持	初期化
	TEND	初期化	初期化	保持	初期化
	RDRF	初期化	初期化	保持	保持
	NACKF	初期化	初期化	保持	保持
	STOP	初期化	初期化	保持	動作
	START	初期化	初期化	動作	初期化
	AL	初期化	初期化	保持	保持
	TMOF	初期化	初期化	保持	保持
RIICnSAR0、1、2		初期化	保持	保持	保持
RIICnBRH、RIICnBRL		初期化	保持	保持	保持

表 18.24　RIIC のリセット機能　(2 / 2)

レジスタ	RIIC リセット（ICE ビット = 0、IICRST ビット = 1）	内部リセット（ICE ビット = 1、IICRST ビット = 1）	スタートコンディション／リスタートコンディション検出	ストップコンディション検出
RIICnDRT	初期化	保持	保持	保持
RIICnDRR	初期化	保持	保持	保持
RIICnDRS	初期化	初期化	保持	保持

注 1.　ストップコンディション検出後のバスフリー期間中に、内部リセットをかけた場合、BBSY フラグが内部リセット解除から、バスフリー時間を経由して、“0” となります。
バスフリー期間以外で内部リセットをかけた場合は、BBSY フラグはクリアされません。

19. シリアルサウンドインタフェース

シリアルサウンドインタフェースは、I²S バスと互換性のあるさまざまなデバイスと音声データの送受信を行うモジュールです。他の一般的フォーマットだけでなく、マルチチャネルモードにも対応しています。

19.1 特長

- チャネル数：4 チャネル
- 動作モード：非圧縮モード
  非圧縮モードは、チャネルに分割されるシリアルオーディオストリームをサポートします。
- トランスミッタまたはレシーバのいずれとしても動作可能
  チャネル 0,1,3 は全二重通信が可能
- シリアルバスフォーマットを使用可能
- データバッファとシフトレジスタ間は非同期転送
- シリアルバスインタフェースで使用されるクロックの分周比が選択可能
- DMA 転送または割り込みで、データ送受信を制御可能。
- SCUX モジュールとの間でデータをダイレクトに転送する経路も有しています。
- オーバサンプルクロックを以下の端子から選択可能
  AUDIO_CLK（1 ～ 50MHz）
  AUDIO_X1、AUDIO_X2（水晶発振子接続時：10 ～ 50MHz、外部クロック入力時：1 ～ 50MHz）
- 送信部、受信部に 8 段 FIFO バッファ内蔵
- 最初のシステムワード区間のみ SSIWS がハイレベルとなるマルチチャネルモード（TDM モード）をサポートします。
- SSIWS を停止せずに動作するモード（WS コンティニュモード）をサポートします。
- 転送中にサンプリング周波数が切り替わった場合、CPU へ割り込みで通知します。

図 19.1 にブロック図を示します。

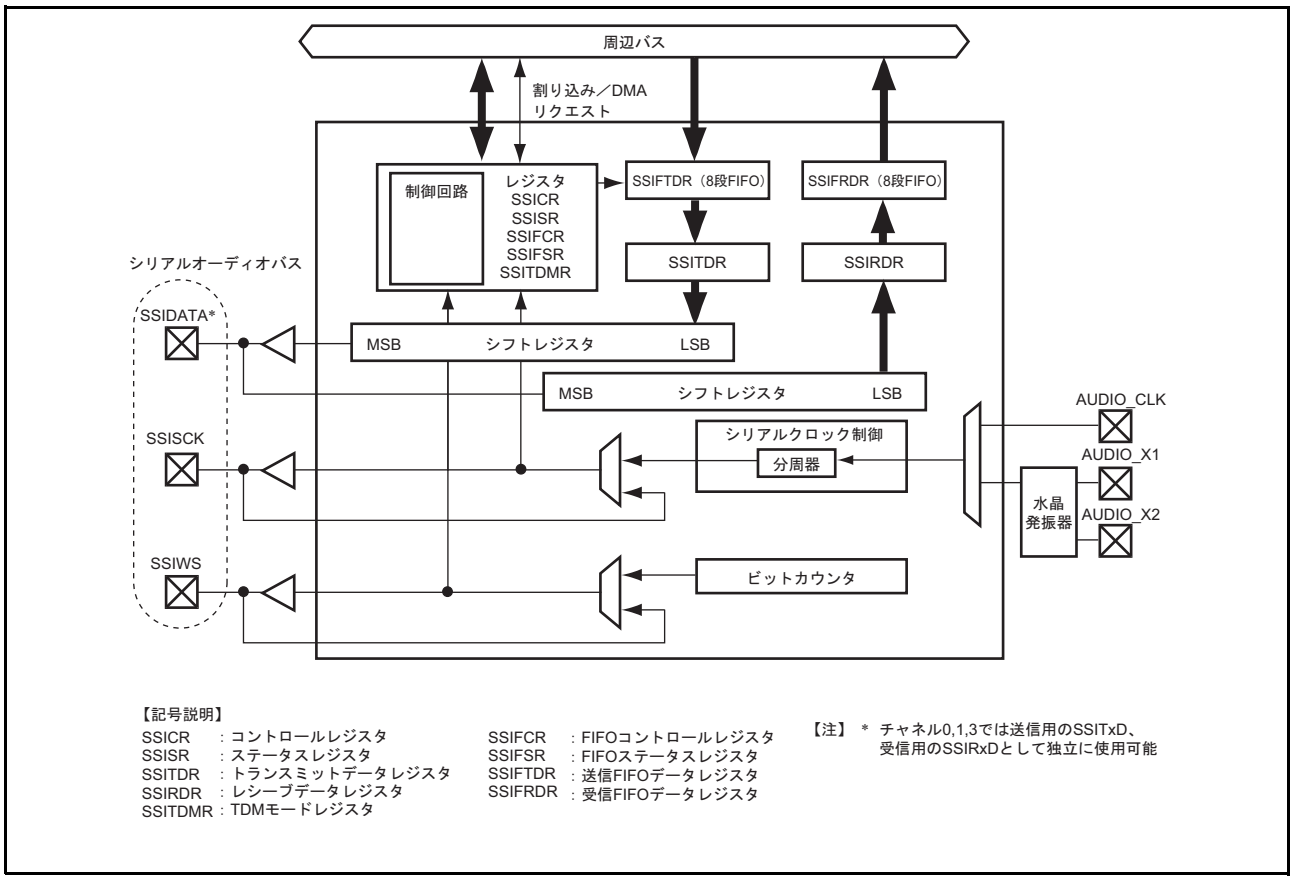


図 19.1　ブロック図

19.2 入出力端子

表 19.1 に端子構成を示します。

表 19.1　端子構成

チャネル	名称	入出力	機　能
0、1、3	SSISCK0（注1）（注3）、SSISCK1（注1）（注3） SSISCK3（注1）（注3）	入出力	シリアルビットクロック
	SSIWS0（注1）（注3）、SSIWS1（注1）（注3） SSIWS3（注1）（注3）	入出力	ワード選択
	SSITxD0、SSITxD1 SSITxD3	出力	シリアルデータ出力
	SSIRxD0（注1）、SSIRxD1（注1） SSIRxD3（注1）	入力	シリアルデータ入力
2	SSISCK2（注1）（注3）	入出力	シリアルビットクロック
	SSIWS2（注1）（注3）	入出力	ワード選択
	SSIDATA2（注1）	入出力	シリアルデータ入出力
共通	AUDIO_CLK（注2）	入力	オーディオ用外部クロック （オーバサンプルクロックを入力）
	AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック （オーバサンプルクロックを入力）
	AUDIO_X2	出力	

注1.　スレーブモード時は、入力経路に存在するノイズキャンセラ機能の使用有無を選択できます。
詳細は「41.　汎用入出力ポート」の「41.3.15　シリアルサウンドインタフェースノイズキャンセラ制御レジスタ（SNCR）」を参照してください。

注2.　SCUXのピンモードレジスタ（SSIPMD_CIM）のビットSSInCKS（n=0～3）を1に設定すると、AUDIO_CLKとしてMLB_CLKが使用されます。詳細は「37.　SCUX」の「37.3.70　SSIピンモードレジスタ（SSIPMD_CIM）」および「37.4.4　SSIFの端子接続仕様」を参照してください。

注3.　SSIF1、SSIF2、SSIF3はSSIF0のSSISCK0/SSIWS0をおのおののSSISCK/SSIWSとして使用することができます。詳細は「37.　SCUX」の「37.3.70　SSIピンモードレジスタ（SSIPMD_CIM）」および「37.4.4　SSIFの端子接続仕様」を参照してください。
なお、マスタのSSIF0のSSISCK/SSIWSをSSIF1、SSIF2、SSIF3が使用する場合は、ノイズキャンセラ機能を使用することはできません。

19.3 レジスタの説明

表 19.2 にレジスタ構成を示します。また本文中では、チャネルによる区別を省略して説明しています。

表 19.2　レジスタ構成

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
0	コントロールレジスタ 0	SSICR_0	R/W	H'00000000	H'E820B000	32
	ステータスレジスタ 0	SSISR_0	R/W (注 1)	H'02000013	H'E820B004	32
	FIFO コントロールレジスタ 0	SSIFCR_0	R/W	H'00000000	H'E820B010	32
	FIFO ステータスレジスタ 0	SSIFSR_0	R/(W) (注 2)	H'00010000	H'E820B014	32
	送信 FIFO データレジスタ 0	SSIFTDR_0	W	不定	H'E820B018	32
	受信 FIFO データレジスタ 0	SSIFRDR_0	R	不定	H'E820B01C	32
	TDM モードレジスタ 0	SSITDMR_0	R/W	H'00000000	H'E820B020	32
	FC コントロールレジスタ 0	SSIFCCR_0	R/W	H'00000000	H'E820B024	32
	FC モードレジスタ 0	SSIFCMR_0	R/W	H'00000000	H'E820B028	32
	FC ステータスレジスタ 0	SSIFCSR_0	R/(W) (注 3)	H'00000000	H'E820B02C	32
1	コントロールレジスタ 1	SSICR_1	R/W	H'00000000	H'E820B800	32
	ステータスレジスタ 1	SSISR_1	R/W (注 1)	H'02000013	H'E820B804	32
	FIFO コントロールレジスタ 1	SSIFCR_1	R/W	H'00000000	H'E820B810	32
	FIFO ステータスレジスタ 1	SSIFSR_1	R/(W) (注 2)	H'00010000	H'E820B814	32
	送信 FIFO データレジスタ 1	SSIFTDR_1	W	不定	H'E820B818	32
	受信 FIFO データレジスタ 1	SSIFRDR_1	R	不定	H'E820B81C	32
	TDM モードレジスタ 1	SSITDMR_1	R/W	H'00000000	H'E820B820	32
	FC コントロールレジスタ 0	SSIFCCR_1	R/W	H'00000000	H'E820B824	32
	FC モードレジスタ 0	SSIFCMR_1	R/W	H'00000000	H'E820B828	32
	FC ステータスレジスタ 0	SSIFCSR_1	R/(W) (注 3)	H'00000000	H'E820B82C	32
2	コントロールレジスタ 2	SSICR_2	R/W	H'00000000	H'E820C000	32
	ステータスレジスタ 2	SSISR_2	R/W (注 1)	H'02000013	H'E820C004	32
	FIFO コントロールレジスタ 2	SSIFCR_2	R/W	H'00000000	H'E820C010	32
	FIFO ステータスレジスタ 2	SSIFSR_2	R/(W) (注 2)	H'00010000	H'E820C014	32
	送信 FIFO データレジスタ 2	SSIFTDR_2	W	不定	H'E820C018	32
	受信 FIFO データレジスタ 2	SSIFRDR_2	R	不定	H'E820C01C	32
	TDM モードレジスタ 2	SSITDMR_2	R/W	H'00000000	H'E820C020	32
	FC コントロールレジスタ 2	SSIFCCR_2	R/W	H'00000000	H'E820C024	32
	FC モードレジスタ 2	SSIFCMR_2	R/W	H'00000000	H'E820C028	32
	FC ステータスレジスタ 2	SSIFCSR_2	R/(W) (注 3)	H'00000000	H'E820C02C	32

チャネル	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
3	コントロールレジスタ 3	SSICR_3	R/W	H'00000000	H'E820C800	32
	ステータスレジスタ 3	SSISR_3	R/W (注 1)	H'02000013	H'E820C804	32
	FIFO コントロールレジスタ 3	SSIFCR_3	R/W	H'00000000	H'E820C810	32
	FIFO ステータスレジスタ 3	SSIFSR_3	R/(W) (注 2)	H'00010000	H'E820C814	32
	送信 FIFO データレジスタ 3	SSIFTDR_3	W	不定	H'E820C818	32
	受信 FIFO データレジスタ 3	SSIFRDR_3	R	不定	H'E820C81C	32
	TDM モードレジスタ 3	SSITDMR_3	R/W	H'00000000	H'E820C820	32
	FC コントロールレジスタ 3	SSIFCCR_3	R/W	H'00000000	H'E820C824	32
	FC モードレジスタ 3	SSIFCMR_3	R/W	H'00000000	H'E820C828	32
	FC ステータスレジスタ 3	SSIFCSR_3	R/(W) (注 3)	H'00000000	H'E820C82C	32

注1.　本レジスタのビット 29～26 は読み出し／書き込み可能ですが、それ以外のビットは読み出し専用です。詳細は、「19.3.2 ステータスレジスタ（SSISR）」を参照してください。

注2.　本レジスタのビット 16 とビット 0 はフラグをクリアするために 0 のみ書き込むことができます。それ以外のビットは読み出し専用です。詳細は、「19.3.6　FIFO ステータスレジスタ（SSIFSR）」を参照してください。

注3.　本レジスタのビット 24 はフラグをクリアするために 0 のみ書き込むことができます。それ以外のビットは読み出し専用です。詳細は、「19.3.12　FC ステータスレジスタ（SSIFCSR）」を参照してください。

19.3.1　コントロールレジスタ（SSICR）

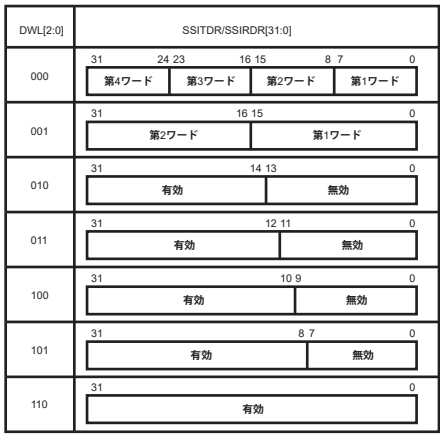
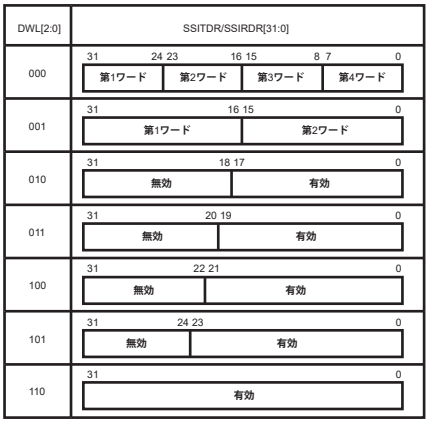
SSICR は、読み出し／書き込み可能な 32 ビットのレジスタで、IRQ の制御、各極性の状態の選択、動作モードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	-	CHNL[1:0]		DWL[2:0]			SWL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL	CKDV[3:0]				MUEN	-	TEN	REN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31	—	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
30	CKS	0	R/W	オーバサンプルクロック選択 オーバサンプルクロックの供給源を選択します。 0：AUDIO_X1入力 1：AUDIO_CLK入力
29	TUIEN	0	R/W	送信アンダフロー割り込みイネーブル 0：アンダフロー割り込みを禁止 1：アンダフロー割り込みを許可
28	TOIEN	0	R/W	送信オーバフロー割り込みイネーブル 0：オーバフロー割り込みを禁止 1：オーバフロー割り込みを許可
27	RUIEN	0	R/W	受信アンダフロー割り込みイネーブル 0：アンダフロー割り込みを禁止 1：アンダフロー割り込みを許可
26	ROIEN	0	R/W	受信オーバフロー割り込みイネーブル 0：オーバフロー割り込みを禁止 1：オーバフロー割り込みを許可
25	IIEN	0	R/W	アイドルモード割り込みイネーブル 0：アイドルモード割り込みを禁止 1：アイドルモード割り込みを許可
24	—	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
23、22	CHNL[1:0]	00	R/W	チャネル 【TDM＝0のとき】 各システムワードのチャネル数を示します。 00：各システムワードは1チャネルで構成されています。 01：各システムワードは2チャネルで構成されています。 10：各システムワードは3チャネルで構成されています。 11：各システムワードは4チャネルで構成されています。 【TDM＝1のとき】 TDMフレームのシステムワード数を示します。 00：設定禁止 01：TDMフレームは4システムワードで構成されています。 10：TDMフレームは6システムワードで構成されています。 11：TDMフレームは8システムワードで構成されています。

<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説　　明</th></tr>
<tr><td>21 ～ 19</td><td>DWL[2:0]</td><td>000</td><td>R/W</td><td>データワード長
データワードのビット数を示します。
000：8ビット
001：16ビット
010：18ビット
011：20ビット
100：22ビット
101：24ビット
110：32ビット
111：設定禁止</td></tr>
<tr><td>18 ～ 16</td><td>SWL[2:0]</td><td>000</td><td>R/W</td><td>システムワード長
システムワードのビット数を示します。
000：8ビット
001：16ビット
010：24ビット
011：32ビット
100：48ビット
101：64ビット
110：128ビット
111：256ビット</td></tr>
<tr><td>15</td><td>SCKD</td><td>0</td><td>R/W</td><td>シリアルビットクロック方向
0：シリアルビットクロック入力、スレーブモード
1：シリアルビットクロック出力、マスタモード
注.　（SCKD、SWSD）＝（0、0）と（1、1）の設定のみ可能です。それ以外の設定は禁止です。</td></tr>
<tr><td>14</td><td>SWSD</td><td>0</td><td>R/W</td><td>シリアルWS方向
0：シリアルワード選択入力、スレーブモード
1：シリアルワード選択出力、マスタモード
注.　（SCKD、SWSD）＝（0、0）と（1、1）の設定のみ可能です。それ以外の設定は禁止です。</td></tr>
<tr><td>13</td><td>SCKP</td><td>0</td><td>R/W</td><td>シリアルビットクロック極性
0：SSIWSとSSIDATAはSSISCKの立ち下がりエッジで変化
（SCK立ち上がりエッジでサンプリング）
1：SSIWSとSSIDATAはSSISCKの立ち上がりエッジで変化
（SCK立ち下がりエッジでサンプリング）
<table>
<tr><th></th><th>SCKP＝0</th><th>SCKP＝1</th></tr>
<tr><td>受信時
SSIDATA入力サンプリングタイミング</td><td>SSISCK
立ち上がりエッジ</td><td>SSISCK
立ち下がりエッジ</td></tr>
<tr><td>送信時
SSIDATA出力変化タイミング</td><td>SSISCK
立ち下がりエッジ</td><td>SSISCK
立ち上がりエッジ</td></tr>
<tr><td>スレーブモード時（SWSD＝0）
SSIWS　入力サンプリングタイミング</td><td>SSISCK
立ち上がりエッジ</td><td>SSISCK
立ち下がりエッジ</td></tr>
<tr><td>マスタモード時（SWSD＝1）
SSIWS　出力変化タイミング</td><td>SSISCK
立ち下がりエッジ</td><td>SSISCK
立ち上がりエッジ</td></tr>
</table></td></tr>
<tr><td>12</td><td>SWSP</td><td>0</td><td>R/W</td><td>シリアルWS極性
【TDM＝0のとき】
0：SSIWSは第1チャネルではローレベル、第2チャネルではハイレベル
1：SSIWSは第1チャネルではハイレベル、第2チャネルではローレベル
【TDM＝1のとき】
0：SSIWSはシステムワード1の区間のみハイレベル、それ以外ではローレベル
1：設定禁止</td></tr>
<tr><td>11</td><td>SPDP</td><td>0</td><td>R/W</td><td>シリアルパディング極性
本ビットはパディングビットの極性の指定と、WSコンティニュモードの転送禁止期間中、MUEN＝0の場合にSSITxD端子が出力する値の指定に使用します。
0：パディングビットはローレベル
1：パディングビットはハイレベル</td></tr>
<tr><td>10</td><td>SDTA</td><td>0</td><td>R/W</td><td>シリアルデータアライメント
0：シリアルデータ、パディングビットの順に送受信
1：パディングビット、シリアルデータの順に送受信</td></tr>
</table>

ビット	ビット名	初期値	R/W	説　　明
9	PDTA	0	R/W	パラレルデータアライメント データワード長が32ビットのとき、このビットは意味を持ちません。 このビットは、受信モード時のSSIRDRと送信モード時のSSITDRに適用します。 【データワード長が8、16ビットのとき】 0：パラレルデータ（SSITDR、SSIRDR）の下位側を先行して送受信 1：パラレルデータ（SSITDR、SSIRDR）の上位側を先行して送受信 【データワード長が18、20、22、24ビットのとき】 0：パラレルデータ（SSITDR、SSIRDR）を左詰め 1：パラレルデータ（SSITDR、SSIRDR）を右詰め • PDTA = 0  • PDTA = 1  注.　SCUXとのダイレクト転送時、このビットは意味をもちません。 SCUX側のSWAP機能を使用してください。
8	DEL	0	R/W	シリアルデータディレイ 0：SSIWSとSSIDATA間で1クロックサイクルの遅延 1：SSIWSとSSIDATA間の遅延なし

ビット	ビット名	初期値	R/W	説　　明
7 ～ 4	CKDV[3:0]	0000	R/W	シリアルオーバサンプルクロック分周比 オーバサンプルクロック（AUDIOφ）に対するシリアルビットクロックの分周比を設定します。SCKD＝0のとき、これらのビットは無視されます。シリアルビットクロックはシフトレジスタで使われ、SSISCK端子から供給されます。 0000：AUDIOφ 0001：AUDIOφ/2 0010：AUDIOφ/4 0011：AUDIOφ/8 0100：AUDIOφ/16 0101：AUDIOφ/32 0110：AUDIOφ/64 0111：AUDIOφ/128 1000：AUDIOφ/6 1001：AUDIOφ/12 1010：AUDIOφ/24 1011：AUDIOφ/48 1100：AUDIOφ/96 1101：設定禁止 1110：設定禁止 1111：設定禁止
3	MUEN	0	R/W	ミュートイネーブル 本ビットは送信動作中のミュート状態の指定と、WSコンティニュモードの転送禁止期間中、SSITxD端子が出力する値の指定に使用します。 0：本モジュールはミュート状態でない 1：本モジュールはミュート状態 注.　ミュート状態では、出力するシリアルデータを0に置き換えますが、モジュール内部のデータ転送は停止しません。送信FIFOのデータ数は減少していきますので、送信アンダフローを発生させないためには、SSIFTDRにダミーデータを書き込んでください。
2	—	0	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
1	TEN	0	R/W	送信イネーブル 0：送信動作を禁止 1：送信動作を許可 注.　SCUXのSSIコントロールレジスタ(SSICTRL_CIM)により送信停止、開始を制御する場合、本ビットの設定は0としてください。
0	REN	0	R/W	受信イネーブル 0：受信動作を禁止 1：受信動作を許可 注.　SCUXのSSIコントロールレジスタ(SSICTRL_CIM)により受信停止、開始を制御する場合、本ビットの設定は0としてください。

19.3.2 ステータスレジスタ（SSISR）

SSISR は、本モジュールの動作状態を示すステータスフラグと、現在のチャネル番号とワード番号を示すビットで構成されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	-	-	-	-	-	-	-	-	-
初期値：	不定	不定	0	0	0	0	1	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	TCHNO[1:0]		TSWNO	RCHNO[1:0]		RSWNO	IDST
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	0	0	1	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

【注】 * 読み出し／書き込み可能。0を書き込むビットは初期化されますが、1の書き込みは無視されます。

ビット	ビット名	初期値	R/W	説　明
31、30	—	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に0にしてください。
29	TUIRQ	0	R/(W)*	送信アンダフローエラー割り込みステータスフラグ 本ステータスフラグは要求ルートにより低いレートで送信データが供給されたことを示します。 このビットは、TUIENビットの設定にかかわらず1にセットされます。0にクリアするには、0を書き込んでください。 TUIRQ＝1かつTUIEN＝1のとき、SSII割り込みを発生します。 TUIRQ＝1のとき、送信する前にSSITDRに送信データが書き込まれなかったことを示しています。これにより同じデータが1回多く送信される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。結果として間違ったSSIデータが出力されます。 注. アンダフローエラーが発生すると、次のデータが書き込まれるまで、データバッファ中にあるデータが送信されます。
28	TOIRQ	0	R/(W)*	送信オーバフローエラー割り込みステータスフラグ 本ステータスフラグは要求ルートより高いレートで送信データが供給されたことを示します。 このビットは、TOIENビットの設定にかかわらず1にセットされます。0にクリアするには、0を書き込んでください。 TOIRQ＝1かつTOIEN＝1のとき、SSII割り込みを発生します。 TOIRQ＝1のとき、送信FIFOがフル（TDC＝H'8）の状態でSSIFTDRへの書き込みが発生したことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。
27	RUIRQ	0	R/(W)*	受信アンダフローエラー割り込みステータスフラグ 本ステータスフラグは要求レートより低いレートで受信データが供給されたことを示します。 このビットは、RUIENビットの設定にかかわらず1にセットされます。0にクリアするには、0を書き込んでください。 RUIRQ＝1かつRUIEN＝1のとき、SSII割り込みを発生します。 RUIRQ＝1のとき、受信FIFOが空（RDC＝H'0）の状態でSSIFRDRが読み出されたことを示しています。このとき、無効な受信データが格納される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。
26	ROIRQ	0	R/(W)*	受信オーバフローエラー割り込みステータスフラグ 本ステータスフラグは要求レートより高いレートで受信データが供給されたことを示します。 このビットはROIENビットの設定にかかわらず1にセットされます。0にクリアするには、0を書き込んでください。 ROIRQ＝1かつROIEN＝1のとき、SSII割り込みを発生します。 ROIRQ＝1のとき、SSIRDRに、新しい未読データが書き込まれる前に以前の未読データが読み出されなかったことを示しています。これによりデータが損失される可能性があり、マルチチャネルデータの破壊につながる恐れがあります。 注. オーバフローエラーが発生すると、データバッファ中にあるデータは、SSIインタフェースから送られてくる次のデータに上書きされます。

ビット	ビット名	初期値	R/W	説　　明
25	IIRQ	1	R	アイドルモード割り込みステータスフラグ 本ステータスフラグは本モジュールがアイドル状態であるかどうかを示します。ポーリングを可能にするため、このビットは、IIEN ビットの設定にかかわらず 1 にセットされます。 割り込みは、IIEN ビットを 0 にクリアすることでマスクできますが、このビットに 0 を書き込んでも割り込みをクリアできません。 IIRQ＝1 かつ IIEN＝1 のとき、SSII 割り込みを発生します。 0：本モジュールはアイドル状態でない 1：本モジュールはアイドル状態
24 ～ 7	―	不定	R	リザーブビット 読み出し値は不定です。書き込む値は常に 0 にしてください。
6、5	TCHNO [1:0]	00	R	送信チャネル番号 現在のチャネルを示します。 このビットには、SSITDR にどのチャネルのデータを書き込むべきかを表します。データがシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。 TDM＝1 または CONT＝1 の場合は、本ビットは使用できません。
4	TSWNO	1	R	送信シリアルワード番号 現在のワード番号を示します。 このビットには、SSITDR にどちらかのシステムワードを書き込むべきかを表します。データをシフトレジスタにコピーされると、SSITDR に書き込まれたかどうかにかかわらず、この値は変化します。 TDM＝1 または CONT＝1 の場合は、本ビットは使用できません。
3、2	RCHNO [1:0]	00	R	受信チャネル番号 現在のチャネルを示します。 このビットは、SSIRDR 内の現在のデータがどのチャネルのものかを表します。シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。 TDM＝1 または CONT＝1 の場合は、本ビットは使用できません。
1	RSWNO	1	R	受信シリアルワード番号 現在のワード番号を示します。 このビットは、SSIRDR 内の現在のデータがどちらのシステムワードであるかを表します。SSIRDR が読み出されたかどうかにかかわらず、シフトレジスタからの転送により SSIRDR 中のデータが更新されるとこの値は変化します。 TDM＝1 または CONT＝1 の場合は、本ビットは使用できません。
0	IDST	1	R	アイドルモードステータスフラグ 本ステータスフラグはシリアルバスが停止した状態であることを示します。 TEN＝1 または REN＝1 の状態でシリアルバスが動作中のとき、このビットはクリアされます。 このビットは TEN、REN がともにクリアされ、現在のシステムワードの通信が終了すると、自動的に 1 にセットされます。 注.　現在のシステムワードが終了する前に外部デバイスがシリアルバスクロックを停止すると、このビットはセットされません。

注　*　読み出し／書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

19.3.3　トランスミットデータレジスタ（SSITDR）

SSITDR は、32 ビットのレジスタで、送信するデータを格納します。SSITDR へ格納する送信データは送信 FIFO データレジスタから自動的に転送されます。

本レジスタに書き込まれたデータは、送信の要求があると、シフトレジスタに転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSITDR の読み出し／書き込みをすることはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

19.3.4　レシーブデータレジスタ（SSIRDR）

SSIRDR は、32 ビットのレジスタで、受信したデータを格納します。SSIRDR に格納された受信データは受信 FIFO データレジスタへ自動的に転送されます。

本レジスタのデータは、データワードが受信されるごとにシフトレジスタから転送されます。データワード長が 32 ビット未満のとき、アライメントは SSICR の PDTA コントロールビットの設定に従って行われます。

CPU から SSIRDR の読み出し／書き込みをすることはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

19.3.5　FIFO コントロールレジスタ（SSIFCR）

SSIFCR は、送信および受信 FIFO データレジスタのデータトリガ数、リセットおよび割り込み要求イネーブルの設定を行うレジスタです。また、SSIFCR は、常に CPU による読み出し／書き込みが可能です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	TTRG[1:0]		RTRG[1:0]		TIE	RIE	TFRST	RFRST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7、6	TTRG[1:0]	00	R/W	送信データ数トリガ 送信動作時に、FIFOステータスレジスタ（SSIFSR）のTDEフラグをセットする基準となる送信データ数（指定送信トリガ数）を設定します。送信FIFOデータレジスタ（SSIFTDR）に格納された送信データ数が以下に示す設定トリガ数以下になったときTDEフラグは1にセットされます。 00：7（1）（注1） 01：6（2）（注1） 10：4（4）（注1） 11：2（6）（注1） 注1.　（　）内の数値はTDEフラグが1にセットされるときのSSIFTDRレジスタの空き段数を意味します。
5、4	RTRG[1:0]	00	R/W	受信データ数トリガ 受信動作時に、FIFOステータスレジスタ（SSIFSR）のRDFフラグをセットする基準となる受信データ数（指定受信トリガ数）を設定します。受信FIFOデータレジスタ（SSIFRDR）に格納された受信データ数が以下に示す設定トリガ数以上になったときRDFフラグは1にセットされます。 00：1 01：2 10：4 11：6
3	TIE	0	R/W	送信インタラプトイネーブル 送信動作時に、送信FIFOデータレジスタ（SSIFTDR）からトランスミットデータレジスタ（SSITDR）へシリアル送信データが転送され、送信FIFOデータレジスタのデータ数が指定送信トリガ数より少なくなり、FIFOステータスレジスタ（SSIFSR）のTDEフラグが1にセットされたときに、送信データエンプティ割り込み（TXI）要求の発生を許可／禁止します。 0：送信データエンプティ割り込み（TXI）要求を禁止 1：送信データエンプティ割り込み（TXI）要求を許可（注1） 注1.　TXIの解除は、TDEフラグの0クリア（詳細はTDEビットの説明参照）か、TIEを0にクリアすることで行うことができます。
2	RIE	0	R/W	受信インタラプトイネーブル 受信動作時に、FIFOステータスレジスタ（SSIFSR）のRDFフラグが1にセットされたときの受信データフル割り込み（RXI）要求の発生を許可／禁止します。 0：受信データフル割り込み（RXI）要求を禁止 1：受信データフル割り込み（RXI）要求を許可（注1） 注1.　RXI割り込み要求の解除は、RDFフラグの0クリア（詳細はRDFビットの説明参照）か、RIEビットを0にクリアすることで行えます。
1	TFRST	0	R/W	送信FIFOデータレジスタリセット 送信FIFOデータレジスタ内のデータを無効にし、データを空の状態にリセットします。 0：リセット動作を禁止（注1） 1：リセット動作を許可 注1.　パワーオンリセット時にはリセット動作が行われます。

ビット	ビット名	初期値	R/W	説　　明
0	RFRST	0	R/W	受信FIFOデータレジスタリセット 受信FIFOデータレジスタ内のデータを無効にし、データを空の状態にリセットします。 0：リセット動作を禁止（注1） 1：リセット動作を許可 注1.　パワーオンリセット時にはリセット動作が行われます。

19.3.6 FIFO ステータスレジスタ（SSIFSR）

SSIFSR は、送信および受信 FIFO データレジスタの動作状態を示すステータスフラグで構成されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	TDC[3:0]				-	-	-	-	-	-	-	TDE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	RDC[3:0]				-	-	-	-	-	-	-	RDF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/(W)*

ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27 ～ 24	TDC[3:0]	0000	R	SSIFTDRに格納されたデータ数を示します。 H'0は送信データがないことを、H'8は32バイトの送信データがSSIFTDRに格納されていることを示します。
23 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	TDE	1	R/(W)*	送信データエンプティ 送信FIFOデータレジスタ（SSIFTDR）からトランスミットデータレジスタ（SSITDR）にデータが転送され、SSIFTDRのデータ数がFIFOコントロールレジスタ（SSIFCR）のTTRG[1:0]で指定した送信トリガデータ数より少なくなり、SSIFTDRへの送信データの書き込みが許可されることを示します。 0：SSIFTDRの送信データ数が指定送信トリガ数より多いことを表示 [クリア条件] • 指定送信トリガ数より多いデータをSSIFTDRに書き込み、TDEに0を書き込んだとき • 送信データエンプティ割り込み（TXI）によりダイレクトメモリアクセスコントローラを起動し、指定送信トリガ数より多いデータをSSIFTDRに書き込んだとき 1：SSIFTDRの送信データ数が指定送信トリガ数以下であること（注1）を表示 [セット条件] • パワーオンリセット • SSIFTDRに格納された送信データ数が指定送信トリガ数以下になったとき 注1.　SSIFTDRは8段のFIFOレジスタであるため、TDE＝1の状態で書き込むことができるデータの最大数は「8から指定した送信トリガ数を引いた数」になります。それ以上のデータを書き込もうとしてもデータは無視されます。SSIFTDRのデータ数はSSIFSRのTDCビットで示されます。
15 ～ 12	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 ～ 8	RDC[3:0]	0000	R	SSIFRDRに格納されたデータ数を示します。 H'0は受信データがないことを、H'8は32バイトの受信データがSSIFRDR格納されていることを示します。
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
0	RDF	0	R/(W)*	受信データフル 受信データが受信FIFOデータレジスタ（SSIFRDR）に転送され、SSIFRDRのデータ数がFIFOコントロールレジスタ（SSIFCR）のRTRG[1:0]で指定した受信トリガ数より多くなったことを示します。 0：SSIFRDRの受信データ数が指定受信トリガ数より少ないことを表示 ［クリア条件］ • パワーオンリセット • RFRSTに1を書き込んで受信FIFOを空にした後、RDFに0を書き込んだとき • SSIFRDRの受信データ数が指定受信トリガ数より少なくなるまでSSIFRDRを読み出し、RDFに0を書き込んだとき • 受信データフル割り込み（RXI）によりダイレクトメモリアクセスコントローラを起動し、SSIFRDRの受信データ数が指定受信トリガ数より少なくなるまでSSIFRDRを読み出したとき 1：SSIFRDRの受信データ数が指定受信トリガ数以上であることを表示 ［セット条件］ • 指定受信トリガ数以上の受信データ数がSSIFRDRに格納されるとき（注1） 注1.　SSIFRDRは8段のFIFOレジスタであるため、RDFが1のとき読み出すことができるデータの最大数は指定受信トリガ数となります。SSIFRDRのすべてのデータを読み出した後、さらに読み出しを続けるとデータは不定になります。SSIFRDRのデータ数はSSIFSRのRDCビットで示されます。

注　*　読み出し／書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

19.3.7　送信 FIFO データレジスタ（SSIFTDR）

SSIFTDR は、シリアル送信するデータを格納する 32 ビット ×8 段 FIFO レジスタです。SSI は、トランスミットデータレジスタ（SSITDR）の空を検出すると、SSIFTDR に書き込まれた送信データを SSITDR に転送してシリアル送信を開始します。SSIFTDR の送信データが空になるまで連続シリアル送信ができます。SSIFTDR は常に CPU による書き込みが可能です。

SSIFTDR が送信データでいっぱい（32 バイト）になると、次のデータを書き込むことができません。書き込みを試みてもデータは無視され、オーバフローとなります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

【注】＊ FIFO受信動作時は書き込みできません。

19.3.8　受信 FIFO データレジスタ（SSIFRDR）

SSIFRDR は、受信したシリアルデータを格納する 32 ビット ×8 段 FIFO レジスタです。本モジュールは、4 バイトのシリアルデータの受信が終了すると、レシーブデータレジスタ（SSIRDR）から SSIFRDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。32 バイトの格納が終了するまで連続した受信動作が可能です。CPU は SSIFRDR から読み出しはできますが書き込みはできません。受信 FIFO データレジスタに受信データがない状態でデータを読み出すと値は不定になり、受信アンダフローとなります。

SSIFRDR が受信データでいっぱいになると、それ以降に受信したシリアルデータは失われ、受信オーバフローとなります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

19.3.9　TDM モードレジスタ（SSITDMR）

SSITDMR は、読み出し／書き込み可能な 32 ビットのレジスタで、受信データのダイレクト転送時の MUTE 設定、TDM モードの設定、WS コンティニュモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	RXD MUTE	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	CONT	-	-	-	-	-	-	-	TDM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	RXDMUTE	0	R/W	受信ダイレクトデータ MUTE 設定 受信データをダイレクトにSCUXに出力する際、データを強制的に0にします。 0：受信したデータをそのまま出力します。 1：0データを出力します。
16	—	0	R/W	リザーブビット 常に0を書き込んでください。
15 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	CONT	0	R/W	WSコンティニュモード 0：WSコンティニュモードを禁止 1：WSコンティニュモードを許可 注.　マスタモード（SCKD＝1かつSWSD＝1）の場合のみ設定可能です。
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TDM	0	R/W	TDMモード 0：TDMモードを禁止 1：TDMモードを許可

19.3.10　FC コントロールレジスタ（SSIFCCR）

SSIFCR は、読み出し／書き込み可能な 32 ビットのレジスタで、周波数切り替え検出機能の設定を行います。

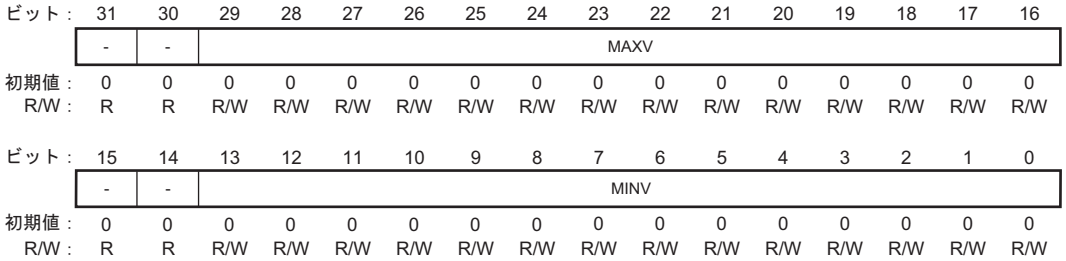
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	FIEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	FCEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	FIEN	0	R/W	周波数切り替え検出割り込みイネーブル 0：周波数切り替え検出割り込みを禁止 1：周波数切り替え検出割り込みを許可
15 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	FCEN	0	R/W	周波数切り替え検出機能イネーブル 本ビットの設定を1にすると、SSIWSのサイクル開始時より周辺クロック1（P1φ）でカウントアップを開始します。本ビットの設定を0にするとカウンタは0クリアされ、カウント動作は停止します。また、SSIWSの次サイクルが開始する度に現在のカウント値はSSIFCSR.VALUEに移され、カウンタは0クリアされたのちカウントアップを再開します。 0：周波数切り替え検出機能を禁止 1：周波数切り替え検出機能を許可 注．　SSICR,SSIFCMR,SSITDMRに所望の値を設定してから、1にしてください。

19.3.11　FC モードレジスタ（SSIFCMR）

SSIFCMR は、周波数切り替え検出機能を使用する際に、SSIWS 1 サイクルの間に、許容できる最大／最小の周辺クロック 1（P1φ）サイクル数を設定します。



ビット	ビット名	初期値	R/W	説　　明
31、30	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29 ～ 16	MAXV	0	R/W	MAX VALUE SSIFCCR.FCEN=1時、SSIWS 1サイクルの間に、許容できる最大の周辺クロック1（P1φ）サイクル数を設定します。
15、14	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13 ～ 0	MINV	0	R/W	MIN VALUE SSIFCCR.FCEN=1時、SSIWS 1サイクルの間に、許容できる最小の周辺クロック1（P1φ）サイクル数を設定します。

19.3.12　FC ステータスレジスタ（SSIFCSR）

SSIFCSR は、周波数切り替え検出機能のステータスフラグと、現在のカウント数で構成されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	FCIRQ	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/(W)*	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	VALUE													
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	FCIRQ	0	R/(W)*	周波数切り替え検出エラー割り込みステータスフラグ SSIFCCR.FCEN=1時、VALUE>SSIFCMR.MAXVまたは0<VALUE<SSIFCMR.MINVとなったことを示します。 このビットはSSIFCCR.FIENビットの設定にかかわらず1にセットされます。0にクリアするには、0を書き込んでください。 FCIRQ=1かつSSIFCCR.FIEN=1のとき、SSII割り込みを発生します。
23 ～ 14	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13 ～ 0	VALUE	0	R	VALUE SSIFCCR.FCEN=1時、SSIWS 1サイクルの間の周辺クロック1（P1φ）サイクル数を示します。SSIWSの次のサイクルが始まる度に更新されます。 注.　SSISCKが停止している状態ではSSIWSのサイクル開始を検知できないため、VALUEは更新されません。

注　*　読み出し／書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

19.4　動作説明

19.4.1　バスフォーマット

本モジュールは、トランスミッタとレシーバのいずれとしても動作でき、どちらのモードにおいても、多くのシリアルバスフォーマットを使用できます。

バスフォーマットは**表 19.3** に示す 12 個の主要なモードから選択できます。

表 19.3　バスフォーマット

	TEN	REN	SCKD	SWSD	TDM	MUEN	IIEN	TOIEN	TUIEN	ROIEN	RUIEN	CONT	SWSP	DEL	PDTA	SDTA	SPDP	SCKP	SWL [2:0]	DWL [2:0]	CHNL [1:0]
非圧縮スレーブレシーバ	0	1	0	0	0	コントロールビット							コンフィギュレーションビット								
非圧縮スレーブトランスミッタ	1	0	0	0	0																
非圧縮スレーブトランシーバ（注 1）	1	1	0	0	0																
非圧縮マスタレシーバ	0	1	1	1	0																
非圧縮マスタトランスミッタ	1	0	1	1	0																
非圧縮マスタトランシーバ（注 1）	1	1	1	1	0																
TDM スレーブレシーバ	0	1	0	0	1								0	コンフィギュレーションビット							
TDM スレーブトランスミッタ	1	0	0	0	1								0								
TDM スレーブトランシーバ（注 1）	1	1	0	0	1								0								
TDM マスタレシーバ	0	1	1	1	1								0								
TDM マスタトランスミッタ	1	0	1	1	1								0								
TDM マスタトランシーバ（注 1）	1	1	1	1	1								0								

注 1.　トランシーバで使用する際、TEN と REN は同時に 1 に設定してください。

19.4.2　非圧縮モード

非圧縮モードは、チャネルに分割されるシリアルオーディオストリームをサポートします。I²S 互換フォーマットだけでなく、多数の改良版にも対応しています。

(1)　スレーブレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(2)　スレーブトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(3)　スレーブトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。シリアルデータストリームに使われるクロックとワード選択信号は外部デバイスから供給されます。これらの信号が本モジュールに設定されたフォーマットと一致しないとき、動作は保証されません。

(4) マスタレシーバ

このモードでは、別のデバイスからシリアルデータを受信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールの設定に従います。別デバイスから送信されるデータが、設定されたフォーマットと一致しないとき、動作は保証されません。

(5) マスタトランスミッタ

このモードでは、別のデバイスにシリアルデータを送信できます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールのコンフィギュレーションビットの設定に従います。

(6) マスタトランシーバ

このモードでは、別のデバイスとのシリアルデータの送受信ができます。クロックとワード選択信号はオーバサンプルクロックから内部生成されます。これらの信号のフォーマットは本モジュールのコンフィギュレーションビットの設定に従います。

(7) 動作設定－ワード長関連

非圧縮モードでは、SSICR のワード長に関するすべてのビットが有効です。本モジュールは多数のコンフィギュレーションをサポートできますが、ここでは I²S 互換、MSB ファースト・左詰め、MSB ファースト・右詰めの各フォーマットについて説明します。

- I²S 互換フォーマット

図 19.2、図 19.3 に、パディングなしとパディングありの I²S 互換フォーマットをそれぞれ示します。データワード長がシステムワード長より短いときにパディングが発生します。

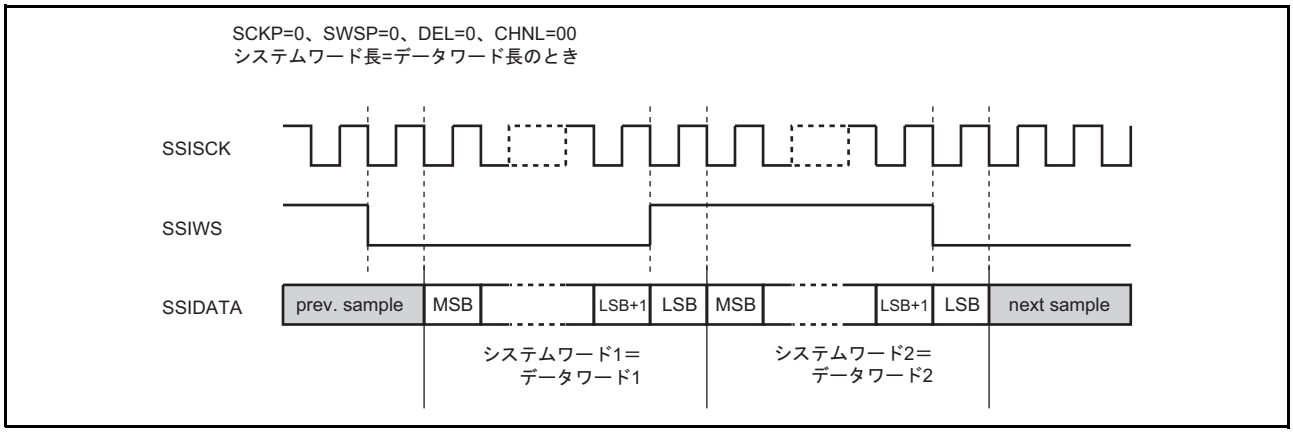


図 19.2　I²S 互換フォーマット（パディングなし）

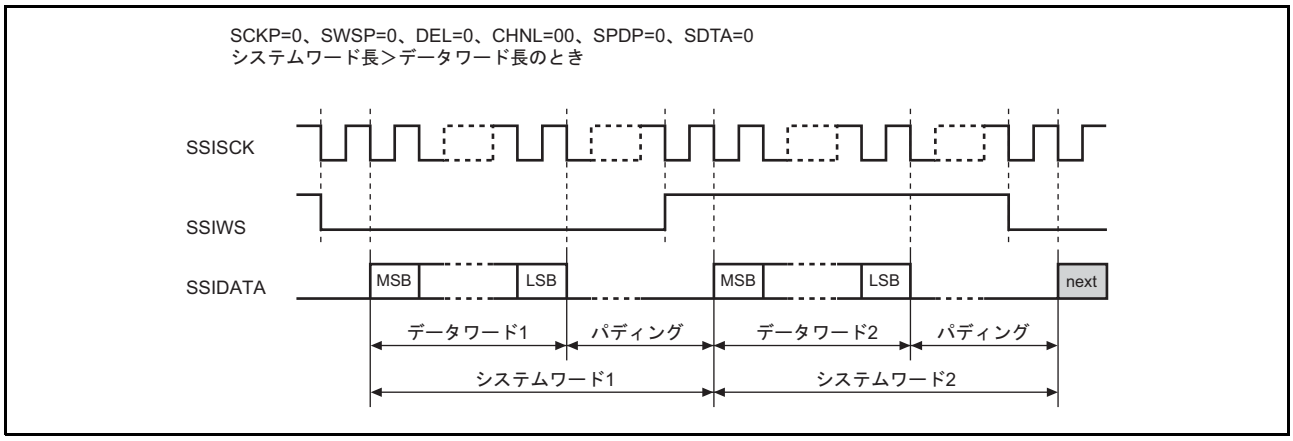


図 19.3　I²S 互換フォーマット（パディングあり）

図 19.4 に MSB ファースト・左詰めフォーマットを、図 19.5 に MSB ファースト・右詰めフォーマットを示します。

- MSB ファースト・左詰めフォーマット

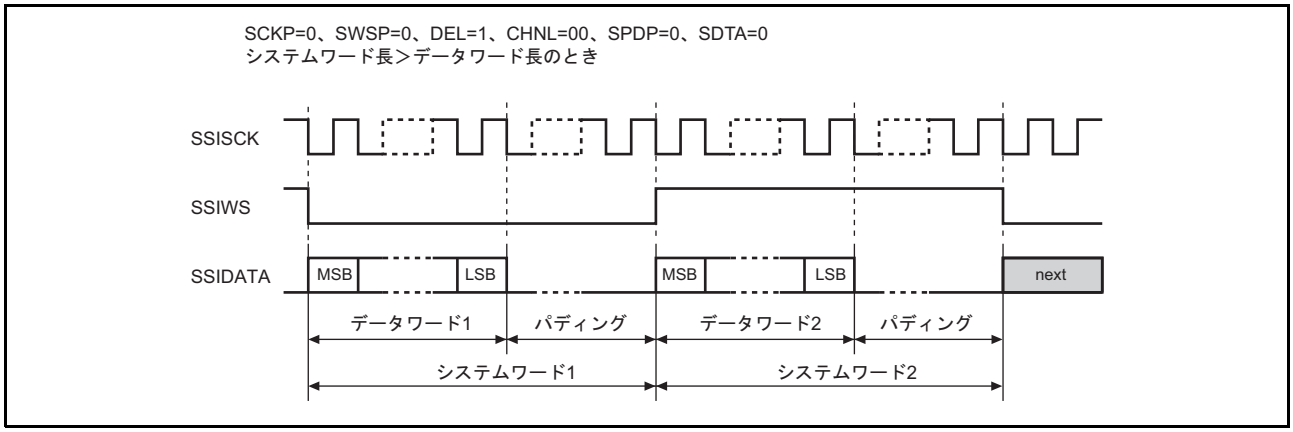


図 19.4　MSB ファースト・左詰めフォーマット（シリアルデータ、パディングビットの順に送受信）

- MSB ファースト・右詰めフォーマット

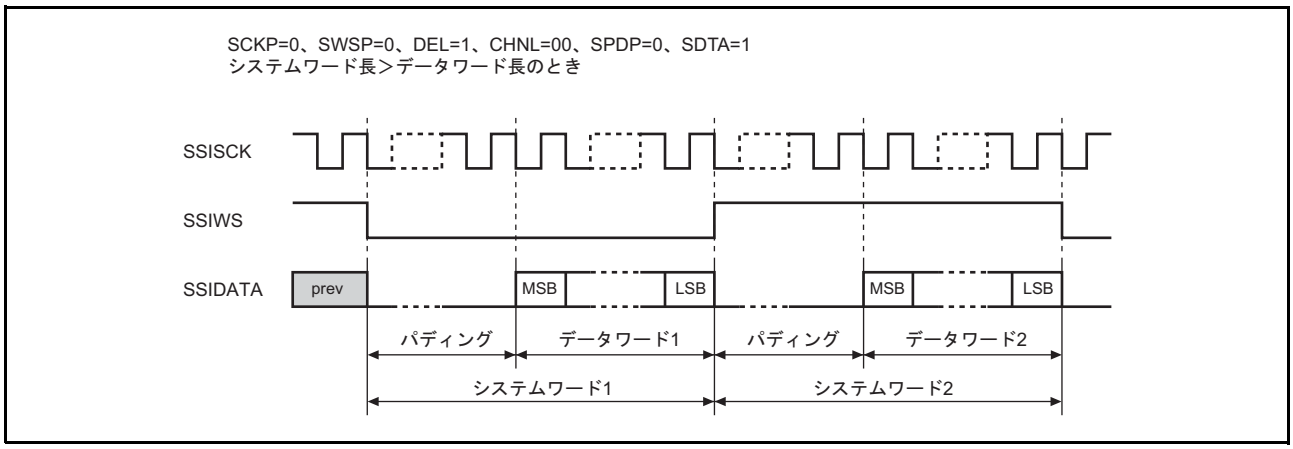


図 19.5　MSB ファースト・右詰めフォーマット（パディングビット、シリアルデータの順に送受信）

(8)　マルチチャネルフォーマット

I²S バス仕様の定義を拡張し、2 システムワード中に 2 より多いチャネルの転送を行うデバイスタイプもあります。

本モジュールは、CHNL、SWL および DWL ビットを使って、4、6、および 8 チャネルの転送を実行します。ただし、システムワード長（SWL）が、データワード長（DWL）にチャネル数（CHNL）を掛けたもの以上の長さの場合に限ります。

表 19.4 に有効な設定とパディングビット数を示します。有効ではない設定には数字の代わりに「－」が記入されています。

表 19.4　有効な設定とパディングビット数

システムワードごとのパディングビット数			DWL[2:0]	000	001	010	011	100	101	110
CHNL [1:0]	システムワードごとにデコードされるチャネル	SWL [2:0]	デコードされたワード長	8	16	18	20	22	24	32
00	1	000	8	0	—	—	—	—	—	—
		001	16	8	0	—	—	—	—	—
		010	24	16	8	6	4	2	0	—
		011	32	24	16	14	12	10	8	0
		100	48	40	32	30	28	26	24	16
		101	64	56	48	46	44	42	40	32
		110	128	120	112	110	108	106	104	96
		111	256	248	240	238	236	234	232	224
01	2	000	8	—	—	—	—	—	—	—
		001	16	0	—	—	—	—	—	—
		010	24	8	—	—	—	—	—	—
		011	32	16	0	—	—	—	—	—
		100	48	32	16	12	8	4	0	—
		101	64	48	32	28	24	20	16	0
		110	128	112	96	92	88	84	80	64
		111	256	240	224	220	216	212	208	192
10	3	000	8	—	—	—	—	—	—	—
		001	16	—	—	—	—	—	—	—
		010	24	0	—	—	—	—	—	—
		011	32	8	—	—	—	—	—	—
		100	48	24	0	—	—	—	—	—
		101	64	40	16	10	4	—	—	—
		110	128	104	80	74	68	62	56	32
		111	256	232	208	202	196	190	184	160
11	4	000	8	—	—	—	—	—	—	—
		001	16	—	—	—	—	—	—	—
		010	24	—	—	—	—	—	—	—
		011	32	0	—	—	—	—	—	—
		100	48	16	—	—	—	—	—	—
		101	64	32	0	—	—	—	—	—
		110	128	96	64	56	48	40	32	0
		111	256	224	192	184	176	168	160	128

本モジュールがトランスミッタとして動作する場合、SSITDR に書き込まれた各ワードは書き込まれた順にシリアルオーディオバスに送信されます。本モジュールがレシーバとして動作する場合、シリアルオーディオバスが受信した各ワードは SSIRDR から受信した順に読み出されます。

図 19.6 ～**図 19.8** に、4、6 および 8 チャネルのデータがどのようにシリアルオーディオバスに転送されるかを示します。**図 19.6** はパディングビットがない場合、**図 19.7** は左詰めの場合、**図 19.8** は右詰めの場合を示します。これらの例は、すべて任意の例です。

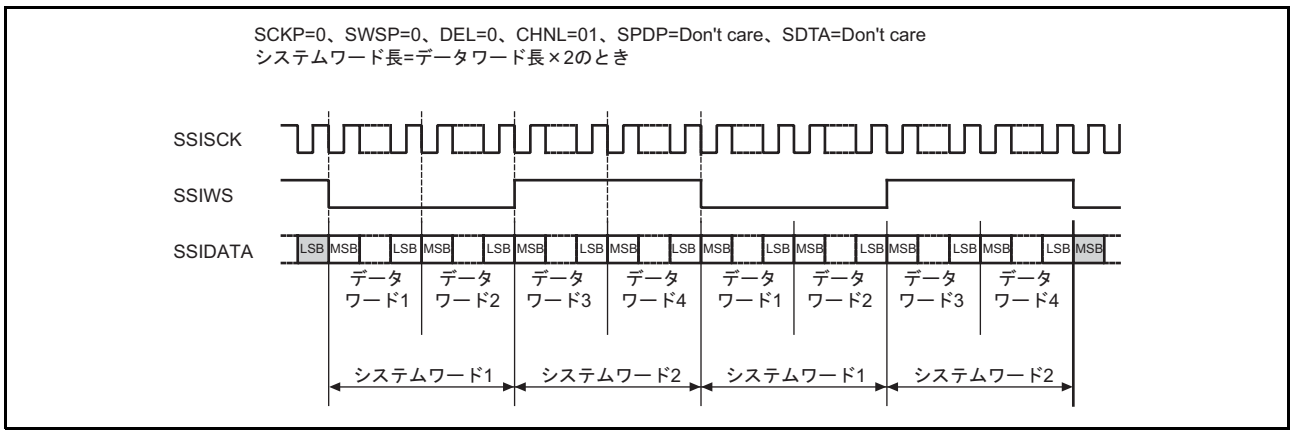


図 19.6　マルチチャネルフォーマット（4 チャネル、パディングなし）

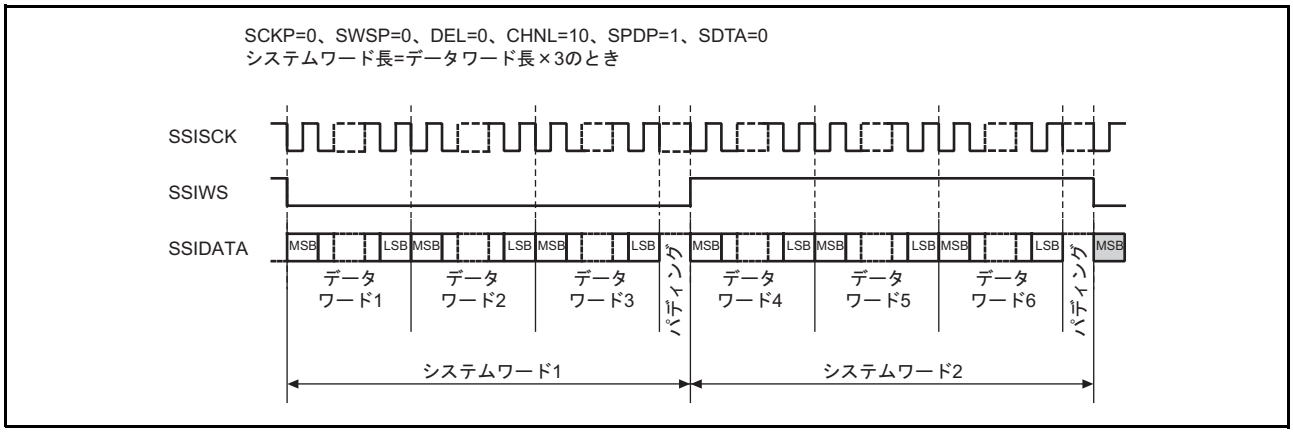


図 19.7　マルチチャネルフォーマット（6 チャネル、High パディング）

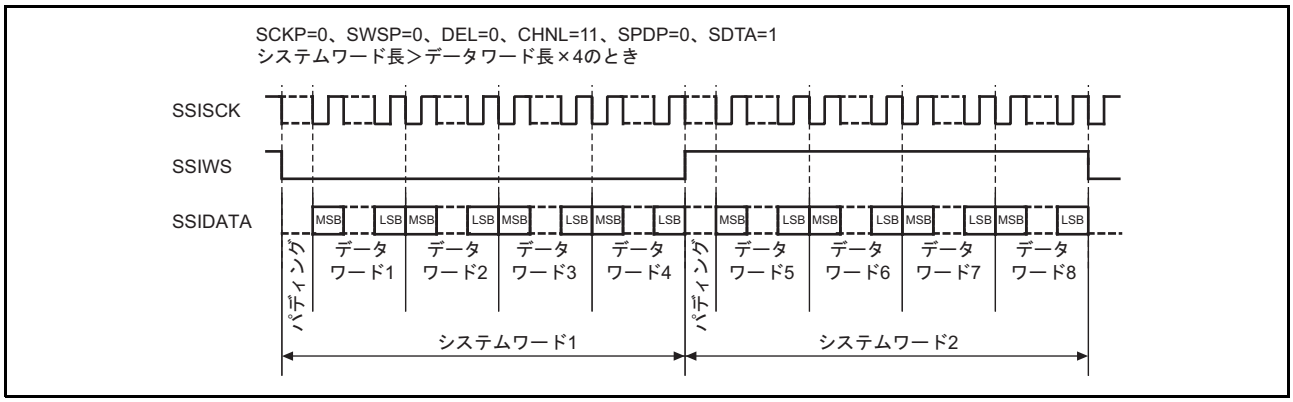


図 19.8　マルチチャネルフォーマット
（8 チャネル、パディングビット、シリアルデータの順に送受信、パディングあり）

(9)　動作設定フォーマット設定ビット

非圧縮モードの他のコンフィギュレーションビットを以下に示します。これらのビットはお互いに排他的ではありませんが、組み合わせによっては実用でない設定があります。

図 19.9 の基本のフォーマット例を参照しながら、これらのコンフィギュレーションビットを以下に説明します。

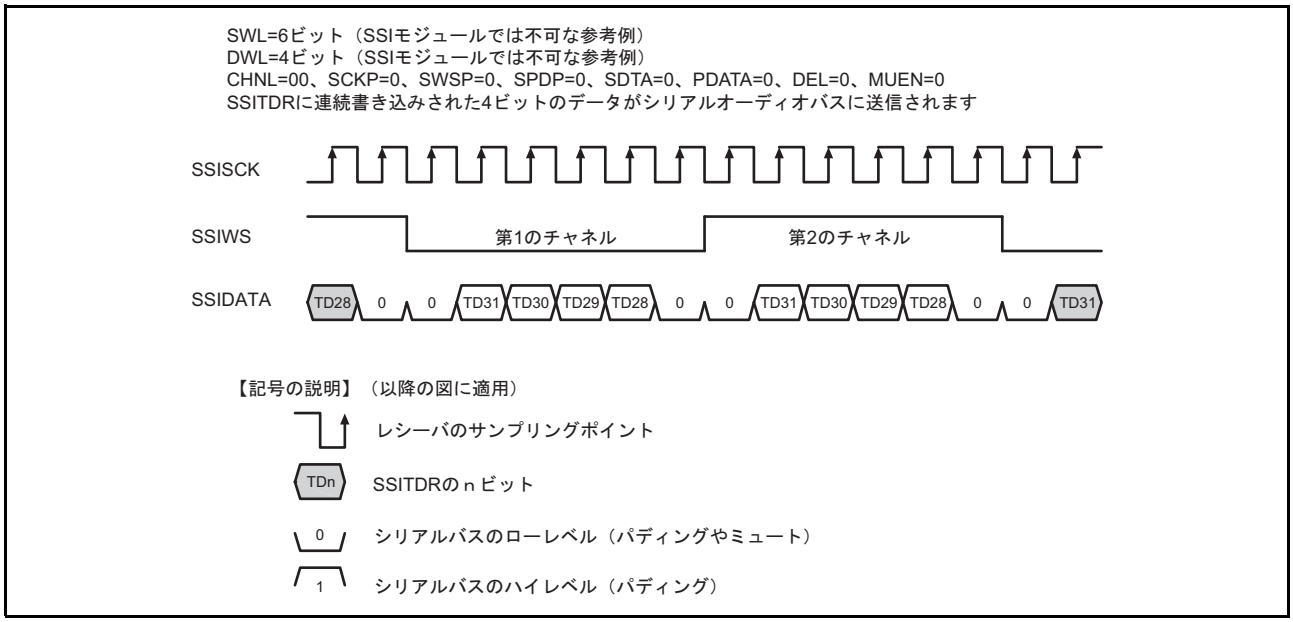


図 19.9　基本フォーマット例（送信モード、任意のシステム／データワード長）

図 19.9 の例では、6 ビットのシステムワードと 4 ビットのデータワードが使用されます。これらの設定は本モジュールでは実現不可能ですが、その他の設定ビットの説明のためにここでは例として用いています。

- 反転クロック

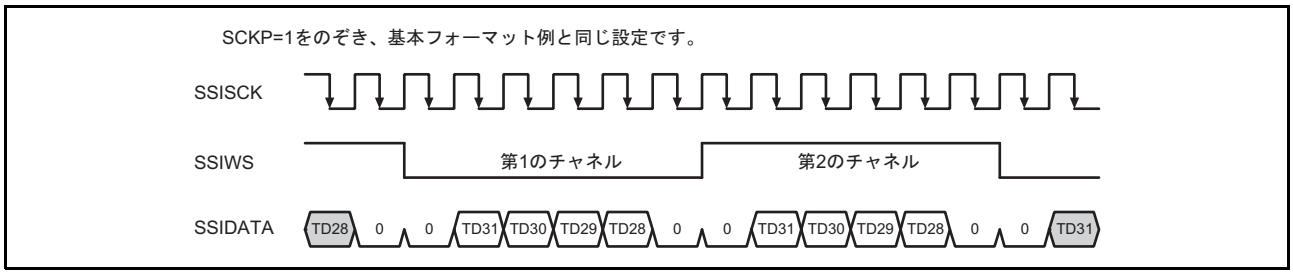


図 19.10　反転クロック

- 反転ワード選択信号

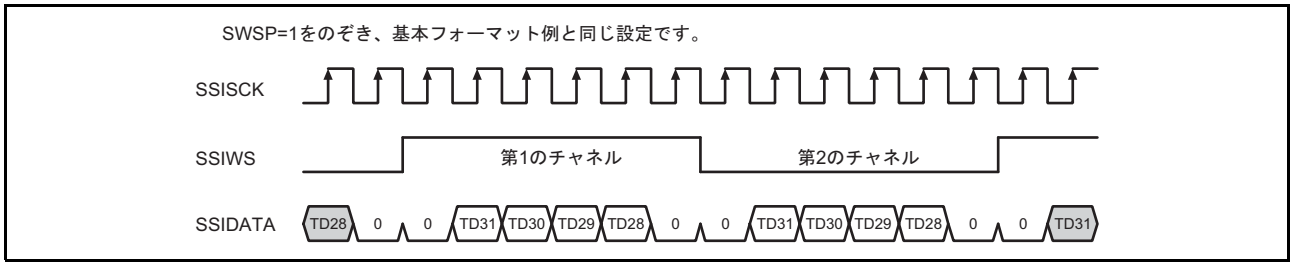


図 19.11　反転ワード選択信号

- 反転パディング極性

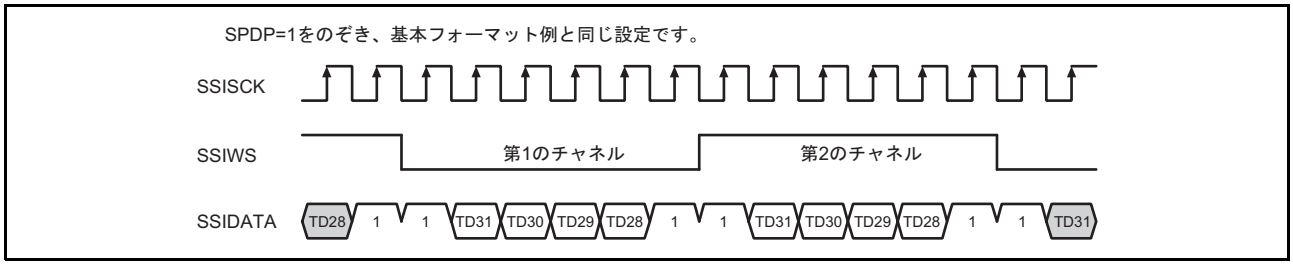


図 19.12　反転パディング極性

- パディングビット、シリアルデータの順に送受信、遅延あり

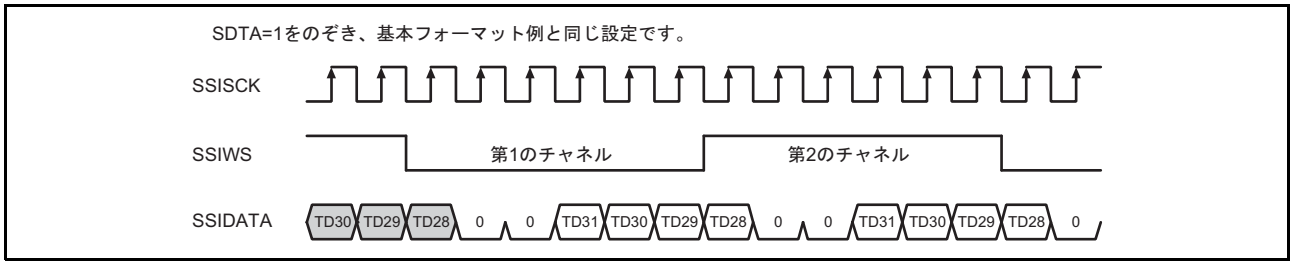


図 19.13　パディングビット、シリアルデータの順に送受信、遅延あり

- パディングビット、シリアルデータの順に送受信、遅延なし

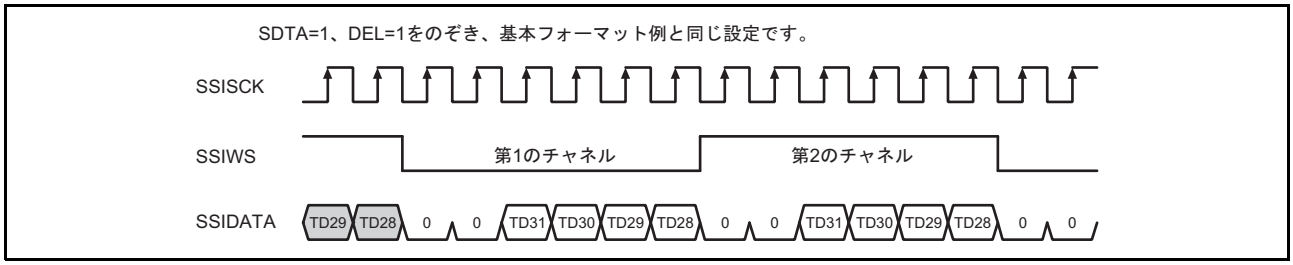


図 19.14　パディングビット、シリアルデータの順に送受信、遅延なし

- シリアルデータ、パディングビットの順に送受信、遅延なし

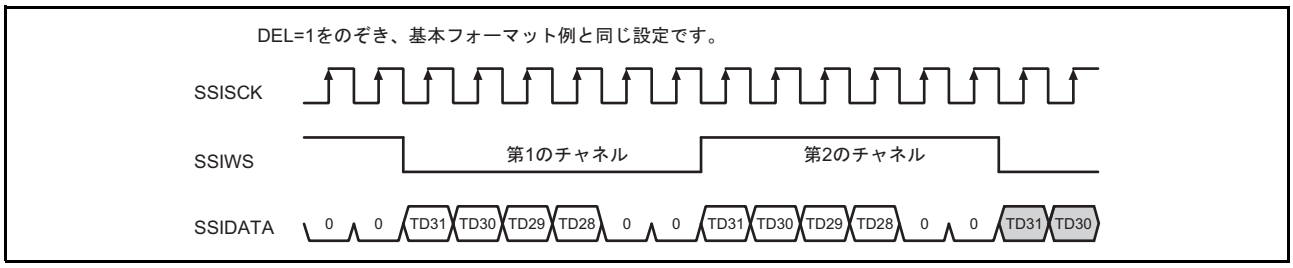


図 19.15　シリアルデータ、パディングビットの順に送受信、遅延なし

- パラレルデータの右詰め、遅延あり

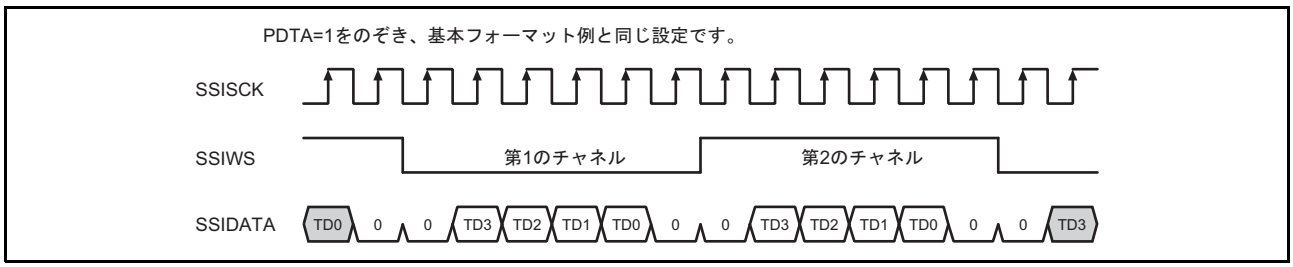


図 19.16　パラレルデータの右詰め、遅延あり

- ミュート有効

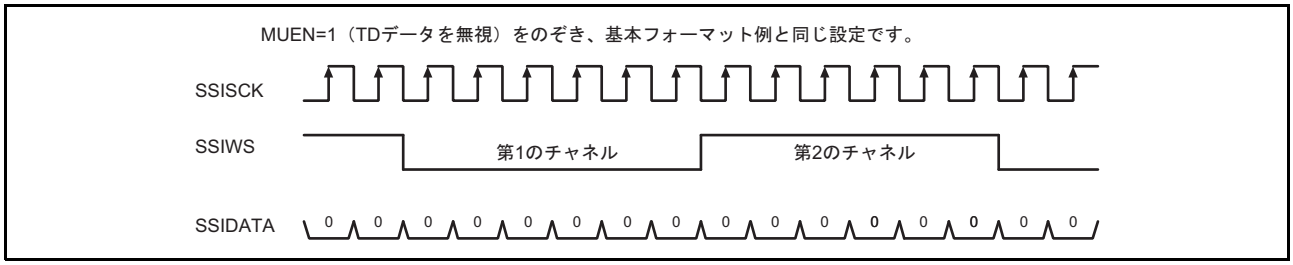


図 19.17　ミュート有効

19.4.3 TDM モード

TDM モードは、TDM 対応のマルチチャネル・デバイスと接続するためのモードです。このモードは TDM モードレジスタ（SSITDMR）の TDM ビットにて設定できます。このモードに設定すると、SSIWS 信号はシステムワード 1 の区間のみハイレベルとなり、それ以外の区間はローレベルになります。この SSIWS 信号に発生するパルスを SYNC パルスと定義します。なお、SYNC パルスは、正極性（システムワード 1 の区間のみハイレベル）のみで動作します。

図 19.18 にパディングなしの TDM フォーマットと**図 19.19** にパディングありの TDM フォーマットを示します。

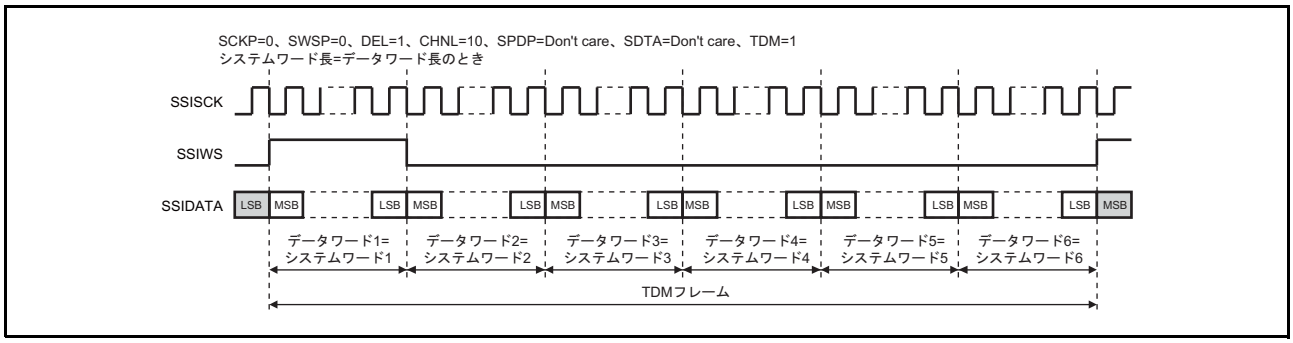


図 19.18　TDM フォーマット（6 システムワード、パディングなし）

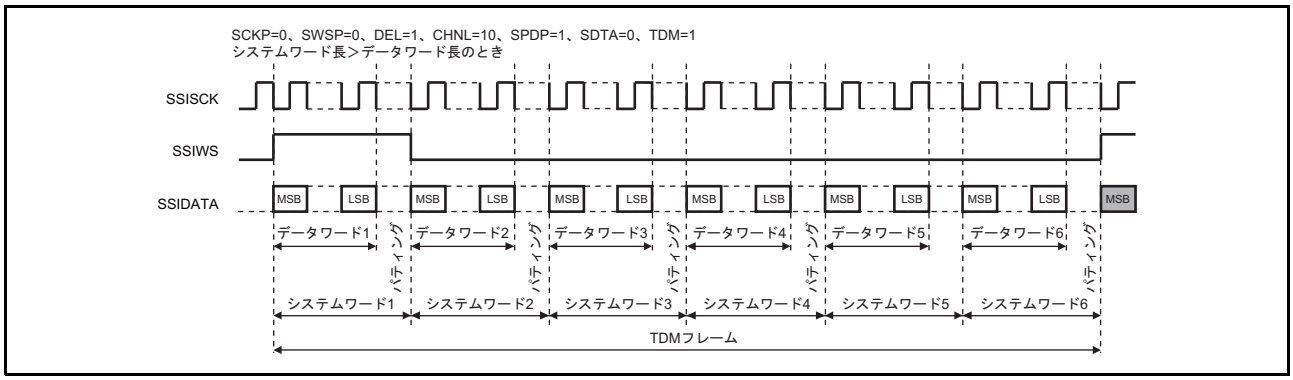


図 19.19　TDM フォーマット（6 システムワード、パディングあり）

19.4.4　WS コンティニュモード

WS コンティニュモードは、データ転送の許可 / 禁止に関係なく SSIWS 信号を出力し続けるモードです。このモードは TDM モードレジスタ（SSITDMR）の CONT ビットにて設定できます。このモードを許可すると、SSICR.TEN ビットおよび SSICR.REN ビットを 0 に設定（転送停止）しても SSIWS 信号は停止せず動作し続けます。なお、転送禁止期間中、SSITxD 端子は SSICR.MUEN=1 の場合は 0 を、SSICR.MUEN=0 の場合は SSICR.SPDP で設定した値を出力します。一方、このモードを禁止すると、SSICR.TEN ビットおよび SSICR.REN ビットをいずれも 0 に設定した場合は、SSIWS 信号が停止します。

図 19.20、図 19.21 に WS コンティニュモードの許可／禁止設定の動作を示します。

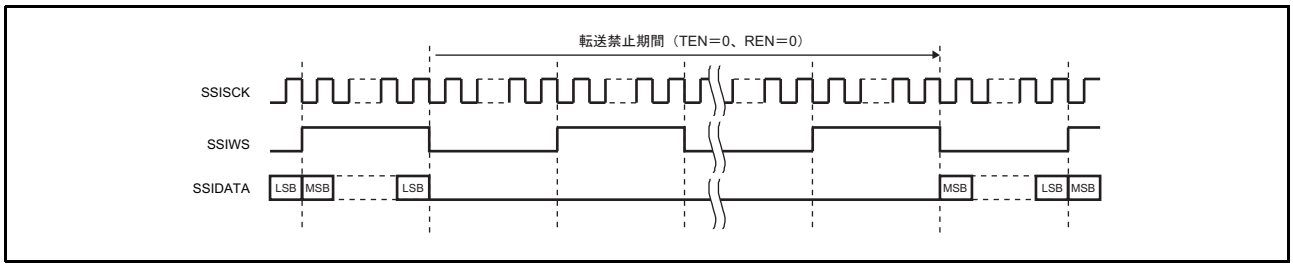


図 19.20　WS コンティニュモード許可

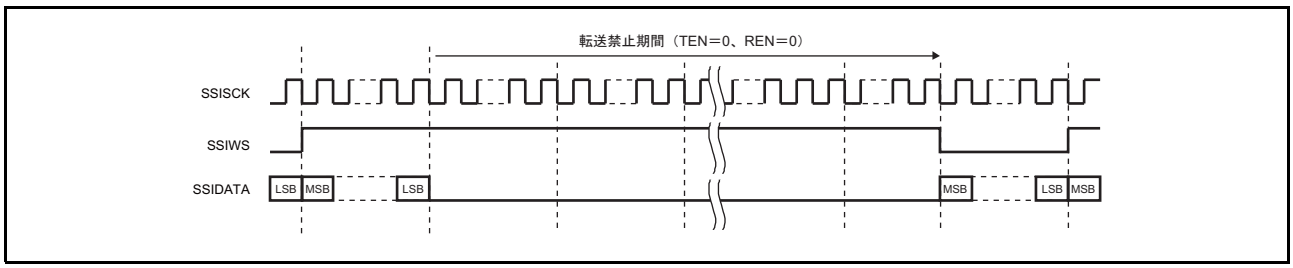


図 19.21　WS コンティニュモード禁止

19.4.5　動作モード

コンフィギュレーション、有効および無効の 3 つの動作モードがあります。図 19.22 に動作モードの遷移図を示します。

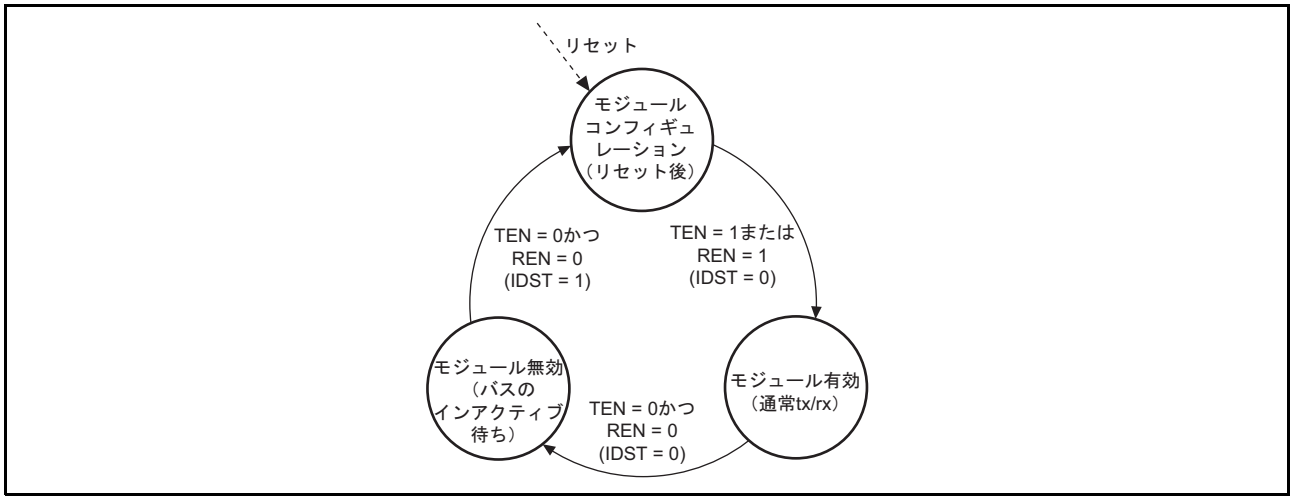


図 19.22　動作モード遷移図

(1)　コンフィギュレーションモード

リセット解除後にこのモードになります。本モジュールが TEN ビットまたは REN ビットのセットで有効になる前に、このモードでコントロールレジスタに必要な設定をする必要があります。

TEN ビットまたは REN ビットをセットすると、本モジュールはモジュール有効モードに遷移します。

(2)　モジュール有効モード

このモードの動作は選択された動作モードに依存しています。詳細については「19.4.6　送信動作」と「19.4.7　受信動作」を参照してください。

19.4.6 送信動作

送信は DMA 転送か割り込みで制御できます。

CPU 負荷を低減するという点では、DMA 制御の方が優れています。DMA 制御モードでは、データのアンダフローやオーバフローの発生時、または DMA 転送終了は、割り込みによって通知されます。

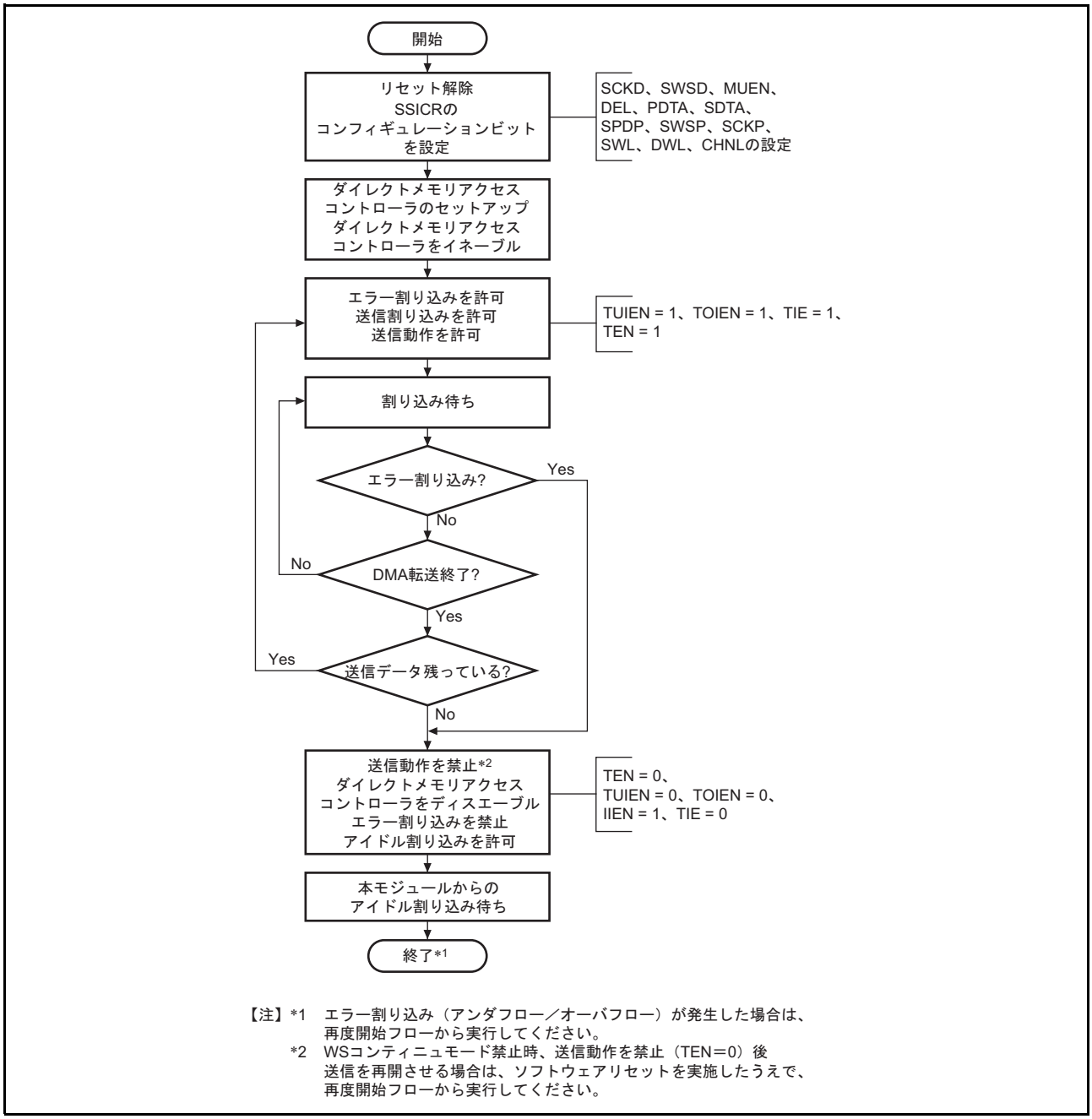
別の制御方法としては、必要に応じて本モジュールがデータ供給のために生成する割り込みを用いる方法があります。

本モジュールを無効にする場合、IIRQ ビットがアイドル状態を示すまでクロック（注 1）は供給され続けなければなりません。

図 19.23 に DMA 制御モードの送信動作を、図 19.24 に割り込み制御モードの送信動作を示します。

注 1. SCKD ＝ 0 のとき SSISCK 端子からの入力クロック
SCKD ＝ 1 のときオーバサンプルクロック

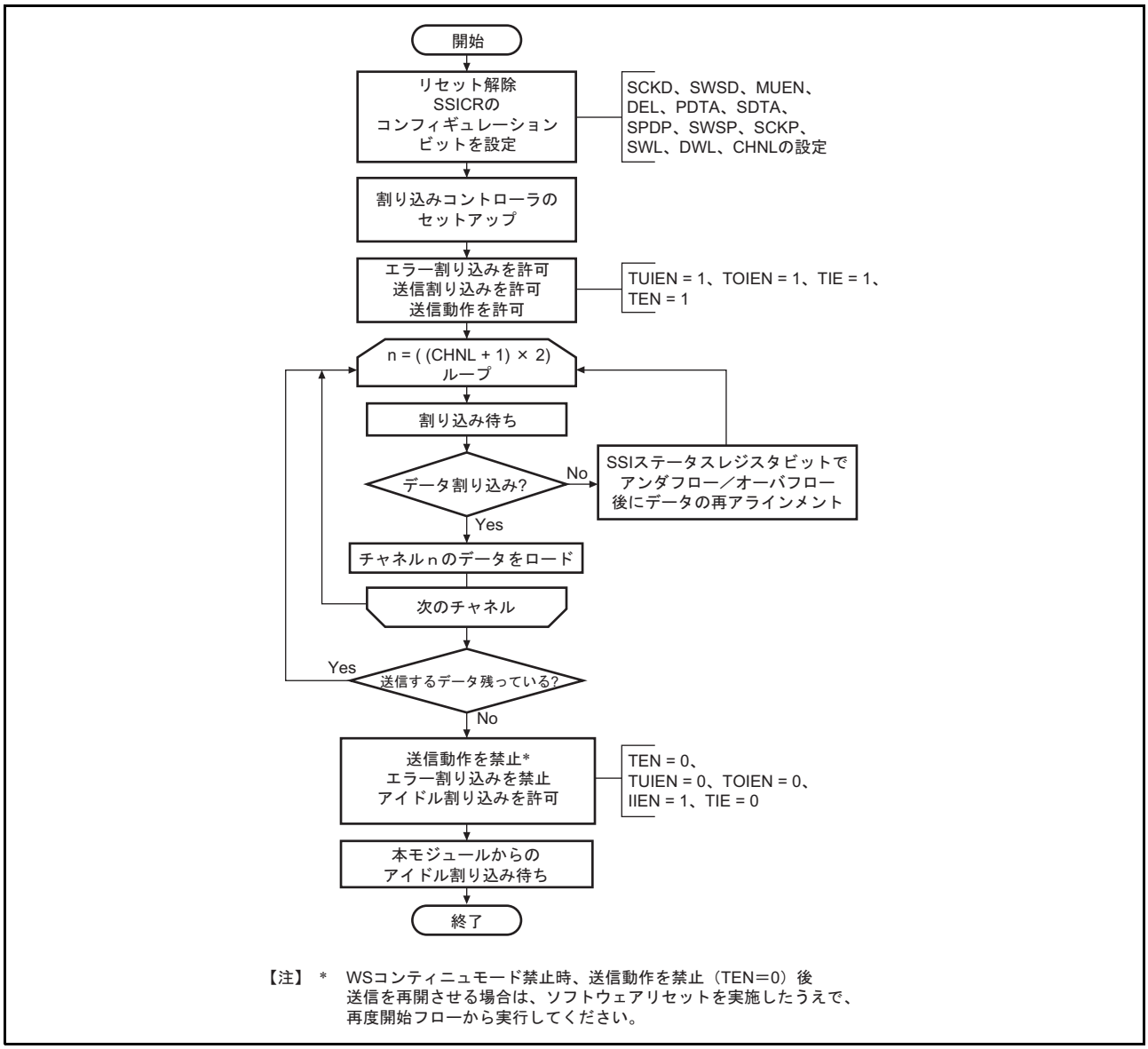
(1)　ダイレクトメモリアクセスコントローラを使用した送信



【注】*1　エラー割り込み（アンダフロー／オーバフロー）が発生した場合は、
再度開始フローから実行してください。
*2　WSコンティニュモード禁止時、送信動作を禁止（TEN＝0）後
送信を再開させる場合は、ソフトウェアリセットを実施したうえで、
再度開始フローから実行してください。

図 19.23　ダイレクトメモリアクセスコントローラを使用した送信

(2)　割り込みデータフロー制御を使用した送信



【注】 * WSコンティニュモード禁止時、送信動作を禁止（TEN=0）後
送信を再開させる場合は、ソフトウェアリセットを実施したうえで、
再度開始フローから実行してください。

図 19.24　割り込みデータフロー制御を使用した送信

19.4.7　受信動作

送信同様、受信も DMA 転送または割り込みで制御できます。

図 19.25、図 19.26 にそれぞれの動作フローチャートを示します。

本モジュールを無効にする場合、IIRQ ビットがアイドル状態を示すまでクロック（注 1）は供給され続けなければなりません。

注 1.　SCKD ＝ 0 のとき SSISCK 端子からの入力クロック
　　SCKD ＝ 1 のときオーバサンプルクロック

(1)　ダイレクトメモリアクセスコントローラを使用した受信

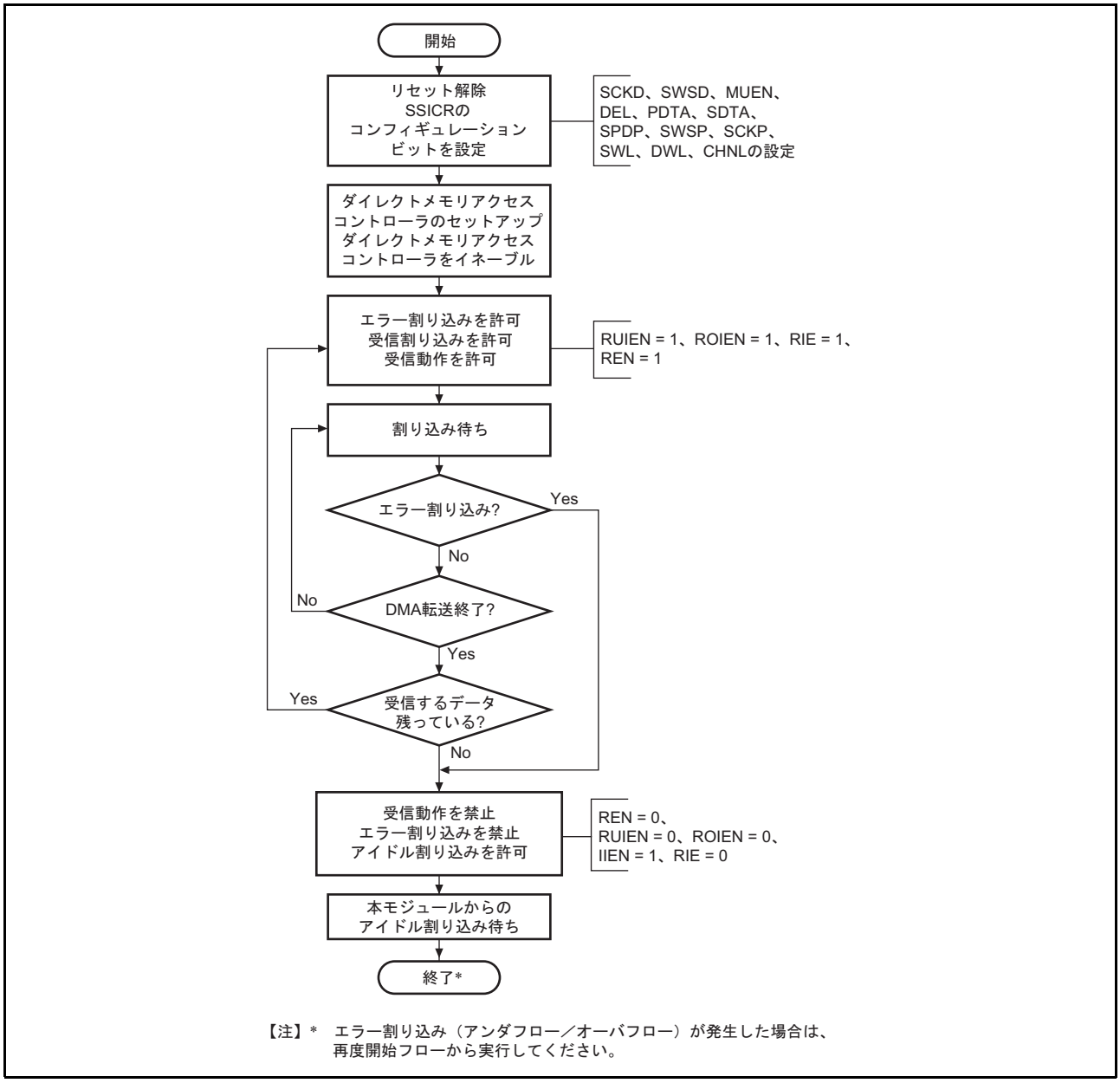


図 19.25　ダイレクトメモリアクセスコントローラを使用した受信

(2)　割り込みデータフロー制御を使用した受信

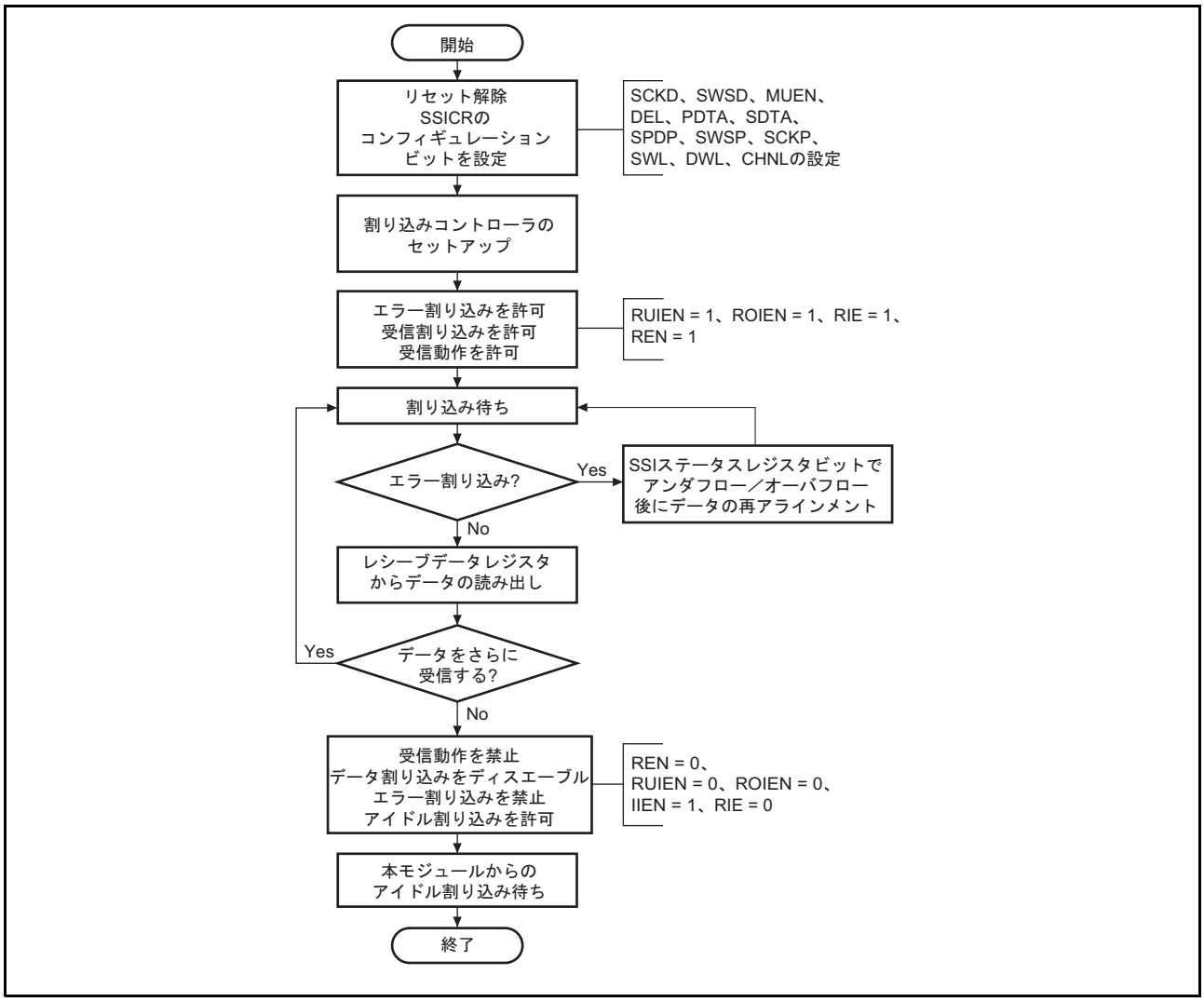


図 19.26　割り込みデータフロー制御を使用した受信

アンダフローやオーバフロー条件が一致した場合、送信時は TCHNO[1:0] ビットと TSWNO ビットを、受信時は RCHNO[1:0] ビットと RSWNO ビットを使って、本モジュールを一致する前の状態に回復できます。アンダフローやオーバフローが発生したら、ホスト CPU はチャネル数とシステムワード数を読み出すことで、シリアルオーディオストリームの到達した位置を知ることができます。トランスミッタとして動作する場合、本モジュールが次に送信する予定のデータに到達するまでホスト CPU は送信データをスキップすることが可能です。これにより、オーディオデータストリームと再び同期できます。レシーバとして動作する場合、本モジュールが次に受信すると示しているデータを格納できるようになるまでホスト CPU はヌルデータを格納することにより、受信データ数の整合性をとり、オーディオデータストリームと再び同期できます。

19.4.8　シリアルビットクロックコントロール

シリアルビットクロック機能を用いて、シリアルバスインタフェースで使われるクロックの制御と選択を行っています。

シリアルビットクロック方向が入力に設定されている場合（SCKD ＝ 0）、本モジュールはクロックスレーブモードであり、シフトレジスタが使うビットクロックは SSISCK 端子に入力されたクロックです。

シリアルビットクロック方向が出力に設定されている場合（SCKD ＝ 1）、本モジュールはクロックマスタモードであり、シフトレジスタが使うビットクロックはオーバサンプルクロックまたはそれを分周したクロックです。オーバサンプルクロックは、SSICR のシリアルオーバサンプルクロック分周比（CKDV）ビットで設定された比率で分周された後でシフトレジスタのビットクロックとして使われます。

上記のいずれの場合でも、SSISCK 端子の出力はビットクロックと同じになります。

19.5　使用上の注意事項

19.5.1　DMA 動作中にアンダフローまたはオーバフローが起こった場合の制限事項

DMA 動作中にアンダフローまたはオーバフローが起こった場合、モジュールの再起動が必要です。送信バッファおよび受信バッファは L チャネルと R チャネルが共用の 32 ビットのレジスタで構成しています。そのため、たとえばコントロールレジスタ（SSICR）のデータワード長（DWL2 ～ DWL0）が 32 ビットの設定で、システムワード長（SWL2 ～ SWL0）が 32 ビットの設定の場合、アンダフローまたはオーバフローが一度発生すると、L チャネルで送受信すべきデータを、R チャネルで送受信してしまうことがあります。

そこで、送信アンダフロー、送信オーバフロー、受信アンダフロー、受信オーバフローの 4 通りのエラー割り込み、またはこれらに対応するエラーステータスフラグ（SSISR の TUIRQ、TOIRQ、RUIRQ、ROIRQ の各ビット）によりエラーの発生を確認した場合、SSICR の TEN または REN ビットに 0 を書き込むことにより、DMA 転送要求を禁止して動作を停止させてください（このときダイレクトメモリアクセスコントローラの設定も停止させてください）。その後、受信動作時はエラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアし、再度ダイレクトメモリアクセスコントローラの設定を行い転送を再開してください。送信動作時はソフトウェアリセットを実施したうえで再度開始フローから実行してください。

19.5.2　マスタトランシーバからマスタレシーバへモードを切り替える場合の注意

WS コンティニュモード禁止（SSITDMR.CONT ＝ 0）の状態で、マスタトランシーバモードでの動作中に送信アンダフローが発生し、SSICR の TEN ビットに 0 を書き込んで送信動作を停止した場合、SSIWS 出力が途切れます。マスタレシーバモードへ切り替えた後も途切れることなく受信を続ける場合は、送信アンダフローが発生しないよう、SSIFTDR にダミーデータを書き込んでください。

19.5.3　TDM モード、WS コンティニュモードの制限事項

TDM モード、WS コンティニュモードの設定を切り替える場合、切り替え直後の SSISCK 信号、SSIWS 信号の動作は保証されません。接続するデバイスに影響する場合は、動的に設定を切り替えないでください。

WS コンティニュモード許可（SSITDMR.CONT ＝ 1）時、送信動作の一時停止、再開を行う際は、送信 FIFO データレジスタ (SSIFTDR) への書き込み回数を 2 の倍数で終了させたのち、送信アンダーフローのエラー割り込み、または対応するエラーステータスフラグ (SSISR.TUIRQ) によりエラーの発生を確認してから、SSISCR の TEN に 0 を書き込んでください。

なお、SSISCR.TEN=1 で送信アンダーフロー発生時は、SSIFTDR に書き込んだ最後のデータが繰り返し出力されますので、最後のデータはダミーデータを書き込むか、SSISCR の MUEN に 1 を書き込んでミュート

状態にしてください。

再開時はソフトウェアリセットの実施は行わず、エラーステータスフラグビットに 0 を書き込み、エラーステータスをクリアしたのち、アイドルモードステータスフラグ (SSISR.IDST) によりモジュールがアイドル状態であることを確認してから、SSICR の TEN に 1 を書き込んで動作を再開させてください。

20. メディア・ローカル・バス

本モジュールは、RZ/A1L にのみ搭載しています。

本製品には、MOST コントローラと接続するインタフェースとして、メディア・ローカル・バスを搭載しています。

20.1 特長

- 3 ピンのインタフェース
- 50Mbps（max）のデータ転送が可能

機能とレジスタについての詳細は、弊社の営業担当にご確認ください。

図 20.1 にブロック図を示します。

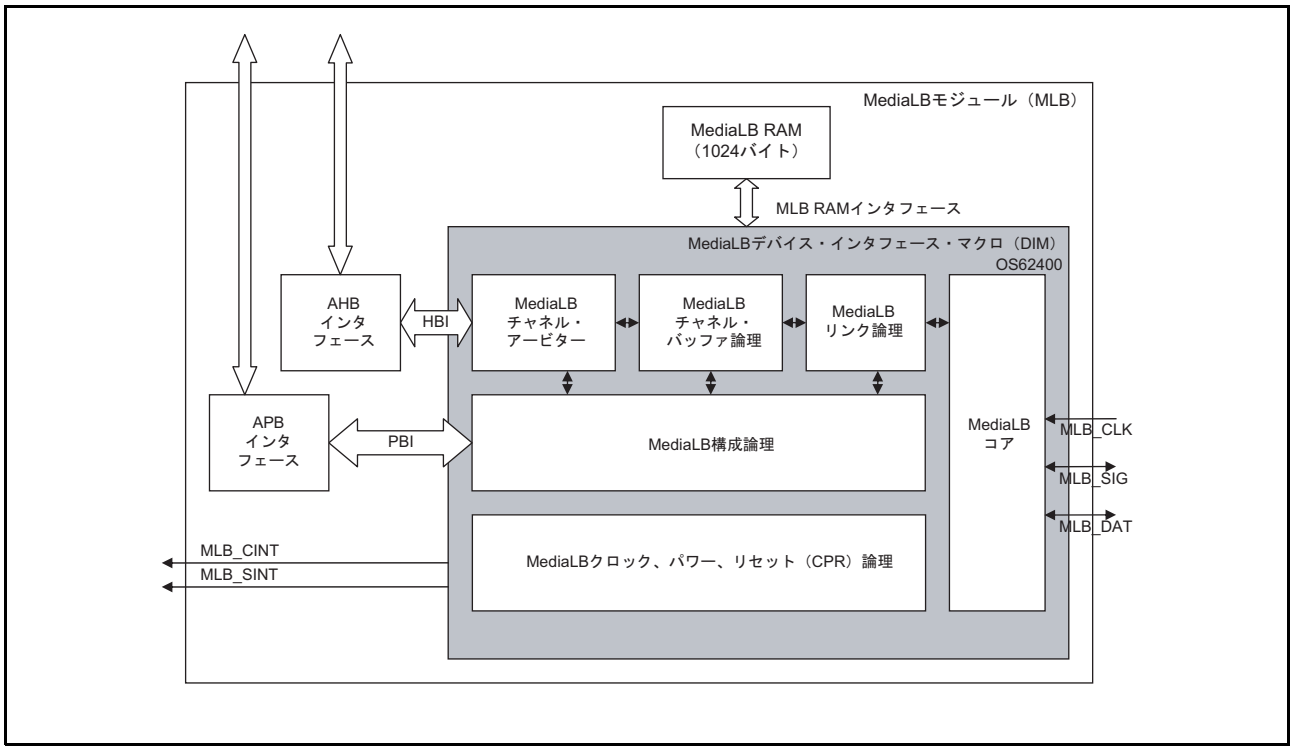


図 20.1　ブロック図

20.2 入出力端子

表 20.1 に端子構成を示します。

表20.1　端子構成

名称	入出力	機　能
MLB_CLK	入力	MediaLBクロック入力
MLB_SIG	入出力	MediaLB 信号情報入出力
MLB_DAT	入出力	MediaLB データ入出力

20.3 レジスタの説明

表 20.2 にレジスタ構成を示します。
レジスタの詳細は、弊社の営業担当にご確認ください。

表20.2　レジスタ構成

	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
構成制御レジスタ	デバイス制御構成レジスタ	DCCR	（注1）	（注1）	H'E8034000	32
	システム状態構成レジスタ	SSCR	（注1）	（注1）	H'E8034004	32
	システム・データ構成レジスタ	SDCR	（注1）	（注1）	H'E8034008	32
	システム・マスク構成レジスタ	SMCR	（注1）	（注1）	H'E803400C	32
	バージョン制御構成レジスタ	VCCR	（注1）	（注1）	H'E803401C	32
	同期ベース・アドレス構成レジスタ	SBCR	（注1）	（注1）	H'E8034020	32
	非同期ベース・アドレス構成レジスタ	ABCR	（注1）	（注1）	H'E8034024	32
	制御ベース・アドレス構成レジスタ	CBCR	（注1）	（注1）	H'E8034028	32
	アイソクロナス・ベース・アドレス構成レジスタ	IBCR	（注1）	（注1）	H'E803402C	32
	チャネル割り込み構成レジスタ	CICR	（注1）	（注1）	H'E8034030	32
チャネル m（注2）構成レジスタ	チャネルmエントリー構成レジスタ	CECRm	（注1）	（注1）	H'E8034040 + m x 10	32
	チャネルm状態構成レジスタ	CSCRm	（注1）	（注1）	H'E8034044 + m x 10	32
	チャネルmカレント・バッファ構成レジスタ	CCBCRm	（注1）	（注1）	H'E8034048 + m x 10	32
	チャネルm次バッファ構成レジスタ	CNBCRm	（注1）	（注1）	H'E803404C + m x 10	32
	ローカル・チャネルmバッファ構成レジスタ	LCBCRm	（注1）	（注1）	H'E8034280 + m x 4	32

注1.　弊社の営業担当にご確認ください。
注2.　メディア・ローカル・バスの各チャネルを「m」で識別します。（m＝0～30）

21. CAN インタフェース

本章では、CAN インタフェース（RS-CAN）全般について説明します。

最初の節では、ユニット数、レジスタベースアドレスなど、本 LSI に固有の特長について説明します。それ以降の節では、RS-CAN の機能、レジスタについて説明します。

21.1 RS-CAN の概要

21.1.1 ユニット

本マイクロコントローラは、以下のユニット数の CAN インタフェース（RS-CAN）を搭載しています。

表 21.1 RS-CAN のユニット

RS-CAN	
ユニット数	1
名称	RSCAN0

RS-CAN には、2 本のチャネルがあります。

表 21.2 RS-CAN のチャネル数

RS-CAN	
チャネル数	2
名称	CAN0、CAN1

表 21.3 添字

添字	意味	CAN 搭載チャネル数と添え字対応
		2 チャネル
n	本章では、RS-CAN のユニットを「n」（n = 0）で識別します。たとえば、ユニット n の RSCAN のグローバルコンフィグレーションレジスタは RSCANnGCFG と記述します。	n = 0
m	本章では、RS-CAN のチャネル数を「m」（m = 0、1）で識別します。たとえば、チャネル m ステータスレジスタは RSCAN0CmSTS と記述します。	m = 0、1
j	受信ルールテーブルを関係するレジスタを「j」（j = 0 ～ 15）で識別します。たとえば、受信ルール ID レジスタは RSCAN0GAFLIDj と記述します。	j = 0 ～ 15
k	送受信 FIFO バッファ番号を「k」（k = 0 ～ チャネル m×3+2）で識別します。たとえば、送受信 FIFO バッファコンフィグレーション / 制御レジスタは RSCAN0CFCCk と記述します。	k = 0 ～ 5
q	受信バッファの番号を「q」（q = 0 ～チャネル m×16 ＋ 15）で識別します。たとえば、受信バッファ ID レジスタは RSCAN0RMIDq で識別します。	q = 0 ～ 31
p	送信バッファの番号を「p」（p = 0 ～チャネル m×16 ＋ 15）で識別します。たとえば、送信バッファ制御レジスタは RSCAN0TMCp と記述します。	p = 0 ～ 31
y	上記以外のレジスタをまとめて説明する場合、「y」（y ＝ 0）で識別します。たとえば、受信バッファ新データレジスタ は RSCAN0RMNDy と記述します。	y = 0

21.1.2　レジスタアドレス

RS-CAN のベースアドレスを以下の表に示します。

RS-CAN のレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 21.4　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RSCAN0_base>	E803 A000$_H$

21.1.3　クロック供給

RS-CAN は 2 つのクロック入力を供給します。

表 21.5　RS-CAN のクロック供給

RS-CAN のユニット	RS-CAN のクロック	接続先
RSCAN0	clk_xincan	CAN_CLK
	clkc	P1φ/2
	pclk	P1φ

RS-CAN の動作周波数は、転送レート、および使用チャネル数に依存します。**表 21.6** に示す範囲で使用してください。

表 21.6　本 LSI における転送レート・使用チャネル数での動作周波数範囲

条件		動作可能な周波数範囲		
転送レート	使用 ch 数	pclk	clk_xincan 注 1	clkc 注 1、注 2
1Mbps	2ch	pclk ≧ 26MHz	8MHz ≦ clk_xincan ≦ pclk/2	12.5MHz ≦ clkc ≦ pclk/2
	1ch	pclk ≧ 18MHz		
500kbps	2ch	pclk ≧ 13MHz	4MHz ≦ clk_xincan ≦ pclk/2	12.5MHz ≦ clkc ≦ pclk/2
	1ch	pclk ≧ 8MHz		
125kbps	2ch	pclk ≧ 8MHz	4MHz ≦ clk_xincan ≦ pclk/2	12.5MHz ≦ clkc ≦ pclk/2
	1ch			

注 1.　RSCAN0GCFG の DCS ビットにより、clk_xincan、clkc いずれかを選択可能です。各クロックは pclk/2 以下に設定してください。

注 2.　pclk ＜ 25MHz 時は、clk_xincan を選択してください。

21.1.4　割り込み

RS-CAN は以下の割り込み要求を生成することができます。

表 21.7　RS-CAN の割り込み要求

ユニット割り込み信号	概要	割込み ID	DMA トリガ番号
RSCAN0			
INTRCANGERR	CAN グローバルエラー割り込み	253	—
INTRCANGRECC	CAN 受信 FIFO 割り込み	254	—
CAN0			
INTRCANmERR(m=0)	CAN0 エラー割り込み	256	—
INTRCANmREC(m=0)	CAN0 送受信 FIFO 受信完了割り込み	255	—
INTRCANmTRX(m=0)	CAN0 送信割り込み	257	—
CAN1			
INTRCANmERR(m=1)	CAN1 エラー割り込み	259	—
INTRCANmREC(m=1)	CAN1 送受信 FIFO 受信完了割り込み	258	—
INTRCANmTRX(m=1)	CAN1 送信割り込み	260	—

21.1.5　入出力端子

表 21.8 に RS-CAN の入出力端子を示します。

表 21.8　RS-CAN の入出力端子

ユニット信号名	概要	ポート端子兼用信号名
CAN0		
CANmRX (m = 0)	CAN0 受信データ入力	CAN0RX
CANmTX (m = 0)	CAN0 送信データ出力	CAN0TX
CAN1		
CANmRX (m = 1)	CAN1 受信データ入力	CAN1RX
CANmTX (m = 1)	CAN1 送信データ出力	CAN1TX

21.2　機能

本 LSI は、ISO11898-1 仕様に準拠した CAN コントローラを 2 チャネル（CAN0、CAN1）搭載した CAN インタフェース（RS-CAN）を 1 ユニット内蔵しています。**表 21.9** に RS-CAN モジュールの仕様、**図 21.1** に RS-CAN モジュールブロック図を示します。

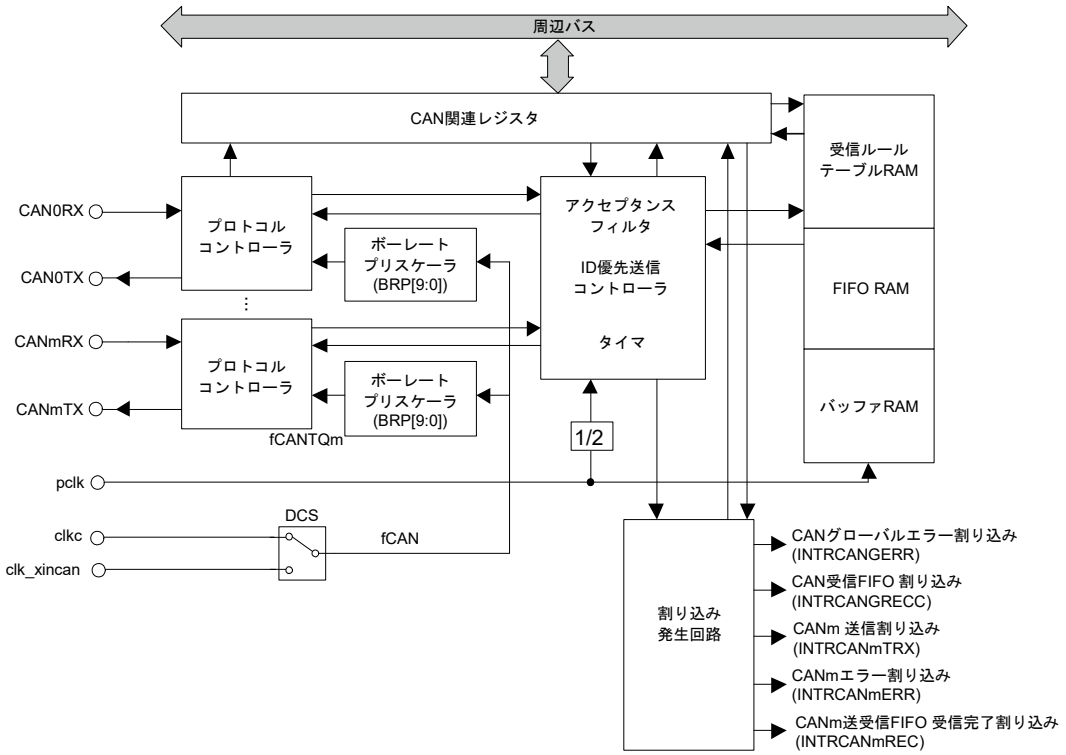
表 21.9　RS-CAN モジュールの仕様　(1 / 2)

項目	仕様
チャネル数	2
プロトコル	ISO11898-1 仕様準拠
通信速度	• 最大 1Mbps 通信速度（CANm ビットタイムクロック）＝ $\frac{1}{\text{CANm ビットタイム}}$ CANm ビットタイム ＝ CANmTq × 1 ビット分の Tq 数 CANmTq ＝ $\frac{\text{（RSCAN0CmCFG レジスタの BRP[9:0] ビット＋ 1）}}{\text{fCAN}}$ m = 0、1 Tq：Time quantum fCAN：CAN クロック（RSCAN0GCFG レジスタの DCS ビットで選択したクロック）の周波数
バッファ	合計 160 バッファ • 各チャネル専用：32 バッファ（16 バッファ × 2 チャネル） 送信バッファ：16 バッファ／1 チャネル 送信キュー：1 本／1 チャネル（送信バッファと共用、最大 16 バッファ割り当て可能） • チャネル間共用：128 バッファ 受信バッファ：0 ~ 31 バッファ 受信 FIFO バッファ：8 本（1 本あたり最大 96 バッファ割り当て可能） 送受信 FIFO バッファ：3 本／1 チャネル（1 本あたり最大 96 バッファ割り当て可能）
受信機能	• データフレームとリモートフレームを受信可能 • 受信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 • FIFO ごとの割り込み許可／禁止設定可能 • ミラー機能（自送信メッセージの受信機能） • タイムスタンプ機能（メッセージの受信時間を 16 ビットタイマ値で記録）
受信フィルタ機能	• 合計 128 個の受信ルールで受信メッセージを選別可能 • チャネルごとに 0~128 個の範囲で受信ルール数を設定可能 • アクセプタンスフィルタ処理 : 各受信ルールごとに ID、マスク設定可能 • DLC フィルタ処理 : 各受信ルールごとに DLC フィルタチェック可能
受信メッセージ転送機能	• ルーティング機能 受信メッセージを任意のバッファへ転送する機能（転送可能バッファ数：8） 転送先 : 受信バッファ、受信 FIFO バッファ、送受信 FIFO バッファ • ラベル付加機能 受信バッファおよび FIFO バッファへメッセージ格納時、ラベル情報も同時に格納可能
送信機能	• データフレームとリモートフレームを送信可能 • 送信する ID フォーマット（標準 ID、拡張 ID、両方）を選択可能 • 送信バッファ、送受信 FIFO バッファごとに割り込み許可／禁止設定可能 • ID 優先送信または送信バッファ番号優先送信を選択可能 • 送信アボート機能（フラグでアボート完了を確認可能） • ワンショット送信機能
インターバル送信機能	メッセージの送信間隔を設定可能（送受信 FIFO バッファの送信モードまたはゲートウェイモード）
送信キュー機能	格納された全メッセージが ID 優先で送信される機能
送信履歴機能	送信完了したメッセージの履歴情報を格納する機能

表 21.9　RS-CAN モジュールの仕様　(2 / 2)

項目	仕様
ゲートウェイ機能	受信したメッセージを自動送信する機能
バスオフ復帰モード選択	バスオフ状態からの復帰方法を選択可能 • ISO11898-1 仕様準拠 • バスオフ開始でチャネル待機モードへ自動遷移 • バスオフ終了でチャネル待機モードへ自動遷移 • プログラムによる要求によってチャネル待機モードへ遷移 • プログラムによる要求によってエラーアクティブ状態へ遷移（バスオフ強制復帰機能）
エラー状態の監視	• CAN プロトコルエラー（スタッフエラー、フォームエラー、ACK エラー、CRC エラー、ビットエラー、ACK デリミタエラー、バスドミナントロック）を監視 • エラー状態の遷移を検出（エラーワーニング、エラーパッシブ、バスオフ開始、バスオフ復帰） • エラーカウンタの読み出し • DLC エラーを監視
割り込み要因	8 本 • グローバル割り込み [チャネル間共用　計 2 本] 受信 FIFO 割り込み [チャネル間共用　1 本] グローバルエラー割り込み [チャネル間共用　1 本] • チャネル割り込み [チャネル数 ×3 本 = 計 6 本] CANm 送信割り込み [各チャネル 1 本] – CANm 送信完了割り込み – CANm 送信アボート割り込み – CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時） – CANm 送信履歴割り込み – CANm 送信キュー割り込み CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時）[各チャネル 1 本] CANm エラー割り込み [各チャネル 1 本] (m= 0、1)
CAN ストップモード	RS-CAN モジュールに供給されるクロックを停止することで消費電流を低減可能
CAN クロックソース	clkc か clk_xincan を選択可能 設定可能な周波数は**表 21.6** を参照してください。
テスト機能	ユーザ評価用テスト機能 • リッスンオンリモード • セルフテストモード 0（外部ループバック） • セルフテストモード 1（内部ループバック） • チャネル間通信テスト

21.2.1　ブロック図



備考　m = 0、1
BRP[9:0]：RSCAN0CmCFG レジスタのビット
DCS：RSCAN0GCFG レジスタのビット
fCANTQm：CANmTq クロック
fCAN：CAN クロック

図 21.1　RS-CAN モジュールのブロック図

21.3　レジスタ

表 21.10 に RS-CAN モジュールのレジスタを示します。

表 21.10　RS-CAN モジュールのレジスター覧　(1 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
チャネル 0 コンフィグレーションレジスタ	RSCAN0C0CFG	0000 0000$_H$	<RSCAN0_base> + 0000$_H$	8、16、32
チャネル 0 制御レジスタ	RSCAN0C0CTR	0000 0005$_H$	<RSCAN0_base> + 0004$_H$	8、16、32
チャネル 0 ステータスレジスタ	RSCAN0C0STS	0000 0005$_H$	<RSCAN0_base> + 0008$_H$	8、16、32
チャネル 0 エラーフラグレジスタ	RSCAN0C0ERFL	0000 0000$_H$	<RSCAN0_base> + 000C$_H$	8、16、32
チャネル 1 コンフィグレーションレジスタ	RSCAN0C1CFG	0000 0000$_H$	<RSCAN0_base> + 0010$_H$	8、16、32
チャネル 1 制御レジスタ	RSCAN0C1CTR	0000 0005$_H$	<RSCAN0_base> + 0014$_H$	8、16、32
チャネル 1 ステータスレジスタ	RSCAN0C1STS	0000 0005$_H$	<RSCAN0_base> + 0018$_H$	8、16、32
チャネル 1 エラーフラグレジスタ	RSCAN0C1ERFL	0000 0000$_H$	<RSCAN0_base> + 001C$_H$	8、16、32
グローバルコンフィグレーションレジスタ	RSCAN0GCFG	0000 0000$_H$	<RSCAN0_base> + 0084$_H$	8、16、32
グローバル制御レジスタ	RSCAN0GCTR	0000 0005$_H$	<RSCAN0_base> + 0088$_H$	8、16、32
グローバルステータスレジスタ	RSCAN0GSTS	0000 000D$_H$	<RSCAN0_base> + 008C$_H$	8、16、32
グローバルエラーフラグレジスタ	RSCAN0GERFL	0000 0000$_H$	<RSCAN0_base> + 0090$_H$	8、16、32
グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	0000 0000$_H$	<RSCAN0_base> + 0094$_H$	16、32
受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	0000 0000$_H$	<RSCAN0_base> + 0098$_H$	8、16、32
受信ルールコンフィグレーションレジスタ 0	RSCAN0GAFLCFG0	0000 0000$_H$	<RSCAN0_base> + 009C$_H$	8、16、32
受信バッファナンバレジスタ	RSCAN0RMNB	0000 0000$_H$	<RSCAN0_base> + 00A4$_H$	8、16、32
受信バッファ新データレジスタ 0	RSCAN0RMND0	0000 0000$_H$	<RSCAN0_base> + 00A8$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCAN0RFCC0	0000 0000$_H$	<RSCAN0_base> + 00B8$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCAN0RFCC1	0000 0000$_H$	<RSCAN0_base> + 00BC$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCAN0RFCC2	0000 0000$_H$	<RSCAN0_base> + 00C0$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCAN0RFCC3	0000 0000$_H$	<RSCAN0_base> + 00C4$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCAN0RFCC4	0000 0000$_H$	<RSCAN0_base> + 00C8$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCAN0RFCC5	0000 0000$_H$	<RSCAN0_base> + 00CC$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 6	RSCAN0RFCC6	0000 0000$_H$	<RSCAN0_base> + 00D0$_H$	8、16、32
受信 FIFO バッファコンフィグレーション／制御レジスタ 7	RSCAN0RFCC7	0000 0000$_H$	<RSCAN0_base> + 00D4$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 0	RSCAN0RFSTS0	0000 0001$_H$	<RSCAN0_base> + 00D8$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 1	RSCAN0RFSTS1	0000 0001$_H$	<RSCAN0_base> + 00DC$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 2	RSCAN0RFSTS2	0000 0001$_H$	<RSCAN0_base> + 00E0$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 3	RSCAN0RFSTS3	0000 0001$_H$	<RSCAN0_base> + 00E4$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 4	RSCAN0RFSTS4	0000 0001$_H$	<RSCAN0_base> + 00E8$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 5	RSCAN0RFSTS5	0000 0001$_H$	<RSCAN0_base> + 00EC$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 6	RSCAN0RFSTS6	0000 0001$_H$	<RSCAN0_base> + 00F0$_H$	8、16、32
受信 FIFO バッファステータスレジスタ 7	RSCAN0RFSTS7	0000 0001$_H$	<RSCAN0_base> + 00F4$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0RFPCTR0	—	<RSCAN0_base> + 00F8$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0RFPCTR1	—	<RSCAN0_base> + 00FC$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0RFPCTR2	—	<RSCAN0_base> + 0100$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0RFPCTR3	—	<RSCAN0_base> + 0104$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0RFPCTR4	—	<RSCAN0_base> + 0108$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0RFPCTR5	—	<RSCAN0_base> + 010C$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 6	RSCAN0RFPCTR6	—	<RSCAN0_base> + 0110$_H$	8、16、32
受信 FIFO バッファポインタ制御レジスタ 7	RSCAN0RFPCTR7	—	<RSCAN0_base> + 0114$_H$	8、16、32
送受信 FIFO バッファコンフィグレーション／制御レジスタ 0	RSCAN0CFCC0	0000 0000$_H$	<RSCAN0_base> + 0118$_H$	8、16、32
送受信 FIFO バッファコンフィグレーション／制御レジスタ 1	RSCAN0CFCC1	0000 0000$_H$	<RSCAN0_base> + 011C$_H$	8、16、32
送受信 FIFO バッファコンフィグレーション／制御レジスタ 2	RSCAN0CFCC2	0000 0000$_H$	<RSCAN0_base> + 0120$_H$	8、16、32
送受信 FIFO バッファコンフィグレーション／制御レジスタ 3	RSCAN0CFCC3	0000 0000$_H$	<RSCAN0_base> + 0124$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(2 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
送受信 FIFO バッファコンフィグレーション／制御レジスタ 4	RSCAN0CFCC4	0000 0000$_H$	<RSCAN0_base> + 0128$_H$	8、16、32
送受信 FIFO バッファコンフィグレーション／制御レジスタ 5	RSCAN0CFCC5	0000 0000$_H$	<RSCAN0_base> + 012C$_H$	8、16、32
送受信 FIFO バッファステータスレジスタ 0	RSCAN0CFSTS0	0000 0001$_H$	<RSCAN0_base> + 0178$_H$	8、16、32
送受信 FIFO バッファステータスレジスタ 1	RSCAN0CFSTS1	0000 0001$_H$	<RSCAN0_base> + 017C$_H$	8、16、32
送受信 FIFO バッファステータスレジスタ 2	RSCAN0CFSTS2	0000 0001$_H$	<RSCAN0_base> + 0180$_H$	8、16、32
送受信 FIFO バッファステータスレジスタ 3	RSCAN0CFSTS3	0000 0001$_H$	<RSCAN0_base> + 0184$_H$	8、16、32
送受信 FIFO バッファステータスレジスタ 4	RSCAN0CFSTS4	0000 0001$_H$	<RSCAN0_base> + 0188$_H$	8、16、32
送受信 FIFO バッファステータスレジスタ 5	RSCAN0CFSTS5	0000 0001$_H$	<RSCAN0_base> + 018C$_H$	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 0	RSCAN0CFPCTR0	—	<RSCAN0_base> + 01D8$_H$	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 1	RSCAN0CFPCTR1	—	<RSCAN0_base> + 01DC$_H$	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 2	RSCAN0CFPCTR2	—	<RSCAN0_base> + 01E0$_H$	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 3	RSCAN0CFPCTR3	—	<RSCAN0_base> + 01E4$_H$	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 4	RSCAN0CFPCTR4	—	<RSCAN0_base> + 01E8$_H$	8、16、32
送受信 FIFO バッファポインタ制御レジスタ 5	RSCAN0CFPCTR5	—	<RSCAN0_base> + 01EC$_H$	8、16、32
FIFO エンプティステータスレジスタ	RSCAN0FESTS	007F FFFF$_H$	<RSCAN0_base> + 0238$_H$	8、16、32
FIFO フルステータスレジスタ	RSCAN0FFSTS	0000 0000$_H$	<RSCAN0_base> + 023C$_H$	8、16、32
FIFO Msg ロストステータスレジスタ	RSCAN0FMSTS	0000 0000$_H$	<RSCAN0_base> + 0240$_H$	8、16、32
受信 FIFO バッファ割り込みフラグステータスレジスタ	RSCAN0RFISTS	0000 0000$_H$	<RSCAN0_base> + 0244$_H$	8、16、32
送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ	RSCAN0CFRISTS	0000 0000$_H$	<RSCAN0_base> + 0248$_H$	8、16、32
送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ	RSCAN0CFTISTS	0000 0000$_H$	<RSCAN0_base> + 024C$_H$	8、16、32
送信バッファ制御レジスタ 0	RSCAN0TMC0	00$_H$	<RSCAN0_base> + 0250$_H$	8
送信バッファ制御レジスタ 1	RSCAN0TMC1	00$_H$	<RSCAN0_base> + 0251$_H$	8
送信バッファ制御レジスタ 2	RSCAN0TMC2	00$_H$	<RSCAN0_base> + 0252$_H$	8
送信バッファ制御レジスタ 3	RSCAN0TMC3	00$_H$	<RSCAN0_base> + 0253$_H$	8
送信バッファ制御レジスタ 4	RSCAN0TMC4	00$_H$	<RSCAN0_base> + 0254$_H$	8
送信バッファ制御レジスタ 5	RSCAN0TMC5	00$_H$	<RSCAN0_base> + 0255$_H$	8
送信バッファ制御レジスタ 6	RSCAN0TMC6	00$_H$	<RSCAN0_base> + 0256$_H$	8
送信バッファ制御レジスタ 7	RSCAN0TMC7	00$_H$	<RSCAN0_base> + 0257$_H$	8
送信バッファ制御レジスタ 8	RSCAN0TMC8	00$_H$	<RSCAN0_base> + 0258$_H$	8
送信バッファ制御レジスタ 9	RSCAN0TMC9	00$_H$	<RSCAN0_base> + 0259$_H$	8
送信バッファ制御レジスタ 10	RSCAN0TMC10	00$_H$	<RSCAN0_base> + 025A$_H$	8
送信バッファ制御レジスタ 11	RSCAN0TMC11	00$_H$	<RSCAN0_base> + 025B$_H$	8
送信バッファ制御レジスタ 12	RSCAN0TMC12	00$_H$	<RSCAN0_base> + 025C$_H$	8
送信バッファ制御レジスタ 13	RSCAN0TMC13	00$_H$	<RSCAN0_base> + 025D$_H$	8
送信バッファ制御レジスタ 14	RSCAN0TMC14	00$_H$	<RSCAN0_base> + 025E$_H$	8
送信バッファ制御レジスタ 15	RSCAN0TMC15	00$_H$	<RSCAN0_base> + 025F$_H$	8
送信バッファ制御レジスタ 16	RSCAN0TMC16	00$_H$	<RSCAN0_base> + 0260$_H$	8
送信バッファ制御レジスタ 17	RSCAN0TMC17	00$_H$	<RSCAN0_base> + 0261$_H$	8
送信バッファ制御レジスタ 18	RSCAN0TMC18	00$_H$	<RSCAN0_base> + 0262$_H$	8
送信バッファ制御レジスタ 19	RSCAN0TMC19	00$_H$	<RSCAN0_base> + 0263$_H$	8
送信バッファ制御レジスタ 20	RSCAN0TMC20	00$_H$	<RSCAN0_base> + 0264$_H$	8
送信バッファ制御レジスタ 21	RSCAN0TMC21	00$_H$	<RSCAN0_base> + 0265$_H$	8
送信バッファ制御レジスタ 22	RSCAN0TMC22	00$_H$	<RSCAN0_base> + 0266$_H$	8
送信バッファ制御レジスタ 23	RSCAN0TMC23	00$_H$	<RSCAN0_base> + 0267$_H$	8
送信バッファ制御レジスタ 24	RSCAN0TMC24	00$_H$	<RSCAN0_base> + 0268$_H$	8
送信バッファ制御レジスタ 25	RSCAN0TMC25	00$_H$	<RSCAN0_base> + 0269$_H$	8
送信バッファ制御レジスタ 26	RSCAN0TMC26	00$_H$	<RSCAN0_base> + 026A$_H$	8
送信バッファ制御レジスタ 27	RSCAN0TMC27	00$_H$	<RSCAN0_base> + 026B$_H$	8

表 21.10　RS-CAN モジュールのレジスター覧　(3 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
送信バッファ制御レジスタ 28	RSCAN0TMC28	00_H	<RSCAN0_base> + $026C_H$	8
送信バッファ制御レジスタ 29	RSCAN0TMC29	00_H	<RSCAN0_base> + $026D_H$	8
送信バッファ制御レジスタ 30	RSCAN0TMC30	00_H	<RSCAN0_base> + $026E_H$	8
送信バッファ制御レジスタ 31	RSCAN0TMC31	00_H	<RSCAN0_base> + $026F_H$	8
送信バッファステータスレジスタ 0	RSCAN0TMSTS0	00_H	<RSCAN0_base> + $02D0_H$	8
送信バッファステータスレジスタ 1	RSCAN0TMSTS1	00_H	<RSCAN0_base> + $02D1_H$	8
送信バッファステータスレジスタ 2	RSCAN0TMSTS2	00_H	<RSCAN0_base> + $02D2_H$	8
送信バッファステータスレジスタ 3	RSCAN0TMSTS3	00_H	<RSCAN0_base> + $02D3_H$	8
送信バッファステータスレジスタ 4	RSCAN0TMSTS4	00_H	<RSCAN0_base> + $02D4_H$	8
送信バッファステータスレジスタ 5	RSCAN0TMSTS5	00_H	<RSCAN0_base> + $02D5_H$	8
送信バッファステータスレジスタ 6	RSCAN0TMSTS6	00_H	<RSCAN0_base> + $02D6_H$	8
送信バッファステータスレジスタ 7	RSCAN0TMSTS7	00_H	<RSCAN0_base> + $02D7_H$	8
送信バッファステータスレジスタ 8	RSCAN0TMSTS8	00_H	<RSCAN0_base> + $02D8_H$	8
送信バッファステータスレジスタ 9	RSCAN0TMSTS9	00_H	<RSCAN0_base> + $02D9_H$	8
送信バッファステータスレジスタ 10	RSCAN0TMSTS10	00_H	<RSCAN0_base> + $02DA_H$	8
送信バッファステータスレジスタ 11	RSCAN0TMSTS11	00_H	<RSCAN0_base> + $02DB_H$	8
送信バッファステータスレジスタ 12	RSCAN0TMSTS12	00_H	<RSCAN0_base> + $02DC_H$	8
送信バッファステータスレジスタ 13	RSCAN0TMSTS13	00_H	<RSCAN0_base> + $02DD_H$	8
送信バッファステータスレジスタ 14	RSCAN0TMSTS14	00_H	<RSCAN0_base> + $02DE_H$	8
送信バッファステータスレジスタ 15	RSCAN0TMSTS15	00_H	<RSCAN0_base> + $02DF_H$	8
送信バッファステータスレジスタ 16	RSCAN0TMSTS16	00_H	<RSCAN0_base> + $02E0_H$	8
送信バッファステータスレジスタ 17	RSCAN0TMSTS17	00_H	<RSCAN0_base> + $02E1_H$	8
送信バッファステータスレジスタ 18	RSCAN0TMSTS18	00_H	<RSCAN0_base> + $02E2_H$	8
送信バッファステータスレジスタ 19	RSCAN0TMSTS19	00_H	<RSCAN0_base> + $02E3_H$	8
送信バッファステータスレジスタ 20	RSCAN0TMSTS20	00_H	<RSCAN0_base> + $02E4_H$	8
送信バッファステータスレジスタ 21	RSCAN0TMSTS21	00_H	<RSCAN0_base> + $02E5_H$	8
送信バッファステータスレジスタ 22	RSCAN0TMSTS22	00_H	<RSCAN0_base> + $02E6_H$	8
送信バッファステータスレジスタ 23	RSCAN0TMSTS23	00_H	<RSCAN0_base> + $02E7_H$	8
送信バッファステータスレジスタ 24	RSCAN0TMSTS24	00_H	<RSCAN0_base> + $02E8_H$	8
送信バッファステータスレジスタ 25	RSCAN0TMSTS25	00_H	<RSCAN0_base> + $02E9_H$	8
送信バッファステータスレジスタ 26	RSCAN0TMSTS26	00_H	<RSCAN0_base> + $02EA_H$	8
送信バッファステータスレジスタ 27	RSCAN0TMSTS27	00_H	<RSCAN0_base> + $02EB_H$	8
送信バッファステータスレジスタ 28	RSCAN0TMSTS28	00_H	<RSCAN0_base> + $02EC_H$	8
送信バッファステータスレジスタ 29	RSCAN0TMSTS29	00_H	<RSCAN0_base> + $02ED_H$	8
送信バッファステータスレジスタ 30	RSCAN0TMSTS30	00_H	<RSCAN0_base> + $02EE_H$	8
送信バッファステータスレジスタ 31	RSCAN0TMSTS31	00_H	<RSCAN0_base> + $02EF_H$	8
送信バッファ送信要求ステータスレジスタ 0	RSCAN0TMTRSTS0	0000 0000_H	<RSCAN0_base> + 0350_H	8、16、32
送信バッファ送信アボート要求ステータスレジスタ 0	RSCAN0TMTARSTS0	0000 0000_H	<RSCAN0_base> + 0360_H	8、16、32
送信バッファ送信完了ステータスレジスタ 0	RSCAN0TMTCSTS0	0000 0000_H	<RSCAN0_base> + 0370_H	8、16、32
送信バッファ送信アボートステータスレジスタ 0	RSCAN0TMTASTS0	0000 0000_H	<RSCAN0_base> + 0380_H	8、16、32
送信バッファ割り込みイネーブルコンフィグレーションレジスタ 0	RSCAN0TMIEC0	0000 0000_H	<RSCAN0_base> + 0390_H	8、16、32
送信キューコンフィグレーション／制御レジスタ 0	RSCAN0TXQCC0	0000 0000_H	<RSCAN0_base> + $03A0_H$	8、16、32
送信キューコンフィグレーション／制御レジスタ 1	RSCAN0TXQCC1	0000 0000_H	<RSCAN0_base> + $03A4_H$	8、16、32
送信キューステータスレジスタ 0	RSCAN0TXQSTS0	0000 0001_H	<RSCAN0_base> + $03C0_H$	8、16、32
送信キューステータスレジスタ 1	RSCAN0TXQSTS1	0000 0001_H	<RSCAN0_base> + $03C4_H$	8、16、32
送信キューポインタ制御レジスタ 0	RSCAN0TXQPCTR0	—	<RSCAN0_base> + $03E0_H$	8、16、32
送信キューポインタ制御レジスタ 1	RSCAN0TXQPCTR1	—	<RSCAN0_base> + $03E4_H$	8、16、32
送信履歴コンフィグレーション／制御レジスタ 0	RSCAN0THLCC0	0000 0000_H	<RSCAN0_base> + 0400_H	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(4 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
送信履歴コンフィグレーション／制御レジスタ 1	RSCAN0THLCC1	0000 0000$_H$	<RSCAN0_base> + 0404$_H$	8、16、32
送信履歴ステータスレジスタ 0	RSCAN0THLSTS0	0000 0001$_H$	<RSCAN0_base> + 0420$_H$	8、16、32
送信履歴ステータスレジスタ 1	RSCAN0THLSTS1	0000 0001$_H$	<RSCAN0_base> + 0424$_H$	8、16、32
送信履歴ポインタ制御レジスタ 0	RSCAN0THLPCTR0	0000 0000$_H$	<RSCAN0_base> + 0440$_H$	8、16、32
送信履歴ポインタ制御レジスタ 1	RSCAN0THLPCTR1	0000 0000$_H$	<RSCAN0_base> + 0444$_H$	8、16、32
グローバル TX 割り込みステータスレジスタ 0	RSCAN0GTINTSTS0	0000 0000$_H$	<RSCAN0_base> + 0460$_H$	8、16、32
グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	0000 0000$_H$	<RSCAN0_base> + 0468$_H$	8、16、32
グローバルテスト制御レジスタ	RSCAN0GTSTCTR	0000 0000$_H$	<RSCAN0_base> + 046C$_H$	8、16、32
グローバルロックキーレジスタ	RSCAN0GLOCKK	—	<RSCAN0_base> + 047C$_H$	16、32
受信ルール ID レジスタ 0	RSCAN0GAFLID0	0000 0000$_H$	<RSCAN0_base> + 0500$_H$	8、16、32
受信ルールマスクレジスタ 0	RSCAN0GAFLM0	0000 0000$_H$	<RSCAN0_base> + 0504$_H$	8、16、32
受信ルールポインタ 0 レジスタ 0	RSCAN0GAFLP00	0000 0000$_H$	<RSCAN0_base> + 0508$_H$	8、16、32
受信ルールポインタ 1 レジスタ 0	RSCAN0GAFLP10	0000 0000$_H$	<RSCAN0_base> + 050C$_H$	8、16、32
受信ルール ID レジスタ 1	RSCAN0GAFLID1	0000 0000$_H$	<RSCAN0_base> + 0510$_H$	8、16、32
受信ルールマスクレジスタ 1	RSCAN0GAFLM1	0000 0000$_H$	<RSCAN0_base> + 0514$_H$	8、16、32
受信ルールポインタ 0 レジスタ 1	RSCAN0GAFLP01	0000 0000$_H$	<RSCAN0_base> + 0518$_H$	8、16、32
受信ルールポインタ 1 レジスタ 1	RSCAN0GAFLP11	0000 0000$_H$	<RSCAN0_base> + 051C$_H$	8、16、32
受信ルール ID レジスタ 2	RSCAN0GAFLID2	0000 0000$_H$	<RSCAN0_base> + 0520$_H$	8、16、32
受信ルールマスクレジスタ 2	RSCAN0GAFLM2	0000 0000$_H$	<RSCAN0_base> + 0524$_H$	8、16、32
受信ルールポインタ 0 レジスタ 2	RSCAN0GAFLP02	0000 0000$_H$	<RSCAN0_base> + 0528$_H$	8、16、32
受信ルールポインタ 1 レジスタ 2	RSCAN0GAFLP12	0000 0000$_H$	<RSCAN0_base> + 052C$_H$	8、16、32
受信ルール ID レジスタ 3	RSCAN0GAFLID3	0000 0000$_H$	<RSCAN0_base> + 0530$_H$	8、16、32
受信ルールマスクレジスタ 3	RSCAN0GAFLM3	0000 0000$_H$	<RSCAN0_base> + 0534$_H$	8、16、32
受信ルールポインタ 0 レジスタ 3	RSCAN0GAFLP03	0000 0000$_H$	<RSCAN0_base> + 0538$_H$	8、16、32
受信ルールポインタ 1 レジスタ 3	RSCAN0GAFLP13	0000 0000$_H$	<RSCAN0_base> + 053C$_H$	8、16、32
受信ルール ID レジスタ 4	RSCAN0GAFLID4	0000 0000$_H$	<RSCAN0_base> + 0540$_H$	8、16、32
受信ルールマスクレジスタ 4	RSCAN0GAFLM4	0000 0000$_H$	<RSCAN0_base> + 0544$_H$	8、16、32
受信ルールポインタ 0 レジスタ 4	RSCAN0GAFLP04	0000 0000$_H$	<RSCAN0_base> + 0548$_H$	8、16、32
受信ルールポインタ 1 レジスタ 4	RSCAN0GAFLP14	0000 0000$_H$	<RSCAN0_base> + 054C$_H$	8、16、32
受信ルール ID レジスタ 5	RSCAN0GAFLID5	0000 0000$_H$	<RSCAN0_base> + 0550$_H$	8、16、32
受信ルールマスクレジスタ 5	RSCAN0GAFLM5	0000 0000$_H$	<RSCAN0_base> + 0554$_H$	8、16、32
受信ルールポインタ 0 レジスタ 5	RSCAN0GAFLP05	0000 0000$_H$	<RSCAN0_base> + 0558$_H$	8、16、32
受信ルールポインタ 1 レジスタ 5	RSCAN0GAFLP15	0000 0000$_H$	<RSCAN0_base> + 055C$_H$	8、16、32
受信ルール ID レジスタ 6	RSCAN0GAFLID6	0000 0000$_H$	<RSCAN0_base> + 0560$_H$	8、16、32
受信ルールマスクレジスタ 6	RSCAN0GAFLM6	0000 0000$_H$	<RSCAN0_base> + 0564$_H$	8、16、32
受信ルールポインタ 0 レジスタ 6	RSCAN0GAFLP06	0000 0000$_H$	<RSCAN0_base> + 0568$_H$	8、16、32
受信ルールポインタ 1 レジスタ 6	RSCAN0GAFLP16	0000 0000$_H$	<RSCAN0_base> + 056C$_H$	8、16、32
受信ルール ID レジスタ 7	RSCAN0GAFLID7	0000 0000$_H$	<RSCAN0_base> + 0570$_H$	8、16、32
受信ルールマスクレジスタ 7	RSCAN0GAFLM7	0000 0000$_H$	<RSCAN0_base> + 0574$_H$	8、16、32
受信ルールポインタ 0 レジスタ 7	RSCAN0GAFLP07	0000 0000$_H$	<RSCAN0_base> + 0578$_H$	8、16、32
受信ルールポインタ 1 レジスタ 7	RSCAN0GAFLP17	0000 0000$_H$	<RSCAN0_base> + 057C$_H$	8、16、32
受信ルール ID レジスタ 8	RSCAN0GAFLID8	0000 0000$_H$	<RSCAN0_base> + 0580$_H$	8、16、32
受信ルールマスクレジスタ 8	RSCAN0GAFLM8	0000 0000$_H$	<RSCAN0_base> + 0584$_H$	8、16、32
受信ルールポインタ 0 レジスタ 8	RSCAN0GAFLP08	0000 0000$_H$	<RSCAN0_base> + 0588$_H$	8、16、32
受信ルールポインタ 1 レジスタ 8	RSCAN0GAFLP18	0000 0000$_H$	<RSCAN0_base> + 058C$_H$	8、16、32
受信ルール ID レジスタ 9	RSCAN0GAFLID9	0000 0000$_H$	<RSCAN0_base> + 0590$_H$	8、16、32
受信ルールマスクレジスタ 9	RSCAN0GAFLM9	0000 0000$_H$	<RSCAN0_base> + 0594$_H$	8、16、32
受信ルールポインタ 0 レジスタ 9	RSCAN0GAFLP09	0000 0000$_H$	<RSCAN0_base> + 0598$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(5 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
受信ルールポインタ 1 レジスタ 9	RSCAN0GAFLP19	0000 0000$_H$	<RSCAN0_base> + 059C$_H$	8、16、32
受信ルール ID レジスタ 10	RSCAN0GAFLID10	0000 0000$_H$	<RSCAN0_base> + 05A0$_H$	8、16、32
受信ルールマスクレジスタ 10	RSCAN0GAFLM10	0000 0000$_H$	<RSCAN0_base> + 05A4$_H$	8、16、32
受信ルールポインタ 0 レジスタ 10	RSCAN0GAFLP010	0000 0000$_H$	<RSCAN0_base> + 05A8$_H$	8、16、32
受信ルールポインタ 1 レジスタ 10	RSCAN0GAFLP110	0000 0000$_H$	<RSCAN0_base> + 05AC$_H$	8、16、32
受信ルール ID レジスタ 11	RSCAN0GAFLID11	0000 0000$_H$	<RSCAN0_base> + 05B0$_H$	8、16、32
受信ルールマスクレジスタ 11	RSCAN0GAFLM11	0000 0000$_H$	<RSCAN0_base> + 05B4$_H$	8、16、32
受信ルールポインタ 0 レジスタ 11	RSCAN0GAFLP011	0000 0000$_H$	<RSCAN0_base> + 05B8$_H$	8、16、32
受信ルールポインタ 1 レジスタ 11	RSCAN0GAFLP111	0000 0000$_H$	<RSCAN0_base> + 05BC$_H$	8、16、32
受信ルール ID レジスタ 12	RSCAN0GAFLID12	0000 0000$_H$	<RSCAN0_base> + 05C0$_H$	8、16、32
受信ルールマスクレジスタ 12	RSCAN0GAFLM12	0000 0000$_H$	<RSCAN0_base> + 05C4$_H$	8、16、32
受信ルールポインタ 0 レジスタ 12	RSCAN0GAFLP012	0000 0000$_H$	<RSCAN0_base> + 05C8$_H$	8、16、32
受信ルールポインタ 1 レジスタ 12	RSCAN0GAFLP112	0000 0000$_H$	<RSCAN0_base> + 05CC$_H$	8、16、32
受信ルール ID レジスタ 13	RSCAN0GAFLID13	0000 0000$_H$	<RSCAN0_base> + 05D0$_H$	8、16、32
受信ルールマスクレジスタ 13	RSCAN0GAFLM13	0000 0000$_H$	<RSCAN0_base> + 05D4$_H$	8、16、32
受信ルールポインタ 0 レジスタ 13	RSCAN0GAFLP013	0000 0000$_H$	<RSCAN0_base> + 05D8$_H$	8、16、32
受信ルールポインタ 1 レジスタ 13	RSCAN0GAFLP113	0000 0000$_H$	<RSCAN0_base> + 05DC$_H$	8、16、32
受信ルール ID レジスタ 14	RSCAN0GAFLID14	0000 0000$_H$	<RSCAN0_base> + 05E0$_H$	8、16、32
受信ルールマスクレジスタ 14	RSCAN0GAFLM14	0000 0000$_H$	<RSCAN0_base> + 05E4$_H$	8、16、32
受信ルールポインタ 0 レジスタ 14	RSCAN0GAFLP014	0000 0000$_H$	<RSCAN0_base> + 05E8$_H$	8、16、32
受信ルールポインタ 1 レジスタ 14	RSCAN0GAFLP114	0000 0000$_H$	<RSCAN0_base> + 05EC$_H$	8、16、32
受信ルール ID レジスタ 15	RSCAN0GAFLID15	0000 0000$_H$	<RSCAN0_base> + 05F0$_H$	8、16、32
受信ルールマスクレジスタ 15	RSCAN0GAFLM15	0000 0000$_H$	<RSCAN0_base> + 05F4$_H$	8、16、32
受信ルールポインタ 0 レジスタ 15	RSCAN0GAFLP015	0000 0000$_H$	<RSCAN0_base> + 05F8$_H$	8、16、32
受信ルールポインタ 1 レジスタ 15	RSCAN0GAFLP115	0000 0000$_H$	<RSCAN0_base> + 05FC$_H$	8、16、32
受信バッファ ID レジスタ 0	RSCAN0RMID0	0000 0000$_H$	<RSCAN0_base> + 0600$_H$	8、16、32
受信バッファポインタレジスタ 0	RSCAN0RMPTR0	0000 0000$_H$	<RSCAN0_base> + 0604$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 0	RSCAN0RMDF00	0000 0000$_H$	<RSCAN0_base> + 0608$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 0	RSCAN0RMDF10	0000 0000$_H$	<RSCAN0_base> + 060C$_H$	8、16、32
受信バッファ ID レジスタ 1	RSCAN0RMID1	0000 0000$_H$	<RSCAN0_base> + 0610$_H$	8、16、32
受信バッファポインタレジスタ 1	RSCAN0RMPTR1	0000 0000$_H$	<RSCAN0_base> + 0614$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 1	RSCAN0RMDF01	0000 0000$_H$	<RSCAN0_base> + 0618$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 1	RSCAN0RMDF11	0000 0000$_H$	<RSCAN0_base> + 061C$_H$	8、16、32
受信バッファ ID レジスタ 2	RSCAN0RMID2	0000 0000$_H$	<RSCAN0_base> + 0620$_H$	8、16、32
受信バッファポインタレジスタ 2	RSCAN0RMPTR2	0000 0000$_H$	<RSCAN0_base> + 0624$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 2	RSCAN0RMDF02	0000 0000$_H$	<RSCAN0_base> + 0628$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 2	RSCAN0RMDF12	0000 0000$_H$	<RSCAN0_base> + 062C$_H$	8、16、32
受信バッファ ID レジスタ 3	RSCAN0RMID3	0000 0000$_H$	<RSCAN0_base> + 0630$_H$	8、16、32
受信バッファポインタレジスタ 3	RSCAN0RMPTR3	0000 0000$_H$	<RSCAN0_base> + 0634$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 3	RSCAN0RMDF03	0000 0000$_H$	<RSCAN0_base> + 0638$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 3	RSCAN0RMDF13	0000 0000$_H$	<RSCAN0_base> + 063C$_H$	8、16、32
受信バッファ ID レジスタ 4	RSCAN0RMID4	0000 0000$_H$	<RSCAN0_base> + 0640$_H$	8、16、32
受信バッファポインタレジスタ 4	RSCAN0RMPTR4	0000 0000$_H$	<RSCAN0_base> + 0644$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 4	RSCAN0RMDF04	0000 0000$_H$	<RSCAN0_base> + 0648$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 4	RSCAN0RMDF14	0000 0000$_H$	<RSCAN0_base> + 064C$_H$	8、16、32
受信バッファ ID レジスタ 5	RSCAN0RMID5	0000 0000$_H$	<RSCAN0_base> + 0650$_H$	8、16、32
受信バッファポインタレジスタ 5	RSCAN0RMPTR5	0000 0000$_H$	<RSCAN0_base> + 0654$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 5	RSCAN0RMDF05	0000 0000$_H$	<RSCAN0_base> + 0658$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(6 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
受信バッファデータフィールド 1 レジスタ 5	RSCAN0RMDF15	0000 0000$_H$	<RSCAN0_base> + 065C$_H$	8、16、32
受信バッファ ID レジスタ 6	RSCAN0RMID6	0000 0000$_H$	<RSCAN0_base> + 0660$_H$	8、16、32
受信バッファポインタレジスタ 6	RSCAN0RMPTR6	0000 0000$_H$	<RSCAN0_base> + 0664$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 6	RSCAN0RMDF06	0000 0000$_H$	<RSCAN0_base> + 0668$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 6	RSCAN0RMDF16	0000 0000$_H$	<RSCAN0_base> + 066C$_H$	8、16、32
受信バッファ ID レジスタ 7	RSCAN0RMID7	0000 0000$_H$	<RSCAN0_base> + 0670$_H$	8、16、32
受信バッファポインタレジスタ 7	RSCAN0RMPTR7	0000 0000$_H$	<RSCAN0_base> + 0674$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 7	RSCAN0RMDF07	0000 0000$_H$	<RSCAN0_base> + 0678$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 7	RSCAN0RMDF17	0000 0000$_H$	<RSCAN0_base> + 067C$_H$	8、16、32
受信バッファ ID レジスタ 8	RSCAN0RMID8	0000 0000$_H$	<RSCAN0_base> + 0680$_H$	8、16、32
受信バッファポインタレジスタ 8	RSCAN0RMPTR8	0000 0000$_H$	<RSCAN0_base> + 0684$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 8	RSCAN0RMDF08	0000 0000$_H$	<RSCAN0_base> + 0688$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 8	RSCAN0RMDF18	0000 0000$_H$	<RSCAN0_base> + 068C$_H$	8、16、32
受信バッファ ID レジスタ 9	RSCAN0RMID9	0000 0000$_H$	<RSCAN0_base> + 0690$_H$	8、16、32
受信バッファポインタレジスタ 9	RSCAN0RMPTR9	0000 0000$_H$	<RSCAN0_base> + 0694$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 9	RSCAN0RMDF09	0000 0000$_H$	<RSCAN0_base> + 0698$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 9	RSCAN0RMDF19	0000 0000$_H$	<RSCAN0_base> + 069C$_H$	8、16、32
受信バッファ ID レジスタ 10	RSCAN0RMID10	0000 0000$_H$	<RSCAN0_base> + 06A0$_H$	8、16、32
受信バッファポインタレジスタ 10	RSCAN0RMPTR10	0000 0000$_H$	<RSCAN0_base> + 06A4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 10	RSCAN0RMDF010	0000 0000$_H$	<RSCAN0_base> + 06A8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 10	RSCAN0RMDF110	0000 0000$_H$	<RSCAN0_base> + 06AC$_H$	8、16、32
受信バッファ ID レジスタ 11	RSCAN0RMID11	0000 0000$_H$	<RSCAN0_base> + 06B0$_H$	8、16、32
受信バッファポインタレジスタ 11	RSCAN0RMPTR11	0000 0000$_H$	<RSCAN0_base> + 06B4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 11	RSCAN0RMDF011	0000 0000$_H$	<RSCAN0_base> + 06B8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 11	RSCAN0RMDF111	0000 0000$_H$	<RSCAN0_base> + 06BC$_H$	8、16、32
受信バッファ ID レジスタ 12	RSCAN0RMID12	0000 0000$_H$	<RSCAN0_base> + 06C0$_H$	8、16、32
受信バッファポインタレジスタ 12	RSCAN0RMPTR12	0000 0000$_H$	<RSCAN0_base> + 06C4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 12	RSCAN0RMDF012	0000 0000$_H$	<RSCAN0_base> + 06C8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 12	RSCAN0RMDF112	0000 0000$_H$	<RSCAN0_base> + 06CC$_H$	8、16、32
受信バッファ ID レジスタ 13	RSCAN0RMID13	0000 0000$_H$	<RSCAN0_base> + 06D0$_H$	8、16、32
受信バッファポインタレジスタ 13	RSCAN0RMPTR13	0000 0000$_H$	<RSCAN0_base> + 06D4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 13	RSCAN0RMDF013	0000 0000$_H$	<RSCAN0_base> + 06D8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 13	RSCAN0RMDF113	0000 0000$_H$	<RSCAN0_base> + 06DC$_H$	8、16、32
受信バッファ ID レジスタ 14	RSCAN0RMID14	0000 0000$_H$	<RSCAN0_base> + 06E0$_H$	8、16、32
受信バッファポインタレジスタ 14	RSCAN0RMPTR14	0000 0000$_H$	<RSCAN0_base> + 06E4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 14	RSCAN0RMDF014	0000 0000$_H$	<RSCAN0_base> + 06E8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 14	RSCAN0RMDF114	0000 0000$_H$	<RSCAN0_base> + 06EC$_H$	8、16、32
受信バッファ ID レジスタ 15	RSCAN0RMID15	0000 0000$_H$	<RSCAN0_base> + 06F0$_H$	8、16、32
受信バッファポインタレジスタ 15	RSCAN0RMPTR15	0000 0000$_H$	<RSCAN0_base> + 06F4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 15	RSCAN0RMDF015	0000 0000$_H$	<RSCAN0_base> + 06F8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 15	RSCAN0RMDF115	0000 0000$_H$	<RSCAN0_base> + 06FC$_H$	8、16、32
受信バッファ ID レジスタ 16	RSCAN0RMID16	0000 0000$_H$	<RSCAN0_base> + 0700$_H$	8、16、32
受信バッファポインタレジスタ 16	RSCAN0RMPTR16	0000 0000$_H$	<RSCAN0_base> + 0704$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 16	RSCAN0RMDF016	0000 0000$_H$	<RSCAN0_base> + 0708$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 16	RSCAN0RMDF116	0000 0000$_H$	<RSCAN0_base> + 070C$_H$	8、16、32
受信バッファ ID レジスタ 17	RSCAN0RMID17	0000 0000$_H$	<RSCAN0_base> + 0710$_H$	8、16、32
受信バッファポインタレジスタ 17	RSCAN0RMPTR17	0000 0000$_H$	<RSCAN0_base> + 0714$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 17	RSCAN0RMDF017	0000 0000$_H$	<RSCAN0_base> + 0718$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(7 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
受信バッファデータフィールド 1 レジスタ 17	RSCAN0RMDF117	0000 0000$_H$	<RSCAN0_base> + 071C$_H$	8、16、32
受信バッファ ID レジスタ 18	RSCAN0RMID18	0000 0000$_H$	<RSCAN0_base> + 0720$_H$	8、16、32
受信バッファポインタレジスタ 18	RSCAN0RMPTR18	0000 0000$_H$	<RSCAN0_base> + 0724$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 18	RSCAN0RMDF018	0000 0000$_H$	<RSCAN0_base> + 0728$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 18	RSCAN0RMDF118	0000 0000$_H$	<RSCAN0_base> + 072C$_H$	8、16、32
受信バッファ ID レジスタ 19	RSCAN0RMID19	0000 0000$_H$	<RSCAN0_base> + 0730$_H$	8、16、32
受信バッファポインタレジスタ 19	RSCAN0RMPTR19	0000 0000$_H$	<RSCAN0_base> + 0734$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 19	RSCAN0RMDF019	0000 0000$_H$	<RSCAN0_base> + 0738$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 19	RSCAN0RMDF119	0000 0000$_H$	<RSCAN0_base> + 073C$_H$	8、16、32
受信バッファ ID レジスタ 20	RSCAN0RMID20	0000 0000$_H$	<RSCAN0_base> + 0740$_H$	8、16、32
受信バッファポインタレジスタ 20	RSCAN0RMPTR20	0000 0000$_H$	<RSCAN0_base> + 0744$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 20	RSCAN0RMDF020	0000 0000$_H$	<RSCAN0_base> + 0748$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 20	RSCAN0RMDF120	0000 0000$_H$	<RSCAN0_base> + 074C$_H$	8、16、32
受信バッファ ID レジスタ 21	RSCAN0RMID21	0000 0000$_H$	<RSCAN0_base> + 0750$_H$	8、16、32
受信バッファポインタレジスタ 21	RSCAN0RMPTR21	0000 0000$_H$	<RSCAN0_base> + 0754$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 21	RSCAN0RMDF021	0000 0000$_H$	<RSCAN0_base> + 0758$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 21	RSCAN0RMDF121	0000 0000$_H$	<RSCAN0_base> + 075C$_H$	8、16、32
受信バッファ ID レジスタ 22	RSCAN0RMID22	0000 0000$_H$	<RSCAN0_base> + 0760$_H$	8、16、32
受信バッファポインタレジスタ 22	RSCAN0RMPTR22	0000 0000$_H$	<RSCAN0_base> + 0764$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 22	RSCAN0RMDF022	0000 0000$_H$	<RSCAN0_base> + 0768$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 22	RSCAN0RMDF122	0000 0000$_H$	<RSCAN0_base> + 076C$_H$	8、16、32
受信バッファ ID レジスタ 23	RSCAN0RMID23	0000 0000$_H$	<RSCAN0_base> + 0770$_H$	8、16、32
受信バッファポインタレジスタ 23	RSCAN0RMPTR23	0000 0000$_H$	<RSCAN0_base> + 0774$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 23	RSCAN0RMDF023	0000 0000$_H$	<RSCAN0_base> + 0778$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 23	RSCAN0RMDF123	0000 0000$_H$	<RSCAN0_base> + 077C$_H$	8、16、32
受信バッファ ID レジスタ 24	RSCAN0RMID24	0000 0000$_H$	<RSCAN0_base> + 0780$_H$	8、16、32
受信バッファポインタレジスタ 24	RSCAN0RMPTR24	0000 0000$_H$	<RSCAN0_base> + 0784$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 24	RSCAN0RMDF024	0000 0000$_H$	<RSCAN0_base> + 0788$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 24	RSCAN0RMDF124	0000 0000$_H$	<RSCAN0_base> + 078C$_H$	8、16、32
受信バッファ ID レジスタ 25	RSCAN0RMID25	0000 0000$_H$	<RSCAN0_base> + 0790$_H$	8、16、32
受信バッファポインタレジスタ 25	RSCAN0RMPTR25	0000 0000$_H$	<RSCAN0_base> + 0794$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 25	RSCAN0RMDF025	0000 0000$_H$	<RSCAN0_base> + 0798$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 25	RSCAN0RMDF125	0000 0000$_H$	<RSCAN0_base> + 079C$_H$	8、16、32
受信バッファ ID レジスタ 26	RSCAN0RMID26	0000 0000$_H$	<RSCAN0_base> + 07A0$_H$	8、16、32
受信バッファポインタレジスタ 26	RSCAN0RMPTR26	0000 0000$_H$	<RSCAN0_base> + 07A4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 26	RSCAN0RMDF026	0000 0000$_H$	<RSCAN0_base> + 07A8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 26	RSCAN0RMDF126	0000 0000$_H$	<RSCAN0_base> + 07AC$_H$	8、16、32
受信バッファ ID レジスタ 27	RSCAN0RMID27	0000 0000$_H$	<RSCAN0_base> + 07B0$_H$	8、16、32
受信バッファポインタレジスタ 27	RSCAN0RMPTR27	0000 0000$_H$	<RSCAN0_base> + 07B4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 27	RSCAN0RMDF027	0000 0000$_H$	<RSCAN0_base> + 07B8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 27	RSCAN0RMDF127	0000 0000$_H$	<RSCAN0_base> + 07BC$_H$	8、16、32
受信バッファ ID レジスタ 28	RSCAN0RMID28	0000 0000$_H$	<RSCAN0_base> + 07C0$_H$	8、16、32
受信バッファポインタレジスタ 28	RSCAN0RMPTR28	0000 0000$_H$	<RSCAN0_base> + 07C4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 28	RSCAN0RMDF028	0000 0000$_H$	<RSCAN0_base> + 07C8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 28	RSCAN0RMDF128	0000 0000$_H$	<RSCAN0_base> + 07CC$_H$	8、16、32
受信バッファ ID レジスタ 29	RSCAN0RMID29	0000 0000$_H$	<RSCAN0_base> + 07D0$_H$	8、16、32
受信バッファポインタレジスタ 29	RSCAN0RMPTR29	0000 0000$_H$	<RSCAN0_base> + 07D4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 29	RSCAN0RMDF029	0000 0000$_H$	<RSCAN0_base> + 07D8$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(8 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
受信バッファデータフィールド 1 レジスタ 29	RSCAN0RMDF129	0000 0000$_H$	<RSCAN0_base> + 07DC$_H$	8、16、32
受信バッファ ID レジスタ 30	RSCAN0RMID30	0000 0000$_H$	<RSCAN0_base> + 07E0$_H$	8、16、32
受信バッファポインタレジスタ 30	RSCAN0RMPTR30	0000 0000$_H$	<RSCAN0_base> + 07E4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 30	RSCAN0RMDF030	0000 0000$_H$	<RSCAN0_base> + 07E8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 30	RSCAN0RMDF130	0000 0000$_H$	<RSCAN0_base> + 07EC$_H$	8、16、32
受信バッファ ID レジスタ 31	RSCAN0RMID31	0000 0000$_H$	<RSCAN0_base> + 07F0$_H$	8、16、32
受信バッファポインタレジスタ 31	RSCAN0RMPTR31	0000 0000$_H$	<RSCAN0_base> + 07F4$_H$	8、16、32
受信バッファデータフィールド 0 レジスタ 31	RSCAN0RMDF031	0000 0000$_H$	<RSCAN0_base> + 07F8$_H$	8、16、32
受信バッファデータフィールド 1 レジスタ 31	RSCAN0RMDF131	0000 0000$_H$	<RSCAN0_base> + 07FC$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 0	RSCAN0RFID0	0000 0000$_H$	<RSCAN0_base> + 0E00$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN0RFPTR0	0000 0000$_H$	<RSCAN0_base> + 0E04$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN0RFDF00	0000 0000$_H$	<RSCAN0_base> + 0E08$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN0RFDF10	0000 0000$_H$	<RSCAN0_base> + 0E0C$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 1	RSCAN0RFID1	0000 0000$_H$	<RSCAN0_base> + 0E10$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN0RFPTR1	0000 0000$_H$	<RSCAN0_base> + 0E14$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN0RFDF01	0000 0000$_H$	<RSCAN0_base> + 0E18$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN0RFDF11	0000 0000$_H$	<RSCAN0_base> + 0E1C$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 2	RSCAN0RFID2	0000 0000$_H$	<RSCAN0_base> + 0E20$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN0RFPTR2	0000 0000$_H$	<RSCAN0_base> + 0E24$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN0RFDF02	0000 0000$_H$	<RSCAN0_base> + 0E28$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN0RFDF12	0000 0000$_H$	<RSCAN0_base> + 0E2C$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 3	RSCAN0RFID3	0000 0000$_H$	<RSCAN0_base> + 0E30$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0RFPTR3	0000 0000$_H$	<RSCAN0_base> + 0E34$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN0RFDF03	0000 0000$_H$	<RSCAN0_base> + 0E38$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN0RFDF13	0000 0000$_H$	<RSCAN0_base> + 0E3C$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0RFID4	0000 0000$_H$	<RSCAN0_base> + 0E40$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0RFPTR4	0000 0000$_H$	<RSCAN0_base> + 0E44$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN0RFDF04	0000 0000$_H$	<RSCAN0_base> + 0E48$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN0RFDF14	0000 0000$_H$	<RSCAN0_base> + 0E4C$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0RFID5	0000 0000$_H$	<RSCAN0_base> + 0E50$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0RFPTR5	0000 0000$_H$	<RSCAN0_base> + 0E54$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN0RFDF05	0000 0000$_H$	<RSCAN0_base> + 0E58$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN0RFDF15	0000 0000$_H$	<RSCAN0_base> + 0E5C$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 6	RSCAN0RFID6	0000 0000$_H$	<RSCAN0_base> + 0E60$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 6	RSCAN0RFPTR6	0000 0000$_H$	<RSCAN0_base> + 0E64$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 6	RSCAN0RFDF06	0000 0000$_H$	<RSCAN0_base> + 0E68$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 6	RSCAN0RFDF16	0000 0000$_H$	<RSCAN0_base> + 0E6C$_H$	8、16、32
受信 FIFO バッファアクセス ID レジスタ 7	RSCAN0RFID7	0000 0000$_H$	<RSCAN0_base> + 0E70$_H$	8、16、32
受信 FIFO バッファアクセスポインタレジスタ 7	RSCAN0RFPTR7	0000 0000$_H$	<RSCAN0_base> + 0E74$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 0 レジスタ 7	RSCAN0RFDF07	0000 0000$_H$	<RSCAN0_base> + 0E78$_H$	8、16、32
受信 FIFO バッファアクセスデータフィールド 1 レジスタ 7	RSCAN0RFDF17	0000 0000$_H$	<RSCAN0_base> + 0E7C$_H$	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 0	RSCAN0CFID0	0000 0000$_H$	<RSCAN0_base> + 0E80$_H$	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 0	RSCAN0CFPTR0	0000 0000$_H$	<RSCAN0_base> + 0E84$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 0	RSCAN0CFDF00	0000 0000$_H$	<RSCAN0_base> + 0E88$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 0	RSCAN0CFDF10	0000 0000$_H$	<RSCAN0_base> + 0E8C$_H$	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 1	RSCAN0CFID1	0000 0000$_H$	<RSCAN0_base> + 0E90$_H$	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 1	RSCAN0CFPTR1	0000 0000$_H$	<RSCAN0_base> + 0E94$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 1	RSCAN0CFDF01	0000 0000$_H$	<RSCAN0_base> + 0E98$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(9 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 1	RSCAN0CFDF11	0000 0000$_H$	<RSCAN0_base> + 0E9C$_H$	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 2	RSCAN0CFID2	0000 0000$_H$	<RSCAN0_base> + 0EA0$_H$	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 2	RSCAN0CFPTR2	0000 0000$_H$	<RSCAN0_base> + 0EA4$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 2	RSCAN0CFDF02	0000 0000$_H$	<RSCAN0_base> + 0EA8$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 2	RSCAN0CFDF12	0000 0000$_H$	<RSCAN0_base> + 0EAC$_H$	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 3	RSCAN0CFID3	0000 0000$_H$	<RSCAN0_base> + 0EB0$_H$	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 3	RSCAN0CFPTR3	0000 0000$_H$	<RSCAN0_base> + 0EB4$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 3	RSCAN0CFDF03	0000 0000$_H$	<RSCAN0_base> + 0EB8$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 3	RSCAN0CFDF13	0000 0000$_H$	<RSCAN0_base> + 0EBC$_H$	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 4	RSCAN0CFID4	0000 0000$_H$	<RSCAN0_base> + 0EC0$_H$	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 4	RSCAN0CFPTR4	0000 0000$_H$	<RSCAN0_base> + 0EC4$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 4	RSCAN0CFDF04	0000 0000$_H$	<RSCAN0_base> + 0EC8$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 4	RSCAN0CFDF14	0000 0000$_H$	<RSCAN0_base> + 0ECC$_H$	8、16、32
送受信 FIFO バッファアクセス ID レジスタ 5	RSCAN0CFID5	0000 0000$_H$	<RSCAN0_base> + 0ED0$_H$	8、16、32
送受信 FIFO バッファアクセスポインタレジスタ 5	RSCAN0CFPTR5	0000 0000$_H$	<RSCAN0_base> + 0ED4$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 0 レジスタ 5	RSCAN0CFDF05	0000 0000$_H$	<RSCAN0_base> + 0ED8$_H$	8、16、32
送受信 FIFO バッファアクセスデータフィールド 1 レジスタ 5	RSCAN0CFDF15	0000 0000$_H$	<RSCAN0_base> + 0EDC$_H$	8、16、32
送信バッファ ID レジスタ 0	RSCAN0TMID0	0000 0000$_H$	<RSCAN0_base> + 1000$_H$	8、16、32
送信バッファポインタレジスタ 0	RSCAN0TMPTR0	0000 0000$_H$	<RSCAN0_base> + 1004$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 0	RSCAN0TMDF00	0000 0000$_H$	<RSCAN0_base> + 1008$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 0	RSCAN0TMDF10	0000 0000$_H$	<RSCAN0_base> + 100C$_H$	8、16、32
送信バッファ ID レジスタ 1	RSCAN0TMID1	0000 0000$_H$	<RSCAN0_base> + 1010$_H$	8、16、32
送信バッファポインタレジスタ 1	RSCAN0TMPTR1	0000 0000$_H$	<RSCAN0_base> + 1014$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 1	RSCAN0TMDF01	0000 0000$_H$	<RSCAN0_base> + 1018$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 1	RSCAN0TMDF11	0000 0000$_H$	<RSCAN0_base> + 101C$_H$	8、16、32
送信バッファ ID レジスタ 2	RSCAN0TMID2	0000 0000$_H$	<RSCAN0_base> + 1020$_H$	8、16、32
送信バッファポインタレジスタ 2	RSCAN0TMPTR2	0000 0000$_H$	<RSCAN0_base> + 1024$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 2	RSCAN0TMDF02	0000 0000$_H$	<RSCAN0_base> + 1028$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 2	RSCAN0TMDF12	0000 0000$_H$	<RSCAN0_base> + 102C$_H$	8、16、32
送信バッファ ID レジスタ 3	RSCAN0TMID3	0000 0000$_H$	<RSCAN0_base> + 1030$_H$	8、16、32
送信バッファポインタレジスタ 3	RSCAN0TMPTR3	0000 0000$_H$	<RSCAN0_base> + 1034$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 3	RSCAN0TMDF03	0000 0000$_H$	<RSCAN0_base> + 1038$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 3	RSCAN0TMDF13	0000 0000$_H$	<RSCAN0_base> + 103C$_H$	8、16、32
送信バッファ ID レジスタ 4	RSCAN0TMID4	0000 0000$_H$	<RSCAN0_base> + 1040$_H$	8、16、32
送信バッファポインタレジスタ 4	RSCAN0TMPTR4	0000 0000$_H$	<RSCAN0_base> + 1044$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 4	RSCAN0TMDF04	0000 0000$_H$	<RSCAN0_base> + 1048$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 4	RSCAN0TMDF14	0000 0000$_H$	<RSCAN0_base> + 104C$_H$	8、16、32
送信バッファ ID レジスタ 5	RSCAN0TMID5	0000 0000$_H$	<RSCAN0_base> + 1050$_H$	8、16、32
送信バッファポインタレジスタ 5	RSCAN0TMPTR5	0000 0000$_H$	<RSCAN0_base> + 1054$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 5	RSCAN0TMDF05	0000 0000$_H$	<RSCAN0_base> + 1058$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 5	RSCAN0TMDF15	0000 0000$_H$	<RSCAN0_base> + 105C$_H$	8、16、32
送信バッファ ID レジスタ 6	RSCAN0TMID6	0000 0000$_H$	<RSCAN0_base> + 1060$_H$	8、16、32
送信バッファポインタレジスタ 6	RSCAN0TMPTR6	0000 0000$_H$	<RSCAN0_base> + 1064$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 6	RSCAN0TMDF06	0000 0000$_H$	<RSCAN0_base> + 1068$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 6	RSCAN0TMDF16	0000 0000$_H$	<RSCAN0_base> + 106C$_H$	8、16、32
送信バッファ ID レジスタ 7	RSCAN0TMID7	0000 0000$_H$	<RSCAN0_base> + 1070$_H$	8、16、32
送信バッファポインタレジスタ 7	RSCAN0TMPTR7	0000 0000$_H$	<RSCAN0_base> + 1074$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 7	RSCAN0TMDF07	0000 0000$_H$	<RSCAN0_base> + 1078$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(10 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
送信バッファデータフィールド 1 レジスタ 7	RSCAN0TMDF17	0000 0000$_H$	<RSCAN0_base> + 107C$_H$	8、16、32
送信バッファ ID レジスタ 8	RSCAN0TMID8	0000 0000$_H$	<RSCAN0_base> + 1080$_H$	8、16、32
送信バッファポインタレジスタ 8	RSCAN0TMPTR8	0000 0000$_H$	<RSCAN0_base> + 1084$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 8	RSCAN0TMDF08	0000 0000$_H$	<RSCAN0_base> + 1088$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 8	RSCAN0TMDF18	0000 0000$_H$	<RSCAN0_base> + 108C$_H$	8、16、32
送信バッファ ID レジスタ 9	RSCAN0TMID9	0000 0000$_H$	<RSCAN0_base> + 1090$_H$	8、16、32
送信バッファポインタレジスタ 9	RSCAN0TMPTR9	0000 0000$_H$	<RSCAN0_base> + 1094$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 9	RSCAN0TMDF09	0000 0000$_H$	<RSCAN0_base> + 1098$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 9	RSCAN0TMDF19	0000 0000$_H$	<RSCAN0_base> + 109C$_H$	8、16、32
送信バッファ ID レジスタ 10	RSCAN0TMID10	0000 0000$_H$	<RSCAN0_base> + 10A0$_H$	8、16、32
送信バッファポインタレジスタ 10	RSCAN0TMPTR10	0000 0000$_H$	<RSCAN0_base> + 10A4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 10	RSCAN0TMDF010	0000 0000$_H$	<RSCAN0_base> + 10A8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 10	RSCAN0TMDF110	0000 0000$_H$	<RSCAN0_base> + 10AC$_H$	8、16、32
送信バッファ ID レジスタ 11	RSCAN0TMID11	0000 0000$_H$	<RSCAN0_base> + 10B0$_H$	8、16、32
送信バッファポインタレジスタ 11	RSCAN0TMPTR11	0000 0000$_H$	<RSCAN0_base> + 10B4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 11	RSCAN0TMDF011	0000 0000$_H$	<RSCAN0_base> + 10B8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 11	RSCAN0TMDF111	0000 0000$_H$	<RSCAN0_base> + 10BC$_H$	8、16、32
送信バッファ ID レジスタ 12	RSCAN0TMID12	0000 0000$_H$	<RSCAN0_base> + 10C0$_H$	8、16、32
送信バッファポインタレジスタ 12	RSCAN0TMPTR12	0000 0000$_H$	<RSCAN0_base> + 10C4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 12	RSCAN0TMDF012	0000 0000$_H$	<RSCAN0_base> + 10C8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 12	RSCAN0TMDF112	0000 0000$_H$	<RSCAN0_base> + 10CC$_H$	8、16、32
送信バッファ ID レジスタ 13	RSCAN0TMID13	0000 0000$_H$	<RSCAN0_base> + 10D0$_H$	8、16、32
送信バッファポインタレジスタ 13	RSCAN0TMPTR13	0000 0000$_H$	<RSCAN0_base> + 10D4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 13	RSCAN0TMDF013	0000 0000$_H$	<RSCAN0_base> + 10D8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 13	RSCAN0TMDF113	0000 0000$_H$	<RSCAN0_base> + 10DC$_H$	8、16、32
送信バッファ ID レジスタ 14	RSCAN0TMID14	0000 0000$_H$	<RSCAN0_base> + 10E0$_H$	8、16、32
送信バッファポインタレジスタ 14	RSCAN0TMPTR14	0000 0000$_H$	<RSCAN0_base> + 10E4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 14	RSCAN0TMDF014	0000 0000$_H$	<RSCAN0_base> + 10E8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 14	RSCAN0TMDF114	0000 0000$_H$	<RSCAN0_base> + 10EC$_H$	8、16、32
送信バッファ ID レジスタ 15	RSCAN0TMID15	0000 0000$_H$	<RSCAN0_base> + 10F0$_H$	8、16、32
送信バッファポインタレジスタ 15	RSCAN0TMPTR15	0000 0000$_H$	<RSCAN0_base> + 10F4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 15	RSCAN0TMDF015	0000 0000$_H$	<RSCAN0_base> + 10F8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 15	RSCAN0TMDF115	0000 0000$_H$	<RSCAN0_base> + 10FC$_H$	8、16、32
送信バッファ ID レジスタ 16	RSCAN0TMID16	0000 0000$_H$	<RSCAN0_base> + 1100$_H$	8、16、32
送信バッファポインタレジスタ 16	RSCAN0TMPTR16	0000 0000$_H$	<RSCAN0_base> + 1104$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 16	RSCAN0TMDF016	0000 0000$_H$	<RSCAN0_base> + 1108$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 16	RSCAN0TMDF116	0000 0000$_H$	<RSCAN0_base> + 110C$_H$	8、16、32
送信バッファ ID レジスタ 17	RSCAN0TMID17	0000 0000$_H$	<RSCAN0_base> + 1110$_H$	8、16、32
送信バッファポインタレジスタ 17	RSCAN0TMPTR17	0000 0000$_H$	<RSCAN0_base> + 1114$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 17	RSCAN0TMDF017	0000 0000$_H$	<RSCAN0_base> + 1118$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 17	RSCAN0TMDF117	0000 0000$_H$	<RSCAN0_base> + 111C$_H$	8、16、32
送信バッファ ID レジスタ 18	RSCAN0TMID18	0000 0000$_H$	<RSCAN0_base> + 1120$_H$	8、16、32
送信バッファポインタレジスタ 18	RSCAN0TMPTR18	0000 0000$_H$	<RSCAN0_base> + 1124$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 18	RSCAN0TMDF018	0000 0000$_H$	<RSCAN0_base> + 1128$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 18	RSCAN0TMDF118	0000 0000$_H$	<RSCAN0_base> + 112C$_H$	8、16、32
送信バッファ ID レジスタ 19	RSCAN0TMID19	0000 0000$_H$	<RSCAN0_base> + 1130$_H$	8、16、32
送信バッファポインタレジスタ 19	RSCAN0TMPTR19	0000 0000$_H$	<RSCAN0_base> + 1134$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 19	RSCAN0TMDF019	0000 0000$_H$	<RSCAN0_base> + 1138$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(11 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
送信バッファデータフィールド 1 レジスタ 19	RSCAN0TMDF119	0000 0000$_H$	<RSCAN0_base> + 113C$_H$	8、16、32
送信バッファ ID レジスタ 20	RSCAN0TMID20	0000 0000$_H$	<RSCAN0_base> + 1140$_H$	8、16、32
送信バッファポインタレジスタ 20	RSCAN0TMPTR20	0000 0000$_H$	<RSCAN0_base> + 1144$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 20	RSCAN0TMDF020	0000 0000$_H$	<RSCAN0_base> + 1148$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 20	RSCAN0TMDF120	0000 0000$_H$	<RSCAN0_base> + 114C$_H$	8、16、32
送信バッファ ID レジスタ 21	RSCAN0TMID21	0000 0000$_H$	<RSCAN0_base> + 1150$_H$	8、16、32
送信バッファポインタレジスタ 21	RSCAN0TMPTR21	0000 0000$_H$	<RSCAN0_base> + 1154$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 21	RSCAN0TMDF021	0000 0000$_H$	<RSCAN0_base> + 1158$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 21	RSCAN0TMDF121	0000 0000$_H$	<RSCAN0_base> + 115C$_H$	8、16、32
送信バッファ ID レジスタ 22	RSCAN0TMID22	0000 0000$_H$	<RSCAN0_base> + 1160$_H$	8、16、32
送信バッファポインタレジスタ 22	RSCAN0TMPTR22	0000 0000$_H$	<RSCAN0_base> + 1164$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 22	RSCAN0TMDF022	0000 0000$_H$	<RSCAN0_base> + 1168$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 22	RSCAN0TMDF122	0000 0000$_H$	<RSCAN0_base> + 116C$_H$	8、16、32
送信バッファ ID レジスタ 23	RSCAN0TMID23	0000 0000$_H$	<RSCAN0_base> + 1170$_H$	8、16、32
送信バッファポインタレジスタ 23	RSCAN0TMPTR23	0000 0000$_H$	<RSCAN0_base> + 1174$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 23	RSCAN0TMDF023	0000 0000$_H$	<RSCAN0_base> + 1178$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 23	RSCAN0TMDF123	0000 0000$_H$	<RSCAN0_base> + 117C$_H$	8、16、32
送信バッファ ID レジスタ 24	RSCAN0TMID24	0000 0000$_H$	<RSCAN0_base> + 1180$_H$	8、16、32
送信バッファポインタレジスタ 24	RSCAN0TMPTR24	0000 0000$_H$	<RSCAN0_base> + 1184$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 24	RSCAN0TMDF024	0000 0000$_H$	<RSCAN0_base> + 1188$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 24	RSCAN0TMDF124	0000 0000$_H$	<RSCAN0_base> + 118C$_H$	8、16、32
送信バッファ ID レジスタ 25	RSCAN0TMID25	0000 0000$_H$	<RSCAN0_base> + 1190$_H$	8、16、32
送信バッファポインタレジスタ 25	RSCAN0TMPTR25	0000 0000$_H$	<RSCAN0_base> + 1194$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 25	RSCAN0TMDF025	0000 0000$_H$	<RSCAN0_base> + 1198$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 25	RSCAN0TMDF125	0000 0000$_H$	<RSCAN0_base> + 119C$_H$	8、16、32
送信バッファ ID レジスタ 26	RSCAN0TMID26	0000 0000$_H$	<RSCAN0_base> + 11A0$_H$	8、16、32
送信バッファポインタレジスタ 26	RSCAN0TMPTR26	0000 0000$_H$	<RSCAN0_base> + 11A4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 26	RSCAN0TMDF026	0000 0000$_H$	<RSCAN0_base> + 11A8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 26	RSCAN0TMDF126	0000 0000$_H$	<RSCAN0_base> + 11AC$_H$	8、16、32
送信バッファ ID レジスタ 27	RSCAN0TMID27	0000 0000$_H$	<RSCAN0_base> + 11B0$_H$	8、16、32
送信バッファポインタレジスタ 27	RSCAN0TMPTR27	0000 0000$_H$	<RSCAN0_base> + 11B4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 27	RSCAN0TMDF027	0000 0000$_H$	<RSCAN0_base> + 11B8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 27	RSCAN0TMDF127	0000 0000$_H$	<RSCAN0_base> + 11BC$_H$	8、16、32
送信バッファ ID レジスタ 28	RSCAN0TMID28	0000 0000$_H$	<RSCAN0_base> + 11C0$_H$	8、16、32
送信バッファポインタレジスタ 28	RSCAN0TMPTR28	0000 0000$_H$	<RSCAN0_base> + 11C4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 28	RSCAN0TMDF028	0000 0000$_H$	<RSCAN0_base> + 11C8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 28	RSCAN0TMDF128	0000 0000$_H$	<RSCAN0_base> + 11CC$_H$	8、16、32
送信バッファ ID レジスタ 29	RSCAN0TMID29	0000 0000$_H$	<RSCAN0_base> + 11D0$_H$	8、16、32
送信バッファポインタレジスタ 29	RSCAN0TMPTR29	0000 0000$_H$	<RSCAN0_base> + 11D4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 29	RSCAN0TMDF029	0000 0000$_H$	<RSCAN0_base> + 11D8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 29	RSCAN0TMDF129	0000 0000$_H$	<RSCAN0_base> + 11DC$_H$	8、16、32
送信バッファ ID レジスタ 30	RSCAN0TMID30	0000 0000$_H$	<RSCAN0_base> + 11E0$_H$	8、16、32
送信バッファポインタレジスタ 30	RSCAN0TMPTR30	0000 0000$_H$	<RSCAN0_base> + 11E4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 30	RSCAN0TMDF030	0000 0000$_H$	<RSCAN0_base> + 11E8$_H$	8、16、32
送信バッファデータフィールド 1 レジスタ 30	RSCAN0TMDF130	0000 0000$_H$	<RSCAN0_base> + 11EC$_H$	8、16、32
送信バッファ ID レジスタ 31	RSCAN0TMID31	0000 0000$_H$	<RSCAN0_base> + 11F0$_H$	8、16、32
送信バッファポインタレジスタ 31	RSCAN0TMPTR31	0000 0000$_H$	<RSCAN0_base> + 11F4$_H$	8、16、32
送信バッファデータフィールド 0 レジスタ 31	RSCAN0TMDF031	0000 0000$_H$	<RSCAN0_base> + 11F8$_H$	8、16、32

表 21.10　RS-CAN モジュールのレジスター覧　(12 / 12)

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
送信バッファデータフィールド 1 レジスタ 31	RSCAN0TMDF131	0000 0000$_H$	<RSCAN0_base> + 11FC$_H$	8、16、32
送信履歴アクセスレジスタ 0	RSCAN0THLACC0	0000 0000$_H$	<RSCAN0_base> + 1800$_H$	8、16、32
送信履歴アクセスレジスタ 1	RSCAN0THLACC1	0000 0000$_H$	<RSCAN0_base> + 1804$_H$	8、16、32

表 21.11　各チャネルに割り当てられる送信バッファ p

	CANm
送信バッファ p	送信バッファ 16 × m + 0
	送信バッファ 16 × m + 1
	送信バッファ 16 × m + 2
	送信バッファ 16 × m + 3
	送信バッファ 16 × m + 4
	送信バッファ 16 × m + 5
	送信バッファ 16 × m + 6
	送信バッファ 16 × m + 7
	送信バッファ 16 × m + 8
	送信バッファ 16 × m + 9
	送信バッファ 16 × m + 10
	送信バッファ 16 × m + 11
	送信バッファ 16 × m + 12
	送信バッファ 16 × m + 13
	送信バッファ 16 × m + 14
	送信バッファ 16 × m + 15

表 21.12　各チャネルに割り当てられる送受信 FIFO バッファ k

	CANm
送受信 FIFO バッファ k	送受信 FIFO バッファ 3 × m + 0
	送受信 FIFO バッファ 3 × m + 1
	送受信 FIFO バッファ 3 × m + 2

表 21.13　CFTML[3:0] ビットの設定値によって送受信 FIFO バッファにリンクされる送信バッファ p

CFTML[3:0] ビットの設定値	送受信 FIFO バッファにリンクされる送信バッファ p
0000_B	送信バッファ 16 × m + 0
0001_B	送信バッファ 16 × m + 1
0010_B	送信バッファ 16 × m + 2
0011_B	送信バッファ 16 × m + 3
0100_B	送信バッファ 16 × m + 4
0101_B	送信バッファ 16 × m + 5
0110_B	送信バッファ 16 × m + 6
0111_B	送信バッファ 16 × m + 7
1000_B	送信バッファ 16 × m + 8
1001_B	送信バッファ 16 × m + 9
1010_B	送信バッファ 16 × m + 10
1011_B	送信バッファ 16 × m + 11
1100_B	送信バッファ 16 × m + 12
1101_B	送信バッファ 16 × m + 13
1110_B	送信バッファ 16 × m + 14
1111_B	送信バッファ 16 × m + 15

表 21.14　各チャネルの送信キューに割り当てられる送信バッファ p

TXQDC [3:0] ビットの設定値	送信キューに割り当てられる送信バッファ p
0000_B	設定しないでください。
0001_B	設定しないでください。
0010_B	送信バッファ 16 × m + 15 ～ 16 × m + 13
0011_B	送信バッファ 16 × m + 15 ～ 16 × m + 12
0100_B	送信バッファ 16 × m + 15 ～ 16 × m + 11
0101_B	送信バッファ 16 × m + 15 ～ 16 × m + 10
0110_B	送信バッファ 16 × m + 15 ～ 16 × m + 9
0111_B	送信バッファ 16 × m + 15 ～ 16 × m + 8
1000_B	送信バッファ 16 × m + 15 ～ 16 × m + 7
1001_B	送信バッファ 16 × m + 15 ～ 16 × m + 6
1010_B	送信バッファ 16 × m + 15 ～ 16 × m + 5
1011_B	送信バッファ 16 × m + 15 ～ 16 × m + 4
1100_B	送信バッファ 16 × m + 15 ～ 16 × m + 3
1101_B	送信バッファ 16 × m + 15 ～ 16 × m + 2
1110_B	送信バッファ 16 × m + 15 ～ 16 × m + 1
1111_B	送信バッファ 16 × m + 15 ～ 16 × m + 0

21.3.1　RSCAN0CmCFG — チャネルコンフィグレーションレジスタ（m= 0、1）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0000_H + (m * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	SJW [1:0]		—	TSEG2 [2:0]			TSEG1 [3:0]			
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	BRP [9:0]									
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.15　RSCAN0CmCFG レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31 ～ 26	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
25 ～ 24	SJW [1:0]	再同期ジャンプ幅制御ビット b25 b24 0　0 : 1 Tq 0　1 : 2 Tq 1　0 : 3 Tq 1　1 : 4 Tq
23	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
22 ～ 20	TSEG2 [2:0]	タイムセグメント 2 制御ビット b22 b21 b20 0　0　0 : 設定しないでください 0　0　1 : 2 Tq 0　1　0 : 3 Tq 0　1　1 : 4 Tq 1　0　0 : 5 Tq 1　0　1 : 6 Tq 1　1　0 : 7 Tq 1　1　1 : 8 Tq

表 21.15　RSCAN0CmCFG レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
19 ～ 16	TSEG1 [3:0]	タイムセグメント 1 制御ビット b19 b18 b17 b16 0 0 0 0 : 設定しないでください 0 0 0 1 : 設定しないでください 0 0 1 0 : 設定しないでください 0 0 1 1 : 4 Tq 0 1 0 0 : 5 Tq 0 1 0 1 : 6 Tq 0 1 1 0 : 7 Tq 0 1 1 1 : 8 Tq 1 0 0 0 : 9 Tq 1 0 0 1 : 10 Tq 1 0 1 0 : 11 Tq 1 0 1 1 : 12 Tq 1 1 0 0 : 13 Tq 1 1 0 1 : 14 Tq 1 1 1 0 : 15 Tq 1 1 1 1 : 16 Tq
15 ～ 10	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
9 ～ 0	BRP [9:0]	プリスケーラ分周比設定ビット 設定値を P（0~1023）とすると、ボーレートプリスケーラは fCAN を P+1 で分周します。

RSCAN0CmCFG レジスタは、チャネルリセットモードまたはチャネル待機モードで書き換えてください。また、チャネル通信モードまたはチャネル待機モードに遷移要求する前に設定してください。ビットタイミングパラメータの説明と設定については、**「21.10.1　初期設定」**を参照してください。

SJW[1:0] ビット

再同期ジャンプ幅（Resynchronization jump width）を Tq 値で指定します。1 ~ 4Tq の値が設定可能です。TSEG2 ビット以下の値を設定してください。

TSEG2[2:0] ビット

フェーズバッファセグメント 2（PHASE_SEG2）の長さを Tq 値で指定します。

2 ~ 8Tq の値が設定可能です。

TSEG1 ビットより小さい値を設定してください。

TSEG1[3:0] ビット

プロパゲーションタイムセグメント（PROP_SEG）とフェーズバッファセグメント 1（PHASE_SEG1）の合計長を Tq 値で指定します。

4 ~ 16Tq の値が設定可能です。

BRP[9:0] ビット

CAN クロック（fCAN）をボーレートプリスケーラ（(BRP[9:0]) + 1）で分周したクロックが CANmTq クロック（fCANTQm）になり、CANmTq クロックの 1 クロックが 1 Time Quantum（Tq）になります。

21.3.2　RSCAN0CmCTR — チャネル制御レジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0004_H + (m * 0010_H)

初期値　0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CTMS[1:0]		CTME	ERRD	BOM[1:0]		—	—	—	—	TAIE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE	—	—	—	—	RTBO	CSLPR	CHMDC[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 21.16　RSCAN0CmCTR レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31 ～ 27	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
26、25	CTMS[1:0]	通信テストモード選択ビット b26 b25 0　0：標準テストモード 0　1：リッスンオンリモード 1　0：セルフテストモード 0（外部ループバックモード） 1　1：セルフテストモード 1（内部ループバックモード）
24	CTME	通信テストモード許可ビット 0：通信テストモード禁止 1：通信テストモード許可
23	ERRD	エラー表示モード選択ビット 0：RSCAN0CmERFL レジスタのビット 14 ～ 8 がすべてクリアされた後、最初に発生したエラー情報のみのエラーフラグ表示 1：発生したすべてのエラー情報のエラーフラグを表示
22、21	BOM[1:0]	バスオフ復帰モード選択ビット b22 b21 0　0：ISO11898-1 仕様準拠 0　1：バスオフ開始でチャネル待機モードへ遷移 1　0：バスオフ終了でチャネル待機モードへ遷移 1　1：バスオフ中にプログラムによる要求でチャネル待機モードへ遷移
20 ～ 17	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
16	TAIE	送信アボート割り込み許可ビット 0：送信アボート割り込み禁止 1：送信アボート割り込み許可
15	ALIE	アービトレーションロスト割り込み許可ビット 0：アービトレーションロスト割り込み禁止 1：アービトレーションロスト割り込み許可
14	BLIE	バスロック割り込み許可ビット 0：バスロック割り込み禁止 1：バスロック割り込み許可
13	OLIE	オーバロードフレーム送信割り込み許可ビット 0：オーバロードフレーム送信割り込み禁止 1：オーバロードフレーム送信割り込み許可

表 21.16　RSCAN0CmCTR レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
12	BORIE	バスオフ復帰割り込み許可ビット 0：バスオフ復帰割り込み禁止 1：バスオフ復帰割り込み許可
11	BOEIE	バスオフ開始割り込み許可ビット 0：バスオフ開始割り込み禁止 1：バスオフ開始割り込み許可
10	EPIE	エラーパッシブ割り込み許可ビット 0：エラーパッシブ割り込み禁止 1：エラーパッシブ割り込み許可
9	EWIE	エラーワーニング割り込み許可ビット 0：エラーワーニング割り込み禁止 1：エラーワーニング割り込み許可
8	BEIE	バスエラー割り込み許可ビット 0：バスエラー割り込み禁止 1：バスエラー割り込み許可
7 ～ 4	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
3	RTBO	バスオフ強制復帰ビット RTBO ビットを “1” にすると、バスオフから強制的に復帰します。常に “0” が読めます。
2	CSLPR	チャネルストップモードビット 0：チャネルストップモードではない 1：チャネルストップモード
1、0	CHMDC[1:0]	モード選択ビット b1　b0 0　0：チャネル通信モード 0　1：チャネルリセットモード 1　0：チャネル待機モード 1　1：設定しないでください

CTMS[1:0] ビット

通信テストモードを選択するビットです。このビットはチャネル待機モードのみで書き換えてください。チャネルリセットモード時は、“0” になります。

CTME ビット

“1” にすると通信テストモードは許可になります。このビットはチャネル待機モードで書き換えてください。チャネルリセットモード時は、“0” になります。

ERRD ビット

RSCAN0CmERFL レジスタのビット 14 ~ 8 の表示モードを制御します。

“0” にすると最初に発生したエラーのフラグのみが “1” になります。最初のエラーで複数のエラーが発生した場合、検出されたエラーのフラグはすべて “1” になります。

“1” にすると発生順に関係なく、起こったエラーのフラグはすべて “1” になります。

このビットはチャネルリセットモードまたはチャネル待機モードでのみ書き換えてください。

BOM[1:0] ビット

RS-CAN モジュールのバスオフ復帰モードを選択します。

BOM[1:0] ビットが “00_B” の場合、バスオフ状態からエラーアクティブ状態への復帰は CAN 仕様に準拠します。すなわち、RS-CAN モジュールは、11 ビットの連続するレセシブを 128 回検出後、再び CAN 通信（エラーアクティブ状態）に入ります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生します。128 回検出する前に CHMDC[1:0] ビットを “10_B”（チャネル待機モード）にしても 128 回検出するまでチャネル待機モードには遷移しません。

BOM[1:0] ビットが “01_B” の場合、RS-CAN モジュールがバスオフ状態に達すると、RSCAN0CmCTR レジスタ（m = 0、1）の CHMDC[1:0] ビットが “10_B” になり、チャネル待機モードへ遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “10_B” の場合、RS-CAN モジュールがバスオフ状態に達すると CHMDC[1:0] ビットが “10_B” になり、バスオフ状態から復帰した（11 ビットの連続するレセシブを 128 回検出）後に、チャネル待機モードに遷移します。バスオフ状態からの復帰時にバスオフ復帰割り込み要求が発生し、TEC[7:0] ビットと REC[7:0] ビットが “00_H” になります。

BOM[1:0] ビットが “11_B” の場合、RS-CAN モジュールがバスオフ状態のときに CHMDC[1:0] ビットを “10_B” にすると、チャネル待機モードになります。バスオフ状態からの復帰時にバスオフ復帰割り込み要求は発生せず、TEC[7:0] ビットと REC[7:0] ビットは “00_H” になります。しかし、CHMDC[1:0] ビットを “10_B” にする前に、11 ビットの連続するレセシブを 128 回検出して、バスオフ状態からエラーアクティブ状態に復帰した場合は、バスオフ復帰割り込み要求が発生します。

RS-CAN モジュールがチャネル待機モードに遷移するのと同時（BOM[1:0] ビットが “01_B” のとき：バスオフ開始時、または BOM[1:0] ビットが “10_B” のとき：バスオフ終了時）に、CPU がチャネルリセットモードへの遷移を要求した場合は、CPU の要求が優先されます。BOM[1:0] ビットはチャネルリセットモードでのみ書き換えてください。

TAIE ビット

TAIE ビットを “1” に設定し、送信バッファの送信アボートが完了した場合、割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

ALIE ビット

ALIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの ALF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BLIE ビット

BLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

OLIE ビット

OLIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの OVLF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BORIE ビット

BORIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BORF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BOEIE ビット

BOEIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BOEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EPIE ビット

EPIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの EPF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

EWIE ビット

EWIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの EWF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

BEIE ビット

BEIE ビットを “1” に設定し、RSCAN0CmERFL レジスタの BEF フラグが “1” になった場合、エラー割り込み要求が発生します。このビットはチャネルリセットモードでのみ書き換えてください。

RTBO ビット

バスオフ状態時 “1” にすると、強制的にバスオフ状態からエラーアクティブ状態へと変化します。このビットは自動的に “0” になります。“1” にすると、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットが “00_H” になり、RSCAN0CmSTS レジスタの BOSTS フラグは “0”（バスオフ状態ではない）になります。他のレジスタは変化しません。バスオフ状態からの復帰によるバスオフ復帰割り込み要求は発生しません。RSCAN0CmCTR レジスタの BOM[1:0] ビットが “00_B”（ISO11898-1 仕様準拠）のときにのみ使用してください。

RTBO ビットを “1” にしてからエラーアクティブ状態に遷移するまでに、最大 1 CAN ビットタイムの遅延が発生します。このビットはチャネル通信モードで “1” を書いてください。

CSLPR ビット

“1” にすると、チャネルストップモードになります。

“0” にすると、チャネルストップモードは解除されます。

このビットはチャネルリセットモードで、“0” から “1” のみに変更してください。

CHMDC[1:0] ビット

チャネルのモード（チャネル通信モード、チャネルリセットモード、チャネル待機モード）を選択するビットです。詳細は、**「21.5.2　チャネルモード」**を参照してください。チャネルストップモードへは、チャネルリセットモード時に CSLPR ビットを “1” にすることで遷移します。CHMDC[1:0] ビットを “11_B” には設定しないでください。BOM[1:0] ビットの設定によってチャネル待機モードへ遷移した場合は、CHMDC[1:0] ビットは自動的に “10_B” になります。

21.3.3　RSCAN0CmSTS — チャネルステータスレジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0008_H + (m * 0010_H)

初期値　0000 0005_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEC [7:0]								REC [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.17　RSCAN0CmSTS レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31 ～ 24	TEC [7:0]	送信エラーカウンタ（TEC）の値が読めます。
23 ～ 16	REC [7:0]	受信エラーカウンタ（REC）の値が読めます。
15 ～ 8	—	予約ビット 読むと “0” が読み出されます。
7	COMSTS	通信ステータスフラグ 0：通信可能な状態ではない 1：通信可能な状態
6	RECSTS	受信ステータスフラグ 0：バスアイドルまたは送信中またはバスオフ状態 1：受信中
5	TRMSTS	送信ステータスフラグ 0：バスアイドルまたは受信中 1：送信中またはバスオフ状態
4	BOSTS	バスオフステータスフラグ 0：バスオフ状態ではない 1：バスオフ状態
3	EPSTS	エラーパッシブステータスフラグ 0：エラーパッシブ状態ではない 1：エラーパッシブ状態

表 21.17　RSCAN0CmSTS レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
2	CSLPSTS	チャネルストップステータスフラグ 0：チャネルストップモードではない 1：チャネルストップモード
1	CHLTSTS	チャネル待機ステータスフラグ 0：チャネル待機モードではない 1：チャネル待機モード
0	CRSTSTS	チャネルリセットステータスフラグ 0：チャネルリセットモードではない 1：チャネルリセットモード

TEC[7:0] ビット

送信エラーカウンタの値を示します。送信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

REC[7:0] ビット

受信エラーカウンタの値を示します。受信エラーカウンタの増減条件については、CAN 仕様（ISO11898-1）を参照してください。

チャネルリセットモード時は、“0” になります。

COMSTS フラグ

通信準備が整ったことを示すビットです。

チャネルリセットモードまたはチャネル待機モードからチャネル通信モードに移行し、11 ビットの連続するレセシブを検出した後に、“1” になります。チャネルリセットモードまたはチャネル待機モード時は、“0” になります。

RECSTS フラグ

受信を開始すると “1” になります。バスアイドル状態になるか、または送信を開始すると “0” になります。

TRMSTS フラグ

送信を開始すると “1” になります。バスオフ状態では “1” のままです。バスアイドル状態になるか、または受信を開始すると “0” になります。

BOSTS フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると “1” になります。バスオフ状態以外になると “0” になります。

EPSTS フラグ

エラーパッシブ状態（(128 ≦ TEC[7:0] ビット≦ 255）または（128 ≦ REC[7:0] ビット)）になると、“1” になります。エラーパッシブ状態以外になるか、またはチャネルリセットモードになると、“0” になります。

CSLPSTS フラグ

チャネルストップモードに遷移すると、“1” になります。チャネルストップモードから復帰すると “0” になります。

CHLTSTS フラグ

チャネル待機モードに遷移すると “1” になります。チャネル待機モード以外のモードに遷移すると “0” になります。

CRSTSTS フラグ

チャネルリセットモードに遷移すると “1” になります。チャネル通信モードまたはチャネル待機モードに遷移すると “0” になります。チャネルリセットモードからチャネルストップモードに遷移しても、“1” のままです。

21.3.4　RSCAN0CmERFL — チャネルエラーフラグレジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $000C_H$ + (m * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	CRCREG[14:0]														
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR	ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1	R/W 注 1

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.18　RSCAN0CmERFL レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
30 ～ 16	CRCREG[14:0]	CRC 演算データ 送信メッセージまたは受信メッセージを基に計算した CRC 値を表示します。
15	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
14	ADERR	ACK デリミタエラーフラグ 0：ACK デリミタエラー未検出 1：ACK デリミタエラー検出
13	B0ERR	ドミナントビットエラーフラグ 0：ドミナントビットエラー未検出 1：ドミナントビットエラー検出
12	B1ERR	レセシブビットエラーフラグ 0：レセシブビットエラー未検出 1：レセシブビットエラー検出
11	CERR	CRC エラーフラグ 0：CRC エラー未検出 1：CRC エラー検出
10	AERR	ACK エラーフラグ 0：ACK エラー未検出 1：ACK エラー検出
9	FERR	フォームエラーフラグ 0：フォームエラー未検出 1：フォームエラー検出
8	SERR	スタッフエラーフラグ 0：スタッフエラー未検出 1：スタッフエラー検出
7	ALF	アービトレーションロストフラグ 0：アービトレーションロスト未検出 1：アービトレーションロスト検出
6	BLF	バスロックフラグ 0：チャネルバスロックは未検出 1：チャネルバスロック検出

表 21.18　RSCAN0CmERFL レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
5	OVLF	オーバロードフラグ 0：オーバロード未検出 1：オーバロード検出
4	BORF	バスオフ復帰フラグ 0：バスオフ復帰未検出 1：バスオフ復帰検出
3	BOEF	バスオフ開始フラグ 0：バスオフ開始未検出 1：バスオフ開始検出
2	EPF	エラーパッシブフラグ 0：エラーパッシブ未検出 1：エラーパッシブ検出
1	EWF	エラーワーニングフラグ 0：エラーワーニング未検出 1：エラーワーニング検出
0	BEF	バスエラーフラグ 0：チャネルバスエラーは未検出 1：チャネルバスエラー検出

各エラーの発生条件を確認するには、CAN 仕様（ISO11898-1）を参照してください。各フラグを “0” にする場合は、プログラムで “0” を書いてください。プログラムで “1” にできません。フラグが “1” になるタイミングとプログラムで “0” を書くタイミングが同じ場合、そのフラグは “1” になります。チャネルリセットモード時、“0” になります。

RSCAN0CmERFL レジスタのビット 14～8 に関して、RSCAN0CmCTR レジスタの ERRD ビットを “0”（最初に発生したエラー情報のみ表示）に設定したとき、ビット 14～8 のすべてのフラグが “0” の状態でエラーが検出された場合に、対応するフラグは “1” になります。

CRCREG[14:0] フラグ

RSCAN0CmCTR レジスタの CTME ビットが “1”（通信テストモード許可）の場合、送信または受信メッセージを基に計算した CRC 値が読めます。CTME ビットが “0”（通信テストモード禁止）の場合、常に “0” が読めます。

ADERR フラグ

送信中の ACK デリミタでフォームエラーを検出すると、“1” になります。

B0ERR フラグ

ドミナントを送信したにも関わらずレセシブを検出すると “1” になります。

B1ERR フラグ

レセシブを送信したにも関わらずドミナントを検出すると “1” になります。

CERR フラグ

CRC エラーを検出すると “1” になります。

AERR フラグ

ACK エラーを検出すると “1” になります。

FERR フラグ

フォームエラーを検出すると “1” になります。

SERR フラグ

スタッフエラーを検出すると “1” になります。

ALF フラグ

アービトレーションロストを検出すると “1” になります。

BLF フラグ

チャネル通信モード時、CAN バス上に 32 ビットの連続するドミナントを検出すると、“1” になります。“1” になった後、次のいずれかの条件が成立するとバスロックを再検出できるようになります。

- BLF ビットを “1” から “0” にした後、レセシブビットを検出
- BLF ビットを “1” から “0” にした後、チャネルリセットモードに遷移し、再度チャネル通信モードに遷移

OVLF フラグ

受信または送信を行う場合に、オーバロードフレームの送信条件が検出されると “1” になります。

BORF フラグ

11 ビットの連続するレセシブを 128 回検出してバスオフ状態から復帰すると “1” になります。ただし、11 ビットの連続するレセシブを 128 回検出する前に、以下の方法でバスオフ状態から復帰した場合は “1” になりません。

- RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）に設定した場合
- RSCAN0CmCTR レジスタの RTBO ビットを “1”（バスオフからの強制復帰）に設定した場合
- RSCAN0CmCTR レジスタの BOM[1:0] ビットを “01_B”（バスオフ開始でチャネル待機モードへ遷移）に設定した場合
- BOM[1:0] ビットが “11_B”（バスオフ中にプログラムによる要求でチャネル待機モードへ遷移）で、11 ビットの連続するレセシブを 128 回検出する前に、CHMDC[1:0] ビットを “10_B”（チャネル待機モード）に設定した場合

BOEF フラグ

バスオフ状態（TEC[7:0] ビット＞ 255）になると、“1” になります。
RSCAN0CmCTR レジスタ（m = 0、1）の BOM[1:0] ビットが “01_B”（バスオフ開始でチャネル待機モードへ遷移）で、バスオフ状態になった場合も、“1” になります。

EPF フラグ

エラーパッシブ状態（REC[7:0] または TEC[7:0] ビット＞ 127）になると、“1” になります。REC[7:0] または TEC[7:0] ビットが最初に 127 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC[7:0] ビットが 127 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 127 以下になり、再び REC[7:0] または TEC[7:0] ビットが 127 を超えるまでは “1” にはなりません。

EWF フラグ

REC[7:0] または TEC[7:0] ビットの値が 95 を超えると、“1” になります。REC[7:0] または TEC[7:0] ビット が最初に 95 を超えたときのみ “1” になります。したがって、REC[7:0] または TEC [7:0] ビットが 95 を超えたままで、プログラムで “0” を書いた場合、一度 REC [7:0] と TEC[7:0] ビットの両方が 95 以下になり、再び REC[7:0] または TEC[7:0] ビット が 95 を超えるまでは “1” にはなりません。

BEF フラグ

RSCAN0CmERFL レジスタの ADERR、B0ERR、B1ERR、CERR、AERR、FERR、SERR フラグのいずれか 1 つでも “1” になると、BEF フラグは “1” になります。

21.3.5　RSCAN0GCFG — グローバルコンフィグレーションレジスタ

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0084_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ITRCP [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSBTCS[2:0]			TSSS	TSP[3:0]				—	—	—	DCS	MME	DRE	DCE	TPRI
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 21.19　RSCAN0GCFG レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31 ～ 16	ITRCP [15:0]	インターバルタイマプリスケーラ設定ビット 設定値を M とすると pclk を M 分周します。 インターバルタイマを使用する場合、“0000_H” を設定しないでください。
15 ～ 13	TSBTCS[2:0]	タイムスタンプクロック源選択ビット b15 b14 b13 0 0 0：チャネル 0 ビットタイムクロック 0 0 1：チャネル 1 ビットタイムクロック 0 1 0：設定しないでください 0 1 1：設定しないでください 1 0 0：設定しないでください 1 0 1：設定しないでください 1 1 0：設定しないでください 1 1 1：設定しないでください
12	TSSS	タイムスタンプソース選択 0：pclk/2 注 1 1：ビットタイムクロック
11 ～ 8	TSP[3:0]	タイムスタンプクロック源分周ビット b11 b10 b9 b8 0 0 0 0：分周なし 0 0 0 1：2 分周 0 0 1 0：4 分周 0 0 1 1：8 分周 0 1 0 0：16 分周 0 1 0 1：32 分周 0 1 1 0：64 分周 0 1 1 1：128 分周 1 0 0 0：256 分周 1 0 0 1：512 分周 1 0 1 0：1024 分周 1 0 1 1：2048 分周 1 1 0 0：4096 分周 1 1 0 1：8192 分周 1 1 1 0：16384 分周 1 1 1 1：32768 分周
7 ～ 5	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
4	DCS	CAN クロック源選択ビット 注 2 0：clkc 1：clk_xincan

表 21.19　RSCAN0GCFG レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
3	MME	ミラー機能許可ビット 0：ミラー機能禁止 1：ミラー機能許可
2	DRE	DLC 置換許可ビット 0：DLC 置換禁止 1：DLC 置換許可
1	DCE	DLC チェック許可ビット 0：DLC チェック禁止 1：DLC チェック許可
0	TPRI	送信優先順位選択ビット 0：ID 優先 1：送信バッファ番号優先

注 1.　タイムスタンプのカウントソースに pclk/2 を設定するときは、TSBTCS[2:0] を “000_B” にしてください。

注 2.　CAN クロックの周波数の設定は、「**表 21.6　本 LSI における転送レート・使用チャネル数での動作周波数範囲**」を参照してください。

RSCAN0GCFG レジスタはグローバルリセットモードのみで書き換えてください。

ITRCP[15:0] ビット

FIFO 用インターバルタイマのクロック源の分周値を設定します。詳細は**「21.7.3.1　インターバル送信機能」**を参照してください。

TSBTCS[2:0] ビット

TSSS ビットが “1” のとき、タイムスタンプカウンタのクロック源となるビットタイムクロックのチャネルの選択ができます。

TSSS ビット

タイムスタンプカウンタのクロック源を選択します。

TSP[3:0] ビット

TSBTCS[2:0] ビット、TSSS ビットで選択したクロック源を TSP[3:0] ビットで分周したクロックがタイムスタンプカウンタのカウントソースになります。

DCS ビット

“0” のとき、clkc が CAN クロック（fCAN）のクロック源になります。

“1” のとき、clk_xincan が CAN クロック（fCAN）のクロック源になります。

CAN クロックの周波数の設定は、「**表 21.6　本 LSI における転送レート・使用チャネル数での動作周波数範囲**」を参照してください。

MME ビット

“1” にすると、ミラー機能が使用できます。

DRE ビット

DRE ビットを “1” にすると、DLC フィルタを通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

DCE ビットが “1”（DLC チェック許可）のときに、DLC 置換機能を使用できます。

DCE ビット

“1” にすると、DLC チェック機能が使用できます。RSCAN0GAFLP0j レジスタの GAFLDLC[3:0] ビットを “0000_B” にしてから、RSCAN0GCFG レジスタの DCE ビットを “0” にしてください。

TPRI ビット

TPRI ビットにより、送信優先順位を設定します。

“0” の場合、ID 優先となり送信優先順位は CAN バス アービトレーションルール（ISO11898-1 仕様）に準拠します。“1” の場合、送信バッファ番号優先となり送信に設定された一番小さい番号の送信バッファが優先されます。

送信キューを使用している場合は、“0” に設定してください。

21.3.6　RSCAN0GCTR — グローバル制御レジスタ

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0088_H

初期値　$0000\ 0005_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TSRST
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLEIE	MEIE	DEIE	—	—	—	—	—	GSLPR	GMDC[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.20　RSCAN0GCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 17	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
16	TSRST	タイムスタンプカウンタリセットビット TSRST ビットを “1” にすると、タイムスタンプカウンタをリセットします。読むと “0” が読み出されます。
15 ～ 11	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
10	THLEIE	送信履歴バッファオーバフロー割り込み許可ビット 0：送信履歴バッファオーバフロー割り込み禁止 1：送信履歴バッファオーバフロー割り込み許可
9	MEIE	FIFO メッセージロスト割り込み許可ビット 0：FIFO メッセージロスト割り込み禁止 1：FIFO メッセージロスト割り込み許可
8	DEIE	DLC エラー割り込み許可ビット 0：DLC エラー割り込み禁止 1：DLC エラー割り込み許可
7 ～ 3	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
2	GSLPR	グローバルストップモードビット 0：グローバルストップモードではない 1：グローバルストップモード
1、0	GMDC[1:0]	グローバルモード選択ビット b1　b0 0　0：グローバル動作モード 0　1：グローバルリセットモード 1　0：グローバルテストモード 1　1：設定しないでください

TSRST ビット

タイムスタンプカウンタをリセットするために使用します。“1” にすると RSCAN0GTSC レジスタが “0000_H” になります。

THLEIE ビット

THLEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの THLES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

MEIE ビット

MEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの MES フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

DEIE ビット

DEIE ビットを “1” に設定し、RSCAN0GERFL レジスタの DEF フラグが “1” になった場合、割り込み要求が発生します。このビットはグローバルリセットモードでのみ書き換えてください。

GSLPR ビット

“1” にすると、グローバルストップモードになります。

“0” にすると、グローバルストップモードは解除されます。

このビットはグローバルリセットモードでのみ変更してください。

GMDC[1:0] ビット

RS-CAN モジュール全体のモード（グローバル動作モード、グローバルリセットモード、グローバルテストモード）を選択するビットです。詳細は、**「21.5.1 グローバルモード」**を参照してください。グローバルストップモードへは、グローバルリセットモード時に GSLPR ビットを “1” にすることで遷移します。

21.3.7　RSCAN0GSTS — グローバルステータスレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $008C_H$

初期値　$0000\ 000D_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS
初期値	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.21　RSCAN0GSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 4	—	予約ビット 読むと “0” が読み出されます。
3	GRAMINIT	CAN 用 RAM クリアステータスフラグ 0：CAN 用 RAM クリア完了 1：CAN 用 RAM クリア中
2	GSLPSTS	グローバルストップステータスフラグ 0：グローバルストップモードではない 1：グローバルストップモード
1	GHLTSTS	グローバルテストステータスフラグ 0：グローバルテストモードではない 1：グローバルテストモード
0	GRSTSTS	グローバルリセットステータスフラグ 0：グローバルリセットモードではない 1：グローバルリセットモード

GRAMINIT フラグ

CAN 用 RAM のクリア状態を示します。

本 LSI のリセット後、“1” になります。CAN 用 RAM クリアが完了すると “0” になります。

GSLPSTS フラグ

グローバルストップモードに遷移すると、“1” になります。グローバルストップモードから復帰すると “0” になります。

GHLTSTS フラグ

グローバルテストモードに遷移すると、“1” になります。グローバルテストモード以外のモードに遷移すると “0” になります。

GRSTSTS フラグ

グローバルリセットモードに遷移すると “1” になります。

グローバルリセットモード以外のモードに遷移すると “0” になります。グローバルリセットモードからグローバルストップモードに遷移しても、“1” のままです。

21.3.8　RSCAN0GERFL — グローバルエラーフラグレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0090_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	THLES	MES	DEF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注 1

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.22　RSCAN0GERFL レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	予約ビット 読むと不定値が読み出されます。書き込みは “0” としてください。
2	THLES	送信履歴バッファオーバフローステータスフラグ 0：送信履歴バッファオーバフローなし 1：送信履歴バッファオーバフロー
1	MES	FIFO メッセージロストステータスフラグ 0：FIFO メッセージロストエラーなし 1：FIFO メッセージロストエラー
0	DEF	DLC エラーフラグ 0：DLC エラーなし 1：DLC エラー

RSCAN0GERFL レジスタのフラグは、グローバルリセットモード時、“0” になります。

THLES フラグ

RSCAN0THLSTSm レジスタ（m = 0、1）の THLELT フラグのいずれか 1 つでも “1” になると、THLES フラグは “1” になります。

全チャネルの THLELT フラグを “0” にすると、THLES フラグは “0” になります。

MES フラグ

RSCAN0RFSTSx レジスタ（x = 0 ~ 7）の RFMLT フラグまたは RSCAN0CFSTSk レジスタ（k = 0 ~ 5）の CFMLT フラグのいずれか 1 つでも “1” になると、MES フラグは “1” になります。

すべての RFMLT フラグおよび CFMLT フラグを “0” にすると、MES フラグは “0” になります。

DEF フラグ

DLC チェックでエラーが検出されると、“1” になります。プログラムで “0” を書くことで、“0” にできます。

21.3.9　RSCAN0GTINTSTS0 — グローバル TX 割り込みステータスレジスタ 0

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0460_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1	—	—	—	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R 注 1	R 注 1	R 注 1	R 注 1	R 注 1	R	R	R	R 注 1	R 注 1	R 注 1	R 注 1	R 注 1

表 21.23　RSCAN0GTINTSTS0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	予約ビット 読むと 0 が読み出されます。書き込みは 0 としてください。
12	THIF1	チャネル 1 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
11	CFTIF1	チャネル 1 送受信 FIFO 送信 / ゲートウェイモード割り込みステータスフラグ 0：送受信 FIFO 送信 / ゲートウェイモード割り込み要求なし 1：送受信 FIFO 送信 / ゲートウェイモード割り込み要求あり
10	TQIF1	チャネル 1 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
9	TAIF1	チャネル 1 送信バッファアボート割り込みステータスフラグ 0：送信バッファ送信アボート割り込み要求なし 1：送信バッファ送信アボート割り込み要求あり
8	TSIF1	チャネル 1 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり
7 ～ 5	—	予約ビット 読むと 0 が読み出されます。書き込みは 0 としてください。
4	THIF0	チャネル 0 送信履歴割り込みステータスフラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
3	CFTIF0	チャネル 0 送受信 FIFO 送信 / ゲートウェイモード割り込みステータスフラグ 0：送受信 FIFO 送信 / ゲートウェイモード割り込み要求なし 1：送受信 FIFO 送信 / ゲートウェイモード割り込み要求あり
2	TQIF0	チャネル 0 送信キュー割り込みステータスフラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TAIF0	チャネル 0 送信バッファアボート割り込みステータスフラグ 0：送信バッファ送信アボート割り込み要求なし 1：送信バッファ送信アボート割り込み要求あり
0	TSIF0	チャネル 0 送信バッファ割り込みステータスフラグ 0：送信バッファ送信完了割り込み要求なし 1：送信バッファ送信完了割り込み要求あり

注 1.　本ビットはグローバルリセットモードまたはチャネルリセットモードで自動的にクリアされます。

TSIFm ビット

RSCAN0TMIECy レジスタの TMIE ビットが “1”（送信バッファ割り込みが許可）、かつ対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、アボート要求なし）、または “11_B”（送信完了、アボート要求あり）になると、TSIFm ビットは “1” になります。

TSIFm が “1” になる条件が成立している TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。また TMIE ビットを “0” にすることでも、このフラグは “0” になります。

TAIFm ビット

RSCAN0CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）、かつ RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、TAIFm ビットは “1” になります。

送信アボートを完了した TMTRF[1:0] フラグを全て “00_B” にすると、このフラグは “0” になります。

TQIFm ビット

RSCAN0TXQCCm レジスタの TXQIE ビットが “1”（送信キュー割り込み許可）、かつ RSCAN0TXQSTSm レジスタの TXQIF が “1”（送信キュー割り込み要求あり）になると TQIFm ビットは “1” になります。

RSCAN0TXQSTSm レジスタの TXQIF ビット（送信キュー割り込み要求）を “0” にすると、このビットは “0” になります。TXQIE ビットを “0” にすることでも、このフラグは “0” になります。

CFTIFm ビット

RSCAN0CFCCk レジスタの CFTXIE ビットが “1”（送受信 FIFO バッファ送信割り込み許可）、かつ RSCAN0CFSTSk レジスタの CFTXIF ビットが “1”（送受信 FIFO 送信割り込み要求あり）になると CFTIFm ビットは “1” になります。

CFTIFm が “1” になる条件が成立している CFTXIF ビットをすべて “0” にすると、このビットは “0” になります。CFTXIE ビットを “0” にすることでも、このフラグは “0” になります。

THIFm ビット

RSCAN0THLCCm レジスタの THLIE ビットが “1”（送信履歴割り込み許可）、かつ RSCAN0THLSTSm レジスタの THLIF ビットが “1”（送信履歴割り込み要求あり）になると、THIFm ビットは “1” になります。

RSCAN0THLSTSm レジスタの THLIF ビットを “0” にすると、このビットは “0” になります。THLIE ビットを “0” にすることでも、このフラグは “0” になります。

21.3.10　RSCAN0GTSC — グローバルタイムスタンプカウンタレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0094_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TS[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.24　RSCAN0GTSC レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 読むと “0” が読み出されます。
15 ～ 0	TS[15:0]	タイムスタンプ値 タイムスタンプ用カウンタの値が読めます。 カウンタ値：0000_H ~ $FFFF_H$

TS[15:0] ビット

TS[15:0] ビットを読むと、その時点のタイムスタンプカウンタ（16 ビットフリーランカウンタ）の値が読めます。SOF を検出したとき、TS[15:0] ビットの値がキャプチャされ、その後、受信バッファまたは FIFO バッファに格納されます。タイムスタンプカウンタは、グローバルリセットモードで初期化されます。

タイムスタンプカウンタの開始、停止タイミングは、カウントソースに依存します。

- RSCAN0GCFG レジスタの TSSS ビットが “0”（pclk）の場合：
  グローバル動作モードへ遷移したときに、カウント開始。
  グローバルストップモードまたはグローバルテストモードで、カウント停止。
- TSSS ビットが “1”（CANm ビットタイムクロック）の場合：
  対応するチャネルがチャネル通信モードへ遷移したときに、カウント開始。
  対応するチャネルがチャネルリセットモードまたはチャネル待機モードで、カウント停止。

21.3.11　RSCAN0GAFLECTR — 受信ルールエントリ制御レジスタ

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0098_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	AFLDAE	—	—	—	AFLPN [4:0]				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

表 21.25　RSCAN0GAFLECTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 9	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
8	AFLDAE	受信ルールテーブル書き込み許可ビット 0：受信ルールテーブル書き込み禁止 1：受信ルールテーブル書き込み許可
7 ～ 5	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
4 ～ 0	AFLPN [4:0]	受信ルールテーブルページ番号設定ビット ページ 0（00000_B）からページ 7（00111_B）の範囲で選択

AFLDAE ビット

“0” にすると、受信ルールテーブルへの書き込みを禁止します。受信ルールテーブルへの書き込みが完了したあと、“0” にして、受信ルールテーブルへの書き込みを禁止してください。“0” にしても、受信ルールテーブルの読み出しは可能です。

AFLDAE ビットはグローバルリセットモードでのみ “1” にしてください。

AFLPN[4:0] ビット

受信ルールテーブルのページ番号を設定します。1 ページにつき、16 個の受信ルールを設定できます。

“00000_B”~“00111_B” 以外の値を設定しないでください。

21.3.12　RSCAN0GAFLCFG0 — 受信ルールコンフィグレーションレジスタ 0

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $009C_H$

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RNC0[7:0]								RNC1[7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.26　RSCAN0GAFLCFG0 レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RNC0[7:0]	チャネル 0 用ルール数 チャネル 0 の受信ルール数を設定してください。
23 ～ 16	RNC1[7:0]	チャネル 1 用ルール数 チャネル 1 の受信ルール数を設定してください。
15 ～ 0	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。

RSCAN0GAFLCFG0 レジスタはグローバルリセットモードでのみ書き換えてください。

受信ルールテーブルに登録できるルール数は、ユニット全体で 64 ×（チャネル数）です。各チャネルの受信ルール数は、次の条件を満たしてください。

- 1 チャネルのルール数は 128 以下である。
- 各チャネルに割り当てたルール数の合計が、ユニット全体で登録できるルール数を超えない。

RNC0[7:0] ビット

チャネル 0 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

RNC1[7:0] ビット

チャネル 1 の受信ルールテーブルに登録するルール数を設定します。

00_H ~ 80_H 以外の値を設定しないでください。

21.3.13 RSCAN0GAFLIDj — 受信ルール ID レジスタ（j = 0 ~ 15）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0500_H + (j * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28:16]												
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLID[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.27　RSCAN0GAFLIDj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDE	IDE 選択ビット 0：標準 ID 1：拡張 ID
30	GAFLRTR	RTR 選択ビット 0：データフレーム 1：リモートフレーム
29	GAFLLB	受信ルール対象メッセージ選択ビット 0：他の CAN ノードが送信したメッセージを受信時 1：自らが送信したメッセージを受信時
28 ～ 0	GAFLID[28:0]	ID 設定ビット 受信ルールの ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は “0” にしてください。

RSCAN0GAFLIDj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDE ビット

受信ルールの ID フォーマット（標準 ID または拡張 ID）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの IDE ビットを比較します。

GAFLRTR ビット

受信ルールのフレームフォーマット（データフレームまたはリモートフレーム）を選択します。アクセプタンスフィルタ処理では、このビットと受信メッセージの RTR ビットを比較します。

GAFLLB ビット

“0” にすると、他の CAN ノードが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

ミラー機能使用時に “1” にすると、自らが送信したメッセージを受信する場合に、受信ルールを用いたデータ処理を行います。

GAFLID[28:0] ビット

受信ルールの ID フィールドを設定します。アクセプタンスフィルタ処理では、ここで設定した ID と受信メッセージの ID を比較します。

21.3.14　RSCAN0GAFLMj — 受信ルールマスクレジスタ（j = 0 ~ 15）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0504_H + (j * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLIDEM	GAFLRTRM	—	GAFLIDM [28:16]												
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLIDM [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.28　RSCAN0GAFLMj レジスタの内容

ビット位置	ビット名	機能
31	GAFLIDEM	IDE マスクビット 0：IDE ビットを比較しない 1：IDE ビットを比較する
30	GAFLRTRM	RTR マスクビット 0：RTR ビットを比較しない 1：RTR ビットを比較する
29	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
28 ～ 0	GAFLIDM [28:0]	ID マスクビット 0：対応する ID ビットを比較しない 1：対応する ID ビットを比較する

RSCAN0GAFLMj レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLIDEM ビット

“1” にすると、RSCAN0GAFLIDj レジスタの GAFLIDE ビットで設定した ID フォーマットのメッセージに対してのみフィルタ処理を行います。

“0” にすると、 すべての受信メッセージと ID が一致したとみなします。GAFLIDEM ビットを “0” にする場合は、GAFLIDM[28:0] ビットをすべて “0” にしてください。

GAFLRTRM ビット

受信ルールの RTR ビットをマスクするビットです。

GAFLIDM[28:0] ビット

受信ルールの対応する ID ビットをマスクするビットです。

21.3.15　RSCAN0GAFLP0j — 受信ルールポインタ 0 レジスタ（j = 0 ~ 15）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0508_H + (j * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAFLDLC [3:0]				GAFLPTR [11:0]											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAFLRMV	GAFLRMDP [6:0]							—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 21.29　RSCAN0GAFLP0j レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	GAFLDLC [3:0]	受信ルール DLC 設定ビット b31 b30 b29 b28 0 0 0 0 : DLC チェックしない 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	GAFLPTR [11:0]	受信ルールラベル設定ビット 12 ビットのラベル情報を設定
15	GAFLRMV	受信バッファ許可ビット 0：受信バッファを使用しない 1：受信バッファを使用する
14 ～ 8	GAFLRMDP [6:0]	受信バッファ番号選択ビット 受信メッセージを格納する受信バッファの番号を設定
7 ～ 0	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。

RSCAN0GAFLP0j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLDLC[3:0] ビット

メッセージを受信するために必要な最小のデータ長を設定します。フィルタ処理中のメッセージのデータ長が GAFLDLC[3:0] ビットで設定した値以上の場合、DLC チェックを通過します。“0000_B” を設定すると、DLC チェック機能は無効になり、すべてのデータ長のメッセージが通過します。

GAFLPTR[11:0] ビット

フィルタを通過したメッセージに添付する 12 ビットのラベルを設定します。ラベルはメッセージを受信バッファや FIFO バッファに格納する際に添付されます。

GAFLRMV ビット

“1” にすると、GAFLRMDP[6:0] ビットで選択した受信バッファに、フィルタを通過した受信メッセージを格納します。

GAFLRMDP[6:0] ビット

GAFLRMV ビットを “1” にした場合に、フィルタを通過した受信メッセージを格納する受信バッファの番号を選択します。RSCAN0RMNB レジスタの NRXMB[7:0] ビットで設定した値より小さい番号を設定してください。

21.3.16　RSCAN0GAFLP1j — 受信ルールポインタ 1 レジスタ（j = 0 ~ 15）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $050C_H$ + (j * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	GAFLFDP [13:0]													
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.30　RSCAN0GAFLP1j レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
13 ～ 0	GAFLFDP [13:0]	FIFO バッファ z 選択ビット（z = 0 ～ 13） z = 0 ～ 7 0：受信 FIFO バッファ z を選択しない 1：受信 FIFO バッファ z を選択する z = 8 ～ 13 0：送受信 FIFO バッファ z-8 を選択しない 1：送受信 FIFO バッファ z-8 を選択する

RSCAN0GAFLP1j レジスタは、RSCAN0GAFLECTR レジスタの AFLDAE ビットが “1”（受信ルールテーブル書き込み許可）で、かつグローバルリセットモードで書き換えてください。

GAFLFDP [13:0]

フィルタを通過した受信メッセージを格納する FIFO バッファを指定します。最大 8 つの FIFO バッファが選択できます。ただし、RSCAN0GAFLP0j レジスタの GAFLRMV ビットを “1”（受信バッファにメッセージを格納する）にした場合は、最大 7 つの FIFO バッファが選択できます。受信 FIFO バッファと、RSCAN0CFCCk レジスタの CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファのみ選択できます。

21.3.17　RSCAN0RMNB — 受信バッファナンバレジスタ

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $00A4_H$

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	NRXMB [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.31　RSCAN0RMNB レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
7 ～ 0	NRXMB [7:0]	受信バッファ数設定ビット 受信バッファ数を設定する。 0 ~ 31 の範囲で設定してください。

RSCAN0RMNB レジスタはグローバルリセットモードでのみ書き換えてください。

NRXMB[7:0] ビット

RS-CAN モジュール全体の受信バッファ数を設定します。最大値は、16 ×（チャネル数）です。

“0” を設定すると、受信バッファは使用できません。

21.3.18　RSCAN0RMND y — 受信バッファ新データレジスタ y (y = 0)

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $00A8_H$ + (y * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMNSq (q = y × 32 + 31 ～ y × 32 + 16 (y = 0)															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMNSq (q = y × 32 + 15 ～ y × 32 + 0 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.32　RSCAN0RMNDy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 31 ～ y × 32 + 16） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり
15 ～ 0	RMNSq	受信バッファ受信完了フラグ q（q = y × 32 + 15 ～ y × 32 + 0） 0：受信バッファ q に新しいメッセージなし 1：受信バッファ q に新しいメッセージあり

RSCAN0RMNDy レジスタは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

RMNSq フラグ（q = 0 ~ 31）

対応する受信バッファにメッセージを格納する処理が始まると “1” になります。

フラグを “0” にする場合は、プログラムで “0” を書いてください。書く場合はストア命令を使用し、それ以外のフラグには “1” を書いてください。メッセージ格納中は “0” にできません。メッセージを格納する時間は pclk の 10 クロック分です。

グローバルリセットモード時、“0” になります。

21.3.19　RSCAN0RMIDq — 受信バッファ ID レジスタ（q = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0600_H + (q * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMIDE	RMRTR	—	RMID [28:16]												
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMID [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.33　RSCAN0RMIDq レジスタの内容

ビット位置	ビット名	機能
31	RMIDE	受信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RMRTR	受信バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	—	予約ビット 読むと “0” が読み出されます。
28 ～ 0	RMID [28:0]	受信バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10~b0 を読んでください。b28 ~ b11 は “0” が読めます。

RMIDE ビット

受信バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RMRTR ビット

受信バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RMID[28:0]

受信バッファに格納されたメッセージの ID を示します。

21.3.20　RSCAN0RMPTRq — 受信バッファポインタレジスタ（q = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0604_H + (q * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDLC [3:0]				RMPTR [11:0]											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMTS [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.34　RSCAN0RMPTRq レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	RMDLC [3:0]	受信バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : データバイトなし 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ～ 16	RMPTR [11:0]	受信バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ～ 0	RMTS [15:0]	受信バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RMDLC[3:0]

受信バッファに格納されたメッセージのデータ長を示します。

RMPTR[11:0]

受信バッファに格納されたメッセージのラベル情報を示します。

RMTS[15:0]

受信バッファに格納されたメッセージのタイムスタンプ値を示します。

21.3.21　RSCAN0RMDF0q — 受信バッファデータフィールド 0 レジスタ（q = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0608_H + (q * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB3 [7:0]								RMDB2 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB1 [7:0]								RMDB0 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.35　RSCAN0RMDF0q レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RMDB3 [7:0]	受信バッファデータバイト 3
23 ～ 16	RMDB2 [7:0]	受信バッファデータバイト 2
15 ～ 8	RMDB1 [7:0]	受信バッファデータバイト 1
7 ～ 0	RMDB0 [7:0]	受信バッファデータバイト 0 受信バッファに格納されたメッセージのデータが読めます。

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.3.22　RSCAN0RMDF1q — 受信バッファデータフィールド 1 レジスタ（q = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $060C_H$ + (q * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RMDB7 [7:0]								RMDB6 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RMDB5 [7:0]								RMDB4 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.36　RSCAN0RMDF1q レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RMDB7 [7:0]	受信バッファデータバイト 7 受信バッファデータバイト 6 受信バッファデータバイト 5 受信バッファデータバイト 4 受信バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RMDB6 [7:0]	
15 ～ 8	RMDB5 [7:0]	
7 ～ 0	RMDB4 [7:0]	

RSCAN0RMPTRq レジスタの RMDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.3.23 RSCAN0RFCCx — 受信 FIFO バッファコンフィグレーション／制御レジスタ（x = 0 ~ 7）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $00B8_H$ + (x * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFIGCV [2:0]			RFIM	—	RFDC [2:0]			—	—	—	—	—	—	RFIE	RFE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R	R/W	R/W

表 21.37　RSCAN0RFCCx レジスタの内容

ビット位置	ビット名	機能
31 ~ 16	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
15 ~ 13	RFIGCV [2:0]	受信 FIFO 割り込み要求発生タイミング選択ビット b15 b14 b13 0 0 0 : FIFO バッファに 1/8 までメッセージ格納時 0 0 1 : FIFO バッファに 2/8 までメッセージ格納時 0 1 0 : FIFO バッファに 3/8 までメッセージ格納時 0 1 1 : FIFO バッファに 4/8 までメッセージ格納時 1 0 0 : FIFO バッファに 5/8 までメッセージ格納時 1 0 1 : FIFO バッファに 6/8 までメッセージ格納時 1 1 0 : FIFO バッファに 7/8 までメッセージ格納時 1 1 1 : FIFO バッファがフルのとき
12	RFIM	受信 FIFO 割り込み要因選択ビット 0 : RFIGCV[2:0] ビットで設定した条件に達したときに発生 1 : 1 メッセージ受信完了ごとに発生
11	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
10 ~ 8	RFDC [2:0]	受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0 : 0 メッセージ 0 0 1 : 4 メッセージ 0 1 0 : 8 メッセージ 0 1 1 : 16 メッセージ 1 0 0 : 32 メッセージ 1 0 1 : 48 メッセージ 1 1 0 : 64 メッセージ 1 1 1 : 128 メッセージ
7 ~ 2	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
1	RFIE	受信 FIFO 割り込み許可ビット 0 : 受信 FIFO 割り込み禁止 1 : 受信 FIFO 割り込み許可
0	RFE	受信 FIFO バッファ許可ビット 0 : 受信 FIFO バッファを使用しない 1 : 受信 FIFO バッファを使用する

RFIGCV[2:0] ビット

RFIM ビットを “0” にした場合の受信 FIFO 割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（RFDC[2:0] の設定）に対する分数で指定します。

RFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、RFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIM ビット

FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

RFDC[2:0] ビット

1 つの受信 FIFO バッファに格納できるメッセージの数を選択します。“000_B” に設定した場合は、受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

RFIE ビット

“1” にすると、受信 FIFO 割り込みが使用できます。RFE ビットが “0”（受信 FIFO バッファを使用しない）のときに、RFIE ビットを書き換えてください。

RFE ビット

“1” にすると、受信 FIFO バッファが使用できます。“0” にすると、RSCAN0RFSTSx レジスタの RFEMP フラグが “1”（バッファ空）になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

21.3.24　RSCAN0RFSTSx — 受信 FIFO バッファステータスレジスタ（x = 0 ~ 7）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $00D8_H$ + (x * 0004_H)

初期値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFMC[7:0]								—	—	—	—	RFIF	RFMLT	RFFLL	RFEMP
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注 1	R/W 注 1	R	R

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.38　RSCAN0RFSTSx レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
15 ～ 8	RFMC[7:0]	受信 FIFO 未読メッセージ数表示カウンタ 受信 FIFO バッファに格納された未読メッセージ数を示します。
7 ～ 4	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
3	RFIF	受信 FIFO 割り込み要求フラグ 0：受信 FIFO 割り込み要求なし 1：受信 FIFO 割り込み要求あり
2	RFMLT	受信 FIFO メッセージロストフラグ 0：受信 FIFO メッセージロストなし 1：受信 FIFO メッセージロスト
1	RFFLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファフルではない 1：受信 FIFO バッファフル
0	RFEMP	受信 FIFO バッファ空ステータスフラグ 0：受信 FIFO バッファに未読メッセージあり 1：受信 FIFO バッファに未読メッセージなし（バッファ空）

RFMC[7:0] フラグ

受信 FIFO バッファ内の未読メッセージ数を示します。RSCAN0RFCCx レジスタの RFE ビットを “0” にすると、“00_H” になります。

RFIF フラグ

RSCAN0RFCCx レジスタの RFIGCV[2:0] ビットと RFIM ビットで設定した受信 FIFO 割り込み要求発生条件が整ったときに “1” になります。RFIF フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RFMLT フラグ

受信 FIFO バッファがフルの場合に、新しいメッセージを格納しようとしたとき “1” になります。この場合、新しいメッセージは破棄されます。

RFMLT フラグへの “0” 書き込み、またはグローバルリセットモード時、“0” になります。

このビットはグローバル動作モードまたはグローバルテストモードで書き換えてください。

RFFLL フラグ

受信 FIFO バッファに格納されたメッセージ数が、RSCAN0RFCCx レジスタの RFDC[2:0] ビットで設定した段数と一致すると “1” になります。

受信 FIFO バッファに格納されたメッセージ数が、RFDC[2:0] ビットで設定した段数より小さくなると “0” になります。また、RSCAN0RFCCx レジスタの RFE ビットが “0”（受信 FIFO バッファを使用しない）のとき、またはグローバルリセットモード時に “0” になります。

RFEMP フラグ

受信 FIFO バッファのすべてのメッセージを読むと “1” になります。また、RSCAN0RFCCx レジスタの RFE ビットが “0” のとき、またはグローバルリセットモード時に “1” になります。

受信メッセージが 1 つでも受信 FIFO バッファに格納されると “0” になります。

21.3.25　RSCAN0RFPCTRx — 受信 FIFO バッファポインタ制御レジスタ（x = 0 ~ 7）

アクセス　8,16,32 ビット単位でライト可能です。

アドレス　<RSCAN0_base> + $00F8_H$ + (x * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RFPC [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.39　RSCAN0RFPCTRx レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 書き込みは “0” としてください。
7 ～ 0	RFPC [7:0]	受信 FIFO ポインタ制御 “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。

RFPC[7:0] ビット

RFPC[7:0] ビットに “FF_H” を書くと、受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0RFSTSx レジスタの RFMC[7:0] ビット（受信 FIFO 未読メッセージ数表示カウンタ）の値が 1 減算されます。RSCAN0RFID、RSCAN0RFPTR、RSCAN0RFDF0、RSCAN0RFDF1 レジスタを読んで受信 FIFO バッファのメッセージを読み出した後、RFPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）で、RSCAN0RFSTSx レジスタの RFEMP フラグが “0”（未読メッセージあり）のときに行ってください。

21.3.26　RSCAN0RFIDx — 受信 FIFO バッファアクセス ID レジスタ（x = 0 ~ 7）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $0E00_H$ + (x * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFIDE	RFRTR	—	RFID [28:16]												
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFID [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.40　RSCAN0RFIDx レジスタの内容

ビット位置	ビット名	機能
31	RFIDE	受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	RFRTR	受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	—	予約ビット 読むと “0” が読み出されます。
28 ～ 0	RFID [28:0]	受信 FIFO バッファ ID データ 受信メッセージの標準 ID ／拡張 ID が読めます。 標準 ID の場合は、b10 ~ b0 を読んでください。b28 ~ b11 は “0” が読めます。

RFIDE ビット

受信 FIFO バッファに格納されたメッセージの ID フォーマット（標準 ID または拡張 ID）を示します。

RFRTR ビット

受信 FIFO バッファに格納されたメッセージのフレームフォーマット（データフレームまたはリモートフレーム）を示します。

RFID[28:0]

受信 FIFO バッファに格納されたメッセージの ID を示します。

21.3.27　RSCAN0RFPTRx — 受信 FIFO バッファアクセスポインタレジスタ（x = 0 ~ 7）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $0E04_H$ + (x * 0010_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDLC [3:0]				RFPTR [11:0]											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFTS [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.41　RSCAN0RFPTRx レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	RFDLC [3:0]	受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	RFPTR [11:0]	受信 FIFO バッファラベルデータ 受信メッセージのラベル情報が読めます。
15 ~ 0	RFTS [15:0]	受信 FIFO バッファタイムスタンプデータ 受信メッセージのタイムスタンプ値が読めます。

RFDLC[3:0]

受信 FIFO バッファに格納されたメッセージのデータ長を含んでいます。

RFPTR[11:0]

受信 FIFO バッファに格納されたメッセージのラベル情報を含んでいます。

RFTS[15:0]

受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を含んでいます。

21.3.28 RSCAN0RFDF0x — 受信 FIFO バッファアクセスデータフィールド 0 レジスタ（x = 0 ~ 7）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $0E08_H$ + (x * 0010_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB3 [7:0]								RFDB2 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB1 [7:0]								RFDB0 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.42　RSCAN0RFDF0x レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RFDB3 [7:0]	受信 FIFO バッファデータバイト 3 受信 FIFO バッファデータバイト 2 受信 FIFO バッファデータバイト 1 受信 FIFO バッファデータバイト 0 受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RFDB2 [7:0]	
15 ～ 8	RFDB1 [7:0]	
7 ～ 0	RFDB0 [7:0]	

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.3.29 RSCAN0RFDF1x — 受信 FIFO バッファアクセスデータフィールド 1 レジスタ（x = 0 ~ 7）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $0E0C_H$ + (x * 0010_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RFDB7 [7:0]								RFDB6 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFDB5 [7:0]								RFDB4 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.43　RSCAN0RFDF1x レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	RFDB7 [7:0]	受信 FIFO バッファデータバイト 7 受信 FIFO バッファデータバイト 6 受信 FIFO バッファデータバイト 5 受信 FIFO バッファデータバイト 4 受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	RFDB6 [7:0]	
15 ～ 8	RFDB5 [7:0]	
7 ～ 0	RFDB4 [7:0]	

RSCAN0RFPTRx レジスタの RFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

21.3.30 RSCAN0CFCCk — 送受信 FIFO バッファコンフィグレーション／制御レジスタ（k = 0 ~ 5）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0118_H + (k * 0004_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFITT[7:0]								CFTML[3:0]				CFITR	CFITSS	CFM[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFIGCV [2:0]			CFIM	—	CFDC [2:0]			—	—	—	—	—	CFTXIE	CFRXIE	CFE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R	R	R	R	R/W	R/W	R/W

表 21.44　RSCAN0CFCCk レジスタの内容　(1 / 2)

ビット位置	ビット名	機能
31 ～ 24	CFITT[7:0]	メッセージの送信間隔を設定してください。 設定値：00_H ~ FF_H
23 ～ 20	CFTML[3:0]	送信バッファリンク設定ビット 送受信 FIFO バッファにリンクさせる送信バッファ番号を設定してください。
19	CFITR	送受信 FIFO インターバルタイマ分解能 0：pclk/2 を ITRCP [15:0] ビットで分周したクロック 1：pclk/2 を ITRCP [15:0] ビットの値 × 10 で分周したクロック
18	CFITSS	送受信 FIFO インターバルタイマクロックソース選択 0：CFITR ビットで選択したクロックソース 1：関連チャネルのビットタイムクロック
17 ～ 16	CFM[1:0]	送受信 FIFO モード選択ビット b17 b16 0　0：受信モード 0　1：送信モード 1　0：ゲートウェイモード 1　1：設定しないでください
15 ～ 13	CFIGCV [2:0]	送受信 FIFO 受信割り込み要求発生タイミング選択ビット b15 b14 b13 0　0　0：FIFO バッファに 1/8 までメッセージ格納時 0　0　1：FIFO バッファに 2/8 までメッセージ格納時 0　1　0：FIFO バッファに 3/8 までメッセージ格納時 0　1　1：FIFO バッファに 4/8 までメッセージ格納時 1　0　0：FIFO バッファに 5/8 までメッセージ格納時 1　0　1：FIFO バッファに 6/8 までメッセージ格納時 1　1　0：FIFO バッファに 7/8 までメッセージ格納時 1　1　1：FIFO バッファがフルのとき

表 21.44　RSCAN0CFCCk レジスタの内容　(2 / 2)

ビット位置	ビット名	機能
12	CFIM	送受信 FIFO 割り込み要因選択ビット 0： • 受信モード、ゲートウェイモード時 受信メッセージ数が CFIGCV[2:0] ビットで設定した条件に達したとき、FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 メッセージ送信完了によってバッファが空になったとき、FIFO 送信割り込み要求発生 1： • 受信モード、ゲートウェイモード時 1 メッセージ受信ごとに FIFO 受信割り込み要求発生 • 送信モード、ゲートウェイモード時 1 メッセージ送信が完了するごとに FIFO 送信割り込み要求発生
11	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
10 ～ 8	CFDC [2:0]	送受信 FIFO バッファ段数設定ビット b10 b9 b8 0 0 0：0 メッセージ 0 0 1：4 メッセージ 0 1 0：8 メッセージ 0 1 1：16 メッセージ 1 0 0：32 メッセージ 1 0 1：48 メッセージ 1 1 0：64 メッセージ 1 1 1：128 メッセージ
7 ～ 3	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
2	CFTXIE	送受信 FIFO 送信割り込み許可ビット 0：送受信 FIFO 送信割り込み禁止 1：送受信 FIFO 送信割り込み許可
1	CFRXIE	送受信 FIFO 受信割り込み許可ビット 0：送受信 FIFO 受信割り込み禁止 1：送受信 FIFO 受信割り込み許可
0	CFE	送受信 FIFO バッファ許可ビット 0：送受信 FIFO バッファを使用しない 1：送受信 FIFO バッファを使用する

CFITT[7:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファから連続してメッセージを送信する場合、メッセージの送信間隔を設定します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしてから、CFITT[7:0] ビットを書き換えてください。

CFTML[3:0] ビット

CFM[1:0] ビットを “01_B”（送信モード）または “10_B”（ゲートウェイモード）に設定した場合、送受信 FIFO バッファ k にリンクさせる送信バッファ番号を設定します。チャネル当たり 3 つの送受信 FIFO バッファがあり、FIFO バッファ k が割り当てられているチャネル番号 m は、k/3 の整商となります。FIFO バッファ k にリンクされる実際の送信バッファ番号 p は、(16 × m) + CFTML[3:0] となります。

送受信 FIFO バッファ k と送信バッファ p の関係は、**表 21.11** および**表 21.12** を参照してください。

CFDC[2:0] ビットを “001_B” 以上にすると、CFTML[3:0] ビットの設定が有効になります。

同一チャネルの送信キュー、またはその他の送受信 FIFO バッファに既に割り当てられている送信バッファにはリンクしないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFITR ビット

CFITSS ビットが “1” のとき、有効です。

“0” のとき、インターバルタイマクロックソースは、pclk/2 を RSCAN0GCFG レジスタの ITRCP [15:0] ビットで分周したクロックとなります。

“1” のとき、インターバルタイマクロックソースは、pclk/2 を RSCAN0GCFG レジスタの ITRCP[15:0] ビットの値 ×10 で分周したクロックとなります。

CFITSS ビット

“0” のとき、CFITR ビットで選択したクロックがインターバルタイマのカウントソースになります。

“1” のとき、FIFO にリンクしているチャネルのビットタイムクロックがインターバルタイマのカウントソースになります。

CFM[1:0] ビット

送受信 FIFO のモードを選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFIGCV[2:0] ビット

CFM[1:0] ビットを “00_B”（受信モード）または “10_B”（ゲートウェイモード）に、CFIM ビットを “0” にした場合の送受信 FIFO 受信割り込み要求を発生させるために必要な受信メッセージ数をバッファ総数（CFDC[2:0] の設定）に対する分数で指定します。

CFDC[2:0] ビットを “001_B”（4 メッセージ）に設定した場合は、CFIGCV[2:0] ビットを “001_B”、“011_B”、“101_B”、または “111_B” にしてください。

このビットはグローバルリセットモードでのみ書き換えてください。

CFIM ビット

送受信 FIFO 割り込み要因を選択します。このビットはグローバルリセットモードでのみ書き換えてください。

CFDC[2:0] ビット

1 つの送受信 FIFO バッファに格納できるメッセージの数を設定します。“000_B” に設定した場合は、送受信 FIFO バッファを使用しないでください。このビットはグローバルリセットモードでのみ書き換えてください。

CFTXIE ビット

このビットを “1” に設定し、RSCAN0CFSTSk レジスタの CFTXIF フラグが “1” になった場合、送受信 FIFO 送信割り込み要求が発生します。

CFE ビットが “0”（送受信 FIFO バッファを使用しない）の状態で、CFTXIE ビットを書き換えてください。

CFRXIE ビット

このビットを “1” に設定し、RSCAN0CFSTSk レジスタの CFRXIF フラグが “1” になった場合、送受信 FIFO 受信割り込み要求が発生します。

CFE ビットが “0” の状態で、CFRXIE ビットを書き換えてください。

CFE ビット

“1” にすると、送受信 FIFO バッファを使用できます。

“0” にすると、送信モードまたはゲートウェイモードでは、送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。それ以外の場合、または受信モードでは直ちに空になります。

このビットは、次に示す条件で “0” になります。

- 受信モード時 : グローバルリセットモード
- 送信モードまたはゲートウェイモード時 : チャネルリセットモード

このビットは、次に示すモードで書き換えてください。

- 受信モード : グローバル動作モードまたはグローバルテストモード
- 送信モードまたはゲートウェイモード : チャネル通信モードまたはチャネル待機モード

21.3.31　RSCAN0CFSTSk — 送受信 FIFO バッファステータスレジスタ（k = 0 ~ 5）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0178_H + (k * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFMC [7:0]								—	—	—	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W 注 1	R/W 注 1	R/W 注 1	R	R

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.45　RSCAN0CFSTSk レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
15 ～ 8	CFMC [7:0]	送受信 FIFO メッセージ数表示カウンタ 送受信 FIFO バッファに格納されたメッセージ数を示します。
7 ～ 5	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
4	CFTXIF	送受信 FIFO 送信割り込み要求フラグ 0：送受信 FIFO 送信割り込み要求なし 1：送受信 FIFO 送信割り込み要求あり
3	CFRXIF	送受信 FIFO 受信割り込み要求フラグ 0：送受信 FIFO 受信割り込み要求なし 1：送受信 FIFO 受信割り込み要求あり
2	CFMLT	送受信 FIFO メッセージロストフラグ 0：送受信 FIFO メッセージロストなし 1：送受信 FIFO メッセージロスト
1	CFFLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファフルではない 1：送受信 FIFO バッファフル
0	CFEMP	送受信 FIFO バッファ空ステータスフラグ 0：送受信 FIFO バッファにメッセージあり 1：送受信 FIFO バッファにメッセージなし（バッファ空）

CFMC[7:0] ビット

CFMC[7:0] ビットが示す値は、RSCAN0CFCCk レジスタの CFM[1:0] ビットの設定により次のようになります。

- CFM[1:0] ビットが “01_B”（送信モード）の場合 : バッファに格納した未送信メッセージ数
- CFM[1:0] ビットが “00_B”（受信モード）の場合 : バッファに格納された未読の受信メッセージ数
- CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合 : バッファに格納された受信メッセージの内、未送信のメッセージ数

このビットは、次に示す条件で “0” になります。

- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

CFTXIF フラグ

次の条件で、CFTXIF フラグは “1” になります。

- CFM[1:0] ビットが “01_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFTXIF フラグは “0” になります。

- CFTXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

CFRXIF フラグ

次の条件で、CFRXIF フラグは “1” になります。

- CFM[1:0] ビットが “00_B” または “10_B” で、RSCAN0CFCCk レジスタの CFIM ビットで選択した要因が発生したとき

次の条件で、CFRXIF フラグは “0” になります。

- CFRXIF フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合 : グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合 : チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

CFMLT フラグ

次の条件で、CFMLT フラグは “1” になります。

- 送受信 FIFO バッファがフルの場合に、さらに新しいメッセージを格納しようとしたとき。この場合、新しいメッセージは破棄されます。

次の条件で、CFMLT フラグは “0” になります。

- CFMLT フラグへの “0” 書き込み
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

このフラグは、グローバル動作モードまたはグローバルテストモードで “0” を書いてください。

CFFLL フラグ

次の条件で、CFFLL フラグは “1” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した段数と一致したとき

次の条件で、CFFLL フラグは “0” になります。

- 送受信 FIFO バッファに格納されたメッセージ数が、CFDC[2:0] ビットで設定した段数より小さくなったとき
- RSCAN0CFCCk レジスタの CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：送信アボート中でないとき
- CFM[1:0] ビットが “00_B” の場合：グローバルリセットモード
- CFM[1:0] ビットが “01_B” または “10_B” の場合：チャネルリセットモード

CFEMP フラグ

次の条件で、CFEMP フラグは “1” になります。

- CFM[1:0] ビットが “00_B” または “10_B” の場合：
  全メッセージを読み出したとき、またはグローバルリセットモード
- CFM[1:0] ビットが “01_B” の場合：
  すべてのメッセージを送信したとき、またはチャネルリセットモード
- CFE ビットが “0”（送受信 FIFO バッファを使用しない）の場合：
  送信アボート中でないとき

次の条件で、CFEMP フラグは “0” になります。

- CFM[1:0] ビットが “00_B” の場合：
  受信メッセージが 1 つでも送受信 FIFO バッファに格納されたとき
- CFM[1:0] ビットが “01_B” または “10_B” の場合：
  RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いてから、RSCAN0CFPCTRk レジスタに “FF_H” を書いたとき

21.3.32 RSCAN0CFPCTRk — 送受信 FIFO バッファポインタ制御レジスタ（k = 0 ~ 5）

アクセス　8,16,32 ビット単位でライト可能です。

アドレス　<RSCAN0_base> + $01D8_H$ + (k * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CFPC [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.46　RSCAN0CFPCTRk レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 書き込みは “0” としてください。
7 ～ 0	CFPC [7:0]	送受信 FIFO ポインタ制御 • 受信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。 • 送信モード時 “FF_H” を書くと、送受信 FIFO バッファの次の段にライトポインタが移動します。 • ゲートウェイモード時 設定しないでください。

CFPC[7:0] ビット

- 受信モード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “00_B”）のとき：CFPC[7:0] ビットに “FF_H” を書くと、送受信 FIFO バッファの次の未読メッセージにリードポインタが移動します。このとき RSCAN0CFSTSk レジスタの CFMC[7:0] ビット（送受信 FIFO メッセージ数表示カウンタ）の値が 1 減算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタを読んで送受信 FIFO バッファからメッセージを読み出したあと、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは RSCAN0CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCAN0CFSTSk レジスタの CFEMP フラグが “0”（メッセージあり）のときに行ってください。
- 送信モード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B”）のとき：CFPC[7:0] ビットに “FF_H” を書くと、RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに書いたデータが送受信 FIFO バッファに格納され、バッファの次の段にライトポインタが移動します。このとき CFMC[7:0] ビットの値が 1 加算されます。RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタに送信メッセージを書いた後に、CFPC[7:0] ビットに “FF_H” を書いてください。
  なお、“FF_H” の書き込みは、RSCAN0CFCCk レジスタの CFE ビットが “1”

で、RSCAN0CFSTSk レジスタの CFFLL フラグが “0”（フルではない）のときに行ってください。

- ゲートウェイモード（RSCAN0CFCCk レジスタの CFM[1:0] ビットが “10_B”）のとき：
  設定しないでください。

21.3.33 RSCAN0CFIDk — 送受信 FIFO バッファアクセス ID レジスタ（k = 0 ~ 5）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $0E80_H$ + (k * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFIDE	CFRTR	THLEN	CFID [28:16]												
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFID [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.47　RSCAN0CFIDk レジスタの内容

ビット位置	ビット名	機能
31	CFIDE	送受信 FIFO バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	CFRTR	送受信 FIFO バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット CFM[1:0] ビットが “01_B”（送信モード）時のみ有効 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	CFID [28:0]	送受信 FIFO バッファ ID データ • CFM[1:0] ビットが “01_B”（送信モード）時 標準 ID または拡張 ID を設定してください。標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は “0” にしてください。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージの標準 ID または拡張 ID が読めます。標準 ID の場合、b10 ~ b0 を読んでください。b28 ~ b11 は “0” が読めます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFIDE ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID フォーマット（標準 ID または拡張 ID）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID フォーマットを設定します。

CFRTR ビット

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータフォーマット（データフレームまたはリモートフレーム）を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファタイプ）が送信履歴バッファに格納されます。

CFM[1:0] ビットが “01_B”（送信モード）のときに、有効になります。

CFID[28:0]

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージの ID を含んでいます。

CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信するメッセージの ID を設定します。

21.3.34 RSCAN0CFPTRk — 送受信 FIFO バッファアクセスポインタレジスタ（k = 0 ~ 5）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $0E84_H$ + (k * 0010_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDLC [3:0]				CFPTR [11:0]											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFTS [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.48　RSCAN0CFPTRk レジスタの内容

ビット位置	ビット名	機能
31 ~ 28	CFDLC [3:0]	送受信 FIFO バッファ DLC データ b31 b30 b29 b28 0 0 0 0 : 0 データバイト 0 0 0 1 : 1 データバイト 0 0 1 0 : 2 データバイト 0 0 1 1 : 3 データバイト 0 1 0 0 : 4 データバイト 0 1 0 1 : 5 データバイト 0 1 1 0 : 6 データバイト 0 1 1 1 : 7 データバイト 1 X X X : 8 データバイト
27 ~ 16	CFPTR [11:0]	送受信 FIFO バッファラベルデータ • CFM[1:0] ビットが “01_B”（送信モード）時 送信履歴バッファに格納するラベル情報を設定してください。 CFPTR[7:0] のみ有効です。 • CFM[1:0] ビットが “00_B”（受信モード）時 受信メッセージのラベル情報が読めます。
15 ~ 0	CFTS [15:0]	送受信 FIFO バッファタイムスタンプデータ CFM[1:0] ビットが “00_B”（受信モード）時のみ有効 受信メッセージのタイムスタンプ値が読めます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B”（送信モード）の場合のみ、このレジスタに書けます。CFM[1:0] ビットが “00_B”（受信モード）の場合のみ、このレジスタを読めます。CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

CFDLC[3:0]

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージのデータ長を示します。CFM[1:0] ビットが “01_B” のとき、送受信 FIFO バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、実際に送られるデータは 8 バイトになります。

CFPTR[11:0]

CFM[1:0] ビットが “00_B” のとき、送受信 FIFO バッファに格納された受信メッセージに添付したラベル情報を示します。CFM[1:0] ビットが “01_B” のとき、メッセージ送信が完了した場合、CFPTR[7:0] ビットの値が送信履歴に格納されます。

CFTS[15:0]

送受信 FIFO バッファに格納されたメッセージのタイムスタンプ値を示します。

CFM[1:0] ビットが “00_B” のときに、有効になります。

21.3.35 RSCAN0CFDF0k — 送受信 FIFO バッファアクセスデータフィールド 0 レジスタ（k = 0 ~ 5）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $0E88_H$ + (k * 0010_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB3 [7:0]								CFDB2 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB1 [7:0]								CFDB0 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.49　RSCAN0CFDF0k レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	CFDB3 [7:0]	送受信 FIFO バッファデータバイト 3 送受信 FIFO バッファデータバイト 2 送受信 FIFO バッファデータバイト 1 送受信 FIFO バッファデータバイト 0 • CFM[1:0] ビットが “01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが “00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB2 [7:0]	
15 ～ 8	CFDB1 [7:0]	
7 ～ 0	CFDB0 [7:0]	

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。
RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

21.3.36 RSCAN0CFDF1k — 送受信 FIFO バッファアクセスデータフィールド 1 レジスタ（k = 0 ~ 5）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $0E8C_H$ + (k * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CFDB7 [7:0]								CFDB6 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CFDB5 [7:0]								CFDB4 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.50　RSCAN0CFDF1k レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	CFDB7 [7:0]	送受信 FIFO バッファデータバイト 7 送受信 FIFO バッファデータバイト 6 送受信 FIFO バッファデータバイト 5 送受信 FIFO バッファデータバイト 4 • CFM[1:0] ビットが “01_B”（送信モード）時 送受信 FIFO バッファのデータを設定してください。 • CFM[1:0] ビットが “00_B”（受信モード）時 送受信 FIFO バッファに格納されたメッセージのデータが読めます。
23 ～ 16	CFDB6 [7:0]	
15 ～ 8	CFDB5 [7:0]	
7 ～ 0	CFDB4 [7:0]	

RSCAN0CFCCk レジスタの CFM[1:0] ビットが “01_B” の場合のみ、このレジスタに書けます。

CFM[1:0] ビットが “00_B” の場合のみ、このレジスタを読めます。
RSCAN0CFPTRk レジスタの CFDLC[3:0] ビットの値が “1000_B” 未満の場合、データが設定されていないデータバイトは、“00_H” が読めます。

CFM[1:0] ビットが “10_B”（ゲートウェイモード）の場合は、このレジスタに読み書きしないでください。

21.3.37　RSCAN0FESTS — FIFO エンプティステータスレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0238_H

初期値　$007F\ FFFF_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP	RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.51　RSCAN0FESTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 23	—	予約ビット。読むと “0” が読み出されます。
22 ～ 14	—	予約ビット。読むと “1” が読み出されます。
13	CF5EMP	送受信 FIFO バッファエンプティステータスフラグ 0：送受信 FIFO バッファ k にメッセージあり 1：送受信 FIFO バッファ k にメッセージなし (k = 0 ~ 5)
12	CF4EMP	
11	CF3EMP	
10	CF2EMP	
9	CF1EMP	
8	CF0EMP	
7	RF7EMP	受信 FIFO バッファエンプティステータスフラグ 0：受信 FIFO バッファ x に未読メッセージあり 1：受信 FIFO バッファ x に未読メッセージなし (x = 0 ~ 7)
6	RF6EMP	
5	RF5EMP	
4	RF4EMP	
3	RF3EMP	
2	RF2EMP	
1	RF1EMP	
0	RF0EMP	

RSCAN0FESTS レジスタは、グローバルリセットモード時、“$007F\ FFFF_H$” になります。

CFkEMP フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（メッセージなし）になると、CFkEMP フラグは “1” になります。CFEMP フラグが “0”（メッセージあり）になると、CFkEMP フラグは “0” になります。

RFxEMP フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFEMP フラグが “1”（未読メッセージなし）になると、RFxEMP フラグは “1” になります。RFEMP フラグが “0”（未読メッセージあり）になると、RFxEMP フラグは “0” になります。

21.3.38　RSCAN0FFSTS — FIFO フルステータスレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $023C_H$

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL	RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.52　RSCAN0FFSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	—	予約ビット。読むと “0” が読み出されます。
13	CF5FLL	送受信 FIFO バッファフルステータスフラグ 0：送受信 FIFO バッファ k はフルではない 1：送受信 FIFO バッファ k はフル （k = 0 ~ 5）
12	CF4FLL	
11	CF3FLL	
10	CF2FLL	
9	CF1FLL	
8	CF0FLL	
7	RF7FLL	受信 FIFO バッファフルステータスフラグ 0：受信 FIFO バッファ x はフルではない 1：受信 FIFO バッファ x はフル （x = 0 ～ 7）
6	RF6FLL	
5	RF5FLL	
4	RF4FLL	
3	RF3FLL	
2	RF2FLL	
1	RF1FLL	
0	RF0FLL	

RSCAN0FFSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkFLL フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFFLL フラグが “1”（バッファフル）になると、CFkFLL フラグは “1” になります。

CFFLL フラグが “0”（送受信 FIFO がバッファフルでない）になると、CFkFLL フラグは “0” になります。

RFxFLL フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFFLL フラグが “1”（バッファフル）になると、RFxFLL フラグは “1” になります。RFFLL フラグが “0”（バッファフルでない）になると、RFxFLL フラグは “0” になります。

21.3.39　RSCAN0FMSTS — FIFO メッセージロストステータスレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0240_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT	RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.53　RSCAN0FMSTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	—	予約ビット。読むと “0” が読み出されます。
13	CF5MLT	送受信 FIFO バッファメッセージロストステータスフラグ 0：送受信 FIFO バッファ k メッセージロストなし 1：送受信 FIFO バッファ k メッセージロスト （k = 0 ~ 5）
12	CF4MLT	
11	CF3MLT	
10	CF2MLT	
9	CF1MLT	
8	CF0MLT	
7	RF7MLT	受信 FIFO バッファメッセージロストステータスフラグ 0：受信 FIFO バッファ x メッセージロストなし 1：受信 FIFO バッファ x メッセージロスト （x = 0 ~ 7）
6	RF6MLT	
5	RF5MLT	
4	RF4MLT	
3	RF3MLT	
2	RF2MLT	
1	RF1MLT	
0	RF0MLT	

RSCAN0FMSTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkMLT フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFMLT フラグが “1”（メッセージロスト）になると、CFkMLT フラグは “1” になります。

CFMLT フラグを “0” にすると、CFkMLT フラグは “0” になります。

RFxMLT フラグ（x = 0 ~ 7）

RSCAN0RFSTSx レジスタの RFMLT フラグが “1”（メッセージロスト）になると、RFxMLT フラグは “1” になります。RFMLT フラグを “0” にすると、RFxMLT フラグは “0” になります。

21.3.40　RSCAN0RFISTS — 受信 FIFO バッファ割り込みフラグステータスレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0244_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.54　RSCAN0RFISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 読むと “0” が読み出されます。
7	RF7IF	受信 FIFO バッファ割り込み要求ステータスフラグ 0：受信 FIFO バッファ x 割り込み要求なし 1：受信 FIFO バッファ x 割り込み要求あり （x = 0 ~ 7）
6	RF6IF	
5	RF5IF	
4	RF4IF	
3	RF3IF	
2	RF2IF	
1	RF1IF	
0	RF0IF	

RSCAN0RFISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

RFxIF フラグ（x = 0 ~7）

RSCAN0RFSTSx レジスタの RFIF フラグが “1”（割り込み要求あり）になると、RFxIF フラグは “1” になります。RFIF フラグを “0” にすると、RFxIF フラグは “0” になります。

21.3.41 RSCAN0CFRISTS — 送受信 FIFO バッファ 受信割り込みフラグ ステータスレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0248_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.55　RSCAN0CFRISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	—	予約ビット 読むと “0” が読み出されます。
5	CF5RXIF	送受信 FIFO バッファ受信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 受信割り込み要求なし 1：送受信 FIFO バッファ k 受信割り込み要求あり (k = 0 ~ 5)
4	CF4RXIF	
3	CF3RXIF	
2	CF2RXIF	
1	CF1RXIF	
0	CF0RXIF	

RSCAN0CFRISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkRXIF フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFRXIF フラグが “1”（割り込み要求あり）になると、CFkRXIF フラグは “1” になります。CFRXIF フラグを “0” にすると、CFkRXIF フラグは “0” になります。

21.3.42 RSCAN0CFTISTS — 送受信 FIFO バッファ 送信割り込みフラグ ステータスレジスタ

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + $024C_H$

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.56　RSCAN0CFTISTS レジスタの内容

ビット位置	ビット名	機能
31 ～ 6	—	予約ビット。読むと “0” が読み出されます。
5	CF5TXIF	送受信 FIFO バッファ 送信割り込み要求ステータスフラグ 0：送受信 FIFO バッファ k 送信割り込み要求なし 1：送受信 FIFO バッファ k 送信割り込み要求あり (k = 0 ~ 5)
4	CF4TXIF	
3	CF3TXIF	
2	CF2TXIF	
1	CF1TXIF	
0	CF0TXIF	

RSCAN0CFTISTS レジスタは、グローバルリセットモード時、“$0000\ 0000_H$” になります。

CFkTXIF フラグ（k = 0 ~ 5）

RSCAN0CFSTSk レジスタの CFTXIF フラグが “1”（割り込み要求あり）になると、CFkTXIF フラグは “1” になります。CFTXIF フラグを “0” にすると、CFkTXIF フラグは “0” になります。

21.3.43 RSCAN0TMCp — 送信バッファ制御レジスタ（p = 0 ~ 31）

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0250_H + (01_H × p)

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	TMOM	TMTAR	TMTR
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W 注 1	R/W 注 1

注 1.　このビットへの書き込みは、ビットセットする（“1” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.57　RSCAN0TMCp レジスタの内容

ビット位置	ビット名	機能
7 ～ 3	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
2	TMOM	ワンショット送信許可ビット 0：ワンショット送信禁止 1：ワンショット送信許可
1	TMTAR	送信アボート要求ビット 0：送信アボートを要求しない 1：送信アボートを要求する
0	TMTR	送信要求ビット 0：送信を要求しない 1：送信を要求する

RSCAN0TMCp レジスタが次の条件を満たす場合は、“00_H” にしてください。

- RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファ番号に対応する RSCAN0TMCp レジスタ（p = m × 16 + CFTML[3:0] ビットの値）
- RSCAN0TXQCCm レジスタ（m = 0、1）の TXQDC[3:0] ビットで送信キューに割り当てた送信バッファに対応する RSCAN0TMCp レジスタ（p = (m × 16 + 15) ～ (m × 16 + 15 - TXQDC[3:0] ビットの値)）

RSCAN0TMCp レジスタのビットは、チャネルリセットモード時に “0” になります。RSCAN0TMCp レジスタは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

TMOM ビット

“1” にすると、ワンショット送信が許可されます。送信に失敗しても、CAN プロトコルに規定された再送信を行いません。

TMOM ビットは、RSCAN0TMSTSp レジスタの TMTRM フラグが “0” のときに書き換えてください。TMOM ビットに “1” を書く場合は、TMTR ビットと同時に “1” を書いてください。

TMTAR ビット

“1” にすると、送信バッファに格納されたメッセージの送信アボート要求が発生します。ただし、送信中または次の送信に決定したメッセージはアボートできません。

TMTR ビットが “1” のとき、TMTAR ビットを “1” にできます。

TMTAR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” になりません。

- 送信が完了したとき
- 送信アボートが完了したとき
- エラーまたはアービトレーションロストを検出したとき

“0” になるタイミングと “1” を書くタイミングが同じ場合、“0” になります。

TMTR ビット

“1” にすると、送信バッファに格納されたメッセージの送信を行います。

TMTR ビットは次の条件で “0” になります。プログラムで “0” を書いても “0” にできません。

- 送信が完了したとき
- TMTAR ビットを “1” にし、送信アボートが完了したとき
- TMOM ビットが “1” の状態で、エラーまたはアービトレーションロストを検出したとき

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “00_B” のときに、TMTR ビットを “1” に設定してください。

21.3.44　RSCAN0TMSTSp — 送信バッファステータスレジスタ（p = 0 ~ 31）

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $02D0_H$ + (01_H × p)

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	TMTARM	TMTRM	TMTRF[1:0]		TMTSTS
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R

表 21.58　RSCAN0TMSTSp レジスタの内容

ビット位置	ビット名	機能
7 ～ 5	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
4	TMTARM	送信バッファ送信アボート要求ステータスフラグ 0：送信アボート要求なし 1：送信アボート要求あり
3	TMTRM	送信バッファ送信要求ステータスフラグ 0：送信要求なし 1：送信要求あり
2、1	TMTRF[1:0]	送信バッファ送信結果フラグ b2　b1 0　0：送信中、または送信要求なし 0　1：送信アボート完了 1　0：送信完了（送信アボート要求なし） 1　1：送信完了（送信アボート要求あり）
0	TMTSTS	送信バッファ送信ステータスフラグ 0：送信中ではない 1：送信中

RSCAN0TMSTSp レジスタのビットは、チャネルリセットモード時に “0” になります。

TMTARM フラグ

RSCAN0TMCp レジスタの TMTAR ビットを “1” にすると、TMTARM フラグは “1” になります。

RSCAN0TMCp レジスタの TMTAR ビットが “0” になると、TMTARM フラグは “0” になります。

TMTRM フラグ

RSCAN0TMCp レジスタの TMTR ビットを “1” にすると、TMTRM フラグは “1” になります。

RSCAN0TMCp レジスタの TMTR ビットが “0” になると、TMTRM フラグは “0” になります。

TMTRF[1:0] フラグ

送信バッファからの送信結果を示します。

00_B：送信中または送信要求なし。

01_B：送信バッファからの送信がアボートされた。

10_B：RSCAN0TMCp レジスタの TMTAR ビットが “0”（送信アボートを要求しない）で、送信が完了した。

11_B：RSCAN0TMCp レジスタの TMTAR ビットが “1”（送信アボートを要求する）で、送信が完了した。

TMTRF[1:0] フラグは、チャネル通信モードまたはチャネル待機モードで “00_B” を書いてください。“00_B” 以外の値は書かないでください。

TMTSTS フラグ

送信バッファからの送信が開始すると、“1” になります。送信バッファからの送信が完了、またはバスエラーやアービトレーションロストにより中断されると、“0” になります。

21.3.45　RSCAN0TMTRSTSy — 送信バッファ送信要求ステータスレジスタ y (y = 0)

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0350_H + (y * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTRSTSp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTRSTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.59　RSCAN0TMTRSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信要求なし 1：送信要求あり
15 ～ 0	TMTRSTSp	送信バッファ送信要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信要求なし 1：送信要求あり

TMTRSTSp フラグ（p = 0 ~ 31）

RSCAN0TMCp レジスタの TMTR ビットの状態を示します。

TMTR ビットを “1”（送信を要求する）にすると、対応する TMTRSTSp フラグは “1” になります。

TMTR ビットが “0”（送信を要求しない）になると、対応する TMTRSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 21.60 にビット配置を示します。

表 21.60 TMTRSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15

21.3.46 RSCAN0TMTARSTSy — 送信バッファ送信アボート要求ステータスレジスタ y (y = 0)

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0360_H + (y * 0004_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTARSTSp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTARSTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.61　RSCAN0TMTARSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボート要求なし 1：送信アボート要求あり
15 ～ 0	TMTARSTSp	送信バッファ送信アボート要求ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボート要求なし 1：送信アボート要求あり

TMTARSTSp フラグ（p = 0 ~ 31）

RSCAN0TMCp レジスタの TMTAR ビットの状態を示します。

TMTAR ビットを “1”（送信を要求する）にすると、対応する TMTARSTSp フラグは “1” になります。

TMTAR ビットが “0”（送信を要求しない）になると、対応する TMTARSTSp フラグは “0” になります。また、チャネルリセットモード時、“0” になります。

表 21.62 にビット配置を示します。

表 21.62　TMTARSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15

21.3.47　RSCAN0TMTCSTSy — 送信バッファ送信完了ステータスレジスタ y (y = 0)

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0370_H + (y * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTCSTSp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTCSTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.63　RSCAN0TMTCSTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信未完了 1：送信完了
15 ～ 0	TMTCSTSp	送信バッファ送信完了ステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信未完了 1：送信完了

TMTCSTSp フラグ（p = 0 ~ 31）

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “10_B”（送信完了、送信アボート要求なし）または “11_B”（送信完了、送信アボート要求あり）になると、対応する TMTCSTSp フラグは “1” になります。

TMTCSTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 21.64 にビット配置を示します。

表 21.64 TMTCSTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15

21.3.48 RSCAN0TMTASTSy— 送信バッファ送信アボートステータスレジスタ y (y = 0)

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0380_H + (y * 0004_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMTASTSp (p = y × 32 + 31 ～ y x 32 + 16 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMTASTSp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.65　RSCAN0TMTASTSy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信アボートなし 1：送信アボートあり
15 ～ 0	TMTASTSp	送信バッファ送信アボートステータスフラグ p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信アボートなし 1：送信アボートあり

TMTASTSp フラグ（p = 0 ~ 31）

RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になると、対応する TMTASTSp フラグは “1” になります。

TMTASTSp フラグを “0” にする場合は、対応する TMTRF[1:0] フラグを “00_B” にしてください。また、チャネルリセットモード時、“0” になります。

表 21.66 にビット配置を示します。

表 21.66　TMTASTSp ビット配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15

21.3.49 RSCAN0TMIECy — 送信バッファ割り込みイネーブルコンフィグレーション レジスタ y (y = 0)

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0390_H + (y * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIEp (p = y × 32 + 31 ～ y × 32 + 16 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMIEp (p = y × 32 + 15 ～ y × 32 + 0 (y = 0))															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.67　RSCAN0TMIECy レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 31 ～ y × 32 + 16） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可
15 ～ 0	TMIEp	送信バッファ割り込み許可ビット p（p = y × 32 + 15 ～ y × 32 + 0） 0：送信バッファ割り込み禁止 1：送信バッファ割り込み許可

TMIEp ビット（p = 0 ~ 31）

このビットを “1” に設定し、対応する送信が完了した場合、送信バッファ割り込み要求が発生します。

このビットは対応する RSCAN0TMSTSp レジスタの TMTRM フラグが “0”（送信要求なし）のときに書き換えてください。

送受信 FIFO バッファにリンクした送信バッファ、または送信キューに割り当てられた送信バッファに対応するビットは “0” にしてください。

表 21.68 にビット配置を示します。

表 21.68　TMIEp ビットの配置

ビット位置	チャネル	送信バッファ番号
0	0	0
1	0	1
. .	. .	. .
15	0	15
16	1	0
. .	. .	. .
30	1	14
31	1	15

21.3.50　RSCAN0TMIDp — 送信バッファ ID レジスタ（p = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 1000_H + (p * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMIDE	TMRTR	THLEN	TMID [28:16]												
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMID [15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.69　RSCAN0TMIDp レジスタの内容

ビット位置	ビット名	機能
31	TMIDE	送信バッファ IDE ビット 0：標準 ID 1：拡張 ID
30	TMRTR	送信バッファ RTR ビット 0：データフレーム 1：リモートフレーム
29	THLEN	送信履歴データ格納許可ビット 0：送信履歴データをバッファに格納しない 1：送信履歴データをバッファに格納する
28 ～ 0	TMID [28:0]	送信バッファ ID データ 標準 ID または拡張 ID を設定してください。 標準 ID の場合、b10 ~ b0 に ID を設定してください。b28 ~ b11 は “0” にしてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMIDE ビット

送信バッファから送信するメッセージの ID フォーマットを設定します。

TMRTR ビット

送信バッファから送信するメッセージのデータフォーマットを設定します。

THLEN ビット

“1” にすると、送信が完了した後、送信メッセージの送信履歴データ（ラベル情報、バッファ番号、バッファ・タイプ）が送信履歴バッファに格納されます。

TMID[28:0]

送信バッファから送信するメッセージの ID を設定します。

21.3.51 RSCAN0TMPTRp — 送信バッファポインタレジスタ（p = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 1004_H + (p * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDLC [3:0]				—	—	—	—	TMPTR [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.70　RSCAN0TMPTRp レジスタの内容

ビット位置	ビット名	機能
31 ～ 28	TMDLC [3:0]	送信バッファ DLC データ b31 b30 b29 b28 0 0 0 0：0 データバイト 0 0 0 1：1 データバイト 0 0 1 0：2 データバイト 0 0 1 1：3 データバイト 0 1 0 0：4 データバイト 0 1 0 1：5 データバイト 0 1 1 0：6 データバイト 0 1 1 1：7 データバイト 1 × × ×：8 データバイト
27 ～ 24	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
23 ～ 16	TMPTR [7:0]	送信バッファラベルデータ 送信履歴バッファに格納するラベル情報を設定してください。
15 ～ 0	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

TMDLC[3:0]

RSCAN0TMIDp レジスタの TMRTR ビットが “0”（データフレーム）のとき、送信バッファから送信されるメッセージのデータ長を設定します。9 バイト以上を設定した場合、送信されるデータは、8 バイトになります。

TMRTR ビットが “1”（リモートフレーム）のとき、要求するメッセージのデータ長を設定します。

TMPTR[7:0]

メッセージ送信が完了した場合、TMPTR[7:0] ビットの値が送信履歴バッファに格納されます。

21.3.52 RSCAN0TMDF0p — 送信バッファデータフィールド 0 レジスタ（p = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 1008_H + (p * 0010_H)

初期値　0000 0000_H

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB3 [7:0]								TMDB2 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB1 [7:0]								TMDB0 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.71　RSCAN0TMDF0p レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TMDB3 [7:0]	送信バッファデータバイト 3
23 ～ 16	TMDB2 [7:0]	送信バッファデータバイト 2
15 ～ 8	TMDB1 [7:0]	送信バッファデータバイト 1
7 ～ 0	TMDB0 [7:0]	送信バッファデータバイト 0 送信バッファのデータを設定してください。

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

21.3.53　RSCAN0TMDF1p — 送信バッファデータフィールド 1 レジスタ（p = 0 ~ 31）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $100C_H$ + (p * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TMDB7 [7:0]								TMDB6 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TMDB5 [7:0]								TMDB4 [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 21.72　RSCAN0TMDF1p レジスタの内容

ビット位置	ビット名	機能
31 ～ 24	TMDB7 [7:0]	送信バッファデータバイト 7 送信バッファデータバイト 6 送信バッファデータバイト 5 送信バッファデータバイト 4 送信バッファのデータを設定してください。
23 ～ 16	TMDB6 [7:0]	
15 ～ 8	TMDB5 [7:0]	
7 ～ 0	TMDB4 [7:0]	

このレジスタは、対応する RSCAN0TMSTSp レジスタの TMTRM ビットが “0”（送信を要求しない）のときに書き換えてください。送受信 FIFO バッファにリンクされている場合、書き込みを行わないでください。送信キューに割り当てられている場合、対応するチャネルの送信バッファ p (p = m × 16 + 15) のみに書いてください。

21.3.54　RSCAN0TXQCCm — 送信キューコンフィグレーション／制御レジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $03A0_H$ + (m * 0010_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TXQIM	TXQIE	TXQDC [3:0]				—	—	—	—	—	—	—	TXQE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.73　RSCAN0TXQCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 14	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
13	TXQIM	送信キュー割り込み要因選択ビット 0：送信完了によって送信キューが空になったときに発生 1：1 メッセージ送信完了ごとに発生
12	TXQIE	送信キュー割り込み許可ビット 0：送信キュー割り込み禁止 1：送信キュー割り込み許可
11 ～ 8	TXQDC [3:0]	送信キュー段数設定ビット 設定値を g（g = 2 ~ 15）とすると、g+1 の送信キューを使用できます。 “0” を設定すると、送信キューは使用できません。 “1” は設定しないでください。
7 ～ 1	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
0	TXQE	送信キュー許可ビット 0：送信キューを使用しない 1：送信キューを使用する

TXQIM ビット

送信キュー割り込み要因を選択します。このビットはチャネルリセットモードで書き換えてください。

TXQIE ビット

TXQIE ビットを “1” に設定し、TXQIM ビットで選択した要因が発生すると、割り込み要求が発生します。

TXQIE ビットを書き換える場合は、TXQE ビットを “0” にしてください。

TXQDC[3:0] ビット

送信キューに割り付ける送信バッファの数を設定します。送信キューは、送信バッファ番号の大きい方から順に (m × 16 + 15) から (m × 16 + 0) まで順番に割り付けられます。バッファの割り当て例については、**図 21.9** を参照してください。このビットはチャネルリセットモード時にのみ書き換えてください。

TXQE ビット

“1” にすると送信キューを使用できます。このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。チャネルリセットモード時、“0” になります。

TXQDC[3:0] ビットの値を “0010_B” 以上に設定してから TXQE ビットを “1” にしてください。

21.3.55 RSCAN0TXQSTSm — 送信キューステータスレジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $03C0_H$ + (m * 0004_H)

初期値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	TXQIF	TXQFLL	TXQEMP
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注 1	R	R

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.74　RSCAN0TXQSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 3	—	予約ビット 読むと不定値が読み出されます。書き込みは “0” としてください。
2	TXQIF	送信キュー割り込み要求フラグ 0：送信キュー割り込み要求なし 1：送信キュー割り込み要求あり
1	TXQFLL	送信キューフルステータスフラグ 0：送信キューフルではない 1：送信キューフル
0	TXQEMP	送信キュー空ステータスフラグ 0：送信キューにメッセージあり 1：送信キューにメッセージなし（送信キュー空）

TXQIF フラグ

RSCAN0TXQCCm レジスタの TXQIM ビットで設定した要因が発生すると、“1” になります。

TXQIF フラグへの “0” 書き込み、またはチャネルリセットモード時、“0” になります。TXQIF フラグは、RSCAN0TXQCCm レジスタの TXQE ビットを “0”（送信キューを使用しない）にしても “0” になりません。

TXQFLL フラグ

送信キューに設定したメッセージ数と、RSCAN0TXQCCm レジスタの TXQDC[3:0] ビットで設定した段数が一致すると、“1” になります。

次の条件で “0” になります

- 送信キューに設定したメッセージが、TXQDC[3:0] ビットで設定した数より少ない
- チャネルリセットモード時

TXQEMP フラグ

メッセージを 1 つでも送信キューに設定すると、TXQEMP フラグは “0” になります。

次の条件で、“1” になります。

- TXQE ビットを “0”（送信キューを使用しない）にしたとき
- 送信キューが空になったとき
- チャネルリセットモード時

21.3.56　RSCAN0TXQPCTRm — 送信キューポインタ制御レジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でライト可能です。

アドレス　<RSCAN0_base> + $03E0_H$ + (m * 0004_H)

初期値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	TXQPC [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.75　RSCAN0TXQPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 書き込みは “0” としてください。
7 ～ 0	TXQPC [7:0]	送信キューポインタ制御 “FF_H” を書くと、送信キューのライトポインタを次のキューバッファに移動します。

TXQPC[7:0] ビット

TXQPC[7:0] ビットに “FF_H” を書くと、次の送信キューバッファへライトポインタが移動し、そのメッセージの送信要求が発生します。RSCAN0TMIDp、RSCAN0TMPTRp、RSCAN0TMDF0p、RSCAN0TMDF1p レジスタ（p = 15、31）に送信メッセージを書いた後に、TXQPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0TXQCCm レジスタの TXQE ビットが “1”（送信キューを使用する）で、RSCAN0TXQSTSm レジスタの TXQFLL フラグが “0”（フルではない）の場合にのみ行ってください。

21.3.57　RSCAN0THLCCm — 送信履歴コンフィグレーション／制御レジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0400_H + (m * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	THLDTE	THLIM	THLIE	—	—	—	—	—	—	—	THLE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

表 21.76　RSCAN0THLCCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 11	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
10	THLDTE	送信履歴対象バッファ選択ビット 0：送受信 FIFO、送信キューからのエントリ 1：送信バッファ、送受信 FIFO、送信キューからのエントリ
9	THLIM	送信履歴割り込み要因選択ビット 0：送信履歴バッファに 12 データ格納されたとき 1：1 送信履歴データの格納完了時
8	THLIE	送信履歴割り込み許可ビット 0：送信履歴割り込み禁止 1：送信履歴割り込み許可
7 ～ 1	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
0	THLE	送信履歴バッファ許可ビット 0：送信履歴バッファを使用しない 1：送信履歴バッファを使用する

THLDTE ビット

“0” にすると、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを送信履歴バッファに格納します。“1” にすると、送信バッファ、送受信 FIFO バッファ、送信キューから送信したメッセージの送信履歴データを、送信履歴バッファに格納します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIM ビット

送信履歴割り込み要因を選択します。

このビットはチャネルリセットモードでのみ書き換えてください。

THLIE ビット

THLIE ビットを “1” に設定し、THLIM ビットで選択した要因が発生した場合、送信履歴割り込み要求が発生します。THLE ビットが “0” の状態でのみ、THLIE ビットを書き換えてください。

THLE ビット

“1” にすると、送信履歴バッファが使用できます。THLDTE ビットで選択したバッファからの送信が完了すると、送信メッセージの送信履歴データが、送信履歴バッファへ格納されます。

このビットは、チャネル通信モードまたはチャネル待機モードで書き換えてください。

21.3.58 RSCAN0THLSTSm — 送信履歴ステータスレジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 0420_H + (m * 0004_H)

初期値　$0000\ 0001_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	THLMC [4:0]					—	—	—	—	THLIF	THLELT	THLFLL	THLEMP
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R/W 注 1	R/W 注 1	R	R

注 1.　このフラグビットへの書き込みは、ステータスクリアする（“0” にする）動作についてのみ可能です。それ以外の書き込みは、書き込み前のステータスを保持し値は変化しません。

表 21.77　RSCAN0THLSTSm レジスタの内容

ビット位置	ビット名	機能
31 ～ 13	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
12 ～ 8	THLMC [4:0]	送信履歴バッファ未読数カウンタ 送信履歴バッファに格納された未読データ数を示します。
7 ～ 4	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
3	THLIF	送信履歴割り込み要求フラグ 0：送信履歴割り込み要求なし 1：送信履歴割り込み要求あり
2	THLELT	送信履歴バッファオーバフローフラグ 0：送信履歴バッファオーバフローではない 1：送信履歴バッファオーバフロー
1	THLFLL	送信履歴バッファフルステータスフラグ 0：送信履歴バッファフルではない 1：送信履歴バッファフル
0	THLEMP	送信履歴バッファ空ステータスフラグ 0：送信履歴バッファに未読データあり 1：送信履歴バッファに未読データなし（バッファ空）

THLMC[4:0] ビット

送信履歴バッファ内の未読データ数を示します。

THLIF フラグ

RSCAN0THLCCm レジスタの THLIM ビットで設定した割り込み要因が発生したとき、“1” になります。

プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

THLELT フラグ

送信履歴バッファがフルの場合に、さらに新しい送信履歴データを格納しようとしたとき “1” になります。この場合、新しいデータは破棄されます。プログラムで “0” を書き込むことで “0” にしてください。チャネルリセットモード時、“0” になります。

THLFLL フラグ

送信履歴バッファに 16 個のデータが格納されると、“1” になります。格納数が 16 個より少なくなると “0” になります。RSCAN0THLCCm レジスタの THLE ビットが “0”（送信履歴バッファを使用しない）のとき、またはチャネルリセットモード時、“0” になります。

THLEMP フラグ

送信履歴データが 1 つでも送信履歴バッファへ格納されると “0” になります。

送信履歴バッファのすべてのデータを読むと “1” になります。
RSCAN0THLCCm レジスタの THLE ビットを “0”（送信履歴バッファを使用しない）にしたとき、またはチャネルリセットモード時、“1” になります。

21.3.59　RSCAN0THLACCm — 送信履歴アクセスレジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でリード可能です。

アドレス　<RSCAN0_base> + 1800_H + (m * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TID[7:0]								—	BN[3:0]				BT[2:0]		
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 21.78　RSCAN0THLACCm レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 読むと “0” が読み出されます。
15 ～ 8	TID[7:0]	ラベルデータ 格納されたデータのラベル情報が読めます。
7	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
6 ～ 3	BN[3:0]	バッファ番号データ 送信元の送信バッファ／送受信 FIFO ／送信キュー番号が読めます。
2 ～ 0	BT[2:0]	バッファタイプデータ b2　b1　b0 0　0　1：送信バッファ 0　1　0：送信 FIFO バッファ 1　0　0：送信キュー

TID[7:0]

送信履歴バッファに格納された送信履歴データのラベル情報を表示します。

BN[3:0]

送信履歴バッファに格納された送信履歴データの送信元バッファ番号を表示します。

BT[2:0]

送信履歴バッファに格納された送信履歴データの送信元バッファの種類を表示します。

21.3.60　RSCAN0THLPCTRm — 送信履歴ポインタ制御レジスタ（m = 0、1）

アクセス　8,16,32 ビット単位でライト可能です。

アドレス　<RSCAN0_base> + 0440_H + (m * 0004_H)

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	THLPC [7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	W	W	W	W	W	W	W	W

表 21.79　RSCAN0THLPCTRm レジスタの内容

ビット位置	ビット名	機能
31 ～ 8	—	予約ビット 書き込みは “0” としてください。
7 ～ 0	THLPC [7:0]	送信履歴リストポインタ制御 “FF_H” を書くと、送信履歴バッファの次の未読データにリードポインタが移動します。

THLPC[7:0] ビット

THLPC[7:0] ビットに “FF_H” を書くと、送信履歴バッファの次のデータにリードポインタが移動します。このとき RSCAN0THLSTSm レジスタの THLMC[4:0] ビット（送信履歴バッファ未読数カウンタ）の値が 1 減算されます。RSCAN0THLACCm レジスタを読んだあと、THLPC[7:0] ビットに “FF_H” を書いてください。

なお、“FF_H” の書き込みは、RSCAN0THLCCm レジスタの THLE ビットが “1”（送信履歴バッファを使用する）で、RSCAN0THLSTSm レジスタの THLEMP フラグが “0” のときのみ行ってください。

21.3.61　RSCAN0GTSTCFG — グローバルテストコンフィグレーションレジスタ

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + 0468_H

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	C1ICBCE	C0ICBCE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

表 21.80　RSCAN0GTSTCFG レジスタの内容

ビット位置	ビット名	機能
31 ～ 2	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
1	C1ICBCE	CAN1 チャネル間通信テスト許可ビット 0：CAN1 チャネル間通信テスト禁止 1：CAN1 チャネル間通信テスト許可
0	C0ICBCE	CAN0 チャネル間通信テスト許可ビット 0：CAN0 チャネル間通信テスト禁止 1：CAN0 チャネル間通信テスト許可

RSCAN0GTSTCFG レジスタはグローバルテストモードでのみ書き換えてください。

C1ICBCE ビット

“1” にすると、チャネル 1 のチャネル間通信テストが許可になります。

C0ICBCE ビット

“1” にすると、チャネル 0 のチャネル間通信テストが許可になります。

21.3.62　RSCAN0GTSTCTR — グローバルテスト制御レジスタ

アクセス　8,16,32 ビット単位でリード／ライト可能です。

アドレス　<RSCAN0_base> + $046C_H$

初期値　$0000\ 0000_H$

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ICBCTME
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 21.81　RSCAN0GTSTCTR レジスタの内容

ビット位置	ビット名	機能
31 ～ 1	—	予約ビット 読むと “0” が読み出されます。書き込みは “0” としてください。
0	ICBCTME	チャネル間通信テスト許可ビット 0：チャネル間通信テスト禁止 1：チャネル間通信テスト許可

ICBCTME ビット

“1” にすると、RSCAN0GTSTCFG レジスタの CmICBCE ビット（m = 0、1）を “1” に設定したチャネルのチャネル間通信テストが許可になります。ICBCTME ビットはグローバルテストモードで書き換えてください。

21.3.63　RSCAN0GLOCKK — グローバルロックキーレジスタ

アクセス　16,32 ビット単位でライト可能です。

アドレス　<RSCAN0_base> + $047C_H$

初期値

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値																
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LOCK[15:0]															
初期値																
R/W	W 注 1	W 注 1	W 注 1	W 注 1	RW 注 1	W 注 1	W 注 1	W 注 1	W 注 1	W 注 1	W 注 1	W 注 1	W 注 1	W 注 1	W 注 1	W 注 1

注 1.　RS-CAN モジュールがグローバルテストモード時のみこのビットへの書き込みは可能です。

表 21.82　RSCAN0GLOCKK レジスタの内容

ビット位置	ビット名	機能
31 ～ 16	—	予約ビット 読んだ場合は、不定値が読み出されます。 書く場合は、“0” を書き込んでください。
15 ～ 0	LOCK[15:0]	ロックキービット テストモードの保護を解除するためのキービット

RSCAN0GLOCKK レジスタは、特殊テストビットの保護を解除するための書き込み専用レジスタです。

LOCK[15:0] ビット

プロテクト解除データを連続して LOCK[15:0] ビットに書くと、RSCAN0GTSTCTR レジスタの RTME ビットへの “1” 書き込みが可能になります。

プロテクトが解除された後、RAM を除く CAN の I/O レジスタ領域（<RSCAN0_base> + 0000_H ～ <RSCAN0_base> + $04FF_H$）に書き込みを実行すると、再度プロテクトが有効になります。

CAN の I/O レジスタ領域の読み出し、または他の領域への読み書きを実行しても、プロテクトは有効になりません。

21.4　割り込み要因

RS-CAN モジュールには 8 本の割り込みがあり、グローバル割り込みとチャネル割り込みに分類されます。

- グローバル割り込み [チャネル間共用　計 2 本]
  受信 FIFO 割り込み [チャネル間共用　1 本]
  グローバルエラー割り込み [チャネル間共用　1 本]
- チャネル割り込み [チャネル数 × 3 本 = 計 6 本]
  CANm 送信割り込み [各チャネル　1 本]
  - CANm 送信完了割り込み
  - CANm 送信アボート割り込み
  - CANm 送受信 FIFO 送信完了割り込み（送信モード、ゲートウェイモード時）
  - CANm 送信履歴割り込み
  - CANm 送信キュー割り込み

  CANm 送受信 FIFO 受信完了割り込み（受信モード、ゲートウェイモード時）[各チャネル　1 本]
  CANm エラー割り込み [各チャネル　1 本]

  （m = 0、1）

割り込み要求が発生すると、対応する割り込み要求フラグが “1”（割り込み要求あり）になります。その場合、割り込み許可ビットを “1”（割り込み許可）にしていると、RS-CAN モジュールから割り込み要求が出力されます。（割り込みの発生は、割り込みコントローラの割り込み制御レジスタの設定にも依存します。）

割り込み要求フラグを “0”（割り込み要求なし）にするか、割り込み許可ビットを “0”（割り込み禁止）にすると、割り込み要求がクリアされます。割り込み要求フラグをクリアするまで、割り込み要求は出力されたままです。

表 21.83 に CAN 割り込み要因一覧を示します。**図 21.2** に CAN グローバル割り込みブロック図を、**図 21.3** に CAN チャネル割り込みブロック図を示します。

表 21.83　CAN 割り込み要因一覧

	割り込み要因		対応する割り込み要求フラグ	対応する割り込み許可ビット
グローバル割り込み	受信 FIFO	受信 FIFO 0	RSCAN0RFSTS0 レジスタの RFIF フラグ	RSCAN0RFCC0 レジスタの RFIE ビット
		受信 FIFO 1	RSCAN0RFSTS1 レジスタの RFIF フラグ	RSCAN0RFCC1 レジスタの RFIE ビット
		受信 FIFO 2	RSCAN0RFSTS2 レジスタの RFIF フラグ	RSCAN0RFCC2 レジスタの RFIE ビット
		受信 FIFO 3	RSCAN0RFSTS3 レジスタの RFIF フラグ	RSCAN0RFCC3 レジスタの RFIE ビット
		受信 FIFO 4	RSCAN0RFSTS4 レジスタの RFIF フラグ	RSCAN0RFCC4 レジスタの RFIE ビット
		受信 FIFO 5	RSCAN0RFSTS5 レジスタの RFIF フラグ	RSCAN0RFCC5 レジスタの RFIE ビット
		受信 FIFO 6	RSCAN0RFSTS6 レジスタの RFIF フラグ	RSCAN0RFCC6 レジスタの RFIE ビット
		受信 FIFO 7	RSCAN0RFSTS7 レジスタの RFIF フラグ	RSCAN0RFCC7 レジスタの RFIE ビット
	グローバルエラー		RSCAN0GERFL レジスタの DEF フラグ RSCAN0GERFL レジスタの MES フラグ RSCAN0GERFL レジスタの THLES フラグ	RSCAN0GCTR レジスタの DEIE ビット RSCAN0GCTR レジスタの MEIE ビット RSCAN0GCTR レジスタの THLEIE ビット
チャネル割り込み（m = 0、1）	CANm 送信	CANm 送信完了	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0TMIECy レジスタの TMIE ビット
		CANm 送信アボート	RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグ	RSCAN0CmCTR レジスタの TAIE ビット
		CANm 送受信 FIFO 送信	RSCAN0CFSTSk レジスタの CFTXIF フラグ	RSCAN0CFCCk レジスタの CFTXIE ビット
		CANm 送信キュー	RSCAN0TXQSTSm レジスタの TXQIF フラグ	RSCAN0TXQCCm レジスタの TXQIE ビット
		CANm 送信履歴	RSCAN0THLSTSm レジスタの THLIF フラグ	RSCAN0THLCCm レジスタの THLIE ビット
	CANm 送受信 FIFO 受信		RSCAN0CFSTSk レジスタの CFRXIF フラグ	RSCAN0CFCCk レジスタの CFRXIE ビット
	CANm エラー		• RSCAN0CmERFL レジスタの BEF フラグ • RSCAN0CmERFL レジスタの ALF フラグ • RSCAN0CmERFL レジスタの BLF フラグ • RSCAN0CmERFL レジスタの OVLF フラグ • RSCAN0CmERFL レジスタの BORF フラグ • RSCAN0CmERFL レジスタの BOEF フラグ • RSCAN0CmERFL レジスタの EPF フラグ • RSCAN0CmERFL レジスタの EWF フラグ	• RSCAN0CmCTR レジスタの BEIE ビット • RSCAN0CmCTR レジスタの ALIE ビット • RSCAN0CmCTR レジスタの BLIE ビット • RSCAN0CmCTR レジスタの OLIE ビット • RSCAN0CmCTR レジスタの BORIE ビット • RSCAN0CmCTR レジスタの BOEIE ビット • RSCAN0CmCTR レジスタの EPIE ビット • RSCAN0CmCTR レジスタの EWIE ビット

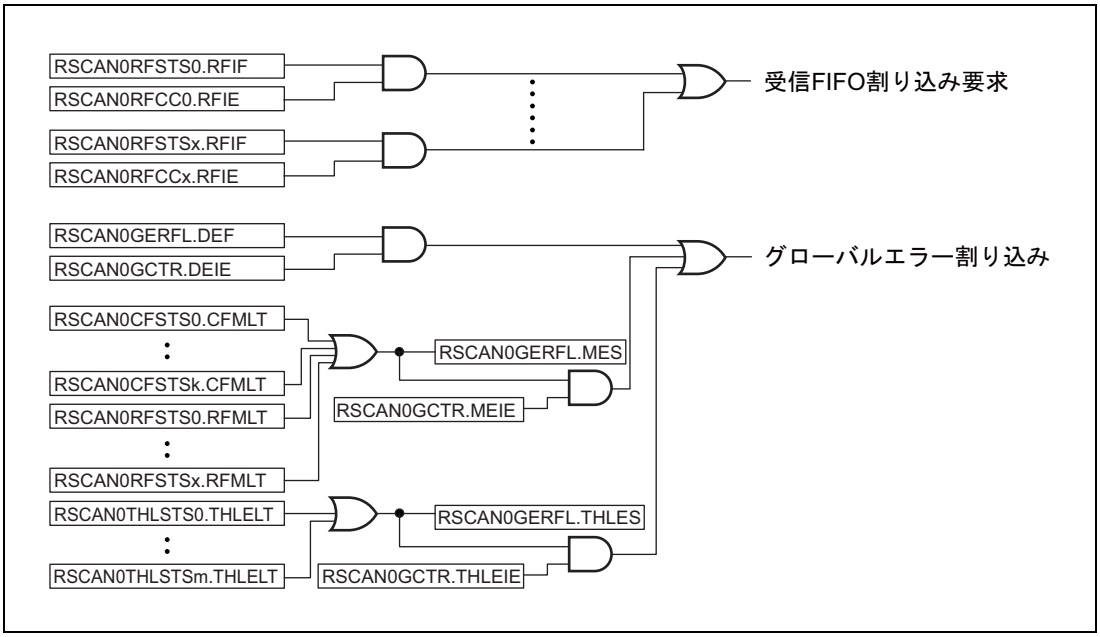


図 21.2　CAN グローバル割り込みブロック図

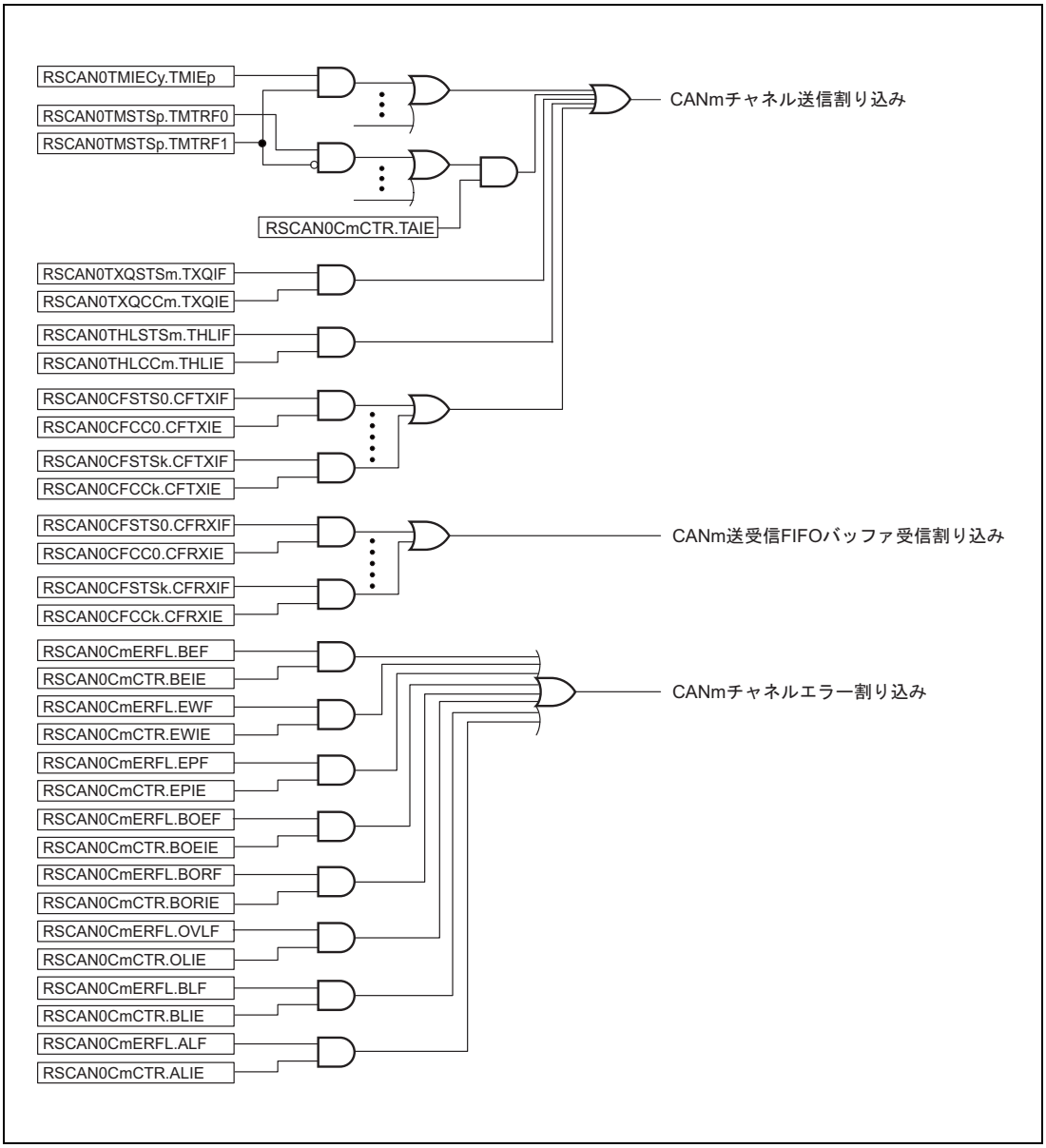


図 21.3　CAN チャネル割り込みブロック図

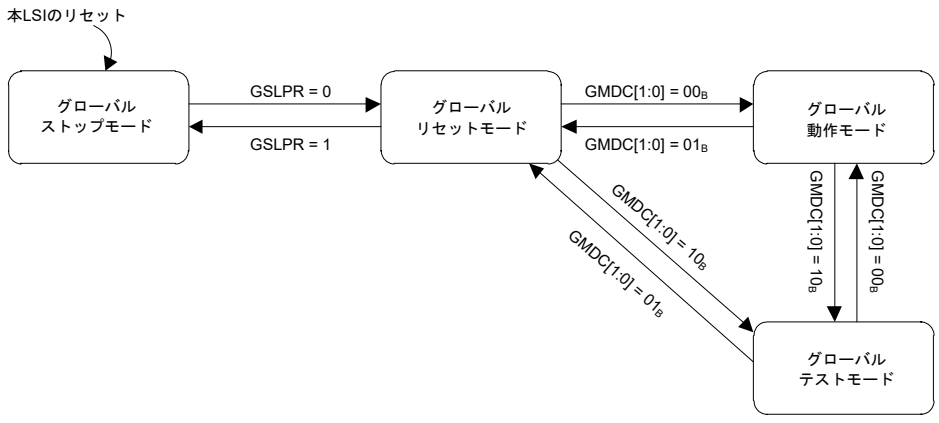
21.5　CAN モード

RS-CAN モジュールには、RS-CAN モジュール全体の状態を制御するグローバルモードが 4 種類と、個々のチャネル状態を制御するチャネルモードが 4 種類あります。**「21.5.1　グローバルモード」**にグローバルモード、**「21.5.2　チャネルモード」**にチャネルモードの詳細を示します。

- グローバルストップモード　：モジュール全体のクロックを停止させ、低消費電力を実現する。
- グローバルリセットモード　：モジュール全体の初期設定を行う。
- グローバルテストモード　：テスト設定を行う。
- グローバル動作モード　：モジュール全体を動作可能にする。
- チャネルストップモード　：チャネルのクロックが停止する。
- チャネルリセットモード　：チャネルの初期設定を行う。
- チャネル待機モード　：CAN 通信を停止させたり、チャネルのテストを許可する。
- チャネル通信モード　：CAN 通信を行う。

21.5.1　グローバルモード

図 21.4 にグローバルモードの遷移図を示します。



備考　GSLPR、GMDC[1:0]：RSCAN0GCTR レジスタのビット

図 21.4　グローバルモードの遷移図

グローバルモードの遷移により、チャネルのモードが変化する場合があります。**表 21.84** にグローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化を示します。

表 21.84　グローバルモード設定（GMDC[1:0]、GSLPR ビット）によるチャネルモードの変化

設定前のチャネルモード	設定後のチャネルモード			
	GMDC[1:0] = 00_B GSLPR = 0（グローバル動作）	GMDC[1:0] = 10_B GSLPR = 0（グローバルテスト）	GMDC[1:0] = 01_B GSLPR = 0（グローバルリセット）	GMDC[1:0] = 01_B GSLPR = 1（グローバルストップ）
チャネル通信	チャネル通信	チャネル待機	チャネルリセット	遷移禁止
チャネル待機	チャネル待機	チャネル待機	チャネルリセット	遷移禁止
チャネルリセット	チャネルリセット	チャネルリセット	チャネルリセット	チャネルストップ
チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ	チャネルストップ

注 1.　GMDC[1:0] ビットと GSLPR ビットは、RSCAN0GCTR レジスタのビット。

表 21.85 にグローバルモードの遷移時間を示します。

表 21.85　グローバルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
グローバルストップ	グローバルリセット	pclk の 3 クロック
グローバルリセット	グローバルストップ	pclk の 3 クロック
グローバルリセット	グローバルテスト	pclk の 10 クロック
グローバルリセット	グローバル動作	pclk の 10 クロック
グローバルテスト	グローバルリセット	pclk の 3 クロック
グローバルテスト	グローバル動作	pclk の 3 クロック
グローバル動作	グローバルリセット	pclk の 3 クロック
グローバル動作	グローバルテスト	CAN フレームの 2 つ分[注 1]

注 1.　使用チャネルの内、最も遅い通信速度の CAN フレーム時間になります。

21.5.1.1　グローバルストップモード

グローバルストップモードでは CAN のクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。グローバルストップモード時、GSLPR ビットへの CPU 書き込み用クロックのみが動作します。

本 LSI のリセット後、グローバルストップモードになります。また、グローバルリセットモード時に RSCAN0GCTR レジスタの GSLPR ビットを “1”（グローバルストップモード）にすると、各 RSCAN0CmCTR レジスタの CSLPR ビットが “1”（チャネルストップモード）になります。すべてのチャネルが強制的にチャネルストップモードへ遷移すると、グローバルストップモードになります。GSLPR ビットは、グローバル動作モードまたはグローバルテストモードでは書き換えないでください。

21.5.1.2　グローバルリセットモード

グローバルリセットモードで RS-CAN モジュールの設定を行います。グローバルリセットモードに遷移すると、一部のレジスタが初期化されます。**表 21.88** と**表 21.89** に初期化されるレジスタ一覧を示します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを “01_B” に設定すると、各 RSCAN0CmCTR レジスタ（m = 0、1）の CHMDC[1:0] ビットが “01_B”（チャネルリセットモード）になります。すべてのチャネルが強制的にチャネルリセットモードへ遷移すると、グローバルリセットモードになります。すでにチャネルリセットモードまたはチャネルストップモードであるチャネルはモード遷移しません（CHMDC[1:0] ビットがすでに “01_B” に設定されているため）。

21.5.1.3　グローバルテストモード

グローバルテストモードでテスト関連レジスタの設定を行います。グローバルテストモードに遷移すると、すべての CAN 通信は停止します。

RSCAN0GCTR レジスタの GMDC[1:0] ビット を “10_B” に設定すると、各 RSCAN0CmCTR レジスタの CHMDC[1:0] ビットが “10_B”（チャネル待機モード）になります。すべてのチャネルが強制的にチャネル待機モードへ遷移すると、グローバルテストモードになります。チャネルストップモード、チャネルリセットモード、またはチャネル待機モードであるチャネルは、モード遷移しません。

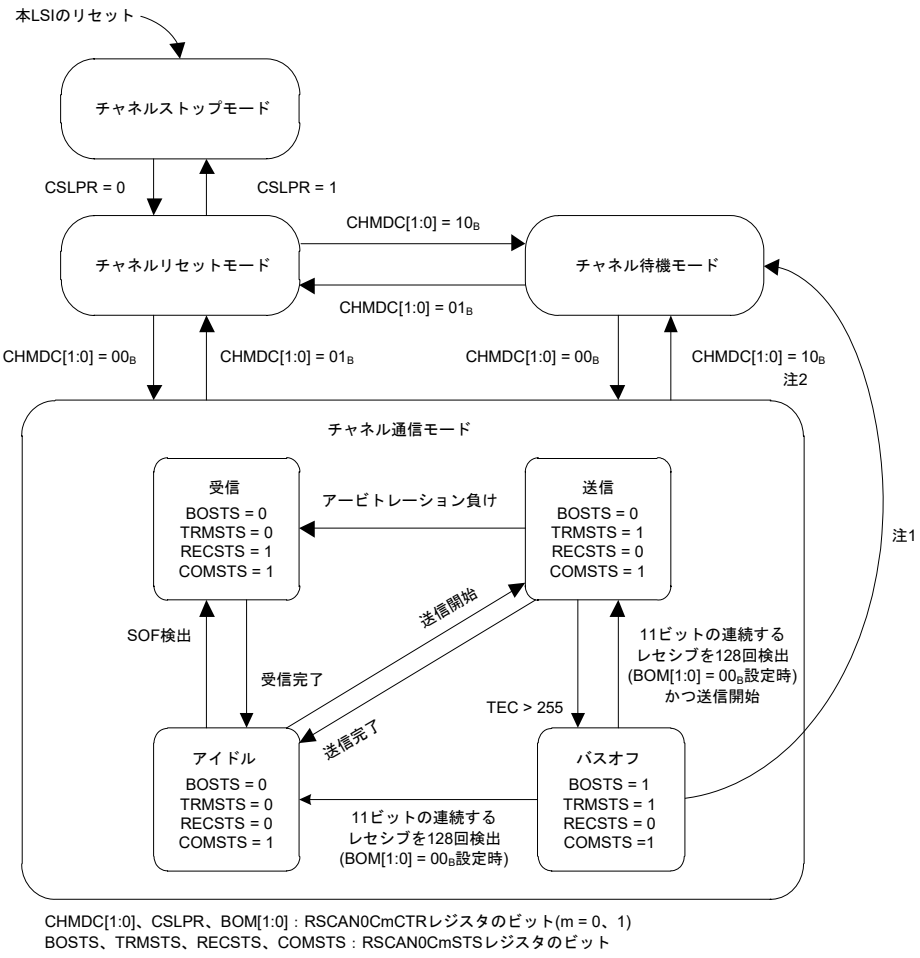
21.5.1.4　グローバル動作モード

グローバル動作モードでは RS-CAN モジュールが動作します。

RSCAN0GCTR レジスタの GMDC[1:0] ビットを “00_B” にすると、グローバル動作モードに遷移します。

21.5.2　チャネルモード

図 21.5 にチャネルモードの状態遷移図を示します。**表 21.86** にチャネルモードの遷移時間 を示します。



注 1.　バスオフ状態から待機モードへの遷移タイミング
- BOM[1:0] = 01_B の場合：TEC > 255 になると、チャネル待機モードへ遷移
- BOM[1:0] = 10_B の場合：11 ビットの連続するレセシブを 128 回検出したとき、チャネル待機モードへ遷移
- BOM[1:0] = 11_B の場合：CHMDC[1:0] ビットを “10_B” にすると、チャネル待機モードへ遷移

注 2.　CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。

図 21.5　チャネルモードの状態遷移図

表 21.86　チャネルモードの遷移時間

遷移前のモード	遷移後のモード	最大遷移時間
チャネルストップ	チャネルリセット	pclk の 3 クロック
チャネルリセット	チャネルストップ	pclk の 3 クロック
チャネルリセット	チャネル待機	3CANm ビットタイム
チャネルリセット	チャネル通信	2 CANm ビットタイム
チャネル待機	チャネルリセット	pclk の 3 クロック
チャネル待機	チャネル通信	3 CANm ビットタイム
チャネル通信	チャネルリセット	pclk の 3 クロック
チャネル通信	チャネル待機	CANm フレームの 2 つ分

21.5.2.1　チャネルストップモード

チャネルストップモードでは、チャネルへ供給するクロックが停止するので、消費電力が低減されます。CAN 関連レジスタの 読み出しは可能ですが、書き込みはしないでください。レジスタ値は保持されます。

各チャネルは、本 LSI のリセット後、チャネルストップモードになります。また、チャネルリセットモード時に、RSCAN0CmCTR レジスタ（m = 0、1）の CSLPR ビットを “1”（チャネルストップモード）にすると、チャネルストップモードに遷移します。CSLPR ビットはチャネル通信モードおよびチャネル待機モードでは書き換えないでください。

21.5.2.2　チャネルリセットモード

チャネルリセットモードでチャネルの設定を行います。チャネルリセットモードに遷移すると、一部のチャネル関連レジスタが初期化されます。**表 21.88** に初期化されるレジスター覧を示します。

CAN 通信中に RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）にすると、送受信の完了を待たずに通信が中断され、チャネルリセットモードへ遷移します。**表 21.87** に CAN 通信中に CHMDC[1:0] ビットを “01_B”（チャネルリセットモード）に設定したときの動作を示します。

21.5.2.3　チャネル待機モード

チャネル待機モードでチャネルのテスト関連レジスタの設定を行います。チャネル待機モードに遷移すると、チャネルの CAN 通信は停止します。

表 21.87 に CAN 通信中に CHMDC[1:0] ビットを “10_B”（チャネル待機モード）に設定したときの動作を示します。

表 21.87　チャネルリセット／チャネル待機モード遷移時の動作

モード	受信中	送信中	バスオフ状態
チャネルリセット（CHMDC[1:0] = “01_B”）	受信の終了を待たずにチャネルリセットモードに遷移注 1	送信の終了を待たずにチャネルリセットモードに遷移注 1	バスオフ復帰の終了を待たずにチャネルリセットモードに遷移
チャネル待機注 3（CHMDC[1:0] = “10_B”）	受信の終了を待ってチャネル待機モードに遷移注 2	送信の終了を待ってチャネル待機モードに遷移	【BOM[1:0] ビットが “00_B” の場合】 バスオフ復帰後のみ、チャネル待機モード遷移（CHMDC[1:0] = “10_B”）が実行される 【BOM[1:0] ビットが “01_B” の場合】 バスオフ状態への遷移条件が成立したときに自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが “10_B” の場合】 バスオフ復帰の終了を待って自動的にチャネル待機モードに遷移 【BOM[1:0] ビットが “11_B” の場合】 CHMDC[1:0] ビットに “10_B” が設定されるとすぐにチャネル待機モードに遷移（バスオフ復帰の終了は待たない）

注 1.　通信が終了した後にチャネルリセットモードへ遷移するには、まず CHMDC[1:0] ビットを “10_B” に設定し、通信が終了しチャネル待機モードへ遷移したことを確認してから、CHMDC[1:0] ビットを “01_B” に設定してください。

注 2.　CAN バスがドミナントレベルでロックされている間は、チャネル待機モードに遷移しません。その場合はチャネルリセットモードに遷移してください。ドミナントロックを検出すると RSCAN0CmERFL レジスタの BLF フラグが “1” になるので、CAN バスの状態を確認できます。

注 3.　チャネルリセットモードからチャネル待機モードへ遷移する場合、チャネルリセットモードで RSCAN0CmCFG レジスタを設定してからチャネル待機モードへ遷移してください。

21.5.2.4　チャネル通信モード

チャネル通信モードで CAN 通信を行います。CAN 通信時、各チャネルは次に示す通信状態をとります。

- アイドル　: 受信も送信もしていない状態。
- 受信　　: 他のノードから送られてきたメッセージを受信している状態。
- 送信　　: メッセージを送信している状態。
- バスオフ　: CAN 通信から遮断されている状態。

RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “00_B” にすると、チャネル通信モードに遷移します。遷移後、11 ビットの連続するレセシブを検出すると、RSCAN0CmSTS レジスタ（m = 0、1）の COMSTS フラグが “1”（通信可能な状態）になり、CAN ネットワーク上でアクティブノードとして、送受信が許可されます。この時点で、メッセージの送受信が開始できるようになります。

21.5.2.5　バスオフ状態

CAN 仕様の送信、受信エラーカウンタの増減ルールに従ってバスオフ状態に遷移します。

バスオフ状態からの復帰条件は、RSCAN0CmCTR レジスタの BOM[1:0] ビットで設定します。

- BOM[1:0] ビットが “00_B” のとき：
  CAN 仕様に準拠し、11 ビットの連続するレセシブを 128 回検出後に、バスオフ状態から CAN 通信可能な状態（エラーアクティブ状態）に復帰します。そのとき、RSCAN0CmSTS レジスタの TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化され、RSCAN0CmERFL レジスタの BORF フラグが “1”（バスオフ復帰検出）になります。バスオフ状態で、RSCAN0CmCTR レジスタの CHMDC[1:0] ビットを “10_B”（チャネル待機モード）にすると、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。
- BOM[1:0] ビットが “01_B” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10_B” になり、チャネル待機モードへ遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。BORF フラグは、“1” になりません。
- BOM[1:0] ビットが “10_B” のとき：
  バスオフ状態に遷移すると、CHMDC[1:0] ビットが “10_B” になり、バスオフ復帰が完了（11 ビットの連続するレセシブを 128 回検出）してからチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化され、BORF フラグは、“1” になります。
- BOM[1:0] ビットが “11_B” のとき：
  バスオフ状態時に、CHMDC[1:0] ビットを “10_B” にすると、バスオフ復帰を待たずにチャネル待機モードに遷移します。そのとき、TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。BORF フラグは “1” になりません。
  ただし、CHMDC[1:0] ビットを “10_B” にする前に 11 ビットの連続するレセシブを 128 回検出し、エラーアクティブ状態に復帰した場合、BORF フラグは “1” になります。

RS-CAN モジュールによるチャネル待機モードへの遷移と、プログラムによる CHMDC[1:0] ビットへの書き込みが同時に発生した場合、プログラムによる書き込みが優先されます。BOM[1:0] ビットを “01_B” または “10_B” に設定した場合のチャネル待機モードへの自動的な遷移は、CHMDC[1:0] ビットが “00_B”（チャネル通信モード）のときのみ発生します。

また、RSCAN0CmCTR レジスタの RTBO ビットを “1” にすることで、バスオフ状態から強制的に復帰することができます。RTBO ビットに “1” を書くと、直ちにエラーアクティブ状態になり、11 ビットの連続するレセシブを検出後、通信可能な状態になります。この場合、BORF フラグは “1” になりません。TEC[7:0] ビットと REC[7:0] ビットは “00_H” に初期化されます。RTBO ビットは、BOM[1:0] ビットが “00_B” のときのみ “1” を書いてください。バスオフ状態以外で、RTBO ビットに “1” を書いても無視され、RTBO ビットは直ちに “0” になります。

表 21.88　グローバルリセットモードおよびチャネルリセットモードで初期化されるレジスター覧

レジスタ	ビット / フラグ
RSCAN0CmCTR レジスタ	CTMS[1:0], CTME, CHMDC[1:0]
RSCAN0CmSTS レジスタ	CHLTSTS, EPSTS, BOSTS, TRMSTS, RECSTS, COMSTS, REC[7:0], TEC[7:0]
RSCAN0CmERFL レジスタ	CRCREG[14:0], ADERR, B0ERR, B1ERR, CERR, AERR, FERR, SERR, ALF, BLF, OVLF, BORF, BOEF, EPF, EWF, BEF
RSCAN0CFCCk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時 : CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが送信モードまたはゲートウェイモード時 : CFMC[7:0], CFFLL, CFEMP, CFMLT, CFRXIF, CFTXIF
RSCAN0CFTISTS レジスタ	CFkTXIF
RSCAN0TMCp レジスタ	TMOM, TMTAR, TMTR
RSCAN0TMSTSp レジスタ	TMTARM, TMTRM, TMTRF[1:0], TMTSTS
RSCAN0TMTRSTSy レジスタ	TMTRSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTARSTSy レジスタ	TMTARSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTCSTSy レジスタ	TMTCSTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TMTASTSy レジスタ	TMTASTSp（チャネルリセットモード時は、対応するチャネルのビットが初期化される）
RSCAN0TXQCCm レジスタ	TXQE
RSCAN0TXQSTSm レジスタ	TXQIF, TXQFLL, TXQEMP
RSCAN0THLCCm レジスタ	THLE
RSCAN0THLSTSm レジスタ	THLMC[4:0], THLIF, THLELT, THLFLL, THLEMP
RSCAN0GTINTSTS0 レジスタ	TSIFm, TAIFm, TQIFm, CFTIFm, THIFm（m = 0、1）

表 21.89　グローバルリセットモードでのみ初期化されるレジスター覧

レジスタ	ビット／フラグ
RSCAN0GSTS レジスタ	GHLTSTS
RSCAN0GERFL レジスタ	THLES, MES, DEF
RSCAN0GTSC レジスタ	TS[15:0]
RSCAN0RMNDy レジスタ	RMNSq
RSCAN0RFCCx レジスタ	RFE
RSCAN0RFSTSx レジスタ	RFMC[7:0], RFIF, RFMLT, RFFLL, RFEMP
RSCAN0CFCCk レジスタ	送受信 FIFO が受信モード時 : CFE
RSCAN0CFSTSk レジスタ	送受信 FIFO バッファが受信モード時 : CFMC[7:0], CFFLL, CFEMP, CFTXIF, CFRXIF, CFMLT
RSCAN0FESTS レジスタ	CFkEMP, RFxEMP
RSCAN0FFSTS レジスタ	CFkFLL, RFxFLL
RSCAN0FMSTS レジスタ	CFkMLT, RFxMLT
RSCAN0RFISTS レジスタ	RFxIF
RSCAN0CFRISTS レジスタ	CFkRXIF
RSCAN0GTSTCFG レジスタ	C0ICBCE, C1ICBCE
RSCAN0GTSTCTR レジスタ	ICBCTME

21.6　受信機能

受信の種類には次の 2 つがあります。

- 受信バッファによる受信 :
  全チャネルで共有する受信バッファは、0 ~ 31 バッファの範囲で使用できます。受信バッファに格納するメッセージは毎回上書きされるので、常に最新の受信データが読み出せます。
- 受信 FIFO バッファ、送受信 FIFO バッファ（受信モード）による受信 :
  全チャネルで共有する受信 FIFO バッファが 8 本と、各チャネル専用の送受信 FIFO バッファが 1 チャネルにつき 3 本ずつあります。FIFO バッファには RFDC[2:0] ビット、CFDC[2:0] ビットで設定した段数までメッセージを保存することができ、古いメッセージから順次、読み出せます。

21.6.1　受信ルールテーブルを用いたデータ処理

受信ルールテーブルを用いたデータ処理により、選別したメッセージを指定のバッファに格納することができます。データ処理には、アクセプタンスフィルタ処理、DLC フィルタ処理、ルーティング処理、ラベル付加処理、ミラー機能の処理があります。

登録できる受信ルール数は 1 チャネルにつき最大 128 で、モジュール全体では、64 × チャネル数 となります（本モジュールは 2 チャネル搭載しているため、最大 128 ルール登録できます）。受信ルールは各チャネルごとに設定してください。他のチャネルと共用できません。受信ルールを設定しない場合は、メッセージを受信できません。**図 21.6** に受信ルール登録の説明図を示します。

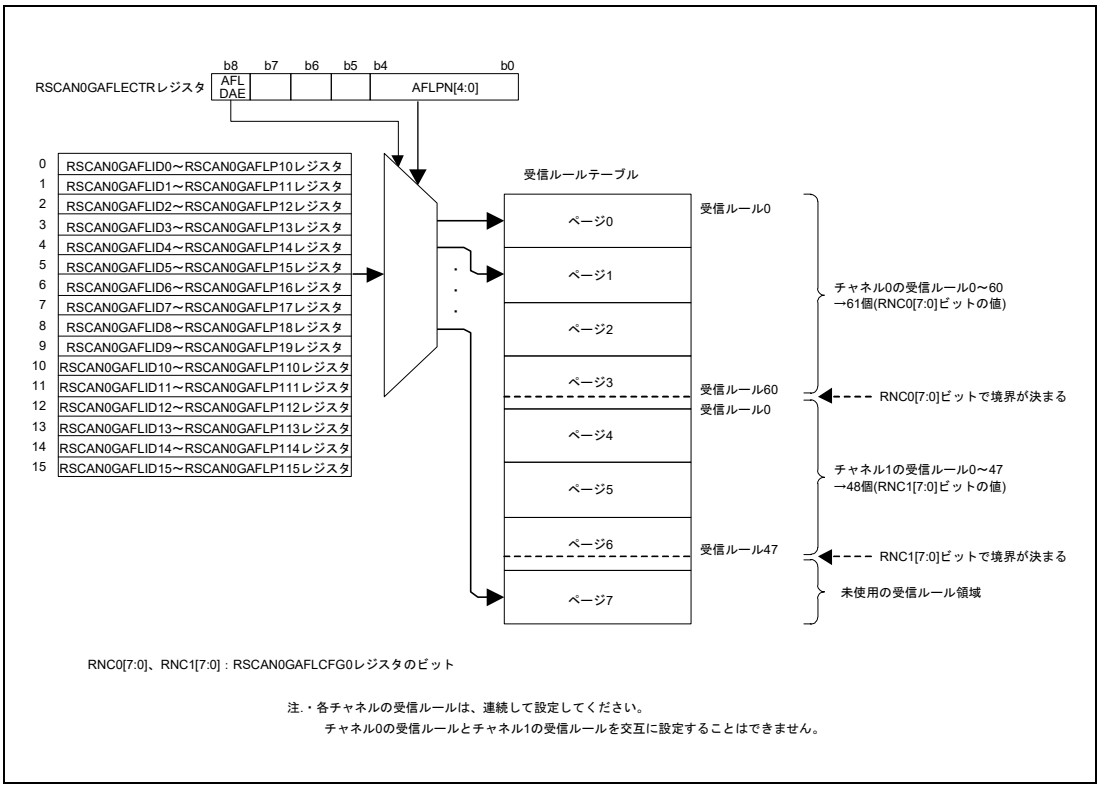


図 21.6　受信ルール登録（チャネル 0,1 を設定する場合）

各受信ルールは RSCAN0GAFLIDj、RSCAN0GAFLMj、RSCAN0GAFLP0j、RSCAN0GAFLP1j レジスタ（j = 0 ~ 15）の 16 バイトで構成されています。

RSCAN0GAFLIDj レジスタでは GAFLID、GAFLIDE ビット、GAFLRTR ビット、ミラー機能の設定、RSCAN0GAFLMj レジスタではマスク設定、RSCAN0GAFLP0j レジスタでは付加するラベル情報、DLC 値、格納先受信バッファの設定、RSCAN0GAFLP1j レジスタは格納先 FIFO バッファの設定を行います。1 ページあたり 16 個の受信ルールを設定できます。

21.6.1.1　アクセプタンスフィルタ処理

アクセプタンスフィルタ処理では、受信メッセージの ID データ、IDE ビット、RTR ビットが、対応するチャネルの受信ルールに設定した ID データ、IDE ビット、RTR ビットと比較されます。すべてのビットが一致すると、アクセプタンスフィルタ処理を通過します。RSCAN0GAFLMj レジスタで “0”（ビットを比較しない）にしたビットに対応する受信メッセージの ID データ、IDE ビット、RTR ビットは、比較されずに一致したとみなします。

対応するチャネルの一番小さい番号の受信ルールからチェックを開始します。受信メッセージの比較対象ビットが受信ルールとすべて一致したとき、または一致する受信ルールがないまますべてのチェックを終了したとき、フィルタ処理は停止します。一致する受信ルールがない場合は、受信バッファや FIFO バッファに格納されません。

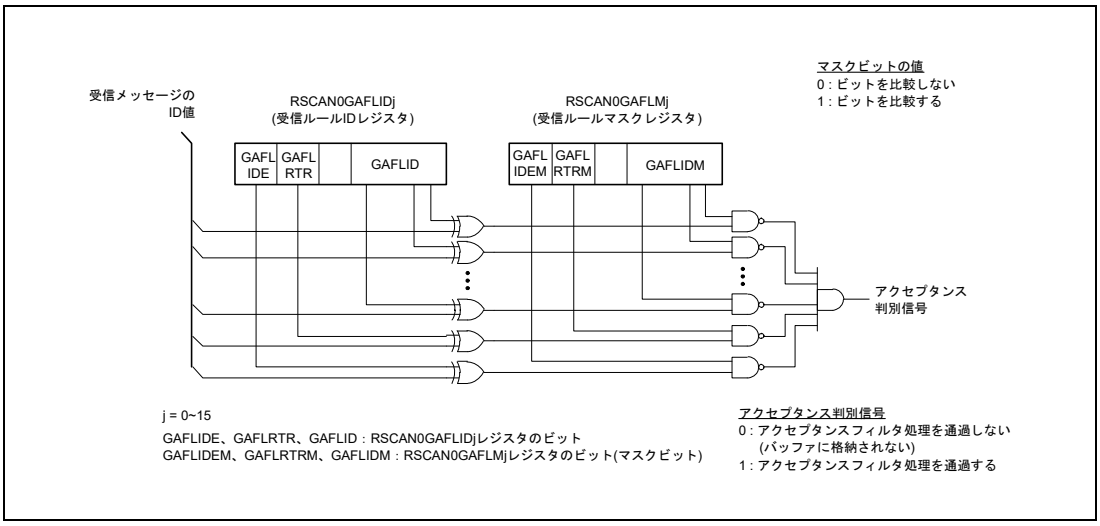


図 21.7　アクセプタンスフィルタ機能

21.6.1.2　DLC フィルタ処理

RSCAN0GCFG レジスタの DCE ビットを “1”（DLC チェック許可）にすると、アクセプタンスフィルタ処理を通過したメッセージに対して DLC フィルタ処理が行われます。メッセージの DLC 値が受信ルールに設定した DLC 値以上の場合、DLC フィルタ処理を通過します。

RSCAN0GCFG レジスタの DRE ビットが “0”（DLC 置換禁止）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値がバッファに格納されます。この場合、受信メッセージのすべてのデータバイトがバッファに格納されます。

RSCAN0GCFG レジスタの DRE ビットが “1”（DLC 置換許可）で、DLC フィルタ処理を通過した場合、受信メッセージの DLC 値の代わりに、受信ルールの DLC 値がバッファに格納されます。この場合、受信ルールの DLC 値を超えるデータバイトには “00_H” が格納されます。

受信メッセージの DLC 値が受信ルールの DLC 値より小さい場合は、DLC フィルタ処理を通過しません。この場合、メッセージは受信バッファや FIFO バッファに格納されず、RSCAN0GERFL レジスタの DEF フラグが “1”（DLC エラー）となります。

21.6.1.3　ルーティング処理

アクセプタンスフィルタ処理と DLC フィルタ処理を通過したメッセージは、受信バッファ、受信 FIFO バッファ、または受信およびゲートウェイモードに設定した送受信 FIFO バッファに格納されます。メッセージ格納先は、RSCAN0GAFLP0j レジスタ（j = 0 ~ 15）の GAFLRMV ビット、GAFLRMDP[6:0] ビット、RSCAN0GAFLP1j レジスタで設定します。フィルタ処理を通過したメッセージは最大 8 つのバッファに格納することができます。

21.6.1.4　ラベル付加処理

フィルタ処理を通過したメッセージに 12 ビットのラベル情報を添付し、バッファに格納することができます。ラベル情報は、RSCAN0GAFLP0j レジスタの GAFLPTR[11:0] ビットに設定します。

21.6.1.5　ミラー機能の処理

ミラー機能を使用すると、自らが送信したメッセージを受信することができます。ミラー機能は、RSCAN0GCFG レジスタの MME ビットを “1”（ミラー機能許可）にすることで使用可能になります。

ミラー機能使用時、他の CAN ノードが送信したメッセージを受信するときは、RSCAN0GAFLIDj レジスタの GAFLLB ビットを “0” にした受信ルールがデータ処理に使用されます。自らが送信したメッセージを受信するときは、GAFLLB ビットを “1” にした受信ルールがデータ処理に使用されます。

21.6.1.6　タイムスタンプ

タイムスタンプカウンタは、メッセージの受信時間を記録するために使用する 16 ビットのフリーランカウンタです。タイムスタンプカウンタ値は、メッセージの SOF（スタートオブフレーム）のタイミングで取り込まれ、メッセージ ID やデータとともに、受信バッファや FIFO バッファに格納されます。タイムスタンプカウンタのクロック源は、RSCAN0GCFG レジスタの TSBTCS[2:0]、TSSS ビットで、pclk/2 または CANm ビットタイムクロック（m = 0、1）から選択できます。選択したクロック源を RSCAN0GCFG レジスタの TSP[3:0] ビットで分周したクロックが、タイムスタンプカウンタのカウントソースになります。

CANm ビットタイムクロックをクロック源として使用する場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。pclk/2 をクロック源として使用する場合、タイムスタンプ機能はチャネルモードに影響されません。

タイムスタンプカウンタ値は RSCAN0GCTR レジスタの TSRST ビットを “1” にすると、“0000_H” にリセットされます。

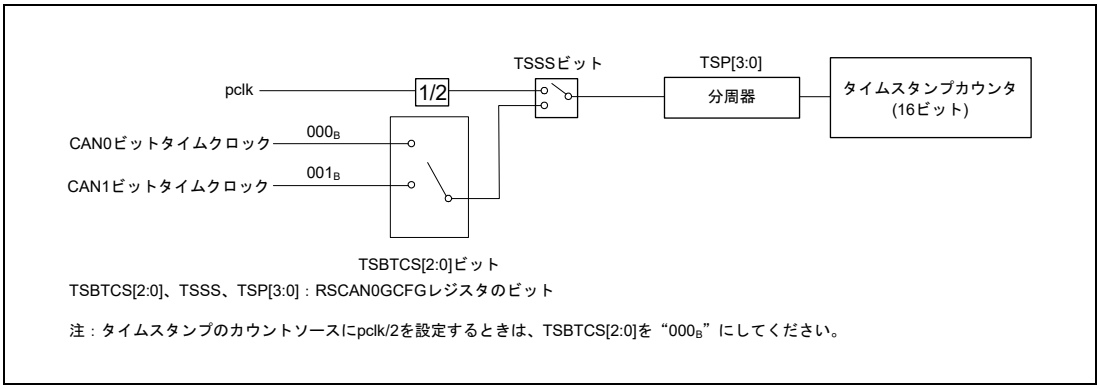


図 21.8　タイムスタンプ機能のブロック図

21.7　送信機能

送信の種類には、次の 3 つがあります。

- 送信バッファによる送信 :
  1 チャネルにつき 16 バッファあります。
- 送受信 FIFO バッファ（送信モード）による送信 :
  1 チャネルにつき 3 本ずつあります。1 本の FIFO バッファに最大 96 メッセージ格納できます。送信バッファにリンクさせて使用します。FIFO バッファ内で、次に送信予定のメッセージのみ送信の優先順位判定の対象となります。メッセージは格納順に送信されます。
- 送信キューによる送信 :
  1 チャネルにつき最大 16 の送信バッファを送信キューに割り付けできます。送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウとして使用します。バッファ番号の大きい方から順に、送信キューに割り付けられます。すべての送信キュー内のメッセージは優先順位判定の対象となり、ID 順に送信されます。

図 21.9 に送信キューの割り付けと送受信 FIFO バッファのリンクを示します。

図 21.9　送信キューの割り付けと送受信 FIFO バッファのリンク

21.7.1　送信の優先順位判定

同一チャネル内で複数のバッファやキューから送信要求が出された場合、送信の優先順位を判定します。

判定方法は次の 2 つから選択することができます。

- ID 優先　（TPRI ビットが “0”）
- 送信バッファ番号優先　（TPRI ビットが “1”）

RSCAN0GCFG レジスタの TPRI ビットの設定は、すべての CAN チャネルで有効です。

TPRI ビットを “0” にした場合、格納したメッセージ ID の優先順位に基づいてメッセージが送信されます。ID の優先順位は CAN 仕様に規定されている CAN バスアービトレーション規定に準拠します。送信バッファ、送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファ、および送信キューに格納したメッセージの ID が判定対象になります。送信キューを使用している場合は、ID 優先を選択してください。送受信 FIFO バッファの場合は、FIFO 内の最も古いメッセージが優先順位判定の対象になります。メッセージが送受信 FIFO バッファから送信中の場合、同じ FIFO バッファにある次のメッセージが優先順位判定の対象になります。送信キューの場合は、送信キュー内のすべてのメッセージが優先順位判定の対象になります。2 つ以上のバッファに同じ ID が設定されている場合は、より小さい番号のバッファが優先されます。

TPRI ビットを “1” にした場合、送信要求があるバッファの中で、最も小さいバッファ番号の送信バッファのメッセージが最初に送信されます。送受信 FIFO バッファが送信バッファにリンクしている場合は、リンク先の送信バッファ番号で判定されます。

TPRI ビットの設定にかかわらず、アービトレーションロストまたはエラーが発生し、再送信される場合、送信の優先順位判定が再度実行されます。

21.7.2　送信バッファを用いた送信

送信バッファの送信要求ビット（RSCAN0TMCp レジスタの TMTR ビット）を “1”（送信を要求する）にすると、データフレームまたはリモートフレームを送信することができます。

送信結果は、対応する RSCAN0TMSTSp レジスタ（p = 0 ~ 31）の TMTRF[1:0] フラグで確認します。送信が成功すると、TMTRF[1:0] フラグは “10_B”（送信完了 : 送信アボート要求なし）または “11_B”（送信完了 : 送信アボート要求あり）になります。

21.7.2.1　送信アボート機能

RSCAN0TMSTSp レジスタの TMTRM ビットが “1”（送信要求あり）である送信バッファにおいて、RSCAN0TMCp レジスタの TMTAR ビットを “1”（送信アボートを要求する）にすると、送信要求が取り消されます。送信アボートが完了すると、RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグが “01_B”（送信アボート完了）になり、送信要求が取り消されます（TMTRM ビットが “0” になる）。

送信中のメッセージまたは送信の優先順位判定で次の送信に決定しているメッセージはアボートできません。ただし、TMTAR ビットを “1” にしたメッセージ

を送信中にアービトレーションロストまたはエラーが発生した場合、再送信は行いません。

21.7.2.2　ワンショット送信機能（再送信禁止機能）

RSCAN0TMCp レジスタの TMOM ビットを “1”（ワンショット送信許可）にすると、1 回だけ送信を行います。アービトレーションロストまたはエラーが発生しても、再送信は行いません。

ワンショット送信の結果は、対応する RSCAN0TMSTSp レジスタの TMTRF[1:0] フラグで確認します。ワンショット送信が成功すると、TMTRF[1:0] フラグは “10_B” または “11_B” になります。アービトレーションロストまたはエラーが発生した場合、TMTRF[1:0] フラグは “01_B”（送信アボート完了）になります。

21.7.3　FIFO バッファによる送信

1 本の送受信 FIFO バッファに、RSCAN0CFCCk レジスタ（k = 0 ~ 5）の CFDC[2:0] ビットで設定した段数分のメッセージを格納できます。一番最初に格納したメッセージから順に送信されます。

送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFTML[3:0] ビットで選択した送信バッファにリンクされます。RSCAN0CFCCk レジスタの CFE ビットを “1”（送受信 FIFO バッファを使用する）にすると、送信の優先順位判定の対象になります。FIFO バッファ内で、次に送信予定のメッセージに対してのみ優先順位判定を実施します。

CFE ビットを “0”（送受信 FIFO バッファを使用しない）にすると、次に示すタイミングで CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

- 送受信 FIFO バッファのメッセージが送信中でなく、次の送信に決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが送信中、または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

21.7.3.1　インターバル送信機能

送信モードまたはゲートウェイモードに設定した送受信 FIFO バッファを使用時に、同一 FIFO バッファからメッセージを送信する場合、メッセージ送信間のインターバル時間を設定できます。

RSCAN0CFCCk レジスタの CFE ビットを “1” にし、最初のメッセージが FIFO バッファから正常に送信された後、インターバルタイマはカウントを開始します（CAN プロトコルの EOF7 の後）。その後インターバル時間が経過すると、次のメッセージが送信されます。インターバルタイマは、CFE ビットを “0” にしたとき、またはチャネルリセットモード時、停止します。

インターバル時間は RSCAN0CFCCk レジスタの CFITT[7:0] ビットで設定します。インターバルタイマを使用しない場合は、CFITT[7:0] ビットに “00_H” を設定してください。

RSCAN0CFCCk レジスタの CFITR、CFITSS ビットで、インターバルタイマのカウントソースを選択します。CFITR、CFITSS ビットを “00_B” にすると pclk/2

を ITRCP[15:0] ビットの値で分周したクロック、“10_B” にすると pclk/2 を ITRCP[15:0] ビットの値 ×10 で分周したクロック、“$x1_B$” にすると CANm ビットタイムクロックがカウントソースになります。

ITRCP[15:0] ビットの設定値を M、CFITT[7:0] ビットの値を N とすると、インターバル時間は次の式で求められます。

- CFITR、CFITSS ビットが “00_B” の場合（fPBA は pclk の周波数）：

$$\frac{1}{f_{PBA}} \times 2 \times M \times N$$

- CFITR、CFITSS ビットが “10_B” の場合 :

$$\frac{1}{f_{PBA}} \times 2 \times M \times 10 \times N$$

- CFITR、CFITSS ビットが “$x1_B$” の場合（fCANBIT は CANm ビットタイムクロックの周波数）：

$$\frac{1}{f_{CANBIT}} \times N$$

図 21.10 にインターバルタイマのブロック図を示します。

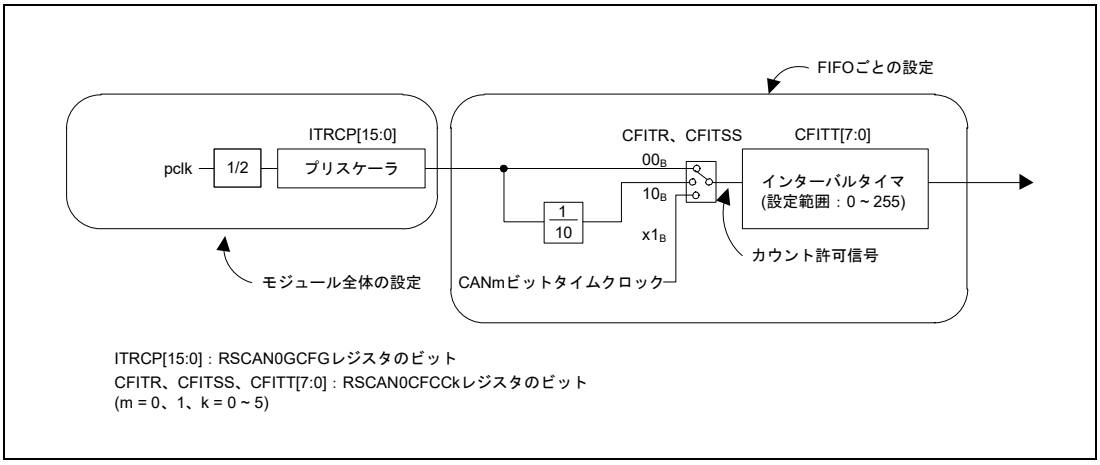


図 21.10　インターバルタイマのブロック図

図 21.11 にインターバルタイマのタイミング図を示します。

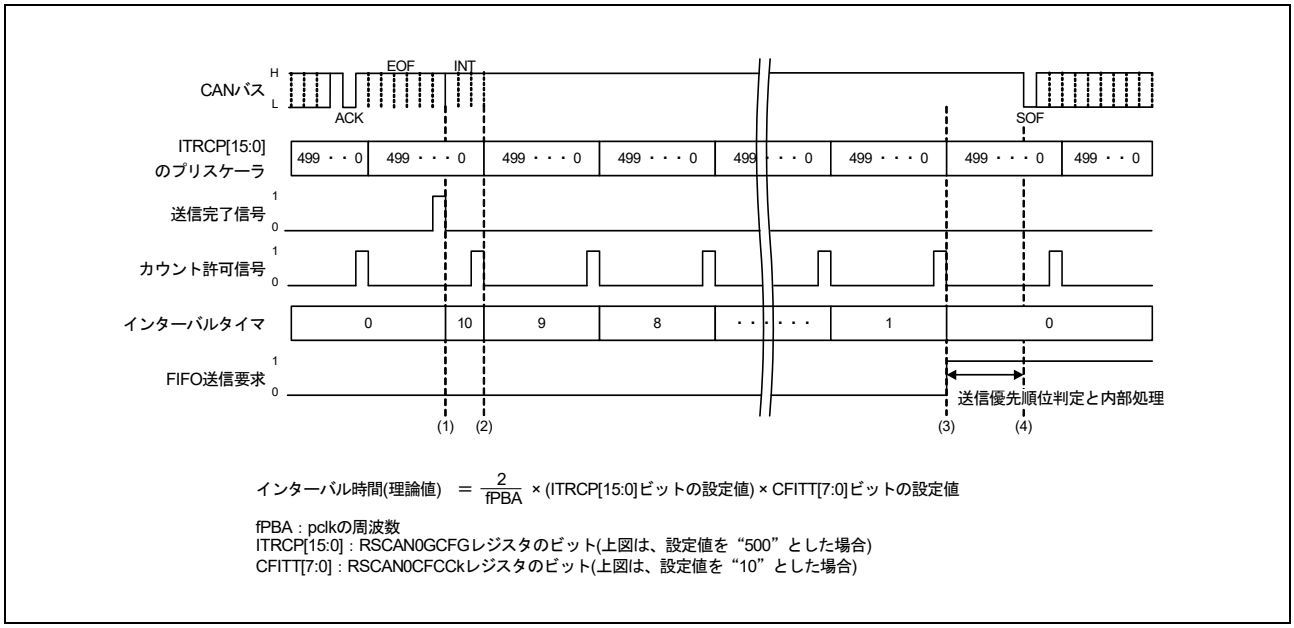


図 21.11　インターバルタイマのタイミング図

1. 送信が完了するとインターバルタイマがカウントを開始します。送信が完了したタイミングでプリスケーラが初期化されないため、最初のインターバル時間は、最大でインターバルタイマの 1 カウント分の誤差が発生します。
2. 次のカウント許可信号で、インターバルタイマは “1” 減算されます。
3. インターバルタイマが “0” になると、送受信 FIFO バッファから送信要求が出されます。
4. 優先順位判定で送受信 FIFO バッファが次の送信に決まると、送信を開始します。送信要求が出されてから送信が開始するまで、通常 CANm ビットタイムクロックの 3 クロック以下の遅延で、送信を開始します。受信フィルタ処理、メッセージのルーティング、送信優先順位判定など複数の内部処理がすべてのチャネルで発生すると、最大で pclk の 504 クロック分遅延する場合があります。

21.7.4　送信キューによる送信

送信キューは 1 チャネルごとに 3~16 バッファまで割り付けられ、送信バッファ（16 × m）+ 15 が対応するチャネルのアクセスウィンドウになります。

送信キュー内のすべてのメッセージが送信の優先順位判定の対象となり、格納した順番にかかわらず、ID 優先順に送信されます。2 つの同じ ID を持つメッセージが送信キューに格納された場合、これらのメッセージが送信される順番は、送信キューに格納した順番と異なる場合があります。

RSCAN0TXQCCm レジスタの TXQE ビットを “0” にすると、送信キューが使用不可になります。TXQE ビットを “0” にするとき、次に示すタイミングで RSCAN0TXQSTSm レジスタの TXQEMP フラグは “1”（送信キュー空）になります。

- 送信キューのメッセージが送信中でなく、次の送信にも決定していない場合、直ちに空になります。

- 送信キューのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

TXQE ビットを “0” にすると、送信キューのすべてのメッセージは失われ、送信キューにメッセージを格納できなくなります。再度 TXQE ビットを “1” にする前に、TXQEMP フラグが “1” になったことを確認してください。

21.7.5　送信履歴機能

送信完了したメッセージの情報を送信履歴バッファに格納できます。各チャネルごとに 1 つの送信履歴バッファを持ち、送信履歴バッファには 16 個の送信履歴データを格納できます。

RSCAN0THLCCm レジスタの THLDTE ビットで、メッセージ送信元のバッファの種類が選択できます。RSCAN0CFIDk レジスタ（k = 0 ~ 5）の THLEN ビットで、メッセージごとに送信履歴データを格納するかどうかを設定できます。

送信が成功した後に、次に示す送信メッセージの情報が送信履歴データとして送信履歴バッファへ格納されます。

送信が成功してから送信履歴データが格納されるまで、最大で pclk の 144 クロック分遅延する場合があります。

- バッファタイプ　001_B: 送信バッファ
010_B : 送受信 FIFO バッファ
100_B : 送信キュー
- バッファ番号　送信元の送信バッファ、送信キュー、または送受信 FIFO バッファの番号。これはバッファタイプに依存します。**表 21.90** を参照してください。
- ラベルデータ　送信メッセージのラベル情報

表 21.90　送信履歴データのバッファ番号

バッファタイプ / バッファ番号	001_B	010_B	100_B
0000_B	送信バッファ 16 × m + 0	RSCAN0CFCCk レジスタの CFTML[3:0] ビットで送受信 FIFO バッファにリンクさせた送信バッファの番号 (k = 0 ~ 5)	送信を行った送信キューに割り付けられた送信バッファの番号
0001_B	送信バッファ 16 × m + 1		
0010_B	送信バッファ 16 × m + 2		
0011_B	送信バッファ 16 × m + 3		
0100_B	送信バッファ 16 × m + 4		
0101_B	送信バッファ 16 × m + 5		
0110_B	送信バッファ 16 × m + 6		
0111_B	送信バッファ 16 × m + 7		
1000_B	送信バッファ 16 × m + 8		
1001_B	送信バッファ 16 × m + 9		
1010_B	送信バッファ 16 × m + 10		
1011_B	送信バッファ 16 × m + 11		
1100_B	送信バッファ 16 × m + 12		
1101_B	送信バッファ 16 × m + 13		
1110_B	送信バッファ 16 × m + 14		
1111_B	送信バッファ 16 × m + 15		

ラベルデータは、メッセージを特定するために使用します。送信バッファ、送信キュー、送受信 FIFO バッファから送信するメッセージに、固有のラベルデータを付加することができます。

送信履歴データは、RSCAN0THLACCm レジスタから読み出せます。バッファがフルの場合に、新しい送信履歴データを格納しようとすると、バッファがオーバフローし、新しいデータは破棄されます。

21.8　ゲートウェイ機能

送受信 FIFO バッファをゲートウェイモードに設定すると、CPU を介さずに受信したメッセージを任意のチャネルから送信することができます。

RSCAN0CFCCk レジスタの CFM[1:0] ビットを “10_B”（ゲートウェイモード）に設定した送受信 FIFO バッファを RSCAN0GAFLP1j レジスタで選択すると、受信ルールのフィルタ処理を通過したメッセージが、指定した送受信 FIFO バッファに格納され、自動的にバッファから送信されます。

送受信 FIFO バッファに最初に格納されたメッセージから順に送信されます。次に送信予定のメッセージのみ、送信の優先順位判定の対象になります。

ゲートウェイ モードに設定した送受信 FIFO バッファは、RSCAN0CFCCk レジスタの CFE ビットを “0” にすると、使用不可になります。CFE ビットを “0” にすると、次に示すタイミングで CFEMP フラグが “1” になります。

- 送受信 FIFO バッファのメッセージが送信中でもなく、次の送信にも決定していない場合、直ちに空になります。
- 送受信 FIFO バッファのメッセージが、すでに送信中または次の送信に決定している場合、送信完了、CAN バスエラーの検出、またはアービトレーションロストの後に、空になります。

CFE ビットを “0” にすると、送受信 FIFO バッファのすべてのメッセージは失われ、FIFO バッファへメッセージを格納できなくなります。再度 CFE ビットを “1” にする前に、CFEMP フラグが “1” になったことを確認してください。

21.9　テスト機能

テスト機能は、通信テストとグローバルテストの 2 つに分類できます。

- 通信テスト : チャネルごとに行うテスト
  - 標準テストモード
  - リッスンオンリモード
  - セルフテストモード 0（外部ループバックモード）
  - セルフテストモード 1（内部ループバックモード）
- グローバルテスト : モジュール全体で行うテスト
  - チャネル間通信テスト

21.9.1　標準テストモード

標準テストモードでは、CRC テストを行うことができます。

21.9.2　リッスンオンリモード

リッスンオンリモードでは、データフレームとリモートフレームを受信できます。CAN バス上にはレセシブビットのみが送信され、ACK ビット、オーバロードフラグ、アクティブエラーフラグは送信されません。

リッスンオンリモードは、通信速度の検出に使用できます。

リッスンオンリモードでは、どのバッファやキューからも送信要求をしないでください。

図 21.12 にリッスンオンリモード選択時の接続を示します。

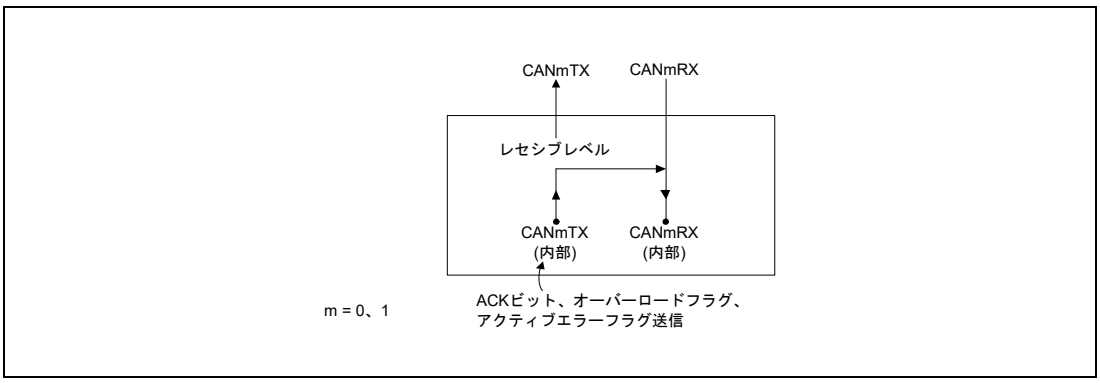


図 21.12　リッスンオンリモード選択時の接続

21.9.3　セルフテストモード（ループバックモード）

セルフテストモードでは、送信したメッセージを自チャネルの受信ルールと比較し、フィルタ処理を通過するとバッファに格納されます。他の CAN ノードが送信したメッセージは、RSCAN0GAFLIDj レジスタ（j = 0 ~ 15）の GAFLLB ビットを “0”（他の CAN ノードが送信したメッセージを受信時）にした受信ルールとのみ比較されます。

ミラー機能とセルフテストモードが同時に許可された場合、セルフテストモードの設定が優先されます。

21.9.3.1　セルフテストモード 0（外部ループバックモード）

セルフテストモード 0 は CAN トランシーバを含めたチャネルのループバックテストを行います。

セルフテストモード 0 では、送信したメッセージを CAN トランシーバ経由で受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

図 21.13 にセルフテストモード 0 選択時の接続を示します。

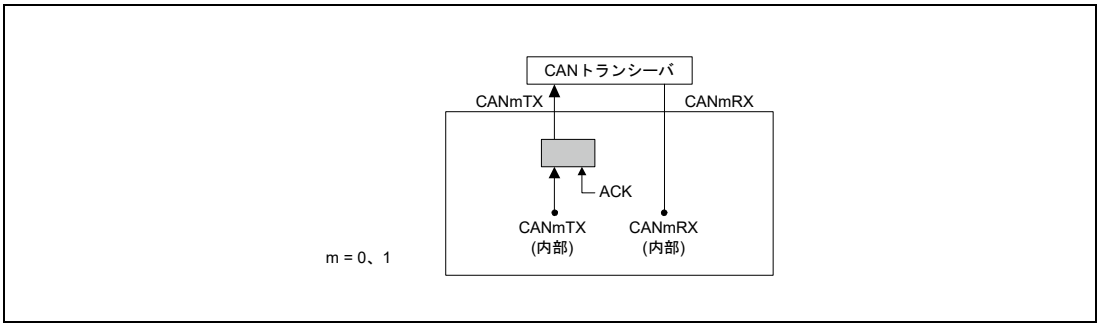


図 21.13　セルフテストモード 0 選択時の接続

21.9.3.2　セルフテストモード 1（内部ループバックモード）

セルフテストモード 1 では、送信したメッセージを受信したメッセージとして取り扱い、送信したメッセージをバッファに格納します。自送信メッセージを受信するため、ACK ビットを生成します。

セルフテストモード 1 では内部 CANmTX 端子（m = 0、1）から内部 CANmRX 端子への内部フィードバックを行います。外部 CANmRX 端子の入力は、切り離されます。外部 CANmTX 端子はレセシブビットのみ出力します。

図 21.14 にセルフテストモード 1 選択時の接続を示します。

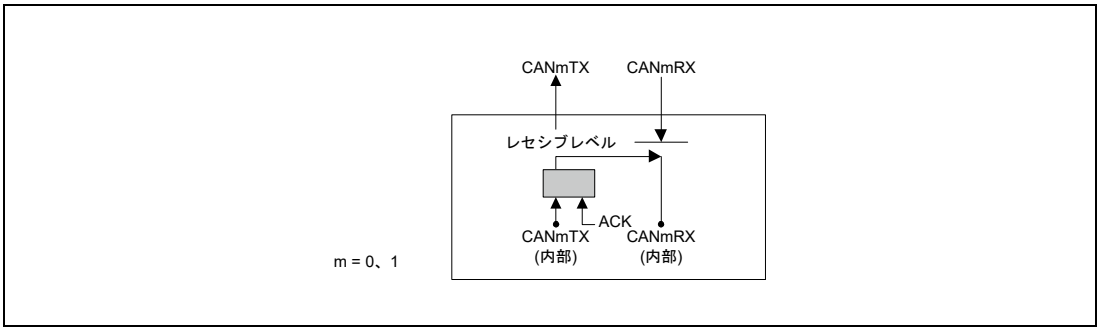


図 21.14　セルフテストモード 1 選択時の接続

21.9.4　チャネル間通信テスト

チャネル間通信テスト機能を使用すると、CAN チャネル同士を内部的に接続し、通信テストを行うことができます。このテスト中、チャネルは外部の CAN バスから切り離されます。

各チャネルに対して送受信の設定を行ってから、チャネル通信モードで送受信を開始してください。テストに参加しないチャネルは、チャネル待機モードにしてください。

図 21.15 にチャネル間通信テスト接続図を示します。

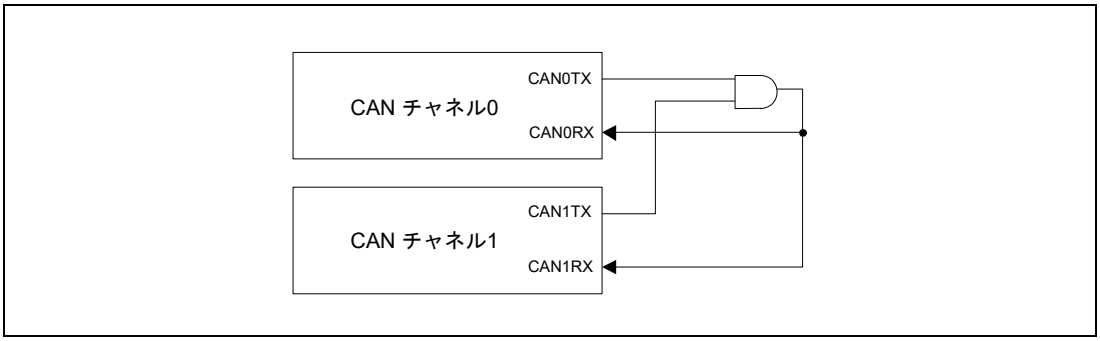


図 21.15　チャネル間通信テスト接続図

21.10 RS-CAN の設定手順

21.10.1 初期設定

本 LSI のリセット後に RS-CAN モジュールは CAN 用 RAM の初期化を行います。RAM の初期化時間は、pclk の 6082 サイクルです。RAM の初期化中は、RSCAN0GSTS レジスタの GRAMINIT フラグが “1”（CAN 用 RAM クリア中）になり、初期化が終了すると “0”（CAN 用 RAM クリア完了）になります。GRAMINIT フラグが “0” になった後に CAN の設定を行ってください。**図 21.16** に本 LSI のリセット後の設定手順を示します。

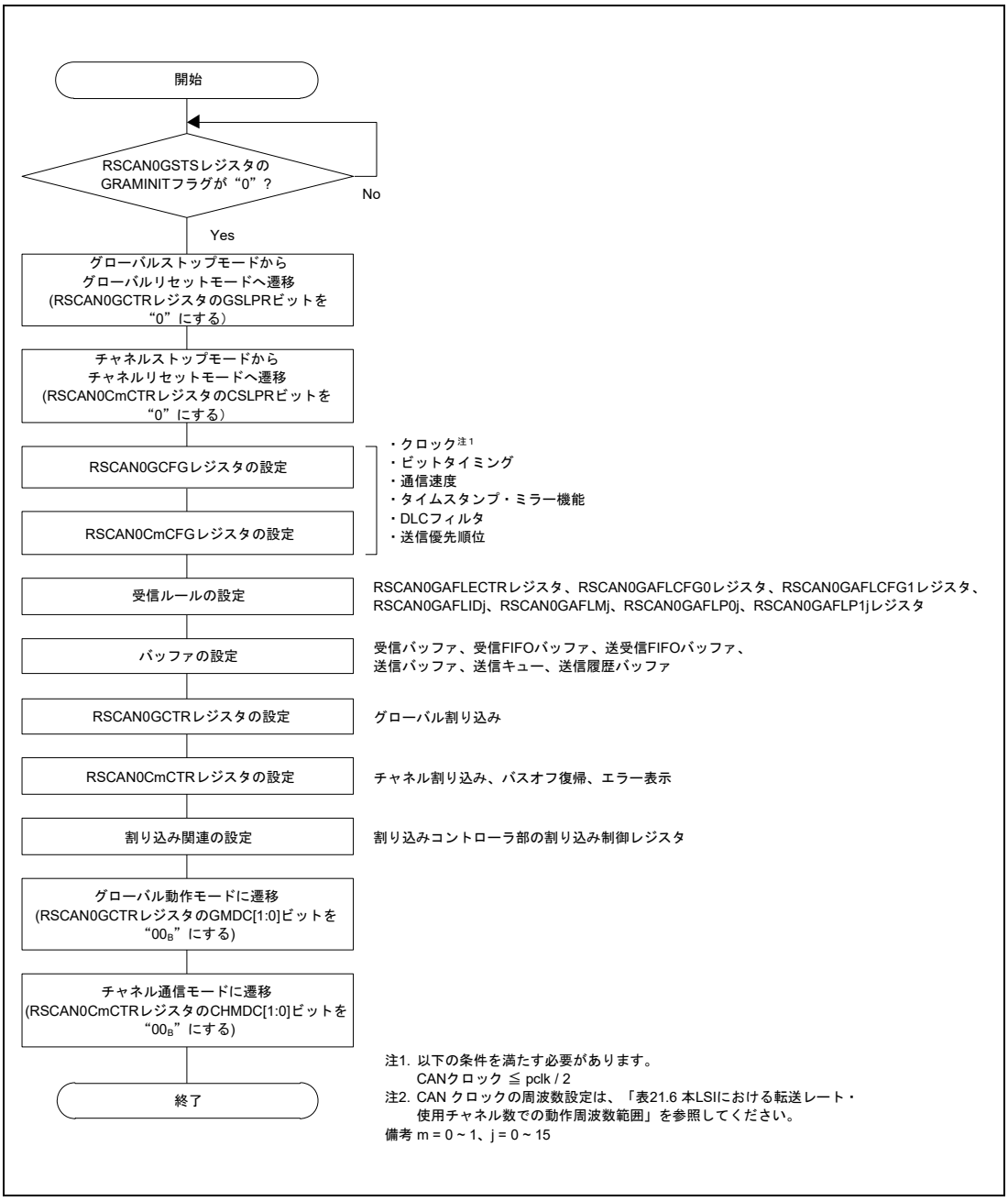


図 21.16　本 LSI のリセット後の設定手順

21.10.1.1 クロックの設定

RS-CAN モジュールのクロック源である CAN クロック（fCAN）を設定します。RSCAN0GCFG レジスタの DCS ビットで、clkc、または clk_xincan を選択します。

21.10.1.2 ビットタイミングの設定

CAN プロトコルでは、通信フレームの 1 ビットは SS、TSEG1、TSEG2 の 3 つのセグメントで構成されます。このうち、TSEG1 および TSEG2 の 2 つのセグメントをチャネルごとに RSCAN0CmCFG レジスタで設定できます。2 つのセグメントを設定することで、サンプルポイントのタイミングを決めます。このタイミングは 1 Time Quantum（以下 Tq）単位で調整できます。1Tq は、RSCAN0GCFG レジスタの DCS ビットで選択したクロックを RSCAN0CmCFG レジスタの BRP[9:0] ビットで分周したクロック（CANmTq クロック）の周期になります。

図 21.17 にビットタイミング図を示します。**表 21.91** にビットタイミングの設定例を示します。

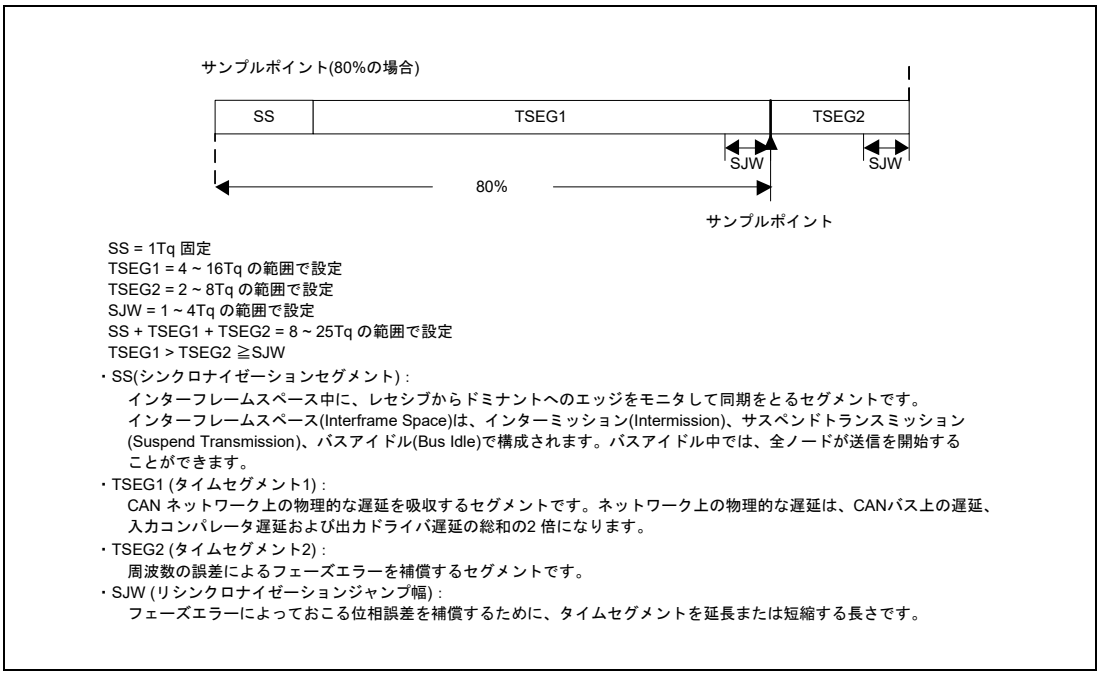


図 21.17　ビットタイミング図

表 21.91　ビットタイミングの設定例

1 ビット	設定値（Tq）				サンプルポイント（%） ※ 図 21.17 を参照
	SS	TSEG1	TSEG2	SJW	
8Tq	1	4	3	1	62.50
	1	5	2	1	75.00
12Tq	1	8	3	1	75.00
	1	9	2	1	83.33
16Tq	1	10	5	1	68.75
	1	11	4	1	75.00

表 21.91　ビットタイミングの設定例

1 ビット	設定値（Tq）				サンプルポイント（%） ※ 図 21.17 を参照
	SS	TSEG1	TSEG2	SJW	
24Tq	1	14	9	1	62.50
	1	15	8	1	66.66

21.10.1.3 通信速度の設定

CAN の通信速度は、fCAN、ボーレートプリスケーラ分周値（RSCAN0CmCFG レジスタの BRP[9:0] ビット）、および 1 ビットタイムの Tq 数を用いてチャネルごとに設定します。

図 21.18 に CAN クロック制御ブロック図、**表 21.92** に通信速度の設定例を示します。

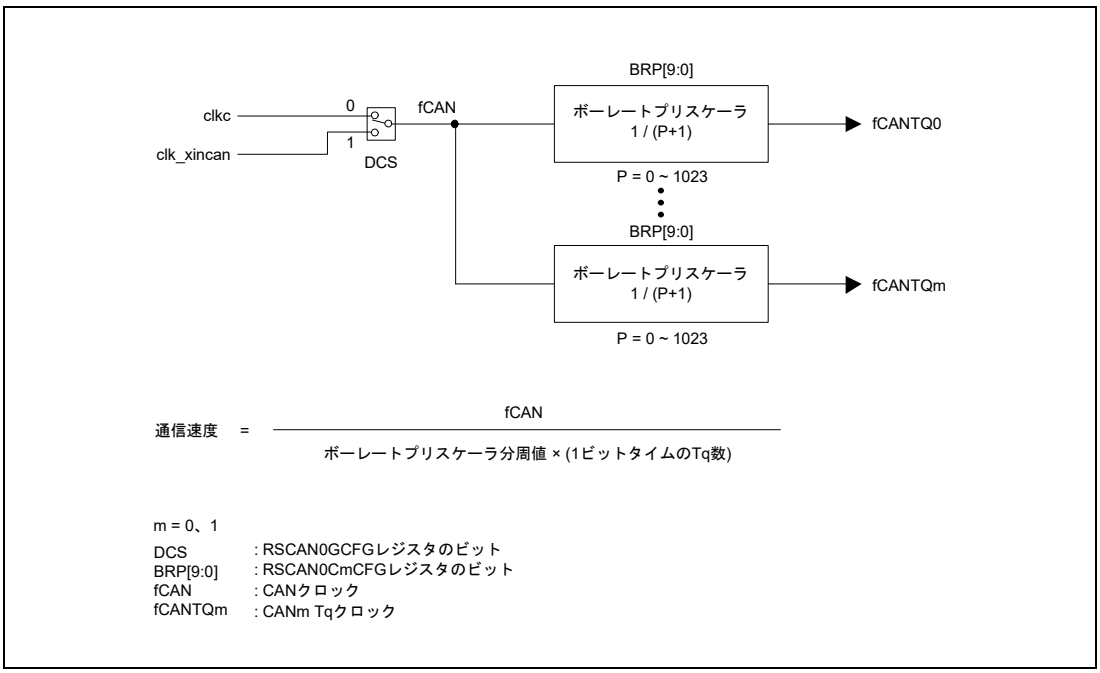


図 21.18　CAN クロック制御ブロック図

表 21.92　通信速度の設定例

通信速度 \ fCAN	32MHz	24MHz	8MHz
1Mbps	8Tq（4） 16Tq（2）	8Tq（3） 12Tq（2） 24Tq（1）	8Tq（1）
500Kbps	8Tq（8） 16Tq（4）	8Tq（6） 12Tq（4） 24Tq（2）	8Tq（2） 16Tq（1）
125Kbps	8Tq（32） 16Tq（16）	8Tq（24） 12Tq（16） 24Tq（8）	8Tq（8） 16Tq（4）

注 1.　（　）内の数字はボーレートプリスケーラ分周値

21.10.1.4 受信ルールの設定

受信ルール関連レジスタで受信ルールの設定を行うことができます。

1 ページに 16 の受信ルールを登録できます。RSCAN0GAFLECTR レジスタの AFLPN[4:0] ビットでページ 0 ～ 7 を指定します。また、AFLDAE ビットで受信ルールテーブルへの書き込みの許可／禁止を設定します。

図 21.19 に受信ルール設定手順について示します。

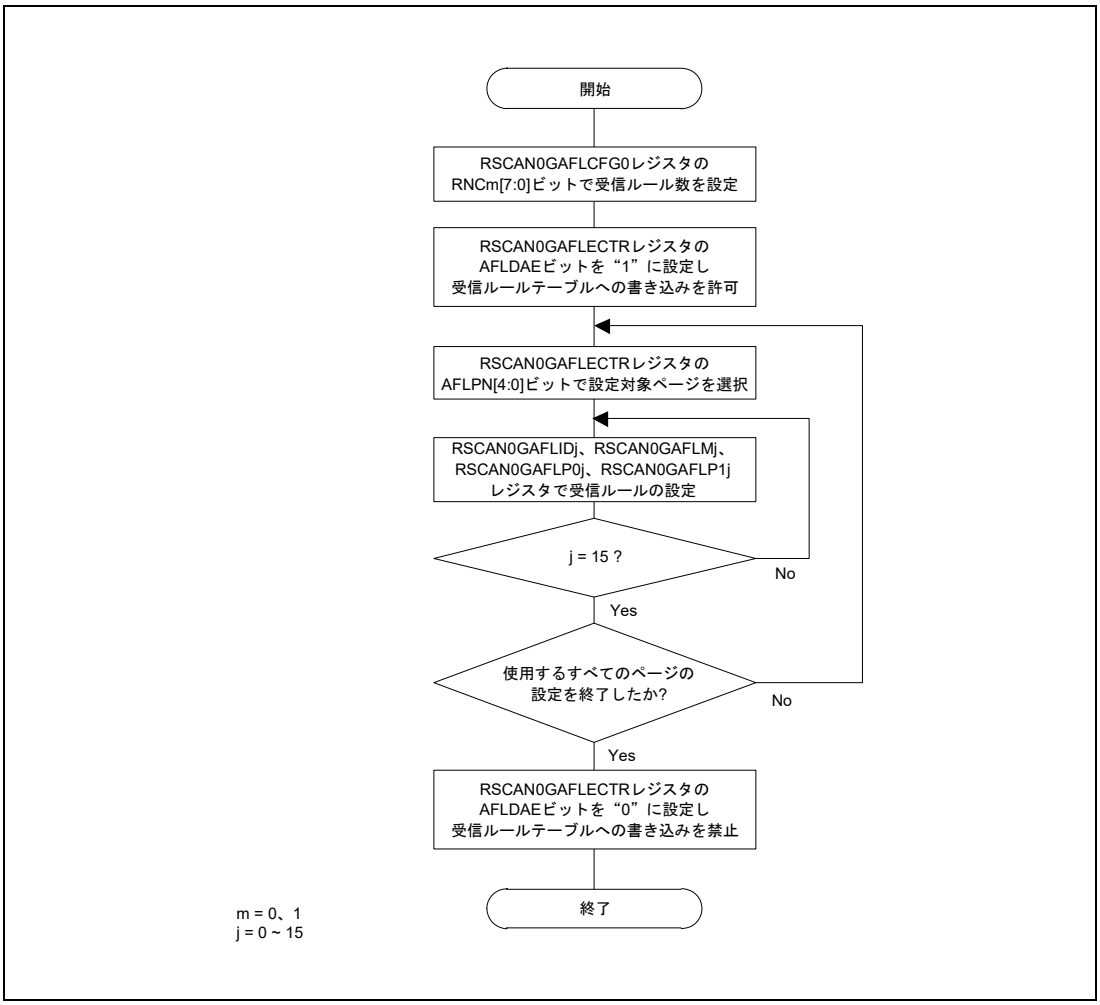


図 21.19　受信ルール設定手順

21.10.1.5 バッファの設定

各種バッファのサイズと割り込み要因を設定します。また、送信モードに設定した送受信 FIFO バッファはリンクする送信バッファを設定します。

図 21.20 にバッファの構成を示します。**図 21.21** に各種バッファの設定手順を示します。

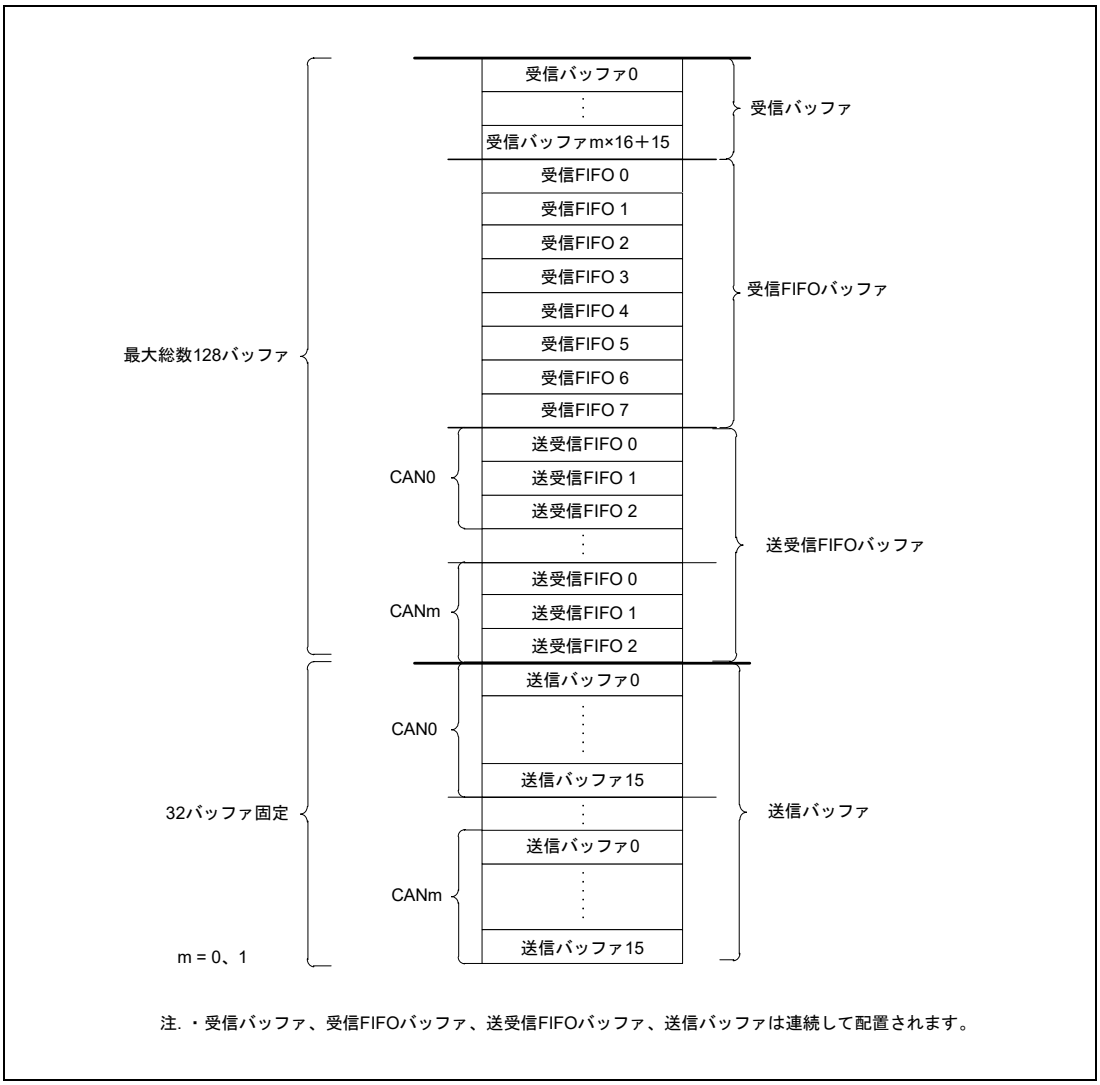


図 21.20　バッファの構成

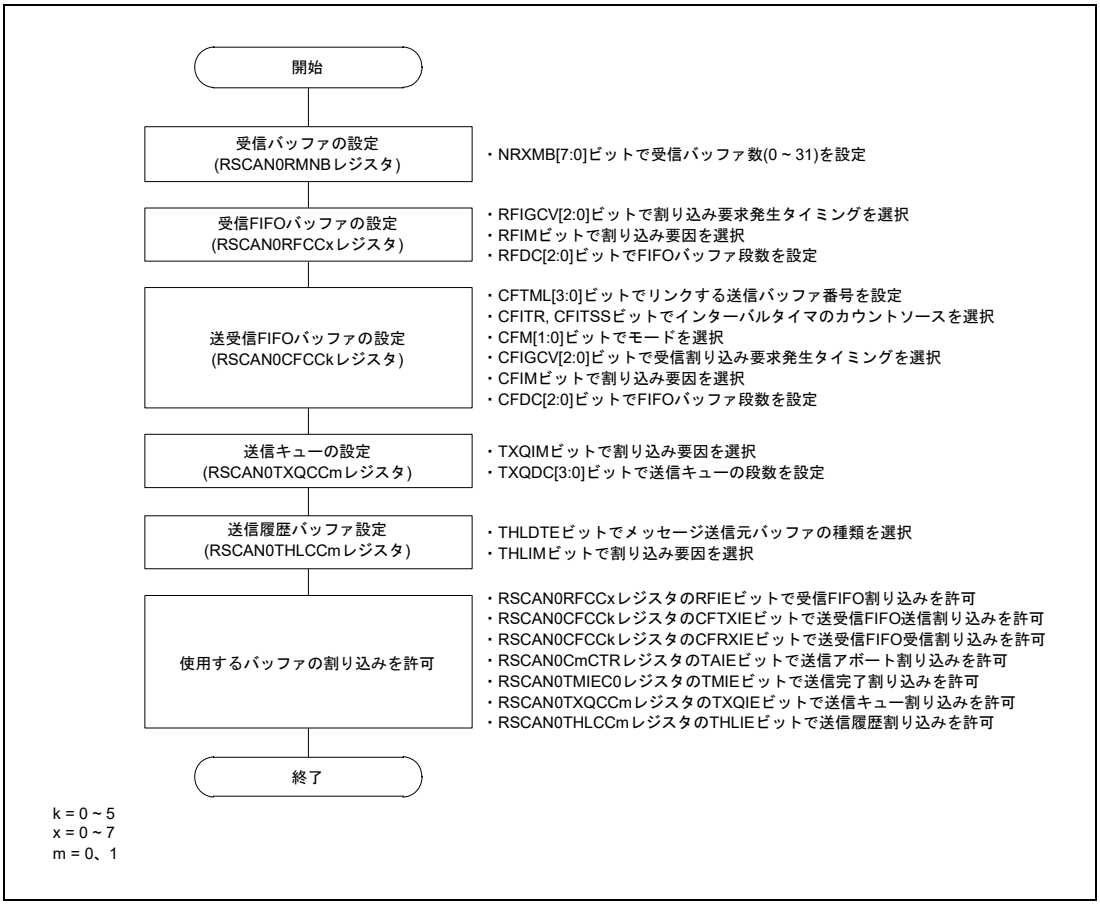


図 21.21　各種バッファの設定手順

21.10.2　受信手順

21.10.2.1 受信バッファの読み出し手順

受信したメッセージを受信バッファに格納する処理が始まると、RSCAN0RMNDy レジスタの RMNSq フラグ（y = 0、q = 0 ~ 31）が “1”（受信バッファ q に新しいメッセージあり）になります。メッセージは RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDF0q、RSCAN0RMDF1q レジスタから読めます。受信バッファからメッセージを読み出す前に次のメッセージを受信した場合、メッセージが上書きされます。**図 21.22** に受信バッファの読み出し手順を示します。

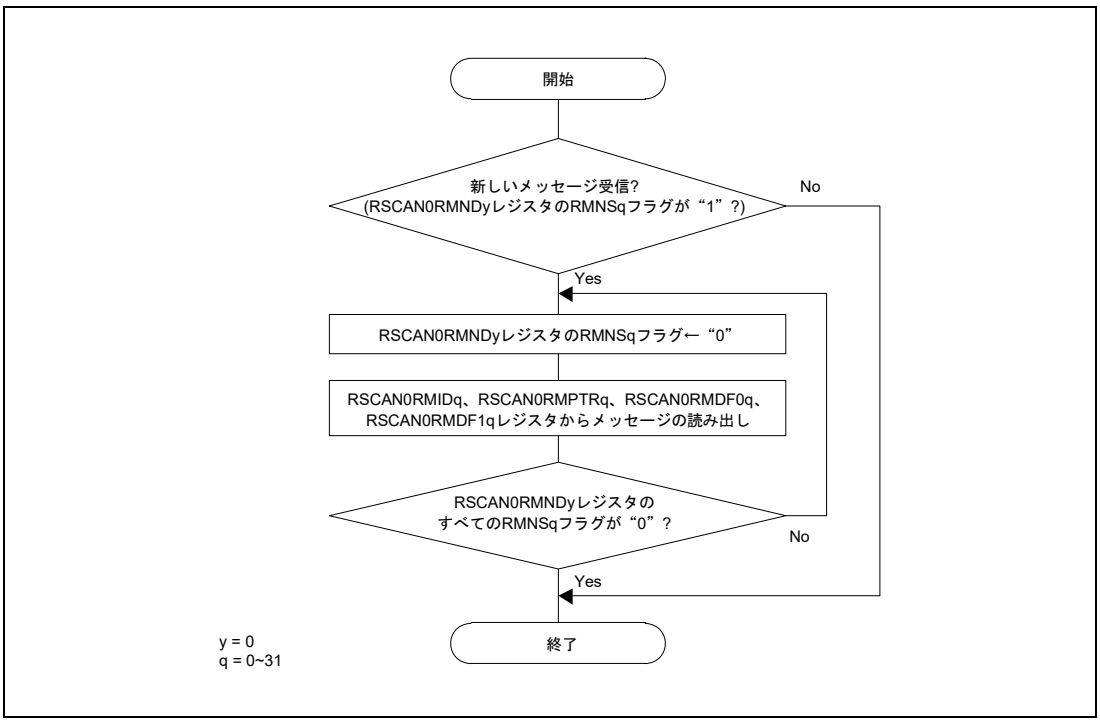


図 21.22　受信バッファの読み出し手順

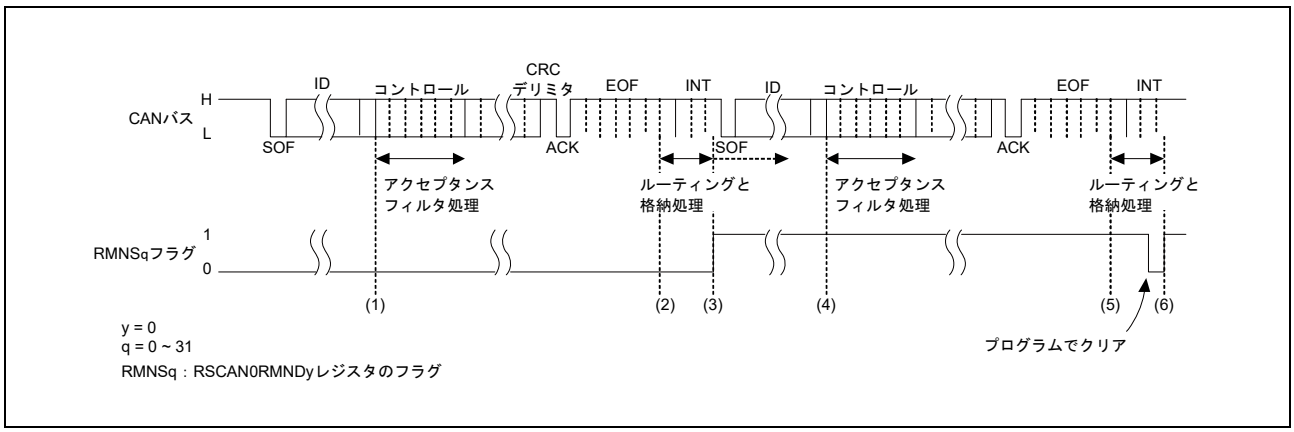


図 21.23　受信バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過すると、指定した受信バッファにメッセージを格納する処理が開始します。
   メッセージの格納処理が始まると、対応する RSCAN0RMNDy レジスタの RMNSq フラグが “1”（受信バッファに新しいメッセージあり）になります。他のチャネルでフィルタ処理や送信の優先順位判定処理を行っていると、ルーティング処理や格納処理が遅延する場合があります。
4. 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
5. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
6. 対応する RMNSq フラグを “0”（受信バッファに新しいメッセージなし）にクリアした場合、メッセージの格納処理が始まると、再度 “1” になります。RMNSq フラグが “1” のままでも、新しいメッセージは受信バッファに上書きされます。メッセージ格納中は RMNSq フラグを “0” にできません。

21.10.2.2 FIFO バッファの読み出し手順

受信メッセージが 1 つ以上の受信 FIFO バッファまたは、受信モード／ゲートウェイモードに設定した送受信 FIFO バッファへ格納されると、対応するメッセージ数表示カウンタ（RSCAN0RFSTSx レジスタ（x = 0 ~ 7）の RFMC[7:0] ビットまたは RSCAN0CFSTSk レジスタ（k = 0 ~ 5）の CFMC[7:0] ビット）の値が 1 加算されます。このとき、RSCAN0RFCCx レジスタの RFIE ビット（受信 FIFO 割り込み許可ビット）や RSCAN0CFCCk レジスタの CFRXIE ビット（送受信 FIFO 受信割り込み許可ビット）を “1” にしていると、割り込み要求が発生します。受信メッセージは、受信 FIFO バッファの場合は RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタから、送受信 FIFO バッファの場合は RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから読み出すことができます。FIFO バッファは古いメッセージから読み出せます。

メッセージ数表示カウンタの値が FIFO バッファの段数値（RSCAN0RFCCx レジスタの RFDC[2:0] ビットまたは RSCAN0CFCCk レジスタの CFDC[2:0] ビットで設定した値）に一致したとき、RFFLL フラグまたは CFFLL フラグが “1”（FIFO バッファフル）になります。

FIFO バッファからすべてのメッセージを読み出したとき、RSCAN0RFSTSx レジスタの RFEMP フラグまたは RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（FIFO バッファ空）になります。

割り込み要求フラグ（RSCAN0RFSTSx レジスタの RFIF フラグまたは RSCAN0CFSTSk レジスタの CFRXIF フラグ）が “1”（割り込み要求あり）の状態で RFE ビットや CFE ビットを “0”（FIFO バッファを使用しない）にすると、割り込み要求フラグは自動的に “0” になりません。割り込み要求フラグはプログラムで “0” にしてください。

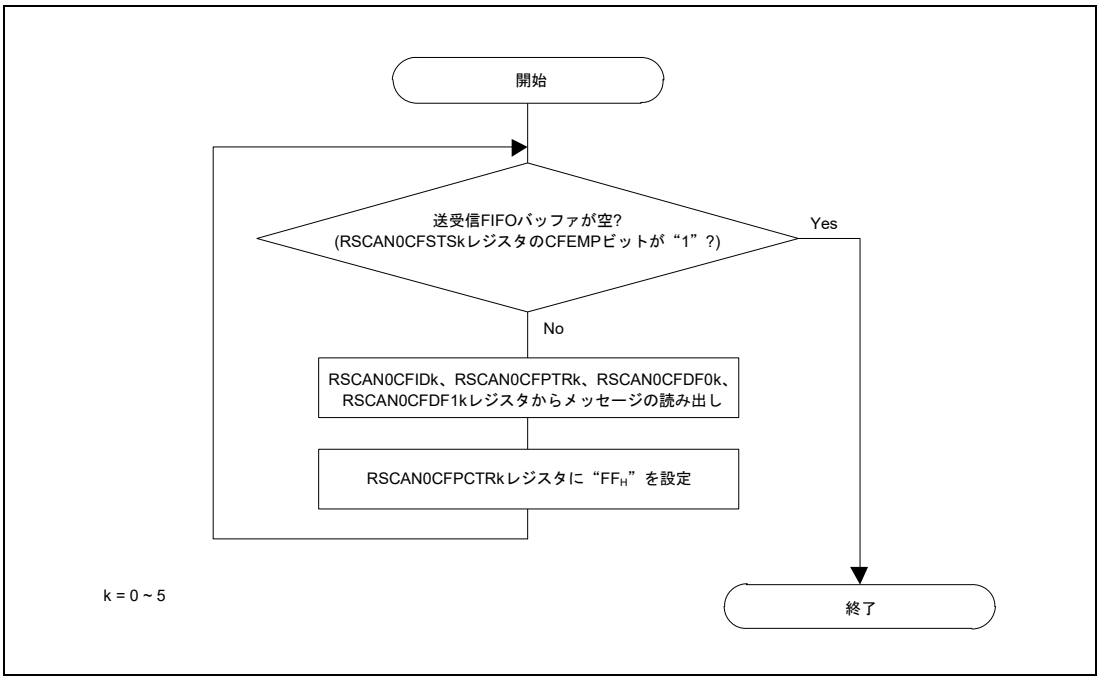


図 21.24　送受信 FIFO バッファの読み出し手順

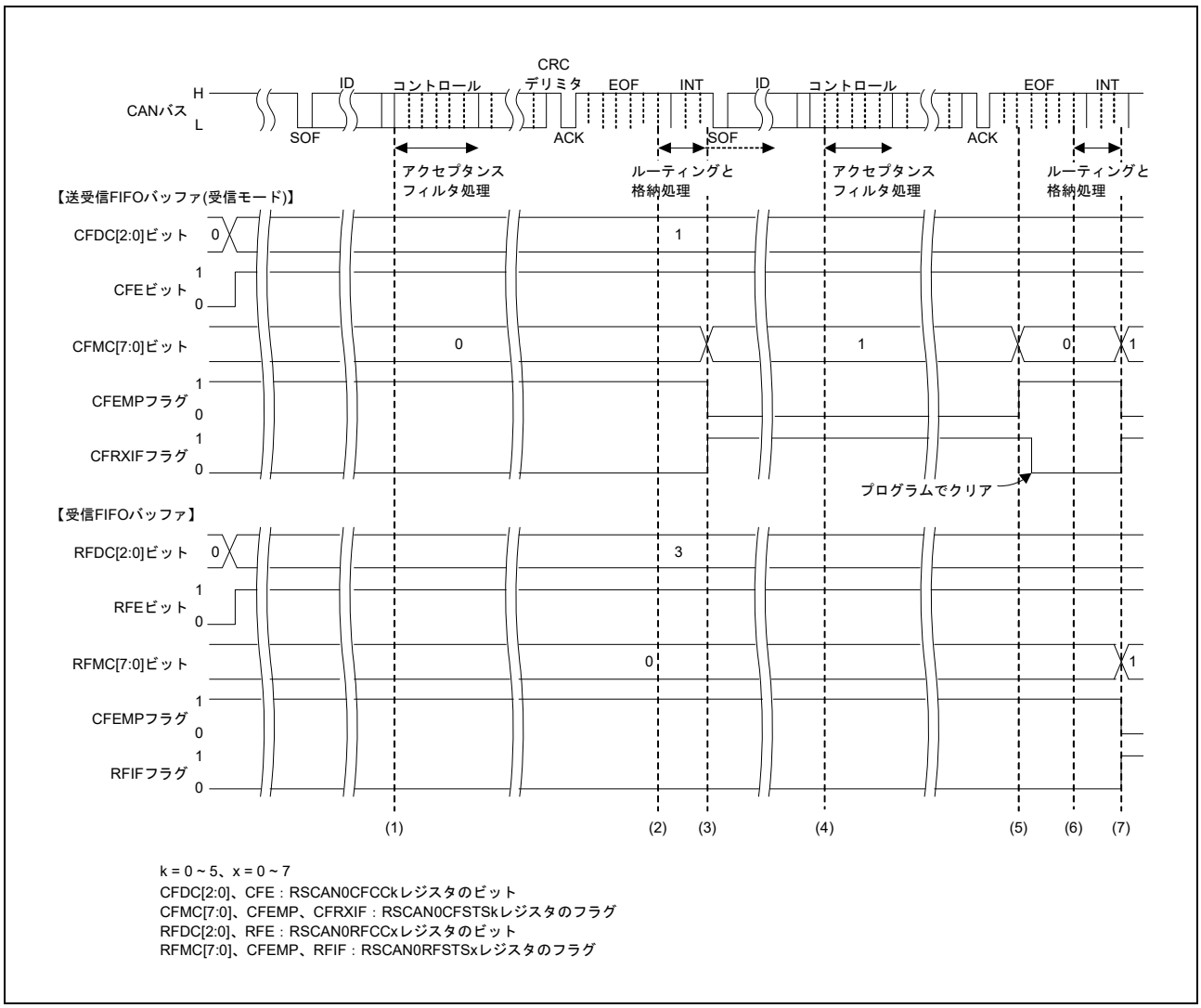


図 21.25　FIFO バッファの受信タイミング図

1. メッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。
2. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。
3. DLC フィルタ処理を通過し、かつ RSCAN0CFCCk レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）で、RSCAN0CFCCk レジスタの CFDC[2:0] ビットの値が “001_B” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 加算されて “01_H” になります。RSCAN0CFCCk レジスタの CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCAN0CFSTSk レジスタの CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。CFRXIF フラグはプログラムで “0” にできます。
4. 次のメッセージの ID フィールドを受信し終えると、アクセプタンスフィルタ処理が開始します。

5. RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタから受信メッセージを読み出し、RSCAN0CFPCTRk レジスタに “FF_H” を書きます。それにより、RSCAN0CFSTSk レジスタの CFMC[7:0] ビットが 1 減算されて “00_H” になり、RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

6. 対応するチャネルの受信ルールと一致し、かつメッセージが正常に受信されると、指定のバッファに転送するルーティング処理が開始します。RSCAN0GCFG レジスタの DCE ビットが “1”（DLC チェック許可）の場合、この時点で DLC フィルタ処理を行います。

7. DLC フィルタ処理を通過し、かつ CFE ビットが “1”（送受信 FIFO バッファを使用する）、CFDC[2:0] ビットの値が “001_B” 以上の場合、受信モードに設定した送受信 FIFO バッファにメッセージが格納されます。CFMC[7:0] ビットが 1 加算されて “01_H” になります。CFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、CFRXIF フラグが “1”（送受信 FIFO 受信割り込み要求あり）になります。
また、RSCAN0RFCCx レジスタの RFE ビットが “1”（受信 FIFO バッファを使用する）、RSCAN0RFCCx レジスタの RFDC[2:0] ビットの値が “001_B” 以上の場合、受信 FIFO バッファにメッセージが格納されます。RSCAN0RFSTSx レジスタの RFMC[7:0] ビットが 1 加算されて “01_H” になります。RSCAN0RFCCx レジスタの RFIM ビットを “1”（1 メッセージ受信ごとに割り込み要求発生）にしている場合、RSCAN0RFSTSx レジスタの RFIF フラグが “1”（受信 FIFO 割り込み要求あり）になります。

21.10.3　送信手順

21.10.3.1 送信バッファからの送信手順

図 21.26 に送信バッファからの送信手順を示します。

図 21.27 に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。**図 21.28** に、同一チャネルの 2 つの送信バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

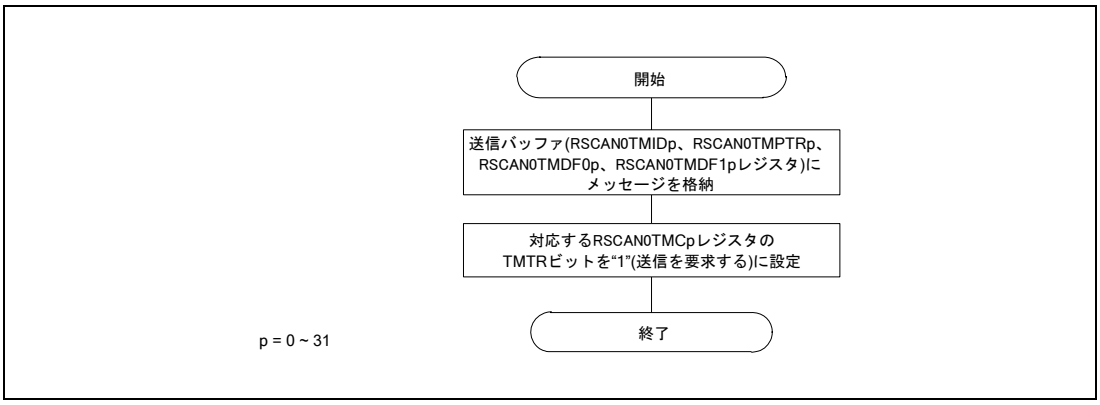


図 21.26　送信バッファからの送信手順

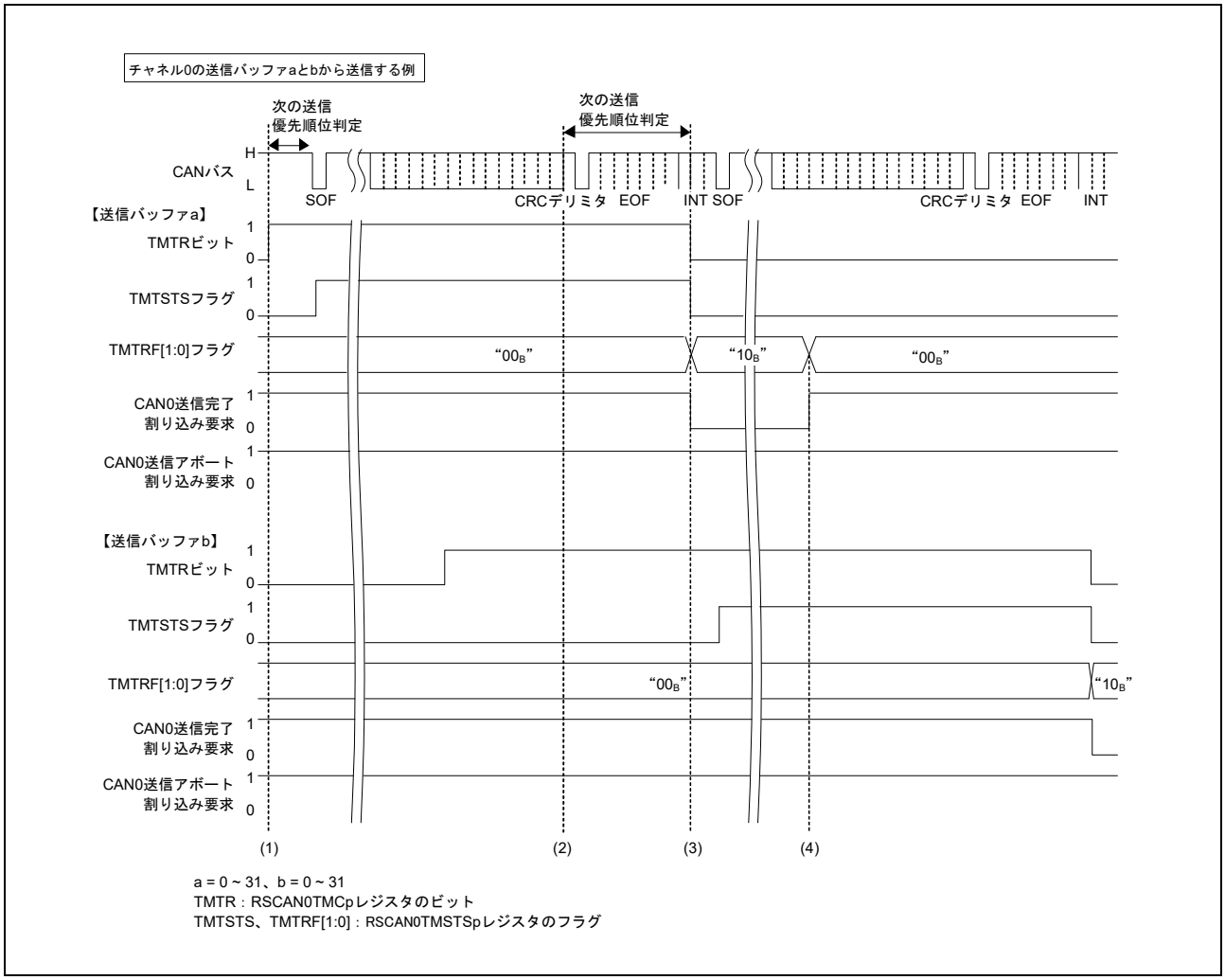


図 21.27　送信バッファの送信タイミング図（正常に送信完了時）

1. CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMCa レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。

2. CRC デリミタで、バッファからの送信要求があれば、次の優先順位判定を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。

3. 送信が成功すると、RSCAN0TMCa レジスタの TMTRF[1:0] フラグは “10_B”（送信完了（送信アボート要求なし））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは “0” になります。
RSCAN0TMIEC0 レジスタの TMIEa ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00_B”（送信中または送信要求なし）にしてください。

4. 次の送信を開始する前に、TMTRF[1:0] フラグを “00_B” にしてください。
次のメッセージを送信バッファに書いてから、TMTR ビットを “1”（送信

を要求する）にしてください。TMTRF[1:0] フラグが “00_B” のときのみ、TMTR ビットを “1” に設定できます。

送信を開始後にアービトレーションロストが発生した場合、TMTSTS フラグは “0” になります。送信の優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

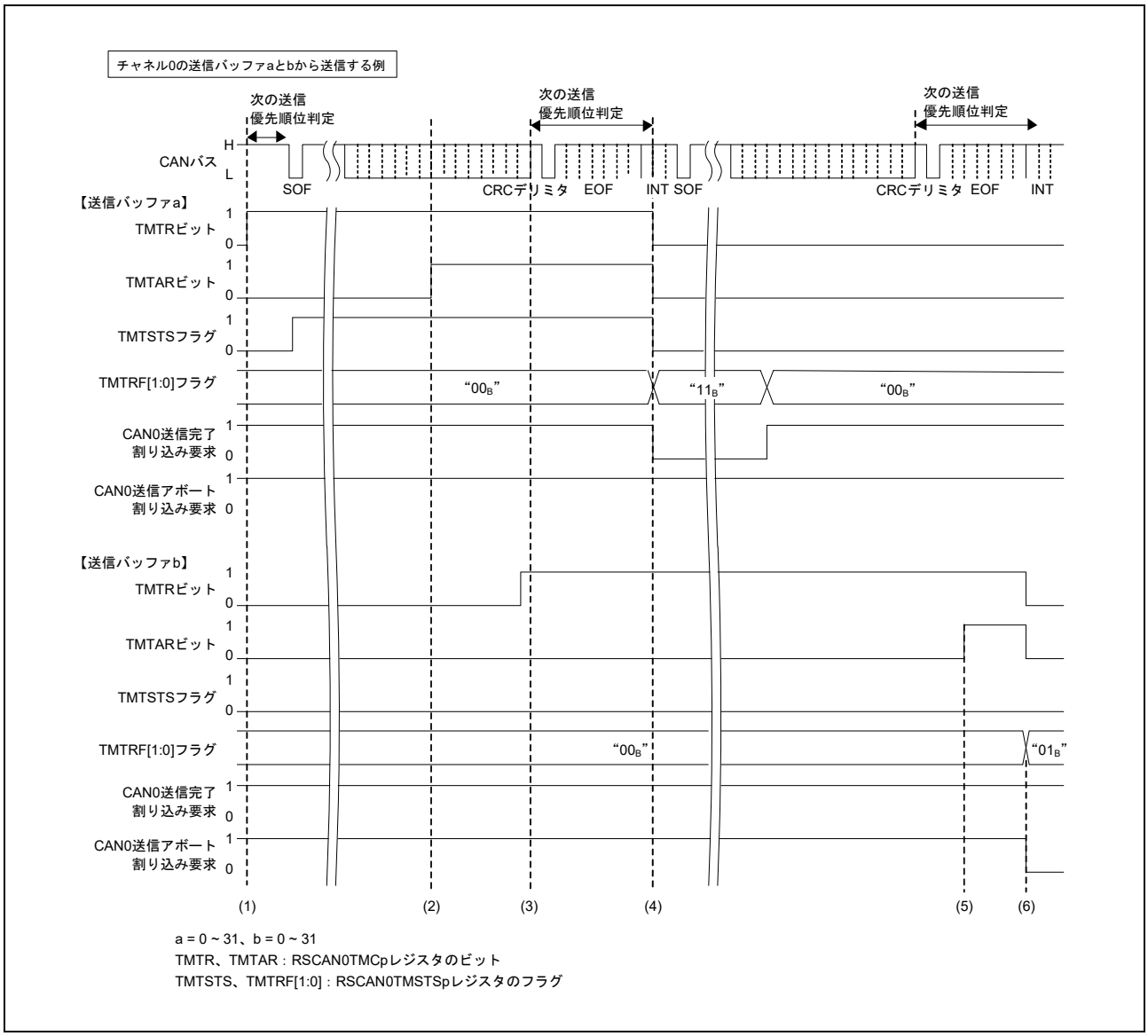


図 21.28　送信バッファの送信タイミング図（送信アボート完了時）

1. CAN バスがアイドル状態のとき RSCAN0TMCa レジスタの TMTR ビットを “1” にすると、最優先送信バッファを決めるために、送信の優先順位判定処理を開始します。送信バッファ a が最優先送信バッファとして決まると、対応する RSCAN0TMCa レジスタの TMTSTS フラグが “1”（送信中）になり、CAN チャネルは送信を開始します。
2. 送信バッファが次の送信に決まっているとき、または現在送信中であるとき、TMTAR ビットを “1”（アボート要求する）にしても、エラーまたは

アービトレーションロストが発生しない限り、メッセージ送信はアボートされません。

3. CRC デリミタで、次の優先順位判定処理を開始します。このタイミング図では、バッファ b は次の送信バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
4. 送信が成功すると、RSCAN0TMCa レジスタの TMTRF[1:0] フラグは “11_B”（送信完了（送信アボート要求あり））になり、TMTSTS フラグと RSCAN0TMCa レジスタの TMTR ビットは “0” になります。RSCAN0TMIEC0 レジスタの TMIEa ビットが “1”（割り込み許可）のとき、CAN0 送信完了割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00_B”（送信中または送信要求なし）にしてください。
5. CAN バス上に他の CAN ノードが送信している場合（TMTSTS フラグは “0”）、対応するチャネルが優先順位判定中に TMTAR ビットを “1” にすると、TMTR ビットを “0” にできません。
6. 内部処理時間経過後、送信は中止され、TMTRF[1:0] フラグが “01_B” になります。送信バッファが送信中ではなくて、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、アボート要求はすぐに受け付けられ、TMTRF[1:0] フラグは “01_B” になります。このとき、TMTR ビットと TMTAR ビットは “0” になります。RSCAN0CmCTR レジスタの TAIE ビットが “1”（送信アボート割り込み許可）のとき、送信アボートが完了すると割り込み要求が発生します。割り込み要求をクリアするには、TMTRF[1:0] フラグを “00_B” にしてください。

CAN チャネルが送信を開始後にアービトレーションロストが発生した場合、TMTSTS ビットは “0” になります。優先順位判定は CRC デリミタ開始時に、最優先送信バッファを検索するために再び実行されます。送信中またはアービトレーションロスト後にエラーが発生した場合、優先順位判定処理はエラーフレーム送信中に再び実行されます。

21.10.3.2 送受信 FIFO バッファからの送信手順

図 21.29 に送受信 FIFO バッファからの送信手順を示します。

図 21.30 に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信が正常に完了した場合のタイミング図を示します。**図 21.31** に、同一チャネルの 2 つの送受信 FIFO バッファからメッセージを送信し、送信がアボート完了した場合のタイミング図を示します。

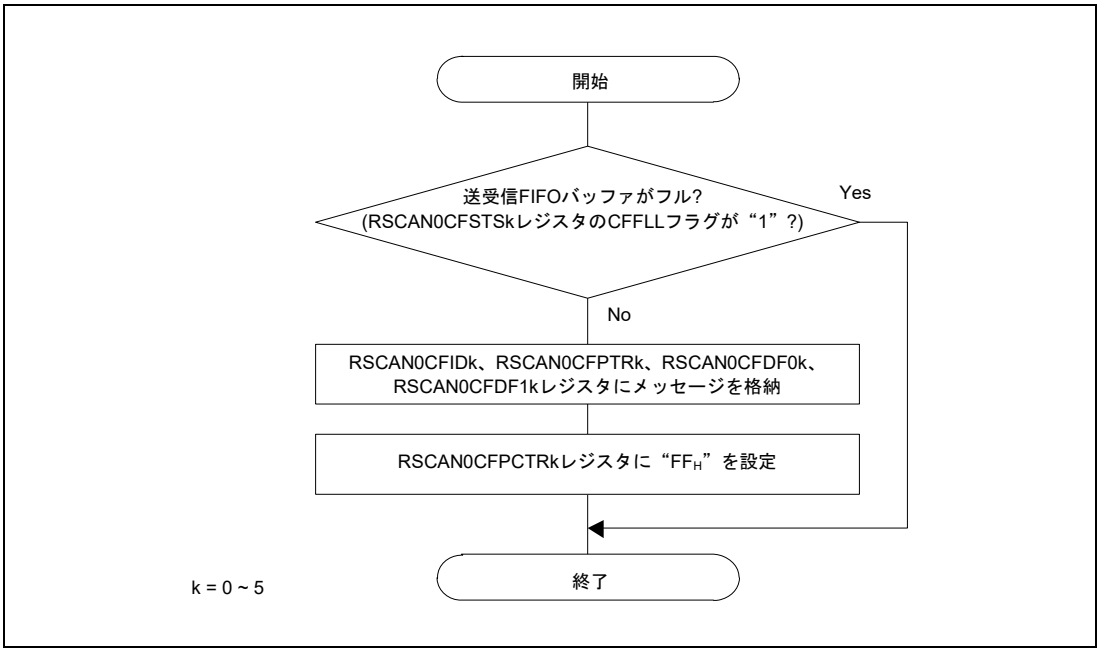


図 21.29　送受信 FIFO バッファからの送信手順

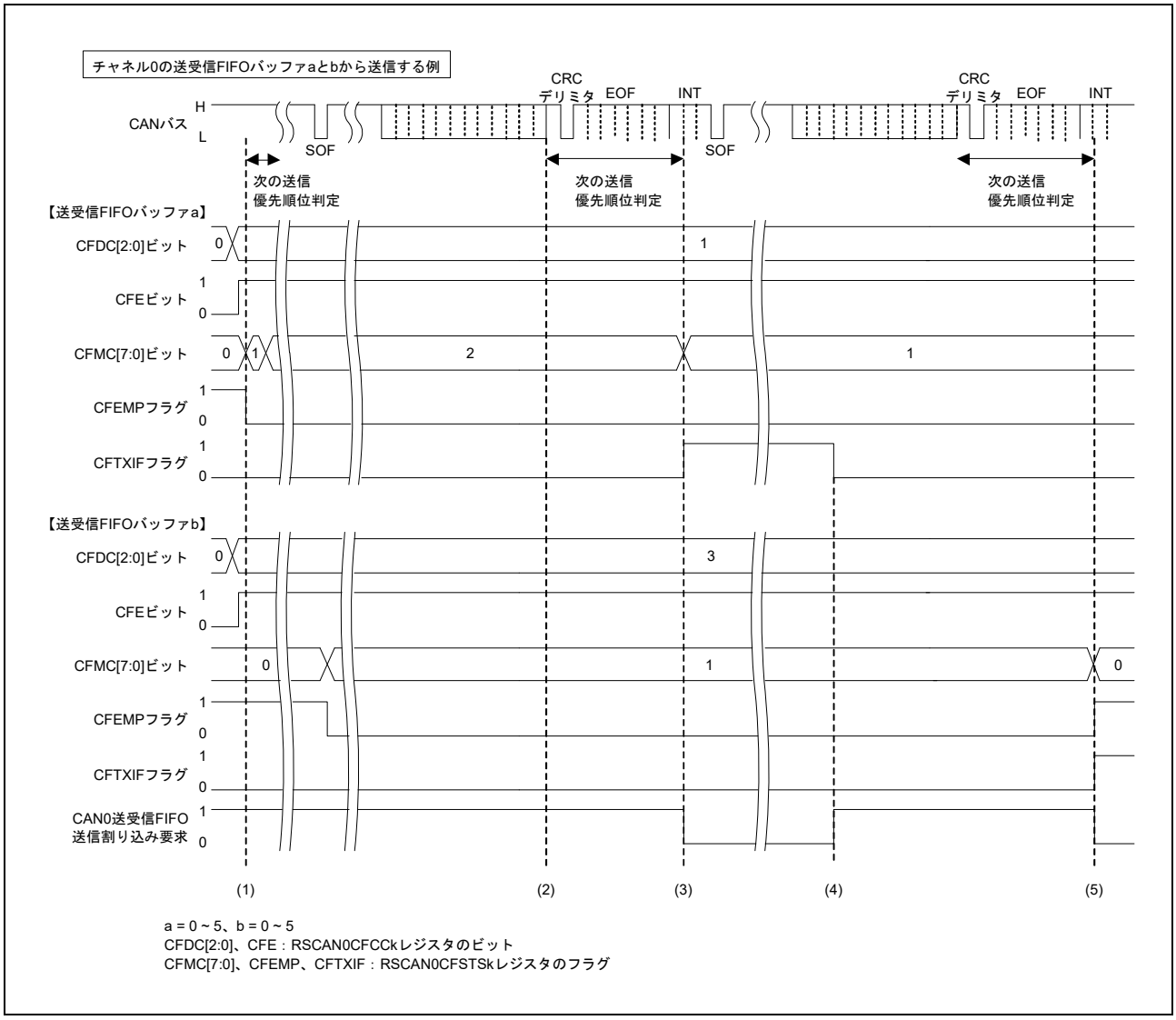


図 21.30　送受信 FIFO バッファの送信タイミング図（正常に送信完了時）

1. CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタの CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが “001_B”（4 メッセージ）以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が “01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。
2. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。他のチャネルが優先順位判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
3. 送信が成功すると、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットが 1 減算されます。RSCAN0CFCCa レジスタの CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCAN0CFSTSk レジスタの CFTXIF フラグが “1”（送受信 FIFO 送信割り込み要求あり）になります。

4. CFTXIF フラグはプログラムでクリアできます。
5. チャネル 0 の送受信 FIFO バッファ b からの送信が完了し、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットが 1 減算されます。CFMC[7:0] ビットが “00_H” になるため、RSCAN0CFSTSk レジスタの CFEMP フラグが “1”（送受信 FIFO バッファ空）になります。

CFEMP フラグが “1” になるまで送信は続けられます。RSCAN0CFSTSa、RSCAN0CFSTSb レジスタの CFFLL フラグが “1”（送受信 FIFO バッファフル）になるまで、送信メッセージを FIFO バッファに格納することができます。

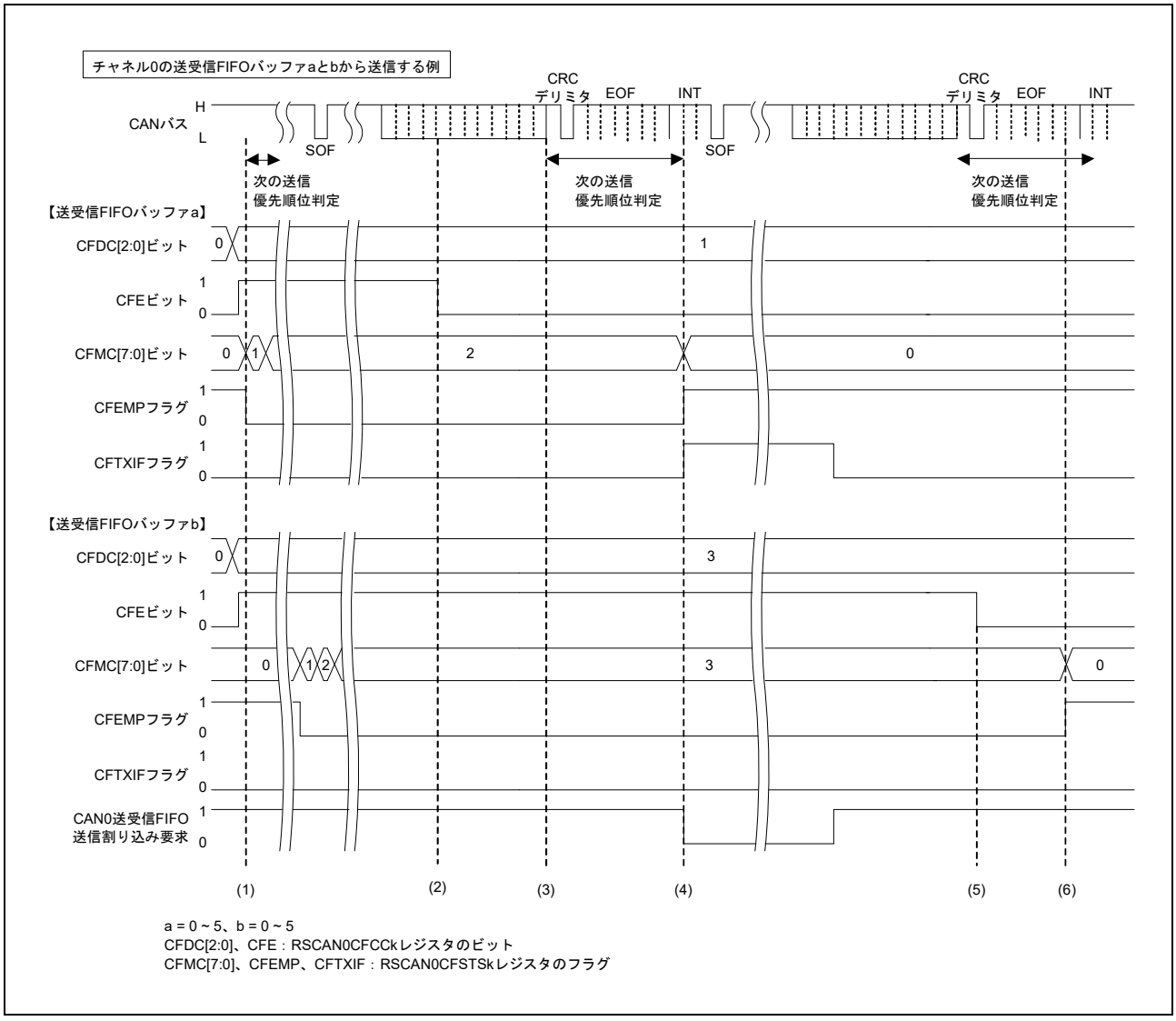


図 21.31　送受信 FIFO バッファの送信タイミング図（送信アボート完了時）

1. CAN バスがアイドル状態のとき、RSCAN0CFCCa レジスタ（a = 0 ~ 5）の CFE ビットが “1”（送受信 FIFO バッファを使用する）、RSCAN0CFCCa レジスタの CFDC[2:0] ビットが “001_B”（4 メッセージ）以上、RSCAN0CFSTSa レジスタの CFMC[7:0] ビットの値が “01_H” 以上の場合、最優先の送信メッセージを決めるために優先順位判定処理を開始します。送信メッセージが決まると送信を開始します。この図では、チャネル 0 の送受信 FIFO バッファ a から送信されます。

2. メッセージが送信中、または次の送信に決まっているとき、アービトレーションロストまたはエラーが発生しない限り、CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても送信はアボートされません。
3. バッファからの送信要求があれば、CRC デリミタで次の優先順位判定処理を開始します。この図では、送受信 FIFO バッファ b は次の送信用バッファとして選択されていません。他のチャネルが優先順判定を実行している場合、判定時間は遅延することがあります。ただし、インターミッションの 3 ビット目までには完了するので、送信間に遅延は発生しません。
4. 送信が成功すると、CFMC[7:0] ビットの値が “00_H” になります。CFIM ビットを “1”（1 メッセージ送信ごとに割り込み要求発生）にした場合、RSCAN0CFSTSa レジスタの CFTXIF フラグが “1”（送受信 FIFO バッファ送信割り込み要求あり）になります。CFTXIF フラグはプログラムでクリアできます。
5. CAN バス上の他の CAN ノードが送信中の場合（送受信 FIFO バッファ b からは送信されていない）、送信の優先順位判定中に RSCAN0CFCCb レジスタの CFE ビットを “0”（送受信 FIFO バッファを使用しない）にしても、送受信 FIFO バッファは直ちに禁止にはできません（RSCAN0CFSTSb レジスタの CFEMP フラグは直ちに “1”（送受信 FIFO バッファ空）にはなりません）。
6. 内部処理時間経過後、送受信 FIFO バッファは禁止され、RSCAN0CFSTSb レジスタの CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります。送受信 FIFO バッファが送信中でもなく、次の送信バッファとしても選択されていなくて、かつ優先順位判定中でなければ、直ちに送受信 FIFO バッファは禁止されます（CFMC[7:0] ビットは “00_H” になり、CFEMP フラグは “1” になります）。

21.10.3.3 送信キューからの送信手順

図 21.32 に送信キューからの送信手順を示します。

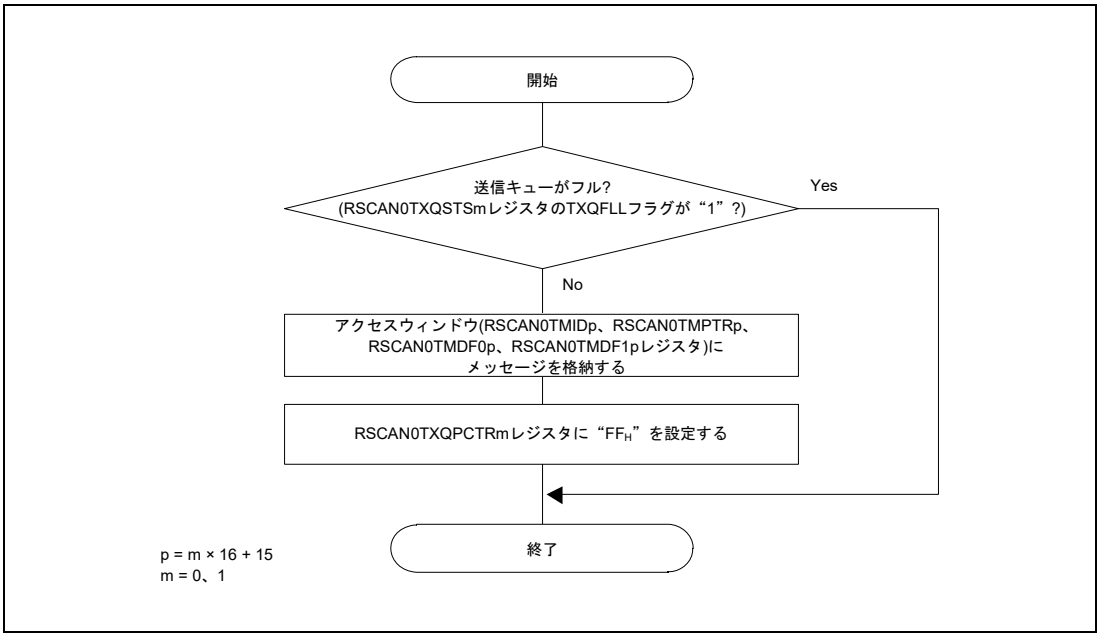


図 21.32　送信キューからの送信手順

21.10.3.4 送信履歴バッファの読み出し手順

送信履歴データは、RSCAN0THLACCm レジスタで読めます。1 データを読んだ後、対応する RSCAN0THLPCTRm レジスタ（m = 0、1）へ “FF_H” を書くと、次のデータへアクセスできます。**図 21.33** に送信履歴バッファの読み出し手順を示します。

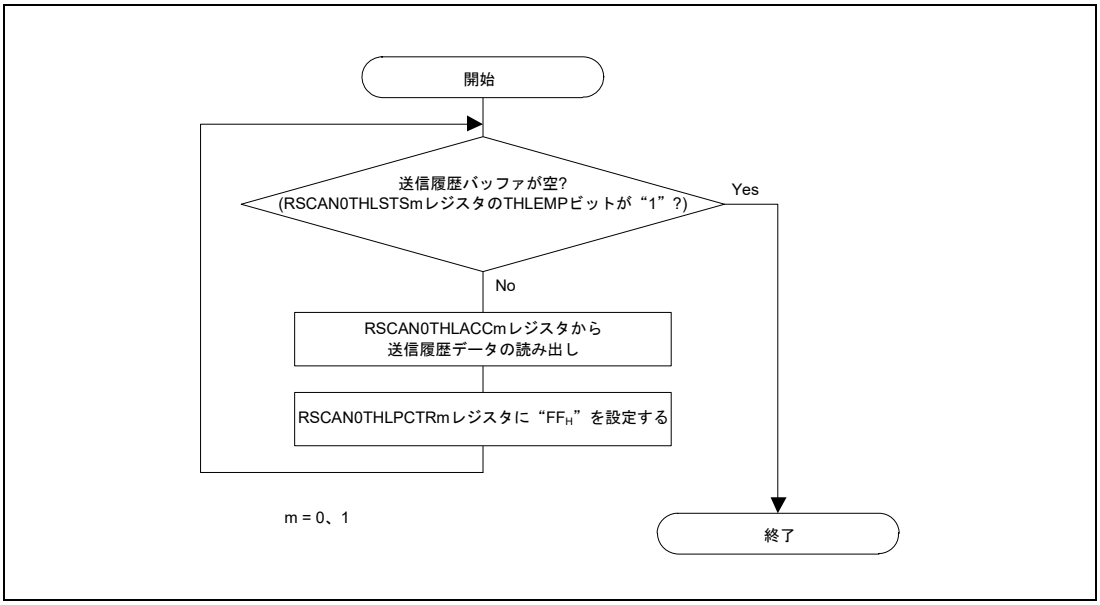


図 21.33　送信履歴バッファの読み出し手順

21.10.4　テスト設定

21.10.4.1 セルフテストモードの設定手順

セルフテストモードでは、自ら送信したメッセージを受信することにより、チャネル単体で通信テストを行うことができます。

図 21.34 にセルフテストモードの設定手順を示します。

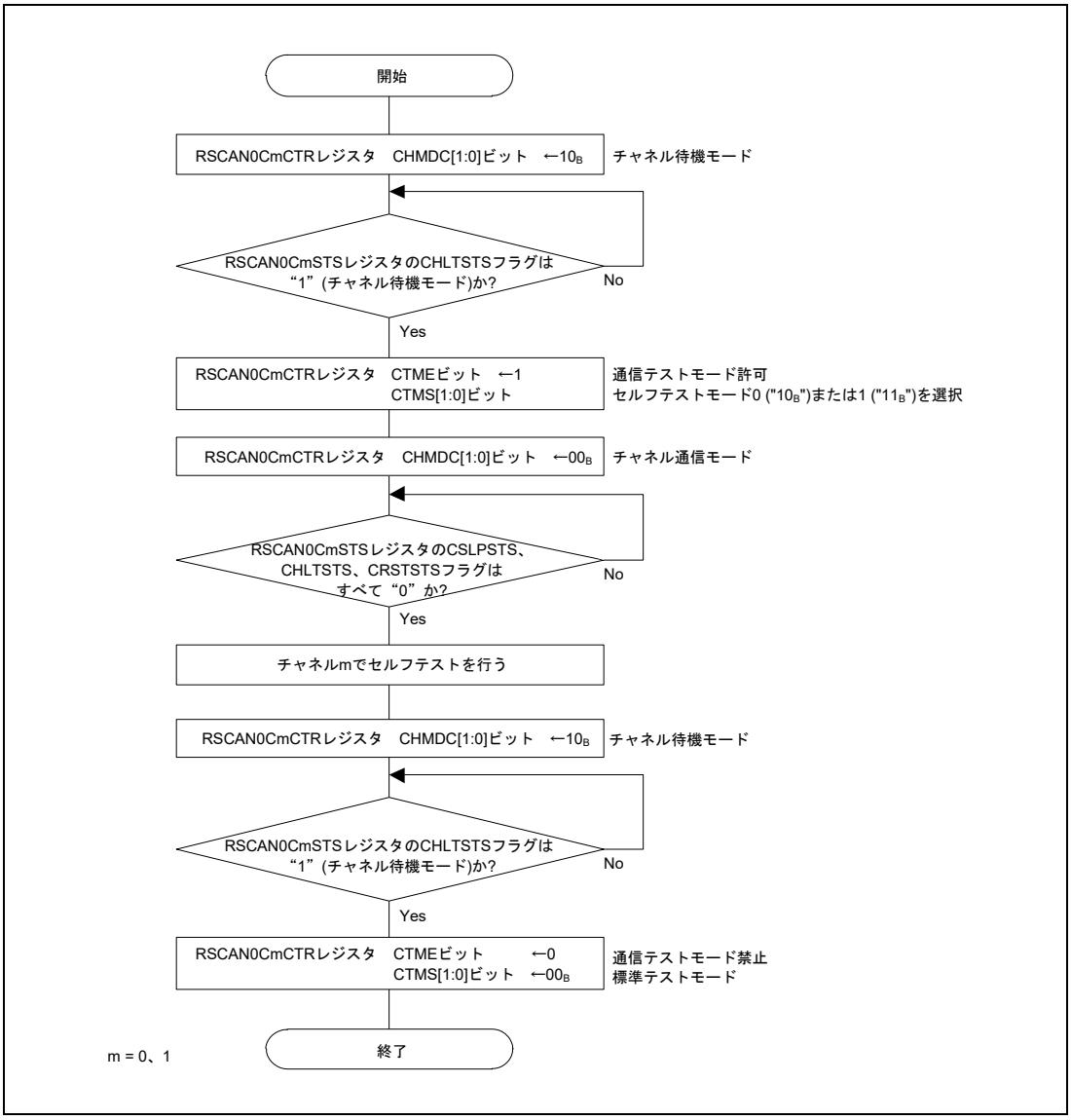


図 21.34　セルフテストモードの設定手順

21.10.4.2 チャネル間通信テストの設定手順

異なるチャネル間で送受信させることにより、通信テストを行うことができます。

図 21.35 にチャネル間通信テストの設定手順を示します。

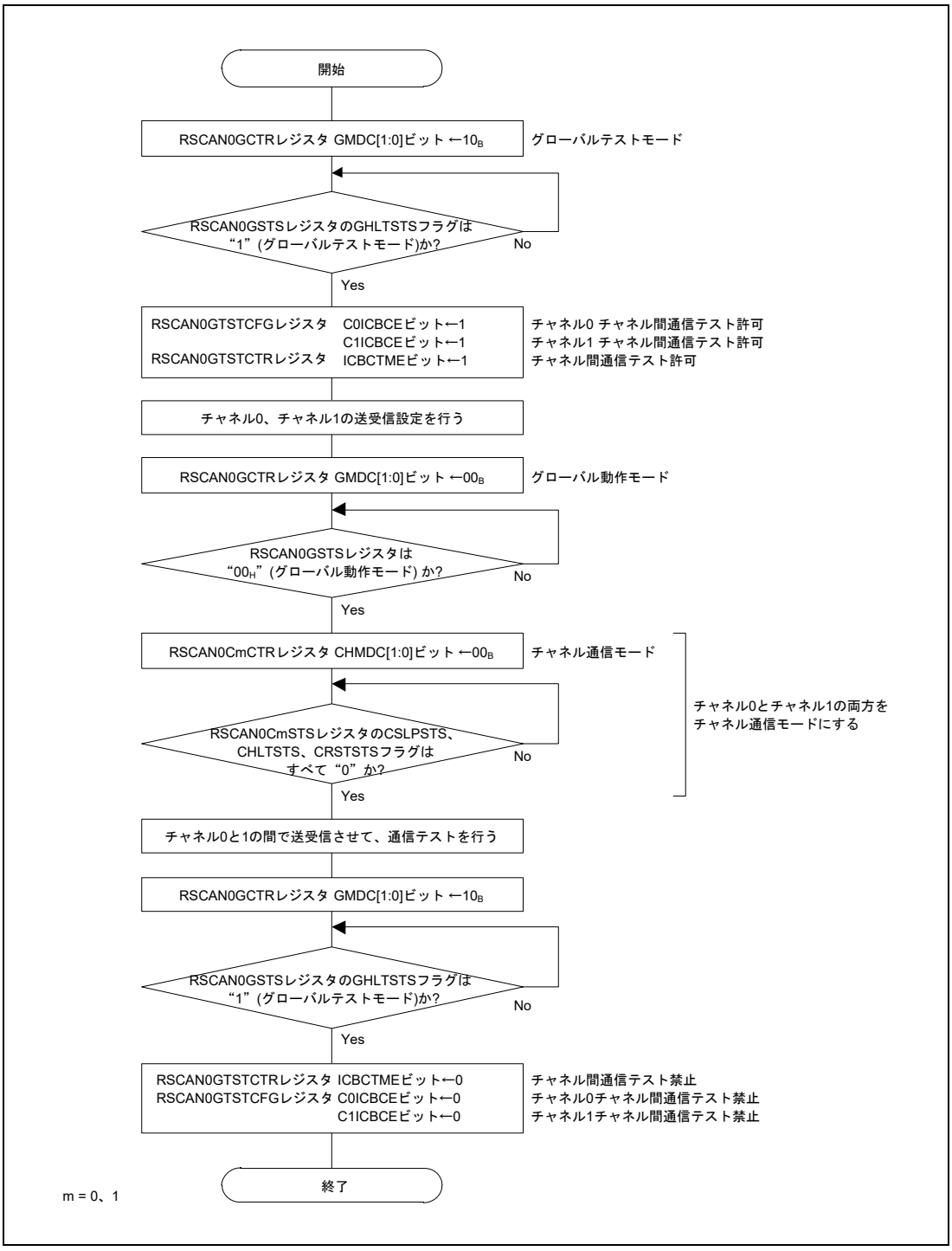


図 21.35　チャネル間通信テストの設定手順（チャネル 0-1 間通信テストの例）

21.11 RS-CAN モジュールの注意事項

- グローバルモードを変更する場合は、RSCAN0GSTS レジスタの GSLPSTS、GHLTSTS、GRSTSTS フラグで遷移を確認してください。チャネルモードを変更する場合は、RSCAN0CmSTS レジスタ（m = 0、1）の CSLPSTS、CHLTSTS、CRSTSTS フラグで遷移を確認してください。
- アクセプタンスフィルタ処理は、小さい番号の受信ルールから順にチェックを開始します。複数の受信ルールに同じ ID、IDE ビット、RTR ビットの値を設定した場合、小さい番号の受信ルールでアクセプタンスフィルタ処理が通過します。その後の DLC フィルタ処理を通過しなかった場合も、アクセプタンスフィルタ処理には戻らず、データ処理は終了し、メッセージはバッファに格納されません。
- 送信バッファを送受信 FIFO バッファにリンクしたり、送信キューに割り当てた場合、対応する送信バッファの制御レジスタ（RSCAN0TMCp レジスタ）は “00_H” にしてください。また、対応する送信バッファのステータスレジスタ（RSCAN0TMSTSp レジスタ）は使用しないでください。その他のステータスレジスタ（RSCAN0TMTRSTS0、RSCAN0TMTARSTS0、RSCAN0TMTCSTS0、RSCAN0TMTASTS0 レジスタ）は、送受信 FIFO にリンクした、または送信キューに割り当てた送信バッファに対応するフラグは変化しません。対応する割り込み許可レジスタ（RSCAN0TMIEC0 レジスタ）の許可ビットは “0”（割り込み禁止）にしてください。
- 送受信 FIFO バッファにリンクされた送信バッファを、送信キューに割り当てないでください。
- 1 つの送信バッファには、1 つの送受信 FIFO バッファしかリンクできません。複数の送受信 FIFO バッファを同一番号の送信バッファにリンクさせないでください。
- タイムスタンプカウンタのクロック源に CANm ビットタイムクロックを選択した場合、対応するチャネルがチャネルリセットモードまたはチャネル待機モードに遷移すると、タイムスタンプカウンタが停止します。
- 受信 FIFO バッファ、送受信 FIFO バッファがフルのときに、新しい受信メッセージを格納しようとした場合、新しいメッセージは破棄されます。送受信 FIFO バッファおよび送信キューに新しい送信メッセージを格納しようとする場合、送受信 FIFO バッファおよび送信キューがフルでないことを確認してください。
- 未使用の受信バッファ（RSCAN0RMIDq、RSCAN0RMPTRq、RSCAN0RMDF0q、RSCAN0RMDF1q レジスタ）、受信 FIFO バッファアクセスレジスタ（RSCAN0RFIDx、RSCAN0RFPTRx、RSCAN0RFDF0x、RSCAN0RFDF1x レジスタ）と送受信 FIFO バッファアクセスレジスタ（RSCAN0CFIDk、RSCAN0CFPTRk、RSCAN0CFDF0k、RSCAN0CFDF1k レジスタ）の値は、一度グローバルリセットモードを抜けグローバル動作モードやグローバルテストモードに遷移すると、不定になります。

22. IEBus コントローラ

本モジュールは、RZ/A1L にのみ搭載しています。

IEBus（Inter Equipment Bus）は、ユニット間のデータ伝送を行うことを目的とした小規模のデジタル・データ伝送システムです。本 LSI で IEBus を実現する場合は、IEBus ドライバ／レシーバを内蔵していないため、これらを外付けする必要があります。

本 LSI が内蔵している IEBus コントローラは、負論理になります。

22.1 IEBB の特徴

チャネル　この製品は次のチャネル数の IEBus コントローラを搭載しています。

表 22-1　IEBus コントローラのチャネル数

IEBus コントローラ	
チャネル数	1
名称	IEBB0

n の意味　この章では、IEBus コントローラの各チャネルを「n」で識別します。たとえば、IEBBn バス・コントロール・レジスタ（IEBBnBCR）（n = 0）のように記述しています。

レジスタ・アドレス　IEBBn のレジスタ・アドレスは、ベース・アドレス <IEBBn_base> からのオフセットで表します。

各 IEBBn のレジスタ・ベース・アドレスを**表 22-2** に示します。

表 22-2　IEBBn のレジスタ・ベース・アドレス

IEBBn	<IEBBn_base>
IEBB0	FCFEF000

クロック供給　IEBBn は、次のクロックが供給されます。

表 22-3　IEBBn のクロック供給

IEBBn	クロック	接続先
IEBB0	P0φ	クロックパルス発振器

割り込みと DMA　次の割り込み要求と DMA 要求を発生させることができます。

表 22-4　IEBBn 割り込みと DMA の要求

割り込み要求信号	機　　能	ダイレクトメモリアクセスコントローラ起動
IEBBTD	データ割り込み要求	○
IEBBTV	ベクタ割り込み要求	○
IEBBTERR	エラー割り込み要求	—
IEBBTSTA	ステータス割り込み要求	—

入出力信号　IEBB0 の入出力信号を次の表に示します。

表 22-5　IEBBn の入出力信号

端子名	機能	入出力
IERxD	IEBB0 受信データ	入力
IETxD	IEBB0 送信データ	出力

22.2 構成

22.2.1 機能概要

機能概要

- IEBus（通信モード 1 ／通信モード 2）プロトコルに準拠したデータ伝送システム
- **2 線式シリアル・バス・インタフェースで、主に車載機器間のデータ転送を目的とした IEBus（Inter Equipment Bus）コントローラ**
- 実効伝送速度：約 18 kbps（通信モード 1）／約 27 kbps（通信モード 2）
- シングル・モード、FIFO モードを選択可能
- 最大転送バイト数：32 バイト／フレーム（通信モード 1）
  128 バイト／フレーム（通信モード 2）
- IEBus を実現する場合は、外付けの IEBus ドライバ／レシーバが必要です。それらは内蔵していません。
- 本 IEBus コントローラは、負論理になります。
- 動作クロック：8 MHz（本モジュールへは P0φ=32MHz を入力してください）
- 割り込み要求信号
  - ・データ割り込み（IEBBTD）
    ：送信データのライト処理用（シングル・モード、FIFO モード）
    受信データのリード処理用 (シングル・モード)
  - ・エラー割り込み（IEBBTERR）
    ：エラー処理用
  - ・ステータス割り込み（IEBBTSTA）
    ：スタート割り込み処理（シングル・モード）
    ステータス送信割り込み（シングル・モード）
    通信終了割り込み（シングル・モード、FIFO モード）
    フレーム終了割り込み（シングル・モード、FIFO モード）
  - ・ベクタ割り込み（IEBBTV）
    ：IEBBTERR または IEBBTSTA と同時に発生（シングル・モード）
    受信データのリード処理用（FIFO モード）
- 端子構成
  - ・IERxD：IEBus 受信データ入力信号
  - ・IETxD：IEBus 送信データ出力信号

22.2.2　ブロック図

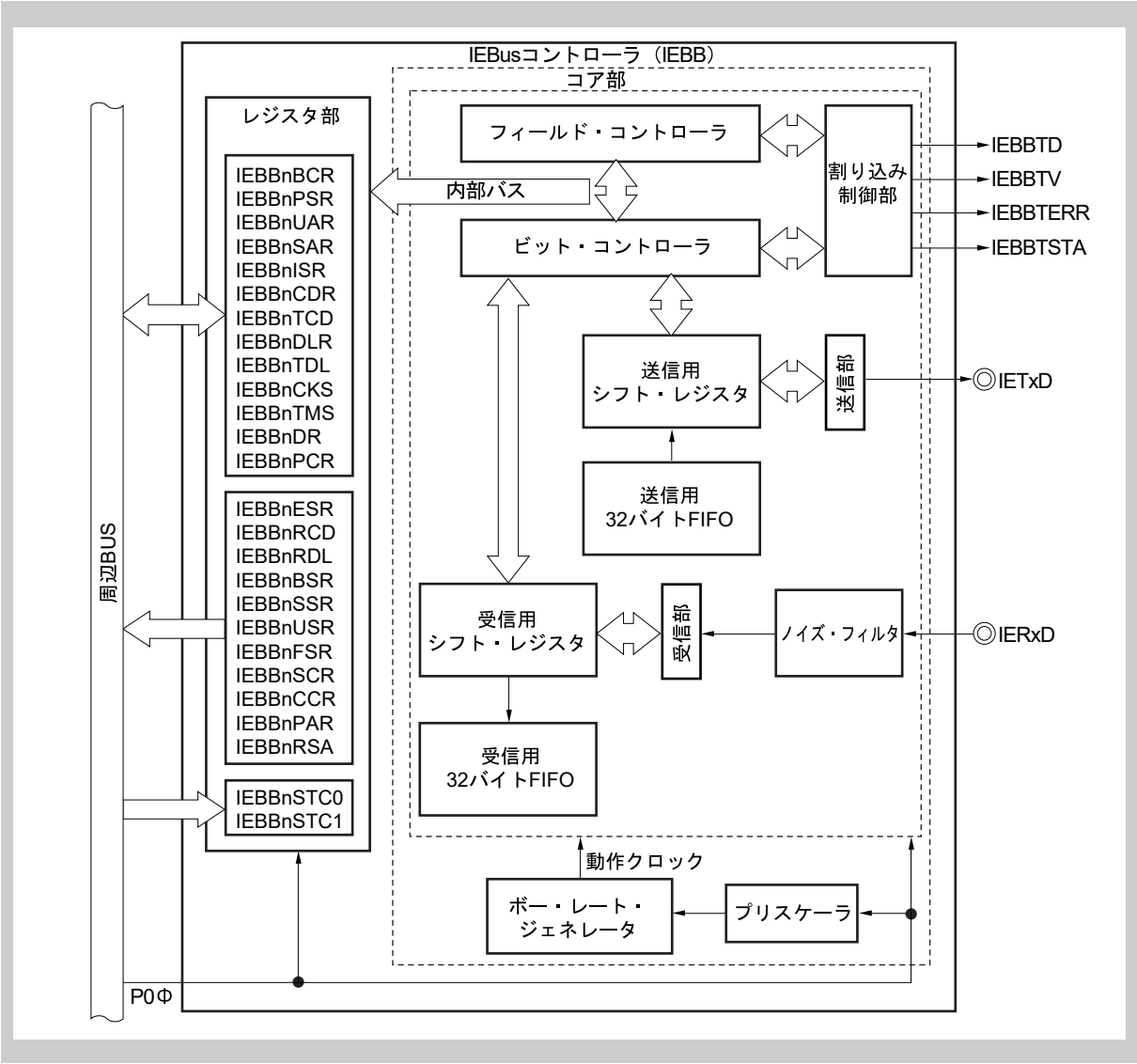


図 22-1　IEBBn のブロック図

22.3 レジスタ

22.3.1 IEBBn レジスタの概要

IEBBn は、次のレジスタで制御します。

表 22-6 IEBBn レジスター一覧

レジスタ名	略号	アドレス
IEBBn **バス・コントロール・レジスタ**	IEBBnBCR	<IEBBn_base> + 0000_H
IEBBn パワー・セーブ・レジスタ	IEBBnPSR	<IEBBn_base> + 0004_H
IEBBn ユニット・アドレス・レジスタ	IEBBnUAR	<IEBBn_base> + 0008_H
IEBBn スレーブ・アドレス・レジスタ	IEBBnSAR	<IEBBn_base> + $000C_H$
IEBBn パートナー・アドレス・レジスタ	IEBBnPAR	<IEBBn_base> + 0010_H
IEBBn 受信スレーブ・アドレス・レジスタ	IEBBnRSA	<IEBBn_base> + 0014_H
IEBBn コントロール・データ・レジスタ	IEBBnCDR	<IEBBn_base> + 0018_H
IEBBn 送信コントロール・データ・レジスタ	IEBBnTCD	<IEBBn_base> + $001C_H$
IEBBn 受信コントロール・データ・レジスタ	IEBBnRCD	<IEBBn_base> + 0020_H
IEBBn 電文長レジスタ	IEBBnDLR	<IEBBn_base> + 0024_H
IEBBn 送信電文長レジスタ	IEBBnTDL	<IEBBn_base> + 0028_H
IEBBn 受信電文長レジスタ	IEBBnRDL	<IEBBn_base> + $002C_H$
IEBBn クロック選択レジスタ	IEBBnCKS	<IEBBn_base> + 0030_H
IEBBn 転送モード設定レジスタ	IEBBnTMS	<IEBBn_base> + 0034_H
IEBBn ポインタ・クリア・レジスタ	IEBBnPCR	<IEBBn_base> + 0038_H
IEBBn バッファ・ステータス・レジスタ	IEBBnBSR	<IEBBn_base> + $003C_H$
IEBBn スレーブ・ステータス・レジスタ	IEBBnSSR	<IEBBn_base> + 0040_H
IEBBn ユニット・ステータス・レジスタ	IEBBnUSR	<IEBBn_base> + 0044_H
IEBBn インタラプト・ステータス・レジスタ	IEBBnISR	<IEBBn_base> + 0048_H
IEBBn エラー・ステータス・レジスタ	IEBBnESR	<IEBBn_base> + $004C_H$
IEBBn フィールド・ステータス・レジスタ	IEBBnFSR	<IEBBn_base> + 0050_H
IEBBn サクセス・カウント・レジスタ	IEBBnSCR	<IEBBn_base> + 0054_H
IEBBn コミュニケーション・カウント・レジスタ	IEBBnCCR	<IEBBn_base> + 0058_H
IEBBn ステータス・クリア・レジスタ 0	IEBBnSTC0	<IEBBn_base> + $005C_H$
IEBBn ステータス・クリア・レジスタ 1	IEBBnSTC1	<IEBBn_base> + 0060_H
IEBBn データ・レジスタ	IEBBnDR	<IEBBn_base> + 0064_H

<IEBBn_base> IEBBn のベース・アドレス <IEBBn_base> は、**表 22-2「IEBBn のレジスタ・ベース・アドレス」**で定義しています。

22.3.2 IEBBn 制御レジスタの詳細

(1) **IEBBn バス・コントロール・レジスタ**（IEBBnBCR）

IEBBnBCR レジスタは、IEBBn の動作を制御するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0000H

初期値　00H。
IEBBnMSRQ, IEBBnALRQ, IEBBnSTXE, IEBBnSRXE ビットは IEBBnPW ビット = 0 の書き込みで同期リセットされます。

注意
1. 動作許可時（IEBBnPW ビット = 1）、IEBBnMSRQ ビット = 1 の状態での IEBBnMSRQ ビット = 1 の書き込みを禁止します。同値書き込みを行う場合には、IEBBnMSRQ ビットには必ず 0 を設定してください。
2. レジスタ・アクセス時には、次のことに注意してください。
   - IEBBnPW ビット = 0 時には、IEBBnMSRQ, IEBBnALRQ, IEBBnSTXE, IEBBnSRXE ビットへのライトはできません。
   - IEBBnMSRQ, IEBBnALRQ, IEBBnSTXE, IEBBnSRXE ビットは、IEBBnPW ビット = 0 の書き込みで同期リセットされるため、IEBBnPW ビット = 0 となる 8 ビットのライトを行っても、IEBBnMSRQ, IEBBnALRQ, IEBBnSTXE, IEBBnSRXE ビットには書き込まれません。IEBBnPW ビット = 1 となる 8 ビットのライトを行うと IEBBnMSRQ, IEBBnALRQ, IEBBnSTXE, IEBBnSRXE ビットには書き込めます。
     例：IEBBnBCR レジスタに 78H をライトし、IEBBnBCR レジスタをリードしても、00H がリードされます。
     IEBBnBCR レジスタに F8H をライトし、IEBBnBCR レジスタをリードすると、F8H がリードできます。

7	6	5	4	3	2	1	0
IEBBn PW	IEBBn MSRQ	IEBBn ALRQ	IEBBn STXE	IEBBn SRXE	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R

表 22-7　IEBBnBCR レジスタの内容

ビット位置	ビット名	意　味
7	IEBBnPW	通信許可フラグ 0：IEBBn ユニットの動作停止 1：IEBBn ユニットの動作許可 注意　IEBBnPW ビットをセット（1）すると、次のレジスタは書き換えできません。したがって、次のレジスタは、必ず IEBBnPW ビットをセットする前に設定しておく必要があります。 ・IEBBnPSR, IEBBnUAR, IEBBnCKS, IEBBnTMS レジスタ
6	IEBBnMSRQ	マスタ・リクエスト・フラグ 0：IEBBn ユニットをマスタとして要求しない 1：IEBBn ユニットをマスタとして要求する
5	IEBBnALRQ	同報リクエスト・フラグ 0：個別通信を要求する 1：同報通信を要求する
4	IEBBnSTXE	スレーブ送信許可フラグ 0：スレーブ送信を禁止 1：スレーブ送信を許可
3	IEBBnSRXE	スレーブ受信許可フラグ 0：スレーブ受信を禁止 1：スレーブ受信を許可

(a)　通信許可フラグ（IEBBnPW）… ビット 7

＜セット／クリア条件＞

セット：ソフトウエア操作で行います。
（IEBBnPW ビットに 1 をライトする）

クリア：ソフトウエア操作で行います。
（IEBBnPW ビットに 0 をライトする）

IEBBnPW ビットをセット（1）するタイミングによって、IEBBn の通信参加方法が異なります。

表 22-8　IEBBnPW ビットのセット・タイミングと通信参加方法

IEBBnPW ビットの セット（1）タイミング	IEBBn の通信参加方法
IEBus 上で通信が行われていないとき	次回フレームから通信に参加、または通信を開始します。
IEBus 上で通信が行われているときで、他のバス・マスタによるスタート・ビット通信中	スタート・ビットを検出した場合は、そのフレームから通信に参加します。スタート・ビットを検出しなかった場合には、次回のフレームから通信に参加します。
IEBus 上で通信が行われているときで、他のバス・マスタによるスタート・ビットよりあとの通信中	次回のフレームから通信に参加します。

IEBBnPW ビットをクリア（0）すると、通信途中であっても通信はただちに中止され、内部フラグやレジスタは一部を除きリセットされます。IEBBnPW ビット でリセットされないレジスタは次のとおりです。

IEBBnPW ビット＝0 のときに別ユニットが通信を開始しても IEBBn は反応しません。

表 22-9　IEBBnPW ビットでリセットされないレジスタ

IEBBnPW ビットでリセットされないレジスタ	備　　考
IEBBnPSR	リセットされません。
IEBBnUAR	リセットされません。
IEBBnSAR	リセットされません。
IEBBnCDR	CPU からの書き込みデータはリセットされませんが、通信での受信データはリセットされます。
IEBBnTCD	リセットされません。
IEBBnDLR	CPU からの書き込みデータはリセットされませんが、通信での受信データはリセットされます。
IEBBnTDL	リセットされません。
IEBBnCKS	リセットされません。
IEBBnTMS	リセットされません。
IEBBnPCR	リセットされません。
IEBBnSTC0	リセットされません。
IEBBnSTC1	リセットされません。
IEBBnDR	CPU からの書き込みデータはリセットされませんが、通信での受信データはリセットされます。

(b) マスタ・リクエスト・フラグ（IEBBnMSRQ）… ビット 6

＜セット／クリア条件＞

セット：ソフトウエア操作で行います。

クリア：

・シングル・モード：

－マスタ通信を開始し、そのスタート割り込み発生時にハードウエアでクリア（0）。

－通信エラー割り込み発生時（IEBBnISR.IEBBnIEBE ビット = 1）にハードウエアでクリア（0）。

－競合負け発生時にハードウエアでクリア（0）。

－ IEBBnPW ビットのクリア時。

・FIFO モード：

－マスタ通信を開始し、アービトレーション負けすることなく通信を行い、自局が出力したスレーブ・アドレス・フィールドのパリティ・ビット送信後にハードウエアでクリア（0）。

－通信エラー割り込み発生時（IEBBnISR.IEBBnIEBE ビット = 1）にハードウエアでクリア（0）。

－ IEBBnTMS.IEBBnALC2-IEBBnALC0 ビット に設定した回数分、連続して競合負けしたときにハードウエアでクリア（0）。

－ IEBBnPW ビット のクリア時。

IEBBnMSRQ ビットをセット（1）すると、IEBus 上でマスタとして通信を開始します。

ただし、IEBus 上で通信が行われている場合（スタート・ビット通信中でスタート・ビットを検出できなかった場合、またはスタート・ビットよりあとの通信中）は、そのフレームの終了を待ち（マスタ要求保留）、そのフレーム終了後にスタート・ビットを出力し、マスタとして通信を開始します。

注意 1. IEBBnMSRQ ビット・セットを行う場合には、必ず IEBBnSTXE ビット = 0 にしてから設定してください。IEBBnSTXE ビット = 1 で設定した場合には、アービトレーション負けしてスレーブに選択されたとき、マスタとして準備した送信データをそのままスレーブ送信のデータとして使用してしまうことがあります。

2. シングル・モードおよび FIFO モード時の再マスタ要求の対応は次のようになります。
   - シングル・モード：競合負けした場合、再マスタ要求はソフトウエアで行ってください。
   - FIFO モード　：競合負けした場合、再マスタ要求はハードウエアで行ってください。
     ただし、IEBBnTMS.IEBBnALC2-IEBBnALC0 ビットで設定した回数分、連続して競合負けした場合にはソフトウエアで行ってください。

(c) 同報リクエスト・フラグ（IEBBnALRQ）… ビット 5

＜セット／クリア条件＞

セット：ソフトウエア操作で行います。

クリア：ソフトウエア操作で行います。

注意 1. IEBBnMSRQ ビットはハードウエアでクリア（0）されますが、IEBBnALRQ ビットはハードウエアでクリア（0）されません。そのため、次回マスタ要求時に個別通信を要求する場合には、IEBBnALRQ ビットをクリア（0）してください。

2. IEBBnALRQ ビット値を変更する場合には、必ず IEBBnMSRQ ビットをセット（1）する前に行ってください。

(d) スレーブ送信許可フラグ（IEBBnSTXE）… ビット 4

＜セット／クリア条件＞

セット：ソフトウエア操作で行います。

クリア：ソフトウエア操作で行います。

スレーブ送信許可フラグの値によりスレーブ送信を制御しますが、IEBBn がスレーブ送信を行う（コントロール・フィールドで $\overline{\text{ACK}}$ 信号の返信を行う）、行わないは他の条件との関係で決まります。

次にコントロール・フィールドの $\overline{\text{ACK}}$ 信号返信条件を示します。

表 22-10 コントロール・フィールドの $\overline{\text{ACK}}$ 信号返信条件

（受信したコントロール・データが 0H, 3H, 4H, 5H, 6H, 7H の場合）

通信対象（IEBBnUSR.IEBBnSRQF ビット）スレーブ指定 = 1 指定なし = 0	ロック状態（IEBBnUSR.IEBBnLCKF ビット）ロック = 1 非ロック = 0	マスタ・ユニット判定（IEBBnPAR レジスタと一致）ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可（IEBBnBCR.IEBBnSTXE ビット）	スレーブ受信許可（IEBBnBCR.IEBBnSRXE ビット）	受信したコントロール・データ					
					0H	3H	4H	5H	6H	7H
1	0	don't care	0	don't care	○	×	×	×	○	×
			1		○	○	×	×	○	○
	1	0	don't care		○	×	○	○	×	×
		1	0		○	×	○	○	○	×
			1		○	○	○	○	○	○
上記以外					×					

備考 ○：スレーブ送信を行う（$\overline{\text{ACK}}$ 信号を返信する）

×：スレーブ送信を行わない（NACK 信号を返信する）

受信したコントロール・データが AH, BH, EH, FH のときには、スレーブ送信は行いません。

表 22-11 コントロール・フィールドの $\overline{\text{ACK}}$ 信号返信条件

（受信したコントロール・データが AH, BH, EH, FH の場合）

通信対象（IEBBnUSR.IEBBnSRQF ビット）スレーブ指定 = 1 指定なし = 0	ロック状態（IEBBnUSR.IEBBnLCKF ビット）ロック = 1 非ロック = 0	マスタ・ユニット判定（IEBBnPAR レジスタと一致）ロック要求ユニット = 1 それ以外 = 0	スレーブ送信許可（IEBBnBCR.IEBBnSTXE ビット）	スレーブ受信許可（IEBBnBCR.IEBBnSRXE ビット）	受信したコントロール・データ			
					AH	BH	EH	FH
1	0	don't care	don't care	1	○			
	1	1						
上記以外					×			

備考　○：$\overline{\text{ACK}}$ 信号を返信する
×：NACK 信号を返信する

注意　1. IEBBnSTXE ビットは、コントロール・フィールドのパリティ・ビット受信終了前までに設定してください。

2. マスタ要求時には、IEBBnMSRQ ビットをセット（1）する前に IEBBnSTXE ビットをクリア（0）してください。これはマスタ動作後に競合負け、かつマスタよりスレーブ送信を要求された場合、マスタ送信しようとした IEBBnDR レジスタのデータを送信するのを避けるためです。

(e)　スレーブ受信許可フラグ（IEBBnSRXE）… ビット 3

＜セット／クリア条件＞

セット：ソフトウエア操作で行います。

クリア：ソフトウエア操作で行います。

IEBBnSRXE ビット = 1 の場合、自局宛通信のコントロール・フィールドでの受信コントロール・データが AH, BH, EH, FH のとき（ロック状態に設定されているときだけは、その通信のマスタ・ユニット・アドレスがロックを要求したアドレスと一致する場合）、コントロール・フィールドで ACK 信号 を返信し、スレーブ受信動作を行います。

IEBBnSRXE ビット = 0 の場合、自局宛通信のコントロール・フィールドでの受信コントロール・データが AH, BH, EH, FH のとき、コントロール・フィールドで NACK 信号を返信し、スレーブ受信動作を行いません。

注意　1. IEBBnSRXE ビットは、コントロール・フィールドのパリティ・ビット受信終了前までに設定してください。

2. IEBBnSRXE ビットは、個別通信／同報通信の両方のスレーブ受信の許可／禁止を設定できます。個別通信時は、IEBBnSRXE ビット = 0（スレーブ受信禁止）に設定することで、コントロール・フィールドで NACK 信号を返信し通信を終了できますが、同報通信時は IEBBnSRXE ビット = 0（スレーブ受信禁止）に設定しても、ACK/NACK 信号送信を行わないため通信を終了できませんが、IEBBn はその同報通信には反応しないため、データ割り込み等は発生しません。

(2) IEBBn パワー・セーブ・レジスタ（IEBBnPSR）

IEBBnPSR レジスタは、IEBBn の動作クロックの動作／停止、通信モードを制御するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0004H

初期値　00H

注意
1. IEBBnPSR レジスタの設定は、IEBBnBCR.IEBBnPW ビット = 0 のときにのみ可能です。IEBBnBCR.IEBBnPW ビット = 1 のときには設定しないでください。IEBBnPW ビット = 1 のときに設定を行っても、その値は無視されます。
2. IEBBn を使用する場合には、まず IEBBnCLKE ビットをセット（1）し、動作クロックを動作許可にしてください。
なお、バス動作を開始するには次の設定をしてください。
【通信開始時】
① IEBBnCKS レジスタを設定します。
② IEBBnCLKE ビットをセット（1）します (動作クロックが動作)。
IEBBnCMD ビット = 0/1 を設定し、通信モードを設定してください。
③通信の形態に応じて IEBBnUAR, IEBBnSAR, IEBn0TCD, IEBBnTDL, IEBBnDR レジスタなどを設定します。
④ IEBBnBCR.IEBBnPW ビットをセット（1）し通信を開始します。

【通信停止時】
① IEBBnPW ビット = 0 にします。
② IEBBnCLKE ビットをクリア（0）します（動作クロックが停止）。

7	6	5	4	3	2	1	0
IEBBn CLKE	IEBBn CMD	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R

表 22-12 IEBBnPSR レジスタの内容

ビット位置	ビット名	意　味
7	IEBBn CLKE	動作クロックの動作許可フラグ 0：動作クロックを停止（IEBBn の消費電力を削減可能） プリスケーラ、ボー・レート・ジェネレータを初期化する 1：動作クロックを許可 IEBBnCLKE ビットがセット（1）されてから 1 クロック後に動作クロックが動作します（図 22-2「動作クロックの開始／停止」参照）。 また、IEBBnCLKE ビットがクリア（0）された 1 クロック後から動作クロックが停止します（図 22-2「動作クロックの開始／停止」参照）。
6	IEBBnCMD	IEBBn 通信モード設定フラグ 0：通信モード 1 を設定 1：通信モード 2 を設定

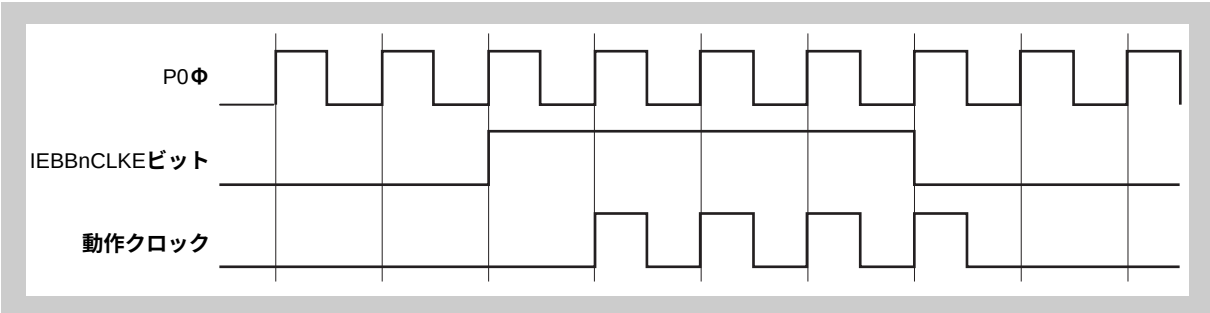


図 22-2　動作クロックの開始／停止

(3) IEBBn ユニット・アドレス・レジスタ（IEBBnUAR）

IEBBnUAR レジスタは、IEBus ユニットの自局アドレスを設定するレジスタです。通信を開始する前に、必ず IEBBnUAR レジスタを設定してください。

ビット 11-0 に、ユニット・アドレス（12 ビット）を設定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0008H

初期値　0000H

注意　1. IEBBnUAR レジスタの設定は、IEBBnBCR.IEBBnPW ビット = 0 のときにのみ可能です。IEBBnPW ビット = 1 のときには設定しないでください。IEBBnPW ビット = 1 のときに設定を行っても、その値は無視されます。

2. 8 ビットでのライト・アクセスは禁止です。

15	14	13	12	11	10	9	8
0	0	0	0				
R	R	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(4) IEBBn スレーブ・アドレス・レジスタ（IEBBnSAR）

IEBBnSAR レジスタは、マスタ通信時に通信相手となるスレーブ・ユニットのアドレスを設定するレジスタです。

マスタ要求時にスレーブ・アドレス・フィールドのデータとして送信されます。

ビット 11-0 に、スレーブ・アドレス（12 ビット）を設定します。

アクセス　16 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 000CH

初期値　0000H

注意　1. 通信動作中（IEBBnBCR.IEBBnPW ビット = 1）に IEBBnSAR レジスタを書き換えると、通信が正しく行えない場合があります。そのため、マスタ要求してから、通信終了／フレーム終了タイミングまでの書き換えを禁止します。
なお、書き換えを許可するタイミングは次のとおりです。
- IEBBnPW ビット = 0 のとき
- IEBBnPW ビット = 1 としてから最初のマスタ要求（IEBBnMSRQ ビット = 1）までの間
- IEBBnPW ビット = 1 かつ IEBBnMSRQ ビット = 0 のとき、通信終了／フレーム終了タイミングから、次のマスタ要求（IEBBnMSRQ ビット = 1）までの間

2. 8 ビットでのライト・アクセスは禁止です。

15	14	13	12	11	10	9	8
0	0	0	0				
R	R	R	R	R/W	R/W	R/W	R/W
7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(5) IEBBn パートナー・アドレス・レジスタ（IEBBnPAR）

IEBBnPAR レジスタは、マスタ・アドレス・フィールドでの受信マスタ・アドレスを格納するレジスタです。

自局が動作許可状態（IEBBnBCR.IEBBnPW ビット = 1）になっているときに、自局がマスタ動作中かスレーブ動作中かにかかわらず、マスタ・アドレス・フィールドで受信したマスタ・アドレスが格納されます。

シングル・モード時の格納：マスタ・アドレス・フィールドのパリティ期間終了時に、パリティが正常値で自局が非ロック状態であるときのみ行われます。

FIFO モード時の格納：前通信の受信データの読み出しが終了（IEBBnBSR.IEBBnRFLF ビット = 0 かつ IEBBnBSR.IEBBnSRFP4-IEBBnSRFP0 ビット = 00000）していれば、マスタ・アドレス・フールドのパリティ期間終了時に、パリティが正常値で自局が非ロック状態であるときにのみ行われます。受信したデータの読み出しが終了していなければ、終了するまでは IEBBnPAR レジスタは更新されません。

自局ロック時は、ロックを要求したユニット（ロック・マスタ）のアドレスを保持するため、IEBBnPAR レジスタは更新されません。

シングル・モード時のロック・アドレスの送信要求受信
：マスタからステータス送信要求としてロック・アドレスの送信要求を受けたときに、受信したコントロール・データがロック・アドレス（上位 4 ビット）の読み込み要求（5H）を受けた場合、ソフトウエアで IEBBnPAR レジスタの値を読み出したあとに、IEBBnPAR レジスタのビット 15-8 のデータを IEBBnDR レジスタに書き込んでください。また、ロック・アドレス（下位 8 ビット）の読み込み要求（4H）を受けた場合、ソフトウエアで IEBBnPAR レジスタの値を読み出したあとに、IEBBnPAR レジスタのビット 7-0 のデータ を IEBBnDR レジスタに書き込んでください。

FIFO モード時のロック・アドレスの送信要求受信
：マスタからステータス送信要求としてロック・アドレスの送信要求を受けたときは、ハードウエアで IEBBnPAR レジスタのデータを自動的にデータ・フィールドで送信します。

ビット 11-0 に、相手先アドレス（12 ビット）を設定します。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0010H

初期値　0000H。
IEBBnBCR.IEBBnPW ビットが書き換わったときに同期リセットされます。

15	14	13	12	11	10	9	8
0	0	0	0				
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R

(6) IEBBn 受信スレーブ・アドレス・レジスタ（IEBBnRSA）

IEBBnRSA レジスタは、スレーブ・アドレス・フィールドで受信したスレーブ・アドレスの値が格納されるレジスタです。

自局が動作許可状態（IEBBnBCR.IEBBnPW ビット = 1）になっているときに、自局がマスタ動作中またはスレーブ動作中にかかわらず、スレーブ・アドレス・フィールドで受信したスレーブ・アドレスが格納されます。

シングル・モード時の格納：スレーブ・アドレス・フィールドのパリティ期間終了時に、パリティが正常値のときに行われます。

FIFO モード時の格納：前通信の受信データの読み出しが終了（IEBBnBSR.IEBBnRFLF ビット = 0 かつ IEBBnBSR.IEBBnSRFP4-IEBBnSRFP0 ビット = 00000）していれば、スレーブ・アドレス・フィールドのパリティ期間終了時に、パリティが正常値であるときに行われます。受信したデータの読み出しが終了するまでは、IEBBnRSA レジスタは更新されません。

ビット 11-0 に、スレーブ・アドレス（12 ビット）を設定します。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0014H

初期値　0000H
IEBBnBCR.IEBBnPW ビットが書き換わったときに同期リセットされます。

15	14	13	12	11	10	9	8
0	0	0	0				
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R

(7) IEBBn コントロール・データ・レジスタ（IEBBnCDR）

IEBBnCDR レジスタは、コントロール・フィールドで送信するコントロール・データを設定するレジスタです。

IEBBnCDR レジスタにライトした場合は、IEBBnTCD レジスタに書き込まれます。

IEBBnCDR レジスタをリードした場合は、IEBBnRCD レジスタの値が読み出せます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0018H

初期値　00H。
リード値は、IEBBnBCR.IEBBnPW ビットの書き換えで同期リセットされます。

注意　マスタ要求時には、IEBBnCDR レジスタの設定は、必ず通信開始前（IEBBnBCR.IEBBnMSRQ ビット = 0）に行ってください。

備考　IEBBnCDR レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータをそのまま読み出せる構成にはなっていません。読み出せるデータは、IEBus 通信で受信したデータとなります。

7	6	5	4	3	2	1	0
0	0	0	0	IEBBn SLCD3	IEBBn SLCD2	IEBBn SLCD1	IEBBn SLCD0
R	R	R	R	R/W	R/W	R/W	R/W

(8) IEBBn 送信コントロール・データ・レジスタ（IEBBnTCD）

IEBBnTCD レジスタは、コントロール・フィールドで送信するコントロール・データを設定するレジスタです。

IEBBnTCD レジスタ へのライト値の下位 4 ビットの値は、マスタ送信時にコントロール・フィールドで、コントロール・データとして送信されます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 001CH

初期値　00H

注意　1. マスタ要求時には、IEBBnTCD レジスタの設定は、必ず通信開始前（IEBBnBCR.IEBBnMSRQ ビット = 0 ）に行ってください。

2. 未定義の値は、設定しないでください。

3. 同報通信時には、スレーブ送信のコントロール・データの設定は禁止です。

7	6	5	4	3	2	1	0
0	0	0	0	IEBBn SLTD3	IEBBn SLTD2	IEBBn SLTD1	IEBBn SLTD0
R	R	R	R	R/W	R/W	R/W	R/W

表 22-13 IEBBnTCD レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>3-0</td><td>IEBBnSLTD [3-0]</td><td>コントロール・フィールドで送信するコントロール・データを指定します。
<table>
<tr><th>IEBBn SLTD3</th><th>IEBBn SLTD2</th><th>IEBBn SLTD1</th><th>IEBBn SLTD0</th><th>機　能</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>スレーブ・ステータスの読み込み</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>未定義</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>未定義</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>データの読み込みとロック</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>ロック・アドレスの読み込み（下位 8 ビット）</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>ロック・アドレスの読み込み（上位 4 ビット）</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>スレーブ・ステータスの読み込みとロック解除</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>データ読み込み</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>未定義</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>未定義</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>コマンド書き込みとロック</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>データ書き込みとロック</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>未定義</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>未定義</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>コマンド書き込み</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>データ書き込み</td></tr>
</table>
</td></tr>
</table>

(9) IEBBn 受信コントロール・データ・レジスタ（IEBBnRCD）

IEBBnRCD レジスタは、コントロール・フィールドで受信したコントロール・データを格納するレジスタです。

IEBBnRCD レジスタのリード値は、下位 4 ビットにコントロール・フィールドで受信したデータが読み出されます。IEBBnRCD レジスタへの格納は、コントロール・フィールドのパリティ期間終了時に、パリティが正常値のときに行われます。

シングル・モードの格納：ステータス送信要求を受けると、IEBBnRCD レジスタのリード値の下位 4 ビットの値により、各処理（IEBBnSSR レジスタまたは IEBBnPAR レジスタ の送信データへの設定）をユーザが行います。

FIFO モードの格納：ステータス送信要求を受けると、ステータス送信処理（IEBBnSSR レジスタまたは IEBBnPAR レジスタ の送信データへの設定）をハードウエアで自動的に行います。

受信したデータが、「コマンド」、「データ」のいずれかであるかを判断する必要があるため、通信終了後に必ずこのレジスタ値を読み出してください。

FIFO モード時、格納は前通信の受信データの読み出しが終了（IEBBnBSR.IEBBnRFLF ビット = 0 かつ IEBBnBSR.IEBBnSRFP4-SRFP0 ビット = 00000）していれば、コントロール・データ・フィールドのパリティ期間終了時に、パリティが正常値であるときに行われます。受信したデータの読み出しが終了するまでは、IEBBnRCD レジスタの更新はされません。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0020H

初期値　00H。
IEBBnBCR.IEBBnPW ビットが書き換わったときに同期リセットされます。

7	6	5	4	3	2	1	0
0	0	0	0	IEBBn SLRD3	IEBBn SLRD2	IEBBn SLRD1	IEBBn SLRD0
R	R	R	R	R	R	R	R

表 22-14 IEBBnRCD レジスタの内容

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>3-0</td><td>IEBBn
SLRD
[3-0]</td><td>コントロール・フィールドで受信するコントロール・データを指定します。
<table>
<tr><th>IEBBn
SLRD3</th><th>IEBBn
SLRD2</th><th>IEBBn
SLRD1</th><th>IEBBn
SLRD0</th><th>機　能</th></tr>
<tr><td>0</td><td>0</td><td>0</td><td>0</td><td>スレーブ・ステータスの読み込み</td></tr>
<tr><td>0</td><td>0</td><td>0</td><td>1</td><td>未定義</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>0</td><td>未定義</td></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td><td>データの読み込みとロック</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>0</td><td>ロック・アドレスの読み込み（下位 8 ビット）</td></tr>
<tr><td>0</td><td>1</td><td>0</td><td>1</td><td>ロック・アドレスの読み込み（上位 4 ビット）</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>0</td><td>スレーブ・ステータスの読み込みとロック解除</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>1</td><td>データ読み込み</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>0</td><td>未定義</td></tr>
<tr><td>1</td><td>0</td><td>0</td><td>1</td><td>未定義</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>0</td><td>コマンド書き込みとロック</td></tr>
<tr><td>1</td><td>0</td><td>1</td><td>1</td><td>データ書き込みとロック</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>0</td><td>未定義</td></tr>
<tr><td>1</td><td>1</td><td>0</td><td>1</td><td>未定義</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>0</td><td>コマンド書き込み</td></tr>
<tr><td>1</td><td>1</td><td>1</td><td>1</td><td>データ書き込み</td></tr>
</table>
</td></tr>
</table>

(10) IEBBn 電文長レジスタ（IEBBnDLR）

IEBBnDLR レジスタは、電文長フィールドで送信する電文長データを設定するレジスタです。

IEBBnDLR レジスタにライトした場合は、IEBBnTDL レジスタが書き込まれます。

IEBBnDLR レジスタをリードした場合は、IEBBnRDL レジスタの値が読み出せます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0024H

初期値　01H。
リード値は、IEBBnBCR.IEBBnPW ビットの書き換えで同期リセットされます。

注意　マスタ要求時には、IEBBnDLR レジスタの設定は、必ず通信開始前（IEBBnBCR.IEBBnMSRQ ビット = 0 ）に行ってください。

備考　IEBBnDLR レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータをそのまま読み出せる構成にはなっていません。読み出せるデータは、IEBus 通信で受信したデータとなります。

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(11) IEBBn 送信電文長レジスタ（IEBBnTDL）

IEBBnTDL レジスタは、電文長フィールドで送信する電文長データを設定するレジスタです。

IEBBnTDL レジスタ へのライト値は、自局が送信ユニットである場合（マスタ送信、スレーブ送信）に、電文長フィールドで電文長データとして送信されます。

ただし、ステータス送信要求を受けた場合に限り、IEBBnTDL レジスタ の設定値とは無関係に 01H が電文長データとして送信されます。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0028H

初期値　01H

注意
1. IEBBnTDL レジスタの設定は、必ず通信開始前（IEBBnBCR.IEBBnMSRQ ビット = 0 ）に行ってください。
2. 通信モードにより、1 フレーム当たりの最大転送バイト数は決められています。たとえば、通信モード 1 で 48 バイトの送信を行う場合は、複数のフレームに渡って通信を行ってください。その場合、2 回目の通信を行うときは、1 回目の通信で送信したデータ・バイト数を IEBBnSCR レジスタで確認し、送信したいバイト数から成功したバイト数を引いた値を IEBBnTDL レジスタ に設定してください。同時に IEBBnDR レジスタにも次のデータを書き込んだうえで、マスタ要求を発行してください。

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-15 IEBBnTDL レジスタの内容

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1 バイト
0	0	0	0	0	0	1	0	02H	2 バイト
:	:	:	:	:	:	:	:	:	:
0	0	0	1	0	1	0	0	20H	32 バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255 バイト
0	0	0	0	0	0	0	0	00H	256 バイト

(12) IEBBn 受信電文長レジスタ（IEBBnRDL）

IEBBnRDL レジスタは、電文長フィールドで受信した電文長データを設定するレジスタです。

IEBBnRDL レジスタのリード値は、電文長フィールドで受信したデータが読み出されます。

シングルモード時の格納：電文長フィールドのパリティ期間終了時に、パリティが正常値のときに行われます。

FIFO モード時の格納：前通信の受信データの読み出しが終了（IEBBnBSR.IEBBnRFLF ビット = 0 かつ IEBBnBSR.IEBBnSRFP4-SRFP0 ビット = 00000）していれば、電文長フィールドのパリティ期間終了時に、パリティが正常値であるときに行われます。受信したデータの読み出しを終了するまでは、IEBBnRDL レジスタの更新を行いません。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 002CH

初期値　01H。
IEBBnBCR.IEBBnPW ビットが書き変わったときに同期リセットされます。

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R

表 22-16 IEBBnRDL レジスタの内容

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1 バイト
0	0	0	0	0	0	1	0	02H	2 バイト
:	:	:	:	:	:	:	:	:	:
0	0	0	1	0	1	0	0	20H	32 バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255 バイト
0	0	0	0	0	0	0	0	00H	256 バイト

(13) IEBBn クロック選択レジスタ（IEBBnCKS）

IEBBnCKS レジスタは、IEBus コントローラのクロック選択を制御するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0030H

初期値　17H

注意　IEBBnCKS レジスタの設定は、IEBBnBCR.IEBBnPW ビット = 0、IEBBnPSR.IEBBnCLKE ビット = 0 のときにのみ可能です。IEBBnPW ビット = 1 のときには設定しないでください。IEBBnPW ビット = 1 のときに設定を行っても、その値は無視されます。

7	6	5	4	3	2	1	0
0	0	0	IEBBn PRS	0	IEBBn BRS2	IEBBn BRS1	IEBBn BRS0
R	R	R	R/W	R	R/W	R/W	R/W

表 22-17 IEBBnCKS レジスタの内容

ビット位置	ビット名	意　味
4	IEBBnPRS	プリスケーラ出力（PRSOUT）を指定します。 0：Pφ 1：Pφ/2 注意　プリスケーラが初期化される条件を次に示します。 ・IEBBnPRS ビットを書き換える ・IEBBnBCR.IEBBnPW ビット = 0 かつ IEBBnPSR.IEBBnCLKE ビット = 1
2-0	IEBBnBRS [2-0]	動作クロック出力（MCK）を指定します。 IEBBnBRS2 / IEBBnBRS1 / IEBBnBRS0 / 動作クロック出力（MCK） 0 / 0 / 0 / PRSOUT/1 0 / 0 / 1 / PRSOUT/1 0 / 1 / 0 / PRSOUT/2 0 / 1 / 1 / PRSOUT/3 1 / 0 / 0 / PRSOUT/4 1 / 0 / 1 / PRSOUT/5 1 / 1 / 0 / PRSOUT/6 1 / 1 / 1 / PRSOUT/7 注意　ボー・レート・ジェネレータが初期化される条件を次に示します。 ・IEBBnBRS2-IEBBnBRS0 ビットを書き換える ・IEBBnBCR.IEBBnPW ビット = 0 かつ IEBBnPSR.IEBBnCLKE ビット = 1

表 22-18 入力クロックの設定例

P0φ	IEBBnPRS	IEBBnBRS2	IEBBnBRS1	IEBBnBRS0	設定値
32 MHz	0	1	0	0	04H

注意　IEBus コントローラの動作クロックは 8 MHz で動作するように設計しています。

(14) IEBBn 転送モード設定レジスタ（IEBBnTMS）

IEBBnTMS レジスタは、IEBus コントローラの通信動作を制御するレジスタです。

アクセス　8 ビット単位でリード／ライト可能です。

アドレス　<IEBBn_base> ＋ 0034H

初期値　01H

注意　IEBBnTMS レジスタの設定は、IEBBnBCR.IEBBnPW ビット = 0 のときにのみ可能です。IEBBnPW ビット = 1 のときには設定しないでください。IEBBnPW ビット = 1 のときに設定を行っても、その値は無視されます。

7	6	5	4	3	2	1	0
IEBBn FMDE	IEBBn SLRI1	IEBBn SLRI0	IEBBn SLTI1	IEBBn SLTI0	IEBBn ALC2	IEBBn ALC1	IEBBn ALC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 22-19 IEBBnTMS レジスタの内容 (1 / 2)

ビット位置	ビット名	意　味
7	IEBBnFMDE	FIFO モードの動作許可／動作禁止を指定します。 0 : FIFO モードでの動作を禁止（シングル・モード） 1 : FIFO モードでの動作を許可
6, 5	IEBBnSLRI [1, 0]	FIFO モード受信時の IEBBTV の発生タイミングを指定します。 **IEBBnSLRI1 / IEBBnSLRI0 / IEBBTV 発生タイミング** 0 / 0 / 受信用 FIFO の未読み出しの受信データが 32 バイトになったとき 0 / 1 / 受信用 FIFO の未読み出しの受信データが 24 バイトになったとき 1 / 0 / 受信用 FIFO の未読み出しの受信データが 16 バイトになったとき 1 / 1 / 受信用 FIFO の未読み出しの受信データが 8 バイトになったとき
4, 3	IEBBnSLTI [1, 0]	FIFO モード送信時の IEBBTD の発生タイミングを指定します。 **IEBBnSLTI1 / IEBBnSLTI0** / IEBBTD 発生タイミング 0 / 0 / 送信用 FIFO が空になったとき 0 / 1 / 送信用 FIFO の未送信データが残り 2 バイトになったとき 1 / 0 / 送信用 FIFO の未送信データが残り 4 バイトになったとき 1 / 1 / 送信用 FIFO の未送信データが残り 8 バイトになったとき

表 22-19 IEBBnTMS レジスタの内容 (2 / 2)

<table>
<tr><th>ビット位置</th><th>ビット名</th><th>意　味</th></tr>
<tr><td>2-0</td><td>IEBBnALC
[2-0]</td><td>競合負け回数を指定します。
FIFO モードのみ有効です。シングル・モード時は、設定値は無効です。
競合負けを起こして、カウンタが 0H になったとき、IEBBnBCR.IEBBnMSRQ ビットの保持は行いません。
IEBBnALC2-IEBBnALC0 ビットは設定値を常に保持します。アービトレーション負けごとに設定値は変化しません。
競合負けカウンタは、IEBBnALC2-IEBBnALC0 ビットとは別のダウンカウンタです。
競合負けカウンタをカウントしている途中で、IEBBnALC2-IEBBnALC0 ビットを上書きしても、競合負けカウンタには影響しません（IEBBnALC2-IEBBnALC0 ビットの値は、IEBBnMSRQ ビット = 1 となったタイミングで競合負けカウンタにセットされます）。
<table>
<tr><th>IEBBnALC2</th><th>IEBBnALC1</th><th>IEBBnALC0</th><th>最大競合負け回数</th></tr>
<tr><td>0</td><td>0</td><td>1</td><td>1</td></tr>
<tr><td>0</td><td>1</td><td>1</td><td>3</td></tr>
<tr><td colspan="3">上記以外</td><td>設定禁止</td></tr>
</table>
</td></tr>
</table>

(a)　FIFO 動作許可ビット（IEBBnFMDE）… ビット 7

シングル・モード時と FIFO モード時の動作の違いを示します。

表 22-20 シングル・モード時と FIFO モード時の動作の違い

転送モード	競合負け時のマスタ・リクエスト・フラグ（IEBBnBCR.IEBBnMSRQ）	競合負けエラー割り込み信号（IEBBTERR）	スレーブ・ステータス要求、ロック・アドレス要求への対応
シングル・モード	クリア	・出力しない ・IEBBnESR.IEBBnABTE ビットは 0 固定	スレーブ・ステータス割り込み処理で、IEBBnSSR レジスタまたは IEBBnPAR レジスタの値を IEBBnDR レジスタへライト
FIFO モード	IEBBnALC2-IEBBnALC0 ビット に設定した回数だけ、競合負けするまで保持（第三者間以外の通信エラーが発生した場合はクリアする）	・設定した回数だけ競合負けした場合に出力する ・同時に IEBBnESR.IEBBnABTE ビットをセット（1）する	ハードウエアで自動的に IEBBnSSR レジスタまたは IEBBnPAR レジスタ の値をデータ・フィールドで送信

(b)　FIFO モード受信時の IEBBTV の発生タイミング指定ビット（IEBBnSLRI1, IEBBnSLRI0）… ビット 6, 5

通信モード 1 のとき、IEBBnSLRI1, IEBBnSLRI0 ビット = 00 に設定します。

通信モード 2 のとき、32 バイトを越えるデータを受信するため、受信途中にデータの読み出しを行わなければなりません。受信データの読み出しを要求するデータ割り込み（IEBBTV）の発生タイミングを IEBBnSLRI1, IEBBnSLRI0 ビットで設定します。

IEBBTV 割り込みは、受信データを FIFO に格納して未読み出しの受信データが IEBBnSLRI1, IEBBnSLRI0 ビット に設定されたバイト数になった場合に発生します。

IEBBnSLRI1, IEBBnSLRI0 ビットに設定されているバイト数以上のデータ数に対して、データ読み出しを行い、未読み出しの受信データ数が IEBBnSLRI1, IEBBnSLRI0 ビットに設定されたバイト数分になっても割り込みは発生しません。

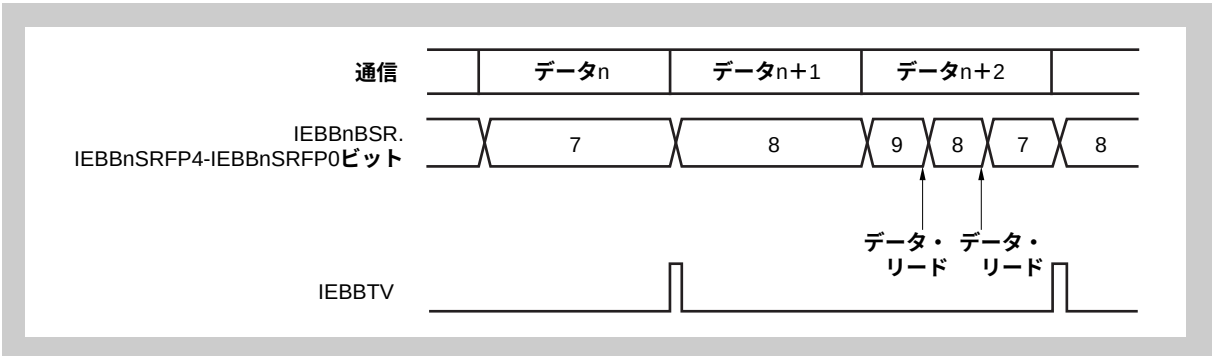


図 22-3　通信モード 2 の動作例：IEBBnSLRI1, IEBBnSLRI0 ビット = 11 の場合

(c) FIFO モード送信時の IEBBTD 発生タイミング指定ビット（IEBBnSLTI1, IEBBnSLTI0）… ビット 4, 3

通信モード 1 のとき、IEBBnSLTI1, IEBBnSLTI0 ビット = 00 に設定します。

通信モード 2 のとき、32 バイトを越えるデータを送信するため、送信途中に送信データの書き込みを行わなければなりません。送信データの書き込みを要求するデータ割り込み（IEBBTD）の発生タイミングを IEBBnSLTI1, IEBBnSLTI0 ビットで設定します。

32 バイト未満のバイト数の送信データを FIFO に書き込んだ場合も残りの送信データ数によって IEBBTD が発生します。

IEBBTD 割り込みは、送信データが FIFO からシフト・レジスタに転送されて未送信データが IEBBnSLTI1, IEBBnSLTI0 ビットに設定されたバイト数になった場合に発生します。

IEBBnSLTI1, IEBBnSLTI0 ビットに設定されているバイト数以下のデータ数に対して、データ書き込みを行い未送信データ数が IEBBnSLTI1, IEBBnSLTI0 ビットに設定されたバイト数分になっても割り込みは発生しません。

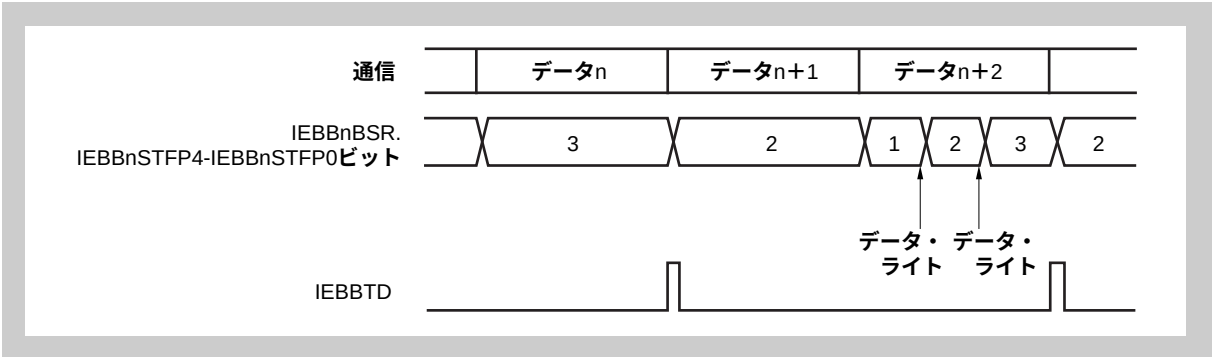


図 22-4　通信モード 2 の動作例：IEBBnSLTI1, IEBBnSLTI0 ビット = 01 の場合

(d)　競合負け回数指定ビット
（IEBBnALC2-IEBBnALC0）… ビット 2-0

FIFO モードのみ有効です。シングル・モード時は、設定値は無効です。

競合負けを起こして、カウンタが 0H になったとき、IEBBnBCR.IEBBnMSRQ ビットの保持は行いません。

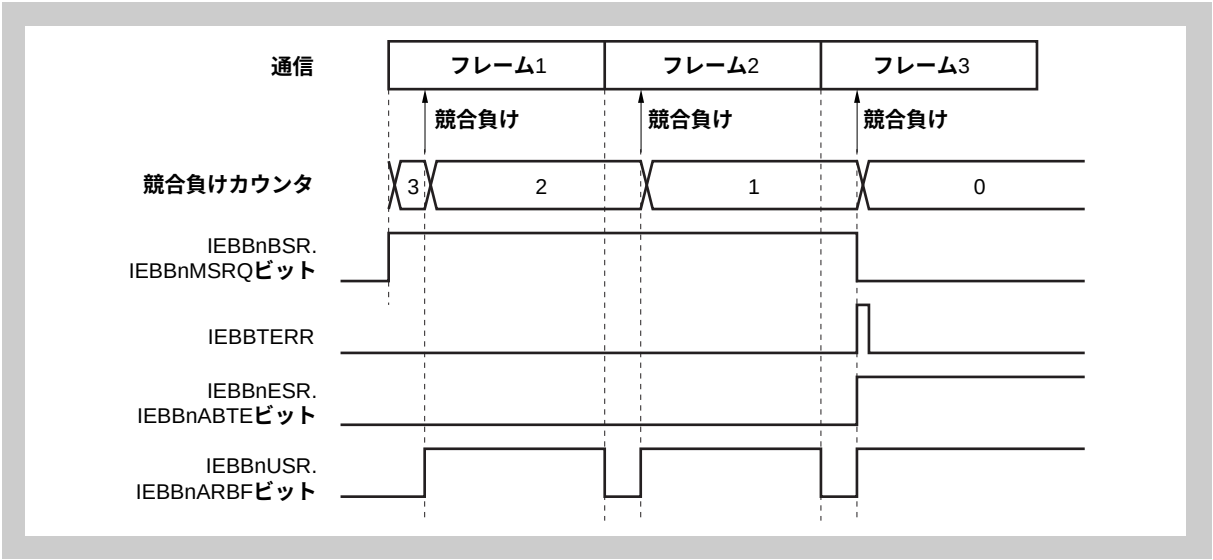


図 22-5　FIFO モードの動作例：IEBBnALC2-IEBBnALC0 ビット = 011 の場合

(15) IEBBn ポインタ・クリア・レジスタ（IEBBnPCR）

IEBBnPCR レジスタは、FIFO のポインタをクリアするトリガ・ビットのレジスタです。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<IEBBn_base> ＋ 0038H

初期値　00H

7	6	5	4	3	2	1	0
IEBBn CRPT	IEBBn CTPT	0	0	0	0	0	0
W	W	R	R	R	R	R	R

表 22-21 IEBBnPCR レジスタの内容

ビット位置	ビット名	意　味
7	IEBBn CRPT	受信用 FIFO のストア用ポインタとリード用ポインタのクリア用トリガ・ビット 0：非動作 1：受信用 FIFO のストア用ポインタとリード用ポインタをクリア ビットへの書き込みはセット（1）のみ有効です。クリア（0）しても内部状態は変化しません。 読み出し値は常に 0 です。 注意　受信中または受信したデータを読み出す前に、IEBBnCRPT ビット = 1 にした場合、受信したデータを読み出せません。受信データを破棄する場合を除いて、IEBBnCRPT ビットへの 1 書き込みは、受信終了後、受信データの読み出しが終了してから行ってください。
6	IEBBnCTPT	送信用 FIFO のライト用ポインタとロード用ポインタのクリア用トリガ・ビット 0：非動作 1：送信用 FIFO のライト用ポインタとロード用ポインタをクリア ビットへの書き込みはセット（1）のみ有効です。クリア（0）しても内部状態は変化しません。 読み出し値は常に 0 です。 注意 1.　FIFO にデータを設定している途中または送信中に IEBBnCTPT ビット = 1 にした場合、設定したデータを送信できません。送信データを破棄する場合を除いて、IEBBnCTPT ビットへの 1 書き込みは、FIFO に書き込んだデータの送信が終了してから行ってください。 2.　送信データを破棄する場合には、送信中に IEBBnCTPT ビット = 1 に設定してください。そのときには送信データがなくなるため、送信を行わずにアンダラン・エラーとなります。

(16) IEBBn バッファ・ステータス・レジスタ（IEBBnBSR）

IEBBnBSR レジスタは、FIFO の状態を示すレジスタです。

アクセス　16 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 003CH

初期値　0000H。
IEBBnBCR.IEBBnPW ビット = 0 の書き込みで同期リセットされます。

15	14	13	12	11	10	9	8
IEBBn RFLF	IEBBn FOVR	0	IEBBn SRFP4	IEBBn SRFP3	IEBBn SRFP2	IEBBn SRFP1	IEBBn SRFP0
R	R	R	R	R	R	R	R
7	6	5	4	3	2	1	0
IEBBn TFLF	IEBBn FOVW	0	IEBBn STFP4	IEBBn STFP3	IEBBn STFP2	IEBBn STFP1	IEBBn STFP0
R	R	R	R	R	R	R	R

表 22-22 IEBBnBSR レジスタの内容

ビット位置	ビット名	意　味
15	IEBBnRFLF	受信用 FIFO の full 状態フラグ 0：受信用 FIFO 内の未読み出しデータが 31 バイト以下 1：受信用 FIFO 内の未読み出しデータが 32 バイト 受信用 FIFO 内の未読み出しデータが 32 バイトあり、FIFO が full の状態であることを示すフラグです。
14	IEBBnFOVR	受信用 FIFO オーバリードを示すフラグ 0：受信用 FIFO オーバリード発生なし 1：受信用 FIFO オーバリード発生
12-8	IEBBnSRFP [4-0]	受信用 FIFO 内の未読み出しデータのバイト数を示すフラグ （ストア用ポインタ）－（リード用ポインタ）の値がリードできます。 ただし、IEBBnSRFP4-IEBBnSRFP0 = 00000 の場合は次の値になります。 ・IEBBnRFLF ビット = 0, IEBBnSRFP4-IEBBnSRFP0 ビット = 00000 の場合 ：残りの未読み出しデータ数 = 0 バイト ・IEBBnRFLF ビット = 1, IEBBnSRFP4-IEBBnSRFP0 ビット = 00000 の場合 ：残りの未読み出しデータ数 = 32 バイト
7	IEBBnTFLF	送信用 FIFO の full 状態フラグ 0：送信用 FIFO 内の未転送データが 31 バイト以下 1：送信用 FIFO 内の未転送データが 32 バイト 送信用 FIFO 内の未転送データが 32 バイトあり、FIFO が full の状態であることを示すフラグです。
6	IEBBnFOVW	送信用 FIFO オーバライト・フラグ 0：送信用 FIFO オーバライト発生なし 1：送信用 FIFO オーバライト発生
4-0	IEBBnSTFP [4-0]	送信用 FIFO 内の未転送データのバイト数を示すフラグ （ライト用ポインタ）－（ロード用ポインタ）の値がリードできます。 ただし、IEBBnSTFP4-STFPSTFP0 ビット = 00000 の場合は次の値になります。 ・IEBBnTFLF ビット = 0,　IEBBnSTFP4-IEBBnSTFP0 ビット = 00000 の場合 ：残りの未転送データ数 = 0 バイト ・IEBBnTFLF ビット = 1,IEBBnSTFP4-IEBBnSTFP0 ビット = 00000 の場合 ：残りの未転送データ数 = 32 バイト

(a) 受信用 FIFO オーバリードを示すフラグ（IEBBnFOVR）... ビット 14

＜セット／クリア条件＞

セット：

・シングル・モード：
IEBBnFOVR ビットはセット（1）されません。

・FIFO モード：

受信用 FIFO に対して過剰読み出し（ストア用ポインタ = リード用ポインタの状態で IEBBnDR レジスタ のリード）を行ったとき

クリア：

・シングル・モード／ FIFO モード：
ソフトウエア操作で行います。
（IEBBnPCR.IEBBnCRPT ビットに 1 をライトするとクリア（0）されます）

受信 FIFO をリードしたあと、IEBBnFOVR ビットを読み出すことでオーバリードの有無を検出します（オーバリードで読み出されたデータは、最終バイトを複数回読み出したものです）。

オーバリードを検出した場合でもデータの再読み出しはできないため、再送を要求するなどのソフトウエア処理を行ってください。IEBBnFOVR ビットのクリアは IEBBnPCR.IEBBnCRPT ビット = 1 書き込みにより行います（オーバリードの場合、FIFO のポインタはすでにクリアされた状態です）。

(b) 送信用 FIFO オーバライト・フラグ（IEBBnFOVW）… ビット 6

＜セット／クリア条件＞

セット：

・シングル・モード：
IEBBnFOVW ビットはセット（1）されません。

・FIFO モード：
送信用 FIFO 内に 32 バイトの未送信データが存在するときに、33 バイト目のデータのライトを行ったとき

クリア：

・シングル・モード／ FIFO モード：
ソフトウエア操作で行います。
（IEBBnPCR.IEBBnCTPT ビットに 1 をライトするとクリア（0）されます）

送信用 FIFO に必要データ数をライトしたあと、マスタ要求フラグ（IEBBnBCR.IEBBnMSRQ）をセット（1）する前に IEBBnFOVW ビットを読み出すことでオーバライトの有無を検出します。オーバライトを検出した場合は、IEBBnPCR .IEBBnCTPT ビット = 1 書き込みにより FIFO のポインタをクリアし、再度データを設定し直してください。

(17) IEBBn スレーブ・ステータス・レジスタ（IEBBnSSR）

IEBBnSSR レジスタは、スレーブ・ユニットの通信状態を示すレジスタです。

マスタからスレーブ・ステータス送信要求割り込みを受け、受信コントロール・データが 0H, 6H の場合、自動的に IEBBnSSR レジスタ値が IEBBnDR レジスタに書き込まれ、スレーブ・ステータスが送信されます。

また、スレーブ・ステータス送信のとき、電文長は自動的に 01H が送信されるため、IEBBnTDL レジスタを設定する必要はありません。

ビット 7, 6 は、ユニットがサポートする最高位のモードを示すために “10（通信モード 2）” に固定されています。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0040H

初期値　81H。
IEBBnSSLF, IEBBnSTLF ビットは、IEBBnBCR.IEBBnPW ビット = 0 の書き込みで同期リセットされます。
IEBBnSRXF, IEBBnSTXF ビットは、IEBBnPW ビットが書き変わったときに同期リセットされます。

7	6	5	4	3	2	1	0
1	0	0	IEBBn SSLF	0	IEBBn STLF	IEBBn SRXF	IEBBn STXF
R	R	R	R	R	R	R	R

表 22-23 IEBBnSSR レジスタの内容

ビット位置	ビット名	意　味
4	IEBBnSSLF	スレーブ送信状態フラグ 0：スレーブ送信禁止 1：スレーブ送信許可
2	IEBBnSTLF	ロック状態フラグ 0：非ロック状態 1：ロック状態
1	IEBBn SRXF	IEBBnDR レジスタまたは FIFO の受信状態フラグ ＜シングル・モード時＞ 0：IEBBnDR レジスタに受信データを未格納 1：IEBBnDR レジスタに受信データを格納 ＜ FIFO モード時＞ 0：FIFO に受信データを未格納 1：FIFO に受信データを格納
0	IEBBnSTXF	IEBBnDR レジスタまたは FIFO の送信状態フラグ 〇通信を行っていないとき 1：常のこの状態 〇マスタ ＜シングル・モード（送信）時＞ 0：IEBBnDR レジスタに設定したデータが送信用シフト・レジスタに転送され、次の送信データが IEBBnDR レジスタに書き込まれていない状態 1：IEBBnDR レジスタに送信データが残っている状態（IEBBnDR レジスタの内容を送信用シフト・レジスタに転送するまで） ＜シングル・モード（受信）時＞ 1：常のこの状態 ＜ FIFO モード（送信）時＞ 0：FIFO に書き込んだバイト数分のデータを FIFO から送信用シフト・レジスタに転送し、次の転送データが FIFO に書き込まれていない状態 1：通信開始から送信用シフト・レジスタにデータを転送し、FIFO に書き込んだデータがすべてなくなるまで ＜ FIFO モード（受信）時＞ 1：常のこの状態 〇スレーブ ＜シングル・モード（送信）時＞ 0：IEBBnDR レジスタに設定したデータが送信用シフト・レジスタに転送され、次の送信データが IEBBnDR レジスタに書き込まれていない状態 1：通信開始から最初の送信データを IEBBnDR レジスタから送信用シフト・レジスタに転送するまで IEBBnDR レジスタにデータ書き込み後、送信用シフト・レジスタに転送するまで ＜シングル・モード（受信）時＞ 1：常のこの状態 ＜ FIFO モード（送信）時＞ 0：FIFO に書き込んだバイト数分のデータを FIFO から送信用シフト・レジスタに転送し、次の転送データが FIFO に書き込まれていない状態 1：通信開始から送信用シフト・レジスタにデータを転送し、FIFO に書き込んだデータがすべてなくなるまで ＜ FIFO モード（受信）時＞ 1：常のこの状態 〇第三者 1：常のこの状態

(a) スレーブ送信状態フラグ（IEBBnSSLF）… ビット 4

スレーブ送信許可フラグ（IEBBnBCR.IEBBnSTXE ビット）の内容がそのまま反映されます。

(b) ロック状態フラグ（IEBBnSTLF）… ビット 2

ロック状態フラグ（IEBBnUSR.IEBBnLCKF ビット）の内容がそのまま反映されます。

(c) IEBBnDR レジスタまたは FIFO の受信状態フラグ（IEBBnSRXF）… ビット 1

＜セット／クリア条件＞

セット：

・シングル・モード：

受信データを IEBBnDR レジスタに格納したとき

・FIFO モード：

受信データを FIFO に格納したとき

クリア：

・シングル・モード：

IEBBnDR レジスタの内容をリードしたとき

・FIFO モード：

FIFO に格納されたすべての受信データをリードしたとき

シングル・モード時、IEBBnSRXF ビットがセット（1）されるとデータ割り込み IEBBTD が発生します。

シングル・モード時、データ受信時に IEBBTD が発生すると、次のデータを受信するまでに IEBBnDR レジスタをリードする必要があります。同報通信時に、IEBBTD が発生したにもかかわらず、IEBBnDR レジスタをリードしないと、オーバラン・エラーが発生します。詳細については 22.3.2 (20) 「IEBBn エラー・ステータス・レジスタ（IEBBnESR）」の IEBBnOVRE ビットを参照してください。

FIFO モード時、IEBBnSRXF ビットがセット（1）されても、割り込み信号 IEBBTV は発生しません。IEBBTV の発生タイミングについては、22.3.2 (14) 「IEBBn 転送モード設定レジスタ（IEBBnTMS）」の IEBBnSLRI1, IEBBnSLRI0 ビットを参照してください。

(d) IEBBnDR レジスタまたは FIFO の送信状態フラグ（IEBBnSTXF）
… ビット 0

＜セット／クリア条件＞

セット：

・通信終了時

・シングル・モード：

IEBBnDR レジスタへの書き込みが行われたとき

・FIFO モード：

送信データが FIFO に書き込まれたとき

クリア：

・シングル・モード：

IEBBnDR レジスタの内容を送信用シフト・レジスタに書き込んだとき

・FIFO モード：

FIFO に書き込んだバイト数分のデータを FIFO から送信用シフト・レジスタに転送したとき

シングル・モード時、IEBBnSTXF ビットがクリアされるときにデータ割り込み IEBBTD が発生します。

シングル・モード時、データ送信時に IEBBTD が発生すると、次の送信データを IEBBnDR レジスタにライトする必要があります。
IEBBTD が発生したにもかかわらず、IEBBnDR へライトが行われないと、アンダラン・エラーが発生します。詳細については 22.3.2 (20)「**IEBBn エラー・ステータス・レジスタ（IEBBnESR）**」の IEBBnUNRE ビットを参照してください。

FIFO モード時、IEBBnSRXF ビットがセット（1）されても、割り込み信号 IEBBTD は発生しません。IEBBTD の発生タイミングについては、22.3.2 (14)「**IEBBn 転送モード設定レジスタ（IEBBnTMS）**」の IEBBnSLTI1, IEBBnSLTI0 ビットを参照してください。

(18) IEBBn ユニット・ステータス・レジスタ（IEBBnUSR）

IEBBnUSR レジスタは、ユニットの状態を示すレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0044H

初期値　00H。
IEBBnPW ビットが書き変わったときに同期リセットされます。

7	6	5	4	3	2	1	0
0	IEBBn SRQF	IEBBn ARBF	IEBBn ALTF	IEBBn ACKF	IEBBn LCKF	0	0
R	R	R	R	R	R	R	R

表 22-24 IEBBnUSR レジスタの内容

ビット位置	ビット名	意　味
6	IEBBnSRQF	自局へのスレーブ要求フラグ 0：スレーブ要求なし 1：スレーブ要求あり
5	IEBBnARBF	競合結果フラグ 0：競合負けを起こしていない 1：競合負けを起こした
4	IEBBnALTF	同報通信フラグ 0：個別通信状態 1：同報通信状態
3	IEBBnACKF	アクノリッジ送信フラグ 0：NACK 信号 を送信 1：ACK 信号を送信
2	IEBBnLCKF	ロック状態フラグ 0：非ロック状態 1：ロック状態

(a) 自局へのスレーブ要求フラグ（IEBBnSRQF）... ビット 6

＜セット／クリア条件＞

セット：自局がスレーブ要求されたとき（**表 22-25「スレーブ要求条件（IEBBnSRQF ビットのセット条件）」**に当てはまる場合）に、スレーブ・アドレス・フィールドのパリティ・ビットの通信終了時[a]にハードウエアでセット（1）されます。

クリア：自局がスレーブ要求されていないとき（**表 22-25「スレーブ要求条件（IEBBnSRQF ビットのセット条件）」**に当てはまらない場合）に、ハードウエアでクリア（0）されます。タイミング[a]はセット時と同じです。

a) パリティ・エラーなどの通信エラーが発生せずにスレーブ・アドレス・フィールドのパリティ・ビットが通信終了した場合に更新されます。たとえば、スレーブ・アドレスの受信パリティが正しくない場合、IEBBnSRQF ビットは更新されずに前の値が保持されます。

表 22-25 スレーブ要求条件（IEBBnSRQF ビットのセット条件）

自局の状態	受信マスタ・アドレス	通信形態	受信スレーブ・アドレス
非ロック	don't care	個別	IEBBnUAR 一致
		同報	グループ一致
			FFFH 一致
ロック	ロック・マスター致	個別	IEBBnUAR 一致
		同報	グループ一致
			FFFH 一致

備考　IEBBnUAR 一致：受信スレーブ・アドレスと自局 IEBBnUAR レジスタが一致

グループ一致　：受信スレーブ・アドレスのグループ・アドレスと自局 IEBBnUAR レジスタのグループ・アドレスが一致

FFFH 一致　：受信スレーブ・アドレスが FFFH の場合

表 22-26 スレーブ・アドレス・フィールドでの $\overline{\text{ACK}}$ 信号返信条件

自局の状態	受信マスタ・アドレス	通信形態	受信スレーブ・アドレス
don't care	don't care	個別	IEBBnUAR 一致

備考　IEBBnUAR 一致：受信スレーブ・アドレスと自局 IEBBnUAR レジスタが一致

注意　自局がロック状態のときにロック・マスタ以外のユニットが自局宛に通信してきた場合、IEBBnSRQF ビットはセットされませんが、スレーブ・アドレス・フィールドでは $\overline{\text{ACK}}$ 信号 を返信します。これは、ロック・マスタ以外の通信であっても、コントロール・フィールドでの受信コントロール・データがスレーブ・ステータス送信要求だった場合、通信を続ける必要があるためです。

(b)　競合結果フラグ（IEBBnARBF）… ビット 5

＜セット／クリア条件＞

セット：アービトレーション期間に自局の出力するデータと受信したデータが不一致のとき a

クリア：各通信フレームのスタート・ビット送受信後

a) FIFO モードのとき、マスタ要求フラグ（IEBBnBCR.IEBBnMSRQ）を保持する間も、競合負けフラグは同じ条件でセット（1）されます。
なお、FIFO モード時に競合負けした場合、コントロール・データを受信後の NACK 信号の返信により、NACK 受信 エラーを検出し、IEBBTERR を出力することで、ソフトウエア処理が必要となります。ステータス送信要求の場合には、自動応答するため NACK 信号を返信することはありません。

IEBBnARBF ビットは、アービトレーション期間（同報フィールド、マスタ・アドレス・フィールドの期間）に自局の出力と他局の出力が競合し、自局が競合負けをした場合にセット（1）されます。

競合負けの判定は、自局の出力データと受信データが不一致であることで行います。

IEBus コントローラは AND 論理で構成されるため、0 を出力したユニットが競合に勝ち残ることになります。

つまり、同報フィールドでは同報（0）を出力したユニット、マスタ・アドレスでは小さいアドレスのユニットが勝ち残ることになります。

注意　シングル・モード時、マスタ要求したときのスタート割り込み発生時には、IEBBnARBF ビットで競合負けの有無を確認してください。競合負けの場合、再度転送を行うときには、再マスタ要求をソフトウエア処理で行ってください。

FIFO モード時、IEBBnTMS.IEBBnALC0-IEBBnALC2 ビットで設定した回数分競合負けしても再マスタ要求を自動的に行います。設定回数を越えた競合負けが発生した場合は、競合負けエラーとして割り込みが発生します。再度転送を行うときには、再マスタ要求をソフトウエア処理で行ってください。

(c) 同報通信フラグ（IEBBnALTF）… ビット 4

ユニットが同報通信しているかを示すフラグです。フラグの内容は、各フレームの同報フィールドで更新されます。

＜セット／クリア条件＞

セット：同報フィールドで「同報」を受信したとき

クリア：同報フィールドで「個別」を受信したとき

注意　同報通信フラグは、自局が通信対象かどうかにかかわらず更新されます。

FIFO モード時、格納は前通信の受信データの読み出しが終了（IEBBnBSR.IEBBnRFLF ビット = 0 かつ IEBBnBSR.IEBBnSRFP4-IEBBnSRFP0 ビット = 00000）していれば、ヘッダ終了時に行われます。受信したデータの読み出しが終了するまでは、IEBBnALTF ビットは更新されません。

(d) アクノリッジ送信フラグ（IEBBnACKF）… ビット 3

受信ユニット時、各フィールドのアクノリッジ・ビット期間中に $\overline{\text{ACK}}$ 信号を送信したかを示します。

＜セット／クリア条件＞

セット：各フィールドのアクノリッジ・ビット期間の終了時に「$\overline{\text{ACK}}$」を送信したとき

クリア：各フィールドのアクノリッジ・ビット期間の終了時に「NACK」を送信したとき

注意　1. 通信エラーが発生し自局が初期状態に戻った場合、そのフィールドのアクノリッジ・ビット期間の終了時には、更新されません。たとえば、コントロール・フィールドでの受信パリティが誤りであった場合、パリティ受信後にパリティ・エラーにより IEBBn は初期状態（通信待機状態）に移るため、コントロール・フィールドで NACK 信号を返信しますが（正確には ACK 信号を返信しなかったが）、このことは IEBBnACKF ビットには反映されず、以前の値を保持したままです。

2. シングル・モード時、スタート割り込みとステータス送信割り込みの発生タイミング（IEBBTSTA または IEBBTV がアクティブになる）は、パリティ・ビットの受信終了時のため、スレーブ・モード時に前記割り込みによる割り込みハンドラ処理中に IEBBnUSR レジスタをリードすると IEBBnACKF ビットの変化と重なる場合があります。

(e) ロック状態フラグ（IEBBnLCKF）… ビット 2

ユニットがロック状態かを示すフラグです。

＜セット／クリア条件＞

セット：個別通信の通信フレーム終了時に、コントロール・フィールドでロック関連（3H, 6H, AH, BH）を受信し、通信終了フラグ（IEBBnISR.IEBBnETRF ビット）がクリア（0）、かつフレーム終了フラグ（IEBBnISR.IEBBnEFMF ビット）がセット（1）されたとき

クリア：個別通信の通信フレーム終了時に、コントロール・フィールドでロック関連（3H, 6H, AH, BH ）を受信し、通信終了フラグ（IEBBnETRF ビット）がセット（1）されたとき。

注意 1. ロックの設定／解除は個別通信時のみ行われ、同報通信時はロックの設定／解除は行われません。

2. ロック状態中はロック・マスタ以外からの通信を受け付けませんが、例外としてロック・マスタ以外からの通信であっても、スレーブ・ステータス送信要求のコントロール・データ（0H, 4H, 5H）を受信した場合は、通信を受け付けます。ただし、このときスタート割り込み、終了割り込みは発生せず、ステータス要求割り込みのみが発生します。

(19) IEBBn インタラプト・ステータス・レジスタ（IEBBnISR）

IEBBnISR レジスタは、IEBBTSTA, IEBBTERR, IEBBTV 割り込み発生時の割り込み要因を示すステータス・レジスタです。

IEBBTSTA, IEBBTERR, IEBBTV の割り込みが発生するごとに、IEBBnISR レジスタを読み出して、所定の割り込み処理を行います。

アクセス　ビット 6 のみ 8 ビット単位でリード／ライト可能です。
ビット 6 以外は 8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0048H

初期値　00H。
IEBBnIEBE ビットは、IEBBnBCR.IEBBnPW ビット＝0 の書き込みで同期リセットされます。
IEBBnIEBE ビット以外のビットは、IEBBnPW ビットが書き変わったときに同期リセットされます。

注意　ビット 1, 7 には必ず 0 を設定してください。

7	6	5	4	3	2	1	0
0	IEBBn IEBE	IEBBn STRF	IEBBn STSF	IEBBn ETRF	IEBBn EFMF	0	IEBBn FOVE
R	R/W[a]	R	R	R	R	R	R

[a] IEBBnIEBE ビットのみ書き込み可能です。また、IEBBnIEBE ビットへの書き込みはクリア（0）のみ有効です。1 を書き込んでも IEBBnIEBE ビットはセット（1）されません。

表 22-27 IEBBnISR レジスタの内容

ビット位置	ビット名	意　味
6	IEBBnIEBE	通信エラー・フラグ 0：通信エラーなし 1：通信エラー発生
5	IEBBnSTRF	スタート割り込みフラグ 0：スタート割り込み発生なし 1：スタート割り込み発生
4	IEBBnSTSF	ステータス送信フラグ（スレーブ時） 0：ステータス送信要求なし 1：いずれかのステータス送信要求あり
3	IEBBnETRF	通信終了フラグ 0：電文長フィールドで設定した伝送バイト数分の通信が終了していない 1：電文長フィールドで設定した伝送バイト数分の通信が終了した
2	IEBBnEFMF	フレーム終了フラグ 0：フレーム（最大伝送バイト数分[a] の通信）が終了していない 1：フレーム（最大伝送バイト数分 [a] の通信）が終了した
0	IEBBnFOVE	フレームオーバ・エラー・フラグ 0：フレームオーバ・エラー発生なし 1：フレームオーバ・エラー発生

[a] 通信モード 1：32 ビット
通信モード 2：128 ビット

(a) **通信エラー・フラグ（IEBBnIEBE）… ビット 6**

通信エラーが発生したことを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：
タイミング・エラー、パリティ・エラー（個別受信時のデータ・フィールドを除く）、NACK 受信エラー、アンダラン・エラー、オーバラン・エラー（同報受信時のみ発生）のいずれかが発生したとき

・FIFO モード：
タイミング・エラー、パリティ・エラー（個別受信時のデータ・フィールドを除く）、NACK 受信エラー、アンダラン・エラー、オーバラン・エラー（同報受信時のみ発生）、競合負けエラーのいずれかが発生したとき

クリア：

・シングル・モード／ FIFO モード：
ソフトウエア操作で行います。
（IEBBnIEBE ビットに 0 をライトするとクリア（0）されます）

通信エラー発生時に、シングル・モードでは IEBBTERR, IEBBTV が発生し、FIFO モードでは IEBBTERR が発生します。

通信エラーの発生要因のうち、いずれかの要因で通信エラーになったかどうかは、IEBBnESR レジスタおよび IEBBnISR レジスタをリードすることで確認できます。

(b) スタート割り込みフラグ（IEBBnSTRF）… ビット 5

スタート割り込みを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：

－マスタ・ユニットで動作時、競合の勝ち／負けにかかわらず、セット（1）されます。

－スレーブ・ユニットで動作時、マスタ（自局ロック中はロック・マスタのみ）からスレーブ要求があった（IEBBnUSR.IEBBnSRQF ビット = 1）場合にセット（1）されます。

セット時期はいずれの場合もスレーブ・アドレス・フィールドのパリティ期間終了後です。

・FIFO モード：IEBBnSTRF ビットはセット（1）されません。

クリア：

・シングル・モード：

自局が通信対象（マスタ・ユニットまたはスレーブ・ユニットとして通信）の場合、ステータス送信割り込み、通信終了割り込み、フレーム終了割り込み、送信データ書き込み要求割り込み、受信データ読み出し割り込み、通信エラー割り込み発生時にハードウエアでクリア（0）されます。

・FIFO モード：IEBBnSTRF ビットは常時クリア状態となります。

シングル・モードではスタート割り込み発生時に IEBBTSTA, IEBBTV が発生します。FIFO モードではスタート割り込みが発生せず IEBBTSTA, IEBBTV も発生しません。

注意
1. スタート割り込み発生時には、IEBBnUSR レジスタをリードすることで、自局へのスレーブ要求フラグ（IEBBnSRQF）や競合結果フラグ（IEBBnARBF）を確認してください。
2. 自局がマスタ要求したときのスタート割り込み発生時に競合結果フラグ（IEBBnARBF）がセット（1）されていた場合、再マスタ要求はソフトウエア処理で行ってください。

(c) ステータス送信フラグ（スレーブ時）（IEBBnSTSF）… ビット 4

スレーブ時にマスタからスレーブ・ステータス、ロック・アドレス（上位 4 ビット、下位 8 ビット）の送信要求があったことを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：

－自局非ロック時に任意のマスタからスレーブ要求され、コントロール・フィールドで、0H, 6H を受信したとき

－自局ロック時にロック・マスタからスレーブ要求され、コントロール・フィールドで、0H, 4H, 5H, 6H を受信したとき、またはロック・マスタ以外からコントロール・フィールドで、0H、4H、5H を受信したとき

セット時期はいずれの場合もコントロール・フィールドのパリティ期間終了後です。

詳細については、**表 22-28「ステータス送信要求フラグ（スレーブ時）のセット条件」**を参照してください。

・FIFO モード：IEBBnSTSF ビットはセット（1）されません。

クリア：

・シングル・モード：

自局が通信対象（マスタ・ユニットまたはスレーブ・ユニットとして通信）の場合、スタート割り込み、通信終了割り込み、フレーム終了割り込み、送信データ書き込み要求割り込み、受信データ読み出し割り込み、通信エラー割り込み発生時にハードウエアでクリア（0）されます。

・FIFO モード：IEBBnSTSF ビットは常時クリア状態となります。

シングル・モードではステータス送信要求があると IEBBTSTA, IEBBTV が発生します。FIFO モードではステータス送信要求があっても割り込み信号は発生しません。

注意　スレーブ送信許可フラグ（IEBBnBCR.IEBBnSTXE ビット）が禁止（0）に設定されていても IEBBnSTSF ビット はセット（1）されます。

表 22-28 ステータス送信要求フラグ（スレーブ時）のセット条件

各種ステータス					コントロール・フィールドでの受信値				
equa	lockf	eqpa	IEBBn STXE	IEBBn SRXE	0H	3H, 7H	4H, 5H	6H	AH, BH, EH, FH
1	0	0	X	X	セットする	セットしない	セットしない	セットする	セットしない
1	0	1	X	X	セットする	セットしない	セットしない	セットする	セットしない
1	1	0	X	X	セットする	セットしない	セットする	セットしない	セットしない
1	1	1	X	X	セットする	セットしない	セットする	セットする	セットしない

備考　equa　：自局一致
（個別通信時：IEBBnUAR レジスター致）

lockf　：ロックの有無

eqpa　：ロック・マスター致

IEBBnSTXE　：スレーブ送信許可フラグ（IEBBnBCR レジスタのビット 4）

IEBBnSRXE　：スレーブ受信許可フラグ（IEBBnBCR レジスタのビット 3）

シングル・モード時、スレーブ・ステータス送信要求の割り込みが発生した場合、IEBBnCDR レジスタをリードすることで、受信したコントロール・データの内容を確認し、IEBBnDR レジスタに必要なスレーブ・ステータスの情報を書き込みます。

受信したコントロール・データと IEBBnDR レジスタに書き込むデータを次に示します。

表 22-29 受信したコントロール・データと IEBBnDR レジスタに書き込むデータ

受信したコントロール・データ	意　味	IEBBnDR レジスタに書き込むデータ
0H, 6H	スレーブ・ステータス送信	IEBBnSSR レジスタをリードした値
4H	ロック・アドレスの下位 8 ビット送信	IEBBnPAR レジスタの下位 8 ビット
5H	ロック・アドレスの上位 4 ビット送信	IEBBnPAR レジスタの上位 8 ビット

注意　スレーブ・ステータス送信要求の割り込み発生から IEBBnDR レジスタへの適切なデータの書き込みは、必ず電文長フィールド終了までに行ってください。

(d) 通信終了フラグ（IEBBnETRF）… ビット 3

電文長フィールドで設定した／された伝送バイト数分の通信が終了したかを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：
自局が通信対象（マスタ・ユニットまたはスレーブ・ユニットとして通信）の場合、データ・フィールドのアクノリッジ期間終了時に IEBBnSCR レジスタの値が 0 になったとき

クリア：

・シングル・モード：
スタート割り込み、ステータス送信割り込み、フレーム終了割り込み（通信終了割り込みが発生しない場合）、送信データ書き込み要求割り込み、受信データ読み出し割り込み、通信エラー割り込み発生時にハードウエアでクリア（0）されます。

シングル・モードでは通信終了フラグがセット（1）されると、IEBBTSTA, IEBBTV が発生します。

FIFO モードではシングル・モードと同一のタイミングで IEBBTSTA 割り込みが発生します。

FIFO モード時は IEBBnETRF ビットの参照を禁止します。参照した場合の読み出し値は不定になります。

FIFO モード時、IEBBTSTA が発生後、次に示すソフトウエア処理で送信／受信の制御ができます。

- 受信動作が終了した場合

  ①通信終了は IEBBTSTA 割り込み発生で検出
  ②通信終了かフレーム終了かを IEBBnFSR.IEBBnRTRF ビットで確認
  ③受信データ・バイト数は IEBBnBSR.IEBBnSRFP4-IEBBnSRFP0 ビット（未読み出しバイト数）で確認
  ④ IEBBnDR レジスタ（受信側 FIFO）より受信データを読み出し

- 送信動作が終了した場合

  ①通信終了は IEBBTSTA 割り込み発生で検出
  ②通信終了かフレーム終了かを IEBBnFSR.IEBBnTTRF ビットで確認
  ③送信データ・バイト数は IEBBnBSR.IEBBnSTFP4-IEBBnSTFP0 ビット（未送信バイト数）で確認
  ④未送信データがある場合は再送処理へ

(e) フレーム終了フラグ（IEBBnEFMF）… ビット 2

最大伝送バイト数分（通信モード 1：32 バイト、通信モード 2：128 バイト）の通信が終了したかを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：
自局が通信対象（マスタ・ユニットまたはスレーブ・ユニットとして通信）の場合、データ・フィールドのアクノリッジ期間終了時に IEBBnCCR レジスタの値が 0 になったとき

クリア：

・シングル・モード：
スタート割り込み、ステータス送信割り込み、通信終了割り込み（フレーム終了割り込みが発生しない場合）、送信データ書き込み要求割り込み、受信データ読み出し割り込み、通信エラー割り込み発生時にハードウエアでクリア（0）されます。

シングル・モードのとき、フレーム終了フラグがセット（1）されると、IEBBTSTA, IEBBTV が発生します。

注意
1. シングル・モードで、データ・フィールドのアクノリッジ期間終了時に IEBBnSCR レジスタと IEBBnCCR レジスタが両方とも 00H になった場合、IEBBnETRF, IEBBnEFMF ビット が同時にセット（1）されます。
2. シングル・モードで、データ再送により最大伝送バイト数に達したときに最終データ・フィールドが NACK 信号だった場合、IEBBnEFMF, IEBBnIEBE（NACK 受信エラー）ビットが同時にセット（1）されます。

FIFO モードではシングル・モードと同一のタイミングで IEBBTSTA 割り込みが発生します。

FIFO モード時は IEBBnEFMF ビットの参照を禁止します。参照した場合の読み出し値は不定になります。

IEBBTSTA の発生後、次に示すソフトウエア処理で送信／受信の制御ができます。

- 受信動作が終了した場合

①通信終了は IEBBTSTA 割り込み発生で検出
②通信終了かフレーム終了かを IEBBnFSR.IEBBnRTRF ビットで確認
③受信データ・バイト数は IEBBnBSR.IEBBnSRFP4-IEBBnSRFP0 ビット（未読み出しバイト数）で確認
④ IEBBnDR レジスタ（受信側 FIFO）より受信データを読み出し

- 送信動作が終了した場合

①通信終了は IEBBTSTA 割り込み発生で検出
②通信終了かフレーム終了かを IEBBnFSR.IEBBnTTRF ビットで確認
③送信データ・バイト数は IEBBnBSR.IEBBnSTFP4-IEBBnSTFP0 ビット（未送信バイト数）で確認
④未送信データがある場合は再送処理へ

(f) フレームオーバ・エラー・フラグ（IEBBnFOVE）… ビット 0

フレームオーバ・エラーが発生したことを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：IEBBnFOVE ビットはセット（1）されません。

・FIFO モード：
以前の通信で受信したデータの読み出しを終了する前に次の同報通信をスレーブ・ユニットとして受信した場合、データ・フィールドの最初のパリティ期間終了後にセット（1）されます。

クリア：

・シングル・モード／ FIFO モード：
ソフトウエア操作で行います。
（IEBBnSTC1.IEBBnCLFF ビットに 1 をライトするとクリア（0）されます）

シングル・モードのとき、IEBBnFOVE ビットはセット（1）されずに、割り込み要求も発生しません。

FIFO モードのとき、IEBBnFOVE ビットがセット（1）されると、IEBBTERR が発生します。

このフレームオーバ・エラーが発生しても、前のフレームの受信データは有効です

(20) IEBBn エラー・ステータス・レジスタ（IEBBnESR）

IEBBnESR レジスタは、IEBus コントローラの通信エラー割り込み発生時の要因を示すレジスタです。IEBBnESR レジスタの各ビットは、IEBBnISR レジスタの通信エラー・フラグ（IEBBnIEBE）がセット（1）されると同時にセット（1）され、IEBBnESR レジスタの内容により通信エラーの発生要因を知ることができます（すでに IEBBnISR.IEBBnIEBE ビット = 1 の場合には、IEBBnESR レジスタの各ビットのみセット（1）されます）。

また、各ビットはハードウエアでセット（1）のみ可能で、IEBBnSTC0 レジスタへの 1 書き込みによりクリア（0）になります。

IEBBnSTC0 レジスタへの 1 書き込みと、ハードウエアでのセット（1）が競合した場合には、ハードウエアでのセット（1）が優先されます。

また、IEBBnESR レジスタへのライトは無効です。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 004CH

初期値　00H。
IEBBnBCR.IEBBnPW ビットが書き変わったときに同期リセットされます。

注意　IEBBn は通信エラーが発生すると、初期状態に戻って次の通信準備を行います。エラーが発生したにもかかわらず、エラー処置を行わないまま次の通信が開始された場合、エラー・フラグは累積されます（タイミング・エラー発生で初期状態に戻り、次の通信でパリティ・エラーを受信した場合、IEBBnESR レジスタはタイミング・エラーとパリティ・エラーの両方のビットが 1 になります）。
したがって、エラー処置はエラー発生から次の通信が開始されるまでに行ってください。

7	6	5	4	3	2	1	0
IEBBn TIME	IEBBn PARE	IEBBn NACE	IEBBn UNRE	IEBBn OVRE	0	IEBBn ABTE	IEBBn TRDE
R	R	R	R	R	R	R	R

表 22-30 IEBBnESR レジスタの内容（1 / 2）

ビット位置	ビット名	意　味
7	IEBBnTIME	タイミング・エラー発生フラグ 0：タイミング・エラー発生なし 1：タイミング・エラー発生
6	IEBBnPARE	パリティ・エラー発生フラグ 0：パリティ・エラー発生なし 1：パリティ・エラー発生
5	IEBBnNACE	NACK 受信エラー・フラグ 0：NACK 受信エラー発生なし 1：NACK 受信エラー発生
4	IEBBnUNRE	アンダラン・エラー発生フラグ 0：アンダラン・エラー発生なし 1：アンダラン・エラー発生

表 22-30 IEBBnESR レジスタの内容 (2 / 2)

ビット位置	ビット名	意　味
3	IEBBnOVRE	オーバラン・エラー発生フラグ 0：オーバラン・エラー発生なし 1：オーバラン・エラー発生
1	IEBBnABTE	競合負けエラー発生フラグ 0：競合負け回数設定ビット（IEBBnTMS.IEBBnALC2-IEBBnALC0）に設定した回数の競合負け発生なし 1：競合負け回数設定ビット（IEBBnTMS.IEBBnALC2-IEBBnALC0）に設定した回数の競合負けが発生
0	IEBBnTRDE	第三者間通信エラー発生フラグ 0：自局を対象とする通信中のエラー発生 1：第三者間通信時のエラー発生

(a) タイミング・エラー発生フラグ（IEBBnTIME）... ビット 7

＜セット条件＞

セット：タイミング・エラー発生時にセット（1）されます。

タイミング・エラーは、通信ビットのハイ／ロウ・レベル幅が規定値から外れた場合に発生します。

それぞれの規定値はビット処理部に設定されていて、内部のタイマで監視されています。

(b) パリティ・エラー発生フラグ（IEBBnPARE）... ビット 6

＜セット条件＞

セット：パリティ・エラー発生時にセット（1）されます。

自局が受信ユニット時（他者間の通信をモニタしている状態も含む）に、マスタ・アドレス・フィールド、スレーブ・アドレス・フィールド、コントロール・データ・フィールド、電文長フィールドでの受信データによる生成パリティと受信パリティが不一致のときに発生します。

ただし、データ・フィールドで不一致の場合は、個別通信時は NACK 信号を返信しデータ再送を要求するのに対して、同報通信時はパリティ・エラーを発生します。

備考　上記パリティ期間に送信側が受信するパリティが何らかの理由で反転していた場合、タイミング・エラーとなり、その通信は終了します。

表 22-31 パリティの不一致時の動作

フィールド	通信形態	パリティ不一致時の動作
マスタ・アドレス・フィールド	個別／同報	パリティ・エラー発生
スレーブ・アドレス・フィールド	個別／同報	パリティ・エラー発生
コントロール・データ・フィールド	個別／同報	パリティ・エラー発生
電文長フィールド	個別／同報	パリティ・エラー発生
データ・フィールド	個別	NACK 信号の返信で再送を要求
	同報	パリティ・エラー発生

(c) NACK 受信エラー・フラグ（IEBBnNACE）… ビット 5

＜セット条件＞

セット：NACK 受信エラー発生時にセット（1）されます。

NACK 受信エラーは、個別通信時、マスタ／スレーブ動作中にかかわらず、スレーブ・アドレス・フィールド、コントロール・データ・フィールド、電文長フィールドの各フィールドのアクノリッジ・ビット期間に NACK 信号を受信したときに発生します。

データ・フィールドでの NACK 信号受信はデータ再送要求の合図のため、NACK 受信エラーにはなりませんが、最終のデータ・フィールドが NACK 信号だった場合のみ NACK 受信エラーになります。

受信動作中もスレーブ・アドレス・フィールド、コントロール・データ・フィールド、電文長フィールド、データ・フィールドの最終データの各フィールドでは出力した NACK 信号を受け取ることで、NACK 受信エラーの判定を行います。

また、同報通信時は、$\overline{\text{ACK}}$/NACK 信号の判定を行いませんので NACK 受信エラーは発生しません。

第三者間通信中は、タイミング／パリティ・エラーのみエラーとして検出するため、NACK 受信エラーは発生しません。ただし、スレーブ・アドレス・フィールドでは、スレーブとして通信に参加しているため、NACK 受信エラーの判定を行います。

表 22-32 NACK 受信エラーの判定を行う期間

通信形態		スレーブ・アドレス・フィールド	コントロール・データ・フィールド	電文長フィールド	データ・フィールド（最終）
個別通信	マスタ送信	発生	発生	発生	発生
	マスタ受信	—	—	発生	発生
	スレーブ送信	—	—	発生	発生
	スレーブ受信	発生	発生	発生	発生
	第三者間通信	発生	発生なし	発生なし	発生なし
同報通信	一斉	発生なし	発生なし	発生なし	発生なし

(d)　アンダラン・エラー発生フラグ（IEBBnUNRE）… ビット 4

＜セット条件＞

セット：

・シングル・モード：

データ・フィールドでデータ送信時に、IEBBTD が発生してからそのデータ・フィールドでのアクノリッジ・ビット期間が終了するまでに IEBBnDR レジスタに次に送信されるデータの書き込みが間に合わなかったときにアンダラン・エラーが発生し、セット（1）されます。ただし、アクノリッジ・ビット期間に NACK 信号を受信した場合には、再送を行うためアンダラン・エラー発生にはなりません。
第三者間通信中は、タイミング／パリティ・エラーのみエラーとして検出するため、アンダラン・エラーは発生しません。

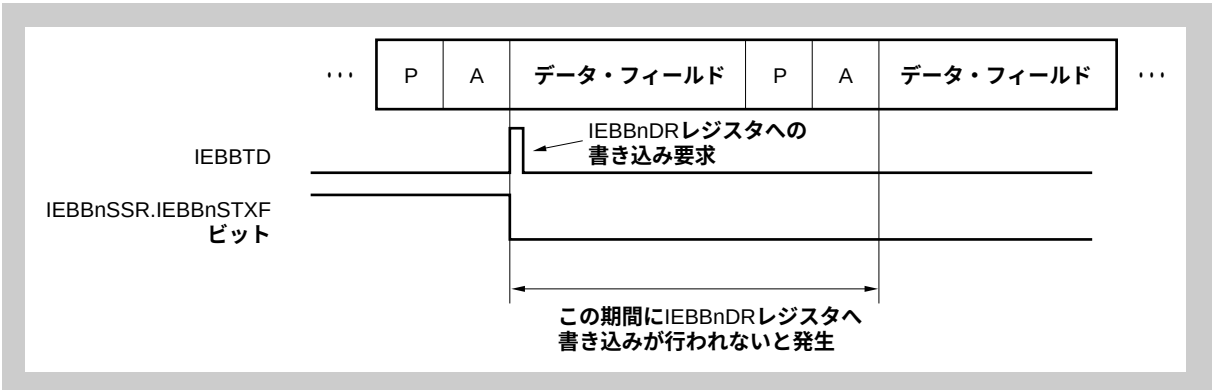


図 22-6　アンダラン・エラーの発生タイミング

・FIFO モード：

IEBBnTDL レジスタに設定した電文長分のデータを送信する前に、送信用 FIFO の未送信データが 0（IEBBnSSR.IEBBnSTXF ビット = 0）になったとき、次のデータ・フィールドでのアクノリッジ・ビット期間が終了するまでに IEBBnDR レジスタに次に送信されるデータの書き込みが間に合わなかったときにアンダラン・エラーが発生し、セット（1）されます。ただし、アクノリッジ・ビット期間に NACK 信号を受信した場合には、再送を行うためアンダラン・エラー発生にはなりません。
第三者間通信中は、タイミング／パリティ・エラーのみエラーとして検出するため、アンダラン・エラーは発生しません。

(e)　オーバラン・エラー発生フラグ（IEBBnOVRE）… ビット 3

＜セット条件＞

セット：

・シングル・モード：

同報通信時は、データ・フィールドでデータ受信時に、IEBBTD が発生してからそのデータ・フィールドでのパリティ期間終了までに IEBBnDR レジスタの読み出しが間に合わなかったときにオーバラン・エラーが発生し、セット（1）されます。
個別通信時は、エラーにならず NACK 信号を返信することでデータの再送を要求し、IEBBnDR レジスタの読み出しを行うまで NACK 信号の返信は続けられます（ただし、最大伝送バイト数分に達した場合、フレーム終了します）。
第三者間通信中は、タイミング／パリティ・エラーのみエラーとして検出するため、オーバラン・エラーは発生しません。

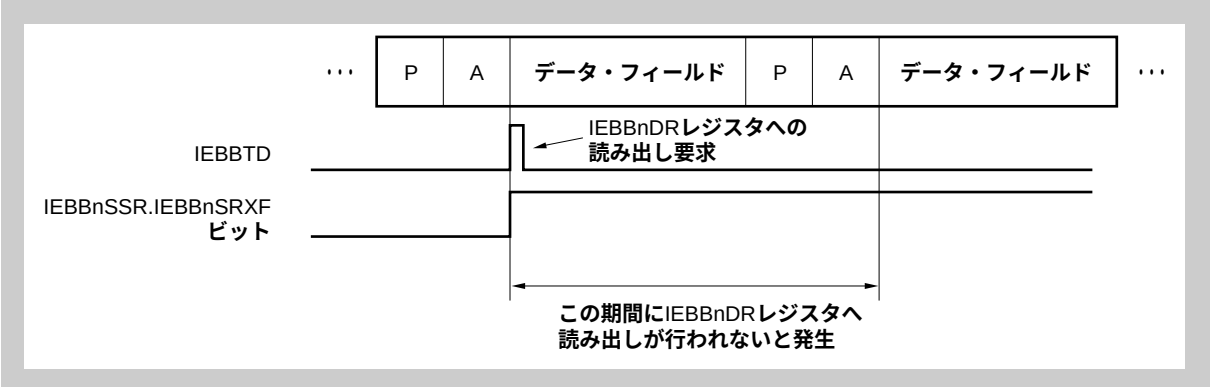


図 22-7　オーバラン・エラーの発生タイミング

・FIFO モード：

同報通信かつ通信モード 2 時は、受信用 FIFO 内に 32 バイトの未読み出しデータが存在する場合に、33 バイト目のデータの受信を行った場合にオーバラン・エラーが発生し、セット（1）されます。
個別通信時は、エラーにならず NACK 信号を返信することでデータの再送を要求し、IEBBnDR レジスタの読み出しを行うまで NACK 信号の返信は続けられます（ただし、最大伝送バイト数分に達した場合、フレーム終了します）。
オーバラン・エラーが発生した場合、割り込み処理でデータの読み出しを行わないでください。
データ読み出し途中に割り込みが発生した場合、正しいデータが読み出せなくなる可能性があります。

(f)　競合負けエラー発生フラグ（IEBBnABTE）… ビット 1

＜セット条件＞

セット：IEBBnTMS.IEBBnALC2-IEBBnALC0 ビットに設定した回数の競合負けが発生したとき、最後の競合負けで競合負けエラーが発生し、セット（1）されます。
競合負けについては、22.3.2 (18)「IEBBn ユニット・ステータス・レジスタ（IEBBnUSR）」の IEBBnARBF ビットの説明を参照してください。

(g)　第三者間通信エラー発生フラグ（IEBBnTRDE）… ビット 0

＜セット条件＞

セット：自局に無関係な通信中（第三者間の通信中）のタイミング・エラーまたはパリティ・エラー発生と同時に第三者間通信エラーが発生し、IEBBnTIME または IEBBnPARE ビットと同時にセット（1）されます。

注意　スレーブ・アドレス・フィールドが自局一致していない場合でも、第三者間通信に入る前にエラーが発生した場合（たとえばスレーブ・アドレス・フィールドでの受信アドレスが自局一致しなかった場合で NACK 信号を受信した場合（IEBBnNACE ビットがセット（1）された場合））は、IEBBnTRDE ビットはセット（1）されません。

備考　第三者間の通信とは次の 2 つの状態を示します。

①スレーブ・アドレス・フィールドでの受信アドレスが自局一致（個別通信時：IEBBnUAR レジスタ一致、同報通信時：グループ一致、FFFH 一致）しなかった場合で、かつ ACK 信号受信後、引き続き通信が行われている状態のとき、自局はその通信をモニタします。

②同報通信時に、コントロール・フィールドでの受信コントロール・データに自局が応じることのできない場合で、引き続き通信が行われている状態のとき、自局はその通信をモニタします。たとえば、同報通信でマスタからコントロール・データ FH を受信するが、自局のスレーブ受信許可フラグが禁止（IEBBnBCR.IEBBnSRXE ビット = 0）に設定されていた場合などです（個別通信時は NACK 信号を返信し通信が終了します）。

(21) IEBBn フィールド・ステータス・レジスタ（IEBBnFSR）

IEBBnFSR レジスタは、各種割り込み（IEBBTD, IEBBTSTA, IEBBTERR, IEBBTV）発生時に、IEBus コントローラのフィールド・ステータスの状態を格納するレジスタです。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0050H

初期値　00H。
IEBBnSSFS1, IEBBnSSFS0 ビットは、IEBBnBCR.IEBBnPW ビットが書き変わったときに同期リセットされます。

注意
1. IEBBnFSR レジスタをリードする前に別の割り込みが発生すると前の割り込み時のステータス情報は、新しい割り込み時のステータス情報で更新されてしまいます。
2. 第三者間の通信中（他局間通信受信中）に割り込みが発生した場合、IEBBnSSFS1, IEBBnSSFS0 ビット = 00 になります。ただし、第三者通信中に発生する割り込みはエラー発生による割り込みだけなので、IEBBnESR レジスタの第三者間通信エラー発生フラグ（IEBBnTRDE ビット）をリードすることで、第三者間通信中のエラーと判断できます。
3. フィールド・ステータス信号（内部信号）が変化しても、割り込みが発生するまでは IEBBnSSFS1, IEBBnSSFS0 ビットは前の値を保持しています。

7	6	5	4	3	2	1	0
IEBBn RTRF	IEBBn TTRF	0	0	0	0	IEBBn SSFS1	IEBBn SSFS0
R	R	R	R	R	R	R	R

表 22-33 IEBBnFSR レジスタの内容

ビット位置	ビット名	意　味
7	IEBBn RTRF	受信用通信終了フラグ 0：受信時に通信終了していない 1：受信時に通信終了した
6	IEBBnTTRF	送信用通信終了フラグ 0：送信時に通信終了していない 1：送信時に通信終了した
1, 0	IEBBn SSFS[1, 0]	IEBBnSSFS1, IEBBnSSFS0 ビットの説明は表 22-34「フィールド・ステータス」を参照してください。

表 22-34 フィールド・ステータス

フィールド・ステータス	説　明		
	マスタ／スレーブ	フィールド	送信／受信
スレーブ受信状態 IEBBnSSFS1, IEBBnSSFS0 ビット = 00 （IEBBnFSR レジスタ = 00H）	スレーブ動作	スタート・ビット	受信中
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・データ・フィールド	
		電文長フィールド	
		データ・フィールド	
スレーブ送信状態 IEBBnSSFS1, IEBBnSSFS0 ビット = 01 （IEBBnFSR レジスタ = 01H）	スレーブ動作	電文長フィールド	送信中
		データ・フィールド	
マスタ受信状態 IEBBnSSFS1, IEBBnSSFS0 ビット = 10 （IEBBnFSR レジスタ = 02H）	マスタ動作	電文長フィールド	受信中
		データ・フィールド	
マスタ送信状態 IEBBnSSFS1, IEBBnSSFS0 ビット = 11 （IEBBnFSR レジスタ = 03H）	マスタ動作	スタート・ビット	送信中
		マスタ・アドレス・フィールド	
		スレーブ・アドレス・フィールド	
		コントロール・データ・フィールド	
		電文長フィールド	
		データ・フィールド	

(a) 受信用通信終了フラグ（IEBBnRTRF）… ビット 7

受信時に電文長で指定したバイト数分の通信が終了したことを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：IEBBnRTRF ビットはセット（1）されません。

・FIFO モード：
受信時に IEBBnISR.IEBBnETRF ビットがセット（1）されるタイミングでセット（1）されます。

クリア：

・シングル・モード：IEBBnRTRF ビットは常時クリア状態となります。

・FIFO モード：
受信時に IEBBnISR.IEBBnEFMF ビットがセット（1）されるタイミングでクリア（0）されます。

注意 1. FIFO モード時、セット条件とクリア条件が競合した場合は、セットが優先されます。

2. IEBBnPCR.IEBBnCRPT ビットへの 1 書き込みでは、IEBBnRTRF ビットはクリア（0）されません。

(b) 送信用通信終了フラグ（IEBBnTTRF）… ビット 6

送信時に電文長で指定したバイト数分の通信が終了したことを示すフラグです。

＜セット／クリア条件＞

セット：

・シングル・モード：IEBBnTTRF ビットはセット（1）されません。

・FIFO モード：
送信時に IEBBnISR.IEBBnETRF ビットがセット（1）されるタイミングでセット（1）されます。

クリア：

・シングル・モード：IEBBnTTRF ビットは常時クリア状態となります。

・FIFO モード：
送信時に IEBBnISR.IEBBnEFMF ビットがセット（1）されるタイミングでクリア（0）されます。

注意 1. FIFO モード時、セット条件とクリア条件が競合した場合は、セットが優先されます。

2. IEBBnPCR.IEBBnCTPT ビットへの 1 書き込みでは、IEBBnTTRF ビットはクリア（0）されません。

(c)　フィールド・ステータス・フラグ（IEBBnSSFS1, IEBBnSSFS0）
… ビット 1, 0

各種割り込み（IEBBTD, IEBBTSTA, IEBBTERR, IEBBTV）発生時に、IEBus コントローラのフィールド・ステータスの状態を格納するフラグです。

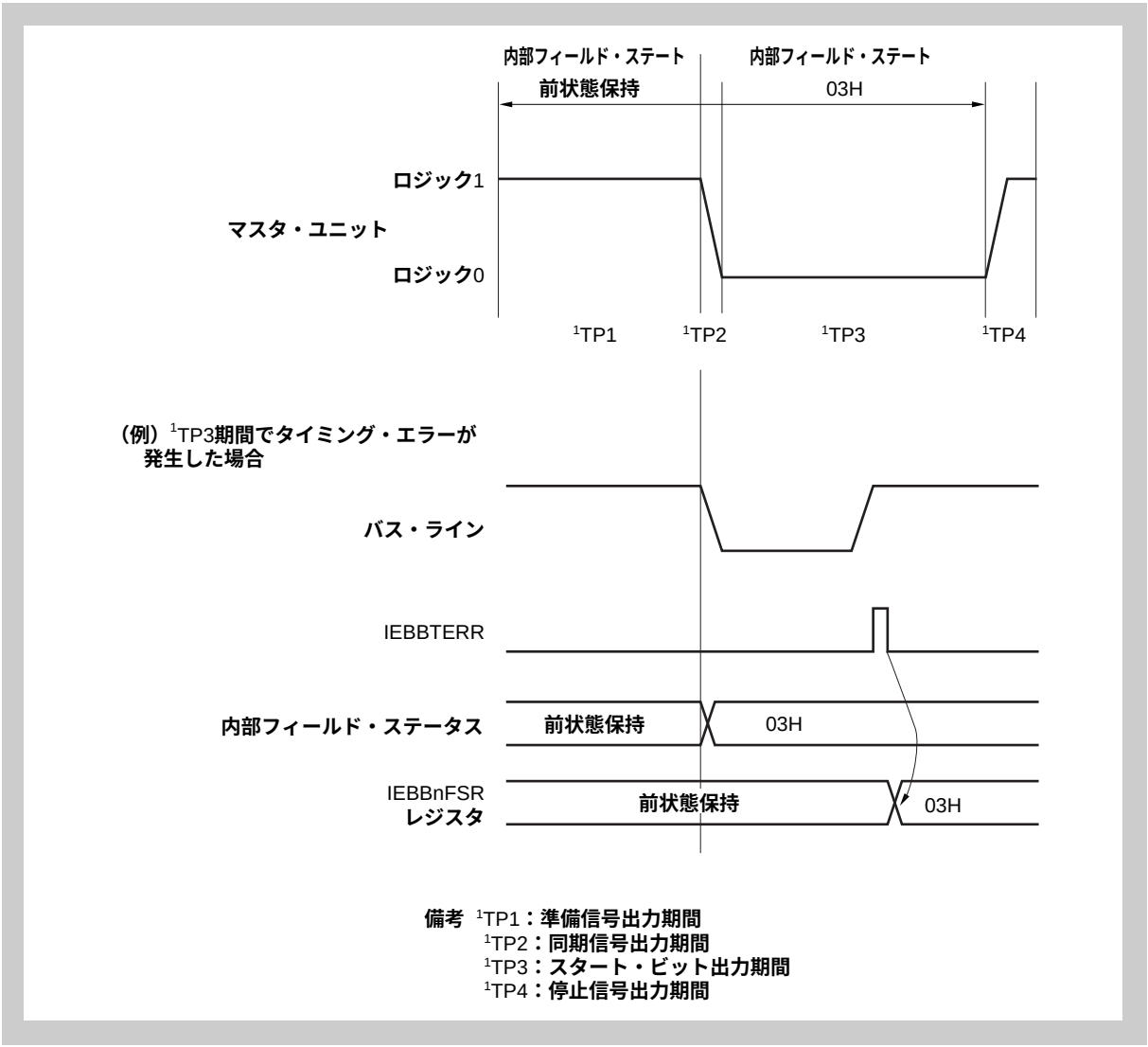


図 22-8　マスタ時のスタート・ビットでのフィールド・ステータス（内部信号）

マスタ・ユニットで**図 22-8「マスタ時のスタート・ビットでのフィールド・ステータス（内部信号）」**のスタート・ビットを出力するとき、1TP1 までのフィールド・ステータス値は前の値を保持します。1TP2 以降のフィールド・ステータス値は 03H になります。1TP3 でタイミング・エラーが発生し、IEBBTERR を出力したとき、IEBBnFSR レジスタには 03H が格納されます。

もし、正常に通信が行われていれば、IEBBTERR は発生しないため、フィールド・ステータス値は IEBBnFSR レジスタに格納されず、1TP2 以降も IEBBnFSR レジスタ値は前の値を保持します。

(22) IEBBn サクセス・カウント・レジスタ（IEBBnSCR）

IEBBnSCR レジスタは、残りの通信バイト数を示すレジスタです。

IEBBnDLR レジスタで設定された値が、電文長フィールド終了後に格納され、データ・フィールドの $\overline{\text{ACK}}$ 信号によりデクリメントされるカウンタのカウント値が読み出されます。

つまり、通信すべきデータのバイト数から通信に成功したバイト数が順に引かれていくため、IEBBnSCR レジスタの値は残りの通信バイト数を示すことになります。

また、カウント値が 00H になると通信終了フラグ（IEBBnISR.IEBBnETRF ビット）がセット（1）されます。

IEBBnSCR レジスタへのデータ更新は、電文長フィールドのパリティ期間終了時、データ・フィールドのアクノリッジ・ビット期間終了時に $\overline{\text{ACK}}$ 信号を受信したときに行われます。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0054H

初期値　01H。
IEBBnBCR.IEBBnPW ビットが書き変わったときに同期リセットされます。

注意　IEBBnSCR レジスタから 00H が読み出されたときは、残りの通信データ・バイト数が 0 バイト（通信終了）なのか、256 バイトなのか判断できません。したがって、通信終了フラグ（IEBBnISR.IEBBnETRF ビット）と併用して処理することで判断する必要があります。

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R

表 22-35 IEBBnSCR レジスタの内容

ビット								設定値	残り通信データ・バイト数
7	6	5	4	3	2	1	0		
0	0	0	0	0	0	0	1	01H	1 バイト
0	0	0	0	0	0	1	0	02H	2 バイト
:	:	:	:	:	:	:	:	:	:
0	0	0	1	0	1	0	0	20H	32 バイト
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	FFH	255 バイト
0	0	0	0	0	0	0	0	00H	0 バイト（通信終了）または 256 バイト

(23) IEBBn コミュニケーション・カウント・レジスタ（IEBBnCCR）

IEBBnCCR レジスタは、通信モードで規定されている通信バイト数に対する残りバイト数を示すレジスタです。

IEBBnCCR レジスタは、伝送バイト数を示します。

各モードで規定されている 1 フレーム当たりの最大伝送バイト数（通信モード 1：32 バイト、通信モード 2：128 バイト）がプリセットされ、データ・フィールドのアクノリッジ・ビットの期間に ACK/NACK 信号に関係なくデクリメントされるカウンタのカウント値が読み出されます。IEBBnSCR レジスタが正常通信（ACK 信号）でデクリメントされるのに対して、IEBBnCCR レジスタは ACK/NACK 信号にかかわらず 1 バイトを通信するとデクリメントされます。また、カウント値が 00H になるとフレーム終了フラグ（IEBBnISR.IEBBnEFMF ビット）がセット（1）されます。

プリセット値のフレーム当たりの最大伝送バイト数は、通信モード 1 が 20H（32 バイト）、通信モード 2 が 80H（128 バイト）になります。

データ更新は最大転送バイト数プリセットがスタートビット送（受）信終了時にデクリメントがデータ・フィールドの ACK 期間終了時にパリティに依存せず行われる。

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<IEBBn_base> ＋ 0058H

初期値　20H。
IEBBnBCR.IEBBnPW ビットが書き変わったときに同期リセットされます。

注意　IEBBnPSR.IEBBnCMD ビットの書き込みにより、IEBBnCCR レジスタの値は更新されません。

7	6	5	4	3	2	1	0
R	R	R	R	R	R	R	R

(24) IEBBn ステータス・クリア・レジスタ 0（IEBBnSTC0）

IEBBnSTC0 レジスタは、IEBBnESR レジスタをクリアするレジスタです。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<IEBBn_base> ＋ 005CH

初期値　00H

7	6	5	4	3	2	1	0
IEBBn CLTM	IEBBn CLPA	IEBBn CLNC	IEBBn CLUR	IEBBn CLOV	0	IEBBn CLAB	IEBBn CLTR
W	W	W	W	W	R	W	W

表 22-36 IEBBnSTC0 レジスタの内容

ビット位置	ビット名	意　味
7	IEBBn CLTM	タイミング・エラー・フラグ（IEBBnESR.IEBBnTIME）をクリアするビット 0：非動作 1：IEBBnTIME ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。
6	IEBBnCLPA	パリティ・エラー・フラグ（IEBBnESR.IEBBnPARE）をクリアするビット 0：非動作 1：IEBBnPARE ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。
5	IEBBn CLNC	NACK 受信エラー・フラグ（IEBBnESR.IEBBnNACE）をクリアするビット 0：非動作 1：IEBBnNACE ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。
4	IEBBn CLUR	アンダラン・エラー・フラグ（IEBBnESR.IEBBnUNRE）をクリアするビット 0：非動作 1：IEBBnUNRE ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。
3	IEBBn CLOV	オーバラン・エラー・フラグ（IEBBnESR.IEBBnOVRE）をクリアするビット 0：非動作 1：IEBBnOVRE ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。
1	IEBBn CLAB	競合負けエラー・フラグ（IEBBnESR.IEBBnABTE）をクリアするビット 0：非動作 1：IEBBnABTE ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。
0	IEBBnCLTR	第三者間通信エラー・フラグ（IEBBnESR.IEBBnTRDE）をクリアするビット 0：非動作 1：IEBBnTRDE ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。

(25) IEBBn ステータス・クリア・レジスタ 1（IEBBnSTC1）

IEBBnSTC1 レジスタは、IEBBnISR.IEBBnFOVE ビットをクリアするレジスタです。

アクセス　8 ビット単位でライトのみ可能です。

アドレス　<IEBBn_base> ＋ 0060H

初期値　00H

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	IEBBn CLFF
R	R	R	R	R	R	R	W

表 22-37 IEBBnSTC1 レジスタの内容

ビット位置	ビット名	意　味
0	IEBBnCLFF	フレームオーバ・エラー・フラグ（IEBBnISR.IEBBnFOVE）をクリアするビット 0：非動作 1：IEBBnFOVE ビットをクリア 1 ライトのみ有効であり、0 をライトしても内部状態は変化しません。 読み出し値は常に 0 です。

(26) IEBBn データ・レジスタ（IEBBnDR）

IEBBnDR レジスタは、通信データを設定するレジスタです。ビット 7-0 に通信データ（8 ビット）を設定します。

備考 1. IEBBnDR レジスタは、書き込み側と読み出し側が別レジスタになっており、書き込んだデータをそのまま読み出せる構成にはなっていません。読み出されるデータは、IEBus 通信で受信したデータとなります。

2. FIFO モード時は、IEBBnDR レジスタに連続アクセスすることで FIFO 内にデータを転送できます（送信ユニット時の詳細は *22.5.1* (1)「送信用 FIFO」、受信ユニット時の詳細は *22.5.1* (2)「受信用 FIFO」を参照）

(a) 送信ユニット時

IEBBnDR レジスタへのライト値は、自局が送信ユニットである場合（マスタ送信、スレーブ送信）に、データ・フィールドでデータ・ビットとして最上位ビットから送信されます。

1 バイト目の送信データは通信開始前（IEBBnBCR.IEBBnMSRQ ビット = 0）に設定してください。

FIFO モード時でも、通信開始前（IEBBnMSRQ ビット = 0）に最低 1 バイトの送信データを FIFO に書き込んでください。

FIFO モード時、FIFO の中身は IEBBnBCR.IEBBnPW ビットで同期リセットされません。ポインタの値がクリア（0）されることで、ユーザ見えのデータの残りはなくなります。格納データは不定となります。

送信動作時（マスタ送信、スレーブ送信）、データ割り込み（IEBBTD）が発生すると、次の送信データを IEBBnDR レジスタに書き込みます。

シングル・モード時に、ステータス送信割り込み (IEBBTSTA,IEBBTV) が発生した場合、受信したコントロール・データに応じたステータス・データを IEBBnDR レジスタに書き込みます。

(b) 受信ユニット時

IEBBnDR レジスタのリード値は、自局が受信ユニットである場合（マスタ受信、スレーブ受信）に、データ・フィールドで受信した 1 バイト・データが読み出されます。格納は、データ・フィールドのパリティ期間終了時に、パリティが正常値のときに行われます。リード値は IEBBnPW ビット = 0 でリセットされます。

受信動作時（マスタ受信、スレーブ受信）、データ割り込み（IEBBTD）が発生すると、受信データを IEBBnDR レジスタから読み出します。

アクセス 8 ビット単位でリード／ライト可能です。

アドレス <IEBBn_base> ＋ 0064H

初期値 00H。
リード値は、IEBBnBCR.IEBBnPW ビットの書き換えで同期リセットされます。

注意
1. IEBBnDR レジスタへの書き込みが送信に間に合わない場合、アンダラン・エラーを発生し、通信を終了します。
2. ステータス・データの IEBBnDR レジスタへの書き込みは、ステータス送信割り込みが発生してから電文長フィールドが終了するまでに行ってください。
3. シングル・モード時、IEBBnDR レジスタの読み出しが次の受信までに行われない場合の動作は、その通信が個別通信か同報通信かによって異なります。
   - 個別通信時、そのフィールドで NACK 信号を返信し、マスタに同一データの送信を促します。受信データの IEBBnDR レジスタへの格納は行いません。NACK 信号の返信は IEBBnDR レジスタの読み出しが行われるまで繰り返されますが、最大伝送バイト数に達しても IEBBnDR レジスタの読み出しが行われない場合、フレーム終了（IEBBTSTA, IEBBTV）と NACK 受信 エラー（IEBBTERR, IEBBTV）を同時に発生します。
   - 同報通信時、オーバラン・エラーを発生し通信を終了します。受信データの IEBBnDR レジスタへの格納は行いません。エラー・フラグは、オーバラン・エラー・フラグ（IEBBnOVRE）がセット（1）されます。
4. FIFO モード時、前の通信で受信したデータをすべて読み出す前に次の受信を行った場合の動作は、その通信が個別通信か同報通信かによって異なります。
   - 個別通信時、データ・フィールドで NACK 信号を返信し、マスタに同一データの送信を促します。受信データの FIFO への格納は行いません。NACK 信号の返信は FIFO の全データの読み出しが行われるまで繰り返されますが、最大伝送バイト数に達しても FIFO の読み出しが終了しない場合、フレーム終了（IEBBTSTA）と NACK 受信エラー（IEBBTERR）を同時に発生します。
   - 同報通信時、オーバラン・エラーを発生し通信を終了します。受信データの FIFO への格納は行いません。エラー・フラグは、フレームオーバ・エラー・フラグ（IEBBnISR.IEBBnFOVE）がセット（1）されます。
5. FIFO モードかつ通信モード 2 で、未読み出しのデータが 32 バイトになり、さらに次の受信を行った場合の動作は、その通信が個別通信か同報通信かによって異なります。
   - 個別通信時、そのフィールドで NACK 信号を返信し、マスタに同一データの送信を促します。受信データの FIFO への格納は行いません。NACK 信号の返信は IEBBnDR レジスタの読み出しが行われるまで繰り返されますが、最大伝送バイト数に達しても IEBBnDR レジスタの読み出しが終了しない場合、フレーム終了（IEBBTSTA）と NACK 受信エラー（IEBBTERR）を同時に発生します。
   - 同報通信時、オーバラン・エラーを発生し通信を終了します。受信データの FIFO への格納は行いません。エラー・フラグは、オーバラン・エラー・フラグ（IEBBnESR.IEBBnOVRE）がセット（1）されます。

7	6	5	4	3	2	1	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

22.4　割り込み動作

22.4.1　割り込み要求信号

次の 8 つの割り込み要求により各種割り込みが発生します。割り込み信号のハイ・レベル幅は P0φ の 1 クロックです。

シングル・モードまたは FIFO モードにより、発生する割り込みが異なります。

(1)　シングル・モード

次にシングル・モード時の割り込み生成要因を示します。

表 22-38 シングル・モード時の割り込み生成要因一覧

略　号	IEBBTD	IEBBTV	IEBBTERR	IEBBTSTA	割り込み要因
IEBBnIEBE		○	○		通信エラー （IEBBnISR.IEBBnIEBE ビット = 1 になる条件） なお、IEBBnIEBE は IEBBnESR レジスタの下記ビット = 1 で発生します。 ・タイミング・エラー（IEBBnTIME） ・パリティ・エラー（IEBBnPARE） ・NACK 受信エラー（IEBBnNACE）[a] ・アンダラン・エラー（IEBBnUNRE） ・オーバラン・エラー（IEBBnOVRE）
IEBBnSTRF		○		○	スタート要求（IEBBnISR.IEBBnSTRF ビット = 1 になる条件）
IEBBnSTSF		○		○	ステータス送信要求 （IEBBnISR.IEBBnSTSF ビット = 1 になる条件）
IEBBnETRF		○		○	通信終了 （IEBBnISR.IEBBnETRF ビット = 1 になる条件）
IEBBnEFMF		○		○	フレーム終了 （IEBBnISR.IEBBnEFMF ビット = 1 になる条件）[a]
IEBBnFOVE					フレームオーバ （IEBBnISR.IEBBnFOVE ビット = 1 になる条件）
WRREQ	○				送信データ書き込み要求 （IEBBnSSR.IEBBnSTXF ビット = 0 になる条件）[b]
RDREQ	○				受信データ読み出し要求 （IEBBnSSR.IEBBnSRXF ビット = 1 になる条件）[c]

a) フレームの最終データが NACK 信号で終了した場合、フレーム終了を示す IEBBnISR.IEBBnEFMF ビットがセット（1）されることで IEBBTV, IEBBTSTA が発生します。
このとき、NACK 受信エラーにより IEBBTERR, IEBBTV 割り込みが発生します。
この 3 つの割り込み（IEBBTV, IEBBTSTA, IEBBTERR）は、同時に発生します。

b) 【マスタ送信時】
①電文長フィールド送信後の $\overline{\text{ACK}}$ 信号の受信後に IEBBTD は発生します。ただし、転送サイズが 1 バイト（IEBBnTDL レジスタ = 01H）の場合は、IEBBTD は発生しません。
②データ・フィールド送信後の $\overline{\text{ACK}}$ 信号の受信後に IEBBTD は発生します。ただし、最終データ送信前、および最終データ送信後の $\overline{\text{ACK}}$ 信号の受信後には IEBBTD は発生しません。具体的には、電文長が 5 バイトの場合、4 バイト目送信後と 5 バイト目送信後には IEBBTD は発生しません。また 1 フレームの最大伝送バイト数を送信する場合は、（最大伝送バイト－ 1）バイト目と最大伝送バイト目の送信後は IEBBTD を発生しません。
【スレーブ送信時】
①電文長フィールド送信後の $\overline{\text{ACK}}$ 信号の受信後に IEBBTD は発生します。ただし、転送サイズが 1 バイトのとき、または受信したコントロール・ビットがステータス要求（0H, 4H, 5H, 6H）のとき、IEBBTD は発生しません（代わりにステータス送信割り込みが発生します）。
②データ・フィールド送信後は、【マスタ送信時】の②と同一となります。

c) RDREQ は、データ・フィールドでパリティ・ビット受信後に発生します。ただし、自身が送信したパリティ・ビットと受信したパリティ・ビットが異なる場合には、タイミング・エラーとなり、割り込みは発生しません。

(2) FIFO モード

次に FIFO モード時の割り込み生成要因を示します。

表 22-39 FIFO モード時の割り込み生成要因一覧

略　号	IEBBTD	IEBBTV	IEBBTERR	IEBBTSTA	割り込み要因
IEBBnIEBE			○		通信エラー （IEBBnISR.IEBBnIEBE ビット = 1 になる条件） なお、IEBBnIEBE は IEBBnESR レジスタの下記ビット = 1 で発生します。 ・タイミング・エラー（IEBBnTIME） ・パリティ・エラー（IEBBnPARE） ・NACK 受信エラー（IEBBnNACE）[a] ・アンダラン・エラー（IEBBnUNRE） ・オーバラン・エラー（IEBBnOVRE）[b] ・競合負けエラー（IEBBnABTE）
IEBBnSTRF					スタート要求（IEBBnISR.IEBBnSTRF ビット = 1 になる条件）
IEBBnSTSF					ステータス送信要求 （IEBBnISR.IEBBnSTSF ビット = 1 になる条件）
IEBBnETRF		○[c]		○	通信終了 （IEBBnISR.IEBBnETRF ビット = 1 になる条件）
IEBBnEFMF		○[c]		○	フレーム終了 （IEBBnISR.IEBBnEFMF ビット = 1 になる条件）[a]
IEBBnFOVE			○		フレームオーバ （IEBBnISR.IEBBnFOVE ビット = 1 になる条件）[b]
WRREQ	○[d]				送信データ書き込み要求
RDREQ		○[e]			受信データ読み出し要求 パリティ

a) フレームの最終データが NACK 信号で終了した場合、フレーム終了を示す IEBBnISR.IEBBnEFMF ビットがセット（1）されることで IEBBTV, IEBBTSTA が発生します。
また、NACK 受信エラーにより IEBBTERR 割り込みが発生します。
この 3 つの割り込み（IEBBTV, IEBBTSTA、IEBBTERR）は、送信または受信に関係なく同時に発生します。

b) 前回のフレームの受信により FIFO が full になっている状態でリードも行われないまま、次のフレームの同報通信でデータを受信した場合、IEBBnISR.IEBBnFOVE ビットと IEBBnESR.IEBBnOVRE ビットは同時にセット（1）されます。

c)IEBBTV は IEBBTSTA と同じ条件、同じタイミングで発生します（詳細については表 22-40 「IEBBnETRF と IEBBnEFMF の ACK/NACK」を参照してください）。
【個別通信の場合】
①送信側のデバイス
・IEBBnETRF：ACK 信号の受信後にセット（1）されます。NACK 信号を受信した場合には、通信終了にはなりません。
・IEBBnEFMF：ACK/NACK 信号に関係なく、受信後にセット（1）されます。
②受信側のデバイス
・IEBBnETRF：ACK 信号の送信後にセット（1）されます。NACK 信号を送信した場合には、通信終了にはなりません。
・IEBBnEFMF ：ACK/NACK 信号に関係なく、送信後にセット（1）されます。
NACK 信号は、受信 FIFO に空きがないときと、パリティ不一致によるデータ再送要求があるときに出力されます。エラーを検出したことにより、通信から退避しバスの状態として送信側に対し ACK 信号の返信を行わないということは NACK 信号ではありません。この場合には、フレーム終了の状態とはならないため IEBBTSTA, IEBBTV は発生しません。
【同報通信の場合】
同報通信の場合には、スレーブからの $\overline{\text{ACK}}$ 信号の返信がありません。そのため、マスタ送信、スレーブ受信に関係なく NACK 信号の返信を正常動作として判断し、IEBBnETRF または IEBBnEFMF での割り込みを発生します。

d)IEBBnTMS.IEBBnSLTI1, IEBBnSLTI0 ビットで設定した条件成立で発生します。発生タイミングはデータ・フィールド送信後の ACK 信号の受信後です。ただし、転送サイズが 1 バイトのとき、または受信したコントロール・ビットがステータス要求（0H, 4H, 5H, 6H）の場合、IEBBTD は発生しません。

e) ①送信側のデバイス
この条件では RDREQ はセットされません。
②受信側のデバイス
IEBBnTMS.IEBBnSLRI1, IEBBnSLRI0 ビットで設定した条件成立時（パリティ・ビットが正常値である受信確認後）に RDREQ はセット（1）されます。
パリティ・ビットが不一致の場合には、条件が成立しないために RDREQ はセット（1）されません。
通信終了時、フレーム終了時は、RDREQ としての割り込み要因はマスクされます。

表 22-40 IEBBnETRF と IEBBnEFMF の $\overline{\text{ACK}}$/NACK

フィールド・ステータス	個別通信				同報通信			
	IEBBnETRF		IEBBnEFMF		IEBBnETRF		IEBBnEFMF	
	$\overline{\text{ACK}}$	NACK	$\overline{\text{ACK}}$	NACK	$\overline{\text{ACK}}$	NACK	$\overline{\text{ACK}}$	NACK
マスタ送信	○	×	○	○		○		○
マスタ受信	○	×	○	○				
スレーブ送信	○	×	○	○				
スレーブ受信	○	×	○	○		○		○

○：発生する、×：発生しない

備考　IEBBTV の使用方法を次に示します。
① IEBBTV を通信終了前に発生させる場合（IEBBnTMS.IEBBnSLRI1, IEBBnSLRI0 ビットの設定は 32 バイト以下）
通信モード 1 では使用しません。
通信モード 2 で使用します。

・IEBBTV で FIFO に受信したデータ数を確認してから（IEBBTV の割り込み処理が遅れることを想定して、必ず確認します）、リード・アウト。
・IEBBTSTA（通信終了／フレーム終了）では、ステータスの確認をします。
・割り込み優先順位は、データ受信してからステータス変更を行うため、IEBBTV ＞ IEBBTSTA となります。

② IEBBTV を通信中には発生させない場合（IEBBnSLRI1, IEBBnSLRI0 ビットの設定が 32 バイト）
通信モード 1 を使用します（通信モード 2 でも可）。

・通信モード 1
IEBBTV はマスクします（使用しない）。
IEBBTSTA（通信終了／フレーム終了）で FIFO にたまったデータ数を確認してからリード・アウトとステータス変更の確認を行います。

・通信モード 2
①と同じ使い方をします。

22.4.2　割り込み判定例

シングル・モード時の割り込み判定例を示します。

(1)　IEBBTD 使用時

IEBBTD 割り込みの発生により、IEBBn の送信／受信の確認を行う必要があります。

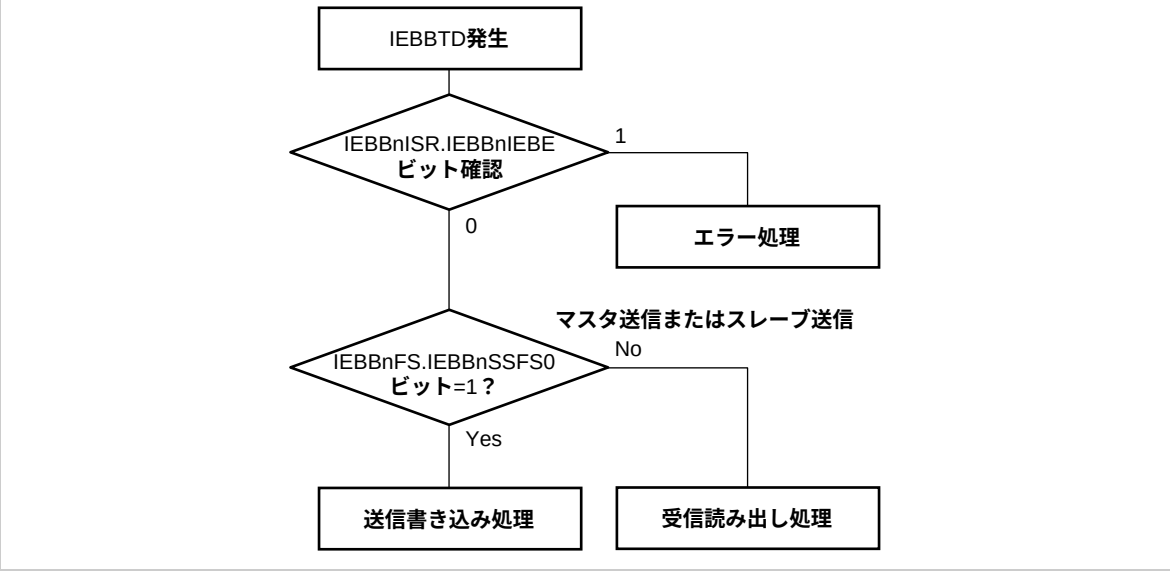


図 22-9　IEBBTD の割り込み判定例

注意　IEBBTD が発生した場合でも、割り込み処置のタイミングにより、エラーが発生している場合があります。
たとえば、IEBBTD 発生後のタイミング・エラーなどです。データ処理の確実性を増すために、IEBBnISR.IEBBnIEBE ビットでエラーが発生していないことを確認したあと、データ処置を行ってください。

(2)　IEBBTERR 使用時

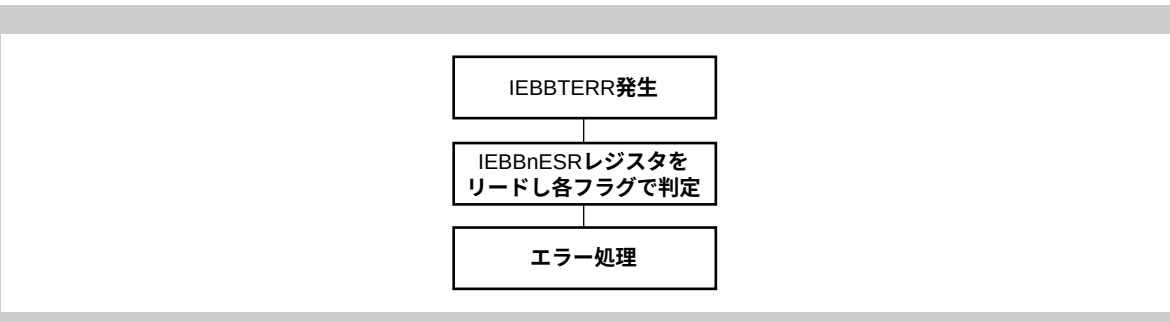


図 22-10 IEBBTERR の割り込み判定例

(3)　IEBBTSTA, IEBBTV 使用時

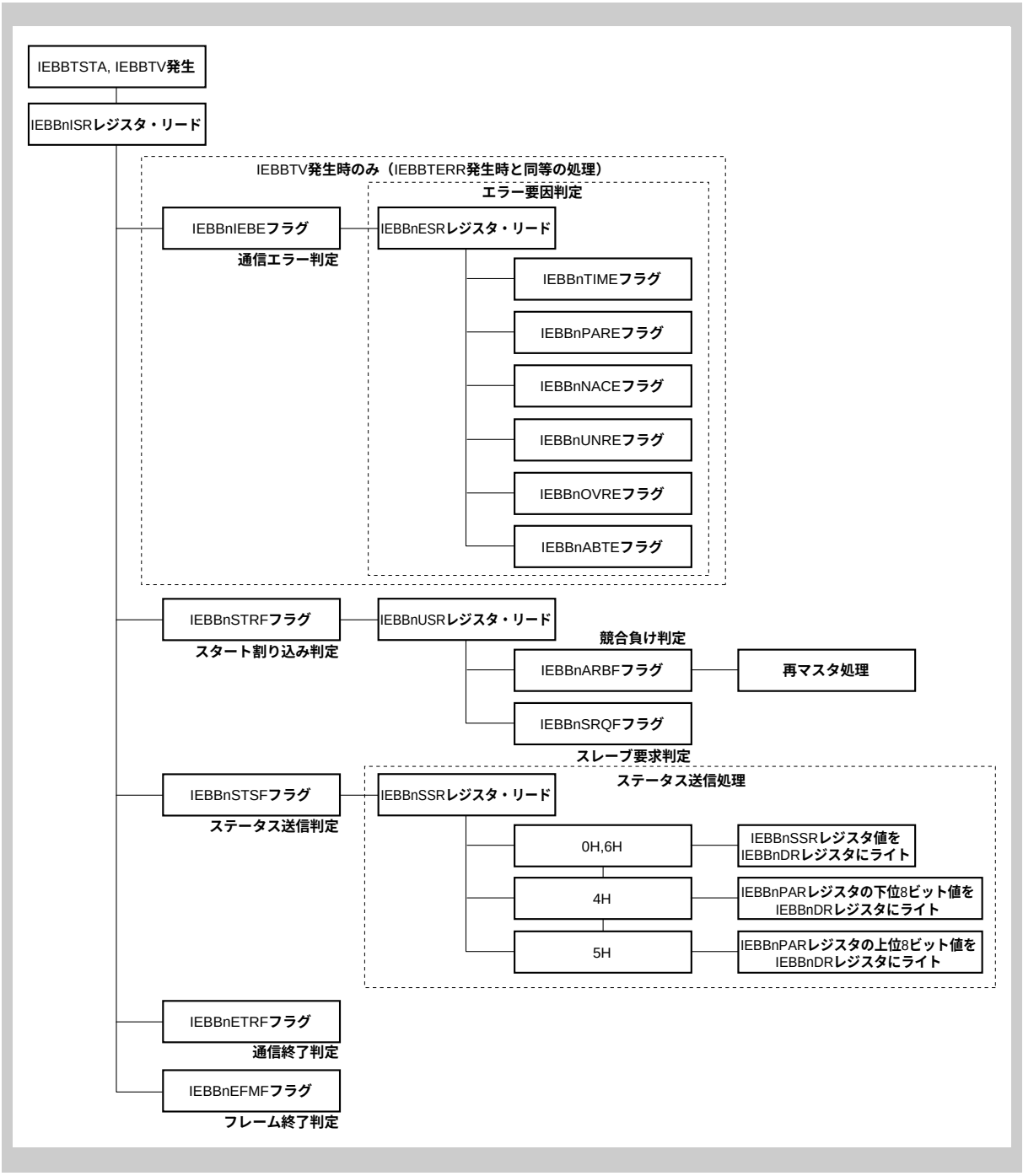


図 22-11　IEBBTSTA, IEBBTV の各種割り込み判定例

22.5 動作

22.5.1 FIFO 機能

(1) 送信用 FIFO

IEBBnTMS.IEBBnFMDE ビット = 1 のとき、送信データを IEBBnDR レジスタに連続ライトすることで自動的にライト用 FIFO ポインタをインクリメントしながら FIFO 内にデータを格納できます。FIFO のサイズは、8 ビット ×32 段です。

転送開始によりロード用ポインタが指すデータの転送を行います。転送終了後、ロード用ポインタをインクリメントします。初期値はライト用ポインタ = ロード用ポインタ = 0 になっています。

IEBBnBSR.IEBBnTFLF ビットは、FIFO 内に 32 バイトのデータが存在する場合にセット（1）され、IEBBnTFLF ビット = 1 のときに 33 バイト目のデータのデータ・ライトを行った場合には、送信用 FIFO オーバライト・フラグ（IEBBnBSR.IEBBnFOVW）がセット（1）されます。このとき、ライト・データは無視され、ライト用ポインタも変化しません。

IEBBnTFLF ビット = 1 の状態から 1 バイトの転送が終了して IEBBnTFLF ビット = 0 になると、次のデータをライトできます。

データのロードにライトが間に合わなかった場合、アンダラン・エラーが発生します。

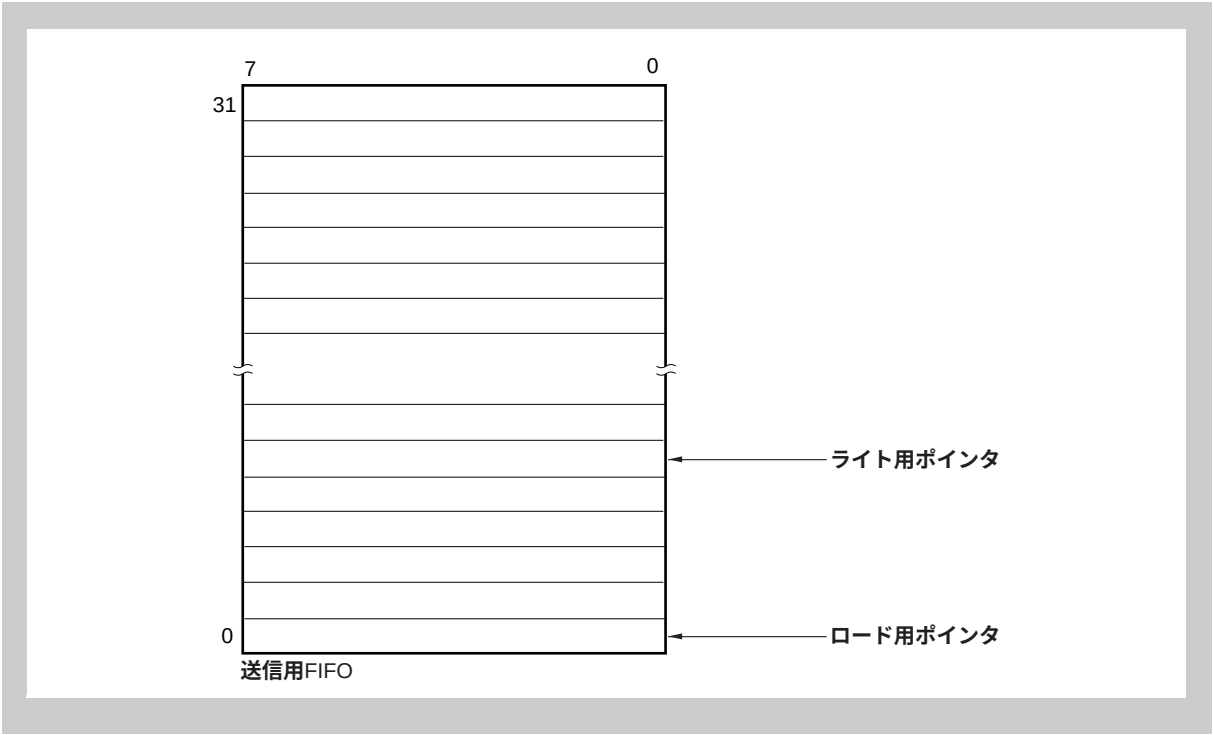


図 22-12 送信用 FIFO

(2)　受信用 FIFO

IEBBnTMS.IEBBnFMDE ビット = 1 のとき、受信データをストア用ポインタが指すアドレスに格納します。データ格納後、ストア用ポインタをインクリメントします。FIFO へのデータ格納は、データ・フィールドのパリティ期間終了時に、パリティが正常値のときに行われます。FIFO のサイズは、8 ビット ×32 段です。

IEBBnDR レジスタをリードすることにより、自動的にリード用ポインタをインクリメントしながら、FIFO 内のデータを読み出すことができます。初期値は、リード用ポインタ = ストア用ポインタ = 0 になっています。

FIFO 内に未読み出しの受信データが 32 バイト存在するときに、次のデータを受信した場合の動作は次のようになります。

- 個別通信時：データは格納せず、NACK 信号を返信し、データの再送を求めます。
- 同報通信時：データは格納せず、オーバラン・エラーが発生します。

  ストアした受信データの読み出しが終了した状態（リード用ポインタ = ストア用ポインタ）でさらに IEBBnDR レジスタのリードを行った場合、リード用ポインタは変化せず、オーバリード・フラグ（IEBBnBSR.IEBBnFOVR ビット）がセット（1）されます。

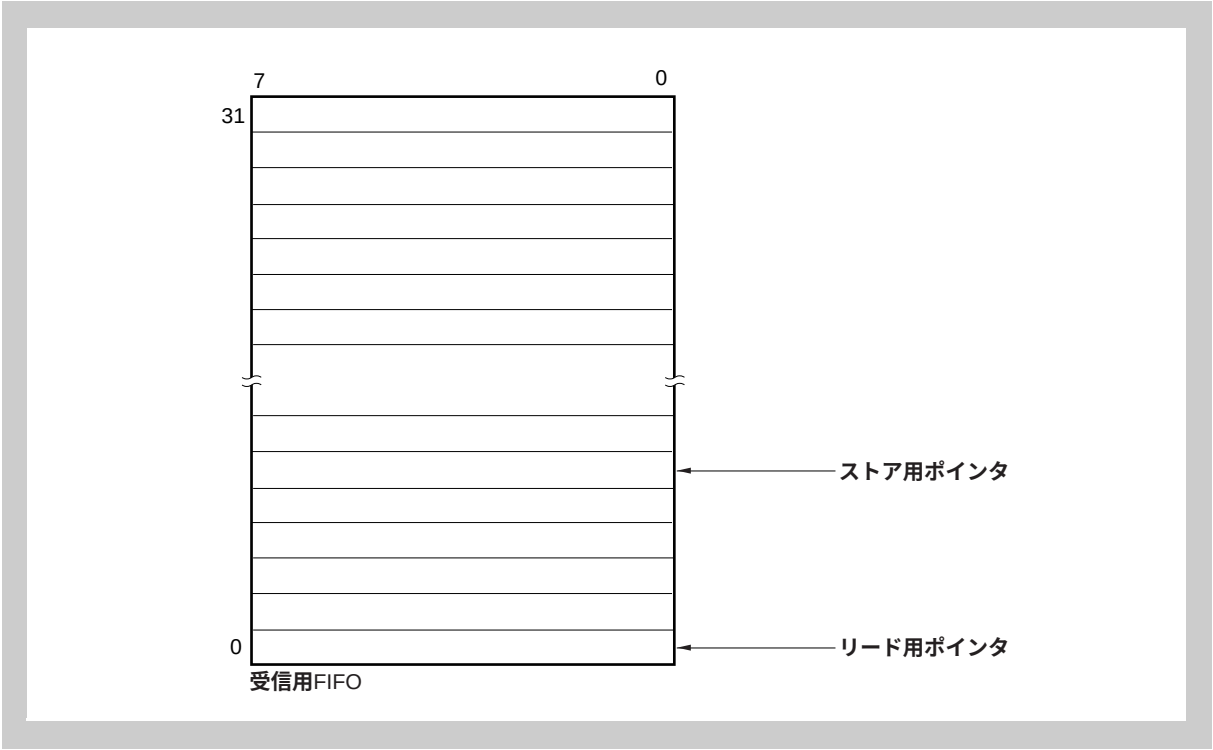


図 22-13 受信用 FIFO

22.5.2　初期設定

IEBBnBCR.IEBBnPW ビットを 1 に設定したあと、次のレジスタを設定してから通信処理を開始します。

表 22-41 初期設定

レジスタ名	機　能	例
IEBBnPSR	動作クロック、通信モードの設定	80H
IEBBnUAR	自局アドレスの設定	101H
IEBBnCKS	クロック選択	15H
IEBBnTMS	通信機能の制御	01H[a]

a) シングル・モードで使用する場合、初期値のままで構いません。

22.5.3　マスタ送信（シングル・モード）

自局ユニットがマスタとしてスレーブ・ユニットに対してデータ／コマンドの送信を行います。

データ割り込みにより 1 バイト転送ごとに送信データを IEBBnDR レジスタに書き込みます。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-42 初期準備処理

レジスタ名	機　能	例
IEBBnSAR	通信相手のユニット・アドレス	102H
IEBBnCDR または IEBBnTCD	コントロール・データ（AH, BH, EH, FH）	FH
IEBBnDLR	電文長	02H
IEBBnDR	データ（1 バイト目のデータ）	11H

表 22-43 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	C8H

(2)　割り込み発生のタイミング

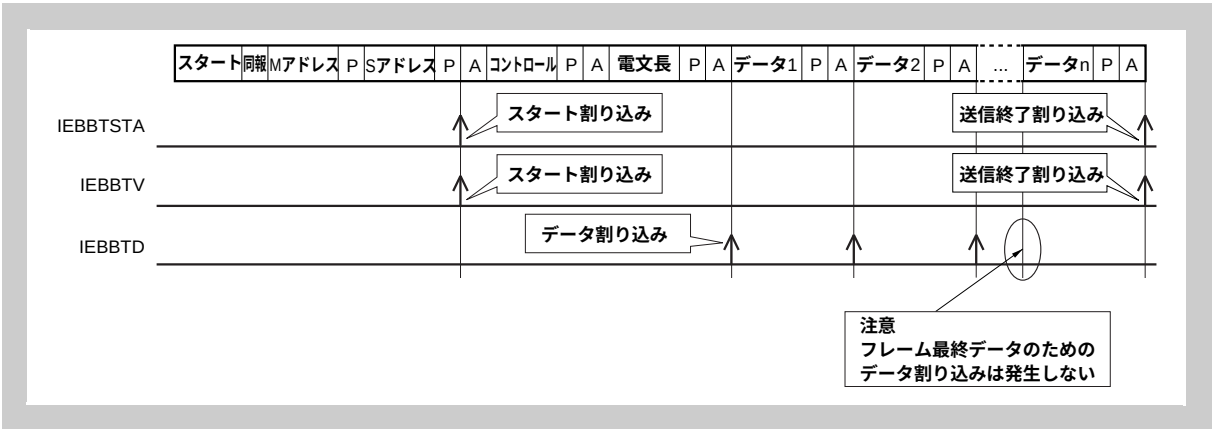


図 22-14 割り込み発生のタイミング

(3)　割り込み処理例

(a)　スタート割り込みの CPU 処理フロー例

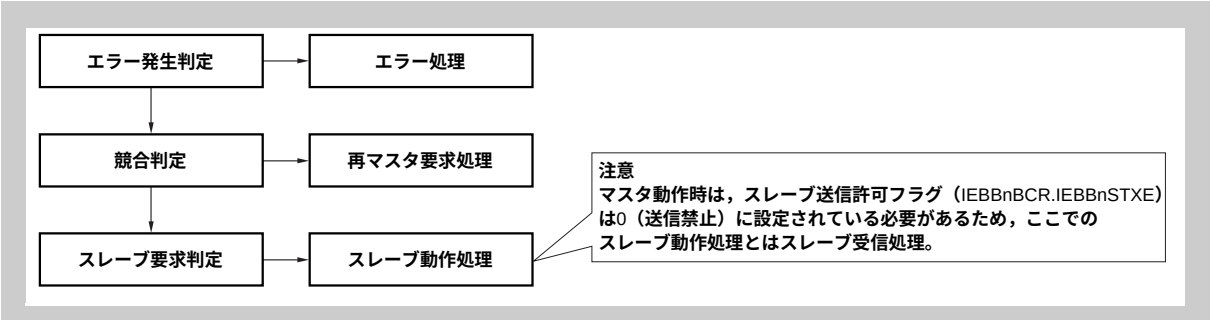


図 22-15 スタート割り込みの CPU 処理フロー例

(b)　送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

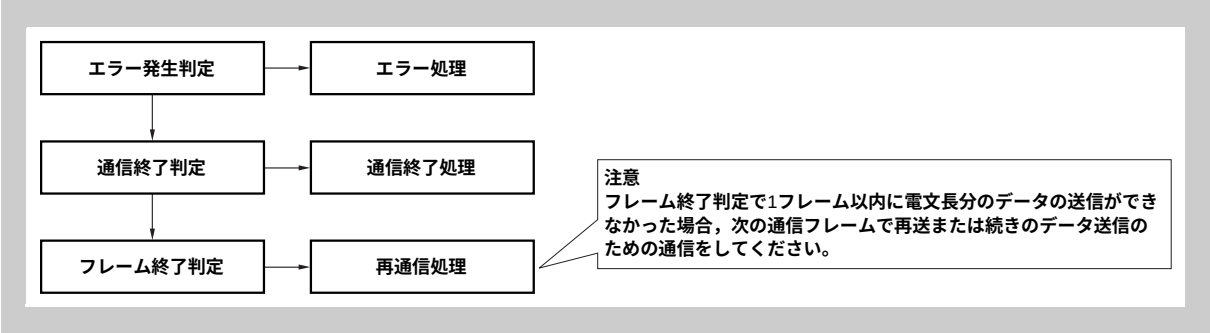


図 22-16 送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

(c)　データ割り込みの CPU 処理例

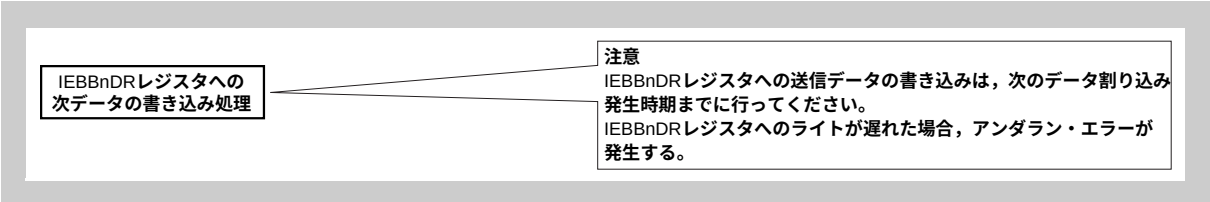


図 22-17 データ割り込みの CPU 処理

22.5.4　マスタ送信（FIFO モード）

自局ユニットがマスタとしてスレーブ・ユニットに対してデータ／コマンドの送信を行います。

あらかじめ送信データをバッファに書き込んでから、マスタ要求を発行します。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-44 初期準備処理

レジスタ名	機　能	例
IEBBnSAR	通信相手のユニット・アドレス	102H
IEBBnCDR または IEBBnTCD	コントロール・データ（AH, BH, EH, FH）	FH
IEBBnTDL	電文長	02H
IEBBnDR	データ（送信するすべてのデータ）	11H, …

表 22-45 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	C8H

(2)　割り込み発生のタイミング

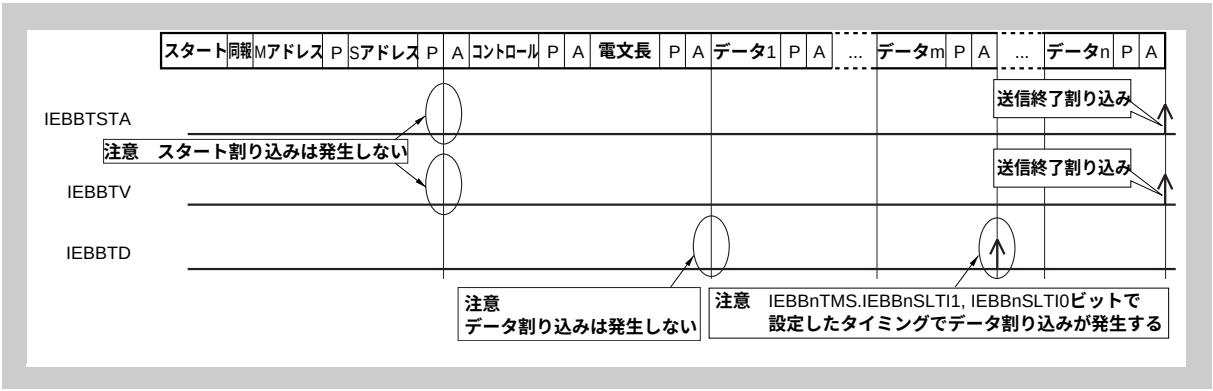


図 22-18 割り込み発生のタイミング

(3)　割り込み処理例

(a)　送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

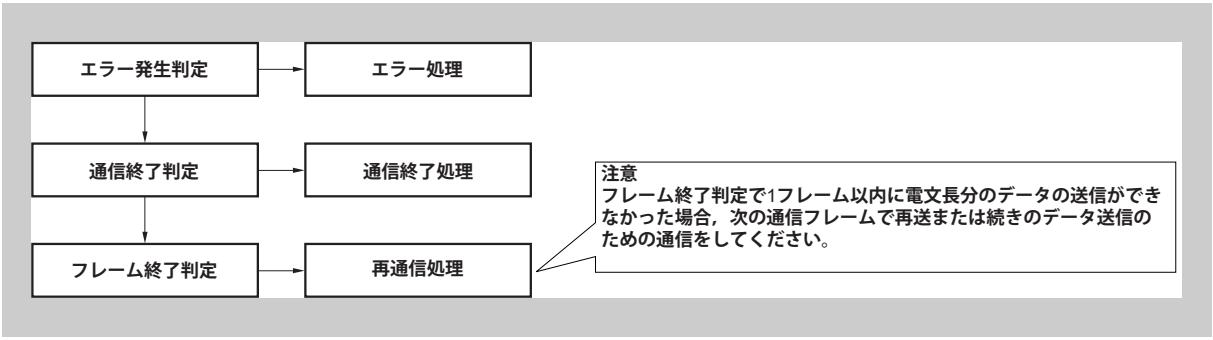


図 22-19 送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

22.5.5　マスタ受信（シングル・モード）

自局ユニットがマスタとしてスレーブ・ユニットからデータ／コマンドを受信します。マスタ受信の場合に電文長フィールドはスレーブが転送するため、別の通信などでスレーブに対して送信すべきデータの電文長を指示してください。データ割り込みにより、1 バイトごとに受信したデータを読み込んでください。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-46 初期準備処理

レジスタ名	機　能	例
IEBBnSAR	通信相手のユニット・アドレス	102H
IEBBnCDR または IEBBnTCD	コントロール・データ（0H, 3H, 4H, 5H, 6H, 7H）	7H

表 22-47 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	C8H

(2)　割り込み発生のタイミング

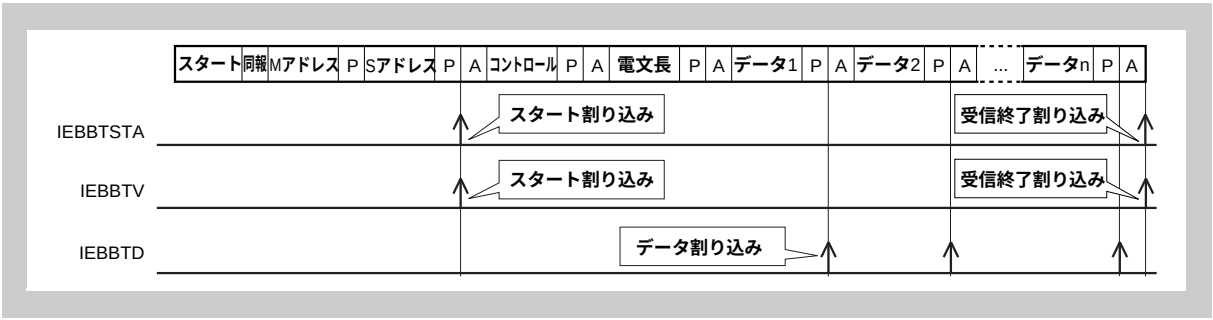


図 22-20 割り込み発生のタイミング

(3)　割り込み処理例

(a)　スタート割り込みの CPU 処理フロー例

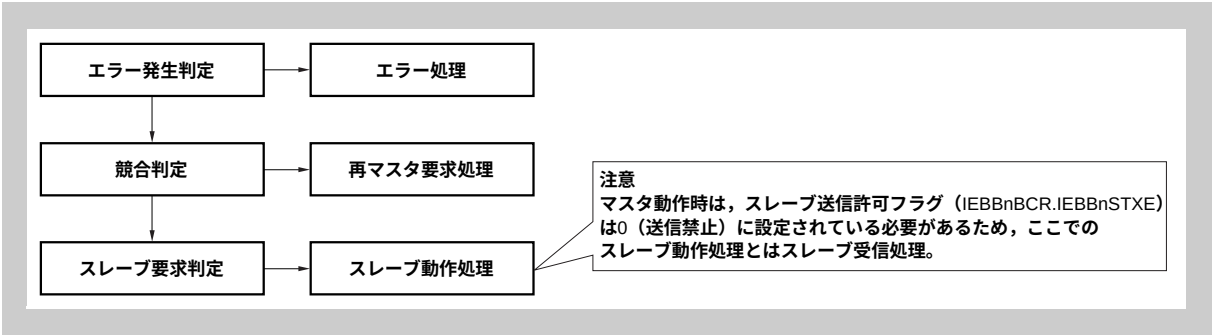


図 22-21 スタート割り込みの CPU 処理フロー例

(b)　受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

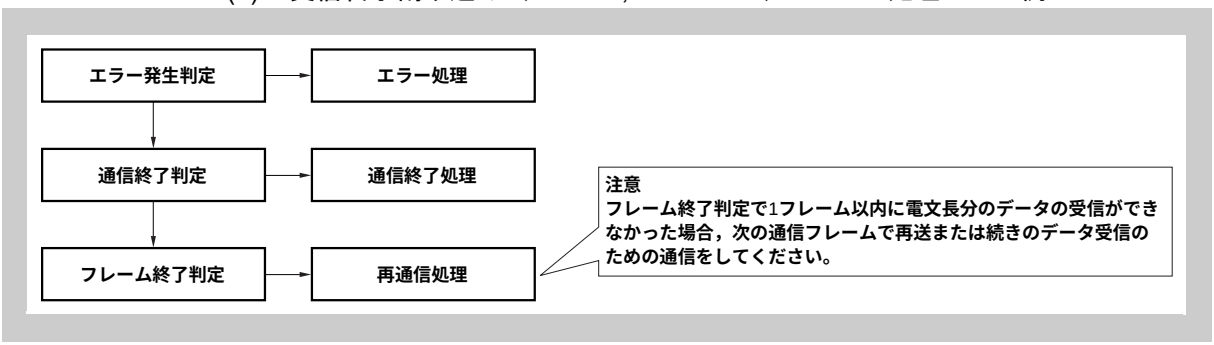


図 22-22 受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

(c)　データ割り込みの CPU 処理例

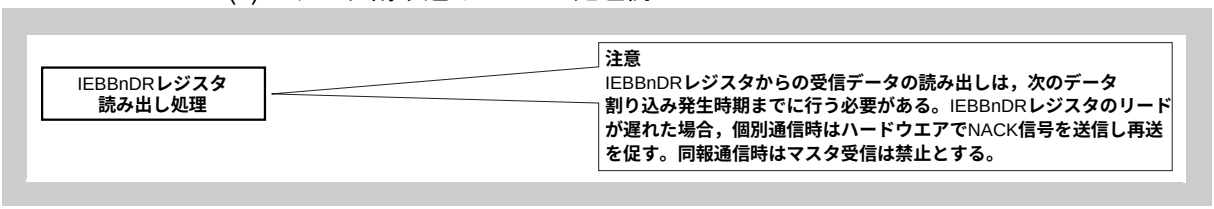


図 22-23 データ割り込みの CPU 処理

22.5.6　マスタ受信（FIFO モード）

自局ユニットがマスタとしてスレーブ・ユニットからデータ／コマンドを受信します。マスタ受信の場合に電文長フィールドはスレーブが転送するため、別の通信などでスレーブに対して送信すべきデータの電文長を指示してください。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-48 初期準備処理

レジスタ名	機　能	例
IEBBnSAR	通信相手のユニット・アドレス	102H
IEBBnCDR または IEBBnTCD	コントロール・データ（0H, 3H, 4H, 5H, 6H, 7H）	7H

表 22-49 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	C8H

(2)　割り込み発生のタイミング

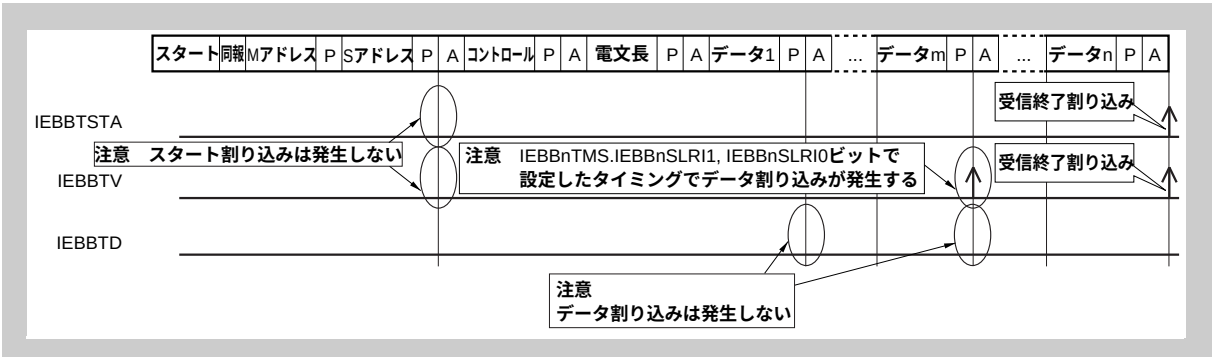


図 22-24 割り込み発生のタイミング

(3)　割り込み処理例

(a)　受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

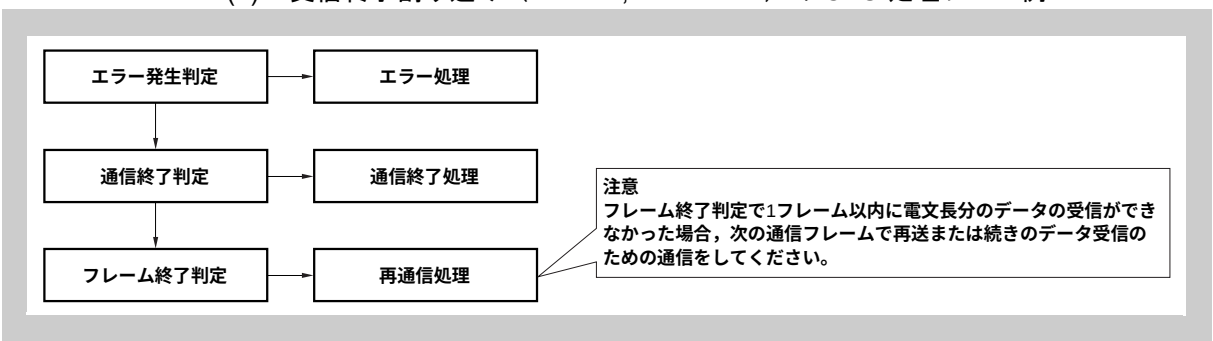


図 22-25 受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

22.5.7　スレーブ送信（シングル・モード）

自局ユニットがスレーブとしてマスタ・ユニットに対してデータ／コマンドの送信を行います。

データ割り込みにより 1 バイト転送ごとに送信データを IEBBnDR レジスタに書き込みます。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-50 初期準備処理

レジスタ名	機　能	例
IEBBnDLR	電文長（スレーブ・ステータス送信時以外）	02H
IEBBnDR	データ（1 バイト目のデータ）	11H

注意　スレーブ送信を開始するときに電文長レジスタ（IEBBnDLR）に設定する値や、どのデータを返信するか（IEBBnDR レジスタに設定すべき値）といった情報は、マスタによる別の通信等により事前に与えられている必要があります。

表 22-51 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	90H

(2)　割り込み発生のタイミング

(a)　自局宛にコントロール・ビットの 3H, 7H を受信した場合

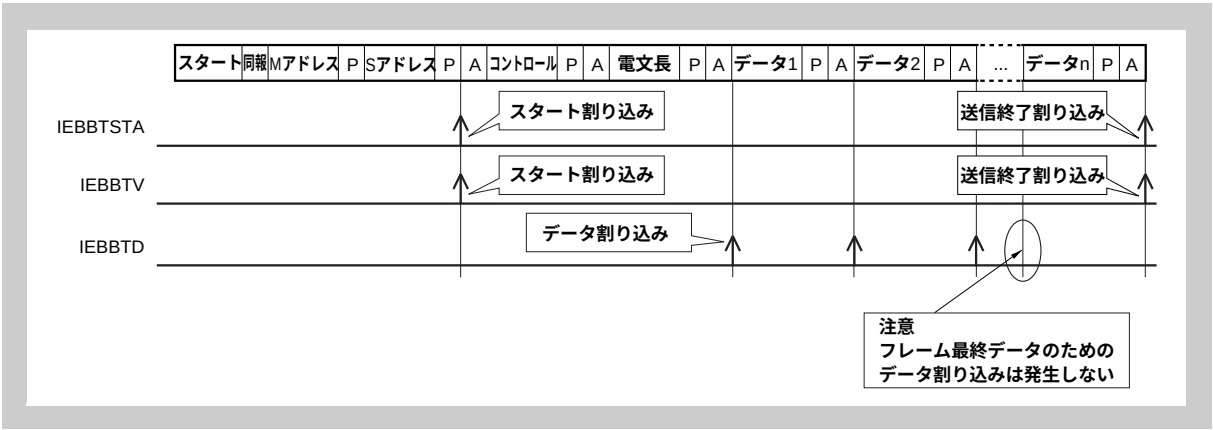


図 22-26 自局宛にコントロール・ビットの 3H, 7H を受信した場合

(b)　自局宛にコントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

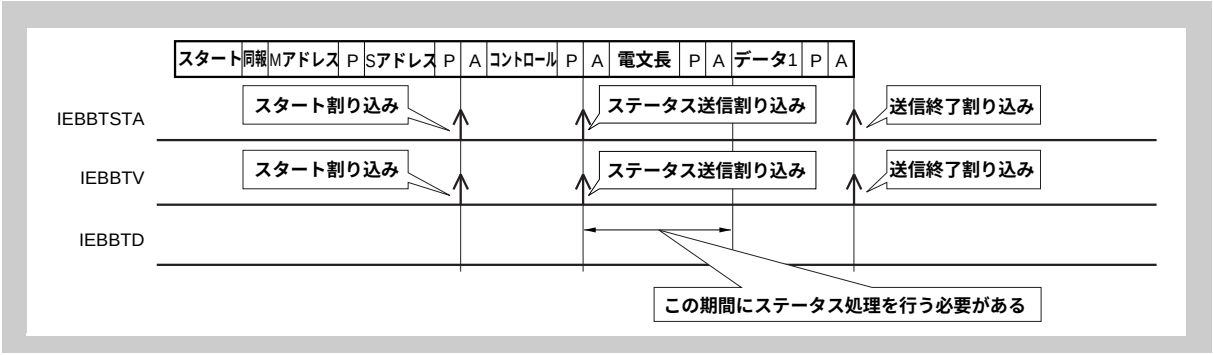


図 22-27 自局宛にコントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

(c)　自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

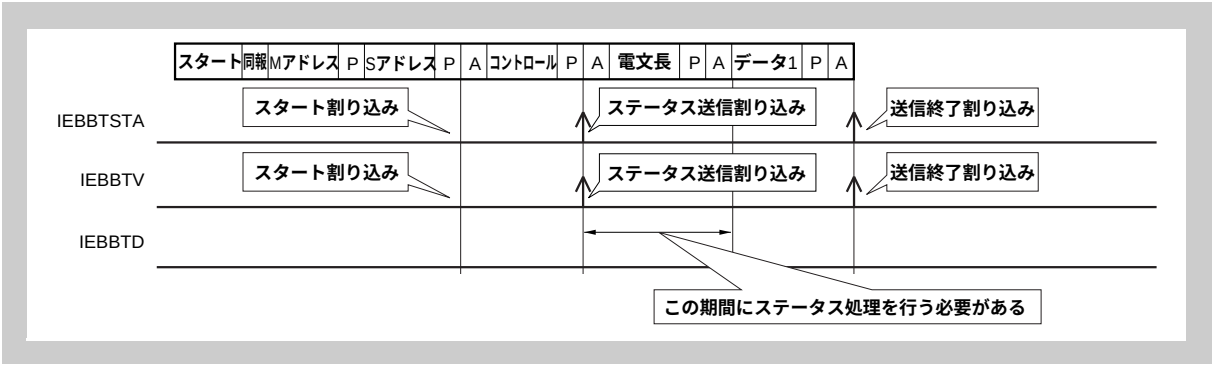


図 22-28 自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

(3)　割り込み処理例

(a)　スタート割り込みの CPU 処理フロー例

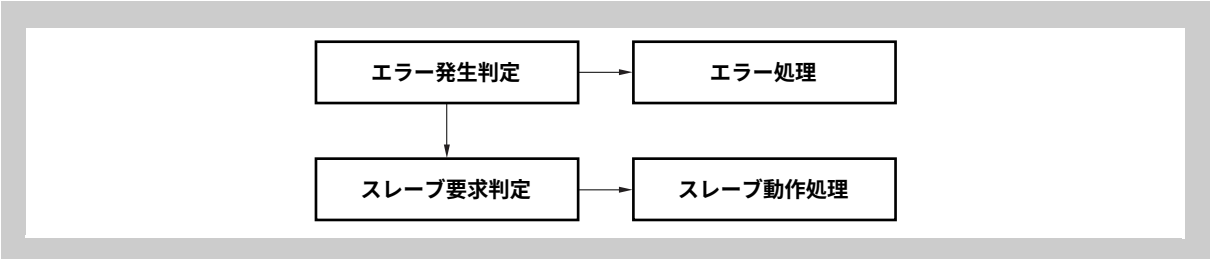


図 22-29 スタート割り込みの CPU 処理フロー例

(b)　送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

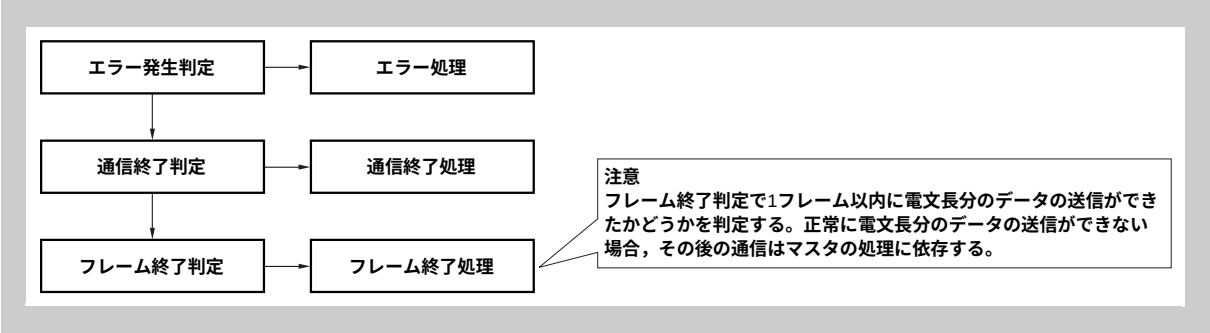


図 22-30 送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

(c)　スレーブ・ステータス送信要求の処理フロー例

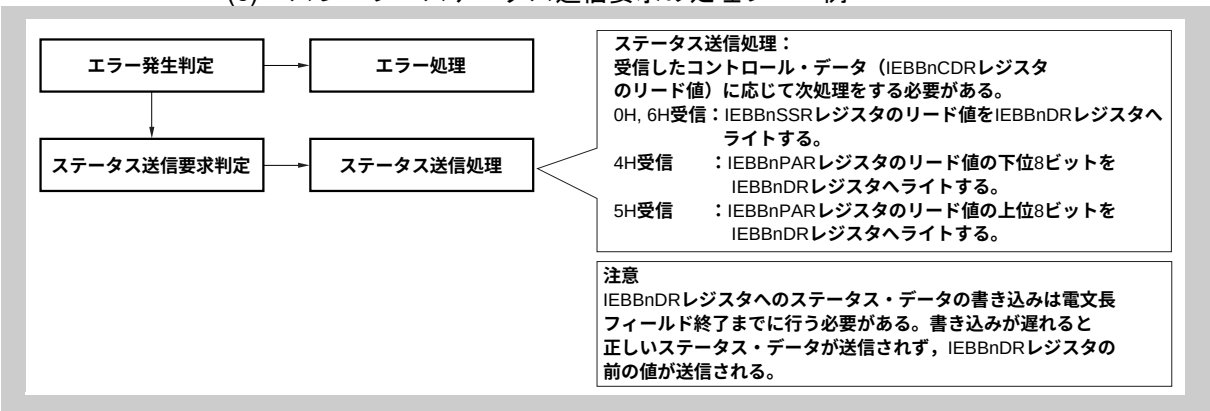


図 22-31 スレーブ・ステータス送信要求の処理フロー

(d)　データ割り込みの CPU 処理例

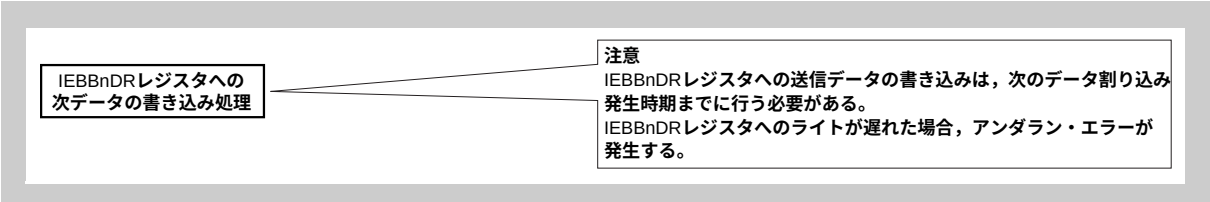


図 22-32 データ割り込みの CPU 処理

22.5.8　スレーブ送信（FIFO モード）

自局ユニットがスレーブとしてマスタ・ユニットに対してデータ／コマンドの送信を行います。

あらかじめ送信データをバッファに書き込んでください。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-52 初期準備処理

レジスタ名	機　能	例
IEBBnTDL	電文長（スレーブ・ステータス送信時以外）	02H
IEBBnDR	データ（送信するすべてのデータ）	11H, …

注意　スレーブ送信を開始するときに電文長レジスタ（IEBBnTDL）に設定する値や、どのデータを返信するか（IEBBnDR レジスタに設定すべき値）といった情報は、マスタによる別の通信等により事前に与えられている必要があります。

表 22-53 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	90H

(2)　割り込み発生のタイミング

(a)　自局宛にコントロール・ビットの 3H, 7H を受信した場合

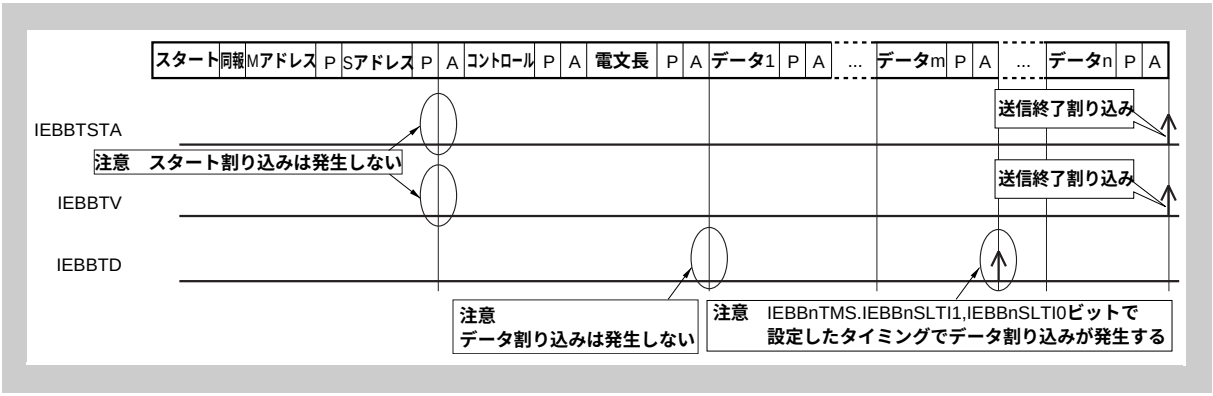


図 22-33 自局宛にコントロール・ビットの 3H, 7H を受信した場合

(b)　自局宛にコントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

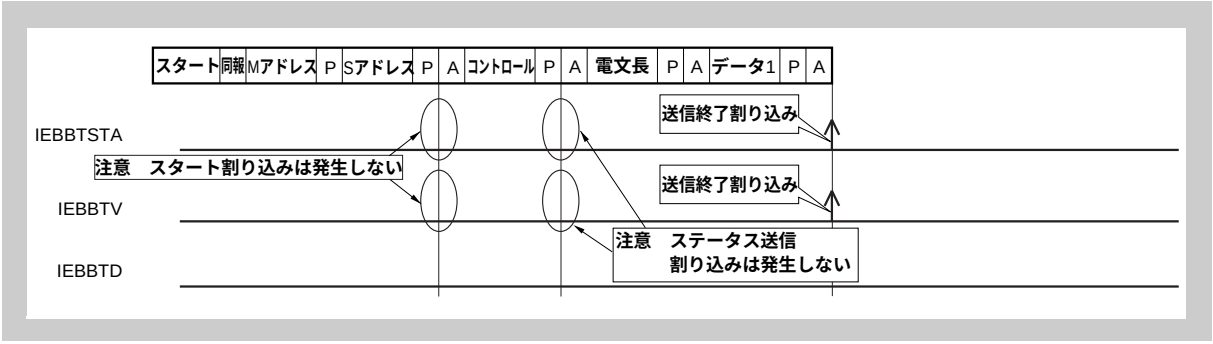


図 22-34 自局宛にコントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

(c)　自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

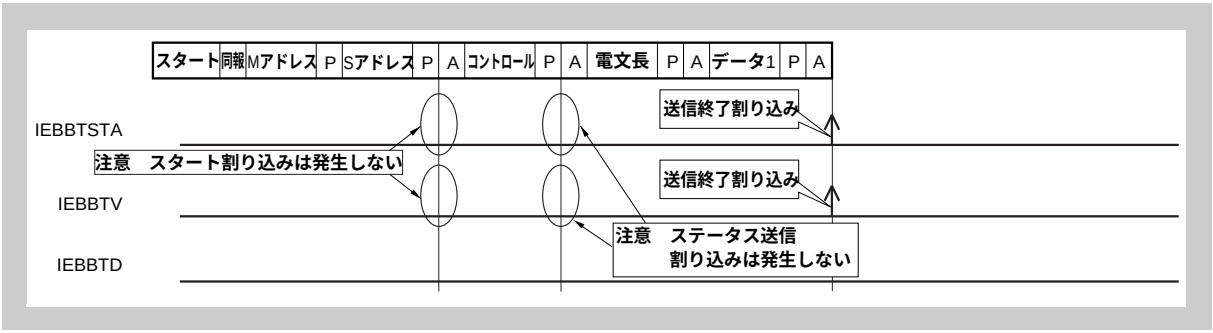


図 22-35 自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

(3)　割り込み処理例

(a)　送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

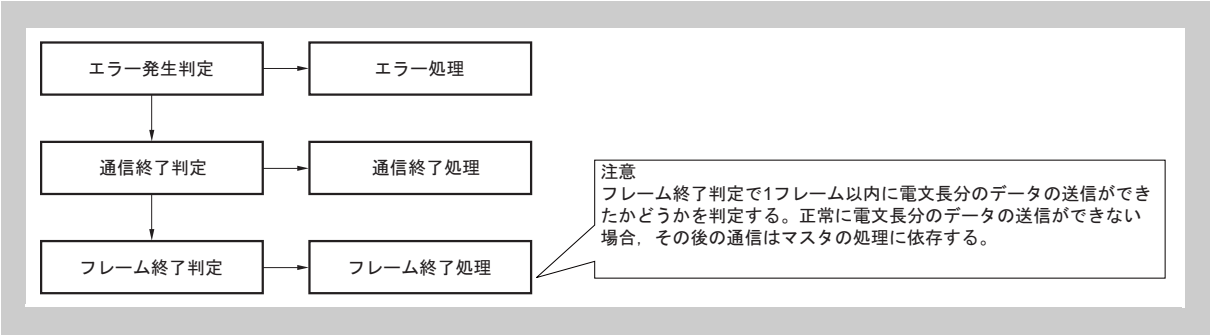


図 22-36 送信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

(b)　スレーブ・ステータス送信要求の処理フロー例

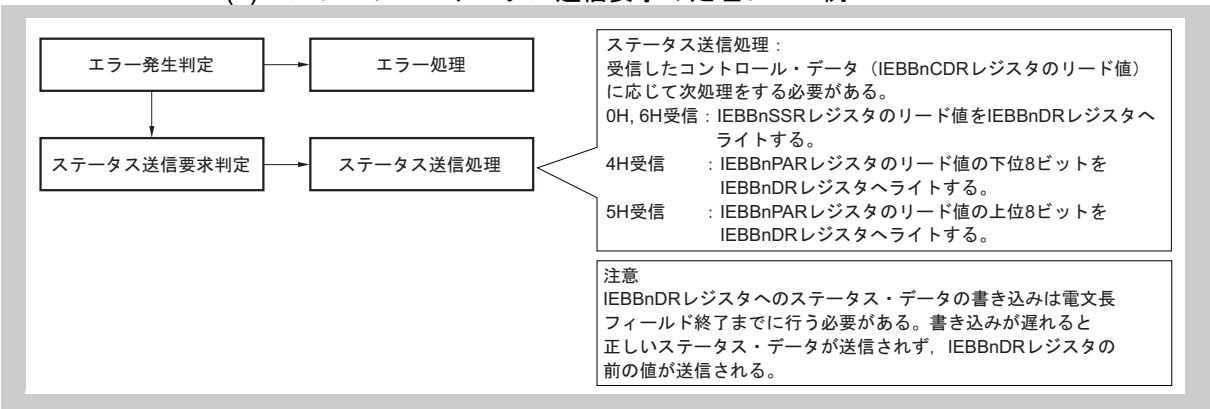


図 22-37 スレーブ・ステータス送信要求の処理フロー

FIFO モードにおいて、自局のマスタ送信要求と自局宛てのスレーブ送信要求が競合して自局が負けた場合、自局はスレーブ送信許可フラグ（IEBBnBCR.IEBBnSTXE）がセット（1）されていないため、コントロール・データ・フィールドでいったん NACK 信号を送信して通信を終了します。その後、スレーブ送信のためのデータを FIFO に設定し、スレーブ送信許可フラグをセット（1）して、マスタから再度スレーブ送信要求を受信するのに備えます。

22.5.9　スレーブ受信（シングル・モード）

自局ユニットがスレーブとしてマスタ・ユニットからデータ／コマンドを受信します。

データ割り込みにより、1 バイトごとに受信したデータを読み込んでください。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-54 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	88H

(2)　割り込み発生のタイミング

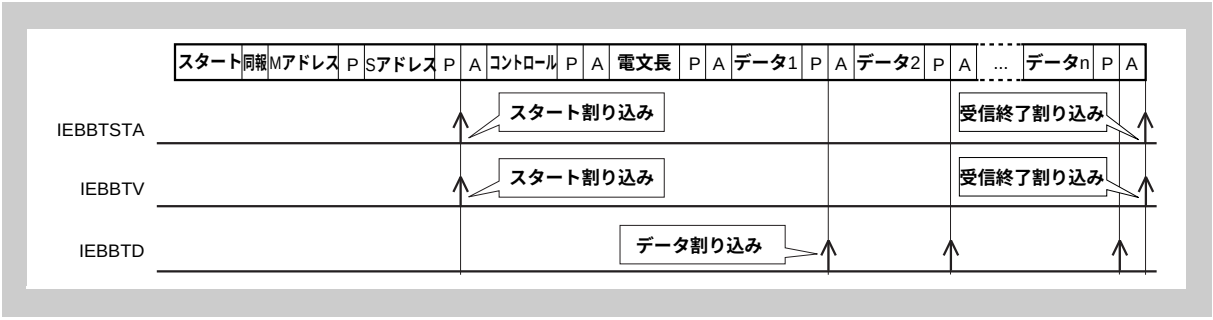


図 22-38 割り込み発生のタイミング

(3)　割り込み処理例

(a)　スタート割り込みの CPU 処理フロー例

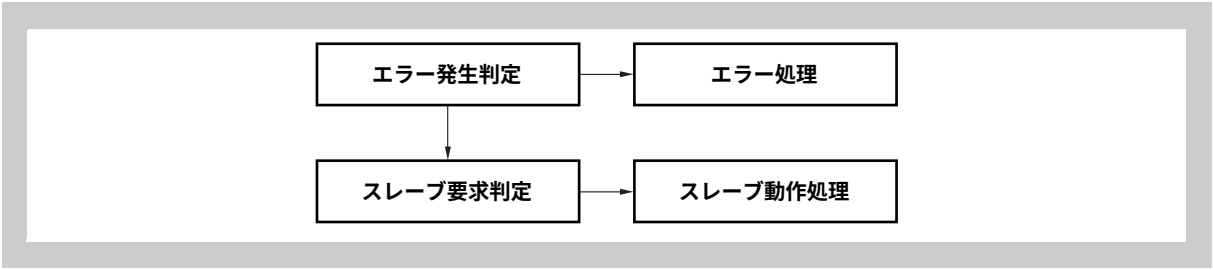


図 22-39 スタート割り込みの CPU 処理フロー例

(b)　受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

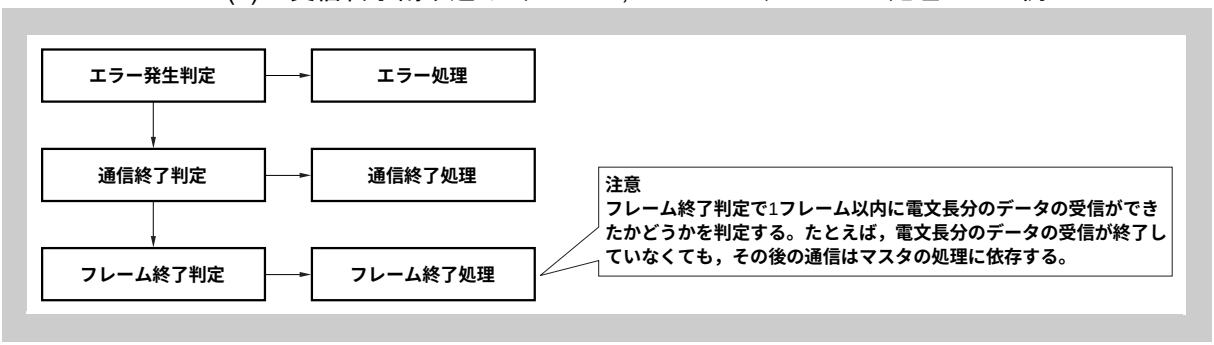


図 22-40 受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

(c)　データ割り込みの CPU 処理例

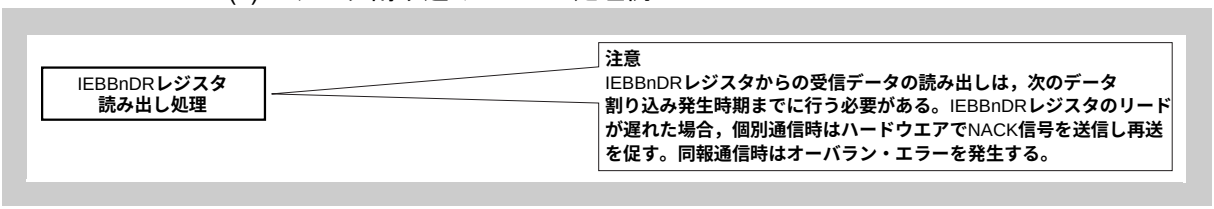


図 22-41 データ割り込みの CPU 処理

22.5.10　スレーブ受信（FIFO モード）

自局ユニットがスレーブとしてマスタ・ユニットからデータ／コマンドを受信します。

(1)　レジスタ設定

22.5.2「**初期設定**」の初期設定後、通信開始前に次のレジスタを設定してください。

表 22-55 通信開始処理

レジスタ名	機　能	例
IEBBnBCR	通信開始処理	88H

(2)　割り込み発生のタイミング

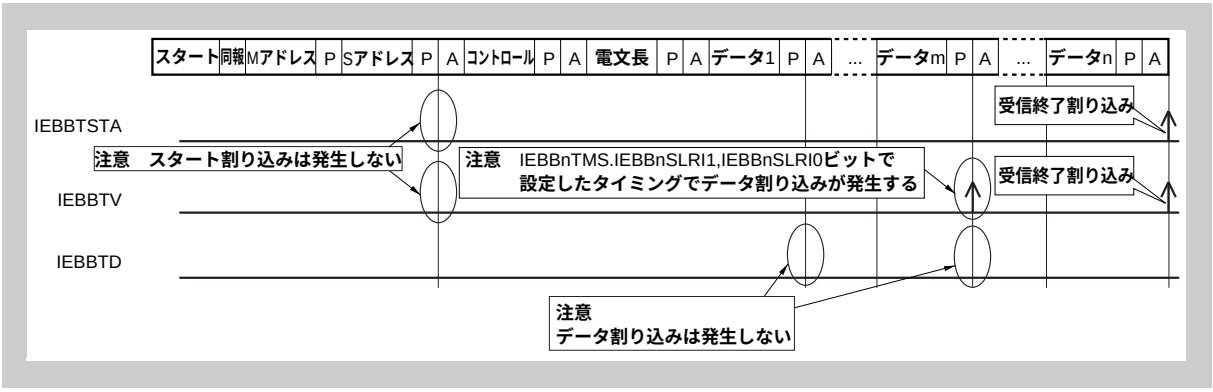


図 22-42 割り込み発生のタイミング

(3)　割り込み処理例

(a)　受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

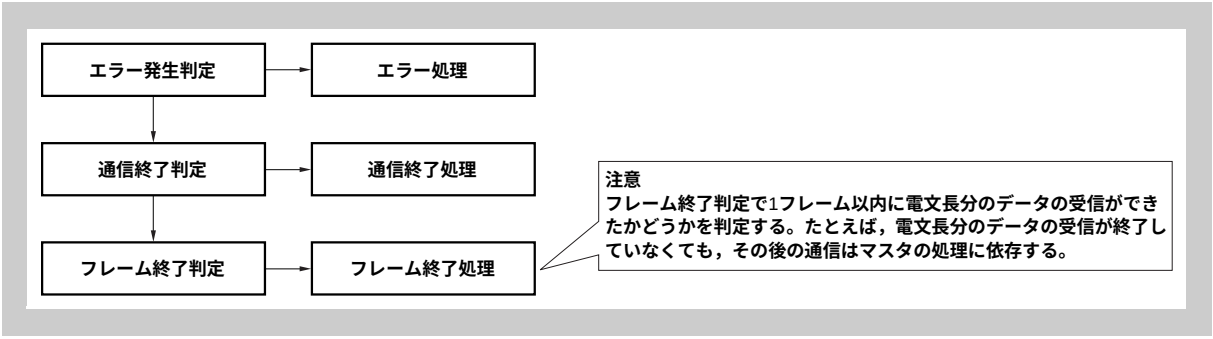


図 22-43 受信終了割り込み（IEBBTV, IEBBTSTA）の CPU 処理フロー例

22.6　設定手順

22.6.1　マスタ送信（シングル・モード）

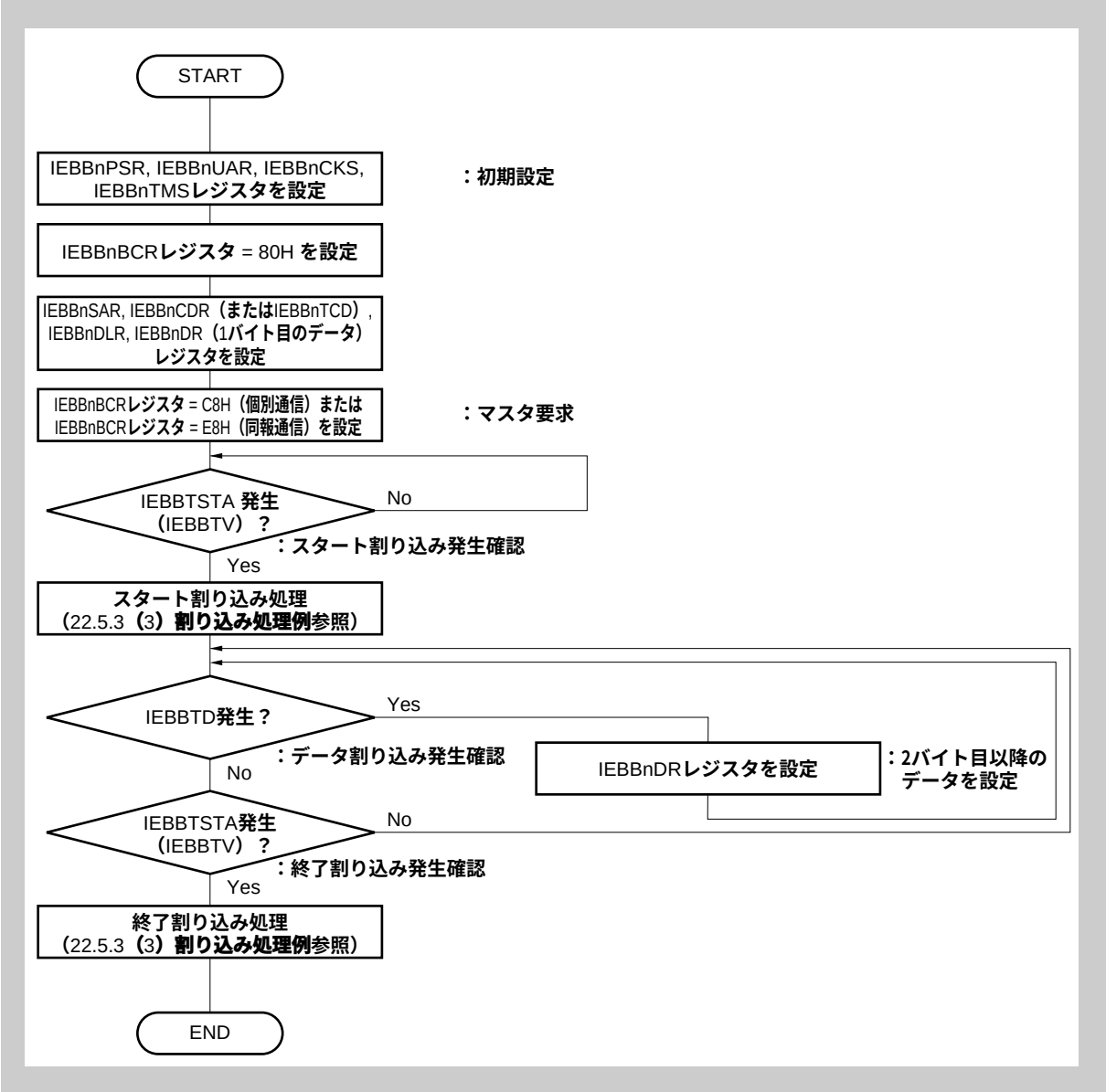


図 22-44 マスタ送信（シングル・モード）

22.6.2　マスタ送信（FIFO モード）

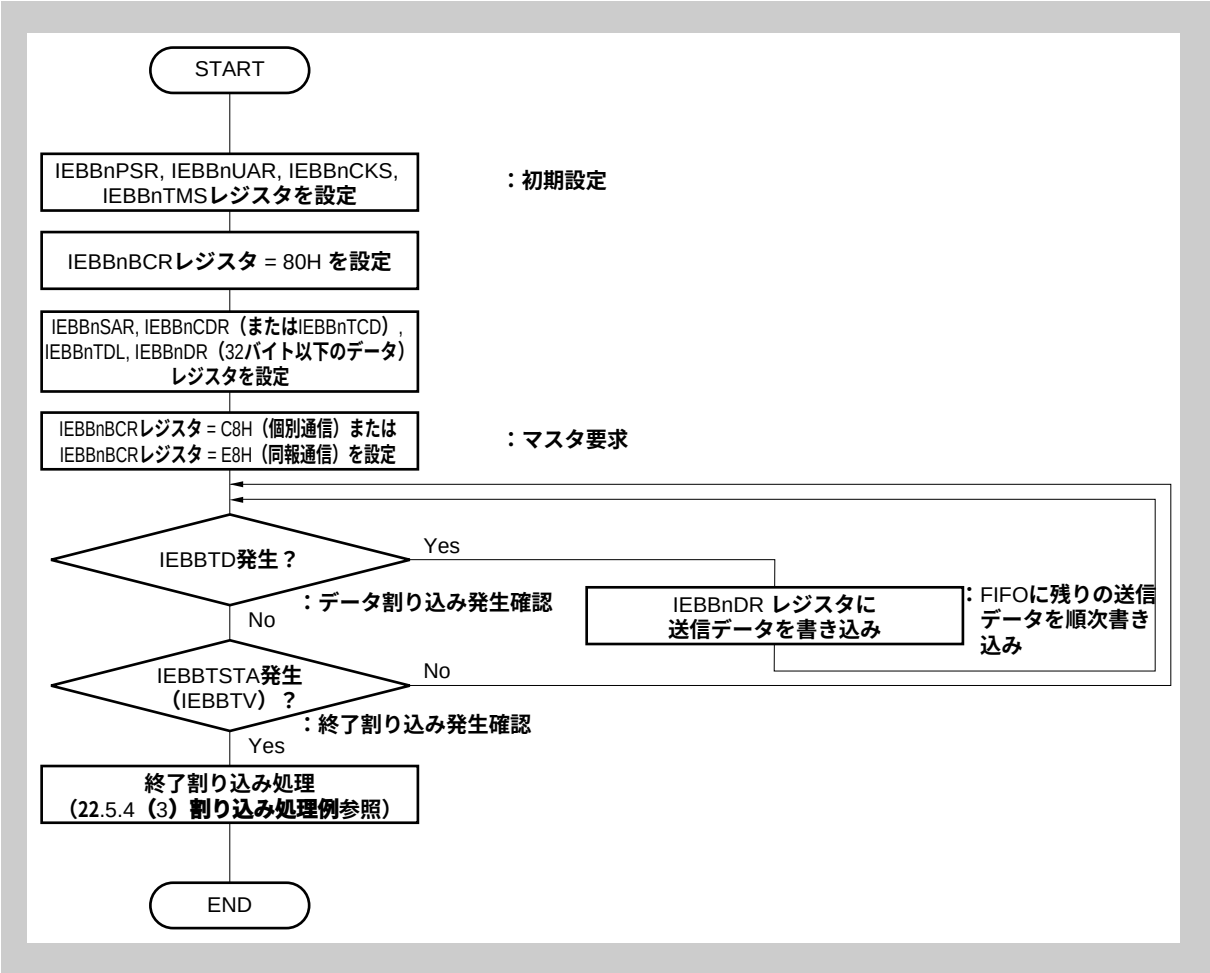


図 22-45 マスタ送信（FIFO モード）

22.6.3　マスタ受信（シングル・モード）

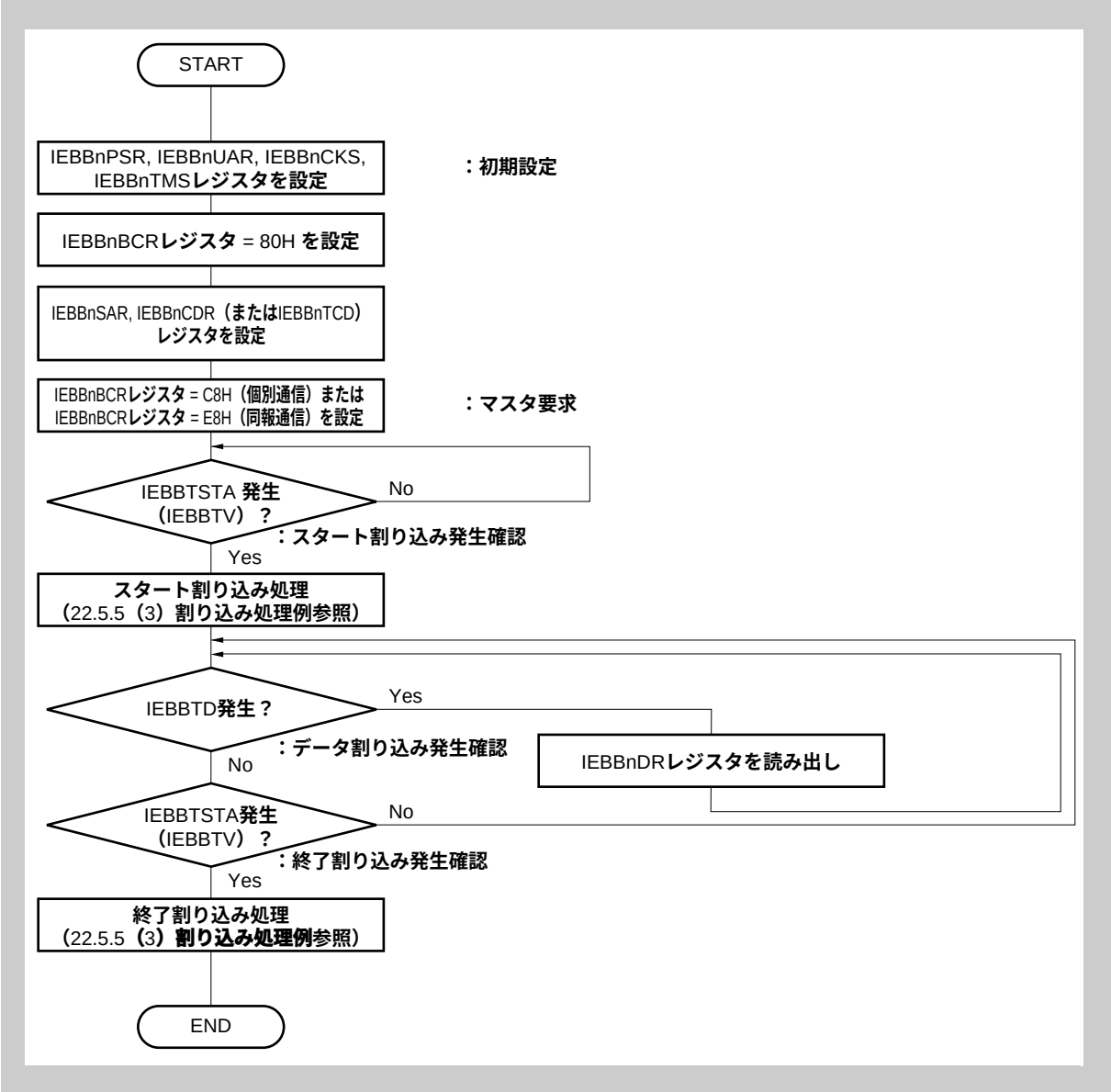


図 22-46 マスタ受信（シングル・モード）

22.6.4　マスタ受信（FIFO モード）

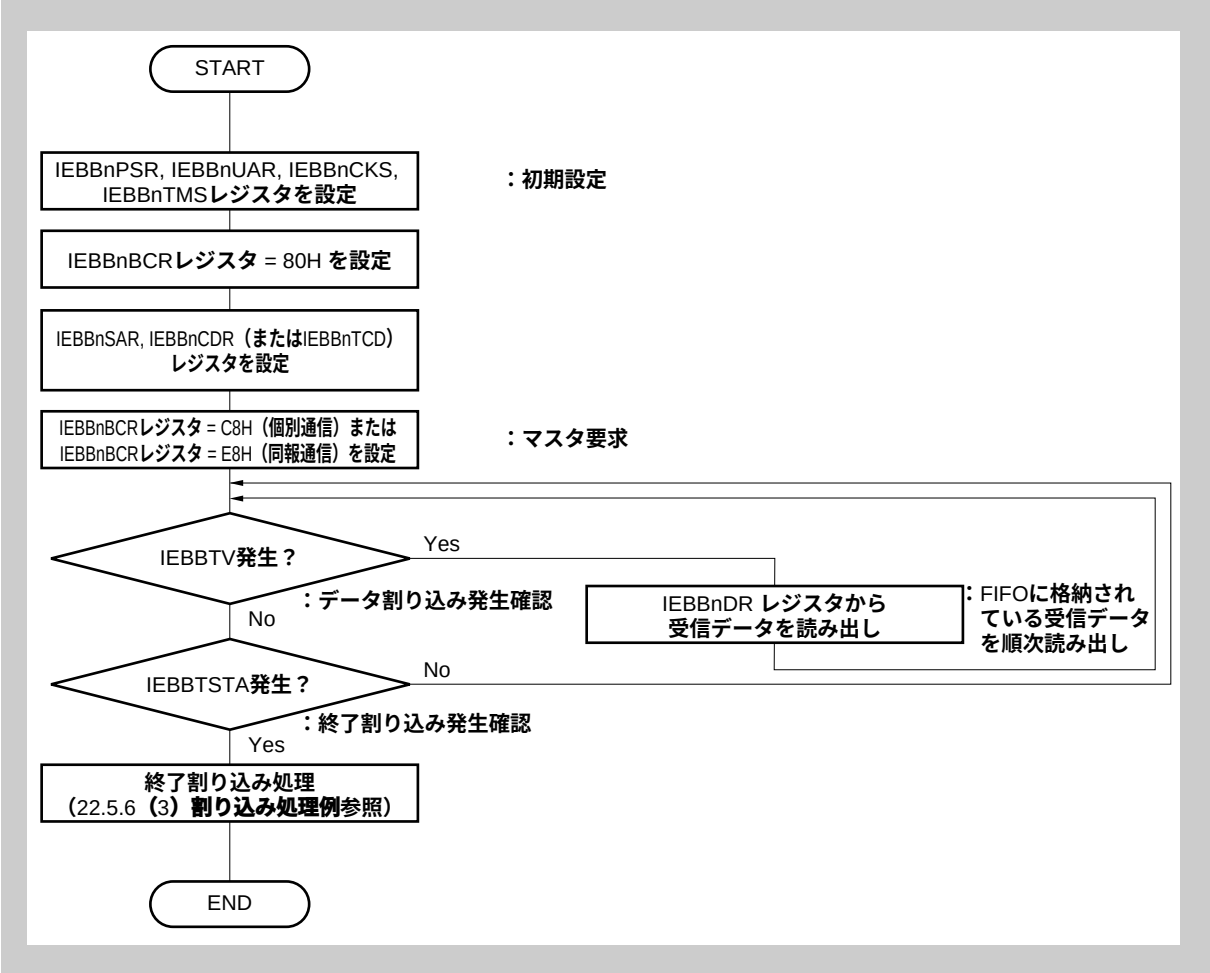


図 22-47 マスタ受信（FIFO モード）

22.6.5　スレーブ送信（シングル・モード）

(1)　コントロール・ビットの 3H, 7H を受信した場合

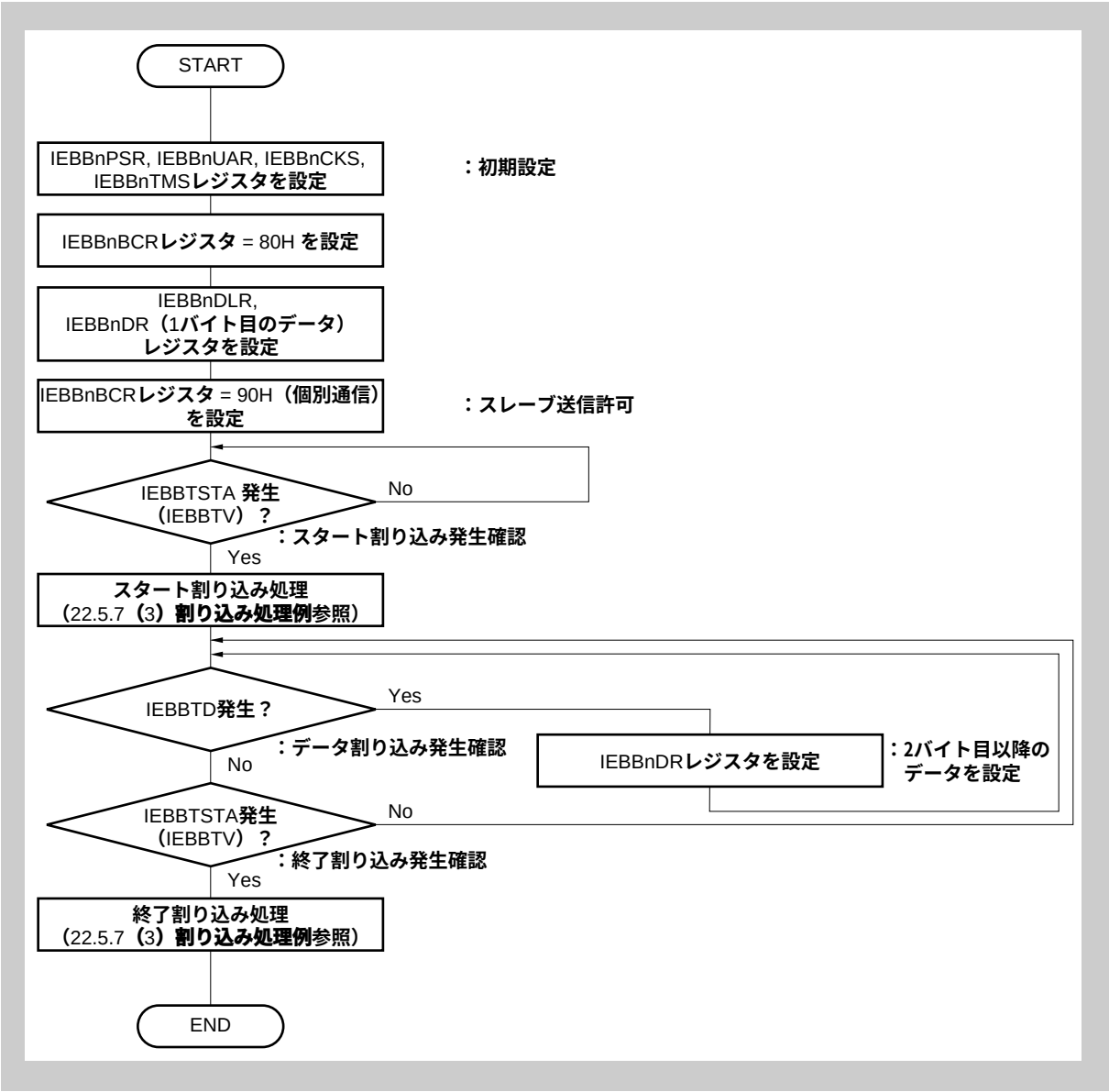


図 22-48 スレーブ送信（シングル・モード）：コントロール・ビットの 3H, 7H を受信した場合

(2)　コントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

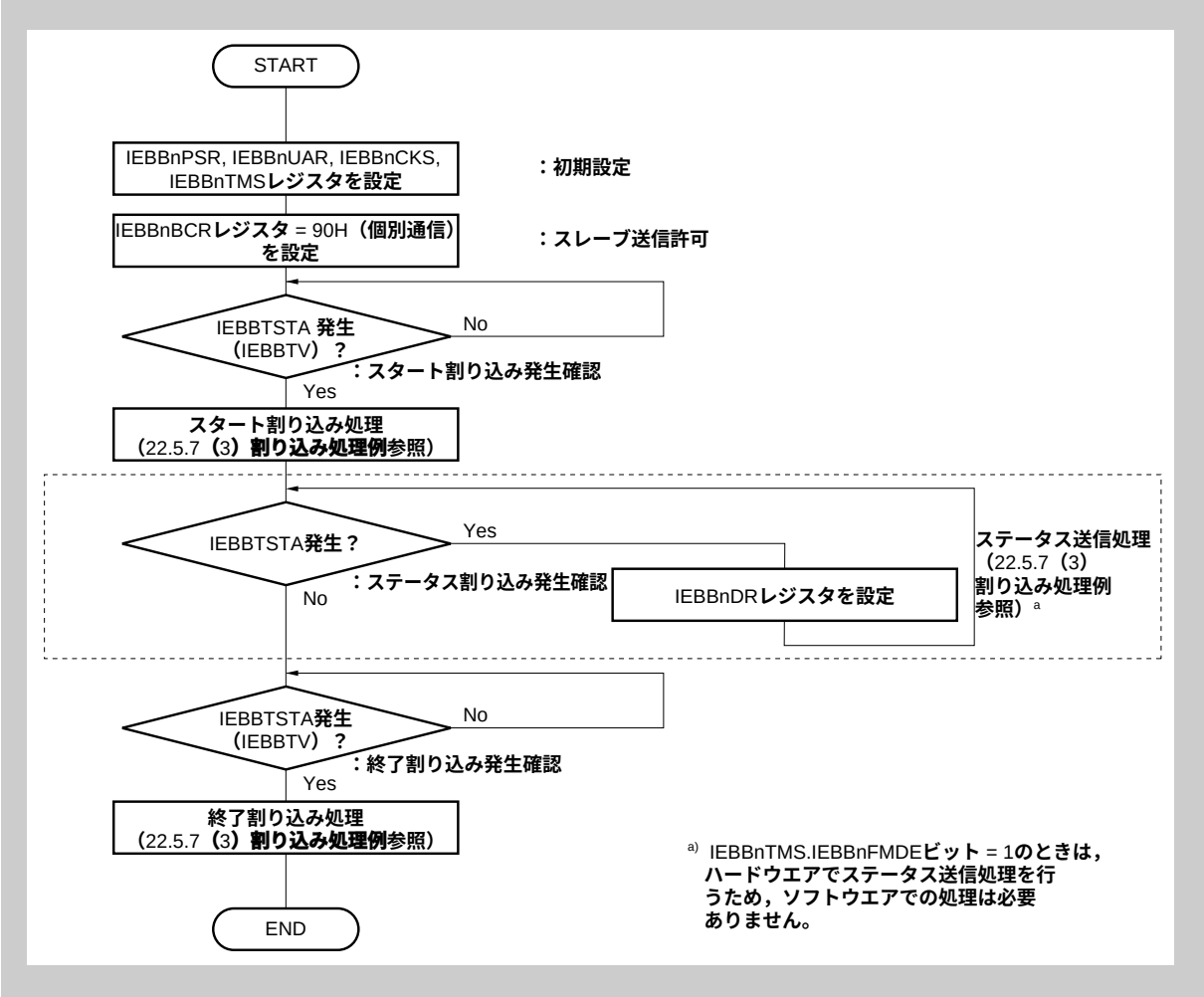


図 22-49 スレーブ送信（シングル・モード）：コントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

(3)　自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

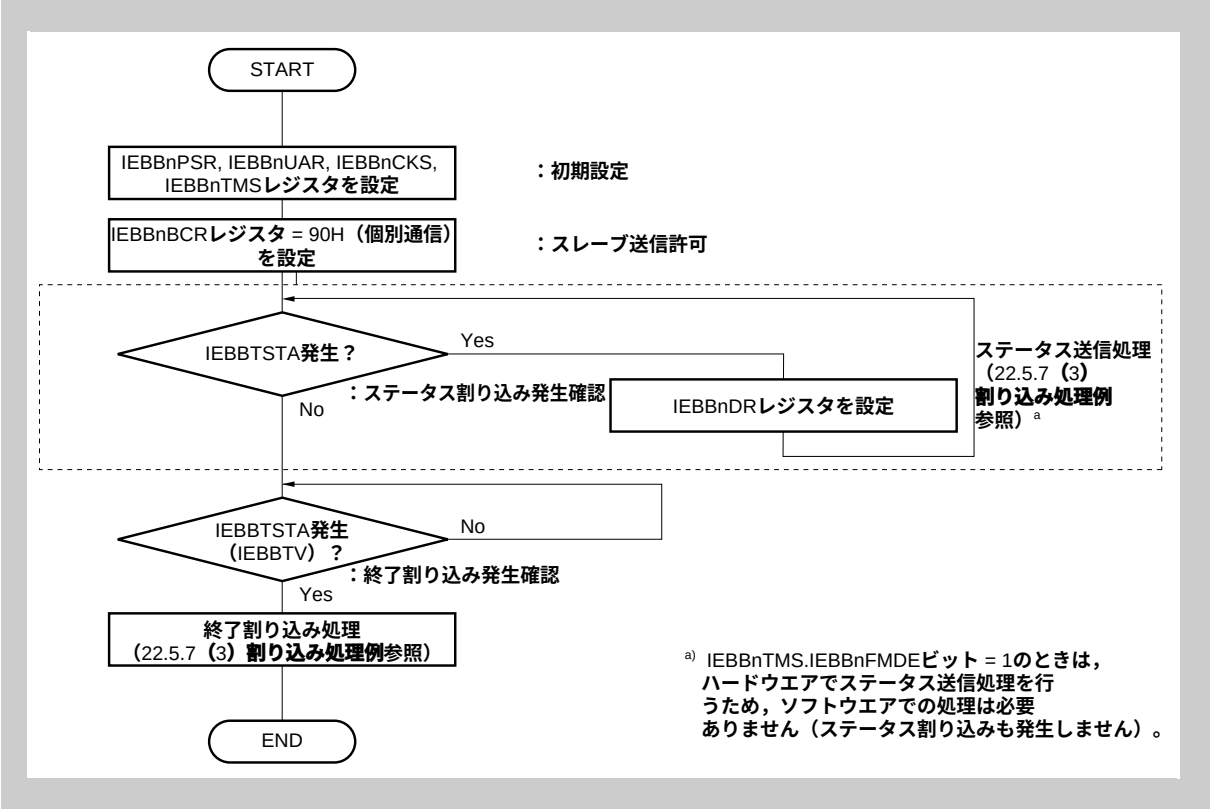


図 22-50 スレーブ送信（シングル・モード）：自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

22.6.6　スレーブ送信（FIFO モード）

(1)　コントロール・ビットの 3H, 7H を受信した場合

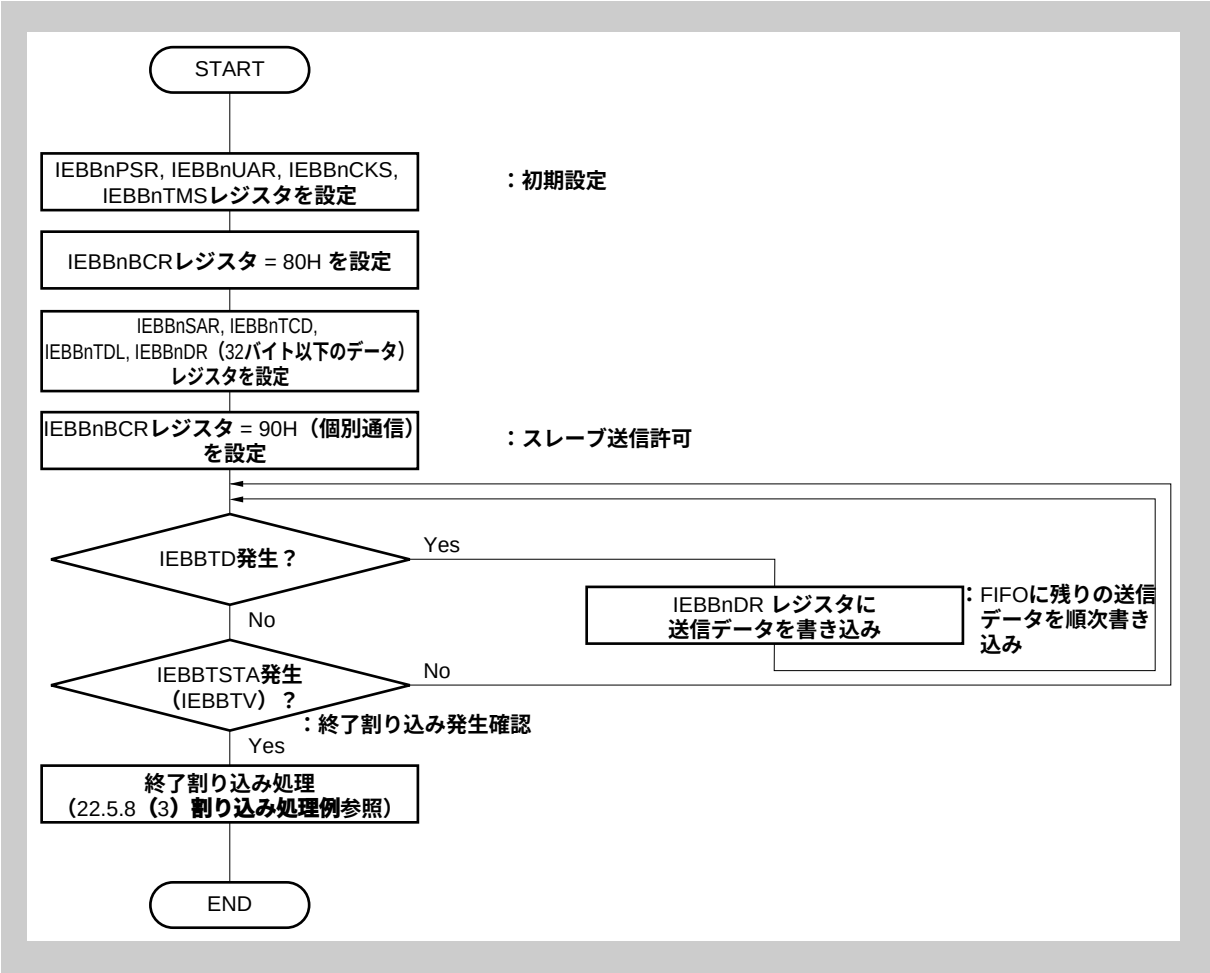


図 22-51 スレーブ送信（FIFO モード）：コントロール・ビットの 3H, 7H を受信した場合

(2) コントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

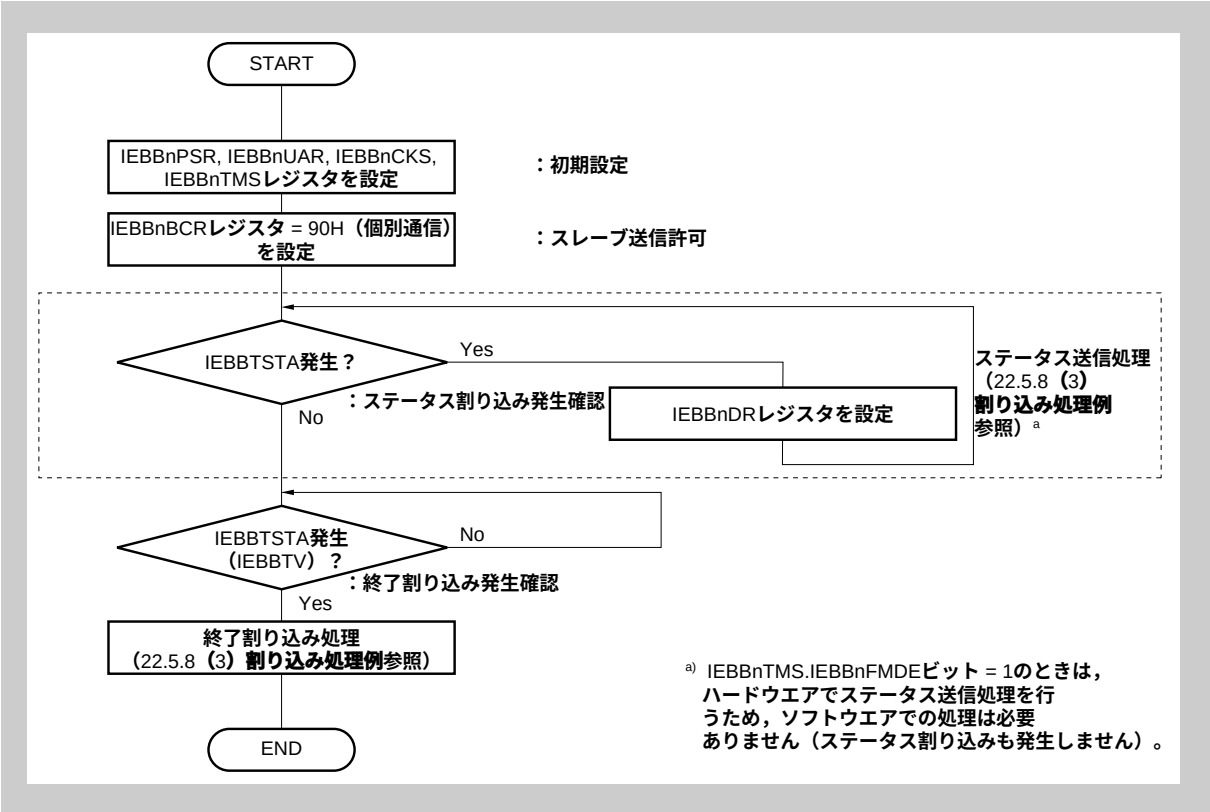


図 22-52 スレーブ送信（FIFO モード）：コントロール・ビットの 0H, 6H（自局ロック時はロック・マスタから 4H, 5H）を受信した場合

(3)　自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

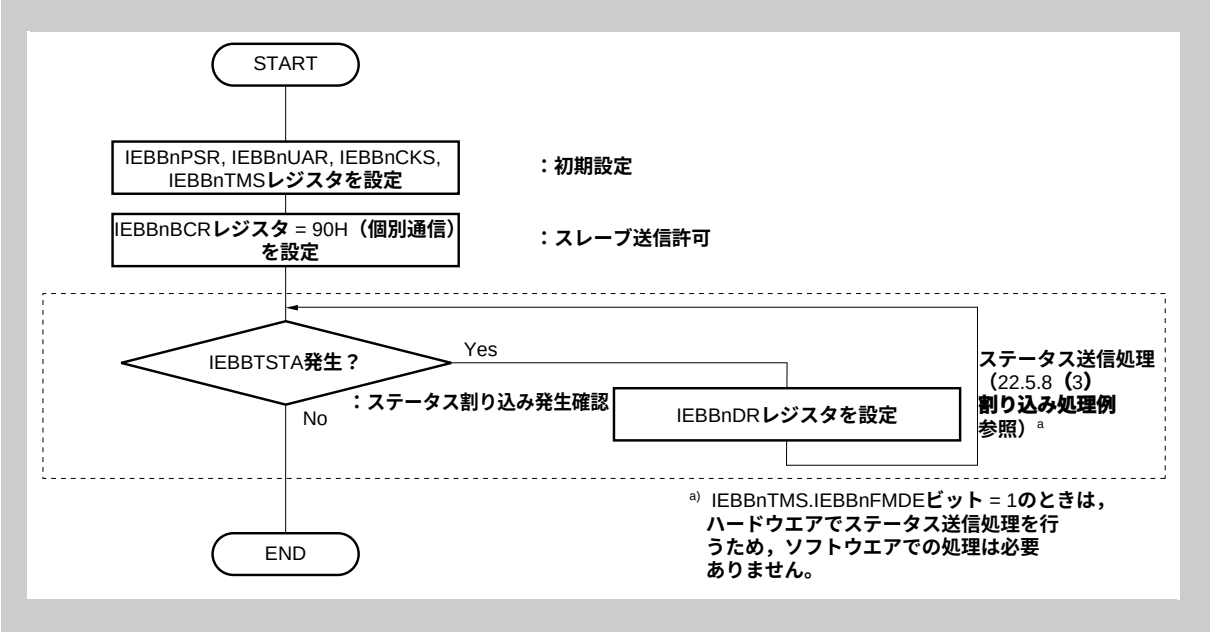


図 22-53 スレーブ送信（FIFO モード）：自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの 0H, 4H, 5H を受信した場合

22.6.7　スレーブ受信（シングル・モード）

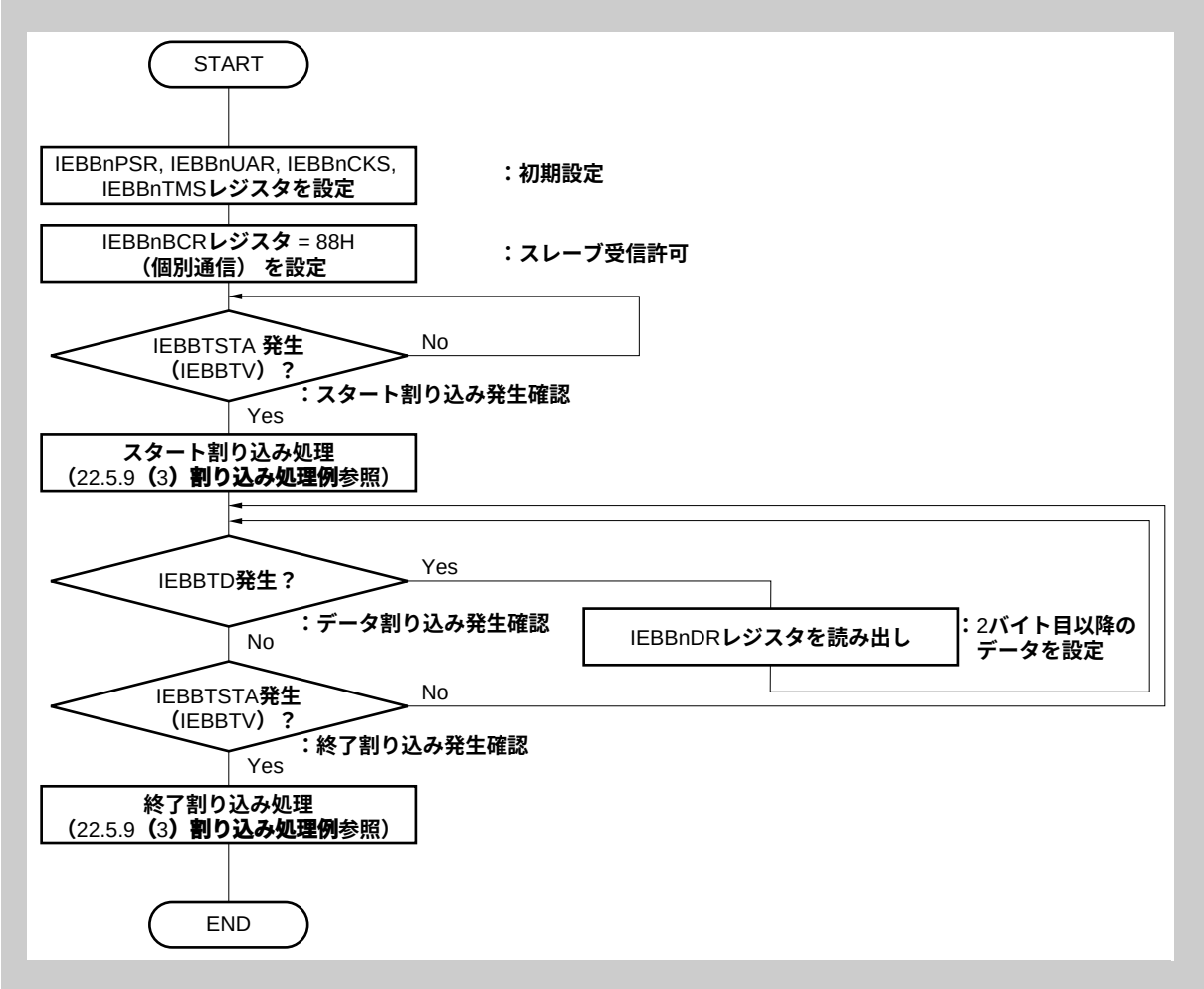


図 22-54 スレーブ受信（シングル・モード）

22.6.8　スレーブ受信（FIFO モード）

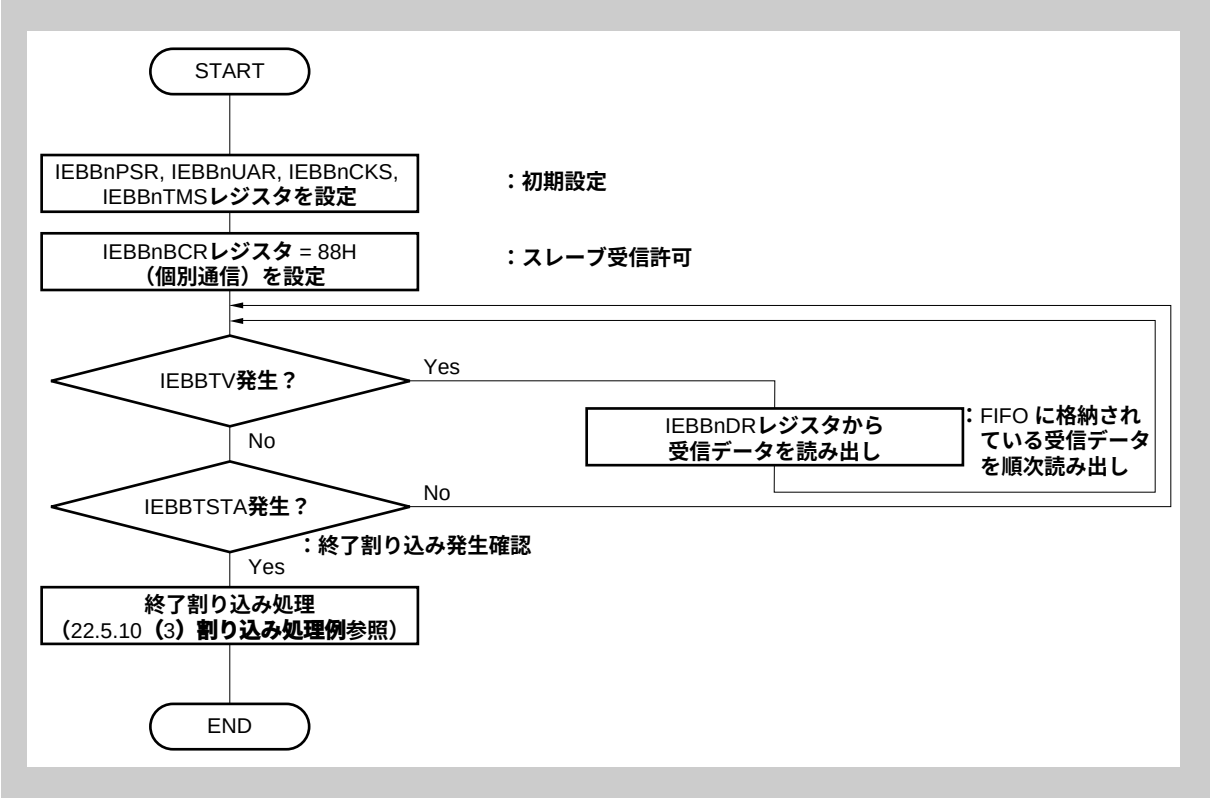


図 22-55 スレーブ受信（FIFO モード）

22.7 機能

22.7.1 IEBus の通信プロトコル

IEBus の通信プロトコルを次に示します。

(1) マルチタスク方式

IEBus に接続しているすべてのユニットで、ほかのユニットへのデータ伝送ができます。

(2) 同報通信機能

次に示す「1 つのユニット 対 複数ユニット」の通信ができます。

- グループ同報通信　：グループ・ユニットに対しての同報通信
- 一斉同報通信　　：すべてのユニットに対しての同報通信

(3) 実効伝送速度

実効伝送速度は、通信モード 1、通信モード 2 になります（通信モード 0 はサポートしていません）。

- 通信モード 1：約 18 kbps
- 通信モード 2：約 27 kbps

注意　1 つの IEBus 上に、異なる通信モード（通信モード 1、通信モード 2）を混在することはできません。

(4) 通信方式

半二重非同期通信方式でデータを転送します。

(5) アクセス制御：CSMA/CD（Carrier Sense Multiple Access with Collision Detection）

IEBus 占有の優先順位を次に示します。

①同報通信が個別通信（1 ユニット対 1 ユニットの通信）より優先されます。

②マスタ・アドレスの小さいほうが優先されます。

(6) 通信規模

IEBus の通信規模を次に示します。

- ユニット数：最大 50 ユニット
- ケーブル長：最大 150 m（ツイスト・ペア・ケーブルを使用した場合）

注意　実際のシステムにおける通信規模は、IEBus ドライバ／レシーバや IEBus を構成するケーブルなどの特性によって異なります。

22.7.2　バス占有権の決定（アービトレーション）

IEBus に接続された装置は、ほかのユニットを制御するときにバスを占有するための動作を行います。この動作をアービトレーションと呼びます。

アービトレーションでは、複数のユニットが同時に送信を開始したときに、それらの複数のユニットの中から 1 つのユニットに対して、バスを占有する許可を与える処理を行います。

アービトレーションにより 1 ユニットのみがバス占有権を得るために、次に示すようなバス占有の優先条件があります。

注意　通信が途中で終了した場合、バスの占有権は解放されます。

(1)　通信の種類による優先条件

同報通信（1 ユニット 対 複数ユニットの通信）が、通常通信（1 ユニット 対 1 ユニットの通信）より優先されます。

(2)　マスタ・アドレスによる優先条件

通信種類が同じ場合は、マスタ・アドレスの最も小さいものが優先されます。

マスタ・アドレスは 12 ビットで構成され、000H のユニットが最上位に優先順位を持ち、FFFH のユニットが最下位の優先順位を持ちます。

22.7.3　通信モード

IEBus には、伝送速度の異なる 3 種類の通信モードがあります。本モジュールは通信モード 1 と通信モード 2 をサポートします。通信モード 1 と通信モード 2 における伝送速度および 1 通信フレーム中の最大伝送バイト数を次に示します。

表 22-56 各通信モードにおける伝送速度、最大伝送バイト数

通信モード	最大伝送バイト数	最大伝送速度[a]
1	32 バイト／フレーム	約 18 kbps
2	128 バイト／フレーム	約 27 kbps

a) 最大伝送バイト数を伝送したときの実効伝送速度

IEBus に接続した各ユニットは、通信を行う前にあらかじめ通信モードを選択しておきます。また、マスタ・ユニットとその通信相手ユニット（スレーブ・ユニット）の通信モードが同一でないと、通信は正しく行われません。

22.7.4　通信アドレス

IEBus では、各ユニットに 12 ビットの固有な通信アドレスが割り当てられています。次に通信アドレスの構成を示します。

- 上位 4 ビット：グループ番号（各ユニットの所属するグループを識別する番号）
- 下位 8 ビット：ユニット番号（グループ内の各ユニットを識別する番号）

22.7.5　同報通信

通常の通信では、マスタ・ユニットとその通信相手局となるスレーブ・ユニットはともに 1 ユニットで、1 対 1 の送信／受信が行われます。それに対して同報通信ではスレーブ・ユニットが複数あり、マスタ・ユニットは複数のスレーブ・ユニットに対して送信を行います。スレーブ・ユニットが複数あるために、通信中スレーブ・ユニットからのアクノリッジ・ビットは、NACK 信号が返信されます。

同報通信を行うか通常の通信を行うかは、同報ビットにより選択することができます（22.7.6 (2)**「同報ビット」**参照）。

同報通信には、グループ同報通信と一斉同報通信の 2 種類の同報通信があります。グループ同報と一斉同報の識別は、スレーブ・アドレスの値で行われます（22.7.6 (4)**「スレーブ・アドレス・フィールド」**参照）。

(1)　グループ同報通信

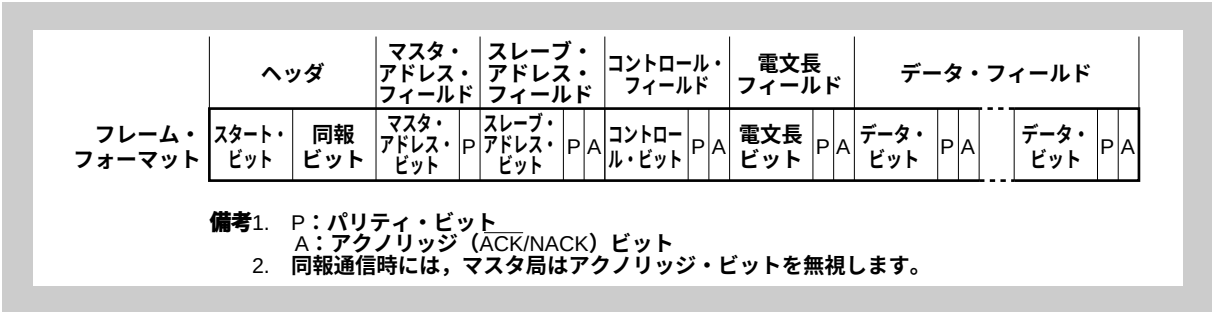
通信アドレスの上位 4 ビットのグループ番号が等しいグループ内のユニットに対して、同報通信を行います。

(2)　一斉同報通信

グループ番号の値にかかわらず、すべてのユニットに対して同報通信を行います。

22.7.6 IEBus の伝送フォーマット

IEBus の伝送信号フォーマットを図 22-56 に示します。



備考1. P：**パリティ・ビット**
A：**アクノリッジ**（ACK/NACK）**ビット**
2. **同報通信時には，マスタ局はアクノリッジ・ビットを無視します。**

図 22-56 IEBus の伝送信号フォーマット

(1) スタート・ビット

スタート・ビットは、データ伝送の開始をほかのユニットに知らせるための信号です。

データ伝送を開始しようとするユニットは、決められた時間ロウ・レベルの信号（スタート・ビット）を出力し、同報ビットの出力へ移行します。

スタート・ビットを出力しようとしたとき、すでにほかのユニットがスタート・ビットを出力している場合には、スタート・ビットを出力しないでそのユニットのスタート・ビット出力終了を待ち、その終了タイミングに同期して同報ビット出力へ移行します。

送信を開始したユニット以外は、このスタート・ビットを検出し、受信状態へ移行します。

(2) 同報ビット

マスタが通信相手として単一のスレーブを選択（個別通信）しているのか、複数のスレーブを選択（同報通信）しているのかを示します。

同報ビットが 0 の場合は同報通信を示し、1 の場合は個別通信を示します。また、同報通信には、グループ同報と一斉同報があり、これらの識別はスレーブ・アドレスの値によって行われます（22.7.6 (4)「**スレーブ・アドレス・フィールド**」参照）。

同報通信の場合には、通信相手局となるスレーブ・ユニットが複数存在するため、マスタ・アドレス・フィールド以降の各フィールドでのアクノリッジ・ビットは、NACK 信号が返信されます。

2 つ以上のユニットが同じタイミングで通信フレームの送出を開始した場合には、同報通信が個別通信より優先され、アービトレーションに勝ち残ります。

自局がマスタとしてバスを占有しているときは、同報リクエスト・フラグ（IEBBnBCR.IEBBnALRQ ビット）に設定した値が出力されます。

(3) マスタ・アドレス・フィールド

マスタが自局のアドレスをスレーブに伝えるために出力します。

マスタ・アドレス・フィールドは、**図 22-57** に示す構成となっています。

2 つ以上のユニットが、同じタイミングで同じ値の同報ビットの送信を開始した場合、アービトレーションの判定は、マスタ・アドレス・フィールドへ持ち越されます。

マスタ・アドレス・フィールドでは、1 ビット送信するごとに出力しているデータとバス上のデータを比較します。比較の結果、出力しているマスタ・アドレスとバス上のデータが異なった場合、アービトレーションに負けたと判断して、送信を中止し受信状態に変わります。

IEBus は、ワイアード AND で構成されているため、アービトレーションに参加しているユニット（アービトレーション・マスタ）の中で、最小のマスタ・アドレスを持つユニットがアービトレーションに勝ち残ります。

最終的に 12 ビットのマスタ・アドレスを出力後、1 つのユニットのみがマスタ・ユニットとして送信状態で残ります。

次に、このマスタ・ユニットはパリティ・ビットを出力し、ほかのユニットに対してマスタ・アドレスを確定させ、スレーブ・アドレス・フィールド出力へ移行します。

自局がマスタとしてバスを占有しているときは、IEBBnUAR レジスタで設定したアドレスが出力されます。

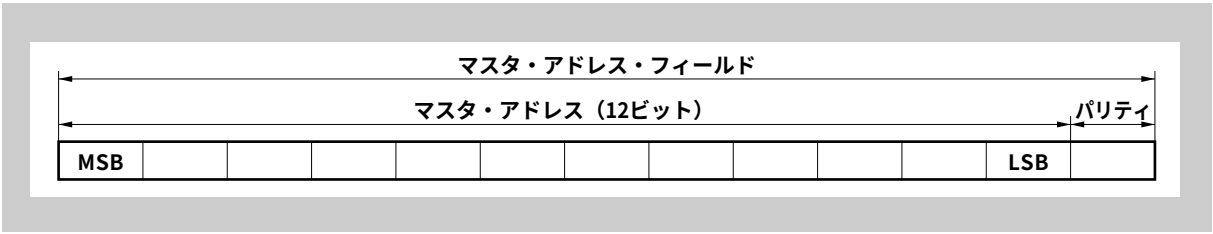


図 22-57 マスタ・アドレス・フィールド

(4) スレーブ・アドレス・フィールド

マスタが通信を行いたい相手局のアドレスを出力します。

スレーブ・アドレス・フィールドは、図 22-58 に示す構成になっています。

12 ビットのスレーブ・アドレス送信後、スレーブ・アドレスが間違って受信されることを避けるため、パリティ・ビットを出力します。次にスレーブ・ユニットがバス上にあることを確認するために、マスタ・ユニットはスレーブ・ユニットからの ACK 信号を検出します。ACK 信号を検出した場合、コントロール・フィールド出力へ移行します。ただし、同報通信時は、アクノリッジ・ビットを確認せずに、コントロール・フィールド出力へ移行します。

スレーブ・ユニットは、スレーブ・アドレスが一致して、マスタ・アドレスとスレーブ・アドレスの両方のパリティが偶数であることを検出した場合、ACK 信号を出力します。スレーブ・ユニットは、パリティが奇数の場合、マスタ・アドレスまたはスレーブ・アドレスが正しく受信されなかったと判断して、NACK 信号を出力します。このとき、マスタ・ユニットは待機（モニタ）状態になり、通信が終了します。

また、同報通信の場合にはスレーブ・アドレスは、次のようにグループ同報／一斉同報の識別に使用されます。

スレーブ・アドレスが FFFH のとき　　：一斉同報通信

スレーブ・アドレスが FFFH 以外のとき ：グループ同報通信

備考　グループ同報通信時のグループ No. は、スレーブ・アドレスの上位 4 ビットの値になります。

自局がマスタとしてバスを占有しているときは、IEBBnSAR レジスタで設定したアドレスが出力されます。

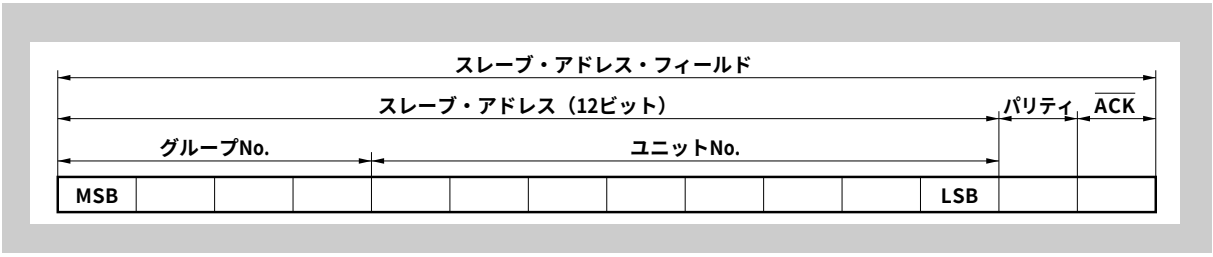


図 22-58 スレーブ・アドレス・フィールド

(5) コントロール・フィールド

マスタがスレーブに要求する動作内容を出力します。

コントロール・フィールドは、図 22-59 に示す構成になっています。

コントロール・ビットに続くパリティが偶数で、かつマスタ・ユニットの要求機能をスレーブが実行できる場合は、スレーブ・ユニットは ACK 信号を出力して、次の電文長フィールドへ移行します。ただし、パリティが偶数でもスレーブ・ユニットがマスタ・ユニットの要求を実行できない場合や、パリティが奇数の場合は、スレーブ・ユニットは NACK 信号を出力して、待機（モニタ）状態に戻ります。

マスタ・ユニットは $\overline{\text{ACK}}$ 信号を検出したあと、次の電文長フィールドへ移行します。

NACK 信号を検出した場合は、マスタ・ユニットは待機状態になり、通信が終了します。ただし、同報通信の場合は、マスタ・ユニットはアクノリッジ・ビットを確認しないで次の電文長フィールドへ移行します。

自局がマスタとしてバスを占有している場合は、IEBBnTCD レジスタに設定した値が出力されます。

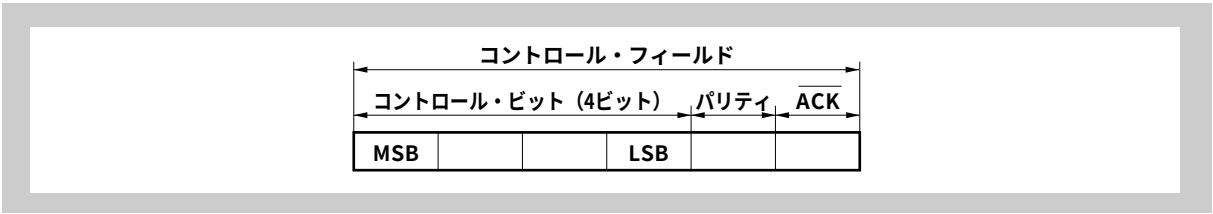


図 22-59 コントロール・フィールド

コントロール・ビットの内容を次に示します。

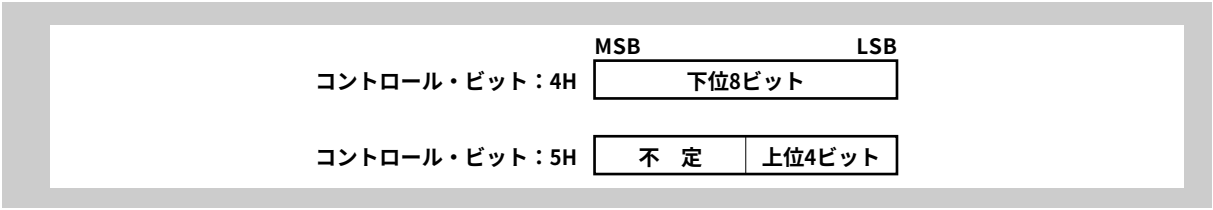
表 22-57 コントロール・ビットの内容 (1 / 2)

ビット 3[a]	ビット 2	ビット 1	ビット 0	機　能
0	0	0	0	スレーブ・ステータスの読み込み
0	0	0	1	未定義
0	0	1	0	未定義
0	0	1	1	データ読み込みとロック[b]
0	1	0	0	ロック・アドレスの読み込み（下位 8 ビット）[c]
0	1	0	1	ロック・アドレスの読み込み（上位 4 ビット）[c]
0	1	1	0	スレーブ・ステータスの読み込みとロック解除[b]
0	1	1	1	データ読み込み
1	0	0	0	未定義
1	0	0	1	未定義
1	0	1	0	コマンド書き込みとロック[b]
1	0	1	1	データ書き込みとロック[b]
1	1	0	0	未定義

表 22-57 コントロール・ビットの内容（２／２）

ビット 3[a]	ビット 2	ビット 1	ビット 0	機　能
1	1	0	1	未定義
1	1	1	0	コマンド書き込み
1	1	1	1	データ書き込み

a) ビット 3（MSB）の値により、以後の電文長フィールドの電文長ビットおよびデータ・フィールドのデータ転送方向が変わります。
　ビット 3 = 1 の場合：マスタ・ユニットからスレーブ・ユニットへ転送
　ビット 3 = 0 の場合：スレーブ・ユニットからマスタ・ユニットへ転送
b) ロックの設定／解除を指定するコントロール・ビットです（22.7.7 (4)「ロックの設定／解除」参照）。
c) ロック・アドレスは、1 バイト単位（8 ビット）で伝送されるため、次に示す構成になっています。



マスタ・ユニットによりロックを設定されたユニットは、ロックを要求したマスタ・ユニット以外から受信したコントロール・ビットが表 22-58 に示した以外の場合は、受け付けを拒否して NACK 信号を出力します。

表 22-58 ロックされたスレーブ・ユニットに対するコントロール・フィールド

ビット 3	ビット 2	ビット 1	ビット 0	機　能
0	0	0	0	スレーブ・ステータスの読み込み
0	1	0	0	ロック・アドレスの読み込み（下位 8 ビット）
0	1	0	1	ロック・アドレスの読み込み（上位 4 ビット）

また、マスタ・ユニットによりロックを設定されていないユニットは、表 22-59 に示したコントロール・データを受信した場合は、受け付けを拒否して NACK 信号を出力します。

表 22-59 ロックされていないスレーブ・ユニットに対するコントロール・フィールド

ビット 3	ビット 2	ビット 1	ビット 0	機　能
0	1	0	0	ロック・アドレスの読み込み（下位 8 ビット）
0	1	0	1	ロック・アドレスの読み込み（上位 4 ビット）

表 22-60 コントロール・フィールドの $\overline{\text{ACK}}$ 信号返信条件

（受信したコントロール・データが 0H, 3H, 4H, 5H, 6H, 7H の場合）

通信対象（IEBBnUSR.IEBBnSRQF ビット）スレーブ指定 = 1 指定なし = 0	ロック状態（IEBBnUSR.IEBBnLCKF ビット）ロック = 1 非ロック = 0	マスタ・ユニット判定（IEBBnPAR レジスタと一致）ﾛｯｸ要求ﾕﾆｯﾄ=1 それ以外 = 0	スレーブ送信許可（IEBBnBCR.IEBBnSTXE ビット）	スレーブ受信許可（IEBBnBCR.IEBBnSRXE ビット）	受信したコントロール・データ					
					0H	3H	4H	5H	6H	7H
1	0	don't care	0	don't care	○	×	×	×	○	×
			1		○	○	×	×	○	○
	1	0	don't care		○	×	○	○	×	×
		1	0		○	×	○	○	○	×
			1		○	○	○	○	○	○
上記以外					×					

備考　○：スレーブ送信を行う（$\overline{\text{ACK}}$ 信号を返信する）
×：スレーブ送信を行わない（NACK 信号を返信する）

注意　受信したコントロール・データが上表以外の場合は、無条件で ×（スレーブ送信を行わない（NACK 信号を返信する））になります。

表 22-61 コントロール・フィールドの $\overline{\text{ACK}}$ 信号返信条件

（受信したコントロール・データが AH, BH, EH, FH の場合）

通信対象（IEBBnUSR.IEBBnSRQF ビット）スレーブ指定 = 1 指定なし = 0	ロック状態（IEBBnUSR.IEBBnLCKF ビット）ロック = 1 非ロック = 0	マスタ・ユニット判定（IEBBnPAR レジスタと一致）ﾛｯｸ要求ﾕﾆｯﾄ=1 それ以外 = 0	スレーブ送信許可（IEBBnBCR.IEBBnSTXE ビット）	スレーブ受信許可（IEBBnBCR.IEBBnSRXE ビット）	受信したコントロール・データ			
					AH	BH	EH	FH
1	0	don't care	don't care	1	○			
	1	1						
上記以外					×			

備考　○：スレーブ送信を行う（$\overline{\text{ACK}}$ 信号を返信する）
×：スレーブ送信を行わない（NACK 信号を返信する）

注意　受信したコントロール・データが上表以外の場合は、無条件で ×（スレーブ送信を行わない（NACK 信号を返信する））になります。

(6)　電文長フィールド

送信側が受信側に対して送信データのバイト数を伝えるために出力します。

電文長フィールドは、図 22-60 に示す構成になっています。

電文長ビットと送信データ数の関係を表 22-62 に示します。

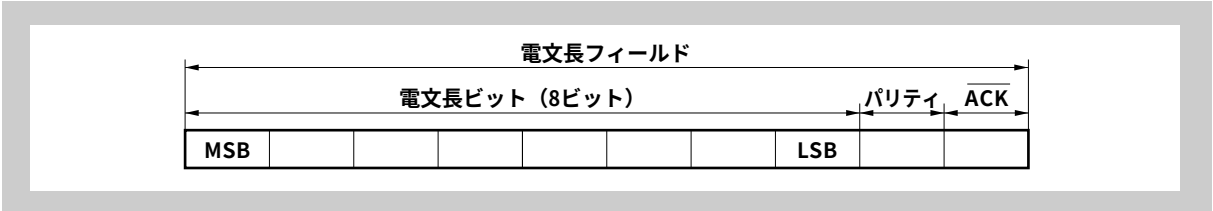


図 22-60 電文長フィールド

表 22-62 電文長ビットの内容

電文長ビット（16 進）	送信データ・バイト数
01H	1 バイト
02H	2 バイト
⋮	⋮
FFH	255 バイト
00H	256 バイト

電文長フィールドの動作は、マスタ送信時（コントロール・ビットのビット 3 = 1）とマスタ受信時（コントロール・ビットのビット 3 = 0）では異なります。

(a)　マスタ送信時

電文長ビットおよびパリティ・ビットは、マスタ・ユニットが出力します。スレーブ・ユニットは、パリティが偶数であることを検出した場合、ACK 信号を出力して、次のデータ・フィールドへ移行します。ただし、同報通信では、スレーブ・ユニットは NACK 信号を出力します。

スレーブ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、NACK 信号を出力して、待機（モニタ）状態に戻ります。このとき、マスタ・ユニットも待機状態に戻り、通信が終了します。

(b)　マスタ受信時

電文長ビットおよびパリティ・ビットはスレーブ・ユニットが出力し、各ビットの同期信号はマスタ・ユニットが出力します。マスタ・ユニットは、パリティが偶数であることを検出した場合、ACK 信号を出力します。

マスタ・ユニットは、パリティが奇数の場合、電文長ビットが正しく受信されなかったと判断して、NACK 信号を出力して、待機（モニタ）状態に戻ります。このとき、スレーブ・ユニットも待機状態に戻り、通信が終了します。

(7) データ・フィールド

送信側が出力するデータです。

マスタ・ユニットは、データ・フィールドを使用してスレーブ・ユニットにデータを送信したり、スレーブ・ユニットからデータを受信したりします。

データ・フィールドは、次に示す構成になっています。

図 22-61 データ・フィールド

データ・ビットに続き、パリティ・ビットとアクノリッジ・ビットが、それぞれマスタ・ユニットおよびスレーブ・ユニットより出力されます。

同報通信は、マスタ・ユニットの送信動作のみに使用してください。また、このときアクノリッジ・ビットは無視されます。

マスタ送信時とマスタ受信時の動作を次に示します。

(a) マスタ送信時

マスタ・ユニットからスレーブ・ユニットへ書き込みする場合、マスタ・ユニットは、スレーブ・ユニットに対してデータ・ビット、パリティ・ビットを送信します。スレーブ・ユニットは、データ・ビット、パリティ・ビットを受信して、パリティが偶数で、IEBBnDR レジスタに受信データを格納していなければ、$\overline{\text{ACK}}$ 信号を出力します。パリティが奇数、または IEBBnDR レジスタに受信データを格納している場合、スレーブ・ユニットは対応するデータの受け付けを拒否して、NACK 信号を出力します。

スレーブ・ユニットから NACK 信号が出力された場合、マスタ・ユニットは再び同じデータを送信します。この動作はスレーブ・ユニットからの $\overline{\text{ACK}}$ 信号を検出するか、データが最大伝送バイト数を越えるまで続けられます。

パリティが偶数で、スレーブ・ユニットから $\overline{\text{ACK}}$ 信号が出力された場合、データに続きがあり、かつ最大伝送バイト数を越えていなければ、マスタ・ユニットは次のデータを送信します。

また、同報通信の場合では、スレーブ・ユニットから NACK 信号を出力して、マスタ・ユニットはデータを 1 バイトごとに転送します。同報通信時にスレーブ・ユニットがデータ・ビット、パリティ・ビットを受信して、パリティが奇数、または IEBBnDR レジスタが受信データを格納中の場合は、正常に受信ができなかったと判断され、受信を中止します。

(b) マスタ受信時

マスタ・ユニットがスレーブ・ユニットから読み込みする場合、マスタ・ユニットは、すべての読み込みビットに対応する同期信号を出力します。

スレーブ・ユニットは、データ、パリティ・ビットの内容をマスタ・ユニットからの同期信号に応じてバス上に出力します。

マスタ・ユニットは、スレーブ・ユニットの出力したデータ、パリティ・ビットを読み込み、パリティを確認します。

パリティが奇数、または IEBBnDR レジスタが受信データを格納中の場合、マスタ・ユニットはそのデータの受け付けを拒否して、NACK 信号を出力します。1 通信フレームで送信できる最大伝送バイト数以内であれば、マスタ・ユニットは同じデータの読み込み動作を繰り返します。

また、パリティが偶数、かつ IEBBnDR レジスタが受信データを格納していない場合、マスタ・ユニットはデータを受け付け、ACK 信号を出力します。1 フレームで送信できる最大伝送バイト数以内であればマスタ・ユニットは次のデータを読み込みます。

注意　**同報通信ではマスタ受信を行わないでください。スレーブ・ユニットが特定できず、正常なデータ転送ができません。**

また、IEBBn の仕様としてオーバラン・エラーを発生できます。そのため、個別通信時は IEBBnDR レジスタの読み出しが遅れて次のデータ受信タイミングになった状態（オーバラン状態）でも、NACK 信号を返信することによりマスタ・ユニットからデータ再送され、IEBBnDR レジスタの読み出し時間を稼ぐことができます。しかし、同報通信時はスレーブ・ユニットから ACK 信号を出力せず、マスタ・ユニットも ACK 信号を無視するため、IEBBnDR レジスタの読み出しが遅れた場合でも、マスタ・ユニットからのデータ再送はありません。そこで、IEBBn では、同報通信時にオーバラン状態になった場合、正常に受信できなかったものとして、オーバラン・エラーを発生させ割り込み要求（通信エラー）を出力します。

(8) パリティ・ビット

パリティ・ビットは、伝送データに誤りがないことを確認するために使用します。

パリティ・ビットは、マスタ・アドレス・ビット、スレーブ・アドレス・ビット、コントロール・ビット、電文長ビット、データ・ビットの各データに対して付加されます。

パリティ・ビットは、偶数パリティです。データ中の ‘1’ になっているビット数が奇数の場合は、パリティ・ビットは ‘1’ になります。データ中の ‘1’ になっているビット数が偶数の場合は、パリティ・ビットは ‘0’ になります。

(9) アクノリッジ・ビット

通常の通信（1 ユニット 対 1 ユニット間の通信）では、データを正しく受け付けたかを確認するために、次に示す箇所にアクノリッジ・ビットが付加されます。

・スレーブ・アドレス・フィールドの最後

・コントロール・フィールドの最後

・電文長フィールドの最後

・データ・フィールドの最後

アクノリッジ・ビットの定義を次に示します。

0：伝送データを認識したことを示します。（$\overline{\text{ACK}}$ 信号）

1：伝送データを認識しなかったことを示します。（NACK 信号）

ただし、同報通信の場合は、アクノリッジ・ビットの内容は無視されます。

(a) スレーブ・アドレス・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、スレーブ・アドレス・フィールドの最後のアクノリッジ・ビットは NACK 信号になり、伝送は中止されます。

・マスタ・アドレス・ビットまたはスレーブ・アドレス・ビットのパリティが正しくない場合

・タイミング・エラー（ビット・フォーマットにエラー）が発生した場合

・スレーブ・ユニットが存在しなかった場合

(b) コントロール・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、コントロール・フィールドの最後のアクノリッジ・ビットは NACK 信号になり、伝送は中止されます。

・コントロール・ビットのパリティが正しくない場合

・スレーブ受信許可フラグ（IEBBnBCR.IEBBnSRXE ビット）がセット（1）されていないときに、コントロール・ビットのビット 3 = 1（書き込み動作）の場合
（22.3.2 (1)「IEBBn バス・コントロール・レジスタ（IEBBnBCR）」参照）

・スレーブ送信許可フラグ（IEBBnBCR.IEBBnSTXE ビット）がセット（1）されていないときに、コントロール・ビットがデータの読み込み（3H, 7H）の場合
（22.3.2 (1)「IEBBn バス・コントロール・レジスタ（IEBBnBCR）」参照）

・ロックを設定しているのに、ロックを設定したユニット以外からコントロール・ビットの 3H, 6H, 7H, AH, BH, EH, FH を要求した場合

・ロックを設定していないのに、コントロール・ビットがロック・アドレスの読み込み（4H, 5H）の場合

・タイミング・エラーが発生した場合

・未定義のコントロール・ビットの場合

注意　1. IEBBnSTXE ビット = 0 の場合、スレーブ・ステータス要求のコントロール・データを受信したときは必ず ACK 信号を返信します。

2. IEBBnSRXE ビット = 0 の場合、データ／コマンド書き込みのコントロール・データを受信すると、コントロール・フィールドのアクノリッジ・ビットで NACK 信号を返信します。
個別通信の場合だけ、IEBBnSRXE ビットによりスレーブ受信を禁止（通信を中止）できます。同報通信の場合は、通信が接続され、データ割り込み（IEBBTD）や終了割り込み（IEBBTSTA）が発生します。

(c)　電文長フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、電文長フィールドの最後のアクノリッジ・ビットは NACK 信号になり、伝送は中止されます。

・電文長ビットのパリティが正しくない場合
・タイミング・エラーが発生した場合

(d)　データ・フィールドの最後のアクノリッジ・ビット

次に示すいずれかの場合、データ・フィールドの最後のアクノリッジ・ビットは NACK 信号になり、伝送は中止されます。

・データ・ビットのパリティが正しくない場合 a)
・タイミング・エラーが前回のアクノリッジ・ビット伝送以降で発生した場合
・IEBBnDR レジスタに受信データが格納されており、それ以上のデータを受け付けることができない場合 a)

a)　この場合、実行されている通信が個別通信のとき、送信側は 1 フレームで伝送できる最大伝送バイト数以内であれば、そのデータ・フィールドの送信を再実行します。同報通信の場合は、送信側からのデータ再送はなく、受信側は通信エラーとなり受信を中止します。

22.7.7　伝送データ

(1)　スレーブ・ステータス

マスタ・ユニットは、スレーブ・ステータスを読み込むことにより、スレーブ・ユニットが、ACK 信号を返信しなかった理由を知ることができます。

スレーブ・ステータスは、スレーブ・ユニットが最後に行った通信結果に対して決定されます。

すべてのスレーブ・ユニットは、スレーブ・ステータスの情報を提供できます。

スレーブ・ステータスについて次に示します。

MSB　LSB

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0

ビット0[a]	意　味
0	IEBBnDRレジスタに送信データが書き込まれていない
1	IEBBnDRレジスタに送信データが書き込まれている

ビット1	意　味
0	IEBBnDRレジスタに受信データが格納されていない
1	IEBBnDRレジスタに受信データが格納されている

ビット2	意　味
0	ユニットがロック状態でない
1	ユニットがロック状態である

ビット3	意　味
0	0固定

ビット4[b]	意　味
0	スレーブ送信停止
1	スレーブ送信動作可能

ビット5	意　味
0	0固定

ビット7	ビット6	意　味	
0	0	通信モード0	ユニットがサポートしている最高位の通信モードを示します[c]。
0	1	通信モード1	
1	0	通信モード2	
1	1	未使用	

a) リセット時，ビット0は“1”になります。

b) スレーブ・ユニットの場合，IEBBnBCR.IEBBnSTXEビットで示される状態に該当します。

c) 本モジュールは，通信モード1，通信モード2をサポート可能なので，ビット7, 6は“10”に固定されています。

図 22-62 スレーブ・ステータスのビット構成

(2) ロック・アドレス

ロック・アドレスの読み込み処理時（コントロール・ビット：4H, 5H）には、ロック命令を発行したマスタ・ユニットのアドレス（12 ビット）が、次に示すように 1 バイト単位に構成されて、読み出されます。

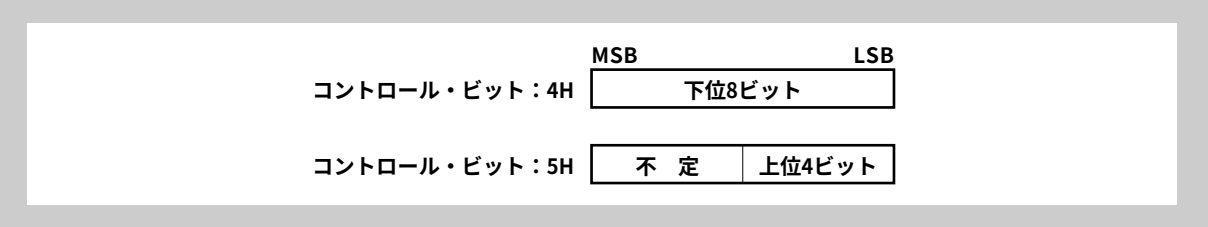


図 22-63 ロック・アドレスの構成

(3) データ

コントロール・ビットがデータ読み込み（3H, 7H）の場合、スレーブ・ユニットのデータ・バッファにあるデータがマスタ・ユニットに読み込まれます。

コントロール・ビットがデータ書き込み（BH, FH）の場合、スレーブ・ユニットが受信したデータは、そのスレーブ・ユニットの動作規定に従って処理されます。

(4) ロックの設定／解除

ロック機能は、メッセージを複数の通信フレームにわたって転送する場合に使用します。

ロックを設定したユニットは、ロックをかけたユニット以外からの受信は行いません（同報通信の受信も行いません）。

ロックの設定／解除について次に示します。

(a) ロックの設定

ロックを指定したコントロール・ビット（3H, AH, BH）で、電文長フィールドの送受信終了後（$\overline{ACK} = 0$）、電文長ビットで指定したデータ・バイト数分のデータを送信／受信を成功せずに通信フレームを終了した場合、スレーブ・ユニットは、マスタ・ユニットよりロックが設定されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット 2）がセット（1）されます。

(b) ロックの解除

ロックを指定したコントロール・ビット（3H, AH, BH）、またはロックの解除を指定したコントロール・ビット（6H）で、1 通信フレーム内に電文長ビットで指定したデータ・バイト数分のデータを送信／受信終了後、スレーブ・ユニットは、マスタ・ユニットよりロックが解除されます。また、このときスレーブ・ステータスを表すバイト中のロックに関するビット（ビット 2）がリセット（0）されます。

なお、同報通信時には、ロックの設定／解除は行われません。

次にロックの設定／解除の条件を示します。

表 22-63 ロック設定条件

コントロール・データ	同報通信		個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H[a]	−	−	ロックにならない	ロック設定
AH, BH	ロックにならない	ロックにならない	ロックにならない	ロック設定
0H, 4H, 5H, EH, FH	ロックにならない	ロックにならない	ロックにならない	ロックにならない

a) コントロール・データ 6H（スレーブ・ステータスの読み込みとロック解除）でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からの NACK 信号出力が最大伝送バイト数まで繰り返された場合に発生します。

表 22-64 ロック解除条件（ロック中）

コントロール・データ	ロック要求ユニットからの同報通信		ロック要求ユニットからの個別通信	
	通信終了	フレーム終了	通信終了	フレーム終了
3H, 6H[a]	−	−	ロック解除	ロック保持
AH, BH	ロック解除	ロック解除	ロック解除	ロック保持
0H, 4H, 5H, EH, FH	ロック保持	ロック保持	ロック保持	ロック保持

a) コントロール・データ 6H（スレーブ・ステータスの読み込みとロック解除）でのフレーム終了は、データ・フィールドにおいてパリティが奇数で自局からの NACK 信号出力が最大伝送バイト数まで繰り返された場合に発生します。

22.7.8 ビット・フォーマット

IEBus の通信フレームを構成するビット・フォーマットを次に示します。

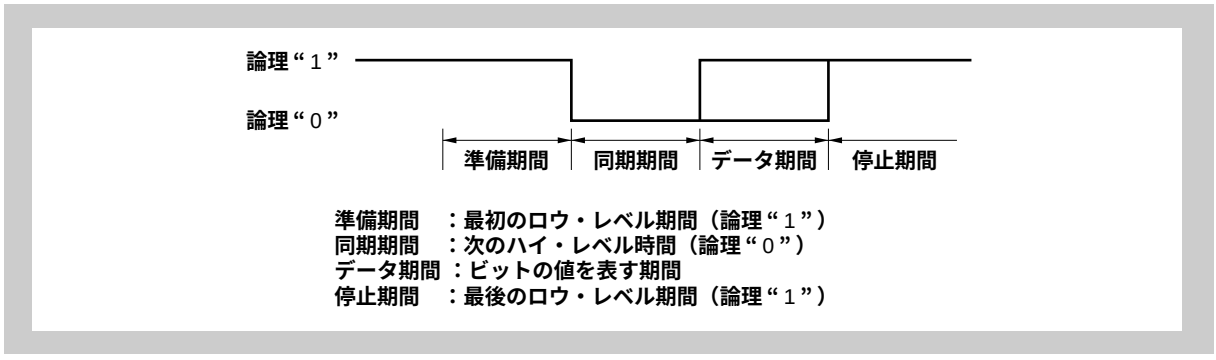


図 22-64 IEBus のビット・フォーマット

同期期間とデータ期間の長さは、ほぼ等しくなっています。

IEBus は 1 ビットごとに同期が取られています。また、ビット全体の時間と、そのビット中に割り当てられている期間の時間に関する仕様は、伝送ビットの種類、マスタ・ユニットかスレーブ・ユニットかの違いにより異なります。また、マスタ・ユニット、スレーブ・ユニットは通信中、各期間（準備期間、同期期間、データ期間、停止期間）が所定の時間どおり出力されているかを検出しています。所定の時間どおりに出力されていない場合は、マスタ・ユニット、スレーブ・ユニットはタイミング・エラーとしてただちに通信を終了し待機状態に戻ります。

23. ルネサス SPDIF インタフェース

23.1 概要

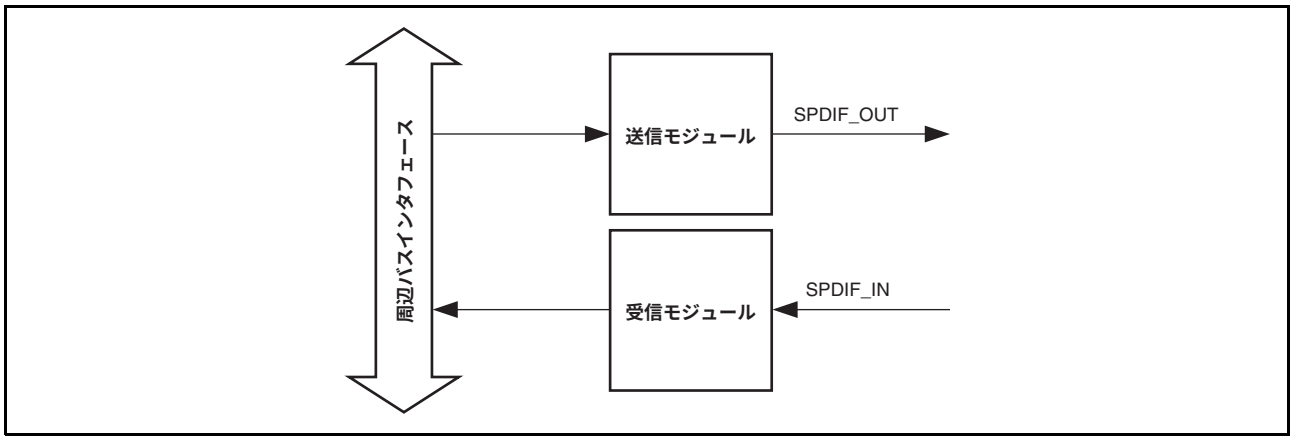


図 23.1　概略ブロック図

23.2 特長

- IEC60958 規格に適合（ステレオ、民生用モードのみ）
- サンプリング周波数：32kHz、44.1kHz、48kHz
- オーディオワードサイズ：16 ～ 24 ビット／サンプル
- バイフェーズマーク方式エンコード
- データのダブルバッファ
- パリティ付きシリアルデータ
- 同時送受信可能
- 受信モジュールは IEC61937 圧縮モードデータを自動検出可能

23.3 機能ブロック図

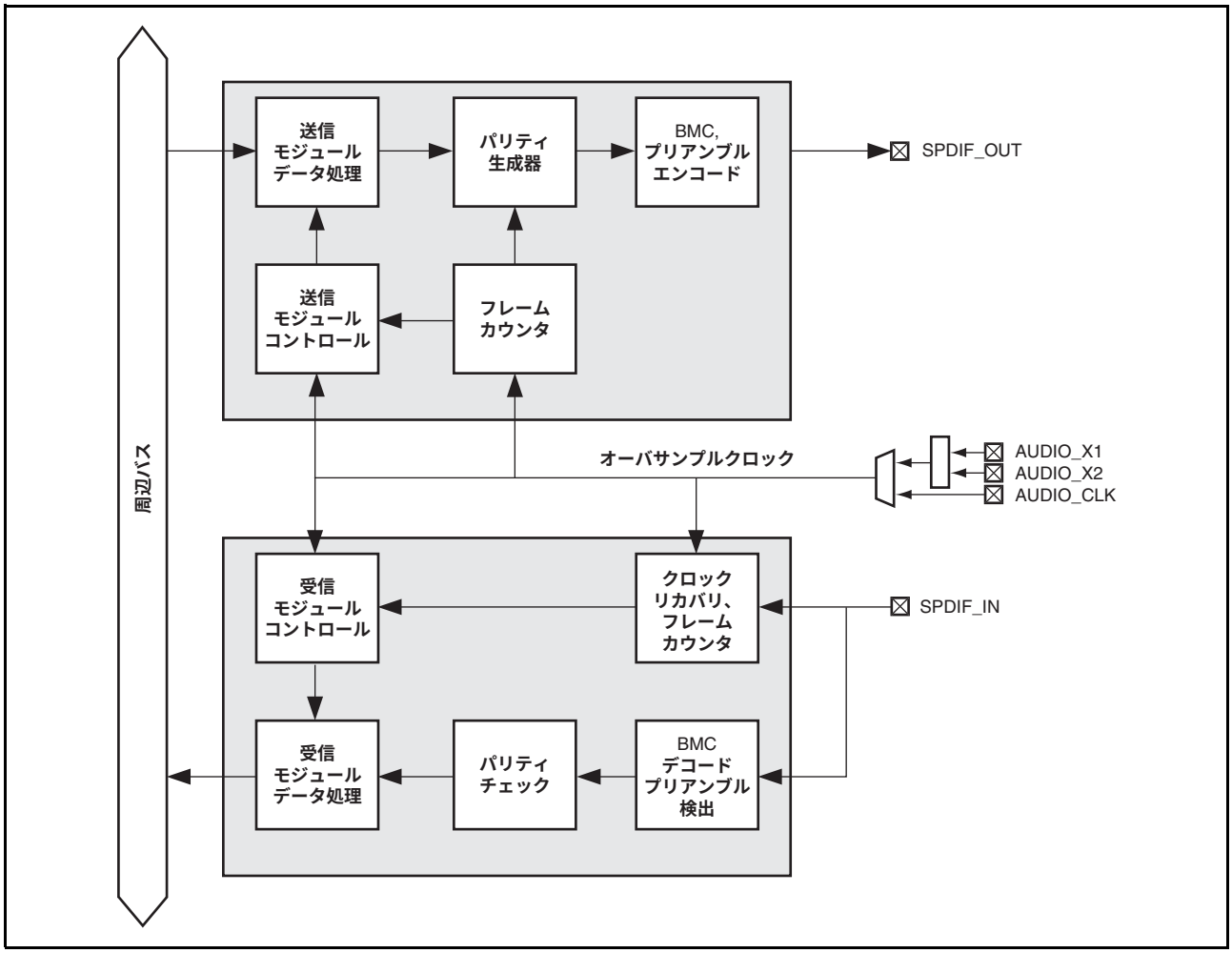


図 23.2　機能ブロック図

23.4 入出力端子

表 23.1 に端子構成を示します。

表 23.1　端子構成

チャネル	名称	入出力	機　　能
0	SPDIF_OUT	出力	送信側バイフェーズマーク・エンコードされた SPDIF ビットストリーム
1	SPDIF_IN	入力	受信側バイフェーズマーク・エンコードされた SPDIF ビットストリーム
0、1 共通	AUDIO_CLK	入力	オーディオ用外部クロック
	AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック
	AUDIO_X2	出力	

23.5　ルネサス SPDIF（IEC60958）フレームフォーマット

ルネサス SPDIF のフレームは 2 つのサブフレーム（チャネル 1 およびチャネル 2）で構成され、サブフレームには 4 ビットのプリアンブル、最大 24 ビットのオーディオデータ、V フラグ、ユーザビット、チャネルステータスビット、偶数パリティビットがあります。図 23.3 に、サブフレームフォーマットを示します。ルネサス SPDIF は、このフォーマットに対して伝送ラインの DC 成分が最小となるバイフェーズマーク方式による変調（チャネルコーディング）を行います。

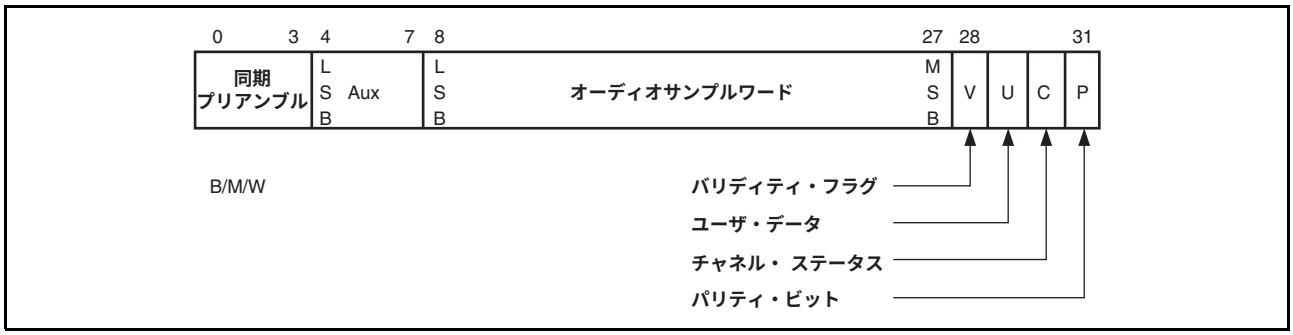


図 23.3　サブフレームフォーマット

図 23.4 に連続する 192 フレームからなるブロックフォーマットを示します。開始フレーム（プリアンブル B）から 192 番目のフレーム 191 までが 1 ブロックであり、各サブフレームはプリアンブルにより識別します。サブフレームは 1 ブロックに 384 個あり、新しいブロックの開始を示すサブフレーム 0、サブフレーム 1（通常、左チャネル）、サブフレーム 2（通常、右チャネル）の 3 種類で構成されます。通常、SPDIF で送受信される音楽データは連続しており、ブロックが連続します。

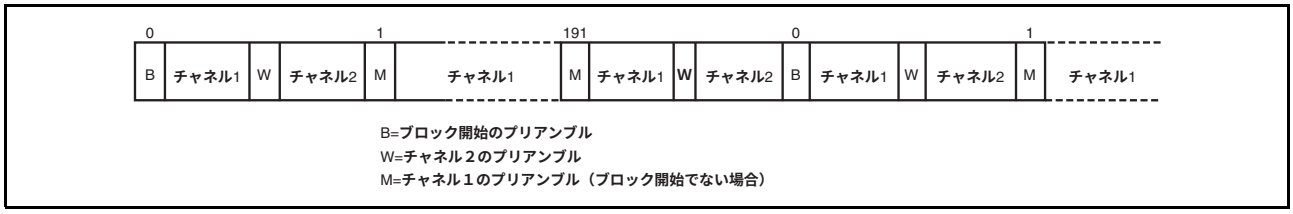


図 23.4　ブロックフォーマット

表 23.2 に、ルネサス SPDIF プリアンブルの値（2 進）を示します。先行するシンボルの状態（パリティビット）によりプリアンブルの極性が変ります。

表23.2　プリアンブルの値

プリアンブル	先行シンボル状態＝0	先行シンボル状態＝1
B	11101000	00010111
M	11100010	00011101
W	11100100	00011011

【備考】 図 23.3 で示すように、サブフレームのタイムスロット 31 にある偶数パリティビットにより、1 回の送信ではプリアンブルタイプが決まります。したがって、通常ルネサス SPDIF を通して送られるセット状態はいずれか 1 つが選択されます。しかし、IEC60958 などではプリアンブル極性を逆に接続することも考慮して両タイプをデコードすることを規定しており、ルネサス SPDIF は表 23.2 のプリアンブルをデコードしています。

チャネルステータス情報は、1 つのサブフレームに 1 ビットエンコードします。したがって、1 ブロック当たりのチャネルステータス情報は、サブフレーム 1 とサブフレーム 2 で各々 192 ビットとなります。チャネルステータスのフォーマットについては、IEC60958 規格を参照してください。

23.6　レジスタ構成

表 23.3 にレジスタ構成を示します。

表23.3　レジスタ構成

チャネル	名称	略称	アドレス	アクセスサイズ
0（送信）	送信モジュールチャネル1オーディオレジスタ	TLCA	H'E801 2000	32
	送信モジュールチャネル2オーディオレジスタ	TRCA	H'E801 2004	32
	送信モジュールチャネル1ステータスレジスタ	TLCS	H'E801 2008	32
	送信モジュールチャネル2ステータスレジスタ	TRCS	H'E801 200C	32
	送信ユーザデータレジスタ	TUI	H'E801 2010	32
1（受信）	受信モジュールチャネル1オーディオレジスタ	RLCA	H'E801 2014	32
	受信モジュールチャネル2オーディオレジスタ	RRCA	H'E801 2018	32
	受信モジュールチャネル1ステータスレジスタ	RLCS	H'E801 201C	32
	受信モジュールチャネル2ステータスレジスタ	RRCS	H'E801 2020	32
	受信ユーザデータレジスタ	RUI	H'E801 2024	32
0、1 共通	コントロールレジスタ	CTRL	H'E801 2028	32
	ステータスレジスタ	STAT	H'E801 202C	32
0、1 共通	送信モジュールDMAオーディオデータレジスタ	TDAD	H'E801 2030	32
	受信モジュールDMAオーディオデータレジスタ	RDAD	H'E801 2034	32

注.　レジスタはすべてロングワードレジスタですので、常にロングワードでアクセスしてください。
各レジスタの図で、0と書いてあるビットには常に0を書き込んでください（ライト可能な場合）。この場合、読み出し値も常に0です（リード可能な場合）。

23.7　レジスタの説明

【レジスタ説明の記号説明】
初期値：リセット後のレジスタ値
—：不定値
R/W：リードおよびライト可。書き込み値を読み出すことができます。
R：リードのみ可。書き込む値は常に 0 にしてください。
R/WC0：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
W：ライトのみ可。リードは禁止されています。リザーブビットの場合、書き込む値は常に 0 にしてください。
—/W：ライトのみ可。読み出し値は不定です。

23.7.1　コントロールレジスタ（CTRL）

ビット：	31	30	29	28	27	26	25	24
	-	-	-	CKS	-	PB	RASS	
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R/W	R/W	R/W

ビット：	23	22	21	20	19	18	17	16
	TASS		RDE	TDE	NCSI	AOS	RME	TME
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8
	REIE	TEIE	UBOI	UBUI	CREI	PAEI	PREI	CSEI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	7	6	5	4	3	2	1	0
	ABOI	ABUI	RUII	TUII	RCSI	RCBI	TCSI	TCBI
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
31 ～ 29	—	すべて 0	R	リザーブビット
28	CKS	0	R/W	オーバサンプルクロックセレクト オーバサンプルクロックの供給源を選択します。 0：AUDIO_X1 1：AUDIO_CLK
27	—	0	R	リザーブビット
26	PB	0	R/W	パスバック 送信モジュール SPDIF 出力を、SPDIF モジュールの SPDIF 受信モジュールに戻します（パスバック）。 0：パスバック無効 1：パスバック有効
25、24	RASS	すべて 0	R/W	受信モジュールオーディオサンプルビットサイズ データアライメントのための、受信モジュールオーディオサンプルビットのサイズ（16、20、または 24 ビット）を指定します。 00：16 ビットサンプル 01：20 ビットサンプル 10：24 ビットサンプル 11：予約

ビット	ビット名	初期値	R/W	説　　明
23、22	TASS	すべて 0	R/W	送信モジュールオーディオサンプルビットサイズ データアライメントのための、送信モジュールオーディオサンプルビットのサイズ（16、20、または 24 ビット）を指定します。 00：16 ビットサンプル 01：20 ビットサンプル 10：24 ビットサンプル 11：予約
21	RDE	0	R/W	受信モジュール DMA イネーブル 受信モジュールの DMA 要求を許可します。 0：受信モジュール DMA を禁止 1：受信モジュール DMA を許可
20	TDE	0	R/W	送信モジュール DMA イネーブル 送信モジュールの DMA 要求を許可します。 0：送信モジュール DMA を禁止 1：送信モジュール DMA を許可
19	NCSI	0	R/W	新チャネルステータス情報 送信モジュールに修理すべき新チャネルステータス情報がある場合、このビットを 1 に設定します。 0：新チャネルステータス情報はありません。 1：新チャネルステータス情報があります。
18	AOS	0	R/W	オーディオオンリーサンプル ユーザデータレジスタにユーザ情報がある場合、このビットを 0 に設定します。1 に設定した場合、ユーザビットにはすべて 0 が設定されます。 0：ユーザ情報があります。 1：ユーザ情報はありません。
17	RME	0	R/W	受信モジュールイネーブル 受信モジュールを有効にします。 0：受信モジュールは無効 1：受信モジュールは有効
16	TME	0	R/W	送信モジュールイネーブル 送信モジュールを有効にします。 0：送信モジュールは無効 1：送信モジュールは有効
15	REIE	0	R/W	受信モジュールエラー割り込みイネーブル このビットをクリアすると、受信モジュールのエラー割り込みをすべてマスクします。セットすると、受信モジュールエラー割り込みをすべて許可します。 0：受信モジュールエラー割り込みを禁止 1：受信モジュールエラー割り込みを許可
14	TEIE	0	R/W	送信モジュールエラー割り込みイネーブル このビットをクリアすると、送信モジュールのエラー割り込みをすべてマスクします。セットすると、送信モジュールエラー割り込みをすべて許可します。 0：送信モジュールエラー割り込みを禁止 1：送信モジュールエラー割り込みを許可
13	UBOI	0	R/W	ユーザバッファオーバラン割り込みイネーブル ユーザバッファオーバラン割り込みを許可します。 0：ユーザバッファオーバラン割り込みを禁止 1：ユーザバッファオーバラン割り込みを許可
12	UBUI	0	R/W	ユーザバッファアンダラン割り込みイネーブル ユーザバッファアンダラン割り込みを許可します。 0：ユーザバッファアンダラン割り込みを禁止 1：ユーザバッファアンダラン割り込みを許可
11	CREI	0	R/W	クロックリカバリエラー割り込みイネーブル クロックリカバリエラー割り込みを許可します。 0：クロックリカバリエラー割り込みを禁止 1：クロックリカバリエラー割り込みを許可
10	PAEI	0	R/W	パリティエラー割り込みイネーブル パリティチェックエラー割り込みを許可します。 0：パリティチェックエラー割り込みを禁止 1：パリティチェックエラー割り込みを許可

ビット	ビット名	初期値	R/W	説　　明
9	PREI	0	R/W	プリアンブルエラー割り込みイネーブル プリアンブルチェックエラー割り込みを許可します。 0：プリアンブルエラー割り込みを禁止 1：プリアンブルエラー割り込みを許可
8	CSEI	0	R/W	チャネルステータスエラー割り込みイネーブル チャネルステータスエラー割り込みを許可します。 0：チャネルステータスエラー割り込みを禁止 1：チャネルステータスエラー割り込みを許可
7	ABOI	0	R/W	オーディオバッファオーバラン割り込みイネーブル 受信モジュールオーディオバッファオーバラン割り込みを許可します。 0：オーディオバッファオーバラン割り込みを禁止 1：オーディオバッファオーバラン割り込みを許可
6	ABUI	0	R/W	オーディオバッファアンダラン割り込みイネーブル 送信モジュールオーディオバッファアンダラン割り込みを許可します。 0：オーディオバッファアンダラン割り込みを禁止 1：オーディオバッファアンダラン割り込みを許可
5	RUII	0	R/W	受信モジュールユーザ情報割り込みイネーブル 受信モジュールユーザ情報レジスタフル割り込みを許可します。 0：受信モジュールユーザ情報割り込みを禁止 1：受信モジュールユーザ情報割り込みを許可
4	TUII	0	R/W	送信モジュールユーザ情報割り込みイネーブル 送信モジュールユーザ情報レジスタエンプティ割り込みを許可します。 0：送信モジュールユーザ情報割り込みを禁止 1：送信モジュールユーザ情報割り込みを許可
3	RCSI	0	R/W	受信モジュールチャネルステータス割り込みイネーブル 受信モジュールチャネルステータスレジスタフル割り込みを許可します。 0：受信モジュールチャネルステータス割り込みを禁止 1：受信モジュールチャネルステータス割り込みを許可
2	RCBI	0	R/W	受信モジュールチャネルバッファ割り込みイネーブル 受信モジュールオーディオチャネルバッファフル割り込みを許可します。 0：受信モジュールオーディオチャネル割り込みを禁止 1：受信モジュールオーディオチャネル割り込みを許可
1	TCSI	0	R/W	送信モジュールチャネルステータス割り込みイネーブル 送信モジュールチャネルステータスレジスタエンプティ割り込みを許可します。 0：送信モジュールチャネルステータス割り込みを禁止 1：送信モジュールチャネルステータス割り込みを許可
0	TCBI	0	R/W	送信モジュールチャネルバッファ割り込みイネーブル 送信モジュールオーディオチャネルバッファエンプティ割り込みを許可します。 0：送信モジュールオーディオチャネル割り込みを禁止 1：送信モジュールオーディオチャネル割り込みを許可

23.7.2　ステータスレジスタ（STAT）

ビット：	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット：	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	CMD
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8
	RIS	TIS	UBO	UBU	CE	PARE	PREE	CSE
初期値：	1	1	0	0	0	0	0	0
R/W：	R	R	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0	R/WC0

ビット：	7	6	5	4	3	2	1	0
	ABO	ABU	RUIR	TUIR	CSRX	CBRX	CSTX	CBTX
初期値：	0	0	0	0	0	0	0	0
R/W：	R/WC0	R/WC0	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
31 ～ 17	ー	すべて 0	R	リザーブビット
16	CMD	0	R	圧縮モードデータ 受信データが圧縮モードデータ（V フラグおよびチャネルステータスのビット 1＝1）のとき、このビットがセットされます。 0：圧縮モードデータではありません。 1：圧縮モードデータです。
15	RIS	1	R	受信モジュールアイドル状態 受信モジュールがアイドル状態のとき、このビットがセットされます。 0：受信モジュールはアイドル状態ではありません。 1：受信モジュールはアイドル状態です。
14	TIS	1	R	送信モジュールアイドル状態 送信モジュールがアイドル状態のとき、このビットがセットされます。 0：送信モジュールはアイドル状態ではありません。 1：送信モジュールはアイドル状態です。
13	UBO	0	R/WC0	ユーザバッファオーバラン（注 1） 受信モジュールユーザバッファがオーバランすると、このビットがセットされます。ビットに 0 を書き込むとクリアされます。コントロールレジスタの REIE ビットと UBOI ビットがセットされていると、割り込みが発生します。 0：ユーザバッファはオーバランしていません。 1：ユーザバッファオーバランが発生しました。
12	UBU	0	R/WC0	ユーザバッファアンダラン（注 1） 送信モジュールユーザバッファがアンダランすると、このビットがセットされます。ビットに 0 を書き込むとクリアされます。コントロールレジスタの TEIE ビットと UBUI ビットがセットされていると、割り込みが発生します。 0：ユーザバッファはアンダランしていません。 1：ユーザバッファアンダランが発生しました。
11	CE	0	R/WC0	クロックエラー（注 1） クロックリカバリの同期がとれなくなると、このビットがセットされます。ビットに 0 を書き込むとクリアされます。コントロールレジスタの REIE ビットと CREI ビットがセットされていると、割り込みが発生します。 0：クロックリカバリ正常 1：クロックリカバリエラー
10	PARE	0	R/WC0	パリティエラー（注 1） パリティチェックの結果がエラーとなったとき、このビットがセットされます。ビットに 0 を書き込むとクリアされます。コントロールレジスタの REIE ビットと PAEI ビットがセットされていると、割り込みが発生します。 0：パリティチェック正常 1：パリティエラー

ビット	ビット名	初期値	R/W	説　　明
9	PREE	0	R/WC0	プリアンブルエラー（注1） 未定義プリアンブルやプリアンブルが正しい位置に現れなかったとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのREIEビットとPREIビットがセットされていると、割り込みが発生します。 【注】 ブロック開始のプリアンブルのあとでのみセットされます。 0：プリアンブルは正しい位置にあります。 1：プリアンブルエラー
8	CSE	0	R/WC0	チャネルステータスエラー（注1） チャネルステータス情報が、送信状態にある32番目のフレームより前に書き込まれたとき、このビットがセットされます。ビットに0を書き込むとクリアされます。コントロールレジスタのTEIEビットとCSEIビットがセットされていると、割り込みが発生します。 0：チャネルステータス正常 1：チャネルステータスエラー
7	ABO	0	R/WC0	オーディオバッファオーバラン（注1） 受信モジュールオーディオバッファが第1ステージと第2ステージが共にフル状態で、データが上書きされたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタのREIEビットとABOIビットがセットされていると、割り込みが発生します。 0：受信モジュールオーディオバッファはオーバランしていません。 1：受信モジュールオーディオバッファオーバランが発生しました。
6	ABU	0	R/WC0	オーディオバッファアンダラン（注1） 送信モジュールオーディオバッファが第1ステージと第2ステージともに空になり、最後のデータ転送が繰り返されたことを示します。ビットに0を書き込むと、このビットはクリアされます。コントロールレジスタのTEIEビットとABUIビットがセットされていると、割り込みが発生します。 0：送信モジュールオーディオバッファはアンダランしていません。 1：送信モジュールオーディオバッファアンダランが発生しました。
5	RUIR	0	R	受信モジュールユーザ情報レジスタ 受信モジュールユーザ情報レジスタの状態を示します。受信モジュールユーザレジスタを読み出すと、このビットはクリアされます。コントロールレジスタのRUIIビットがセットされていると、割り込みが発生します。 0：受信モジュールユーザ情報レジスタエンプティ 1：受信モジュールユーザ情報レジスタフル
4	TUIR	0	R	送信モジュールユーザ情報レジスタ 送信モジュールユーザ情報レジスタの状態を示します。送信モジュールユーザレジスタに書き込むと、このビットはクリアされます。コントロールレジスタのTUIIビットがセットされていると、割り込みが発生します。 0：送信モジュールユーザ情報レジスタフル 1：送信モジュールユーザ情報レジスタエンプティ
3	CSRX	0	R	チャネル1、2ステータス—受信モジュール 受信モジュールチャネルステータスレジスタの状態を示します。受信モジュールチャネルステータスレジスタを読み出すと、このビットはクリアされます。コントロールレジスタのRCSIビットがセットされていると、割り込みが発生します。 0：受信モジュールチャネルステータスレジスタエンプティ 1：受信モジュールチャネルステータスレジスタフル
2	CBRX	0	R	チャネル1、2バッファ —受信モジュール 受信モジュールオーディオチャネルレジスタの状態を示します。受信モジュールオーディオチャネルレジスタを読み出すと、このビットはクリアされます。コントロールレジスタのRCBIビットがセットされていると、割り込みが発生します。 0：受信モジュールオーディオチャネルレジスタエンプティ 1：受信モジュールオーディオチャネルレジスタフル
1	CSTX	0	R	チャネル1、2ステータス—送信モジュール 送信モジュールチャネルステータスレジスタの状態を示します。送信モジュールチャネルステータスレジスタに書き込むと、このビットはクリアされます。コントロールレジスタのTCSIビットがセットされていると、割り込みが発生します。 0：送信モジュールチャネルステータスレジスタフル 1：送信モジュールチャネルステータスレジスタエンプティ

ビット	ビット名	初期値	R/W	説　　明
0	CBTX	0	R	チャネル1、2バッファ ―送信モジュール 送信モジュールオーディオチャネルレジスタの状態を示します。送信モジュールオーディオチャネルレジスタに書き込むと、このビットはクリアされます。コントロールレジスタのTCBIビットがセットされていると、割り込みが発生します。 0：送信モジュールオーディオチャネルレジスタフル 1：送信モジュールオーディオチャネルレジスタエンプティ

注1.　DMA転送中にエラービットを検出した場合は、DMA転送の再設定が必要です。この場合、ルネサスSPDIFモジュールイネーブルビット（RMEまたはTMEビット）、DMAイネーブルビット（RDEまたはTDEビット）を「禁止」に設定し、エラー状態を解除した上で、ダイレクトメモリアクセスコントローラを再設定してください。この後、モジュールイネーブルビットを「許可」に設定しDMA転送を再開できます。

23.7.3　送信モジュールチャネル 1 オーディオレジスタ（TLCA）

ビット：	31	30	29	28	27	26	25	24
	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-
R/W：	W	W	W	W	W	W	W	W

ビット：	23	22	21	20	19	18	17	16
	オーディオPCMデータ							
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8
	オーディオPCMデータ							
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット：	7	6	5	4	3	2	1	0
	オーディオPCMデータ							
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	―	―	W	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	W	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

23.7.4　送信モジュールチャネル 2 オーディオレジスタ（TRCA）

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	―	―	W	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	W	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

23.7.5　送信モジュール DMA オーディオデータレジスタ（TDAD）

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	―	―	W	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	W	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

23.7.6　送信ユーザデータレジスタ（TUI）

サブフレームの U ビットデータを書き込みます。U ビットデータはサブフレーム 1、サブフレーム 2 の順番で送信するため、16 フレームごとにデータを更新してください。ユーザバイトの内容については、使用するデバイスに対応するユーザ情報の規格を参照してください。送信するユーザビットは LSB 側から順番に設定します。

ビット	ビット名	初期値	R/W	説明
31 ～ 24	ユーザバイト 4	すべて 0	W	U ビット情報が格納されます。
23 ～ 16	ユーザバイト 3	すべて 0	W	
15 ～ 8	ユーザバイト 2	すべて 0	W	
7 ～ 0	ユーザバイト 1	すべて 0	W	

23.7.7　送信モジュールチャネル 1 ステータスレジスタ（TLCS）

送信するチャネルステータス情報は 30 ビットのレジスタに格納します。チャネルステータス情報は 1 フレーム当たり各チャネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信したあとは 0 を送ります。

ビット：	31	30	29	28	27	26	25	24
	-	-	CLAC[1:0]		FS[3:0]			
初期値：	-	-	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット：	23	22	21	20	19	18	17	16
	CHNO[3:0]				SRCNO[3:0]			
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8
	CATCD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット：	7	6	5	4	3	2	1	0
	-	-	CTL[4:0]					-
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　明
31、30	―	―	W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	W	サンプル周波数（FS） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	W	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	W	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	W	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	―	すべて 0	W	リザーブビット 書き込む値は常に0にしてください。
5 ～ 1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	―	0	W	リザーブビット 書き込む値は常に0にしてください。

23.7.8　送信モジュールチャネル 2 ステータスレジスタ（TRCS）

送信するチャネルステータス情報は 30 ビットのレジスタに格納します。チャネルステータス情報は 1 フレーム当たり各チャネルごとに 192 ビットで構成されますが、必要なデータは下記レジスタに設定する 30 ビット分しかないため、最初の 30 ビットを送信した後は 0 を送ります。

ビット	ビット名	初期値	R/W	説　　明
31、30	―	―	W	リザーブビット
29、28	CLAC[1:0]	すべて 0	W	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	W	サンプル周波数（FS） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	W	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	W	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	W	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	―	すべて 0	W	リザーブビット 書き込む値は常に0にしてください。
5 ～ 1	CTL[4:0]	すべて 0	W	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	―	0	W	リザーブビット 書き込む値は常に0にしてください。

23.7.9　受信モジュールチャネル 1 オーディオレジスタ（RLCA）

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	―	―	R	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	R	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

23.7.10　受信モジュールチャネル 2 オーディオレジスタ（RRCA）

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	―	―	R	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	R	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

23.7.11　受信モジュール DMA オーディオデータ（RDAD）

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	－	R	リザーブビット
23 ～ 0	オーディオ PCM データ	すべて 0	R	オーディオPCMデータ PCMエンコードされたオーディオデータ（LSB側に詰めて格納）

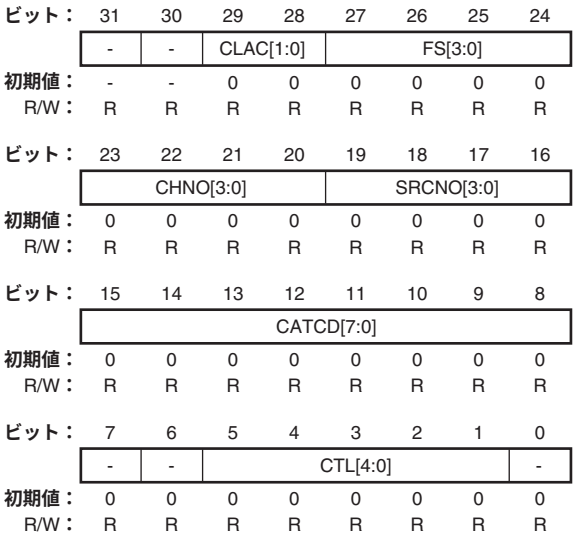
23.7.12　受信ユーザデータレジスタ（RUI）

ルネサス SPDIF をとおして受信したサブフレームの U ビットデータが格納されます。LSB 側からサブフレーム 1、サブフレーム 2 の順番で U ビット情報が格納されるため、16 フレームごとに読み出してください。ユーザバイトの内容については、使用するデバイスに対応する規格を参照してください。

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	ユーザバイト 4	すべて 0	R	U ビット情報が格納されます。
23 ～ 16	ユーザバイト 3	すべて 0	R	
15 ～ 8	ユーザバイト 2	すべて 0	R	
7 ～ 0	ユーザバイト 1	すべて 0	R	

23.7.13　受信モジュールチャネル 1 ステータスレジスタ（RLCS）

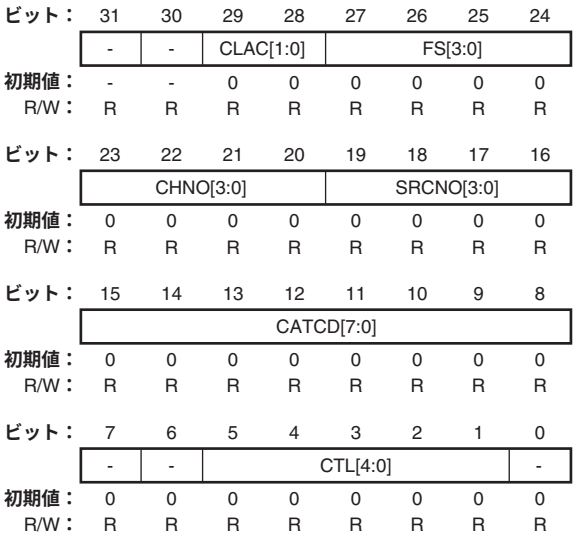
チャネルステータスは、ブロック開始から受信したサブフレーム 1 が順番にレジスタの LSB ビットより格納されます。チャネルステータスの内容は IEC-60958 を参照してください。



ビット	ビット名	初期値	R/W	説　　明
31、30	―	―	R	リザーブビット
29、28	CLAC[1:0]	すべて 0	R	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	R	サンプル周波数（fs） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	R	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	R	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	R	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	―	すべて 0	R	リザーブビット
5 ～ 1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	―	0	R	リザーブビット

23.7.14　受信モジュールチャネル 2 ステータスレジスタ（RRCS）

チャネルステータスは、ブロック開始から受信したサブフレーム 2 が順番にレジスタの LSB ビットより格納されます。チャネルステータスの内容は IEC-60958 を参照してください。



ビット	ビット名	初期値	R/W	説　　明
31、30	―	―	R	リザーブビット
29、28	CLAC[1:0]	すべて 0	R	クロック精度 00：レベル2 01：レベル1 10：レベル3 11：予約
27 ～ 24	FS[3:0]	すべて 0	R	サンプル周波数（fs） 0000：44.1 kHz 0010：48 kHz 0011：32 kHz
23 ～ 20	CHNO[3:0]	すべて 0	R	チャネル番号 0000：Don't care 0001：A（左チャネル） 0010：B（右チャネル） 0011：C
19 ～ 16	SRCNO[3:0]	すべて 0	R	送信元番号 0000：Don't care 0001：1 0010：2 0011：3
15 ～ 8	CATCD[7:0]	すべて 0	R	カテゴリコード（例） 00000000：2チャネル汎用フォーマット 00000001：2チャネルコンパクトディスク（IEC908） 00000010：2チャネルPCMエンコーダ／デコーダ 00000011：2チャネルデジタルオーディオテープレコーダ
7、6	―	すべて 0	R	リザーブビット
5 ～ 1	CTL[4:0]	すべて 0	R	コントロール コントロールビットは送信元からコピーされます（IEC60958規格を参照）。
0	―	0	R	リザーブビット

23.8　機能の説明－送信モジュール

23.8.1　送信モジュール

送信モジュールは、送信する PCM データおよび補助情報を IEC60958 規格（SPDIF）に適合したバイフェーズマーク方式の変調にエンコードして送信します。

送信モジュールのクロックは、外部から供給されるオーバサンプリングクロックです。このクロックは通常バイフェーズマーク方式のエンコードに必要なクロック周波数の 8 倍の周波数でオーバサンプルとなる値を選択します。この場合、サブフレーム内にある 32 個タイムスロットの送信に必要なクロック周波数は、オーディオデータのサンプル周波数の 512 倍となります。

オーディオデータとチャネルステータス情報は、まずモジュールのチャネル 1 に、次にチャネル 2 に書き込みます。チャネルステータスは、一般には情報が変化したときのみ書き込みが必要となります。チャネルステータスの書き込みは 30 フレーム後（現在のチャネルステータスデータの送信がすべて完了したとき）に SPDIF モジュールから要求されるため、31 フレームから次のブロック＝ 192 フレームが開始する前に書き込みをしてください。

オーディオデータは、ダブルバッファ構成で格納します。ダブルバッファの第 1 ステージにデータがなくなったことを確認する手段には、割り込み要求を送る方法とステータスレジスタを読み出す 2 つがあります。DMA 転送は、最初の要求でチャネル 1 オーディオデータを、2 番目の要求でチャネル 2 オーディオデータを送信します。

送信するチャネルステータス情報はチャネル 1、2 の 30 ビットのレジスタに設定します。チャネルステータス情報は 1 ブロック間では各チャネル当たり 192 ビットとなりますが、必要なデータは 30 ビット分しかないため、ルネサス SPDIF モジュールでは最初の 30 ビットを送信した後はブロックが完了するまでゼロを送信します。

ユーザデータは 32 ビットのダブルバッファ配列です。ダブルバッファの第 1 ステージが空の状態は、割り込みによる要求かステータスレジスタを読み出すことにより確認します。一般にユーザデータ情報はブロック間のデータ長では不足し、チャネル 1、チャネル 2 の順に送信し、1 ブロック間のユーザデータは 384 ビット送信後、次のブロックも連続して送信します。

ルネサス SPDIF モジュールでは扱うオーディオデータはリニア PCM で、設定できるサイズは最大 24 ビットです。このため、オーディオデータがリニア PCM であることを示す V フラグは常に 0 となります。V フラグはレジスタによる設定はありません。シリアル出力データの 32 ビット（プリアンブルは含まず）ごとに偶数パリティを生成します。

注 .　送信モジュールユーザバッファのアンダランが発生すると、次のデータが書き込まれるまで、SPDIF のバッファにある現在のデータを送信します。

23.8.2　送信モジュールの初期化

送信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの TME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、送信モジュールは次のような設定になります。

- 送信モジュールのアイドルステータスビット（TIS）は 1 にセットされ、その他のステータスビットはすべて 0 にクリアされます。
- プリアンブル生成が無効になります。
- チャネル 1、2 の同期が 0 にセットされます（チャネル 1：0、チャネル 2：1）。
- ワードカウントとフレームカウントが 0 になります。
- バイフェーズマークによるエンコーダからの出力が 0 になります。

チャネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの TME ビットに 1 を書き込んでください。

23.8.3　送信モジュールの初期設定

TME ビットを 1 にセットすると、TUIR ビットおよび CSTX ビットが 1 にセットされますが、このとき、1）TUI、2）TLCS、TRCS の順にデータを書き込むと、チャネルステータスエラーが発生します。エラーの発生を抑えるには、1）TLCS、TRCS、2）TUI の順に書き込んでください。

また、TME ビットを 1 にセットした後、最初のオーディオデータの書き込み（CPU アクセスによる TLCA、TRCA への書き込み、または、DMA 転送による TDAD への書き込み）は、TLCS、TRCS、TUI への書き込み後、CSTX および TUIR がクリアされたことを確認してから行ってください。

23.8.4　送信モジュールのデータ転送

送信モジュールがアイドル状態から復帰すると、データ転送が可能になります。データ転送は、3 つの方法のいずれかで開始できます。割り込みで転送を行う方法、DMA 要求で行う方法、ステータスレジスタを読み出して行う方法です。送受信に共通な割り込み信号と、送信モジュール用の単独の DMA 要求信号が用意されています。

図 23.5 に、割り込みを用いた送信モジュールのデータ転送を示します。

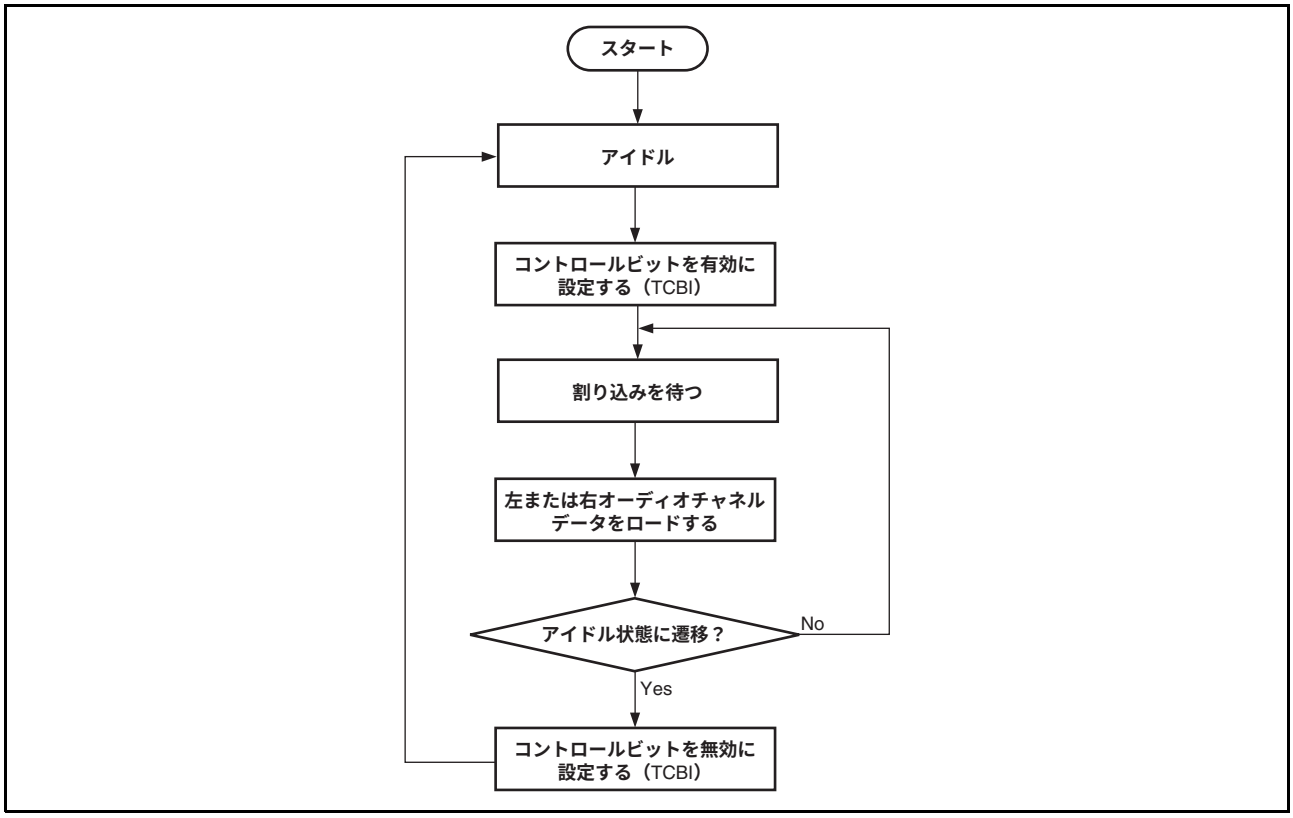


図 23.5　送信モジュールのデータ転送フロー（割り込みによる方法）

図 23.6 に、DMA 要求を用いた送信モジュールのデータ転送を示します。

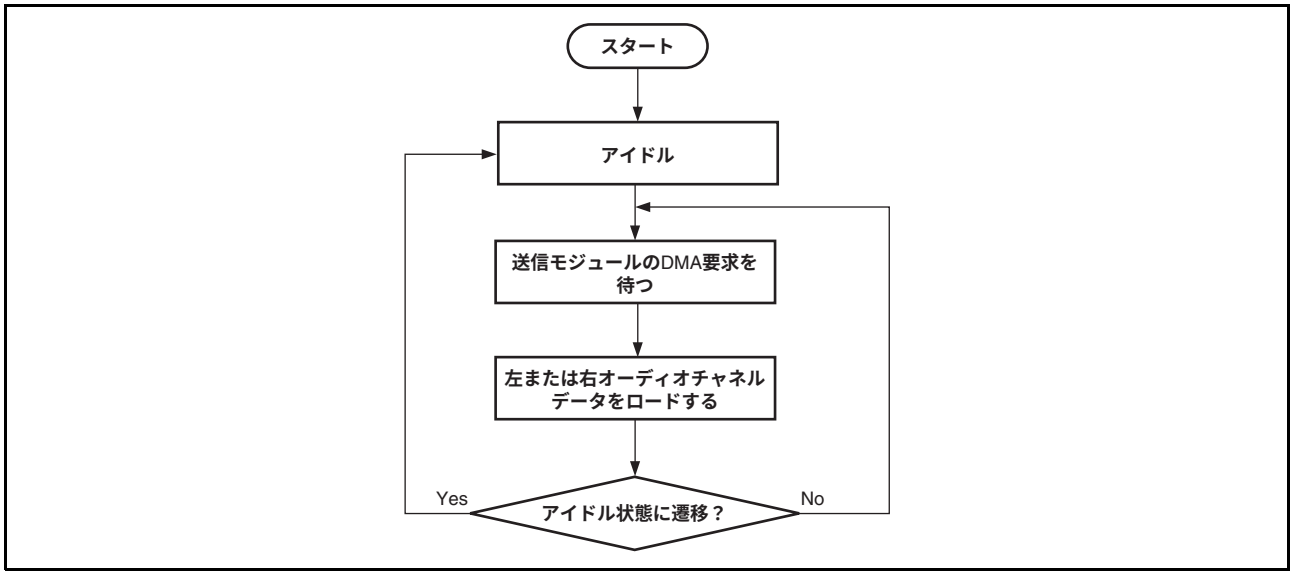


図 23.6　送信モジュールデータ転送フロー（DMA 要求による方法）

チャネルステータス情報は、その情報が変化したときに更新します。更新する場合は、次のブロックを送信する前に行わなければならないため、更新するチャネルステータスは、30 フレームの送信が完了したあとに書き込んでください。30 フレームの送信完了は、割り込みで通知するか、またはステータスビットを読み出して検出することができます。30 フレームの送信が完了する前（現在の情報の送信中）にチャネルステータス情報を書き込むと、ステータスレジスタのチャネルステータスエラービット（CSE）がセットされ、割り込みが発生します。

注 .　30 フレームで、1 つのチャネルステータスブロックの有効な情報をすべて送信することができます。

23.9　機能の説明－受信モジュール

23.9.1　受信モジュール

受信モジュールは、IEC60958 規格でエンコードされた入力からデータとクロックを復調します。復調されたデータはリニア PCM 形式のデータでオーディオデータレジスタに格納され、補助情報として同時に受信されるチャネルステータスとユーザ情報はレジスタに格納されます。

受信モジュールのメインクロックは、外部から供給されるオーバサンプリングクロックです。受信モジュールは、オーバサンプリングクロックの 4 倍の周波数で動作します。

注 .　送信モジュールと受信モジュールのオーバサンプリングクロックは同一です。

パルス幅カウンタと平均化フィルタを用いてクロックリカバリを行い、入力データの各ビットの中間点でサンプリングパルスを発生するようにします。クロックエラーステータスビットは、クロック同期ミスを示します。入力データに最初のプリアンブルが現れたとき、同期がとられます。調整を継続することで、ジッタやクロック変動がクロックリカバリ規定の範囲内である間は、そのクロックリカバリへの影響を抑えることができます。

クロックリカバリが成功すると、バイフェーズマーク方式によるデコーダがプリアンブル検出を開始します。デコーダはブロック開始のプリアンブル（**表 23.2** 参照）を検索します。プリアンブルエラーステータスビットは、次のプリアンブルが正しいタイミングで現れなかったことを示します。これは、転送の抜けや障害によるものと考えられます。

デコードしたデータに対し、偶数パリティチェックを行います。不一致があると、パリティエラーステータスビットがセットされます。

SPDIF モジュールは、オーディオデータ以外に、ユーザデータとチャネルステータス情報を取り出します。オーディオデータは、ダブルバッファ構成で格納します。バッファフル状態による割り込み要求送信か、またはステータスビットを読み出すことで、データが読み出し可能になったことを検出できます。DMA 転送は、最初の要求でチャネル 1 オーディオデータを、2 番目の要求でチャネル 2 オーディオデータを転送します。

チャネルステータス情報は 30 ビットのレジスタに格納します。チャネルステータス情報は、1 サブフレームあたり 1 ビットずつ受信しているため、各チャネル分合計 30 フレームを受信するまではレジスタへの格納が完了しません。新しいチャネルステータス情報を現在のデータと比較し、変化があったときだけ CPU が新しい情報を読み出します。同時にユーザデータも受信しますが、ユーザデータはサブフレームごとにレジスタに格納するため、16 フレームで受信が完了します。

注 1.　チャネルステータス情報データ要求は、DMA 転送できません。

注 2.　受信モジュールユーザバッファのオーバランが発生すると、SPDIF のバッファにある現在のデータは、SPDIF インタフェースから入力される次のデータで上書きされます。

23.9.2　受信モジュールの初期化

受信モジュールは、リセット後にデフォルトでアイドル状態に遷移します。また、CTRL レジスタの RME ビットに 0 を書き込んでアイドル状態に遷移させることもできます。アイドル状態では、受信モジュールは次のような設定になります。

- 受信モジュールのアイドルステータスビットは 1 にセットされ、その他のステータスビットはすべて 0 にクリアされます。
- チャネル 1、2 の同期が 0 にセットされます（チャネル 1：0、チャネル 2：1）。
- ワードカウントとフレームカウントが 0 になります。

チャネルステータスレジスタ、ユーザデータレジスタ、オーディオデータレジスタは、アイドル状態に遷移する前の値を保持します。アイドル状態から復帰するには、CTRL レジスタの RME ビットに 1 を書き込んでください。

23.9.3　受信モジュールのデータ転送

受信モジュールがアイドル状態から復帰するとデータ転送が可能になります。データ転送は、3 つの方法のいずれかで開始できます。割り込みで転送を行う方法、ステータスレジスタを読み出して行う方法、DMA 要求で行う方法です。送受信に共通な割り込み信号と、受信モジュール用の単独の DMA 要求信号が用意されています。受信モジュールへのデータ転送中、以下の要因によるエラー信号で、割り込みが発生する可能性があります。

1. クロックリカバリエラー
2. 転送ミスまたは障害 ― プリアンブルエラーで通知
3. パリティチェックエラー

転送ミスまたは障害の場合、サブフレーム開始またはブロック開始のプリアンブルの位置がずれたり、現れなかったりします。

パリティチェックエラーは、パリティビットが誤っている場合に発生します。このエラーは、上記のどの要因でも発生する可能性があります。

- **クロックリカバリの許容差**

クロックリカバリの受信マージンは、以下の式で表します。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)\, F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M：受信マージン
N：オーバサンプリング速度
L：フレーム長＝ 33
D：デューティサイクル＝ 0.6
F：オーバサンプリングクロック偏差＝レベル II 精度＝ $1000 \times 10e^{-6}$

図 23.7 に、受信マージン M を示します。

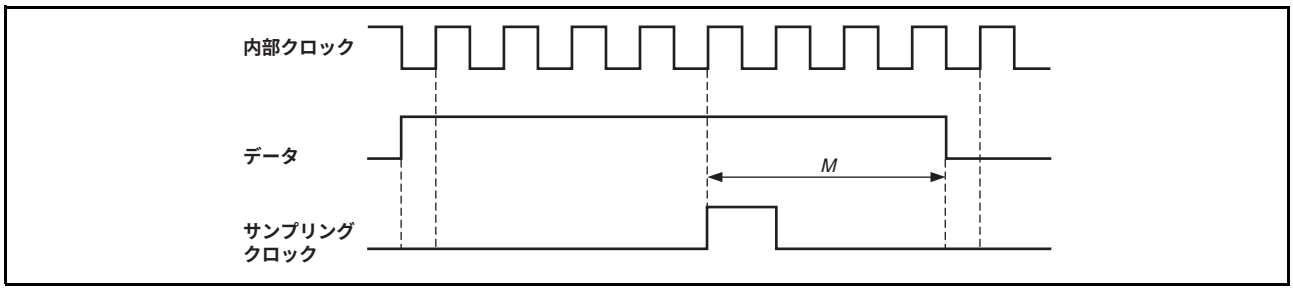


図 23.7　受信マージン

上記の式にジッタを導入した場合、以下の不等式で表します。

$$j \leq \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)\, F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

J：クロックジッタ
8 倍のオーバサンプリング速度：受信マージン＝ 39.25%
4 倍のオーバサンプリング速度：受信マージン＝ 31.75%
2 倍のオーバサンプリング速度：受信マージン＝ 16.75%

最速のサンプル周波数は 48kHz です。この場合、必要なクロック周波数は、128 × 48kHz ＝ 6.144MHz です。1 サイクル中の最悪ケースのジッタは、40ns ＝周期の 24.5% と定められています。したがって、4 以上のオーバサンプリング速度であれば、上記の不等式が満たされます。

図 23.8 に、割り込みを用いた受信モジュールのデータ転送を示します。

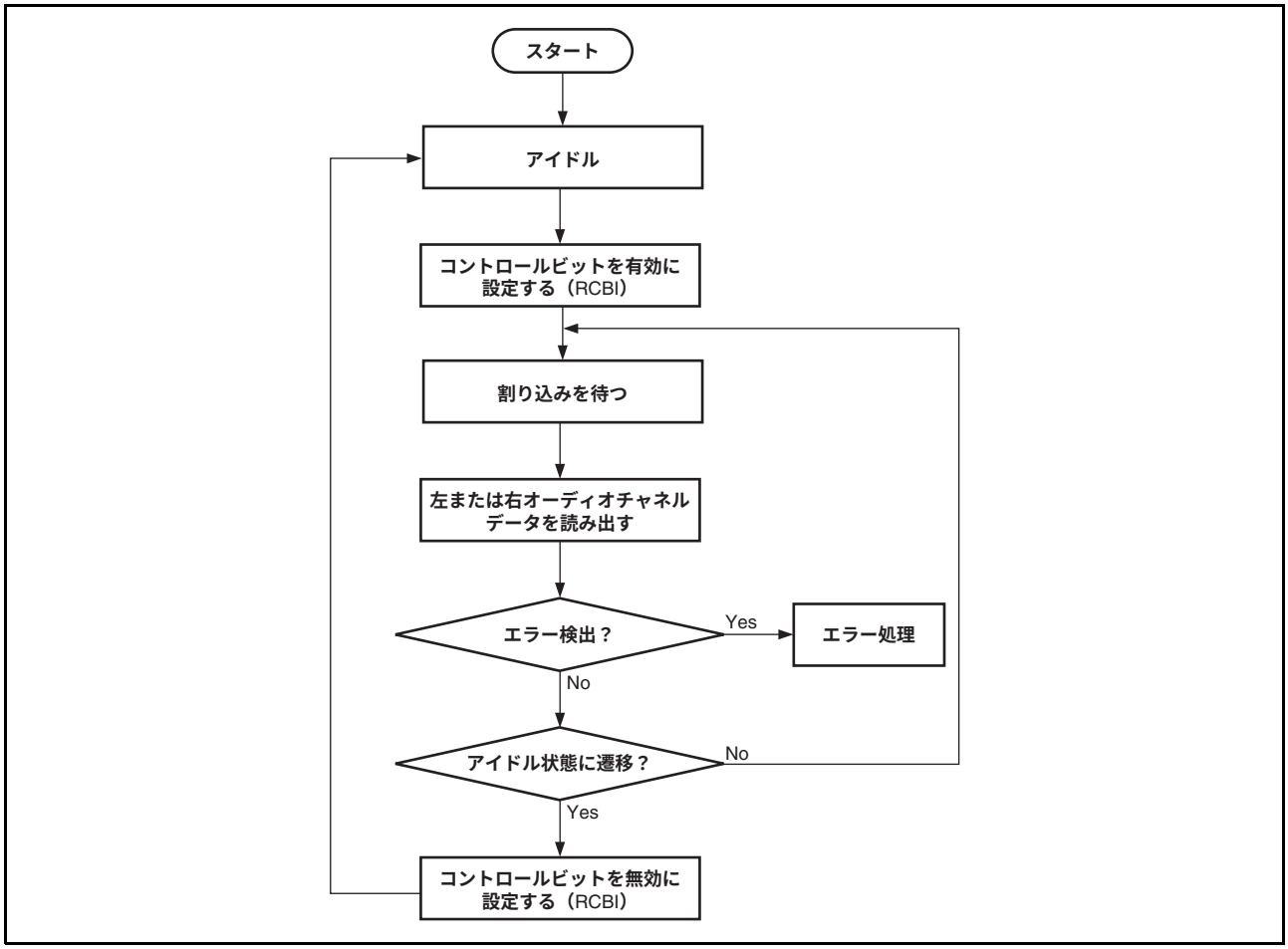


図 23.8　受信モジュールのデータ転送フロー（割り込みによる方法）

チャネルステータス情報レジスタに情報が格納されたことを通知する割り込みは、30 番目のフレーム受信が完了したあとで情報が変化したときのみ発生します。

23.10 モジュールの停止

23.10.1 送信モジュールと受信モジュールのアイドル状態

送信モジュールと受信モジュールは、コントロールレジスタのアイドルビット（送信モジュールは TME ビット、受信モジュールは RME ビット）に 0 を書き込むことで、動作を無効にできます。このアイドル状態は、ステータスレジスタのアイドルビット（送信モジュールは TIS ビット、受信モジュールは RIS ビット）を読み出すことで検出できます。

23.11 圧縮モードデータ

圧縮モードデータは、IEC61937 仕様で定義されています。SPDIF モジュールは、圧縮モードデータの検出のみを行います。バリディティフラグ（V フラグ）とチャネルステータスデータのビット 1 をチェックし、両方とも 1 の場合は圧縮モードデータとしてステータスレジスタの CMD ビットに設定します。

注 . 受信モジュールのみが圧縮モードデータを検出します。この情報は、送信モジュールには関係がありません。

23.12 参考

IEC60958 デジタルオーディオインタフェース
IEC61937 圧縮モードデジタルオーディオインタフェース

23.13 使用上の注意

23.13.1 TUIR のクリアについて

TUI に書き込んだ後、TUIR がクリアされるまで、最大 1 フレーム分の送信の完了を待つ必要があります。送信モジュールユーザ情報割り込みによって TUI にデータを書き込む場合は、割り込みを誤って再度受け付けないように、TUIR がクリアされたことを確認してから、割り込み処理ルーチンを終了させてください。

23.13.2 オーディオ用入力クロックの周波数

AUDIO X1、AUDIO X2 または AUDIO CLK に入力するクロックの周波数は、Bφ の周波数よりも低くしてください。

24. CD-ROM デコーダ

本モジュールは、RZ/A1L にのみ搭載しています。

CD-ROM デコーダは、CD-DSP から転送されたストリームデータの ROM デコード処理を行います。CD-DA（注 1）の場合には、ストリームデータは PCM データになっていますので、CD-ROM デコーダには入力されません。CD-ROM（注 2）の場合に、ストリームデータを入力し、同期コード検出・保護、デスクランブル、ECC 訂正、EDC チェックを行い、ストリームデータを出力します。

ただし、ストリームデータは、シリアルサウンドインタフェースを経由して CD-ROM データが転送されることを前提としています。したがって、CD 規格にあるサブコードの処理は行いません。

注 1.　JIS S 8605（Red Book）に準拠
注 2.　JIS X 6281（Yellow Book）に準拠

24.1 特長

- 同期コード検出・保護
  CD-ROM 同期コードを検出します。また、キズ等により同期コードを検出できなかったときは、同期コードを保護（自動挿入）します。
  保護の種類としては、自動同期保護モード、外部同期保護モード、内挿同期モードおよび、内挿／外部同期保護モードがあります。
- デスクランブル
- ECC 訂正
  P 訂正、Q 訂正、PQ 訂正、QP 訂正が実施できます。
  PQ 訂正、QP 訂正は繰り返し訂正をすることができ、最大で 3 回訂正できます。ただし、CD の倍速に依存しており、たとえば、CD-ROM デコーダの動作周波数を 60MHz、CD2 倍速とすると、最大で 3 回の繰り返し訂正ができます。
  ECC 訂正には、2 面のバッファを持っており、1 面でストリームデータを受信しながら、もう 1 面で ECC 訂正を行う並列動作が可能です。
- EDC チェック
  EDC のチェックは、ECC 訂正前後に行います。ECC 前の EDC チェックが OK であった場合、シンドローム演算結果によらず ECC 訂正を行わないモードもあります。
- バッファリングデータ制御
  CD-ROM デコーダは、同期コードを先頭とする特定のフォーマットでバッファリング領域へデータを出力します。

24.1.1 データフォーマット

本モジュールは、図 24.1 の 5 種類のフォーマットをサポートしています。

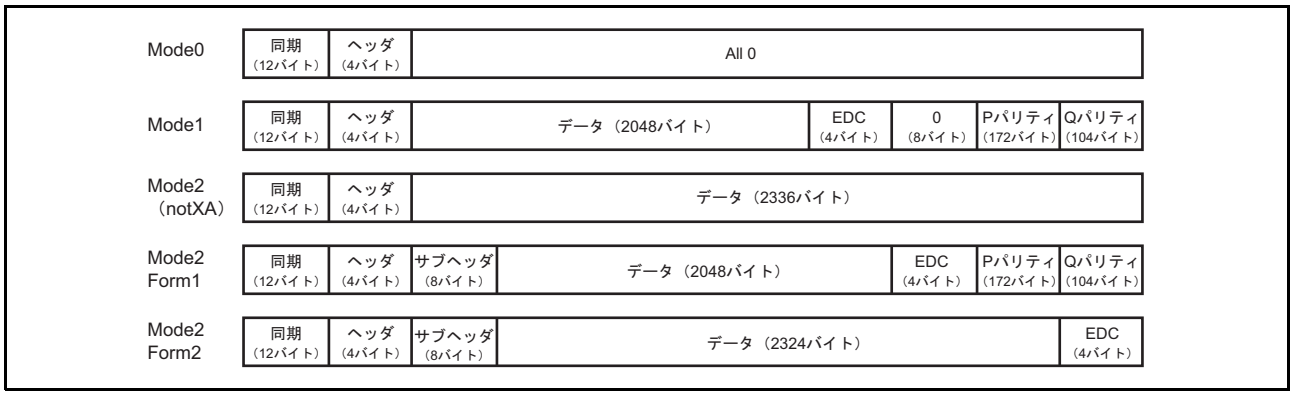


図 24.1　データフォーマット

24.2　ブロック図

図 24.2 に CD-ROM デコーダ機能を実現するための、本 LSI での CD-ROM デコーダ機能と、周辺バスに接続するためのバスブリッジを示します。

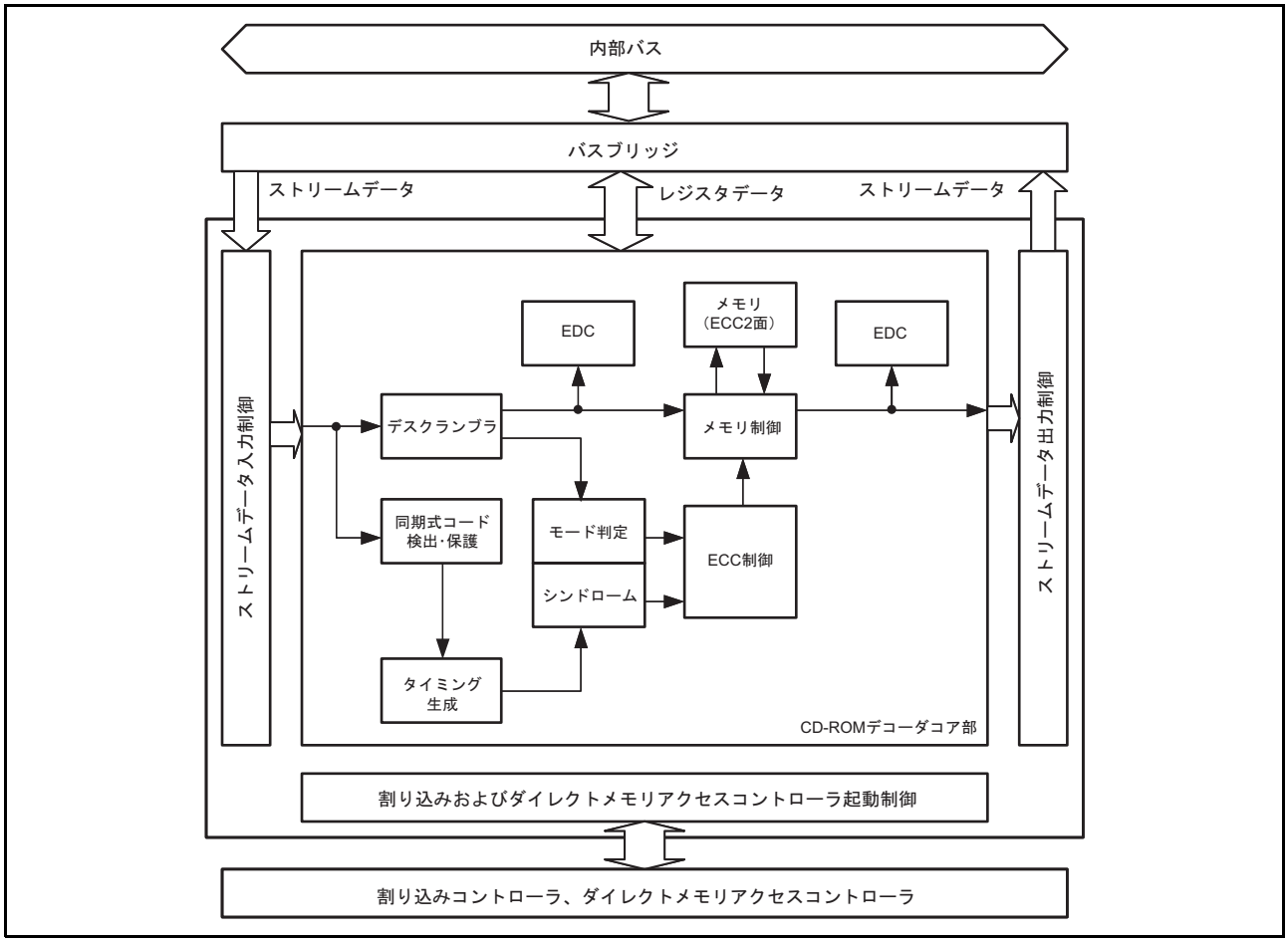


図 24.2　ブロック図

CD-ROM デコーダコア部は、CD-ROM デコードをするため必要なデスクランブル機能、同期コードの検出、ECC（P、Q 訂正）機能、EDC チェック機能を実行します。メモリは 2 セクタ分持っています。

内部バスからのデータは入出力各々 1 系統ですが、バスブリッジ論理で、レジスタアクセスポートとストリームデータポートに分岐します。

CD-DSP からのストリームデータは、シリアルサウンドインタフェースを経由し、ストリームデータ入力制御ブロックに転送します。それから CD-ROM デコーダを通過し、デスクランブル、ECC 訂正、EDC チェック後、1 セクタ分のデータが揃います。その後、ストリームデータ出力制御ブロックを経由し、ストリームデータバッファ内に転送します。ストリームデータの転送はダイレクトメモリアクセスコントローラによる方法と、CPU による方法があります。

図 24.3 にバスブリッジ部のブロック図を示します。

入力ストリームデータはシリアルサウンドインタフェースから転送されるため転送ピッチは遅いですが、出力ストリームデータはすでに CD-ROM デコーダコア部内にあるため、高速での転送が可能です。また、出力ストリームデータは SDRAM 等にバッファリングするため、SDRAM ビジー率を下げるために、高速で転送する必要があります。そこで、内部バスからの出力ストリームデータ読み出しリクエストが CD-ROM デコーダにくる前に、データを先読みし、バスブリッジ内レジスタにストリームデータを蓄えておき、内部バスからのリクエストがきたら、すぐにデータを内部バスへ出力可能な状態にしています。それゆえ、すでに出力ストリームデータが先読みされ、レジスタに蓄えられている状態で、他のレジスタ読み出しリクエストがくる場合もあります。そのため、本モジュールは出力ストリームデータ用レジスタと他のレジスタ読み出し用の中継レジスタを別々に持っています。

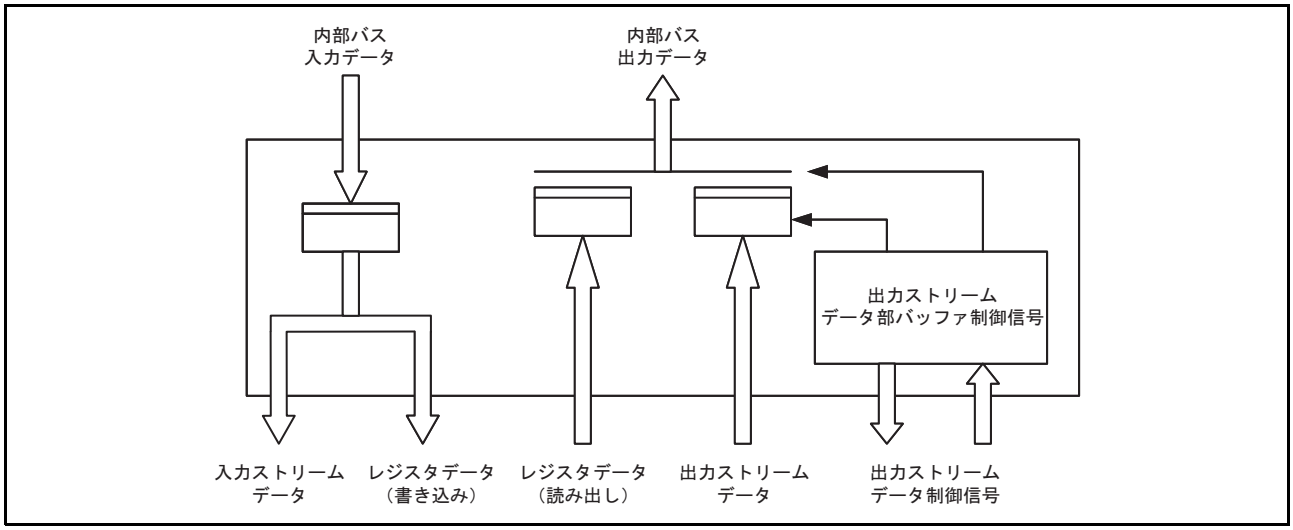


図 24.3　バスブリッジ部のブロック図

図 24.4 にストリームデータ入力制御ブロック図を示します。ストリームデータ入力制御部は、入力ストリームデータの制御論理と、CD-ROM デコーダの制御モードを変えるレジスタを持っています。

シリアルサウンドインタフェースから転送されてきたデータは、シリアルサウンドインタフェースのモードによりエンディアンの違いで転送順番が変わったり、パディングデータが転送されたりします。こういった種々のデータに対応するために、動作モードを変えるレジスタを備えていたり、CD-ROM デコーダコア部を制御する制御信号を生成したりします。入力ストリームデータ保持レジスタは、16 ビット 2 面のレジスタを持っています。レジスタで設定されたモードにより、先にシリアルサウンドインタフェースから転送されてきた 16 ビットデータを先に CD-ROM デコーダコア部に供給したり、後に送られてきた 16 ビットを先に供給したりすることができます。また、パディングデータを CD-ROM デコーダコア部に供給しないようにすることも可能です。

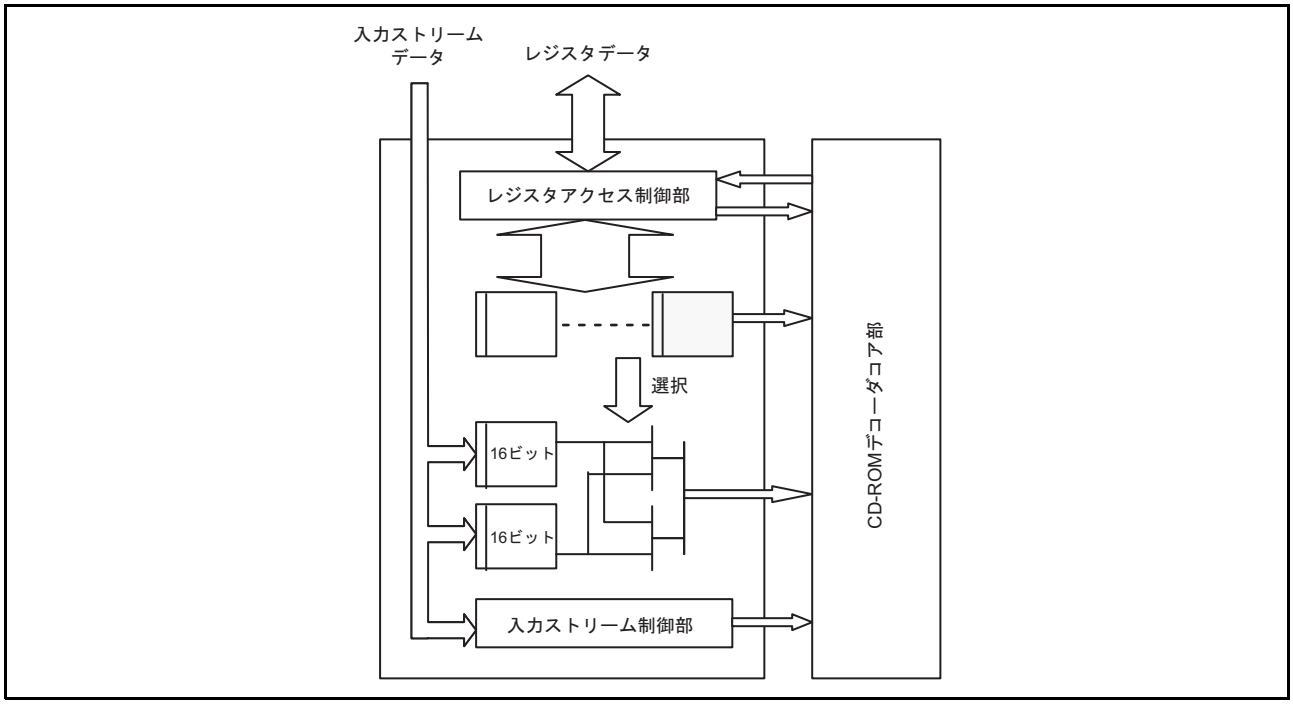


図 24.4　ストリームデータ入力制御ブロック図

図 24.5 にストリームデータ出力制御ブロック図を示します。

CD-ROM デコーダコア部から 1 セクタ分の CD-ROM データが揃ったことを認識し、バスブリッジ部にある出力ストリームデータレジスタの空き状態を確認して、CD-ROM デコーダコア部から出力ストリームデータを取得します。

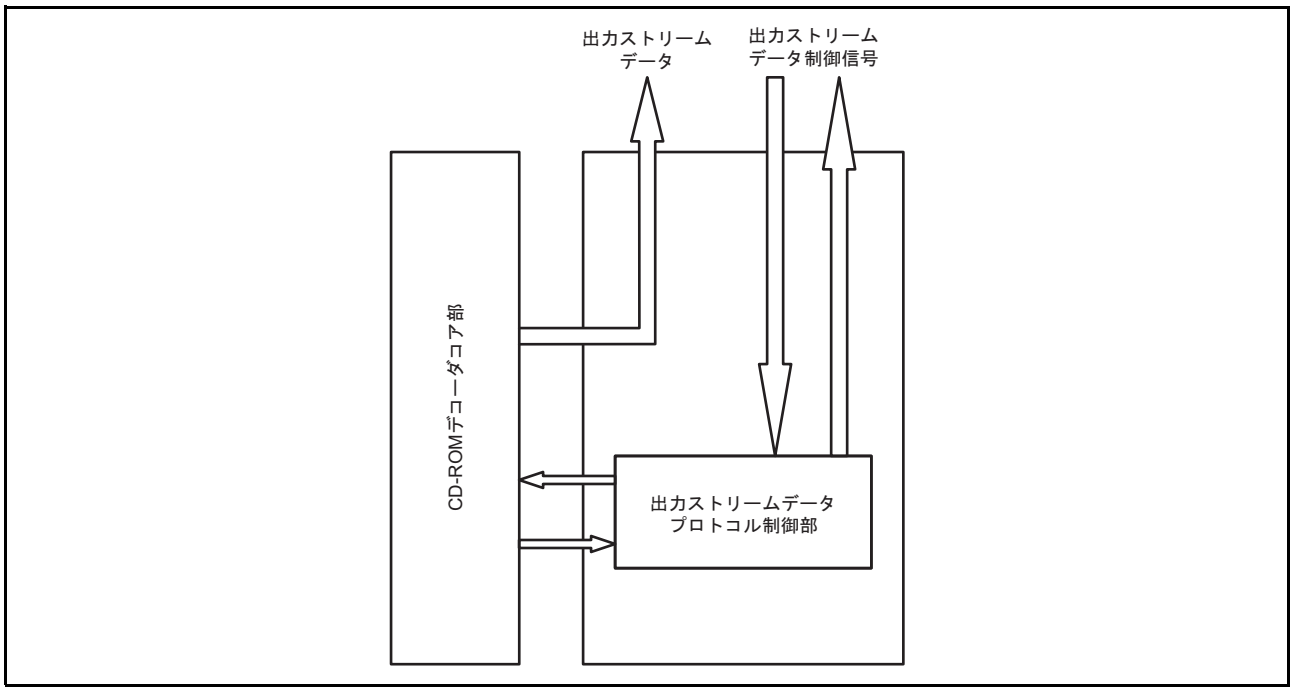


図 24.5　ストリームデータ出力制御ブロック図

割り込みおよびダイレクトメモリアクセスコントローラ起動制御では、割り込みの保留やフラグクリア、割り込みのマスク、ダイレクトメモリアクセスコントローラへの起動信号アサートと、転送データ量を検出し起動信号をネゲートする機能を持っています。

24.3 レジスタの説明

表 24.1 にレジスタ構成を示します。

表 24.1　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
イネーブルコントロールレジスタ	CROMEN	R/W	H'00	0xE8005000	8
同期コードの同期制御コントロールレジスタ	CROMSY0	R/W	H'89	0xE8005001	8
デコーディングモードコントロールレジスタ	CROMCTL0	R/W	H'82	0xE8005002	8
EDC、ECC チェック制御コントロールレジスタ	CROMCTL1	R/W	H'D1	0xE8005003	8
デコード処理自動停止コントロールレジスタ	CROMCTL3	R/W	H'00	0xE8005005	8
デコードオプション設定コントロールレジスタ	CROMCTL4	R/W	H'00	0xE8005006	8
HEAD20～22 表示コントロールレジスタ	CROMCTL5	R/W	H'00	0xE8005007	8
同期コードステータスレジスタ	CROMST0	R	H'00	0xE8005008	8
ECC 後のヘッダに対するエラーステータスレジスタ	CROMST1	R	H'00	0xE8005009	8
ECC 後のサブヘッダに対するエラーステータスレジスタ	CROMST3	R	H'00	0xE800500B	8
ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ	CROMST4	R	H'00	0xE800500C	8
モード判定結果とリンクセクタ検出ステータスレジスタ	CROMST5	R	H'00	0xE800500D	8
ECC、EDC エラーステータスレジスタ	CROMST6	R	H'00	0xE800500E	8
バッファステータスレジスタ	CBUFST0	R	H'00	0xE8005014	8
デコード中止要因ステータスレジスタ	CBUFST1	R	H'00	0xE8005015	8
バッファオーバフローステータスレジスタ	CBUFST2	R	H'00	0xE8005016	8
ECC 訂正前ヘッダ部-MINUTES データレジスタ	HEAD00	R	H'00	0xE8005018	8
ECC 訂正前ヘッダ部-SECONDS データレジスタ	HEAD01	R	H'00	0xE8005019	8
ECC 訂正前ヘッダ部-FRAMES（1/75 秒）データレジスタ	HEAD02	R	H'00	0xE800501A	8
ECC 訂正前ヘッダ部-MODE データレジスタ	HEAD03	R	H'00	0xE800501B	8
ECC 訂正前サブヘッダ部-ファイルナンバ（BYTE-16）データレジスタ	SHEAD00	R	H'00	0xE800501C	8
ECC 訂正前サブヘッダ部-チャネルナンバ（BYTE-17）データレジスタ	SHEAD01	R	H'00	0xE800501D	8
ECC 訂正前サブヘッダ部-サブモード（BYTE-18）データレジスタ	SHEAD02	R	H'00	0xE800501E	8
ECC 訂正前サブヘッダ部-データタイプ（BYTE-19）データレジスタ	SHEAD03	R	H'00	0xE800501F	8
ECC 訂正前サブヘッダ部-ファイルナンバ（BYTE-20）データレジスタ	SHEAD04	R	H'00	0xE8005020	8
ECC 訂正前サブヘッダ部-チャネルナンバ（BYTE-21）データレジスタ	SHEAD05	R	H'00	0xE8005021	8
ECC 訂正前サブヘッダ部-サブモード（BYTE-22）データレジスタ	SHEAD06	R	H'00	0xE8005022	8
ECC 訂正前サブヘッダ部-データタイプ（BYTE-23）データレジスタ	SHEAD07	R	H'00	0xE8005023	8
ECC 訂正後ヘッダ部-MINUTES データレジスタ	HEAD20	R	H'00	0xE8005024	8
ECC 訂正後ヘッダ部-SECONDS データレジスタ	HEAD21	R	H'00	0xE8005025	8
ECC 訂正後ヘッダ部-FRAMES（1/75 秒）データレジスタ	HEAD22	R	H'00	0xE8005026	8
ECC 訂正後ヘッダ部-MODE データレジスタ	HEAD23	R	H'00	0xE8005027	8
ECC 訂正後サブヘッダ部-ファイルナンバ（BYTE-16）データレジスタ	SHEAD20	R	H'00	0xE8005028	8
ECC 訂正後サブヘッダ部-チャネルナンバ（BYTE-17）データレジスタ	SHEAD21	R	H'00	0xE8005029	8
ECC 訂正後サブヘッダ部-サブモード（BYTE-18）データレジスタ	SHEAD22	R	H'00	0xE800502A	8
ECC 訂正後サブヘッダ部-データタイプ（BYTE-19）データレジスタ	SHEAD23	R	H'00	0xE800502B	8

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
ECC 訂正後サブヘッダ部-ファイルナンバ（BYTE-20）データレジスタ	SHEAD24	R	H'00	0xE800502C	8
ECC 訂正後サブヘッダ部-チャネルナンバ（BYTE-21）データレジスタ	SHEAD25	R	H'00	0xE800502D	8
ECC 訂正後サブヘッダ部-サブモード（BYTE-22）データレジスタ	SHEAD26	R	H'00	0xE800502E	8
ECC 訂正後サブヘッダ部-データタイプ（BYTE-23）データレジスタ	SHEAD27	R	H'00	0xE800502F	8
自動バッファリング設定コントロールレジスタ	CBUFCTL0	R/W	H'04	0xE8005040	8
自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ	CBUFCTL1	R/W	H'00	0xE8005041	8
自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ	CBUFCTL2	R/W	H'00	0xE8005042	8
自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ	CBUFCTL3	R/W	H'00	0xE8005043	8
ISY 割り込み要因マスクコントロールレジスタ	CROMST0M	R/W	H'00	0xE8005045	8
CD-ROM デコーダモジュールリセットコントロールレジスタ	ROMDECRST	R/W	H'00	0xE8005100	8
CD-ROM デコーダモジュールリセットステータスレジスタ	RSTSTAT	R	H'00	0xE8005101	8
シリアルサウンドインタフェースデータコントロールレジスタ	SSI	R/W	H'18	0xE8005102	8
割り込みフラグレジスタ	INTHOLD	R/W	H'00	0xE8005108	8
割り込み要因マスクコントロールレジスタ	INHINT	R/W	H'00	0xE8005109	8
CD-ROM デコーダストリームデータ入力レジスタ	STRMDIN0	R/W	H'0000	0xE8005200	リード：16 ライト：16、32
CD-ROM デコーダストリームデータ入力レジスタ	STRMDIN2	R/W	H'0000	0xE8005202	16
CD-ROM デコーダストリームデータ出力レジスタ	STRMDOUT0	R	H'0000	0xE8005204	16

24.3.1　イネーブルコントロールレジスタ（CROMEN）

CROMEN は、Subcode 処理イネーブル、CD-ROM デコード処理イネーブル、CD-ROM デコード処理強制終了を行います。

ビット：	7	6	5	4	3	2	1	0
	SUBC_EN	CROM_EN	CROM_STP	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	SUBC_EN	0	R/W	Subcode 処理イネーブル CROM_EN と同時にセット、クリアを行ってください。異常自動停止時および CROM_STP＝1 で自動的に 0 になります。
6	CROM_EN	0	R/W	CD-ROM デコード処理イネーブル このビットを 1 にすると、有効な同期コードを検出後、CD-ROM デコード処理を開始します。このビットを 0 にすると、現在のデコード中のセクタの処理が終了した時点でデコード処理を中止します。 自動デコード停止機能により停止したときおよび CROM_STP＝1 で自動的に 0 になります。
5	CROM_STP	0	R/W	CD-ROM デコード処理強制終了 このビットを 1 にすると即座に CD-ROM デコード処理が停止します。SUBC_EN、CROM_EN ビットは自動的に 0 になります。デコード処理を再開する前に、このビットを 0 にする必要があります。
4 ～ 0	－	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.3.2　同期コードの同期制御コントロールレジスタ（CROMSY0）

CROMSY0 は同期コード保護機能を選択します。

ビット：	7	6	5	4	3	2	1	0
	SY_AUT	SY_IEN	SY_DEN	-	-	-	-	-
初期値：	1	0	0	0	1	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	SY_AUT	1	R/W	CD-ROM 同期コードの自動同期保護モード このビットを 1 にすると、CD-ROM 同期コードの同期保護（同期コードの挿入）が自動になります。このビットが 1 のとき、SY_IEN、SY_DEN の設定は無効です。
6	SY_IEN	0	R/W	内部同期信号イネーブル CD-ROM デコーダ内部のカウンタによって作られる内部同期信号を有効にします。 SY_AUT＝0 のとき、このビットを 1 にすると、CD-ROM データの同期は常に内部カウンタによる内挿モードになります。
5	SY_DEN	0	R/W	同期信号の外部同期コードとの同期化 入力データから検出される同期コードを常時監視し、内部カウンタ値にかかわらず、常に同期化します。 このビットの設定は、SY_AUT＝0 のときに有効です。
4	―	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
3	―	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2、1	―	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	―	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

表 24.2　同期コード保護機能の設定

SY_AUT	SY_IEN	SY_DEN	動作モード
1	―	―	自動同期保護モード
0	0	1	外部同期モード
0	1	0	内挿同期モード
0	1	1	内挿／外部同期モード
0	0	0	設定禁止

24.3.3　デコーディングモードコントロールレジスタ（CROMCTL0）

CROMCTL0 は各種機能の制御、Mode 判定／ Form 判定の選択およびセクタタイプの設定を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット：	7	6	5	4	3	2	1	0
	MD_DESC	-	MD_AUTO	MD_AUTOS1	MD_AUTOS2	MD_SEC[2:0]		
初期値：	1	0	0	0	0	0	1	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	MD_DESC	1	R/W	デスクランブル機能制御 0：デスクランブル機能OFF 1：デスクランブル機能ON
6	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	MD_AUTO	0	R/W	Mode Formの自動検出機能制御 0：OFF 1：ON 検出可能なフォーマットは、Mode0、Mode1、Mode2（not XA）、Mode2 Form1、Mode2 Form2です。Mode Formが検出できなかったとき、前セクタのMode Formを継続します。デコード開始の最初のセクタのMode Formが検出できなかった場合は、MD_SEC[2:0]の設定値を初期値として使用します。
4	MD_AUTOS1	0	R/W	MD_AUTO＝1時のMode判定基準 0：同期コードが検出された場合のみMode判定を行う 1：常にMode判定を行う このビットの設定は、MD_AUTO＝1のときのみ有効です。判定不能の場合、前セクタのModeを引き継ぎます。このビットを0とすると、当該セクタの同期コードが検出された場合のみMode判定を行います。
3	MD_AUTOS2	0	R/W	MD_AUTO＝1時のMode2のForm判定基準 0：サブヘッダ内2箇所のFormのうち、コードが一致しなかったら、not XAとします。 1：XA判定は行いません。最初のFormを有効とします。ただし、2箇所のForm一致チェックは行い、ステータスには反映します。 このビットの設定は、MD_AUTO＝1のときのみ有効です。
2 ～ 0	MD_SEC[2:0]	010	R/W	セクタタイプ設定 000：設定禁止 001：Mode0 010：Mode1 011：Long（Mode0、Mode1、Mode2　EDC/ECCデータなし） 100：設定禁止 101：Mode2 Form1 110：Mode2 Form2 111：Mode2自動フォーム検出 B'111に設定した場合で、フォーム判定できなかった場合は、Mode2 not XAとして処理します。

24.3.4　EDC、ECC チェック制御コントロールレジスタ（CROMCTL1）

CROMCTL1 は、EDC、ECC チェックを制御するレジスタです。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット：	7	6	5	4	3	2	1	0
	M2F2 EDC	MD_DEC[2:0]			-	-	MD_PQREP[1:0]	
初期値：	1	1	0	1	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	M2F2EDC	1	R/W	Mode2 Form2 において EDC コードが All 0 ならば EDC 機能を無効とします。 このビットを 1 とすると、Mode2 Form2 で EDC コードが 0 の場合、EDC チェックが NG となっても IERR 割り込みは発生しません。
6 ～ 4	MD_DEC [2:0]	101	R/W	EDC、ECC チェックモード選択 000：チェックなし 001：EDC のみ 010：Q ＋ EDC 011：P ＋ EDC 100：QP ＋ EDC 101：PQ ＋ EDC 110：設定禁止 111：設定禁止
3、2	－	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	MD_PQREP [1:0]	01	R/W	PQ、QP 訂正の訂正繰り返し回数 MD_DEC ビットで、PQ、QP 訂正を設定したときの訂正繰り返し回数を選択します。 00：設定禁止 01：1 回訂正 10：2 回繰り返し訂正 11：3 回繰り返し訂正

24.3.5　デコード処理自動停止コントロールレジスタ（CROMCTL3）

CROMCTL3 はデコード異常発生時、自動的にデコード処理を停止することができます。停止した場合、IBUF 割り込みが発生し、CBUFST1 レジスタで停止要因を確認することができます。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット：	7	6	5	4	3	2	1	0
	STP_ECC	STP_EDC	-	STP_MD	STP_MIN	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	STP_ECC	0	R/W	STP_ECC ビットを 1 にセットすると、ECC 訂正不能となったとき、CD-ROM デコード処理を中止します。
6	STP_EDC	0	R/W	STP_EDC ビットを 1 にセットすると、ECC 後の EDC でエラーとなったとき、CD-ROM デコード処理を中止します。
5	—	0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	STP_MD	0	R/W	STP_MD ビットを 1 にセットすると、Mode　Form が直前のセクタと異なっていた場合、デコード処理を中止します。
3	STP_MIN	0	R/W	STP_MIN ビットを 1 にセットすると、MINUTES、SECONDS、FRAME（1/75 秒）が途中でずれたときにデコード処理を中止します。
2 ～ 0	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.3.6　デコードオプション設定コントロールレジスタ（CROMCTL4）

CROMCTL4 は、リンクブロック検出制御、ステータスレジスタの表示選択および ECC 訂正モードの制御を行います。なお、本レジスタの設定は、セクタ切り替え時有効となります。

ビット：	7	6	5	4	3	2	1	0
	-	LINK2	-	ER0SEL	NO_ECC	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	―	0	R/W	リザーブビット 書き込む値は0でも1でも構いません。読み出すと書き込んだ値が読み出せます。
6	LINK2	0	R/W	リンクブロック検出条件の選択 0：ランアウト1、2のいずれかと、ランイン3、4の両方を検出した場合にリンクブロックと判定 1：ランアウト1、2、リンクのうち、2つ検出でリンクブロックと判定 LINK_ONがセットされる条件はリンクセクタをデコードしたタイミングとなります。
5	―	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	ER0SEL	0	R/W	ROMデータ関連ステータスレジスタの設定条件選択 0：現在デコード中のセクタの情報を表示 1：バッファリングが完了した最新セクタの情報を表示 CROMST0レジスタのビット5～0、CROMST4、CROMST5レジスタのビット7～1、HEAD00～02が対象です。
3	NO_ECC	0	R/W	ECC前EDCチェックがOKであったときのECC訂正モード選択 このビットを1にすると、ECC前EDCチェックがOKだった場合、シンドローム演算結果に関係なく、ECC訂正を行いません。
2～0	―	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

24.3.7　HEAD20 ～ 22 表示コントロールレジスタ（CROMCTL5）

CROMCTL5 は、HEAD20 ～ 22 の表示方式を設定します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	MSF_LBA_SEL
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～1	―	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MSF_LBA_SEL	0	R/W	HEAD20～22の表示方式 0：ヘッダのMSFをそのままBCD（10進数）表示 1：トータルセクタ値を16進数表示

24.3.8　同期コードステータスレジスタ（CROMST0）

CROMST0 は、同期式コード保護機能時のステータスを示します。

ビット：	7	6	5	4	3	2	1	0
	-	-	ST_SYIL	ST_SYNO	ST_BLKS	ST_BLKL	ST_SESC	ST_SECL
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7、6	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
5	ST_SYIL	0	R	ワードカウンタ（同期コード間隔を計測）の正しくないところで、同期コードが検出されたが、無視して同期化しなかったことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
4	ST_SYNO	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず内挿してデコーダを同期化したことを示します。 このビットは、自動同期保護モードまたは内挿モード時のみ有効です。
3	ST_BLKS	0	R	ワードカウンタの正しくないところで、同期コードが検出され、これによってデコーダが同期化したことを示します。 このビットは、自動同期保護モードまたは外部同期モード時のみ有効です。
2	ST_BLKL	0	R	ワードカウンタが最終値になったにもかかわらず、同期コードが検出されず、1セクタの期間が長くなったことを示します。 このビットは、外部同期モードのときのみ有効です。
1	ST_SECS	0	R	同期コードと内挿した同期タイミングをショートセクタとして対応したことを示します。 このビットが1になった場合、デコードをただちに停止させ、現在デコード中の1つ前のセクタからリトライを行ってください。
0	ST_SECL	0	R	同期コードと内挿した同期タイミングをロングセクタとして対応したことを示します。 このビットが1になった場合、デコードをただちに停止させ、現在デコード中の2つ前のセクタからリトライを行ってください。

24.3.9　ECC 後のヘッダに対するエラーステータスレジスタ（CROMST1）

CROMST1 は、ECC 後のヘッダに対するエラー状態を示します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込みは無効です。
3	ER2_HEAD0	0	R	ECC 後のヘッダ部 MINUTES に対するエラー状態を示します。
2	ER2_HEAD1	0	R	ECC 後のヘッダ部 SECONDS に対するエラー状態を示します。
1	ER2_HEAD2	0	R	ECC 後のヘッダ部 FRAME(1/75 秒)に対するエラー状態を示します。
0	ER2_HEAD3	0	R	ECC 後のヘッダ部 MODE に対するエラー状態を示します。

24.3.10　ECC 後のサブヘッダに対するエラーステータスレジスタ（CROMST3）

CROMST3 は、ECC 後のサブヘッダに対するエラー状態を示します。

ビット：	7	6	5	4	3	2	1	0
	ER2_SHEAD0	ER2_SHEAD1	ER2_SHEAD2	ER2_SHEAD3	ER2_SHEAD4	ER2_HEAD5	ER2_HEAD6	ER2_HEAD7
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	ER2_SHEAD0	0	R	ECC 後のサブヘッダ（ファイルナンバ）に対するエラー状態を示します。 SHEAD20 レジスタのエラーを示します。
6	ER2_SHEAD1	0	R	ECC 後のサブヘッダ（チャネルナンバ）に対するエラー状態を示します。SHEAD21 レジスタのエラーを示します。
5	ER2_SHEAD2	0	R	ECC 後のサブヘッダ（サブモード）に対するエラー状態を示します。 SHEAD22 レジスタのエラーを示します。
4	ER2_SHEAD3	0	R	ECC 後のサブヘッダ（データタイプ）に対するエラー状態を示します。 SHEAD23 レジスタのエラーを示します。
3	ER2_SHEAD4	0	R	ECC 後のサブヘッダ（ファイルナンバ）に対するエラー状態を示します。SHEAD24 レジスタのエラーを示します。
2	ER2_SHEAD5	0	R	ECC 後のサブヘッダ（チャネルナンバ）に対するエラー状態を示します。SHEAD25 レジスタのエラーを示します。
1	ER2_SHEAD6	0	R	ECC 後のサブヘッダ（サブモード）に対するエラー状態を示します。 SHEAD26 レジスタのエラーを示します。
0	ER2_SHEAD7	0	R	ECC 後のサブヘッダ（データタイプ）に対するエラー状態を示します。 SHEAD27 レジスタのエラーを示します。

24.3.11　ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ（CROMST4）

CROMST4 は、自動モード判定、Mode2 の Form 判定のエラーを示します。

ビット：	7	6	5	4	3	2	1	0
	NG_MD	NG_MDCMP1	NG_MDCMP2	NG_MDCMP3	NG_MDCMP4	NG_MDDEF	NG_MDTIM1	NG_MDTIM2
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7	NG_MD	0	R	自動モード判定基準で、モード判定ができなかったことを示します。
6	NG_MDCMP1	0	R	Mode2 の Form を判定する際、ファイルナンバ（BYTE-16 と BYTE-20）でコンペアエラーが発生したことを示します。
5	NG_MDCMP2	0	R	Mode2 の Form を判定する際、チャネルナンバ（BYTE-17 と BYTE-21）でコンペアエラーが発生したことを示します。
4	NG_MDCMP3	0	R	Mode2 の Form を判定する際、サブモード（BYTE-18 と BYTE-22）でコンペアエラーが発生したことを示します。
3	NG_MDCMP4	0	R	Mode2 の Form を判定する際、データタイプ（BYTE-19 と BYTE-23）でコンペアエラーが発生したことを示します。
2	NG_MDDEF	0	R	Mode、Form が直前のセクタと異なったことを示します。
1	NG_MDTIM1	0	R	ヘッダの MINUTES、SECONDS、FRAMES（1/75 秒）が途中でずれたことを示します。 次セクタからの連続性チェックは、更新値を使用します。
0	NG_MDTIM2	0	R	ヘッダの MINUTES、SECONDS、FRAMES が BCD（10 進）値以外だったことを示します。 このビットは、BCD 以外の値（A～F）、HEAD01 が H'59 より大きい値、HEAD02 が H'74 より大きい値であったことを意味します。 次セクタからの連続性チェックは内挿値を使用します。

24.3.12　モード判定結果とリンクセクタ検出ステータスレジスタ（CROMST5）

CROMST5 は、自動モード判定結果およびリンクブロック検出を示します。

ビット：	7	6	5	4	3	2	1	0
	ST_AMD[2:0]			ST_MDX	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7 ～ 5	ST_AMD[2:0]	000	R	自動モード判定結果 自動モード判定機能を利用した際のモード判定結果を示します。 000：自動モード判定機能を利用していない 001：Mode0 010：Mode1 011：- 100：Mode2 not XA 101：Mode2 Form1 110：Mode2 Form2 111：-
4	ST_MDX	0	R	自動モード判定を使用せず、手動設定したとき、設定値と論理が認識した結果が不一致であることを示します。手動設定値が優先です。
3	LINK_ON	0	R	リンクブロック判定でリンクブロックと認識できたとき1となります。 リンクブロック判定基準はCROMCTL4 レジスタのLINK2 ビットを参照してください。
2	LINK_DET	0	R	リンクブロック（ランアウト1～ランイン4）が検出されたことを示します。 ECC訂正前のデータで検出しているため、リンクブロックと同じコードにデータが誤っていた場合、LINK_DET＝1となることがあります。
1	LINK_SDET	0	R	リンクブロックがデコード開始後7セクタ以内に検出されたことを示します。
0	LINK_OUT1	0	R	ECC処理後にランアウト1セクタと判定されたことを示します。 このビットは、IERR割り込みが発生していない（ECC訂正が正しく行われた）ときのみ有効です。

24.3.13　ECC、EDC エラーステータスレジスタ（CROMST6）

CROMST6 は、ECC 処理エラーおよび ECC 前後の EDC チェックエラーを示します。

ビット：	7	6	5	4	3	2	1	0
	ST_ERR	-	ST_ECCABT	ST_ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	ST_ERR	0	R	ECC後のデコードブロックに1バイトでもエラーがあることを示します。
6	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
5	ST_ECCABT	0	R	ECC処理が途中で中断されたことを示します。 このビットは、ECC訂正処理中にセクタ切り替えが発生したときに1となります。タイミングによっては、このビットが1となっても、CBUFST2レジスタのBUF_NGビットが0となっていればECC訂正動作に問題はありません。
4	ST_ECCNG	0	R	エラー訂正できなかったことを示します。 このビットはショートセクタ検出時にも1となります。
3	ST_ECCP	0	R	ECC処理でP系列の訂正ができなかったことを示します。 このビットは同期状態が正常（ショートセクタまたはロングセクタではない）時のみ有効です。 P系列のシンドローム値がAll0以外の場合、1となります。
2	ST_ECCQ	0	R	ECC処理でQ系列の訂正ができなかったことを示します。 このビットは同期状態が正常（ショートセクタまたはロングセクタではない）時のみ有効です。 Q系列のシンドローム値がAll0以外の場合、1となります。
1	ST_EDC1	0	R	ECC前のEDCチェックがNGだったことを示します。 このビットはEDCが有効で、ショートセクタとなった場合も1となります。
0	ST_EDC2	0	R	ECC後のEDCチェックがNGだったことを示します。

24.3.14　バッファステータスレジスタ（CBUFST0）

CBUFST0 は、バッファリング開始セクタ検索中またはバッファリング中であることを示します。

ビット：	7	6	5	4	3	2	1	0
	BUF_REF	BUF_ACT	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	BUF_REF	0	R	バッファリング開始セクタを検索中であることを示します。 このビットは自動バッファリング機能使用時（CBUF_AUT＝1）のみ有効です。
6	BUF_ACT	0	R	バッファリング中であることを示します。
5～0	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

24.3.15　デコード中止要因ステータスレジスタ（CBUFST1）

CBUFST1 は、各種エラーのためデコード／バッファリング処理が中止されたことを示します。
本レジスタは CROMCTL3 の対応するビットを 1 としているときのみセットされます。

ビット：	7	6	5	4	3	2	1	0
	BUF_ECC	BUF_EDC	-	BUF_MD	BUF_MIN	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7	BUF_ECC	0	R	ECC訂正不能でROMデコード／バッファリング処理を中止したことを示します。
6	BUF_EDC	0	R	ECC訂正後EDCチェックでエラーを検出したためデコード／バッファリング処理を中止したことを示します。
5	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。
4	BUF_MD	0	R	Mode、Formが直前のセクタと異なったためにデコード／バッファリング処理を中止したことを示します。
3	BUF_MIN	0	R	MINUTES、SECONDS、FRAMES（1/75秒）が途中でずれたためにデコード／バッファリング処理を中止したことを示します。
2～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

24.3.16　バッファオーバフローステータスレジスタ（CBUFST2）

CBUFST2 は、バッファへの転送が完了しないうちにセクタ切り替えが発生したことを示します。

ビット：	7	6	5	4	3	2	1	0
	BUF_NG	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7	BUF_NG	0	R	バッファへのデータ転送が完了しないうちにセクタの切り替えが発生したことを示します。出力ストリームデータをCD-ROMデコーダから引き出さずに3セクタ目のデータが入力されると本ビットが1となります。割り込みは発生しません。本ビットが1になった場合、ROMDECRSTレジスタのLOGICRSTビットによるリセットのみ0にクリアされます。
6～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

24.3.17　ECC 訂正前ヘッダ部 -MINUTES データレジスタ（HEAD00）

HEAD00 は、ECC 訂正前のヘッダ部 MINUTES 値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD00[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7 ～ 0	HEAD00[7:0]	H'00	R	ECC訂正前のヘッダ部MINUTES値

24.3.18　ECC 訂正前ヘッダ部 -SECONDS データレジスタ（HEAD01）

HEAD01 は、ECC 訂正前のヘッダ部 SECONDS 値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD01[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7 ～ 0	HEAD01[7:0]	H'00	R	ECC訂正前のヘッダ部SECONDS値

24.3.19　ECC 訂正前ヘッダ部 -FRAMES（1/75 秒）データレジスタ（HEAD02）

HEAD02 は、ECC 訂正前のヘッダ部 FRAMES（1/75 秒）値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD02[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7 ～ 0	HEAD02[7:0]	H'00	R	ECC訂正前のヘッダ部FRAMES（1/75秒）値

24.3.20 ECC 訂正前ヘッダ部 -MODE データレジスタ（HEAD03）

HEAD03 は、ECC 訂正前のヘッダ部 MODE 値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD03[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	HEAD03[7:0]	H'00	R	ECC訂正前のヘッダ部MODE値

24.3.21 ECC 訂正前サブヘッダ部 - ファイルナンバ（BYTE-16）データレジスタ（SHEAD00）

SHEAD00 は、ECC 訂正前のサブヘッダ部ファイルナンバ値（BYTE-16）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD00[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD00[7:0]	H'00	R	ECC訂正前のサブヘッダ部ファイルナンバ値（BYTE-16） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.22 ECC 訂正前サブヘッダ部 - チャネルナンバ（BYTE-17）データレジスタ（SHEAD01）

SHEAD01 は、ECC 訂正前のサブヘッダ部チャネルナンバ値（BYTE-17）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD01[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD01[7:0]	H'00	R	ECC訂正前のサブヘッダ部チャネルナンバ値（BYTE-17） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.23 ECC 訂正前サブヘッダ部 - サブモード（BYTE-18）データレジスタ（SHEAD02）

SHEAD02 は、ECC 訂正前のサブヘッダ部サブモード値（BYTE-18）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD02[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD02[7:0]	H'00	R	ECC訂正前のサブヘッダ部サブモード値（BYTE-18） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.24 ECC 訂正前サブヘッダ部 - データタイプ（BYTE-19）データレジスタ（SHEAD03）

SHEAD03 は、ECC 訂正前のサブヘッダ部データタイプ値（BYTE-19）示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD03[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD03[7:0]	H'00	R	ECC訂正前のサブヘッダ部データタイプ値（BYTE-19） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.25 ECC 訂正前サブヘッダ部 - ファイルナンバ（BYTE-20）データレジスタ（SHEAD04）

SHEAD04 は、ECC 訂正前のサブヘッダ部ファイルナンバ値（BYTE-20）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD04[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD04[7:0]	H'00	R	ECC訂正前のサブヘッダ部ファイルナンバ値（BYTE-20） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.26 ECC 訂正前サブヘッダ部 - チャネルナンバ（BYTE-21）データレジスタ（SHEAD05）

SHEAD05 は、ECC 訂正前のサブヘッダ部チャネルナンバ値（BYTE-21）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD05[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD05[7:0]	H'00	R	ECC訂正前のサブヘッダ部チャネルナンバ値（BYTE-21） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.27 ECC 訂正前サブヘッダ部 - サブモード（BYTE-22）データレジスタ（SHEAD06）

SHEAD06 は、ECC 訂正前のサブヘッダ部サブモード値（BYTE-22）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD06[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD06[7:0]	H'00	R	ECC訂正前のサブヘッダ部サブモード値（BYTE-22） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.28 ECC 訂正前サブヘッダ部 - データタイプ（BYTE-23）データレジスタ（SHEAD07）

SHEAD07 は、ECC 訂正前のサブヘッダ部データタイプ値（BYTE-23）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD07[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD07[7:0]	H'00	R	ECC訂正前のサブヘッダ部データタイプ値（BYTE-23） Mode2以外のときは、相当する位置のバイトデータを表示します。

24.3.29　ECC 訂正後ヘッダ部 -MINUTES データレジスタ（HEAD20）

HEAD20 は、ECC 訂正後のヘッダ部 MINUTES 値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD20[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7 ～ 0	HEAD20[7:0]	H'00	R	ECC訂正後のヘッダ部MINUTES値 MSF_LBA_SEL＝1のときはM、S、Fのトータルセクタ値（1/3）を表示します。

24.3.30　ECC 訂正後ヘッダ部 -SECONDS データレジスタ（HEAD21）

HEAD21 は、ECC 訂正後のヘッダ部 SECONDS 値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD21[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7 ～ 0	HEAD21[7:0]	H'00	R	ECC訂正後のヘッダ部SECONDS値 MSF_LBA_SEL＝1のときはM、S、Fのトータルセクタ値（2/3）を表示します。

24.3.31　ECC 訂正後ヘッダ部 -FRAMES（1/75 秒）データレジスタ（HEAD22）

HEAD22 は、ECC 訂正後のヘッダ部 FRAMES（1/75 秒）値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD22[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7 ～ 0	HEAD22[7:0]	H'00	R	ECC訂正後のヘッダ部FRAMES（1/75秒）値 MSF_LBA_SEL＝1のときはM、S、Fのトータルセクタ値（3/3）を表示します。

24.3.32　ECC 訂正後ヘッダ部 -MODE データレジスタ（HEAD23）

HEAD23 は、ECC 訂正後のヘッダ部 MODE 値を示します。

ビット：	7	6	5	4	3	2	1	0
	HEAD23[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	HEAD23[7:0]	H'00	R	ECC訂正後のヘッダ部MODE値

24.3.33　ECC 訂正後サブヘッダ部 - ファイルナンバ（BYTE-16）データレジスタ（SHEAD20）

SHEAD20 は、ECC 訂正後のサブヘッダ部ファイルナンバ値（BYTE-16）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD20[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD20[7:0]	H'00	R	ECC訂正後のサブヘッダ部ファイルナンバ値（BYTE-16）

24.3.34　ECC 訂正後サブヘッダ部 - チャネルナンバ（BYTE-17）データレジスタ（SHEAD21）

SHEAD21 は、ECC 訂正後のサブヘッダ部チャネルナンバ値（BYTE-17）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD21[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD21[7:0]	H'00	R	ECC訂正後のサブヘッダ部チャネルナンバ値（BYTE-17）

24.3.35 ECC 訂正後サブヘッダ部 - サブモード（BYTE-18）データレジスタ（SHEAD22）

SHEAD22 は、ECC 訂正後のサブヘッダ部サブモード値（BYTE-18）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD22[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD22[7:0]	H'00	R	ECC訂正後のサブヘッダ部サブモード値（BYTE-18）

24.3.36 ECC 訂正後サブヘッダ部 - データタイプ（BYTE-19）データレジスタ（SHEAD23）

SHEAD23 は、ECC 訂正後のサブヘッダ部データタイプ値（BYTE-19）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD23[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD23[7:0]	H'00	R	ECC訂正後のサブヘッダ部データタイプ値（BYTE-19）

24.3.37 ECC 訂正後サブヘッダ部 - ファイルナンバ（BYTE-20）データレジスタ（SHEAD24）

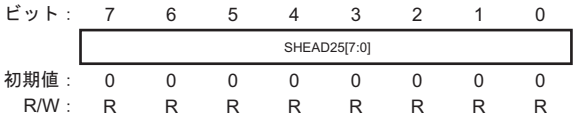
SHEAD24 は、ECC 訂正後のサブヘッダ部ファイルナンバ値（BYTE-20）を示します。

ビット：	7	6	5	4	3	2	1	0
	SHEAD24[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD24[7:0]	H'00	R	ECC訂正後のサブヘッダ部ファイルナンバ値（BYTE-20）

24.3.38 ECC 訂正後サブヘッダ部 - チャネルナンバ（BYTE-21）データレジスタ（SHEAD25）

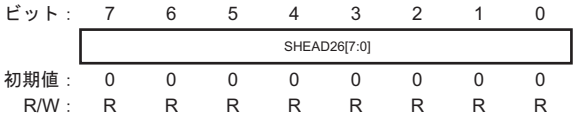
SHEAD25 は、ECC 訂正後のサブヘッダ部チャネルナンバ値（BYTE-21）を示します。



ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD25[7:0]	H'00	R	ECC訂正後のサブヘッダ部チャネルナンバ値（BYTE-21）

24.3.39 ECC 訂正後サブヘッダ部 - サブモード（BYTE-22）データレジスタ（SHEAD26）

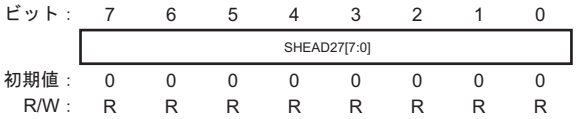
SHEAD26 は、ECC 訂正後のサブヘッダ部サブモード値（BYTE-22）を示します。



ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD26[7:0]	H'00	R	ECC訂正後のサブヘッダ部サブモード値（BYTE-22）

24.3.40 ECC 訂正後サブヘッダ部 - データタイプ（BYTE-23）データレジスタ（SHEAD27）

SHEAD27 は、ECC 訂正後のサブヘッダ部データタイプ値（BYTE-23）を示します。



ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	SHEAD27[7:0]	H'00	R	ECC訂正後のサブヘッダ部データタイプ値（BYTE-23）

24.3.41　自動バッファリング設定コントロールレジスタ（CBUFCTL0）

ビット：	7	6	5	4	3	2	1	0
	CBUF_AUT	CBUF_EN	-	CBUF_MD[1:0]		CBUF_TS	CBUF_Q	-
初期値：	0	0	0	0	0	1	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	CBUF_AUT	0	R/W	自動バッファリング機能制御 CROM_EN＝1に設定した状態で、このビットをON/OFFする場合には、CBUF_ENも同時にON/OFFを行ってください。行わない場合、CBUFST0、CBUFST1、CBUFST2の表示は保証できません。 0：自動バファリングOFF 1：自動バファリングON
6	CBUF_EN	0	R/W	バッファ RAMへのバファリング制御 本ビットは、自動／マニュアル両バッファリングモードにおいて、バッファリングのON/OFFを行います。マニュアルバッファリング時には、ISEC割り込みが発生した後、本ビットをセットしてください。 自動バッファリング停止時には自動でリセットします。 0：バッファリングOFF 1：バッファリングON
5	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4、3	CBUF_MD [1:0]	00	R/W	自動バッファリング機能を使用する際の開始セクタの検出モード設定 00：前セクタ検出と現セクタ検出で連続性（ヘッダ値）OK 01：現セクタ検出で内挿値との連続性OK 10：現セクタ検出OK 11：現セクタ未検出でも内挿値で判定
2	CBUF_TS	1	R/W	CBUFCTL1～3の設定方法 0：CBUFCTL1～3：BCD（10進数） 1：トータルセクタ値（16進数）
1	CBUF_Q	0	R/W	QCODEのCRC-NG時のQCODEバッファリングデータ指定 0：CRC-OKだった最終セクタ値をバッファリング 1：そのままNGデータをバッファリング 注.　本LSIではサブコードは入力されませんので、本ビットは常に1を設定してください。
0	—	0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

24.3.42　自動バッファリング開始セクタ設定 -MINUTES コントロールレジスタ（CBUFCTL1）

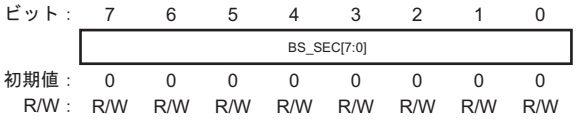
CBUFCTL1 は、バッファリング開始セクタのヘッダ -MINUTES 値を示します。

ビット：	7	6	5	4	3	2	1	0
	BS_MIN[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～0	BS_MIN[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ-MINUTES値

24.3.43　自動バッファリング開始セクタ設定 -SECONDS コントロールレジスタ（CBUFCTL2）

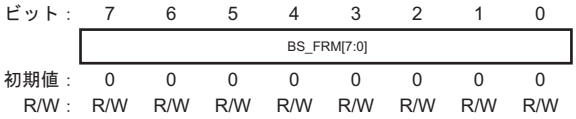
CBUFCTL2 は、バッファリング開始セクタのヘッダ -SECONDS 値を示します。



ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	BS_SEC[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ -SECONDS 値

24.3.44　自動バッファリング開始セクタ設定 -FRAMES コントロールレジスタ（CBUFCTL3）

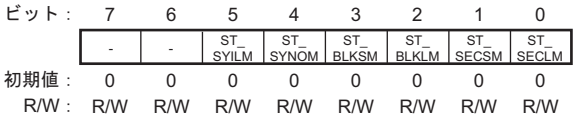
CBUFCTL3 は、バッファリング開始セクタのヘッダ -FRAMES（1/75 秒）値を示します。



ビット	ビット名	初期値	R/W	説　　明
7 ～ 0	BS_FRM[7:0]	H'00	R/W	バッファリング開始セクタのヘッダ -FRAMES（1/75 秒）値

24.3.45　ISY 割り込み要因マスクコントロールレジスタ（CROMST0M）

CROMST0M は、同期コードステータスレジスタ（CROMST0）の各ビットによる ISY 割り込み要因をマスクします。



ビット	ビット名	初期値	R/W	説　　明
7、6	－	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	ST_SYILM	0	R/W	ISY 割り込み ST_SYIL（CROMST0 レジスタのビット 5）要因マスク
4	ST_SYNOM	0	R/W	ISY 割り込み ST_SYNO（CROMST0 レジスタのビット 4）要因マスク
3	ST_BLKSM	0	R/W	ISY 割り込み ST_BLKS（CROMST0 レジスタのビット 3）要因マスク
2	ST_BLKLM	0	R/W	ISY 割り込み ST_BLKL（CROMST0 レジスタのビット 2）要因マスク
1	ST_SECSM	0	R/W	ISY 割り込み ST_SECS（CROMST0 レジスタのビット 1）要因マスク
0	ST_SECLM	0	R/W	ISY 割り込み ST_SECL（CROMST0 レジスタのビット 0）要因マスク

24.3.46　CD-ROM デコーダモジュールリセットコントロールレジスタ（ROMDECRST）

ROMDECRST は、CD-ROM デコーダのランダム論理部のリセット、CD-ROM デコーダの RAM クリアを行います。

ビット：	7	6	5	4	3	2	1	0
	LOGICRST	RAMRST	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	LOGICRST	0	R/W	CD-ROMデコーダのランダム論理部のリセット信号 本レジスタに1をセットしている間、リセット信号が出力されます。
6	RAMRST	0	R/W	CD-ROMデコーダが持つRAMのクリア信号 RSTSTATレジスタのRAMCLRSTビットにより、RAMクリア完了を確認してください。
5～0	－	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　LOGICRSTを1にセットする場合は、RAMRSTビットが0となっていることを確認後、本レジスタにB'10000000を書き込んでください。

24.3.47　CD-ROM デコーダモジュールリセットステータスレジスタ（RSTSTAT）

RSTSTAT は、CD-ROM デコーダの RAM のクリア状態を示します。

ビット：	7	6	5	4	3	2	1	0
	RAMCLRST	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　明
7	RAMCLRST	0	R	ROMDECRSTレジスタのRAMRST＝1ライト後、RAMのクリアが完了すると、本ビットが1となります。RAMRST＝0ライトにより、本ビットがクリアされます。
6～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込みは無効です。

24.3.48　シリアルサウンドインタフェースデータコントロールレジスタ（SSI）

SSI はストリームデータに関する各種設定を行います。なお、本レジスタを設定したときの動作については「24.4.1　入力ストリームデータエンディアン変換機能」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	BYTEND	BITEND	BUFEND0[1:0]		BUFEND1[1:0]		-	-
初期値：	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	BYTEND	0	R/W	シリアルサウンドインタフェースからのストリーム入力データのエンディアンを変更します。 1がセットされるとSTRMDIN0、STRMDIN2のバイト0とバイト1を入れ替えます。
6	BITEND	0	R/W	シリアルサウンドインタフェースからのストリーム入力データのビット並びを変更します。 1がセットされると、バイト内のビット並びを0→7を7→0に入れ替えます。
5、4	BUFEND0 [1:0]	01	R/W	シリアルサウンドインタフェースから転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。シリアルサウンドインタフェースでは、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、シリアルサウンドインタフェースから32ビットのデータがCD-ROMデータとして転送されます。CD-ROMデコーダ内部では16ビットの入力ストリームデータレジスタを2組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた32ビットのデータがシリアルサウンドインタフェースから転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROMデコードは16ビットのストリームデータとして扱い、本レジスタでは32ビットのシリアルサウンドインタフェースからの転送データのうち、先に入力する16ビットを制御します。 00：先に処理するストリームデータを抑止します 01：シリアルサウンドインタフェースからの32ビットのストリームデータのうち、上位の16ビットデータを先にストリームデータとして処理します 10：シリアルサウンドインタフェースからの32ビットのストリームデータのうち、下位の16ビットデータを先にストリームデータとして処理します 11：設定禁止
3、2	BUFEND1 [1:0]	10	R/W	シリアルサウンドインタフェースから転送されるストリームデータの順番を入れ替える、あるいは、ストリームデータを抑止することを選択します。シリアルサウンドインタフェースでは、「パディングありモード」「パディングなしモード」が選択できます。「パディングなしモード」では、シリアルサウンドインタフェースから32ビットのデータがCD-ROMデータとして転送されます。CD-ROMデコーダ内部では16ビットの入力ストリームデータレジスタを2組実装しており、この順番を入れ替えることができます。また、「パディングありモード」ではパディングのついた32ビットのデータがシリアルサウンドインタフェースから転送されます。パディング部は意味を持ちませんので、ストリームデータとして抑止する必要があり、本レジスタの設定で抑止することが可能です。CD-ROMデコードは16ビットのストリームデータとして扱い、本レジスタでは32ビットのシリアルサウンドインタフェースからの転送データのうち、後に入力する16ビットを制御します。 00：後に処理するストリームデータを抑止します 01：シリアルサウンドインタフェースからの32ビットのストリームデータのうち、上位の16ビットデータを後にストリームデータとして処理します 10：シリアルサウンドインタフェースからの32ビットのストリームデータのうち、下位の16ビットデータを後にストリームデータとして処理します 11：設定禁止
1、0	―	すべて0	R/W	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

24.3.49　割り込みフラグレジスタ（INTHOLD）

INTHOLD は、各種割り込みフラグで構成されています。

ビット：	7	6	5	4	3	2	1	0
	ISEC	ITARG	ISY	IERR	IBUF	IREADY	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	ISEC	0	R/W	ISEC 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
6	ITARG	0	R/W	ITARG 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
5	ISY	0	R/W	ISY 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
4	IERR	0	R/W	IERR 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
3	IBUF	0	R/W	IBUF 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
2	IREADY	0	R/W	IREADY 割り込みフラグ 1 を読み出さないと 0 を書き込めません。
1、0	－	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

24.3.50　割り込み要因マスクコントロールレジスタ（INHINT）

INHINT は、CD-ROM デコーダの各種割り込み要求を制御します。

ビット：	7	6	5	4	3	2	1	0
	INH ISEC	INH ITARG	INH ISY	INH IERR	INH IBUF	INH IREADY	PREINH REQDM	PREINH IREADY
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　明
7	INHISEC	0	R/W	ISEC 割り込みマスク 本ビットが 1 のとき、ISEC 割り込み要求を禁止します。
6	INHITARG	0	R/W	ITARG 割り込みマスク 本ビットが 1 のとき、ITARG 割り込み要求を禁止します。
5	INHISY	0	R/W	ISY 割り込みマスク 本ビットが 1 のとき、ISY 割り込み要求を禁止します。
4	INHIERR	0	R/W	IERR 割り込みマスク 本ビットが 1 のとき、IERR 割り込み要求を禁止します。
3	INHIBUF	0	R/W	IBUF 割り込みマスク 本ビットが 1 のとき、IBUF 割り込み要求を禁止します。
2	INHIREADY	0	R/W	IREADY 割り込みマスク 本ビットが 1 のとき、IREADY 割り込み要求を禁止します。
1	PREINH REQDM	0	R/W	出力ストリームデータの DMA 転送要求割り込みフラグのセットを禁止します。 本ビットが 1 のとき、DMA 転送要求割り込み要因を保持しなくなります。
0	PREINH IREADY	0	R/W	IREADY 割り込みのフラグのセットを禁止します。 本ビットが 1 のとき、IREADY フラグに割り込み要因を保持しなくなります。

24.3.51 CD-ROM デコーダストリームデータ入力レジスタ（STRMDIN0）

STRMDIN0 は、CD-ROM デコーダに入力する 4 バイトデータの MSB 側 2 バイトを示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRMDIN[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	STRMDIN [31:16]	H'0000	R/W	CD-ROMデコーダに入力する4バイトデータのMSB側2バイト CD-ROMデコーダは4バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1セクタのデータ量は2352バイトです。

24.3.52 CD-ROM デコーダストリームデータ入力レジスタ（STRMDIN2）

STRMDIN2 は、CD-ROM デコーダに入力する 4 バイトデータの LSB 側 2 バイトを示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRMDIN[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15～0	STRMDIN [15:0]	H'0000	R/W	CD-ROMデコーダに入力する4バイトデータのLSB側2バイト CD-ROMデコーダは4バイト幅のデータウィンドをレジスタとしてもち、当該レジスタに入力されるデータをストリームデータとして処理します。1セクタのデータ量は2352バイトです。

24.3.53 CD-ROM デコーダストリームデータ出力レジスタ（STRMDOUT0）

STRMDOUT0 は、CD-ROM デコーダから出力される 2 バイトデータを示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	STRMDOUT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15～0	STRMDOUT [15:0]	H'0000	R	CD-ROMデコーダから出力される2バイトデータ CD-ROMデコーダは2バイト幅のデータウィンドをレジスタとしてもち、当該レジスタから出力されるデータがROMデコード処理後のデータとなります。当該レジスタをアクセスするたびに別に定義する出力フォーマットに従ってアクセスサイズ分のデータが順次出力されます。1セクタ分のデータは2768バイトです。必ず2768バイト分読み出してください。

24.4　動作説明

24.4.1　入力ストリームデータエンディアン変換機能

CD-ROM デコーダコア部には、CD-ROM データフォーマット仕様順にストリームデータを入力する必要があります。しかし、システムによっては、シリアルサウンドインタフェースからのデータの順番が入れ替わっていたり、パディング部を転送する必要があったりすることがあります。そこで、ストリームデータ入力制御部には、データの順番を入れ替えたり、パディングデータを CD-ROM デコーダコア部に入力しないようにする機能があります。

これらは、シリアルサウンドインタフェースデータコントロールレジスタ（SSI）で制御します。図 24.6 は、入力ストリームデータとして“パディングデータ＋同期コード先頭 2 バイト”、すなわち H'000000FF を 16 ビット単位で順番が逆になったデータ（H'00FF0000）が CD-ROM デコーダに入力された場合を示します。

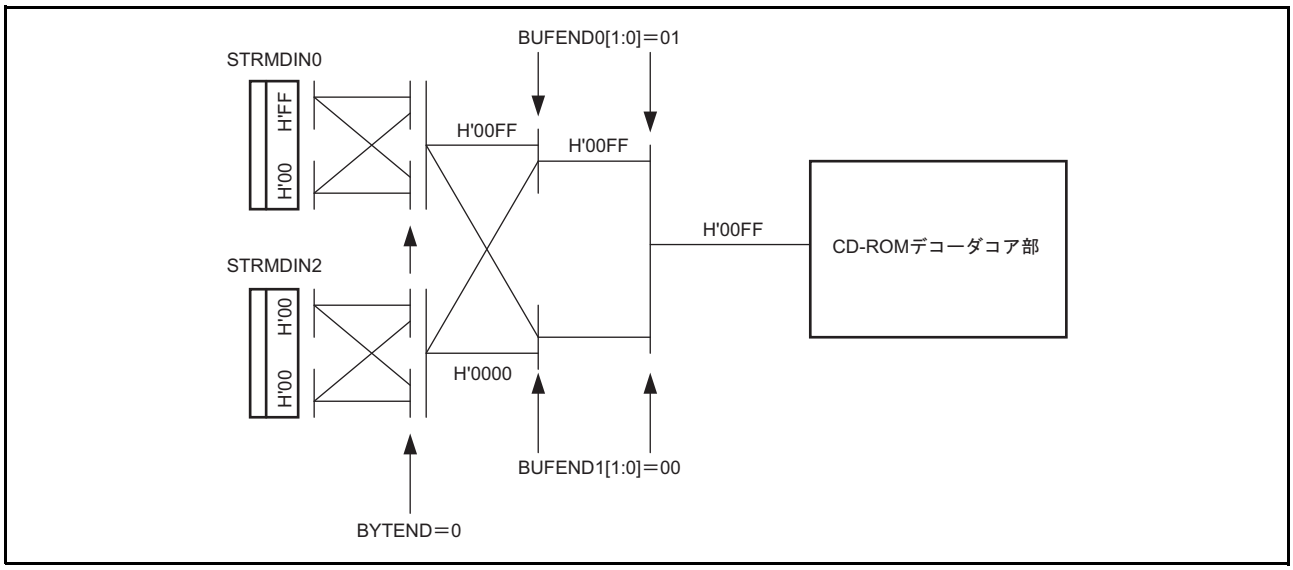


図 24.6　パディングデータ付ストリームデータの SSI レジスタ制御例

図 24.7 は、入力ストリームデータとしてパディングデータを持たない H'12345678 を 16 ビット単位で順番が逆になったデータ（H'56781234）が CD-ROM デコーダに入力された場合を示します。

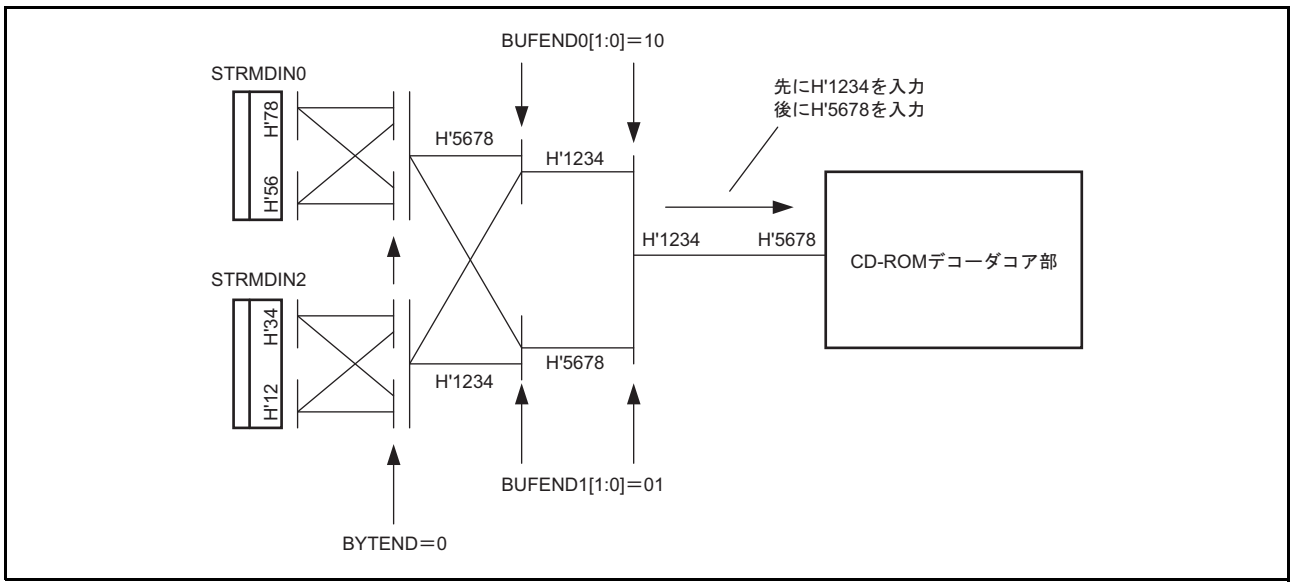


図 24.7　パディングデータなしストリームデータの SSI レジスタ制御例

24.4.2　同期コード保護機能

CD-ROM のデータは、H'00FFFFFFFFFFFFFFFFFFFF00（同期コード）で始まる 2352 バイトが 1 セクタのデータとなりますが、キズ等により、同期コードが異常なタイミングで認識されたり、逆に、同期コードが検出されるべきタイミングに検出できなかったりする場合があります。そのため、本 CD-ROM デコーダには、異常なタイミングで同期コードを検出したときには、その同期コードを無視する機能、同期コードが検出されるべきタイミングで検出できなかったときには、同期コードを保護する機能があります。

同期コード保護機能には以下のモードがあります。設定についての詳細は、**「24.3.2　同期コードの同期制御コントロールレジスタ（CROMSY0）」**および**表 24.2** を参照してください。

- **自動同期保護モード**
- **外部同期モード**
- **内挿同期モード**
- **内挿／外部同期モード**

(1) 自動同期保護モード

自動同期保護モードは、1 セクタ（2352 バイト）期間内で検出した同期コードは無視し、次セクタの先頭で同期コードが検出できなかった場合は、同期コードを保護します。また、同期タイミングが変化した場合、同期タイミングが変化後、2352 バイト期間で同期検出したところで、再同期します。

したがって、異常同期パターンを排除し、同期タイミング変更に追従する場合に有効です。ただし、同期タイミング変更時の最初の 1 セクタについては追従できません。

図 24.8 に、正常な場合、**図 24.9** に、1 セクタ期間内で同期コードを検出した場合、**図 24.10** に、1 セクタ期間を超えたタイミングで同期コードを検出した場合の動作を示します。

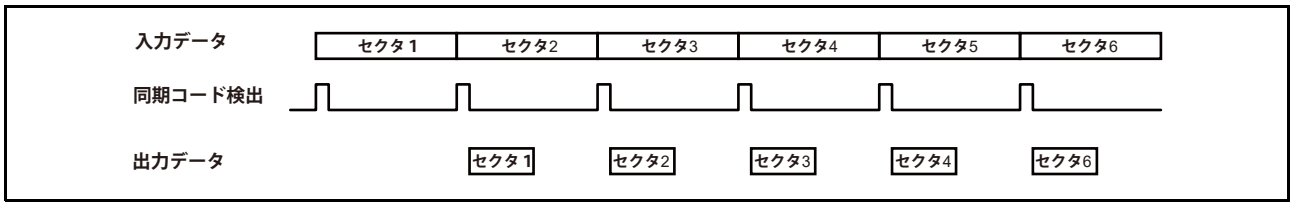


図 24.8　正常タイミングでの自動同期保護モード動作

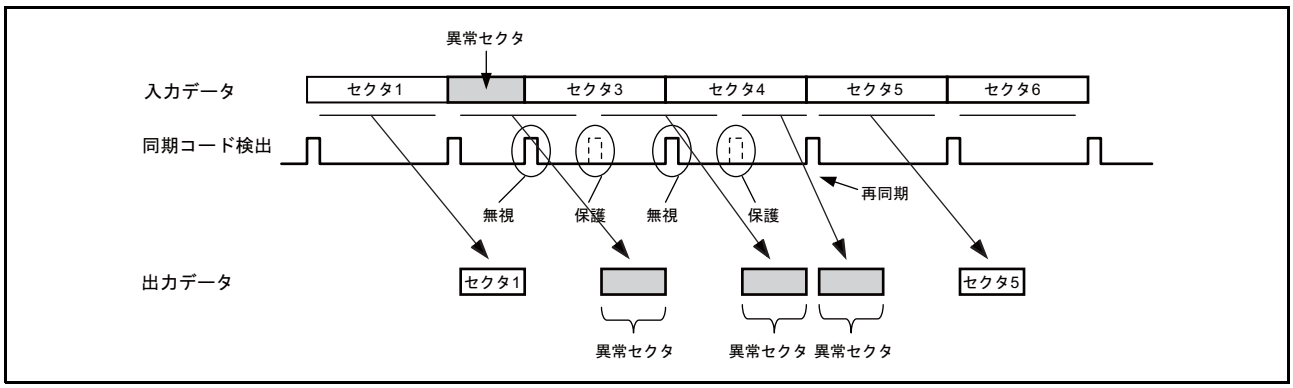


図 24.9　ショートセクタでの自動同期保護モード動作

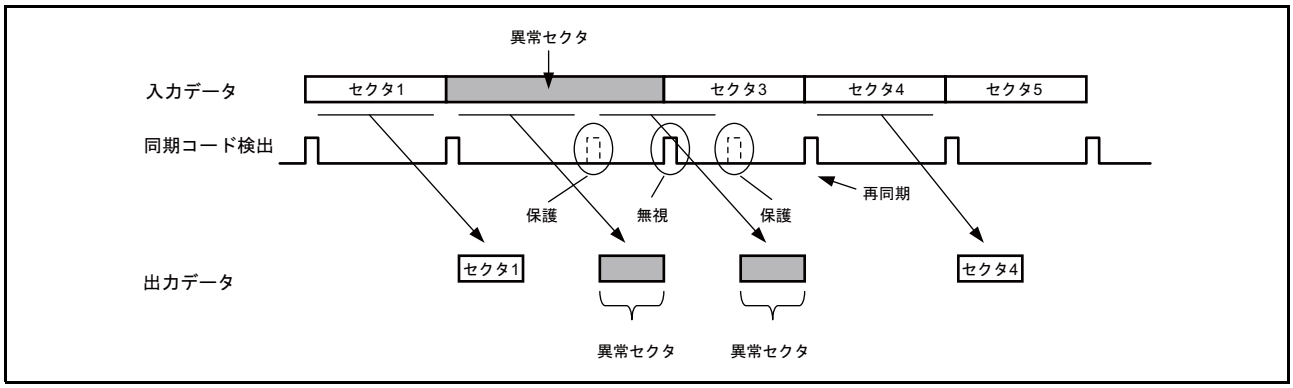


図 24.10　ロングセクタでの自動同期保護モード動作

(2)　外部同期モード

外部同期モードは、常に入力されるデータの同期コードで同期します。2352 バイトで次の同期コードが見つからない場合は、同期コードを検出するまでデコードしません。

したがって、外部同期タイミングに追従する場合に有効です。ただし、異常同期コードパターンが入力されると正常にデコードできません。

図 24.11 に、外部同期モードでの動作を示します。

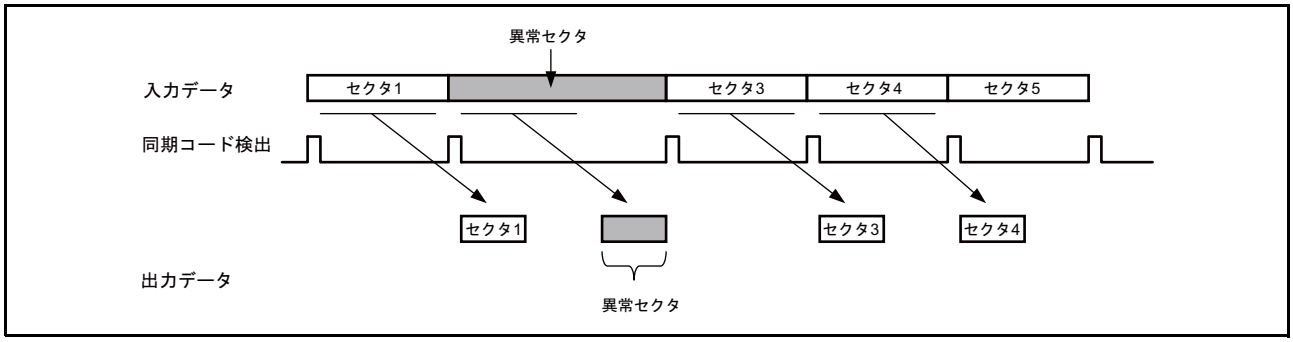


図 24.11　外部同期モード動作

(3)　内挿同期モード

内挿同期モードは、デコード開始時の同期コードパターンを検出した後は、内部カウンタによって、常に同期します。したがって、同期パターンが壊れているような場合に有効です。

ただし、同期コードタイミングが変化すると追従することができず、正しくデコードできません。

図 24.12 に、内挿同期モードでの動作を示します。

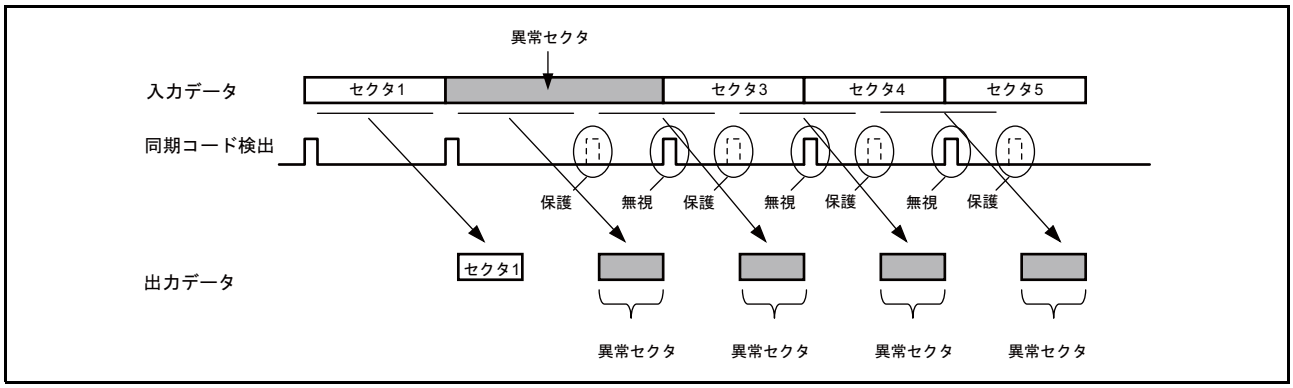


図 24.12　内挿同期モード動作

(4) 内挿／外部同期モード

内挿／外部同期モードは、同期コードパターンを検出すると、それに同期し、2352 バイトで同期パターンが見つからない場合には保護します。自動同期保護モードと比較して、同期タイミングの変更にすぐ追従できます。

ただし、異常タイミングで同期パターンが入ってくると、正常にデコードできません。

図 24.13 に、ショートセクタが発生した場合の内挿／外部同期モードでの動作、**図 24.14** に、ロングセクタが発生した場合の内挿／外部同期モードでの動作を示します。

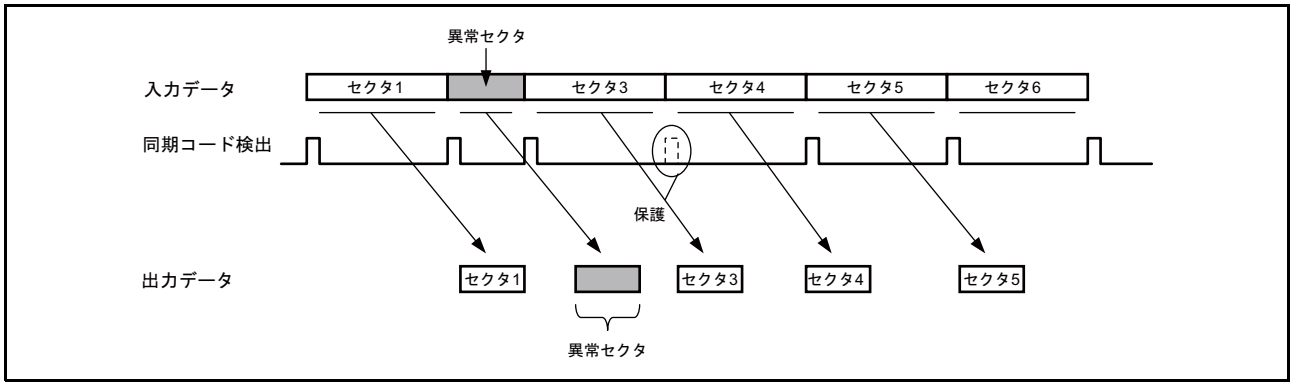


図 24.13　ショートセクタでの内挿／外部同期モード動作

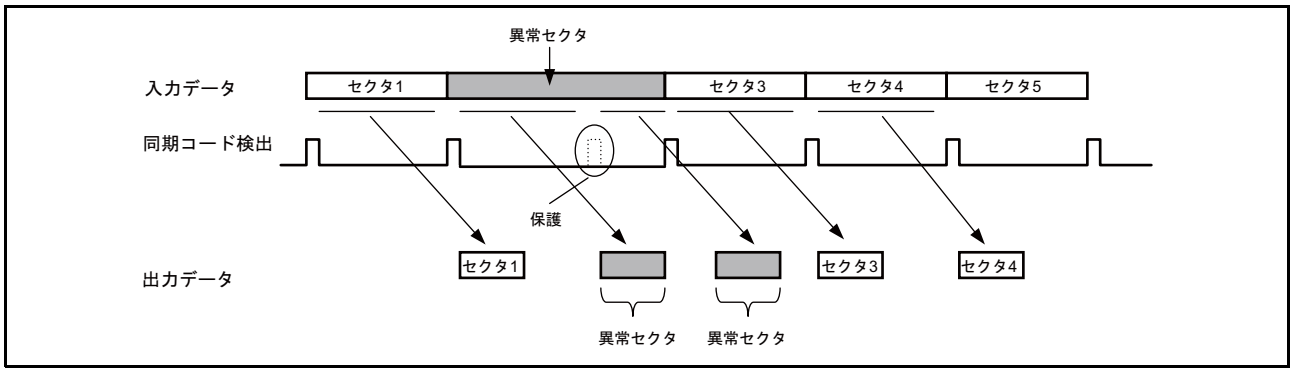


図 24.14　ロングセクタでの内挿／外部同期モード動作

24.4.3　エラー訂正

CD-ROM デコーダには、エラーを訂正するための EDC、P パリティ、Q パリティ情報をもったフォーマットがあります。本 CD-ROM デコーダにおいては、以下の機能があり、エラー訂正を行います。

- シンドローム演算機能
- ECC 訂正機能
- EDC チェック機能

(1)　シンドローム演算機能

CD-ROM デコーダ Mode1 および、Mode2 Form1 の場合で、1 セクタのデータが入力された後、エラーがあると判断された（シンドローム演算結果が 0 でなかった）場合、ECC 訂正が行われます。ECC 訂正後、修正されたデータに対するシンドローム演算結果が、CROMST6 レジスタの ST_ECCP ビット（P 系列）、ST_ECCQ ビット（Q 系列）に出力されます。

(2)　ECC 訂正および EDC チェック

EDC、P パリティ、Q パリティを持つ CD-ROM フォーマットデータに対して、ECC 訂正、EDC チェックを行います。ECC の訂正モードは P 訂正、Q 訂正、PQ 訂正（P 訂正後、Q 訂正）、QP 訂正（Q 訂正後、P 訂正）に対応しており、PQ 訂正、QP 訂正については、最大 3 回（倍速により制限あり）までの繰り返し訂正が可能です。

EDC チェックは、ECC 訂正前と後の 2 回行います。

ECC 訂正、EDC チェックのチェックモードは、CROMCTL1 レジスタの MD_DEC[2:0] ビットで設定します。また、PQ 訂正、QP 訂正モードを選択した際の訂正繰り返し回数は、CROMCTL1 レジスタの MD_PQREP[1:0] ビットで設定します。

自動モード・フォーム検出機能使用時には、判定されたモードに従って、ECC 訂正、EDC チェックが行われます。P パリティ、Q パリティ、EDC のない Mode0、Mode2 と判断した際には、ECC 訂正、EDC チェックは行われません。また、Mode2 Form2 と判断した際には、ECC 訂正は行われません。

(a)　ECC 訂正

ECC 訂正使用時は、訂正不能と判断すると、IERR 割り込みを発生し、CROMST6 レジスタの ST_ECCNG ビットが 1 になります。また、当該ビットは、ショートセクタ検出時にも 1 となります。

CROMCTL4 レジスタの NO_ECC ビットが 1 に設定されていたときは、ECC 前 EDC チェックが OK であったなら、シンドローム演算結果にかかわらず ECC 訂正を行いません。

(b)　EDC チェック

EDC チェック使用時には、設定したモード・フォームに従って EDC チェックを行います。また、自動モード・フォーム検出機能使用時には、判定されたモード・フォームに従って、EDC チェックを行います。

ECC 訂正前、訂正後の EDC チェック結果が、それぞれ CROMST6 レジスタの ST_EDC1、ST_EDC2 ビットに反映されます。また、ECC 訂正後の EDC チェック結果が NG となった場合、IERR 割り込みを発生します。

24.4.4　自動デコード停止機能

CD-ROM データをデコード中に異常が発生した場合、自動的にデコードを停止することができます。

自動停止する要因は、以下の場合があります。どの要因を有効にするかは、CROMCTL3 レジスタで設定します。

- ECC 訂正が不能になった場合
- ECC 後の EDC チェックが NG になった場合
- モード、フォームが変化した場合
- MSF（分、秒、フレーム（1/75 秒））が不連続となった場合

上記要因で自動停止する場合には、要因が発生したセクタを出力した後、デコードを停止します。

CROMCTL3 レジスタで設定した要因が発生して、デコードが停止した場合、CBUFST1 レジスタで、どの要因で自動停止したかを確認することができます。

また、CD-ROM デコーダ内には、2 セクタ分のバッファを持っています。出力ストリームデータを読み出さずに、ストリームデータを入力し続けると、3 セクタ目のデータが入力された時点で、CD-ROM デコーダは停止します。このとき、CBUFST2 レジスタの BUF_NG ビットが 1 となります。割り込みは発生しません。CBUFST2 レジスタの BUF_NG ビットが 1 となったときには、ROMDECRST レジスタの LOGICRST ビットにより CD-ROM デコーダ機能をクリアしないと回復できません。ROMDECRST レジスタの LOGICRST ビットを 1 にすることにより、リセット信号が出力され、設定されていたレジスタも初期値にクリアされます。

24.4.5　バッファリングフォーマット

図 24.15 は、CD-ROM デコード後の出力ストリームデータフォーマットを示しています。

CD-ROM デコーダの出力は、2 バイト幅のウィンドレジスタ STRMDOUT0 を持っており、CD-ROM デコード完了後、当該レジスタをアクセスすると、同期コードから順に出力されます。

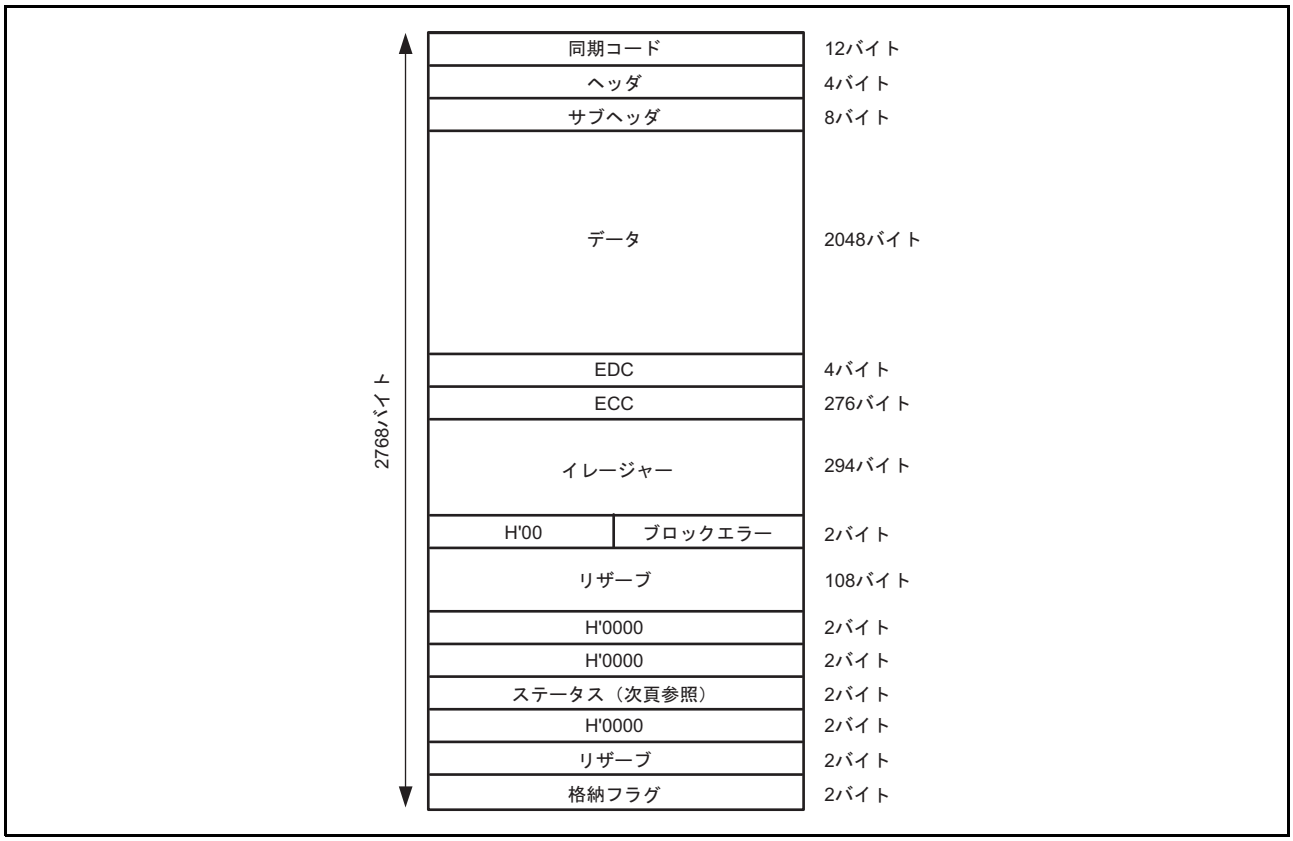


図 24.15　出力ストリームデータフォーマット

図 24.15 のステータスの 2 バイトは、以下の意味を持っています。アサインされていないビットは不定です。

ステータス															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PERR	QERR	EDCE	—	—	—	—	—	SD	SY	FM[2:0]			HD	—	—

PERR：P 系列にエラーが残っていることを示します。
QERR：Q 系列にエラーが残っていることを示します。
EDCE：ECC 後の EDC チェックが NG であることを示します。
SD：ショートセクタとなったことを示します。
SY：同期コードを内挿したことを示します。
FM：データフォーマットを意味しています。
　001：Mode0
　010：Mode1
　011：Long（EDC、ECC なしフォーマット）
　100：Mode2 notXA
　101：Mode2 Form1
　110：Mode2 Form2
HD：ヘッダの連続性（分、秒、フレーム（1/75 秒）で NG）

図 24.15 の格納フラグは 1 セクタ分出力するごとに H'0000 ～ H'FFFF までカウントアップ（H'FFFF 後、H'0000 にラップアラウンド）します。なお、格納フラグに限り 2 バイトの上位バイトと下位バイトが入れ替わりますのでご注意ください。

24.4.6　目標セクタバッファリング機能

CD-ROM デコーダには、出力したいセクタを指定する方法として、目標セクタを事前に設定しておき CD-ROM デコーダ自体が目標セクタを検出する、自動バッファリング機能と、CD-ROM デコーダ内にバッファリングされているセクタをソフトウェアが認識しながら、ソフトウェアにより目標セクタの出力を指示する、手動バッファリング機能があります。

以下に、自動・手動バッファリングを行うための CD-ROM デコーダ内レジスタの設定方法を示します。

(1)　自動バッファリング設定

図 24.16 に自動バッファリングの設定例を示します。

CD-ROM デコーダレジスタを設定し、ストリームデータを入力すれば、目標セクタを CD-ROM デコーダが検出し、ストリームデータを出力開始します。

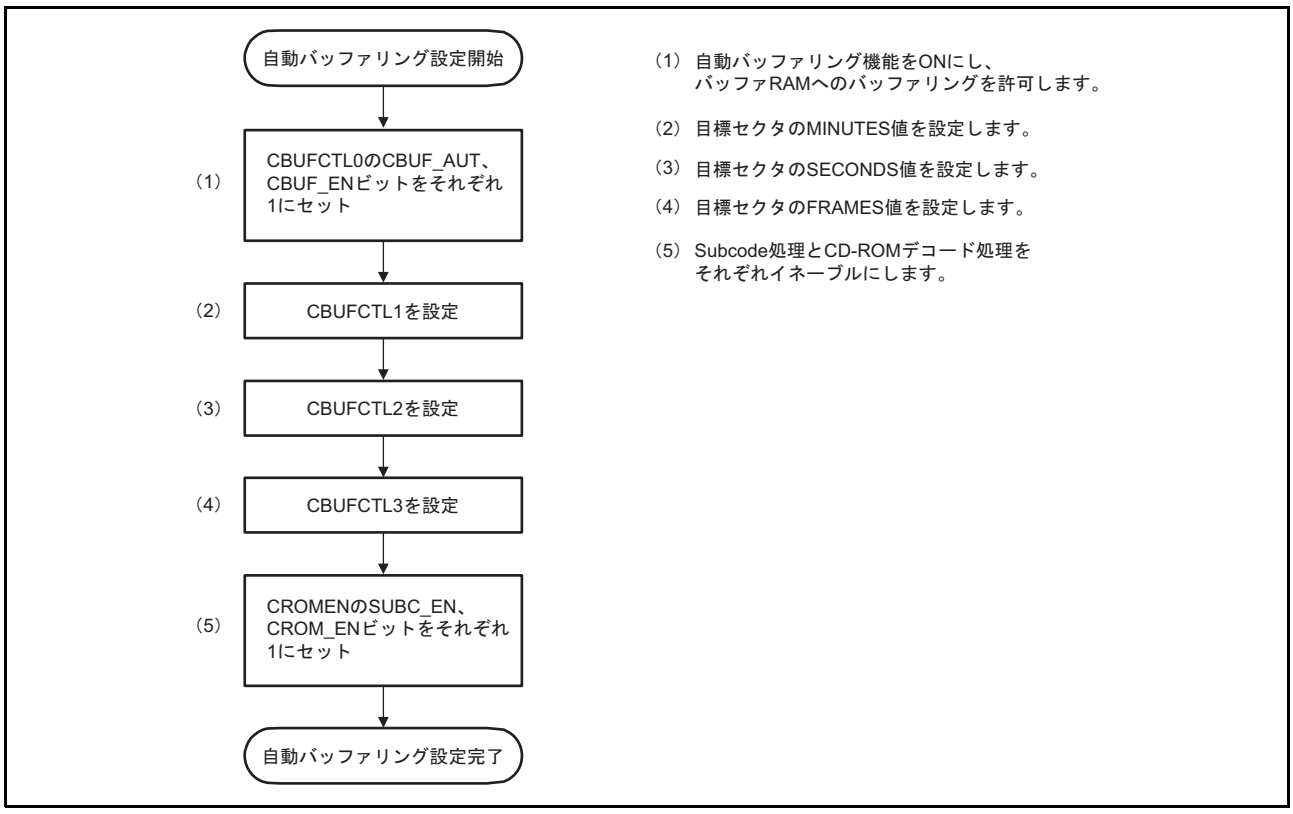


図 24.16　自動バッファリングの設定例

(2)　手動バッファリング設定

図 24.17 に手動バッファリングの設定例を示します。

ISEC 割り込みがかかるたびに、目標セクタであるかどうかを判定し、目標セクタとなってから、バッファリングを ON とします。

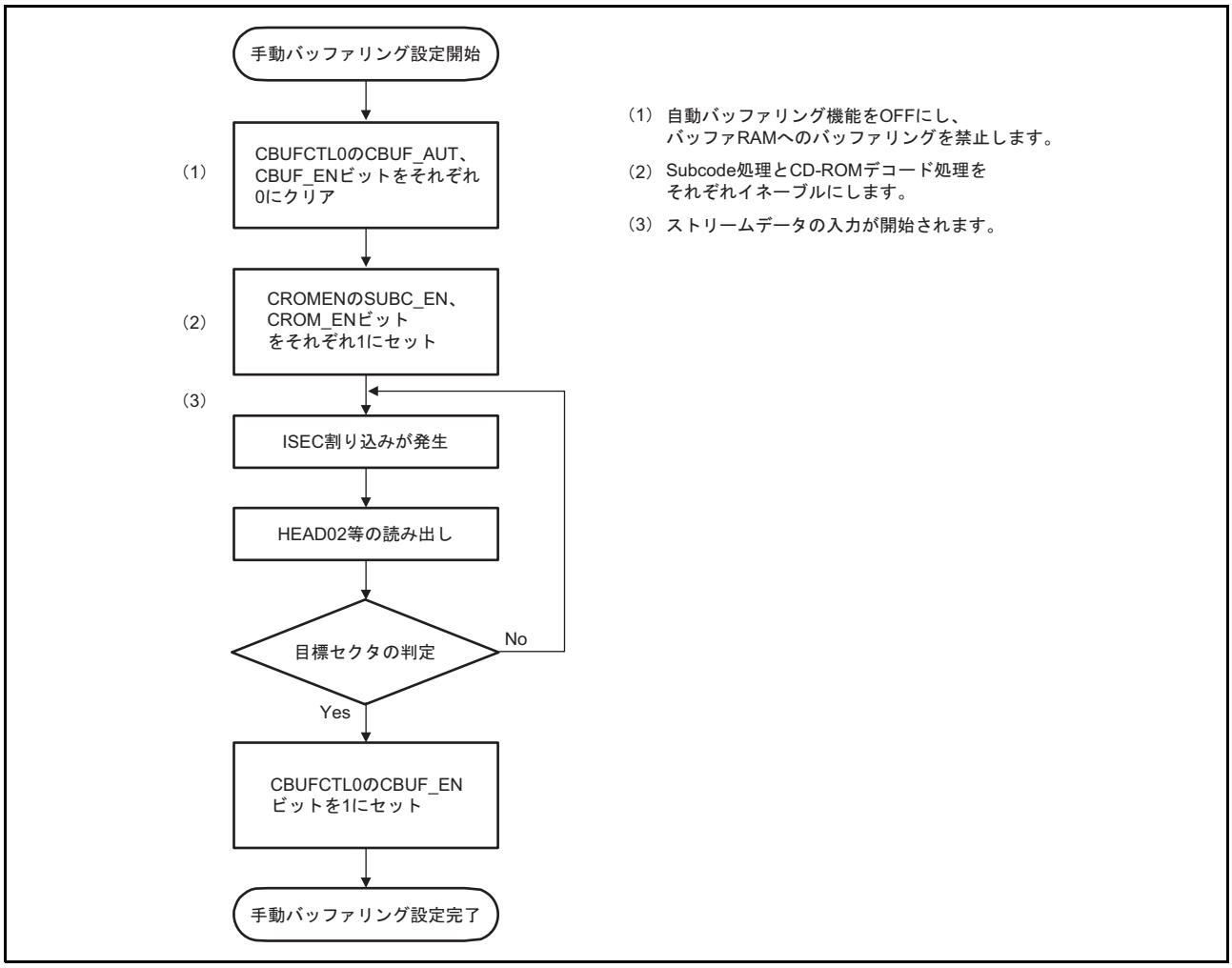


図 24.17　手動バッファリングの設定例

24.5　割り込み要因

24.5.1　割り込みおよび DMA 転送要求信号

表 24.3 は、CD-ROM デコーダが出力する割り込み信号と DMA 転送を要求する信号の意味と接続先を示しています。

表 24.3　割り込みおよび DMA 転送要求一覧

名　称	条　件	接続先
ISEC	セクタが切り替わったとき	割り込みコントローラ
ITARG	CD-ROM のアクセスセクタが目標セクタからずれたとき	割り込みコントローラ
ISY	CD-ROM 同期コード異常タイミング	割り込みコントローラ
IERR	ECC 訂正不能、もしくは ECC 訂正後の EDC チェックでエラーが発生したとき	割り込みコントローラ
IBUF	バッファへのデータ転送状況に変化があったとき	割り込みコントローラ
IREADY	CD-ROM のバッファへのデータ転送要求	割り込みコントローラ
DMA 転送要求	CD-ROM のバッファへのデータ転送要求	ダイレクトメモリアクセスコントローラ

(1)　ISEC 割り込み

同期コードから始まる 1 つのセクタから、次のセクタに切り替わったときに発生します。

(2)　ITARG 割り込み

CD-DSP から転送されるストリームデータが、目標セクタとずれていたときに発生します。CD-ROM デコーダではサブコード内の時間をチェックし、正しい状態では、目標とするセクタの少し前からデータ転送が開始されることを期待しますが、以下の場合に割り込みを発生します。

- 目標とするセクタのかなり以前のデータが転送されたとき
- 目標とするセクタの後のデータが転送されたとき

なお、本割り込みは、サブコードから ITARG を検出しますが、本 LSI ではシリアルサウンドインタフェースから CD-ROM データが転送されるので、本割り込みは意味を持ちません。

(3)　ISY 割り込み

以下の場合に割り込みを発生します。

- ワードカウンタ（同期コード間隔チェックカウンタ）の正しくないところで同期コードを検出したが、当該同期コードを無視したとき
- ワードカウンタが最終値になったが同期コードが検出されず、内挿（保護）したとき
- ワードカウンタの正しくないところで同期コードを検出し、当該同期コードにより再同期したとき
- ワードカウンタが最終値になったが同期コードが検出されず、1 セクタの期間が長くなったとき
- 同期コードと内挿したタイミングがショートセクタとなったとき
- 同期コードと内挿したタイミングがロングセクタとなったとき

(4) IERR 割り込み

以下の場合に割り込みを発生します。

- ECC で訂正しきれなかったとき
- ECC では訂正 OK となったが、ECC 訂正後の EDC チェックでエラーが発生したとき

(5) IBUF 割り込み

以下切り替わりで割り込みを発生します。

- リングバッファへデータ転送中→データ転送完了（次転送データ検索中）
- リングバッファへの転送データ検索中→データ転送開始

(6) IREADY 割り込み

1 セクタ分の CD-ROM デコードが終了すると発生する割り込みです。出力ストリームデータを CPU で SDRAM へバッファリングするときは、本割り込みを起動信号として使用します。

(7) DMA 転送要求

ダイレクトメモリアクセスコントローラを起動する要因は、IREADY と同じです。1 セクタ分の出力ストリームデータが揃うと割り込み要求を発生し、**図 24.15** で示した 2768 バイトのデータを転送し終わると、一度ネゲートします。これは、次の 1 セクタ分の出力ストリームデータが揃うまでに時間がかかりますので、ダイレクトメモリアクセスコントローラからのデータ転送要求を一度停止させるためです。

24.5.2 ステータスレジスタの更新タイミング

CD-ROM デコーダが持つステータス情報のレジスタは ISEC 割り込みごとに更新されます。どのセクタの情報が反映されるかは、CROMCTL4 レジスタの ER0SEL ビットで設定します。

24.6　使用上の注意事項

24.6.1　デコード動作状態でバッファリングのみ停止／再開させる場合の注意

CD-ROM デコーダを動作させたまま、出力ストリームデータを読み出さないと、CBUFST2 レジスタの BUF_NG ビットが 1 となり、以降 CD-ROM デコーダは動作不能となります。

バッファリングのみ停止する場合は、CBUFCTL0 レジスタの CBUF_EN ビットを 0 に設定します。また、自動バッファリング機能使用時には、同時に CBUFCTL0 レジスタの CBUF_AUT ビットを 0 に設定します。このとき、現在バッファリング中のセクタは読み出してください。

バッファリングを再開するときには、自動バッファリング機能を使用している場合、CBUFCTL0 レジスタの CBUF_AUT ビットと CBUF_EN ビットを同時に 1 にセットしてください。

24.6.2　同期コードステータスレジスタ（CROMST0）設定時の注意

1. CROMST0 レジスタの ST_SECS ビットが 1 になった場合、デコードをただちに停止させ、現在デコード中の 1 つ前のセクタからリトライを行ってください。
2. CROMST0 レジスタの ST_SECL ビットが 1 になった場合、デコードをただちに停止させ、現在デコード中の 2 つ前のセクタからリトライを行ってください。

24.6.3　リンクブロックでの注意

本 CD-ROM デコーダのリンクブロック検出機能は、ECC 訂正前のヘッダ情報を用いて判断しています。したがって、入力ストリームデータが誤っていたとき、リンクブロックを誤検出する可能性があります。これを防ぐため、ソフトウェアにて以下の対策をしてください。

- バッファリング中（CBUFST0 レジスタ BUF_ACT ＝ 1）、ISEC 割り込みのたびに CROMST5 レジスタ LINK_OUT1 ビットを確認し、1 のとき、HEAD20 ～ 23 レジスタ値から MSF 値を記憶してください。このとき、IERR 割り込みが発生していないことを確認してください。発生していた場合は、MSF 値をとらないでください。
- 上記の LINK_OUT1 ビットが 1 であることを確認した後、7 セクタ間（ISEC 割り込み 7 回）以下の処理を行ってください。

1. ISEC 割り込みのたびに、CROMST5 レジスタの LINK_ON ＝ 1 を確認し、その後の 2 セクタ間で再び、LINK_ON ＝ 1 を検出したとき
2. LINK_ON ＝ 1 が 1 度も検出されなかったとき

上記 1.、2. の場合、デコードを強制終了し、CROMSY0 レジスタを外部同期モードにして、目標セクタを上記で記憶した MSF 値＋ 7（リンクブロックの直後）を目標セクタとして、リトライしてください。

開始セクタアドレスは、ランアウトの格納アドレス＋ 7 になります。

24.6.4　CD-DSP 停止・再開時の注意点

CD-ROM デコーダへの入力ストリームデータを停止・再開するときに、停止したときのストリームデータが同期コードの直前で停止せず、その後再開すると、不当なストリームデータを認識してしまうことがあります。これは、停止したとき途中まで入力されていたストリームデータと、再開したときに入力されていたストリームデータが混在してしまうためです。入力ストリームデータを停止・再開するときは注意してください。

24.6.5　IREADY フラグクリアの注意点

割り込み処理などで IREADY フラグをクリアする際は、必ず 1 セクタ分（2768 バイト）のデータを読み出した後に 0 クリアしてください。1 セクタ分の読み出しが完了する前に IREADY フラグを 0 クリアしてしまうと、以降のセクタについてはデコード不能となります。このとき、復帰する場合は CD-ROM デコーダモジュールリセットコントロールレジスタ（ROMDECRST）の LOGICRST ビットを 1 ライト後に 0 ライトとアクセスしてください。

24.6.6　ストリームデータ転送における注意点（1）

出力ストリームデータの読み出しが入力ストリームデータの書き込みより遅い場合、CD-ROM デコーダはバッファオーバフロー状態に陥り異常停止します。

DMA にて転送を行う場合、たとえば下記のように設定することで、出力ストリームデータの読み出しが速くなるようにしてください。

- 入力ストリームデータの書き込み転送サイズより、出力ストリームデータの読み出し転送サイズを大きくしてください。
- 入力ストリームデータの書き込み転送の優先順位より、出力ストリームデータの読み出し転送の優先順位を高くしてください。
- 入力ストリームデータの書き込み転送のインターバルカウントより、出力ストリームの読み出し転送のインターバルカウントを小さくしてください。

CPU での転送においても、同様に出力ストリームデータの読み出しが速くなるようにしてください。

24.6.7　ストリームデータ転送における注意点（2）

ストリームデータの読み出しは、必ずダイレクトメモリアクセスコントローラもしくは CPU のどちらか一方で行ってください。ダイレクトメモリアクセスコントローラと CPU のリードが混在した場合には、ストリームデータが CD-ROM のフォーマットとして認識できなくなる可能性があります。

24.6.8　ソフトウェアリセットの注意点

ROMDECRST レジスタの LOGICRST ビットによるソフトウェアリセットへの遷移の際は、**「42.3.6　ソフトウェアリセット」**を参照してください。なお、**「42.3.6　ソフトウェアリセット」**に記載の手順に関しては、SRST ビット記述を LOGICRST ビットに読み替えてください。

25. LIN インタフェース

本モジュールは、RZ/A1L にのみ搭載しています。
本章では、LIN インタフェース（RLIN3）全般について説明します。最初の節では、レジスタベースアドレスなど、本製品に固有の特長について説明します。それ以降の節では、RLIN3 の機能、レジスタについて説明します。

25.1 特長

25.1.1 チャネル数

本 LSI は以下のチャネル数の LIN インタフェース（RLIN3）を搭載しています。

表 25.1　RLIN3n のチャネル数

LIN インタフェース	RZ/A1L
数	1
名称	RLIN30

n の意味

本章では、LIN インタフェース（RLIN3）のチャネルを「n」（n = 0）で識別します。たとえば、LIN モードレジスタは RLN3nLMD と記述します。

25.1.2 レジスタアドレス

LIN インタフェースのベースアドレスを以下の表に示します。

LIN インタフェースのレジスタアドレスは、ベースアドレスからのオフセットで表されます。

表 25.2　レジスタベースアドレス

ベースアドレス名	ベースアドレス
<RLIN30_base>	FCFE 9000$_H$

25.1.3 クロック供給

LIN インタフェースは次のクロックが供給されます。

表 25.3　RLIN3n のクロック供給

チャネル	クロック	接続先
RLIN3n	LIN 通信クロック源	P0φ

25.1.4　割り込みと DMA

LIN インタフェースは以下の割り込み要求と DMA 要求を生成することができます。

表 25.4　RLIN3n の割り込みと DMA 要求

RLIN3n の信号	機能
RLIN30	
LIN0_INT_M	LIN0 割り込み
LIN0_INT_T	LIN0 送信割り込み
LIN0_INT_R	LIN0 受信完了割り込み
LIN0_INT_S	LIN0 ステータス割り込み

25.1.5　入出力信号

LIN インタフェースの入出力信号を以下の表に示します。

表 25.5　RLIN3n の I/O 信号

名称	機能
RLIN30	
ポート RLIN30RX	RLIN30 受信データ入力
ポート RLIN30TX	RLIN30 送信データ出力

25.2 機能

LIN インタフェースは LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602 に対応したハードウェア LIN 通信コントローラで、フレーム通信とエラー判定を自動で行います。

LIN マスタモードを使用します。

LIN マスタ

- LIN リセットモード
- LIN モード (LIN マスタモード)
  - LIN ウエイクアップモード
  - LIN 動作モード
- LIN セルフテストモード

表 25.6 に LIN インタフェースの仕様、図 25.1 に LIN インタフェースのブロック図を示します。

表 25.6　LIN インタフェースの仕様

項目		仕様	
	チャネル数	1 チャネル	
LIN 通信機能	プロトコル	LIN Specification Package Revision 1.3、2.0、2.1、2.2、SAEJ2602	
	フレーム構成可変	マスタ	• 送信ブレーク幅：13 ～ 28 Tbit • 送信ブレークデリミタ幅：1 ～ 4 Tbit • 送信インタバイトスペース幅（ヘッダ）：0 ～ 7 Tbit（Sync フィールドと ID フィールド間のスペース）注 1 • 送信レスポンススペース幅：0 ～ 7 Tbit 注 1 • 送信インタバイトスペース幅：0 ～ 3 Tbit（レスポンス領域内のデータバイト間のスペース） • 送信ウエイクアップ幅：1 ～ 16 Tbit
	チェックサム	• 送受信ともに自動演算 • クラシックまたはエンハンス選択可能 （フレームごとに変更可能）	
	レスポンスフィールドデータバイト数	0 ～ 8 バイト可変 9 バイト以上の多バイト･レスポンス送受信にも対応	
	フレーム通信方法	マスタ	• ヘッダ送信とレスポンス送信／受信を 1 つの送信開始要求により通信するモード • ヘッダとレスポンスを別々の送信開始要求により送信するモード（フレームセパレートモード）（本製品では設定禁止です。）
	ウエイクアップ送受信	LIN ウエイクアップモードで使用可能 • ウエイクアップ送信機能（1 ～ 16 Tbit） • ウエイクアップ受信 入力信号ロウレベル幅カウント機能	
	ステータス	マスタ	• フレーム／ウエイクアップ送信完了 • ヘッダ送信完了 • フレーム／ウエイクアップ受信完了注 2 • データ 1 受信完了 • エラー検出 • 動作モード （LIN リセットモード、LIN ウエイクアップモード、LIN 動作モード、LIN セルフテストモード）
	エラーステータス	マスタ	• ビットエラー • チェックサムエラー • フレームタイムアウトエラー／レスポンスタイムアウトエラー • フィジカルバスエラー • フレーミングエラー • レスポンス準備エラー
	ボーレート選択	ボーレートジェネレータで LIN 仕様のボーレートを生成可能	
	テストモード	ユーザ評価用セルフテストモード	
	割り込み機能	マスタ	• ヘッダ／フレーム／ウエイクアップ送信完了 • フレーム／ウエイクアップ受信完了注 2 • エラー検出

注 1.　同一レジスタで設定するため、インタバイトスペース（ヘッダ）＝レスポンススペースとなります。
注 2.　ウエイクアップ受信は、入力信号ロウレベル幅カウントを示します。

25.2.1　ブロック図

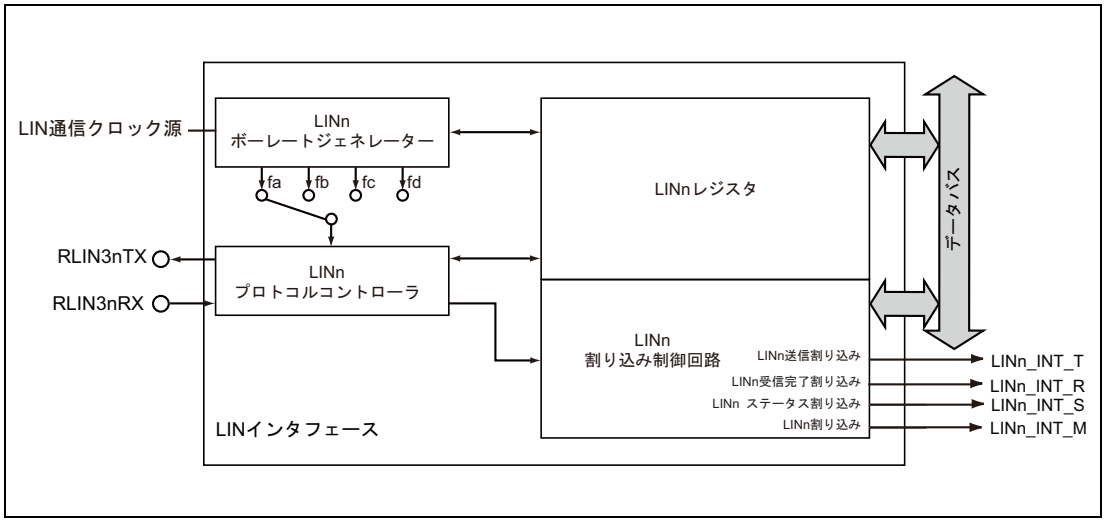


図 25.1　LIN インタフェースブロック図

25.2.2　ブロック図の説明

- RLIN3nTX、RLIN3nRX　: LIN インタフェースの入出力端子です。
- LINn ボーレートジェネレータ　: LIN インタフェースの通信クロックを生成します。
- LINn レジスタ　: LIN インタフェースのレジスタです。
- LINn 割り込み制御回路　: LIN インタフェースによって生成される割り込み要求を制御します。

25.3　レジスタの説明

表 25.7 に LIN インタフェースのレジスター一覧を示します。

表 25.7　LIN インタフェースのレジスター一覧

レジスタ名	シンボル
LIN ウエイクアップボーレート選択レジスタ	RLN3nLWBR
LIN ボーレートプリスケーラ 0 レジスタ	RLN3nLBRP0
LIN ボーレートプリスケーラ 1 レジスタ	RLN3nLBRP1
LIN セルフテスト制御レジスタ	RLN3nLSTC
LIN モードレジスタ	RLN3nLMD
LIN ブレークフィールド設定レジスタ	RLN3nLBFC
LIN スペース設定レジスタ	RLN3nLSC
LIN ウエイクアップ設定レジスタ	RLN3nLWUP
LIN 割り込み許可レジスタ	RLN3nLIE
LIN エラー検出許可レジスタ	RLN3nLEDE
LIN 制御レジスタ	RLN3nLCUC
LIN 送信制御レジスタ	RLN3nLTRC
LIN モードステータスレジスタ	RLN3nLMST
LIN ステータスレジスタ	RLN3nLST
LIN エラーステータスレジスタ	RLN3nLEST
LIN データフィールド設定レジスタ	RLN3nLDFC
LIN ID バッファレジスタ	RLN3nLIDB
LIN チェックサムバッファレジスタ	RLN3nLCBR
LIN データバッファ 1 レジスタ	RLN3nLDBR1
LIN データバッファ 2 レジスタ	RLN3nLDBR2
LIN データバッファ 3 レジスタ	RLN3nLDBR3
LIN データバッファ 4 レジスタ	RLN3nLDBR4
LIN データバッファ 5 レジスタ	RLN3nLDBR5
LIN データバッファ 6 レジスタ	RLN3nLDBR6
LIN データバッファ 7 レジスタ	RLN3nLDBR7
LIN データバッファ 8 レジスタ	RLN3nLDBR8

備考　未使用のレジスタに書き込みを行う場合は、“00_H” を書いてください。

25.3.1　LIN マスタ関連レジスタ

25.3.1.1　RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 01_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	NSPB[3:0]				LPRS[2:0]			LWBR0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.8　RLN3nLWBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	NSPB[3:0]	ビットサンプリング数選択ビット b7　b4 0 0 0 0：16 サンプリング 1 1 1 1：16 サンプリング 上記 以外は設定しないでください。
3 ～ 1	LPRS[2:0]	プリスケーラクロック選択ビット b3　b1 0 0 0：1/1 0 0 1：1/2 上記以外：設定禁止
0	LWBR0	ウエイクアップボーレート選択ビット 0：LIN ウエイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定どおりのクロックが使用される（LIN1.3 使用時） 1：LIN ウエイクアップモードにおいて、RLN3nLMD レジスタの LCKS ビットの設定によらずクロック fa が使用される（LIN2.x 使用時）

RLN3nLWBR レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

NSPB ビット（ビットサンプリング数選択ビット）

1 Tbit （ボーレートの逆数）のサンプリング数を選択するビットです。

LIN マスタモードで使用する時は、これらのビットを “0000_B” または “1111_B”（16 サンプリング）に設定してください。

LPRS ビット（プリスケーラクロック選択ビット）

プリスケーラの分周比を選択するビットです。

LWBR0 ビット（ウエイクアップボーレート選択ビット）

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを “0” にしてください。これにより入力信号ロウレベル幅をビットタイムで 2.5 Tbit 以上で計測することができます。LIN Specification Package Revision 2.x 使用時は “1” にしてください。1 にすることで LIN ウエイクアップモード中は RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。入力信号ロウレベル幅を 2.5Tbit 以上で計測することができます。

fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN ウエイクアップモード時に 130µs 以上の入力信号ロウレベル幅を検出することができます。

25.3.1.2　RLN3nLBRP0 — LIN ボーレートプリスケーラ 0 レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 02_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	LBRP0[7:0]							
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.9　RLN3nLBRP0 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP0[7:0]	設定値を N（4 ～ 255）とすると、ボーレートプリスケーラはプリスケーラクロックのクロックを N+1 分周する 設定範囲：04_H ～ FF_H 注 . LIN 通信クロック源に対して 9 分周以上になるように、LPRS ビットと LBRP0 ビットを設定してください。

RLN3nLBRP0 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fa”、“fb”、“fc” の周波数制御に使用されます。

このレジスタの設定値を N とすると、ボーレートプリスケーラ 0 は LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを N+1 分周します。

25.3.1.3　RLN3nLBRP1 — LIN ボーレートプリスケーラ 1 レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 03_H

初期値　00H

ビット	7	6	5	4	3	2	1	0
	LBRP1[7:0]							
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.10　RLN3nLBRP1 レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LBRP1[7:0]	設定値を M（4 ～ 255）とすると、ボーレートプリスケーラはプリスケーラクロックのクロックを M+1 分周する 設定範囲：04_H ～ FF_H 注 . LIN 通信クロック源に対して 9 分周以上になるように、LPRS ビットと LBRP1 ビットを設定してください。

RLN3nLBRP1 レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

このレジスタの設定値が、ボーレートクロックソース “fd” の周波数制御に使用されます。

このレジスタの設定値を M とすると、ボーレートプリスケーラ 1 は LPRS ビット（プリスケーラクロック選択ビット）で分周したクロックを M+1 分周します。

25.3.1.4　RLN3nLSTC — LIN セルフテスト制御レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 04_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—							LSTM
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 25.11　RLN3nLSTC レジスタの内容

ビット位置	ビット名	機能
7 ～ 1	予約ビット	“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。
0	LSTM	LIN セルフテストモードビット 0：LIN セルフテストモードではない 1：LIN セルフテストモード

RLN3nLSTC レジスタは LIN セルフテストモードのプロテクトを解除するために使用するレジスタです。

RLN3nLSTC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

“$A7_H$” → “58_H” → “01_H” の連続書き込みにより、LIN セルフテストモードへエントリします。

連続書き込みが成功し、LIN セルフテストモードにした場合は、LSTM ビットが “1” になります。

連続書き込みの間に別の書き込みを行わないでください。

LIN セルフテストモードへの移行方法は、**「25.8　LIN セルフテストモード」**を参照してください。

ビット 6 ～ 1 を読み出すと “000000_B” が、ビット 7 を読み出すと不定値が読めます。

LSTM ビット（LIN セルフテストモードビット）

LIN セルフテストモードに移行したとき、このビットは “1” になります。

LIN セルフテストモードからの終了方法は、**「25.8　LIN セルフテストモード」**を参照してください。

RLN3nLSTC レジスタへの “$A7_H$” → “58_H” → “01_H” の連続書き込み以外で、このビットに “1” を書いても値は変化しません。

25.3.1.5　RLN3nLMD — LIN モードレジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 08_H

初期値　00H

ビット	7	6	5	4	3	2	1	0
	—	—	LRDNFS	LIOS	LCKS[1:0]		LMD[1:0]	
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.12　RLN3nLMD レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
5	LRDNFS	LIN 受信データノイズフィルタ禁止ビット 0：ノイズフィルタを使用する 1：ノイズフィルタを使用しない
4	LIOS	LIN 割り込み出力選択ビット 0：LINn 割り込みを使用 1：LINn 送信割り込み、LINn 受信完了割り込み、LINn ステータス割り込みを使用
3、2	LCKS[1:0]	LIN システムクロック選択ビット b3 b2 0 0：fa（ボーレートプリスケーラ 0 生成クロック） 0 1：fb（ボーレートプリスケーラ 0 生成クロック /2） 1 0：fc（ボーレートプリスケーラ 0 生成クロック /8） 1 1：fd（ボーレートプリスケーラ 1 生成クロック /2）
1、0	LMD[1:0]	LIN モード選択ビット b1 b0 0 0：LIN マスタモード

RLN3nLMD レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときに設定してください。

LRDNFS ビット（LIN 受信データノイズフィルタ禁止ビット）

データ受信時のノイズフィルタの有効／無効を選択するビットです。

“0” の場合、データ受信時のノイズフィルタは有効です。

“1” の場合、データ受信時のノイズフィルタは無効です。

LIOS ビット（LIN 割り込み出力選択ビット）

LIN インタフェースからの割り込み出力本数を選択するビットです。

“0” の場合、LIN インタフェースからの LINn 割り込みが発生します。

“1” の場合、LIN インタフェースからの LINn 送信割り込み、LINn 受信完了割り込み、LINn ステータス割り込みが発生します。

各割り込みの要因は、「25.4　割り込み 要因」を参照してください。

LCKS[1:0] ビット（LIN システムクロック選択ビット）

プロトコルコントローラに入力するクロックを選択するビットです。

“00_B” の場合、プロトコルコントローラには fa（ボーレートプリスケーラ 0 生成クロック）が入力されます。

“01_B” の場合、プロトコルコントローラには fb（ボーレートプリスケーラ 0 生成クロック／2）が入力されます。

“10_B” の場合、プロトコルコントローラには fc（ボーレートプリスケーラ 0 生成クロック／8）が入力されます。

“11_B” の場合、プロトコルコントローラには fd（ボーレートプリスケーラ 1 生成クロック／2）が入力されます。

RLN3nLWBR レジスタの LWBR0 ビットが “1_B”（LIN2.x 使用時）かつ RLN3nLMST レジスタが “01_H”（LIN ウエイクアップモード）の場合、このビットの設定にかかわらず、プロトコルコントローラには fa が入力されます（LCKS ビットは変化しません）。

LMD[1:0] ビット（LIN モード選択ビット）

LIN インタフェースのモードを選択するビットです。

LIN マスタとして使用する場合は、これらのビットを “00_B” に設定してください。

25.3.1.6　RLN3nLBFC — LIN ブレークフィールド設定レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 09_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	BDT[1:0]		BLT[3:0]			
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 25.13　RLN3nLBFC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
5、4	BDT[1:0]	送信ブレークデリミタ（ハイレベル）幅設定ビット b5 b4 0 0 : 1 Tbit 0 1 : 2 Tbits 1 0 : 3 Tbits 1 1 : 4 Tbits
3 ～ 0	BLT[3:0]	送信ブレーク（ロウレベル）幅設定ビット b3 b0 0 0 0 0 : 13 Tbits 0 0 0 1 : 14 Tbits 0 0 1 0 : 15 Tbits : 1 1 1 0 : 27 Tbits 1 1 1 1 : 28 Tbits

RLN3nLBFC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1 フレームの長さがフレームタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

BDT[1:0] ビット（送信ブレークデリミタ（ハイレベル）幅設定ビット）

送信フレーム ヘッダ部のブレークデリミタ（ハイレベル）幅の設定をします。

1 Tbit ～ 4 Tbits を設定できます。

BLT[3:0] ビット（送信ブレーク（ロウレベル）幅設定ビット）

送信フレーム ヘッダ部のブレーク（ロウレベル）幅の設定をします。

13 Tbits ～ 28 Tbits を設定できます。

25.3.1.7　RLN3nLSC — LIN スペース設定レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + $0A_H$

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	IBS[1:0]		—	IBHS[2:0]		
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R/W	R/W	R/W

表 25.14　RLN3nLSC レジスタの内容

ビット位置	ビット名	機能
7、6	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
5、4	IBS[1:0]	インタバイトスペース設定ビット b5 b4 0 0 : 0 Tbit 0 1 : 1 Tbit 1 0 : 2 Tbits 1 1 : 3 Tbits
3	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
2 ～ 0	IBHS[2:0]	インタバイトスペース（ヘッダ）／レスポンススペース設定ビット b2 b0 0 0 0 : 0 Tbit 0 0 1 : 1 Tbit 0 1 0 : 2 Tbits 0 1 1 : 3 Tbits 1 0 0 : 4 Tbits 1 0 1 : 5 Tbits 1 1 0 : 6 Tbits 1 1 1 : 7 Tbits

RLN3nLSC レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

設定値の組み合わせによっては、1 フレーム または レスポンスの長さがタイムアウト時間を超えてしまう場合があります。適切な値になるように設定をしてください。

IBS[1:0] ビット（インタバイトスペース設定ビット）

送信フレームレスポンス部のインタバイトスペースの幅の設定をします。

0 Tbit ～ 3 Tbits を設定できます。

レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。

IBHS[2:0] ビット（インタバイトスペース（ヘッダ）／レスポンススペース設定ビット）

送信フレームヘッダ部のインタバイトスペース（ヘッダ）とレスポンススペースの幅の設定をします。0 Tbit ～ 7 Tbits を設定できます。

レスポンススペースの設定は、レスポンス送信時のみ有効です。レスポンス受信時は、無効になります。インタバイトスペース（ヘッダ）とレスポンススペースの値は、同じになります。

25.3.1.8　RLN3nLWUP — LIN ウエイクアップ設定レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + $0B_H$

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	WUTL[3:0]				—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R	R	R	R

表 25.15　RLN3nLWUP レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	WUTL[3:0]	ウエイクアップ送信 ロウレベル幅設定ビット b7　b4 0 0 0 0：1 Tbit 0 0 0 1：2 Tbits 0 0 1 0：3 Tbits 0 0 1 1：4 Tbits ： 1 1 0 0：13 Tbits 1 1 0 1：14 Tbits 1 1 1 0：15 Tbits 1 1 1 1：16 Tbits
3 ～ 0	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。

RLN3nLWUP レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

WUTL[3:0] ビット（ウエイクアップ送信ロウレベル幅設定ビット）

ウエイクアップシグナル送信時のロウレベル幅を設定します。

1 Tbit ～ 16 Tbits を設定できます。

RLN3nLWBR レジスタの LWBR0 ビットが “1” (LIN2.x 使用時）の場合、RLN3nLMD レジスタの LCKS ビットにかかわらず、LIN システムクロック（fLIN）は fa が選択されます（LCKS ビットは変化しません）。

25.3.1.9　RLN3nLIE — LIN 割り込み許可レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + $0C_H$

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	SHIE	ERRIE	FRCIE	FTCIE
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 25.16　RLN3nLIE レジスタの内容

ビット位置	ビット名	機能
7 ～ 4	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
3	SHIE	ヘッダ送信完了割り込み要求許可ビット 0：ヘッダ送信完了割り込み要求禁止 1：ヘッダ送信完了割り込み要求許可
2	ERRIE	エラー検出割り込み要求許可ビット 0：エラー検出割り込み要求禁止 1：エラー検出割り込み要求許可
1	FRCIE	フレーム／ウエイクアップ受信完了割り込み要求許可ビット 0：フレーム／ウエイクアップ受信完了割り込み要求禁止 1：フレーム／ウエイクアップ受信完了割り込み要求許可
0	FTCIE	フレーム／ウエイクアップ送信完了割り込み要求許可ビット 0：フレーム／ウエイクアップ送信完了割り込み要求禁止 1：フレーム／ウエイクアップ送信完了割り込み要求許可

RLN3nLIE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

SHIE ビット（ヘッダ送信完了割り込み要求許可ビット）

ヘッダ送信完了時の割り込み要求の許可／禁止を設定します。

“0” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に LINn 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの HTRC フラグが “1” になった際に LINn 送信割り込み要求が発生します。

ERRIE ビット（エラー検出割り込み要求許可ビット）

エラーを検出したときの割り込み要求の許可／禁止を設定します。

“0” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に LINn ステータス割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの ERR フラグが “1” になった際に LINn ステータス割り込み要求が発生します。

発生要因となるエラーは、ビットエラー、フィジカルバスエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラー、チェックサムエラー、レスポンス準備エラーです。

ビットエラー、フィジカルバスエラー、フレーム／レスポンスタイムアウトエラー、フレーミングエラーは、RLN3nLEDE レジスタで検出許可／禁止の設定ができます。

FRCIE ビット（フレーム／ウエイクアップ受信完了割り込み要求許可ビット）

フレーム受信完了、または ウエイクアップシグナル受信（入力信号ロウレベル幅カウント）完了時の割り込み要求の許可／禁止を設定します。

“0” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に LINn 受信完了割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FRC フラグが “1” になった際に LINn 受信完了割り込み要求が発生します。

FTCIE ビット（フレーム／ウエイクアップ送信完了割り込み要求許可ビット）

フレーム送信完了、または ウエイクアップシグナル送信完了時の割り込み要求の許可／禁止を設定します。

“0” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に LINn 送信割り込み要求が発生しません。

“1” の場合、RLN3nLST レジスタの FTC フラグが “1” になった際に LINn 送信割り込み要求が発生します。

25.3.1.10 RLN3nLEDE — LIN エラー検出許可レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + $0D_H$

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	LTES	—	—	—	FERE	FTERE	PBERE	BERE
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R/W	R/W	R/W	R/W

表 25.17　RLN3nLEDE レジスタの内容

ビット位置	ビット名	機能
7	LTES	タイムアウトエラー選択ビット 0：フレームタイムアウトエラー 1：レスポンスタイムアウトエラー
6 ~ 4	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
3	FERE	フレーミングエラー検出許可ビット 0：フレーミングエラー検出禁止 1：フレーミングエラー検出許可
2	FTERE	タイムアウトエラー検出許可ビット 0：フレーム／レスポンスタイムアウトエラー検出禁止 1：フレーム／レスポンスタイムアウトエラー検出許可
1	PBERE	フィジカルバスエラー検出許可ビット 0：フィジカルバスエラー検出禁止 1：フィジカルバスエラー検出許可
0	BERE	ビットエラー検出許可ビット 0：ビットエラー検出禁止 1：ビットエラー検出許可

RLN3nLEDE レジスタは RLN3nLMST レジスタの OMM0 ビットが “0_B” (LIN リセットモード) のときに設定してください。

LTES ビット（タイムアウトエラー選択ビット）

タイムアウトを選択するビットです。

“0” の場合、タイムアウト機能はフレームタイムアウトとして動作します。

“1” の場合、タイムアウト機能はレスポンスタイムアウトとして動作します。

タイムアウトエラーの詳細は、「25.7.6　エラーステータス」を参照してください。

FERE ビット（フレーミングエラー検出許可ビット）

フレーミングエラー検出の許可／禁止を設定します。

“0” の場合、フレーミングエラーを検出しません。

“1” の場合、フレーミングエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FER フラグに反映されます。

フレーミングエラーの詳細は、「25.7.6　エラーステータス」を参照してください。

FTERE ビット（タイムアウトエラー検出許可ビット）

フレームタイムアウトエラー または レスポンスタイムアウトエラー検出の許可／禁止を設定します。

“0” の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出しません。

“1” の場合、フレームタイムアウトエラー または レスポンスタイムアウトエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの FTER フラグに反映されます。

LTES ビットで、フレームタイムアウトエラー、レスポンスタイムアウトエラーの選択ができます。

タイムアウトエラーは、レスポンスを 9 バイト以上で送信 または 受信する場合には使用しないでください。

タイムアウトエラーの詳細は、「25.7.6　エラーステータス」を参照してください。

PBERE ビット（フィジカルバスエラー検出許可ビット）

フィジカルバスエラー検出の許可／禁止を設定します。

“0” の場合、フィジカルバスエラーを検出しません。

“1” の場合、フィジカルバスエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの PBER フラグに反映されます。

フィジカルバスエラーの詳細は、「25.7.6　エラーステータス」を参照してください。

BERE ビット（ビットエラー検出許可ビット）

ビットエラー検出の許可／禁止を設定します。

“0” の場合、ビットエラーを検出しません。

“1” の場合、ビットエラーを検出します。

このビットが “1” の場合の検出結果は、RLN3nLEST レジスタの BER フラグに反映されます。

ビットエラーの詳細は、「25.7.6　エラーステータス」を参照してください。

25.3.1.11 RLN3nLCUC — LIN 制御レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + $0E_H$

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OM1	OM0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.18　RLN3nLCUC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
1	OM1	LIN モード選択ビット 0 : LIN ウエイクアップモード 1 : LIN 動作モード
0	OM0	LIN リセットビット 0 : LIN リセットモード 1 : LIN リセットモード解除

LIN リセットモードを解除するときに、LIN ウエイクアップモードに移行させる場合は RLN3nLCUC レジスタに “01_H” を、LIN 動作モードに移行させる場合は RLN3nLCUC レジスタに “03_H” を設定してください。

LIN セルフテストモードでは、LIN セルフテストモード移行後に RLN3nLCUC レジスタを “03_H” にしてください。

このレジスタに書き込みをした後は、書き込んだ値が RLN3nLMST レジスタに反映されることを確認してから、次の値の書き込みを行ってください。

OM1 ビット（LIN モード選択ビット）

LIN リセットモード解除時の LIN 動作モード（LIN ウエイクアップモード、LIN 動作モード）選択をするビットです。

“0” にすると、LIN ウエイクアップモードになります。

“1” にすると、LIN 動作モードになります。

このビットは、RLN3nLMST レジスタの OMM0 ビットが “1” のときのみ有効になります。

このビットは、RLN3nLTRC レジスタの FTS ビットが “1” の間は書けません。

OM0 ビット（LIN リセットビット）

LIN リセットモードへの移行／ LIN リセットモードの解除を選択するビットです。

“0” にすると、LIN リセットモードになります。

“1” にすると、LIN リセットモードは解除されます。

25.3.1.12 RLN3nLTRC — LIN 送信制御レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 10_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTS	FTS
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W

表 25.19　RLN3nLTRC レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
1	RTS	レスポンス送信／受信開始ビット 0：フレームセパレートモードにおいてレスポンス送受信停止 1：フレームセパレートモードにおいてレスポンス送受信開始 注．　本製品ではフレームセパレートモードは設定禁止です。
0	FTS	フレーム送信／ウエイクアップ送受信開始ビット 0：フレーム送信／ウエイクアップ送受信停止 1：フレーム送信／ウエイクアップ送受信開始

RTS ビット（レスポンス送信／受信開始ビット）

フレームセパレートモードで、ヘッダを送信開始（FTS ビットが “1”）し、レスポンス送信データ準備完了した後に、“1” にしてください。設定後、このビットはフレーム通信終了（エラー検出時を含む）および LIN リセットモード移行時、自動的に “0” になります。

このビットは “1” のみ書けます。“0” は書けません。

このビットに “1” を書く場合は、ストア命令で “02_H” を書き込んでください。

このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。

このビットは、FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときは書けません。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループ（0 ～ 8 バイトで可変）の送受信ごとに “1” に設定してください。設定後、データグループの通信終了時または LIN リセットモード移行時に自動的に “0” になります。

FTS ビット（フレーム送信／ウエイクアップ送受信開始ビット）

フレーム送受信開始時、“1” にしてください。

また、ウエイクアップ送信、ウエイクアップ受信（入力信号ロウレベル幅カウント）を行う場合にも、このビットを “1” にしてください。

このビットは “1” のみ書けます。“0” は書けません。

このビットは、RLN3nLMST レジスタの OMM0 ビットが “0_B”（LIN リセットモード）のときは書けません。

このビットは、フレームおよびウエイクアップの通信終了時（エラー検出時を含む）に "0" になります。LIN リセットモード移行時に “0” になります。

25.3.1.13 RLN3nLMST — LIN モードステータスレジスタ

アクセス　8 ビット単位でリードのみ可能です。

アドレス　<RLIN3n_base> + 11_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	OMM1	OMM0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 25.20　RLN3nLMST レジスタの内容

ビット位置	ビット名	機能
7 ～ 2	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
1	OMM1	LIN モードステータスモニタ 0：LIN ウエイクアップモード 1：LIN 動作モード
0	OMM0	LIN リセットステータスモニタ 0：LIN リセットモード 1：LIN リセットモードでない

OMM1 ビット（LIN モードステータスモニタ）

現在の動作モードが確認できます。

OMM0 ビット（LIN リセットステータスモニタ）

現在の動作モードが確認できます。

25.3.1.14 RLN3nLST — LIN ステータスレジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 12_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	HTRC	D1RC	—	—	ERR	—	FRC	FTC
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R	R/W	R/W

表 25.21　RLN3nLST レジスタの内容

ビット位置	ビット名	機能
7	HTRC	ヘッダ送信完了フラグ 0：送信未完了 1：ヘッダ送信完了
6	D1RC	データ 1 受信完了フラグ 0：受信未完了 1：データ 1 受信完了
5、4	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
3	ERR	エラー検出フラグ 0：エラー未検出 1：エラー検出
2	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
1	FRC	フレーム／ウエイクアップ受信完了フラグ 0：受信未完了 1：フレームまたはウエイクアップ受信完了
0	FTC	フレーム／ウエイクアップ送信完了フラグ 0：送信未完了 1：フレームまたはウエイクアップ送信完了

RLN3nLST レジスタは LIN リセットモード移行時および次の通信開始（RLN3nLTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

HTRC フラグ（ヘッダ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

ヘッダ送信完了時、“1” となります。このとき RLN3nLIE レジスタの SHIE ビットが “1”（割り込み許可）の場合、LINn 送信割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

D1RC フラグ（データ 1 受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

データ 1 受信完了時、“1” となりますが割り込み要求は発生しません。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

9 バイト以上のレスポンスデータ受信を行う場合は、データグループ (0 ～ 8 バイトで可変) ごとでデータ 1 受信完了時、“1” となります。次のデータグループ受信開始前に “0” を書いてください。

ERR フラグ（エラー検出フラグ）

エラー検出（RLN3nLEST レジスタのフラグのうち 1 つでも “1”）時、“1” となります。このとき RLN3nLIE レジスタの ERRIE ビットが “1”（割り込み許可）の場合、LINn ステータス割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書いてください。ERR フラグが “0” となります。

FRC フラグ（フレーム／ウエイクアップ受信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

フレーム受信完了またはウエイクアップ受信完了時、“1” となります。このとき RLN3nLIE レジスタの FRCIE ビットが “1”（割り込み許可）の場合、LINn 受信完了割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

9 バイト以上のレスポンスデータ受信を行う場合は、データグループ（0 ～ 8 バイトで可変）の受信完了ごとに “1” となります。次のデータグループ受信開始前に “0” を書いてください。

FTC フラグ（フレーム／ウエイクアップ送信完了フラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

フレーム送信完了またはウエイクアップ送信完了時、“1” となります。このとき RLN3nLIE レジスタの FTCIE ビットが “1”（割り込み許可）の場合、LINn 送信割り込み要求が発生します。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。9 バイト以上のレスポンスデータ送信を行う場合は、データグループ (0 ～ 8 バイトで可変) の送信完了ごとに “1” となります。次のデータグループ送信開始前に “0” を書いてください。

25.3.1.15 RLN3nLEST — LIN エラーステータスレジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 13_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	RPER	—	CSER	—	FER	FTER	PBER	BER
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R	R/W	R	R/W	R/W	R/W	R/W

表 25.22　RLN3nLEST レジスタの内容

ビット位置	ビット名	機能
7	RPER	レスポンス準備エラーフラグ 0：レスポンス準備エラー未検出 1：レスポンス準備エラー検出
6	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
5	CSER	チェックサムエラーフラグ 0：チェックサムエラー未検出 1：チェックサムエラー検出
4	予約ビット	読んだ場合は、初期値が読み出されます。 書く場合は、初期値を書き込んでください。
3	FER	フレーミングエラーフラグ 0：フレーミングエラー未検出 1：フレーミングエラー検出
2	FTER	タイムアウトエラーフラグ 0：フレーム／レスポンスタイムアウトエラー未検出 1：フレーム／レスポンスタイムアウトエラー検出
1	PBER	フィジカルバスエラーフラグ 0：フィジカルバスエラー未検出 1：フィジカルバスエラー検出
0	BER	ビットエラーフラグ 0：ビットエラー未検出 1：ビットエラー検出

RLN3nLEST レジスタは LIN リセットモード移行時、および次の通信開始（RLN3nLTRC レジスタの FTS ビットが “1”）時、自動的に “00_H” になります。

LIN リセットモード中は、このレジスタへは書くことができません。LIN リセットモード中は “00_H” を保持します。

RLN3nLTRC レジスタの FTS ビットが “1”（フレーム送信／ウエイクアップ送受信開始）の間は、このレジスタに書き込まないでください。

レジスタ内の特定ビットをクリアする場合は、クリアするビットには “0” を、クリアしないビットには “1” をストア命令で書き込んでください。

RPER フラグ（レスポンス準備エラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

レスポンス準備エラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

CSER フラグ（チェックサムエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

チェックサムエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FER フラグ（フレーミングエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの FERE ビットが “1”（フレーミングエラー検出許可）で、フレーミングエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

FTER フラグ（タイムアウトエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの FTERE ビットが “1”（フレーム／レスポンスタイムアウトエラー検出許可）で、フレームタイムアウトエラーまたはレスポンスタイムアウトエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード内で “0” を書いてください。

PBER フラグ（フィジカルバスエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの PBERE ビットが “1”（フィジカルバスエラー検出許可）で、フィジカルバスエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

BER フラグ（ビットエラーフラグ）

“0” のみ書けます。“1” を書いた場合は書く前の値を保持します。

RLN3nLEDE レジスタの BERE ビットが “1”（ビットエラー検出許可）で、ビットエラー検出時、“1” となります。次の通信が始まる（RLN3nLTRC レジスタの FTS ビットが “1”）前に “0” にしたい場合は、LIN 動作モード または LIN ウエイクアップモード内で “0” を書いてください。

25.3.1.16 RLN3nLDFC — LIN データフィールド設定レジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 14_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	LSS	FSM	CSM	RFT	RFDL[3:0]			
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.23　RLN3nLDFC レジスタの内容

ビット位置	ビット名	機能
7	LSS	継続選択ビット 0：次に送受信するデータグループは最終である。 1：次に送受信するデータグループは最終ではない。 （チェックサムなし）
6	FSM	フレームセパレートモード選択ビット 0：フレームセパレートモードではない 1：フレームセパレートモード 注．　本製品ではフレームセパレートモードは設定禁止です。
5	CSM	チェックサム選択ビット 0：クラシック 1：エンハンス
4	RFT	レスポンスフィールド通信方向選択ビット 0：受信 1：送信
3 ～ 0	RFDL[3:0]	レスポンスフィールド長設定ビット b3　b0 0 0 0 0：0 バイト (+ チェックサム) 0 0 0 1：1 バイト (+ チェックサム) 0 0 1 0：2 バイト (+ チェックサム) ： 0 1 1 1：7 バイト (+ チェックサム) 1 0 0 0：8 バイト (+ チェックサム) 上記以外は設定しないでください。

LSS ビット（継続選択ビット）

9 バイト以上のレスポンスデータ送受信を行う場合に、次に送受信するデータグループが最後でないことを示すためのビットです。

“0” の場合、次に送信または受信するデータグループが最後として、データとチェックサムの送信または 受信を行います。

“1” の場合、次に送信または受信するデータグループが最後でないため、データのみの送信または受信を行ない、チェックサムは含みません。

このビットは、FSM ビットが “1”（フレームセパレートモード）で、かつ 9 バイト以上のレスポンスデータ送受信を行う場合にのみ設定してください。

このビットは、RLN3nLTRC レジスタの RTS ビットが “0”（レスポンス送受信停止）のときに設定してください。

FSM ビット（フレームセパレートモード選択ビット）

レスポンス通信の方式を設定します。

“0” の場合、フレームセパレートモードになりません。ヘッダ送信開始（RLN3nLTRC レジスタの FTS ビットが “1”）後、RLN3nLTRC レジスタの RTS ビットのセットなしに、レスポンスの送受信を行います。

“1” の場合、フレームセパレートモードになります。ヘッダ送信中に RLN3nLTRC レジスタの RTS ビットを “1” にした場合、ヘッダ送信完了を待ってからレスポンス送信を行います。

8 バイト以下のレスポンス受信（RFT ビットが “0”）時は、このビットを “0” に設定してください。

LIN セルフテストモードに移行する場合は、移行前にこのビットを “0” に設定してください。

フレームセパレートモードの詳細は「25.7.3.1　LIN フレームの送信」を参照してください。

このビットは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、このビットを “1” にしてください。

CSM ビット（チェックサム選択ビット）

チェックサムの方式の設定をします。

“0” の場合、チェックサムの方式はクラシックとなります。

“1” の場合、チェックサムの方式はエンハンスとなります。

タイムアウトエラーを使用する（RLN3nLEDE レジスタの FTERE ビットが “1”）場合は、このビット設定によりタイムアウト時間が異なります。詳細は「25.7.6　エラーステータス」を参照してください。

このビットは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最後のデータグループ（LSS ビットが “0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが “1”）はチェックサムを含みません。

RFT ビット（レスポンスフィールド通信方向選択ビット）

レスポンスフィールド／ウエイクアップシグナルの通信方向を設定します。

“0” の場合、レスポンスフィールドで受信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ受信（入力信号ロウレベル幅カウント）を行います。

“1” の場合、レスポンスフィールドで送信を行います。また、LIN ウエイクアップモードでは、ウエイクアップ送信を行います。

このビットは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

9 バイト以上のレスポンスデータ送受信を行う場合は、最初のデータグループ以降、最後のデータグループまで、このビットの設定を変えないでください。

RFDL[3:0] ビット（レスポンスフィールド長設定ビット）

レスポンスフィールドのデータ長を設定します。

データ長は 0 ～ 8 バイトまで設定でき、データ長にはチェックサムのサイズを含みません。

FSM ビットが “0”（フレームセパレートモードではない）で、レスポンス送信を行う場合は、ヘッダ送信前（RLN3nLTRC レジスタの FTS ビットが “0”）に、これらのビットを設定してください。

FSM ビットが “1”（フレームセパレートモード）で、レスポンス送信を行う場合は、レスポンス送信前（RLN3nLTRC レジスタの RTS ビットが “0”）に、これらのビットを設定してください。

レスポンスの受信を行う場合は、ヘッダ送信前（RLN3nLTRC レジスタの FTS ビットが “0”）に、これらのビットを設定してください。

9 バイト以上のレスポンスデータの送受信を行う場合は、データグループの送受信前（RLN3nLTRC レジスタの RTS ビットが “0”）に、これらのビットを設定してください。最後のデータグループ（LSS ビットが “0”）のみチェックサムを含み、それ以外のデータグループ（LSS ビットが “1”）はチェックサムを含みません。

25.3.1.17 RLN3nLIDB — LIN ID バッファレジスタ

アクセス　8 ビット単位でリード／ライトが可能です。

アドレス　<RLIN3n_base> + 15_H

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	IDP[1:0]		ID[5:0]					
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.24　RLN3nLIDB レジスタの内容

ビット位置	ビット名	機能
7	IDP1	パリティ設定ビット (P1) ID フィールドで送信するパリティ (P1) ビットを設定
6	IDP0	パリティ設定ビット (P0) ID フィールドで送信するパリティ (P0) ビットを設定
5 ～ 0	ID[5:0]	ID 設定ビット ID フィールドで送信する 6 ビットの ID 値を設定

このレジスタは、RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、「25.8　LIN セルフテストモード」を参照してください。

IDP[1:0] ビット（パリティビット）

LIN フレームの ID フィールドで送信するパリティ（P0、P1）ビットを設定します。IDP0 が P0、IDP1 が P1 です。

パリティは自動演算されないため、演算値を設定してください。誤った演算結果を設定した場合もそのまま送信します。

ID[5:0] ビット（ID 設定ビット）

LIN フレームの ID フィールドで送信する 6 ビットの ID を設定します。

25.3.1.18 IRLN3nLCBR — LIN チェックサムバッファレジスタ

アクセス　8 ビット単位でリードのみ可能です。ただし、LIN セルフテストモード時は、8 ビット単位でリード／ライト可能です。

アドレス　<RLIN3n_base> + 16_H

初期値　00H

ビット	7	6	5	4	3	2	1	0
	CKSM[7:0]							
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.25　RLN3nLCBR レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	CKSM[7:0]	チェックサムの送受信データを格納します

LIN モード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが “1”（送信）の場合：
  送信した値を読むことができます。読み出す場合は、送信完了後に行ってください。
  書き込みは無効になります。
- RLN3nLDFC レジスタの RFT ビットが “0”（受信）の場合：
  受信した値を読むことができます。読み出す場合は、受信完了後に行ってください。
  書き込みは無効になります。

LIN セルフテストモード時は、以下のとおりとなります。

- RLN3nLDFC レジスタの RFT ビットが “1”（送信）の場合：
  フレーム送信完了後（ループバック後）、受信した値の反転値を読むことができます。
- RLN3nLDFC レジスタの RFT ビットが “0”（受信）の場合：
  通信前に受信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「25.8　LIN セルフテストモード」**を参照してください。

このレジスタは RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）のときに設定してください。

9 バイト以上のレスポンスデータ送信 または レスポンスデータ受信を行う場合は、最後のデータグループにのみチェックサムが付加されるため、それ以外のデータグループではこのレジスタは更新されません。

25.3.1.19 RLN3nLDBRm — LIN データバッファ m レジスタ（m = 1 ～ 8）

アクセス　8 ビット単位でリード / ライトが可能です。

アドレス　RLN3nLDBR1：<RLIN3n_base> + 18_H
RLN3nLDBR2：<RLIN3n_base> + 19_H
RLN3nLDBR3：<RLIN3n_base> + $1A_H$
RLN3nLDBR4：<RLIN3n_base> + $1B_H$
RLN3nLDBR5：<RLIN3n_base> + $1C_H$
RLN3nLDBR6：<RLIN3n_base> + $1D_H$
RLN3nLDBR7：<RLIN3n_base> + $1E_H$
RLN3nLDBR8：<RLIN3n_base> + $1F_H$

初期値　00_H

ビット	7	6	5	4	3	2	1	0
	LDB[7:0]							
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 25.26　RLN3nLDBRm　(m = 1 ～ 8）レジスタの内容

ビット位置	ビット名	機能
7 ～ 0	LDB[7:0]	送信データを設定、または受信データを読み出し 設定範囲：00_H ～ FF_H

レスポンス送信の場合：

レスポンスフィールドで送信するデータを設定します。

これらのレジスタは以下の状態で設定してください。

- RLN3nLDFC レジスタの RFT ビットが “1”（送信）
- RLN3nLDFC レジスタの FSM ビットが “0”（フレームセパレートモードではない）
- RLN3nLTRC レジスタの FTS ビットが “0”（フレーム送信／ウエイクアップ送受信停止）

または

- RLN3nLDFC レジスタの RFT ビットが “1”（送信）
- RLN3nLDFC レジスタの FSM ビットが “1”（フレームセパレートモード）
- RLN3nLTRC レジスタの RTS ビットが “0”（レスポンス送信 / 受信停止）

レスポンス受信の場合：

レスポンスフィールドで受信したデータが格納されます。

受信データは上書きされます。また、エラー検出時は、エラーを検出したバイトまでのデータが格納されます。

これらのレジスタは、FTS ビットが “1”（フレーム送信／ウエイクアップ送受信開始）のときに読み出さないでください。

9 バイト以上のレスポンス送信の場合：

これらのレジスタは以下の状態で設定してください。

- RLN3nLDFC レジスタの RFT ビットが “1”（送信）
- RLN3n LDFC レジスタの FSM ビットが “1”（フレームセパレートモード）
- RLN3nLTRC レジスタの RTS ビットが “0”（レスポンス送信 / 受信停止）

9 バイト以上のレスポンス受信の場合：

これらのレジスタは、RTS ビットが “1”（レスポンス送信 / 受信開始）のときに読み出さないでください。

LIN セルフテストモード時は、以下の通りとなります。

通信前に送信する値を書いてください。フレーム送受信完了後（ループバック後）、受信した値の反転値を読むことができます。

LIN セルフテストモードの詳細は、**「25.8　LIN セルフテストモード」**を参照してください。

25.4　割り込み 要因

LIN インタフェースは 4 種類の割り込み要求を生成します。

- LINn 送信割り込み
- LINn 受信完了割り込み
- LINn ステータス割り込み
- LINn 割り込み

RLN3nLMD レジスタの LIOS ビットを “0” にすると、全ての割り込み要因の論理和をとって、LINn 割り込みから割り込み要求を出力します。

RLN3nLMD レジスタの LIOS ビットを “1” にすると、要因に応じて LINn 送信割り込み、LINn 受信完了割り込み、LINn 受信ステータスエラー割り込みの要求を出力します。

表 25.27 に各割り込みの要因を示します。

表 25.27　割り込み要因

		RLN3nLMD レジスタの LIOS ビットが “0”	RLN3nLMD レジスタの LIOS ビットが “1”		
		LINn 割り込み	LINn 送信割り込み	LINn 受信完了割り込み	LINn 受信ステータス割り込み
LIN モード	LIN マスタモード	• フレーム送信完了 • フレーム受信完了 • ウエイクアップ送信完了 • ウエイクアップ受信完了 • ヘッダ送信完了 • ビットエラー • フィジカルバスエラー • フレーム／レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー	• フレーム送信完了 • ウエイクアップ送信完了 • ヘッダ送信完了	• フレーム受信完了 • ウエイクアップ受信完了	• ビットエラー • フィジカルバスエラー • フレーム／レスポンスタイムアウトエラー • フレーミングエラー • チェックサムエラー • レスポンス準備エラー

それぞれの割り込み要求は、RLN3nLIE レジスタの対応するビットが “1”（割り込み許可）のときに、RLN3nLST レジスタの対応するフラグが “1” になると出力されます。

25.5　モード

LIN インタフェースには、機能に応じた次の 3 つのモードがあります。

- LIN リセットモード
- LIN モード (LIN マスタモード)
- LIN セルフテストモード

LIN リセットモードの場合、LIN インタフェースへのクロック供給が停止されるため、消費電力を低減することができます。

図 25.2 にモードの移行、**表 25.28** にモード移行条件、**表 25.29** に各モードで可能な動作を示します。

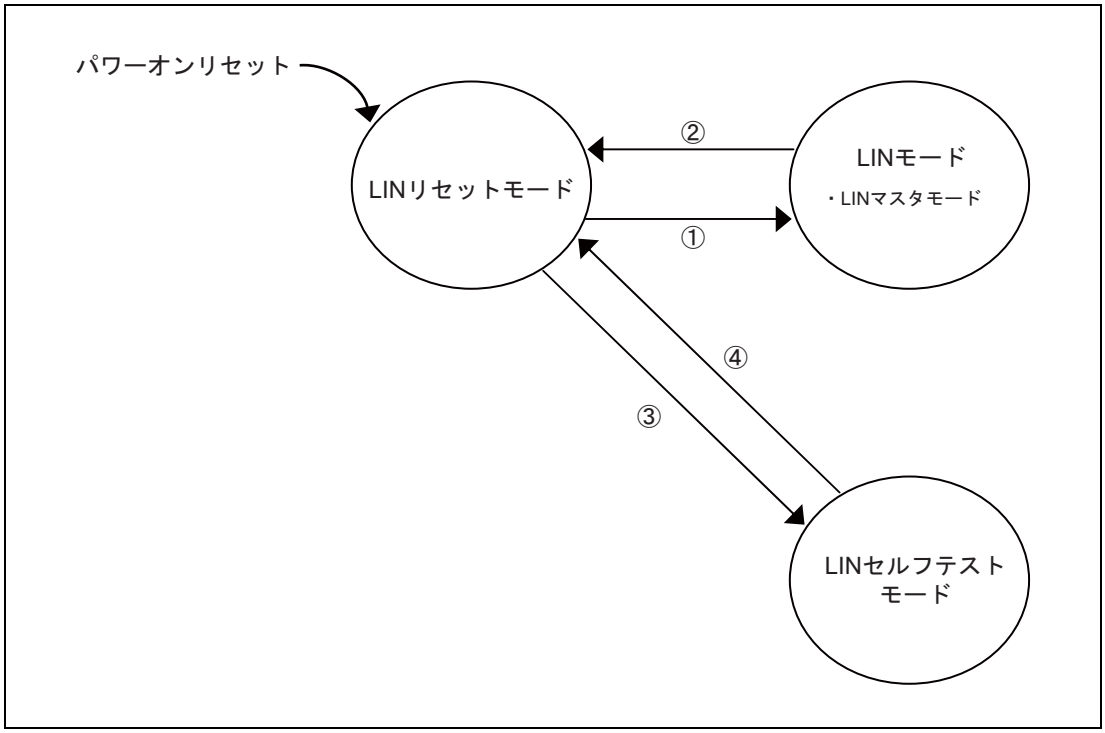


図 25.2　モードの移行

表 25.28　各モードの移行条件

	移行モード			移行条件
①	LIN リセットモード	→	LIN モード (LIN マスタモード)	RLN3nLMD.LMD = “00_B” かつ RLN3nLCUC.OM1, OM0 = “01_B” または “11_B”
②	LIN モード	→	LIN リセットモード	RLN3nLCUC.OM0 = “0_B”
③	LIN リセットモード	→	LIN セルフテスト モード	「25.8　LIN セルフテストモード」参照
④	LIN セルフテストモード	→	LIN リセットモード	「25.8　LIN セルフテストモード」参照

表 25.29　各モードで可能な動作

LIN モード	LIN セルフテストモード
LIN マスタモード	
ヘッダ送信 レスポンス送信 レスポンス受信 ウエイクアップ送信 ウエイクアップ受信 エラー検出	セルフテスト

RLN3nLMD レジスタの LMD ビット および RLN3nLMST レジスタの OMM0 ビットを読むことで、LIN リセットモード、LIN モードへ移行したことを確認できます。

LIN セルフテストモードについては、**「25.8　LIN セルフテストモード」**を参照してください。

25.6　LIN リセットモード

RLN3nLCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にすると、LIN リセットモードに移行します。RLN3nLMST レジスタの OMM0 ビットが “0”（LIN リセットモード）になることで、LIN リセットモードに移行したことが確認できます。このモードのとき、LIN 通信機能は停止しています。

LIN リセットモードに移行する際に、LIN の転送要求で起動する DMA チャネルがある場合は、当該チャネルを停止させて下さい。

DMA の停止についてはダイレクトメモリアクセスコントローラの章を参照して下さい。

LIN リセットモードからは、LIN モード、LIN セルフテストモードに移行できます。

以下のレジスタは、LIN リセットモードに移行した後、それぞれのリセット後の値に初期化され、LIN リセットモード中は初期値を保持します。

- RLN3nLTRC レジスタ
- RLN3nLST レジスタ
- RLN3nLEST レジスタ

以下のレジスタは、LIN リセットモードに移行した後も、以前の値を保持します。

- RLN3nLWBR レジスタ
- RLN3nLBRP0 レジスタ
- RLN3nLBRP1 レジスタ
- RLN3nLMD レジスタ
- RLN3nLBFC レジスタ
- RLN3nLSC レジスタ
- RLN3nLWUP レジスタ
- RLN3nLIE レジスタ
- RLN3nLEDE レジスタ
- RLN3nLDFC レジスタ
- RLN3nLIDB レジスタ
- RLN3nLCBR レジスタ
- RLN3nLDBRm レジスタ（m = 1 ～ 8）

25.7　LIN モード

LIN モードには、LIN マスタモードがあります。

LIN マスタモードでは、ヘッダ送信、レスポンス送信、レスポンス受信、ウエイクアップ送信、ウエイクアップ受信、エラー検出が可能です。

LIN リセットモードで、RLN3nLMD レジスタの LMD ビットを “00_B”（LIN マスタモード）に設定し、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “01_B” または “11_B” にすると LIN マスタモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが “01_B” または “11_B” になります。

LIN モードには、次の 2 つの動作モードがあります。

- LIN 動作モード
- LIN ウエイクアップモード

図 25.3 に動作モードの移行、表 25.30 に動作モード移行条件を示します。

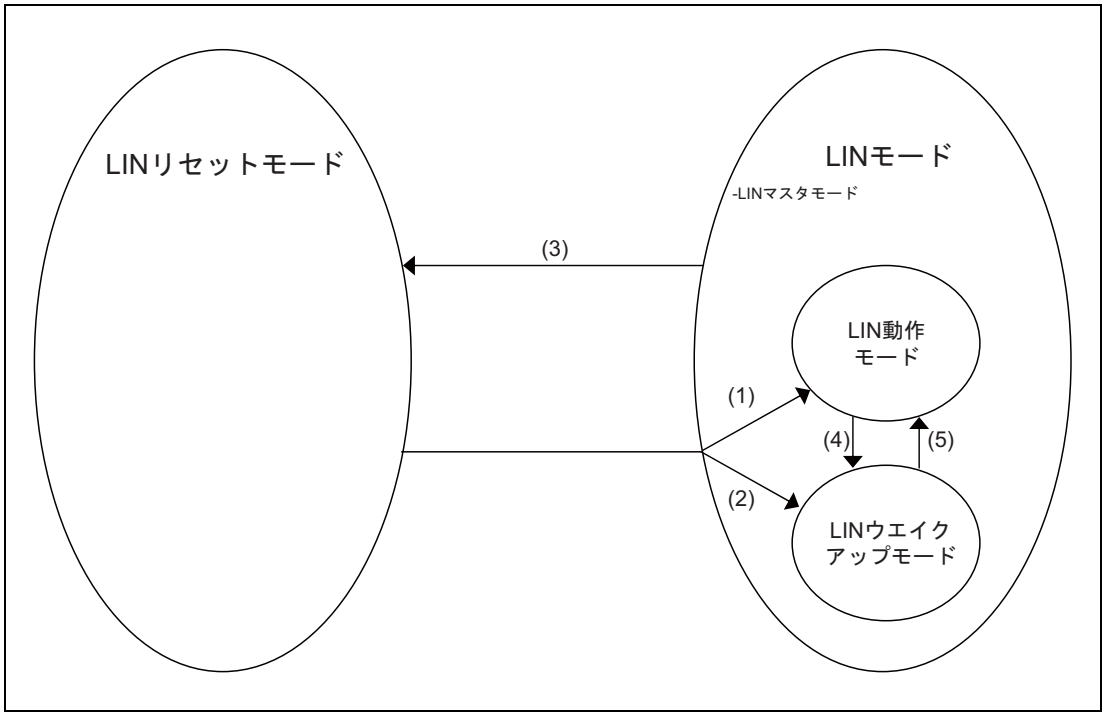


図 25.3　動作モードの移行

表 25.30　動作モード移行条件

	移行モード			移行条件
(1)	LIN リセットモード	→	LIN モード • LIN 動作モード	RLN3nLMD.LMD = "00_B" かつ RLN3nLCUC.OM1, OM0 = “11_B”
(2)	LIN リセットモード	→	LIN モード • LIN ウエイクアップモード	RLN3nLMD.LMD = "00_B" かつ RLN3nLCUC.OM1, OM0 = “01_B”
(3)	LIN モード • LIN 動作モード • LIN ウエイクアップモード	→	LIN リセットモード	RLN3nLCUC.OM0 = “0_B”
(4) 注 1	LIN モード • LIN 動作モード	→	LIN モード • LIN ウエイクアップモード	RLN3nLCUC.OM1, OM0 = “01_B”
(5) 注 1	LIN モード • LIN ウエイクアップモード	→	LIN モード • LIN 動作モード	RLN3nLCUC.OM1, OM0 = “11_B”

注 1.　LIN 動作モード⇔ LIN ウエイクアップモードの移行は、通信中（RLN3nLTRC レジスタの FTS ビットが “1”）の間はできません。

(1) LIN 動作モード

LIN 動作モードでは、フレーム処理 (ヘッダ送信、ヘッダ受信、レスポンス送信、レスポンス受信、エラー検出) をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “11_B” にすると LIN 動作モードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが “11_B” になります。OMM1 ビット、OMM0 ビットが “11_B” になるのを待ってから、通信設定を行ってください。

(2) LIN ウエイクアップモード

LIN ウエイクアップモードでは、ウエイクアップシグナル処理（ウエイクアップ送信、ウエイクアップ受信、エラー検出）をします。

LIN リセットモードから LIN モードに移行する際に、RLN3nLCUC レジスタの OM1 ビット、OM0 ビットを “01_B” にすると LIN ウエイクアップモードになり、RLN3nLMST レジスタの OMM1 ビット、OMM0 ビットが “01_B” になります。OMM1 ビット、OMM0 ビットが “01_B” になるのを待ってから、通信設定を行ってください。

25.7.1　LIN マスタモード

25.7.1.1　ヘッダ送信

図 25.4 に LIN インタフェース（LIN マスタモード）のヘッダ送信時の動作、表 25.31 にヘッダ送信時の処理を示します。

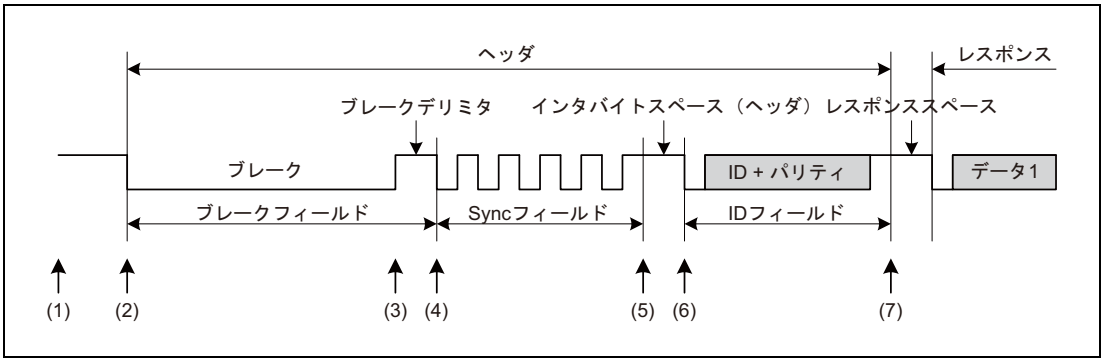


図 25.4　ヘッダ送信時の動作

表 25.31　ヘッダ送信時の処理

	ソフトウェア処理	LIN インタフェース処理
(1)	• ボーレートを設定 • ノイズフィルタ ON/OFF を設定 • 割り込み許可を設定 • エラー検出許可を設定 • フレーム構成パラメータを設定 • LIN インタフェースを LIN マスタモード:LIN 動作モードに移行 • 送信するフレーム情報（ID、パリティ、データ長、レスポンス方向、チェックサム方式、送信データ）を設定	ソフトウェアによる RLN3nLTRC レジスタの FTS ビット設定待ち（アイドル）
(2)	RLN3nLTRC レジスタの FTS ビットを “1”（フレーム送信／ウエイクアップ送受信開始）にする	ブレーク送信
(3)	割り込み要求待ち	ブレークデリミタ送信
(4)		Sync フィールド（55_H）送信
(5)		インタバイトスペース（ヘッダ）送信
(6)		ID フィールド送信
(7)		ヘッダ送信完了フラグ設定

備考　エラー検出に関しては、「25.7.6　エラーステータス」を参照してください。

25.7.1.2　レスポンス送信

図 25.5 に LIN インタフェース（LIN マスタモード）のレスポンス送信時の動作、表 25.32 にレスポンス送信時の処理を示します。

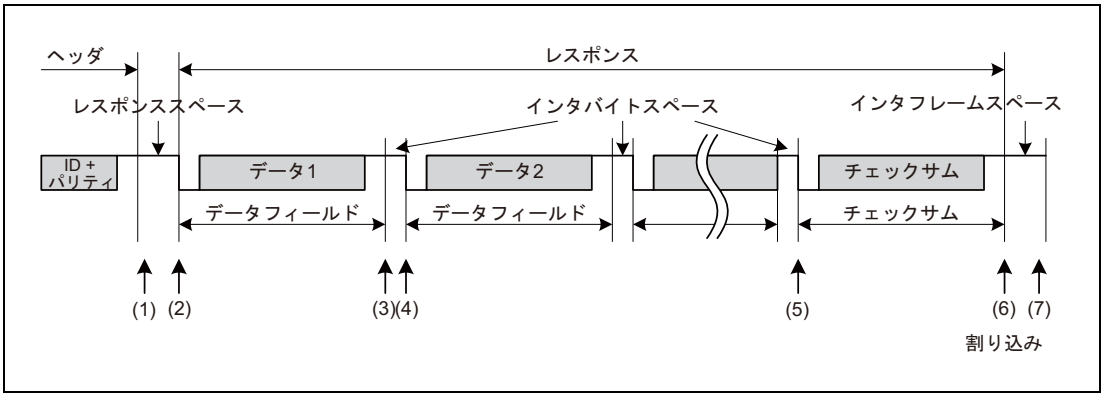


図 25.5　　レスポンス送信時の動作

表 25.32　レスポンス送信時の処理

	ソフトウェア処理	LIN インタフェース処理
(1)	（フレームセパレートモード時） • RLN3nLTRC レジスタの RTS ビットに “1” を設定（レスポンス送信 / 受信開始） （フレームセパレートモードでないとき） • 割り込み要求発生待ち	（フレームセパレートモード時） • ソフトウェア処理による RLN3nLTRC レジスタの RTS ビットの “1” 設定待ち • “1” に設定されたあと、レスポンススペースを送信 （フレームセパレートモードでないとき） • レスポンススペースを送信
(2)	割り込み要求発生待ち	データ 1 送信
(3)		インタバイトスペース送信
(4)		• データ 2 送信 • インタバイトスペース送信 • データ 3 送信 • インタバイトスペース送信 （RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。） ： ：
(5)		チェックサム送信
(6)		• フレーム／ウエイクアップ送信完了フラグ設定 • RLN3nLTRC レジスタの FTS ビットを “0”（フレーム送信／ウエイクアップ送受信停止）にする（フレームセパレートモード時） • RLN3nLTRC レジスタの RTS ビットを “0”（レスポンス送信 / 受信停止）にする
(7)	• 通信後の処理 RLN3nLST レジスタのチェック、フラグのクリア	アイドル

備考　エラー検出に関しては、「25.7.6　エラーステータス」を参照してください。

25.7.1.3　レスポンス受信

図 25.6 に LIN インタフェース（LIN マスタモード）のレスポンス受信時の動作、表 25.33 にレスポンス受信時の処理を示します。

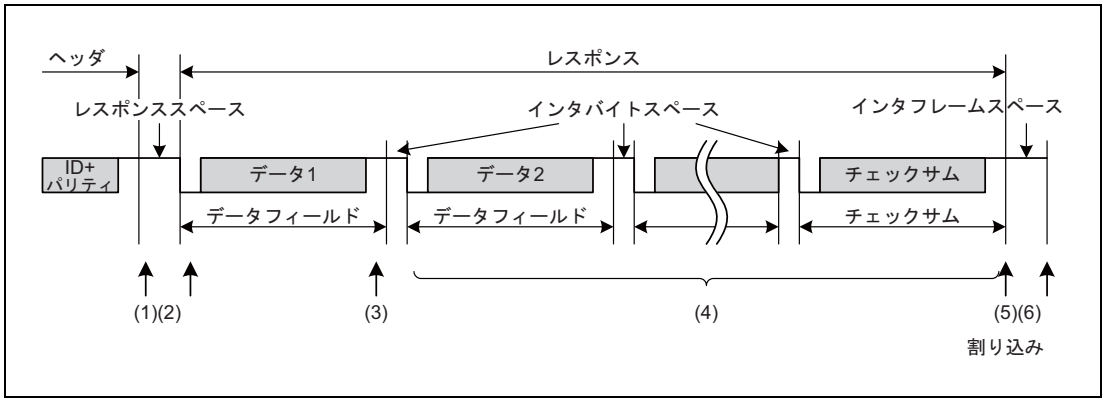


図 25.6　　レスポンス受信時の動作

表 25.33　レスポンス受信時の処理

	ソフトウェア処理	LIN インタフェース処理
(1)	割り込み要求発生待ち（処理はなし）	スタートビット検出待ち
(2)	割り込み要求発生待ち	スタートビット検出によりデータ 1 受信
(3)		データ 1 受信完了フラグ設定
(4)		• スタートビット検出によりデータ 2 受信 • スタートビット検出によりデータ 3 受信 （RLN3nLDFC レジスタの RFDL[3:0] ビットで指定したデータ長分繰り返す。） : : • スタートビット検出によりチェックサム受信
(5)		• チェックサム判定 • フレーム／ウエイクアップ受信完了フラグ設定 • RLN3nLTRC レジスタの RTS ビットを “0”（レスポンス送信／受信停止）にする
(6)	• 通信後の処理 受信データの読み出し RLN3nLST レジスタのチェック、フラグのクリア	アイドル

備考　エラー検出に関しては、「25.7.6　エラーステータス」を参照してください。

25.7.2　データ送信／受信

25.7.2.1　データ送信

データ送信は、1 Tbit に 1 ビットずつ行われます。

送信したデータは、LIN トランシーバを経由して受信データ入力端子に戻ってきます。この受信データと送信したデータの比較がビットごとに行われ、結果は RLN3nLEST レジスタの BER フラグに格納されます（**「25.7.6　エラーステータス」**参照）。

LIN マスタモードでは、1 Tbit = 16fLIN で生成され、受信データのサンプリングポイントは 13 クロック目（81.25% 位置）になります。

図 25.7 にデータ送信タイミングの例を示します。

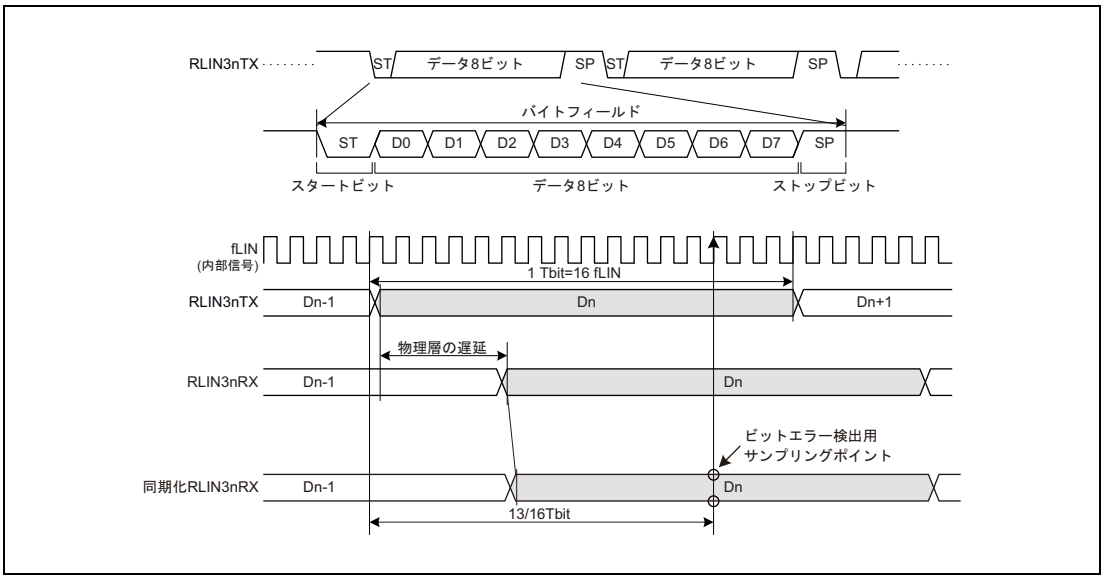


図 25.7　データ送信タイミング例（LIN マスタモード）

25.7.2.2　データ受信

データ受信は、RLIN3nRX 端子からの入力をプリスケーラクロックに同期させた同期化 RLIN3nRX（内部信号）を使用して行います。

この同期化 RLIN3nRX 信号のスタートビットの立ち下がりエッジでバイトフィールドの同期を合わせます。立ち下がりエッジ検出後、一定時間後に再度サンプリングを行い、同期化 RLIN3nRX 信号がロウレベルであった場合にスタートビットと認識します。リセット解除後から RLIN3nRX 信号がロウレベル固定の場合や、再サンプリング時に ハイレベルを検出した場合はスタートビットとは認識しません。

スタートビット検出後は、1 Tbit ごとにビットのサンプリングを行います。

LIN インタフェースは、受信データに対するノイズフィルタ機能をもっています。RLN3nLMD レジスタの LRDNFS ビットが “0” の場合は、ノイズフィルタ使用となり、サンプリングの値はプリスケーラクロックで 3 サンプリング多数決により決定した値を使用します。RLN3nLMD レジスタの LRDNFS ビットが “1” の場合は、ノイズフィルタ未使用となり、サンプリングの値はサンプリング位置での同期化 RLIN3nRX 値の値をそのまま使用します。

図 25.8 にデータ受信タイミングの例を示します。

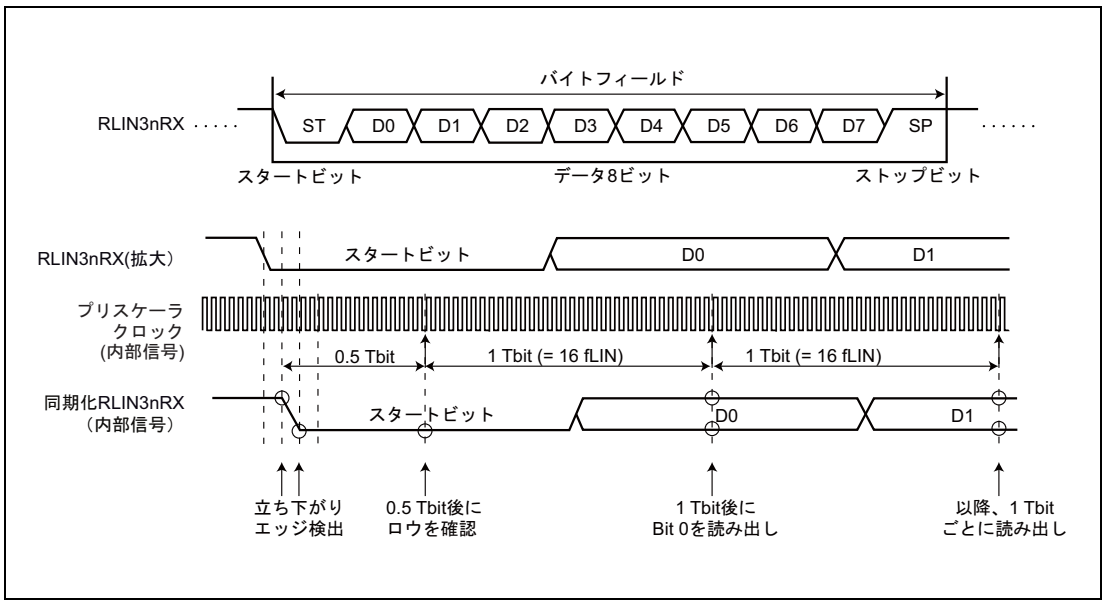


図 25.8　　データ受信タイミング例

25.7.3　送信／受信データのバッファ処理

LIN インタフェースの連続データ送受信時のバッファ処理について説明します。

25.7.3.1　LIN フレームの送信

8 バイト送信の場合、RLN3nLDBR1 レジスタ～ RLN3nLDBR8 レジスタに格納されている内容が、順番に LIN フレームのデータ 1 ～ 8 領域に送信されます。4 バイト送信の場合は、RLN3nLDBR1 レジスタ～ RLN3nLDBR4 レジスタに格納されている内容が LIN フレームのデータ 1 ～ 4 領域に送信され、RLN3nLDBR5 レジスタ～ RLN3nLDBR8 レジスタの内容は送信されません。また、RLN3nLCBR レジスタには送信したチェックサムデータが格納されます。

図 25.9 に LIN 送信処理とバッファを示します。

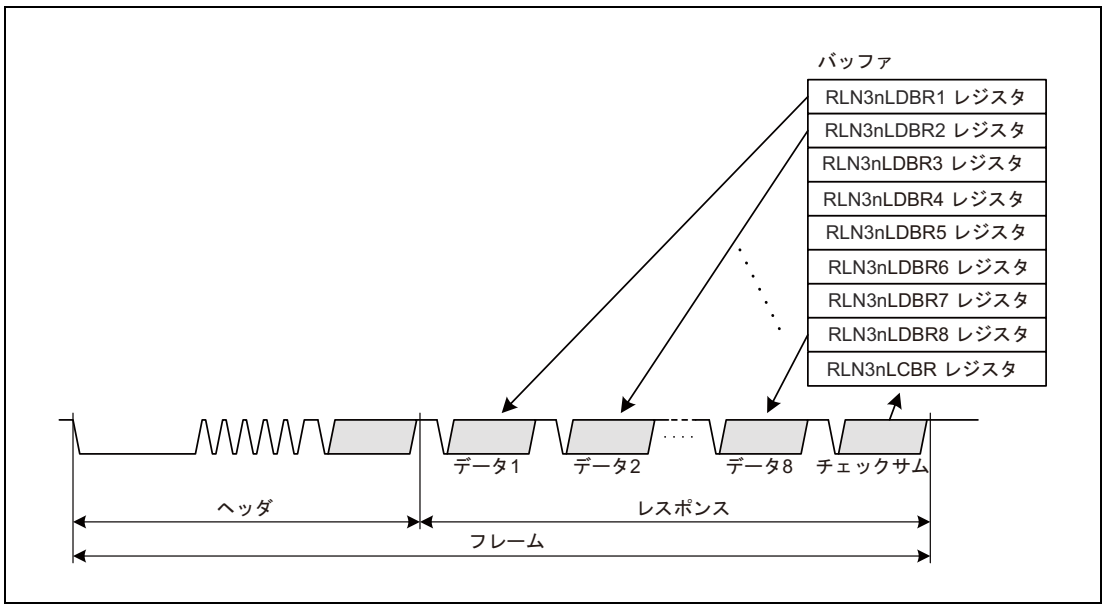


図 25.9　LIN 送信処理とバッファ

(1) フレームセパレートモード

RLN3nLDFC レジスタの FSM ビットを “1” にすることにより、フレームセパレートモードになります。

ヘッダとレスポンスを別々の送信開始要求により送信するモードです。

ヘッダ送信が完了すると RLN3nLST レジスタの HTRC フラグが “1”（ヘッダ送信完了）になります。

LIN マスタモードで 9 バイト以上のレスポンスデータ送信 または レスポンスデータ受信を行なう場合は、フレームセパレートモードを使用してください。

25.7.3.2　LIN フレームの受信

8 バイト受信の場合、LIN フレームのデータ 1 ～ 8 領域の内容が、ストップビットを受信するごとにそれぞれの RLN3nLDBR1 レジスタ～ RLN3nLDBR8 レジスタに格納されます。4 バイト受信の場合は、LIN フレームのデータ 1 ～ 4 領域の内容が、それぞれ RLN3nLDBR1 レジスタ～ RLN3nLDBR4 レジスタに格納され、RLN3nLDBR5 レジスタ～ RLN3nLDBR8 レジスタには何も格納されません。また、RLN3nLCBR レジスタには受信したチェックサムデータが格納されます。

図 25.10 に LIN 受信処理とバッファを示します。

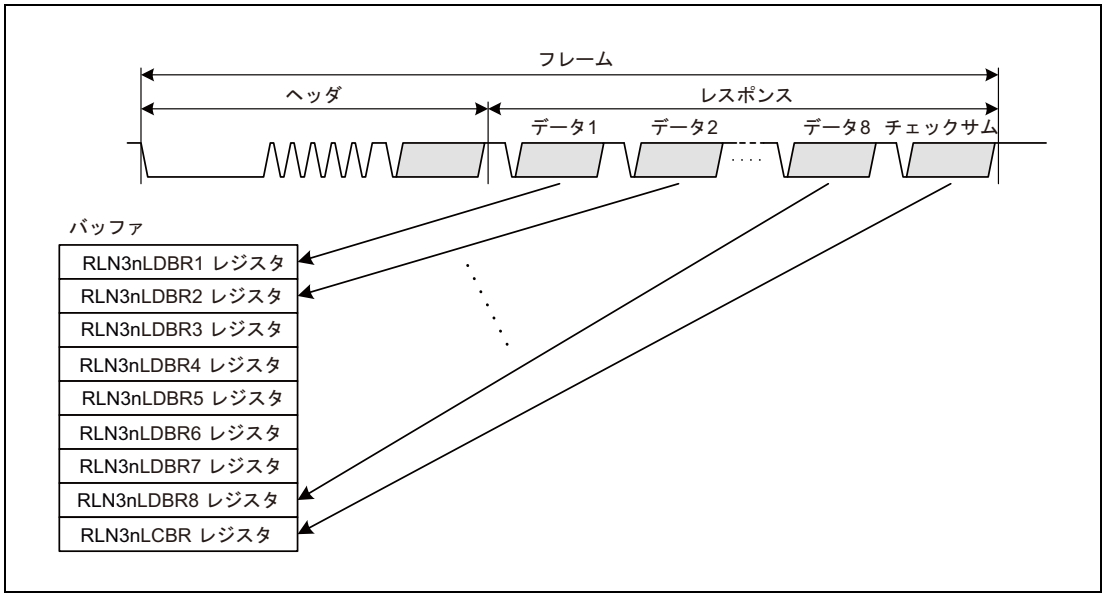


図 25.10　LIN 受信処理とバッファ

(1) データ 1 受信

1 バイト目のデータ受信が完了すると、RLN3nLST レジスタの D1RC フラグが “1”（データ 1 受信完了）になります。

25.7.3.3　多バイトレスポンス送受信機能

通常 LIN 通信において、レスポンスはチェックサムを含み 9 バイト以下ですが、10 バイト以上のレスポンスを送受信することが可能です。

この時、ビットエラー、フレーミングエラー、レスポンス準備エラー検出機能 および 自動チェックサム機能は有効です。

データ長が 8 バイトより多い場合は、最初のデータグループ (0 ～ 8 バイトで可変) で RLN3nLDFC レジスタの LSS ビットを “1”（次に送受信するデータグループは最終ではない）に設定し、送信 または 受信します。送信 または 受信後、ユーザは次のデータグループが最後かどうかの判定を行い、最後のデータグループの場合は、RLN3nLDFC レジスタの LSS ビットを “0”（次に送受信するデータグループは最終である）に設定し、送信または受信します。チェックサムは最後のデータグループに付加します。

ユーザは、RLN3nlTRC レジスタの RTS ビットが “0” の時に RLN3nLDFC レジスタの RFDL ビットの設定を変更することにより、データグループごとにデータ長を変更することができます。

LIN マスタモードで、多バイトレスポンス送受信を行う場合は、RLN3nLDFC レジスタの FSM ビットを “1”（フレームセパレートモード）に設定して行ってください。

25.7.4　ウエイクアップ送信／受信

ウエイクアップの送受信は LIN ウエイクアップモードで使用できます。

25.7.4.1　ウエイクアップ送信動作

LIN ウエイクアップモード時、RLN3nLDFC レジスタの RCDS ビットを “1”（送信）、RLN3nLTRC レジスタの FTS ビットを “1”（ヘッダ受信／ウエイクアップ送受信開始）にすると、出力端子からウエイクアップ信号が出力されます。ウエイクアップ信号のロウ幅は RLN3nLWUP レジスタの WUTL[3:0] ビットで設定します。ただし、RLN3nLWBR レジスタの LWBR0 ビットが “1”（LIN2.x 使用時）の場合は、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN システムクロック（fLIN）が fa でのロウレベル幅になります。fa 選択時のボーレートを 19200 bps に、RLN3nLWUP レジスタの WUTL[3:0] ビットを “0100_B”（5Tbits）に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定にかかわらず、LIN ウエイクアップモード時に 260 µs のロウ幅を出力することができます。

ビットエラーなくウエイクアップのロウレベルが出力された場合、RLN3nLST レジスタの FTC フラグが “1”（フレーム・レスポンスまたはウエイクアップ送信完了）になり、RLN3nLIE レジスタの FTCIE ビットが “1”（フレーム・レスポンス／ウエイクアップ送信完了割り込み許可）のとき LINn 送信割り込み要求が発生します。

RLN3nLEDE.BERE がセットされていてビットエラーを検出した場合は、ウエイクアップ送信を中断し、RLN3nLEST レジスタの BER フラグを “1”（ビットエラー検出）にします。

RLN3nLEDE.PBERE がセットされている場合は、ビットエラーと同時に RLN3nLEST.PBER フラグを “1”（フィジカルバスエラー検出）にします。

図 25.11 にウエイクアップ送信タイミングを示します。

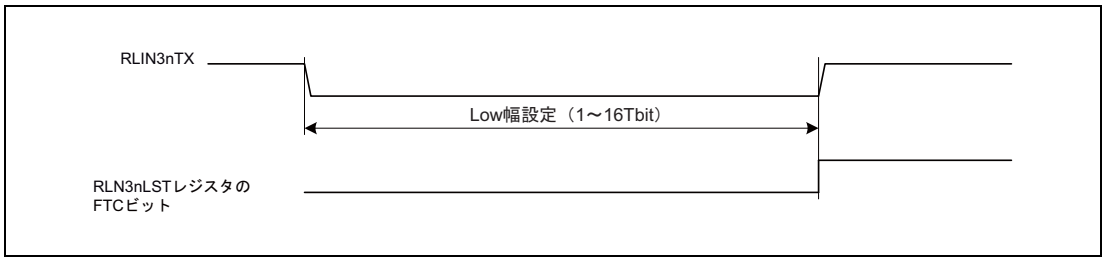


図 25.11　ウエイクアップ送信タイミング

25.7.4.2　ウエイクアップ受信動作

ウエイクアップを検出するには、入力信号ロウレベル幅カウント機能を使用します。

入力信号ロウレベル幅カウント機能は、データ受信と同じサンプリングポイントで RLIN3nRX 端子への入力信号のロウレベル幅を計測する機能です。入力信号ロウレベル幅を fLIN の 2.5 Tbit 以上で計測することができます。

RLN3nLWBR レジスタの LWBR0 ビットの設定により、LIN 動作モードと LIN ウエイクアップモードの切り替え時に、ボーレートジェネレータの設定を変更することなく、動作させることが可能です。

LIN Specification Package Revision 1.3 使用時は、RLN3nLWBR レジスタの LWBR0 ビットを “0” に、LIN Specification Package Revision 2.x 使用時は “1” に設定してください。LWBR0 ビットを “1” にすると RLN3nLMD レジスタの LCKS ビットの設定にかかわらず LIN システムクロック（fLIN）が fa になります。（LCKS ビットは変化しません）。fa 選択時のボーレートを 19200bps に設定することにより、RLN3nLMD レジスタの LCKS ビットの設定に関わらず、LIN ウエイクアップモード時に 130µs 以上の入力信号ロウレベル幅を検出することができます。

ウエイクアップ受信機能を使用する場合、LIN ウエイクアップモードにて、RLN3nLDFC レジスタの RFT ビットを “0”（レスポンス受信）に設定後、RLN3nLTRC レジスタの FTS ビットを “1”（フレーム送信（ヘッダ受信）／ウエイクアップ送受信開始）にしてください。

計測するロウレベル幅に達すると RLN3nLST レジスタの FRC フラグが “1”（フレーム・レスポンスまたはウエイクアップ受信完了）になり、RLN3nLIE レジスタの FRCIE ビットが “1”（フレーム・レスポンス／ウエイクアップ受信完了割り込み許可）の場合、LINn 受信完了割り込み要求が発生します。

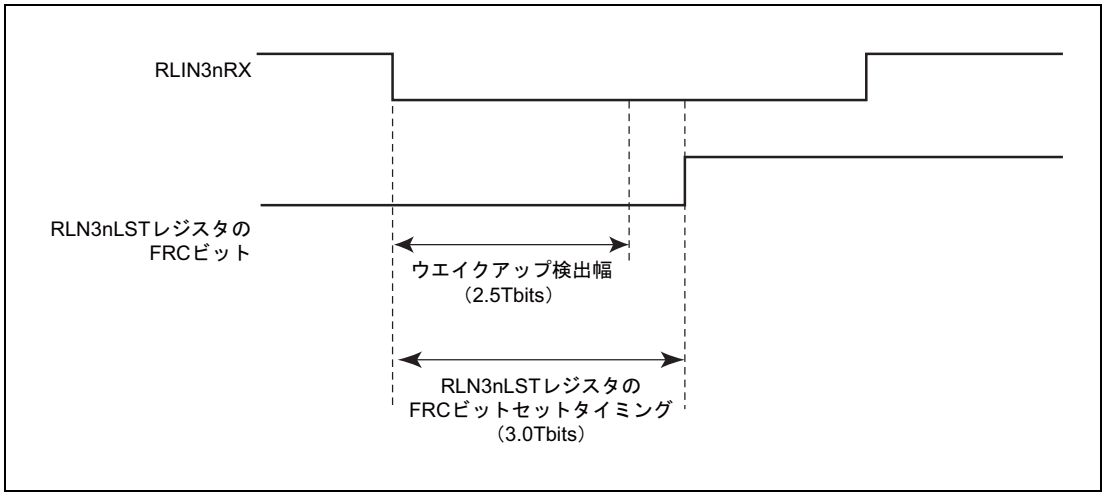


図 25.12　入力信号ロウレベルカウント機能

25.7.4.3　ウエイクアップ衝突

マスタノードとスレーブノードが同時にウエイクアップ信号を送信した場合、LIN バス上で衝突が発生しますが、LIN インタフェースではウエイクアップ信号の衝突は検知しません。

25.7.5　ステータス

LIN インタフェースは LIN モード動作時に、7 種類のステータスを検出します。

フレーム／ウエイクアップ送信完了、フレーム／ウエイクアップ受信完了、エラー検出、ヘッダ送信完了／ヘッダ受信完了の 4 つのステータスは割り込み要求を発生することができます。

表 25.34 に LIN マスタモードでのステータスの種類を示します。

表 25.34　LIN マスタモード ステータスの種類

ステータス	ステータスセット条件	ステータスクリア条件	ステータスを検出できる動作モード	対応ビット	割り込み
リセット	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモードに設定（OM0=0）後、LIN インタフェースが LIN リセットモードになったとき	RLN3nLCUC レジスタの OM0 ビットを LIN リセットモード解除設定（OM0=1）後、LIN インタフェースが LIN リセットモード解除になったとき	すべてのモード	RLN3nLMST レジスタの OMM0 ビット	—
動作モード	RLN3nLCUC レジスタの OM1 ビットを LIN 動作モードに設定後、実際に LIN インタフェースが LIN 動作モードになったとき	RLN3nLCUC レジスタの OM1 ビットを LIN ウエイクアップモードに設定後、実際に LIN インタフェースが LIN ウエイクアップモードになったとき	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLMST レジスタの OMM1 ビット	—
フレーム／ウエイクアップ送信完了	フレーム（ヘッダ送信 + レスポンス送信）、ウエイクアップ信号 または データグループを正常に送信完了したとき	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの FTC フラグ	○
フレーム／ウエイクアップ受信完了	フレーム（ヘッダ送信 + レスポンス受信）、ウエイクアップ信号 または データグループを正常に受信完了したとき	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの FRC フラグ	○
エラー検出	RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグのいずれかが “1”（エラー検出）になったとき	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア 注 1 • LIN リセットモード移行時	• LIN 動作モード • LIN ウエイクアップモード	RLN3nLST レジスタの ERR フラグ	○
データ 1 受信完了	RLN3nLDFC レジスタの RFT ビットが “0”（受信）で、レスポンスフィールドの最初の 1 バイト、または、データグループごとの最初の 1 バイトを受信完了したとき 注 2	• 次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき） • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの D1RC フラグ	—
ヘッダ送信完了	ヘッダフィールドを正常に送信完了した場合	• 次の通信開始時 • ソフトウェアによるクリア • LIN リセットモード移行時	LIN 動作モード	RLN3nLST レジスタの HTRC フラグ	○

注 1.　LIN 動作モード内で RLN3nLEST レジスタの RPER フラグ、CSER フラグ、FER フラグ、FTER フラグ、PBER フラグ、BER フラグに “0” を書くことにより、RLN3nLST レジスタの ERR フラグは “0” になります。

注 2.　RLN3nLDFC レジスタの RFDL[3:0] ビットが “0000_B”（0 バイト＋チェックサム）のときは検出されません。

25.7.6　エラーステータス

25.7.6.1　LIN マスタモード

(1) エラーステータスの種類

LIN インタフェースは LIN マスタモードで 6 種類のエラーステータスを検出します。これらのエラーの状態は RLN3nLEST レジスタの各ビットで確認できます。

すべてのエラーステータスは、割り込み要因となります。

表 25.35 にエラーステータスの種類を示します。

表 25.35　エラーステータスの種類 (LIN マスタモード)

ステータス	エラー検出条件	エラーを検出できる動作モード	通信処理	検出許可／禁止選択	対応ビット
ビットエラー	送信したデータと、受信端子でモニタしている LIN バス上のデータが一致しなかったとき注 1 注 2	• LIN 動作モード • LIN ウエイクアップモード	中断	○	RLN3nLEST レジスタの BER フラグ
フィジカルバスエラー	• ブレーク送信時に LIN バスが ハイレベルを検出した場合 • ブレークデリミタ送信時に LIN バスがロウレベルを検出した場合 • ウエイクアップ送信時に LIN バスが ハイレベルを検出した場合	• LIN 動作モード • LIN ウエイクアップモード	中断	○	RLN3nLEST レジスタの PBER フラグ
タイムアウトエラー	フレーム または レスポンスの送受信がある一定の時間内に終了しなかったとき注 3	LIN 動作モード	中断	○	RLN3nLEST レジスタの FTER フラグ
フレーミングエラー	レスポンスフィールド受信処理において、各データバイトのストップビットがロウレベルであったとき	LIN 動作モード	中断	○	RLN3nLEST レジスタの FER フラグ
チェックサムエラー	レスポンスフィールド受信処理において、チェックサム判定の結果がエラーのとき	LIN 動作モード	—	×	RLN3nLEST レジスタの CSER フラグ
レスポンス準備エラー	フレームセパレートモードで多バイトレスポンス受信において以下の場合 • ヘッダ送信完了後、レスポンス送受信要求設定前に 1 バイト目の受信データを受信したとき • 前のデータグループ受信完了後、次のデータグループの送受信要求設定前に 1 バイト目の受信データを受信したとき	LIN 動作モード	中断	×	RLN3nLEST レジスタの RPER フラグ

注 1.　ビットエラーを検出した場合は、ストップビット送信後に中断します。インタバイトスペースなどの非データ領域でビットエラーを検出したときは、その領域の直後に送信を中断します。ウエイクアップ送信中にビットエラーを検出したときは、エラーになったビットを送信した直後にウエイクアップ送信を中断します。

注 2.　多バイトレスポンス送信においては、データグループとデータグループの間でもビットエラーを検出します。

注 3.　タイムアウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0] ビット）、およびチェックサム選択（RLN3nLDFC レジスタの CSM ビット）に依存し、下記の式により計算できます。RLN3nLDFC レジスタの FSM ビットが “1”（フレームセパレートモード）の 場合、RLN3nLTRC レジスタの RTS ビットを設定するまでは、データバイト数 8 バイトのタイムアウト時間となります。RTS ビットが設定されると、タイム アウト時間は、レスポンスフィールドデータ長（RLN3nLDFC レジスタの RFDL[3:0] ビット）を元にした時間に再設定されます。

【フレームタイムアウト】
クラシック選択時（RLN3nLDFC レジスタの CSM ビットが “0” の場合）:
タイムアウト時間 = 49 ＋（データバイト数＋ 1）× 14 [Tbit]
エンハンス選択時（RLN3nLDFC レジスタの CSM ビットが “1” の場合）:
タイムアウト時間 = 48 ＋（データバイト数＋ 1）× 14 [Tbit]
上記タイムアウト時間は、クラシック選択時に LIN Specification Package Revision 1.3 の TFRAME_MAX を、エンハンス選択時に LIN Specification Package Revision 2.x の TFRAME_MAX を超える時間となります。
【レスポンスタイムアウト】
タイムアウト時間 =（データバイト数＋ 1）× 14 [Tbit]
なお、エラーを検出した場合、タイムアウトエラー検出機能は停止します。

エラーステータスのクリア条件は、次の通信開始時（RLN3nLTRC レジスタの FTS ビットをセットしたとき)、ソフトウェアによるクリア、LIN リセットモード移行時です。

(2) LIN エラー検出の対象時間領域

図 25.13 にエラーを検出するために LIN インタフェースが LIN マスタモード時に監視する時間領域を示します。

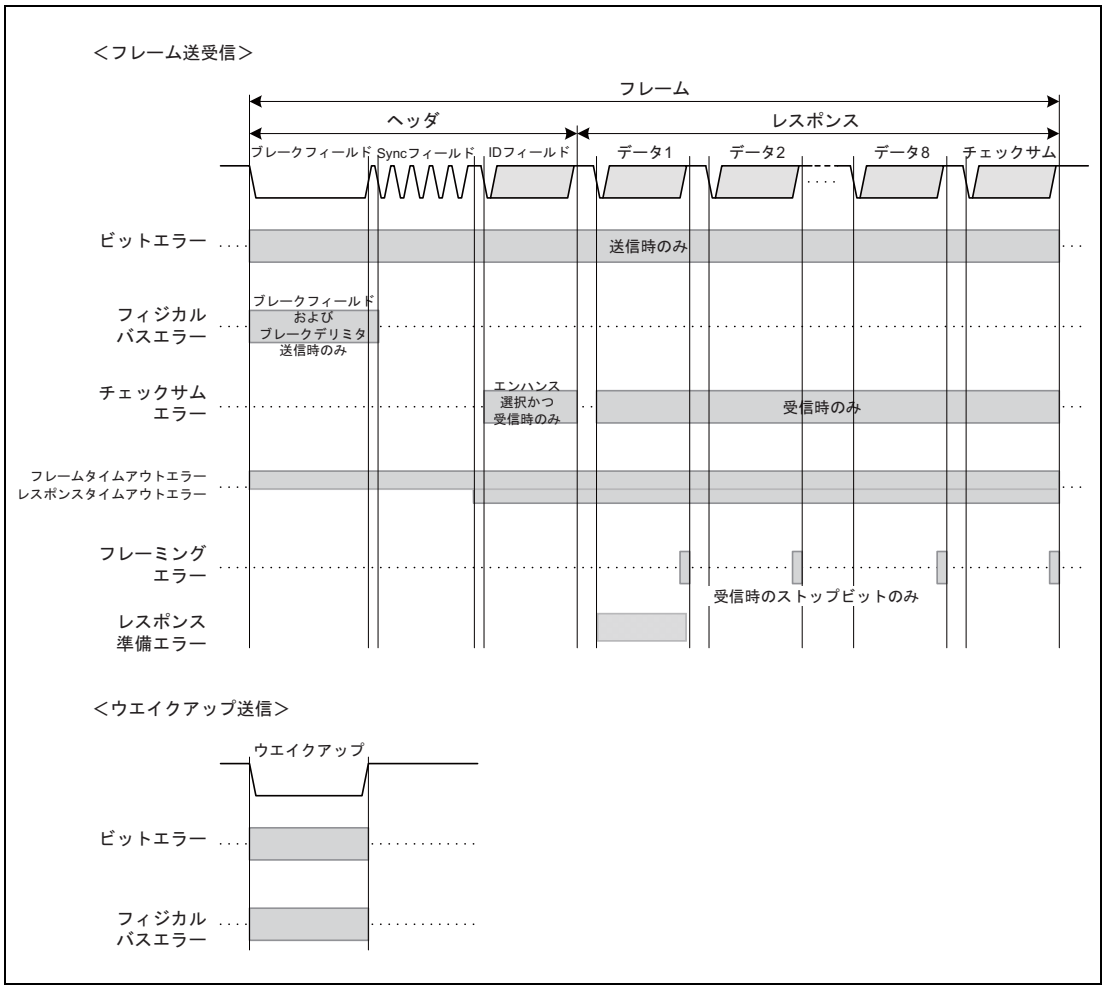


図 25.13　LIN エラー検出の対象時間領域（LIN マスタモード）

25.8　LIN セルフテストモード

LIN インタフェースは、LIN セルフテストモードを持ちます。一度 LIN インタフェースが LIN セルフテストモードになると、RLIN3nTX と RLIN3nRX は外部端子から切断され、LIN インタフェース内部で RLIN3nTX と RLIN3nRX が接続されます。よって、RLIN3nTX から送信するフレームは RLIN3nRX にループバックします。LIN セルフテストモードは、LIN モードのみのテストが可能です。

セルフテストは、以下の 4 種類行うことができます。

- LIN マスタ セルフテストモード（送信）：ヘッダ送信およびレスポンス送信
- LIN マスタ セルフテストモード（受信）：ヘッダ送信およびレスポンス受信

LIN セルフテストモードでは、ボーレートジェネレータの設定に関わらず、最速ボーレートで動作します。

ボーレートは、ボーレート関連レジスタの設定に関わらず、LIN 通信クロック源 /16[bps] で動作します。（RLN3nLWBR レジスタの NSPB ビットは、必ず “0000_B” または “1111_B” で使用してください。）

（RLN3nLWBR レジスタの LPRS ビットは、必ず “000_B” で使用してください。）

また、LIN セルフモードでは、以下の機能はサポートしません。

- LIN ウエイクアップモード
- フレームセパレートモード
- 多バイトレスポンス送受信機能
- フレーム / レスポンスタイムアウトエラー

これらの機能は使用しないでください。

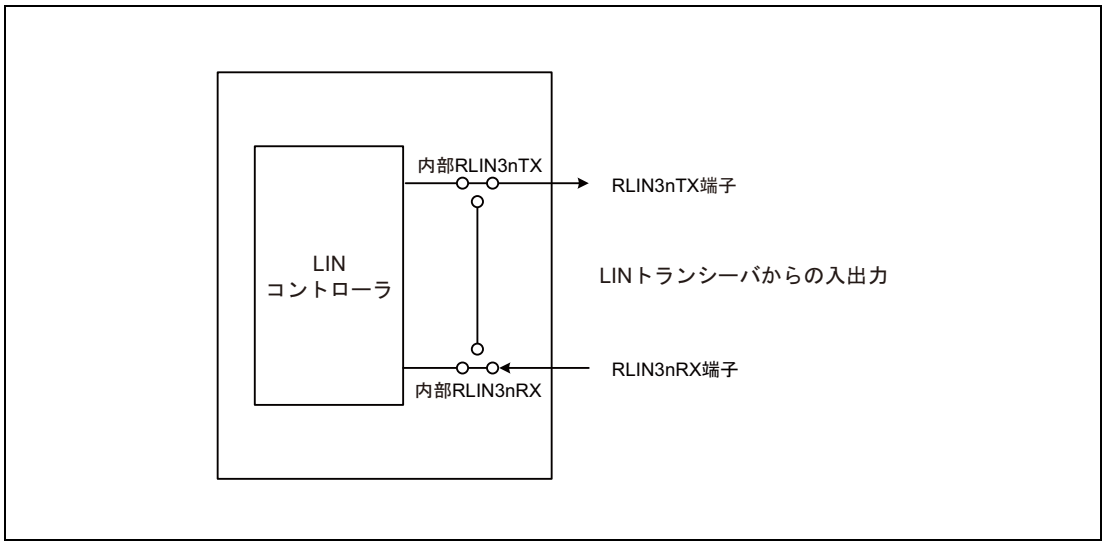


図 25.14　LIN リセットモード、LIN モード 接続

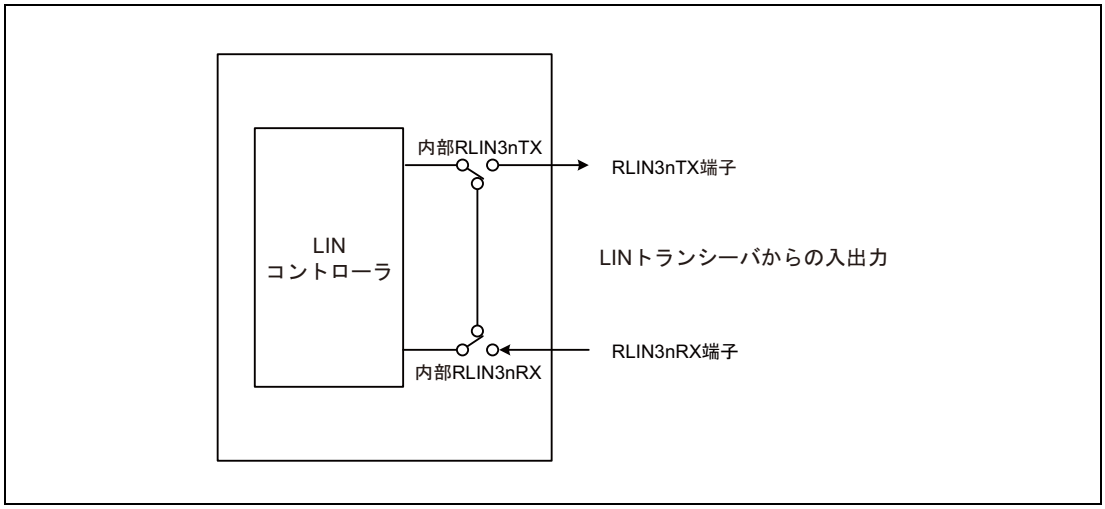


図 25.15　LIN セルフテストモード接続

25.8.1　LIN セルフテストモードへの移行

RLN3nLSTC レジスタへの書き込みにより、LIN セルフテストモードになります。
RLN3nLSTC レジスタの LSTM ビットが “1” になると、LIN セルフテストモードに移行したことが確認できます。

LIN セルフテストモードに移行するには、特定のシーケンスを必ず実行してください。このシーケンスでは、次の通り LIN セルフテスト制御レジスタに 3 回連続書き込みを行う必要があります。

- LIN リセットモードへ移行
  RLN3nLCUC レジスタの OM0 ビットを “0”（LIN リセットモード）にする。
  RLN3nLMST レジスタの OMM0 ビットを読み出し、“0”（LIN リセットモード）であることを確認する。
- LIN モードの選択
  RLN3nLMD レジスタの LMD ビットが “00_B”（LIN マスタモード）
- 1 回目書き込み：RLN3nLSTC レジスタ = “$1010\ 0111_B$”（$A7_H$）
- 2 回目書き込み：RLN3nLSTC レジスタ = “$0101\ 1000_B$”（58_H）
- 3 回目書き込み：RLN3nLSTC レジスタ = “$0000\ 0001_B$”（01_H）
- LIN セルフテストモードへの移行を確認する。
  RLN3nLSTC レジスタの LSTM ビットを読み出し、“1”（LIN セルフテストモード）であることを確認する。

1 回目のキー（$A7_H$）を誤って 2 回書き込みした場合、LIN セルフテストモードへの移行は中断します。再度 1 回目の書き込みから実施してください。また、LIN セルフテストモードへの移行（RLN3nLSTC レジスタへの 3 回連続書き込み）中にほかの LIN 関連レジスタに書き込みを行った場合も移行は中断します。

25.8.2　LIN マスタ セルフテストモードにおける送信

LIN マスタの送信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
  RLN3nLWBR レジスタ = $0000000x_B$
  RLN3nLBRP0 レジスタ = $xxxxxxxx_B$ 注 1
  RLN3nLBRP1 レジスタ = $xxxxxxxx_B$ 注 1
  RLN3nLMD レジスタ = $00xxxx00_B$ 注 1
- 割り込み許可、エラー許可関連レジスタを設定する。
  RLN3nLIE レジスタ = $0000xxxx_B$ 注 2
  RLN3nLEDE レジスタ = $x000x0xx_B$
- ブレークフィールド、スペース関連レジスタを設定する。
  RLN3nLBFC レジスタ = $00xxxxxx_B$
  RLN3nLSC レジスタ = $00xx0xxx_B$
- LIN リセットモード解除
  RLIN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLIN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 送信フレーム関連レジスタを設定する。
  RLN3nLDFC レジスタ = $00x1xxxx_B$
  RLN3nLIDB レジスタ = $xxxxxxxx_B$
  RLN3nLDRB1 ～ RLN3nLDRB8 レジスタ = $xxxxxxxx_B$
- ヘッダ送信→レスポンス送信開始
  RLN3nLTRC レジスタの FTS ビットを “1” (フレーム送信／ウエイクアップ送受信開始) にする。
  LIN マスタセルフテストモード（送信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。チェックサムは LIN インタフェースが自動演算する。LIN マスタセルフテストモード（送信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 送信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRm レジスタ (m = 1 ～ 8)、RLN3nLCBR レジスタに格納され (送信した値とループバックした値を比較するため、反転値として格納されます)、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより送信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考　x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット
そのため、設定は必須ではありません。

注 2. ヘッダ送信完了割り込みとフレーム送信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム送信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1” (ヘッダ送信完了割り込み許可) にしないでください。

ヘッダ送信完了フラグのセットからフレーム／ウエイクアップ送信完了フラグのセットまで

の時間は次式で表されます。

10 × (データバイト数 ＋ 1) [Tbit]

1Tbit = LIN 通信クロック源 × 16

25.8.3 LIN マスタ セルフテストモードにおける受信

LIN マスタの受信に関するセルフテストを実行するには、次の手順を行ってください。

- ボーレート、ノイズフィルタ、割り込み出力関連レジスタを設定する。
  RLN3nLWBR レジスタ = $0000000x_B$
  RLN3nLBRP0 レジスタ = $xxxxxxxx_B$ 注 1
  RLN3nLBRP1 レジスタ = $xxxxxxxx_B$ 注 1
  RLN3nLMD レジスタ = $00xxxx00_B$ 注 1
- 割り込み許可、エラー許可関連レジスタを設定する。
  RLN3nLIE レジスタ = $0000xxxx_B$ 注 2
  RLN3nLEDE レジスタ = $x000x0xx_B$
- ブレークフィールド、スペース関連レジスタを設定する。
  RLN3nLBFC レジスタ = $00xxxxxx_B$
  RLN3nLSC レジスタ = $00xx0xxx_B$ 注 1
- LIN リセットモード解除
  RLIN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き込み、RLIN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” になることを確認する。
- 受信フレーム関連レジスタを設定する。
  RLN3nLDFC レジスタ = $00x0xxxx_B$ 注 3
  RLN3nLIDB レジスタ = $xxxxxxxx_B$
  RLN3nLDBR1 ～ RLN3nLDBR8 レジスタ = $xxxxxxxx_B$
  RLN3nCBR レジスタ = $xxxxxxxx_B$
  送信するチェックサム値は自動演算されないため、ユーザで演算し、RLN3nLCBR レジスタに設定する。このとき誤ったチェックサム値を設定することによって、チェックサムエラーをテストすることが可能です。
- ヘッダ送信→レスポンス受信開始
  RLN3nLTRC レジスタの FTS ビットを “1” (フレーム送信／ウエイクアップ送受信開始) にする。
  LIN マスタセルフテストモード（受信）が実行され、割り込み発生、ステータス、エラーステータス更新も合わせて実行される。LIN マスタセルフテストモード（受信）実行中に中断したい場合は、RLN3nLCUC レジスタの OM0 ビットに “0”（LIN リセットモード）を書き込み、LIN リセットモードへ移行する。
- 受信完了の場合、ループバックしたフレームデータの反転値が RLN3nLIDB レジスタ、RLN3nLDBRm レジスタ (m = 1 ～ 8)、RLN3nLCBR レジスタに格納され (設定した値とループバックした値を比較するため、反転値として格納されます)、RLN3nLTRC レジスタの FTS ビットがクリアされる。
- エラーにより受信が完了しなかった場合、該当するエラーフラグが設定され、RLN3nLTRC レジスタの FTS ビットがクリアされる。

備考　x : 任意の値を設定してください。

注 1. 以下のレジスタ設定は LIN セルフテストモードの動作には反映されません。
RLN3nLBRP0 レジスタ、RLN3nLBRP1 レジスタ、RLN3nLMD レジスタの LCKS ビット、RLN3nLSC レジスタの IBS ビット
そのため、設定は必須ではありません。

注 2. ヘッダ送信完了割り込みとフレーム受信完了割り込みを同じ割り込みで使用する場合、ヘッダ送信完了割り込みのソフトウェア処理がフレーム受信完了割り込み発生までに完了しない場合は、RLN3nLIE レジスタの SHIE ビットを “1” (ヘッダ送信完了割り込み許可) にしないでください。
ヘッダ送信完了フラグのセットからフレーム／ウエイクアップ受信完了フラグのセットまでの時間は次式で表されます。

$$10 \times (\text{データバイト数} + 1)\ [\text{Tbit}]$$

$$1\text{Tbit} = \text{LIN 通信クロック源} \times 16$$

注 3. セルフテストモード受信時、レスポンスフィールド長（RFDL ビット）は必ず 1 バイト以上に設定してください。

25.8.4 LIN セルフテストモード終了

LIN セルフテストモードを終了するには、次の手順を行ってください。

- RLN3nLCUC レジスタの OM0 ビットに “0” (LIN リセットモード) を書く
RLN3nLMST レジスタの OMM1、OMM0 ビットが “11_B” でない場合は、RLN3nLCUC レジスタの OM1、OM0 ビットに “11_B” を書き、RLN3nLMST レジスタ OMM1、OMM0 ビットが “11_B” になることを確認した後に、LIN リセットモードに移行してください。
- LIN セルフテストモードの解除を確認する。
RLN3nLSTC レジスタの LSTM ビットを読み、“0”（LIN セルフテストではない）を確認。
- LIN リセットッモードへの移行を確認する。
RLN3nLMST レジスタの OMM0 ビットを読み、“0”（LIN リセットモード）を確認。

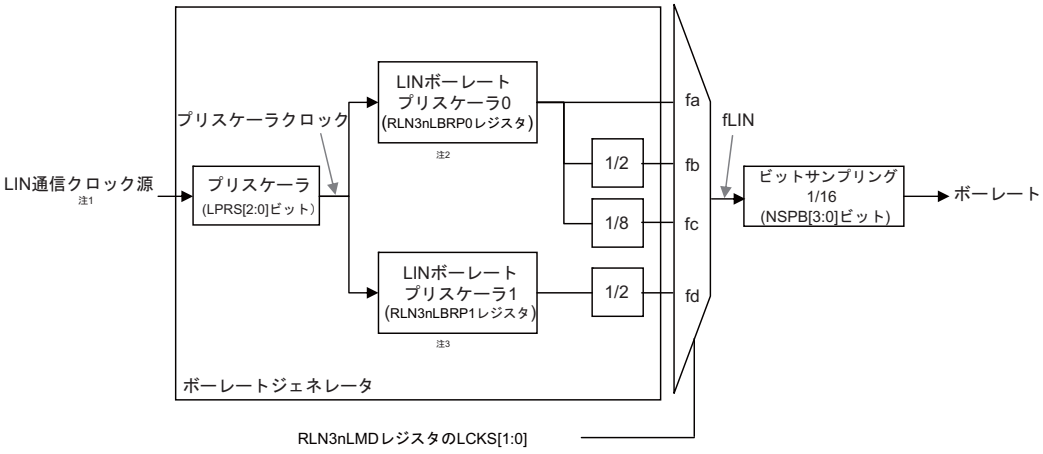
25.9　ボーレートジェネレータ

LIN 通信クロック源をプリスケーラで分周したクロックがプリスケーラクロックとなり、プリスケーラクロックをボーレートジェネレータで分周したクロックが LIN システムクロック（fLIN）となり、これをサンプリング数で分周したクロックがボーレートになります。このボーレートの逆数をビットタイム（Tbit）といいます。

LIN インタフェースは、2 種類のボーレートジェネレータを持ち、モードにより使用するボーレートジェネレータが切り替わります。

25.9.1　LIN マスタモード

図 25.16 に LIN マスタモード時のボーレート生成ブロック図を示します。



注 1. LIN 通信クロック源については、「6.　クロックパルス発振器」を参照してください。
注 2. RLN3nLBRP0 レジスタにより、N ＋ 1 分周（N = 0 ～ 255）を設定します。
注 3. RLN3nLBRP1 レジスタにより、M ＋ 1 分周（M = 0 ～ 255）を設定します。

図 25.16　LIN マスタモード ボーレート生成ブロック図

fa が 307200Hz（= 19200 × 16) となるように RLN3nLBRP0 レジスタを設定すれば、fa = 19200 × 16、fb = 9600 × 16、fc = 2400 × 16 となり、ビットタイミング生成部で 16 分周するため、19200bps、9600bps、2400bps が生成できます。また、fd が 166672Hz (= 10417 × 16) となるように RLN3nLBRP1 レジスタを設定すれば、fd = 10417 × 16 となり、ビットタイミング生成部で 16 分周するため、10417bps が生成できます。

ボーレートの計算式は、以下のとおりです。

LIN マスタのボーレート

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
　÷ (RLN3nLBRP0 + 1) ÷ 16 [bps] (fLIN に fa 選択時)

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
　÷ (RLN3nLBRP0 + 1) ÷ 2 ÷ 16 [bps] (fLIN に fb 選択時)

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
　÷ (RLN3nLBRP0 + 1) ÷ 8 ÷ 16 [bps] (fLIN に fc 選択時)

= {LIN 通信クロック源の周波数 } × (RLN3nLWBR.LPRS[2:0] 選択クロック)
　÷ (RLN3nLBRP1 + 1) ÷ 2 ÷ 16 [bps] (fLIN に fd 選択時)

25.9.2　ノイズフィルタ

LIN インタフェースは、ノイズによるデータの誤受信を低減するためにノイズフィルタを持ちます。RLN3nLMD レジスタの LRDNFS ビットを “0”（ノイズフィルタを使用する）にすることによりノイズフィルタが有効になります。ノイズフィルタは、同期化 RLIN3nRX のレベルをプリスケーラクロックでサンプリングし、サンプリング 3 回分の多数決の結果を出力します。受信データの各ビットの値はノイズフィルタ出力で決定されます。

図 25.17 にノイズフィルタの構成、**図 25.18** にノイズフィルタ回路例、**図 25.19** にノイズフィルタ使用時の受信データの決定を示します。

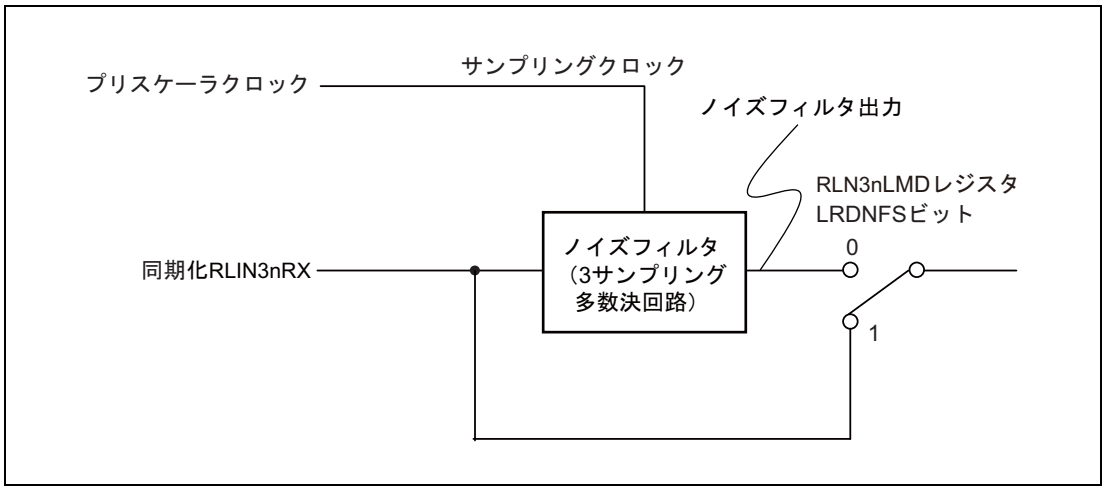


図 25.17　ノイズフィルタの構成

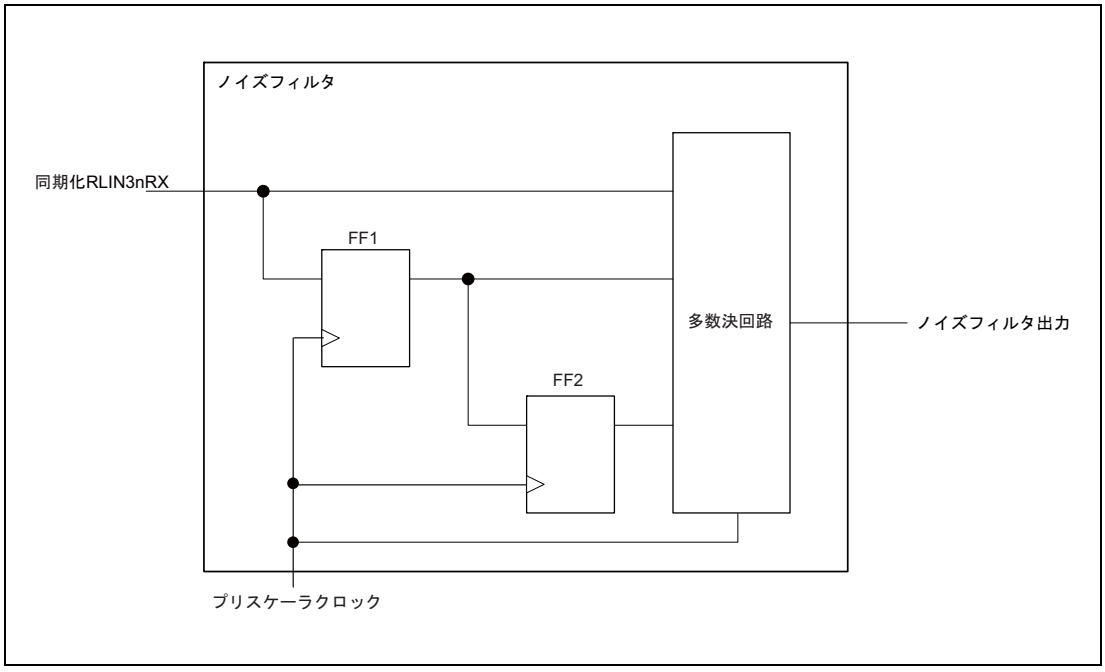


図 25.18　ノイズフィルタ回路例

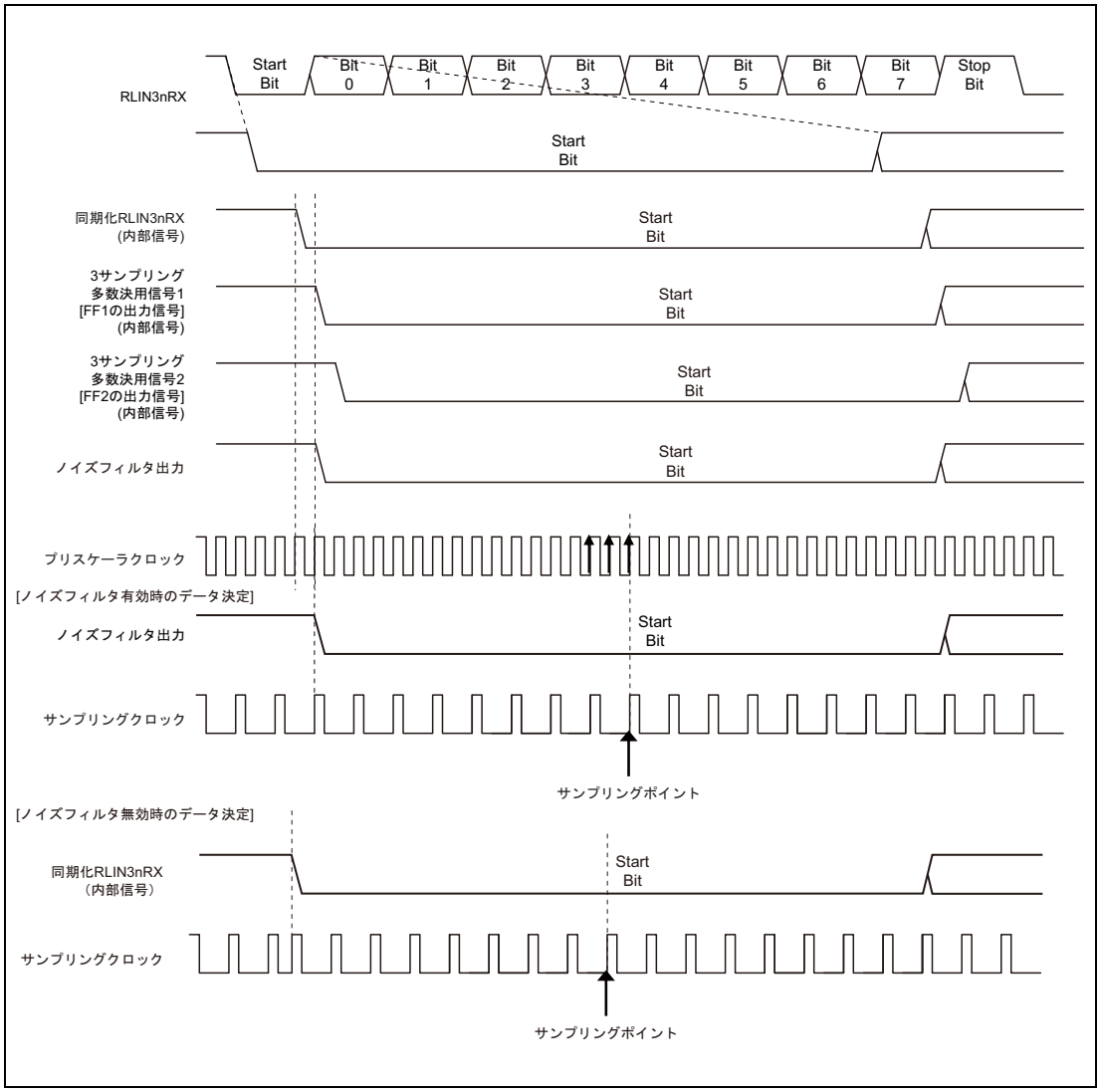


図 25.19　ノイズフィルタ使用時の受信データの決定

26. イーサネットコントローラ

本 LSI は、イーサネットあるいは IEEE802.3 の MAC（Media Access Control）層規格に準拠したイーサネットコントローラ（ETHER）を内蔵しています。ETHER は、同規格に合致する物理層 LSI（PHY-LSI）と接続することにより、イーサネット／ IEEE802.3 フレームの送受信を行うことができます。本 LSI 内蔵のイーサネットコントローラは MAC 層インタフェースを 1 系統内蔵しており、送信および受信動作をさせることができます。

ETHER は、専用のダイレクトメモリアクセスコントローラ（E-DMAC）を内蔵しており、送受信するイーサネットフレームデータを、メモリ上の送受信バッファとの間で高速に転送することが可能です。

26.1 特長

- MAC（Media Access Control）機能
  データフレームの組み立て／分解（IEEE802.3, 2000Edition 準拠フレーム形式）
  10Mbps、100Mbps 転送に対応
  全二重モード対応
  1 チャネル内蔵（ETHER0）
  IEEE802.3x 準拠のフロー制御が可能
  1 種の IEEE802.3 準拠 PHY インタフェースをサポート
  MII（Media Independent Interface）
  上位プロトコルサポート（サムチェック）機能
- E-DMAC（イーサネットコントローラダイレクトメモリアクセスコントローラ）機能
  ETHER と外部／内部メモリ間転送可能
  1 チャネル内蔵
  32 バイトバースト転送可能
  1 フレーム／ 1 ディスクリプタ、1 フレーム／複数ディスクリプタ方式（マルチバッファ）対応可能
  転送データ幅：32 ビット
  送受信 FIFO 搭載（送信用：2K バイト、受信用：4K バイト）
  インテリジェントチェックサム値計算機能

図 26.1 に ETHER の構成を示します。

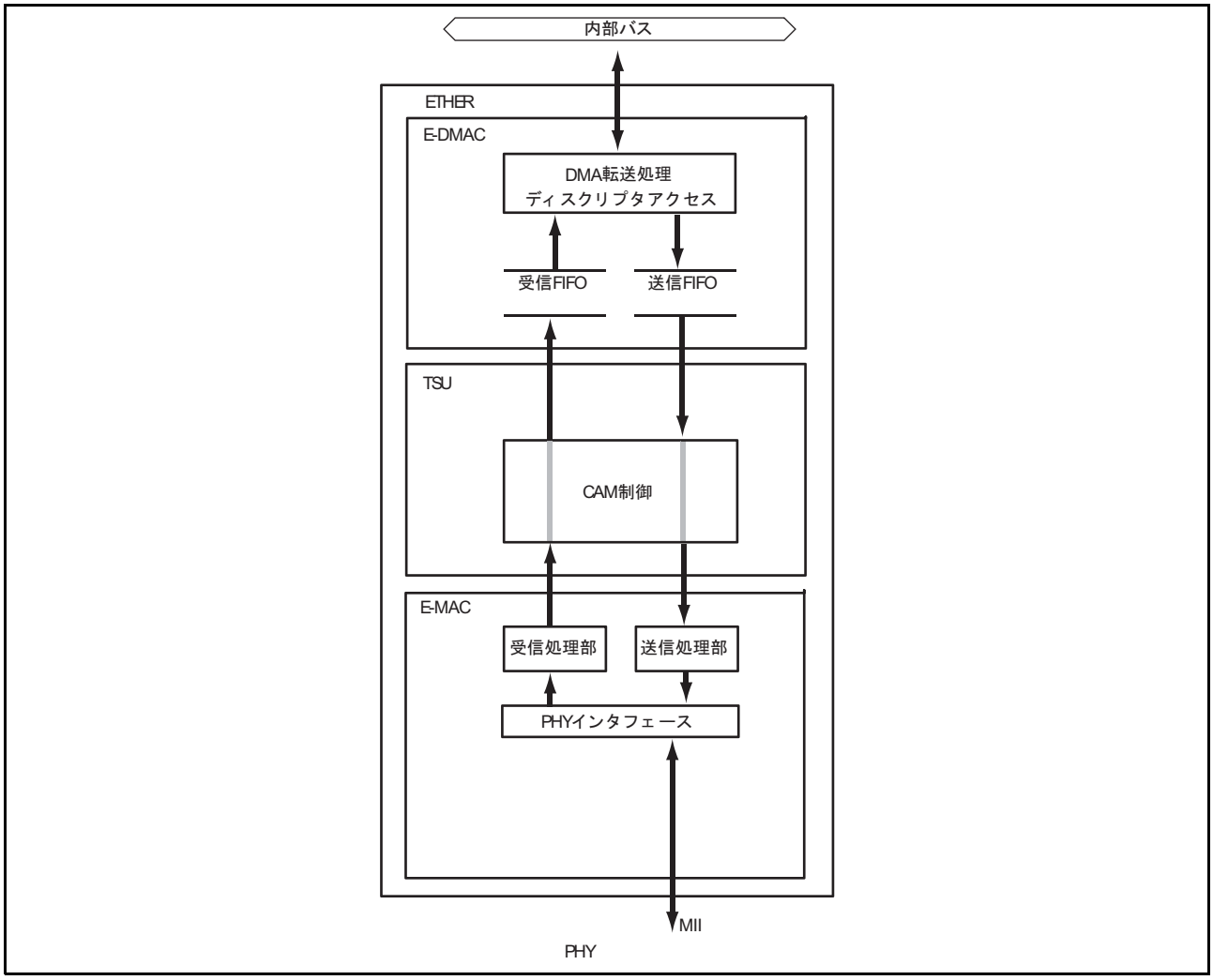


図 26.1　ETHER の構成

26.2 入出力端子

ETHER の端子構成を表 26.1 に示します。

表 26.1　端子構成

名称	記号	入出力	機能
送信クロック	ET_TXCLK（注1）	入力	ET_TXEN、ET_TXD[3:0]のタイミング参照信号
送信イネーブル	ET_TXEN（注1）	出力	ET_TXD[3:0]上に送信データが準備できたことを示す信号
MII送信データ	ET_TXD[3:0]（注1）	出力	MII送信データ
衝突検出	ET_COL（注1）	入力	衝突検出信号
送信エラー	ET_TXER（注1）	出力	本ETHERがET_TXERをアサートすることはありません
受信クロック	ET_RXCLK（注1）	入力	ET_RXDV、ET_RXD[3:0]、ET_RXERのタイミング参照信号
受信データ有効	ET_RXDV（注1）	入力	有効な受信データがET_RXD[3:0]上にあることを示す信号
MII受信データ	ET_RXD[3:0]（注1）	入力	MII受信データ
受信エラー	ET_RXER（注1）	入力	データ受信中に発生したエラー状態を認識
キャリア検出	ET_CRS（注1）	入力	キャリア検出信号
管理用データクロック	ET_MDC（注1）	出力	ET_MDIOによる情報転送用の参照クロック信号
管理用データ入出力	ET_MDIO（注1）	入出力	STAとPHYとの間で管理情報を交換するための双方向信号

注1.　IEEE802.3u準拠のMII信号

26.3 レジスタの説明

ETHER のレジスタ構成を表 26.2 に示します。

表 26.2　レジスタ構成

名称	略称	R/W	アドレス	アクセスサイズ
ソフトウェアリセットレジスタ	ARSTR	R/W	H'E820 4800	32
E-MAC モードレジスタ	ECMR0	R/W	H'E820 3500	32
E-MAC ステータスレジスタ	ECSR0	R/W	H'E820 3510	32
E-MAC 割り込み許可レジスタ	ECSIPR0	R/W	H'E820 3518	32
PHY 部インタフェースレジスタ	PIR0	R/W	H'E820 3520	32
MAC アドレス上位設定レジスタ	MAHR0	R/W	H'E820 35C0	32
MAC アドレス下位設定レジスタ	MALR0	R/W	H'E820 35C8	32
受信フレーム長上限レジスタ	RFLR0	R/W	H'E820 3508	32
CRC エラーフレーム受信カウンタレジスタ	CEFCR0	R/W	H'E820 3740	32
フレーム受信エラーカウンタレジスタ	FRECR0	R/W	H'E820 3748	32
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR0	R/W	H'E820 3750	32
指定バイト超フレーム受信カウンタレジスタ	TLFRCR0	R/W	H'E820 3758	32
端数ビットフレーム受信カウンタレジスタ	RFCR0	R/W	H'E820 3760	32
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR0	R/W	H'E820 3778	32
自動 PAUSE フレーム設定レジスタ	APR0	R/W	H'E820 3554	32
手動 PAUSE フレーム設定レジスタ	MPR0	R/W	H'E820 3558	32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER0	R/W	H'E820 3564	32
PAUSE フレーム送信カウンタ	PFTCR0	R	H'E820 355C	32
PAUSE フレーム受信カウンタ	PFRCR0	R	H'E820 3560	32
TSU カウンタリセットレジスタ	TSU_CTRST	R/W	H'E820 4804	32
転送機能設定レジスタ (共通)	TSU_FWSLC	R/W	H'E820 4838	32
VLANtag 設定レジスタ	TSU_VTAG0	R/W	H'E820 4858	32
CAM エントリテーブル設定ビジーレジスタ	TSU_ADSBSY	R	H'E820 4860	32
CAM エントリテーブルイネーブル設定レジスタ	TSU_TEN	R/W	H'E820 4864	32
CAM エントリテーブル POST 設定 1 レジスタ	TSU_POST1	R/W	H'E820 4870	32
CAM エントリテーブル POST 設定 2 レジスタ	TSU_POST2	R/W	H'E820 4874	32
CAM エントリテーブル POST 設定 3 レジスタ	TSU_POST3	R/W	H'E820 4878	32
CAM エントリテーブル POST 設定 4 レジスタ	TSU_POST4	R/W	H'E820 487C	32
CAM エントリテーブル 0H レジスタ	TSU_ADRH0	R/W	H'E820 4900	32
CAM エントリテーブル 1H レジスタ	TSU_ADRH1	R/W	H'E820 4908	32
CAM エントリテーブル 2H レジスタ	TSU_ADRH2	R/W	H'E820 4910	32
CAM エントリテーブル 3H レジスタ	TSU_ADRH3	R/W	H'E820 4918	32
CAM エントリテーブル 4H レジスタ	TSU_ADRH4	R/W	H'E820 4920	32
CAM エントリテーブル 5H レジスタ	TSU_ADRH5	R/W	H'E820 4928	32
CAM エントリテーブル 6H レジスタ	TSU_ADRH6	R/W	H'E820 4930	32
CAM エントリテーブル 7H レジスタ	TSU_ADRH7	R/W	H'E820 4938	32
CAM エントリテーブル 8H レジスタ	TSU_ADRH8	R/W	H'E820 4940	32
CAM エントリテーブル 9H レジスタ	TSU_ADRH9	R/W	H'E820 4948	32
CAM エントリテーブル 10H レジスタ	TSU_ADRH10	R/W	H'E820 4950	32
CAM エントリテーブル 11H レジスタ	TSU_ADRH11	R/W	H'E820 4958	32
CAM エントリテーブル 12H レジスタ	TSU_ADRH12	R/W	H'E820 4960	32
CAM エントリテーブル 13H レジスタ	TSU_ADRH13	R/W	H'E820 4968	32

名称	略称	R/W	アドレス	アクセスサイズ
CAM エントリテーブル 14H レジスタ	TSU_ADRH14	R/W	H'E820 4970	32
CAM エントリテーブル 15H レジスタ	TSU_ADRH15	R/W	H'E820 4978	32
CAM エントリテーブル 16H レジスタ	TSU_ADRH16	R/W	H'E820 4980	32
CAM エントリテーブル 17H レジスタ	TSU_ADRH17	R/W	H'E820 4988	32
CAM エントリテーブル 18H レジスタ	TSU_ADRH18	R/W	H'E820 4990	32
CAM エントリテーブル 19H レジスタ	TSU_ADRH19	R/W	H'E820 4998	32
CAM エントリテーブル 20H レジスタ	TSU_ADRH20	R/W	H'E820 49A0	32
CAM エントリテーブル 21H レジスタ	TSU_ADRH21	R/W	H'E820 49A8	32
CAM エントリテーブル 22H レジスタ	TSU_ADRH22	R/W	H'E820 49B0	32
CAM エントリテーブル 23H レジスタ	TSU_ADRH23	R/W	H'E820 49B8	32
CAM エントリテーブル 24H レジスタ	TSU_ADRH24	R/W	H'E820 49C0	32
CAM エントリテーブル 25H レジスタ	TSU_ADRH25	R/W	H'E820 49C8	32
CAM エントリテーブル 26H レジスタ	TSU_ADRH26	R/W	H'E820 49D0	32
CAM エントリテーブル 27H レジスタ	TSU_ADRH27	R/W	H'E820 49D8	32
CAM エントリテーブル 28H レジスタ	TSU_ADRH28	R/W	H'E820 49E0	32
CAM エントリテーブル 29H レジスタ	TSU_ADRH29	R/W	H'E820 49E8	32
CAM エントリテーブル 30H レジスタ	TSU_ADRH30	R/W	H'E820 49F0	32
CAM エントリテーブル 31H レジスタ	TSU_ADRH31	R/W	H'E820 49F8	32
CAM エントリテーブル 0L レジスタ	TSU_ADRL0	R/W	H'E820 4904	32
CAM エントリテーブル 1L レジスタ	TSU_ADRL1	R/W	H'E820 490C	32
CAM エントリテーブル 2L レジスタ	TSU_ADRL2	R/W	H'E820 4914	32
CAM エントリテーブル 3L レジスタ	TSU_ADRL3	R/W	H'E820 491C	32
CAM エントリテーブル 4L レジスタ	TSU_ADRL4	R/W	H'E820 4924	32
CAM エントリテーブル 5L レジスタ	TSU_ADRL5	R/W	H'E820 492C	32
CAM エントリテーブル 6L レジスタ	TSU_ADRL6	R/W	H'E820 4934	32
CAM エントリテーブル 7L レジスタ	TSU_ADRL7	R/W	H'E820 493C	32
CAM エントリテーブル 8L レジスタ	TSU_ADRL8	R/W	H'E820 4944	32
CAM エントリテーブル 9L レジスタ	TSU_ADRL9	R/W	H'E820 494C	32
CAM エントリテーブル 10L レジスタ	TSU_ADRL10	R/W	H'E820 4954	32
CAM エントリテーブル 11L レジスタ	TSU_ADRL11	R/W	H'E820 495C	32
CAM エントリテーブル 12L レジスタ	TSU_ADRL12	R/W	H'E820 4964	32
CAM エントリテーブル 13L レジスタ	TSU_ADRL13	R/W	H'E820 496C	32
CAM エントリテーブル 14L レジスタ	TSU_ADRL14	R/W	H'E820 4974	32
CAM エントリテーブル 15L レジスタ	TSU_ADRL15	R/W	H'E820 497C	32
CAM エントリテーブル 16L レジスタ	TSU_ADRL16	R/W	H'E820 4984	32
CAM エントリテーブル 17L レジスタ	TSU_ADRL17	R/W	H'E820 498C	32
CAM エントリテーブル 18L レジスタ	TSU_ADRL18	R/W	H'E820 4994	32
CAM エントリテーブル 19L レジスタ	TSU_ADRL19	R/W	H'E820 499C	32
CAM エントリテーブル 20L レジスタ	TSU_ADRL20	R/W	H'E820 49A4	32
CAM エントリテーブル 21L レジスタ	TSU_ADRL21	R/W	H'E820 49AC	32
CAM エントリテーブル 22L レジスタ	TSU_ADRL22	R/W	H'E820 49B4	32
CAM エントリテーブル 23L レジスタ	TSU_ADRL23	R/W	H'E820 49BC	32
CAM エントリテーブル 24L レジスタ	TSU_ADRL24	R/W	H'E820 49C4	32
CAM エントリテーブル 25L レジスタ	TSU_ADRL25	R/W	H'E820 49CC	32
CAM エントリテーブル 26L レジスタ	TSU_ADRL26	R/W	H'E820 49D4	32
CAM エントリテーブル 27L レジスタ	TSU_ADRL27	R/W	H'E820 49DC	32

名称	略称	R/W	アドレス	アクセスサイズ
CAMエントリテーブル28Lレジスタ	TSU_ADRL28	R/W	H'E820 49E4	32
CAMエントリテーブル29Lレジスタ	TSU_ADRL29	R/W	H'E820 49EC	32
CAMエントリテーブル30Lレジスタ	TSU_ADRL30	R/W	H'E820 49F4	32
CAMエントリテーブル31Lレジスタ	TSU_ADRL31	R/W	H'E820 49FC	32
送信フレーム数カウンタレジスタ（正常送信のみ）	TXNLCR0	R	H'E820 4880	32
送信フレーム数カウンタレジスタ（正常および障害発生を含むすべて）	TXALCR0	R	H'E820 4884	32
受信フレーム数カウンタレジスタ（正常受信のみ）	RXNLCR0	R	H'E820 4888	32
受信フレーム数カウンタレジスタ（正常および障害発生を含むすべて）	RXALCR0	R	H'E820 488C	32
E-DMAC起動レジスタ	EDSR0	W	H'E820 3000	32
E-DMACモードレジスタ	EDMR0	R/W	H'E820 3400	32
E-DMAC送信要求レジスタ	EDTRR0	R/W	H'E820 3408	32
E-DMAC受信要求レジスタ	EDRRR0	R/W	H'E820 3410	32
E-MAC/E-DMACステータスレジスタ	EESR0	R/W	H'E820 3428	32
E-MAC/E-DMACステータス割り込み許可レジスタ	EESIPR0	R/W	H'E820 3430	32
送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR0	R/W	H'E820 3010	32
送信ディスクリプタフェッチアドレスレジスタ	TDFAR0	R/W	H'E820 3014	32
送信ディスクリプタ処理済アドレスレジスタ	TDFXR0	R/W	H'E820 3018	32
送信ディスクリプタ最終フラグレジスタ	TDFFR0	R/W	H'E820 301C	32
受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR0	R/W	H'E820 3030	32
受信ディスクリプタフェッチアドレスレジスタ	RDFAR0	R/W	H'E820 3034	32
受信ディスクリプタ処理済アドレスレジスタ	RDFXR0	R/W	H'E820 3038	32
受信ディスクリプタ最終フラグレジスタ	RDFFR0	R/W	H'E820 303C	32
送受信ステータスコピー指示レジスタ	TRSCER0	R/W	H'E820 3438	32
ミスドフレームカウンタレジスタ	RMFCR0	R/W	H'E820 3440	32
送信FIFOしきい値指定レジスタ	TFTR0	R/W	H'E820 3448	32
FIFO容量指定レジスタ	FDR0	R/W	H'E820 3450	32
受信方式制御レジスタ	RMCR0	R/W	H'E820 3458	32
受信データパディング挿入設定レジスタ	RPADIR0	R/W	H'E820 3460	32
オーバフロー予告FIFOしきい値設定レジスタ	FCFTR0	R/W	H'E820 3468	32
インテリジェントチェックサムモードレジスタ	CSMR	R/W	H'E820 34E4	32
インテリジェントチェックサムスキップ済みバイト数モニタレジスタ	CSSBM	R	H'E820 34E8	32
インテリジェントチェックサム機能モニタレジスタ	CSSMR	R	H'E820 34EC	32

26.3.1　ソフトウェアリセットレジスタ（ARSTR）

ARSTR は、ETHER すべてのブロック（E-MAC、TSU および E-DMAC）をリセットします。本レジスタの ARST ビットに 1 を書き込むことにより、ETHER のすべてのブロックに対しソフトウェアリセットが発行されます（内部バスクロック Bφ で 256 サイクル間）。ARST ビットにリード動作をすると常に 0 が読み出されます。ソフトウェアリセットの発行期間中は、ETHER のすべてのブロックに対するレジスタアクセスを禁止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	ARST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	ARST	0	R/W	ソフトウェアリセット 本ビットに1を書き込むと、ETHERのすべてのブロックに対しソフトウェアリセットが発行されます（内部バスクロックBφで256サイクル間）。0を書き込んでも何も行われません。読み出し時は常に0が読み出されます。ソフトウェアリセットの発行期間中は、ETHERのすべてのブロックに対するレジスタアクセスを禁止します。また、以下のレジスタは、ソフトウェアリセットでは初期化されません。 TSU_ADRH0～TSU_ADRH31、TSU_ADRL0～TSU_ADRL31、TXNLCR0、TXALCR0、RXNLCR0、RXALCR0

26.3.2　E-MAC モードレジスタ（ECMR）

ECMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ETHER の動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。動作モードを切り替える場合には、EDMR 内にある SWRT および SWRR ビットにより、E-MAC および E-DMAC を初期状態に戻してから再設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	TRCCM	–	–	RCSC	–	DPAD	RZPF	ZPF	PFR	RXF	TXF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	MCT	–	–	–	–	–	–	RE	TE	–	–	–	DM	PRM
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～27	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
26	TRCCM	0	R/W	カウンタクリアモード カウンタレジスタのクリア方法を設定します。各レジスタの説明を参照してください。 0：当該レジスタの書き込み時に0クリアされます。 1：当該レジスタの読み出し時に0クリアされます。
25、24	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
23	RCSC	0	R/W	サムチェック計算 受信フレームデータ部のサムチェックの自動計算（ハードウェア計算）を行うかどうかを指定します。 0：サムチェック自動計算を行いません。 1：サムチェック自動計算を行います。 ただし、VLANtagを含むフレームに対するサムチェック自動計算はサポートしておりません。詳しくは「26.6.1　イーサネットフレームのサムチェック計算」を参照してください。
22	–	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
21	DPAD	0	R/W	データパディング 0：60バイト未満のデータにパディングを行い、60バイトのデータとして送信します 1：60バイト未満のデータにパディングを行わず、そのまま送信します
20	RZPF	0	R/W	0TIMEPAUSEフレーム受信 0：TIMEパラメータ値が0のPAUSEフレームの受信が無効です 1：TIMEパラメータ値が1のPAUSEフレームの受信が有効です
19	ZPF	0	R/W	0TIMEPAUSEフレーム使用許可 0：TIMEパラメータ値が0のPAUSEフレーム制御を無効にする Timer値の示す時間が経過するまで、次のフレーム送信を行いません。Timer値の示す時間が0のPAUSEフレームを受信した場合、PAUSEフレームを破棄します。 1：TIMEパラメータ値が0のPAUSEフレーム制御を有効にする Timer値の示す時間が経過していない状態で、受信FIFOのデータ量がFCFTRレジスタ設定値未満になるとTimer値が0の自動PAUSEフレームを送信します。 Timer値の示す時間が0のPAUSEフレームを受信した場合、送信待ち状態を解除します。
18	PFR	0	R/W	PAUSEフレーム受信モード 0：PAUSEフレームをE-DMACに転送しません 1：PAUSEフレームをE-DMACに転送します

ビット	ビット名	初期値	R/W	説明
17	RXF	0	R/W	受信系フロー制御動作モード 0：PAUSEフレームの検出機能が無効になります 1：受信時系のフロー制御機能が有効になります
16	TXF	0	R/W	送信系フロー制御動作モード 0：送信系のフロー制御機能が無効になります （自動PAUSEフレームは送信されません。） 1：送信系のフロー制御機能が有効になります （必要に応じて自動PAUSEフレームが送信されます。）
15、14	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
13	MCT	0	R/W	マルチキャストアドレスフレーム受信モード 0：CAMエントリテーブル0～31（H/L）レジスタで設定したマルチキャストアドレス以外のフレームのみ受信します。ただし、内蔵CAMエントリテーブル参照が無効になっているときは、マルチキャストアドレスフレームをすべて受信します。 1：CAMエントリテーブル0～31（H/L）レジスタで設定したマルチキャストアドレスのみ受信します。
12～7	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
6	RE	0	R/W	受信許可 本ビットを受信機能有効（RE＝1）から無効（RE＝0）としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。 0：受信機能を無効にする 1：受信機能を有効にする
5	TE	0	R/W	送信許可 本ビットを送信機能有効（TE＝1）から無効（TE＝0）としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。 0：送信機能を無効にする 1：送信機能を有効にする
4～2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	DM	0	R/W	全二重転送許可 0：全二重転送機能を無効にする 1：全二重転送機能を有効にする
0	PRM	0	R/W	プロミスキャスモード 本ビットを設定すると、すべてのイーサネットフレームを受信することができます。このときすべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず、受信可能なすべてのフレームを表します。 0：ETHERは、通常動作を行う 1：ETHERは、プロミスキャスモード動作を行う

注.　TEおよびREビットを除くすべてのビットは、送信機能が無効（TE＝0）かつ受信機能が無効（RE＝0）の状態で書き換えてください。

26.3.3　E-MAC ステータスレジスタ（ECSR）

ECSR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC 内のステータスを表示するレジスタです。本ステータスは、割り込みによって CPU に通知することが可能です。PFROI、ICD に 1 を書き込むと、対応するフラグをクリアできます。0 を書き込んだ場合は、フラグに影響を与えません。また割り込みを発生するビットは、ECSIPR の対応するビットによって割り込みを許可または禁止することができます。

本ステータスレジスタが要因で発生する割り込みは、E-DMAC の EESR レジスタ ECI ビットに反映されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	PFROI	–	–	–	ICD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	PFROI	0	R/W	PAUSE フレーム再送リトライオーバ フロー制御を用いる際の PAUSE フレームの再送において、再送回数が PAUSE フレーム再送回数設定レジスタ（TPAUSER）に設定した再送上限値を超えたことを表します。 0：PAUSE フレーム再送信回数が上限値を超えていない 1：PAUSE フレーム再送信回数が上限値を超えた
3～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	ICD	0	R/W	不正キャリア検出 回線上で PHY-LSI が不正なキャリアを検出したことを表します。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。 0：PHY-LSI は、回線上で不正キャリアを検出していない 1：PHY-LSI は、回線上で不正キャリアを検出した

26.3.4　E-MAC 割り込み許可レジスタ（ECSIPR）

ECSIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、ECSR によって報告される割り込み要因の許可を指示します。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	PFROIP	–	–	–	ICDIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	PFROIP	0	R/W	PAUSE フレーム再送割り込み許可ビット 0：PFROI の割り込み通知を禁止 1：PFROI の割り込み通知を許可
3～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	ICDIP	0	R/W	不正キャリア検出割り込み許可ビット 0：ICD の割り込み通知を禁止 1：ICD の割り込み通知を許可

26.3.5　PHY 部インタフェースレジスタ（PIR）

PIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	MDI	MDO	MMD	MDC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	–	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～4	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	MDI	不定	R	MIIマネジメントデータイン ET_MDIO端子のレベルを表します。
2	MDO	0	R/W	MIIマネジメントデータアウト MMDビットが1のとき、本ビットに設定された値をET_MDIO端子より出力します。
1	MMD	0	R/W	MIIマネジメントモード MIIとのデータのリード／ライト方向を規定します。 0：リード方向を規定 1：ライト方向を規定
0	MDC	0	R/W	MIIマネジメントデータクロック 本ビットに設定された値をMDC端子より出力し、MIIへのマネジメントデータクロックを供給します。MIIレジスタへのアクセス方法については、「26.5.2　MIIレジスタのアクセス方法」を参照してください。

26.3.6　MAC アドレス上位設定レジスタ（MAHR）

MAHR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの上位 32 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信および受信機能が有効な状態で書き換えることを禁止します。EDMR の SWRT および SWRR ビットにより E-MAC および E-DMAC を初期状態に戻してから再設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	MA[47:32]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～0	MA [47:16]	すべて0	R/W	MACアドレスビット47～16 MACアドレスの上位32ビットを設定します。 MACアドレスが01-23-45-67-89-AB（16進数表示）である場合、本レジスタにはH'01234567を設定します。

26.3.7　MAC アドレス下位設定レジスタ（MALR）

MALR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、48 ビットの MAC アドレスの下位 16 ビットを設定します。通常、本レジスタの設定は、リセット後の初期設定時に行います。MAC アドレスの設定は、送信または受信機能が有効な状態で書き換えることを禁止します。EDMR の SWRT および SWRR ビットにより E-MAC および E-DMAC を初期状態に戻してから再設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～16	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15～0	MA[15:0]	すべて 0	R/W	MAC アドレスビット 15～0 MAC アドレスの下位 16 ビットを設定します。 MAC アドレスが 01-23-45-67-89-AB（16 進数表示）である場合、本レジスタには H'000089AB を設定します。

26.3.8　受信フレーム長上限レジスタ（RFLR）

RFLR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、本 LSI が受信することのできる最大フレーム長をバイト単位で指定します。本レジスタは、受信機能が有効な状態での書き換えを禁止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	RFL[17:16]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFL[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～18	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17～0	RFL[17:0]	すべて0	R/W	受信フレームデータ長 ここでのフレームデータは、宛先アドレスからCRCデータまでを含んだ範囲となりますが、実際には、宛先アドレスからデータまでがメモリ上に転送されます。CRCデータは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは破棄されます。 H'00000～H'005EE：1,518バイト H'005EF：1,519バイト H'005F0：1,520バイト ：　　： H'007FF：2,047バイト H'00800：2,048バイト ：　　： H'01000：4,096バイト ：　　： H'10000：65,536バイト ：　　： H'20000～H'3FFFF：131,072バイト

26.3.9　CRC エラーフレーム受信カウンタレジスタ（CEFCR）

CEFCR は、CRC エラーとなったフレームの受信回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM ＝ 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM ＝ 0 の場合、書き込みデータに関係なく書き込み時に 0 クリアされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CEFC[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CEFC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～0	CEFC [31:0]	すべて 0	R/W	CRC エラーフレームカウント CRC エラーとなったフレームを受信した回数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.10　フレーム受信エラーカウンタレジスタ（FRECR）

FRECR は、PHY-LSI から入力される RXER 端子により受信エラーとなったフレームの個数を示す 32 ビットのカウンタです。RXER 端子がアクティブになるごとに 1 カウントアップします。本レジスタの値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM ＝ 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM ＝ 0 の場合、書き込みデータに関係なく書き込み時に 0 クリアされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FREC[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

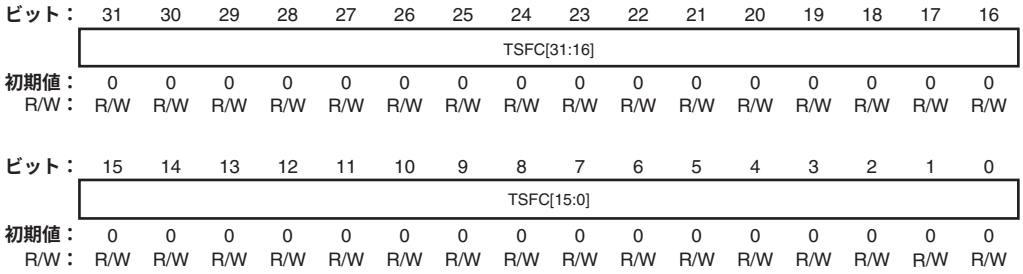
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FREC[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～0	FREC [31:0]	すべて 0	R/W	フレーム受信エラーカウント フレームを受信中にエラーとなった回数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.11　64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）

TSFRCR は、64 バイト未満のフレームを受信した回数を示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM ＝ 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM ＝ 0 の場合、書き込みデータに関係なく書き込み時に 0 クリアされます。

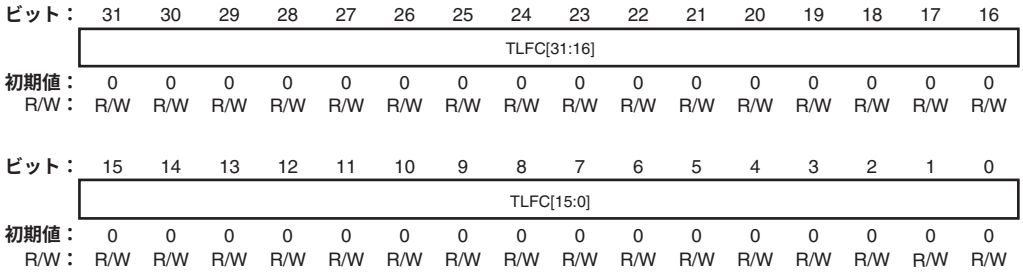


ビット	ビット名	初期値	R/W	説明
31～0	TSFC [31:0]	すべて 0	R/W	64 バイト未満フレーム受信カウント 64 バイト未満のフレームを受信した回数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.12　指定バイト超フレーム受信カウンタレジスタ（TLFRCR）

TLFRCR は、受信フレーム長上限レジスタ（RFLR）で指定した値を超えるフレームを受信した回数を示す 32 ビットのカウンタです。本レジスタの値が H'FFFFFFFF になるとカウントアップを停止します。端数ビットを含むフレームを受信した場合は、本レジスタはカウントアップしません。この場合は、端数ビットフレーム受信カウンタレジスタ（RFCR）に反映されます。本レジスタは、ECMR.TRCCM ＝ 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM ＝ 0 の場合、書き込みデータに関係なく書き込み時に 0 クリアされます。

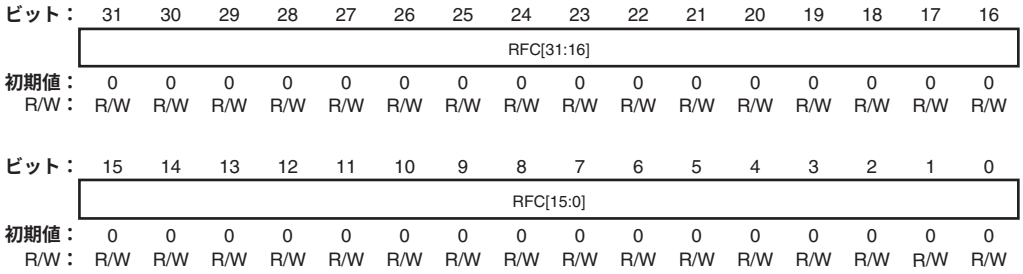


ビット	ビット名	初期値	R/W	説明
31～0	TLFC [31:0]	すべて 0	R/W	指定バイト超フレーム受信カウント RFLR の値を超えるフレームを受信した回数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.13　端数ビットフレーム受信カウンタレジスタ（RFCR）

RFCR は、8 ビットに満たない端数ビットデータを含むフレームを受信した回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタは、ECMR.TRCCM ＝ 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM ＝ 0 の場合、書き込みデータに関係なく書き込み時に 0 クリアされます。

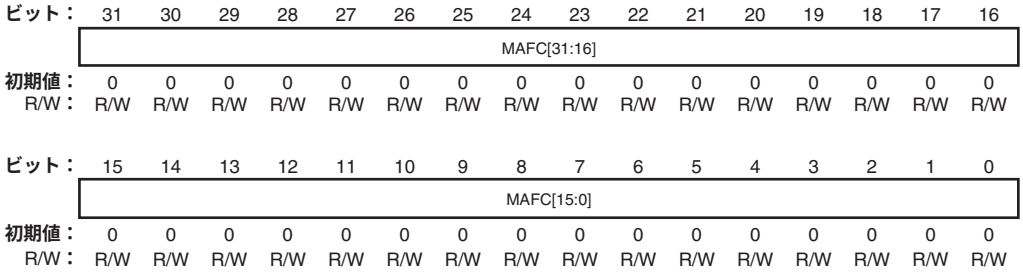


ビット	ビット名	初期値	R/W	説明
31～0	RFC[31:0]	すべて 0	R/W	端数ビットフレーム受信カウント 端数ビットデータを含むフレームを受信した回数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.14　マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）

MAFCR は、マルチキャストアドレスを指定するフレームを受信した回数を示す 32 ビットのカウンタで、H'FFFFFFFF になるとカウントアップを停止します。本レジスタの 0 クリア方法は、本レジスタは、ECMR.TRCCM ＝ 1 の場合、読み出し時に 0 クリアされます。ECMR.TRCCM ＝ 0 の場合、書き込みデータに関係なく書き込み時に 0 クリアされます。

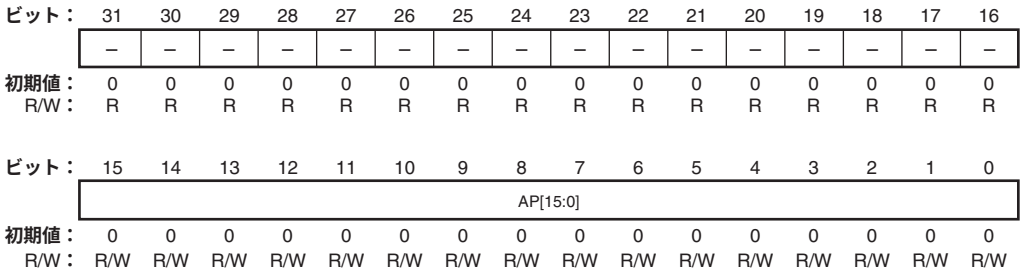


ビット	ビット名	初期値	R/W	説明
31～0	MAFC [31:0]	すべて 0	R/W	マルチキャストアドレスフレームカウント マルチキャストフレームを受信した回数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.15　自動 PAUSE フレーム設定レジスタ（APR）

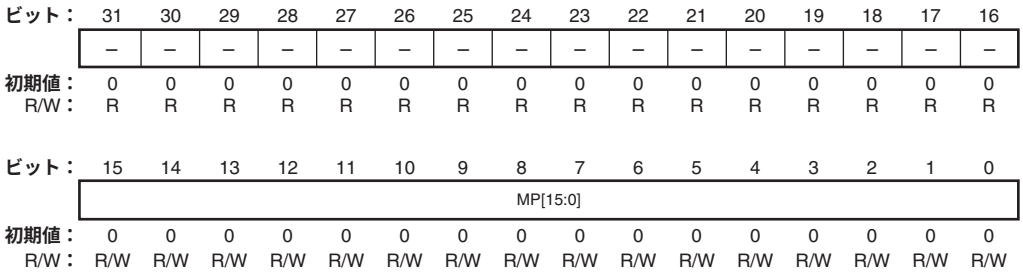
APR は、自動 PAUSE フレームの TIME パラメータ値を設定します。自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。



ビット	ビット名	初期値	R/W	説明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15～0	AP[15:0]	すべて0	R/W	自動PAUSE 自動PAUSEフレームのTIMEパラメータ値を設定します。このとき1ビットは、512ビット時間を表します。 送信時のフロー制御機能（PAUSEフレーム送信）を有効とした場合（ECMR.TXF=1）、本ビットにはH'0000以外の値を設定してください。 H'0000：－ H'0001：512×1ビット時間 H'0002：512×2ビット時間 ：　　： H'FFFF：512×65535ビット時間 【注】ビット時間は、転送速度に応じて以下のようになります。 100Mbps時：1ビット時間＝10ns 10Mbps時：1ビット時間＝100ns

26.3.16　手動 PAUSE フレーム設定レジスタ（MPR）

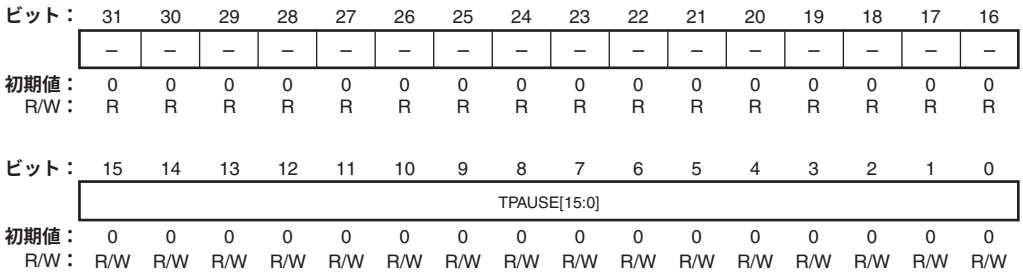
MPR は、手動 PAUSE フレームの TIME パラメータ値を設定します。手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。



ビット	ビット名	初期値	R/W	説明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15～0	MP[15:0]	すべて0	R/W	手動PAUSE 手動PAUSEフレームのTIMEパラメータ値を設定します。このとき1ビットは、512ビット時間を表します。 H'0000：－ H'0001：512×1ビット時間 H'0002：512×2ビット時間 ：　　： H'FFFF：512×65535ビット時間 【注】ビット時間は、転送速度に応じて以下のようになります。 100Mbps時：1ビット時間＝10ns 10Mbps時：1ビット時間＝100ns

26.3.17　自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）

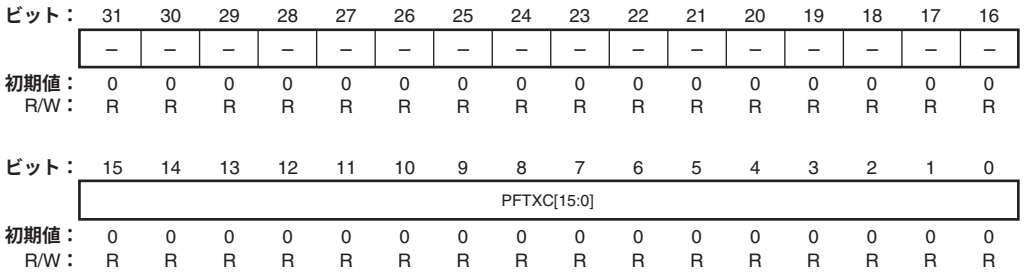
TPAUSER は、自動 PAUSE フレームの再送回数の上限値を設定します。本レジスタは、送信機能が有効な状態での書き換えを禁止します。本レジスタは、送信機能が有効な状態で書き換えることを禁止します。



ビット	ビット名	初期値	R/W	説明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15～0	TPAUSE[15:0]	すべて0	R/W	自動PAUSEフレーム再送回数上限値 H'0000：再送回数無制限 H'0001：再送回数は、1回 ：　　： H'FFFF：再送回数は、65535回

26.3.18　PAUSE フレーム送信カウンタレジスタ（PFTCR）

PFCTR は、PAUSE フレームを送信した回数を示す 16 ビットのカウンタです。本レジスタは、読み出し時に 0 クリアされます。

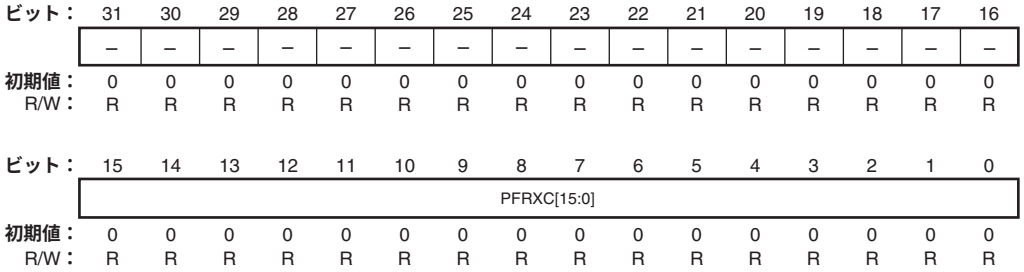


ビット	ビット名	初期値	R/W	説明
31～16	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15～0	PFTXC [15:0]	すべて 0	R	PAUSE フレーム送信カウント 自動 PAUSE フレームと手動 PAUSE フレームの送信回数をあわせて表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.19　PAUSE フレーム受信カウンタレジスタ（PFRCR）

PFCTR は、PAUSE フレームを受信した回数を示す 16 ビットのカウンタです。本レジスタは、読み出し時に 0 クリアされます。



ビット	ビット名	初期値	R/W	説明
31～16	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
15～0	PFRXC [15:0]	すべて 0	R	PAUSE フレーム受信カウント 受信時のフロー制御機能有効（ECMR.RXF＝1）時、PAUSE フレームを受信した回数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.20　TSU カウンタリセットレジスタ（TSU_CTRST）

TSU_CTRST は、送信、受信、および転送フレーム数カウンタを 0 にクリアします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	CTRST	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～9	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
8	CTRST	0	R/W	TSU カウンタリセット 本ビットに 1 を書き込むと、TXNLCR0、TXALCR0、RXNLCR0、RXALCR0 の各レジスタの値が 0 にクリアされます。0 書き込みしても何も行われません。読み出すと常に 0 が読み出されます。
7～0	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

26.3.21　転送機能設定レジスタ (共通) (TSU_FWSLC)

CAM 機能を使用する場合は、TSU_POST1 ～ TSU_POST4 レジスタにより、CAM エントリテーブル中の参照する部分（一部または全部）を指定することができます。TSU_FWSLC は、TSU_POST1 ～ TSU_POST4 レジスタによる設定の有効または無効を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	POSTENU	POSTENL	–	–	–	–	–	–	–	–	–	–	–	–
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～14	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
13	POSTENU	0	R/W	CAM エントリテーブル 0～15 の POST フィールド設定（TSU_POST1 および TSU_POST2 レジスタによる設定）を有効にします。 0：POST フィールド設定無効（受信時に CAM エントリテーブル 0～15 を参照） 1：POST フィールド設定有効（CAM エントリテーブル参照条件は、POST フィールド設定に従う）
12	POSTENL	0	R/W	CAM エントリテーブル 16～31 の POST フィールド設定（TSU_POST3 および TSU_POST4 レジスタによる設定）を有効にします。 0：POST フィールド設定無効（受信時に CAM エントリテーブル 16～31 を参照しない） 1：POST フィールド設定有効（CAM エントリテーブル参照条件は、POST フィールド設定に従う）
11～0	–	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。

26.3.22　VLANtag 設定レジスタ（TSU_VTAG0）

TSU_VTAG0 は、受信動作で、VLAN 番号によるフレームの受信／破棄判定機能を有効にするか、また、そのときの VLAN 番号を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VTAG0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	VID0[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	VTAG0	0	R/W	0系VLANtag判定機能 0：VLAN番号によるフレームの受信／破棄判定機能を無効にします 1：VLAN番号によるフレームの受信／破棄判定機能を有効にします
30～12	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11～0	VID0	すべて0	R/W	V-LAN ID設定（VID） 受信フレームの受信するVLAN番号を設定します。

26.3.23　CAM エントリテーブル設定ビジーレジスタ（TSU_ADSBSY）

CAM エントリテーブルレジスタ（TSU_ADRH0 ～ TSU_ADRH31、TSU_ADRL0 ～ TSU_ADRL31）をレジスタ書き込みで設定すると、本レジスタの ADSBSY ビットが 1 にセットされます（TSU 内部で CAM エントリテーブルレジスタの内容を CAM 制御部へ反映させる作業が完了すると、ADSBSY ビットは自動的に 0 に復帰します）。本レジスタの ADSBSY ビットが 1 にセットされている期間は、TSU_ADRH0 ～ TSU_ADRH31 および TSU_ADRL0 ～ TSU_ADRL31 へのアクセスを禁止します。本レジスタは、読み出し専用のステータスレジスタです。書き込みは禁止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	ADSBSY
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～1	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み動作は禁止します。
0	ADSBSY	0	R	CAMエントリテーブル設定ビジー TSU_ADRH0～TSU_ADRH31およびTSU_ADRL0～TSU_ADRL31をレジスタライトで設定すると、1にセットされます。TSU内部でCAMエントリテーブルレジスタの内容をCAM制御部へ反映させる作業が完了すると、ADSBSYビットは自動的に0に復帰します。本ビットが1にセットされている期間は、TSU_ADRH0～TSU_ADRH31およびTSU_ADRL0～TSU_ADRL31へのアクセスを禁止します。 本レジスタへの書き込み動作は、禁止します。

26.3.24　CAM エントリテーブルイネーブル設定レジスタ（TSU_TEN）

TSU_TENは、TSU_ADRH0～TSU_ADRH31およびTSU_ADRL0～TSU_ADRL31の有効または無効を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TEN0	TEN1	TEN2	TEN3	TEN4	TEN5	TEN6	TEN7	TEN8	TEN9	TEN10	TEN11	TEN12	TEN13	TEN14	TEN15
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEN16	TEN17	TEN18	TEN19	TEN20	TEN21	TEN22	TEN23	TEN24	TEN25	TEN26	TEN27	TEN28	TEN29	TEN30	TEN31
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TEN0	0	R/W	CAMエントリテーブル0（TSU_ADRH0、TSU_ADRL0）設定 0：無効 1：有効
30	TEN1	0	R/W	CAMエントリテーブル1（TSU_ADRH1、TSU_ADRL1）設定 0：無効 1：有効
29	TEN2	0	R/W	CAMエントリテーブル2（TSU_ADRH2、TSU_ADRL2）設定 0：無効 1：有効
28	TEN3	0	R/W	CAMエントリテーブル3（TSU_ADRH3、TSU_ADRL3）設定 0：無効 1：有効
27	TEN4	0	R/W	CAMエントリテーブル4（TSU_ADRH4、TSU_ADRL4）設定 0：無効 1：有効
26	TEN5	0	R/W	CAMエントリテーブル5（TSU_ADRH5、TSU_ADRL5）設定 0：無効 1：有効
25	TEN6	0	R/W	CAMエントリテーブル6（TSU_ADRH6、TSU_ADRL6）設定 0：無効 1：有効
24	TEN7	0	R/W	CAMエントリテーブル7（TSU_ADRH7、TSU_ADRL7）設定 0：無効 1：有効
23	TEN8	0	R/W	CAMエントリテーブル8（TSU_ADRH8、TSU_ADRL8）設定 0：無効 1：有効
22	TEN9	0	R/W	CAMエントリテーブル9（TSU_ADRH9、TSU_ADRL9）設定 0：無効 1：有効
21	TEN10	0	R/W	CAMエントリテーブル10（TSU_ADRH10、TSU_ADRL10）設定 0：無効 1：有効
20	TEN11	0	R/W	CAMエントリテーブル11（TSU_ADRH11、TSU_ADRL11）設定 0：無効 1：有効
19	TEN12	0	R/W	CAMエントリテーブル12（TSU_ADRH12、TSU_ADRL12）設定 0：無効 1：有効
18	TEN13	0	R/W	CAMエントリテーブル13（TSU_ADRH13、TSU_ADRL13）設定 0：無効 1：有効

ビット	ビット名	初期値	R/W	説明
17	TEN14	0	R/W	CAM エントリテーブル 14（TSU_ADRH14、TSU_ADRL14）設定 0：無効 1：有効
16	TEN15	0	R/W	CAM エントリテーブル 15（TSU_ADRH15、TSU_ADRL15）設定 0：無効 1：有効
15	TEN16	0	R/W	CAM エントリテーブル 16（TSU_ADRH16、TSU_ADRL16）設定 0：無効 1：有効
14	TEN17	0	R/W	CAM エントリテーブル 17（TSU_ADRH17、TSU_ADRL17）設定 0：無効 1：有効
13	TEN18	0	R/W	CAM エントリテーブル 18（TSU_ADRH18、TSU_ADRL18）設定 0：無効 1：有効
12	TEN19	0	R/W	CAM エントリテーブル 19（TSU_ADRH19、TSU_ADRL19）設定 0：無効 1：有効
11	TEN20	0	R/W	CAM エントリテーブル 20（TSU_ADRH20、TSU_ADRL20）設定 0：無効 1：有効
10	TEN21	0	R/W	CAM エントリテーブル 21（TSU_ADRH21、TSU_ADRL21）設定 0：無効 1：有効
9	TEN22	0	R/W	CAM エントリテーブル 22（TSU_ADRH22、TSU_ADRL22）設定 0：無効 1：有効
8	TEN23	0	R/W	CAM エントリテーブル 23（TSU_ADRH23、TSU_ADRL23）設定 0：無効 1：有効
7	TEN24	0	R/W	CAM エントリテーブル 24（TSU_ADRH24、TSU_ADRL24）設定 0：無効 1：有効
6	TEN25	0	R/W	CAM エントリテーブル 25（TSU_ADRH25、TSU_ADRL25）設定 0：無効 1：有効
5	TEN26	0	R/W	CAM エントリテーブル 26（TSU_ADRH26、TSU_ADRL26）設定 0：無効 1：有効
4	TEN27	0	R/W	CAM エントリテーブル 27（TSU_ADRH27、TSU_ADRL27）設定 0：無効 1：有効
3	TEN28	0	R/W	CAM エントリテーブル 28（TSU_ADRH28、TSU_ADRL28）設定 0：無効 1：有効
2	TEN29	0	R/W	CAM エントリテーブル 29（TSU_ADRH29、TSU_ADRL29）設定 0：無効 1：有効
1	TEN30	0	R/W	CAM エントリテーブル 30（TSU_ADRH30、TSU_ADRL30）設定 0：無効 1：有効
0	TEN31	0	R/W	CAM エントリテーブル 31（TSU_ADRH31、TSU_ADRL31）設定 0：無効 1：有効

26.3.25　CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1)

CAM 機能を使用する場合は、TSU_POST1 ～ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST1 は、TSU_ADRH0 ～ TSU_ADRH7 および TSU_ADRL0 ～ TSU_ADRL7 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST0	–	–	–	POST1	–	–	–	POST2	–	–	–	POST3	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST4	–	–	–	POST5	–	–	–	POST6	–	–	–	POST7	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST0	0	R/W	CAMエントリテーブル0を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST0：受信時にCAMエントリテーブル0を参照
30～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
27	POST1	0	R/W	CAMエントリテーブル1を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST1：受信時にCAMエントリテーブル1を参照
26～24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
23	POST2	0	R/W	CAMエントリテーブル2を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST2：受信時にCAMエントリテーブル2を参照
22～20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
19	POST3	0	R/W	CAMエントリテーブル3を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST3：受信時にCAMエントリテーブル3を参照
18～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15	POST4	0	R/W	CAMエントリテーブル4を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST4：受信時にCAMエントリテーブル4を参照
14～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11	POST5	0	R/W	CAMエントリテーブル5を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST5：受信時にCAMエントリテーブル5を参照
10～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	POST6	0	R/W	CAMエントリテーブル6を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST6：受信時にCAMエントリテーブル6を参照
6～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	POST7	0	R/W	CAMエントリテーブル7を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST7：受信時にCAMエントリテーブル7を参照
2～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

26.3.26　CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2)

CAM 機能を使用する場合は、TSU_POST1 ～ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST2 は、TSU_ADRH8 ～ TSU_ADRH15 および TSU_ADRL8 ～ TSU_ADRL15 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENU ビットが 1 のとき有効になります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST8	—	—	—	POST9	—	—	—	POST10	—	—	—	POST11	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST12	—	—	—	POST13	—	—	—	POST14	—	—	—	POST15	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST8	0	R/W	CAMエントリテーブル8を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST8：受信時にCAMエントリテーブル8を参照
30～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
27	POST9	0	R/W	CAMエントリテーブル9を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST9：受信時にCAMエントリテーブル9を参照
26～24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
23	POST10	0	R/W	CAMエントリテーブル10を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST10：受信時にCAMエントリテーブル10を参照
22～20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
19	POST11	0	R/W	CAMエントリテーブル11を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST11：受信時にCAMエントリテーブル11を参照
18～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15	POST12	0	R/W	CAMエントリテーブル12を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST12：受信時にCAMエントリテーブル12を参照
14～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11	POST13	0	R/W	CAMエントリテーブル13を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST13：受信時にCAMエントリテーブル13を参照
10～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	POST14	0	R/W	CAMエントリテーブル14を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST14：受信時にCAMエントリテーブル14を参照
6～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	POST15	0	R/W	CAMエントリテーブル15を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST15：受信時にCAMエントリテーブル15を参照
2～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

26.3.27　CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3)

CAM 機能を使用する場合は、TSU_POST1 ～ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST3 は、TSU_ADRH16 ～ TSU_ADRH23 および TSU_ADRL16 ～ TSU_ADRL23 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENL ビットが 1 のとき有効になります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST16	–	–	–	POST17	–	–	–	POST18	–	–	–	POST19	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST20	–	–	–	POST21	–	–	–	POST22	–	–	–	POST23	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST16	0	R/W	CAMエントリテーブル16を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST16：受信時にCAMエントリテーブル16を参照
30～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
27	POST17	0	R/W	CAMエントリテーブル17を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST17：受信時にCAMエントリテーブル17を参照
26～24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
23	POST18	0	R/W	CAMエントリテーブル18を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST18：受信時にCAMエントリテーブル18を参照
22～20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
19	POST19	0	R/W	CAMエントリテーブル19を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST19：受信時にCAMエントリテーブル19を参照
18～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15	POST20	0	R/W	CAMエントリテーブル20を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST20：受信時にCAMエントリテーブル20を参照
14～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11	POST21	0	R/W	CAMエントリテーブル21を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST21：受信時にCAMエントリテーブル21を参照
10～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	POST22	0	R/W	CAMエントリテーブル22を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST22：受信時にCAMエントリテーブル22を参照
6～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	POST23	0	R/W	CAMエントリテーブル23を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST23：受信時にCAMエントリテーブル23を参照
2～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

26.3.28　CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4)

CAM 機能を使用する場合は、TSU_POST1 ～ TSU_POST4 レジスタにより、各 CAM エントリテーブルごとにそのエントリテーブルを参照する条件を指定することができます。TSU_POST4 は、TSU_ADRH24 ～ TSU_ADRH31 および TSU_ADRL24 ～ TSU_ADRL31 を参照する条件を指定します。本レジスタの設定は、TSU_FWSLC の POSTENL ビットが 1 のとき有効になります。

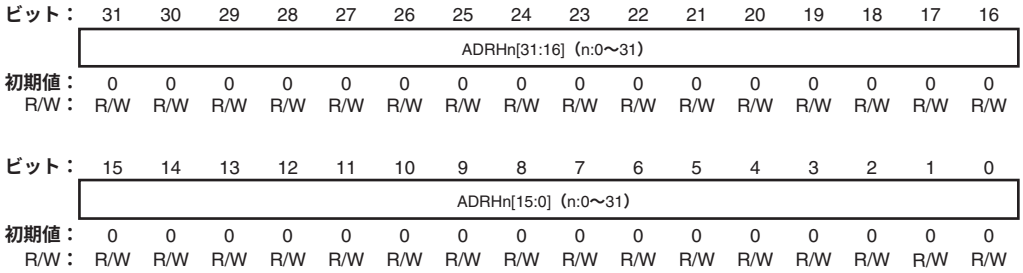
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	POST24	–	–	–	POST25	–	–	–	POST26	–	–	–	POST27	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	POST28	–	–	–	POST29	–	–	–	POST30	–	–	–	POST31	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31	POST24	0	R/W	CAMエントリテーブル24を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST24：受信時にCAMエントリテーブル24を参照
30～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
27	POST25	0	R/W	CAMエントリテーブル25を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST25：受信時にCAMエントリテーブル25を参照
26～24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
23	POST26	0	R/W	CAMエントリテーブル26を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST26：受信時にCAMエントリテーブル26を参照
22～20	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
19	POST27	0	R/W	CAMエントリテーブル27を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST27：受信時にCAMエントリテーブル27を参照
18～16	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15	POST28	0	R/W	CAMエントリテーブル28を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST28：受信時にCAMエントリテーブル28を参照
14～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11	POST29	0	R/W	CAMエントリテーブル29を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST29：受信時にCAMエントリテーブル29を参照
10～8	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	POST30	0	R/W	CAMエントリテーブル30を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST30：受信時にCAMエントリテーブル30を参照
6～4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
3	POST31	0	R/W	CAMエントリテーブル31を参照する条件を設定します。 1にセットすることにより、条件を選択することが可能です。 POST31：受信時にCAMエントリテーブル31を参照
2～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

26.3.29　CAM エントリテーブル 0 ～ 31H レジスタ（TSU_ADRH0 ～ TSU_ADRH31）

TSU_ADRH0 ～ TSU_ADRH31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの上位 32 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。

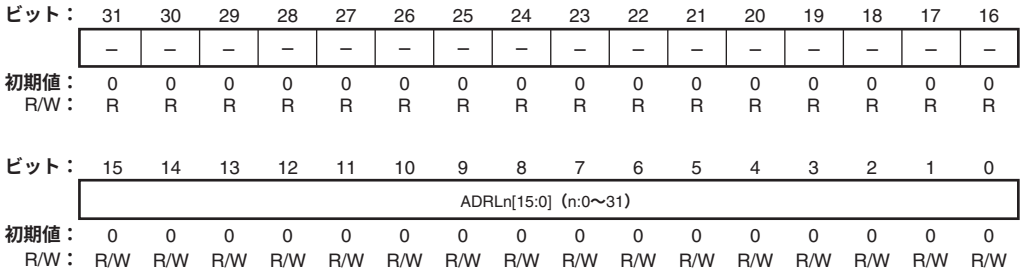


ビット	ビット名	初期値	R/W	説明
31～0	ADRHn [31:0] (n：0～31)	すべて0	R/W	MACアドレスビット MACアドレスの上位32ビットを設定します。 MACアドレスが01-23-45-67-89-AB（16進数表示）である場合、本レジスタには H'01234567を設定します。

注.　CAMエントリテーブルは下記の手順に従って設定してください。
1. TSU_ADSBSYのADSBSYビットが0であることを確認します。
2. TSU_ADRH0～TSU_ADRH31により、MACアドレスの上位32ビットを設定します。
3. TSU_ADRL0～TSU_ADRL31により、MACアドレスの下位16ビットを設定します。

26.3.30　CAM エントリテーブル 0 ～ 31L レジスタ（TSU_ADRL0 ～ TSU_ADRL31）

TSU_ADRL0 ～ TSU_ADRL31 は、受信または転送の際に CAM に参照されるエントリテーブルです。本レジスタでは 48 ビットの MAC アドレスの下位 16 ビットを設定します。最大 32 エントリの MAC アドレスを登録することができます。



ビット	ビット名	初期値	R/W	説明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15～0	ADRLn[15:0] (n：0～31)	すべて0	R/W	MACアドレスビット MACアドレスの下位16ビットを設定します。 MACアドレスが01-23-45-67-89-AB（16進数表示）である場合、本レジスタには H'000089ABを設定します。

注.　CAMエントリテーブルは下記の手順に従って設定してください。
1. TSU_ADSBSYのADSBSYビットが0であることを確認します。
2. TSU_ADRH0～TSU_ADRH31により、MACアドレスの上位32ビットを設定します。
3. TSU_ADRL0～TSU_ADRL31により、MACアドレスの下位16ビットを設定します。

26.3.31　送信フレーム数カウンタレジスタ（正常送信のみ）（TXNLCR0）

TXNLCR0 は、E-MAC にて正常に送信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NCT0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NTC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	NTC0[31:0]	すべて 0	R	送信フレームカウンタビット 正常に送信が完了したフレームのカウント数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.32　送信フレーム数カウンタレジスタ（正常および障害発生を含むすべて）（TXALCR0）

TXALCR0 は、E-MAC にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TC0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	TC0[31:0]	すべて 0	R	送信フレームカウンタビット 正常に送信された送信フレームおよび障害が発生した送信フレームのカウント数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.33　受信フレーム数カウンタレジスタ（正常受信のみ）（RXNLCR0）

RXNLCR0 は、E-MAC にて正常に受信が完了したフレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	NRC0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NRC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	NRC0[31:0]	すべて 0	R	受信フレームカウンタビット 正常に受信が完了したフレームのカウント数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.34　受信フレーム数カウンタレジスタ（正常および障害発生を含むすべて）（RXALCR0）

RXALCR0 は、E-MAC にて障害が発生した送信フレーム数を含んだ送信フレーム数を示す 32 ビットのカウンタです。値が H'FFFFFFFF になるとカウントアップを停止します。本レジスタへのリード動作によってカウンタの値は、0 にクリアされます。本レジスタへの書き込みはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RC0[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RC0[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	RC0[31:0]	すべて 0	R	受信フレームカウンタビット 正常に受信された受信フレームおよび障害が発生した受信フレームのカウント数を表します。

注.　本レジスタのカウント値は、カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

26.3.35　E-DMAC 起動レジスタ（EDSR）

EDSR は、E-DMAC の送信部、受信部の起動を指定します。本レジスタは書き込みのみ可能で読み出しは無効です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	ENT	ENR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	W	W

ビット	ビット名	初期値	R/W	説明
31～2	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	ENT	0	W	E-DMAC送信部起動 0：E-DMAC送信部を停止します。 1：E-DMAC送信部を起動します。
0	ENR	0	W	E-DMAC受信部起動 0：E-DMAC受信部を停止します。 1：E-DMAC受信部を起動します。

26.3.36　E-DMAC モードレジスタ（EDMR）

EDMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC のリセット指示および送受信ディスクリプタ長を指定します。本レジスタの設定は、送信機能、受信機能が有効になる前（EDTRR の TR ビットまたは、EDRRR の RR ビットを 1 とする以前）に行います。ただし、SWRR と SWRT ビットは、送信機能、受信機能が有効になった後でも書き込むことが可能です。データ送信中に本レジスタによってソフトウェアリセットを実行すると、回線上に異常データを送出する可能性があります。本レジスタによる送受信ディスクリプタ長の指定、TDLAR、RDLAR 等の設定値、ECMR（E-MAC モードレジスタ）の設定値、他 E-DMAC、E-MAC の動作に関わるレジスタ設定値を変更するには、本レジスタのソフトウェアリセットを実行後設定します。

本レジスタのソフトウェアリセットを実行する場合は、必ず、SWRT ビットと SWRR ビットに同時に 1 を書き込んでください。SWRT ビットと SWRR ビットに 1 をライトすることにより E-DMAC の TDLAR、RDLAR、RMFCR を除く E-DMAC の各レジスタと、E-MAC の各レジスタを初期化することができます。TSU のレジスタ（レジスタ名が TSU_ で始まるレジスタ）は初期化されません。EDMR0 の SWRT および SWRR ビットでは E-DMAC と E-MAC 関係の各レジスタが初期化されます。なお、ソフトウェアリセットの発行期間中（内部バスクロック Bck で 64 サイクル間）は、イーサネット関係のすべてのモジュールに対するレジスタアクセスを禁止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	DE	DL[1:0]		–	–	SWRT	SWRR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～7	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
6	DE	0	R/W	送受信フレームエンディアン 送受信FIFO・送受信バッファ間のフレームデータDMA転送時のエンディアンを設定します。 0：ビッグエンディアンモード（ロングワードアクセス） 1：リトルエンディアンモード（ロングワードアクセス）
5、4	DL[1:0]	00	R/W	送受信ディスクリプタ長 ディスクリプタ長を指定します（「26.4.1　ディスクリプタとディスクリプタリスト」参照）。 00：16バイト 01：32バイト 10：64バイト 11：リザーブ（設定不可）
3、2	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1	SWRT	0	R/W	送信FIFO制御部ソフトウェアリセット [書き込み時] 0：無効 1：ソフトウェアリセット起動 [読み出し時] 0：ソフトウェアリセット未実行（あるいは完了） 1：ソフトウェアリセット実行中
0	SWRR	0	R/W	受信FIFO制御部ソフトウェアリセット [書き込み時] 0：無効 1：ソフトウェアリセット起動 [読み出し時] 0：ソフトウェアリセット未実行（あるいは完了） 1：ソフトウェアリセット実行中

26.3.37　E-DMAC 送信要求レジスタ（EDTRR）

EDTRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に送信指示を行います。本レジスタの TR ビットに 11 を書き込んだ後、E-DMAC は TDLAR に指示されているアドレスの送信ディスクリプタを読み込みます。この送信ディスクリプタの TACT ビットが 1（有効）であれば、E-DMAC による送信 DMA 転送が開始します。以降、最初の送信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の送信ディスクリプタを読み込み TACT ビットが有効であれば、送信 DMA 動作を継続します。また、送信ディスクリプタの TACT ビットが 0（無効）の場合は、TR ビットをクリアして送信 DMAC の動作を停止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	TR[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
1、0	TR	00	R/W	送信要求 00、01、10：送信停止状態 00、01、あるいは10を書き込んだ場合、E-DMACは、現在処理中の送信ディスクリプタのDMA転送を終了し、その次の送信ディスクリプタを読み込んだ後に、TRビットをクリアします（それまでに検出した有効な送信ディスクリプタに対してはライトバックまで完了させます）。 また、E-DMACは、送信ディスクリプタの枯渇あるいは送信完了を検出した場合、TRビットをクリアします（それまでに検出した有効な送信ディスクリプタに対してはライトバックまで完了させます）。 11：E-DMACによる送信DMA動作中 11を書き込んだ後は、E-DMACは送信ディスクリプタの読み込みを開始します。

26.3.38　E-DMAC 受信要求レジスタ（EDRRR）

EDRRR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-DMAC に受信指示を行います。本レジスタの RR ビットに 1 を書き込んだ後、E-DMAC は RDLAR に指示されているアドレスの受信ディスクリプタを読み込みます。この受信ディスクリプタの RACT ビットが 1（有効）で受信 FIFO に受信したフレームがあれば、E-DMAC による受信 DMA 転送が開始します。以降、最初の受信ディスクリプタによる DMA 転送が完了すると、E-DMAC は次の受信ディスクリプタを読み込み RACT ビットが有効であれば、受信 DMA 動作を継続します。ただし、受信 FIFO に受信データがない場合には、E-DMAC は受信 DMA 動作を待機状態にします。また、受信ディスクリプタの RACT ビットが 0（無効）の場合は、RR ビットをクリアして受信 DMAC の動作を停止します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

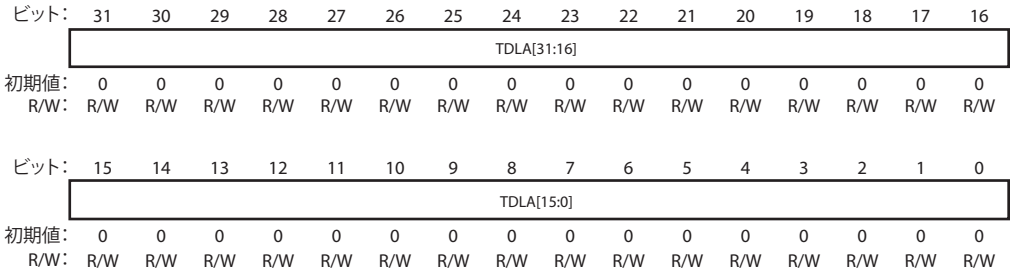
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	RR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	RR	0	R/W	受信要求 0：受信機能を無効にする（注1） 0を書き込んだ場合、E-DMACは、1フレームのDMA転送を終了した時点で受信機能を停止し、RRビットをクリアします。 また、受信ディスクリプタの枯渇を検出した場合、E-DMACは、RRビットをクリアします。 1：受信ディスクリプタを読み込み、E-DMAC受信可能状態となる

注1.　フレームの受信中に受信機能を無効にした場合、受信ディスクリプタのライトバックが正常に動作せず、以降の受信ディスクリプタの読み込みポインタが異常となるため、E-DMACは正常な動作ができなくなります。この場合、再度E-DMACを受信可能状態とするためには、EDMR0のSWRTおよびSWRRビットによりソフトウェアリセットを実行してください。E-DMACをソフトウェアリセットせずに受信機能を無効とするには、ECMR0のREビットにより受信機能を無効とします。次に、E-DMACの受信が完了し受信ディスクリプタのライトバックが確認できた後、本レジスタの受信機能を無効にしてください。

26.3.39　送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）

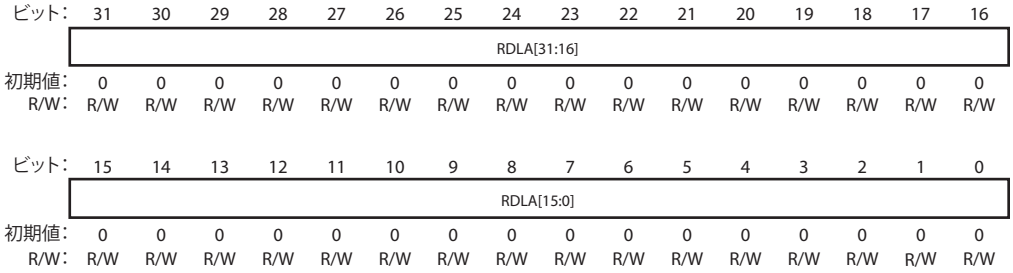
TDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。送信中に本レジスタを書き換えることは、禁止します。本レジスタの書き換えは、E-DMAC 送信要求レジスタ（EDTRR）の TR ビット（＝ 00）による送信停止状態で行ってください。



ビット	ビット名	初期値	R/W	説明
31～0	TDLA[31:0]	すべて 0	R/W	送信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16バイトバウンダリ：TDLA[3:0]＝0000 32バイトバウンダリ：TDLA[4:0]＝00000 64バイトバウンダリ：TDLA[5:0]＝000000

26.3.40　受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）

RDLAR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信ディスクリプタリストの先頭アドレスを設定します。各ディスクリプタは、EDMR の DL ビットで示すディスクリプタ長に合致する境界構成とします。受信中に本レジスタを書き換えることは禁止します。本レジスタの書き換えは、E-DMAC 受信要求レジスタ（EDRRR）の RR ビット（＝ 0）による受信停止状態で行ってください。



ビット	ビット名	初期値	R/W	説明
31～0	RDLA [31:0]	すべて 0	R/W	受信ディスクリプタの先頭アドレス 指定したディスクリプタ長によって下位ビットを以下のように設定します。 16バイトバウンダリ：RDLA[3:0]＝0000 32バイトバウンダリ：RDLA[4:0]＝00000 64バイトバウンダリ：RDLA[5:0]＝000000

26.3.41　E-MAC/E-DMAC ステータスレジスタ（EESR）

EESR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC と E-DMAC を合わせた通信ステータスを表示します。本レジスタは、割り込み要因として報告されます。各ビットは、1 を書き込むことでクリアされます（ただし、ビット 22（ECI）はリード専用で、1 を書き込んでもクリアされません）。0 を書き込んでも、各ビットの状態には影響しません。各割り込み要因は E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）の当該ビットによってマスクすることが可能です。

本ステータスレジスタが要因で発生する割り込みは、ETHERI となります。割り込みの優先順位については、**「7.4　割り込み要因」**を参照ください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB[1:0]		TC[1]	TUC	ROC	TABT	RABT	RFCOF	–	ECI	TC[0]	TDE	TFUF	FR	RDE	RFOF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	RMAF	–	–	RRF	RTLF	RTSF	PRE	CERF
初期値：	0	0	0	0	0	不定	不定	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	TWB[1:0]	00	R/W	ライトバック完了 フレーム送信完了後の E-DMAC からの当該ディスクリプタへのライトバックが完了したことを示します。本動作は、送信フレームの最後を含む送信ディスクリプタの TWBI ビットが 1 にセットされているときのみ有効です。 00：ライトバック未完了または送信未指示 11：ライトバック完了 その他：無効
29	TC[1]	0	R/W	フレーム送信完了 TC[0] ビットとの組み合わせで、送信ディスクリプタによって指定されたデータをすべて E-MAC 部から送信したことを示します。1 フレーム／1 ディスクリプタでは、1 フレームの送信が完了し次のディスクリプタ内の送信ディスクリプタ有効ビット（TACT）がセットされていなかった場合、また 1 フレーム／複数ディスクリプタであるマルチバッファフレーム処理ではフレーム最後のデータを送信し、次のディスクリプタ内の送信ディスクリプタ有効ビット（TACT）がセットされていなかった場合に送信完了とみなし、本ビットが 1 となります。フレーム送信完了後は、E-DMAC は送信状態を当該ディスクリプタにライトバックします。 TC[1:0] 00：送信未完了または送信未指示 11：送信完了 その他：無効
28	TUC	0	R/W	送信アンダフローフレームライトバック完了 0：送信アンダフローを起こしたフレームのライトバックが完了していない 1：送信アンダフローを起こしたフレームのライトバックが完了した
27	ROC	0	R/W	受信オーバフローフレームライトバック完了 0：受信アンダフローを起こしたフレームのライトバックが完了していない 1：受信アンダフローを起こしたフレームのライトバックが完了した
26	TABT	0	R/W	送信中断検出 フレーム送信時、障害等により E-MAC がフレーム送信を中断したことを示します。 0：フレーム送信中断未発生または送信未指示 1：フレーム送信中断発生
25	RABT	0	R/W	受信中断検出 フレーム受信時、障害等により E-MAC がフレーム受信を中断したことを示します。 0：フレーム受信中断未発生または受信未指示 1：フレーム受信中断発生
24	RFCOF	0	R/W	受信フレームカウンタオーバフロー 受信 FIFO 内のフレームカウンタがオーバフローしたことを示します。 0：受信フレームカウンタがオーバフローしていない 1：受信フレームカウンタがオーバフローした

ビット	ビット名	初期値	R/W	説明
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
22	ECI	0	R	E-MACステータスレジスタ要因 本ビットは、リード専用です。ECSRの要因がクリアされると、本ビットもクリアされます。 0：E-MACステータス割り込み要因未検出 1：E-MACステータス割り込み要因検出
21	TC[0]	0	R/W	フレーム送信完了 TC[1]ビットとの組み合わせで、送信ディスクリプタによって指定されたデータをすべてE-MAC部から送信したことを示します。詳しくは、TC[1]ビットの説明を参照してください。
20	TDE	0	R/W	送信ディスクリプタ枯渇 1フレーム／複数ディスクリプタであるマルチバッファフレーム処理で前ディスクリプタがフレームの最終でない場合は、E-DMACが送信ディスクリプタを読み込んだときに、ディスクリプタ内の送信ディスクリプタ有効ビット（TACT）がセットされていなかったことを示します。結果として不完全なフレームを送出する場合があります。 0：送信ディスクリプタ有効ビットTACT＝1を検出 1：送信ディスクリプタ有効ビットTACT＝0を検出 送信ディスクリプタ枯渇（TDE＝1）が発生した場合は、ソフトウェアリセットしてから送信起動をかけてください。このとき、送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）に格納されているアドレスからの開始となります。
19	TFUF	0	R/W	送信FIFOアンダフロー フレームを送信中に送信FIFOにアンダフローが発生したことを示します。回線上には、不完全なデータが送出されます。 0：アンダフロー未発生 1：アンダフロー発生
18	FR	0	R/W	フレーム受信 フレームを受信し、受信ディスクリプタを更新したことを示します。本ビットは、1フレームを受信するたびに1にセットされます。 0：フレーム未受信 1：フレーム受信済み
17	RDE	0	R/W	受信ディスクリプタ枯渇 E-DMACが受信DMAのため読み込んだ受信ディスクリプタのRACTビットが0（無効）であったことを示します。 受信ディスクリプタ枯渇（RDE＝1）が発生した場合は、RACTビット＝0となっていた受信ディスクリプタをRACT＝1に設定しEDRRRのRRビットに1を書き込むことで、受信を再開することができます。 0：受信ディスクリプタ有効ビットRACT＝1を検出 1：受信ディスクリプタ有効ビットRACT＝0を検出
16	RFOF	0	R/W	受信FIFOオーバフロー フレームを受信中に受信FIFOがオーバフローしたことを示します。 0：オーバフロー未発生 1：オーバフロー発生
15～11	—	すべて0	R	リザーブビット 書き込み時は常に0を書き込んでください。
10、9	—	不定	R	リザーブビット 書き込み時は常に0を書き込んでください。
8	—	0	R	リザーブビット 書き込み時は常に0を書き込んでください。
7	RMAF	0	R/W	マルチキャストアドレスフレーム受信 0：マルチキャストアドレスフレーム未受信 1：マルチキャストアドレスフレーム受信
6、5	—	すべて0	R	リザーブビット 書き込み時は常に0を書き込んでください。
4	RRF	0	R/W	端数ビットフレーム受信 0：端数ビットフレーム未受信 1：端数ビットフレーム受信

ビット	ビット名	初期値	R/W	説明
3	RTLF	0	R/W	ロングフレーム受信エラー RFLR で設定した受信フレーム長上限値を超えるバイト数のフレームを受信したことを示します。 0：ロングフレーム未受信 1：ロングフレーム受信
2	RTSF	0	R/W	ショートフレーム受信エラー 64 バイト未満のフレームを受信したことを示します。 0：ショートフレーム未受信 1：ショートフレーム受信
1	PRE	0	R/W	PHY-LSI 受信エラー 0：PHY-LSI 受信エラー未検出 1：PHY-LSI 受信エラー検出
0	CERF	0	R/W	受信フレーム CRC エラー 0：CRC エラー未検出 1：CRC エラー検出

26.3.42　E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）

EESIPR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC/E-DMAC ステータスレジスタ（EESR）の各ビットに対応する割り込み許可レジスタです。各ビットは、1 をライトすることで割り込みが許可されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	TWB1IP	TWB0IP	TC1IP	TUCIP	ROCIP	TABTIP	RABTIP	RFCOFIP	–	ECIIP	TC0IP	TDEIP	TFUFIP	FRIP	RDEIP	RFEIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	RMAFIP	–	–	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	TWB1IP	0	R/W	ライトバック完了割り込み許可 0：ライトバック完了割り込み禁止 1：ライトバック完了割り込み許可
30	TWB0IP	0	R/W	ライトバック完了割り込み許可 0：ライトバック完了割り込み禁止 1：ライトバック完了割り込み許可
29	TC1IP	0	R/W	フレーム送信完了割り込み許可 0：フレーム送信完了割り込み禁止 1：フレーム送信完了割り込み許可
28	TUCIP	0	R/W	送信アンダフローフレームライトバック完了 0：送信アンダフローフレームライトバック完了割り込み禁止 1：送信アンダフローフレームライトバック完了割り込み許可
27	ROCIP	0	R/W	受信オーバフローフレームライトバック完了 0：送信オーバフローフレームライトバック完了割り込み禁止 1：送信オーバフローフレームライトバック完了割り込み許可
26	TABTIP	0	R/W	送信中断検出割り込み許可 0：受信中断検出割り込み禁止 1：受信中断検出割り込み許可
25	RABTIP	0	R/W	受信中断検出割り込み許可 0：受信中断検出割り込み禁止 1：受信中断検出割り込み許可
24	RFCOFIP	0	R/W	受信フレームカウンタオーバフロー割り込み許可 0：受信フレームカウンタオーバフロー割り込み禁止 1：受信フレームカウンタオーバフロー割り込み許可
23	–	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
22	ECIIP	0	R/W	E-MACステータスレジスタ要因割り込み許可 0：E-MACステータス割り込み禁止 1：E-MACステータス割り込み許可
21	TC0IP	0	R/W	フレーム送信完了割り込み許可 0：フレーム送信完了割り込み禁止 1：フレーム送信完了割り込み許可
20	TDEIP	0	R/W	送信ディスクリプタ枯渇割り込み許可 0：送信ディスクリプタ枯渇割り込み禁止 1：送信ディスクリプタ枯渇割り込み許可
19	TFUFIP	0	R/W	送信FIFOアンダフロー割り込み許可 0：アンダフロー割り込み禁止 1：アンダフロー割り込み許可
18	FRIP	0	R/W	フレーム受信割り込み許可 0：フレーム受信割り込み禁止 1：フレーム受信割り込み許可

ビット	ビット名	初期値	R/W	説明
17	RDEIP	0	R/W	受信ディスクリプタ枯渇割り込み許可 0：受信ディスクリプタ枯渇割り込み禁止 1：受信ディスクリプタ枯渇割り込み許可
16	RFOFIP	0	R/W	受信FIFOオーバフロー割り込み許可 0：オーバフロー割り込み禁止 1：オーバフロー割り込み許可
15～8	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	RMAFIP	0	R/W	マルチキャストアドレスフレーム受信割り込み許可 0：マルチキャストアドレスフレーム受信割り込み禁止 1：マルチキャストアドレスフレーム受信割り込み許可
6、5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	RRFIP	0	R/W	端数ビットフレーム受信割り込み許可 0：端数ビットフレーム受信割り込み禁止 1：端数ビットフレーム受信割り込み許可
3	RTLFIP	0	R/W	ロングフレーム受信エラー割り込み許可 0：ロングフレーム受信エラー割り込み禁止 1：ロングフレーム受信エラー割り込み許可
2	RTSFIP	0	R/W	ショートフレーム受信エラー割り込み許可 0：ショートフレーム受信エラー割り込み禁止 1：ショートフレーム受信エラー割り込み許可
1	PREIP	0	R/W	PHY-LSI受信エラー割り込み許可 0：PHY-LSI受信エラー割り込み禁止 1：PHY-LSI受信エラー割り込み許可
0	CERFIP	0	R/W	受信フレームCRCエラー割り込み許可 0：CRCエラー割り込み禁止 1：CRCエラー割り込み許可

26.3.43　送受信ステータスコピー指示レジスタ（TRSCER）

TRSCER は、E-MAC/E-DMAC ステータスレジスタ（EESR）のビット 26、25、およびビット 10 からビット 0 で報告される、送信および受信ステータス情報を当該ディスクリプタの TFE または RFE ビットに反映するか否かを指示します。本レジスタの各ビットは、EESR のビット 26、25、およびビット 10 からビット 0 に対応します。各ビットに 0 を設定すると、送信ステータス（EESR のビット 26 およびビット 10 からビット 8）は送信ディスクリプタの TFE ビットに、また受信ステータス（EESR のビット 25 およびビット 7 からビット 0）は受信ディスクリプタの RFE ビットに、各ステータスビットのいずれかの 1 状態を TFE または RFE の 1 状態として反映します。1 を設定すると、該当する要因が発生してもディスクリプタに反映されません。LSI のリセット後は、各ビットは 0 に設定されています。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	TABTCE	RABTCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	RMAFCE	–	–	RRFCE	RTLFCE	RTSFCE	PRECE	CERFCE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～18	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
17	TABTCE	0	R/W	TABTビットコピー指示 0：TABTビットのステータスを送信ディスクリプタのTFEビットに反映します 1：該当する要因が発生しても送信ディスクリプタのTFEビットに反映しません
16	RABTCE	0	R/W	RABTビットコピー指示 0：RABTビットのステータスを受信ディスクリプタのRFEビットに反映します 1：該当する要因が発生しても受信ディスクリプタのRFEビットに反映しません
15～8	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
7	RMAFCE	0	R/W	RMAFビットコピー指示 0：RMAFビットのステータスを受信ディスクリプタのRFEビットに反映します 1：該当する要因が発生しても受信ディスクリプタのRFEビットに反映しません
6、5	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4	RRFCE	0	R/W	RRFビットコピー指示 0：RRFビットのステータスを受信ディスクリプタのRFEビットに反映します 1：該当する要因が発生しても受信ディスクリプタのRFEビットに反映しません
3	RTLFCE	0	R/W	RTLFビットコピー指示 0：RTLFビットのステータスを受信ディスクリプタのRFEビットに反映します 1：該当する要因が発生しても受信ディスクリプタのRFEビットに反映しません
2	RTSFCE	0	R/W	RTSFビットコピー指示 0：RTSFビットのステータスを受信ディスクリプタのRFEビットに反映します 1：該当する要因が発生しても受信ディスクリプタのRFEビットに反映しません
1	PRECE	0	R/W	PREビットコピー指示 0：PRFビットのステータスを受信ディスクリプタのRFEビットに反映します 1：該当する要因が発生しても受信ディスクリプタのRFEビットに反映しません
0	CERFCE	0	R/W	CERFビットコピー指示 0：CERFビットのステータスを受信ディスクリプタのRFEビットに反映します 1：該当する要因が発生しても受信ディスクリプタのRFEビットに反映しません

26.3.44　ミスドフレームカウンタレジスタ（RMFCR）

RMFCR は、受信時に受信バッファに収容しきれずに破棄されたフレーム数を示す 16 ビットのカウンタです。受信 FIFO がオーバフローすると、この FIFO 内にある受信フレームは破棄されます。このときに破棄するフレームの数をカウントアップします。本レジスタの値が H'0000FFFF になるとカウントアップを停止します。カウンタの値をクリアする際は、本レジスタに H'00000000 を書き込んでください。なお、本レジスタへの H'00000000 以外の値の書き込みは禁止です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCF[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15～0	MFC [15:0]	すべて0	R/W	ミスドフレームカウンタ 受信時に、受信バッファに転送しきれずに破棄されたフレーム数を示します。

26.3.45　送信 FIFO しきい値指定レジスタ（TFTR）

TFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、最初の送信を開始するまでの送信 FIFO のしきい値を指定します。実際のしきい値は、設定した数値の 4 倍の値に相当します。E-MAC は送信 FIFO 内のデータ数が本レジスタで指定されたバイト数を超えるか、送信 FIFO が満杯、または 1 フレーム分のデータ書き込みが行われると送信を開始します。なお送信動作中（EDTRR.TR[1:0]=11）の本レジスタへの書き込みは禁止です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	TFT[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10～0	TFT[10:0]	すべて0	R/W	送信FIFOしきい値 送信FIFOのしきい値は、必ずFDRで指定したFIFO容量値より小さい32バイト単位の値で設定してください。 H'000：ストア＆フォワードモード H'008：32バイト H'010：64バイト H'018：128バイト ：　　： H'07F：508バイト H'080：512バイト ：　　： H'0FF：1020バイト H'100：1024バイト ：　　： H'1FF：2044バイト H'200：2048バイト

注.　1フレーム分のデータ書き込みが完了する以前に送信を開始する場合には、アンダフローの発生に注意が必要です。

26.3.46　FIFO 容量指定レジスタ（FDR）

FDR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、送信および受信 FIFO の容量を指定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	TFD[2:0]			–	–	–	RFD[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
10～8	TFD[2:0]	すべて0	R/W	送信FIFO容量 最大2Kバイトある送信FIFOの容量を256バイトから2Kバイトまで、256バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。 H'00：256バイト H'01：512バイト ：　　： H'07：2048バイト
7～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
4～0	RFD[4:0]	すべて0	R/W	受信FIFO容量 最大4Kバイトある受信FIFOの容量を256バイトから4Kバイトまで、256バイト単位で指定します。送受信開始後は、設定値を変更することを禁止します。 H'00：256バイト H'01：512バイト ：　　： H'0F：4096バイト

26.3.47　受信方式制御レジスタ（RMCR）

RMCR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、フレームを受信時の ECMR 内にある RE ビットの制御の方法を指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	RNC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	RNC	0	R/W	受信許可制御 フレーム受信を継続する／しないを設定します。 0：1つのフレームを受信完了すると、E-DMACは受信ステータスをディスクリプタに書き込んでEDRRRのRRビットを0とします。 1：1つのフレームを受信完了すると、E-DMACは受信ステータスをディスクリプタに書き込み（ライトバック）します。さらにE-DMACは次のディスクリプタを読み込み、次のフレームの受信に備えます。

26.3.48　受信ディスクリプタフェッチアドレスレジスタ（RDFAR）

RDFAR は、E-DMAC が受信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタ情報をもとに処理を実行しているかを認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。初期設定の際は、処理を開始する受信ディスクリプタのアドレスを設定してください。

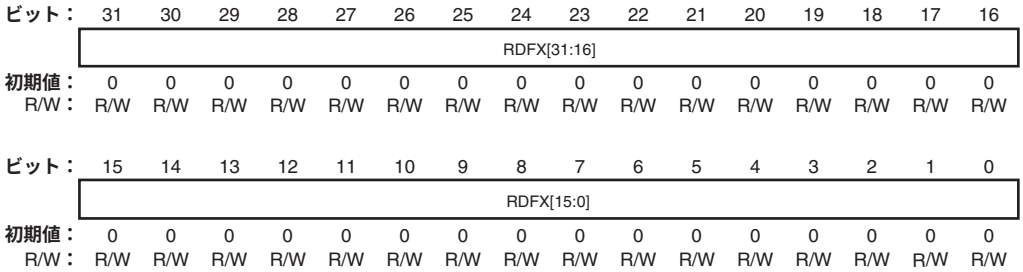
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	RDFA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RDFA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～0	RDFA[31:0]	すべて0	R/W	受信ディスクリプタフェッチアドレス 受信中に本レジスタへの書き込みは禁止です。

26.3.49　受信ディスクリプタ処理済アドレスレジスタ（RDFXR）

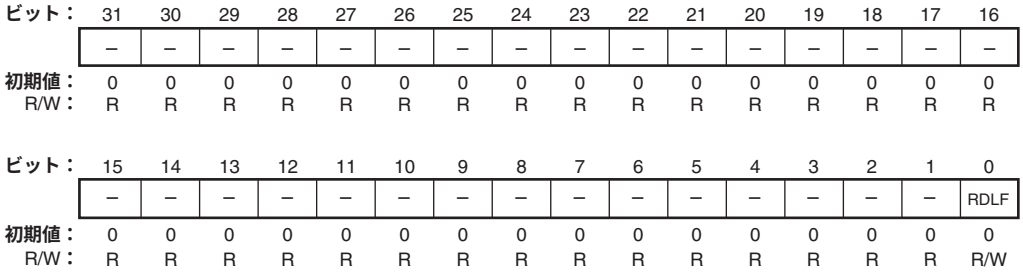
RDFXR は、E-DMAC が、直前にライトバック処理を完了した受信ディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの受信ディスクリプタまで処理を実行したか認識できます。初期設定の際は、RDFAR レジスタ設定値の 1 つ前の受信ディスクリプタのアドレスを設定してください。



ビット	ビット名	初期値	R/W	説明
31～0	RDFX [31:0]	すべて0	R/W	受信ディスクリプタ処理済アドレス 受信中に本レジスタへの書き込みは禁止です。

26.3.50　受信ディスクリプタ最終フラグレジスタ（RDFFR）

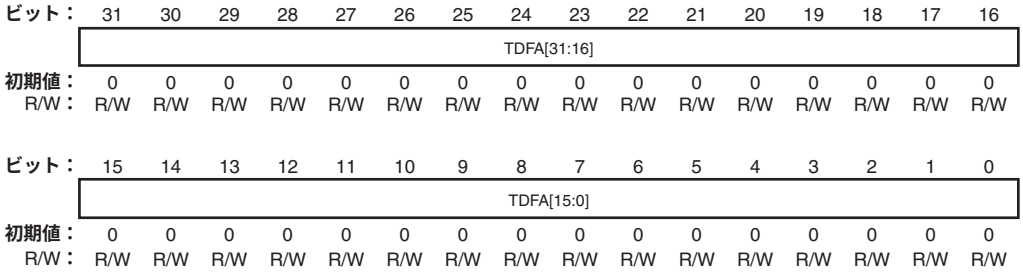
RDFFR は、RDFX でアドレスされる、直前にライトバック処理を完了した受信ディスクリプタが受信ディスディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。



ビット	ビット名	初期値	R/W	説明
31～1	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	RDLF	0	R/W	受信ディスクリプタ列最終フラグ RDFXRでアドレスされる、直前にライトバック処理を完了した受信ディスクリプタが受信ディスディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。 0：受信ディスクリプタ列の最終でない 1：受信ディスクリプタ列の最終である

26.3.51　送信ディスクリプタフェッチアドレスレジスタ（TDFAR）

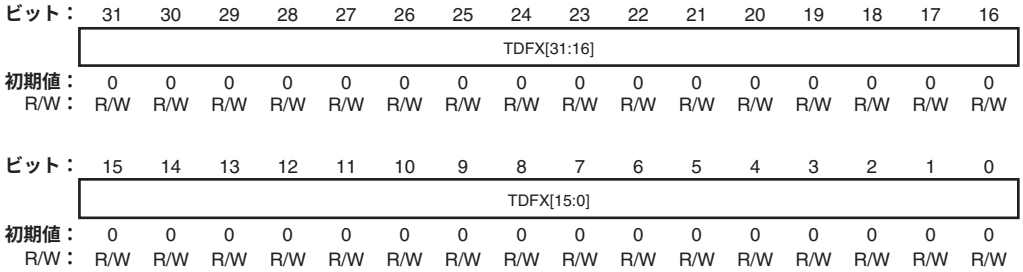
E-DMAC が送信ディスクリプタからディスクリプタ情報をフェッチする際に必要となるディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの送信ディスクリプタ情報をもとに処理を実行しているか認識できます。E-DMAC が実行しているディスクリプタフェッチ処理とレジスタの読み出しの値が一致していない場合もあります。初期設定の際は、処理を開始する送信ディスクリプタのアドレスを設定してください。



ビット	ビット名	初期値	R/W	説明
31～0	TDFA [31:0]	すべて0	R/W	送信ディスクリプタフェッチアドレス 送信中に本レジスタへの書き込みは禁止です。

26.3.52　送信ディスクリプタ処理済アドレスレジスタ（TDFXR）

TDFXR は、E-DMAC が、直前にライトバック処理を完了した送信ディスクリプタ先頭アドレスを格納します。本レジスタに表示されるアドレスをモニタすることにより、E-DMAC がどの送信ディスクリプタまで処理を実行したか認識できます。初期設定の際は、TDFAR レジスタ設定値の 1 つ前の送信ディスクリプタのアドレスを設定してください。



ビット	ビット名	初期値	R/W	説明
31～0	TDFX [31:0]	すべて0	R/W	送信ディスクリプタ処理済アドレス 送信中に本レジスタへの書き込みは禁止です。

26.3.53　送信ディスクリプタ最終フラグレジスタ（TDFFR）

TDFFR は、TDFXR でアドレスされる、直前にライトバック処理を完了した送信ディスクリプタが送信ディスディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	TDLF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	ー	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
0	TDLF	0	R/W	送信ディスクリプタ列最終フラグ TDFXRでアドレスされる、直前にライトバック処理を完了した送信ディスクリプタが送信ディスディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。 0：送信ディスクリプタ列の最終でない 1：送信ディスクリプタ列の最終である

26.3.54　オーバフロー予告 FIFO しきい値設定レジスタ（FCFTR）

FCFTR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、E-MAC のフロー制御の設定を行います。受信 FIFO データ容量（RFD[7:0]）、受信フレーム数（RFF[4:0]）によるしきい値を設定できます。

RFD の設定条件によりフロー制御をオンにするとき、FIFO 容量設定レジスタ（FDR）で設定した受信 FIFO 容量値と同じ設定である場合は、（FIFO データ容量－ 64）バイトでフロー制御をオンにします。たとえば FDR の RFD ＝ 7、FCFTR の RFD ＝ 7 の場合は、受信 FIFO 内に（2,048 － 64）バイトのデータを格納されたとき、フロー制御がオンになります。なお本レジスタの RFD の設定値は、FDR の RFD の設定値と同じか小さい値を設定してください。

フロー制御のオンは、RFF[4:0] または RFD[7:0] のいずれかの設定条件を満たしたときになります。フロー制御のオフは、いずれの設定条件も満たしていない（解除）ときになります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	RFF[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	RFD[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～21	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
20～16	RFF[4:0]	H'17	R/W	受信 FIFO オーバフロー予告信号送出しきい値 H'00：受信フレームを受信 FIFO 内に 1 フレーム格納完了時 H'01：受信フレームを受信 FIFO 内に 2 フレーム格納完了時 ：　　： H'16：受信フレームを受信 FIFO 内に 23 フレーム格納完了時 H'17：受信フレームを受信 FIFO 内に 24 フレーム格納完了時
15～8	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
7～0	RFD[7:0]	H'FF	R/W	受信 FIFO オーバフロー予告信号送出しきい値 H'00：受信 FIFO 内に 256－32 バイトのデータ容量を格納時 H'01：受信 FIFO 内に 512－32 バイトのデータ容量を格納時 ：　　： H'06：受信 FIFO 内に 1,792－32 バイトのデータ容量を格納時 H'07：受信 FIFO 内に 2,048－64 バイトのデータ容量を格納時

26.3.55　受信データパディング挿入設定レジスタ（RPADIR）

RPADIR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、受信データのパディングの挿入を行うレジスタです。本レジスタを再設定するときは、E-DMAC モードレジスタ（EDMR）の SWRT および SWRR ビットでソフトウェアリセットしてから行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	–	–	–	–	–	–	–	–	–	–	–	PADS[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PADR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～21	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
20～16	PADS [4:0]	H'00	R/W	パディングサイズ H'00：パディング挿入なし H'01：1バイト挿入 ：　　： H'1F：31バイト挿入
15～0	PADR [15:0]	H'0000	R/W	パディング範囲 H'0000：1バイト目にパディングサイズ分挿入 H'0001：2バイト目にパディングサイズ分挿入 ：　　： H'FFFF：64Kバイト目にパディングサイズ分挿入

26.3.56　インテリジェントチェックサムモードレジスタ（CSMR）

CSMR は、読み出しまたは書き込み可能な 32 ビットのレジスタで、インテリジェントチェックサムの動作モードを指定します。なお本レジスタの設定は、受信停止状態で行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CSEBL	CSMD	–	–	–	–	–	–	–	–	–	–	–	–	–	–
初期値：	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	–	–	–	–	–	–	–	–	–	–	SB[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	1	0	1	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	CSEBL	1	R/W	インテリジェントチェックサム計算機能の動作設定 0：チェックサム計算結果を受信ディスクリプタにライトバックしません。 1：チェックサム計算結果を受信ディスクリプタにライトバックします。
30	CSMD	1	R/W	インテリジェントチェックサム計算モードの設定 0：MAC レイヤパケットの先頭から SB[5:0]に設定されたバイト数分をスキップした残りのすべてのデータについてチェックサムを計算します。 1：MAC/IP レイヤパケットを解析しながら、TCP/UDP など上位レイヤのパケットのチェックサムを計算します。
29～6	ー	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込み時も常に 0 にしてください。
5～0	SB[5:0] （注 1）	011010	R/W	インテリジェントチェックサム機能チェックサム計算スキップバイト 受信 MAC の先頭から起算したスキップバイト数を指定します。 パディング挿入する場合は、パディングサイズ／パディング範囲を含めてチェックサム計算開始位置を設定してください。 H'00：0 バイト目（受信 MAC パケットの先頭からチェックサム計算開始） H'02：2 バイト目 ：　　： H'1A：26 バイト目 ：　　： H'3E：62 バイト目

注 1.　CSEBL＝1、CSMD＝0 のときのみ設定可能です。左記以外のときは H'00 を設定してください。

26.3.57　インテリジェントチェックサム機能スキップ済みバイト数モニタレジスタ（CSSBM）

CSSBM は、読み出し専用の 32 ビットのレジスタで、E-DMAC で処理中の受信パケットのスキップ済みバイト数を格納します。本レジスタに表示される値をモニタすることにより、スキップ済みバイト数を認識できます。E-DMAC が受信しているデータとスキップ済みバイト数が一致していない場合もあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	SBM[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～6	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
5～0	SBM[5:0]	000000	R	スキップ済みバイト数 本ビットは読み出し専用です。書き込みは禁止です。 受信パケットの先頭で0に初期化します。

注.　CSEBL＝1、CSMD＝0のときのみ有効な値です。

26.3.58　インテリジェントチェックサム機能モニタレジスタ（CSSMR）

CSSMR は、読み出し専用の 32 ビットのレジスタで、E-DMAC で処理中の受信パケットのチェックサム値を格納します。本レジスタに表示される値をモニタすることにより、チェックサム値を認識できます。E-DMAC が受信しているデータとチェックサム値が一致していない場合もあります。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CS[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
15～0	CS[15:0]	0	R	チェックサム値 本ビットは読み出し専用です。書き込みは禁止です。 受信パケットの先頭で0に初期化します。

注.　CSEBL＝1、CSMD＝0のときのみ有効な値です。

26.4　動作説明

ETHER は、以下の 3 つの機能から構成されています。

- DMA 転送制御部（E-DMAC）：メモリ上の送受信バッファと送受信 FIFO 間の DMA 転送
- MAC 制御部（E-MAC）：送信／受信 FIFO と MII 間の送信／受信処理
- 転送制御部（TSU）：CAM 処理

E-DMAC は、E-DMAC に内蔵されているダイレクトメモリアクセス（DMA）機能を使用し、ユーザが指定するイーサネットフレームデータの格納先（アクセス可能なメモリ空間：送信バッファ／受信バッファ）と送信／受信 FIFO との間でフレームデータの転送を行います。ユーザが CPU を介して直接送信／受信 FIFO のデータを読み書きすることはできません。

E-DMAC が DMA 転送を行うためには、ディスクリプタと呼ぶ送信／受信データの格納アドレス等が書かれた情報（データ）が必要になります。E-DMAC は、ディスクリプタに書かれた情報に従って送信データを送信バッファから読み出す、あるいは受信データを受信バッファへ書き込みます。このディスクリプタは、読み書き可能なメモリ空間に配置されます。ディスクリプタを複数個並べ、ディスクリプタ列（リスト）化することによって、複数のイーサネットフレームデータの送信／受信を連続的に行うことができます。

E-MAC は、送信 FIFO に書き込まれたデータからイーサネットフレームを構成し、MII へ送信します。また、MII から受信したイーサネットフレームの CRC チェックを行った後、分解し受信 FIFO に書き込みます。本 LSI の外部に接続する PHI-LSI とのインタフェースフォーマットとして、MII をサポートしています。

TSU は、E-DMAC と E-MAC の間に位置し、CAM エントリテーブルを参照しながら、E-MAC に入力されたイーサネットフレームの DA（宛先アドレス）を元に、以下のいずれかの処理を選択します。

1. 受信し受信 FIFO に書き込む
2. 破棄する

図 26.2 にフレームデータ経路と各種設定の概要を示します。

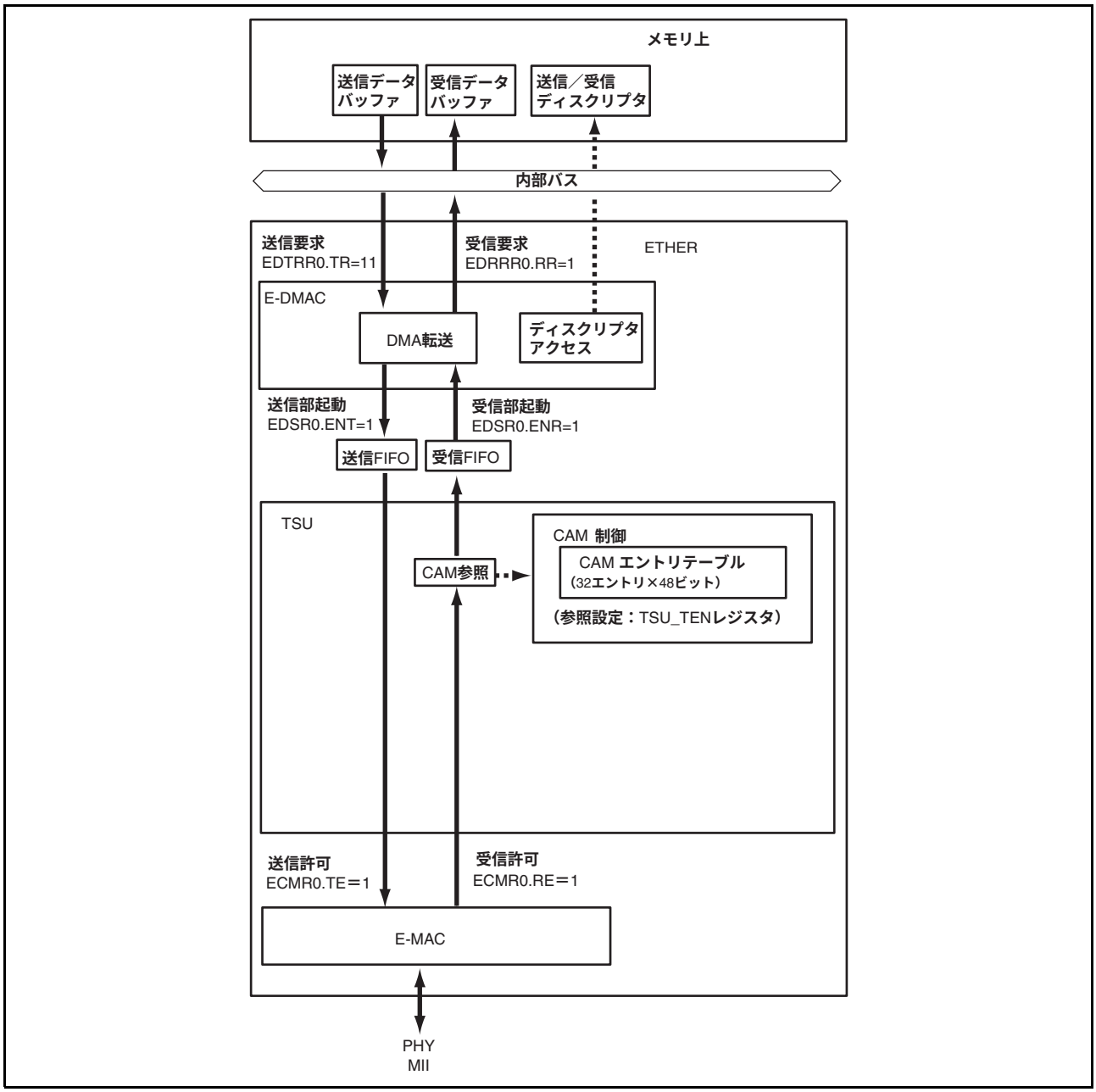


図 26.2　ETHER のデータ経路と各種設定

26.4.1　ディスクリプタとディスクリプタリスト

E-DMAC は、メモリ空間上に書き込まれたディスクリプタと呼ぶ情報（データ）に従って DMA 転送を行います。ディスクリプタには、送信ディスクリプタと受信ディスクリプタの 2 種類があります。DMA 転送を起動する前に、ソフトウェアで、送信／受信フレームデータの格納アドレス等の DMA 転送に関する情報を設定しておく必要があります。

E-DMAC は、EDTRR の TR ビットが 1 1 ／ EDRRR の RR ビットが 1 になると、送信／受信ディスクリプタを自律的に読み込み、ディスクリプタに記述された情報に従って、送信／受信バッファと送信／受信 FIFO の間で、フレームデータの DMA 伝送を行います。フレームデータの送信／受信が完了した後には、E-DMAC がディスクリプタの有効／無効ビットを無効とし、送信／受信の結果をディスクリプタ上のステータスビットに反映します。

ディスクリプタは、読み書き可能なメモリ空間に配置し、先頭ディスクリプタ（E-DMAC が最初に読み込むディスクリプタ）のアドレスを TDLAR/RDLAR に設定します。複数のディスクリプタをディスクリプタ列（ディスクリプタリスト）として用意する場合には、EDMR の DL[0:1] ビットに設定したディスクリプタ長に従って連続したアドレス（メモリ番地）に配置します。

(1)　送信ディスクリプタ

図 26.3 に送信ディスクリプタの構成と送信バッファの関係を示します。

送信ディスクリプタは、データの先頭から 32 ビット単位に TD0、TD1、TD2 およびパディングで構成されます。最後のパディングは EDMR の DL[1:0] ビットで指定するディスクリプタ長に従い長さが決まります。

TD0 は、送信ディスクリプタの有効／無効、ディスクリプタの構成情報およびステータス情報を示します。TD1 は、そのディスクリプタで指示する転送すべき送信バッファのデータ長（TDL）を示します。TD2 は、転送する送信バッファの先頭アドレス（TBA）を示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの送信データを全部指定すること（1 フレーム／ 1 バッファ）あるいはディスクリプタ複数個で 1 フレームの送信データを指定すること（1 フレーム／マルチバッファ）が可能です。1 フレーム／マルチバッファの具体例としては、イーサネットフレーム中毎回の送信で固定的に使われるデータ部分を複数のディスクリプタで参照するという方法があります。たとえば、イーサネットフレーム中の宛先アドレス、送信元アドレスのデータを複数のディスクリプタで共有して、残りのデータをおのおの別のバッファに格納するという方法が考えられます。

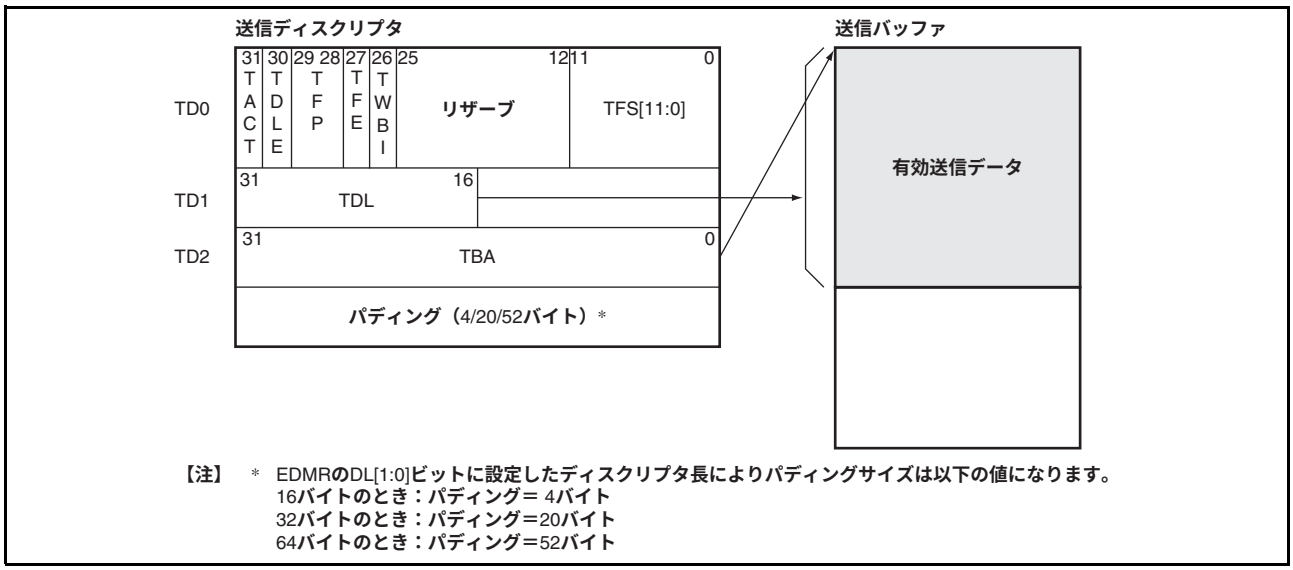


図 26.3　送信ディスクリプタと送信バッファの関係

(a) 送信ディスクリプタ 0（TD0）

TD0 は、EDTRR の TR ビット＝ 11 とする以前に、ユーザがあらかじめディスクリプタの有効／無効ビットの設定やディスクリプタの構成を設定します。イーサネットフレームの送信が完了した後に、E-DMAC がディスクリプタの有効／無効ビットを無効にし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット 31 ～ 28、26 にディスクリプタの構成に従った値を書き込んでください。またビット 27、25 ～ 0 には 0 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	TACT	0	R/W	送信ディスクリプタ有効／無効 当該ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ送信データを送信バッファ（ユーザの指定する送信データ格納先）に格納した後、本ビットに1を書き込みます。また、E-DMACはデータの転送を完了すると本ビットを0クリアします。 0：本送信ディスクリプタが無効 初期値の状態か0を書き込んだ後の状態、またはユーザが1を書き込んだ後の場合にはE-DMACのデータ転送処理終了により本ビットが0クリアされたことを示します。 E-DMACのディスクリプタ読み込みの際に、本状態が認識されるとE-DMACはEDTRRのTRビットを0クリアし、E-DMACの送信に関わる転送動作は停止します。 1：本送信ディスクリプタが有効 ユーザが1を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。 E-DMACは連続する複数個のディスクリプタ列（ディスクリプタリスト）が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。
30	TDLE	0	R/W	送信ディスクリプタリスト最終 本ディスクリプタがディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。 0：最終のディスクリプタリストではない E-DMACは本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。 1：最終のディスクリプタリストである E-DMACは本ディスクリプタの転送が完了した後、TDLARが示すアドレスにあるディスクリプタを読み込みます。
29、28	TFP[1:0]	00	R/W	送信フレーム内位置 本ディスクリプタの情報が送信フレームの先頭かその途中または最終かを示します。 00：本ディスクリプタの情報はフレームの中間である 01：本ディスクリプタの情報はフレームの最後である 10：本ディスクリプタの情報はフレームの先頭である 11：本ディスクリプタの情報はフレームの先頭と最後を含む （1フレーム／1ディスクリプタ（1バッファ）である） 【参考】 1フレームを分割して使用する際の分割数に応じたディスクリプタ列における本ビットの指定要領を示します。 • 1フレーム／1ディスクリプタの場合 1番目のディスクリプタ：TFP[1:0] = 11 • 1フレーム／2ディスクリプタの場合 1番目のディスクリプタ：TFP[1:0] = 10 2番目のディスクリプタ：TFP[1:0] = 01 • 1フレーム／3ディスクリプタの場合 1番目のディスクリプタ：TFP[1:0] = 10 2番目のディスクリプタ：TFP[1:0] = 00 3番目のディスクリプタ：TFP[1:0] = 01 以降、分割数が多い場合には、中間のTFP[1:0] = 00であるディスクリプタを追加していくことでディスクリプタ列を構成します。

ビット	ビット名	初期値	R/W	説明
27	TFE	0	R/W	送信フレームエラー発生 送信フレームに何らかのエラーが発生したことを示します。 0：TFS[11:0]のすべてのビットの値が0 1：TFS[11:0]のいずれかのビットの値が1 TRSCER レジスタで、TFS[8:0]の要因単位にマスクすることができます。ただし、TFS[11:9]はマスクすることができません。 本ビットはE-DMACによってライトバックされます。
26	TWBI	0	R/W	ライトバック完了割り込み通知 0：ライトバック完了割り込みを通知しません。 1：本ディスクリプタへのライトバック完了後、EESR レジスタのTWB[1:0]ビットに11をセットし、CPUにライトバック完了割り込みを通知します。 本ビットは、送信フレームの最後を含むディスプリプタ（TFP＝01あるいは11）でのみ有効です。本ビットはライトバックによって0に書き換わります。
25～12	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。
11～0	TFS[11:0]	すべて0	R/W	送信フレームステータス 当該フレームのステータスを示します。以下のビットは、E-DMACによりライトバックされ、1で当該の事象が発生したことを示します。 • TFS[11:10]：リザーブ（書き込み値は0としてください） • TFS[9]：送信FIFOアンダフロー（EESRのTUCビットに相当） • TFS[8]：送信中断検出（EESRのTABTビットに相当） • TFS[7:0]：リザーブ（書き込み値は0としてください）

(b)　送信ディスクリプタ 1（TD1）

TD1 は、当該ディスクリプタが使用する送信バッファのデータ長を示します。
ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説明
31～16	TDL [15:0]	すべて0	R/W	送信バッファデータ長（単位：バイト） 当該送信バッファのデータ長をバイト単位で設定します。 設定可能なデータ長は最小1（H'0001）バイト～最大64K－32（H'FFE0）バイトです。
15～0	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込み時も常に0にしてください。

(c)　送信ディスクリプタ 2（TD2）

TD2 は、32 ビット幅の当該送信バッファの先頭アドレスを示します。アドレス値は 16 バイト境界としてください。

ビット	ビット名	初期値	R/W	説明
31～0	TBA [31:0]	すべて 0	R/W	送信バッファ先頭アドレス 当該送信バッファの先頭アドレスを 16 バイト境界で設定します。

ディスクリプタの設定で以下のような設定を行った場合、E-DMAC はシステムリセットを行うまで、正常動作に復帰しませんので注意してください。

- TFP（送信フレーム内位置）が論理的に間違った設定
  例：あるディスクリプタ A で TFP ＝ 11 と設定し、次のディスクリプタ B で TFP ＝ 01 と設定した。
  ディスクリプタ B が示す送信フレームの先頭部を示すディスクリプタが存在しないことになります。
- TBL（送信バッファ長）を 0 とした設定

送信フレームを 3 つ以上の送信ディスクリプタに分割した場合、E-DMAC は以下のようにライトバックします。

- 送信フレームの先頭を含む送信ディスクリプタ（TFP ＝ 10 あるいは TFP ＝ 11）と送信フレームの最後を含む送信ディスクリプタ（TFP ＝ 01 あるいは TFP ＝ 11）に対してのみライトバックをします。
- 送信フレームの中間に対応する送信ディスクリプタ（TFP ＝ 00）に対してはライトバックしません。

ただし、TFE（送信フレームエラー発生）や TFS（送信フレームステータス）は、送信フレームの最後を含む送信ディスクリプタ（TFP ＝ 01 あるいは TFP ＝ 11）にのみライトバックされます。

また、ソフトウェアで送信ディスクリプタを再設定する場合は、未処理の送信ディスクリプタの上書き（再設定）を防ぐために、送信フレームの最後を含む送信ディスクリプタ（TFP ＝ 01 あるいは TFP ＝ 11）がライトバックされている（TACT ＝ 0 になっている）ことを再設定の前にあらかじめ確認する必要があります。

(2)　受信ディスクリプタ

図 26.4 に受信ディスクリプタと受信バッファの関係を示します。

受信ディスクリプタは、データの先頭から 32 ビット単位に RD0、RD1、RD2、およびパディングで構成されます。最後のパディングは EDMR の DL[0:1] ビットで指定するディスクリプタ長に従い長さが決まります。

RD0 は、受信ディスクリプタの有効／無効、ディスクリプタの構成情報、およびステータス情報を示します。RD1 は、そのディスクリプタで指示する受信可能な受信バッファのデータ長（RBL）と受信したフレームのデータ長（RDL）を示します。RD2 は、受信データを格納する受信バッファの先頭アドレス（RBA）を示します。

本ディスクリプタの指示内容により、ディスクリプタ 1 個で 1 フレームの受信データ全部を受信バッファに格納すること（1 フレーム／1 バッファ）が可能です。ディスクリプタの RBL を 1514 バイト（イーサネットフレームの最大長）以上にすれば、すべての受信フレームを 1 バッファに収めることができます。

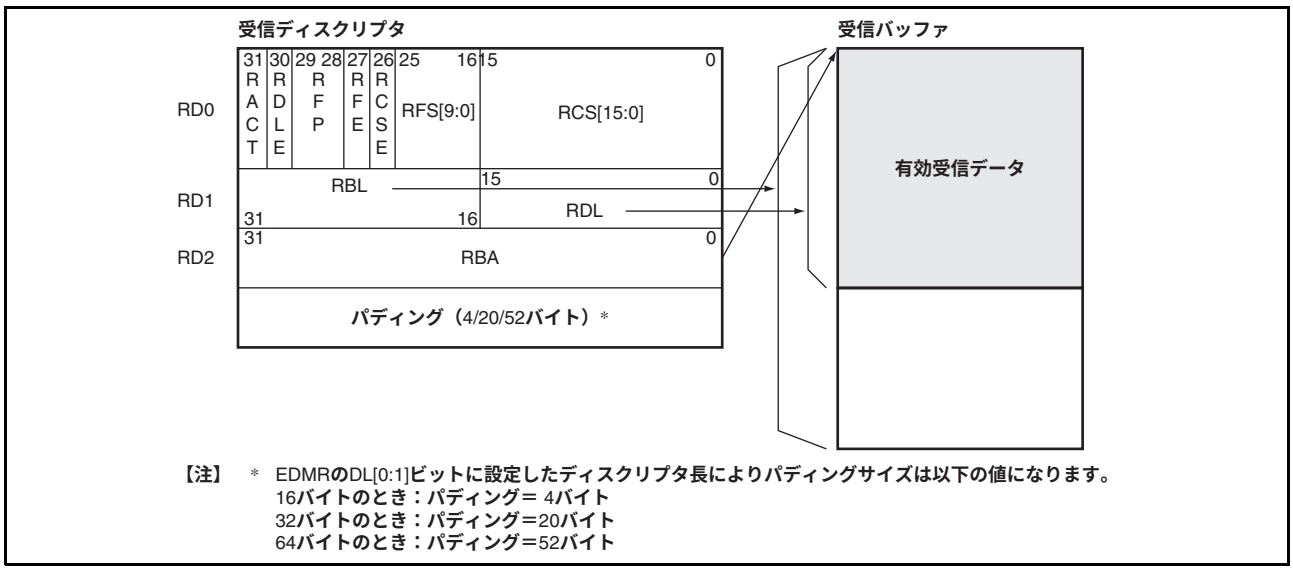


図 26.4　　受信ディスクリプタと受信バッファの関係

(a)　受信ディスクリプタ 0（RD0）

RD0は、EDRRRのRRビット＝1後のE-DMACがディスクリプタ情報の読み込みを開始する以前に、ユーザがあらかじめディスクリプタの有効／無効ビットの設定、およびディスクリプタリストが最終か否かを設定します。イーサネットフレームの受信バッファへのDMA転送が完了した後、E-DMACがディスクリプタの有効／無効ビットを無効とし、ステータス情報を書き込みます。これをライトバックと呼びます。

使用にあたっては、ユーザがあらかじめビット31、30にディスクリプタの構成に従った値を書き込んでください。また、ビット29～0には0を書き込んでください。

ビット	ビット名	初期値	R/W	説明
31	RACT	0	R/W	受信ディスクリプタ有効／無効 本ディスクリプタが有効または無効であることを示します。本ビットを有効とする際には、あらかじめ受信バッファ（ユーザの指定する受信データ格納先）を用意した後、本ビットに1を書き込みます。また、E-DMACはデータの転送を完了すると本ビットを0クリアします。 0：本受信ディスクリプタが無効 初期値の状態か0を書き込んだ後の状態、またはユーザが1を書き込んだ後の場合にはE-DMACのデータ転送処理終了により本ビットが0クリアされたことを示します。 E-DMACのディスクリプタ読み込みの際に、本状態が認識されるとE-DMACはEDRRRのRRビットを0クリアし、E-DMACの受信にかかわる転送動作は停止します。 1：本受信ディスクリプタが有効 ユーザが1を書き込んだ後、まだデータ転送を行っていないか、あるいはデータ転送中であることを示します。 E-DMACは連続する複数個のディスクリプタ列（ディスクリプタリスト）が存在する場合に、連続するディスクリプタの本ビットが有効であることにより動作を継続することができます。
30	RDLE	0	R/W	受信ディスクリプタリスト最終 本ディスクリプタがディスクリプタ列（ディスクリプタリスト）の最終であるかどうかを示します。 0：最終のディスクリプタリストではない E-DMACは本ディスクリプタの転送が完了した後、連続するディスクリプタリストの次のディスクリプタを読み込みます。 1：最終のディスクリプタリストである E-DMACは本ディスクリプタの転送が完了した後、RDLARが示すアドレスにあるディスクリプタを読み込みます。
29、28	RFP[1:0]	00	R/W	受信フレーム内位置 本ディスクリプタの情報が受信フレームの先頭かその途中または最終かをE-DMACがライトバックによって示します。 00：本ディスクリプタの情報はフレームの中間である 01：本ディスクリプタの情報はフレームの最後である 10：本ディスクリプタの情報はフレームの先頭である 11：本ディスクリプタの情報はフレームの先頭と最後を含む （1フレーム／1ディスクリプタ（1バッファ）である） 【注】 1フレームを受信した後のフレームとディスクリプタの関係を示します。 受信フレーム長に対して受信バッファデータ長が不足している場合は、受信後にRFP[1:0]に対して11以外の値がセットされます。 受信後にRFP[1:0]=11以外となった場合は、ソフトウェアリセットを実行した後に受信処理を起動してください。
27	RFE	0	R/W	受信フレームエラー発生 受信フレームに何らかのエラーが発生したことを示します。 0：RFS[9:0]のすべてのビットの値が0 1：RFS[9:0]のいずれかのビットの値が1 TRSCERレジスタで、RFS[8:0]の要因単位にマスクすることができます。ただし、RFS[9]はマスクすることができません。 本ビットはE-DMACによってライトバックされます。
26	RCSE	0	R/W	インテリジェントチェックサム機能　受信パケットチェックサム値判定 CSEBL＝1、CSMD＝1のとき、受信パケットや受信データにより、表26.3のように設定されます。 上記以外の設定での動作時、本ビットの情報は無効になります。

ビット	ビット名	初期値	R/W	説明
25～16	RFS[9:0]	すべて0	R/W	受信フレームステータス フレーム受信中のエラーステータスを表示します。 RFS9：受信FIFOオーバフロー（EESRのRFOFビットに相当） RFS8：予約（書き込み時は0としてください） RFS7：マルチキャストアドレスフレームを受信 （EESRのRMAFビットに相当） RFS[6:5]：予約（書き込み時は0としてください） RFS4：端数ビットフレーム受信エラー（EESRのRRFビットに相当） RFS3：ロングフレーム受信エラー（EESRのRTLFビットに相当） RFS2：ショートフレーム受信エラー（EESRのRTSFビットに相当） RFS1：PHY-LSI受信エラー（EESRのPREビットに相当） RFS0：受信フレームCRCエラー検出（EESRのCERFビットに相当）
15～0	RCS [15:0]	すべて0	R/W	インテリジェントチェックサム機能 受信パケットチェックサム値

表26.3　受信パケット種と受信データにおけるRCSEの状態

フレーム種		データ正常時		データ異常時	
IP version	オプション、拡張ヘッダ	RCS[15:0]	RCSE	RCS[15:0]	RCSE
IPv4	なし	H'FFFF H'0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	オプション	H'FFFF H'0000	0	不定	1
IPv6	なし	H'FFFF H'0000	0	不定	1
	ホップバイホップ	H'FFFF H'0000	0	不定	1
	ルーティング	H'FFFF H'0000	0	不定	1
	終点オプション	H'FFFF H'0000	0	不定	1
	AH	H'FFFF H'0000	0	不定	1
	フラグメント	不定	不定	不定	不定
	ESP	H'0000	1	H'0000	1
	MobileIPv6	H'0000	1	H'0000	1
	その他	H'0000	1	H'0000	1
IPv4、IPv6以外		H'0000	0	H'0000	0

(b)　受信ディスクリプタ 1（RD1）

RD1 は、当該ディスクリプタが使用できる受信バッファのデータ長をユーザが指定し、フレーム受信後には E-DMAC が受信したフレーム長を示します。

ユーザが E-DMAC の読み込み開始前に設定してください。

ビット	ビット名	初期値	R/W	説明
31～16	RBL [15:0]	すべて0	R/W	受信バッファデータ長（単位：バイト、32バイト境界で指定） 当該受信バッファの受信可能なデータ長を32バイトの整数倍で設定します。 設定可能なデータ長は最小32（H'0020）バイト～最大64K－32（H'FFE0）バイトです。 受信フレームを1バッファに収めることができるようにデータ長を設定してください。サムチェックデータ無効時は1514 バイト（イーサネットフレームの最大長）以上にすれば、すべての受信フレームを1バッファに収めることができます。サムチェックデータ有効時は1516 バイト（イーサネットフレームの最大長＋サムチェックデータ）以上にすれば、すべての受信フレームを1バッファに収めることができます。
15～0	RDL [15:0]	すべて0	R	受信データ長 受信バッファに格納された受信フレームのデータ長を示します。 受信バッファに転送される受信データには、フレームの最後であるCRCデータ（4バイト）が含まれていません。また、受信フレーム長は、このCRCデータを含めない（有効データバイト）データ長を示します。サムチェックデータ有効時はサムチェックデータ(2バイト)を含めたデータ長を示します。 1フレーム／複数バッファ（ディスクリプタ）となった場合には、最終ディスクリプタの本受信データ長のみが有効です。途中のディスクリプタの受信データ長は意味を持ちません。 受信可能な最大受信データ長は以下のようになります。 パディング機能無効時：64K－1（H'FFFF）バイト パディング機能有効時：64K－32（H'FFE0）バイト

(c)　受信ディスクリプタ 2（RD2）

RD2 は、当該受信バッファの先頭アドレスを示します。受信バッファの開始アドレスの設定は、32 バイトを境界として設定してください。

ビット	ビット名	初期値	R/W	説明
31～0	RBA [31:0]	すべて0	R/W	受信バッファ先頭アドレス 当該受信バッファの先頭アドレスを32バイト境界で設定します。

E-DMAC は、RBA（受信バッファアドレス）に設定されたアドレスから 32 バイト単位で受信フレームを受信バッファへ DMA 転送します。したがって、RBL（受信バッファ長）へは 32 バイトの整数倍を設定してください。

以下のようにデータが 32 バイトに満たない場合は、無効なデータが書き込まれます。

【転送例】

受信フレーム長＝ 170 バイト、必要な受信バッファ容量＝ 192 バイト（32 バイト ×6）の場合、6 回目の DMA において、無効なデータも受信バッファに DMA 転送されます（DMA データ 32 バイト中、前半の 10 バイトは有効データで後半の 22 バイトは無効データ）。

受信データパディング挿入設定レジスタ（RPADIR）を設定することで、受信フレームの任意の位置に 1 か所だけ値 0 をパディングすることが可能です。パディングサイズは 1 バイト単位で任意であり、最小 1 バイト、最大 31 バイトです。受信フレームにパディングを行う場合は、「受信フレーム長＋パディングサイズ」分の受信バッファ領域が必要です。なお、RPADIR の設定はすべての受信フレームに対して有効です。

RFE（受信フレームエラー発生）、PV（パディング挿入）、RFS（受信フレームステータス）、および RFL（受信フレーム長）は、受信フレームの最後を含む受信ディスクリプタ（RFP ＝ 01 あるいは 11）にのみラ

イトバックされます。

ソフトウェアで受信ディスクリプタを再設定する場合は、未処理の受信ディスクリプタの上書き（再設定）を防ぐために、受信ディスクリプタがライトバックされている（RACT ＝ 0 になっている）ことを再設定の前にあらかじめ確認する必要があります。

(3) ディスクリプタと送受信バッファ

(a) 送信

送信ディスクリプタごとに 1 つの送信バッファを保持します。E-DMAC は、送信ディスクリプタで示された送信バッファに格納されている送信フレームを送信 FIFO へ転送します。また、複数の送信ディスクリプタで示された各送信バッファに格納されている送信フレームをそれぞれ連結して 1 つの送信フレームとして送信 FIFO へ転送することも可能です。

図 26.5 に送信ディスクリプタと送信バッファとの関係を示します。

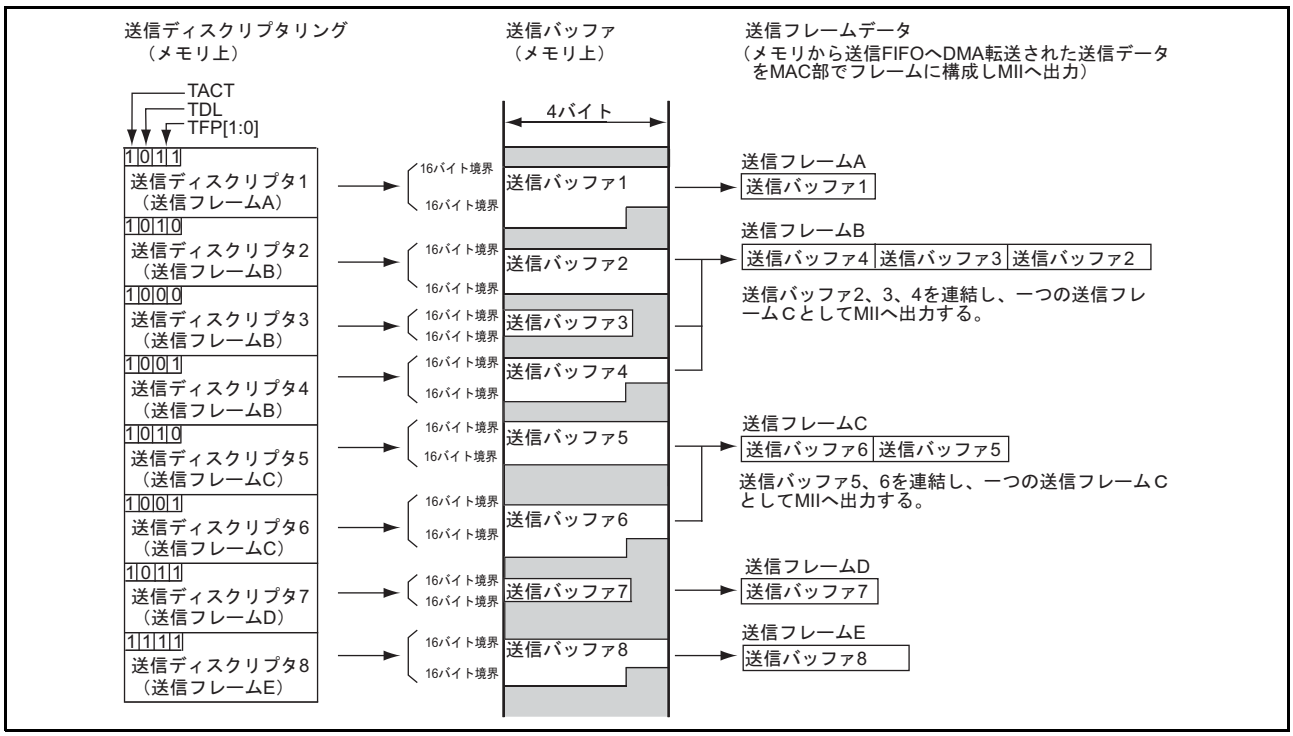


図 26.5　送信ディスクリプタと送信バッファとの関係

(b)　受信

受信ディスクリプタごとに 1 つの受信バッファを保持します。E-DMAC は、受信ディスクリプタで示された受信バッファへ受信 FIFO から受信したフレームを格納します。

図 26.6 に受信ディスクリプタと受信バッファとの関係を示します。

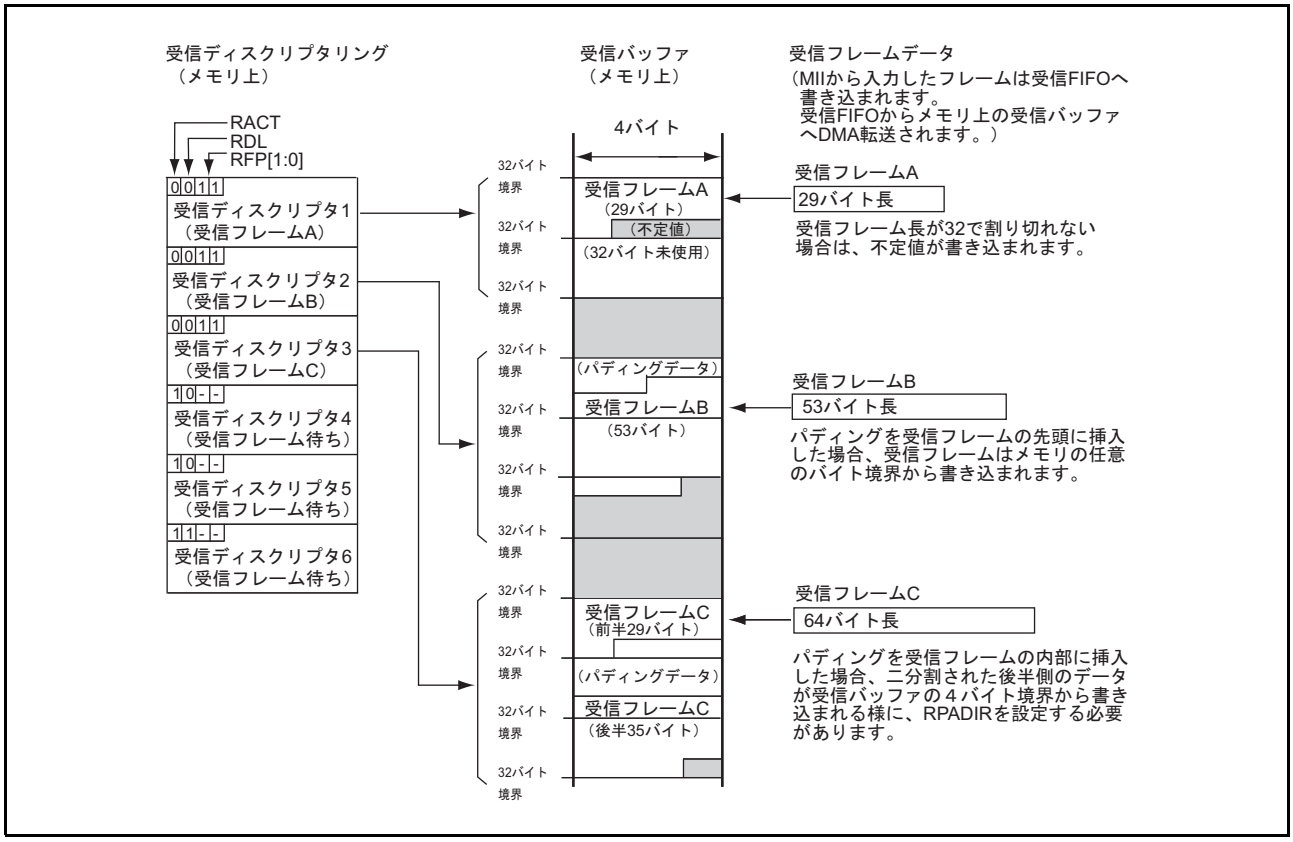


図 26.6　　受信ディスクリプタと受信バッファとの関係

(4) ディスクリプタポインタ

E-DMAC は、送信ディスクリプタおよび受信ディスクリプタのメモリ上のアドレスや処理順序を以下に示すレジスタを用いて制御します。

1. 送信ディスクリプタ関連

- TDLAR レジスタ：送信ディスクリプタリストの先頭ディスクリプタのアドレス
- TDFAR レジスタ：処理すべき送信ディスクリプタのアドレス
- TDFXR レジスタ：処理を最後に完了した（ライトバックした）送信ディスクリプタのアドレス
- TDFFR レジスタ（DL ビット）：TDFXR で示された送信ディスクリプタの TDLE 値が 1 かどうかを指示

2. 受信ディスクリプタ関連

- RDLAR レジスタ：受信ディスクリプタリストの先頭ディスクリプタのアドレス
- RDFAR レジスタ：処理すべき受信ディスクリプタのアドレス
- RDFXR レジスタ：処理を最後に完了した（ライトバックした）受信ディスクリプタのアドレス
- RDFFR レジスタ（DL ビット）：RDFXR で示された受信ディスクリプタの RDLE 値が 1 かどうかを指示

送信ディスクリプタおよび受信ディスクリプタはそれぞれリング構成をとっています。処理した送信ディスクリプタ（受信ディスクリプタ）の TDLE（RDLE）値が 0 であった場合、当該ディスクリプタの次に位置するディスクリプタを処理します。次に位置するディスクリプタとは、処理した送信ディスクリプタ（受信ディスクリプタ）のアドレスに、E-DMAC モードレジスタ（EDMR）のディスクリプタ長ビット（DL）で指定されたディスクリプタ長を加算して得られたアドレスに存在する送信ディスクリプタ（受信ディスクリプタ）です。一方、処理した送信ディスクリプタ（受信ディスクリプタ）の TDLE（RDLE）値が 1 であった場合、次に処理するディスクリプタは TDLAR（RDLAR）で示された送信ディスクリプタ（受信ディスクリプタ）です。**図 26.7** に送信／受信ディスクリプタリングとリードポインタの関係の例を示します。

送信ディスクリプタに関しては、必ず送信フレームを 5 つ以上ポイントすることができる大きさのリスト構成にしてください。送信フレームを 4 つ以下しかポイントできないリスト構成の場合、E-DMAC の動作保証はいたしません（すなわち、4 つ以下の送信フレームでリング内のすべての送信ディスクリプタを使用するという設定は行わないでください）。一方、受信ディスクリプタリストについては、このような制約はありません。たとえば、1 つの受信フレームでリスト内のすべての受信ディスクリプタを使用しても問題ありません。

初期設定では、ソフトウェアでディスクリプタリストの先頭アドレスを、TDLAR（RDLAR）レジスタと TDFAR（RDFAR）に、ディスクリプタリストの最終ディスクリプタのアドレスを TDFXR（RDFXR）に設定してください。

E-DMAC は、ディスクリプタを処理するごとに、TDFAR（RDFAR）、TDFXR（RDFXR）、TDFFR.DL ビット（RDFFR.DL ビット）をそれぞれ更新します。

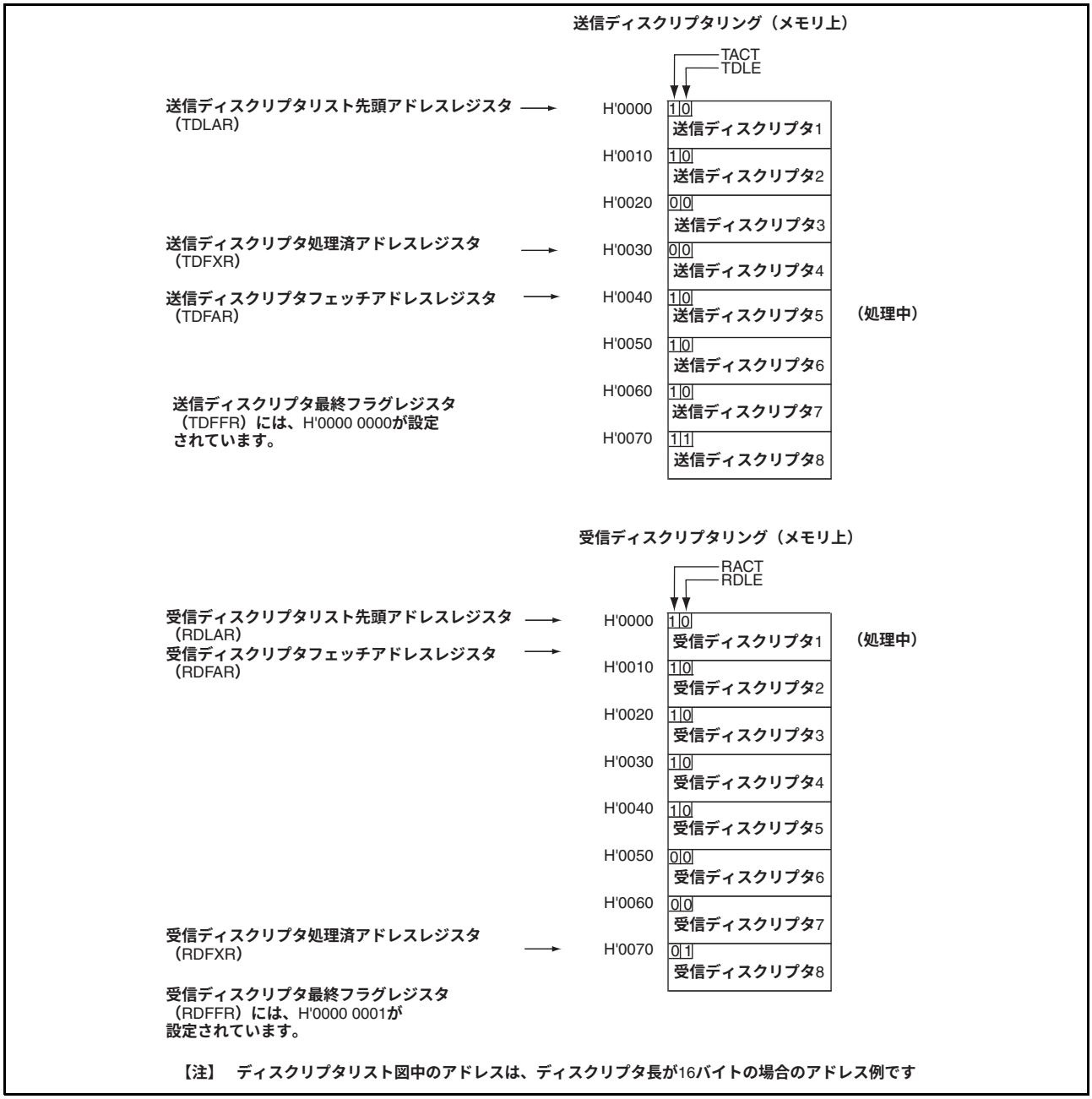


図 26.7　送受信ディスクリプタとディスクリプタポイントレジスタとの関連

26.4.2　送信動作

(1)　送信手順とフロー

E-DMAC モードレジスタ（ECMR）の TE ビットが 1 の状態で E-DMAC 送信要求レジスタ（EDTRR）の送信要求ビット（TR）に 11 が書き込まれたときに、送信 FIFO に 32 バイト以上の空きがあれば、E-DMAC は送信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初回起動時は送信ディスクリプタ先頭アドレスレジスタ（TDLAR）で示すディスクリプタ）を読み込みます。

読み込んだディスクリプタの TACT ビットが 1（有効）の場合は、E-DMAC は TD2 で指定される送信バッファ先頭アドレスから順次送信フレームデータを読み出して送信 FIFO に転送します。E-MAC は送信フレームを作成し MII に向けて送信を開始します。ディスクリプタ内で指示されるバッファ長分の DMA 転送後、TFP の値によって以下のような処理を行います。

- TFP ＝ 10（フレーム開始）
  DMA 転送後、ディスクリプタのライトバック（TACT ビットの 0 書き込み）を行います。
- TFP ＝ 01 or 11（フレーム終了）
  フレームの送信完了後、ディスクリプタのライトバック（TACT ビットの 0 およびステータスの書き込み）を行います。
- TFP ＝ 00（フレーム継続）
  ディスクリプタのライトバックは行いません。TACT ビットは 1 のままですので注意してください。

読み込んだディスクリプタの TACT ビットが 1（有効）の間は、E-DMAC はディスクリプタの読み込みとフレームの送信を継続します。

読み込んだディスクリプタの TACT ビットが 0（無効）の場合は、E-DMAC は以下の処理を行った後、送信処理を終了します。

- E-DMAC 送信要求レジスタ（EDTRR）の TR ビットに 00 を書き込みます。
- E-MAC/E-DMAC ステータスレジスタ（EESR）の TC ビットに 11 を書き込み、CPU に対して割り込みを発生させます。

なお、E-DMAC は、送信 FIFO に最大で 4 フレーム分のデータを格納することが可能です。

E-MAC 送信処理部は、以下の条件が成立すると、送信 FIFO から送信データを読み出しフレームに組み立てて MII へ送信します。

- 送信 FIFO に送信 FIFO しきい値指定レジスタ（TFTR）で設定したバイト数以上のデータが格納された。
- 送信 FIFO に 1 フレーム以上のデータが格納された。
- 送信 FIFO に空き領域がなくなった。（MII への送信待ちデータでフルになっている）

図 26.8 に、送信フローの例を示します。

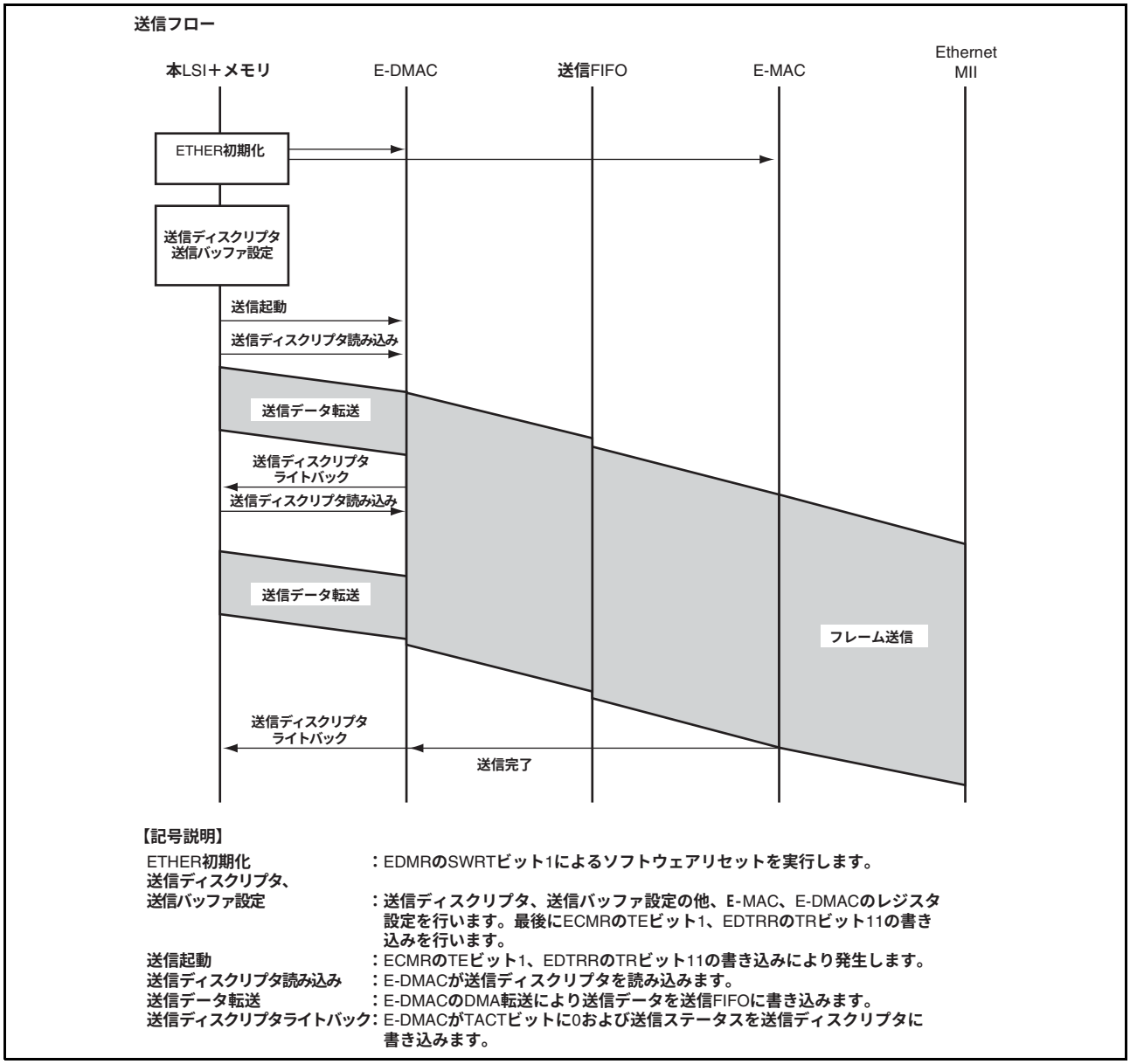


図 26.8　送信フローの例（1 フレーム／2 ディスクリプタ）

E-MAC 送信部の状態遷移図を図 26.9 に示します。

1. E-MAC モードレジスタ（ECMR）の送信許可ビット（TE）がセットされると、送信アイドル状態に遷移します。
2. 送信 E-DMAC から送信要求があると即座にプリアンブルを送出します。
3. SFD、データ、CRC を順次送信します。送信を終了すると送信 E-DMAC が送信終了割り込み（TC）を発生します。
4. フレーム間隔時間を経た後は、アイドル状態に遷移し、以後送信データがあれば送信を継続します。

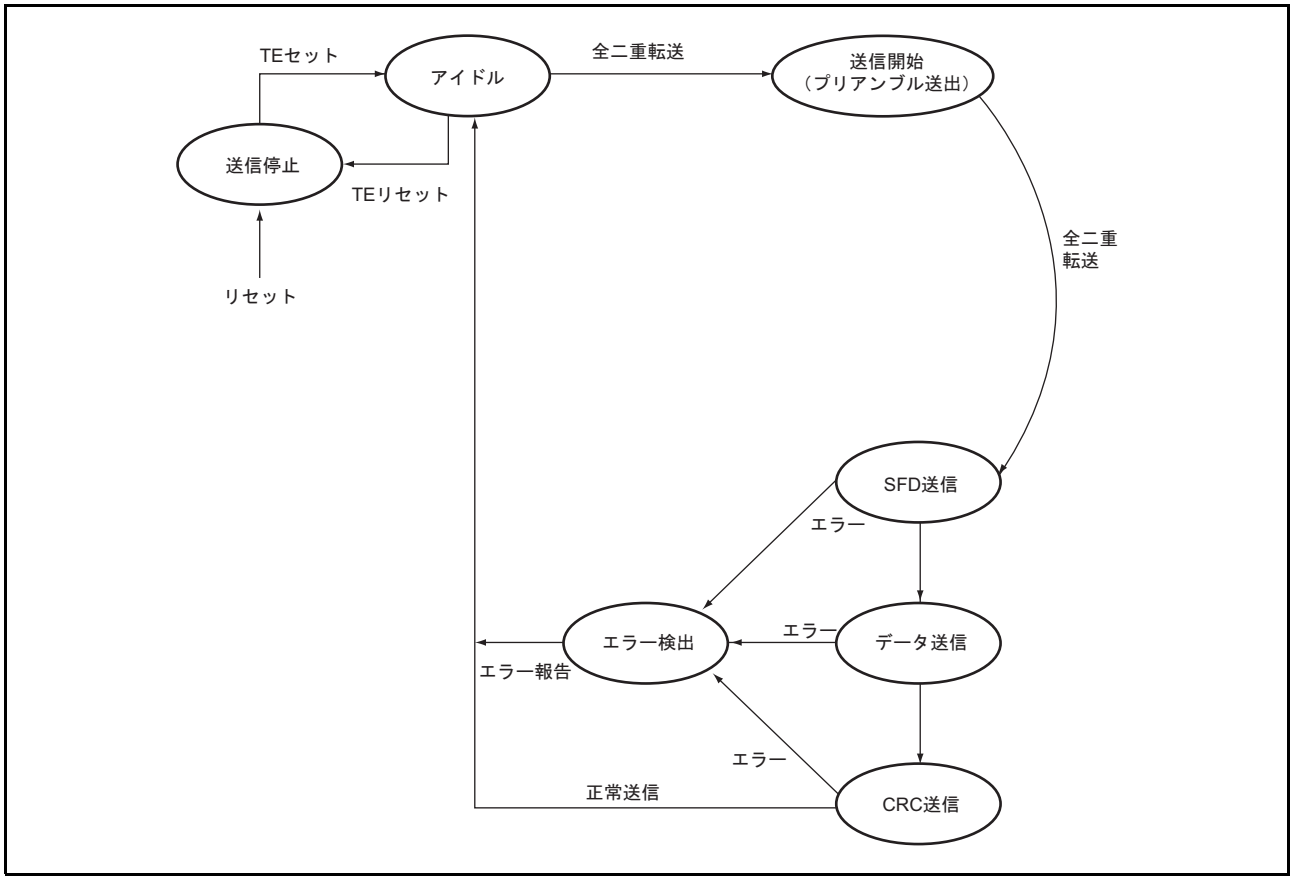


図 26.9　E-MAC 送信部状態遷移図

(2) 送信エラー処理

(a) 送信アボート

送信 FIFO から MII へのフレーム送信中に送信エラーを検出すると、送信 FIFO から MII への該当フレームのデータ送出を中断します。また、送信バッファから送信 FIFO への当該フレームの DMA 転送がまだ終了していない場合は、本 DMA 転送も同様に中断します。

送信エラー終了した送信フレームに関連する送信ディスクリプタのライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ（EESR）の送信中断検出ビット（TABT）に 1 を書き込み、CPU へ割り込みを発生します。以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

(b) 送信 FIFO のアンダフロー

送信 FIFO から MII へのフレーム送信中に送信 FIFO が空（送信 FIFO のアンダフロー）になると、E-MAC は、当該送信フレームの MII への送信を強制的に中断します。このとき、E-MAC が E-DMAC から受信した当該フレームは途中で切断されたフレームとなります。そして E-MAC は以下の動作を行います。

- E-MAC/E-DMAC ステータスレジスタ（EESR）の送信 FIFO アンダフロービット（TFUF）に 1 を書き込み、CPU へ割り込みを発生します。
- 該当送信フレームに対する送信ディスクリプタにライトバック
- 上記ライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ（EESR）の送信 FIFO アンダフローライトバック完了ビット（TUC）に 1 を書き込み、CPU へ割り込みを発生します。

以降の送信ディスクリプタに対する動作は、通常動作と同様となります。

E-MAC は、送信 FIFO に送信 FIFO しきい値指定レジスタ（TFTR）で設定したバイト数以上のデータが格納されるまで送信 FIFO から MII へのフレーム送信を開始しません。本 TFTR を有効利用することにより、送信 FIFO のアンダフローの発生頻度を制御することが可能です。

(c) 送信ディスクリプタの枯渇

読み込んだ送信ディスクリプタの TACT ビットが 0（無効）の場合で、前回処理したディスクリプタの TFP ビットが 00 あるいは 10 の場合、送信ディスクリプタが枯渇したと判断し、E-MAC/E-DMAC ステータスレジスタ（EESR）の送信ディスクリプタ枯渇（TDE）に 1 を書き込み、CPU へ割り込みを発生します。

送信ディスクリプタ枯渇が発生したときは、ソフトウェアリセットを実行した後に送信処理を起動してください。

26.4.3　受信動作

(1)　受信手順とフロー

E-MAC 受信部は、MII から入力したフレームを、プリアンブル、SFD、データおよび CRC データに分解し、DA（宛先アドレス）からデータまでを受信 FIFO に書き込みます。受信 FIFO には最大 24 フレームまで書き込むことが可能です。E-MAC 受信部の状態遷移図を図 26.10 に示します。

1. E-MAC モードレジスタ（ECMR）の受信許可ビット（RE）が 1 にセットされると、受信アイドル状態に遷移します。
2. 受信パケットのプリアンブルに続く SFD（スタートフレームデリミタ）を検出すると受信処理を開始します。不当パターンの場合は、フレームを破棄します。
3. 通常モードでは、フレームの DA（宛先アドレス）が本 LSI 宛の場合、ブロードキャストフレームの場合、またはマルチキャストフレームの場合にデータ受信を開始します。プロミスキャスモードでは、フレームの種類にかかわらずデータ受信を開始します。
4. MII からのデータ受信後、フレームデータ部の CRC チェックを行います。結果は受信 FIFO へフレームデータをライトした後、ディスクリプタ内にステータスとして反映されます。異常時は、エラーステータスを報告します。

フレームを受信後、ECMR 内の RE ビットが 1 に設定されていると、次のフレーム受信に備えます。

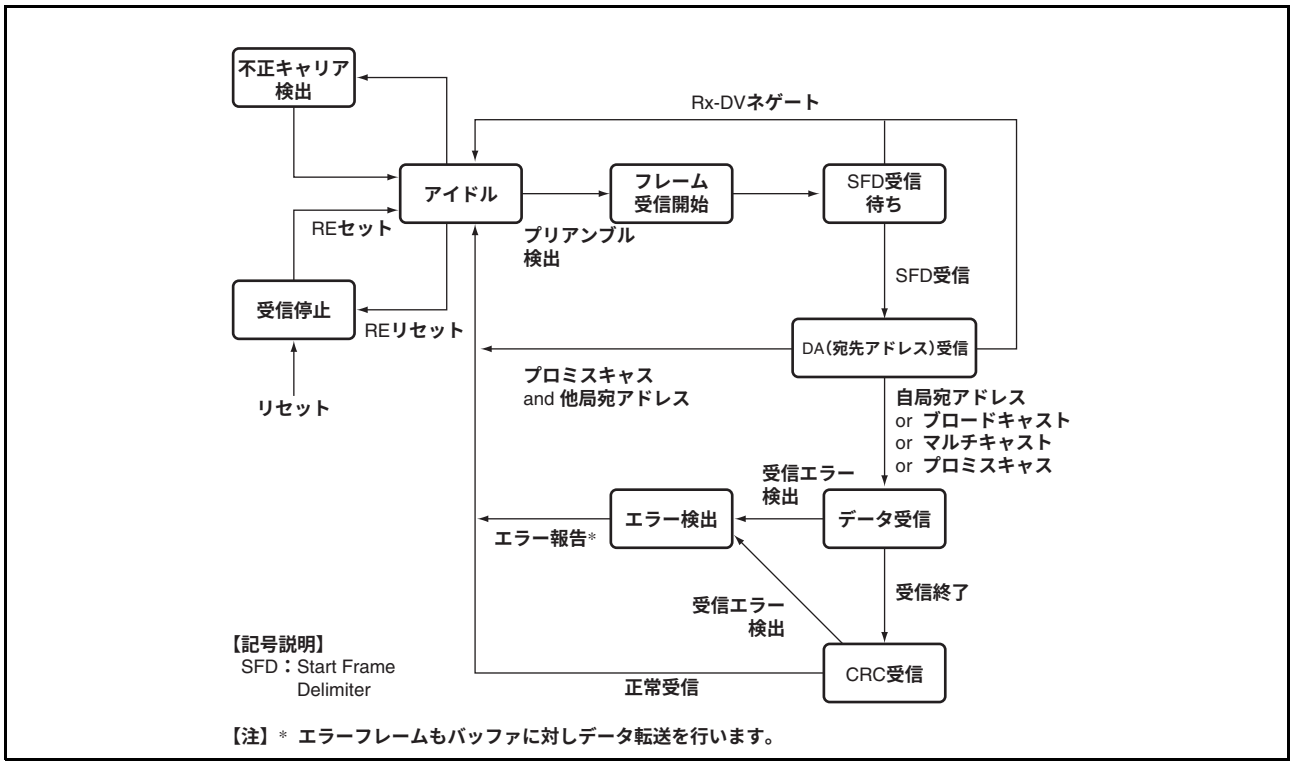


図 26.10　E-MAC 受信部状態遷移図

また、受信時のフレーム処理では CAM の判定を参照することができます（CAM 機能を使用する場合については、「26.4.4　CAM 機能」を参照してください）。

ECMR の RE ビットが 1 の状態で E-DMAC 受信要求レジスタ（EDRRR）の受信要求ビット（RR）に 1 を書き込むと、E-DMAC は受信ディスクリプタリストから前回使用したディスクリプタの次のディスクリプタ（初回起動時は受信ディスクリプタ先頭アドレスレジスタ（RDLAR）で示すディスクリプタ）を読み込んだ後に受信待機状態となります。E-DMAC は、受信 FIFO に 32 バイト以上のデータ格納されているか、受信フレームの最終バイトが格納されている場合、受信ディスクリプタの RACT ビットが 1（有効）の受信ディスクリプタに従い受信 FIFO のデータを RD2 で指定される受信バッファに転送します。

受信したフレームのデータ長が RD1 で与えられるバッファ長よりも大きい場合は、E-DMAC はバッファが満了となった時点でディスクリプタにライトバック（RFP ＝ 10 or 00）を行った後、次のディスクリプタを読み込みます。そして新たな RD2 によって指定される受信バッファに引き続きデータを転送します。

以下の条件が成立すると、当該ディスクリプタにライトバック（RFP ＝ 11 or 01）を行った後に、E-MAC/E-DMAC ステータスレジスタ（EESR）のフレーム受信完了ビット（FR）に 11 を書き込み、CPU に割り込みを発生します。

- 受信バッファが DMA 転送でフルになった。
- 受信フレームの最終バイトの受信バッファへの DMA 転送が終了した。

当該フレームの受信処理が終了した後、次のディスクリプタを読み込み受信待機状態となります。このとき、受信 FIFO に 32 バイト以上のデータが格納されているか、受信フレームの最終バイトが格納されている場合、続けて次の受信ディスクリプタの処理を行います。

読み込んだ受信ディスクリプタの TACT ビットが 0（無効）の場合は、受信ディスクリプタが枯渇したと判断し、E-MAC/E-DMAC ステータスレジスタ（EESR）の受信ディスクリプタ枯渇（PDE）に 1 を書き込み、CPU へ割り込みを発生します。

なお、連続してフレームを受信するには、受信方式制御レジスタ（RMCR）内の受信コントロールビット（RNC）を 1 に設定してください。初期値は 0 です。

図 26.11 に、受信フローの例を示します。

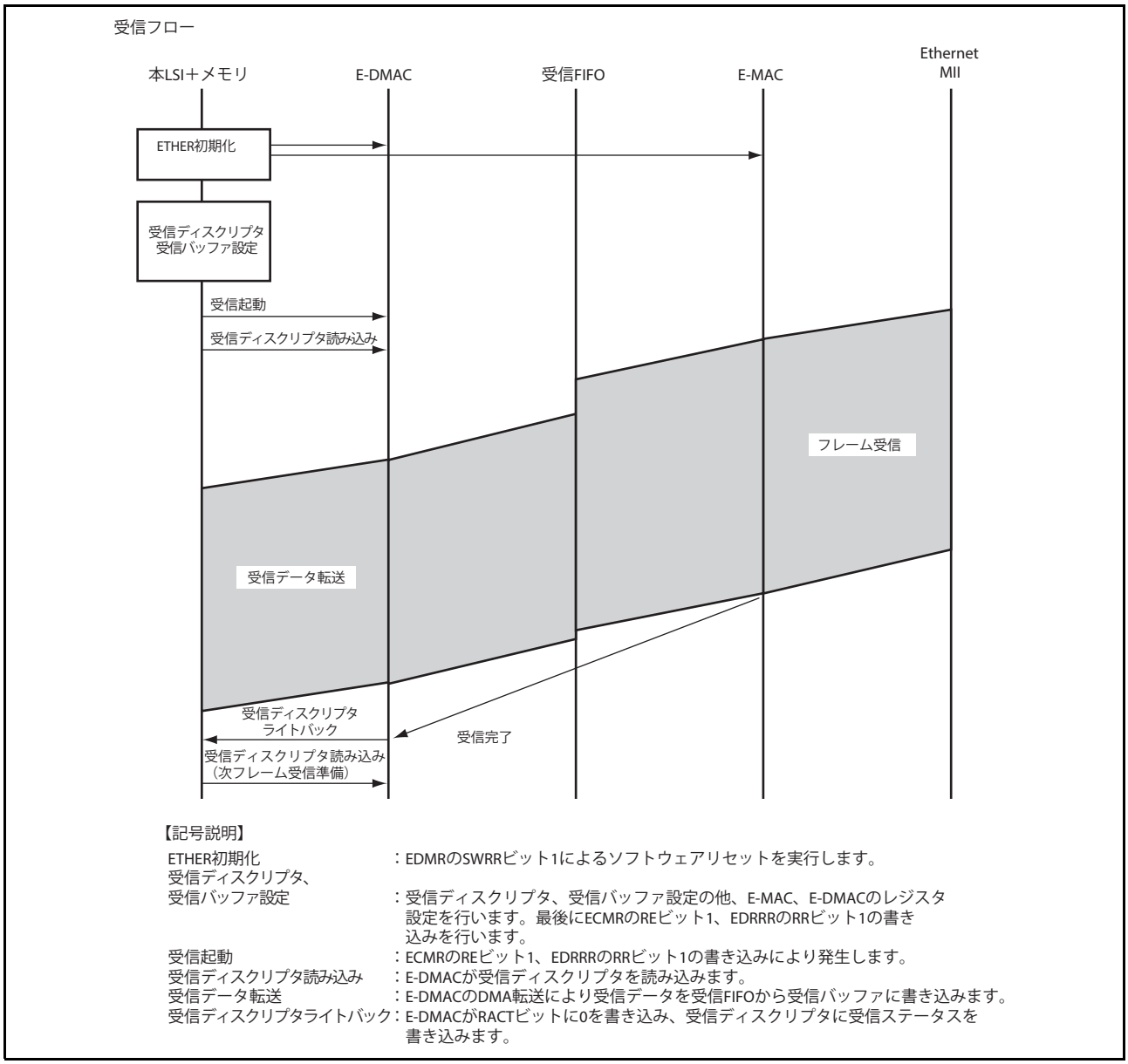


図 26.11　受信フローの例（1 フレーム／1 ディスクリプタ）

(2) 受信エラー処理

(a) 受信エラー

受信エラーが発生した場合、受信エラーフレームに関連する受信ディスクリプタのライトバックの終了後、E-MAC/E-DMAC ステータスレジスタ（EESR）のフレーム受信完了ビット（FR）および受信中断検出ビット（RABT）に 1 を設定し、CPU へ割り込みを発生します。

なお、MII から受信したフレームのバイト長が 32 バイト未満のときに受信エラーが発生した場合は、当該フレームの受信バッファへの DMA 転送は行いません。この場合、E-DMAC 内部で当該受信フレームを破棄します（フラッシュ機能）。ただし、受信データパディング挿入設定レジスタ（RPADIR）により受信フレームにパディング挿入した場合は、パディングバイト数を含めた長さが 32 バイト未満であるときに本フラッシュ機能が働きます。

(b) 受信 FIFO のオーバフロー

下記どちらかの状態のときは、E-MAC は MII からの受信フレームを格納する領域がないため MII からフレームを受信することができません。この状態では E-MAC へ新たに転送してきた受信フレームは、すべて E-MAC 内部で破棄されます（受信 FIFO のオーバフロー）。

- 受信 FIFO が DMA 転送待ちデータでフルになった（受信 FIFO に空き領域がない）
- DMA 転送待ち受信フレーム数が計 24 になった（受信フレーム情報管理領域に空きがない：最大管理フレーム数は 24）

前者によりオーバフローした場合、EESR レジスタの受信 FIFO オーバフロービット（RFOF）に 1 をセットし、CPU へ割り込みを発生します。一方、後者によりオーバフローした場合、EESR レジスタの受信フレームカウンタオーバフロービット（RFCOF）に 1 をセットし、CPU へ割り込みを発生します。また、オーバフローで受信フレームを 1 つ破棄するごとに、ミスドフレームカウンタレジスタ（RMFCR）をカウントアップします。ただし、受信 FIFO 空き容量不足により途中で切断された受信フレームについては、RMFCR のカウントアップの対象外です。なお、受信 FIFO 空き容量不足により受信フレームを途中で切断した（途中までは受信 FIFO に格納した）場合、E-DMAC は以下の動作を行います。

- 受信 FIFO に格納済みの切断フレームを受信バッファへ DMA 転送
- 上記 DMA 転送の終了後、該当受信ディスクリプタをライトバック
- 上記ライトバックの終了後、EESR の受信 FIFO オーバフローフレームライトバック完了ビット（ROC）に 1 をセットし、CPU へ割り込みを発生

受信 FIFO が DMA 転送待ちデータでフルの場合、受信 FIFO から受信バッファへの DMA 転送が行われ、受信 FIFO に 32 バイト以上の空き領域が生じると、MII からのフレーム受信が再び可能になります。一方、DMA 転送待ち受信フレーム数が計 24 の場合、受信 FIFO から受信バッファへの 1 フレーム以上の DMA 転送が完了すると、MII からのフレーム受信が再び可能になります。なお、MII からのフレーム受信を再開する際、E-DMAC はフレームの先頭からのみ受信を再開します。

(c) フロー制御

E-DMAC は、受信 FIFO の受信データ量あるいは受信フレーム数が以下の状態になった場合、E-MAC へ通知し、E-MAC から受信 FIFO への書き込みを制御することができます

- 受信 FIFO の使用容量が、オーバフロー予告 FIFO しきい値設定レジスタ（FCFTR）で設定したデータ容量を超えた場合
- 受信 FIFO の受信フレーム数が、FCFTR で設定したフレーム数を超えた場合

受信データ量のしきい値は、256 ～ 65536 バイト（256 バイト刻み）が設定可能です。

受信フレームのしきい値は、1 ～ 24 フレーム（1 フレーム刻み）が設定可能です。

(d)　受信ディスクリプタの枯渇

読み込んだディスクリプタの RACT ビットが 0（無効）の場合は、受信ディスクリプタが枯渇したと判断し、DMA 転送処理を停止し、以下の動作を行います。

- EDRRR の RR ビットに 0 を書き込む
- EESR の受信ディスクリプタ枯渇ビット（RDE）に 1 をセットし、CPU へ割り込みを発生

再度、受信バッファへの DMA 転送を行うためには、ソフトウェアが割り込み要因をクリアし、受信ディスクリプタを再設定し、EDRRR の RR ビットに 1 を書き込む必要があります。

なお、受信ディスクリプタが枯渇した場合においても、受信 FIFO 容量や受信フレーム情報管理領域に空きがあれば、MII 受信 FIFO へのフレーム受信は継続します。したがって、受信ディスクリプタが枯渇した場合でも、オーバフローする前に受信バッファへの DMA 転送を再開させることができれば、MII からの受信フレームを破棄することなく受信バッファへ DMA 転送することが可能です。

26.4.4　CAM 機能

E-MAC 部分に入力されたフレームは、次の 4 種類に分類されます。(1) 本 LSI 宛ユニキャスト、(2) ブロードキャスト、(3) マルチキャスト、および (4) 他宛ユニキャスト。このうち、(1) および (2) の MAC アドレスは固定であり、レジスタ設定のみで判定を行います。したがって、CAM を用いて受信するかどうかの判定を行うのは、(3) マルチキャスト、(4) 他宛ユニキャストのみです（ユニキャストフレームのうち、当該フレーム内の宛先 MAC アドレスが本 LSI と一致するフレームを本 LSI 宛ユニキャストフレーム、一致しないフレームを他宛ユニキャストフレームと称しています）。

さらに、TSU では CAM を利用する他宛ユニキャストおよびマルチキャストフレームの受信の判定を TSU 内蔵の CAM エントリテーブルを参照して行います。本機能を使用することにより、受信不要なフレームデータの蓄積による受信 FIFO のオーバフローを未然に防ぎ、受信判定要否のための CPU 処理を低減できます。

内蔵 CAM は 32 エントリの MAC アドレスを登録できるエントリテーブルを有しており、その内容は TSU_ADRH0～TSU_ADRH31 および TSU_ADRL0～TSU_ADRL31 で設定することができます。内蔵 CAM エントリテーブル参照の有効／無効の設定は、CAM 判定を行うかどうかを設定する CAM エントリテーブルイネーブル設定レジスタにより行います。内蔵 CAM エントリテーブル参照が有効になっている場合は、フレームの中の宛先アドレスと CAM エントリテーブルに登録された MAC アドレスを比較することにより、E-MAC に入力されたフレームを E-DMAC に引き渡す（E-DMAC にフレームを受信させる）か破棄するかが判定されます。**表 26.4** に E-MAC → E-DMAC 受信動作時のフレームの種類に対する処理方法（受信または破棄）の対応を示します。

表 26.4　受信フレーム処理

CAM エントリテーブル参照結果	フレーム種類	通常モード		プロミスキャスモード	
		MCT＝0	MCT＝1	MCT＝0	MCT＝1
CAM ヒット（アドレス一致）	本 LSI 宛フレーム	破棄		破棄	
	ブロードキャストフレーム	破棄		破棄	
	マルチキャストフレーム	破棄	受信	破棄	受信
	本 LSI 以外を宛先とするフレーム	受信		破棄	
CAM ミスヒット（アドレス不一致）	本 LSI 宛フレーム	受信		受信	
	ブロードキャストフレーム	受信		受信	
	マルチキャストフレーム	受信	破棄	受信	破棄
	本 LSI 以外を宛先とするフレーム	破棄		受信	

【記号説明】
MCT（ECMR レジスタのビット 13）：マルチキャスト受信モード（0：CAM ミスヒット時受信、1：CAM ヒット時受信）

26.4.5　マルチバッファフレーム（1 フレーム／複数ディスクリプタ）の送信処理について

(1)　マルチバッファフレームの送信処理

マルチバッファフレームの送信中にエラーが発生した場合は、E-DMAC は図 26.12 に示す処理を行います。

図中で送信ディスクリプタが無効（TACT ビットが 0）である部分は、すでにバッファデータを正常に送信した部分を、送信ディスクリプタが有効（TACT ビットが 1）である部分は、バッファデータが未送信であることを示します。送信ディスクリプタが有効（TACT ビットが 1）である最初のディスクリプタ部分でフレーム送信エラーが発生した場合は、即座に送信を停止して TACT ビットを 0 クリアします。その後、次のディスクリプタをリードし、送信フレーム内の位置を TFP1、TFP0 ビットをもとに判断していきます（継続 [B'00] または終了 [B'01]）。継続ディスクリプタである場合は、TACT ビットを 0 クリアするのみで、すぐに次ディスクリプタのリードを行います。最終ディスクリプタである場合は、TACT ビットを 0 クリアするのみでなく、TFE および TFS ビットへのライトバックも同時に行います。エラー発生後から最終ディスクリプタへのライトバックまでの間は、バッファ上のデータは送信しません。E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）でエラー割り込みが許可されている場合は、最終ディスクリプタのライトバック直後に割り込みが発生します。

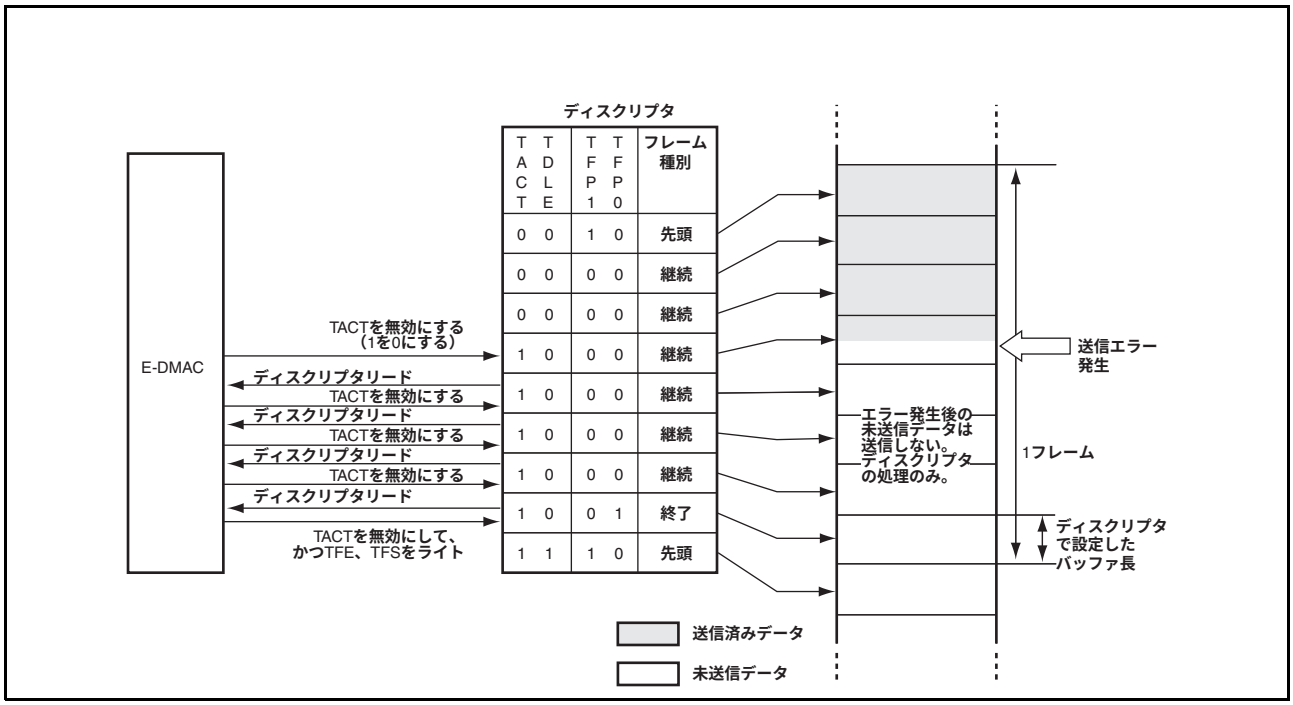


図 26.12　送信エラー発生後の E-DMAC 動作

26.4.6　受信データへのパディング挿入について

E-DMAC は、受信データ処理能力の向上のため、受信データの任意のバイト位置に 1 ～ 3 バイトのパディングを挿入できます。この機能を使用することで、たとえば、イーサネットフレームの MAC ヘッダ（14 バイト）の後に 2 バイトのパディングを挿入することによって以降のデータを 4 バイト境界の先頭に置くことができます。

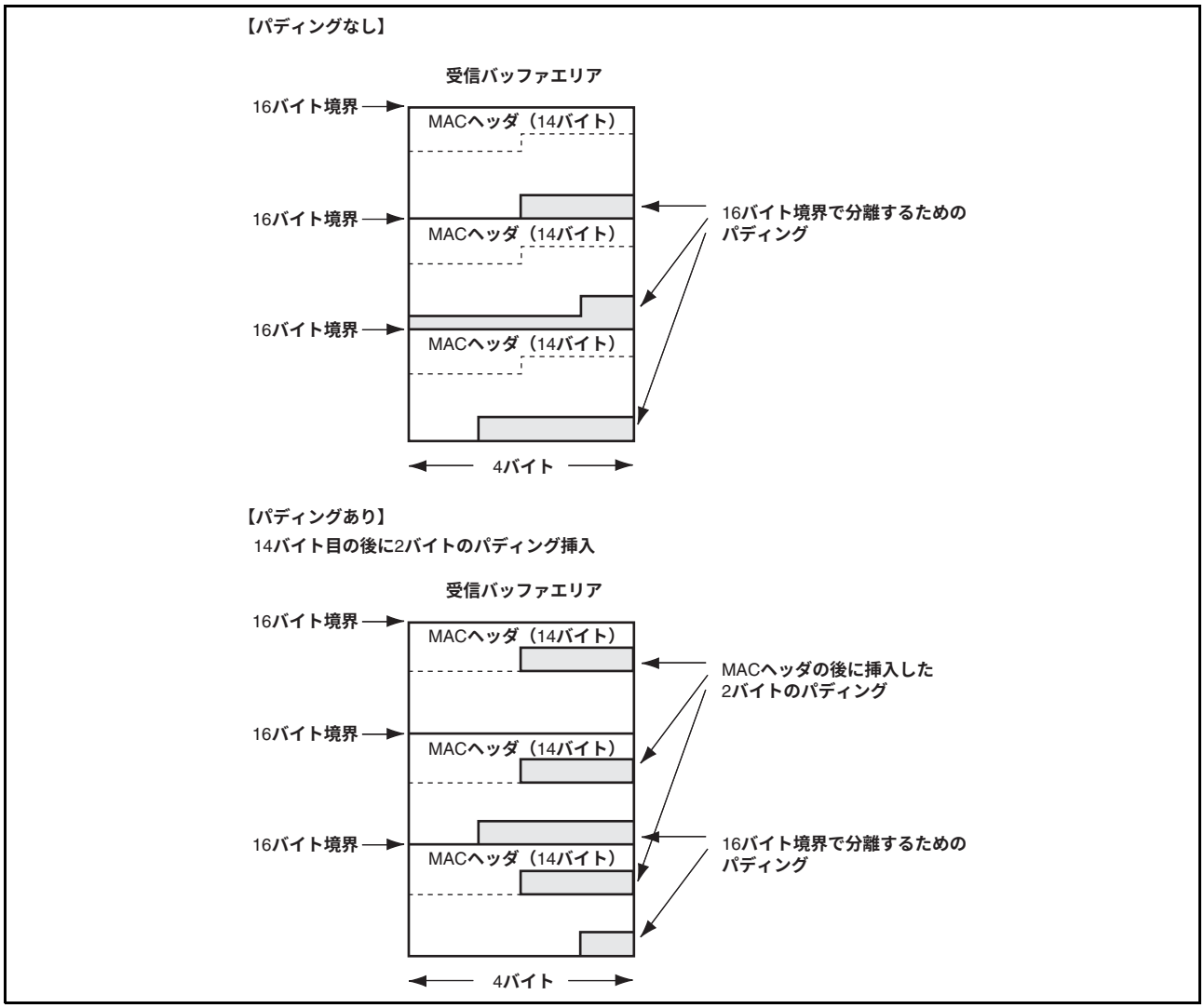


図 26.13　受信データへのパディング挿入

26.4.7　割り込み動作

(1)　割り込み要因

ETHER から CPU に対して発行する割り込みには、送受信割り込み（ETHERI）のみとなります。

ETHERI とは、送受信動作に関連して発生する割り込みです。割り込み要因が発生すると EESR0 レジスタにセットされるとともに CPU に対して割り込みを発行します。ただし、割り込み要因によっては、レジスタへのセット／割り込みの発行が、割り込み要因を検出した直後ではなく、ディスクリプタへのライトバックが完了した時点のものもあります。E-MAC ステータスレジスタ要因（ECI ビット）を除く各割り込みの要因は、対応する要因ビットに 1 を書き込むことによりクリアされます。E-MAC ステータスレジスタ要因（ECI ビット）の割り込み要因は、ECSR レジスタの対応するビットに 1 を書き込むことによりクリアされます。これらの割り込み要因は、クリアされるまではその値を保持します。ETHERI の割り込み要因は、EESIPR0 レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。また、E-MAC ステートレジスタ要因（ECI ビット）に含まれる個々の割り込み要因は、ECSIPR レジスタの対応するビットをセットすることにより割り込みを発行することが許可されます。許可ビットの初期値は割り込み禁止の状態になっています。

表 26.5 に、割り込みとそれぞれの割り込みの要因、割り込み要因が発生したときに設定される割り込みステータスレジスタ／ビット、および割り込み発生タイミングを示します。

表 26.5　ETHER 割り込み一覧

割り込み種類	割り込み要因	レジスタ、ビット名	割り込み発生タイミング
送受信割り込み（ETHERI）	ライトバック完了	EESR0.TWB	ライトバック後
	送信アンダフローフレームライトバック完了	EESR0.TUC	ライトバック後
	受信オーバフローフレームライトバック完了	EESR0.ROC	ライトバック後
	送信中断検出	EESR0.TABT	ライトバック後
	受信中断検出	EESR0.RABT	ライトバック後
	受信フレームカウンタオーバフロー	EESR0.RFCOF	割り込み要因検出時
	E-MAC ステータスレジスタ要因	EESR0.ECI	割り込み要因検出時
	フレーム送信完了	EESR0.TC	ライトバック後
	送信ディスクリプタ枯渇	EESR0.TDE	割り込み要因検出時
	送信 FIFO アンダフロー	EESR0.TFUF	割り込み要因検出時
	フレーム受信	EESR0.FR	ライトバック後
	受信ディスクリプタ枯渇	EESR0.RDE	割り込み要因検出時
	受信 FIFO オーバフロー	EESR0.RFOF	割り込み要因検出時
	マルチキャストアドレスフレーム受信	EESR0.RMAF	ライトバック後
	端数ビットフレーム受信	EESR0.RRF	ライトバック後
	ロングフレーム受信エラー	EESR0.RTLF	ライトバック後
	ショートフレーム受信エラー	EESR0.RTSF	ライトバック後
	PHY-LSI 受信エラー	EESR0.PRE	ライトバック後
	受信フレーム CRC エラー	EESR0.CERF	ライトバック後

26.4.8　起動手順

以下の手順で ETHER を起動してください。

(1)　リセット

1. パワーオンリセット
2. ET_TXCLK、ET_RXCLK の端子設定を行いクロックを供給（端子設定は「41.　汎用入出力ポート」を参照してください）
3. E-DMAC 送信部／受信部の起動（ディスクリプタエンジン起動）

- E-DMAC 起動レジスタ（EDSR）の設定：ENT=1、ENR=1

4. ソフトウェアリセット

- E-DMAC モードレジスタ（EDMR）の設定：SWRR=1、SWRT=1（同時に設定のこと）

5. ディスクリプタエントリテーブルの初期化
6. ソフトウェアリセットの解除確認

- E-DMAC モードレジスタ（EDMR）の確認：SWRR=0、SWRT=0 に戻っていること

(2)　端子設定

- 「41.　汎用入出力ポート」を参照してください

(3)　ディスクリプタリング登録

メモリに構成されたディスクリプタリングのアドレスをディスクリプタエントリテーブルに登録します。

1. 送信ディスクリプタの設定

- 送信ディスクリプタリスト先頭アドレスレジスタ（TDLAR）の設定
- 送信ディスクリプタフェッチアドレスレジスタ（TDFAR）の設定
- 送信ディスクリプタ処理済アドレスレジスタ（TDFXR）の設定
- 送信ディスクリプタ最終フラグレジスタ（TDFFR）の設定：TDFXR が示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001 を設定

2. 受信ディスクリプタの設定

- 受信ディスクリプタリスト先頭アドレスレジスタ（RDLAR）の設定
- 受信ディスクリプタフェッチアドレスレジスタ（RDFAR）の設定
- 受信ディスクリプタ処理済アドレスレジスタ（RDFXR）の設定
- 受信ディスクリプタ最終フラグレジスタ（RDFFR）の設定：RDFXR が示すディスクリプタがディスクリプタリストの最終である場合、H'0000 0001 を設定

(4) レジスタ設定

必要に応じて以下のレジスタを設定してください。

1. E-DMAC 関連レジスタの設定

- E-DMAC モードレジスタ（EDMR）の設定：動作モード他
- E-MAC/E-DMAC ステータス割り込み許可レジスタ（EESIPR）の設定：割り込みマスク
- 送受信ステータスコピー指示レジスタ（TRSCER）の設定：エラーマスク
- 送信 FIFO しきい値指定レジスタ（TFTR）の設定：送信 FIFO しきい値
- FIFO 容量指定レジスタ（FDR）の設定：外部 FIFO 容量値
- 受信方式制御レジスタ（RMCR）の設定：受信起動リセット方法
- 受信データパディング挿入設定レジスタ（RPADIR）の設定：受信データへのパディング挿入
- オーバフロー予告 FIFO しきい値設定レジスタ（FCFTR）の設定：受信 BSY 送出しきい値

2. E-MAC 関連レジスタの設定

- E-MAC モードレジスタ（ECMR）の設定：送信、受信仕様
- E-MAC 割り込み許可レジスタ（ECSIPR）の設定：割り込みマスク
- MAC アドレス上位設定レジスタ（MAHR）の設定：MAC アドレス
- MAC アドレス下位設定レジスタ（MALR）の設定：MAC アドレス
- 受信フレーム長上限レジスタ（RFLR）の設定：受信フレーム長上限
- 自動 PAUSE フレーム設定レジスタ（APR）の設定：自動 PAUSE フレーム TIME パラメータ値
- 手動 PAUSE フレーム設定レジスタ（MPR）の設定：手動 PAUSE フレーム TIME パラメータ値
- 自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）の設定：PAUSE フレーム再送回数上限値

(5) 起動

1. E-DMAC 送受信機能の起動

- E-DMAC 送信要求レジスタ（EDTRR）の設定：TR ＝ 11
- E-DMAC 受信要求レジスタ（EDRRR）の設定：RR ＝ 1

2. E-MAC 送受信機能の起動

- E-MAC モードレジスタ（ECMR）の設定：TE ＝ 1、RE=1

26.4.9　フロー制御

ETHER は、全二重動作時に、IEEE802.3x 準拠のフロー制御をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の（1）、（2）の方法があります。

(1)　自動 PAUSE フレーム送信

受信フレームに対しては、受信 FIFO に書き込まれたデータ量が、オーバフロー予告 FIFO しきい値設定レジスタ（FCFTR）に設定された値に達すると PAUSE フレームを自動的に送信します。このときの PAUSE フレームに含まれる TIME パラメータ値は、自動 PAUSE フレーム設定レジスタ（APR）で設定します。PAUSE フレームの再送回数上限を規定しない場合、自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が FCFTR 設定値未満になるまで繰り返されます。また、PAUSE フレーム再送回数設定レジスタ（TPAUSER）により PAUSE フレームの再送信回数の上限値を 1 ～ 65535 回の範囲で設定することができます。この場合は、自動 PAUSE フレームの送信は、受信 FIFO 内のデータ量が FCFTR 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで繰り返されます。送信回数カウンタは、いったん受信 FIFO 内のデータ量が FCFTR 設定値未満になった後、次の PAUSE フレームが送信される時点で 0 クリアされます。

自動 PAUSE フレームの送信は、E-MAC モードレジスタ（ECMR）の TXF ビットが 1 の場合に有効になります。

(2)　手動 PAUSE フレーム送信

ソフトウェアからの指示により、PAUSE フレームを送信することができます。手動 PAUSE フレーム設定レジスタ（MPR）へ Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は 1 回（1 フレーム）のみです。

(3)　PAUSE フレーム受信

PAUSE フレームを受信した場合、TIME パラメータ値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。PAUSE フレームの受信は E-MAC モードレジスタ（ECMR）の RXF ビットが 1 の場合に有効となります。PAUSE フレーム受信回数をカウントします。

(4)　0 TIME PAUSE フレーム制御

TIME パラメータ値が 0 の PAUSE フレームによるフロー制御を行うことができます。TIME パラメータ値が 0 の PAUSE フレーム制御を有効／無効するかを、E-MAC モードレジスタ（ECMR）の ZPF ビットで指定することができます。

- TIME パラメータ値が 0 の PAUSE フレーム制御有効時
  TIME パラメータ値の示す時間が経過していない状態で、受信 FIFO の容量がオーバフロー予告 FIFO しきい値設定レジスタ（FCFTR）の設定値未満になると、TIME パラメータ値が 0 の PAUSE フレームを送信します。
  TIME パラメータ値が 0 の PAUSE フレームを受信した場合、フレーム送信待ち状態を解除します。
- TIME パラメータ値が 0 の PAUSE フレーム制御無効時
  TIME パラメータ値が 0 の PAUSE フレームを送信しません。また、TIME パラメータ値が 0 の PAUSE フレームを受信した場合は、その PAUSE フレームを破棄します。

26.4.10　インテリジェントチェックサム計算機能

受信パケットに対するチェックサム演算をアクセラレートします。下記の 2 つのモードがあります。

- MAC/IP パケット解析型インテリジェントチェックサム計算モード
- スキップバイト数指定型全データインテリジェントチェックサム計算モード

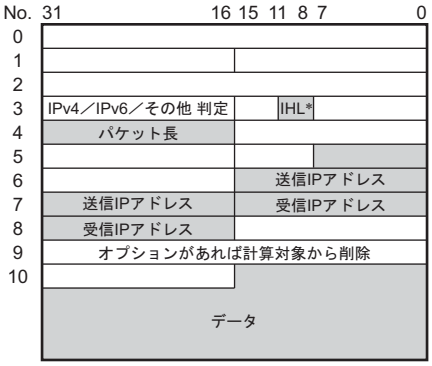
(1)　MAC/IP パケット解析型インテリジェントチェックサム計算モード（CSMR レジスタ CSEBL ＝ 1、CSMD ＝ 1）

受信パケットが下表に含まれるものであれば、計算の対象となります。

IPver	項目
IPv4	オプションなし
	オプションあり
	フラグメント（注1）
IPv6	拡張ヘッダなし
	ホップバイホップオプション拡張ヘッダ長
	ルーティング拡張ヘッダ長
	フラグメント拡張ヘッダ長（注1）
	終点オプション拡張ヘッダ長
	AH 拡張ヘッダ長
	ESP 拡張ヘッダ長（注2）
	MobileIPv6 用拡張ヘッダ長（注2）

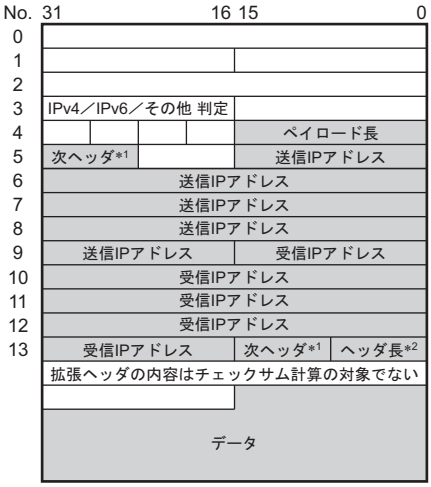
注1.　計算の対象となりますが、データが正常な場合でも RD0.RCS[15:0]＝不定となり、RD0.RCSE＝不定となります。
注2.　RD0.RCS[15:0]の計算は行わずに RD0.RCSE＝1 にセットされます。

以下に IPv4 パケットの計算対象となる領域を示します。網掛け部分が計算対象になります。



【注】* オクテット単位に変更後、チェックサム計算時は減算する。
計算時｛8'h00、プロトコルNo.[7:0]｝

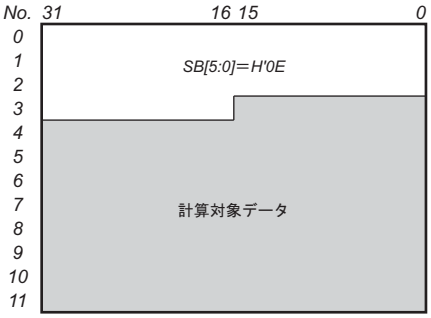
以下に IPv6 パケットの計算対象となる領域を示します。網掛け部分が計算対象になります。



【注】 *1 TCP/UDPのときのみ計算する。計算する場合は {8'h00, 次ヘッダ[7:0]} に拡張する。
*2 オクテット単位に変更後、チェックサム計算時は減算する。

(2) スキップバイト数指定型全データインテリジェントチェックサム計算モード（CSMR レジスタ CSEBL ＝ 1、CSMD ＝ 0）

CSMR レジスタ SB[5:0] で指定したバイト数分だけ、パケットの先頭からデータをスキップした後、以降の全有効データをチェックサムの対象として計算を行います。（例：14 バイトスキップ）



26.5　PHY-LSI との接続

26.5.1　MII フレームタイミング

各種 MII フレームのタイミングを図 26.14 ～図 26.17 に示します。

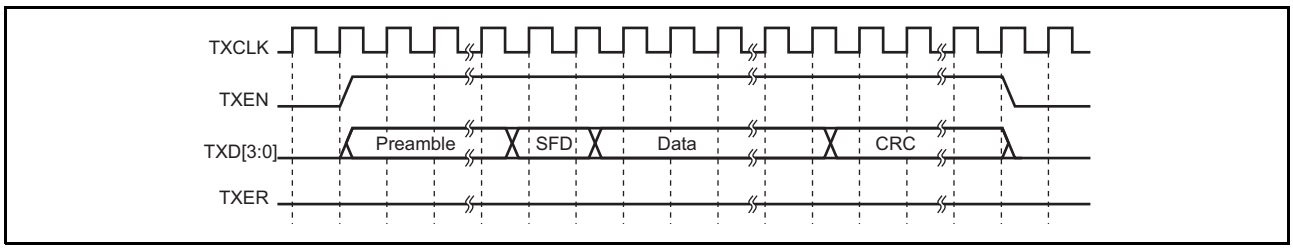


図 26.14　MII フレーム送信タイミング（正常時）

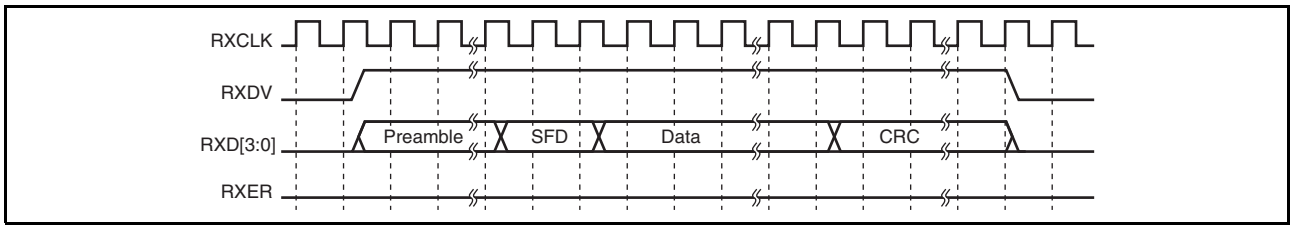


図 26.15　MII フレーム受信タイミング（正常受信）

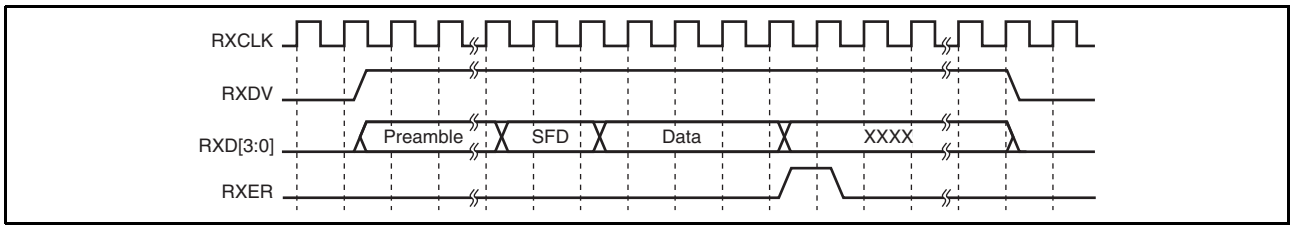


図 26.16　MII フレーム受信タイミング（受信エラー（1））

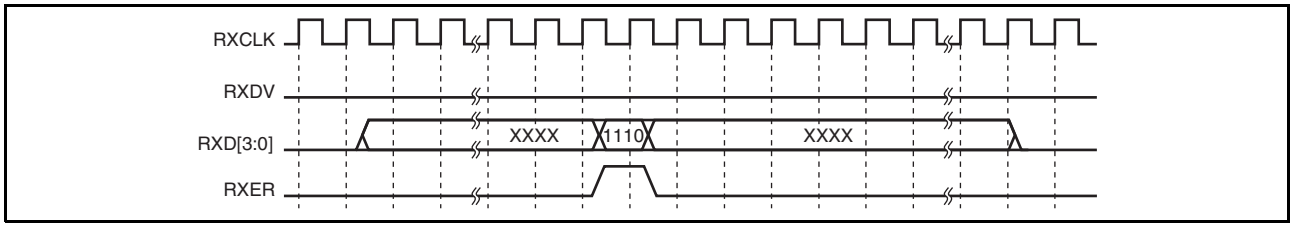


図 26.17　MII フレーム受信タイミング（受信エラー（2））

26.5.2　MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ（PIR）を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットに従い、シリアルインタフェースとして接続します。

(1)　MII 管理フレームのフォーマット

MII 管理フレームのフォーマットを図 26.18 に示します。MII レジスタをアクセスするには、(2) で示す手順に従う管理フレームをプログラムによって実現します。

アクセス種別	MII管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】

PRE　：32個の連続した1
ST　：フレームの先頭を示す01のライト
OP　：アクセス種別を示すコードのライト
PHYAD　：PHY-LSIのアドレスが1番の場合、0001をライト（MSBから順次ライト）。このビットは、PHY-LSIアドレスによって可変となる。
REGAD　：レジスタアドレスが1番の場合、0001をライト（MSBから順次ライト）。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
TA　：MIIインタフェース上でデータの送信元を切り換える時間
　(a) ライト時は10をライト
　(b) リード時は、「バス解放」（Z0と表記）を行う
DATA　：16ビットのデータ。MSBから順次ライトあるいはリード
　(a) ライト時は、16ビットデータのライト
　(b) リード時は、16ビットデータのリード
IDLE　：次のMII管理フォーマット入力までの待機時間
　(a) ライト時は、「単独バス解放」（Xと表記）を行う
　(b) リード時は、すでにTA時にバス解放済みであり制御不要

図 26.18　MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ（PIR）を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 26.19 ～図 26.22 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

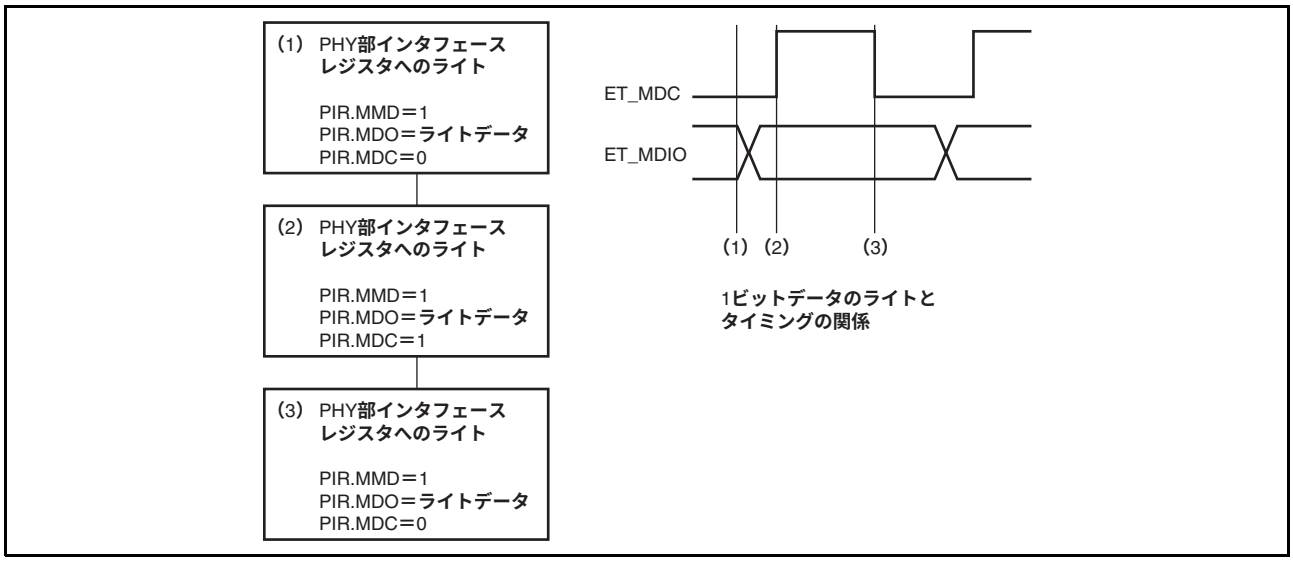


図 26.19　1 ビットデータのライトフロー

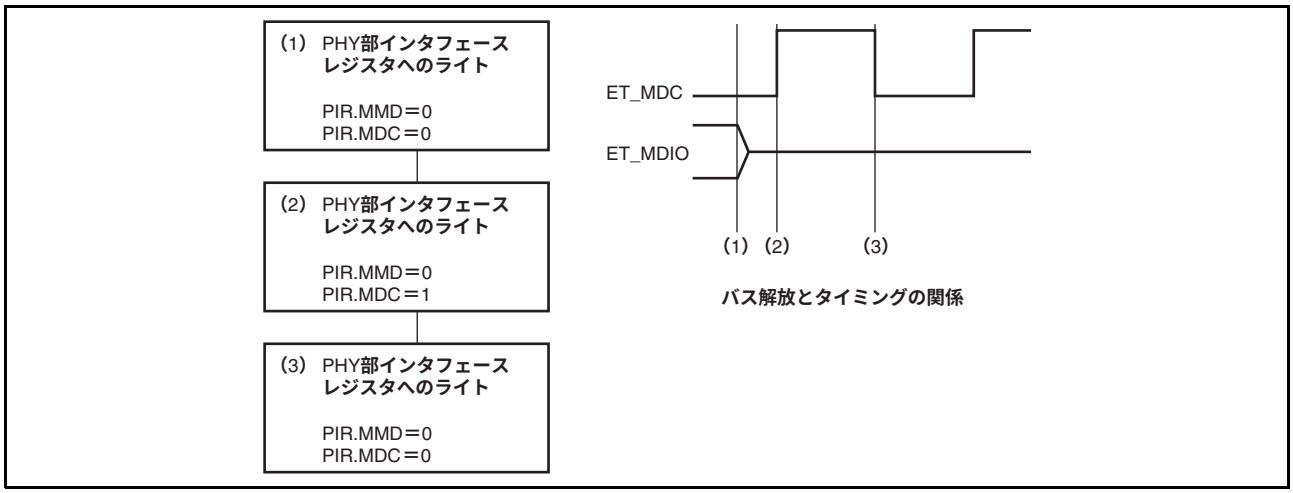


図 26.20　バス解放フロー（図 26.18 中のリード時の TA）

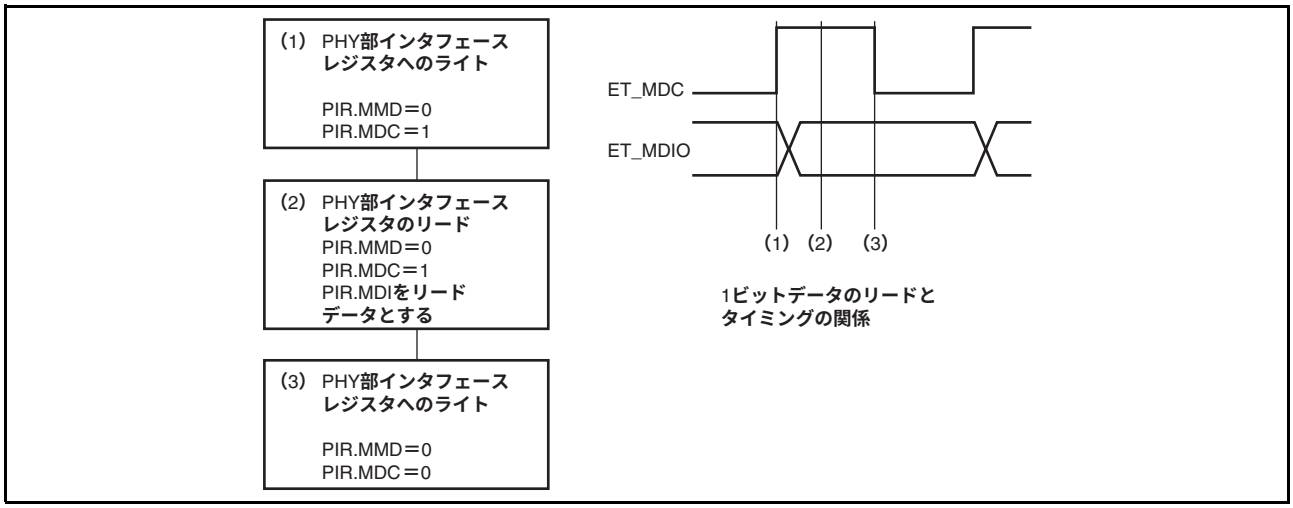


図 26.21　1 ビットデータのリードフロー

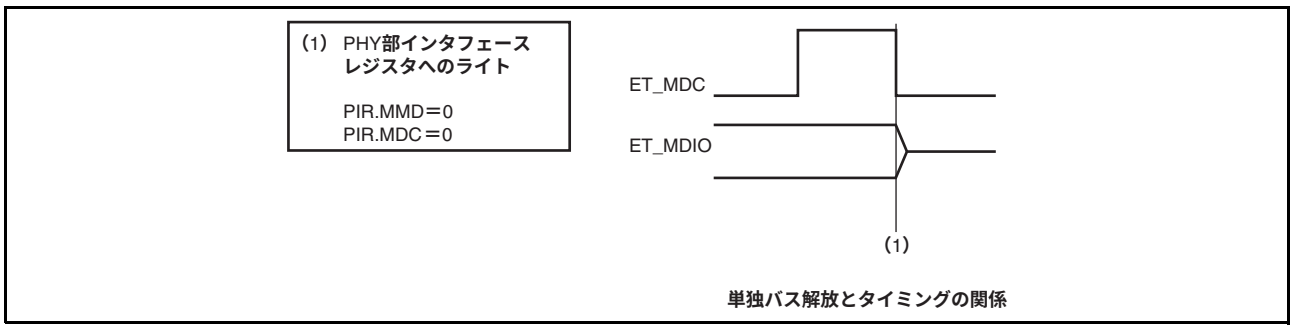


図 26.22　単独バス解放フロー（図 26.18 のライト時の IDLE）

26.6　使用上の注意事項

26.6.1　イーサネットフレームのサムチェック計算

本 LSI では、受信フレームのサムチェックデータを計算することができます。サムチェックの計算対象は、イーサネットフレームのデータ部分（長さ／タイプフィールドの直後から、CRC データの直前まで）です。図 26.23 にイーサネットフレームの計算対象の箇所を示す概念図を示します。計算方法は、16 ビットごとの加算のみで、ビットの反転は行っていません。なお、サムチェックデータ有効時は CRC データ (4 バイト) は受信フレームとしては転送されず、サムチェックデータ (Sum Data) が自動的につきます。図 26.24 にサムチェックデータが付加された後のイーサネットフレームの概念図を示します。

注 .　VLANTag が挿入されたフレームに対しても、先頭 15 バイト目以降、CRC データの直前までを計算対象としますのでご注意ください。

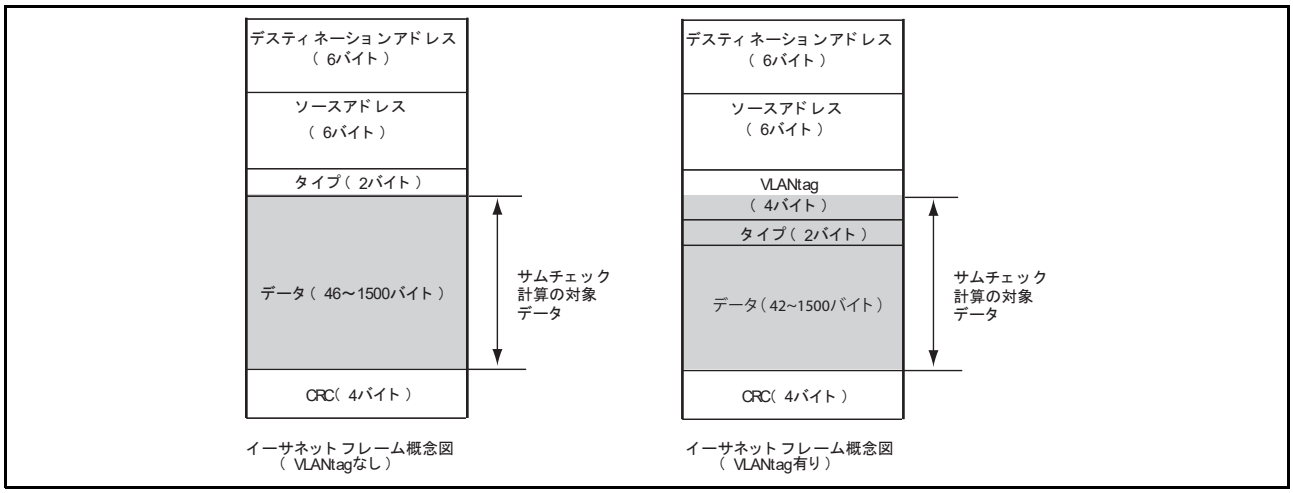


図 26.23　サムチェック計算の対象データ

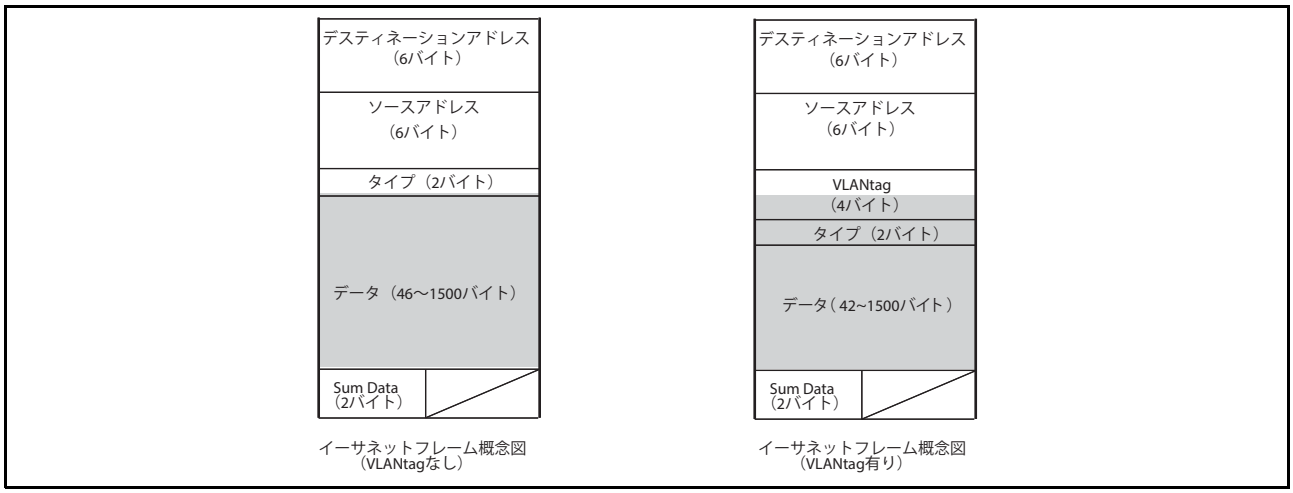


図 26.24　サムチェックデータ付加後のデータ

26.6.2　インテリジェントチェックサム機能の使用時の注意

インテリジェントチェックサム機能のチェックサム計算は、受信データパディング挿入設定レジスタ（RPADIR）によるパディング挿入の影響を受けません。これは、チェックサム計算が、受信データを E-MAC から E-DMAC に転送する際に行われるのに対し、受信データパディングが、受信データを E-DMAC からメモリ上の受信バッファに転送する際に行われるためです。

26.6.3　ソフトウェアリセット

ソフトウェアリセットレジスタ（ARSTR）の ARST ビットまたは E-DMAC モードレジスタ（EDMR）の SWRT および SWRR ビットによるソフトウェアリセットへの遷移の際は、**「42.3.6　ソフトウェアリセット」**を参照してください。なお、**「42.3.6　ソフトウェアリセット」**に記載の手順に関しては、SRST ビット記述を ARST、SWRT、SWRR ビットに読み替えてください。

27. A/D 変換器

本 LSI は 12 ビット精度の逐次比較方式 A/D 変換器を内蔵しています。最大 8 チャネルのアナログ入力を選択することができます。

27.1 特長

- 分解能：12 ビット
- 入力チャネル：8 チャネル
- 最小変換時間：1 チャネル当たり 5.0µs
- 絶対精度：±11LSB
- 動作モード：3 種類
  シングルモード：1 チャネルの A/D 変換
  マルチモード：1 ～ 4 チャネルの A/D 変換または 1 ～ 8 チャネルの A/D 変換
  スキャンモード：1 ～ 4 チャネルの連続 A/D 変換または 1 ～ 8 チャネルの連続 A/D 変換
- データレジスタ：8 本
  変換結果を各チャネルに対応した 16 ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D 変換開始方法：3 種類
  ソフトウェア
  マルチファンクションタイマパルスユニット 2 による変換開始トリガ
  外部トリガ信号
- 割り込み要因：2 要因
  A/D 変換終了時に、A/D 変換終了割り込み（ADI）要求を発生可能
  各チャネルごとの上限 / 下限閾値を変換結果が超えた場合[注 1] に、閾値越え割り込み（LMTI）要求を発生可能

注 1. 10 ビット精度での比較となります。

- モジュールスタンバイモードの設定可能

図 27.1 にブロック図を示します。

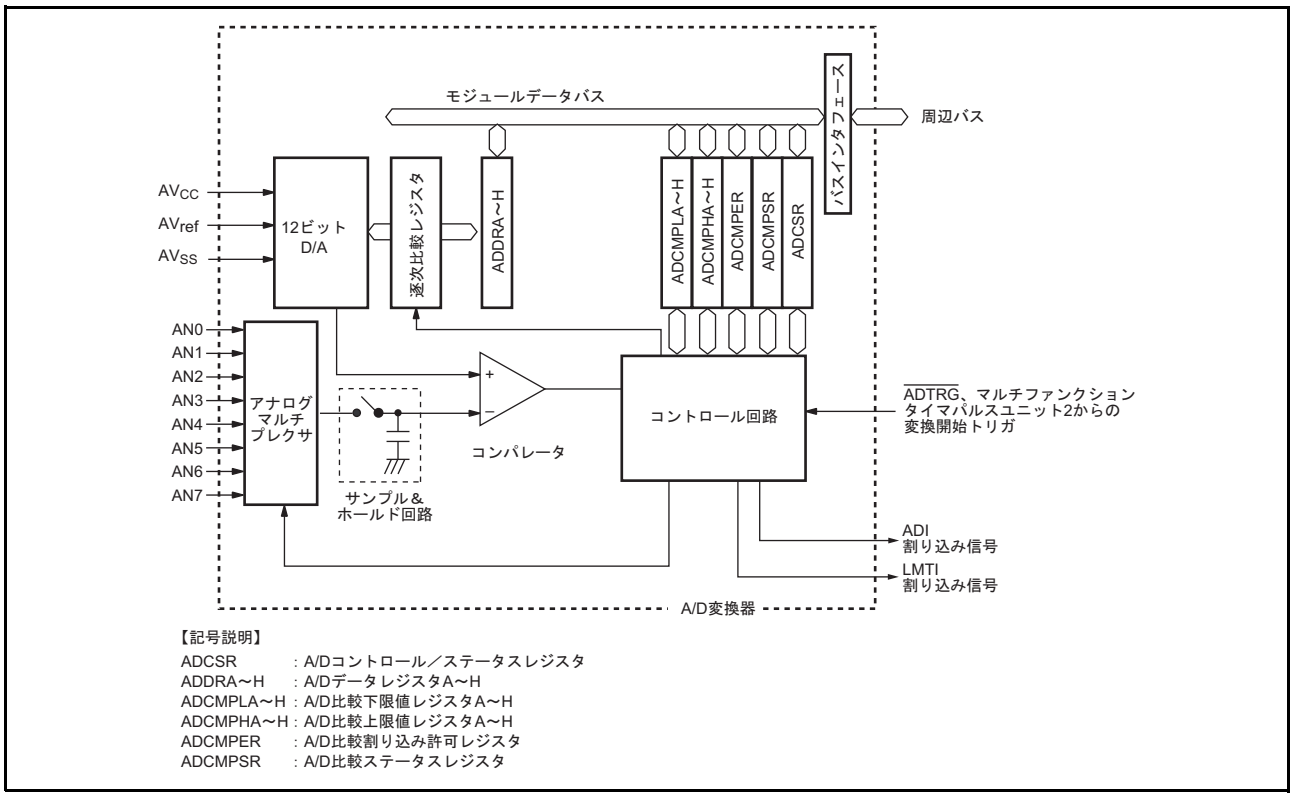


図 27.1　ブロック図

27.2　入出力端子

表 27.1 に端子構成を示します。

表 27.1　端子構成

名称	端子名	入出力	機　能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子および A/D 変換の基準グランド
アナログ基準電圧端子	AVref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	アナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力

27.3 レジスタの説明

表 27.2 にレジスタ構成を示します。

表27.2　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
A/D データレジスタ A	ADDRA	R	H'0000	H'E8005800	16
A/D データレジスタ B	ADDRB	R	H'0000	H'E8005802	16
A/D データレジスタ C	ADDRC	R	H'0000	H'E8005804	16
A/D データレジスタ D	ADDRD	R	H'0000	H'E8005806	16
A/D データレジスタ E	ADDRE	R	H'0000	H'E8005808	16
A/D データレジスタ F	ADDRF	R	H'0000	H'E800580A	16
A/D データレジスタ G	ADDRG	R	H'0000	H'E800580C	16
A/D データレジスタ H	ADDRH	R	H'0000	H'E800580E	16
A/D 比較上限値レジスタ A	ADCMPHA	R/W	H'0000	H'E8005820	16
A/D 比較下限値レジスタ A	ADCMPLA	R/W	H'0000	H'E8005822	16
A/D 比較上限値レジスタ B	ADCMPHB	R/W	H'0000	H'E8005824	16
A/D 比較下限値レジスタ B	ADCMPLB	R/W	H'0000	H'E8005826	16
A/D 比較上限値レジスタ C	ADCMPHC	R/W	H'0000	H'E8005828	16
A/D 比較下限値レジスタ C	ADCMPLC	R/W	H'0000	H'E800582A	16
A/D 比較上限値レジスタ D	ADCMPHD	R/W	H'0000	H'E800582C	16
A/D 比較下限値レジスタ D	ADCMPLD	R/W	H'0000	H'E800582E	16
A/D 比較上限値レジスタ E	ADCMPHE	R/W	H'0000	H'E8005830	16
A/D 比較下限値レジスタ E	ADCMPLE	R/W	H'0000	H'E8005832	16
A/D 比較上限値レジスタ F	ADCMPHF	R/W	H'0000	H'E8005834	16
A/D 比較下限値レジスタ F	ADCMPLF	R/W	H'0000	H'E8005836	16
A/D 比較上限値レジスタ G	ADCMPHG	R/W	H'0000	H'E8005838	16
A/D 比較下限値レジスタ G	ADCMPLG	R/W	H'0000	H'E800583A	16
A/D 比較上限値レジスタ H	ADCMPHH	R/W	H'0000	H'E800583C	16
A/D 比較下限値レジスタ H	ADCMPLH	R/W	H'0000	H'E800583E	16
A/D コントロール／ステータスレジスタ	ADCSR	R/W	H'0000	H'E8005860	16
A/D 比較割り込み許可レジスタ	ADCMPER	R/W	H'0000	H'E8005862	16
A/D 比較ステータスレジスタ	ADCMPSR	R/W	H'0000	H'E8005864	16

27.3.1 A/D データレジスタ A ～ H（ADDRA ～ ADDRH）

ADDR は、A/D 変換された結果を格納する 16 ビットの読み出し専用レジスタで、ADDRA ～ ADDRH の 8 本があります。

A/D 変換されたデータは 12 ビットデータで、変換されたチャネルに対応する ADDR のビット 15 ～ 4 に転送され、保持されます。ビット 3 ～ 0 は読み出すと常に 0 が読み出されます。

ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

アナログ入力チャネルと ADDR の対応を**表 27.3** に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15 ～ 4		すべて 0	R	ビットデータ（12 ビット）
3 ～ 0	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 27.3　アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

27.3.2　A/D 比較上限値レジスタ A ～ H（ADCMPHA ～ ADCMPHH）

ADCMPH は、A/D 変換された結果との上限比較値を格納する読み出し／書き込み可能な 16 ビットのレジスタで、ADCMPHA ～ ADCMPHH の 8 本があります。

各チャネルの変換終了時点で本上限値レジスタに格納されたデータと A/D 変換されたデータが比較され、上限値を上回っている場合には A/D 比較ステータスレジスタ（ADCMPSR）の該当ビットをセットします。上限値との比較は、A/D 比較割り込み許可レジスタ（ADCMPER）の該当ビットがセットされている場合におこなわれます。

ADCMPH の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ADDR レジスタと ADCMPH/ADCMPL レジスタの対応を**表 27.4** に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15 ～ 6		すべて 0	R/W	比較上限値データ（10 ビット）
5 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

27.3.3 A/D 比較下限値レジスタ A ～ H（ADCMPLA ～ ADCMPLH）

ADCMPL は、A/D 変換された結果との下限比較値を格納する読み出し／書き込み可能な 16 ビットのレジスタで、ADCMPLA ～ ADCMPLH の 8 本があります。

各チャネルの変換終了時点で本下限値レジスタに格納されたデータと A/D 変換されたデータが比較され、下限値を下回っている場合には A/D 比較ステータスレジスタ（ADCMPSR）の該当ビットをセットします。下限値との比較は、A/D 比較割り込み許可レジスタ（ADCMPER）の該当ビットがセットされている場合におこなわれます。

ADCMPL の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ADDR レジスタと ADCMPH/ADCMPL レジスタの対応を**表 27.4** に示します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15 ～ 6		すべて 0	R/W	比較下限値データ（10 ビット）
5 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 27.4　ADDR レジスタと ADCMPH/ADCMPL の対応

変換結果が格納される ADDR レジスタ	比較対象となる ADCMPH/ADCMPL レジスタ
ADDRA	ADCMPHA/ADCMPLA
ADDRB	ADCNPHB/ADCMPLB
ADDRC	ADCMPHC/ADCMPLC
ADDRD	ADCMPHD/ADCMPLD
ADDRE	ADCMPHE/ADCMPLE
ADDRF	ADCMPHF/ADCMPLF
ADDRG	ADCMPHG/ADCMPLG
ADDRH	ADCMPHH/ADCMPLH

27.3.4 A/D コントロール／ステータスレジスタ（ADCSR）

ADCSR は、16 ビットの読み出し／書き込み可能なレジスタで、動作モードの選択、A/D 変換の動作制御、および外部トリガ入力による A/D 変換開始の許可または禁止の選択を行います。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	TRGS[3:0]				CKS[2:0]			MDS[2:0]			CH[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)(注1)	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15	ADF	0	R/(W)（注 1）	A/Dエンドフラグ A/D変換の終了を示すステータスフラグです。 ［クリア条件］ • ADF＝1の状態でADFフラグを読み出した後、ADFフラグに0を書き込んだとき • ADI割り込みによりダイレクトメモリアクセスコントローラが起動され、ADDRを読み出したとき ［セット条件］ • シングルモードでA/D変換が終了したとき • マルチモードで選択されたすべてのチャネルのA/D変換が終了したとき • スキャンモードで選択されたすべてのチャネルのA/D変換が終了したとき
14	ADIE	0	R/W	A/Dインタラプトイネーブル A/D変換の終了による割り込み（ADI）要求の許可または禁止を選択します。ADIEビットの設定は変換停止中に行ってください。 0：A/D変換の終了による割り込み（ADI）要求を禁止 1：A/D変換の終了による割り込み（ADI）要求を許可
13	ADST	0	R/W（注 2）	A/Dスタート A/D変換の開始または停止を選択します。A/D変換中は1を保持します。 0：A/D変換を停止 1：シングルモード時：A/D変換を開始。指定したチャネルのA/D変換が終了すると自動的にクリア。 マルチモード時：A/D変換を開始。指定したすべてのチャネルを一巡してA/D変換が終了すると自動的に0にクリア。 スキャンモード時：A/D変換を開始。ソフトウェア、パワーオンリセット、ディープスタンバイモードへの遷移により0にクリアされるまで連続変換します。
12 ～ 9	TRGS[3:0]	0000	R/W	タイマトリガセレクト トリガ信号によるA/D変換開始の許可または禁止を選択します。 0000：外部トリガによるA/D変換開始を禁止 0001：マルチファンクションタイマパルスユニット2からの変換トリガTRGANによるA/D変換開始 0010：マルチファンクションタイマパルスユニット2からの変換トリガTRG0Nによる A/D変換開始 0011：マルチファンクションタイマパルスユニット2からの変換トリガTRG4ANによるA/D変換開始 0100：マルチファンクションタイマパルスユニット2からの変換トリガTRG4BNによるA/D変換開始 1001：$\overline{\text{ADTRG}}$によるA/D変換開始 上記以外：設定禁止
8 ～ 6	CKS[2:0]	000	R/W	クロックセレクト A/D変換時間の設定を行います（注3）。変換時間の設定は変換停止中（ADST＝0）に行ってください。 000：変換時間＝ 256 t_{cyc}（注4）（最大値） 001：変換時間＝ 298 t_{cyc}（注4）（最大値） 010：変換時間＝ 340 t_{cyc}（注4）（最大値） 011：変換時間＝ 382 t_{cyc}（注4）（最大値） 100、101、110、111：設定禁止

ビット	ビット名	初期値	R/W	説　　明
5 ～ 3	MDS[2:0]	000	R/W	マルチスキャンモード A/D 変換の動作モードを選択します。 0xx：シングルモード 100：マルチモード。1～4 チャネルの A/D 変換 101：マルチモード。1～8 チャネルの A/D 変換 110：スキャンモード。1～4 チャネルの A/D 変換 111：スキャンモード。1～8 チャネルの A/D 変換
2 ～ 0	CH[2:0]	000	R/W	チャネルセレクト ADCSR の MDS ビットとともにアナログ入力を選択します。 MDS＝0xx のとき / MDS＝100 または MDS＝110 のとき / MDS＝101 または MDS＝111 のとき 000：AN0 / 000：AN0 / 000：AN0 001：AN1 / 001：AN0、AN1 / 001：AN0、AN1 010：AN2 / 010：AN0～AN2 / 010：AN0～AN2 011：AN3 / 011：AN0～AN3 / 011：AN0～AN3 100：AN4 / 100：AN4 / 100：AN0～AN4 101：AN5 / 101：AN4、AN5 / 101：AN0～AN5 110：AN6 / 110：AN4～AN6 / 110：AN0～AN6 111：AN7 / 111：AN4～AN7 / 111：AN0～AN7

【記号説明】　x：Don't care

注1.　フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。
注2.　ソフトウエアスタンバイ、またはモジュールスタンバイに入れる場合、先に ADST をクリアして AD 変換を停止してください。
注3.　A/D 変換器特性の絶対精度を満足するためには、最小変換時間以上となるよう設定してください。
注4.　t_{cyc} は周辺クロック 1（P1φ）の 1 サイクル時間を示します。

27.3.5　A/D 比較割り込み許可レジスタ（ADCMPER）

ADCMPER は、16 ビットの読み出し／書き込み可能なレジスタで、各チャネルの変換結果である A/D データレジスタ (ADDR) と、A/D 比較上限値レジスタ（ADCMPH）、A/D 比較下限値レジスタ（ADCMPL）との比較および割り込み要求を制御します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HLMENH	HLMENG	HLMENF	HLMENE	HLMEND	HLMENC	HLMENB	HLMENA	LLMENH	LLMENG	LLMENF	LLMENE	LLMEND	LLMENC	LLMENB	LLMENA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 8	HLMENH ～ HLMENA	すべて 0	R/W	上限比較許可兼割り込み許可 チャネルごとの変換結果との上限値比較および上限値を上回った場合の割り込み要求（LMTI）の許可または禁止を選択します。 0：変換結果との上限値比較および閾値越え割り込み（LMTI）要求を禁止 1：変換結果との上限値比較および閾値越え割り込み（LMTI）要求を許可
7 ～ 0	LLMENH ～ LLMENA	すべて 0	R/W	下限比較許可兼割り込み許可 チャネルごとの変換結果との下限値比較および下限値を下回った場合の割り込み要求（LMTI）の許可または禁止を選択します。 0：変換結果との下限値比較および閾値越え割り込み（LMTI）要求を禁止 1：変換結果との下限値比較および閾値越え割り込み（LMTI）要求を許可

27.3.6　A/D 比較ステータスレジスタ（ADCMPSR）

ADCMPSR は、16 ビットの読み出し専用のレジスタで、チャネルごとの変換結果である A/D データレジスタ（ADDR）と A/D 比較上限値レジスタ（ADCMPH）または A/D 比較下限値レジスタ（ADCMPL）との比較結果を示すステータスレジスタです。

A/D 比較割り込み許可レジスタ（ADCMPER）で比較および割り込み許可の設定の場合のみ有効で、比較および割り込みが禁止の場合には常にクリア状態となります。

上限値を上回った場合あるいは下限値を下回った場合に該当チャネルが 1 にセットされます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HOVRH	HOVRG	HOVRF	HOVRE	HOVRD	HOVRC	HOVRB	HOVRA	LUDRH	LUDRG	LUDRF	LUDRE	LUDRD	LUDRC	LUDRB	LUDRA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15 ～ 8	HOVRH ～ HOVRA	すべて 0	R	上限閾値オーバーフラグ 各チャネルの変換結果がADCMPHの上限値を上回ったことを示すステータスフラグです。 [クリア条件] • 該当するチャネルのADCMPERレジスタのHLMENnビットに0を書き込んだとき [セット条件] • 該当するチャネルのADCMPERレジスタのHLMENビットが 1 で、該当チャネルの変換結果がADDRに格納された時点で、ADCMPHレジスタの設定値を上回った変換結果であったとき
7 ～ 0	LUDRH ～ LUDRA	すべて 0	R	下限閾値アンダーフラグ 各チャネルの変換結果がADCMPLの下限値を下回ったことを示すステータスフラグです。 [クリア条件] • 該当するチャネルのADCMPERレジスタのLLMENnビットに0を書き込んだとき [セット条件] 該当するチャネルのADCMPERレジスタのLLMENビットが 1 で、該当チャネルの変換結果がADDRに格納された時点で、ADCMPLレジスタの設定値を下回った変換結果であったとき

27.4　動作説明

A/D 変換器は逐次比較方式で分解能は 12 ビットです。動作モードにはシングルモードとマルチモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

27.4.1　シングルモード

シングルモードは、1 チャネルのみの A/D 変換を行う場合に選択します。

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット 2、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的に 0 にクリアされて A/D 変換器は待機状態になります。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。更新した後、ADST ビットを 1 にセットすると（モードおよびチャネルの変換と ADST ビットのセットは同時に行うことができます）、再び A/D 変換を開始します。

シングルモード（MDS[2]=0）でチャネル 1（AN1）が選択された場合の動作例を以下に示します。また、このときの動作タイミングを**図 27.2** に示します（動作例におけるビットの指定は ADCSR レジスタです）。

1. 動作モードをシングルモードに、入力チャネルを AN1 に（CH[2:0] ＝ 001）、A/D 割り込み要求許可（ADIE ＝ 1）に設定して、A/D 変換を開始（ADST ＝ 1）します。
2. A/D 変換が終了すると、A/D 変換結果が ADDRB に転送されます。同時に、ADF ＝ 1、ADST ＝ 0 となり、A/D 変換器は変換待機となります。
3. ADF ＝ 1、ADIE ＝ 1 となっているため、ADI 割り込み要求が発生します。
4. A/D 割り込み処理ルーチンが開始されます。
5. ADF=1 を読み出した後、ADF に 0 を書き込みます。
6. A/D 変換結果（ADDRB）を読み出して、処理します。
7. A/D 割り込み処理ルーチンの実行を終了します。この後、ADST ビットを 1 にセットすると A/D 変換が開始され 2. ～ 7. を行います。

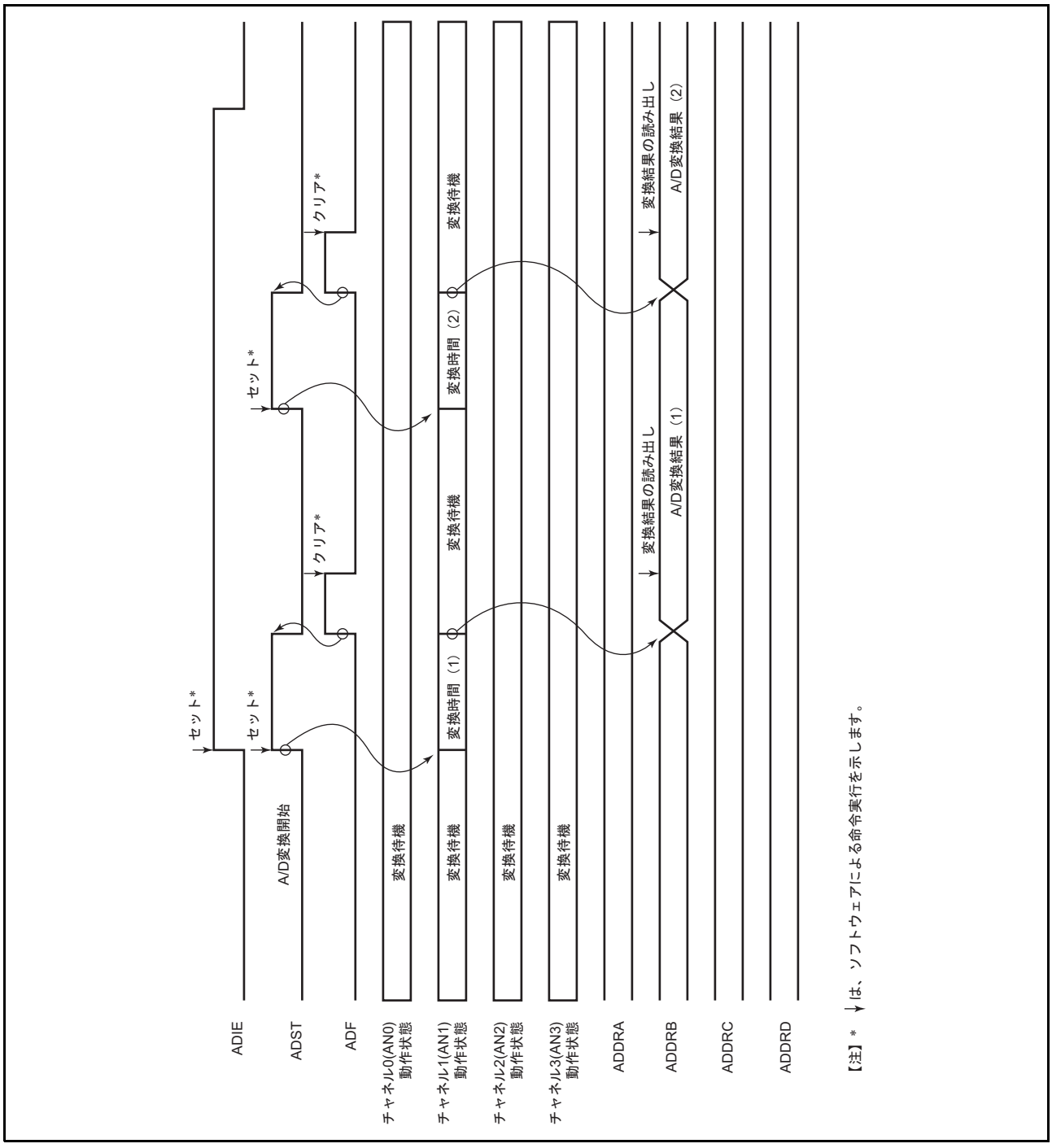


図 27.2　A/D 変換器の動作例（シングルモード、チャネル 1 選択時）

27.4.2　マルチモード

マルチモードは、複数チャネル（1 チャネルを含む）のアナログ入力をそれぞれ 1 回順次変換します。

マルチモードは指定された最大 8 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット 2、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、アナログ入力チャネル番号の小さい順（たとえば AN0、AN1…AN3）に A/D 変換を実行します。
2. それぞれのチャネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャネルに対応する A/D データレジスタに転送されます。
3. 選択されたすべてのチャネルの A/D 変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的に 0 にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると変換を中止し、A/D 変換器は待機状態になります。ADF ビットは、ADF ＝ 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換は、指定したすべてのチャネルを一巡して変換します。変換された結果は、各チャネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると（モードおよびチャネルの変更と ADST ビットのセットは同時に行うことができます）、第 1 チャネルが選択され、再び A/D 変換を開始します。

マルチモードで 3 チャネル（AN0 ～ AN2）を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを**図 27.3** に示します。

1. 動作モードをマルチモード（MDS[2] ＝ 1、MDS[1] ＝ 0）に、アナログ入力チャネルを AN0 ～ AN2（CH[2:0] ＝ 010）に設定して A/D 変換を開始（ADST ＝ 1）します。
2. 第 1 チャネル（AN0）の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA に転送します。
3. 次に第 2 チャネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第 3 チャネル（AN2）まで変換を行います。
5. 選択されたすべてのチャネル（AN0 ～ AN2）の変換が終了すると、ADF ＝ 1 となり、ADST ビットを 0 にして変換を終了します。
6. このとき ADIE ビットが 1 であると、A/D 変換終了後、ADI 割り込みを発生します。

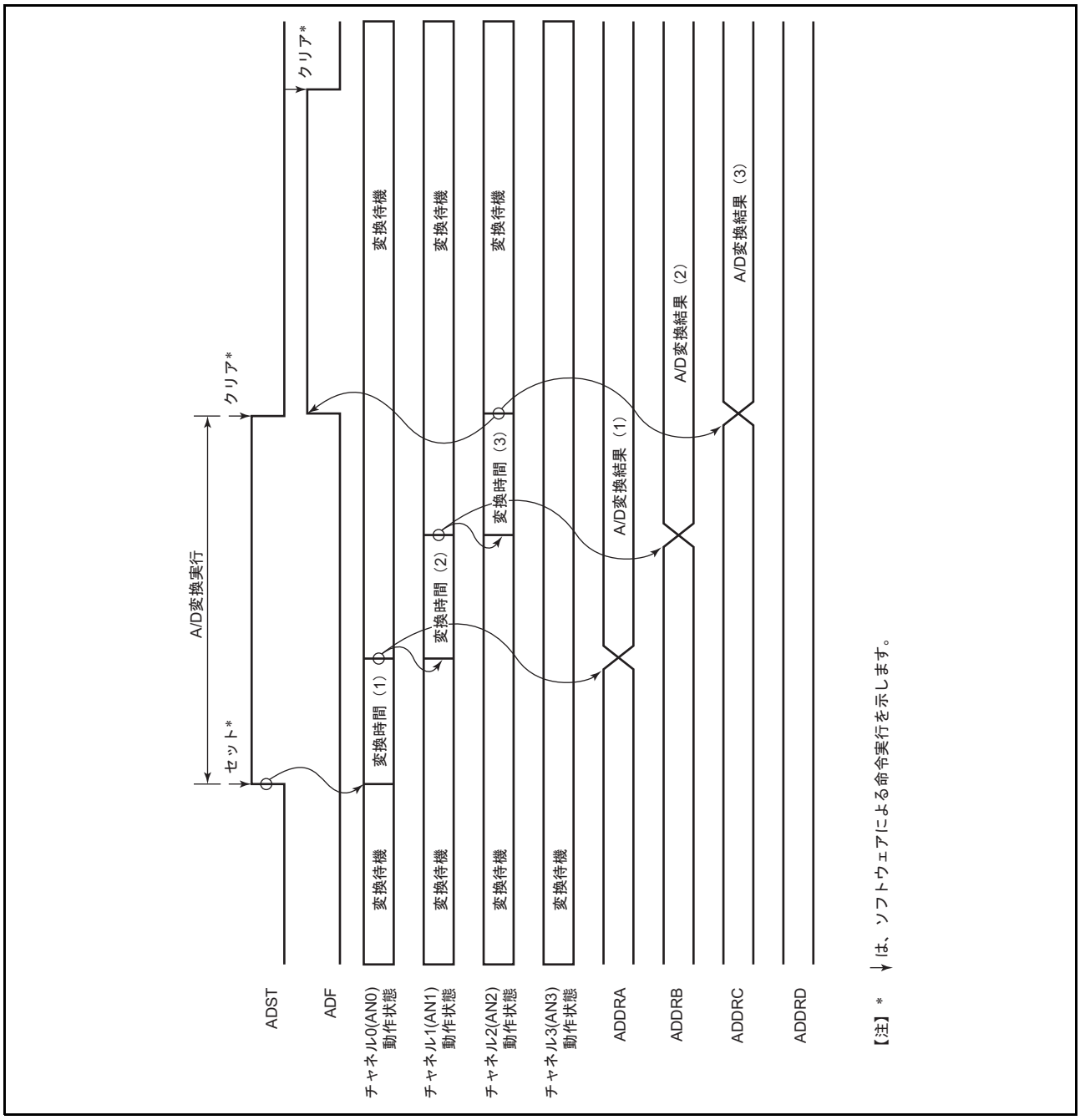


図 27.3　A/D 変換器の動作例（マルチモード、AN0 ～ AN2 の 3 チャネル選択時）

27.4.3　スキャンモード

スキャンモードは、複数チャネル（1 チャネルを含む）のアナログ入力を常にモニタするようなシステムに適します。スキャンモードは、指定された最大 8 チャネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェア、マルチファンクションタイマパルスユニット 2、または外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、アナログ入力チャネル番号の小さい順（たとえば AN0、AN1…AN3）に A/D 変換を実行します。
2. それぞれのチャネルの A/D 変換が終了すると、A/D 変換結果は順次そのチャネルに対応する A/D データレジスタに転送されます。
3. 選択されたすべてのチャネルの A/D 変換が終了すると、ADCSR の ADF ビットが 1 にセットされます。このとき ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。A/D 変換器は再びチャネル番号の小さい順に A/D 変換を実行します。
4. ADST ビットは自動的にクリアされず、1 にセットされている間は 2. ～ 3. を繰り返します。ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。
   ADF ビットは、ADF ＝ 1 を読み出したあと、ADF ビットに 0 を書き込むとクリアされます。

A/D 変換中に、モードやアナログ入力チャネルの切り替えを行う場合は、誤動作を避けるために ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると（モードおよびチャネルの変更と ADST ビットのセットは同時に行うことができます）、第 1 チャネルが選択され、再び A/D 変換を開始します。

スキャンモードで 3 チャネル（AN0 ～ AN2）を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを**図 27.4** に示します。

1. 動作モードをスキャンモード（MDS[2] ＝ 1、MDS[1] ＝ 1）に、アナログ入力チャネルを AN0 ～ AN2（CH[2:0] ＝ 010）に設定して A/D 変換を開始（ADST ＝ 1）します。
2. 第 1 チャネル（AN0）の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA に転送します。
3. 次に第 2 チャネル（AN1）が自動的に選択され、変換を開始します。
4. 同様に第 3 チャネル（AN2）まで変換を行います。
5. 選択されたすべてのチャネル（AN0 ～ AN2）の変換が終了すると、ADF ＝ 1 となり、再び、第 1 チャネル（AN0）を選択し、連続して変換が行われます。このとき ADIE ビットが 1 であると、A/D 変換（第 3 チャネルの変換）終了後、ADI 割り込みを発生します。
6. ADST ビットは自動的にクリアされず、ADST ビットが 1 にセットされている間は 2. ～ 4. を繰り返します。繰り返している間は ADF ＝ 1 を保持しています。ADST ビットを 0 にクリアすると、A/D 変換が停止します。ADF ビットは、ADF ＝ 1 を読み出した後、ADF ビットに 0 を書き込むとクリアされます。

2.～4.を繰り返している間ADF＝1でADIE＝1の場合、常にADI割り込みを発生します。第3チャネルの変換終了時点で割り込みを発生させたい場合は、割り込み発生後、ADF ビットを 0 にクリアしてください。

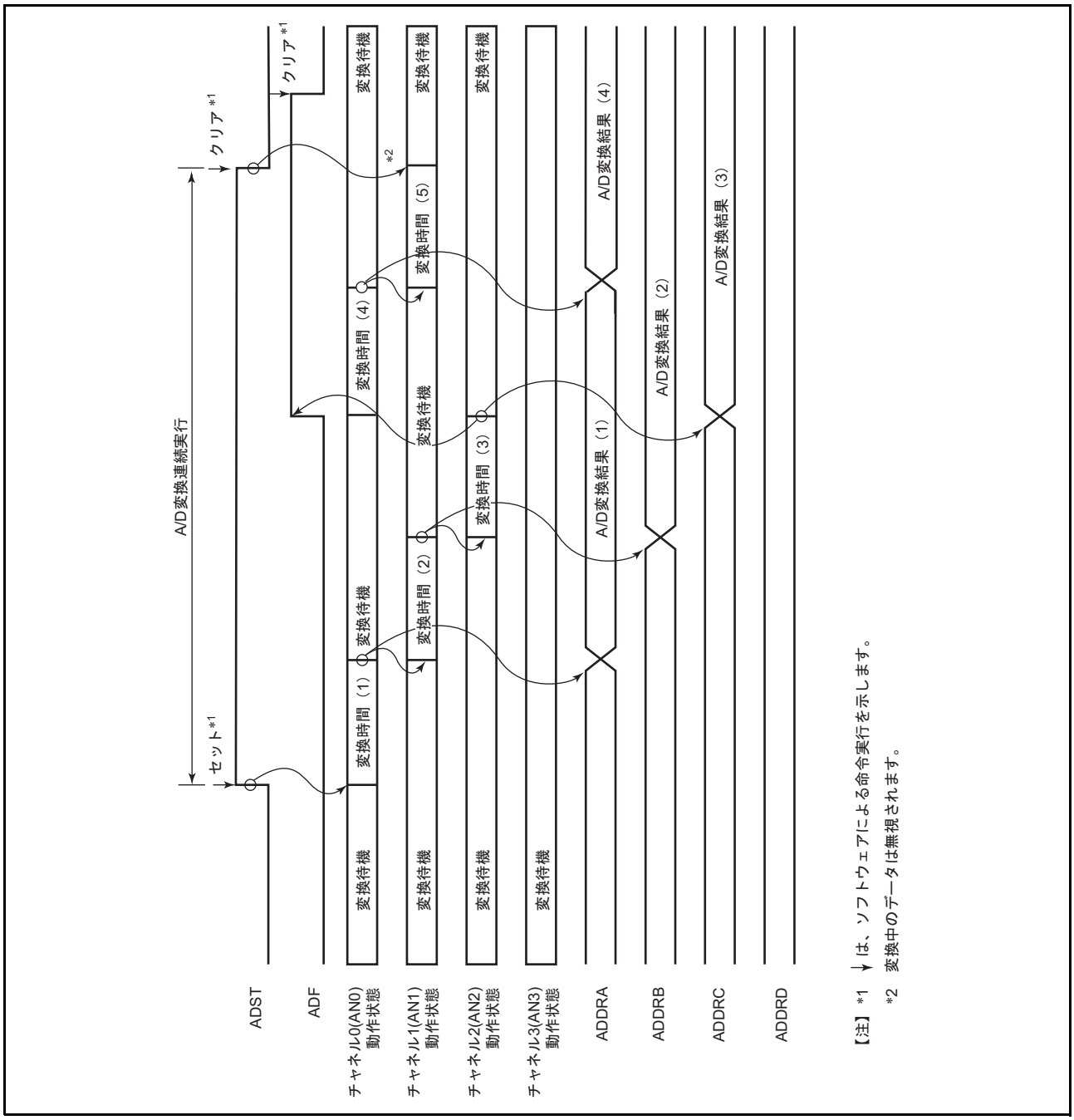


図 27.4　A/D 変換器の動作例（スキャンモード、AN0 ～ AN2 の 3 チャネル選択時）

27.4.4 外部トリガ、マルチファンクションタイマパルスユニット 2 による A/D 変換器の起動

外部トリガ、マルチファンクションタイマパルスユニット 2 からの A/D 変換要求によって、A/D 変換器を独立に起動することができます。外部トリガ、マルチファンクションタイマパルスユニット 2 から A/D 変換器を起動するときには、A/D トリガイネーブルビット（TRGS3 ～ TRGS0）の設定を行います。この状態で外部トリガ、マルチファンクションタイマパルスユニット 2 の A/D 変換要求が発生すると、ADST ビットを 1 にセットします。これで、A/D 変換が開始されます。変換を行うチャネルは、ADCSR の CH2 ～ CH0 ビットで決まります。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

27.4.5 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル＆ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間（t_D）経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを**図 27.5** に示します。また、A/D 変換時間を**表 27.5** に示します。

A/D 変換時間（t_{CONV}）は、**図 27.5** に示すように、t_D と入力サンプリング時間（t_{SPL}）を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は**表 27.5** に示す範囲で変化します。

マルチモードおよびスキャンモードの変換時間は、**表 27.5** に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は**表 27.6** に示す値となります。

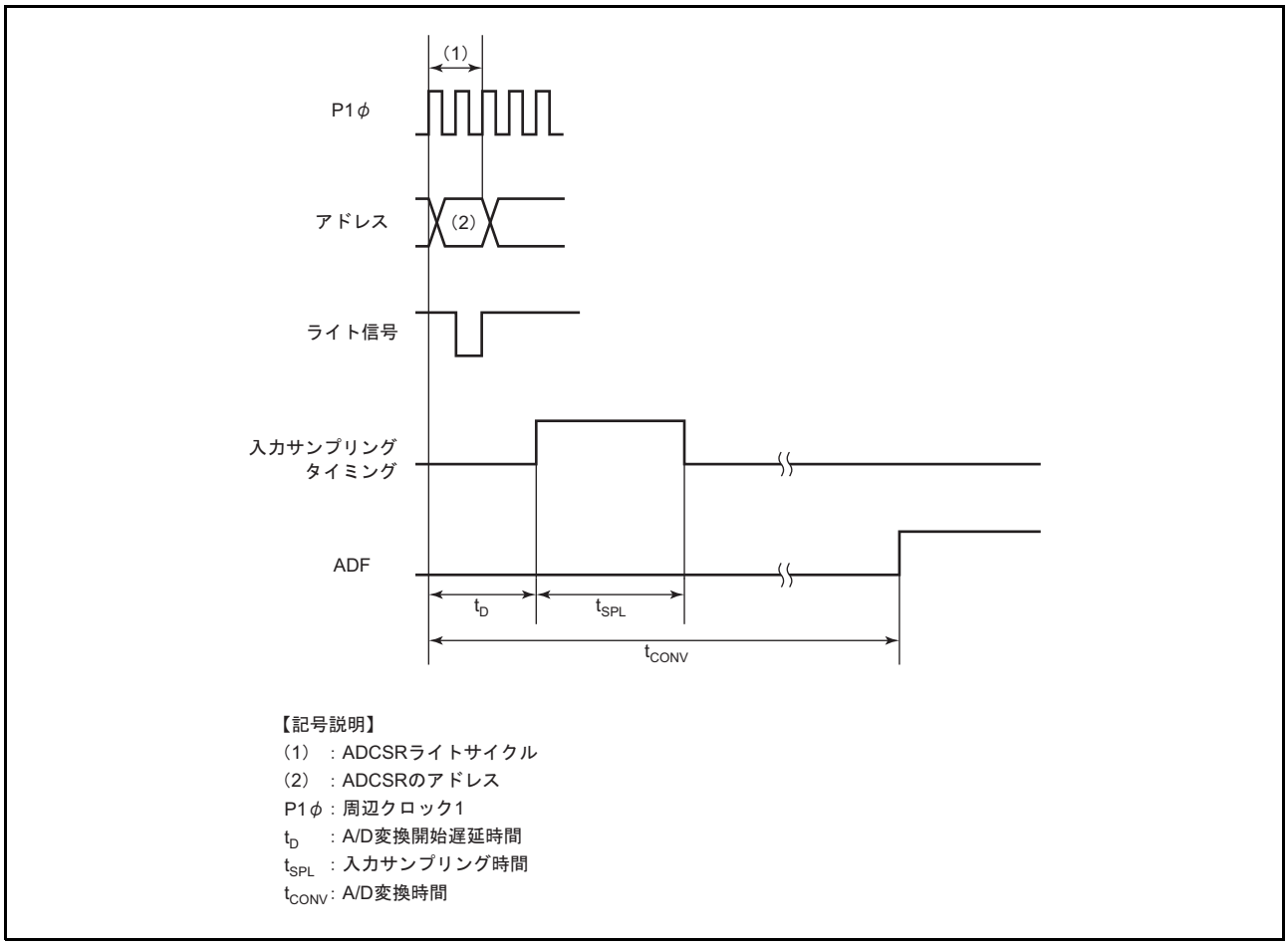


図 27.5　A/D 変換タイミング

表 27.5　A/D 変換時間（シングルモード）

項目	記号	CKS1＝0						CKS1＝1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.
A/D 変換 開始遅延時間	t_D	9	—	14	10	—	16	11	—	18	12	—	20
入力サンプリング時間	t_{SPL}	—	78	—	—	91	—	—	104	—	—	117	—
A/D 変換時間	t_{CONV}	251	—	256	292	—	298	333	—	340	374	—	382

注.　表中の数値の単位は t_{cyc} です。t_{cyc} は周辺クロック 1（P1φ）の 1 サイクル時間を示します。

表 27.6　A/D 変換時間（マルチモード／スキャンモード）

CKS1	CKS0	変換時間（t_{cyc}）
0	0	240（固定）
	1	280（固定）
1	0	320（固定）
	1	360（固定）

注.　表中の数値の単位は t_{cyc} です。t_{cyc} は周辺クロック 1（P1φ）の 1 サイクル時間を示します。

27.4.6　外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCSR の TRGS3 ～ TRGS0 ビットが B'1001 にセットされているとき、$\overline{\text{ADTRG}}$ 端子から入力されます。$\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード／マルチモード／スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 27.6 に示します。

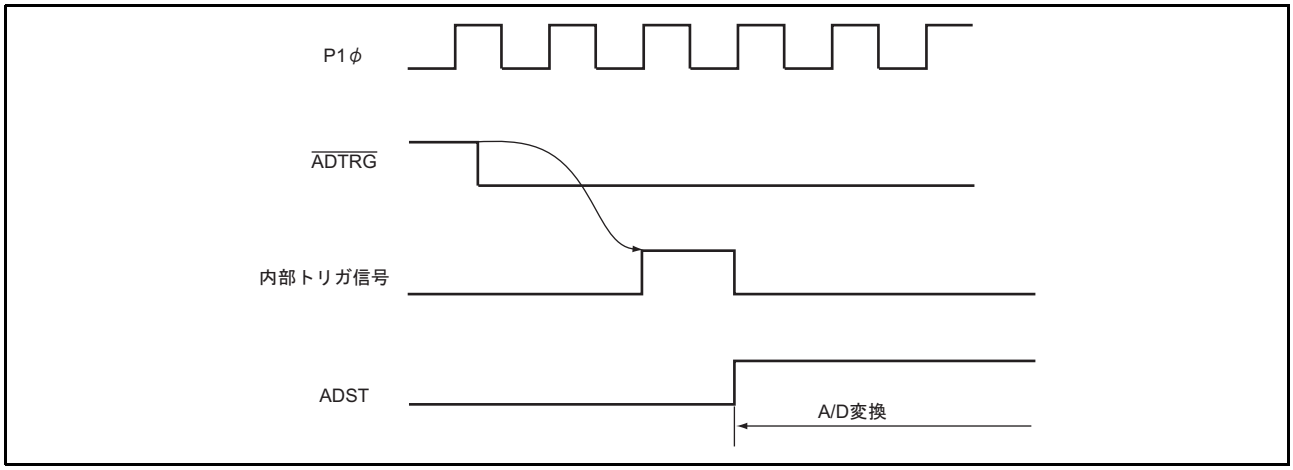


図 27.6　外部トリガ入力タイミング

27.5　割り込み要因と DMA 転送要求

A/D 変換器は、A/D 変換割り込み（ADI）と閾値越え割り込み（LMTI）を発生します。ADI 割り込み要求はダイレクトメモリコントローラの設定によりダイレクトメモリアクセスコントローラの起動ができます。

表 27.7 に割り込み要因と DMA 転送要求の関係を示します。

表 27.7　割り込み要因と DMA 転送要求の関係

名称	割り込み要因	割り込みフラグ	ダイレクトメモリアクセスコントローラの起動
ADI	A/D 変換終了	ADCSR の ADF	可
LMTI	閾値越え	ADCMPSR の HOVRA ～ HOVRH および LUDRA ～ LUDRH	不可

(1)　ADI 割り込み

A/D 変換器は、A/D 変換が終了すると、A/D 変換割り込み（ADI）を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされていると ADI 割り込み要求を発生します。なお、ADI 割り込みは、ダイレクトメモリアクセスコントローラの設定により、ダイレクトメモリアクセスコントローラの起動ができます。このとき、CPU への割り込み要求は発生されません。ダイレクトメモリアクセスコントローラの起動設定を行わない場合は、CPU への割り込み要求が発生します。ダイレクトメモリアクセスコントローラを使用して ADI 割り込みで変換されたデータのリードを行うと、連続変換がソフトウェアの負担なく実現できます。

シングルモードでは、ADI 割り込みによる DMA 転送は 1 回分 (シングル転送モード) となるように設定してください。スキャンモードまたはマルチモードによる複数チャネルの A/D 変換では DMA 転送回数を 1 回分に設定すると、1 チャネルのデータ転送のみで DMA 転送が終了してしまいます。ダイレクトメモリアクセスコントローラによりすべての変換データを転送するには、転送元アドレスが A/D 変換データ格納先の ADDR となるように設定し、転送回数 (ブロック転送モードの DMA トランザクション数) が変換チャネル数分になるように設定してください。

詳細は「9.　**ダイレクトメモリアクセスコントローラ**」を参照してください。

ADI でダイレクトメモリアクセスコントローラを起動する場合、DMA 転送時に ADCSR の ADF ビットは自動的にクリアされます。

(2)　LMTI 割り込み

チャネルごとに変換結果と上限値あるいは下限値との比較を行い、上回った場合あるいは下回った場合には、閾値越え割り込み（LMIT）を発生します。ADCMPER の HLMEN が 1 にセットされていると該当チャネルの変換値が確定した時点で ADCMPH の上限値との比較が行われ、上回っている場合には ADCMPSR レジスタの該当ビットが 1 にセットされ、LMTI 割り込み要求が発生します。ADCMPER の LLMEN が 1 にセットされていると下限値との比較が行われ、下回っている場合には LMTI 割り込み要求が発生します。

LMTI 割り込み処理では、ADCMPSR レジスタを参照することで閾値越えのチャネルおよび上限を上回ったのか下限を下回ったのかを確認できます。

27.6　A/D 変換精度の定義

A/D 変換器は、アナログ入力チャネルから入力されたアナログ値をアナログ基準電圧と比較しながら、12 ビットのデジタル値に変換します。このときの A/D 変換の絶対精度、すなわち、入力アナログ値と出力デジタル値との偏差は、以下の誤差を含んでいます。

1. オフセット誤差
2. フルスケール誤差
3. 量子化誤差
4. 非直線性誤差

図 27.7 に沿って、上記 1. ～ 4. の誤差を説明します。ただし、図ではわかりやすいように、12 ビットの A/D 変換器を 3 ビットの A/D 変換器に単純化しています。オフセット誤差とは、デジタル出力値が最小値（ゼロ電圧）B'000000000000（図では 000）から B'000000000001（図では 001）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（**図 27.7（1）**）です。フルスケール誤差とはデジタル出力値が B'111111111110（図では 110）から最大値（フルスケール電圧）B'111111111111（図では 111）に変化するときの、実際の A/D 変換特性と理想 A/D 変換特性との偏差（**図 27.7（2）**）です。量子化誤差とは、A/D 変換器が本質的に有する誤差であり、1/2LSB で表されます（**図 27.7（3）**）。非直線性誤差とは、ゼロ電圧からフルスケール電圧までの間の実際の A/D 変換特性と理想 A/D 変換特性との偏差（**図 27.7（4）**）です。ただし、オフセット誤差、フルスケール誤差、量子化誤差は含みません。

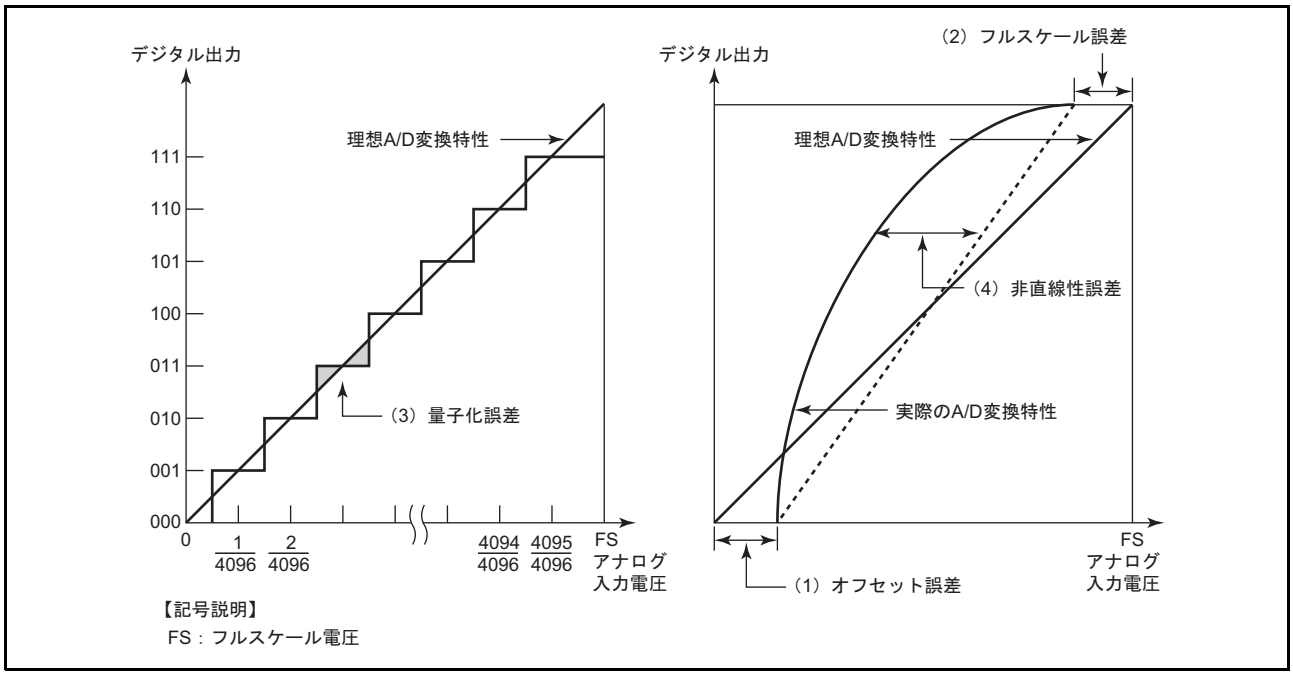


図 27.7　A/D 変換精度の定義

27.7　使用上の注意事項

A/D 変換器を使用する際は、以下のことに注意してください。

27.7.1　モジュールスタンバイモードの設定

スタンバイコントロールレジスタにより、A/D 変換器の動作禁止／許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールスタンバイモードを解除することにより、レジスタのアクセスが可能になります。詳細は、**「42.　低消費電力モード」**を参照してください。

モジュールスタンバイを解除後に、20us の待ち時間が必要になります。

待ち時間後に A/D 変換器の変換動作を行って下さい。

27.7.2　アナログ電圧の設定

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響をおよぼすことがあります。

1. アナログ入力電圧の範囲
   A/D 変換中、アナログ入力端子 ANn に印加する電圧は AVss ≦ ANn ≦ AVcc の範囲としてください。(n = 0 ～ 7)
2. AVcc、AVss 入力電圧
   AVcc、AVss 入力電圧は、PVcc − 0.3V ≦ AVcc ≦ PVcc、AVss = Vss としてください。さらに、A/D 変換器を使用しないときやソフトウェアスタンバイモード時でも、AVcc、AVss 端子をオープンにしないでください。使用しないときは、必ず AVcc は電源（PVcc）に、AVss はグランド（Vss）に接続してください。
3. AVref の設定範囲
   AVref 端子によるリファレンス電圧範囲は 3.0V ≦ AVref ≦ AVcc にしてください。

27.7.3　ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号（AN0 ～ AN7）、アナログ基準電圧（AVref）、アナログ電源（AVcc）は、アナロググランド（AVss）で、デジタル回路を分離してください。さらに、アナロググランド（AVss）は、ボード上の安定したデジタルグランド（Vss）に一点接続してください。

27.7.4　アナログ入力端子の取り扱い

アナログ入力端子（AN0 ～ AN7）には、過大サージなどの異常電圧による破壊を防ぐために、**図 27.8** のような保護回路を接続してください。この図の回路は、ノイズによる誤差を抑える CR フィルタの機能も兼ねています。なお、図の回路はあくまでも設計例ですので、実際の使用条件を考慮の上、回路定数を決めてください。

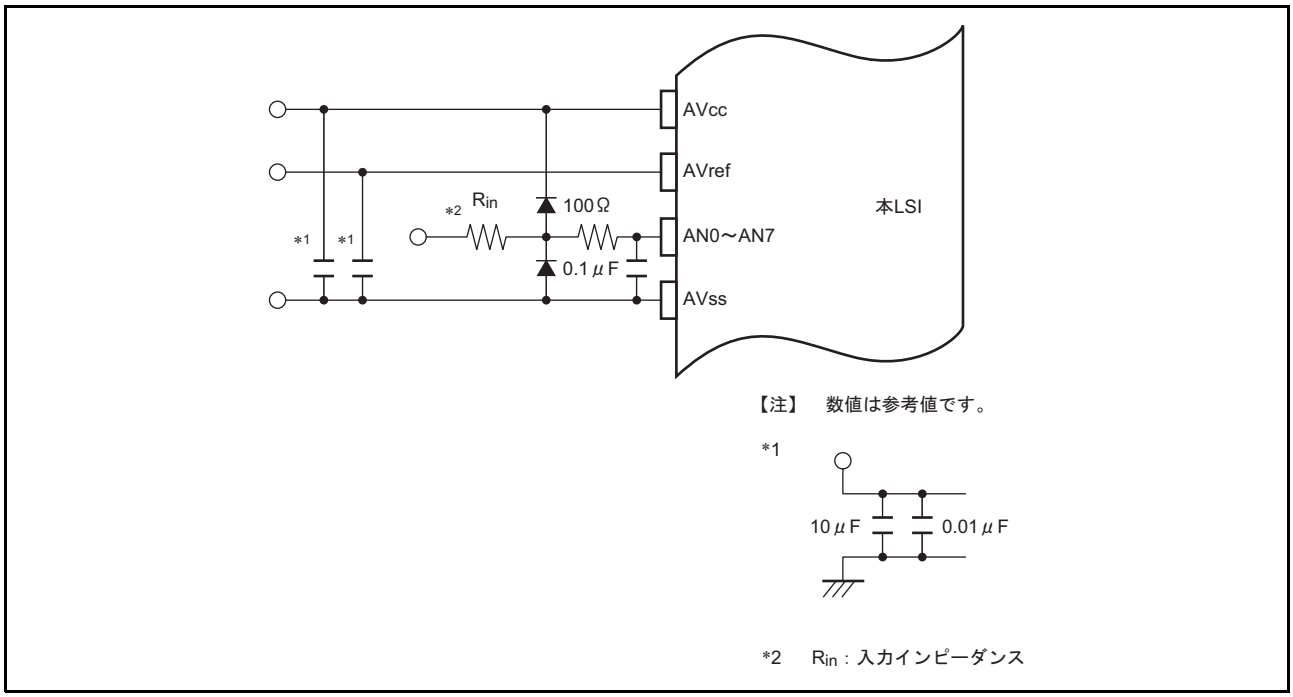


図 27.8　　アナログ入力端子の保護回路例

27.7.5　許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが 3kΩ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル & ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 3kΩ を超える場合、充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の 1kΩ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば 5mV/µs 以上）には追従できないことがあります（図 27.9）。高速のアナログ信号を変換する場合やスキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

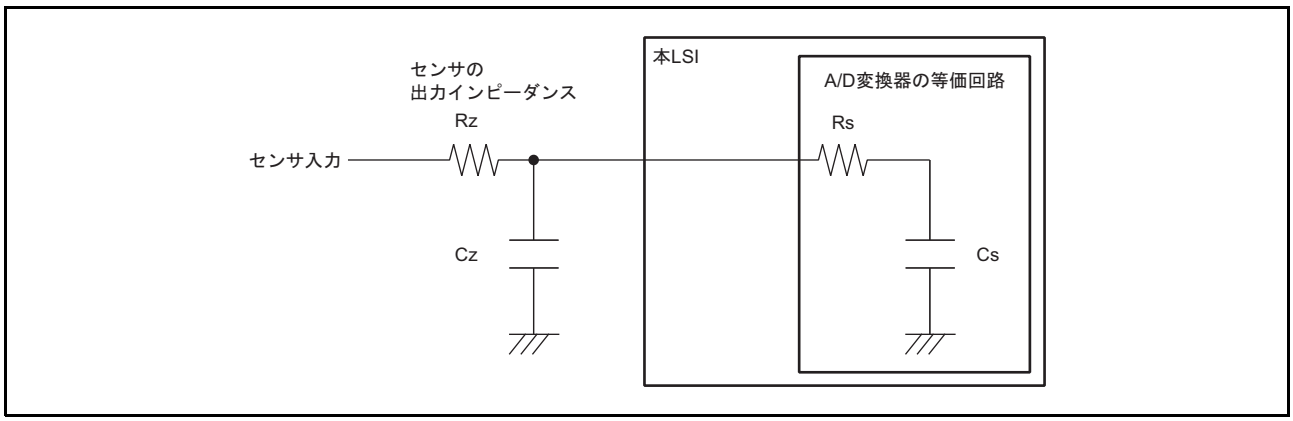


図 27.9　アナログ入力回路の例

表 27.8　アナログ入力の規格

項目	記号	Min.	Max.	単位
許容信号源インピーダンス	Rz	—	3	kΩ
ローパスフィルタ	Cz	—	0.1	µF
A/D 変換器の等価回路	Rs	—	1	kΩ
	Cs	—	20	pF

【注】数値は参考値です。

27.7.6　絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになります。GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVss 等は電気的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

27.7.7　ポート端子使用上の注意

アナログ入力端子（AN0 ～ AN7）の汎用入出力ポート (P1_8~15) はデジタル入力とマルチプレクスになっています。12 ビット精度で A/D 変換器を使用する場合、汎用入出力ポート (P1_8~15) の端子をデジタル入力として使用しないでください。

28. USB2.0 ホスト／ファンクションモジュール

28.1 概要

本 LSI は 2 チャネルの USB2.0 ホスト／ファンクションモジュールを備えています。本モジュールは、USB ホストコントローラ機能およびファンクションコントローラ機能を備えた USB コントローラです。

ホストコントローラ機能選択時は、USB（Universal Serial Bus）規格 Rev.2.0 の Hi-Speed 転送、Full-Speed 転送、Low-Speed 転送に対応しています。ファンクションコントローラ機能選択時は、USB 規格 Rev.2.0 の Hi-Speed 転送、Full-Speed 転送に対応しています。

本モジュールは、USB 規格で定義されている全転送タイプに対応しています。またデータ転送用に 8K バイトのバッファメモリを内蔵し、最大 16 本のパイプを使用できます。また、パイプ 1-15 に対しては、通信を行う周辺デバイスやユーザシステムに合わせた、任意のエンドポイント番号の割り付けが可能です。

28.2 特長

28.2.1 USB Hi-Speed 対応のホストコントローラとファンクションコントローラを内蔵

- USB ホストコントローラとファンクションコントローラを内蔵
- USB ホストコントローラ機能とファンクションコントローラ機能をレジスタ設定により切り替え可能
- USB トランシーバ内蔵

28.2.2 USB 全転送タイプに対応

- アイソクロナス転送対応を含む USB 全転送タイプに対応
  - ・コントロール転送
  - ・バルク転送
  - ・インタラプト転送 (High Bandwidth は非対応)
  - ・アイソクロナス転送 (High Bandwidth は非対応)

28.2.3 内部バスインタフェース

- チャネルごとに DMA インタフェースを 2 チャネル内蔵

28.2.4　パイプコンフィグレーション

- USB 通信用バッファメモリをチャネルごとに 8K バイト内蔵
- チャネルごとに最大 16 本のパイプを選択可能（デフォルトコントロールパイプを含む）
- プログラマブルなパイプ構成
- パイプ 1-15 は任意のエンドポイント番号を割り付け可能
- 各パイプの設定可能な転送条件
  - パイプ 0：コントロール転送、256 バイト固定シングルバッファ
  - パイプ 1 ～ 2：バルク転送 / アイソクロナス転送、連続転送モード、
    バッファサイズはプログラマブル（最大 2K バイトでダブルバッファ指定可能）
  - パイプ 3 ～ 5：バルク転送、連続転送モード、
    バッファサイズはプログラマブル（最大 2K バイトでダブルバッファ指定可能）
  - パイプ 6 ～ 8：インタラプト転送、64 バイト固定シングルバッファ
  - パイプ 9：バルク転送 (ファンクションコントローラ機能選択時のみ) /
    インタラプト転送 (ホストコントローラ機能選択時のみ)
    バッファサイズはプログラマブル
    （最大 2K バイトでバルク転送時のみダブルバッファ指定可能）
  - パイプ 10：バルク転送 / インタラプト転送 (両方ともファンクションコントローラ機能選択時のみ)
    バッファサイズはプログラマブル
    （最大 2K バイトでバルク転送時のみダブルバッファ指定可能）
  - パイプ 11 ～ 15：バルク転送 (ファンクションコントローラ機能選択時のみ)
    バッファサイズはプログラマブル（最大 2K バイトでダブルバッファ指定可能）

28.2.5　ホストコントローラ機能選択時の特長

- Hi-Speed 転送（480Mbps）、Full-Speed 転送（12Mbps）および、Low-Speed 転送（1.5Mbps）に対応
- ハブを 1 段経由し、複数の周辺デバイスと接続可能
- リセットハンドシェイク自動応答
- SOF、パケット送信のスケジュールを自動化
- アイソクロナス転送、インタラプト転送の転送インターバル設定機能

28.2.6　ファンクションコントローラ機能選択時の特長

- Hi-Speed 転送（480Mbps）と Full-Speed 転送（12Mbps）に対応
- リセットハンドシェイク自動応答による、Hi-Speed 動作、もしくは Full-Speed 動作自動認識
- コントロール転送ステージ管理機能
- デバイスステート管理機能
- SET_ADDRESS リクエストに対する自動応答機能
- NAK 応答割り込み機能（NRDY）
- SOF 補間機能

28.2.7　その他の機能

- トランザクションカウントによるトランスファー終了機能
- BRDY 割り込みイベント通知タイミング変更機能（BFRE）
- DnFIFO ポートで指定したパイプのデータ読み出し後自動バッファメモリクリア機能（DCLRM）
- トランスファー終了による応答 PID の NAK 設定機能（SHTNAK）

28.3　入出力端子

表 28.1 に端子構成を示します。

表28.1　端子構成

チャネル	名称	端子名	入出力	機能
0	USB D+データ	DP0	入出力	USB内蔵トランシーバD+入出力です。 USBバスのD+端子に接続してください。
	USB D-データ	DM0	入出力	USB内蔵トランシーバD-入出力です。 USBバスのD-端子に接続してください。
	VBUS入力	VBUS0	入力	USBケーブル接続モニタ端子です。 USBバスのVbusに接続してください。Vbusの接続／切断を検出することができます。USBバスのVbusと接続しない場合は、5Vに固定してください。ホストコントローラ機能選択時にも5Vを供給してください。 注.　接続される周辺デバイスへのVbus供給はできません。
1	USB D+データ	DP1	入出力	USB内蔵トランシーバD+入出力です。 USBバスのD+端子に接続してください。
	USB D-データ	DM1	入出力	USB内蔵トランシーバD-入出力です。 USBバスのD-端子に接続してください。
	VBUS入力	VBUS1	入力	USBケーブル接続モニタ端子です。 USBバスのVbusに接続してください。Vbusの接続／切断を検出することができます。USBバスのVbusと接続しない場合は、5Vに固定してください。ホストコントローラ機能選択時にも5Vを供給してください。 注.　接続される周辺デバイスへのVbus供給はできません。
共通	リファレンス入力	REFRIN	入力	基準抵抗接続用端子です。 5.6kΩ±1%抵抗を介してUSBAPV$_{SS}$に接続してください。（QFPパッケージ） 5.6kΩ±1%の抵抗を介してVssに接続してください。（BGAパッケージ）
	USB用水晶発振子／外部クロック	USB_X1	入力	USB用水晶発振子を接続します。またUSB_X1端子は外部クロックを入力することもできます。
		USB_X2	出力	
	トランシーバ部 デジタルコア電源*	USBDVcc	入力	コア用電源です。
	トランシーバ部 デジタルコアグランド*	USBDVss	入力	コア用グランドです。
	トランシーバ部 デジタル端子電源*	USBDPVcc	入力	端子用電源です。
	トランシーバ部 デジタル端子グランド*	USBDPVss	入力	端子用グランドです。

チャネル	名称	端子名	入出力	機能
共通	トランシーバ部 アナログ端子電源	USBAPVcc	入力	端子用電源です。
	トランシーバ部 アナログ端子グランド*	USBAPVss	入力	端子用グランドです。
	トランシーバ部 アナログコア電源	USBAVcc	入力	コア用電源です。
	トランシーバ部 アナログコアグランド*	USBAVss	入力	コア用グランドです。
	UTMIモジュール用電源*	USBUVcc	入力	480MHz動作部電源です。
	UTMIモジュール用グランド*	USBUVss	入力	480MHz動作部グランドです。

注.　* BGAパッケージには存在しません。

28.4　レジスタ

レジスタ表の見方

①ビット番号です。

②リセット後の状態：リセット動作直後のレジスタ初期状態を示します。
パワーオンリセットはパワーオンリセット時の初期状態です。
USB バスリセットは本コントローラがファンクションコントローラ機能選択時に USB バスリセットを検出した場合の初期状態です。
なお、リセット動作中に特筆すべき事項は注意事項で記載しています。
“－”は本モジュールによる操作がなく、ユーザ設定が保持されている状態です。

③レジスタアクセス条件：レジスタアクセスする場合の条件です。

R：　Read Only
W：　Write Only
R/W：　Read / Write
R(0)：　“0”Read Only
R(1)：　“1”Read Only
W(0)：　“0”Write Only
W(1)：　“1”Write Only

④ Name：ビットシンボルおよびビット名称です。

⑤ Function：機能説明です。

＜表記例＞

① Bit Number →	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit Symbol →	-	A bit	B bit	C bit												
② パワーオンリセット →	X	0	0	0												
USBバスリセット →	X	0	-	-												

レジスタ表の見方

bit	Name	Function	R/W	
15	何も配置されていません。"0"に固定してください。			
14	A bit AAA許可	0：動作禁止 1：動作許可	R/W	
13	B bit BBB動作	0：Low出力 1：High出力	R	
12	C bit CCC制御	0：・・・・・・・ 1：・・・・・・・	R(0)/ W(1)	
	④	⑤	③	

28.4.1　レジスター覧

表 28.2 に本モジュールのレジスタ一覧表を示します。

表28.2　レジスター覧表

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ
0	システムコンフィグレーションコントロールレジスタ_0	SYSCFG0_0	R/W	H'E801 0000	16
	CPUバスウェイトレジスタ_0	BUSWAIT_0	R/W	H'E801 0002	16
	システムコンフィグレーションステータスレジスタ_0	SYSSTS0_0	R	H'E801 0004	16
	デバイスコントロールレジスタ0_0	DVSTCTR0_0	R/W	H'E801 0008	16
	テストモードレジスタ_0	TESTMODE_0	R/W	H'E801 000C	16
	DMA0-FIFOバスコンフィグレーションレジスタ_0	D0FBCFG_0	R/W	H'E801 0010	16
	DMA1-FIFOバスコンフィグレーションレジスタ_0	D1FBCFG_0	R/W	H'E801 0012	16
	CFIFOポートレジスタ_0	CFIFO_0	R/W	H'E801 0014	8、16、32
	D0FIFOポートレジスタ_0	D0FIFO_0	R/W	H'E801 0018	8、16、32
	D1FIFOポートレジスタ_0	D1FIFO_0	R/W	H'E801 001C	8、16、32
	CFIFOポート選択レジスタ_0	CFIFOSEL_0	R/W	H'E801 0020	16
	CFIFOポートコントロールレジスタ_0	CFIFOCTR_0	R/W	H'E801 0022	16
	D0FIFOポート選択レジスタ_0	D0FIFOSEL_0	R/W	H'E801 0028	16
	D0FIFOポートコントロールレジスタ_0	D0FIFOCTR_0	R/W	H'E801 002A	16
	D1FIFOポート選択レジスタ_0	D1FIFOSEL_0	R/W	H'E801 002C	16
	D1FIFOポートコントロールレジスタ_0	D1FIFOCTR_0	R/W	H'E801 002E	16
	割り込み許可レジスタ0_0	INTENB0_0	R/W	H'E801 0030	16
	割り込み許可レジスタ1_0	INTENB1_0	R/W	H'E801 0032	16
	BRDY割り込み許可レジスタ_0	BRDYENB_0	R/W	H'E801 0036	16
	NRDY割り込み許可レジスタ_0	NRDYENB_0	R/W	H'E801 0038	16
	BEMP割り込み許可レジスタ_0	BEMPENB_0	R/W	H'E801 003A	16
	SOF出力コンフィグレーションレジスタ_0	SOFCFG_0	R/W	H'E801 003C	16
	割り込みステータスレジスタ0_0	INTSTS0_0	R/W	H'E801 0040	16
	割り込みステータスレジスタ1_0	INTSTS1_0	R/W	H'E801 0042	16
	BRDY割り込みステータスレジスタ_0	BRDYSTS_0	R/W	H'E801 0046	16
	NRDY割り込みステータスレジスタ_0	NRDYSTS_0	R/W	H'E801 0048	16
	BEMP割り込みステータスレジスタ_0	BEMPSTS_0	R/W	H'E801 004A	16
	フレームナンバレジスタ_0	FRMNUM_0	R/W	H'E801 004C	16
	マイクロフレームナンバレジスタ_0	UFRMNUM_0	R	H'E801 004E	16
	USBアドレスレジスタ_0	USBADDR_0	R	H'E801 0050	16
	USBリクエストタイプレジスタ_0	USBREQ_0	R/W	H'E801 0054	16
	USBリクエストバリューレジスタ_0	USBVAL_0	R/W	H'E801 0056	16
	USBリクエストインデックスレジスタ_0	USBINDX_0	R/W	H'E801 0058	16
	USBリクエストレングスレジスタ_0	USBLENG_0	R/W	H'E801 005A	16
	DCPコンフィグレーションレジスタ_0	DCPCFG_0	R/W	H'E801 005C	16
	DCPマックスパケットサイズレジスタ_0	DCPMAXP_0	R/W	H'E801 005E	16
	DCPコントロールレジスタ_0	DCPCTR_0	R/W	H'E801 0060	16
	パイプウィンドウ選択レジスタ_0	PIPESEL_0	R/W	H'E801 0064	16
	パイプコンフィグレーションレジスタ_0	PIPECFG_0	R/W	H'E801 0068	16
	パイプバッファ指定レジスタ_0	PIPEBUF_0	R/W	H'E801 006A	16
	パイプマックスパケットサイズレジスタ_0	PIPEMAXP_0	R/W	H'E801 006C	16

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ
0	パイプ周期制御レジスタ_0	PIPEPERI_0	R/W	H'E801 006E	16
	PIPE1コントロールレジスタ_0	PIPE1CTR_0	R/W	H'E801 0070	16
	PIPE2コントロールレジスタ_0	PIPE2CTR_0	R/W	H'E801 0072	16
	PIPE3コントロールレジスタ_0	PIPE3CTR_0	R/W	H'E801 0074	16
	PIPE4コントロールレジスタ_0	PIPE4CTR_0	R/W	H'E801 0076	16
	PIPE5コントロールレジスタ_0	PIPE5CTR_0	R/W	H'E801 0078	16
	PIPE6コントロールレジスタ_0	PIPE6CTR_0	R/W	H'E801 007A	16
	PIPE7コントロールレジスタ_0	PIPE7CTR_0	R/W	H'E801 007C	16
	PIPE8コントロールレジスタ_0	PIPE8CTR_0	R/W	H'E801 007E	16
	PIPE9コントロールレジスタ_0	PIPE9CTR_0	R/W	H'E801 0080	16
	PIPE A コントロールレジスタ_0	PIPEACTR_0	R/W	H'E801 0082	16
	PIPE B コントロールレジスタ_0	PIPEBCTR_0	R/W	H'E801 0084	16
	PIPE C コントロールレジスタ_0	PIPECCTR_0	R/W	H'E801 0086	16
	PIPE D コントロールレジスタ_0	PIPEDCTR_0	R/W	H'E801 0088	16
	PIPE E コントロールレジスタ_0	PIPEECTR_0	R/W	H'E801 008A	16
	PIPE F コントロールレジスタ_0	PIPEFCTR_0	R/W	H'E801 008C	16
	PIPE1 トランザクションカウンタイネーブルレジスタ_0	PIPE1TRE_0	R/W	H'E801 0090	16
	PIPE1 トランザクションカウンタレジスタ_0	PIPE1TRN_0	R/W	H'E801 0092	16
	PIPE2 トランザクションカウンタイネーブルレジスタ_0	PIPE2TRE_0	R/W	H'E801 0094	16
	PIPE2 トランザクションカウンタレジスタ_0	PIPE2TRN_0	R/W	H'E801 0096	16
	PIPE3 トランザクションカウンタイネーブルレジスタ_0	PIPE3TRE_0	R/W	H'E801 0098	16
	PIPE3 トランザクションカウンタレジスタ_0	PIPE3TRN_0	R/W	H'E801 009A	16
	PIPE4 トランザクションカウンタイネーブルレジスタ_0	PIPE4TRE_0	R/W	H'E801 009C	16
	PIPE4 トランザクションカウンタレジスタ_0	PIPE4TRN_0	R/W	H'E801 009E	16
	PIPE5 トランザクションカウンタイネーブルレジスタ_0	PIPE5TRE_0	R/W	H'E801 00A0	16
	PIPE5 トランザクションカウンタレジスタ_0	PIPE5TRN_0	R/W	H'E801 00A2	16
	PIPE B トランザクションカウンタイネーブルレジスタ_0	PIPEBTRE_0	R/W	H'E801 00A4	16
	PIPE B トランザクションカウンタレジスタ_0	PIPEBTRN_0	R/W	H'E801 00A6	16
	PIPE C トランザクションカウンタイネーブルレジスタ_0	PIPECTRE_0	R/W	H'E801 00A8	16
	PIPE C トランザクションカウンタレジスタ_0	PIPECTRN_0	R/W	H'E801 00AA	16
	PIPE D トランザクションカウンタイネーブルレジスタ_0	PIPEDTRE_0	R/W	H'E801 00AC	16
	PIPE D トランザクションカウンタレジスタ_0	PIPEDTRN_0	R/W	H'E801 00AE	16
	PIPE E トランザクションカウンタイネーブルレジスタ_0	PIPEETRE_0	R/W	H'E801 00B0	16
	PIPE E トランザクションカウンタレジスタ_0	PIPEETRN_0	R/W	H'E801 00B2	16
	PIPE F トランザクションカウンタイネーブルレジスタ_0	PIPEFTRE_0	R/W	H'E801 00B4	16
	PIPE F トランザクションカウンタレジスタ_0	PIPEFTRN_0	R/W	H'E801 00B6	16
	PIPE 9 トランザクションカウンタイネーブルレジスタ_0	PIPE9TRE_0	R/W	H'E801 00B8	16
	PIPE 9 トランザクションカウンタレジスタ_0	PIPE9TRN_0	R/W	H'E801 00BA	16
	PIPE A トランザクションカウンタイネーブルレジスタ_0	PIPEATRE_0	R/W	H'E801 00BC	16
	PIPE A トランザクションカウンタレジスタ_0	PIPEATRN_0	R/W	H'E801 00BE	16
	デバイスアドレス0コンフィグレーションレジスタ_0	DEVADD0_0	R/W	H'E801 00D0	16
	デバイスアドレス1コンフィグレーションレジスタ_0	DEVADD1_0	R/W	H'E801 00D2	16
	デバイスアドレス2コンフィグレーションレジスタ_0	DEVADD2_0	R/W	H'E801 00D4	16
	デバイスアドレス3コンフィグレーションレジスタ_0	DEVADD3_0	R/W	H'E801 00D6	16
	デバイスアドレス4コンフィグレーションレジスタ_0	DEVADD4_0	R/W	H'E801 00D8	16
	デバイスアドレス5コンフィグレーションレジスタ_0	DEVADD5_0	R/W	H'E801 00DA	16

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ
0	デバイスアドレス6コンフィグレーションレジスタ_0	DEVADD6_0	R/W	H'E801 00DC	16
	デバイスアドレス7コンフィグレーションレジスタ_0	DEVADD7_0	R/W	H'E801 00DE	16
	デバイスアドレス8コンフィグレーションレジスタ_0	DEVADD8_0	R/W	H'E801 00E0	16
	デバイスアドレス9コンフィグレーションレジスタ_0	DEVADD9_0	R/W	H'E801 00E2	16
	デバイスアドレスAコンフィグレーションレジスタ_0	DEVADDA_0	R/W	H'E801 00E4	16
	サスペンドモードレジスタ_0	SUSPMODE_0	R/W	H'E801 0102	16
	D0FIFO連続転送ポートレジスタ0_0	D0FIFOB0_0	R/W	H'E801 0160	32
	D0FIFO連続転送ポートレジスタ1_0	D0FIFOB1_0	R/W	H'E801 0164	32
	D0FIFO連続転送ポートレジスタ2_0	D0FIFOB2_0	R/W	H'E801 0168	32
	D0FIFO連続転送ポートレジスタ3_0	D0FIFOB3_0	R/W	H'E801 016C	32
	D0FIFO連続転送ポートレジスタ4_0	D0FIFOB4_0	R/W	H'E801 0170	32
	D0FIFO連続転送ポートレジスタ5_0	D0FIFOB5_0	R/W	H'E801 0174	32
	D0FIFO連続転送ポートレジスタ6_0	D0FIFOB6_0	R/W	H'E801 0178	32
	D0FIFO連続転送ポートレジスタ7_0	D0FIFOB7_0	R/W	H'E801 017C	32
	D1FIFO連続転送ポートレジスタ0_0	D1FIFOB0_0	R/W	H'E801 0180	32
	D1FIFO連続転送ポートレジスタ1_0	D1FIFOB1_0	R/W	H'E801 0184	32
	D1FIFO連続転送ポートレジスタ2_0	D1FIFOB2_0	R/W	H'E801 0188	32
	D1FIFO連続転送ポートレジスタ3_0	D1FIFOB3_0	R/W	H'E801 018C	32
	D1FIFO連続転送ポートレジスタ4_0	D1FIFOB4_0	R/W	H'E801 0190	32
	D1FIFO連続転送ポートレジスタ5_0	D1FIFOB5_0	R/W	H'E801 0194	32
	D1FIFO連続転送ポートレジスタ6_0	D1FIFOB6_0	R/W	H'E801 0198	32
	D1FIFO連続転送ポートレジスタ7_0	D1FIFOB7_0	R/W	H'E801 019C	32

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ
1	システムコンフィグレーションコントロールレジスタ_1	SYSCFG0_1	R/W	H'E820 7000	16
	CPUバスウェイトレジスタ_1	BUSWAIT_1	R/W	H'E820 7002	16
	システムコンフィグレーションステータスレジスタ_1	SYSSTS0_1	R	H'E820 7004	16
	デバイスコントロールレジスタ0_1	DVSTCTR0_1	R/W	H'E820 7008	16
	テストモードレジスタ_1	TESTMODE_1	R/W	H'E820 700C	16
	DMA0-FIFOバスコンフィグレーションレジスタ_1	D0FBCFG_1	R/W	H'E820 7010	16
	DMA1-FIFOバスコンフィグレーションレジスタ_1	D1FBCFG_1	R/W	H'E820 7012	16
	CFIFOポートレジスタ_1	CFIFO_1	R/W	H'E820 7014	8、16、32
	D0FIFOポートレジスタ_1	D0FIFO_1	R/W	H'E820 7018	8、16、32
	D1FIFOポートレジスタ_1	D1FIFO_1	R/W	H'E820 701C	8、16、32
	CFIFOポート選択レジスタ_1	CFIFOSEL_1	R/W	H'E820 7020	16
	CFIFOポートコントロールレジスタ_1	CFIFOCTR_1	R/W	H'E820 7022	16
	D0FIFOポート選択レジスタ_1	D0FIFOSEL_1	R/W	H'E820 7028	16
	D0FIFOポートコントロールレジスタ_1	D0FIFOCTR_1	R/W	H'E820 702A	16
	D1FIFOポート選択レジスタ_1	D1FIFOSEL_1	R/W	H'E820 702C	16
	D1FIFOポートコントロールレジスタ_1	D1FIFOCTR_1	R/W	H'E820 702E	16
	割り込み許可レジスタ0_1	INTENB0_1	R/W	H'E820 7030	16
	割り込み許可レジスタ1_1	INTENB1_1	R/W	H'E820 7032	16
	BRDY割り込み許可レジスタ_1	BRDYENB_1	R/W	H'E820 7036	16
	NRDY割り込み許可レジスタ_1	NRDYENB_1	R/W	H'E820 7038	16
	BEMP割り込み許可レジスタ_1	BEMPENB_1	R/W	H'E820 703A	16
	SOF出力コンフィグレーションレジスタ_1	SOFCFG_1	R/W	H'E820 703C	16
	割り込みステータスレジスタ0_1	INTSTS0_1	R/W	H'E820 7040	16
	割り込みステータスレジスタ1_1	INTSTS1_1	R/W	H'E820 7042	16
	BRDY割り込みステータスレジスタ_1	BRDYSTS_1	R/W	H'E820 7046	16
	NRDY割り込みステータスレジスタ_1	NRDYSTS_1	R/W	H'E820 7048	16
	BEMP割り込みステータスレジスタ_1	BEMPSTS_1	R/W	H'E820 704A	16
	フレームナンバレジスタ_1	FRMNUM_1	R/W	H'E820 704C	16
	マイクロフレームナンバレジスタ_1	UFRMNUM_1	R	H'E820 704E	16
	USBアドレスレジスタ_1	USBADDR_1	R	H'E820 7050	16
	USBリクエストタイプレジスタ_1	USBREQ_1	R/W	H'E820 7054	16
	USBリクエストバリューレジスタ_1	USBVAL_1	R/W	H'E820 7056	16
	USBリクエストインデックスレジスタ_1	USBINDX_1	R/W	H'E820 7058	16
	USBリクエストレングスレジスタ_1	USBLENG_1	R/W	H'E820 705A	16
	DCPコンフィグレーションレジスタ_1	DCPCFG_1	R/W	H'E820 705C	16
	DCPマックスパケットサイズレジスタ_1	DCPMAXP_1	R/W	H'E820 705E	16
	DCPコントロールレジスタ_1	DCPCTR_1	R/W	H'E820 7060	16
	パイプウィンドウ選択レジスタ_1	PIPESEL_1	R/W	H'E820 7064	16
	パイプコンフィグレーションレジスタ_1	PIPECFG_1	R/W	H'E820 7068	16
	パイプバッファ指定レジスタ_1	PIPEBUF_1	R/W	H'E820 706A	16

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ
1	パイプマックスパケットサイズレジスタ_1	PIPEMAXP_1	R/W	H'E820 706C	16
	パイプ周期制御レジスタ_1	PIPEPERI_1	R/W	H'E820 706E	16
	PIPE1コントロールレジスタ_1	PIPE1CTR_1	R/W	H'E820 7070	16
	PIPE2コントロールレジスタ_1	PIPE2CTR_1	R/W	H'E820 7072	16
	PIPE3コントロールレジスタ_1	PIPE3CTR_1	R/W	H'E820 7074	16
	PIPE4コントロールレジスタ_1	PIPE4CTR_1	R/W	H'E820 7076	16
	PIPE5コントロールレジスタ_1	PIPE5CTR_1	R/W	H'E820 7078	16
	PIPE6コントロールレジスタ_1	PIPE6CTR_1	R/W	H'E820 707A	16
	PIPE7コントロールレジスタ_1	PIPE7CTR_1	R/W	H'E820 707C	16
	PIPE8コントロールレジスタ_1	PIPE8CTR_1	R/W	H'E820 707E	16
	PIPE9コントロールレジスタ_1	PIPE9CTR_1	R/W	H'E820 7080	16
	PIPE A コントロールレジスタ_1	PIPEACTR_1	R/W	H'E820 7082	16
	PIPE B コントロールレジスタ_1	PIPEBCTR_1	R/W	H'E820 7084	16
	PIPE C コントロールレジスタ_1	PIPECCTR_1	R/W	H'E820 7086	16
	PIPE D コントロールレジスタ_1	PIPEDCTR_1	R/W	H'E820 7088	16
	PIPE E コントロールレジスタ_1	PIPEECTR_1	R/W	H'E820 708A	16
	PIPE F コントロールレジスタ_1	PIPEFCTR_1	R/W	H'E820 708C	16
	PIPE1トランザクションカウンタイネーブルレジスタ_1	PIPE1TRE_1	R/W	H'E820 7090	16
	PIPE1トランザクションカウンタレジスタ_1	PIPE1TRN_1	R/W	H'E820 7092	16
	PIPE2トランザクションカウンタイネーブルレジスタ_1	PIPE2TRE_1	R/W	H'E820 7094	16
	PIPE2トランザクションカウンタレジスタ_1	PIPE2TRN_1	R/W	H'E820 7096	16
	PIPE3トランザクションカウンタイネーブルレジスタ_1	PIPE3TRE_1	R/W	H'E820 7098	16
	PIPE3トランザクションカウンタレジスタ_1	PIPE3TRN_1	R/W	H'E820 709A	16
	PIPE4トランザクションカウンタイネーブルレジスタ_1	PIPE4TRE_1	R/W	H'E820 709C	16
	PIPE4トランザクションカウンタレジスタ_1	PIPE4TRN_1	R/W	H'E820 709E	16
	PIPE5トランザクションカウンタイネーブルレジスタ_1	PIPE5TRE_1	R/W	H'E820 70A0	16
	PIPE5トランザクションカウンタレジスタ_1	PIPE5TRN_1	R/W	H'E820 70A2	16
	PIPE Bトランザクションカウンタイネーブルレジスタ_1	PIPEBTRE_1	R/W	H'E820 70A4	16
	PIPE Bトランザクションカウンタレジスタ_1	PIPEBTRN_1	R/W	H'E820 70A6	16
	PIPE Cトランザクションカウンタイネーブルレジスタ_1	PIPECTRE_1	R/W	H'E820 70A8	16
	PIPE Cトランザクションカウンタレジスタ_1	PIPECTRN_1	R/W	H'E820 70AA	16
	PIPE Dトランザクションカウンタイネーブルレジスタ_1	PIPEDTRE_1	R/W	H'E820 70AC	16
	PIPE Dトランザクションカウンタレジスタ_1	PIPEDTRN_1	R/W	H'E820 70AE	16
	PIPE Eトランザクションカウンタイネーブルレジスタ_1	PIPEETRE_1	R/W	H'E820 70B0	16
	PIPE Eトランザクションカウンタレジスタ_1	PIPEETRN_1	R/W	H'E820 70B2	16
	PIPE Fトランザクションカウンタイネーブルレジスタ_1	PIPEFTRE_1	R/W	H'E820 70B4	16
	PIPE Fトランザクションカウンタレジスタ_1	PIPEFTRN_1	R/W	H'E820 70B6	16
	PIPE 9トランザクションカウンタイネーブルレジスタ_1	PIPE9TRE_1	R/W	H'E820 70B8	16
	PIPE 9トランザクションカウンタレジスタ_1	PIPE9TRN_1	R/W	H'E820 70BA	16
	PIPE Aトランザクションカウンタイネーブルレジスタ_1	PIPEATRE_1	R/W	H'E820 70BC	16
	PIPE Aトランザクションカウンタレジスタ_1	PIPEATRN_1	R/W	H'E820 70BE	16
	デバイスアドレス0コンフィグレーションレジスタ_1	DEVADD0_1	R/W	H'E820 70D0	16
	デバイスアドレス1コンフィグレーションレジスタ_1	DEVADD1_1	R/W	H'E820 70D2	16
	デバイスアドレス2コンフィグレーションレジスタ_1	DEVADD2_1	R/W	H'E820 70D4	16
	デバイスアドレス3コンフィグレーションレジスタ_1	DEVADD3_1	R/W	H'E820 70D6	16
	デバイスアドレス4コンフィグレーションレジスタ_1	DEVADD4_1	R/W	H'E820 70D8	16

チャネル	レジスタ名	略称	R/W	アドレス	アクセスサイズ
1	デバイスアドレス5コンフィグレーションレジスタ_1	DEVADD5_1	R/W	H'E820 70DA	16
	デバイスアドレス6コンフィグレーションレジスタ_1	DEVADD6_1	R/W	H'E820 70DC	16
	デバイスアドレス7コンフィグレーションレジスタ_1	DEVADD7_1	R/W	H'E820 70DE	16
	デバイスアドレス8コンフィグレーションレジスタ_1	DEVADD8_1	R/W	H'E820 70E0	16
	デバイスアドレス9コンフィグレーションレジスタ_1	DEVADD9_1	R/W	H'E820 70E2	16
	デバイスアドレスAコンフィグレーションレジスタ_1	DEVADDA_1	R/W	H'E820 70E4	16
	サスペンドモードレジスタ_1	SUSPMODE_1	R/W	H'E820 7102	16
	D0FIFO連続転送ポートレジスタ0_1	D0FIFOB0_1	R/W	H'E820 7160	32
	D0FIFO連続転送ポートレジスタ1_1	D0FIFOB1_1	R/W	H'E820 7164	32
	D0FIFO連続転送ポートレジスタ2_1	D0FIFOB2_1	R/W	H'E820 7168	32
	D0FIFO連続転送ポートレジスタ3_1	D0FIFOB3_1	R/W	H'E820 716C	32
	D0FIFO連続転送ポートレジスタ4_1	D0FIFOB4_1	R/W	H'E820 7170	32
	D0FIFO連続転送ポートレジスタ5_1	D0FIFOB5_1	R/W	H'E820 7174	32
	D0FIFO連続転送ポートレジスタ6_1	D0FIFOB6_1	R/W	H'E820 7178	32
	D0FIFO連続転送ポートレジスタ7_1	D0FIFOB7_1	R/W	H'E820 717C	32
	D1FIFO連続転送ポートレジスタ0_1	D1FIFOB0_1	R/W	H'E820 7180	32
	D1FIFO連続転送ポートレジスタ1_1	D1FIFOB1_1	R/W	H'E820 7184	32
	D1FIFO連続転送ポートレジスタ2_1	D1FIFOB2_1	R/W	H'E820 7188	32
	D1FIFO連続転送ポートレジスタ3_1	D1FIFOB3_1	R/W	H'E820 718C	32
	D1FIFO連続転送ポートレジスタ4_1	D1FIFOB4_1	R/W	H'E820 7190	32
	D1FIFO連続転送ポートレジスタ5_1	D1FIFOB5_1	R/W	H'E820 7194	32
	D1FIFO連続転送ポートレジスタ6_1	D1FIFOB6_1	R/W	H'E820 7198	32
	D1FIFO連続転送ポートレジスタ7_1	D1FIFOB7_1	R/W	H'E820 719C	32

28.5　システムコンフィグレーションコントロール

28.5.1　システムコンフィグレーションコントロールレジスタ【SYSCFG0】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	HSE	DCFM	DRPD	DPRPU	-	UCK SEL	UPLLE	USBE
X	X	X	X	X	X	X	0	0	0	1	0	X	0	0	0
X	X	X	X	X	X	X	-	-	-	-	-	X	-	-	-

Bit	Name	Function	R/W
15-8	何も配置されていません。書き込む値は常に0にしてください。		
7	HSE Hi-Speed動作許可	Hi-Speed動作禁止/許可を指定します。 0：Hi-Speed動作禁止 (ファンクションコントローラ機能選択時:Full-Speed、 ホストコントローラ機能選択時: Full-/Low-Speed) 1：Hi-Speed動作許可(本モジュールが通信 Speedを検出)	R/W
6	DCFM コントローラ機能選択	本モジュールの機能を指定します。 0：ファンクションコントローラ機能選択 1：ホストコントローラ機能選択	R/W
5	DRPD D+/D-ライン抵抗制御	ホストコントローラ機能用、D+/D-ラインPull Downの禁止/許可を指定します。 0：Pull Down禁止 1：Pull Down許可（初期値）	R/W
4	DPRPU D+ライン抵抗制御	ファンクションコントローラ機能用D+ラインPullUpの禁止/許可を指定します。 0：Pull Up禁止 1：Pull Up許可	R/W
3	何も配置されていません。書き込む値は常に0にしてください。		
2	UCKSEL 入力クロック選択*	本モジュールへ供給するクロックを選択 0：USB_X1 48MHz クロックを選択 1：EXTAL 12MHz クロックを選択	R/W
1	UPLLE USB内部PLL動作許可*	USB内部PLLの動作禁止／許可を指定します。 0：内部PLL動作禁止 1：内部PLL動作許可	R/W
0	USBE USBブロック動作許可	USBブロックの動作禁止/許可を指定します。 0：USBブロック動作禁止 1：USBブロック動作許可	R/W

注.　* 本レジスタへの書き込みは、USB クロックが停止（"SUSPM=0"）時でも可能です。*UCKSEL、UPLLE はチャネル 0（SYSCFG0_0）のみ存在します。

(1)　Hi-Speed 動作許可ビット (HSE)

本ビットを "1" に設定することにより、Hi-Speed 動作を許可します。"HSE=1" を設定した場合、本モジュールは Reset Handshake の結果に従い Hi-Speed または Full-Speed 動作させます。

(a)　ホストコントローラ機能選択時

"HSE=0" を設定した場合、Low-Speed 動作、または、Full-Speed 動作を行います。

Low-Speed の周辺デバイスがアタッチされたことを検出した場合には、必ず "HSE=0" を設定してください。

"HSE=1" を設定した場合、本モジュールは Reset Handshake Protocol を実行し、その結果に従い、自動的に Hi-Speed または Full-Speed 動作させます。

本ビットの変更は、" アタッチ検出 (ATTCH 割り込み検出) 後から USB バスリセット実行前 ("USBRST=1" 設定前)" の期間に行ってください。

(b)　ファンクションコントローラ機能選択時

"HSE=0" を設定した場合、本モジュールは Full-Speed 動作を行います。

"HSE=1" を設定した場合、本モジュールは Reset Handshake Protocol を実行し、その結果に従い自動的に Hi-Speed または Full-Speed 動作を行います。

本ビットの書き換えは、"DPRPU=0" のときに行ってください。

(2)　コントローラ機能選択ビット (DCFM)

本ビットを設定することにより、本モジュールをホストコントローラ機能またはファンクションコントローラ機能に指定します。

本ビットの書き換えは、"DPRPU=0 かつ DRPD=0" のときに行ってください。

(3)　D+,D- ライン抵抗制御 (DRPD、DPRPU)

表 28.3 に USB データバスの抵抗についての設定を示します。DRPD ビットおよび DPRPU ビットで USB データバスの抵抗選択を行ってください。

表 28.3　　USB データバス抵抗の制御

設定内容		USB データバス抵抗制御		
DRPD	DPRPU	D- Line	D+ Line	Remarks
0	0	Open	Open	
0	1	Open	Pull-Up	ファンクションコントローラとして動作させる場合はこの設定にしてください
1	0	Pull-Down	Pull-Down	ホストコントローラとして動作させる場合はこの状態に設定してください
1	1	Pull-Down	Pull-Up	設定禁止

(a)　ホストコントローラ機能用 PullDown 抵抗制御 (DRPD)

ホストコントローラ機能選択時に本ビットを "1" に設定すると、本モジュールは D+、D- ラインを Pull Down します。

本ビットへの "1" 設定は、ホストコントローラ機能選択時に行ってください。

(b)　ファンクションコントローラ機能用 D+Pull Up 抵抗制御 (DPRPU)

ファンクションコントローラ機能選択時に本ビットを "1" に設定すると、本モジュールは D+ ラインを 3.3V に Pull Up し、USB ホストに対してアタッチを通知することができます。

また、本ビットを "1" から "0" に変更することにより、本モジュールは D+ ラインの Pull Up を解消しますので、USB ホストに対してデタッチしたと見せることができます。

本ビットへの "1" 設定は、ファンクションコントローラ機能選択時に行ってください。

(4)　クロック入力端子選択ビット (UCKSEL)

本ビットを設定することにより、本モジュールへ供給するクロックを USB_X1 48MHz とするか、EXTAL 12MHz とするかを選択します。

本ビットの変更は、チャネル 0 およびチャネル 1 の SUSPM ＝ 0 のときに行ってください。

また、本ビットはチャネル 0(SYSCFG0_0) のみ存在します。チャネル 1 を使用する場合は SYSCFG0_0 にて設定を行ってください。

(5) USB 内部 PLL 動作許可ビット (UPLLE)

本ビットを "1" に設定することにより USB 内部 PLL の動作を許可します。

本ビットの変更は、チャネル 0 およびチャネル 1 の SUSPM ＝ 0 のときに行ってください。

ソフトウェアスタンバイ、USB モジュールスタンバイモードへ移行する場合、本ビットに 0 を設定してください。

また、本ビットはチャネル 0(SYSCFG0_0) のみ存在します。チャネル 1 を使用する場合は SYSCFG0_0 にて設定を行ってください。

(6) USB ブロック動作許可ビット (USBE)

本ビットを設定することにより、本モジュールの USB ブロックの動作許可、禁止を行います。

"USBE=1" から "USBE=0" に変更した場合には、本モジュールは**表 28.4**、**表 28.5** に示すビットを初期化します。

表 28.4　"USBE=0"書き込みにより初期化されるレジスター覧(ファンクションコントローラ機能選択 ("DCFM=0"設定) 時)

レジスタ名	ビット名	Remark
SYSSTS0	LNST	ホストコントローラ機能選択時は値保持
DVSTCTR0	RHST	
INTSTS0	DVSQ	ホストコントローラ機能選択時は値保持
USBADDR	USBADDR	ホストコントローラ機能選択時は値保持
USBREQ	bRequest bmRequestType	ホストコントローラ機能選択時は値保持
USBVAL	wValue	ホストコントローラ機能選択時は値保持
USBINDX	wIndex	ホストコントローラ機能選択時は値保持
USBLENG	wLength	ホストコントローラ機能選択時は値保持

表 28.5　"USBE=0"書き込みにより初期化されるレジスター覧(ホストコントローラ機能選択 ("DCFM=1"設定) 時)

レジスタ名	ビット名	Remark
DVSTCTR0	RHST	
FRMNUM	FRNM	ファンクションコントローラ機能選択時は値保持
UFRMNUM	UFRNM	ファンクションコントローラ機能選択時は値保持

本ビットの変更は、"SuspendM=1" のときに行ってください。

ホストコントローラ機能選択時は、"DPRD=1" 設定後、LNST ビットのチャタリング除去を行い、USB バスの状態が安定したことを確認した後で、"USBE=1" の設定を行ってください。

28.5.2　CPU バスウェイトレジスタ【BUSWAIT】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	BWAIT					
X	X	0	0	1	1	1	1	X	X	0	0	1	1	1	1
X	X	-	-	-	-	-	-	X	X	-	-	-	-	-	-

Bit	Name	Function	R/W
15-6	何も配置されていません。書き込む値は常に0にしてください。		
5-0	BWAIT CPUバスアクセスウエイトの指定	本モジュールに対するアクセスウエイト数を指定 000000：0ウエイト(アクセスサイクル2) ：　： 000010：2ウエイト(アクセスサイクル4) ：　： 000100：4ウエイト(アクセスサイクル6) ：　： 001111：15ウエイト(アクセスサイクル17)（初期値） ：　： 111111：63ウエイト(アクセスサイクル65)	R/W

(1)　CPU アクセスウエイト指定ビット (BWAIT)

本モジュールの SYSSTS0 以降のレジスタへのアクセスサイクルには、以下のような制約があります。

ウエイト制約：本モジュールのレジスタへの連続アクセスのサイクルは、67ns 以上でなければならない

本制約を満たすために、周辺クロック 1(P1φ) の周波数によりウエイト制御する必要があります。初期値は 17 クロックサイクルですので、最適な設定値を選択してください。

なお、本設定は、FIFO ポートレジスタへのアクセスのウェイトと共通です。FIFO ポートへの最大アクセススピードは以下のとおりとなります。

MBW="10"(32bit 幅)：max 60MBytes/sec
MBW="01"(16bit 幅)：max 30MBytes/sec
MBW="00"(8bit 幅)：max 15MBytes/sec

28.6　システムコンフィグレーションステータス

28.6.1　システムコンフィグレーションステータスレジスタ【SYSSTS0】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	HTACT	SOFEA	-	-	-	LNST	
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X
X	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

Bit	Name	Function	R/W
15-7	何も配置されていません。書き込む値は常に0にしてください。		
6	HTACT USBホストシーケンサステータスモニタ	ホストシーケンサの状態が表示されます。 0：停止 1：動作	R
5	SOFEA ホストコントローラ機能選択時のSOFアクティブモニタ	SOF出力状態が表示されます。 0：SOF出力停止状態 1：SOF出力動作状態	R
4-2	何も配置されていません。書き込む値は常に0にしてください。		
1-0	LNST USBデータラインステータスモニター	USBライン状態が表示されます。 ※ 詳細説明をご覧ください。	R

(1)　ホストシーケンサステータスモニタビット (HTACT)

本コントローラ内部のホストシーケンサが完全に停止しているときに、本ビットに "0" を示します。ホストモード通信状態で UACT="0" にて本コントローラを USB サスペンド状態にし、SUSPM ビットを "0"（クロックを停止）するときには、必ず HTACT ビットが "0" であることを確認してください。

(2)　SOF アクティブモニタビット (SOFEA)

ホストコントローラ機能選択時に USB サスペンド状態にした場合、UACT を OFF してから最後の SOF が出力し終わったかを確認できます。ホストモード通信状態で USBE="0" にて本コントローラを停止させ、SUSPM ビットを "0"（クロックを停止）するときには、必ず HTACT ビットおよび SOFEA ビットが共に "0" であることを確認してください。

(3)　ラインステータスモニタビット (LNST)

表 28.6 に本モジュールの USB データバスラインステータス表を示します。本モジュールは、SYSSTS0 レジスタの LNST ビットに USB データバスのラインステータス（D+ ライン、および D- ライン）をモニタします。

LNST ビットの参照は ”USBE=1” 設定後、ファンクションコントローラ機能選択（”DCFM=0”）時にはアタッチ処理（"DPRPU=1" 設定）以後、ホストコントローラ機能選択（”DCFM=1”）時には、Pull Down 許可（"DRPD=1" 設定）以後に行ってください。

表 28.6　Reset Handshake ステータス表

LNST [1]	LNST [0]	Low-Speed 動作時 (ホストコントローラ機能選択時のみ)	Full-Speed 動作時	Hi-Speed 動作時	Chirp 動作時
0	0	SE0	SE0	Squelch	Squelch
0	1	K State	J State	Unsquelch	Chirp J
1	0	J State	K State	Invalid	Chirp K
1	1	SE1	SE1	Invalid	Invalid

Chirp：　Hi-Speed 動作許可の状態（HSE = “1”）で、リセットハンドシェイクプロトコル実行中
Squelch：　SE0、もしくは Idle 状態
Unsquelch：　Hi-Speed J State、もしくは Hi-Speed K State
Chirp J：　Chirp J State
Chirp K：　Chirp K State

28.7　USB 信号制御

28.7.1　デバイスステートコントロールレジスタ 0【DVSTCTR0】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	WKUP	RWUPE	USB RST	RE SUME	UACT	-	RHST		
X	X	X	X	0	0	0	0	0	0	0	0	X	0	0	0
X	X	X	X	-	-	-	0	-	-	-	-	X	-	-	-

Bit	Name	Function	R/W
15-9	何も配置されていません。書き込む値は常に0にしてください。		
8	WKUP ウェイクアップ出力	ファンクションコントローラ機能選択時に、リモートウェイクアップ（レジューム信号出力）禁止/許可を指定します。 0：リモートウェイクアップ信号非出力 1：リモートウェイクアップ信号出力	R/W(1)
7	RWUPE リモートウェイクアップ検出許可	ホストコントローラ機能選択時に、Down Portの Peripheral Deviceに対してリモートウェイクアップ（レジューム信号出力）の禁止/許可を指定します。 0：DownPortリモートウエイクアップ出力不許可 1：DownPortリモートウエイクアップ許可	R/W
6	USBRST USBバスリセット出力	USBバスリセット出力制御を行います。 0：非出力 1：USBバスリセット信号出力	R/W
5	RESUME レジューム出力	レジューム出力制御を行います。 0：非出力 1：レジューム信号出力	R/W
4	UACT USBバス許可	USBバス動作許可を行います。 0：DownPort動作禁止（SOF/マイクロSOF送出禁止） 1：DownPort動作許可（SOF/マイクロSOF送出許可）	R/W
3	何も配置されていません。書き込む値は常に0にしてください。		
2-0	RHST リセットハンドシェイク	リセットハンドシェイクの状態を表示します。 ※ 詳細説明をご覧ください。	R

(1)　ファンクションコントローラ機能用 リモートウェイクアップ（レジューム信号出力）禁止 / 許可ビット (WKUP)

ファンクションコントローラ機能選択時に本ビットを "1" に設定すると、本モジュールは USB バスにリモートウェイクアップ信号を出力します。

本モジュールは、リモートウェイクアップ信号の出力時間を管理しています。WKUP ビットに "1" を設定すると、本モジュールは 10ms の "K-State" を出力しその後 "WKUP=0" にします。

USB 規格では、リモートウェイクアップ信号の送信までに最短 5ms の USB バスアイドル状態を保持する必要があります。このため、サスペンド状態を検出した直後に "WKUP=1" を書き込んでも、本モジュールは 2ms 待ってから K ステートを出力します。

WKUP ビットへの "1" 書き込みは、デバイスステートがサスペンド ("DVSQ=1xx") でありかつ USB ホストからリモートウェイクアップが許可されている場合にのみ行ってください。

WKUP ビットを "1" に設定する場合は、サスペンド中であっても内部クロックを停止しないでください ("SUSPM=1" の状態で "WKUP=1" を書き込んでください)。

ホストコントローラ機能選択時は、0 を書き込んでください。

(2)　ホストコントローラ機能用 リモートウェイクアップ検出禁止 / 許可ビット (RWUPE)

ホストコントローラ機能選択時に本ビットを "1" に設定すると、本モジュールは USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (2.5µs 間の K-State) を検出し、レジューム処理 (K-State のドライブ) を行います。

本ビットを "0" に設定した場合、本モジュールが USB ポートに接続された周辺デバイスからのリモートウェイクアップ信号 (K-State) を検出しても無視します。

本ビットを "1" に設定したときには、サスペンド中であっても内部クロックを停止しないでください ("SUSPM=1" の状態にしてください)。また、サスペンド状態からの USB バスリセット実行 ("USBRST=1" 設定) は行わないでください。USB Specification2.0 で禁止されています。

ファンクションコントローラ機能選択時は、0 を書き込んでください。

(3)　ホストコントローラ機能用 USB バスリセット出力禁止 / 許可ビット (USBRST)

ホストコントローラ機能選択時に本ビットを "1" に設定すると、本モジュールは USB ポートの SE0 ドライブを行い、USB バスリセット処理を行います。このとき、HSE ビットが "1" の場合、Reset Handshake Protocol を実行します。

本モジュールは、"USBRST=1" の期間 ("USBRST=0" を書き込むまで) SE0 出力を継続します。"USBRST=1" の期間 (USB バスリセット期間) は USB Specification2.0 に準拠した時間を確保してください。

通信中 ("UACT=1") またはレジューム中 ("RESUME=1") に本ビットに "1" を書き込んだ場合、本モジュールは "UACT=0" かつ "RESUME=0" の状態になるまで USB バスリセットを開始しません。

USB バスリセット終了 ("USBRST=0" 書き込み) と同時に UACT ビットに "1" を書き込んでください。

ファンクションコントローラ機能選択時は、0 を書き込んでください。

(4)　ホストコントローラ機能用 レジューム信号出力ビット (RESUME)

ホストコントローラ機能選択時に本ビットを "1" に設定すると、本モジュールは USB ポートを K-State ドライブし、レジューム出力を行います。"RWUPE=1" かつ USB サスペンド状態でリモートウェイクアップ信号を検出したときに、本コントローラーは本ビットを "1" にセットします。

本モジュールは、"RESUME=1" の期間 (" RESUME =0" を書き込むまで) K-State 出力を継続します。" RESUME =1" の期間 (レジューム期間) は USB Specification2.0 に準拠した時間を確保してください。

本ビットへの "1" 書き込みは、サスペンド中にのみ行ってください。

レジューム終了 ("RESUME=0" 書き込み) と同時に UACT ビットに "1" を書き込んでください。

ファンクションコントローラ機能選択時は、0 を書き込んでください。

(5)　ホストコントローラ機能用 USB バス動作許可ビット (UACT)

ホストコントローラ機能選択時に本ビットを "1" に設定すると、本モジュールは USB バス許可状態にし、SOF 出力およびデータ送受信を行います。

"UACT=1" を書き込んでから、1 (マイクロ) フレーム時間以内に (micro) SOF 出力を開始します。

本ビットを "0" に設定した場合、本モジュールは (micro) SOF 出力後 Idle 状態に遷移します。

以下の場合に、本モジュールは本ビットを "0" に設定します。

(1) 通信中 ("UACT=1" 設定時) に DTCH 割り込みを検出した場合

(2) 通信中 ("UACT=1" 設定時) に EOFERR 割り込みを検出した場合

本ビットへの "1" 書き込みは、USB バスリセット処理終了時 ("USBRST=0" 書き込み)、または、サスペンドからのレジューム処理終了時 ("RESUME =0" 書き込み)、いずれかのタイミングで行ってください。

ファンクションコントローラ機能選択時は、0 を書き込んでください。

(6)　リセットハンドシェイクステータスビット (RHST)

本モジュールは Reset Handshake の結果を本ビットに表示します。**表 28.7** に Reset Handshake 結果一覧を示します。

表 28.7　Reset Handshake ステータス表

バスの状態	RHST	ビットの値
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
Powered 時 or Disconnect 時	000	000
ResetHandshake 中	100	1xx
Low-Speed 接続時	-	001
Full-Speed 接続時	010	010
Hi-Speed 接続時	011	011

(a)　ホストコントローラ機能選択時

ホストコントローラ機能選択時、"USBRST=1" 書き込み後、本ビットは "100" を示します。

"HSE=1" を設定している場合、本モジュールが周辺デバイスからの ChirpK を検出した時点で、本ビットは "111" を示します。

"USBRST=0" を書き込み、本モジュールが SE0 ドライブを終了した時点で、本モジュールは RHST ビットの値を確定します。

"UTST=1xxx" を書き込んだ場合 (即ち、HOST テスト用パラメーターを設定した場合) には、本ビットは "011" を示します。

(b)　ファンクションコントローラ機能選択時

"HSE=1" を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは "100" を示します。その後、本モジュールが ChirpK を出力し、USB ホストからの ChirpJK を 3 回検出した時点で本ビットは "011" を示します。ChirpK 出力後、2.5ms 以内に Hi-Speed に確定しなければ、本ビットは "010" を示します。

"HSE=0" を設定している場合、本モジュールが USB バスリセットを検出すると、本ビットは "010" を示します。

本モジュールが USB バスリセットを検出後、RHST ビットが "010" または "011" に確定した時点で、DVST 割り込みが発生します。

28.8　テストモード

28.8.1　テストモードレジスタ【TESTMODE】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	UTST			
X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
X	X	X	X	X	X	X	X	X	X	X	X	-	-	-	-

Bit	Name	Function	R/W
15-4	何も配置されていません。書き込む値は常に0にしてください。		
3-0	UTST テストモード	※ 詳細説明をご覧ください。	R/W

(1)　テストモードビット (UTST)

本ビットに値を書き込むことにより、本モジュールは Hi-Speed 動作時の USB テスト信号出力を行います。**表 28.8** に本モジュールのテストモード動作表を示します。

表28.8　テストモード動作表

テストモード	UTSTビット設定	
	ファンクションコントローラ機能選択時	ホストコントローラ機能選択時
通常動作	0000	0000
Test_J	0001	1001
Test_K	0010	1010
Test_SE0_NAK	0011	1011
Test_Packet	0100	1100
Test_Force_Enable	-	1101
Reserved	0101-0111	1110-1111

(a)　ホストコントローラ機能選択時

ホストコントローラ機能選択時、"DRPD=1" 書き込み後に本ビットの設定が可能です。UTST ビット設定後 ”UACT=1" にすることにより、本モジュールは波形出力を行います。

ホストコントローラ機能選択時は、本ビットへの書き込みを行うことにより、本モジュールは USB ポートに対して Hi-Speed 終端を行います。

HOST モード時の UTST ビット設定手順は以下のとおりです。

(1) パワーオンリセット
(2) PHY クロック起動 (水晶発振および USB PLL 安定後) 後 SuspendM=”1”
(3) "DCFM=1"、"DPRD=1" ("HSE=1" の設定は必要ありません。)
(4) "USBE=1"
(5) UTST ビットにテスト内容に応じた値を設定
(6) UACT ビットに "1" を設定

HOST モード時の UTST ビット変更手順は以下のとおりです。

(1) (上記 (6) の状態で) "UACT=0"、"USBE=0"
(2) "USBE=1"
(3) UTST ビットにテスト内容に応じた値を設定
(4) UACT ビットに "1" を設定

"Test_SE0_NAK"("1011") 設定時は、"UACT=1" を設定した PORT に対しても本モジュールは SOF パケットを出力しません。

"Test_Force_Enable"("1101") 設定時は、"UACT=1" にすることにより、本モジュールは SOF パケットを出力します。また、本モード設定時には、本モジュールが Hi-Speed ディスコネクトを検出 (DTCH 割り込みを検出) しても本モジュールは検出に付随する制御を行いません。

ホストコントローラ機能選択時、UTST ビットを設定する場合は、すべての PIPE の PID ビットに "NAK" を設定にしてください。

テストモード設定後、通常の USB 通信を行う場合は、パワーオンリセットを実施してください。

(b)　ファンクションコントローラ機能選択時

ファンクションコントローラ機能選択時は、Hi-Speed 通信時の USB ホストからの SetFeature リクエストに従って本ビットを書き込んでください。

ファンクションコントローラ機能選択時、本ビットに "0001"~"0100" を設定している時には、本モジュールはサスペンド状態へ遷移しません。

テストモード設定後、通常の USB 通信を行う場合は、パワーオンリセットを実施してください。

28.9　DMA-FIFO バスアクセス制御

D0FBCFG レジスタは、DMA0-FIFO のバスアクセス制御を、D1FBCFG レジスタは、DMA1-FIFO のバスアクセス制御を行うレジスタです。なお、DMA0-FIFO バスまたは DMA1-FIFO バスがローカルバスに接続される仕様の場合には、本レジスタへの設定は無効となります。

28.9.1　DMAn-FIFO バスコンフィグレーションレジスタ【DnFBCFG】（n ＝ 0、1）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	DFACC		-	-	-	-	-	-	-	TENDE	-	-	-	-
X	X	0	0	X	X	X	X	X	X	X	0	X	X	X	X
X	X	-	-	X	X	X	X	X	X	X	-	X	X	X	X

Bit	Name	Function	R/W
15-14	何も配置されていません。書き込む値は常に0にしてください。		
13-12	DFACC DMAx-FIFOアクセスモード	当該FIFOポートのアクセスモードを指定 00：サイクルスチールモード（初期値） 01：16バイト連続アクセスモード 10：32バイト連続アクセスモード 11：無効	R/W
11-5	何も配置されていません。書き込む値は常に0にしてください。		
4	TENDE DMA転送終了サンプリング許可	DMA転送終了信号の受け付け制御を行います。 0：DMA転送終了信号をサンプリングしない 1：DMA転送終了信号をサンプリングする DFACC="01"もしくは"10"設定時は、0を設定してください。	R/W
3-0	何も配置されていません。書き込む値は常に0にしてください。		

(1)　DMA 転送の FIFO アクセスモード選択ビット (DFACC)

本ビットは、DMA 転送を行う場合の転送モードを指定します。

(a) サイクルスチールモード設定時、FIFO バッファへのアクセスには DnFIFO ポートを使用してください。

(b) 16 バイト / 32 バイト連続アクセスモード設定時、FIFO バッファへのアクセスには DnFIFO 連続転送ポートを使用してください。また、DnFIFOSEL の MBW ビットには "10" (32 ビット幅) のみ設定可能です。

本ビットを 16 バイト / 32 バイト連続アクセスモードに設定する際は、必ず下記手順にて行ってください。

(1) DnFIFOSEL レジスタの DREQE ビットに "0" を設定

(2) 本ビットに "01"（16 バイト）もしくは "10"（32 バイト）を設定

(3) DnFIFOSEL レジスタの CURPIPE ビットに "0000"（指定なし）かつ MBW ビットに "10"（32 ビット幅）を同時に設定
その後、読み出しを行い、CURPIPE ビットの書き込み値 (0000) と読み出し値が一致する事を確認

(4) CPU で DnFIFO ポートレジスタ (DnFIFO) を 32 ビット幅でダミーリード（読み出したデータは不要です）後、DnFIFOSEL レジスタの CURPIPE ビットを対象パイプ番号に設定し、CURPIPE ビット書き込み値と読み出し値が一致することを確認

(5) DnFIFOSEL レジスタの DREQE ビットに "1" を設定

尚、本ビットをサイクルスチールモードに設定する場合、上記手順は必要ありません。
（上記手順を行っても問題ありません）

(2) DMA 転送終了サンプリング許可ビット (TENDE)

DMA 転送終了時に、ダイレクトメモリアクセスコントローラから出力される DMA 転送終了信号の受け付け制御を行います。

本モジュールは、DMA 転送終了信号入力を制御することによって、DMA 転送による FIFO データ書き込みを終了させることが可能です。DFACC="01" もしくは "10" 設定時は、0 を設定してください。

28.10 FIFO ポート

28.10.1 CFIFO ポートレジスタ【CFIFO】、DnFIFO ポートレジスタ【DnFIFO】（n ＝ 0、1）

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
FIFOPORT[31:16]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FIFOPORT[15:0]															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
31-0	FIFOPORT FIFO ポート	本ビットにアクセススことにより、FIFO バッファからの受信データ読み出し、もしくは FIFO バッファへの送信データの書き込みを行います。	R/W

(1) FIFO ポート制御

本モジュールの送受信バッファメモリは FIFO 構造 (FIFO バッファ) となっています。FIFO バッファへのアクセスは FIFO ポートレジスタを使用してください。FIFO ポートは CFIFO ポート、D0FIFO ポート、および D1FIFO ポートの 3 ポートがあります。また、連続転送用に DnFIFO 連続転送ポートがあります。各 FIFO ポートは FIFO バッファへのデータ読み書きを行うポートレジスタ (CFIFO、D0FIFO、および D1FIFO)、FIFO ポートに割り当てるパイプを選択するレジスタ (CFIFOSEL、D0FIFOSEL、および D1FIFOSEL)、コントロールレジスタ (CFIFOCTR、D0FIFOCTR、および D1FIFOCTR) で構成されます。

各 FIFO ポートには下記に示す特長があります。

(1) DCP 用 FIFO バッファへのアクセスは CFIFO ポートを通して行ってください。

(2) DFACC="00"(サイクルスチールモード) 設定時の DMA 転送による FIFO バッファアクセスは、DnFIFO ポートを通して行ってください。

(3) DFACC="01" もしくは "10"(16 バイト / 32 バイト連続アクセスモード) 設定時の DMA 転送による FIFO バッファアクセスは、DnFIFO 連続転送ポートを通して行ってください。

(4) CPU による DnFIFO ポートアクセスも可能です。

(5) FIFO ポート固有の機能を使用する場合は ,CURPIPE ビットに設定する PIPE 番号 (選択パイプ) を変更できません。(DMA 転送機能仕様時等)

(6) FIFO ポートを構成するレジスタ群は、他の FIFO ポートに影響を与えることはありません。

(7) 同一 PIPE を別々の FIFO ポートへ割り当てないでください。

(8) FIFO バッファの状態には、アクセス権が CPU 側にある場合と SIE 側にある場合の 2 種類があります。FIFO バッファのアクセス権が SIE 側にある場合は、CPU からのアクセスはできません。

(2) FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO)

本レジスタにアクセスを行うことにより、本モジュールは各選択レジスタ (CFIFOSEL、D0FIFOSEL、または D1FIFOSEL) の CURPIPE ビットに設定した PIPE 番号に割り当てた FIFO バッファへのアクセスを行います。

本レジスタへのアクセスは、各コントロールレジスタ (CFIFOCTR、D0FIFOCTR、または D1FIFOCTR) の FRDY ビットが "1" を示している (または本モジュールが DMA 転送要求を発行している) ときのみ可能です。

本レジスタの有効ビットは、MBW ビットの設定値、および、BIGEND ビットの設定値により異なります。有効ビットを、表 28.9 から表 28.11 に示します。

表 28.9　32bit アクセス（MBW="10"）時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+3 アドレス	N+2 アドレス	N+1 アドレス	N+0 アドレス
1	N+0 アドレス	N+1 アドレス	N+2 アドレス	N+3 アドレス

表 28.10　16bit アクセス（MBW="01"）時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+1 アドレス	N+0 アドレス	書き込み：無効 読み出し：禁止（注 1）	
1	書き込み：無効 読み出し：禁止（注 1）		N+0 アドレス	N+1 アドレス

表 28.11　8bit アクセス（MBW="00"）時のエンディアン動作表

BIGEND	b31 – b24	b23 – b16	b15 – b8	b7 – b0
0	N+0 アドレス	書き込み：無効 読み出し：無効（注 1）		
1	書き込み：無効 読み出し：無効（注 1）			N+0 アドレス

注 1.　無効レジスタへのワードリードまたはバイトリードは禁止です。

28.10.2　CFIFO ポート選択レジスタ【CFIFOSEL】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW	-	-	MBW		-	BIG END	-	-	ISEL	-	CURPIPE			
0	0	X	X	0	0	X	0	X	X	0	X	0	0	0	0
-	-	X	X	-	-	X	-	X	X	-	X	-	-	-	-

Bit	Name	Function	R/W
15	RCNT リードカウントモード	CFIFOCTRのDTLNの読み出しモードを指定します。 0：全受信データ読み出しでDTLNビットクリア 1：受信データ読み出しごとにDTLNビットカウントダウン	R/W
14	REW バッファポインタリワインド	バッファポインタのリワインドを行う場合に"1"を指定します。 0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R(0)/W
13-12	何も配置されていません。書き込む値は常に0にしてください。		
11-10	MBW FIFOポートアクセスビット幅	CFIFOポートへのアクセスビット幅を指定します。 00：8ビット幅 01：16ビット幅 10：32ビット幅 11：設定禁止	R/W
9	何も配置されていません。書き込む値は常に0にしてください。		
8	BIGEND FIFOポートエンディアン制御	CFIFOポートのバイトエンディアンを指定します。 0：リトルエンディアン 1：ビッグエンディアン	R/W
7-6	何も配置されていません。書き込む値は常に0にしてください。		
5	ISEL DCP選択時のFIFOポートアクセス方向	CURPIPEビットにDCP選択時のFIFOポートアクセス方向を指定します。 0：バッファメモリ読み出し選択 1：バッファメモリ書き込み選択	R/W
4	何も配置されていません。書き込む値は常に0にしてください。		
3-0	CURPIPE FIFOポートアクセスパイプ指定	CFIFOポートにアクセスするPIPE番号を指定します。 0000：DCP 0001：PIPE1 0010：PIPE2 1110：PIPE14 1111：PIPE15	R/W

(1)　リードカウントモード (RCNT)

本ビットに "0" を設定した場合、CURPIPE ビットに指定した PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本モジュールは CFIFOCTR レジスタの DTLN ビットを "0" にクリアします。

本ビットに "1" を設定した場合、指定 PIPE に割り付けた FIFO バッファから受信データ読み出しごとに、本モジュールは CFIFOCTR レジスタの DTLN ビットをカウントダウンします。

(2)　バッファポインタリワインド (REW)

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能う状態になります)。

REW=1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW=1 の設定は、必ず FRDY=1 であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

(3)　FIFO ポートアクセスビット幅 (MBW)

本ビットに CFIFO ポートへのアクセスビット幅を設定してください。

CURPIPE ビットに指定した PIPE が受信方向の場合、本ビットを設定後、読み出しを開始した時には、すべてのデータの読み出しが完了するまで MBW ビットの変更を行わないでください。

また指定 PIPE が受信方向の場合、一旦 CURPIPE 値を異なる値に設定してから、CURPIPE 値と MBW 値を同時に設定してください。

CURPIPE 値の変更手順は、CURPIPE ビットの説明に従ってください。

指定 PIPE が送信方向の場合、バッファメモリへの書き込み処理実行中に 8bit 幅から 16bit 幅 /32bit 幅、又は 16 bit 幅から 32bit 幅へのビット幅切り替えは行えません。

(4)　FIFO ポート バイトエンディアン制御ビット (BIGEND)

本ビットに CFIFO ポートのバイトエンディアンを設定してください。

詳細は、「28.10.1 (2)　FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO)」を参照してください。

(5)　DCP 選択時の FIFO ポートアクセス方向指定ビット (ISEL)

指定 PIPE が DCP のときに、本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの設定を書き戻し後、続けてアクセスすることができます。

本ビットの設定は、CURPIPE ビットの設定と同時に行ってください。

(6)　FIFO ポートアクセスパイプ指定ビット (CURPIPE)

CFIFO ポート経由で、データの読み出しまたは書き込みを行いたい PIPE 番号を設定してください。

本ビットを変更する時は、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

28.10.3　DnFIFO ポート選択レジスタ【DnFIFOSEL】（n ＝ 0、1）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RCNT	REW	DCLRM	DREQE	MBW		-	BIG END	-	-	-	-	CURPIPE			
0	0	0	0	0	0	X	0	X	X	X	X	0	0	0	0
-	-	-	-	-	-	X	-	X	X	X	X	-	-	-	-

Bit	Name	Function	R/W
15	RCNT リードカウントモード	Dx_FIFOCTR DTLN の読み出しモードを指定します。 0：全受信データ読み出しで DTLN ビットクリア 1：受信データ読み出しごとに DTLN ビットカウントダウン	R/W
14	REW バッファポインタリワインド	バッファポインタのリワインドを行う場合に"1"を指定します。 0：バッファポインタリワインドしない 1：バッファポインタリワインドする	R(0)/W
13	DCLRM 指定パイプのデータ読み出し後自動バッファメモリクリアモード	指定パイプのデータ読み出し後自動バッファメモリクリアの禁止/許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可	R/W
12	DREQE DMA 転送要求許可	DMA 転送要求発行の禁止／許可を指定します。 0：DMA 転送要求禁止 1：DMA 転送要求許可	R/W
11-10	MBW FIFO ポートアクセスビット幅	FIFO ポートアクセスビット幅を指定します。 00：8 ビット幅 01：16 ビット幅 10：32 ビット幅 11：設定禁止 DFACC="01"もしくは"10"設定時は、"10"を設定してください。	R/W
9	何も配置されていません。書き込む値は常に 0 にしてください。		
8	BIGEND FIFO ポートエンディアン制御	各 FIFO ポートのバイトエンディアンを指定します。 0：リトルエンディアン 1：ビッグエンディアン	R/W
7-4	何も配置されていません。書き込む値は常に 0 にしてください。		
3-0	CURPIPE FIFO ポートアクセスパイプ指定	0000：指定なし 0001：PIPE1 0010：PIPE2 1110：PIPE14 1111：PIPE15	R/W

(1)　リードカウントモード (RCNT)

本ビットに "0" を設定した場合、CURPIPE ビットに指定した PIPE (指定 PIPE) に割り付けた FIFO バッファの全受信データ読み出し終了時 (ダブルバッファの場合は一面分の読み出し終了時) に、本モジュールは DnFIFOCTR レジスタの DTLN ビットを "0" にクリアします。

本ビットに "1" を設定した場合、指定 PIPE に割り付けた FIFO バッファからの受信データ読み出しごとに、本モジュールは DnFIFOCTR レジスタの DTLN ビットをカウントダウンします。

(2)　バッファポインタリワインド (REW)

選択パイプが受信方向の場合に、FIFO バッファの読み出し中に本ビットに 1 を設定すると、FIFO バッファの最初のデータから読み出しを行うことができます（ダブルバッファの場合は読み出し中の一面の最初のデータからの再読み出し可能う状態になります)。

REW=1 の設定と CURPIPE ビットの設定変更を同時に行わないでください。REW=1 の設定は、必ず FRDY=1 であることを確認してから行ってください。

送信方向のパイプに対して FIFO バッファの最初のデータから書き込みをやり直す場合は、BCLR ビットを使用してください。

(3)　自動 FIFO バッファクリア 禁止 / 許可ビット (DCLRM)

指定 PIPE のデータ読み出し後自動 FIFO バッファクリアの禁止 / 許可を設定してください。本ビットに "1" を設定した場合、指定 PIPE に割り当てた FIFO バッファが空の状態で Zero-Length packet を受信したとき、または "BFRE=1" 設定時にショートパケット受信しデータ読出しを完了時に、FIFO バッファへの "BCLR=1" 処理を本モジュールが行います。

"BRDYM=1" に設定して本モジュールを使用するときには、必ず本ビットに "0" を設定してください。

(4)　DMA 転送要求許可ビット (DREQE)

本ビットに、DMA 転送要求発行の禁止 / 許可を設定してください。

DMA 転送要求発行を許可する場合、CURPIPE ビット設定後に本ビットに "1" を設定してください。

CURPIPE ビット設定を変更するときには、本ビットに "0" を設定した後で変更を行ってください。

(5)　FIFO ポートアクセスビット幅 (MBW)

本ビットに DnFIFO ポートへのアクセスビット幅を設定してください。

詳細は、「28.10.2 (3)　FIFO ポートアクセスビット幅 (MBW)」を参照してください。

DFACC="01" もしくは "10"(16 バイト /32 バイト連続アクセスモード) 設定時は "10"(32 ビット幅) を設定してください。

(6)　FIFO ポート バイトエンディアン制御ビット (BIGEND)

本ビットに DnFIFO ポートのバイトエンディアンを設定してください。

詳細は、「28.10.1 (2)　FIFO ポートビット (CFIFO、D0FIFO、および D1FIFO)」を参照してください。

(7)　FIFO ポートアクセスパイプ指定ビット (CURPIPE)

DnFIFO ポート経由で、データの読み出しまたは書き込みを行いたい PIPE 番号を設定してください。

本ビットを変更するときは、本ビットへの書き込み後、読み出しを行い、書き込み値と読み出し値が一致することを確認してから、次の処理に進んでください。

CFIFOSEL レジスタ、D0FIFOSEL レジスタおよび D1FIFOSEL レジスタの CURPIPE ビットに同じ PIPE を設定しないでください。

FIFO バッファへのアクセスの途中で本ビットの設定を変更した場合、それまでのアクセスを保持し、本ビットの書き戻し後、続けてアクセスすることができます。

28.10.4　CFIFO ポートコントロールレジスタ【CFIFOCTR】、DnFIFO ポートコントロールレジスタ【DnFIFOCTR】（n ＝ 0、1）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BVAL	BCLR	FRDY	-	DTLN											
0	0	0	X	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	X	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15	BVAL バッファメモリ有効フラグ	CURPIPEに指定したPIPE(当該PIPE)のCPU側のFIFOバッファの書き込み終了時に"1"を指定します。 0：無効 1：書き込み終了	R/W(1)
14	BCLR CPUバッファクリア	当該PIPEのCPU側のFIFOバッファをクリアする場合に"1"を指定します。 0：無効 1：CPU側バッファメモリクリア	R(0)/ W(1)
13	FRDY FIFOポートレディ	FIFOポートにアクセス可能かどうかが表示されます。 0：FIFOポートアクセス不可 1：FIFOポートアクセス可能	R
12	何も配置されていません。書き込む値は常に0にしてください。		
11-0	DTLN 受信データ長	受信データ長が表示されます。	R

(1)　バッファメモリ有効フラグ (BVAL)

CURPIPE ビットに指定した PIPE(指定 PIPE) が送信方向のとき、以下の場合に本ビットに "1" を設定してください。本モジュールは CPU 側の FIFO バッファを SIE 側にし、送信可能状態にします。

(1) ショートパケットの送信を行いたいとき、データ書き込み終了時に本ビットに "1" を設定
(2) Zero-Length パケットの送信を行いたいとき、FIFO へデータを書き込む前に本ビットに "1" を設定
(3) 連続転送モードの PIPE に対して、MaxPacketSize の自然数倍かつ BufferSize 未満のデータ書き込み後に本ビットに "1" を設定

非連続転送モードの PIPE に対して MaxPacketSize 分のデータを書き込むと、本モジュールが本ビットを "1" にし、CPU 側の FIFO バッファを SIE 側にして、送信可能状態にします。

指定 PIPE が送信方向の場合、BVAL ビットと BCLR ビットへ同時に "1" を書き込んだ場合には、本モジュールはそれ以前に書き込んだデータをクリアし、Zero-Length パケットを送信可能な状態にします。

本ビットへの "1" 書き込みは、本モジュールが "FRDY=1" を示しているときに実施してください。また、BVAL 実行後に FRDY ビットを確認する場合には、BVAL 実行後 80ns 以上間隔を空けて、FRDY を参照してください。

指定 PIPE が受信方向のときには、本ビットへの "1" 書き込みを行わないでください。

(2) CPU バッファクリアビット (BCLR)

本ビットに "1" を設定すると、本モジュールは指定 PIPE にアサインされている FIFO バッファのうち、CPU 側の FIFO バッファをクリアします。

指定 PIPE にアサインされている FIFO バッファがダブルバッファ設定の場合で、両面共に読み出し可能状態である場合でも、本モジュールは片面の FIFO バッファのみをクリアします。

指定 PIPE が DCP の場合は、FIFO バッファが CPU 側、SIE 側にかかわらず、"BCLR=1" 設定により本モジュールは FIFO バッファをクリアします。SIE 側のバッファをクリアするときには、DCP の PID ビットを必ず "NAK" に設定した後で "BCLR=1" を行ってください。

指定 PIPE が DCP 以外の場合、本ビットへの "1" 書き込みは、本モジュールが "FRDY=1" を示しているときに実施してください。また、BCLR 実行後に FRDY ビットを確認する場合には、BCLR 実行後 80ns 以上間隔を空けて、FRDY を参照してください。

(3) FIFO ポートレディビット (FRDY)

CPU (DMAC) からの FIFO ポートへのアクセス可否を、本モジュールが本ビットに表示します。

以下の場合には、本モジュールは "FRDY=1" を表示しますが、読み出すべきデータがないため FIFO ポートからのデータ読み出しはできません。これらのケースでは、"BCLR=1" を設定して FIFO バッファのクリアを行い、次のデータ送受信を行える状態にしてください。

(1) 指定 PIPE にアサインされている FIFO バッファが空の状態で Zero-Length パケット受信した場合。

(2) "BFRE=1" 設定時に、ショートパケットを受信し、データ読み出しを完了したとき。

(4) 受信データ長ビット (DTLN)

本モジュールは、本ビットに受信データ長を表示します。FIFO バッファ読み出し中の本ビットの値は、RCNT ビットの設定値によって以下のように異なります。

(1) "RCNT=0" 設定時 :

CPU (DMAC) が FIFO バッファ 1 面分の受信データを読み出し完了するまで、本モジュールは受信データ長を本ビットに表示します。

"BFRE=1" 設定時には、読み出しが完了しても "BCLR=1" を行うまでは本モジュールは受信データ長を保持します。

(2) "RCNT=1" 設定時 :

読み出しごとに本モジュールは DTLN ビットの表示をダウンカウントします。

("MBW=00" 設定時は -1、"MBW=01" 設定時は -2、"MBW=10" 設定時は -4 ずつダウンカウント)

1 面分の FIFO バッファ読み出し完了時に、本モジュールは "DTLN=0" を表示します。ただし、ダブルバッファ設定時かつ FIFO バッファ 1 面分の受信データの読み出しを完了する前にもう 1 面分の FIFO バッファに受信完了した場合は、先の 1 面分の読み出し完了時に後の 1 面分の受信データ長を DTLN ビットに表示します。

"RCNT=1" 設定時に、FIFO バッファ読み出し途中で本ビットの値を読み出す時には、FIFO ポートへのリードサイクル後 150ns 後までに本モジュールは本ビットの更新値を表示します。

28.11 割り込み許可

28.11.1 割り込み許可レジスタ 0【INTENB0】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	-	-	-	-	-	-	-	-
0	0	0	0	0	0	0	0	X	X	X	X	X	X	X	X
-	-	-	-	-	-	-	-	X	X	X	X	X	X	X	X

Bit	Name	Function	R/W
15	VBSE VBUS割り込み許可	VBINT割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
14	RSME レジューム割り込み許可（注1）	RESM割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
13	SOFE フレーム番号更新割り込み許可	SOF割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
12	DVSE デバイスステート遷移割り込み許可（注1）	DVST割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
11	CTRE コントロール転送ステージ遷移割り込み許可（注1）	CTRT割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
10	BEMPE バッファエンプティ割り込み許可	BEMP割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
9	NRDYE バッファノットレディ応答割り込み許可	NRDY割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
8	BRDYE バッファレディ割り込み許可	BRDY割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
7-0	何も配置されていません。書き込む値は常に0にしてください。		

注1.　RESMビット、DVSEビット、およびCTREビットはファンクションコントローラ機能選択時のみ設定が可能です。ホストコントローラ機能選択時は許可を行わないでください。

28.11.2　割り込み許可レジスタ 1【INTENB1】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	BCHGE	-	DTCHE	ATTCHE	-	-	-	-	EOFERRE	SIGNE	SACKE	-	-	-	-
0	0	X	0	0	X	0	0	X	0	0	0	X	X	X	0
-	-	X	-	-	X	-	-	X	-	-	-	X	X	X	-

Bit	Name	Function	R/W
15	何も配置されていません。書き込む値は常に0にしてください。		
14	BCHGE USBバス変化割り込み許可	BCHG割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
13	何も配置されていません。書き込む値は常に0にしてください。		
12	DTCHE 切断検出割り込み許可	DTCH割り込み検出時、USB割り込み要求の禁止/許可を指定します(HOST時のみ許可可能)。 0：割り込み出力禁止 1：割り込み出力許可	R/W
11	ATTCHE 接続検出割り込み許可	ATTCH割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
10-7	何も配置されていません。書き込む値は常に0にしてください。		
6	EOFERRE EOFエラー検出割り込み許可	EOFERR割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
5	SIGNE セットアップトランザクションエラー割り込み許可	SIGN割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
4	SACKE セットアップトランザクション正常応答割り込み許可	SACK割り込み検出時、USB割り込み要求の禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W
3-0	何も配置されていません。書き込む値は常に0にしてください。		

注.　INTENB1レジスタによる割り込み許可は、ホストコントローラ機能選択時のみ設定が可能です。ファンクションコントローラ機能選択時は許可を行わないでください。

28.11.3　BRDY 割り込み許可レジスタ【BRDYENB】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEBRDYE															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15-0	PIPEBRDYE 各パイプの BRDY 割り込み許可	各パイプの BRDY 割り込み検出時に BRDY ビットを "1" にするかどうかの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W

注.　ビット番号がパイプ番号に該当します。

(1)　各パイプの BRDY 割り込み許可ビット (PIPEBRDYE)

本レジスタに "1" を設定した PIPE に対して、本モジュールが BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに "1" を表示し、INTSTS0 レジスタの BRDY ビットに "1" を表示し、BRDY 割り込みを発生します。

BRDYSTS レジスタの PIPEBRDY ビットの少なくともひとつのビットが "1" を示している状態で、本レジスタの対応する割り込み許可ビットを "0" から "1" に変更すれば、本モジュールは BRDY 割り込みを発生します。

28.11.4　NRDY 割り込み許可レジスタ【NRDYENB】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPENRDYE															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15-0	PIPENRDYE 各パイプの NRDY 割り込み許可	各パイプの NRDY 割り込み検出時に NRDY ビットを "1" にするかどうかの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W

注.　ビット番号がパイプ番号に該当します。

(1)　各パイプの NRDY 割り込み許可ビット (PIPENRDYE)

本レジスタに "1" を設定した PIPE に対して、本モジュールが NRDY 割り込みを検出した場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに "1" を表示し、INTSTS0 レジスタの NRDY ビットに "1" を表示し、NRDY 割り込みを発生します。

NRDYSTS レジスタの PIPENRDY ビットの少なくともひとつのビットが "1" を示している状態で、本レジスタの対応する割り込み許可ビットを "0" から "1" に変更すれば、本モジュールは NRDY 割り込みを発生します。

28.11.5　BEMP 割り込み許可レジスタ【BEMPENB】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEBEMPE															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15-0	PIPEBEMPE 各パイプのBEMP割り込み許可	各パイプのBEMP割り込み検出時にBEMPビットを"1"にするかどうかの禁止/許可を指定します。 0：割り込み出力禁止 1：割り込み出力許可	R/W

注.　ビット番号がパイプ番号に該当します。

(1)　各パイプの BEMP 割り込み許可ビット (PIPEBEMPE)

本レジスタに "1" を設定した PIPE に対して、本モジュールが BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに "1" を表示し、INTSTS0 レジスタの BEMP ビットに "1" を表示し、BEMP 割り込みを発生します。

BEMPSTS レジスタの PIPEBEMP ビットの少なくともひとつのビットが "1" を示している状態で、本レジスタの対応する割り込み許可ビットを "0" から "1" に変更すれば、本モジュールは BEMP 割り込みを発生します。

28.12　SOF 制御レジスタ

28.12.1　SOF ピンコンフィグレーションレジスタ【SOFCFG】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	TRN ENSEL	-	BRDYM	-	-	-	-	-	-
X	X	X	X	X	X	X	0	X	0	0	0	0	0	X	X
X	X	X	X	X	X	X	-	X	-	-	-	-	-	X	X

Bit	Name	Function	R/W
15-9	何も配置されていません。書き込む値は常に0にしてください。		
8	TRNENSEL トランザクション有効期間切り替えビット (注1)	Full-SpeedまたはLow-Speed通信中において、1フレーム中に本モジュールがトークン発行を行う期間(トランザクション有効期間)を指定します。 0：Low-Speed未対応 1：Low-Speed対応	R/W
7	何も配置されていません。書き込む値は常に0にしてください。		
6	BRDYM PIPEBRDY割り込みステータスクリアタイミング設定	PIPEBRDY割り込みステータスをクリアするタイミングを指定します。 0：0書き込みによりステータスをクリア 1：FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作により本モジュールがステータスを自動クリア 本ビットは初期設定（通信前）時のみ設定できます。 通信後の設定変更はできません。	R/W
5-0	何も配置されていません。書き込む値は常に0にしてください。		

注1.　TRNENSELビットの設定は、ホストコントローラ機能選択時のみ有効です。また、ホストコントローラ機能選択時であってもHi-Speedのトランザクション有効期間には影響しません。

28.13 割り込みステータス

28.13.1 割り込みステータスレジスタ 0【INTSTS0】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ			VALID	CTSQ		
0	0	0	0	0	0	0	0	0/1(注1)	0	0	0	0	0	0	0
-	-	-	1	-	-	-	-	-	0	0	1	-	-	-	-

Bit	Name	Function	R/W
15	VBINT VBUS変化検出割り込みステータス（注2、注3）	VBUS変化検出割り込みステータスが表示されます。 0：VBUS割り込み非発生 1：VBUS割り込み発生	R/W(0)
14	RESM レジューム割り込みステータス（注2、注3、注4、注5）	レジューム検出割り込みステータスが表示されます。 0：レジューム割り込み非発生 1：レジューム割り込み発生	R/W(0)
13	SOFR フレーム番号更新割り込みステータス（注2）	フレーム番号更新割り込みステータスが表示されます。 0：SOF割り込み非発生 1：SOF割り込み発生	R/W(0)
12	DVST デバイスステート遷移割り込みステータス（注2、注4、注5）	デバイスステート遷移割り込みが表示されます。 0：デバイスステート遷移遷移割り込み非発生 1：デバイスステート遷移遷移割り込み発生	R/W(0)
11	CTRT コントロール転送ステージ遷移割り込みステータス（注2、注4、注5）	コントロール転送ステージ遷移割り込みステータスが表示されます。 0：コントロール転送ステージ遷移割り込み非発生 1：コントロール転送ステージ遷移割り込み発生	R/W(0)
10	BEMP BEMP割り込みステータス	BEMP割り込みステータスが表示されます。 0：BEMP割り込み非発生 1：BEMP割り込み発生	R
9	NRDY NRDY割り込みステータス	NRDY割り込みステータスが表示されます。 0：NRDY割り込み非発生 1：NRDY割り込み発生	R
8	BRDY BRDY割り込みステータス	BRDY割り込みステータスが表示されます。 0：BRDY割り込み非発生 1：BRDY割り込み発生	R
7	VBSTS VBUS入力ステータス	VBUS端子の入力状態が表示されます。 0：VBUS端子が"L"レベル 1：VBUS端子が"H"レベル	R
6-4	DVSQ デバイスステート（注5）	デバイスステートが表示されます。 000：Poweredステート 001：Defaultステート 010：Addressステート 011：Configuredステート 1xx：Suspendedステート	R
3	VALID USBリクエスト受信（注5）	USBリクエスト受信検出有無が表示されます。 0：未検出 1：セットアップパケット受信	R/W(0)
2-0	CTSQ コントロール転送ステージ（注5）	コントロール転送ステージが表示されます。 000：アイドルまたはセットアップステージ 001：コントロールリードデータステージ 010：コントロールリードステータスステージ 011：コントロールライトデータステージ 100：コントロールライトステータスステージ 101：コントロールライト（NoData）ステータスステージ 110：コントロール転送シーケンスエラー 111：Reserved	R

注1.　VBUS端子がハイレベルのとき1、ローレベルのとき0です。
注2.　VBINTビット、RESMビット、SOFRビット、DVSTビット、またはCTRTビットが示すステータスをクリアする場合は、

クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。"0"を示しているステータスビットへの"0"書き込みを行わないでください。

注3. 本モジュールは本レジスタのVBINTビット、RESMビットが示すステータス変化をクロック停止中 ("SUSPM=0") でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。

注4. RESMビット、DVSTビット、CTRTビットのステータス変化は、ファンクションコントローラ機能選択時のみ発生します。ホストコントローラ機能選択時には対応する割り込み許可ビットを禁止"0"に設定してください。

注5. RESMビット、DVSTビット、CTRTビット、DVSQビット、VALIDビット、CTRQビットは、ファンクションコントローラ機能選択時のみ有効です。ホストコントローラ機能選択時、読み出し値は無効です。

(1)　VBUS 変化割り込みステータスビット (VBINT)

本モジュールが VBUS 端子入力値の変化 (High から Low への変化、および Low から High への変化) を検出したときに、本ビットに "1" を表示します。本モジュールは VBUS 端子の入力値を、VBSTS ビットに表示します。VBINT 割り込み発生時は、VBSTS ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

(2)　レジューム割り込みステータスビット (RESM)

ファンクションコントローラ機能設定時、本モジュールが Suspend 状態 (DVSQ=1XX) であり、かつ、DP 端子の立下りを検出したときに、本ビットに "1" を表示します。

(3)　フレーム番号更新割り込みステータスビット (SOFR)

本モジュールが本ビットに "1" を表示する条件は、以下のとおりです。

(a)　ホストコントローラ機能設定時

UACT ビットを "1" に設定している状態で、フレームナンバーの更新タイミングで本モジュールは本ビットに "1" を表示します。(本割り込みは、1ms ごとに検出します。)

(b)　ファンクションコントローラ機能設定時

フレームナンバーの更新時に本モジュールは本ビットに "1" を表示します。(本割り込みは、1ms ごとに検出します。)

USB HOST からの SOF パケットが破損したときでも、内部補間により、本モジュールは SOFR 割込みを検出します。

(4)　デバイスステート遷移割り込みステータスビット (DVST)

ファンクションコントローラ機能設定時、本モジュールがデバイスステートの変化を検出したときに、本モジュールは DVSQ の値を更新し、本ビットに "1" を表示します。

本割り込みが発生したときには、本モジュールが次のデバイスステートステート遷移を検出する前に、ステータスクリアを実施してください。

(5)　コントロール転送ステージ遷移割り込みステータスビット (CTRT)

ファンクションコントローラ機能設定時、本モジュールがコントロール転送のステージ遷移を検出したときに、本モジュールは CTSQ の値を更新し、本ビットに "1" を表示します。

本割り込みが発生したときには、本モジュールがコントロール転送の次のステージ遷移を検出するまでに、ステータスクリアを実施してください。

(6)　バッファエンプティ割り込みステータスビット (BEMP)

BEMPENB レジスタの PIPEBEMPE ビットに "1" を設定した PIPE に対応する BEMPSTS レジスタの PIPEBEMP ビットのうち、少なくともひとつが "1" の状態になったとき (BEMP 割り込み通知を許可した PIPE のうち少なくともひとつに対し本モジュールが BEMP 割り込み状態を検出したとき) に、本モジュールは本割込みステータスに "1" を表示します。

PIPEBEMP ステータスのアサート条件は、PIPEBEMP レジスタを参照ください。

PIPEBEMPE ビットで許可を設定している PIPE に対応する PIPEBEMP ビットすべてに "0" を書き込むと、本モジュールは本ビットを "0" にクリアします。

本ビットに対して "0" を書き込んでも、本ビットの "0" クリアを行うことはできません。

(7)　バッファノットレディ割り込みステータスビット (NRDY)

NRDYENB レジスタの PIPENRDYE ビットに "1" を設定した PIPE に対応する BNRDYSTS レジスタの PIPENRDY ビットのうち、少なくともひとつが "1" の状態になったとき (NRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本モジュールが NRDY 割り込み状態を検出したとき) に、本モジュールは本割込みステータスに "1" を表示します。

PIPENRDY ステータスのアサート条件は、PIPENRDY レジスタを参照ください。

PIPENRDYE ビットで許可を設定している PIPE に対応する PIPENRDY ビットのすべてに "0" を書き込むと、本モジュールは本ビットを "0" にクリアします。

本ビットに対して "0" を書き込んでも、本ビットの "0" クリアを行うことはできません。

(8)　バッファレディ割り込みステータスビット (BRDY)

BRDYENB レジスタの PIPEBRDYE ビットに "1" を設定した PIPE に対応する BRDYSTS レジスタの PIPEBRDY ビットのうち、少なくともひとつが "1" の状態になったとき (BRDY 割り込み通知を許可した PIPE のうち少なくともひとつに対し本モジュールが BRDY 割り込み状態を検出したとき) に、本モジュールは本割込みステータスに "1" を表示します。

PIPEBRDY ステータスのアサート条件は、PIPEBRDY レジスタを参照ください。

PIPEBRDYE ビットで許可を設定している PIPE に対応する PIPEBRDY ビットのすべてに "0" を書き込むと、本モジュールは本ビットを "0" にクリアします。

本ビットに対して "0" を書き込んでも、本ビットの "0" クリアを行うことはできません。

28.13.2　割り込みステータスレジスタ 1【INTSTS1】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	BCHG	-	DTCH	ATTCH	-	-	-	-	EOF ERR	SIGN	SACK	-	-	-	-
0	0	X	0	0	X	0	0	X	0	0	0	X	X	X	0
-	-	X	-	-	X	-	-	X	-	-	-	X	X	X	-

Bit	Name	Function	R/W
15	何も配置されていません。書き込む値は常に0にしてください。		
14	BCHG USBバス変化割り込みステータス	USBバス変化割り込みステータスが表示されます。 0：BCHG割り込み非発生 1：BCHG割り込み発生	R/W(0)
13	何も配置されていません。書き込む値は常に0にしてください。		
12	DTCH USB切断検出割り込みステータス	USB切断検出割り込みステータスが表示されます。 0：DTCH割り込み非発生 1：DTCH割り込み発生	R/W(0)
11	ATTCH USB接続検出割り込みステータス	ATTCH割り込みステータスが表示されます。 0：割り込み出力禁止 1：割り込み出力許可	R/W(0)
10-7	何も配置されていません。書き込む値は常に0にしてください。		
6	EOFERR EOFエラー検出割り込みステータス	EOFERR割り込みステータスが表示されます。 0：割り込み出力禁止 1：割り込み出力許可	R/W(0)
5	SIGN セットアップトランザクションエラー割り込みステータス	セットアップトランザクションエラー割り込みステータスが表示されます。 0：SIGN割り込み非発生 1：SIGN割り込み発生	R/W(0)
4	SACK セットアップトランザクション正常応答割り込みステータス	セットアップトランザクション正常応答割り込みステータスが表示されます。 0：SACK割り込み非発生 1：SACK割り込み発生	R/W(0)
3-0	何も配置されていません。書き込む値は常に0にしてください。		

注1.　本レジスタの各ビットが示すステータス変化による割り込みは、ホストコントローラ機能選択時のみ許可してください。
注2.　本レジスタの各ビットが示すステータスのクリアは、クリアしたいビットのみに"0"を、他のビットには"1"を書き込むことにより実施してください。
注3.　本モジュールは本レジスタのBCHGビットが示すステータス変化をクロック停止中 ("SUSPM=0") でも検出し、対応する割り込みが許可されていれば割り込みを通知します。ステータスのクリアはクロック許可後に行ってください。
注.　BCHGビット以外の割り込みは、クロック停止中 ("SUSPM=0") は検出しません。

(1)　USB バス変化割り込みステータスビット (BCHG)

Full Speed / Low-Speed 信号レベルでの状態変化が発生した (J-State、K-State、または SE0 のいずれかの状態から、J-State、K-State、または SE0 のいずれかの状態に変化した) ときに、本モジュールは BCHG 割り込みを検出し、本ビットに "1" を表示します。このとき、該当する割り込み許可ビットに "1" を設定していれば、本モジュールは割り込みを発生させます。

本モジュールは USB ポートの現在の入力状態を、SYSSTS0 レジスタの LNST ビットに表示します。

BCHG 端子割り込み発生時は、LNST ビット読み出しの数度一致を行い、チャタリング除去を実施してください。

ファンクションコントローラ機能選択時、読み出し値は無効です。

(2)　ホストコントローラ機能用 USB 切断検出割り込みステータスビット (DTCH)

USB バスディスコネクト検出時に、本モジュールは DTCH 割り込みを検出し、本ビットに "1" を表示します。このとき、該当する割り込み許可ビットに "1" を設定していれば、本モジュールは割り込みを発生させます。

本モジュールは、USB Specification2.0 に準じた基準でバスディスコネクトを検出します。

本モジュールは、DTCH 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下の制御を行います。通信を行っている PIPE をすべて通信終了させ、アタッチ (ATTCH 割り込み発生) 待ちの状態に遷移してください。

(1) UACT ビットを "0" に変更し、表示

(2) USB ポートを Idle 状態に遷移させる。

ファンクションコントローラ機能選択時、読み出し値は無効です。

(3) ホストコントローラ機能用 USB 接続検出割り込みステータスビット (ATTCH)

ホストコントローラ機能選択時に、本モジュールが Full Speed / Low-Speed 信号レベルの J-State または K-State を 2.5us 間検出したとき、本モジュールは ATTCH 割り込みを検出し、本ビットに "1" を表示します。このとき、該当する割り込み許可ビットに "1" を設定していれば、本モジュールは割り込みを発生させます。

本モジュールの ATTCH 割り込み検出条件は、具体的には以下のとおりです。

(1) "K-State、SE0、または SE1" から "J-State" に変化し "J-State" のまま 2.5µs 間継続したとき

(2) "J-State、SE0、または SE1" から "K-State" に変化し "K-State" のまま 2.5µs 間継続したとき

ファンクションコントローラ機能選択時、読み出し値は無効です。

(4) ホストコントローラ機能用 EOF エラー割り込みステータスビット (EOFERR)

USB Specification2.0 に定められている EOF2 タイミング時点で USB 通信が終了しないことを本モジュールが検出したときに、本モジュールは EOFERR 割り込みを検出し、本ビットに "1" を表示します。このとき、該当する割り込み許可ビットに "1" を設定していれば、本モジュールは割り込みを発生させます。

本モジュールは、EOFERR 割り込みを検出後 (該当する割り込み許可ビットの設定値にかかわらず) 以下の制御を行います。通信を行っている PIPE をすべて通信終了させ、再 Enumeration を行ってください。

(1) UACT ビットを "0" に変更し、表示

(2) Idle 状態に遷移させる。

ファンクションコントローラ機能選択時、読み出し値は無効です。

(5) ホストコントローラ機能用 セットアップトランザクションエラー割り込みステータスビット (SIGN)

本モジュールが発行した SETUP トランザクションにおいて、周辺デバイスが ACK 応答を行わない状態が連続 3 回発生したときに、本モジュールは SIGN 割り込みを検出し、本ビットに "1" を表示します。このとき、該当する割り込み許可ビットに "1" を設定していれば、本モジュールは割り込みを発生させます。

本モジュールの SIGN 割り込み検出条件は、具体的には 3 回の連続した SETUP トランザクションに対して、以下 (1)~(3) のいずれかの応答が発生したときです。

(1) 周辺デバイスが何も応答しない状態で本モジュールがタイムアウトを検出した

(2) ACK パケットが破損したとき

(3) ACK 以外の Handshake (NAK、NYET、または STALL) を受信したとき

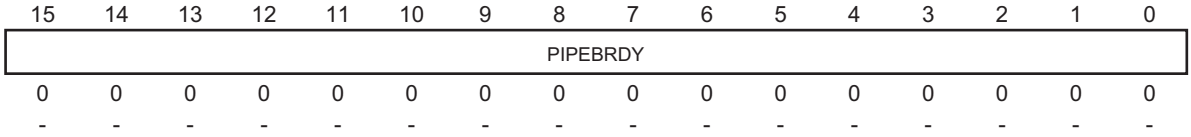
ファンクションコントローラ機能選択時、読み出し値は無効です。

(6) ホストコントローラ機能用 セットアップトランザクション正常応答割り込みステータスビット (SACK)

本モジュールが発行した SETUP トランザクションにおいて、周辺デバイスからの ACK 応答を受信したときに、本モジュールは SACK 割り込みを検出し、本ビットに "1" を表示します。このとき、該当する割り込み許可ビットに "1" を設定していれば、本モジュールは割り込みを発生させます。

ファンクションコントローラ機能選択時、読み出し値は無効です。

28.13.3　BRDY 割り込みステータスレジスタ【BRDYSTS】



Bit	Name	Function	R/W
15-0	PIPEBRDY 各パイプのBRDY割り込みステータス	各パイプのBRDY割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)

注1.　ビット番号がパイプ番号に該当します。
注2.　"BRDYM=0"の設定の場合、本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。
注3.　"BRDYM=0"の設定の場合、本割り込みのクリアは、必ずFIFOアクセスを行う前に実施してください。

(1)　各パイプの BRDY 割り込みステータスビット (PIPEBRDY)

本モジュールがある PIPE に対して BRDY 割り込みを検出した場合に、本モジュールは BRDYSTS レジスタの PIPEBRDY ビットの対応するビットに "1" を表示します。このとき、BRDYENB レジスタの対応するビットに "1" が設定されている場合、本モジュールは INTSTS0 レジスタの BRDY ビットに "1" を表示し、割り込みを発生させます。

BRDY 割り込みは、BRDYM ビットおよび各 PIPE の BFRE ビットの設定により、発生条件およびクリア方法が異なります。

(a)　"BRDYM=0 かつ BFRE=0" 設定時

この設定の場合、BRDY 割込みは FIFO ポートにアクセス可能になった事を示す割り込みになります。

本モジュールは、下記に示す条件の場合に、内部 BRDY 割り込み要求トリガを発生させ、要求トリガー発生 PIPE に対応する PIPEBRDY ビットに "1" を表示します。

(1) 送信方向に設定した PIPE の場合
(a) DIR ビットを "0" から "1" に変更したとき
(b) 当該 PIPE に割り付けた FIFO バッファへの CPU からの書き込みが不可状態のとき (BSTS ビット読み出し値が "0" のとき) に、本モジュールが当該 PIPE のパケット送信を完了したとき。
連続送受信モードに設定した場合には、FIFO バッファ一面分のデータの送信完了時に要求トリガが発生します。
(c) FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ書き込み完了時にもう一方の FIFO バッファが空であったとき
FIFO バッファ書き込み中にもう一方が送信完了になっても、現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
(d) 転送 TYPE が Isochronous の PIPE において、本モジュールによるバッファフラッシュが発生したとき
(e) ACLRM ビットに "1" を書き込むことより、FIFO バッファが書き込み不可状態から書き込み可能状態になったとき

DCP に対しては (すなわち、コントロール転送でのデータ送信においては) 要求トリガは発生しません。

(2) 受信方向に設定した PIPE の場合

(a) 当該 PIPE に割り付けた FIFO バッファへの CPU からの読み出しが不可状態のとき (BSTS ビット読み出し値が "0" のとき) に、パケット受信が正常に完了し、FIFO バッファが読み出し可能状態になったとき。
データ PID ミスマッチのトランザクションに対しては、要求トリガは発生しません。
連続送受信モードの場合には、MaxPacketSize のデータサイズで、かつまだバッファに空きがある場合には要求トリガは発生しません。
ショートパケットを受信した場合には、FIFO バッファに空きがあっても要求トリガは発生します。
トランザクションカウンタを使用している場合には、設定値分のパケットを受信時に要求トリガは発生します。
このとき、FIFO バッファにまだ空きがあっても要求トリガは発生します。

(b) FIFO バッファをダブルバッファに設定しているときで、FIFO バッファ読出し完了時にもう一方の FIFO バッファも読出し可能状態であったとき
読み出し中にもう一方が受信完了しても、現在読み出し中の面が読出し完了になるまで要求トリガは発生しません。

ファンクションコントローラ機能選択時のコントロール転送のステータスステージでの通信では本割り込みは発生しません。

本ビットの該当 PIPE に対応するビットに "0" を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを "0" にクリアすることができます。このとき、他の PIPE に対応するビットには "1" を書き込んでください。

本割り込みステータスのクリアは、必ず FIFO バッファへのアクセスを行う前に実施してください。

(b)　"BRDYM=0 かつ BFRE=1" 設定時

この設定の場合、本モジュールは、受信 PIPE において 1 トランスファー分の全データ読み出し完了時に、BRDY 割り込み発生と判断し、本レジスタの該当 PIPE に対応するビットに "1" を表示します。

本モジュールは、以下のいずれかのときに 1 トランスファーにおける最後のデータを受信したと判定します。

(1) Zero-Length パケットを含むショートパケットを受信したとき

(2) トランザクションカウンタ (TRNCNT ビット) を使用し、TRNCNT ビット設定値分のパケットを受信したとき

上記判定条件を満たした後、そのデータの読み出しが完了したときに、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。

FIFO バッファが空の状態で Zero-Length パケット受信した場合は、FIFO ポートコントロールレジスタの FRDY ビットが 1、DTLN ビットが 0 の状態になった時点で、本モジュールは 1 トランスファー分の全データ読み出し完了と判断します。

この場合、次のトランスファーを開始するためには、対応する FIFOCTR レジスタの BCLR ビットに "1" を書き込んでください。

本設定の場合には、本モジュールは送信 PIPE に対して BRDY 割込みを検出しません。

本ビットの該当 PIPE に対応するビットに "0" を書き込むことにより、該当 PIPE の PIPEBRDY 割り込みステータスを "0" にクリアすることができます。このとき、他の PIPE に対応するビットには "1" を書き込んでください。

本モードを使用するときには、トランスファー分の処理を終了するまで BFRE ビットの設定値を変更しないでください。

途中で BFRE ビットを変更する場合には、ACLRM ビットにより対応する PIPE の FIFO バッファをすべてクリアしてください。

(c)　"BRDYM=1 かつ BFRE=0" 設定時

この設定の場合、本ビットの値は各 PIPE の BSTS ビットに連動します。即ち、BRDY 割込みステータスは FIFO バッファの状態によって本モジュールが "1"、"0" を表示します。

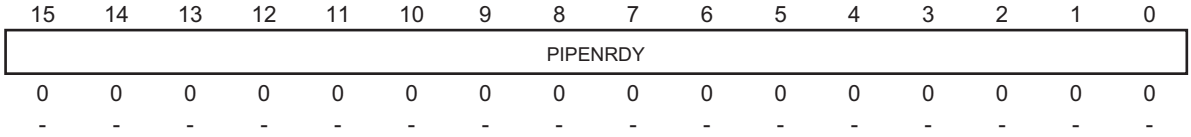
(1) 送信方向に設定した PIPE の場合
FIFO ポートにデータが書き込み可能な状態であれば "1" を表示し、書き込み不可の状態になれば "0" を表示します。
ただし DCP の送信 PIPE が書き込み可能であっても、BRDY 割込みはアサートされません。

(2) 受信方向に設定した PIPE の場合
FIFO ポートにデータが読出し可能な状態であれば "1" を表示し、すべてのデータを読み出したら (読出し不可の状態になったら) "0" を表示します。
FIFO バッファが空で Zero-Length パケットを受信した場合、"BCLR=1" を書き込むまで該当ビットには "1" が表示され BRDY 割込みはアサートされ続けます。

本設定時、本ビットの "0" クリアを行うことはできません。

BRDYM="1" 設定時は、BFRE ビットは必ずすべて (全 PIPE) "0" に設定してください。

28.13.4　NRDY 割り込みステータスレジスタ【NRDYSTS】



Bit	Name	Function	R/W
15-0	PIPENRDY 各パイプの NRDY 割り込みステータス	各パイプの NRDY 割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)

注1.　ビット番号がパイプ番号に該当します。
注2.　本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに "0" を、他のビットには "1" を書き込んでください。

(1)　各パイプの NRDY 割り込みステータスビット (PIPENRDY)

"PID=BUF" に設定した PIPE に対して、本モジュールが内部 NRDY 割り込み要求を発生させた場合に、本モジュールは NRDYSTS レジスタの PIPENRDY ビットの対応するビットに "1" を表示します。このとき、NRDYENB レジスタの対応するビットに "1" が設定されている場合、本モジュールは INTSTS0 レジスタの NRDY ビットに "1" を表示し、割り込みを発生させます。

本モジュールが、各 PIPE に対して内部 NRDY 割り込み要求を発生させる条件を「**(a)　ホストコントローラ機能選択時、かつスプリットトランザクションが発生しない接続の場合**」、「**(b)　ホストコントローラ機能選択時、かつスプリットトランザクションが発生するの接続の場合**」および「**(c)　ファンクションコントローラ機能選択時**」に述べます。

ただし、ホストコントローラ機能選択時の SETUP トランザクション実行時は以下の割り込み発生条件に該当しません。ホストコントローラ機能選択時の SETUP トランザクションでは、SACK 割り込み、または、SIGN 割り込みを検出します。

また、ファンクションコントローラ機能選択時のコントロール転送ステータスステージ実行時は割り込み要求を発生させません。

(a)　ホストコントローラ機能選択時、かつスプリットトランザクションが発生しない接続の場合

(1) 送信方向 PIPE の場合

本モジュールは、以下 (a)~(c) のいずれかの条件を満たした場合に、NRDY 割り込みを検出します。

(a) 転送 TYPE が Isochronous の PIPE において、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。
このとき、本モジュールは OUT トークンに続けて Zero-Length パケットを送信し、PIPENRDY ビットの対応するビットに "1" を表示し、OVRN ビットにも "1" を表示します。

(b) 転送 TYPE が Isochronous 以外の PIPE、かつ SETUP トランザクション以外の通信において、周辺デバイスが無応答 (周辺デバイスからの Handshake パケットを検出しないまま Timeout を検出) した、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき。
このとき、本モジュールは、PIPENRDY ビットの対応するビットに "1" を表示し、対応する PIPE の PID ビットを "NAK" に変更します。

(c) SETUP トランザクション以外の通信において、周辺デバイスから STALL Handshake を受信したとき (OUT に対する STALL だけではなく、PING に対する STALL も該当します)。
このとき、本モジュールは、PIPENRDY ビットの対応するビットに "1" を表示し、対応する

PIPE の PID ビットを "STALL(11)" に変更します。

(2) 受信方向 PIPE の場合

(a) 転送 TYPE が Isochronous の PIPE において、FIFO バッファに空きがない状態で IN Token 発行タイミングに達したとき。
このとき本モジュールは、IN Token に対する受信データを破棄し、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、OVRN ビットにも "1" を表示します。
更に、IN Token に対する受信データにパケットエラーを検出した場合には、CRCE ビットにも "1" を表示します。

(b) 転送 TYPE が Isochronous 転送以外の PIPE で、本モジュールが発行した IN Token に対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないまま Timeout を検出) した場合、または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、対応する PIPE の PID ビットを "NAK" に変更します。

(c) 転送 TYPE が Isochronous の PIPE において、IN Token に対して周辺デバイスが無応答 (周辺デバイスからの DATA パケットを検出しないまま Timeout を検出) した場合、または周辺デバイスからのパケットにエラーを検出したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示します (対応する PIPE の PID ビットの変更は行いません) 。

(d) 転送 TYPE が Isochronous の PIPE において、受信したデータパケットに CRC エラーまたはビットスタッフィングエラーを検出したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、CRCE ビットに "1" を表示します。

(e) STALL Handshake を受信したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、対応する PIPE の PID ビットを "STALL" に変更します。

(b)　ホストコントローラ機能選択時、かつスプリットトランザクションが発生するの接続の場合

(1) 送信方向 PIPE の場合

(a) 転送 TYPE が Isochronous の PIPE において、FIFO バッファに送信データがない状態で OUT トークン発行タイミングに達したとき。
このとき本モジュールは、Start-Split トランザクション (S-Split) 発行時点で当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、OVRN ビットに "1" を表示します。また、OUT トークンに続けて Zero-Length パケットを送信します。

(b) 転送 TYPE が Isochronous 以外の PIPE において、S-Split または Complete-Split トランザクション (C-Split) に対して、Hub が無応答 (Hub からの Handshake パケットを検出しないまま Timeout を検出) 、または Hub からのパケットにエラーを検出したケースが任意の組み合わせで 3 回連続して発生したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、対応する PIPE の PID ビットを "NAK" に変更します。
C-Split 発行時に NRDY 割り込みを検出した場合には、本モジュールは CSSTS ビットをクリアし "0" を表示します。

(c) C-Split に対し、STALL Handshake を受信したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、対応する PIPE の PID ビットを "STALL(11)" に変更し、CSSTS ビットをクリアし "0" を表示します。

ただし SETUP トランザクションにおいては、本割り込みを検出しません。

(d) 転送 TYPE が Interrupt の PIPE において、microFrame 番号 = 4 のときの C-Split に対して、NYET を受信したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、CSSTS ビットをクリアし "0" を表示します (対応する PIPE の PID ビットは変更しません)。

(2) 受信方向 PIPE の場合

(a) 転送 TYPE が Isochronous の PIPE において、FIFO バッファに空きがない状態で IN Token 発行タイミングに達したとき。
このとき本モジュールは、S-Split 発行時点で当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、OVRN ビットに "1" を表示します。また、IN Token に対する受信データを破棄します。

(b) 転送 TYPE が Bulk の PIPE の転送、または DCP の SETUP トランザクション以外の転送において、S-Split または C-Split 発行時に、本モジュールが発行した IN Token に対して Hub が無応答 (Hub からの DATA パケットを検出しないまま Timeout を検出) した場合、または Hub からのパケットにエラーを検出した場合が任意の組み合わせで 3 回連続して発生したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、対応する PIPE の PID ビットを "NAK" に変更します。C-Split において本条件が発生した場合には、本モジュールは CSSTS ビットをクリアし "0" を表示します。

(c) 転送 TYPE が Isochronous または Interrupt の PIPE の C-Split において、本モジュールが発行した IN Token に対して Hub が無応答 (Hub からの DATA パケットを検出しないまま Timeout を検出) した場合、または Hub からのパケットにエラーを検出した場合が任意の組み合わせで 3 回連続して発生したとき。
転送 TYPE が Interrupt の PIPE において、本条件が発生した場合、本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、対応する PIPE の PID ビットを "NAK" に変更し、CSSTS ビットをクリアし "0" を表示します。
転送 TYPE が Isochronous の PIPE において、本条件が発生した場合、本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、CRCE ビットに "1" を表示し、CSSTS ビットをクリアし "0" を表示します。(PIPE の PID ビットの変更は行いません)。

(d) 転送 TYPE が Isochronous 以外の PIPE の C-Split において、STALL Handshake を受信したとき。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、対応する PIPE の PID ビットを "STALL(11)" に変更し、CSSTS ビットをクリアし "0" を表示します。

(e) 転送 TYPE が Isochronous/Interrupt の PIPE の C-Split において、microFrame = 4 のときに NYET Handshake を受信した場合。
このとき本モジュールは、当該 PIPE に対応する PIPENRDY ビットに "1" を表示し、CRCE ビットに "1" を表示し、CSSTS ビットをクリアし "0" を表示します。(PIPE の PID ビットの変更は行いません)。

(c)　ファンクションコントローラ機能選択時

(1) 送信方向 PIPE の場合

(a) 当該 PIPE の PID ビットが "BUF"("01") に設定されている場合に FIFO バッファに送信データがない状態で IN Token を受信したとき
IN Token 受信時に本モジュールは NRDY 割り込み要求を発生させ PIPENRDY ビットに "1" を表示します。
割り込み発生 PIPE の転送 TYPE が Isochronous の場合、本モジュールは Zero-Length パケットを送信し、OVRN ビットに "1" を表示します。

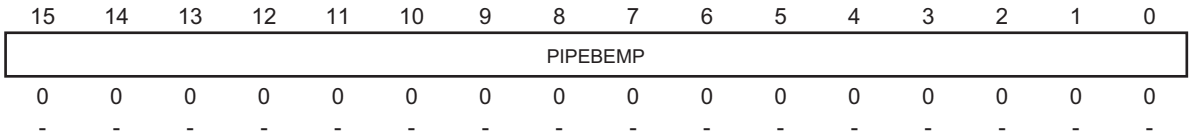
(2) 受信方向 PIPE の場合

(a) 当該 PIPE の PID ビットが "BUF"("01") に設定されている場合に FIFO バッファに空きがない状態で OUT トークンを受信したとき。
割り込み発生 PIPE の転送 TYPE が Isochronous の場合、OUT トークン受信時に本モジュールは NRDY 割り込み要求を発生させ、PIPENRDY ビットに "1" を表示し、OVRN ビットに "1" を表示します。
割り込み発生 PIPE の転送 TYPE が Isochronous 以外の場合、本モジュールは、OUT トークンに続くデータ受信後 NAK Handshake を送信するときに NRDY 割り込み要求を発生させ、PIPENRDY ビットに "1" を表示します。
ただし、再送時 (DATA-PID ミスマッチ発生時) には、NRDY 割り込み要求を発生させません。また、DATA パケットにエラーがある場合にも、発生させません。

(b) 当該 PIPE の PID ビットが "BUF"("01") に設定されている場合に FIFO バッファに空きがない状態で PING トークンを受信したとき。
PING トークン受信時に本モジュールは NRDY 割り込み要求を発生させ PIPENRDY ビットに "1" を表示します。

(c) 転送 TYPE が Isochronous の PIPE において、当該 PIPE の PID ビットが "BUF"("01") に設定されている場合にインターバルフレーム内に正常受信されなかったとき。
SOF 受信のタイミングで本モジュールは、NRDY 割り込み要求を発生させ、PIPENRDY ビットに "1" を表示します。

28.13.5　BEMP 割り込みステータスレジスタ【BEMPSTS】



Bit	Name	Function	R/W
15-0	PIPEBEMP 各パイプの BEMP 割り込みステータス	各パイプの BEMP 割り込みステータスが表示されます。 0：割り込み非発生 1：割り込み発生	R/W(0)

注1.　ビット番号がパイプ番号に該当します。
注2.　本レジスタの各ビットが示すステータスをクリアする場合は、クリアしたいビットのみに"0"を、他のビットには"1"を書き込んでください。

(1)　各パイプの BEMP 割り込みステータスビット (PIPEBEMP)

"PID=BUF" に設定した PIPE に対して、本モジュールが、BEMP 割り込みを検出した場合に、本モジュールは BEMPSTS レジスタの PIPEBEMP ビットの対応するビットに "1" を表示します。このとき、BEMPENB レジスタの対応するビットに "1" が設定されている場合、本モジュールは INTSTS0 レジスタの BEMP ビットに "1" を表示し、割り込みを発生させます。

以下の場合に、本モジュールは内部 BEMP 割り込み要求を発生させます。

(1) 送信方向 PIPE において、送信完了時 (Zero-Length パケットの送信時を含む) に、対応する PIPE の FIFO バッファが空のとき。
シングルバッファ設定時は、DCP 以外の PIPE に対しては BRDY 割り込みと同時に内部 BEMP 割り込み要求を発生させます。

ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。
(a) ダブルバッファ設定時に、1 面分のデータ送信完了時に CPU 側の FIFO バッファに対する書き込みを開始している場合。
(b) また、ACLRM ビットまたは BCLR ビットに "1" を書き込むことによるバッファクリア (エンプティ)。
(c) ファンクションコントローラ機能設定時、コントロール転送 Status ステージの IN 転送 (Zero-Length パケット送信) 時。

(2) 受信方向 PIPE の場合
MaxPacketSize の設定値より大きなデータサイズを正常受信したとき。
この場合、本モジュールは、BEMP 割り込み要求を発生させ、PIPEBEMP ビットの対応するビットに "1" を表示し、受信データを破棄し、対応する PIPE の PID ビットを "STALL"("11") に変更します。
このとき本モジュールは、ホストコントローラ機能設定時には無応答し、ファンクションコントローラ機能設定時には STALL 応答を行います。

ただし、以下の場合は内部 BEMP 割り込み要求を発生させません。
(a) 受信データに CRC エラー、またはビットスタッフィングエラー等を検出したとき。
(b) SETUP トランザクション実行時。

本ビットに "0" を書き込むことにより、ステータスをクリアすることができます。
本ビットに "1" を書き込んでも、何もしません。

28.14　フレーム番号レジスタ

28.14.1　フレームナンバレジスタ【FRMNUM】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OVRN	CRCE	-	-	-	FRNM										
0	0	X	X	X	0	0	0	0	0	0	0	0	0	0	0
-	-	X	X	X	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15	OVRN オーバラン/アンダラン検出ステータス	Isochronous 転送を行っている PIPE に対するオーバラン/アンダランエラー検出の有無が表示されます。 0：エラーなし 1：エラー発生	R/W(0)
14	CRCE CRC エラー検出ステータス	Isochronous 転送を行っている PIPE に対する CRC エラー検出ステータスが表示されます。 0：エラーなし 1：エラー発生	R/W(0)
13-11	何も配置されていません。書き込む値は常に 0 にしてください。		
10-0	FRNM フレーム番号	最新のフレーム番号が表示されます。	R

注.　OVRN ビットはデバッグ用のビットです。システムとしてはオーバラン・アンダランが発生しないようにしてください。

(1)　オーバラン / アンダラン検出ステータスビット (OVRN)

転送 TYPE が Isochronous の PIPE において、本モジュールがオーバランまたはアンダランを検出したときに、本ビットに "1" を表示します。

オーバランまたはアンダラン検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。詳細は、「28.13.4 (1)　各パイプの NRDY 割り込みステータスビット (PIPENRDY)」を参照してください。

本ビットに "0" を書き込むことにより、本ビットを "0" にクリアすることができます。このとき、CRCE を同時にクリアしたくない場合には H'40 を書き込んでください。

(a)　ホストコントローラ機能選択時

以下の (1) ～ (2) いずれかの場合に、本モジュールが本ビットに "1" を表示します。

(1) 転送 TYPE が Isochronous の送信方向 PIPE において、FIFO バッファに送信データの書き込みが完了していないのに OUT トークン発行タイミングに達したとき。

(2) 転送 TYPE が Isochronous の受信方向 PIPE において、少なくとも一面分の FIFO バッファの空がない状態で、IN トークン発行タイミングに達したとき。

(b)　ファンクションコントローラ機能選択時

以下の (1) ～ (2) いずれかの場合に、本モジュールが本ビットに "1" を表示します。

(1) 転送 TYPE が Isochronous の送信方向 PIPE において、FIFO バッファに送信データの書き込みが完了していないのに IN Token を受信したとき。

(2) 転送 TYPE が Isochronous の受信方向 PIPE において、少なくとも一面分の FIFO バッファの空がない状態で、OUT トークンを受信したとき。

(2)　CRC エラー検出ステータスビット (CRCE)

転送 TYPE が Isochronous の PIPE において、本モジュールが CRC エラーやビットスタッフィングエラーを検出したときに、本ビットに "1" を表示します。

本ビットに "0" を書き込むことにより、本ビットを "0" にクリアすることができます。このとき、OVRN を同時にクリアしたくない場合には H'80 を書き込んでください。

CRC エラーの検出時には、本モジュールは内部 NRDY 割り込み要求を発生させます。詳細は、「28.13.4 (1)　各パイプの NRDY 割り込みステータスビット (PIPENRDY)」を参照してください。

(3)　フレーム番号ビット (FRNM)

本モジュールは 1ms に 1 回の SOF 発行タイミング、または、1ms に 1 回の SOF 受信時に本ビットを更新し、フレーム番号を表示します。

本ビットを読み出す場合には、2 回読み出し、一致することを確認してください。

28.14.2　μ フレームナンバレジスタ【UFRMNUM】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	UFRNM		
X	X	X	X	X	X	X	X	X	X	X	X	X	0	0	0
X	X	X	X	X	X	X	X	X	X	X	X	X	-	-	-

Bit	Name	Function	R/W
15-3	何も配置されていません。書き込む値は常に0にしてください。		
2-0	UFRNM マイクロフレーム	マイクロフレーム番号が表示されます。	R

(1)　マイクロフレーム番号ビット (UFRMNUM)

Hi-Speed 通信の場合、本モジュールは本ビットにマイクロフレーム番号を表示します。Hi-Speed 状態以外の場合、本モジュールは本ビットに B'000 を表示します。

本ビットを読み出す場合には、2 回読み出し、一致することを確認してください。

28.15 ファンクションコントローラ機能選択時 USB アドレス

28.15.1 USB アドレスレジスタ【USBADDR】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	USBADDR						
X	X	X	X	X	X	X	X	X	0	0	0	0	0	0	0
X	X	X	X	X	X	X	X	X	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15-7	何も配置されていません。書き込む値は常に0にしてください。		
6-0	USBADDR USBアドレス	ファンクションコントローラ機能選択時に、Hostから割り付けられたUSBアドレス確認が表示されます。	R

(1) USB アドレスビット (USBADDR)

ファンクションコントローラ機能選択時に、本モジュールが SetAddress リクエストを正常に処理したときに、本ビットに受信した USB アドレスを表示します。

ファンクションコントローラ機能選択時に、本モジュールが USB バスリセットを検出したときに、本モジュールは本ビットに H'00 を表示します。

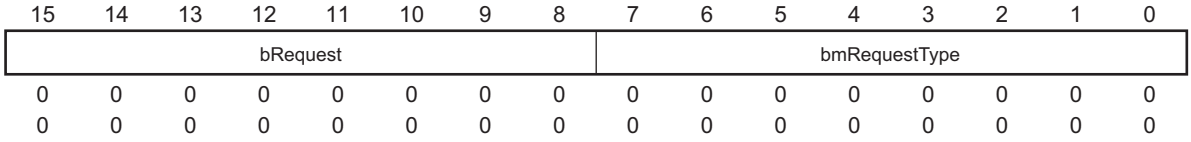
ホストコントローラ機能選択時、読み出し値は無効です。

28.16 USB リクエストレジスタ

USB リクエストレジスタは、コントロール転送のセットアップリクエストを格納するためのレジスタです。

ファンクションコントローラ機能選択時には受信した USB リクエストの値が格納されます。ホストコントローラ機能選択時には送信する USB リクエストを設定してください。

28.16.1 USB リクエストタイプレジスタ【USBREQ】



Bit	Name	Function	R/W
15-8	bRequest リクエスト	USB リクエスト bRequest の値	R/W （注1）
7-0	bmRequestType リクエストタイプ	USB リクエスト bmRequestType の値	R/W （注1）

注1. ファンクションコントローラ機能選択時は、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能選択時は、読み出し/書き込み可能です。

(1) USB リクエストビット (bRequest)

(a) ホストコントローラ機能選択時

送信する SETUP トランザクションの USB リクエストデータ値を設定してください。

"SUREQ=1" 設定後、本モジュールによる "SUREQ=0" 表示までの期間は、本ビットの書き換えを行わないでください。

(b) ファンクションコントローラ機能選択時

本モジュールが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。本ビットへの書き込みは無効です。

(2) USB リクエストビット (bRmRequestType)

(a) ホストコントローラ機能選択時

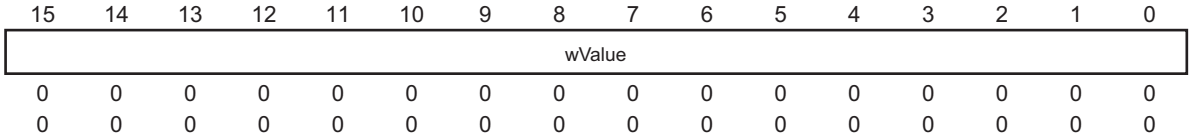
送信する SETUP トランザクションの USB リクエストデータ値を設定してください。

"SUREQ=1" 設定後、本モジュールによる "SUREQ=0" 表示までの期間は、本ビットの書き換えを行わないでください。

(b) ファンクションコントローラ機能選択時

本モジュールが SETUP トランザクションで受信した USB リクエストデータ値を、このビットに表示します。本ビットへの書き込みは無効です。

28.16.2　USB リクエストバリューレジスタ【USBVAL】



Bit	Name	Function	R/W
15-0	wValue バリュー	USB リクエスト wValue の値	R/W （注 1）

注 1.　ファンクションコントローラ機能選択時は、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能選択時は、読み出し/書き込み可能です。

(1)　バリュービット (wValue)

USB リクエスト wValue の値を書き込み、または読み出すためのビットです。

(a)　ホストコントローラ機能選択時

送信する SETUP トランザクションの USB リクエスト wValue の値を設定してください。

"SUREQ=1" 設定後、本モジュールによる "SUREQ=0" 表示までの期間は、本ビットの書き換えを行わないでください。

(b)　ファンクションコントローラ機能選択時

本モジュールが SETUP トランザクションで受信した USB リクエスト wValue の値を、このビットに表示します。本ビットへの書き込みは無効です。

28.16.3　USB リクエストインデックスレジスタ【USBINDX】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wIndex															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	R/W
15-0	wIndex インデックス	USB リクエスト wIndex の値	R/W （注 1）

注1.　ファンクションコントローラ機能選択時は、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能選択時は、読み出し/書き込み可能です。

(1)　インデックスビット (wIndex)

USB リクエスト wIndex の値を書き込み、または読み出すためのビットです。

(a)　ホストコントローラ機能選択時

送信する SETUP トランザクションの USB リクエスト wIndex の値を設定してください。

"SUREQ=1" 設定後、本モジュールによる "SUREQ=0" 表示までの期間は、本ビットの書き換えを行わないでください。

(b)　ファンクションコントローラ機能選択時

本モジュールが SETUP トランザクションで受信した USB リクエスト wIndex の値を、このビットに表示します。本ビットへの書き込みは無効です。

28.16.4　USB リクエストレングスレジスタ【USBLENG】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
wLength															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Bit	Name	Function	R/W
15-0	wLength レングス	USB リクエスト wLength の値	R/W （注 1）

注1.　ファンクションコントローラ機能選択時は、読み出しのみ可能で書き込みは無効です。一方、ホストコントローラ機能選択時は、読み出し/書き込み可能です。

(1)　レングスビット (wLength)

USB リクエスト wLength の値を書き込み、または読み出すためのビットです。

(a)　ホストコントローラ機能選択時

送信する SETUP トランザクションの USB リクエスト wLength の値を設定してください。

"SUREQ=1" 設定後、本モジュールによる "SUREQ=0" 表示までの期間は、本ビットの書き換えを行わないでください。

(b)　ファンクションコントローラ機能選択時

本モジュールが SETUP トランザクションで受信した USB リクエスト wLength の値を、このビットに表示します。本ビットへの書き込みは無効です。

28.17 DCP コンフィグレーション

コントロール転送でデータ通信を行う場合は、デフォルトコントロールパイプ (DCP) を用いてください。

28.17.1 DCP コンフィグレーションレジスタ【DCPCFG】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	CNTMD	SHTNAK	-	-	DIR	-	-	-	-
X	X	X	X	X	X	X	0	0	X	X	0	X	X	X	X
X	X	X	X	X	X	X	-	-	X	X	-	X	X	X	X

Bit	Name	Function	R/W
15-9	何も配置されていません。書き込む値は常に0にしてください。		
8	CNTMD 連続転送モード	Default Control PIPE を連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード	R/W
7	SHTNAK トランスファー終了時の PIPE 禁止	Default Control PIPE が受信方向の場合に、トランスファー終了時に PID を NAK に変更するかどうかを指定します。 0：トランスファー終了時に PIPE 継続 1：トランスファー終了時に PIPE 禁止	R/W
6-5	-	何も配置されていません。書き込む値は常に0にしてください。	R/W
4	DIR 転送方向	ホストコントローラ機能選択時のコントロール転送のデータステージ、ステータスステージの転送方向を設定します。 0：データ受信方向 1：データ送信方向	R/W
3-0	何も配置されていません。書き込む値は常に0にしてください。		

(1) 連続転送モードビット (CNTMD)

本ビットの設定値によって、本モジュールは DCP に割り当てられた FIFO バッファに対する送受信完了判定を表 28.12 に示すとおりに行います。

表28.12　CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビット 設定値	読み出し可能状態、送信可能状態の判定方法
0	受信方向設定時（“DIR = 0”）FIFO バッファ読み出し可能状態になる条件 本モジュールが1パケット受信したとき
	送信方向設定時（“DIR = 1”）FIFO バッファ送信可能状態になる条件 以下（1）、（2）のいずれかを満たしたとき （1）マックスパケットサイズ分のデータを FIFO バッファに書き込んだとき （2）ショートパケット分のデータ（0バイトの場合を含む）を FIFO バッファに書き込み、“BVAL = 1”書き込んだとき

表 28.12　CNTMD ビット設定値と FIFO バッファに対する送受信完了判定方法の関係

CNTMD ビット 設定値	読み出し可能状態、送信可能状態の判定方法
1	受信方向設定時（“DIR = 0”）FIFO バッファ読み出し可能状態になる条件 以下（1）～（3）のいずれかを満たしたとき （1）DCP に割り当てられた FIFO バッファに受信したデータのバイト数と、割り当てられたバイト数（256 バイト固定）が等しくなったとき （2）本モジュールが Zero Length パケット以外のショートパケットを受信したとき （3）DCP に割り当てられた FIFO バッファにすでにデータが格納されている状態で、本モジュールが Zero Length パケットを受信したとき
	送信方向設定時（“DIR = 1”）FIFO バッファ送信可能状態になる条件 以下（1）、（2）のいずれかを満たしたとき （1）書き込んだデータ数が、DCP に割り当てられた FIFO バッファサイズ 1 面分と等しくなったとき （2）DCP に割り当てられた FIFO バッファサイズ 1 面分より小さいデータ数（0 バイトの場合を含む）を FIFO バッファに書き込み、“BVAL = 1”書き込んだとき

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、DCP を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"BCLR=1" を書き込み、DCP に割り付けられた FIFO バッファのクリアを実行してください。

DCP の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(2)　トランスファー終了時の PIPE 禁止ビット (SHTNAK)

本ビットに "1" を設定している場合、本モジュールは、DCP に対しトランスファの終了を判定したときに DCP に対応する PID ビットを NAK に変更します。

本モジュールは、ショートパケットデータ (Zero-Length パケットを含む）を正常に受信したときにトランスファ終了と判定します。

本ビットの変更は、"CSSTS ＝ 0" および "PID ＝ NAK" の状態のときに実施してください。

DCP の PID ビットを BUF から NAK へ変更してから本ビットを変更する場合には、"CSSTS ＝ 0" および "PBUSY ＝ 0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを NAK に変更した場合には、PBUSY ビットの確認は必要ありません。

DCP が送信方向の場合は、本ビットを 0 に設定してください。

(3)　転送方向ビット (DIR)

ホストコントローラ機能選択時のコントロール転送のデータステージ、ステータスステージの転送方向を本ビットに設定してください。

ファンクションコントローラ機能選択時には、本ビットへは "0" を設定してください。

28.17.2　DCP マックスパケットサイズレジスタ【DCPMAXP】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEVSEL				-	-	-	-	-	MXPS						
0	0	0	0	X	X	X	X	X	1	0	0	0	0	0	0
-	-	-	-	X	X	X	X	X	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15-12	DEVSEL デバイス選択	ホストコントローラ機能選択時に、コントロール転送の通信相手の周辺デバイスのアドレスを指定します。 0000：アドレス"0000" 0001：アドレス"0001" ... 1001：アドレス"1001" 1010：アドレス"1010" 1011-1111：設定禁止	R/W
11-7	何も配置されていません。書き込む値は常に0にしてください。		
6-0	MXPS マックスパケットサイズ	DCPの最大データペイロード(マックスパケットサイズ)を指定します。	R/W

(1)　デバイス選択ビット (DEVSEL)

ホストコントローラ機能選択時に、通信相手の周辺デバイスアドレスを本ビットに設定してください。

本ビットの設定値に対応する DEVADDn レジスタの設定を行ったあとで、本ビットを設定してください。

例えば、"DEVSEL=0010" を設定する場合、DEVADD2 レジスタの設定を行ってください。

本ビットの設定は、"CSSTS=0"、"PID=NAK"、および "SUREQ=0" の期間に実施してください。

DCP の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

ファンクションコントローラ機能選択時には、本ビットへは "0000" を設定してください。

(2)　マックスパケットサイズビット (MXPS)

DCP の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。

初期値は、H'40(64Bytes) です。

MXPS ビットの設定は、USB 規格に準拠した値を設定してください。

MXPS ビットの設定は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

"MXPS=0" の設定での FIFO バッファへの書き込み、または "PID=BUF" の設定は行わないでください。

28.17.3　DCP コントロールレジスタ【DCPCTR】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	SUREQ	CSCLR	CSSTS	SUREQ CLR	-	-	SQCLR	SQSET	SQMON	PBUSY	PINGE	-	CCPL	PID	
0	0	0	0	0	X	X	0	0	1	0	0	X	0	0	0
-	-	-	-	-	X	X	-	-	-	-	-	X	0	0	0

Bit	Name	Function	R/W
15	BSTS バッファステータス	DCP FIFO バッファへのアクセス可否ステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R
14	SUREQ SETUP トークン送出	ホストコントローラ機能選択時に、本ビットを"1"にすることによりセットアップパケットが送信されます。 0：書き込み無効 1：セットアップパケット送出	R/W(1)
13	CSCLR Split Transaction の CSPLIT ステータスクリア	ホストコントローラ機能選択時に、Split Transaction を使用する転送について、本ビットを"1"にすることにより、CSSTS ビットを 0 にクリアすることができます。このとき DCP の次回の転送は SSPLIT から再開されます。 0：書き込み無効 1：CSSTS ビットのクリア実行	R(0)/ W(1)
12	CSSTS Split Transaction の COMPLETE SPLIT(CSPLIT)ステータス	ホストコントローラ機能選択時に、Split Transaction の CSPLIT ステータスが表示されます。 0：START-SPLIT(SSPLIT) トランザクション処理中、または Split Transaction 未使用デバイスの処理中 1：CSPLIT トランザクション処理中	R
11	SUREQCLR SUREQ ビットのクリア	ホストコントローラ機能選択時に、本ビットを"1"にすることにより SUREQ ビットをクリアすることができます。 0：書き込み無効 1：SUREQ ビットの 0 クリア実行	R(0)/ W(1)
10-9	何も配置されていません。書き込む値は常に 0 にしてください。		
8	SQCLR トグルビットクリア	DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA0 に設定することができます。 0：書き込み無効 1：DATA0 指定	R(0)/ W(1)
7	SQSET トグルビットセット	DCP の転送において、次のトランザクションのシーケンストグルビットの期待値を DATA1 に設定することができます。 0：書き込み無効 1：DATA1 指定	R(0)/ W(1)
6	SQMON シーケンストグルビットモニター	DCP の転送において、次のトランザクションのシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R
5	PBUSY PIPE ビジー	当該 PIPE を現在 USB バスで使用中かどうかが表示されます。 0：当該 PIPE を USB バスにて未使用 1：当該 PIPE を USB バスにて使用中	R
4	PINGE PING トークン発行許可	ホストコントローラ機能選択時に、本ビットを 1 にすることにより OUT トランザクションにおいて、PING トークンを使用することができます。 0：PING トークン発行禁止 1：通常 PING 動作	R/W
3	何も配置されていません。書き込む値は常に 0 にしてください。		
2	CCPL コントロール転送終了許可	ファンクションコントローラ機能選択時に、ビットを 1 にすることによりコントロール転送のステータスステージの終了許可を設定します。 0：コントロール転送終了不許可 1：コントロール転送終了許可	R/W

Bit	Name	Function	R/W
1-0	PID 応答PID	本ビットによりコントロール転送における本モジュールの応答を制御します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W

(1)　バッファステータスビット (BSTS)

DCP に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを、本モジュールが表示するビットです。

本ビットの意味は、ISEL ビットの設定値により以下のように異なります。

(1) "ISEL=0" のとき : 受信データの読み出しが可能かどうか、を表示します。

(2) "ISEL=1" のとき : 送信データの書き込みが可能かどうか、を表示します。

(2)　SETUP トークン送出ビット (SUREQ)

ホストコントローラ機能選択時に、本ビットに "1" を設定することにより、本モジュールは SETUP パケットを送信します。

SETUP トランザクション処理終了後、本モジュールは SACK 割り込み、もしくは SIGN 割り込みのどちらかを発生させ、本ビットを "0" にクリアします。

また、SUREQCLR ビットを "1" にセットすることにより、本モジュールは本ビットを "0" にクリアします。

DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに SETUP トランザクションで送信したい USB リクエストを設定した後で、本ビットに "1" を設定してください。"SUREQ=1" を設定する前に、DCP の PID ビットを "NAK" に設定していることを確認してください。また、本ビットへの "1" 設定後、SETUP トランザクションが終了するまで ("SUREQ=1") の期間は DEVSEL ビット、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタの値を変更しないでください。

SETUP トークンを出すときのみ本ビットを "1" にセットしてください。その他のときには、必ず "0" を書き込んでください。

ファンクションコントローラ機能選択時には、本ビットへは必ず "0" を書き込んでください。

(3)　Split Transaction の CSPLIT ステータスクリアビット (CSCLR)

ホストコントローラ機能選択時に、本ビットに "1" を設定すると本モジュールは CSSTS ビットを "0" にクリアします。

Split Transaction を使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに "1" を設定してください。正常な Split Transaction では、C-Split 終了時に本モジュールが自動的に CSSTS ビットを "0" にクリアしますので、クリア処理は不要です。

本ビットによる CSSTS ビットの制御は、"UACT=0" による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

"CSSTS=0" のときに本ビットに "1" を設定しても、"CSSTS=0" ままです。

ファンクションコントローラ機能選択時には、本ビットへは必ず "0" を書き込んでください。

(4)　Split Transaction の CSPLIT ステータスビット (CSSTS)

ホストコントローラ機能選択時に、本モジュールは Split Transaction の C-Split ステータスを本ビットに表示します。

本モジュールは、C-Split 開始時に本ビットに "1" を表示し、C-Split 終了を検出したときに本ビットに "0" を表示します。

本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。ファンクションコントローラ機能選択時、本ビットの読み出し値は無効です。

(5)　SUREQ のクリアビット (SUREQCLR)

ホストコントローラ機能選択時に、本ビットに "1" を設定すると本モジュールは SUREQ ビットを "0" にクリアします。本モジュールは、常に本ビットに "0" を表示します。

SETUP トランザクションにおいて、"SUREQ=1" のまま通信が停止したときに、本ビットに "1" を設定してください。正常な SETUP トランザクションでは、トランザクション終了時に本モジュールが自動的に SUREQ ビットを "0" にクリアしますので、クリア処理は不要です。

本ビットによる SUREQ ビットの制御は、"UACT=0" による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

ファンクションコントローラ機能選択時には、本ビットへは必ず "0" を書き込んでください。

(6)　シーケンストグルビットのクリアビット (SQCLR)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに "0" を表示します。

SQCLR ビットと SQSET ビットに同時に "1" を設定しないでください。

本ビットへの "1" 設定は、"CSSTS=0"、"PID=NAK"、および "CURPIPE に未設定時 " に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(7)　シーケンストグルビットのセットビット (SQSET)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに "0" を表示します。

SQCLR ビットと SQSET ビットに同時に "1" を設定しないでください。

本ビットへの "1" 設定は、"CSSTS=0"、"PID=NAK"、および "CURPIPE に未設定時 " に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(8)　シーケンストグルビットのモニタービット (SQMON)

本モジュールは当該 PIPE のシーケンストグルビットの期待値を本ビットに表示します。

トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。

ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

ファンクションコントローラ機能選択時、SETUP パケット正常受信時に、本モジュールは本ビットを "1" にセット (期待値を DATA1 に設定) します。

ファンクションコントローラ機能選択時、本モジュールはステータスステージの IN/OUT トランザクションでは本ビットを参照しません。また正常終了してもトグルさせません。

(9)　PIPE ビジービット (PBUSY)

本モジュールは、当該 PIPE の USB トランザクションを開始したときに本ビットを "0" から "1" に変更します。ひとつのトランザクションが終了したときに本ビットを "1" から "0" に変更します。

"PID=NAK" を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することができます。

(10) PING トークン発行許可ビット (PINGE)

ホストコントローラ機能選択時に本ビットに "1" を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行います。送信方向の転送を PING トランザクションから開始します。

PING トランザクションにおいて ACK Handshake を検出した場合、次のトランザクションで OUT トランザクションを実行します。

OUT トランザクションにおいて NAK Handshake、または NYET Handshake を検出した場合、次のトランザクションで PING トランザクションを実行します。

ホストコントローラ機能選択時に本ビットに "0" を設定すると、送信方向の転送において本モジュールは PING トークンの発行を行いません。送信方向の転送はすべて OUT トランザクションで実行します。

本ビットの変更は、"CSSTS=0"、かつ PID=NAK" のときに実施してください。

DCP の PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

ファンクションコントローラ機能選択時には、本ビットへは必ず "0" を書き込んでください。

(11) コントロール転送終了許可ビット (CCPL)

ファンクションコントローラ機能選択時、対応する PID ビットが "BUF" のときに本ビットに "1" を設定すると、本モジュールはコントロール転送のステータスステージを完了させます。

すなわち、コントロールリード転送時では USB Host からの OUT トランザクションに対して ACK Handshake を送信し、コントロールライトおよびノーデータコントロール転送時では USB Host からの IN トランザクションに対して Zero-Length パケットを送信します。ただし、SET_ADDRESS リクエスト検出時は、本ビットの設定値に関係なく本モジュールは SETUP ステージからステータスステージ完了まで自動応答を行います。

新たな SETUP パケットを受信したときに、本モジュールは本ビットを "1" から "0" に変更します。

"VALID=1" のとき、本ビットへの "1" 書き込みを行うことができません。

ホストコントローラ機能選択時には、本ビットへは必ず "0" を書き込んでください。

(12) 応答 PID ビット (PID)

本ビットに対し、コントロール転送のデータステージ、またはステータスステージ実行時、本ビットを "NAK" から "BUF" に変更してください。

(a)　ホストコントローラ機能選択時

以下の手順で本ビットを "NAK" から "BUF" に変更してください。

(1) 送信方向設定時
"UACT=1" かつ "PID=NAK" の状態で FIFO バッファに送信データを書き込み完了し、"PID=BUF" を書き込んでください。"PID=BUF" の書き込み後、本モジュールは OUT トランザクション (または PING トランザクション) を実行します。

(2) 受信方向設定時
"UACT=1" かつ "PID=NAK" の状態で FIFO バッファが空の状態であることを確認し（空の状態にし）、"PID=BUF" を書き込んでください。"PID=BUF" の書き込み後、本モジュールは IN トランザクションを実行します。

以下の (1) ～ (3) いずれかの場合には本モジュールが本ビットの値を変更します。

(1) 本ビットに "BUF" を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは "PID=STALL(11)" を表示します。

(2) CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは "PID=NAK" を表示します。

(3) STALL ハンドシェイクを受信した場合、本モジュールは "PID=STALL(11)" を表示します。

本モジュールが当該 PIPE において Split トランザクションの S-Split 発行後 (CSSTS="1" 表示中) に本ビットを "NAK" に変更しても、C-Split 終了までトランザクションを実行します。

(b)　ファンクションコントローラ機能選択時

以下の場合には本モジュールが本ビットの値を変更します。

(1) 本モジュールが SETUP パケットを受信したときに、本モジュールは本ビットを "NAK" ("00") に変更します。このとき、本モジュールは "VALID=1" を表示し、"VALID=0" を設定するまでは本ビットの変更を行うことはできません。

(2) 本ビットに "BUF" を設定しているときに、本モジュールが MaxPacketSize を超えるデータを受信した場合、本モジュールは "PID=STALL(11)" を表示します。

(3) 本モジュールがコントロール転送シーケンスエラーを検出した場合、"PID=STALL(1x)" を表示します。

(4) 本モジュールが USB バスリセットを検出した場合、"PID=NAK" を表示します。

SET_ADDRESS リクエスト処理（自動処理）時には、本モジュールは本ビットの設定値を参照しません。

28.18 パイプコンフィグレーションレジスタ

PIPE1-15 の設定は、PIPESEL レジスタ、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタ、PIPEnCTR レジスタ、PIPEnTRE レジスタおよび PIPEnTRN レジスタで行ってください。

PIPESEL レジスタにて使用するパイプを選択した後、PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、および PIPEPERI レジスタに、各パイプの機能設定を行います。なお、PIPEnCTR レジスタ、PIPEnTRE レジスタおよび PIPEnTRN レジスタは、PIPESEL レジスタによるパイプ選択とは無関係に設定可能です。

28.18.1 パイプウィンドウ選択レジスタ【PIPESEL】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	PIPESEL			
X	X	X	X	X	X	X	X	X	X	X	X	0	0	0	0
X	X	X	X	X	X	X	X	X	X	X	X	-	-	-	-

Bit	Name	Function	R/W
15-4	何も配置されていません。書き込む値は常に 0 にしてください。		
3-0	PIPESEL パイプウィンドウ選択（注1）	PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタに対する PIPE 指定を行います。 0000：未選択 0001：PIPE1 0010：PIPE2 0011：PIPE3 0100：PIPE4 0101：PIPE5 0110：PIPE6 0111：PIPE7 1000：PIPE8 1001：PIPE9 1010：PIPE10 1011：PIPE11 1100：PIPE12 1101：PIPE13 1110：PIPE14 1111：PIPE15	R/W

注1. “PIPESEL=0000”設定時は、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタの各ビットにすべて”0”が読み出されます。このとき、上記レジスタに対する書き込みは無効です。

(1) パイプウィンドウ選択ビット (PIPESEL)

本ビットに "0001" ～ "1111" を設定すると、本モジュールは PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタに対応する PIPE の情報、および設定値を表示します。本ビットへの PIPE 指定設定後、PIPECFG、PIPEBUF、PIPEMAXP、PIPEPERI レジスタに設定する値は、本モジュールによって対応する PIPE の転送方法に反映されます。

28.18.2　パイプコンフィグレーションレジスタ【PIPECFG】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE		-	-	-	BFRE	DBLB	CNTMD	SHT NAK	-	-	DIR	EPNUM			
0	0	X	X	X	0	0	0	0	X	X	0	0	0	0	0
-	-	X	X	X	-	-	-	-	X	X	-	-	-	-	-

Bit	Name	Function	R/W
15-14	TYPE 転送タイプ	PIPESELビットに指定したPIPE(当該PIPE)の転送タイプを指定します。 00：パイプ使用不可 01：バルク転送 10：インタラプト転送 11：アイソクロナス転送	R/W
13-11	何も配置されていません。書き込む値は常に0にしてください。		
10	BFRE BRDY割り込み動作指定	本モジュールからの当該PIPE に関するBRDY割り込みの通知タイミングを指定します。 0：データ送受信時にBRDY割り込み通知 1：データ読み出し完了時にBRDY割り込み通知	R/W
9	DBLB ダブルバッファモード	当該PIPEが使用するFIFOバッファがシングルバッファかダブルバッファかを指定します。 0：シングルバッファ 1：ダブルバッファ	R/W
8	CNTMD 連続転送モード	当該PIPEを連続転送モードで通信させるかどうかを指定します。 0：非連続転送モード 1：連続転送モード	R/W
7	SHTNAK トランスファー終了時のPIPE禁止	当該PIPEが受信方向の場合に、トランスファー終了時にPIDをNAKに変更するかどうかを指定します。 0：トランスファー終了時にPIPE継続 1：トランスファー終了時にPIPE禁止	R/W
6-5	何も配置されていません。書き込む値は常に0にしてください。		
4	DIR 転送方向	当該PIPEの転送方向を指定します。 0：受信方向 1：送信方向	R/W
3-0	EPNUM エンドポイント番号	当該PIPEのエンドポイント番号を指定します。	R/W

(1)　転送タイプビット (TYPE)

PIPESEL ビットに設定した PIPE (選択 PIPE) の USB 転送タイプを本ビットに対して設定してください。選択 PIPE と本ビットに設定可能な転送タイプの一覧を**表 28.13** に示します。

表28.13　選択PIPEとTYPEビットに設定可能な転送タイプの一覧

選択PIPE	TYPEビット	USB転送TYPE
PIPE1、またはPIPE2	"01"、または"11"	bulk転送、またはisochronous転送
PIPE3～PIPE5	"01"	bulk転送
PIPE6～PIPE8	"10"	interrupt転送
PIPE9	"10"	interrupt転送(ホストコントローラ機能選択時のみ)
	"01"	bulk転送(ファンクションコントローラ機能選択時のみ)
PIPE10	"01"、または"10"	bulk転送またはinterrupt転送 (ファンクションコントローラ機能選択時のみ)
PIPE11～PIPE15	"01"	bulk転送(ファンクションコントローラ機能選択時のみ)

"PID=BUF" に設定 (することにより選択 PIPE を使用した USB 通信を開始) する前に、必ず本ビットを "00" 以外の値に設定してください。

本ビットの変更は、選択 PIPE の PID ビットが "NAK" 状態のときに行ってください。選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(2)　BRDY 割り込み動作指定ビット (BFRE)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 の場合に有効なビットです。

本ビットに "1" を設定し、かつ、選択 PIPE を受信方向で使用している (すなわち "DIR ビット =0" に設定しているとき) 場合、本モジュールは、トランスファーの終了を検出し、そのパケットを読み出し終えたときに BRDY 割り込みを発行します。

この設定で BRDY 割り込みが発生したときには、"BCLR=1" の書き込み処理を行う必要があります。"BCLR=1" を行うまでは選択 PIPE に割り付けられた FIFO バッファは受信可能状態になりません。

本ビットに "1" を設定し、かつ、選択 PIPE の選択 PIPE を送信方向で使用している (すなわち "DIR ビット =1" に設定しているとき) 場合、本モジュールは BRDY 割り込みを発生させません。

詳細は、PIPEBRDY 割り込みレジスタを参照してください。

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM=1"、"ACLRM=0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(3)　ダブルバッファモードビット (DBLB)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 の場合に有効なビットです。PIPE9、PIPE10 においては、転送タイプを bulk に設定している場合のみ有効となります。

本ビットに "1" を設定している場合、本モジュールは選択 PIPE に対し、PIPEBUF レジスタの BUFSIZE ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

すなわち、本モジュールが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

(BUFSIZE+1)*64*(DBLB+1) [バイト]

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM=1"、"ACLRM=0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(4)　連続転送モードビット (CNTMD)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 であり、かつ、選択 PIPE の転送タイプを bulk に設定しているの場合に有効なビットです。

本ビットの設定値によって、本モジュールは選択 PIPE に割り当てられた FIFO バッファに対する送受信完了判定を**表 28.14** に示すとおりに行います。

表28.14　CNTMDビット設定値とFIFOバッファに対する送受信完了判定方法の関係

CNTMDビット設定値	読み出し可能状態、送信可能状態の判定方法
0	受信方向設定時("DIR=0")FIFOバッファ読み出し可能状態になる条件; 本モジュールが1パケット受信したとき
	送信方向設定時("DIR=1")FIFOバッファ送信可能状態になる条件; 以下(1)、(2)のいずれかを満たしたとき (1) マックスパケットサイズ分のデータをFIFOバッファに書き込んだとき (2) ショートパケット分のデータ (0バイトの場合を含む) をFIFOバッファに書き込み、"BVAL=1"を書き込んだとき
1	受信方向設定時("DIR=0")FIFOバッファ読み出し可能状態になる条件; 以下(1)～(4)のいずれかを満たしたとき (1) 選択PIPEに割り当てられたFIFOバッファに受信したデータのバイト数と、割り当てられたバイト数 ((BUFSIZE+1)*64) が等しくなったとき (2) 本モジュールがZero-Lengthパケット以外のショートパケットを受信したとき (3) 選択PIPEに割り当てられたFIFOバッファにすでにデータが格納されている状態で、本モジュールがZero-Lengthパケットを受信したとき (4) 選択PIPEに対して設定したトランザクションカウンター回数分のパケットを受信したとき
	送信方向設定時("DIR=1")FIFOバッファ送信可能状態になる条件; 以下(1)～(3)のいずれかを満たしたとき (1) 書き込んだデータ数が、選択PIPEに割り当てられたFIFOバッファサイズ1面分と等しくなったとき (2) 選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 (0バイトの場合を含む) をFIFOバッファに書き込み、"BVAL=1"を書き込んだとき (3) DMA転送終了サンプリング許可ビット(TENDE)を1に設定しDMA転送で選択PIPEに割り当てられたFIFOバッファサイズ1面分よりも小さいデータ数 (0バイトの場合を含む) をFIFOバッファに書き込み、最後の書き込み時にDMA転送終了信号を受け付けたとき

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM=1"、"ACLRM=0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(5)　トランスファー終了時の PIPE 禁止ビット (SHTNAK)

本ビットは、選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 であり、かつ、受信方向である場合に有効なビットです。

受信方向 PIPE に対して本ビットに "1" を設定している場合、本モジュールは、選択 PIPE に対しトランスファーの終了を判定したときに選択 PIPE に対応する PID ビットを "NAK" に変更します。本モジュールは、以下 (1) または (2) の条件が満たされたときにトランスファー終了と判定します。

(1) ショートパケットデータ (Zero-Length パケットを含む) を正常に受信したとき。

(2) トランザクションカウンタを使用し、トランザクションカウンタ分のパケットを正常受信したとき。

本ビットの変更は、"CSSTS=0"、および "PID=NAK" の状態のときに実施してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

送信方向 PIPE に対しては、本ビットを "0" に設定してください。

(6)　転送方向ビット (DIR)

本ビットに "0" を設定している場合、本モジュールは選択 PIPE を受信方向に、本ビットに "1" を設定している場合、本モジュールは選択 PIPE を送信方向に使用します。

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

また、選択 PIPE を使用した USB 通信を行った後、本ビットの設定を変更する場合には、上記 3 つのレジスタの状態に加え、"ACLRM=1"、"ACLRM=0" を連続して書き込み、選択 PIPE に割り付けられた FIFO バッファのクリアを実行してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(7)　エンドポイント番号ビット (EPNUM)

本ビットに選択 PIPE に対するエンドポイント番号を設定してください。

ただし、"0000" の設定は、未使用 PIPE を意味します。

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに PIPE 未設定、の状態のときに実施してください。

選択 PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

DIR ビットと EPNUM ビットの設定の組み合わせが他の PIPE 設定と重複しないようにして設定してください。

("EPNUM=000" (選択 PIPE は未使用) の設定は重複可能です)

28.18.3　パイプバッファ指定レジスタ【PIPEBUF】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	BUFSIZE					-	-	BUFNMB							
X	0	0	0	0	0	X	X	0	0	0	0	0	0	0	0
X	-	-	-	-	-	X	X	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15	何も配置されていません。書き込む値は常に0にしてください。		
14-10	BUFSIZE バッファサイズ	PIPESELビットに指定したPIPE(当該PIPE)のFIFOバッファサイズを指定します。 H'00：64バイト H'01：128バイト ... H'1F：2Kバイト	R/W
9-8	何も配置されていません。書き込む値は常に0にしてください。		
7-0	BUFNMB バッファ番号	当該PIPE のFIFOバッファ番号を指定します。 （H'04 - H'7F）	R/W

注1.　本レジスタの各ビットの変更は、"CSSTS=0"、"PID=NAK"、およびCURPIPEビットにPIPE未設定、の状態のときに実施してください。

注2.　選択PIPEのPIDビットを"BUF"から"NAK"へ変更してから本ビットを変更する場合には、"CSSTS=0"および"PBUSY=0"を確認してから本ビットを変更してください。ただし、本モジュールがPIDビットを"NAK"に変更した場合には、PBUSYビットの確認は必要ありません。

(1)　バッファサイズビット (BUFSIZE)

当該 PIPE に割り付ける FIFO バッファサイズを、本ビットに指定してください。

単位はブロック数であり、1 ブロックは 64 バイトです。

"DBLB=1" を設定している場合、本モジュールは選択 PIPE に対し、本ビットで指定した FIFO バッファサイズを 2 面分割り当てます。

本モジュールが選択 PIPE に対して割り当てる FIFO バッファの容量は以下のとおりです。

(BUFSIZE+1)*64*(DBLB+1) [バイト]

本ビットへは以下の範囲の値を設定してください。

(1) 選択 PIPE が PIPE1 ～ PIPE5、PIPE9 ～ PIPE15 の場合 ; H'00 から H'1F の値を設定可能です。

(2) 選択 PIPE が PIPE6 ～ PIPE8 の場合 ; H'00 のみを設定可能です。

"CNTMD=1" で使用する場合には、BUFSIZE ビットには MaxPacketSize の整数倍の値を設定してください。

(2) バッファ番号ビット (BUFNMB)

当該 PIPE に割り付ける FIFO バッファのうち、先頭のブロック番号を指定してください。
本モジュールが選択 PIPE に対して割り当てる FIFO バッファのブロックは以下のとおりです。
ブロック番号 :BUFNMB ～ブロック番号 :BUFNMB+(BUFSIZE+1)*(DBLB+1)-1

本ビットへは H'04 ～ H'7F の範囲で設定し、以下の条件を守ってください。
H'00 は DCP 専用です。
H'04 は PIPE6 専用です。ただし PIPE6 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE6 の場合、本ビットへの書き込みは無効です。本モジュールは PIPE6 に対し "BUFNMB=H'04" を自動的に割り付けます。
H'05 は PIPE7 専用です。ただし PIPE7 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE7 の場合、本ビットへの書き込みは無効です。本モジュールは PIPE7 に対し "BUFNMB=H'05" を自動的に割り付けます。
H'06 は PIPE8 専用です。ただし PIPE8 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE8 の場合、本ビットへの書き込みは無効です。本モジュールは PIPE8 に対し "BUFNMB=H'06" を自動的に割り付けます。
H'07 は PIPE9 専用です。ただし PIPE9 を使用しない場合は他の PIPE で使用可能です。また選択 PIPE が PIPE9 の場合、本ビットへの書き込みは有効です。本モジュールは PIPE9 に対し "BUFNMB=H'07" を初期値として割り付けます。

28.18.4　パイプマックスパケットサイズレジスタ【PIPEMAXP】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEVSEL				-	MXPS										
0	0	0	0	X	0	0	0	0	0(1)(注1)	0	0	0	0	0	0
-	-	-	-	X	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15-12	DEVSEL デバイス選択	ホストコントローラ機能選択時に周辺デバイスのデバイスアドレスを指定します。 0000：アドレス"0000" 0001：アドレス"0001" ... 1001：アドレス"1001" 1010：アドレス"1010" 1011 – 1111：設定禁止	R/W
11	何も配置されていません。書き込む値は常に0にしてください。		
10-0	MXPS マックスパケットサイズ	当該パイプの最大データペイロード(マックスパケットサイズ)を指定します。 PIPE6 - 8はH'001 – H'040バイトまで設定可能です。	R/W

注1.　MXPSビットの初期値は、PIPESELレジスタのPIPESELビットでパイプを選択していないときは"H'000"、パイプを選択しているときは"H'040"です。

(1)　デバイス選択ビット (DEVSEL)

ホストコントローラ機能選択時に、通信相手の USB デバイスアドレスを本ビットに設定してください。

本ビットの設定値に対応する DEVADDn レジスタの設定を行ったあとで、本ビットを設定してください。

例えば、"DEVSEL=0010" を設定する場合、DEVADD2 レジスタの設定を行ってください。

本ビットの設定は、"CSSTS=0"、"PID=NAK" の期間に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

ファンクションコントローラ機能選択時には、本ビットへは "0000" を設定してください。

(2)　マックスパケットサイズビット (MXPS)

選択 PIPE の最大データペイロード (マックスパケットサイズ) を本ビットに設定してください。

PIPE1,2 に対しては 1 バイト (H'001) ～ 1024 バイト (H'400) の値を設定可能です。

PIPE3 ～ 5 に対しては 8 バイト (H'008) 、16 バイト (H'010)、32 バイト (H'020)、64 バイト (H'040)、512 バイト (H'200) の値を設定可能です。([2:0] のビットはありません。)

PIPE6 ～ 8 に対しては 1 バイト (H'001) ～ 64 バイト (H'040) の値を設定可能です。

PIPE9 に対しては、ホストコントローラ機能選択時は 1 バイト (H'001) ～ 64 バイト (H'040) の値を設定可能です。ファンクションコントローラ機能選択時は 8 バイト (H'008) 、16 バイト (H'010)、32 バイト (H'020)、64 バイト (H'040)、512 バイト (H'200) の値を設定可能です。([2:0] のビットはありません。)

PIPE10 ～ 15 に対しては 8 バイト (H'008) 、16 バイト (H'010)、32 バイト (H'020)、64 バイト (H'040)、512 バイト (H'200) の値を設定可能です。([2:0] のビットはありません。)

MXPS ビットの設定は、転送タイプごとに USB 規格に準拠した値を設定してください。

Isochronous-PIPE を Split-Transaction で通信する場合には、MXPS ビットには 188 バイト以下の値を設定してください。

MXPS ビットの設定は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

"MXPS=0" の設定での FIFO バッファへの書き込み、または "PID=BUF" の設定は行わないでください。

28.18.5　パイプ周期制御レジスタ【PIPEPERI】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	IFIS	-	-	-	-	-	-	-	-	-	IITV		
X	X	X	0	X	X	X	X	X	X	X	X	X	0	0	0
X	X	X	-	X	X	X	X	X	X	X	X	X	-	-	-

Bit	Name	Function	R/W
15-13	何も配置されていません。書き込む値は常に0にしてください。		
12	IFIS アイソクロナスINバッファフラッシュ	PIPESELビットに指定したPIPE(当該PIPE)がアイソクロナスIN転送の場合に、バッファフラッシュ有無を指定します。 0：バッファフラッシュしない 1：バッファフラッシュする	R/W
11-3	何も配置されていません。書き込む値は常に0にしてください。		
2-0	IITV インターバルエラー検出間隔	当該PIPEの転送インターバルタイミングをフレームタイミングの2のn乗で指定します。	R/W

(1)　アイソクロナス IN バッファフラッシュビット (IFIS)

ファンクションコントローラ機能選択時に、選択 PIPE の転送 TYPE が Isochronous、かつ転送方向が IN 転送の場合において、IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に USB HOST から IN-Token を本モジュールが受信しなかった場合に、本モジュールが自動的に FIFO バッファをクリアする機能です。

ダブルバッファ設定時 ("DBLB=1" 設定時) は、本モジュールがクリアするのは古い方の 1 面分データのみです。

FIFO バッファクリアのタイミングは、IN-Token を受信するはずの (マイクロ) フレーム直後の SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングにクリアを行います。

ホストコントローラ機能選択時には、本ビットへは "0" を設定してください。

選択 PIPE の転送 TYPE が Isochronous 以外の場合は、本ビットへは "0" を設定してください。

(2)　インターバルエラー検出間隔ビット (IITV)

本ビットにインターバルエラー検出間隔をフレームタイミングの 2 の n 乗で指定してください。

詳細機能は、後述のようにホストコントローラ機能選択時とファンクションコントローラ機能選択時で異なります。

本ビットの設定は、"CSSTS=0"、"PID=NAK"、および CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

本ビットを設定し、USB 通信を行った後で別の値に変更する場合には、"PID=NAK" 設定後 "ACLRM=1" をセットし、Interval タイマの初期化を行ってください。

PIPE3 ～ 5、10 ～ 15 に対しては、本ビットは存在しません。PIPE3 ～ 5、10 ～ 15 に対応する本ビットの位置には "0" を設定してください。

(a)　ホストコントローラ機能選択時

選択 PIPE の転送 TYPE が Isochronous、または Interrupt の場合に、本ビットへの設定が可能です。本ビットの設定値に従って本モジュールは Token 発行間隔を制御します。本モジュールは 2^IITV 回の (マイクロ) フレームに 1 回の間隔で選択 PIPE に対する Token を発行します。

本モジュールは、High-Speed HUB に接続された Full-Speed/Low-Speed Peripheral デバイスとの通信に使用する PIPE に対しては、1ms フレームでインターバルをカウントします。

本モジュールは、PID ビットを "BUF" に設定した次の (マイクロ) フレームから Token 発行間隔のカウントを開始します。

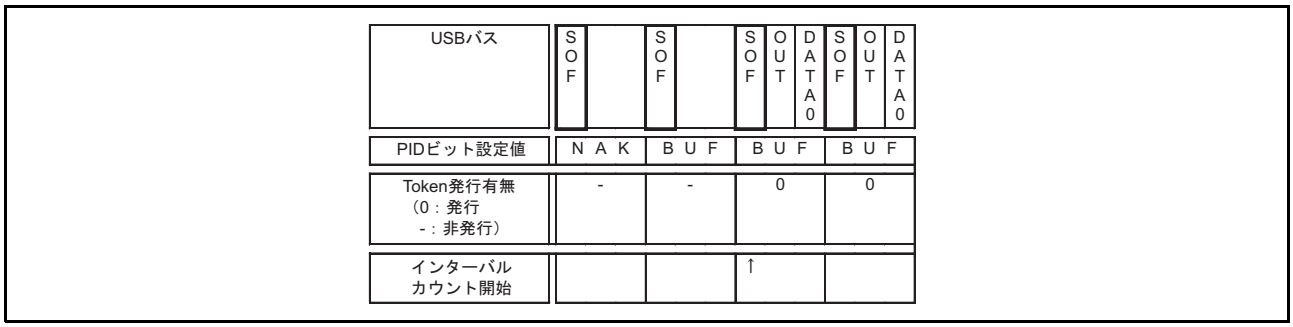


図 28.1　"IITV=0" の場合の Token 発行有無

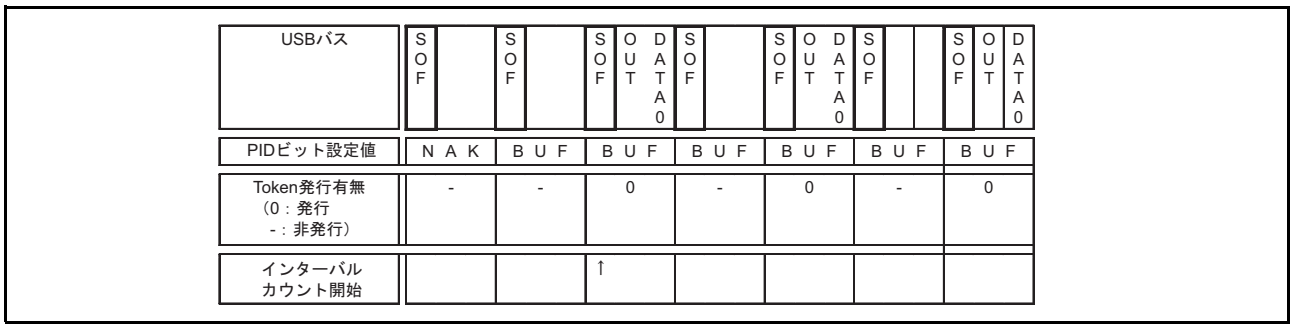


図 28.2　"IITV=1" の場合の Token 発行有無

選択 PIPE の転送 TYPE が Isochronous の場合には、本モジュールは Token 発行間隔の制御に付随して以下の動作を行います。転送 TYPE が Isochronous の場合、NRDY 割り込み発生条件を満たした場合でも本モジュールは Token を発行します。

(1) 選択 PIPE が Isochronous-IN 転送 PIPE の場合
In-Token を発行し、Peripheral デバイスから正常にパケットを受信しなかった場合 (無応答やパケットエラー等の場合) に、NRDY 割り込みを発生させます。
FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために、本モジュールがデータを受信できない状態で、IN-Token 発行タイミングに至った場合、本コントローラーは OVRN ビットに "1" を表示し、NRDY 割り込みを発生させます。

(2) 選択 PIPE が Isochronous-OUT 転送 PIPE の場合
FIFO バッファにデータを書き込むのが遅いなどの原因で送信可能なデータが FIFO バッファに無い状態で OUT-TOKEN 発行タイミングに至った場合、本モジュールは OVRN ビットに "1" を表示し、NRDY 割り込みを発生させ、Zero-Length パケットを送信します。

Token 発行間隔のリセット条件は以下 (1) または (2) の場合です。

(1) 本モジュールがパワーオンリセットされた場合 (このとき、IITV ビットへの設定値も "0" にクリアされます。)

(2) "ACLRM=1" を設定した場合。

(b)　ファンクションコントローラ機能選択時

選択 PIPE の転送 TYPE が Isochronous の場合に、本ビットへの設定が可能です。

(1) 選択 PIPE が Isochronous-OUT 転送 PIPE の場合

IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に DATA パケットを受信しなかったとき、本コントローラーは NRDY 割り込みを発生させます。
DATA パケットに CRC エラー等のエラーが発生したために受信できなかったとき、または FIFO バッファからデータを読み出すのが遅いなどの原因で FIFO バッファがフルのために本モジュールがデータを受信できなかったときにも NRDY 割り込みを発生させます。

NRDY 割り込みの発生のタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに割り込みを発生させます。
ただし "IITV=0" 以外のときには、インターバルのカウント開始後のインターバルごとの SOF パケット受信時に NRDY 割込みを発生させます。

インターバルタイマ起動後、PID ビットを "NAK" に設定した場合、本モジュールは SOF パケットを受信しても NRDY 割込みを発生させません。

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。

(a) "IITV=0" のとき : 選択 PIPE の PID ビットを "BUF" に変更した次の (マイクロ) フレームからインターバルのカウントを開始します。

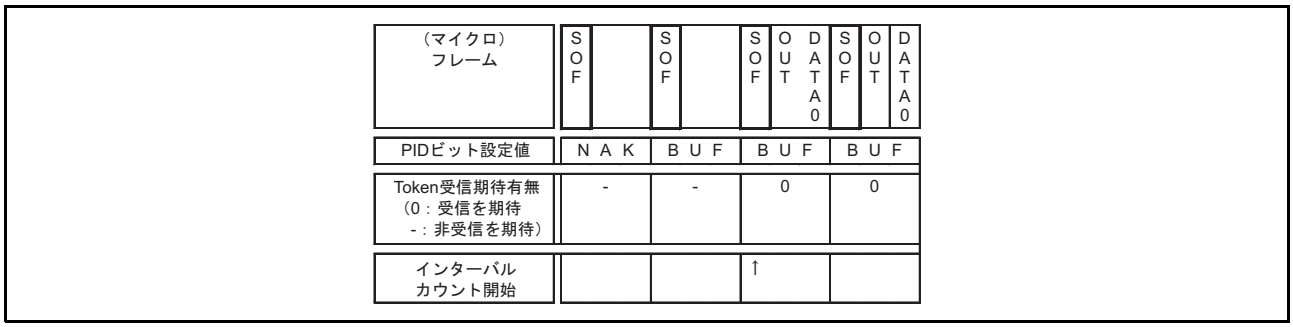


図 28.3　"IITV=0" の場合の (マイクロ) フレームと Token 受信期待有無の関係

(b) "IITV=0" 以外のとき : 選択 PIPE の PID ビットを "BUF" に変更した後最初の DATA パケット正常受信完了時点からインターバルのカウントを開始します。

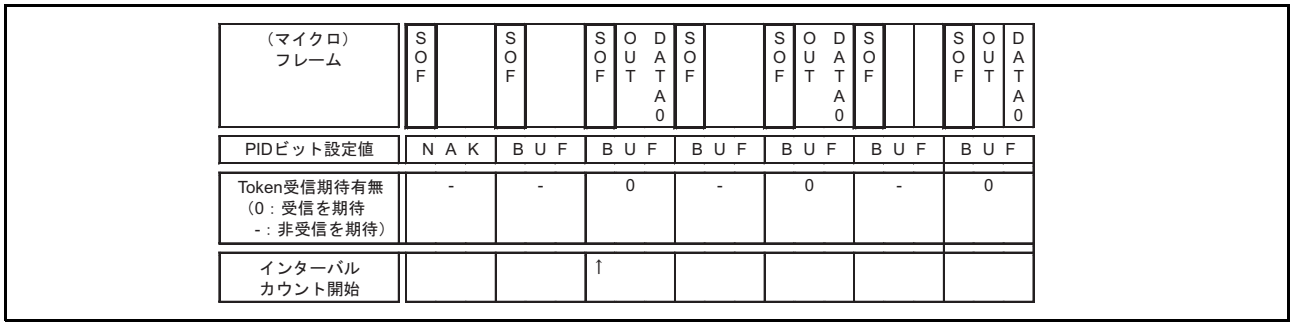


図 28.4　“IITV=1" の場合の (マイクロ) フレームと Token 受信期待有無の関係

(2) 選択 PIPE が Isochronous-IN 転送 PIPE の場合

"IFIS="1" と組み合わせて使用します。"IFIS=0" の場合には IITV ビットへの設定値とは関係なく、受信した Token に応答してデータパケットを送信します。

"IFIS=1" を設定している場合、FIFO バッファに送信可能なデータが存在している状態で、IITV ビットに設定した Interval ごとの (マイクロ) フレーム中に IN-Token を受信しなかったとき、本モジュールは FIFO バッファをクリアします。
IN-Token に CRC エラー等のバスエラーが発生したために本モジュールが正常受信できなかった場合にもクリアを行います。
FIFO バッファクリアのタイミングは、SOF パケット受信時です。また SOF パケットが破損した場合でも内部補間機能により SOF を受信すべきタイミングに FIFO バッファクリアを行います

インターバルのカウント開始条件は、IITV ビットの設定値により異なります。(OUT 時と同様です)

ファンクションコントローラ機能選択時のインターバルカウントのクリア条件は以下 (1)、(2) または (3) の場合です。
(1) パワーオンリセットされた場合 (このとき、IITV ビットへの設定値も "0" にクリアされます。)
(2) "ACLRM=1" を設定した場合。
(3) 本モジュールが USB バスリセットを検出した場合

28.19 パイプコントロールレジスタ

28.19.1 PIPEn コントロールレジスタ【PIPEnCTR】（n ＝ 1 ～ 5、9、A ～ F）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	IN BUFM	CSCLR	CSSTS	-	AT REPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	-	-	-	PID	
0	0	0	0	X	0	0	0	0	0	0	X	X	X	0	0
-	-	-	-	X	-	-	-	-	-	-	X	X	X	0	0

Bit	Name	Function	R/W
15	BSTS バッファステータス	当該PIPEのFIFOバッファステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R
14	INBUFM 送信バッファモニタ	当該PIPEが送信方向の場合に、当該PIPEのFIFOバッファステータスが表示されます。 0：FIFOバッファに送信可能データなし 1：FIFOバッファに送信可能データあり	R
13	CSCLR CSPLITステータスクリアビット	当該PIPEのCSSTSビットをクリアする場合にCSCLR=1を設定します。 0：書き込み無効 1：CSSTSビットをクリア	R/ W(1)
12	CSSTS CSSTSステータスビット	当該PIPEのSplit TransactionのCSPLITステータスが表示されます。 0：SSplit Transaction処理中、またはSplit Transaction未使用転送である 1：CSplit Transaction処理中	R
11	何も配置されていません。書き込む値は常に0にしてください。		
10	ATREPM 自動応答モード	当該PIPEの自動応答禁止/許可を指定します。 0：自動応答禁止 1：自動応答許可(送信時Zero-length Packet応答、受信時NAK応答しNRDY割り込み発生)	R/W
9	ACLRM 自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止/許可を指定します。 0：禁止 1：許可（全バッファ初期化）	R/ W
8	SQCLR トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに"1"を指定します。 0：書き込み無効 1：DATA0指定	R(0)/ W(1)
7	SQSET トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに"1"を指定します。 0：書き込み無効 1：DATA1指定	R(0)/ W(1)
6	SQMON トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R
5	PBUSY PIPEビジー	当該PIPEを現在トランザクションで使用中かどうかが表示されます。 0：当該PIPEはトランザクションで未使用 1：当該PIPEはトランザクションで使用	R
4-2	何も配置されていません。書き込む値は常に0にしてください。		
1-0	PID 応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W

(1) バッファステータスビット (BSTS)

当該 PIPE に割り付けた FIFO バッファへの CPU からのアクセスが可能かどうかを、本モジュールが表示するビットです。

本ビットの意味は、DIR ビット、BFRE ビットおよび DCLRM ビットの設定値により以下のように異なります。

表 28.15　BSTS ビットの動作

DIR ビット設定値	BFRE ビット設定値	DCLRM ビット設定値	BSTS ビットの意味
0	0	0	"FIFO バッファからの受信データの読み出しが可能になったとき"に"1"を表示し、データの読み出しが完了したときに"0"を表示します。
		1	この組み合わせは設定禁止です。
	1	0	"FIFO バッファからの受信データの読み出しが可能になったとき"に"1"を表示し、データの読み出しが完了した後で"BCLR=1"を書き込んだときに"0"を表示します。
		1	"FIFO バッファからの受信データの読み出しが可能になったとき"に"1"を表示し、データの読み出しが完了したときに"0"を表示します。
1	0	0	"FIFO バッファへの送信データの書き込みが可能になったとき"に"1"を表示し、データの書き込みが完了したときに"0"を表示します。
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

(2) 送信バッファモニタビット (INBUFM)

当該 PIPE を送信方向 ("DIR=1") に設定している場合に、少なくとも 1 面分のデータを FIFO バッファに書き込み完了したときに、本モジュールは本ビットに "1" を表示します。

書き込みが完了している面の FIFO バッファ上のデータを本モジュールがすべて送信完了したときに、本モジュールは本ビットに "0" を表示します。ダブルバッファ使用時 ("DBLB=1" 設定時) には、本モジュールが 2 面分のデータを送信完了しかつ 1 面分のデータ書き込みを完了していないときに、本ビットに "0" を表示します。

当該 PIPE を受信方向 ("DIR=0") に設定している場合には、本ビットは BSTS ビットと同じ値を示します。

(3) Split Transaction の CSPLIT ステータスクリアビット (CSCLR)

ホストコントローラ機能選択時に、本ビットに "1" を設定すると本モジュールは CSSTS ビットを "0" にクリアします。

Split Transaction を使用する転送において、強制的に次回の転送を S-Split から再開させたいときに、本ビットに "1" を設定してください。正常な Split Transaction では、C-Split 終了時に本モジュールが自動的に CSSTS ビットを "0" にクリアしますので、クリア処理は不要です。

本ビットによる CSSTS ビットの制御は、"UACT=0" による通信停止時、またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。

"CSSTS=0" のときに本ビットに "1" を設定しても、"CSSTS=0" ままです。

ファンクションコントローラ機能選択時には、本ビットへは必ず "0" を書き込んでください。

(4)　Split Transaction の CSPLIT ステータスビット (CSSTS)

ホストコントローラ機能選択時に、本モジュールは Split Transaction の C-Split のステータスを本ビットに表示します。

本モジュールは、C-Split 開始時に本ビットに "1" を表示し、C-Split 終了を検出したときに本ビットに "0" を表示します。

なお、C-Split 処理中にデタッチした場合、本ビットは “1” のままとなる場合があります。この場合 (DTCH=“1” 検出時)、CSCLR ビットにて本ビットのステータスクリアを実施してください。

本ビットの表示は、ホストコントローラ機能選択時のみ有効な値を示します。

(5)　自動応答モードビット (ATREPM)

ファンクションコントローラ機能選択時に、当該 PIPE の転送 TYPE を "Bulk" に設定している場合、本ビットへの "1" 設定が可能です。

本ビットに "1" を設定した場合、USB HOST からの Token に対し本モジュールは以下のように応答します。

(1) 当該 PIPE が Bulk-IN 転送 ("TYPE=01" かつ "DIR=1" を設定) の場合
"ATREPM=1" かつ "PID=BUF" を設定している場合、IN-Token に対して本モジュールは Zero-Length パケットを送信します。
USB Host からの ACK 受信の度に (1 トランザクションは IN-Token 受信→ Zero Length パケット送信 → ACK 受信) 、本モジュールはシーケンストグルビット (DATA-PID) の更新 (トグル) を行います。
BRDY 割り込み、BEMP 割り込みは発生させません。

(2) 当該 PIPE が Bulk-OUT 転送 ("TYPE=01" かつ "DIR=0" を設定) の場合
"ATREPM=1" かつ "PID=BUF" を設定している場合、OUT-Token (または PING-Token) に対して本コントローラーは NAK 応答を行い、NRDY 割り込みを発生させます。

本ビットの変更は、"CSSTS=0" かつ "PID=NAK" 設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

本ビットを "1" に設定して USB 通信を行う場合、FIFO バッファは必ず空の状態で設定を行ってください。本ビットを "1" に設定して USB 通信を行っている期間は FIFO バッファへの書き込みを行わないでください。

当該 PIPE の転送 TYPE が Isochronous 転送の場合、本ビットには必ず "0" を設定してください。

ホストコントローラ機能選択時には、本ビットへは必ず "0" を書き込んでください。

(6)　自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに "1"、"0" を連続して書き込んでください。

本ビットに "1"、"0" を連続して設定した場合に本モジュールがクリアする内容を**表 28.16** に示します。

また、この処理が必要なケースを**表 28.17** に示します。

表 28.16　"ACLRM=1" 設定時に本モジュールがクリアされる内容

番号	ACLRM ビット操作によるクリア内容
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容 (ダブルバッファ設定時は FIFO バッファを 2 面ともクリア)
(2)	当該 PIPE の転送 TYPE が Isochronous 転送の場合、インターバルカウント値

表 28.17　"ACLRM=1" 設定が必要なケース

番号	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットの設定値変更時
(4)	DBLB ビットの設定値変更時
(5)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および当該 PIPE を CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(7)　シーケンストグルビットのクリアビット (SQCLR)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA0 に設定します。本モジュールは、常に本ビットに "0" を表示します。

ホストコントローラ機能選択時、Bulk-Out 転送 PIPE に対して本ビットに "1" を設定すると、本モジュールは当該 PIPE の次回転送を PING-token から開始します。

SQCLR ビットへの "1" 設定は、"CSSTS=0"、かつ "PID=NAK" に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(8)　シーケンストグルビットのセットビット (SQSET)

本ビットに "1" を設定すると本モジュールは当該 PIPE のシーケンストグルビットの期待値を DATA1 に設定します。本モジュールは、常に本ビットに "0" を表示します。

SQSET ビットへの "1" 設定は、"CSSTS=0"、かつ "PID=NAK" 設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットに "1" を設定する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(9)　シーケンストグルビットのモニタービット (SQMON)

本モジュールは当該 PIPE のシーケンストグルビットの期待値を本ビットに表示します。

当該 PIPE の転送 TYPE が Isochronous 転送以外の場合、トランザクションが正常処理すると本モジュールは本ビットをトグルさせます。ただし、受信方向転送時の DATA-PID ミスマッチ発生時には、本ビットをトグルさせません。

(10) PIPE ビジービット (PBUSY)

本モジュールは、当該 PIPE の USB トランザクションを開始したときに本ビットを "0" から "1" に変更します。ひとつのトランザクションが正常終了したときに本ビットを "1" から "0" に変更します。

"PID=NAK" を設定した後、本ビットを読み出すことにより、PIPE 設定変更が可能になったかどうかを確認することができます。

(11) 応答 PID ビット (PID)

本ビットに対し、各 PIPE における本モジュールの応答を設定してください。

本ビットのデフォルト値は "NAK" です。当該 PIPE で USB 転送を行う場合には本ビットを "BUF" に変更してください。PID ビットの設定値ごとの本モジュールの基本動作 (通信パケットにエラーがない場合の動作) は**表 28.18**、および**表 28.19** のとおりです。

当該 PIPE が USB 通信中であるときに、本ビットを "BUF" から "NAK" に変更する場合、"NAK" を書き込んだ後、実際に当該 PIPE の USB 転送が "NAK" 状態に遷移したことを確認するために "PBUSY=0" であることを確認してください。ただし、本モジュールが本ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

本モジュールが当該 PIPE において Split トランザクションの S-Split 発行後 (CSSTS="1" 表示中) に本ビットを "NAK" に変更しても、C-Split 終了までトランザクションを実行します。

以下の場合には本モジュールが本ビットの値を変更します。

(1) 当該 PIPE が受信方向の場合、かつ当該 PIPE の SHTNAK ビットに "1" を設定している場合、本コントローラーがトランスファー終了を認識したときに、"PID=NAK" を表示します。

(2) 当該 PIPE に対し、MaxPacketSize を超えるペイロードのデータパケットを受信した場合、本モジュールは "PID=STALL(11)" を表示します。

(3) ファンクションコントローラ機能選択時に、USB バスリセットを検出した場合、本モジュールは "PID=NAK" を表示します。

(4) ホストコントローラ機能選択時に、CRC エラーなどの受信エラーを 3 回連続で検出した場合には、本モジュールは "PID=NAK" を表示します。

(5) ホストコントローラ機能選択時に、STALL ハンドシェイクを受信した場合、本モジュールは "PID=STALL(11)" を表示します。

"PID=NAK("00")" の状態から "PID=STALL" 状態にする場合には、"10" を書き込んでください。

BUF("01") 状態から STALL 状態にする場合には、"11" を書き込んでください。

STALL("11") から NAK 状態にする場合には、一旦 "10" を書き込んでから "00" を書き込んでください。

STALL 状態から BUF 状態に変更する場合は、一旦 NAK 状態に変更し、その後、BUF 状態に変更してください。

表28.18　PIDビットによる本モジュールの動作一覧 (ホストコントローラ機能選択時)

PIDビット設定値	転送TYPE (TYPEビット設定値)	転送方向 (DIRビット設定値)	本モジュールの動作
"00 (NAK)"	設定値に依存しない	設定値に依存しない	トークンを発行しない
"01 (BUF)"	Bulk ("TYPE=01")、または Interrupt ("TYPE=10")	設定値に依存しない	"UACT=1"が設定されて、かつ当該PIPEに対応するFIFOバッファが送受信可能な状態ならばトークンを発行する。"UACT=0"が設定される、または送受信可能でなければトークンを発行しない。
	Isochronous ("TYPE=11")	設定値に依存しない	"UACT=1"が設定されていれば、当該 PIPE に対応するFIFO バッファの状態にかかわらずToken を発行する。"UACT=0"が設定されていればトークンを発行しない。
"10 (STALL)"、または "11 (STALL)"	設定値に依存しない	設定値に依存しない	トークンを発行しない

表28.19　PIDビットによる本モジュールの動作一覧 (ファンクションコントローラ機能選択時)

PIDビット設定値	転送TYPE (TYPEビット設定値)	転送方向 (DIRビット設定値)	本モジュールの動作
"00 (NAK)"	Bulk("TYPE=01")、または Interrupt ("TYPE=10")	設定値に依存しない	USB HostからのTokenにNAK応答を行う
	Isochronous ("TYPE=11")	受信方向 ("DIR=0")	USB Hostからの Tokenに無応答を行う
		送信方向 ("DIR=1")	USB Hostからの Tokenに対しZero-Lengthパケットを送信する。
"01 (BUF)"	Bulk("TYPE=01")	受信方向 ("DIR=0")	USB Host からのOUT Token に対し、当該PIPE に対応するFIFO バッファが受信可能な状態ならばデータを受信しACKまたはNYET 応答を行う。受信可能な状態でなければNAK 応答を行う USB Host からのPING Token に対し、当該PIPE に対応するFIFO バッファが受信可能な状態ならばACK応答を行う。受信可能な状態でなければNAK 応答を行う
	Interrupt ("TYPE=10")	受信方向 ("DIR=0")	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	Bulk("TYPE=01")、または Interrupt ("TYPE=10")	送信方向 ("DIR=1")	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければNAK応答を行う。
	Isochronous ("TYPE=11")	受信方向 ("DIR=0")	USB HostからのOUT Tokenに対し、当該PIPEに対応するFIFOバッファが受信可能な状態ならばデータを受信する。受信可能な状態でなければデータを破棄する。
		送信方向 ("DIR=1")	対応するFIFOバッファが送信可能な状態ならばUSB HostからのTokenに対しデータを送信する。送信可能でなければZero-Lengthパケットを送信する。
"10 (STALL)"、または "11 (STALL)"	Bulk("TYPE=01")、または Interrupt ("TYPE=10")	設定値に依存しない	USB HostからのTokenにSTALL応答を行う
	Isochronous ("TYPE=11")	設定値に依存しない	USB Hostからの Tokenに無応答を行う

28.19.2　PIPEn コントロールレジスタ【PIPEnCTR】（n ＝ 6 ～ 8）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BSTS	-	CSCLR	CSSTS	-	-	ACLRM	SQCLR	SQSET	SQMON	PBUSY	-	-	-	PID	
0	X	0	0	?	?	0	0	0	0	0	X	X	X	0	0
-	X	-	-	?	?	-	-	-	-	-	X	X	X	0	0

Bit	Name	Function	R/W
15	BSTS バッファステータス	当該PIPEのFIFOバッファステータスが表示されます。 0：バッファアクセス不可 1：バッファアクセス可	R
14	何も配置されていません。書き込む値は常に0にしてください。		
13	CSCLR CSPLITステータスクリアビット	当該PIPEのCSSTSビットをクリアする場合に、CSCLR=1を設定します。 0：書き込み無効 1：CSSTSビットをクリア	R/W(1)
12	CSSTS CSSTSステータスビット	当該PIPEのSplit TransactionのCSPLITステータスが表示されます。 0：SSplit Transaction処理中、またはSplit Transaction未使用転送である 1：CSplit Transaction処理中	R
11-10	何も配置されていません。書き込む値は常に0にしてください。		
9	ACLRM 自動バッファクリアモード	当該PIPEの自動バッファクリアモードの禁止/許可を指定します。 0：自動バッファクリアモード禁止 1：自動バッファクリアモード許可（全バッファ初期化）	R/ W
8	SQCLR トグルビットクリア	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA0にクリアするときに"1"を指定します。 0：書き込み無効 1：DATA0指定	R(0)/W(1)
7	SQSET トグルビットセット	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値をDATA1にセットするときに"1"を指定します。 0：書き込み無効 1：DATA1指定	R(0)/W(1)
6	SQMON トグルビット確認	当該PIPEの次回トランザクションにおけるシーケンストグルビットの期待値が表示されます。 0：DATA0 1：DATA1	R
5	PBUSY PIPEビジー	当該PIPEを現在トランザクションで使用中かどうかが表示されます。 0：当該PIPEはトランザクションで未使用 1：当該PIPEはトランザクションで使用	R
4-2	何も配置されていません。書き込む値は常に0にしてください。		
1-0	PID 応答PID	当該PIPEの次回トランザクションにおける応答方法を指定します。 00：NAK応答 01：BUF応答（バッファ状態に従う） 10：STALL応答 11：STALL応答	R/W

(1)　バッファステータスビット (BSTS)

「28.19.1 (1)　バッファステータスビット (BSTS)」を参照ください。

(2)　Split Transaction の CSPLIT ステータスクリアビット (CSCLR)

「28.19.1 (3)　Split Transaction の CSPLIT ステータスクリアビット (CSCLR)」を参照ください。

(3)　Split Transaction の CSPLIT ステータスビット (CSSTS)

「28.19.1 (4)　Split Transaction の CSPLIT ステータスビット (CSSTS)」を参照ください。

(4)　自動バッファクリアモードビット (ACLRM)

当該 PIPE に割り付けた FIFO バッファの内容をすべてクリアしたい場合に、ACLRM ビットに "1"、"0" を連続して書き込んでください。

本ビットに "1"、"0" を連続して設定した場合に本モジュールがクリアする内容を**表 28.20** に示します。また、当該項目のクリアが必要なケースについて**表 28.21** に示します。

表 28.20　"ACLRM=1" 設定時に本モジュールがクリアされる内容

番号	ACLRM ビット操作によるクリア内容
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容
(2)	ホストコントローラ機能選択時のインターバルカウント値

表 28.21　"ACLRM=1" 設定が必要なケース

番号	クリアが必要なケース
(1)	当該 PIPE に割り付けた FIFO バッファのすべての内容をクリアしたい場合
(2)	インターバルカウント値のリセットを行いたい場合
(3)	BFRE ビットの設定値変更時
(4)	トランザクションカウント機能の強制終了実行時

本ビットの変更は、"CSSTS=0"、"PID=NAK"、および当該 PIPE を CURPIPE ビットに未設定時に実施してください。

対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

(5)　シーケンストグルビットのクリアビット (SQCLR)

「28.19.1 (7)　シーケンストグルビットのクリアビット (SQCLR)」を参照ください。

(6)　シーケンストグルビットのセットビット (SQSET)

「28.19.1 (8)　シーケンストグルビットのセットビット (SQSET)」を参照ください。

(7)　シーケンストグルビットのモニタービット (SQMON)

「28.19.1 (9)　シーケンストグルビットのモニタービット (SQMON)」を参照ください。

(8)　PIPE ビジービット (PBUSY)

「28.19.1 (10)　PIPE ビジービット (PBUSY)」を参照ください。

(9)　応答 PID ビット (PID)

「28.19.1 (11)　応答 PID ビット (PID)」を参照ください。

28.20　トランザクションカウンタ

28.20.1　PIPEn トランザクションカウンタ許可レジスタ【PIPEnTRE】（n ＝ 1 ～ 5、9、A ～ F）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	TRENB	TRCLR	-	-	-	-	-	-	-	-
X	X	X	X	X	X	0	0	X	X	X	X	X	X	X	X
X	X	X	X	X	X	-	-	X	X	X	X	X	X	X	X

Bit	Name	Function	R/W
15-10	何も配置されていません。書き込む値は常に0にしてください。		
9	TRENB トランザクションカウンタ許可	トランザクションカウンタ無効/有効を指定します。 0：トランザクションカウンタ機能無効 1：トランザクションカウンタ機能有効	R/W
8	TRCLR トランザクションカウンタクリア	本ビットに"1"を設定することによりトランザクションカウンタを0にクリアすることができます。 0：無効 1：カレントカウンタクリア	R(0)/W(1)
7-0	何も配置されていません。書き込む値は常に0にしてください。		

注.　本レジスタの各ビットの変更は、"CSSTS=0"かつ"PID=NAK"時に実施してください。
対応するPIPEのPIDビットを"BUF"から"NAK"へ変更したあとで各ビットの設定値を変更する場合には、"CSSTS=0"および"PBUSY=0"を確認してから本ビットを変更してください。ただし、本モジュールがPIDビットを"NAK"に変更した場合には、PBUSYビットの確認は必要ありません。

(1)　トランザクションカウンタ許可ビット (TRENB)

受信 PIPE に対して、TRNCNT ビットに総パケット数を設定した後で本ビットに "1" を設定すると、本モジュールは TRNCNT ビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。

1. 連続送受信モード使用 ("CNTMD=1" 設定) 時、受信完了時に FIFO バッファがフルの状態でなくても、CPU 側にトグルさせます。
2. "SHTNAK=1" 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了時点で対応する PIPE の PID ビットを "NAK" に変更します。
3. "BFRE=1" 設定時、TRNCNT ビットの設定値と同数のパケット受信を終了し最後のデータを読み出し終えたときに、BRDY 割り込みをアサートします。

送信 PIPE については、本ビットに "0" を設定してください。

トランザクションカウント機能を使用しない場合は、本ビットに "0" を設定してください。

トランザクションカウント機能を使用する場合、本ビットに "1" を設定する前に TRNCNT ビットの設定を行ってください。また、トランザクションカウントの対象となる最初のパケットを受信する前に本ビットに "1" を設定してください。

(2)　トランザクションカウンタクリアビット (TRCLR)

本ビットに "1" を設定すると、本モジュールは当該 PIPE に対応するトランザクションカウンタの現在のカウント値をクリアし、本ビットに "0" を表示します。

28.20.2　PIPEn トランザクションカウンタレジスタ【PIPEnTRN】（n ＝ 1 ～ 5、9、A ～ F）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRNCNT															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Bit	Name	Function	R/W
15-0	TRNCNT トランザクションカウンタ	トランザクションカウンタ Write時 : 当該PIPEが受信すべき総パケット数 (トランザクション回数) を設定します Read時 : ”TRENB=0”の場合 : 設定したトランザクション回数が表示されます。 ”TRENB=1”の場合 : カウント中のトランザクション回数が表示されます。	R/W

(1)　トランザクションカウンタビット (TRNCNT)

受信 PIPE に対して、本ビットに受信すべき総パケット数を設定した後で TRENB ビットに "1" を設定すると、本モジュールは「28.20.1 (1)　**トランザクションカウンタ許可ビット (TRENB)**」に述べる制御を行います。

”TRENB=0” の場合、本モジュールは本ビットに、設定したトランザクション回数を表示します。
”TRENB=1” の場合、本モジュールは本ビットに、カウント中のトランザクション回数を表示します。

本モジュールは、受信時の状態が以下 (a) から (c) をすべて満たしたときに TRNCNT ビットの表示を 1 インクリメントします。

(a) "TRENB=1" である
(b) パケット受信時に (TRCNT 設定値 ≠ 現在のカウント値 +1) である
(c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した

本モジュールは、以下 (1)、(2)、または (3) のいずれかの条件が満たされたときに TRNCNT ビットの表示を 0 にクリアします。

(1) 以下 (a) から (c) の条件がすべて満たされたとき
　(a) "TRNENB=1" である
　(b) パケット受信時に (TRNCNT 設定値 = 現在のカウント値 +1) である
　(c) 受信したパケットのペイロードが MXPS ビットへの設定値と一致した

(2) 以下 (a) および (b) の条件がすべて満たされたとき
　(a) "TRENB=1" である
　(b) ショートパケットを受信した

(3) 以下 (a) の条件がすべて満たされたとき
　(a) TRCLR ビットに "1" を設定した

送信 PIPE については、本ビットに "0" を設定してください。
トランザクションカウント機能を使用しない場合は、本ビットに "0" を設定してください。
本ビットの変更は、"CSSTS=0"、"PID=NAK"、かつ "TRENB=0" 設定時に実施してください。
対応する PIPE の PID ビットを "BUF" から "NAK" へ変更してから本ビットを変更する場合には、"CSSTS=0" および "PBUSY=0" を確認してから本ビットを変更してください。ただし、本モジュールが PID ビットを "NAK" に変更した場合には、PBUSY ビットの確認は必要ありません。

本ビットの値を変更する場合は、"TRENB=1" を設定する前に "TRCLR=1" を実施してください。

28.21　デバイスアドレスコンフィグレーションレジスタ

28.21.1　デバイスアドレス n コンフィグレーションレジスタ【DEVADDn】（n ＝ 0 ～ 9、A）

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	UPPHUB				HUBPORT			USBSPD		-	-	-	-	-	-
X	0	0	0	0	0	0	0	0	0	X	X	X	X	X	X
X	-	-	-	-	-	-	-	-	-	X	X	X	X	X	X

Bit	Name	Function	R/W
15	何も配置されていません。書き込む値は常に0にしてください。		
14-11	UPPHUB 通信対象接続HUBレジスタ	通信対象の周辺デバイスが接続されているHUBのUSB Addressを設定します。 0000：本モジュールのPORTに直接接続されている 0001-1010：HUBのUSB Address 1011-1111：設定禁止	R/W
10-8	HUBPORT 通信対象接続HUBポート	通信対象の周辺デバイスが接続されているHUBのPORT番号を設定します。 000：本モジュールのPORTに直接接続されている 001-111：HUBのPORT番号	R/W
7-6	USBSPD 通信対象デバイスの転送速度	通信対象の周辺デバイスのUSB転送速度を設定します。 00：DEVADDn レジスタ未使用 01：Low-Speed 10：Full-Speed 11：High-Speed	R/W
5-0	何も配置されていません。書き込む値は常に0にしてください。		

注1.　ホストコントローラ機能選択時、各PIPEに対する通信を開始する前に、必ず本レジスタの各ビットを設定してください。
注2.　本レジスタの各ビットの変更は、本ビットの設定を使用している有効なPIPEが存在しないときに行ってください。有効なPIPEとは以下(1)および(2)の両方を満たしているPIPEです。
(1) DEVSELビットの設定が、本レジスタを指定しているとき
(2) 当該PIPEのPIDビットに"BUF"を設定しているとき、または当該PIPEがDCPであり"SUREQ=1"を設定しているとき
注3.　ファンクションコントローラ機能選択時、本レジスタの各ビットには"0"を設定してください。

(1)　通信対象接続 HUB レジスタビット (UPPHUB)

ホストコントローラ機能選択時、本モジュールは、Split トランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。

(2)　通信対象接続 HUB ポートビット (HUBPORT)

ホストコントローラ機能選択時、本モジュールは、Split トランザクションを実行するときに本ビットの設定値を参照してパケットを生成します。

(3)　通信対象デバイスの転送速度ビット (USBSPD)

ホストコントローラ機能選択時、本モジュールは、本ビットの設定値を参照してパケットを生成します。

28.22 サスペンドモードレジスタ (SUSPMODE)

28.22.1 サスペンドモードレジスタ【SUSPMODE】

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	SUSPM	-	-	-	-	-	-	-	-	-	-	-	-	-	-
X	0	X	0	X	X	X	0	X	X	X	X	0	X	0	0
X	-	X	-	X	X	X	-	X	X	X	X	-	X	-	-

Bit	Name	Function	R/W
15	何も配置されていません。書き込む値は常に0にしてください。		
14	SUSPM SuspendM制御	本モジュールへのクロック供給の停止/許可を指定します。 0：USBモジュールへのクロック供給停止 1：USBモジュールへのクロック供給許可	R/W
13-0	何も配置されていません。書き込む値は常に0にしてください。		

(1) SuspenM 制御ビット (SUSPM)

本モジュールは SuspendM 信号により、クロック出力制御を行っており、”SuspendM=0” の状態では LINK へのクロックが停止されます。

SUSPM ビットが ’0’ のとき（USB クロックが停止しているとき）には、本モジュールへの書き込みはできません。読出しは可能です。ただし、以下に**表 28.22** に示すレジスタは SUSPM ビットが ’0’ のときでも書き込み可能です。

表 28.22　“SUSPM=0”時に、書き込みが可能なレジスター覧

レジスタ名
SYSCFG0
BUSWAIT
INTENB1（注 1）
SUSPMODE

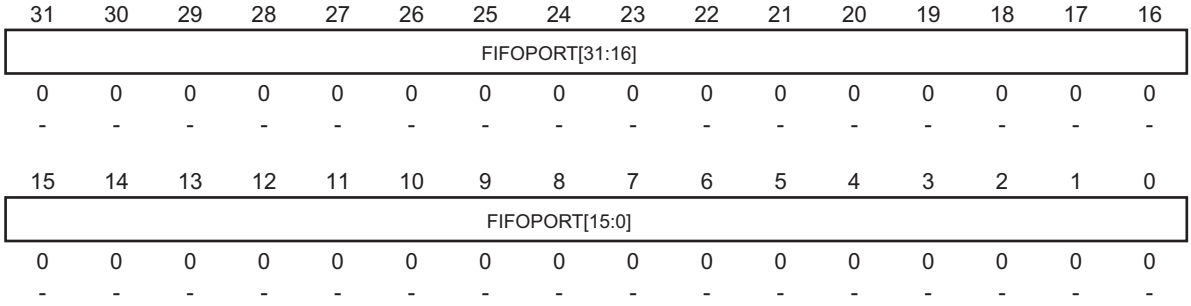
注 1.　INTENB1 は Bit0 のみが SUSPM=0 で書き込み可能。

本ビットに 1 を設定する場合、UPLLE ビットに 1 を設定してから 1ms 以上待つようにしてください。

ソフトウェアスタンバイ、USB モジュールスタンバイモードへ移行する場合、本ビットに 0 を設定してください。

28.23 FIFO 連続転送ポート

28.23.1 D0FIFO 連続転送ポートレジスタ n【D0FIFOBn】
D1FIFO 連続転送ポートレジスタ n【D1FIFOBn】
（n ＝ 0 ～ 7）



Bit	Name	Function	R/W
31-0	FIFOPORT FIFOポート	本ビットにアクセスすることにより、FIFOバッファからの受信データ読み出し、もしくはFIFOバッファへの送信データの書き込みを行います。	R/W

（1）FIFO ポート制御

DFACC="01" もしくは "10"(16 バイト / 32 バイト連続アクセスモード) 設定時、DnFIFO バッファへのアクセスは DnFIFO 連続転送ポートレジスタを使用してください。

28.24 動作説明

28.24.1 システム制御および供給制御

本章では、本モジュールの初期設定に必要なレジスタ操作、および消費電力制御を行うために必要なレジスタの説明について述べます。

(1) リセット

表 28.23 に本モジュールのリセット種別の一覧表を示します。なお、各リセット動作後のレジスタ初期化状態については、**28.4 レジスタ**を参照してください。

表 28.23　リセット種別一覧表

名称	操作
パワーオンリセット	$\overline{\text{RES}}$ 端子からの“L”レベル入力
USB バスリセット	ファンクションコントローラ機能選択時に本モジュールが D+、D- ラインから自動検出

(2) コントローラ機能の選択設定

本モジュールは、ホストコントローラ機能またはファンクションコントローラ機能を選択することができます。本モジュールの機能選択は、SYSCFG0 レジスタの DCFM ビットで行ってください。

(3) USB データバス抵抗制御

本モジュールは、ルネサス USB2.0-PHY の D+ 信号のプルアップ抵抗と D+、D- 信号のプルダウン抵抗の切り替え制御を行います。SYSCFG0 レジスタの DPRPU、DRPD ビットの設定により各信号のプルアップ、プルダウンを設定してください。

ファンクションコントローラ機能選択時は、USB Host への接続を認識した後で、SYSCFG0 レジスタの DPRPU ビットを "1" に設定し、D+ を Pull Up してください。

また、USB Host の切断を認識した場合は、以下処理のとおり、DPRPU ビットと DCFM ビットの操作を実施してください。

1. DPRPU = 0
2. 1µs(1000ns) 以上のウエイト
3. DCFM = 1
4. 200ns 以上のウエイト
5. DCFM = 0

また、本モジュールは D+、D- 信号の終端抵抗（Hi-Speed 動作時）と出力抵抗（Full-Speed 動作時）を内蔵しています。PC または周辺デバイスとの接続後の内蔵抵抗の切り替えは、リセットハンドシェイク、サスペンド、レジューム時に本モジュールが自動的に行います。

また、ファンクションコントローラ機能を選択し、ホストコントローラと通信中に SYSCFG0 レジスタの DPRPU ビットに “0” を設定した場合は、USB データラインのプルアップ抵抗（もしくは終端抵抗）をディセーブルにしますので、ホストコントローラにデバイス切断を通知することができます。

(4) 入力クロックの選択設定

本モジュールは、USB_X1 または EXTAL を入力クロックとして選択することができます。入力クロックの選択は、チャネル 0 の SYSCFG0 レジスタの UCKSEL ビットで行ってください。UCKSEL ビットの設定は USB モジュールへのクロック供給停止状態（チャネル 0 およびチャネル 1 の SUSPM ＝ 0）のときに行ってください。

(5) USB モジュールへのクロック供給設定

SYSCFG0 レジスタの UCKSEL ビットに目的の入力クロック を選択した後、以下に示す手順でクロック供給設定を行ってください。

設定例 1：パワーオンリセット直後の初期設定からクロック供給を許可する場合

1. UPLLE ビットに 1 を設定。
2. 1ms 待つ。
3. SUSPM ビットに 1 を設定。

設定例 2：サスペンド時にクロック供給を停止する場合

1. SUSPM ビットに 0 を設定。
2. UPLLE ビットに 0 を設定。

設定例 3：サスペンド復帰時にクロック供給を許可する場合

1. UPLLE ビットに 1 を設定。
2. 1ms 待つ。
3. SUSPM ビットに 1 を設定。

注．　ファンクションコントローラ機能かつハイスピード動作選択時、USB リセットによりサスペンド復帰する場合は、2.5ms 以内に SUSPM ビットに 1 を設定してください。

28.24.2　割り込み機能

(1)　割り込み機能概要

表 28.24 に本モジュールの割り込み機能一覧表を示します。

表28.24　割り込み機能一覧表

ビット	割り込み名称	割り込み要因	発生する機能	関連ステータス
VBINT	VBUS割り込み	VBUS入力端子の状態変化を検出したとき (“L”→“H”、“H”→“L”の両方の変化)	ホスト、ファンクション	VBSTS
RESM	レジューム割り込み	サスペンド状態においてUSBバスの状態変化を検出したとき (J-State→K-State、もしくはJ-State→SE0)	ファンクション	－
SOFR	フレーム番号更新割り込み	＜ホストコントローラ機能選択時＞ フレーム番号の異なるSOFパケットを送信したとき ＜ファンクションコントローラ機能選択時＞ SOFRM=0の場合：フレーム番号の異なるSOFパケットを受信したとき SOFRM=1の場合：μフレーム番号0のときのSOFをパケット破損などで受信できなかったとき	ホスト、ファンクション	－
DVST	デバイスステート遷移割り込み	デバイスステートの遷移を検出したとき USBバスリセット検出 サスペンド状態検出 Set Addressリクエストの受信 Set Configurationリクエストの受信	ファンクション	DVSQ
CTRT	コントロール転送ステージ遷移割り込み	コントロール転送のステージ遷移を検出したとき セットアップステージ完了 コントロールライト転送ステータスステージ遷移 コントロールリード転送ステータスステージ遷移 コントロール転送完了 コントロール転送シーケンスエラー発生	ファンクション	CTSQ
BEMP	バッファエンプティ割り込み	バッファメモリ中の全データを送信しバッファが空になったとき マックスパケットサイズを超えたパケットを受信したとき	ホスト、ファンクション	PIPEBEMP
NRDY	バッファノットレディ割り込み	＜ホストコントローラ機能選択時＞ 発行したトークンに対して、周辺デバイス側からのSTALLを受信したとき。 発行したトークンに対して、周辺デバイス側からの応答が正しく受信できなかったとき(無応答またはパケット受信エラーが３回連続)。 アイソクロナス転送時のオーバラン／アンダランが発生したとき。 ＜ファンクションコントローラ機能選択時＞ "PID=BUF"設定時かつバッファメモリが送受信可能な状態ではない状態でトークンを受信したとき アイソクロナス転送でデータ受信時にCRCエラー、ビットスタッフエラーが発生したとき アイソクロナス転送でデータ受信時にインターバルエラーが発生したとき	ホスト、ファンクション	PIPENRDY
BRDY	バッファレディ割り込み	バッファがレディ（リード、もしくはライト可能状態）になったとき	ホスト、ファンクション	PIPEBRDY
BCHG	バス変化割り込み	USBバスステートの変化を検出したとき	ホスト	－
DTCH	デバイス切断検出	周辺デバイスの切断を検出したとき。	ホスト	－
ATTCH	デバイス接続検出	USBバスステートが2.5μs連続したJ-State、または2.5μs連続したK-Stateを検出したとき。周辺デバイスの接続検出に使用可能。	ホスト	－
EOFERR	EORエラー検出	周辺デバイスのEOFエラーを検出したとき	ホスト	－
SACK	SETUP正常	セットアップトランザクションの正常応答(ACK)を受信したとき	ホスト	－
SIGN	SETUPエラー	セットアップトランザクションのエラー（無応答、ACKパケット破損）を3回連続で検出したとき。	ホスト	－

図 28.5 に本モジュールの割り込み関連図を示します。

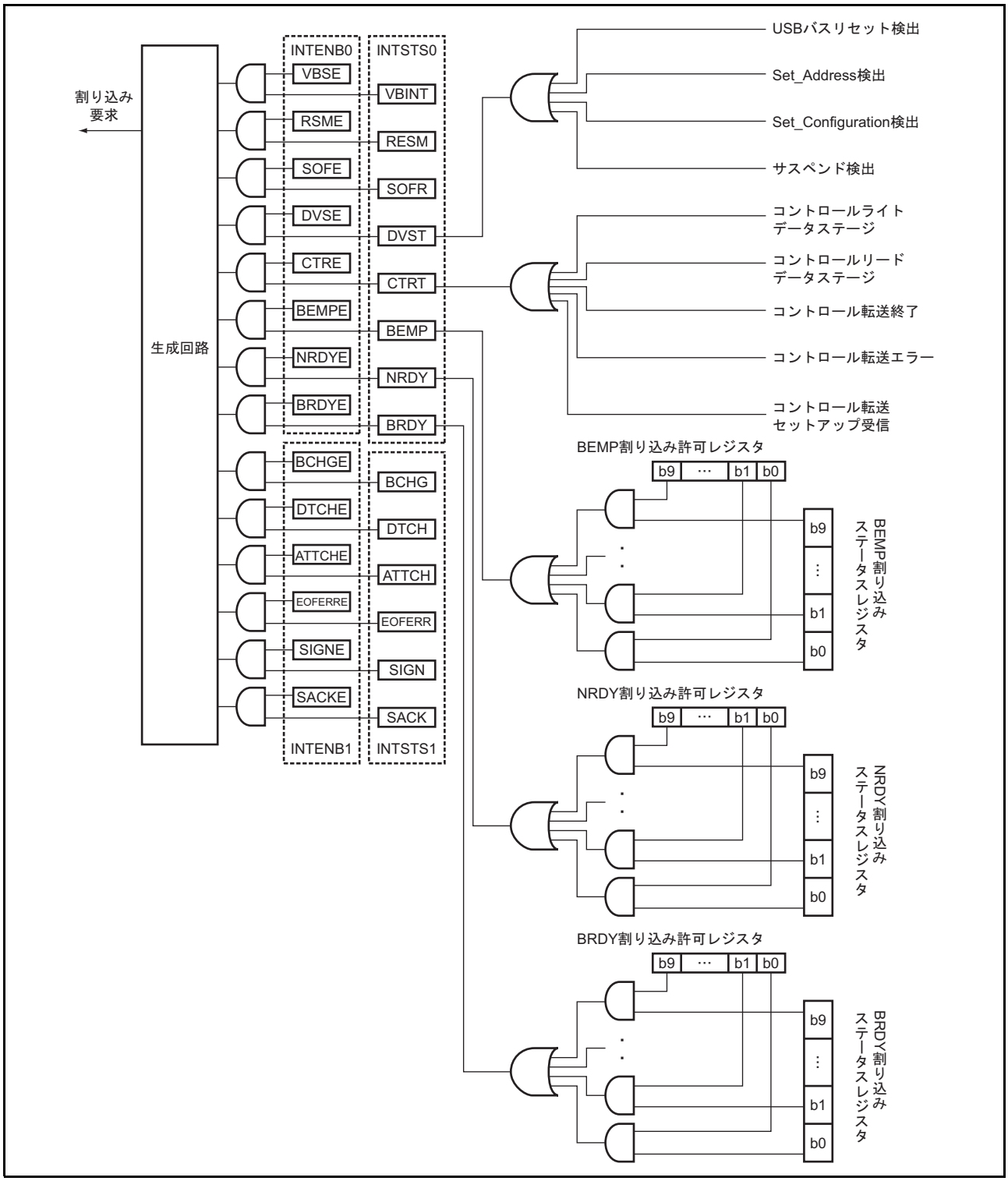


図 28.5　割り込み関連図

(2)　デバイスステート遷移割り込み (ファンクションコントローラ機能)

図 28.6 に本モジュールのデバイスステート遷移図を示します。本モジュールは、デバイスステートを管理し、デバイスステート遷移割り込みが発生します。ただし、サスペンドからの復帰（レジューム信号検出）は、レジューム割り込みで検出します。デバイスステート遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移したデバイスステートは、INTSTS0 レジスタの DVSQ ビットにて確認できます。

Default ステートに遷移する場合には、リセットハンドシェイクプロトコルの終了後に、デバイスステート遷移割り込みが発生します。

デバイスステートの管理は、ファンクションコントローラ機能選択時のみ行います。デバイスステート遷移割り込みもファンクションコントローラ機能選択時のみ発生します。

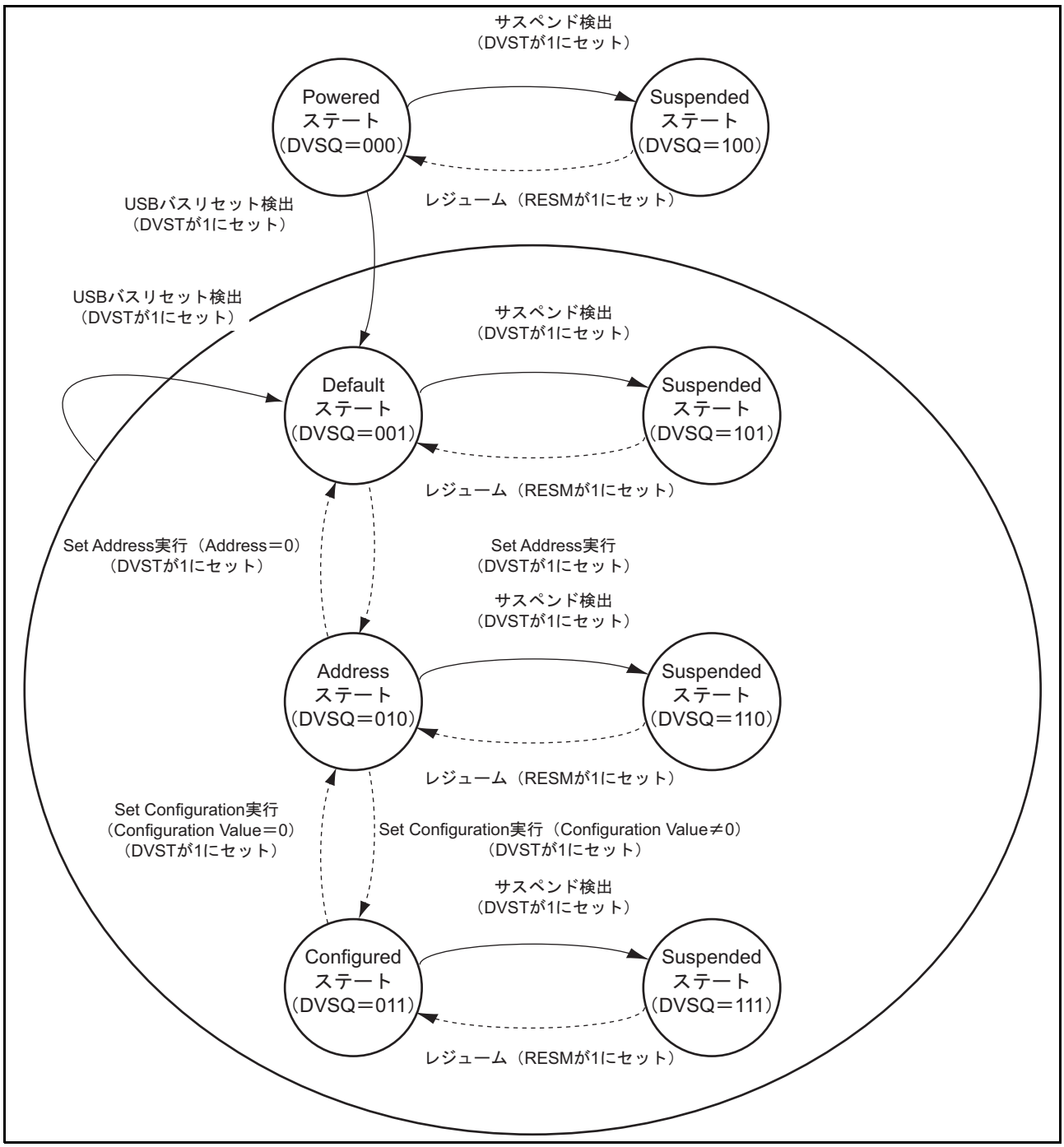


図 28.6　デバイスステート遷移図

(3) コントロール転送ステージ遷移割り込み (ファンクションコントローラ機能)

図 28.7 に本モジュールのコントロール転送ステージ遷移図を示します。本モジュールは、コントロール転送のシーケンスを管理し、コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは、INTENB0 レジスタで割り込みの許可、もしくは禁止を設定することができます。また、遷移した転送ステージは INTSTS0 レジスタの CTSQ ビットにて確認できます。

コントロール転送ステージ遷移割り込みはファンクションコントローラ機能を選択した場合にのみ発生します。

コントロール転送のシーケンスエラーを下記に示します。エラーが発生した場合は、DCPCTR レジスタの PID ビットが "1X"（STALL）になります。

1. コントロールリード転送時
   (a) データステージの IN トークンに対して、一度もデータ転送していない状態で OUT、もしくは PING トークンを受信
   (b) ステータスステージで IN トークン受信
   (c) ステータスステージでデータパケットが “DATAPID=DATA0” のパケットを受信
2. コントロールライト転送時
   (a) データステージの OUT トークンに対して、一度も ACK 応答していない状態で IN トークンを受信
   (b) データスステージで最初のデータパケットが “DATAPID=DATA0” のパケットを受信
   (c) ステータスステージで OUT、もしくは PING トークン受信
3. コントロールライトノーデータ転送時
   (a) ステータスステージで OUT または PING トークン受信

なお、コントロールライト転送データステージで、受信データ数が USB リクエストの wLength 値を越えた場合は、コントロール転送シーケンスエラーと認識できません。また、コントロールリード転送ステータスステージで、Zero-Length パケット以外のパケット受信には、ACK 応答を行い正常終了します。

シーケンスエラーによる CTRT 割り込み発生時（“SERR=1” 設定）は、“CTSQ=110” の値がシステムから “CTRT=0” 書き込み（割り込みステータスクリア）するまで保持されます。このため、“CTSQ=110” が保持されている状態では、新しい USB リクエストを受信しても、セットアップステージ完了の CTRT 割り込みは発生しません。（セットアップステージ完了は、本モジュールで保持されており、割り込みステータスクリア後に、CTRT 割り込みが発生します。）

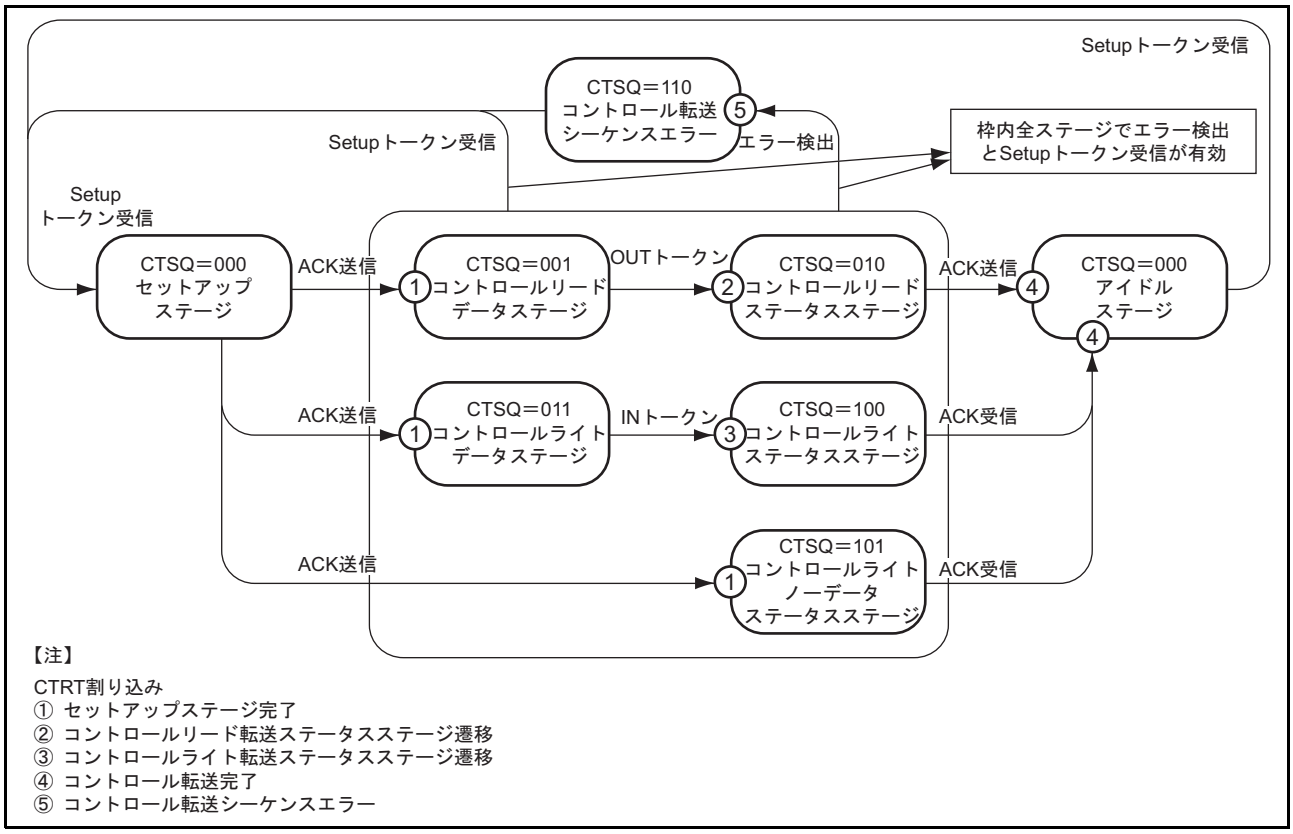


図 28.7　コントロール転送ステージ遷移図

28.24.3　パイプコントロール

表 28.25 に本モジュールのパイプ設定項目一覧表を示します。USB データ転送は、エンドポイントと呼ばれる論理パイプにて、データ通信を行います。本モジュールにはデータ転送用に 16 本のパイプがあります。各パイプは、システムの仕様に合わせて設定を行ってください。

表 28.25　パイプ設定項目一覧表

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送 Type を指定	パイプ 1-15：設定可
	BFRE	BRDY 割込モードを選択	パイプ 1-5、11-15：設定可
	DBLB	ダブルバッファを選択	パイプ 1-5、11-15：設定可 パイプ 9-10：バルク転送選択時のみ設定可
	CNTMD	連続転送もしくは非連続転送を選択	DCP：設定可 パイプ 1-2、9-10：バルク転送選択時のみ設定可 パイプ 3-5、11-15：設定可
	DIR	転送方向を選択	IN または OUT 設定可
	EPNUM	エンドポイント番号	パイプ 1-15：設定可 パイプ使用時は“0000”以外に設定
	SHTNAK	トランスファー終了時のパイプ禁止選択	DCP：設定可 パイプ 1-2、9-10：バルク転送選択時のみ設定可 パイプ 3-5、11-15：設定可

レジスタ名	ビット名	設定内容	備考
PIPEBUF	BUFSIZE	バッファメモリサイズ	DCP：設定不可（256バイト固定） パイプ1-5、9-15：設定可（最大2Kバイトまで指定可） パイプ6-8：設定不可（64バイト固定）
	BUFNMB	バッファメモリ番号	DCP：設定不可（領域H'0-H'3固定） パイプ1-5、9-15：設定可（領域H'7-H'7Fで指定可） パイプ6-8：設定不可（領域H'4-H'6固定）
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	Host選択時のみ参照
	MXPS	マックスパケットサイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファフラッシュ	パイプ1-2：アイソクロナス転送選択時のみ設定可 パイプ3-15：設定不可
	IITV	インターバルカウンタ	パイプ1-2：アイソクロナス転送選択時のみ設定可 パイプ3-5：設定不可 パイプ6-9：ホスト選択時のみ設定可 パイプ10～15：設定不可
DCPCTR PIPEnCTR	BSTS	バッファステータス	DCPはISELビットにより、受信/送信バッファ状態の切り替え
	INBUFM	INバッファモニタ	パイプ3-5、9-15のみ搭載
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホストコントローラ機能t選択時のみ制御可能
	SUREQCLR	SUREQクリア	DCPのみ設定可能 ホストコントローラ機能選択時のみ制御可能
	CSCLR	CSSTSクリア	ホストコントローラ機能選択時のみ制御可能
	CSSTS	Splitステータス確認	ホストコントローラ機能選択時のみ参照可能
	ATREPM	自動応答モード	パイプ1-5、9-15：設定可能 ファンクションコントローラ機能選択時のみ設定可能
	ACLRM	自動バッファクリア	パイプ1-15：設定可
	SQCLR	シーケンスクリア	データトグルビットのクリア
	SQSET	シーケンスセット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	PIPEビジー確認	
	PID	応答PID	
PIPEnTRE	TRENB	トランザクションカウント許可	パイプ1-5、9-15：設定可能
	TRCLR	カレントトランザクションカウンタのクリア	パイプ1-5、9-15：設定可能
PIPEnTRN	TRNCNT	トランザクションカウンタ	パイプ1-5、9-15：設定可能

(1)　マックスパケットサイズ設定

DCPMAXP レジスタ、および PIPEMAXP レジスタの MXPS ビットにて各パイプのマックスパケットサイズを設定します。DCP、およびパイプ 1-5,11-15 は USB 規格で定義されているすべてのマックスパケットサイズに設定が可能です。パイプ 6-10 は最大 64 バイトがマックスパケットサイズの上限です。マックスパケットサイズは転送を開始 (“PID=BUF” を設定) する前に設定してください。

DCP: Hi-Speed 動作時は “64” を設定してください。

DCP: Full-Speed 動作時は “8”、“16”、“32”、“64” から選択して設定してください。

PIPE 1-5: Hi-Speed バルク転送時は、“512” を設定してください。

PIPE 1-5: Full-Speed バルク転送時は、“8”、“16”、“32”、“64” から選択して設定してください。

PIPE 1-2: Hi-Speed アイソクロナス転送時は、“1” から “1024” の値を設定してください。

PIPE 1-2: Full-Speed アイソクロナス転送時は、“1” から “1023” の値を設定してください。詳細は「28.24.9　アイソクロナス転送（パイプ 1-2）」を参照ください。

PIPE 6-8: “1” から “64” の値を設定してください。

PIPE 9:　インタラプト転送時 “64” を設定してください。(ホストコントローラ機能選択時のみ)

Hi-Speed バルク転送時は、“512” を設定してください。(ファンクションコントローラ機能選択時のみ)
Full-Speed バルク転送時は、“8”、“16”、“32”、“64” から選択して設定してください。
（ファンクションコントローラ機能選択時のみ）

PIPE 10-15: Hi-Speed バルク転送時は、“512” を設定してください。(ファンクションコントローラ機能選択時のみ)

PIPE 10-15: Full-Speed バルク転送時は、“8”、“16”、“32”、“64” から選択して設定してください。(ファンクションコントローラ機能選択時のみ)

インタラプト転送およびアイソクロナス転送の Highband-Width は未対応です。

(2)　応答 PID

DCPCTR レジスタ、および PIPEnCTR レジスタの PID ビットにて各パイプの応答 PID を設定してください。

1. ホストコントローラ機能選択時の応答 PID 設定
   応答 PID には、トランザクションの実施を指定します。
   (a) NAK 設定 : パイプ禁止状態です。トランザクションは実施されません。
   (b) BUF 設定 : バッファメモリの状況に応じてトランザクションが実施されます。
   OUT 方向の場合、バッファメモリに送信データがある場合、OUT トークンを発行します。
   IN 方向の場合、バッファメモリに空きがあり受信可能な場合に IN トークンを発行します。
   (c) STALL 設定 : パイプ禁止状態です。トランザクションは実施されません。
   DCP のセットアップトランザクションは SUREQ ビット操作で実施してください。

2. ファンクションコントローラ機能選択時の応答 PID 設定
   応答 PID は、ホストからのトランザクションに対する応答を指定します。
   (a) NAK 設定 : 発生したトランザクションに対して常に “NAK 応答 ” します。
   (b) BUF 設定 : バッファメモリの状況に応じてトランザクションに応答します。
   (c) STALL 設定 : 発生したトランザクションに対して常に “STALL 応答 ” します。
   セットアップトランザクションに対しては、PID ビットの設定値に関わらず、常に “ACK 応答 ” し、レジスタに USB リクエストを格納します。

トランザクション結果によっては、本モジュールによる PID ビットへの書き込みが発生する場合があります。
本モジュールにより PID ビットへの書き込みが発生するのは下記の場合です。

1. ホストコントローラ機能選択時に本モジュールが応答 PID を設定する場合
   (a) NAK 設定 :
   以下の場合に、“PID=NAK” となりトークンの発行を自動的に停止します。
   (ア) アイソクロナス以外の転送で、送信したトークンに対する応答において、無応答、ビットスタッフィングエラーまたは CRC エラーなどの受信エラーが 3 回連続して発生したとき。
   (イ) アイソクロナス転送で、送信したトークンに対する応答において、ビットスタッフィングエラーまたは CRC エラーなどの受信エラーが 3 回連続して発生したとき。
   (ウ) DCPCFG レジスタの SHTNAK ビットを “1” に設定した場合で、コントロールリード転送のデータステージにおいて、ショートパケットを受信したとき。
   (エ) バルク転送時に PIPECFG レジスタの SHTNAK ビットを “1” に設定した場合で、ショート

パケットを受信したとき。
(オ) バルク転送時に PIPECFG レジスタの SHTNAK ビットを ”1” に設定した場合で、トランザクションカウンタが終了したとき。
(b) BUF 設定 : 本モジュールによる "BUF" 書き込みはありません。
(c) STALL 設定 :
以下の場合に、“PID=STALL” となりトークンの発行を自動的に停止します。
(ア) 送信したトークンに対して STALL を受信したとき。
(イ) 受信したデータパケットがマックスパケットサイズを越えたとき。

2. ファンクションコントローラ機能選択時に本モジュールが応答 PID を設定する場合
(a) NAK 設定 :
(ア) SETUP トークンを正常に受信したとき (DCP のみ)。
(イ) バルク転送時に PIPECFG レジスタの SHTNAK ビットを “1” に設定し、ショートパケットを受信したとき。
(ウ) バルク転送時に SHTNAK ビットを “1” に設定し、トランザクションカウンタが終了したとき。
(b) BUF 設定 : コントローラによる BUF 書き込みはありません。
(c) STALL 設定 :
(ア) 受信データパケットでマックスパケットサイズオーバエラーを検出したとき。
(イ) コントロール転送シーケンスエラーを検出したとき。

(3) パイプコントロールレジスタの切り替え手順

パイプコントロールレジスタの以下のビットは、USB 通信が不許可（“PID=NAK”）であるときのみ書き換えが可能です。図 28.8 に USB 通信許可 (“PID=BUF”) 状態からパイプコントロールレジスタの切り替え手順を示します。

USB 通信許可（“PID=BUF”）状態では設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- DCPCTR レジスタの SQCLR ビット、SQSET ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR レジスタの ATREPM ビット、ACLRM ビット、SQCLR ビット、SQSET ビット
- PIPEnTRE レジスタ、PIPEnTRN レジスタの各ビット
- DEVADDn レジスタの各ビット

CSCLR ビットおよび DEVADDn レジスタの各ビットの設定については上記以外にも各ビット説明に記載のある設定方法を守ってください。

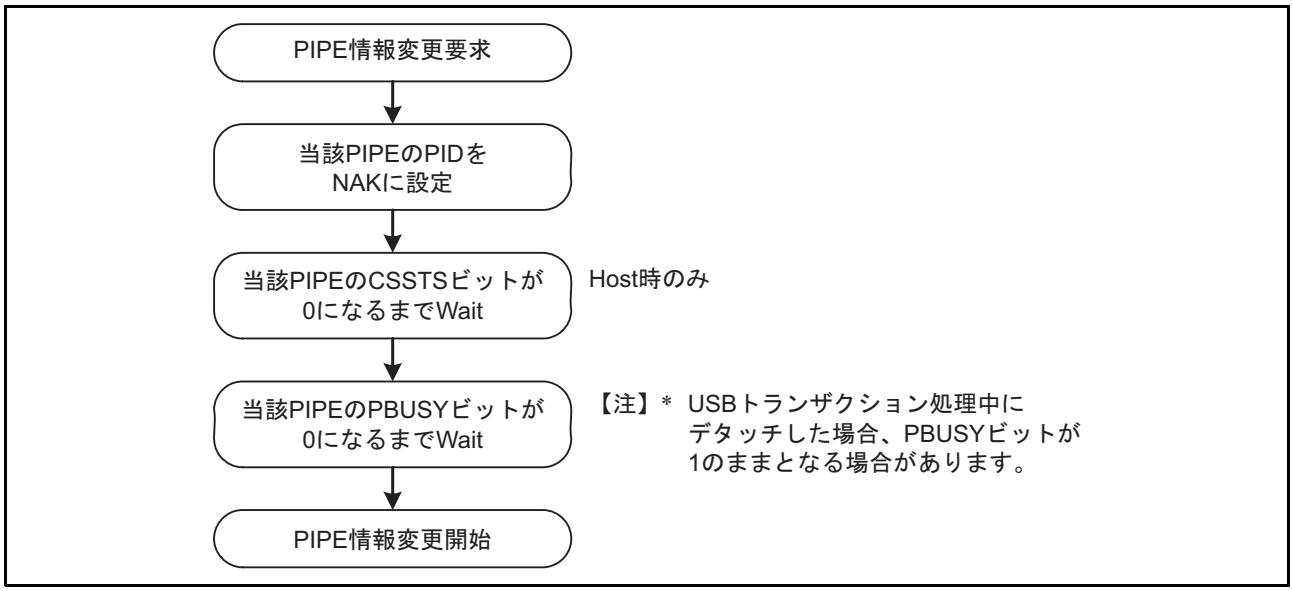


図 28.8　USB 通信許可（“PID=BUF”）状態からの PIPE 情報変更手順

またパイプコントロールレジスタの以下のビットは、CFIFOSEL、D0FIFOSEL、D1FIFOSEL のいずれの CURPIPE にも設定されていない PIPE 情報のみ書き換えが可能です。

FIFO-PORT の CURPIPE に設定中に設定禁止であるレジスタ

- DCPCFG レジスタ、DCPMAXP レジスタの各ビット
- PIPECFG レジスタ、PIPEBUF レジスタ、PIPEMAXP レジスタ、PIPEPERI レジスタの各ビット
- PIPEnCTR レジスタ、ACLRM ビット

PIPE 情報を変更する場合には、CURPIPE の設定を変更 PIPE 以外にしていしてください。なお、DCP については PIPE 情報修正後、BCLR にてバッファのクリア処理をしてください。

(4)　データ PID シーケンスビット

コントロール転送のデータステージ、バルク転送、インタラプト転送において正常なデータ転送が行われると、本モジュールによりデータ PID のシーケンスビットが自動的にトグル動作します。次に送出されるデータ PID のシーケンスビットは、DCPCTR レジスタ、および PIPEnCTR レジスタの SQMON ビットにて確認できます。データ送信時は、ACK ハンドシェイク受信タイミングで、データ受信時は、ACK ハンドシェイク送信タイミングで、シーケンスビットが切り替わります。また、DCPCTR レジスタ、および PIPEnCTR レジスタの SQCLR ビット、SQSET ビットにてデータ PID シーケンスビットを変更可能です。

またファンクションコントローラ機能選択時のコントロール転送では、ステージ遷移時に本モジュールが自動的にシーケンスビットを設定します。セットアップステージ終了時は DATA1 になります。ステータスステージではシーケンスビットは参照せず、PID ＝ DATA1 で応答します。このため、設定は必要ありません。ホストコントローラ機能選択時のコントロール転送では、ステージ遷移時にシーケンスビットを設定する必要があります。

ホストコントローラ、ファンクションコントローラのどちらの機能を選択した場合でも、ClearFeature リクエストの送信または受信時などは、データ PID シーケンスビットを設定する必要がありますのでご注意ください。

なお、アイソクロナス転送設定パイプは SQSET ビットによるシーケンスビット操作を行うことはできません。

28.24.4　FIFO バッファ

本章では本モジュールに内蔵する FIFO バッファに関する動作を説明します。特に記載がなければ、Host、ファンクションコントローラ機能のどちらを選択した場合も同じ動作となります。

(1)　FIFO バッファ割り当て

図 28.9 に本モジュールの FIFO バッファのメモリマップ例を示します。FIFO バッファは CPU と本モジュールが共用する領域です。FIFO バッファの状況には、アクセス権がシステム（CPU 側）にある場合と、本モジュール（SIE 側）にある場合があります。

FIFO バッファは、パイプごとに独立した領域を設定します。メモリ領域は、64 バイトを 1 ブロックとして、ブロック先頭番号とブロック数（PIPEBUF レジスタの BUFNMB ビット、および BUFSIZE ビットで指定）で設定します。PIPECFG レジスタの CNTMD ビットにて連続転送モードを選択した場合には、BUFSIZE ビットの設定は、必ずマックスパケットサイズの整数倍になるように設定してください。また PIPECFG レジスタの DBLB ビットにてダブルバッファを選択した場合には、同一パイプに対して PIPEBUF レジスタの BUFSIZE ビットにて指定したメモリ領域を 2 面分割り当てられます。

FIFO バッファへのアクセス（データ読み書き）は 3 本の FIFO ポートを使用します。FIFO ポートに割り当てるパイプは、C/DnFIFOSEL レジスタの CURPIPE ビットにてパイプ番号を指定します。

各パイプの FIFO バッファステータスは、DCPCTR レジスタ、および PIPEnCTR レジスタの BSTS ビット、INBUFM ビットで確認できます。また、FIFO ポートのアクセス権は、C/DnFIFOCTR レジスタの FRDY ビットで確認できます。

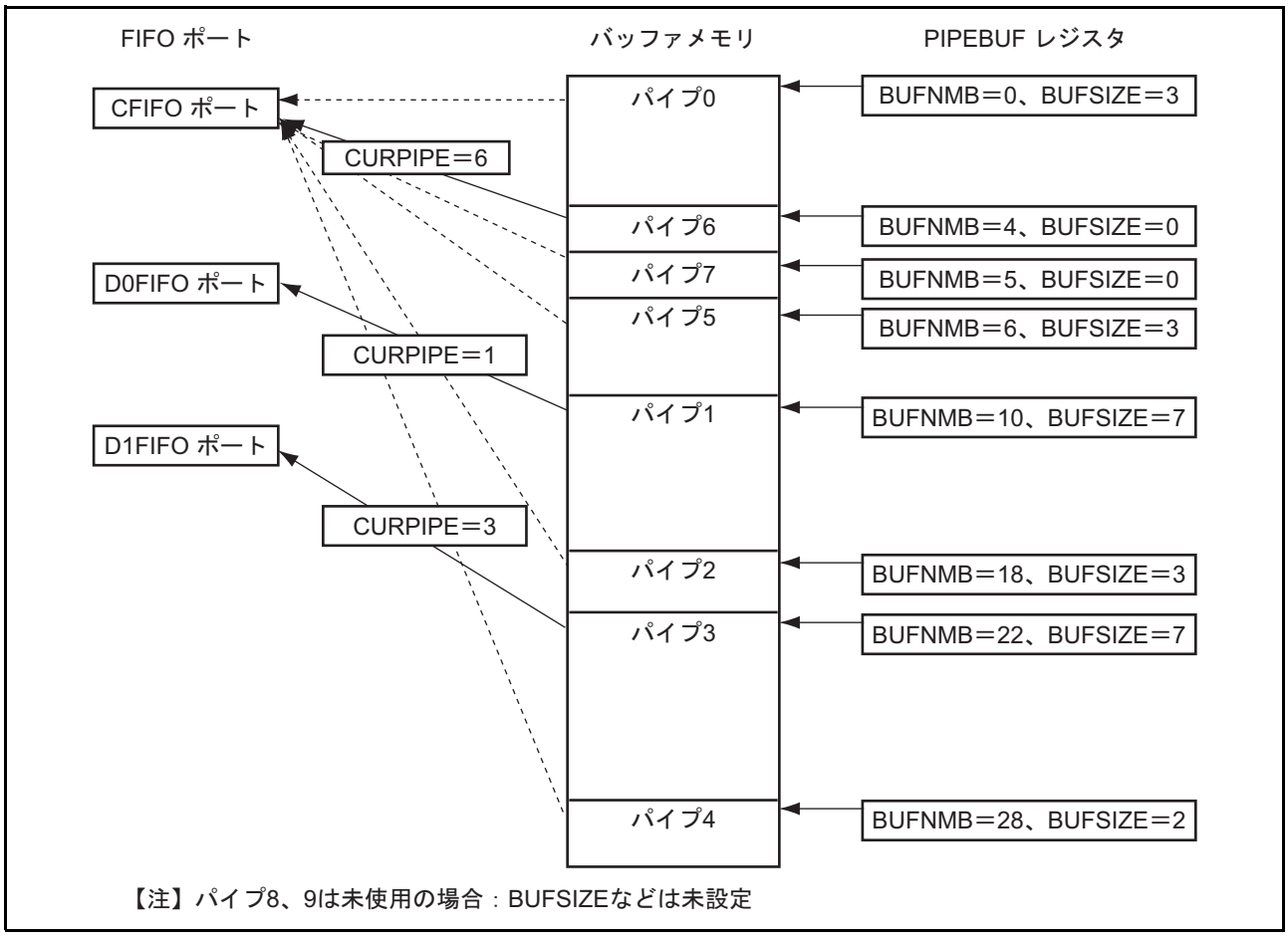


図 28.9　FIFO バッファのメモリマップ例

(2) FIFO バッファクリア

表 28.26 に本モジュールによる FIFO バッファのクリア一覧表を示します。FIFO バッファは下記の 3 ビットによってクリアできます。

表28.26　FIFOバッファクリアー覧表

ビット名	BCLR	DCLRM	ACLRM
レジスタ	CFIFOCTR レジスタ DnFIFOCTR レジスタ	DnFIFOSEL レジスタ	PIPEnCTR レジスタ
機能	CPU側FIFOバッファをクリアします	指定パイプのデータを読み出した後で、自動でFIFOバッファをクリアするモードです。	受信したパケットをすべて破棄する自動バッファクリアモードです。
クリア方法	“1”ライトでクリア	“1”モード有効 “0”モード無効	“1”モード有効 “0”モード無効

28.24.5　FIFO ポートの機能

本章では FIFO ポートに関する機能の説明をします。表 28.27 に本モジュールの FIFO ポート機能設定表を示します。データ書き込みアクセス時は、バッファフル（非連続転送時はマックスパケットサイズ数）まで書き込みを行うと、自動的に USB バスに送信可能な状態となります。バッファフル（非連続転送時はマックスパケットサイズ数）未満のデータを送信可能状態にするには、C/DnFIFOCTR レジスタの BVAL ビットによる書き込み終了設定（DMA 転送時には TEND 信号）が必要です。また、Zero-Length パケットの送信は、同レジスタの BCLR ビットによるバッファクリアの上、BVAL ビットによる書き込み終了設定が必要です。

読み出しアクセス時は、すべてのデータを読み出すと、自動的に新しいパケット受信可能状態になります。ただし、Zero-Length パケット受信時（DTLN=0）は、データは読み出せませんので、同レジスタの BCLR ビットによるバッファクリアが必要です。受信データ長は、C/DnFIFOCTR レジスタの DTLN ビットにて確認します。

表 28.27　FIFO ポート機能設定表

レジスタ名	ビット名	機能	備考
C/DnFIFOSEL	RCNT	DTLN 読み出しモード選択	
	REW	バッファメモリリワインド（再読み出し、再書き込み）	
	DCLRM	指定パイプの受信データ読み出し後自動クリア	DnFIFO 専用
	DREQE	DMA 転送要求許可	DnFIFO 専用
	MBW	FIFO ポートアクセスビット幅	
	BIGEND	FIFO ポートエンディアン選択	
	ISEL	FIFO ポートアクセス方向	DCP 専用
	CURPIPE	カレント PIPE 選択	
C/DnFIFOCTR	BVAL	バッファメモリ書き込み終了	
	BCLR	CPU 側バッファメモリクリア	
	FRDY	FIFO ポートレディーモニタ	
	DTLN	受信データ長確認	

(1)　FIFO ポート選択

表 28.28 に各 FIFO ポートで選択可能なパイプ表を示します。C/DnFIFOSEL レジスタの CURPIPE ビットにて、アクセスするパイプを選択します。パイプ選択後、書き込んだ CURPIPE 値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には、本モジュールがパイプ変更処理中であることを示します）、“FRDY=1” を確認し FIFO ポートへアクセスしてください。図 28.10 に FIFO ポートアクセス時のパイプの切り替え手順を示します。

また、MBW ビットでアクセスするバス幅を選択してください。バッファメモリアクセス方向は、DCP の場合は ISEL ビットの設定に従います。その他のパイプは PIPECFG レジスタの DIR ビットに従います。

表 28.28　パイプ別 FIFO ポートアクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPU アクセス	CFIFO ポートレジスタ
パイプ 1~パイプ 15	CPU アクセス	CFIFO ポートレジスタ
	DMA アクセス	DnFIFO ポートレジスタ

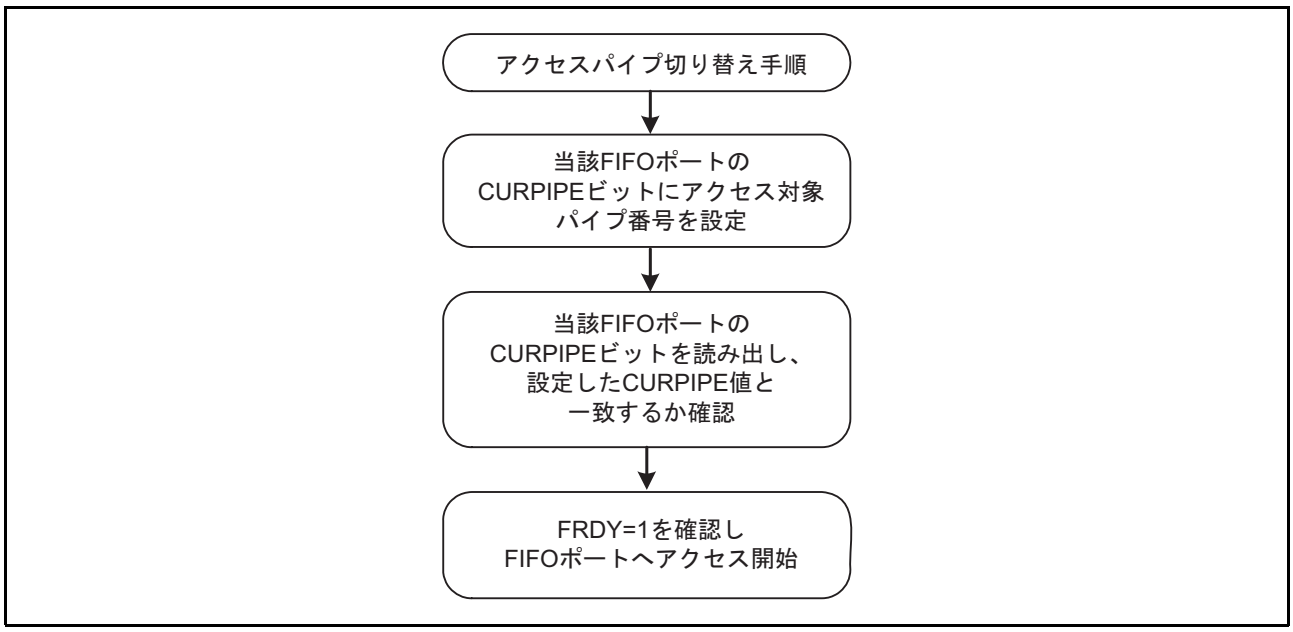


図 28.10　FIFO ポートアクセス時のパイプ切り替え手順

(2)　DnFIFO 自動クリアモード（DnFIFO ポート読み出し方向）

本モジュールは、DnFIFOSEL レジスタの DCLRM ビットに “1” を設定することで、バッファメモリからのデータ読み出しを完了した場合に、当該パイプのバッファメモリを自動的にクリアします。

表 28.29 に各設定での、パケット受信とバッファメモリクリア処理の関連表を示します。

表 28.29 に示すように、BFRE ビットの設定値によりバッファクリア条件が異なりますが、クリアが必要などのような状態においても、DCLRM ビットを使用することでバッファクリアが不要になり、ソフトウエアを介在させない DMA 転送が可能となります。

なお、本機能はバッファメモリ読み出し方向のみ設定できます。

表 28.29　パケット受信とバッファメモリクリア処理の関連表

パケット受信時のバッファ状態	レジスタ設定			
	DCLRM = 0		DCLRM=1	
	BFRE=0	BFRE=1	BFRE=0	BFRE=1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショートパケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクションカウント終了	クリア不要	クリア必要	クリア不要	クリア不要

(3) BRDY 割り込みタイミング選択機能

PIPECFG レジスタの BFRE ビットの設定により、マックスパケットサイズのデータパケットを受信時に BRDY 割り込みを発生させないようにすることができます。

この機能により DMA 転送を使用している場合に、最終データを受信したときのみに割り込みを発生させることができます。最終データとはショートパケットの受信、またはトランザクションカウントの終了を示します。"BFRE=1" に設定している場合は、受信したデータを読み出した後で、BRDY 割り込みが発生します。DnFIFOCTR レジスタの DTLN ビットを読み出すことにより、BRDY 割り込みの発生時に最後に受信したデータパケットの受信データ長を確認することができます。

表 28.30 に本モジュールの BRDY 割り込み発生タイミングを示します。

表28.30　BRDY割り込み発生タイミング表

パケット受信時のバッファ状態	レジスタ設定	
	BFRE = “0”	BFRE = “1”
バッファフル（通常のパケット受信）	パケット受信時	発生しない
Zero-Lengthパケット受信	パケット受信時	パケット受信時
通常のショートパケット受信	パケット受信時	バッファメモリから、受信データの読み出し完了時
トランザクションカウント終了	パケット受信時	バッファメモリから、受信データの読み出し完了時

注.　BFREビット機能はバッファメモリから読み出し方向のみ有効です。書き込み方向の場合にはBFREビットは書き込む値は常に0にしてください。

28.24.6　コントロール転送（DCP）

コントロール転送のデータステージのデータ転送は、デフォルトコントロールパイプ（DCP）を使用します。DCP のバッファメモリは、コントロールリード、およびコントロールライト共用の固定領域で 64 バイトシングルバッファです。バッファメモリへのアクセスは、CFIFO ポートのみ可能です。

(1)　ホストコントローラ機能選択時のコントロール転送

(a)　セットアップステージ

USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタおよび USBLENG レジスタはセットアップトランザクションの USB リクエスト送信用のレジスタです。セットアップパケットのデータをレジスタに書き込み、DCPCTR レジスタの SUREQ ビットに “1” を書き込むことで設定されているデータがセットアップトランザクションとして送出されます。SUREQ ビットは、トランザクションが終了すると、本モジュールが “0” を書き込みます。“SUREQ =1” 中は上記 USB リクエストレジスタを操作しないでください。セットアップトランザクションのデバイスアドレスは DCPMAXP レジスタの DEVSEL ビットで指定します。

トランザクションを送出すると、周辺デバイスからの応答により割り込み要求が発生します (INTSTS1 レジスタの SIGN ビットおよび SACK ビット)。この割り込み要求によりセットアップトランザクション結果を確認することができます。

セットアップトランザクションのデータパケットは DCPCTR レジスタの SQMON ビットの内容に関わらず、常に DATA0 のデータパケット（USB リクエスト）が送信されます。

(b)　データステージ

DCP バッファメモリを使用してデータの転送を行います。

DCP バッファメモリへのアクセスには CFIFOSEL レジスタの ISEL ビットでアクセス方向を指定してください。また DCPCFG レジスタの DIR ビットで転送方向を指定してください。

データステージの第 1 データパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR レジスタの SQSET ビットでデータ PID を DATA1 にセットし、PID ビットを BUF に設定することでトランザクションを実行します。データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。

連続転送指定により複数パケットにわたったデータ転送が可能です。ただし、受信方向で連続転送に設定した場合は、バッファフルになるか、ショートパケットを受信しないと、BRDY 割り込みが発生しませんのでご注意ください (マックスパケットサイズの整数倍で、かつ 256 バイト以下の場合)。

また、コントロールライト転送の場合、送信データがマックスパケットサイズの整数倍の場合は最後に Zero-Length パケットを送出するように制御してください。

(c)　ステータスステージ

データステージと逆方向の Zero-Length パケットのデータ転送です。データステージ同様に DCP バッファメモリを使用したデータ転送になります。データステージと同様手順でトランザクションを実行します。

ステータスステージのデータパケットはデータ PID を DATA1 として通信する必要があります。DCPCTR レジスタの SQSET ビットでデータ PID を DATA1 にセットしてください。

また、Zero-Length パケットの受信は、BRDY 割り込み発生後 CFIFOCTR レジスタの DTLN ビットで受信データ長を確認のうえ、BCLR ビットでバッファメモリクリアを行ってください。

(2)　ファンクションコントローラ機能選択時のコントロール転送

(a)　セットアップステージ

本モジュールは、本モジュールに対する正常なセットアップパケットに対して、必ず ACK 応答します。セットアップステージでの本モジュールの動作を以下に示します。

1. 新しいセットアップパケットを受信すると、本モジュールは、以下のビットをセットします。
   (a) INTSTS0 レジスタの VALID ビットを "1" にセット
   (b) DCPCTR レジスタの PID ビットを "NAK" にセット
   (c) DCPCTR レジスタの CCPL ビットを "0" にセット
2. セットアップパケットに引き続き、データパケット受信すると、本モジュールは、USB リクエストのパラメータを、USBREQ レジスタ、USBVAL レジスタ、USBINDX レジスタ、および USBLENG レジスタに格納します。

コントロール転送に対する応答処理は、必ず ”VALID=0” を設定後に行ってください。“VALID=1” 状態では “PID=BUF” 設定が行えず、データステージを終了することができません。

VALID ビットの機能により、本モジュールは、コントロール転送中に新しい USB リクエストを受信した場合には処理中のリクエスト処理を中断し、最新のリクエストに対する応答を行うことができます。

また、本モジュールは、受信した USB リクエストの方向ビット（bmRequestType の bit8）、およびリクエストデータ長（wLength）を自動判別し、コントロールリード転送、コントロールライト転送、およびコントロールライトノーデータ転送を識別し、ステージ遷移を管理します。間違ったシーケンスに対しては、コントロール転送ステージ遷移割り込みのシーケンスエラーが発生します。本モジュールのステージ管理については図 28.7 を参照ください。

(b)　データステージ

受信した USB リクエストに対応したデータ転送を DCP にて行ってください。DCP バッファメモリへアクセスする前に、CFIFOSEL レジスタの ISEL ビットにてアクセス方向指定を行ってください。

DCPCTR レジスタの PID ビットを BUF に設定することでトランザクションを実行します。

データ転送の完了は、BRDY 割り込みまたは BEMP 割り込みによって検出します。コントロールライト転送では BRDY 割り込みを、コントロールリード転送では BEMP 割り込みを使用してください。

Hi-Speed 動作時のコントロールライト転送では、バッファメモリの状況に応じて NYET ハンドシェイク応答を行います。

(c)　ステータスステージ

DCPCTR レジスタの PID ビットが ”PID=BUF” の状態で、CCPL ビットに “1” を設定することによりコントロール転送を終了します。

上記設定後、セットアップステージで確定したデータ転送方向に従い、本モジュールが自動的にステータスステージを実行します。具体的には下記のとおりです。

1. コントロールリード転送の場合：USB ホストコントローラからの Zero-Length パケットを受信し、ACK 応答を送信します。
2. コントロールライト転送、ノーデータコントロール転送の場合：
   本モジュールは Zero-Length パケットの送信を行い、USB ホストコントローラからの ACK 応答を受信します。

(d)　コントロール転送自動応答機能

本モジュールは、正常な SET_ADDRESS リクエストに自動応答します。SET_ADDRESS リクエストに下記のエラーがある場合は、応答が必要です。

1. bmRequestType ≠ H'00
2. wIndex ≠ H'00
3. wLength ≠ H'00
4. wValue ＞ H'7F
5. DVSQ ＝ B'011（Configured）

SET_ADDRESS 以外の全てのリクエストには対応する応答が必要です。

28.24.7　バルク転送（パイプ 1-5、9 ～ 15）

バルク転送は、バッファメモリの使用方法（シングル / ダブルバッファ設定、もしくは連続 / 非連続転送モード設定）の選択ができます。バッファメモリサイズは、最大 2K バイトまで設定可能です。バッファメモリの状態はコントローラが管理し、PING パケット /NYET ハンドシェイクには自動応答します。

(1)　ホストコントローラ機能選択時の PING パケット制御

OUT 方向の PING パケットの送信は、本モジュールにより自動的に送出されます。以下に示すとおり本モジュールは送信方向の通信を PING パケットから開始します。PING に対する ACK ハンドシェイクを受信すると OUT パケットを送出します。OUT トランザクションにおいて NAK または NYET を受信すると PING 送出状態に戻ります。

<<OUT データ送信開始 >>
(1) PING パケット送信
(2) NAK ハンドシェイク受信
(3) PING パケット送信
(2) ACK ハンドシェイク受信
(3) OUT データパケット送信
(4) ACK ハンドシェイク受信
(5) OUT データパケット送信
：
(6) NAK/NYET ハンドシェイク受信

また、本モジュールが PING パケットの送信に戻る要因は、パワーオンリセット 、NYET/NAK ハンドシェイク受信、シーケンストグルビットのクリア (SQCLR)、バッファクリア (ACLRM) 設定です。

(2) ファンクションコントローラ機能選択時の NYET ハンドシェイク制御

表 28.31 にバルク転送およびコントロール転送における受信トークンに対する応答一覧表を示します。本モジュールは、バルク転送およびコントロール転送において OUT トークン受信時にバッファメモリに 1 パケット分の空き領域しかない場合に NYET 応答を行います。ただし、ショートパケット受信時は、この条件の場合でも NYET 応答をせずに ACK 応答を行います。

表 28.31　受信トークンに対する応答一覧表

PID ビット設定値	バッファメモリの状態	受信トークン	応答	備考
NAK/STALL	-	SETUP	ACK	-
	-	IN/OUT/PING	NAK/STALL	-
BUF	-	SETUP	ACK	-
	RCV-BRDY	OUT/PING	ACK	OUT トークン受信時はデータパケットを受信 *1
	RCV-BRDY	OUT	NYET	データパケット受信 *2
	RCV-BRDY	OUT（Short）	ACK	データパケット受信 *2
	RCV-BRDY	PING	ACK	*2
	RCV-NRDY	OUT / PING	NAK	
	TRN-BRDY	IN	DATA0 / 1	データパケット送信
	TRN-NRDY	IN	NAK	

注.　* 具体的には下記のとおりです。
RCV-BRDY*1: OUT/PING トークン受信時にバッファメモリに2パケット分以上の空き領域がある。
RCV-BRDY*2: OUT トークン受信時にバッファメモリに1パケット分の空き領域しかない。
RCV-NRDY: PING トークン受信時にバッファメモリに空き領域がない。
TRN-BRDY: IN トークン受信時にバッファメモリに送信データがある。
TRN-NRDY: IN トークン受信時にバッファメモリに送信データがない。

28.24.8　インタラプト転送（パイプ 6-9、10）

ファンクションコントローラ機能選択時、本モジュールは、ホストコントローラが管理している周期に従ってインタラプト転送を行います。インタラプト転送の場合、PING パケットに対しては無視（無応答になる）します。また NYET ハンドシェイクを送信せず、ACK、NAK、STALL 応答を行います。

ホストコントローラ機能選択時は、インターバルカウンタによりトークン発行タイミングの設定を行うことができます。OUT 方向の転送であっても、PING トークンは発行せず、OUT トークンを発行します。

また、本モジュールは、インタラプト転送の High-Bandwidth 転送には対応していません。

(1)　ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ

(a)　動作概要

インタラプト転送を行う場合、PIPEPERI レジスタの IITV ビットに、トランザクションのインターバルを設定します。本モジュールは設定されたインターバルにしたがってインタラプト転送のトークンを発行します。

(b)　カウンタの初期化

本モジュールがインターバルカウンタを初期化する条件は以下のとおりです。

1. パワーオンリセット
   IITV ビットが初期化されます。
2. ACLRM によるバッファメモリ初期化
   IITV ビットは初期化されませんがカウントは初期化されます。ACLRM ビットを 0 にすることにより、IITV の設定値を最初からカウントします。

なお以下の場合にはインターバルカウンタは初期化されませんのでご注意ください。

1. USB バスリセット、USB サスペンド
   IITV ビットは初期化されません。UACT ビットを 1 にすることにより、USB バスリセット、USB サスペンド状態とする前の値からカウントを開始します。

(c)　トークンの発生タイミングに送受信できない場合の動作

以下のような場合、トークンの発生タイミングであってもトークンを発生させません。このような場合、次のインターバルにトランザクションの実行を試みます。

(1) PID を NAK または STALL に設定した場合
(2) IN 方向（受信）の転送でトークンの送信タイミングにバッファメモリに空き領域が無い場合
(3) OUT 方向（送信）の転送でトークンの送信タイミングににバッファメモリに送信データが無い場合

28.24.9　アイソクロナス転送（パイプ 1-2）

本モジュールは、アイソクロナス転送に対して下記の機能を備えています。

1. アイソクロナス転送のエラー情報通知
2. インターバルカウンタ（IITV ビット指定）
3. アイソクロナス IN 転送データセットアップコントロール（IDLY 機能）
4. アイソクロナス IN 転送バッファフラッシュ機能（IFIS ビット指定）
5. SOF パルス出力機能

本モジュールは、アイソクロナス転送の High-Bandwidth 転送には対応していません。

(1)　アイソクロナス転送のエラー検出

本モジュールは、下記のアイソクロナス転送のエラー検出機能を持っています。**表 28.32**、および**表 28.33** にエラーを確認する順番と発生する割り込みについて示します。

1. PID エラー
   受信パケットの PID が不正な場合。
2. CRC エラー、ビットスタッフィングエラー
   受信パケットの CRC にエラーがあった場合。またはビットスタッフィングが不正な場合。
3. マックスパケットサイズオーバ
   受信パケットのデータサイズがマックスパケットサイズの設定値を越えていた。
4. オーバラン、アンダランエラー
   (a) ホストコントローラ機能選択時
   IN 方向（受信）の転送時にトークンの送信タイミングにバッファメモリに空き領域が無い場合
   OUT 方向（送信）の転送時にトークンの送信タイミングにバッファメモリにデータが無い場合
   (b) ファンクションコントローラ機能選択時
   IN 方向（送信）の転送時に IN トークン受信時にバッファメモリにデータが無い場合
   OUT 方向（受信）の転送時に OUT トークン受信したがバッファメモリに空き領域が無い場合
5. インターバルエラー
   ファンクションコントローラ機能選択時に、以下の場合にインターバルエラーとします。
   (a) アイソクロナス IN 転送でインターバルフレームに IN トークンを受信できなかった場合。
   (b) アイソクロナス OUT 転送でインターバルフレームに OUT トークンを受信できなかった場合。

表 28.32　トークン送受信時のエラー検出

検出の優先順位	エラー種別	エラー検出時に発生する割り込みとステータス
1	PIDエラー	ホスト/ファンクションのどちらのコントローラ機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
2	CRCエラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらのコントローラ機能を選択した場合にも、割り込み発生せず(破損パケットとして無視)
3	オーバラン、アンダランエラー	ホスト/ファンクションのどちらのコントローラ機能を選択した場合にも、NRDY割り込みを発生させ、OVRNビットをセットします。 ファンクションコントローラ機能選択時は、INトークンに対して、Zero-Lengthパケットを送信します。OUTトークンに対してデータパケットを受信しません。
4	インターバルエラー	ファンクションコントローラ機能選択時は、NRDY割り込みを発生させます。ホストコントローラ機能選択時は、発生しません。

表 28.33　データパケット受信時のエラー検出

検出の優先順位	エラー種別	発生する割り込みとステータス
1	PID エラー	割り込み発生せず(破損パケットとして無視)
2	CRC エラー、ビットスタッフィングエラー	ホスト/ファンクションのどちらのコントローラ機能を選択した場合にも、NRDY 割り込みを発生させて、CRCE ビットをセットします。
3	マックスパケットサイズオーバエラー	ホスト/ファンクションのどちらのコントローラ機能を選択した場合にも、BEMP 割り込みを発生させて、PID を“STALL”にセットします。

(2)　DATA-PID

本モジュールは High-Bandwidth 転送には対応していません。ファンクションコントローラ機能選択時に、受信した PID に対する対応を以下に示します。

1. IN 方向：
   (a) DATA0：データパケットの PID として送信します。
   (b) DATA1：送信しません。
   (c) DATA2：送信しません。
   (d) mDATA：送信しません。
2. OUT 方向（Full-Speed 動作時）：
   (a) DATA0：データパケットの PID として正常受信します。
   (b) DATA1：データパケットの PID として正常受信します。
   (c) DATA2：パケットを無視します。
   (d) mDATA：パケットを無視します。
3. OUT 方向（Hi-Speed 動作時）：
   (a) DATA0：データパケットの PID として正常受信します。
   (b) DATA1：データパケットの PID として正常受信します。
   (c) DATA2：データパケットの PID として正常受信します。
   (d) mDATA：データパケットの PID として正常受信します。

(3)　インターバルカウンタ

(a)　動作概要

PIPEPERI レジスタの IITV ビットによりアイソクロナス転送のインターバルを設定できます。インターバルカウンタにより、ファンクションコントローラ機能選択時、**表 28.34** の機能を実現します。ホストコントローラ機能選択時は、トークンの発行タイミングを生成します。ホストコントローラ機能選択時のインターバルカウンタの動作は、インタラプト転送と同じ動作となります。「28.24.8 (1)　**ホストコントローラ機能選択時のインタラプト転送時のインターバルカウンタ**」を参照ください。

表 28.34　ファンクションコントローラ機能選択時のインターバルカウンタの機能

転送方向	機能	検出条件
IN	送信バッファフラッシュ機能	アイソクロナス IN 転送でインターバルフレームに IN トークンを正常受信できない
OUT	トークン未受信の通知	アイソクロナス OUT 転送でインターバルフレームに OUT トークンを正常受信できない

インターバルのカウントは、SOF の受信または補完された SOF で行いますので、SOF が破損しても等時性を保つことができます。設定できるフレーム間隔は 2^{IITV}（μ）フレームです。

(b)　ファンクションコントローラ機能選択時でのインターバルカウンタの初期化

本モジュールは、下記の条件でインターバルカウンタを初期化します。

1. パワーオンリセット
   IITV ビットが初期化されます。
2. ACLRM ビットによるバッファメモリのクリア
   IITV ビットは初期化されませんがカウントは初期化されます。
3. USB バスリセット

   インターバルカウンタが初期化された後は、正常にパケットを転送したあとに、下記の条件でインターバルのカウントを開始します。
   1) “PID=BUF” 状態で IN トークンに対して、データを送信後の SOF 受信
   2) “PID=BUF” 状態で OUT トークンの、データを受信後の SOF 受信

なお、下記の条件ではインターバルカウンタは初期化されません。

1. PID を NAK または STALL に設定した場合
   インターバルタイマは停止しません。次のインターバルにトランザクションの実行を試みます。
2. USB バスリセット、USB サスペンド
   IITV ビットは初期化されません。SOF を受信すると、受信前の値からカウントを開始します。

(4)　ファンクションコントローラ機能選択時のアイソクロナス転送送信データセットアップ

ファンクションコントローラ機能選択時、本モジュールのアイソクロナスデータ送信では、バッファメモリにデータ書き込み後、SOF パケットを検出した次のフレームでデータパケットの送出が可能になります。この機能をアイソクロナス転送送信データセットアップ機能と呼びます。この機能により送信を開始したフレームを特定することができます。

バッファメモリをダブルバッファで使用している場合で、両方のバッファの書き込みが終了している場合も、転送可能状態になるバッファメモリは先に書き込みを終了した 1 面だけとなります。このため同一フレームで、複数の IN トークンを受信しても、送出されるバッファメモリはただ 1 パケット分となります。

IN トークンの受信時に、バッファメモリが送信可能状態であればデータ転送し正常応答します。しかし、バッファメモリが送信不能状態であれば、Zero-Length パケットを送出しアンダランエラーとなります。

図 28.11 に本モジュールで、“IITV=0（毎フレーム）” を設定した場合のアイソクロナス転送送信データセットアップ機能による送信例を示します。

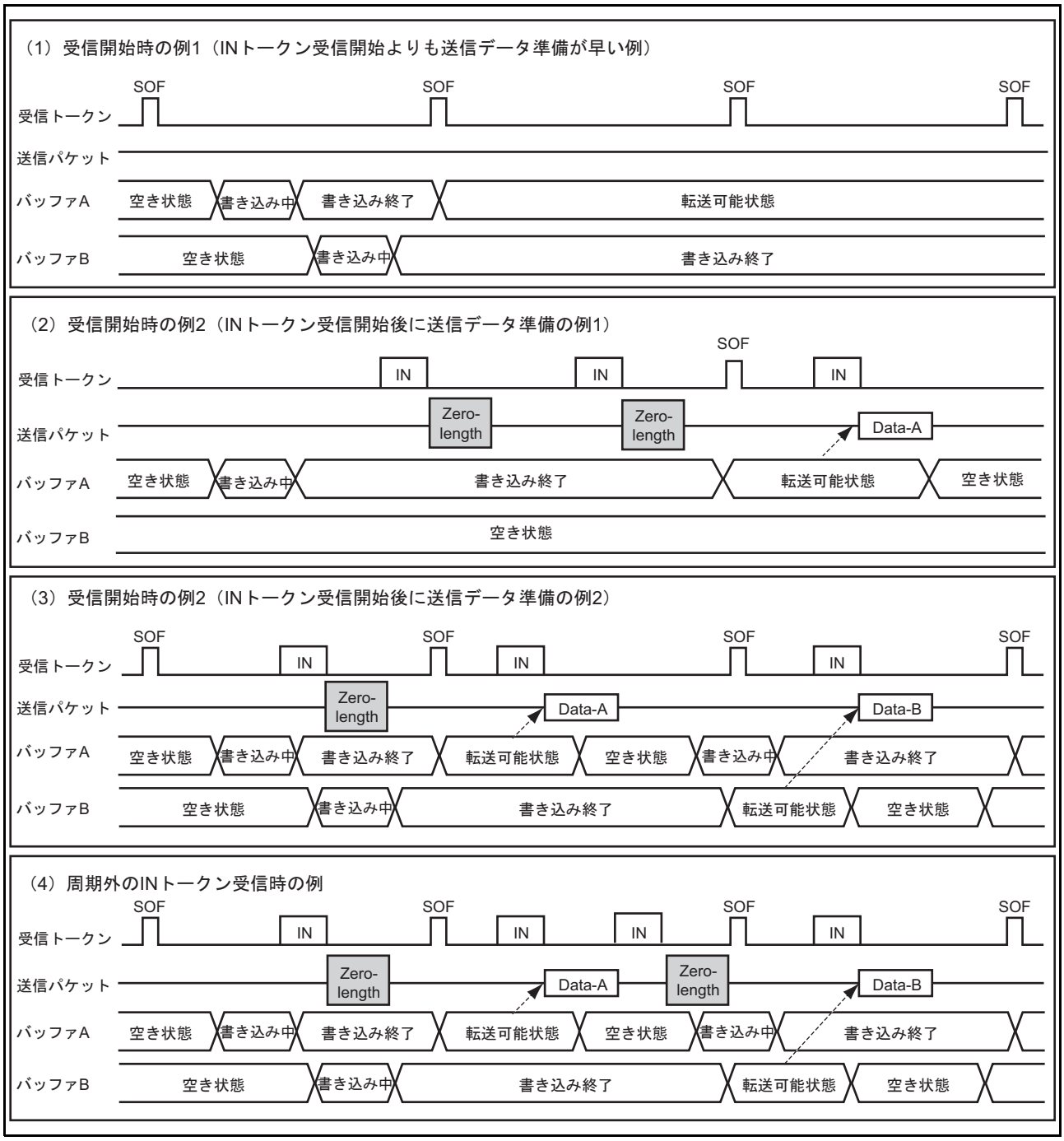


図 28.11　データセットアップ機能動作例

(5)　ファンクションコントローラ機能選択時のアイソクロナス転送送信バッファフラッシュ

ファンクションコントローラ機能選択時、本モジュールは、アイソクロナスデータ送信でインターバルフレームに IN トークンを受信せず、次フレームの（μ）SOF パケットを受信した場合は、IN トークン破損として扱い、送信可能状態となっているバッファをクリアし、そのバッファを書き込み可能状態とします。

また、このときにダブルバッファで使用しており両方のバッファの書き込みが終了している場合は、破棄したバッファメモリを同インターバルフレームで送信されたものとみなして、（μ）SOF パケット受信で破棄されていないバッファメモリを転送可能状態とします。

バッファフラッシュ機能は IITV ビット設定値により動作開始タイミングが異なります。

1. IITV=0 の場合
   パイプが有効となった次のフレームからバッファフラッシュ動作します。
2. IITV=0 以外の場合
   最初の正常なトランザクション以降バッファフラッシュ動作します。

図 28.12 に本モジュールのバッファフラッシュ機能の動作例を示します。ただし、設定されたインターバル間隔外（インターバルフレーム前のトークン）に対しては、データセットアップ状態に従い、書き込みデータの送出もしくはアンダランエラーとして Zero-Length パケットを送出します。

図 28.12　バッファフラッシュ機能動作例

図 28.13 に本モジュールのインターバルエラー発生例を示します。インターバルエラーは下記の 5 種類です。図中の①タイミングでインターバルエラーが発生しバッファフラッシュ機能が動作します。

インターバルエラーは IN 転送時にバッファフラッシュ機能が動作し、OUT 転送時は NRDY 割り込みが発生します。

受信パケットエラーなどの NRDY 割り込みとオーバランエラーとの区別は OVRN ビットで判定してください。

図中網掛けのトークンに対してはバッファメモリの状態に応じた応答になります。

1. IN 方向：
   (a) バッファ転送可能状態であればデータ転送し正常応答
   (b) バッファ転送不能状態であれば Zero-Length パケット送信しアンダランエラー
2. OUT 方向：
   (a) バッファ受信可能状態であればデータ受信し正常応答
   (b) バッファ受信不能状態であればデータ破棄しオーバランエラー

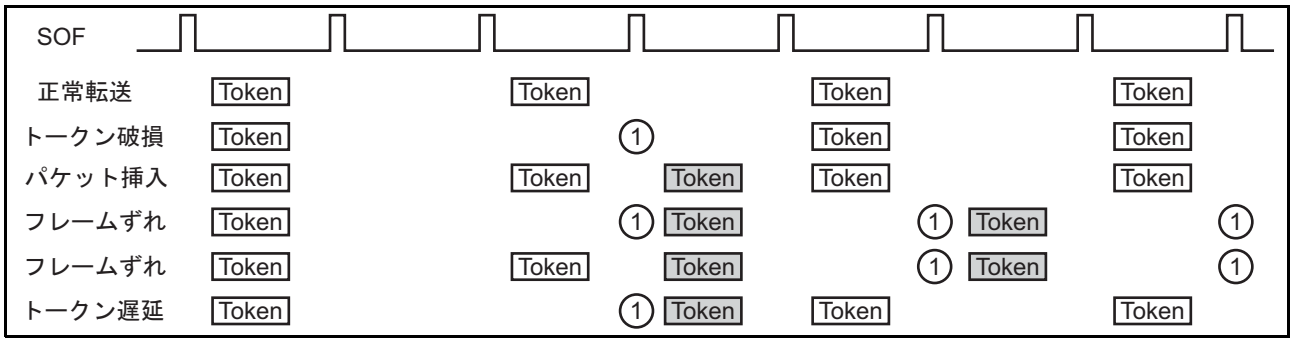


図 28.13　“IITV=1” のときのインターバルエラー発生例

28.24.10　SOF 補間機能

ファンクションコントローラ機能を選択時に SOF パケットの破損、もしくは欠落のために 1ms(Full-Speed 動作時) または 125µs(Hi-Speed 動作時) 間隔で受信できなかった場合に、コントローラ内部で SOF を補間します。SOF 補間動作の開始は “USBE=1” かつ “SUSPM=1” かつ SOF パケット受信となります。また、下記の条件で補間機能が初期化されます。

1. パワーオンリセット
2. USB バスリセット
3. サスペンド検出

また、SOF 補間は次の仕様で動作します。

1. フレーム間隔 (125µs または 1ms) はリセットハンドシェイクプロトコルの結果に従う。
2. SOF パケット受信までは補間機能は動作しない。
3. 最初の SOF パケット受信後は内部クロック 48MHz で 125µs もしくは 1ms をカウントし補間する。
4. 2 回目以降の SOF パケットを受信後は前回の受信間隔を用いて補間する。
5. サスペンド時および USB バスリセット受信中は補間しない。
   （Hi-Speed 動作時のサスペンド移行では最終パケットから 3ms 間は補間を継続します）

SOF 補間機能は次の機能で動作します。

1. フレーム番号、およびマイクロフレーム番号の更新
2. SOFR 割り込み、および µSOF ロック
3. SOF パルス出力
4. アイソクロナス転送インターバルカウント

Full-Speed 動作時に SOF パケットが欠落した場合には、FRMNUM0 レジスタの FRNM ビットは更新されません。

Hi-Speed 動作時に µSOF パケットが欠落した場合には、FRMNUM1 レジスタの UFRNM ビットが更新されます。

ただし、“µFRNM=000” の µSOF パケットが欠落した場合には、FRNM ビットは更新されません。この場合は、継続する “µFRNM=000” 以外の µSOF パケットが正常に受信されても FRNM ビットは更新されません。

29.　ビデオディスプレイコントローラ 5（1）　概要

29.1　特長

ビデオディスプレイコントローラ 5 は以下の 6 つのブロックで構成されています。なお、画面合成は、映像 1 面＋グラフィックス 2 面、もしくはグラフィックス 3 面の選択になります。

1. 入力制御部：入力映像の選択、同期調整、水平ノイズリダクション、カラーマトリクス機能によるブライト調整、ゲイン調整、YCbCr ⇔ GBR 変換
2. スケーリング部：フレームバッファを使用した入力映像の拡大・縮小、回転、および、フレームバッファに設定フィールド数分をリピート録画する機能
3. 画質改善部：黒伸張、LTI ／シャープネス、カラーマトリクス機能による YCbCr ⇔ GBR 変換
4. 画面合成部：映像 1 面＋グラフィックス 2 面、もしくはグラフィックス 3 面を重ね合わせる機能
5. 出力制御部：ブライト／コントラスト調整、ガンマ補正、ディザ処理、出力フォーマット変換、TFT-LCD パネル向けの制御信号出力機能
6. システム制御部：割り込み制御、パネルクロック制御、CLUT テーブル選択信号ステータスフラグ出力機能

表 29.1 にビデオディスプレイコントローラ 5 の主な機能を示します。

表29.1　ビデオディスプレイコントローラ5機能

項目	機　　能
動作周波数	入力映像クロック：～87MHz（RGB/YCbCr映像） パネルクロック：～87MHz（パネル仕様に依存）
入力映像規格	ITU-R BT.656規格準拠 8bit（27MHz、インタレース信号）に対応 ITU-R BT.656規格拡張 8bit（54MHz、プログレッシブ信号）に対応（注1） ITU-R BT.601規格拡張 8bit（27MHz、インタレース信号）に対応（注1） ITU-R BT.601規格拡張 8bit（54MHz、プログレッシブ信号）に対応（注1） ITU-R BT.601規格拡張 16bit（13.5MHz、インタレース信号）（注1） デジタル端子入力：YCbCr422、YCbCr444、RGB888、RGB666、RGB565映像に対応 デジタル端子入力サイズ： 設定可能な入力映像サイズ（注2）　水平1440画素、垂直1024ライン 注1.　ITU-R BT.656、601にプログレッシブに関する記述はありません。また、ITU-R BT.601に接続インタフェースに関する記述はありません。 注2.　接続するデバイスとのAC特性に依存します。 入力映像サイズ例： XGA(1024×768)、SVGA（800×600）、WVGA（800×480）、VGA（640×480）、WQVGA（480×240）、QVGA横長（320×240）、QVGA縦長（240×320）
映像録画機能	YCbCr422/YCbCr444/RGB565/RGB888形式にて1/1、1/2、1/4、1/8フィールドのレートで映像を保存 保存可能な最大映像サイズ：入力映像の等倍
映像画質調整機能	コントラスト調整、ブライト調整、水平ノイズリダクション、黒伸張、LTI／シャープネス
映像スケーリング処理	垂直1/8～8倍、リニア／ホールド補間 水平1/8～8倍、リニア／ホールド補間 初期位相を調整することによりIP変換可能
映像回転機能	YCbCr422/RGB565形式にて、0、90、180、270度回転 YCbCr422/YCbCr444/RGB565/RGB888形式にて水平鏡像
グラフィックス	グラフィックス面数：3面（グラフィックス（0）、(2)、(3)） 対応ピクセルフォーマット： RGB565 プログレッシブ形式（α:なし、R:5bit、G:6bit、B:5bitの計16bit） RGB888 プログレッシブ形式（α:なし、R:8bit、G:8bit、B:8bitの計24bit） αRGB1555 プログレッシブ形式（α:1bit、R:5bit、G:5bit、B:5bitの計16bit） αRGB4444 プログレッシブ形式（α:4bit、R:4bit、G:4bit、B:4bitの計16bit） αRGB8888 プログレッシブ形式（α:8bit、R:8bit、G:8bit、B:8bitの計32bit） RGBα5551 プログレッシブ形式（R:5bit、G:5bit、B:5bit、α:1bitの計16bit） RGBα8888 プログレッシブ形式（R:8bit、G:8bit、B:8bit、α:8bitの計32bit） CLUT8 プログレッシブ形式（CLUT:8bit） CLUT4 プログレッシブ形式（CLUT:4bit） CLUT1 プログレッシブ形式（CLUT:1bit） YCbCr422プログレッシブ形式（Y:8bit、Cb/Cr:8bitの計16bit）（グラフィックス（0）のみ） YCbCr444プログレッシブ形式（Y:8bit、Cb:8bit、Cr:8bitの計24bit）（グラフィックス（0）のみ） 読み出し可能な最大画像サイズ：水平1440画素、垂直1440ライン
グラフィックス機能	矩形領域αブレンド　設定した領域にて、透過率αに基づきミキシング（フェードイン、フェードアウト機能有り） クロマキー　設定したRGB色、CLUT値にて、透過率αに基づきミキシング 画素単位αブレンド　αRGB1555、αRGB4444、αRGB8888、RGBα5551、RGBα8888、CLUT8/4/1形式のグラフィックス画像のとき、透過率αに基づきミキシング
	各ドットにて、上記機能のα値の優先順位は 矩形領域αブレンド ＞ クロマキー ＞ 画素単位αブレンド
出力映像サイズ	設定可能な最大出力映像サイズ（注1）：水平1999画素、垂直2035ライン 注1.　表示するパネルとのAC特性に依存します。 出力映像サイズ例： XGA(1024×768)、SVGA（800×600）、WVGA（800×480）、 VGA（640×480）、WQVGA（480×240）、 QVGA横長（320×240）、 QVGA縦長（240×320）
出力映像形式	RGB888プログレッシブ映像出力（24bitのパラレル出力） RGB666プログレッシブ映像出力（18bitのパラレル出力） RGB565プログレッシブ映像出力（16bitのパラレル出力） RGB888プログレッシブ映像出力（8bitのシリアル出力）
パネル出力調整機能	パネルブライト／コントラスト調整、RGBガンマ補正、ディザ処理、出力フォーマット変換
同期信号出力	TFT-LCDパネル向けの制御信号を出力する

項目	機　　能
割り込み出力	映像入力／出力の垂直同期信号 ライン割り込み出力（任意のラインにて出力可能） 映像入力の垂直同期周期異常検出信号 フィールド書き込み完了信号 内部バッファのオーバフロー／アンダフロー検出信号

29.2　ブロック図

本モジュールの全体ブロック図を示します。

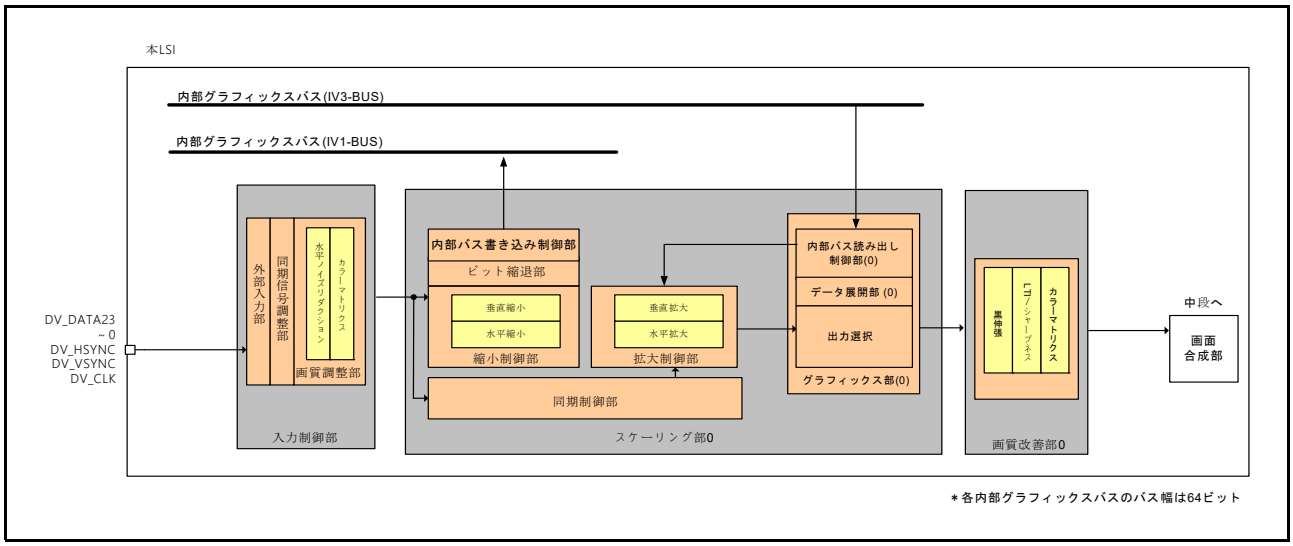


図 29.1　ビデオディスプレイコントローラ 5 前段ブロック図

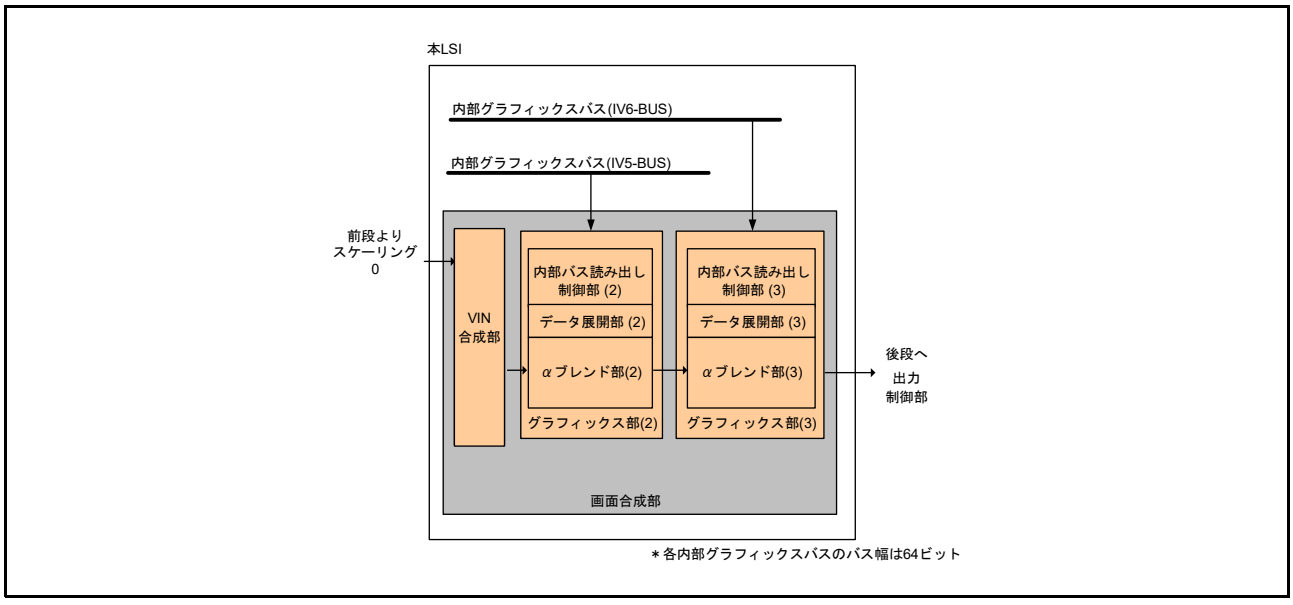


図 29.2　ビデオディスプレイコントローラ 5 中段ブロック図

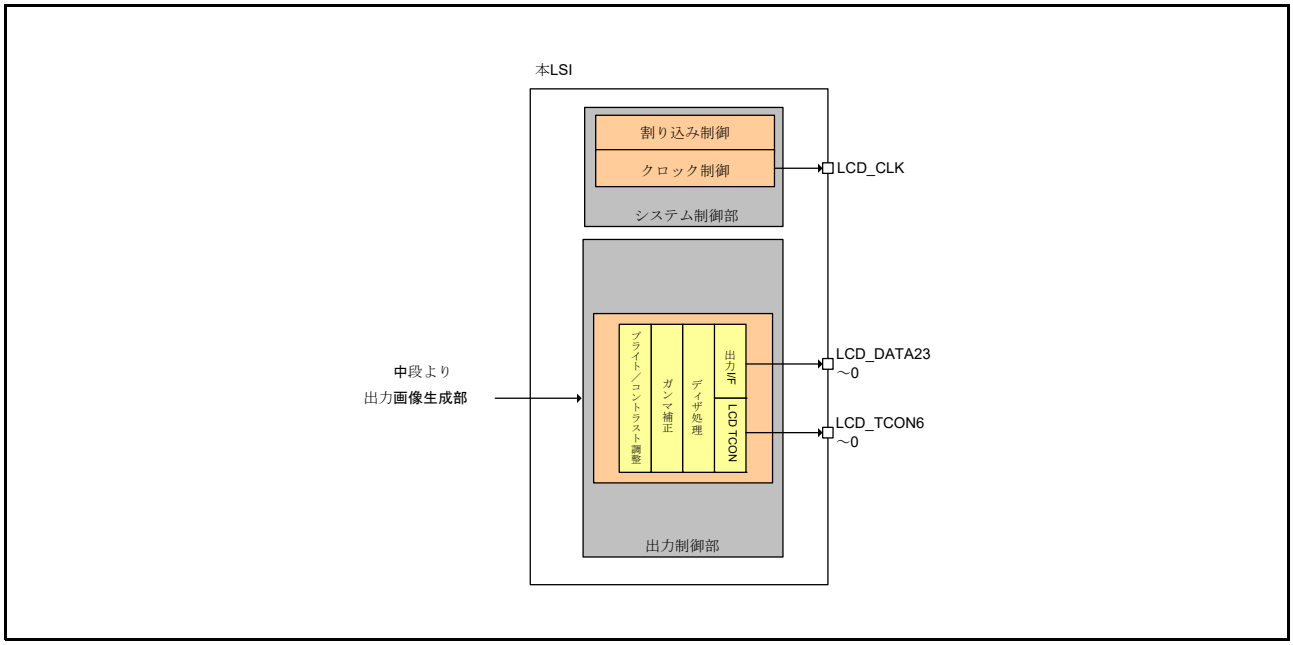


図 29.3　ビデオディスプレイコントローラ 5 後段ブロック図

29.3　入出力端子

表 29.2 に端子構成を示します。

表29.2　　入出力端子

端子名	入出力	名称	説明
DV0_CLK	入力	外部入力クロック0	外部入力0のクロック端子です。
DV0_VSYNC	入力	外部入力垂直同期0	外部入力0の垂直同期端子です。
DV0_HSYNC	入力	外部入力水平同期0	外部入力0の水平同期端子です。
DV0_DATA23~0	入力	外部入力映像データ0	外部入力0の映像データ端子です。
LCD0_CLK	出力	パネルクロック0	パネル出力0のクロック端子です
LCD0_DATA23~0	出力	パネル用映像データ0	パネル出力0の映像データ端子です。
LCD0_TCON6~0	出力	パネル用制御信号0	パネル出力0のタイミング制御端子です。
LCD0_EXTCLK	入力	パネルクロックソース0	パネルクロックソース0入力端子です。

29.4　クロック

本モジュールが各機能で使用するクロックは、主に映像クロックとピクセルクロックがあります。

映像クロックは、入力制御部からスケーリング部の縮小制御部を通って、映像をバッファに書き込む（内部バス書き込み制御）まで使用されます。DV_CLK クロックが映像クロックとなります。

ピクセルクロックは、スケーリング部のグラフィックス読み出し（内部バス読み出し制御部）から出力制御部まで使用されます。出力制御部でパラレル RGB 出力を選択したとき、ピクセルクロックはパネルクロック（LCD_CLK）と同じ周波数になります。パネルクロックは、システム制御部の SYSCNT_PANEL_CLK.PANEL_ICKSEL[1:0] により、映像クロック、LCD_EXTCLK、周辺バスクロック 1（P1φ）から選択可能です。出力制御部でシリアル RGB（3/4 倍速モード）を選択したとき、ピクセルクロックはパネルクロック（LCD_CLK）の 1/3、1/4 の周波数となります。

29.5　水平・垂直同期信号

スケーリング部の同期制御部にて、スケーリング部の拡大制御部より後段論理で使用する水平・垂直同期信号を生成します。この水平・垂直同期信号は、パネル駆動用の各種タイミングを生成する LCD TCON の基準信号となるため、パネルへ渡す制御信号（LCD_TCON6~0 端子）もこれらの信号が基準となります。

この出力する水平同期信号は、常に自走周期であり、SC_SCL0_FRC4.SC_RES_FH[10:0] で水平周期を設定します。一方、出力する垂直同期信号は、スケーリング部の SC_SCL0_FRC3.SC_RES_VS_SEL により、外部入力の垂直同期信号または自走垂直同期信号から選択します。

29.5.1　外部入力垂直同期

(1)　動作概要

本モードでは、外部入力の垂直同期信号を基準に出力する垂直同期信号を生成します。デジタル端子からの入力映像をパネルに表示し、かつポインタバッファを使用しない場合は、必ず本モードにしてください。本モードでも、出力する水平同期信号は自走周期となります。タイミング図を下記に示します。

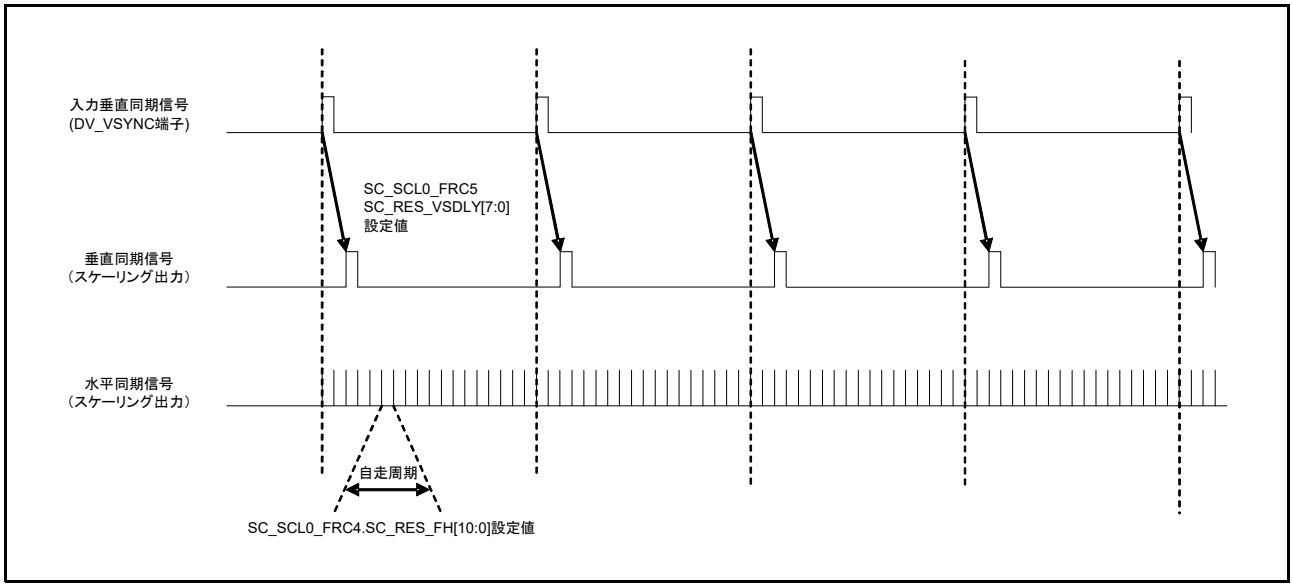


図 29.4　外部入力垂直同期タイミング図

(2)　注意事項

外部入力垂直同期では、外部入力の垂直同期信号を基準に出力する垂直同期信号を生成します。そのため、出力垂直同期信号は入力垂直同期信号に追随することができますが、不安定な垂直同期信号を入力した場合、出力垂直同期信号も不安定となります。

また、出力する水平同期信号は自走周期、垂直同期信号は映像入力の垂直同期信号を基準に生成していることから、これらの信号は非同期の関係となります。本モジュールでは、出力水平同期信号のタイミングに合わせて垂直同期信号を出力することで、タイミングを調整しています。そのため、安定した垂直同期信号を入力した場合においても、タイミングにより出力垂直同期信号が最大 1 ライン分増減する可能性があります。

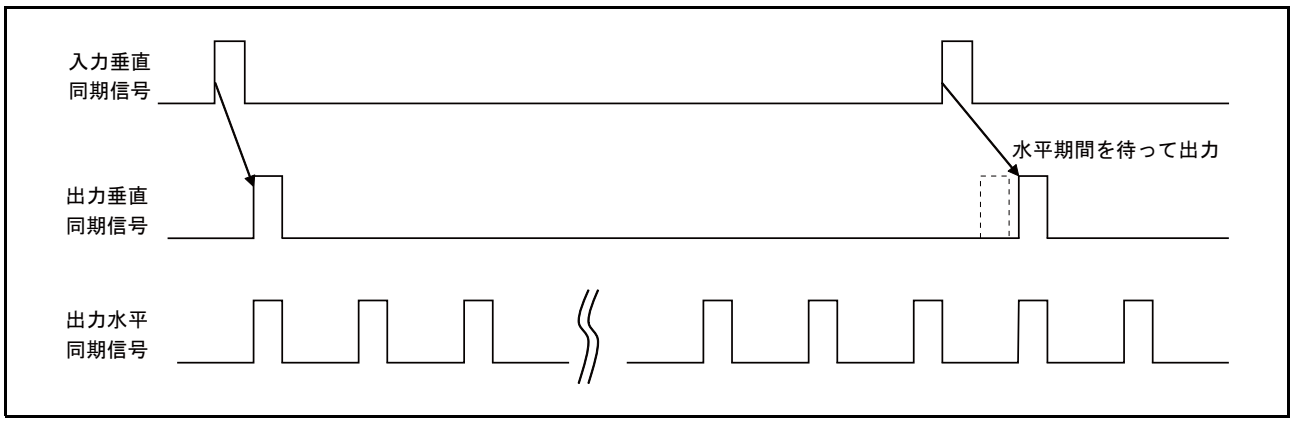


図 29.5　出力垂直同期信号生成詳細タイミング図

29.5.2　自走垂直同期

(1)　動作概要

本モードでは、ピクセルクロックを元に垂直同期信号を生成します（自走）。
SC_SCL0_FRC4.SC_RES_FV[10:0] で垂直周期を設定します。出力する水平同期信号も自走周期となります。
タイミング図を下記に示します。

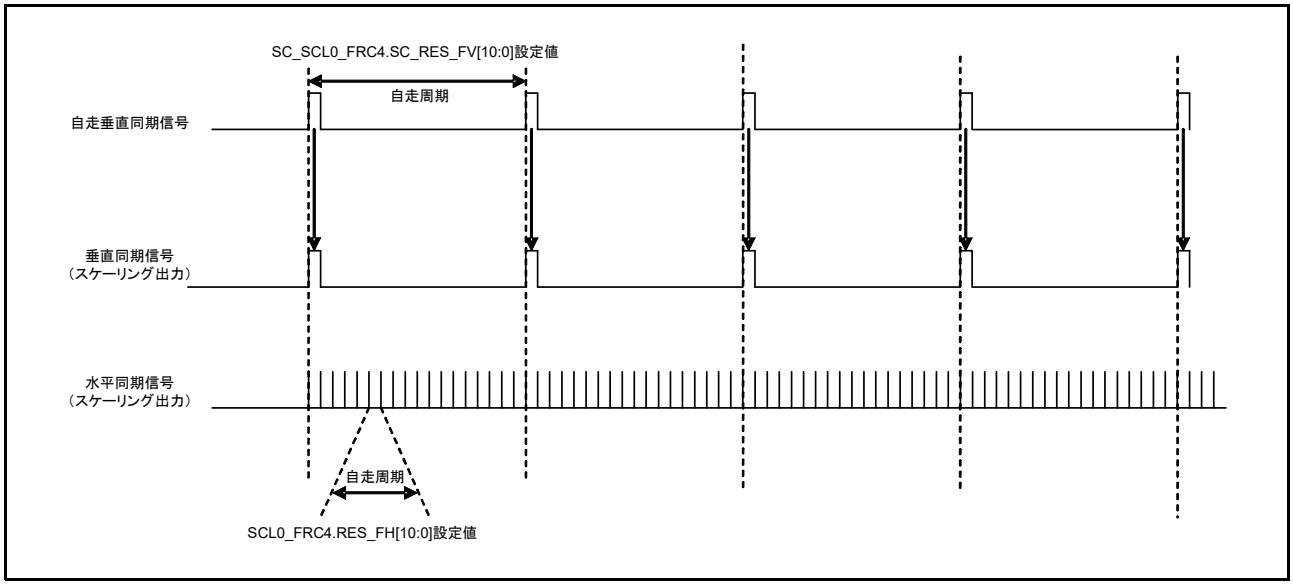


図 29.6　自走垂直同期タイミング図

(2)　ポインタバッファ

自走垂直同期で、入力映像をパネルへ出力すると、入力垂直同期信号と出力垂直同期信号が非同期の際に起こる出力映像のちらつきが発生します。そのため、自走垂直同期で入力映像をパネルへ出力する際は、ポインタバッファを使用してください。ポインタバッファは、フレーム単位で入力映像と出力映像のタイミングを調整する機構です。入力垂直同期信号が出力垂直同期信号より速い場合、入力映像のフレームを間引いて表示します。逆に、入力垂直同期信号が出力垂直同期信号より遅い場合、入力映像のフレームを複数回表示します。ただし、入出力垂直同期のタイミング差があまりに大きい場合、ポインタバッファで吸収できず、ちらつきが発生する可能性があります。使用するバッファ枚数が多いほど、吸収できる周波数差の範囲が広がります。

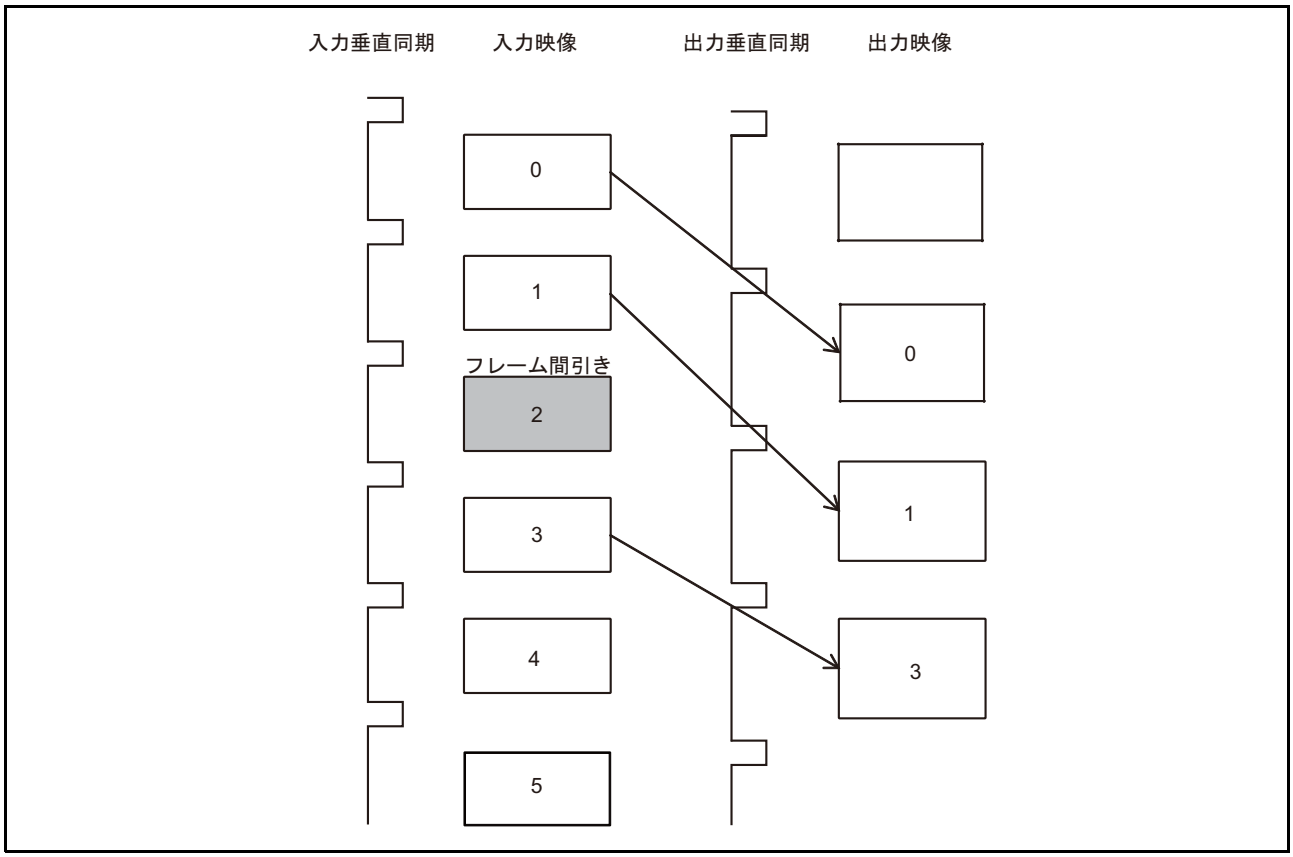


図 29.7　入力垂直同期信号が出力垂直同期信号より速いときのタイミング図

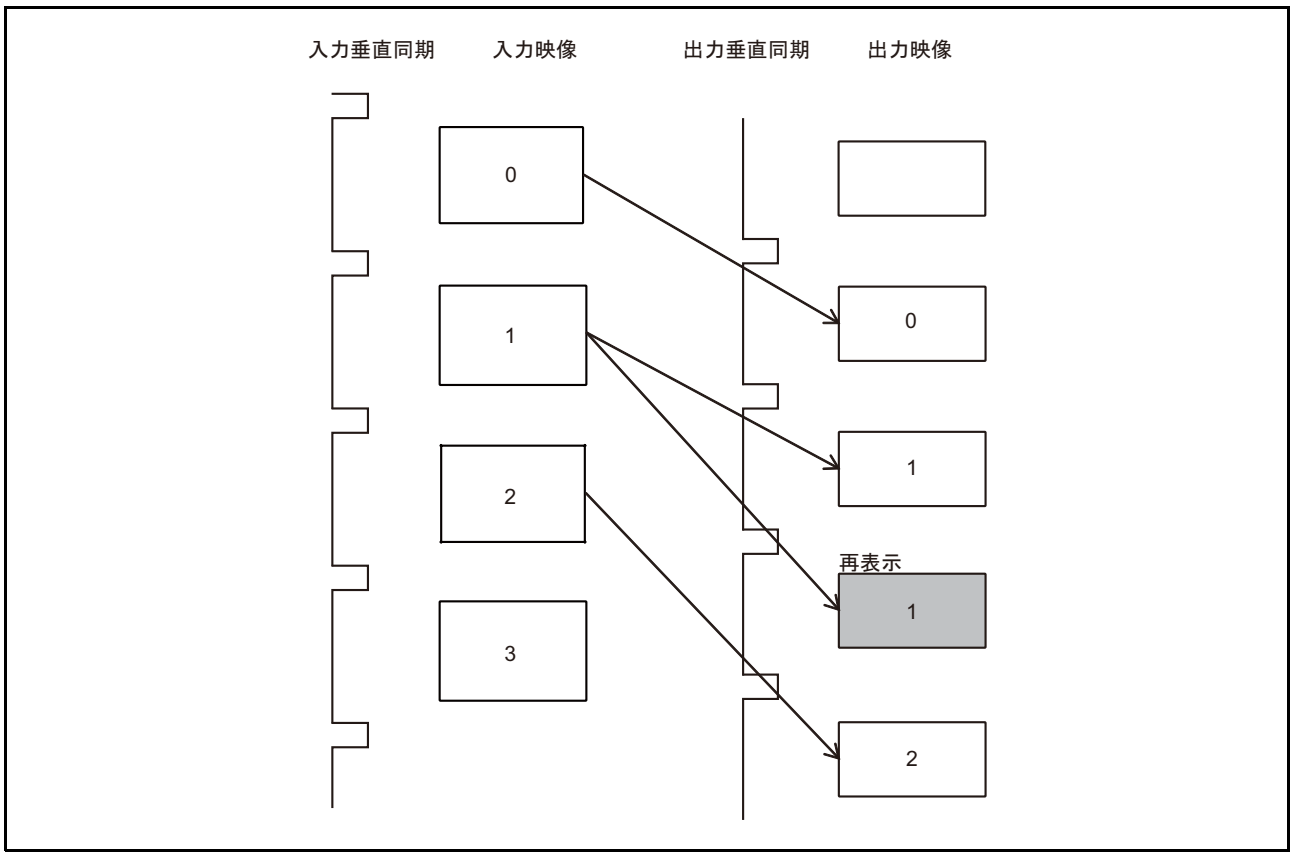


図 29.8　入力垂直同期信号が出力垂直同期信号より遅いときのタイミング図

29.5.3　垂直同期信号切り替え時の注意事項

垂直同期信号選択を切り替えるとき、出力する垂直同期信号は不連続となるため、パネル表示が乱れる期間があります。そのため、必要に応じてミュート処理をした状態で、垂直同期信号を切り替えてください。ミュート処理はパネルの仕様に応じて処理してください。

30. ビデオディスプレイコントローラ 5（2） 入力制御部

30.1 入力制御機能

30.1.1 機能概要

入力制御部は、外部入力端子からの入力制御、同期調整、水平ノイズリダクション、およびカラーマトリクスによるブライト調整、ゲイン調整、YCbCr ⇔ GBR 変換を行います。

下図に入力制御部の機能ブロック図を示します。

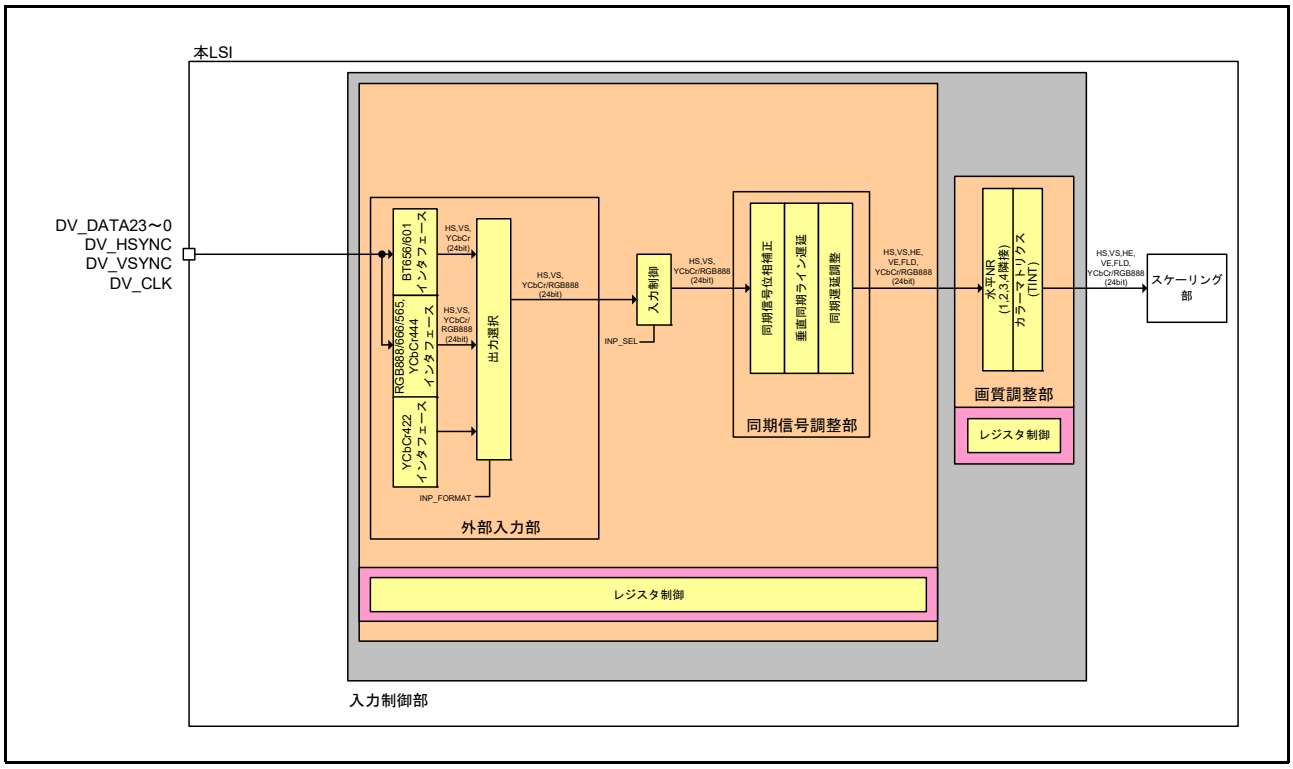


図 30.1 入力制御部の機能ブロック図

30.1.2 外部入力部、同期信号調整部のレジスタ更新制御

外部入力部、同期信号調整部の制御レジスタは、更新制御レジスタに 1 をセットすることにより更新されます。

画質調整部の IMGCNT_DRC_REG レジスタを除く制御レジスタは、垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 30.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説 明
INP_UPDATE	INP_EXT_UPDATE	0	外部入力部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
INP_UPDATE	INP_IMG_UPDATE	0	同期信号調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
IMGCNT_UPDATE	IMGCNT_VEN	0	画質調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

30.1.3 入力制御

外部入力端子からの入力オン / オフを制御します。

表 30.2 入力制御

レジスタ名	ビット名	初期値	説 明
INP_SEL_CNT	INP_SEL	0	外部入力端子からの入力オン/オフ制御 0：外部入力端子からの入力オフ 1：外部入力端子からの入力オン

30.1.4 外部入力の映像信号制御

外部入力の映像信号は、YCbCr444、RGB888、RGB666、RGB565、BT656（規格拡張）、BT601（規格拡張）、YCbCr422（BT601 の 16 ビットデータ）のフォーマットに対応します。

BT656 信号は、インタレース信号の 525Line/59.94Hz（27.0MHz）、625Line/50.00Hz（27.0MHz）、規格を拡張した 525Line/59.94Hz（54.0MHz）、625Line/50.00Hz（54.0MHz）のプログレッシブ信号に対応します。

BT601 信号は、データラインが 8 ビットの 525Line/59.94Hz（27.0MHz）、625Line/50.00Hz（27.0MHz）のインタレース信号、規格を拡張した 525Line/59.94Hz（54.0MHz）、625Line/50.00Hz（54.0MHz）のプログレッシブ信号に対応します。

YCbCr422 信号は、データラインが 16 ビットの 525Line/59.94Hz（13.5MHz）、625Line/50.00Hz（13.5MHz）の BT601 フォーマットのインタレース信号に対応します。

上記の信号選択は INP_FORMAT[2:0] で行います。また、INP_ENDIAN_ON、INP_SWAP_ON でビットエンディアン、B/R 信号入れ替えを制御します。

表 30.3 外部入力の映像信号制御

レジスタ名	ビット名	初期値	説 明
INP_SEL_CNT	INP_FORMAT[2:0]	000	外部入力のフォーマット選択 0：YCbCr444、RGB888 1：RGB666 2：RGB565 3：BT656 4：BT601 5：YCbCr422 6～7：設定禁止
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	0	外部入力のビットエンディアン変更オン／オフ制御 0：オフ 1：オン
INP_EXT_SYNC_CNT	INP_SWAP_ON	0	外部入力の B/R 信号入れ替えオン／オフ制御 0：オフ 1：オン

30.1.5 外部入力のクロックのエッジ選択

INP_PXD_EDGE、INP_VS_EDGE、INP_HS_EDGE で映像信号、垂直同期信号、水平同期信号の受付クロックのエッジを個別に選択します。

表 30.4 外部入力のクロックのエッジ選択

レジスタ名	ビット名	初期値	説 明
INP_SEL_CNT	INP_PXD_EDGE	0	外部入力の映像信号 DV_DATA23～0 の入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
INP_SEL_CNT	INP_VS_EDGE	0	外部入力の垂直同期信号 DV_VSYNC の入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
INP_SEL_CNT	INP_HS_EDGE	0	外部入力の水平同期信号 DV_HSYNC の入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ

外部入力の標準入力タイミングは図 30.2 に示すとおりです。

INP_PXD_EDGE ＝ 0、INP_VS_EDGE ＝ 0、INP_HS_EDGE ＝ 0 では、クロック信号 DV_CLK の立ち上がりで各入力信号を受け付けることができます。

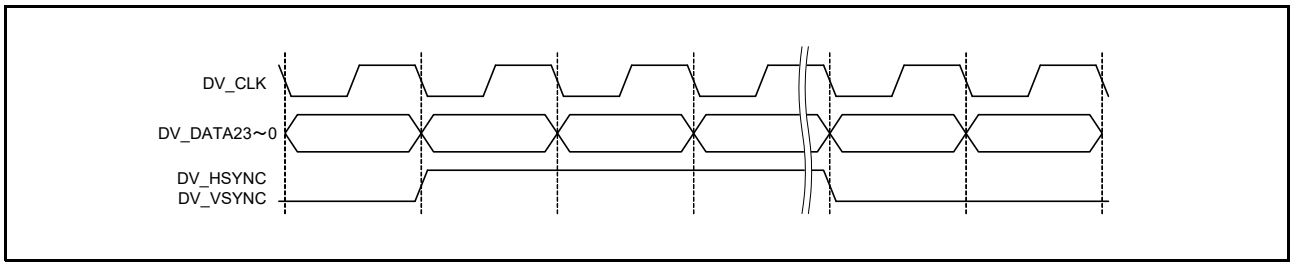


図 30.2 外部入力の標準入力タイミング（クロック位相）

30.1.6 外部入力の同期信号の反転制御

INP_VS_INV、INP_HS_INV で垂直同期信号、水平同期信号の極性反転を制御します。

表 30.5 同期信号の反転制御

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_VS_INV	0	外部入力の垂直同期信号 DV_VSYNC の反転制御 0：非反転（正極性） 1：反転（負極性）
INP_EXT_SYNC_CNT	INP_HS_INV	0	外部入力の水平同期信号 DV_HSYNC の反転制御 0：非反転（正極性） 1：反転（負極性）

30.1.7 外部入力の映像信号のビット割り付け

各フォーマット時の外部入力の映像信号 DV_DATA 端子の信号割当を以下に示します。

(1) YCbCr444/RGB888 入力

YCbCr444/RGB888 入力時、外部入力の映像信号 DV_DATA 端子は**表 30.6** に示すとおり、内部信号 Y/GOUT、Cb/BOUT、Cr/ROUT に割り付けられます。

表 30.6 YCbCr444/RGB888 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	0	0	0	0
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA23	Cr/ROUT[7]	Cb/BOUT[7]	Cr/ROUT[0]	Cb/BOUT[0]
DV_DATA22	Cr/ROUT[6]	Cb/BOUT[6]	Cr/ROUT[1]	Cb/BOUT[1]
DV_DATA21	Cr/ROUT[5]	Cb/BOUT[5]	Cr/ROUT[2]	Cb/BOUT[2]
DV_DATA20	Cr/ROUT[4]	Cb/BOUT[4]	Cr/ROUT[3]	Cb/BOUT[3]
DV_DATA19	Cr/ROUT[3]	Cb/BOUT[3]	Cr/ROUT[4]	Cb/BOUT[4]
DV_DATA18	Cr/ROUT[2]	Cb/BOUT[2]	Cr/ROUT[5]	Cb/BOUT[5]
DV_DATA17	Cr/ROUT[1]	Cb/BOUT[1]	Cr/ROUT[6]	Cb/BOUT[6]
DV_DATA16	Cr/ROUT[0]	Cb/BOUT[0]	Cr/ROUT[7]	Cb/BOUT[7]
DV_DATA15	Y/GOUT[7]	Y/GOUT[7]	Y/GOUT[0]	Y/GOUT[0]
DV_DATA14	Y/GOUT[6]	Y/GOUT[6]	Y/GOUT[1]	Y/GOUT[1]
DV_DATA13	Y/GOUT[5]	Y/GOUT[5]	Y/GOUT[2]	Y/GOUT[2]
DV_DATA12	Y/GOUT[4]	Y/GOUT[4]	Y/GOUT[3]	Y/GOUT[3]
DV_DATA11	Y/GOUT[3]	Y/GOUT[3]	Y/GOUT[4]	Y/GOUT[4]
DV_DATA10	Y/GOUT[2]	Y/GOUT[2]	Y/GOUT[5]	Y/GOUT[5]
DV_DATA9	Y/GOUT[1]	Y/GOUT[1]	Y/GOUT[6]	Y/GOUT[6]
DV_DATA8	Y/GOUT[0]	Y/GOUT[0]	Y/GOUT[7]	Y/GOUT[7]
DV_DATA7	Cb/BOUT[7]	Cr/ROUT[7]	Cb/BOUT[0]	Cr/ROUT[0]
DV_DATA6	Cb/BOUT[6]	Cr/ROUT[6]	Cb/BOUT[1]	Cr/ROUT[1]
DV_DATA5	Cb/BOUT[5]	Cr/ROUT[5]	Cb/BOUT[2]	Cr/ROUT[2]
DV_DATA4	Cb/BOUT[4]	Cr/ROUT[4]	Cb/BOUT[3]	Cr/ROUT[3]
DV_DATA3	Cb/BOUT[3]	Cr/ROUT[3]	Cb/BOUT[4]	Cr/ROUT[4]
DV_DATA2	Cb/BOUT[2]	Cr/ROUT[2]	Cb/BOUT[5]	Cr/ROUT[5]
DV_DATA1	Cb/BOUT[1]	Cr/ROUT[1]	Cb/BOUT[6]	Cr/ROUT[6]
DV_DATA0	Cb/BOUT[0]	Cr/ROUT[0]	Cb/BOUT[7]	Cr/ROUT[7]

(2) RGB666 入力

RGB666 入力時、外部入力の映像信号 DV_DATA 端子は**表 30.7** に示すとおり、内部信号 GOUT、BOUT、ROUT に割り付けられます。

割り付けられた GOUT、BOUT、ROUT 信号は以下の演算式で RGB666 インタフェースから計 24 ビットで映像出力されます。

G[7:0] = GOUT[7:2]×255÷63
B[7:0] = BOUT[7:2]×255÷63
R[7:0] = ROUT[7:2]×255÷63

表 30.7　RGB666 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	1	1	1	1
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA17	ROUT[7]	BOUT[7]	ROUT[2]	BOUT[2]
DV_DATA16	ROUT[6]	BOUT[6]	ROUT[3]	BOUT[3]
DV_DATA15	ROUT[5]	BOUT[5]	ROUT[4]	BOUT[4]
DV_DATA14	ROUT[4]	BOUT[4]	ROUT[5]	BOUT[5]
DV_DATA13	ROUT[3]	BOUT[3]	ROUT[6]	BOUT[6]
DV_DATA12	ROUT[2]	BOUT[2]	ROUT[7]	BOUT[7]
DV_DATA11	GOUT[7]	GOUT[7]	GOUT[2]	GOUT[2]
DV_DATA10	GOUT[6]	GOUT[6]	GOUT[3]	GOUT[3]
DV_DATA9	GOUT[5]	GOUT[5]	GOUT[4]	GOUT[4]
DV_DATA8	GOUT[4]	GOUT[4]	GOUT[5]	GOUT[5]
DV_DATA7	GOUT[3]	GOUT[3]	GOUT[6]	GOUT[6]
DV_DATA6	GOUT[2]	GOUT[2]	GOUT[7]	GOUT[7]
DV_DATA5	BOUT[7]	ROUT[7]	BOUT[2]	ROUT[2]
DV_DATA4	BOUT[6]	ROUT[6]	BOUT[3]	ROUT[3]
DV_DATA3	BOUT[5]	ROUT[5]	BOUT[4]	ROUT[4]
DV_DATA2	BOUT[4]	ROUT[4]	BOUT[5]	ROUT[5]
DV_DATA1	BOUT[3]	ROUT[3]	BOUT[6]	ROUT[6]
DV_DATA0	BOUT[2]	ROUT[2]	BOUT[7]	ROUT[7]

(3) RGB565 入力

RGB565 入力時、外部入力の映像信号 DV_DATA 端子は**表 30.8** に示すとおり、内部信号 GOUT、BOUT、ROUT に割り付けられます。

割り付けられた GOUT、BOUT、ROUT 信号は以下の演算式で RGB565 インタフェースから計 24 ビットで映像出力されます。

G[7:0] = GOUT[7:2]×255÷63
B[7:0] = BOUT[7:3]×255÷31
R[7:0] = ROUT[7:3]×255÷31

表 30.8　RGB565 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	2	2	2	2
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA15	ROUT[7]	BOUT[7]	ROUT[3]	BOUT[3]
DV_DATA14	ROUT[6]	BOUT[6]	ROUT[4]	BOUT[4]
DV_DATA13	ROUT[5]	BOUT[5]	ROUT[5]	BOUT[5]
DV_DATA12	ROUT[4]	BOUT[4]	ROUT[6]	BOUT[6]
DV_DATA11	ROUT[3]	BOUT[3]	ROUT[7]	BOUT[7]
DV_DATA10	GOUT[7]	GOUT[7]	GOUT[2]	GOUT[2]
DV_DATA9	GOUT[6]	GOUT[6]	GOUT[3]	GOUT[3]
DV_DATA8	GOUT[5]	GOUT[5]	GOUT[4]	GOUT[4]
DV_DATA7	GOUT[4]	GOUT[4]	GOUT[5]	GOUT[5]
DV_DATA6	GOUT[3]	GOUT[3]	GOUT[6]	GOUT[6]
DV_DATA5	GOUT[2]	GOUT[2]	GOUT[7]	GOUT[7]
DV_DATA4	BOUT[7]	ROUT[7]	BOUT[3]	ROUT[3]
DV_DATA3	BOUT[6]	ROUT[6]	BOUT[4]	ROUT[4]
DV_DATA2	BOUT[5]	ROUT[5]	BOUT[5]	ROUT[5]
DV_DATA1	BOUT[4]	ROUT[4]	BOUT[6]	ROUT[6]
DV_DATA0	BOUT[3]	ROUT[3]	BOUT[7]	ROUT[7]

(4) BT656 ／ BT601 入力

BT656 ／ BT601 入力時、外部入力の映像信号 DV_DATA 端子は**表 30.9** に示すとおり、内部信号 BTOUT に割り付けられます。

割り付けられた BTOUT 信号から YCbCr 信号を生成します。

YCbCr 信号の生成は後述「**30.1.12 BT656 ／ BT601 ／ YCbCr422 設定**」を参照してください。

表 30.9 BT656／BT601 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	3～4	3～4
INP_ENDIAN_ON	0	1
INP_SWAP_ON	0	0
DV_DATA7	BTOUT[7]	BTOUT[0]
DV_DATA6	BTOUT[6]	BTOUT[1]
DV_DATA5	BTOUT[5]	BTOUT[2]
DV_DATA4	BTOUT[4]	BTOUT[3]
DV_DATA3	BTOUT[3]	BTOUT[4]
DV_DATA2	BTOUT[2]	BTOUT[5]
DV_DATA1	BTOUT[1]	BTOUT[6]
DV_DATA0	BTOUT[0]	BTOUT[7]

(5) YCbCr422 入力

YCbCr422 入力時、外部入力の映像信号 DV_DATA 端子は**表 30.10** に示すとおり、内部信号 Y、Cb/Cr に割り付けられます。

表 30.10 YCbCr422 入力時の DV_DATA 端子入力のビット割り付け

INP_FORMAT[2:0]	5	5	5	5
INP_ENDIAN_ON	0	0	1	1
INP_SWAP_ON	0	1	0	1
DV_DATA15	Y[7]	Cb/Cr[7]	Y[0]	Cb/Cr[0]
DV_DATA14	Y[6]	Cb/Cr[6]	Y[1]	Cb/Cr[1]
DV_DATA13	Y[5]	Cb/Cr[5]	Y[2]	Cb/Cr[2]
DV_DATA12	Y[4]	Cb/Cr[4]	Y[3]	Cb/Cr[3]
DV_DATA11	Y[3]	Cb/Cr[3]	Y[4]	Cb/Cr[4]
DV_DATA10	Y[2]	Cb/Cr[2]	Y[5]	Cb/Cr[5]
DV_DATA9	Y[1]	Cb/Cr[1]	Y[6]	Cb/Cr[6]
DV_DATA8	Y[0]	Cb/Cr[0]	Y[7]	Cb/Cr[7]
DV_DATA7	Cb/Cr[7]	Y[7]	Cb/Cr[0]	Y[0]
DV_DATA6	Cb/Cr[6]	Y[6]	Cb/Cr[1]	Y[1]
DV_DATA5	Cb/Cr[5]	Y[5]	Cb/Cr[2]	Y[2]
DV_DATA4	Cb/Cr[4]	Y[4]	Cb/Cr[3]	Y[3]
DV_DATA3	Cb/Cr[3]	Y[3]	Cb/Cr[4]	Y[4]
DV_DATA2	Cb/Cr[2]	Y[2]	Cb/Cr[5]	Y[5]
DV_DATA1	Cb/Cr[1]	Y[1]	Cb/Cr[6]	Y[6]
DV_DATA0	Cb/Cr[0]	Y[0]	Cb/Cr[7]	Y[7]

30.1.8 BT601 の標準信号タイミング

BT601 フォーマットの水平タイミングを図 30.3、図 30.4 に、垂直タイミングを図 30.5、図 30.6 に示します。

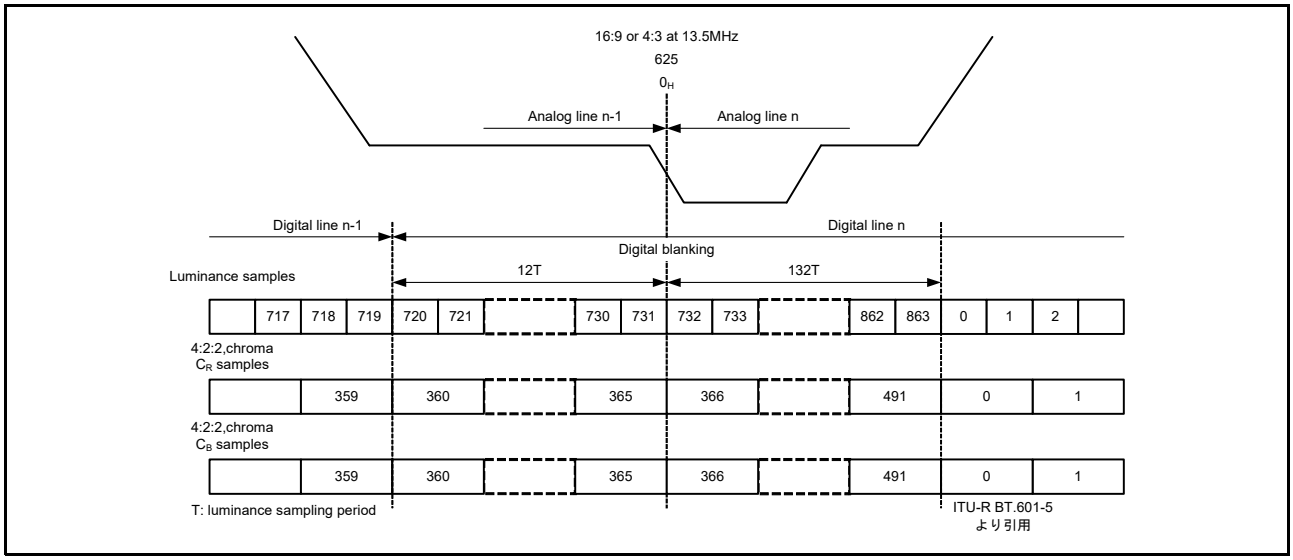


図 30.3 BT601 水平タイミング（625 ライン／ 50.00Hz）

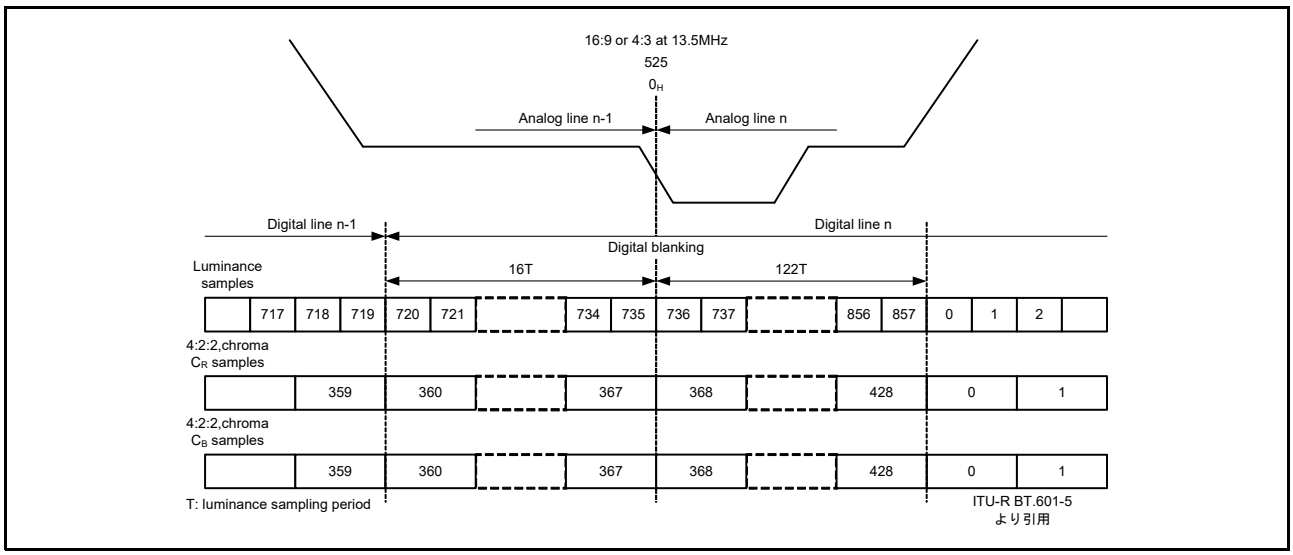


図 30.4 BT601 水平タイミング（525 ライン／ 59.94Hz）

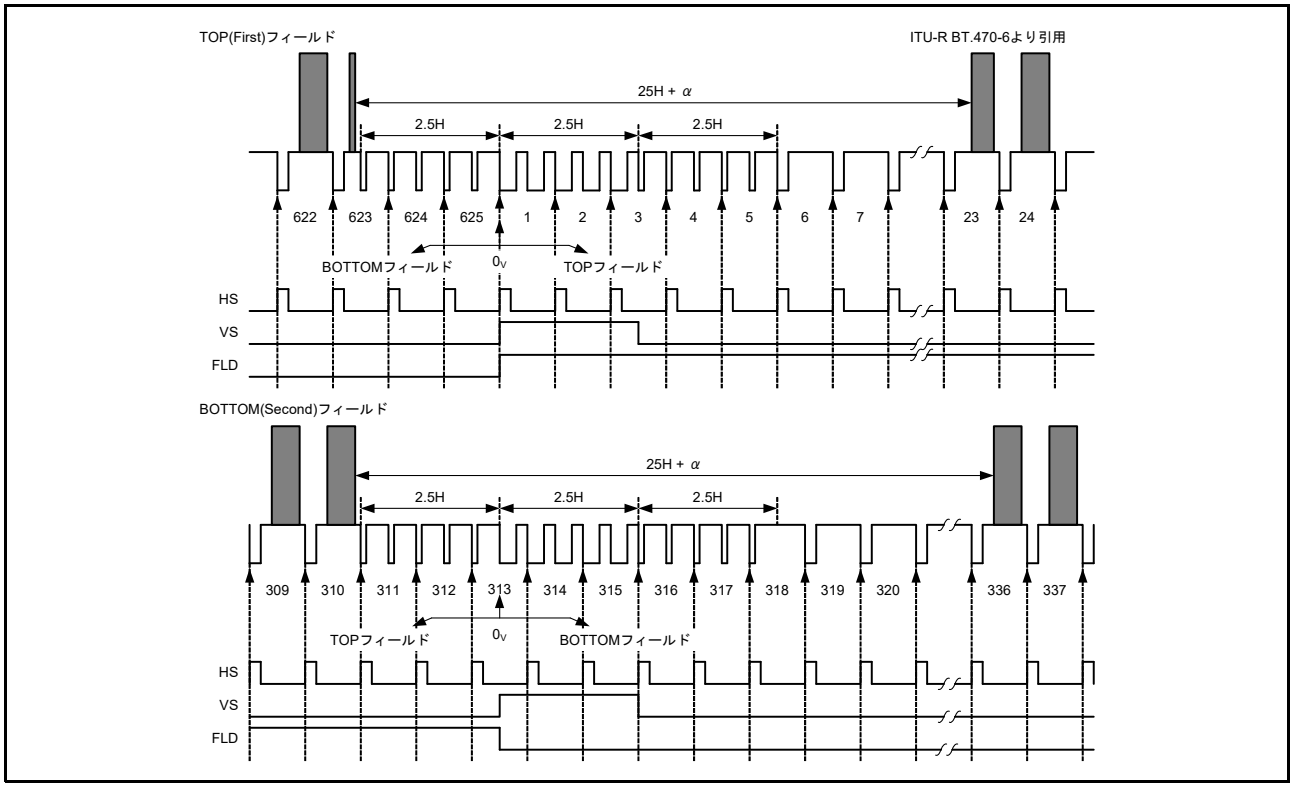


図 30.5　BT601 垂直タイミング（625 ライン／ 50.00Hz）

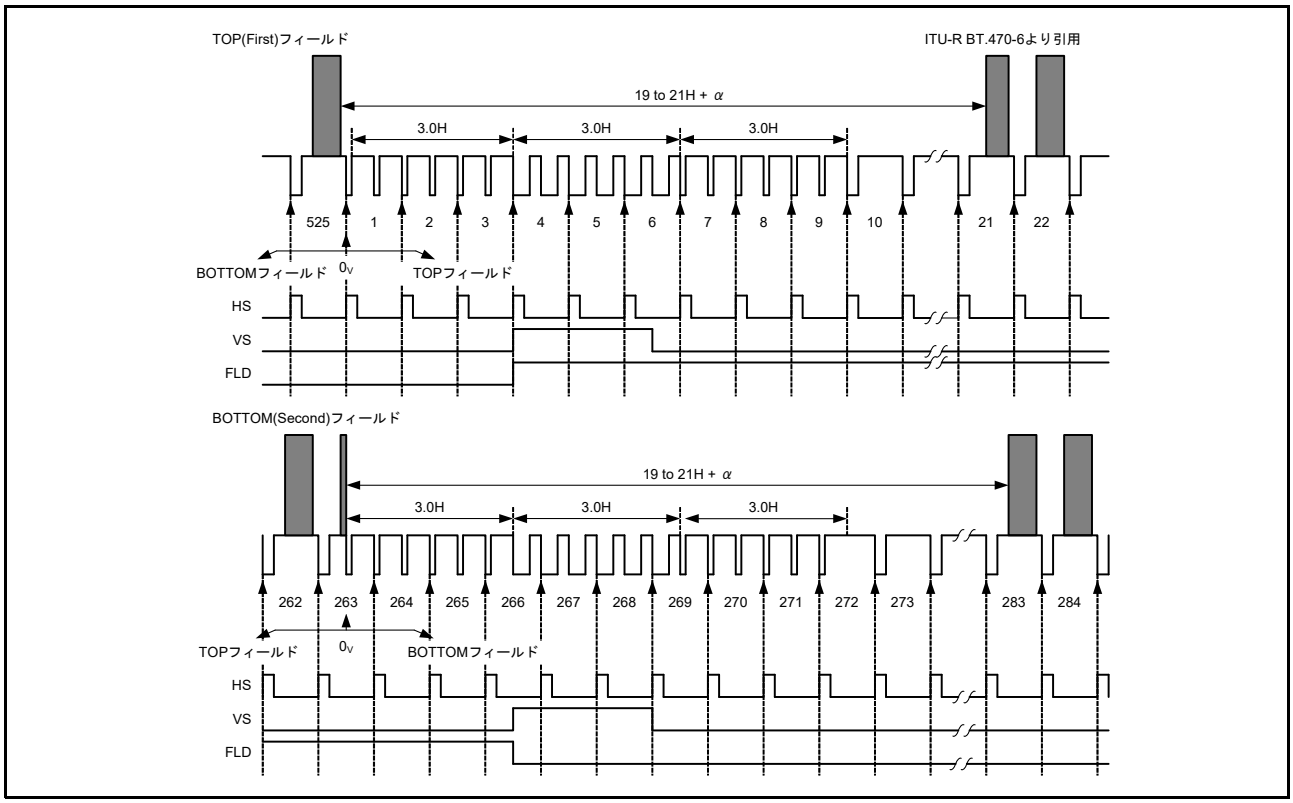


図 30.6　BT601 垂直タイミング（525 ライン／ 59.94Hz）

30.1.9 BT656 の標準信号タイミング

BT656 フォーマットの水平タイミングを図 30.7、図 30.8 に示します。

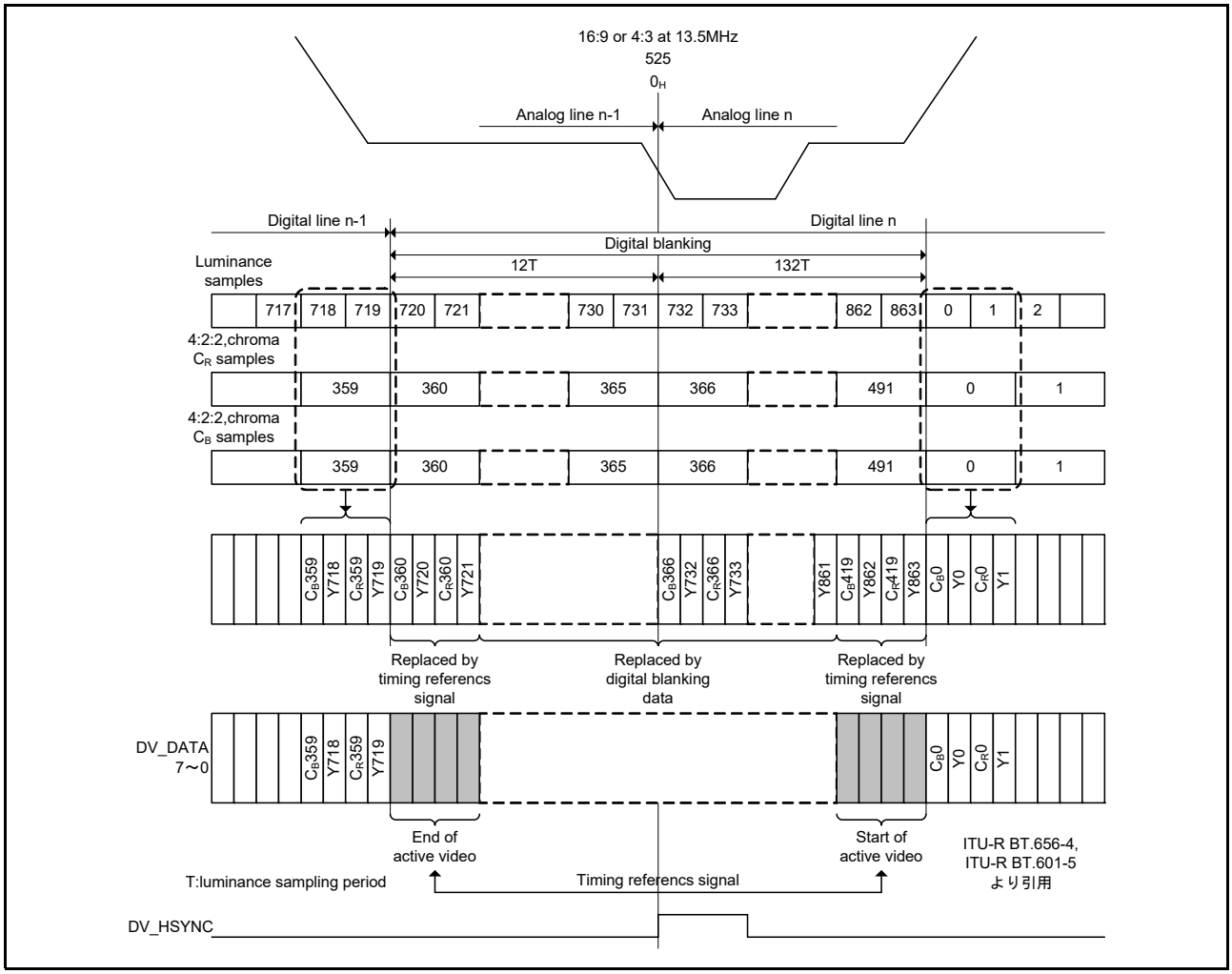


図 30.7 BT656 水平タイミング（625 ライン／ 50.00Hz）

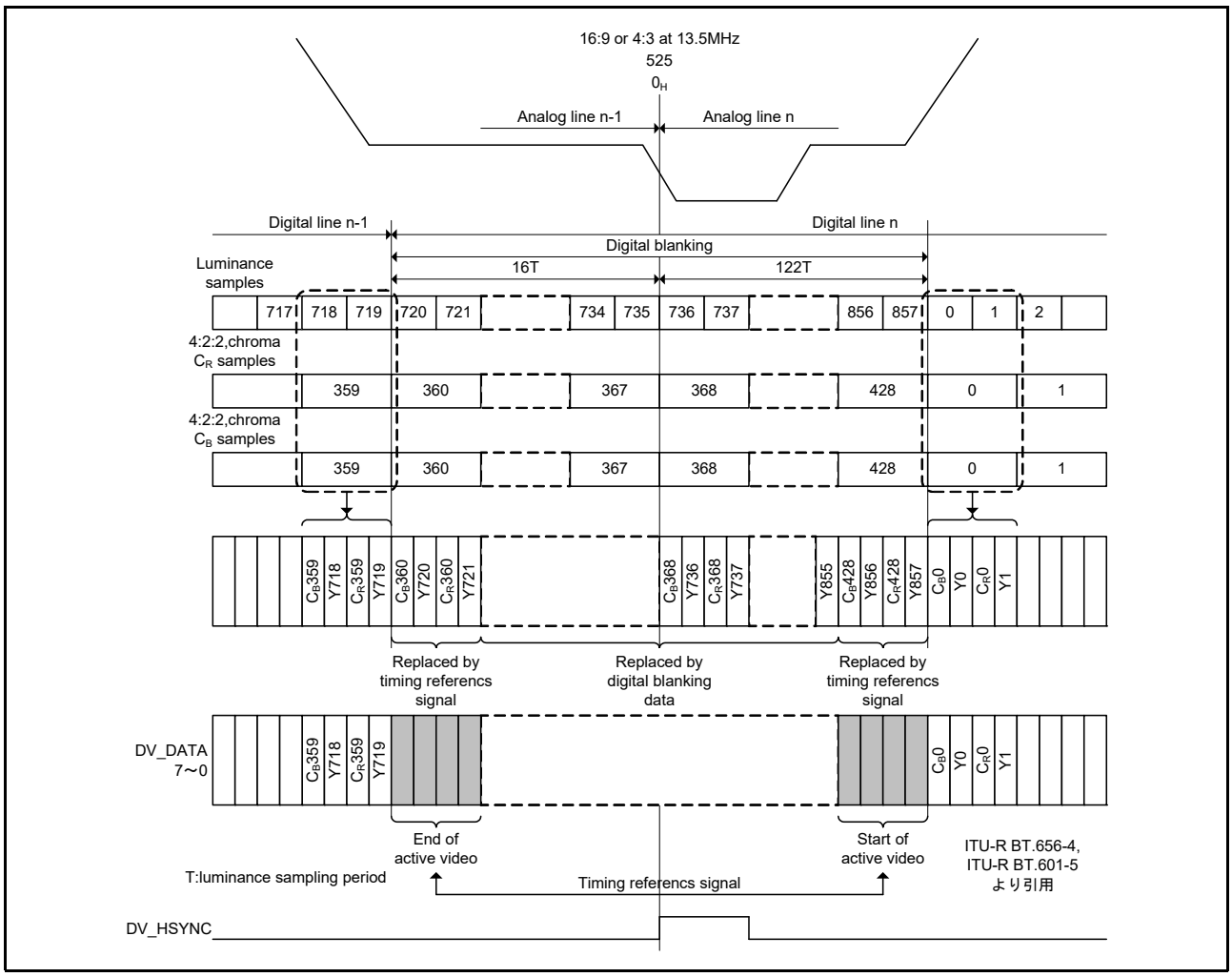


図 30.8　BT656 水平タイミング（525 ライン／ 59.94Hz）

30.1.10 BT656 の SAV、EAV コード

BT656 フォーマットの SAV、EAV コードの挿入タイミングを表 30.11 に示します。ビット情報を表 30.12、表 30.13 に示します。本製品では、表 30.13 に示すパリティビット P3、P2、P1、P0 は参照しません。

表30.11 SAV、EAVコードの挿入タイミング（ライン）

		625	525
V-digital field blanking			
Field 1	Start (V = 1)	Line 624	Line 1
	Finish (V = 0)	Line 23	Line 20
Field 2	Start (V = 1)	Line 311	Line 264
	Finish (V = 0)	Line 336	Line 283
V-digital field blanking			
Field 1	F = 0	Line 1	Line 4
Field 2	F = 1	Line 313	Line 266

表30.12 SAV、EAVコードのビット情報（1）

Data bit number	1st word (FF)	2nd word (00)	3rd word (00)	4th word (XY)
7（MSB）	1	0	0	1
6	1	0	0	F
5	1	0	0	V
4	1	0	0	H
3	1	0	0	P3
2	1	0	0	P2
1	1	0	0	P1
0	1	0	0	P0

F = 0 during field 1
F = 1 during field 2
V = 0 elsewhere
V = 1 during field blanking
H = 0 is SAV
H = 1 is EAV

表30.13 SAV、EAVコードのビット情報（2）

F	V	H	P3	P2	P1	P0
0	0	0	0	0	0	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	0
1	0	0	0	1	1	1
1	0	1	1	0	1	0
1	1	0	1	1	0	0
1	1	1	0	0	0	1

SAV、EAV コード表を図 30.9、図 30.10 に示します。

		1H 期間																
		EAV				H blank	SAV				有効エリア							
		1	2	3	4		285	286	287	288	289	290	291	292	…	1725	1726	1727	1728
Field1（top）	1	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	:	FF	00	00	B6		FF	00	00	AB									
	22	FF	00	00	B6		FF	00	00	AB									
	23	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	9D		FF	00	00	80	:	有効画素データ領域							:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	310	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	311	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	312	FF	00	00	B6		FF	00	00	AB									
Field2（bottom）	313	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	:	FF	00	00	F1		FF	00	00	EC									
	335	FF	00	00	F1		FF	00	00	EC									
	336	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	DA		FF	00	00	C7	:	有効画素データ領域							:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	623	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	624	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	625	FF	00	00	F1		FF	00	00	EC									

図 30.9　BT656 の SAV、EAV コード（625 ライン／ 50.00Hz）

		1H 期間																	
		EAV				H blank	SAV				有効エリア								
		1	2	3	4		273	274	275	276	277	278	279	280	…	1713	1714	1715	1716
Field2	1	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	2	FF	00	00	F1		FF	00	00	EC									
	3	FF	00	00	F1		FF	00	00	EC									
Field1（top）	4	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	:	FF	00	00	B6		FF	00	00	AB									
	19	FF	00	00	B6		FF	00	00	AB									
	20	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:				有効画素データ領域				:
	:	FF	00	00	9D		FF	00	00	80	:								:
	:	FF	00	00	9D		FF	00	00	80	:								:
	263	FF	00	00	9D		FF	00	00	80	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	264	FF	00	00	B6		FF	00	00	AB	Digital Blanking Data								
	265	FF	00	00	B6		FF	00	00	AB									
Field2（bottom）	266	FF	00	00	F1		FF	00	00	EC	Digital Blanking Data								
	:	FF	00	00	F1		FF	00	00	EC									
	282	FF	00	00	F1		FF	00	00	EC									
	283	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:				有効画素データ領域				:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	:	FF	00	00	DA		FF	00	00	C7	:								:
	525	FF	00	00	DA		FF	00	00	C7	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719

図 30.10　BT656 の SAV、EAV コード（525 ライン／ 59.94Hz）

30.1.11 BT656 プログレッシブ

本製品は、BT656 フォーマットでプログレッシブ出力するデバイスと接続することが可能です。

ただし、BT656 フォーマットには、プログレッシブに関する記載はありませんので、プログレッシブ出力するすべてのデバイスとの接続を保証することはできません。そのため、本モジュールの BT656 入力インタフェースで、SAV,EAV デコード方式および SAV,EAV コードから垂直 / 水平同期信号を生成する方式を下記に示しますので、本情報を元に接続確認を行ってください。

(1) SAV、EAV コード

SAV、EAV コードは、4 つのワードで構成されています。First word：FF、Second word：00、Third word：00 のとき、Fourth word：XY の値をデコードし、各種タイミング信号を生成します。

ビット情報については、「30.1.10 BT656 の SAV、EAV コード」の表 30.12 を参照してください。また、本製品では、パリティビット P3、P2、P1、P0 は参照しません。

(2) 垂直 / 水平同期信号

SAV,EAV コードを元に、垂直 / 水平同期信号を生成します。

(a) 垂直同期信号

垂直同期信号は、BT656 フォーマットの V ビットが “0” → “1” に変化したとき出力します。出力するタイミングは INP_EXT_SYNC_CNT.INP_F525_625 の設定および BT656 フォーマットの F ビットの値により異なります。

表 30.14 にタイミング一覧を示します。

表 30.14 垂直同期信号タイミングディレイ

INP_EXT_SYNC_CNT.INP_F525_625	BT656 フォーマットの F ビット	出力タイミング	備考
0：525 ライン	0(Field 1)	V ビット=“1”検出した 2.5 ライン後	525 ライン Field2 の垂直同期信号
	1(Field 2)	V ビット=“1”検出した 3 ライン後	525 ライン Field1 の垂直同期信号
1：625 ライン	0(Field 1)	V ビット=“1”検出した 2.5 ライン後	625 ライン Field2 の垂直同期信号
	1(Field 2)	V ビット=“1”検出した 2 ライン後	625 ライン Field1 の垂直同期信号

(b) 水平同期信号

INP_EXT_SYNC_CNT.INP_H_EDGE_SEL ビットの設定に基づいて、水平同期信号を出力します。

(c) BT656 フォーマット 525 ラインインタレース入力時のタイミング例

図 30.11, 図 30.12 に、BT656 フォーマット 525 ラインインタレース入力時の垂直 / 水平同期信号のタイミング図を示します。

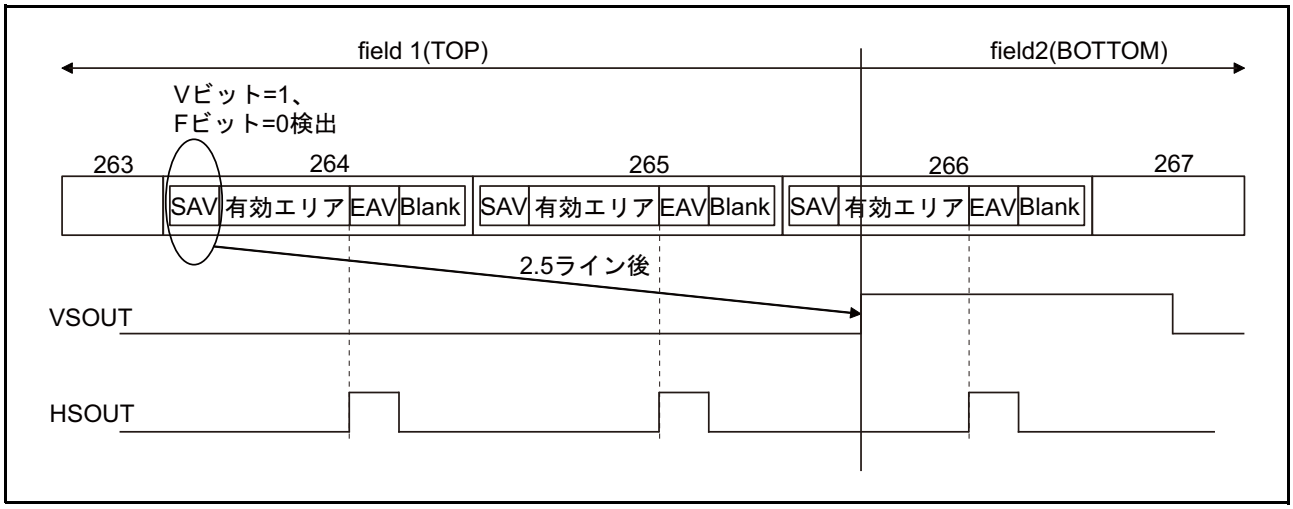


図 30.11　BT656 フォーマット 525 ラインインタレース垂直 / 水平同期信号タイミング
（TOP → BOTTOM）

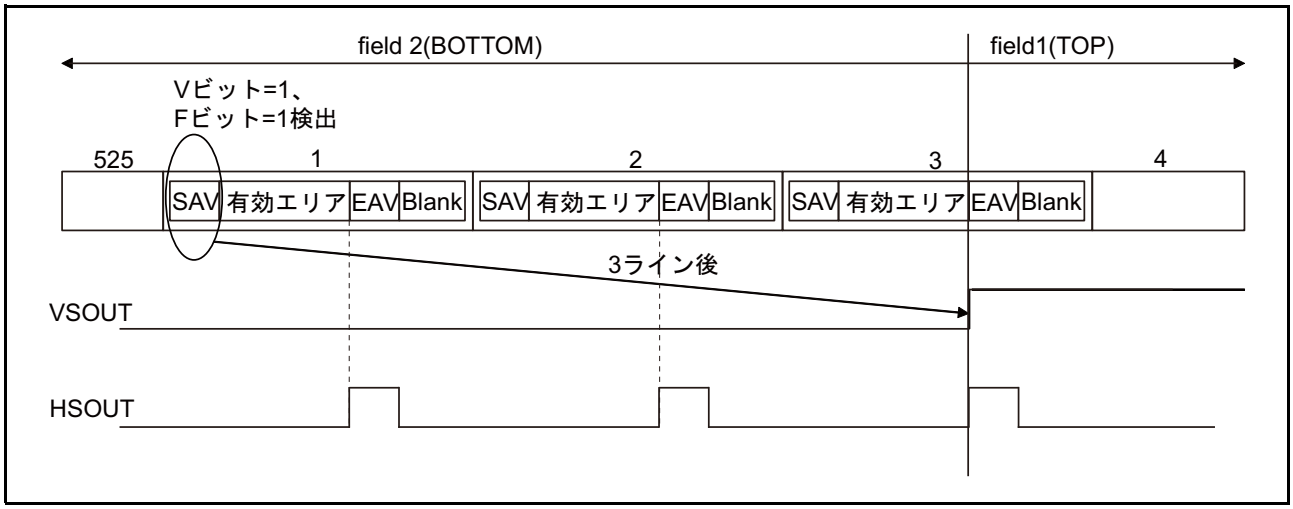


図 30.12　BT656 フォーマット 525 ラインインタレース垂直 / 水平同期信号タイミング
（BOTTOM → TOP）

(3)　BT656 フォーマット プログレッシブ例

BT656 フォーマット　525 ラインプログレッシブ時の SAV、EAV コード例を図 30.13、垂直 / 水平同期信号のタイミングを図 30.14 に示します。本例では、BT656 フォーマットの V ビットが "0" → "1" に変化したとき、F ビットが 0 のため Field 1 を検出しますが、垂直同期信号は 2.5 ライン後に出力されますので、BOTTOM フィールドとして判定されることに注意してください。

		1H 期間																
		EAV				H blank	SAV				有効エリア							
		1	2	3	4		273	274	275	276	277	278	279	280	…	1713	1714	1715	1716
Field1	1	FF	00	00	BX		FF	00	00	AX									
	:	FF	00	00	BX		FF	00	00	AX				Digital Blanking Data					
	19	FF	00	00	BX		FF	00	00	AX									
	20	FF	00	00	9X		FF	00	00	8X	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	:	FF	00	00	9X		FF	00	00	8X	:								:
	:	FF	00	00	9X		FF	00	00	8X	:								:
	:	FF	00	00	9X		FF	00	00	8X	:			有効画素データ領域					:
	:	FF	00	00	9X		FF	00	00	8X	:								:
	:	FF	00	00	9X		FF	00	00	8X	:								:
	504	FF	00	00	9X		FF	00	00	8X	Cb0	Y0	Cr0	Y1	…	Cb718	Y718	Cr718	Y719
	505	FF	00	00	BX		FF	00	00	AX									
	:	FF	00	00	BX		FF	00	00	AX				Digital Blanking Data					
	525	FF	00	00	BX		FF	00	00	AX									

X：参照しない

図 30.13　BT656 プログレッシブの SAV、EAV コード例（525 ライン／ 59.94Hz）

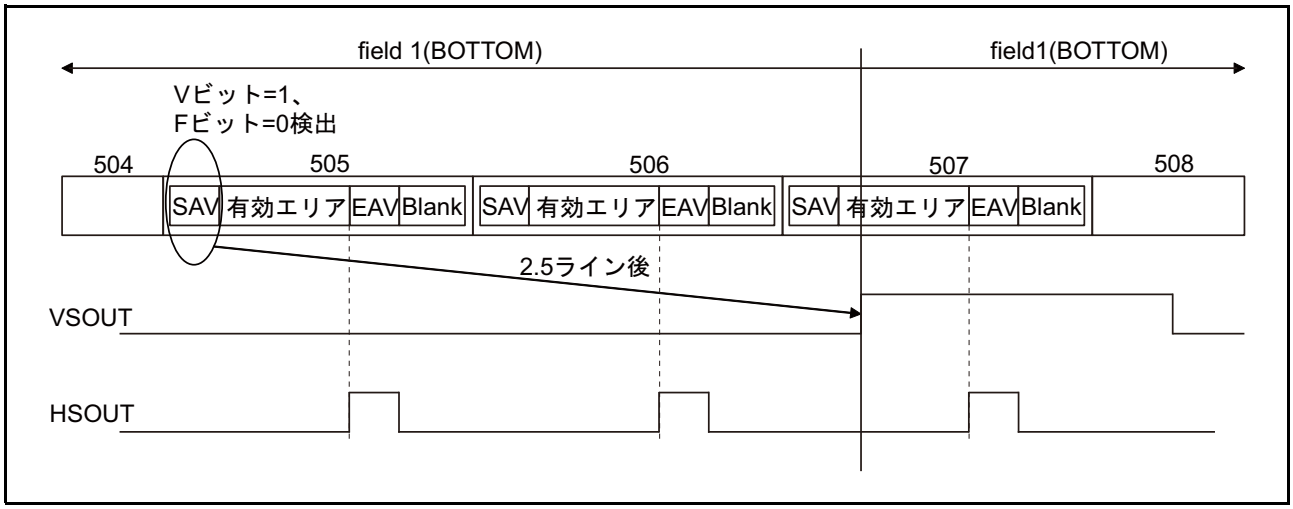


図 30.14　BT656 フォーマット 525 ラインプログレッシブ垂直 / 水平同期信号タイミング

30.1.12 BT656 ／ BT601 ／ YCbCr422 設定

BT656 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号／プログレッシブ信号（規格拡張）のフォーマットに対応します。

BT601 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号／プログレッシブ信号（規格拡張）のフォーマットに対応します。YCbCr422 フォーマットは、525 ラインの 59.94Hz、625 ラインの 50.00Hz のインタレース信号の BT601 データバス 16 ビットフォーマットです。

BT656 フォーマットは 525 ラインと 625 ラインで垂直同期信号のタイミングが異なります。

INP_F525_625 で動作モードを設定します。

表 30.15 BT656 動作モード設定

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_F525_625	0	外部入力系統の BT656 入力時のライン数設定 0：525 ライン 1：625 ライン

BT656/BT601/YCbCr422 フォーマットのインタレース信号入力時、垂直同期信号と水平同期信号の 1/2fH 位相タイミングを INP_FH50[9:0] で設定します。

INP_FH50[9:0] は垂直同期位相調整部でも使用するため、レジスタ説明に関しては**表 30.20** を参照してください。

BT656 フォーマット入力時、水平同期信号の基準を INP_H_EDGE_SEL で設定します。

表 30.16 BT656 水平同期信号の基準選択

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	0	外部入力系統の BT656 水平同期信号の基準選択 0：EAV 基準 1：SAV 基準

BT656/BT601 フォーマット入力時、DV_DATA 端子より入力して割り付けられた内部信号 BTOUT[7:0] は 24 ビットの YCbCr 信号に展開されます。

INP_H_POS[1:0] にて水平同期信号基準に対する展開タイミングを設定します。

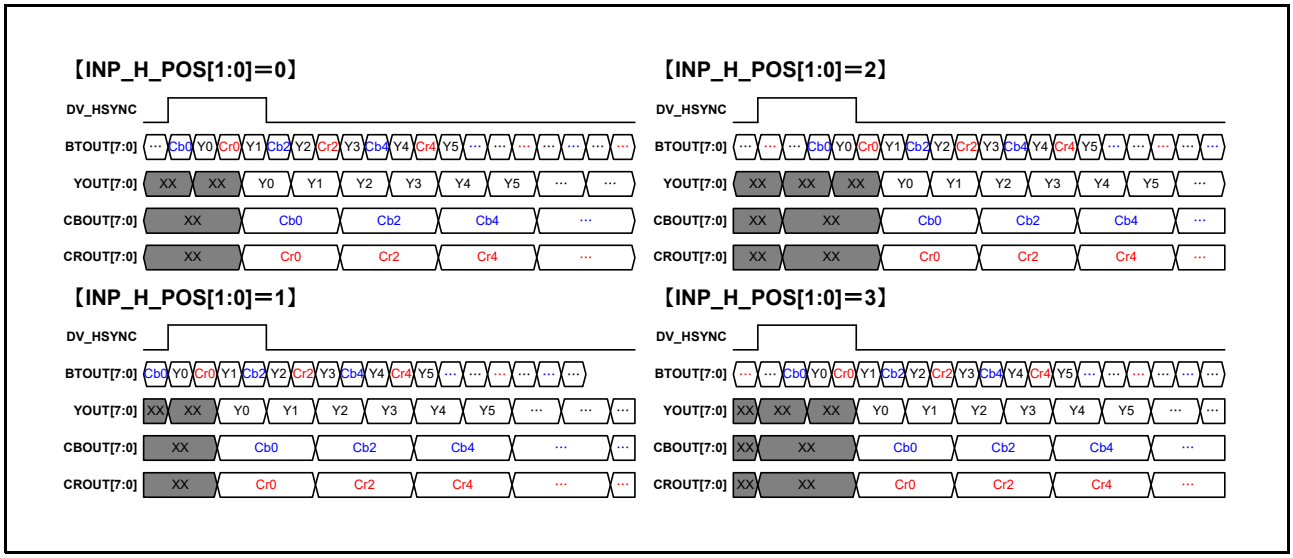


図 30.15　BT656/BT601 入力時の YCbCr データ展開

表 30.17　BT656/BT601 入力時のデータ列の開始タイミング選択

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	0	水平同期基準に対する Y/Cb/Y/Cr のデータ列の開始タイミング設定 0：Cb/Y/Cr/Y 1：Y/Cr/Y/Cb 2：Cr/Y/Cb/Y 3：Y/Cb/Y/Cr

YCbCr422 フォーマット入力時、DV_DATA 端子より入力して割り付けられた内部信号 Y[7:0],CbCr[7:0] のうち、CbCr[7:0] は 16 ビットの CbCr 信号に展開されます。

INP_H_POS[1:0] にて水平同期信号基準に対する展開タイミングを設定します。

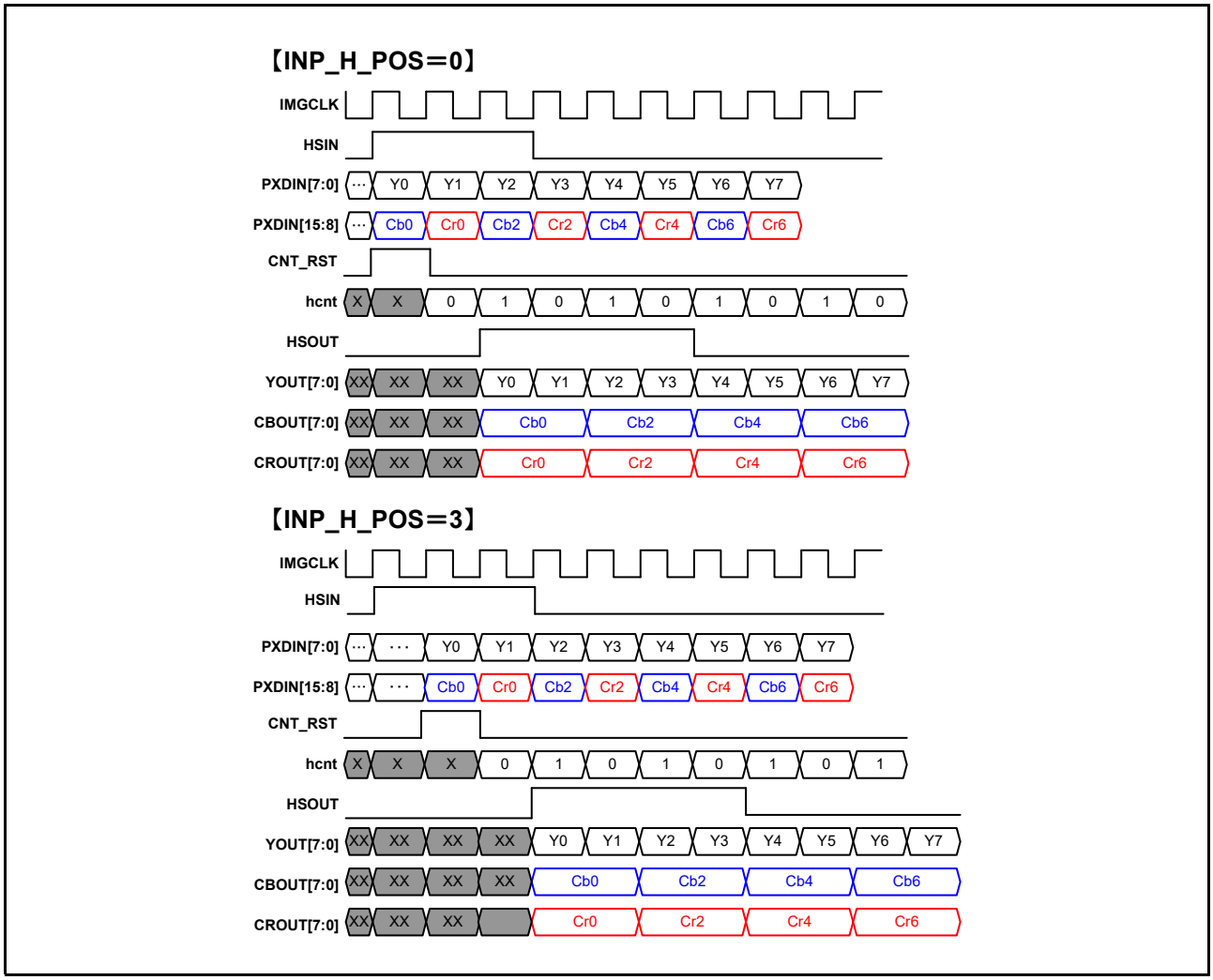


図 30.16　YCbCr422 入力時の YCbCr データ展開

表 30.18　YCbCr422 入力時のデータ列の開始タイミング選択

レジスタ名	ビット名	初期値	説　　明
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	0	水平同期基準に対する Cb/Cr のデータ列の開始タイミング設定 0：Cb/Cr 3：Cr/Cb 1、2：設定禁止

30.1.13 YCbCr444/RGB888/666/565 の外部入力タイミング

YCbCr444/RGB888/666/565 フォーマットは、プログレッシブの YCbCr/RGB 信号に対応します。

同期信号の幅（H_SYNC、V_SYNC）、極性（H_POL、V_POL）、有効期間の開始位置（H_BP、V_BP）、終了位置（H_FP、V_FP）、映像の幅（H_ACTIVE、V_ACTIVE）の対応は**表 30.19** のとおりです。

表 30.19 YCbCr/RGB 信号の受付タイミング

項目	説 明
外部入力クロック	外部入力クロックの周波数の最大値：87.00[MHz]
垂直同期信号幅（V_SYNC）	垂直同期信号幅の最小値：1[CLK]
垂直同期信号極性（V_POL）	正極性、負極性をレジスタにて選択
垂直有効期間の開始位置（V_BP）	垂直同期基準から映像開始まで 5[ライン]以上
垂直有効期間の映像幅（V_ACTIVE）	垂直有効期間の最大値：1024[ライン]
垂直有効期間の終了位置（V_FP）	映像終了から垂直同期基準まで 4[ライン]以上（注 1）
水平同期信号幅（H_SYNC）	水平同期信号幅の最小値：1[CLK]
水平同期信号極性（H_POL）	正極性、負極性をレジスタにて選択
水平有効期間の開始位置（H_BP）	水平同期基準から映像開始まで 16[CLK]以上
水平有効期間の映像幅（H_ACTIVE）	水平有効期間の最大値：1440[画素]
水平有効期間の終了位置（H_FP）	映像終了から水平同期基準まで 16[CLK]以上（注 2）
垂直トータルライン数（V_BP+V_ACTIVE+V_FP）	垂直同期信号間の幅：2047[ライン]以下
水平トータル画素数（H_BP+H_ACTIVE+H_FP）	水平同期信号間の幅：2047[CLK]以下

注 1. 4[ライン]未満の場合は、INP_DLY_ADJ.INP_VS_DLY_L[2:0]で、V_FP が 4[ライン]以上となるように調整してください。
注 2. 16[CLK]未満の場合は、INP_DLY_ADJ.INP_VS_DLY[7:0]、INP_HS_DLY[7:0]、INP_FLD_DLY[7:0]で、H_FP が 16[CLK]以上となるように調整してください。

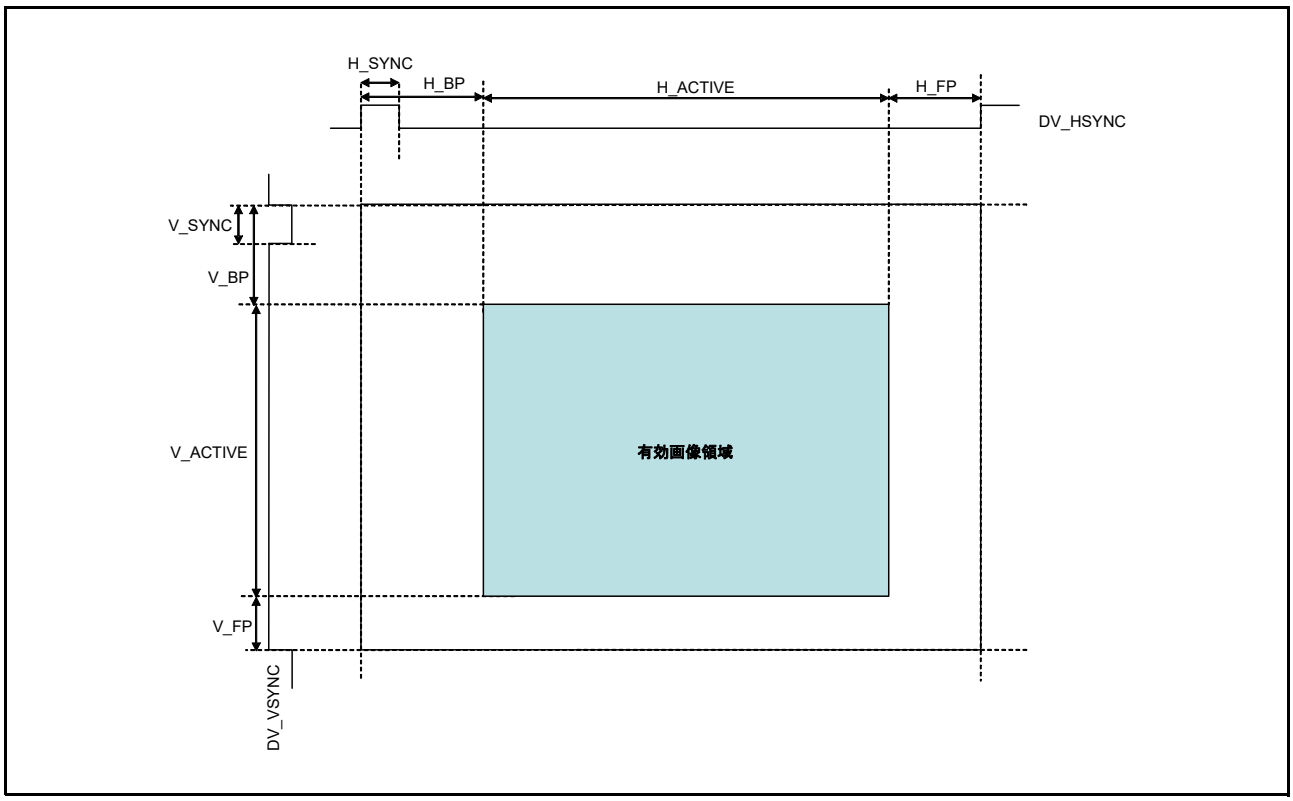


図 30.17 YCbCr/RGB 信号の受付タイミング図

30.1.14 フィールド判別と垂直同期位相調整

入力信号の垂直同期信号と水平同期信号の位相を検出してインタレース信号のフィールド判別を行います。水平同期信号に対して ±0.5 水平期間に垂直同期信号の基準が検出された場合は、インタレースの TOP フィールド、±0.5 水平期間外に垂直同期信号の基準が検出された場合は、インタレースの BOTTOM フィールドと判定します。

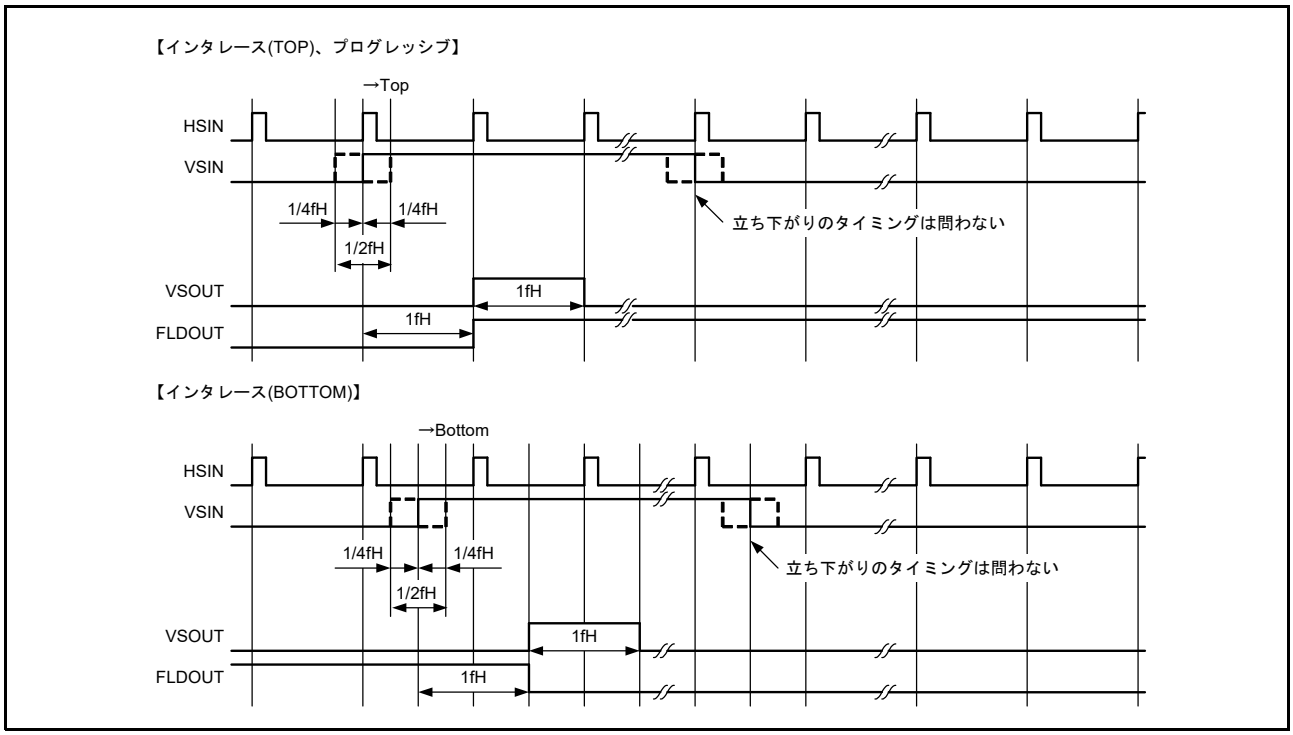


図 30.18 垂直同期位相調整

垂直同期信号の 1/2fH 位相のタイミングを INP_FH50[9:0]、垂直同期信号の 1/4fH 位相のタイミングを INP_FH25[9:0] で設定します。

表 30.20 垂直同期位相タイミング設定

レジスタ名	ビット名	初期値	説　　明
INP_VSYNC_PH_ADJ	INP_FH50[9:0]	858	垂直同期の 1/2fH 位相タイミング設定 必ず水平周期の 1/2 クロック周期を設定してください。
INP_VSYNC_PH_ADJ	INP_FH25[9:0]	429	垂直同期の 1/4fH 位相タイミング設定 必ず水平周期の 1/4 クロック周期を設定してください。

30.1.15 垂直同期信号ライン遅延調整

垂直同期信号ライン遅延調整部では、垂直同期信号、フィールド判別信号をライン単位で遅延させることができます。

垂直フロントポーチが短い映像信号が入力された場合、垂直フロントポーチの調整を行います。

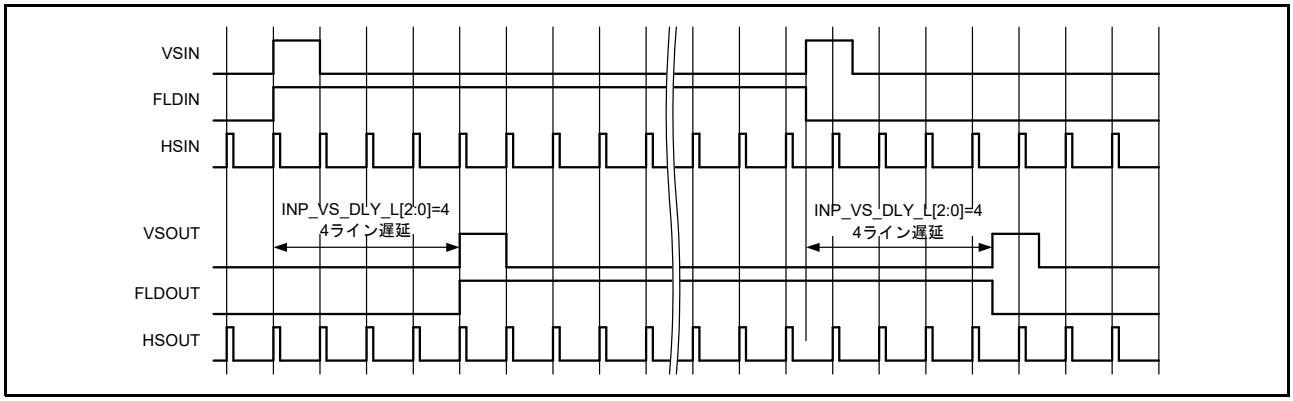


図 30.19 垂直同期信号ライン遅延タイミング図

表30.21 垂直同期信号ライン遅延調整

レジスタ名	ビット名	初期値	説明
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	0	垂直同期信号、フィールド判別のライン遅延量 遅延量：0～7[ライン]

30.1.16 同期遅延調整

垂直同期信号、水平同期信号、フィールド判別信号を独立にクロック単位で遅延調整ができます。

入力の同期乱れによる水平フロントポーチの欠落マージン調整を行います。

表30.22 同期信号の遅延調整

レジスタ名	ビット名	初期値	説　　明
INP_DLY_ADJ	INP_VS_DLY[7:0]	0	垂直同期信号の遅延量 遅延量：0～254[clk]
INP_DLY_ADJ	INP_HS_DLY[7:0]	0	水平同期信号の遅延量 遅延量：0～254[clk]
INP_DLY_ADJ	INP_FLD_DLY[7:0]	0	フィールド判別信号の遅延量 遅延量：0～254[clk]

30.1.17 水平ノイズリダクション

水平画素参照によるノイズリダクションを行います。

ノイズリダクションは、ノイズ成分の周波数帯域（TAP）、ノイズレベル（閾値）、ノイズリダクションの強度（ゲイン）にて制御します。

(1) ノイズ成分の周波数帯域（TAP）設定

NR1D_Y_TAP[1:0]、NR1D_CB_TAP[1:0]、NR1D_CR_TAP[1:0] にてノイズの周波数帯域を 4 種類独立に選択できます。

1 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP=0）時：$BPF_{(1)} = \frac{1}{4}\left(-1\times Z_{(-1)}, 2\times Z_{(0)}, -1\times Z_{(+1)}\right)$

2 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP=1）時：$BPF_{(2)} = \frac{1}{4}\left(-1\times Z_{(-2)}, 2\times Z_{(0)}, -1\times Z_{(+2)}\right)$

3 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP=2）時：$BPF_{(3)} = \frac{1}{4}\left(-1\times Z_{(-3)}, 2\times Z_{(0)}, -1\times Z_{(+3)}\right)$

4 画素隣接（ノイズリダクション NR1D_Y/CB/CR_TAP=3）時：$BPF_{(4)} = \frac{1}{4}\left(-1\times Z_{(-4)}, 2\times Z_{(0)}, -1\times Z_{(+4)}\right)$

注．　$Z_{(0)}$ はノイズリダクション該当画素。　$Z_{(n)}$ は該当画素から水平方向に n 移動した画素。

(2) ノイズレベル（閾値）設定

ノイズ検出量（BPF 出力値）の絶対値と NR1D_Y_TH[6:0]、NR1D_CB_TH[6:0]、NR1D_CR_TH[6:0] を比較し、ノイズ検出量＞ NR1D_Y/CB/CR_TH 時、ノイズ検出量の絶対値を NR1D_Y/CB/CR_TH（固定値）とします。

$ABS(BPF_{(n)}) \leqq$ NR1D_Y/CB/CR_TH 時のノイズ検出量の絶対値：$NOISE_ABS = ABS(BPF_{(n)})$

$ABS(BPF_{(n)}) >$ NR1D_Y/CB/CR_TH 時のノイズ検出量の絶対値：NOISE_ABS = NR1D_Y/CB/CR_TH

(3) ノイズリダクション強度（ゲイン）設定

NR1D_Y_GAIN[1:0]、NR1D_CB_GAIN[1:0]、NR1D_CR_GAIN[1:0] にてノイズ検出量の絶対値にゲインをかけて、元信号にフィードバック演算を行います。

ノイズ検出量 ($BPF_{(n)}$) が負（－）の場合の演算：$DOUT = DIN + NOISE_ABS \div 2^{(NR1D_Y/CB/CR_GAIN+1)}$

ノイズ検出量 ($BPF_{(n)}$) が正（＋）の場合の演算：$DOUT = DIN - NOISE_ABS \div 2^{(NR1D_Y/CB/CR_GAIN+1)}$

表30.23　水平ノイズリダクション

レジスタ名	ビット名	初期値	説　　明
IMGCNT_NR_CNT0	NR1D_MD	1	水平ノイズリダクション動作モード 0：G/B/Rモード 1：Y/Cb/Crモード
IMGCNT_NR_CNT0	NR1D_ON	0	ノイズリダクションのオン／オフ制御 0：ノイズリダクションオフ 1：ノイズリダクションオン
IMGCNT_NR_CNT0	NR1D_Y_TAP[1:0]	0	Y/G信号のTAP選択 0：1画素隣接、1：2画素隣接、2：3画素隣接、3：4画素隣接
IMGCNT_NR_CNT0	NR1D_Y_TH[6:0]	8	Y/G信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_Y_THにてコアリングを実施。 符号無し：0～127[LSB]
IMGCNT_NR_CNT0	NR1D_Y_GAIN[1:0]	3	Y/G信号のノイズリダクションゲイン調整 0：1/2、1：1/4、2：1/8、3：1/16
IMGCNT_NR_CNT1	NR1D_CB_TAP[1:0]	0	Cb/B信号のTAP選択 0：1画素隣接、1：2画素隣接、2：3画素隣接、3：4画素隣接
IMGCNT_NR_CNT1	NR1D_CB_TH[6:0]	8	Cb/B信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_C_THにてコアリングを実施。 符号無し：0～127[LSB]
IMGCNT_NR_CNT1	NR1D_CB_GAIN[1:0]	3	Cb/B信号のノイズリダクションゲイン調整 0：1/2、1：1/4、2：1/8、3：1/16
IMGCNT_NR_CNT1	NR1D_CR_TAP[1:0]	0	Cr/R信号のTAP選択 0：1画素隣接、1：2画素隣接、2：3画素隣接、3：4画素隣接
IMGCNT_NR_CNT1	NR1D_CR_TH[6:0]	8	Cr/R信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_C_THにてコアリングを実施。 符号無し：0～127[LSB]
IMGCNT_NR_CNT1	NR1D_CR_GAIN[1:0]	3	Cr/R信号のノイズリダクションゲイン調整 0：1/2、1：1/4、2：1/8、3：1/16

30.1.18 カラーマトリクス

カラーマトリクスは、各入力信号のオフセット調整と 9 軸のゲイン調整を行うことができます。これにより、ブライト調整、ゲイン調整、YCbCr → GBR、GBR → YCbCr の相互変換を行うことができます。

(1) GBR → GBR 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN + IMGCNT_MTX_B – 128
CRRIN_A = CRRIN + IMGCNT_MTX_R – 128
YGOUT = (IMGCNT_MTX_GG×YGIN_A + IMGCNT_MTX_GB×CBBIN_A + IMGCNT_MTX_GR×CRRIN_A)÷256
CBBOUT = (IMGCNT_MTX_BG×YGIN_A + IMGCNT_MTX_BB×CBBIN_A + IMGCNT_MTX_BR×CRRIN_A)÷256
CRROUT = (IMGCNT_MTX_RG×YGIN_A + IMGCNT_MTX_RB×CBBIN_A + IMGCNT_MTX_RR×CRRIN_A)÷256

(2) GBR → YCbCr 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN + IMGCNT_MTX_B – 128
CRRIN_A = CRRIN + IMGCNT_MTX_R – 128
YGOUT = (IMGCNT_MTX_GG×YGIN_A + IMGCNT_MTX_GB×CBBIN_A + IMGCNT_MTX_GR×CRRIN_A)÷256
CBBOUT = (IMGCNT_MTX_BG×YGIN_A + IMGCNT_MTX_BB×CBBIN_A + IMGCNT_MTX_BR×CRRIN_A)÷256 + 128
CRROUT = (IMGCNT_MTX_RG×YGIN_A + IMGCNT_MTX_RB×CBBIN_A + IMGCNT_MTX_RR×CRRIN_A)÷256 + 128

表 30.24 SMPTE 293M のマトリクス係数（標準値）

	YGIN		CBBIN		CRRIN	
	係数	設定値	係数	設定値	係数	設定値
YGOUT	0.587	IMGCNT_MTX_GG =150	0.114	IMGCNT_MTX_GB =29	0.299	IMGCNT_MTX_GR =77
CBBOUT	− 0.331	IMGCNT_MTX_BG =1963	0.500	IMGCNT_MTX_BB =128	− 0.169	IMGCNT_MTX_BR =2005
CRROUT	− 0.419	IMGCNT_MTX_RG =1941	− 0.081	IMGCNT_MTX_RB =2027	0.500	IMGCNT_MTX_RR =128

(3) YCbCr → GBR 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN – 128
CRRIN_A = CRRIN – 128
YGOUT = (IMGCNT_MTX_GG×YGIN_A + IMGCNT_MTX_GB×CBBIN_A + IMGCNT_MTX_GR×CRRIN_A)÷256
CBBOUT = (IMGCNT_MTX_BG×YGIN_A + IMGCNT_MTX_BB×CBBIN_A + IMGCNT_MTX_BR×CRRIN_A)÷256
CRROUT = (IMGCNT_MTX_RG×YGIN_A + IMGCNT_MTX_RB×CBBIN_A + IMGCNT_MTX_RR×CRRIN_A)÷256

表 30.25　SMPTE 293M のマトリクス係数（標準値）

	YGIN		CBBIN		CRRIN	
	係数	設定値	係数	設定値	係数	設定値
YGOUT	1.000	IMGCNT_MTX_GG =256	− 0.344	IMGCNT_MTX_GB =1960	− 0.714	IMGCNT_MTX_GR =1865
CBBOUT	1.000	IMGCNT_MTX_BG =256	1.772	IMGCNT_MTX_BB =454	0.000	IMGCNT_MTX_BR =0
CRROUT	1.000	IMGCNT_MTX_RG =256	0.000	IMGCNT_MTX_RB =0	1.402	IMGCNT_MTX_RR =359

(4) YCbCr → YCbCr 変換

YGIN_A = YGIN + IMGCNT_MTX_YG – 128
CBBIN_A = CBBIN – 128
CRRIN_A = CRRIN – 128
YGOUT = (IMGCNT_MTX_GG×YGIN_A + IMGCNT_MTX_GB×CBBIN_A + IMGCNT_MTX_GR×CRRIN_A)÷256
CBBOUT = (IMGCNT_MTX_BG×YGIN_A + IMGCNT_MTX_BB×CBBIN_A + IMGCNT_MTX_BR×CRRIN_A)÷256 + 128
CRROUT = (IMGCNT_MTX_RG×YGIN_A + IMGCNT_MTX_RB×CBBIN_A + IMGCNT_MTX_RR×CRRIN_A)÷256 + 128

表30.26　YCbCr→GBR変換

レジスタ名	ビット名	初期値	説　　明
IMGCNT_MTX_MODE	IMGCNT_MTX_MD [1:0]	3	動作モード 0：GBR　=> GBR 1：GBR　=> YCbCr 2：YCbCr => GBR 3：YCbCr => YCbCr
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_YG [7:0]	128	Y/G信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_B [7:0]	128	B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_R [7:0]	128	R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_GG [10:0]	256	Y/G信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GB [10:0]	0	Y/G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GR [10:0]	0	Y/G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_BG [10:0]	0	Cb/B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BB [10:0]	256	Cb/B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BR [10:0]	0	Cb/B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_RG [10:0]	0	Cr/R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RB [10:0]	0	Cr/R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RR [10:0]	256	Cr/R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

30.2 レジスタの説明

表 30.27 ～表 30.28 にレジスタ構成を示します。

【レジスタ説明の記号説明】
初期値 ：パワーオンリセット後のレジスタ値
－ ：不定値
R/W ：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0 ：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1 ：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R ：リードのみ可。書き込む値は常に 0 にしてください。
－ /W ：ライトのみ可。読み出し値は不定です。

表 30.27 入力制御部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセスサイズ
外部入力部レジスタ更新制御レジスタ	INP_UPDATE	R/WC1	H'0000 0000	H'FCFF 7400	32
入力選択制御レジスタ	INP_SEL_CNT	R/W	H'0000 0000	H'FCFF 7404	32
外部入力同期信号制御レジスタ	INP_EXT_SYNC_CNT	R/W	H'0000 0000	H'FCFF 7408	32
垂直同期信号位相調整レジスタ	INP_VSYNC_PH_ADJ	R/W	H'035A 01AD	H'FCFF 740C	32
同期信号遅延調整レジスタ	INP_DLY_ADJ	R/W	H'0000 0000	H'FCFF 7410	32

表 30.28 画質調整部レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセスサイズ
画質調整部レジスタ更新制御レジスタ	IMGCNT_UPDATE	R/WC1	H'0000 0000	H'FCFF 7480	32
NR制御レジスタ 0	IMGCNT_NR_CNT0	R/W	H'0010 0803	H'FCFF 7484	32
NR制御レジスタ 1	IMGCNT_NR_CNT1	R/W	H'0803 0803	H'FCFF 7488	32
画質調整部マトリクスモードレジスタ	IMGCNT_MTX_MODE	R/W	H'0000 0003	H'FCFF 74A0	32
画質調整部マトリクスYG調整レジスタ 0	IMGCNT_MTX_YG_ADJ0	R/W	H'0080 0100	H'FCFF 74A4	32
画質調整部マトリクスYG調整レジスタ 1	IMGCNT_MTX_YG_ADJ1	R/W	H'0000 0000	H'FCFF 74A8	32
画質調整部マトリクスCBB調整レジスタ 0	IMGCNT_MTX_CBB_ADJ0	R/W	H'0080 0000	H'FCFF 74AC	32
画質調整部マトリクスCBB調整レジスタ 1	IMGCNT_MTX_CBB_ADJ1	R/W	H'0100 0000	H'FCFF 74B0	32
画質調整部マトリクスCRR調整レジスタ 0	IMGCNT_MTX_CRR_ADJ0	R/W	H'0080 0000	H'FCFF 74B4	32
画質調整部マトリクスCRR調整レジスタ 1	IMGCNT_MTX_CRR_ADJ1	R/W	H'0000 0100	H'FCFF 74B8	32

30.2.1 外部入力部レジスタ更新制御レジスタ（INP_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	INP_EXT_UPDATE	—	—	—	INP_IMG_UPDATE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	INP_EXT_UPDATE	0	R/WC1	外部入力部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INP_IMG_UPDATE	0	R/WC1	同期信号調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する

30.2.2 入力選択制御レジスタ（INP_SEL_CNT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	INP_SEL	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	INP_FORMAT[2:0]			－	－	－	INP_PXD_EDGE	－	－	－	INP_VS_EDGE	－	－	－	INP_HS_EDGE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INP_SEL	0	R/W	外部入力端子からの入力オン/オフ制御 0：外部入力端子からの入力オフ 1：外部入力端子からの入力オン
19 ～ 15	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 12	INP_FORMAT [2:0]	0	R/W	外部入力のフォーマット選択 0：YCbCr444、RGB888 1：RGB666 2：RGB565 3：BT656 4：BT601 5：YCbCr422 6～7：設定禁止
11 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INP_PXD_EDGE	0	R/W	外部入力の映像信号DV_DATA23~0の入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INP_VS_EDGE	0	R/W	外部入力の垂直同期信号DV_VSYNCの入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INP_HS_EDGE	0	R/W	外部入力の水平同期信号DV_HSYNCの入力段取り込みクロックのエッジ選択 0：立ち上がりエッジ 1：立ち下がりエッジ

注． INP_FORMAT、INP_PXD_EDGE、INP_VS_EDGE、INP_HS_EDGEは外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE=1で更新されます。INP_SELは、設定すると更新されます。

30.2.3 外部入力同期信号制御レジスタ（INP_EXT_SYNC_CNT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INP_ENDIAN_ON	—	—	—	INP_SWAP_ON	—	—	—	INP_VS_INV	—	—	—	INP_HS_INV
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	INP_H_EDGE_SEL	—	—	—	INP_F525_625	—	—	INP_H_POS[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INP_ENDIAN_ON	0	R/W	外部入力のビットエンディアン変更オン／オフ制御 0：オフ 1：オン
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INP_SWAP_ON	0	R/W	外部入力のB/R信号入れ替えオン／オフ制御 0：オフ 1：オン
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INP_VS_INV	0	R/W	外部入力の垂直同期信号DV_VSYNCの反転制御 0：非反転（正極性） 1：反転（負極性）
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INP_HS_INV	0	R/W	外部入力の水平同期信号DV_HSYNCの反転制御 0：非反転（正極性） 1：反転（負極性）
15 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INP_H_EDGE_SEL	0	R/W	外部入力のBT656水平同期信号の基準選択 0：EAV基準 1：SAV基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INP_F525_625	0	R/W	外部入力のBT656入力時のライン数設定 0：525ライン 1：625ライン
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	INP_H_POS [1:0]	0	R/W	外部入力のBT656/601、YCbCr422入力時の 水平同期基準に対するY/Cb/Y/Crのデータ列の開始タイミング設定 0：Cb/Y/Cr/Y(BT656/601)、Cb/Cr (YCbCr422) 1：Y/Cr/Y/Cb(BT656/601)、設定禁止(YCbCr422) 2：Cr/Y/Cb/Y(BT656/601)、設定禁止(YCbCr422) 3：Y/Cb/Y/Cr(BT656/601)、Cr/Cb (YCbCr422)

注．　本レジスタはすべて外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE=1で更新されます。

30.2.4 垂直同期信号位相調整レジスタ（INP_VSYNC_PH_ADJ）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	INP_FH50[9:0]									
初期値：	0	0	0	0	0	0	1	1	0	1	0	1	1	0	1	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	INP_FH25[9:0]									
初期値：	0	0	0	0	0	0	0	1	1	0	1	0	1	1	0	1
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25 ～ 16	INP_FH50[9:0]	858	R/W	垂直同期の1/2fH位相タイミング設定 必ず水平周期の1/2クロック周期を設定してください。
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	INP_FH25[9:0]	429	R/W	垂直同期の1/4fH位相タイミング設定 必ず水平周期の1/4クロック周期を設定してください。

注.　INP_FH50[9:0]は外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE=1および
INP_IMG_UPDATE=1で、INP_FH25[9:0]は外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_IMG_UPDATE=1
で更新されます。

30.2.5 同期信号遅延調整レジスタ（INP_DLY_ADJ）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	INP_VS_DLY_L[2:0]			INP_FLD_DLY[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INP_VS_DLY[7:0]								INP_HS_DLY[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 24	INP_VS_DLY_L [2:0]	0	R/W	垂直同期信号、フィールド判別のライン遅延量 遅延量：0～7[ライン]
23 ～ 16	INP_FLD_DLY [7:0]	0	R/W	フィールド判別信号の遅延量 遅延量：0～254[clk]
15 ～ 8	INP_VS_DLY [7:0]	0	R/W	垂直同期信号の遅延量 遅延量：0～254[clk]
7 ～ 0	INP_HS_DLY [7:0]	0	R/W	水平同期信号の遅延量 遅延量：0～254[clk]

注.　本レジスタはすべて外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_IMG_UPDATE=1で更新されます。

30.2.6 画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	IMGCNT_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	IMGCNT_VEN	0	R/WC1	画質調整部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

30.2.7 NR 制御レジスタ 0（IMGCNT_NR_CNT0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	NR1D_MD	—	—	—	NR1D_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	NR1D_Y_TH[6:0]							—	—	NR1D_Y_TAP[1:0]		—	—	NR1D_Y_GAIN[1:0]	
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	NR1D_MD	1	R/W	水平ノイズリダクション動作モード 0：G/B/Rモード 1：Y/Cb/Crモード
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	NR1D_ON	0	R/W	ノイズリダクションのOn/Off制御 0：ノイズリダクションオフ 1：ノイズリダクションオン
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 8	NR1D_Y_TH [6:0]	8	R/W	Y、G信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_Y_THにてコアリングを実施。 符号無し：0～127[LSB]
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	NR1D_Y_TAP [1:0]	0	R/W	Y、G信号のTAP選択 0：1画素隣接 1：2画素隣接 2：3画素隣接 3：4画素隣接
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	NR1D_Y_GAIN [1:0]	3	R/W	Y、G信号のノイズリダクションゲイン調整 0：1/2 1：1/4 2：1/8 3：1/16

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN =1で更新されます。

30.2.8 NR 制御レジスタ 1（IMGCNT_NR_CNT1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	NR1D_CB_TH[6:0]							—	—	NR1D_CB_TAP[1:0]		—	—	NR1D_CB_GAIN[1:0]	
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	NR1D_CR_TH[6:0]							—	—	NR1D_CR_TAP[1:0]		—	—	NR1D_CR_GAIN[1:0]	
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 24	NR1D_CB_TH [6:0]	8	R/W	Cb/B信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_CB_THにてコアリングを実施。 符号無し：0～127[LSB]
23、22	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	NR1D_CB_TAP [1:0]	0	R/W	Cb/B信号のTAP選択 0：1画素隣接 1：2画素隣接 2：3画素隣接 3：4画素隣接
19、18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	NR1D_CB_GAIN [1:0]	3	R/W	Cb/B信号のノイズリダクションゲイン調整 0：1/2 1：1/4 2：1/8 3：1/16
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14 ～ 8	NR1D_CR_TH [6:0]	8	R/W	Cr/R信号のコアリングの最大値（絶対値） ノイズ検出値≦NR1D_CR_THにてコアリングを実施。 符号無し：0～127[LSB]
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	NR1D_CR_TAP [1:0]	0	R/W	Cr/R信号のTAP選択 0：1画素隣接 1：2画素隣接 2：3画素隣接 3：4画素隣接
3、2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	NR1D_CR_GAIN [1:0]	3	R/W	Cr/R信号のノイズリダクションゲイン調整 0：1/2 1：1/4 2：1/8 3：1/16

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN =1で更新されます。

30.2.9 画質調整部マトリクスモードレジスタ（IMGCNT_MTX_MODE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	IMGCNT_MTX_MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 2	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
1、0	IMGCNT_ MTX_MD[1:0]	3	R/W	動作モード 0：GBR => GBR 1：GBR => YCbCr 2：YCbCr => GBR 3：YCbCr => YCbCr

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）の IMGCNT_VEN =1 で更新されます。

30.2.10 画質調整部マトリクス YG 調整レジスタ 0（IMGCNT_MTX_YG_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	IMGCNT_MTX_YG[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	IMGCNT_MTX_GG[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	IMGCNT_MTX _YG[7:0]	128	R/W	Y/G 信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 0	IMGCNT_MTX _GG[10:0]	256	R/W	Y/G 信号出力の Y/G 信号のゲイン調整 符号付（2 の補数）（－1024 ～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）の IMGCNT_VEN =1 で更新されます。

30.2.11 画質調整部マトリクス YG 調整レジスタ 1（IMGCNT_MTX_YG_ADJ1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	IMGCNT_MTX_GB[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	IMGCNT_MTX_GR[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	IMGCNT_MTX_GB[10:0]	0	R/W	Y/G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_GR[10:0]	0	R/W	Y/G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN =1で更新されます。

30.2.12 画質調整部マトリクス CBB 調整レジスタ 0（IMGCNT_MTX_CBB_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	IMGCNT_MTX_B[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	IMGCNT_MTX_BG[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	IMGCNT_MTX_B[7:0]	128	R/W	Cb/B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_BG[10:0]	0	R/W	Cb/B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN =1で更新されます。

30.2.13 画質調整部マトリクス CBB 調整レジスタ 1（IMGCNT_MTX_CBB_ADJ1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	IMGCNT_MTX_BB[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	IMGCNT_MTX_BR[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	IMGCNT_MTX_BB[10:0]	256	R/W	Cb/B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_BR[10:0]	0	R/W	Cb/B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN =1で更新されます。

30.2.14 画質調整部マトリクス CRR 調整レジスタ 0（IMGCNT_MTX_CRR_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	IMGCNT_MTX_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	IMGCNT_MTX_RG[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	IMGCNT_MTX_R[7:0]	128	R/W	Cr/R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_RG[10:0]	0	R/W	Cr/R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN =1で更新されます。

30.2.15 画質調整部マトリクス CRR 調整レジスタ 1（IMGCNT_MTX_CRR_ADJ1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	IMGCNT_MTX_RB[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	IMGCNT_MTX_RR[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	IMGCNT_MTX_RB[10:0]	0	R/W	Cr/R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	IMGCNT_MTX_RR[10:0]	256	R/W	Cr/R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質調整部レジスタ更新制御レジスタ（IMGCNT_UPDATE）のIMGCNT_VEN =1で更新されます。

30.3 使用方法

30.3.1 入力フォーマット調整方法

各入力フォーマットの設定例を示します。

表30.29 外部入力（BT656,525i）の設定例

レジスタ名	ビット名	説明	設定値
INP_SEL_CNT	INP_SEL	外部入力端子からの入力オン/オフを制御します。	1
INP_SEL_CNT	INP_FORMAT[2:0]	外部入力のフォーマットを選択します。	3
INP_SEL_CNT	INP_PXD_EDGE	外部入力の映像信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_VS_EDGE	外部入力の垂直同期信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_HS_EDGE	外部入力の水平同期信号の取り込みクロックのエッジの選択をします。	0
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	外部入力のビットエンディアンの変更をします。	0
INP_EXT_SYNC_CNT	INP_SWAP_ON	外部入力のB/R信号入れ替えオン／オフ制御をします。	0
INP_EXT_SYNC_CNT	INP_HS_INV	外部入力の水平同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_VS_INV	外部入力の垂直同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	BT656入力の水平同期基準の選択をします。	0
INP_EXT_SYNC_CNT	INP_F525_625	BT656入力のライン数の設定をします。	0
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	BT656/601入力の水平同期に対するデータ開始のタイミング設定をします。	0
INP_VSYNC_PH_ADJ	INP_FH50[9:0]	1/2fH位相の設定をします。（クロック単位で設定）	858
INP_VSYNC_PH_ADJ	INP_FH25[9:0]	1/4fH位相の設定をします。（クロック単位で設定）	429
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	垂直同期信号、フィールド判別のライン遅延量を設定します。	0
INP_DLY_ADJ	INP_VS_DLY[7:0]	垂直同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_HS_DLY[7:0]	水平同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_FLD_DLY[7:0]	フィールド判別信号の遅延量を設定します。（クロック単位で設定）	0

注. レジスタ設定後に一部のレジスタで、外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE＝1、およびINP_IMG_UPDATE＝1の設定が必要です。

表30.30　外部入力（BT601,525i）の設定例

レジスタ名	ビット名	説明	設定値
INP_SEL_CNT	INP_SEL	外部入力端子からの入力オン/オフを制御します。	1
INP_SEL_CNT	INP_FORMAT[2:0]	外部入力のフォーマットを選択します。	4
INP_SEL_CNT	INP_PXD_EDGE	外部入力の映像信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_VS_EDGE	外部入力の垂直同期信号の取り込みクロックのエッジの選択をします。	0
INP_SEL_CNT	INP_HS_EDGE	外部入力の水平同期信号の取り込みクロックのエッジの選択をします。	0
INP_EXT_SYNC_CNT	INP_ENDIAN_ON	外部入力のビットエンディアンの変更をします。	0
INP_EXT_SYNC_CNT	INP_SWAP_ON	外部入力のB/R信号入れ替えオン／オフ制御をします。	0
INP_EXT_SYNC_CNT	INP_HS_INV	外部入力の水平同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_VS_INV	外部入力の垂直同期信号の反転制御をします。	1
INP_EXT_SYNC_CNT	INP_H_EDGE_SEL	BT656入力の水平同期基準の選択をします。	0
INP_EXT_SYNC_CNT	INP_F525_625	BT656入力のライン数の設定をします。	0
INP_EXT_SYNC_CNT	INP_H_POS[1:0]	BT656/601入力の水平同期に対するデータ開始のタイミング設定をします。	0
INP_VSYNC_PH_ADJ	INP_FH50[9:0]	1/2fH位相の設定をします。（クロック単位で設定）	858
INP_VSYNC_PH_ADJ	INP_FH25[9:0]	1/4fH位相の設定をします。（クロック単位で設定）	429
INP_DLY_ADJ	INP_VS_DLY_L[2:0]	垂直同期信号、フィールド判別のライン遅延量を設定します。	0
INP_DLY_ADJ	INP_VS_DLY[7:0]	垂直同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_HS_DLY[7:0]	水平同期信号の遅延量を設定します。（クロック単位で設定）	0
INP_DLY_ADJ	INP_FLD_DLY[7:0]	フィールド判別信号の遅延量を設定します。（クロック単位で設定）	0

注.　レジスタ設定後に一部のレジスタで、外部入力部レジスタ更新制御レジスタ（INP_UPDATE）のINP_EXT_UPDATE＝1、およびINP_IMG_UPDATE＝1の設定が必要です。

30.3.2 カラーマトリクス変換の使用方法

標準的な各データ変換の設定例を示します。

表30.31 カラーマトリクス変換

レジスタ名	ビット名	GBR⇒GBR	GBR⇒YCbCr	YCbCr⇒GBR	YCbCr⇒YCbCr
IMGCNT_MTX_MODE	IMGCNT_MTX_MD[1:0]	0	1	2	3
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_YG[7:0]	128	128	128	128
IMGCNT_MTX_YG_ADJ0	IMGCNT_MTX_GG[10:0]	256	150	256	256
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GB[10:0]	0	29	1960	0
IMGCNT_MTX_YG_ADJ1	IMGCNT_MTX_GR[10:0]	0	77	1865	0
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_B[7:0]	128	128	128	128
IMGCNT_MTX_CBB_ADJ0	IMGCNT_MTX_BG[10:0]	0	1963	256	0
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BB[10:0]	256	128	454	256
IMGCNT_MTX_CBB_ADJ1	IMGCNT_MTX_BR[10:0]	0	2005	0	0
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_R[7:0]	128	128	128	128
IMGCNT_MTX_CRR_ADJ0	IMGCNT_MTX_RG[10:0]	0	1941	256	0
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RB[10:0]	0	2027	0	0
IMGCNT_MTX_CRR_ADJ1	IMGCNT_MTX_RR[10:0]	256	128	359	256

注. レジスタ設定後に画質調整部レジスタ更新制御レジスタ（IMGCN_UPDATE）のIMGCNT_VEN＝1の設定が必要です。

31. ビデオディスプレイコントローラ 5（3） スケーリング部

31.1 スケーリング機能

31.1.1 機能概要

スケーリング部は、入力制御部の YCbCr、RGB 出力信号に対して、同期信号生成、画像の縮小・拡大・回転制御を行います。

また、フレームバッファに対して映像の録画を行います。

スケーリング部 0 の拡大処理は、グラフィックス（0）の処理と選択になります。

下図にスケーリング部の機能ブロック図を示します。

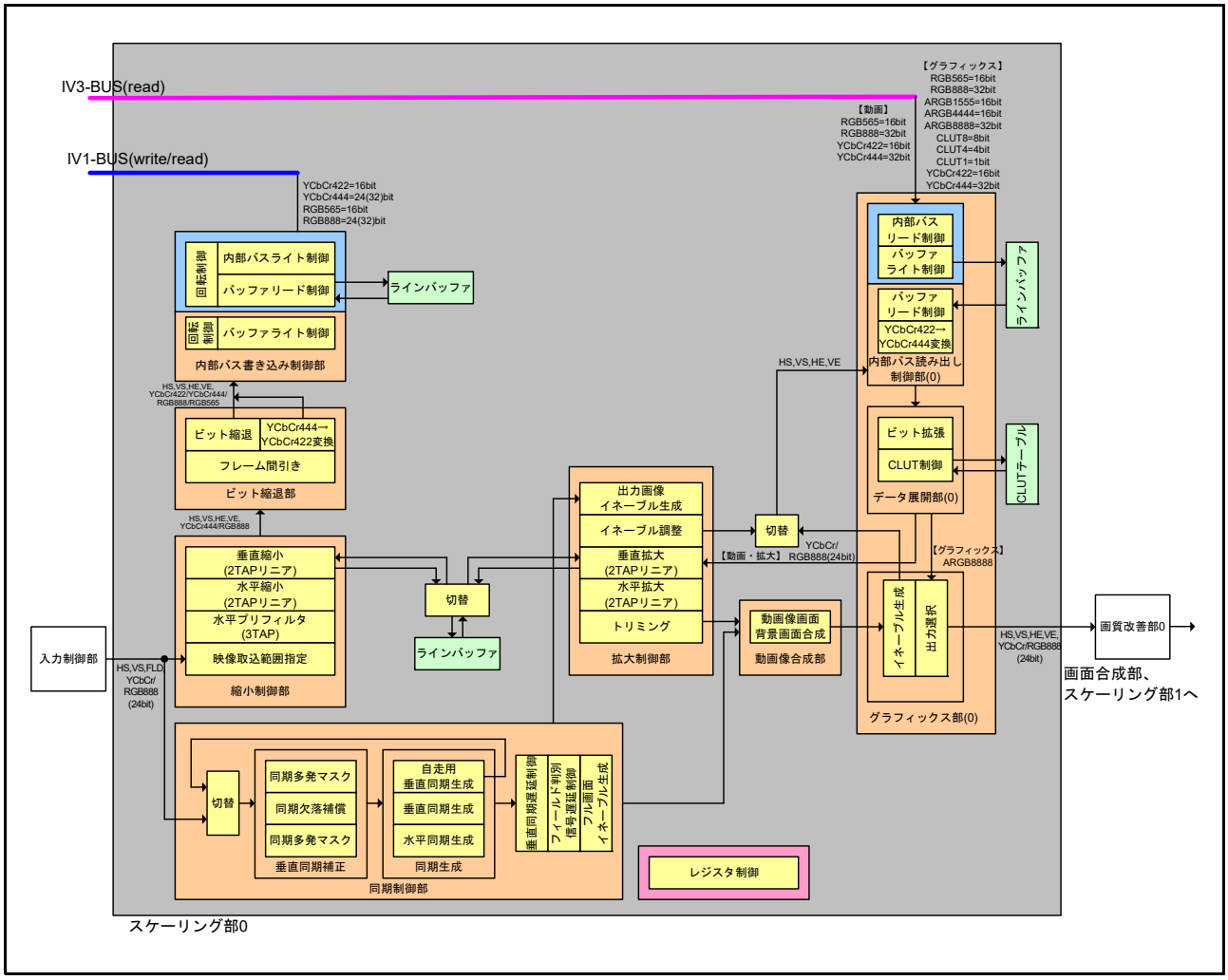


図 31.1 スケーリング部 0 の機能ブロック図

なお、スケーリング部のレジスタ・ビットは、SC0_xxxx、グラフィックス部は、GR0_xxxx となりますが、本仕様書では、レジスタ・ビット名を SC_xxxx、GR_xxxx として記載します。

31.1.2 レジスタ制御

(1) レジスタの更新制御

スケーリング部、グラフィックス部の制御レジスタは、同期制御部とその他の一部レジスタを除き垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 31.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_UPDATE	SC_SCL0_UPDATE	0	同期制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_D	0	拡大制御、フレームバッファ読み出し制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_C	0	縮小制御、フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_B	0	同期制御、拡大制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL0_UPDATE	SC_SCL0_VEN_A	0	縮小制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL1_UPDATE	SC_SCL1_UPDATE_B	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
SC_SCL1_UPDATE	SC_SCL1_UPDATE_A	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
SC_SCL1_UPDATE	SC_SCL1_VEN_B	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
SC_SCL1_UPDATE	SC_SCL1_VEN_A	0	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GR_UPDATE	GR_UPDATE	0	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新します
GR_UPDATE	GR_P_VEN	0	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GR_UPDATE	GR_IBUS_VEN	0	フレームバッファ読み出し制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

SC_SCL0_VEN_A、SC_SCL0_VEN_C、SC_SCL1_VEN_A、SC_SCL1_VEN_B で制御されるレジスタは入力垂直同期信号の立ち上がりで更新されます。

SC_SCL0_VEN_B、SC_SCL0_VEN_D、GR_P_VEN、GR_IBUS_VEN で制御されるレジスタは出力垂直同期信号の立ち上がりで更新されます。

31.1.3 同期制御

(1) 垂直同期信号選択

スケーリング出力の垂直同期信号を選択します。
外部入力信号を表示する場合は、外部入力の垂直同期信号を出力します。
外部入力信号がない場合は、自走垂直同期信号を出力します。

表 31.2 垂直同期信号選択制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_FRC3	SC_RES_VS_SEL	1	出力する垂直同期信号の選択 0：外部入力垂直同期信号 1：内部生成した自走用垂直同期信号

(2) 垂直同期信号多発マスク

入力の垂直同期信号を受け付けてから、次の垂直同期信号の受付を開始するタイミングを設定することで、標準周期より短い周期の垂直同期信号の受付を禁止します。
垂直同期信号の受付をマスクする期間は、SC_RES_VMASK[15:0] で設定します。

マスク期間 [usec] ＝ SC_RES_VMASK × 128 ÷ ピクセルクロック [MHz]

本機能は SC_RES_VMASK_ON でオン／オフを制御します。

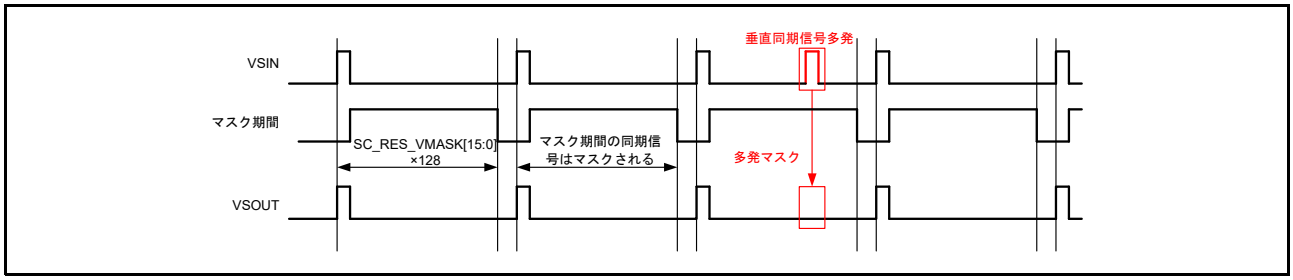


図 31.2 垂直同期信号多発マスクのタイミング図

表 31.3 垂直同期信号多発マスク制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_FRC1	SC_RES_VMASK_ON	1	垂直同期信号の多発マスク制御 0：多発マスク制御オフ 1：多発マスク制御オン
SC_SCL0_FRC1	SC_RES_VMASK[15:0]	2800	垂直同期信号の多発マスク期間設定 垂直同期信号からの同期多発マスクをする期間をピクセルクロック周期の 128 倍で設定 マスク期間[usec] = SC_RES_VMASK×128÷ピクセルクロック [MHz]

(3) 垂直同期信号欠落補償

入力の垂直同期信号を受け付けてから、次の垂直同期信号が入力されるまでのウェイト期間を設定することで、標準周期より長い周期の垂直同期信号を出力しないようにします。

ウェイト期間内に垂直同期信号の受付がない場合は、内部で生成した同期信号を挿入します。

垂直同期信号の受付をウェイトする期間は、SC_RES_VLACK[15:0] で設定します。

ウェイト期間 [usec] ＝ SC_RES_VLACK × 128 ÷ ピクセルクロック [MHz]

本機能は SC_RES_VLACK_ON でオン／オフを制御します。

垂直同期信号の受付期間中に垂直同期信号が入力されなかった場合は、SC_RES_QVLACK が “H” にセットされます。

垂直同期信号の受付期間中に垂直同期信号が 4 回以上連続して検出された場合は、SC_RES_QVLOCK が "H" にセットされます。

SC_RES_QVLOCK は SC_RES_VMASK_ON、SC_RES_VLACK_ON が共にオフ設定でも検出可能です。

ただし、SC_RES_VMASK、SC_RES_VLACK を正しく設定する必要があります。

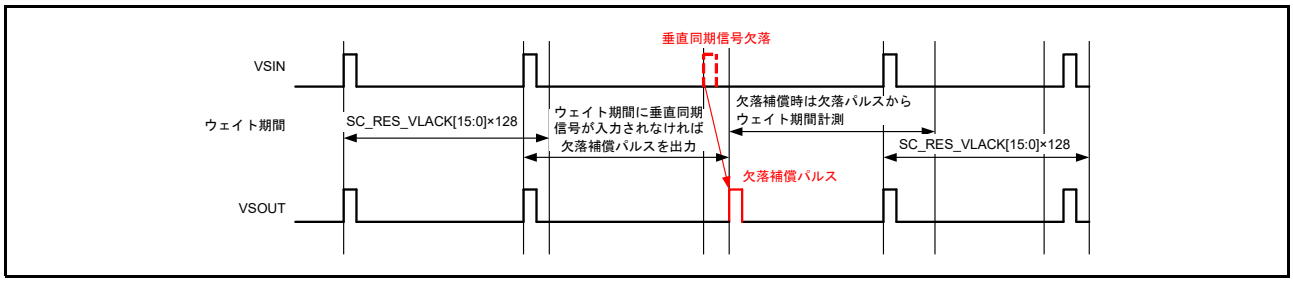


図 31.3　垂直同期信号の欠落補償

表 31.4　垂直同期信号欠落補償制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_FRC2	SC_RES_VLACK_ON	1	垂直同期信号の欠落補償制御 0：欠落補償制御オフ 1：欠落補償制御オン
SC_SCL0_FRC2	SC_RES_VLACK[15:0]	3600	垂直同期信号の欠落補償期間設定 垂直同期信号から同期欠落補償パルスを出力するまでのウェイト期間をピクセルクロック周期の 128 倍で設定 ウェイト期間 [usec] = SC_RES_VLACK×128÷ピクセルクロック [MHz]
SC_SCL0_FRC9	SC_RES_QVLACK	–	垂直同期信号欠落検出フラグ 1：入力垂直同期信号欠落あり 0：入力垂直同期信号欠落なし
SC_SCL0_FRC9	SC_RES_QVLOCK	–	垂直同期信号ロック検出フラグ 1：入力垂直同期信号に多発または欠落なしが 4 垂直期間以上連続 0：入力垂直同期信号に多発または欠落あり

垂直同期信号多発マスクと垂直同期信号欠落補償は多発マスク→欠落補償→多発マスクの構成になっています。

垂直同期信号が欠落し、欠落補償パルス後にすぐ入力された場合などでも、垂直同期信号の出力が多発しないように欠落補償後に多発マスク処理を挿入しています。

後段の垂直同期多発マスク処理のオン／オフ制御は垂直同期欠落補償と共通設定、マスク周期は前段の垂直同期多発マスク処理のマスク期間設定と共通設定となっています。

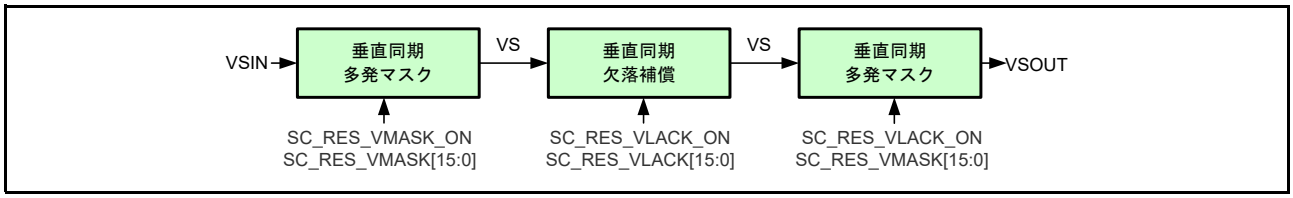


図 31.4　多発マスク・欠落補償構成

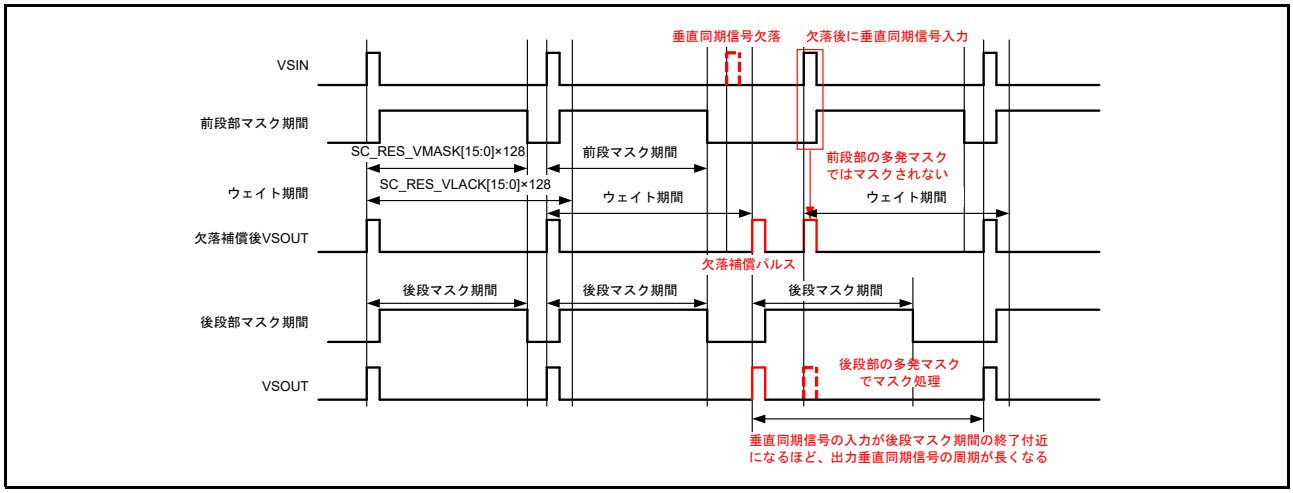


図 31.5　多発マスク・欠落補償タイミング図

(4)　自走周期

自走用の垂直同期信号・水平同期信号の周期を設定します。

水平同期信号周期 [usec] ＝ (SC_RES_FH ＋ 1) ÷ ピクセルクロック [MHz]
垂直同期信号周期 [usec] ＝ 水平周期 [usec] × (SC_RES_FV ＋ 1)

表 31.5　自走周期制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_FRC4	SC_RES_FV[10:0]	524	自走用垂直同期信号の周期設定 自走用垂直同期信号周期＝（SC_RES_FV＋1）×水平周期[usec]
SC_SCL0_FRC4	SC_RES_FH[10:0]	799	水平同期信号の周期設定 水平同期信号周期[usec]＝（SC_RES_FH＋1）÷ピクセルクロック[MHz]

外部入力垂直同期信号を選択する場合は SC_RES_VS_SEL=0 とします。このとき、内部生成された自走用垂直同期信号は出力されません。
水平同期信号は常に自走設定で生成した水平同期信号がスケーリング部より出力されます。

(5) 垂直同期信号遅延制御

スケーリング出力の垂直同期信号の遅延を制御します。
フレームバッファの読み出しタイミング調整に使用します。

表 31.6 垂直同期信号遅延制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_FRC5	SC_RES_VSDLY[7:0]	1	垂直同期信号遅延制御 垂直同期信号を出力水平周期単位にて遅延調整 垂直同期信号遅延量[usec]：SC_RES_VSDLY×出力水平周期[usec]

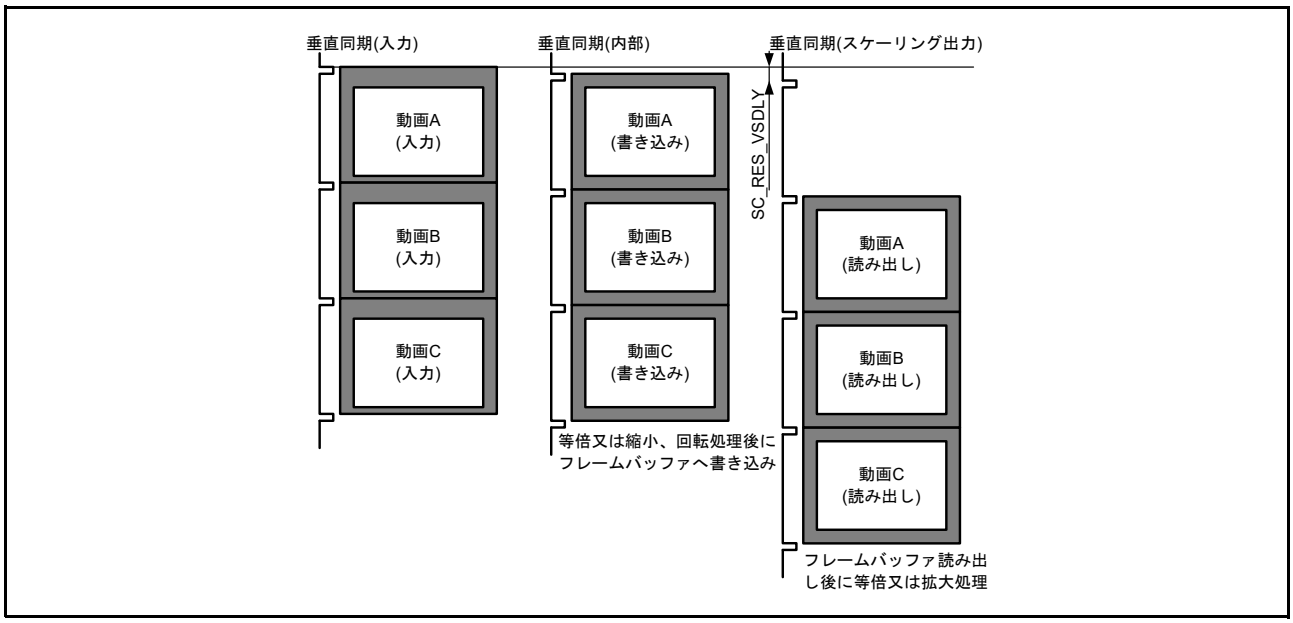


図 31.6 垂直同期信号の位相関係図（フレームバッファ 2 面使用時）

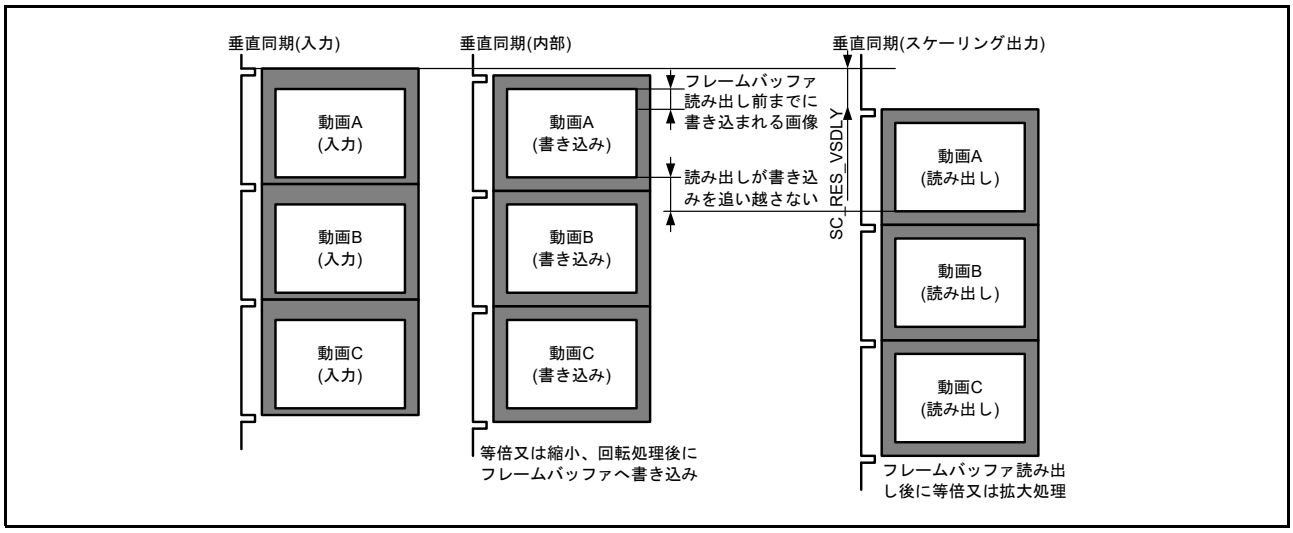


図 31.7 垂直同期信号の位相関係図（フレームバッファ 1 面使用時）

31.1.4 画角サイズ設定

(1) 画像取り込み範囲設定

縮小、拡大処理を行う画像の取り込み範囲を設定します。

画像の取込み範囲の設定は、入力される水平同期信号、垂直同期信号基準として開始位置、幅にて設定します。

表31.7 画像取り込み範囲制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_DS2	SC_RES_VS[10:0]	18	取込映像信号垂直位置設定 （VSYNC＋Vバックポーチ ライン数-1） 注. 4ライン以上、SC_RES_VS+ SC_RES_VWが2039ライン以内になるように設定してください。
SC_SCL0_DS2	SC_RES_VW[10:0]	240	取込映像信号垂直幅 （ライン数） 注. SC_RES_VS+ SC_RES_VWが2039ライン以内になるように設定してください。
SC_SCL0_DS3	SC_RES_HS[10:0]	244	取込映像信号水平位置設定 （HSYNC＋Hバックポーチ 映像クロック数） 注. 16クロック以上、SC_RES_HS+ SC_RES_HWが2015クロック以内になるように設定してください。
SC_SCL0_DS3	SC_RES_HW[10:0]	1440	取込映像信号水平幅 （映像クロック数） 注. SC_RES_HS+ SC_RES_HWが2015クロック以内になるように設定してください。

(2) フル画面イネーブル生成

スケーリング出力のフル画面の有効期間を設定します。

有効期間の設定は、スケーリング出力の水平同期信号、垂直同期信号を基準として開始位置、幅にて設定します。

V フロントポーチが 4 ライン以上、H フロントポーチが 16 クロック以上となるように設定してください。

表31.8 フル画面イネーブル制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	35	フル画面の垂直イネーブル信号開始位置設定 （VSYNC＋Vバックポーチ ライン数） 注. 4ライン以上、SC_RES_F_VS+ SC_RES_F_VWが2039ライン以内になるように設定してください。
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	480	フル画面の垂直イネーブル信号幅設定 （ライン数） 注. SC_RES_F_VS+ SC_RES_F_VWが2039ライン以内になるように設定してください。
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	144	フル画面の水平イネーブル信号開始位置設定 （HSYNC＋Hバックポーチ ピクセルクロック数） 注. 16クロック以上、SC_RES_F_HS+ SC_RES_F_HWが2015クロック以内になるように設定してください。
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	640	フル画面の水平イネーブル信号幅設定 （ピクセルクロック数） 注1. SC_RES_F_HS+ SC_RES_F_HWが2015クロック以内になるように設定してください。 注2. LCD出力信号としてシリアルRGB出力を選択する場合は、（フル画面の水平信号幅＋2）を設定してください。

(3) 画像出力イネーブル生成

出力する画像の有効期間を設定します。

有効期間の設定は、スケーリング出力の水平同期信号、垂直同期信号基準として開始位置、幅にて設定します。

表31.9 画像出力イネーブル制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_US2	SC_RES_P_VS[10:0]	35	画像出力の垂直イネーブル信号開始位置設定 （VSYNC＋Vバックポーチ ライン数） 注. 4ライン以上、SC_RES_P_VS+ SC_RES_P_VWが2039ライン以内になるように設定してください。
SC_SCL0_US2	SC_RES_P_VW[10:0]	480	画像出力の垂直イネーブル信号幅設定 （ライン数） 注. SC_RES_P_VS+ SC_RES_P_VWが2039ライン以内になるように設定してください。
SC_SCL0_US3	SC_RES_P_HS[10:0]	144	画像出力の水平イネーブル信号開始位置設定 （HSYNC＋Hバックポーチ ピクセルクロック数） 注. 16クロック以上、SC_RES_P_HS+ SC_RES_P_HWが2015クロック以内になるように設定してください。
SC_SLC0_US3	SC_RES_P_HW[10:0]	640	画像出力の水平イネーブル信号幅設定 （ピクセルクロック数） 注. SC_RES_P_HS+ SC_RES_P_HWが2015クロック以内になるように設定してください。

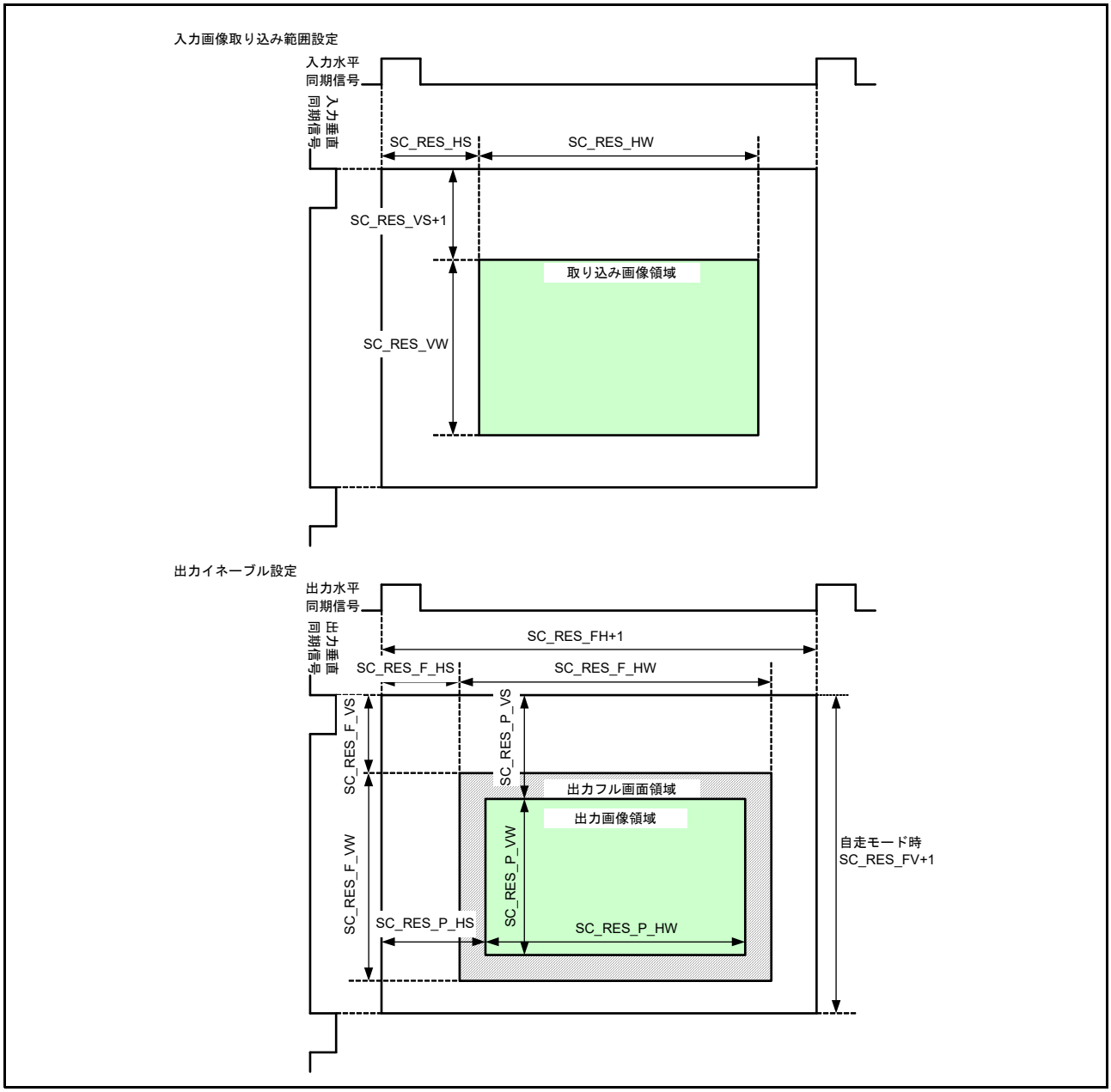


図 31.8　イネーブル設定図

31.1.5 スケーリング設定

(1) スケーリング処理ブロック

縮小制御部では、入力制御部からの入力画像に対してスケーリング処理します。
回転制御がある場合、縮小スケーリング後に回転してフレームバッファへ書き込みます。
拡大制御部では回転後の画像をフレームバッファより読み出してスケーリング処理をします。

表 31.10 回転制御・スケーリング処理

回転制御	水平スケーリング	垂直スケーリング	縮小制御部	拡大制御部
通常	水平縮小	垂直縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	水平縮小	垂直拡大	水平縮小／垂直等倍	水平等倍／垂直拡大
	水平拡大	垂直縮小	水平等倍／垂直縮小	水平拡大／垂直等倍
	水平拡大	垂直拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
水平鏡像	水平縮小	垂直縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	水平縮小	垂直拡大	水平縮小／垂直等倍	水平等倍／垂直拡大
	水平拡大	垂直縮小	水平等倍／垂直縮小	水平拡大／垂直等倍
	水平拡大	垂直拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
90 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	水平縮小／垂直等倍	水平拡大／垂直等倍
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
180 度回転	水平縮小	垂直縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	水平縮小	垂直拡大	水平縮小／垂直等倍	水平等倍／垂直拡大
	水平拡大	垂直縮小	水平等倍／垂直縮小	水平拡大／垂直等倍
	水平拡大	垂直拡大	水平等倍／垂直等倍	水平拡大／垂直拡大
270 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	水平縮小／垂直縮小	水平等倍／垂直等倍
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	水平縮小／垂直等倍	水平拡大／垂直等倍
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	水平等倍／垂直等倍	水平拡大／垂直拡大

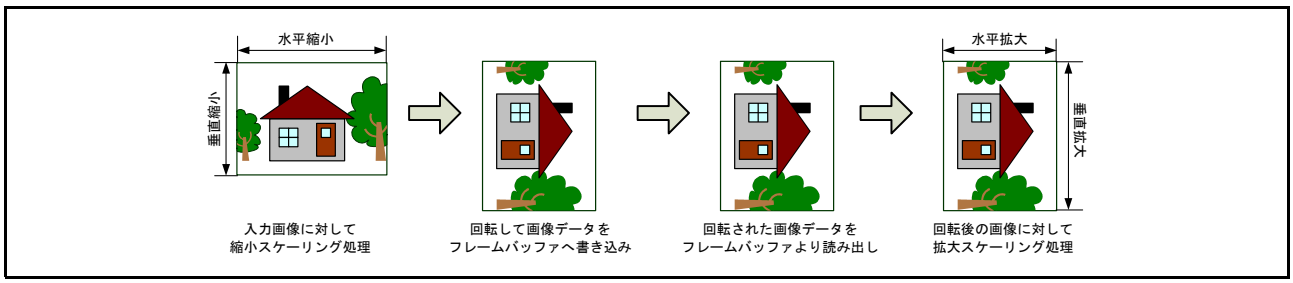


図 31.9 回転制御・スケーリング処理

縮小制御部の垂直縮小と拡大制御部の垂直拡大は排他処理のため、同時に使用することはできません。
したがって、90 度回転または 270 度回転時、下記のスケーリング処理を行うことはできません。

表 31.11　対応不可のスケーリング処理

回転制御	水平スケーリング	垂直スケーリング	縮小制御部	拡大制御部
90 度回転 270 度回転	（水平入力→垂直出力）拡大	（垂直入力→水平出力）縮小	水平等倍／垂直縮小	水平等倍／垂直拡大

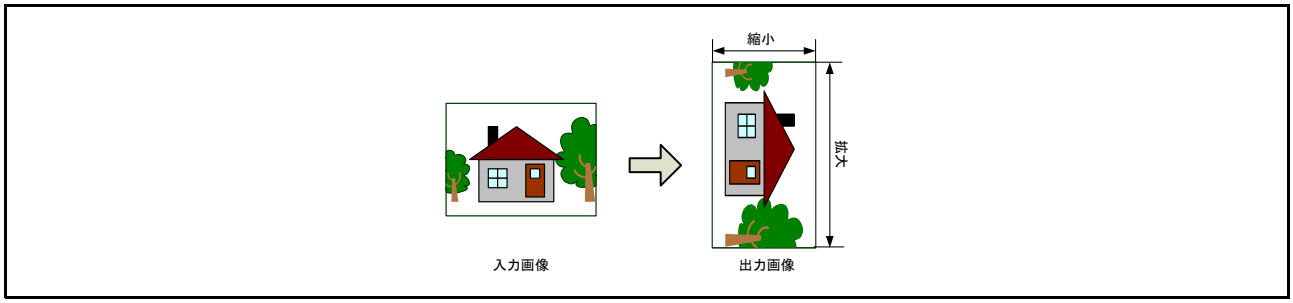


図 31.10　対応不可のスケーリング処理

31.1.6　水平プリフィルタ

水平縮小処理時の信号の周波数帯域抑制用に輝度（Y）信号、および RGB 信号に対して水平プリフィルタのオン／オフを制御します。入力フォーマットは、書き込み動作モードレジスタ（SC_SCL1_WR1）の SC_RES_MD[1:0] の設定に従います。

水平縮小率が高く、折り返し周波数成分が目立つ場合には水平プリフィルタをオンしてください。

表 31.12　水平プリフィルタ制御の設定値

入力フォーマット	SC_RES_PFIL_SEL	動　　作
YCbCr 入力	1	Y 信号フィルタオン、Cb/Cr 信号フィルタオフ
	0	フィルタオフ
RGB 入力	1	RGB 信号フィルタオン
	0	フィルタオフ

表 31.13　水平プリフィルタ制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_DS4	SC_RES_PFIL_SEL	0	輝度信号プリフィルタモード選択 0：プリフィルタオフ 1：プリフィルタオン（1/4＋1/2＋1/4）

31.1.7 水平縮小処理

水平画素に対して 1/1 ～ 1/8[倍] の任意倍率での画素変換を行います。
スケーリングフィルタは、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2) 2TAP リニア補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase より以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3) 水平縮小率計算

水平縮小率 SC_RES_DS_H_RATIO は縮小制御部の入力画素数 SC_RES_HW と出力画素数 SC_RES_OUT_HW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_DS_H_RATIO = round (SC_RES_HW÷SC_RES_OUT_HW×4096)

水平等倍時は SC_RES_HW と SC_RES_OUT_HW を同じ値に設定してください。

水平等倍時は SC_RES_DS_H_RATIO=4096 に設定してください。

(4) 入力最終画素欠落対策

画面右端の出力最終画素は、（入力最終 – 1）画素と入力最終画素との補間で作られます。水平縮小率によっては、出力最終画素の補間位置が（入力最終 – 1）画素付近になることにより、入力最終画素が欠落したように見える場合があります。

以下の計算式にて水平縮小率を調整することで入力最終画素欠落の影響を少なくすることができます。

調整前の水平縮小率 RATIO_org を求め、調整値 σ を算出し縮小率 SC_RES_DS_H_RATIO を求めます。

RATIO_org = round (SC_RES_HW÷SC_RES_OUT_HW×4096)

σ = (RATIO_org×(SC_RES_OUT_HW − 1) − (SC_RES_HW − 1)×4096)÷(SC_RES_OUT_HW − 1)

SC_RES_DS_H_RATIO = roundup (RATIO_org − σ)

表 31.14 水平縮小制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_DS1	SC_RES_DS_H_ON	1	水平縮小オン／オフ設定 0：オフ 1：オン
SC_SCL0_DS7	SC_RES_OUT_HW[10:0]	640	縮小制御部出力の水平有効画素数 （映像クロック数）
SC_SCL0_DS4	SC_RES_DS_H_INTERPOTYP	1	水平補間方法選択 0：ホールド補間 1：リニア補間
SC_SCL0_DS4	SC_RES_DS_H_RATIO[15:0]	9224	水平縮小率　[15:12]：整数部　[11:0]：小数部 round(SC_RES_HW÷SC_RES_OUT_HW×4096) SC_RES_DS_H_RATIO<4096：設定禁止、 SC_RES_DS_H_RATIO=4096：等倍、 SC_RES_DS_H_RATIO>4096：縮小

注. SC_RES_OUT_HW は 4 画素アライメントかつ、SC_RES_OUT_HW ≦ SC_RES_HW で設定してください。

31.1.8 垂直縮小処理

垂直ラインに対して 1/1 ～ 1/8[倍] の任意倍率での画素変換を行います。
スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2) 2TAP リニア補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase 以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3) 垂直縮小率計算

垂直縮小率 SC_RES_V_RATIO は縮小制御部の入力ライン数 SC_RES_VW と出力ライン数 SC_RES_OUT_VW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_V_RATIO ＝ round (SC_RES_VW÷SC_RES_OUT_VW×4096)

垂直等倍時または垂直拡大時は SC_RES_VW と SC_RES_OUT_VW を同じ値に設定してください。

垂直等倍時は SC_RES_V_RATIO=4096 で縮小処理を行います。

(4) 入力最終ライン欠落対策

画面下端の出力最終ラインは、（入力最終 – 1）ラインと入力最終ラインとの補間で作られます。垂直縮小率によっては、出力最終ラインの補間位置が（入力最終 – 1）ライン付近になることにより、入力最終ラインが欠落したように見える場合があります。

以下の計算式にて垂直縮小率を調整することで入力最終ライン欠落の影響を少なくすることができます。

調整前の垂直縮小率 RATIO_org を求め、調整値 σ を算出し縮小率 SC_RES_V_RATIO を求めます。

RATIO_org ＝ round (SC_RES_VW÷SC_RES_OUT_VW×4096)

σ ＝ (RATIO_org×(SC_RES_OUT_VW － 1) － (SC_RES_VW － 1)×4096)÷(SC_RES_OUT_VW － 1)

SC_RES_V_RATIO ＝ round (RATIO_org － σ)

表31.15 垂直縮小制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_DS1	SC_RES_DS_V_ON	1	垂直縮小オン／オフ設定 0：オフ 1：オン
SC_SCL0_DS7	SC_RES_OUT_VW[10:0]	240	縮小制御部出力の垂直有効ライン数 （ライン数） 本ビットの設定は、フレームバッファへの書き込みライン数に反映されます。 SC_SCL1_WR1.SC_RES_LOOP=0（フレーム書き込みモード）設定時は、1フレーム分のライン数を指定してください。 SC_SCL1_WR1.SC_RES_LOOP=1（ライン書き込みモード）設定時は、リング状に書き出すライン数を指定してください。
SC_SCL0_DS5	SC_RES_V_INTERPOTYP	1	垂直補間方法選択 0：ホールド補間 1：リニア補間
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	2044	垂直拡大/縮小率 [15:12]：整数部 [11:0]：小数部 round(SC_RES_VW÷SC_RES_OUT_VW×4096)：縮小時 round(SC_RES_IN_VW÷SC_RES_P_VW×4096)：拡大時 SC_RES_V_RATIO<4096：拡大、 SC_RES_V_RATIO=4096：等倍、 SC_RES_V_RATIO>4096：縮小

注. SC_RES_V_RATIO、SC_RES_V_INTERPOTYPは垂直縮小、垂直拡大で共通レジスタとなります。
垂直縮小と垂直拡大は排他処理のため、同時に使用することはできません。
SC_RES_OUT_VWは4ラインアライメントかつ、SC_RES_OUT_VW≦SC_RES_VWで設定してください。

31.1.9 水平拡大処理

水平画素に対して 1 ～ 8[倍] の任意倍率での画素変換を行います。
スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2) 2TAP リニア補間

補間位置が入力画素 X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase より以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3) 水平拡大率計算

水平拡大率 SC_RES_US_H_RATIO は拡大制御部の入力画素数 SC_RES_IN_HW と出力画素数 SC_RES_P_HW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_US_H_RATIO = round (SC_RES_IN_HW÷SC_RES_P_HW×4096)

水平等倍時は SC_RES_IN_HW と SC_RES_P_HW を同じ値に設定してください。

水平等倍時は SC_RES_US_H_RATIO=4096 に設定してください。

(4) 折り返し対策

画面右端の出力最終画素は、入力最終画素と折り返し（入力最終 – 1）画素との補間で作られます。そのため、水平拡大率によっては折り返しが目立つ場合があります。

以下の計算式にて水平拡大率を調整することで折り返し画素の影響を少なくすることができます。

調整前の水平拡大率 RATIO_org を求め、調整値 σ を算出し拡大率 SC_RES_US_H_RATIO を求めます。

RATIO_org ＝ round (SC_RES_IN_HW÷SC_RES_P_HW×4096)

σ ＝ (RATIO_org×(SC_RES_P_HW － 1) － (SC_RES_IN_HW － 1)×4096)÷(SC_RES_P_HW － 1)

SC_RES_US_H_RATIO ＝ round (RATIO_org － σ)

表 31.16　水平拡大処理制御

レジスタ名	ビット名	初期値	説　明
SC_SCL0_US1	SC_RES_US_H_ON	1	水平拡大オン／オフ設定 0：オフ 1：オン
SC_SCL0_US4	SC_RES_IN_HW[10:0]	640	拡大制御部入力の水平有効画素数 （ピクセルクロック数）
SC_SCL0_US6	SC_RES_US_H_INTERPOTYP	1	水平補間方法指示 0：ホールド補間 1：リニア補間
SC_SCL0_US5	SC_RES_US_H_RATIO[15:0]	9224	水平拡大率　[15:12]：整数部　[11:0]：小数部 round(SC_RES_IN_HW÷SC_RES_P_HW×4096) SC_RES_US_H_RATIO<4096：拡大、 SC_RES_US_H_RATIO=4096：等倍、 SC_RES_US_H_RATIO>4096：設定禁止

31.1.10　垂直拡大処理

垂直ラインに対して 1 ～ 8[倍] の任意倍率での画素変換を行います。

スケーリングフィルタとしては、ホールド補間とリニア補間を選択できます。

(1) 1TAP ホールド補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は以下になります。

$X_{interpo} = X_n$

(2) 2TAP リニア補間

補間位置が入力ライン X_n と X_{n+1} の間にあるとき、$X_{interpo}$ 補間値は補間位置 phase より以下になります。

$X_{interpo} = (X_n \times (4096 - phase) + X_{n+1} \times phase) / 4096$

(3) 垂直拡大率計算

垂直拡大率 SC_RES_V_RATIO は拡大制御部の入力ライン数 SC_RES_IN_VW と出力ライン数 SC_RES_P_VW より下の式にて求められます。（小数点以下は四捨五入）

SC_RES_V_RATIO ＝ round (SC_RES_IN_VW÷SC_RES_P_VW×4096)

垂直等倍時または垂直縮小時は SC_RES_IN_VW と SC_RES_P_VW を同じ値に設定してください。

(4) 折り返し対策

画面下端の出力最終ライン波、最終ラインと折り返し（入力最終－1）ラインとの補間で作られます。そのため、垂直拡大率によっては折り返しが目立つ場合があります。

以下の計算式にて垂直拡大率を調整することで折り返しラインの影響を少なくすることができます。

調整前の垂直拡大率 RATIO_org を求め、調整値 σ を算出し拡大率 SC_RES_V_RATIO を求めます。

RATIO_org ＝ round (SC_RES_IN_VW÷SC_RES_P_VW×4096)

σ ＝ (RATIO_org×(SC_RES_P_VW － 1) － (SC_RES_IN_VW － 1)×4096)÷(SC_RES_P_VW － 1)

SC_RES_V_RATIO ＝ round (RATIO_org － σ)

表31.17 垂直拡大処理制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_US1	SC_RES_US_V_ON	1	垂直拡大オン／オフ設定 0：オフ 1：オン
SC_SCL0_US4	SC_RES_IN_VW[10:0]	240	拡大制御部入力の垂直有効ライン数 （ライン数）
SC_SCL0_DS5	SC_RES_V_INTERPOTYP	1	垂直補間方法選択 0：ホールド補間 1：リニア補間
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	2044	垂直拡大率 [15:12]：整数部 [11:0]：小数部 round(SC_RES_VW÷SC_RES_OUT_VW×4096)：縮小時 round(SC_RES_IN_VW÷SC_RES_P_VW×4096)：拡大時 SC_RES_V_RATIO<4096：拡大、 SC_RES_V_RATIO=4096：等倍、 SC_RES_V_RATIO>4096：縮小

注. SC_RES_V_RATIO、SC_RES_V_INTERPOTYPは垂直縮小、垂直拡大で共通レジスタとなります。
垂直縮小と垂直拡大は排他処理のため、同時に使用することはできません。

31.1.11 IP 変換

(1) 初期位相制御

インタレース信号入力時には、TOP フィールドと BOTTOM フィールドのスケーリング初期位相を個別に調整することでフィールド間のラインオフセットによるラインフリッカを軽減させて表示します。

各動作時の設定は、下表を参照してください。

表 31.18　IP 変換時のスケーリング初期位相設定表（標準値）

回転制御	水平スケーリング	垂直スケーリング	参照ビット（設定値）
通常	水平縮小	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平縮小	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
水平鏡像	水平縮小	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平縮小	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直拡大	SC_RES_TOP_INIPHASE ＝ 2048
90 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	SC_RES_US_HB_INIPHASE ＝ 2048
180 度回転	水平縮小	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平縮小	垂直拡大	SC_RES_BTM_INIPHASE ＝ 2048
	水平拡大	垂直縮小	SC_RES_TOP_INIPHASE ＝ 2048
	水平拡大	垂直拡大	SC_RES_BTM_INIPHASE ＝ 2048
270 度回転	（水平入力→垂直出力）縮小	（垂直入力→水平出力）縮小	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）縮小	（垂直入力→水平出力）拡大	SC_RES_TOP_INIPHASE ＝ 2048
	（水平入力→垂直出力）拡大	（垂直入力→水平出力）拡大	SC_RES_US_HT_INIPHASE ＝ 2048

注.　表中に設定値がない初期位相制御レジスタは 0 を設定してください。
　　プログレッシブ信号入力時、初期位相制御レジスタは 0 を設定してください。

表 31.19　スケーリング初期位相制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_DS5	SC_RES_BTM_INIPHASE[11:0]	0	BOTTOM フィールド垂直補間開始位相値 0～4095 （0～約 1.0）
SC_SCL0_DS5	SC_RES_TOP_INIPHASE[11:0]	2048	TOP フィールド垂直補間開始位相値 0～4095 （0～約 1.0）
SC_SCL0_US6	SC_RES_US_HB_INIPHASE [11:0]	0	BOTTOM フィールド水平補間開始位相値 0～4095 （0～約 1.0）
SC_SCL0_US6	SC_RES_US_HT_INIPHASE [11:0]	0	TOP フィールド水平補間開始位相値 0～4095 （0～約 1.0）

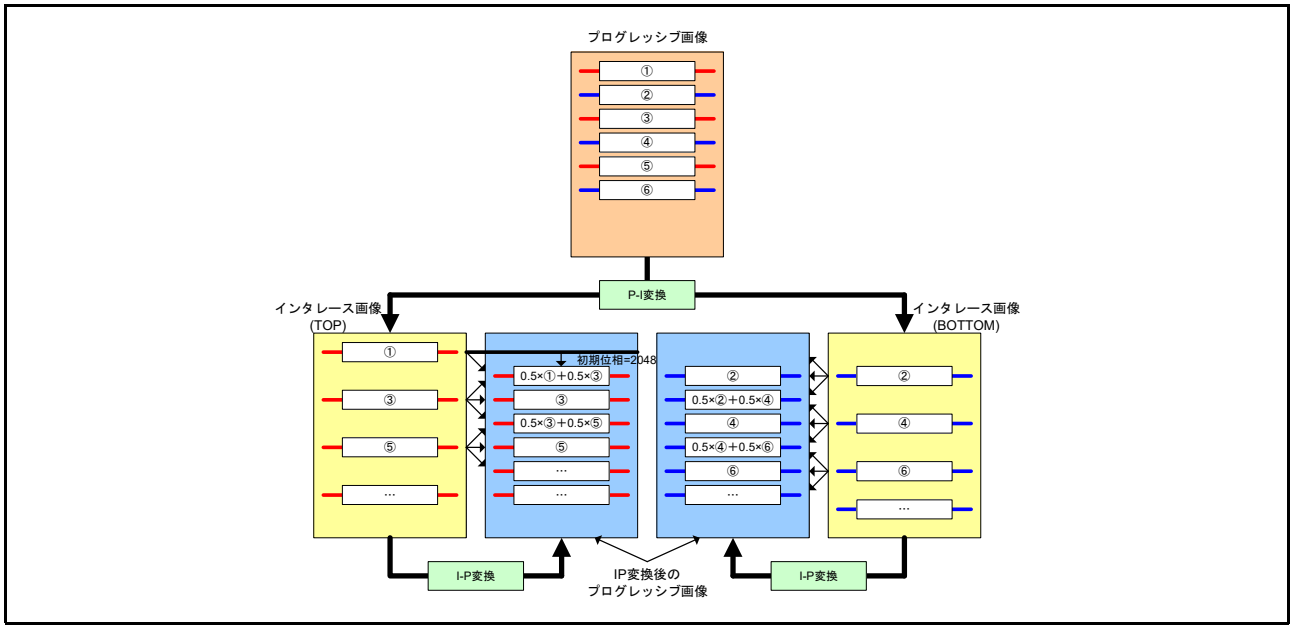


図 31.11　IP 変換処理概要図

(2)　フィールド判別信号制御

インタレース信号入力時、垂直スケーリングにより拡大制御部へ出力するフィールド判別信号の制御を行います。

プログレッシブ信号入力時、または垂直スケーリングを縮小制御部で行う場合、拡大制御部へ出力されるフィールド判別信号は固定値となるため、SC_RES_FLD_DLY_SEL 設定値はどちらでも構いません。

表 31.20　　フィールド判別信号制御の設定値

入力信号	回転制御	垂直処理	フレームバッファ	SC_RES_FLD_DLY_SEL
プログレッシブ	―	―	―	―
インタレース	通常 水平鏡像 180 度回転	垂直縮小	―	―
		垂直拡大	1 面以下	0
			2 面以上	1
	90 度回転 270 度回転	（水平入力→垂直出力）縮小	―	―
		（水平入力→垂直出力）拡大	2 面以上	1

表 31.21　　フィールド判別信号制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_FRC5	SC_RES_FLD_DLY_SEL	1	フィールド判別信号の遅延制御 0：遅延無し 1：1 垂直期間遅延

31.1.12 縮小前画像ライン指定割り込み制御、縮小前画像ラインの読み出し

縮小制御部に入力される画像のライン位置が、SC_SCL1_LINE と同じになったときに、割り込み処理を行います。また、縮小制御部に入力される画像の現在のライン位置を読み出すことができます。

表 31.22 縮小前画像ライン割り込み設定、ライン読み出し

レジスタ名	ビット名	初期値	説 明
SC_SCL0_INT	SC_RES_LINE [10:0]	すべて 0	縮小制御部に入力される画像のライン割り込み設定 縮小制御部に入力される画像のライン位置がSC_SCL0_LINEの値と一致するとき、割り込み信号を出力します。(本製品では設定禁止です)
SC_SCL0_MON0	SC_RES_LIN_STAT [10:0]	すべて 0	縮小制御部に入力される画像の現在のライン位置

31.1.13 トリミング

スケーリング後の画像に対して SC_RES_VCUT、SC_RES_HCUT で設定された上下左右端の画像をカットして出力します。

また、SC_RES_DISP_ON を 1 に設定することで領域の枠を表示することができます。

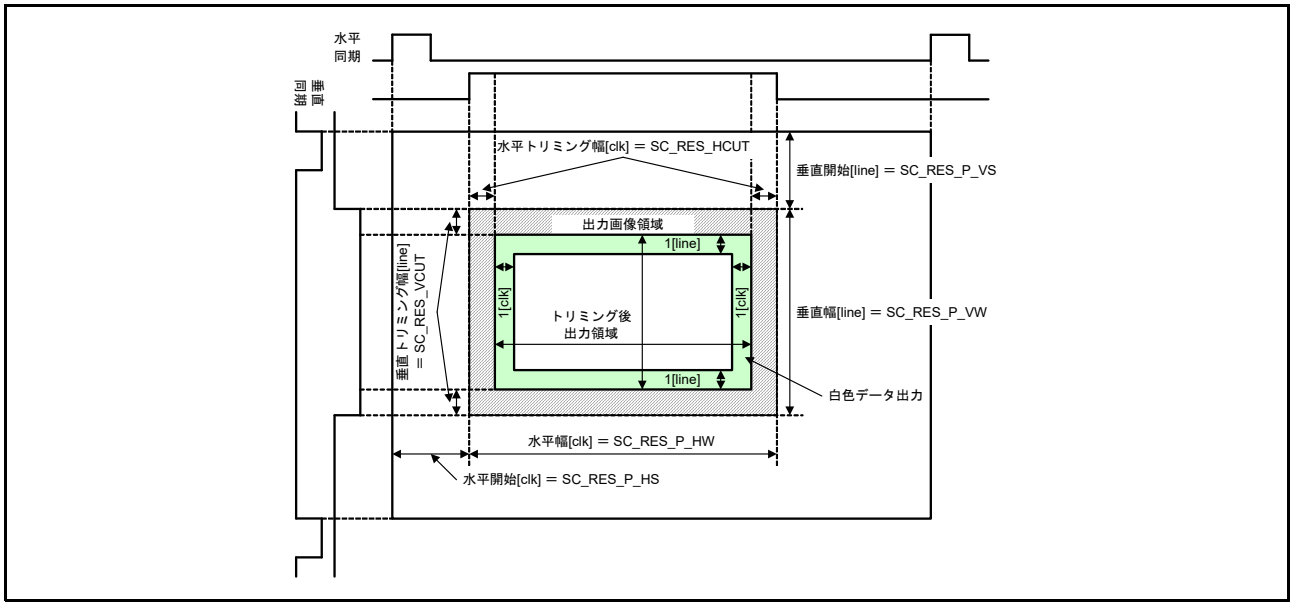


図 31.12 トリミング領域図（枠表示時）

表 31.23 トリミング制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_US7	SC_RES_HCUT[7:0]	0	スケーリング後画像の水平方向左右カット数 ピクセルクロック数を設定
SC_SCL0_US7	SC_RES_VCUT[7:0]	0	スケーリング後画像の垂直方向上下カット数 ライン数を設定
SC_SCL0_US8	SC_RES_DISP_ON	0	トリミング後画像の枠表示オン／オフ設定 0：枠表示オフ 1：枠表示オン

31.1.14 画面合成

フル画面の有効期間に対して画像出力の領域を重ねて出力します。フル画面の有効期間に対して画像出力領域が小さい場合には、SC_RES_BK_COL_R、SC_RES_BK_COL_G、SC_RES_BK_COL_B にて設定されたバックグランドカラーを表示します。

表31.24 画面合成制御

レジスタ名	ビット名	初期値	説 明
SC_SCL0_OVR1	SC_RES_BK_COL_R[7:0]	128	背景表示色設定R/Cr信号 R：8ビット符号無し（0～255[LSB]） Cr：8ビット128オフセットバイナリ符号無し（0～255[LSB]）
SC_SCL0_OVR1	SC_RES_BK_COL_B[7:0]	128	背景表示色設定B/Cb信号 B：8ビット符号無し（0～255[LSB]） Cb：8ビット128オフセットバイナリ符号無し（0～255[LSB]）
SC_SCL0_OVR1	SC_RES_BK_COL_G[7:0]	0	背景表示色設定G/Y信号 G/Y：8ビット符号無し（0～255[LSB]）

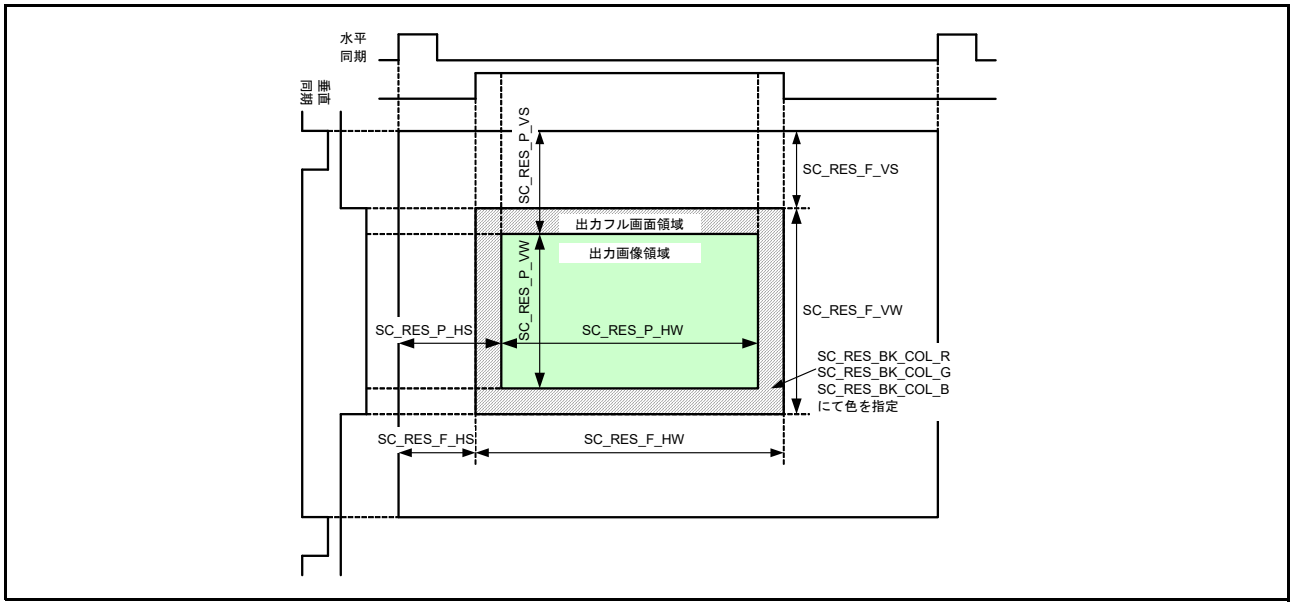


図 31.13 フル画面に対して画像出力サイズが小さい場合の領域図

31.1.15 フレームバッファ書き込み映像フォーマット選択

フレームバッファへの書き込み映像フォーマットを選択します。

スケーリング部には YCbCr 信号 24 ビット、または RGB 信号 24 ビットが入力されますが、フレームバッファへの書き込みは YCbCr422（16 ビット）、RGB565（16 ビット）、YCbCr444（32 ビット）、RGB888（32 ビット）で行います。

RGB565 へのビット縮退処理は、SC_RES_DTH_ON により四捨五入または 2×2 パターンディザの 2 種から選択できます。パターンディザの詳細については、出力制御部の「34.1.7 ディザ処理」を参照してください。

表31.25 フレームバッファ書き込み動作モード設定表

RES_BITDEC_ON	RES_MD[1:0]	動作モード
0	3	YCbCr444（通常、水平鏡像）
0	2	RGB888（通常、水平鏡像）
1	1	RGB565（通常、水平鏡像、回転）
*	0	YCbCr422（通常、水平鏡像、回転）

表31.26 映像フォーマット選択制御

レジスタ名	ビット名	初期値	説 明
SC_SCL1_WR1	SC_RES_MD[1:0]	0	フレームバッファ書き込み映像フォーマット 0：YCbCr422（16ビット） 1：RGB565（16ビット） 2：RGB888（24（32）ビット） 3：YCbCr444（24（32）ビット）
SC_SCL1_WR6	SC_RES_BITDEC_ON	0	ビット縮退オン／オフ設定 0：オフ 1：オン
SC_SCL1_WR6	SC_RES_DTH_ON	0	ディザ補正オン／オフ設定 0：オフ（四捨五入） 1：オン（2×2パターンディザ）

31.1.16 水平鏡像、回転処理

縮小処理後の画像を水平鏡像、回転処理してフレームバッファに書き込みを行います。
水平鏡像、回転処理における画像と処理モードの対応表を下表に示します。

表31.27 水平鏡像、回転処理の対応表

RES_DS_WR_MD[2:0]	書き込み動作モード	YCbCr444	YCbCr422	RGB565	RGB888
0	通常書き込み	○	○	○	○
1	水平鏡像書き込み	○	○	○	○
2	90度回転書き込み	×	○	○	×
3	180度回転書き込み	×	○	○	×
4	270度回転書き込み	×	○	○	×
5～7	設定禁止	−	−	−	−

表31.28 水平鏡像、回転処理制御

レジスタ名	ビット名	初期値	説 明
SC_SCL1_WR1	SC_RES_DS_WR_MD[2:0]	0	フレームバッファ書き込動作モード 0：通常書き込み 1：水平鏡像書き込み 2：90度回転書き込み 3：180度回転書き込み 4：270度回転書き込み 5～7：設定禁止

31.1.17 フレームバッファ書き込み処理

(1) フレームバッファ転送モード

映像、グラフィックスデータを格納するフレームバッファへのアクセスモードとして、32 バイト転送、128 バイト転送が選択できます。

表 31.29 フレームバッファ転送モード

レジスタ名	ビット名	初期値	説 明
SC_SCL1_WR1	SC_RES_BST_MD	0	フレームバッファ書き込み転送のバースト長 0：32 バイト 1：128 バイト

(2) フレームバッファ書き込み制御

フレームバッファへの書き込みオン／オフを制御します。

表 31.30 フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説 明
SC_SCL1_WR5	SC_RES_WENB	0	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0：書き込み禁止 1：書き込み許可

(3) フレームバッファ書き込みレート選択

フレームバッファへの書き込みレートを入力信号の垂直周期にて 1/1、1/2、1/4、1/8 の選択ができます。
また、1/2、1/4、1/8 時には、書き込み対象フィールドの選択ができます。

表 31.31 フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説 明
SC_SCL1_WR5	SC_RES_FS_RATE[1:0]	0	書き込み間隔 入力信号に対し書き込みフレームレートを設定します 0：入力信号に対して 1/1 (SC_RES_FLD_SEL の設定は無効となります) 1：入力信号に対して 1/2 2：入力信号に対して 1/4 3：入力信号に対して 1/8
SC_SCL1_WR5	SC_RES_FLD_SEL	0	書き込みフィールド選択 0：TOP フィールド 1：BOTTOM フィールド
SC_SCL1_WR5	SC_RES_INTER	1	フィールド動作モード設定 0：プログレッシブ 1：インタレース

(4) フレームバッファ書き込みアドレス

フレームバッファ上のアドレスは、ベースアドレス、ラインオフセットアドレス、フレームオフセットアドレス、1 ラインのデータサイズ、1 フレームのライン数にて設定します。また、インタレース映像入力時フレームバッファは TOP/BOTTOM に分離して格納することが可能です。

SC_RES_BASE[31:0]、SC_RES_LN_OFF[14:0]、SC_RES_FLM_OFF[22:0] は 32 バイト単位で設定します（下位 5 ビットは 0 固定）。

ただし、128 バイト転送時は 128 バイト単位での設定が必要なため、アドレス制御レジスタの [6:5] は 0 固定で設定してください。

1 ラインのデータサイズ、1 フレームのライン数は縮小制御部にて設定されるレジスタ値が使用されます。

表 31.32　フレームバッファ書き込みアドレス制御

レジスタ名	ビット名	初期値	説　明
SC_SCL1_WR1	SC_RES_TB_ADD_MOD	0	TOP および BOTTOM の書き込み先アドレス指定方法 0 : TOP/BOTTOM 共通で 1 つの書き込み先アドレスを指定 1 : TOP/BOTTOM 別々に書き込み先アドレスを指定
SC_SCL1_WR2	SC_RES_BASE[31:0]	0	フレームバッファのベースアドレス SC_RES_TB_ADD_MOD=1 設定時 TOP、0 設定時 TOP および BOTTOM のフレームデータを格納するフレームバッファの先頭アドレスを設定 32 バイト転送時：下位 5 ビットは 0_0000 固定してください。 128 バイト転送時：下位 7 ビットは 000_0000 固定してください。
SC_SCL1_WR8	SC_RES_BASE_B[31:0]	0	BOTTOM のフレームバッファのベースアドレス SC_RES_TB_ADD_MOD=1 設定時 BOTTOM のフレームデータを格納するフレームバッファの先頭アドレスを設定 32 バイト転送時：下位 5 ビットは 0_0000 固定してください。 128 バイト転送時：下位 7 ビットは 000_0000 固定してください。
SC_SCL1_WR3	SC_RES_LN_OFF[14:0]	2048	フレームバッファのラインオフセットアドレス SC_RES_TB_ADD_MOD=1 設定時 TOP、0 設定時 TOP および BOTTOM のラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン 0：SC_RES_BASE ライン 1：SC_RES_BASE ＋ SC_RES_LN_OFF×1 ： ライン n：SC_RES_BASE ＋ SC_RES_LN_OFF×n 32 バイト転送時：下位 5 ビットは 0_0000 固定してください。 128 バイト転送時：下位 7 ビットは 000_0000 固定してください。
SC_SCL1_WR9	SC_RES_LN_OFF_B [14:0]	2048	BOTTOM のフレームバッファのラインオフセットアドレス SC_RES_TB_ADD_MOD=1 設定時 BOTTOM のラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン 0：SC_RES_BASE_B ライン 1：SC_RES_BASE_B ＋ SC_RES_LN_OFF_B×1 ： ライン n：SC_RES_BASE_B ＋ SC_RES_LN_OFF_B×n 32 バイト転送時：下位 5 ビットは 0_0000 固定してください。 128 バイト転送時：下位 7 ビットは 000_0000 固定してください。
SC_SCL1_WR4	SC_RES_FLM_OFF [22:0]	524288	フレームバッファのフレームオフセットアドレス SC_RES_TB_ADD_MOD=1 設定時 TOP、0 設定時 TOP および BOTTOM の各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC_RES_BASE バッファ 1：SC_RES_BASE ＋ SC_RES_FLM_OFF×1 ： バッファ n：SC_RES_BASE ＋ SC_RES_FLM_OFF×n 32 バイト転送時：下位 5 ビットは 0_0000 固定してください。 128 バイト転送時：下位 7 ビットは 000_0000 固定してください。

レジスタ名	ビット名	初期値	説　　明
SC_SCL1_WR10	SC_RES_FLM_OFF_B [22:0]	524288	BOTTOMのフレームバッファのフレームオフセットアドレス SC_RES_TB_ADD_MOD=1設定時BOTTOMの各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC_RES_BASE_B バッファ 1：SC_RES_BASE_B＋SC_RES_FLM_OFF_B×1 ： バッファ n：SC_RES_BASE_B＋SC_RES_FLM_OFF_B×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

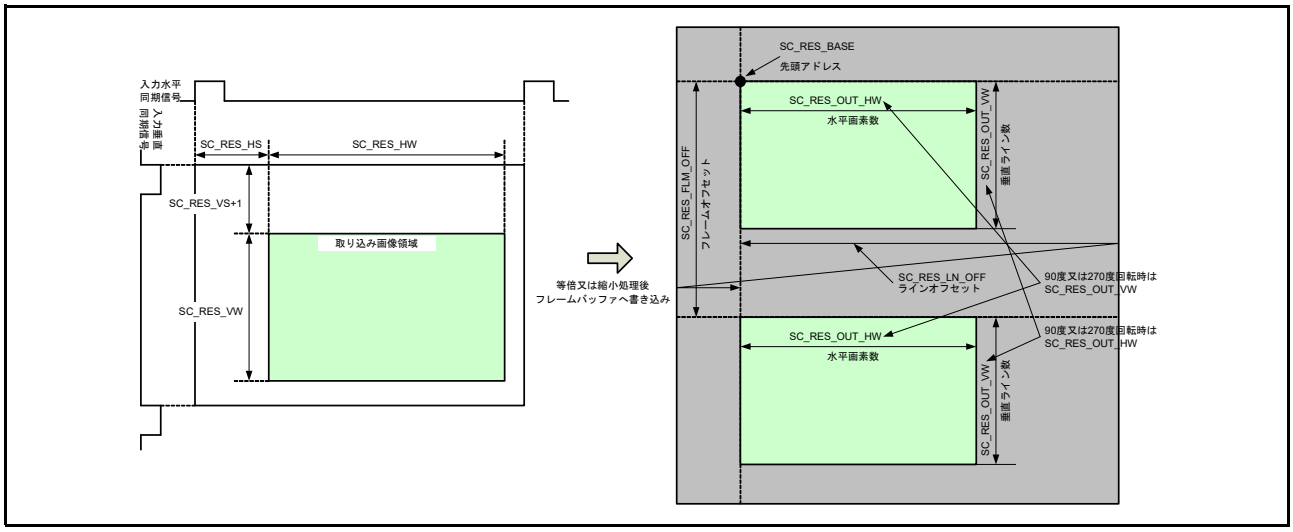


図 31.14　フレームバッファのデータ配置のイメージ図

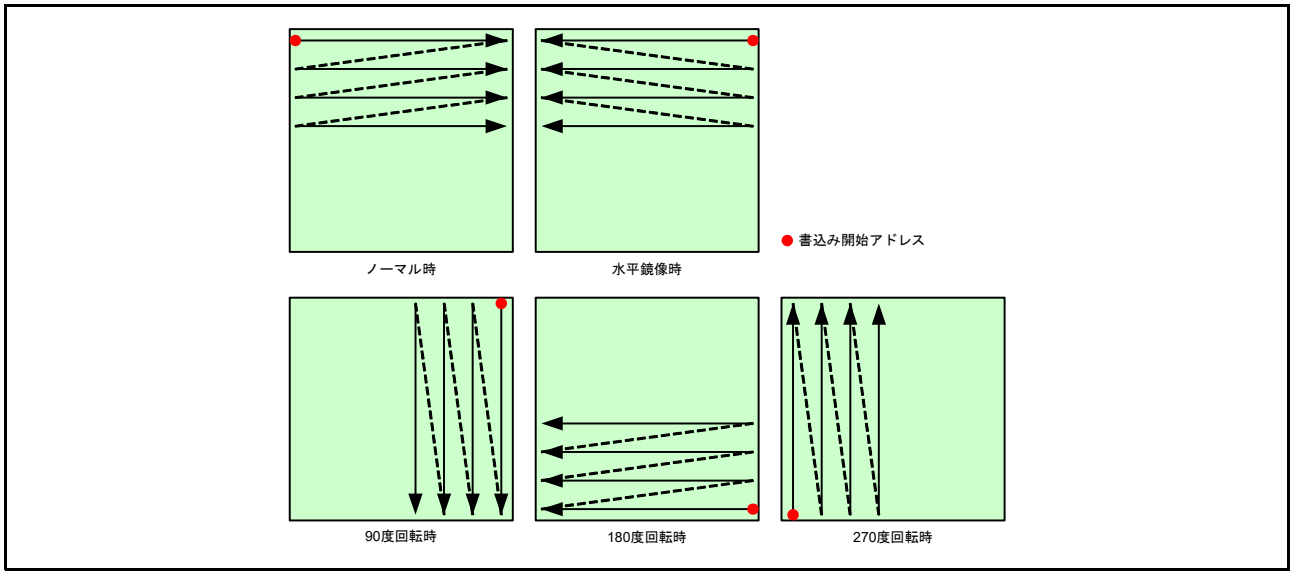


図 31.15　各書き込みモード時のフレームバッファ上のデータ配置のイメージ図

(5) フレームバッファ管理

スケーリング部は、フレームバッファとして複数フレームに対応しています。
SC_RES_FLM_NUM にて設定したフレーム数にて巡回書き込みを行います。
回転処理時は、2 フレーム以上に設定してください。
フレームバッファをライン設定にてリング状に使用する場合は、SC_RES_FLM_NUM=0（1 フレーム使用）、SC_RES_LOOP=1 に設定してください。

表31.33 フレームバッファ書き込み制御

レジスタ名	ビット名	初期値	説 明
SC_SCL1_WR3	SC_RES_FLM_NUM[9:0]	1	書き込みフレームバッファのフレーム数 SC_RES_TB_ADD_MOD=1設定時TOP、0設定時TOPおよびBOTTOMのフレーム数を設定SC_RES_FLM_NUM＋1のフレーム数を使用
SC_SCL1_WR9	SC_RES_FLM_NUM_B[9:0]	1	SC_RES_TB_ADD_MOD=1設定時BOTTOMの書き込みフレームバッファのフレーム数 SC_RES_FLM_NUM_B＋1のフレーム数を使用
SC_SCL1_WR1	SC_RES_LOOP	0	フレームバッファ書き込みモード選択 0：フレーム書き込みモード 1：ライン書き込みモード（リング状読み出し）
SC_SCL1_WR7	SC_RES_FLM_CNT[9:0]	—	現在アクセス中のフレーム番号 SC_RES_TB_ADD_MOD=1設定時TOP、0設定時TOPおよびBOTTOMの現在アクセス中のフレーム番号
SC_SCL1_WR11	SC_RES_FLM_CNT_B[9:0]	—	現在アクセス中のBOTTOMのフレーム番号 SC_RES_TB_ADD_MOD=1設定時BOTTOMの現在アクセス中のフレーム番号

(6) バッファオーバフロー処理

フレームバッファへの書き込み処理にてバストラフィック等の問題で書き込みできなかった場合、オーバフロー割り込みを割り込み制御に対して出力します。

表31.34 バッファオーバフロー検出

レジスタ名	ビット名	初期値	説 明
SC_SCL1_WR7	SC_RES_OVERFLOW	—	ラインバッファのオーバフロー検出 1：ラインバッファオーバフローあり 0：ラインバッファオーバフローなし

(7) フレームバッファ書き込み終了フラグ

フレームバッファへ 1 フレーム分のデータ書き込み処理が終了したらフレームバッファ書き込み終了割り込みを割り込み制御に対して出力します。

31.1.18 拡大処理とグラフィックス（0）処理の選択

拡大処理は、グラフィックス（0）処理と排他動作になり、同時にフレームバッファより読み出すことはできません。

入力される映像信号を表示またはグラフィックスを拡大して表示する場合は、拡大制御部よりフレームバッファのデータを読み出します。

ただし、グラフィックス表示は RGB565、RGB888、YCbCr422、YCbCr444 フォーマットのみ拡大制御部にて拡大表示が可能です。

グラフィックスを拡大せずに表示する場合は、グラフィックス（0）処理部よりフレームバッファのデータを読み出します。

SC_RES_IBUS_SYNC_SEL にてフレームバッファ読み出しの同期信号、読み出しサイズ設定レジスタを選択します。

表31.35 拡大処理とグラフィックス（0）処理の選択

スケーリング表示出力	RES_IBUS _SYNC_SEL	フレームバッファ 読み出し同期信号	フレームバッファ 読み出しサイズ設定	表示イネーブル設定
入力映像信号表示 グラフィックス拡大表示	0	拡大制御部出力	SC_RES_IN_VW SC_RES_IN_HW	SC_RES_P_VS SC_RES_P_VW SC_RES_P_HS SC_RES_P_HW
グラフィックス表示	1	グラフィックス（0）出力	GR_FLM_LNUM（注1） GR_HW（注1）	GR_GRC_VS GR_GRC_VW GR_GRC_HS GR_GRC_HW

注1. レジスタ設定値＋1が読み出しサイズになります。

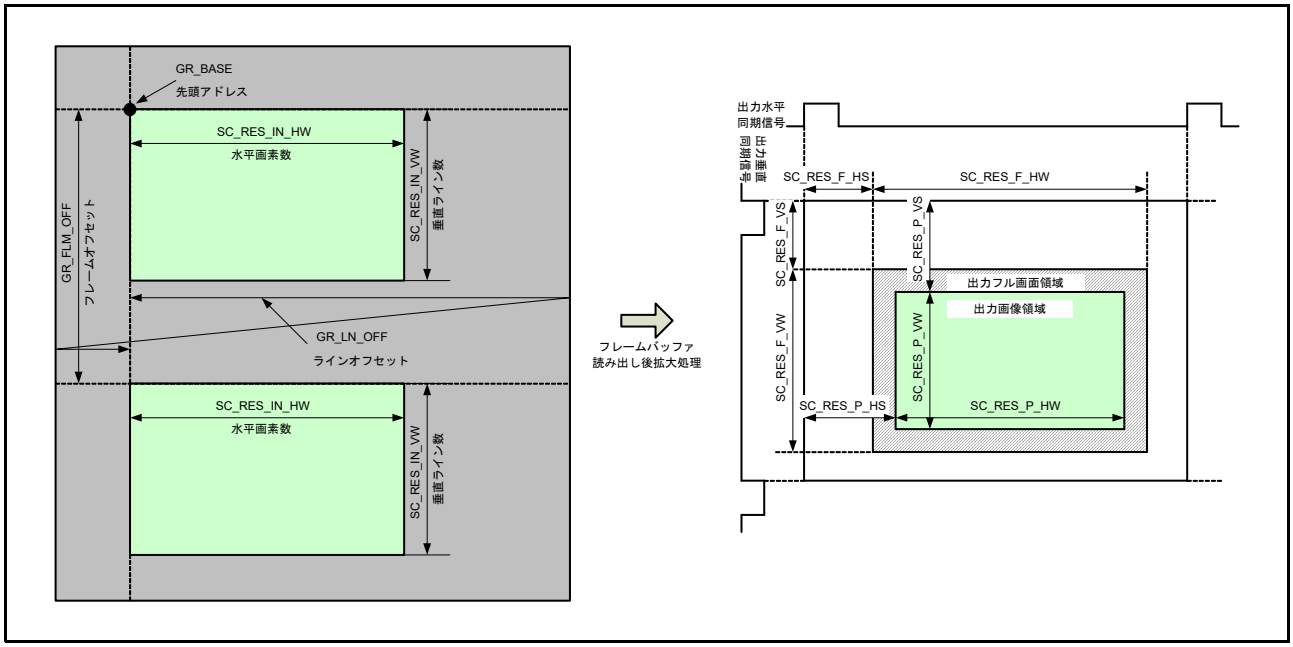


図 31.16 入力映像信号表示、グラフィックス拡大表示時の領域設定

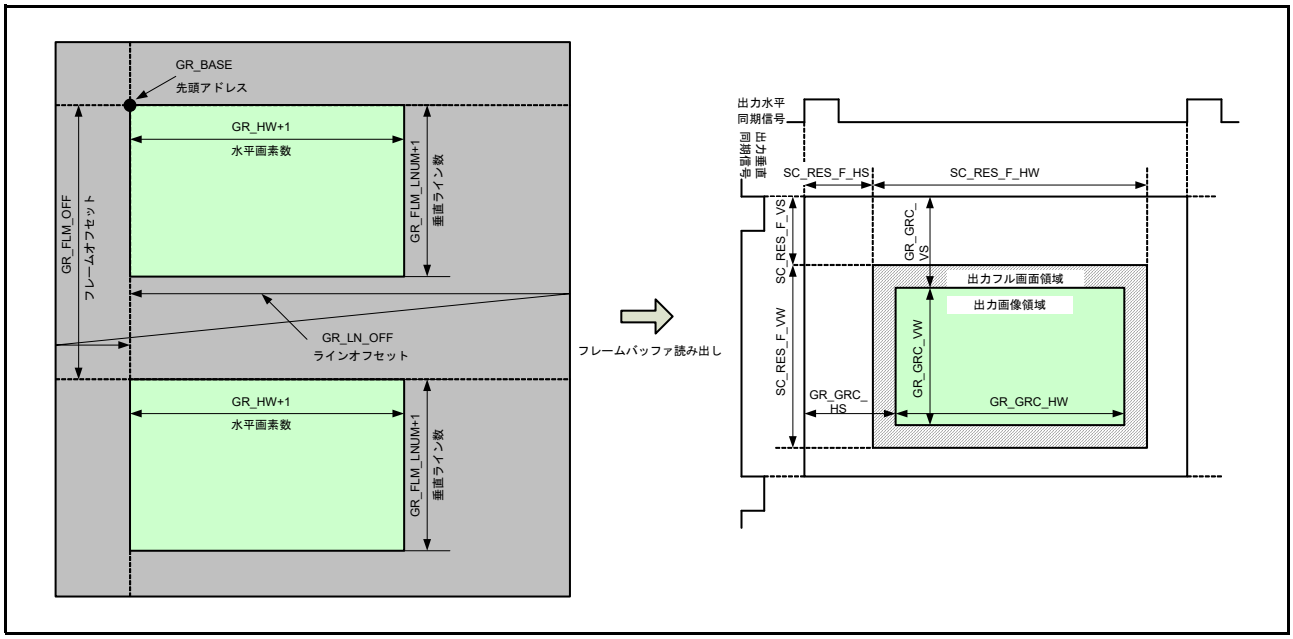


図 31.17　グラフィックス表示時の領域設定

表 31.36　拡大処理とグラフィックス（0）処理の選択制御

レジスタ名	ビット名	初期値	説　　明
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	0	フレームバッファ読み出し部の同期信号選択 0：拡大制御部同期信号 1：グラフィックス部同期信号

拡大制御部からの表示（映像表示、グラフィックス拡大表示）とグラフィックス表示の選択は GR_DISP_SEL にて制御されます。

グラフィックス処理の詳細は後述の画面合成部を参照してください。

31.1.19　フレームバッファ読み出し時のフィールド指定

次に読み出すフレームバッファに対し、TOP/BOTTOM フィールド指定を行う事が出来ます。このフィールド指定は拡大処理制御部で使用されます。

表 31.37　フレームバッファ読み出し時のフィールド指定

レジスタ名	ビット名	初期値	説　　明
GR_FLM1	GR_FLD_SEL	0	次に読み出すフレームバッファに対し、TOP/BOTTOM フィールド指定の選択を有効にするかを選択 0：フィールド指定は無効。 1：TOP/BOTTOM フィールド指定可能。
GR_FLM3	GR_FLD_NXT	0	次フレームバッファの TOP/BOTTOM フィールドの指定 0：BOTTOM 1：TOP

31.1.20　ポインタバッファとフレームバッファ読み出し処理

(1)　ポインタバッファ

入力映像のフレームバッファ制御を、ポインターバッファを使用して行う事が出来ます。主に、入力垂直同期信号と出力垂直同期信号タイミングが非同期の際に起こる出力映像のちらつきを防ぐために使用します。

ポインターバッファは 4 セットあり、それぞれフレームバッファの先頭位置を示す先頭アドレスレジスタと、フィールドの TOP/BOTTOM を示すフィールド情報レジスタを持ちます。4 つのポインターバッファはリング構造になっており、現在書き込み中のポインターバッファを示すライトポインタを持ちます。ライトポインタの指し示す位置は現在書き込み中であり、そのポインターバッファの内容は不定です。書き込み中のポインターバッファの内容とライトポインタは、フレームデータの書き込みが完了した時点で自動的に更新されます。

フレームバッファアドレス設定信号でポインターバッファと連携（GR_FLM_SEL=3）を選択した場合、現在読み出し中のポインターバッファを示すリードポインタによって、読み出し制御を行います。すなわち、ポインターバッファから次に読み出すフレームバッファの先頭アドレスとフィールド情報とを読み出し、フレームバッファベースアドレスとフィールド情報にセットします。リードポインタは、読み出し側の垂直同期信号の立ち上がりで自動的に更新されます。

(2)　ライトポインタ制御

ライトポインタは、フレームデータの書き込みが完了する毎に更新し、常に＋ 1 カウントアップします。

(3) リードポインタ制御

リードポインタは、読み出し側の垂直同期信号の立ち上がりで、ライトポインタとの差分によって次のように更新します。

（A）「ライトポインター リードポインタ」≦ 1 の場合
リードポインタは更新しません。(同じフレームを連続して表示することになります)

（B）「ライトポインタ – リードポインタ」=2 の場合
リードポインタは次の更新で、＋ 1 カウントアップします。

（C）「ライトポインタ – リードポインタ」≧ 3 の場合
リードポインタは次の更新で、＋ 2 カウントアップします。
（フレームを 1 枚飛ばして表示することになります）

(4) フレームバッファ読み出し制御

（A）SC_RES_WENB=0 の場合
フレームデータの書き込みが行われないため、読み出しも行いません。

（B）SC_RES_WENB=1 で、フレームデータの書き込みが終了した場合
ポインターバッファの内容が確定するため、読み出しを行います。

表 31.38　フレームバッファ制御

レジスタ名	ビット名	初期値	説　明
SC_SCL1_PBUF0	SC_BUF0_ADD	0	ポインターバッファ 0 が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF1	SC_BUF1_ADD	0	ポインターバッファ 1 が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF2	SC_BUF2_ADD	0	ポインターバッファ 2 が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF3	SC_BUF3_ADD	0	ポインターバッファ 3 が指す、書き込みバッファの先頭アドレス
SC_SCL1_PBUF_FLD	SC_FLD_INF0	0	ポインターバッファ 0 が指す、フィールド TOP/BOTTOM の情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_FLD	SC_FLD_INF1	0	ポインターバッファ 1 が指す、フィールド TOP/BOTTOM の情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_FLD	SC_FLD_INF2	0	ポインターバッファ 2 が指す、フィールド TOP/BOTTOM の情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_FLD	SC_FLD_INF3	0	ポインターバッファ 3 が指す、フィールド TOP/BOTTOM の情報 0：BOTTOM 1：TOP
SC_SCL1_PBUF_CNT	SC_PBUF_RST	0	ポインタバッファのリセット制御 0：リセットしない 1：リセットする
SC_SCL1_MON1	SC_PBUF_NUM	0	現在書き込み中のポインターバッファ番号を示すライトポインタ
SC_SCL1_WR5	SC_RES_WENB	0	フレームバッファ書き込み許可 書き込み許可設定後、2 フレーム目から書き込みを開始します。 0：書き込み禁止 1：書き込み許可
GR_FLM1	GR_FLM_SEL	0	フレームバッファアドレス設定信号の選択 0：縮小処理と連携（TOP／BOTTOM 別々に書き込み先アドレスを指定した場合、すなわち SC_SCL1_WR1 の SC_RES_TB_ADD_MOD = 1 の場合は設定禁止） 1：GR0_FLM_NUM を選択 2：設定禁止 3：ポインタバッファと連携

レジスタ名	ビット名	初期値	説　　明
GR_FLM2	GR_BASE	0	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

なお、その他のフレームバッファの読み出し処理、グラフィックス処理に関しては、後述の画面合成部を参照してください。

31.2 レジスタの説明

表 31.39 にレジスタ構成を示します。

【レジスタ説明の記号説明】
初期値 ：リセット後のレジスタ値
－ ：不定値
R/W ：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0 ：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1 ：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R ：リードのみ可。書き込む値は常に 0 にしてください。
－ /W ：ライトのみ可。読み出し値は不定です。

表 31.39 スケーリング部 レジスタ構成

名 称	略称	R/W	初期値	アドレス	アクセスサイズ
SCL0 レジスタ更新制御レジスタ（SC0）	SC0_SCL0_UPDATE	R/WC1	H'0000 0000	H'FCFF 7500	32
マスク処理レジスタ（SC0）	SC0_SCL0_FRC1	R/W	H'0AF0 0001	H'FCFF 7504	32
欠落補償レジスタ（SC0）	SC0_SCL0_FRC2	R/W	H'0E10 0001	H'FCFF 7508	32
出力同期選択レジスタ（SC0）	SC0_SCL0_FRC3	R/W	H'0000 0001	H'FCFF 750C	32
自走周期レジスタ（SC0）	SC0_SCL0_FRC4	R/W	H'020C 031F	H'FCFF 7510	32
出力遅延制御レジスタ（SC0）	SC0_SCL0_FRC5	R/W	H'0000 0101	H'FCFF 7514	32
フル画面垂直サイズレジスタ（SC0）	SC0_SCL0_FRC6	R/W	H'0023 01E0	H'FCFF 7518	32
フル画面水平サイズレジスタ（SC0）	SC0_SCL0_FRC7	R/W	H'0090 0280	H'FCFF 751C	32
同期検出レジスタ（SC0）	SC0_SCL0_FRC9	R	H'0000 0000	H'FCFF 7524	32
ステータスモニタ 0 レジスタ（SC0）	SC0_SCL0_MON0	R	H'0000	H'FCFF 7528	16
割り込み制御レジスタ（SC0）	SC0_SCL0_INT	R/W	H'0000	H'FCFF 752A	16
縮小制御レジスタ（SC0）	SC0_SCL0_DS1	R/W	H'0000 0011	H'FCFF 752C	32
取り込み垂直サイズレジスタ（SC0）	SC0_SCL0_DS2	R/W	H'0012 00F0	H'FCFF 7530	32
取り込み水平サイズレジスタ（SC0）	SC0_SCL0_DS3	R/W	H'00F4 05A0	H'FCFF 7534	32
水平縮小レジスタ（SC0）	SC0_SCL0_DS4	R/W	H'1000 2408	H'FCFF 7538	32
垂直初期位相レジスタ（SC0）	SC0_SCL0_DS5	R/W	H'1800 0000	H'FCFF 753C	32
垂直スケーリングレジスタ（SC0）	SC0_SCL0_DS6	R/W	H'0000 07FC	H'FCFF 7540	32
縮小制御部出力サイズレジスタ（SC0）	SC0_SCL0_DS7	R/W	H'00F0 0280	H'FCFF 7544	32
拡大制御レジスタ（SC0）	SC0_SCL0_US1	R/W	H'0000 0011	H'FCFF 7548	32
出力画像垂直サイズレジスタ（SC0）	SC0_SCL0_US2	R/W	H'0023 01E0	H'FCFF 754C	32
出力画像水平サイズレジスタ（SC0）	SC0_SCL0_US3	R/W	H'0090 0280	H'FCFF 7550	32
拡大制御部入力サイズレジスタ（SC0）	SC0_SCL0_US4	R/W	H'00F0 0280	H'FCFF 7554	32
水平拡大レジスタ（SC0）	SC0_SCL0_US5	R/W	H'0000 2408	H'FCFF 7558	32
水平拡大初期位相レジスタ（SC0）	SC0_SCL0_US6	R/W	H'1000 0000	H'FCFF 755C	32
トリミングレジスタ（SC0）	SC0_SCL0_US7	R/W	H'0000 0000	H'FCFF 7560	32
フレームバッファ読み出し選択レジスタ（SC0）	SC0_SCL0_US8	R/W	H'0000 0000	H'FCFF 7564	32
背景色レジスタ（SC0）	SC0_SCL0_OVR1	R/W	H'0080 0080	H'FCFF 756C	32
SCL1 レジスタ更新制御レジスタ（SC0）	SC0_SCL1_UPDATE	R/WC1	H'0000 0000	H'FCFF 7580	32
書き込み動作モードレジスタ（SC0）	SC0_SCL1_WR1	R/W	H'0000 0000	H'FCFF 7588	32
書き込みアドレスレジスタ 1T（SC0）	SC0_SCL1_WR2	R/W	H'0000 0000	H'FCFF 758C	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
書き込みアドレスレジスタ 2T（SC0）	SC0_SCL1_WR3	R/W	H'0800 0001	H'FCFF 7590	32
書き込みアドレスレジスタ 3T（SC0）	SC0_SCL1_WR4	R/W	H'0008 0000	H'FCFF 7594	32
フレーム間引きレジスタ（SC0）	SC0_SCL1_WR5	R/W	H'0000 1000	H'FCFF 759C	32
ビット縮退レジスタ（SC0）	SC0_SCL1_WR6	R/W	H'0000 0000	H'FCFF 75A0	32
書き込み検出レジスタ（SC0）	SC0_SCL1_WR7	R	H'0000 0000	H'FCFF 75A4	32
書き込みアドレスレジスタ 1B（SC0）	SC0_SCL1_WR8	R/W	H'0000 0000	H'FCFF 75A8	32
書き込みアドレスレジスタ 2B（SC0）	SC0_SCL1_WR9	R/W	H'0800 0001	H'FCFF 75AC	32
書き込みアドレスレジスタ 3B（SC0）	SC0_SCL1_WR10	R/W	H'0008 0000	H'FCFF 75B0	32
書き込み検出レジスタ B（SC0）	SC0_SCL1_WR11	R	H'0000 0000	H'FCFF 75B4	32
ステータスモニタ 1 レジスタ（SC0）	SC0_SCL1_MON1	R	H'0000 0000	H'FCFF 75B8	32
ポインターバッファ 0 レジスタ（SC0）	SC0_SCL1_PBUF0	R	H'0000 0000	H'FCFF 75BC	32
ポインターバッファ 1 レジスタ（SC0）	SC0_SCL1_PBUF1	R	H'0000 0000	H'FCFF 75C0	32
ポインターバッファ 2 レジスタ（SC0）	SC0_SCL1_PBUF2	R	H'0000 0000	H'FCFF 75C4	32
ポインターバッファ 3 レジスタ（SC0）	SC0_SCL1_PBUF3	R	H'0000 0000	H'FCFF 75C8	32
ポインターバッファ、フィールド情報レジスタ（SC0）	SC0_SCL1_PBUF_FLD	R	H'0000 0000	H'FCFF 75CC	32
ポインターバッファ、制御レジスタ（SC0）	SC0_SCL1_PBUF_CNT	R/W	H'0000 0000	H'FCFF 75D0	32
グラフィックス（0）レジスタ更新制御レジスタ	GR0_UPDATE	R/WC1	H'0000 0000	H'FCFF 7600	32
フレームバッファ読み出し制御レジスタ（グラフィックス（0））	GR0_FLM_RD	R/W	H'0000 0000	H'FCFF 7604	32
フレームバッファ制御レジスタ 1（グラフィックス（0））	GR0_FLM1	R/W	H'0000 0000	H'FCFF 7608	32
フレームバッファ制御レジスタ 2（グラフィックス（0））	GR0_FLM2	R/W	H'0000 0000	H'FCFF 760C	32
フレームバッファ制御レジスタ 3（グラフィックス（0））	GR0_FLM3	R/W	H'0800 0001	H'FCFF 7610	32
フレームバッファ制御レジスタ 4（グラフィックス（0））	GR0_FLM4	R/W	H'0008 0000	H'FCFF 7614	32
フレームバッファ制御レジスタ 5（グラフィックス（0））	GR0_FLM5	R/W	H'0000 03FF	H'FCFF 7618	32
フレームバッファ制御レジスタ 6（グラフィックス（0））	GR0_FLM6	R/W	H'8000 0000	H'FCFF 761C	32
アルファブレンド制御レジスタ 1（グラフィックス（0））	GR0_AB1	R/W	H'0000 0000	H'FCFF 7620	32
アルファブレンド制御レジスタ 2（グラフィックス（0））	GR0_AB2	R/W	H'0000 0000	H'FCFF 7624	32
アルファブレンド制御レジスタ 3（グラフィックス（0））	GR0_AB3	R/W	H'0000 0000	H'FCFF 7628	32
アルファブレンド制御レジスタ 7（グラフィックス（0））	GR0_AB7	R/W	H'00FF 0000	H'FCFF 7638	32
アルファブレンド制御レジスタ 8（グラフィックス（0））	GR0_AB8	R/W	H'0000 0000	H'FCFF 763C	32
アルファブレンド制御レジスタ 9（グラフィックス（0））	GR0_AB9	R/W	H'0000 0000	H'FCFF 7640	32
アルファブレンド制御レジスタ 10（グラフィックス（0））	GR0_AB10	R/W	H'0000 0000	H'FCFF 7644	32
アルファブレンド制御レジスタ 11（グラフィックス（0））	GR0_AB11	R/W	H'0000 0000	H'FCFF 7648	32
背景色制御レジスタ（グラフィックス（0））	GR0_BASE	R/W	H'0000 8080	H'FCFF 764C	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
CLUTテーブル制御レジスタ（グラフィックス（0））	GR0_CLUT	R/W	H'0000 0000	H'FCFF 7650	32

31.2.1 SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SC0_SCL0_VEN_D	SC0_SCL0_VEN_C	—	—	—	SC0_SCL0_UPDATE	—	—	—	SC0_SCL0_VEN_B	—	—	—	SC0_SCL0_VEN_A
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/WC1	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
13	SC0_SCL0_VEN_D	0	R/WC1	拡大制御、フレームバッファ読み出し制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
12	SC0_SCL0_VEN_C	0	R/WC1	縮小制御、フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
8	SC0_SCL0_UPDATE	0	R/WC1	同期制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SC0_SCL0_VEN_B	0	R/WC1	同期制御、拡大制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	SC0_SCL0_VEN_A	0	R/WC1	縮小制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

31.2.2 マスク処理レジスタ（SC0_SCL0_FRC1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_RES_VMASK[15:0]															
初期値：	0	0	0	0	1	0	1	0	1	1	1	1	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_VMASK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	SC0_RES_VMASK[15:0]	2800	R/W	垂直同期信号の多発マスク期間設定 垂直同期信号からの同期多発マスクをする期間をピクセルクロック周期の128倍で設定 マスク期間[usec] = SC0_RES_VMASK×128÷ピクセルクロック[MHz]
15 ～ 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_VMASK_ON	1	R/W	垂直同期信号の多発マスク制御 0：多発マスク制御オフ 1：多発マスク制御オン

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE=1で更新されます。

31.2.3 欠落補償レジスタ（SC0_SCL0_FRC2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_RES_VLACK[15:0]															
初期値：	0	0	0	0	1	1	1	0	0	0	0	1	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_VLACK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	SC0_RES_VLACK[15:0]	3600	R/W	垂直同期信号の欠落補償期間設定 垂直同期信号から同期欠落補償パルスを出力するまでのウェイト期間をピクセルクロック周期の128倍で設定 ウェイト期間[usec] = SC0_RES_VLACK×128÷ピクセルクロック[MHz]
15 ～ 1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_VLACK_ON	1	R/W	垂直同期信号の欠落補償制御 0：欠落補償制御オフ 1：欠落補償制御オン

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE=1で更新されます。

31.2.4 出力同期選択レジスタ（SC0_SCL0_FRC3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_VS_SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_VS_SEL	1	R/W	出力する垂直同期信号の選択 0：外部入力垂直同期信号 1：内部生成した自走用垂直同期信号

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE=1で更新されます。

31.2.5 自走周期レジスタ（SC0_SCL0_FRC4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_FV[10:0]										
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	1	1	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_FH[10:0]										
初期値：	0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_FV [10:0]	524	R/W	自走用垂直同期信号の周期設定 自走用垂直同期信号周期 = (SC0_RES_FV＋1)×水平周期[usec]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_FH [10:0]	799	R/W	水平同期信号の周期設定 水平同期信号周期[usec] = (SC0_RES_FH＋1)÷ピクセルクロック[MHz]

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_UPDATE=1で更新されます。

31.2.6 出力遅延制御レジスタ（SC0_SCL0_FRC5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	SC0_RES_FLD_DLY_SEL	SC0_RES_VSDLY[7:0]							
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	SC0_RES_FLD_DLY_SEL	1	R/W	フィールド判別信号の遅延制御 0：遅延無し 1：1垂直期間遅延
7 ～ 0	SC0_RES_VSDLY[7:0]	1	R/W	垂直同期信号遅延制御 垂直同期信号を出力水平周期単位にて遅延調整 垂直同期信号遅延量[usec]：SC0_RES_VSDLY×出力水平周期[usec]

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.7 フル画面垂直サイズレジスタ（SC0_SCL0_FRC6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_F_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_F_VW[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_F_VS[10:0]	35	R/W	フル画面の垂直イネーブル信号開始位置設定 （VSYNC＋Vバックポーチ ライン数） 注. 4ライン以上、SC0_RES_F_VS+ SC0_RES_F_VWが2039ライン以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_F_VW[10:0]	480	R/W	フル画面の垂直イネーブル信号幅設定 （ライン数） 注. SC0_RES_F_VS+ SC0_RES_F_VWが2039ライン以内になるように設定してください。

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.8 フル画面水平サイズレジスタ（SC0_SCL0_FRC7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_F_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_F_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_F_HS[10:0]	144	R/W	フル画面の水平イネーブル信号開始位置設定 （HSYNC＋Hバックポーチ ピクセルクロック数） 注.　16クロック以上、SC0_RES_F_HS+ SC0_RES_F_HWが2015クロック以内になるように設定してください。
15 ～ 11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_F_HW[10:0]	640	R/W	フル画面の水平イネーブル信号幅設定 （ピクセルクロック数） 注1.　SC0_RES_F_HS+ SC0_RES_F_HWが2015クロック以内になるように設定してください。 注2.　LCD出力信号としてシリアルRGB出力を選択する場合は、（フル画面の水平信号幅＋2）を設定してください。

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.9 同期検出レジスタ（SC0_SCL0_FRC9）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_QVLOCK	—	—	—	SC0_RES_QVLACK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_QVLOCK	0	R	垂直同期信号ロック検出フラグ 1：入力垂直同期信号に多発または欠落なしが4垂直期間以上連続 0：入力垂直同期信号に多発または欠落あり
3 ～ 1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_QVLACK	0	R	垂直同期信号欠落検出フラグ 1：入力垂直同期信号欠落あり 0：入力垂直同期信号欠落なし

31.2.10 ステータスモニタ 0 レジスタ（SC0_SCL0_MON0）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_LIN_STAT[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 0	SC0_RES_LIN_STAT[10:0]	すべて 0	R	縮小制御部に入力される画像の現在のライン位置

31.2.11 割り込み制御レジスタ（SC0_SCL0_INT）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_LINE[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 0	SC0_RES_LINE[10:0]	0	R/W	縮小制御部に入力される画像のライン割り込み設定 縮小制御部に入力される画像のライン位置が SC0_RES_LINE の値と一致するとき、割り込み信号を出力します。(本製品では設定禁止です)

注. 本レジスタはすべて SC0_SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）の SC0_SCL0_VEN_A=1 で更新されます。

31.2.12 縮小制御レジスタ（SC0_SCL0_DS1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_DS_V_ON	—	—	—	SC0_RES_DS_H_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_DS_V_ON	1	R/W	垂直縮小オン／オフ設定 0：オフ 1：オン
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_DS_H_ON	1	R/W	水平縮小オン／オフ設定 0：オフ 1：オン

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A=1で更新されます。

31.2.13 取り込み垂直サイズレジスタ（SC0_SCL0_DS2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_VS [10:0]	18	R/W	取込映像信号垂直位置設定 （VSYNC＋Vバックポーチ-1ライン数） 注. 4ライン以上、SC0_RES_VS+ SC0_RES_VWが2039ライン以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_VW [10:0]	240	R/W	取込映像信号垂直幅 （ライン数） 注. SC0_RES_VS+ SC0_RES_VWが2039ライン以内になるように設定してください。

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A=1で更新されます。

31.2.14 取り込み水平サイズレジスタ（SC0_SCL0_DS3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	1	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_HW[10:0]										
初期値：	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_HS [10:0]	244	R/W	取込映像信号水平位置設定 （HSYNC＋Hバックポーチ 映像クロック数） 注． 16クロック以上、SC0_RES_HS+SC0_RES_HWが2015クロック以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_HW [10:0]	1440	R/W	取込映像信号水平幅 （映像クロック数） 注． SC0_RES_HS+SC0_RES_HWが2015クロック以内になるように設定してください。

注． 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A=1で更新されます。

31.2.15 水平縮小レジスタ（SC0_SCL0_DS4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	SC0_RES_PFIL_SEL	SC0_RES_DS_H_INTERPOTYP	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

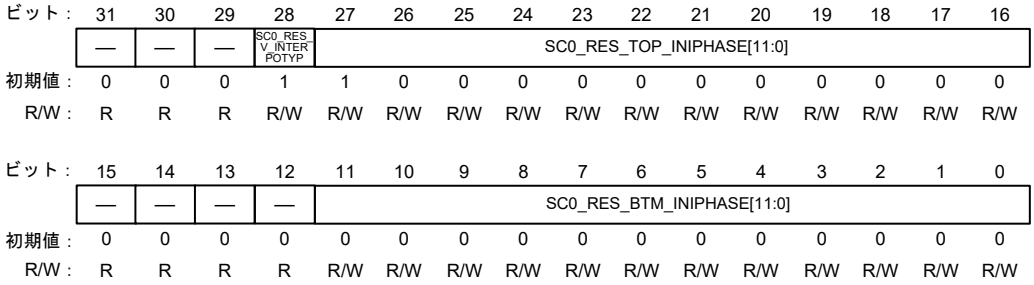
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_DS_H_RATIO[15:0]															
初期値：	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31、30	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
29	SC0_RES_PFIL_SEL	0	R/W	輝度信号プリフィルタモード選択 0：プリフィルタオフ 1：プリフィルタオン（1/4＋1/2＋1/4）
28	SC0_RES_DS_H_INTERPOTYP	1	R/W	水平補間方法選択 0：ホールド補間 1：リニア補間
27 ～ 16	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
15 ～ 0	SC0_RES_DS_H_RATIO [15:0]	9224	R/W	水平縮小率　[15:12]：整数部　[11:0]：小数部 round（SC0_RES_HW÷SC0_RES_OUT_HW×4096） SC0_RES_DS_H_RATIO<4096：設定禁止、 SC0_RES_DS_H_RATIO=4096：等倍、 SC0_RES_DS_H_RATIO>4096：縮小

注.　本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A=1で更新されます。

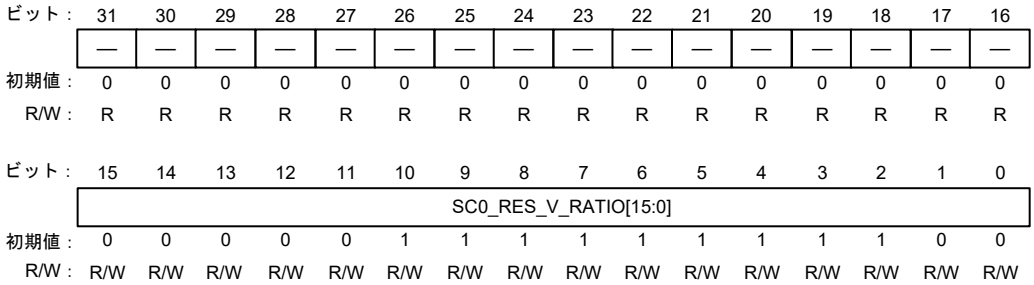
31.2.16 垂直初期位相レジスタ（SC0_SCL0_DS5）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	SC0_RES_V_INTERPOTYP	1	R/W	垂直補間方法選択 0：ホールド補間 1：リニア補間
27 ～ 16	SC0_RES_TOP_INIPHASE[11:0]	2048	R/W	TOPフィールド垂直補間開始位相値 0～4095 （0～約1.0）
15 ～ 12	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11 ～ 0	SC0_RES_BTM_INIPHASE[11:0]	0	R/W	BOTTOMフィールド垂直補間開始位相値 0～4095 （0～約1.0）

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A=1およびSC0_SCL0_VEN_B=1で更新されます。

31.2.17 垂直スケーリングレジスタ（SC0_SCL0_DS6）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 0	SC0_RES_V_RATIO[15:0]	2044	R/W	垂直拡大／縮小率　[15:12]：整数部　[11:0]：小数部 round(SC0_RES_VW÷SC0_RES_OUT_VW×4096)：縮小時 iround(SC0_RES_IN_VW÷SC0_RES_P_VW×4096)：拡大時 SC0_RES_V_RATIO<4096：拡大、 SC0_RES_V_RATIO=4096：等倍、 SC0_RES_V_RATIO>4096：縮小

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A = 1およびSC0_SCL0_VEN_B = 1で更新されます。このため、グラフィックス拡大表示を行う場合でも入力垂直同期信号と出力垂直同期信号の両方が必要となります。

31.2.18 縮小制御部出力サイズレジスタ（SC0_SCL0_DS7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_OUT_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_OUT_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_OUT_VW[10:0]	240	R/W	縮小制御部出力の垂直有効ライン数（ライン数） 本ビットの設定は、フレームバッファへの書き込みライン数に反映されます。 SC0_SCL1_WR1.SC0_RES_LOOP=0（フレーム書き込みモード）設定時は、1フレーム分のライン数を指定してください。 SC0_SCL1_WR1.SC0_RES_LOOP=1(ライン書き込みモード)設定時は、リング状に書き出すライン数を指定してください。 注. SC0_RES_OUT_VWは、４ラインアライメントかつ SC0_RES_OUT_VW≦SC0_RES_VWで設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_OUT_HW[10:0]	640	R/W	縮小制御部出力の水平有効画素数（映像クロック数） 注. SC0_RES_OUT_HWは、４画素アライメントかつ SC0_RES_OUT_HW ≦ SC0_RES_HWで設定してください。

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_A=1およびSC0_SCL0_VEN_C=1で更新されます。

31.2.19 拡大制御レジスタ（SC0_SCL0_US1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_US_V_ON	—	—	—	SC0_RES_US_H_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_US_V_ON	1	R/W	垂直拡大オン／オフ設定 0：オフ 1：オン
3 ～ 1	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_US_H_ON	1	R/W	水平拡大オン／オフ設定 0：オフ 1：オン

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.20 出力画像垂直サイズレジスタ（SC0_SCL0_US2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_P_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_P_VW[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_P_VS[10:0]	35	R/W	画像出力の垂直イネーブル信号開始位置設定 （VSYNC＋Vバックポーチ ライン数） 注． 4ライン以上、SC0_RES_P_VS+ SC0_RES_P_VWが2039ライン以内になるように設定してください。
15 ～ 11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_P_VW[10:0]	480	R/W	画像出力の垂直イネーブル信号幅設定 （ライン数） 注． SC0_RES_P_VS+ SC0_RES_P_VWが2039ライン以内になるように設定してください。

注． 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.21 出力画像水平サイズレジスタ（SC0_SCL0_US3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_P_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_P_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_P_HS[10:0]	144	R/W	画像出力の水平イネーブル信号開始位置設定 （HSYNC＋Hバックポーチ ピクセルクロック数） 注．16クロック以上、SC0_RES_P_HS+SC0_RES_P_HWが2015クロック以内になるように設定してください。
15 ～ 11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_P_HW[10:0]	640	R/W	画像出力の水平イネーブル信号幅設定 （ピクセルクロック数） 注．SC0_RES_P_HS+ SC0_RES_P_HWが2015クロック以内になるように設定してください。

注．本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.22 拡大制御部入力サイズレジスタ（SC0_SCL0_US4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	SC0_RES_IN_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	SC0_RES_IN_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	SC0_RES_IN_VW[10:0]	240	R/W	拡大制御部入力の垂直有効ライン数 （ライン数）
15 ～ 11	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	SC0_RES_IN_HW[10:0]	640	R/W	拡大制御部入力の水平有効画素数 （ピクセルクロック数）

注．本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1およびSCL0_VEN_D=1で更新されます。

31.2.23 水平拡大レジスタ（SC0_SCL0_US5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_US_H_RATIO[15:0]															
初期値：	0	0	1	0	0	1	0	0	0	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 ～ 0	SC0_RES_US_H_RATIO [15:0]	9224	R/W	水平拡大率　[15:12]：整数部　[11:0]：小数部 round(SC0_RES_IN_HW÷SC0_RES_P_HW×4096) SC0_RES_US_H_RATIO<4096：拡大、 SC0_RES_US_H_RATIO=4096：等倍、 SC0_RES_US_H_RATIO>4096：設定禁止

注.　本レジスタはすべて SC0_SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）の SC0_SCL0_VEN_B=1 で更新されます。

31.2.24 水平拡大初期位相レジスタ（SC0_SCL0_US6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	SC0_RES_US_H_INTERPOTYP	SC0_RES_US_HT_INIPHASE[11:0]											
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	SC0_RES_US_HB_INIPHASE[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
28	SC0_RES_US_H_INTERPOTYP	1	R/W	水平補間方法指示 0：ホールド補間 1：リニア補間
27 ～ 16	SC0_RES_US_HT_INIPHASE [11:0]	0	R/W	TOP フィールド水平補間開始位相値 0～4095（0～約 1.0）
15 ～ 12	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11 ～ 0	SC0_RES_US_HB_INIPHASE [11:0]	0	R/W	BOTTOM フィールド水平補間開始位相値 0～4095（0～約 1.0）

注.　本レジスタはすべて SC0_SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）の SC0_SCL0_VEN_B=1 で更新されます。

31.2.25 トリミングレジスタ（SC0_SCL0_US7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_HCUT[7:0]								SC0_RES_VCUT[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15 ～ 8	SC0_RES_HCUT [7:0]	0	R/W	スケーリング後画像の水平方向左右カット数 ピクセルクロック数を設定
7 ～ 0	SC0_RES_VCUT [7:0]	0	R/W	スケーリング後画像の垂直方向上下カット数 ライン数を設定

注. 本レジスタはすべてSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.26 フレームバッファ読み出し選択レジスタ（SC0_SCL0_US8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_IBUS_SYNC_SEL	—	—	—	SC0_RES_DISP_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_IBUS_ SYNC_SEL	0	R/W	フレームバッファ読み出し部の同期信号選択 0：拡大制御部同期信号 1：グラフィック部同期信号
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_ DISP_ON	0	R/W	トリミング後画像の枠表示オン／オフ設定 0：枠表示オフ 1：枠表示オン

注. SC0_RES_IBUS_SYNC_SELはSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1およびSC0_SCL0_VEN_D=1で更新されます。
SC0_RES_DISP_ONはSC0_SCL0レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）のSC0_SCL0_VEN_B=1で更新されます。

31.2.27 背景色レジスタ（SC0_SCL0_OVR1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	SC0_RES_BK_COL_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_BK_COL_G[7:0]								SC0_RES_BK_COL_B[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
23 ～ 16	SC0_RES_BK_COL_R [7:0]	128	R/W	背景表示色設定 R/Cr 信号 R：8 ビット符号無し（0～255[LSB]） Cr：8 ビット 128 オフセットバイナリ符号無し（0～255[LSB]）
15 ～ 8	SC0_RES_BK_COL_G [7:0]	0	R/W	背景表示色設定 G/Y 信号 G/Y：8 ビット符号無し（0～255[LSB]）
7 ～ 0	SC0_RES_BK_COL_B [7:0]	128	R/W	背景表示色設定 B/Cb 信号 B：8 ビット符号無し（0～255[LSB]） Cb：8 ビット 128 オフセットバイナリ符号無し（0～255[LSB]）

注. 本レジスタはすべて SC0_SCL0 レジスタ更新制御レジスタ（SC0_SCL0_UPDATE）の SC0_SCL0_VEN_B=1 で更新されます。

31.2.28 SCL1 レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	SC0_SCL1_UPDATE_B	—	—	—	SC0_SCL1_UPDATE_A
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_SCL1_VEN_B	—	—	—	SC0_SCL1_VEN_A
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
20	SC0_SCL1_UPDATE_B	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	SC0_SCL1_UPDATE_A	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
15 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
4	SC0_SCL1_VEN_B	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	ー	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_SCL1_VEN_A	0	R/WC1	フレームバッファ書き込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

31.2.29　書き込み動作モードレジスタ（SC0_SCL1_WR1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_WRSWA[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	SC0_RES_TB_ADD_MOD	SC0_RES_DS_WR_MD[2:0]			SC0_RES_MD[1:0]		SC0_RES_LOOP	SC0_RES_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 19	ー	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18 ～ 16	SC0_RES_WRSWA[2:0]	すべて 0	R/W	8ビット/16ビット/32ビットスワップ設定 SC0_RES_WRSWA[2:0]の3ビットで、以下のようにフレームバッファ書き込みのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7) [8bitスワップ] 010：(3) (4) (1) (2) (7) (8) (5) (6) [16bitワップ] 011：(4) (3) (2) (1) (8) (7) (6) (5) [16bitスワップ＋8bitスワップ] 100：(5) (6) (7) (8) (1) (2) (3) (4) [32bitスワップ] 101：(6) (5) (8) (7) (2) (1) (4) (3) [32bitスワップ＋8bitワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [32bitスワップ＋16bitスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [32bitスワップ＋16bitスワップ＋8bitスワップ] 注.　フレームバッファ書き込み映像フォーマットでYCbCr422、RGB565選択時は、必ず000[スワップしない]に設定してください。
15 ～ 8	ー	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	SC0_RES_TB_ADD_MOD	0	R/W	TOPおよびBOTTOMの書き込み先アドレス指定方法 0：TOP/BOTOM共通で1つの書き込み先アドレスを指定 1：TOP/BOTTOM別々に書き込み先アドレスを指定

ビット	ビット名	初期値	R/W	説　　明
6 ～ 4	SC0_RES_DS_WR_MD [2:0]	0	R/W	フレームバッファ書き込み動作モード 0：通常書き込み 1：水平鏡像書き込み 2：90度回転書き込み 3：180度回転書き込み 4：270度回転書き込み 5～7：設定禁止
3、2	SC0_RES_MD [1:0]	0	R/W	フレームバッファ書き込み映像フォーマット 0：YCbCr422（16ビット） 1：RGB565（16ビット） 2：RGB888（24（32）ビット） 3：YCbCr444（24（32）ビット）
1	SC0_RES_LOOP	0	R/W	フレームバッファ書き込みモード選択 0：フレーム書き込みモード 1：ライン書き込みモード（リング状読み出し）
0	SC0_RES_BST_MD	0	R/W	フレームバッファ書き込み転送のバースト長 0：32バイト 1：128バイト

注.　SC0_RES_LOOP、SC0_RES_BST_MDはSCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B=1で更新されます。
SC0_RES_TB_ADD_MOD、SC0_RES_DS_WR_MD、SC0_RES_MDはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A=1およびSC0_SCL1_VEN_B=1で更新されます。
SC0_RES_WRSWAはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_UPDATE_A =1で更新されます。

31.2.30　書き込みアドレスレジスタ 1T（SC0_SCL1_WR2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_RES_BASE[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_BASE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_RES_BASE [31:0]	0	R/W	フレームバッファのベースアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時TOP、0設定時TOPおよびBOTTOMのフレームデータを格納するフレームバッファの先頭アドレスを設定 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B=1で更新されます。

31.2.31 書き込みアドレスレジスタ 2T（SC0_SCL1_WR3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	SC0_RES_LN_OFF[14:0]														
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC0_RES_FLM_NUM[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	SC0_RES_LN_OFF[14:0]	2048	R/W	フレームバッファのラインオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時TOP、0設定時TOPおよびBOTTOMのラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン0：SC0_RES_BASE ライン1：SC0_RES_BASE＋SC0_RES_LN_OFF×1 ： ラインn：SC0_RES_BASE＋SC0_RES_LN_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_NUM[9:0]	1	R/W	書き込みフレームバッファのフレーム数 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時TOP、0設定時TOPおよびBOTTOMの書き込みフレームバッファのフレーム数を設定 SC0_RES_FLM_NUM＋1のフレーム数を使用

注. 本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B=1で更新されます。

31.2.32 書き込みアドレスレジスタ 3T（SC0_SCL1_WR4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	SC0_RES_FLM_OFF[22:16]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_FLM_OFF[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	SC0_RES_FLM_OFF[22:0]	524288	R/W	フレームバッファのフレームオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時TOP、0設定時TOPおよびBOTTOMの各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC0_RES_BASE バッファ 1：SC0_RES_BASE＋SC0_RES_FLM_OFF×1 ： バッファ n：SC0_RES_BASE＋SC0_RES_FLM_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注. 本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B=1で更新されます。

31.2.33 フレーム間引きレジスタ（SC0_SCL1_WR5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	SC0_RES_INTER	—	—	SC0_RES_FS_RATE[1:0]		—	—	—	SC0_RES_FLD_SEL	—	—	—	SC0_RES_WENB
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 13	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	SC0_RES_INTER	1	R/W	フィールド動作モード設定 0：プログレッシブ 1：インタレース
11、10	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	SC0_RES_FS_RATE[1:0]	0	R/W	書き込み間隔 入力信号に対し書き込みフレームレートを設定します 0：入力信号に対して1/1(SC0_RES_FLD_SELの設定は無効となります) 1：入力信号に対して1/2 2：入力信号に対して1/4 3：入力信号に対して1/8

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_FLD_SEL	0	R/W	書き込みフィールド選択 0：TOPフィールド 1：BOTTOMフィールド
3～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_WENB	0	R/W	フレームバッファ書き込み許可 書き込み許可設定後、2フレーム目から書き込みを開始します。 0：書き込み禁止 1：書き込み許可

注.　SC0_RES_INTER、SC0_RES_FS_RATE[1:0]、SC0_RES_FLD_SELはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A=1で更新されます。
SC0_RES_WENBはSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A=1およびSC0_SCL1_VEN_B=1で更新されます。

31.2.34　ビット縮退レジスタ（SC0_SCL1_WR6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_DTH_ON	—	—	—	SC0_RES_BITDEC_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SC0_RES_DTH_ON	0	R/W	ディザ補正オン／オフ設定 0：オフ（四捨五入） 1：オン（2x2パターンディザ）
3～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_RES_BITDEC_ON	0	R/W	ビット縮退オン／オフ設定 0：オフ 1：オン

注.　本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_A=1で更新されます。

31.2.35 書き込み検出レジスタ（SC0_SCL1_WR7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_RES_OVER FLOW
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC0_RES_FLM_CNT[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SC0_RES_OVERFLOW	0	R	ラインバッファのオーバフロー検出 1：ラインバッファオーバフローあり 0：ラインバッファオーバフローなし
15 ～ 10	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_CNT[9:0]	0	R	現在アクセス中のフレーム番号 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時TOP、0設定時TOPおよびBOTTOMのフレーム番号

31.2.36 書き込みアドレスレジスタ 1B（SC0_SCL1_WR8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_RES_BASE_B[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_BASE_B[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_RES_BASE_B[31:0]	0	R/W	BOTTOMのフレームバッファのベースアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時BOTTOMのフレームデータを格納するフレームバッファの先頭アドレスを設定 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注. 本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B=1で更新されます。

31.2.37 書き込みアドレスレジスタ 2B（SC0_SCL1_WR9）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	SC0_RES_LN_OFF_B[14:0]														
初期値：	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC0_RES_FLM_NUM_B[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	SC0_RES_LN_OFF_B[14:0]	2048	R/W	BOTTOMのフレームバッファのラインオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時BOTTOMのラインの先頭アドレス計算時のラインオフセットアドレスを設定 ライン0：SC0_RES_BASE_B ライン1：SC0_RES_BASE_B＋SC0_RES_LN_OFF_B×1 ： ラインn：SC0_RES_BASE＋SC0_RES_LN_OFF_B×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_NUM_B[9:0]	1	R/W	BOTTOMの書き込みフレームバッファのフレーム数 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時、 SC0_RES_FLM_NUM_B＋1のフレーム数を使用

注. 本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B=1で更新されます。

31.2.38 書き込みアドレスレジスタ 3B（SC0_SCL1_WR10）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	SC0_RES_FLM_OFF_B[22:16]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_RES_FLM_OFF_B[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	SC0_RES_FLM_OFF_B[22:0]	524288	R/W	BOTTOMのフレームバッファのフレームオフセットアドレス SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時BOTTOMの各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定 バッファ 0：SC0_RES_BASE_B バッファ 1：SC0_RES_BASE_B＋SC0_RES_FLM_OFF_B×1 ： バッファ n：SC0_RES_BASE_B＋SC0_RES_FLM_OFF_B×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注. 本レジスタはすべてSC0_SCL1レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_VEN_B=1で更新されます。

31.2.39 書き込み検出レジスタ B（SC0_SCL1_WR11）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC0_RES_FLM_CNT_B[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 10	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	SC0_RES_FLM_CNT_B[9:0]	0	R	現在アクセス中のBOTTOMのフレーム番号 SC0_SCL1_WR1.SC0_RES_TB_ADD_MOD=1設定時BOTTOMのフレーム番号

31.2.40 ステータスモニタ 1 レジスタ（SC0_SCL1_MON1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	SC0_PBUF_NUM[1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	SC0_PBUF_NUM[1:0]	すべて 0	R	現在書き込み中のポインターバッファ番号を示すライトポインタ
7 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

31.2.41 ポインターバッファ 0 レジスタ（SC0_SCL1_PBUF0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF0_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF0_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF0_ADD[31:0]	すべて 0	R	ポインターバッファ 0 が指す、書き込みバッファの先頭アドレス

31.2.42 ポインターバッファ 1 レジスタ（SC0_SCL1_PBUF1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF1_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF1_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF1_ADD[31:0]	すべて 0	R	ポインターバッファ 1が指す、書き込みバッファの先頭アドレス

31.2.43 ポインターバッファ 2 レジスタ（SC0_SCL1_PBUF2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF2_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF2_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF2_ADD[31:0]	すべて 0	R	ポインターバッファ 2が指す、書き込みバッファの先頭アドレス

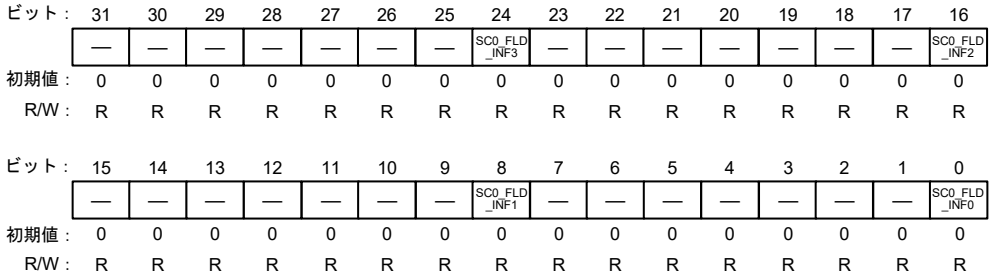
31.2.44 ポインターバッファ 3 レジスタ（SC0_SCL1_PBUF3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SC0_PBUF3_ADD[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC0_PBUF3_ADD[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	SC0_PBUF3_ADD[31:0]	すべて 0	R	ポインターバッファ 3が指す、書き込みバッファの先頭アドレス

31.2.45 ポインターバッファ、フィールド情報レジスタ（SC0_SCL1_PBUF_FLD）



ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	SC0_FLD_INF3	0	R	ポインターバッファ 3が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
23 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SC0_FLD_INF2	0	R	ポインターバッファ 2が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
15 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	SC0_FLD_INF1	0	R	ポインターバッファ 1が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP
7 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SC0_FLD_INF0	0	R	ポインターバッファ 0が指す、フィールドTOP/BOTTOMの情報 0：BOTTOM 1：TOP

31.2.46 ポインターバッファ制御レジスタ（SC0_SCL1_PBUF_CNT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SC0_PBUF_RST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SC0_PBUF_RST	0	R/W	ポインタバッファのリセット制御 0：リセットしない 1：リセットする
15 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　本レジスタはすべてSC0_SCL1 レジスタ更新制御レジスタ（SC0_SCL1_UPDATE）のSC0_SCL1_UPDATE_B=1 で更新されます。

31.2.47 グラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	GR0_UPDATE	—	—	—	GR0_P_VEN	—	—	—	GR0_IBUS_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR0_UPDATE	0	R/WC1	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新します
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR0_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_IBUS_VEN	0	R/WC1	フレームバッファ読み出しのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

31.2.48 フレームバッファ読み出し制御レジスタ（グラフィックス（0））（GR0_FLM_RD）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_R_ENB
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_R_ENB	0	R/W	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN=1で更新されます。

31.2.49 フレームバッファ制御レジスタ 1（グラフィックス（0））（GR0_FLM1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_FLD_SEL	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_LN_OFF_DIR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR0_FLM_SEL[1:0]		—	—	—	—	—	—	—	GR0_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31	GR0_FLD_SEL	0	R/W	次に読み出すフレームバッファに対し、TOP/BOTTOMフィールド指定の選択を有効にするかを選択 0：フィールド指定は無効。 1：TOP/BOTTOMフィールド指定可能。
30～17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR0_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント
15～10	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	GR0_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0：縮小処理と連携（TOP／BOTTOM別々に書き込み先アドレスを指定した場合、すなわちSC0_SCL1_WR1のSC0_RES_TB_ADD_MOD = 1の場合は設定禁止） 1：GR0_FLM_NUMを選択 2：設定禁止 3：ポインタバッファと連携

ビット	ビット名	初期値	R/W	説　　明
7～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_BST_MD	0	R/W	フレームバッファバースト転送モード 0：32バイト 1：128バイト

注. GR0_FLD_SELはグラフィックス(0)レジスタ更新制御レジスタ(GR0_UPDATE)のGR0_P_VEN=1で更新されます。
GR0_LN_OFF_DIRはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN=1で更新されます。
GR0_FLM_SELはグラフィックス(0)レジスタ更新制御レジスタ(GR0_UPDATE)のGR0_P_VENおよびGR0_IBUS_VEN=1で更新されます。
GR0_BST_MDはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN=1および
GR0_P_VEN=1で更新されます。

31.2.50 フレームバッファ制御レジスタ 2（グラフィックス（0））（GR0_FLM2）

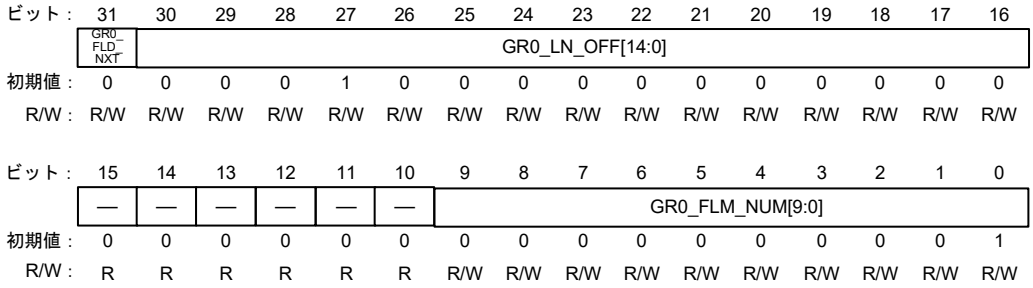
ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_BASE[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_BASE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～0	GR0_BASE[31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR0_BASE[4:3]、128バイトバースト転送時は GR0_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN=1および
GR0_P_VEN=1で更新されます。

31.2.51 フレームバッファ制御レジスタ 3（グラフィックス（0））（GR0_FLM3）



ビット	ビット名	初期値	R/W	説　　明
31	GR0_FLD_NXT	0	R/W	次フレームバッファのTOP/BOTTOMフィールドの指定 0：BOTTOM 1：TOP
30 ～ 16	GR0_LN_OFF [14:0]	2048	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR0_BASE ライン1：GR0_BASE＋GR0_LN_OFF×1 ： ラインn：GR0_BASE＋GR0_LN_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	GR0_FLM_NUM [9:0]	1	R/W	フレームバッファのフレーム番号 GR0_FLM_SEL＝1のとき、フレーム番号を手動設定します。

注. GR0_FLD_NXTはグラフィックス(0)レジスタ更新制御レジスタ(GR0_UPDATE)のGR0_P_VEN=1で更新されます。
GR0_LN_OFF[14:0]、GR0_FLM_NUM[9:0]はグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）の
GR0_IBUS_VEN=1で更新されます。

31.2.52 フレームバッファ制御レジスタ 4（グラフィックス（0））（GR0_FLM4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	GR0_FLM_OFF[22:16]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_FLM_OFF[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	GR0_FLM_OFF [22:0]	524288	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0：GR0_BASE バッファ 1：GR0_BASE＋GR0_FLM_OFF×1 ： バッファ n：GR0_BASE＋GR0_FLM_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN=1で更新されます。

31.2.53 フレームバッファ制御レジスタ 5（グラフィックス（0））（GR0_FLM5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR0_FLM_LNUM[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR0_FLM_LOOP[10:0]										
初期値：	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_FLM_LNUM [10:0]	0	R/W	1フレームのライン数設定 ライン数は（GR0_FLM_LNUM＋1）ラインになります。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR0_FLM_LOOP [10:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は（GR0_FLM_LOOP＋1）ラインになります。

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN=1で更新されます。

31.2.54 フレームバッファ制御レジスタ 6（グラフィックス（0））（GR0_FLM6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_FORMAT[3:0]				—	GR0_HW[10:0]										
初期値：	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_YCC_SWAP[2:0]			GR0_RDSWA[2:0]			—	GR0_CNV444_MD	—	—	GR0_STA_POS[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	GR0_FORMAT [3:0]	8	R/W	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：YCbCr422 9：YCbCr444 10：RGBα5551 11：RGBα8888 12～15：設定禁止
27	–	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_HW [10:0]	0	R/W	水平有効期間の幅設定 幅は（GR0_HW＋1）画素になります。 注.　2以上の値を設定してください。
15 ～ 13	GR0_YCC _SWAP [2:0]	0	R/W	YCbCr422フォーマット時バッファ読み出しデータのスワップ制御 0：CbY0/Cr/Y1 1：Y0/Cb/Y1/Cr 2：Cr/Y0/Cb/Y1 3：Y0/Cr/Y1/Cb 4：Y1/Cr/Y0/Cb 5：Cr/Y1/Cb/Y0 6：Y1/Cb/Y0/Cr 7：Cb/Y1/Cr/Y0

ビット	ビット名	初期値	R/W	説　　明
12 ～ 10	GR0_RDSWA [2:0]	0	R/W	8ビット/16ビット/32ビットスワップ設定 GR0_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7)［8bitスワップ］ 010：(3) (4) (1) (2) (7) (8) (5) (6)［16bitワップ］ 011：(4) (3) (2) (1) (8) (7) (6) (5)［16bitスワップ＋8bitスワップ］ 100：(5) (6) (7) (8) (1) (2) (3) (4)［32bitスワップ］ 101：(6) (5) (8) (7) (2) (1) (4) (3)［32bitスワップ＋8bitワップ］ 110：(7) (8) (5) (6) (3) (4) (1) (2)［32bitスワップ＋16bitスワップ］ 111：(8) (7) (6) (5) (4) (3) (2) (1) ［32bitスワップ＋16bitスワップ＋8bitスワップ］
9	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR0_CNV444 _MD	0	R/W	YCbCr422→YCbCr444変換時の補間モード設定 0：ホールド補間 1：平均値補間
7、6	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5 ～ 0	GR0_STA _POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭からGR0_STA_POS分のデータを読み飛ばします。

注．　GR0_YCC_SWAP、GR0_CNV444、GR0_STA_POSはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。GR0_RDSWAはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_UPDATE=1で更新されます。
GR0_FORMAT、GR0_HWはグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_IBUS_VEN=1およびGR0_P_VEN=1で更新されます。

31.2.55 アルファブレンド制御レジスタ 1（グラフィックス（0））（GR0_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	GR0_GRC_DISP_ON	—	—	GR0_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR0_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
3、2	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	GR0_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示（レジスタ GR0_BASE） 1：下層グラフィックス表示 映像表示またはグラフィックス拡大表示の場合は、上記を選択してください。 2：カレントグラフィックス表示 グラフィックス表示の場合は、上記を選択してください。 3：下層グラフィックスとカレントグラフィックスのブレンド表示（注3） 注3. クロマキー処理を行う際に設定します。クロマキー処理を行う際は、カレントグラフィックスのみを表示させるために、クロマキー対象画素を置換するα値およびクロマキー対象外画素のα値を255にしてください。

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.56 アルファブレンド制御レジスタ 2（グラフィックス（0））（GR0_AB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR0_GRC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR0_GRC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_GRC_VS [10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR0_GRC_VS+ GR0 _GRC_VWが2039ライン以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR0_GRC_VW [10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.57 アルファブレンド制御レジスタ 3（グラフィックス（0））（GR0_AB3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR0_GRC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR0_GRC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR0_GRC_HS [10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR0_GRC_HS+ GR0 _GRC_HWが2015クロック以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR0_GRC_HW [10:0]	0	R/W	グラフィックス画像領域の水平幅設定 注.　水平幅1,2画素表示を行う場合は、GR0_HW=2、GR0_GRC_HW=1（1画素）、2（2画素）と設定してください。

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.58 アルファブレンド制御レジスタ 7（グラフィックス（0））（GR0_AB7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_CK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31～24	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～16	－	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
15～1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_CK_ON	0	R/W	CLUT参照／RGB参照クロマキー処理オン／オフ設定 0：オフ、1：オン

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.59 アルファブレンド制御レジスタ 8（グラフィックス（0））（GR0_AB8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_CK_KCLUT[7:0]								GR0_CK_KG[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_CK_KB[7:0]								GR0_CK_KR[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～24	GR0_CK_KCLUT[7:0]	0	R/W	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
23～16	GR0_CK_KG[7:0]	0	R/W	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
15～8	GR0_CK_KB[7:0]	0	R/W	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
7～0	GR0_CK_KR[7:0]	0	R/W	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）

注. 本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.60 アルファブレンド制御レジスタ 9（グラフィックス（0））（GR0_AB9）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_CK_A[7:0]								GR0_CK_G[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_CK_B[7:0]								GR0_CK_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～24	GR0_CK_A [7:0]	0	R/W	RGB参照クロマキー処理置換後アルファ信号 α：8ビット符号無し（0～255[LSB]） 注.　カレントグラフィックスのみを表示させるために、必ず255に設定してください。
23～16	GR0_CK_G [7:0]	0	R/W	RGB参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
15～8	GR0_CK_B [7:0]	0	R/W	RGB参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
7～0	GR0_CK_R [7:0]	0	R/W	RGB参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.61 アルファブレンド制御レジスタ 10（グラフィックス（0））（GR0_AB10）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_A0[7:0]								GR0_G0[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_B0[7:0]								GR0_R0[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～24	GR0_A0 [7:0]	0	R/W	CLUT1のα0信号 CLUT1フォーマットかつCLUT1＝0のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα＝0のときにα信号に置換 注.　カレントグラフィックスのみを表示させるために、必ず255に設定してください。
23～16	GR0_G0 [7:0]	0	R/W	CLUT1のG0信号 CLUT1フォーマットかつCLUT1＝0のときにG信号に置換
15～8	GR0_B0 [7:0]	0	R/W	CLUT1のB0信号 CLUT1フォーマットかつCLUT1＝0のときにB信号に置換
7～0	GR0_R0 [7:0]	0	R/W	CLUT1のR0信号 CLUT1フォーマットかつCLUT1＝0のときにR信号に置換

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.62 アルファブレンド制御レジスタ 11（グラフィックス（0））（GR0_AB11）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR0_A1[7:0]								GR0_G1[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_B1[7:0]								GR0_R1[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～24	GR0_A1 [7:0]	0	R/W	CLUT1のα1信号 CLUT1フォーマットかつCLUT1＝1のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα＝1のときにα信号に置換 注.　カレントグラフィックスのみを表示させるために、必ず255に設定してください。
23～16	GR0_G1 [7:0]	0	R/W	CLUT1のG1信号 CLUT1フォーマットかつCLUT1＝1のときにG信号に置換
15～8	GR0_B1 [7:0]	0	R/W	CLUT1のB1信号 CLUT1フォーマットかつCLUT1＝1のときにB信号に置換
7～0	GR0_R1 [7:0]	0	R/W	CLUT1のR1信号 CLUT1フォーマットかつCLUT1＝1のときにR信号に置換

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.63 背景色制御レジスタ（グラフィックス（0））（GR0_BASE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GR0_BASE_G[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR0_BASE_B[7:0]								GR0_BASE_R[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～24	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～16	GR0_BASE_G [7:0]	0	R/W	背景色G/Y信号 G/Y ：8ビット符号無し（0～255[LSB]）
15～8	GR0_BASE_B [7:0]	128	R/W	背景色B/Cb信号 B ：8ビット符号無し（0～255[LSB]） Cb：8ビット128オフセットバイナリ符号無し（0～255[LSB]）
7～0	GR0_BASE_R [7:0]	128	R/W	背景色R/Cr信号 R ：8ビット符号無し（0～255[LSB]） Cr：8ビット128オフセットバイナリ符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.2.64 CLUT テーブル制御レジスタ（グラフィックス（0））（GR0_CLUT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR0_CLT_SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR0_CLT_SEL	0	R/W	CLUTテーブル選択信号 0：CLUTテーブル0を選択 CLUTテーブル0を参照しαRGB8888に展開します。 CPU側はCLUTテーブル1にリード／ライトすることができます。 1：CLUTテーブル1を選択 CLUTテーブル1を参照しαRGB8888に展開します。 CPU側はCLUTテーブル0にリード/ライトすることができます。
15 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　本レジスタはすべてグラフィックス（0）レジスタ更新制御レジスタ（GR0_UPDATE）のGR0_P_VEN=1で更新されます。

31.3 使用方法

31.3.1 525i 映像入力、VGA(640x480) サイズ映像出力のスケーリング設定例

(1) 入出力画角

表 31.40 の入出力画角の信号に対しての設定例を示します。
オーバスキャン率は 100%とします。

表 31.40 525i 映像入力、VGA(640x480)サイズ映像出力の入出力画角

入力信号	出力信号	信号フォーマット	回転	バッファ面	スケーリングフィルタ
1440×240	640×480	YCbCr	通常	2 面	2TAP リニア

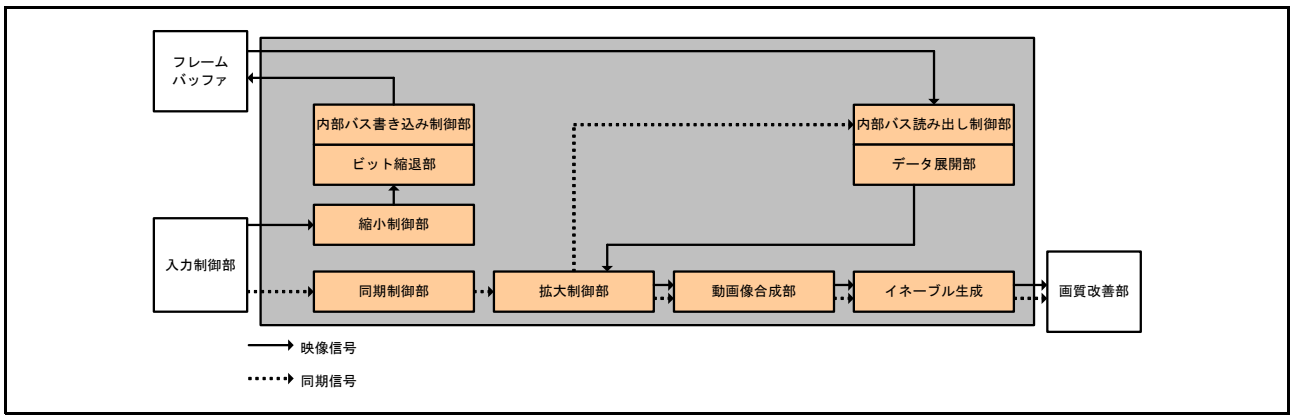


図 31.18 入力映像表示時の信号経路

(2) 水平スケーリング（水平縮小、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。
RATIO_org = round（1440÷640×4096) = 9216
σ = (9216×(640 − 1) − (1440 − 1)×4096)÷(640 − 1) = − 8.01
水平スケーリング率 = roundup (9216 − (− 8.01)) = 9225

(3) 垂直スケーリング（垂直拡大、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。
RATIO_org = round (240÷480×4096) = 2048
σ = (2048×(480 − 1) − (240 − 1)×4096)÷(480 − 1) = 4.27
垂直スケーリング率 = round (2048 − (4.27)) = 2044

(4) フレームバッファアクセス領域設定

フレームバッファへは縮小スケーリング後に映像データを書き込むため、書き込みサイズは 640×240 となります。
フレームバッファのラインオフセットは 640 画素以上、フレームオフセットはラインオフセット ×240 以上のバッファ領域が必要になります。
フレームバッファの work 領域を 1024×256 とします。

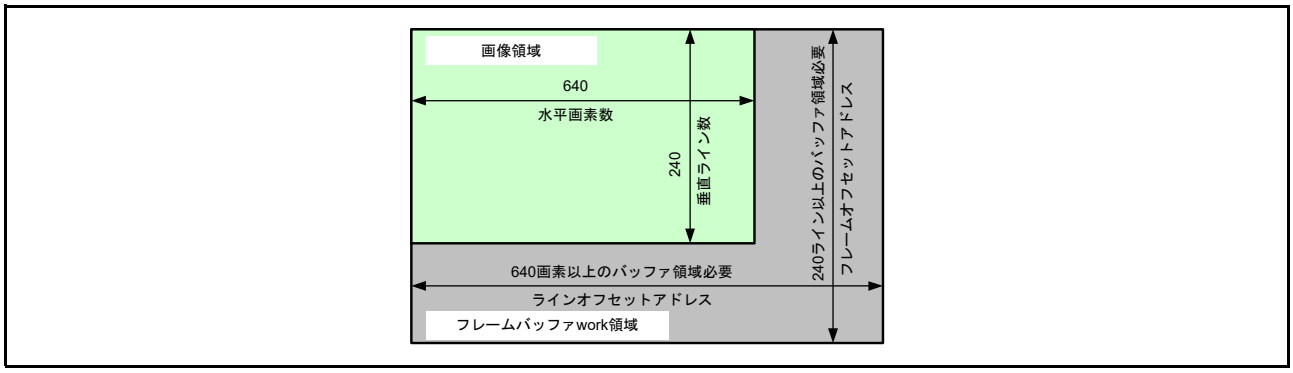


図 31.19　フレームバッファアクセス領域設定

フレームバッファとは 64 ビット単位でアクセスしているため、YCbCr422（16 ビット）は 4 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。
SC_RES_LN_OFF[14:0] = 1024×2 = 2048
GR_LN_OFF[14:0] = 1024×2 = 2048
フレームオフセットアドレス設定は以下のようになります。
SC_RES_FLM_OFF[22:0] = SC_RES_LN_OFF[14:0]×256 = 524288
GR_FLM_OFF[22:0] = GR_LN_OFF[14:0]×256 = 524288

(5) レジスタ設定例

表31.41　525i映像入力、VGAサイズ映像出力時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SC_SCL0_FRC3	SC_RES_VS_SEL	0	外部垂直同期選択
SC_SCL0_FRC4	SC_RES_FH[10:0]	799	出力信号の水平周期幅（周期幅 = 設定値＋1）
画角サイズ設定			
SC_SCL0_DS2	SC_RES_VS[10:0]	15	入力信号の取込垂直開始位置
SC_SCL0_DS2	SC_RES_VW[10:0]	240	入力信号の取込垂直幅
SC_SCL0_DS3	SC_RES_HS[10:0]	244	入力信号の取込水平開始位置
SC_SCL0_DS3	SC_RES_HW[10:0]	1440	入力信号の取込水平幅
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	35	フル画面の垂直有効開始位置
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	480	フル画面の垂直有効幅
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	144	フル画面の水平有効開始位置
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	640	フル画面の水平有効幅
SC_SCL0_US2	SC_RES_P_VS[10:0]	35	画像出力の垂直有効開始位置
SC_SCL0_US2	SC_RES_P_VW[10:0]	480	画像出力の垂直有効幅
SC_SCL0_US3	SC_RES_P_HS[10:0]	144	画像出力の水平有効開始位置
SC_SCL0_US3	SC_RES_P_HW[10:0]	640	画像出力の水平有効幅
スケーリング設定			
SC_SCL0_DS4	SC_RES_DS_H_RATIO[15:0]	9224	SC_RES_DS_H_RATIO≧4096のため水平縮小処理
SC_SCL0_DS1	SC_RES_DS_H_ON	1	水平縮小オン
SC_SCL0_US1	SC_RES_US_H_ON	0	水平拡大オフ
SC_SCL0_US5	SC_RES_US_H_RATIO[15:0]	4096	SC_RES_US_H_RATIO≧4096のため水平拡大オフ
SC_SCL0_DS1	SC_RES_DS_V_ON	0	垂直縮小オフ
SC_SCL0_US1	SC_RES_US_V_ON	1	垂直拡大オン
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	2044	SC_RES_V_RATIO＜4096のため垂直拡大処理
SC_SCL0_DS7	SC_RES_OUT_VW[10:0]	240	垂直縮小はオフのため入力有効垂直幅
SC_SCL0_DS7	SC_RES_OUT_HW[10:0]	640	水平縮小後の水平画像サイズ
SC_SCL0_US4	SC_RES_IN_VW[10:0]	240	フレームバッファ読み出し垂直幅
SC_SCL0_US4	SC_RES_IN_HW[10:0]	640	フレームバッファ読み出し水平幅
IP 変換設定			
SC_SCL0_DS5	SC_RES_TOP_INIPHASE[11:0]	2048	TOPフィールドを0.5ライン位相調整
SC_SCL0_DS5	SC_RES_BTM_INIPHASE[11:0]	0	BOTTOMフィールドは位相調整なし
SC_SCL0_FRC5	SC_RES_FLD_DLY_SEL	1	フレームバッファ2面使用、垂直拡大処理でIP変換
フレームバッファ書き込み設定			
SC_SCL1_WR1	SC_RES_DS_WR_MD[2:0]	0	回転制御は通常書き込み
SC_SCL1_WR1	SC_RES_MD[1:0]	0	フレームバッファ書き込みフォーマット　YCbCr422（16ビット）
SC_SCL1_WR2	SC_RES_BASE[31:0]	0	フレームバッファ書き込み先頭アドレス（設定例では0とする）
SC_SCL1_WR3	SC_RES_LN_OFF[14:0]	2048	フレームバッファ書き込みラインオフセット
SC_SCL1_WR3	SC_RES_FLM_NUM[9:0]	1	フレームバッファ2面使用
SC_SCL1_WR4	SC_RES_FLN_OFF[22:0]	524288	フレームバッファ書き込みフレームオフセット
SC_SCL1_WR5	SC_RES_WENB	1	フレームバッファ書き込み許可
フレームバッファ読み出し設定			
GR_FLM1	GR_FLM_SEL[1:0]	0	フレームバッファ書き込み出力のフレーム番号を選択
GR_FLM2	GR_BASE[31:0]	0	フレームバッファ書き込み設定に合わせる

レジスタ名	ビット名	設定値	備考
GR_FLM3	GR_LN_OFF[14:0]	2048	フレームバッファ書き込み設定に合わせる
GR_FLM4	GR_FLM_OFF[22:0]	524288	フレームバッファ書き込み設定に合わせる
GR_FLM6	GR_FORMAT[3:0]	8	フレームバッファ読み出しフォーマット　YCbCr422
GR_FLM_RD	GR_R_ENB	1	フレームバッファ読み出し許可
GR_FLM6	GR_CNV444_MD	1	YCbCr422→YCbCr444 変換時の平均値補間
拡大処理選択			
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	0	映像信号の拡大処理出力を表示
GR_AB1	GR_DISP_SEL[1:0]	1	スケーリング表示を選択

31.3.2 グラフィックス表示時のスケーリング設定例

(1) グラフィックス画角

表 31.42 の入出力画角の信号に対しての設定例を示します。

表 31.42 グラフィックス表示時の入出力画角

グラフィックスサイズ	出力信号	グラフィックス信号フォーマット
640×480	640×480	RGB888

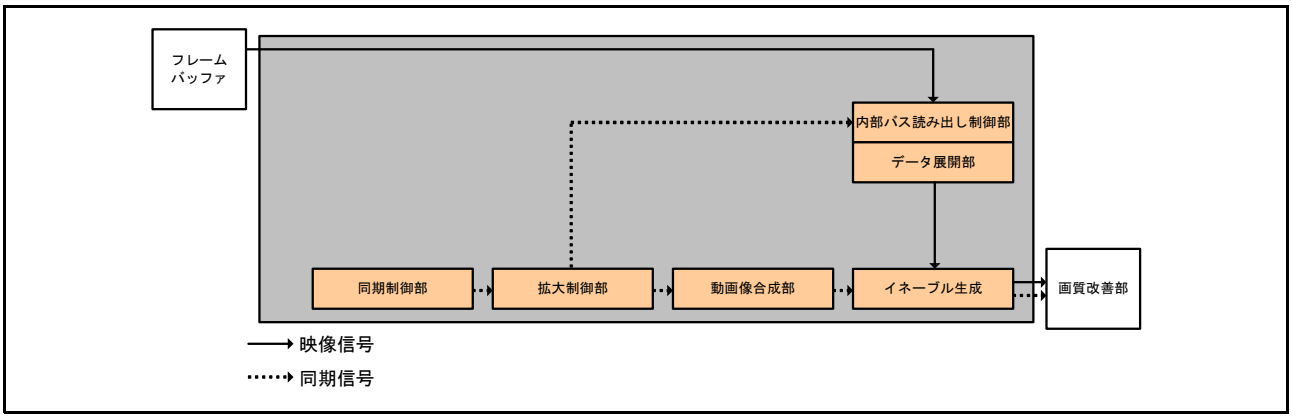


図 31.20 グラフィックス表示時の信号経路

(2) フレームバッファアクセス領域設定

グラフィックスデータを格納するフレームバッファは 640×480 以上の領域に展開する必要があります。

フレームバッファのグラフィックス展開領域を 640×480 とします。

フレームバッファとは 64 ビット単位でアクセスしているため、RGB888（32 ビット）は 2 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

GR_LN_OFF[14:0] = 640×4 = 2560

フレームオフセットアドレス設定は以下のようになります。

GR_FLM_OFF[22:0] = GR_LN_OFF[14:0]×480 = 1228800

(3) レジスタ設定例

表31.43 グラフィックス表示時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SC_SCL0_FRC3	SC_RES_VS_SEL	1	自走垂直同期選択（入力信号がある場合は外部同期選択も可能）
SC_SCL0_FRC4	SC_RES_FV[10:0]	524	出力信号の垂直周期幅（周期幅 = 設定値＋1）
SC_SCL0_FRC4	SC_RES_FH[10:0]	799	出力信号の水平周期幅（周期幅 = 設定値＋1）
画角サイズ設定			
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	35	フル画面の垂直有効開始位置
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	480	フル画面の垂直有効幅
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	144	フル画面の水平有効開始位置
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	640	フル画面の水平有効幅
GR_AB2	GR_GRC_VS[10:0]	35	グラフィックス出力の垂直有効開始位置
GR_AB2	GR_GRC_VW[10:0]	480	グラフィックス出力の垂直有効幅
GR_AB3	GR_GRC_HS[10:0]	144	グラフィックス出力の水平有効開始位置
GR_AB3	GR_GRC_HW[10:0]	640	グラフィックス出力の水平有効幅
フレームバッファ読み出し設定			
GR_FLM1	GR_FLM_SEL[1:0]	1	レジスタ設定でフレーム番号を選択
GR_FLM3	GR_FLM_NUM[9:0]	0	フレームバッファのフレーム番号設定（設定例では0とする）
GR_FLM5	GR_FLM_LNUM[9:0]	479	グラフィックスのライン数設定（ライン数 = 設定値＋1）
GR_FLM6	GR_HW[9:0]	639	グラフィックスの水平有効幅設定（有効幅 = 設定値＋1）
GR_FLM2	GR_BASE[31:0]	0	グラフィックス展開設定に合わせる（設定例では0とする）
GR_FLM3	GR_LN_OFF[14:0]	2560	グラフィックス展開設定に合わせる
GR_FLM4	GR_FLM_OFF[22:0]	1228800	グラフィックス展開設定に合わせる
GR_FLM6	GR_FORMAT[3:0]	1	フレームバッファ読み出しフォーマット　RGB888
GR_FLM_RD	GR_R_ENB	1	フレームバッファ読み出し許可
拡大処理選択			
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	1	グラフィックス出力を表示
GR_AB1	GR_DISP_SEL[1:0]	2	グラフィックス表示を選択

31.3.3 グラフィックス拡大表示時のスケーリング設定例

(1) 入出力画角

表 31.44 の入出力画角の信号に対しての設定例を示します。

表 31.44 グラフィックス拡大表示時の入出力画角

グラフィックスサイズ	出力信号	グラフィックス信号フォーマット
640×480	800×600	RGB565

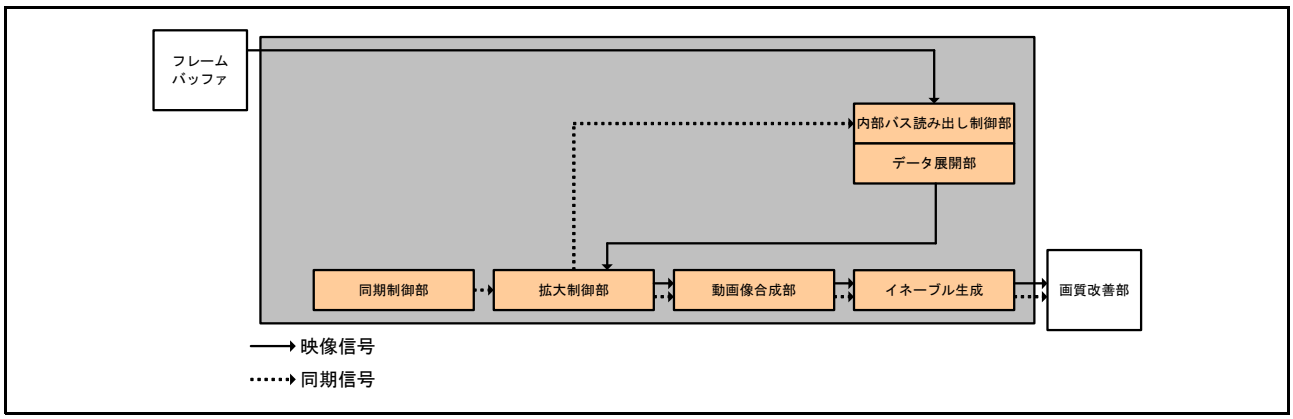


図 31.21 グラフィックス拡大表示時の信号経路

(2) 水平スケーリング（水平拡大、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。

RATIO_org = round(640÷800×4096)= 3277

σ = (3277×(800 − 1) − (640 − 1)×4096)÷(800 − 1)= 1.23

水平スケーリング率 = round(3277 − (1.23))= 3276

(3) 垂直スケーリング（垂直拡大、スケーリングフィルタは 2TAP リニア）

折り返し対策でのスケーリング率算出は以下となります。

RATIO_org = round(480÷600×4096)= 3277

σ = (3277×(600 − 1) − (480 − 1)×4096)÷(600 − 1)= 1.57

垂直スケーリング率 = round(3277 − (1.57))= 3275

(4) フレームバッファアクセス領域設定

グラフィックスデータを格納するフレームバッファは 640×480 以上の領域に展開する必要があります。

フレームバッファのグラフィックス展開領域を 640×480 とします。

フレームバッファとは 64 ビット単位でアクセスしているため、RGB565（16 ビット）は 4 画素単位のアクセスとなります。

ラインオフセットアドレス設定は以下のようになります。

GR_LN_OFF[14:0] = 640×2 = 1280

フレームオフセットアドレス設定は以下のようになります。

GR_FLM_OFF[22:0] = GR_LN_OFF[14:0]×480 = 614400

(5) レジスタ設定例

表31.45 グラフィックス拡大表示時のレジスタ設定例

レジスタ名	ビット名	設定値	備考
同期制御			
SC_SCL0_FRC3	SC_RES_VS_SEL	1	自走垂直同期選択（入力信号がある場合は外部同期選択も可能）
SC_SCL0_FRC4	SC_RES_FV[10:0]	668	出力信号の垂直周期幅（周期幅 = 設定値＋1）
SC_SCL0_FRC4	SC_RES_FH[10:0]	1040	出力信号の水平周期幅（周期幅 = 設定値＋1）
画角サイズ設定			
SC_SCL0_FRC6	SC_RES_F_VS[10:0]	27	フル画面の垂直有効開始位置
SC_SCL0_FRC6	SC_RES_F_VW[10:0]	600	フル画面の垂直有効幅
SC_SCL0_FRC7	SC_RES_F_HS[10:0]	216	フル画面の水平有効開始位置
SC_SCL0_FRC7	SC_RES_F_HW[10:0]	800	フル画面の水平有効幅
SC_SCL0_US2	SC_RES_P_VS[10:0]	27	画像出力の垂直有効開始位置
SC_SCL0_US2	SC_RES_P_VW[10:0]	600	画像出力の垂直有効幅
SC_SCL0_US3	SC_RES_P_HS[10:0]	216	画像出力の水平有効開始位置
SC_SCL0_US3	SC_RES_P_HW[10:0]	800	画像出力の水平有効幅
スケーリング設定			
SC_SCL0_US5	SC_RES_US_H_RATIO[15:0]	3276	SC_RES_US_H_RATIO＜4096のため水平拡大処理
SC_SCL0_DS6	SC_RES_V_RATIO[15:0]	3275	SC_RES_V_RATIO＜4096のため垂直拡大処理
SC_SCL0_US1	SC_RES_US_H_ON	1	水平拡大オン
SC_SCL0_US1	SC_RES_US_V_ON	1	垂直拡大オン
SC_SCL0_US4	SC_RES_IN_VW[10:0]	480	フレームバッファ読み出し垂直幅
SC_SCL0_US4	SC_RES_IN_HW[10:0]	640	フレームバッファ読み出し水平幅
フレームバッファ読み出し設定			
GR_FLM1	GR_FLM_SEL[1:0]	1	レジスタ設定でフレーム番号を選択
GR_FLM3	GR_FLM_NUM[9:0]	0	フレームバッファのフレーム番号設定（設定例では0とする）
GR_FLM2	GR_BASE[31:0]	0	グラフィックス展開設定に合わせる（設定例では0とする）
GR_FLM3	GR_LN_OFF[14:0]	1280	グラフィックス展開設定に合わせる
GR_FLM4	GR_FLM_OFF[22:0]	614400	グラフィックス展開設定に合わせる
GR_FLM6	GR_FORMAT[3:0]	0	フレームバッファ読み出しフォーマット　RGB565
GR_FLM_RD	GR_R_ENB	1	フレームバッファ読み出し許可
拡大処理選択			
SC_SCL0_US8	SC_RES_IBUS_SYNC_SEL	0	映像信号の拡大処理出力を表示
GR_AB1	GR_DISP_SEL[1:0]	1	スケーリング表示を選択

32. ビデオディスプレイコントローラ 5（4） 画質改善部

32.1 画質改善機能

32.1.1 機能概要

画質改善部は、スケーリング後の YCbCr 信号に対して、黒伸張、LTI ／シャープネス、カラーマトリクスによる YCbCr → GBR 変換を行います。

RGB 信号入力時、画質改善は行われません。

下図に画質改善部の機能ブロック図を示します。スケーリング部 0 に対応して、画質改善部 0 が接続されます。

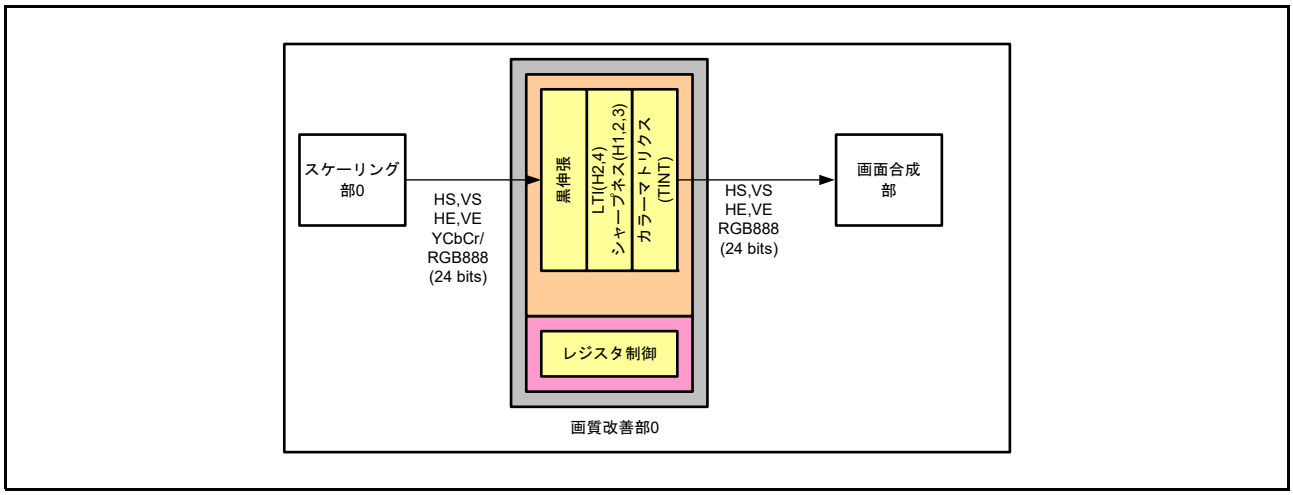


図 32.1 画質改善部の機能ブロック図

32.1.2 レジスタの更新制御

画質改善部の制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

なお、画質改善部のレジスタは、ADJ0_xxxx となりますが、本仕様書では、レジスタ名を ADJ_xxxx として記載します。

表 32.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説 明
ADJ_UPDATE	ADJ_VEN	0	画質改善部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

32.1.3 黒伸張

黒伸張は、YCbCr フォーマットの入力映像信号に対して、Y 信号の黒伸張補正を行います。

補正は時定数調整、深さ（ゲイン）調整、開始点にて調整します。

図 32.2 に黒伸張補正図を示します。

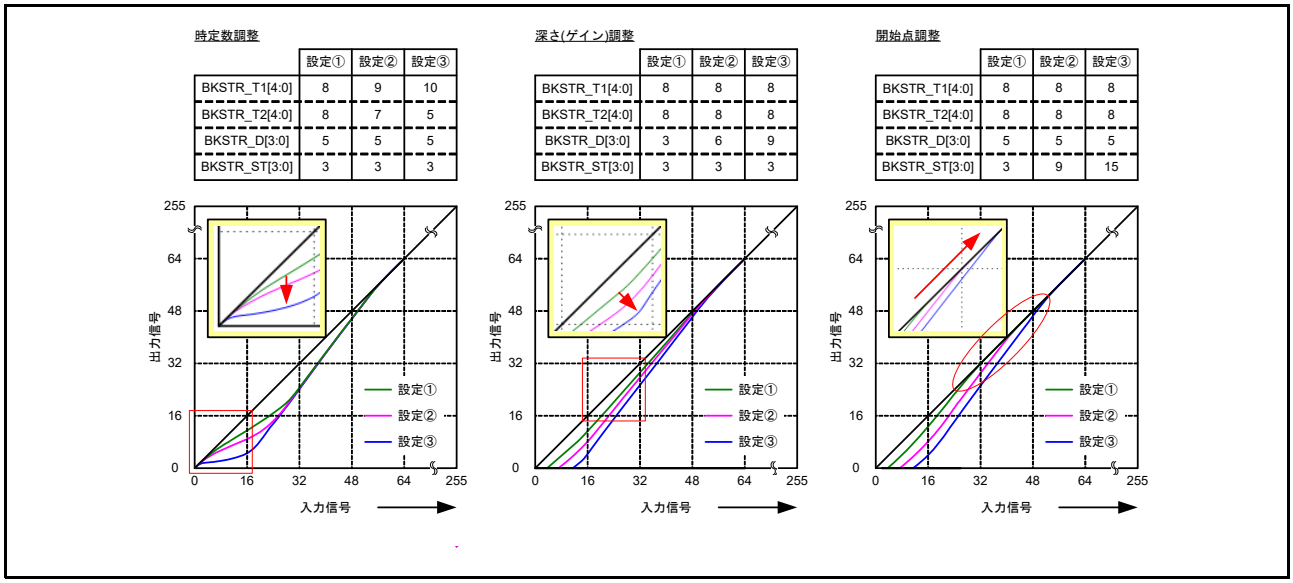


図 32.2 黒伸張補正図（設定例）

表 32.2　黒伸張制御

レジスタ名	ビット名	初期値	説　明
ADJ_BKSTR_SET	BKSTR_ON	0	黒伸張オン／オフ制御 0：黒伸張オフ 1：黒伸張オン
ADJ_BKSTR_SET	BKSTR_ST[3:0]	0	黒伸張の開始点指定 0（低）～15（高）
ADJ_BKSTR_SET	BKSTR_T1[4:0]	0	黒伸張の時定数（T1） 0（小）～31（大）
ADJ_BKSTR_SET	BKSTR_T2[4:0]	0	黒伸張の時定数（T2） 0（小）～30（大）、31：設定禁止
ADJ_BKSTR_SET	BKSTR_D[3:0]	0	黒伸張の深さ 0（浅）～15（深）

32.1.4　エンハンサ

スケーリング後の Y 信号入力に対して水平方向のトランジェント改善（LTI）、シャープネス処理を行います。

(1)　エンハンサ領域指定

エンハンサの動作範囲を水平同期信号、垂直同期信号の立ち上がりエッジを基準で指定します。ENH_HS は 4 クロック以上、ENH_VS は 2 ライン以上必要です。図 32.3 にエンハンサの領域設定図を示します。

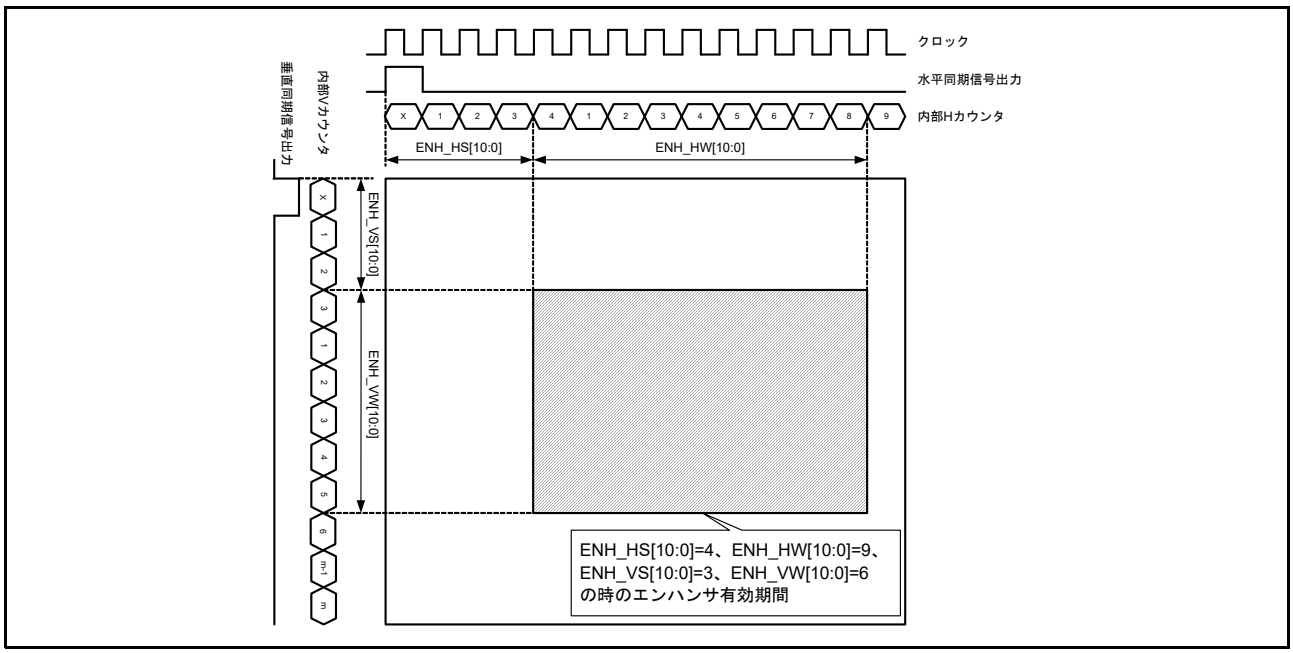


図 32.3　エンハンサ有効期間

レジスタ ENH_DISP_ON ＝ 1 にすることでエンハンサの有効領域枠表示することができます。

表32.3　エンハンサ領域制御

レジスタ名	ビット名	初期値	説　明
ADJ_ENH_TIM1	ENH_MD	1	動作モード 0：RGBモード 1：YCbCrモード
ADJ_ENH_TIM2	ENH_VS[10:0]	0	エンハンサ有効領域の垂直有効画像領域の開始位置設定 注.　2ライン以上の設定にしてください。
ADJ_ENH_TIM2	ENH_VW[10:0]	0	エンハンサ有効領域の垂直有効画像領域の幅設定
ADJ_ENH_TIM3	ENH_HS[10:0]	0	エンハンサ有効領域の水平有効画像領域の開始位置設定 注.　4クロック以上の設定にしてください。
ADJ_ENH_TIM3	ENH_HW[10:0]	0	エンハンサ有効領域の水平有効画像領域の幅設定
ADJ_ENH_TIM1	ENH_DISP_ON	0	エンハンサ有効領域の枠表示オン／オフ設定 0：表示オフ 1：表示オン

(2)　LTI（Luminance Transient Improvement）

Y 信号入力に対して水平方向のトランジェント改善を行います。
ブランキングのトランジェント改善はオフになります。

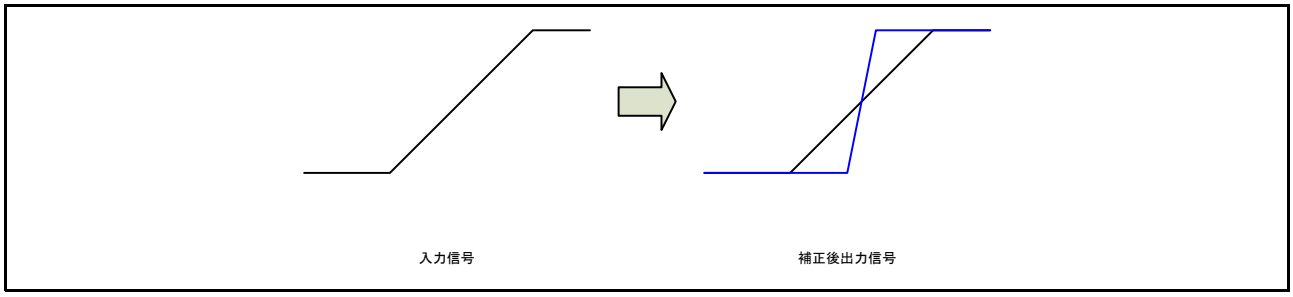


図 32.4　LTI 補正図

LTI は画像のエッジ検出後、水平方向 2 帯域を独立で制御ができます。
LTI は画像のエッジ検出後にメディアンフィルタを挿入しています。
LTI（H4）はメディアンフィルタの参照画素を選択することが可能です。
ただし、通常動作ではエッジ検出時の 1/2 の TAP データ（隣接 2 画素目）を参照します。

表32.4　LTI参照画素表

LTI帯域	エッジ検出時の参照画素	LPFの有無	メディアンフィルタ参照画素
水平LTI（H2）	隣接2画素目参照	LPFなし、またはLPF（1、2、1）	隣接1画素目参照
水平LTI（H4）	隣接4画素目参照	LPF（1、2、1）	隣接1画素目、または隣接2画素目参照

LTI はエッジ検出結果に対してコアリングをかけることができます。
エッジ検出結果よりレジスタ設定したコアリングを減算し、減算結果のコアリング出力に対して LTI 補正を行います。

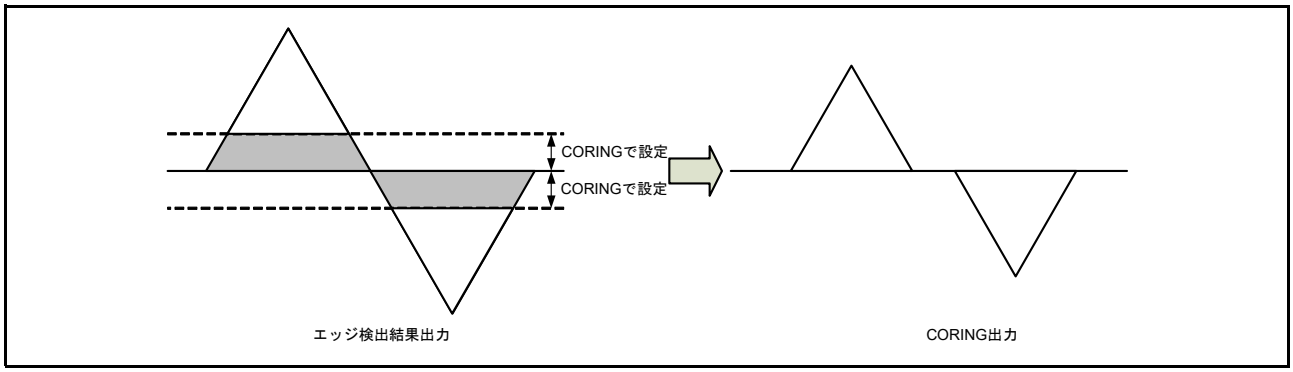


図 32.5 LTI コアリング図

表 32.5 LTI 制御

レジスタ名	ビット名	初期値	説 明
ADJ_ENH_LTI1	LTI_H_ON	0	LTI のオン／オフ制御 0：LTI オフ 1：LTI オン
ADJ_ENH_LTI1	LTI_H2_INC_ZERO[7:0]	10	メディアンフィルタの LTI 補正スレッシュ設定 |右 TAP 値－中心 TAP 値|＜LTI_H2_INC_ZERO または |左 TAP 値－中心 TAP 値|＜LTI_H2_INC_ZERO の場合 LTI 補正禁止
ADJ_ENH_LTI1	LTI_H2_LPF_SEL	0	H2 エッジ検出前の折り返し除去用 LPF 選択 0：LPF なし 1：LPF あり
ADJ_ENH_LTI1	LTI_H2_GAIN[7:0]	0	LTI のエッジ振幅値に対するゲイン設定 0（0 倍）～64（＋1 倍）～255（＋約 4 倍）
ADJ_ENH_LTI1	LTI_H2_CORE[7:0]	0	LTI のコアリング（コアリング量は最大 255） エッジ振幅値に対して LTI_H2_CORE 以下の振幅をコアリング（128 設定で 128）
ADJ_ENH_LTI2	LTI_H4_INC_ZERO[7:0]	10	メディアンフィルタの LTI 補正スレッシュ設定 |右 TAP 値－中心 TAP 値|＜LTI_H4_INC_ZERO または |左 TAP 値－中心 TAP 値|＜LTI_H4_INC_ZERO の場合 LTI 補正禁止
ADJ_ENH_LTI2	LTI_H4_MEDIAN_TAP_SEL	0	メディアンフィルタの参照画素選択 0：隣接 2 画素目参照 1：隣接 1 画素目参照
ADJ_ENH_LTI2	LTI_H4_GAIN[7:0]	0	LTI のエッジ振幅値に対するゲイン設定 0（0 倍）～64（＋1 倍）～255（＋約 4 倍）
ADJ_ENH_LTI2	LTI_H4_CORE[7:0]	0	LTI のコアリング（コアリング量は最大 255） エッジ振幅値に対して LTI_H4_CORE 以下の振幅をコアリング（128 設定で 128）

(3) シャープネス処理

Y 信号入力に対して水平方向の輪郭強調を行います。元信号に対して、オーバーシュート、アンダーシュートを付けることにより輪郭を強調します。なお、ブランキングの輪郭強調はオフになります。

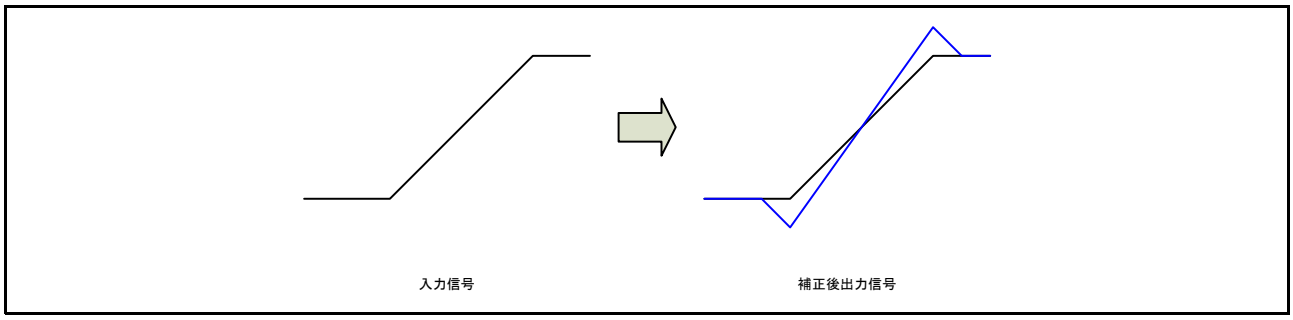


図 32.6 シャープネス補正図

シャープネスは画像のエッジを検出後、水平方向 3 帯域を独立で制御ができます。

水平方向はエッジ検出時の折り返し防止用に 3TAP LPF を挿入しており、レジスタ設定でオン／オフを選択できます。

表 32.6 シャープネスの参照画素表

シャープネス帯域	エッジ検出時の参照画素	LPF の有無
水平シャープネス（H1）	隣接 1 画素目参照	LPF なし
水平シャープネス（H2）	隣接 2 画素目参照	LPF なし、または、LPF（1、2、1）
水平シャープネス（H3）	隣接 3 画素目参照	LPF（1、2、1）

SHP_CORE の値によって、輪郭強調をかけるエッジ振幅を調整できます。

画像のエッジ検出結果が SHP_CORE より大きい場合、輪郭強調となります。

輪郭強調は（エッジ振幅値－ SHP_CORE）に対してシャープネスゲインをかけて補正値を出力します。

画像のエッジ検出結果が SHP_CORE より小さい場合、シャープネスはオフとなります。

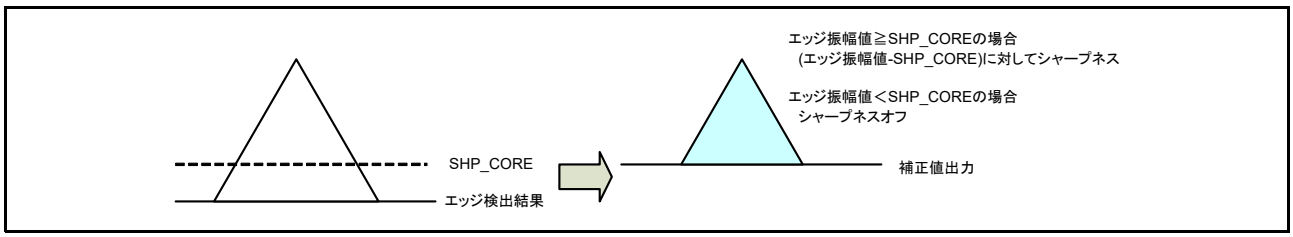


図 32.7 シャープネス特性図

表32.7　　シャープネス制御

レジスタ名	ビット名	初期値	説　　明
ADJ_ENH_SHP1	SHP_H_ON	0	シャープネスのオン／オフ制御 0：水平シャープネスオフ 1：水平シャープネスオン
ADJ_ENH_SHP3	SHP_H2_LPF_SEL	0	H2エッジ検出前の折り返し除去用LPF選択 0：LPFなし 1：LPFあり
ADJ_ENH_SHP2	SHP_H1_CLIP_O[7:0]	0	シャープネスの補正値クリップ（オーバーシュート側） SHP_H1_CLIP_Oで補正値をクリップ処理
ADJ_ENH_SHP2	SHP_H1_CLIP_U[7:0]	0	シャープネスの補正値クリップ（アンダーシュート側） SHP_H1_CLIP_Uで補正値をクリップ処理
ADJ_ENH_SHP2	SHP_H1_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H1_GAIN_O×（エッジ振幅値－SHP_H1_CORE）
ADJ_ENH_SHP2	SHP_H1_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H1_GAIN_U×（エッジ振幅値－SHP_H1_CORE）
ADJ_ENH_SHP1	SHP_H1_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H1_CORE：シャープネス処理あり エッジ振幅値＜SHP_H1_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定
ADJ_ENH_SHP4	SHP_H2_CLIP_O[7:0]	0	シャープネスの補正値クリップ（オーバーシュート側） SHP_H2_CLIP_Oで補正値をクリップ処理
ADJ_ENH_SHP4	SHP_H2_CLIP_U[7:0]	0	シャープネスの補正値クリップ（アンダーシュート側） SHP_H2_CLIP_Uで補正値をクリップ処理
ADJ_ENH_SHP4	SHP_H2_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H2_GAIN_O×（エッジ振幅値－SHP_H2_CORE）
ADJ_ENH_SHP4	SHP_H2_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H2_GAIN_U×（エッジ振幅値－SHP_H2_CORE）
ADJ_ENH_SHP3	SHP_H2_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H2_CORE：シャープネス処理あり エッジ振幅値＜SHP_H2_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定
ADJ_ENH_SHP6	SHP_H3_CLIP_O[7:0]	0	シャープネスの補正値クリップ（オーバーシュート側） SHP_H3_CLIP_Oで補正値をクリップ処理
ADJ_ENH_SHP6	SHP_H3_CLIP_U[7:0]	0	シャープネスの補正値クリップ（アンダーシュート側） SHP_H3_CLIP_Uで補正値をクリップ処理
ADJ_ENH_SHP6	SHP_H3_GAIN_O[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H3_GAIN_O×（エッジ振幅値－SHP_H3_CORE）
ADJ_ENH_SHP6	SHP_H3_GAIN_U[7:0]	0	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H3_GAIN_U×（エッジ振幅値－SHP_H3_CORE）
ADJ_ENH_SHP5	SHP_H3_CORE[6:0]	0	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H3_CORE：シャープネス処理あり エッジ振幅値＜SHP_H3_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

32.1.5 カラーマトリクス

カラーマトリクスは、各入力信号のオフセット調整と 9 軸のゲイン調整を行うことができます。これにより YCbCr → GBR 変換を行うことができます。

(1) GBR → GBR 変換

YGIN_A = YGIN + ADJ_MTX_YG – 128
CBBIN_A = CBBIN + ADJ_MTX_B – 128
CRRIN_A = CRRIN + ADJ_MTX_R – 128
YGOUT = (ADJ_MTX_GG×YGIN_A + ADJ_MTX_GB×CBBIN_A + ADJ_MTX_GR×CRRIN_A)÷256
CBBOUT = (ADJ_MTX_BG×YGIN_A + ADJ_MTX_BB×CBBIN_A + ADJ_MTX_BR×CRRIN_A)÷256
CRROUT = (ADJ_MTX_RG×YGIN_A + ADJ_MTX_RB×CBBIN_A + ADJ_MTX_RR×CRRIN_A)÷256

(2) YCbCr → GBR 変換

YGIN_A = YGIN + ADJ_MTX_YG – 128
CBBIN_A = CBBIN – 128
CRRIN_A = CRRIN – 128
YGOUT = (ADJ_MTX_GG×YGIN_A + ADJ_MTX_GB×CBBIN_A + ADJ_MTX_GR×CRRIN_A)÷256
CBBOUT = (ADJ_MTX_BG×YGIN_A + ADJ_MTX_BB×CBBIN_A + ADJ_MTX_BR×CRRIN_A)÷256
CRROUT = (ADJ_MTX_RG×YGIN_A + ADJ_MTX_RB×CBBIN_A + ADJ_MTX_RR×CRRIN_A)÷256

表 32.8 SMPTE 293M のマトリクス係数（標準値）

	YGIN		CBBIN		CRRIN	
	係数	ビット設定値	係数	ビット設定値	係数	ビット設定値
YGOUT	1.000	ADJ_MTX_GG =256	− 0.344	ADJ_MTX_GB =1960	− 0.714	ADJ_MTX_GR =1865
CBBOUT	1.000	ADJ_MTX_BG =256	1.772	ADJ_MTX_BB =454	0.000	ADJ_MTX_BR =0
CRROUT	1.000	ADJ_MTX_RG =256	0.000	ADJ_MTX_RB =0	1.402	ADJ_MTX_RR =359

表32.9　　カラーマトリクス制御

レジスタ名	ビット名	初期値	説　　明
ADJ_MTX_MODE	ADJ_MTX_MD[1:0]	2	動作モード 0：GBR　→ GBR 1：設定禁止 2：YCbCr → GBR 3：設定禁止
ADJ_MTX_YG_ADJ0	ADJ_MTX_YG[7:0]	128	Y/G信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
ADJ_MTX_CBB_ADJ0	ADJ_MTX_B[7:0]	128	B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
ADJ_MTX_CRR_ADJ0	ADJ_MTX_R[7:0]	128	R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
ADJ_MTX_YG_ADJ0	ADJ_MTX_GG[10:0]	256	G信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_YG_ADJ1	ADJ_MTX_GB[10:0]	1960	G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_YG_ADJ1	ADJ_MTX_GR[10:0]	1865	G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_CBB_ADJ0	ADJ_MTX_BG[10:0]	256	B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BB[10:0]	454	B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BR[10:0]	0	B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_CRR_ADJ0	ADJ_MTX_RG[10:0]	256	R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RB[10:0]	0	R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RR[10:0]	359	R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

32.2 レジスタの説明

表 32.10 にレジスタ構成を示します。

【レジスタ説明の記号説明】
初期値　：リセット後のレジスタ値
－　　：不定値
R/W　　：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0　：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1　：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R　　：リードのみ可。書き込む値は常に 0 にしてください。
－ /W　　：ライトのみ可。読み出し値は不定です。

表32.10　画質改善部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
画質改善部レジスタ更新制御レジスタ（画質改善部0）	ADJ0_UPDATE	R/WC1	H'0000 0000	H'FCFF 7680	32
黒伸張部レジスタ（画質改善部0）	ADJ0_BKSTR_SET	R/W	H'0000 0000	H'FCFF 7684	32
エンハンサタイミング調整レジスタ1（画質改善部0）	ADJ0_ENH_TIM1	R/W	H'0000 0010	H'FCFF 7688	32
エンハンサタイミング調整レジスタ2（画質改善部0）	ADJ0_ENH_TIM2	R/W	H'0023 01E0	H'FCFF 768C	32
エンハンサタイミング調整レジスタ3（画質改善部0）	ADJ0_ENH_TIM3	R/W	H'0091 0280	H'FCFF 7690	32
エンハンサシャープネスレジスタ1（画質改善部0）	ADJ0_ENH_SHP1	R/W	H'0000 0000	H'FCFF 7694	32
エンハンサシャープネスレジスタ2（画質改善部0）	ADJ0_ENH_SHP2	R/W	H'0000 0000	H'FCFF 7698	32
エンハンサシャープネスレジスタ3（画質改善部0）	ADJ0_ENH_SHP3	R/W	H'0000 0000	H'FCFF 769C	32
エンハンサシャープネスレジスタ4（画質改善部0）	ADJ0_ENH_SHP4	R/W	H'0000 0000	H'FCFF 76A0	32
エンハンサシャープネスレジスタ5（画質改善部0）	ADJ0_ENH_SHP5	R/W	H'0000 0000	H'FCFF 76A4	32
エンハンサシャープネスレジスタ6（画質改善部0）	ADJ0_ENH_SHP6	R/W	H'0000 0000	H'FCFF 76A8	32
エンハンサLTIレジスタ1（画質改善部0）	ADJ0_ENH_LTI1	R/W	H'000A 0000	H'FCFF 76AC	32
エンハンサLTIレジスタ2（画質改善部0）	ADJ0_ENH_LTI2	R/W	H'000A 0000	H'FCFF 76B0	32
画質改善部マトリクスモードレジスタ（画質改善部0）	ADJ0_MTX_MODE	R/W	H'0000 0002	H'FCFF 76B4	32
画質改善部マトリクスYG調整レジスタ0（画質改善部0）	ADJ0_MTX_YG_ADJ0	R/W	H'0080 0100	H'FCFF 76B8	32
画質改善部マトリクスYG調整レジスタ1（画質改善部0）	ADJ0_MTX_YG_ADJ1	R/W	H'07A8 0749	H'FCFF 76BC	32
画質改善部マトリクスCBB調整レジスタ0（画質改善部0）	ADJ0_MTX_CBB_ADJ0	R/W	H'0080 0100	H'FCFF 76C0	32
画質改善部マトリクスCBB調整レジスタ1（画質改善部0）	ADJ0_MTX_CBB_ADJ1	R/W	H'01C6 0000	H'FCFF 76C4	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
画質改善部マトリクスCRR調整レジスタ0（画質改善部0）	ADJ0_MTX_CRR_ADJ0	R/W	H'0080 0100	H'FCFF 76C8	32
画質改善部マトリクスCRR調整レジスタ1（画質改善部0）	ADJ0_MTX_CRR_ADJ1	R/W	H'0000 0167	H'FCFF 76CC	32

32.2.1　画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	ADJ0_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ADJ0_VEN	0	R/WC1	画質改善部のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

32.2.2 黒伸張部レジスタ（ADJ0_BKSTR_SET）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	BKSTR_ON	BKSTR_ST[3:0]				BKSTR_D[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	BKSTR_T1[4:0]					－	－	－	BKSTR_T2[4:0]				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～25	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	BKSTR_ON	0	R/W	黒伸張オン／オフ制御 0：黒伸張オフ 1：黒伸張オン
23～20	BKSTR_ST[3:0]	0	R/W	黒伸張の開始点指定。設定値：0（低）～15（高）
19～16	BKSTR_D[3:0]	0	R/W	黒伸張の深さ。設定値：0（浅）～15（深）
15～13	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12 ～ 8	BKSTR_T1[4:0]	0	R/W	黒伸張の時定数（T1）。設定値：0（小）～31（大）
7 ～ 5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4 ～ 0	BKSTR_T2[4:0]	0	R/W	黒伸張の時定数（T2）。設定値：0（小）～31（大）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.3 エンハンサタイミング調整レジスタ 1（ADJ0_ENH_TIM1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	ENH_MD	－	－	－	ENH_DISP_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	ENH_MD	1	R/W	動作モード 0：RGBモード 1：YCbCrモード
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ENH_DISP_ON	0	R/W	エンハンサ有効領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン

注． 本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.4 エンハンサタイミング調整レジスタ 2（ADJ0_ENH_TIM2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	ENH_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	ENH_VW[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ENH_VS[10:0]	35	R/W	エンハンサ有効領域の垂直有効画像領域の開始位置設定 注． 2ライン以上の設定にしてください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ENH_VW[10:0]	480	R/W	エンハンサ有効領域の垂直有効画像領域の幅設定

注． 本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.5 エンハンサタイミング調整レジスタ 3（ADJ0_ENH_TIM3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	ENH_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	ENH_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ENH_HS[10:0]	145	R/W	エンハンサ有効領域の水平有効画像領域の開始位置設定 注.　4クロック以上の設定にしてください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ENH_HW[10:0]	640	R/W	エンハンサ有効領域の水平有効画像領域の幅設定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.6 エンハンサシャープネスレジスタ 1（ADJ0_ENH_SHP1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SHP_H_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	SHP_H1_CORE[6:0]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SHP_H_ON	0	R/W	シャープネスのオン／オフ制御 0：水平シャープネスオフ 1：水平シャープネスオン
15 ～ 7	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 0	SHP_H1_CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H1_CORE：シャープネス処理あり エッジ振幅値＜SHP_H1_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.7 エンハンサシャープネスレジスタ 2（ADJ0_ENH_SHP2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SHP_H1_CLIP_O[7:0]								SHP_H1_CLIP_U[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SHP_H1_GAIN_O[7:0]								SHP_H1_GAIN_U[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	SHP_H1_CLIP_O[7:0]	0	R/W	シャープネスの補正値クリップ（オーバーシュート側） SHP_H1_CLIP_Oで補正値をクリップ処理
23 ～ 16	SHP_H1_CLIP_U[7:0]	0	R/W	シャープネスの補正値クリップ（アンダーシュート側） SHP_H1_CLIP_Uで補正値をクリップ処理
15 ～ 8	SHP_H1_GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H1_GAIN_O×（エッジ振幅値－SHP_H1_CORE）
7 ～ 0	SHP_H1_GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H1_GAIN_U×（エッジ振幅値－SHP_H1_CORE）

注． 本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.8 エンハンサシャープネスレジスタ 3（ADJ0_ENH_SHP3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	SHP_H2_LPF_SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	SHP_H2_CORE[6:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	SHP_H2_LPF_SEL	0	R/W	H2エッジ検出前の折り返し除去用LPF選択 0：LPFなし 1：LPFあり
15 ～ 7	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 0	SHP_H2_CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H2_CORE：シャープネス処理あり エッジ振幅値＜SHP_H2_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

注． 本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.9 エンハンサシャープネスレジスタ 4（ADJ0_ENH_SHP4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SHP_H2_CLIP_O[7:0]								SHP_H2_CLIP_U[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SHP_H2_GAIN_O[7:0]								SHP_H2_GAIN_U[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	SHP_H2_CLIP_O[7:0]	0	R/W	シャープネスの補正値クリップ（オーバーシュート側） SHP_H2_CLIP_Oで補正値をクリップ処理
23 ～ 16	SHP_H2_CLIP_U[7:0]	0	R/W	シャープネスの補正値クリップ（アンダーシュート側） SHP_H2_CLIP_Uで補正値をクリップ処理
15 ～ 8	SHP_H2_GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H2_GAIN_O×（エッジ振幅値－SHP_H2_CORE）
7 ～ 0	SHP_H2_GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0倍）～64（＋1倍）～255（＋約4倍） シャープネス補正値＝ SHP_H2_GAIN_U×（エッジ振幅値－SHP_H2_CORE）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.10 エンハンサシャープネスレジスタ 5（ADJ0_ENH_SHP5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	SHP_H3_CORE[6:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 7	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6 ～ 0	SHP_H3_CORE[6:0]	0	R/W	シャープネスの能動範囲の指定 エッジ振幅値≧SHP_H3_CORE：シャープネス処理あり エッジ振幅値＜SHP_H3_CORE：シャープネス処理なし 128以上のエッジ検出値はシャープネス処理固定

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.11 エンハンサシャープネスレジスタ 6（ADJ0_ENH_SHP6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SHP_H3_CLIP_O[7:0]								SHP_H3_CLIP_U[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SHP_H3_GAIN_O[7:0]								SHP_H3_GAIN_U[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	SHP_H3_CLIP_O[7:0]	0	R/W	シャープネスの補正値クリップ（オーバーシュート側） SHP_H3_CLIP_O で補正値をクリップ処理
23 ～ 16	SHP_H3_CLIP_U[7:0]	0	R/W	シャープネスの補正値クリップ（アンダーシュート側） SHP_H3_CLIP_U で補正値をクリップ処理
15 ～ 8	SHP_H3_GAIN_O[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（オーバーシュート側） 0（0 倍）～64（＋1 倍）～255（＋約 4 倍） シャープネス補正値＝ SHP_H3_GAIN_O×（エッジ振幅値－SHP_H3_CORE）
7 ～ 0	SHP_H3_GAIN_U[7:0]	0	R/W	シャープネスのエッジ振幅値に対するゲイン設定（アンダーシュート側） 0（0 倍）～64（＋1 倍）～255（＋約 4 倍） シャープネス補正値＝ SHP_H3_GAIN_U×（エッジ振幅値－SHP_H3_CORE）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）の ADJ0_VEN =1 で更新されます。

32.2.12 エンハンサ LTI レジスタ 1（ADJ0_ENH_LTI1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	LTI_H_ON	—	—	—	—	—	—	LTI_H2_LPF_SEL	LTI_H2_INC_ZERO[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W：	R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LTI_H2_GAIN[7:0]								LTI_H2_CORE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	LTI_H_ON	0	R/W	LTIのオン／オフ制御 0：LTIオフ 1：LTIオン
30 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	LTI_H2_LPF_SEL	0	R/W	H2エッジ検出前の折り返し除去用LPF選択 0：LPFなし 1：LPFあり
23 ～ 16	LTI_H2_INC_ZERO[7:0]	10	R/W	メディアンフィルタのLTI補正スレッシュ設定 |右TAP値－中心TAP値|＜LTI_H2_INC_ZEROまたは |左TAP値－中心TAP値|＜LTI_H2_INC_ZEROの場合LTI補正禁止
15 ～ 8	LTI_H2_GAIN[7:0]	0	R/W	LTIのエッジ振幅値に対するゲイン設定 0（0倍）～64（＋1倍）～255（＋約4倍）
7 ～ 0	LTI_H2_CORE[7:0]	0	R/W	LTIのコアリング（コアリング量は最大255） エッジ振幅値に対してLTI_H2_CORE以下の振幅をコアリング （128設定で128）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.13 エンハンサ LTI レジスタ 2（ADJ0_ENH_LTI2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	LTI_H4_MEDIAN_TAP_SEL	LTI_H4_INC_ZERO[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LTI_H4_GAIN[7:0]								LTI_H4_CORE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	LTI_H4_MEDIAN_TAP_SEL	0	R/W	メディアンフィルタの参照画素選択 0：隣接2画素目参照 1：隣接1画素目参照
23 ～ 16	LTI_H4_INC_ZERO[7:0]	10	R/W	メディアンフィルタのLTI補正スレッシュ設定 |右TAP値－中心TAP値|＜LTI_H4_INC_ZEROまたは |左TAP値－中心TAP値|＜LTI_H4_INC_ZEROの場合LTI補正禁止
15 ～ 8	LTI_H4_GAIN[7:0]	0	R/W	LTIのエッジ振幅値に対するゲイン設定 0（0倍）～64（＋1倍）～255（＋約4倍）
7 ～ 0	LTI_H4_CORE[7:0]	0	R/W	LTIのコアリング（コアリング量は最大255） エッジ振幅値に対してLTI_H4_CORE以下の振幅をコアリング （128設定で128）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.14 画質改善部マトリクスモードレジスタ（ADJ0_MTX_MODE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ADJ0_MTX_MD[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 2	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	ADJ0_MTX_MD[1:0]	2	R/W	動作モード 0：GBR　=> GBR 1：設定禁止 2：YCbCr=> GBR 3：設定禁止

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.15 画質改善部マトリクス YG 調整レジスタ 0（ADJ0_MTX_YG_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	ADJ0_MTX_YG[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	ADJ0_MTX_GG[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	ADJ0_MTX_YG [7:0]	128	R/W	Y/G信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_GG [10:0]	256	R/W	G信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.16 画質改善部マトリクス YG 調整レジスタ 1（ADJ0_MTX_YG_ADJ1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	ADJ0_MTX_GB[10:0]										
初期値：	0	0	0	0	0	1	1	1	1	0	1	0	1	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	ADJ0_MTX_GR[10:0]										
初期値：	0	0	0	0	0	1	1	1	0	1	0	0	1	0	0	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ADJ0_MTX_GB [10:0]	1960	R/W	G信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_GR [10:0]	1865	R/W	G信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.17 画質改善部マトリクス CBB 調整レジスタ 0（ADJ0_MTX_CBB_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	ADJ0_MTX_B[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	ADJ0_MTX_BG[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	ADJ0_MTX_B [7:0]	128	R/W	B信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_BG [10:0]	256	R/W	B信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.18 画質改善部マトリクス CBB 調整レジスタ 1（ADJ0_MTX_CBB_ADJ1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	ADJ0_MTX_BB[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	1	0	0	0	1	1	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	ADJ0_MTX_BR[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ADJ0_MTX_BB [10:0]	454	R/W	B信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_BR [10:0]	0	R/W	B信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.19 画質改善部マトリクス CRR 調整レジスタ 0（ADJ0_MTX_CRR_ADJ0）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	ADJ0_MTX_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	ADJ0_MTX_RG[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	ADJ0_MTX_R [7:0]	128	R/W	R信号のオフセット（DC）調整 符号無し（0（－128）～128（0）～255（＋127）[LSB]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_RG [10:0]	256	R/W	R信号出力のY/G信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.2.20 画質改善部マトリクス CRR 調整レジスタ 1（ADJ0_MTX_CRR_ADJ1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	ADJ0_MTX_RB[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	ADJ0_MTX_RR[10:0]										
初期値：	0	0	0	0	0	0	0	1	0	1	1	0	0	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	ADJ0_MTX_RB [10:0]	0	R/W	R信号出力のCb/B信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	ADJ0_MTX_RR [10:0]	359	R/W	R信号出力のCr/R信号のゲイン調整 符号付（2の補数）（－1024～＋1023[LSB]、256[LSB]＝1.0[倍]）

注.　本レジスタはすべて画質改善部レジスタ更新制御レジスタ（ADJ0_UPDATE）のADJ0_VEN =1で更新されます。

32.3 使用方法

32.3.1 黒伸張の使用方法

黒伸張の深さ（BKSTR_D[3:0]）と黒伸張の開始点（BKSTR_ST[3:0]）の設定により、黒の伸張度合いを調整できます。黒伸張の時間軸の変化量は、時定数設定（BKSTR_T1[4:0]、BKSTR_T2[4:0]）により、調整することが可能です。時定数設定を行うことにより、シーンの切り替わりでの急な変化を抑えることができます。

表32.11 黒伸張の設定レジスタ

レジスタ名	ビット名	設定値
ADJ_BKSTR_SET	BKSTR_ON	黒伸張オンの場合：1
ADJ_BKSTR_SET	BKSTR_D[3:0]	黒伸張の深さを設定します。値が大きいほど、深くなります。
ADJ_BKSTR_SET	BKSTR_ST[3:0]	黒伸張の開始点を設定します。値が大きいほど、伸張領域が多くなります。
ADJ_BKSTR_SET	BKSTR_T1[4:0]	黒伸張の正方向の時定数を設定します。値が大きいほど、変化が遅くなります。
ADJ_BKSTR_SET	BKSTR_T2[4:0]	黒伸張の負方向の時定数を設定します。値が大きいほど、変化が遅くなります。

注. レジスタ設定後に画質改善部レジスタ更新制御レジスタ（ADJ_UPDATE）のADJ_VEN＝1の設定が必要です。

32.3.2 エンハンサの LTI 処理

図 32.8 に LTI 調整を示します。

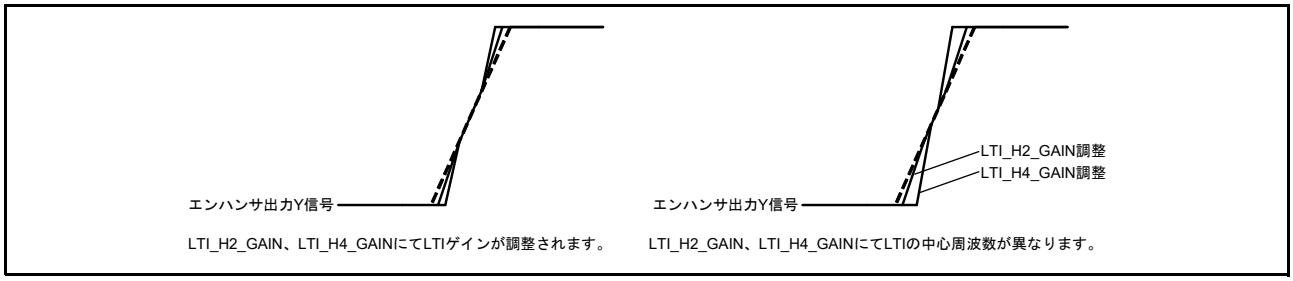


図 32.8 LTI 調整例

32.3.3 エンハンサのシャープネス処理

図 32.9 にシャープネス調整例を示します。

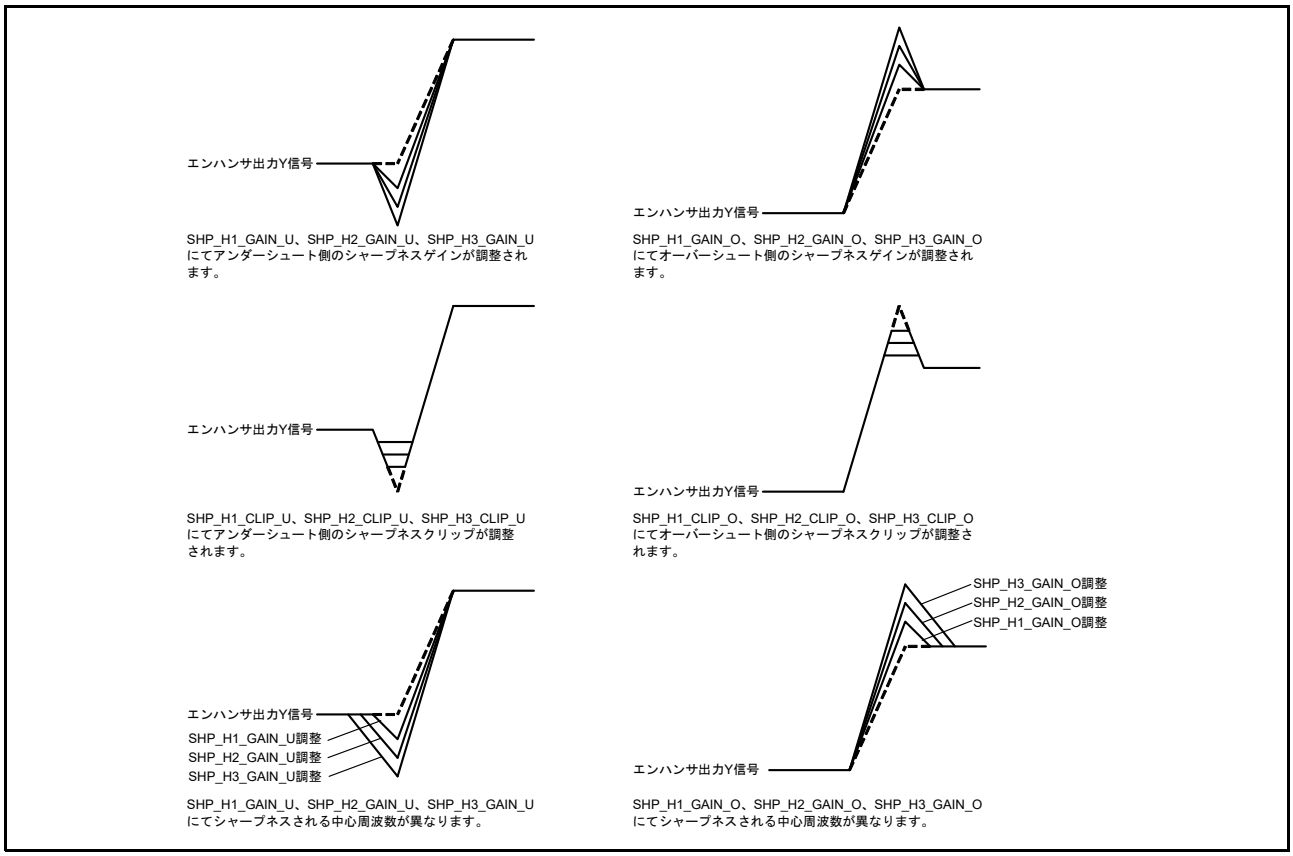


図 32.9 シャープネス調整例

32.3.4 カラーマトリクスのデータ変換設定方法

画質改善部より後段回路は GBR 入力を想定としているため、カラーマトリクス回路にて GBR フォーマットで出力する必要があります。

表 32.12 に、GBR 変換設定例を示します。

表 32.12 マトリクス変換の推奨設定値

		GBR ⇒ GBR 変換	YCbCr ⇒ GBR 変換
レジスタ名	ビット名	推奨値	推奨値
ADJ_MTX_MODE	ADJ_MTX_MD[1:0]	0	2
ADJ_MTX_YG_ADJ0	ADJ_MTX_YG[7:0]	128	128
ADJ_MTX_CBB_ADJ0	ADJ_MTX_B[7:0]	128	128
ADJ_MTX_CRR_ADJ0	ADJ_MTX_R[7:0]	128	128
ADJ_MTX_YG_ADJ0	ADJ_MTX_GG[10:0]	256	256
ADJ_MTX_YG_ADJ1	ADJ_MTX_GB[10:0]	0	1960
ADJ_MTX_YG_ADJ1	ADJ_MTX_GR[10:0]	0	1865
ADJ_MTX_CBB_ADJ0	ADJ_MTX_BG[10:0]	0	256
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BB[10:0]	256	454
ADJ_MTX_CBB_ADJ1	ADJ_MTX_BR[10:0]	0	0
ADJ_MTX_CRR_ADJ0	ADJ_MTX_RG[10:0]	0	256
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RB[10:0]	0	0
ADJ_MTX_CRR_ADJ1	ADJ_MTX_RR[10:0]	256	359

注. レジスタ設定後に画質改善部レジスタ更新制御レジスタ（ADJ_UPDATE）の ADJ_VEN＝1 の設定が必要です。

33. ビデオディスプレイコントローラ 5（5） 画面合成部

33.1 画面合成機能

33.1.1 機能概要

画面合成部は、フレームバッファ上のグラフィックスデータを読み出して表示を行います。

合成は、映像 1 面＋グラフィックス 2 面もしくは、グラフィックス 3 面の選択ができます。

グラフィックスデータは、RGB565、RGB888、αRGB1555、αRGB4444、αRGB8888、RGBα5551、RGBα8888、CLUT8、CLUT4、CLUT1、YCbCr422（グラフィックス（0））、YCbCr444（グラフィックス（0））に対応しています。

映像データは、RGB565、RGB888、YCbCr422、YCbCr444 に対応しています。

各グラフィックスプレーンに対して背景色、下層グラフィックス、カレントグラフィックス、下層グラフィックスとカレントグラフィックスのブレンド処理（グラフィックス（2）、（3））の表示が行えます。

フレームバッファとして大容量内蔵 RAM および外部 SDRAM を使用可能ですが、外部 SDRAM を使用した場合バス帯域が足りなくなり表示ができなくなる可能性がありますので、フレームバッファは、内蔵の大容量 RAM に配置することを推奨いたします。

下図に画面合成部の機能ブロック図を示します。

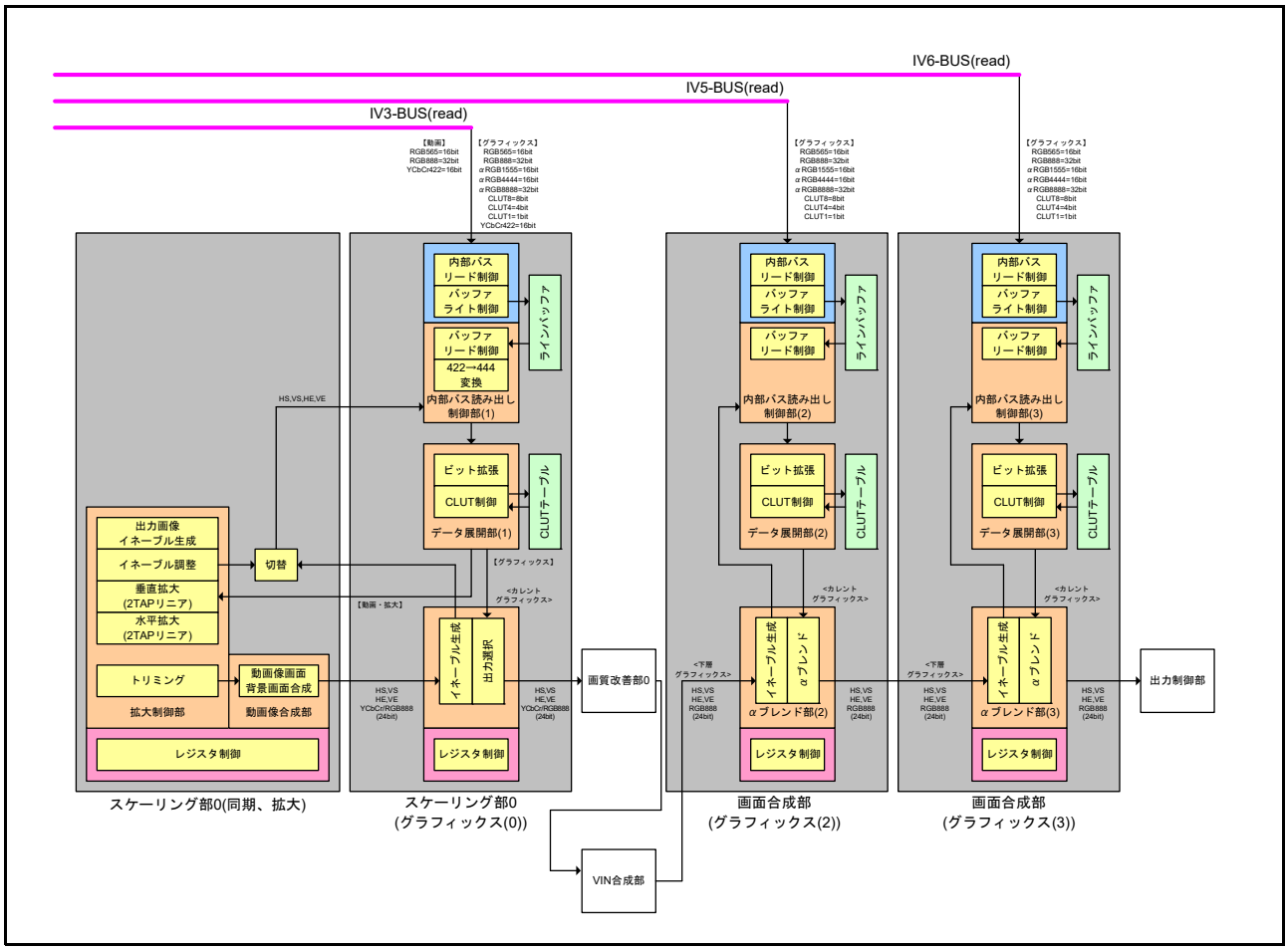


図 33.1 画面合成部の機能ブロック図

33.1.2 グラフィックスデータ読み出し制御

グラフィックスデータ読み出し制御は、スケーリング部0のグラフィックス（0）表示、画面合成部のグラフィックス（2）表示、グラフィックス（3）表示の3系統あります。

各部のレジスタ・ビットは、GR0_xxxx、GR2_xxxx、GR3_xxxxとなりますが、本仕様書では、レジスタ・ビット名をGR_xxxxとして記載します。

なお、VIN合成部ではグラフィックスデータ読み出し制御はありませんが、これも含めて、本書ではGR_xxxxとして記載します。ただし、読み出し制御関係のレジスタ（GR_FLM）はありません。

(1) レジスタの更新制御

グラフィックス表示、フレームバッファ読み出しの制御レジスタは、一部レジスタを除き垂直同期信号で更新タイミングを管理します。

更新制御レジスタに1をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に0にクリアされます。

表33.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説　　明
GR_UPDATE	GR_UPDATE	0	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
GR_UPDATE	GR_P_VEN	0	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GR_UPDATE	GR_IBUS_VEN	0	フレームバッファ読み出しのレジスタ更新（注1） 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

注1. VIN合成部には本ビットは存在しません。

(2) フレームバッファバースト転送モード

映像、グラフィックスデータが格納されているフレームバッファへのアクセスは、32バイト転送、128バイト転送の2モードを選択できます。

表33.2 フレームバッファバースト転送モード

レジスタ名	ビット名	初期値	説　　明
GR_FLM1	GR_BST_MD	0	フレームバッファバースト転送モード 0：32バイト 1：128バイト

(3) フレームバッファ制御モード

フレームバッファの読み出しは、複数面に対応しています。

グラフィックスに対しては、GR_FLM_SEL[1:0] ＝ 1 を設定し、GR_FLM_NUM[9:0] で表示面のフレーム番号を設定します。映像に対しては、書き込み時の処理に応じて GR_FLM_SEL[1:0] でモードを選択します。映像時の使用フレーム数は、書き込み処理部で設定した値で動作します。

表33.3 フレームバッファ制御モード

レジスタ名	ビット名	初期値	説 明
GR_FLM1	GR_FLM_SEL[1:0]	0	フレームバッファアドレス設定信号の選択 0：縮小処理と連携、またはフレーム0を選択（注1） 1：レジスタ GR_FLM_NUM を選択 2：フレーム0を選択 3：ポインタバッファと連携、または設定禁止（注2）
GR_FLM3	GR_FLM_NUM[9:0]	0	フレームバッファのフレーム番号 レジスタ GR_FLM_SEL＝1のとき、フレーム番号を手動設定します。

注1. グラフィックス（0）は縮小処理と連携。グラフィックス（2）、（3）はフレーム0を選択。
注2. グラフィックス（0）はポインタバッファと連携。グラフィックス(2)、(3)は設定禁止。

(4) フレームバッファ読み出し制御

フレームバッファの読み出しの許可／禁止を制御します。

表33.4 フレームバッファ読み出し制御

レジスタ名	ビット名	初期値	説 明
GR_FLM_RD	GR_R_ENB	0	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

(5) フレームバッファサイズ

読み出すフレームバッファのサイズを設定します。
GR_HW[10:0] で水平の画素数を、GR_FLM_LNUM[10:0] で垂直のライン数を設定します。

表 33.5 フレームバッファサイズ

レジスタ名	ビット名	初期値	説　　明
GR_FLM6	GR_HW[10:0]	0	水平有効期間の幅設定 幅は（GR_HW＋1）画素になります。 注.　2以上の値を設定してください。
GR_FLM5	GR_FLM_LNUM[10:0]	0	1フレームのライン数設定 ライン数は（GR_FLM_LNUM＋1）ラインになります。

(6) フレームバッファアドレス計算

フレームバッファのデータ領域は、GR_BASE[31:0]、GR_LN_OFF[14:0]、GR_FLM_OFF[22:0] と表示面のフレーム番号で計算します。

GR_LN_OFF[14:0]、GR_FLM_OFF[22:0] は、32/128 バイト単位で設定します（下位 5/7 ビットは 0 固定）。

GR_BASE[31:0] は、表示データの開始位置を設定するために 64 ビット単位で設定します（下位 3 ビットは固定）。

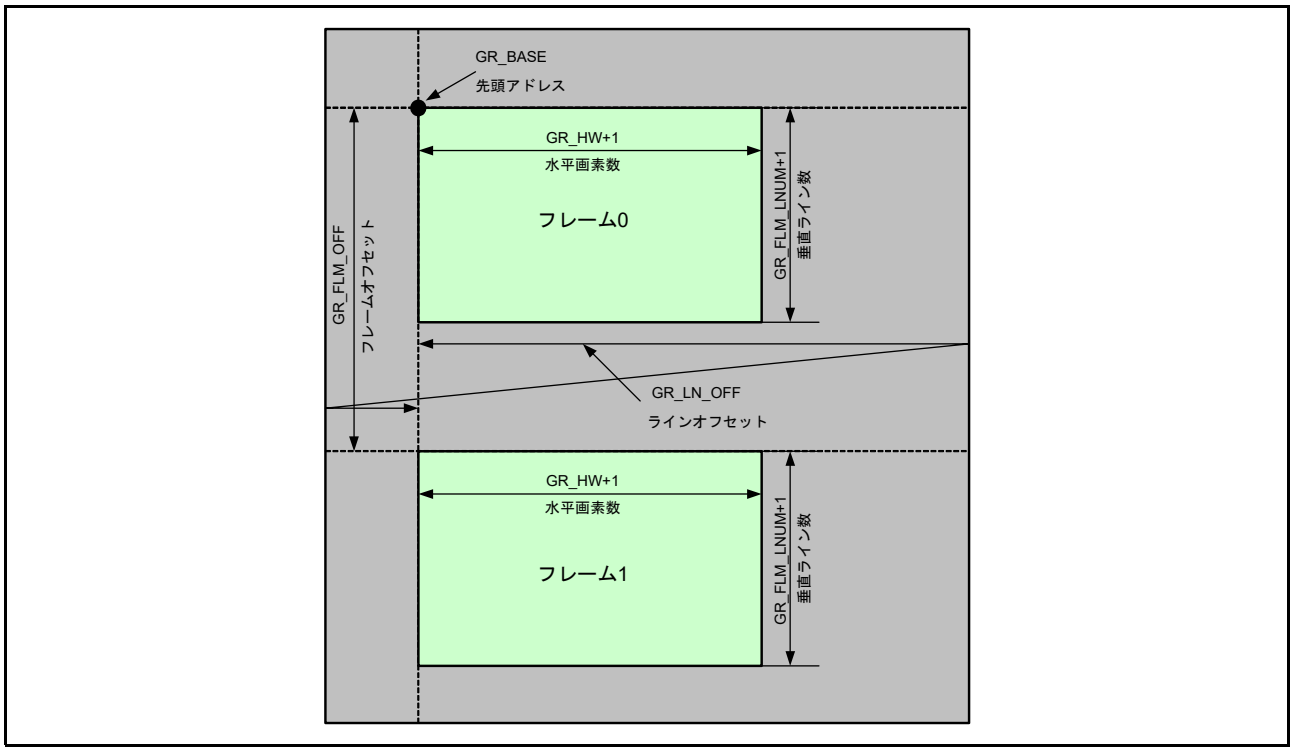


図 33.2 フレームバッファ上のデータ配置のイメージ図

表33.6　フレームバッファアドレス計算

レジスタ名	ビット名	初期値	説　明
GR_FLM2	GR_BASE[31:0]	0	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時はGR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。
GR_FLM3	GR_LN_OFF[14:0]	0	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR_BASE ライン1：GR_BASE＋GR_LN_OFF×1 ： ラインn：GR_BASE＋GR_LN_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
GR_FLM4	GR_FLM_OFF[22:0]	0	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0：GR_BASE バッファ 1：GR_BASE＋GR_FLM_OFF×1 ： バッファ n：GR_BASE＋GR_FLM_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

(7)　1面以下のフレームバッファサイズ設定

フレームバッファサイズをライン単位で設定することができます。

GR_FLM_LOOP[10:0] で設定したライン数を GR_FLM_LNUM[10:0] より小さくすると、(GR_FLM_LOOP[10:0]+1) で設定したライン数の読み出しを完了するとフレームバッファの先頭から再読み出しを行います。

表33.7　1面以下のフレームバッファサイズ指定

レジスタ名	ビット名	初期値	説　明
GR_FLM5	GR_FLM_LOOP[10:0]	1023	アドレスをリング状に読み出す場合のライン数 ライン数は（GR_FLM_LOOP＋1）ラインになります。

(8) フレームバッファのラインオフセット制御

フレームバッファのラインオフセットアドレスの方向を設定します。

表33.8 フレームバッファのラインオフセットアドレスの方向制御

レジスタ名	ビット名	初期値	説　　明
GR_FLM1	GR_LN_OFF_DIR	0	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント

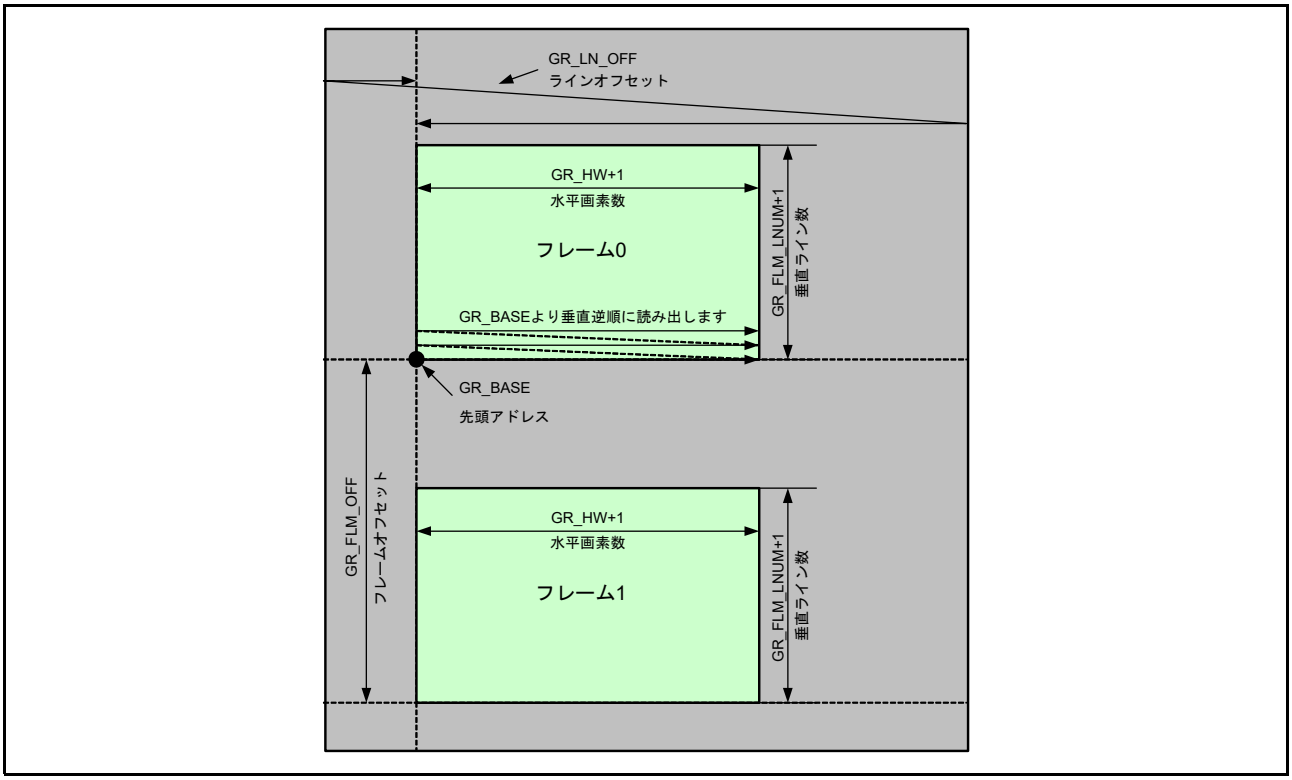


図 33.3 ラインオフセット　デクリメント制御時のデータ配置イメージ図

(9) フレームバッファ読み出し信号フォーマット選択

グラフィックス（0）、（2）、（3）は、RGB565、RGB888、αRGB1555、αRGB4444、αRGB8888、RGBα5551、RGBα8888、CLUT8、CLUT4、CLUT1 のフォーマットに対応しています。さらに、グラフィックス（0）は YCbCr422、YCbCr444 フォーマットに対応しています。

GR_FORMAT[3:0] でフォーマットを設定します。

表 33.9　フレームバッファ読み出し信号フォーマット選択

レジスタ名	ビット名	初期値	説　明
GR_FLM6	GR_FORMAT[3:0]	0	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：YCbCr422、または設定禁止（注 1） 9：YCbCr444、または設定禁止（注 1） 10：RGBα5551 11：RGBα8888 12～15：設定禁止

注 1.　グラフィックス（0）は YCbCr422、YCbCr444 設定可。グラフィックス（2）、（3）は設定禁止。

(10) エンディアン制御

フレームバッファは、64 ビット 1 データで管理しており、GR_RDSWA[2:0] で読み出すデータのエンディアンを制御できます。GR_RDSWA[2:0] のビット 0 は 8 ビットスワップ、ビット 1 は 16 ビットスワップ、ビット 2 は 32 ビットスワップをするか否かを示します。YCbCr422 フォーマットでは GR_YCC_SWAP[2:0] でデータ割り付けを制御することもできます。

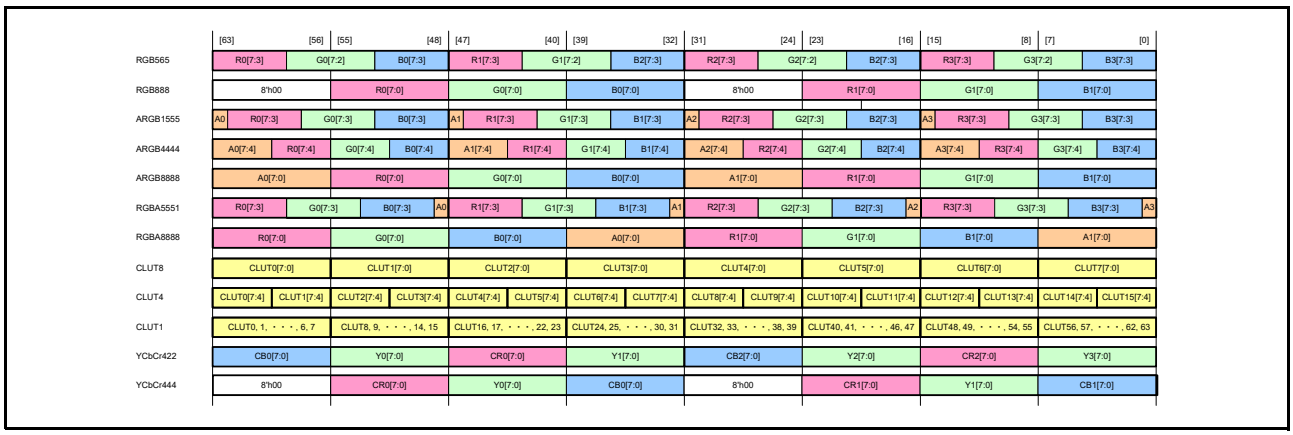


図 33.4　エンディアン制御なし時 (GR_RDSWA=000 設定) のデータ割り付け

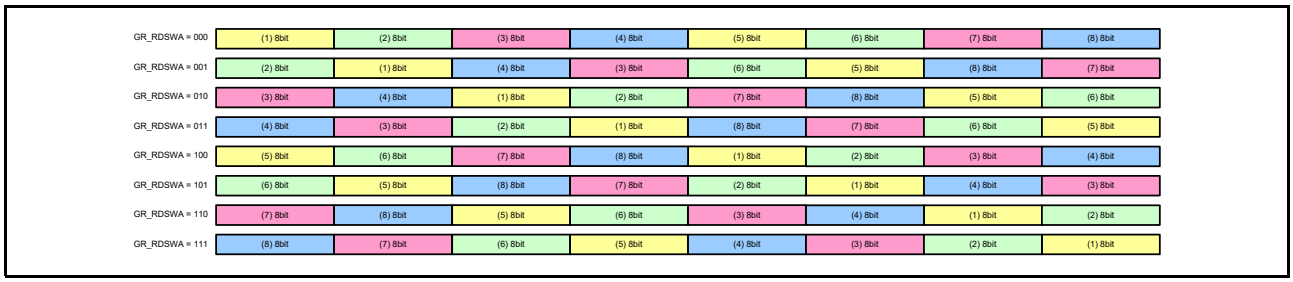


図 33.5　エンディアン制御時のデータ割り付け

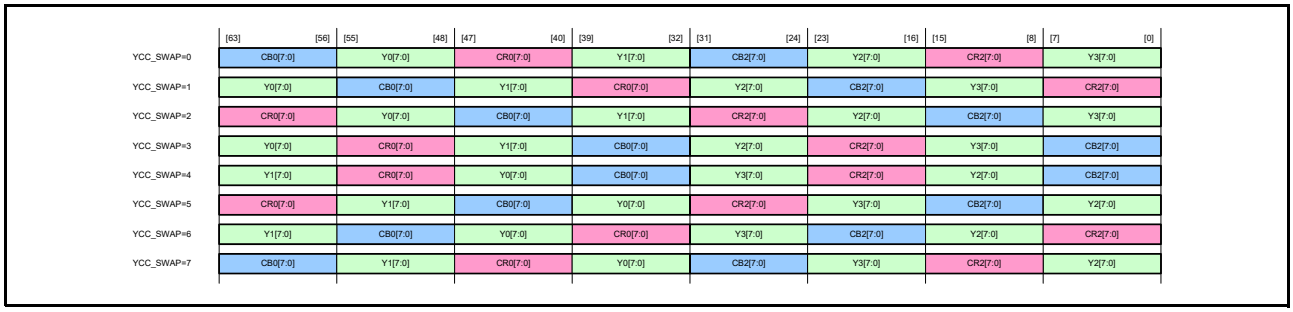


図 33.6　YCbCr422 のデータスワップ制御時のデータ割り付け

表33.10　エンディアン制御

レジスタ名	ビット名	初期値	説　　明
GR_FLM6	GR_RDSWA[2:0]	0	8ビット/16ビット/32ビットスワップ設定 GR0_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7)［8bitスワップ］ 010：(3) (4) (1) (2) (7) (8) (5) (6)［16bitスワップ］ 011：(4) (3) (2) (1) (8) (7) (6) (5)［16bitスワップ＋8bitスワップ］ 100：(5) (6) (7) (8) (1) (2) (3) (4)［32bitスワップ］ 101：(6) (5) (8) (7) (2) (1) (4) (3) ［32bitスワップ＋8bitスワップ］ 110：(7) (8) (5) (6) (3) (4) (1) (2) ［32bitスワップ＋16bitスワップ］ 111：(8) (7) (6) (5) (4) (3) (2) (1) ［32bitスワップ＋16bitスワップ＋8bitスワップ］
GR_FLM6	GR_YCC_SWAP[2:0]	0	YCbCr422フォーマット時バッファ読み出しデータのスワップ制御（注1） 0：CbY0/Cr/Y1 1：Y0/Cb/Y1/Cr 2：Cr/Y0/Cb/Y1 3：Y0/Cr/Y1/Cb 4：Y1/Cr/Y0/Cb 5：Cr/Y1/Cb/Y0 6：Y1/Cb/Y0/Cr 7：Cb/Y1/Cr/Y0

注1.　本ビットはグラフィックス（0）のみ存在します。

(11) 読み出しデータの表示開始画素設定

フレームバッファ上のデータに対して水平方向にオフセットをつけて表示を行う場合は、GR_BASE[31:0]、GR_STA_POS[5:0] で表示開始画素を設定します。GR_BASE[31:0]、GR_STA_POS[5:0] の値は、各フォーマットで計算式が異なります。表示開始の水平オフセットを H_OFF とすると下表で計算できます。

表 33.11　各フォーマット時の表示開始画素位置の計算式

映像／グラフィックスのフォーマット	1 画素のビット数	計算式（注 1）
RGB888 αRGB8888、RGBα8888 YCbCr422（注 2） YCbCr444（注 3）	32	GR_BASE[31:3] ＝ int (H_OFF÷2) GR_STA_POS[5:0] ＝ mod (H_OFF÷2)
RGB565 αRGB1555、RGBα5551 αRGB4444	16	GR_BASE[31:3] ＝ int (H_OFF÷4) GR_STA_POS[5:0] ＝ mod (H_OFF÷4)
CLUT8	8	GR_BASE[31:3] ＝ int (H_OFF÷8) GR_STA_POS[5:0] ＝ mod (H_OFF÷8)
CLUT4	4	GR_BASE[31:3] ＝ int (H_OFF÷16) GR_STA_POS[5:0] ＝ mod (H_OFF÷16)
CLUT1	1	GR_BASE[31:3] ＝ int (H_OFF÷64) GR_STA_POS[5:0] ＝ mod (H_OFF÷64)

注 1.　int()関数は商、mod()関数は余りを出力します。
注 2.　グラフィックス（2）、（3）は YCbCr422 フォーマットに対応していません。YCbCr422 フォーマットは Cb/Y0/Cr/Y1 の画素 32 ビット構成ですので、開始位置制御は 32 ビット単位の調整となります。
注 3.　グラフィックス (2)、(3) は YCbCr444 フォーマットに対応していません。

表 33.12　読み出しデータの表示開始画素設定

レジスタ名	ビット名	初期値	説　明
GR_FLM6	GR_STA_POS[5:0]	0	データの読み飛ばし量 ラインの先頭から GR_STA_POS 分のデータを読み飛ばします。
GR_FLM2	GR_BASE[31: 0]	0	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32 バイトバースト転送時は GR_BASE[4:3]、128 バイトバースト転送時は GR_BASE[6:3] を参照し、先頭ラインデータの読み飛ばしを行います。 下位 3 ビットは 000 固定してください。

(12) YCbCr422 → YCbCr444 変換

グラフィックス（0）の YCbCr422 フォーマットを YCbCr444 フォーマットに変換します。
グラフィックス（2）、（3）に本機能は存在しません。

表 33.13　YCbCr422→YCbCr444 変換

レジスタ名	ビット名	初期値	説　明
GR_FLM6	GR_CNV444_MD	0	YCbCr422→YCbCr444 変換時の補間モード設定（注 1） 0：ホールド補間 1：平均値補間

注 1.　グラフィックス（2）、（3）は YCbCr422 フォーマットに対応していないため、本ビットは設けていません。

(13) ビット拡張

GR_FORMAT[3:0] が 0 ～ 3 のとき、RGB565、RGB888、αRGB1555、αRGB4444 フォーマットを αRGB8888 フォーマットに変換します。また、GR_FORMAT[3:0] が 10 のときは、RGBα5551 フォーマットを RGBα8888 フォーマットに変換します。なお、RGBα5551 フォーマットから RGBα8888 フォーマットへの変換は、αRGB5551 フォーマットから αRGB8888 フォーマットへの変換と α の位置が異なるだけですので、省略します。

RGB565 → αRGB8888 フォーマット変換
変換後 α[7:0] ＝ 255 固定
変換後 R[7:0] ＝ R[4:0]×263÷32（少数点第一位で四捨五入）#R［4:0］×255÷31 の近似式
変換後 G[7:0] ＝ G[5:0]×259÷64（少数点第一位で四捨五入）#G［5:0］×255÷63 の近似式
変換後 B[7:0] ＝ B[4:0]×263÷32（少数点第一位で四捨五入）#B［4:0］×255÷31 の近似式

RGB888 → αRGB8888 フォーマット変換
変換後 α[7:0] ＝ 255 固定

αRGB1555 → αRGB8888 フォーマット変換
変換後 α[7:0] ＝ α 入力 ’1’ のときは GR_A1 参照、0 のときは GR_A0 参照
変換後 R[7:0] ＝ R[4:0]×263÷32（少数点第一位で四捨五入）#R［4:0］×255÷31 の近似式
変換後 G[7:0] ＝ G[4:0]×263÷32（少数点第一位で四捨五入）#G［4:0］×255÷31 の近似式
変換後 B[7:0] ＝ B[4:0]×263÷32（少数点第一位で四捨五入）#B［4:0］×255÷31 の近似式

αRGB4444 → αRGB8888 フォーマット変換
変換後 α[7:0] ＝ α[3:0]×17
変換後 R[7:0] ＝ R[3:0]×17
変換後 G[7:0] ＝ G[3:0]×17
変換後 B[7:0] ＝ B[3:0]×17

(14) バッファアンダフロー処理

フレームバッファからの読み出し処理にてバストラフィック等で読み出しできなかった場合、アンダフロー割り込み信号を出力します。

33.1.3 グラフィックス領域設定

グラフィックスの表示領域は、水平同期信号、垂直同期信号の立ち上がりエッジを基準にGR_GRC_HS[10:0]、GR_GRC_HW[10:0]、GR_GRC_VS[10:0]、GR_GRC_VW[10:0] で設定します。

図 33.7 にグラフィックスの表示領域を示します。

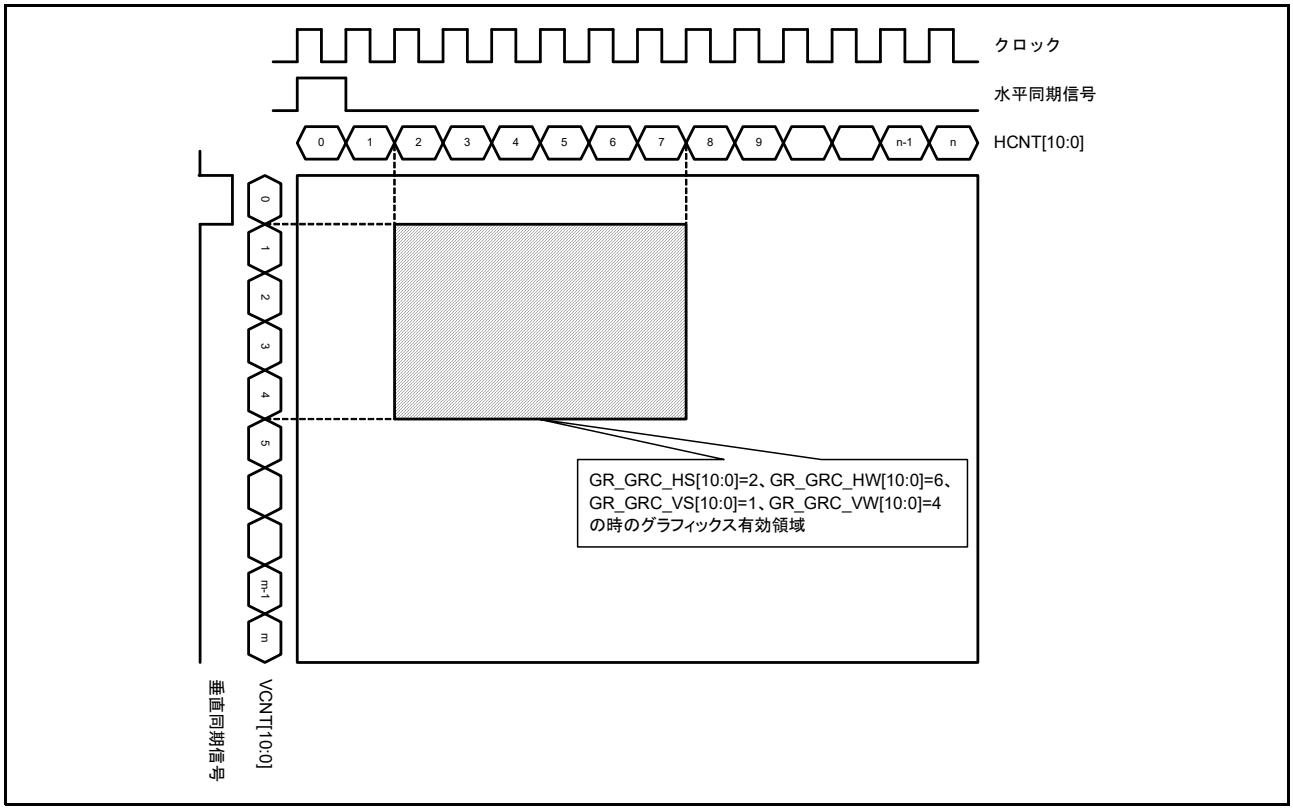


図 33.7 グラフィックスの表示領域

GR_GRC_DISP_ON ＝ 1 にすることでグラフィックス領域の枠を表示することができます。

表 33.14 グラフィックスの表示領域設定

レジスタ名	ビット名	初期値	説　　明
GR_AB3	GR_GRC_HS[10:0]	0	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR_GRC_HS+GR_GRC_HWが2015クロック以内になるように設定してください。
GR_AB3	GR_GRC_HW[10:0]	0	グラフィックス画像領域の水平幅設定 注.　水平幅1、2画素表示を行う場合は、GR_HW＝2、GR_GRC_HW＝1（1画素）、2（2画素）と設定してください。
GR_AB2	GR_GRC_VS[10:0]	0	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR_GRC_VS+GR_GRC_VWが2039ライン以内になるように設定してください。
GR_AB2	GR_GRC_VW[10:0]	0	グラフィックス画像領域の垂直幅設定
GR_AB1	GR_GRC_DISP_ON	0	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン

33.1.4 指定ライン割り込み生成

GR_LINE[10:0] で設定したライン時に割り込み信号を発生します。

表33.15 指定ライン割り込み

レジスタ名	ビット名	初期値	説 明
GR_CLUT_INT	GR_LINE[10:0]	0	ライン割り込み設定（注1） ライン数がレジスタGR_LINEの値と一致するとき、割り込み信号を出力します。本機能は、グラフィックス(3)に存在する機能です。グラフィックス(3)の本機能は、グラフィックス（3）を使用しない場合でも動作します。

注1. グラフィックス（3）に存在する機能です。グラフィックス（0）、（2）には、本ビットは存在しません。

33.1.5 フレームバッファ読み出し信号フォーマットとアルファブレンドの対応

GR_FORMAT[3:0] でグラフィックスデータのフレームバッファ読み出し信号フォーマットを選択します。

表 33.16 に各信号フォーマットに対するアルファブレンドの対応表を示します。α 値の優先順位は、矩形領域アルファブレンド＞クロマキー＞画素単位アルファブレンドとなります。

表33.16 読み出し信号フォーマットとアルファブレンドの対応表

GR_FORMAT [3:0]	信号フォーマット	矩形領域 アルファブレンド	RGB参照 クロマキー	CLUT参照 クロマキー	画素単位 アルファブレンド
0	RGB565	○	○（注1）	×	×（注2）
1	RGB888	○	○	×	×（注2）
2	αRGB1555	○	○（注1、注3）	×	○（注3）
3	αRGB4444	○	○（注1）	×	○
4	αRGB8888	○	○	×	○
5	CLUT8	○	×	○	○
6	CLUT4	○	×	○	○
7	CLUT1	○（注4）	×	○（注4）	○（注4）
8	YCbCr422	×（注5）	×（注5）	×（注5）	×（注5）
9	YCbCr444	×（注5）	×（注5）	×（注5）	×（注5）
10	RGBα5551	○	○（注1、注3）	×	○（注3）
11	RGBα8888	○	○	×	○

注1. フレームバッファ読み出し信号フォーマットが各8ビットではない場合のRGB参照クロマキーは、演算により各8ビットに換算します（「33.1.2（13）ビット拡張」参照）。
注2. α値を255として扱うため、カレントグラフィックス表示固定になります。
注3. フレームバッファ読み出しデータのアルファ値は1ビットです。この1ビット信号により、8ビットのα値を格納したレジスタ2セットのどちらかを選択します。
注4. フレームバッファ信号のCLUT値は1ビットです。この1ビット信号により、各8ビットのα/G/B/R値を格納したレジスタ2セットのどちらかを選択します。CLUTテーブルは参照しません。
注5. グラフィックス（0）はYCbCr422、YCbCr444を表示できますが、各種ブレンド／クロマキー処理はできません。

33.1.6 表示選択

GR_DISP_SEL[1:0] で背景色、下層グラフィックス、カレントグラフィックス、下層グラフィックスとカレントグラフィックスのブレンドの 4 種類の表示を選択します。ブレンド時は、矩形領域アルファブレンド、矩形領域アルファブレンドでのカレント α とのマルチプライ、RGB 参照クロマキー、CLUT 参照クロマキー、画素単位アルファブレンド、画素単位アルファブレンドでのプレマルチプルドの処理を選択できます。本機能は VIN 合成部には存在しません。

表 33.17 に表示選択の一覧表を示します。

表 33.17 表示選択の一覧表

GR_DISP_SEL[1:0]	GR_ARC_ON	GR_CK_ON	GR_ARC_MUL	GR_ACALC_MD	グラフィックス領域内の処理	グラフィックス領域外の処理
0	X	X	X	X	背景色	背景色
1	X	X	X	X	下層グラフィックス	下層グラフィックス
2	X	X	X	X	カレントグラフィックス	背景色
3	1	X	0	0	矩形領域アルファブレンド（注 1）	下層グラフィックス
3	1	X	0	1	設定禁止	
3	1	X	1	0	矩形領域アルファブレンドでのカレント α とのマルチプライ（注 2）	下層グラフィックス
3	1	X	1	1	矩形領域アルファブレンドでのカレント α とのマルチプライで、α はプレマルチプルド（注 2）	下層グラフィックス
3	0	1	X	X	RGB 参照クロマキー または CLUT 参照クロマキー	下層グラフィックス
3	0	0	X	0	画素単位アルファブレンド（注 2）	下層グラフィックス
3	0	0	X	1	画素単位アルファブレンドでのプレマルチプルド（注 2）	下層グラフィックス

注1. 矩形領域アルファブレンド機能は、スケーリング部のグラフィックス（0）には存在しません。
注2. 矩形領域アルファブレンドでのカレントαとのマルチプライ、画素単位アルファブレンド機能は、グラフィックス（2）、（3）にのみ存在します。

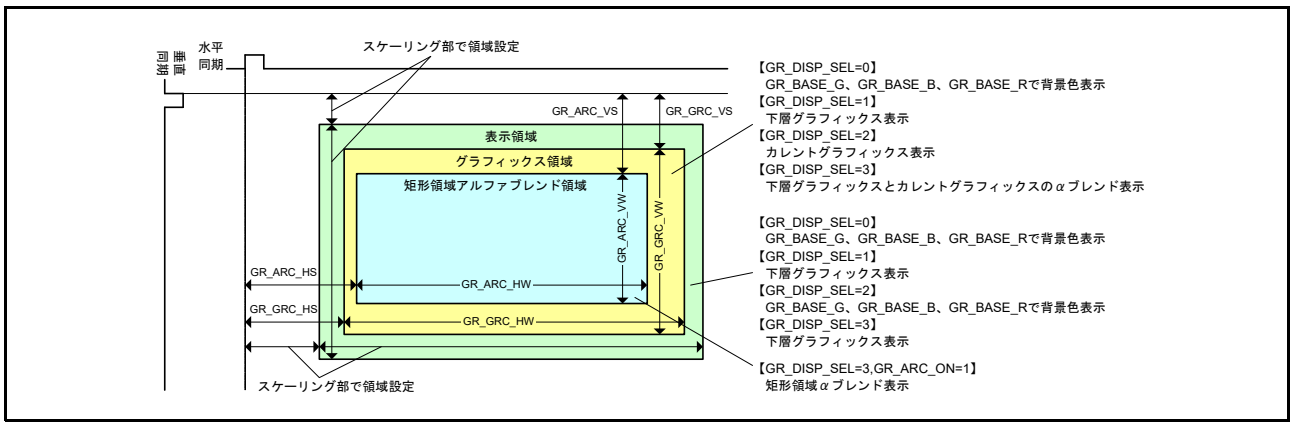


図 33.8 グラフィックス表示選択図

図 33.9 に GR_DISP_SEL ＝ 3 時のグラフィックスプレーン図を示します。
下層グラフィックス、カレントグラフィックスの対応は図 33.1 を参照してください。

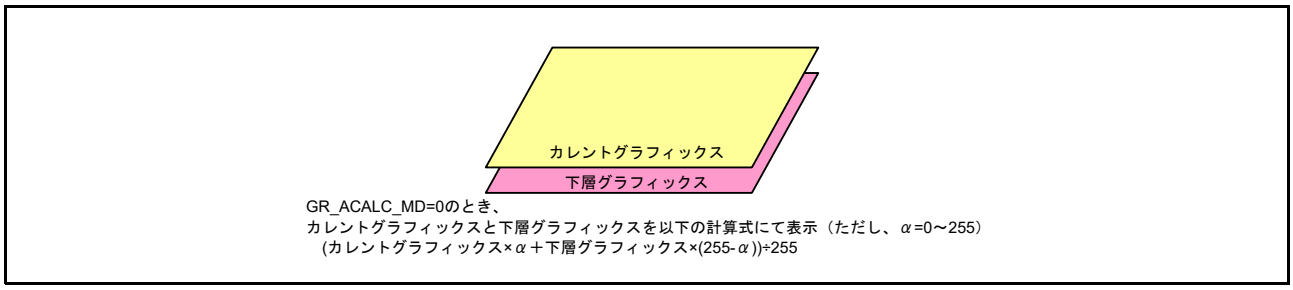


図 33.9　GR_DISP_SEL ＝ 3 時のグラフィックスプレーン図

表 33.18　アルファブレンド設定

レジスタ名	ビット名	初期値	説　　明
GR_AB1	GR_DISP_SEL[1:0]	0	グラフィックス表示設定 0：背景色表示 1：下層グラフィックス表示 2：カレントグラフィックス表示 3：下層グラフィックスとカレントグラフィックスのブレンド表示（注1）
GR_AB1	GR_ARC_ON	0	矩形領域アルファブレンド処理オン／オフ設定（注2） 0：オフ 1：オン
GR_AB1	GR_ARC_MUL	0	矩形領域アルファブレンド時の、カレントαとのマルチプライ処理オン／オフ（注3） 0：オフ 1：オン
GR_AB1	GR_ACALC_MD	0	画素単位アルファブレンド時の、プレマルチプルド処理のオン／オフ（注3） 0：オフ 1：オン
GR_AB7	GR_CK_ON	0	CLUT 参照／RGB 参照クロマキー処理オン／オフ設定 0：オフ 1：オン

注1.　グラフィックス（0）では、クロマキー処理のみ可能です。クロマキー処理を行う際は、カレントグラフィックスのみを表示させるために、クロマキー対象画素を置換するα値およびクロマキー対象外画素のα値を255にしてください。
注2.　グラフィックス（2）、（3）のみに存在する機能です。グラフィックス（0）には、本ビットは存在しません。
注3.　グラフィックス（2）、（3）のみに存在する機能です。グラフィックス（0）には、本ビットは存在しません。

33.1.7 背景色表示処理

GR_BASE_G[7:0]、GR_BASE_B[7:0]、GR_BASE_R[7:0] で設定した色を表示します。
G 出力＝ GR_BASE_G
B 出力＝ GR_BASE_B
R 出力＝ GR_BASE_R

表 33.19 背景色設定

レジスタ名	ビット名	初期値	説 明
GR_BASE	GR_BASE_G[7:0]	0	背景色 G 信号 G：8 ビット符号無し（0～255[LSB]）
GR_BASE	GR_BASE_B[7:0]	0	背景色 B 信号 B：8 ビット符号無し（0～255[LSB]）
GR_BASE	GR_BASE_R[7:0]	0	背景色 R 信号 R：8 ビット符号無し（0～255[LSB]）

33.1.8 下層グラフィックス表示処理

下層グラフィックスを表示します。
G 出力＝下層グラフィックス G 入力
B 出力＝下層グラフィックス B 入力
R 出力＝下層グラフィックス R 入力

33.1.9 カレントグラフィックス表示処理

カレントグラフィックスを表示します。
G 出力＝カレントグラフィックス G 入力
B 出力＝カレントグラフィックス B 入力
R 出力＝カレントグラフィックス R 入力

33.1.10 矩形領域アルファブレンド表示処理

矩形領域アルファブレンド処理の矩形領域は、水平同期信号、垂直同期信号の立ち上がりエッジを基準に GR_ARC_HS[10:0]、GR_ARC_HW[10:0]、GR_ARC_VS[10:0]、GR_ARC_VW[10:0] で設定します。本機能はグラフィックス（0）には存在しません。

図 33.10 に矩形領域アルファブレンド処理の領域設定を示します。

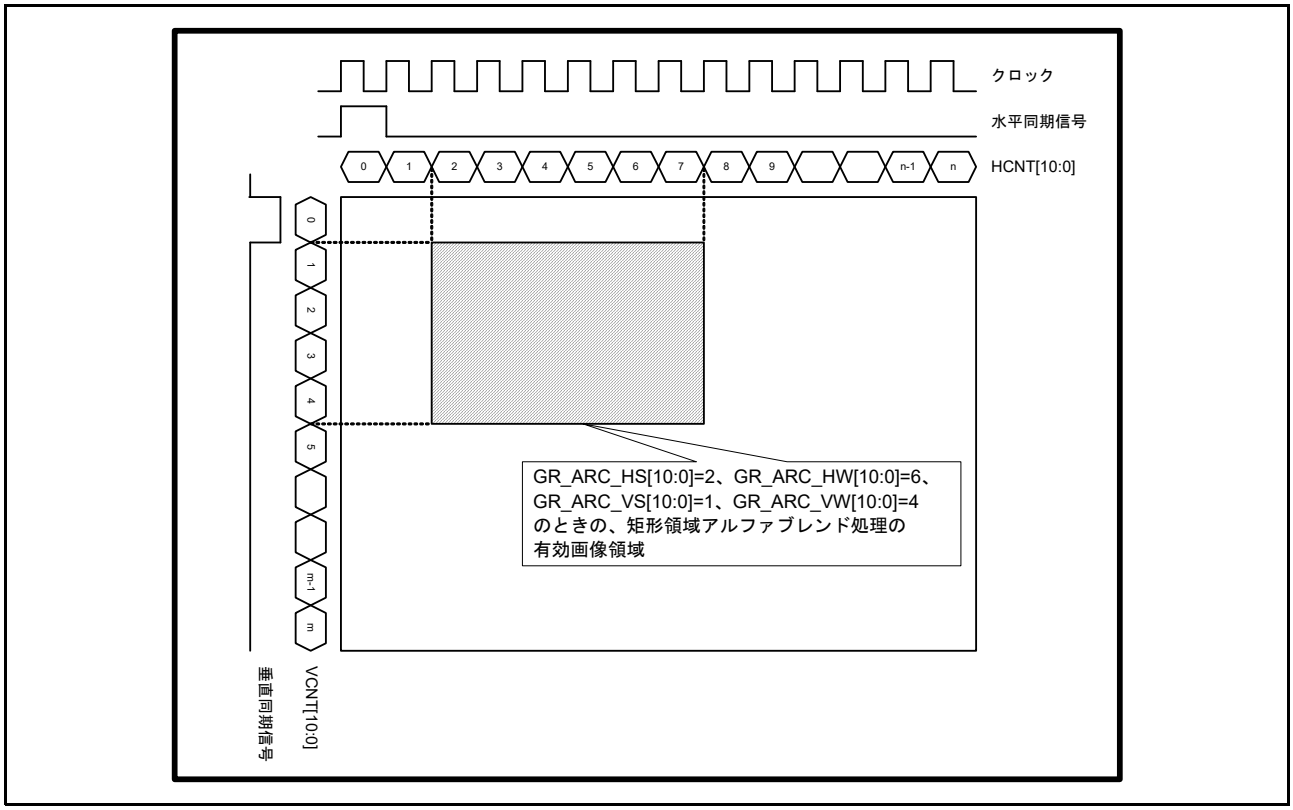


図 33.10　矩形領域アルファブレンド処理の領域設定

GR_ARC_DISP_ON ＝ 1 にすることでグラフィックス領域の枠を表示することができます。

表 33.20　矩形領域アルファブレンド処理の領域設定

レジスタ名	ビット名	初期値	説　　明
GR_AB5	GR_ARC_HS[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
GR_AB5	GR_ARC_HW[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の水平幅設定
GR_AB4	GR_ARC_VS[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
GR_AB4	GR_ARC_VW[10:0]	0	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定
GR_AB1	GR_ARC_DISP_ON	0	矩形領域アルファブレンド処理の有効画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン

矩形領域アルファブレンド処理は、GR_ARC_DEF[7:0]、GR_ARC_MODE、GR_ARC_COEF[7:0]、GR_ARC_RATE[7:0] でフェードイン／アウト係数を設定することにより、カレントグラフィックスのフェードイン、フェードアウトを行います。

まず、GR_ARC_DEF[7:0] を α 値に代入します。

垂直同期信号がレジスタ GR_ARC_RATE[7:0]+1 と同じ回数立ち上がるたびに、GR_ARC_COEF[7:0] を α 値に加減算します。

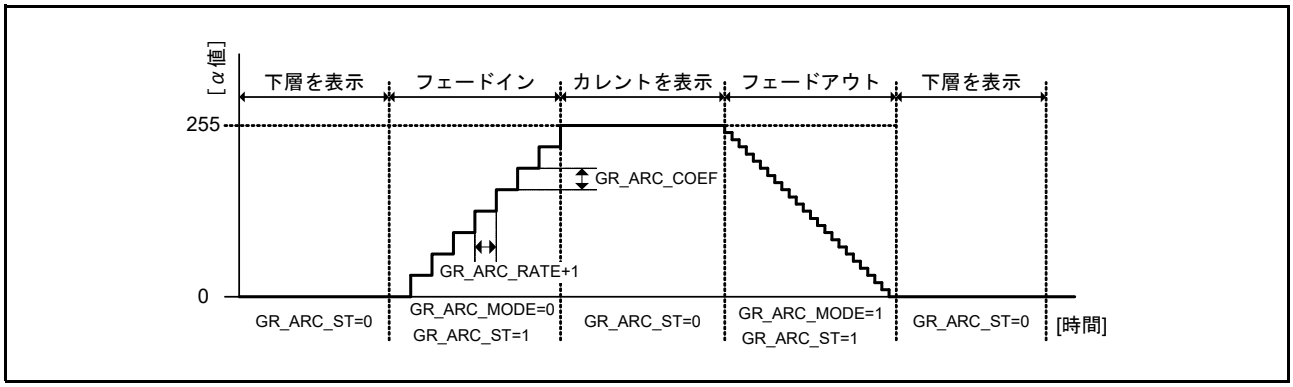


図 33.11　フェードイン、フェードアウト

表 33.21　矩形領域アルファブレンド処理設定

レジスタ名	ビット名	初期値	説　　明
GR_AB7	GR_ARC_DEF[7:0]	0	矩形領域アルファブレンド処理のアルファ初期値
GR_AB6	GR_ARC_MODE	0	矩形領域アルファブレンド処理モード 0：加算 1：減算
GR_AB6	GR_ARC_COEF[7:0]	0	矩形領域アルファブレンド処理のアルファ係数（0～255） [7:0]：変化量（絶対値表記）
GR_AB6	GR_ARC_RATE[7:0]	0	矩形領域アルファブレンド処理のフレームレート-1
GR_MON	GR_ARC_ST	―	矩形領域アルファブレンド処理のステータスフラグ 0：加算または減算処理完了 （α値が‘0’または255の状態） 1：加算または減算処理中

下記式で設定した値を後述のアルファブレンド演算に適用します。
α 値＝フェードイン／アウト係数
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

33.1.11 RGB 参照クロマキー表示処理

下記 3 式すべてを満たす画素に対して RGB 参照クロマキー処理を行います。
カレントグラフィックス G 入力＝ GR_CK_KG
カレントグラフィックス B 入力＝ GR_CK_KB
カレントグラフィックス R 入力＝ GR_CK_KR

RGB 参照クロマキー処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。本機能は VIN 合成部には存在しません。

α 値＝ GR_CK_A
G 値＝ GR_CK_G
B 値＝ GR_CK_B
R 値＝ GR_CK_R

RGB 参照クロマキー処理を行わない画素は下記式で設定した値を後述のアルファブレンド演算式に適用します。
α 値＝カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

表 33.22 RGB 参照クロマキー処理設定

レジスタ名	ビット名	初期値	説　　明
GR_AB8	GR_CK_KG[7:0]	0	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
GR_AB8	GR_CK_KB[7:0]	0	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
GR_AB8	GR_CK_KR[7:0]	0	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_A[7:0]	0	RGB参照クロマキー処理置換後アルファ信号（注1） α：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_G[7:0]	0	RGB参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_B[7:0]	0	RGB参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
GR_AB9	GR_CK_R[7:0]	0	RGB参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注1. グラフィックス（0）で本機能を使用する場合は、255に設定してください。

33.1.12 CLUT 参照クロマキー表示処理

下記式を満たす画素に対して CLUT 参照クロマキー処理を行います。
カレントグラフィックス CLUT 入力＝ GR_CK_KCLUT

CLUT 参照クロマキー処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。本機能は VIN 合成部には存在しません。

α 値＝ GR_CK_A
G 値＝ GR_CK_G
B 値＝ GR_CK_B
R 値＝ GR_CK_R

CLUT 参照クロマキー処理を行わない画素は下記式で設定した値を後述のアルファブレンド演算式に適用します。
α 値＝カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

表 33.23 CLUT参照クロマキー処理設定

レジスタ名	ビット名	初期値	説 明
GR_AB8	GR_CK_KCLUT[7:0]	0	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
GR_AB10	GR_A0[7:0]	0	CLUT1のα0信号（注1） CLUT1フォーマットかつCLUT1＝0のときにα信号に置換 αRGB1555フォーマットかつα＝0のときにα信号に置換
GR_AB10	GR_G0[7:0]	0	CLUT1のG0信号 CLUT1フォーマットかつCLUT1＝0のときにG信号に置換
GR_AB10	GR_B0[7:0]	0	CLUT1のB0信号 CLUT1フォーマットかつCLUT1＝0のときにB信号に置換
GR_AB10	GR_R0[7:0]	0	CLUT1のR0信号 CLUT1フォーマットかつCLUT1＝0のときにR信号に置換
GR_AB11	GR_A1[7:0]	0	CLUT1のα1信号（注1） CLUT1フォーマットかつCLUT1＝1のときにα信号に置換 αRGB1555フォーマットかつα＝1のときにα信号に置換
GR_AB11	GR_G1[7:0]	0	CLUT1のG1信号 CLUT1フォーマットかつCLUT1＝1のときにG信号に置換
GR_AB11	GR_B1[7:0]	0	CLUT1のB1信号 CLUT1フォーマットかつCLUT1＝1のときにB信号に置換
GR_AB11	GR_R1[7:0]	0	CLUT1のR1信号 CLUT1フォーマットかつCLUT1＝1のときにR信号に置換

注1. グラフィックス（0）で本機能を使用する場合は、255に設定してください。

33.1.13 画素単位アルファブレンド表示処理

画素単位アルファブレンド処理は下記式で設定した値を後述のアルファブレンド演算式に適用します。本機能は、グラフィックス (0)、VIN 合成部には存在しません。

α 値＝カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

33.1.14 アルファブレンド演算式

以下のとおり、信号 α 値により、2 系統の入力信号のアルファブレンド処理をします。(小数点以下切り上げ)

[GR_ACALC_MD=0 の時]
G 出力＝（G 値 ×α 値＋下層グラフィックス G 入力 ×（255 － α 値））÷256
B 出力＝（B 値 ×α 値＋下層グラフィックス B 入力 ×（255 － α 値））÷256
R 出力＝（R 値 ×α 値＋下層グラフィックス R 入力 ×（255 － α 値））÷256

[GR_ACALC_MD=1（プリマルチプルド）の時]
G 出力＝（G 値＋下層グラフィックス G 入力 ×（255 － α 値））÷256
B 出力＝（B 値＋下層グラフィックス B 入力 ×（255 － α 値））÷256
R 出力＝（R 値＋下層グラフィックス R 入力 ×（255 － α 値））÷256

33.1.15 CLUT テーブル

CLUT8/CLUT4 時は CLUT テーブルを参照し αRGB8888 に展開します。CLUT1 時は、レジスタを参照し αRGB8888 に展開します。

図 33.12 に CLUT テーブルのデータ配置を示します。

図 33.12 CLUT テーブルのデータ配置

CLUT テーブルは、下記アドレスに配置されています。
グラフィックス（0）CLUT テーブル：H'FCFF6000 ～ H'FCFF63FF
（CLUT4 時は H'FCFF6000 ～ H'FCFF603F まで有効）
グラフィックス（2）CLUT テーブル：H'FCFF6800 ～ H'FCFF6BFF
（CLUT4 時は H'FCFF6800 ～ H'FCFF683F まで有効）
グラフィックス（3）CLUT テーブル：H'FCFF6C00 ～ H'FCFF6FFF
（CLUT4 時は H'FCFF6C00 ～ H'FCFF6C3F まで有効）

CLUT テーブルは、同一アドレスに 2 面（CLUT テーブル 0、CLUT テーブル 1）あります。GR_CLT_SEL で CLUT テーブルを選択して使用します。これにより本モジュールが CLUT テーブルを参照している際でも、反対面の CLUT テーブルを書き換えることができます。

CLUT テーブルへの書き込み後に切り替えを行う場合は、該当 CLUT テーブルの任意のアドレス空間に対してダミーリードを行ってから CLUT テーブルの切り替えを行ってください。

表 33.24　CLUT テーブル選択設定

レジスタ名	ビット名	初期値	説　明
GR_CLUT	GR_CLT_SEL	0	CLUT テーブル選択信号 0：CLUT テーブル 0 を選択 CLUT テーブル 0 を参照し αRGB8888 に展開します。 CPU 側は CLUT テーブル 1 にリード／ライトすることができます。 1：CLUT テーブル 1 を選択 CLUT テーブル 1 を参照し αRGB8888 に展開します。 CPU 側は CLUT テーブル 0 にリード／ライトすることができます。

33.1.16　矩形領域アルファブレンドでのカレント α とのマルチプライ表示処理

矩形領域アルファブレンド時にカレント α とのマルチプライ処理を行う場合、下記式で設定した値を上述したアルファブレンド演算式に適用します。

[GR_ARC_MUL = 0 の時]
α 値＝フェードイン／アウト係数
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

[GR_ARC_MUL = 1（マルチプライ）の時]
α 値＝フェードイン／アウト係数 × カレントグラフィックス α 入力
G 値＝カレントグラフィックス G 入力
B 値＝カレントグラフィックス B 入力
R 値＝カレントグラフィックス R 入力

33.1.17　VIN 合成部の下層グラフィックス選択

VIN 合成部での下層グラフィックスに、グラフィックス (0) を割り当てます。

表 33.25　スケーリング部の下層面指定

レジスタ名	ビット名	初期値	説　明
GR_VIN_AB1	GR_VIN_SCL_UND_SEL	0	スケーリング部の下層面の指定 0：グラフィックス (0) を下層グラフィックスとする。 1：設定禁止

33.2 レジスタの説明

表 33.26 に、レジスタ構成を示します。

【レジスタ説明の記号説明】
初期値　：リセット後のレジスタ値
－　　：不定値
R/W　　：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0　：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1　：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R　　：リードのみ可。書き込む値は常に 0 にしてください。
－ /W　：ライトのみ可。読み出し値は不定です。

表 33.26 にグラフィックス（2）のレジスタ構成を示します。
表 33.27 にグラフィックス（3）のレジスタ構成を示します。
表 33.28 に CLUT テーブル構成を示します。
表 33.29 に VIN 合成部のレジスタ構成を示します。

グラフィックス（0）のレジスタ構成はスケーリング部に記載しています。

表33.26　画面合成部（グラフィックス（2））レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
グラフィックス（2）レジスタ更新制御レジスタ	GR2_UPDATE	R/WC1	H'0000 0000	H'FCFF 7700	32
フレームバッファ読み出し制御レジスタ（グラフィックス（2））	GR2_FLM_RD	R/W	H'0000 0000	H'FCFF 7704	32
フレームバッファ制御レジスタ1（グラフィックス（2））	GR2_FLM1	R/W	H'0000 0000	H'FCFF 7708	32
フレームバッファ制御レジスタ2（グラフィックス（2））	GR2_FLM2	R/W	H'0000 0000	H'FCFF 770C	32
フレームバッファ制御レジスタ3（グラフィックス（2））	GR2_FLM3	R/W	H'0000 0000	H'FCFF 7710	32
フレームバッファ制御レジスタ4（グラフィックス（2））	GR2_FLM4	R/W	H'0000 0000	H'FCFF 7714	32
フレームバッファ制御レジスタ5（グラフィックス（2））	GR2_FLM5	R/W	H'0000 03FF	H'FCFF 7718	32
フレームバッファ制御レジスタ6（グラフィックス（2））	GR2_FLM6	R/W	H'0000 0000	H'FCFF 771C	32
アルファブレンド制御レジスタ1（グラフィックス（2））	GR2_AB1	R/W	H'0000 0000	H'FCFF 7720	32
アルファブレンド制御レジスタ2（グラフィックス（2））	GR2_AB2	R/W	H'0000 0000	H'FCFF 7724	32
アルファブレンド制御レジスタ3（グラフィックス（2））	GR2_AB3	R/W	H'0000 0000	H'FCFF 7728	32
アルファブレンド制御レジスタ4（グラフィックス（2））	GR2_AB4	R/W	H'0000 0000	H'FCFF 772C	32
アルファブレンド制御レジスタ5（グラフィックス（2））	GR2_AB5	R/W	H'0000 0000	H'FCFF 7730	32
アルファブレンド制御レジスタ6（グラフィックス（2））	GR2_AB6	R/W	H'0000 0000	H'FCFF 7734	32
アルファブレンド制御レジスタ7（グラフィックス（2））	GR2_AB7	R/W	H'00FF 0000	H'FCFF 7738	32
アルファブレンド制御レジスタ8（グラフィックス（2））	GR2_AB8	R/W	H'0000 0000	H'FCFF 773C	32
アルファブレンド制御レジスタ9（グラフィックス（2））	GR2_AB9	R/W	H'0000 0000	H'FCFF 7740	32
アルファブレンド制御レジスタ10（グラフィックス（2））	GR2_AB10	R/W	H'0000 0000	H'FCFF 7744	32
アルファブレンド制御レジスタ11（グラフィックス（2））	GR2_AB11	R/W	H'0000 0000	H'FCFF 7748	32
背景色制御レジスタ（グラフィックス（2））	GR2_BASE	R/W	H'0000 0000	H'FCFF 774C	32
CLUTテーブル制御レジスタ（グラフィックス（2））	GR2_CLUT	R/W	H'0000 0000	H'FCFF 7750	32
ステータスモニタレジスタ（グラフィックス（2））	GR2_MON	R	H'0000 0000	H'FCFF 7754	32

表33.27　画面合成部（グラフィックス（3））レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
グラフィックス（3）レジスタ更新制御レジスタ	GR3_UPDATE	R/WC1	H'0000 0000	H'FCFF 7780	32
フレームバッファ読み出し制御レジスタ（グラフィックス（3））	GR3_FLM_RD	R/W	H'0000 0000	H'FCFF 7784	32
フレームバッファ制御レジスタ1（グラフィックス（3））	GR3_FLM1	R/W	H'0000 0000	H'FCFF 7788	32
フレームバッファ制御レジスタ2（グラフィックス（3））	GR3_FLM2	R/W	H'0000 0000	H'FCFF 778C	32
フレームバッファ制御レジスタ3（グラフィックス（3））	GR3_FLM3	R/W	H'0000 0000	H'FCFF 7790	32
フレームバッファ制御レジスタ4（グラフィックス（3））	GR3_FLM4	R/W	H'0000 0000	H'FCFF 7794	32
フレームバッファ制御レジスタ5（グラフィックス（3））	GR3_FLM5	R/W	H'0000 03FF	H'FCFF 7798	32
フレームバッファ制御レジスタ6（グラフィックス（3））	GR3_FLM6	R/W	H'0000 0000	H'FCFF 779C	32
アルファブレンド制御レジスタ1（グラフィックス（3））	GR3_AB1	R/W	H'0000 0000	H'FCFF 77A0	32
アルファブレンド制御レジスタ2（グラフィックス（3））	GR3_AB2	R/W	H'0000 0000	H'FCFF 77A4	32
アルファブレンド制御レジスタ3（グラフィックス（3））	GR3_AB3	R/W	H'0000 0000	H'FCFF 77A8	32
アルファブレンド制御レジスタ4（グラフィックス（3））	GR3_AB4	R/W	H'0000 0000	H'FCFF 77AC	32
アルファブレンド制御レジスタ5（グラフィックス（3））	GR3_AB5	R/W	H'0000 0000	H'FCFF 77B0	32
アルファブレンド制御レジスタ6（グラフィックス（3））	GR3_AB6	R/W	H'0000 0000	H'FCFF 77B4	32
アルファブレンド制御レジスタ7（グラフィックス（3））	GR3_AB7	R/W	H'00FF 0000	H'FCFF 77B8	32
アルファブレンド制御レジスタ8（グラフィックス（3））	GR3_AB8	R/W	H'0000 0000	H'FCFF 77BC	32
アルファブレンド制御レジスタ9（グラフィックス（3））	GR3_AB9	R/W	H'0000 0000	H'FCFF 77C0	32
アルファブレンド制御レジスタ10（グラフィックス（3））	GR3_AB10	R/W	H'0000 0000	H'FCFF 77C4	32
アルファブレンド制御レジスタ11（グラフィックス（3））	GR3_AB11	R/W	H'0000 0000	H'FCFF 77C8	32
背景色制御レジスタ（グラフィックス（3））	GR3_BASE	R/W	H'0000 0000	H'FCFF 77CC	32
CLUTテーブル・割り込み制御レジスタ（グラフィックス（3））	GR3_CLUT_INT	R/W	H'0000 0000	H'FCFF 77D0	32
ステータスモニタレジスタ（グラフィックス（3））	GR3_MON	R	H'0000 0000	H'FCFF 77D4	32

表33.28 CLUTテーブル構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
グラフィックス(0) CLUTテーブル	GR0_CLUTT	R/W	—	H'FCFF 6000 ～ H'FCFF 63FF	32
グラフィックス(2) CLUTテーブル	GR2_CLUTT	R/W	—	H'FCFF 6800 ～ H'FCFF 6BFF	32
グラフィックス(3) CLUTテーブル	GR3_CLUTT	R/W	—	H'FCFF 6C00 ～ H'FCFF 6FFF	32

表33.29 VIN合成部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
VIN合成部レジスタ更新制御レジスタ	GR_VIN_UPDATE	R/WC1	H'0000 0000	H'FCFF 7E00	32
アルファブレンド制御レジスタ1 （VIN合成部）	GR_VIN_AB1	R/W	H'0000 0000	H'FCFF 7E20	32

33.2.1 グラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	GR2_UPDATE	－	－	－	GR2_P_VEN	－	－	－	GR2_IBUS_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR2_UPDATE	0	R/WC1	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新します
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR2_P_VEN	0	R/WC1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_IBUS_VEN	0	R/WC1	フレームバッファ読み出しのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

33.2.2 フレームバッファ読み出し制御レジスタ（グラフィックス（2））（GR2_FLM_RD）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	GR2_R_ENB
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_R_ENB	0	R/W	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

注. 本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN＝1で更新されます。

33.2.3 フレームバッファ制御レジスタ 1（グラフィックス（2））（GR2_FLM1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_LN_OFF_DIR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR2_FLM_SEL[1:0]		—	—	—	—	—	—	—	GR2_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	GR2_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
9、8	GR2_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0：フレーム 0 を選択 1：GR2_FLM_NUM を選択 2：フレーム 0 を選択 3：設定禁止
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GR2_BST_MD	0	R/W	フレームバッファバースト転送モード 0：32 バイト 1：128 バイト

注． GR2_LN_OFF_DIR、GR2_FLM_SEL はグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）の GR2_IBUS_VEN＝1 で更新されます。
GR2_BST_MD はグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）の GR2_IBUS_VEN＝1 および GR2_P_VEN＝1 で更新されます。

33.2.4 フレームバッファ制御レジスタ 2（グラフィックス（2））（GR2_FLM2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_BASE[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_BASE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	GR2_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

注. 本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN＝1および GR2_P_VEN＝1で更新されます。

33.2.5 フレームバッファ制御レジスタ 3（グラフィックス（2））（GR2_FLM3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	GR2_LN_OFF[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	GR2_FLM_NUM[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	GR2_LN_ OFF[14:0]	0	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR2_BASE ライン1：GR2_BASE＋GR2_LN_OFF×1 ： ラインn：GR2_BASE＋GR2_LN_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	GR2_FLM_ NUM[9:0]	0	R/W	フレームバッファのフレーム番号 GR2_FLM_SEL＝1のとき、フレーム番号を手動設定します。

注. 本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN＝1で更新されます。

33.2.6 フレームバッファ制御レジスタ 4（グラフィックス（2））（GR2_FLM4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	GR2_FLM_OFF[22:16]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_FLM_OFF[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	GR2_FLM_OFF[22:0]	0	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0：GR2_BASE バッファ 1：GR2_BASE＋GR2_FLM_OFF×1 ： バッファ n：GR2_BASE＋GR2_FLM_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注. 本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN＝1で更新されます。

33.2.7 フレームバッファ制御レジスタ 5（グラフィックス（2））（GR2_FLM5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	GR2_FLM_LNUM[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	GR2_FLM_LOOP[10:0]										
初期値：	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_FLM_LNUM[10:0]	0	R/W	1フレームのライン数設定 ライン数は（GR2_FLM_LNUM＋1）ラインになります。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_FLM_LOOP[10:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は（GR2_FLM_LOOP＋1）ラインになります。

注. 本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN＝1で更新されます。

33.2.8 フレームバッファ制御レジスタ 6（グラフィックス（2））（GR2_FLM6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_FORMAT[3:0]				—	GR2_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	GR2_RDSWA[2:0]			—	—	—	—	GR2_STA_POS[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	GR2_ FORMAT[3:0]	0	R/W	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：設定禁止 9：設定禁止 10：RGBα5551 11：RGBα8888 12～15：設定禁止
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_HW [10:0]	0	R/W	水平有効期間の幅設定 幅は（GR2_HW＋1）画素になります。 注.　2以上の値を設定してください。
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12 ～ 10	GR2_ RDSWA[2:0]	0	R/W	8ビット/16ビット/32ビットスワップ設定 GR2_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7) [8bitスワップ] 010：(3) (4) (1) (2) (7) (8) (5) (6) [16bitスワップ] 011：(4) (3) (2) (1) (8) (7) (6) (5) [16bitスワップ＋8bitスワップ] 100：(5) (6) (7) (8) (1) (2) (3) (4) [32bitスワップ] 101：(6) (5) (8) (7) (2) (1) (4) (3) [32bitスワップ＋8bitスワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [32bitスワップ＋16bitスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [32bitスワップ＋16bitスワップ＋8bitスワップ]
9 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
5～0	GR2_STA_POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭からGR2_STA_POS分のデータを読み飛ばします。

注.　GR2_STA_POSはグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。
GR2_RDSWAはグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_UPDATE=1で更新されます。
GR2_FORMAT、GR2_HWはグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_IBUS_VEN＝1、およびGR2_P_VEN＝1で更新されます。

33.2.9　アルファブレンド制御レジスタ 1（グラフィックス（2））（GR2_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_ARC_MUL	GR2_ACALC_MD	－	GR2_ARC_ON	－	－	－	GR2_ARC_DISP_ON	－	－	－	GR2_GRC_DISP_ON	－	－	GR2_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	GR2_ARC_MUL	0	R/W	矩形領域アルファブレンド時の、カレントαとのマルチプライ処理オン／オフ 0：オフ 1：オン
14	GR2_ACALC_MD	0	R/W	画素単位アルファブレンド時の、プレマルチプルド処理のオン／オフ 0：オフ 1：オン
13	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	GR2_ARC_ON	0	R/W	矩形領域アルファブレンド処理オン／オフ設定 0：オフ、1：オン
11～9	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR2_ARC_DISP_ON	0	R/W	矩形領域アルファブレンド処理の画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
7～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR2_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
3、2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	GR2_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示 1：下層グラフィックス表示 2：カレントグラフィックス表示 3：下層グラフィックスとカレントグラフィックスのブレンド表示

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.10 アルファブレンド制御レジスタ 2（グラフィックス（2））（GR2_AB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	GR2_GRC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	GR2_GRC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_GRC_VS[10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR2_GRC_VS+GR2_GRC_VWが2039ライン以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_GRC_VW[10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.11 アルファブレンド制御レジスタ 3（グラフィックス（2））（GR2_AB3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	GR2_GRC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	GR2_GRC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_GRC_HS[10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR2_GRC_HS+GR2_GRC_HWが2015クロック以内になるように設定してください。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_GRC_HW[10:0]	0	R/W	グラフィックス画像領域の水平幅設定 注.　水平幅1、2画素表示を行う場合は、GR2_HW＝2、GR2_GRC_HW＝1（1画素）、2（2画素）と設定してください。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.12 アルファブレンド制御レジスタ 4（グラフィックス（2））（GR2_AB4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR2_ARC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR2_ARC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_ARC_VS [10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_ARC_VW [10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.13 アルファブレンド制御レジスタ 5（グラフィックス（2））（GR2_AB5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR2_ARC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR2_ARC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR2_ARC_ HS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR2_ARC_ HW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平幅設定

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.14 アルファブレンド制御レジスタ 6（グラフィックス（2））（GR2_AB6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	GR2_ARC_MODE	GR2_ARC_COEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	GR2_ARC_RATE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	GR2_ARC_MODE	0	R/W	矩形領域アルファブレンド処理モード 0：加算 1：減算
23～16	GR2_ARC_COEF [7:0]	0	R/W	矩形領域アルファブレンド処理のアルファ係数（0～255） [7:0]：変化量（絶対値表記）
15 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7 ～ 0	GR2_ARC_RATE [7:0]	0	R/W	矩形領域アルファブレンド処理のフレームレート-1

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.15 アルファブレンド制御レジスタ 7（グラフィックス（2））（GR2_AB7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GR2_ARC_DEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR2_CK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR2_ARC_ DEF[7:0]	255	R/W	矩形領域アルファブレンド処理のアルファ初期値
15 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_CK_ON	0	R/W	CLUT参照／RGB参照クロマキー処理オン／オフ設定 0：オフ、1：オン

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.16 アルファブレンド制御レジスタ 8（グラフィックス（2））（GR2_AB8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_CK_KCLUT[7:0]								GR2_CK_KG[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_CK_KB[7:0]								GR2_CK_KR[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_CK_KCLUT[7:0]	0	R/W	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR2_CK_KG[7:0]	0	R/W	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR2_CK_KB[7:0]	0	R/W	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR2_CK_KR[7:0]	0	R/W	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.17 アルファブレンド制御レジスタ 9（グラフィックス（2））（GR2_AB9）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_CK_A[7:0]								GR2_CK_G[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_CK_B[7:0]								GR2_CK_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_CK_A[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後アルファ信号 α：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR2_CK_G[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR2_CK_B[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR2_CK_R[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.18 アルファブレンド制御レジスタ 10（グラフィックス（2））（GR2_AB10）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_A0[7:0]								GR2_G0[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_B0[7:0]								GR2_R0[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_A0[7:0]	0	R/W	CLUT1のα0信号 CLUT1フォーマットかつCLUT1＝0のときにα信号に置換 αRGB1555 /RGBα5551 フォーマットかつα＝0のときにα信号に置換
23 ～ 16	GR2_G0[7:0]	0	R/W	CLUT1のG0信号 CLUT1フォーマットかつCLUT1＝0のときにG信号に置換
15 ～ 8	GR2_B0[7:0]	0	R/W	CLUT1のB0信号 CLUT1フォーマットかつCLUT1＝0のときにB信号に置換
7 ～ 0	GR2_R0[7:0]	0	R/W	CLUT1のR0信号 CLUT1フォーマットかつCLUT1＝0のときにR信号に置換

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.19 アルファブレンド制御レジスタ 11（グラフィックス（2））（GR2_AB11）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR2_A1[7:0]								GR2_G1[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_B1[7:0]								GR2_R1[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR2_A1[7:0]	0	R/W	CLUT1のα1信号 CLUT1フォーマットかつCLUT1＝1のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα＝1のときにα信号に置換
23 ～ 16	GR2_G1[7:0]	0	R/W	CLUT1のG1信号 CLUT1フォーマットかつCLUT1＝1のときにG信号に置換
15 ～ 8	GR2_B1[7:0]	0	R/W	CLUT1のB1信号 CLUT1フォーマットかつCLUT1＝1のときにB信号に置換
7 ～ 0	GR2_R1[7:0]	0	R/W	CLUT1のR1信号 CLUT1フォーマットかつCLUT1＝1のときにR信号に置換

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.20 背景色制御レジスタ（グラフィックス（2））（GR2_BASE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	GR2_BASE_G[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR2_BASE_B[7:0]								GR2_BASE_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR2_BASE_G[7:0]	0	R/W	背景色G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR2_BASE_B[7:0]	0	R/W	背景色B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR2_BASE_R[7:0]	0	R/W	背景色R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.21 CLUT テーブル制御レジスタ（グラフィックス（2））（GR2_CLUT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	GR2_CLT_SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR2_CLT_SEL	0	R/W	CLUTテーブル選択信号 0：CLUTテーブル0を選択 CLUTテーブル0を参照しαRGB8888に展開します。 CPU側はCLUTテーブル1にリード／ライトすることができます。 1：CLUTテーブル1を選択 CLUTテーブル1を参照しαRGB8888に展開します。 CPU側はCLUTテーブル0にリード／ライトすることができます。
15 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　本レジスタはすべてグラフィックス（2）レジスタ更新制御レジスタ（GR2_UPDATE）のGR2_P_VEN＝1で更新されます。

33.2.22 ステータスモニタレジスタ（グラフィックス（2））（GR2_MON）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	GR2_ARC_ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR2_ARC_ST	0	R	矩形領域アルファブレンド処理のステータスフラグ 0：加算または減算処理完了（α値が0または255の状態） 1：加算または減算処理中

33.2.23 グラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	GR3_UPDATE	－	－	－	GR3_P_VEN	－	－	－	GR3_IBUS_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR3 UPDATE	0	R/W C1	フレームバッファ読み込み制御のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR3_P_VEN	0	R/W C1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_IBUS_VEN	0	R/W C1	フレームバッファ読み出しのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

33.2.24 フレームバッファ読み出し制御レジスタ（グラフィックス（3））（GR3_FLM_RD）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	GR3_R_ENB
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_R_ENB	0	R/W	フレームバッファ読み出し許可 0：読み出しを禁止 1：読み出しを許可

注. 本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1で更新されます。

33.2.25 フレームバッファ制御レジスタ 1（グラフィックス（3））（GR3_FLM1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_LN_OFF_DIR
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR3_FLM_SEL[1:0]		—	—	—	—	—	—	—	GR3_BST_MD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR3_LN_OFF_DIR	0	R/W	フレームバッファのラインオフセットアドレスの方向設定 0：ラインオフセットアドレス分をインクリメント 1：ラインオフセットアドレス分をデクリメント
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	GR3_FLM_SEL[1:0]	0	R/W	フレームバッファアドレス設定信号の選択 0：フレーム0を選択 1：GR3_FLM_NUMを選択 2：フレーム0を選択 3：設定禁止
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_BST_MD	0	R/W	フレームバッファバースト転送モード 0：32バイト 1：128バイト

注. GR3_LN_OFF_DIR、GR3_FLM_SELはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1で更新されます。
GR3_BST_MDはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1およびGR3_P_VEN＝1で更新されます。

33.2.26 フレームバッファ制御レジスタ 2（グラフィックス（3））（GR3_FLM2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_BASE[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_BASE[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	GR3_BASE [31:0]	0	R/W	フレームバッファのベースアドレス フレームデータを格納するフレームバッファ上の先頭アドレスを設定します。 32バイトバースト転送時はGR_BASE[4:3]、128バイトバースト転送時は GR_BASE[6:3]を参照し、先頭ラインデータの読み飛ばしを行います。 下位3ビットは000固定してください。

注. 本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1および
GR3_P_VEN＝1で更新されます。

33.2.27 フレームバッファ制御レジスタ 3（グラフィックス（3））（GR3_FLM3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	GR3_LN_OFF[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	GR3_FLM_NUM[9:0]									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30 ～ 16	GR3_LN_ OFF[14:0]	0	R/W	フレームバッファのラインオフセットアドレス ラインの先頭アドレス計算時のラインオフセットアドレスを設定します。 ライン0：GR3_BASE ライン1：GR3_BASE＋GR3_LN_OFF×1 ： ラインn：GR3_BASE＋GR3_LN_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。
15 ～ 10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	GR3_FLM_ NUM[9:0]	0	R/W	フレームバッファのフレーム番号 GR3_FLM_SEL＝1のとき、フレーム番号を手動設定します。

注. 本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1で更新されます。

33.2.28 フレームバッファ制御レジスタ 4（グラフィックス（3））（GR3_FLM4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	GR3_FLM_OFF[22:16]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_FLM_OFF[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 23	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22 ～ 0	GR3_FLM_OFF[22:0]	0	R/W	フレームバッファのフレームオフセットアドレス 複数面のフレームバッファを使用する場合、各フレームの先頭アドレス計算時のフレームオフセットアドレスを設定します。 バッファ 0：GR3_BASE バッファ 1：GR3_BASE＋GR3_FLM_OFF×1 ： バッファ n：GR3_BASE＋GR3_FLM_OFF×n 32バイト転送時：下位5ビットは0_0000固定してください。 128バイト転送時：下位7ビットは000_0000固定してください。

注. 本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1で更新されます。

33.2.29 フレームバッファ制御レジスタ 5（グラフィックス（3））（GR3_FLM5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	GR3_FLM_LNUM[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	GR3_FLM_LOOP[10:0]										
初期値：	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_FLM_LNUM[10:0]	0	R/W	1フレームのライン数設定 ライン数は（GR3_FLM_LNUM＋1）ラインになります。
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_FLM_LOOP[10:0]	1023	R/W	アドレスをリング状に読み出す場合のライン数 ライン数は（GR3_FLM_LOOP＋1）ラインになります。

注. 本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1で更新されます。

33.2.30 フレームバッファ制御レジスタ 6（グラフィックス（3））（GR3_FLM6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_FORMAT[3:0]				—	GR3_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	GR3_RDSWA[2:0]			—	—	—	—	GR3_STA_POS[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 28	GR3_ FORMAT[3:0]	0	R/W	フレームバッファ読み出し信号のフォーマット設定 0：RGB565 1：RGB888 2：αRGB1555 3：αRGB4444 4：αRGB8888 5：CLUT8 6：CLUT4 7：CLUT1 8：設定禁止 9：設定禁止 10：RGBα5551 11：RGBα8888 12～15：設定禁止
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_HW [10:0]	0	R/W	水平有効期間の幅設定 幅は（GR3_HW＋1）画素になります。 注.　2以上の値を設定してください。
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12 ～ 10	GR3_ RDSWA[2:0]	すべて 0	R/W	8ビット/16ビット/32ビットスワップ設定 GR3_RDSWA[2:0]の3ビットで、以下のようにフレームバッファ読み出しのスワップ方法を指定します。 ビット0 0：8ビットスワップしない 1：8ビットスワップする ビット1 0：16ビットスワップしない 1：16ビットスワップする ビット2 0：32ビットスワップしない 1：32ビットスワップする 8ビットをひとまとまりにしたとき、以下のようにデータをスワップします。 (1)～(8)はそれぞれ8ビットのデータとします。 000：(1) (2) (3) (4) (5) (6) (7) (8) [スワップしない] 001：(2) (1) (4) (3) (6) (5) (8) (7) [8bitスワップ] 010：(3) (4) (1) (2) (7) (8) (5) (6) [16bitスワップ] 011：(4) (3) (2) (1) (8) (7) (6) (5) [16bitスワップ＋8bitスワップ] 100：(5) (6) (7) (8) (1) (2) (3) (4) [32bitスワップ] 101：(6) (5) (8) (7) (2) (1) (4) (3) [32bitスワップ＋8bitスワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [32bitスワップ＋16bitスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [32bitスワップ＋16bitスワップ＋8bitスワップ]
9 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
5～0	GR3_STA_POS[5:0]	0	R/W	データの読み飛ばし量 ラインの先頭からGR3_STA_POS分のデータを読み飛ばします。

注.　GR3_STA_POSはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。
GR3_RDSWAはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_UPDATE=1で更新されます。
GR3_FORMAT、GR3_HWはグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_IBUS_VEN＝1およびGR3_P_VEN＝1で更新されます。

33.2.31　アルファブレンド制御レジスタ 1（グラフィックス（3））（GR3_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_ARC_MUL	GR3_ACALC_MD	－	GR3_ARC_ON	－	－	－	GR3_ARC_DISP_ON	－	－	－	GR3_GRC_DISP_ON	－	－	GR3_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～16	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	GR3_ARC_MUL	0	R/W	矩形領域アルファブレンド時の、カレントαとのマルチプライ処理オン／オフ 0：オフ 1：オン
14	GR3_ACALC_MD	0	R/W	画素単位アルファブレンド処理時の、プレマルチプルド処理のオン／オフ 0：オフ 1：オン
13	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	GR3_ARC_ON	0	R/W	矩形領域アルファブレンド処理オン／オフ設定 0：オフ、1：オン
11～9	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR3_ARC_DISP_ON	0	R/W	矩形領域アルファブレンド処理の画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
7～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR3_GRC_DISP_ON	0	R/W	グラフィックス画像領域の枠の表示オン／オフ設定 0：表示オフ 1：表示オン
3、2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	GR3_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示 1：下層グラフィックス表示 2：カレントグラフィックス表示 3：下層グラフィックスとカレントグラフィックスのブレンド表示

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.32 アルファブレンド制御レジスタ 2（グラフィックス（3））（GR3_AB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_GRC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_GRC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_GRC_VS[10:0]	0	R/W	グラフィックス画像領域の垂直開始位置設定 注.　4ライン以上、GR3_GRC_VS+GR3_GRC_VWが2039ライン以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_GRC_VW[10:0]	0	R/W	グラフィックス画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.33 アルファブレンド制御レジスタ 3（グラフィックス（3））（GR3_AB3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_GRC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_GRC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_GRC_HS[10:0]	0	R/W	グラフィックス画像領域の水平開始位置設定 注.　16クロック以上、GR3_GRC_HS+GR3_GRC_HWが2015クロック以内になるように設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_GRC_HW[10:0]	0	R/W	グラフィックス画像領域の水平幅設定 注.　水平幅1、2画素表示を行う場合は、GR3_HW＝2、GR3_GRC_HW＝1（1画素）、2（2画素）と設定してください。

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.34 アルファブレンド制御レジスタ 4（グラフィックス（3））（GR3_AB4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	GR3_ARC_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	GR3_ARC_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_ARC_VS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直開始位置設定
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_ARC_VW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の垂直幅設定

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.35 アルファブレンド制御レジスタ 5（グラフィックス（3））（GR3_AB5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	GR3_ARC_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	GR3_ARC_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_ARC_HS[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平開始位置設定
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_ARC_HW[10:0]	0	R/W	矩形領域アルファブレンド処理の有効画像領域の水平幅設定

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.36 アルファブレンド制御レジスタ 6（グラフィックス（3））（GR3_AB6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	GR3_ARC_MODE	GR3_ARC_COEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	GR3_ARC_RATE[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	GR3_ARC_MODE	0	R/W	矩形領域アルファブレンド処理モード 0：加算 1：減算
23～16	GR3_ARC_COEF [7:0]	0	R/W	矩形領域アルファブレンド処理のアルファ係数（0～255） [7:0]：変化量（絶対値表記）
15 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7 ～ 0	GR3_ARC_RATE [7:0]	0	R/W	矩形領域アルファブレンド処理のフレームレート-1

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.37 アルファブレンド制御レジスタ 7（グラフィックス（3））（GR3_AB7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GR3_ARC_DEF[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_CK_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR3_ARC_ DEF[7:0]	255	R/W	矩形領域アルファブレンド処理のアルファ初期値
15 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_CK_ON	0	R/W	CLUT参照／RGB参照クロマキー処理オン／オフ設定 0：オフ、1：オン

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.38 アルファブレンド制御レジスタ 8（グラフィックス（3））（GR3_AB8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_CK_KCLUT[7:0]								GR3_CK_KG[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_CK_KB[7:0]								GR3_CK_KR[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_CK_KCLUT[7:0]	0	R/W	CLUT参照クロマキー処理対象CLUT信号 CLUT：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR3_CK_KG[7:0]	0	R/W	RGB参照クロマキー処理対象G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR3_CK_KB[7:0]	0	R/W	RGB参照クロマキー処理対象B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR3_CK_KR[7:0]	0	R/W	RGB参照クロマキー処理対象R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.39 アルファブレンド制御レジスタ 9（グラフィックス（3））（GR3_AB9）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_CK_A[7:0]								GR3_CK_G[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_CK_B[7:0]								GR3_CK_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_CK_A[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後アルファ信号 α：8ビット符号無し（0～255[LSB]）
23 ～ 16	GR3_CK_G[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR3_CK_B[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR3_CK_R[7:0]	0	R/W	RGB/CLUT参照クロマキー処理置換後R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.40 アルファブレンド制御レジスタ 10（グラフィックス（3））（GR3_AB10）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_A0[7:0]								GR3_G0[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_B0[7:0]								GR3_R0[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_A0[7:0]	0	R/W	CLUT1のα0信号 CLUT1フォーマットかつCLUT1＝0のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα＝0のときにα信号に置換
23 ～ 16	GR3_G0[7:0]	0	R/W	CLUT1のG0信号 CLUT1フォーマットかつCLUT1＝0のときにG信号に置換
15 ～ 8	GR3_B0[7:0]	0	R/W	CLUT1のB0信号 CLUT1フォーマットかつCLUT1＝0のときにB信号に置換
7 ～ 0	GR3_R0[7:0]	0	R/W	CLUT1のR0信号 CLUT1フォーマットかつCLUT1＝0のときにR信号に置換

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.41 アルファブレンド制御レジスタ 11（グラフィックス（3））（GR3_AB11）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GR3_A1[7:0]								GR3_G1[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_B1[7:0]								GR3_R1[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GR3_A1[7:0]	0	R/W	CLUT1のα1信号 CLUT1フォーマットかつCLUT1＝1のときにα信号に置換 αRGB1555/RGBα5551フォーマットかつα＝1のときにα信号に置換
23 ～ 16	GR3_G1[7:0]	0	R/W	CLUT1のG1信号 CLUT1フォーマットかつCLUT1＝1のときにG信号に置換
15 ～ 8	GR3_B1[7:0]	0	R/W	CLUT1のB1信号 CLUT1フォーマットかつCLUT1＝1のときにB信号に置換
7 ～ 0	GR3_R1[7:0]	0	R/W	CLUT1のR1信号 CLUT1フォーマットかつCLUT1＝1のときにR信号に置換

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.42 背景色制御レジスタ（グラフィックス（3））（GR3_BASE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	GR3_BASE_G[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GR3_BASE_B[7:0]								GR3_BASE_R[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GR3_BASE_G[7:0]	0	R/W	背景色G信号 G：8ビット符号無し（0～255[LSB]）
15 ～ 8	GR3_BASE_B[7:0]	0	R/W	背景色B信号 B：8ビット符号無し（0～255[LSB]）
7 ～ 0	GR3_BASE_R[7:0]	0	R/W	背景色R信号 R：8ビット符号無し（0～255[LSB]）

注.　本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.43 CLUT テーブル・割り込み制御レジスタ（グラフィックス（3））（GR3_CLUT_INT）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_CLT_SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GR3_LINE[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	GR3_CLT_SEL	0	R/W	CLUTテーブル選択信号 0：CLUTテーブル0を選択 CLUTテーブル0を参照しαRGB8888に展開します。 CPU側はCLUTテーブル1にリード／ライトすることができます。 1：CLUTテーブル1を選択 CLUTテーブル1を参照しαRGB8888に展開します。 CPU側はCLUTテーブル0にリード／ライトすることができます。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	GR3_LINE[10:0]	0	R/W	ライン割り込み設定 ライン数がGR3_LINEの値と一致するとき、割り込み信号を出力します。本機能は、グラフィックス（3）の機能を使用しない場合でも動作します。

注． 本レジスタはすべてグラフィックス（3）レジスタ更新制御レジスタ（GR3_UPDATE）のGR3_P_VEN＝1で更新されます。

33.2.44 ステータスモニタレジスタ（グラフィックス（3））（GR3_MON）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GR3_LIN_STAT[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GR3_ARC_ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	GR3_LIN_STAT[10:0]	0	R	現在読み出している画像のライン位置
15 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR3_ARC_ST	0	R	矩形領域アルファブレンド処理のステータスフラグ 0：加算または減算処理完了（α値が0または255の状態） 1：加算または減算処理中

33.2.45 VIN 合成部レジスタ更新制御レジスタ（GR_VIN_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	GR_VIN_UPDATE	－	－	－	GR_VIN_P_VEN	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/WC1	R	R	R	R/WC1	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR_VIN_UPDATE	0	R/W C1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを更新する
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	GR_VIN_P_VEN	0	R/W C1	グラフィックス表示のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
3 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

33.2.46 アルファブレンド制御レジスタ 1（VIN 合成部）（GR_VIN_AB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	GR_VIN_SCL_UND_SEL	GR_VIN_DISP_SEL[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 3	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2	GR_VIN_SCL_UND_SEL	0	R/W	スケーリング部の下層面の指定 0：グラフィックス(0)を下層グラフィックスとする。 1：設定禁止
1、0	GR_VIN_DISP_SEL[1:0]	0	R/W	グラフィックス表示設定 0：背景色表示(黒固定) 1：下層グラフィックス表示 2：設定禁止 3：設定禁止

注. GR_VIN_SCL_UND_SELはVIN合成レジスタ更新制御レジスタ（GR_VIN_UPDATE）のGR_VIN_UPDATE＝1で更新されます。それ以外のビットはすべてVIN合成レジスタ更新制御レジスタ（GR_VIN_UPDATE）のGR_VIN_P_VEN＝1で更新されます。

33.3 使用方法

33.3.1 ミュート

GR0_DISP_SEL[1:0]、GR2_DISP_SEL[1:0]、GR3_DISP_SEL[1:0]、GR_VIN_DISP_SEL[1:0] の初期値はすべて 0 です。そのため、初期状態では、グラフィックス（0）、(2)、(3)、VIN 合成部すべてグラフィックス領域内も領域外も背景色を表示する設定になっています。背景色の初期値は黒ですので、初期状態は黒のミュート表示になっています。

ただし VIN 合成部の背景色は黒固定になります。

33.3.2 矩形領域アルファブレンド

フェードイン、フェードアウト中に GR_ARC_MODE、GR_ARC_COEF[7:0]、GR_ARC_RATE[7:0] を変更すると、アルファ係数、フレームレートを途中で変化させることが可能です。

34. ビデオディスプレイコントローラ 5（7） 出力制御部

34.1 出力制御機能

34.1.1 機能概要

出力制御部は、画面合成部の RGB 出力信号に対して、ブライト調整、コントラスト調整、RGB 独立のガンマ補正、ディザ処理、および、出力フォーマット変換を行います。

下図に出力制御部の機能ブロック図を示します。

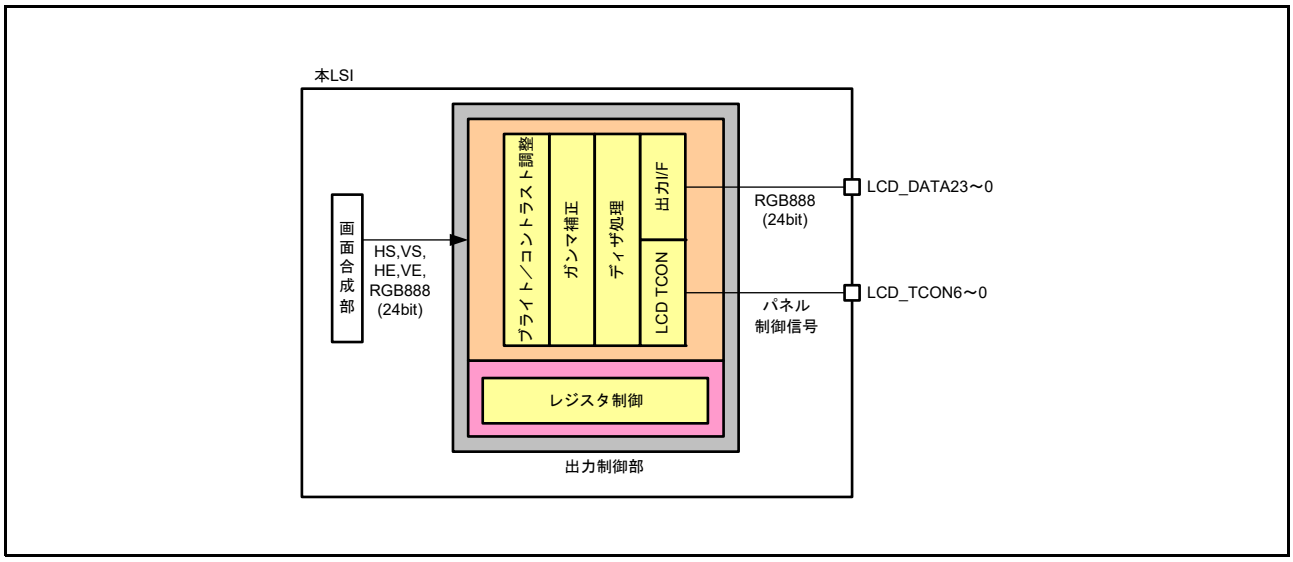


図 34.1 出力制御部の機能ブロック図

34.1.2 レジスタの更新制御

出力制御の制御レジスタは、すべて垂直同期信号で更新タイミングを管理します。

更新制御レジスタに 1 をセットした後、垂直同期信号の立ち上がりで各種レジスタが反映されます。反映後、更新制御レジスタは自動的に 0 にクリアされます。

表 34.1 レジスタの更新制御

レジスタ名	ビット名	初期値	説 明
OUT_UPDATE	OUTCNT_VEN	0	ブライト／コントラスト調整、ディザ処理、出力インタフェースのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GAM_G_UPDATE	GAM_G_VEN	0	ガンマ補正（G）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GAM_B_UPDATE	GAM_B_VEN	0	ガンマ補正（B）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
GAM_R_UPDATE	GAM_R_VEN	0	ガンマ補正（R）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する
TCON_UPDATE	TCON_VEN	0	LCD TCON のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

34.1.3 経路選択

ブライト／コントラスト調整とガンマ補正は、レジスタの設定により、処理の順番を入れ替えることができます。

表 34.2 経路選択

レジスタ名	ビット名	初期値	説 明
OUT_CLK_PHASE	OUTCNT_FRONT_GAM	0	補正回路の順番の制御 0：ブライト⇒コントラスト⇒ガンマ補正 1：ガンマ補正⇒ブライト⇒コントラスト

34.1.4 ブライト調整

画面合成部の RGB 信号に対して、RGB 独立にブライト（DC）調整を行います。
（ブライト調整後の BRT_R/G/BOUT は、オーバフロー、アンダフローが発生しないようにビットを多く設けています。オーバフロー、アンダフロー処理はコントラスト演算時に行います。）

(1) ブライト（DC）調整の計算式

BRT_GOUT ＝ GIN ＋ PBRT_G － 512
BRT_BOUT ＝ BIN ＋ PBRT_B － 512
BRT_ROUT ＝ RIN ＋ PBRT_R － 512

表 34.3 ブライト（DC）調整

レジスタ名	ビット名	初期値	説 明
OUT_BRIGHT1	PBRT_G[9:0]	512	G信号のブライト（DC）調整 符号無し（0（－512）～512（0）～1023（＋511）[LSB]、512[LSB]オフセット付）
OUT_BRIGHT2	PBRT_B[9:0]	512	B信号のブライト（DC）調整 符号無し（0（－512）～512（0）～1023（＋511）[LSB]、512[LSB]オフセット付）
OUT_BRIGHT2	PBRT_R[9:0]	512	R信号のブライト（DC）調整 符号無し（0（－512）～512（0）～1023（＋511）[LSB]、512[LSB]オフセット付）

34.1.5 コントラスト調整

ブライト演算結果の RGB 信号に対して、コントラスト演算を行います。
（オーバフロー、アンダフローが発生した場合は、最大値／最小値にクリップします。）

(1) コントラスト（ゲイン）調整の計算式

GOUT ＝ BRT_GOUT×CONT_G÷128
BOUT ＝ BRT_BOUT×CONT_B÷128
ROUT ＝ BRT_ROUT×CONT_R÷128

表 34.4 コントラスト（ゲイン）調整

レジスタ名	ビット名	初期値	説 明
OUT_CONTRAST	CONT_G[7:0]	128	G信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
OUT_CONTRAST	CONT_B[7:0]	128	B信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
OUT_CONTRAST	CONT_R[7:0]	128	R信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）

34.1.6 ガンマ補正

256 階調の入力信号に対してレベルを 32 分割し各々のゲインを制御することでガンマ補正を行います。各領域のゲイン係数は、0 ～約 2.0[倍] にて設定できます。

(1) 各領域のガンマ補正式

$$DOUT = ((DIN - TH_{(n)}) \times GAIN_{(n)} + OFFSET_{(n)}) \div 256$$

DIN：入力信号（8 ビット）
DOUT：出力信号（10 ビット）
$TH_{(n)}$：閾値（8 ビット）
$OFFSET_{(n)}$：オフセット値（19 ビット）
$GAIN_{(n)}$：ゲイン係数（11 ビット）

(2) 各領域のオフセット計算式

$$OFFSET_{(n)} = OFFSET_{(n-1)} + DEF_O_{(n)}$$ ただし n ＝ 0 時は $OFFSET_{(0)} = 0$

$$DEF_O_{(n)} = (TH_{(n)} - TH_{(n-1)}) \times GAIN_{(n-1)}$$ ただし n ＝ 0 時は $DEF_O_{(0)} = 0$

$OFFSET_{(n)}$：現在の領域のオフセット値（19 ビット）
$OFFSET_{(n-1)}$：1 つ前の領域のオフセット値（19 ビット）
$DEF_O_{(n)}$：現在と 1 つ前の領域のオフセット値の差分（19 ビット）
$TH_{(n)}$：現在の領域の閾値（8 ビット）
$TH_{(n-1)}$：1 つ前の領域の閾値（8 ビット）
$GAIN_{(n-1)}$：1 つ前の領域のゲイン係数（11 ビット）

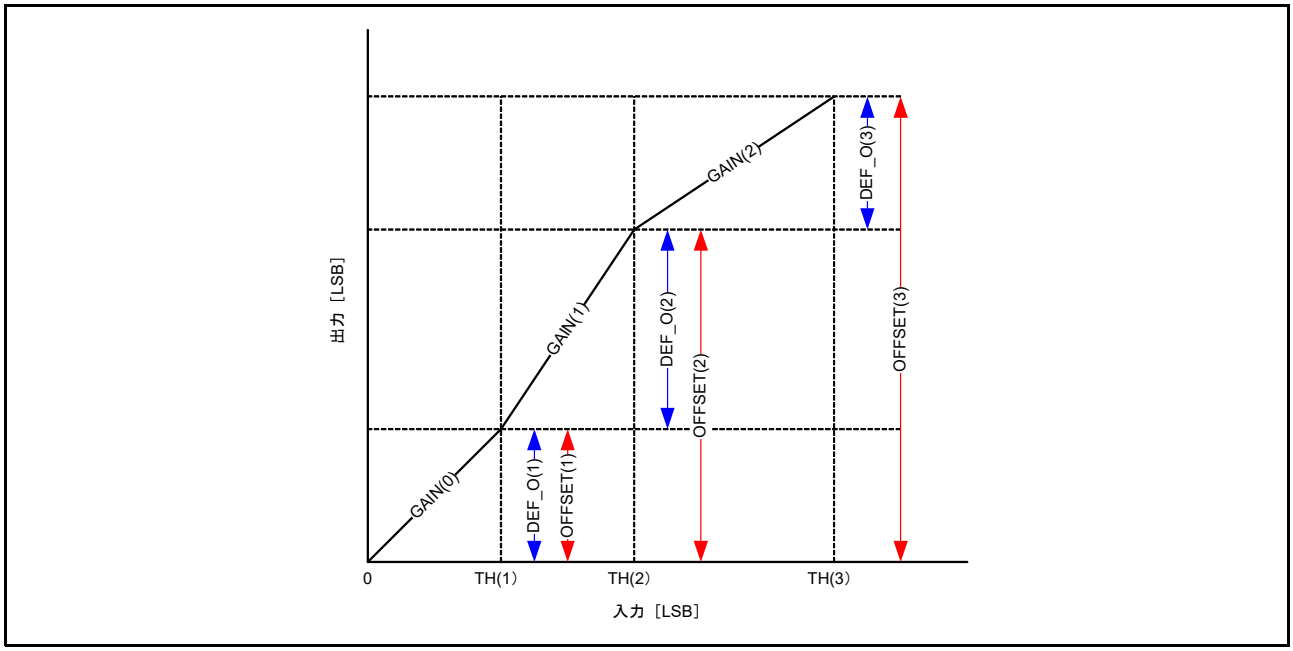


図 34.2　オフセット算出式の対応図

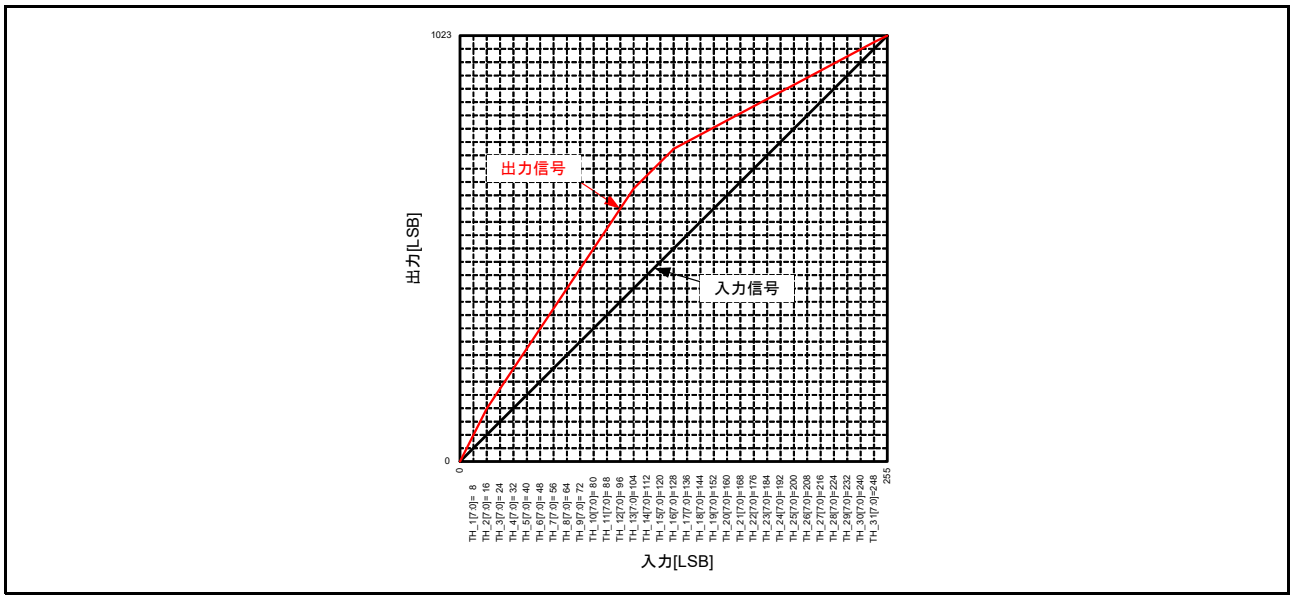


図 34.3　ガンマ補正の入出力特性（例）

表34.5　ガンマ補正

レジスタ名	ビット名	初期値	説　明
GAM_SW	GAM_ON	0	ガンマ補正オン／オフ制御 0：オフ 1：オン
GAM_G_AREA1～8	GAM_G_TH_01～31[7:0]	*	G信号の領域1～31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値（注1）＜本領域の閾値＜次領域の閾値（注2） 注1.　GAM_G_TH_01は0 注2.　GAM_G_TH_31は≦255 *初期値 GAM_G_TH_01：8、GAM_G_TH_02：16、 GAM_G_TH_03：24、GAM_G_TH_04：32、 GAM_G_TH_05：40、GAM_G_TH_06：48、 GAM_G_TH_07：56、GAM_G_TH_08：64、 GAM_G_TH_09：72、GAM_G_TH_10：80 GAM_G_TH_11：88、GAM_G_TH_12：96、 GAM_G_TH_13：104、GAM_G_TH_14：112、 GAM_G_TH_15：120、GAM_G_TH_16：128、 GAM_G_TH_17：136、GAM_G_TH_18：144、 GAM_G_TH_19：152、GAM_G_TH_20：160、 GAM_G_TH_21：168、GAM_G_TH_22：176、 GAM_G_TH_23：184、GAM_G_TH_24：192、 GAM_G_TH_25：200、GAM_G_TH_26：208、 GAM_G_TH_27：216、GAM_G_TH_28：224、 GAM_G_TH_29：232、GAM_G_TH_30：240、 GAM_G_TH_31：248
GAM_G_LUT1～16	GAM_G_GAIN_00～31[10:0]	1024	G信号の領域0～31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB]＝1.0[倍]）
GAM_B_AREA1～8	GAM_B_TH_01～31[7:0]	*	B信号の領域1～31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値（注1）＜本領域の閾値＜次領域の閾値（注2） 注1.　GAM_B_TH_01は0 注2.　GAM_B_TH_31は≦255 *初期値 GAM_B_TH_01：8、GAM_B_TH_02：16、 GAM_B_TH_03：24、GAM_B_TH_04：32、 GAM_B_TH_05：40、GAM_B_TH_06：48、 GAM_B_TH_07：56、GAM_B_TH_08：64、 GAM_B_TH_09：72、GAM_B_TH_10：80 GAM_B_TH_11：88、GAM_B_TH_12：96、 GAM_B_TH_13：104、GAM_B_TH_14：112、 GAM_B_TH_15：120、GAM_B_TH_16：128、 GAM_B_TH_17：136、GAM_B_TH_18：144、 GAM_B_TH_19：152、GAM_B_TH_20：160、 GAM_B_TH_21：168、GAM_B_TH_22：176、 GAM_B_TH_23：184、GAM_B_TH_24：192、 GAM_B_TH_25：200、GAM_B_TH_26：208、 GAM_B_TH_27：216、GAM_B_TH_28：224、 GAM_B_TH_29：232、GAM_B_TH_30：240、 GAM_B_TH_31：248
GAM_B_LUT1～16	GAM_B_GAIN_00～31[10:0]	1024	B信号の領域0～31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB]＝1.0[倍]）

レジスタ名	ビット名	初期値	説　　明
GAM_R_AREA1～8	GAM_R_TH_01～31[7:0]	*	R信号の領域 1～31 の開始閾値 符号無し（0～255[LSB]） 前領域の閾値（注 1）＜本領域の閾値＜次領域の閾値（注 2） 注 1.　GAM_R_TH_01 は 0 注 2.　GAM_R_TH_31 は≦255 * 初期値 GAM_R_TH_01：8、GAM_R_TH_02：16、 GAM_R_TH_03：24、GAM_R_TH_04：32、 GAM_R_TH_05：40、GAM_R_TH_06：48、 GAM_R_TH_07：56、GAM_R_TH_08：64、 GAM_R_TH_09：72、GAM_R_TH_10：80 GAM_R_TH_11：88、GAM_R_TH_12：96、 GAM_R_TH_13：104、GAM_R_TH_14：112、 GAM_R_TH_15：120、GAM_R_TH_16：128、 GAM_R_TH_17：136、GAM_R_TH_18：144、 GAM_R_TH_19：152、GAM_R_TH_20：160、 GAM_R_TH_21：168、GAM_R_TH_22：176、 GAM_R_TH_23：184、GAM_R_TH_24：192、 GAM_R_TH_25：200、GAM_R_TH_26：208、 GAM_R_TH_27：216、GAM_R_TH_28：224、 GAM_R_TH_29：232、GAM_R_TH_30：240、 GAM_R_TH_31：248
GAM_R_LUT1～16	GAM_R_GAIN_00～31[10:0]	1024	R信号の領域 0～31 のゲイン調整 符号無し（0～2047[LSB]、1024[LSB]＝1.0[倍]）

34.1.7 ディザ処理

ディザ処理は、ブライト／コントラスト調整またはガンマ補正出力の 10 ビット RGB 信号に対して、10 ビット→ 8/6/5 ビットのビット縮退を行います。ディザ処理の動作モードは、切り捨てモード、四捨五入モード、2x2 パターンディザモード、ランダムパターンディザモードの 4 種類から選択できます。

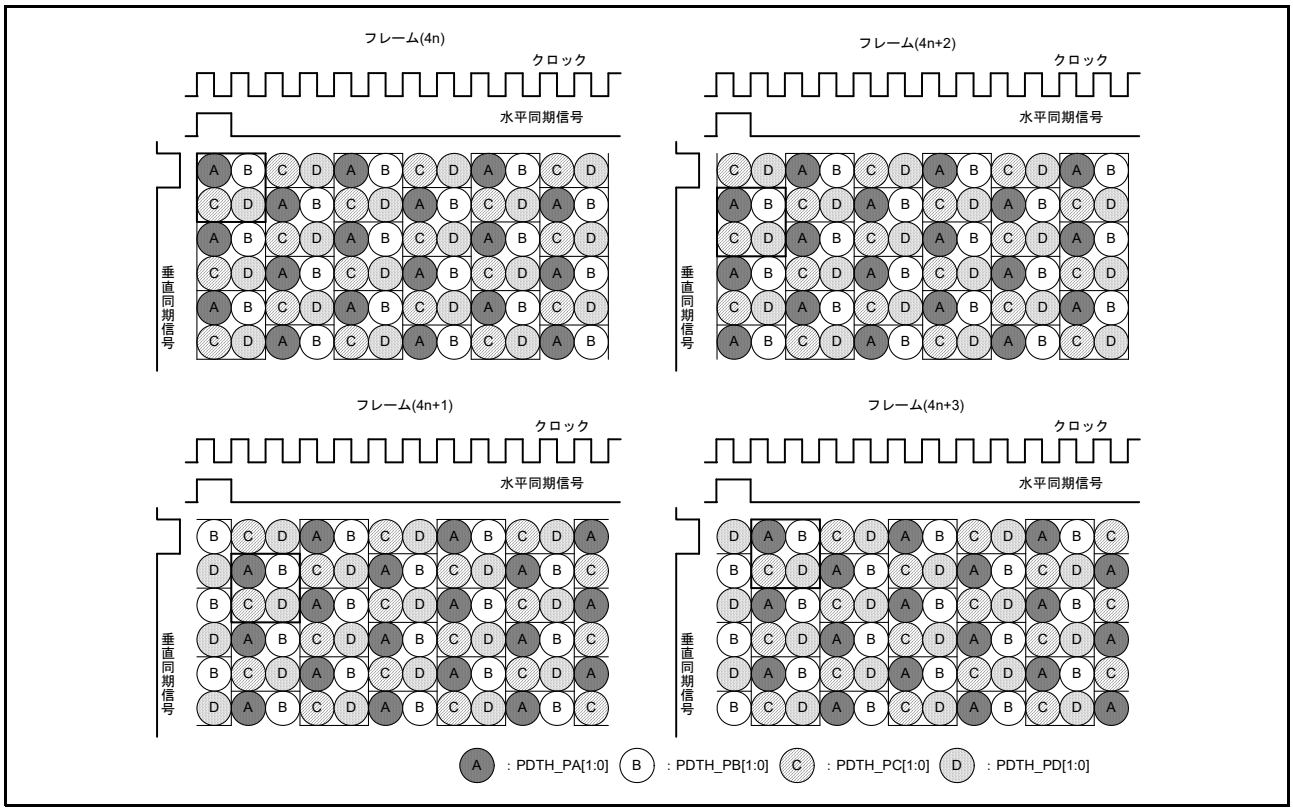


図 34.4 2×2 パターンディザの動作仕様図

変換式は下記となります。

- 切り捨てモード

1. 10 ビット→ 8 ビット
   出力 RGB データ [7:0] ＝入力 RGB データ [9:0]÷4（小数点以下切り捨て）
2. 10 ビット→ 6 ビット
   出力 RGB データ [7:2] ＝入力 RGB データ [9:0]÷16（小数点以下切り捨て）
3. 10 ビット→ 5 ビット
   出力 RGB データ [7:3] ＝入力 RGB データ [9:0]÷32（小数点以下切り捨て）

- 四捨五入モード

1. 10 ビット→ 8 ビット
   出力 RGB データ [7:0] ＝入力 RGB データ [9:0]÷4（小数点第一位で四捨五入）
2. 10 ビット→ 6 ビット
   出力 RGB データ [7:2] ＝入力 RGB データ [9:0]÷16（小数点第一位で四捨五入）
3. 10 ビット→ 5 ビット
   出力 RGB データ [7:3] ＝入力 RGB データ [9:0]÷32（小数点第一位で四捨五入）

- 2x2 パターンディザ、ランダムパターンディザモード

1. 10 ビット→ 8 ビット
   出力 RGB データ [7:0] ＝入力 RGB データ [9:0]÷4 + 小数点第一位にパターン値（加算後に小数点第一位で切り捨て）
2. 10 ビット→ 6 ビット
   出力 RGB データ [7:2] ＝入力 RGB データ [9:0]÷16 + 小数点第一位にパターン値（加算後に小数点第一位で切り捨て）
3. 10 ビット→ 5 ビット
   出力 RGB データ [7:3] ＝入力 RGB データ [9:0]÷32 + 小数点第一位にパターン値（加算後に小数点第一位で切り捨て）

表34.6　パネルディザ補正

レジスタ名	ビット名	初期値	説　明
OUT_PDTHA	PDTH_SEL[1:0]	0	パネルディザ動作モード 0：切り捨て 1：四捨五入 2：2x2パターンディザ 3：ランダムパターンディザ
OUT_PDTHA	PDTH_FORMAT[1:0]	0	パネルディザ出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：設定禁止
OUT_PDTHA	PDTH_PA[1:0]	3	2x2パターンディザのパターン値（A） 符号無し（0～3[LSB]）
OUT_PDTHA	PDTH_PB[1:0]	0	2x2パターンディザのパターン値（B） 符号無し（0～3[LSB]）
OUT_PDTHA	PDTH_PC[1:0]	2	2x2パターンディザのパターン値（C） 符号無し（0～3[LSB]）
OUT_PDTHA	PDTH_PD[1:0]	1	2x2パターンディザのパターン値（D） 符号無し（0～3[LSB]）

34.1.8 出力フォーマット変換

出力フォーマット変換はディザ処理後の RGB 信号を LCD 出力信号として、パラレル RGB888、RGB666、RGB565、シリアル RGB のいずれかのフォーマットに変換します。

また、変換したデータの LCD 出力ピンの割当を選択できます。

(1) RGB888 出力時の LCD 信号のビット割り付け

RGB888 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を**表 34.7** に示します。

R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

表 34.7 RGB888 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	0	0	0	0
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	RIN[7]	BIN[7]	RIN[0]	BIN[0]
LCD_DATA22	RIN[6]	BIN[6]	RIN[1]	BIN[1]
LCD_DATA21	RIN[5]	BIN[5]	RIN[2]	BIN[2]
LCD_DATA20	RIN[4]	BIN[4]	RIN[3]	BIN[3]
LCD_DATA19	RIN[3]	BIN[3]	RIN[4]	BIN[4]
LCD_DATA18	RIN[2]	BIN[2]	RIN[5]	BIN[5]
LCD_DATA17	RIN[1]	BIN[1]	RIN[6]	BIN[6]
LCD_DATA16	RIN[0]	BIN[0]	RIN[7]	BIN[7]
LCD_DATA15	GIN[7]	GIN[7]	GIN[0]	GIN[0]
LCD_DATA14	GIN[6]	GIN[6]	GIN[1]	GIN[1]
LCD_DATA13	GIN[5]	GIN[5]	GIN[2]	GIN[2]
LCD_DATA12	GIN[4]	GIN[4]	GIN[3]	GIN[3]
LCD_DATA11	GIN[3]	GIN[3]	GIN[4]	GIN[4]
LCD_DATA10	GIN[2]	GIN[2]	GIN[5]	GIN[5]
LCD_DATA9	GIN[1]	GIN[1]	GIN[6]	GIN[6]
LCD_DATA8	GIN[0]	GIN[0]	GIN[7]	GIN[7]
LCD_DATA7	BIN[7]	RIN[7]	BIN[0]	RIN[0]
LCD_DATA6	BIN[6]	RIN[6]	BIN[1]	RIN[1]
LCD_DATA5	BIN[5]	RIN[5]	BIN[2]	RIN[2]
LCD_DATA4	BIN[4]	RIN[4]	BIN[3]	RIN[3]
LCD_DATA3	BIN[3]	RIN[3]	BIN[4]	RIN[4]
LCD_DATA2	BIN[2]	RIN[2]	BIN[5]	RIN[5]
LCD_DATA1	BIN[1]	RIN[1]	BIN[6]	RIN[6]
LCD_DATA0	BIN[0]	RIN[0]	BIN[7]	RIN[7]

(2) RGB666 出力時の LCD 信号のビット割り付け

RGB666 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を表 34.8 に示します。
R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

表 34.8 RGB666 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	1	1	1	1
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	0 固定	0 固定	0 固定	0 固定
LCD_DATA22	0 固定	0 固定	0 固定	0 固定
LCD_DATA21	0 固定	0 固定	0 固定	0 固定
LCD_DATA20	0 固定	0 固定	0 固定	0 固定
LCD_DATA19	0 固定	0 固定	0 固定	0 固定
LCD_DATA18	0 固定	0 固定	0 固定	0 固定
LCD_DATA17	RIN[7]	BIN[7]	RIN[2]	BIN[2]
LCD_DATA16	RIN[6]	BIN[6]	RIN[3]	BIN[3]
LCD_DATA15	RIN[5]	BIN[5]	RIN[4]	BIN[4]
LCD_DATA14	RIN[4]	BIN[4]	RIN[5]	BIN[5]
LCD_DATA13	RIN[3]	BIN[3]	RIN[6]	BIN[6]
LCD_DATA12	RIN[2]	BIN[2]	RIN[7]	BIN[7]
LCD_DATA11	GIN[7]	GIN[7]	GIN[2]	GIN[2]
LCD_DATA10	GIN[6]	GIN[6]	GIN[3]	GIN[3]
LCD_DATA9	GIN[5]	GIN[5]	GIN[4]	GIN[4]
LCD_DATA8	GIN[4]	GIN[4]	GIN[5]	GIN[5]
LCD_DATA7	GIN[3]	GIN[3]	GIN[6]	GIN[6]
LCD_DATA6	GIN[2]	GIN[2]	GIN[7]	GIN[7]
LCD_DATA5	BIN[7]	RIN[7]	BIN[2]	RIN[2]
LCD_DATA4	BIN[6]	RIN[6]	BIN[3]	RIN[3]
LCD_DATA3	BIN[5]	RIN[5]	BIN[4]	RIN[4]
LCD_DATA2	BIN[4]	RIN[4]	BIN[5]	RIN[5]
LCD_DATA1	BIN[3]	RIN[3]	BIN[6]	RIN[6]
LCD_DATA0	BIN[2]	RIN[2]	BIN[7]	RIN[7]

(3) RGB565 出力時の LCD 信号のビット割り付け

RGB565 出力のとき、LCD 信号出力に割り付けられる RGB 信号入力を表 34.9 に示します。
R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

表 34.9 RGB565 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	2	2	2	2
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
LCD_DATA23	0 固定	0 固定	0 固定	0 固定
LCD_DATA22	0 固定	0 固定	0 固定	0 固定
LCD_DATA21	0 固定	0 固定	0 固定	0 固定
LCD_DATA20	0 固定	0 固定	0 固定	0 固定
LCD_DATA19	0 固定	0 固定	0 固定	0 固定
LCD_DATA18	0 固定	0 固定	0 固定	0 固定
LCD_DATA17	0 固定	0 固定	0 固定	0 固定
LCD_DATA16	0 固定	0 固定	0 固定	0 固定
LCD_DATA15	RIN[7]	BIN[7]	RIN[3]	BIN[3]
LCD_DATA14	RIN[6]	BIN[6]	RIN[4]	BIN[4]
LCD_DATA13	RIN[5]	BIN[5]	RIN[5]	BIN[5]
LCD_DATA12	RIN[4]	BIN[4]	RIN[6]	BIN[6]
LCD_DATA11	RIN[3]	BIN[3]	RIN[7]	BIN[7]
LCD_DATA10	GIN[7]	GIN[7]	GIN[2]	GIN[2]
LCD_DATA9	GIN[6]	GIN[6]	GIN[3]	GIN[3]
LCD_DATA8	GIN[5]	GIN[5]	GIN[4]	GIN[4]
LCD_DATA7	GIN[4]	GIN[4]	GIN[5]	GIN[5]
LCD_DATA6	GIN[3]	GIN[3]	GIN[6]	GIN[6]
LCD_DATA5	GIN[2]	GIN[2]	GIN[7]	GIN[7]
LCD_DATA4	BIN[7]	RIN[7]	BIN[3]	RIN[3]
LCD_DATA3	BIN[6]	RIN[6]	BIN[4]	RIN[4]
LCD_DATA2	BIN[5]	RIN[5]	BIN[5]	RIN[5]
LCD_DATA1	BIN[4]	RIN[4]	BIN[6]	RIN[6]
LCD_DATA0	BIN[3]	RIN[3]	BIN[7]	RIN[7]

(4) シリアル RGB 出力時の LCD 信号のビット割り付け

シリアル RGB 出力のとき、**表 34.10** に示す RGB 信号入力を rgb 内部信号に割り付け、その信号をパラレル→シリアル変換して LCD 信号に出力します。R/G/BIN[7:0] は、ディザ処理後の RGB 内部信号です。

内部信号 r[7:0]、g[7:0]、b[7:0] はシリアルに LCD_DATA7 ～ 0 に出力されます。

表 34.10　シリアル RGB 出力時の RGB 信号入力のビット割り付け

OUT_FORMAT	3	3	3	3
OUT_ENDIAN_ON	0	0	1	1
OUT_SWAP_ON	0	1	0	1
r[7]	RIN[7]	BIN[7]	RIN[0]	BIN[0]
r[6]	RIN[6]	BIN[6]	RIN[1]	BIN[1]
r[5]	RIN[5]	BIN[5]	RIN[2]	BIN[2]
r[4]	RIN[4]	BIN[4]	RIN[3]	BIN[3]
r[3]	RIN[3]	BIN[3]	RIN[4]	BIN[4]
r[2]	RIN[2]	BIN[2]	RIN[5]	BIN[5]
r[1]	RIN[1]	BIN[1]	RIN[6]	BIN[6]
r[0]	RIN[0]	BIN[0]	RIN[7]	BIN[7]
g[7]	GIN[7]	GIN[7]	GIN[0]	GIN[0]
g[6]	GIN[6]	GIN[6]	GIN[1]	GIN[1]
g[5]	GIN[5]	GIN[5]	GIN[2]	GIN[2]
g[4]	GIN[4]	GIN[4]	GIN[3]	GIN[3]
g[3]	GIN[3]	GIN[3]	GIN[4]	GIN[4]
g[2]	GIN[2]	GIN[2]	GIN[5]	GIN[5]
g[1]	GIN[1]	GIN[1]	GIN[6]	GIN[6]
g[0]	GIN[0]	GIN[0]	GIN[7]	GIN[7]
b[7]	BIN[7]	RIN[7]	BIN[0]	RIN[0]
b[6]	BIN[6]	RIN[6]	BIN[1]	RIN[1]
b[5]	BIN[5]	RIN[5]	BIN[2]	RIN[2]
b[4]	BIN[4]	RIN[4]	BIN[3]	RIN[3]
b[3]	BIN[3]	RIN[3]	BIN[4]	RIN[4]
b[2]	BIN[2]	RIN[2]	BIN[5]	RIN[5]
b[1]	BIN[1]	RIN[1]	BIN[6]	RIN[6]
b[0]	BIN[0]	RIN[0]	BIN[7]	RIN[7]

(5) パラレル→シリアル変換

パラレル→シリアル変換は、**表 34.11** に示すとおり、倍速モード制御とスキャン方向選択により、4 種類のパラレル→シリアル変換が可能です（表中の n は自然数）。

表 34.11　シリアル RGB 出力仕様

OUT_FRQ_SEL	1	1	2	2
OUT_DIR_SEL	0	1	0	1
ライン（2n-1）	繰り返し （r → g → b）	繰り返し （b → g → r）	繰り返し （r → g → b → X）	繰り返し （X → b → g → r）
ライン 2n	繰り返し （g → b → r）	繰り返し （r → b → g）	繰り返し （r → g → b → X）	繰り返し （X → b → g → r）

図 34.5、**図 34.6** にそれぞれ 3 倍速と 4 倍速のパラレル→シリアル変換のタイミング図を示します。

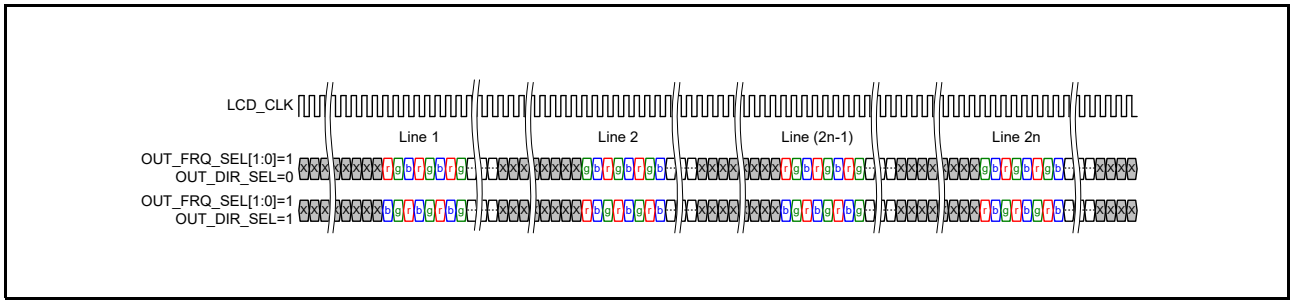


図 34.5　3 倍速パラレル→シリアル変換タイミング図

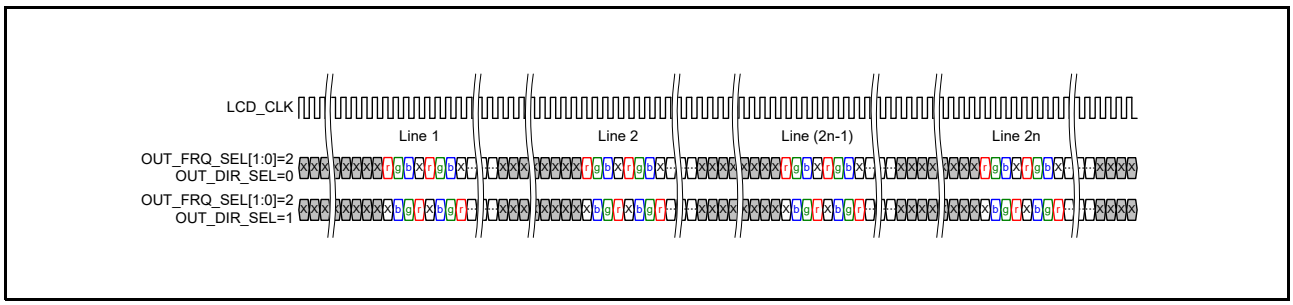


図 34.6　4 倍速パラレル→シリアル変換タイミング図

シリアル出力時の HE 信号との位相タイミングをレジスタ OUT_PHASE[1:0] で調整できます。
図 34.7 にシリアル RGB 出力（3 倍速モード）のクロック位相のタイミング図を示します。

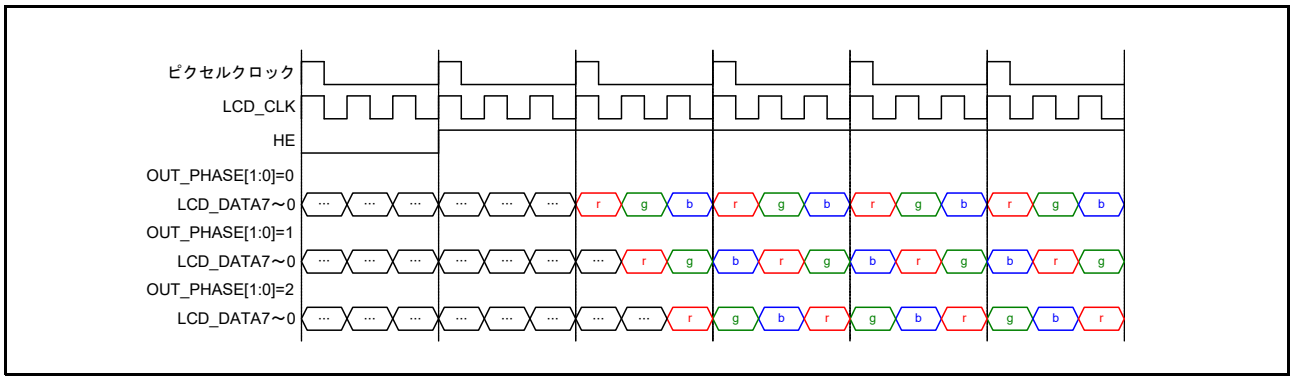


図 34.7　シリアル RGB（3 倍速モード）のクロック位相のタイミング図

図 34.8 にシリアル RGB 出力（4 倍速モード）のクロック位相のタイミング図を示します。

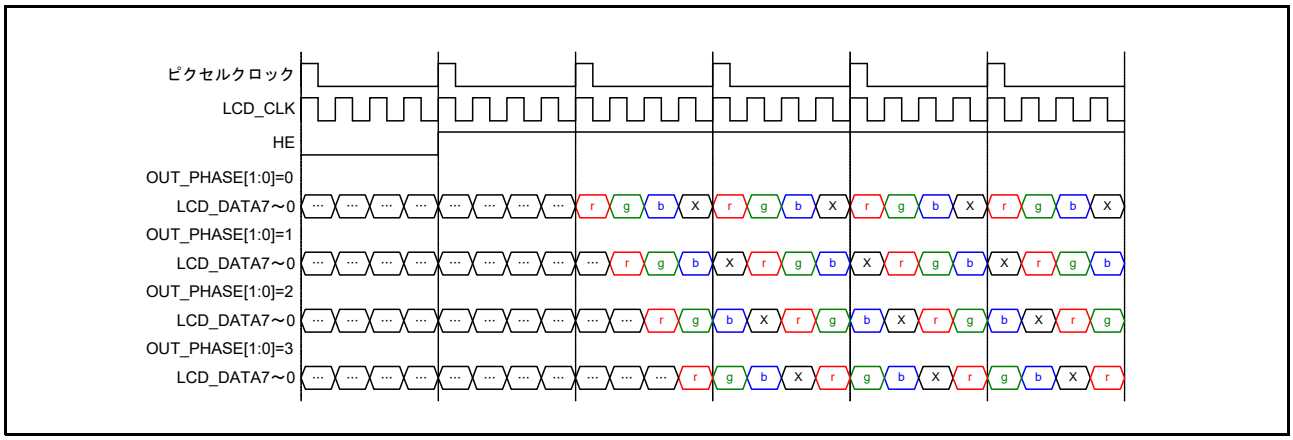


図 34.8　シリアル RGB（4 倍速モード）のクロック位相のタイミング図

表34.12　出力フォーマット変換

レジスタ名	ビット名	初期値	説　　明
OUT_SET	OUT_FORMAT[1:0]	0	出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：シリアルRGB
OUT_SET	OUT_ENDIAN_ON	0	ビットエンディアン変更オン／オフ制御 0：オフ 1：オン
OUT_SET	OUT_SWAP_ON	0	B/R信号入れ替えオン／オフ制御 0：オフ 1：オン
OUT_SET	OUT_FRQ_SEL[1:0]	0	クロック周波数制御 0：1倍速（パラレルRGB） 1：3倍速（シリアルRGB） 2：4倍速（シリアルRGB） 3：設定禁止
OUT_SET	OUT_DIR_SEL	0	スキャン方向選択 0：正スキャン 1：逆スキャン
OUT_SET	OUT_PHASE[1:0]	0	シリアルRGB出力時のクロック位相調整 3倍速のとき 0：0[clk]、1：1[clk]、2：2[clk]、3：設定禁止 4倍速のとき 0：0[clk]、1：1[clk]、2：2[clk]、3：3[clk]

34.1.9 LCD TCON

LCD パネル駆動用の各種タイミング信号を生成します。

生成可能なタイミング信号は、垂直パネルドライバ信号 2 本、水平パネルドライバ信号 5 本、垂直と水平パネルドライバ信号の合成信号 1 本です。表 34.13 に生成可能なタイミング信号の一覧を示します。

表 34.13 LCD TCON 生成信号

信号名	分類	説 明
STVA/VS	垂直	• ゲートスタート信号 パルス幅、パルス位置、パルス極性の制御が可能 • 垂直同期信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STVB/VE	垂直	• ゲートスタート信号 パルス幅、パルス位置、パルス極性の制御が可能 • 垂直イネーブル信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STH/SP/HS	水平	• ソーススタート信号 パルス幅、パルス位置、パルス極性の制御が可能 • 水平同期信号 同期信号幅、同期信号位置、同期信号極性の制御が可能
STB/LP/HE	水平	• ソースストローブ信号 パルス幅、パルス位置、パルス極性の制御が可能 • 水平イネーブル信号 イネーブル幅、イネーブル位置、イネーブル極性の制御が可能
CPV/GCK	水平	• ゲートクロック信号 パルス幅、パルス位置、パルス極性の制御が可能
POLA	水平	• VCOM 電圧極性制御信号 極性反転位置、極性反転動作（1x1、1x2、2x2）の制御が可能
POLB	水平	• VCOM 電圧極性制御信号 極性反転位置、極性反転動作（1x1、1x2、2x2）の制御が可能
DE	水平・垂直	• データイネーブル信号 イネーブル幅、イネーブル位置、イネーブル極性の制御が可能

(1) 水平基準オフセット制御

水平同期信号の立ち上がりを基準として TCON_OFFSET[10:0] 分のクロック遅延した基準信号を生成します。水平同期信号をまたいで信号生成する必要がある場合は、このオフセットした基準信号を基に信号を生成します。

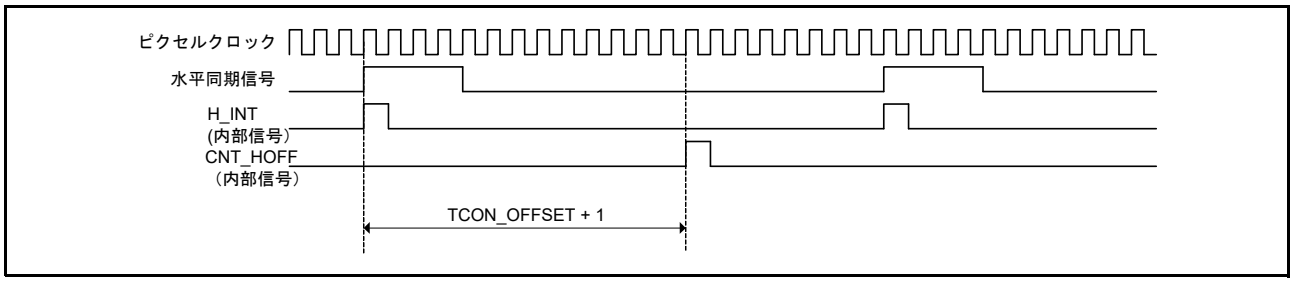


図 34.9 オフセット付き水平基準（H_OFF）信号生成

表 34.14　水平基準信号選択表

レジスタ名	ビット名	初期値	説　　明
TCON_TIM	TCON_OFFSET[10:0]	0	オフセット付き水平同期信号のタイミング設定 水平同期信号の立ち上がりからのクロック数を設定
TCON_TIM_STH2	TCON_STH_HS_SEL	0	STH 信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_STB2	TCON_STB_HS_SEL	0	STB 信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_CPV2	TCON_CPV_HS_SEL	0	CPV 信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_POLA2	TCON_POLA_HS_SEL	0	POLA 信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
TCON_TIM_POLB2	TCON_POLB_HS_SEL	0	POLB 信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準

注.　POLA、POLB 信号をリバースモードで信号生成するときは、TCON_POLA_HS_SEL、TCON_POLB_HS_SEL は 0 に設定してください。

(2)　水平パネルドライバ信号生成（A）

水平同期パネルドライバ信号生成は、第 1 の変化タイミングを設定する TCON_xxxx_HS[10:0]、第 2 の変化タイミングを設定する TCON_xxxx_HW[10:0] によって水平周期に 2 回変化するタイミング信号を生成します。

内部カウンタは以下の動作を行います。

1. 水平同期信号の立ち上がりを基準（カウンタリセット）
2. パネルクロックの立ち上がりを基準としてカウントアップ

なお、第 2 の変化タイミングを設定する TCON_xxxx_HW[10:0] を 0 に設定することで固定値 0 を出力することもできます。

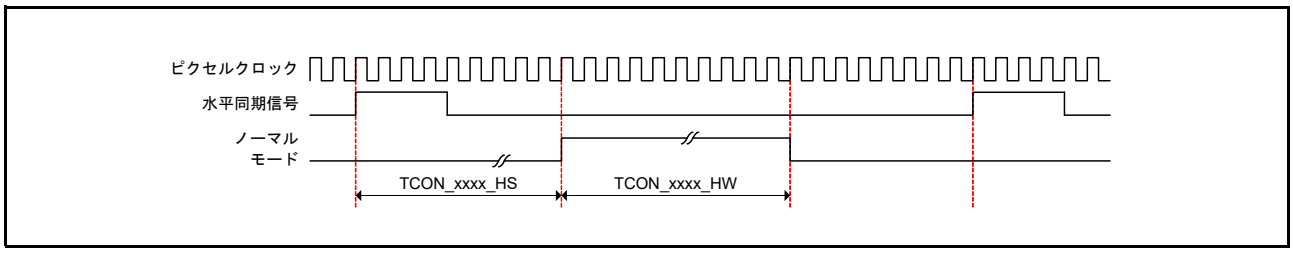


図 34.10　水平パネルドライバ信号（ノーマルモード）

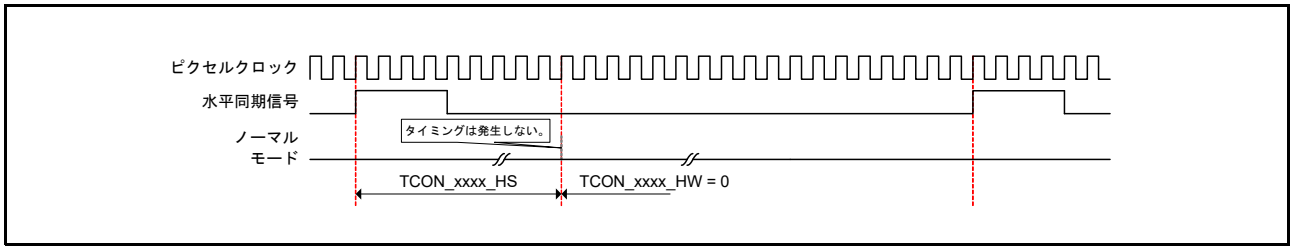


図 34.11　水平パネルドライバ信号（ノーマルモード、TCON_xxxx_HW ＝ 0 時）

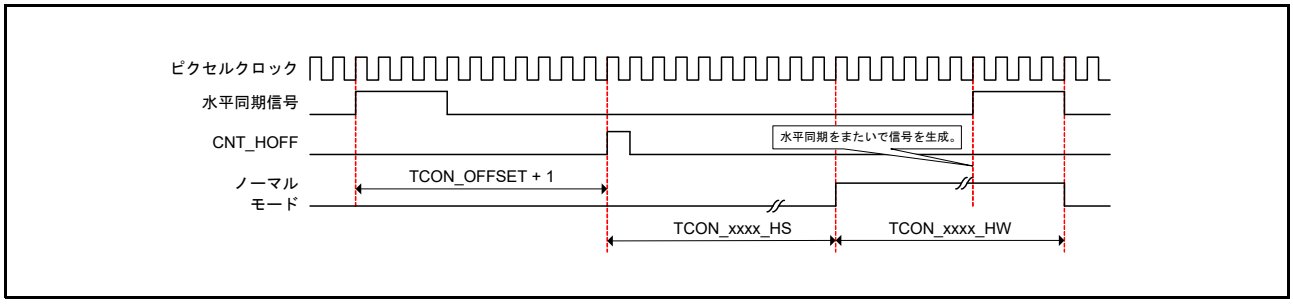


図 34.12　水平パネルドライバ信号（ノーマルモード、オフセット付き水平基準を使用時）

表34.15　　水平パネルドライバ信号生成（A）設定

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STH1	TCON_STH_HS[10:0]	0	STH信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STH_HS後にパルスを出力開始（クロック周期）
TCON_TIM_STH1	TCON_STH_HW[10:0]	96	STH信号のパルス幅（第2の変化タイミング）を設定 TCON_STH_HW期間パルス出力（クロック周期）
TCON_TIM_STB1	TCON_STB_HS[10:0]	144	STB信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STB_HS後にパルスを出力開始 （クロック周期）
TCON_TIM_STB1	TCON_STB_HW[10:0]	640	STB信号のパルス幅（第2の変化タイミング）を設定 TCON_STB_HW期間パルス出力（クロック周期）
TCON_TIM_CPV1	TCON_CPV_HS[10:0]	0	CPV信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_CPV_HS後にパルスを出力開始 （クロック周期）
TCON_TIM_CPV1	TCON_CPV_HW[10:0]	0	CPV信号のパルス幅（第2の変化タイミング）を設定 TCON_CPV_HW期間パルス出力（クロック周期）

(3) 水平パネルドライバ信号生成（B）

（2）のノーマルモード動作に加えて、垂直同期信号の立ち上がりを基準に動作を開始し、第 1 の変化タイミングを設定する TCON_xxxx_HS[10:0] のタイミングにて水平周期ごとに極性が反転する信号を生成できます。

リバースモード時には、垂直のライン数（偶数、奇数）にかかわらず常に垂直周期ごとに極性が反転された信号を生成します。極性の反転動作として、下記の 3 モードの選択が可能です。

表 34.16　水平パネルドライバ信号生成モード表

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_POLA2	TCON_POLA_MD[1:0]	1	POLA 信号の生成モード選択 0：ノーマルモード 水平周期に 2 回変化する信号を生成します。 1：1x1 リバースモード 1 水平周期ごとに極性が反転する信号を生成します。 2：1x2 リバースモード 開始 1 水平期間で極性が反転し、その後、2 水平周期ごとに極性が反転する信号を生成します。 3：2x2 リバースモード 2 水平周期ごとに極性が反転する信号を生成します。
TCON_TIM_POLB2	TCON_POLB_MD[1:0]	1	POLB 信号の生成モード選択 0：ノーマルモード 水平周期に 2 回変化する信号を生成します。 1：1x1 リバースモード 1 水平周期ごとに極性が反転する信号を生成します。 2：1x2 リバースモード 開始 1 水平期間で極性が反転し、その後、2 水平周期ごとに極性が反転する信号を生成します。 3：2x2 リバースモード 2 水平周期ごとに極性が反転する信号を生成します。

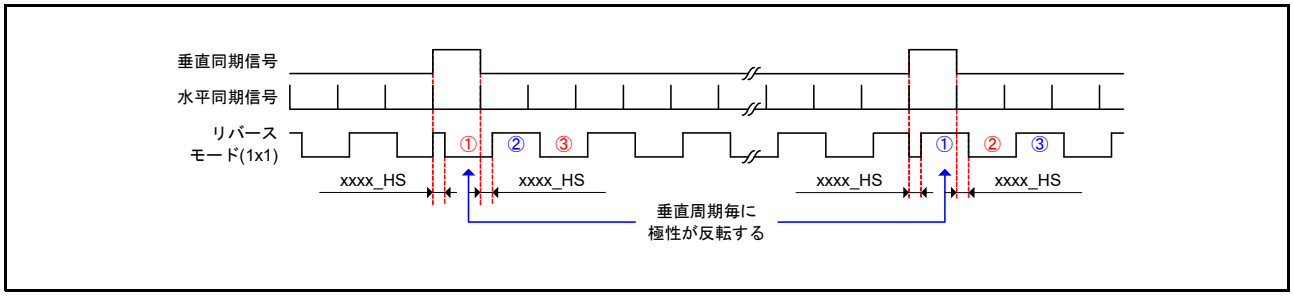


図 34.13　水平パネルドライバ信号（リバースモード、1x1 時）

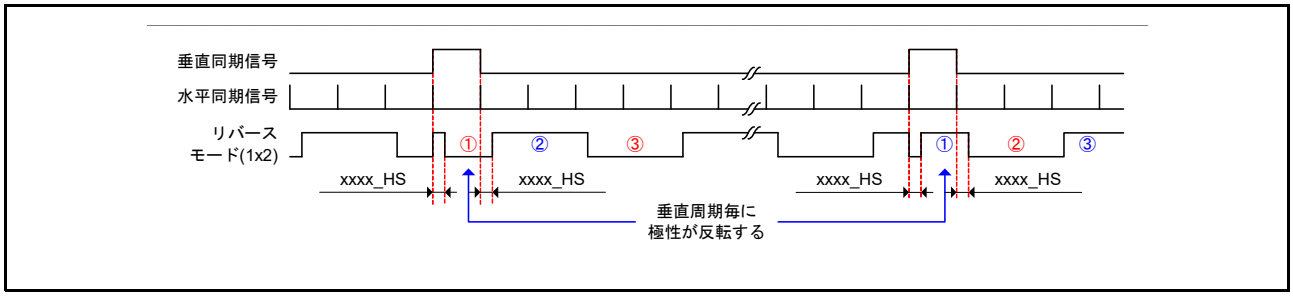


図 34.14　水平パネルドライバ信号（リバースモード、1x2 時）

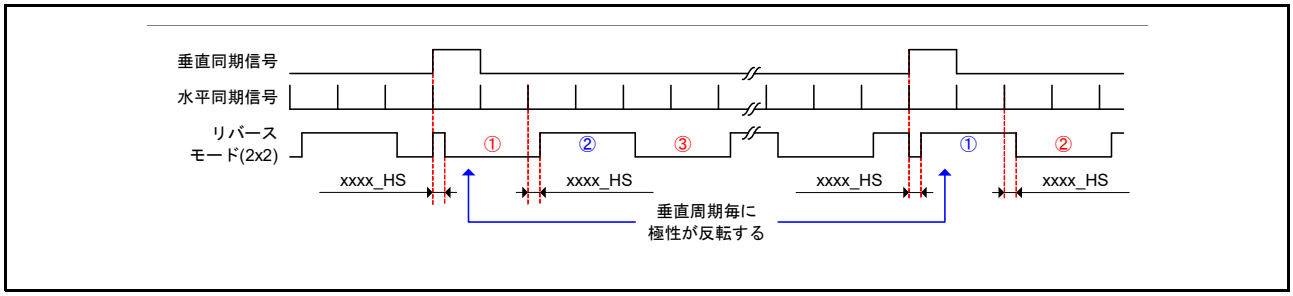


図 34.15　水平パネルドライバ信号（リバースモード、2x2 時）

表 34.17　　水平パネルドライバ信号生成（B）設定

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_POLA1	TCON_POLA_HS[10:0]	0	POLA 信号のパルス開始位置（第 1 の変化タイミング）を設定 水平同期信号の立ち上がりから TCON_POLA_HS 後にパルスを出力開始（クロック周期） 注.　1x1、1x2、2x2 リバースモード設定時、必ず 1 以上を設定してください。
TCON_TIM_POLA1	TCON_POLA_HW[10:0]	0	POLA 信号のパルス幅（第 2 の変化タイミング）を設定 TCON_POLA_HW 期間パルス出力（クロック周期）
TCON_TIM_POLB1	TCON_POLB_HS[10:0]	0	POLB 信号のパルス開始位置（第 1 の変化タイミング）を設定 水平同期信号の立ち上がりから TCON_POLB_HS 後にパルスを出力開始（クロック周期） 注.　1x1、1x2、2x2 リバースモード設定時、必ず 1 以上を設定してください。
TCON_TIM_POLB1	TCON_POLB_HW[10:0]	0	POLB 信号のパルス幅（第 2 の変化タイミング）を設定 TCON_POLB_HW 期間パルス出力（クロック周期）

(4)　垂直パネルドライバ信号生成

垂直同期パネルドライバ信号生成は、以下の動作を行います。

1. 垂直同期信号の立ち上がりにて初期化
2. 内部カウンタと第 1 の変化タイミングを設定する TCON_xxxx_VS[10:0]、第 2 の変化タイミングを設定する TCON_xxxx_VW[10:0] によって垂直周期に 2 回変化するタイミング信号を生成します。

内部カウンタは以下の 2 つの場合でカウントアップします。

1. 内部カウンタは水平同期信号の立ち上がり基準
2. 水平同期信号の立ち上がりを基準に TCON_HALF[10:0] の設定によりクロック遅延した基準（通常 1/2fH を設定）

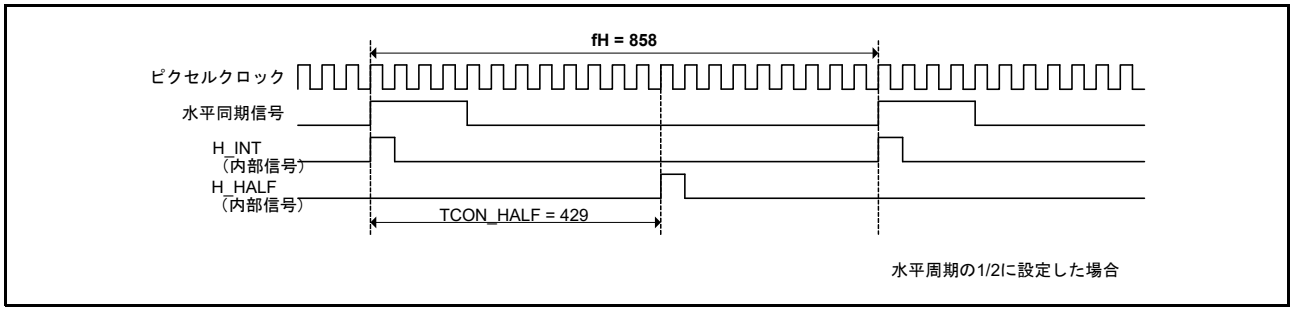


図 34.16　1/2 パルス（H_HALF）信号生成

表 34.18　1/2 パルス（H_HALF）信号生成設定

レジスタ名	ビット名	初期値	説　　明
TCON_TIM	TCON_HALF[10:0]	400	1/2fH タイミング設定 垂直カウンタのカウント動作タイミングを水平同期信号の立ち上がりからのクロック数を指定

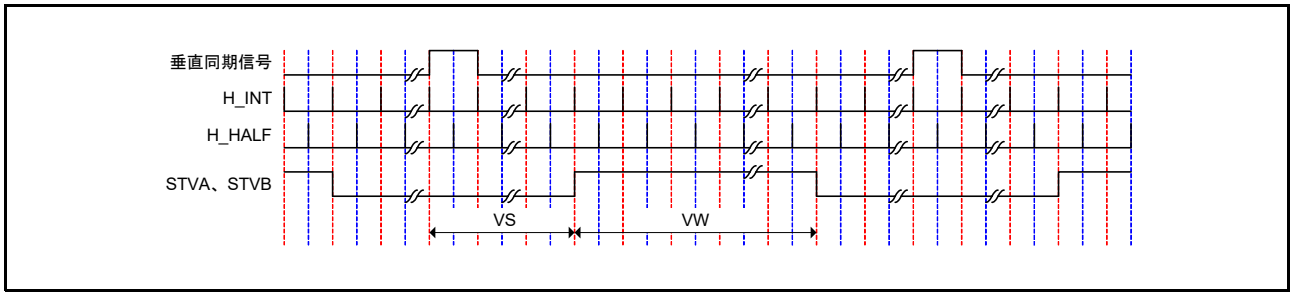


図 34.17　垂直パネルドライバ信号（H_INT 基準動作）

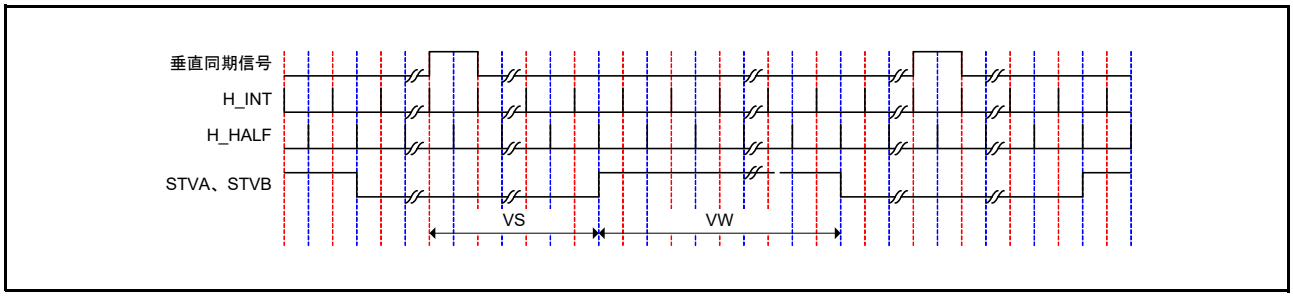


図 34.18　垂直パネルドライバ信号（H_HALF 基準動作）

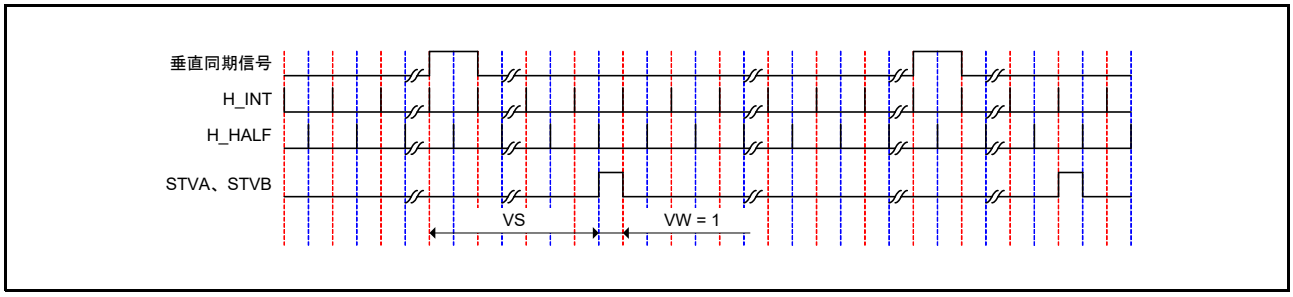


図 34.19　垂直パネルドライバ信号（H_INT、H_HALF 基準動作）

表 34.19　垂直パネルドライバ信号生成

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STVA1	TCON_STVA_VS[10:0]	0	STVA 信号のパルス開始位置（第 1 の変化タイミング）を設定 垂直同期信号の立ち上がりから TCON_STVA_VS 後にパルスを出力開始（1/2fH 周期）
TCON_TIM_STVA1	TCON_STVA_VW[10:0]	4	STVA 信号のパルス幅（第 2 の変化タイミング）を設定 TCON_STVA_VW 期間パルス出力（1/2fH 周期）
TCON_TIM_STVB1	TCON_STVB_VS[10:0]	70	STVB 信号のパルス開始位置（第 1 の変化タイミング）を設定 垂直同期信号の立ち上がりから TCON_STVB_VS 後にパルスを出力開始（1/2fH 周期）
TCON_TIM_STVB1	TCON_STVB_VW[10:0]	960	STVB 信号のパルス幅（第 2 の変化タイミング）を設定 TCON_STVB_VW 期間パルス出力（1/2fH 周期）

(5)　DE タイミング信号生成

水平パネルドライバ（HE）信号と垂直パネルドライバ（VE）信号を合成（論理積）して映像信号の有効期間を示すデータイネーブル（DE）信号を生成します。

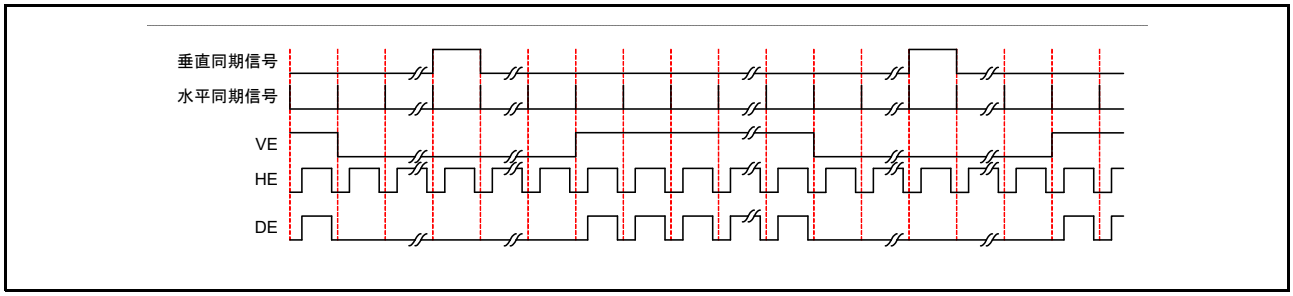


図 34.20　データイネーブル信号生成

(6)　極性反転

信号生成回路にて生成された各々の信号に対して信号の極性を反転することができます。

表 34.20　パネルドライバ信号極性反転制御

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STVA2	TCON_STVA_INV	1	STVA 信号の極性反転制御 0：非反転 1：反転
TCON_TIM_STVB2	TCON_STVB_INV	0	STVB 信号の極性反転制御 0：非反転 1：反転
TCON_TIM_STH2	TCON_STH_INV	1	STH 信号の極性反転制御 0：非反転 1：反転
TCON_TIM_STB2	TCON_STB_INV	0	STB 信号の極性反転制御 0：非反転 1：反転
TCON_TIM_CPV2	TCON_CPV_INV	0	CPV 信号の極性反転制御 0：非反転 1：反転
TCON_TIM_POLA2	TCON_POLA_INV	0	POLA 信号の極性反転制御 0：非反転 1：反転

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_POLB2	TCON_POLB_INV	0	POLB信号の極性反転制御 0：非反転 1：反転
TCON_TIM_DE	TCON_DE_INV	0	DE信号の極性反転制御 0：非反転 1：反転

(7) 出力選択

極性反転制御された各々の信号に対して出力ピンへの割当を選択します。

表34.21　パネルドライバ信号出力選択

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_STVA2	TCON_STVA_SEL[2:0]	0	LCD_TCON0端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_STVB2	TCON_STVB_SEL[2:0]	1	LCD_TCON1端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_STH2	TCON_STH_SEL[2:0]	2	LCD_TCON2端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_STB2	TCON_STB_SEL[2:0]	7	LCD_TCON3端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_CPV2	TCON_CPV_SEL[2:0]	4	LCD_TCON4端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

レジスタ名	ビット名	初期値	説　　明
TCON_TIM_POLA2	TCON_POLA_SEL[2:0]	5	LCD_TCON5 端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE
TCON_TIM_POLB2	TCON_POLB_SEL[2:0]	6	LCD_TCON6 端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

(8) 出力位相選択

映像出力信号、および、各種タイミング出力信号は、LCD_CLK（パネルクロック）基準で出力位相を個別に選択できます。

表 34.22　パネル出力信号の位相選択

レジスタ名	ビット名	初期値	説　　明
OUT_CLK_PHASE	OUTCNT_LCD_EDGE	0	LCD_DATA23～0 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STVA_EDGE	0	LCD_TCON0 端子信号の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STVB_EDGE	0	LCD_TCON1 端子信号の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STH_EDGE	0	LCD_TCON2 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_STB_EDGE	0	LCD_TCON3 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_CPV_EDGE	0	LCD_TCON4 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_POLA_EDGE	0	LCD_TCON5 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
OUT_CLK_PHASE	OUTCNT_POLB_EDGE	0	LCD_TCON6 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力

34.2 レジスタの説明

表 34.23 ～表 34.25 にレジスタ構成を示します。

【レジスタ説明の記号説明】
初期値　：リセット後のレジスタ値
－　　：不定値
R/W　　：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0　：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1　：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R　　：リードのみ可。書き込む値は常に 0 にしてください。
－ /W　：ライトのみ可。読み出し値は不定です。

表 34.23　ガンマ補正部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
ガンマ補正部レジスタ更新制御レジスタ G	GAM_G_UPDATE	R/WC1	H'0000 0000	H'FCFF 7800	32
ガンマ補正部機能スイッチレジスタ	GAM_SW	R/W	H'0000 0000	H'FCFF 7804	32
ガンマ補正部テーブル設定レジスタ G1	GAM_G_LUT1	R/W	H'0400 0400	H'FCFF 7808	32
ガンマ補正部テーブル設定レジスタ G2	GAM_G_LUT2	R/W	H'0400 0400	H'FCFF 780C	32
ガンマ補正部テーブル設定レジスタ G3	GAM_G_LUT3	R/W	H'0400 0400	H'FCFF 7810	32
ガンマ補正部テーブル設定レジスタ G4	GAM_G_LUT4	R/W	H'0400 0400	H'FCFF 7814	32
ガンマ補正部テーブル設定レジスタ G5	GAM_G_LUT5	R/W	H'0400 0400	H'FCFF 7818	32
ガンマ補正部テーブル設定レジスタ G6	GAM_G_LUT6	R/W	H'0400 0400	H'FCFF 781C	32
ガンマ補正部テーブル設定レジスタ G7	GAM_G_LUT7	R/W	H'0400 0400	H'FCFF 7820	32
ガンマ補正部テーブル設定レジスタ G8	GAM_G_LUT8	R/W	H'0400 0400	H'FCFF 7824	32
ガンマ補正部テーブル設定レジスタ G9	GAM_G_LUT9	R/W	H'0400 0400	H'FCFF 7828	32
ガンマ補正部テーブル設定レジスタ G10	GAM_G_LUT10	R/W	H'0400 0400	H'FCFF 782C	32
ガンマ補正部テーブル設定レジスタ G11	GAM_G_LUT11	R/W	H'0400 0400	H'FCFF 7830	32
ガンマ補正部テーブル設定レジスタ G12	GAM_G_LUT12	R/W	H'0400 0400	H'FCFF 7834	32
ガンマ補正部テーブル設定レジスタ G13	GAM_G_LUT13	R/W	H'0400 0400	H'FCFF 7838	32
ガンマ補正部テーブル設定レジスタ G14	GAM_G_LUT14	R/W	H'0400 0400	H'FCFF 783C	32
ガンマ補正部テーブル設定レジスタ G15	GAM_G_LUT15	R/W	H'0400 0400	H'FCFF 7840	32
ガンマ補正部テーブル設定レジスタ G16	GAM_G_LUT16	R/W	H'0400 0400	H'FCFF 7844	32
ガンマ補正部領域設定レジスタ G1	GAM_G_AREA1	R/W	H'0008 1018	H'FCFF 7848	32
ガンマ補正部領域設定レジスタ G2	GAM_G_AREA2	R/W	H'2028 3038	H'FCFF 784C	32
ガンマ補正部領域設定レジスタ G3	GAM_G_AREA3	R/W	H'4048 5058	H'FCFF 7850	32
ガンマ補正部領域設定レジスタ G4	GAM_G_AREA4	R/W	H'6068 7078	H'FCFF 7854	32
ガンマ補正部領域設定レジスタ G5	GAM_G_AREA5	R/W	H'8088 9098	H'FCFF 7858	32
ガンマ補正部領域設定レジスタ G6	GAM_G_AREA6	R/W	H'A0A8 B0B8	H'FCFF 785C	32
ガンマ補正部領域設定レジスタ G7	GAM_G_AREA7	R/W	H'C0C8 D0D8	H'FCFF 7860	32
ガンマ補正部領域設定レジスタ G8	GAM_G_AREA8	R/W	H'E0E8 F0F8	H'FCFF 7864	32
ガンマ補正部レジスタ更新制御レジスタ B	GAM_B_UPDATE	R/WC1	H'0000 0000	H'FCFF 7880	32
ガンマ補正部テーブル設定レジスタ B1	GAM_B_LUT1	R/W	H'0400 0400	H'FCFF 7888	32
ガンマ補正部テーブル設定レジスタ B2	GAM_B_LUT2	R/W	H'0400 0400	H'FCFF 788C	32
ガンマ補正部テーブル設定レジスタ B3	GAM_B_LUT3	R/W	H'0400 0400	H'FCFF 7890	32

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
ガンマ補正部テーブル設定レジスタB4	GAM_B_LUT4	R/W	H'0400 0400	H'FCFF 7894	32
ガンマ補正部テーブル設定レジスタB5	GAM_B_LUT5	R/W	H'0400 0400	H'FCFF 7898	32
ガンマ補正部テーブル設定レジスタB6	GAM_B_LUT6	R/W	H'0400 0400	H'FCFF 789C	32
ガンマ補正部テーブル設定レジスタB7	GAM_B_LUT7	R/W	H'0400 0400	H'FCFF 78A0	32
ガンマ補正部テーブル設定レジスタB8	GAM_B_LUT8	R/W	H'0400 0400	H'FCFF 78A4	32
ガンマ補正部テーブル設定レジスタB9	GAM_B_LUT9	R/W	H'0400 0400	H'FCFF 78A8	32
ガンマ補正部テーブル設定レジスタB10	GAM_B_LUT10	R/W	H'0400 0400	H'FCFF 78AC	32
ガンマ補正部テーブル設定レジスタB11	GAM_B_LUT11	R/W	H'0400 0400	H'FCFF 78B0	32
ガンマ補正部テーブル設定レジスタB12	GAM_B_LUT12	R/W	H'0400 0400	H'FCFF 78B4	32
ガンマ補正部テーブル設定レジスタB13	GAM_B_LUT13	R/W	H'0400 0400	H'FCFF 78B8	32
ガンマ補正部テーブル設定レジスタB14	GAM_B_LUT14	R/W	H'0400 0400	H'FCFF 78BC	32
ガンマ補正部テーブル設定レジスタB15	GAM_B_LUT15	R/W	H'0400 0400	H'FCFF 78C0	32
ガンマ補正部テーブル設定レジスタB16	GAM_B_LUT16	R/W	H'0400 0400	H'FCFF 78C4	32
ガンマ補正部領域設定レジスタB1	GAM_B_AREA1	R/W	H'0008 1018	H'FCFF 78C8	32
ガンマ補正部領域設定レジスタB2	GAM_B_AREA2	R/W	H'2028 3038	H'FCFF 78CC	32
ガンマ補正部領域設定レジスタB3	GAM_B_AREA3	R/W	H'4048 5058	H'FCFF 78D0	32
ガンマ補正部領域設定レジスタB4	GAM_B_AREA4	R/W	H'6068 7078	H'FCFF 78D4	32
ガンマ補正部領域設定レジスタB5	GAM_B_AREA5	R/W	H'8088 9098	H'FCFF 78D8	32
ガンマ補正部領域設定レジスタB6	GAM_B_AREA6	R/W	H'A0A8 B0B8	H'FCFF 78DC	32
ガンマ補正部領域設定レジスタB7	GAM_B_AREA7	R/W	H'C0C8 D0D8	H'FCFF 78E0	32
ガンマ補正部領域設定レジスタB8	GAM_B_AREA8	R/W	H'E0E8 F0F8	H'FCFF 78E4	32
ガンマ補正部レジスタ更新制御レジスタR	GAM_R_UPDATE	R/WC1	H'0000 0000	H'FCFF 7900	32
ガンマ補正部テーブル設定レジスタR1	GAM_R_LUT1	R/W	H'0400 0400	H'FCFF 7908	32
ガンマ補正部テーブル設定レジスタR2	GAM_R_LUT2	R/W	H'0400 0400	H'FCFF 790C	32
ガンマ補正部テーブル設定レジスタR3	GAM_R_LUT3	R/W	H'0400 0400	H'FCFF 7910	32
ガンマ補正部テーブル設定レジスタR4	GAM_R_LUT4	R/W	H'0400 0400	H'FCFF 7914	32
ガンマ補正部テーブル設定レジスタR5	GAM_R_LUT5	R/W	H'0400 0400	H'FCFF 7918	32
ガンマ補正部テーブル設定レジスタR6	GAM_R_LUT6	R/W	H'0400 0400	H'FCFF 791C	32
ガンマ補正部テーブル設定レジスタR7	GAM_R_LUT7	R/W	H'0400 0400	H'FCFF 7920	32
ガンマ補正部テーブル設定レジスタR8	GAM_R_LUT8	R/W	H'0400 0400	H'FCFF 7924	32
ガンマ補正部テーブル設定レジスタR9	GAM_R_LUT9	R/W	H'0400 0400	H'FCFF 7928	32
ガンマ補正部テーブル設定レジスタR10	GAM_R_LUT10	R/W	H'0400 0400	H'FCFF 792C	32
ガンマ補正部テーブル設定レジスタR11	GAM_R_LUT11	R/W	H'0400 0400	H'FCFF 7930	32
ガンマ補正部テーブル設定レジスタR12	GAM_R_LUT12	R/W	H'0400 0400	H'FCFF 7934	32
ガンマ補正部テーブル設定レジスタR13	GAM_R_LUT13	R/W	H'0400 0400	H'FCFF 7938	32
ガンマ補正部テーブル設定レジスタR14	GAM_R_LUT14	R/W	H'0400 0400	H'FCFF 793C	32
ガンマ補正部テーブル設定レジスタR15	GAM_R_LUT15	R/W	H'0400 0400	H'FCFF 7940	32
ガンマ補正部テーブル設定レジスタR16	GAM_R_LUT16	R/W	H'0400 0400	H'FCFF 7944	32
ガンマ補正部領域設定レジスタR1	GAM_R_AREA1	R/W	H'0008 1018	H'FCFF 7948	32
ガンマ補正部領域設定レジスタR2	GAM_R_AREA2	R/W	H'2028 3038	H'FCFF 794C	32
ガンマ補正部領域設定レジスタR3	GAM_R_AREA3	R/W	H'4048 5058	H'FCFF 7950	32
ガンマ補正部領域設定レジスタR4	GAM_R_AREA4	R/W	H'6068 7078	H'FCFF 7954	32
ガンマ補正部領域設定レジスタR5	GAM_R_AREA5	R/W	H'8088 9098	H'FCFF 7958	32
ガンマ補正部領域設定レジスタR6	GAM_R_AREA6	R/W	H'A0A8 B0B8	H'FCFF 795C	32
ガンマ補正部領域設定レジスタR7	GAM_R_AREA7	R/W	H'C0C8 D0D8	H'FCFF 7960	32
ガンマ補正部領域設定レジスタR8	GAM_R_AREA8	R/W	H'E0E8 F0F8	H'FCFF 7964	32

表 34.24　TCON 部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
TCON レジスタ更新制御レジスタ	TCON_UPDATE	R/WC1	H'0000 0000	H'FCFF 7980	32
TCON 基準タイミング設定レジスタ	TCON_TIM	R/W	H'0190 0000	H'FCFF 7984	32
TCON 垂直タイミング設定レジスタ A1	TCON_TIM_STVA1	R/W	H'0000 0004	H'FCFF 7988	32
TCON 垂直タイミング設定レジスタ A2	TCON_TIM_STVA2	R/W	H'0000 0010	H'FCFF 798C	32
TCON 垂直タイミング設定レジスタ B1	TCON_TIM_STVB1	R/W	H'0046 03C0	H'FCFF 7990	32
TCON 垂直タイミング設定レジスタ B2	TCON_TIM_STVB2	R/W	H'0000 0001	H'FCFF 7994	32
TCON 水平タイミング設定レジスタ STH1	TCON_TIM_STH1	R/W	H'0000 0060	H'FCFF 7998	32
TCON 水平タイミング設定レジスタ STH2	TCON_TIM_STH2	R/W	H'0000 0012	H'FCFF 799C	32
TCON 水平タイミング設定レジスタ STB1	TCON_TIM_STB1	R/W	H'0090 0280	H'FCFF 79A0	32
TCON 水平タイミング設定レジスタ STB2	TCON_TIM_STB2	R/W	H'0000 0007	H'FCFF 79A4	32
TCON 水平タイミング設定レジスタ CPV1	TCON_TIM_CPV1	R/W	H'0000 0000	H'FCFF 79A8	32
TCON 水平タイミング設定レジスタ CPV2	TCON_TIM_CPV2	R/W	H'0000 0004	H'FCFF 79AC	32
TCON 水平タイミング設定レジスタ POLA1	TCON_TIM_POLA1	R/W	H'0000 0000	H'FCFF 79B0	32
TCON 水平タイミング設定レジスタ POLA2	TCON_TIM_POLA2	R/W	H'0000 1005	H'FCFF 79B4	32
TCON 水平タイミング設定レジスタ POLB1	TCON_TIM_POLB1	R/W	H'0000 0000	H'FCFF 79B8	32
TCON 水平タイミング設定レジスタ POLB2	TCON_TIM_POLB2	R/W	H'0000 1006	H'FCFF 79BC	32
TCON データイネーブル極性設定レジスタ	TCON_TIM_DE	R/W	H'0000 0000	H'FCFF 79C0	32

表 34.25　出力制御部レジスタ構成

名　　称	略称	R/W	初期値	アドレス	アクセスサイズ
出力制御部レジスタ更新制御レジスタ	OUT_UPDATE	R/WC1	H'0000 0000	H'FCFF 7A00	32
出力インタフェース用レジスタ	OUT_SET	R/W	H'001F 0000	H'FCFF 7A04	32
ブライト（DC）補正用レジスタ 1	OUT_BRIGHT1	R/W	H'0000 0200	H'FCFF 7A08	32
ブライト（DC）補正用レジスタ 2	OUT_BRIGHT2	R/W	H'0200 0200	H'FCFF 7A0C	32
コントラスト（ゲイン）補正用レジスタ	OUT_CONTRAST	R/W	H'0080 8080	H'FCFF 7A10	32
パネルディザレジスタ	OUT_PDTHA	R/W	H'0000 3021	H'FCFF 7A14	32
出力位相制御レジスタ	OUT_CLK_PHASE	R/W	H'0000 0000	H'FCFF 7A24	32

34.2.1 ガンマ補正部レジスタ更新制御レジスタ G（GAM_G_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	GAM_G_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_G_VEN	0	R/WC1	ガンマ補正（G）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

34.2.2 ガンマ補正部機能スイッチレジスタ（GAM_SW）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	GAM_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_ON	0	R/W	ガンマ補正オン／オフ制御 0：オフ 1：オン

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ G（GAM_G_UPDATE）の GAM_G_VEN＝1 で更新されます。

34.2.3 ガンマ補正部テーブル設定レジスタ G1 ～ 16（GAM_G_LUT1 ～ 16）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_G_GAIN_xx[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_G_GAIN_yy[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26 ～ 16	*	1024	R/W	GAM_G_LUT1：G 信号の領域 0 のゲイン調整 GAM_G_LUT2：G 信号の領域 2 のゲイン調整 GAM_G_LUT3：G 信号の領域 4 のゲイン調整 GAM_G_LUT4：G 信号の領域 6 のゲイン調整 GAM_G_LUT5：G 信号の領域 8 のゲイン調整 GAM_G_LUT6：G 信号の領域 10 のゲイン調整 GAM_G_LUT7：G 信号の領域 12 のゲイン調整 GAM_G_LUT8：G 信号の領域 14 のゲイン調整 GAM_G_LUT9：G 信号の領域 16 のゲイン調整 GAM_G_LUT10：G 信号の領域 18 のゲイン調整 GAM_G_LUT11：G 信号の領域 20 のゲイン調整 GAM_G_LUT12：G 信号の領域 22 のゲイン調整 GAM_G_LUT13：G 信号の領域 24 のゲイン調整 GAM_G_LUT14：G 信号の領域 26 のゲイン調整 GAM_G_LUT15：G 信号の領域 28 のゲイン調整 GAM_G_LUT16：G 信号の領域 30 のゲイン調整 符号無し（0 ～ 2047[LSB]、1024[LSB] ＝ 1.0[倍]） *：ビット名 GAM_G_LUT1：GAM_G_GAIN_00[10:0] GAM_G_LUT2：GAM_G_GAIN_02[10:0] GAM_G_LUT3：GAM_G_GAIN_04[10:0] GAM_G_LUT4：GAM_G_GAIN_06[10:0] GAM_G_LUT5：GAM_G_GAIN_08[10:0] GAM_G_LUT6：GAM_G_GAIN_10[10:0] GAM_G_LUT7：GAM_G_GAIN_12[10:0] GAM_G_LUT8：GAM_G_GAIN_14[10:0] GAM_G_LUT9：GAM_G_GAIN_16[10:0] GAM_G_LUT10：GAM_G_GAIN_18[10:0] GAM_G_LUT11：GAM_G_GAIN_20[10:0] GAM_G_LUT12：GAM_G_GAIN_22[10:0] GAM_G_LUT13：GAM_G_GAIN_24[10:0] GAM_G_LUT14：GAM_G_GAIN_26[10:0] GAM_G_LUT15：GAM_G_GAIN_28[10:0] GAM_G_LUT16：GAM_G_GAIN_30[10:0]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
10 ～ 0	*	1024	R/W	GAM_G_LUT1：G信号の領域1のゲイン調整 GAM_G_LUT2：G信号の領域3のゲイン調整 GAM_G_LUT3：G信号の領域5のゲイン調整 GAM_G_LUT4：G信号の領域7のゲイン調整 GAM_G_LUT5：G信号の領域9のゲイン調整 GAM_G_LUT6：G信号の領域11のゲイン調整 GAM_G_LUT7：G信号の領域13のゲイン調整 GAM_G_LUT8：G信号の領域15のゲイン調整 GAM_G_LUT9：G信号の領域17のゲイン調整 GAM_G_LUT10：G信号の領域19のゲイン調整 GAM_G_LUT11：G信号の領域21のゲイン調整 GAM_G_LUT12：G信号の領域23のゲイン調整 GAM_G_LUT13：G信号の領域25のゲイン調整 GAM_G_LUT14：G信号の領域27のゲイン調整 GAM_G_LUT15：G信号の領域29のゲイン調整 GAM_G_LUT16：G信号の領域31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB]＝1.0[倍]） *：ビット名 GAM_G_LUT1：GAM_G_GAIN_01[10:0] GAM_G_LUT2：GAM_G_GAIN_03[10:0] GAM_G_LUT3：GAM_G_GAIN_05[10:0] GAM_G_LUT4：GAM_G_GAIN_07[10:0] GAM_G_LUT5：GAM_G_GAIN_09[10:0] GAM_G_LUT6：GAM_G_GAIN_11[10:0] GAM_G_LUT7：GAM_G_GAIN_13[10:0] GAM_G_LUT8：GAM_G_GAIN_15[10:0] GAM_G_LUT9：GAM_G_GAIN_17[10:0] GAM_G_LUT10：GAM_G_GAIN_19[10:0] GAM_G_LUT11：GAM_G_GAIN_21[10:0] GAM_G_LUT12：GAM_G_GAIN_23[10:0] GAM_G_LUT13：GAM_G_GAIN_25[10:0] GAM_G_LUT14：GAM_G_GAIN_27[10:0] GAM_G_LUT15：GAM_G_GAIN_29[10:0] GAM_G_LUT16：GAM_G_GAIN_31[10:0]

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.4 ガンマ補正部領域設定レジスタ G1（GAM_G_AREA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	GAM_G_TH_01[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_02[7:0]								GAM_G_TH_03[7:0]							
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GAM_G_TH_01[7:0]	8	R/W	G信号の領域1の開始閾値 符号無し（0～255[LSB]） 0＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_02[7:0]	16	R/W	G信号の領域2の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_03[7:0]	24	R/W	G信号の領域3の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.5 ガンマ補正部領域設定レジスタ G2（GAM_G_AREA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_04[7:0]								GAM_G_TH_05[7:0]							
初期値：	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_06[7:0]								GAM_G_TH_07[7:0]							
初期値：	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_04[7:0]	32	R/W	G信号の領域4の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_05[7:0]	40	R/W	G信号の領域5の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_06[7:0]	48	R/W	G信号の領域6の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_07[7:0]	56	R/W	G信号の領域7の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.6 ガンマ補正部領域設定レジスタ G3（GAM_G_AREA3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_08[7:0]								GAM_G_TH_09[7:0]							
初期値：	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_10[7:0]								GAM_G_TH_11[7:0]							
初期値：	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_08[7:0]	64	R/W	G信号の領域8の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_09[7:0]	72	R/W	G信号の領域9の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_10[7:0]	80	R/W	G信号の領域10の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_11[7:0]	88	R/W	G信号の領域11の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.7 ガンマ補正部領域設定レジスタ G4（GAM_G_AREA4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_12[7:0]								GAM_G_TH_13[7:0]							
初期値：	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_14[7:0]								GAM_G_TH_15[7:0]							
初期値：	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_12[7:0]	96	R/W	G信号の領域12の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_13[7:0]	104	R/W	G信号の領域13の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_14[7:0]	112	R/W	G信号の領域14の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_15[7:0]	120	R/W	G信号の領域15の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.8 ガンマ補正部領域設定レジスタ G5（GAM_G_AREA5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_16[7:0]								GAM_G_TH_17[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_18[7:0]								GAM_G_TH_19[7:0]							
初期値：	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_16[7:0]	128	R/W	G信号の領域16の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_17[7:0]	136	R/W	G信号の領域17の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_18[7:0]	144	R/W	G信号の領域18の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_19[7:0]	152	R/W	G信号の領域19の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.9 ガンマ補正部領域設定レジスタ G6（GAM_G_AREA6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_20[7:0]								GAM_G_TH_21[7:0]							
初期値：	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_22[7:0]								GAM_G_TH_23[7:0]							
初期値：	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_20[7:0]	160	R/W	G信号の領域20の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_21[7:0]	168	R/W	G信号の領域21の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_22[7:0]	176	R/W	G信号の領域22の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_23[7:0]	184	R/W	G信号の領域23の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.10 ガンマ補正部領域設定レジスタ G7（GAM_G_AREA7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_24[7:0]								GAM_G_TH_25[7:0]							
初期値：	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_26[7:0]								GAM_G_TH_27[7:0]							
初期値：	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_24[7:0]	192	R/W	G信号の領域24の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_25[7:0]	200	R/W	G信号の領域25の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_26[7:0]	208	R/W	G信号の領域26の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_27[7:0]	216	R/W	G信号の領域27の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注． 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.11 ガンマ補正部領域設定レジスタ G8（GAM_G_AREA8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_G_TH_28[7:0]								GAM_G_TH_29[7:0]							
初期値：	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_G_TH_30[7:0]								GAM_G_TH_31[7:0]							
初期値：	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_G_TH_28[7:0]	224	R/W	G信号の領域28の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_G_TH_29[7:0]	232	R/W	G信号の領域29の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_G_TH_30[7:0]	240	R/W	G信号の領域30の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_G_TH_31[7:0]	248	R/W	G信号の領域31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値≦255

注． 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタG（GAM_G_UPDATE）のGAM_G_VEN＝1で更新されます。

34.2.12 ガンマ補正部レジスタ更新制御レジスタ B（GAM_B_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	GAM_B_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GAM_B_VEN	0	R/WC1	ガンマ補正（B）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

34.2.13 ガンマ補正部テーブル設定レジスタ B1 ～ 16（GAM_B_LUT1 ～ 16）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_B_GAIN_xx[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_B_GAIN_yy[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	*	1024	R/W	GAM_B_LUT1：B信号の領域0のゲイン調整 GAM_B_LUT2：B信号の領域2のゲイン調整 GAM_B_LUT3：B信号の領域4のゲイン調整 GAM_B_LUT4：B信号の領域6のゲイン調整 GAM_B_LUT5：B信号の領域8のゲイン調整 GAM_B_LUT6：B信号の領域10のゲイン調整 GAM_B_LUT7：B信号の領域12のゲイン調整 GAM_B_LUT8：B信号の領域14のゲイン調整 GAM_B_LUT9：B信号の領域16のゲイン調整 GAM_B_LUT10：B信号の領域18のゲイン調整 GAM_B_LUT11：B信号の領域20のゲイン調整 GAM_B_LUT12：B信号の領域22のゲイン調整 GAM_B_LUT13：B信号の領域24のゲイン調整 GAM_B_LUT14：B信号の領域26のゲイン調整 GAM_B_LUT15：B信号の領域28のゲイン調整 GAM_B_LUT16：B信号の領域30のゲイン調整 符号無し（0～2047[LSB]、1024[LSB]＝1.0[倍]） *：ビット名 GAM_B_LUT1：GAM_B_GAIN_00[10:0] GAM_B_LUT2：GAM_B_GAIN_02[10:0] GAM_B_LUT3：GAM_B_GAIN_04[10:0] GAM_B_LUT4：GAM_B_GAIN_06[10:0] GAM_B_LUT5：GAM_B_GAIN_08[10:0] GAM_B_LUT6：GAM_B_GAIN_10[10:0] GAM_B_LUT7：GAM_B_GAIN_12[10:0] GAM_B_LUT8：GAM_B_GAIN_14[10:0] GAM_B_LUT9：GAM_B_GAIN_16[10:0] GAM_B_LUT10：GAM_B_GAIN_18[10:0] GAM_B_LUT11：GAM_B_GAIN_20[10:0] GAM_B_LUT12：GAM_B_GAIN_22[10:0] GAM_B_LUT13：GAM_B_GAIN_24[10:0] GAM_B_LUT14：GAM_B_GAIN_26[10:0] GAM_B_LUT15：GAM_B_GAIN_28[10:0] GAM_B_LUT16：GAM_B_GAIN_30[10:0]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
10 ～ 0	*	1024	R/W	GAM_B_LUT1：B信号の領域1のゲイン調整 GAM_B_LUT2：B信号の領域3のゲイン調整 GAM_B_LUT3：B信号の領域5のゲイン調整 GAM_B_LUT4：B信号の領域7のゲイン調整 GAM_B_LUT5：B信号の領域9のゲイン調整 GAM_B_LUT6：B信号の領域11のゲイン調整 GAM_B_LUT7：B信号の領域13のゲイン調整 GAM_B_LUT8：B信号の領域15のゲイン調整 GAM_B_LUT9：B信号の領域17のゲイン調整 GAM_B_LUT10：B信号の領域19のゲイン調整 GAM_B_LUT11：B信号の領域21のゲイン調整 GAM_B_LUT12：B信号の領域23のゲイン調整 GAM_B_LUT13：B信号の領域25のゲイン調整 GAM_B_LUT14：B信号の領域27のゲイン調整 GAM_B_LUT15：B信号の領域29のゲイン調整 GAM_B_LUT16：B信号の領域31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB]＝1.0[倍]） *：ビット名 GAM_B_LUT1：GAM_B_GAIN_01[10:0] GAM_B_LUT2：GAM_B_GAIN_03[10:0] GAM_B_LUT3：GAM_B_GAIN_05[10:0] GAM_B_LUT4：GAM_B_GAIN_07[10:0] GAM_B_LUT5：GAM_B_GAIN_09[10:0] GAM_B_LUT6：GAM_B_GAIN_11[10:0] GAM_B_LUT7：GAM_B_GAIN_13[10:0] GAM_B_LUT8：GAM_B_GAIN_15[10:0] GAM_B_LUT9：GAM_B_GAIN_17[10:0] GAM_B_LUT10：GAM_B_GAIN_19[10:0] GAM_B_LUT11：GAM_B_GAIN_21[10:0] GAM_B_LUT12：GAM_B_GAIN_23[10:0] GAM_B_LUT13：GAM_B_GAIN_25[10:0] GAM_B_LUT14：GAM_B_GAIN_27[10:0] GAM_B_LUT15：GAM_B_GAIN_29[10:0] GAM_B_LUT16：GAM_B_GAIN_31[10:0]

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN＝1で更新されます。

34.2.14 ガンマ補正部領域設定レジスタ B1（GAM_B_AREA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	−	−	−	−	−	−	−	−	GAM_B_TH_01[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_02[7:0]								GAM_B_TH_03[7:0]							
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	−	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GAM_B_TH_01[7:0]	8	R/W	B信号の領域1の開始閾値 符号無し（0～255[LSB]） 0＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_02[7:0]	16	R/W	B信号の領域2の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_03[7:0]	24	R/W	B信号の領域3の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B（GAM_B_UPDATE）の GAM_B_VEN＝1で更新されます。

34.2.15 ガンマ補正部領域設定レジスタ B2（GAM_B_AREA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_04[7:0]								GAM_B_TH_05[7:0]							
初期値：	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_06[7:0]								GAM_B_TH_07[7:0]							
初期値：	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_04[7:0]	32	R/W	B信号の領域4の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_05[7:0]	40	R/W	B信号の領域5の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_06[7:0]	48	R/W	B信号の領域6の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_07[7:0]	56	R/W	B信号の領域7の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタ B（GAM_B_UPDATE）の GAM_B_VEN＝1で更新されます。

34.2.16 ガンマ補正部領域設定レジスタ B3（GAM_B_AREA3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_08[7:0]								GAM_B_TH_09[7:0]							
初期値：	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_10[7:0]								GAM_B_TH_11[7:0]							
初期値：	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_08[7:0]	64	R/W	B信号の領域8の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_09[7:0]	72	R/W	B信号の領域9の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_10[7:0]	80	R/W	B信号の領域10の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_11[7:0]	88	R/W	B信号の領域11の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN＝1で更新されます。

34.2.17 ガンマ補正部領域設定レジスタ B4（GAM_B_AREA4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_12[7:0]								GAM_B_TH_13[7:0]							
初期値：	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_14[7:0]								GAM_B_TH_15[7:0]							
初期値：	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_12[7:0]	96	R/W	B信号の領域12の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_13[7:0]	104	R/W	B信号の領域13の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_14[7:0]	112	R/W	B信号の領域14の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_15[7:0]	120	R/W	B信号の領域15の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN＝1で更新されます。

34.2.18 ガンマ補正部領域設定レジスタ B5（GAM_B_AREA5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_16[7:0]								GAM_B_TH_17[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_18[7:0]								GAM_B_TH_19[7:0]							
初期値：	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_16[7:0]	128	R/W	B信号の領域16の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_17[7:0]	136	R/W	B信号の領域17の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_18[7:0]	144	R/W	B信号の領域18の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_19[7:0]	152	R/W	B信号の領域19の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN＝1で更新されます。

34.2.19 ガンマ補正部領域設定レジスタ B6（GAM_B_AREA6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_20[7:0]								GAM_B_TH_21[7:0]							
初期値：	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_22[7:0]								GAM_B_TH_23[7:0]							
初期値：	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_20[7:0]	160	R/W	B信号の領域20の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_21[7:0]	168	R/W	B信号の領域21の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_22[7:0]	176	R/W	B信号の領域22の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_23[7:0]	184	R/W	B信号の領域23の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN＝1で更新されます。

34.2.20 ガンマ補正部領域設定レジスタ B7（GAM_B_AREA7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_24[7:0]								GAM_B_TH_25[7:0]							
初期値：	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_26[7:0]								GAM_B_TH_27[7:0]							
初期値：	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_24[7:0]	192	R/W	B信号の領域24の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_25[7:0]	200	R/W	B信号の領域25の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_26[7:0]	208	R/W	B信号の領域26の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_27[7:0]	216	R/W	B信号の領域27の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注．　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN＝1で更新されます。

34.2.21 ガンマ補正部領域設定レジスタ B8（GAM_B_AREA8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_B_TH_28[7:0]								GAM_B_TH_29[7:0]							
初期値：	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_B_TH_30[7:0]								GAM_B_TH_31[7:0]							
初期値：	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_B_TH_28[7:0]	224	R/W	B信号の領域28の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_B_TH_29[7:0]	232	R/W	B信号の領域29の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_B_TH_30[7:0]	240	R/W	B信号の領域30の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_B_TH_31[7:0]	248	R/W	B信号の領域31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値≦255

注．　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタB（GAM_B_UPDATE）のGAM_B_VEN＝1で更新されます。

34.2.22 ガンマ補正部レジスタ更新制御レジスタ R（GAM_R_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	GAM_R_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GAM_R_VEN	0	R/WC1	ガンマ補正（R）のレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

34.2.23 ガンマ補正部テーブル設定レジスタ R1 ～ 16（GAM_R_LUT1 ～ 16）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	GAM_R_GAIN_xx[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	GAM_R_GAIN_yy[10:0]										
初期値：	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26 ～ 16	*	1024	R/W	GAM_R_LUT1：R 信号の領域 0 のゲイン調整 GAM_R_LUT2：R 信号の領域 2 のゲイン調整 GAM_R_LUT3：R 信号の領域 4 のゲイン調整 GAM_R_LUT4：R 信号の領域 6 のゲイン調整 GAM_R_LUT5：R 信号の領域 8 のゲイン調整 GAM_R_LUT6：R 信号の領域 10 のゲイン調整 GAM_R_LUT7：R 信号の領域 12 のゲイン調整 GAM_R_LUT8：R 信号の領域 14 のゲイン調整 GAM_R_LUT9：R 信号の領域 16 のゲイン調整 GAM_R_LUT10：R 信号の領域 18 のゲイン調整 GAM_R_LUT11：R 信号の領域 20 のゲイン調整 GAM_R_LUT12：R 信号の領域 22 のゲイン調整 GAM_R_LUT13：R 信号の領域 24 のゲイン調整 GAM_R_LUT14：R 信号の領域 26 のゲイン調整 GAM_R_LUT15：R 信号の領域 28 のゲイン調整 GAM_R_LUT16：R 信号の領域 30 のゲイン調整 符号無し（0 ～ 2047[LSB]、1024[LSB] ＝ 1.0[倍]） *：ビット名 GAM_R_LUT1：GAM_R_GAIN_00[10:0] GAM_R_LUT2：GAM_R_GAIN_02[10:0] GAM_R_LUT3：GAM_R_GAIN_04[10:0] GAM_R_LUT4：GAM_R_GAIN_06[10:0] GAM_R_LUT5：GAM_R_GAIN_08[10:0] GAM_R_LUT6：GAM_R_GAIN_10[10:0] GAM_R_LUT7：GAM_R_GAIN_12[10:0] GAM_R_LUT8：GAM_R_GAIN_14[10:0] GAM_R_LUT9：GAM_R_GAIN_16[10:0] GAM_R_LUT10：GAM_R_GAIN_18[10:0] GAM_R_LUT11：GAM_R_GAIN_20[10:0] GAM_R_LUT12：GAM_R_GAIN_22[10:0] GAM_R_LUT13：GAM_R_GAIN_24[10:0] GAM_R_LUT14：GAM_R_GAIN_26[10:0] GAM_R_LUT15：GAM_R_GAIN_28[10:0] GAM_R_LUT16：GAM_R_GAIN_30[10:0]
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説　　明
10 ～ 0	*	1024	R/W	GAM_R_LUT1：R信号の領域1のゲイン調整 GAM_R_LUT2：R信号の領域3のゲイン調整 GAM_R_LUT3：R信号の領域5のゲイン調整 GAM_R_LUT4：R信号の領域7のゲイン調整 GAM_R_LUT5：R信号の領域9のゲイン調整 GAM_R_LUT6：R信号の領域11のゲイン調整 GAM_R_LUT7：R信号の領域13のゲイン調整 GAM_R_LUT8：R信号の領域15のゲイン調整 GAM_R_LUT9：R信号の領域17のゲイン調整 GAM_R_LUT10：R信号の領域19のゲイン調整 GAM_R_LUT11：R信号の領域21のゲイン調整 GAM_R_LUT12：R信号の領域23のゲイン調整 GAM_R_LUT13：R信号の領域25のゲイン調整 GAM_R_LUT14：R信号の領域27のゲイン調整 GAM_R_LUT15：R信号の領域29のゲイン調整 GAM_R_LUT16：R信号の領域31のゲイン調整 符号無し（0～2047[LSB]、1024[LSB]＝1.0[倍]） *：ビット名 GAM_R_LUT1：GAM_R_GAIN_01[10:0] GAM_R_LUT2：GAM_R_GAIN_03[10:0] GAM_R_LUT3：GAM_R_GAIN_05[10:0] GAM_R_LUT4：GAM_R_GAIN_07[10:0] GAM_R_LUT5：GAM_R_GAIN_09[10:0] GAM_R_LUT6：GAM_R_GAIN_11[10:0] GAM_R_LUT7：GAM_R_GAIN_13[10:0] GAM_R_LUT8：GAM_R_GAIN_15[10:0] GAM_R_LUT9：GAM_R_GAIN_17[10:0] GAM_R_LUT10：GAM_R_GAIN_19[10:0] GAM_R_LUT11：GAM_R_GAIN_21[10:0] GAM_R_LUT12：GAM_R_GAIN_23[10:0] GAM_R_LUT13：GAM_R_GAIN_25[10:0] GAM_R_LUT14：GAM_R_GAIN_27[10:0] GAM_R_LUT15：GAM_R_GAIN_29[10:0] GAM_R_LUT16：GAM_R_GAIN_31[10:0]

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.24 ガンマ補正部領域設定レジスタ R1（GAM_R_AREA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	GAM_R_TH_01[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_02[7:0]								GAM_R_TH_03[7:0]							
初期値：	0	0	0	1	0	0	0	0	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	GAM_R_TH_01[7:0]	8	R/W	R信号の領域1の開始閾値 符号無し（0～255[LSB]） 0＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_02[7:0]	16	R/W	R信号の領域2の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_03[7:0]	24	R/W	R信号の領域3の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.25 ガンマ補正部領域設定レジスタ R2（GAM_R_AREA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_04[7:0]								GAM_R_TH_05[7:0]							
初期値：	0	0	1	0	0	0	0	0	0	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_06[7:0]								GAM_R_TH_07[7:0]							
初期値：	0	0	1	1	0	0	0	0	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_04[7:0]	32	R/W	R信号の領域4の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_05[7:0]	40	R/W	R信号の領域5の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_06[7:0]	48	R/W	R信号の領域6の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_07[7:0]	56	R/W	R信号の領域7の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.26 ガンマ補正部領域設定レジスタ R3（GAM_R_AREA3）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_08[7:0]								GAM_R_TH_09[7:0]							
初期値：	0	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_10[7:0]								GAM_R_TH_11[7:0]							
初期値：	0	1	0	1	0	0	0	0	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_08[7:0]	64	R/W	R信号の領域8の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_09[7:0]	72	R/W	R信号の領域9の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_10[7:0]	80	R/W	R信号の領域10の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_11[7:0]	88	R/W	R信号の領域11の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.27 ガンマ補正部領域設定レジスタ R4（GAM_R_AREA4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_12[7:0]								GAM_R_TH_13[7:0]							
初期値：	0	1	1	0	0	0	0	0	0	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_14[7:0]								GAM_R_TH_15[7:0]							
初期値：	0	1	1	1	0	0	0	0	0	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_12[7:0]	96	R/W	R信号の領域12の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_13[7:0]	104	R/W	R信号の領域13の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_14[7:0]	112	R/W	R信号の領域14の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_15[7:0]	120	R/W	R信号の領域15の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注． 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.28 ガンマ補正部領域設定レジスタ R5（GAM_R_AREA5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_16[7:0]								GAM_R_TH_17[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_18[7:0]								GAM_R_TH_19[7:0]							
初期値：	1	0	0	1	0	0	0	0	1	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_16[7:0]	128	R/W	R信号の領域16の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_17[7:0]	136	R/W	R信号の領域17の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_18[7:0]	144	R/W	R信号の領域18の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_19[7:0]	152	R/W	R信号の領域19の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注． 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.29 ガンマ補正部領域設定レジスタ R6（GAM_R_AREA6）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_20[7:0]								GAM_R_TH_21[7:0]							
初期値：	1	0	1	0	0	0	0	0	1	0	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_22[7:0]								GAM_R_TH_23[7:0]							
初期値：	1	0	1	1	0	0	0	0	1	0	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_20[7:0]	160	R/W	R信号の領域20の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_21[7:0]	168	R/W	R信号の領域21の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_22[7:0]	176	R/W	R信号の領域22の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_23[7:0]	184	R/W	R信号の領域23の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注． 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.30 ガンマ補正部領域設定レジスタ R7（GAM_R_AREA7）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_24[7:0]								GAM_R_TH_25[7:0]							
初期値：	1	1	0	0	0	0	0	0	1	1	0	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_26[7:0]								GAM_R_TH_27[7:0]							
初期値：	1	1	0	1	0	0	0	0	1	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_24[7:0]	192	R/W	R信号の領域24の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_25[7:0]	200	R/W	R信号の領域25の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_26[7:0]	208	R/W	R信号の領域26の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_27[7:0]	216	R/W	R信号の領域27の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値

注． 本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.31 ガンマ補正部領域設定レジスタ R8（GAM_R_AREA8）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	GAM_R_TH_28[7:0]								GAM_R_TH_29[7:0]							
初期値：	1	1	1	0	0	0	0	0	1	1	1	0	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	GAM_R_TH_30[7:0]								GAM_R_TH_31[7:0]							
初期値：	1	1	1	1	0	0	0	0	1	1	1	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	GAM_R_TH_28[7:0]	224	R/W	R信号の領域28の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
23 ～ 16	GAM_R_TH_29[7:0]	232	R/W	R信号の領域29の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
15 ～ 8	GAM_R_TH_30[7:0]	240	R/W	R信号の領域30の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値＜次領域の閾値
7 ～ 0	GAM_R_TH_31[7:0]	248	R/W	R信号の領域31の開始閾値 符号無し（0～255[LSB]） 前領域の閾値＜本領域の閾値≦255

注.　本レジスタはすべてガンマ補正部レジスタ更新制御レジスタR（GAM_R_UPDATE）のGAM_R_VEN＝1で更新されます。

34.2.32 TCON レジスタ更新制御レジスタ（TCON_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	TCON_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TCON_VEN	0	R/WC1	LCD TCONのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

34.2.33 TCON 基準タイミング設定レジスタ（TCON_TIM）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	−	−	−	−	−	TCON_HALF[10:0]										
初期値：	0	0	0	0	0	0	0	1	1	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	TCON_OFFSET[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	−	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ HALF[10:0]	400	R/W	1/2fHタイミング設定 垂直カウンタのカウント動作タイミングを水平同期信号の立ち上がりからのクロック数を指定
15 ～ 11	−	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ OFFSET[10:0]	0	R/W	オフセット付き水平同期信号のタイミング設定 水平同期信号の立ち上がりからのクロック数を指定

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.34 TCON 垂直タイミング設定レジスタ A1（TCON_TIM_STVA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	−	−	−	−	−	TCON_STVA_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	−	−	−	−	−	TCON_STVA_VW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	−	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ STVA_VS [10:0]	0	R/W	STVA信号のパルス開始位置（第1の変化タイミング）を設定 垂直同期信号の立ち上がりからTCON_STVA_VS後にパルスを出力開始（1/2fH周期）
15 ～ 11	−	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ STVA_VW [10:0]	4	R/W	STVA信号のパルス幅（第2の変化タイミング）を設定 TCON_STVA_VW期間パルス出力（1/2fH周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.35 TCON 垂直タイミング設定レジスタ A2（TCON_TIM_STVA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCON_STVA_INV	—	TCON_STVA_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_STVA_INV	1	R/W	STVA信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_STVA_SEL[2:0]	0	R/W	LCD_TCON0端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.36 TCON 垂直タイミング設定レジスタ B1（TCON_TIM_STVB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_STVB_VS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_STVB_VW[10:0]										
初期値：	0	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_STVB_VS[10:0]	70	R/W	STVB信号のパルス開始位置（第1の変化タイミング）を設定 垂直同期信号の立ち上がりからTCON_STVB_VS後にパルスを出力開始（1/2fH周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_STVB_VW[10:0]	960	R/W	STVB信号のパルス幅（第2の変化タイミング）を設定 TCON_STVB_VW期間パルス出力（1/2fH周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.37 TCON 垂直タイミング設定レジスタ B2（TCON_TIM_STVB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	TCON_STVB_INV	—	TCON_STVB_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_ STVB_INV	0	R/W	STVB信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_ STVB_SEL [2:0]	1	R/W	LCD_TCON1端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.38 TCON 水平タイミング設定レジスタ STH1（TCON_TIM_STH1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	TCON_STH_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	TCON_STH_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ STH_HS [10:0]	0	R/W	STH信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STH_HS後にパルスを出力開始（クロック周期）
15 ～ 11	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ STH_HW [10:0]	96	R/W	STH信号のパルス幅（第2の変化タイミング）を設定 TCON_STH_HW期間パルス出力（クロック周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.39 TCON 水平タイミング設定レジスタ STH2（TCON_TIM_STH2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	TCON_ STH_HS_ SEL	－	－	－	TCON_ STH_INV	－	TCON_STH_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_ STH_HS_ SEL	0	R/W	STH信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_ STH_INV	1	R/W	STH信号の極性反転制御 0：非反転 1：反転
3	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
2 ～ 0	TCON_ STH_SEL [2:0]	2	R/W	LCD_TCON2端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.40　TCON 水平タイミング設定レジスタ STB1（TCON_TIM_STB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_STB_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	1	0	0	1	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_STB_HW[10:0]										
初期値：	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ STB_HS [10:0]	144	R/W	STB信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_STB_HS後にパルスを出力開始（クロック周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ STB_HW [10:0]	640	R/W	STB信号のパルス幅（第2の変化タイミング）を設定 TCON_STB_HW期間パルス出力（クロック周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.41 TCON 水平タイミング設定レジスタ STB2（TCON_TIM_STB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON_STB_HS_SEL	—	—	—	TCON_STB_INV	—	TCON_STB_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_ STB_HS_ SEL	0	R/W	STB信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_ STB_INV	0	R/W	STB信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_ STB_SEL [2:0]	7	R/W	LCD_TCON3端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注．　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.42 TCON 水平タイミング設定レジスタ CPV1（TCON_TIM_CPV1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_CPV_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_CPV_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ CPV_HS [10:0]	0	R/W	CPV信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_CPV_HS後にパルスを出力開始（クロック周期）
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ CPV_HW [10:0]	0	R/W	CPV信号のパルス幅（第2の変化タイミング）を設定 TCON_CPV_HW期間パルス出力（クロック周期）

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.43 TCON 水平タイミング設定レジスタ CPV2（TCON_TIM_CPV2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	TCON_CPV_HS_SEL	—	—	—	TCON_CPV_INV	—	TCON_CPV_SEL[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_CPV_HS_SEL	0	R/W	CPV信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_CPV_INV	0	R/W	CPV信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_CPV_SEL[2:0]	4	R/W	LCD_TCON4端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注．　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.44 TCON 水平タイミング設定レジスタ POLA1（TCON_TIM_POLA1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	TCON_POLA_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	TCON_POLA_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26 ～ 16	TCON_ POLA_HS [10:0]	0	R/W	POLA信号のパルス開始位置（第1の変化タイミング）を設定 水平同期信号の立ち上がりからTCON_POLA_HS後にパルスを出力開始（クロック周期） 注．　1x1、1x2、2x2リバースモード設定時、必ず1以上を設定してください。
15 ～ 11	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10 ～ 0	TCON_ POLA_HW [10:0]	0	R/W	POLA信号のパルス幅（第2の変化タイミング）を設定 TCON_POLA_HW期間パルス出力（クロック周期）

注．　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.45 TCON 水平タイミング設定レジスタ POLA2（TCON_TIM_POLA2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TCON_ POLA_MD[1:0]		—	—	—	TCON_ POLA_HS _SEL	—	—	—	TCON_ POLA_ INV	—	TCON_POLA_SEL[2:0]		
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	1	0	1
R/W：	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	TCON_ POLA_MD [1:0]	1	R/W	POLA信号の生成モード選択 0：ノーマルモード 水平周期に2回変化する信号を生成する。 1：1x1リバースモード 1水平周期ごとに極性が反転する信号を生成する。 2：1x2リバースモード 開始1水平期間で極性が反転し、その後、2水平周期ごとに極性が反転する信号を生成する。 3：2x2リバースモード 2水平周期ごとに極性が反転する信号を生成する。
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
8	TCON_ POLA_HS_ SEL	0	R/W	POLA 信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	TCON_ POLA_INV	0	R/W	POLA 信号の極性反転制御 0：非反転 1：反転
3	―	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2 ～ 0	TCON_ POLA_SEL [2:0]	5	R/W	LCD_TCON5 端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　本レジスタはすべて TCON レジスタ更新制御レジスタ（TCON_UPDATE）の TCON_VEN＝1 で更新されます。

34.2.46　TCON 水平タイミング設定レジスタ POLB1（TCON_TIM_POLB1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	―	―	―	―	―	TCON_POLB_HS[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	―	―	―	―	―	TCON_POLB_HW[10:0]										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
26 ～ 16	TCON_ POLB_HS [10:0]	0	R/W	POLB 信号のパルス開始位置（第 1 の変化タイミング）を設定 水平同期信号の立ち上がりから TCON_POLB_HS 後にパルスを出力開始（クロック周期） 注.　1x1、1x2、2x2 リバースモード設定時、必ず 1 以上を設定してください。
15 ～ 11	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
10 ～ 0	TCON_ POLB_HW [10:0]	0	R/W	POLB 信号のパルス幅（第 2 の変化タイミング）を設定 TCON_POLB_HW 期間パルス出力（クロック周期）

注.　本レジスタはすべて TCON レジスタ更新制御レジスタ（TCON_UPDATE）の TCON_VEN＝1 で更新されます。

34.2.47 TCON 水平タイミング設定レジスタ POLB2（TCON_TIM_POLB2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	TCON_POLB_MD[1:0]		—	—	—	TCON_POLB_HS_SEL	—	—	—	TCON_POLB_INV	—	TCON_POLB_SEL[2:0]		
初期値：	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	0
R/W：	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	TCON_POLB_MD[1:0]	1	R/W	POLB信号の生成モード選択 0：ノーマルモード 水平周期に2回変化する信号を生成する。 1：1x1リバースモード 1水平周期ごとに極性が反転する信号を生成する。 2：1x2リバースモード 開始1水平期間で極性が反転し、その後、2水平周期ごとに極性が反転る信号を生成する。 3：2x2リバースモード 2水平周期ごとに極性が反転する信号を生成する。
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	TCON_POLB_HS_SEL	0	R/W	POLB信号の動作基準選択 0：水平同期信号基準 1：オフセット後の水平同期信号基準
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	TCON_POLB_INV	0	R/W	POLB信号の極性反転制御 0：非反転 1：反転
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2 ～ 0	TCON_POLB_SEL[2:0]	6	R/W	LCD_TCON6端子への出力信号選択 0：STVA/VS 1：STVB/VE 2：STH/SP/HS 3：STB/LP/HE 4：CPV/GCK 5：POLA 6：POLB 7：DE

注.　レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.48 TCON データイネーブル極性設定レジスタ（TCON_TIM_DE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	TCON_DE_INV
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	TCON_ DE_INV	0	R/W	DE信号の極性反転制御 0：非反転 1：反転

注.　本レジスタはすべてTCONレジスタ更新制御レジスタ（TCON_UPDATE）のTCON_VEN＝1で更新されます。

34.2.49 出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	OUTCNT_VEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/WC1

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	OUTCNT_ VEN	0	R/WC1	ブライト／コントラスト、ディザ処理、出力インタフェースのレジスタ更新 0：レジスタを更新しない 1：レジスタを垂直同期信号の立ち上がりで更新する

34.2.50 出力インタフェース用レジスタ（OUT_SET）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	OUT_ENDIAN_ON	—	—	—	OUT_SWAP_ON	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	OUT_FORMAT[1:0]		—	—	OUT_FRQ_SEL[1:0]		—	—	—	OUT_DIR_SEL	—	—	OUT_PHASE[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31～29	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	OUT_ENDIAN_ON	0	R/W	ビットエンディアン変更オン／オフ制御 0：オフ 1：オン
27～25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	OUT_SWAP_ON	0	R/W	B/R信号入れ替えオン／オフ制御 0：オフ 1：オン
23～21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20～16	—	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
15、14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	OUT_FORMAT[1:0]	0	R/W	出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：シリアルRGB
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	OUT_FRQ_SEL[1:0]	0	R/W	クロック周波数制御 0：1倍速（パラレルRGB） 1：3倍速（シリアルRGB） 2：4倍速（シリアルRGB） 3：設定禁止
7～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	OUT_DIR_SEL	0	R/W	スキャン方向選択 0：正スキャン 1：逆スキャン
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	OUT_PHASE[1:0]	0	R/W	シリアルRGB出力時のクロック位相調整 3倍速のとき 0：0[clk] 1：1[clk] 2：2[clk] 3：設定禁止 4倍速のとき 0：0[clk] 1：1[clk] 2：2[clk] 3：3[clk]

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN＝1で更新されます。

34.2.51 ブライト（DC）補正用レジスタ 1（OUT_BRIGHT1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBRT_G[9:0]									
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	PBRT_G[9:0]	512	R/W	G信号のブライト（DC）調整 符号無し（0（-512）～512（0）～1023（+511）[LSB]、512[LSB]オフセット付）

注. 本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN＝1で更新されます。

34.2.52 ブライト（DC）補正用レジスタ 2（OUT_BRIGHT2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	PBRT_B[9:0]									
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PBRT_R[9:0]									
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 26	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25 ～ 16	PBRT_B[9:0]	512	R/W	B信号のブライト（DC）調整 符号無し（0（-512）～512（0）～1023（+511）[LSB]、512[LSB]オフセット付）
15 ～ 10	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9 ～ 0	PBRT_R[9:0]	512	R/W	R信号のブライト（DC）調整 符号無し（0（-512）～512（0）～1023（+511）[LSB]、512[LSB]オフセット付）

注. 本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN＝1で更新されます。

34.2.53 コントラスト（ゲイン）補正用レジスタ（OUT_CONTRAST）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	CONT_G[7:0]							
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CONT_B[7:0]								CONT_R[7:0]							
初期値：	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23 ～ 16	CONT_G[7:0]	128	R/W	G信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
15 ～ 8	CONT_B[7:0]	128	R/W	B信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）
7 ～ 0	CONT_R[7:0]	128	R/W	R信号のコントラスト（ゲイン）調整 0/128～255/128（約2倍）

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN＝1で更新されます。

34.2.54 パネルディザレジスタ（OUT_PDTHA）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	PDTH_SEL[1:0]		－	－	PDTH_FORMAT[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	PDTH_PA[1:0]		－	－	PDTH_PB[1:0]		－	－	PDTH_PC[1:0]		－	－	PDTH_PD[1:0]	
初期値：	0	0	1	1	0	0	0	0	0	0	1	0	0	0	0	1
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 22	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	PDTH_SEL [1:0]	0	R/W	パネルディザ動作モード 0：切り捨て 1：四捨五入 2：2x2パターンディザ 3：ランダムパターンディザ
19、18	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	PDTH_ FORMAT [1:0]	0	R/W	パネルディザ出力フォーマット選択 0：RGB888 1：RGB666 2：RGB565 3：設定禁止
15、14	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
13、12	PDTH_PA [1:0]	3	R/W	2x2パターンディザのパターン値（A） 符号無し（0～3[LSB]）
11、10	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	PDTH_PB [1:0]	0	R/W	2x2パターンディザのパターン値（B） 符号無し（0～3[LSB]）
7、6	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	PDTH_PC [1:0]	2	R/W	2x2パターンディザのパターン値（C） 符号無し（0～3[LSB]）
3、2	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	PDTH_PD [1:0]	1	R/W	2x2パターンディザのパターン値（D） 符号無し（0～3[LSB]）

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）のOUTCNT_VEN＝1で更新されます。

34.2.55　出力位相制御レジスタ（OUT_CLK_PHASE）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―	―
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	―	―	―	OUTCNT_FRONT_GAM	―	―	―	OUTCNT_LCD_EDGE	―	OUTCNT_STVA_EDGE	OUTCNT_STVB_EDGE	OUTCNT_STH_EDGE	OUTCNT_STB_EDGE	OUTCNT_CPV_EDGE	OUTCNT_POLA_EDGE	OUTCNT_POLB_EDGE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 13	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	OUTCNT_FRONT_GAM	0	R/W	補正回路の順番の制御 0：ブライト⇒コントラスト⇒ガンマ補正 1：ガンマ補正⇒ブライト⇒コントラスト
11 ～ 9	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	OUTCNT_LCD_EDGE	0	R/W	LCD_DATA23～0端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
7	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	OUTCNT_STVA_EDGE	0	R/W	LCD_TCON0端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
5	OUTCNT_STVB_EDGE	0	R/W	LCD_TCON1端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
4	OUTCNT_STH_EDGE	0	R/W	LCD_TCON2端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力
3	OUTCNT_STB_EDGE	0	R/W	LCD_TCON3端子の出力位相制御 0：LCD_CLK端子の立ち上がりエッジで出力 1：LCD_CLK端子の立ち下がりエッジで出力

ビット	ビット名	初期値	R/W	説　　明
2	OUTCNT_ CPV_EDGE	0	R/W	LCD_TCON4 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
1	OUTCNT_ POLA_EDGE	0	R/W	LCD_TCON5 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力
0	OUTCNT_ POLB_EDGE	0	R/W	LCD_TCON6 端子の出力位相制御 0：LCD_CLK 端子の立ち上がりエッジで出力 1：LCD_CLK 端子の立ち下がりエッジで出力

注.　本レジスタはすべて出力制御部レジスタ更新制御レジスタ（OUT_UPDATE）の OUTCNT_VEN＝1 で更新されます。

34.3 使用方法

34.3.1 ガンマ補正調整方法

接続を行う各パネルの G/B/R 毎の特性を計測し、パネルにあったガンマ補正の設定を行います。
パネルの特性に依存する為、推奨設定値はありません。

34.3.2 ディザの使用方法

表示画面に擬似輪郭が出ている場合に使用します。

表 34.26 ディザの設定

ビット名	設定値
PDTH_FORMAT[1:0]	フォーマットを設定します。 RGB888 の場合：0 RGB666 の場合：1 RGB565 の場合：2
PDTH_SEL[1:0]	2x2 パターンディザを使用する場合：2
PDTH_PA[1:0]	通常、初期値で使用します：3
PDTH_PB[1:0]	通常、初期値で使用します：0
PDTH_PC[1:0]	通常、初期値で使用します：2
PDTH_PD[1:0]	通常、初期値で使用します：1

34.3.3 出力フォーマット調整方法

代表的な出力フォーマットの設定例を示します。
各出力フォーマットの同期系の設定は、スケーリング後の出力設定も同様にする必要があります。

表 34.27 同期系信号の設定例

レジスタ名	ビット名	VGA	SVGA	説明
TCON_TIM	TCON_HALF[10:0]	400	528	1H 期間の半分の値をクロック単位で設定します。
垂直同期信号				
TCON_TIM_STVA1	TCON_STVA_VS[10:0]	0	0	内部垂直同期の立ち上がりからのパルス生成開始位置を設定します。 設定する値は、1/2 H 期間を 1 として設定します。
TCON_TIM_STVA1	TCON_STVA_VW[10:0]	4	8	上記パルス生成開始位置からの変化ポイントを設定します。 設定する値は、1/2 H 期間を 1 として設定します。
TCON_TIM_STVA2	TCON_STVA_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STVA2	TCON_STVA_SEL[2:0]	0	0	出力選択、STVA 出力の場合：0
垂直イネーブル信号				
TCON_TIM_STVB1	TCON_STVB_VS[10:0]	68	44	内部垂直同期の立ち上がりからのパルス生成開始位置を設定します。 設定する値は、1/2 H 期間を 1 として設定します。
TCON_TIM_STVB1	TCON_STVB_VW[10:0]	960	1200	上記パルス生成開始位置からの変化ポイントを設定します。 設定する値は、1/2 H 期間を 1 として設定します。
TCON_TIM_STVB2	TCON_STVB_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STVB2	TCON_STVB_SEL[2:0]	1	1	出力選択、STVB 出力の場合：1
水平同期信号				
TCON_TIM_STH1	TCON_STH_HS[10:0]	0	0	内部水平同期の立ち上がりからのパルス生成開始位置を設定します。
TCON_TIM_STH1	TCON_STH_HW[10:0]	96	128	上記パルス生成開始位置からの変化ポイントを設定します。
TCON_TIM_STH2	TCON_STH_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STH2	TCON_STH_SEL[2:0]	2	2	出力選択、STH 出力の場合：2
水平イネーブル信号				
TCON_TIM_STB1	TCON_STB_HS[10:0]	128	192	内部水平同期の立ち上がりからのパルス生成開始位置を設定します。
TCON_TIM_STB1	TCON_STB_HW[10:0]	640	800	上記パルス生成開始位置からの変化ポイントを設定します。
TCON_TIM_STB2	TCON_STB_INV	0	0	上記パルスの出力極性を設定します。反転出力の場合：1
TCON_TIM_STB2	TCON_STB_SEL[2:0]	3	3	出力選択、STB 出力の場合：3

表34.28　データ系の設定例

レジスタ名	ビット名	RGB888	シリアルRGB（3倍速）	説　明
OUT_SET	OUT_ENDIAN_ON	0	0	ビットエンディアン変更の場合：1
OUT_SET	OUT_SWAP_ON	0	0	B/R入れ替えを行う場合：1
OUT_SET	OUT_FORMAT[1:0]	0	3	出力フォーマット設定 RGB888の場合：0 RGB666の場合：1 RGB565の場合：2 シリアルRGBの場合：3
OUT_SET	OUT_FRQ_SEL[1:0]	0	1	出力クロック制御 RGB888、RGB666、RGB565の場合：0 シリアルRGB3倍速出力の場合：1 シリアルRGB4倍速出力の場合：2
OUT_SET	OUT_DIR_SEL	0	0	シリアルRGB出力のデータ並びを逆にする場合：1
OUT_SET	OUT_PHASE[1:0]	0	0	シリアルRGBの出力位相がずれている場合に設定をします。 遅延なしの場合：0 1クロック遅延させる場合：1 2クロック遅延させる場合：2 3クロック遅延させる場合：3（4倍速のみ対応）

35. ビデオディスプレイコントローラ 5（8） システム制御部

35.1 システム制御機能

35.1.1 機能概要

システム制御部は、割り込み制御、パネルクロック制御、CLUT テーブル読み出し選択信号ステータスフラグ出力機能があります。

35.1.2 割り込み制御

表 35.1 に示すとおり、割り込み信号は、スケーリング部、画面合成部から出力された合計 10 本あります。これらを外部へ出力するか制御します。

割り込み信号を受け付けるときは INT_STA* を 1 に設定します。ただし、1 書き込み後に INT_STA* を読み出しても、割り込み信号を受け付けるまで 0 が読み出されます。割り込み信号を受け付けたとき、INT_STA* から 1 を読み出します。

受け付けられた割り込み信号をクリアするときは INT_STA* を 0 に設定します。

割り込み信号をクリアした後に再度割り込み信号を受け付ける場合は INT_STA* を 1 に設定します。

表 35.1 割り込み信号

要求要因名	ビット名	機　　能
S0_VI_VSYNC	INT_STA0	スケーリング 0 に入力される垂直同期信号
S0_LO_VSYNC	INT_STA1	スケーリング 0 から出力される垂直同期信号
S0_VSYNCERR	INT_STA2	スケーリング 0 の垂直同期信号の欠落信号
GR3_VLINE	INT_STA3	グラフィックス（3）パネル出力の指定ライン信号
S0_VFIELD	INT_STA4	スケーリング 0 の録画機能のフィールド終了信号
IV1_VBUFERR	INT_STA5	スケーリング 0 のフレームバッファ書き込みオーバフロー信号
IV3_VBUFERR	INT_STA6	グラフィックス（0）フレームバッファ読み出しアンダフロー信号
IV5_VBUFERR	INT_STA7	グラフィックス（2）フレームバッファ読み出しアンダフロー信号
IV6_VBUFERR	INT_STA8	グラフィックス（3）フレームバッファ読み出しアンダフロー信号
S0_WLINE	INT_STA9	スケーリング 0 の縮小制御部に入力される書き込み指定ライン信号（本製品では使用できません）

表35.2　割り込みクリア／ホールド設定

レジスタ名	ビット名	初期値	説　明
SYSCNT_INT1	INT_STA0	0	S0_VI_VSYNC割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA1	0	S0_LO_VSYNC割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA2	0	S0_VSYNCERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA3	0	GR3_VLINE割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA4	0	S0_VFIELD割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA5	0	IV1_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA6	0	IV3_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT1	INT_STA7	0	IV5_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT2	INT_STA8	0	IV6_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
SYSCNT_INT2	INT_STA9	0	S0_WLINE割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始（本製品では設定禁止です） 0(R)：割り込み無し 1(R)：割り込み有り

表 35.3　割り込み出力オン／オフ設定

レジスタ名	ビット名	初期値	説　明
SYSCNT_INT4	INT_OUT0_ON	0	S0_VI_VSYNC 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT1_ON	0	S0_LO_VSYNC 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT2_ON	0	S0_VSYNCERR 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT3_ON	0	GR3_VLINE 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT4_ON	0	S0_VFIELD 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT5_ON	0	IV1_VBUFERR 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT6_ON	0	IV3_VBUFERR 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT4	INT_OUT7_ON	0	IV5_VBUFERR 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT5	INT_OUT8_ON	0	IV6_VBUFERR 割り込み出力オン／オフ設定 0：オフ 1：オン
SYSCNT_INT5	INT_OUT9_ON	0	S0_WLINE 割り込み出力オン／オフ設定 0：オフ 1：オン（本製品では設定禁止です）

35.1.3 パネルクロック制御

本モジュールは、パネルクロック供給源として、映像クロック、外部クロックまたは周辺クロック 1 を選択できます。また、1/1 ～ 1/32 までの分周器を内蔵しています。パネルクロックは、表 35.4 に示すレジスタで制御します。

表35.4 パネルクロック制御

レジスタ名	ビット名	初期値	説 明
SYSCNT_PANEL_CLK	PANEL_ICKSEL[1:0]	0	分周クロック供給源選択 0：映像クロック選択（INP_SEL＝1のときDV_CLK） 1：外部クロック選択（LCD0_EXTCLK） 2：設定禁止 3：周辺クロック1選択（P1φ）
SYSCNT_PANEL_CLK	PANEL_ICKEN	0	パネルクロック動作許可設定 0：パネルクロック動作ブロックの動作禁止 1：パネルクロック動作ブロックの動作許可 注. PANEL_ICKSEL、PANEL_DCDRビットの変更は、必ず本ビットを0に設定してから行ってください。
SYSCNT_PANEL_CLK	PANEL_DCDR[5:0]	1	クロック分周比設定 設定の詳細については表35.5を参照してください。 注. 表35.5以外の設定は禁止です。

表35.5 入出力クロック周波数と分周比

DCDR[5:0]	クロック分周比	入出力クロック周波数 (MHz)		
		27.00	54.00	66.67
000001	1/1	27.00	54.00	66.67
000010	1/2	13.50	27.00	33.33
000011	1/3	9.00	18.00	22.22
000100	1/4	6.75	13.50	16.67
000101	1/5	5.40	10.80	13.33
000110	1/6	4.50	9.00	11.11
000111	1/7	3.86	7.71	9.52
001000	1/8	3.38	6.75	8.33
001001	1/9	3.00	6.00	7.41
001100	1/12	2.25	4.50	5.56
010000	1/16	1.69	3.38	4.17
011000	1/24	1.13	2.25	2.78
100000	1/32	0.84	1.69	2.08

35.1.4 CLUT テーブル読み出し選択信号ステータスフラグ

表 35.6 に示すとおり、CLUT 読み出し選択信号ステータスフラグを読み出せます。

表 35.6 CLUT テーブル読み出し選択信号ステータスフラグ

レジスタ名	ビット名	初期値	説　　明
SYSCNT_CLUT	GR0_CLT_SEL_ST	–	グラフィックス（0）CLUT テーブル読み出し選択信号ステータスフラグ 0：CLUT テーブル 0 を読み出し 1：CLUT テーブル 1 を読み出し
SYSCNT_CLUT	GR2_CLT_SEL_ST	–	グラフィックス（2）CLUT テーブル読み出し選択信号ステータスフラグ 0：CLUT テーブル 0 を読み出し 1：CLUT テーブル 1 を読み出し
SYSCNT_CLUT	GR3_CLT_SEL_ST	–	グラフィックス（3）CLUT テーブル読み出し選択信号ステータスフラグ 0：CLUT テーブル 0 を読み出し 1：CLUT テーブル 1 を読み出し

35.2 レジスタの説明

以下のレジスタセットは、SH レジスタマップ空間に割り付けられています。

【レジスタ説明の記号説明】
初期値 ：リセット後のレジスタ値
－ ：不定値
R/W ：リードおよびライト可。書き込み値を読み出すことができます。
R/WC0 ：リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
R/WC1 ：リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。
R ：リードのみ可。書き込む値は常に 0 にしてください。
－ /W ：ライトのみ可。読み出し値は不定です。

表 35.7 システム制御部レジスタ構成（Ch0）

名 称	略称	R/W	初期値	アドレス	アクセスサイズ
割り込み制御レジスタ 1	SYSCNT_INT1	R/W	H'0000 0000	H'FCFF 7A80	32
割り込み制御レジスタ 2	SYSCNT_INT2	R/W	H'0000 0000	H'FCFF 7A84	32
割り込み制御レジスタ 4	SYSCNT_INT4	R/W	H'0000 0000	H'FCFF 7A8C	32
割り込み制御レジスタ 5	SYSCNT_INT5	R/W	H'0000 0000	H'FCFF 7A90	32
パネルクロック制御レジスタ	SYSCNT_PANEL_CLK	R/W	H'0001	H'FCFF 7A98	16
CLUT テーブル読み出し選択信号ステータスフラグレジスタ	SYSCNT_CLUT	R	H'0000	H'FCFF 7A9A	16

35.2.1 割り込み制御レジスタ 1（SYSCNT_INT1）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	INT_STA7	－	－	－	INT_STA6	－	－	－	INT_STA5	－	－	－	INT_STA4
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	INT_STA3	－	－	－	INT_STA2	－	－	－	INT_STA1	－	－	－	INT_STA0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31～29	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INT_STA7	0	R/W	IV5_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
27～25	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INT_STA6	0	R/W	IV3_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
23～21	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INT_STA5	0	R/W	IV1_VBUFERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
19～17	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INT_STA4	0	R/W	S0_VFIELD割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
15～13	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	INT_STA3	0	R/W	GR3_VLINE割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
11～9	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INT_STA2	0	R/W	S0_VSYNCERR割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
7～5	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説　　明
4	INT_STA1	0	R/W	S0_LO_VSYNC 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INT_STA0	0	R/W	S0_VI_VSYNC 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り

35.2.2 割り込み制御レジスタ 2（SYSCNT_INT2）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－	－
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	－	－	－	－	－	－	－	－	－	－	－	INT_STA9	－	－	－	INT_STA8
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	INT_STA9	0	R/W	S0_WLINE 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始（本製品では設定禁止です） 0(R)：割り込み無し 1(R)：割り込み有り
3 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	INT_STA8	0	R/W	IV6_VBUFERR 割り込みクリア／ホールド設定 0(W)：割り込みステータスクリア 1(W)：割り込み受け付け開始 0(R)：割り込み無し 1(R)：割り込み有り

35.2.3 割り込み制御レジスタ 4（SYSCNT_INT4）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	INT_OUT7_ON	—	—	—	INT_OUT6_ON	—	—	—	INT_OUT5_ON	—	—	—	INT_OUT4_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	INT_OUT3_ON	—	—	—	INT_OUT2_ON	—	—	—	INT_OUT1_ON	—	—	—	INT_OUT0_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 29	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
28	INT_OUT7_ON	0	R/W	IV5_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
27 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	INT_OUT6_ON	0	R/W	IV3_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
23 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	INT_OUT5_ON	0	R/W	IV1_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	INT_OUT4_ON	0	R/W	S0_VFIELD割り込み出力オン／オフ設定 0：オフ 1：オン
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	INT_OUT3_ON	0	R/W	GR3_VLINE割り込み出力オン／オフ設定 0：オフ 1：オン
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	INT_OUT2_ON	0	R/W	S0_VSYNCERR割り込み出力オン／オフ設定 0：オフ 1：オン
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INT_OUT1_ON	0	R/W	S0_LO_VSYNC割り込み出力オン／オフ設定 0：オフ 1：オン
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INT_OUT0_ON	0	R/W	S0_VI_VSYNC割り込み出力オン／オフ設定 0：オフ 1：オン

35.2.4 割り込み制御レジスタ 5（SYSCNT_INT5）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	INT_OUT9_ON	—	—	—	INT_OUT8_ON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	INT_OUT9_ON	0	R/W	S0_WLINE割り込み出力オン／オフ設定 0：オフ 1：オン（本製品では設定禁止です）
3 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INT_OUT8_ON	0	R/W	IV6_VBUFERR割り込み出力オン／オフ設定 0：オフ 1：オン

35.2.5 パネルクロック制御レジスタ（SYSCNT_PANEL_CLK）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PANEL_ICKSEL[1:0]		—	—	—	PANEL_ICKEN	—	—	PANEL_DCDR[5:0]					
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
15、14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	PANEL_ICKSEL[1:0]	0	R/W	分周クロック供給源選択 0：映像クロック選択（INP_SEL＝1のときDV_CLK） 1：外部クロック選択（LCD0_EXTCLK） 2：設定禁止 3：周辺クロック1選択（P1φ）
11～9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	PANEL_ICKEN	0	R/W	パネルクロック動作許可設定 0：パネルクロック動作ブロックの動作禁止 1：パネルクロック動作ブロックの動作許可 注.　PANEL_ICKSEL、PANEL_DCDRビットの変更は、必ず本ビットを0に設定してから行ってください。
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5～0	PANEL_DCDR[5:0]	1	R/W	クロック分周比設定 設定の詳細については表35.5を参照してください。 注.　表35.5以外の設定は禁止です。

35.2.6 CLUT テーブル読み出し選択信号ステータスフラグレジスタ（SYSCNT_CLUT）

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	GR3_CLT_SEL_ST	—	—	—	GR2_CLT_SEL_ST	—	—	—	—	—	—	—	GR0_CLT_SEL_ST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
15、14	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	GR3_CLT_SEL_ST	—	R	グラフィックス（3）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	GR2_CLT_SEL_ST	—	R	グラフィックス（2）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し
7 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	GR0_CLT_SEL_ST	—	R	グラフィックス（0）CLUTテーブル読み出し選択信号ステータスフラグ 0：CLUTテーブル0を読み出し 1：CLUTテーブル1を読み出し

36. キャプチャエンジンユニット

キャプチャエンジンユニット（CEU）は、外部から入力される画像データを取り込み、メモリに転送するキャプチャモジュールです。CEU は、バスブリッジモジュールを経由してシステムバスに接続します。

36.1 CEU 特長

CEU は、以下の機能を持ちます。

(1) 画像データ取り込み

- 外部モジュールからの画像をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。
- カメラモジュール等の外部接続モジュールから JPEG データ、RGB565 等の YCbCr データ以外の画像データを取り込み、順次メモリに書き込みます。
- インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。
  両フィールド単位のキャプチャでは、フレームイメージでメモリに格納できます。

(2) フィルタ処理

- 内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。なお、縮小後の画像サイズは VGA 以下に対応します。また、フィルタ処理は YCbCr 入力のみに対応します。

(3) フォーマット変換

- YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。なお、変換アルゴリズムは、偶数ラインの色差成分（CbCr）を間引くのみの単純間引きです。

36.2 CEU の機能概要

CEU の機能概要を表 36.1 に、主機能とその詳細を表 36.2 に示します。

表 36.1　CEU の機能概要

分類	項目	実現機能	説明	特記事項
接続可能カメラ	サイズ例	5M 画素	2,560 pixel × 1,920 line	水平方向：4 画素単位（注） 垂直方向：4 ライン単位 注. 内蔵 RAM 以外に書き込む場合は 8 画素単位 入力可能な映像サイズ 水平 2,560pixel ～ 128pixel 垂直 1,920line ～ 96line 注. 接続するデバイスとの AC 特性、接続するデバイスのフレームレート、および保存する RAM への転送速度に依存します。
		3M 画素	2,048 pixel × 1,536 line	
		2M 画素	1,632 pixel × 1,224 line	
		UXGA	1,600 pixel × 1,200 line	
		SXGA(1)	1,280 pixel × 1,024 line	
		SXGA(2)	1,280 pixel × 960 line	
		WXGA	1,280 pixel × 768 line	
		XGA	1,024 pixel × 768 line	
		SVGA	800 pixel × 600 line	
		WVGA	800 pixel × 480 line	
		VGA	640 pixel × 480 line	
		CIF	352 pixel × 288 line	
		WQVGA	480 pixel × 240 line	
		QVGA	320 pixel × 240 line、 240 pixel × 320 line	
		QCIF	176 pixel × 144 line	
		QQVGA	160 pixel × 120 line	
		Sub-QCIF	128 pixel × 96 line	
	入力フォーマット	YCbCr422 8 ビット	Cb_0、Y_0、Cr_0、Y_1…	クロック比 1:1 に対応
			Cr_0、Y_0、Cb_0、Y_1…	
			Y_0、Cb_0、Y_1、Cr_0…	
			Y_0、Cr_0、Y_1、Cb_0…	
		バイナリデータ	同期信号のエッジから指定された容量を取り込み	順次書き込み
			水平同期信号をイネーブルとして取り込み（RZ/A1LU、RZ/A1LC のみ）	
	水平・垂直同期信号極性	任意	アクティブハイ／アクティブロー	
	キャプチャ開始位置	任意	カメラ入力クロック単位で指定可	水平方向：1 サイクル単位 垂直方向：1HD（水平同期信号）単位
	キャプチャ画素数	任意	水平 4 画素単位、垂直 4 ライン単位で指定可	
	インターレース	両フィールドキャプチャ	フィールドイメージで格納	キャプチャ：2VD（垂直同期信号）単位
			フレームイメージで格納	
		片フィールドキャプチャ	トップフィールド／ボトムフィールド指定可	キャプチャ：1VD 単位
メモリ書き込み	出力フォーマット	YCbCr422 YCbCr420	YCbCr420 は単純間引き	
フィルタ機能	等倍、縮小	キャプチャ画面の縮小	1/16 ～ 1 の任意倍率（縮小後の画面は VGA 以下）	
	ローパスフィルタ		高周波成分の除去	水平方向のみ適応可

表 36.2　CEU の主機能とその詳細

主機能	詳細
画像データ取り込み	• 外部モジュールからの画像をキャプチャし、YCbCr データを Y データと CbCr データに分けてメモリに書き込みます。 • カメラモジュール等の外部接続モジュールから JPEG データ等の YCbCr データ以外の画像データを取り込み、順次メモリに書き込みます。 • インターレース入力画像を、両フィールド単位もしくは片フィールド単位で取り込み、メモリに書き込みます。両フィールド単位のキャプチャでは、フレームイメージでメモリに格納できます。
フィルタ処理	内蔵しているフィルタによって、画像の縮小処理および高周波成分除去処理（水平方向のみ）を行います。 なお、縮小後の画像サイズは VGA 以下に対応します。また、フィルタ処理は YCbCr 入力のみに適応します。
フォーマット変換	YCbCr422 フォーマットで入力された画像データを YCbCr420 フォーマットに変換して、メモリに書き込みます。 なお、変換アルゴリズムは、偶数ラインの色差成分（CbCr）を間引くのみの単純間引きです。

CEU のブロック図を図 36.1 に示します。

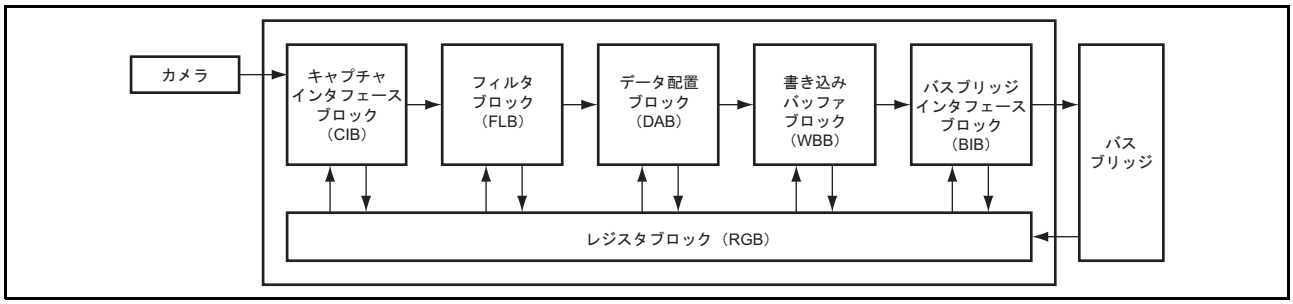


図 36.1　CEU のブロック図

36.3　CEU の端子構成

CEU の端子構成を表 36.3 に示します。

表 36.3　CEU の端子構成

端子名	機能	入出力	説明
VIO_D7～VIO_D0（注 1）	CEU 用データバス	入力	CEU へのカメラ画像データ入力です。
VIO_CLK	CEU 用クロック	入力	CEU へのカメラクロック入力です。
VIO_VD	CEU 用垂直同期	入力	CEU へのカメラ垂直同期信号入力です。
VIO_HD	CEU 用水平同期	入力	CEU へのカメラ水平同期信号入力です。
VIO_FLD	フィールド信号	入力	CEU へのフィールド識別信号入力です。

注 1.　VIO_D7～VIO_D0 の本文中での記述は、CEU バス幅による区別が不要な場合 VIO_D と表します。

36.4　CEU レジスタの説明

CEU レジスタ構成を**表 36.4** に示します。

CEU レジスタは一部を除いて 2 面構成（A 面、B 面）となっています。CEU は、この 2 面のレジスタを切り替えて使用します。また、2 面あるレジスタの場合、ミラーアドレスとして、常に使用していない面のレジスタにアクセスできるアドレスも用意してあります。レジスタ面切り替えタイミングを**図 36.2** に示します。CEU は、VD 割り込みがアサートされると同時にレジスタ面を切り替えます。

レジスタ説明において、「動作中」とは、キャプチャ開始レジスタ（CAPSR）の CE ビットによる起動から、キャプチャイベントクリアレジスタ（CETCR）のキャプチャ終了割り込み CPE ビットが発生するまでの期間を意味します。また、各レジスタにおいて、読み出し専用指定のビットには、絶対に 0 以外の値を書き込まないでください。0 以外を書き込んだ場合の動作は保証しません。

表 36.4　CEU のレジスタ構成

レジスタ名称	略称	R/W	アドレス			アクセスサイズ
			アドレス（A 面）	アドレス（B 面）	ミラーアドレス	
CEU キャプチャ開始レジスタ	CAPSR	R/W	H'E821 0000	—	—	32
CEU キャプチャ制御レジスタ	CAPCR	R/W	H'E821 0004	—	—	32
CEU キャプチャインタフェース制御レジスタ（注 1）	CAMCR	R/W	H'E821 0008	—	—	32
CEU キャプチャインタフェースサイクルレジスタ（注 1）	CMCYR	R/W	H'E821 000C	—	—	32
CEU キャプチャインタフェースオフセットレジスタ	CAMOR	R/W	H'E821 0010	H'E821 1010	H'E821 2010	32
CEU キャプチャインタフェース幅レジスタ	CAPWR	R/W	H'E821 0014	HH'E821 1014	H'E821 2014	32
CEU キャプチャインタフェース入力方式レジスタ	CAIFR	R/W	H'E821 0018	—	—	32
CEU レジスタ制御レジスタ	CRCNTR	R/W	H'E821 0028	—	—	32
CEU レジスタ強制制御レジスタ	CRCMPR	R/W	H'E821 002C	—	—	32
CEU キャプチャフィルタ制御レジスタ	CFLCR	R/W	H'E821 0030	H'E821 1030	H'E821 2030	32
CEU キャプチャフィルタサイズクリップレジスタ	CFSZR	R/W	H'E821 0034	H'E821 1034	H'E821 2034	32
CEU キャプチャデスティネーション幅レジスタ	CDWDR	R/W	H'E821 0038	H'E821 1038	H'E821 2038	32
CEU キャプチャデータアドレス Y レジスタ	CDAYR	R/W	H'E821 003C	H'E821 103C	H'E821 203C	32
CEU キャプチャデータアドレス C レジスタ	CDACR	R/W	H'E821 0040	H'E821 1040	H'E821 2040	32
CEU キャプチャデータボトムフィールドアドレス Y レジスタ	CDBYR	R/W	H'E821 0044	H'E821 1044	H'E821 2044	32
CEU キャプチャデータボトムフィールドアドレス C レジスタ	CDBCR	R/W	H'E821 0048	H'E821 1048	H'E821 2048	32
CEU キャプチャバンドルデスティネーションサイズレジスタ	CBDSR	R/W	H'E821 004C	H'E821 104C	H'E821 204C	32
CEU ファイアウォール動作制御レジスタ	CFWCR	R/W	H'E821 005C	—	—	32
CEU キャプチャローパスフィルタ制御レジスタ	CLFCR	R/W	H'E821 0060	H'E821 1060	H'E821 2060	32
CEU キャプチャデータ出力制御レジスタ	CDOCR	R/W	H'E821 0064	H'E821 1064	H'E821 2064	32
CEU キャプチャイベント割り込み許可レジスタ	CEIER	R/W	H'E821 0070	—	—	32
CEU キャプチャイベントフラグクリアレジスタ	CETCR	R/W	H'E821 0074	—	—	32
CEU キャプチャステータスレジスタ	CSTSR	R	H'E821 007C	—	—	32

レジスタ名称	略称	R/W	アドレス			アクセスサイズ
			アドレス（A面）	アドレス（B面）	ミラーアドレス	
CEUキャプチャデータ容量レジスタ	CDSSR	R/W	H'E821 0084	—	—	32
CEUキャプチャデータアドレスYレジスタ2	CDAYR2	R/W	H'E821 0090	H'E821 1090	H'E821 2090	32
CEUキャプチャデータアドレスCレジスタ2	CDACR2	R/W	H'E821 0094	H'E821 1094	H'E821 2094	32
CEUキャプチャデータボトムフィールドアドレスYレジスタ2	CDBYR2	R/W	H'E821 0098	H'E821 1098	H'E821 2098	32
CEUキャプチャデータボトムフィールドアドレスCレジスタ2	CDBCR2	R/W	H'E821 009C	H'E821 109C	H'E821 209C	32

注1.　外部モジュールの特性により決まるレジスタ（CAMCR、CMCYR）の設定変更後、外部入力クロックで10サイクル以上はキャプチャ起動をかけないでください。

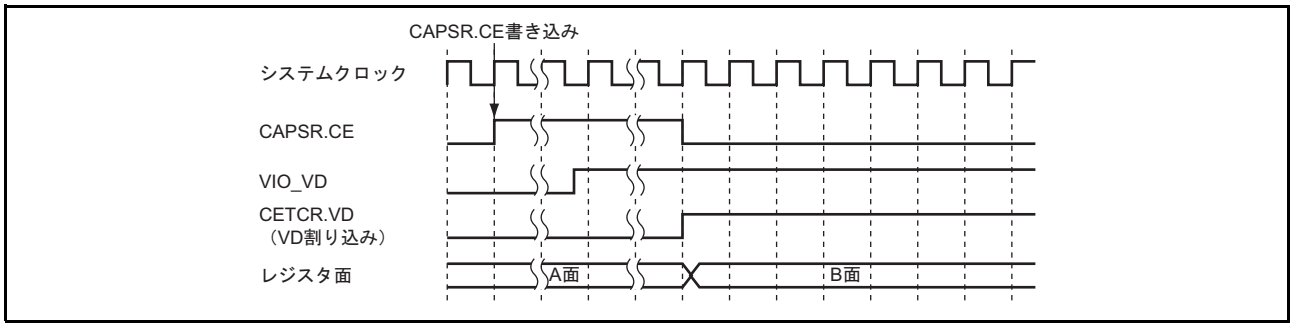


図 36.2　レジスタ面切り替えタイミング（データイネーブル取り込みモードかつ VD 正極性の場合）

36.4.1　キャプチャ開始レジスタ（CAPSR）

CAPSR は、外部モジュールから CEU に入力されるデータのキャプチャを実行させるレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPKIL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	CPKIL	0	R/W	キャプチャをソフトウェアリセットする場合は、本ビットに1を書き込んでください。フレームの終了までキャプチャ動作を行わないで、即座に終了します。本ビットに1を書き込む場合には、CEビットには必ず0を書き込んでください。 キャプチャのソフトウェアリセット処理中は、本ビットは1を表示します。本ビットが1のときは、リセット処理を行っていますので、キャプチャ開始をかけないようにしてください。再度、キャプチャを開始する場合は、CSTSRのCPTONビットを参照し、CEUが停止（アイドル）状態になっていることを確認してください。その後､本ビットが0になるのを待ってからキャプチャを開始してください。キャプチャ再起動のタイミングを図36.6に示します。 本ビットでソフトウェアリセットを行った場合、ソフトウェアリセット直後にキャプチャ終了割り込み（CETCRのCPEビット）を出力する場合がありますが、この割り込みは無視してください。また、キャプチャ終了割り込みが出力されなくても、次フレームのキャプチャ前には、割り込み要因（CPEビット）は必ずクリアしてください。 0：通常状態 1：キャプチャのソフトウェアリセット
15～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	CE	0	R/W	(1)　シングルキャプチャの場合 本ビットは、次フレームのキャプチャ予約ビットです。1を書き込むと、次のVD入力から1フレームのキャプチャを行い、1フレームキャプチャ終了割り込み（CETCRのCPEビット）がアサートされ停止状態となります（図36.7）。再びキャプチャを行う場合は、本ビットに1を書き込んでください。また、VD極性、HD極性の変更後は、次のVD割り込みがアサートするまで本ビットに1を書き込まないでください。 本ビットはキャプチャ予約状態を表しているため、読み出し時には1をセットしてからVDが入力されるまで1が読み出され、VDが入力されると、本ビットは0に戻るため、0が読み出されます。 キャプチャ終了は、1フレームキャプチャ終了割り込み（CPEビット）により判定してください。データ取り込みモードでも同様です。 レジスタの設定は、キャプチャ開始フレームのVD割り込みまでに行ってください。レジスタに書き込まれた設定は、次のVD入力で反映されます。動作中に書き込みを行った場合、レジスタ設定は、次のVD入力以降のキャプチャ動作に反映されます。動作中の書き込みを禁止している設定レジスタに、動作中に書き込みを行った場合、割り込み要因（CETCRのIGRWビット）が発生します。割り込み要因の詳細はCETCRレジスタの説明を参照してください。 (2)　連続キャプチャ CAPCRのCTNCPビットに1をセットした状態で、本ビットに1をセットすると、次フレームから連続でキャプチャを行います（図36.8）。このとき、本ビットは0クリアされずに常に1を保持します。キャプチャを停止する場合は、本ビットを0クリアすれば、そのときのフレームをキャプチャして終了します。 連続キャプチャ動作は、画像取り込みモード時のみとなります。 なお、キャップチャデータを書き込むメモリの先頭アドレスは、フレームごとに設定してください。 0：キャプチャの停止 1：キャプチャの実行

VD（垂直同期信号）、HD（水平同期信号）の極性がともに正の場合、1 フレームは VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間、1 ラインは HD の立ち上がりエッジから次の立ち上がりエッジまでの期間と定義しています。1 フレームのタイミングを図 36.3 に示します（VD 極性、HD 極性ともに正の場合）。

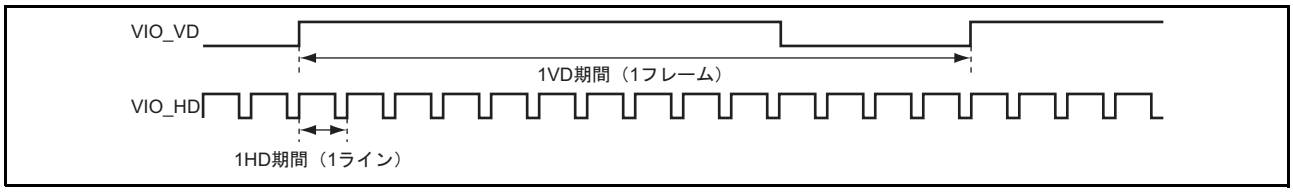


図 36.3　フレームタイミング

VD、HD の極性がともに正の場合、1 フィールドは 1 フレームと同様に、以下のように定義します。

- VD の立ち上がりエッジから次の VD の立ち上がりエッジまでの期間
- 1 ラインは、HD の立ち上がりエッジから次の立ち上がりエッジまでの期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間確定させてください。1 フィールドのタイミングを図 36.4 に示します（VD 極性、HD 極性ともに正の場合）。

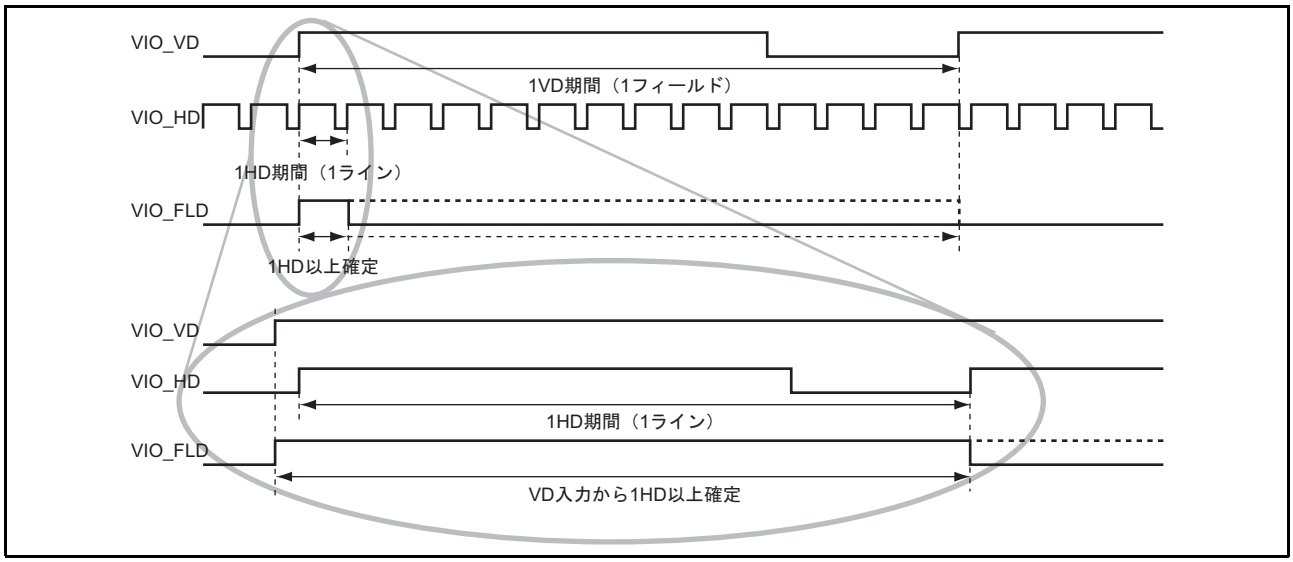


図 36.4　1 フィールドのタイミング

データイネーブル取り込み（RZ/A1LU、RZ/A1LC のみ）では、1 フレームを VD の立ち上がりエッジから VD の立ち下りエッジまでの期間と定義しています。HD をイネーブル信号（正極性）として、VD が HIGH の期間に HD がアサートされたサイクルのデータを取り込みます。データイネーブル取り込みの場合の、1 フレームのタイミング図を図 36.5 に示します。

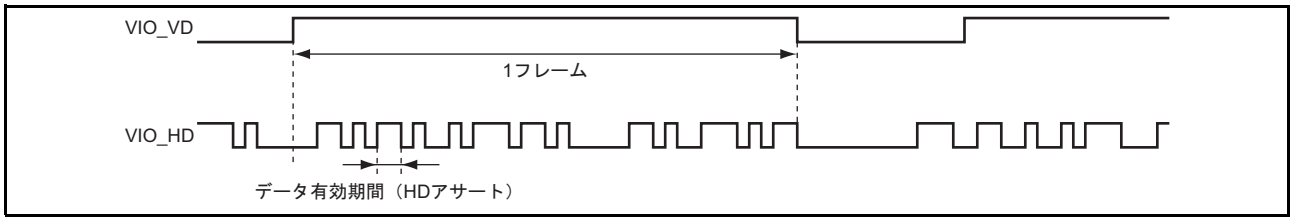


図 36.5　フレームのタイミング（データイネーブル取り込みの場合）

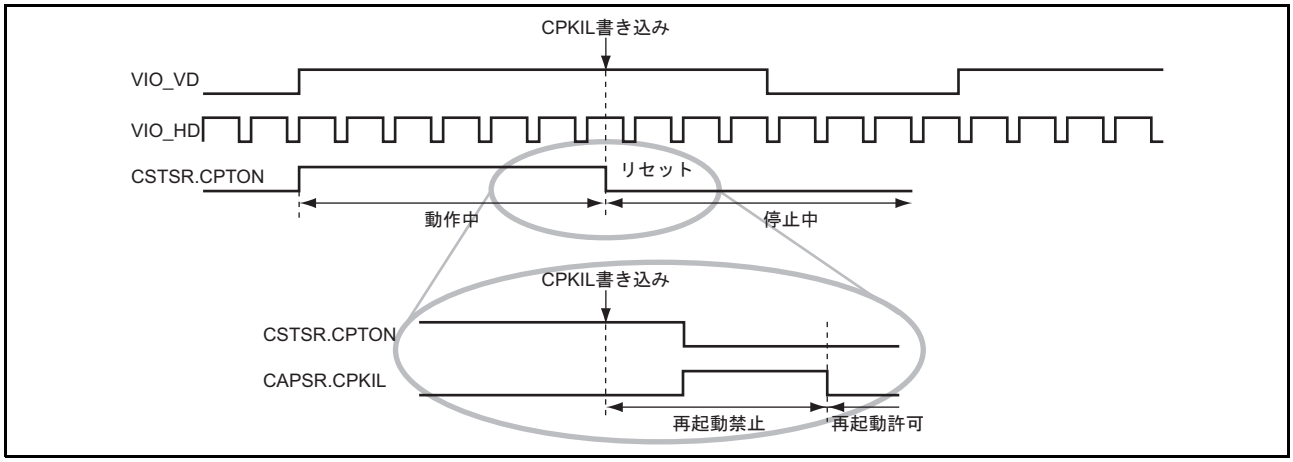


図 36.6　キャプチャのソフトウェアリセットおよび再起動のタイミング

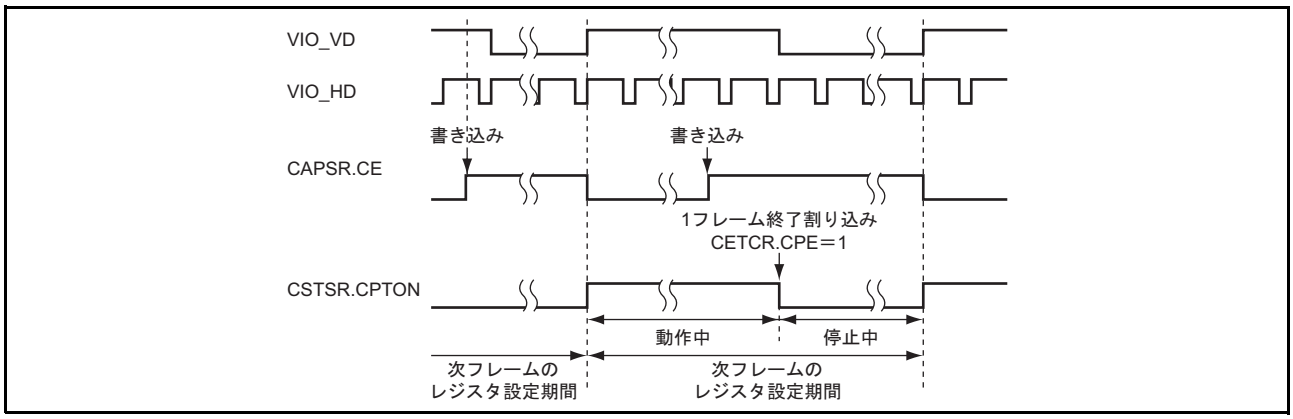


図 36.7　1 フレームキャプチャの CE ビット書き込みタイミングとレジスタ設定

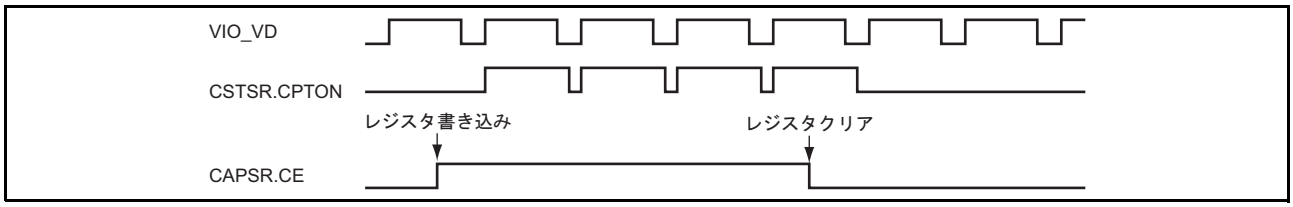


図 36.8　連続フレームキャプチャ

36.4.2　キャプチャ制御レジスタ（CAPCR）

CAPCR は、連続フレームキャプチャの設定、フレームドロップの間隔の設定を行います。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合は、動作保証されません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FDRP[7:0]								—	—	MTCM[1:0]		—	—	—	CTNCP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～24	FDRP[7:0]	H'00	R/W	連続フレームキャプチャ時のフレームドロップ間隔設定 本ビットに0を設定するとフレームドロップは行わずに、すべてのフレームをキャプチャします。 FDRPビットに設定した値と、キャプチャするフレームのタイミングを図36.9に示します。 フレームドロップ間隔の単位は、キャプチャ設定によって異なります。キャプチャ設定とフレームドロップ間隔の単位との関係を表36.5に示します。 FDRPビットが2の場合の各設定におけるフレームドロップのタイミングイメージを図36.10に示します。 両フィールドキャプチャ時は、2ndフィールドのトップ／ボトムにかかわらず、連続で2VDキャプチャします。また、両フィールドキャプチャ時は、2ndフィールドのトップ／ボトムにかかわらず、1stフィールドのトップ／ボトムの判定で、フレームドロップ数カウンタをカウントアップします。 CAPSRのCEビットに0を書き込んだ場合には、キャプチャフレームであれば、現在のフレームをキャプチャして終了しますが、ドロップフレームのときは内部的に強制終了動作となりますので、終了割り込み（CETCRのCPEビット）は出力されません。 CEビットが1の間は本ビットの設定を変更しないでください。 注.　連続キャプチャを実行中は本設定値を変更しないでください。本設定値を変更する場合は、連続キャプチャをいったん終了し（CEビット＝0）、連続キャプチャ実行レジスタ（CAPCR）のCTNCPビットに0を設定し、その後再び連続キャプチャを実行してください。連続キャプチャ中とは図36.9に示すCEビットが1の期間をいいます。
23、22	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
21、20	MTCM[1:0]	00	R/W	バスブリッジへのデータの転送単位を指定 画像データ書き込みは、アドレスをより連続的にアクセスすることによりアクセス効率を高めることができます。書き込み効率を上げたいときは、本ビットの設定値を11としてください。外部から見て、本ビットの設定値による変化はありません。 00：32バイト単位でバスへ転送 01：64バイト単位でバスへ転送 10：128バイト単位でバスへ転送 11：256バイト単位でバスへ転送 (1) 画像データ取り込みの場合 00：Y データの転送およびC データの転送を32バイト ごとに行う 01：Y データの転送およびC データの転送を64バイト ごとに行う 10：Y データの転送およびC データの転送を128バイト ごとに行う 11：Y データの転送およびC データの転送を256バイト ごとに行う (2) データ取り込みの場合 00：データの転送を32バイト ごとに行う 01：データの転送を64バイト ごとに行う 10：データの転送を128バイト ごとに行う 11：データの転送を256バイトごとに行う

ビット	ビット名	初期値	R/W	説明
19～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	CTNCP	0	R/W	本ビットを1にセットしキャプチャを行うと、CAPSRのCEビットが0クリアされるか、CAPSRのCPKILビットによるソフトウェアリセットまで、連続でキャプチャを行います（図36.8参照）。連続キャプチャの設定は、キャプチャを開始する前に設定してください。 本ビットを書き換える場合は、一度CEビットに0を書き込み、キャプチャ動作を停止させた後、実行してください。キャプチャ中に本ビットが書き換えられた場合、動作は保証されません。 データ取り込みモード時は、本ビットを0に設定してください。 0：CEビットが1のとき、1フレームのみキャプチャを実行 1：CEビットが0になるまで、連続的にキャプチャを実行
15～0	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

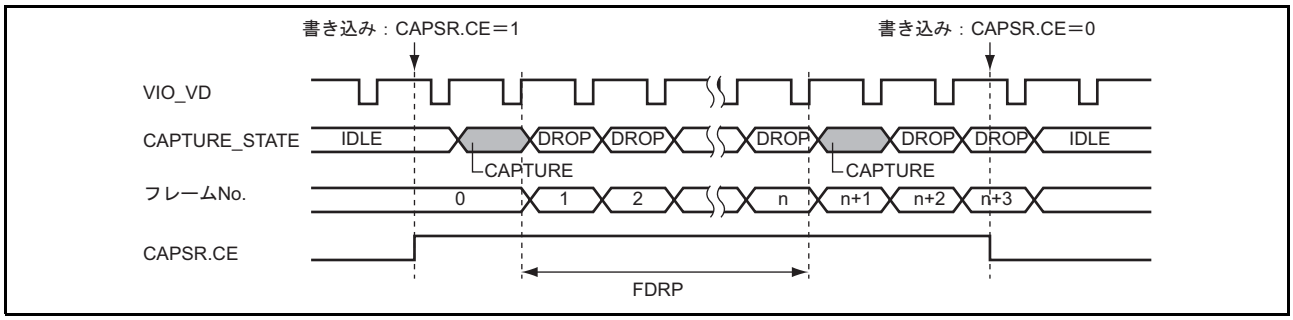


図 36.9　FDRP ビットの設定値とフレームドロップタイミング

表36.5　キャプチャ設定とフレームドロップ間隔単位の関係

入力方式	キャプチャ画像	1stキャプチャ画像	フレームドロップ間隔単位	キャプチャ設定
プログレッシブ	フレーム	起動直後のフレーム	フレーム	A
インターレース	両フィールド （2VDキャプチャ）	起動直後のフィールド	2フィールド （1stキャプチャフィールドカウント）	B
				C
		トップフィールド	2フィールド （トップフィールドカウント）	D
		ボトムフィールド	2フィールド （ボトムフィールドカウント）	E
	片フィールド （1VDキャプチャ）	起動直後のフィールド	1stキャプチャフィールド	F
				G
		トップフィールド	トップフィールド	H
		ボトムフィールド	ボトムフィールド	I

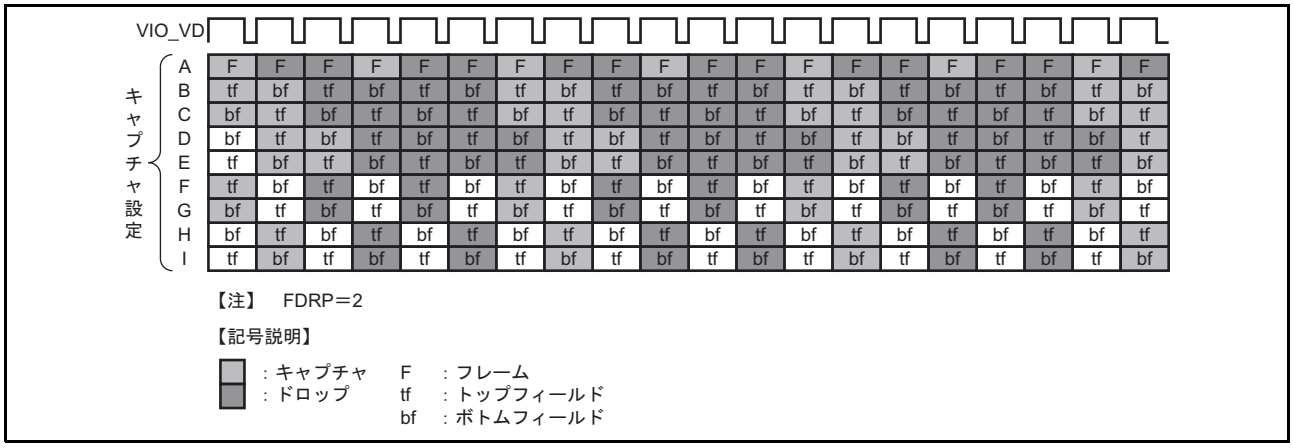


図 36.10　各設定におけるフレームドロップのタイミングイメージ（FDRP ＝ 2）

36.4.3　キャプチャインタフェース制御レジスタ（CAMCR）

CAMCR は、キャプチャインタフェースを設定するレジスタです。
本レジスタで設定できる項目は、以下のとおりです。

- カメラクロック立ち上がり取り込みまたは立ち下がり取り込み動作を選択（RZ/A1LU、RZ/A1LC のみ）
- 画像取り込みまたはデータ取り込み動作を選択
- 垂直、水平同期信号の極性の選択
- 画像データの、各成分（Y、Cb、Cr）の入力順序の選択（画像取り込みモード時のみ）
- デジタル画像入力端子の選択（8 ビットのみ可）
- フィールド識別信号の極性の選択

本レジスタは、接続するモジュールに合わせて設定してください。データ取り込みモードの際は、DTARY ビットを B'0 に設定してください。本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

注 .　本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってから起動をかけてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VDSEL*	HDSEL*	FLDSEL*	DSEL*	—	—	—	—	—	—	—	FLDPOL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	DTIF	—	—	DTARY[1:0]		—	—	JPG[1:0]		—	—	VDPOL	HDPOL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
27	VDSEL*	0	R/W	外部モジュールから垂直同期信号（VD）の取り込みエッジ設定 0：VD をカメラクロックの立ち上がりエッジで取り込み 1：VD をカメラクロックの立ち下がりエッジで取り込み

ビット	ビット名	初期値	R/W	説明
26	HDSEL*	0	R/W	外部モジュールから水平同期信号（HD）の取り込みエッジ設定 0：HDをカメラクロックの立ち上がりエッジで取り込み 1：HDをカメラクロックの立ち下がりエッジで取り込み
25	FLDSEL*	0	R/W	外部モジュールからフィールド識別信号（FLD）の取り込みエッジ設定 0：FLDをカメラクロックの立ち上がりエッジで取り込み 1：FLDをカメラクロックの立ち下がりエッジで取り込み
24	DSEL*	0	R/W	外部モジュールから画像データ（D7～D0）の取り込みエッジ設定 0：D7～D0をカメラクロックの立ち上がりエッジで取り込み 1：D7～D0をカメラクロックの立ち下がりエッジで取り込み
23～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	FLDPOL	0	R/W	外部モジュールからのフィールド識別信号（FLD）の極性設定 0：FLD信号がハイのときトップフィールド、ローのときボトムフィールドとして検出 1：FLD信号がローのときトップフィールド、ハイのときボトムフィールドとして検出
15～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12	DTIF	0	R/W	キャプチャ対象となるデジタル画像入力端子を設定 書き込む値は必ず0にしてください。
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9、8	DTARY[1:0]	00	R/W	輝度成分と色差成分の入力順序設定 外部モジュールから入力される、輝度成分（Y）と色差成分（Cb、Cr）の入力順序は、モジュールにより異なります。CEUは、図36.11に示す入力順序に対応しています。対応する値を、本ビットにセットしてください。データ取り込みモードでは00を設定してください。 00：画像入力データをCb_0、Y_0、Cr_0、Y_1の順序で取り込み 01：画像入力データをCr_0、Y_0、Cb_0、Y_1の順序で取り込み 10：画像入力データをY_0、Cb_0、Y_1、Cr_0の順序で取り込み 11：画像入力データをY_0、Cr_0、Y_1、Cb_0の順序で取り込み
7、6	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5、4	JPG[1:0]	00	R/W	取り込みデータの選択 00：画像取り込みモード （入力データをYとCbCrに分けてメモリに出力） 01：データ同期取り込みモード （同期信号に同期して指定された容量の入力データを入力順にメモリ指定アドレスに出力） 10：データイネーブル取り込みモード（RZ/A1LU、RZ/A1LC のみ） （HDをイネーブルとして入力データを取り込み、入力順にメモリ指定アドレスに出力）
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	VDPOL	0	R/W	外部モジュールからの垂直同期信号検出の極性設定 正極性の場合のVD、HDとVD割り込みの関係を図36.14、図36.15に示します。 なお、設定変更時にVD割り込みが立つ場合がありますので、本ビットの設定を変更した場合には、必ずイベントレジスタ（CETCR）のVDビットをクリアしてください。データイネーブル取り込みモードでは本ビットを使用せず常に正極性として検出します。 0：外部モジュールからの垂直同期信号（VD）を正極性として検出 1：外部モジュールからの垂直同期信号（VD）を負極性として検出
0	HDPOL	0	R/W	外部モジュールからの水平同期信号検出の極性設定 正極性の場合のHDとHD割り込みの関係を図36.16に示します。 なお、設定変更時にHD割り込みが立つ場合がありますので、本ビットの設定を変更した場合には、必ずイベントレジスタ（CETCR）のHDビットをクリアしてください。データイネーブル取り込みモードでは0を設定してください。 0：外部モジュールからの水平同期信号（HD）を正極性として検出 1：外部モジュールからの水平同期信号（HD）を負極性として検出

注．　* 本ビットは、RZ/A1LU、RZ/A1LC のみ、RZ/A1L では “ – ” となります。

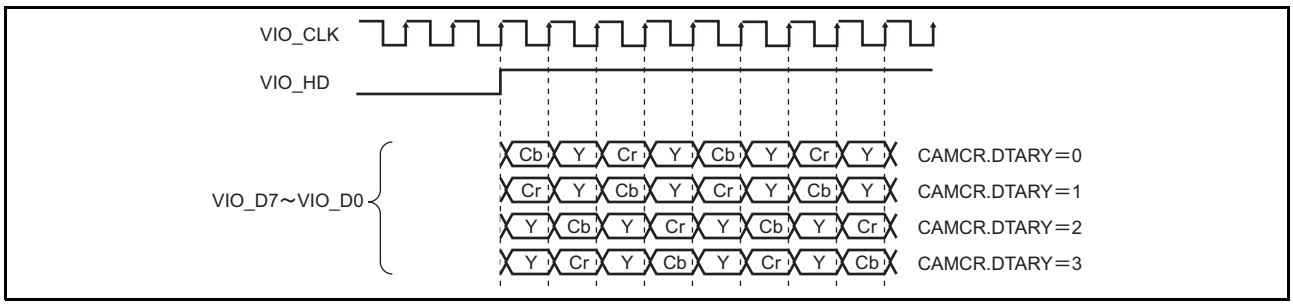


図 36.11　画像データの入力順序

CAMCR の JPG ビットは、デジタル画像データを取り込むのか、JPEG 等のデータを取り込むのかを選択します。また、JPEG 等のデータを取り込む場合は、同期信号に同期して、指定された容量のデータを連続して取り込むのか、水平同期信号をイネーブルとしてデータを取り込む（RZ/A1LU、RZ/A1LC のみ）のかを選択します。

データイネーブル取り込みモードでは、垂直同期信号（VD）の立ち上がりから立ち下がりまでを 1 フレームとしてデータを取り込みます。水平同期信号（HD）は、VD が HIGH の期間にのみ有効で、イネーブル信号として扱われます。HD がアサート（HIGH）されているサイクルに入力されたデータを取り込み。順次メモリに出力します。

本モジュールは、データイネーブル取り込みモードでは、VD の立ち上がりエッジで取り込みを開始し、VD の立ち下がりエッジで取り込みを終了します。したがって、VD が HIGH のまま LOW にならなかった場合、終了処理に移行しません。また、VD が HIGH のままで、HD もアサートしたままの場合、データを取り込み続けます。

データイネーブル取り込みモードのインタフェースタイミング図を**図 36.12**、**図 36.13** に示します。

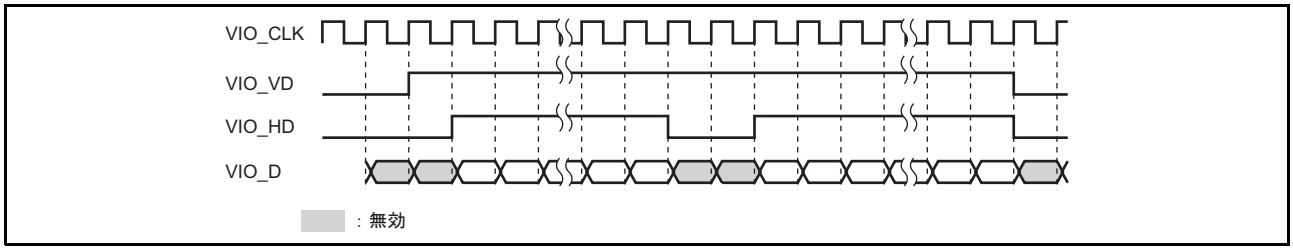


図 36.12　データイネーブル取り込みタイミング（VD が HIGH の期間内に HD がアサート（HIGH））

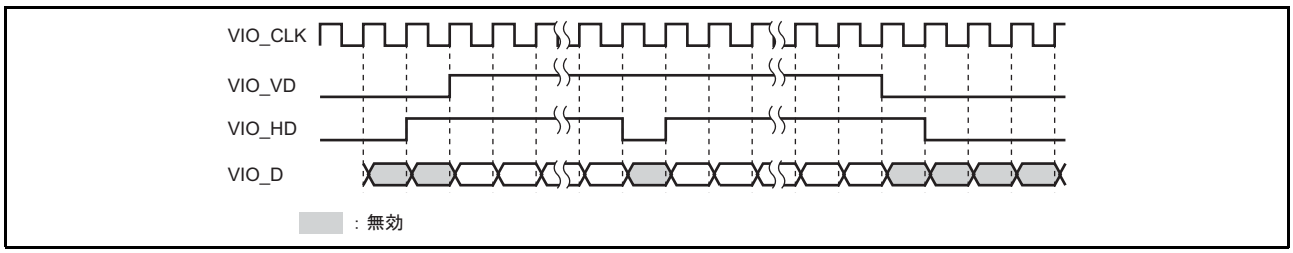


図 36.13　データイネーブル取り込みタイミング（VD が HIGH の期間外に HD がアサート（HIGH））

本モジュールは、データイネーブル取り込みモードでは、VD を検出した時点で VD 割り込みが発生します。画像取り込みモードおよびデータ同期取り込みモードでは、VD を検出後に最初の HD を検出した時点で VD 割り込みが発生します。なお、VD と HD が同時にアサートされ VD と HD を同時に検出した場合は、その時点で VD 割り込みが発生します。

VIO_VD,VIO_HD と VD 割り込み、HD 割り込みの関係を**図 36.14 ～図 36.16** に示します。

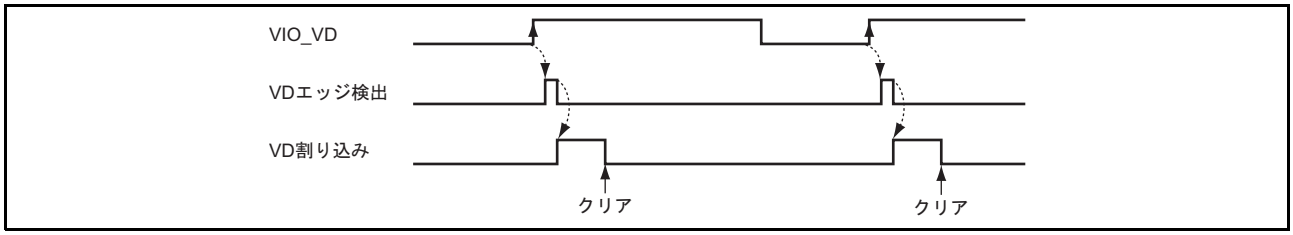


図 36.14　VD が正極性の場合の VIO_VD と VD 割り込みの関係 (データイネーブル取り込みモードの場合)

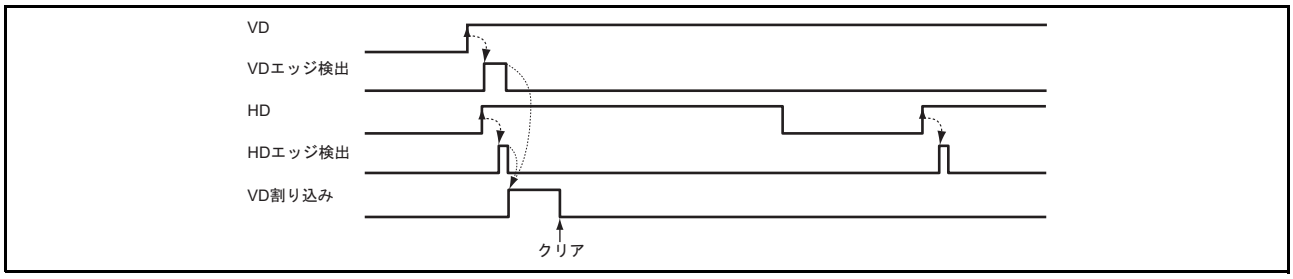


図 36.15　VD,HD が正極性の場合の VIO_VD,VIO_ HD と VD 割り込みの関係 (画像取り込みモードおよびデータ 同期取り込みモードの場合)

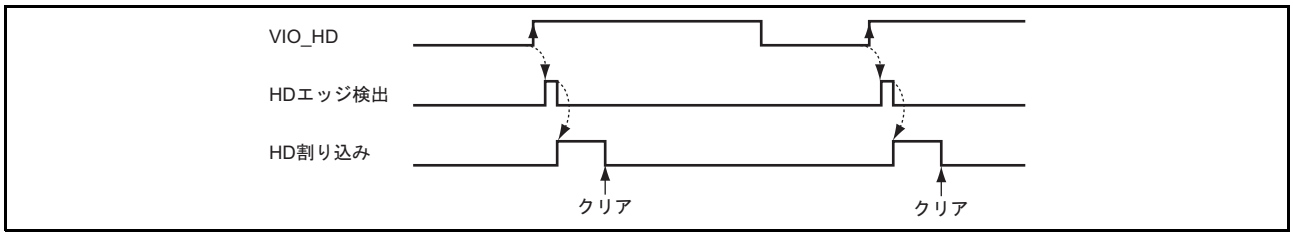


図 36.16　HD が正極性の場合の VIO_HD と HD 割り込みの関係

36.4.4　キャプチャインタフェースサイクルレジスタ（CMCYR）

CMCYR は、イリーガル VD、およびイリーガル HD の検出に使用します。HD に関しては、HD の立ち上がりから次の HD の立ち上がりまでのサイクル数（HD が負極性の場合は立ち下がり）、VD に関しては VD の立ち上がりから次の VD までの HD の数（VD が負極性の場合は立ち下がり）を設定します。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

データイネーブル取り込みモード時は、本レジスタにすべて 0 を設定してください。

注．　本レジスタの設定変更後は、外部入力クロックで 10 サイクル以上待ってから起動をかけてください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VCYL[13:0]													
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	HCYL[13:0]													
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
29～16	VCYL[13:0]	H'0000	R/W	外部モジュールの縦方向のHD数 外部モジュールのVDサイクル数をHD数で設定します。外部モジュールから入力されたVDのサイクル数がこの設定値と違う場合に、割り込み要因CETCR.IGVSが発生します。イリーガルVDを検出したい場合に設定してください。 本ビットを0に設定した場合、割り込み要因CETCR.IGVSは発生しません。 また、CAMCRのVDPOLビット（VD極性）を変更した際、割り込み要因CETCR.IGVSが発生する場合がありますが、これは無視してください。
15、14	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
13～0	HCYL[13:0]	H'0000	R/W	外部モジュールの横方向のサイクル数 外部モジュールのHDサイクル数を設定します。外部モジュールから入力されたHDのサイクル数がこの設定値と違う場合に、割り込み要因CETCR.IGHSが発生します。イリーガルHDを検出したい場合に設定してください。 本ビットを0に設定した場合、割り込み要因CETCR.IGHSは発生しません。 また、CAMCRのHDPOLビット（HD極性）を変更した際、割り込み要因CETCR.IGHSが発生する場合がありますが、これは無視してください。

36.4.5　キャプチャインタフェースオフセットレジスタ（CAMOR）

CAMOR は、キャプチャを行う際のキャプチャ開始位置の設定を行います。

外部モジュールによって、VD（垂直同期信号）から有効画像期間開始位置までの HD（水平同期信号）数や、HD から有効画像期間開始位置までのクロックサイクル数が異なりますので、本レジスタの設定で対応してください。また、設定値を有効画像領域よりも多く設定することで、画像の切り出しキャプチャにも対応しています。データ同期取り込みの場合は、有効データ期間開始位置までのサイクル数（HD 数）の設定となります。

データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VOFST[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	HOFST[12:0]												
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27～16	VOFST[11:0]	H'000	R/W	キャプチャ位置を垂直同期信号からのHD数指定（1HD単位） 垂直同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、本ビットに、垂直方向のキャプチャ開始位置を、垂直同期信号からのHD数で指定することで、画像有効領域からキャプチャすることが可能です（図36.17参照）。また、外部モジュールによっては、データイネーブルとして垂直同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、本ビットには0を設定してください（図36.18参照）。
15～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12～0	HOFST[12:0]	H'0000	R/W	キャプチャ位置を水平同期信号からのサイクル数指定（1サイクル単位） 水平同期信号からのブランク期間は、外部モジュールにより異なります。これに対応するため、本ビットに、水平方向のキャプチャ開始位置を、水平同期信号からの外部入力クロックサイクル数で指定することで、画像有効領域からキャプチャすることが可能です。データ同期取り込みの際も同様です（図36.19参照）。また、外部モジュールによっては、データイネーブルとして水平同期信号を出力するものがあります。この場合、ブランク期間は存在しませんので、本ビットには0をセットしてください（図36.20参照）。 注.　CEUは、最初のHD（水平同期信号）が必ず最初のVD（垂直同期信号）と同時または後に入力されることが動作条件となります。ここでの「入力」とは、極性（CAMCRのVDPOLおよびHDPOLビット）に依存します。

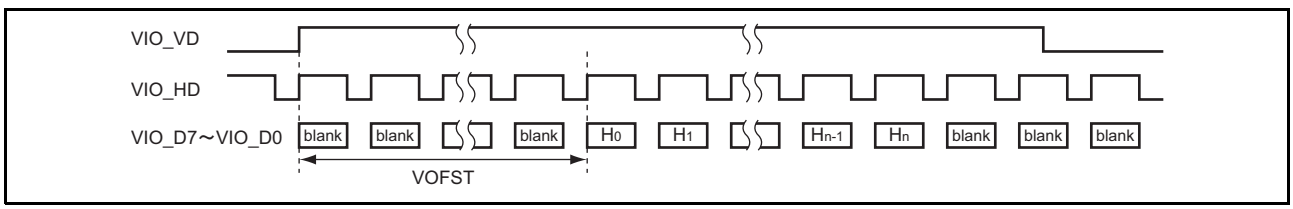


図 36.17　垂直オフセット

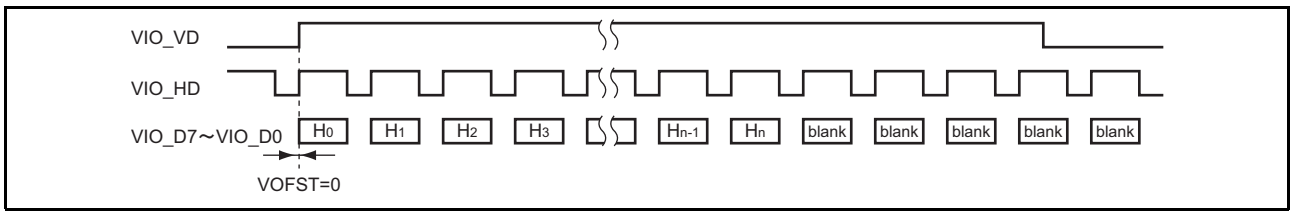


図 36.18　VD がデータイネーブルの場合のタイミング

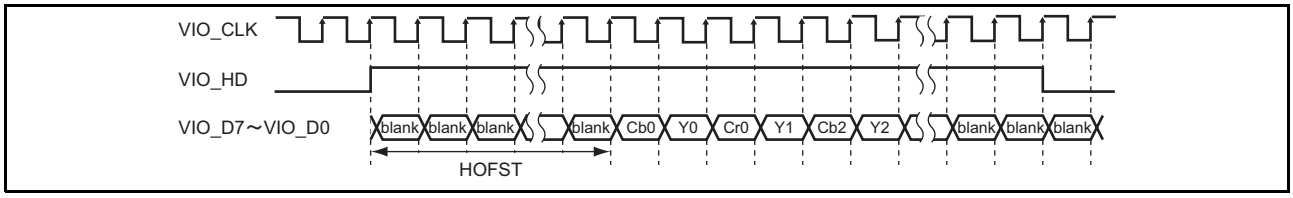


図 36.19　水平オフセット

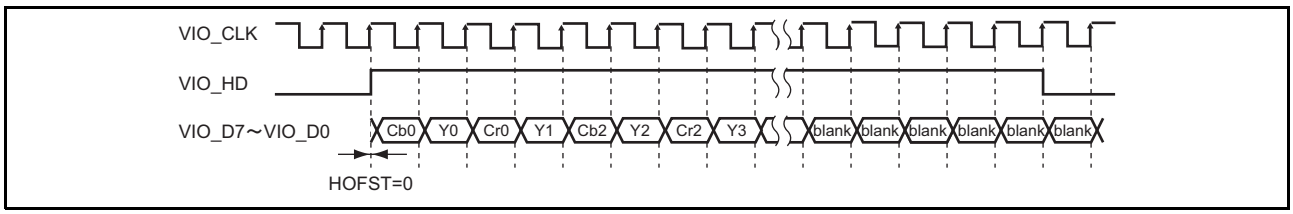


図 36.20　HD がデータイネーブルの場合のタイミング（8 ビットインタフェース）

36.4.6　キャプチャインタフェース幅レジスタ（CAPWR）

CAPWRは、画像取り込みを行う際の取り込み（キャプチャ）サイクル幅を設定します。

データ入力端子のビット幅および取り込むデータによって、設定単位が異なります。それぞれの設定単位は表36.6を参照してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VWDTH[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	HWDTH[12:0]												
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27～18 17、16	VWDTH[11:2] VWDTH[1:0]	H'000	R/W R	垂直方向のキャプチャ期間指定（4HD単位） 本ビットには、VOFSTビットで指定した位置からのキャプチャライン数（HD数）を指定します。図36.21に垂直ブランク期間が0の場合のタイミングを示します。CEUは、垂直方向に本ビットで指定したライン数（HD数）のみをキャプチャします。 データ同期取り込みの際も同様に設定してください。 最大設定値は、1,920HD（5M画素）となります。
15～13	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12～10	HWDTH[12:1] HWDTH[0]	H'0000	R/W R	水平方向のキャプチャ期間指定 本ビットには、HOFSTビットで指定した位置からのキャプチャサイクル数を指定します。図36.22に水平ブランク期間が0の場合のタイミングを示します。CEUは、水平方向に本ビットで指定したサイクル数のみをキャプチャします。データ同期取り込みの際も同様に設定してください。 最大設定値は以下のとおりです。 画像キャプチャ時（8サイクル単位（注1））：　5,120サイクル（2,560画素） データ同期取り込みモード時（4サイクル単位（注2））：2,560サイクル（2,560バイト） 注．　データ同期取り込みの際はCFSZR、CDWDRの値はCAPWRに設定した値をもとに設定してください。詳細は、CFSZR、CDWDRを参照してください。 注1.　内蔵RAM以外に書き込む場合は16サイクル単位 注2.　内蔵RAM以外に書き込む場合は8サイクル単位

表36.6　取り込み（キャプチャ）サイクル幅設定単位

インタフェース	垂直方向		水平方向	
	画像キャプチャ	データ同期取り込み	画像キャプチャ	データ同期取り込み
8ビットインタフェース	4HD	4HD	8サイクル（注1）	4サイクル（注2）

注1.　内蔵RAM以外に書き込む場合は16サイクル
注2.　内蔵RAM以外に書き込む場合は8サイクル

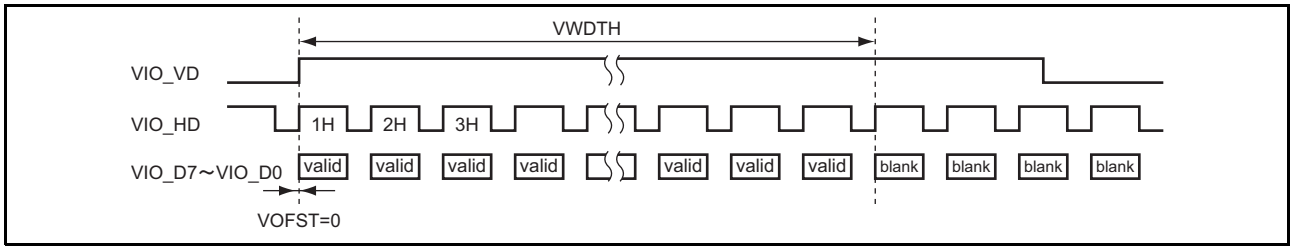


図 36.21　垂直キャプチャタイミング

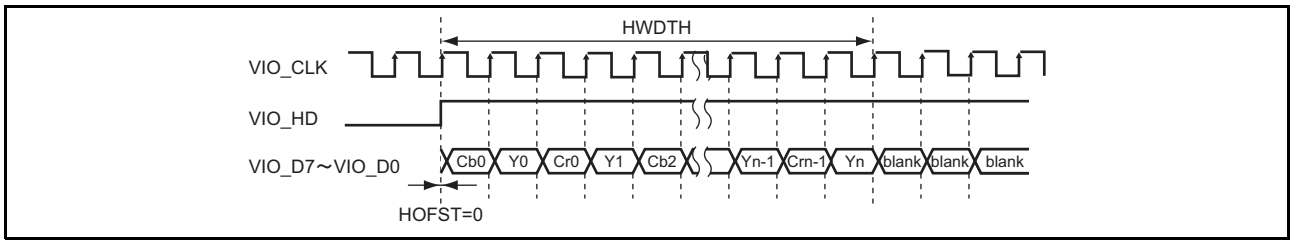


図 36.22　水平キャプチャタイミング（画像キャプチャ 8 ビットインタフェース）

36.4.7　キャプチャインタフェース入力方式レジスタ（CAIFR）

CAIFR は、キャプチャ画像の入力方式（プログレッシブ／インターレース）、キャプチャ画像（フレーム／両フィールド／片フィールド）、キャプチャを開始する画像（トップフィールド／ボトムフィールド等）を設定します。本レジスタは、データ取り込みの際は使用しません。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

本レジスタで設定する項目を表 36.7 に示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	IFS	—	—	—	CIM	CKP OL1	CKP OL0	FCI[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
8	IFS	0	R/W	キャプチャ画像の入力方式設定 0：プログレッシブ 1：インターレース
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。

ビット	ビット名	初期値	R/W	説明
4	CIM	0	R/W	キャプチャ画像設定 キャプチャ画像の入力方式がプログレッシブ（フレーム画像）の場合、およびキャプチャ画像の入力方式がインターレースでかつ、トップ／ボトム両フィールドを連続してキャプチャする場合は0を設定してください。キャプチャ画像の入力方式がインターレースでかつ、片フィールド画像のみをキャプチャする場合は1を設定してください。 0：フレーム画像（1VD）もしくは両フィールド画像（2VD）をキャプチャ 1：片フィールド画像（1VD）をキャプチャ
3、2	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1、0	FCI[1:0]	00	R/W	キャプチャ開始タイミング設定 キャプチャを開始するタイミングを、最初にキャプチャする画像を指定することで設定します。 入力方式がプログレッシブの場合は、00を設定してください。 00：トップ／ボトムフィールドにかかわらず、キャプチャ起動直後のVD入力からキャプチャを開始 01：キャプチャ起動後、トップフィールド画像の入力まで待って、トップフィールドからキャプチャを開始 10：キャプチャ起動後、ボトムフィールド画像の入力まで待って、ボトムフィールドからキャプチャを開始 11：設定禁止

表36.7　　CAIFR設定項目

入力方式	IFSビット	キャプチャ画像	CIMビット	キャプチャを開始する画像	FCIビット
プログレッシブ	0	フレーム	0	起動直後のフレーム	B'00
インターレース	1	両フィールド （2VDキャプチャ）	0	起動直後のフィールド	B'00
				トップフィールド	B'01
				ボトムフィールド	B'10
				設定禁止	B'11
		片フィールド （1VDキャプチャ）	1	起動直後のフィールド	B'00
				トップフィールド	B'01
				ボトムフィールド	B'10
				設定禁止	B'11

フレーム画像キャプチャおよび片フィールド画像キャプチャでは、1VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。一方、両フィールド画像キャプチャでは、1VD のキャプチャが終了した時点で、1 フィールドキャプチャ終了割り込みが発生し、2VD のキャプチャを終了した時点で、1 フレームキャプチャ終了割り込みが発生します。このとき、1 フィールドキャプチャ終了割り込みと 1 フレームキャプチャ終了割り込みは、同時に発生します。両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込みおよびフィールドキャプチャ終了割り込みのタイミングを図 36.23 に示します。

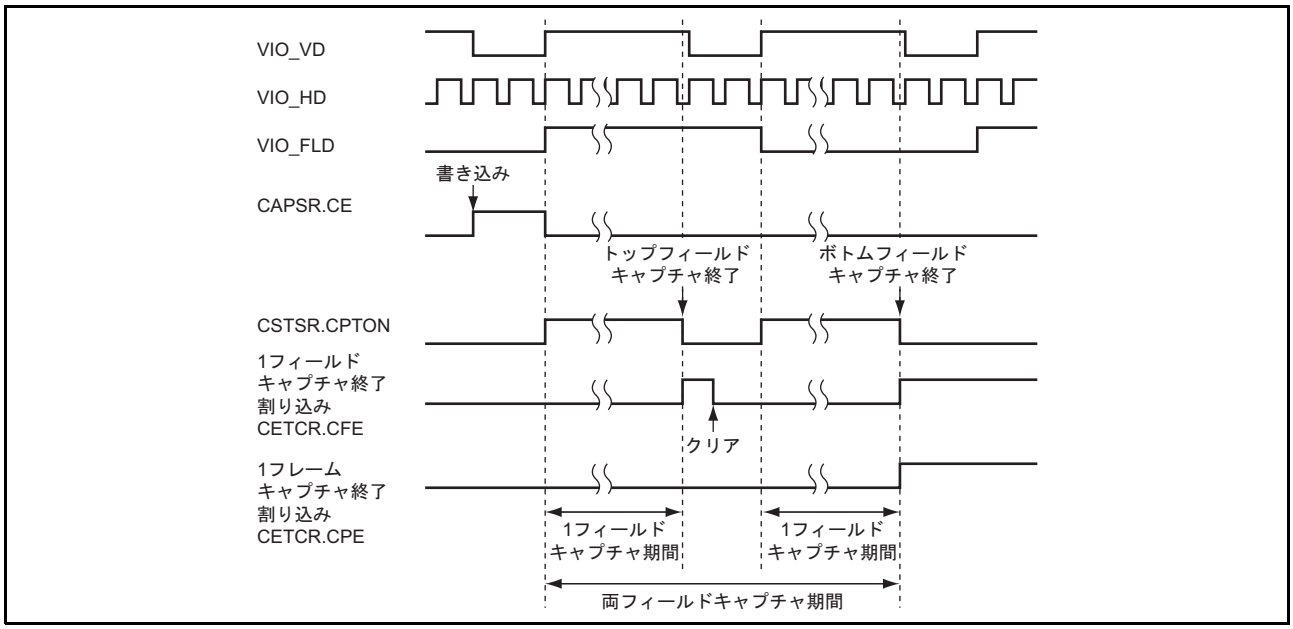


図 36.23　両フィールド画像キャプチャの 1 フレームキャプチャ終了割り込み
およびフィールドキャプチャ終了割り込みタイミング

フレームキャプチャ画像および片フィールドキャプチャ画像は、CDAYR、CDACR に設定されているアドレスを先頭に、メモリに格納されます（図 36.24）。両フィールドキャプチャ画像は、トップフィールドとボトムフィールドで格納されるメモリ領域が異なります。トップフィールドは、CDAYR、CDACR に設定されているアドレスを先頭に、ボトムフィールドは、CDBYR、CDBCR に設定されているアドレスを先頭に、メモリに格納されます（図 36.25）。

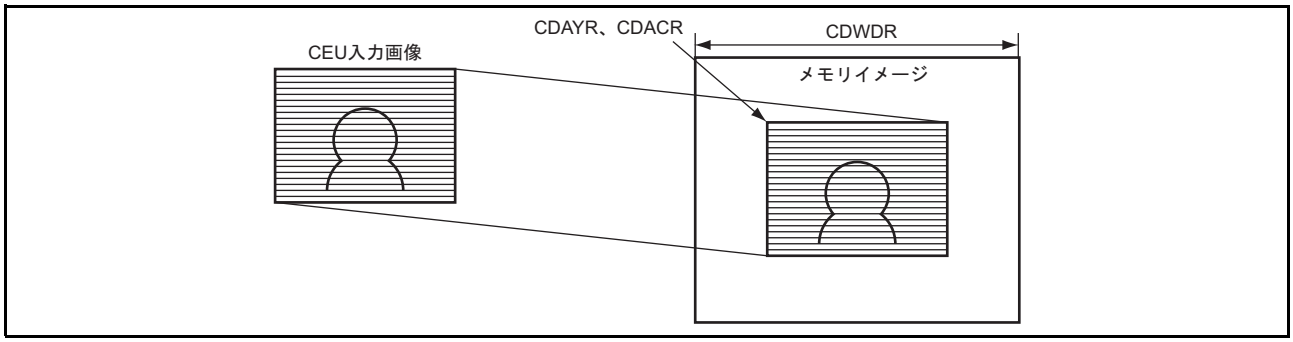


図 36.24　フレームキャプチャ画像および片フィールドキャプチャ画像のメモリ格納イメージ

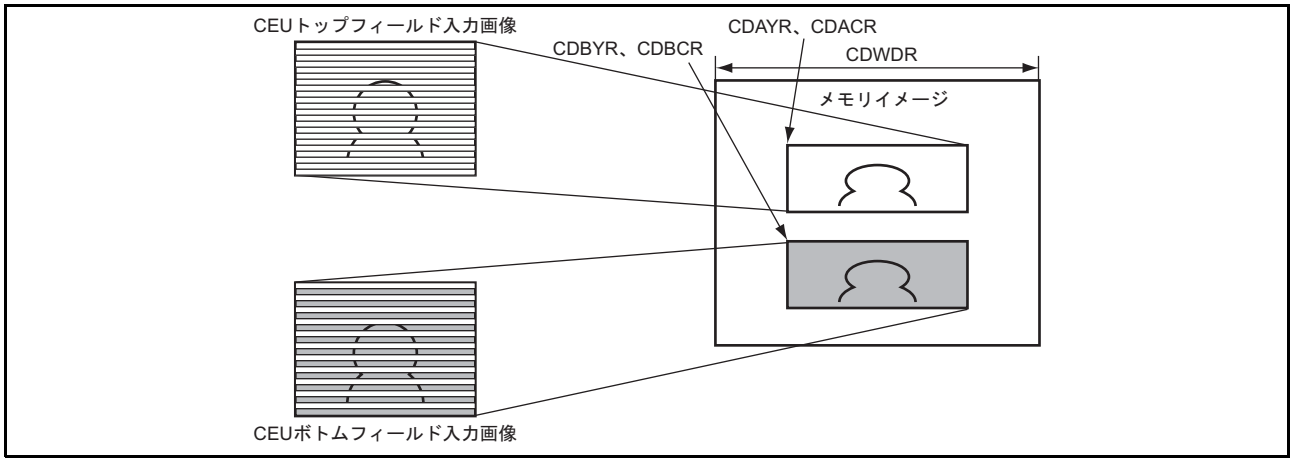


図 36.25　両フィールドキャプチャ画像のメモリ格納イメージ

インターレース入力方式の連続キャプチャで、FCI ビットを B'00 に設定した場合、両フィールド画像キャプチャでは、最初に取り込んだフィールドを基準にして、2VD を連続してキャプチャします（図 36.26）。片フィールド画像キャプチャでは、最初に取り込んだフィールドのみ 1VD を連続してキャプチャします（図 36.27）。

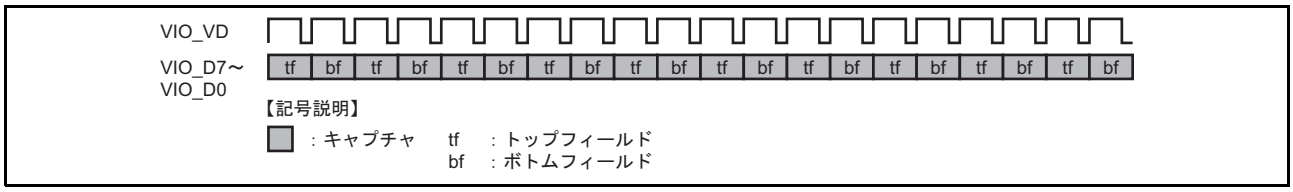


図 36.26　インターレース両フィールド連続キャプチャ
（起動直後の画像がトップフィールドの場合（FCI = B'00））

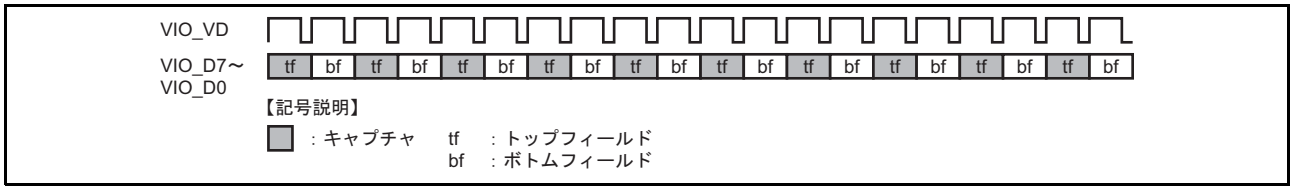


図 36.27　インターレース片フィールド連続キャプチャ
（起動直後の画像がトップフィールドの場合（FCI = B'00））

(1) インターレース入力のフレームイメージ格納

CEU では、インターレース入力画像をフレームイメージでメモリに格納できます。インターレース入力画像をフレームイメージで格納する場合、本レジスタの各ビットを以下のように設定してください。

入力方式：　　インターレース（IFS ビット＝ B'1）
キャプチャ画像：　　両フィールド（CIM ビット＝ B'0）
キャプチャを開始する画像：　禁止設定を除く任意（FCI ビット＝任意）

インターレース入力を両フィールドキャプチャし、フレームイメージでメモリに格納した場合のメモリイメージを図 36.28 に示します。CDAYR、CDACR にはトップフィールドキャプチャ画像のメモリ格納先先頭アドレスを、CDBYR、CDBCR にはボトムフィールドキャプチャ画像のメモリ格納先先頭アドレスを設定してください。インターレース画像をフレームイメージでメモリに格納する場合、CDWDR には図 36.28 のように、トップフィールドとボトムフィールドを横に並べるイメージで、メモリ領域の画像の横サイズを設定してください。また、CAPWR の VWDTH ビットには、フィールド画像のキャプチャライン数を設定してください。

図 36.28 のメモリ領域の画像の横サイズを CDWDR/2 で折り返したメモリイメージを、図 36.29 に示します。図 36.28 のイメージでレジスタを設定することによって、図 36.29 のようにインターレース画像がフレームイメージでメモリに格納されます。

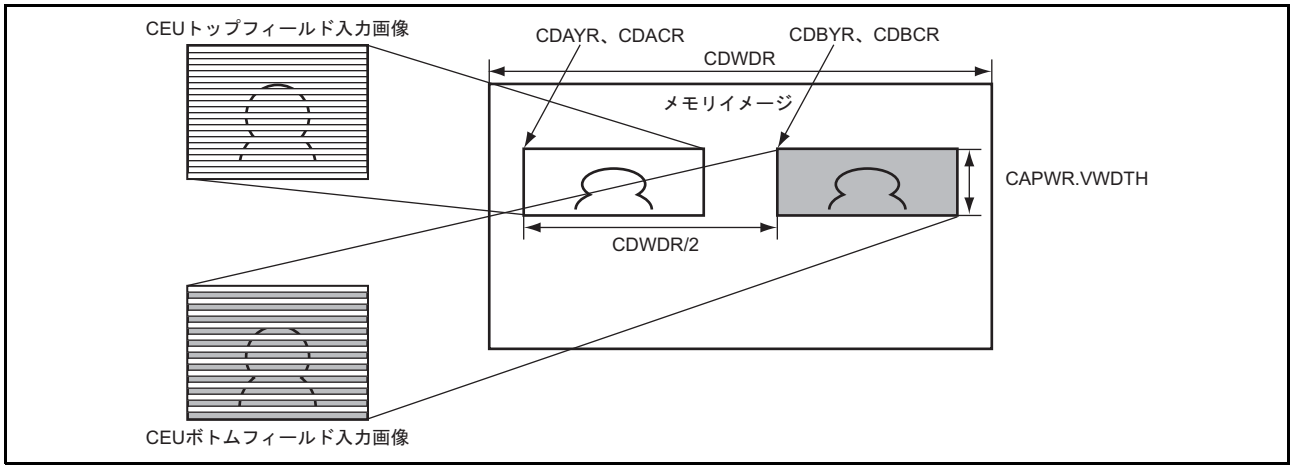


図 36.28　インターレース入力両フィールドキャプチャのメモリ格納イメージ

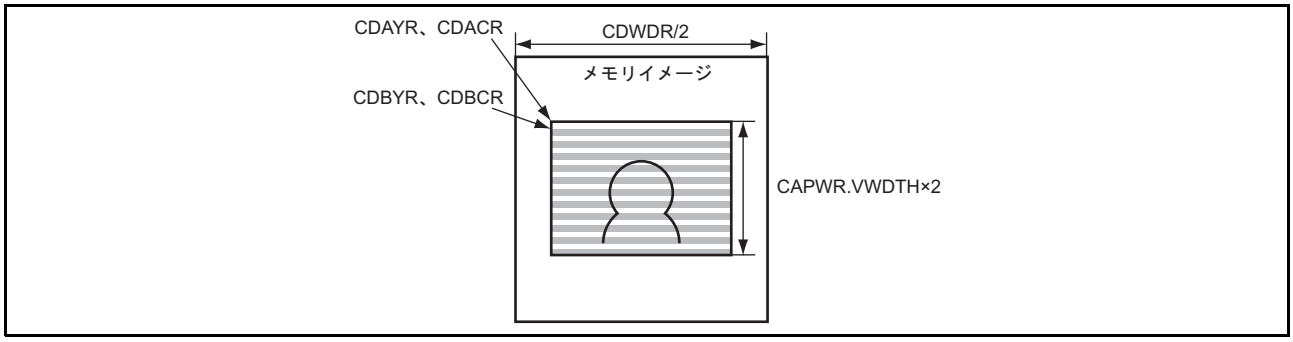


図 36.29　インターレース入力のフレームイメージメモリ格納イメージ

36.4.8　CEU レジスタ制御レジスタ（CRCNTR）

CRCNTR は、2 面構成となっているレジスタの面の切り替えを制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	RVS	—	—	RS	RC
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	RVS	0	R/W	両フィールドキャプチャ時のレジスタ面切り替えタイミング設定 本ビットは、両フィールドキャプチャでかつRCビットが1のときのみ有効です。 0：2VDごとにレジスタ面を切り替え 1：1VDごとにレジスタ面を切り替え
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	RS	0	R/W	VDに同期してCEUが使用するレジスタ面を指定 本ビットは、RCビットが0のときのみ有効です。 0：A面のレジスタを使用する 1：B面のレジスタを使用する
0	RC	0	R/W	VDに同期してCEUが使用するレジスタ面の切り替え指定 レジスタ面を切り替えない場合は、RSビットで指定されたレジスタ面を使用します。 0：VDに同期して指定されたレジスタ面を使用する 1：VDに同期してレジスタ面を切り替える

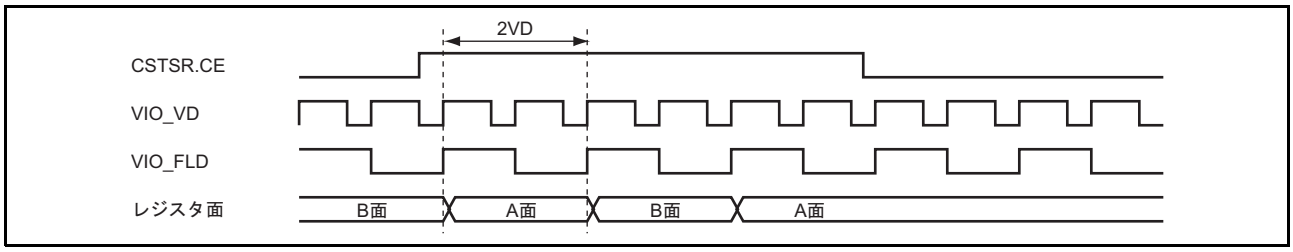


図 36.30　RVS ビットが B'0 のときのレジスタ面切り替えタイミング

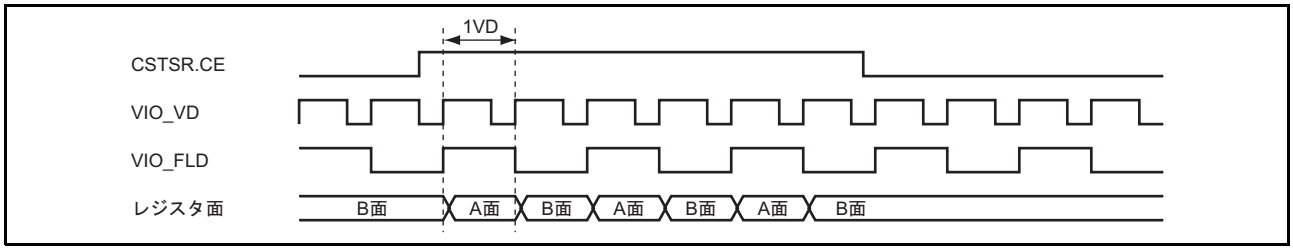


図 36.31　RVS ビットが B'1 のときのレジスタ面切り替えタイミング

36.4.9　CEU レジスタ強制制御レジスタ（CRCMPR）

CRCMPR は、2 面構成となっているレジスタ面の切り替えを強制的に制御します。本レジスタを設定することにより、直接レジスタ面の切り替えを制御できます。

本レジスタは、動作中は書き換えないでください。動作中に書き込みを行った場合の動作は保証しません。また、動作中に本レジスタを書き換えた場合、割り込み要因 CETCR の IGRW ビットに B'1 がセットされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RA
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	RA	0	R/W	現在指定しているレジスタ面を表しています。本レジスタ値は、キャプチャを開始するVDに同期して自動的に切り替わります。 VDに同期してレジスタ面を切り替える設定（CRCNTRのRCビットが1）で、A面のレジスタ設定からキャプチャを開始したい場合は、本ビットでB面を指定してください。 0：A面のレジスタを指定する 1：B面のレジスタを指定する

36.4.10　キャプチャフィルタ制御レジスタ（CFLCR）

CFLCR は、画像縮小フィルタの縮小率を設定します。

CEU には画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。縮小処理を行わない場合（等倍）は、本レジスタに 0 を設定してください。本レジスタに 0 以外を設定した場合、縮小処理を実行します。データ取り込みの際は、本レジスタはすべて 0 を指定してください。

インターレース入力画像をフレーム画像として扱うときは、本レジスタには 0 を設定し、フィルタをかけないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VMANT[3:0]				VFRAC[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HMANT[3:0]				HFRAC[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31～28	VMANT[3:0]	H'0	R/W	垂直方向の縮小率の倍数部 VMANT の設定範囲は、H'0～H'F です。VMANT を H'0、VFRAC を H'000 に設定した場合には、縮小フィルタを使用しません。
27～19 18～16	VFRAC[11:3] VFRAC[2:0]	H'000	R/W R	垂直方向の縮小率の仮数部 VFRAC の設定範囲は、H'000～H'FF8 です。VMANT のみでは設定できない端数を含む縮小率を設定してください。
15～12	HMANT[3:0]	H'0	R/W	水平方向の縮小率の倍数部 HMANT の設定範囲は、H'0～H'F です。HMANT を H'0、HFRAC を H'000 に設定した場合には、縮小フィルタを使用しません。
11～3 2～0	HFRAC[11:3] HFRAC[2:0]	H'000	R/W R	水平方向の縮小率の仮数部 HFRAC の設定範囲は、H'000～H'FF8 です。HMANT のみでは設定できない端数を含む縮小率を設定してください。

CEU には、画像縮小フィルタが実装されており、キャプチャした画像を縮小してメモリへ格納することができます。

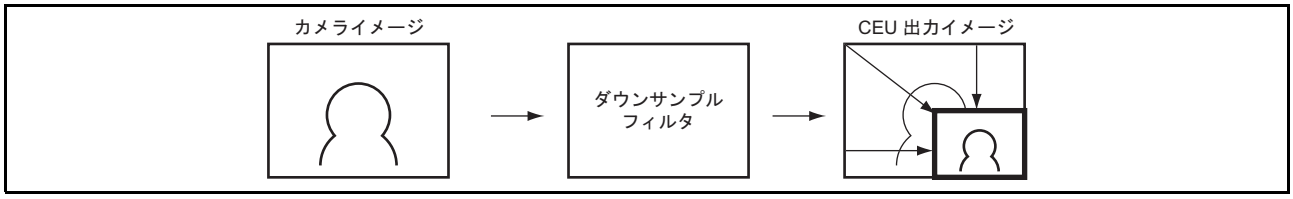


図 36.32　キャプチャ画像の縮小

以下に、フィルタの入力画素数と出力画素数から MANT（VMANT または HMANT）と FRAC（VFRAC または HFRAC）を求める計算式を示します。この説明から、CEU の入力画素に対して要求する出力画素を得られるように MANT および FRAC を設定してください。

まず、仮の MANT 値および FRAC 値を求めます。計算に必要となるパラメータを、

$$\alpha = MANT \times 4096 + FRAC \quad \text{... 数式1}$$

$$SCL\text{（倍率）} = \frac{4096}{\alpha} \quad \text{... 数式2}$$

と定義します。整数 x の小数点以下を切り捨てる演算子を $\lfloor x \rfloor$ として表現すると、数式 1 および数式 2 より

$$MANT = \left\lfloor \frac{1}{SCL} \right\rfloor 、\ FRAC = \left\lfloor 512 \times \left(\frac{1}{SCL} - MANT \right) \right\rfloor \times 8$$

として MANT および FRAC を仮に設定できます。ここで、縮小時のフィルタ出力サイズ（$SIZE_D$）は入力画像サイズを Sin（CAPWR 設定値の 1/2）として、

$$SIZE_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right\rfloor - 1 \right) \times \frac{MANT_{pre} \times 4096}{\alpha} \right\rfloor \quad \text{... 数式3}$$

$$\begin{bmatrix} MANT_{pre} = 1 \longrightarrow (0 \le MANT < 2) \\ MANT_{pre} = 2 \longrightarrow (2 \le MANT < 4) \\ MANT_{pre} = 4 \longrightarrow (4 \le MANT < 8) \\ MANT_{pre} = 8 \longrightarrow (8 \le MANT) \end{bmatrix}$$

として計算できます。

これらの式に仮で求めた MANT、FRAC、および入力画像サイズを代入すると出力画素を求めることができます。求めた出力画素数が MANT、FRAC を仮で求める際に使用した出力画素より小さくなった場合は、FRAC(α) の値を少し小さくして再計算を行い、要求する出力画素より大きい画素値が得られる MANT および FRAC を本レジスタに設定してください。

（例）640 画素を 480 画素に縮小する

SCL ＝ 480/640 ＝ 3/4 となり MANT ＝ 1、MANTpre ＝ 1、FRAC ＝ H'550 を仮で設定します。これを

$$SIZE_D = \left\lfloor 1 + \left(\left\lfloor \frac{1}{2} + \frac{S_{in} - 1}{MANT_{pre}} \right\rfloor - 1 \right) \times \frac{MANT_{pre} \times 4096}{\alpha} \right\rfloor \quad \text{... 数式3}$$

へ代入すると出力画素数＝ 479 を得ることがでます。この出力画素数は、要求する出力画素数 480 よりも小さいため、FRAC を 8 小さい H'548 にして再計算すると、出力画素数＝ 480 を得ることができ、要求する出力画素数 480 に等しいので、レジスタへは MANT ＝ 1、FRAC ＝ H'548 を設定します。

表 36.8　　縮小フィルタの各倍率設定例

倍率	FRAC		MANT	入力画素数	出力画素数	サイズクリップ（CFSZR）
	10進数	16進数				
7/8	576	H'240	1	640	560	560
3/4	1352	H'548	1	640	480	480
5/8	2448	H'990	1	640	400	400
1/2	0	H'0	2	640	320	320
3/8	2728	H'AA8	2	640	240	240
1/3	0.0	H'0	3	640	213	212
1/4	0.0	H'0	4	640	160	160
1/5	0.0	H'0	5	640	128	128
1/6	0.0	H'0	6	640	107	104
1/7	0.0	H'0	7	640	91	88
1/8	0.0	H'0	8	640	80	80
1/16	4088	H'FF8	15	640	40	40

注.　本縮小フィルタではVGAサイズのラインメモリを用いて縮小を行うために、VGAよりも大きいサイズの画像を入力して縮小を行う場合、出力後の画像サイズがSubQCIFサイズ以上VGAサイズ以下になるように設定してください。縮小を行わない場合（等倍）は、本制約は関係ありません。

36.4.11　キャプチャフィルタサイズクリップレジスタ（CFSZR）

CFSZR は、フィルタの出力サイズ微調整用のクリップサイズ設定用レジスタです。CFLCR と合わせて使用してください。フィルタの出力サイズをクリップする際、そのサイズを画素数で設定してください。設定単位は 4 画素単位です。等倍出力の場合も設定してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

データ同期取り込みの際は、本レジスタは CAPWR の設定をもとに設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	VFCLP[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	HFCLP[11:0]											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～28	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
27～18 17、16	VFCLP[11:2] VFCLP[1:0]	H'000	R/W R	垂直方向のフィルタ出力サイズのクリップ値（4画素単位）
15～12	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
11～2 1、0	HFCLP[11:2] HFCLP[1:0]	H'000	R/W R	水平方向のフィルタ出力サイズのクリップ値（4画素単位（注）） 注.　内蔵RAM以外に書き込む場合は8画素単位

CEU 部に搭載している縮小フィルタは、設定によっては、奇数画素／奇数ラインを出力する場合があります。このため、フィルタは出力サイズを整えるために、**図 36.33** に示すように、本レジスタに設定した画素数で出力画像をクリッピングします。クリップサイズ指定は、縦横 4 画素単位で指定可能です。

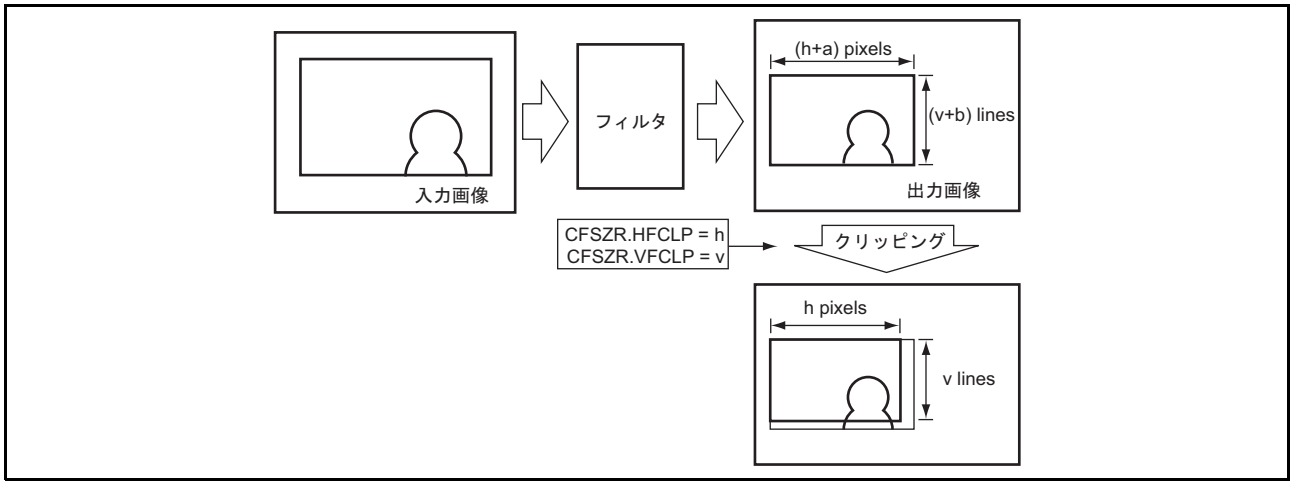


図 36.33　フィルタ出力画像のクリッピング

クリップの画素数は、画面の左上からのカウントになります。設定した画素数よりも右側、設定したライン数よりも下側にある画素については、クリップ機能により切り捨てられます。本レジスタに設定した画素数が、実際のフィルタ出力画素数よりも大きい場合、動作保証できませんので、必ずフィルタの出力画素数以下の値を設定してください。

注 .　データ同期取り込みモードの際は以下の設定が必要となります。以下の設定を行わないと、データを正しく取り込むことができません。

VFCLP ＝ CAPWR.VWDTH

HFCLP ＝ CAPWR.HWDTH/2

36.4.12　キャプチャデスティネーション幅レジスタ（CDWDR）

CDWDR は、キャプチャした画像を出力するメモリ領域の画像の横サイズを 4 バイト単位（4 画素単位）で設定します。

データ同期取り込みの際は、CAPWR の設定をもとに、本レジスタを設定してください。データイネーブル取り込みモード時は、本レジスタは使用しません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	CHDW[12:0]												
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～13	–	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
12～2 1、0	CHDW[12:2] CHDW[1:0]	H'0000	R/W R	キャプチャ画像を書き込むメモリ領域の画像の横サイズをバイト数で指定（4バイト単位（注）） CEUでキャプチャした画像データは、メモリへ格納されます。このとき、図36.34に示すように、キャプチャした画像における水平右端の折り返しが、メモリ領域にある画像イメージの横サイズと異なる場合、キャプチャイメージ格納の際に、画像右端でアドレスをジャンプさせる必要があります。このため、本ビットには、メモリにキャプチャした画像を書き込む際の、メモリ空間にある画像イメージの横サイズを設定してください。 最大設定値は8,188バイト（8,188画素）です。 データ同期取り込みの際は以下のように設定してください。 CHDW＝CAPWR.HWDTH 注．　内蔵RAM以外に書き込む場合は8バイト単位

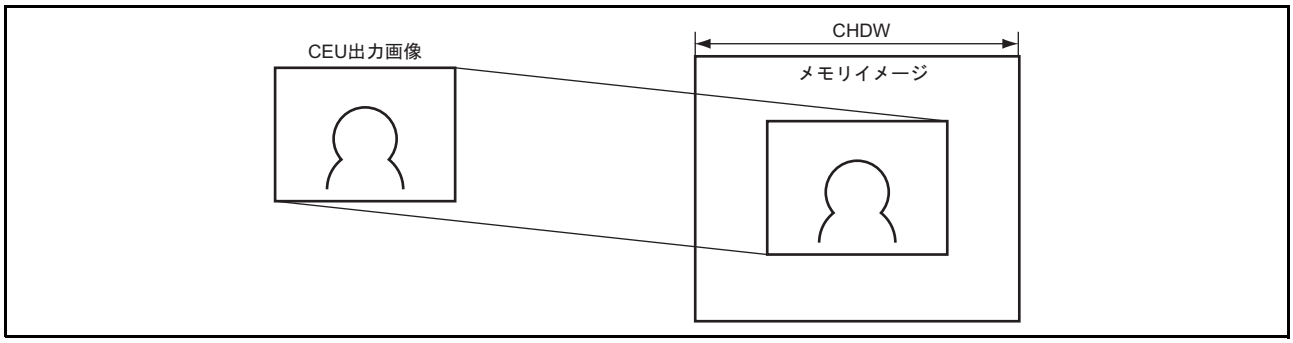


図 36.34　キャプチャ画像とメモリ領域画像

36.4.13　キャプチャデータアドレス Y レジスタ（CDAYR）

CDAYR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの輝度（Y）成分のデータ格納先アドレス指定、両フィールド画像キャプチャの際のトップフィールドの輝度（Y）成分格納先アドレス指定、およびデータ取り込みの際のデータ格納先アドレス指定を行います。CEU は、キャプチャした画像データをバスを経由し輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、キャプチャデータの Y（輝度）成分のデータ格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、トップフィールドキャプチャ画像の Y（輝度）成分の格納先先頭アドレスを設定してください。データ取り込みの際は、データ格納に使用するメモリ領域の先頭アドレスを設定してください。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。画像キャプチャの際は 4 画素単位、データ取り込みの際は 4 バイト単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAYR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAYR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CAYR[31:2] CAYR[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータの Y（輝度）成分データ格納先アドレス（4 画素単位（注 1）） • 片フィールド画像キャプチャ時：キャプチャデータの Y（輝度）成分データ格納先アドレス（4 画素単位（注 1）） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータの Y（輝度）成分データ格納先アドレス（4 画素単位（注 1）） • データ取り込み時：データ格納先アドレス（4 バイト単位（注 2）） • データイネーブル取り込みバンドル書き込み時：データ格納先アドレス（32 バイト単位） 注 1.　内蔵 RAM 以外に書き込む場合は 8 画素単位 注 2.　内蔵 RAM 以外に書き込む場合は 8 バイト単位

本レジスタには、**図 36.35** に示すように、取り込んだデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ取り込み時：キャプチャしたデータを格納するメモリ領域の先頭ポイントのアドレスを設定してください。データ取り込みモードでは先頭アドレスから単純にデータを詰めていくため、終端アドレスは以下のようになります。
  （終端アドレス）＝ CDAYR ＋（取り込みバイト数）
- データイネーブル取り込みバンドル書き込み時は、32 バイト単位でアドレスを設定してください。

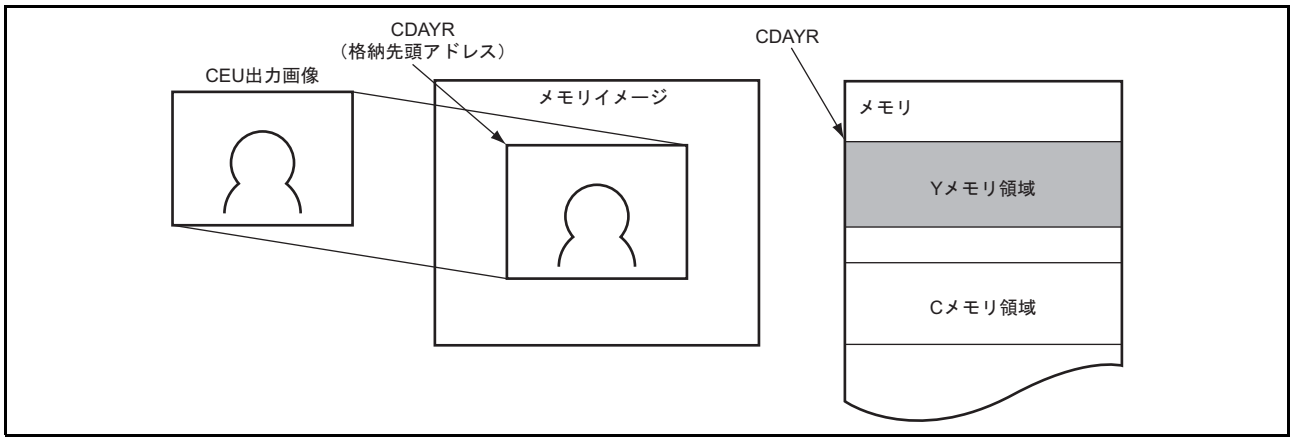


図 36.35　キャプチャ画像と Y 成分メモリ領域の関係

36.4.14　キャプチャデータアドレス C レジスタ（CDACR）

CDACR は、フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの色差（C）成分の格納先アドレス指定および両フィールド画像キャプチャの際のトップフィールドの色差（C）成分格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、キャプチャデータの C（色差）成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールドキャプチャの際は、トップフィールドキャプチャ画像の C（色差）成分の格納先先頭アドレスを設定してください。データ取り込みの際は、本レジスタは使用しません。

本レジスタで設定するアドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位は、ロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CACR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CACR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CACR[31:2] CACR[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータの C（色差）成分データ格納先アドレス（4 画素単位（注）） • 片フィールド画像キャプチャ時：キャプチャデータの C（色差）成分データ格納先アドレス（4 画素単位（注）） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータの C（色差）成分データ格納先アドレス（4 画素単位（注）） 注．　内蔵 RAM 以外に書き込む場合は 8 画素単位

本レジスタには、図 36.36 に示すように、キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 36.37 のようになっており、この形式でメモリに格納します。

- フレーム画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

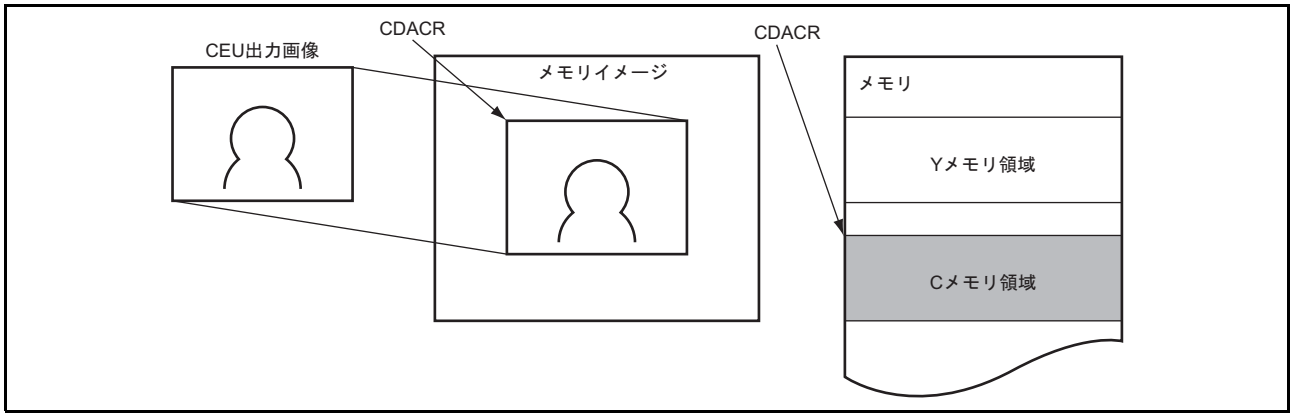


図 36.36　キャプチャ画像と C 成分メモリ領域の関係

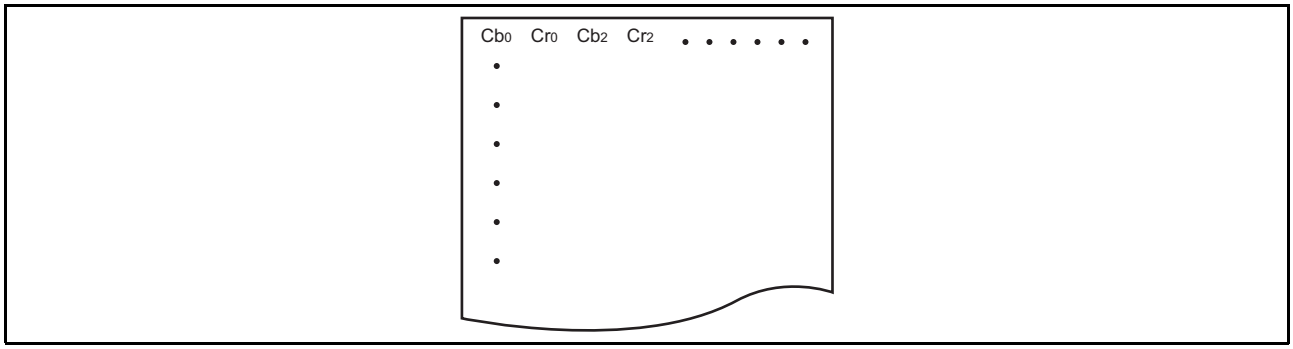


図 36.37　C 成分のメモリ出力イメージ

36.4.15　キャプチャデータボトムフィールドアドレス Y レジスタ（CDBYR）

CDBYR は、両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの輝度（Y）成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの、Y（輝度）成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBYR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBYR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～21、0	CBYR[31:2] CBYR[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータのY（輝度）成分データ格納先アドレス （4画素単位（注）） 注．　内蔵RAM以外に書き込む場合は8画素単位

本レジスタには、図 36.38 に示すように、ボトムフィールドキャプチャ画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

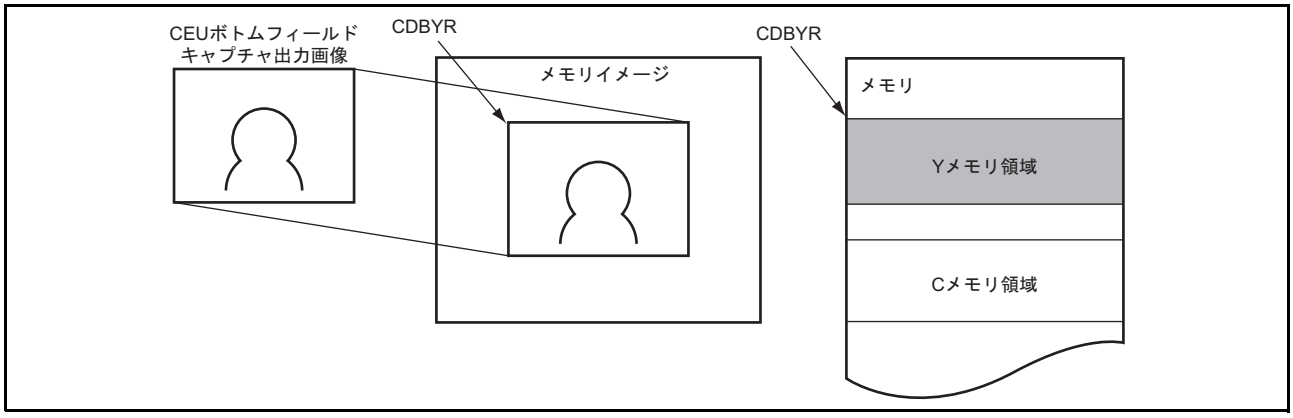


図 36.38　ボトムフィールドキャプチャ画像と Y 成分メモリ領域の関係

36.4.16　キャプチャデータボトムフィールドアドレス C レジスタ（CDBCR）

CDBCR は、両フィールド画像キャプチャの際の、ボトムフィールドキャプチャデータの色差（C）成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの C（色差）成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールドキャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。本レジスタ設定のアドレス単位はロングワード単位です。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBCR[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBCR[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～21、0	CBCR[31:2] CBCR[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータのC（色差）成分データ格納先アドレス（4画素単位（注）） 注.　内蔵RAM以外に書き込む場合は8画素単位

本レジスタには、図 36.39 に示すように、ボトムフィールドキャプチャ画像の C 成分を格納するメモリ領域の、先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 36.40 のようになっており、この形式でメモリに格納します。

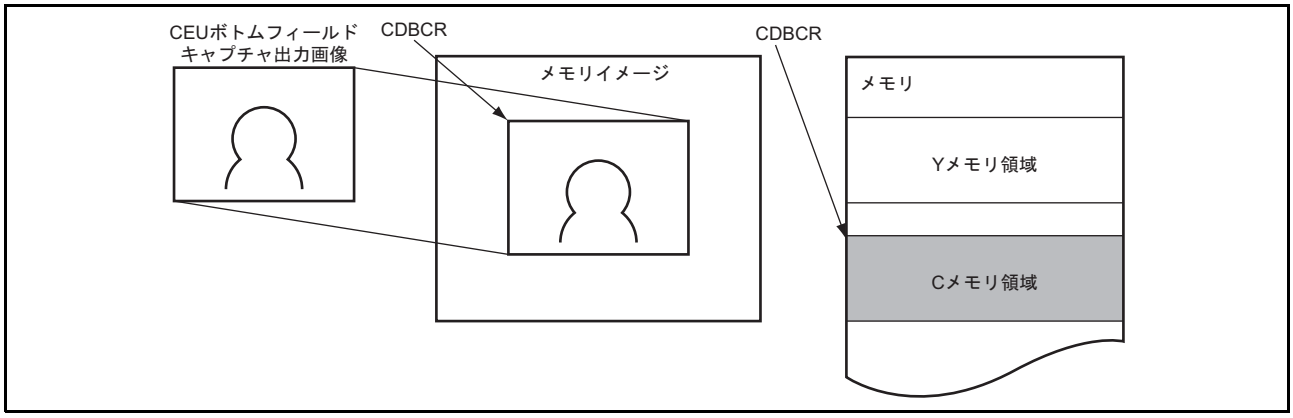


図 36.39　ボトムフィールドキャプチャ画像と C 成分メモリ領域の関係

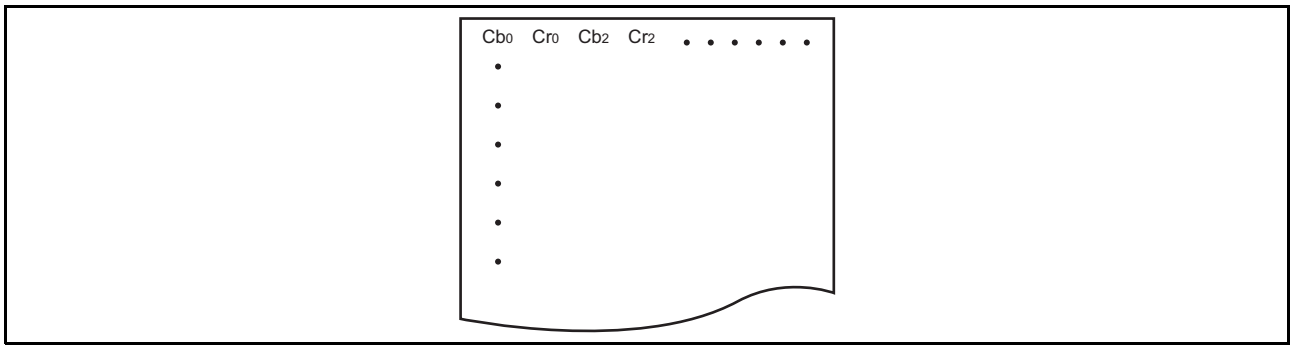


図 36.40　C 成分のメモリ出力イメージ

36.4.17　キャプチャバンドルデスティネーションサイズレジスタ（CBDSR）

CBDSR は、バンドル書き込みの際の、メモリ出力サイズを設定します。画像キャプチャ、およびデータ同期取り込みの際は、メモリ出力ライン数を設定します。データイネーブル取り込みの際は、メモリ出力バイト数を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	CBVS[22:16]						
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBVS[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
31～23	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
22～0	CBVS[22:3] CBVS[2:0]	H'000	R/W R	バンドル書き込みの際のメモリ出力ライン数またはメモリ出力バイト数 画像キャプチャおよびデータ同期取り込み時：バンドル書き込みの際のメモリ出力ライン数 単位：8 ライン、最小：8 ライン、最大 1,920 ライン（H'780） データイネーブル取り込み時：バンドル書き込みの際のメモリ出力バイト数 単位：32 バイト、最小：512 バイト、最大 6,291,456 バイト（H'600000）

(a)　画像キャプチャ、およびデータ同期取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのライン数を、8 の倍数で設定してください。本レジスタは CDOCR.CBE ＝ 1 のときのみ有効です。CDOCR.CBE ＝ 1 で、本レジスタが H'0 の場合、本モジュールはメモリ書き込むキャプチャデータのライン数を、H'8 として動作します。最大設定ライン数は、1,920（H'780）ラインです。CBVS[11:3] までが有効です。

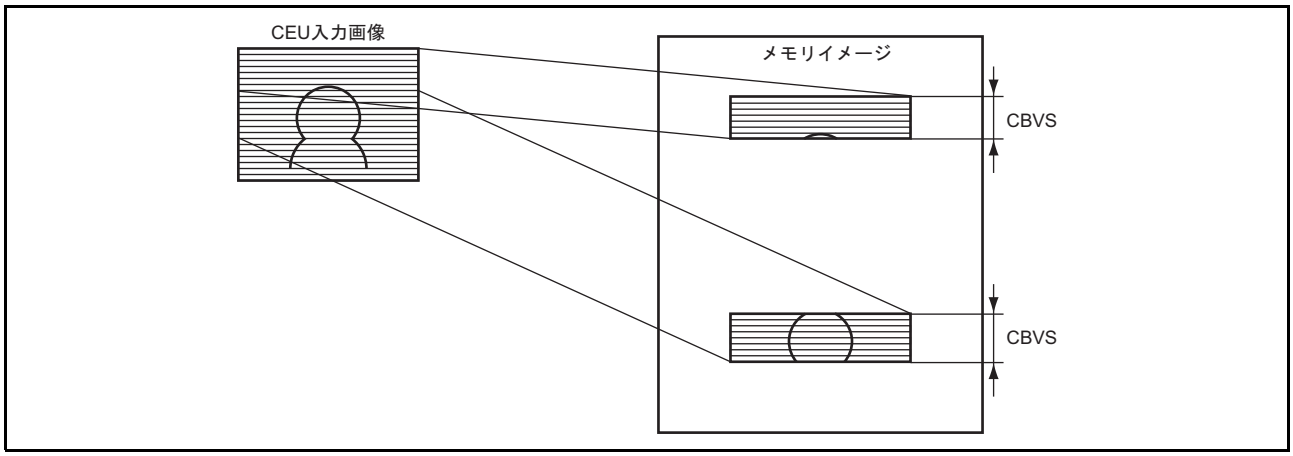


図 36.41　バンドル書き込みキャプチャ画像のメモリ格納イメージ

(b)　データイネーブル取り込み時

バンドル書き込みでメモリに書き込むキャプチャデータのバイト数を、32 の倍数で設定してください。本レジスタは CDOCR.CBE ＝ 1 のときのみ有効です。最小設定サイズは 512 バイトです。512 バイト未満に設定した場合の動作は保証しません。

36.4.18　キャプチャローパスフィルタ制御レジスタ（CLFCR）

CLFCR は、ローパスフィルタを動作させるか否かを設定します。データ取り込みモードの際は、LPF ビットを B'0 に設定してください。

CEU が実装するローパスフィルタの特性上、ローパスフィルタ処理後の画像は、原画像に比べて位相位置が 1 画素右にずれて見えます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	LPF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	LPF	0	R/W	ローパスフィルタの動作有無を設定 ローパスフィルタは、出力画像の水平方向の高周波成分を除去します。データ取り込みモードでは0を設定してください。 0：ローパスフィルタなし 1：ローパスフィルタあり（水平方向のみ）

36.4.19　ファイアウォール動作制御レジスタ（CFWCR）

CFWCR は、データイネーブル取り込みの際の書き込みアドレスの上限を設定します。外部モジュールからの VD 入力が立ち下がらず、終了が通知されなかった場合にメモリへの書き込み暴走を抑止することができます。

本レジスタは、データイネーブル取り込み時のみ有効です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	FWV[26:11]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FWV[10:0]											—	—	—	—	FWE
初期値：	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～5	FWV[26:0]	H'0000008	R/W	書き込みアドレスの上限を指定 32ビット中の上位27ビットを指定します。 FWV[26:0]<<5 + H'1F が上限アドレスです。
4～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	FWE	0	R/W	FWEビット=1のとき、アドレスがFWV設定値以上になった場合、アドレスを保持し、割り込み要因FWFをセットします。それ以降、アドレスはインクリメントされず、データは上限のアドレスに上書きされます。 0：ファイアウォールを起動しない 1：ファイアウォールを起動する

36.4.20　キャプチャデータ出力制御レジスタ（CDOCR）

CDOCR は、キャプチャデータのメモリへの出力方式を設定します。データ取り込みモードの際は、CDS ビットを B'1 に設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CBE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	CDS	—	COLS	COWS	COBS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	CBE	0	R/W	メモリに書き込むキャプチャデータのライン数を制御 • 画像キャプチャ時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたライン単位で、CDAYR、CDACR と CDAYR2、CDACR2（両フィールドキャプチャ時のボトムフィールドは、CDBYR、CDBCR と CDBYR2、CDBCR2）で指定されたアドレスに、交互にキャプチャデータを書き込みます（図36.42）。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。なお、1フレーム（1フィールド）キャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 • データ同期取り込み時 メモリに書き込むキャプチャデータのライン数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたライン単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたライン数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。なお、1フレームキャプチャ終了時は、バンドル書き込み終了時でも、バンドル書き込み終了割り込みは発生しません。 • データイネーブル取り込み時 メモリに書き込むキャプチャデータのバイト数を制御します。本レジスタによってバンドル書き込みが設定された場合、CBDSR レジスタに設定されたバイト単位で、CDAYR と CDAYR2 で指定されたアドレスに、交互にキャプチャデータを書き込みます。CBDSR レジスタに設定されたバイト数分のキャプチャデータの書き込みが終了した時点で、各アドレス指定レジスタに対応した書き込み終了割り込みを発生します。なお、データイネーブル取り込み時のみ、1フレームキャプチャ終了時も、バンドル書き込み終了時は、バンドル書き込み終了割り込みを発生します。 各アドレス指定レジスタと書き込み終了割り込み要因の対応を表36.9に、画像キャプチャおよびデータ同期取り込み時の書き込み終了割り込みタイミングを図36.43に、データイネーブル取り込み時の書き込み終了割り込みタイミングを図36.44に示します。 0：通常書き込み 1：バンドル書き込み
15～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	CDS	0	R/W	YCbCr422 フォーマットで取り込んだ画像データをメモリ出力する際の画像フォーマットを指定 本ビットに0を書き込んだ場合、奇数ラインは、輝度成分（Y）のみを出力し色差成分（Cb,Cr）は出力しません。インターレース入力画像も同様に、フィールドの奇数ラインは、輝度成分（Y）のみを出力し色差成分（Cb,Cr）は出力しません。データ取り込みモードでは1を設定してください。 0：YCbCr422 から YCbCr420 に変換してメモリに出力 1：YCbCr422 のままメモリに出力

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	COLS	0	R/W	CEUから出力するデータの32ビット単位の入れ替えを制御 0：32ビット単位の入れ替えしない 1：32ビット単位の入れ替えする
1	COWS	0	R/W	CEUから出力するデータの16ビット単位の入れ替えを制御 0：16ビット単位の入れ替えしない 1：16ビット単位の入れ替えする
0	COBS	0	R/W	CEUから出力するデータの8ビット単位の入れ替えを制御 0：8ビット単位の入れ替えしない 1：8ビット単位の入れ替えする

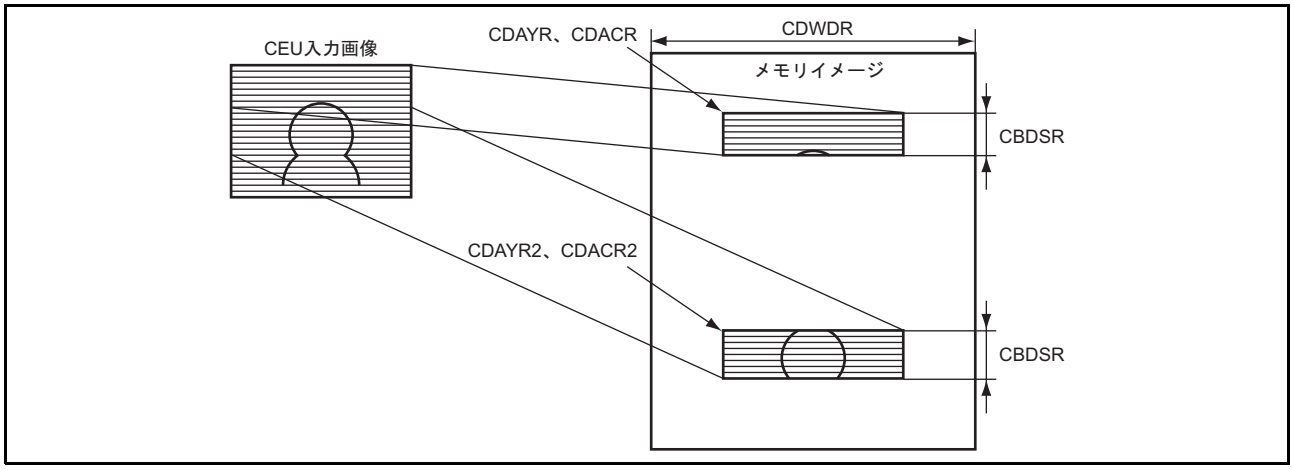


図 36.42　バンドル書き込みメモリ格納イメージ

表36.9　　アドレス指定レジスタと書き込み終了割り込み要因の対応

アドレス指定レジスタ	バンドル書き込み終了割り込み要因
CDAYR、CDACR	CETCR.CPBE1
CDAYR2、CDACR2	CETCR.CPBE2
CDBYR、CDBCR	CETCR.CPBE3
CDBYR2、CDBCR2	CETCR.CPBE4

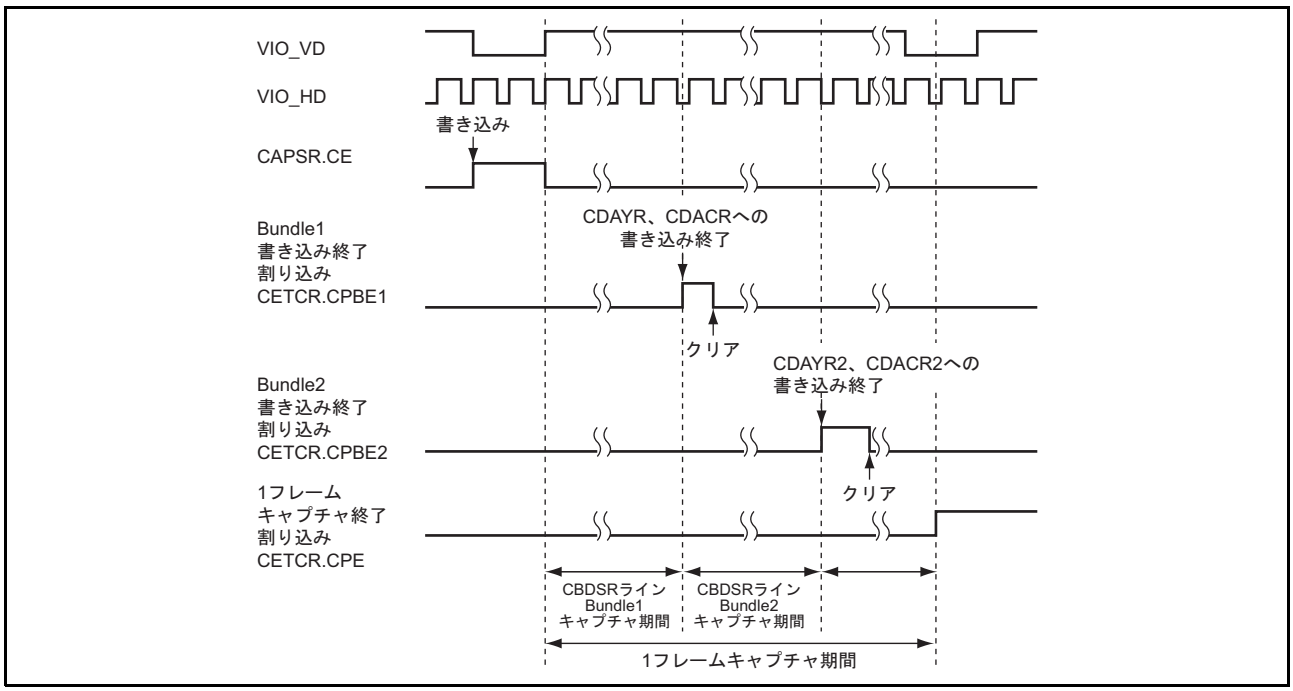


図 36.43　書き込み終了割り込みのタイミング（画像キャプチャ時、データ同期取り込み時）

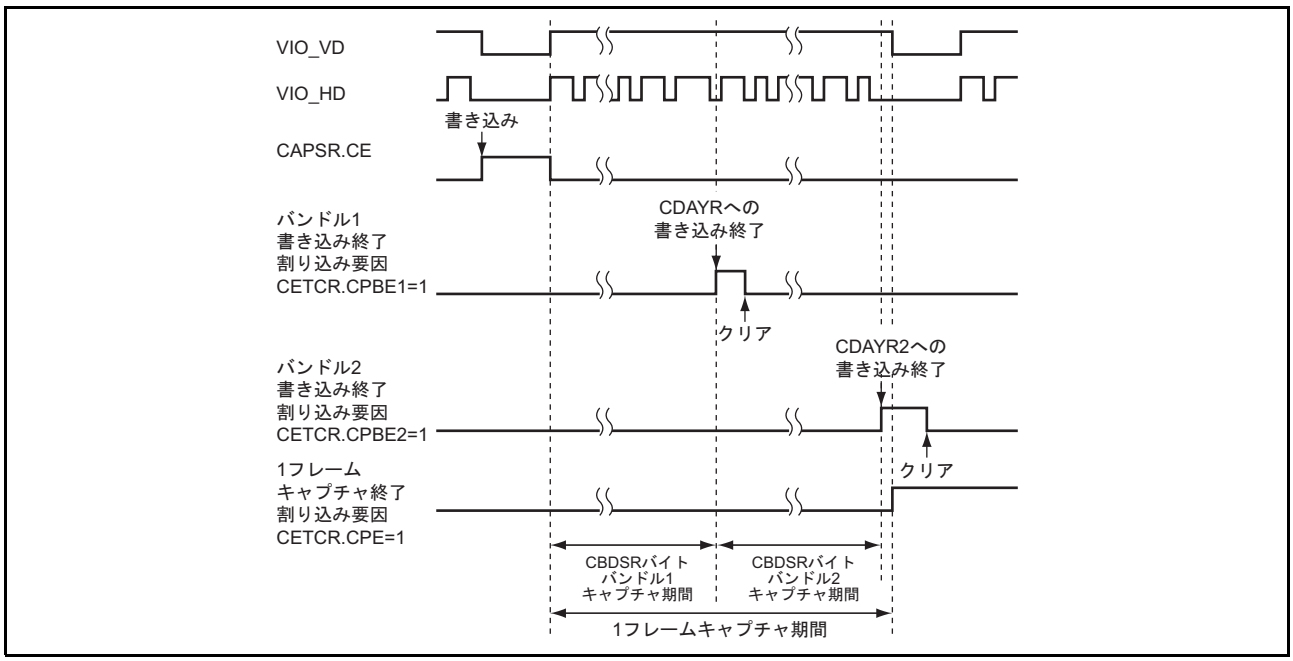


図 36.44　書き込み終了割り込みのタイミング（データイネーブル取り込み時）

COLS、COWS、COBS ビットは、CEU から出力するデータの 32 ビット単位、16 ビット単位、8 ビット単位の入れ替えを制御するビットです。エンディアンによるデータの並びの問題が生じた場合に設定してください。データ入れ替えレジスタのビットを以下に示します。データ取り込みの際も同様に設定できます。

入れ替え機能としては、**図 36.45** のように、8 ビット単位、16 ビット単位、32 ビット単位、32 ビット－16 ビット－8 ビット入れ替えが可能です。入れ替えを行う場合には、各制御ビットを B'1 に設定してください。

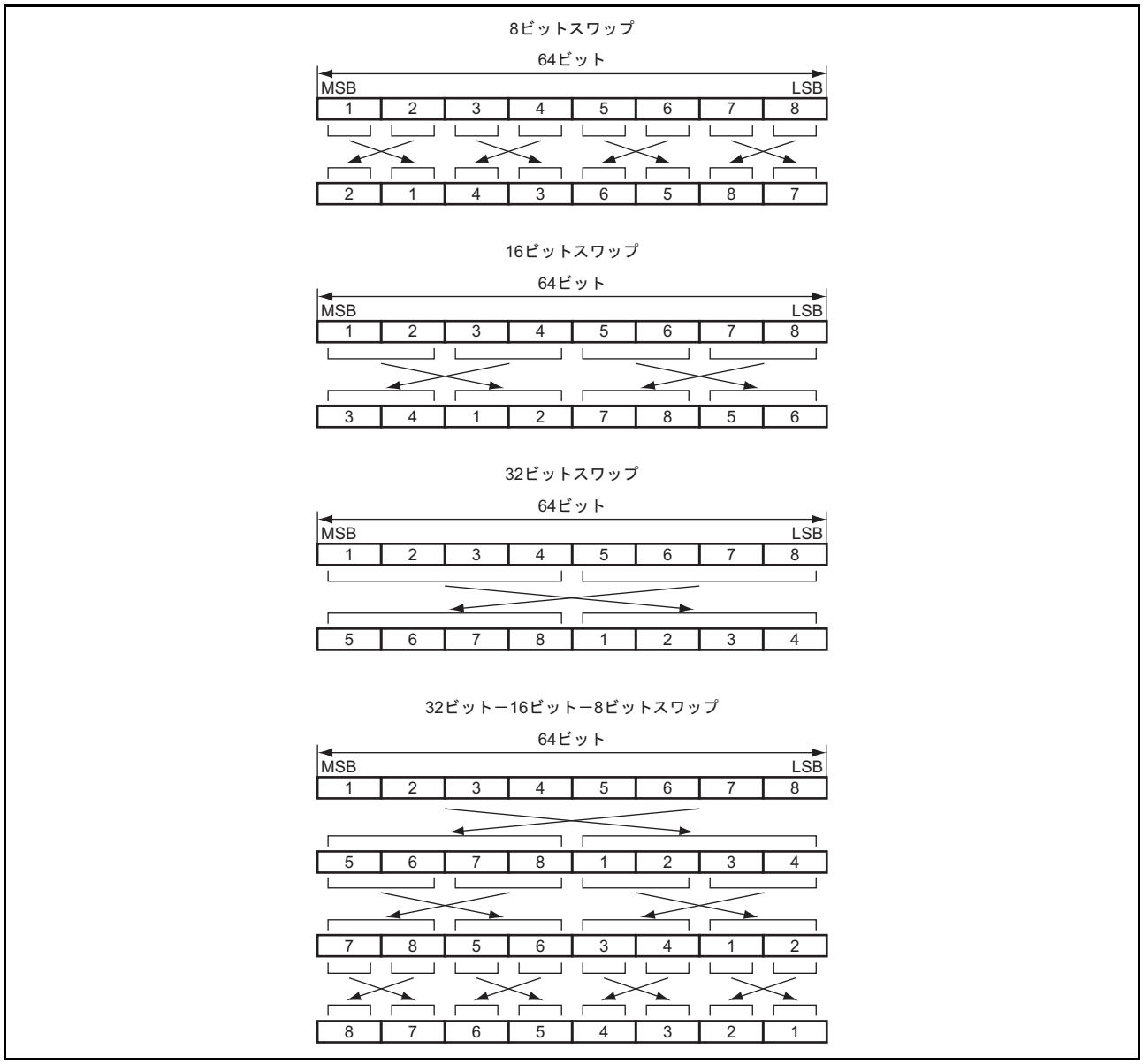


図 36.45　データ入れ替え機能

36.4.21　キャプチャイベント割り込み許可レジスタ（CEIER）

CEIER は、CEU の割り込みを発生するイベントフラグレジスタに割り込み許可を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NVDIE	NHDIE	FWFIE	—	—	VBPIE	—	IGVSIE	IGHSIE	CDTOFIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPBE4IE	CPBE3IE	CPBE2IE	CPBE1IE	—	—	VDIE	HDIE	—	—	—	IGRWIE	—	—	CFEIE	CPEIE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
25	NVDIE	0	R/W	非VD割り込み許可。データイネーブル取り込み時は、本割り込みは禁止に設定してください。 0：非VD割り込み禁止 1：非VD割り込み許可
24	NHDIE	0	R/W	非HD割り込み許可。データイネーブル取り込み時は、本割り込みは禁止に設定してください。 0：非HD割り込み禁止 1：非HD割り込み許可
23	FWFIE	0	R/W	FWF割り込み許可 0：FWF割り込み禁止 1：FWF割り込み許可
22、21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
20	VBPIE	0	R/W	VBP割り込み許可 0：VBP割り込み禁止 1：VBP割り込み許可
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
18	IGVSIE	0	R/W	IGVS割り込み許可 0：IGVS割り込み禁止 1：IGVS割り込み許可
17	IGHSIE	0	R/W	IGHS割り込み許可 0：IGHS割り込み禁止 1：IGHS割り込み許可
16	CDTOFIE	0	R/W	CDTOF割り込み許可 0：CDTOF割り込み禁止 1：CDTOF割り込み許可
15	CPBE4IE	0	R/W	CPBE4割り込み許可 0：CPBE4割り込み禁止 1：CPBE4割り込み許可
14	CPBE3IE	0	R/W	CPBE3割り込み許可 0：CPBE3割り込み禁止 1：CPBE3割り込み許可
13	CPBE2IE	0	R/W	CPBE2割り込み許可 0：CPBE2割り込み禁止 1：CPBE2割り込み許可
12	CPBE1IE	0	R/W	CPBE1割り込み許可 0：CPBE1割り込み禁止 1：CPBE1割り込み許可
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W	説明
9	VDIE	0	R/W	VD 割り込み許可 0：VD 割り込み禁止 1：VD 割り込み許可
8	HDIE	0	R/W	HD 割り込み許可 0：HD 割り込み禁止 1：HD 割り込み許可
7～5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
4	IGRWIE	0	R/W	キャプチャ中レジスタアクセス割り込み許可 0：キャプチャ中レジスタアクセス割り込み禁止 1：キャプチャ中レジスタアクセス割り込み許可
3、2	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は必ず 0 にしてください。
1	CFEIE	0	R/W	CFE 割り込み許可 0：CFE 割り込み禁止 1：CFE 割り込み許可
0	CPEIE	0	R/W	1 フレームキャプチャ終了割り込み許可 0：1 フレームキャプチャ終了割り込み禁止 1：1 フレームキャプチャ終了割り込み許可

36.4.22　キャプチャイベントフラグクリアレジスタ（CETCR）

CETCR は、CEU 内部で CPU に対して割り込みが起こった場合に、その要因を表すレジスタです。本レジスタに立っているフラグは、そのまま割り込み信号になっていますので、対応する割り込みが許可（イネーブル）になっていると、割り込みが発生します。割り込みを消す場合には、割り込み要因に対応するビットを 0 クリアすることで、書き込み後、数サイクルでクリアされます。

消去したい割り込み要因のビットに 0 をセットし、そのままの状態に保持したい場合には、1 をセットして書き込みを行ってください。たとえば、CPE ビットのみクリアしたい場合は、H'FFFF FFFE の書き込みを行ってください。

本レジスタへの書き込み時に 0 を書き込んだビットは、クリアされます。1 を書き込んだ場合には、そのビットの値は現在の値が保持されます。割り込み要因のクリア時には、クリアしたい要因のビットにのみ 0 を書き込み、それ以外のビットには 1 を書き込んでください。

注．　以下の場合、本レジスタは不定値となりますので、必ず本レジスタの全ビットを 0 クリアしてください。
- パワーオンリセット、ディープスタンバイ直後の VD、HD ビット
- ソフトウェアスタンバイ、モジュールスタンバイ後の全ビット
- キャプチャインタフェースの同期信号極性設定を変化させた時の VD、HD ビット

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	NVD	NHD	FWF	—	—	VBP	—	IGVS	IGHS	CDTOF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPBE4	CPBE3	CPBE2	CPBE1	—	—	VD	HD	—	—	—	IGRW	—	—	CFE	CPE
初期値：	0	0	0	0	0	0	—	—	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
25	NVD	0	R/W	VDが入力されなかったことを表す割り込み 非VD割り込みが発生するタイミングは、14ビットの内部カウンタがフルのときです。したがって、NVDフラグはVDが入力されてから16,383ライン以上次のVDが入力されないと1になります。
24	NHD	0	R/W	HDが入力されなかったことを表す割り込み 非HD割り込みが発生するタイミングは8サイクルごとにインクリメントする11ビットの内部カウンタがフルのときです。したがって、NHDフラグはHDが入力されてから16,376サイクル以上次のHDが入力されないときに1となります。 VDがローの期間中HDもローに固定されているカメラを接続した場合等には、NHDフラグが立つ可能性があります。 データイネーブル取り込み時は、本割り込みは無視してください。
23	FWF	0	R/W	CFWCR.FMVで指定される数値を超えるアドレスにデータを書き込もうとしたときに生じる割り込み CFWCR.FWE=1のとき、CFWCR.FMVで指定された数値を超えるアドレスにデータを書き込もうとした場合に1になります。
22、21	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
20	VBP	0	R/W	CEUがデータを保持している状態で、VDが入力されたことを表す（垂直同期のフロントポーチが不足している）割り込み VBP割り込みの発生条件は以下のとおりです。 【発生条件1】 CEU内部にキャプチャデータを抱えた状態でVDが入力された 【発生条件2】 ライトバッファのオーバフローまたはイリーガルHDにより、最後の転送データを内部により検知できなくなり、終了タイミングが次のVDまで分からない（VDのタイミングでVBP割り込みを発生させることによりキャプチャFailを知らせることができる） 本割り込みが発生した場合は、終了割り込み（CETCRのCPEビット）は発生せず、そのフレームの画像は正しくキャプチャされません。キャプチャ終了割り込み（CPEビット）が発生する場合が希にありますが、この場合の終了割り込みは無視してください 。また、次のVDまでキャプチャはできません（キャプチャ予約信号CAPSRのCEビットが1でもキャプチャは開始しません）。 発生条件2の場合は、本割り込みを待つことなく、ソフトウェアリセット（CAPSRのCPKILビット）によりキャプチャを終了し、その後再起動をするようにしてください。この場合はVDまで待たずに動作が終了するため、VBP割り込みは発生せず、次のVDから取り込みが可能となります。
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
18	IGVS	0	R/W	CMCYRに設定したVDサイクルと外部モジュールからのVDサイクルが異なる時に発生する割り込み 外部モジュールからVDの入力が不正に入った時に1が立ちます。CEUへのVDのHDサイクル数がCMCYRのVCYLビットに設定した値と異なるときに、1が立ちます。ただし、VCYLビットが0の設定のときは、割り込みを発生しません。
17	IGHS	0	R/W	CMCYRに設定したHDサイクルと外部モジュールからのHDサイクルが異なる時に発生する割り込み 外部モジュールからHDの入力が不正に入った時に1が立ちます。CEUへのHDのクロックサイクル数がCMCYRのHCYLビットに設定した値と異なるときに、1が立ちます。ただし、HCYLビットが0の設定のときは、割り込みを発生しません。
16	CDTOF	0	R/W	ライトバッファのCRAMにおいて、データのオーバフローがあったことを表す割り込み キャプチャ動作は、外部モジュールからリアルタイムでデータが入力されます。このため、ある一定以上の転送レートで、CEUの内部バッファからメモリへキャプチャしたデータを転送しなければ、フレームイメージが壊れます。本ビットは、CEU内部にあるライトバッファCRAM内データのバスへの書き出しが間に合わず、データがオーバフローした場合に1となります。
15	CPBE4	0	R/W	バンドル書き込みで、CDBYR2、CDBCR2への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。

ビット	ビット名	初期値	R/W	説明
14	CPBE3	0	R/W	バンドル書き込みで、CDBYR、CDBCRへの書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。
13	CPBE2	0	R/W	バンドル書き込みで、CDAYR2、CDACR2への書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数（データイネーブル取り込み時はバイト数）をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。
12	CPBE1	0	R/W	バンドル書き込みで、CDAYR、CDACRへの書き込みが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のHD入力とは関係なく出力されます。 CBDSRで設定したライン数（データイネーブル取り込み時はバイト数）をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます。 なお、画像キャプチャまたはデータ同期取り込み時、バンドル書き込みの最後のキャプチャデータが、1フレーム（フィールド）の最後のキャプチャデータの場合、本割り込みは発生しません。
11、10	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
9	VD	不定	R/W	外部モジュールからVD（垂直同期信号）が入力されたことを表す割り込み データイネーブル取り込みモードでは、外部モジュールからのVDを検出した時点で1になります。画像取り込みモードおよびデータ同期取り込みモードでは、外部モジュールからのVDを検出後に最初のHDを検出した時点でVD割り込みが発生します。なお、VDとHDが同時にアサートされVDとHDを同時に検出した場合は、その時点でVD割り込みが発生します。CAMCRのVDPOLビットを変化させた直後は擬似VDが入り本ビットが1となるので、VDPOLビット変化後のVD割り込みは無視してください。
8	HD	不定	R/W	外部モジュールからHD（水平同期信号）が入力されたことを表す割り込み 外部モジュールからのHDを検出した時点で1になります。CAMCRのHDPOLビットを変化させた直後は擬似HDが入り本ビットが1となるので、HDPOLビット変化後のHD割り込みは無視してください。
7～5	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
4	IGRW	0	R/W	動作中の書き込みが禁止されているレジスタに、キャプチャ中にアクセスが行われたことを表す割り込み CEUのレジスタは、キャプチャ実行中に書き換えが禁止されているものと、書き込みが許可されているものがあります。各レジスタへの書き込みの許可と禁止を表36.10に示します。本ビットは、キャプチャ中に書き込みが禁止されているレジスタにキャプチャ実行中に書き込みがあったときに、1が立ちます。
3、2	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
1	CFE	0	R/W	外部モジュールからの1フィールドのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のVD入力とは関係なく出力されます（図36.46参照）。 両フィールドキャプチャ時のみ発生します。
0	CPE	0	R/W	外部モジュールからの1フレームのキャプチャが終了したことを表す割り込み この割り込みは、最後のキャプチャデータを転送し、その完了通知を受け取った時点で、次のVD入力とは関係なく出力されます。 1フレームのキャプチャが終了したことを表します。CAPWRで設定した画像をキャプチャし、バスへの最後のデータ転送が完了した時点で、本ビットに1が立ちます（図36.47参照）。

表 36.10　キャプチャ中のレジスタ書き込みの許可と禁止

名称	キャプチャ中の書き込み
CAPSR	○
CAPCR	×
CAMCR	×
CMCYR	×
CAMOR	○
CAPWR	○
CAIFR	×
CRCNTR	○
CRCMPR	×
CFLCR	○
CFSZR	○
CDWDR	○
CDAYR	○
CDACR	○
CDBYR	○

名称	キャプチャ中の書き込み
CDBCR	○
CBDSR	○
CFWCR	○
CLFCR	○
CDOCR	○
CEIER	○
CETCR	○
CSTSR	×
CDSSR	×
CDAYR2	○
CDACR2	○
CDBYR2	○
CDBCR2	○

【記号説明】　○：許可、×：禁止

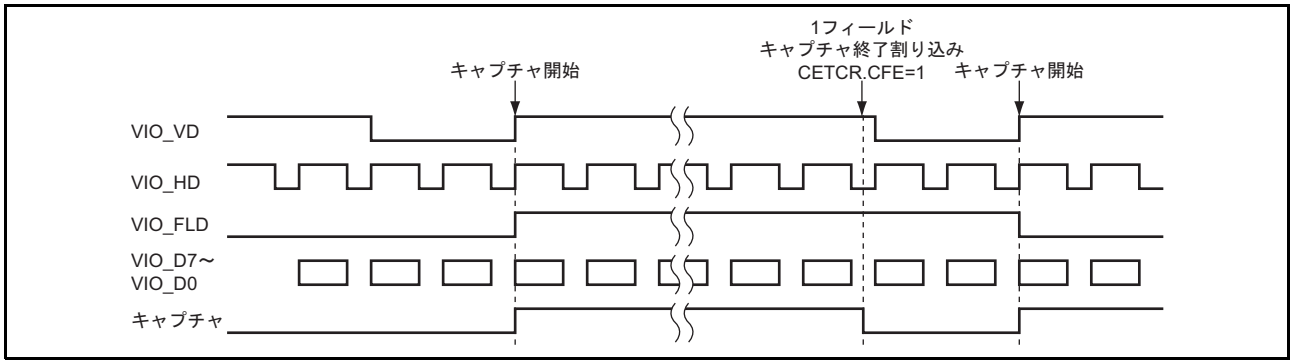


図 36.46　CFE 発生タイミング

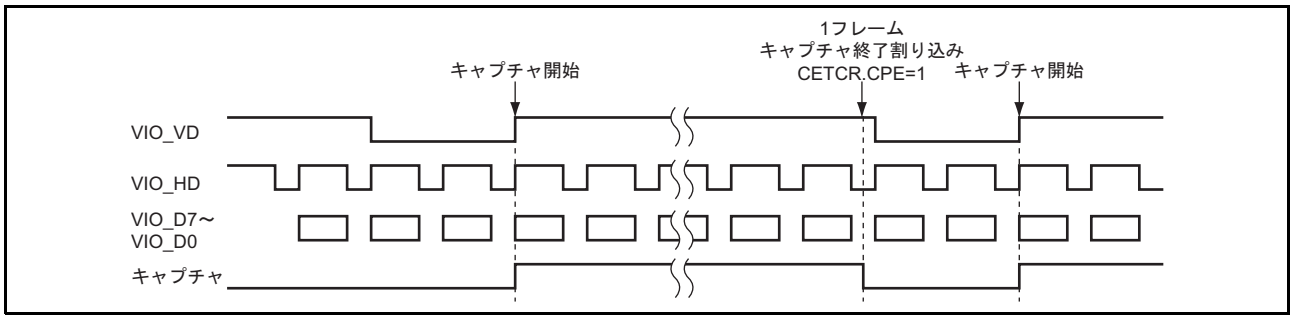


図 36.47　CPE 発生タイミング

36.4.23　キャプチャステータスレジスタ（CSTSR）

CSTSR は、CEU 内部のステータスを表すレジスタです。CETCR とは異なり、本レジスタの要因については割り込みを発生しません。

CEU の動作／停止状態の判定は、本レジスタで行います。停止状態を確認するためには、ON 状態を示すステータスビット（ビット 0）が、完全に 0 になっていることを確認してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CRST	—	—	—	—	—	—	—	CPFLD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CPTON
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～25	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
24	CRST	0	R	現在使用しているレジスタ面を表しています。 0：A面のレジスタを使用している 1：B面のレジスタを使用している
23～17	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
16	CPFLD	0	R	キャプチャ中のフィールドを表しています。 0：ボトムフィールドをキャプチャしている 1：トップフィールドをキャプチャしている
15～1	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
0	CPTON	0	R	CEUが動作中であることを表します。 本ビットはキャプチャ開始時の内部VDから1フレームキャプチャ終了割り込みの発生まで1を保持します。CEUの動作中期間を図36.48に示します。

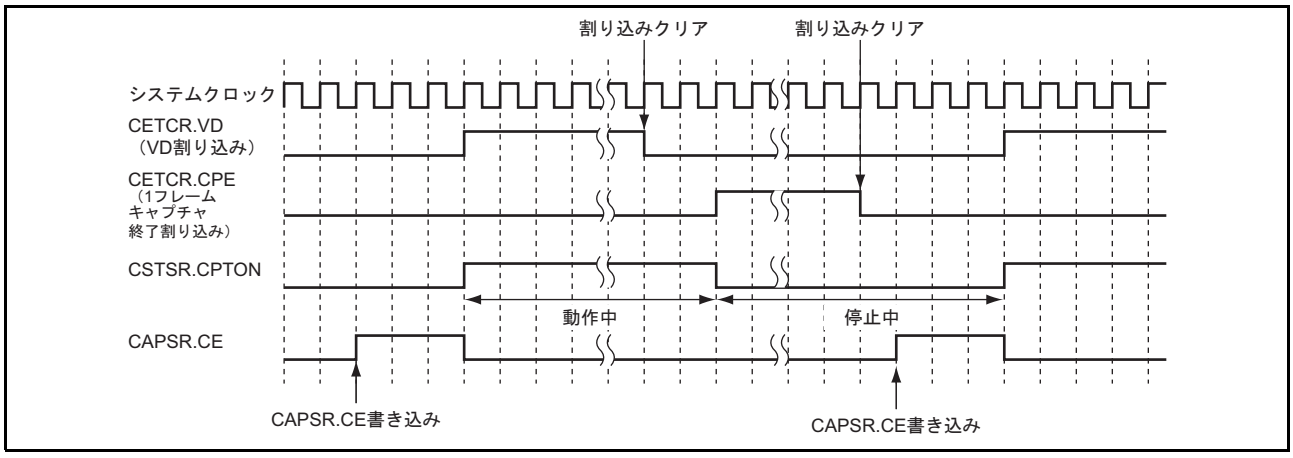


図 36.48　キャプチャ時の動作ステータス

36.4.24　キャプチャデータ容量レジスタ（CDSSR）

CDSSR は、データイネーブル取り込み時にメモリに書き込んだデータの容量を表します。本レジスタは、キャプチャ終了時に正しい値を表示するので、キャプチャ終了時に参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CDSS[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CDSS[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～0	CDSS[31:0]	H'0000 0000	R	データイネーブル取り込み時にメモリに書き込んだデータ容量をバイト単位で表します。 バンドル書き込みの場合は、1フレームキャプチャ終了時に選択されているアドレスに書き込んだデータ容量を表します。バンドル書き込みでは、CBDSR レジスタで指定されたバイト数をバスに転送し次第、データ書き込み先のアドレスを切り替えます。 したがって、バンドル書き込みの終了と同時に、1フレームのキャプチャが終了した場合、本レジスタにはH'0000 0000が表示されます。 バンドル書き込み時のCDSSR動作タイミングイメージを図36.49および図36.50に示します。

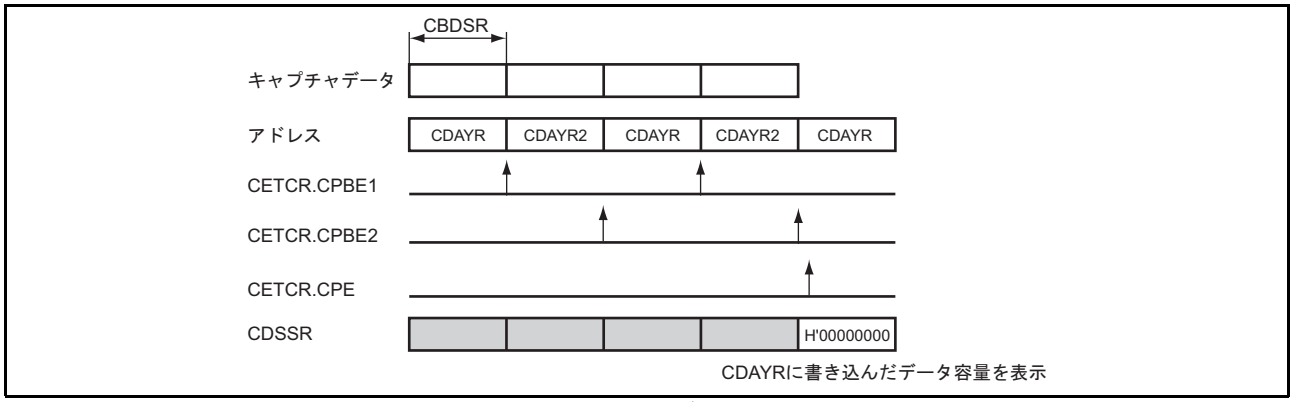


図 36.49　バンドル書き込み時の CDSSR 動作タイミングイメージ図
（バンドル書き込み終了とキャプチャ終了が同時の場合）

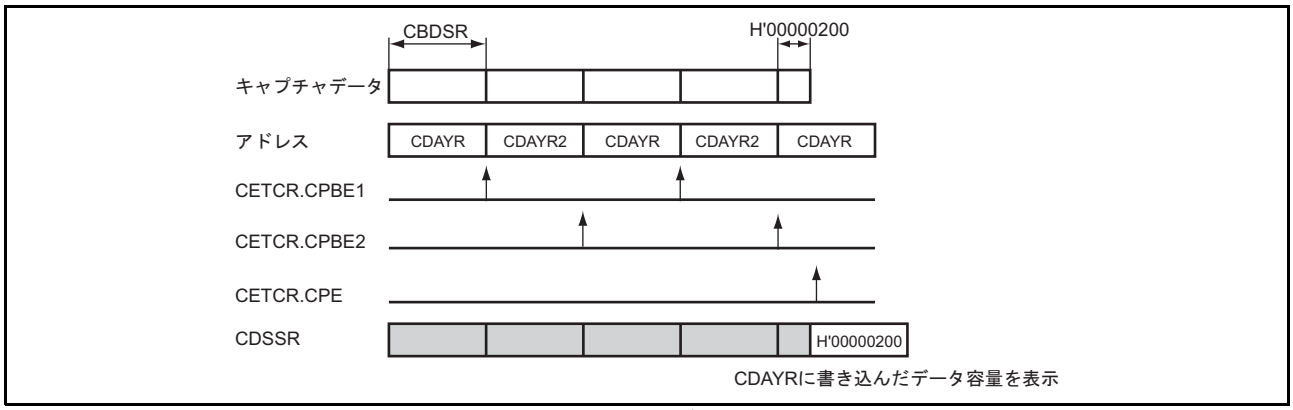


図 36.50　バンドル書き込み時の CDSSR 動作タイミングイメージ図
（バンドル書き込み終了とキャプチャ終了が異なる場合）

36.4.25　キャプチャデータアドレス Y レジスタ 2（CDAYR2）

CDAYR2 は、バンドル書き込みで使用する輝度（Y）成分用のアドレス指定、およびデータ取り込みの際のバンドル 書き込みで使用するデータ格納先アドレス指定レジスタです。バンドル書き込みでのみ使用します。

フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの Y 成分のデータ格納先アドレス指定、両フィールド画像キャプチャの際のトップフィールドの Y 成分格納先アドレス指定、およびデータ取り込みの際の、データ格納先アドレス指定を行います。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールド画像キャプチャの際は、キャプチャデータの Y 成分のデータ格納に使用するメモリ領域の先頭アドレスを設定してください。両フィールド画像キャプチャの際は、トップフィールドキャプチャ画像の Y 成分の格納先先頭アドレスを設定してください。データ取り込みの際は、データ格納に使用するメモリ領域の先頭アドレスを設定してください。

アドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CAYR2[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CAYR2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CAYR2[31:2] CAYR2[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータのY成分データ格納先アドレス（4画素単位（注1）） • 片フィールド画像キャプチャ時：キャプチャデータのY成分データ格納先アドレス（4画素単位（注1）） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータのY成分データ格納先アドレス（4画素単位（注1）） • データ同期取り込み時：データ格納先アドレス（4バイト単位（注2）） • データイネーブル取り込み時：データ格納先アドレス（32バイト単位） 注1.　内蔵RAM以外に書き込む場合は8画素単位 注2.　内蔵RAM以外に書き込む場合は8バイト単位

本レジスタには、**図 36.51** に示すように、取り込んだデータをバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の Y 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- データ同期取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを設定してください。
- データイネーブル取り込み時：キャプチャしたデータを格納するメモリ領域の、先頭ポイントのアドレスを 32 バイト単位で設定してください。

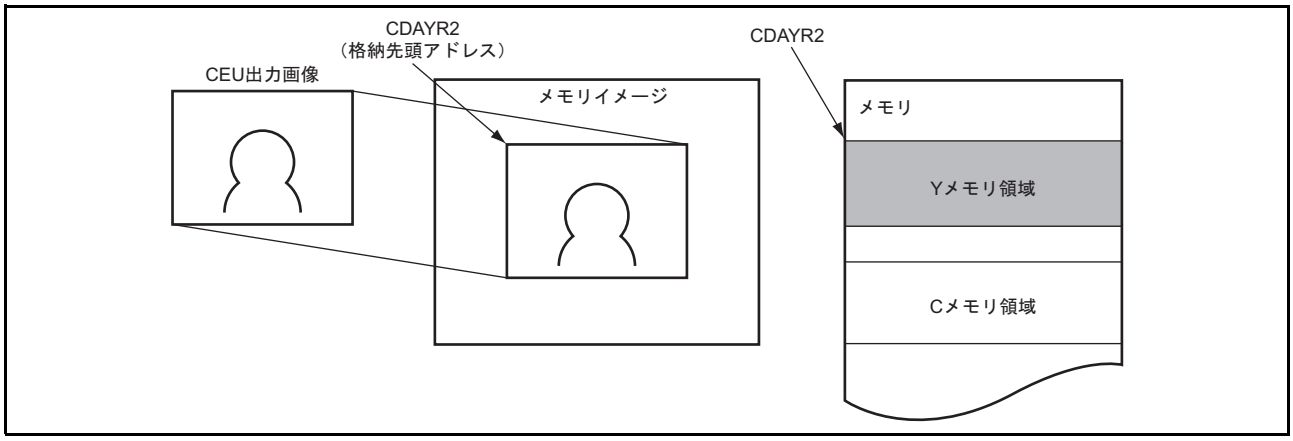


図 36.51　キャプチャ画像と Y 成分メモリ領域の関係

36.4.26　キャプチャデータアドレス C レジスタ 2（CDACR2）

CDACR2 は、バンドル書き込みで使用する色差（C）成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

フレーム画像キャプチャおよび片フィールド画像キャプチャの際のデータの C 成分の格納先アドレス指定、および両フィールド画像キャプチャの際のトップフィールドの C 成分格納先アドレス指定を行います。CEU はキャプチャした画像データを、バスを経由し輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。フレーム画像キャプチャおよび片フィールドキャプチャの際は、キャプチャデータの C 成分を格納するメモリ領域の先頭アドレスを設定してください。両フィールドキャプチャの際は、トップフィールドキャプチャ画像の C 成分の格納先先頭アドレスを設定してください。データ取り込みの際は、本レジスタは使用しません。

本レジスタで設定するアドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CACR2[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CACR2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CACR2[31:2] CACR2[1:0]	H'0000 0000	R/W R	• フレーム画像キャプチャ時：キャプチャデータのC成分データ格納先アドレス（4画素単位（注）） • 片フィールド画像キャプチャ時：キャプチャデータのC成分データ格納先アドレス（4画素単位（注）） • 両フィールド画像キャプチャ時：トップフィールドキャプチャデータのC成分データ格納先アドレス（4画素単位（注）） 注.　内蔵RAM以外に書き込む場合は8画素単位

本レジスタには、**図 36.52** に示すように、キャプチャした画像の C 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

- フレーム画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 片フィールド画像キャプチャ時：キャプチャした画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。
- 両フィールド画像キャプチャ時：キャプチャしたトップフィールド画像の C 成分を格納するメモリ領域の先頭ポイントのアドレスを設定してください。

また、C 成分の出力データ形式は**図 36.53** のようになっており、この形式でメモリに格納します。

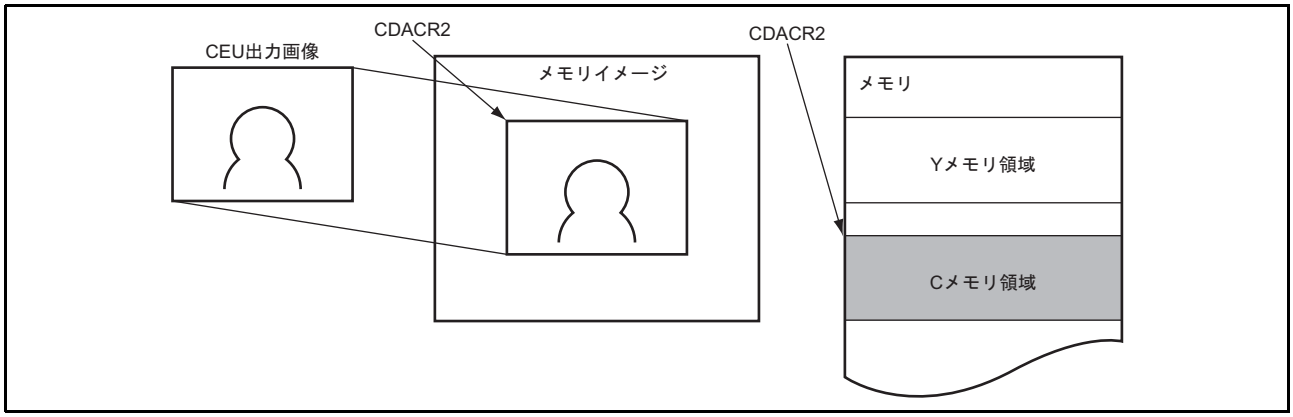


図 36.52　キャプチャ画像と C 成分メモリ領域の関係

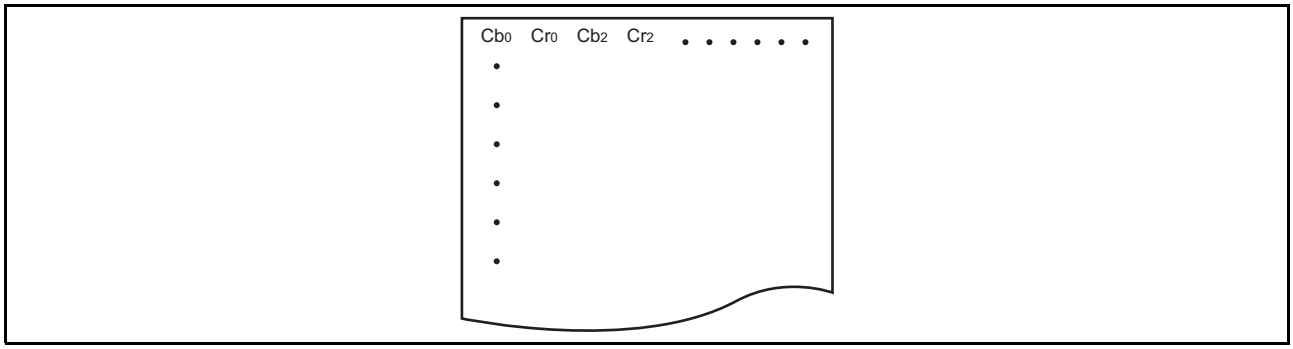


図 36.53　C 成分のメモリ出力イメージ

36.4.27　キャプチャデータボトムフィールドアドレス Y レジスタ 2（CDBYR2）

CDBYR2 は、バンドル書き込みで使用するボトムフィールド輝度（Y）成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

両フィールド画像キャプチャの際のボトムフィールドキャプチャデータの Y 成分格納先のアドレスを指定します。CEU は、キャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの Y 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールド画像キャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBYR2[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBYR2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CBYR2[31:2] CBYR2[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータのY成分データ格納先アドレス (4画素単位（注）) 注.　内蔵RAM以外に書き込む場合は8画素単位

本レジスタには、**図 36.54** に示すように、ボトムフィールドキャプチャ画像の Y 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。

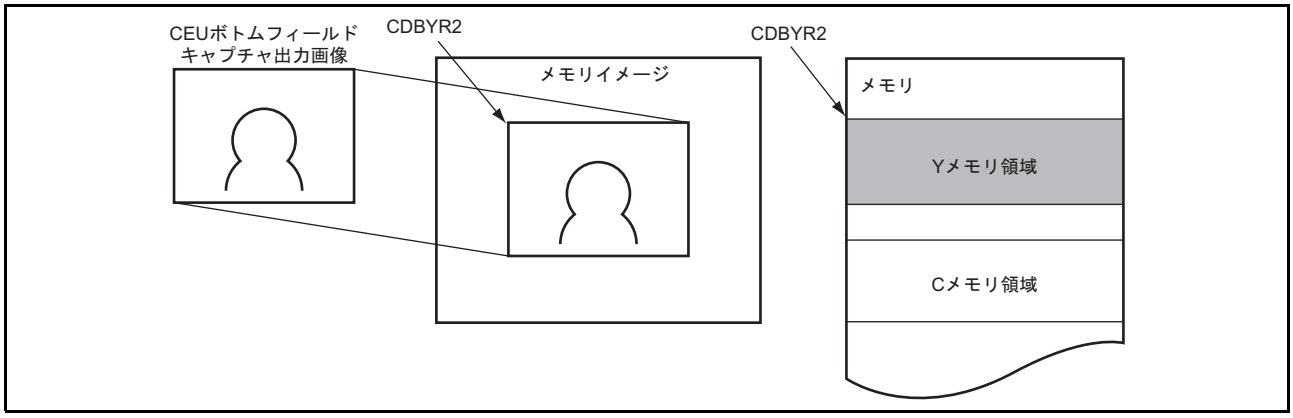


図 36.54　ボトムフィールドキャプチャ画像と Y 成分メモリ領域の関係

36.4.28　キャプチャデータボトムフィールドアドレス C レジスタ 2（CDBCR2）

CDBCR2 は、バンドル書き込みで使用するボトムフィールド色差（C）成分用のアドレス指定レジスタです。バンドル書き込みでのみ使用します。

両フィールド画像キャプチャの際の、ボトムフィールドキャプチャデータの C 成分格納先のアドレスを指定します。CEU はキャプチャした画像データを、バスを経由し、輝度成分データ（Y）と色差成分データ（C）に分けてメモリへ書き込みます。本レジスタには、両フィールドキャプチャ画像のボトムフィールドの C 成分を格納するメモリ領域の先頭アドレスを設定してください。フレーム画像キャプチャ、片フィールドキャプチャの場合と、データ取り込みの際は、本レジスタは使用しません。

アドレスは、32 ビットで指定します。また、4 画素単位の設定になっているため、下位 2 ビットには必ず 0 が挿入されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CBCR2[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CBCR2[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
31～2 1、0	CBCR2[31:2] CBCR2[1:0]	H'0000 0000	R/W R	ボトムフィールドキャプチャデータのC成分データ格納先アドレス（4画素単位（注）） 注．　内蔵RAM以外に書き込む場合は8画素単位

本レジスタには、図 36.55 に示すように、ボトムフィールドキャプチャ画像の C 成分をバンドル書き込みにより格納するメモリ領域の先頭ポイントのアドレスを設定してください。また、C 成分の出力データ形式は図 36.56 のようになっており、この形式でメモリに格納します。

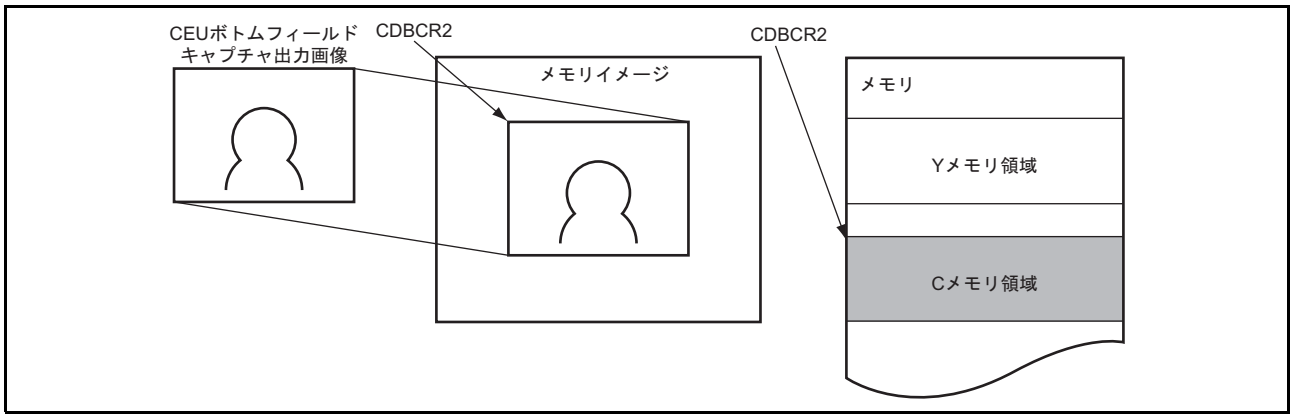


図 36.55　ボトムフィールドキャプチャ画像と C 成分メモリ領域の関係

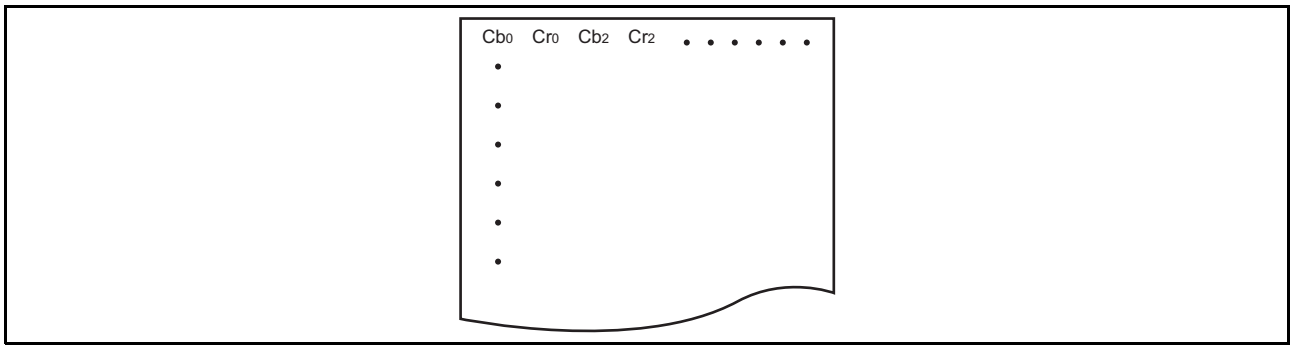


図 36.56　C 成分のメモリ出力イメージ

36.5　CEU の使用上の注意事項

36.5.1　　外部モジュールの接続条件

(1)　クロック周波数

外部から入力するクロックは、CEU の動作クロック周波数に対し、両方のジッタを含んだ状態で等倍以下の周波数で動作させてください。

CEU 動作クロック周波数（Bφ）≧外部入力クロック周波数

(2)　ブランク期間

各ラインの最終有効画素から次の水平同期信号 HD までの期間は、20 サイクル以上空けてください。

(3)　フィールド識別信号確定期間

フィールド識別信号 FLD は、VD の入力から 1HD 以上の期間確定させてください。

36.5.2　入出力機能制限事項

表 36.11 に、CEU の入出力機能の制限事項を示します。

表36.11　CEUの入出力機能の制限事項

項目	制限事項
外部モジュールインタフェース	外部モジュール動作クロック（VIO_CLK）とCEU動作クロック（Bφ）の両方のジッタを含んだ状態で、外部モジュール動作クロックの周波数は、常にCEU動作クロック周波数以下であること。
	インタフェースの選択、外部モジュールの動作クロック周波数、およびHD/VDの極性等の変更は、キャプチャ動作を完全に停止した状態で行うこと。
	画像取り込み時のキャプチャ水平幅は、8サイクル単位（注）で指定すること。 注.　内蔵RAM以外に書き込む場合は16サイクル単位
	データ取り込み時のキャプチャ水平幅は、4サイクル単位（注）で指定すること。 注.　内蔵RAM以外に書き込む場合は8サイクル単位
	キャプチャ垂直幅は、4ライン単位で指定すること。
	水平同期信号間のサイクル数は、外部入力クロックで、16,375サイクル以下にすること。
	垂直同期信号間のライン（HD）数は、最大16,382ライン以下にすること。
	最小キャプチャ画素数は、sub-QCIF（128×96）である。
	最大キャプチャ画素数は、5M（2,560×1,920）画素である。
	データイネーブル取り込み時のキャプチャ容量 最大：6M（2,048×1,536×2）バイト 最小：16バイト
メモリ出力	出力アドレスは、32ビット単位（注）で指定すること。 注.　内蔵RAM以外に書き込む場合は64ビット単位
	出力先画像（メモリ）の横幅は、4画素単位（注）で指定すること。 注.　内蔵RAM以外に書き込む場合は8画素単位
	水平出力画素数（横クリップサイズ）は、4画素単位（注）で指定すること。 注.　内蔵RAM以外に書き込む場合は8画素単位
	垂直出力ライン（HD）数（縦クリップサイズ）は、4ライン（HD）単位で指定すること。
	データイネーブル取り込みバンドル書き込み時は、出力アドレスを32バイト単位で指定すること。
内部処理	フィルタのクリップサイズ設定は、フィルタの実出力サイズ以下の値に設定すること。

36.5.3　ビデオディスプレイコントローラ 5 との連携

画像取り込みモード時、入力データを Y データと CbCr データに分けてメモリに書き込むため、キャプチャしたデータはビデオディスプレイコントローラ 5 で表示することはできません。

36.5.4　ソフトウェアリセット

CAPSR レジスタの CPKIL ビットによるソフトウェアリセットへの遷移の際は、**「42.3.6　ソフトウェアリセット」**を参照してください。なお、**「42.3.6　ソフトウェアリセット」**に記載の手順に関しては、SRST ビット記述を CAPSR レジスタの CPKIL ビットに読み替えてください。

37. SCUX

SCUX は、サンプリングレートコンバータ、デジタルボリュームユニット、ミキサで構成されているモジュールです。外部とのインタフェースとして、SSIF モジュールと接続されます。

37.1 特長

(1) 【SRC】サンプリングレート変換

非同期 / 同期のサンプリングレート変換が可能（注 1）
サンプリングレート (同期モード) （注 2）
入力 [KHz] : 8、11.025、12、16、22.05、24、32、44.1、48、64、88.2、96 から選択可能
出力 [KHz] : 8、16、24、32、44.1、48、96 から選択可能
サンプリングレート (非同期モード) （注 2）
入力 / 出力 [KHz] : 1 ～ 96
対応ビット数は 16 ビット、24 ビット
Sound Quality : -132dB 以下（注 3）
1, 2, 4, 6, 8ch に対応可能（注 4）
内蔵メモリ / 外部メモリとの DMA 転送、SSIF モジュールとのダイレクト転送が可能

注 1. 同期モードは FFD モジュールおよび FFU モジュールと接続時のみ選択可能です。詳細は 37.4.5 章を参照してください。
注 2. 選択可能なサンプリングレートは、使用チャネル数／レート比に依存します。
詳細は 37.3.22 章、37.4.7 章を参照してください。
注 3. データ形式 : 24 ビットでの値です。
注 4. 選択可能なチャネル数は、サンプリングレート／経路に依存します。
詳細は 37.4.7 章を参照してください。

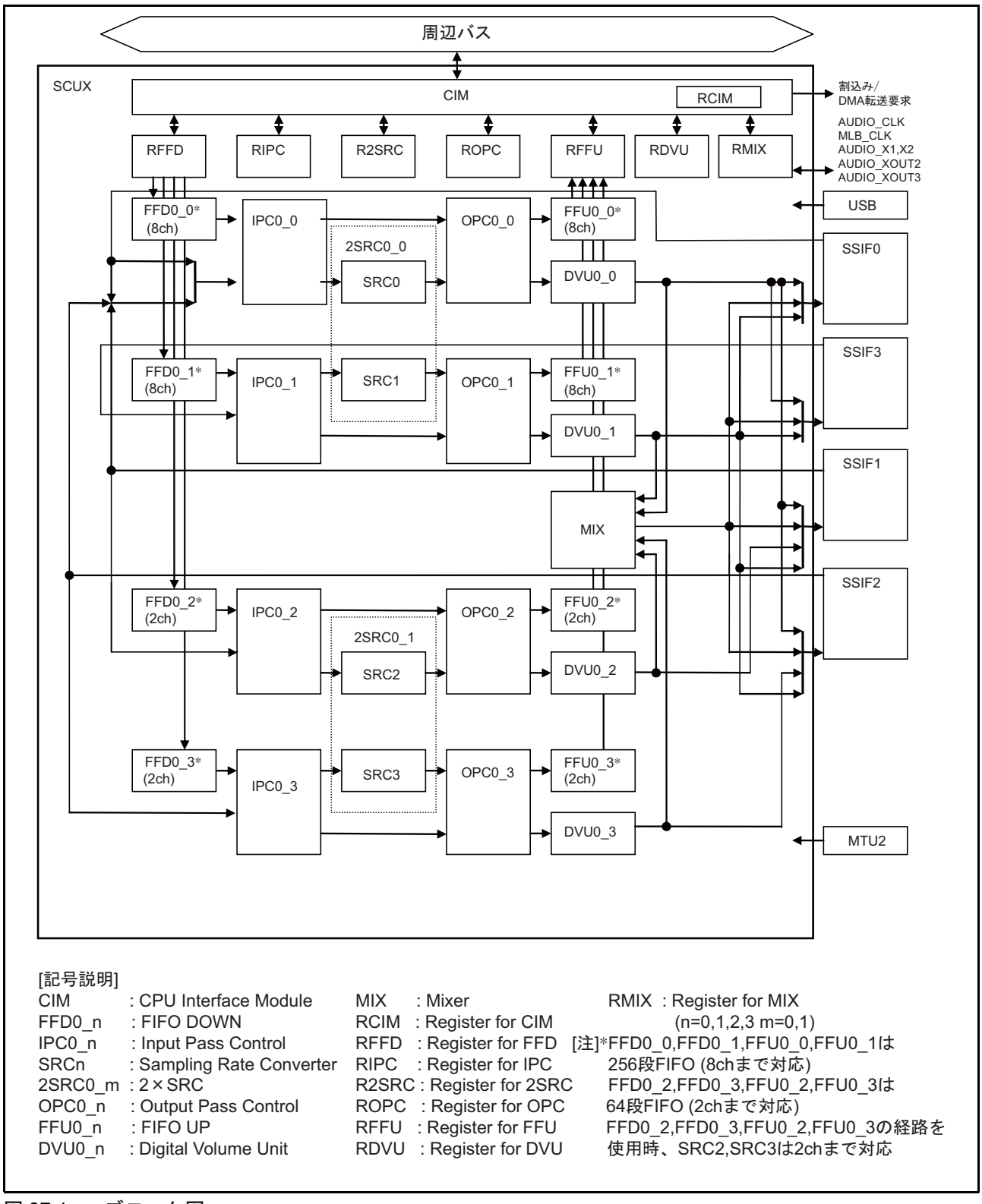
(2) 【DVU】デジタルボリューム＆ミュート機能

ボリュームを調整する機能として、デジタルボリューム、ボリュームランプ、ゼロクロスミュートへ対応
デジタルボリュームは、24 ビット固定小数点で設定、0 ～ 8 倍 (無音、-120 ～ 18dB) の範囲で設定可能
ボリュームランプは、ソフトミュート、フェードイン、フェードアウト、
　任意のボリューム調整として使用可能
ボリュームランプのランプ時間は変更可能で、2 の 0 ～ 23 乗サンプル範囲で設定可能
ゼロクロスミュートは、オーディオデータがゼロクロスするポイントでミュートする機能
SSIF モジュールへのダイレクト転送、ミキサへの転送が可能

(3) 【MIX】ミキサ

2 ～ 4 系統のソースを 1 系統にミックス (足し合わせる) 可能
足し合わせる比率が設定可能
比率は動的に変更可能
ボリュームランプによりミックスが可能 (ランプ時間は可変)
SSIF モジュールへのダイレクト転送のみ可能

図 37.1 にブロック図を示します。



[記号説明]

CIM	: CPU Interface Module	MIX	: Mixer	RMIX	: Register for MIX
FFD0_n	: FIFO DOWN	RCIM	: Register for CIM		(n=0,1,2,3 m=0,1)
IPC0_n	: Input Pass Control	RFFD	: Register for FFD	[注]*	FFD0_0,FFD0_1,FFU0_0,FFU0_1は
SRCn	: Sampling Rate Converter	RIPC	: Register for IPC		256段FIFO (8chまで対応)
2SRC0_m	: 2×SRC	R2SRC	: Register for 2SRC		FFD0_2,FFD0_3,FFU0_2,FFU0_3は
OPC0_n	: Output Pass Control	ROPC	: Register for OPC		64段FIFO (2chまで対応)
FFU0_n	: FIFO UP	RFFU	: Register for FFU		FFD0_2,FFD0_3,FFU0_2,FFU0_3の経路を
DVU0_n	: Digital Volume Unit	RDVU	: Register for DVU		使用時、SRC2,SRC3は2chまで対応

図 37.1 ブロック図

37.2 入出力端子

表37.1 端子構成

名称	入出力	機能
AUDIO_CLK	入力	オーディオ用外部クロック サンプリングタイミング生成に使用できます。
MLB_CLK（注1）	入力	MLB用外部クロック サンプリングタイミング生成に使用できます。
AUDIO_X1	入力	オーディオ用水晶発振子／外部クロック サンプリングタイミング生成に使用できます。
AUDIO_X2	出力	
AUDIO_XOUT2	出力	AUDIO_X1を２分周した出力クロック (AUDIO_X1の1サイクル毎に出力をトグルさせます)
AUDIO_XOUT3	出力	AUDIO_X1を３分周した出力クロック (AUDIO_X1の1.5サイクル毎に出力をトグルさせます)

注1. RZ/A1LU、RZ/A1LCでは外部端子MLB_CLKは存在しないため、本モジュールには固定値(0)が入力されます。

37.3 レジスタの説明

表 37.2 にレジスタ構成を示します。

表37.2　レジスタ構成

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
IPC0_0	IPC0_0 Initialization Register	IPCIR_IPC0_0	R/W	H'00000001	H'E8208000	32
	IPC0_0 Pass Select Register	IPSLR_IPC0_0	R/W	H'00000000	H'E8208004	32
IPC0_1	IPC0_1 Initialization Register	IPCIR_IPC0_1	R/W	H'00000001	H'E8208100	32
	IPC0_1 Pass Select Register	IPSLR_IPC0_1	R/W	H'00000000	H'E8208104	32
IPC0_2	IPC0_2 Initialization Register	IPCIR_IPC0_2	R/W	H'00000001	H'E8208200	32
	IPC0_2 Pass Select Register	IPSLR_IPC0_2	R/W	H'00000000	H'E8208204	32
IPC0_3	IPC0_3 Initialization Register	IPCIR_IPC0_3	R/W	H'00000001	H'E8208300	32
	IPC0_3 Pass Select Register	IPSLR_IPC0_3	R/W	H'00000000	H'E8208304	32
OPC0_0	OPC0_0 Initialization Register	OPCIR_OPC0_0	R/W	H'00000001	H'E8208400	32
	OPC0_0 Pass Select Register	OPSLR_OPC0_0	R/W	H'00000000	H'E8208404	32
OPC0_1	OPC0_1 Initialization Register	OPCIR_OPC0_1	R/W	H'00000001	H'E8208500	32
	OPC0_1 Pass Select Register	OPSLR_OPC0_1	R/W	H'00000000	H'E8208504	32
OPC0_2	OPC0_2 Initialization Register	OPCIR_OPC0_2	R/W	H'00000001	H'E8208600	32
	OPC0_2 Pass Select Register	OPSLR_OPC0_2	R/W	H'00000000	H'E8208604	32
OPC0_3	OPC0_3 Initialization Register	OPCIR_OPC0_3	R/W	H'00000001	H'E8208700	32
	OPC0_3 Pass Select Register	OPSLR_OPC0_3	R/W	H'00000000	H'E8208704	32
FFD0_0	FFD0_0 FIFO Download Initialization Register	FFDIR_FFD0_0	R/W	H'00000001	H'E8208800	32
	FFD0_0 FIFO Download Audio Information Register	FDAIR_FFD0_0	R/W	H'00000000	H'E8208804	32
	FFD0_0 FIFO Download Request Size Register	DRQSR_FFD0_0	R/W	H'00000000	H'E8208808	32
	FFD0_0 FIFO Download Pass Register	FFDPR_FFD0_0	R/W	H'00000000	H'E820880C	32
	FFD0_0 FIFO Download Boot Register	FFDBR_FFD0_0	R/W	H'00000000	H'E8208810	32
	FFD0_0 FIFO Download Event Mask Register	DEVMR_FFD0_0	R/W	H'00000000	H'E8208814	32
	FFD0_0 FIFO Download Event Clear Register	DEVCR_FFD0_0	R/(W)（注9）	H'00000000	H'E820881C	32
FFD0_1	FFD0_1 FIFO Download Initialization Register	FFDIR_FFD0_1	R/W	H'00000001	H'E8208900	32
	FFD0_1 FIFO Download Audio Information Register	FDAIR_FFD0_1	R/W	H'00000000	H'E8208904	32
	FFD0_1 FIFO Download Request Size Register	DRQSR_FFD0_1	R/W	H'00000000	H'E8208908	32
	FFD0_1 FIFO Download Pass Register	FFDPR_FFD0_1	R/W	H'00000000	H'E820890C	32
	FFD0_1 FIFO Download Boot Register	FFDBR_FFD0_1	R/W	H'00000000	H'E8208910	32
	FFD0_1 FIFO Download Event Mask Register	DEVMR_FFD0_1	R/W	H'00000000	H'E8208914	32
	FFD0_1 FIFO Download Event Clear Register	DEVCR_FFD0_1	R/(W)（注9）	H'00000000	H'E820891C	32
FFD0_2	FFD0_2 FIFO Download Initialization Register	FFDIR_FFD0_2	R/W	H'00000001	H'E8208A00	32

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
FFD0_2	FFD0_2 FIFO Download Audio Information Register	FDAIR_FFD0_2	R/W	H'00000000	H'E8208A04	32
	FFD0_2 FIFO Download Request Size Register	DRQSR_FFD0_2	R/W	H'00000000	H'E8208A08	32
	FFD0_2 FIFO Download Pass Register	FFDPR_FFD0_2	R/W	H'00000000	H'E8208A0C	32
	FFD0_2 FIFO Download Boot Register	FFDBR_FFD0_2	R/W	H'00000000	H'E8208A10	32
	FFD0_2 FIFO Download Event Mask Register	DEVMR_FFD0_2	R/W	H'00000000	H'E8208A14	32
	FFD0_2 FIFO Download Event Clear Register	DEVCR_FFD0_2	R/(W) (注9)	H'00000000	H'E8208A1C	32
FFD0_3	FFD0_3 FIFO Download Initialization Register	FFDIR_FFD0_3	R/W	H'00000001	H'E8208B00	32
	FFD0_3 FIFO Download Audio Information Register	FDAIR_FFD0_3	R/W	H'00000000	H'E8208B04	32
	FFD0_3 FIFO Download Request Size Register	DRQSR_FFD0_3	R/W	H'00000000	H'E8208B08	32
	FFD0_3 FIFO Download Pass Register	FFDPR_FFD0_3	R/W	H'00000000	H'E8208B0C	32
	FFD0_3 FIFO Download Boot Register	FFDBR_FFD0_3	R/W	H'00000000	H'E8208B10	32
	FFD0_3 FIFO Download Event Mask Register	DEVMR_FFD0_3	R/W	H'00000000	H'E8208B14	32
	FFD0_3 FIFO Download Event Clear Register	DEVCR_FFD0_3	R/(W) (注9)	H'00000000	H'E8208B1C	32
FFU0_0	FFU0_0 FIFO Upload Initialization Register	FFUIR_FFU0_0	R/W	H'00000001	H'E8208C00	32
	FFU0_0 FIFO Upload Audio Information Register	FUAIR_FFU0_0	R/W	H'00000000	H'E8208C04	32
	FFU0_0 FIFO Upload Request Size Register	URQSR_FFU0_0	R/W	H'00000000	H'E8208C08	32
	FFU0_0 FIFO Upload Pass Register	FFUPR_FFU0_0	R/W	H'00000000	H'E8208C0C	32
	FFU0_0 FIFO Upload Event Mask Register	UEVMR_FFU0_0	R/W	H'00000000	H'E8208C10	32
	FFU0_0 FIFO Upload Event Clear Register	UEVCR_FFU0_0	R/(W) (注9)	H'00000000	H'E8208C18	32
FFU0_1	FFU0_1 FIFO Upload Initialization Register	FFUIR_FFU0_1	R/W	H'00000001	H'E8208D00	32
	FFU0_1 FIFO Upload Audio Information Register	FUAIR_FFU0_1	R/W	H'00000000	H'E8208D04	32
	FFU0_1 FIFO Upload Request Size Register	URQSR_FFU0_1	R/W	H'00000000	H'E8208D08	32
	FFU0_1 FIFO Upload Pass Register	FFUPR_FFU0_1	R/W	H'00000000	H'E8208D0C	32
	FFU0_1 FIFO Upload Event Mask Register	UEVMR_FFU0_1	R/W	H'00000000	H'E8208D10	32
	FFU0_1 FIFO Upload Event Clear Register	UEVCR_FFU0_1	R/(W) (注9)	H'00000000	H'E8208D18	32
FFU0_2	FFU0_2 FIFO Upload Initialization Register	FFUIR_FFU0_2	R/W	H'00000001	H'E8208E00	32
	FFU0_2 FIFO Upload Audio Information Register	FUAIR_FFU0_2	R/W	H'00000000	H'E8208E04	32

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
FFU0_2	FFU0_2 FIFO Upload Request Size Register	URQSR_FFU0_2	R/W	H'00000000	H'E8208E08	32
	FFU0_2 FIFO Upload Pass Register	FFUPR_FFU0_2	R/W	H'00000000	H'E8208E0C	32
	FFU0_2 FIFO Upload Event Mask Register	UEVMR_FFU0_2	R/W	H'00000000	H'E8208E10	32
	FFU0_2 FIFO Upload Event Clear Register	UEVCR_FFU0_2	R/(W) (注9)	H'00000000	H'E8208E18	32
FFU0_3	FFU0_3 FIFO Upload Initialization Register	FFUIR_FFU0_3	R/W	H'00000001	H'E8208F00	32
	FFU0_3 FIFO Upload Audio Information Register	FUAIR_FFU0_3	R/W	H'00000000	H'E8208F04	32
	FFU0_3 FIFO Upload Request Size Register	URQSR_FFU0_3	R/W	H'00000000	H'E8208F08	32
	FFU0_3 FIFO Upload Pass Register	FFUPR_FFU0_3	R/W	H'00000000	H'E8208F0C	32
	FFU0_3 FIFO Upload Event Mask Register	UEVMR_FFU0_3	R/W	H'00000000	H'E8208F10	32
	FFU0_3 FIFO Upload Event Clear Register	UEVCR_FFU0_3	R/(W) (注9)	H'00000000	H'E8208F18	32
2SRC0_0 (SRC0)	2SRC0_0 Initialization Register 0	SRCIR0_2SRC0_0	R/W	H'00000001	H'E8209000	32
	2SRC0_0 Audio Information Register 0	SADIR0_2SRC0_0	R/W	H'00000000	H'E8209004	32
	2SRC0_0 Bypass Register 0	SRCBR0_2SRC0_0	R/W	H'00000000	H'E8209008	32
	2SRC0_0 IFS Control Register 0	IFSCR0_2SRC0_0	R/W	H'00000000	H'E820900C	32
	2SRC0_0 IFS Value Setting Register 0	IFSVR0_2SRC0_0	R/W	H'00000000	H'E8209010	32
	2SRC0_0 Control Register 0	SRCCR0_2SRC0_0	R/W	H'00000000	H'E8209014	32
	2SRC0_0 Minimum FS Setting Register 0	MNFSR0_2SRC0_0	R/W	H'00000000	H'E8209018	32
	2SRC0_0 Buffer Size Setting Register 0	BFSSR0_2SRC0_0	R/W	H'00000000	H'E820901C	32
	2SRC0_0 SCU2 Status Register 0	SC2SR0_2SRC0_0	R	H'00000000	H'E8209020	32
	2SRC0_0 Wait Time Setting Register 0	WATSR0_2SRC0_0	R/W	H'00000000	H'E8209024	32
	2SRC0_0 Event Mask Register 0	SEVMR0_2SRC0_0	R/W	H'00000000	H'E8209028	32
	2SRC0_0 Event Clear Register 0	SEVCR0_2SRC0_0	R/(W) (注9)	H'00000000	H'E8209030	32
2SRC0_0 (SRC1)	2SRC0_0 Initialization Register 1	SRCIR1_2SRC0_0	R/W	H'00000001	H'E8209034	32
	2SRC0_0 Audio Information Register 1	SADIR1_2SRC0_0	R/W	H'00000000	H'E8209038	32
	2SRC0_0 Bypass Register 1	SRCBR1_2SRC0_0	R/W	H'00000000	H'E820903C	32
	2SRC0_0 IFS Control Register 1	IFSCR1_2SRC0_0	R/W	H'00000000	H'E8209040	32
	2SRC0_0 IFS Value Setting Register 1	IFSVR1_2SRC0_0	R/W	H'00000000	H'E8209044	32
	2SRC0_0 Control Register 1	SRCCR1_2SRC0_0	R/W	H'00000000	H'E8209048	32
	2SRC0_0 Minimum FS Setting Register 1	MNFSR1_2SRC0_0	R/W	H'00000000	H'E820904C	32
	2SRC0_0 Buffer Size Setting Register 1	BFSSR1_2SRC0_0	R/W	H'00000000	H'E8209050	32
	2SRC0_0 SCU2 Status Register 1	SC2SR1_2SRC0_0	R	H'00000000	H'E8209054	32

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
2SRC0_0 (SRC1)	2SRC0_0 Wait Time Setting Register 1	WATSR1_2SRC0_0	R/W	H'00000000	H'E8209058	32
	2SRC0_0 Event Mask Register 1	SEVMR1_2SRC0_0	R/W	H'00000000	H'E820905C	32
	2SRC0_0 Event Clear Register 1	SEVCR1_2SRC0_0	R/(W) (注9)	H'00000000	H'E8209064	32
	2SRC0_0 Initialization Register RIF	SRCIRR_2SRC0_0	R/W	H'00000001	H'E8209068	32
2SRC0_1 (SRC2)	2SRC0_1 Initialization Register 0	SRCIR0_2SRC0_1	R/W	H'00000001	H'E8209100	32
	2SRC0_1 Audio Information Register 0	SADIR0_2SRC0_1	R/W	H'00000000	H'E8209104	32
	2SRC0_1 Bypass Register 0	SRCBR0_2SRC0_1	R/W	H'00000000	H'E8209108	32
	2SRC0_1 IFS Control Register 0	IFSCR0_2SRC0_1	R/W	H'00000000	H'E820910C	32
	2SRC0_1 IFS Value Setting Register 0	IFSVR0_2SRC0_1	R/W	H'00000000	H'E8209110	32
	2SRC0_1 Control Register 0	SRCCR0_2SRC0_1	R/W	H'00000000	H'E8209114	32
	2SRC0_1 Minimum FS Setting Register 0	MNFSR0_2SRC0_1	R/W	H'00000000	H'E8209118	32
	2SRC0_1 Buffer Size Setting Register 0	BFSSR0_2SRC0_1	R/W	H'00000000	H'E820911C	32
	2SRC0_1 SCU2 Status Register 0	SC2SR0_2SRC0_1	R	H'00000000	H'E8209120	32
	2SRC0_1 Wait Time Setting Register 0	WATSR0_2SRC0_1	R/W	H'00000000	H'E8209124	32
	2SRC0_1 Event Mask Register 0	SEVMR0_2SRC0_1	R/W	H'00000000	H'E8209128	32
	2SRC0_1 Event Clear Register 0	SEVCR0_2SRC0_1	R/(W) (注9)	H'00000000	H'E8209130	32
2SRC0_1 (SRC3)	2SRC0_1 Initialization Register 1	SRCIR1_2SRC0_1	R/W	H'00000001	H'E8209134	32
	2SRC0_1 Audio Information Register 1	SADIR1_2SRC0_1	R/W	H'00000000	H'E8209138	32
	2SRC0_1 Bypass Register 1	SRCBR1_2SRC0_1	R/W	H'00000000	H'E820913C	32
	2SRC0_1 IFS Control Register 1	IFSCR1_2SRC0_1	R/W	H'00000000	H'E8209140	32
	2SRC0_1 IFS Value Setting Register 1	IFSVR1_2SRC0_1	R/W	H'00000000	H'E8209144	32
	2SRC0_1 Control Register 1	SRCCR1_2SRC0_1	R/W	H'00000000	H'E8209148	32
	2SRC0_1 Minimum FS Setting Register 1	MNFSR1_2SRC0_1	R/W	H'00000000	H'E820914C	32
	2SRC0_1 Buffer Size Setting Register 1	BFSSR1_2SRC0_1	R/W	H'00000000	H'E8209150	32
	2SRC0_1 SCU2 Status Register 1	SC2SR1_2SRC0_1	R	H'00000000	H'E8209154	32
	2SRC0_1 Wait Time Setting Register 1	WATSR1_2SRC0_1	R/W	H'00000000	H'E8209158	32
	2SRC0_1 Event Mask Register 1	SEVMR1_2SRC0_1	R/W	H'00000000	H'E820915C	32
	2SRC0_1 Event Clear Register 1	SEVCR1_2SRC0_1	R/(W) (注9)	H'00000000	H'E8209164	32
	2SRC0_1 Initialization Register RIF	SRCIRR_2SRC0_1	R/W	H'00000001	H'E8209168	32
DVU0_0	DVU0_0 Initialization Register	DVUIR_DVU0_0	R/W	H'00000001	H'E8209200	32
	DVU0_0 Audio Information Register	VADIR_DVU0_0	R/W	H'00000000	H'E8209204	32
	DVU0_0 Bypass Register	DVUBR_DVU0_0	R/W	H'00000000	H'E8209208	32
	DVU0_0 Control Register	DVUCR_DVU0_0	R/W	H'00000000	H'E820920C	32

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
DVU0_0	DVU0_0 Zero Cross Mute Control Register	ZCMCR_DVU0_0	R/W	H'00000000	H'E8209210	32
	DVU0_0 Volume Ramp Control Register	VRCTR_DVU0_0	R/W	H'00000000	H'E8209214	32
	DVU0_0 Volume Ramp Period Register	VRPDR_DVU0_0	R/W	H'00000000	H'E8209218	32
	DVU0_0 Volume Ramp Decibel Register	VRDBR_DVU0_0	R/W	H'00000000	H'E820921C	32
	DVU0_0 Volume Ramp Wait Time Register	VRWTR_DVU0_0	R/W	H'00000000	H'E8209220	32
	DVU0_0 Volume Value Setting 0 Register	VOL0R_DVU0_0	R/W	H'00000000	H'E8209224	32
	DVU0_0 Volume Value Setting 1 Register	VOL1R_DVU0_0	R/W	H'00000000	H'E8209228	32
	DVU0_0 Volume Value Setting 2 Register	VOL2R_DVU0_0	R/W	H'00000000	H'E820922C	32
	DVU0_0 Volume Value Setting 3 Register	VOL3R_DVU0_0	R/W	H'00000000	H'E8209230	32
	DVU0_0 Volume Value Setting 4 Register	VOL4R_DVU0_0	R/W	H'00000000	H'E8209234	32
	DVU0_0 Volume Value Setting 5 Register	VOL5R_DVU0_0	R/W	H'00000000	H'E8209238	32
	DVU0_0 Volume Value Setting 6 Register	VOL6R_DVU0_0	R/W	H'00000000	H'E820923C	32
	DVU0_0 Volume Value Setting 7 Register	VOL7R_DVU0_0	R/W	H'00000000	H'E8209240	32
	DVU0_0 Enable Register	DVUER_DVU0_0	R/W	H'00000000	H'E8209244	32
	DVU0_0 Status Register	DVUSR_DVU0_0	R	H'00000000	H'E8209248	32
	DVU0_0 Event Mask Register	VEVMR_DVU0_0	R/W	H'00000000	H'E820924C	32
	DVU0_0 Event Clear Register	VEVCR_DVU0_0	R/(W) (注9)	H'00000000	H'E8209254	32
DVU0_1	DVU0_1 Initialization Register	DVUIR_DVU0_1	R/W	H'00000001	H'E8209300	32
	DVU0_1 Audio Information Register	VADIR_DVU0_1	R/W	H'00000000	H'E8209304	32
	DVU0_1 Bypass Register	DVUBR_DVU0_1	R/W	H'00000000	H'E8209308	32
	DVU0_1 Control Register	DVUCR_DVU0_1	R/W	H'00000000	H'E820930C	32
	DVU0_1 Zero Cross Mute Control Register	ZCMCR_DVU0_1	R/W	H'00000000	H'E8209310	32
	DVU0_1 Volume Ramp Control Register	VRCTR_DVU0_1	R/W	H'00000000	H'E8209314	32
	DVU0_1 Volume Ramp Period Register	VRPDR_DVU0_1	R/W	H'00000000	H'E8209318	32
	DVU0_1 Volume Ramp Decibel Register	VRDBR_DVU0_1	R/W	H'00000000	H'E820931C	32
	DVU0_1 Volume Ramp Wait Time Register	VRWTR_DVU0_1	R/W	H'00000000	H'E8209320	32
	DVU0_1 Volume Value Setting 0 Register	VOL0R_DVU0_1	R/W	H'00000000	H'E8209324	32
	DVU0_1 Volume Value Setting 1 Register	VOL1R_DVU0_1	R/W	H'00000000	H'E8209328	32
	DVU0_1 Volume Value Setting 2 Register	VOL2R_DVU0_1	R/W	H'00000000	H'E820932C	32

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
DVU0_1	DVU0_1 Volume Value Setting 3 Register	VOL3R_DVU0_1	R/W	H'00000000	H'E8209330	32
	DVU0_1 Volume Value Setting 4 Register	VOL4R_DVU0_1	R/W	H'00000000	H'E8209334	32
	DVU0_1 Volume Value Setting 5 Register	VOL5R_DVU0_1	R/W	H'00000000	H'E8209338	32
	DVU0_1 Volume Value Setting 6 Register	VOL6R_DVU0_1	R/W	H'00000000	H'E820933C	32
	DVU0_1 Volume Value Setting 7 Register	VOL7R_DVU0_1	R/W	H'00000000	H'E8209340	32
	DVU0_1 Enable Register	DVUER_DVU0_1	R/W	H'00000000	H'E8209344	32
	DVU0_1 Status Register	DVUSR_DVU0_1	R	H'00000000	H'E8209348	32
	DVU0_1 Event Mask Register	VEVMR_DVU0_1	R/W	H'00000000	H'E820934C	32
	DVU0_1 Event Clear Register	VEVCR_DVU0_1	R/(W) (注9)	H'00000000	H'E8209354	32
DVU0_2	DVU0_2 Initialization Register	DVUIR_DVU0_2	R/W	H'00000001	H'E8209400	32
	DVU0_2 Audio Information Register	VADIR_DVU0_2	R/W	H'00000000	H'E8209404	32
	DVU0_2 Bypass Register	DVUBR_DVU0_2	R/W	H'00000000	H'E8209408	32
	DVU0_2 Control Register	DVUCR_DVU0_2	R/W	H'00000000	H'E820940C	32
	DVU0_2 Zero Cross Mute Control Register	ZCMCR_DVU0_2	R/W	H'00000000	H'E8209410	32
	DVU0_2 Volume Ramp Control Register	VRCTR_DVU0_2	R/W	H'00000000	H'E8209414	32
	DVU0_2 Volume Ramp Period Register	VRPDR_DVU0_2	R/W	H'00000000	H'E8209418	32
	DVU0_2 Volume Ramp Decibel Register	VRDBR_DVU0_2	R/W	H'00000000	H'E820941C	32
	DVU0_2 Volume Ramp Wait Time Register	VRWTR_DVU0_2	R/W	H'00000000	H'E8209420	32
	DVU0_2 Volume　Value Setting 0 Register	VOL0R_DVU0_2	R/W	H'00000000	H'E8209424	32
	DVU0_2 Volume Value Setting 1 Register	VOL1R_DVU0_2	R/W	H'00000000	H'E8209428	32
	DVU0_2 Volume Value Setting 2 Register	VOL2R_DVU0_2	R/W	H'00000000	H'E820942C	32
	DVU0_2 Volume Value Setting 3 Register	VOL3R_DVU0_2	R/W	H'00000000	H'E8209430	32
	DVU0_2 Volume Value Setting 4 Register	VOL4R_DVU0_2	R/W	H'00000000	H'E8209434	32
	DVU0_2 Volume Value Setting 5 Register	VOL5R_DVU0_2	R/W	H'00000000	H'E8209438	32
	DVU0_2 Volume Value Setting 6 Register	VOL6R_DVU0_2	R/W	H'00000000	H'E820943C	32
	DVU0_2 Volume Value Setting 7 Register	VOL7R_DVU0_2	R/W	H'00000000	H'E8209440	32
	DVU0_2 Enable Register	DVUER_DVU0_2	R/W	H'00000000	H'E8209444	32
	DVU0_2 Status Register	DVUSR_DVU0_2	R	H'00000000	H'E8209448	32
	DVU0_2 Event Mask Register	VEVMR_DVU0_2	R/W	H'00000000	H'E820944C	32
	DVU0_2 Event Clear Register	VEVCR_DVU0_2	R/(W) (注9)	H'00000000	H'E8209454	32

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
DVU0_3	DVU0_3 Initialization Register	DVUIR_DVU0_3	R/W	H'00000001	H'E8209500	32
	DVU0_3 Audio Information Register	VADIR_DVU0_3	R/W	H'00000000	H'E8209504	32
	DVU0_3 Bypass Register	DVUBR_DVU0_3	R/W	H'00000000	H'E8209508	32
	DVU0_3 Control Register	DVUCR_DVU0_3	R/W	H'00000000	H'E820950C	32
	DVU0_3 Zero Cross Mute Control Register	ZCMCR_DVU0_3	R/W	H'00000000	H'E8209510	32
	DVU0_3 Volume Ramp Control Register	VRCTR_DVU0_3	R/W	H'00000000	H'E8209514	32
	DVU0_3 Volume Ramp Period Register	VRPDR_DVU0_3	R/W	H'00000000	H'E8209518	32
	DVU0_3 Volume Ramp Decibel Register	VRDBR_DVU0_3	R/W	H'00000000	H'E820951C	32
	DVU0_3 Volume Ramp Wait Time Register	VRWTR_DVU0_3	RW	H'00000000	H'E8209520	32
	DVU0_3 Volume Value Setting 0 Register	VOL0R_DVU0_3	R/W	H'00000000	H'E8209524	32
	DVU0_3 Volume Value Setting 1 Register	VOL1R_DVU0_3	R/W	H'00000000	H'E8209528	32
	DVU0_3 Volume Value Setting 2 Register	VOL2R_DVU0_3	R/W	H'00000000	H'E820952C	32
	DVU0_3 Volume Value Setting 3 Register	VOL3R_DVU0_3	R/W	H'00000000	H'E8209530	32
	DVU0_3 Volume Value Setting 4 Register	VOL4R_DVU0_3	R/W	H'00000000	H'E8209534	32
	DVU0_3 Volume Value Setting 5 Register	VOL5R_DVU0_3	R/W	H'00000000	H'E8209538	32
	DVU0_3 Volume Value Setting 6 Register	VOL6R_DVU0_3	R/W	H'00000000	H'E820953C	32
	DVU0_3 Volume Value Setting 7 Register	VOL7R_DVU0_3	R/W	H'00000000	H'E8209540	32
	DVU0_3 Enable Register	DVUER_DVU0_3	R/W	H'00000000	H'E8209544	32
	DVU0_3 Status Register	DVUSR_DVU0_3	R	H'00000000	H'E8209548	32
	DVU0_3 Event Mask Register	VEVMR_DVU0_3	R/W	H'00000000	H'E820954C	32
	DVU0_3 Event Clear Register	VEVCR_DVU0_3	R/(W) (注9)	H'00000000	H'E8209554	32
MIX	MIX0_0 Initialization Register	MIXIR_MIX0_0	R/W	H'00000001	H'E8209600	32
	MIX0_0 Audio Information Register	MADIR_MIX0_0	R/W	H'00000000	H'E8209604	32
	MIX0_0 Bypass Register	MIXBR_MIX0_0	R/W	H'00000000	H'E8209608	32
	MIX0_0 Mode Register	MIXMR_MIX0_0	R/W	H'00000000	H'E820960C	32
	MIX0_0 Volume Period Register	MVPDR_MIX0_0	R/W	H'00000000	H'E8209610	32
	MIX0_0 Decibel A Register	MDBAR_MIX0_0	R/W	H'00000000	H'E8209614	32
	MIX0_0 Decibel B Register	MDBBR_MIX0_0	R/W	H'00000000	H'E8209618	32
	MIX0_0 Decibel C Register	MDBCR_MIX0_0	R/W	H'00000000	H'E820961C	32
	MIX0_0 Decibel D Register	MDBDR_MIX0_0	R/W	H'00000000	H'E8209620	32
	MIX0_0 Decibel Enable Register	MDBER_MIX0_0	R/W	H'00000000	H'E8209624	32
	MIX0_0 Status Register	MIXSR_MIX0_0	R	H'00000000	H'E8209628	32

ブロック名	レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
CIM	Software Reset Register	SWRSR_CIM	R/W	H'00000001	H'E8209700	32
	DMA Control Register	DMACR_CIM	R/W	H'00000000	H'E8209704	32
	DMA Transfer Register for FFD0_0 RAM	DMATD0_CIM	W	-	H'E8209708	16,32 (注1)
	DMA Transfer Register for FFD0_1 RAM	DMATD1_CIM	W	-	H'E820970C	16,32 (注2)
	DMA Transfer Register for FFD0_2 RAM	DMATD2_CIM	W	-	H'E8209710	16,32 (注3)
	DMA Transfer Register for FFD0_3 RAM	DMATD3_CIM	W	-	H'E8209714	16,32 (注4)
	DMA Transfer Register for FFU0_0 RAM	DMATU0_CIM	R	-	H'E8209718	16,32 (注5)
	DMA Transfer Register for FFU0_1 RAM	DMATU1_CIM	R	-	H'E820971C	16,32 (注6)
	DMA Transfer Register for FFU0_2 RAM	DMATU2_CIM	R	-	H'E8209720	16,32 (注7)
	DMA Transfer Register for FFU0_3 RAM	DMATU3_CIM	R	-	H'E8209724	16,32 (注8)
	SSIルート選択レジスタ	SSIRSEL_CIM	R/W	H'00000000	'H'E8209738	32
	FFD0_0タイミング選択レジスタ	FDTSEL0_CIM	R/W	H'00000000	'H'E820973C	32
	FFD0_1タイミング選択レジスタ	FDTSEL1_CIM	R/W	H'00000000	'H'E8209740	32
	FFD0_2タイミング選択レジスタ	FDTSEL2_CIM	R/W	H'00000000	'H'E8209744	32
	FFD0_3タイミング選択レジスタ	FDTSEL3_CIM	R/W	H'00000000	'H'E8209748	32
	FFU0_0タイミング選択レジスタ	FUTSEL0_CIM	W	H'00000000	'H'E820974C	32
	FFU0_1タイミング選択レジスタ	FUTSEL1_CIM	W	H'00000000	'H'E8209750	32
	FFU0_2タイミング選択レジスタ	FUTSEL2_CIM	W	H'00000000	'H'E8209754	32
	FFU0_3タイミング選択レジスタ	FUTSEL3_CIM	W	H'00000000	'H'E8209758	32
	SSIピンモードレジスタ	SSIPMD_CIM	R/W	H'00000000	'H'E820975C	32
	SSIコントロールレジスタ	SSICTRL_CIM	W	H'00000000	'H'E8209760	32
	SRC0ルート選択レジスタ	SRCRSEL0_CIM	R/W	H'76543210	H'E8209764	32
	SRC1ルート選択レジスタ	SRCRSEL1_CIM	R/W	H'76543210	H'E8209768	32
	SRC2ルート選択レジスタ	SRCRSEL2_CIM	R/W	H'76543210	H'E820976C	32
	SRC3ルート選択レジスタ	SRCRSEL3_CIM	R/W	H'76543210	'H'E8209770	32
	MIXルート選択レジスタ	MIXRSEL_CIM	R/W	H'76543210	'H'E8209774	32

注1. アドレス H'E8209708 への 16/32 ビットアクセスのみ可能です。
注2. アドレス H'E820970C への 16/32 ビットアクセスのみ可能です。
注3. アドレス H'E8209710 への 16/32 ビットアクセスのみ可能です。
注4. アドレス H'E8209714 への 16/32 ビットアクセスのみ可能です。
注5. アドレス H'E8209718 への 16/32 ビットアクセスのみ可能です。
注6. アドレス H'E820971C への 16/32 ビットアクセスのみ可能です。
注7. アドレス H'E8209720 への 16/32 ビットアクセスのみ可能です。
注8. アドレス H'E8209724 への 16/32 ビットアクセスのみ可能です。
注9. フラグをクリアするために0 のみ書き込むことができます。1の書き込みは無視されます。

37.3.1 IPC0_n Initialization Register（IPCIR_IPC0_n ）(n=0,1,2,3)

IPCIR_IPC0_n は、32 ビットの読み出し／書き込み可能なレジスタで、IPC 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、IPC内部回路が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.2 IPC0_n Pass Select Register（IPSLR_IPC0_n ）(n=0,1,2,3)

IPSLR_IPC0_n は、32 ビットの読み出し／書き込み可能なレジスタで、入力タイミング信号・オーディオデータの入力元・出力先を選択します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	IPC_PASS_SEL		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2～0	IPC_PASS_SEL	0	R/W	IPC経路選択 本ビットで経路を選択します。 000：機能なし 001：入力タイミング信号／オーディオデータ 外部（SSIF）→IPC→SRC（非同期モード） 010：リザーブ 011：入力タイミング信号　：外部→IPC→FFD/SRC 入力オーディオデータ　：FFD→IPC→SRC（非同期モード） 100：入力タイミング信号／オーディオデータ FFD→IPC→SRC（同期モード） 101~111：機能なし

37.3.3 OPC0_n Initialization Register（OPCIR_OPC0_n ）(n=0,1,2,3)

OPCIR_OPC0_n は、32 ビットの読み出し／書き込み可能なレジスタで、OPC 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、OPC内部回路が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.4 OPC0_n Pass Select Register（OPSLR_OPC0_n ）(n=0,1,2,3)

OPSLR_OPC0_n は、32 ビットの読み出し／書き込み可能なレジスタで、出力タイミング信号・オーディオデータの入力元・出力先を選択します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	OPC_PASS_SEL		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
2～0	OPC_PASS_SEL	0	R/W	OPC経路選択 本ビットで経路を選択します。 000：機能なし 001：出力タイミング信号　：外部→OPC →SRC/DVU 出力オーディオデータ　：SRC（非同期モード）→ OPC →DVU 010：リザーブ 011 出力タイミング信号　：外部→OPC →FFU/SRC 出力オーディオデータ　：SRC（非同期モード）→ OPC →FFU 100：出力タイミング信号　：FFU→ OPC →SRC 出力オーディオデータ　：SRC（同期モード）→ OPC →FFU 101 ~ 111：機能なし

37.3.5 FFD0_n FIFO Download Initialization Register（FFDIR_FFD0_n ）(n=0,1,2,3)

FFDIR_FFD0_n は、32 ビットの読み出し／書き込み可能なレジスタで、FFD 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、FFD内部回路が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.6 FFD0_n FIFO Download Audio Information Register（FDAIR_FFD0_n ）(n=0,1,2,3)

FDAIR_FFD0_n は、32 ビットの読み出し／書き込み可能なレジスタで、FFD のデータチャネル数を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNUM			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	CHNUM	すべて0	R/W	チャネル数 本ビットでチャネル数を設定します。 0000 ：ゼロ (無し) 0001 ：1 チャネル 0010 ：2 チャネル 0011 ：リザーブ 0100 ：4 チャネル* 0101 ：リザーブ 0110 ：6 チャネル* 0111 ：リザーブ 1000 ：8 チャネル* 1001 ~ 1111 ：リザーブ 注. * FFD0_0 と FFD0_1 のみ設定できます。FFD0_2 と FFD0_3 への設定は禁止です。

37.3.7 FFD0_n FIFO Download Request Size Register（DRQSR_FFD0_n ）(n=0,1,2,3)

DRQSR_FFD0_n は、32 ビットの読み出し／書き込み可能なレジスタで、データ転送要求のリクエストサイズを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SIZE			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	SIZE	すべて0	R/W	リクエストサイズ リクエストあたりのPCMデータのサイズを設定します。PCMデータサイズはFIFOサイズよりも少ない必要があります。 0000 ：256 データ . (FFD0_0,FFD0_1) , 64 データ .(FFD0_2,FFD0_3) （注1） 0001 ：128 データ . (FFD0_0,FFD0_1) , 32 データ .(FFD0_2,FFD0_3) 0010 ：64 データ . (FFD0_0,FFD0_1) , 16 データ .(FFD0_2,FFD0_3) 0011 ：32 データ . (FFD0_0,FFD0_1) , 8 データ .(FFD0_2,FFD0_3) 0100 ：16 データ . (FFD0_0,FFD0_1) , 4 データ .(FFD0_2,FFD0_3) 0101 ：8 データ . (FFD0_0,FFD0_1) , 2 データ .(FFD0_2,FFD0_3) 0110 ：4 データ . (FFD0_0,FFD0_1) , 1 データ .(FFD0_2,FFD0_3) 0111 ：2 データ . (FFD0_0,FFD0_1) （注2） 1000 ：1 データ . (FFD0_0,FFD0_1) （注2） 1001 ~ 1111 ：リザーブ . 注1. リクエストサイズがFIFOサイズと等しい場合、正常に動作させるためにはリクエストサイズがチャネル数の倍数である必要があります。例えば、リクエストサイズとFIFOサイズが256のとき、チャネル数は1,2,4,8にのみ設定できます。もしこれらと異なるチャネル数の場合、FIFOがオーバフローすることがあります。 注2. FFD0_0 とFFD0_1のみ設定できます。FFD0_2とFFD0_3への設定は禁止です。

37.3.8 FFD0_n FIFO Download Pass Register（FFDPR_FFD0_n ）(n=0,1,2,3)

FFDPR_FFD0_n は、32 ビットの読み出し／書き込み可能なレジスタで、オーディオデータの入出力経路の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PASS	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1～0	PASS	すべて0	R/W	データ経路選択 本ビットでオーディオデータの経路を設定します。 00：経路なし 01：CIM → FFD → IPC（非同期モード）（注1） 10：CIM → FFD → IPC（同期モード）（注2） 11：リザーブ 注1.　非同期モード：FFDは外部タイミングを使用します。 注2.　同期モード：FFDはSRCで生成されるリクエストを使用します。 SRCを同期モードに設定してください。

37.3.9 FFD0_n FIFO Download Boot Register（FFDBR_FFD0_n ）(n=0,1,2,3)

FFDBR_FFD0_n は、32 ビットの読み出し／書き込み可能なレジスタで、RFFD へのデータ要求の開始 / 停止を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BOOT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	BOOT	すべて0	R/W	データ要求開始／停止 本ビットでデータ要求の開始／停止を制御します。FFDPRレジスタのPASSビットがB'01またはB'10に設定されているときのみ、本ビットを設定できます。全てのFFDのレジスタの設定後に本ビットを設定する必要があります。 0：データ要求を停止 1：データ要求を開始

37.3.10 FFD0_n FIFO Download Event Mask Register（DEVMR_FFD0_n ）(n=0,1,2,3)

DEVMR_FFD0_n は、32 ビットの読み出し／書き込み可能なレジスタで、SCUFDIn 割込み要求の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEVMUF	DEVMOF	DEVMOL	DEVMIUF	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVMRQ	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	DEVMUF	0	R/W	FFD アンダーフローマスク DEVCR レジスタの DEVCUF ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
30	DEVMOF	0	R/W	FFD オーバーフローマスク DEVCR レジスタの DEVCOF ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
29	DEVMOL	0	R/W	FFD オーバーラップマスク DEVCR レジスタの DEVCOL ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
28	DEVMIUF	0	R/W	FFD 初期化アンダーフローマスク DEVCR レジスタの DEVCIUF ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
27～16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	DEVMRQ	0	R/W	FFD リクエストパケットマスク DEVCR レジスタの DEVCRQ ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
14～0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

37.3.11 FFD0_n FIFO Download Event Clear Register（DEVCR_FFD0_n ）(n=0,1,2,3)

DEVCR_FFD0_n は、32 ビットの読み出し／書き込み可能なレジスタで、SCUFDIn 割込み要求のクリアを行います。割込みイベントが発生した際、本レジスタの該当ビットが自動的に 1 にセットされ、そのビットに 0 を書き込むまで 1 が保持されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DEVCUF	DEVCOF	DEVCOL	DEVCIUF	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)注	R/(W)注	R/(W)注	R/(W)注	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DEVCRQ	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)注	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	DEVCUF	0	R/(W)注.	FFDアンダーフロークリア DPRAMのアンダーフローが発生したかどうかを示す割り込みフラグです。 DPRAMのアンダーフローが発生したとき、それより前にDPRAMに最初のパケットが書き込まれていると、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
30	DEVCOF	0	R/(W)注.	FFDオーバーフロークリア DPRAMのオーバーフローが発生したかどうかを示す割り込みフラグです。 DPRAMのオーバーフローが発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
29	DEVCOL	0	R/(W)注.	FFDオーバーラップクリア FFDのオーバーラップが発生したかどうかを示す割り込みフラグです。前の読み出しリクエストでFFDがDPRAMからデータを読み出しているときに次の読み出しリクエストが発生すると、FFDのオーバーラップが発生します。FFDのオーバーラップが発生すると、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
28	DEVCIUF	0	R/(W)注.	FFD初期化アンダーフロークリア DPRAMの初期化アンダーフローが発生したかどうかを示す割り込みフラグです。DPRAMのアンダーフローが発生したとき、DPRAMに最初のパケットが書き込まれてない場合、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
27～16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	DEVCRQ	0	R/(W)注.	FFDリクエストパケットクリア FFDに対して1パケット書き込むリクエストをCPUに出す割り込みフラグです。リクエストが発生すると、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
14～0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　読み出し／書き込み可能。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。
割込み要因のクリアを行うビットのみ0を書き込み、他のビットには1を書き込んでください。

37.3.12　FFU0_n FIFO Upload Initialization Register（FFUIR_FFU0_n ）(n=0,1,2,3)

FFUIR_FFU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、FFU 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、FFU処理が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.13 FFU0_n FIFO Upload Audio Information Register（FUAIR_FFU0_n ）(n=0,1,2,3)

FUAIR_FFU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、FFU のデータチャネル数を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNUM			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	CHNUM	すべて0	R/W	チャネル数 本ビットでチャネル数を設定します。詳細は下記参照してください。 0000 ：ゼロ (無し) 0001 ：1 チャネル 0010 ：2 チャネル 0011 ：リザーブ 0100 ：4 チャネル* 0101 ：リザーブ 0110 ：6 チャネル* 0111 ：リザーブ 1000 ：8 チャネル* 1001 ~ 1111 ：リザーブ 注. * FFU0_0 と FFU0_1 のみ設定できます。FFU0_2 と FFU0_3 への設定は禁止です。

37.3.14 FFU0_n FIFO Upload Request Size Register（URQSR_FFU0_n ）(n=0,1,2,3)

URQSR_FFU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、データ転送要求のリクエストサイズを設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	SIZE			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	SIZE	すべて0	R/W	リクエストサイズ リクエストあたりのPCMデータのサイズを設定します。PCMデータサイズはFIFOサイズよりも少ない必要があります。 0000 ：256 データ . (FFU0_0,FFU0_1) , 64 データ .(FFU0_2,FFU0_3) （注1） 0001 ：128 データ . (FFU0_0,FFU0_1) , 32 データ .(FFU0_2,FFU0_3) 0010 ：64 データ . (FFU0_0,FFU0_1) , 16 データ .(FFU0_2,FFU0_3) 0011 ：32 データ . (FFU0_0,FFU0_1) , 8 データ .(FFU0_2,FFU0_3) 0100 ：16 データ . (FFU0_0,FFU0_1) , 4 データ .(FFU0_2,FFU0_3) 0101 ：8 データ . (FFU0_0,FFU0_1) , 2 データ .(FFU0_2,FFU0_3) 0110 ：4 データ . (FFU0_0,FFU0_1) , 1 データ .(FFU0_2,FFU0_3) 0111 ：2 データ . (FFU0_0,FFU0_1)（注2） 1000 ：1 データ . (FFU0_0,FFU0_1)（注2） 1001 ~ 1111 ：リザーブ . 注1. *1 リクエストサイズがFIFOサイズと等しい場合、正常に動作させるためにはリクエストサイズがチャネル数の倍数である必要があります。例えば、リクエストサイズとFIFOサイズが256のとき、チャネル数は1,2,4,8にのみ設定できます。もしこれらと異なるチャネル数の場合、FIFOがオーバフローすることがあります。 注2. *2 FFU0_0 とFFU0_1のみ設定できます。FFU0_2とFFU0_3への設定は禁止です。

37.3.15 FFU0_n FIFO Upload Pass Register（FFUPR_FFU0_n ）(n=0,1,2,3)

FFUPR_FFU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、オーディオデータの入出力経路の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	PASS	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1～0	PASS	すべて0	R/W	データ経路選択 本ビットでオーディオデータの経路を設定します。 00：経路なし 01：CIM ← FFU ← OPC（非同期モード）（注1） 10：CIM ← FFU ← OPC（同期モード）（注2） 11：リザーブ 注1.　非同期モード：FFUは外部タイミングを使用します。 注2.　同期モード：FFUはSRCで生成されるリクエストを使用します。 SRCを同期モードに設定してください。

37.3.16 FFU0_n FIFO Upload Event Mask Register（UEVMR_FFU0_n ）(n=0,1,2,3)

UEVMR_FFU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、SCUFUIn 割込み要求の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UEVMUF	UEVMOF	UEVMOL	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UEVMRQ	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	UEVMUF	0	R/W	FFU アンダーフローマスク UEVCR レジスタの UEVCUF ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
30	UEVMOF	0	R/W	FFU オーバーフローマスク UEVCR レジスタの UEVCOF ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
29	UEVMOL	0	R/W	FFU オーバーラップマスク UEVCR レジスタの UEVCOL ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
28～16	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15	UEVMRQ	0	R/W	FFU リクエストパケットマスク UEVCR レジスタの UEVCRQ ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
14～0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

37.3.17　FFU0_n FIFO Upload Event Clear Register（UEVCR_FFU0_n ）(n=0,1,2,3)

UEVCR_FFU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、SCUFUIn 割込み要求のクリアを行います。割込みイベントが発生した際、本レジスタの該当ビットが自動的に 1 にセットされ、そのビットに 0 を書き込むまで 1 が保持されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	UEVCUF	UEVCOF	UEVCOL	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)注	R/(W)注	R/(W)注	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UEVCRQ	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)注	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	UEVCUF	0	R/(W)注.	FFUアンダーフロークリア DPRAMのアンダーフローが発生したかどうかを示す割り込みフラグです。 DPRAMのアンダーフローが発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
30	UEVCOF	0	R/(W)注.	FFUオーバーフロークリア DPRAMのオーバーフローが発生したかどうか示す割り込みフラグです。 DPRAMのオーバーフローが発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
29	UEVCOL	0	R/(W)注.	FFUオーバーラップクリア FFUのオーバーラップが発生したかどうかを示す割り込みフラグです。前の書き込みリクエストでFFUがデータを書き込んでいるときに次の書き込みリクエストが発生すると、FFUのオーバーラップが発生します。FFUのオーバーラップが発生すると、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
28～16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	UEVCRQ	0	R/(W)注.	FFUリクエストパケットクリア FFUから1パケット読み出すリクエストをCPUに出す割り込みフラグです。 リクエストが発生すると、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
14～0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　読み出し／書き込み可能。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。
割込み要因のクリアを行うビットのみ0を書き込み、他のビットには1を書き込んでください。

37.3.18　2SRC0_m Initialization Register p（SRCIRp_2SRC0_m ）(m=0,1, p=0,1)

SRCIRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、SRC 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、SRC内部回路が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.19　2SRC0_m Audio Information Register p（SADIRp_2SRC0_m ）(m=0,1 p=0,1)

SADIRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、データのビット長、チャネル数を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	OTBL				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNUM			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20～16	OTBL	すべて0	R/W	出力オーディオデータのビット長 00000 ：24 ビット 00001～00111 ：リザーブ 01000 ：16 ビット 01001 ~ 11111 ：リザーブ
15～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	CHNUM	すべて0	R/W	チャネル数 本ビットでチャネル数を設定します。 0000 ：ゼロ (無し) 0001 ：1 チャネル 0010 ：2 チャネル 0011 ：リザーブ 0100 ：4 チャネル 0101 ：リザーブ 0110 ：6 チャネル 0111 ：リザーブ 1000 ：8 チャネル 1001 ~ 1111 ：リザーブ

37.3.20　2SRC0_m Bypass Register p（SRCBRp_2SRC0_m ）(m=0,1 p=0,1)

SRCBRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、バイパスモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BY PASS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	BYPASS	0	R/W	バイパスモード 本ビットはSRCのデータ経路を制御します。バイパス機能は非同期SRCモードでのみ使用できます。そのため、同期SRCモードで使用する（SRCCRp_2SRC0_m.SRCMD:1）場合は、本ビットを0にしてください。 0：SRC機能を使用 入力データはSRCで処理され、その結果が出力データに接続されます。 1：SRC機能を未使用(バイパスモード) 入力データが直接出力データに接続されます。

37.3.21　2SRC0_m IFS Control Register p（IFSCRp_2SRC0_m ）(m=0,1 p=0,1)

IFSCRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、INTIFS で設定した初期値の使用有無を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INT IFSEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INTIFSEN	0	R/W	INTIFS値有効 本ビットは非同期SRCモード（SRCCRp_2SRC0_m.SRCMD:0）のときのみ有効となります。 0：IFSVRレジスタの初期値設定は無効 1：IFSVRレジスタの初期値設定は有効

37.3.22　2SRC0_m IFS Value Setting Register p（IFSVRp_2SRC0_m ）(m=0,1 p=0,1)

IFSVRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、INTIFS の値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	INTIFS											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	INTIFS															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27～0	INTIFS	すべて0	R/W	FSI初期値 本ビットでFSIの初期値を設定します。入力と出力のサンプリングレートの比率は、チャネル数から決定される制限範囲内の値を設定してください。 設定例: Fin = 32kHz Fout = 44.1kHz FSI = 2^{22} * 32000 / 44100 = 3043485 = 0x02E709D

SRC を非同期モードで使用する際、INTIFS はサンプリングレート変換機能の FSI の初期値として与えられますので IFSCRp_2SRC0_m .INTIFSEN=1 とした上で、INTIFS は必ず所望の値を設定するようにしてください。

Fin / Fout ≒ FSI / FSO

注 .　Fin : 入力サンプリング周波数
Fout : 出力サンプリング周波数
FSI : 入力サンプリングレート
FSO : 出力サンプリングレート (固定値 : 2^{22} = 0x0400000)

SRC を同期モードで使用する際は、INTIFS に設定した値が FSI として終始使用されます。
表 37.3 ～表 37.8 に INITFS の設定値を示します。

表 37.3　INITFS 設定値 (DelayMode：Normal チャネル数：1or2)

入力サンプリングレート [KHz]	出力サンプリングレート [KHz]						
	8	16	24	32	44.1	48	96
8	0x0400000	0x0200000	0x0155555	0x0100000	0x00b9c27	0x00aaaaa	0x0055555
11.025	0x0583333	0x02c1999	0x01d6666	0x0160ccc	0x0100000	0x00eb333	0x0075999
12	0x0600000	0x0300000	0x0200000	0x0180000	0x0116a3b	0x0100000	0x0080000
16	0x0800000	0x0400000	0x02aaaaa	0x0200000	0x017384e	0x0155555	0x00aaaaa
22.05	0x0b06666	0x0583333	0x03acccc	0x02c1999	0x0200000	0x01d6666	0x00eb333
24	0x0c00000	0x0600000	0x0400000	0x0300000	0x022d476	0x0200000	0x0100000
32	0x1000000	0x0800000	0x0555555	0x0400000	0x02e709d	0x02aaaaa	0x0155555
44.1	0x160cccc	0x0b06666	0x0759999	0x0583333	0x0400000	0x03acccc	0x01d6666
48	0x1800000	0x0c00000	0x0800000	0x0600000	0x045a8ec	0x0400000	0x0200000
64	0x2000000	0x1000000	0x0aaaaaa	0x0800000	0x05ce13b	0x0555555	0x02aaaaa
88.2	設定不可 *	0x160cccc	0x0eb3333	0x0b06666	0x0800000	0x0759999	0x03acccc
96	設定不可 *	0x1800000	0x1000000	0x0c00000	0x08b51d9	0x0800000	0x0400000

注．* 本 SRC モジュールのスペック範囲外のため。詳細は　表 37.22 を参照ください。

表 37.4　INITFS 設定値 (DelayMode：Normal チャネル数：4)

入力サンプリングレート [KHz]	出力サンプリングレート [KHz]						
	8	16	24	32	44.1	48	96
8	0x0400000	0x0200000	0x0155555	0x0100000	0x00b9c27	0x00aaaaa	0x0055555
11.025	0x0583333	0x02c1999	0x01d6666	0x0160ccc	0x0100000	0x00eb333	0x0075999
12	0x0600000	0x0300000	0x0200000	0x0180000	0x0116a3b	0x0100000	0x0080000
16	0x0800000	0x0400000	0x02aaaaa	0x0200000	0x017384e	0x0155555	0x00aaaaa
22.05	0x0b06666	0x0583333	0x03acccc	0x02c1999	0x0200000	0x01d6666	0x00eb333
24	0x0c00000	0x0600000	0x0400000	0x0300000	0x022d476	0x0200000	0x0100000
32	0x1000000	0x0800000	0x0555555	0x0400000	0x02e709d	0x02aaaaa	0x0155555
44.1	設定不可 *	0x0b06666	0x0759999	0x0583333	0x0400000	0x03acccc	0x01d6666
48	設定不可 *	0x0c00000	0x0800000	0x0600000	0x045a8ec	0x0400000	0x0200000
64	設定不可 *	0x1000000	0x0aaaaaa	0x0800000	0x05ce13b	0x0555555	0x02aaaaa
88.2	設定不可 *	設定不可 *	0x0eb3333	0x0b06666	0x0800000	0x0759999	0x03acccc
96	設定不可 *	設定不可 *	0x1000000	0x0c00000	0x08b51d9	0x0800000	0x0400000

注．* 本 SRC モジュールのスペック範囲外のため。詳細は　表 37.22 を参照ください。

表 37.5　INITFS 設定値 (DelayMode：Normal チャネル数：6)

入力サンプリングレート [KHz]	出力サンプリングレート [KHz]						
	8	16	24	32	44.1	48	96
8	0x0400000	0x0200000	0x0155555	0x0100000	0x00b9c27	0x00aaaaa	設定不可 *
11.025	0x0583333	0x02c1999	0x01d6666	0x0160ccc	0x0100000	0x00eb333	設定不可 *
12	0x0600000	0x0300000	0x0200000	0x0180000	0x0116a3b	0x0100000	設定不可 *
16	0x0800000	0x0400000	0x02aaaaa	0x0200000	0x017384e	0x0155555	設定不可 *
22.05	設定不可 *	0x0583333	0x03acccc	0x02c1999	0x0200000	0x01d6666	設定不可 *
24	設定不可 *	0x0600000	0x0400000	0x0300000	0x022d476	0x0200000	設定不可 *
32	設定不可 *	0x0800000	0x0555555	0x0400000	0x02e709d	0x02aaaaa	設定不可 *
44.1	設定不可 *	設定不可 *	0x0759999	0x0583333	0x0400000	0x03acccc	設定不可 *
48	設定不可 *	設定不可 *	0x0800000	0x0600000	0x045a8ec	0x0400000	設定不可 *
64	設定不可 *	設定不可 *	0x0aaaaaa	0x0800000	0x05ce13b	0x0555555	設定不可 *
88.2	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *
96	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *

注．* 本 SRC モジュールのスペック範囲外のため。詳細は　表 37.22 を参照ください。

表 37.6　INITFS 設定値 (DelayMode：Normal チャネル数：8)

入力サンプリングレート [KHz]	出力サンプリングレート [KHz]						
	8	16	24	32	44.1	48	96
8	0x0400000	0x0200000	0x0155555	0x0100000	0x00b9c27	0x00aaaaa	設定不可 *
11.025	0x0583333	0x02c1999	0x01d6666	0x0160ccc	0x0100000	0x00eb333	設定不可 *
12	0x0600000	0x0300000	0x0200000	0x0180000	0x0116a3b	0x0100000	設定不可 *
16	0x0800000	0x0400000	0x02aaaaa	0x0200000	0x017384e	0x0155555	設定不可 *
22.05	設定不可 *	0x0583333	0x03acccc	0x02c1999	0x0200000	0x01d6666	設定不可 *
24	設定不可 *	0x0600000	0x0400000	0x0300000	0x022d476	0x0200000	設定不可 *
32	設定不可 *	0x0800000	0x0555555	0x0400000	0x02e709d	0x02aaaaa	設定不可 *
44.1	設定不可 *	設定不可 *	0x0759999	0x0583333	0x0400000	0x03acccc	設定不可 *
48	設定不可 *	設定不可 *	0x0800000	0x0600000	0x045a8ec	0x0400000	設定不可 *
64	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *
88.2	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *
96	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *

注．* 本 SRC モジュールのスペック範囲外のため。詳細は　表 37.22 を参照ください。

表 37.7　INITFS 設定値 (DelayMode：Low Delay1 チャネル数：1or2)

入力サンプリングレート [KHz]	出力サンプリングレート [KHz]						
	8	16	24	32	44.1	48	96
8	0x0400000	0x0200000	0x0155555	0x0100000	0x00b9c27	0x00aaaaa	0x0055555
11.025	0x0583333	0x02c1999	0x01d6666	0x0160ccc	0x0100000	0x00eb333	0x0075999
12	0x0600000	0x0300000	0x0200000	0x0180000	0x0116a3b	0x0100000	0x0080000
16	0x0800000	0x0400000	0x02aaaaa	0x0200000	0x017384e	0x0155555	0x00aaaaa
22.05	設定不可 *	0x0583333	0x03acccc	0x02c1999	0x0200000	0x01d6666	0x00eb333
24	設定不可 *	0x0600000	0x0400000	0x0300000	0x022d476	0x0200000	0x0100000
32	設定不可 *	0x0800000	0x0555555	0x0400000	0x02e709d	0x02aaaaa	0x0155555
44.1	設定不可 *	設定不可 *	0x0759999	0x0583333	0x0400000	0x03acccc	0x01d6666
48	設定不可 *	設定不可 *	0x0800000	0x0600000	0x045a8ec	0x0400000	0x0200000
64	設定不可 *	設定不可 *	設定不可 *	0x0800000	0x05ce13b	0x0555555	0x02aaaaa
88.2	設定不可 *	設定不可 *	設定不可 *	設定不可 *	0x0800000	0x0759999	0x03acccc
96	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	0x0800000	0x0400000

注．* 本 SRC モジュールのスペック範囲外のため。詳細は　表 37.22 を参照ください。

表 37.8　INITFS 設定値 (DelayMode：Low Delay2 チャネル数：1or2)

入力サンプリングレート [KHz]	出力サンプリングレート [KHz]						
	8	16	24	32	44.1	48	96
8	0x0400000	0x0200000	0x0155555	0x0100000	0x00b9c27	0x00aaaaa	0x0055555
11.025	設定不可 *	0x02c1999	0x01d6666	0x0160ccc	0x0100000	0x00eb333	0x0075999
12	設定不可 *	0x0300000	0x0200000	0x0180000	0x0116a3b	0x0100000	0x0080000
16	設定不可 *	0x0400000	0x02aaaaa	0x0200000	0x017384e	0x0155555	0x00aaaaa
22.05	設定不可 *	設定不可 *	0x03acccc	0x02c1999	0x0200000	0x01d6666	0x00eb333
24	設定不可 *	設定不可 *	0x0400000	0x0300000	0x022d476	0x0200000	0x0100000
32	設定不可 *	設定不可 *	設定不可 *	0x0400000	0x02e709d	0x02aaaaa	0x0155555
44.1	設定不可 *	設定不可 *	設定不可 *	設定不可 *	0x0400000	0x03acccc	0x01d6666
48	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	0x0400000	0x0200000
64	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	0x02aaaaa
88.2	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	0x03acccc
96	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	設定不可 *	0x0400000

注．* 本 SRC モジュールのスペック範囲外のため。詳細は　表 37.22 を参照ください。

37.3.23　2SRC0_m Control Register p（SRCCRp_2SRC0_m）(m=0,1 p=0,1)

SRCCRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、Low Delay モードの選択、SRC の同期・非同期モードの選択を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	WATMD	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	BUFMD	-	-	-	-	-	-	-	-	-	-	-	SRCMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20	WATMD	0	R/W	SRC待ち時間制御 0：待ち時間制御無効 1：待ち時間制御有効
19～17	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
16	-	0	R/W	書き込む値は常に1にしてください。
15～13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12	BUFMD	0	R/W	Low Delayモード 0：Low Delayモード無効 1：Low Delayモード有効
11～9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	-	0	R/W	書き込む値は常に1にしてください。
7～5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	-	0	R/W	書き込む値は常に1にしてください。
3～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SRCMD	0	R/W	SRCモード選択 0 ：非同期SRC 1 ：同期 SRC

37.3.24 2SRC0_m Minimum FS Setting Register p（MNFSRp_2SRC0_m ）(m=0,1 p=0,1)

MNFSRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、FS の最小値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	MINFS											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MINFS															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～28	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
27～0	MINFS	すべて0	R/W	FS比最小値 入力タイミングがSRC処理中に停止するような状況で、ミュートのために出力データを徐々に小さくする処理を開始するFS比を設定します。本設定値はIFSVRp_2SRC0_m の値よりも小さい必要があります。 設定例: Fin = 32kHz Fout = 44.1kHz FSI = 2^{22} * 32000 / 44100 = 3043485 = 0x02E709D MINFS = FSI * 98% = 2982615 = 0x02D82D7 比率はジッタ範囲を超える値を設定してください。 (90~98% が推奨値です。)

37.3.25 2SRC0_m Buffer Size Setting Register p（BFSSRp_2SRC0_m ）(m=0,1 p=0,1)

BFSSRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、バッファサイズの設定を行います。このレジスタの設定は SRCCRp_2SRC0_m .BUFMD : 1 の時のみ有効です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	BUFDATA									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	BUFIN			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～26	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
25～16	BUFDATA	すべて0	R/W	DATA RAMの1チャネルのバッファサイズを設定します。 Low Delayモード1では 0x80 を設定してください。 Low Delayモード2では 0x40 を設定してください。
15～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	BUFIN	すべて0	R/W	INDATA RAMの1チャネルのバッファサイズを設定します。 Low Delayモードでは 0x5 を設定してください。

37.3.26　2SRC0_m SCU2 Status Register p（SC2SRp_2SRC0_m ）(m=0,1 p=0,1)

SC2SRp_2SRC0_m は、32 ビットの読み出し可能なレジスタで、SRC のステータスを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SRCWSTS	SC2MUTE	SC2STS		SC2FSI											
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SC2FSI															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	SRCWSTS	0	R	SRC 待ち時間処理ステータス 0：待ち時間までカウントアップ実行中 1：待ち時間まで到達
30	SC2MUTE	0	R	SRC ミュートステータス 本ビットはデバッグのためにのみ使用します。 0：SRC の出力データが確定せずミュートすべき状態。SRC が入力サンプリングレートと出力サンプリングレートを同期させることができないときに発生します。 1：SRC の出力データが確定している状態。
29、28	SC2STS	すべて 0	R	SRC ステータス 00：SRC はリセット状態 01：SRC は初期化状態 10：SRC は処理状態 11：リザーブ
27～0	SC2FSI	すべて 0	R	SRC にて計算された FSI の最新の値

37.3.27　2SRC0_m Wait Time Setting Register p（WATSRp_2SRC0_m ）(m=0,1 p=0,1)

WATSRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、SRC へのデータ入力待ち時間を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	WTIME							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	WTIME															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	WTIME	すべて0	R/W	SRCCRp_2SRC0_m レジスタの WATMD ビットが 1 のときの待ち時間を設定します。SRCIRp_2SRC0_m レジスタの INIT ビットが 0 になってから、本ビットで設定した値に入力データ数が到達するまで SRC は 0 データを格納し、それまでの入力データは破棄されます。設定値に到達した後、入力データが SRC 内に格納されます。

37.3.28　2SRC0_m Event Mask Register p（SEVMRp_2SRC0_m ）(m=0,1 p=0,1)

SEVMRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、SCUAIm 割込み要求の許可／禁止の設定を行います。SEVMRp_2SRC0_0 からの割込み要求に対する要因名が SCUAI0、SEVMRp_2SRC0_1 からの割込み要求に対する要因名が SCUAI1 です。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EVMUF	EVMOF	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	EVM WAIT	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	EVMUF	0	R/W	SRC アンダーフローマスク SEVCRp_2SRC0_m レジスタの EVCUF ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
30	EVMOF	0	R/W	SRC オーバーフローマスク SEVCRp_2SRC0_m レジスタの EVCOF ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
29～15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	EVMWAIT	0	R/W	SRC 待ち時間マスク SEVCRp_2SRC0_m レジスタの EVCWAIT ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
13～0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

37.3.29　2SRC0_m Event Clear Register p（SEVCRp_2SRC0_m ）(m=0,1 p=0,1)

SEVCRp_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、SCUAIm 割込み要求のクリアを行います。

割込みイベントが発生した際、本レジスタの対応するビットには自動的に 1 がセットされ、そのビットに 0 を書き込むまで 1 を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EVCUF	EVCOF	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)注	R/(W)注	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	EVC WAIT	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/(W)注	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	EVCUF	0	R/(W)注.	SRC アンダーフロークリア INDATA RAM のアンダーフローが発生したかどうかを示す割り込みフラグです。INDATA RAM のアンダーフローが発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
30	EVCOF	0	R/(W)注.	SRC オーバーフロークリア INDATA RAM のオーバーフローが発生したかどうかを示す割り込みフラグです。INDATA RAM のオーバーフローが発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
29～15	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	EVCWAIT	0	R/(W)注.	SRC 待ち時間クリア SRC が待ち時間後に処理を始めたかどうかを示す割り込みフラグです。 0：フラグをクリア 1：フラグを保持
13～0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

注.　読み出し／書き込み可能。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。
　　割込み要因のクリアを行うビットのみ 0 を書き込み、他のビットには 1 を書き込んでください。

37.3.30　2SRC0_m Initialization Register RIF（SRCIRR_2SRC0_m ）(m=0,1)

SRCIRR_2SRC0_m は、32 ビットの読み出し／書き込み可能なレジスタで、2SRC0_m に搭載されている COEF-ROMIF の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、COEF-ROMIF が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.31　DVU0_n Initialization Register（DVUIR_DVU0_n ）(n=0,1,2,3)

DVUIR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、DVU 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、DVU 内部回路が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.32 DVU0_n Audio Information Register（VADIR_DVU0_n ）(n=0,1,2,3)

VADIR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、データのビット長、チャネル数を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	OTBL				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNUM			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～21	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
20～16	OTBL	すべて0	R/W	出力オーディオデータのビット長 00000 ：24 ビット 00001～00111 ：リザーブ 01000 ：16 ビット 01001 ~ 11111 ：リザーブ
15～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	CHNUM	すべて0	R/W	チャネル数 本ビットでチャネル数を設定します。 0000 ：ゼロ (無し) 0001 ：1 チャネル 0010 ：2 チャネル 0011 ：リザーブ 0100 ：4 チャネル 0101 ：リザーブ 0110 ：6 チャネル 0111 ：リザーブ 1000 ：8 チャネル 1001 ~ 1111 ：リザーブ

37.3.33 DVU0_n Bypass Register（DVUBR_DVU0_n ）(n=0,1,2,3)

DVUBR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、バイパスモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BY PASS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	BYPASS	0	R/W	バイパスモード 本ビットはDVUのデータ経路を制御します。 0：DVU機能を使用 　入力データはDVUで処理され、その結果が出力データに接続されます。 1：DVU機能を未使用(バイパスモード) 　入力データが直接出力データに接続されます。

37.3.34 DVU0_n Control Register（DVUCR_DVU0_n ）(n=0,1,2,3)

DVUCR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、DVU モードの選択を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	VVMD	-	-	-	VRMD	-	-	-	ZCMD
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～9	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	VVMD	0	R/W	デジタルボリュームモード選択 デジタルボリューム機能を選択します。 0：デジタルボリューム機能は無効 1：デジタルボリューム機能は有効
7～5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	VRMD	0	R/W	ボリュームランプモード選択 ボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
3～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	ZCMD	0	R/W	ゼロクロスミュートモード選択 ゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効

37.3.35 DVU0_n Zero Cross Mute Control Register（ZCMCR_DVU0_n ）(n=0,1,2,3)

ZCMCR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネルごとにゼロクロスミュート機能の実行を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	ZCEN7	ZCEN6	ZCEN5	ZCEN4	ZCEN3	ZCEN2	ZCEN1	ZCEN0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	ZCEN7	0	R/W	チャネル7ゼロクロスミュート有効 チャネル7のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効
6	ZCEN6	0	R/W	チャネル6ゼロクロスミュート有効 チャネル6のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効
5	ZCEN5	0	R/W	チャネル5ゼロクロスミュート有効 チャネル5のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効
4	ZCEN4	0	R/W	チャネル4ゼロクロスミュート有効 チャネル4のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効
3	ZCEN3	0	R/W	チャネル3ゼロクロスミュート有効 チャネル3のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効
2	ZCEN2	0	R/W	チャネル2ゼロクロスミュート有効 チャネル2のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効
1	ZCEN1	0	R/W	チャネル1ゼロクロスミュート有効 チャネル1のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効
0	ZCEN0	0	R/W	チャネル0ゼロクロスミュート有効 チャネル0のゼロクロスミュート機能を選択します。 0：ゼロクロスミュート機能は無効 1：ゼロクロスミュート機能は有効

37.3.36 DVU0_n Volume Ramp Control Register（VRCTR_DVU0_n ）(n=0,1,2,3)

VRCTR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネルごとにボリュームランプ機能の実行を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	VREN7	VREN6	VREN5	VREN4	VREN3	VREN2	VREN1	VREN0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～8	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	VREN7	0	R/W	チャネル7ボリュームランプ有効 チャネル7のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
6	VREN6	0	R/W	チャネル6ボリュームランプ有効 チャネル6のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
5	VREN5	0	R/W	チャネル5ボリュームランプ有効 チャネル5のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
4	VREN4	0	R/W	チャネル4ボリュームランプ有効 チャネル4のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
3	VREN3	0	R/W	チャネル3ボリュームランプ有効 チャネル3のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
2	VREN2	0	R/W	チャネル2ボリュームランプ有効 チャネル2のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
1	VREN1	0	R/W	チャネル1ボリュームランプ有効 チャネル1のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効
0	VREN0	0	R/W	チャネル0ボリュームランプ有効 チャネル0のボリュームランプ機能を選択します。 0：ボリュームランプ機能は無効 1：ボリュームランプ機能は有効

37.3.37 DVU0_n Volume Ramp Period Register（VRPDR_DVU0_n ）(n=0,1,2,3)

VRPDR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、ボリュームランプのランプ期間の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	VRPDUP					-	-	-	VRPDDW				
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～13	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12～8	VRPDUP	すべて0	R/W	ボリュームアップ時のボリュームランプ期間 00000： 1 [サンプル] (128dB/1ステップ) 00001： 2 [サンプル] (64dB/1ステップ) 00010： 4 [サンプル] (32dB/1ステップ) 00011： 8 [サンプル] (16dB/1ステップ) 00100： 16 [サンプル] (8dB/1ステップ) 00101： 32 [サンプル] (4dB/1ステップ) 00110： 64 [サンプル] (2dB/1ステップ) 00111： 128 [サンプル] (1dB/1ステップ) 01000： 256 [サンプル] (0.5dB/1ステップ) 01001： 512 [サンプル] (0.25dB/1ステップ) 01010： 1024 [サンプル] (0.125dB/1ステップ) 01011： 2048 [サンプル] (0.125dB/2ステップ) 01100： 4096 [サンプル] (0.125dB/4ステップ) 01101： 8192 [サンプル] (0.125dB/8ステップ) 01110： 16384 [サンプル] (0.125dB/16ステップ) 01111： 32768 [サンプル] (0.125dB/32ステップ) 10000： 65536 [サンプル] (0.125dB/64ステップ) 10001： 131072 [サンプル] (0.125dB/128ステップ) 10010： 262144 [サンプル] (0.125dB/256ステップ) 10011： 524288 [サンプル] (0.125dB/512ステップ) 10100： 1048576 [サンプル] (0.125dB/1024ステップ) 10101： 2097152 [サンプル] (0.125dB/2048ステップ) 10110： 4194304 [サンプル] (0.125dB/4096ステップ) 10111： 8388608 [サンプル] (0.125dB/8192ステップ) 11000 ~ 11111：リザーブ
7～5	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
4～0	VRPDDW	0	R/W	ボリュームダウン時のボリュームランプ期間 00000： 1[サンプル](-128dB/1ステップ) 00001： 2[サンプル](-64dB/1ステップ) 00010： 4[サンプル](-32dB/1ステップ) 00011： 8[サンプル](-16dB/1ステップ) 00100： 16[サンプル](-8dB/1ステップ) 00101： 32[サンプル](-4dB/1ステップ) 00110： 64[サンプル](-2dB/1ステップ) 00111： 128[サンプル](-1dB/1ステップ) 01000： 256[サンプル](-0.5dB/1ステップ) 01001： 512[サンプル](-0.25dB/1ステップ) 01010： 1024[サンプル](-0.125dB/1ステップ) 01011： 2048[サンプル](-0.125dB/2ステップ) 01100： 4096[サンプル](-0.125dB/4ステップ) 01101： 8192[サンプル](-0.125dB/8ステップ) 01110： 16384[サンプル](-0.125dB/16ステップ) 01111： 32768[サンプル](-0.125dB/32ステップ) 10000： 65536[サンプル](-0.125dB/64ステップ) 10001： 131072[サンプル](-0.125dB/128ステップ) 10010： 262144[サンプル](-0.125dB/256ステップ) 10011： 524288[サンプル](-0.125dB/512ステップ) 10100： 1048576[サンプル](-0.125dB/1024ステップ) 10101： 2097152[サンプル](-0.125dB/2048ステップ) 10110： 4194304[サンプル](-0.125dB/4096ステップ) 10111： 8388608[サンプル](-0.125dB/8192ステップ) 11000~11111：リザーブ

37.3.38 DVU0_n Volume Ramp Decibel Register（VRDBR_DVU0_n ）(n=0,1,2,3)

VRDBR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、ボリュームランプのゲインレベル (デシベル単位) を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	VRDB									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9～0	VRDB	すべて0	R/W	ボリュームランプのデシベル値 ボリュームランプのデシベル値（ゲインレベル）を設定します。 0dBから-∞dBまで、0.125dB間隔で1024ポイントの設定が可能です。

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x000	1	0	……	……	……
……	……	……	0x091	0.125	-18.125
0x031	0.5	-6.125	……	……	……
……	……	……	0x3FE	$4.1x10^{-7}$	-127.75
0x061	0.25	-12.125	0x3FF	0(ミュート)	-∞

37.3.39 DVU0_n Volume Ramp Wait Time Register（VRWTR_DVU0_n ）(n=0,1,2,3)

VRWTR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、ボリュームランプ機能実行前の待ち時間を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VRWT							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VRWT															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VRWT	すべて0	R/W	ボリュームランプ待ち時間 VRDBR レジスタの設定が変更されたとき、ボリュームランプ機能の処理を開始するまでの待ち時間を設定します。DVU ロジックの内部カウンタが本ビットの設定値に到達すると、VRDBR レジスタの変更後の設定値をターゲットとして、ボリュームランプ機能が処理を開始します。

37.3.40 DVU0_n Volume Value Setting 0 Register（VOL0R_DVU0_n ）(n=0,1,2,3)

VOL0R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 0 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL0							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL0															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL0	すべて0	R/W	チャネル0デジタルボリューム値 チャネル0のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL0[23] ：符号ビット VOLVAL0[22:20] ：整数ビット VOLVAL0[19:0] ：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.41 DVU0_n Volume Value Setting 1 Register（VOL1R_DVU0_n ）(n=0,1,2,3)

VOL1R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 1 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL1							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL1															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL1	すべて0	R/W	チャネル1デジタルボリューム値 チャネル1のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL1[23] ：符号ビット VOLVAL1[22:20] ：整数ビット VOLVAL1[19:0] ：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.42 DVU0_n Volume Value Setting 2 Register（VOL2R_DVU0_n ）(n=0,1,2,3)

VOL2R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 2 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL2							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL2															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL2	すべて0	R/W	チャネル2デジタルボリューム値 チャネル2のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL2[23] ：符号ビット VOLVAL2[22:20] ：整数ビット VOLVAL2[19:0] ：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.43 DVU0_n Volume Value Setting 3 Register（VOL3R_DVU0_n ）(n=0,1,2,3)

VOL3R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 3 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL3							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL3															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL3	すべて0	R/W	チャネル3デジタルボリューム値 チャネル3のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL3[23] ：符号ビット VOLVAL3[22:20] ：整数ビット VOLVAL3[19:0] ：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.44 DVU0_n Volume Value Setting 4 Register（VOL4R_DVU0_n ）(n=0,1,2,3)

VOL4R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 4 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL4							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL4															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL4	すべて0	R/W	チャネル4デジタルボリューム値 チャネル4のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL4[23]　：符号ビット VOLVAL4[22:20]　：整数ビット VOLVAL4[19:0]　：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.45 DVU0_n Volume Value Setting 5 Register（VOL5R_DVU0_n ）(n=0,1,2,3)

VOL5R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 5 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL5							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL5															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL5	すべて0	R/W	チャネル5デジタルボリューム値 チャネル5のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL5[23]　：符号ビット VOLVAL5[22:20]　：整数ビット VOLVAL5[19:0]　：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.46 DVU0_n Volume Value Setting 6 Register（VOL6R_DVU0_n ）(n=0,1,2,3)

VOL6R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 6 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL6							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL6															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL6	すべて0	R/W	チャネル6デジタルボリューム値 チャネル6のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL6[23]　：符号ビット VOLVAL6[22:20]　：整数ビット VOLVAL6[19:0]　：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.47 DVU0_n Volume Value Setting 7 Register（VOL7R_DVU0_n ）(n=0,1,2,3)

VOL7R_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル 7 のデジタルボリューム値を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	VOLVAL7							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VOLVAL7															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～0	VOLVAL7	すべて0	R/W	チャネル7デジタルボリューム値 チャネル7のデジタルボリューム値を設定します。最大値は8倍（18dB）、最小値は0（-∞dB）です。 VOLVAL7[23]　：符号ビット VOLVAL7[22:20]　：整数ビット VOLVAL7[19:0]　：小数ビット

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x7F_FFFF	8	18	0x08_0000	0.5	-6
…	…	…	…	…	…
0x10_0000	1	0	0x00_0001	9.5×10^{-7}	-120
…	…	…	0x00_0000	0	-∞

37.3.48 DVU0_n Enable Register（DVUER_DVU0_n ）(n=0,1,2,3)

DVUER_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、DVU レジスタ設定の有効／無効を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	DVUEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DVUEN	0	R/W	DVU レジスタ設定有効 DVUのレジスタ（ZCMCR, VRCTR, VRPDR, VRDBR, VOL0R, VOL1R, VOL2R, VOL3R, VOL4R, VOL5R, VOL6R, VOL7R）の設定を制御します。 0：DVU レジスタ設定は無効 1：DVU レジスタ設定は有効

37.3.49 DVU0_n Status Register（DVUSR_DVU0_n ）(n=0,1,2,3)

DVUSR_DVU0_n は、32 ビットの読み出し可能なレジスタで、ゼロクロスミュート・ボリュームランプのステータスを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	ZSTS7	ZSTS6	ZSTS5	ZSTS4	ZSTS3	ZSTS2	ZSTS1	ZSTS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	VRSTS		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～24	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23	ZSTS7	0	R	チャネル7ゼロクロスミュート状態 チャネル7のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
22	ZSTS6	0	R	チャネル6ゼロクロスミュート状態 チャネル6のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
21	ZSTS5	0	R	チャネル5ゼロクロスミュート状態 チャネル5のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
20	ZSTS4	0	R	チャネル4ゼロクロスミュート状態 チャネル4のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
19	ZSTS3	0	R	チャネル3ゼロクロスミュート状態 チャネル3のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
18	ZSTS2	0	R	チャネル2ゼロクロスミュート状態 チャネル2のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
17	ZSTS1	0	R	チャネル1ゼロクロスミュート状態 チャネル1のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
16	ZSTS0	0	R	チャネル0ゼロクロスミュート状態 チャネル0のゼロクロスミュート状態を示します。 0：非ミュート状態 1：ミュート状態
15～3	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2～0	VRSTS	すべて0	R	ボリュームランプ状態 ボリュームランプ状態を示します。 000：ミュート状態 001：ボリュームランプダウン 010：ボリュームランプアップ 011：ボリュームランプのレベルはVRDBR レジスタの設定値の状態 100：入力データのボリュームを維持（ボリューム1倍） 101~111：リザーブ

37.3.50 DVU0_n Event Mask Register（VEVMR_DVU0_n ）(n=0,1,2,3)

VEVMR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、SCUDVIn 割込み要求の許可／禁止の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VEVMZCM7	VEVMZCM6	VEVMZCM5	VEVMZCM4	VEVMZCM3	VEVMZCM2	VEVMZCM1	VEVMZCM0	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VEVMVR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	VEVMZCM7	0	R/W	チャネル7ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM7ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
30	VEVMZCM6	0	R/W	チャネル6ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM6ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
29	VEVMZCM5	0	R/W	チャネル5ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM5ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
28	VEVMZCM4	0	R/W	チャネル4ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM4ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
27	VEVMZCM3	0	R/W	チャネル3ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM3ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
26	VEVMZCM2	0	R/W	チャネル2ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM2ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
25	VEVMZCM1	0	R/W	チャネル1ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM1ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
24	VEVMZCM0	0	R/W	チャネル0ゼロクロスミュート状態変化マスク VEVCR_DVU0_nレジスタのVEVCZCM0ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
23～16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
15	VEVMVR	0	R/W	ボリュームランプ状態変化マスク VEVCR_DVU0_n レジスタの VEVCVR ビットからの割り込み要求をマスクするかどうか設定します。 0：割り込み禁止 1：割り込み許可
14～0	-	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

37.3.51 DVU0_n Event Clear Register（VEVCR_DVU0_n ）(n=0,1,2,3)

VEVCR_DVU0_n は、32 ビットの読み出し／書き込み可能なレジスタで、SCUDVIn 割込み要求のクリアを行います。

割込みイベントが発生した際、本レジスタの対応するビットには自動的に 1 がセットされ、そのビットに 0 を書き込むまで 1 を保持します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	VEVCZCM7	VEVCZCM6	VEVCZCM5	VEVCZCM4	VEVCZCM3	VEVCZCM2	VEVCZCM1	VEVCZCM0	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)注	R/(W)注	R/(W)注	R/(W)注	R/(W)注	R/(W)注	R/(W)注	R/(W)注	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VEVCVR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)注	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31	VEVCZCM7	0	R/(W)注.	チャネル7ゼロクロスミュート状態変化クリア チャネル7ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
30	VEVCZCM6	0	R/(W)注.	チャネル6ゼロクロスミュート状態変化クリア チャネル6ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
29	VEVCZCM5	0	R/(W)注.	チャネル5ゼロクロスミュート状態変化クリア チャネル5ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
28	VEVCZCM4	0	R/(W)注.	チャネル4ゼロクロスミュート状態変化クリア チャネル4ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
27	VEVCZCM3	0	R/(W)注.	チャネル3ゼロクロスミュート状態変化クリア チャネル3ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
26	VEVCZCM2	0	R/(W)注.	チャネル2ゼロクロスミュート状態変化クリア チャネル2ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持

ビット	ビット名	初期値	R/W	説明
25	VEVCZCM1	0	R/(W)注.	チャネル1ゼロクロスミュート状態変化クリア チャネル1ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
24	VEVCZCM0	0	R/(W)注.	チャネル0ゼロクロスミュート状態変化クリア チャネル0ゼロクロスミュート状態変化が発生したかどうかを示す割り込みフラグです。ゼロクロスミュート状態が発生したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
23～16	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
15	VEVCVR	0	R/(W)注.	ボリュームランプ状態変化クリア ボリュームランプ状態変化が発生したかどうかを判定する割り込みフラグです。ミュート状態以外からミュート状態に遷移したとき、本ビットがセットされます。 0：フラグをクリア 1：フラグを保持
14～0	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注.　読み出し／書き込み可能。0を書き込むとビットは初期化されますが、1の書き込みは無視されます。
　　割込み要因のクリアを行うビットのみ0を書き込み、他のビットには1を書き込んでください。

37.3.52　MIX0_0 Initialization Register（MIXIR_MIX0_0 ）

MIXIR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、MIX 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	INIT
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	INIT	1	R/W	初期化 本ビットが1のとき、MIX内部回路が初期化されます。初期化を解除するときは本ビットに1がセットされている状態で0書き込みしてください。 0：処理中 1：初期化（他のレジスタの初期設定を実行）

37.3.53 MIX0_0 Audio Information Register（MADIR_MIX0_0 ）

MADIR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、チャネル数を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	CHNUM			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	CHNUM	すべて0	R/W	チャネル数 本ビットでチャネル数を設定します。 0000 ：ゼロ (無し) 0001 ：1 チャネル 0010 ：2 チャネル 0011 ：リザーブ 0100 ：4 チャネル 0101 ：リザーブ 0110 ：6 チャネル 0111 ：リザーブ 1000 ：8 チャネル 1001 ~ 1111 ：リザーブ

37.3.54 MIX0_0 Bypass Register（MIXBR_MIX0_0 ）

MIXBR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、バイパスモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BPSYS	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	BY PASS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～18	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17、16	BPSYS	すべて0	R/W	バイパスシステム選択 BYPASSビットが1のとき、MIXモジュールの出力する入力データを選択します。 00：システムAの入力データ 01：システムBの入力データ 10：システムCの入力データ 11：システムDの入力データ
15～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	BYPASS	0	R/W	バイパスモード 本ビットはMIX機能のデータ経路を制御します。 0：MIX機能を使用 入力データはMIXで処理され、その結果が出力データに接続されます。 1：MIX機能を未使用（バイパスモード） 入力データがBPSYSビットに従って出力データに接続されます。

37.3.55 MIX0_0 Mode Register（MIXMR_MIX0_0）

MIXMR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、MIX のモード選択を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MIX MODE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MIXMODE	0	R/W	MIXモード MIXモードを指定します。 0：Volume Step Mixerを選択 1：Volume Ramp Mixerを選択

37.3.56 MIX0_0 Volume Period Register（MVPDR_MIX0_0 ）

MVPDR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、ボリュームランプのランプ期間の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	MXPDUP				-	-	-	-	MXPDDW			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～12	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11～8	MXPDUP	0	R/W	ボリュームアップ期間 ボリュームアップ時、1サンプルあたりに変化するデシベル値を設定します。 MIXMR レジスタの MIXMODE ビットが1のとき、本設定が使われます。. 0000：128dB/1サンプル 0001：64dB/1サンプル 0010：32dB/1サンプル 0011：16dB/1サンプル 0100：8dB/1サンプル 0101：4dB/1サンプル 0110：2dB/1サンプル 0111：1dB/1サンプル 1000：0.5dB/1サンプル 1001：0.25dB/1サンプル 1010：0.125dB/1サンプル 1011~1111：リザーブ
7～4	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3～0	MXPDDW	0	R/W	ボリュームダウン期間 ボリュームダウン時、1サンプルあたりに変化するデシベル値を設定します。 MIXMR レジスタの MIXMODE ビットが1のとき、本設定が使われます。. 0000：-128dB/1サンプル 0001：-64dB/1サンプル 0010：-32dB/1サンプル 0011：-16dB/1サンプル 0100：-8dB/1サンプル 0101：-4dB/1サンプル 0110：-2dB/1サンプル 0111：-1dB/1サンプル 1000：-0.5dB/1サンプル 1001：-0.25dB/1サンプル 1010：-0.125dB/1サンプル 1011~1111：リザーブ

37.3.57　MIX0_0 Decibel A Register（MDBAR_MIX0_0 ）

MDBAR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、システム A のゲインレベル（デシベル単位）の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MIXDBA									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9～0	MIXDBA	すべて0	R/W	システムAデシベル ボリュームランプのデシベル値（ゲインレベル）を設定します。 0dBから-∞dB まで、0.125dB間隔で1024ポイントの設定が可能です。

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x000	1	0	……	……	……
…...	…...	…...	0x091	0.125	-18.125
0x031	0.5	-6.125	…...	……	……
…...	…...	…...	0x3FE	$4.1x10^{-7}$	-127.75
0x061	0.25	-12.125	0x3FF	0(ミュート)	-∞

37.3.58 MIX0_0 Decibel B Register（MDBBR_MIX0_0 ）

MDBBR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、システム B のゲインレベル (デシベル単位) の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MIXDBB									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9～0	MIXDBB	すべて0	R/W	システムBデシベル ボリュームランプのデシベル値（ゲインレベル）を設定します。 0dBから-∞dB まで、0.125dB間隔で1024ポイントの設定が可能です。

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x000	1	0	……	……	……
…...	…...	…...	0x091	0.125	-18.125
0x031	0.5	-6.125	…...	……	……
…...	…...	…...	0x3FE	$4.1x10^{-7}$	-127.75
0x061	0.25	-12.125	0x3FF	0(ミュート)	-∞

37.3.59 MIX0_0 Decibel C Register（MDBCR_MIX0_0 ）

MDBCR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、システム C のゲインレベル (デシベル単位) の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MIXDBC									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9～0	MIXDBC	すべて0	R/W	システムCデシベル ボリュームランプのデシベル値（ゲインレベル）を設定します。 0dBから-∞dB まで、0.125dB間隔で1024ポイントの設定が可能です。

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x000	1	0	……	……	……
…...	…...	…...	0x091	0.125	-18.125
0x031	0.5	-6.125	…...	……	……
…...	…...	…...	0x3FE	$4.1x10^{-7}$	-127.75
0x061	0.25	-12.125	0x3FF	0(ミュート)	-∞

37.3.60 MIX0_0 Decibel D Register（MDBDR_MIX0_0 ）

MDBDR_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、システム D のゲインレベル (デシベル単位) の設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	MIXDBD									
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～10	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9～0	MIXDBD	すべて0	R/W	システムDデシベル ボリュームランプのデシベル値（ゲインレベル）を設定します。 0dBから-∞dB まで、0.125dB間隔で1024ポイントの設定が可能です。

設定値	[ゲイン]	[dB]	設定値	[ゲイン]	[dB]
0x000	1	0	……	……	……
…...	…...	…...	0x091	0.125	-18.125
0x031	0.5	-6.125	…...	……	……
…...	…...	…...	0x3FE	$4.1x10^{-7}$	-127.75
0x061	0.25	-12.125	0x3FF	0(ミュート)	-∞

37.3.61 MIX0_0 Decibel Enable Register（MDBER_MIX0_0 ）

MDBER_MIX0_0 は、32 ビットの読み出し／書き込み可能なレジスタで、MIX Decibel Register 設定値の有効／無効を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MIXDBEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	MIXDBEN	0	R/W	MIXデシベル有効 MDBAR, MDBBR, MDBCR MDBDR レジスタで設定したデシベル値を制御します。 0：デシベル設定は無効 1：デシベル設定は有効

37.3.62 MIX0_0 Status Register（MIXSR_MIX0_0 ）

MIXSR_MIX0_0 は、32 ビットの読み出し可能なレジスタで、MIX のステータスを示します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	MIXSTS	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
31～2	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1～0	MIXSTS	すべて0	R	MIX状態 ランプ処理の状態を示します。 00：ランプ処理は不変 01：ランプダウン 10：ランプアップ

37.3.63 Software Reset Register（SWRSR_CIM ）

SWRSR_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、SCUX 内部回路の初期化を実行します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	SWRST
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
31～1	-	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	SWRST	1	R/W	ソフトウェアリセット 本ビットが0の間、本モジュールの内部回路はリセット状態になります。本レジスタを除くレジスタは初期化されます。そのため、それらのレジスタはリセット解除後に再設定する必要があります。 0：本モジュールはリセット状態 1：本モジュールは動作状態

37.3.64 DMA Control Register（DMACR_CIM ）

DMACR_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、DMA 実行を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	DMAMDFFU3	DMAMDFFU2	DMAMDFFU1	DMAMDFFU0	DMAMDFFD3	DMAMDFFD2	DMAMDFFD1	DMAMDFFD0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～24	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
23～16	―	全て0	R/W	リザーブビット 常に0を書き込んでください。
15～8	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
7	DMAMDFFU3	0	R/W	FFU0_3 DMA モード 0：DMATD3_CIMへのDMA転送を禁止します。 1：DMATD3_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(UEVMR_FFU0_3.UEVMRQは0を設定してください)
6	DMAMDFFU2	0	R/W	FFU0_2 DMA モード 0：DMATD2_CIMへのDMA転送を禁止します。 1：DMATD2_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(UEVMR_FFU0_2.UEVMRQは0を設定してください)
5	DMAMDFFU1	0	R/W	FFU0_1 DMA モード 0：DMATD1_CIMへのDMA転送を禁止します。 1：DMATD1_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(UEVMR_FFU0_1.UEVMRQは0を設定してください)
4	DMAMDFFU0	0	R/W	FFU0_0 DMA モード 0：DMATD0_CIMへのDMA転送を禁止します。 1：DMATD0_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(UEVMR_FFU0_0.UEVMRQは0を設定してください)
3	DMAMDFFD3	0	R/W	FFD0_3 DMA モード 0：DMATD3_CIMへのDMA転送を禁止します。 1：DMATD3_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(DEVMR_FFD0_3.DEVMRQは0を設定してください)
2	DMAMDFFD2	0	R/W	FFD0_2 DMA モード 0：DMATD2_CIMへのDMA転送を禁止します。 1：DMATD2_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(DEVMR_FFD0_2.DEVMRQは0を設定してください)
1	DMAMDFFD1	0	R/W	FFD0_1 DMA モード 0：DMATD1_CIMへのDMA転送を禁止します。 1：DMATD1_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(DEVMR_FFD0_1.DEVMRQは0を設定してください)
0	DMAMDFFD0	0	R/W	FFD0_0 DMA モード 0：DMATD0_CIMへのDMA転送を禁止します。 1：DMATD0_CIMへのDMA転送を許可します。 注.　DMA転送を許可した場合、割込みコントローラへのパケット要求は禁止してください。(DEVMR_FFD0_0.DEVMRQは0を設定してください)

37.3.65　DMA Transfer Register for FFD0_n（DMATDn_CIM ）(n=0,1,2,3)

DMATDn_CIM は、32 ビットのレジスタで、FFD0_n へ送信するデータを格納します。DMATDn_CIM へ書き込まれたデータは自動的に FFD0_n に格納されます。FFD0_n は、FFD0_n 内の空きデータ数が DRQSR_FFD0_n.SIZE で設定した値以上になると、データ転送要求を行います。DMA コントローラ使用時 (DMACR_CIM.DMAMDFFDn=1) は DRQSR_FFD0_n.SIZE で設定した値の回数分の転送要求が DMA コントローラに対して行われます。割込みコントローラ使用時 (DEVMR_FFD0_n.DEVMRQ=1) は、DRQSR_FFD0_n.SIZE で設定した値の回数分、本レジスタにデータを書き込んでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

SCUX 内部ブロックではオーディオデータは 24 ビット幅のビックエンディアンフォーマットで取り扱われます。

本レジスタに 32bit アクセスを行った場合、**図 37.2** のように下位 8bit は使用されず、上位 24bit が使用されます。SCUX を 16bit モードで使用する場合は、有効データはオーディオデータの MSB に配置する必要があるため、本レジスタに 16bit アクセスを行うと、書き込まれたデータをオーディオデータの上位 16bit に配置し、下位 8bit は CIM 部で 0 に固定します。SCUX を 16bit モードで使用し、本レジスタに 32bit アクセスする場合、書き込むデータの bit[15:8] はそのまま FFD 部に渡されることになりますので、bit[15:8] は全て 0 で書き込むようにしてください。

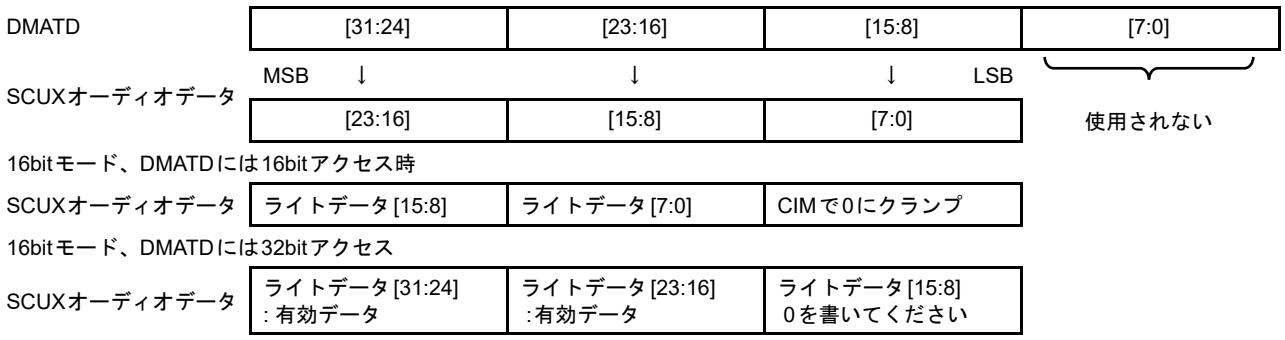


図 37.2　DMATDn_CIM のデータアライメント

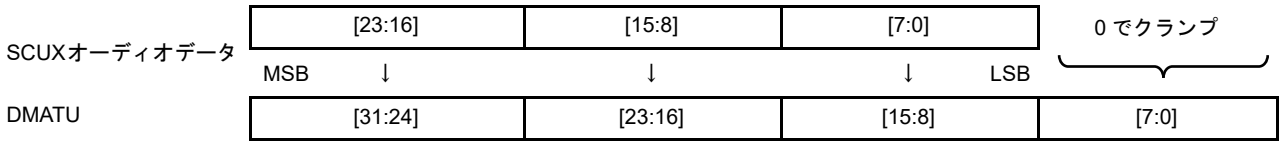
37.3.66 DMA Transfer Register for FFU0_n（DMATUn_CIM ）(n=0,1,2,3)

DMATUn_CIM は、32 ビットのレジスタで、FFU0_n から受信したデータを格納します。DMATUn_CIM からデータを読み出すと、次のデータが自動的に FFU0_n から転送されます。FFU0_n は、FFU0_n 内のデータ数が URQSR_FFU0_n.SIZE で設定した値以上になると、データ転送要求を行います。DMA コントローラ使用時 (DMACR_CIM.DMAMDFFUn=1) は URQSR_FFU0_n.SIZE で設定した値の回数分の転送要求が DMA コントローラに対して行われます。割込みコントローラ使用時 (UEVMR_FFU0_n.UEVMRQ =1) は、URQSR_FFU0_n.SIZE で設定した値の回数分、本レジスタからデータを読み出してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
初期値：	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

本レジスタに 32bit アクセスを行った場合は、図 37.3 のように、オーディオデータは上位 24bit に配置され、下位 8bit は常に 0 が読まれます。本レジスタに 16bit アクセスを行った場合は、オーディオデータの上位 16bit が有効データとして読まれます。SCUX を 16bit モードで使用し、本レジスタに 32bit アクセスする場合は、下位 8bit は常に 0 が読まれますが、リードデータの bit[15:8] は SRC 内部での演算結果に依存した値が読まれます。



16bitモード、DMATUには16bitアクセス時

リードデータ [15:0]	オーディオデータ [23:16]	オーディオデータ [15:8]

16bitモード、DMATUには32bitアクセス

リードデータ [31:0]	オーディオデータ [23:16]	オーディオデータ [15:8]	演算結果に依存（注1）	全て0

注1.　SRC内部での演算結果が0x7FFFFFの場合(全て1、それ以外の場合は全て0
16bitモードで使用時も演算は24bitで行われます。

図 37.3　DMATUn_CIM のデータアライメント

37.3.67　SSI ルート選択レジスタ（SSIRSEL_CIM ）

SSIRSEL_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、SSIF モジュールとダイレクト転送を選択した際に、各 SRC と接続する SSIF チャネルを選択します。FFD、FFU モジュールとの経路を選択した際にはこのレジスタの設定は意味を持ちません。SSIF/FFD,FFU との接続の選択は IPSLR_IPC0_n, OPSLR_OPC0_n レジスタ、DVU の使用 / 未使用の設定は DVUBR_DVU0_n レジスタで行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SISEL3		SISEL2		SISEL1		SISEL0		-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	SOSEL3		-	-	SOSEL2		-	-	SOSEL1		-	-	SOSEL0	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31、30	SISEL3	00	R/W	SRC3 SSIF 入力セレクト SRC3の入力経路の選択をします。 00：SSIF2からの入力を使用します。 01, 10,11：設定禁止 注.　IPSLR_IPC0_3 レジスタで FFD モジュールからの経路を選択した場合、このビットの設定は意味を持ちません。
29、28	SISEL2	00	R/W	SRC2 SSIF 入力セレクト SRC2の入力経路の選択をします。 00：SSIF1からの入力を使用します。 01, 10,11：設定禁止 注.　IPSLR_IPC0_2 レジスタで FFD モジュールからの経路を選択した場合、このビットの設定は意味を持ちません。
27、26	SISEL1	00	R/W	SRC1 SSIF 入力セレクト SRC1の入力経路の選択をします。 00：SSIF3からの入力を使用します。 01, 10,11：設定禁止 注.　IPSLR_IPC0_1 レジスタで FFD モジュールからの経路を選択した場合、このビットの設定は意味を持ちません。
25、24	SISEL0	00	R/W	SRC0 SSIF 入力セレクト SRC0の入力経路の選択をします。 00：SSIF0からの入力を使用します。 01：SSIF012からの入力を使用します。* 10,11：設定禁止 注.　IPSLR_IPC0_0 レジスタで FFD モジュールからの経路を選択した場合、このビットの設定は意味を持ちません。 *　SSIPMD_CIM の SSI1PMD,SSI2PMD がともに 01、または、SSI1PMD,SSI2PMD がともに 10 の場合のみ、01 の設定が可能です。
23、22	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
21、20	―	すべて 0	R/W	リザーブビット 書き込む値は常に 0 にしてください。
19、18	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17、16	―	すべて 0	R/W	リザーブビット 書き込む値は常に 0 にしてください。
15、14	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット	ビット名	初期値	R/W	説明
13、12	SOSEL3	00	R/W	SSIF3出力セレクト SSIF3への出力経路の選択をします。 00：SRC1(DVU0_1)からの出力を使用します。(注1) 01：SRC0(DVU0_0)からの出力を使用します。(注2) 10：MIXからの出力を使用します。 11：設定禁止。 注1. OPSLR_OPC0_1レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注2. OPSLR_OPC0_0レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。
11、10	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
9、8	SOSEL2	00	R/W	SSIF2出力セレクト SSIF2への出力経路の選択をします。 00：SRC3(DVU0_3)からの出力を使用します。(注1) 01：SRC0(DVU0_0)からの出力を使用します。(注2、注4) 10：SRC1(DVU0_1)からの出力を使用します。(注3、注4) 11：MIXからの出力を使用します。(注4) 注1. OPSLR_OPC0_3レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注2. OPSLR_OPC0_0レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注3. OPSLR_OPC0_1レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注4. SSIPMD_CIM.SSI012EN=1 の場合のみ有効です。
7、6	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5、4	SOSEL1	00	R/W	SSIF1出力セレクト SSIF1への出力経路の選択をします。 00：SRC2(DVU0_2)からの出力を使用します。(注1) 01：SRC0(DVU0_0)からの出力を使用します。(注2、注4) 10：SRC1(DVU0_1)からの出力を使用します。(注3、注4) 11：MIXからの出力を使用します。(注4) 注1. OPSLR_OPC0_2レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注2. OPSLR_OPC0_0レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注3. OPSLR_OPC0_1レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注4. SSIPMD_CIM.SSI012EN=1 の場合のみ有効です。
3、2	－	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	SOSEL0	00	R/W	SSIF0出力セレクト SSIF0への出力経路の選択をします。 00：SRC0(DVU0_0)からの出力を使用します。(注1) 01：SRC1(DVU0_1)からの出力を使用します。(注2) 10：MIXからの出力を使用します。 11：設定禁止。 注1. OPSLR_OPC0_0レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。 注2. OPSLR_OPC0_1レジスタでFFUモジュールへの経路を選択した場合、このビットの設定は意味を持ちません。

37.3.68　FFD0_n タイミング選択レジスタ（FDTSELn_CIM）(n=0,1,2,3)

FDTSELn_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、非同期モード選択時に SRCn (n=0,1,2,3) で使用する入力タイミング信号を選択します。FFD モジュールとの経路を選択した場合のみ本レジスタの設定が使用されます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	SCKDIV										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DIVEN	-	-	-	MTU SEL	SCKSEL			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～27	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26～16	SCKDIV	すべて0	R/W	分周率 SCKSELで指定した入力クロックを何分周してタイミング信号を生成するかを指定します。 注.　ビット16には常に0を書き込んでください。 (1を書き込んでも無視されます) すべて0を指定した場合は1分周になります。 分周されるのはSCKSEL[3]=0 で選択される入力クロックのみです。 SCKSEL[3]=1で選択されるWS信号は分周されません。 本ビットは必ずDIVEN=0の状態で変更してください。
15～9	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	DIVEN	0	R/W	分周イネーブル 本ビットに1が書き込まれた時点から分周を開始します。 1：分周を開始します。 0：0が出力されます
7～5	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	MTUSEL	0	R/W	MTU選択 SCKSEL:0101で選択されるクロックをマルチファンクションタイマパルスユニット2の出力より選択します。 0：TIOC3Aを使用します。 1：TIOC4Aを使用します。
3～0	SCKSEL	すべて0	R/W	クロック選択 タイミング信号生成に使用するクロックを選択します。 0000：AUDIO_CLKを使用します。 0001：AUDIO_X1入力を使用します。 0010：MLB_CLKを使用します。 0011：USB_X1を使用します。 0100：周辺クロック1（P1Φ)の2分周を使用します。 0101：MTUSELで選択した信号を使用します。 0110～0111：設定禁止 1000：SSIF0のWS信号を使用します。 1001：SSIF1のWS信号を使用します。 1010：SSIF2のWS信号を使用します。 1011：SSIF3のWS信号を使用します。 1100～1111：設定禁止 注.　本ビットは必ずDIVEN=0の状態で変更してください。

入力タイミング信号選択部は**図 37.4** の構成をとります。

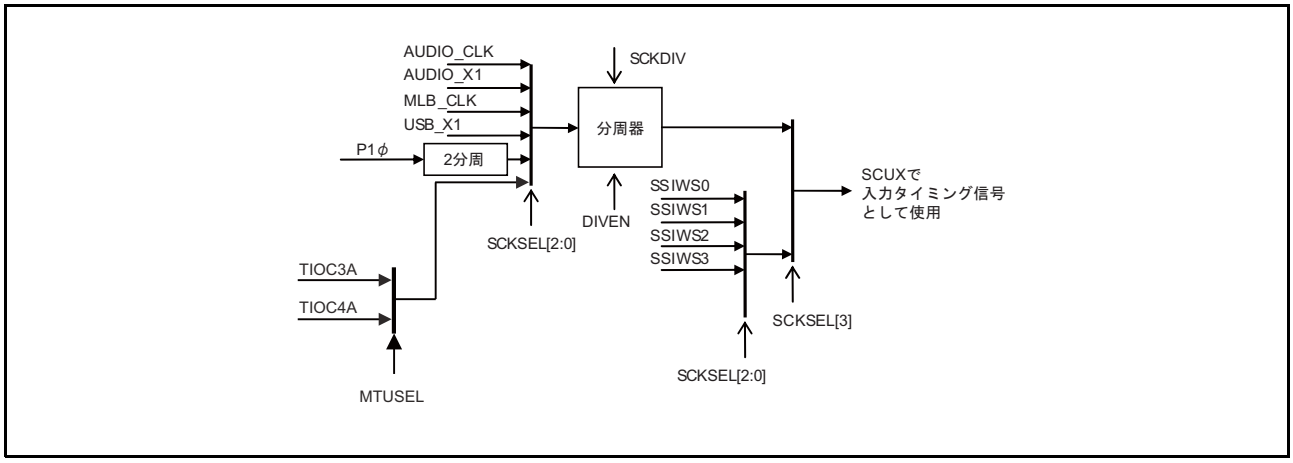


図 37.4　入力タイミング信号選択部構成図

37.3.69　FFU0_n タイミング選択レジスタ（FUTSELn_CIM）(n=0,1,2,3)

FUTSELn_CIM は、32 ビットの書き込み可能なレジスタで、非同期モード選択時に SRCn (n=0,1,2,3) で使用する出力タイミング信号を選択します。FFU モジュールとの経路を選択した場合と、MIX への出力を選択した場合に本レジスタの設定を使用します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	SCKDIV										
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	-	-	-	-	-	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	DIVEN	-	-	-	MTU SEL	SCKSEL			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	-	-	-	-	-	-	-	W	-	-	-	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
31～27	―	すべて0	―	リザーブビット 書き込む値は常に0にしてください。
26～16	SCKDIV	すべて0	W	分周率 SCKSELで指定した入力クロックを何分周してタイミング信号を生成するかを指定します。 注.　ビット16には常に0を書き込んでください。 (1を書き込んでも無視されます) すべて0を指定した場合は1分周になります。 分周されるのはSCKSEL[3]=0 で選択される入力クロックのみです。 SCKSEL[3]=1で選択されるWS信号は分周されません。 本ビットは必ずDIVEN=0の状態で変更してください。
15～9	―	すべて0	―	リザーブビット 書き込む値は常に0にしてください。
8	DIVEN	0	W	分周イネーブル 本ビットに1が書き込まれた時点から分周を開始します。 1：分周を開始します。 0：0が出力されます。
7～5	―	すべて0	―	リザーブビット 書き込む値は常に0にしてください。
4	MTUSEL	0	W	MTU選択 SCKSEL:0101で選択されるクロックをマルチファンクションタイマパルスユニット2の出力より選択します。 0：TIOC3Aを使用します。 1：TIOC4Aを使用します。
3～0	SCKSEL	すべて0	W	クロック選択 タイミング信号生成に使用するクロックを選択します。 0000：AUDIO_CLKを使用します。 0001：AUDIO_X1入力を使用します。 0010：MLB_CLKを使用します。 0011：USB_X1を使用します。 0100：周辺クロック1（P1Φ)の2分周を使用します。 0101：MTUSELで選択した信号を使用します。 0110～0111：設定禁止 1000：SSIF0のWS信号を使用します。 1001：SSIF1のWS信号を使用します。 1010：SSIF2のWS信号を使用します。 1011：SSIF3のWS信号を使用します。 1100～1111：設定禁止 注.　本ビットは必ずDIVEN=0の状態で変更してください。

出力タイミング信号選択部は**図 37.5** の構成をとります。

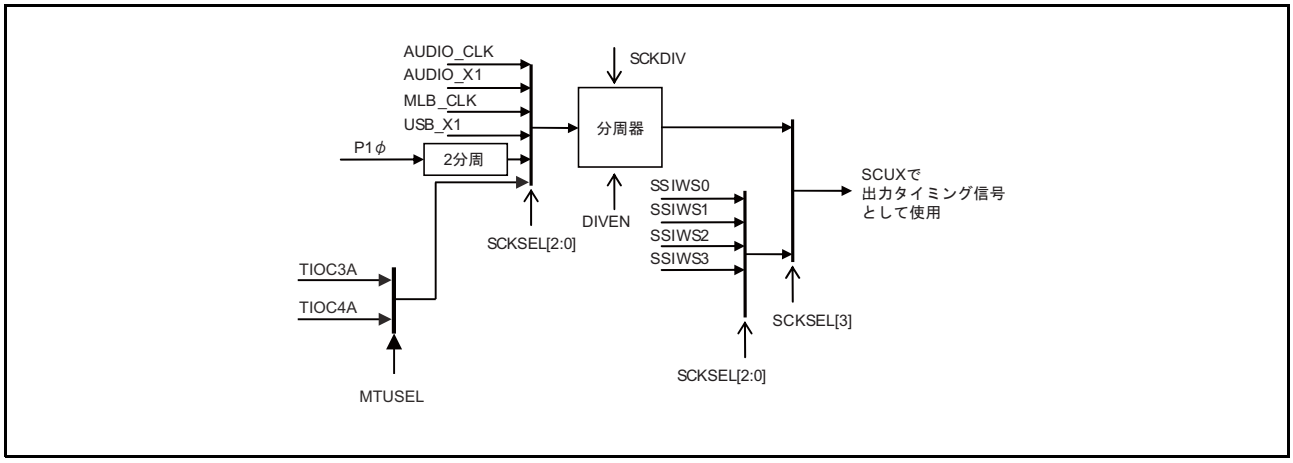


図 37.5　出力タイミング信号選択部構成図

37.3.70　SSI ピンモードレジスタ（SSIPMD_CIM）

SSIPMD_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、SSIF のピンモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	SSI3 CKS	SSI2 CKS	SSI1 CKS	SSI0 CKS
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SSI3PMD		-	-	-	-	-	-	-	-	-	SSI 012EN	SSI2PMD		SSI1PMD	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31～22	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
21、20	―	すべて0	R/W	リザーブビット 書き込む値は常に0にしてください。
19	SSI3CKS	0	R/W	SSIF3クロック選択 SSIF3モジュールのAUDIO_CLK端子に繋ぐクロックを選択します。 0：AUDIO_CLK入力を選択します。 1：MLB_CLK入力を選択します。 注.　SSIF3のオーバサンプルクロックとして、AUDIO_CLKまたはMLB_CLKを選択する場合は、SSIF3モジュールのSSICR3.CKS=1も設定してください。
18	SSI2CKS	0	R/W	SSIF2クロック選択 SSIF2モジュールのAUDIO_CLK端子に繋ぐクロックを選択します。 0：AUDIO_CLK入力を選択します。 1：MLB_CLK入力を選択します。 注.　SSIF2のオーバサンプルクロックとして、AUDIO_CLKまたはMLB_CLKを選択する場合は、SSIF2モジュールのSSICR2.CKS=1も設定してください。
17	SSI1CKS	0	R/W	SSIF1クロック選択 SSIF1モジュールのAUDIO_CLK端子に繋ぐクロックを選択します。 0：AUDIO_CLK入力を選択します。 1：MLB_CLK入力を選択します。 注.　SSIF1のオーバサンプルクロックとして、AUDIO_CLKまたはMLB_CLKを選択する場合は、SSIF1モジュールのSSICR1.CKS=1も設定してください。
16	SSI0CKS	0	R/W	SSIF0クロック選択 SSIF0モジュールのAUDIO_CLK端子に繋ぐクロックを選択します。 0：AUDIO_CLK入力を選択します。 1：MLB_CLK入力を選択します。 注.　SSIF0のオーバサンプルクロックとして、AUDIO_CLKまたはMLB_CLKを選択する場合は、SSIF0モジュールのSSICR0.CKS=1も設定してください。
15、14	SSI3PMD	00	R/W	SSIF3ピンモード SSISCK3、SSIWS3の端子の接続を選択します。 00：独立して使用します。 01：SSIF0の端子を共通で使用します。SSIF0,SSIF3ともにスレーブです。 10：SSIF0の端子を共通で使用します。SSIF0がマスタ、SSIF3はスレーブです。 11：設定禁止
13	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
12～8	―	すべて0	R/W	リザーブビット 書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
7～5	ー	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	SSI012EN	0	R/W	SSIF012イネーブル 送信時、SSIF0,SSIF1,SSIF2の3モジュールを使用して6chとして扱うかどうかを選択します。 0：6chとして使用しません。 1：6chとして使用します。 注. SSI1PMD,SSI2PMDがともに01、または、SSI1PMD,SSI2PMDがともに10の場合のみ、1の設定が可能です。 受信時の6ch使用設定は、SSIRSEL_CIM.SISEL0で行います。
3、2	SSI2PMD	00	R/W	SSIF2ピンモード SSISCK2、SSIWS2の端子の接続を選択します。 00：独立して使用します。 01：SSIF0の端子を共通で使用します。SSIF0,SSIF2ともにスレーブです。 10：SSIF0の端子を共通で使用します。SSIF0がマスタ、SSIF2はスレーブです。 11：設定禁止
1、0	SSI1PMD	00	R/W	SSIF1ピンモード SSISCK1、SSIWS1の端子の接続を選択します。 00：独立して使用します。 01：SSIF0の端子を共通で使用します。SSIF0,SSIF1ともにスレーブです。 10：SSIF0の端子を共通で使用します。SSIF0がマスタ、SSIF1はスレーブです。 11：設定禁止

37.3.71　SSI コントロールレジスタ（SSICTRL_CIM ）

SSIPCTRL_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、SSIF モジュールとの接続、および SSIF モジュールの起動 / 停止を制御します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	SSI3TX	-	-	-	SSI3RX	-	-	-	-	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	-	W	W	W	-	W	W	W	-	-	-	-	-	-	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	SSI0TX	SSI1TX	SSI2TX	-	SSI0RX	SSI1RX	SSI2RX	-	-	-	-	-	-	SSI 012TEN	SSI 012REN
初期値：	0	0	0	0	0	0	0	-	0	0	0	0	0	0	0	0
R/W：	-	W	W	W	-	W	W	W	-	-	-	-	-	-	W	W

ビット	ビット名	初期値	R/W	説明
31	—	0	—	リザーブビット 書き込む値は常に0にしてください。
30	SSI3TX	0	W	SSIF3 ダイレクト送信 0：SSIF3へのダイレクト送信不可 1：SSIF3へのダイレクト送信可
29、28	—	すべて0	W	リザーブビット 書き込む値は常に0にしてください。
27	—	0	—	リザーブビット 書き込む値は常に0にしてください。
26	SSI3RX	0	W	SSIF3 ダイレクト受信 0：SSIF3からのダイレクト受信不可 1：SSIF3からのダイレクト受信可
25、24	—	すべて0	W	リザーブビット 書き込む値は常に0にしてください。
23～18	—	すべて0	—	リザーブビット 書き込む値は常に0にしてください。
17、16	—	すべて0	W	リザーブビット 書き込む値は常に0にしてください。
15	—	0	—	リザーブビット 書き込む値は常に0にしてください。
14	SSI0TX	0	W	SSIF0 ダイレクト送信 0：SSIF0へのダイレクト送信不可 1：SSIF0へのダイレクト送信可
13	SSI1TX	0	W	SSIF1 ダイレクト送信 0：SSIF1へのダイレクト送信不可 1：SSIF1へのダイレクト送信可
12	SSI2TX	0	W	SSIF2 ダイレクト送信 0：SSIF2へのダイレクト送信不可 1：SSIF2へのダイレクト送信可
11	—	0	—	リザーブビット 書き込む値は常に0にしてください。
10	SSI0RX	0	W	SSIF0 ダイレクト受信 0：SSIF0からのダイレクト受信不可 1：SSIF0からのダイレクト受信可
9	SSI1RX	0	W	SSIF1 ダイレクト受信 0：SSIF1からのダイレクト受信不可 1：SSIF1からのダイレクト受信可
8	SSI2RX	0	W	SSIF2 ダイレクト受信 0：SSIF2からのダイレクト受信不可 1：SSIF2からのダイレクト受信可

ビット	ビット名	初期値	R/W	説明
7～2	－	すべて0	－	リザーブビット 書き込む値は常に0にしてください。
1	SSI012TEN	0	W	SSIF012送信イネーブル SSIF0,SSIF1,SSIF2の3モジュールに対して、送信開始と送信停止を同時に行うことができます。 0 ：SSIF0、SSIF1、SSIF2 送信停止 1 ：SSIF0、SSIF1、SSIF2 送信開始 注. 本機能はSSIPMD_CIM.SSI012EN=1の場合のみ使用してください。SSIPMD_CIM.SSI012EN=0の場合は各SSIFモジュールのSSICRn.TENにて制御してください。 SSIF0/SSIF1/SSIF2 へダイレクト送信を行う場合は必ず0を設定してください。
0	SSI012REN	0	W	SSIF012受信イネーブル SSIF0,SSIF1,SSIF2の3モジュールに対して、受信開始と受信停止を同時に行うことができます。 0：SSIF0、SSIF1、SSIF2 受信停止 1：SSIF0、SSIF1、SSIF2 受信開始 注. 本機能はSSIRSEL_CIM.SISEL0=01の場合のみ使用してください。SSIRSEL_CIM.SISEL0=00の場合は各SSIFモジュールのSSICRn.RENにて制御してください。SSIF0/SSIF1/SSIF2 からダイレクト受信を行う場合は必ず0を設定してください。

37.3.72　SRCn ルート選択レジスタ（SRCRSELn_CIM ）(n=0,1,2,3)

SRCRSEL_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、SRC へ入力するデータの経路を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	PLACE7			-	PLACE6			-	PLACE5			-	PLACE4		
初期値：	0	1	1	1	0	1	1	0	0	1	0	1	0	1	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PLACE3			-	PLACE2			-	PLACE1			-	PLACE0		
初期値：	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30～28	PLACE7	111	R/W	場所7 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所7に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所7に出します。 001：入力側の場所1のデータを、出力側の場所7に出します。 010：入力側の場所2のデータを、出力側の場所7に出します。 011：入力側の場所3のデータを、出力側の場所7に出します。 100：入力側の場所4のデータを、出力側の場所7に出します。 101：入力側の場所5のデータを、出力側の場所7に出します。 110：入力側の場所6のデータを、出力側の場所7に出します。 111：入力側の場所7のデータを、出力側の場所7に出します。 注.　8chの設定場合に使用します。6ch以下の設定の場合は、初期値と同じ値を設定してください。
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26～24	PLACE6	110	R/W	場所6 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所6に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所6に出します。 001：入力側の場所1のデータを、出力側の場所6に出します。 010：入力側の場所2のデータを、出力側の場所6に出します。 011：入力側の場所3のデータを、出力側の場所6に出します。 100：入力側の場所4のデータを、出力側の場所6に出します。 101：入力側の場所5のデータを、出力側の場所6に出します。 110：入力側の場所6のデータを、出力側の場所6に出します。 111：入力側の場所7のデータを、出力側の場所6に出します。 注.　8chの設定場合に使用します。6ch以下の設定の場合は、初期値と同じ値を設定してください。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22～20	PLACE5	101	R/W	場所5 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所5に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所5に出します。 001：入力側の場所1のデータを、出力側の場所5に出します。 010：入力側の場所2のデータを、出力側の場所5に出します。 011：入力側の場所3のデータを、出力側の場所5に出します。 100：入力側の場所4のデータを、出力側の場所5に出します。 101：入力側の場所5のデータを、出力側の場所5に出します。 110：入力側の場所6のデータを、出力側の場所5に出します。 111：入力側の場所7のデータを、出力側の場所5に出します。 注.　6ch以上の設定場合に使用します。4ch以下の設定の場合は、初期値と同じ値を設定してください。

ビット	ビット名	初期値	R/W	説明
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18～16	PLACE4	100	R/W	場所4 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所4に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所4に出します。 001：入力側の場所1のデータを、出力側の場所4に出します。 010：入力側の場所2のデータを、出力側の場所4に出します。 011：入力側の場所3のデータを、出力側の場所4に出します。 100：入力側の場所4のデータを、出力側の場所4に出します。 101：入力側の場所5のデータを、出力側の場所4に出します。 110：入力側の場所6のデータを、出力側の場所4に出します。 111：入力側の場所7のデータを、出力側の場所4に出します。 注．　6ch以上の設定場合に使用します。4ch以下の設定の場合は、初期値と同じ値を設定してください。
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14～12	PLACE3	011	R/W	場所3 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所3に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所3に出します。 001：入力側の場所1のデータを、出力側の場所3に出します。 010：入力側の場所2のデータを、出力側の場所3に出します。 011：入力側の場所3のデータを、出力側の場所3に出します。 100：入力側の場所4のデータを、出力側の場所3に出します。 101：入力側の場所5のデータを、出力側の場所3に出します。 110：入力側の場所6のデータを、出力側の場所3に出します。 111：入力側の場所7のデータを、出力側の場所3に出します。 注．　4ch以上の設定場合に使用します。2ch以下の設定の場合は、初期値と同じ値を設定してください。
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10～8	PLACE2	010	R/W	場所2 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所2に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所2に出します。 001：入力側の場所1のデータを、出力側の場所2に出します。 010：入力側の場所2のデータを、出力側の場所2に出します。 011：入力側の場所3のデータを、出力側の場所2に出します。 100：入力側の場所4のデータを、出力側の場所2に出します。 101：入力側の場所5のデータを、出力側の場所2に出します。 110：入力側の場所6のデータを、出力側の場所2に出します。 111：入力側の場所7のデータを、出力側の場所2に出します。 注．　4ch以上の設定場合に使用します。2ch以下の設定の場合は、初期値と同じ値を設定してください。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6～4	PLACE1	001	R/W	場所1 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所1に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所1に出します。 001：入力側の場所1のデータを、出力側の場所1に出します。 010：入力側の場所2のデータを、出力側の場所1に出します。 011：入力側の場所3のデータを、出力側の場所1に出します。 100：入力側の場所4のデータを、出力側の場所1に出します。 101：入力側の場所5のデータを、出力側の場所1に出します。 110：入力側の場所6のデータを、出力側の場所1に出します。 111：入力側の場所7のデータを、出力側の場所1に出します。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2～0	PLACE0	000	R/W	場所0 ストリームデータの並び替えをSRCに入力する前に行います。 出力側の場所0に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所0に出します。 001：入力側の場所1のデータを、出力側の場所0に出します。 010：入力側の場所2のデータを、出力側の場所0に出します。 011：入力側の場所3のデータを、出力側の場所0に出します。 100：入力側の場所4のデータを、出力側の場所0に出します。 101：入力側の場所5のデータを、出力側の場所0に出します。 110：入力側の場所6のデータを、出力側の場所0に出します。 111：入力側の場所7のデータを、出力側の場所0に出します。

37.3.73　MIX ルート選択レジスタ（MIXRSEL_CIM ）

MIXRSEL_CIM は、32 ビットの読み出し／書き込み可能なレジスタで、MIX から出力されたデータの経路を設定します。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	PLACE7			-	PLACE6			-	PLACE5			-	PLACE4		
初期値：	0	1	1	1	0	1	1	0	0	1	0	1	0	1	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	PLACE3			-	PLACE2			-	PLACE1			-	PLACE0		
初期値：	0	0	1	1	0	0	1	0	0	0	0	1	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
30～28	PLACE7	111	R/W	場所7 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所7に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所7に出します。 001：入力側の場所1のデータを、出力側の場所7に出します。 010：入力側の場所2のデータを、出力側の場所7に出します。 011：入力側の場所3のデータを、出力側の場所7に出します。 100：入力側の場所4のデータを、出力側の場所7に出します。 101：入力側の場所5のデータを、出力側の場所7に出します。 110：入力側の場所6のデータを、出力側の場所7に出します。 111：入力側の場所7のデータを、出力側の場所7に出します。 注.　8chの設定場合に使用します。6ch以下の設定の場合は、初期値と同じ値を設定してください。
27	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26～24	PLACE6	110	R/W	場所6 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所6に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所6に出します。 001：入力側の場所1のデータを、出力側の場所6に出します。 010：入力側の場所2のデータを、出力側の場所6に出します。 011：入力側の場所3のデータを、出力側の場所6に出します。 100：入力側の場所4のデータを、出力側の場所6に出します。 101：入力側の場所5のデータを、出力側の場所6に出します。 110：入力側の場所6のデータを、出力側の場所6に出します。 111：入力側の場所7のデータを、出力側の場所6に出します。 注.　8chの設定場合に使用します。6ch以下の設定の場合は、初期値と同じ値を設定してください。
23	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
22～20	PLACE5	101	R/W	場所5 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所5に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所5に出します。 001：入力側の場所1のデータを、出力側の場所5に出します。 010：入力側の場所2のデータを、出力側の場所5に出します。 011：入力側の場所3のデータを、出力側の場所5に出します。 100：入力側の場所4のデータを、出力側の場所5に出します。 101：入力側の場所5のデータを、出力側の場所5に出します。 110：入力側の場所6のデータを、出力側の場所5に出します。 111：入力側の場所7のデータを、出力側の場所5に出します。 注.　6ch以上の設定場合に使用します。4ch以下の設定の場合は、初期値と同じ値を設定してください。

ビット	ビット名	初期値	R/W	説明
19	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
18～16	PLACE4	100	R/W	場所4 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所4に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所4に出します。 001：入力側の場所1のデータを、出力側の場所4に出します。 010：入力側の場所2のデータを、出力側の場所4に出します。 011：入力側の場所3のデータを、出力側の場所4に出します。 100：入力側の場所4のデータを、出力側の場所4に出します。 101：入力側の場所5のデータを、出力側の場所4に出します。 110：入力側の場所6のデータを、出力側の場所4に出します。 111：入力側の場所7のデータを、出力側の場所4に出します。 注.　6ch以上の設定場合に使用します。4ch以下の設定の場合は、初期値と同じ値を設定してください。
15	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14～12	PLACE3	011	R/W	場所3 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所3に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所3に出します。 001：入力側の場所1のデータを、出力側の場所3に出します。 010：入力側の場所2のデータを、出力側の場所3に出します。 011：入力側の場所3のデータを、出力側の場所3に出します。 100：入力側の場所4のデータを、出力側の場所3に出します。 101：入力側の場所5のデータを、出力側の場所3に出します。 110：入力側の場所6のデータを、出力側の場所3に出します。 111：入力側の場所7のデータを、出力側の場所3に出します。 注.　4ch以上の設定場合に使用します。2ch以下の設定の場合は、初期値と同じ値を設定してください。
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10～8	PLACE2	010	R/W	場所2 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所2に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所2に出します。 001：入力側の場所1のデータを、出力側の場所2に出します。 010：入力側の場所2のデータを、出力側の場所2に出します。 011：入力側の場所3のデータを、出力側の場所2に出します。 100：入力側の場所4のデータを、出力側の場所2に出します。 101：入力側の場所5のデータを、出力側の場所2に出します。 110：入力側の場所6のデータを、出力側の場所2に出します。 111：入力側の場所7のデータを、出力側の場所2に出します。 注.　4ch以上の設定場合に使用します。2ch以下の設定の場合は、初期値と同じ値を設定してください。
7	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6～4	PLACE1	001	R/W	場所1 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所1に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所1に出します。 001：入力側の場所1のデータを、出力側の場所1に出します。 010：入力側の場所2のデータを、出力側の場所1に出します。 011：入力側の場所3のデータを、出力側の場所1に出します。 100：入力側の場所4のデータを、出力側の場所1に出します。 101：入力側の場所5のデータを、出力側の場所1に出します。 110：入力側の場所6のデータを、出力側の場所1に出します。 111：入力側の場所7のデータを、出力側の場所1に出します。
3	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2～0	PLACE0	000	R/W	場所0 ストリームデータの並び替えをMIXから出力された後に行います。 出力側の場所0に出力する入力側のデータを選択します。 000：入力側の場所0のデータを、出力側の場所0に出します。 001：入力側の場所1のデータを、出力側の場所0に出します。 010：入力側の場所2のデータを、出力側の場所0に出します。 011：入力側の場所3のデータを、出力側の場所0に出します。 100：入力側の場所4のデータを、出力側の場所0に出します。 101：入力側の場所5のデータを、出力側の場所0に出します。 110：入力側の場所6のデータを、出力側の場所0に出します。 111：入力側の場所7のデータを、出力側の場所0に出します。

37.4　動作説明

37.4.1　初期設定手順

図 37.6 ～図 37.8 に SCUX の初期設定手順を示します。レジスタ設定の詳細は、「37.3　**レジスタの説明**」を参照してください。

37.4.2　転送開始手順および停止手順

図 37.9 ～図 37.11 に SCUX の転送開始手順および停止手順を示します。レジスタ設定の詳細は、「37.3 **レジスタの説明**」を参照してください。

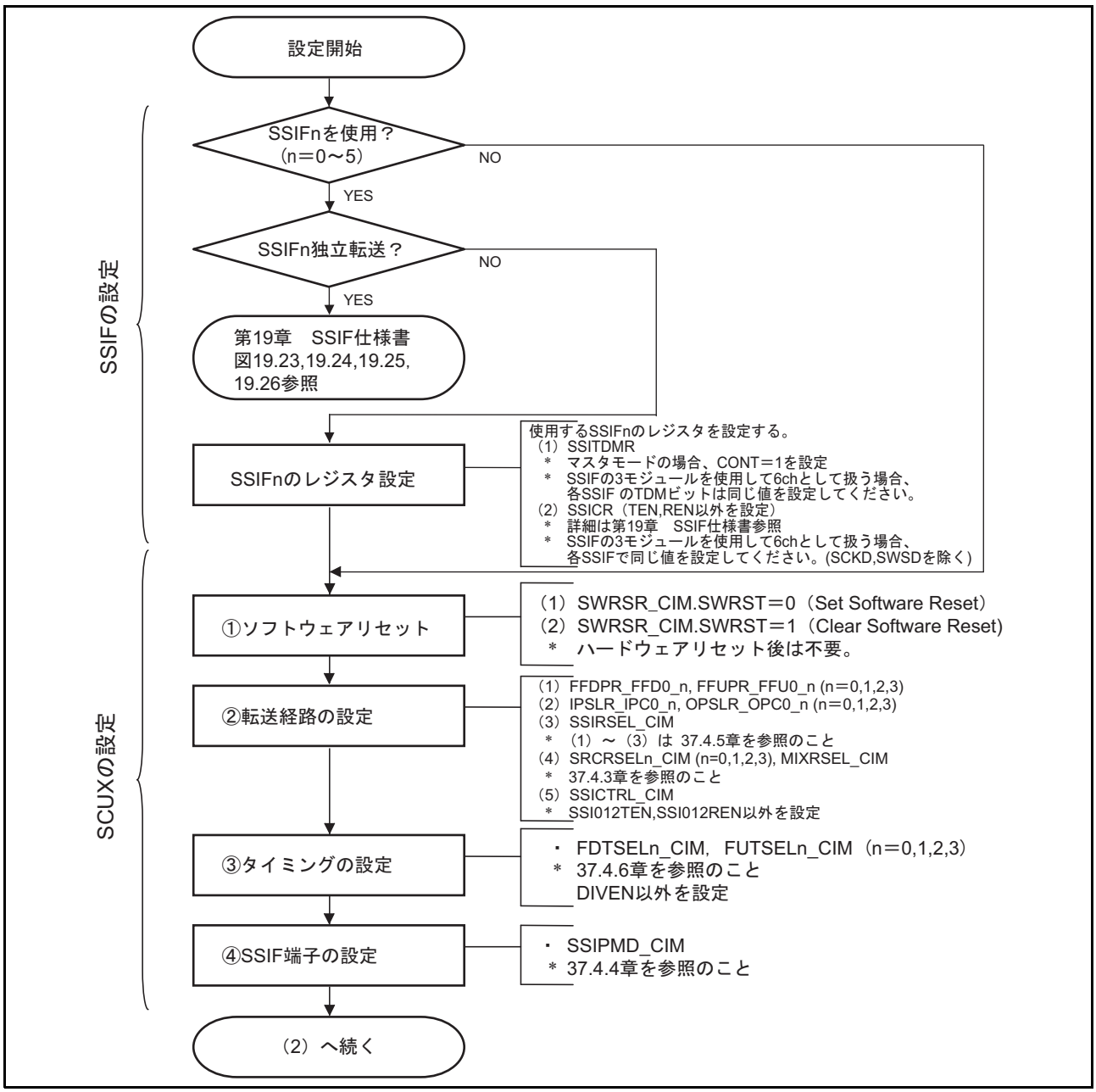


図 37.6　SCUX 初期設定手順 (1)

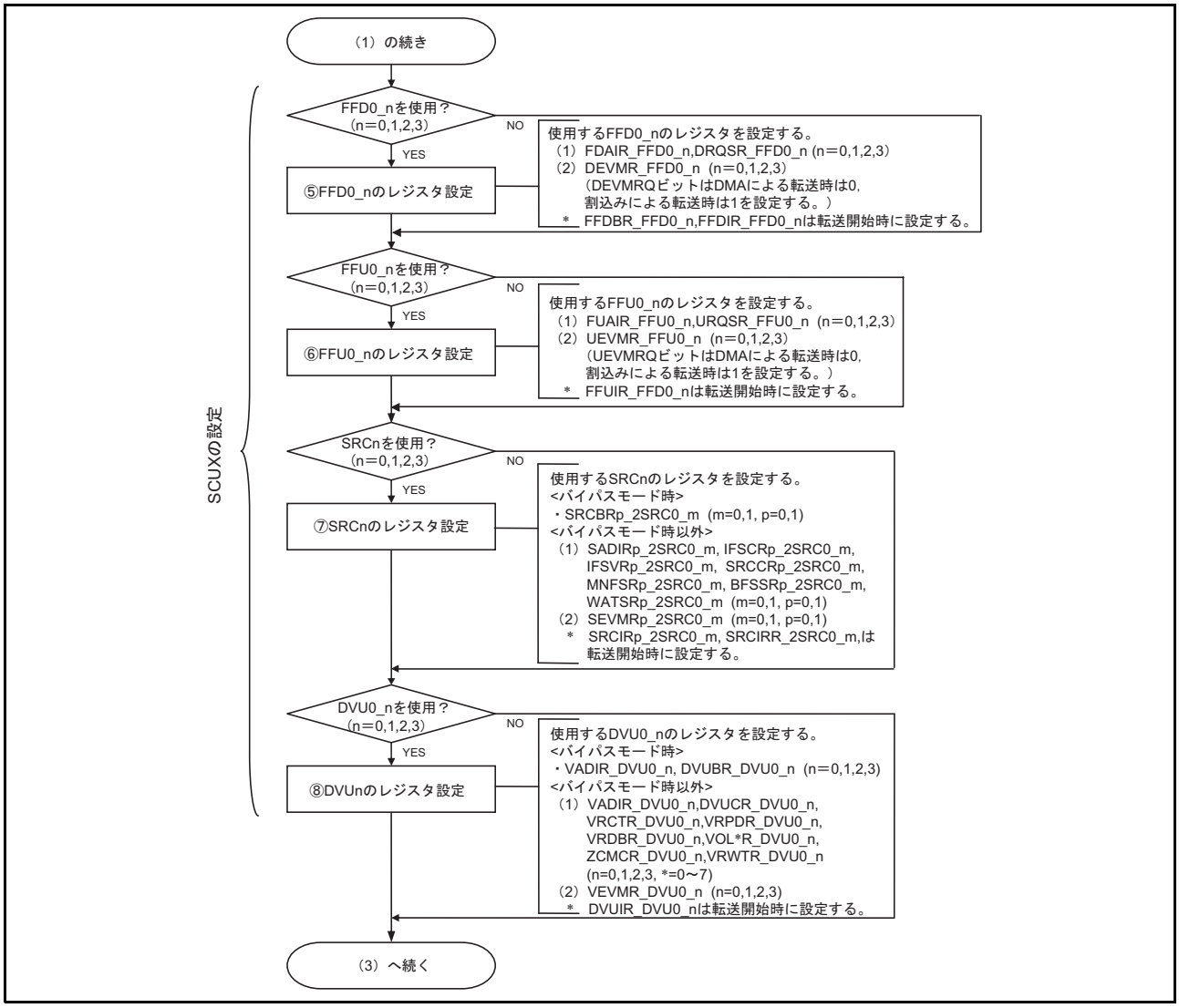


図 37.7　SCUX 初期設定手順 (2)

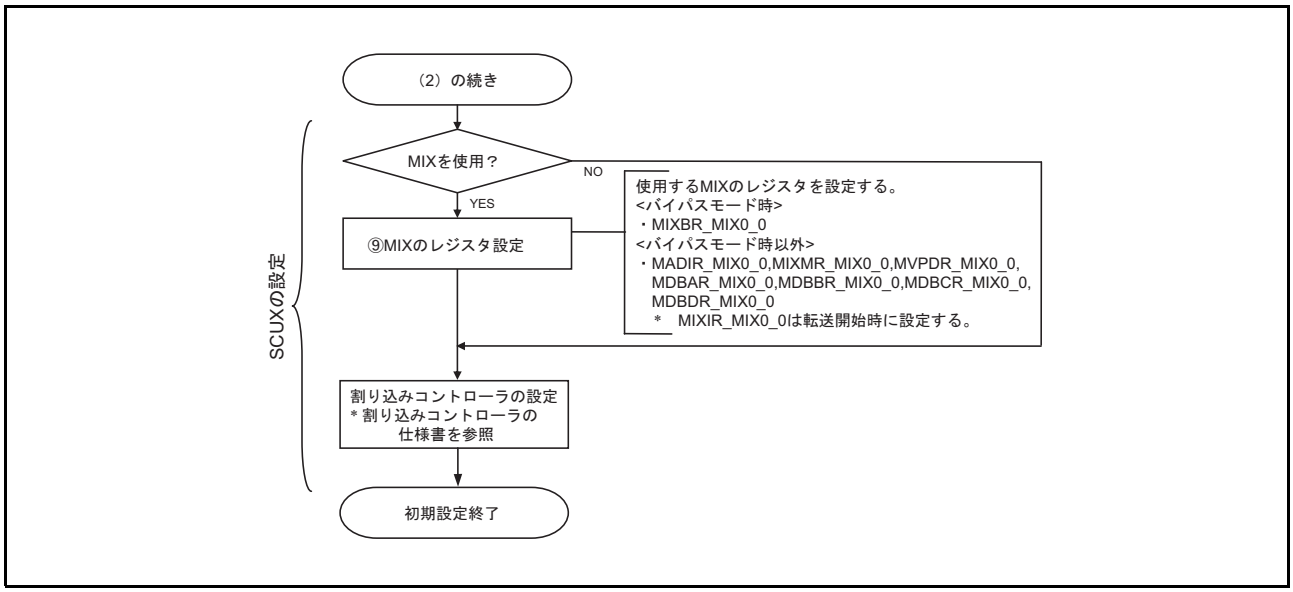


図 37.8　SCUX 初期設定手順 (3)

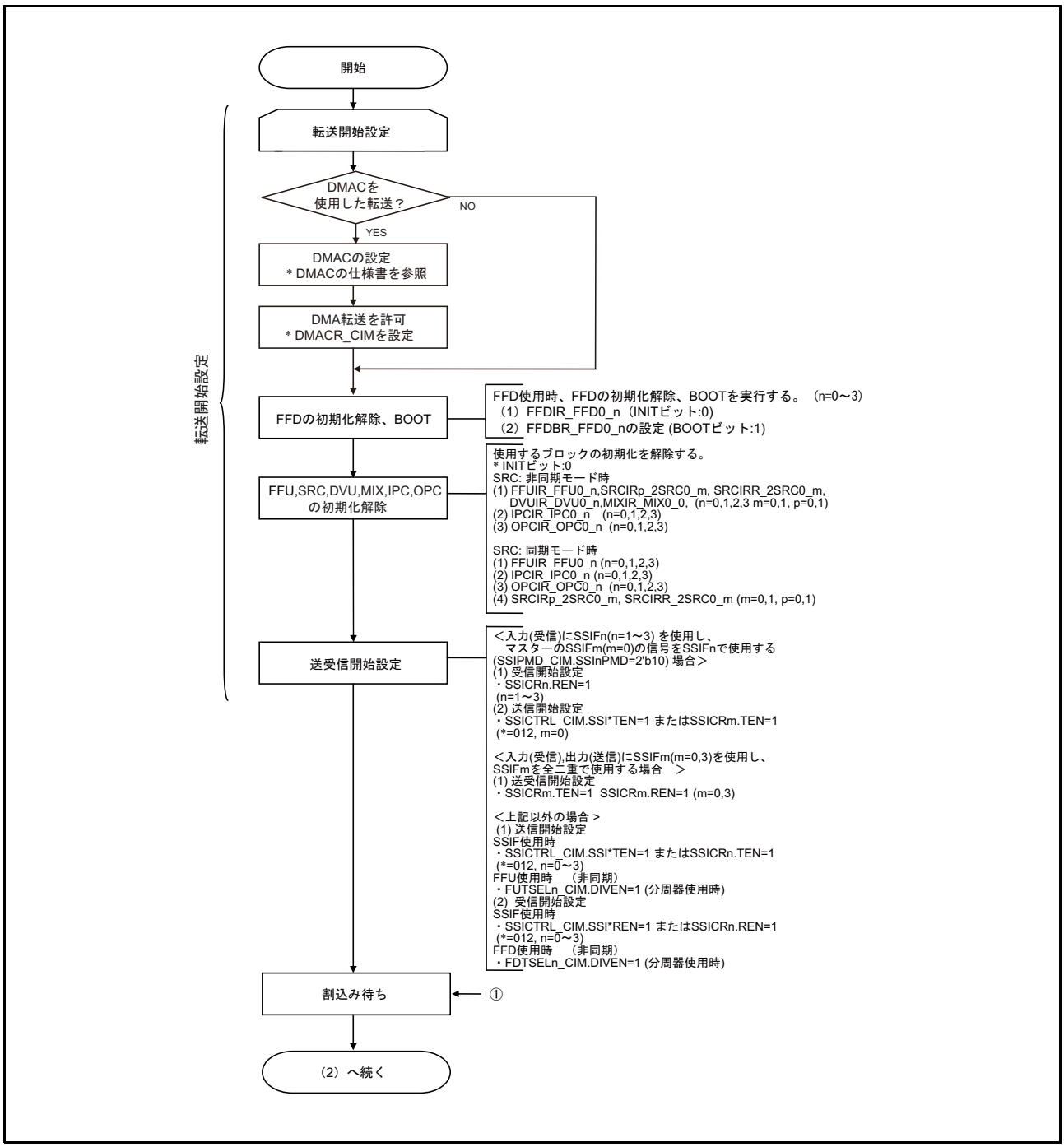


図 37.9　SCUX 転送開始手順および停止手順 (1)

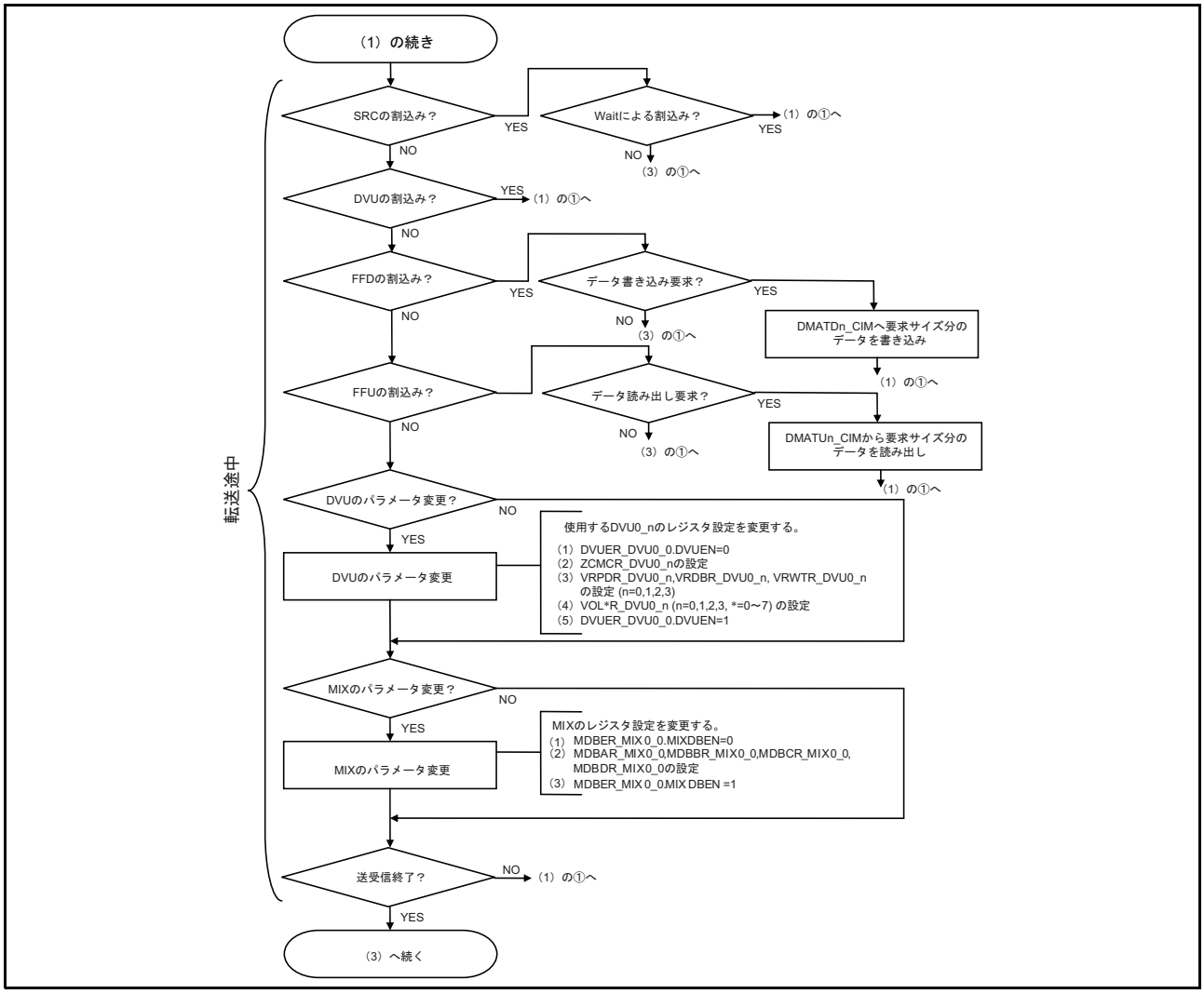
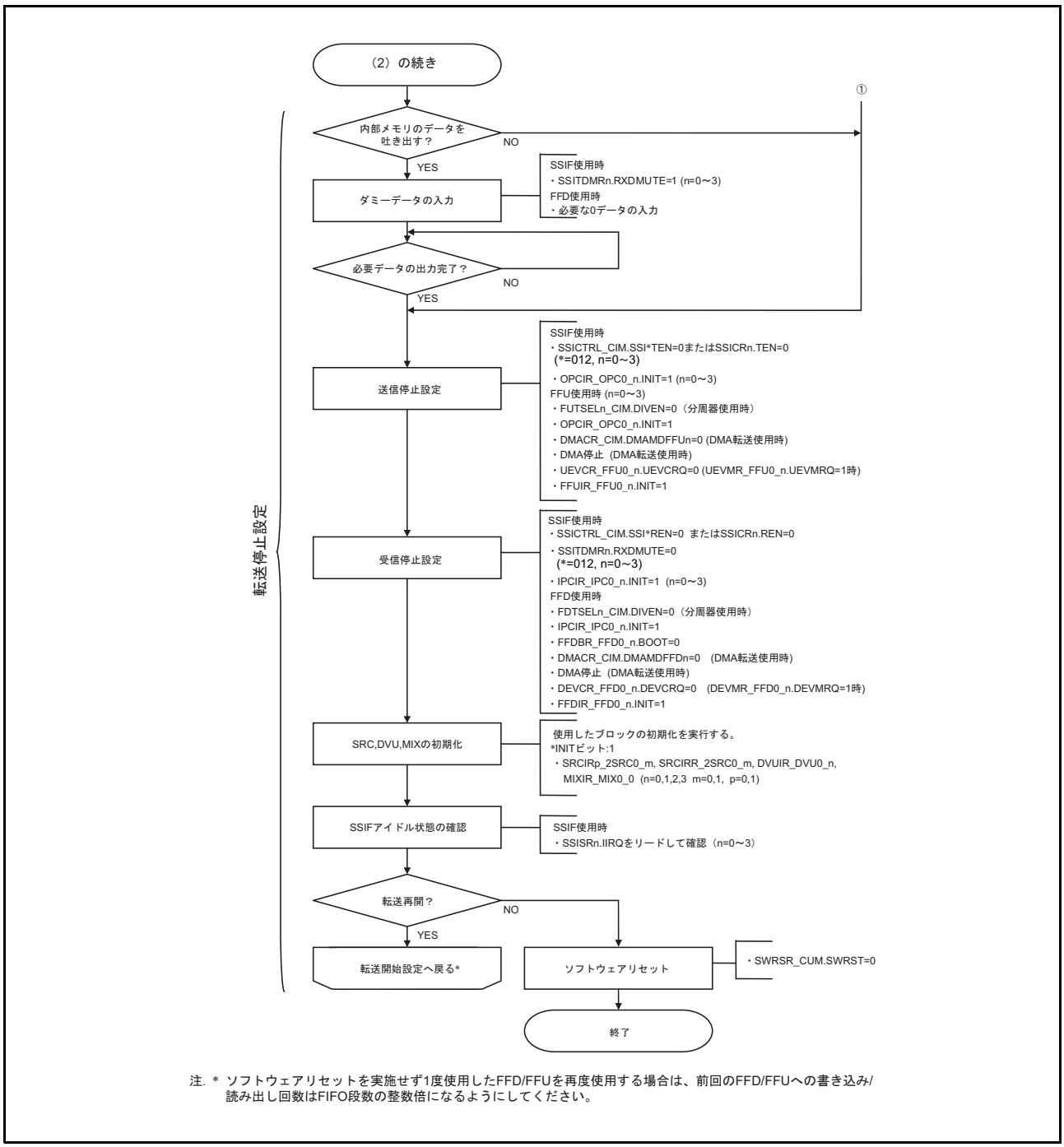


図 37.10　SCUX 転送開始手順および停止手順 (2)



注. * ソフトウェアリセットを実施せず1度使用したFFD/FFUを再度使用する場合は、前回のFFD/FFUへの書き込み/読み出し回数はFIFO段数の整数倍になるようにしてください。

図 37.11　SCUX 転送開始手順および停止手順 (3)

37.4.3　チャネル単位でのデータの並び替え

SCUX 内でチャネル単位のデータの並び替えが可能です。データの並び替えは SRC の直前と、MIX の直後で行うことができます。表 37.9、表 37.10、表 37.11 にデータ場所の定義を示します。SRC 直前での並び替えは「37.3.72　SRCn ルート選択レジスタ（SRCRSELn_CIM ）(n=0,1,2,3)」で、MIX 直後での並び替えは「37.3.73　MIX ルート選択レジスタ（MIXRSEL_CIM ）」で行います。

表 37.9　データ場所の定義 (1)

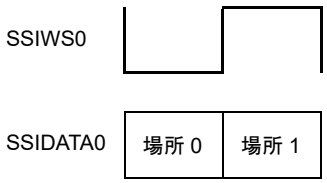
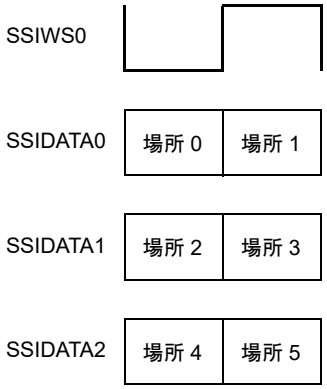
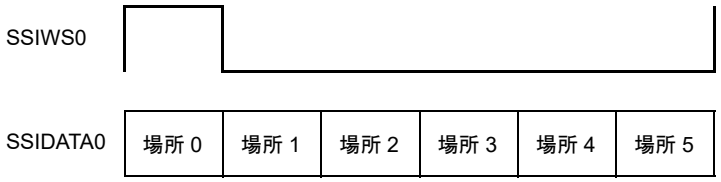
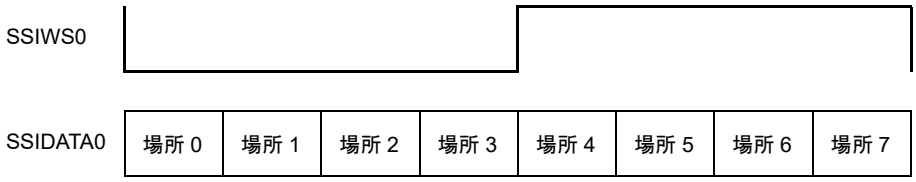
SSIF ・ステレオ (2ch)	
SSIF ・ステレオ×3(6ch)	
SSIF ・TDM(6ch)	
SSIF ・マルチチャネル (8ch)	

表 37.10　データ場所の定義 (2)

FFD0_n
・DMATDn_CIM
32bit アクセス
(2ch)

	31 … 8	7 … 0
1 回目のライトデータ	場所 0	0
2 回目のライトデータ	場所 1	0
3 回目のライトデータ	場所 0	0
4 回目のライトデータ	場所 1	0

FFD0_n
・DMATDn_CIM
16bit アクセス
(2ch)

	31 … 16	15 … 0
1 回目のライトデータ	場所 0	0
2 回目のライトデータ	場所 1	0
3 回目のライトデータ	場所 0	0
4 回目のライトデータ	場所 1	0

FFD0_n
・DMATDn_CIM
32bit アクセス
(8ch)

	31 … 8	7 … 0
1 回目のライトデータ	場所 0	0
2 回目のライトデータ	場所 1	0
3 回目のライトデータ	場所 2	0
4 回目のライトデータ	場所 3	0
5 回目のライトデータ	場所 4	0
6 回目のライトデータ	場所 5	0
7 回目のライトデータ	場所 6	0
8 回目のライトデータ	場所 7	0

FFU0_n
・DMATUn_CIM
32bit アクセス
(2ch)

	31 … 8	7 … 0
1 回目のリードデータ	場所 0	0
2 回目のリードデータ	場所 1	0
3 回目のリードデータ	場所 0	0
4 回目のリードデータ	場所 1	0

表 37.11　データ場所の定義 (3)

FFU0_n
・DMATUn_CIM
16bit アクセス
(2ch)

	31 16	15 0
1 回目のリードデータ	場所 0	-
2 回目のリードデータ	場所 1	-
3 回目のリードデータ	場所 0	-
4 回目のリードデータ	場所 1	-

FFU0_n
・DMATUn_CIM
32bit アクセス
(8ch)

	31 8	7 0
1 回目のリードデータ	場所 0	0
2 回目のリードデータ	場所 1	0
3 回目のリードデータ	場所 2	0
4 回目のリードデータ	場所 3	0
5 回目のリードデータ	場所 4	0
6 回目のリードデータ	場所 5	0
7 回目のリードデータ	場所 6	0
8 回目のリードデータ	場所 7	0

37.4.4　SSIF の端子接続仕様

SSIF0 と SSIF1 と SSIF2 と SSIF3 は、同一の SSISCK 信号と SSIWS 信号に同期して動作させることができます。また、SSIF の AUDIO_CLK 入力は外部端子の AUDIO_CLK と MLB_CLK から選択することができます。これらの設定は「**37.3.70　SSI ピンモードレジスタ（SSIPMD_CIM）**」で行います。各 SSIF の端子接続仕様を**図 37.12** に示します。

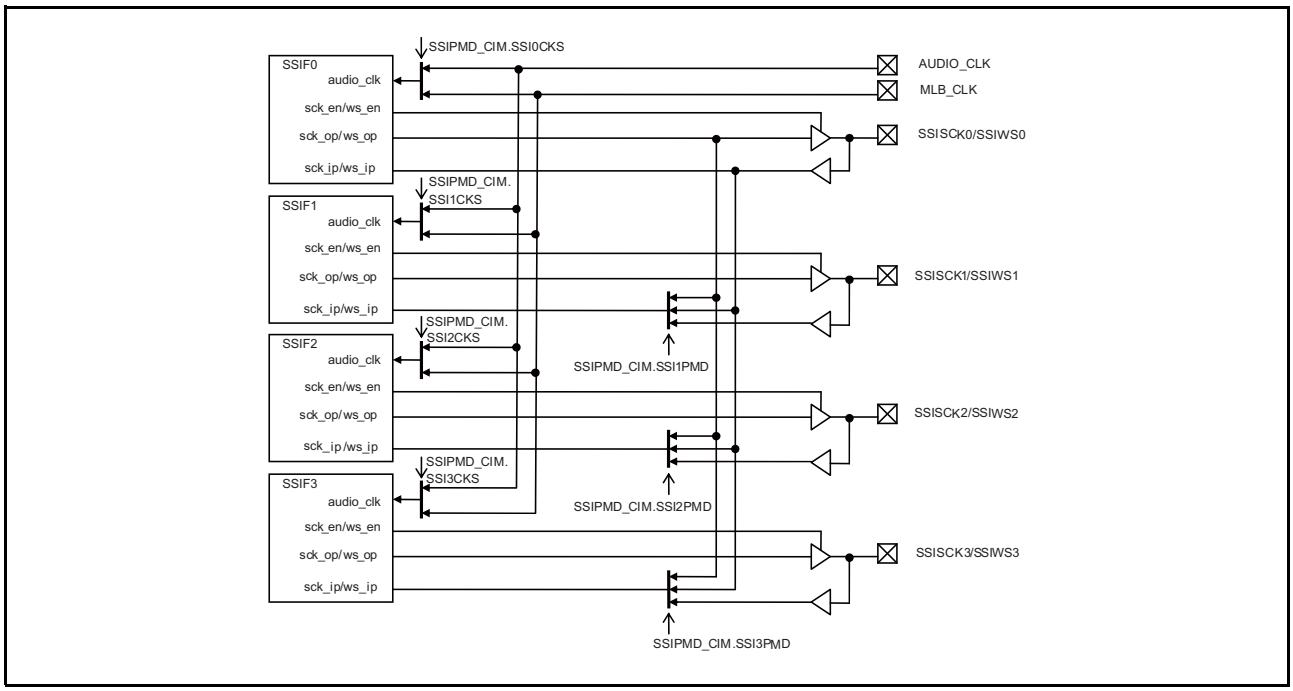


図 37.12　SSIF の端子接続仕様

37.4.5　データ転送ルート

SCUX で選択可能なデータ転送ルートの一覧を表 37.12、表 37.13、表 37.14 に示します。

また、各転送ルートを選択するために必要なレジスタ設定を、表 37.15、表 37.16、表 37.17 に示します。

SRC をバイパスする場合は、2SRC0_m Bypass Register p 、DVU をバイパスする場合は、DVU0_n Bypass Register にて設定してください。

表 37.12　データ転送ルート (1)

ルート	No.	SSIF(SRC)	FFD	SRC+DVU	MIX	SSIF(DST)	FFU
SSIF→SRC→SSIF	1	SSIF0	-	SRC0 注.+DVU0_0	-	SSIF0	-
	2	SSIF0	-	SRC0 注.+DVU0_0	-	SSIF3	-
	3	予約					
	4	SSIF3	-	SRC1 注.+DVU0_1	-	SSIF3	-
	5	SSIF3	-	SRC1 注.+DVU0_1	-	SSIF0	-
	6	予約					
	7	予約					
	8	予約					
	9	予約					
	10	予約					
SSIF→SRC→FFU	1	SSIF0	-	SRC0 注.	-	-	FFU0_0
	2	SSIF012(6ch)	-	SRC0 注.	-	-	FFU0_0
	3	SSIF3	-	SRC1 注.	-	-	FFU0_1
	4	予約					
	5	SSIF1	-	SRC2 注.	-	-	FFU0_2
	6	予約					
	7	SSIF2	-	SRC3 注.	-	-	FFU0_3
	8	予約					

注.　Async モードのみ選択可能です。Sync モードは選択できません。

表 37.13　データ転送ルート (2)

ルート	No.	SSIF(SRC)	FFD	SRC+DVU	MIX	SSIF(DST)	FFU
SSIF→SRC→MIX→SSIF	1	SSIF0	-	SRC0 注 +DVU0_0	MIX	SSIF0	-
	2	SSIF0	-	SRC0 注 +DVU0_0	MIX	SSIF3	-
	3	予約					
	4	SSIF3	-	SRC1 注 +DVU0_1	MIX	SSIF3	-
	5	SSIF3	-	SRC1 注 +DVU0_1	MIX	SSIF0	-
	6	SSIF3	-	SRC1 注 +DVU0_1	MIX	SSIF012(6ch)	-
	7	SSIF1	-	SRC2 注 +DVU0_2	MIX	SSIF0	-
	8	SSIF1	-	SRC2 注 +DVU0_2	MIX	SSIF3	-
	9	予約					
	10	予約					
	11	予約					
	12	予約					
	13	SSIF2	-	SRC3 注 +DVU0_3	MIX	SSIF0	-
	14	SSIF2	-	SRC3 注 +DVU0_3	MIX	SSIF3	-
	15	予約					
	16	予約					
	17	予約					
	18	予約					
FFD→ SRC→SSIF	1	-	FFD0_0	SRC0 注 +DVU0_0	-	SSIF0	-
	2	-	FFD0_0	SRC0 注 +DVU0_0	-	SSIF012(6ch)	-
	3	-	FFD0_0	SRC0 注 +DVU0_0	-	SSIF3	-
	4	予約					
	5	-	FFD0_1	SRC1 注 +DVU0_1	-	SSIF3	-
	6	予約					
	7	-	FFD0_1	SRC1 注 +DVU0_1	-	SSIF0	-
	8	-	FFD0_1	SRC1 注 +DVU0_1	-	SSIF012(6ch)	-
	9	-	FFD0_2	SRC2 注 +DVU0_2	-	SSIF1	-
	10	予約					
	11	-	FFD0_3	SRC3 注 +DVU0_3	-	SSIF2	-
	12	予約					

注.　Asyncモードのみ選択可能です。Syncモードは選択できません。

表 37.14　データ転送ルート (3)

ルート	No.	SSIF(SRC)	FFD	SRC+DVU	MIX	SSIF(DST)	FFU
FFD→SRC→FFU	1	-	FFD0_0	SRC0(Sync)			FFU0_0
	2	-	FFD0_0	SRC0(Async)			FFU0_0
	3	-	FFD0_1	SRC1(Sync)			FFU0_1
	4	-	FFD0_1	SRC1(Async)			FFU0_1
	5	-	FFD0_2	SRC2(Sync)			FFU0_2
	6	-	FFD0_2	SRC2(Async)			FFU0_2
	7	-	FFD0_3	SRC3(Sync)			FFU0_3
	8	-	FFD0_3	SRC3(Async)			FFU0_3
FFD→SRC→MIX→SSIF	1	-	FFD0_0	SRC0 注 +DVU0_0	MIX	SSIF0	-
	2	-	FFD0_0	SRC0 注 +DVU0_0	MIX	SSIF012(6ch)	-
	3	-	FFD0_0	SRC0 注 +DVU0_0	MIX	SSIF3	-
	4	予約					
	5	-	FFD0_1	SRC1 注 +DVU0_1	MIX	SSIF0	-
	6	-	FFD0_1	SRC1 注 +DVU0_1	MIX	SSIF012(6ch)	-
	7	-	FFD0_1	SRC1 注 +DVU0_1	MIX	SSIF3	-
	8	予約					
	9	-	FFD0_2	SRC2 注 +DVU0_2	MIX	SSIF0	-
	10	-	FFD0_2	SRC2 注 +DVU0_2	MIX	SSIF012(6ch)	-
	11	-	FFD0_2	SRC2 注 +DVU0_2	MIX	SSIF3	-
	12	予約					
	13	-	FFD0_3	SRC3 注 +DVU0_3	MIX	SSIF0	-
	14	-	FFD0_3	SRC3 注 +DVU0_3	MIX	SSIF012(6ch)	-
	15	-	FFD0_3	SRC3 注 +DVU0_3	MIX	SSIF3	-
	16	予約					

注.　Async モードのみ選択可能です。Sync モードは選択できません。

表37.15　ルート選択レジスタ設定(1)

ルート	No.	SSIRSEL_CIM								IPSLR_IPC0_n	OPSLR_IPC0_n	FFDPR_FFD0_n	FFUPR_FFU0_n	SSIPMD_CIM
		SISEL3	SISEL2	SISEL1	SISEL0	SOSEL3	SOSEL2	SOSEL1	SOSEL0	IPC_PASS_SEL	OPC_PASS_SEL	PASS	PASS	SSI012EN
SSIF→SRC→SSIF	1	-	-	-	00	-	-	-	00	001	001	00	00	0
	2	-	-	-	00	01	-	-	-	001	001	00	00	0
	3	予約												
	4	-	-	00	-	00	-	-	-	001	001	00	00	0
	5	-	-	00	-	-	-	-	01	001	001	00	00	0
	6	予約												
	7	予約												
	8	予約												
	9	予約												
	10	予約												
SSIF→SRC→FFU	1	-	-	-	00	-	-	-	-	001	011	00	01	0
	2	-	-	-	01	-	-	-	-	001	011	00	01	0
	3	-	-	00	-	-	-	-	-	001	011	00	01	0
	4													
	5	-	00	-	-	-	-	-	-	001	011	00	01	0
	6													
	7	00	-	-	-	-	-	-	-	001	011	00	01	0
	8	予約												

表 37.16　ルート選択レジスタ設定 (2)

ルート	No.	SSIRSEL_CIM								IPSLR_IPC0_n	OPSLR_OPC0_n	FFDPR_FFD0_n	FFUPR_FFU0_n	SSIPMD_CIM
		SISEL3	SISEL2	SISEL1	SISEL0	SOSEL3	SOSEL2	SOSEL1	SOSEL0	IPC_PASS_SEL	OPC_PASS_SEL	PASS	PASS	SSI012EN
SSIF→SRC→MIX→SSI	1	-	-	-	00	-	-	-	10	001	001	00	00	0
	2	-	-	-	00	10	-	-	-	001	001	00	00	0
	3	予約												
	4	-	-	00	-	10	-	-	-	001	001	00	00	0
	5	-	-	00	-	-	-	-	10	001	001	00	00	0
	6	-	-	00	-	-	11	11	10	001	001	00	00	1
	7	-	00	-	-	-	-	-	10	001	001	00	00	0
	8	-	00	-	-	10	-	-	-	001	001	00	00	0
	9	予約												
	10	予約												
	11	予約												
	12	予約												
	13	00	-	-	-	-	-	-	10	001	001	00	00	0
	14	00	-	-	-	10	-	-	-	001	001	00	00	0
	15	予約												
	16	予約												
	17	予約												
	18	予約												
FFD→SRC→SSIF	1	-	-	-	-	-	-	-	00	011	001	01	00	0
	2	-	-	-	-	-	01	01	00	011	001	01	00	1
	3	-	-	-	-	01	-	-	-	011	001	01	00	0
	4	予約												
	5	-	-	-	-	00	-	-	-	011	001	01	00	0
	6	予約												
	7	-	-	-	-	-	-	-	01	011	001	01	00	0
	8	-	-	-	-	-	10	10	01	011	001	01	00	1
	9	-	-	-	-	-	-	00	-	011	001	01	00	0
	10	予約												
	11	-	-	-	-	-	00	-	-	011	001	01	00	0
	12	予約												

表 37.17　ルート選択レジスタ設定 (3)

ルート	No.	SSIRSEL_CIM								IPSLR_IPC0_n	OPSLR_OPC0_n	FFDPR_FFD0_n	FFUPR_FFU0_n	SSIPMD_CIM
		SISEL3	SISEL2	SISEL1	SISEL0	SOSEL3	SOSEL2	SOSEL1	SOSEL0	IPC_PASS_SEL	OPC_PASS_SEL	PASS	PASS	SSI012EN
FFD→SRC→FFU	1	-	-	-	-	-	-	-	-	100	100	10	10	0
	2	-	-	-	-	-	-	-	-	011	011	01	01	0
	3	-	-	-	-	-	-	-	-	100	100	10	10	0
	4	-	-	-	-	-	-	-	-	011	011	01	01	0
	5	-	-	-	-	-	-	-	-	100	100	10	10	0
	6	-	-	-	-	-	-	-	-	011	011	01	01	0
	7	-	-	-	-	-	-	-	-	100	100	10	10	0
	8	-	-	-	-	-	-	-	-	011	011	01	01	0
FFD→SRC→MIX→SSIF	1	-	-	-	-	-	-	-	10	011	001	01	00	0
	2	-	-	-	-	-	11	11	10	011	001	01	00	1
	3	-	-	-	-	10	-	-	-	011	001	01	00	0
	4	予約												
	5	-	-	-	-	-	-	-	10	011	001	01	00	0
	6	-	-	-	-	-	11	11	10	011	001	01	00	1
	7	-	-	-	-	10	-	-	-	011	001	01	00	0
	8	予約												
	9	-	-	-	-	-	-	-	10	011	001	01	00	0
	10					-	11	11	10	011	001	01	00	1
	11					10	-	-	-	011	001	01	00	0
	12	予約												
	13					-	-	-	10	011	001	01	00	0
	14					-	11	11	10	011	001	01	00	1
	15					10	-	-	-	011	001	01	00	0
	16	予約												

37.4.6　入力タイミング信号と出力タイミング信号

SRC や MIX を使用する場合は、入力タイミング信号と出力タイミング信号の設定が必要です。**表 37.12**、**表 37.13**、**表 37.14** の各転送ルートに必要な入出力タイミング設定を**表 37.18**、**表 37.19**、**表 37.20** に示します。SRC と SSIF のダイレクト接続を選択した場合は、FFD0_n ／ FFU0_n タイミング選択レジスタの設定に関わらず、該当する SSIF の WS 信号が自動的に選択されます。MIX と SSIF のダイレクト接続を選択した場合は、FFU0_n タイミング選択レジスタに規定の値を設定してください。FFD と SRC、または SRC と FFU の接続を選択した場合は、FFD0_n ／ FFU0_n タイミング選択レジスタに任意の設定が可能で、設定値に応じたタイミング信号が使用されます。

表37.18　入出力タイミング設定(1)

ルート	No.	入力タイミング設定						出力タイミング設定					
		SSICTRL_CIM				FDTSELn_CIM	入力タイミング信号	SSICTRL_CIM				FUTSELn_CIM	出力タイミング信号
		SSI3RX	SSI2RX	SSI1RX	SSI0RX			SSI3TX	SSI2TX	SSI1TX	SSI0TX		
SSIF→SRC→SSIF	1	-	-	-	1	設定不要	SSIWS0（注 1）	0（注 2）	-	-	1	設定不要	SSIWS0（注 1）
	2	-	-	-	1	設定不要	SSIWS0（注 1）	1	-	-	0（注 2）	設定不要	SSIWS3（注 1）
	3	予約											
	4	1	-	-	-	設定不要	SSIWS3（注 1）	1	-	-	0（注 2）	設定不要	SSIWS3（注 1）
	5	1	-	-	-	設定不要	SSIWS3（注 1）	0（注 2）	-	-	1	設定不要	SSIWS0（注 1）
	6	予約											
	7	予約											
	8	予約											
	9	予約											
	10	予約											
SSIF→SRC→FFU	1	-	-	-	1	設定不要	SSIWS0（注 1）	0（注 2）	-	-	0（注 2）	任意	←
	2	-	-	-	1	設定不要	SSIWS0（注 1）	0（注 2）	-	-	0（注 2）	任意	←
	3	1	-	-	-	設定不要	SSIWS3（注 1）	0（注 2）	-	-	0（注 2）	任意	←
	4	予約											
	5	-	-	1	-	設定不要	SSIWS1（注 1）	-	-	0（注 2）	-	任意	←
	6	予約											
	7	-	1	-	-	設定不要	SSIWS2（注 1）	-	0（注 2）	-	-	任意	←
	8	予約											

注1.　FDTSELn_CIM, FUTSELn_CIMの設定によらず、自動的に選択されます。
注2.　各ルートで使用されるSRCmとの接続をSSIRSEL_CIM.SOSELnで選択していない場合は、SSInTXは1を設定しても構いません。(m=0～3,n=0～3)

表37.19　入出力タイミング設定(2)

ルート	No.	入力タイミング設定						出力タイミング設定					
		SSICTRL_CIM				FDTSELn_CIM	入力タイミング信号	SSICTRL_CIM				FUTSELn_CIM	出力タイミング信号
		SSI3RX	SSI2RX	SSI1RX	SSI0RX			SSI3TX	SSI2TX	SSI1TX	SSI0TX		
SSIF→SRC→MIX→SSIF	1	-	-	-	1	設定不要	SSIWS0（注1）	0（注3）	-	-	1	SCKSEL:1000	SSIWS0
	2	-	-	-	1	設定不要	SSIWS0（注1）	1	-	-	0（注3）	SCKSEL:1011	SSIWS3
	3	予約											
	4	1	-	-	-	設定不要	SSIWS3（注1）	1	-	-	0（注3）	SCKSEL:1011	SSIWS3
	5	1	-	-	-	設定不要	SSIWS3（注1）	0（注3）	-	-	1	SCKSEL:1000	SSIWS0
	6	1	-	-	-	設定不要	SSIWS3（注1）	0（注3）	-	-	1	SCKSEL:1000	SSIWS0
	7	-	-	1	-	設定不要	SSIWS1（注1）	0（注4）	-	0（注2）	1	SCKSEL:1000	SSIWS0
	8	-	-	1	-	設定不要	SSIWS1（注1）	1	-	0（注2）	0（注4）	SCKSEL:1011	SSIWS3
	9	予約											
	10	予約											
	11	予約											
	12	予約											
	13	-	1	-	-	設定不要	SSIWS2（注1）	0（注4）	0（注2）	-	1	SCKSEL:1000	SSIWS0
	14	-	1	-	-	設定不要	SSIWS2（注1）	1	0（注2）	-	0（注4）	SCKSEL:1011	SSIWS3
	15	予約											
	16	予約											
	17	予約											
	18	予約											
FFD→SRC→SSIF	1	-	-	-	0	任意	←	0（注2）	-	-	1	設定不要	SSIWS0（注1）
	2	-	-	-	0	任意	←	0（注2）	-	-	1	設定不要	SSIWS0（注1）
	3	-	-	-	0	任意	←	1	-	-	0（注2）	設定不要	SSIWS3（注1）
	4	予約											
	5	0	-	-	-	任意	←	1	-	-	0（注2）	設定不要	SSIWS3（注1）
	6	予約											
	7	0	-	-	-	任意	←	0（注2）	-	-	1	設定不要	SSIWS0（注1）
	8	0	-	-	-	任意	←	0（注2）	-	-	1	設定不要	SSIWS0（注1）
	9	-	-	0	-	任意	←	-	-	1	-	設定不要	SSIWS1（注1）
	10	予約											
	11	-	0	-	-	任意	←	-	1	-	-	設定不要	SSIWS2（注1）
	12	予約											

注1.　FDTSELn_CIM, FUTSELn_CIMの設定によらず、自動的に選択されます。
注2.　各ルートで使用されるSRCmとの接続をSSIRSEL_CIM.SOSELnで選択していない場合は、SSInTXは1を設定しても構いません。(m=0～3,n=0～3)
注3.　各ルートで使用されるSRCm及びMIXとの接続をSSIRSEL_CIM.SOSELnで選択していない場合は、SSInTXは1を設定しても構いません。(m=0～3,n=0,3)
注4.　MIXとの接続をSSIRSEL_CIM.SOSELnで選択していない場合は、SSInTXは1を設定しても構いません。(n=0,3)

表37.20　入出力タイミング設定(3)

ルート	No.	入力タイミング設定						出力タイミング設定					
		SSICTRL_CIM				FDTSELn_CIM	入力タイミング信号	SSICTRL_CIM				FUTSELn_CIM	出力タイミング信号
		SSI3RX	SSI2RX	SSI1RX	SSI0RX			SSI3TX	SSI2TX	SSI1TX	SSI0TX		
FFD→SRC→FFU	1	-	-	-	-	-	不要	-	-	-	-	-	不要
	2	-	-	-	0	任意	←	0（注2）	-	-	0（注2）	任意	←
	3	-	-	-	-	-	不要	-	-	-	-	-	不要
	4	0	-	-	-	任意	←	0（注2）	-	-	0（注2）	任意	←
	5	-	-	-	-	-	不要	-	-	-	-	-	不要
	6	-	-	0	-	任意	←	-	-	0（注2）	-	任意	←
	7	-	-	-	-	-	不要	-	-	-	-	-	不要
	8	-	0	-	-	任意	←	-	0（注2）	-	-	任意	←
FFD→SRC→MIX→SSIF	1	-	-	-	0	任意	←	0（注3）	-	-	1	SCKSEL:1000	SSIWS0
	2	-	-	-	0	任意	←	0（注3）	-	-	1	SCKSEL:1000	SSIWS0
	3	-	-	-	0	任意	←	1	-	-	0（注3）	SCKSEL:1011	SSIWS3
	4	予約											
	5	0	-	-	-	任意	←	0（注3）	-	-	1	SCKSEL:1000	SSIWS0
	6	0	-	-	-	任意	←	0（注3）	-	-	1	SCKSEL:1000	SSIWS0
	7	0	-	-	-	任意	←	1	-	-	0（注3）	SCKSEL:1011	SSIWS3
	8	予約											
	9	-	-	0	-	任意	←	0（注4）	-	0（注2）	1	SCKSEL:1000	SSIWS0
	10	-	-	0	-	任意	←	0（注4）	-	0（注2）	1	SCKSEL:1000	SSIWS0
	11	-	-	0	-	任意	←	1	-	0（注2）	0（注4）	SCKSEL:1011	SSIWS3
	12	予約											
	13	-	0	-	-	任意	←	0（注4）	0（注2）	-	1	SCKSEL:1000	SSIWS0
	14	-	0	-	-	任意	←	0（注4）	0（注2）	-	1	SCKSEL:1000	SSIWS0
	15	-	0	-	-	任意	←	1	0（注2）	-	0（注4）	SCKSEL:1011	SSIWS3
	16	予約											

注1.　FDTSELn_CIM, FUTSELn_CIMの設定によらず、自動的に選択されます。
注2.　各ルートで使用されるSRCmとの接続をSSIRSEL_CIM.SOSELnで選択していない場合は、SSInTXは1を設定しても構いません。(m=0～3,n=0～3)
注3.　各ルートで使用されるSRCm及びMIXとの接続をSSIRSEL_CIM.SOSELnで選択していない場合は、SSInTXは1を設定しても構いません。(m=0～3,n=0,3)
注4.　MIXとの接続をSSIRSEL_CIM.SOSELnで選択していない場合は、SSInTXは1を設定しても構いません。(n=0,3)

37.4.7 2SRC(SRC) ブロック

2SRC ブロックは、2 個の SRC(Sampling Rate Converters) で構成された、サンプリングレートコンバート機能を実現するためのブロックです。それぞれの SRC は 2 つのモードを持ち、同期のサンプリングレート変換と、非同期のサンプリングレート変換が可能です。

- 非同期 / 同期のサンプリングレート変換が可能（注 1）
- サンプリングレート (同期モード) （注 2）
  入力 [KHz] : 8、11.025、12、16、22.05、24、32、44.1、48、64、88.2、96 から選択可能
  出力 [KHz] : 8、16、24、32、44.1、48、96 から選択可能
- サンプリングレート (非同期モード) （注 2）
  入力 / 出力 [KHz] : 1 ～ 96
- 対応ビット数は 16 ビット、24 ビット
- Sound Quality : -132dB 以下（注 3）
- 1, 2, 4, 6, 8ch に対応可能（注 4）
- 内蔵メモリ / 外部メモリとの DMA 転送、SSIF モジュールとのダイレクト転送が可能

注 1. 同期モードは FFD モジュールおよび FFU モジュールと接続時のみ選択可能です。
注 2. 選択可能なサンプリングレートは、使用チャネル数／レート比に依存します。
注 3. データ形式 : 24 ビットでの値です。
注 4. 選択可能なチャネル数は、サンプリングレート／経路に依存します。

図 37.13 に 2SRC(SRC) ブロックのブロック図を示します。入力オーディオデータは、SRC 機能を実行する前のデータを表し、出力オーディオデータは、SRC 機能を実行した後のデータを表します。

同期 SRC モードでは、2SRC(SRC) ブロックは入力リクエスト信号を FFD ブロックに、出力リクエスト信号を FFU ブロックに出力します。非同期 SRC モードでは、2SRC(SRC) ブロックは入力タイミング信号と出力タイミング信号を外部から受け取り、これらのタイミング信号から入力サンプリングレートと出力サンプリングレートを自動的に検出します。

2SRC(SRC) ブロックの各 SRC は同時に最大 8 チャネルまでのオーディオデータを処理することができますが、取り扱うことのできる最大サンプリングレートは使用チャネル数に依存します。また、SRC2、SRC3 を FFD から、または、FFU への経路で使用する場合は、処理可能なチャネル数は 2 チャネルまでとなります。

チャネル数の設定は SADIRp_2SRC0_m.CHNUM によって行います。未使用チャネルは、バイパスモードでない時 (SRCBRp_2SRC0_m.BYPASS=0) は、初期化 (SRCIRp_2SRC0_m.INIT=1) の後、CHNUM の設定を変更しない限り、常に 0 を出力します。バイパスモード時は、CHNUM の設定によらず全てのチャネルで、入力されたオーディオデータが 1 サイクル後に出力されます。

出力オーディオデータのビット幅は SADIRp_2SRC0_m.OTBL の設定により、16bit および 24bit に設定できます。入力オーディオデータは、**表 37.21** の通り、OTBL ビットの設定と同じビット幅のオーディオデータを入力してください。

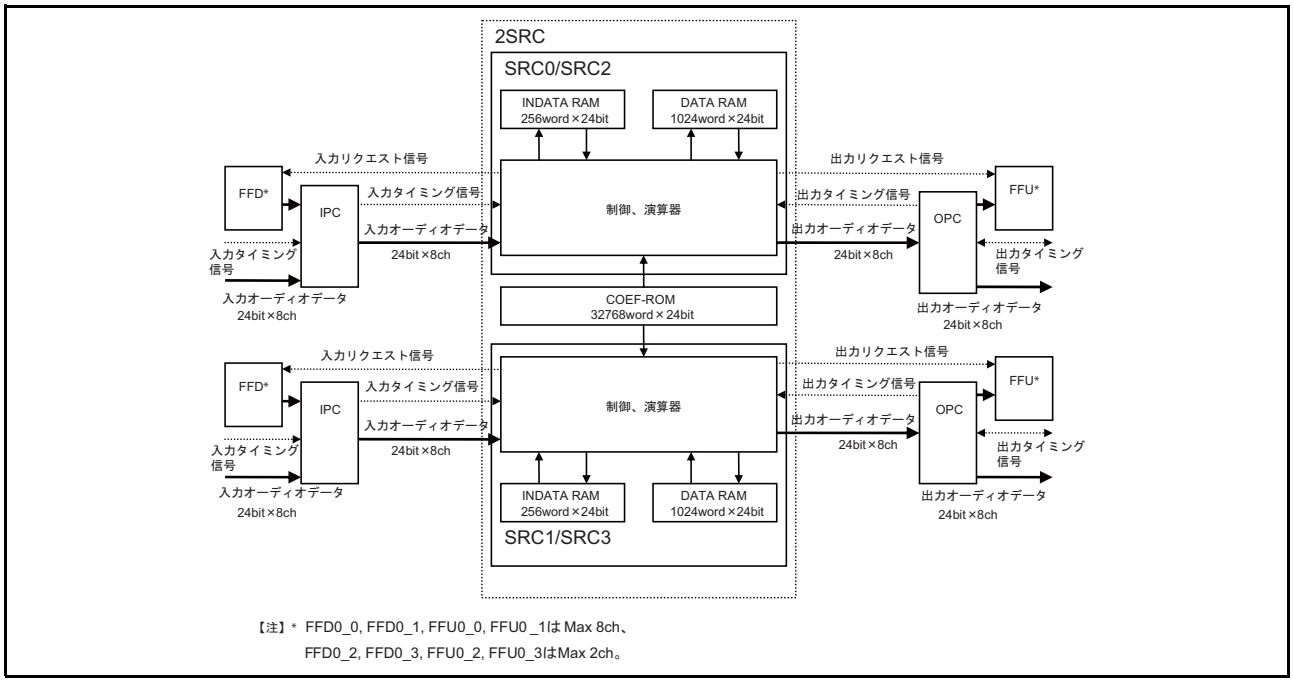


図 37.13　2SRC ブロック

表37.21　入出力オーディオデータビット幅の組合せ

SADIRp_2SRC0_m.OTBL	入力オーディオデータビット幅	出力オーディオデータビット幅
00000: 24bit	24bit	24bit
01000: 16bit	16bit	16bit

2SRC(SRC) ブロックの機能を表 37.22 に示します。

表 37.22 2SRC(SRC) ブロックの機能

Item Type of SRC	Performance Asynchronous SRC/Synchronous SRC					
Operation frequency	66MHz					
Delay mode	Normal				Low delay1	Low delay2
Channel number	1 or 2	4	6	8	1 or 2	1 or 2
Sampling rate of input source	8k~96k [Hz]	8k~96k [Hz]	8k~66k [Hz]	8k~49k [Hz]	8k~96k [Hz]	8k~96k [Hz]
Sampling rate of output source	8k~96k [Hz]	8k~96k [Hz]	8k~66k [Hz]	8k~49k [Hz]	8k~96k [Hz]	8k~96k [Hz]
The ratio of input and output sampling-rate (FSO/FSI)	16~0.125 [time]	16~0.25 [time]	16~0.375 [time]	16~0.5 [time]	16~0.5 [time]	16~1 [time]
Sound quality	-132dB					

2SRC(SRC) ブロックのレイテンシを表 37.23 に示します。

表 37.23 2SRC(SRC) ブロックのレイテンシ

Item	Bypass	Normal					Low Delay1		Low Delay2	
Channel number	Any	1	2	4	6	8	1	2	1	2
Processing delay	0	641	321	161	102	81	81	81	49	49
Logic delay	1	3	3	3	3	3	3	3	3	3
Output delay	Output delay [sample] = (Processing delay) * (FSO/FSI ratio) + (Logic delay)									

37.4.8　DVU ブロック

DVU ブロックは、ボリュームとミュートを実行するブロックです。本ブロックは同時に最大 8 チャネルまでのデータを処理することができます

- ボリュームを調整する機能として、デジタルボリューム、ボリュームランプ、ゼロクロスミュートへ対応
- デジタルボリュームは、24 ビット固定小数点で設定、0 ～ 8 倍 (無音、-120 ～ 18dB) の範囲で設定可能
- ボリュームランプは、ソフトミュート、フェードイン、フェードアウト、任意のボリューム調整として使用可能
- ボリュームランプのランプ時間は変更可能で、2 の 0 ～ 23 乗サンプル範囲で設定可能
- ゼロクロスミュートは、オーディオデータがゼロクロスするポイントでミュートする機能
- SSIF モジュールへのダイレクト転送、ミキサへの転送が可能

チャネル数の設定は VADIR_DVU0_n.CHNUM によって行います。未使用チャネルは、対応するチャネルに入力された入力データが 1 サイクル後に出力されます。バイパスモード時は、CHNUM の設定によらず全てのチャネルで、入力されたデータが 1 サイクル後に出力されます。

図 37.14 に DVU ブロックの処理イメージを示します。

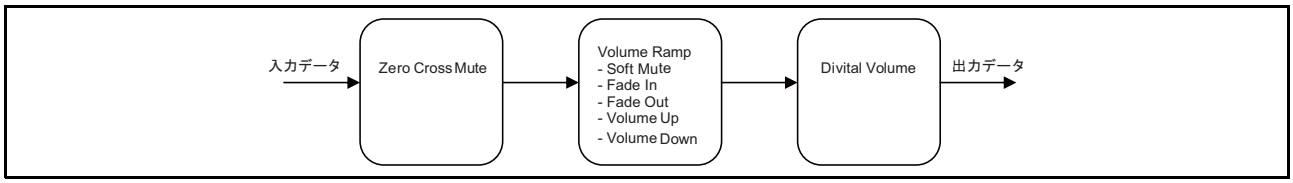


図 37.14　DVU ブロック処理イメージ

表 37.24 に DVU ブロックの機能を示します。

表37.24 DVUブロックの機能

Item	Performance
Digital Volume	Range: -120dB ~ 18dB (9.5 x 10^{-7}-time ~ 8-time)
Volume Ramp	Volume Ramp use for many kind of operation (Soft Mute, Fade in, Fade out, Volume change by ramp) Ramp time: 2^0/fso ~ 2^{23}/fso Example: (1/fso : -128dB/1step) (2/fso : -64dB/1step) (4/fso : -32dB/1step) …… (128/fso : -1dB/1step) (256/fso : -0.5dB/1step) (512/fso : -0.25dB/1step) (1024/fso : -0.125dB/1step) (2048/fso : -0.125dB/2step) (4096/fso : -0.125dB/4step) …….. (8388608/fso : -0.125dB/8192step)
Zero Cross Mute	Mute the signal at zero cross point

図 37.15 にデジタルボリューム操作イメージを示します。

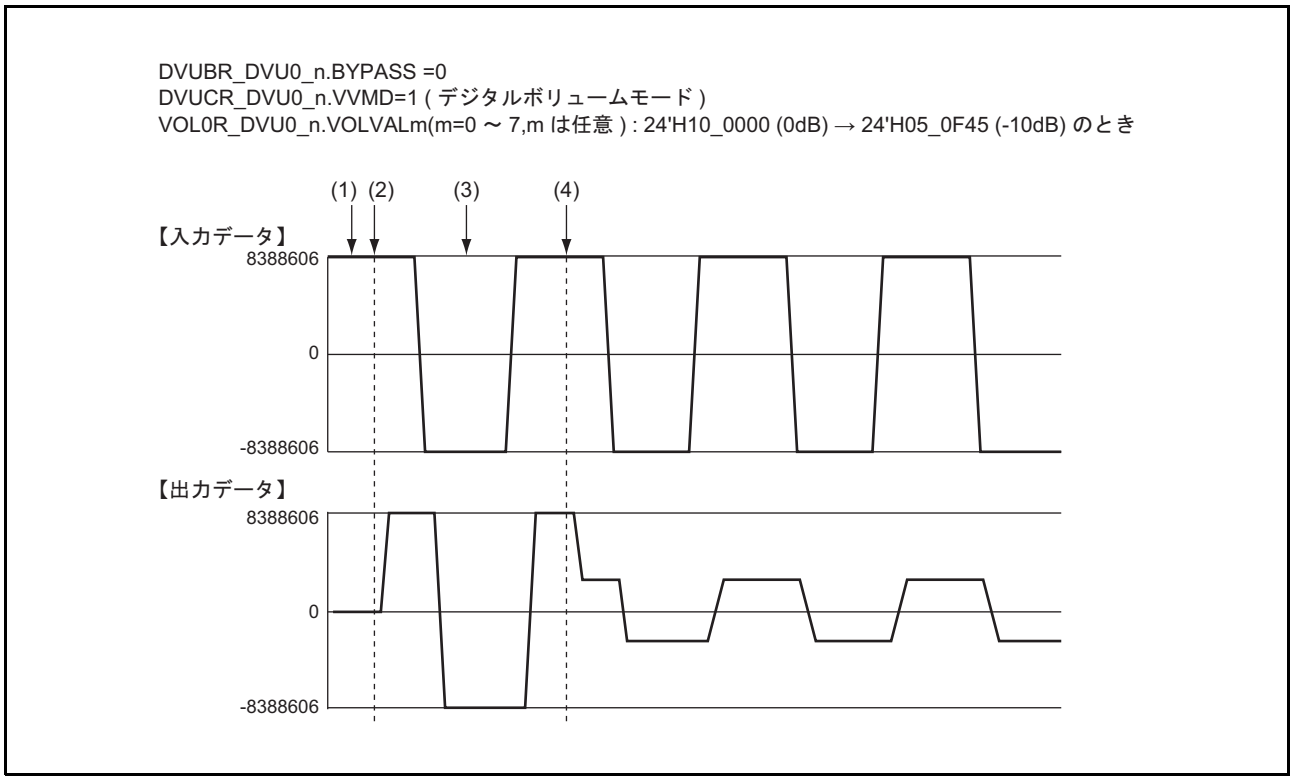


図 37.15 デジタルボリューム操作

【動作説明】

(1) INIT 状態 (DVUIR_DVU0_n.INIT=1) で DVUCR_DVU0_n.VVMD=1 (デジタルボリュームモード)、VOL0R_DVU0_n.VOLVAL m=24'H10_0000 (0dB) を設定します。
INIT 解除までは DVU は動作を開始せず、出力データは 0 です。

(2) INIT 解除 (DVUIR_DVU0_n.INIT=0) より動作を開始します。VOLVALm: 0dB と設定しているため

出力データは入力データを等倍した値となります。

(3) DVUER_DVU0_n.DVUEN=0、VOL0R_DVU0_n.VOLVAL0=24'H05_0F45 (-10dB)　を設定します。

(4) DVUER_DVU0_n.DVUEN=1 より (3) での VOLVAL0 への設定が有効になります。
出力データは入力データを -10dB した値となります。

図 37.16 にボリュームランプ操作イメージを示します。

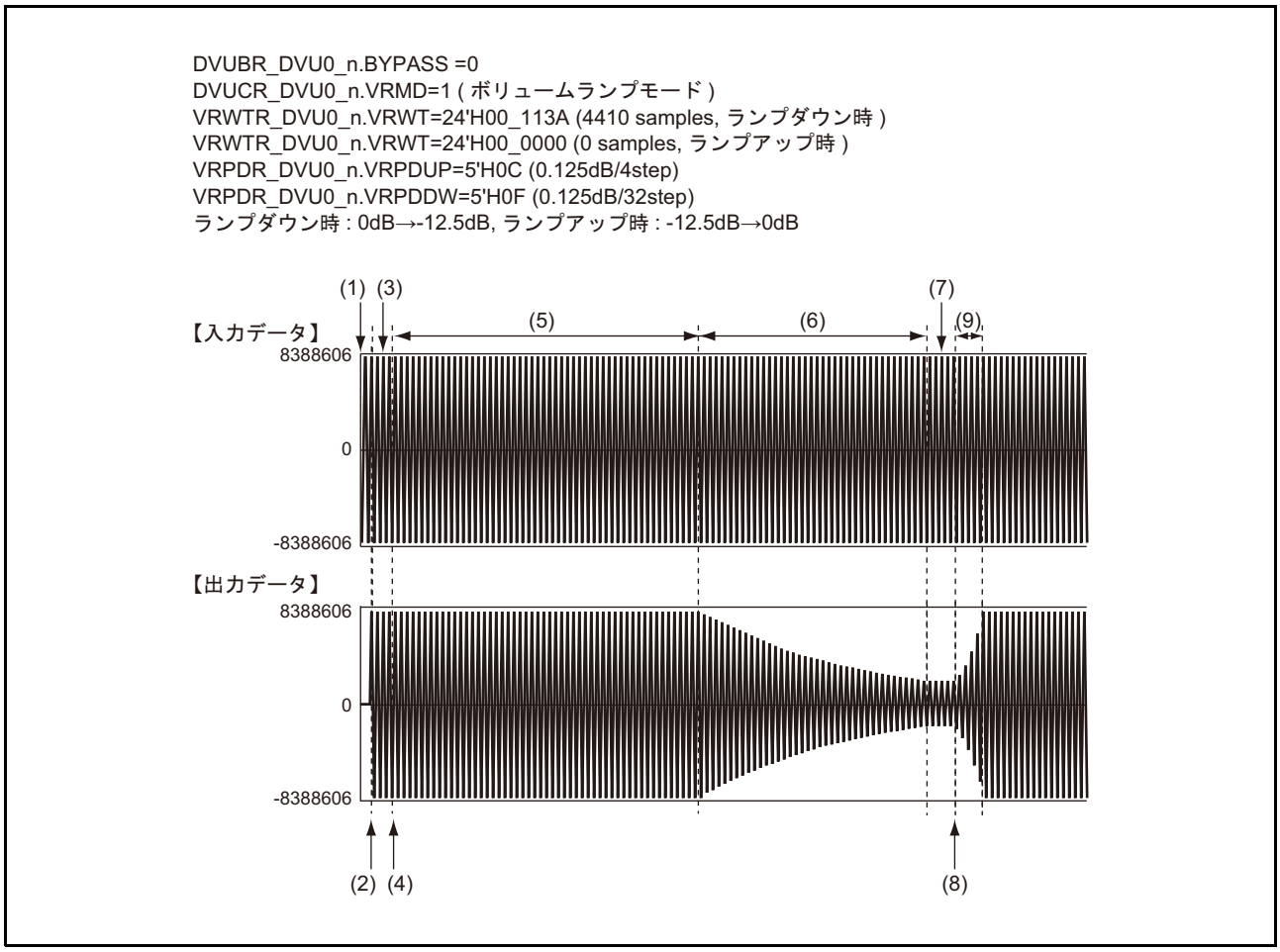


図 37.16　ボリュームランプ操作

【動作説明】

(1) INIT 状態 (DVUIR_DVU0_n.INIT=1) で DVUCR_DVU0_n.VRMD=1 (ボリュームランプモード)
VRCTR_DVU0_n.VRENm(m=0 ～ 7、m は任意)=1 を設定します。
INIT 解除までは DVU は動作を開始せず、出力データは 0 です。

(2) INIT 解除 (DVUIR_DVU0_n.INIT=0) より動作を開始します。
* INIT 状態で VRDBR_DVU0_n.VRDB の設定を変更した場合、INIT 解除時点で、その設定値がすぐに適用されます。(VRWTR_DVU0_n、VRPDR_DVU0_n の設定値には依存しません)

(3) DVUER_DVU0_n.DVUEN=0、VRPDR_DVU0_n.VRPDDW=5'H0F (0.125dB/32step)
VRDBR_DVU0_n.VRDB=10'H064 (-12.5dB)
VRWTR_DVU0_n.VRWT=24'H00_113A (4410 samples) を設定します。

(4) DVUER_DVU0_n.DVUEN=1 より (3) での設定が有効になります。

(5) VRWTR_DVU0_n.VRWT=24'H00_113A (4410 samples) でサンプリングレート 44.1KHz のため
4410/44100 = 0.1 秒間 ボリュームランプ動作の開始を待ちます。

(6) (5) の待ち時間が経過後、ボリュームランプ動作を開始します。
0dB → -12.5dB へのランプダウンで、VRPDR_DVU0_n.VRPDDW=5'H0F (0.125dB/32step) のため
12.5×32/0.125=3200step 経過後、出力データは入力データを -12.5dB した値となります。

(7) DVUER_DVU0_n.DVUEN=0、VRPDR_DVU0_n.VRPDUP=5'H0C (0.125dB/4step)
VRDBR_DVU0_n.VRDB=10'H000 (0dB)
VRWTR_DVU0_n.VRWT=24'H00_0000 (0 sample) を設定します。

(8) DVUER_DVU0_n.DVUEN=1 より (7) での設定が有効になります。

(9) VRWTR_DVU0_n.VRWT=24'H00_0000 (0 sample) なので待ち時間なく、
ボリュームランプ動作を開始します。
-12.5dB → 0dB へのランプアップで、VRPDR_DVU0_n.VRPDUP=5'H0C (0.125dB/4step) のため、
12.5×4/0.125=400step 経過後、出力データは入力データを等倍した値となります。

DVU ブロックのレイテンシを**表 37.25** に示します。

表37.25 DVUブロックのレイテンシ

Item	Bypass	DVU Operation
Output delay	1	2

37.4.9　MIX ブロック

MIX ブロックは、最大 4 系統からの入力オーディオデータを 1 系統にミックス (足し合わせる) ブロックです。各系統ごとに同時に最大 8 チャネルまでのデータを処理することができます。

- 2 ～ 4 系統のソースを 1 系統にミックス (足し合わせる) 可能
- 足し合わせる比率が設定可能
- 比率は動的に変更可能
- ボリュームランプによりミックスが可能 (ランプ時間は可変)
- SSIF モジュールへのダイレクト転送のみ可能

チャネル数の設定は MADIR_MIX0_0.CHNUM によって行います。未使用チャネルは、バイパスモードでない時 (MIXBR_MIX0_0.BYPASS=0) は、初期化 (MIXIR_MIX0_0.INIT=1) の後、CHNUM の設定を変更しない限り、常に 0 を出力します。バイパスモード時は、CHNUM の設定によらず全てのチャネルで、入力されたデータが 1 サイクル後に出力されます。

図 37.17 に MIX ブロックのブロック図を示します。

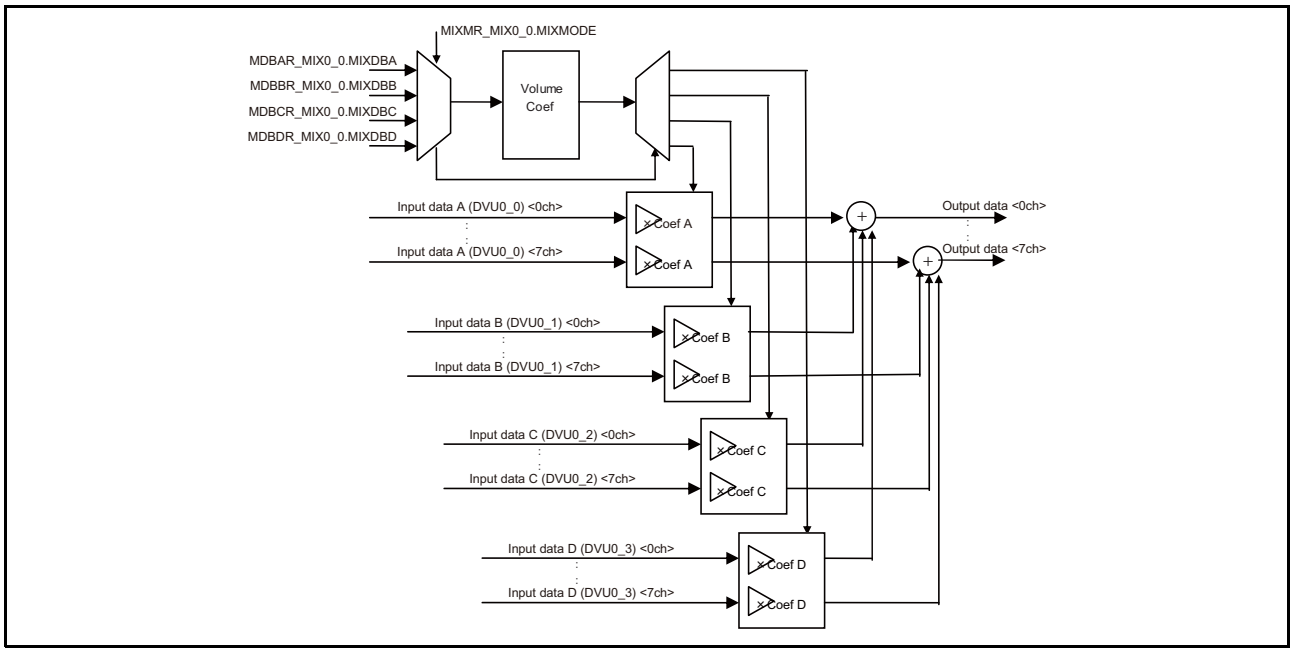


図 37.17　MIX ブロック　ブロック図

表 37.26 に MIX ブロックの機能を示します。

表 37.26　MIX ブロックの機能

Item	Performance
Volume Step Mixer	Mix the 4 systems data to 1 system. The volume of each system can be adjusted by step change.
Volume Ramp Mixer	Mix the 4 systems data to 1 system. The volume of each system can be adjusted by ramp.

図 37.18 に 1 システムデータのボリュームステップ操作イメージを示します。この図ではボリュームを 0dB から - ∞ dB に変化させた時を説明しています。ボリュームは 1 ステップ単位でターゲット dB を変えられます。Volume Step Mixer の場合、4 つのシステムのボリュームをステップ変更毎 (1 サンプル) に調整することができます。

図 37.19 に 1 システムデータのボリュームランプ操作イメージを示します。この図ではボリュームを 0dB から - ∞ dB に変化させた時を説明しています。ボリュームは 0.125dB/step ごとに変えられて、かつ - ∞ dB に達するためには、それぞれのシステムで最大 1024 サンプル必要とします。Volume Ramp Mixer の場合、4 つのシステムのボリュームをランプ毎に調整することができます。加えて、Volume Ramp Mixer はノイズ除去の機構を持っています。4 つのシステムでボリューム設定が異なっていたら、自動的にボリュームダウン操作とボリュームアップ操作を行います。同じ設定の場合、同じタイミングでボリュームが変わります。

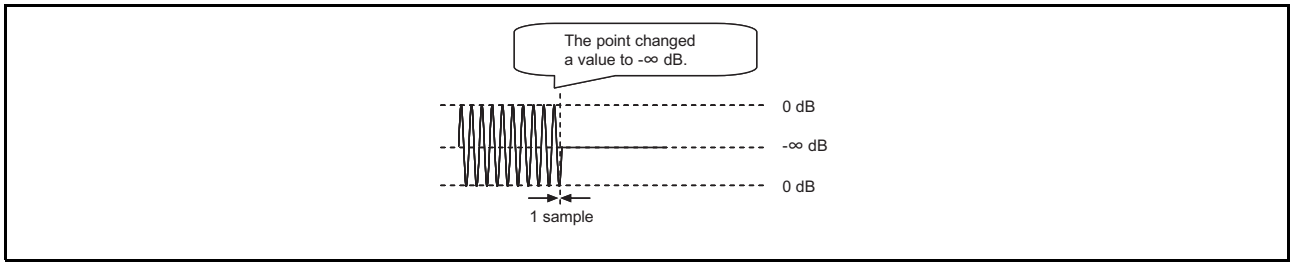


図 37.18　ボリュームステップ操作

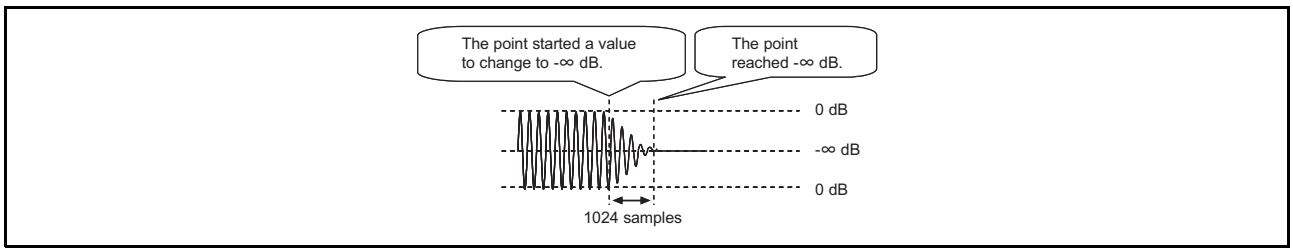


図 37.19　ボリュームランプ操作

図 37.20 に 4 システムデータでのボリュームランプ操作イメージを示します。

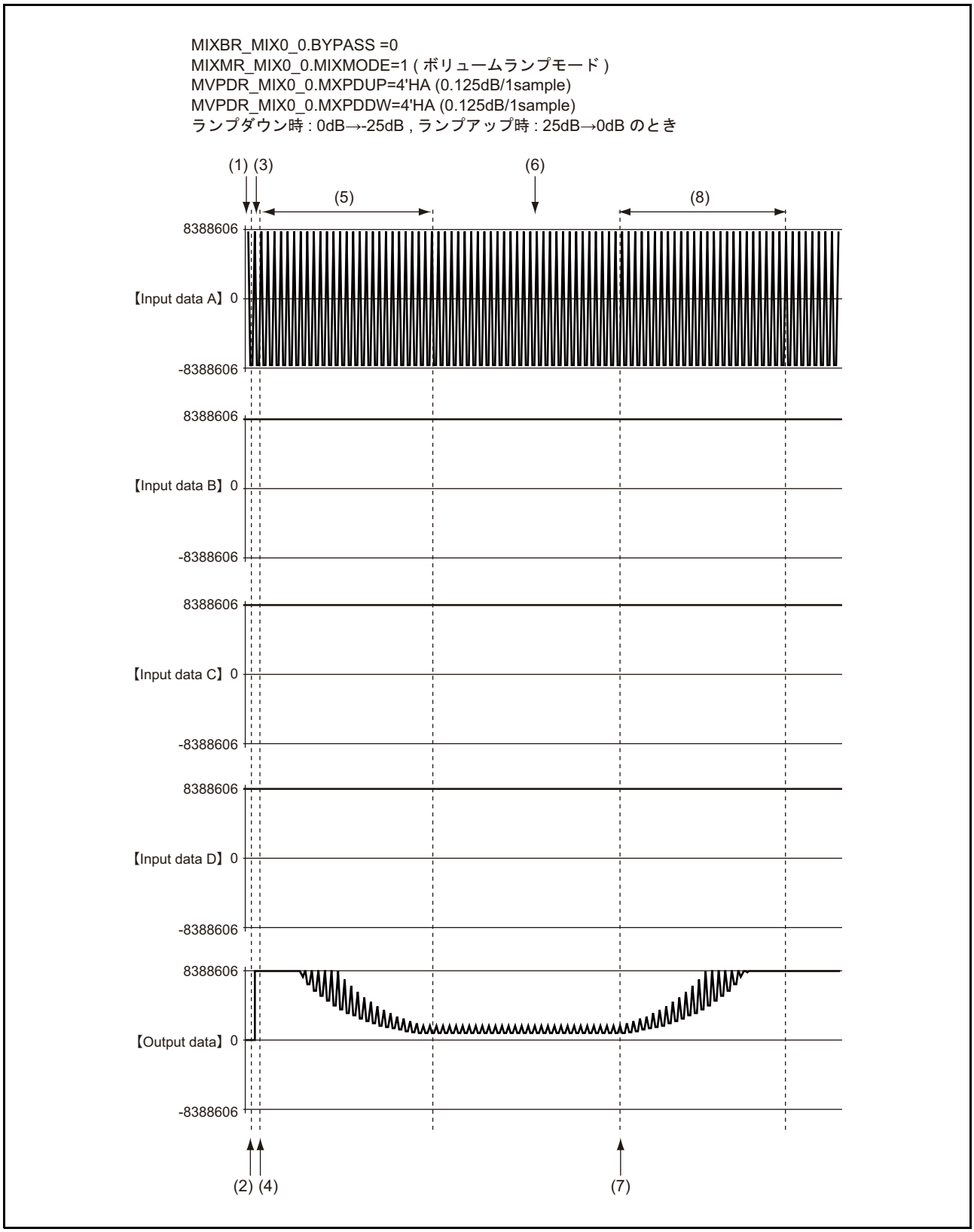


図 37.20　4 システムでのボリュームランプ操作

【動作説明】

(1) INIT 状態 (MIXIR_MIX0_0.INIT=1) で MIXMR_MIX0_0.MIXMODE=1 (ボリュームランプモード)
MVPDR_MIX0_0.MXPDDW=4'HA (0.125dB/1sample) を設定します。
INIT 解除までは MIX は動作を開始せず、Output data は 0 です。

(2) INIT 解除 (MIXIR_MIX0_0.INIT=0) より動作を開始します。
* INIT 状態で MDBAR_MIX0_0.MIXDBA、MDBBR_MIX0_0.MIXDBB、MDBCR_MIX0_0.MIXDBC、MDBDR_MIX0_0.MIXDBD の設定を変更した場合、INIT 解除時点で、その設定値がすぐに適用されます。(MVPDR_MIX0_0 の設定には依存しません)

(3) MDBER_MIX0_0.MIXDBEN=0、
MDBAR_MIX0_0.MIXDBA=10'H0C8 (-25dB)、MDBBR_MIX0_0.MIXDBB=10'H0C8 (-25dB)
MDBCR_MIX0_0.MIXDBC=10'H0C8 (-25dB)、MDBDR_MIX0_0.MIXDBD=10'H0C8 (-25dB)
を設定します。

(4) MDBER_MIX0_0.MIXDBEN=1 より (3) での設定が有効になります。

(5) 4 システムとも 0dB → -25dB へのランプダウンで、MVPDR_MIX0_0.MXPDDW=4'HA (0.125dB/1sample) のため、25/0.125=200step 経過後各システムの Input data は -25dB され、それらをミックスした Output data が得られます。

(6) MDBER_MIX0_0.MIXDBEN=0、
MDBAR_MIX0_0.MIXDBA=10'H000 (0dB)、MDBBR_MIX0_0.MIXDBB=10'H000 (0dB)
MDBCR_MIX0_0.MIXDBC=10'H000 (0dB)、MDBDR_MIX0_0.MIXDBD=10'H000 (0dB)
を設定します。

(7) MDBER_MIX0_0.MIXDBEN=1 より (6) での設定が有効になります。

(8) 4 システムとも -25dB → 0dB へのランプアップで、MVPDR_MIX0_0.MXPDUP=4'HA (0.125dB/1sample) のため、25/0.125=200ste 経過後各システムの Input data は 25dB され、それらをミックスした Output data が得られます。

MIX ブロックのレイテンシを**表 37.27** に示します。

表 37.27　MIX ブロックのレイテンシ

Item	Bypass	MIX Operation
Output delay	1	2

37.5 使用上の注意事項

37.5.1 ソフトウェアリセット

SWRSR_CIM レジスタの SWRST ビットおよび IPCIR_IPC0_n, OPCIR_OPC0_n, FFDIR_FFD0_n, FFUIR_FFU0_n, SRCIRp_2SRC0_m, SRCIRR_2SRC0_m, DVUIR_DVU0_n, MIXIR_MIX0_0 レジスタの INIT ビットによる本モジュールの内部回路の初期化は **37.4.1 初期設定手順** **37.4.2 転送開始手順および停止手順**にて指定している手順以外では実施しないでください。

38. SD ホストインタフェース

注 . SD ホスト関連製品を開発するには、SD Host/Ancillary Product License Agreement (SD HALA) の締結が必要です。

38.1 概要

38.1.1 特長

- SD メモリ /IO カードインタフェース（1bit/4bits SD bus）
- SD、SDHC、SDXC の SD メモリカードアクセスに対応
- Default mode/High-Speed mode の転送モードに対応
- SD クロック（SD_CLK）周波数 =IP 入力クロック（P1φ）周波数 /2n（n=1、2、…9）
- エラーチェック機能：CRC7 (コマンド / レスポンス), CRC16（データ）
- 割り込み要求：3 本
- DMA 転送要求：SD_BUF リード / ライト
- カード検出機能
- ライトプロテクトサポート

38.1.2 ブロック図

図 38.1 に本モジュールのブロック図を示します。

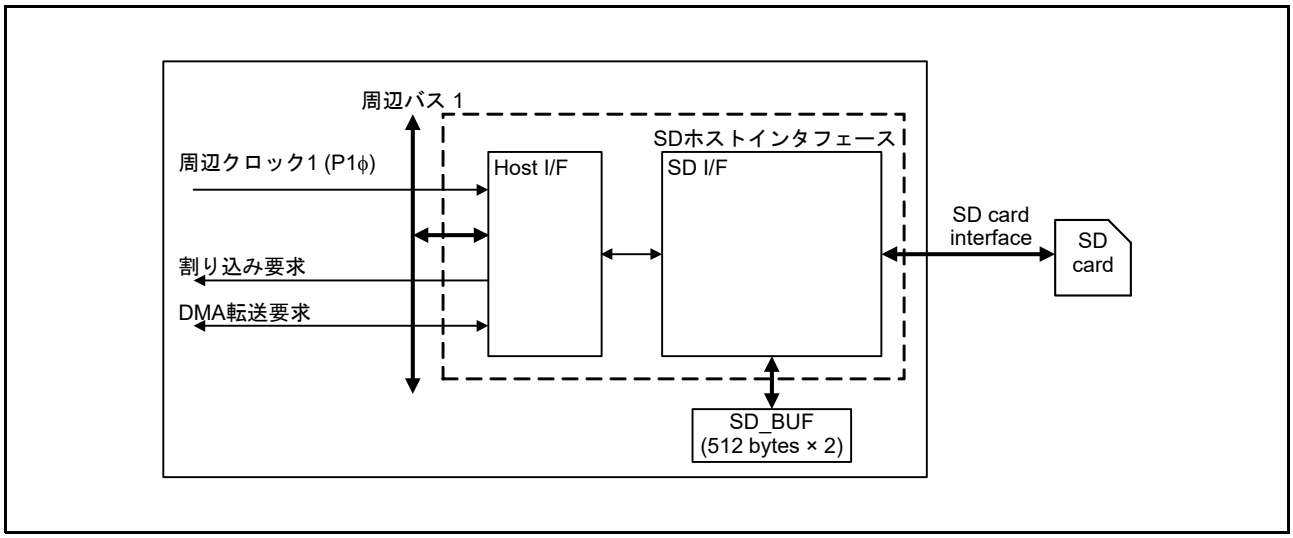


図 38.1　SD ホストインタフェースのブロック図

38.1.3 入出力端子

表 38.1 に端子構成を示します。

表 38.1　端子構成

端子名	入出力	機能
SD_CLK[1:0]（注 1）	出力	SD クロック SD クロック出力端子です。
SD_CMD[1:0]（注 1）	入出力	SD コマンド SD コマンド出力 / レスポンス入力信号です。
SD_D0[1:0]（注 1）	入出力	SD データ 0 データ [Bit0] 信号です。
SD_D1[1:0]（注 1）	入出力	SD データ 1 データ [Bit1]/SDIO Interrupt 信号です。
SD_D2[1:0]（注 1）	入出力	SD データ 2 データ [Bit2]/Read Wait 信号です。
SD_D3[1:0]（注 1）	入出力	SD データ 3 データ [Bit3]/ カード検出信号です。
SD_CD[1:0]（注 1）	入力	SD カード検出（注 2） SD カード検出入力信号です。
SD_WP[1:0]（注 1）	入力	SD ライトプロテクト（注 2） SD ライトプロテクト入力信号です。

注 1.　[1:0] は、SD ホストインタフェースのチャネル No. を示します。
注 2.　未使用時 1 固定

38.2 レジスタの説明

表 38.2 にレジスタ構成を示します。

表 38.2　レジスタ構成

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
0	コマンドタイプレジスタ	SD_CMD	H'E804E000	16
	コマンドアーギュメントレジスタ	SD_ARG0	H'E804E004	16
		SD_ARG1	H'E804E006	16
	データストップレジスタ	SD_STOP	H'E804E008	16
	ブロックカウントレジスタ	SD_SECCNT	H'E804E00A	16
	カードレスポンスレジスタ	SD_RSP00	H'E804E00C	16
		SD_RSP01	H'E804E00E	16
		SD_RSP02	H'E804E010	16
		SD_RSP03	H'E804E012	16
		SD_RSP04	H'E804E014	16
		SD_RSP05	H'E804E016	16
		SD_RSP06	H'E804E018	16
		SD_RSP07	H'E804E01A	16
	SD 割り込みフラグレジスタ 1	SD_INFO1	H'E804E01C	16
	SD 割り込みフラグレジスタ 2	SD_INFO2	H'E804E01E	16
	SD_INFO1 割り込みマスクレジスタ	SD_INFO1_MASK	H'E804E020	16
	SD_INFO2 割り込みマスクレジスタ	SD_INFO2_MASK	H'E804E022	16
	SD クロックコントロールレジスタ	SD_CLK_CTRL	H'E804E024	16
	転送データサイズレジスタ	SD_SIZE	H'E804E026	16
	カードアクセスオプションレジスタ	SD_OPTION	H'E804E028	16
	SD エラーステータスレジスタ 1	SD_ERR_STS1	H'E804E02C	16
	SD エラーステータスレジスタ 2	SD_ERR_STS2	H'E804E02E	16
	SD バッファリード/ライトレジスタ	SD_BUF0	H'E804E030	32
	SDIO モードコントロールレジスタ	SDIO_MODE	H'E804E034	16
	SDIO 割り込みフラグレジスタ	SDIO_INFO1	H'E804E036	16
	SDIO_INFO1 割り込みマスクレジスタ	SDIO_INFO1_MASK	H'E804E038	16
	DMA モードイネーブルレジスタ	CC_EXT_MODE	H'E804E0D8	16
	ソフトリセットレジスタ	SOFT_RST	H'E804E0E0	16
	バージョンレジスタ	VERSION	H'E804E0E2	16
	スワップコントロールレジスタ	EXT_SWAP	H'E804E0F0	16

チャネル	レジスタ名	略称	アドレス	アクセスサイズ
1	コマンドタイプレジスタ	SD_CMD	H'E804E800	16
	コマンドアーギュメントレジスタ	SD_ARG0	H'E804E804	16
		SD_ARG1	H'E804E806	16
	データストップレジスタ	SD_STOP	H'E804E808	16
	ブロックカウントレジスタ	SD_SECCNT	H'E804E80A	16
	カードレスポンスレジスタ	SD_RSP00	H'E804E80C	16
		SD_RSP01	H'E804E80E	16
		SD_RSP02	H'E804E810	16
		SD_RSP03	H'E804E812	16
		SD_RSP04	H'E804E814	16
		SD_RSP05	H'E804E816	16
		SD_RSP06	H'E804E818	16
		SD_RSP07	H'E804E81A	16
	SD 割り込みフラグレジスタ 1	SD_INFO1	H'E804E81C	16
	SD 割り込みフラグレジスタ 2	SD_INFO2	H'E804E81E	16
	SD_INFO1 割り込みマスクレジスタ	SD_INFO1_MASK	H'E804E820	16
	SD_INFO2 割り込みマスクレジスタ	SD_INFO2_MASK	H'E804E822	16
	SD クロックコントロールレジスタ	SD_CLK_CTRL	H'E804E824	16
	転送データサイズレジスタ	SD_SIZE	H'E804E826	16
	カードアクセスオプションレジスタ	SD_OPTION	H'E804E828	16
	SD エラーステータスレジスタ 1	SD_ERR_STS1	H'E804E82C	16
	SD エラーステータスレジスタ 2	SD_ERR_STS2	H'E804E82E	16
	SD バッファリード/ライトレジスタ	SD_BUF0	H'E804E830	32
	SDIO モードコントロールレジスタ	SDIO_MODE	H'E804E834	16
	SDIO 割り込みフラグレジスタ	SDIO_INFO1	H'E804E836	16
	SDIO_INFO1 割り込みマスクレジスタ	SDIO_INFO1_MASK	H'E804E838	16
	DMA モードイネーブルレジスタ	CC_EXT_MODE	H'E804E8D8	16
	ソフトリセットレジスタ	SOFT_RST	H'E804E8E0	16
	バージョンレジスタ	VERSION	H'E804E8E2	16
	スワップコントロールレジスタ	EXT_SWAP	H'E804E8F0	16

38.2.1　コマンドタイプレジスタ（SD_CMD）

コマンドタイプレジスタは、コマンドタイプとレスポンスタイプを設定するレジスタです。コマンドタイプレジスタにライトするとコマンドシーケンスを開始します。コマンドタイプレジスタの設定例を「38.4.10　SD_CMD レジスタ設定例」に示します。

SD_INFO2 レジスタの SCLKDIVEN ビットが 0 の時、SD_CMD レジスタにライトしないでください。

ビット	ビット名	初期値	R/W	説明
15	MD7	0	R/W	マルチブロック転送モード（マルチブロック転送時有効） 00：マルチブロック転送時、CMD12 を自動発行します。 01：マルチブロック転送時、CMD12 を自動発行しません。 10：設定禁止 11：設定禁止
14	MD6	0	R/W	
13	MD5	0	R/W	シングル/マルチブロック転送（データを伴うコマンド時有効） 0：シングルブロック転送 1：マルチブロック転送
12	MD4	0	R/W	ライト/リードモード（データを伴うコマンド時有効） 0：ライト(SD ホストインタフェース→ SD カード) 1：リード(SD ホストインタフェース← SD カード)
11	MD3	0	R/W	データモード(コマンドタイプ) 0：データ転送を伴わないコマンド(bc, bcr, ac) 1：データ転送を伴うコマンド(adtc)
10	MD2	0	R/W	モード/レスポンスタイプ 000：ノーマルモード 　　レスポンスタイプと転送モードを SD_CMD[7:0]より決定し、 　　SD_CMD[15:11]の設定は無効になります。 001：設定禁止 010：設定禁止 011：拡張モード/レスポンス無し 100：拡張モード/SD カード R1,R5,R6,R7 レスポンス 101：拡張モード/SD カード R1b レスポンス 110：拡張モード/SD カード R2 レスポンス 111：拡張モード/SD カード R3,R4 レスポンス ノーマルモードを使用できないコマンドが一部ありますので、「38.4.10　SD_CMD レジスタ設定例」を参照して、モード/レスポンスタイプを設定してください。
9	MD1	0	R/W	
8	MD0	0	R/W	
7	C1	0	R/W	00：CMD 01：ACMD 10：設定禁止 11：設定禁止
6	C0	0	R/W	
5	CF45	0	R/W	コマンドインデックス Command Format[45:40](command index)を指定します。 例）CMD6 の場合、SD_CMD[7:0] = 8'b00_000110 　　CMD18 の場合、SD_CMD[7:0] = 8'b00_010010 　　ACMD13 の場合、SD_CMD[7:0] = 8'b01_001101
4	CF44	0	R/W	
3	CF43	0	R/W	
2	CF42	0	R/W	
1	CF41	0	R/W	
0	CF40	0	R/W	

注.　SD_CMD レジスタは、SD_INFO2 レジスタの CBSY ビットが 1 のときライトすることができません。

38.2.2　コマンドアーギュメントレジスタ（SD_ARG）

コマンドアーギュメントレジスタは、コマンドの Argument を設定するレジスタです。SD_CMD レジスタにライトする前にコマンドの Argument を設定してください。

- SD_ARG0

ビット	ビット名	初期値	R/W	説明
15～0	CF23～CF8	すべて 0	R/W	Command Format[23:8] (argument) を設定します。

- SD_ARG1

ビット	ビット名	初期値	R/W	説明
15～0	CF39～CF24	すべて 0	R/W	Command Format[39:24] (argument) を設定します。

38.2.3　データストップレジスタ（SD_STOP）

データストップレジスタは、マルチブロック転送時のブロックカウントイネーブルの設定およびコマンドシーケンス中 CMD12 の発行を制御するレジスタです。

ビット	ビット名	初期値	R/W	説明
15～9	—	すべて 0	R	0 固定
8	SEC	0（注1）	R/W	ブロックカウントイネーブル（注2） 0：SD_SECCNT レジスタ設定値を無効にする。 1：SD_SECCNT レジスタ設定値を有効にする。 マルチブロック転送の時 SEC を 1 に設定してください。 SEC を 1 に設定し、かつ SD_CMD レジスタを下記の通り設定してコマンドシーケンスを開始した場合、SD_SECCNT レジスタに設定したブロック数で、マルチブロック転送を停止するため、CMD12 を自動発行します。 1. ノーマルモード（SD_CMD[10:8]=000）で CMD18 または CMD25 2. 拡張モードで SD_CMD[15:13]=001（CMD12 自動発行、マルチブロック転送） なお、通信エラーまたはタイムアウトによりコマンドシーケンスが中断された場合 CMD12 を自動発行しません。
7～1	—	すべて 0	R	0 固定
0	STP	0（注1）	R/W	ストップ（注3） • マルチブロック転送中に STP を 1 に設定すると、CMD12 を発行し SD ホストインタフェースの転送を中断します。 なお、通信エラーまたはタイムアウトによりコマンドシーケンスが中断されている場合 CMD12 を発行しません。 また、STP を 1 に設定した後もバッファアクセスは継続実行可能ですが、バッファアクセスエラーの SD_INFO2 レジスタ ERR5 または ERR4 ビットがセットされます。 • シングルブロックライト転送中に STP を 1 に設定したときに、SD_BUF にデータがない場合、CMD12 を発行せずにアクセスエンドフラグがセットされます。SD_BUF にデータがある場合、CMD12 を発行せずに busy 受信完了後、アクセスエンドフラグがセットされます。 • シングルブロックリード転送中に STP を 1 に設定したとき、CMD12 を発行せずにすぐにアクセスエンドフラグがセットされます。 • R1b レスポンス後の busy 受信中に STP を 1 に設定した場合、CMD12 を発行せずに busy 受信完了後、アクセスエンドフラグがセットされます。 • コマンドシーケンスが終了している時に STP を 1 に設定した場合、CMD12 を発行せずアクセスエンドフラグもセットされません。

注1.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注2.　SD_INFO2 レジスタの SCLKDIVEN ビットが 0 の時本ビットの値を変更しないでください。
注3.　SD_INFO2 レジスタの SCLKDIVEN ビットが 0 の時本ビットを 1 から 0 に変更しないでください。

38.2.4　ブロックカウントレジスタ（SD_SECCNT）

ブロックカウントレジスタは、マルチブロック転送時の転送ブロック数を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15～0	CNT15～CNT0	すべて 0	R/W	転送ブロック数（注 1） 0x0001 を設定した場合、転送ブロック数=1。 ： 0xFFFF を設定した場合、転送ブロック数=65535。 但し、0x0000 を設定した場合、転送ブロック数=65536 となります。

注 1.　SD_INFO2 レジスタの SCLKDIVEN ビットが 0 の時本ビットの値を変更しないでください。

38.2.5　カードレスポンスレジスタ（SD_RSP）

カードレスポンスレジスタは、SD カードからのレスポンスを格納します。

- SD_RSP00

ビット	ビット名	初期値	R/W	説明
15～0	R23～R8	すべて 0	R	SD カードからのレスポンスを格納します。

- SD_RSP01

ビット	ビット名	初期値	R/W	説明
15～0	R39～R24	すべて 0	R	SD カードからのレスポンスを格納します。

- SD_RSP02

ビット	ビット名	初期値	R/W	説明
15～0	R55～R40	すべて 0	R	SD カードからのレスポンスを格納します。

- SD_RSP03

ビット	ビット名	初期値	R/W	説明
15～0	R71～R56	すべて 0	R	SD カードからのレスポンスを格納します。

- SD_RSP04

ビット	ビット名	初期値	R/W	説明
15～0	R87～R72	すべて 0	R	SD カードからのレスポンスを格納します。

- SD_RSP05

ビット	ビット名	初期値	R/W	説明
15～0	R103～R88	すべて 0	R	SD カードからのレスポンスを格納します。

- SD_RSP06

ビット	ビット名	初期値	R/W	説明
15～0	R119～R104	すべて 0	R	SD カードからのレスポンスを格納します。

- SD_RSP07

ビット	ビット名	初期値	R/W	説明
15～8	—	すべて 0	R	0 固定
7～0	R127～R120	すべて 0	R	SD カードからのレスポンスを格納します。

表 38.3 に各レスポンスタイプと SD_RSP レジスタの対応を示します。

表 38.3　レスポンスタイプと SD_RSP レジスタの対応

レスポンスタイプ	SD_RSP レジスタ
R1, R1b[39:8]	SD_RSP01、SD_RSP00
R2[127:8]	SD_RSP07～SD_RSP00
R3[39:8]	SD_RSP01、SD_RSP00
R4[39:8]	SD_RSP01、SD_RSP00
R5[39:8]	SD_RSP01、SD_RSP00
R6[39:8]	SD_RSP01、SD_RSP00
R7[39:8]	SD_RSP01、SD_RSP00

38.2.6　SD 割り込みフラグレジスタ 1（SD_INFO1）

SD 割り込みフラグレジスタ 1 は、コマンドシーケンスにおけるレスポンスエンドおよびアクセスエンドを表示します。また、カード検出 / ライトプロテクトの状態を表示します。

マルチブロック転送中の CMD12 および CMD52 (SDIO abort) は INFO0 がセットされず INFO2 のみセットされます。

通信エラーまたはタイムアウトによりコマンドシーケンスが中断された場合も INFO2 または INFO0 がセットされます。

INFO10、INFO9、INFO8 はリセット解除後 SD_D3 の状態により変化し、4bits モードでのデータ転送中も変化します。

フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
15～11	—	すべて 0	R	0 固定
10	INFO10	不定	R	SD_D3 の状態を表示します。 1：SD_D3 が 1 です。 0：SD_D3 が 0 です。
9	INFO9	0	R/W（注 1）	SD_D3 Card Insertion [セット条件] SD_D3 が 0 から 1 に変化し 2 P1φ期間 1 状態が続いたとき [クリア条件] 0 を書き込んだとき
8	INFO8	0	R/W（注 1）	SD_D3 Card Removal [セット条件] SD_D3 が 1 から 0 に変化し 2 P1φ期間 0 状態が続いたとき [クリア条件] 0 を書き込んだとき
7	INFO7	不定	R	ライトプロテクト SD_WP の状態を表示します。 1：SD_WP が 0 です。 0：SD_WP が 1 です。
6	—	0	R	0 固定
5	INFO5	不定	R	SD_CD の状態を表示します。 1：SD_CD が Ncycle 期間 0 状態が続いたとき。 0：SD_CD が Ncycle 期間 1 状態が続いたとき。 Ncycle は SD_OPTION レジスタの bit3～bit0 で設定します。
4	INFO4	0	R/W（注 1）	SD_CD Card Insertion [セット条件] SD_CD が 1 から 0 に変化し Ncycle 期間 0 状態が続いたとき [クリア条件] 0 を書き込んだとき Ncycle は SD_OPTION レジスタの bit3～bit0 で設定します。
3	INFO3	0	R/W（注 1）	SD_CD Card Removal [セット条件] SD_CD が 0 から 1 に変化し Ncycle 期間 1 状態が続いたとき [クリア条件] 0 を書き込んだとき Ncycle は SD_OPTION レジスタの bit3～bit0 で設定します。

ビット	ビット名	初期値	R/W	説明
2	INFO2	0（注2）	R/W（注1）	アクセスエンド [セット条件] • シングルブロックリード転送でバッファリードアクセスが完了したとき • マルチブロックリード転送でラストブロックのバッファリードアクセスが完了したとき • CMD12自動発行のマルチブロックリード転送でバッファリードアクセスが完了し、CMD12レスポンス受信が完了したとき • シングルブロックライト転送でCRC Status後busy受信が完了したとき • マルチブロックライト転送でラストブロックのCRC Status後busy受信が完了したとき • CMD12自動発行のマルチブロックライト転送でCMD12のレスポンスビジー（busy）受信が完了したとき • マルチブロックリード転送でSTP=1設定によるCMD12のレスポンス受信が完了したとき • マルチブロックライト転送でSTP=1設定によるCMD12のレスポンスビジー（busy）受信が完了したとき • マルチブロックリード転送でIOABT=1設定によるCMD52のレスポンス受信が完了したとき • マルチブロックライト転送でIOABT=1設定によるCMD52のレスポンス受信が完了したとき 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したときもセットされます。 [クリア条件] 0を書き込んだとき
1	—	0	R	0固定
0	INFO0	0（注2）	R/W（注1）	レスポンスエンド [セット条件] • レスポンスの受信を完了したとき • レスポンスを要しないコマンドの送信が完了したとき • R1bレスポンス後busy受信を完了したとき • マルチブロックリード転送でC52PUB=1設定によるCMD52のレスポンス受信が完了したとき • マルチブロックライト転送でC52PUB=1設定によるCMD52のレスポンス受信が完了したとき 通信エラーまたはタイムアウトによりコマンドシーケンスが中断したときもセットされます。 [クリア条件] 0を書き込んだとき

注1.　0書き込みのみ有効です。
注2.　リセット時の他にSOFT_RSTレジスタのSDRSTビットが0の時も本初期値が設定されます。

38.2.7　SD 割り込みフラグレジスタ 2（SD_INFO2）

SD 割り込みフラグレジスタ 2 は、SD バッファ（SD_BUF）および SD カードアクセスのステータスを表示します。フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
15	ILA	0（注2）	R/W（注1）	イリーガルアクセスエラー [セット条件] • コマンドシーケンス中に SD_CMD レジスタにライトしたとき • SD_CMD レジスタに SD_CMD[10:8] = 3'b011 (レスポンス無し) かつ SD_CMD[11] = 1'b1 (データ転送を伴うコマンド) を設定したとき • SD_CMD レジスタに SD_CMD[11] = 1'b1 (データ転送を伴うコマンド) かつ SD_CMD[7:0] = 8'b00_001100 (CMD12) を設定したとき [クリア条件] 0 を書き込んだとき
14	CBSY	0（注2）	R	コマンドタイプレジスタビジー 1：コマンドシーケンス実行中です。 0：コマンドシーケンス終了。
13	SCLKDIVEN	1（注2）	R	SD バスビジー 1：SD バス (CMD、DAT) がビジーでない。 0：SD バス (CMD、DAT) がビジー。 SD_CMD レジスタライトによるコマンドシーケンス開始にて、CBSY ビットが 1 にセットされると同時に SCLKDIVEN ビットが 0 にセットされます。 コマンドシーケンス終了により CBSY ビットが 0 になった後、8xSD_CLK 経過すると SCLKDIVEN ビットが 1 になります。
12	—	0	R	0 固定
11	—	0（注2）	R/W（注1）	リザーブビットです。書き込む値は 1 にしてください。
10	—	0	R	0 固定
9	BWE	0（注2）	R/W（注1）	SD_BUF ライトイネーブル 1：SD_BUF0 にデータを書き込むことができる。 0：SD_BUF0 にデータを書き込むことができない。 [セット条件] • シングルブロック転送時、SD_BUF がエンプティのとき • マルチブロック転送時、SD_BUF のバンク 1 またはバンク 2 がエンプティのとき [クリア条件] • 0 を書き込んだとき CPU にて SD_BUF0 にデータを書きこむ場合、BWE をクリアしてから、SD_SIZE レジスタ設定値分（注3）のデータを書き込むようにしてください。なお、CC_EXT_MODE レジスタの DMASDRW ビットに 1 設定し SD_BUF リード/ライト DMA 転送許可時はセットされません。
8	BRE	0（注2）	R/W（注1）	SD_BUF リードイネーブル 1：SD_BUF0 からデータを読み出すことができる。 0：SD_BUF0 からデータを読み出すことができない。 [セット条件] • シングルブロック転送時、SD_SIZE レジスタに設定したデータが SD_BUF に格納されたとき • マルチブロック転送時、SD_SIZE レジスタに設定したデータが SD_BUF のバンク 1 またはバンク 2 に格納されたとき [クリア条件] • 0 を書き込んだとき CPU にて SD_BUF0 からデータを読み出す場合、BRE をクリアしてから、SD_SIZE レジスタ設定値分（注3）のデータを読み出すようにしてください。なお、CC_EXT_MODE レジスタの DMASDRW ビットに 1 設定し SD_BUF リード/ライト DMA 転送許可時はセットされません。 リードブロック中に CRC エラーまたは END エラーがあった場合も SD_BUF にデータが格納され BRE がセットされます。

ビット	ビット名	初期値	R/W	説明
7	DAT0	不定	R	SD_D0 SD_D0 の状態を表示します。 1：SD_D0 が 1 です。 0：SD_D0 が 0 です。 Erase コマンドを発行した後、データタイムアウト(ERR3)がセットされレスポンスタイムアウト(ERR6)がセットされない場合、DAT0 をポーリングすることにより Erase シーケンスの終了(DAT0=1)を確認することができます。 ライトシーケンス中に通信エラーまたはタイムアウトが発生すると、DAT0 が 0 の状態のままの 場合があります。
6	ERR6	0（注2）	R/W（注1）	レスポンスタイムアウト [セット条件] • 640 SD_CLK 以上経過してもレスポンスを受信しないとき [クリア条件] • 0 を書き込んだとき レスポンスタイムアウトが起こるとコマンドシーケンスが中断されます。（注4）
5	ERR5	0（注2）	R/W（注1）	SD_BUF イリーガルリードアクセス [セット条件] • SD_BUF がエンプティの時に SD_BUF0 をリードした場合 • CRC エラーまたは END エラーを含むリードデータを SD_BUF0 からリードしたとき [クリア条件] • 0 を書き込んだとき
4	ERR4	0（注2）	R/W（注1）	SD_BUF イリーガルライトアクセス [セット条件] • データリード/ライトコマンドステートで無いときに SD_BUF0 にライトしたとき • SD_BUF がフルのとき SD_BUF0 にライトしたとき • CRC Status または CRC Status 長がエラーの場合に SD_BUF0 にライトしたとき • CRC Status の後、Ncycle 以上 busy 状態の場合に SD_BUF0 にライトしたとき [クリア条件] • 0 を書き込んだとき Ncycle は SD_OPTION レジスタの bit7～bit4 で設定します。
3	ERR3	0（注2）	R/W（注1）	データタイムアウト（レスポンスタイムアウトを除く） [セット条件] • R1b レスポンスの後、Ncycle 以上 busy 状態（SD_D0=0）のとき • CRC Status の後、Ncycle 以上 busy 状態（SD_D0=0）のとき • ライトデータの後、Ncycle 以上経過しても CRC Status を受信しないとき • リードコマンドの後、Ncycle 以上経過してもリードデータを受信しないとき • コマンドシーケンス中 CMD12 発行の後、Ncycle 以上 busy 状態（SD_D0=0）のとき • リードデータ受信の後、Ncycle 以上経過しても次ブロックリードデータを受信しないとき • Read Wait 解除の後、Ncycle 以上経過しても次ブロックリードデータを受信しないとき [クリア条件] • 0 を書き込んだとき Ncycle は SD_OPTION レジスタの bit7～bit4 で設定します。 データタイムアウトが起こるとコマンドシーケンスが中断されます。

ビット	ビット名	初期値	R/W	説明
2	ERR2	0（注2）	R/W（注1）	ENDエラー [セット条件] • レスポンス長がエラーのとき（エンドビットが検出できなかったとき） • リードデータ長がエラーのとき（有効ビットのエンドビットが検出できなかったとき） • CRC Status長がエラーのとき（エンドビットが検出できなかったとき） [クリア条件] • 0を書き込んだとき ENDエラーが起こるとコマンドシーケンスが中断されます。（注4）
1	ERR1	0（注2）	R/W（注1）	CRCエラー [セット条件] • CRC Statusがエラーのとき • リードデータにCRCエラーがあるとき • レスポンスにCRCエラーがあるとき [クリア条件] • 0を書き込んだとき CRCエラーが起こるとコマンドシーケンスが中断されます。（注4）
0	ERR0	0（注2）	R/W（注1）	CMDエラー [セット条件] • 送信したコマンドのcommand indexと受信したレスポンスのcommand indexが異なるとき [クリア条件] • 0を書き込んだとき CMDエラーが起こるとコマンドシーケンスが中断されます。（注4）

注1.　0書き込みのみ有効です。
注2.　リセット時の他にSOFT_RSTレジスタのSDRSTビットが0の時も本初期値が設定されます。
注3.　SD_SIZEレジスタへの奇数バイト設定による端数1または3バイト、またSD_SIZEレジスタへの4バイト単位でない偶数バイト設定による端数2バイトは余分なデータとみなされます。
注4.　SDIO_MODEレジスタのC52PUBビットを1設定した後、発行されたCMD52に対して、通信エラー、またはレスポンスタイムアウトが発生した場合、コマンドシーケンスは終了しませんので、使用例のエラー処理(38.4.7　IO_RW_EXTENDED（CMD53／マルチブロックリード）の図38.17、または38.4.8　IO_RW_EXTENDED（CMD53／マルチブロックライト）の図38.20)を行いシーケンスを終了してください。

38.2.8　SD_INFO1 割り込みマスクレジスタ（SD_INFO1_MASK）

SD_INFO1 レジスタ割り込みの禁止 / 許可を設定します。0 に設定されているとき、SD_INFO1 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
15～10	—	すべて 0	R	0 固定
9	IMASK9	1	R/W	INFO9 割り込みマスク
8	IMASK8	1	R/W	INFO8 割り込みマスク
7～5	—	すべて 0	R	0 固定
4	IMASK4	1	R/W	INFO4 割り込みマスク
3	IMASK3	1	R/W	INFO3 割り込みマスク
2	IMASK2	1	R/W	INFO2 割り込みマスク
1	—	0	R	0 固定
0	IMASK0	1	R/W	INFO0 割り込みマスク

38.2.9　SD_INFO2 割り込みマスクレジスタ（SD_INFO2_MASK）

SD_INFO2 レジスタ割り込みの禁止 / 許可を設定します。0 に設定されているとき、SD_INFO2 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
15	IMASK	1	R/W	ILA 割り込みマスク
14～12	—	すべて 0	R	0 固定
11	—	1	R/W	リザーブビットです。書き込む値は 1 にしてください。
10	—	0	R	0 固定
9	BMASK1	1	R/W	BWE 割り込みマスク
8	BMASK0	1	R/W	BRE 割り込みマスク
7	—	0	R	0 固定
6	EMASK6	1	R/W	ERR6 割り込みマスク
5	EMASK5	1	R/W	ERR5 割り込みマスク
4	EMASK4	1	R/W	ERR4 割り込みマスク
3	EMASK3	1	R/W	ERR3 割り込みマスク
2	EMASK2	1	R/W	ERR2 割り込みマスク
1	EMASK1	1	R/W	ERR1 割り込みマスク
0	EMASK0	1	R/W	ERR0 割り込みマスク

38.2.10　SD クロックコントロールレジスタ（SD_CLK_CTRL）

SD クロックコントロールレジスタは、SD クロック (SD_CLK) の出力制御および周波数を設定します。SD_CMD レジスタにライトしコマンドを発行する前に SCLKEN を 1 に設定してください。

SD_INFO2 レジスタの SCLKDIVEN ビットが 0 の時、SD_CLK_CTRL レジスタにライトしないでください。

ビット	ビット名	初期値	R/W	説明
15～10	—	すべて0	R	0固定
9	SDCLKOFFEN	0	R/W	SDクロック(SD_CLK)出力自動制御イネーブル 0：SDクロック(SD_CLK)出力の自動制御を禁止します。 1：SDクロック(SD_CLK)出力の自動制御を許可します。 SDクロック(SD_CLK)出力自動制御は、コマンドシーケンス中のみSD_CLKを出力する機能です。 SD_CLK出力開始と出力停止のタイミングは以下の仕様となります。 SD_CLK出力開始：SD_CMDレジスタにライトした後 SD_CLK出力停止：コマンドシーケンス終了の8xSD_CLK経過した後 なお、SD_CLK_CTRLレジスタのSCLKENビットが1の時SDクロック(SD_CLK)出力自動制御が有効です。
8	SCLKEN	0（注1）	R/W（注2）	SDクロック(SD_CLK)出力制御イネーブル 0：SDクロック(SD_CLK)の出力を禁止します。SD_CLK信号を0に固定します。 1：SDクロック(SD_CLK)の出力を許可します。
7	DIV7	0	R/W（注2）	SDクロック(SD_CLK) 10000000：P1φ/512 01000000：P1φ/256 00100000：P1φ/128 00010000：P1φ/64 00001000：P1φ/32 00000100：P1φ/16 00000010：P1φ/8 00000001：P1φ/4 00000000：P1φ/2 上記以外の設定は行わないでください。
6	DIV6	0	R/W（注2）	
5	DIV5	1	R/W（注2）	
4	DIV4	0	R/W（注2）	
3	DIV3	0	R/W（注2）	
2	DIV2	0	R/W（注2）	
1	DIV1	0	R/W（注2）	
0	DIV0	0	R/W（注2）	

注1.　リセット時の他にSOFT_RSTレジスタのSDRSTビットが0の時も本初期値が設定されます。
注2.　SD_INFO2レジスタのCBSYビットが1のときライトすることができません。

38.2.11　転送データサイズレジスタ（SD_SIZE）

転送データサイズレジスタは、転送データサイズを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15～12	—	すべて0	R	0固定
11、10	—	すべて0	R	リザーブビットです。
9～0	LEN9～LEN0	1000000000	R/W	転送データサイズ（注1） シングルブロック転送時には、1バイト～512バイトの範囲を設定できます。 CMD12を自動発行するマルチブロック転送時（CMD18とCMD25）には、512バイトのみ設定できます。 CMD12を自動発行しないマルチブロック転送時には、512バイトの他、32、64、128、256バイト設定が可能です。但し、32、64、128、256バイトのマルチブロックリード転送は、CMD53マルチブロック転送に限ります。 なお、データ転送を伴うコマンドの時、0設定しないでください。

注1.　SD_INFO2レジスタのSCLKDIVENビットが0の時本ビットの値を変更しないでください。

38.2.12　カードアクセスオプションレジスタ（SD_OPTION）

カードアクセスオプションレジスタは、Bus width およびタイムアウトカウンタを設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15	WIDTH	0（注1）	R/W	Bus Width（注2） 0：4-bit width 1：1-bit width
14	—	1	R	1固定
13～8	—	すべて0	R	0固定
7	TOP27	1（注1）	R/W	タイムアウトカウンタ（注2） 1111：設定禁止 1110：SD_CLK × 2^{27} 1101：SD_CLK × 2^{26} ： 0001：SD_CLK × 2^{14} 0000：SD_CLK × 2^{13}
6	TOP26	1（注1）	R/W	
5	TOP25	1（注1）	R/W	
4	TOP24	0（注1）	R/W	
3	CTOP24	1（注1）	R/W	カード検出タイムカウンタ 1111：設定禁止 1110：P1φ × 2^{24} 1101：P1φ × 2^{23} ： 0001：P1φ × 2^{11} 0000：P1φ × 2^{10}
2	CTOP23	1（注1）	R/W	
1	CTOP22	1（注1）	R/W	
0	CTOP21	0（注1）	R/W	

注1.　リセット時の他にSOFT_RST レジスタのSDRST ビットが0の時も本初期値が設定されます。
注2.　SD_INFO2 レジスタのSCLKDIVEN ビットが0の時本ビットの値を変更しないでください。

38.2.13　SD エラーステータスレジスタ 1（SD_ERR_STS1）

SD エラーステータスレジスタ 1 は、CRC Status、CRC エラー、END エラーおよび CMD エラーを表示します。

ビット	ビット名	初期値	R/W	説明
15	—	0	R	0 固定
14	E14	0（注1）	R	CRC Status を格納します。(normal：010)
13	E13	1（注1）	R	
12	E12	0（注1）	R	
11	E11	0（注1）	R	CRC Status がエラーのとき 1 になります。
10	E10	0（注1）	R	リードデータに CRC エラーがあるとき 1 になります。
9	E9	0（注1）	R	コマンドシーケンス中発行コマンド（注2）のレスポンスに CRC エラーがあるとき 1 になります。SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E8 に表示します。
8	E8	0（注1）	R	レスポンス（コマンドシーケンス中発行コマンド（注2）のレスポンス以外）に CRC エラーがあるとき 1 になります。
7、6	—	すべて 0	R	0 固定
5	E5	0（注1）	R	CRC Status 長がエラーのとき 1 になります。(エンドビットが検出できなかったとき)
4	E4	0（注1）	R	リードデータ長がエラーのとき 1 になります。(有効ビットのエンドビットが検出できなかったとき)
3	E3	0（注1）	R	コマンドシーケンス中発行コマンド（注2）のレスポンス長がエラーのとき 1 になります。SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E2 に表示します。
2	E2	0（注1）	R	レスポンス（コマンドシーケンス中発行コマンド（注2）のレスポンス以外）長がエラーのとき 1 になります。
1	E1	0（注1）	R	コマンドシーケンス中発行コマンド（注2）のレスポンスの command index がエラーのとき 1 になります。SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E0 に表示します。
0	E0	0（注1）	R	レスポンス（コマンドシーケンス中発行コマンド（注2）のレスポンス以外）の command index がエラーのとき 1 になります。

注1.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注2.　SD_CMD レジスタのマルチブロック転送時に CMD12 自動発行許可、または SD_STOP レジスタの STP ビットを 1 に設定した時の CMD12。
または、SDIO_MODE レジスタの C52PUB ビット、または IOABT ビットを 1 に設定した時の CMD52。

38.2.14　SD エラーステータスレジスタ 2（SD_ERR_STS2）

SD エラーステータスレジスタ 2 は、タイムアウトの状態を表示します。Ncycle は SD_OPTION レジスタの bit7 ～ bit4 で設定します。

ビット	ビット名	初期値	R/W	説明
15～7	—	すべて 0	R	0 固定
6	E6	0（注 1）	R	CRC Status の後、Ncycle 以上 busy 状態のとき 1 になります。
5	E5	0（注 1）	R	ライトデータの後、Ncycle 以上経過しても CRC Status を受信していないとき 1 になります。
4	E4	0（注 1）	R	リードコマンドの後、Ncycle 以上経過してもリードデータを受信しないとき 1 になります。 リードデータ受信の後、Ncycle 以上経過しても次ブロックリードデータを受信しないとき 1 になります。 Read Wait 解除の後、Ncycle 以上経過しても次ブロックリードデータを受信しないとき 1 になります。
3	E3	0（注 1）	R	コマンドシーケンス中 CMD12 発行の後、Ncycle 以上 busy 状態のとき 1 になります。SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E2 に表示します。
2	E2	0（注 1）	R	R1b レスポンスの後、Ncycle 以上 busy 状態のとき 1 になります。
1	E1	0（注 1）	R	640 SD_CLK 以上経過してもコマンドシーケンス中発行コマンド（注 2）のレスポンスを受信しないとき 1 になります。SD_CMD レジスタのコマンドインデックスを設定して CMD12 を発行した場合は E0 に表示します。
0	E0	0（注 1）	R	640 SD_CLK 以上経過してもレスポンス（コマンドシーケンス中発行コマンド（注 2）のレスポンス以外）を受信しないとき 1 になります。

注 1.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注 2.　SD_CMD レジスタのマルチブロック転送時に CMD12 自動発行許可、または SD_STOP レジスタの STP ビットを 1 に設定した時の CMD12。
　　または、SDIO_MODE レジスタの C52PUB ビット、または IOABT ビットを 1 に設定した時の CMD52。

38.2.15　SD バッファリード / ライトレジスタ（SD_BUF0）

ビット	ビット名	初期値	R/W	説明
31～0	BUF31～BUF0	不定	R/W	SD カードへライトする時、ライトするデータを書き込みます。 SD カードからリードする時、リードしたデータを読み出します。 512 バイト (128 ワード) × 2 のバッファ (SD_BUF) と内部で接続されています。

38.2.16　SDIO モードコントロールレジスタ（SDIO_MODE）

SDIO モードコントロールレジスタは、SDIO Interrupt の受け付け制御およびマルチブロック転送時の CMD52 発行制御、リードウェイト制御を行うレジスタです。C52PUB と IOABT は一緒に 1 に設定しないでください。

ビット	ビット名	初期値	R/W	説明
15～10	—	すべて0	R	0固定
9	C52PUB	0	R/W	SDIO none abort（注2） • CMD53（マルチブロック）ライトシーケンス中にC52PUBを1に設定した場合、SD_BUFが完全にエンプティ状態となり、かつ、ブロック間に、CMD52を自動で発行します。C52PUBは、CMD52レスポンス受信完了後に自動クリアされます。 なお、ラストブロック転送中にC52PUBが1の場合、CMD52が発行されず、アクセスエンドフラグが1にセットした後、C52PUBが0に自動クリアされます。 • CMD53（マルチブロック）リードシーケンス中にC52PUBとRWREQを1に設定した場合、ブロック間に、Read Waitの状態になり、CMD52を自動で発行します。C52PUBは、CMD52レスポンス受信完了後に自動クリアされます。 なお、ラストブロック転送中にC52PUBを1に設定した場合、CMD52が発行されず、アクセスエンドフラグが1にセットした後、C52PUBが0に自動クリアされます。 • CMD53（マルチブロック）リードシーケンス中にC52PUBを1に設定する場合は、RWREQも必ず1に設定してください。 • C52PUBを1に設定する前にSD_ARGレジスタを設定してください。
8	IOABT	0	R/W	SDIO abort（注2） • CMD53（マルチブロック）シーケンス中にIOABTを1に設定すると、CMD53シーケンスを中断し、CMD52が発行されます。 なお、通信エラーまたはタイムアウトによりコマンドシーケンスが中断されている場合 CMD52を発行しません。 また、IOABTを1に設定した後もバッファアクセスは継続実行可能ですが、バッファアクセスエラーのSD_INFO2レジスタERR5またはERR4ビットがセットされます。 IOABTを1に設定する前にSD_ARGレジスタを設定してください。 • シングルブロックライト転送中にIOABTを1に設定したときに、SD_BUFにデータがない場合、CMD52を発行せずにアクセスエンドフラグがセットされます。SD_BUFにデータがある場合、CMD52を発行せずにbusy受信完了後、アクセスエンドフラグがセットされます。 • シングルブロックリード転送中にIOABTを1に設定したとき、CMD52を発行せずにすぐにアクセスエンドフラグがセットされます。 • R1bレスポンス後のbusy受信中にIOABTを1に設定した場合、CMD52を発行せずにbusy受信完了後、アクセスエンドフラグがセットされます。 • コマンドシーケンスが終了している時にIOABTを1に設定した場合、CMD52を発行せずアクセスエンドフラグもセットされません。
7～3	—	すべて0	R	0固定

ビット	ビット名	初期値	R/W	説明
2	RWREQ	0	R/W	Read Waitリクエスト CMD53（マルチブロック）リードシーケンス中にRWREQを1に設定した場合、ブロック間に、Read Wait状態になります。 ＜Read Wait状態の解除＞ • Read Wait状態でRWREQを0にクリアするとRead Wait状態が解除されます。（注3） • Read Wait状態でIOABTを1に設定すると、CMD52発行後RWREQが0に自動でクリアされRead Wait状態が解除されます。 • CMD53（マルチブロック）によるリードシーケンス中にC52PUBと同時にRWREQを1に設定した場合、Read Wait状態は自動で解除されませんので、CMD52のレスポンスを受信した後、RWREQをクリアしてください。（RWREQはC52PUBと必ず同時に1に設定してください） CMD53（マルチブロック）リードシーケンスにおいてラストブロックを転送中にRWREQを1に設定した場合、Read Wait状態にならずアクセスエンドセットにてRWREQが0に自動クリアされます。
1	—	0	R	0固定
0	IOMOD	0	R/W	SDIOモード（注1） 1：SDIOカードからのSDIO InterruptをSDホストインタフェースが受け付けるのを許可する 0：SDIOカードからのSDIO InterruptをSDホストインタフェースが受け付けるのを禁止する

注1.　SD_INFO2レジスタのSCLKDIVENビットが0の時本ビットの値を変更しないでください。
注2.　SD_INFO2レジスタのSCLKDIVENビットが0の時本ビットを1から0に変更しないでください。
注3.　CMD52レスポンス受信完了後にクリアしてください。

38.2.17　SDIO 割り込みフラグレジスタ（SDIO_INFO1）

SDIO 割り込みフラグレジスタは、SDIO カードアクセスに関するステータスを表示します。フラグをクリアする場合、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	ビット名	初期値	R/W	説明
15	EXWT	0（注2）	R/W（注1）	[セット条件] CMD53（マルチブロック）によるリードシーケンスのラストブロックを転送中に SDIO_MODE レジスタの RWREQ を 1 にしたとき [クリア条件] 0 を書き込んだとき
14	EXPUB52	0（注2）	R/W（注1）	[セット条件] • CMD53（マルチブロック）によるシーケンスのラストブロックの転送中に SDIO_MODE レジスタの C52PUB を 1 にしたとき • CMD53（マルチブロック）によるライトシーケンス中、C52PUB が 1 設定されたままラストブロック転送が実行されたとき [クリア条件] • 0 を書き込んだとき
13～3	—	すべて 0	R	0 固定
2、1	—	0（注2）	R/W（注1）	リザーブビットです。書き込む値は 1 にしてください。
0	IOIRQ	0（注2）	R/W（注1）	[セット条件] • SDIO_MODE レジスタの IOMOD が 1 の状態で SDIO カードからの SDIO Interrupt を受け付けたとき [クリア条件] • 0 を書き込んだとき（注3）

注1.　0 書き込みのみ有効です。
注2.　リセット時の他に SOFT_RST レジスタの SDRST ビットが 0 の時も本初期値が設定されます。
注3.　SDIO カードにアクセスし SDIO カードからの SDIO Interrupt をネゲートしてから本ビットをクリアしてください(CMD52 発行後レスポンス受信してから)。SDIO カードからの SDIO Interrupt をネゲートしない場合本ビットが再びセットされる可能性があります。

38.2.18　SDIO_INFO1 割り込みマスクレジスタ（SDIO_INFO1_MASK）

SDIO_INFO1 レジスタ割り込みの禁止 / 許可を設定します。0 に設定されているとき、SDIO_INFO1 レジスタのフラグがセットされると割り込みが発生します。

ビット	ビット名	初期値	R/W	説明
15	MEXWT	1	R/W	EXWT 割り込みマスク
14	MEXPUB52	1	R/W	EXPUB52 割り込みマスク
13～3	—	すべて 0	R	0 固定
2、1	—	すべて 1	R/W	リザーブビットです。書き込む値は 1 にしてください。
0	IOMSK	1	R/W	IOIRQ 割り込みマスク

38.2.19　DMA モードイネーブルレジスタ（CC_EXT_MODE）

DMA モードイネーブルレジスタは、DMA 転送の許可を設定するレジスタです。

ビット	ビット名	初期値	R/W	説明
15～13	—	すべて 0	R	0 固定
12	—	1	R	リザーブビットです。
11、10	—	すべて 0	R	0 固定
9、8	—	すべて 0	R	リザーブビットです。
7～5	—	すべて 0	R	0 固定
4	—	1	R	リザーブビットです。
3、2	—	すべて 0	R	リザーブビットです。
1	DMASDRW	0	R/W	SD_BUF リード / ライト DMA 転送（注 1） 1：SD_BUF リード / ライト DMA 転送を許可します。 0：SD_BUF リード / ライト DMA 転送を許可しません。 SD_BUF リード / ライト DMA 転送を行う場合、SD_CMD レジスタを設定する前に DMASDRW を 1 に設定してください。
0	—	0	R	リザーブビットです。

注 1.　SD_INFO2 レジスタの SCLKDIVEN ビットが 0 の時本ビットの値を変更しないでください。

38.2.20　ソフトリセットレジスタ（SOFT_RST）

ソフトリセットレジスタは、ソフトリセットを設定するレジスタです。SD ホストインタフェースを使用する前にリセットを解除してください。

ビット	ビット名	初期値	R/W	説明
15～3	—	すべて 0	R	0 固定
2	—	1	R	リザーブビットです。
1	—	1	R	リザーブビットです。
0	SDRST	0	R/W	SD I/F 部のソフトリセット 0：リセット 1：リセット解除

38.2.21　バージョンレジスタ（VERSION）

バージョンレジスタは、SD ホストインタフェースのバージョンを表示します。

ビット	ビット名	初期値	R/W	説明
15～12	—	1000	R	リザーブビットです。
11～8	UR3～UR0	4'h2	R	ルネサス IP Ver.
7～0	IP7～IP0	8'h0B	R	導入 IP Ver.

38.2.22　スワップコントロールレジスタ（EXT_SWAP）

スワップコントロールレジスタは、SD_BUF0 レジスタにアクセスする時、データの差し替えを選択するレジスタです。

ビット	ビット名	初期値	R/W	説明
15	—	0	R/W	リザーブビットです。書き込む値は0にしてください。
14、13	—	すべて0	R	リザーブビットです。
12、11	—	すべて0	R/W	リザーブビットです。書き込む値は0にしてください。
10、9	—	すべて0	R	0固定
8	DMASEL	0	R/W	DMA転送サイズ選択 SD_BUF リード/ライト DMA 転送を行う場合の転送単位を選択します。DMA Channel Configuration Register のトランスファサイズの転送サイズと合わせて設定してください。 0：ロングワード(4バイト)単位 1：64バイト(ロングワード× 16)単位 注.　64バイト単位での DMA 転送を行う場合、DMA の転送先/元アドレスは、SD バッファリード/ライトレジスタ(SD_BUF0)ではなく、H'E804E000(チャネル0) / H'E804E800 (チャネル1)番地を設定してください。 また、64バイト単位での転送で、通信エラーまたはタイムアウト等により DMA 転送を強制終了した場合、本ビットに0を書き込んだ後、再設定してください。また、ソフトウェアリセット使用時も、本ビットに0を書き込んだ後、再設定してください。
7	SDBRSWAP	0	R/W	SD_BUF0 スワップリード（注1） SD_BUF0 をリードするとき、SD_BUF0 に格納されているデータを差し替えてリードすることができます。(注2) 0：そのままリード 1：データをバイト単位で差し替えてリード
6	SDBWSWAP	0	R/W	SD_BUF0 スワップライト（注1） SD_BUF0 にライトするとき、ライトするデータを差し替えて SD_BUF0 に格納することができます。(注2) 0：そのままライト 1：データをバイト単位で差し替えてライト
5	—	0	R	0固定
4、3	—	すべて0	R/W	リザーブビットです。書き込む値は0にしてください。
2	—	0	R	0固定
1	—	0	R/W	リザーブビットです。書き込む値は0にしてください。
0	—	0	R	0固定

注1.　SD_INFO2 レジスタの SCLKDIVEN ビットが0の時本ビットの値を変更しないでください。
注2.　データ差し替えなし/あり時のアクセスを「38.3.1 SD I/F (1) SD データフォーマット」に示します。

38.3　動作説明

38.3.1　SD I/F

(1)　SD データフォーマット

SD カードからデータをリードする場合、以下の様に動作します。

1) SD カードから SD_D 信号を経由して SD ホストインタフェースがデータを受信。（SD_D 信号：**図 38.2**、**図 38.3** 参照）
2) 受信したデータを SD ホストインタフェースの SD_BUF に格納する。（SD_BUF 格納データ：**図 38.4** 参照）
3) SD_BUF に格納されたデータを SD_BUF0 よりリード。（SD_BUF0 リード：**図 38.5** 参照）

なお、SD カードへデータをライトする場合は、上記の逆の動作となります。

SD_BUF0 にアクセスする場合、SD_D 上の転送順番と SD_BUF の格納順番を考慮してアクセスしてください。また、EXT_SWAP レジスタを使用することにより SD_BUF0 のデータをバイト単位で差し替えてアクセスすることもできます。（**図 38.5** 参照）

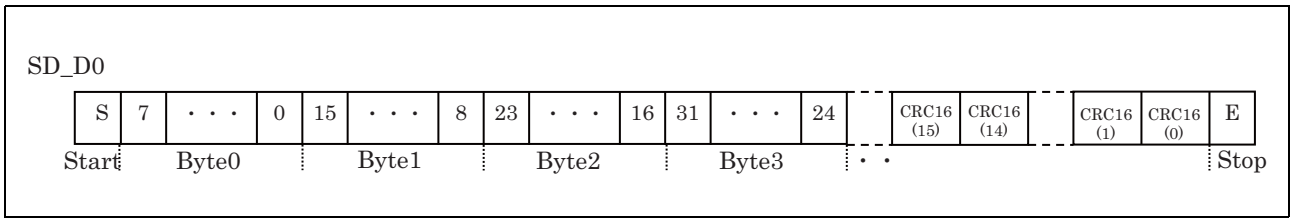


図 38.2　1bit width モード時 SD_D0

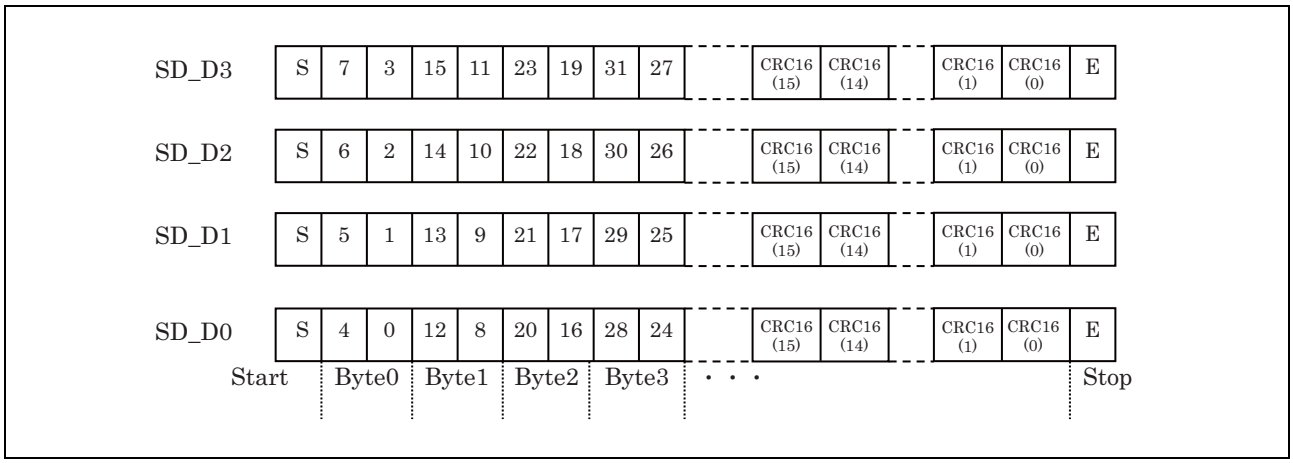


図 38.3　4bits width モード時 SD_D3 ～ 0

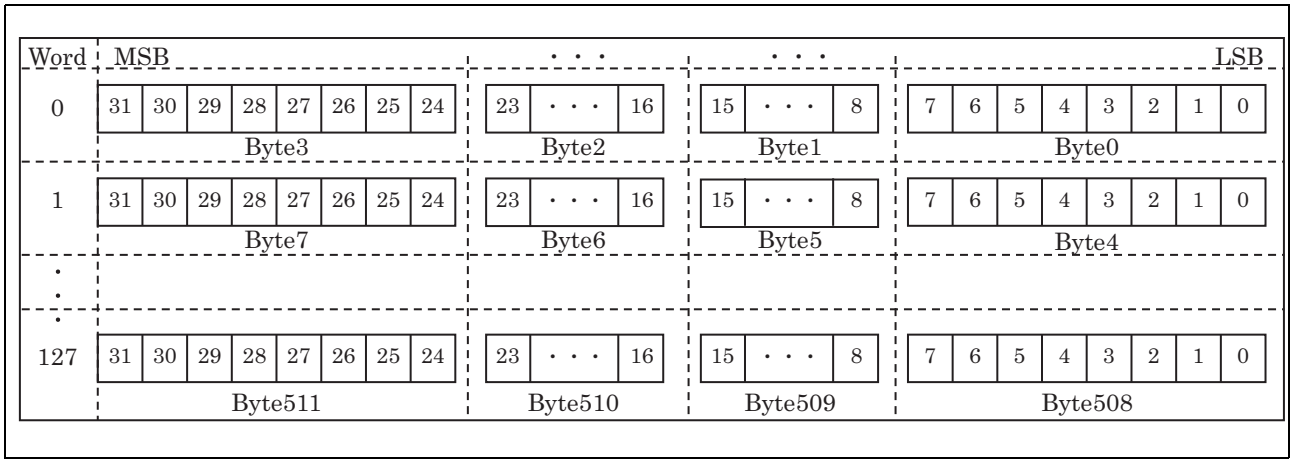


図 38.4　SD_BUF 格納データ

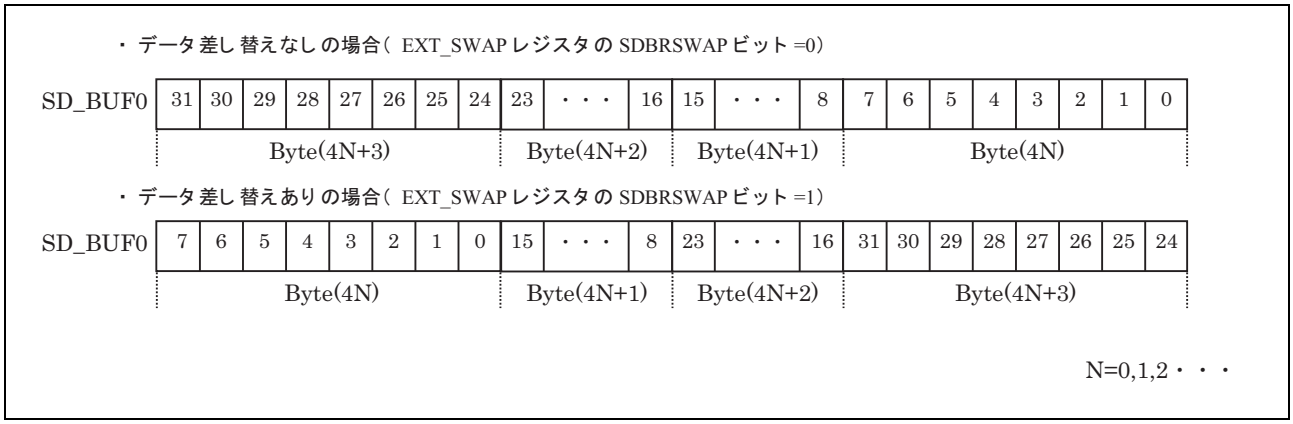


図 38.5　SD_BUF0 リード

38.3.2　カード検出／ライトプロテクト

(1)　カード検出

SD ホストインタフェースは次の二つのカード検出機能を持っています。

- SD_CD によるカード検出

  図 38.6 に SD_CD による SD カード検出のタイミングチャートを示します。SD_CD はカードソケットに接続されホスト機器にて pull up されます。pull up 抵抗値は SD ホスト機器の仕様により決定します。

＜ Card Insertion ＞

カードが挿入されると SD_CD が pull down されます。この時、SD_CD が Ncycle 期間（SD_OPTION レジスタに設定）pull down されていれば、SD_INFO1 レジスタの INFO4 が 1 にセットされます。（0 ライトでクリアします）

＜ Card Removal ＞

カードが抜かれると SD_CD が pull up されます。この時、SD_CD が Ncycle 期間（SD_OPTION レジスタに設定）pull up されていれば、SD_INFO1 レジスタの INFO3 がセットされます。（0 ライトでクリアします）

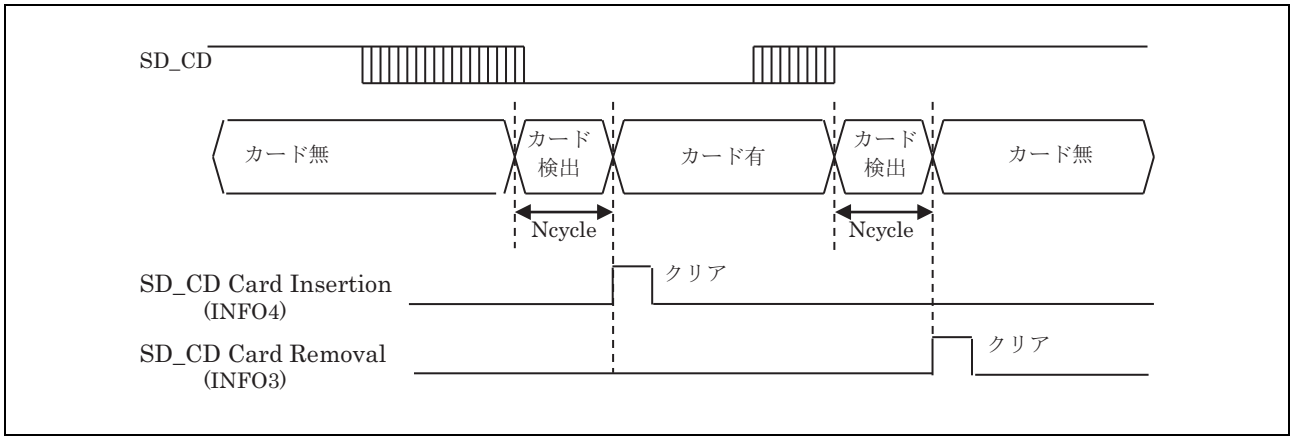


図 38.6　SD_CD によるカード検出例

- SD_D3 による SD カード検出

  図 38.7 に SD_D3 による SD カード検出のタイミングチャートを示します。なお、SD_D3 はホスト機器にて pull down されています。pull down 抵抗値は SD ホスト機器の仕様により決定します。

＜ Card Insertion ＞

SD カードが挿入されると SD_D3 が pull up されます。これにより、SD_INFO1 レジスタの INFO9 が 1 にセットされます。（0 ライトでクリアします）

＜ Card Removal ＞

SD カードが抜かれると SD_D3 が pull down されます。これにより、SD_INFO1 レジスタの INFO8 がセットされます。（0 ライトでクリアします）

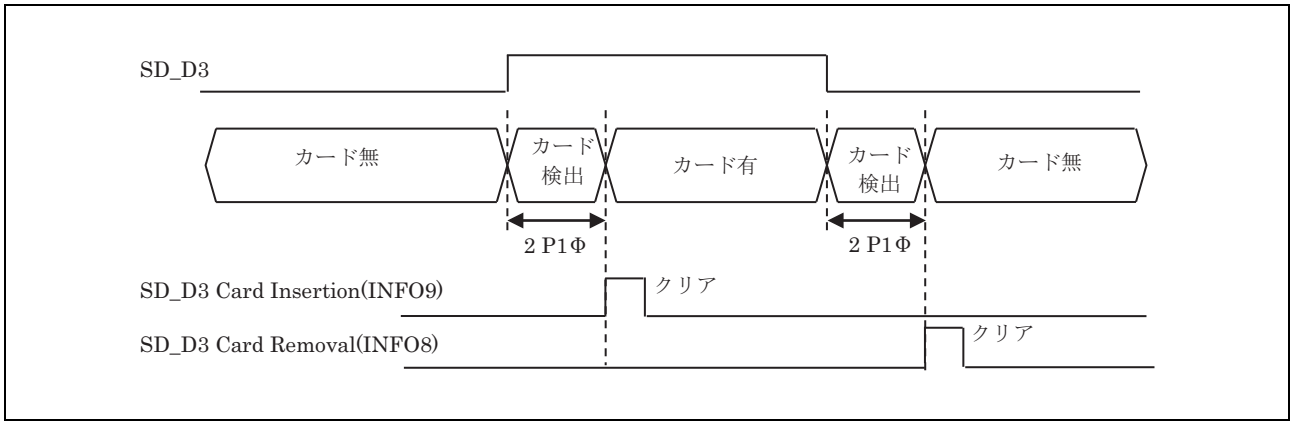


図 38.7　SD_D3 による SD カード検出

- Card Removal 時の低消費電力モード
  「42.　低消費電力モード」のスタンバイコントロールレジスタ (STBCR12) の MSTP123 ～ 120 ビットにより、本モジュールへのクロック供給を制御します。チャネル 0, 1 のそれぞれのビットを “2’b10” に設定することで、カード検出待ち状態時の消費電力を低減することが可能です。レジスタアクセスについては、「42.　低消費電力モード」を参照してください。

- STBCR12 (ビット 3 ～ 0)

ビット	ビット名	初期値	R/W	説明
3	MSTP123	1	R/W	モジュールストップ 123、122 SD ホストインタフェース 0 へのクロックの供給を制御します。 00：SD ホストインタフェース 0 は動作 01：設定禁止 10：SD ホストインタフェース 0 のカード検出部のみ動作 11：SD ホストインタフェース 0 へのクロック供給を停止
2	MSTP122	1		
1	MSTP121	1	R/W	モジュールストップ 121、120 SD ホストインタフェース 1 へのクロックの供給を制御します。 00：SD ホストインタフェース 1 は動作 01：設定禁止 10：SD ホストインタフェース 1 のカード検出部のみ動作 11：SD ホストインタフェース 1 へのクロック供給を停止
0	MSTP120	1		

(2)　ライトプロテクト

SD ホストインタフェースは次の 2 種類のライトプロテクト機能を実現できます。

- SD_WP によるライトプロテクト
  SD_WP はカードソケットに接続され、カードが挿入されることによって pull down または pull up されます。pull up/pull down の選択および抵抗値は SD ホスト機器の仕様により決定します。SD_WP の状態が SD_INFO1 レジスタの INFO7 に反映されますので、SD カードが挿入された後、ライトプロテクトの判定を行うことができます。
- コマンドによるライトプロテクト
  コマンドを使用して Card's Internal Write Protection と Card Lock/Unlock Operation を実現できます。

38.3.3　割り込み要求と DMA 転送要求

(1)　割り込み要求

SD ホストインタフェースは 3 本の割り込み要求を持っています。表 38.4 に割り込みフラグレジスタと割り込みマスクレジスタの関係を示します。割り込みマスクレジスタのビットが 0 に設定されているとき、割り込みフラグレジスタのビットが 1 になると割り込みが発生します。フラグをクリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

表 38.4　割り込み要求

割り込み要求	割り込みフラグレジスタ		割り込みマスクレジスタ	
	レジスタ名	ビット名	レジスタ名	ビット名
カードアクセス割り込み (SDHI0)	SD_INFO1	INFO2	SD_INFO1_MASK	IMASK2
		INFO0		IMASK0
	SD_INFO2	ILA	SD_INFO2_MASK	IMASK
		BWE		BMASK1
		BRE		BMASK0
		ERR6		EMASK6
		ERR5		EMASK5
		ERR4		EMASK4
		ERR3		EMASK3
		ERR2		EMASK2
		ERR1		EMASK1
		ERR0		EMASK0
SDIO アクセス割り込み (SDHI1)	SDIO_INFO1	EXWT	SDIO_INFO1_MASK	MEXWT
		EXPUB52		MEXPUB52
		IOIRQ		IOMSK
カード検出割り込み (SDHI3)	SD_INFO1	INFO9	SD_INFO1_MASK	IMASK9
		INFO8		IMASK8
		INFO4		IMASK4
		INFO3		IMASK3

(2) DMA 転送要求

SD ホストインタフェースは 2 種類の DMA 転送要求を持っています。以下に各 DMA 転送要求について説明します。

- SD_BUF ライト DMA 転送要求
  - CC_EXT_MODE レジスタの DMASDRW ビットが 1 に設定されている時に、バッファが Empty ならば SD_BUF ライト DMA 転送要求がアサートされます。
  - SD_BUF ライト DMA 転送要求は、1 ブロック（= SD_SIZE レジスタに設定した転送データサイズ）の最後のデータを転送するときネゲートされます。また、SOFT_RST レジスタの SDRST ビットを 0 に設定するか、または、SD_STOP レジスタの STP ビットを 1 に設定することでも SD_BUF ライト DMA 転送要求をネゲートすることができます。なお、DMA 転送中に通信エラーまたはタイムアウトが起こった場合 SD_BUF ライト DMA 転送要求はネゲートされませんので注意してください。
  - DMA の転送回数は、n×1 ブロック（n=1,2,…、1 ブロック = SD_SIZE レジスタに設定した転送データサイズ）としてください。
  - SDIO_MODE レジスタの IOABT ビットを 1 に設定すると SD_BUF ライト DMA 転送要求がネゲートされます。
  - DMASDRW ビットを 0 に設定することでも DMA 転送要求をネゲートすることができます。
    但し、SD_CMD レジスタにライトする前に DMASDRW ビットを 1 に設定すると、DMA 転送要求が再アサートされますので 注意してください。
- SD_BUF リード DMA 転送要求
  - CC_EXT_MODE レジスタの DMASDRW ビットが 1 に設定されている時に、バッファが Full であれば SD_BUF リード DMA 転送要求がアサートされます。
  - SD_BUF リード DMA 転送要求は、1 ブロック（= SD_SIZE レジスタに設定した転送データサイズ）の最後のデータを転送するときネゲートされます。また、SOFT_RST レジスタの SDRST ビットを 0 に設定するか、または、SD_STOP レジスタの STP ビットを 1 に設定することでも SD_BUF リード DMA 転送要求をネゲートすることができます。なお、DMA 転送中に通信エラーまたはタイムアウトが起こった場合 SD_BUF リード DMA 転送要求はネゲートされませんので注意してください。
  - DMA の転送回数は、n×1 ブロック（n=1,2,…、1 ブロック = SD_SIZE レジスタに設定した転送データサイズ）としてください。
  - SDIO_MODE レジスタの IOABT ビットを 1 に設定すると SD_BUF リード DMA 転送要求がネゲートされます。
  - DMASDRW ビットを 0 に設定することでも DMA 転送要求をネゲートすることができます。
    但し、SD_CMD レジスタにライトする前に DMASDRW ビットを 1 に設定すると、DMA 転送要求が再アサートされますので注意してください。
  - 1 回の DMA 転送で必要なサイクル数は、P1φ で 10 サイクル以上となります。SD_CLK の周波数設定によっては、DMA 転送による SD_BUF リードが遅れることになり、SD_BUF のバンク 1 またはバンク 2 がエンプティ状態になるまで SD_CLK が一時停止することがあります。

38.3.4 通信エラーとタイムアウト

- 通信エラーとタイムアウト一覧
  表 38.5 に通信エラー、**表 38.6** にタイムアウトによる割り込みフラグレジスタとエラーステータスレジスタの関係を示します。割り込みフラグレジスタのビットが 1 にセットされたとき、対応するエラーステータスレジスタのビットに 1 表示されます。エラーステータスレジスタの値は SD_CMD レジスタの書き込み、または SOFT_RST レジスタの SDRST ビットに 0 を書き込むことでクリアされます。

表 38.5　通信エラー

通信エラー	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ名	ビット名	レジスタ名	ビット名	
END エラー	SD_INFO2	ERR2	SD_ERR_STS1	E5	CRC Status 長がエラーのとき
				E4	リードデータ長がエラーのとき
				E3	レスポンス長がエラーのとき (コマンドシーケンス中発行コマンド)
				E2	レスポンス長がエラーのとき (コマンドシーケンス中発行コマンド以外)
CRC エラー		ERR1		E11	CRC Status がエラーのとき
				E10	リードデータに CRC エラーがあるとき
				E9	レスポンスに CRC エラーがあるとき (コマンドシーケンス中発行コマンド)
				E8	レスポンスに CRC エラーがあるとき (コマンドシーケンス中発行コマンド以外)
CMD エラー		ERR0		E1	送信コマンドと受信レスポンスの command index が異なるとき (コマンドシーケンス中発行コマンド)
				E0	送信コマンドと受信レスポンスの command index が異なるとき (コマンドシーケンス中発行コマンド以外)

表 38.6　タイムアウト

タイムアウト	割り込みフラグレジスタ		エラーステータスレジスタ		説明
	レジスタ名	ビット名	レジスタ名	ビット名	
レスポンスタイムアウト	SD_INFO2	ERR6	SD_ERR_STS2	E1	640SD_CLK 以上経過してもレスポンスを受信しないとき (コマンドシーケンス中発行コマンド)
				E0	640SD_CLK 以上経過してもレスポンスを受信しないとき (コマンドシーケンス中発行コマンド以外)
データタイムアウト (レスポンスタイムアウト除く)		ERR3		E6	CRC Status の後、Ncycle 以上 busy 状態 (SD_D0=0) のとき
				E5	ライトデータの後、Ncycle 以上経過しても CRC Status を受信しないとき
				E4	リードコマンドの後、Ncycle 以上経過しても リードデータを受信しないとき
					リードデータ受信の後、Ncycle 以上経過しても 次ブロックリードデータを受信しないとき
					Read Wait 解除の後、Ncycle 以上経過しても 次ブロックリードデータを受信しないとき
				E3	コマンドシーケンス中 CMD12 発行の後、Ncycle 以上 busy 状態 (SD_D0=0) のとき
				E2	R1b レスポンスの後、Ncycle 以上 busy 状態 (SD_D0=0) のとき (コマンドシーケンス中 CMD12 発行以外)

38.4　使用例

38.4.1　データ転送を伴わないコマンド

(1)　フローチャート例

図 38.8、図 38.9 にフローチャート例を示します。

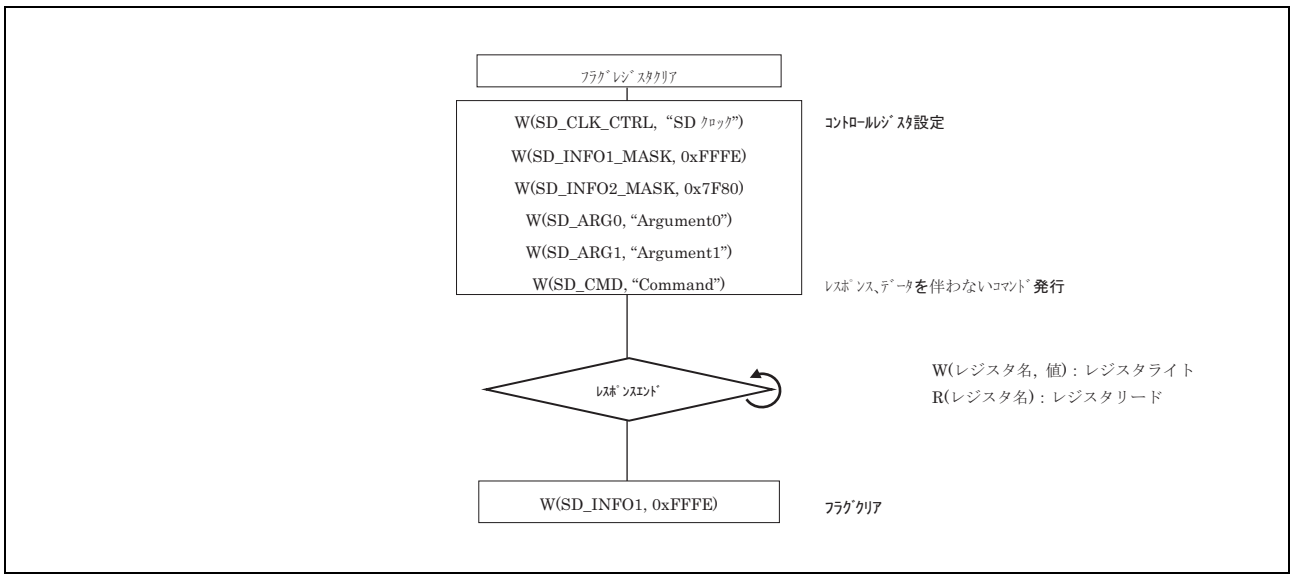


図 38.8　レスポンスとデータを伴わないコマンドのフロー例

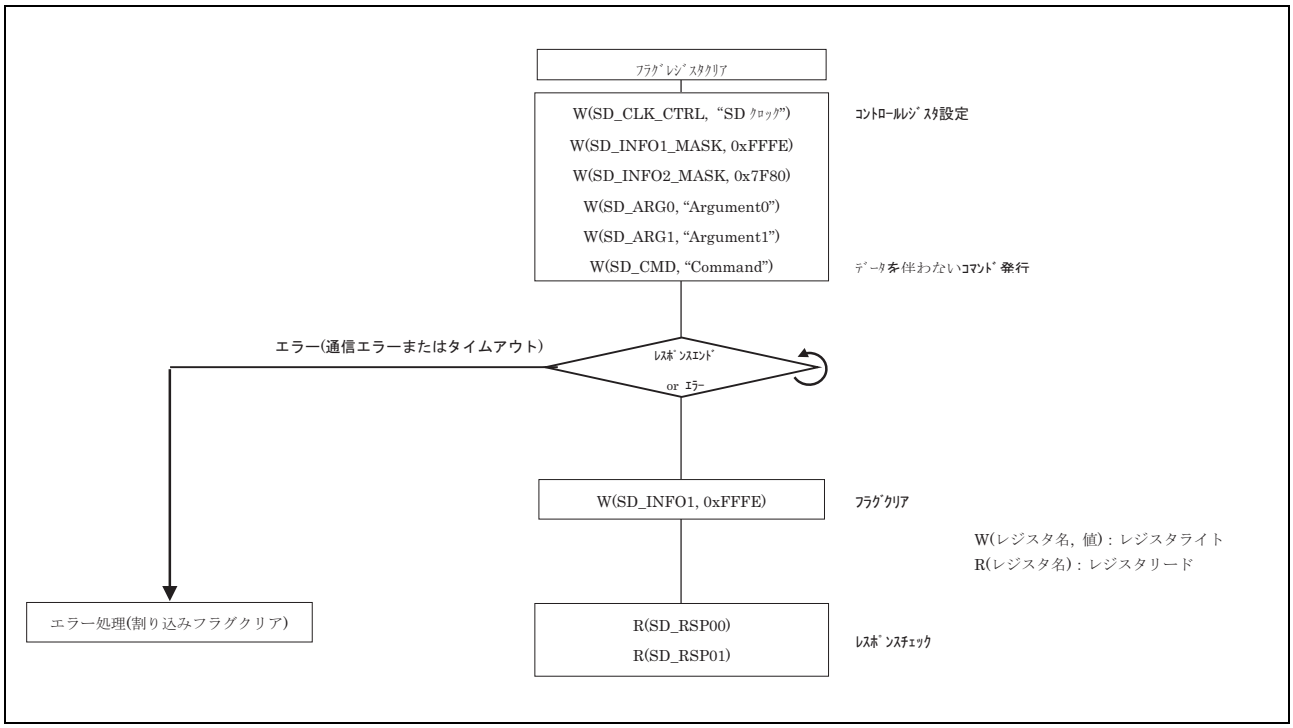


図 38.9　データを伴わないコマンドのフロー例

(2) 動作説明

データ転送を伴わないコマンドの動作を説明します。

(a) レスポンス、データを伴わないコマンド

1) フラグレジスタクリア
   最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）
2) コントロールレジスタの設定
   SD クロック (SD_CLK)、割り込みマスク等を設定します。（SD_CLK_CTRL、SD_INFO1_MASK、SD_INFO2_MASK）
3) コマンド発行
   SD_ARG0、SD_ARG1 レジスタに CMD の Argument を設定して、SD_CMD レジスタにライトします。これにより CMD が発行され、動作を開始します。
4) フラグのクリア
   コマンドの送信が終了すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。INFO0 をクリアします。

(b) データを伴わないコマンド

1) フラグレジスタクリア
   最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）
2) コントロールレジスタの設定
   SD クロック (SD_CLK)、割り込みマスク等を設定します。（SD_CLK_CTRL、SD_INFO1_MASK、SD_INFO2_MASK）
3) コマンド発行
   SD_ARG0、SD_ARG1 レジスタに CMD の Argument を設定して、SD_CMD レジスタにライトします。これにより CMD が発行され、動作を開始します。
4) フラグのクリア
   レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。INFO0 をクリアします。
5) SD_RSP00、SD_RSP01 レジスタからレスポンスをリードします。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

38.4.2　シングルブロックリード

(1)　フローチャート例

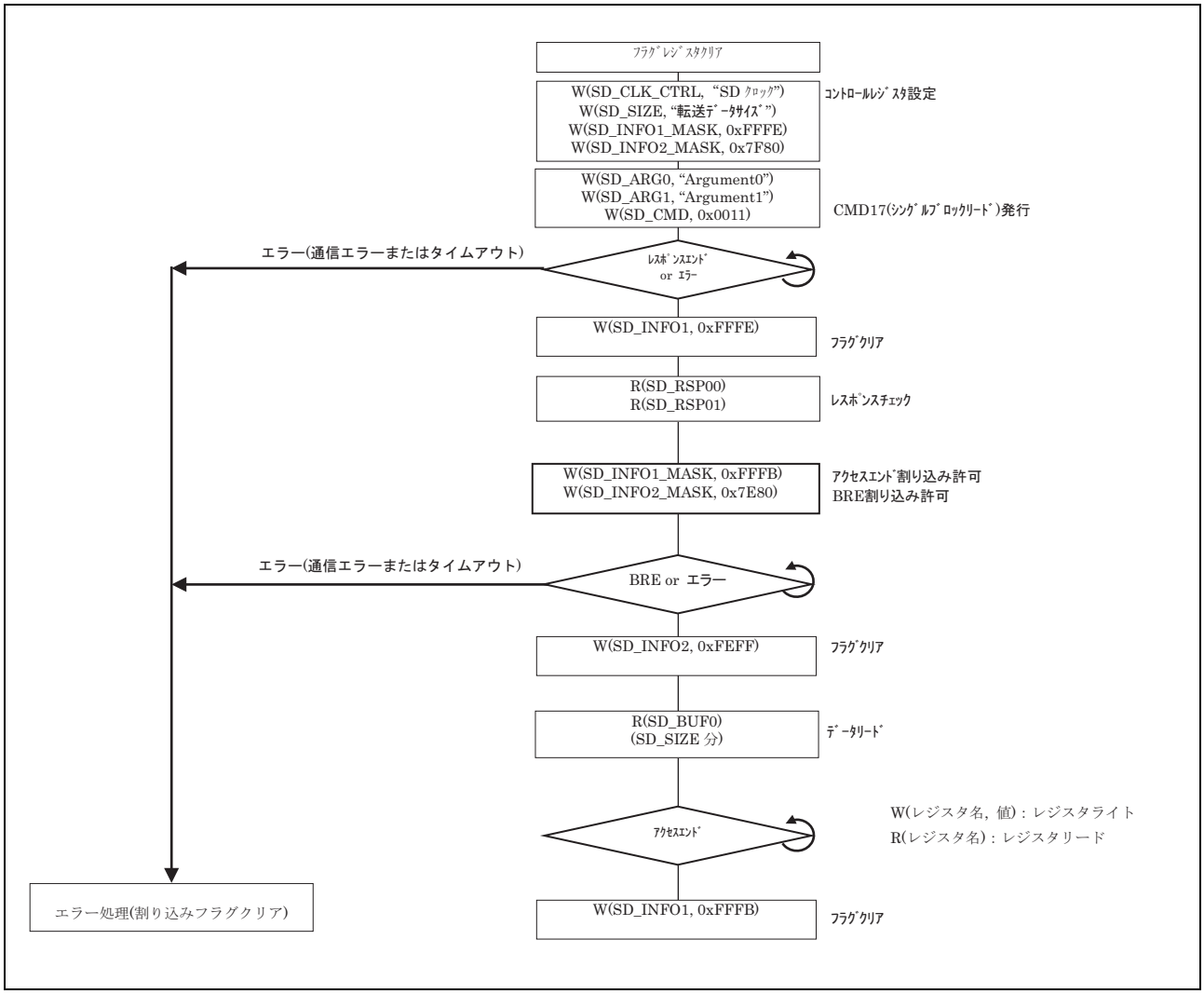


図 38.10　シングルブロックリードフローチャート例

(2) 動作説明

シングルブロックリードの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）

2) コントロールレジスタの設定
SD クロック (SD_CLK)、転送データサイズ、割り込みマスク等を設定します。
（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK）

3) コマンド発行（CMD17)
SD_ARG0、SD_ARG1 レジスタに CMD17 の Argument を設定して、SD_CMD レジスタに 0x0011 をライトします。
これにより CMD17 が発行され、シングルブロックリード動作を開始します。

4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。
INFO0 をクリアして SD_RSP00、SD_RSP01 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定、または SDIO_MODE レジスタの IOABT ビットに 1 設定にて、コマンドシーケンスの中断が可能です。なお、CMD12 または CMD52 は発行されません。
コマンドシーケンス中断にて、SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。

5) SD カードからのデータ受信とデータリード
SD_INFO1_MASK レジスタに 0xFFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに 0x7E80 をライトし、BRE 割り込みを許可します。
SD カードからのデータ受信が完了すると SD_INFO2 レジスタの BRE が 1 にセットされ割り込みが発生します。BRE をクリアして、SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 よりリードします。但し、SD_BUF0 リード中に受信中のデータにて通信エラーまたはタイムアウトが発生する場合があります。

6) 動作完了
SD_BUF0 のリードが完了すると SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。
INFO2 をクリアしてシングルブロックリード動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

38.4.3　シングルブロックライト

(1)　フローチャート例

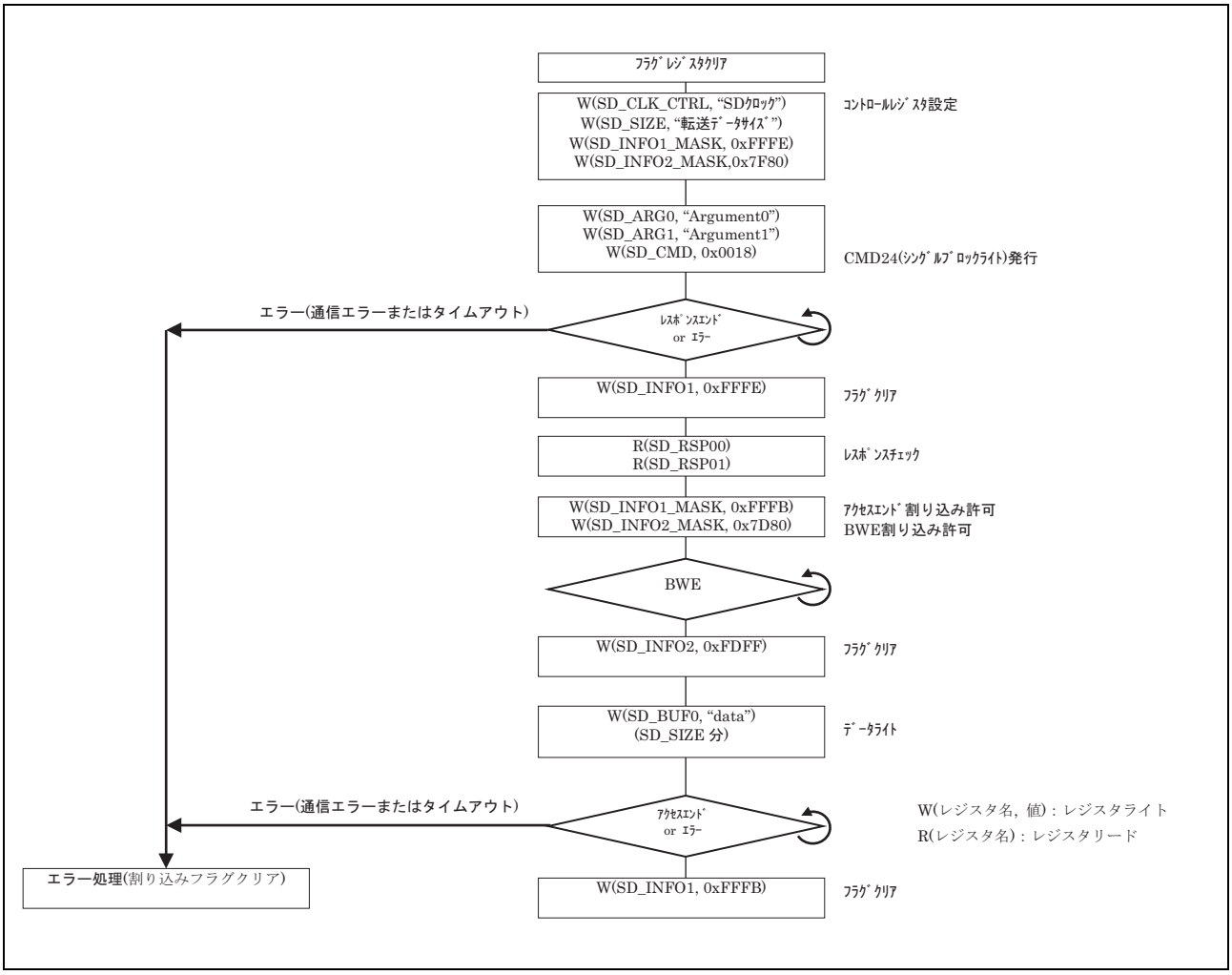


図 38.11　シングルブロックライトフローチャート例

(2) 動作説明

シングルブロックライトの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）

2) コントロールレジスタの設定
SD クロック (SD_CLK)、転送データサイズ、割り込みマスク等を設定します。
（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK）

3) コマンド発行（CMD24）
SD_ARG0、SD_ARG1 レジスタに CMD24 の Argument を設定して、SD_CMD レジスタに 0x0018 をライトします。
これにより CMD24 が発行され、シングルブロックライト動作を開始します。

4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。
INFO0 をクリアして SD_RSP00、SD_RSP01 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定、または SDIO_MODE レジスタの IOABT ビットに 1 設定にて、コマンドシーケンスの中断が可能です。なお、CMD12 または CMD52 は発行されません。
コマンドシーケンス中断にて、SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。

5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに 0xFFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに 0x7D80 をライトし BWE 割り込みを許可します。SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。
BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。
SD_BUF0 へのライトが完了すると SD カードへデータが送信されます。そして SD カードから CRC Status と busy を受信します。
但し、SD_BUF0 ライト後に送信中のデータに対して通信エラーまたはタイムアウトが発生する場合があります。

6) 動作完了
SD カードから CRC Status と busy を受信すると SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。INFO2 をクリアしてシングルブロックライト動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

38.4.4　マルチブロックリード

(1)　フローチャート例

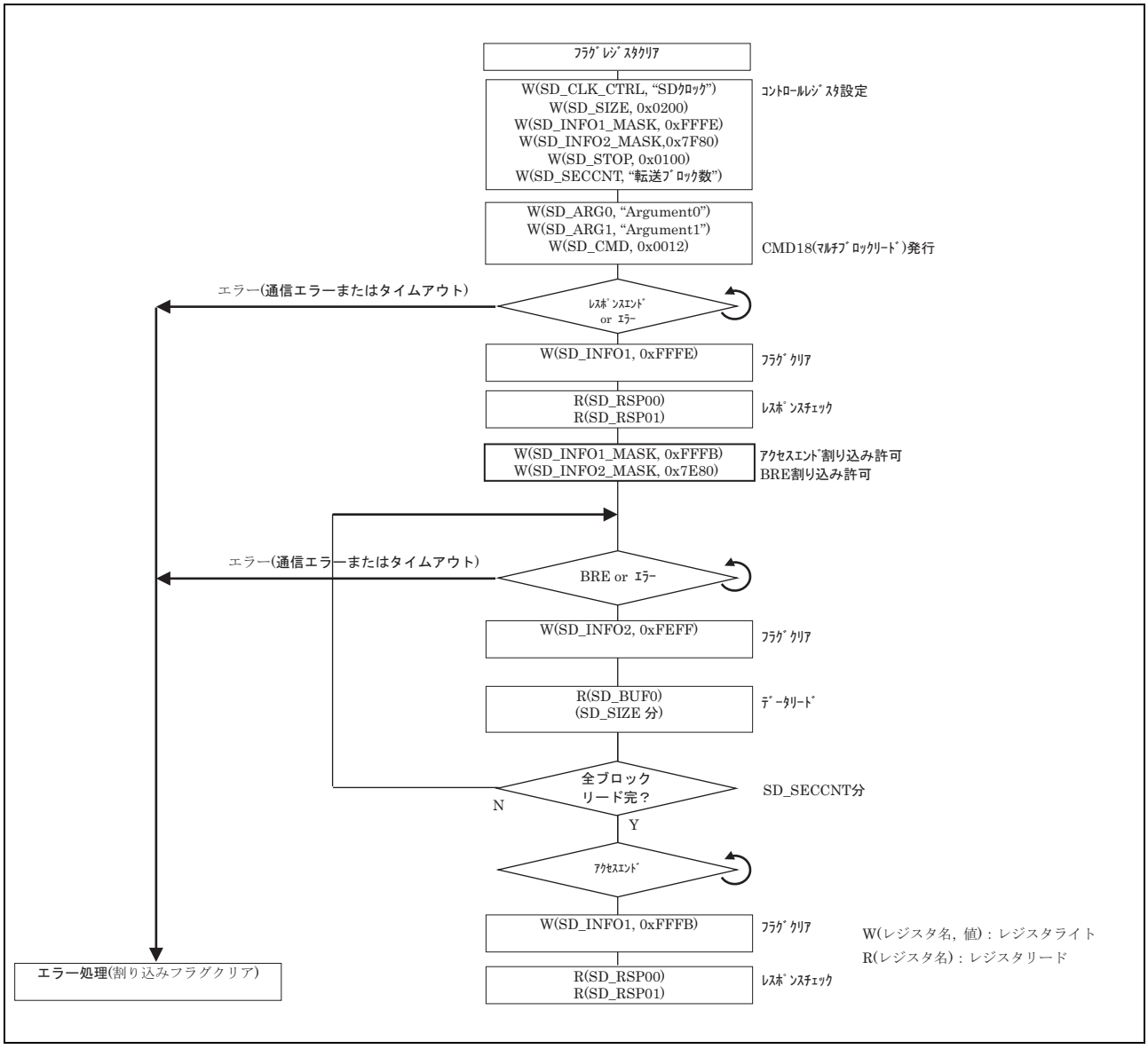


図 38.12　マルチブロックリードフローチャート例

(2) 動作説明

マルチブロックリードの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）

2) コントロールレジスタの設定
SD クロック (SD_CLK)、転送データサイズ、割り込みマスク等を設定します。
（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK）
SD_STOP レジスタの SEC を 1 に設定し、SD_SECCNT に転送ブロック数を設定します。

3) コマンド発行（CMD18）
SD_ARG0、SD_ARG1 レジスタに CMD18 の Argument を設定して、SD_CMD レジスタに 0x0012 をライトします。
これにより CMD18 が発行され、マルチブロックリード動作を開始します。

4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。
INFO0 をクリアして SD_RSP00、SD_RSP01 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定にて、コマンドシーケンスの中断が可能です。STP ビット 1 設定にて、CMD12 を発行しレスポンスを受信します。この際、SD_ARG0、SD_ARG1 レジスタに CMD12 の Argument を設定します。アクセスエンド割り込み許可設定でのコマンドシーケンス中断にて、レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。
INFO2 をクリアしてレスポンスをリードします。

5) SD カードからのデータ受信とデータリード
SD_INFO1_MASK レジスタに 0xFFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに 0x7E80 をライトし BRE 割り込みを許可します。
SD カードから 1 ブロック分のデータ受信が完了すると SD_INFO2 レジスタの BRE が 1 にセットされ割り込みが発生します。
BRE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 よりリードします。
これを、SD_SECCNT レジスタに設定した転送ブロック数分繰り返します。
但し、SD_BUF0 リード中に受信中のデータにて通信エラーまたはタイムアウトが発生する場合があります。
SD_SECCNT レジスタに設定したブロック数で、マルチブロック転送を停止するため、CMD12 を自動で発行しレスポンスを受信します。この際、CMD12 のアーギュメントは CMD18 のアーギュメントが反映されます。

6) 動作完了
全ブロック分のデータリードと CMD12 レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。これにより、マルチブロックリード動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

38.4.5　マルチブロックライト

(1)　フローチャート例

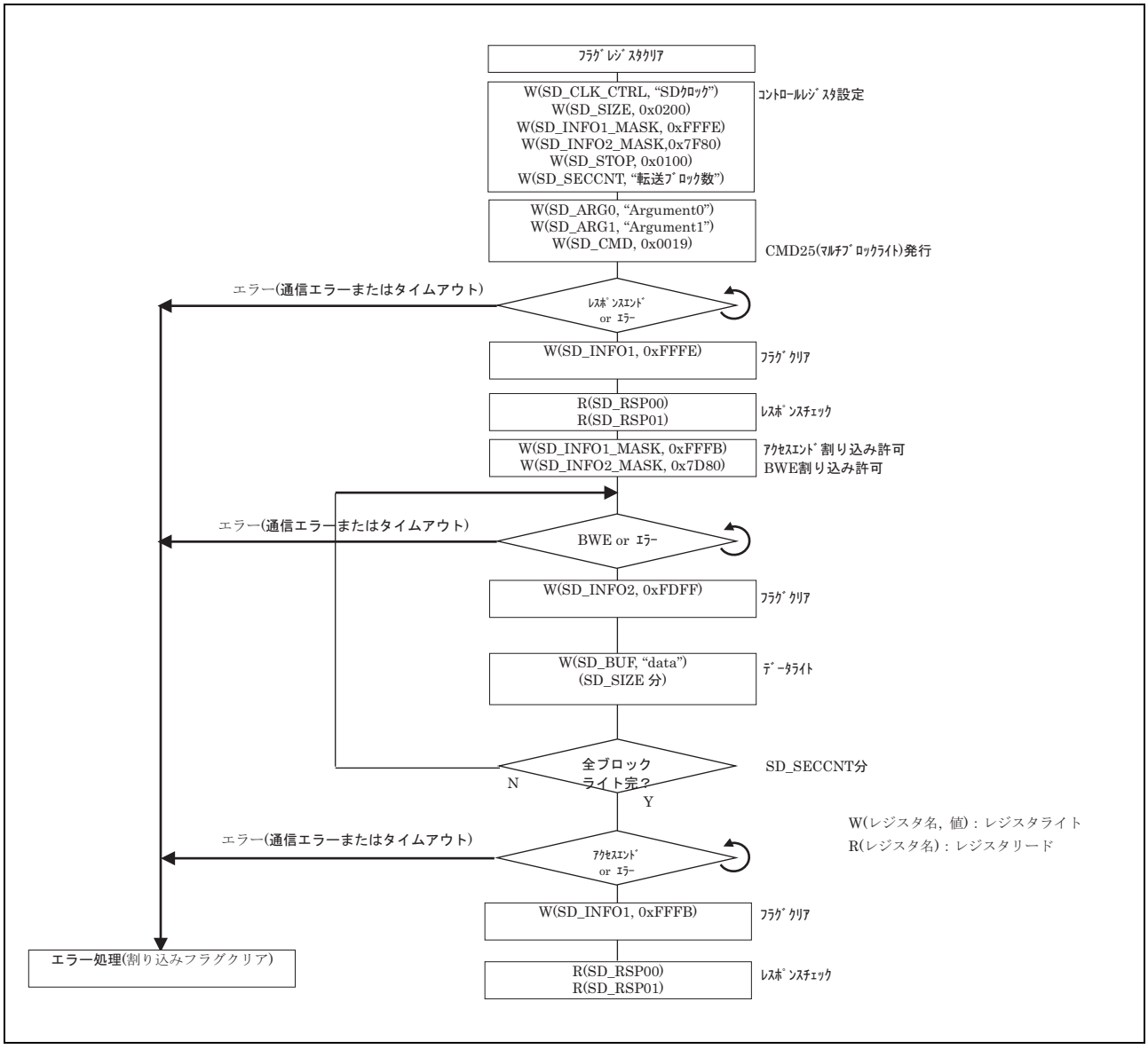


図 38.13　マルチブロックライトフローチャート例

(2) 動作説明

マルチブロックライトの動作を説明します。

1) フラグレジスタクリア
最初にフラグレジスタの各ビットをクリアします。（SD_INFO1、SD_INFO2）

2) コントロールレジスタの設定
SD クロック (SD_CLK)、転送データサイズ、割り込みマスク等を設定します。
（SD_CLK_CTRL、SD_SIZE、SD_INFO1_MASK、SD_INFO2_MASK）
SD_STOP レジスタの SEC を 1 に設定し、SD_SECCNT に転送ブロック数を設定します。

3) コマンド発行（CMD25）
SD_ARG0、SD_ARG1 レジスタに CMD25 の Argument を設定して、SD_CMD レジスタに 0x0019 をライトします。
これにより CMD25 が発行され、マルチブロックライト動作を開始します。

4) レスポンスチェック
レスポンスを受信すると SD_INFO1 レジスタの INFO0（レスポンスエンド）が 1 にセットされ割り込みが発生します。
INFO0 をクリアして SD_RSP00、SD_RSP01 レジスタからレスポンスをリードします。
レスポンスデコード結果がエラーの場合、SD_STP レジスタの STP ビットに 1 設定にて、コマンドシーケンスの中断が可能です。STP ビット 1 設定にて、CMD12 を発行しレスポンスを受信します。この際、SD_ARG0、SD_ARG1 レジスタに CMD12 の Argument を設定します。アクセスエンド割り込み許可設定でのコマンドシーケンス中断にて、レスポンスの受信が完了すると SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。
INFO2 をクリアしてレスポンスをリードします。

5) データライトと SD カードへのデータ送信
SD_INFO1_MASK レジスタに 0xFFFB をライトし、アクセスエンド割り込みを許可します。
SD_INFO2_MASK レジスタに 0x7D80 をライトし BWE 割り込みを許可します。SD_BUF0 にデータを書き込むことが可能になると SD_INFO2 レジスタの BWE が 1 にセットされ割り込みが発生します。
BWE をクリアして SD_SIZE レジスタに設定したデータサイズ分 SD_BUF0 にライトします。
SD_BUF0 へのライトが完了すると、SD カードへデータが送信されます。そして SD カードから CRC Status と busy を受信します。
これを、SD_SECCNT レジスタに設定した転送ブロック数分繰り返します。
但し、SD_BUF0 ライト中に送信中のデータに対して通信エラーまたはタイムアウトが発生する場合があります。
SD_SECCNT レジスタに設定したブロック数で、マルチブロック転送を停止するため、CMD12 を自動で発行しレスポンスを受信します。この際、CMD12 のアーギュメントは CMD25 のアーギュメントが反映されます。

6) 動作完了
全ブロック分のデータ送信と CRC Status を受信すると SD_INFO1 レジスタの INFO2（アクセスエンド）が 1 にセットされ割り込みが発生します。INFO2 をクリアしてレスポンスをリードします。
これにより、マルチブロックライト動作完了となります。

なお、エラー（通信エラーまたはタイムアウト）が発生した場合はエラー処理（割り込みフラグクリア）を行ってください。

38.4.6　IO_RW_DIRECT コマンド（CMD52）

(1)　フローチャート例

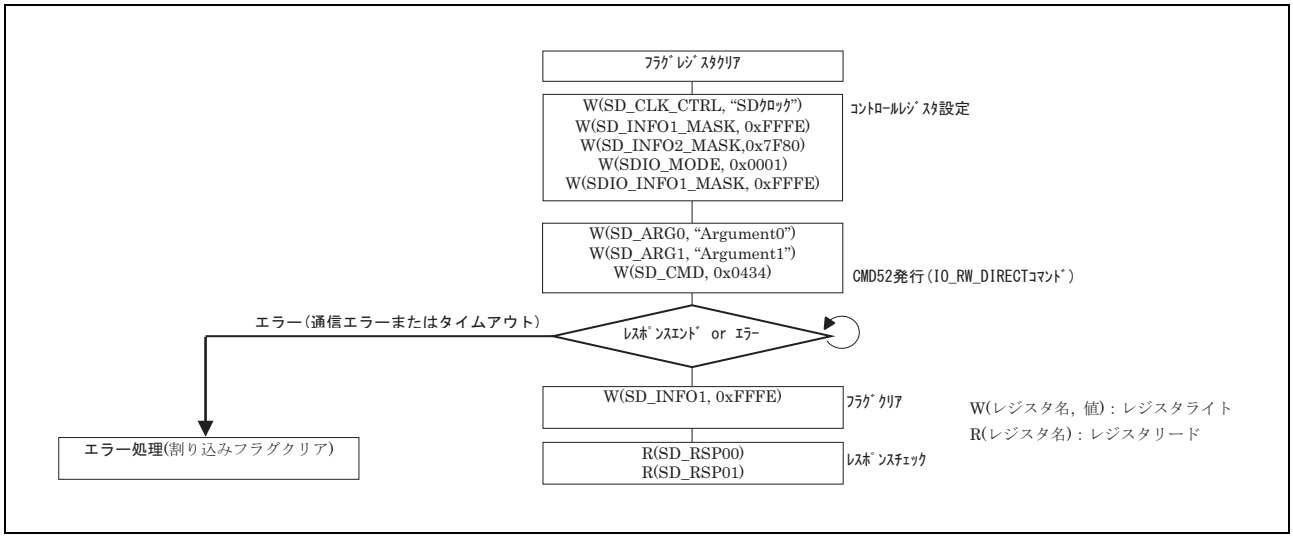


図 38.14　IO_RW_DIRECT コマンド（CMD52）フローチャート例

38.4.7　IO_RW_EXTENDED（CMD53 ／マルチブロックリード）

(1)　フローチャート例

図 38.15 に CMD53（マルチブロックリード）のフローチャート例を示します。

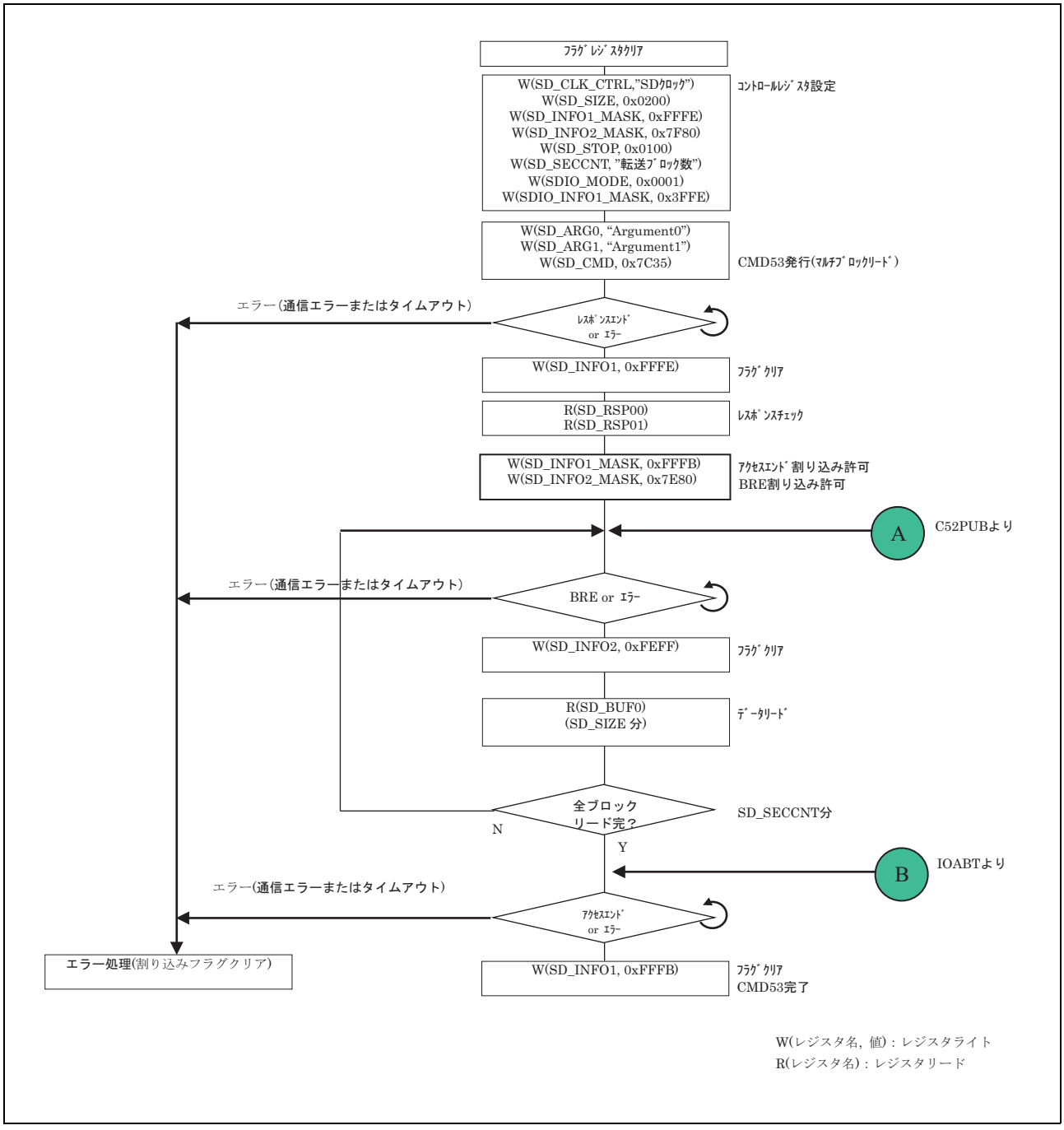


図 38.15　CMD53（マルチブロックリード）フローチャート例

図 38.16 に CMD53（マルチブロックリード）中に CMD52（SDIO abort）を発行する場合のフローチャート例を示します。

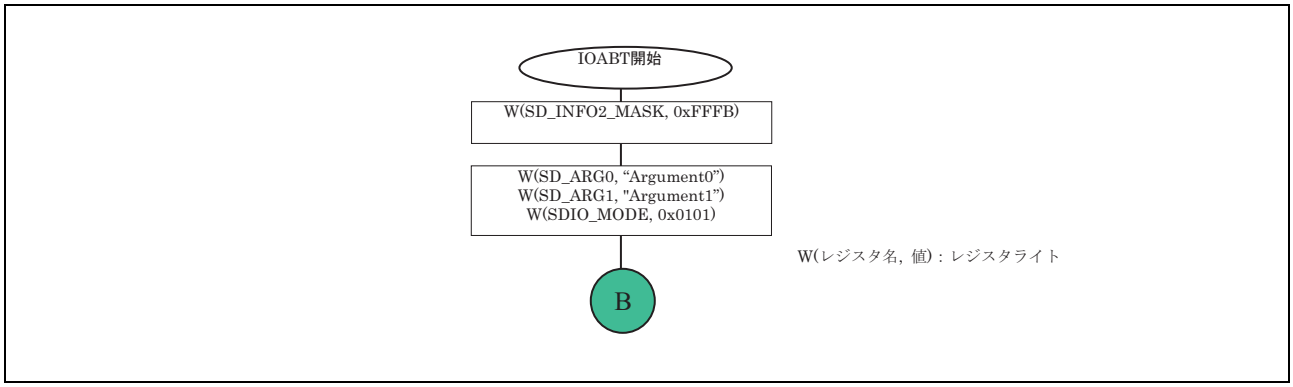


図 38.16　CMD53（マルチブロックリード）中に CMD52（SDIO abort）を発行する場合のフローチャート例

図 38.17 に CMD53（マルチブロックリード）中に Read Wait 状態にし CMD52（SDIO none abort) を発行する場合のフローチャート例を示します。

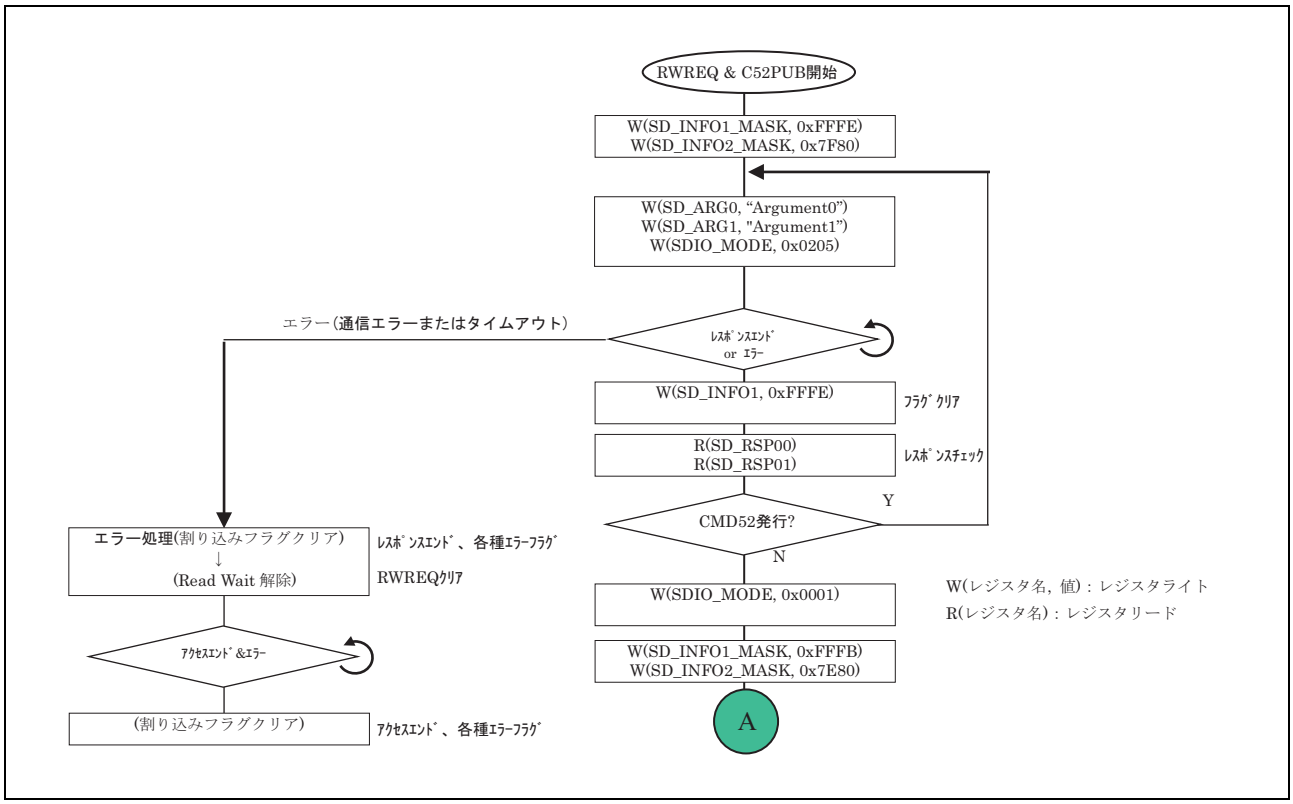


図 38.17　CMD53（マルチブロックリード）中に Read Wait 状態にし CMD52（SDIO none abort）を発行する場合のフローチャート例

38.4.8　IO_RW_EXTENDED（CMD53 ／マルチブロックライト）

(1)　フローチャート例

図 38.18 に CMD53（マルチブロックライト）のフローチャート例を示します。

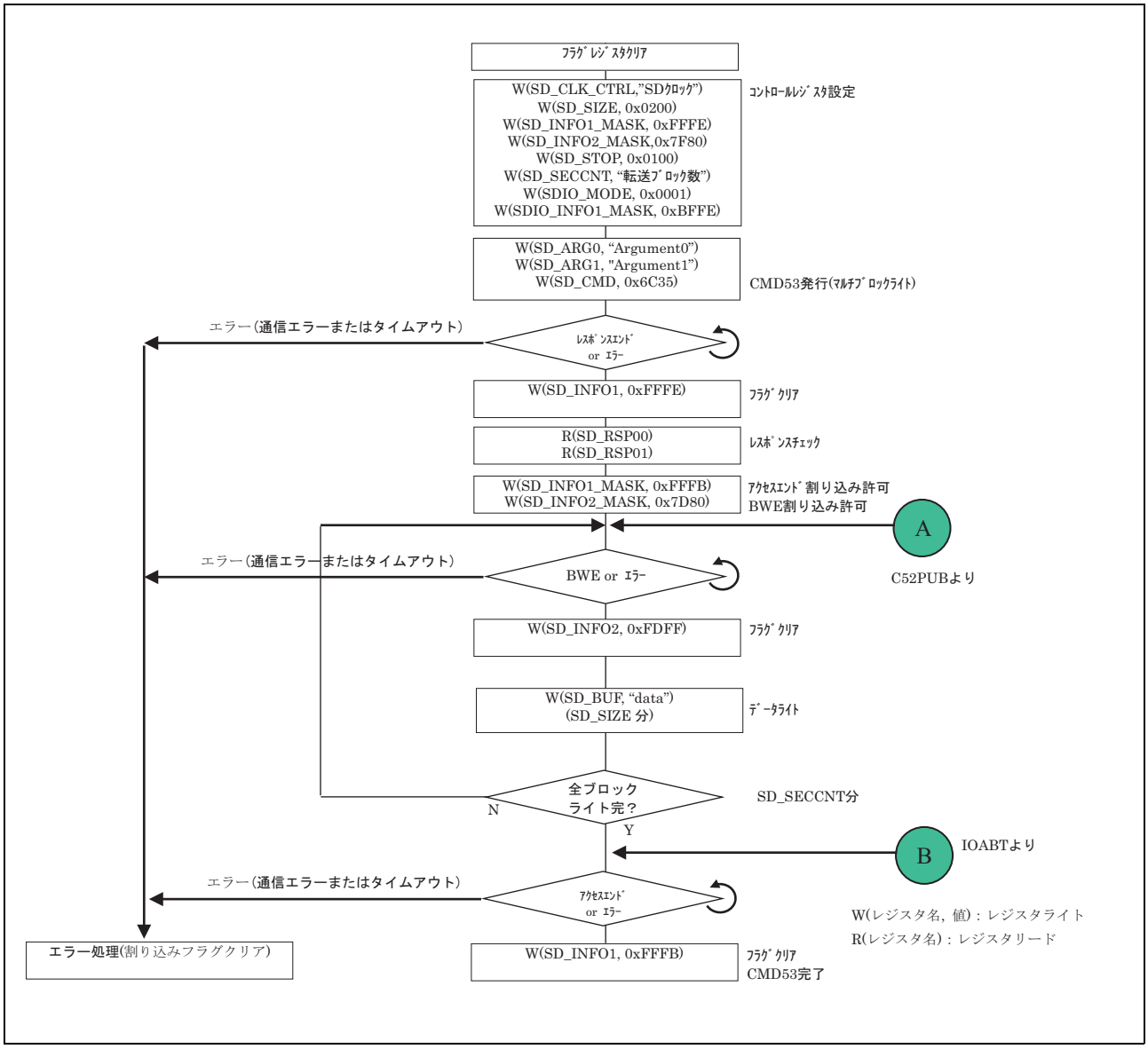


図 38.18　CMD53（マルチブロックライト）フローチャート例

図 38.19 に CMD53（マルチブロックライト）中に CMD52（SDIO abort）を発行する場合のフローチャート例を示します。

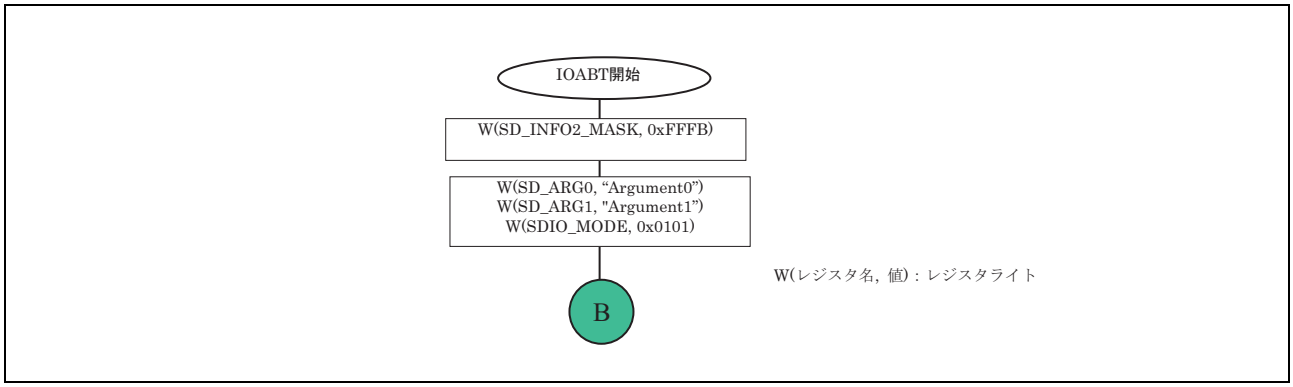


図 38.19　CMD53（マルチブロックライト）中に CMD52（SDIO abort）を発行する場合のフローチャート例

図 38.20 に CMD53（マルチブロックライト）中に CMD52（SDIO none abort）を発行する場合のフローチャート例を示します。

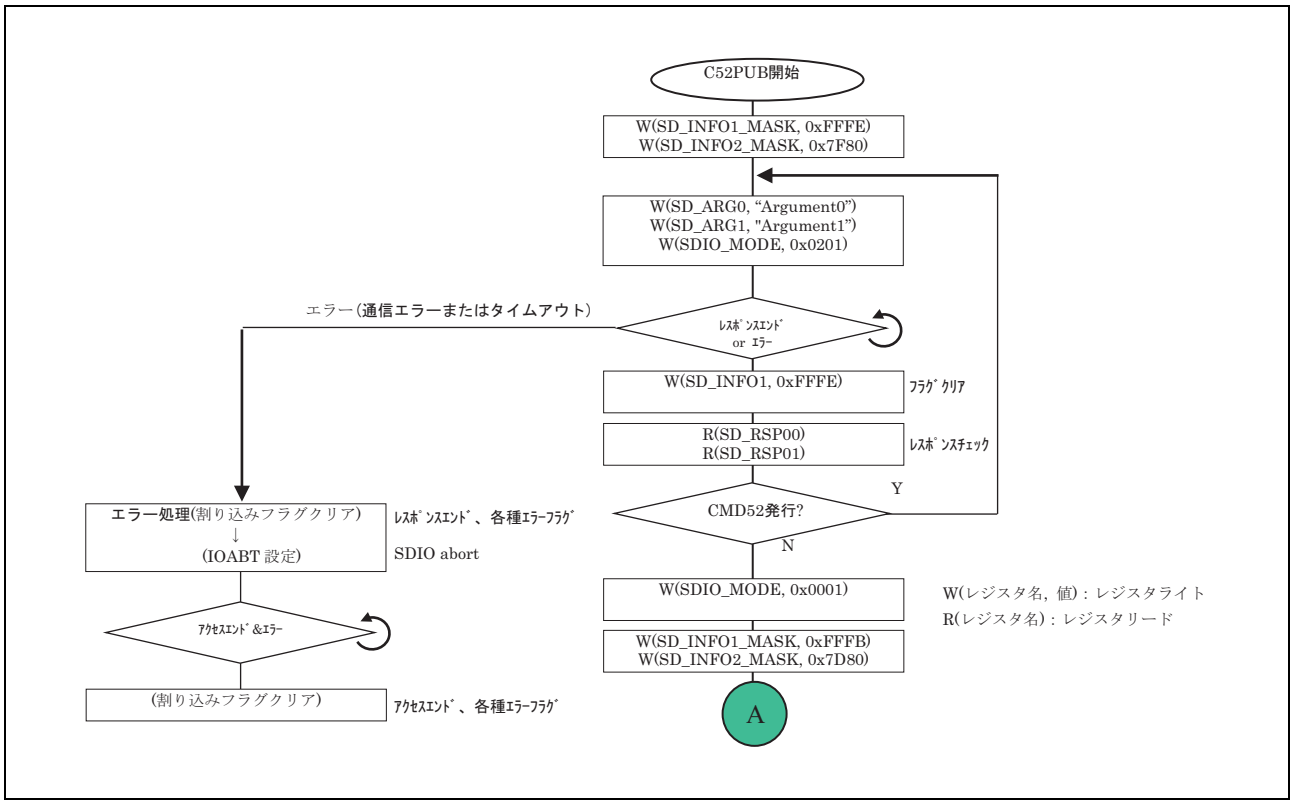


図 38.20　CMD53（マルチブロックライト）中に CMD52（SDIO none abort）を発行する場合のフローチャート例

38.4.9　DMA 転送

(1)　SD_BUF DMA 転送

図 38.21 にマルチブロックリード（CMD18）コマンドを発行した場合の SD_BUF DMA リードフローチャート例を示します。

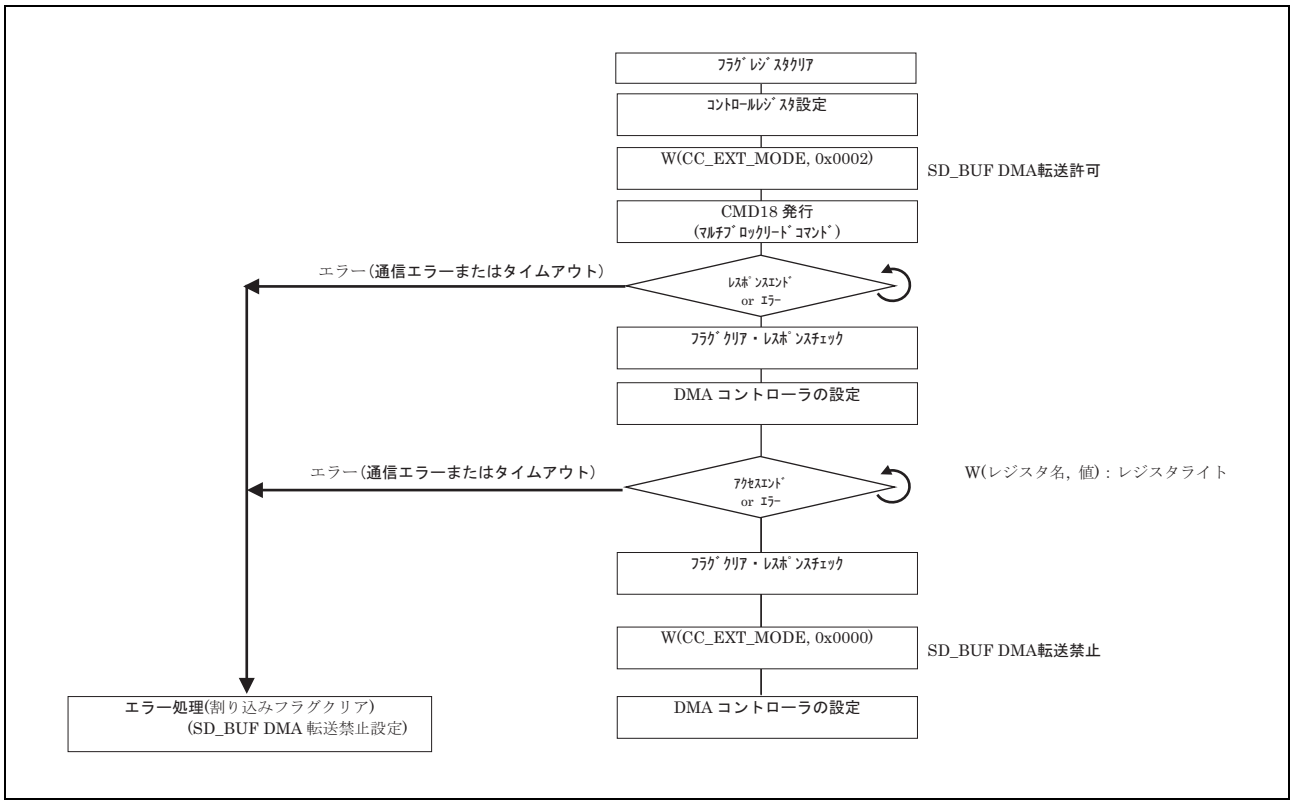


図 38.21　SD_BUF DMA リードフローチャート例

図 38.22 にマルチブロックライト（CMD25）コマンドを発行した場合の SD_BUF DMA ライトフローチャート例を示します。

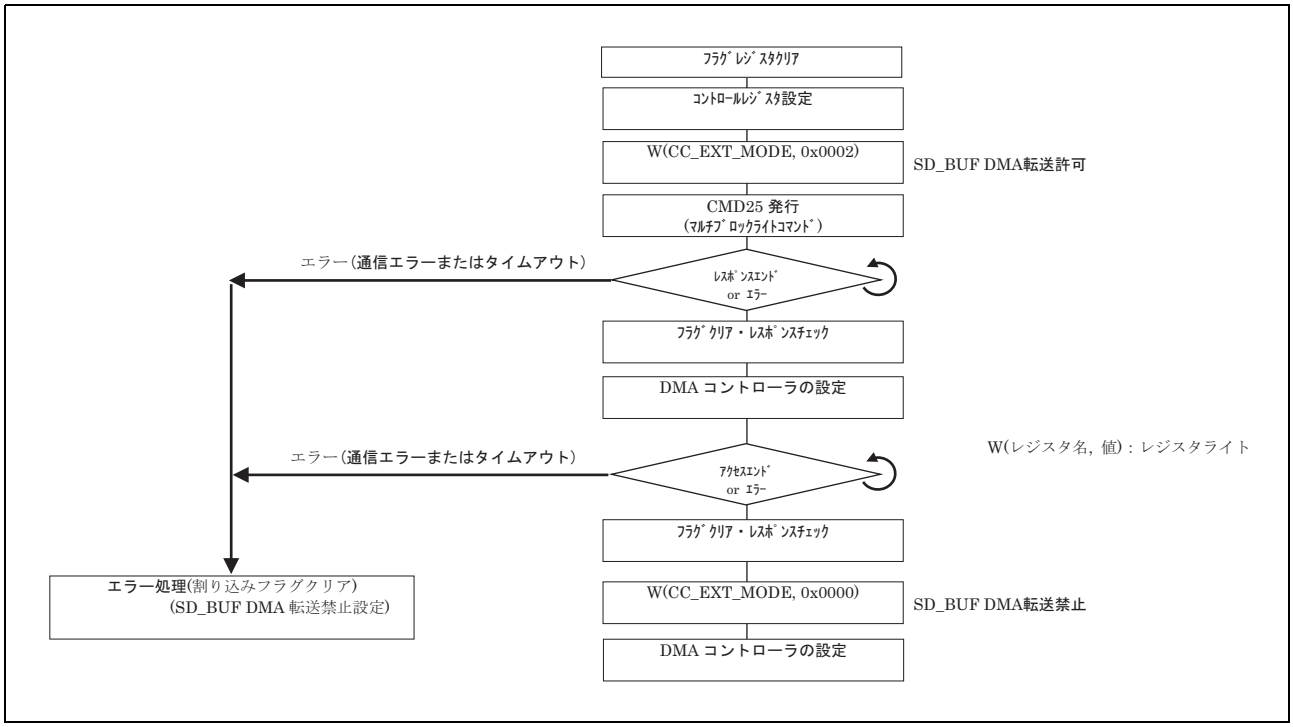


図 38.22　SD_BUF DMA ライトフローチャート例

38.4.10 SD_CMD レジスタ設定例

表 38.7 に SD_CMD レジスタ設定例を示します。

表 38.7　SD_CMD レジスタ設定例

種類	コマンド	SD_CMD レジスタ設定例	備考
CMD	CMD0	0x0000	
	CMD2	0x0002	
	CMD3	0x0003	
	CMD4	0x0004	
	CMD5	0x0705	
	CMD6	0x1C06	
	CMD7	0x0007	カードを非選択状態にする場合、レスポンスがないためレスポンスタイムアウトフラグがセットされます
	CMD8	0x0408	
	CMD9	0x0009	
	CMD10	0x000A	
	CMD12	0x000C	
	CMD13	0x000D	
	CMD15	0x000F	
	CMD16	0x0010	
	CMD17	0x0011	
	CMD18	0x0012	
	CMD24	0x0018	
	CMD25	0x0019	
	CMD27	0x001B	
	CMD28	0x001C	
	CMD29	0x001D	
	CMD30	0x001E	
	CMD32	0x0020	
	CMD33	0x0021	
	CMD38	0x0026	
	CMD42	0x002A	
	CMD52	0x0434	
	CMD53	0x1C35	シングルリードの場合
		0x0C35	シングルライトの場合
		0x7C35	マルチリードの場合
		0x6C35	マルチライトの場合
	CMD55	0x0037	
	CMD56	0x0038	
ACMD	ACMD6	0x0046	
	ACMD13	0x004D	
	ACMD22	0x0056	
	ACMD23	0x0057	
	ACMD41	0x0069	
	ACMD42	0x006A	
	ACMD51	0x0073	

38.5　使用上の注意

(1)　SD_BUF イリーガルライトアクセス

シングルブロックライトまたはマルチブロックライトコマンドを発行した後に SD_BUF0 レジスタにデータを書きこむ場合、必ず SD_SIZE レジスタ設定値分のデータを書き込むようにしてください。

誤って SD_SIZE レジスタ設定値を超えるデータを書き込んだ場合、SD_INFO2 レジスタの ERR4 ビットが 1 にセットされます。また、場合によっては、SD_BUF0 に書き込んだデータの送信が行われず、SD_INFO2 レジスタの SCLKDIVEN ビットが 0 のままとなることがあります。この場合、SOFT_RST レジスタの SDRST ビットを 0 に設定してから 1 に戻すことにより SCLKDIVEN を 1 にクリアすることができます。

但し、SD_SIZE レジスタに奇数バイト設定した場合の 1 バイト、もしくは 3 バイト、または SD_SIZE レジスタに偶数バイト設定した場合の端数バイトのダミーデータライト分は、余分なデータとみなし無視されるため、上記には該当しません。(端数バイト : 4 バイト単位以外での 2 バイト)

(2)　マルチブロックリード時のブロック数制限

1 ブロックまたは 2 ブロックのマルチブロックリードを行う場合、レスポンスレジスタを読み出すタイミングによっては、レスポンス値を正しく読み出せないことがありますので、1 ブロックまたは 2 ブロックのデータを受信する場合はシングルブロックリードを使用してください。

図 38.23 に 2 ブロックのマルチブロックリードを行った時の SD ホストインタフェース（ハード）とソフトウェアの処理例を示します。**図 38.23** の不具合動作時の場合、CMD18 レスポンス受信による割り込みが発生し、その割り込みによるレスポンスレジスタをリードするタイミングが遅延すると、CMD12 レスポンスの受信中のデータをリードしたり、CMD12 レスポンスをリードしたりすることがあります。なお、3 ブロック以上のマルチブロックリードの場合、ブロックデータをリードしなければ CMD12 を送信することはないので該当しません。また、マルチブロックライトの場合、CMD25 レスポンスをリードしてからブロックデータを送信するので該当しません。

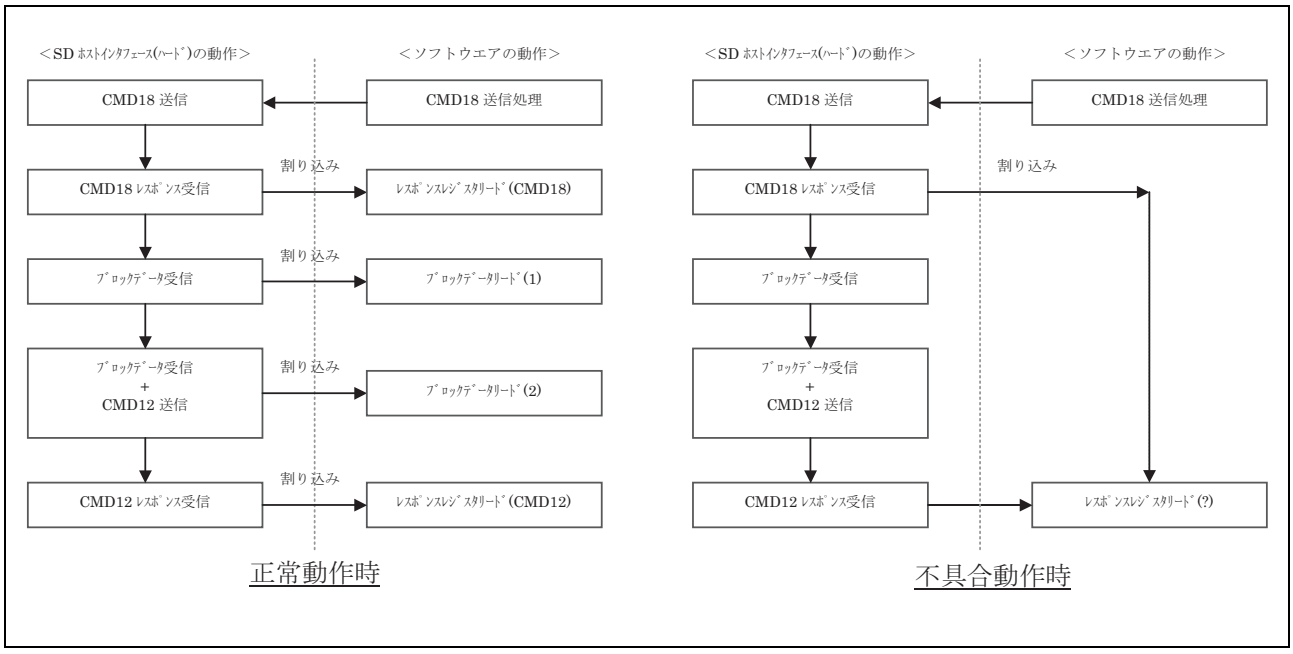


図 38.23　マルチブロックリード処理例（2 ブロック）

(3) SD_CLK 出力自動制御

SD カード規格にて、カード初期化前に 74SD_CLK 周期分 SD_CLK 出力が必要となる。そのため、74SD_CLK 周期分 SD_CLK 出力してから SD_CLK 出力自動制御を使用してください。

また、SD_CLK 出力自動制御を使用した場合、通信エラーまたはタイムアウトによるシーケンス終了にて SD_CLK 出力が停止します。そのため、シーケンス終了後も SD カード内のステートを遷移させる必要などがある場合は、SD_CLK 出力自動制御を解除して SD カードへの SD_CLK 供給を再開させてください。

(4) マルチブロックライト時の C52PUB 設定制限

CMD53 によるマルチブロックライトシーケンス中に、SDIO_MODE レジスタの C52PUB を 1 に設定しても、SD_BUF が空になるまで CMD52 を発行しません。そのため、以下の手順で SD_BUF への書き込みを一時停止してから、C52PUB を 1 に設定してください。

- DMA 転送を使用しない場合
  ① C52PUB を設定する前に、SD_INFO2 レジスタの BWE 割り込みを禁止に設定して SD_BUF への書き込みを一時停止
  ② SDIO_MODE レジスタの C52PUB を 1 に設定（SD_BUF が空の状態になると CMD52 が発行）
  ③ CMD52 発行による SD_INFO1 レジスタの INFO0 割り込みの処理を完了した後、SD_INFO2 レジスタの BWE 割り込みを許可に設定して SD_BUF への書き込みを再開

- DMA 転送を使用する場合
  ① DMA による転送を SD_SIZE レジスタ設定値 × n ブロック（n=1、2・・・）毎に行い、C52PUB を設定する前に DMA 転送による SD_BUF への書き込みを一時停止
  ② SDIO_MODE レジスタの C52PUB を 1 に設定（SD_BUF が空の状態になると CMD52 が発行）
  ③ CMD52 発行による SD_INFO1 レジスタの INFO0 割り込みの処理を完了した後、DMA 転送による SD_BUF への書き込みを再開

(5) SDIO Interrupt 誤検出について

SD ホストインタフェースは以下の条件を全て満たす時に SDIO Interrupt を誤検出します。

1) SDIO アクセス
2) SDIO デバイスが SDIO Interrupt (規格オプション) をサポートしている
3) SDIO デバイスが CMD53 の 4 ビット幅のマルチブロックリード (規格オプション) をサポートしている
4) SDIO デバイスが 4 ビット幅データブロック間 SDIO Interrupt (規格オプション) をサポートしていない

これを回避するため、SDIO デバイスの Card Capability レジスタの SMB ビットが “1” かつ S4MI ビットが “0” の時以下のような手順でマルチブロックリードしてください。

①マルチブロックリードを実行する直前に SD ホストインタフェースの SDIO_MODE レジスタの IOMOD ビットを “0” に設定
②マルチブロックリードを実行
③マルチブロックリード終了直後に SD ホストインタフェースの SDIO_MODE レジスタの IOMOD ビットを “1” に設定

(6)　マルチブロックリード中の STP ビット設定について

SD_STOP レジスタの SEC ビットを 1 に設定して自動 CMD12 有りマルチブロックリードを実行中に、SD_STOP レジスタの STP ビットを 1 にして強制終了する場合、STP ビットを 1 にするタイミングによっては、コマンドシーケンスが終了しないことがあります。

これを回避するため、マルチブロック転送中に SD_STOP レジスタの STP ビットを 1 にする場合、SD_STOP レジスタの SEC ビットを同時に 0 に設定してください。SD_INFO2 レジスタの CBSY ビットが 1 であっても、SEC ビットを 1 から 0 に変更してください。

また、SEC ビットを同時に 0 にせず、コマンドシーケンスが終了しない場合には、SOFT_RST レジスタの SDRST ビットを 0 にすることで、コマンドシーケンスを終了することも可能です。なお、CMD53 マルチブロック転送中に、SDIO_MODE レジスタの IOABT ビットにて強制終了する場合には、SD_STOP レジスタの SEC ビットは 1 のままにしてください。

(7)　ソフトウェアリセット

SOFT_RST レジスタの SDRST ビットによるソフトウェアリセットへの遷移の際は、**「42.3.6　ソフトウェアリセット」**を参照してください。

なお、**「42.3.6　ソフトウェアリセット」**に記載の手順に関しては、SRST ビット記述を SOFT_RST レジスタの SDRST ビットに読み替えてください。

39. MMC ホストインタフェース

MMC ホストインタフェースは、JEDEC STANDARD JESD84-A441 対応したホストコントローラです。MMC インタフェースを持つ各種デバイスと接続することが可能です。

39.1 特長

- 1/4/8 ビットの MMC bus に対応
- Single Data Rate のみに対応
- MMC クロック周波数＝ P1φ 周波数／ 2^n（n=1…10）
- High Priority Interrupt (HPI) に対応 *
- Background Operation に対応
- データバッファ：512 バイト ×2
- 割り込み要求：3 本（通常動作、エラー／タイムアウト、カード検出）
- DMA 転送要求：バッファライト、バッファリード
- カード検出機能

注　* CMD6、CMD24、CMD25（Pre-defined）、CMD38 のシーケンス中の HPI に対応。

ブロック図を図 39.1 に示します。

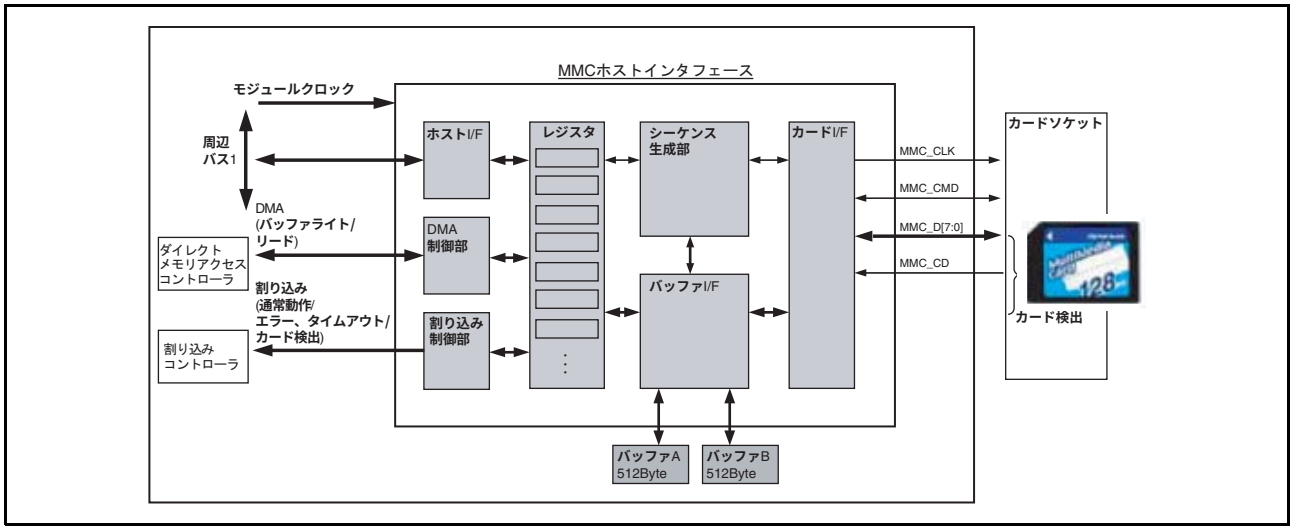


図 39.1　MMC ホストインタフェースのブロック図

39.2　入出力端子

本モジュールの端子構成を表 39.1 に示します。

表39.1　端子構成

端子名	入出力	機能
MMC_CLK	出力	MMCクロック
MMC_CMD	入出力	コマンド／レスポンス
MMC_D[7:0]	入出力	送信データ／受信データ
MMC_CD	入力	カード検出*

注　*　使用するカードソケットの仕様を考慮して接続してください。

39.3　レジスタの説明

本モジュールのレジスタ構成を表 39.2 に示します。

表39.2　レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
コマンド設定レジスタ	CE_CMD_SET	R/W	H'E804C800 H'E804C802	16 16
アーギュメントレジスタ	CE_ARG	R/W	H'E804C808	32
自動CMD12アーギュメントレジスタ	CE_ARG_CMD12	R/W	H'E804C80C	32
コマンド制御レジスタ	CE_CMD_CTRL	R/W	H'E804C810	32
転送ブロック設定レジスタ	CE_BLOCK_SET	R/W	H'E804C814	32
クロックコントロールレジスタ	CE_CLK_CTRL	R/W	H'E804C818	32
バッファアクセス設定レジスタ	CE_BUF_ACC	R/W	H'E804C81C	32
レスポンスレジスタ3	CE_RESP3	R	H'E804C820	32
レスポンスレジスタ2	CE_RESP2	R	H'E804C824	32
レスポンスレジスタ1	CE_RESP1	R	H'E804C828	32
レスポンスレジスタ0	CE_RESP0	R	H'E804C82C	32
自動CMD12レスポンスレジスタ	CE_RESP_CMD12	R	H'E804C830	32
データレジスタ	CE_DATA	R/W	H'E804C834	32
割り込みフラグレジスタ	CE_INT	R/W	H'E804C840	32
割り込みイネーブルレジスタ	CE_INT_EN	R/W	H'E804C844	32
ステータスレジスタ1	CE_HOST_STS1	R	H'E804C848	32
ステータスレジスタ2	CE_HOST_STS2	R	H'E804C84C	32
DMAモード設定レジスタ	CE_DMA_MODE	R/W	H'E804C85C	32
カード検出/ポート制御レジスタ	CE_DETECT	R/W	H'E804C870	32
特殊モード設定レジスタ	CE_ADD_MODE	R/W	H'E804C874	32
バージョンレジスタ	CE_VERSION	R/W	H'E804C87C	32

注.　上記以外のレジスタには、アクセスしないでください。

39.3.1　コマンド設定レジスタ（CE_CMD_SET）

CE_CMD_SET は、コマンドシーケンスを設定するレジスタです。

ビット 31 ～ 16 を設定するとコマンドシーケンスがスタートします。なお、コマンドシーケンス中（CE_HOST_STS1 の CMDSEQ ビットが 1 のとき）は、CE_CMD_SET にライトできません。「39.7.12 CE_CMD_SET 設定値」に従い CE_CMD_SET を設定してください。

本レジスタは、16 ビットでアクセスしてください。（アドレスは、ビット 31 ～ 16：H'E804C800、ビット 15 ～ 0：H'E804C802 です。）

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	CMD[5:0]						RTYP[1:0]		RBSY	—	WDAT	DWEN	CMLTE	CMD12EN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RIDXC[1:0]		RCRC7C[1:0]		—	CRC16C	—	CRCSTE	TBIT	OPDM	—	—	SBIT	—	DATW[1:0]	
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R/W	R/W	R	R	R/W	R	R/W	R/W

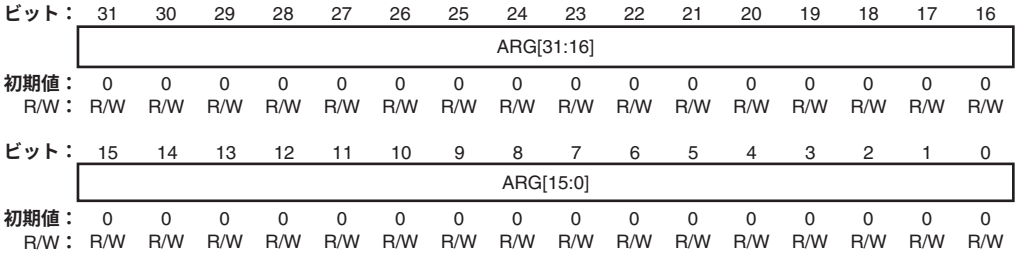
ビット	ビット名	初期値	R/W	説　　明
31、30	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
29 ～ 24	CMD[5:0]	H'00	R/W	コマンドインデックス コマンドのインデックス（[45:40]）を設定します。 注.　コマンドインデックスを設定すると、コマンドシーケンスがスタートします。
23、22	RTYP[1:0]	00	R/W	レスポンスタイプ 00：レスポンス無し 01：6 バイトのレスポンス（R1、R1b、R3、R4、R5） 10：17 バイトのレスポンス（R2） 11：設定禁止
21	RBSY	0	R/W	レスポンスビジーあり／なし レスポンス受信時のビジーの有無を選択します。 0：レスポンスビジーなし 1：レスポンスビジーあり（R1b）
20	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
19	WDAT	0	R/W	データあり／なし 0：データなし 1：データあり
18	DWEN	0	R/W	リード／ライト（データありのとき有効） 0：カードからリード 1：カードへライト
17	CMLTE	0	R/W	シングルブロック転送／マルチブロック転送選択（データありのとき有効） 0：シングルブロック転送 1：マルチブロック転送
16	CMD12EN	0	R/W	自動 CMD12 発行設定（マルチブロック転送時有効）* 0：CMD12 を自動発行しない 1：CMD12 を自動発行する（＝自動 CMD12） 自動 CMD12 発行については、「39.6.4　自動 CMD12 発行」を参照してください。 注　*　転送ブロックサイズ＝ 512 バイトに設定してください。RBSY は、0 を設定してください。

ビット	ビット名	初期値	R/W	説　　明
15、14	RIDXC[1:0]	00	R/W	レスポンスインデックスチェック 6バイトレスポンスの[45:40]、または、17バイトレスポンスの[133:128]に対するチェック内容を設定します。 00：インデックスチェック （コマンドのインデックスと一致することを確認） 01：check bitsチェック（All 1になっていることを確認） 10：チェック無し 11：設定禁止
13、12	RCRC7C[1:0]	00	R/W	レスポンスCRC7チェック 6バイトレスポンス、または、17バイトレスポンスの[7:1]に対するチェック内容を設定します。 00：CRC7チェック （レスポンスタイプを01に設定してください） 01：check bitsチェック （レスポンスタイプを01に設定してください） 10：internal CRC7チェック（R2専用） （レスポンスタイプを10に設定してください） 11：チェック無し
11	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
10	CRC16C	0	R/W	受信時CRC16チェック（データあり、かつ、リードのときに有効） 0：CRC16をチェックする 1：CRC16をチェックしない（CMD14時に使用）
9	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
8	CRCSTE	0	R/W	CRC status受信（データあり、かつ、ライトのときに有効） 0：CRC statusを受信する 1：CRC statusを受信しない（CMD19時に使用）
7	TBIT	0	R/W	トランスミッションビット設定 0：トランスミッションビット（[46]）を1にする 1：トランスミッションビット（[46]）を0にする
6	OPDM	0	R/W	オープンドレイン出力モード設定 0：通常出力 1：オープンドレイン出力 注.　MMC_CMD線のみ有効となります。
5、4	—	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	SBIT	0	R/W	リードデータスタートビット検出設定（データあり、かつ、リードのとき有効） 0：DATW設定により有効なMMC_Dがすべて0のとき スタートビットを検出 1：MMC_D[0]が0のときスタートビットを検出
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1、0	DATW[1:0]	00	R/W	データバス幅設定（データありのとき有効） 00：1ビット 01：4ビット 10：8ビット 11：設定禁止

注.　HPIを実行するときは、本ビットを1に設定しないマルチブロック転送（Pre-defined）を使用してください。

39.3.2　アーギュメントレジスタ（CE_ARG）

CE_ARG は、送信するコマンドのアーギュメントを設定するレジスタです。コマンドシーケンスを開始する前に CE_ARG を設定してください。

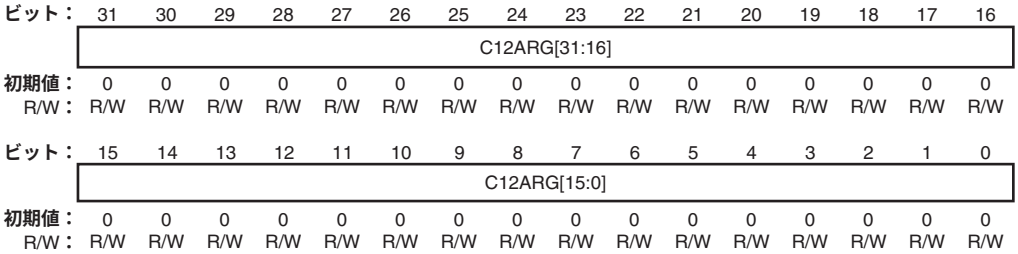


ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	ARG[31:0]	H'0000 0000	R/W	コマンドの[39:8]を設定 注.　自動CMD12のアーギュメントは、CE_ARG_CMD12で設定してください。

39.3.3　自動 CMD12 アーギュメントレジスタ（CE_ARG_CMD12）

CE_ARG_CMD12 は、自動 CMD12 のアーギュメントを設定するレジスタです。マルチブロック転送時に CMD12 を自動発行するときに有効なレジスタです。

自動 CMD12 については、「39.6.4　自動 CMD12 発行」を参照ください。コマンドシーケンスを開始する前に CE_ARG_CMD12 を設定してください。



ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	C12ARG [31:0]	H'0000 0000	R/W	自動CMD12の[39:8]を設定

39.3.4　コマンド制御レジスタ（CE_CMD_CTRL）

CE_CMD_CTRL は、強制終了を行う際に設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	BREAK
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	BREAK	0	R/W	コマンドシーケンス強制終了 コマンドシーケンスを中断する場合には、BREAK を 0 の状態から 1 をライトしその後 0 をライトしてください。その後、CE_HOST_STS1 の CMDSEQ が 0 になることを確認してから、ソフトリセットしてください。 注.　ソフトリセットを行うと、レジスタの値が初期値に戻りますので、レジスタの再設定が必要になります。

39.3.5　転送ブロック設定レジスタ（CE_BLOCK_SET）

CE_BLOCK_SET は、転送するデータのブロックサイズとブロック数を設定するレジスタです。コマンドシーケンスを開始する前に CE_BLOCK_SET を設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	BLKCNT[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	BLKSIZ[15:0]															
初期値：	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 16	BLKCNT[15:0]	H'0000	R/W	転送ブロック数 注.　マルチブロック転送のとき、有効となります。
15 ～ 0	BLKSIZ[15:0]	H'0200	R/W	転送ブロックサイズ 注.　転送ブロックサイズは、 • シングルブロック転送設定時：1～512 バイト • マルチブロック転送設定時：512 バイト に設定してください。

39.3.6　クロックコントロールレジスタ（CE_CLK_CTRL）

CE_CLK_CTRL は、MMC クロックの制御とタイムアウト値を設定するレジスタです。なお、コマンドシーケンス実行中は再設定しないでください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	CLKEN	—	—	—	—	CLKDIV[3:0]			
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SRSPTO[1:0]		SRBSYTO[3:0]				SRWDTO[3:0]				—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 25	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
24	CLKEN	0	R/W	MMC クロック出力制御 0：MMC クロックを出力しない（L 固定） 1：MMC クロックを出力する
23 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
19 ～ 16	CLKDIV[3:0]	0000	R/W	MMC クロック周波数設定 0000：P1φ/2^1 0001：P1φ/2^2 : 0111：P1φ/2^8 1000：P1φ/2^9 1001：P1φ/2^10 1010～1111：設定禁止
15、14	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
13、12	SRSPTO[1:0]	00	R/W	レスポンスタイムアウト設定 CE_INT の RSPTO の期間を設定します。 00：64×MMC クロック周期 01：128×MMC クロック周期 10：256×MMC クロック周期 11：設定禁止
11 ～ 8	SRBSYTO [3:0]	0000	R/W	レスポンスビジータイムアウト設定 CE_INT の RBSYTO の期間を設定します。 0000：2^14×MMC クロック周期 0001：2^15×MMC クロック周期 : 1110：2^28×MMC クロック周期 1111：2^29×MMC クロック周期
7 ～ 4	SRWDTO[3:0]	0000	R/W	ライトデータタイムアウト／リードデータタイムアウト設定 CE_INT の WDATTO、RDATTO の期間を設定します。 0000：2^14×MMC クロック周期 0001：2^15×MMC クロック周期 : 1110：2^28×MMC クロック周期 1111：2^29×MMC クロック周期
3 ～ 0	—	0000	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

39.3.7　バッファアクセス設定レジスタ（CE_BUF_ACC）

CE_BUF_ACC は、データレジスタのアクセス方法と DMA の転送方法を設定するレジスタです。

コマンドシーケンスが実行中は再設定しないでください。バッファの説明については「**39.6.3　バッファ構造とバッファアクセス**」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	DMAWEN	DMAREN	—	—	—	—	—	—	—	ATYP
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

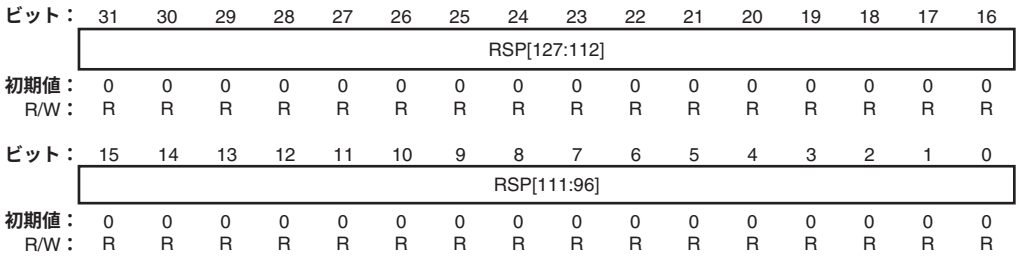
ビット	ビット名	初期値	R/W	説　　明
31 ～ 26	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
25	DMAWEN	0	R/W	バッファライト DMA 転送要求イネーブル 0：バッファライト DMA 転送要求を禁止 1：バッファライト DMA 転送要求を許可
24	DMAREN	0	R/W	バッファリード DMA 転送要求イネーブル 0：バッファリード DMA 転送要求を禁止 1：バッファリード DMA 転送要求を許可
23 ～ 17	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
16	ATYP	0	R/W	バッファアクセス選択 0：バイト単位差し替えなし 1：バイト単位差し替えあり 注.　バッファへのアクセスについては「39.6.3　バッファ構造とバッファアクセス」を参照してください。
15 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

39.3.8　レスポンスレジスタ 3 ～ 0（CE_RESP3 ～ 0）

CE_RESP3 ～ 0 は、受信したレスポンス値が格納されるレジスタです。

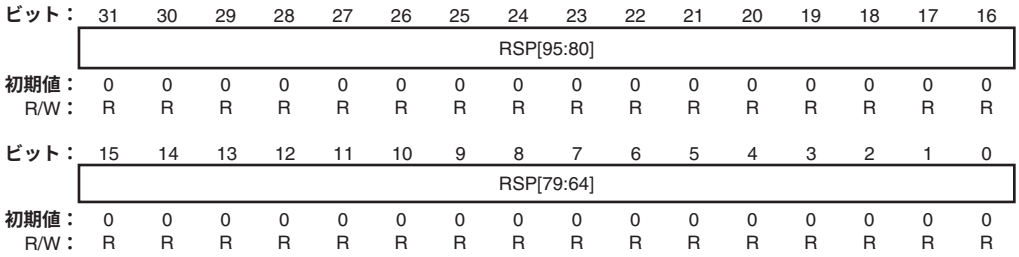
レスポンス値のフォーマットについては、「39.6.1　コマンド／レスポンスのフォーマット」を参照してください。

- CE_RESP3



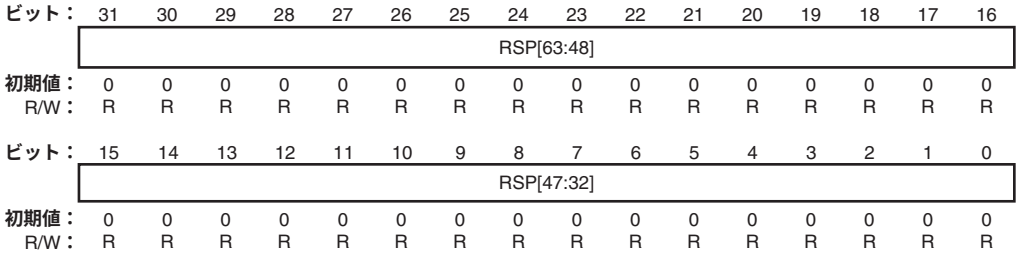
ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	RSP[127:96]	H'0000 0000	R	17バイトレスポンスの[127:96]を格納

- CE_RESP2



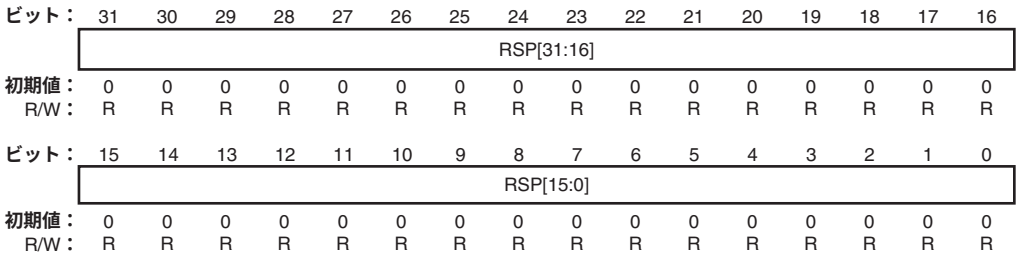
ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	RSP[95:64]	H'0000 0000	R	17バイトレスポンスの[95:64]を格納

- CE_RESP1



ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	RSP[63:32]	H'0000 0000	R	17バイトレスポンスの[63:32]を格納

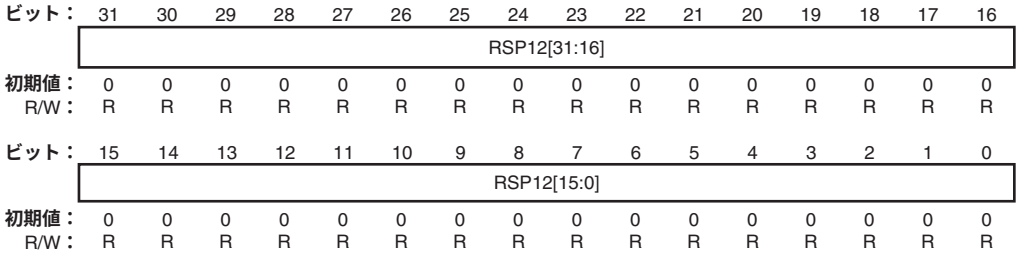
- CE_RESP0



ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	RSP[31:0]	H'0000 0000	R	6バイトレスポンスの[39:8]、または、17バイトレスポンスの[31:0]を格納 注.　自動CMD12に対するレスポンスは、CE_RESP_CMD12に格納されます。

39.3.9　自動 CMD12 レスポンスレジスタ（CE_RESP_CMD12）

CE_RESP_CMD12 は、CMD12 を自動発行した際に、CMD12 に対するレスポンス値が格納されるレジスタです。



ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	RSP12[31:0]	H'0000 0000	R	自動CMD12に対するレスポンスの[39:8]を格納

39.3.10　データレジスタ（CE_DATA）

CE_DATA は、バッファにアクセスするためのレジスタです。

ライトデータ／リードデータのフォーマットについては、**「39.6.2　データブロックフォーマット」**を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DATA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DATA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	DATA[31:0]	H'0000 0000	R/W	バッファライト／リード[31:0]

39.3.11　割り込みフラグレジスタ（CE_INT）

CE_INT は、コマンドシーケンスが実行中の各種ステータスを表すレジスタです。各ビットは、セット条件を満たすと 1 にセットされます。フラグをクリアする際はクリアするビットのみ 0 を設定し、それ以外のビットは 1 を設定してください。

エラー、タイムアウト発生時の動作については、**「39.6.7　エラー、タイムアウト発生時の本モジュールの処理」**を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	CMD12 DRE	CMD12 RBE	CMD12 CRE	DTRAN E	BUFR E	BUFW EN	BUFR EN	—	—	RBSY E	CRSP E
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMD VIO	BUF VIO	—	—	WDAT ERR	RDAT ERR	RIDX ERR	RSP ERR	—	—	—	CRCS TO	WDAT TO	RDAT TO	RBSY TO	RSP TO
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	CMD12DRE	0	R/W*	自動CMD12 &バッファリード完 セット条件：自動CMD12のレスポンスビジーとバッファリードが完了したとき クリア条件：0ライト 注.　CMD12DRE がセットされた際は、CMD12RBE、CMD12CRE、BUFRE もセットされているので、クリアしてください。
25	CMD12RBE	0	R/W*	自動CMD12 レスポンスビジー完 セット条件：自動CMD12のレスポンス受信とレスポンスビジーが完了したとき クリア条件：0ライト 注.　CMD12RBEがセットされた際は、CMD12CREもセットされているので、クリアしてください。また、マルチブロックライトのときにCMD12RBE がセットされた際は、DTRANEもセットされていますのでクリアしてください。
24	CMD12CRE	0	R/W*	自動CMD12コマンドレスポンス完 セット条件：自動CMD12のレスポンスを受信したとき クリア条件：0ライト

ビット	ビット名	初期値	R/W	説　　明
23	DTRANE	0	R/W*	データ送信完 セット条件：全ブロックの全データの送信が完了したとき • CRC status を受信する設定の場合： CRC status 後のビジー（データビジー）が完了したとき • CRC status を受信しない設定の場合： データの送信が完了したとき クリア条件：0 ライト
22	BUFRE	0	R/W*	バッファリード完 セット条件：全ブロックの全データの受信が完了しバッファからリードし終わったとき クリア条件：0 ライト
21	BUFWEN	0	R/W*	バッファライト可 セット条件：バッファが空でライト可能になったとき クリア条件：0 ライト 注.　CPU にて CE_DATA にデータを書き込む場合、本ビットをクリアしてから、CE_BLOCK_SET レジスタのブロックサイズ設定値分のデータを書き込むようにしてください。なお、バッファライト DMA 転送要求を許可している場合は、セットされません。
20	BUFREN	0	R/W*	バッファリード可 セット条件：バッファに転送ブロックサイズ分のデータが格納されリード可能になったとき クリア条件：0 ライト 注.　CPU にて CE_DATA からデータを読み出す場合、本ビットをクリアしてから、CE_BLOCK_SET レジスタのブロックサイズ設定値分のデータを読み出すようにしてください。なお、バッファリード DMA 転送要求を許可している場合は、セットされません。
19、18	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
17	RBSYE	0	R/W*	レスポンスビジー完 セット条件：レスポンスの受信とレスポンスビジーの受信が完了したとき クリア条件：0 ライト 注.　RBSYE がセットされた際は、CRSPE もセットされているので、クリアしてください。また、自動 CMD12 のレスポンスとレスポンスビジーについては、CMD12RBE に反映されます。
16	CRSPE	0	R/W*	コマンドレスポンス完 セット条件：コマンドの送信またはレスポンスの受信が完了したとき • レスポンス無し設定の場合： コマンドの送信が完了したとき • 6 バイトレスポンス、17 バイトレスポンス設定の場合： レスポンスを受信したとき クリア条件：0 ライト 注.　自動 CMD12 のレスポンスについては、CMD12CRE に反映されます。
15	CMDVIO	0	R/W*	コマンド発行エラー セット条件：CE_CMD_SET、CE_BLOCK_SET への設定に不正があったとき • コマンドシーケンス中の場合： CE_CMD_SET の CMD[5:0] ビットへライトしたとき （コマンドシーケンスは自動停止しません） • コマンドシーケンス開始時の場合： レジスタの設定が、下記のいずれかの組み合わせの状態で CE_CMD_SET の CMD[5:0] ビットへライトしたとき －レスポンス無し＋レスポンスビジーあり －レスポンス無し＋データあり －データ無し＋CMD12 を自動発行する －データあり＋シングル＋CMD12 を自動発行する －データあり＋レスポンスビジーあり＋CMD12 を自動発行する －データあり＋転送ブロックサイズ＝0 －データあり＋転送ブロックサイズ≧513 －データあり＋マルチブロック転送＋転送ブロック数＝0 クリア条件：0 ライト

ビット	ビット名	初期値	R/W	説　　明
14	BUFVIO	0	R/W*	バッファアクセスエラー セット条件：バッファアクセスに不正があったとき • CE_BLOCK_SETのBLKSIZ[15:0]ビットに設定したブロックサイズより多くCE_DATAへアクセスしたとき • カードからデータをリード中の場合：BUFRENがセットされていない（DMA時は、バッファリードDMA転送要求が出ていない）にもかかわらず、CE_DATAへアクセスしたとき • カードへデータをライト中の場合：BUFWENがセットされていない（DMA時は、バッファライトDMA転送要求が出ていない）にもかかわらず、CE_DATAへアクセスしたとき クリア条件：0ライト 注.　BUFVIOがセットされた際は、コマンドシーケンスは自動停止しません。エラーが発生した場合、本ビットがセットされることがあります。
13、12	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
11	WDATERR	0	R/W*	ライトデータエラー セット条件： • ライトデータにエラーがあったとき • CRC statusのステータスにエラーがあるとき • CRC statusのエンドビットにエラーがあるとき クリア条件：0ライト 注.　WDATERRがセットされた際は、コマンドシーケンスが自動停止します。
10	RDATERR	0	R/W*	リードデータエラー セット条件：リードデータにエラーがあったとき • リードデータのCRC16にエラーがあるとき • リードデータのエンドビットにエラーがあるとき クリア条件：0ライト 注.　RDATERRがセットされた際は、コマンドシーケンスが自動停止します。
9	RIDXERR	0	R/W*	レスポンスインデックスエラー セット条件：レスポンスのインデックス値にエラーがあったとき • 6バイトレスポンス（自動CMD12含む）の[45:40]、または、17バイトレスポンスの[133:128]にエラーがあったとき（チェック内容は、CE_CMD_SETのRIDXCに設定） クリア条件：0ライト 注.　RIDXERRがセットされた際は、コマンドシーケンスが自動停止します。
8	RSPERR	0	R/W*	レスポンスエラー セット条件：レスポンスのレスポンス値にエラーがあったとき • レスポンスのトランスミッションビットがHのとき • レスポンスのエンドビットにエラーがあるとき • 6バイトレスポンス（自動CMD12含む）、または、17バイトレスポンスの[7:1]にエラーがあったとき（チェック内容は、CE_CMD_SETのRCRC7Cに設定） クリア条件：0ライト 注.　RSPERRがセットされた際は、コマンドシーケンスが自動停止します。
7～5	―	すべて0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
4	CRCSTO	0	R/W*	CRC statusタイムアウト セット条件：CRC statusを受信できなかったとき クリア条件：0ライト 注.　CRCSTOがセットされても、コマンドシーケンスは停止しません。
3	WDATTO	0	R/W*	ライトデータタイムアウト セット条件：CRC status受信後、CE_CLK_CTRLのSRWDTOの期間を超えビジーが続いたとき クリア条件：0ライト 注.　WDATTOがセットされても、コマンドシーケンスは停止しません。
2	RDATTO	0	R/W*	リードデータタイムアウト セット条件： • リードコマンド送信後、CE_CLK_CTRLのSRWDTOの期間を超えリードデータを受信できなかったとき • リードデータ受信後、CE_CLK_CTRLのSRWDTOの期間を超えリードデータを受信できなかったとき クリア条件：0ライト 注.　RDATTOがセットされても、コマンドシーケンスは停止しません。

ビット	ビット名	初期値	R/W	説　　明
1	RBSYTO	0	R/W*	レスポンスビジータイムアウト セット条件：コマンド（自動CMD12含む）送信後、CE_CLK_CTRLのSRBSYTOの期間を超えビジーが続いたとき クリア条件：0ライト 注.　RBSYTOがセットされても、コマンドシーケンスは停止しません。
0	RSPTO	0	R/W*	レスポンスタイムアウト セット条件：コマンド（自動CMD12含む）送信後、CE_CLK_CTRLのSRSPTOの期間を超えレスポンスを受信できなかったとき クリア条件：0ライト 注.　RSPTOがセットされても、コマンドシーケンスは停止しません。

注　*　0 ライトのみ有効となり、1 をライトしても反映されません。

39.3.12　割り込みイネーブルレジスタ（CE_INT_EN）

CE_INT_EN は、CE_INT の割り込み出力を制御するレジスタです。1 に設定したビットに対応する CE_INT のフラグが 1 となっていた場合に、割り込みを出力します。割り込み要求の詳細については、**「39.4　割り込み要求の説明」**を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	MCMD12DRE	MCMD12RBE	MCMD12CRE	MDTRANE	MBUFRE	MBUFWEN	MBUFREN	—	—	MRBSYE	MCRSPE
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W

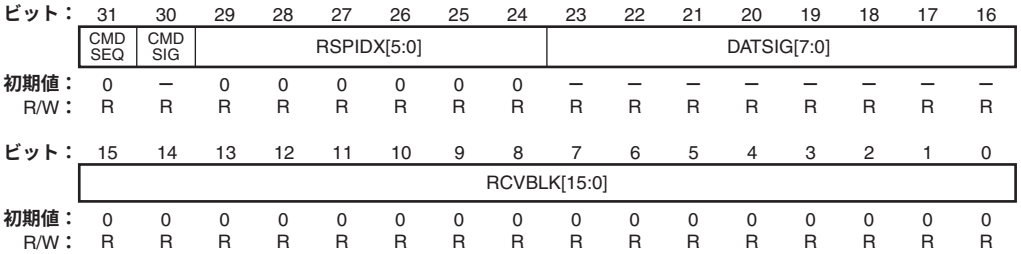
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MCMDVIO	MBUFVIO	—	—	MWDATERR	MRDATERR	MRIDXERR	MRSPERR	—	—	—	MCRCSTO	MWDATTO	MRDATTO	MRBSYTO	MRSPTO
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 27	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
26	MCMD12DRE	0	R/W	CMD12DRE割り込みイネーブル 0：CMD12DRE フラグによる割り込み出力を禁止 1：CMD12DRE フラグにより割り込み出力を許可
25	MCMD12RBE	0	R/W	CMD12RBE割り込みイネーブル 0：CMD12RBE フラグによる割り込み出力を禁止 1：CMD12RBE フラグにより割り込み出力を許可
24	MCMD12CRE	0	R/W	CMD12CRE割り込みイネーブル 0：CMD12CRE フラグによる割り込み出力を禁止 1：CMD12CRE フラグにより割り込み出力を許可
23	MDTRANE	0	R/W	DTRANE割り込みイネーブル 0：DTRANE フラグによる割り込み出力を禁止 1：DTRANE フラグにより割り込み出力を許可
22	MBUFRE	0	R/W	BUFRE割り込みイネーブル 0：BUFRE フラグによる割り込み出力を禁止 1：BUFRE フラグにより割り込み出力を許可
21	MBUFWEN	0	R/W	BUFWEN割り込みイネーブル 0：BUFWEN フラグによる割り込み出力を禁止 1：BUFWEN フラグにより割り込み出力を許可
20	MBUFREN	0	R/W	BUFREN割り込みイネーブル 0：BUFREN フラグによる割り込み出力を禁止 1：BUFREN フラグにより割り込み出力を許可
19、18	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
17	MRBSYE	0	R/W	RBSYE割り込みイネーブル 0：RBSYE フラグによる割り込み出力を禁止 1：RBSYE フラグにより割り込み出力を許可

ビット	ビット名	初期値	R/W	説　　明
16	MCRSPE	0	R/W	CRSPE 割り込みイネーブル 0：CRSPE フラグによる割り込み出力を禁止 1：CRSPE フラグにより割り込み出力を許可
15	MCMDVIO	0	R/W	CMDVIO 割り込みイネーブル 0：CMDVIO フラグによる割り込み出力を禁止 1：CMDVIO フラグにより割り込み出力を許可
14	MBUFVIO	0	R/W	BUFVIO 割り込みイネーブル 0：BUFVIO フラグによる割り込み出力を禁止 1：BUFVIO フラグにより割り込み出力を許可
13、12	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
11	MWDATERR	0	R/W	WDATERR 割り込みイネーブル 0：WDATERR フラグによる割り込み出力を禁止 1：WDATERR フラグにより割り込み出力を許可
10	MRDATERR	0	R/W	RDATERR 割り込みイネーブル 0：RDATERR フラグによる割り込み出力を禁止 1：RDATERR フラグにより割り込み出力を許可
9	MRIDXERR	0	R/W	RIDXERR 割り込みイネーブル 0：RIDXERR フラグによる割り込み出力を禁止 1：RIDXERR フラグにより割り込み出力を許可
8	MRSPERR	0	R/W	RSPERR 割り込みイネーブル 0：RSPERR フラグによる割り込み出力を禁止 1：RSPERR フラグにより割り込み出力を許可
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	MCRCSTO	0	R/W	CRCSTO 割り込みイネーブル 0：CRCSTO フラグによる割り込み出力を禁止 1：CRCSTO フラグにより割り込み出力を許可
3	MWDATTO	0	R/W	WDATTO 割り込みイネーブル 0：WDATTO フラグによる割り込み出力を禁止 1：WDATTO フラグにより割り込み出力を許可
2	MRDATTO	0	R/W	RDATTO 割り込みイネーブル 0：RDATTO フラグによる割り込み出力を禁止 1：RDATTO フラグにより割り込み出力を許可
1	MRBSYTO	0	R/W	RBSYTO 割り込みイネーブル 0：RBSYTO フラグによる割り込み出力を禁止 1：RBSYTO フラグにより割り込み出力を許可
0	MRSPTO	0	R/W	RSPTO 割り込みイネーブル 0：RSPTO フラグによる割り込み出力を禁止 1：RSPTO フラグにより割り込み出力を許可

39.3.13　ステータスレジスタ 1（CE_HOST_STS1）

CE_HOST_STS1 は、転送完了したブロック数、MMC_CMD 線と MMC_D 線の状態、受信したレスポンスのインデックス、コマンドシーケンスの状態を表すレジスタです。



ビット	ビット名	初期値	R/W	説　　明
31	CMDSEQ	0	R	コマンドシーケンス状態表示 0：コマンドシーケンスが初期状態にあるとき 1：コマンドシーケンスが実行中であるとき
30	CMDSIG	不定	R	MMC_CMD 状態表示 MMC_CMD 線の状態を表示します。
29 ～ 24	RSPIDX[5:0]	H'00	R	レスポンスインデックス表示 6 バイトレスポンスの [45:40]、または、17 バイトレスポンスの [133:128] を表示します。
23 ～ 16	DATSIG[7:0]	不定	R	MMC_D 状態表示 MMC_D[7:0] 線の状態を表示します。 注.　エラーまたはタイムアウトが発生すると、MMCDAT[0] が 0 の状態のままの場合があります。
15 ～ 0	RCVBLK [15:0]	H'0000	R	転送完了ブロック数表示 転送完了したブロック数を表示します。 CE_CMD_SET の DWEN が 0 のとき：カードからリードしたブロック数 CE_CMD_SET の DWEN が 1 のとき：カードへライトしたブロック数

39.3.14　ステータスレジスタ 2（CE_HOST_STS2）

CE_HOST_STS2 は、各種タイムアウト、各種エラーの状態を表すレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	CRC STE	CRC 16E	AC12 CRCE	RSP CRC7E	CRC STEBE	RDAT EBE	AC12R EBE	RSP EBE	AC12 IDXE	RSP IDXE	—	—	—	CRCST[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	STRD ATTO	DATBS YTO	CRCST TO	AC12 BSYTO	RSPBS YTO	AC12 RSPTO	STRS PTO	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	CRCSTE	0	R	CRC status エラー CRC status 値にエラーがあった場合、1になります。
30	CRC16E	0	R	リードデータ CRC16 エラー リードデータの CRC16 にエラーがあった場合、1になります。
29	AC12CRCE	0	R	自動 CMD12 レスポンス CRC7 エラー 自動 CMD12 に対するレスポンスの[7:1]にエラーがあった場合、1になります。 注.　チェック内容は、CE_CMD_SET の RCRC7C に設定。
28	RSPCRC7E	0	R	コマンドレスポンス CRC7 エラー（自動 CMD12 以外） 6 バイトレスポンス、または、17 バイトレスポンスの[7:1]にエラーがあった場合、1になります。 注.　チェック内容は、CE_CMD_SET の RCRC7C に設定。
27	CRCSTEBE	0	R	CRC status エンドビットエラー CRC status のエンドビットにエラーがあった場合、1になります。
26	RDATEBE	0	R	リードデータエンドビットエラー リードデータのエンドビットにエラーがあった場合、1になります。
25	AC12REBE	0	R	自動 CMD12 レスポンスエンドビットエラー 自動 CMD12 レスポンスのエンドビットにエラーがあった場合、1になります。
24	RSPEBE	0	R	コマンドレスポンスエンドビットエラー（自動 CMD12 以外） レスポンスのエンドビットにエラーがあった場合、1になります。
23	AC12IDXE	0	R	自動 CMD12 レスポンスインデックスエラー 自動 CMD12 に対するレスポンスの[45:40]にエラーがあった場合、1になります。 注.　チェック内容は、CE_CMD_SET の RIDXC に設定。
22	RSPIDXE	0	R	コマンドレスポンスインデックスエラー（自動 CMD12 以外） 6 バイトレスポンスの[45:40]、または、17 バイトレスポンスの[133:128]にエラーがあった場合、1になります。 注.　チェック内容は、CE_CMD_SET の RIDXC に設定。
21 ～ 19	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
18 ～ 16	CRCST[2:0]	000	R	CRC status 表示 受信した CRC status のステータス値を表示します
15	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
14	STRDATTO	0	R	リードデータタイムアウト • リードコマンド送信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかった場合、1になります。 • リードデータ受信後、CE_CLK_CTRL の SRWDTO の期間を超えリードデータを受信できなかった場合、1になります。
13	DATBSYTO	0	R	データビジータイムアウト CRC status 受信後、CE_CLK_CTRL の SRWDTO の期間を超えビジーが続いた場合、1になります。
12	CRCSTTO	0	R	CRC status タイムアウト CRC status が受信できなかった場合、1になります。

ビット	ビット名	初期値	R/W	説　　明
11	AC12BSYTO	0	R	自動CMD12 レスポンスビジータイムアウト 自動CMD12 送信後、CE_CLK_CTRL の SRBSYTO の期間を超えビジーが続いた場合、1になります。
10	RSPBSYTO	0	R	レスポンスビジータイムアウト コマンド（自動CMD12 以外）送信後、CE_CLK_CTRL の SRBSYTO の期間を超えビジーが続いた場合、1になります。
9	AC12RSPTO	0	R	自動CMD12 レスポンスタイムアウト 自動CMD12 送信後、CE_CLK_CTRL の SRSPTO の期間を超えレスポンスを受信できなかった場合、1になります。
8	STRSPTO	0	R	レスポンスタイムアウト コマンド（自動CMD12 以外）送信後、CE_CLK_CTRL の SRSPTO の期間を超えレスポンスを受信できなかった場合、1になります。
7 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

39.3.15　DMA モード設定レジスタ（CE_DMA_MODE）

CE_DMA_MODE は、DMA 転送を行う際に設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	DMA SEL
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 1	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	DMASEL	0	R/W	DMA転送サイズ選択 CE_DATA リード／ライト DMA転送を行なう場合の転送単位を選択します。DMA Channel Configuration Register のトランスファサイズの転送サイズと合わせて設定してください。 0：ワード（2バイト）、または、ロングワード（4バイト）単位 1：64バイト（ロングワード×16）単位 注.　64バイト単位での DMA転送を行う場合、DMA の転送先/転送元アドレスは、データレジスタ(CE_DATA)ではなく H'E804C800番地を設定してください。 また、64バイト単位での DMA転送で、通信エラーまたはタイムアウト等により DMA転送を強制終了した場合、本ビットに0を書き込んだ後、再設定してください。また、ソフトウェアリセット使用時も、本ビットに0を書き込んだ後、再設定してください。

39.3.16　カード検出／ポート制御レジスタ（CE_DETECT）

CE_DETECT は、カードの検出を制御するレジスタです。カード検出による割り込み要求の詳細については、「39.4　割り込み要求の説明」を参照してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	CD SIG	CD RISE	CD FALL	—	—	—	—	—	—	MCD RISE	MCD FALL	—	—	—	—
初期値：	0	—	0	0	0	—	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R/W*	R/W*	R	R	R	R	R	R	R/W	R/W	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 15	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
14	CDSIG	不定	R	MMC_CD 端子状態表示 MMC_CD 端子の状態を表示します。
13	CDRISE	0	R/W*	MMC_CD 端子 rise 検出フラグ セット条件：MMC_CD 端子が Low→High に変化したとき クリア条件：0 をライト
12	CDFALL	0	R/W*	MMC_CD 端子 fall 検出フラグ セット条件：MMC_CD 端子が High→Low に変化したとき クリア条件：0 をライト
11	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
10	—	不定	R	リザーブビット 書き込む値は常に 0 にしてください。
9 ～ 6	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
5	MCDRISE	0	R/W	CDRISE 割り込みイネーブル 0：CDRISE フラグによる割り込み出力を禁止 1：CDRISE フラグにより割り込み出力を許可
4	MCDFALL	0	R/W	CDFALL 割り込みイネーブル 0：CDFALL フラグによる割り込み出力を禁止 1：CDFALL フラグにより割り込み出力を許可
3 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

注　*　0 ライトのみ有効となり、1 をライトしても反映されません。

39.3.17　特殊モード設定レジスタ（CE_ADD_MODE）

CE_ADD_MODE は、内部クロックを制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	CLK MAIN	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 20	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。
19	CLKMAIN	0	R/W	内部クロック制御 0：通常モード 1：低消費電力モード（カード検出のみ可能）
18 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値は常に 0 にしてください。

39.3.18　バージョンレジスタ（CE_VERSION）

CE_VERSION は、本モジュールのバージョン値の表示とソフトウェアリセットを制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SW RST	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	VERSION[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31	SWRST	0	R/W	ソフトウェアリセット 0：ソフトウェアリセット解除（通常動作） 1：ソフトウェアリセット中 SWRST に 1 を設定すると、全レジスタの値が初期値になります（SWRST は初期値になりません）。
30 ～ 16	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
15 ～ 0	VERSION [15:0]	H'0003	R	バージョン表示 本モジュールのバージョン値を表示します。

39.4　割り込み要求の説明

本モジュールの割り込み要求の仕様を**表 39.3** に示します。本モジュールには、通常動作割り込み、エラー／タイムアウト割り込み、カード検出割り込みの 3 種類の割り込み要求があります。割り込みフラグが 1 かつ割り込みイネーブルが 1 のとき割り込み要求をアサートします。

表 39.3　割り込み要求の仕様

フラグレジスタ	ビット	マスクレジスタ	ビット	割り込み要求
CE_INT	CMD12DRE	CE_INT_EN	MCMD12DRE	通常動作割り込み（MMC2）
	CMD12RBE		MCMD12RBE	
	CMD12CRE		MCMD12CRE	
	DTRANE		MDTRANE	
	BUFRE		MBUFRE	
	BUFWEN		MBUFWEN	
	BUFREN		MBUFREN	
	RBSYE		MRBSYE	
	CRSPE		MCRSPE	
	CMDVIO		MCMDVIO	エラー／タイムアウト割り込み（MMC1）
	BUFVIO		MBUFVIO	
	WDATERR		MWDATERR	
	RDATERR		MRDATERR	
	RIDXERR		MRIDXERR	
	RSPERR		MRSPERR	
	CRCSTO		MCRCSTO	
	WDATTO		MWDATTO	
	RDATTO		MRDATTO	
	RBSYTO		MRBSYTO	
	RSPTO		MRSPTO	
CE_DETECT	CDRISE	CE_DETECT	MCDRISE	カード検出割り込み（MMC0）
	CDFALL		MCDFALL	

39.5 DMA 仕様

本モジュールは、バッファリード用とバッファライト用 2 チャネルの DMA 転送要求を持っています。

39.5.1 バッファライト DMA の説明

CE_BUF_ACC の DMAWEN ビットを 1 に設定し、バッファが空であるとき、バッファライト DMA 転送要求がアサートされます。

DMA 転送要求は、BLKSIZ（CE_BLOCK_SET に設定したブロックサイズ）×BLKCNT（CE_BLOCK_SET に設定した転送ブロック数）分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFWEN ビットはアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

39.5.2 バッファリード DMA の説明

CE_BUF_ACC の DMAREN ビットを 1 に設定し、CE_BLOCK_SET に設定した転送ブロックサイズ分のデータがたまっているとき、バッファリード DMA 転送要求がアサートされます。

DMA 転送要求は、BLKSIZ（CE_BLOCK_SET に設定したブロックサイズ）×BLKCNT（CE_BLOCK_SET に設定した転送ブロック数）分アサートされ、最終ブロックの転送が終わるとネゲートされます。この際、CE_INT の BUFREN はアサートされませんので、注意してください。

DMA 転送中にエラーが発生するか強制終了を実行すると、コマンドシーケンスが自動停止するため、DMA 転送要求はネゲートされます。

39.6　動作説明

39.6.1　コマンド／レスポンスのフォーマット

送信するコマンドのフォーマットを図 39.2 に示します。CE_CMD_SET の CMD[5:0] ビットに設定したコマンドインデックスと CE_ARG の ARG[31:0] ビットに設定したアーギュメントが反映されます。

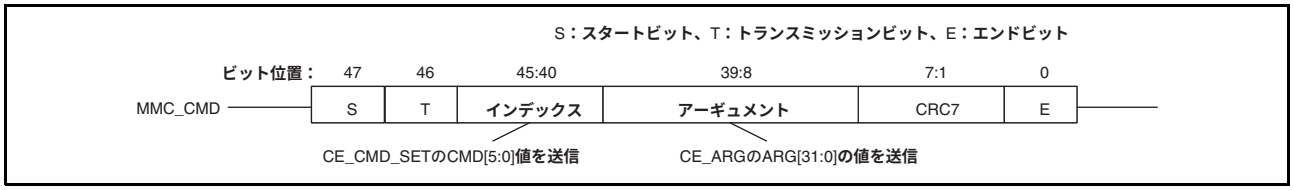


図 39.2　コマンドのフォーマット

6 バイトレスポンス受信時のフォーマットを図 39.3 に、17 バイトレスポンス（R2）受信時のフォーマットを図 39.4 に示します。CE_HOST_STS1 の RSPIDX[5:0] ビットにレスポンスインデックスが格納され、CE_RESP0 もしくは CE_RESP3 ～ 0 にレスポンスのステータス値が格納されます。

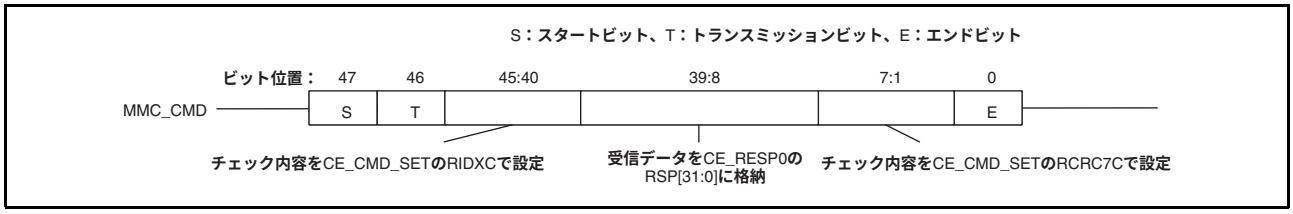


図 39.3　6 バイトレスポンスのフォーマット

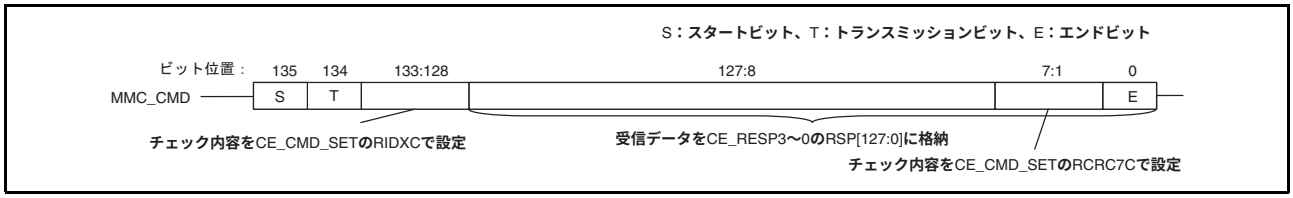


図 39.4　17 バイトレスポンスのフォーマット（R2）

39.6.2　データブロックフォーマット

データブロックのフォーマットを図 39.5 に示します。図の D0 ～ D3 については、「39.6.3　バッファ構造とバッファアクセス」を参照してください。カードにライトする場合、バッファに格納されたデータを送信します。カードからリードする場合、受信したデータをバッファに格納します。

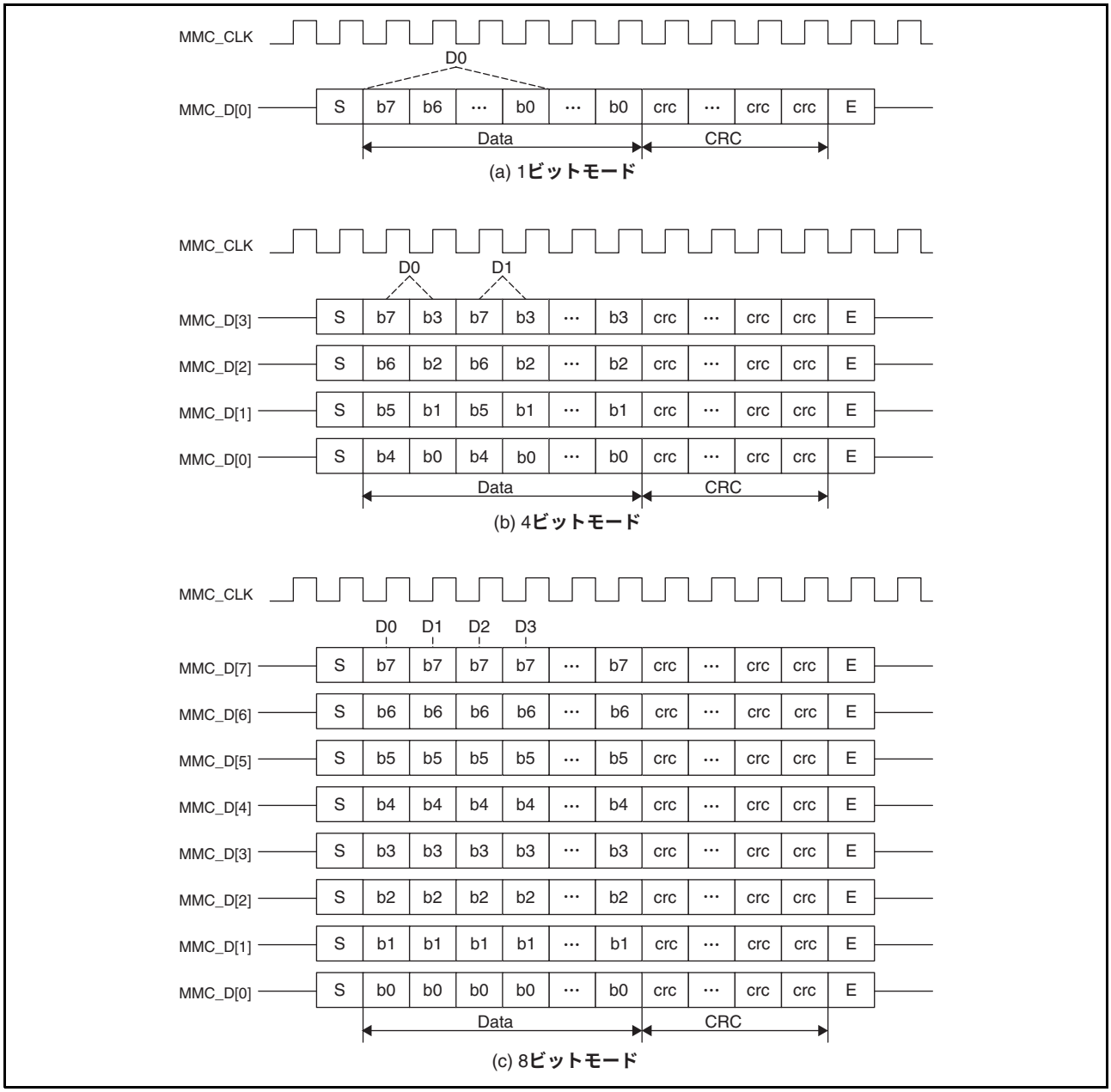


図 39.5　データブロックのフォーマット

39.6.3　バッファ構造とバッファアクセス

本モジュールは図 39.6 に示すように、512 バイトの RAM を 2 つ持っています。そのため、マルチブロックライト時には、バッファに格納された 1 ブロック分のデータ（＝ 512 バイト）を送信しても、もう片方のバッファがフルであれば、引き続き、次のブロックのデータを送信することができます。また、マルチブロックリード時には、1 ブロック分の受信データ（＝ 512 バイト）をバッファに格納しても、もう片方のバッファが空であれば、引き続き、次のブロックの受信データをバッファに格納することができます。

なお、マルチブロックリード時に両方のバッファが空でない場合には、MMC クロックを停止して受信を一時停止します。そして、どちらかのバッファが空になったとき、MMC クロックの供給を開始して受信を再開します。

バッファには、CE_DATA を使ってアクセスします。4×（n ＋ 1）バイト分 CE_DATA にアクセスしてください（n ＝ 0、1、2、3、…、127）。

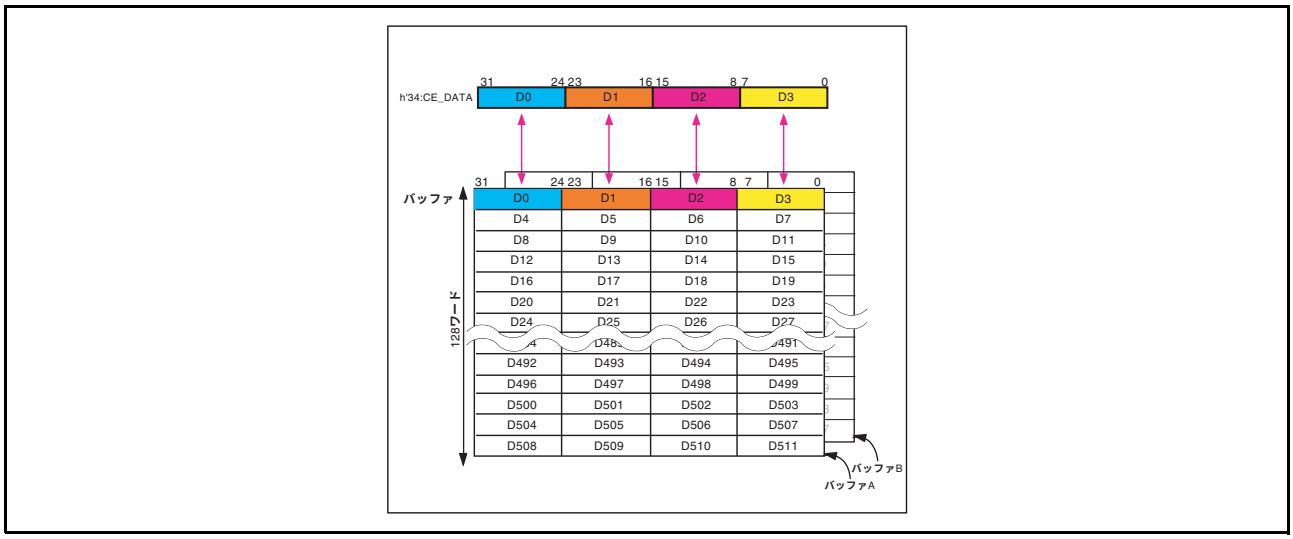


図 39.6　ダブルバッファの構造

また、CE_BUF_ACC のバッファアクセス選択機能により、CE_DATA にライト、リードするデータを 1 バイト単位で差し替え、バッファにアクセスすることができます。

図 39.7 に、1 バイト単位差し替えの仕様を示します。

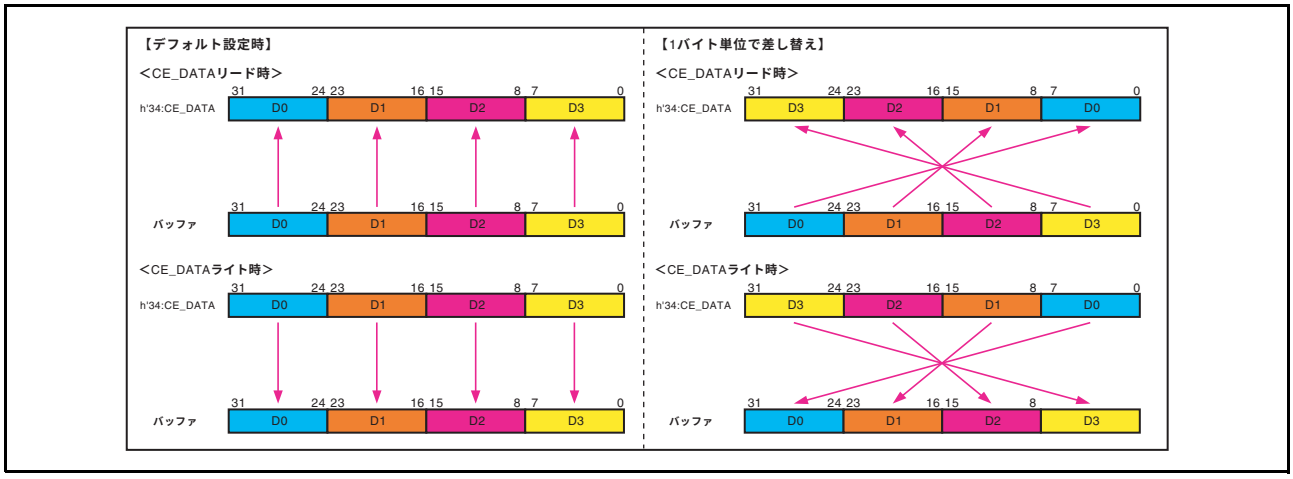


図 39.7　1 バイト単位差し替えの仕様

39.6.4　自動 CMD12 発行

本モジュールは、CE_CMD_SET の CMD12EN を 1 に設定しマルチブロック転送を行うと、CMD12 を自動で発行します。

図 39.8 に、マルチブロックリード時の自動 CMD12 発行タイミングを示します。CMD12 は、最終ブロック受信中に、データのエンドビットから 2 ビット前にコマンドのエンドビットが来るように発行されます。

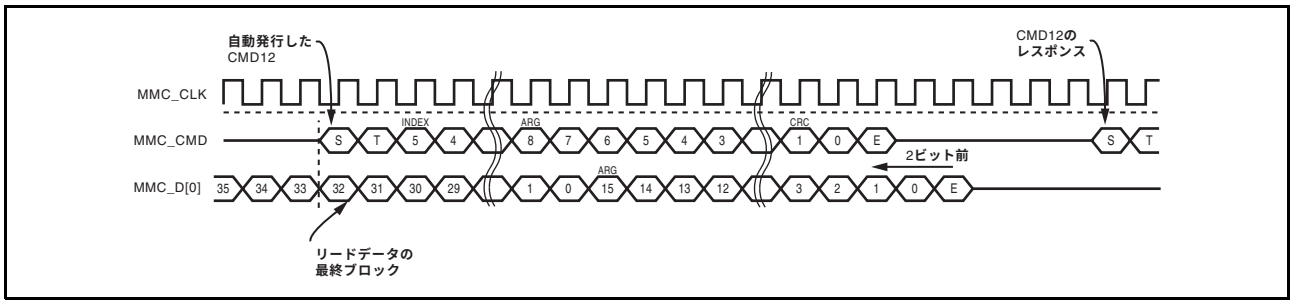


図 39.8　マルチブロックリード時の自動 CMD12 発行タイミング（1 ビットモード時）

図 39.9 に、マルチブロックライト時の自動 CMD12 発行タイミングを示します。CMD12 は、最終ブロックの送信後のデータビジーが終了した後に発行されます。

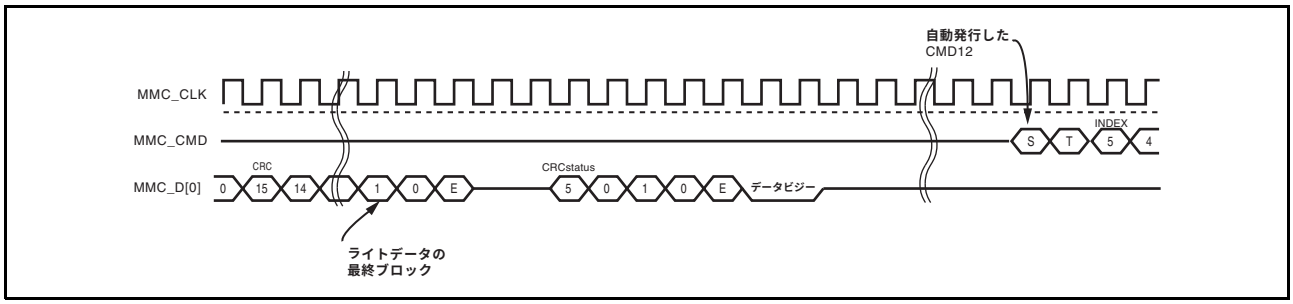


図 39.9　マルチブロックライト時の自動 CMD12 発行タイミング（1 ビットモード時）

なお、自動 CMD12 のアーギュメントは、CE_ARG_CMD12 に設定します。また、CMD12 に対するレスポンス [39:8] が、CE_RESP_CMD12 に格納されます。また、レスポンス受信時のビジーを受信します。

39.6.5　High Priority Interrupt (HPI)

HPI の処理は「39.3　レジスタの説明」と「39.7　設定例」を参考にして、以下の手順で行ってください。

(1)　デバイスに対するライトを行っているときに HPI を実行する場合

(a)　コマンドシーケンスを強制終了します。
(b)　CE_HOST_STS1 レジスタの CMDSEQ ビットが 0 になるのを待ちます。
(c)　CMD12（R1）を発行してデバイスのステートを rcv から prg に遷移させます。なお、この時点ですでにデバイスのステートが prg の場合、デバイスはレスポンスを出力しません。
(d)　CMD13（R1）を発行します。
(e)　HPI コマンド* を発行します。

(2)　デバイスに対するライトを行っているとき以外でレスポンスビジー中に HPI を実行する場合

(a)　コマンドシーケンスを強制終了します。
(b)　CE_HOST_STS1 レジスタの CMDSEQ ビットが 0 になるのを待ちます。
(c)　CMD13（R1）を発行します。
(d)　HPI コマンド* を発行します。

CMD6、CMD24、CMD25（Pre-defined）、CMD38 のシーケンス中の HPI に対応しています。

注　* CMD12（R1b）または CMD13（R1b）。接続されているデバイスによって異なります。

39.6.6　Background Operation

Background Operation の処理は「39.3　レジスタの説明」と「39.7　設定例」を参考にして、以下の手順で行ってください。

Background Operation を実行するには CMD6（R1）を発行して、デバイスの EXT_CSD レジスタの BKOPS_START バイトに書き込みを行います。

Background Operation の終了は、CMD6（R1）を発行後に CMD13（R1）を発行してデバイスのステートを確認するか、または MMCDAT[0] をポーリングすることによって確認することができます。CMD13（R1）でデバイスのステートが tran、または MMCDAT[0] が 'H' になっていれば Background Operation が終了です。

Background Operation を中断するには「39.6.5　High Priority Interrupt (HPI)」を使用します。

39.6.7　エラー、タイムアウト発生時の本モジュールの処理

エラーが発生したときに、本モジュールが停止しないことがあります。エラーが発生したときに、コマンドシーケンスが実行中（CE_HOST_STS1 の CMDSEQ で確認）であれば、強制終了を行った後、ソフトリセットしてください。なお、エラー発生時にバッファに格納されていた送信データ、受信データは保証されません。

タイムアウトが発生したとき、本モジュールは停止しません。タイムアウト発生後に次のコマンドを発行する場合には、強制終了を行った後、ソフトリセットしてから、次のコマンドを発行してください。

強制終了に関しては、「39.8　使用上の注意事項」を参照してください。

39.7　設定例

代表的なコマンドシーケンスを実行する手順について説明します。

39.7.1　凡例の説明

図中記載の記号についての凡例を、**図 39.10** に示します。

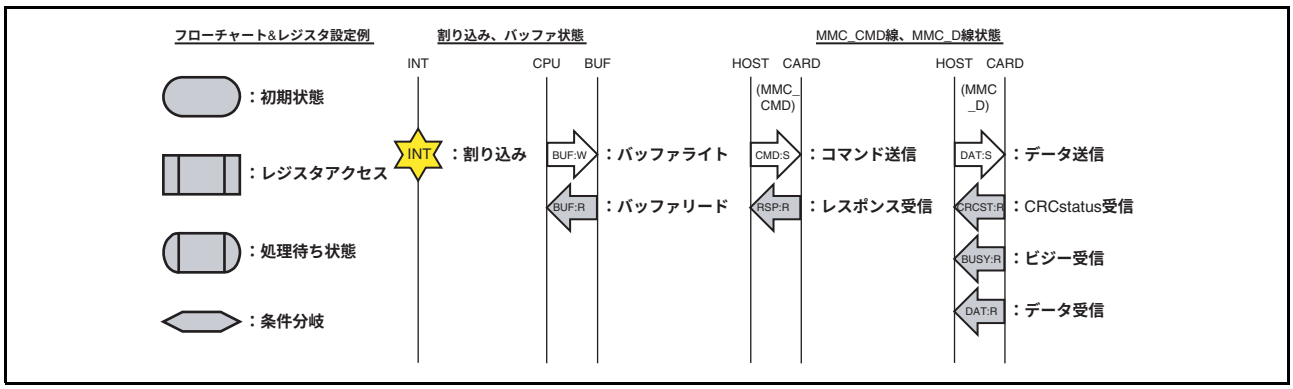


図 39.10　図中記載記号の凡例

39.7.2　コマンド送信設定例

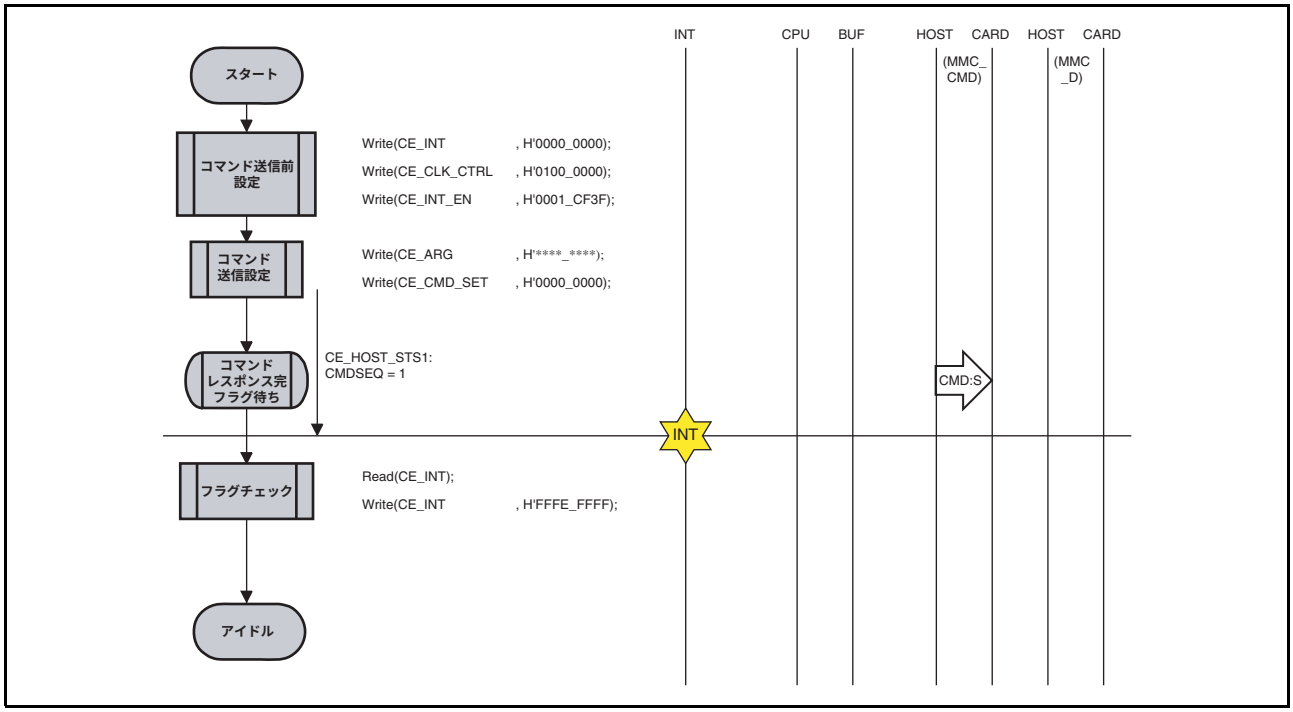


図 39.11　コマンド送信設定例（CMD0）

39.7.3　コマンド送信→レスポンス受信設定例

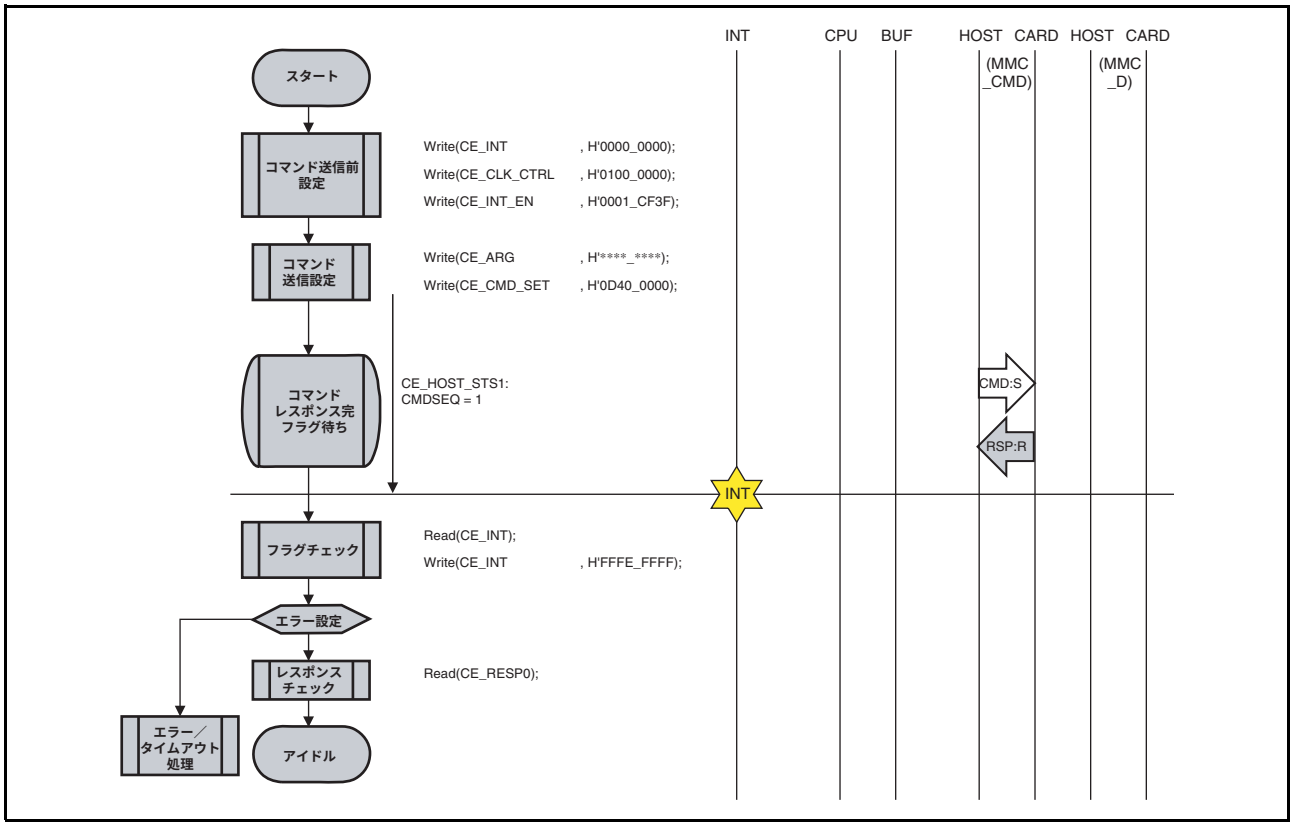


図 39.12　コマンド送信→レスポンス受信設定例（CMD3）

39.7.4　コマンド送信→レスポンス受信（レスポンスビジーあり）設定例

- ビジー時間が CE_CLK_CTRL の SRBSYTO の設定未満の場合

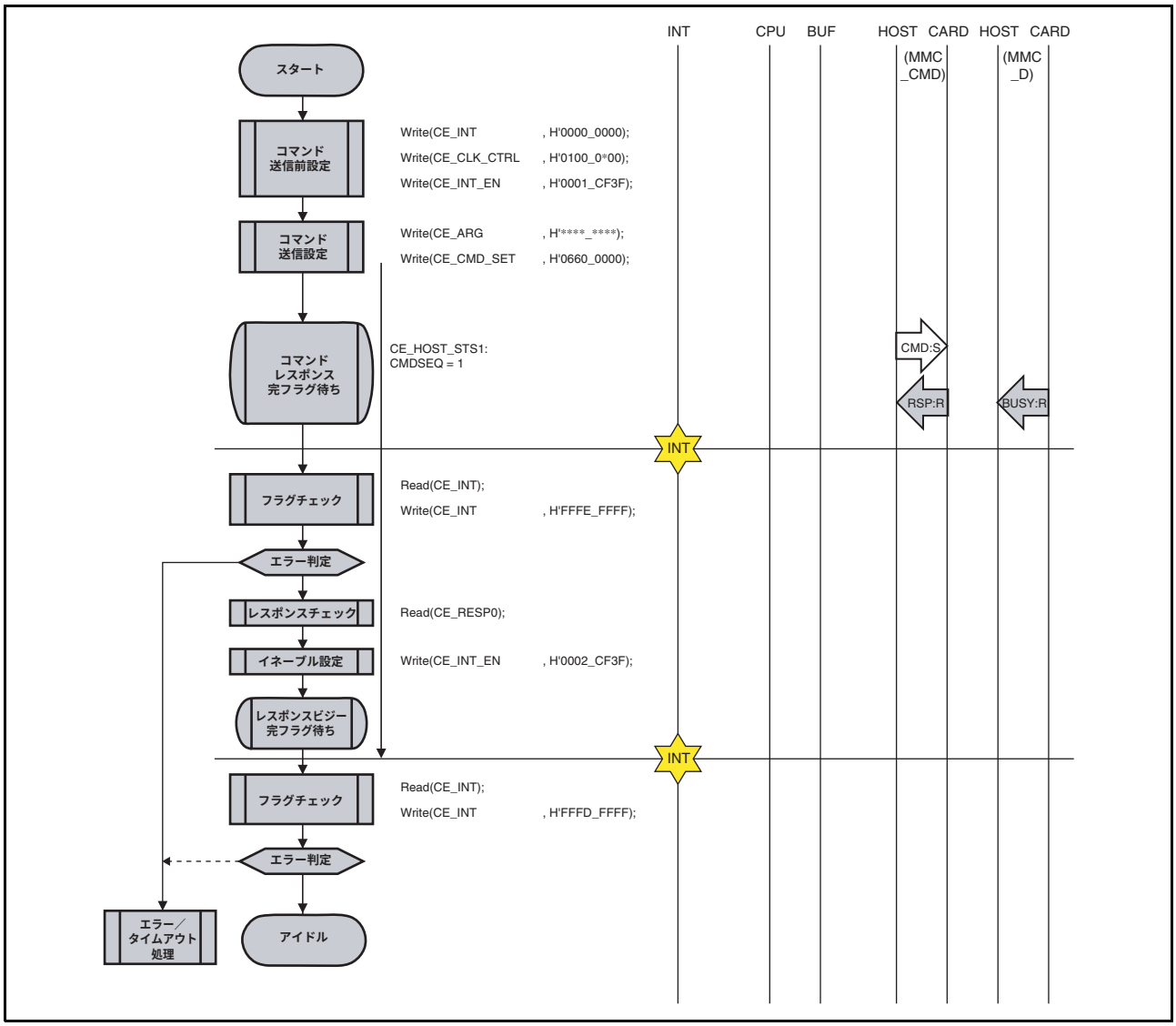


図 39.13　コマンド送信→レスポンス受信（レスポンスビジーあり）設定例（CMD6）

- ビジー時間が CE_CLK_CTRL の SRBSYTO の設定以上になることがある場合

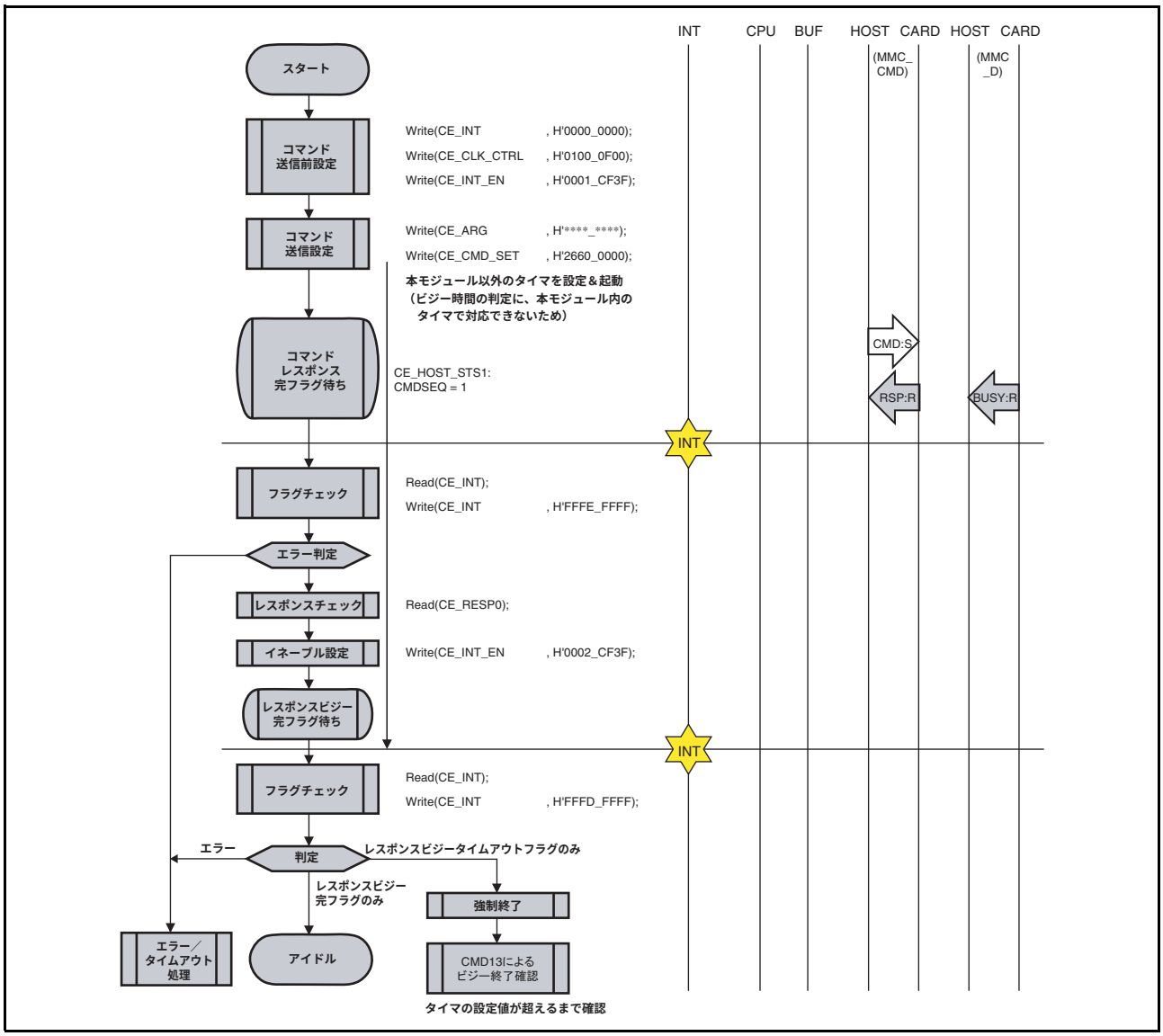


図 39.14　コマンド送信→レスポンス受信（レスポンスビジーあり）設定例　(CMD38)

39.7.5　シングルブロックリード設定例

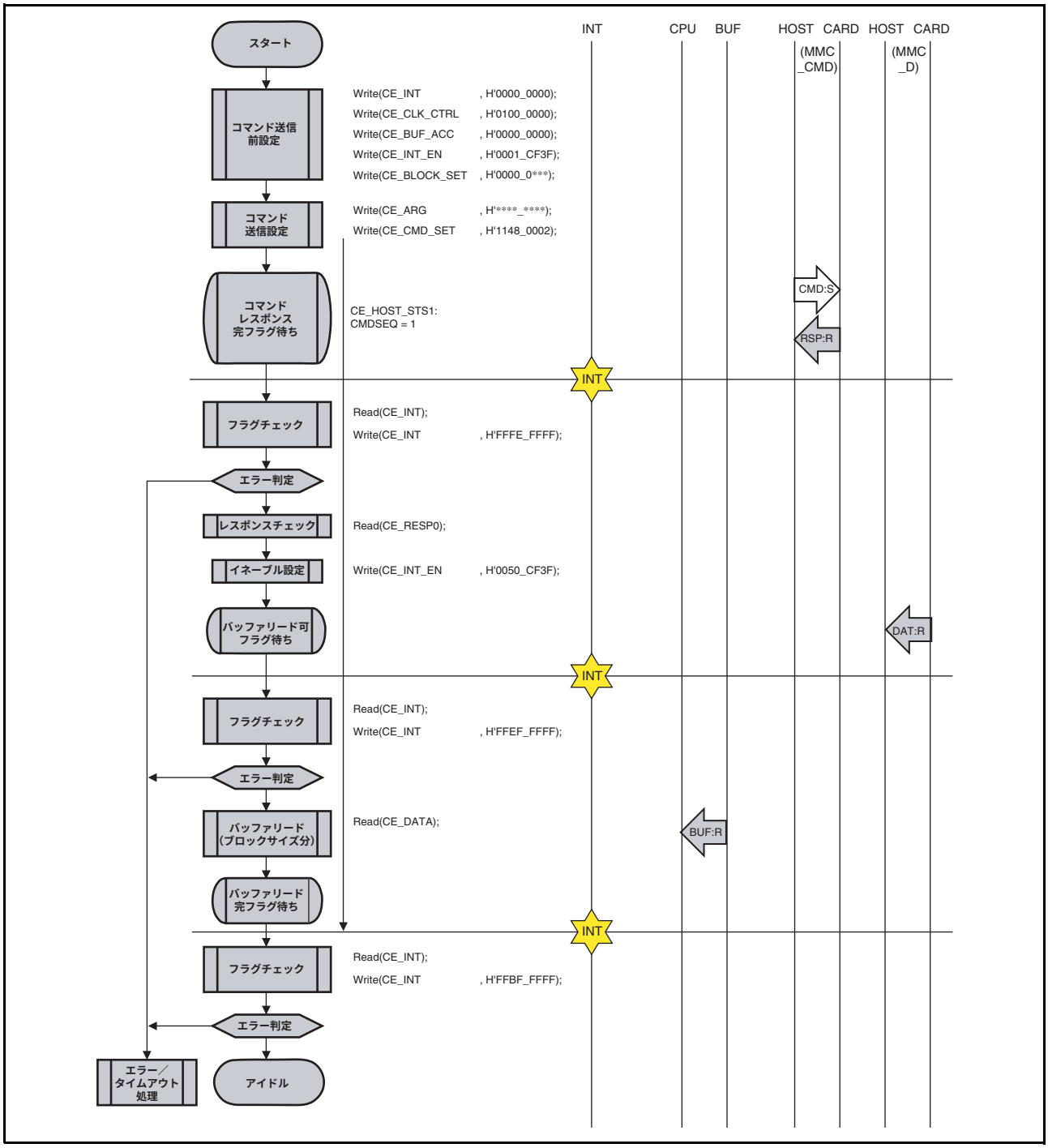


図 39.15　シングルブロックリード設定例（CMD17）

39.7.6　マルチブロックリード設定例

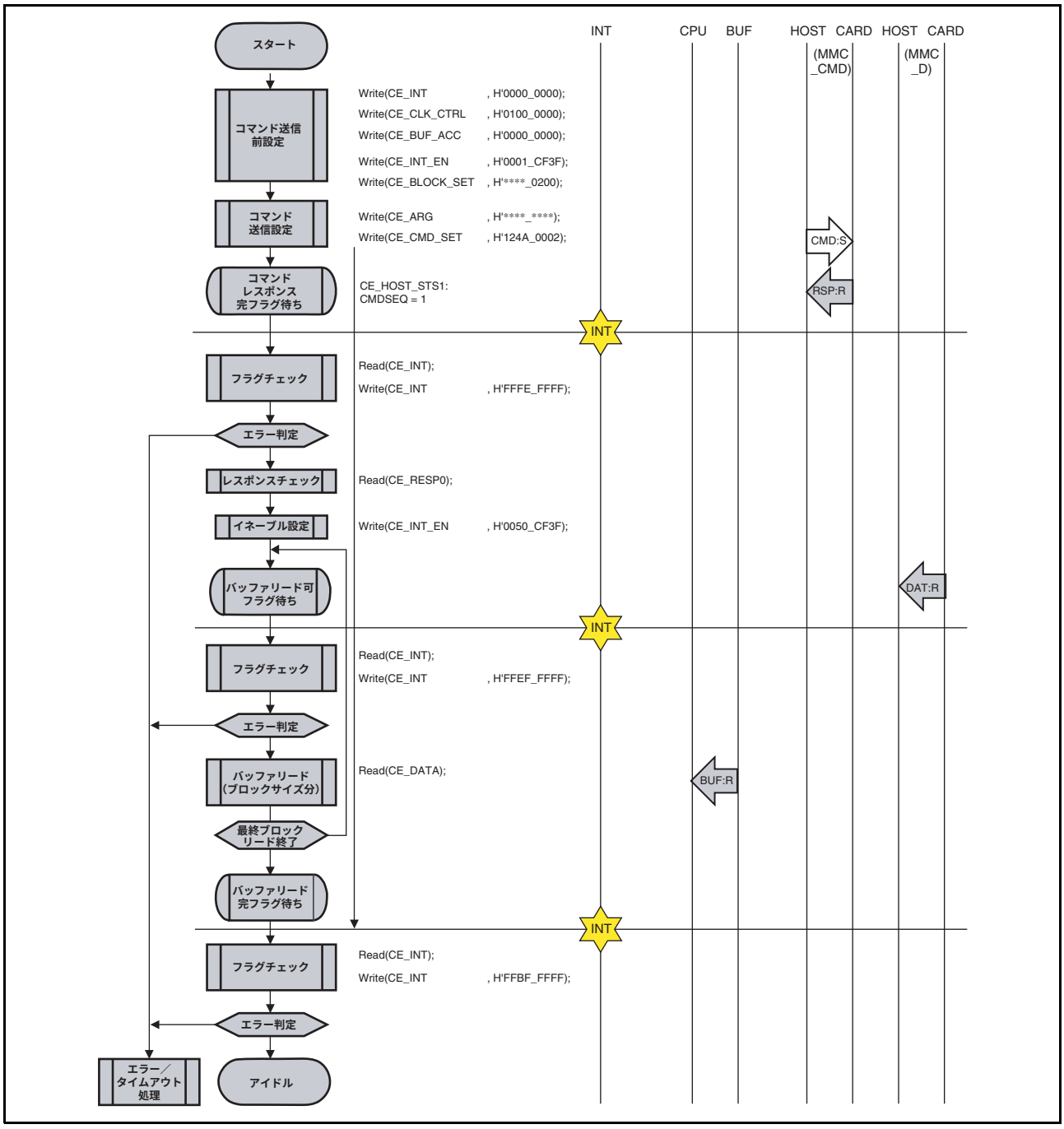


図 39.16　マルチブロックリード設定例（CMD18 Pre-defined）

39.7.7　マルチブロックリード（自動 CMD12 あり）設定例

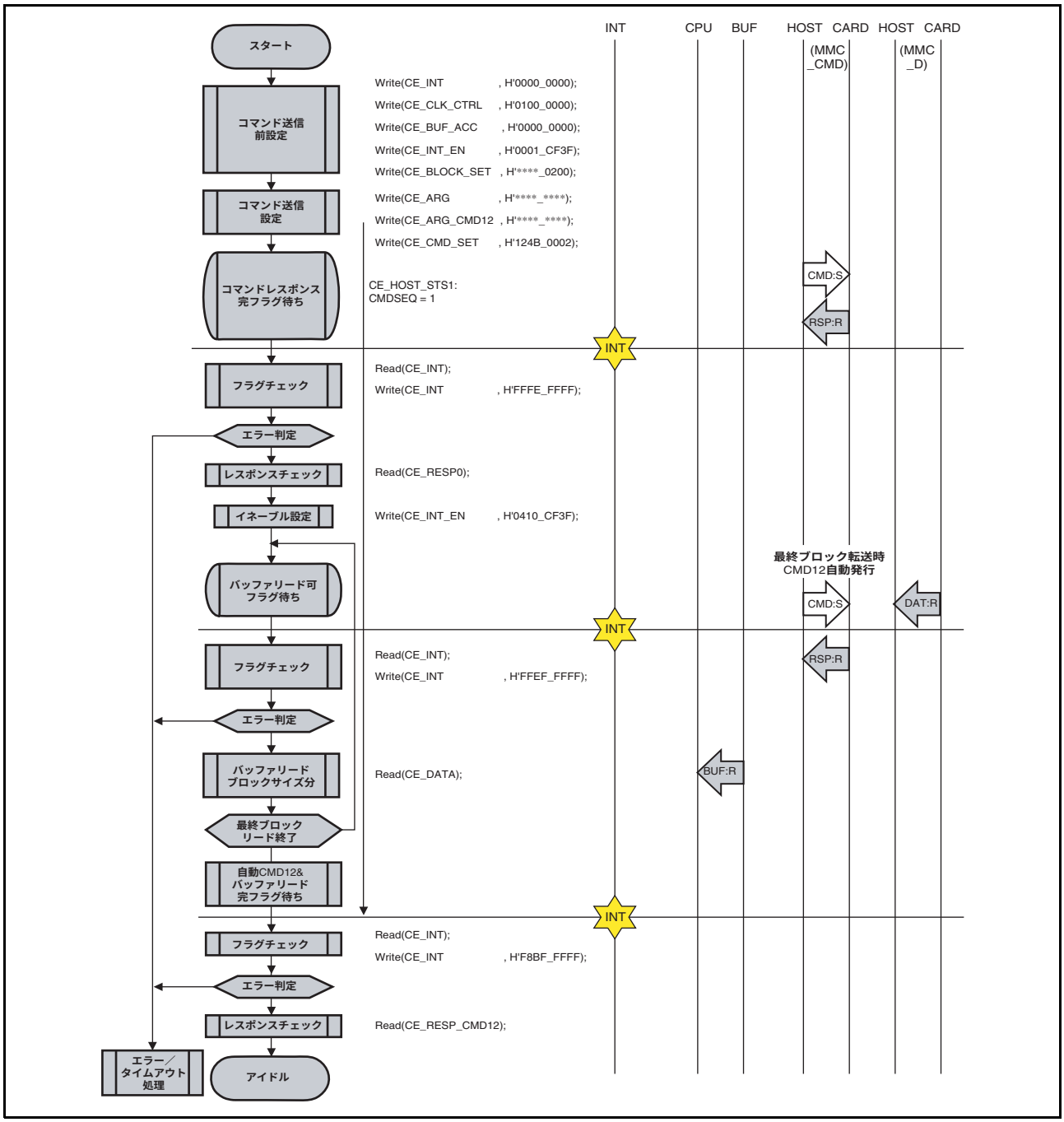


図 39.17　マルチブロックリード（自動 CMD12 あり）設定例（CMD18 Open-ended）

39.7.8　シングルブロックライト設定例

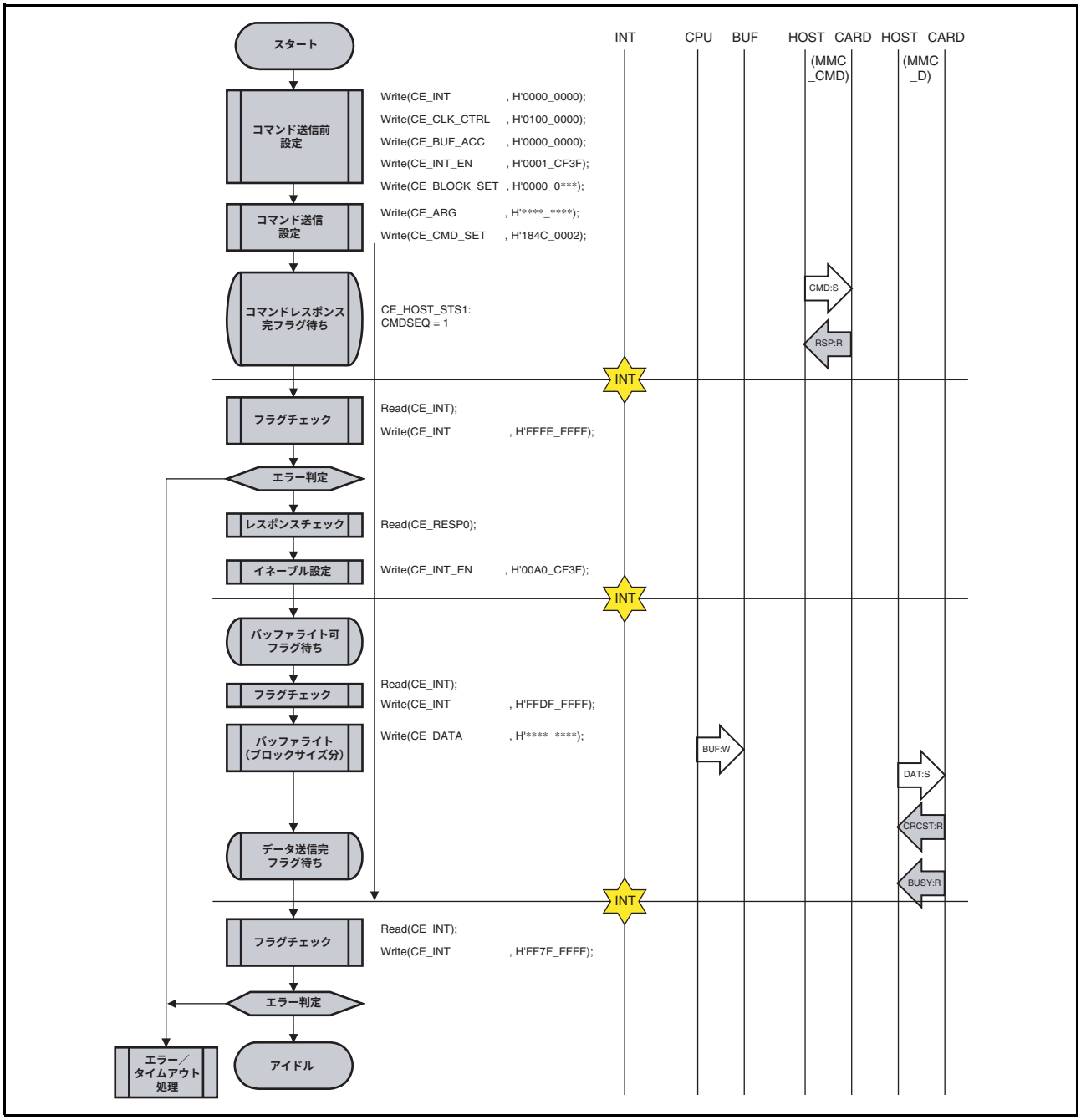


図 39.18　シングルブロックライト設定例（CMD24）

39.7.9　マルチブロックライト設定例

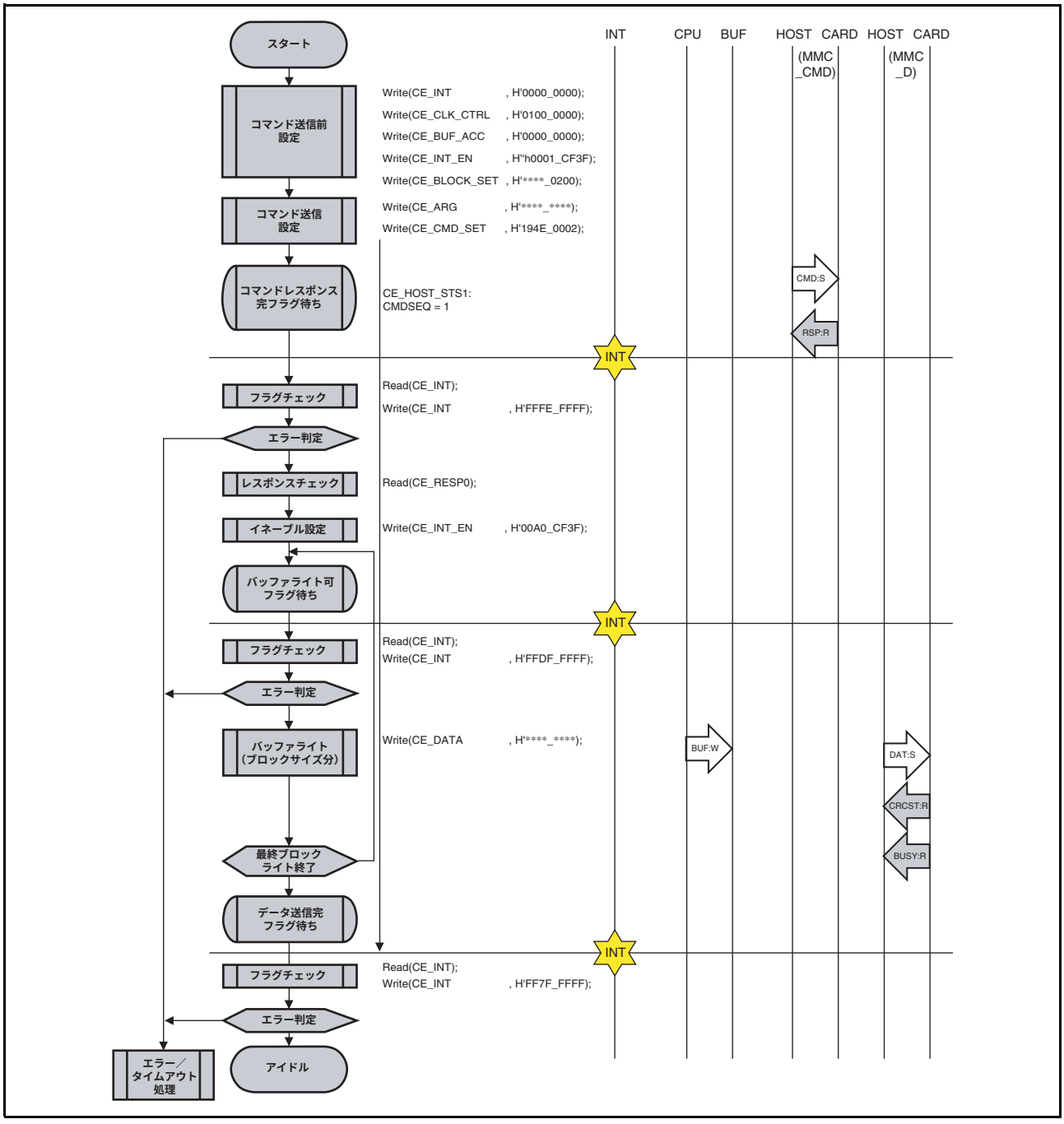


図 39.19　マルチブロックライト設定例（CMD25 Pre-defined）

39.7.10　マルチブロックライト（自動 CMD12 あり）設定例

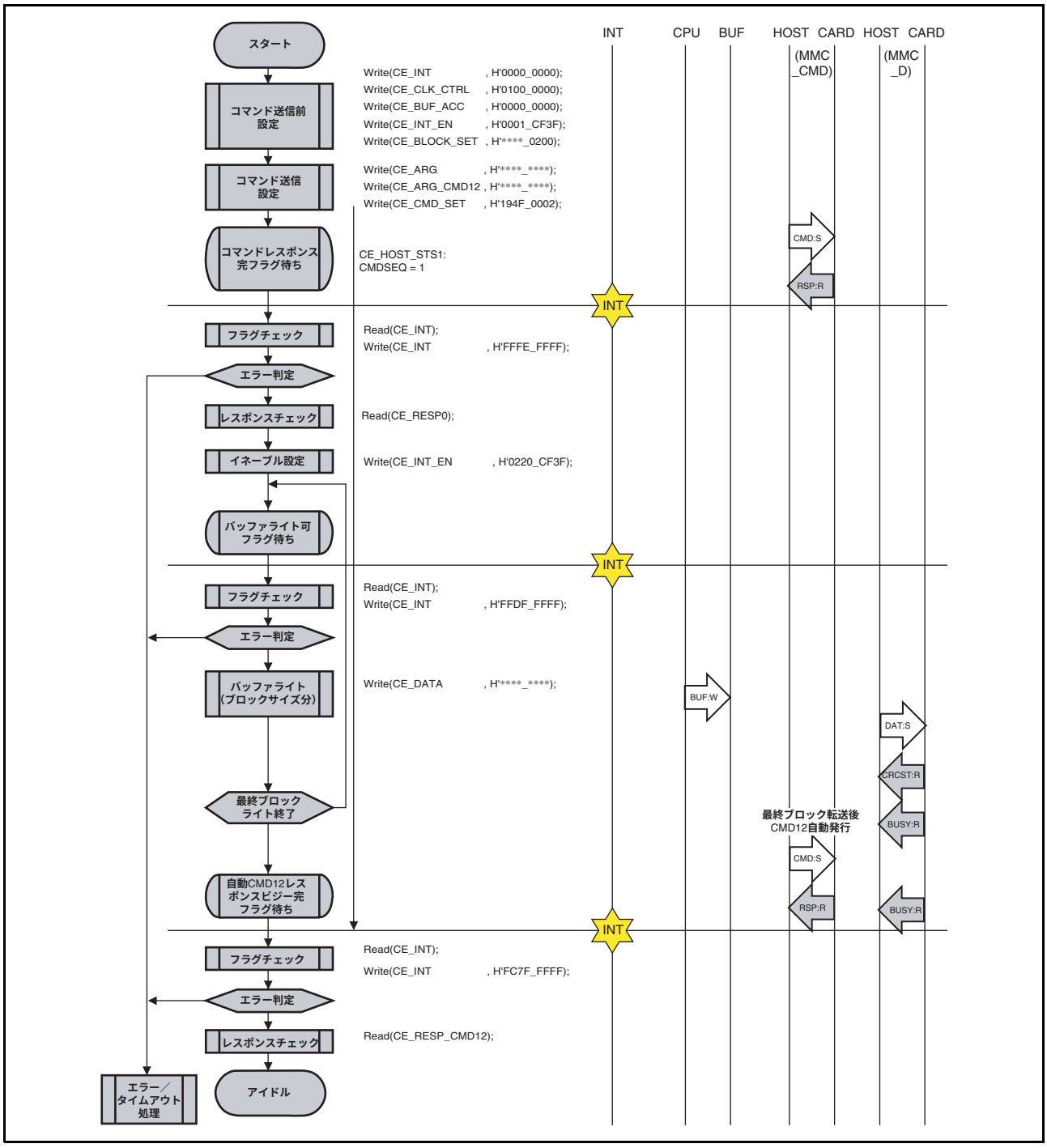


図 39.20　マルチブロックライト（自動 CMD12 あり）設定例（CMD25 Open-ended）

39.7.11　強制終了設定例

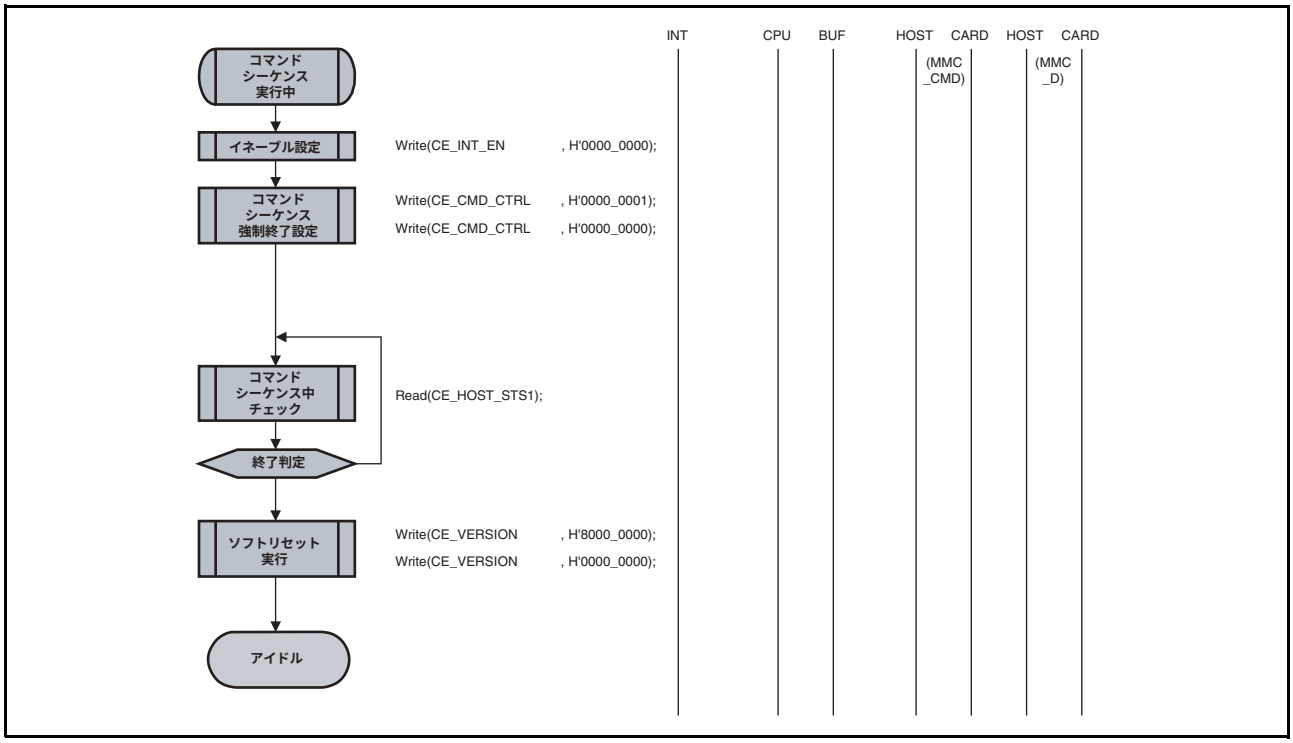


図 39.21　強制終了設定例

39.7.12　CE_CMD_SET 設定値

コマンドを発行する際の設定値一覧を、**表 39.4** に示します。

表 39.4　CE_CMD_SET 設定値

Command	Response	CE_CMD_SET設定値																							備考
		–	–	CMD[5:0]	RTYP[1:0]	RBSY	–	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	–	CRC16C	–	CRCSTE	TBIT	OPDM	–	–	SBIT	–	DATW[1:0]	
CMD0	–	0	0	000 000	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD1	R3	0	0	000 001	01	0	0	0	0	0	0	01	01	0	0	0	0	0	0	0	0	0	0	00	
CMD2	R2	0	0	000 010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD3	R1	0	0	000 011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD4	–	0	0	000 100	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD5	R1b	0	0	000 101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD6	R1	0	0	000 110	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	Background Operation
	R1b	0	0	000 110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD7	R1	0	0	000 111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	000 111	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD8	R1	0	0	001 000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD9	R2	0	0	001 001	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD10	R2	0	0	001 010	10	0	0	0	0	0	0	01	10	0	0	0	0	0	0	0	0	0	0	00	
CMD12	R1	0	0	001 100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	001 100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD13	R1	0	0	001 101	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
	R1b	0	0	001 101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD14	R1	0	0	001 110	01	0	0	1	0	0	0	00	00	0	1	0	0	0	0	0	0	1	0	**	
CMD15	–	0	0	001 111	00	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD16	R1	0	0	010 000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD17	R1	0	0	010 001	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD18	R1	0	0	010 010	01	0	0	1	0	1	0	00	00	0	0	0	0	0	0	0	0	0	*	**	Pre-defined
	R1	0	0	010 010	01	0	0	1	0	1	1	00	00	0	0	0	0	0	0	0	0	0	*	**	Open-ended
CMD19	R1	0	0	010 011	01	0	0	1	1	0	0	00	00	0	0	0	1	0	0	0	0	0	0	**	
CMD23	R1	0	0	010 111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD24	R1	0	0	011 000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD25	R1	0	0	011 001	01	0	0	1	1	1	0	00	00	0	0	0	0	0	0	0	0	0	*	**	Pre-defined
	R1	0	0	011 001	01	0	0	1	1	1	1	00	00	0	0	0	0	0	0	0	0	0	*	**	Open-ended
CMD26	R1	0	0	011 010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD27	R1	0	0	011 011	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD28	R1b	0	0	011 100	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD29	R1b	0	0	011 101	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	

Command	Response	CE_CMD_SET設定値																						備考
		–	–	CMD[5:0]	RTYP[1:0]	RBSY	–	WDAT	DWEN	CMLTE	CMD12EN	RIDXC[1:0]	RCRC7C[1:0]	–	CRC16C	–	CRCSTE	TBIT	OPDM	–	–	SBIT	–	DATW[1:0]	
CMD30	R1	0	0	011 110	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD31	R1	0	0	011 111	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	
CMD35	R1	0	0	100 011	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD36	R1	0	0	100 100	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD38	R1b	0	0	100 110	01	1	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD39	R4	0	0	100 111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD40	R5	0	0	101 000	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	Send CMD
	R5	0	0	101 000	01	0	0	0	0	0	0	00	00	0	0	0	0	1	1	0	0	0	0	00	Send RSP
CMD42	R1	0	0	101 010	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	0	**	
CMD55	R1	0	0	110 111	01	0	0	0	0	0	0	00	00	0	0	0	0	0	0	0	0	0	0	00	
CMD56	R1	0	0	111 000	01	0	0	1	0	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	Read
	R1	0	0	111 000	01	0	0	1	1	0	0	00	00	0	0	0	0	0	0	0	0	0	*	**	Write

注.　本モジュールは、CMD11 と CMD20 には対応していません。

39.8　使用上の注意事項

39.8.1　　カード検出について

本モジュールのカード検出機能である、CE_DETECT の CDRISE、CDFALL にチャタリング除去機能はついていませんのでご注意ください。チャタリング除去処理は、ソフトウェアで行う必要があります。

39.8.2　　マルチブロック転送について

HPI を実行するときは、Pre-defined のマルチブロック転送を使用してください。

39.8.3　　ソフトウェアリセット

CE_VERSION レジスタの SWRST ビットによるソフトウェアリセットへの遷移の際は、**「42.3.6　ソフトウェアリセット」**を参照してください。なお、**「42.3.6　ソフトウェアリセット」**に記載の手順に関しては、SRST ビット記述を CE_VERSION レジスタの SWRST ビットに読み替えてください。

40. 内蔵 RAM

本 LSI は、表示領域、ワーク領域用に大容量内蔵 RAM（内 128KB を保持用内蔵 RAM と共用）、およびディープスタンバイモードでもデータを保持できる保持用内蔵 RAM を内蔵しており、命令やデータを格納することができます。

大容量内蔵 RAM（保持用内蔵 RAM を含む）は、RAM イネーブルおよびライトイネーブルにより、メモリの動作およびライト動作を禁止することが可能です。

保持用内蔵 RAM は、大容量内蔵 RAM のページ 0 に割り付けられており、ディープスタンバイモードでデータを保持するかしないかを保持用内蔵 RAM のページごとに選択することが可能です。

40.1 特長

- ページ

  大容量内蔵 RAM は 5 ページで構成されています。(RZ/A1LC のみ 4 ページ)

  保持用内蔵 RAM は 4 ページで構成されています。各ページの容量は、ページ 0 は 16K バイト、ページ 1 は 16K バイト、ページ 2 は 32K バイト、ページ 3 は 64K バイトです。

- メモリマップ

  内蔵 RAM は、**表 40.1**、**表 40.2** のアドレス空間に配置されています。大容量 RAM のページ 0 ～ 3 は 512KB、ページ 4 は 1MB の容量になります。

表 40.1　大容量内蔵 RAM アドレス空間

ページ	アドレス	ミラーアドレス
ページ 0（512KB）	H'20000000 ～ H'2007FFFF	H'60000000 ～ H'6007FFFF
ページ 1（512KB）	H'20080000 ～ H'200FFFFF	H'60080000 ～ H'600FFFFF
ページ 2（512KB）	H'20100000 ～ H'2017FFFF	H'60100000 ～ H'6017FFFF
ページ 3（512KB）	H'20180000 ～ H'201FFFFF	H'60180000 ～ H'601FFFFF
ページ 4（1024KB）注）	H'20200000 ～ H'202FFFFF	H'60200000 ～ H'602FFFFF

注.　RZ/A1LC では、予約領域

表 40.2　保持用内蔵 RAM アドレス空間

ページ	アドレス	ミラーアドレス
ページ 0（16KB）	H'20000000 ～ H'20003FFF	H'60000000 ～ H'60003FFF
ページ 1（16KB）	H'20004000 ～ H'20007FFF	H'60004000 ～ H'60007FFF
ページ 2（32KB）	H'20008000 ～ H'2000FFFF	H'60008000 ～ H'6000FFFF
ページ 3（64KB）	H'20010000 ～ H'2001FFFF	H'60010000 ～ H'6001FFFF

- ポート
  大容量内蔵 RAM の各ページは 1 本の読み出し／書き込みポートを持ち、AXI バスに接続されています。ただし、保持用内蔵 RAM は、ページ 0 のポートとは独立した別のポートを持ち、4 ページでこの読み出し／書き込みポートを共有します。
- 調停方式
  大容量 RAM の同じポートに対して異なるマスタから同時にアクセス要求があった場合には、AXI バスがラウンドロビン方式で調停を行います。
- アクセスサイクル数
  アクセスサイクル数は、リード／ライトともに 1Bφ サイクルです。

40.2　使用上の注意事項

40.2.1　ページ競合

大容量内蔵 RAM の同じページに対して異なるマスタから同時にアクセス要求が発生した場合、ページ競合となります。各アクセスは正しく完了しますが、このような競合はメモリアクセスの性能低下を招きます。したがって、できるだけ競合が起こらないようにソフトウェアでの対策を推奨いたします。たとえば、マスタごとに異なるページをアクセスすると競合は発生しません。

40.2.2　データ保持について

大容量内蔵 RAM（保持用内蔵 RAM 含む）は、パワーオンリセット、ディープスタンバイモード以外の動作状態において、データを保持し続けます。パワーオンリセット、ディープスタンバイモードでは下記動作となります。

(1)　パワーオンリセット

(a)　大容量内蔵 RAM（保持用内蔵 RAM 除く）

VRAME または VRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。

VRAME、VRAMWE ビットが共に有効の場合、データを保持することはできません。

(b)　保持用内蔵 RAM

VRAME、VRAMWE または RRAMWE ビットを無効にすることにより、パワーオンリセットしてもデータを保持し続けます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合は除きます。

VRAME、VRAMWE、RRAMWE ビットが共に有効の場合、データを保持することはできません。

(2)　ディープスタンバイモード

(a)　大容量内蔵 RAM（保持用内蔵 RAM 除く）

データを保持することはできません。

(b)　保持用内蔵 RAM

RRAMKP ビットを有効にすることにより、ディープスタンバイモードにおいてもデータを保持し続けます。

ただし、パワーオンリセットによりディープスタンバイモードを解除した場合、データを保持することはできません。

割り込み、解除用端子の変化によりディープスタンバイモードを解除した場合は、パワーオンリセット例外処理が実行されますが、データは保持されます。

41. 汎用入出力ポート

41.1 特長

本 LSI の 176 ピンには JP0、P0 ～ P7 の計 9 組、208 ピン、233 ピンには JP0、P0 ～ P9 の計 11 組のポートがあります。各ポートは、周辺モジュールの端子 とマルチプレクスされており、レジスタの設定により、マルチプレクス端子の機能（兼用機能）を選択できます。

41.1.1 ポートグループ

本 LSI には下記番号のポートグループがあります。

表41.1　ポートグループ

パッケージ	数	名称
176 ピン	9	P0 ～ P7、JP0
208 ピン、233 ピン	11	P0 ～ P9、JP0

41.1.2 ポートグループインデックス n

本章を通して、個々のポートグループはインデックス "n"（n=0 ～ 9）により識別されます。たとえば、Pn 端子のポートモード制御レジスタは PMCn です。JTAG ポートは n=0 のみとなります。

41.1.3 ベースアドレス

JTAG ポート以外のすべてのポートと JTAG ポートのレジスタのアドレスは、それぞれのベースアドレス <PORTn_base> と <JPORTn_base> からのオフセットアドレスとして与えられます。

表41.2　ベースアドレス<PORTn_base> および<JPORTn_base>

<PORTn_base> アドレス	<JPORTn_base> アドレス
H'FCFE 3000	H'FCFE 7B00

41.2 機能概要

41.2.1 端子機能のモード

端子は、3 つのモードで動作することができます。

- ポートモード（PMCn.PMCnm ビット＝ 0）
  ポートモードでは、端子は汎用入出力ポートとして動作します。
  PMn.PMnm ビットで入力／出力を選択します。

- S/W I/O 制御兼用モード（PMCn.PMCnm ビット＝ 1、PIPCn.PIPCnm ビット＝ 0）
  S/W I/O 制御兼用モードでは、端子は兼用機能として動作します。
  入力／出力の選択は、S/W による PMn.PMnm ビットの設定によって行われます。

- 直接 I/O 制御兼用モード（PMCn.PMCnm ビット＝ 1、PIPCn.PIPCnm ビット＝ 1）
  直接 I/O 制御兼用モードでは、端子は兼用機能として動作します。
  S/W I/O 制御兼用モードと違い、兼用機能によって入力／出力が直接制御されます。

レジスタ設定の概要を**表 41.3** に示します。

表41.3　端子機能の設定概要

モード	ビット				I/O
	PMCn.PMCnm	PMn.PMnm	PIBCn.PIBCnm	PIPCn.PIPCnm	
ポートモード	0	0	X	X	O
		1	0		—
			1		I
S/W I/O 制御兼用モード注.	1	0	X	0	O
		1			I
直接 I/O 制御兼用モード注.		X		1	兼用機能による制御

【注意】
兼用モード（PMCn.PMCnm ビット = 1）の場合、最大 8 つの異なる兼用機能の 1 つを PFCn、PFCEn、PFCAEn レジスタで選択します。詳細は「表 41.6　兼用機能の選択」を参照してください。

41.2.2　端子のデータ入力／出力

データの入力／出力に使用するレジスタについて説明します。端子モードによって PPRn レジスタを介してリードされる場所が異なります。

- 出力データ
  ポートモード（PMCn.PMCnm ビット＝ 0）では Pn.Pnm ビットの値が Pn_m 端子から出力されます。

- 入力データ
  PPRn レジスタのリード動作では、Pn_m 端子レベル、Pn.Pnm ビットの値、または兼用機能による出力値、のいずれかを読み出します。PPRn のリード元は、端子モードといくつかの制御ビットの設定に依存します。PPRn リード値の違いを**表 41.4** に示します。

表41.4　PPRn.PPRnm ビットのリード値

モード	レジスタ				PPRn.PPRnm ビットのリード値
	PMCn.PMCnm	PMn.PMnm	PIBCn.PIBCnm	PIPCn.PIPCnm	
ポートモード	0	0	X	X	Pn.Pnm ビット注.
		1	0		Pn.Pnm ビット
			1		Pn_m 端子
S/W I/O 制御兼用モード	1	0	X	0	兼用機能による出力値注.
		1			Pn_m 端子
直接 I/O 制御兼用モード		X		1	• 入力：Pn_m 端子 • 出力：兼用機能による出力値注.

【注意】
PBDCn.PBDCnm ビットが ”1” の場合、PPRn.PPRnm ビットのリード値は、Pn_m 端子レベルとなります。

41.3 レジスタの説明

次のレジスタは、ポートグループの各端子の設定に使用されます。

表41.5　レジスタ構成

略号	レジスタ名	R/W	16 ビット アクセス	32 ビット アクセス	アドレス
Pn	ポートレジスタ	R/W	○	—	<PORTn_base> + 0000H + n × 4
PSRn	ポートセット／リセットレジスタ	R/W	—	○	<PORTn_base> + 0100H + n × 4
PPRn	ポート端子リードレジスタ	R	○	—	<PORTn_base> + 0200H + n × 4
PMn	ポートモードレジスタ	R/W	○	—	<PORTn_base> + 0300H + n × 4
PMCn	ポートモード制御レジスタ	R/W	○	—	<PORTn_base> + 0400H + n × 4
PFCn	ポート機能制御レジスタ	R/W	○	—	<PORTn_base> + 0500H + n × 4
PFCEn	ポート機能制御拡張レジスタ	R/W	○	—	<PORTn_base> + 0600H + n × 4
PNOTn	ポート NOT レジスタ	W	○	—	<PORTn_base> + 0700H + n × 4
PMSRn	ポートモードセット／リセットレジスタ	R/W	—	○	<PORTn_base> + 0800H + n × 4
PMCSRn	ポートモード制御セット／リセットレジスタ	R/W	—	○	<PORTn_base> + 0900H + n × 4
PFCAEn	ポート機能制御追加拡張レジスタ	R/W	○	—	<PORTn_base> + 0A00H + n × 4
PIBCn	ポート入力バッファ制御レジスタ	R/W	○	—	<PORTn_base> + 4000H + n × 4
PBDCn	ポート双方向制御レジスタ	R/W	○	—	<PORTn_base> + 4100H + n × 4
PIPCn	ポート IP 制御レジスタ	R/W	○	—	<PORTn_base> + 4200H + n × 4
JPPR0	ポート端子リードレジスタ	R	○	—	<JPORTn_base> + 0020H
JPMC0	ポートモード制御レジスタ	R/W	○	—	<JPORTn_base> + 0040H
JPMCSR0	ポートモード制御セット／リセットレジスタ	R/W	—	○	<JPORTn_base> + 0090H
JPIBC0	ポート入力バッファ制御レジスタ	R/W	○	—	<JPORTn_base> + 0400H
SNCR	シリアルサウンドインタフェースノイズキャンセラ制御レジスタ	R/W	—	○	<PORTn_base> + 0C00H

41.3.1 ポートレジスタ（Pn）

このレジスタは、ポート出力モード時（PMCn.PMCnm ビット＝ 0、PMn.PMnm ビット＝ 0）に、Pn_m 端子レベルを設定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	Pn15	Pn14	Pn13	Pn12	Pn11	Pn10	Pn9	Pn8	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	Pn[15:0]	Pn_m 端子（m ＝ 0 ～ 15）の出力レベルを設定します。 0：ロウ・レベル出力 1：ハイ・レベル出力

41.3.2　ポートセット／リセットレジスタ（PSRn）

このレジスタにより、Pn レジスタにデータをライトするもう 1 つの方法を示します。

PSRn レジスタの上位 16 ビットは、PSRn レジスタの下位 16 ビットで指定した Pn.Pnm ビットにデータをライトするかどうかを指定します。

リード時、上位 16 ビットは常に 0000H がリードされます。下位 16 ビットは Pn レジスタの値がリードされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PSRn31	PSRn30	PSRn29	PSRn28	PSRn27	PSRn26	PSRn25	PSRn24	PSRn23	PSRn22	PSRn21	PSRn20	PSRn19	PSRn18	PSRn17	PSRn16
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSRn15	PSRn14	PSRn13	PSRn12	PSRn11	PSRn10	PSRn9	PSRn8	PSRn7	PSRn6	PSRn5	PSRn4	PSRn3	PSRn2	PSRn1	PSRn0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
31 ～ 16	PSRn[31:16]	対応する PSRn.PSRnm ビットの下位ビットの値を Pn.Pnm ビットにライトするかどうかを指定するイネーブル・ビットです。 0：Pn.Pnm ビットは PSRn.PSRnm ビットに依存しません。 1：Pn.Pnm ビットは PSRn.PSRnm ビットの値になります。 例： PSRn.PSRn31 ビットが "1" の場合、PSRn.PSRn15 ビットの値を Pn.Pn15 ビットにライトします。
15 ～ 0	PSRn[15:0]	対応する上位ビットの PSRn.PSRn（m ＋ 16）ビットが "1" の場合、Pn.Pnm ビットの値を指定するデータ・ビットです。 0：Pn.Pnm ビット＝ 0 1：Pn.Pnm ビット＝ 1

41.3.3　ポート端子リードレジスタ（PPRn/JPPR0）

このレジスタは、Pn_m 端子レベル、Pn.Pnm ビットの値、または兼用機能による出力値、のいずれかを表します。リードする値は、**「表 41.4　PPRn.PPRnm ビットのリード値」**に示すように、レジスタ設定によって異なります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PPRn15	PPRn14	PPRn13	PPRn12	PPRn11	PPRn10	PPRn9	PPRn8	PPRn7	PPRn6	PPRn5	PPRn4	PPRn3	PPRn2	PPRn1	PPRn0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PPRn[15:0]	Pn_m 端子レベル、Pn.Pnm ビットの値、または兼用機能による出力値

【備考】
1. PPRn レジスタのリード値は、「41.2.2　端子のデータ入力／出力」を参照してください。
2. JTAG ポート端子リードレジスタ（JPPR0）の制御ビットは JPPR0[1:0] になります。

41.3.4　ポートモードレジスタ（PMn）

このレジスタは、Pn_m 端子が入力モードか出力モードかを指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMn15	PMn14	PMn13	PMn12	PMn11	PMn10	PMn9	PMn8	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PMn[15:0]	対応する端子の入力／出力モードを指定します。 0：出力モード（出力許可） 1：入力モード（出力禁止）

【注意】
Pn_m 端子をポート入力モード（PMCn.PMCnm ビット＝ 0、PMn.PMnm ビット＝ 1）で使用する場合は、PIBCn.PIBCnm ビットを ”1” に設定して入力バッファを許可する必要があります。

【備考】
リセット後は PIPCn.PIPCnm ビットが “0” なので、PMn.PMnm ビットはポートモード（PMCn.PMCnm=0）と兼用モード（PMCn.PMCnm=1）の入出力方向を指定します。ブートモードにより自動設定される端子（「表 8.3　ブートモードとエリア別初期状態」を参照してください）は、PMn レジスタではなく兼用機能で入出力方向を制御します。

41.3.5　ポートモード制御レジスタ（PMCn/JPMC0）

このレジスタは、Pn_m 端子がポートモードか兼用モードかを指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCn 15	PMCn 14	PMCn 13	PMCn 12	PMCn 11	PMCn 10	PMCn 9	PMCn 8	PMCn 7	PMCn 6	PMCn 5	PMCn 4	PMCn 3	PMCn 2	PMCn 1	PMCn 0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PMCn[15:0]	対応する端子の動作モードを指定します。 0：ポートモード 1：兼用モード

【注意】
兼用モード（PMCn.PMCnm）に設定するだけでは入出力制御は行われません。兼用機能が直接入出力制御を行う場合は PIPCn.PIPCnm ビットにも “1” を設定してください。

【備考】
JTAG ポートモード制御レジスタ（JPMC0）の制御ビットは JPMC0[1:0] になります。

41.3.6　ポート機能制御レジスタ（PFCn）

このレジスタは、PFCEn レジスタおよび PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm ビットは “1” に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm ビットによって指定されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCn15	PFCn14	PFCn13	PFCn12	PFCn11	PFCn10	PFCn9	PFCn8	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PFCn[15:0]	端子の兼用機能を指定します。

表 41.6　兼用機能の選択

PMCn.PMCnm	PFCAEn.PFCAEnm	PFCEn.PFCEnm	PFCn.PFCnm	PMn.PMnm	機能[注2]
0	X	X	X	1	ポートモード／入力
				0	ポートモード／出力
1[注1]	0	0	0	1	兼用モード／第 1 兼用機能／入力
				0	兼用モード／第 1 兼用機能／出力
			1	1	兼用モード／第 2 兼用機能／入力
				0	兼用モード／第 2 兼用機能／出力
		1	0	1	兼用モード／第 3 兼用機能／入力
				0	兼用モード／第 3 兼用機能／出力
			1	1	兼用モード／第 4 兼用機能／入力
				0	兼用モード／第 4 兼用機能／出力
	1	0	0	1	兼用モード／第 5 兼用機能／入力
				0	兼用モード／第 5 兼用機能／出力
			1	1	兼用モード／第 6 兼用機能／入力
				0	兼用モード／第 6 兼用機能／出力
		1	0	1	兼用モード／第 7 兼用機能／入力
				0	兼用モード／第 7 兼用機能／出力
			1	1	兼用モード／第 8 兼用機能／入力
				0	兼用モード／第 8 兼用機能／出力

【注意】

1. PIPCn.PIPCnm ビットが “1” の場合は、入出力方向は兼用機能によって直接制御され、PMn.PMnm ビットは無視されます。
2. 公開されている兼用機能を使用してください。兼用機能を割り当てていないモードに設定した場合の動作は保証しません。

41.3.7　ポート機能制御拡張レジスタ（PFCEn）

このレジスタは、PFCn レジスタおよび PFCAEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm ビットは “1” に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm ビットによって指定されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCEn 15	PFCEn 14	PFCEn 13	PFCEn 12	PFCEn 11	PFCEn 10	PFCEn 9	PFCEn 8	PFCEn 7	PFCEn 6	PFCEn 5	PFCEn 4	PFCEn 3	PFCEn 2	PFCEn 1	PFCEn 0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PFCEn[15:0]	端子の兼用機能を指定します。

41.3.8　ポート NOT レジスタ（PNOTn）

このレジスタは、Pn レジスタに直接ライトせずに Pn.Pnm ビットを反転できます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PNOTn 15	PNOTn 14	PNOTn 13	PNOTn 12	PNOTn 11	PNOTn 10	PNOTn 9	PNOTn 8	PNOTn 7	PNOTn 6	PNOTn 5	PNOTn 4	PNOTn 3	PNOTn 2	PNOTn 1	PNOTn 0
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット位置	ビット名	機能
15 ～ 0	PNOTn[15:0]	Pn.Pnm ビットを反転するかどうかを指定します。 0：Pn.Pnm ビットを反転しない（Pnm→Pnm） 1：Pn.Pnm ビットを反転する（$\overline{\text{Pnm}}$→Pnm）

41.3.9　ポートモードセット／リセットレジスタ（PMSRn）

このレジスタにより、PMn レジスタにデータをライトするもう 1 つの方法を示します。

PMSRn レジスタの上位 16 ビットは、PMSRn レジスタの下位 16 ビットで指定した PMn.PMnm ビットにデータをライトするかどうかを指定します。

リード時、上位 16 ビットは常に 0000H がリードされます。下位 16 ビットは PMn レジスタの値がリードされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMSRn 31	PMSRn 30	PMSRn 29	PMSRn 28	PMSRn 27	PMSRn 26	PMSRn 25	PMSRn 24	PMSRn 23	PMSRn 22	PMSRn 21	PMSRn 20	PMSRn 19	PMSRn 18	PMSRn 17	PMSRn 16
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMSRn 15	PMSRn 14	PMSRn 13	PMSRn 12	PMSRn 11	PMSRn 10	PMSRn 9	PMSRn 8	PMSRn 7	PMSRn 6	PMSRn 5	PMSRn 4	PMSRn 3	PMSRn 2	PMSRn 1	PMSRn 0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
31 ～ 16	PMSRn[31:16]	対応する PMSRn.PMSRnm ビットの下位ビットの値を PMn.PMnm ビットにライトするかどうかを指定するイネーブル・ビットです。 0：PMn.PMnm ビットは PMSRn.PMSRnm ビットに依存しません。 1：PMn.PMnm ビットは PMSRn.PMSRnm ビットの値になります。 例： PMSRn.PMSRn31 ビットが "1" の場合、PMSRn.PMSRn15 ビットの値を PMn.PMn15 ビットにライトします。
15 ～ 0	PMSRn[15:0]	対応する上位ビットの PMSRn.PMSRn（m ＋ 16）ビットが "1" の場合、PMn.PMnm ビットの値を指定するデータ・ビットです。 0：PMn.PMnm ビット＝ 0 1：PMn.PMnm ビット＝ 1

41.3.10　ポートモード制御セット／リセットレジスタ（PMCSRn/JPMCSR0）

このレジスタにより、PMCn レジスタにデータをライトするもう 1 つの方法を示します。

PMCSRn レジスタの上位 16 ビットは、PMCSRn レジスタの下位 16 ビットで指定した PMCn.PMCnm ビットにデータをライトするかどうかを指定します。

リード時、上位 16 ビットは常に 0000H がリードされます。下位 16 ビットは PMCn レジスタの値がリードされます。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	PMCSRn31	PMCSRn30	PMCSRn29	PMCSRn28	PMCSRn27	PMCSRn26	PMCSRn25	PMCSRn24	PMCSRn23	PMCSRn22	PMCSRn21	PMCSRn20	PMCSRn19	PMCSRn18	PMCSRn17	PMCSRn16
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PMCSRn15	PMCSRn14	PMCSRn13	PMCSRn12	PMCSRn11	PMCSRn10	PMCSRn9	PMCSRn8	PMCSRn7	PMCSRn6	PMCSRn5	PMCSRn4	PMCSRn3	PMCSRn2	PMCSRn1	PMCSRn0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
31 ～ 16	PMCSRn[31:16]	対応する PMCSRn.PMCSRnm ビットの下位ビットの値を PMCn.PMCnm ビットにライトするかどうかを指定するイネーブル・ビットです。 0：PMCn.PMCnm ビットは PMCSRn.PMCSRnm ビットに依存しません。 1：PMCn.PMCnm ビットは PMCSRn.PMCSRnm ビットの値になります。 例： PMCSRn.PMCSRn31 ビットが "1" の場合、PMCSRn.PMCSRn15 ビットの値を PMCn.PMCn15 ビットにライトします。
15 ～ 0	PMCSRn[15:0]	対応する上位ビットの PMCSRn.PMCSRn（m ＋ 16）ビットが "1" の場合、PMCn.PMCnm ビットの値を指定するデータ・ビットです。 0：PMCn.PMCnm ビット＝ 0 1：PMCn.PMCnm ビット＝ 1

【備考】
JTAG ポートモード制御セット／リセットレジスタ（JPMCSR0）の制御ビットは JPMCSR0[1:0] になります。

41.3.11　ポート機能制御追加拡張レジスタ（PFCAEn）

このレジスタは、PFCn レジスタおよび PFCEn レジスタとともに、端子の兼用機能を指定します。

いくつかの兼用機能は、直接 Pn_m 端子の入出力制御を行います。そのような兼用機能では、PIPCn.PIPCnm ビットは “1” に設定する必要があります。

他の兼用機能では、入出力は PMn.PMnm ビットによって指定されます。

PFCn.PFCnm,PFCEn.PFCEnm,PFCAEn.PFCAEnm ビットで兼用機能を選択後、PMCn.PMCnm ビットを “1” に設定してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PFCAEn15	PFCAEn14	PFCAEn13	PFCAEn12	PFCAEn11	PFCAEn10	PFCAEn9	PFCAEn8	PFCAEn7	PFCAEn6	PFCAEn5	PFCAEn4	PFCAEn3	PFCAEn2	PFCAEn1	PFCAEn0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PFCAEn[15:0]	端子の兼用機能を指定します。

【注意】
本 LSI では、一部の兼用機能を複数の端子で兼用していますが、使用できる兼用機能はいずれか一方の端子のみになります。複数の端子で同じ兼用機能を設定することは禁止です。たとえば、a/b/c 端子を b として使用する場合、b/d/e 端子は b として

使用できません。b 以外の兼用機能を設定して使用してください。

【備考】
兼用機能の割り当ての詳細については、各ポートの端子機能の表を参照してください。

41.3.12　ポート入力バッファ制御レジスタ（PIBCn/JPIBC0）

このレジスタは、ポート入力モード（PMCn.PMCnm ビット＝ 0、PMn.PMnm ビット＝ 1、または JPMC0.JPMC0 ビット＝ 0）で、Pn_m 端子の入力バッファを許可するか禁止するかを指定します。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIBCn 15	PIBCn 14	PIBCn 13	PIBCn 12	PIBCn 11	PIBCn 10	PIBCn 9	PIBCn 8	PIBCn 7	PIBCn 6	PIBCn 5	PIBCn 4	PIBCn 3	PIBCn 2	PIBCn 1	PIBCn 0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PIBCn[15:0]	入力バッファを許可／禁止します。 0：入力バッファ禁止 1：入力バッファ許可

【注意】
出力バッファが許可状態かつ PBDCn.PBDCnm ビットが "1" の時、このレジスタの設定に関わらず入力バッファは許可されます。

【備考】
入力バッファを禁止すると、端子レベルが Hi-Z 状態でも貫通電流が流れません。したがって、外部から端子をハイまたはロウレベルに固定する必要はありません（P2_0、P2_2、P2_7、P2_9、P5_8、P5_9、P5_10、P6_7、P7_2、P7_3、P7_6、P7_9 は除く）。
JTAG ポート入力バッファ制御レジスタ（JPIBC0）の制御ビットは JPIBC0[1:0] になります。

41.3.13　ポート双方向制御レジスタ（PBDCn）

このレジスタは、出力バッファが許可状態の時に入力バッファを許可するか禁止するかを指定します。出力バッファが許可状態の時に PBDCn.PBDCnm ビットを "1" にした場合、双方向モードとなり Pn_m 端子のレベルを PPRn.PPRnm ビット経由で読み出すことができます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PBDCn 15	PBDCn 14	PBDCn 13	PBDCn 12	PBDCn 11	PBDCn 10	PBDCn 9	PBDCn 8	PBDCn 7	PBDCn 6	PBDCn 5	PBDCn 4	PBDCn 3	PBDCn 2	PBDCn 1	PBDCn 0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PBDCn[15:0]	対応する端子の双方向モードの許可／禁止を指定します。 0：双方向モードを禁止 1：双方向モードを許可

【注意】
Pn_m 端子を兼用出力機能（PMCn.PMCnm ビット＝ 1、PMn.PMnm ビット＝ 0）として使用する場合、PBDCn.PBDCnm ビットを “1” に設定することにより、PPRn.PPRnm ビットで Pn_m 端子レベルをリードすることができます。しかし、その場合、Pn_m 端子のレベルが同じ兼用機能の入力に伝わるので注意が必要です。

41.3.14　ポート IP 制御レジスタ（PIPCn）

このレジスタは、兼用モード（PMCn.PMCnm ビット＝ 1）のときに、Pn_m 端子の入出力方向が PMn.PMnm ビットと兼用機能のどちらによって制御されるかを指定します。**表 41.7** に示した兼用機能を使用する場合は、PIPCn.PIPCnm ビットを “0” に設定してください。**表 41.7** に示した機能以外の兼用機能を使用する場合は、PIPCn.PIPCnm ビットを “1” に設定してください。PIPCn.PIPCnm ビットを "1" に設定すると兼用機能が入出力制御を行い、PMn.PMnm ビットの設定が無効となります。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PIPCn 15	PIPCn 14	PIPCn 13	PIPCn 12	PIPCn 11	PIPCn 10	PIPCn 9	PIPCn 8	PIPCn 7	PIPCn 6	PIPCn 5	PIPCn 4	PIPCn 3	PIPCn 2	PIPCn 1	PIPCn 0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
15 ～ 0	PIPCn[15:0]	兼用モード時の入出力制御方法を指定します。 0：入出力は PMn.PMnm ビットによって制御されます（S/W 入出力制御）。 1：入出力は兼用機能によって制御されます（直接入出力制御）。

表41.7　PIPCn.PIPCnmビットを“0”に設定する必要がある兼用機能

機能	端子名	備考
マルチファンクション タイマパルスユニット2	TIOC0A	PIPCn.PIPCnmビットを”0”に設定して、入出力を PMn.PMnmビットで設定してください。
	TIOC0B	
	TIOC0C	
	TIOC0D	
	TIOC1A	
	TIOC1B	
	TIOC2A	
	TIOC2B	
	TIOC3A	
	TIOC3B	
	TIOC3C	
	TIOC3D	
	TIOC4A	
	TIOC4B	
	TIOC4C	
	TIOC4D	
シリアルサウンドインターフェース	SSITxD0	PIPCn.PIPCnmビットを”0”、PMn.PMnmビットを”0”に設定 してください。
	SSITxD1	
	SSITxD3	
ウォッチドッグタイマ	$\overline{\text{WDTOVF}}$	PIPCn.PIPCnmビットを”0”、PMn.PMnmビットを”0”に設定 してください。

41.3.15　シリアルサウンドインタフェースノイズキャンセラ制御レジスタ（SNCR）

このレジスタは、チップ端子からシリアルサウンドインタフェースへの入力経路に存在するノイズキャンセラを制御します。また、イーサネットセレクト MII インタフェース端子を制御します。
下位 4 ビットは、対応するシリアルサウンドインタフェースのチャネルがスレーブモードで
ある場合のみ設定可能です。マスタモード時は、該当チャネルのビットを "0" のまま使用してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	ETSEL 注1	-	-	SSI3 NCE	SSI2 NCE	SSI1 NCE	SSI0 NCE
R/W：	R	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R/W	R/W	R/W

ビット位置	ビット名	機能
6	ETSEL（注 1）	イーサネットセレクト MII インタフェース端子につき、イーサネットコントローラと EthernetAVB の有効／無効を選択します。 0：イーサネットコントローラが有効、EthernetAVB が無効 1：EthernetAVB が有効、イーサネットコントローラが無効
5 ～ 4	―	リザーブビット 書き込む値は常に 0 にしてください。
3	SSI3NCE	シリアルサウンドインタフェースチャネル 3 ノイズキャンセライネーブル SSISCK3、SSIWS3、SSIRxD3 のノイズキャンセラの有効／無効を選択します。 0：ノイズキャンセラ無効 1：ノイズキャンセラ有効
2	SSI2NCE	シリアルサウンドインタフェースチャネル 2 ノイズキャンセライネーブル SSISCK2、SSIWS2、SSIDATA2 のノイズキャンセラの有効／無効を選択します。 0：ノイズキャンセラ無効 1：ノイズキャンセラ有効
1	SSI1NCE	シリアルサウンドインタフェースチャネル 1 ノイズキャンセライネーブル SSISCK1、SSIWS1、SSIRxD1 のノイズキャンセラの有効／無効を選択します。 0：ノイズキャンセラ無効 1：ノイズキャンセラ有効
0	SSI0NCE	シリアルサウンドインタフェースチャネル 0 ノイズキャンセライネーブル SSISCK0、SSIWS0、SSIRxD0 のノイズキャンセラの有効／無効を選択します。 0：ノイズキャンセラ無効 1：ノイズキャンセラ有効

注1.　本ビットは RZ/A1LU にのみ実装されています。RZ/A1L と RZ/A1LC では書き込む値は常に 0 にしてください。

41.4 ポート機能

表41.8　ポート端子数と機能

ポート	端子名	サイズ（端子数）	入出力	備考
JTAG ポート 0	JP0_0 ～ JP0_1	2 ビット	入力	
ポート 0	P0_0 ～ P0_3	4 ビット	入力	
ポート 1	P1_0 ～ P1_15	16 ビット	入力／オープンドレイン出力	オープンドレイン出力は P1_0～7端子のみ
ポート 2	P2_0 ～ P2_9	10 ビット	入力／出力	
ポート 3	P3_0 ～ P3_15	16 ビット	入力／出力	
ポート 4	P4_0 ～ P4_7	8 ビット	入力／出力	
ポート 5	P5_0 ～ P5_15	16 ビット	入力／出力	
ポート 6	P6_0 ～ P6_15	16 ビット	入力／出力	
ポート 7	P7_0 ～ P7_11	12 ビット	入力／出力	
ポート 8	P8_0 ～ P8_15	16 ビット	入力／出力	208 ピンと 233 ピンのみ
ポート 9	P9_0 ～ P9_5	6 ビット	入力／出力	208 ピンと 233 ピンのみ

41.5 JTAG ポート 0（JP0）

表41.9　端子機能（JP0）

ポートモード		兼用モード	
入力	出力	入力	出力
JP0_0		TDI	
JP0_1			TDO

【注意】
ポートモードは入力専用です。

表41.10　制御レジスタ（JP0）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <JPORTn_base>	初期値
		位置	R/W		
JPPR0	16	1 ～ 0	R	H'0020	H'0000
JPMC0	16	1 ～ 0	R/W	H'0040	H'FFFF
JPMCSR0	32	17 ～ 16、1 ～ 0	W、R/W	H'0090	H'0000_FFFF
JPIBC0	16	1 ～ 0	R/W	H'0400	H'0000

【注意】
有効ビットが存在しない部分は初期値が読めます。書く場合は、初期値をライトしてください。

41.6 ポート 0（P0）

表41.11　端子機能（P0）

ポートモード		兼用モード							
		第1兼用		第2兼用		第3兼用		第4兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P0_0				RxD0		IRQ4			
P0_1				RxD2		SSIRxD3		$\overline{\text{ADTRG}}$	
P0_2				RxD1		IRQ7			
P0_3				RxD3		SPDIF_IN			

【注意】
1. ポートモードは入力専用です。
2. P0_0、P0_1、P0_2、P0_3 端子は $\overline{\text{RES}}$ ＝ L の状態でそれぞれ MD_BOOT0、MD_BOOT1、MD_CLK、MD_CLKS 機能になります。

表41.12　制御レジスタ（P0）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
PPR0	16	3 ～ 0	R	H'0200	H'0000
PMC0	16	3 ～ 0	R/W	H'0400	H'0000
PFC0	16	3 ～ 0	R/W	H'0500	H'0000
PFCE0	16	3 ～ 0	R/W	H'0600	H'0000
PMCSR0	32	19 ～ 16、3 ～ 0	W、R/W	H'0900	H'0000_0000
PFCAE0	16	3 ～ 0	R/W	H'0A00	H'0000
PIBC0	16	3 ～ 0	R/W	H'4000	H'0000

【注意】
有効ビットが存在しない部分は初期値が読めます。書く場合は、初期値をライトしてください。

41.7　ポート 1（P1）

表41.13　端子機能（P1）

ポートモード		兼用モード							
		第1兼用		第2兼用		第3兼用		第4兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P1_0	P1_0	RIIC0SCL		IRQ4		ET_RXD0		DV0_DATA0	
P1_1	P1_1	RIIC0SDA		IRQ5		ET_RXD1		DV0_DATA1	
P1_2	P1_2	RIIC1SCL		IRQ6		ET_RXD2		DV0_DATA2	
P1_3	P1_3	RIIC1SDA		IRQ7		ET_RXD3		DV0_DATA3	
P1_4	P1_4	RIIC2SCL		IRQ0		DREQ0		VIO_D0	
P1_5	P1_5	RIIC2SDA		IRQ1				VIO_D1	
P1_6	P1_6	RIIC3SCL		IRQ2		SSIRxD0		VIO_D2	
P1_7	P1_7	RIIC3SDA		IRQ3		RxD2		VIO_D3	
P1_8		AN0		IRQ0		RxD0		DV0_DATA4	
P1_9		AN1		IRQ1		RxD1		DV0_DATA5	
P1_10		AN2		IRQ2		RxD2		DV0_DATA6	
P1_11		AN3		IRQ3		RxD3		DV0_DATA7	
P1_12		AN4		IRQ4		ET_RXD0		VIO_D4	
P1_13		AN5		IRQ5		ET_RXD1		VIO_D5	
P1_14		AN6		IRQ6		ET_RXD2		VIO_D6	
P1_15		AN7		IRQ7		ET_RXD3		VIO_D7	

【注意】
P1_0 ～ P1_7 端子はオープンドレイン出力付き入力です。P1_8 ～ P1_15 端子は入力専用です。

表41.14　制御レジスタ（P1）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P1	16	7 ～ 0	R/W	H'0004	H'0000
PSR1	32	23 ～ 16、7 ～ 0	W、R/W	H'0104	H'0000_0000
PPR1	16	15 ～ 0	R	H'0204	H'0000
PM1	16	7 ～ 0	R/W	H'0304	H'FFFF 注2
PMC1	16	15 ～ 0	R/W	H'0404	H'0000
PFC1	16	15 ～ 0	R/W	H'0504	H'0000
PFCE1	16	15 ～ 0	R/W	H'0604	H'0000
PNOT1	16	7 ～ 0	W	H'0704	H'0000
PMSR1	32	23 ～ 16、7 ～ 0	W、R/W	H'0804	H'0000_FFFF
PMCSR1	32	23 ～ 16、7 ～ 0	W、R/W	H'0904	H'0000_0000
PFCAE1	16	15 ～ 0	R/W	H'0A04	H'0000
PIBC1	16	15 ～ 0	R/W	H'4004	H'0000
PBDC1	16	15 ～ 0	R/W	H'4104	H'0000
PIPC1	16	7 ～ 0	R/W	H'4204	H'FF00 注2

【注意】
1. 有効ビットが存在しない部分は初期値が読めます。書く場合は、初期値をライトしてください。
2. PM1 レジスタの 8 ビット目から 15 ビット目と PIPC1 レジスタの 8 ビット目から 15 ビット目は固定値です。リード時は、常に 1 が読み出されます。

41.8　ポート 2（P2）

表41.15　端子機能（P2）

ポートモード		兼用モード									
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P2_0	P2_0		$\overline{CS3}$	RLIN30RX注1		SPDIF_IN		IRQ7			
P2_1	P2_1		$\overline{RAS}$		RLIN30TX注1		SPDIF_OUT	IRQ6			
P2_2	P2_2		$\overline{CAS}$	CAN1RX		TIOC0C		IRQ5			
P2_3	P2_3		CKE		CAN1TX	TIOC0D					
P2_4	P2_4		$\overline{WE0}$/DQMLL			TIOC4A					
P2_5	P2_5		$\overline{WE1}$/$\overline{WE}$/DQMLU			TIOC3A					
P2_6	P2_6		RD/$\overline{WR}$	SSIRxD3		TIOC2A					
P2_7	P2_7		$\overline{CS0}$	SSISCK3		TIOC1A		IRQ2			
P2_8	P2_8		$\overline{RD}$		SSITxD3	TIOC0A					CAN0TX
P2_9	P2_9		A0	SSIWS3		SCK0		IRQ1		CAN0RX	

注1.　RZ/A1L のみ

表41.16　制御レジスタ（P2）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P2	16	9 ～ 0	R/W	H'0008	H'0000
PSR2	32	25 ～ 16、9 ～ 0	W、R/W	H'0108	H'0000_0000
PPR2	16	9 ～ 0	R	H'0208	H'0000
PM2	16	9 ～ 0	R/W	H'0308	H'FFFF
PMC2	16	9 ～ 0	R/W	H'0408	（ブートモード0）H'01C0 （ブートモード0以外）H'0000
PFC2	16	9 ～ 0	R/W	H'0508	H'0000
PFCE2	16	9 ～ 0	R/W	H'0608	H'0000
PNOT2	16	9 ～ 0	W	H'0708	H'0000
PMSR2	32	25 ～ 16、9 ～ 0	W、R/W	H'0808	H'0000_FFFF
PMCSR2	32	25 ～ 16、9 ～ 0	W、R/W	H'0908	（ブートモード0）H'0000_01C0 （ブートモード0以外）H'0000_0000
PFCAE2	16	9 ～ 0	R/W	H'0A08	H'0000
PIBC2	16	9 ～ 0	R/W	H'4008	H'0000
PBDC2	16	9 ～ 0	R/W	H'4108	（ブートモード0）H'01C0 （ブートモード0以外）H'0000
PIPC2	16	9 ～ 0	R/W	H'4208	（ブートモード0）H'01C0 （ブートモード0以外）H'0000

【注意】
1. 有効ビットが存在しない部分は初期値が読めます。書く場合は、初期値をライトしてください。
2. ブートモードで自動設定される端子は「表 8.3　ブートモードとエリア別初期状態」を参照してください。

41.9　ポート 3（P3）

表41.17　端子機能（P3）

ポートモード		兼用モード											
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P3_0	P3_0		A1	SD_D2_0			LCD0_DATA0	ET_TXCLK					
P3_1	P3_1		A2	SD_D3_0			LCD0_DATA1		ET_TXER				
P3_2	P3_2		A3	SD_CMD_0			LCD0_DATA2		ET_TXEN				
P3_3	P3_3		A4		SD_CLK_0		LCD0_DATA3	ET_RXCLK					
P3_4	P3_4		A5	SD_D0_0			LCD0_DATA4	ET_RXER					
P3_5	P3_5		A6	SD_D1_0			LCD0_DATA5	ET_RXDV					
P3_6	P3_6		A7	SD_WP_0			LCD0_DATA6	ET_COL					
P3_7	P3_7		A8	SD_CD_0			LCD0_DATA7	ET_CRS					
P3_8	P3_8		A9			AUDIO_CLK		DV0_DATA8		SCK3			
P3_9	P3_9		A10				SPDIF_OUT	DV0_DATA9			TxD3		
P3_10	P3_10		A11	SPBIO01_0		TIOC3B		DV0_DATA10		RxD3			
P3_11	P3_11		A12	SPBIO11_0		TIOC3A		DV0_DATA11					
P3_12	P3_12		A13	SPBIO21_0		TIOC3C		DV0_DATA12					
P3_13	P3_13		A14	SPBIO31_0		TIOC3D		DV0_DATA13					
P3_14	P3_14		A15	VIO_CLK		SPDIF_IN		DV0_DATA14		SCK1			AUDIO_XOUT2
P3_15	P3_15		A16	VIO_FLD				DV0_DATA15			TxD1		

表41.18　制御レジスタ（P3）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P3	16	15 ～ 0	R/W	H'000C	H'0000
PSR3	32	31 ～ 16、15 ～ 0	W、R/W	H'010C	H'0000_0000
PPR3	16	15 ～ 0	R	H'020C	H'0000
PM3	16	15 ～ 0	R/W	H'030C	H'FFFF
PMC3	16	15 ～ 0	R/W	H'040C	（ブートモード0）H'FFFF （ブートモード0以外）H'0000
PFC3	16	15 ～ 0	R/W	H'050C	H'0000
PFCE3	16	15 ～ 0	R/W	H'060C	H'0000
PNOT3	16	15 ～ 0	W	H'070C	H'0000
PMSR3	32	31 ～ 16、15 ～ 0	W、R/W	H'080C	H'0000_FFFF
PMCSR3	32	31 ～ 16、15 ～ 0	W、R/W	H'090C	（ブートモード0）H'0000_FFFF （ブートモード0以外）H'0000_0000
PFCAE3	16	15 ～ 0	R/W	H'0A0C	H'0000
PIBC3	16	15 ～ 0	R/W	H'400C	H'0000
PBDC3	16	15 ～ 0	R/W	H'410C	（ブートモード0）H'FFFF （ブートモード0以外）H'0000
PIPC3	16	15 ～ 0	R/W	H'420C	（ブートモード0）H'FFFF （ブートモード0以外）H'0000

【注意】
ブートモードで自動設定される端子は「表 8.3　ブートモードとエリア別初期状態」を参照してください。

41.10 ポート 4（P4）

表41.19　端子機能（P4）

ポートモード		兼用モード									
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P4_0	P4_0		A17	VIO_VD		TIOC1B			ET_MDC	$\overline{\text{CTS1}}$	
P4_1	P4_1		A18	VIO_HD		TIOC2B		ET_MDIO		$\overline{\text{RTS1}}$	
P4_2	P4_2		A19	SPBIO20_0			TRACE DATA2注1				
P4_3	P4_3		A20	SPBIO30_0			TRACE DATA3注1				
P4_4	P4_4		A21		SPBCLK_0		TRACE CLK注1				
P4_5	P4_5		A22		SPBSSL_0		TRACE CTL注1				
P4_6	P4_6		A23	SPBIO00_0			TRACE DATA0注1				
P4_7	P4_7		A24	SPBIO10_0			TRACE DATA1注1				

注1.　RZ/A1L のみ

表41.20　制御レジスタ（P4）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P4	16	7 ～ 0	R/W	H'0010	H'0000
PSR4	32	23 ～ 16、7 ～ 0	W、R/W	H'0110	H'0000_0000
PPR4	16	7 ～ 0	R	H'0210	H'0000
PM4	16	7 ～ 0	R/W	H'0310	H'FFFF
PMC4	16	7 ～ 0	R/W	H'0410	（ブートモード0）H'000F （ブートモード0以外）H'0000
PFC4	16	7 ～ 0	R/W	H'0510	H'0000
PFCE4	16	7 ～ 0	R/W	H'0610	H'0000
PNOT4	16	7 ～ 0	W	H'0710	H'0000
PMSR4	32	23 ～ 16、7 ～ 0	W、R/W	H'0810	H'0000_FFFF
PMCSR4	32	23 ～ 16、7 ～ 0	W、R/W	H'0910	（ブートモード0）H'0000_000F （ブートモード0以外）H'0000_0000
PFCAE4	16	7 ～ 0	R/W	H'0A10	H'0000
PIBC4	16	7 ～ 0	R/W	H'4010	H'0000
PBDC4	16	7 ～ 0	R/W	H'4110	（ブートモード0）H'000F （ブートモード0以外）H'0000
PIPC4	16	7 ～ 0	R/W	H'4210	（ブートモード0）H'000F （ブートモード0以外）H'0000

【注意】
1. 有効ビットが存在しない部分は初期値が読めます。書く場合は、初期値をライトしてください。
2. ブートモードで自動設定される端子は「表 8.3　ブートモードとエリア別初期状態」を参照してください。

41.11 ポート5（P5）

表41.21　端子機能（P5）

ポートモード		兼用モード									
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P5_0	P5_0	D0		MMC_D4			ET_TXD0	DV0_DATA16			LCD0_TCON0
P5_1	P5_1	D1		MMC_D5			ET_TXD1	DV0_DATA17			LCD0_TCON1
P5_2	P5_2	D2		MMC_D6			ET_TXD2	DV0_DATA18			LCD0_TCON2
P5_3	P5_3	D3		MMC_D7			ET_TXD3	DV0_DATA19			LCD0_TCON3
P5_4	P5_4	D4		RSPCK2		SSISCK1		DV0_DATA20			
P5_5	P5_5	D5		SSL20		SSIWS1		DV0_DATA21			
P5_6	P5_6	D6		MOSI2			SSITxD1	DV0_DATA22		SCK2	
P5_7	P5_7	D7		MISO2		SSIRxD1		DV0_DATA23			TxD2
P5_8	P5_8	D8		CAN0RX		TIOC4A		IRQ3			
P5_9	P5_9	D9			CAN0TX	TIOC4B		IRQ4			
P5_10	P5_10	D10		IERxD注1		TIOC4C		IRQ5			
P5_11	P5_11	D11			IETxD注1	TIOC4D		IRQ6			
P5_12	P5_12	D12		SSISCK2		SCK4			AUDIO_XOUT2		
P5_13	P5_13	D13		SSIWS2			AUDIO_XOUT		AUDIO_XOUT3		
P5_14	P5_14	D14		SSIDATA2		RxD4		TIOC2A			
P5_15	P5_15	D15		SD_WP_1			TxD4				

注1.　RZ/A1Lのみ

表41.22　制御レジスタ（P5）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P5	16	15 ～ 0	R/W	H'0014	H'0000
PSR5	32	31 ～ 16、15 ～ 0	W、R/W	H'0114	H'0000_0000
PPR5	16	15 ～ 0	R	H'0214	H'0000
PM5	16	15 ～ 0	R/W	H'0314	H'FFFF
PMC5	16	15 ～ 0	R/W	H'0414	（ブートモード0）H'FFFF （ブートモード0以外）H'0000
PFC5	16	15 ～ 0	R/W	H'0514	H'0000
PFCE5	16	15 ～ 0	R/W	H'0614	H'0000
PNOT5	16	15 ～ 0	W	H'0714	H'0000
PMSR5	32	31 ～ 16、15 ～ 0	W、R/W	H'0814	H'0000_FFFF
PMCSR5	32	31 ～ 16、15 ～ 0	W、R/W	H'0914	（ブートモード0）H'0000_FFFF （ブートモード0以外）H'0000_0000
PFCAE5	16	15 ～ 0	R/W	H'0A14	H'0000
PIBC5	16	15 ～ 0	R/W	H'4014	H'0000
PBDC5	16	15 ～ 0	R/W	H'4114	（ブートモード0）H'FFFF （ブートモード0以外）H'0000
PIPC5	16	15 ～ 0	R/W	H'4214	（ブートモード0）H'FFFF （ブートモード0以外）H'0000

【注意】ブートモードで自動設定される端子は「表 8.3　ブートモードとエリア別初期状態」を参照してください。

41.12 ポート 6（P6）

表41.23　端子機能（P6）

ポートモード		兼用モード															
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		第8兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P6_0	P6_0	D16			LCD0_DATA8	RSPCK0		TCLKA			$\overline{\text{WDTOVF}}$						
P6_1	P6_1	D17			LCD0_DATA9	SSL00		TCLKB									
P6_2	P6_2	D18			LCD0_DATA10	MOSI0		TCLKC									
P6_3	P6_3	D19			LCD0_DATA11	MISO0		TCLKD									
P6_4	P6_4	D20			LCD0_DATA12	SSISCK3		MLB_CLK注1									
								AVB_CAPTURE注2									
P6_5	P6_5	D21			LCD0_DATA13	SSIWS3		MLB_SIG注1									
								AVB_GPTP_EXTERN注2									
P6_6	P6_6	D22			LCD0_DATA14		SSITxD3	MLB_DAT注1									
P6_7	P6_7	D23			LCD0_DATA15	SSIRxD3		IRQ0		TIOC3A		RLIN30 RX注1					TRACEDATA0注3
P6_8	P6_8	D24			LCD0_DATA16	SSISCK0		IRQ1		TIOC3B			RLIN30 TX注1				TRACEDATA1注3
P6_9	P6_9	D25			LCD0_DATA17	SSIWS0		IRQ2		TIOC3C							TRACEDATA2注3
P6_10	P6_10	D26			LCD0_DATA18		SSITxD0	IRQ3		TIOC3D			CAN1TX				TRACEDATA3注3
P6_11	P6_11	D27			LCD0_DATA19	SSIRxD0		SSIDATA2		SCK0		CAN1RX					TRACECTL注3
P6_12	P6_12	D28			LCD0_DATA20	RSPCK1		SSISCK2		$\overline{\text{RTS0}}$		DV0_DATA0					
P6_13	P6_13	D29			LCD0_DATA21	SSL10		SSIWS2		$\overline{\text{CTS0}}$		DV0_DATA1					
P6_14	P6_14	D30			LCD0_DATA22	MOSI1		SSIDATA2		RxD0		DV0_DATA2					
P6_15	P6_15	D31			LCD0_DATA23	MISO1					TxD0	DV0_DATA3					

注1.　RZ/A1L のみ
注2.　RZ/A1LU のみ
注3.　RZ/A1LU と RZ/A1LC のみ

表41.24　制御レジスタ（P6）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P6	16	15 ～ 0	R/W	H'0018	H'0000
PSR6	32	31 ～ 16、15 ～ 0	W、R/W	H'0118	H'0000_0000
PPR6	16	15 ～ 0	R	H'0218	H'0000
PM6	16	15 ～ 0	R/W	H'0318	H'FFFF 注.
PMC6	16	15 ～ 0	R/W	H'0418	H'0000 注.
PFC6	16	15 ～ 0	R/W	H'0518	H'0000 注.
PFCE6	16	15 ～ 0	R/W	H'0618	H'0000 注.
PNOT6	16	15 ～ 0	W	H'0718	H'0000
PMSR6	32	31 ～ 16、15 ～ 0	W、R/W	H'0818	H'0000_FFFF
PMCSR6	32	31 ～ 16、15 ～ 0	W、R/W	H'0918	H'0000_0000
PFCAE6	16	15 ～ 0	R/W	H'0A18	H'0000 注.
PIBC6	16	15 ～ 0	R/W	H'4018	H'0000
PBDC6	16	15 ～ 0	R/W	H'4118	H'0000
PIPC6	16	15 ～ 0	R/W	H'4218	H'0000

【注意】
ウォッチドッグタイマによる内部パワーオンリセットでは、PM6[0]、PMC6[0]、PFC6[0]、PFCE6[0]、PFCAE6[0] は初期化されません。

41.13　ポート 7（P7）

表41.25　端子機能（P7）

ポートモード		兼用モード																	
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用		第6兼用		第7兼用		第8兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P7_0	P7_0	LCD0_EXTCLK		MMC_CD		SD_CD_1			SPDIF_OUT	TIOC2A		DV0_DATA4		SCI_SCK0			TRACECLK 注2
P7_1	P7_1		$\overline{CS1}$		AUDIO_XOUT	SD_WP_1			TxD2			DV0_DATA5		SCI_RXD0/IrRXD			
P7_2	P7_2		$\overline{CS4}$	MMC_D1		SD_D1_1		IRQ4		CAN0RX		DV0_DATA6			SCI_TXD0/IrTXD		
P7_3	P7_3		$\overline{CS5}$	MMC_D0		SD_D0_1		IRQ3			CAN0TX	DV0_DATA7		$\overline{SCI_CTS0/RTS0}$			
P7_4	P7_4	$\overline{WAIT}$			MMC_CLK		SD_CLK_1				IETxD 注1		LCD0_CLK	SCI_SCK1			
P7_5	P7_5		$\overline{BS}$	MMC_CMD		SD_CMD_1			TxD0	IERxD 注1			LCD0_TCON4	SCI_RXD1			
P7_6	P7_6		$\overline{WE2}$/DQMUL	MMC_D3		SD_D3_1		IRQ6		$\overline{CTS2}$			LCD0_TCON5		SCI_TXD1		
P7_7	P7_7		$\overline{WE3}$/DQMUU/AH	MMC_D2		SD_D2_1		IRQ5		$\overline{RTS2}$			LCD0_TCON6	$\overline{SCI_CTS1/RTS1}$			
P7_8	P7_8		$\overline{CS2}$	SSISCK1		DV0_CLK		IRQ3			TxD0						
P7_9	P7_9		A25	SSIWS1		DV0_VSYNC		IRQ5		SCK3		TIOC1A					
P7_10	P7_10		TEND0		SSITxD1	DV0_HSYNC				RxD3							
P7_11	P7_11		DACK0	SSIRxD1		CAN_CLK		SCK2			TxD3		AUDIO_XOUT		AUDIO_XOUT3		

注1.　RZ/A1L のみ
注2.　RZ/A1LU と RZ/A1LC のみ

表41.26　制御レジスタ（P7）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P7	16	11 ～ 0	R/W	H'001C	H'0000
PSR7	32	27 ～ 16、11 ～ 0	W、R/W	H'011C	H'0000_0000
PPR7	16	11 ～ 0	R	H'021C	H'0000
PM7	16	11 ～ 0	R/W	H'031C	H'FFFF
PMC7	16	11 ～ 0	R/W	H'041C	H'0000
PFC7	16	11 ～ 0	R/W	H'051C	H'0000
PFCE7	16	11 ～ 0	R/W	H'061C	H'0000
PNOT7	16	11 ～ 0	W	H'071C	H'0000
PMSR7	32	27 ～ 16、11 ～ 0	W、R/W	H'081C	H'0000_FFFF
PMCSR7	32	27 ～ 16、11 ～ 0	W、R/W	H'091C	H'0000_0000
PFCAE7	16	11 ～ 0	R/W	H'0A1C	H'0000
PIBC7	16	11 ～ 0	R/W	H'401C	H'0000
PBDC7	16	11 ～ 0	R/W	H'411C	H'0000
PIPC7	16	11 ～ 0	R/W	H'421C	H'0000

【注意】
有効ビットが存在しない部分は初期値が読めます。書く場合は、初期値をライトしてください。

41.14 ポート 8（P8）

表41.27　端子機能（P8）

ポートモード		兼用モード									
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P8_0	P8_0		LCD0_DATA0		ET_TXD0	SSISCK1		SCK3			
P8_1	P8_1		LCD0_DATA1		ET_TXD1	SSIWS1		RxD3			
P8_2	P8_2		LCD0_DATA2		ET_TXD2		SSITxD1		TxD3		
P8_3	P8_3		LCD0_DATA3		ET_TXD3	SSIRxD1					
P8_4	P8_4		LCD0_DATA4	ET_TXCLK				$\overline{\text{CTS2}}$		TIOC0A	
P8_5	P8_5		LCD0_DATA5		ET_TXER			$\overline{\text{RTS2}}$		TIOC0B	
P8_6	P8_6		LCD0_DATA6		ET_TXEN	IRQ6		$\overline{\text{CTS1}}$		TIOC0C	
P8_7	P8_7		LCD0_DATA7	ET_RXD0		IRQ7		$\overline{\text{RTS1}}$		TIOC0D	
P8_8	P8_8		LCD0_TCON0	ET_RXD1			AUDIO_XOUT	SCK2			AUDIO_XOUT3
P8_9	P8_9		LCD0_TCON1	ET_RXD2			CAN1TX	RxD2			AUDIO_XOUT2
P8_10	P8_10		LCD0_TCON2	ET_RXD3		CAN1RX			TxD2		
P8_11	P8_11		LCD0_TCON3			SSISCK2		SCK4			
P8_12	P8_12		LCD0_TCON4	SPDIF_IN		SSIWS2		RxD4			
P8_13	P8_13		LCD0_TCON5		SPDIF_OUT	SSIDATA2			TxD4		
P8_14	P8_14		LCD0_TCON6	ET_COL		SD_CD_0		SCK1			
P8_15	P8_15			ET_CRS		SD_WP_0		RxD1			

表41.28　制御レジスタ（P8）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P8	16	15 ～ 0	R/W	H'0020	H'0000
PSR8	32	31 ～ 16、15 ～ 0	W、R/W	H'0120	H'0000_0000
PPR8	16	15 ～ 0	R	H'0220	H'0000
PM8	16	15 ～ 0	R/W	H'0320	H'FFFF
PMC8	16	15 ～ 0	R/W	H'0420	H'0000
PFC8	16	15 ～ 0	R/W	H'0520	H'0000
PFCE8	16	15 ～ 0	R/W	H'0620	H'0000
PNOT8	16	15 ～ 0	W	H'0720	H'0000
PMSR8	32	31 ～ 16、15 ～ 0	W、R/W	H'0820	H'0000_FFFF
PMCSR8	32	31 ～ 16、15 ～ 0	W、R/W	H'0920	H'0000_0000
PFCAE8	16	15 ～ 0	R/W	H'0A20	H'0000
PIBC8	16	15 ～ 0	R/W	H'4020	H'0000
PBDC8	16	15 ～ 0	R/W	H'4120	H'0000
PIPC8	16	15 ～ 0	R/W	H'4220	H'0000

41.15 ポート 9（P9）

表41.29　端子機能（P9）

ポートモード		兼用モード									
		第1兼用		第2兼用		第3兼用		第4兼用		第5兼用	
入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
P9_0	P9_0				ET_MDC	SD_D1_0			TxD1		
P9_1	P9_1			ET_MDIO		SD_D0_0		$\overline{\text{CTS0}}$			
P9_2	P9_2	RSPCK2		ET_RXCLK			SD_CLK_0	$\overline{\text{RTS0}}$		TIOC1A	
P9_3	P9_3	SSL20		ET_RXER		SD_CMD_0		SCK0		TIOC1B	
P9_4	P9_4	MOSI2		ET_RXDV		SD_D3_0		RxD0		TIOC2A	
P9_5	P9_5	MISO2				SD_D2_0			TxD0	TIOC2B	

表41.30　制御レジスタ（P9）

レジスタ	レジスタサイズ	有効ビット		オフセットアドレス <PORTn_base>	初期値
		位置	R/W		
P9	16	5 ～ 0	R/W	H'0024	H'0000
PSR9	32	21 ～ 16、5 ～ 0	W、R/W	H'0124	H'0000_0000
PPR9	16	5 ～ 0	R	H'0224	H'0000
PM9	16	5 ～ 0	R/W	H'0324	H'FFFF
PMC9	16	5 ～ 0	R/W	H'0424	H'0000
PFC9	16	5 ～ 0	R/W	H'0524	H'0000
PFCE9	16	5 ～ 0	R/W	H'0624	H'0000
PNOT9	16	5 ～ 0	W	H'0724	H'0000
PMSR9	32	21 ～ 16、5 ～ 0	W、R/W	H'0824	H'0000_FFFF
PMCSR9	32	21 ～ 16、5 ～ 0	W、R/W	H'0924	H'0000_0000
PFCAE9	16	5 ～ 0	R/W	H'0A24	H'0000
PIBC9	16	5 ～ 0	R/W	H'4024	H'0000
PBDC9	16	5 ～ 0	R/W	H'4124	H'0000
PIPC9	16	5 ～ 0	R/W	H'4224	H'0000

【注意】
有効ビットが存在しない部分は初期値が読めます。書く場合は、初期値をライトしてください。

41.16 ポート制御論理図

ポート制御機能の論理図を次に示します。

【注意】
この図は参考に論理を示すもので、実際の回路を示すものではありません。

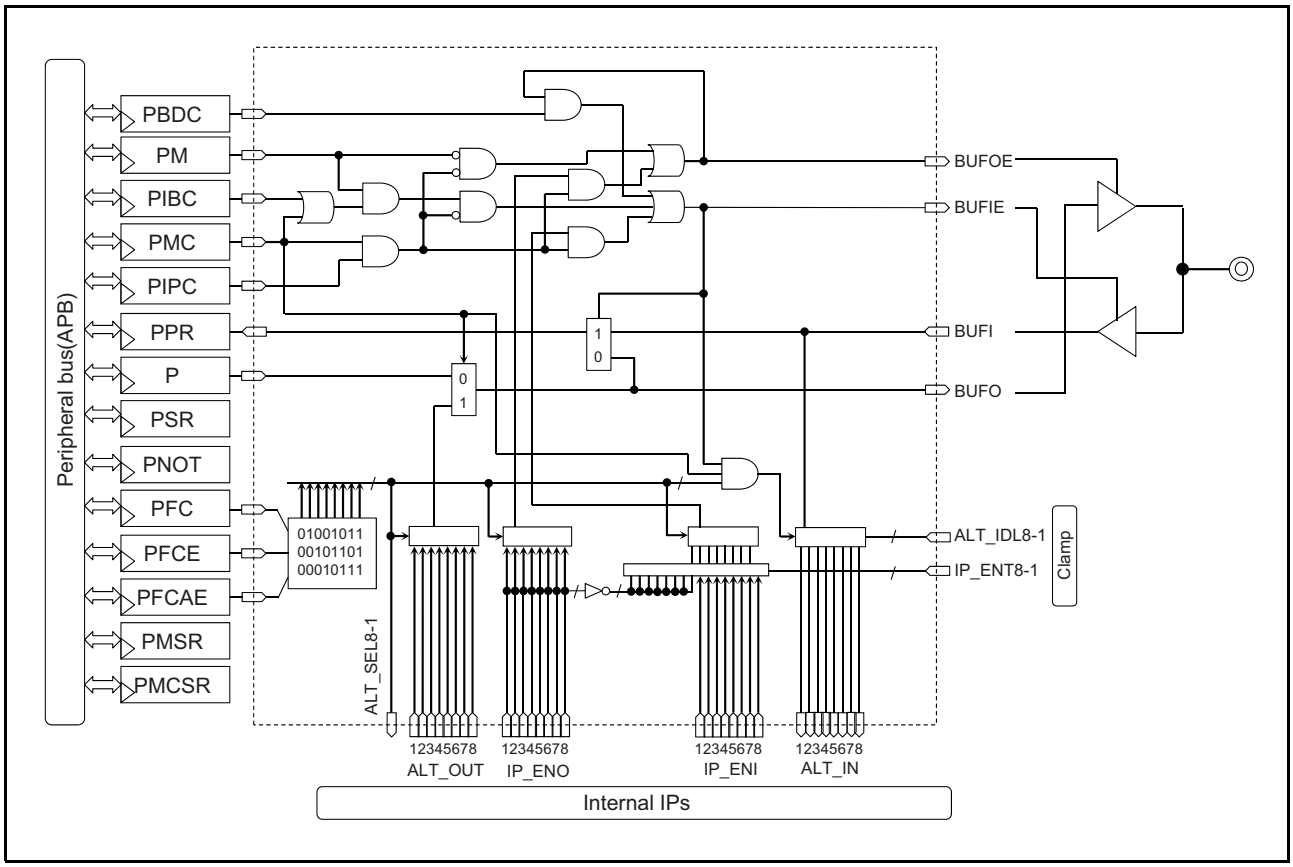


図 41.1　ポート制御論理図

41.17　ポート設定のフロー例

Pn_m 端子を、ポートモードに設定する場合のフロー例を（a）に、S/W I/O 制御兼用モードに設定する場合のフロー例を（b）に、直接 I/O 制御兼用モードに設定する場合のフロー例をフロー例を（c）に示します。

(a)　ポートモードの場合

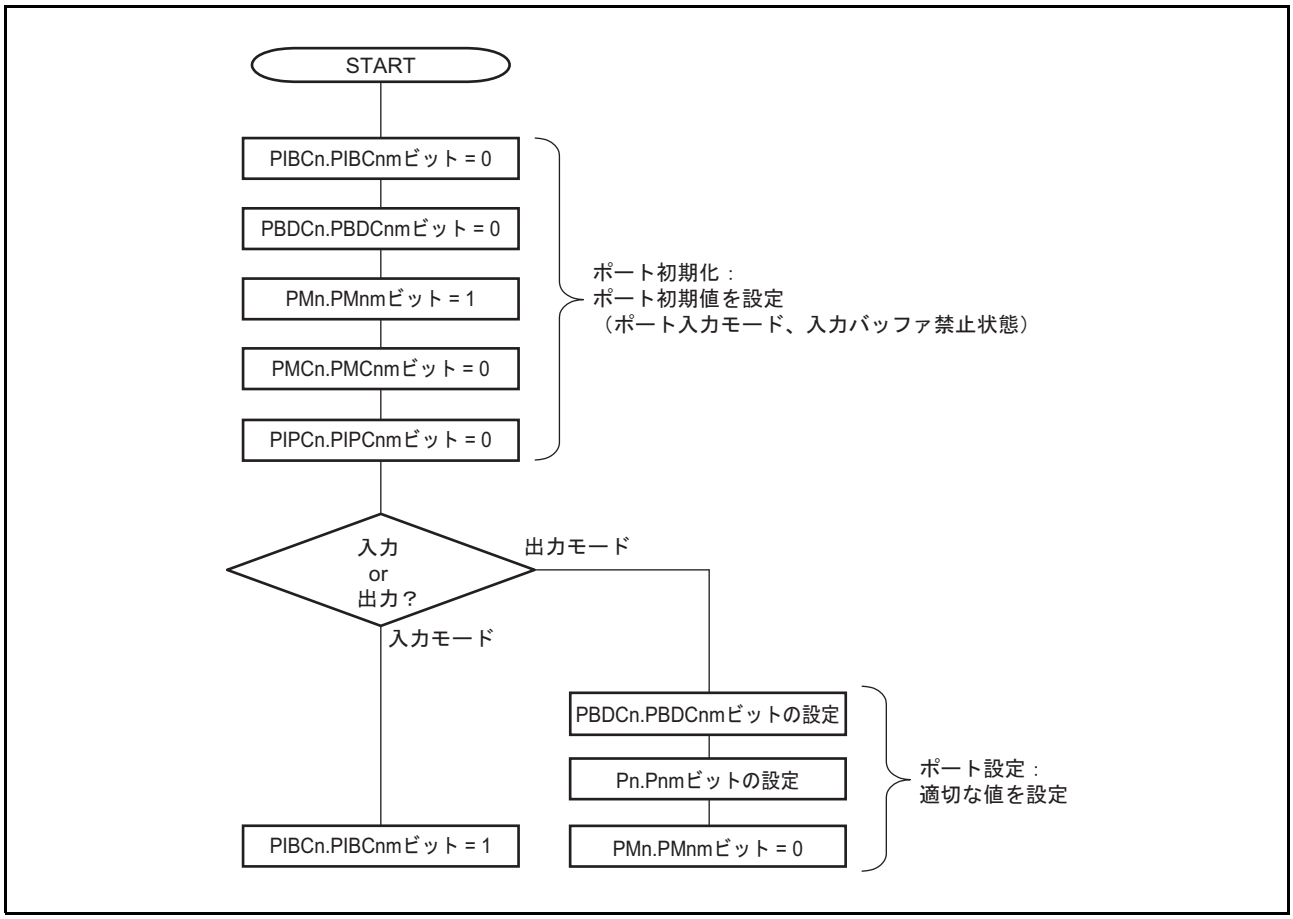


図 41.2　ポート設定のフロー例（ポートモードの場合）（a）

(b)　S/W I/O 制御兼用モードの場合

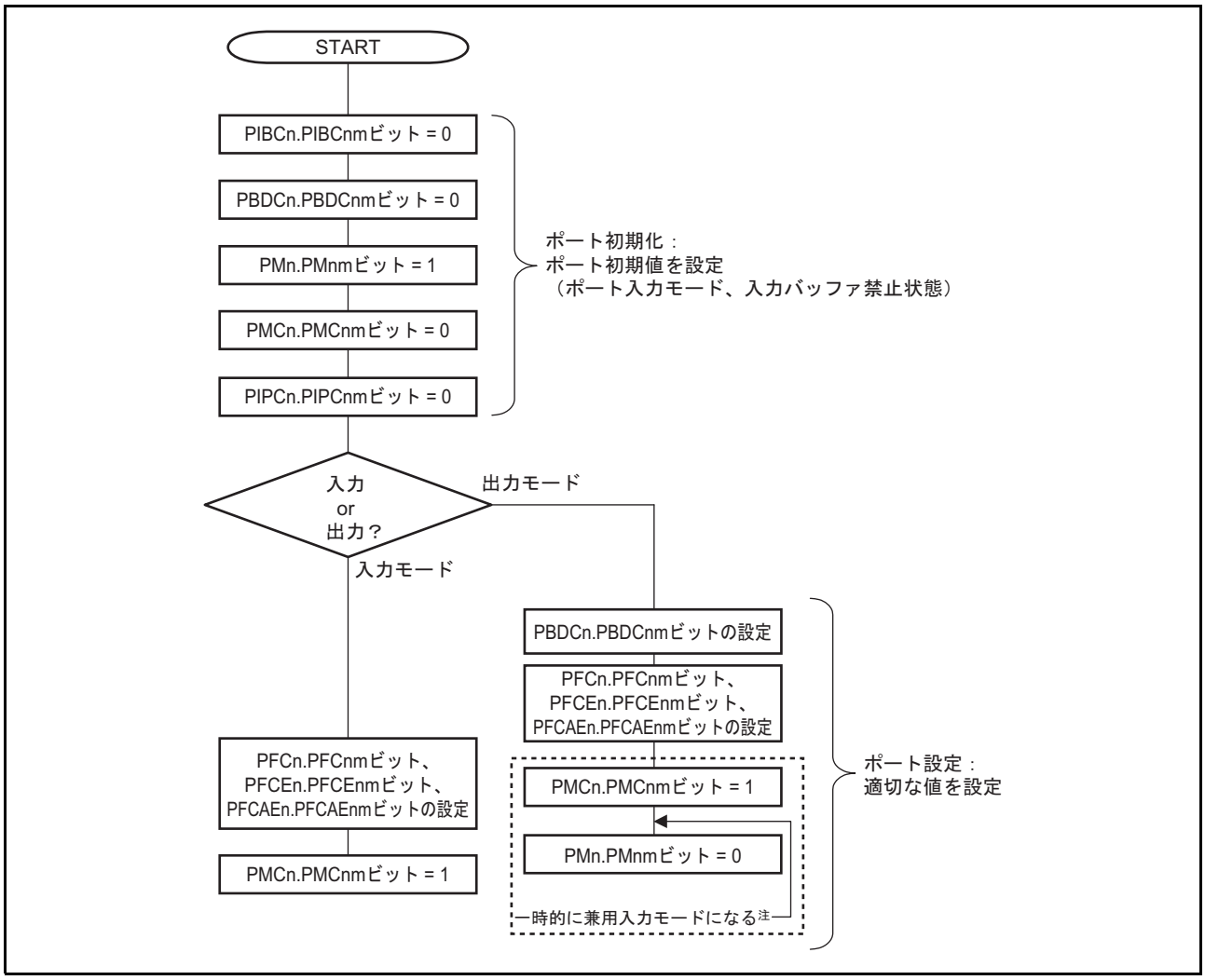


図 41.3　ポート設定のフロー例（S/W I/O 制御兼用モードの場合）（b）

【注意】
Pn_m 端子を S/W I/O 制御兼用モードの出力モードに設定するとき、PMCn.PMCnm ビット =1 の設定から PMn.PMnm ビット =0 の設定までのタイミングで、一時的に兼用入力モードになります。このため、ポート兼用機能として割り込み関連信号が設定されている場合は割り込みが動作しない、または無視されるように設定してください。

(c)　直接I/O制御兼用モードの場合

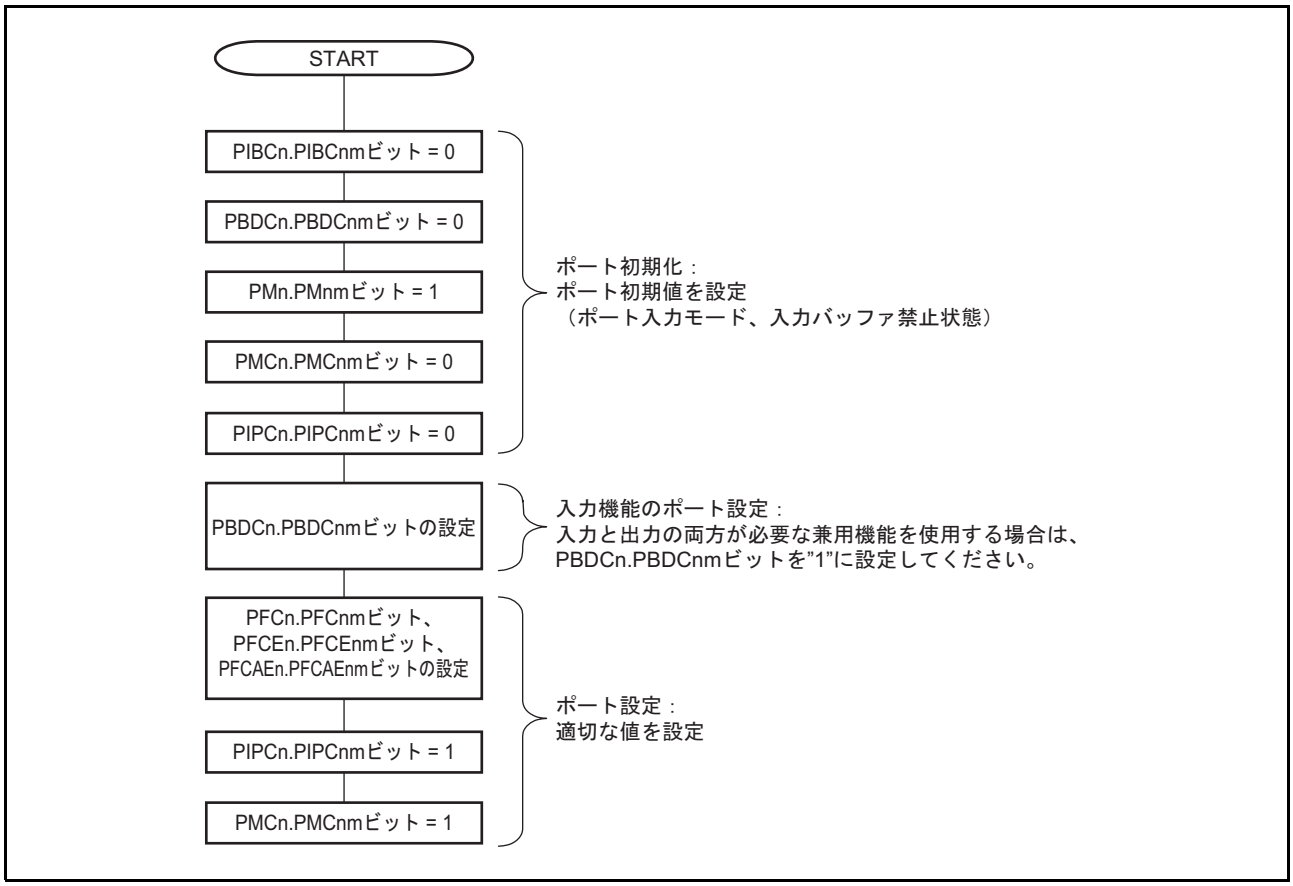


図 41.4　ポート設定のフロー例（直接 I/O 制御兼用モードの場合）（c）

42. 低消費電力モード

本 LSI は、低消費電力モードとしてスリープモード、ソフトウェアスタンバイモード、ディープスタンバイモード、モジュールスタンバイ機能をサポートしています。低消費電力モードでは、CPU、クロック、内蔵メモリ、一部内蔵周辺モジュール等の機能を停止したり、電源をオフにしたりすることにより、消費電力を低減させることができます。低消費電力モードは、リセットまたは割り込み等によって解除されます。

42.1 特長

42.1.1 処理状態および低消費電力モードの種類

(1) 処理状態

本 LSI の処理状態には、リセット状態、プログラム実行状態、低消費電力モードの 3 種類があります。状態間の遷移を図 42.1 に示します。

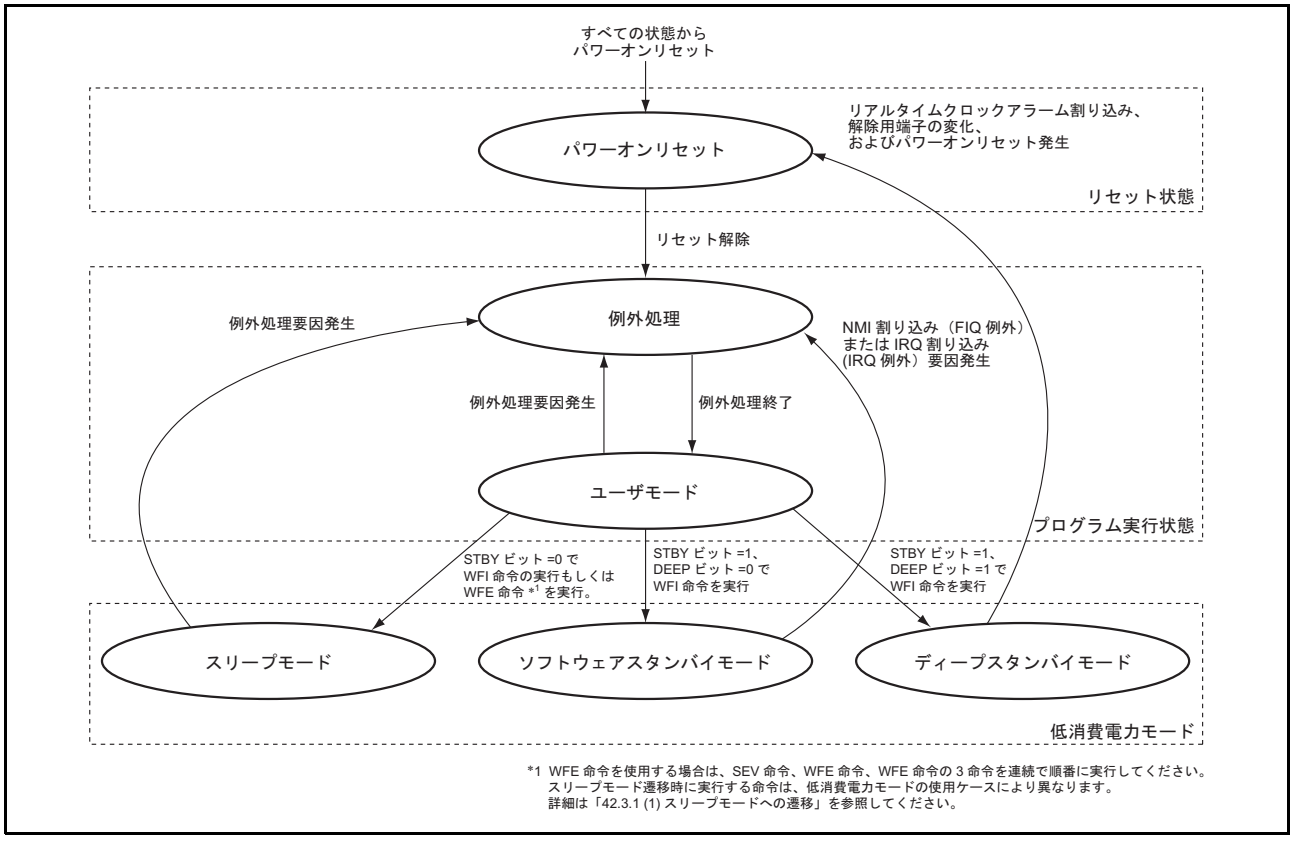


図 42.1　処理状態の状態遷移図

(2) 低消費電力モード

低消費電力モードには、次のようなモード、機能があります。

1. スリープモード
2. ソフトウェアスタンバイモード
3. ディープスタンバイモード
4. モジュールスタンバイ機能

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、および各モードの解除方法を、**表 42.1** に示します。

表42.1　　低消費電力モードの状態

低消費電力モード	遷移条件	状態							解除方法
		CPU、CPUレジスタ、1次キャッシュ、TLB	2次キャッシュ	大容量内蔵RAM（保持用内蔵RAM含む）	内蔵周辺モジュール	リアルタイムクロック	LSI内部電源	外部メモリ	
スリープモード	STBCR1のSTBYビットが0の状態でWFI命令もしくはWFE命令*6 を実行	停止 内容は保持*4	動作	動作	動作	動作*1	印加	オートリフレッシュにしてください	・割り込み ・パワーオンリセット
ソフトウェアスタンバイモード	STBCR1のSTBYビットが1、DEEPビットが0の状態でWFI命令を実行	停止 内容は保持*4	停止 内容は保持*4	停止 内容は保持*5	停止	動作*1	印加	セルフリフレッシュにしてください	・NMI、IRQ割り込み ・パワーオンリセット
ディープスタンバイモード	STBCR1のSTBYビットとDEEPビットが1の状態でWFI命令を実行	停止 内容は非保持	停止 内容は非保持	停止 保持用内蔵RAMの内容は保持*2 その他の大容量内蔵RAMは非保持	停止	動作*1	遮断	セルフリフレッシュにしてください	・パワーオンリセット*3 ・リアルタイムクロックアラーム割り込み*3 ・解除用端子の変化*3
モジュールスタンバイモード	STBCR13～STBCR2のMSTPビットを1とする	動作	動作	動作	指定モジュール停止	停止	印加	オートリフレッシュにしてください	・MSTPビットを0にクリア

注 1.　リアルタイムクロックは RCR2 レジスタの START ビットが 1 のとき動作します。詳細は「13.　リアルタイムクロック」を参照してください。なお、パワーオンリセットによりディープスタンバイモードを解除した場合、動作状態を保持することができません。再度、リアルタイムクロックの初期設定を行ってください。

注 2.　RRAMKP レジスタの RRAMKP3 ～ RRAMKP0 ビットを 1 にセットすると保持用内蔵 RAM の対象エリアの内容を、ディープスタンバイモード遷移時に保持することができます。ただし、パワーオンリセットによりディープスタンバイモードを解除した場合､保持している内容は初期化されます。

注 3.　ディープスタンバイモードは、パワーオンリセット、リアルタイムクロックアラーム割り込み、解除用端子 (P2_0, P2_2, P2_7, P2_9, P5_8, P5_9, P5_10, P6_7, P7_2, P7_3, P7_6, P7_9,NMI) の変化により解除されます。
また、パワーオンリセット以外によってディープスタンバイモードを解除する場合も、割り込み例外処理ではなくリセット例外処理が実行されます。

注 4.　パワーオンリセットにより、スリープモード／ソフトウェアスタンバイモードを解除した場合、保持した内容は初期化されます。

注 5.　SYSCR1 レジスタの VRAME ビットおよび SYSCR2 レジスタの VRAMWE ビットがイネーブルのとき、パワーオンリセットでソフトウェアスタンバイモードを解除した場合、保持した内容は初期化されます。
SYSCR1 レジスタの VRAME ビットまたは SYSCR2 レジスタの VRAMWE ビットがディスエーブルのとき、パワーオンリセットでソフトウェアスタンバイモードを解除した場合、保持し続けることができます。
ただし、ブートモード 1 ～ 3 のとき、ブートプログラムがワークメモリとして H'2002_0000 ～ H'2002_3FFF 番地の領域を使用し、ブートモード 2、3 のとき、外部フラッシュからプログラム 28K バイトを H'2002_4000 ～ H'2002_AFFF 番地に転送します。
詳細は「3.　ブートモード」を参照してください。

注 6.　WFE 命令を使用する場合は、SEV 命令、WFE 命令、WFE 命令の 3 命令を連続で順番に実行してください。
スリープモード遷移時に実行する命令は、低消費電力モードの使用ケースにより異なります。詳細は「42.3.1 (1)　スリープモードへの遷移」を参照してください。

42.2　レジスタの説明

表 42.2 にレジスタ構成を示します。

表42.2　　レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
スタンバイコントロールレジスタ 1	STBCR1	R/W	H'00	H'FCFE0020	8
スタンバイコントロールレジスタ 2	STBCR2	R/W	H'6A	H'FCFE0024	8
スタンバイコントロールレジスタ 3	STBCR3	R/W	H'FD	H'FCFE0420	8
スタンバイコントロールレジスタ 4	STBCR4	R/W	H'FF	H'FCFE0424	8
スタンバイコントロールレジスタ 5	STBCR5	R/W	H'FF	H'FCFE0428	8
スタンバイコントロールレジスタ 6	STBCR6	R/W	H'FE	H'FCFE042C	8
スタンバイコントロールレジスタ 7	STBCR7	R/W	H'3F	H'FCFE0430	8
スタンバイコントロールレジスタ 8	STBCR8	R/W	H'FF	H'FCFE0434	8
スタンバイコントロールレジスタ 9	STBCR9	R/W	H'FF	H'FCFE0438	8
スタンバイコントロールレジスタ 10	STBCR10	R/W	H'FF	H'FCFE043C	8
スタンバイコントロールレジスタ 11	STBCR11	R/W	H'FF	H'FCFE0440	8
スタンバイコントロールレジスタ 12	STBCR12	R/W	H'FF	H'FCFE0444	8
ソフトウェアリセットコントロールレジスタ 1	SWRSTCR1	R/W	H'00	H'FCFE0460	8
ソフトウェアリセットコントロールレジスタ 2 (RZ/A1LU のみ)	SWRSTCR2	R/W	H'00	H'FCFE0464	8
システムコントロールレジスタ 1	SYSCR1	R/W	H'FF	H'FCFE0400	8
システムコントロールレジスタ 2	SYSCR2	R/W	H'FF	H'FCFE0404	8
システムコントロールレジスタ 3	SYSCR3	R/W	H'00	H'FCFE0408	8
CPU ステータスレジスタ	CPUSTS	R	H’00	H’FCFE0018	8
スタンバイリクエストレジスタ 1	STBREQ1	R/W	H’00	H’FCFE0030	8
スタンバイリクエストレジスタ 2	STBREQ2	R/W	H’00	H’FCFE0034	8
スタンバイアクノリッジレジスタ 1	STBACK1	R	H’00	H’FCFE0040	8
スタンバイアクノリッジレジスタ 2	STBACK2	R	H’00	H’FCFE0044	8
保持用内蔵 RAM 保持エリア指定レジスタ	RRAMKP	R/W	H'00	H'FCFF1800	8
ディープスタンバイコントロールレジスタ	DSCTR	R/W	H'00	H'FCFF1802	8
ディープスタンバイ解除要因セレクトレジスタ	DSSSR	R/W	H'0000	H'FCFF1804	16
ディープスタンバイ解除エッジセレクトレジスタ	DSESR	R/W	H'0000	H'FCFF1806	16
ディープスタンバイ解除要因フラグレジスタ	DSFR	R/W	H'0000	H'FCFF1808	16
XTAL 水晶発振器ゲインコントロールレジスタ	XTALCTR	R/W	H'00	H'FCFF1810	8

42.2.1　スタンバイコントロールレジスタ 1（STBCR1）

STBCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、低消費電力モードの状態を指定します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	STBY	DEEP	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 6	STBY DEEP	0 0	R/W R/W	ソフトウェアスタンバイ、ディープスタンバイ ソフトウェアスタンバイモード、ディープスタンバイモードへの遷移を指定します。 0x：WFI 命令もしくは WFE 命令*1 実行で、スリープモードへ遷移 10：WFI 命令の実行で、ソフトウェアスタンバイモードへ遷移*2 11：WFI 命令の実行で、ディープスタンバイモードへ遷移*2 *1 WFE 命令を使用する場合は、SEV 命令、WFE 命令、WFE 命令の 3 命令を連続で順番に実行してください。スリープモード遷移時に実行する命令は、低消費電力モードの使用ケースにより異なります。詳細は「42.3.1 (1)　スリープモードへの遷移」を参照してください。 *2 STBCR1 の STBY ビットが 1 の状態で WFE 命令を実行しないでください。
5 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

【記号説明】x：Don’t care

42.2.2　スタンバイコントロールレジスタ 2（STBCR2）

STBCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	HIZ	-	-	-	-	-	-	MSTP20
初期値：	0	1	1	0	1	0	1	0
R/W：	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7	HIZ	0	R/W	ポートハイインピーダンス ソフトウェアスタンバイモード時およびディープスタンバイモード時に、特定の出力端子の状態を保持するか、ハイインピーダンスにするかを選択します。どの端子を制御するかは、「48.　端子状態と処理方法」の「48.1　端子状態」を参照してください。 0：ソフトウェアスタンバイモード時およびディープスタンバイモード時に端子状態を保持する 1：ソフトウェアスタンバイモード時およびディープスタンバイモード時　に端子状態をハイインピーダンスにする
6、5	―	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	―	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
2	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	―	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
0	MSTP20	0	R/W	モジュールストップ20* MSTP20 ビットを1にセットするとCoreSightへのクロックの供給を停止します。 0：CoreSightは動作 1：CoreSightへのクロックの供給を停止

注 . * モジュールストップへの遷移および解除で手順があります。「42.3.5　モジュールスタンバイ機能」を参照してください。

42.2.3　スタンバイコントロールレジスタ 3（STBCR3）

STBCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP37 *1	MSTP36	MSTP35 *1	-	MSTP33	MSTP32	MSTP31	-
初期値：	1	1	1	1	1	1	0	1
R/W：	R/W	R/W	R/W	R	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7	MSTP37 *1	1	R/W	モジュールストップ37 MSTP37ビットを1にセットするとIEBus™コントローラへのクロックの供給を停止します。 0：IEBus™コントローラは動作 1：IEBus™コントローラへのクロックの供給を停止
6	MSTP36	1	R/W	モジュールストップ36 MSTP36ビットを1にセットするとシリアルコミュニケーションインタフェース（IrDA）へのクロックの供給を停止します。 0：シリアルコミュニケーションインタフェース（IrDA）は動作 1：シリアルコミュニケーションインタフェース（IrDA）へのクロックの供給を停止
5	MSTP35 *1	1	R/W	モジュールストップ35 MSTP35ビットを1にセットするとLINインタフェースチャネル0へのクロックの供給を停止します。 0：LINインタフェースチャネル0は動作 1：LINインタフェースチャネル0へのクロックの供給を停止
4	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
3	MSTP33	1	R/W	モジュールストップ33 MSTP33ビットを1にセットするとマルチファンクションタイマパルスユニット2へのクロックの供給を停止します。 0：マルチファンクションタイマパルスユニット2は動作 1：マルチファンクションタイマパルスユニット2へのクロックの供給を停止
2	MSTP32	1	R/W	モジュールストップ32 MSTP32ビットを1にセットするとCANインタフェースへのクロックの供給を停止します。 0：CANインタフェースは動作 1：CANインタフェースへのクロックの供給を停止
1	MSTP31	0	R/W	モジュールストップ31 MSTP31ビットを1にするとA/D変換器へのクロックの供給を停止し、A/D変換器内部のアナログ電源を遮断します。 0：A/D変換器内部のクロックとアナログ電圧を供給 1：A/D変換器内部のクロックとアナログ電圧を遮断
0	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

注．　*1　本ビットはRZ/A1Lにのみ実装されています。RZ/A1LU, RZ/A1LCでは書き込む値は常に1にしてください。

42.2.4　スタンバイコントロールレジスタ 4（STBCR4）

STBCR4 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	-	-	-
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	MSTP47	1	R/W	モジュールストップ47 MSTP47ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル0へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル0は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル0へのクロックの供給を停止
6	MSTP46	1	R/W	モジュールストップ46 MSTP46ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル1へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル1は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル1へのクロックの供給を停止
5	MSTP45	1	R/W	モジュールストップ45 MSTP45ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル2へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル2は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル2へのクロックの供給を停止
4	MSTP44	1	R/W	モジュールストップ44 MSTP44ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル3へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル3は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル3へのクロックの供給を停止
3	MSTP43	1	R/W	モジュールストップ43 MSTP43ビットを1にセットするとFIFO内蔵シリアルコミュニケーションインタフェースチャネル4へのクロックの供給を停止します。 0：FIFO内蔵シリアルコミュニケーションインタフェースチャネル4は動作 1：FIFO内蔵シリアルコミュニケーションインタフェースチャネル4へのクロックの供給を停止
2 ～ 0	－	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

42.2.5　スタンバイコントロールレジスタ 5（STBCR5）

STBCR5 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP57	MSTP56	-	-	-	-	MSTP51	MSTP50
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7	MSTP57	1	R/W	モジュールストップ57 MSTP57ビットを1にセットするとシリアルコミュニケーションインタフェース（SCI）チャネル0へのクロックの供給を停止します。 0：シリアルコミュニケーションインタフェース（SCI）チャネル0は動作 1：シリアルコミュニケーションインタフェース（SCI）チャネル0へのクロックの供給を停止
6	MSTP56	1	R/W	モジュールストップ56 MSTP56ビットを1にセットするとシリアルコミュニケーションインタフェース（SCI）チャネル1へのクロックの供給を停止します。 0：シリアルコミュニケーションインタフェース（SCI）チャネル1は動作 1：シリアルコミュニケーションインタフェース（SCI）チャネル1へのクロックの供給を停止
5～2	―	すべて1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	MSTP51	1	R/W	モジュールストップ51 MSTP51ビットを1にセットするとOSタイマチャネル0へのクロックの供給を停止します。 0：OSタイマチャネル0は動作 1：OSタイマチャネル0へのクロックの供給を停止
0	MSTP50	1	R/W	モジュールストップ50 MSTP50ビットを1にセットするとOSタイマチャネル1へのクロックの供給を停止します。 0：OSタイマチャネル1は動作 1：OSタイマチャネル1へのクロックの供給を停止

42.2.6　スタンバイコントロールレジスタ 6（STBCR6）

STBCR6 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP67	MSTP66	-	-	-	-	MSTP61*1	MSTP60
初期値：	1	1	1	1	1	1	1	0
R/W：	R/W	R/W	R	R	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	MSTP67	1	R/W	モジュールストップ67 MSTP67 ビットを 1 にセットすると A/D 変換器へのクロックの供給を停止します。 0：A/D 変換器は動作 1：A/D 変換器へのクロックの供給を停止
6	MSTP66	1	R/W	モジュールストップ66* MSTP66 ビットを 1 にセットするとキャプチャエンジンユニットへのクロックの供給を停止します。 0：キャプチャエンジンユニットは動作 1：キャプチャエンジンユニットへのクロックの供給を停止
5 ～ 2	―	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	MSTP61 *1	1	R/W	モジュールストップ61* MSTP61 ビットを 1 にセットすると JPEG コーデックユニットへのクロックの供給を停止します。 0：JPEG コーデックユニットは動作 1：JPEG コーデックユニットへのクロックの供給を停止
0	MSTP60	0	R/W	モジュールストップ60 MSTP60 ビットを 1 にセットするとリアルタイムクロックへのクロックの供給を停止します。 0：リアルタイムクロックは動作 1：リアルタイムクロックへのクロックの供給を停止 注．　リアルタイムクロックを停止する場合、以下のリアルタイムクロックのレジスタ設定を行ってください。 • コントロールレジスタ 2（RCR2）の RTCEN ビットを 0 に設定 • コントロールレジスタ 5（RCR5）の RCKSEL[1:0] ビットを 00 に設定 上記の設定の後に、MSTP60 ビットを 1 に設定してください。

注．　*　モジュールストップへの遷移および解除で手順があります。「42.3.5　モジュールスタンバイ機能」を参照してください。
注．　*1 本ビットは RZ/A1LU にのみ実装されています。RZ/A1L, RZ/A1LC では書き込む値は常に 1 にしてください。

42.2.7　スタンバイコントロールレジスタ 7（STBCR7）

STBCR7 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	MSTP74	-	-	MSTP71	MSTP70
初期値：	0	0	1	1	1	1	1	1
R/W：	R	R	R	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	MSTP74	1	R/W	モジュールストップ74* MSTP74ビットを1にセットするとイーサネットコントローラへのクロックの供給を停止します。 0：イーサネットコントローラは動作 1：イーサネットコントローラへのクロックの供給を停止
3、2	—	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	MSTP71	1	R/W	モジュールストップ71 MSTP71ビットを1にセットするとUSB2.0ホスト／ファンクションモジュールチャネル0へのクロックの供給を停止します。 0：USB2.0ホスト／ファンクションモジュールチャネル0は動作 1：USB2.0ホスト／ファンクションモジュールチャネル0へのクロックの供給を停止
0	MSTP70	1	R/W	モジュールストップ70 MSTP70ビットを1にセットするとUSB2.0ホスト／ファンクションモジュールチャネル1へのクロックの供給を停止します。 0：USB2.0ホスト／ファンクションモジュールチャネル1は動作 1：USB2.0ホスト／ファンクションモジュールチャネル1へのクロックの供給を停止

注. * モジュールストップへの遷移および解除で手順があります。「42.3.5　モジュールスタンバイ機能」を参照してください。

42.2.8　スタンバイコントロールレジスタ 8（STBCR8）

STBCR8 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	MSTP84	MSTP83*1	MSTP82*2	MSTP81	-
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 5	—	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	MSTP84	1	R/W	モジュールストップ 84 MSTP84 ビットを 1 にセットすると MMC ホストインタフェースへのクロックの供給を停止します。 0：MMC ホストインタフェースは動作 1：MMC ホストインタフェースへのクロックの供給を停止
3	MSTP83*1	1	R/W	モジュールストップ 83* MSTP83 ビットを 1 にセットするとメディア・ローカル・バスへのクロックの供給を停止します。 0：メディア・ローカル・バスは動作 1：メディア・ローカル・バスへのクロックの供給を停止
2	MSTP82*2	1	R/W	モジュールストップ 82* MSTP82 ビットを 1 にセットすると EthernetAVB へのクロックの供給を停止します。 0：EthernetAVB は動作 1：EthernetAVB へのクロックの供給を停止
1	MSTP81	1	R/W	モジュールストップ 81 MSTP81 ビットを 1 にセットすると SCUX へのクロックの供給を停止します。 0：SCUX は動作 1：SCUX へのクロックの供給を停止
0	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

注 . *　モジュールストップへの遷移および解除で手順があります。「42.3.5　モジュールスタンバイ機能」を参照してください。
注 . *1　本ビットは RZ/A1L にのみ実装されています。RZ/A1LU, RZ/A1LC では書き込む値は常に 1 にしてください。
注 . *2　本ビットは RZ/A1LU にのみ実装されています。RZ/A1L, RZ/A1LC では書き込む値は常に 1 にしてください。

42.2.9　スタンバイコントロールレジスタ 9（STBCR9）

STBCR9 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP97	MSTP96	MSTP95	MSTP94	MSTP93	-	MSTP91	-
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7	MSTP97	1	R/W	モジュールストップ97 MSTP97ビットを1にセットするとI²Cバスインタフェースチャネル0へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル0は動作 1：I²Cバスインタフェースチャネル0へのクロックの供給を停止
6	MSTP96	1	R/W	モジュールストップ96 MSTP96ビットを1にセットするとI²Cバスインタフェースチャネル1へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル1は動作 1：I²Cバスインタフェースチャネル1へのクロックの供給を停止
5	MSTP95	1	R/W	モジュールストップ95 MSTP95ビットを1にセットするとI²Cバスインタフェースチャネル2へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル2は動作 1：I²Cバスインタフェースチャネル2へのクロックの供給を停止
4	MSTP94	1	R/W	モジュールストップ94 MSTP94ビットを1にセットするとI²Cバスインタフェースチャネル3へのクロックの供給を停止します。 0：I²Cバスインタフェースチャネル3は動作 1：I²Cバスインタフェースチャネル3へのクロックの供給を停止
3	MSTP93	1	R/W	モジュールストップ93 MSTP93ビットを1にセットするとSPIマルチI/Oバスコントローラチャネル0へのクロックの供給を停止します。 0：SPIマルチI/Oバスコントローラチャネル0は動作 1：SPIマルチI/Oバスコントローラチャネル0へのクロックの供給を停止
2	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
1	MSTP91	1	R/W	モジュールストップ91* MSTP91 ビットを 1 にセットするとビデオディスプレイコントローラ 5 へのクロックの供給を停止します。 0：ビデオディスプレイコントローラ 5 は動作 1：ビデオディスプレイコントローラ 5 へのクロックの供給を停止
0	—	1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

注 . * モジュールストップへの遷移および解除で手順があります。「42.3.5　モジュールスタンバイ機能」を参照してください。

42.2.10　スタンバイコントロールレジスタ 10（STBCR10）

STBCR10 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	MSTP107	MSTP106	MSTP105	-	-	MSTP102*1	MSTP101	-
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R	R	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7	MSTP107	1	R/W	モジュールストップ 107 MSTP107 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャネル 0 へのクロックの供給を停止します。 0：ルネサスシリアルペリフェラルインタフェースチャネル 0 は動作 1：ルネサスシリアルペリフェラルインタフェースチャネル 0 へのクロックの供給を停止
6	MSTP106	1	R/W	モジュールストップ 106 MSTP106 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャネル 1 へのクロックの供給を停止します。 0：ルネサスシリアルペリフェラルインタフェースチャネル 1 は動作 1：ルネサスシリアルペリフェラルインタフェースチャネル 1 へのクロックの供給を停止
5	MSTP105	1	R/W	モジュールストップ 105 MSTP105 ビットを 1 にセットするとルネサスシリアルペリフェラルインタフェースチャネル 2 へのクロックの供給を停止します。 0：ルネサスシリアルペリフェラルインタフェースチャネル 2 は動作 1：ルネサスシリアルペリフェラルインタフェースチャネル 2 へのクロックの供給を停止
4、3	―	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
2	MSTP102 *1	1	R/W	モジュールストップ 102 MSTP102 ビットを 1 にセットすると CD-ROM デコーダへのクロックの供給を停止します。 0：CD-ROM デコーダは動作 1：CD-ROM デコーダへのクロックの供給を停止
1	MSTP101	1	R/W	モジュールストップ 101 MSTP101 ビットを 1 にセットするとルネサス SPDIF インタフェースへのクロックの供給を停止します。 0：ルネサス SPDIF インタフェースは動作 1：ルネサス SPDIF インタフェースへのクロックの供給を停止
0	―	1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

注．　*1 本ビットは RZ/A1L にのみ実装されています。RZ/A1LU, RZ/A1LC では書き込む値は常に 1 にしてください。

42.2.11　スタンバイコントロールレジスタ 11（STBCR11）

STBCR11 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	MSTP115	MSTP114	MSTP113	MSTP112	-	-
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説　　明
7、6	－	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
5	MSTP115	1	R/W	モジュールストップ 115 MSTP115 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 0 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 0 は動作 1：シリアルサウンドインタフェースチャネル 0 へのクロックの供給を停止
4	MSTP114	1	R/W	モジュールストップ 114 MSTP114 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 1 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 1 は動作 1：シリアルサウンドインタフェースチャネル 1 へのクロックの供給を停止
3	MSTP113	1	R/W	モジュールストップ 113 MSTP113 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 2 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 2 は動作 1：シリアルサウンドインタフェースチャネル 2 へのクロックの供給を停止
2	MSTP112	1	R/W	モジュールストップ 112 MSTP112 ビットを 1 にセットするとシリアルサウンドインタフェースチャネル 3 へのクロックの供給を停止します。 0：シリアルサウンドインタフェースチャネル 3 は動作 1：シリアルサウンドインタフェースチャネル 3 へのクロックの供給を停止
1、0	－	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

42.2.12　スタンバイコントロールレジスタ 12（STBCR12）

STBCR12 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールの動作を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	MSTP123	MSTP122	MSTP121	MSTP120
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 4	－	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
3	MSTP123	1	R/W	モジュールストップ 123 MSTP123 ビットを 1 にセットすると SD ホストインタフェース 00 へのクロックの供給を停止します。 0：SD ホストインタフェース 00 は動作 1：SD ホストインタフェース 00 へのクロックの供給を停止
2	MSTP122	1	R/W	モジュールストップ 122 MSTP122 ビットを 1 にセットすると SD ホストインタフェース 01 へのクロックの供給を停止します。 0：SD ホストインタフェース 01 は動作 1：SD ホストインタフェース 01 へのクロックの供給を停止
1	MSTP121	1	R/W	モジュールストップ 121 MSTP121 ビットを 1 にセットすると SD ホストインタフェース 10 へのクロックの供給を停止します。 0：SD ホストインタフェース 10 は動作 1：SD ホストインタフェース 10 へのクロックの供給を停止
0	MSTP120	1	R/W	モジュールストップ 120 MSTP120 ビットを 1 にセットすると SD ホストインタフェース 11 へのクロックの供給を停止します。 0：SD ホストインタフェース 11 は動作 1：SD ホストインタフェース 11 へのクロックの供給を停止

【注】本レジスタの詳細は、「38.3.2　カード検出／ライトプロテクト」を参照してください。

42.2.13　ソフトウェアリセットコントロールレジスタ 1（SWRSTCR1）

SWRSTCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、シリアルサウンドインタフェースのソフトウェアリセット制御とオーディオ用水晶発振子の制御を行います。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	AXTALE	SRST16	SRST15	SRST14	SRST13	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	AXTALE	0	R/W	AUDIO_X1 クロック制御 AUDIO_X1 端子の機能を制御します。 0：内蔵水晶発振器を動作／外部クロック入力許可 1：内蔵水晶発振器を停止／外部クロック入力禁止
6	SRST16	0	R/W	シリアルサウンドインタフェースチャネル 0 ソフトウェアリセット シリアルサウンドインタフェースチャネル 0 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 0 のリセットを解除 1：シリアルサウンドインタフェースチャネル 0 をリセット状態
5	SRST15	0	R/W	シリアルサウンドインタフェースチャネル 1 ソフトウェアリセット シリアルサウンドインタフェースチャネル 1 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 1 のリセットを解除 1：シリアルサウンドインタフェースチャネル 1 をリセット状態
4	SRST14	0	R/W	シリアルサウンドインタフェースチャネル 2 ソフトウェアリセット シリアルサウンドインタフェースチャネル 2 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 2 のリセットを解除 1：シリアルサウンドインタフェースチャネル 2 をリセット状態
3	SRST13	0	R/W	シリアルサウンドインタフェースチャネル 3 ソフトウェアリセット シリアルサウンドインタフェースチャネル 3 のリセットをソフトウェアで制御します。 0：シリアルサウンドインタフェースチャネル 3 のリセットを解除 1：シリアルサウンドインタフェースチャネル 3 をリセット状態
2 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

42.2.14　ソフトウェアリセットコントロールレジスタ 2（SWRSTCR2）

本レジスタは、RZ/A1LU にのみ搭載しています。

SWRSTCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、各モジュールのソフトウェアリセット制御を行います。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	SRST21	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 2	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	SRST21	0	R/W	JPEGコーデックユニットソフトウェアリセット JPEGコーデックユニットのリセットをソフトウェアで制御します。 0：JPEGコーデックユニットのリセットを解除 1：JPEGコーデックユニットをリセット状態
0	－	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

42.2.15　システムコントロールレジスタ 1（SYSCR1）

SYSCR1 は、読み出し／書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのアクセス（リードおよびライト）の許可／禁止を設定します。

SYSCR1 の VRAMEn（n ＝ 0 ～ 4）ビットを 1 に設定するとページ n へのアクセスが有効になります。0 に設定するとページ n はアクセスできません。このとき、ページ n からのリードおよび命令フェッチは不定値が読み出され、ページ n へのライトは無視されます。初期値は 1 です。

SYSCR1 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR1 へのライトを実行する命令の直後に SYSCR1 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	VRAME4	VRAME3	VRAME2	VRAME1	VRAME0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 5	－	すべて 1	R	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
4	VRAME4	1	R/W	RAMイネーブル4（対象：大容量内蔵RAMのページ4*） 0：ページ4へのアクセス無効 1：ページ4へのアクセス有効
3	VRAME3	1	R/W	RAMイネーブル3（対象：大容量内蔵RAMのページ3*） 0：ページ3へのアクセス無効 1：ページ3へのアクセス有効
2	VRAME2	1	R/W	RAMイネーブル2（対象：大容量内蔵RAMのページ2*） 0：ページ2へのアクセス無効 1：ページ2へのアクセス有効
1	VRAME1	1	R/W	RAMイネーブル1（対象：大容量内蔵RAMのページ1*） 0：ページ1へのアクセス無効 1：ページ1へのアクセス有効
0	VRAME0	1	R/W	RAMイネーブル0（対象：大容量内蔵RAMのページ0*） 0：ページ0へのアクセス無効 1：ページ0へのアクセス有効

注．*各ページのアドレスについては、「40.　内蔵RAM」を参照してください。

42.2.16　システムコントロールレジスタ 2（SYSCR2）

SYSCR2 は、読み出し／書き込み可能な 8 ビットのレジスタで、大容量内蔵 RAM の各ページへのライト許可／禁止を設定します。

SYSCR2 の VRAMWEn（n=0 ～ 4）ビットを 1 に設定するとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 1 です。

SYSCR2 の設定は、大容量内蔵 RAM 空間以外にあるプログラムで行ってください。また、SYSCR2 へのライトを実行する命令の直後に SYSCR2 からリードを実行する命令を配置してください。これらが守られない場合、大容量内蔵 RAM への正常なアクセスは保証できません。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	VRAMWE4	VRAMWE3	VRAMWE2	VRAMWE1	VRAMWE0
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 5	－	すべて 1	R	リザーブビット 読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
4	VRAMWE4	1	R/W	RAM ライトイネーブル 4（対象：大容量内蔵 RAM のページ 4*） 0：ページ 4 へのライト無効 1：ページ 4 へのライト有効
3	VRAMWE3	1	R/W	RAM ライトイネーブル 3（対象：大容量内蔵 RAM のページ 3*） 0：ページ 3 へのライト無効 1：ページ 3 へのライト有効
2	VRAMWE2	1	R/W	RAM ライトイネーブル 2（対象：大容量内蔵 RAM のページ 2*） 0：ページ 2 へのライト無効 1：ページ 2 へのライト有効
1	VRAMWE1	1	R/W	RAM ライトイネーブル 1（対象：大容量内蔵 RAM のページ 1*） 0：ページ 1 へのライト無効 1：ページ 1 へのライト有効
0	VRAMWE0	1	R/W	RAM ライトイネーブル 0（対象：大容量内蔵 RAM のページ 0*） 0：ページ 0 へのライト無効 1：ページ 0 へのライト有効

注 . * 各ページのアドレスについては、「40.　内蔵 RAM」を参照してください。

42.2.17　システムコントロールレジスタ 3（SYSCR3）

SYSCR3 は、読み出し／書き込み可能な 8 ビットのレジスタで、保持用内蔵 RAM の各ページへのライト許可／禁止を設定します。

SYSCR3 の RRAMWEn (n=0 ～ 3) ビットを 1 に設定するとページ n へのライトが有効になります。0 に設定するとページ n へのライトは無視されます。初期値は 0 です。

SYSCR3 の設定は、保持用内蔵 RAM 空間以外にあるプログラムで行ってください。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	RRAMWE3	RRAMWE2	RRAMWE1	RRAMWE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 4	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	RRAMWE3	0	R/W	RAMライトイネーブル3（対象：保持用内蔵RAMのページ3（注2）） 0：ページ3へのライト無効 1：ページ3へのライト有効
2	RRAMWE2	0	R/W	RAMライトイネーブル2（対象：保持用内蔵RAMのページ2（注2）） 0：ページ2へのライト無効 1：ページ2へのライト有効
1	RRAMWE1	0	R/W	RAMライトイネーブル1（対象：保持用内蔵RAMのページ1（注2）） 0：ページ1へのライト無効 1：ページ1へのライト有効
0	RRAMWE0	0	R/W	RAMライトイネーブル0（対象：保持用内蔵RAMのページ0（注2）） 0：ページ0へのライト無効 1：ページ0へのライト有効

注1.　各ページのアドレスについては、「40.　内蔵RAM」を参照してください。

注2.　SYSCR1.VRAME0＝0（大容量内蔵RAMのページ0へのアクセス無効）に設定している場合は、本ビットの設定にかかわらず保持用内蔵RAMへのアクセス（リードおよびライト）はできません。また、SYSCR2.VRAMWE0＝0（大容量内蔵RAMのページ0へのライト無効）に設定している場合は、本ビットの設定にかかわらず保持用内蔵RAMへのライトはできません。

42.2.18　CPU ステータスレジスタ（CPUSTS）

CPUSTS は、読み出し可能な 8 ビットのレジスタで、CPU の状態を示します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	ISBUSY	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7 ～ 5	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
4	ISBUSY	0	R	CPU周波数変更中,ソフトウェアスタンバイ復帰中ステータス CPUに対する周波数変更中、またはソフトウェアスタンバイ復帰中の状態を示します。本ビットが 1 の状態では、WFI 命令は実行しないでください。 0：CPUが周波数変更中以外、およびソフトウェアスタンバイ復帰中以外 1：CPUが周波数変更中、またはソフトウェアスタンバイ復帰中
3 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。

42.2.19　スタンバイリクエストレジスタ 1（STBREQ1）

本レジスタは、CPU および周辺モジュールに対してスタンバイ可能な状態かどうかをリクエストするためのレジスタです。スタンバイリクエストを受けた CPU および周辺モジュールは、スタンバイ可能な状態であるとき、スタンバイアックを返します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	STBRQ15	-	STBRQ13*1	STBRQ12*1	-	STBRQ10
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7、6	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	STBRQ15	0	R/W	CoreSightへのスタンバイリクエスト 0：CoreSightへのスタンバイリクエスト無効 1：CoreSightへのスタンバイリクエスト有効*
4	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	STBRQ13 *1	0	R/W	JPEGコーデックユニットへのスタンバイリクエスト 0：JPEGコーデックユニットへのスタンバイリクエスト無効 1：JPEGコーデックユニットへのスタンバイリクエスト有効*
2	STBRQ12 *1	0	R/W	EthernetAVBのスタンバイリクエスト 0：EthernetAVBへのスタンバイリクエスト無効 1：EthernetAVBへのスタンバイリクエスト有効*
1	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
0	STBRQ10	0	R/W	キャプチャエンジンユニットへのスタンバイリクエスト 0：キャプチャエンジンユニットへのスタンバイリクエスト無効 1：キャプチャエンジンユニットへのスタンバイリクエスト有効*

注 . *　該当モジュールの MSTP ビットが 1 のときは、STBRQ ビットへの 1 ライトは無効です。
注 . *1　本ビットは RZ/A1LU にのみ実装されています。RZ/A1L, RZ/A1LC では書き込む値は常に 0 にしてください。

42.2.20　スタンバイリクエストレジスタ 2（STBREQ2）

本レジスタは、周辺モジュールに対してスタンバイ可能な状態かどうかをリクエストするためのレジスタです。スタンバイリクエストを受けた周辺モジュールは、スタンバイ可能な状態であるとき、スタンバイアックを返します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	STBRQ27*1	STBRQ26	STBRQ25	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	STBRQ27 *1	0	R/W	メディア・ローカル・バスへのスタンバイリクエスト 0：メディア・ローカル・バスへのスタンバイリクエスト無効 1：メディア・ローカル・バスへのスタンバイリクエスト有効*
6	STBRQ26	0	R/W	イーサネットコントローラへのスタンバイリクエスト 0：イーサネットコントローラへのスタンバイリクエスト無効 1：イーサネットコントローラへのスタンバイリクエスト有効*
5	STBRQ25	0	R/W	ビデオディスプレイコントローラ5へのスタンバイリクエスト 0：ビデオディスプレイコントローラ5へのスタンバイリクエスト無効 1：ビデオディスプレイコントローラ5へのスタンバイリクエスト有効*
4 ～ 0	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

注 . *　該当モジュールの MSTP ビットが 1 のときは、STBRQ ビットへの 1 ライトは無効です。
注 . *1　本ビットは RZ/A1L にのみ実装されています。RZ/A1LU, RZ/A1LC では書き込む値は常に 0 にしてください。

42.2.21　スタンバイアックレジスタ 1（STBACK1）

本レジスタは、CPU および周辺モジュールからスタンバイ可能な状態を通知するためのレジスタです。スタンバイリクエストを受けた CPU および周辺モジュールがスタンバイ可能な状態であるとき、スタンバイアックを返します。本レジスタは、リードのみ可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	-	-	STBAK15	-	STBAK13*1	STBAK12*1	-	STBAK10
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7、6	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
5	STBAK15	0	R	CoreSightからのスタンバイアック 0：CoreSightからのスタンバイアック無効 1：CoreSightからのスタンバイアック有効*
4	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
3	STBAK13 *1	0	R	JPEGコーデックユニットからのスタンバイアック 0：JPEGコーデックユニットからのスタンバイアック無効 1：JPEGコーデックユニットからのスタンバイアック有効*
2	STBAK12 *1	0	R	EthernetAVBからのスタンバイアック 0：EthernetAVBからのスタンバイアック無効 1：EthernetAVBからのスタンバイアック有効*
1	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
0	STBAK10	0	R	キャプチャエンジンユニットからのスタンバイアック 0：キャプチャエンジンユニットからのスタンバイアック無効 1：キャプチャエンジンユニットからのスタンバイアック有効*

注.*　該当モジュールのMSTPビットが0のとき、モジュールからのスタンバイ応答があったとき1にセットされます。
注.*1　本ビットはRZ/A1LUにのみ実装されています。

42.2.22　スタンバイアックレジスタ 2（STBACK2）

本レジスタは、周辺モジュールからスタンバイ可能な状態を通知するためのレジスタです。スタンバイリクエストを受けた周辺モジュールがスタンバイ可能な状態であるとき、スタンバイアックを返します。本レジスタは、リードのみ可能なレジスタです。

ビット：	7	6	5	4	3	2	1	0
	STBAK27*1	STBAK26	STBAK25	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
7	STBAK27 *1	0	R	メディア・ローカル・バスからのスタンバイアック 0：メディア・ローカル・バスからのスタンバイアック無効 1：メディア・ローカル・バスからのスタンバイアック有効*
6	STBAK26	0	R	イーサネットコントローラからのスタンバイアック 0：イーサネットコントローラからのスタンバイアック無効 1：イーサネットコントローラからのスタンバイアック有効*
5	STBAK25	0	R	ビデオディスプレイコントローラ5からのスタンバイアック 0：ビデオディスプレイコントローラ5からのスタンバイアック無効 1：ビデオディスプレイコントローラ5からのスタンバイアック有効*
4 ～ 0	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。

注.*　該当モジュールのMSTPビットが0のとき、モジュールからのスタンバイ応答があったとき1にセットされます。
注.*1　本ビットはRZ/A1Lにのみ実装されています。

42.2.23　保持用内蔵 RAM 保持エリア指定レジスタ（RRAMKP）

RRAMKP は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモード時に対象の保持用内蔵 RAM エリアの内容を保持するかどうかを設定します。

RRAMKP3～0 ビットを 1 にセットすると、対象の保持用内蔵RAMエリアの内容がディープスタンバイモード時に保持されます。0 にクリアすると、対象の保持用内蔵 RAM エリアの内容がディープスタンバイモード時に保持されません。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	RRAMKP3	RRAMKP2	RRAMKP1	RRAMKP0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
3	RRAMKP3	0	R/W	保持用内蔵RAM保持エリア3（対象：保持用内蔵RAMのページ3*） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する
2	RRAMKP2	0	R/W	保持用内蔵RAM保持エリア2（対象：保持用内蔵RAMのページ2*） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する
1	RRAMKP1	0	R/W	保持用内蔵RAM保持エリア1（対象：保持用内蔵RAMのページ1*） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する
0	RRAMKP0	0	R/W	保持用内蔵RAM保持エリア0（対象：保持用内蔵RAMのページ0*） 0：ディープスタンバイモード時、保持用内蔵RAMを保持しない 1：ディープスタンバイモード時、保持用内蔵RAMを保持する

注. *各ページのアドレスについては、「40.　内蔵RAM」を参照してください。

42.2.24　ディープスタンバイコントロールレジスタ（DSCTR）

DSCTR は、読み出し／書き込み可能な 8 ビットのレジスタで、ディープスタンバイモードから復帰する際の、外部メモリ制御端子の状態と起動方法を制御します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	EBUS KEEPE	RAM BOOT	-	-	-	-	-	-
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	EBUSKEEPE	0	R/W	外部メモリ制御端子状態保持 0：ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持しない 1：ディープスタンバイモードから復帰時、外部メモリ制御端子の状態を保持する 注. EBUSKEEPE＝1、RAMBOOT＝0は設定禁止
6	RAMBOOT	0	R/W	ディープスタンバイから復帰後の起動方法選択 ディープスタンバイから復帰後の起動方法を選択します。 0：リセット時に設定したブートモードに従います。 1：保持用内蔵RAMからプログラムを読み出します。 H'20000000番地から命令フェッチ 注. EBUSKEEPE＝1、RAMBOOT＝0は設定禁止
5～0	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

42.2.25　ディープスタンバイ解除要因セレクトレジスタ（DSSSR）

DSSSR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードをどの要因で解除するかを選択するビットで構成されています。リアルタイムクロックのアラーム割り込み、解除用端子（P2_0、P2_2、P2_7、P2_9、P5_8、P5_9、P5_10、P6_7、P7_2、P7_3、P7_6、P7_9、NMI）の変化を選択可能です。解除用端子は、汎用入出力ポートの機能設定にかかわらずディープスタンバイ解除要因として機能します。

注 .　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	P2_0	P7_6	P7_9	P5_10	P2_2	P7_2	NMI	-	RTCAR	P5_9	P7_3	P5_8	P2_7	P2_9	P6_7
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	P2_0	0	R/W	P2_0の変化で解除 0：P2_0の変化で解除しない 1：P2_0の変化で解除する
13	P7_6	0	R/W	P7_6の変化で解除 0：P7_6の変化で解除しない 1：P7_6の変化で解除する
12	P7_9	0	R/W	P7_9の変化で解除 0：P7_9の変化で解除しない 1：P7_9の変化で解除する
11	P5_10	0	R/W	P5_10の変化で解除 0：P5_10の変化で解除しない 1：P5_10の変化で解除する

ビット	ビット名	初期値	R/W	説明
10	P2_2	0	R/W	P2_2の変化で解除 0：P2_2の変化で解除しない 1：P2_2の変化で解除する
9	P7_2	0	R/W	P7_2の変化で解除 0：P7_2の変化で解除しない 1：P7_2の変化で解除する
8	NMI	0	R/W	NMIの変化で解除 0：NMIの変化で解除しない 1：NMIの変化で解除する
7	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RTCAR	0	R/W	リアルタイムクロックのアラーム割り込みで解除 0：リアルタイムクロックのアラーム割り込みで解除しない 1：リアルタイムクロックのアラーム割り込みで解除する
5	P5_9	0	R/W	P5_9の変化で解除 0：P5_9の変化で解除しない 1：P5_9の変化で解除する
4	P7_3	0	R/W	P7_3の変化で解除 0：P7_3の変化で解除しない 1：P7_3の変化で解除する
3	P5_8	0	R/W	P5_8の変化で解除 0：P5_8の変化で解除しない 1：P5_8の変化で解除する
2	P2_7	0	R/W	P2_7の変化で解除 0：P2_7の変化で解除しない 1：P2_7の変化で解除する
1	P2_9	0	R/W	P2_9の変化で解除 0：P2_9の変化で解除しない 1：P2_9の変化で解除する
0	P6_7	0	R/W	P6_7の変化で解除 0：P6_7の変化で解除しない 1：P6_7の変化で解除する

42.2.26　ディープスタンバイ解除エッジセレクトレジスタ（DSESR）

DSESR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードを、DSSSR で解除要因に選択した端子の検出エッジを選択するビットで構成されています。ディープスタンバイモードの解除には、割り込みコントローラの設定にかかわらず、本レジスタの設定が有効となります。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	P2_0E	P7_6E	P7_9E	P5_10E	P2_2E	P7_2E	NMIE	-	-	P5_9E	P7_3E	P5_8E	P2_7E	P2_9E	P6_7E
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	―	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
14	P2_0E	0	R/W	P2_0エッジ検出 0：P2_0の立ち下がりエッジで検出する 1：P2_0の立ち上がりエッジで検出する
13	P7_6E	0	R/W	P7_6エッジ検出 0：P7_6の立ち下がりエッジで検出する 1：P7_6の立ち上がりエッジで検出する
12	P7_9E	0	R/W	P7_9エッジ検出 0：P7_9の立ち下がりエッジで検出する 1：P7_9の立ち上がりエッジで検出する
11	P5_10E	0	R/W	P5_10エッジ検出 0：P5_10の立ち下がりエッジで検出する 1：P5_10の立ち上がりエッジで検出する
10	P2_2E	0	R/W	P2_2エッジ検出 0：P2_2の立ち下がりエッジで検出する 1：P2_2の立ち上がりエッジで検出する
9	P7_2E	0	R/W	P7_2エッジ検出 0：P7_2の立ち下がりエッジで検出する 1：P7_2の立ち上がりエッジで検出する
8	NMIE	0	R/W	NMIエッジ検出 0：NMIの立ち下がりエッジで検出する 1：NMIの立ち上がりエッジで検出する
7、6	―	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	P5_9E	0	R/W	P5_9エッジ検出 0：P5_9の立ち下がりエッジで検出する 1：P5_9の立ち上がりエッジで検出する
4	P7_3E	0	R/W	P7_3エッジ検出 0：P7_3の立ち下がりエッジで検出する 1：P7_3の立ち上がりエッジで検出する
3	P5_8E	0	R/W	P5_8エッジ検出 0：P5_8の立ち下がりエッジで検出する 1：P5_8の立ち上がりエッジで検出する
2	P2_7E	0	R/W	P2_7エッジ検出 0：P2_7の立ち下がりエッジで検出する 1：P2_7の立ち上がりエッジで検出する
1	P2_9E	0	R/W	P2_9エッジ検出 0：P2_9の立ち下がりエッジで検出する 1：P2_9の立ち上がりエッジで検出する
0	P6_7E	0	R/W	P6_7エッジ検出 0：P6_7の立ち下がりエッジで検出する 1：P6_7の立ち上がりエッジで検出する

42.2.27　ディープスタンバイ解除要因フラグレジスタ（DSFR）

DSFR は、読み出し／書き込み可能な 16 ビットのレジスタで、ディープスタンバイモードがどの要因で解除されたのかを確認するフラグと、ディープスタンバイモード解除後に端子状態の解除を行うビットで構成されます。DSFR は、ディープスタンバイモードが割り込み（NMI、リアルタイムクロックのアラーム割り込み）および解除用端子の変化により解除された場合、パワーオンリセット例外処理が実行されますが、本レジスタは前の値を保持します。ディープスタンバイモードがパワーオンリセットにより解除された場合、本レジスタは H'0000 に初期化されます。

ディープスタンバイモードに遷移する直前には、すべてのフラグをクリアする必要があります。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IO KEEP	P2_0F	P7_6F	P7_9F	P5_10F	P2_2F	P7_2F	NMIF	-	RTC ARF	P5_9F	P7_3F	P5_8F	P2_7F	P2_9F	P6_7F
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】*　フラグをクリアするため、1を読み出した後に0を書き込むことのみ可能です。

ビット	ビット名	初期値	R/W	説　　明
15	IOKEEP	0	R/(W)*	端子状態保持解除 ディープスタンバイモード解除時に端子状態保持を解除するビットです。 0：端子状態を保持していない ［クリア条件］ • 1リード後の0ライト 1：端子状態を保持している ［セット条件］ • ディープスタンバイモードに遷移したとき
14	P2_0F	0	R/(W)*	P2_0フラグ 0：P2_0端子変化なし 1：P2_0端子変化あり
13	P7_6F	0	R/(W)*	P7_6フラグ 0：P7_6端子変化なし 1：P7_6端子変化あり
12	P7_9F	0	R/(W)*	P7_9フラグ 0：P7_9端子変化なし 1：P7_9端子変化あり
11	P5_10F	0	R/(W)*	P5_10フラグ 0：P5_10端子変化なし 1：P5_10端子変化あり
10	P2_2F	0	R/(W)*	P2_2フラグ 0：P2_2端子変化なし 1：P2_2端子変化あり
9	P7_2F	0	R/(W)*	P7_2フラグ 0：P7_2端子変化なし 1：P7_2端子変化あり
8	NMIF	0	R/(W)*	NMIフラグ 0：NMI端子に割り込みなし 1：NMI端子に割り込みあり
7	–	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
6	RTCARF	0	R/(W)*	RTCARフラグ 0：リアルタイムクロックのアラーム割り込みなし 1：リアルタイムクロックのアラーム割り込みあり
5	P5_9F	0	R/(W)*	P5_9フラグ 0：P5_9端子変化なし 1：P5_9端子変化あり

ビット	ビット名	初期値	R/W	説　　明
4	P7_3F	0	R/(W)*	P7_3 フラグ 0：P7_3 端子変化なし 1：P7_3 端子変化あり
3	P5_8F	0	R/(W)*	P5_8 フラグ 0：P5_8 端子変化なし 1：P5_8 端子変化あり
2	P2_7F	0	R/(W)*	P2_7 フラグ 0：P2_7 端子変化なし 1：P2_7 端子変化あり
1	P2_9F	0	R/(W)*	P2_9 フラグ 0：P2_9 端子変化なし 1：P2_9 端子変化あり
0	P6_7F	0	R/(W)*	P6_7 フラグ 0：P6_7 端子変化なし 1：P6_7 端子変化あり

注. * フラグをクリアするため、1 を読み出した後に 0 を書き込むことのみ可能です。

42.2.28　XTAL 水晶発振器ゲインコントロールレジスタ（XTALCTR）

XTALCTR は、読み出し／書き込み可能な 8 ビットのレジスタで、XTAL 用水晶発振器のゲインを制御します。

GAIN0 ビットは、リアルタイムクロックが EXTAL 入力使用時に、ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセット以外で解除された場合は、前の値を保持します。リアルタイムクロックが EXTAL 入力未使用時には、ソフトウェアスタンバイモード、ディープスタンバイモードで、本ビットは 0 に初期化されます。

ソフトウェアスタンバイモード、ディープスタンバイモードがパワーオンリセットにより解除された場合は、本レジスタは H'00 に初期化されます。

注．　本レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	GAIN0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
7 ～ 1	―	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
0	GAIN0	0	R/W	XTAL 用水晶発振器（EXTAL、XTAL 端子）のゲイン選択 0：大ゲイン発振 1：小ゲイン発振

42.3　動作説明

42.3.1　スリープモード

(1)　スリープモードへの遷移

プログラム実行状態からスリープモードに遷移するには、条件により以下のどちらかの手順を実行します。

(a) STBCR1 の STBY ビットが 0 の状態で WFI 命令を実行。

(b) STBCR1 の STBY ビットが 0 の状態、かつ、Current Program Status Register (CPSR) のスリープモードを解除する割り込み要因に対応する I ビット、F ビットが 0（マスク禁止）の状態で、SEV 命令、WFE 命令、WFE 命令の 3 命令を連続で順番に実行。

以下の条件にあてはまる場合は、(b) の手順で実行し、ソフトウェアスタンバイモードおよびディープスタンバイモードへの遷移時以外で WFI 命令を使用しないでください。

- ソフトウェアスタンバイモードを併用する場合
- ソフトウェアスタンバイモードは併用せず、ディープスタンバイモードを併用する場合で、ディープスタンバイモードの遷移処理として「42.3.4 (1)　ディープスタンバイモードへの遷移」に記載の (a) の処理をする場合

CPU はスリープモード遷移後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子からのクロック出力は続行されます。

注 .　STBCR1 レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

(2)　スリープモードの解除

スリープモードは、割り込み（NMI、IRQ、内蔵周辺）、およびパワーオンリセットにより解除されます。

- **割り込みによる解除**
  NMI、IRQ、および内蔵周辺の各割り込みが発生すると、スリープモードが解除され割り込み例外処理が実行されます。発生した割り込みの優先レベルが割り込みコントローラの実行優先度レジスタの設定値よりも優先度が低い場合、および内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。「42.3.1 (1)　スリープモードへの遷移」において、(a) の手順で実行した場合は、CPU の CPSR レジスタのビット 6 の FIQ マスクビット、およびビット 7 の IRQ マスクビットで割り込みをマスクした状態で割り込み要求が発生した場合、スリープモードは解除されますが、割り込みハンドラ処理が実行されません。
- **リセットによる解除**
  パワーオンリセットにより、スリープモードは解除されます。

42.3.2　ソフトウェアスタンバイモード

(1)　ソフトウェアスタンバイモードへの遷移

STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で WFI 命令を実行すると、プログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU およびキャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。ソフトウェアスタンバイモード時の周辺モジュールのレジスタ状態は**「46.3　レジスタ状態一覧」**を参照してください。

また、CPU は、STBCR1 への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を WFI 命令に確実に反映するためには、STBCR1 を読み出してから WFI 命令を実行してください。

WFI 命令実行後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、ソフトウェアスタンバイモードへ遷移します。この際、発行済リクエストが完了できない場合はソフトウェアスタンバイモードへ遷移できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。また、バスマスタから意図しないリクエストの発生を抑止するために、ソフトウェアスタンバイモードへの遷移手順を実行する前に、予めソフトウェアにより各バスマスタを停止させておくことも有効です。

ソフトウェアスタンバイモードへ遷移する手順を以下に示します。

1. PL310 の Power Control Register の standby_mode_en ビットを 1 にします。
   Power Control Register の詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。
2. ウォッチドッグタイマのウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）の TME ビットを 0 にし、ウォッチドッグタイマを停止させます。
3. ウォッチドッグタイマのオーバフロー周期がスタンバイ復帰発振安定時間以上になるように、WTCSR レジスタの CKS[2:0] ビットとタイマカウンタ（WTCNT）の値を設定します。
4. STBCR1 レジスタの STBY ビットに 1、DEEP ビットに 0 を設定した後に STBCR1 レジスタを読み出します。その後、WFI 命令を実行させます。

(2)　ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）およびリセット（パワーオンリセット）により解除されます。CKIO 端子からクロックが出力され始めます。

- **割り込みによる解除**
  NMI 端子の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラの割り込みコントロールレジスタ 0（ICR0）の NMI エッジセレクトビット（NMIE）で選択）、IRQ 端子（IRQ7 ～ IRQ0）の立ち下がりエッジまたは立ち上がりエッジ（割り込みコントローラの割り込みコントロールレジスタ 1（ICR1）の IRQn センスセレクトビット（IRQn1S ～ IRQn0S）で選択）が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタ（ウォッチドッグタイマ）にだけ供給されます。
  ソフトウェアスタンバイモードに遷移する前にウォッチドッグタイマのウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）のクロックセレクトビット（CKS[2:0]）に設定しておいた時間が経過すると、ウォッチドッグタイマのオーバフローが発生します。このオーバフロー発生によってクロックが安定したと判断され本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 割り込み例外処理（IRQ の場合、IRQ 割り込み例外処理）が実行され

ます。発生した割り込みの優先レベルが割り込みコントローラの実行優先度レジスタの設定値よりも優先度が低い場合、割り込み要求は受け付けられず、スリープモード状態になりますので、必ず割り込みコントローラの実行優先レジスタの設定値よりも優先度の高い割り込みで解除してください。

NMI 割り込みまたは IRQ 割り込みによってソフトウェアスタンバイモードを解除する場合、ウォッチドッグタイマのオーバフロー周期が発振安定時間以上となるように、CKS[2:0] ビットを設定してください。

割り込み検出直後からソフトウェアスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

- リセットによる解除

  $\overline{\text{RES}}$ 端子をローレベルにすると、ソフトウェアスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。

  $\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

  CKIO 端子には、内部のクロックが出力され続けます。

(3)　ソフトウェアスタンバイモード遷移時の注意事項

ソフトウェアスタンバイモードは、割り込み（NMI、IRQ）およびパワーオンリセットにより解除されますが、WFI 命令と NMI、IRQ 以外の割り込みが同時に発生すると、割り込みを受け付けてソフトウェアスタンバイモードが解除される場合があります。

ソフトウェアスタンバイモードへ遷移させるときは、NMI、IRQ 以外の割り込みが入らないように設定してから WFI 命令を実行してください。

(4)　ソフトウェアスタンバイモード解除時の注意事項

ソフトウェアスタンバイモード解除後の発振安定時間の間、不安定なクロックが CKIO 端子から出力されます。これによる誤動作を防ぐためには FRQCR レジスタビット CKOEN[1:0] を変更してください。

42.3.3　ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 42.2 に示します。

割り込みコントロールレジスタ 0（ICR0）の NMI エッジセレクトビット（NMIE）を 0（立ち下がりエッジ検出）にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1（立ち上がりエッジ検出）にセットし、STBCR1 の STBY ビットが 1、DEEP ビットが 0 の状態で WFI 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

注 .　STBCR1 レジスタに書き込みを行う場合は、「42.4　使用上の注意事項」を参照してください。

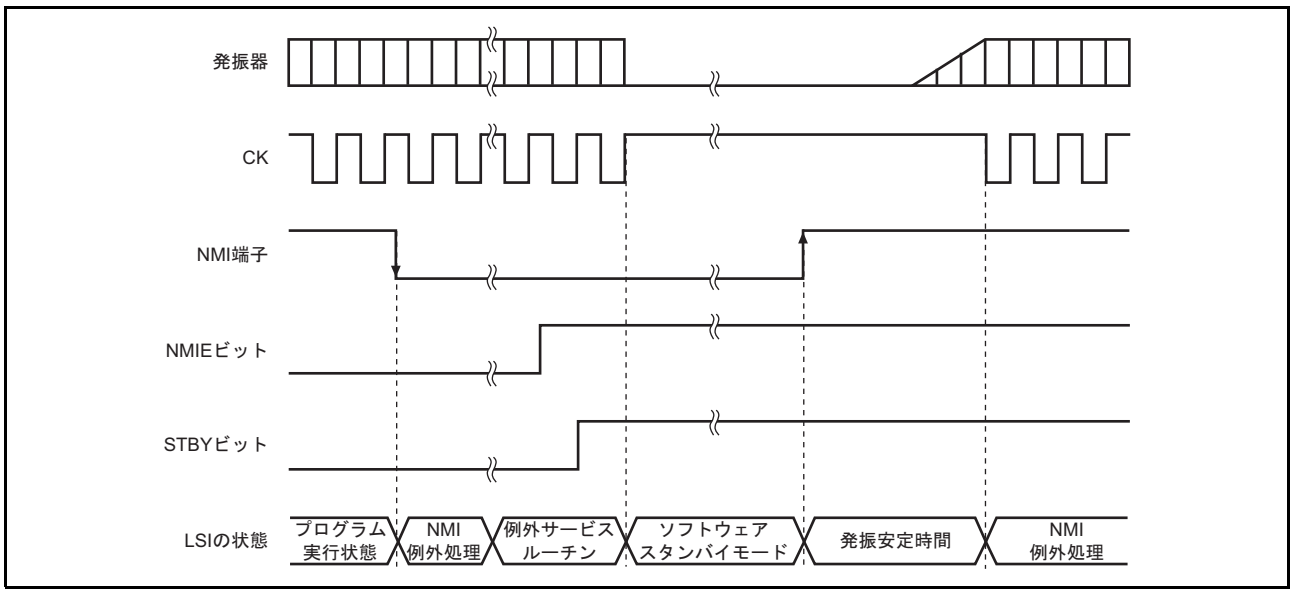


図 42.2　ソフトウェアスタンバイモード時の NMI タイミング（応用例）

42.3.4　ディープスタンバイモード

(1)　ディープスタンバイモードへの遷移

STBCR1 の STBY ビットと DEEP ビットが 1 の状態で WFI 命令を実行すると、プログラム実行状態からディープスタンバイモードに遷移します。ディープスタンバイモードでは、CPU、クロック、および内蔵周辺モジュールが停止するだけではなく、RRAMKP レジスタの RRAMKP3 ～ RRAMKP0 ビットの設定により保持となる保持用内蔵 RAM エリア、リアルタイムクロックを除き電源がオフになり、消費電力を大幅に削減できます。そのため CPU およびキャッシュのレジスタ内容、内蔵周辺モジュールのレジスタに関しても値は保持されません。ただし、端子の状態はディープスタンバイモードに遷移する直前の値を保持することができます。

CPU は、STBCR1 への書き込みを 1 サイクルで実行を完了し次の命令処理を実行します。しかし、実際の書き込みには 1 サイクル以上かかります。したがって、CPU から STBCR1 への書き込み値を WFI 命令に確実に反映するためには、STBCR1 を読み出してから WFI 命令を実行してください。

WFI 命令実行後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、ディープスタンバイモードへ遷移します。この際、発行済リクエストが完了できない場合はディープスタンバイモードへ遷移できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。また、バスマスタから意図しないリクエストの発生を抑止するために、ディープスタンバイモードへの遷移手順を実行する前に、予めソフトウェアにより各バスマスタを停止させておくことも有効です。

ディープスタンバイモードへ遷移する手順を以下に示します。また、そのフローを**図 42.3** に示します。

1. PL310 の Power Control Register の standby_mode_en ビットを 1 にします。
   Power Control Register の詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。
2. 保持する必要のある保持用内蔵 RAM エリアに対して、RRAMKP レジスタの RRAMKP3 ～ RRAMKP0 ビットを設定します。設定した保持用内蔵 RAM エリアに保持したいプログラムを転送します。
3. ディープスタンバイモードから復帰する時の起動方法と外部メモリ制御端子状態保持を、DSCTR レジスタの EBUSKEEPE ビットと RAMBOOT ビットで設定します。
4. ディープスタンバイモードを割り込みで解除する場合、どの端子またはどの条件で解除するか DSSSR の該当ビットを設定します。このとき解除する端子の入力信号検出モードを DSESR の該当ビットで設定します。
5. 保持する保持用内蔵 RAM の各ページに対し、任意の同一アドレスのリード／ライトを実行します。実行しない場合、最後に書かれたデータが保持用内蔵 RAM に書き込まれない可能性があります。以後、保持用内蔵 RAM へのライトがある場合には、最後の保持用内蔵 RAM ライト後に、本処理を実行してください。

6 ～ 8 の手順は条件により (a) もしくは (b) のどちらかを実行します。

(a)

6. STBCR1 レジスタの STBY ビットと DEEP ビットに 1 を設定した後、STBCR1 レジスタを読み出します。
7. DSFR レジスタのフラグをクリアします。
8. 割り込みコントローラの CPU インタフェースコントロールレジスタ（ICCICR）を 0 クリアして、NMI 以外の割り込みを CPU に通知しない設定とした後、ICCICR レジスタを読み出します。

(b)

6. DSFR レジスタのフラグをクリアします。

7. 割り込みコントローラの CPU インタフェースコントロールレジスタ（ICCICR）を 0 クリアして、NMI 以外の割り込みを CPU に通知しない設定とした後、ICCICR レジスタを読み出します。
8. STBCR1 レジスタの STBY ビットと DEEP ビットに 1 を設定した後、STBCR1 レジスタを読み出します。

以下の条件に当てはまる場合は、(b) の手順で実行してください。

・ソフトウェアスタンバイモードを併用せず、スリープモードを併用する場合で、スリープモードへの遷移処理として「42.3.1 (1)　スリープモードへの遷移」に記載の (a) の処理をする場合

9. WFI 命令を実行します。
10. NMI 割り込みとの競合により、ディープスタンバイモードへの遷移が抑止される場合があるため、WFI 命令の次に 9. へ戻るためのブランチ命令を配置します。

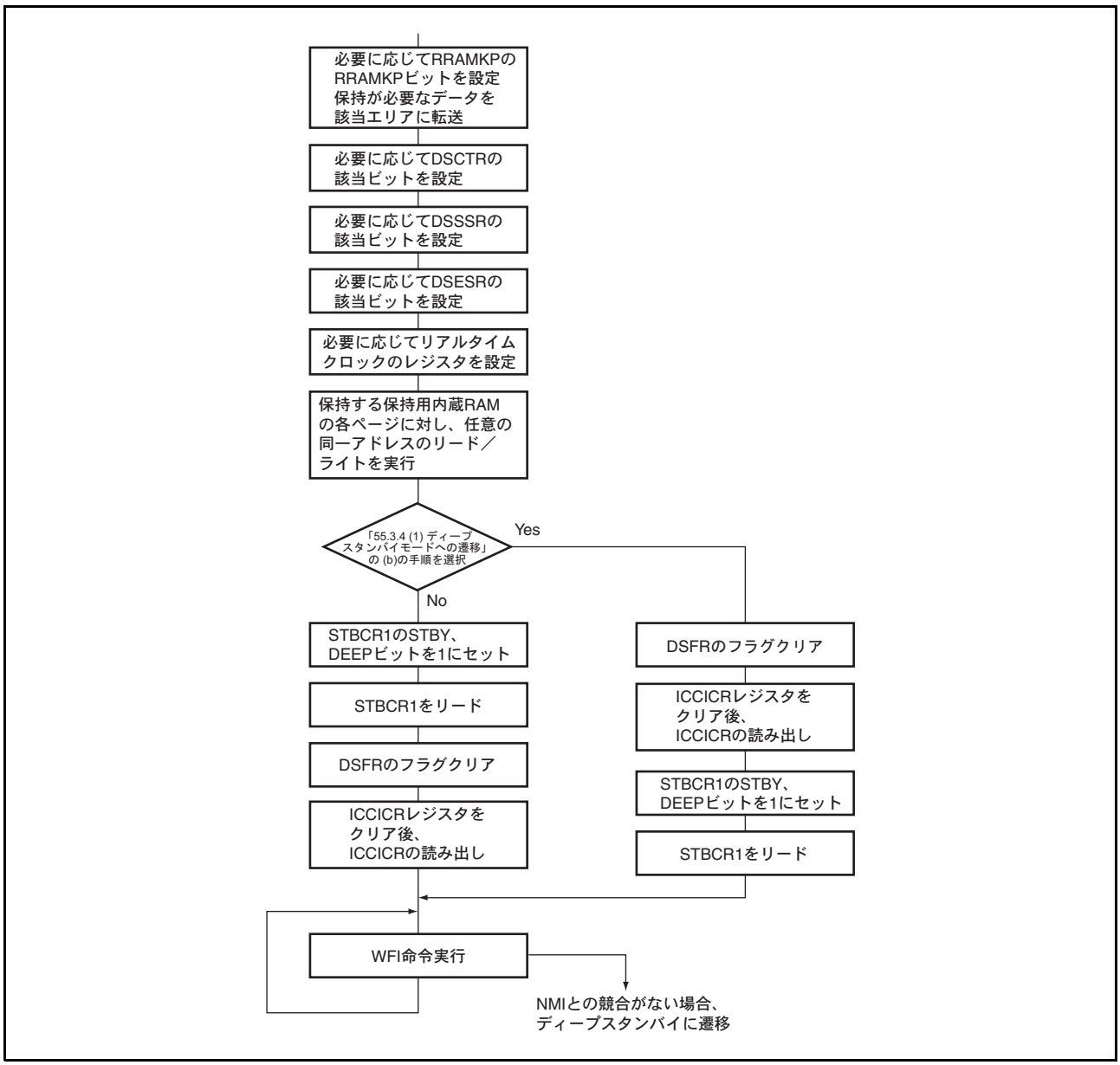


図 42.3　　ディープスタンバイモード遷移フロー

(2) ディープスタンバイモードの解除

ディープスタンバイモードは、割り込み（NMI、リアルタイムクロックのアラーム割り込み）、解除用端子の変化、およびリセット（パワーオンリセット）により解除されます。リアルタイムクロックのアラーム割り込みは、割り込みコントローラの実行優先度レジスタの設定値とアラーム割り込みイネーブルフラグ (RCR1.AIE) に関係なく、ディープスタンバイ解除要因として動作します。同様に、CPU の CPSR レジスタのビット 6 の FIQ マスクビット、およびビット 7 の IRQ マスクビットの状態も関係しません。リセット以外の要因によって解除する場合も、割り込み例外処理ではなくパワーオンリセット例外処理が実行されます。ディープスタンバイモード解除のフローを図 42.4 に示します。

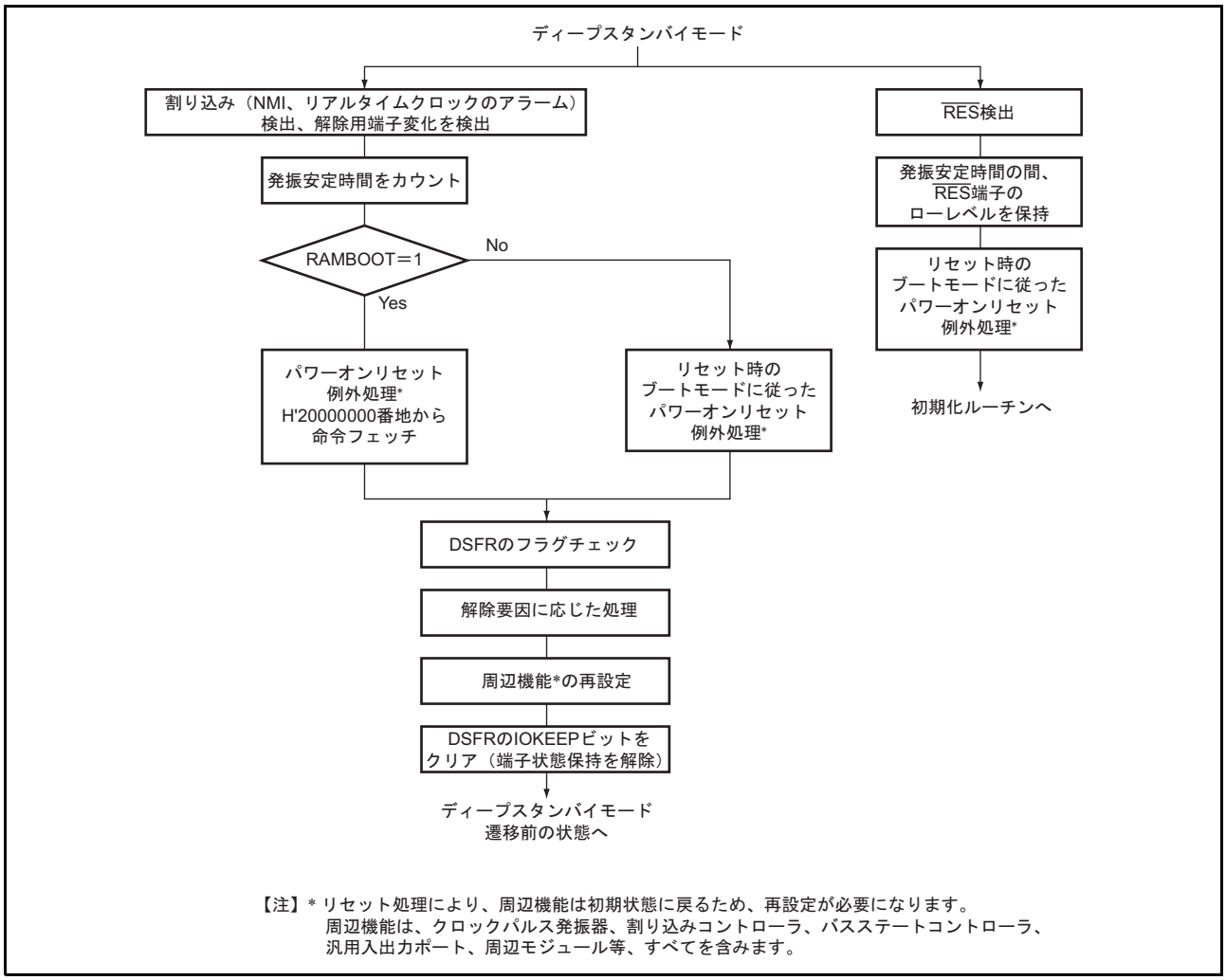


図 42.4　ディープスタンバイモード解除フロー

- **リセット以外による解除**

  NMI 端子の立ち下がりエッジまたは立ち上がりエッジ（DSESR の該当ビットで選択）、解除用端子の立ち下がりエッジまたは立ち上がりエッジ（DSESR の該当ビットで選択）が検出されるか、リアルタイムクロックのアラーム割り込み（設定方法の詳細は**「13.4.4　アラーム機能」**を参照してください）が発生すると、電源安定待ち時間後、クロックの発振が開始されます。発振安定時間経過後ディープスタンバイモードが解除され、パワーオンリセット例外処理が実行されます。

  解除要因の検出直後からディープスタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

  NMI 端子、解除用端子の変化、およびリアルタイムクロックのアラーム割り込みの検出は、DSSSR の該当ビットを設定した時点から有効になります。検出された解除要因は保持されますが、DSFR への反映はディープスタンバイモード解除後となります。また、CPU が割り込み要求を受け付け割り込み応答レジスタ（ICCIAR）を読み出すことにより、保持された解除要因がすべてクリアされます。解除要因検出後に、そのままディープスタンバイモードに遷移すると、遷移後すぐにディープスタンバイモードが解除されます。

- **リセットによる解除**

  $\overline{\text{RES}}$ 端子をローレベルにすると、ディープスタンバイモードが解除され、パワーオンリセット状態に遷移し、その後 $\overline{\text{RES}}$ 端子をハイレベルにするとパワーオンリセット例外処理が開始されます。CKIO 端子には、$\overline{\text{RES}}$ 端子をローレベルにすると内部のクロックが出力され始めます。

  $\overline{\text{RES}}$ 端子は、クロックの発振が安定するまでローレベルを保持してください。

(3)　ディープスタンバイモード解除後の動作

DSCTR レジスタの RAMBOOT ビット設定により外部メモリ起動か保持用内蔵 RAM 起動かを選択することができます。EBUSKEEPE ビットの設定によりディープスタンバイモード解除後も外部メモリ制御端子の状態を保持することができます。各ビットによるディープスタンバイモード解除後の端子状態を**表 42.3** に示します。外部メモリ制御端子一覧を**表 42.4** に示します。

表 42.3　　DSCTR レジスタ設定によるディープスタンバイ解除後の端子状態と起動方法

EBUSKEEPE ビット	RAMBOOT ビット	起動方法	ディープスタンバイ解除後の端子状態
0	0	外部メモリ	外部メモリ制御端子は保持しない。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
0	1	保持用内蔵 RAM	外部メモリ制御端子は保持しない。 ディープスタンバイ解除後外部メモリ制御端子は端子保持解除。 その他の端子は IOKEEP ビットクリア時に端子保持解除。
1	0	—	設定禁止
1	1	保持用内蔵 RAM	外部メモリ制御端子は保持する。 外部メモリ制御端子もその他の端子も、IOKEEP ビットクリア時に端子保持解除。

表 42.4　　外部メモリ制御端子一覧

ブートモード 0 （CS0 空間： バス幅 16 ビット）	ブートモード 1 （シリアルフラッシュブート）	ブートモード 2 （eSD ブート）	ブートモード 3 （eMMC ブート）
A[20:1] D[15:0] CS0、RD、CKIO	SPBCLK_0、 SPBSSL_0、 SPBMO0_0、 SPBMI0_0	SD_CLK_0、 SD_CMD_0、 SD_D[3:0]_0	MMC_CLK、 MMC_CMD、 MMC_D[3:0]

ディープスタンバイモードが、割り込み（NMI、リアルタイムクロックのアラーム）、解除用端子の変化により解除された場合、どの要因で解除されたのかをディープスタンバイ解除要因フラグレジスタ（DSFR）により確認することができます。

ディープスタンバイモードに遷移する際、端子は直前の状態を保持していますが、外部メモリ起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子の状態保持を解除してプログラムフェッチ可能とします。その他の端子は、ディープスタンバイモード解除後も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。保持用内蔵 RAM 起動モード時は、ディープスタンバイモード解除後、外部メモリ制御端子もその他の端子も DSFR レジスタの IOKEEP ビットの 1 を読み出した後に 0 を書き込むまで端子の状態保持を続けます。ディープスタンバイモード遷移前の状態にするには、周辺機能の再設定を行います。周辺機能には、クロックパルス発振器、割り込みコントローラ、汎用入出力ポート、周辺モジュール等のすべてを含みます。再設定後、IOKEEP ビットの 1 を読み出した後に 0 を書き込むことにより、端子の状態保持が解除されディープスタンバイモード遷移前の状態になります。

(4)　ディープスタンバイモード遷移時の注意事項

解除要因を複数設定し複数の解除要因が入力された場合、解除要因フラグは複数セットされます。

42.3.5　モジュールスタンバイ機能

(1)　モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの各 MSTP ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、プログラム実行状態およびスリープモード時の消費電力を低減させることができます。

遷移前には必ずそのモジュールをディスエーブル状態にした後で、モジュールスタンバイ状態にしてください。割り込み要求を許可している場合は、各モジュールまたは割り込みコントローラの設定により割り込みを無効化してください。DMA 転送要求を実施している場合は、各モジュールの設定により DMA 転送要求を停止させた後、ダイレクトメモリアクセスコントローラの設定により DMA 転送を停止させてください。また、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは行わないでください。

各モジュールのモジュールスタンバイ機能の遷移手順は、STBREQ レジスタのモジュール記載の有無によって違いがあります。

(a)　STBREQ レジスタに記載の無いモジュールのモジュールスタンバイ機能への遷移手順

1. 当該モジュールの MSTP ビットに 1 をセットしてください。

(b)　STBREQ レジスタに記載のあるモジュールのモジュールスタンバイ機能への遷移手順

1. STBREQ レジスタの当該ビットを 1 にセットしてモジュールの停止要求をしてください。
2. STBACK レジスタの当該ビットが 1 にセットされたことにより、当該モジュールが停止準備できたことを確認してください。
3. 当該モジュールの MSTP ビットに 1 をセットしてください。

モジュールスタンバイ機能遷移時のレジスタの状態は、「46.3　レジスタ状態一覧」を参照してください。

(2)　モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、パワーオンリセットで各 MSTP ビットが 1 で起動後、最初に MSTP ビットを 0 にセットする場合。および、各 MSTP ビットを 0 にセットしてモジュール動作させたあと、各 MSTP ビットを 1 にセットしてモジュールスタンバイ状態にして、再度各 MSTP ビットを 0 にセットしてモジュールスタンバイ状態を解除する場合の 2 通りあります。

後者の場合、各モジュールのモジュールスタンバイ機能の解除手順は、STBREQ レジスタのモジュール記載の有無によって違いがあります。

- パワーオンリセットで各 MSTP ビットが 1 で起動後モジュールスタンバイ機能を解除する場合

1. MSTP ビットを 0 にセットして行います。
2. 0 をセットした後は、同じレジスタをダミーリードしてください。

- モジュール動作後のモジュールスタンバイ機能への遷移後に、モジュールスタンバイ機能を解除する場合

(a)　STBREQ レジスタに記載の無いモジュールのモジュールスタンバイ機能の解除手順

1. 各 MSTP ビットを 0 にセットした後、同じレジスタをダミーリードしてください。

(b)　STBREQ レジスタに記載があるモジュールのモジュールスタンバイ機能の解除手順

1. 各 MSTP ビットを 0 にセットした後、同じレジスタをダミーリードしてください。
2. STBREQ レジスタの当該ビットに 0 をセットしてモジュールの停止要求を解除してください。
3. STBACK レジスタの当該ビットが 0 にセットされたことを確認して、解除完了となります。

42.3.6　ソフトウェアリセット

選択したモジュールのみパワーオンリセットと同等の初期化を行う事ができます。

各モジュールのソフトウェアリセットの遷移と解除手順は、STBREQ レジスタのモジュール記載の有無によって違いがあるため、以下の手順でソフトウェアリセットの遷移および解除を行ってください。

また、DMA 転送要求を実施している場合は、ソフトウェアリセットに遷移する前に、DMA の当該チャネルを停止させてください。DMA の停止手順については「9.7.11　転送状態」を参照してください。

(1)　ソフトウェアリセットへの遷移

(a)　STBREQ レジスタに記載の無いモジュールのソフトウェアリセットへの遷移手順

1. 当該モジュールの SRST ビットに 1 をセットした後、同じレジスタをダミーリードしてください。

(b)　STBREQ レジスタに記載のあるモジュールのソフトウェアリセットの遷移手順

1. STBREQ レジスタの当該ビットを 1 にセットしてモジュールの停止要求をしてください。
2. STBACK レジスタの当該ビットが 1 にセットされたことを確認してください。
3. 当該モジュールの SRST ビットに 1 をセットした後、同じレジスタをダミーリードしてください。

(2)　ソフトウェアリセットの解除

(a)　STBREQ レジスタに記載の無いモジュールのソフトウェアリセットの解除手順

1. 当該モジュールの SRST ビットに 0 をセットした後、同じレジスタをダミーリードしてください。

(b)　STBREQ レジスタに記載のあるモジュールのソフトウェアリセットの解除手順

1. 当該モジュールの SRST ビットに 0 をセットした後、同じレジスタをダミーリードしてください。
2. STBREQ レジスタの当該ビットを 0 にセットしてモジュールの停止要求を解除してください。
3. STBACK レジスタの当該ビットが 0 にセットされたことを確認してください。

42.3.7　XTAL 用水晶発振器ゲイン調整機能

水晶発振器ゲインコントロールレジスタの GAIN0 ビットを変更することにより、XTAL 用発振器のゲインを変更することができます。EXTAL、XTAL 端子のゲインを変更する場合は、PLL 安定時間が必要になります。内蔵ウォッチドッグタイマにより安定時間のカウントを行います。

GAIN0 ビット変更後、バスマスタからの発行済リクエストの完了を待ってから、ハードウェアがバスマスタを自動的に停止させ、XTAL 用水晶発振器のゲイン変更を開始します。この際、発行済リクエストが完了できない場合は XTAL 用水晶発振器のゲイン変更処理を開始できませんので、モジュールスタンバイ状態のモジュールに対するレジスタアクセスなどは実施しないでください。また、バスマスタから意図しないリクエストの発生を抑止するために、XTAL 用水晶発振器のゲイン変更手順を実行する前に、予めソフトウェアにより各バスマスタを停止させておくことも有効です。

1. 初期状態では、発振器のゲインは大ゲインになっています。
2. PL310 の Power Control Register の standby_mode_en ビットを 1 にします。
   Power Control Register の詳細は、Arm CoreLink Level 2 Cache Controller L2C-310 Technical Reference Manual を参照してください。
3. ウォッチドッグタイマに、指定された発振安定時間になるように値をセットし、ウォッチドッグタイマを停止します。次の設定が必要です。

   WTCSR.TME ＝ 0：ウォッチドッグタイマの停止
   WTCSR.CKS[2:0]：ウォッチドッグタイマカウントクロックの分周率
   WTCNT：カウンタの初期値
   （ウォッチドッグタイマのカウントアップは、設定後のクロックでカウントアップされます。）
4. GAIN0 ビットを目的とする値に設定します。
5. 本 LSI 内部は、一時的に停止し、ウォッチドッグタイマのカウントアップを開始します。ウォッチドッグタイマにのみクロックが供給され、それ以外の内部クロックが停止します。また、CKIO 端子には不安定なクロックが出力され続けます。これによる誤動作を防ぐためには、FRQCR レジスタの CKOEN2 ビットを変更してください。本状態は、ソフトウェアスタンバイモード状態と同じであり、モジュールによってはレジスタの初期化が行われます。詳細は**「46.3　レジスタ状態一覧」**を参照してください。
6. ウォッチドッグタイマのカウントオーバフローで設定されたクロックが供給され始め、本 LSI は動作を再開します。ウォッチドッグタイマはオーバフロー後、停止します。

42.4　使用上の注意事項

42.4.1　レジスタ設定時の注意

低消費電力モード関連のレジスタに書き込みを行う際には、以下のことに注意してください。

CPU から低消費電力モード関連のレジスタに書き込みを行う際、CPU は書き込み命令実行後、実際のレジスタへの書き込み完了まで待たされずに、後続の命令を実行します。

後続命令実行時にレジスタへの書き込みによる変更を反映させたい場合には、レジスタ書き込み命令と後続命令の間に同じレジスタに対するダミーリードを行ってください。

42.4.2　リアルタイムクロック未使用時の注意

リアルタイムクロックを使用しない場合、リアルタイムクロックのレジスタ設定を行った後、STBCR6 レジスタの MSTP60 ビットを 1 に設定してください。詳細は、「42.2.6　スタンバイコントロールレジスタ 6（STBCR6）」を参照してください。

- コントロールレジスタ 2（RCR2）の RTCEN ビットを 0 に設定
- コントロールレジスタ 5（RCR5）の RCKSEL[1:0] ビットを 00 に設定

42.4.3　USB_X1 端子未使用時の注意

USB_X1 端子に 48MHz クロックを供給していない場合は、パワーオンリセット解除後またはディープスタンバイ解除後の初期設定にて以下の手順でレジスタ設定を行って下さい。

(1)　USB2.0 ホスト／ファンクションモジュールを使用しない場合

1. STBCR7 レジスタの MSTP71 ビットに ’0’ を設定し、STBCR7 をダミーリード
2. SYSCFG0_0 レジスタの UCKSEL ビットに ’1’ を設定
3. EXTAL クロックで 20 サイクル期間以上待つ
4. STBCR7 レジスタの MSTP71 ビットに ’1’ を設定し、STBCR7 をダミーリード

(2)　USB2.0 ホスト／ファンクションモジュールを使用する場合

1. STBCR7 レジスタの MSTP71 ビット (注) に ’0’ を設定し、STBCR7 をダミーリード
2. SYSCFG0_0 レジスタの UCKSEL ビットに ’1’ を設定
3. 「28.4.1　(5)　USB モジュールへのクロック供給設定」の設定例 1 の手順を実施
4. USB2.0 ホスト／ファンクションモジュールの初期設定を実施

注 .　USB2.0 ホスト／ファンクションモジュールチャネル 1 を使用する場合は、併せて MSTP70 に '0' を設定ください。

42.4.4　ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合の注意

ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合には、「7.8.4　ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合の注意」を参照してください。

43. デバッガインタフェース

本 LSI は、バウンダリスキャン機能やエミュレータのサポートのため、デバッガインタフェースを内蔵しています。

43.1 特長

デバッガインタフェースは、JTAG（Joint Test Action Group, IEEE Std.1149.1 and IEEE Standard Test Access Port and Boundary-Scan Architecture）インタフェースと CoreSight デバッグ・インタフェースを有するシリアル入出力インタフェースです。

本モジュールは、バウンダリスキャン用 TAP コントローラと CoreSight デバッグ機能を制御する TAP コントローラを内蔵しています。BSCANP 端子をハイレベルとすることでバウンダリスキャン用 TAP コントローラが選択されます。また、BSCANP 外部端子をローレベルとすることで、CoreSight デバッグ用 TAP コントローラが選択されます。

図 43.1 にブロック図、**表 43.1** に JTAG 端子モード表を示します。

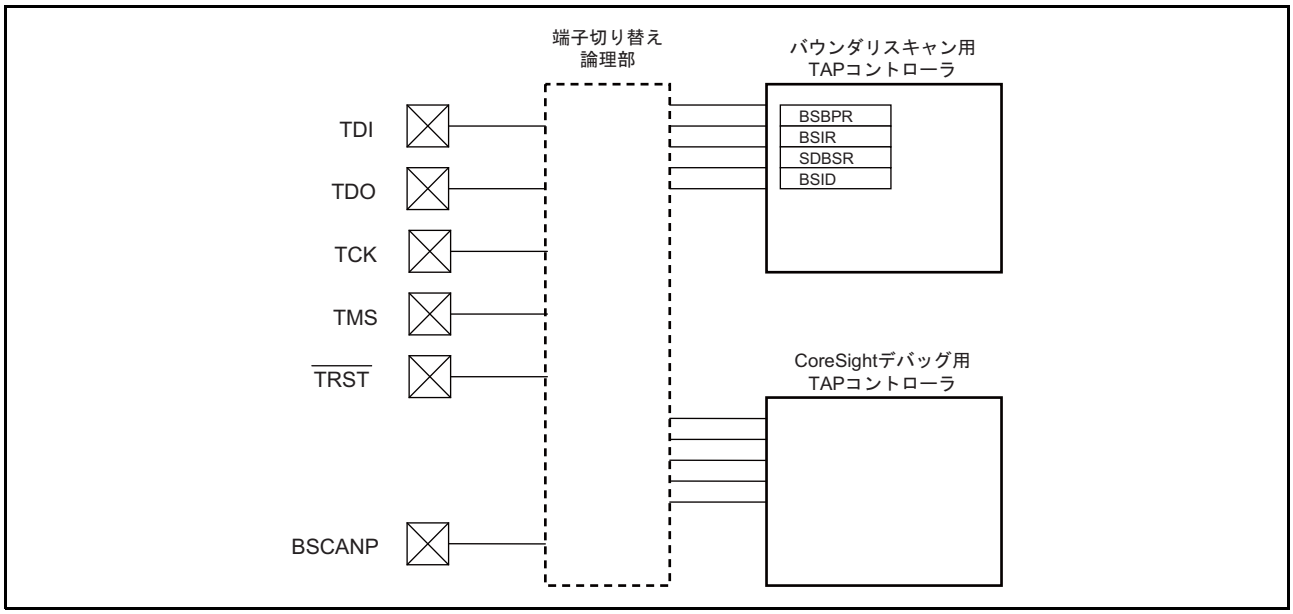


図 43.1　ブロック図

表 43.1　JTAG 端子モード表

BSCANP	JTAG 端子モード
0	通常動作（CoreSight デバッグモード）
1	バウンダリスキャンモード

CoreSight の特長を以下に示します。

- JTAG-IF
  JTAG、SWD サポート
- TRACE-IF
  4bit×66Mbps(33MHz DDR) のトレースデータ端子出力
  Embedded Trace FIFO (ETF) 4KB
- ICE レジスタによる各種制御
  リセット制御、CPU へのデバッグイネーブル信号の制御
  デバッグ時、ディープスタンバイモード時の電源遮断を無効にする制御（FAKE デバッグモード）

図 43.2 に CoreSight のブロック図、**表 43.2 ～表 43.5** にクロストリガの接続、**表 43.6** に CoreSight アドレスマップを示します。

ICE レジスタを除く CoreSight の詳細は、Arm 社のテクニカルリファレンスマニュアルを参照して下さい。

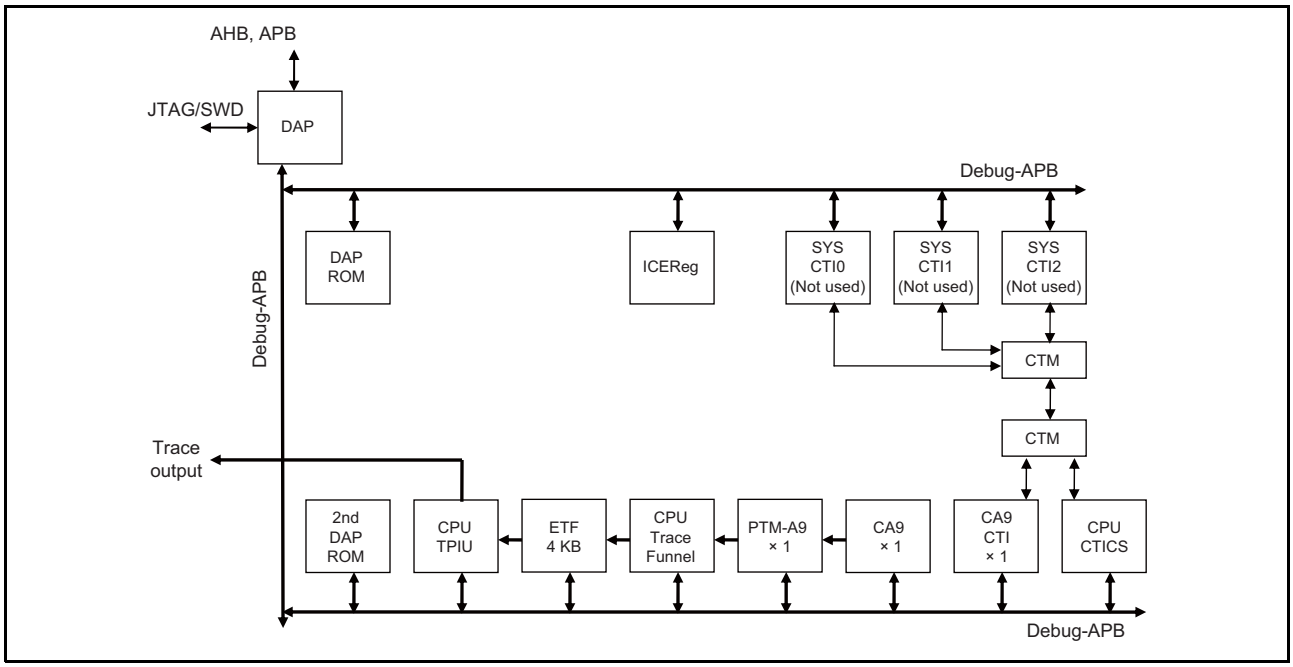


図 43.2　CoreSight ブロック図

表 43.2　CA9 CTI Trigger Inputs

Trigger input bit	trigger signal	Source device
[7]	not used	—
[6]	TRIGGER	PTM-A9
[5]	COMMRX	CA9
[4]	COMMTX	CA9
[3]	EXTOUT[1]	PTM-A9
[2]	EXTOUT[0]	PTM-A9
[1]	PMUIRQ	CA9
[0]	DBGACK	CA9

表 43.3　CA9 CTI Trigger Outputs

Trigger input bit	trigger signal	Destination device
[7]	DBGRESTART	CA9
[6]	nCTIIRQ	INTC
[5]	not used	—
[4]	EXTIN[3]	PTM-A9
[3]	EXTIN[2]	PTM-A9
[2]	EXTIN[1]	PTM-A9
[1]	EXTIN[0]	PTM-A9
[0]	EDBGRQ	CA9

表 43.4　CPU CTICS Trigger Inputs

Trigger input bit	trigger signal	Source device
[7]	not used	—
[6]	not used	—
[5]	not used	—
[4]	not used	—
[3]	ACQCOMP	ETF
[2]	FULL	ETF
[1]	not used	—
[0]	not used	—

表 43.5　CA9 CTI Trigger Outputs

Trigger input bit	trigger signal	Destination device
[7]	not used	—
[6]	not used	—
[5]	not used	—
[4]	not used	—
[3]	TRIGIN	CPU TPIU
[2]	FLUSHIN	CPU TPIU
[1]	TRIGIN	ETF
[0]	FLUSHIN	ETF

表43.6　CoreSightアドレスマップ

System Address （CPU View）	Debug-APB Address （Debugger View）	module
H'FC000000 ～ H'FC000FFF	H'80000000 ～ H'80000FFF	DAP ROM
H'FC001000 ～ H'FC001FFF	H'80001000 ～ H'80001FFF	Reserved
H'FC002000 ～ H'FC002FFF	H'80002000 ～ H'80002FFF	SYS-CTI0
H'FC003000 ～ H'FC003FFF	H'80003000 ～ H'80003FFF	Reserved
H'FC004000 ～ H'FC004FFF	H'80004000 ～ H'80004FFF	Reserved
H'FC005000 ～ H'FC005FFF	H'80005000 ～ H'80005FFF	Reserved
H'FC006000 ～ H'FC006FFF	H'80006000 ～ H'80006FFF	Reserved
H'FC007000 ～ H'FC007FFF	H'80007000 ～ H'80007FFF	Reserved
H'FC008000 ～ H'FC008FFF	H'80008000 ～ H'80008FFF	SYS-CTI2
H'FC009000 ～ H'FC009FFF	H'80009000 ～ H'80009FFF	Reserved
H'FC00A000 ～ H'FC00AFFF	H'8000A000 ～ H'8000AFFF	Reserved
H'FC00B000 ～ H'FC00BFFF	H'8000B000 ～ H'8000BFFF	Reserved
H'FC00C000 ～ H'FC00CFFF	H'8000C000 ～ H'8000CFFF	SYS-CTI1
H'FC00D000 ～ H'FC00DFFF	H'8000D000 ～ H'8000DFFF	Reserved
H'FC00E000 ～ H'FC00EFFF	H'8000E000 ～ H'8000EFFF	Reserved
H'FC00F000 ～ H'FC00FFFF	H'8000F000 ～ H'8000FFFF	ICEReg（ICE レジスタ）
H'FC010000 ～ H'FC010FFF	H'80010000 ～ H'80010FFF	Reserved
H'FC011000 ～ H'FC011FFF	H'80011000 ～ H'80011FFF	Reserved
H'FC012000 ～ H'FC012FFF	H'80012000 ～ H'80012FFF	Reserved
H'FC013000 ～ H'FC013FFF	H'80013000 ～ H'80013FFF	Reserved
H'FC014000 ～ H'FC014FFF	H'80014000 ～ H'80014FFF	Reserved
H'FC015000 ～ H'FC015FFF	H'80015000 ～ H'80015FFF	Reserved
H'FC016000 ～ H'FC016FFF	H'80016000 ～ H'80016FFF	Reserved
H'FC017000 ～ H'FC017FFF	H'80017000 ～ H'80017FFF	Reserved
H'FC018000 ～ H'FC018FFF	H'80018000 ～ H'80018FFF	Reserved
H'FC019000 ～ H'FC019FFF	H'80019000 ～ H'80019FFF	Reserved
H'FC01A000 ～ H'FC01AFFF	H'8001A000 ～ H'8001AFFF	Reserved
H'FC01B000 ～ H'FC01BFFF	H'8001B000 ～ H'8001BFFF	Reserved
H'FC01C000 ～ H'FC01CFFF	H'8001C000 ～ H'8001CFFF	Reserved
H'FC01D000 ～ H'FC01DFFF	H'8001D000 ～ H'8001DFFF	Reserved
H'FC01E000 ～ H'FC01EFFF	H'8001E000 ～ H'8001EFFF	Reserved
H'FC01F000 ～ H'FC01FFFF	H'8001F000 ～ H'8001FFFF	Reserved
H'FC020000 ～ H'FC020FFF	H'80020000 ～ H'80020FFF	2nd DAP ROM
H'FC021000 ～ H'FC021FFF	H'80021000 ～ H'80021FFF	CPU-ETF
H'FC022000 ～ H'FC022FFF	H'80022000 ～ H'80022FFF	CPU-CTICS
H'FC023000 ～ H'FC023FFF	H'80023000 ～ H'80023FFF	CPU-TPIU
H'FC024000 ～ H'FC024FFF	H'80024000 ～ H'80024FFF	CPU-TraceFunnel
H'FC025000 ～ H'FC025FFF	H'80025000 ～ H'80025FFF	Reserved
H'FC026000 ～ H'FC026FFF	H'80026000 ～ H'80026FFF	Reserved
H'FC027000 ～ H'FC027FFF	H'80027000 ～ H'80027FFF	Reserved
H'FC028000 ～ H'FC028FFF	H'80028000 ～ H'80028FFF	Reserved
H'FC029000 ～ H'FC029FFF	H'80029000 ～ H'80029FFF	Reserved
H'FC02A000 ～ H'FC02AFFF	H'8002A000 ～ H'8002AFFF	Reserved
H'FC02B000 ～ H'FC02BFFF	H'8002B000 ～ H'8002BFFF	Reserved
H'FC02C000 ～ H'FC02CFFF	H'8002C000 ～ H'8002CFFF	Reserved

System Address （CPU View）	Debug-APB Address （Debugger View）	module
H'FC02D000 ～ H'FC02DFFF	H'8002D000 ～ H'8002DFFF	Reserved
H'FC02E000 ～ H'FC02EFFF	H'8002E000 ～ H'8002EFFF	Reserved
H'FC02F000 ～ H'FC02FFFF	H'8002F000 ～ H'8002FFFF	Reserved
H'FC030000 ～ H'FC030FFF	H'80030000 ～ H'80030FFF	CA9-DBG（CPU0）
H'FC031000 ～ H'FC031FFF	H'80031000 ～ H'80031FFF	CA9-PMU（CPU0）
H'FC032000 ～ H'FC032FFF	H'80032000 ～ H'80032FFF	Reserved
H'FC033000 ～ H'FC033FFF	H'80033000 ～ H'80033FFF	Reserved
H'FC034000 ～ H'FC034FFF	H'80034000 ～ H'80034FFF	Reserved
H'FC035000 ～ H'FC035FFF	H'80035000 ～ H'80035FFF	Reserved
H'FC036000 ～ H'FC036FFF	H'80036000 ～ H'80036FFF	Reserved
H'FC037000 ～ H'FC037FFF	H'80037000 ～ H'80037FFF	Reserved
H'FC038000 ～ H'FC038FFF	H'80038000 ～ H'80038FFF	CA9 CTI（CPU0）
H'FC039000 ～ H'FC039FFF	H'80039000 ～ H'80039FFF	Reserved
H'FC03A000 ～ H'FC03AFFF	H'8003A000 ～ H'8003AFFF	Reserved
H'FC03B000 ～ H'FC03BFFF	H'8003B000 ～ H'8003BFFF	Reserved
H'FC03C000 ～ H'FC03CFFF	H'8003C000 ～ H'8003CFFF	PTM-A9（CPU0）
H'FC03D000 ～ H'FC03DFFF	H'8003D000 ～ H'8003DFFF	Reserved
H'FC03E000 ～ H'FC03EFFF	H'8003E000 ～ H'8003EFFF	Reserved
H'FC03F000 ～ H'FC03FFFF	H'8003F000 ～ H'8003FFFF	Reserved

43.2 入出力端子

デバッガインタフェースの端子構成を表 43.7 に示します。

表43.7　端子構成

名称	端子名	入出力	機　　能
テストクロック	TCK/SWDCLK	入力	データはこのクロックに同期してデータ入力端子（TDI）から本モジュールにシリアルに供給され、データ出力端子（TDO）から出力されます。 シリアルワイヤーデバッグ（SWD）モードの際は、SWDCLK端子として機能します。
テストモードセレクト	TMS/SWDIO	入力／入出力	TCKに同期してこの信号を変化させることによってTAP制御回路の状態が決まります。プロトコルは、JTAG規格（IEEE Std.1149.1）に対応しています。 シリアルワイヤーデバッグ（SWD）モードの際は、SWDIO端子として機能します。
テストリセット	$\overline{\text{TRST}}$（注 1）	入力	TCKとは非同期で入力を受け付けローレベルで本モジュールをリセットします。本モジュール機能の利用の有無にかかわらず、電源投入時に$\overline{\text{TRST}}$を一定期間ローレベルにしなければなりません。リセット構成の詳細については、「43.5.2　リセット構成」を参照してください。
テストデータ入力	TDI	入力	TCKに同期してこの端子を変化させることによって本モジュールにデータを送ります。
テストデータ出力	TDO	出力	TCKに同期してこの端子を読み出すことによって本モジュールからデータを読み取ります。 シリアルワイヤーデバッグ（SWD）モードの際も出力となりますが、本製品はSWO機能には対応していないため、固定値(ハイレベル)が出力されます。
バウンダリスキャン設定	BSCANP	入力	バウンダリスキャンテスト時にハイレベルを入力します。 通常動作時はローレベルを入力してください。
クロック出力	TRACECLK	出力	トレースクロック出力端子です。
イネーブル出力	TRACECTL	出力	トレースイネーブル出力端子です。
データ出力	TRACEDAT3 ～ TRACEDATA0	出力	トレースデータ出力端子です。

注1.　エミュレータを使用可能なボードを設計する場合は、電源投入時に$\overline{\text{RES}}$端子と$\overline{\text{TRST}}$端子をローレベルにし、かつ$\overline{\text{TRST}}$端子単独でも制御可能となるようにしてください。未使用時は、ローレベルに固定するか、$\overline{\text{RES}}$端子と同じ信号と接続するようにしてください。

43.3　バウンダリスキャン用 TAP コントローラのレジスタの説明

バウンダリスキャン用 TAP コントローラには以下のレジスタがあります。

表 43.8　バウンダリスキャン用 TAP コントローラのレジスタ構成

レジスタ名	略称	R/W	初期値	アドレス	アクセスサイズ
バイパスレジスタ	BSBPR	−	−	−	−
インストラクションレジスタ	BSIR	−	H'55	−	−
バウンダリスキャンレジスタ	SDBSR	−	−	−	−
ID レジスタ	BSID	−	H'081A6447(*1) H'082F4447 (*2)	−	−

*1: RZ/A1L
*2: RZ/A1LU および RZ/A1LC

43.3.1　バイパスレジスタ（BSBPR）

BSBPR は、CPU ではアクセスすることができない 1 ビットのレジスタです。BSIR を BYPASS モードにセットすると、BSBPR は TDI 端子と TDO 端子の間に接続されます。初期値は不定です。

43.3.2　インストラクションレジスタ（BSIR）

BSIR は 8 ビットのレジスタです。$\overline{\text{TRST}}$ のアサートまたは TAP の Test-Logic-Reset 状態のときに初期化されます。CPU からは、アクセスできません。

ビット	ビット名	初期値	R/W	説　明
7 ～ 0	TI[7:0]	01010101	−	テストインストラクション 本モジュールのインストラクションは TDI からのシリアル入力によって BSIR に転送されます。 コマンドは表 43.9 を参照してください。

表 43.9　バウンダリスキャン用 TAP コントローラのサポートコマンド

ビット 7～0								説　明
TI7	TI6	TI5	TI4	TI3	TI2	TI1	TI0	
0	0	0	0	0	0	0	0	EXTEST
0	1	0	0	0	0	0	0	SAMPLE/PRELOAD
0	1	0	1	0	1	0	1	IDCODE（初期値）
1	1	0	1	0	0	0	0	CLAMP
1	0	0	0	0	0	0	0	HIGHZ
1	1	1	1	1	1	1	1	BYPASS
上記以外								予約

43.3.3　バウンダリスキャンレジスタ（SDBSR）

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。CPU からは、アクセスできません。初期値は、不定です。

EXTEST、SAMPLE/PRELOAD、CLAMP、および HIGHZ コマンドを用いて、JTAG 規格に対応したバウンダリスキャンテストを行うことができます。**表 43.10** に RZ/A1L および RZ/A1LC グループ LSI の端子とバウンダリスキャンレジスタの対応を、**表 43.11** に RZ/A1LU グループ LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 43.10　RZ/A1L グループおよび RZ/A1LC グループ LSI の端子とバウンダリスキャンレジスタの対応

208 ピン ビット番号	176 ピン ビット番号	端子名[注1]	タイプ
From TDI			
327	327	P3_0	OUTPUT
326	326	P3_0	CONTROL
325	325	P3_0	INPUT
324	324	P3_1	OUTPUT
323	323	P3_1	CONTROL
322	322	P3_1	INPUT
321	321	P3_2	OUTPUT
320	320	P3_2	CONTROL
319	319	P3_2	INPUT
318	318	P3_3	OUTPUT
317	317	P3_3	CONTROL
316	316	P3_3	INPUT
315	315	P3_4	OUTPUT
314	314	P3_4	CONTROL
313	313	P3_4	INPUT
312	-	P9_2	OUTPUT
311	-	P9_2	CONTROL
310	-	P9_2	INPUT
309	-	P9_3	OUTPUT
308	-	P9_3	CONTROL
307	-	P9_3	INPUT
306	306	P3_5	OUTPUT
305	305	P3_5	CONTROL
304	304	P3_5	INPUT
303	303	P3_6	OUTPUT
302	302	P3_6	CONTROL
301	301	P3_6	INPUT
300	300	P3_7	OUTPUT
299	299	P3_7	CONTROL
298	298	P3_7	INPUT
297	-	P9_4	OUTPUT
296	-	P9_4	CONTROL
295	-	P9_4	INPUT
294	-	P9_5	OUTPUT
293	-	P9_5	CONTROL
292	-	P9_5	INPUT
291	291	P3_8	OUTPUT
290	290	P3_8	CONTROL
289	289	P3_8	INPUT
288	288	P3_9	OUTPUT
287	287	P3_9	CONTROL
286	286	P3_9	INPUT
285	285	P3_10	OUTPUT
284	284	P3_10	CONTROL
283	283	P3_10	INPUT
282	282	P3_11	OUTPUT
281	281	P3_11	CONTROL
280	280	P3_11	INPUT
279	279	P3_12	OUTPUT
278	278	P3_12	CONTROL
277	277	P3_12	INPUT
276	276	P3_13	OUTPUT
275	275	P3_13	CONTROL
274	274	P3_13	INPUT
273	273	P3_14	OUTPUT
272	272	P3_14	CONTROL
271	271	P3_14	INPUT
270	270	P1_0	OUTPUT[注2]
269	269	P1_0	INPUT
268	268	P1_1	OUTPUT[注2]
267	267	P1_1	INPUT
266	266	P1_2	OUTPUT[注2]
265	265	P1_2	INPUT
264	264	P1_3	OUTPUT[注2]
263	263	P1_3	INPUT
262	262	P1_4	OUTPUT[注2]
261	261	P1_4	INPUT
260	260	P1_5	OUTPUT[注2]
259	259	P1_5	INPUT
258	258	P1_6	OUTPUT[注2]
257	257	P1_6	INPUT

表43.10　RZ/A1LグループおよびRZ/A1LCグループLSIの端子とバウンダリスキャンレジスタの対応

208ピン ビット番号	176ピン ビット番号	端子名[注1]	タイプ
256	256	P1_7	OUTPUT[注2]
255	255	P1_7	INPUT
254	254	P3_15	OUTPUT
253	253	P3_15	CONTROL
252	252	P3_15	INPUT
251	251	P2_6	OUTPUT
250	250	P2_6	CONTROL
249	249	P2_6	INPUT
248	248	P2_7	OUTPUT
247	247	P2_7	CONTROL
246	246	P2_7	INPUT
245	245	P2_8	OUTPUT
244	244	P2_8	CONTROL
243	243	P2_8	INPUT
242	242	P2_9	OUTPUT
241	241	P2_9	CONTROL
240	240	P2_9	INPUT
239	239	P4_0	OUTPUT
238	238	P4_0	CONTROL
237	237	P4_0	INPUT
236	236	P4_1	OUTPUT
235	235	P4_1	CONTROL
234	234	P4_1	INPUT
233	233	P4_2	OUTPUT
232	232	P4_2	CONTROL
231	231	P4_2	INPUT
230	230	P4_3	OUTPUT
229	229	P4_3	CONTROL
228	228	P4_3	INPUT
227	-	P8_0	OUTPUT
226	-	P8_0	CONTROL
225	-	P8_0	INPUT
224	-	P8_1	OUTPUT
223	-	P8_1	CONTROL
222	-	P8_1	INPUT
221	221	P4_4	OUTPUT
220	220	P4_4	CONTROL
219	219	P4_4	INPUT
218	218	P4_5	OUTPUT
217	217	P4_5	CONTROL
216	216	P4_5	INPUT
215	-	P8_2	OUTPUT
214	-	P8_2	CONTROL
213	-	P8_2	INPUT
212	-	P8_3	OUTPUT
211	-	P8_3	CONTROL
210	-	P8_3	INPUT
209	-	P8_4	OUTPUT
208	-	P8_4	CONTROL
207	-	P8_4	INPUT
206	-	P8_5	OUTPUT
205	-	P8_5	CONTROL
204	-	P8_5	INPUT
203	203	P4_6	OUTPUT
202	202	P4_6	CONTROL
201	201	P4_6	INPUT
200	200	P4_7	OUTPUT
199	199	P4_7	CONTROL
198	198	P4_7	INPUT
197	197	P5_0	OUTPUT
196	196	P5_0	CONTROL
195	195	P5_0	INPUT
194	194	P5_1	OUTPUT
193	193	P5_1	CONTROL
192	192	P5_1	INPUT
191	191	P5_2	OUTPUT
190	190	P5_2	CONTROL
189	189	P5_2	INPUT
188	188	P5_3	OUTPUT
187	187	P5_3	CONTROL
186	186	P5_3	INPUT
185	185	P5_4	OUTPUT
184	184	P5_4	CONTROL
183	183	P5_4	INPUT
182	182	P5_5	OUTPUT
181	181	P5_5	CONTROL
180	180	P5_5	INPUT
179	179	P5_6	OUTPUT
178	178	P5_6	CONTROL
177	177	P5_6	INPUT
176	176	P5_7	OUTPUT
175	175	P5_7	CONTROL
174	174	P5_7	INPUT
173	173	P5_8	OUTPUT
172	172	P5_8	CONTROL
171	171	P5_8	INPUT
170	170	P5_9	OUTPUT
169	169	P5_9	CONTROL
168	168	P5_9	INPUT
167	167	P5_10	OUTPUT

表43.10　RZ/A1L グループおよびRZ/A1LC グループLSIの端子とバウンダリスキャンレジスタの対応

208ピン ビット番号	176ピン ビット番号	端子名注1	タイプ	208ピン ビット番号	176ピン ビット番号	端子名注1	タイプ
166	166	P5_10	CONTROL	121	-	P8_9	CONTROL
165	165	P5_10	INPUT	120	-	P8_9	INPUT
164	164	P5_11	OUTPUT	119	119	P6_6	OUTPUT
163	163	P5_11	CONTROL	118	118	P6_6	CONTROL
162	162	P5_11	INPUT	117	117	P6_6	INPUT
161	161	P5_12	OUTPUT	116	116	P6_7	OUTPUT
160	160	P5_12	CONTROL	115	115	P6_7	CONTROL
159	159	P5_12	INPUT	114	114	P6_7	INPUT
158	158	P5_13	OUTPUT	113	113	P6_8	OUTPUT
157	157	P5_13	CONTROL	112	112	P6_8	CONTROL
156	156	P5_13	INPUT	111	111	P6_8	INPUT
155	155	P5_14	OUTPUT	110	-	P8_10	OUTPUT
154	154	P5_14	CONTROL	109	-	P8_10	CONTROL
153	153	P5_14	INPUT	108	-	P8_10	INPUT
152	152	P5_15	OUTPUT	107	-	P8_11	OUTPUT
151	151	P5_15	CONTROL	106	-	P8_11	CONTROL
150	150	P5_15	INPUT	105	-	P8_11	INPUT
149	149	P6_0	OUTPUT	104	104	P6_9	OUTPUT
148	148	P6_0	CONTROL	103	103	P6_9	CONTROL
147	147	P6_0	INPUT	102	102	P6_9	INPUT
146	146	P6_1	OUTPUT	101	101	P6_10	OUTPUT
145	145	P6_1	CONTROL	100	100	P6_10	CONTROL
144	144	P6_1	INPUT	99	99	P6_10	INPUT
143	143	P6_2	OUTPUT	98	98	P6_11	OUTPUT
142	142	P6_2	CONTROL	97	97	P6_11	CONTROL
141	141	P6_2	INPUT	96	96	P6_11	INPUT
140	140	P6_3	OUTPUT	95	95	P6_12	OUTPUT
139	139	P6_3	CONTROL	94	94	P6_12	CONTROL
138	138	P6_3	INPUT	93	93	P6_12	INPUT
137	137	P6_4	OUTPUT	92	92	P6_13	OUTPUT
136	136	P6_4	CONTROL	91	91	P6_13	CONTROL
135	135	P6_4	INPUT	90	90	P6_13	INPUT
134	134	P6_5	OUTPUT	89	89	P6_14	OUTPUT
133	133	P6_5	CONTROL	88	88	P6_14	CONTROL
132	132	P6_5	INPUT	87	87	P6_14	INPUT
131	-	P8_6	OUTPUT	86	86	P6_15	OUTPUT
130	-	P8_6	CONTROL	85	85	P6_15	CONTROL
129	-	P8_6	INPUT	84	84	P6_15	INPUT
128	-	P8_7	OUTPUT	83	83	P7_0	OUTPUT
127	-	P8_7	CONTROL	82	82	P7_0	CONTROL
126	-	P8_7	INPUT	81	81	P7_0	INPUT
125	-	P8_8	OUTPUT	80	80	P7_1	OUTPUT
124	-	P8_8	CONTROL	79	79	P7_1	CONTROL
123	-	P8_8	INPUT	78	78	P7_1	INPUT
122	-	P8_9	OUTPUT	77	77	P7_2	OUTPUT

表43.10　RZ/A1LグループおよびRZ/A1LCグループLSIの端子とバウンダリスキャンレジスタの対応

208ピン ビット番号	176ピン ビット番号	端子名注1	タイプ
76	76	P7_2	CONTROL
75	75	P7_2	INPUT
74	74	P7_3	OUTPUT
73	73	P7_3	CONTROL
72	72	P7_3	INPUT
71	71	P7_4	OUTPUT
70	70	P7_4	CONTROL
69	69	P7_4	INPUT
68	68	P7_5	OUTPUT
67	67	P7_5	CONTROL
66	66	P7_5	INPUT
65	65	P7_6	OUTPUT
64	64	P7_6	CONTROL
63	63	P7_6	INPUT
62	62	P7_7	OUTPUT
61	61	P7_7	CONTROL
60	60	P7_7	INPUT
59	59	P7_8	OUTPUT
58	58	P7_8	CONTROL
57	57	P7_8	INPUT
56	56	P7_9	OUTPUT
55	55	P7_9	CONTROL
54	54	P7_9	INPUT
53	53	P7_10	OUTPUT
52	52	P7_10	CONTROL
51	51	P7_10	INPUT
50	50	P7_11	OUTPUT
49	49	P7_11	CONTROL
48	48	P7_11	INPUT
47	-	P8_12	OUTPUT
46	-	P8_12	CONTROL
45	-	P8_12	INPUT
44	-	P8_13	OUTPUT
43	-	P8_13	CONTROL
42	-	P8_13	INPUT
41	41	P2_0	OUTPUT
40	40	P2_0	CONTROL
39	39	P2_0	INPUT
38	38	P2_1	OUTPUT
37	37	P2_1	CONTROL
36	36	P2_1	INPUT
35	-	P8_14	OUTPUT
34	-	P8_14	CONTROL
33	-	P8_14	INPUT
32	-	P8_15	OUTPUT
31	-	P8_15	CONTROL
30	-	P8_15	INPUT
29	-	P9_0	OUTPUT
28	-	P9_0	CONTROL
27	-	P9_0	INPUT
26	-	P9_1	OUTPUT
25	-	P9_1	CONTROL
24	-	P9_1	INPUT
23	23	P2_2	OUTPUT
22	22	P2_2	CONTROL
21	21	P2_2	INPUT
20	20	P2_3	OUTPUT
19	19	P2_3	CONTROL
18	18	P2_3	INPUT
17	17	P0_0	INPUT
16	16	P0_1	INPUT
15	15	P0_2	INPUT
14	14	NMI	INPUT
13	13	P1_8	INPUT
12	12	P1_9	INPUT
11	11	P1_10	INPUT
10	10	P1_11	INPUT
9	9	P1_12	INPUT
8	8	P1_13	INPUT
7	7	P1_14	INPUT
6	6	P1_15	INPUT
5	5	P2_4	OUTPUT
4	4	P2_4	CONTROL
3	3	P2_4	INPUT
2	2	P2_5	OUTPUT
1	1	P2_5	CONTROL
0	0	P2_5	INPUT

注1.　「1.6　端子一覧」、「表1.4　端子一覧」の「ポート機能／ 専用機能」欄の端子名
注2.　オープンドレイン端子です。LowにすることでLow出力、HighにすることでHi-Zとなります。
注3.　CONTROLはローアクティブです。CONTROLをLowにすることで該当端子をOUT値に出力します。

表43.11　RZ/A1LUグループLSIの端子とバウンダリスキャンレジスタの対応

208ピン 233ピン ビット番号	176ピン ビット番号	端子名[注1]	タイプ
From TDI			
327	327	P3_0	OUTPUT
326	326	P3_0	CONTROL
325	325	P3_0	INPUT
324	324	P3_1	OUTPUT
323	323	P3_1	CONTROL
322	322	P3_1	INPUT
321	321	P3_2	OUTPUT
320	320	P3_2	CONTROL
319	319	P3_2	INPUT
318	318	P3_3	OUTPUT
317	317	P3_3	CONTROL
316	316	P3_3	INPUT
315	315	P3_4	OUTPUT
314	314	P3_4	CONTROL
313	313	P3_4	INPUT
312	-	P9_2	OUTPUT
311	-	P9_2	CONTROL
310	-	P9_2	INPUT
309	-	P9_3	OUTPUT
308	-	P9_3	CONTROL
307	-	P9_3	INPUT
306	306	P3_5	OUTPUT
305	305	P3_5	CONTROL
304	304	P3_5	INPUT
303	303	P3_6	OUTPUT
302	302	P3_6	CONTROL
301	301	P3_6	INPUT
300	300	P3_7	OUTPUT
299	299	P3_7	CONTROL
298	298	P3_7	INPUT
297	-	P9_4	OUTPUT
296	-	P9_4	CONTROL
295	-	P9_4	INPUT
294	-	P9_5	OUTPUT
293	-	P9_5	CONTROL
292	-	P9_5	INPUT
291	291	P3_8	OUTPUT
290	290	P3_8	CONTROL
289	289	P3_8	INPUT
288	288	P3_9	OUTPUT
287	287	P3_9	CONTROL
286	286	P3_9	INPUT
285	285	P3_10	OUTPUT
284	284	P3_10	CONTROL
283	283	P3_10	INPUT
282	282	P3_11	OUTPUT
281	281	P3_11	CONTROL
280	280	P3_11	INPUT
279	279	P3_12	OUTPUT
278	278	P3_12	CONTROL
277	277	P3_12	INPUT
276	276	P3_13	OUTPUT
275	275	P3_13	CONTROL
274	274	P3_13	INPUT
273	273	P3_14	OUTPUT
272	272	P3_14	CONTROL
271	271	P3_14	INPUT
270	270	P1_0	OUTPUT
269	269	P1_0	INPUT
268	268	P1_1	OUTPUT[注2]
267	267	P1_1	INPUT
266	266	P1_2	OUTPUT[注2]
265	265	P1_2	INPUT
264	264	P1_3	OUTPUT[注2]
263	263	P1_3	INPUT
262	262	P1_4	OUTPUT[注2]
261	261	P1_4	INPUT
260	260	P1_5	OUTPUT[注2]
259	259	P1_5	INPUT
258	258	P1_6	OUTPUT[注2]
257	257	P1_6	INPUT
256	256	P1_7	OUTPUT[注2]
255	255	P1_7	INPUT
254	254	P3_15	OUTPUT
253	253	P3_15	CONTROL
252	252	P3_15	INPUT
251	251	P2_6	OUTPUT
250	250	P2_6	CONTROL
249	249	P2_6	INPUT
248	248	P2_7	OUTPUT
247	247	P2_7	CONTROL
246	246	P2_7	INPUT
245	245	P2_8	OUTPUT
244	244	P2_8	CONTROL
243	243	P2_8	INPUT

表43.11　RZ/A1LU グループLSIの端子とバウンダリスキャンレジスタの対応

208 ピン 233 ピン ビット番号	176 ピン ビット番号	端子名[注1]	タイプ
242	242	P2_9	OUTPUT
241	241	P2_9	CONTROL
240	240	P2_9	INPUT
239	239	P4_0	OUTPUT
238	238	P4_0	CONTROL
237	237	P4_0	INPUT
236	236	P4_1	OUTPUT
235	235	P4_1	CONTROL
234	234	P4_1	INPUT
233	233	P4_2	OUTPUT
232	232	P4_2	CONTROL
231	231	P4_2	INPUT
230	230	P4_3	OUTPUT
229	229	P4_3	CONTROL
228	228	P4_3	INPUT
227	-	P8_0	OUTPUT
226	-	P8_0	CONTROL
225	-	P8_0	INPUT
224	-	P8_1	OUTPUT
223	-	P8_1	CONTROL
222	-	P8_1	INPUT
221	221	P4_4	OUTPUT
220	220	P4_4	CONTROL
219	219	P4_4	INPUT
218	218	P4_5	OUTPUT
217	217	P4_5	CONTROL
216	216	P4_5	INPUT
215	-	P8_2	OUTPUT
214	-	P8_2	CONTROL
213	-	P8_2	INPUT
212	-	P8_3	OUTPUT
211	-	P8_3	CONTROL
210	-	P8_3	INPUT
209	-	P8_4	OUTPUT
208	-	P8_4	CONTROL
207	-	P8_4	INPUT
206	-	P8_5	OUTPUT
205	-	P8_5	CONTROL
204	-	P8_5	INPUT
203	203	P4_6	OUTPUT
202	202	P4_6	CONTROL
201	201	P4_6	INPUT
200	200	P4_7	OUTPUT
199	199	P4_7	CONTROL
198	198	P4_7	INPUT
197	197	P5_0	OUTPUT
196	196	P5_0	CONTROL
195	195	P5_0	INPUT
194	194	P5_1	OUTPUT
193	193	P5_1	CONTROL
192	192	P5_1	INPUT
191	191	P5_2	OUTPUT
190	190	P5_2	CONTROL
189	189	P5_2	INPUT
188	188	P5_3	OUTPUT
187	187	P5_3	CONTROL
186	186	P5_3	INPUT
185	185	P5_4	OUTPUT
184	184	P5_4	CONTROL
183	183	P5_4	INPUT
182	182	P5_5	OUTPUT
181	181	P5_5	CONTROL
180	180	P5_5	INPUT
179	179	P5_6	OUTPUT
178	178	P5_6	CONTROL
177	177	P5_6	INPUT
176	176	P5_7	OUTPUT
175	175	P5_7	CONTROL
174	174	P5_7	INPUT
173	173	P5_8	OUTPUT
172	172	P5_8	CONTROL
171	171	P5_8	INPUT
170	170	P5_9	OUTPUT
169	169	P5_9	CONTROL
168	168	P5_9	INPUT
167	167	P5_10	OUTPUT
166	166	P5_10	CONTROL
165	165	P5_10	INPUT
164	164	P5_11	OUTPUT
163	163	P5_11	CONTROL
162	162	P5_11	INPUT
161	161	P5_12	OUTPUT
160	160	P5_12	CONTROL
159	159	P5_12	INPUT
158	158	P5_13	OUTPUT
157	157	P5_13	CONTROL
156	156	P5_13	INPUT
155	155	P5_14	OUTPUT

表43.11　RZ/A1LUグループLSIの端子とバウンダリスキャンレジスタの対応

208ピン 233ピン ビット番号	176ピン ビット番号	端子名注1	タイプ	208ピン 233ピン ビット番号	176ピン ビット番号	端子名注1	タイプ
154	154	P5_14	CONTROL	110	-	P8_10	OUTPUT
153	153	P5_14	INPUT	109	-	P8_10	CONTROL
152	152	P5_15	OUTPUT	108	-	P8_10	INPUT
151	151	P5_15	CONTROL	107	-	P8_11	OUTPUT
150	150	P5_15	INPUT	106	-	P8_11	CONTROL
149	149	P6_0	OUTPUT	105	-	P8_11	INPUT
148	148	P6_0	CONTROL	104	104	P6_9	OUTPUT
147	147	P6_0	INPUT	103	103	P6_9	CONTROL
146	146	P6_1	OUTPUT	102	102	P6_9	INPUT
145	145	P6_1	CONTROL	101	101	P6_10	OUTPUT
144	144	P6_1	INPUT	100	100	P6_10	CONTROL
143	143	P6_2	OUTPUT	99	99	P6_10	INPUT
142	142	P6_2	CONTROL	98	98	P6_11	OUTPUT
141	141	P6_2	INPUT	97	97	P6_11	CONTROL
140	140	P6_3	OUTPUT	96	96	P6_11	INPUT
139	139	P6_3	CONTROL	95	95	P6_12	OUTPUT
138	138	P6_3	INPUT	94	94	P6_12	CONTROL
137	137	P6_4	OUTPUT	93	93	P6_12	INPUT
136	136	P6_4	CONTROL	92	92	P6_13	OUTPUT
135	135	P6_4	INPUT	91	91	P6_13	CONTROL
134	134	P6_5	OUTPUT	90	90	P6_13	INPUT
133	133	P6_5	CONTROL	89	89	P6_14	OUTPUT
132	132	P6_5	INPUT	88	88	P6_14	CONTROL
131	-	P8_6	OUTPUT	87	87	P6_14	INPUT
130	-	P8_6	CONTROL	86	86	P6_15	OUTPUT
129	-	P8_6	INPUT	85	85	P6_15	CONTROL
128	-	P8_7	OUTPUT	84	84	P6_15	INPUT
127	-	P8_7	CONTROL	83	83	P7_0	OUTPUT
126	-	P8_7	INPUT	82	82	P7_0	CONTROL
125	-	P8_8	OUTPUT	81	81	P7_0	INPUT
124	-	P8_8	CONTROL	80	80	P7_1	OUTPUT
123	-	P8_8	INPUT	79	79	P7_1	CONTROL
122	-	P8_9	OUTPUT	78	78	P7_1	INPUT
121	-	P8_9	CONTROL	77	77	P7_2	OUTPUT
120	-	P8_9	INPUT	76	76	P7_2	CONTROL
119	119	P6_6	OUTPUT	75	75	P7_2	INPUT
118	118	P6_6	CONTROL	74	74	P7_3	OUTPUT
117	117	P6_6	INPUT	73	73	P7_3	CONTROL
116	116	P6_7	OUTPUT	72	72	P7_3	INPUT
115	115	P6_7	CONTROL	71	71	P7_4	OUTPUT
114	114	P6_7	INPUT	70	70	P7_4	CONTROL
113	113	P6_8	OUTPUT	69	69	P7_4	INPUT
112	112	P6_8	CONTROL	68	68	P7_5	OUTPUT
111	111	P6_8	INPUT	67	67	P7_5	CONTROL

表43.11　RZ/A1LU グループLSIの端子とバウンダリスキャンレジスタの対応

208 ピン 233 ピン ビット番号	176 ピン ビット番号	端子名注1	タイプ
66	66	P7_5	INPUT
65	65	P7_6	OUTPUT
64	64	P7_6	CONTROL
63	63	P7_6	INPUT
62	62	P7_7	OUTPUT
61	61	P7_7	CONTROL
60	60	P7_7	INPUT
59	59	P7_8	OUTPUT
58	58	P7_8	CONTROL
57	57	P7_8	INPUT
56	56	P7_9	OUTPUT
55	55	P7_9	CONTROL
54	54	P7_9	INPUT
53	-	P8_12	OUTPUT
52	-	P8_12	CONTROL
51	-	P8_12	INPUT
50	-	P8_13	OUTPUT
49	-	P8_13	CONTROL
48	-	P8_13	INPUT
47	47	P7_10	OUTPUT
46	46	P7_10	CONTROL
45	45	P7_10	INPUT
44	44	P7_11	OUTPUT
43	43	P7_11	CONTROL
42	42	P7_11	INPUT
41	41	P2_0	OUTPUT
40	40	P2_0	CONTROL
39	39	P2_0	INPUT
38	38	P2_1	OUTPUT
37	37	P2_1	CONTROL
36	36	P2_1	INPUT
35	-	P8_14	OUTPUT
34	-	P8_14	CONTROL
33	-	P8_14	INPUT
32	-	P8_15	OUTPUT
31	-	P8_15	CONTROL
30	-	P8_15	INPUT
29	-	P9_0	OUTPUT
28	-	P9_0	CONTROL
27	-	P9_0	INPUT
26	-	P9_1	OUTPUT
25	-	P9_1	CONTROL
24	-	P9_1	INPUT
23	23	P2_2	OUTPUT
22	22	P2_2	CONTROL
21	21	P2_2	INPUT
20	20	P2_3	OUTPUT
19	19	P2_3	CONTROL
18	18	P2_3	INPUT
17	17	P0_0	INPUT
16	16	P0_1	INPUT
15	15	P0_2	INPUT
14	14	NMI	INPUT
13	13	P1_8	INPUT
12	12	P1_9	INPUT
11	11	P1_10	INPUT
10	10	P1_11	INPUT
9	9	P1_12	INPUT
8	8	P1_13	INPUT
7	7	P1_14	INPUT
6	6	P1_15	INPUT
5	5	P2_4	OUTPUT
4	4	P2_4	CONTROL
3	3	P2_4	INPUT
2	2	P2_5	OUTPUT
1	1	P2_5	CONTROL
0	0	P2_5	INPUT

注1.　「1.6　端子一覧」、「表1.4　端子一覧」の「ポート機能／ 専用機能」欄の端子名
注2.　オープンドレイン端子です。Lowにすることで Low 出力、Highにすることで Hi-Z となります。
注3.　CONTROL はローアクティブです。CONTROL を Low にすることで該当端子を OUT 値に出力します。

43.3.4 ID レジスタ（BSID）

BSID は、CPU ではアクセスすることができない 32 ビットのレジスタです。端子側からは、IDCODE のコマンドがセットされたときに、読み出し可能です。書き込みはできません。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DID[31:16]															
初期値：	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DID[15:0]															
初期値：	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

*：RZ/A1L	0	0	0	0	1	0	0	0	0	0	0	1	1	0	1	0
	0	1	1	0	0	1	0	0	0	1	0	0	0	1	1	1
*：RZ/A1LU	0	0	0	0	1	0	0	0	0	0	1	0	1	1	1	1
および RZ/A1LC	0	1	0	0	0	1	0	0	0	1	0	0	0	1	1	1

ビット	ビット名	初期値	R/W	説明
31～0	DID[31:0]	H'081A6447 (*1) H'082F4447 (*2)	—	デバイス IDCODE JTAG に規定されている ID レジスタです。ただし、上位 4 ビットは、チップのバージョンにより変更されることがあります。

*1: RZ/A1L

*2: RZ/A1LU および RZ/A1LC

43.4　ICE レジスタの説明

デバッガインタフェースは、ICE レジスタという以下のレジスタを持っています。
なお、ICE レジスタはデバッグ用途のレジスタのため、デバッグ目的以外では使用しないでください。

表 43.12　ICE レジスタ構成

レジスタ名	略称	R/W	初期値	アドレス		アクセスサイズ
				CPU view	Debugger View	
モードリセットコントロールレジスタ	ICEREGMDRSTCTL	R/W	H'0000111E	H'FC00F000	H'8000F000	32
JTAG トレースセレクトレジスタ	ICEREGJTTRCSEL	R/W	H'00800000	H'FC00F004	H'8000F004	32
クロックパワーコントロールレジスタ	ICEREGCLKPWRCTRL	R/W	H'00000000	H'FC00F014	H'8000F014	32
ロックアクセスレジスタ	ICEREGLOCKACCES	W	—	H'FC00FFB0	H'8000FFB0	32

43.4.1　モードリセットコントロールレジスタ（ICEREGMDRSTCTL）

ICEREGMDRSTCTL は、デバッグモード設定やソフトリセットを行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	NIDEN_CPU0	—	—	—	DBGEN_CPU0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	RSTRB_CPU0_DERSTZ	—	—	—	RSTRB_CPU0_CPURSTZ	—	—	—	RSTRB_SYS_SYSRSTZ	—	RSTRB_CPU_PRSTDBGZ	RSTRB_CPU_SYSRSTZ	—
初期値：	0	0	0	1	0	0	0	1	0	0	0	1	1	1	1	0
R/W：	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説　明
31 ～ 21	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
20	NIDEN_CPU0	0	R/W	CPU 非侵襲性デバッグイネーブル CPU への非侵襲性デバッグイネーブル信号（NIDEN/SPNIDEN）です。 ICEREGJTTRCSEL.PINSETEN=0 の時に有効です。
19 ～ 17	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
16	DBGEN_CPU0	0	R/W	CPU デバッグイネーブル CPU へのデバッグイネーブル信号（DBGEN/SPIDEN）です。 ICEREGJTTRCSEL.PINSETEN=0 の時に有効です。
15 ～ 13	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
12	RSTRB_CPU0_DERSTZ	1	R/W	NEON リセット（low-active） CPU の NEON リセット
11 ～ 9	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
8	RSTRB_CPU0_CPURSTZ	1	R/W	CPU リセット（low-active） CPU のシステムリセット（デバッグリソース以外）
7 ～ 5	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
4	RSTRB_SYS_SYSRSTZ	1	R/W	システムリセット（low-active） チップのシステムリセットです。（デバッグリソースを除く）

ビット	ビット名	初期値	R/W	説　　明
3	—	1	R/W	リザーブビット 読み出すと常に1が読み出されます。書き込む値も常に1にしてください。
2	RSTRB_CPU_PRSTDBGZ	1	R/W	CPUサブシステムデバッグペリフェラルリセット（low-active） CPUサブシステムのDebug-APBをリセットします。
1	RSTRB_CPU_SYSRSTZ	1	R/W	CPUサブシステムリセット（low-active） CPUサブシステムの非デバッグ部をリセットします。
0	—	0	R	リザーブビット 読み出すと常に0が読み出されます。

43.4.2　JTAG トレースセレクトレジスタ（ICEREGJTTRCSEL）

ICEREGJTTRCSEL は、端子へのトレースデータ出力、CPU へのデバッグイネーブル信号の制御を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	PINSETEN	—	—	TRCMUX_SEL	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R	R	R/W	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説　　明
31 ～ 24	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
23	PINSETEN	1	R/W	CPUへのデバッグイネーブル信号の制御方法を選択します 0：DBGEN,NIDENはICEREGMDRSTCTLで決定 1：DBGEN,NIDENは端子（BSCANP）で決定
22、21	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。
20	TRCMUX_SEL	0	R/W	トレース出力が割り当てられている端子のピンマルチの優先順位を設定します。 0：汎用入出力ポートの設定に従う 1：汎用入出力ポートの設定によらず、当該端子の機能はトレース出力となる。
19 ～ 0	—	すべて 0	R	リザーブビット 読み出すと常に0が読み出されます。

43.4.3　クロックパワーコントロールレジスタ（ICEREGCLKPWRCTRL）

ICEREGCLKPWRCTRL は、FAKE デバッグモードの設定を行います。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	FAKED BGCTRL	—	—	—	—	—	—	FAKED BG
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 8	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
7	FAKEDBGCTRL	0	R/W	FAKE デバッグモードの有効/無効を設定します。 0：電源の制御はスタンバイコントロールレジスタ 1（STBCR1）に従います。 1：電源の制御は本レジスタに従います。
6 ～ 1	—	すべて 0	R	リザーブビット 読み出すと常に 0 が読み出されます。
0	FAKEDBG	0	R/W	ディープスタンバイモード時の電源の制御方法を選択します。 0：ディープスタンバイモードで実際に電源を停止します。 1：ディープスタンバイモードでも電源を停止しません。

43.4.4　ロックアクセスレジスタ（ICEREGLOCKACCESS）

ICEREGLOCKACCESS は、CPU から ICE レジスタへのアクセスを可能にします。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ICEREGLOCKACCESS															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICEREGLOCKACCESS															
初期値：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
R/W：	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説　　明
31 ～ 0	ICEREGLOCKACCESS	—	W	CPU から ICE レジスタにライトする際は、本レジスタに最初に 0xC5ACCE55 を書き込んでください。

43.5　動作説明

43.5.1　TAP コントローラ

図 43.3 に TAP コントローラの内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

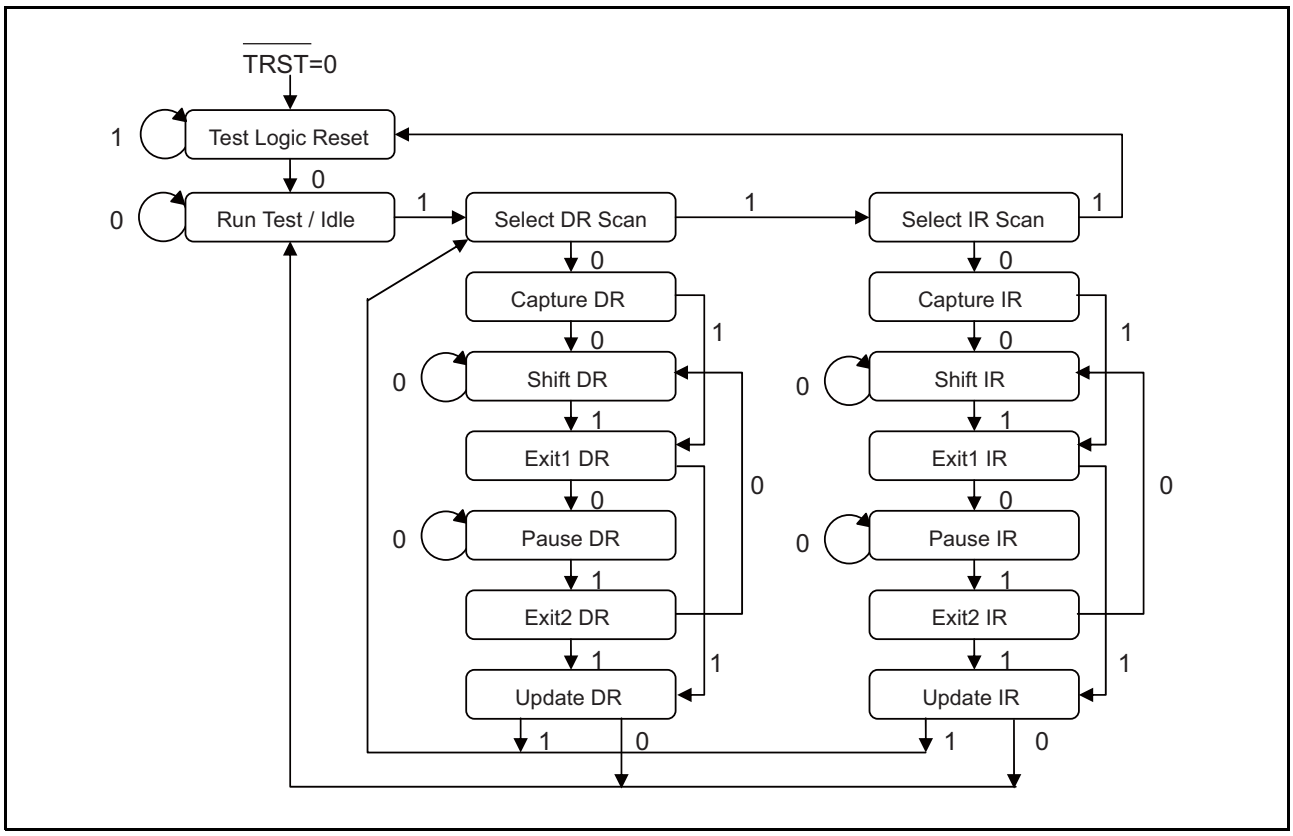


図 43.3　TAP コントローラ状態遷移図

注 .　遷移条件は TCK の立ち上がりエッジにおける TMS 値です。TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。TDO は TCK の立ち下がりエッジで出力されます。TDO は Shift-DR、Shift-IR 状態以外ではハイインピーダンス状態です。TRST のアサートにより TCK とは非同期で Test-Logic-Reset 状態へ遷移します。

43.5.2　リセット構成

表 43.13　リセット構成

RES	TRST	チップ状態
L	L	パワーオンリセットおよび本モジュールのリセット（注 1）
	H	パワーオンリセット（注 1）
H	L	本モジュールのみリセット（注 2）
	H	通常動作（注 2）

注 1.　RES 端子がローレベル、且つ、TRST 端子がローレベルで、CPU と CoreSight はリセット状態となります。
次に TRST 端子をネゲート後、RES 端子をローレベルに保った状態で、デバッグ設定を行ってください。
注 2.　RES 端子がハイレベルの状態で、TRST 端子をネゲートしないでください。
注 3.　TRST 端子をネゲートする場合は、「47.　電気的特性」の「表 47.6　制御信号タイミング RES 入力立上り時間 (tRSr) または RES ネゲートホールド時間 (tRSNH)」を満足するようにしてください。

43.6　バウンダリスキャン

本モジュールから BSIR にコマンドを設定することにより、端子を JTAG で規定されているバウンダリスキャンモードに設定できます。

43.6.1　サポートする命令

本 LSI では、JTAG 規格で定義される 3 つの必須命令（BYPASS、SAMPLE/PRELOAD、および EXTEST）と 3 つのオプション命令（IDCODE、CLAMP、および HIGHZ）をサポートします。

（1）BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令は、シフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

（2）SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中、本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は、何の影響も受けません。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは、Capture-DR 状態の TCK の立ち上がりに同期して行われます。スナップショットの取り込みは、本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間出力ピンから不定値が出力される（EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する）ことになります。

（3）EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD 命令ですでに設定されています）をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うときは、N 回目のテストデータは（N-1）回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません（シフト動作で入れ換えます）。

（4）IDCODE

端子から BSIR にコマンドを設定することにより端子を JTAG で規定されている IDCODE モードに設定できます。本モジュールを初期化した場合（$\overline{\text{TRST}}$ のアサート、または TAP を Test-Logic-Reset 状態にする場合）は、IDCODE モードになります。

（5）CLAMP、HIGHZ

端子から BSIR にコマンドを設定することにより端子を JTAG で規定されている CLAMP、および HIGHZ モードに設定できます。

43.6.2　注意事項

1. クロック関連信号（EXTAL、XTAL、CKIO、AUDIO_X1、AUDIO_X2、USB_X1、USB_X2、RTC_X1、および RTC_X2）は、バウンダリスキャン対象外です。
2. リセット関連記号（$\overline{\text{RES}}$）は、バウンダリスキャン対象外です。
3. 本モジュール関連信号（TCK、TDI、TDO、TMS、$\overline{\text{TRST}}$、および BSCANP）は、バウンダリスキャン対象外です。
4. USB 関連信号（DP0、DP1、DM0、DM1、VBUS0、VBUS1、および REFRIN）は、バウンダリスキャン対象外です。
5. P0_3 は、バウンダリスキャン対象外です。

43.7　使用上の注意事項

1. 本モジュールコマンドは、いったんセットされると他のコマンドが再セットされないかぎり変更されません。同じコマンドを連続してセットする場合は、チップ動作に影響のないコマンド（BYPASS モード等）をいったんセットしてから再度コマンドをセットする必要があります。
2. 本モジュールを使用する／しないにかかわらず、電源投入、ディープスタンバイ（ＦＡＫＥ デバッグモードを除く）からの $\overline{\text{RES}}$ 端子アサートによる解除時は必ず $\overline{\text{TRST}}$ 端子をローレベルにして本モジュールを初期化してください。
3. $\overline{\text{TRST}}$ 端子ネゲート後、TAP コントローラを動かす際は必ず 200ns 以上間隔を空けてください。
4. $\overline{\text{TRST}}$ 端子ネゲートから 200ns 経過するまでの間、TMS 端子はハイレベルに固定してください。

44. JPEG コーデックユニット

本モジュールは、RZ/A1LU にのみ搭載しています。

JPEG コーデックユニットは、JPEG ベースラインに準拠した圧縮伸長方式を持った JPEG コーデックを内蔵しており、画像データの圧縮および JPEG データの復号を高速に処理することができます。

44.1 特長

JPEG コーデックユニットは、以下の特長を持ちます。

- 対応規格：JPEG ベースライン
  本章に記載の範囲内で準拠しています。未対応の基本的な特性は以下の通りです。
  ・2 成分を持つスキャンに未対応
  ・複数成分のノンインタリーブスキャンに未対応
- 演算精度：JPEG Part2、ISO-IEC10918-2 準拠
- 画像入出力方式：ブロックインタリーブ方式
- ピクセルフォーマット
  ・圧縮：YCbCr422(H=2:1:1,V=1:1:1)
  ・伸長：YCbCr444(H=1:1:1,V=1:1:1),
  YCbCr422(H=2:1:1,V=1:1:1),
  YCbCr411(H=4:1:1,V=1:1:1),
  YCbCr420(H=2:1:1,V=2:1:1)
  ただし、バッファへの出力ピクセルフォーマットは YCbCr422, ARGB8888, RGB565 になります。
- 量子化テーブル：4 テーブル内蔵
- ハフマンテーブル：4 テーブル内蔵（AC 係数 2 テーブル、DC 係数 2 テーブル）
- 対象マーカ：SOI（Start Of Image）、SOF0（Start Of Frame Type 0）、SOS（Start Of Scan）、DQT（Define Quantization Tables）、DHT（Define Huffman Tables）、DRI（Define Restart Interval）、RSTm（Restart marks）、EOI（End Of Image）
- 画像データレート：最大 133.34MB/s（66.67MHz 動作時）
- 画像データの入力／出力、符号データの入力／出力時に、設定されたライン数、データ数転送ごとに、転送を一時的に止めるモードをサポートすることにより、バッファ容量を削減可能
- 処理単位：アドレス境界 8 バイト単位で設定可能
- 処理可能画像サイズ：MCU（Minimum Coded Unit）単位（YCbCr444 時、8 ピクセル ×8 ライン。YCbCr422 時、16 ピクセル ×8 ライン。YCbCr411 時、32 ピクセル ×8 ライン。YCbCr420 時、16 ピクセル ×16 ライン）で割り切れるサイズ

注．　非対応ピクセルフォーマットおよび非対応画像サイズの圧縮／伸長処理は行わないでください。

図 44.1 にブロック図を示します。

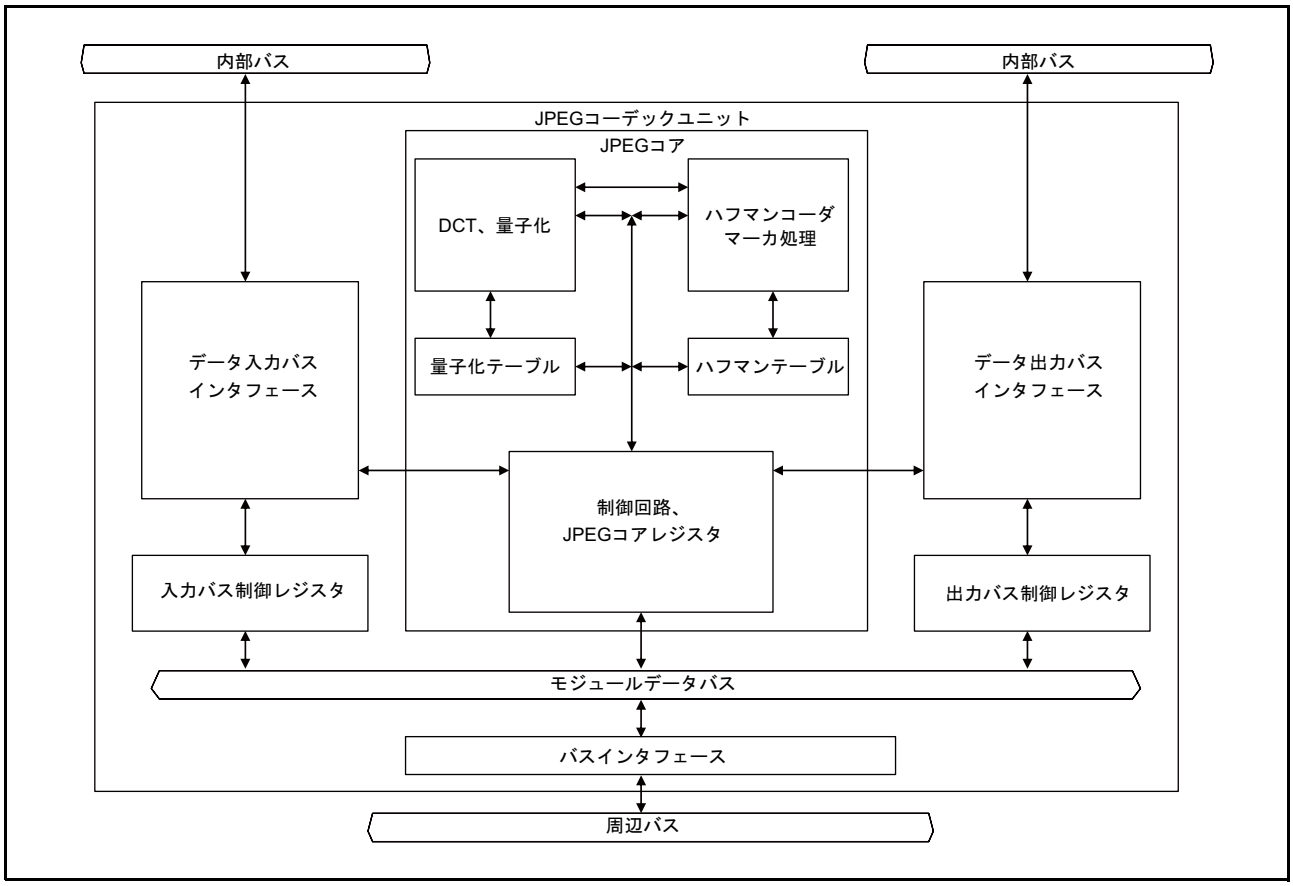


図 44.1　ブロック図

44.2 レジスタの説明

表 44.1 にレジスタ構成を示します。

表44.1　レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG コードモードレジスタ	JCMOD	R/W	H'E801 7000	8
JPEG コードコマンドレジスタ	JCCMD	R/W	H'E801 7001	8
JPEG コード量子化テーブル番号レジスタ	JCQTN	R/W	H'E801 7003	8
JPEG コードハフマンテーブル番号レジスタ	JCHTN	R/W	H'E801 7004	8
JPEG コード DRI 上位レジスタ	JCDRIU	R/W	H'E801 7005	8
JPEG コード DRI 下位レジスタ	JCDRID	R/W	H'E801 7006	8
JPEG コード垂直方向サイズ上位レジスタ	JCVSZU	R/W	H'E801 7007	8
JPEG コード垂直方向サイズ下位レジスタ	JCVSZD	R/W	H'E801 7008	8
JPEG コード水平方向サイズ上位レジスタ	JCHSZU	R/W	H'E801 7009	8
JPEG コード水平方向サイズ下位レジスタ	JCHSZD	R/W	H'E801 700A	8
JPEG コードデータカウント上位レジスタ	JCDTCU	R	H'E801 700B	8
JPEG コードデータカウント中位レジスタ	JCDTCM	R	H'E801 700C	8
JPEG コードデータカウント下位レジスタ	JCDTCD	R	H'E801 700D	8
JPEG 割り込みイネーブルレジスタ 0	JINTE0	R/W	H'E801 700E	8
JPEG 割り込みステータスレジスタ 0	JINTS0	R/W	H'E801 700F	8
JPEG コードデコードエラーレジスタ	JCDERR	R/W	H'E801 7010	8
JPEG コード再起動レジスタ	JCRST	R	H'E801 7011	8
JPEG インタフェース圧縮制御レジスタ	JIFECNT	R/W	H'E801 7040	32
JPEG インタフェース圧縮ソースアドレスレジスタ	JIFESA	R/W	H'E801 7044	32
JPEG インタフェース圧縮ラインオフセットレジスタ	JIFESOFST	R/W	H'E801 7048	32
JPEG インタフェース圧縮デスティネーションアドレスレジスタ	JIFEDA	R/W	H'E801 704C	32
JPEG インタフェース圧縮ソースラインカウントレジスタ	JIFESLC	R/W	H'E801 7050	32
JPEG インタフェース圧縮ディステネーションレジスタ	JIFEDDC	R/W	H'E801 7054	32
JPEG インタフェース伸長制御レジスタ	JIFDCNT	R/W	H'E801 7058	32
JPEG インタフェース伸長ソースアドレスレジスタ	JIFDSA	R/W	H'E801 705C	32
JPEG インタフェース伸長デスティネーションオフセットレジスタ	JIFDDOFST	R/W	H'E801 7060	32
JPEG インタフェース伸長デスティネーションアドレスレジスタ	JIFDDA	R/W	H'E801 7064	32
JPEG インタフェース伸長ソースカウントレジスタ	JIFDSDC	R/W	H'E801 7068	32
JPEG インタフェース伸長デスティネーションラインカウントレジスタ	JIFDDLC	R/W	H'E801 706C	32
JPEG インタフェース伸長α設定レジスタ	JIFDADT	R/W	H'E801 7070	32
JPEG 割り込みイネーブルレジスタ 1	JINTE1	R/W	H'E801 708C	32
JPEG 割り込みステータスレジスタ 1	JINTS1	R/W	H'E801 7090	32
JPEG 入力画像データ CbCr 範囲設定レジスタ	JIFESVSZ	R/W	H'E801 7094	32
JPEG 出力画像データ CbCr 範囲設定レジスタ	JIFESHSZ	R/W	H'E801 7098	32
JPEG コード量子化テーブル 0 レジスタ	JCQTBL0	R/W	H'E801 7100 ～ H'E801 713F	8
JPEG コード量子化テーブル 1 レジスタ	JCQTBL1	R/W	H'E801 7140 ～ H'E801 717F	8
JPEG コード量子化テーブル 2 レジスタ	JCQTBL2	R/W	H'E801 7180 ～ H'E801 71BF	8
JPEG コード量子化テーブル 3 レジスタ	JCQTBL3	R/W	H'E801 71C0 ～ H'E801 71FF	8

表44.1　レジスタ構成

レジスタ名称	略称	R/W	アドレス	アクセスサイズ
JPEG コードハフマンテーブル DC0 レジスタ	JCHTBD0	W	H'E801 7200 ～ H'E801 721B	8
JPEG コードハフマンテーブル AC0 レジスタ	JCHTBA0	W	H'E801 7220 ～ H'E801 72D1	8
JPEG コードハフマンテーブル DC1 レジスタ	JCHTBD1	W	H'E801 7300 ～ H'E801 731B	8
JPEG コードハフマンテーブル AC1 レジスタ	JCHTBA1	W	H'E801 7320 ～ H'E801 73D1	8

注.　JPEG コード量子化テーブルおよび JPEG コードハフマンテーブルの設定は「44.3.1 (4)　テーブル設定」を参照してください。

44.2.1　JPEG コードモードレジスタ（JCMOD）

JCMOD は、動作前に各種モードを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DSP	REDU[2:0]		
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 4	－	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	DSP	0	R/W		圧縮／伸長設定 0：圧縮処理のとき 1：伸長処理のとき 注.　圧縮／伸長処理を変更する場合は、必ず低消費電力モード　ソフトウェアリセットコントロールレジスタ 2（SWRSTCR2）の SRST21 ビットにて、本モジュールを一度リセット状態にしてください。
2 ～ 0	REDU[2:0]	000	R/W	R	ピクセルフォーマット設定 [圧縮時] 001：YCbCr422 上記以外：設定禁止 [伸長時] 000：YCbCr444 001：YCbCr422 110：YCbCr411 010：YCbCr420 上記以外：正しく処理を行えませんので、エラーとして扱ってください。

44.2.2　JPEG コードコマンドレジスタ（JCCMD）

JCCMD は、各種コマンドを設定するレジスタです。コマンド設定後に 0 書き込みによるクリアをする必要はありません。

各コマンドの同時設定は禁止です。

ビット：	7	6	5	4	3	2	1	0
	BRST	—	—	—	—	JEND	JRST	JSRT
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R*/W	R	R	R	R	R*/W	無効	R*/W
R/W（伸長）：	R*/W	R	R	R	R	R*/W	R*/W	R*/W

【注】＊　読み出し値は不定となります。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	BRST	0	R*/W		バスリセット 本ビットに1を設定することにより、内部回路がリセットされます。動作中（JPEGコア処理開始コマンド設定後から最終出力符号／画像データ書き出し終了まで）は本ビットを1に設定しないでください。 バスリセット処理については「44.5　バスリセット処理」を参照してください。
6～3	－	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	JEND	0	R*/W		割り込み要求解除コマンド JINTS0のINS6、INS5、INS3ビットの割り込み要因に対してのみ有効です。 割り込み要求解除は、1を設定してください。
1	JRST	0	無効	R*/W	JPEGコア処理停止解除コマンド 画像サイズ、ピクセルフォーマットの読み出しリクエスト（JINTE0のINT3ビットの設定）による処理停止解除時、1を設定してください。
0	JSRT	0	R*/W		JPEGコア処理開始コマンド 処理開始時、本ビットに1を設定してください。動作中に再度1を書き込まないでください。

注．＊ 読み出し値は不定となります。

44.2.3　JPEG コード量子化テーブル番号レジスタ（JCQTN）

JCQTN は、圧縮処理前に量子化テーブル番号を設定するレジスタです。

- 量子化テーブル No.0 JCQTBL0 を第 1 色成分に使用する場合、QT1 に B'00 を設定
- 量子化テーブル No.1 JCQTBL1 を第 1 色成分に使用する場合、QT1 に B'01 を設定
- 量子化テーブル No.2 JCQTBL2 を第 1 色成分に使用する場合、QT1 に B'10 を設定
- 量子化テーブル No.3 JCQTBL3 を第 1 色成分に使用する場合、QT1 に B'11 を設定

ビット：	7	6	5	4	3	2	1	0
	—	—	QT3[1:0]		QT2[1:0]		QT1[1:0]	
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7、6	－	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5、4	QT3[1:0]	00	R/W	R	第3色成分の量子化テーブル番号
3、2	QT2[1:0]	00	R/W	R	第2色成分の量子化テーブル番号
1、0	QT1[1:0]	00	R/W	R	第1色成分の量子化テーブル番号

44.2.4　JPEG コードハフマンテーブル番号レジスタ（JCHTN）

JCHTN は、圧縮処理前にハフマンテーブル番号（AC/DC）を設定するレジスタです。

- DC/AC ハフマンテーブル No.0（JCHTBD0、JCHTBA0）を第 1 色成分に使用する場合、HTA1 ビットに B'0、HTD1 ビットに B'0 を設定
- DC/AC ハフマンテーブル No.1（JCHTBD1、JCHTBA1）を第 1 色成分に使用する場合、HTA1 ビットに B'1、HTD1 ビットに B'1 を設定

ビット：	7	6	5	4	3	2	1	0
	—	—	HTA3	HTD3	HTA2	HTD2	HTA1	HTD1
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7、6	－	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
5	HTA3	0	R/W	R	第3色成分のハフマンテーブル番号（AC）
4	HTD3	0	R/W	R	第3色成分のハフマンテーブル番号（DC）
3	HTA2	0	R/W	R	第2色成分のハフマンテーブル番号（AC）
2	HTD2	0	R/W	R	第2色成分のハフマンテーブル番号（DC）
1	HTA1	0	R/W	R	第1色成分のハフマンテーブル番号（AC）
0	HTD1	0	R/W	R	第1色成分のハフマンテーブル番号（DC）

44.2.5　JPEG コード DRI 上位レジスタ（JCDRIU）

JCDRIU は、RST マーカを挿入する MCU 数の上位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	DRIU[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DRIU[7:0]	H'00	R/W	無効	RST マーカを挿入する MCU 数の上位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません。

44.2.6　JPEG コード DRI 下位レジスタ（JCDRID）

JCDRID は、RST マーカを挿入する MCU 数の下位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	DRID[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DRID[7:0]	H'00	R/W	無効	RST マーカを挿入する MCU 数の下位バイト 上位、下位ともに H'00 を設定した場合、DRI、RST マーカは挿入されません。

44.2.7　JPEG コード垂直方向サイズ上位レジスタ（JCVSZU）

JCVSZU は、垂直方向の画像サイズ値の上位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	VSZU[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	VSZU[7:0]	H'00	R/W	R	垂直方向の画像サイズ値の上位バイト 伸長時は JPEG 符号データからのダウンロード値がセットされます。

44.2.8　JPEG コード垂直方向サイズ下位レジスタ（JCVSZD）

JCVSZD は、垂直方向の画像サイズ値の下位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	VSZD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	VSZD[7:0]	H'00	R/W	R	垂直方向の画像サイズ値の下位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

44.2.9　JPEG コード水平方向サイズ上位レジスタ（JCHSZU）

JCHSZU は、水平方向の画像サイズ値の上位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	HSZU[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	HSZU[7:0]	H'00	R/W	R	水平方向の画像サイズ値の上位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

44.2.10　JPEG コード水平方向サイズ下位レジスタ（JCHSZD）

JCHSZD は、水平方向の画像サイズ値の下位バイトを設定するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	HSZD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	HSZD[7:0]	H'00	R/W	R	水平方向の画像サイズ値の下位バイト 伸長時はJPEG符号データからのダウンロード値がセットされます。

44.2.11　JPEG コードデータカウント上位レジスタ（JCDTCU）

JCDTCU は、圧縮データ量のカウント値の上位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
	DCU[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DCU[7:0]	H'00	R	無効	圧縮データ量のカウント値の上位バイト

44.2.12　JPEG コードデータカウント中位レジスタ（JCDTCM）

JCDTCM は、圧縮データ量のカウント値の中位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
	DCM[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DCM[7:0]	H'00	R	無効	圧縮データ量のカウント値の中位バイト

44.2.13　JPEG コードデータカウント下位レジスタ（JCDTCD）

JCDTCD は、圧縮データ量のカウント値の下位バイトが設定されるレジスタです。本レジスタの値は、処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
	DCD[7:0]							
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 0	DCD[7:0]	H'00	R	無効	圧縮データ量のカウント値の下位バイト

44.2.14　JPEG 割り込みイネーブルレジスタ 0（JINTE0）

JINTE0 は、割り込み許可を設定するレジスタです。

INT7 ～ INT5 ビットを B'1 に設定した場合、圧縮データエラー発生時に JINTS0 の INS5 ビットでエラーステータスが B'1 となります。詳細なエラーコードは JCDERR の ERR ビットに示されます。

ビット：	7	6	5	4	3	2	1	0
	INT7	INT6	INT5	—	INT3	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	R	無効	R	R	R
R/W（伸長）：	R/W	R/W	R/W	R	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	INT7	0	無効	R/W	伸長時、ハフマン符号化セグメント内のリスタートインターバル間のデータ数に異常があった場合、割り込みを発生させるかどうか設定します。 設定しない場合、エラーコードも返しません。
6	INT6	0	無効	R/W	伸長時、ハフマン符号化セグメント内の総データ数に異常があった場合、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。
5	INT5	0	無効	R/W	伸長時、ハフマン符号化セグメント内の最終MCUデータ数に異常があった場合、割り込みを発生させるかどうかを設定します。 設定しない場合、エラーコードも返しません。
4	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	INT3	0	無効	R/W	圧縮データの解析の結果、画像サイズ、間引きの設定値が読み出し可能であるときに、割り込みを発生させるかどうかを設定します。
2 ～ 0	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

44.2.15　JPEG 割り込みステータスレジスタ 0（JINTS0）

JINTS0 は、割り込み発生の原因を判別するレジスタです。

本レジスタの割り込み要因は、ステータスのクリアとともに JCCMD にて割り込みを解除してください。

ビット：	7	6	5	4	3	2	1	0
	—	INS6	INS5	—	INS3	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R/W*	無効	R	無効	R	R	R
R/W（伸長）：	R	R/W*	R/W*	R	R/W*	R	R	R

【注】* 0書き込みによるクリアを行ってください。
1書き込みは行わないでください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	INS6	0	R/W*		正常終了したとき1に設定されます。
5	INS5	0	無効	R/W*	圧縮データエラーが発生したとき1に設定されます。
4	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
3	INS3	0	無効	R/W*	画像サイズ／ピクセルフォーマットを読み出し可能なとき1に設定されます。割り込み発生時、本モジュールは処理停止状態となります。処理停止状態はJCRSTに示されます。処理再開は、処理停止解除コマンド（JCCMDのJRSTビット）を設定します。
2～0	—	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

注．* 0書き込みによるクリアを行ってください。1書き込みは行わないでください。

44.2.16　JPEG コードデコードエラーレジスタ（JCDERR）

JCDERR は、伸長動作時、圧縮データ解析でエラーが発生した場合のエラー種類をコードにて判別するレジスタです。

本レジスタの値は処理開始時にリセットされます。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	ERR[3:0]			
初期値：	0	0	0	0	1	0	1	0
R/W（圧縮）：	R	R	R	R	無効	無効	無効	無効
R/W（伸長）：	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7～4	—	すべて0	R		リザーブビット 読み出すと常に0が読み出されます。
3～0	ERR[3:0]	1010	無効	R/W	エラーコード（表44.3、表44.4参照）

44.2.17　JPEG コード再起動レジスタ（JCRST）

JCRST は、画像サイズ、ピクセルフォーマットの読み出しリクエスト（JINTE0 の INT3 ビットの設定）による処理停止状態を示します。

処理再開は、処理停止解除コマンド JCCMD の JRST ビットを設定します。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	RST
初期値：	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	無効
R/W（伸長）：	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
7 ～ 1	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。
0	RST	0	無効	R	動作状態 0：下記以外の状態 1：JINTE0の割り込み要因によるサスペンド中

44.2.18　JPEG インタフェース圧縮制御レジスタ（JIFECNT）

JIFECNT は、圧縮処理を制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	JOUT RINI	JOUT RCMD	JOUT C	—	JOUTSWAP[2:0]			—	DIN RINI	DIN RCMD	DIN LC	—	DINSWAP[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W
R/W（伸長）：	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効	R	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	JOUTRINI	0	R/W	無効	出力符号データ再開時アドレス初期化設定 出力符号データ停止カウントオン時のみ有効です。 データ再開コマンドに1ライトする前に設定してください。 0：出力符号データ再開時、転送アドレスを初期化しません。 1：出力符号データ再開時、転送アドレスを初期化します。
13	JOUTR CMD	0	R/W	無効	出力符号データ再開コマンド 出力符号データ停止カウントオン時のみ有効です。 1に設定することで、出力符号データの書き込みを再開します。 読み出すと常に0が読み出されます。
12	JOUTC	0	R/W	無効	出力符号データ停止カウントモード設定 0：出力符号データ停止カウントオフ 1：出力符号データ停止カウントオン
11	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
10 ～ 8	JOUT SWAP[2:0]	000	R/W	無効	バイト／ワード／ロングワードスワップ設定 圧縮時の出力符号データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード—バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード—バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード—ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード—ワード—バイトスワップ]
7	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	DINRINI	0	R/W	無効	入力画像データライン再開時アドレス初期化設定 入力画像データライン停止カウントオン時のみ有効です。 データライン再開コマンドに1ライトする前に設定してください。 0：入力画像データライン再開時、転送アドレスを初期化しません。 1：入力画像データライン再開時、転送アドレスを初期化します。
5	DINRCMD	0	R/W	無効	入力画像データライン再開コマンド 入力画像データライン停止カウントオン時のみ有効です。 1に設定することで、入力画像データの読み込みを再開します。 読み出すと常に0が読み出されます。
4	DINLC	0	R/W	無効	入力画像データライン停止カウントモード設定 0：入力画像データライン停止カウントオフ 1：入力画像データライン停止カウントオン
3	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2 ～ 0	DINSWAP [2:0]	000	R/W	無効	バイト／ワード／ロングワードスワップ設定 圧縮時の入力画像データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード—バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード—バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード—ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード—ワード—バイトスワップ]

44.2.19　JPEG インタフェース圧縮ソースアドレスレジスタ（JIFESA）

JIFESA は、入力画像データのソースアドレスを設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	ESA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ESA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3 2 ～ 0	ESA[31:3] ESA[2:0]	H'0000 0000	R/W R	無効	入力画像データのソースアドレス設定（8バイト単位） 下位3ビットは必ず0としてください。

44.2.20　JPEG インタフェース圧縮ラインオフセットレジスタ（JIFESOFST）

JIFESOFST は、入力画像データのラインオフセットを設定するレジスタです（「44.3.4　画像データ格納」参照）。

本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	ESMW[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	R	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14 ～ 3 2 ～ 0	ESMW [14:3] ESMW [2:0]	H'0000	R/W R	無効	入力画像データのラインオフセットを設定します。（8バイト単位） 下位3ビットは必ず0としてください。

44.2.21　JPEG インタフェース圧縮デスティネーションアドレスレジスタ（JIFEDA）

JIFEDA は、出力符号データのデスティネーションアドレスを設定するレジスタです。
本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	EDA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	EDA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3	EDA [31:3]	H'0000 0000	R/W	無効	出力符号データのデスティネーションアドレス設定（8バイト単位） 下位3ビットは必ず0としてください。
2 ～ 0	EDA [2:0]		R		

44.2.22　JPEG インタフェース圧縮ソースラインカウントレジスタ（JIFESLC）

JIFESLC は、入力画像データライン停止カウントオン（JIFECNT の DINLC ビット =1）時の入力画像データライン数を設定するレジスタです。本レジスタは、8 ライン単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LINES[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3	LINES[15:3]	H'FFF8	R/W	無効	入力画像データの読み出すライン数を設定してください。（8ライン単位） 下位3ビットは必ず0としてください。
2 ～ 0	LINES[2:0]		R		

44.2.23　JPEG インタフェース圧縮デスティネーションカウントレジスタ（JIFEDDC）

JIFEDDC は、出力符号データ停止カウントオン（JIFECNT の JOUTC ビット =1）時の出力符号データ数を設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JDATAS[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
R/W（伸長）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3 2 ～ 0	JDATAS[15:3] JDATAS[2:0]	H'FFF8	R/W R	無効	出力符号データの書き出すデータ数を設定してください。（8バイト単位） 下位3ビットは必ず0としてください。

44.2.24　JPEG インタフェース伸長制御レジスタ（JIFDCNT）

JIFDCNT は、伸長処理を制御するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	VINTER[1:0]		HINTER[1:0]		OPF[1:0]		—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	無効		無効		無効		R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R/W		R/W		R/W		R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	JINR INI	JINR CMD	JINC	—	JINSWAP[2:0]			—	DOUT RINI	DOUT RCMD	DOUT LC	—	DOUTSWAP[2:0]		
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	無効	無効	無効	R	無効			R	無効	無効	無効	R	無効		
R/W（伸長）：	R	R/W	R/W	R/W	R	R/W			R	R/W	R/W	R/W	R	R/W		

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31、30	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
29、28	VINTER [1:0]	00	無効	R/W	垂直方向間引き設定 出力画像データの垂直方向を間引きします。 00：間引きなし 01：1/2に間引き 10：1/4に間引き 11：1/8に間引き

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
27、26	HINTER [1:0]	00	無効	R/W	水平方向間引き設定 出力画像データの水平方向を間引きます。 00：間引きなし 01：1/2に間引き 10：1/4に間引き 11：1/8に間引き
25、24	OPF[1:0]	00	無効	R/W	出力画像データのピクセルフォーマットを指定します。 00：YCbCr422 01：ARGB8888 10：RGB565 11：設定禁止
23 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14	JINRINI	0	無効	R/W	入力符号データ再開時アドレス初期化設定 入力符号データ停止カウントオン時のみ有効です。 データ再開コマンドに1ライトする前に設定してください。 0：入力符号データ再開時、転送アドレスを初期化しません。 1：入力符号データ再開時、転送アドレスを初期化します。
13	JINRCMD	0	無効	R/W	入力符号データ再開コマンド 入力符号データ停止カウントオン時のみ有効です。 1に設定することで、入力符号データの読み出しを再開します。 読み出すと常に0が読み出されます。
12	JINC	0	無効	R/W	入力符号データ停止カウント設定 0：入力符号データ停止カウントオフ 1：入力符号データ停止カウントオン
11	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
10 ～ 8	JINSWAP [2:0]	000	無効	R/W	バイト／ワード／ロングワードスワップ設定 伸長時の入力符号データがスワップ対象となります。 000：(1) (2) (3) (4) (5) (6) (7) (8) 001：(2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010：(3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011：(4) (3) (2) (1) (8) (7) (6) (5) [ワード—バイトスワップ] 100：(5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101：(6) (5) (8) (7) (2) (1) (4) (3) [ロングワード—バイトスワップ] 110：(7) (8) (5) (6) (3) (4) (1) (2) [ロングワード—ワードスワップ] 111：(8) (7) (6) (5) (4) (3) (2) (1) [ロングワード—ワード—バイトスワップ]
7	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	DOUTRINI	0	無効	R/W	出力画像データライン再開時アドレス初期化設定 出力画像データライン停止カウントオン時のみ有効です。 データライン再開コマンドに1ライトする前に設定してください。 0：出力画像データライン再開時、転送アドレスを初期化しません。 1：出力画像データライン再開時、転送アドレスを初期化します。
5	DOUTR CMD	0	無効	R/W	出力画像データライン再開コマンド 出力画像データライン停止カウントオン時のみ有効です。 1に設定することで、画像データの書き込みを再開します。 読み出すと常に0が読み出されます。
4	DOUTLC	0	無効	R/W	出力画像データライン停止カウント設定 0：出力画像データライン停止カウントオフ 1：出力画像データライン停止カウントオン
3	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
2 ～ 0	DOUT SWAP[2:0]	000	無効	R/W	バイト／ワード／ロングワードスワップ設定 伸長時の出力画像データがスワップ対象となります。 000 : (1) (2) (3) (4) (5) (6) (7) (8) 001 : (2) (1) (4) (3) (6) (5) (8) (7) [バイトスワップ] 010 : (3) (4) (1) (2) (7) (8) (5) (6) [ワードスワップ] 011 : (4) (3) (2) (1) (8) (7) (6) (5) [ワード―バイトスワップ] 100 : (5) (6) (7) (8) (1) (2) (3) (4) [ロングワードスワップ] 101 : (6) (5) (8) (7) (2) (1) (4) (3) [ロングワード―バイトスワップ] 110 : (7) (8) (5) (6) (3) (4) (1) (2) [ロングワード―ワードスワップ] 111 : (8) (7) (6) (5) (4) (3) (2) (1) [ロングワード―ワード―バイトスワップ]

44.2.25　JPEG インタフェース伸長ソースアドレスレジスタ（JIFDSA）

JIFDSA は、入力符号データのソースアドレスを設定します。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DSA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DSA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3	DSA[31:3]	H'0000 0000	無効	R/W	入力符号データのソースアドレス設定（8バイト単位）
2 ～ 0	DSA[2:0]			R	下位3ビットは必ず0としてください。

44.2.26　JPEG インタフェース伸長ラインオフセットレジスタ（JIFDDOFST）

JIFDDOFST は、出力画像データのラインオフセットを設定するレジスタです（「44.3.4　画像データ格納」参照）。

本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	DDMW[14:0]														
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 15	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
14 ～ 3 2 ～ 0	DDMW[14:3] DDMW[2:0]	H'0000	無効	R/W R	出力画像データのラインオフセットを設定します。（8バイト単位） 下位3ビットは必ず0としてください。

44.2.27　JPEG インタフェース伸長デスティネーションアドレスレジスタ（JIFDDA）

JIFDDA は、出力画像データのデスティネーションアドレスを設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	DDA[31:16]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DDA[15:0]															
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 3 2 ～ 0	DDA[31:3] DDA[2:0]	H'0000 0000	無効	R/W R	出力画像データのデスティネーションアドレス設定（8バイト単位） 下位3ビットは必ず0としてください。

44.2.28　JPEG インタフェース伸長ソースデータカウントレジスタ（JIFDSDC）

JIFDSDC は、入力符号データ停止カウントオン（JIFDCNT の JINC ビット =1）時の入力符号データ数を設定するレジスタです。本レジスタは、8 バイト単位で設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	JDATAS[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3 2 ～ 0	JDATAS[15:3] JDATAS[2:0]	H'FFF8	無効	R/W R	入力符号データの読み出すデータ数を設定してください。（8バイト単位） 下位3ビットは必ず0としてください。

44.2.29　JPEG インタフェース伸長デスティネーションラインカウントレジスタ（JIFDDLC）

JIFDDLC は、出力画像データライン停止カウントオン（JIFDCNT の DOUTLC ビット =1）時の出力画像データライン数を設定するレジスタです。本レジスタは、出力画像データライン数が MCU 単位となるように設定してください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	LINES[15:0]															
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0	0
R/W（圧縮）：	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	H'FFF8	R		リザーブビット 不定値が読み出されます。書き込む値は常に0にしてください。
15 ～ 3 2 ～ 0	LINES[15:3] LINES[2:0]	H'FFF8	無効	R/W R	出力画像データの書き出すライン数を設定してください。 出力画像データライン数がMCU単位となるように設定してください。 YCbCr444、YCbCr422、YCbCr411出力時は、本設定値×1が出力画像データライン数となります。 YCbCr420出力時は、本設定値×2が出力画像データライン数となります。 下位3ビットは必ず0としてください。

44.2.30　JPEG インタフェース伸長 α 設定レジスタ（JIFDADT）

JIFDADT は、ARGB8888 形式で出力する際の α の値を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	ALPHA[7:0]							
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	無効	無効	無効	無効	無効	無効	無効	無効
R/W（伸長）：	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 8	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
7 ～ 0	ALPHA [7:0]	H'00	無効	R/W	ARGB8888形式で出力する際のαの値を設定します。

44.2.31　JPEG 割り込みイネーブルレジスタ 1（JINTE1）

JINTE1 は、割り込み許可を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CBTEN	DINLEN	JOUTEN	—	DBTEN	JINEN	DOUTLEN
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R	無効	無効	無効
R/W（伸長）：	R	R	R	R	R	R	R	R	R	無効	無効	無効	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 7	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	CBTEN	0	R/W	無効	JINTS1のCBTFビットが1セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
5	DINLEN	0	R/W	無効	JINTS1のDINLFビットが1セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
4	JOUTEN	0	R/W	無効	JINTS1のJOUTFビットが1セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
3	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	DBTEN	0	無効	R/W	JINTS1のDBTFビットが1セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
1	JINEN	0	無効	R/W	JINTS1のJINFビットが1セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可
0	DOUTLEN	0	無効	R/W	JINTS1のDOUTLFビットが1セットされたとき、データ転送処理割り込み要求（JDTI）を許可／禁止します。 0：割り込み要求の禁止 1：割り込み要求の許可

44.2.32　JPEG 割り込みステータスレジスタ 1（JINTS1）

JINTS1 は、割り込み発生の原因を判別するレジスタです。
本レジスタの割り込み要因は、0 書き込みによるクリアを行ってください。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	CBTF	DINLF	JOUTF	—	DBTF	JINF	DOUTLF
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R	無効	無効	無効
R/W（伸長）：	R	R	R	R	R	R	R	R	R	無効	無効	無効	R	R/W*	R/W*	R/W*

【注】* 読み出し値が1 のビットのみ0 書き込みによるクリアを行ってください。
読み出し値が0 のビットには1 を書き込んでください。

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 7	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
6	CBTF	0	R/W*	無効	圧縮時、最終出力符号データを書き出したとき1に設定されます。
5	DINLF	0	R/W*	無効	圧縮時、入力画像データをJIFESLCに示すライン数分読み出したとき、1に設定されます。 JIFECNTのDINLCビット=1の時のみ有効となります。
4	JOUTF	0	R/W*	無効	圧縮時、出力符号データをJIFEDDCに示すデータ数分書き出したとき、1に設定されます。 JIFECNTのJOUTCビット=1の時のみ有効となります。
3	—	0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
2	DBTF	0	無効	R/W*	伸長時、最終出力画像データを書き出したとき 1 に設定されます。
1	JINF	0	無効	R/W*	伸長時、入力符号データをJIFDSDCに示すデータ数分読み出したとき、1に設定されます。 JIFDCNTのJINCビット=1の時のみ有効となります。
0	DOUTLF	0	無効	R/W*	伸長時、出力画像データをJIFDDLCに示すライン数分書き出したとき、1に設定されます。 JIFDCNTのDOUTLCビット=1の時のみ有効となります。

注.　読み出し値が1のビットのみ0書き込みによるクリアを行ってください。
読み出し値が0のビットには1を書き込んでください。

44.2.33　JPEG 入力画像データ CbCr 範囲設定レジスタ（JIFESVSZ）

JIFESVSZ は、入力画像データの CbCr 範囲を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DINY CHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	無効	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
15	DINYCHG	0	R/W	無効	入力画像データのCbCr範囲設定 0：–128～127の範囲 1：0～255の範囲
14 ～ 0	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

44.2.34　JPEG 出力画像データ CbCr 範囲設定レジスタ（JIFESHSZ）

JIFESHSZ は、出力画像データの CbCr 範囲を設定するレジスタです。

ビット：	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DOUTY CHG	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W（圧縮）：	無効	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
R/W（伸長）：	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W		説明
			圧縮	伸長	
31 ～ 16	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。
15	DOUTY CHG	0	無効	R/W	出力画像データのCbCr範囲設定 0：–128～127の範囲 1：0～255の範囲
14 ～ 0	—	すべて 0	R		リザーブビット 読み出すと常に0が読み出されます。書き込む値は必ず0にしてください。

44.3　動作説明

44.3.1　圧縮

(1)　処理概要

圧縮処理の動作フローは、以下のようになります。

1. JPEG コア起動
   マーカ出力（マーカ出力終了後、画像データ入力可能）
   SOI ～ SOS マーカ作成に約 30,000 サイクル必要とします。
2. 外部バッファから本モジュールに画像データを MCU ごとに転送
   入力画像データライン停止カウントオン設定時は、JIFESLC で設定したライン数分の画像データ読み出し完了ごとに、読み込みを停止します。JIFECNT の DINRCMD ビットに 1 セットすることで、読み出しを再開します。
   読み出し先のアドレスは、JIFECNT の DINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。DINRINI ビット＝ 1 設定時は、JIFESA に設定したアドレスから再開します。
   また、1 画面分の画像データ転送終了時にも読み込みを停止します。
   入力画像データライン停止カウントオフ設定時は、1 画面分の画像データが終了するまで読み出します。
3. JPEG コア部へ画像データ入力
   JPEG コアでは、MCU 単位で随時処理
4. 本モジュールから外部バッファに符号データを転送
   出力符号データ停止カウントオン設定時は、JIFEDDC で設定したデータ数分の符号データ書き込み完了ごとに、書き込みを停止します。JIFECNT の JOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
   書き込み先のアドレスは、JIFECNT の JOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JOUTRINI ビット＝ 1 設定時は、JIFEDA に設定したアドレスから再開します。
   また、1 画面分の符号データ転送終了時にも書き込みを停止します。
   出力符号データ停止カウントオフ設定時は、1 画面分の符号データが終了するまで書き込みます。
5. 1 画面分のデータ処理終了で圧縮完了

(2)　フローチャート（圧縮）

(a)　初期設定

JPEG コア設定、入出力バッファ設定、外部バッファに画像データを準備した後、JCCMD の JSRT ビットに 1 を設定し、本モジュールを起動します。起動後、JPEG マーカヘッダ部（SOI ～ SOS）を生成し出力しますが、マーカヘッダ部生成には約 30,000 サイクル掛かります。

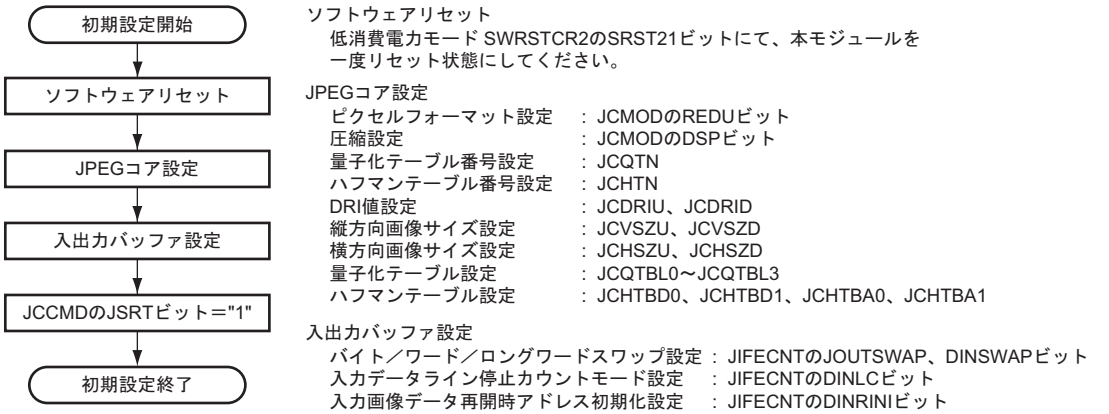


図 44.2　圧縮初期設定フロー

(b)　圧縮処理

圧縮処理時のフローを下記に示します。

- JPEG コアで圧縮処理が終了すると、割り込みステータス JINTS0 の INS6 ビットが 1 に設定されます。ただし、符号データの転送が残っているので本モジュールは処理を継続しています。最終符号データの転送が終了すると JINTS1 の CBTF ビットにも 1 が設定されます。割り込み要因は、INTS6 ビットに 0 ライトすることでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6 ビットに 0 ライトしてもクリアされません。割り込み要求解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。
- 圧縮処理が終了し、全符号データの転送が終了すると、割り込みステータス JINTS1 の CBTF フラグが 1 に設定されます。JINTE1 の CBTEN ビットを 1 に設定している場合、割り込みが発生します。CBTF に 0 書き込みすることで、割り込み要因はクリアされます。
- 入力画像データライン停止カウントオン設定時は、JIFESLC で設定したライン数分の画像データ読み出しを終了すると、JINTS1 の DINLF フラグが 1 に設定され、読み込みを停止します。JINTE1 の DINLEN ビットを 1 に設定している場合、割り込みが発生します。DINLEN ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFECNT の DINRCMD ビットに 1 セットすることで、読み出しを再開します。
  読み出し先のアドレスは、JIFECNT の DINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。DINRINI ビット＝ 1 設定時は、JIFESA に設定したアドレスから再開します。
- 出力符号データ停止カウントオン設定時は、JIFEDDC で設定したデータ数分の符号データ書き込みを終了すると、JINT1 の JOUTF フラグが 1 に設定され、書き込みを停止します。JINTE1 の JOUTEN ビットを 1 に設定している場合、割り込みが発生します。JOUTF ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFECNT の JOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
  書き込み先のアドレスは、JIFECNT の JOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JOUTRINI ビット＝ 1 設定時は、JIFEDA に設定したアドレスから再開します。

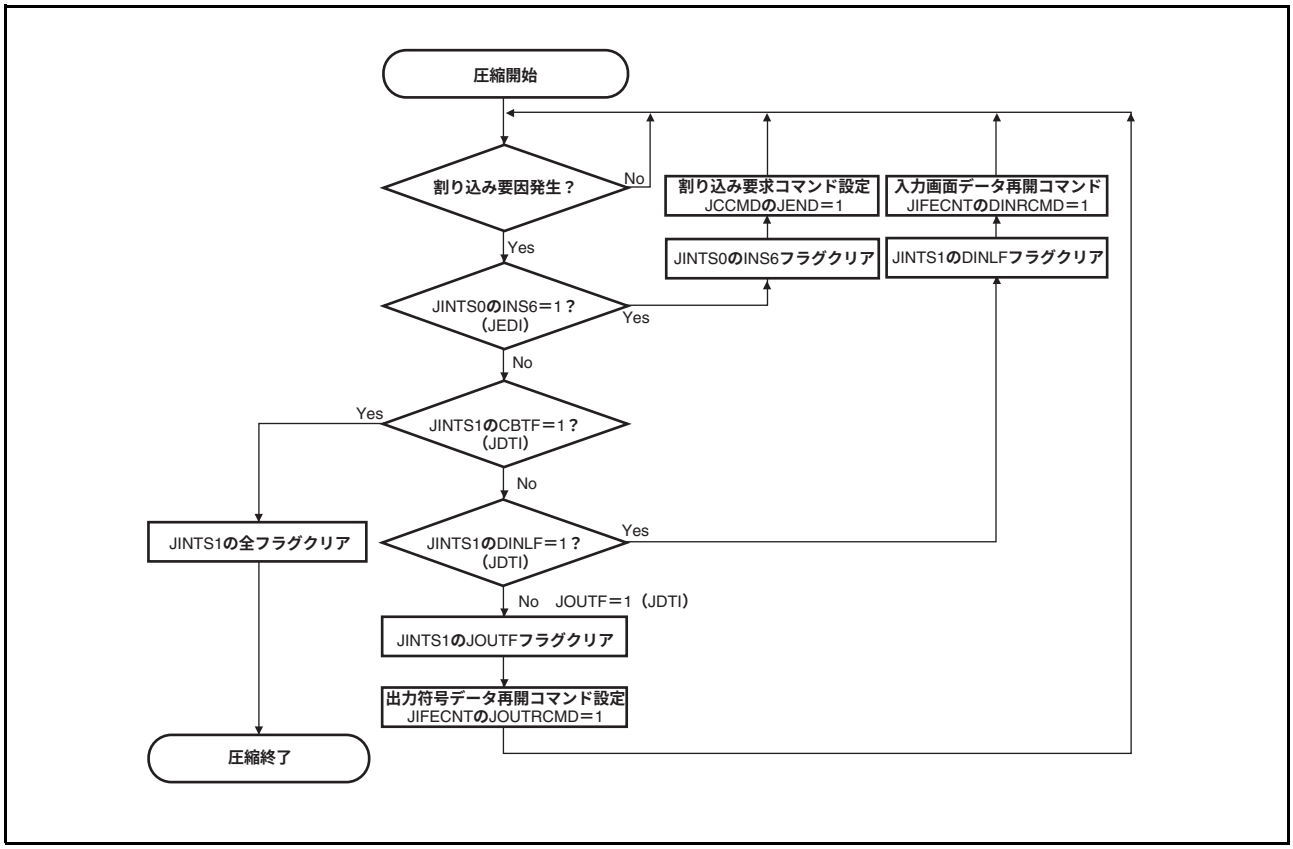


図 44.3　圧縮処理フロー

(3)　JPEG 符号データ FORMAT

圧縮時、出力されるデータストリームの構成を図 44.4 に示します。SOI ～ EOI までの符号データ量は JCDTCU、JCDTCM、JCDTCD に示されます。また、JCDRIU、JCDRID がともに H'0000 0000 に設定している場合、下記のマーカは出力されません。

- DRI マーカ
- RST マーカ（圧縮画像データ内）

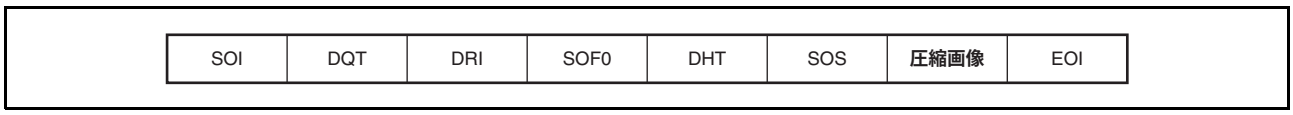


図 44.4　JPEG 符号データフォーマット

DQT：使用していないテーブルについては出力されません。
DHT：出力順は DC0、AC0、DC1、AC1。使用していないテーブルについては出力されません。
SOF0：成分識別子は、C1 ＝第一色成分、C2 ＝第二色成分、C3 ＝第三色成分となります。
SOS：スキャン成分セレクタは、CS1 ＝第一色成分、CS2 ＝第二色成分、CS3 ＝第三色成分となります。

各ヘッダ容量（参考）

- SOI：2 バイト（FFD8）
- DQT：量子化テーブル 2 枚使用時 134 バイト、3 枚使用時 199 バイト（1 枚増減で ±65 バイト）
- DRI：6 バイト
- SOF0：19 バイト（4:2:2）
- DHT：420 バイト（2 枚使用時）

- SOS：14 バイト（4:2:2）
- EOI：2 バイト（FFD9）

(4) テーブル設定

(a) 量子化テーブル設定

8×8 ブロックのアドレス順とレジスタアドレス順が対応しています。本モジュール処理中の本テーブルへのアクセスは禁止です。

表 44.2　量子化テーブル

00	01	02	03	04	05	06	07
08	09	0A	0B	0C	0D	0E	0F
10	11	12	13	14	15	16	17
18	19	1A	1B	1C	1D	1E	1F
20	21	22	23	24	25	26	27
28	29	2A	2B	2C	2D	2E	2F
30	31	32	33	34	35	36	37
38	39	3A	3B	3C	3D	3E	3F

JCQTBL0（H'E801 7100）＝ H'00
JCQTBL0（H'E801 7101）＝ H'01
JCQTBL0（H'E801 7102）＝ H'02
JCQTBL0（H'E801 7103）＝ H'03
：
JCQTBL0（H'E801 713F）＝ H'3F

(b) ハフマンテーブル設定

JPEG 勧告 ITU-T T81 付属書 K.3.3 記載のハフマンテーブル設定方法

圧縮処理時は全グループ番号に対してハフマン符号が生成できるように、必ず以下の設定を符号数分行ってください。

- DC ハフマンテーブル：符号長ごとの符号数＝ 12 符号、発生頻度順のグループ番号＝ 12 個
- AC ハフマンテーブル：符号長ごとの符号数＝ 162 符号、発生頻度順のゼロラン長／グループ番号＝ 162 個

また、本モジュール処理中の本テーブルへのアクセスは禁止です。特にリードアクセスも禁止となります。

- 表 K.3/T81

JCHTBD0（H'E801 7200）＝ H'00
JCHTBD0（H'E801 7201）＝ H'01
JCHTBD0（H'E801 7202）＝ H'05
JCHTBD0（H'E801 7203）＝ H'01
：
JCHTBD0（H'E801 721B）＝ H'0B

- 表 K.4/T81

JCHTBD1（H'E801 7300）＝ H'00
JCHTBD1（H'E801 7301）＝ H'03
JCHTBD1（H'E801 7302）＝ H'01
JCHTBD1（H'E801 7303）＝ H'01
:
JCHTBD1（H'E801 731B）＝ H'0B

- 表 K.5/T81

JCHTBA0（H'E801 7220）＝ H'00
JCHTBA0（H'E801 7221）＝ H'02
JCHTBA0（H'E801 7222）＝ H'01
JCHTBA0（H'E801 7223）＝ H'03
:
JCHTBA0（H'E801 72D1）＝ H'FA

- 表 K.6/T81

JCHTBA1（H'E801 7320）＝ H'00
JCHTBA1（H'E801 7321）＝ H'02
JCHTBA1（H'E801 7322）＝ H'01
JCHTBA1（H'E801 7323）＝ H'02
:
JCHTBA1（H'E801 73D1）＝ H'FA

(5)　入力ピクセルフォーマット

本モジュールは、YCbCr422 形式で作成された画像を入力することが出来ます。

YCbCr422 形式のデータ配置は、JIFECNT の DINSWAP ビットにより下記のように変更することが可能です。

- DINSWAP ビット＝ 000 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y0 8bit	Cb0 8bit	Y1 8bit	Cr0 8bit	Y2 8bit	Cb1 8bit	Y3 8bit	Cr1 8bit

- DINSWAP ビット＝ 001 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cb0 8bit	Y0 8bit	Cr0 8bit	Y1 8bit	Cb1 8bit	Y2 8bit	Cr1 8bit	Y3 8bit

- DINSWAP ビット＝ 010 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y1 8bit	Cr0 8bit	Y0 8bit	Cb0 8bit	Y3 8bit	Cr1 8bit	Y2 8bit	Cb1 8bit

- DINSWAP ビット＝ 100 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y2 8bit	Cb1 8bit	Y3 8bit	Cr1 8bit	Y0 8bit	Cb0 8bit	Y1 8bit	Cr0 8bit

- DINSWAP ビット＝ 101 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cb1 8bit	Y2 8bit	Cr1 8bit	Y3 8bit	Cb0 8bit	Y0 8bit	Cr0 8bit	Y1 8bit

- DINSWAP ビット＝ 110 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Y3 8bit	Cr1 8bit	Y2 8bit	Cb1 8bit	Y1 8bit	Cr0 8bit	Y0 8bit	Cb0 8bit

- DINSWAP ビット＝ 111 時

b63 b56	b55 b48	b47 b40	b39 b32	b31 b24	b23 b16	b15 b8	b7 b0
Cr1 8bit	Y3 8bit	Cb1 8bit	Y2 8bit	Cr0 8bit	Y1 8bit	Cb0 8bit	Y0 8bit

(6)　出力符号データ

圧縮時、符号データを出力します。本モジュールは出力符号データを 16bit 単位で扱います。
そのため、符号データが奇数符号長（端数）になった場合、最終符号は H'D9FF を出力します。
出力符号データのデータ配置は、JIFECNT の JOUTSWAP ビットにより変更することが可能です。

44.3.2　伸長

(1)　処理概要

伸長処理の動作フローは、以下のようになります。

1. JPEG コア起動
2. 外部バッファから本モジュールに符号データを転送
   入力符号データ停止カウントオン設定時は、JIFDSDC で設定したデータ数分の符号データ読み出し完了ごとに、読み出しを停止します。JIFDCNT の JINRCMD ビットに 1 セットすることで、読み出しを再開します。
   読み出し先のアドレスは、JIFDCNT の JINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JINRINI ビット＝ 1 設定時は、JIFDSA に設定したアドレスから再開します。また、符号終端検出時にも読み出しを停止します。
   入力符号データ停止カウントオフ設定時は、符号終端検出するまで読み出します。
   本モジュールは、符合終端が未検出である限り符号データを読み続けるため、符号データサイズを超える読み出しを行う可能性があります。
3. JPEG コア部へ符号データ入力
   JPEG コアでは、MCU 単位で随時処理
4. 本モジュールから外部バッファに画像データを MCU ごとに転送
   出力画像データライン停止カウントオン設定時は、JIFDDLC で設定したライン数分の画像データ書き込み完了ごとに、書き込みを停止します。JIFDCNT の DOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
   書き込み先のアドレスは、JIFDCNT の DOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。DOUTRINI ビット＝ 1 設定時は、JIFDDA に設定したアドレスから再開します。
   また、1 画面分の画像データ転送終了時にも書き込みを停止します。
   出力画像データライン停止カウントオフ設定時は、1 画面分の画像データが終了するまで書き込みます。
5. 1 画面分のデータ処理終了で伸長完了

(a)　初期設定

- JINTE0 の INT3 ビットを 0 に設定している場合
  JPEG コア設定、入出力バッファ設定、外部バッファに符号データを準備した後、JCCMD の JSRT ビットに 1 を設定し、本モジュールを起動します。
- JINTE0 の INT3 ビットを 1 に設定している場合
  JPEG コア設定、入力バッファ設定、外部バッファに符号データを準備した後、JCCMD の JSRT ビットに 1 を設定し、本モジュールを起動します。
  符号データを伸長後、画像サイズ／ピクセルフォーマットを読み出し可能となったとき、JINTS0 の INS3 が設定されます。伸長処理は一時停止します。
  画像サイズ／ピクセルフォーマットを読み出した後、出力バッファ設定を行います。
  割り込み処理を行った後、JCCMD の JRST ビットを 1 に設定することで、伸長処理を再開します。

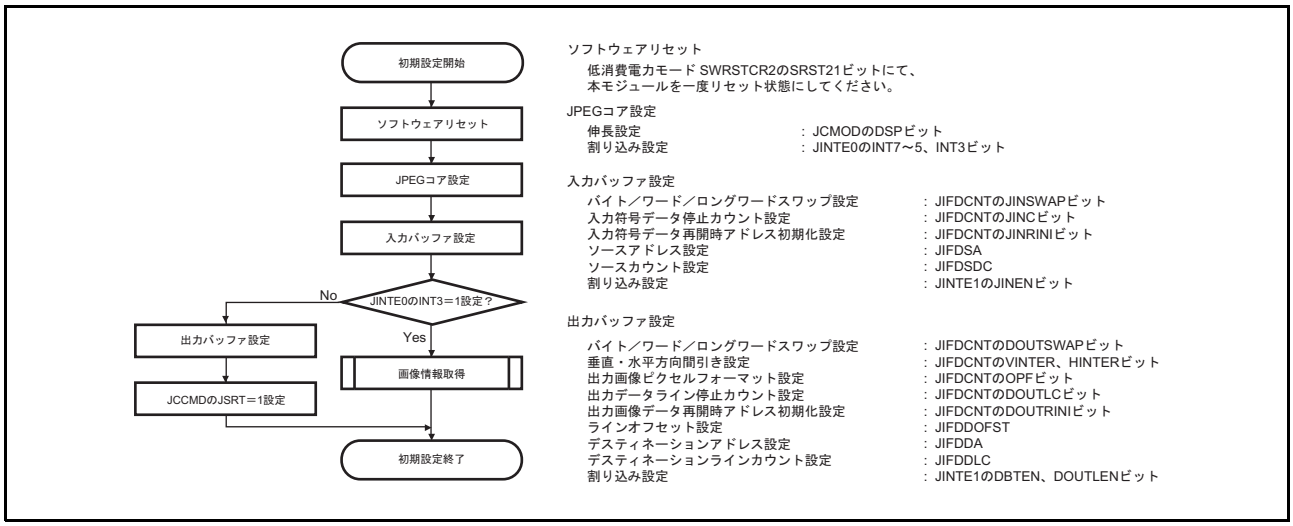


図 44.5　伸長初期設定フロー

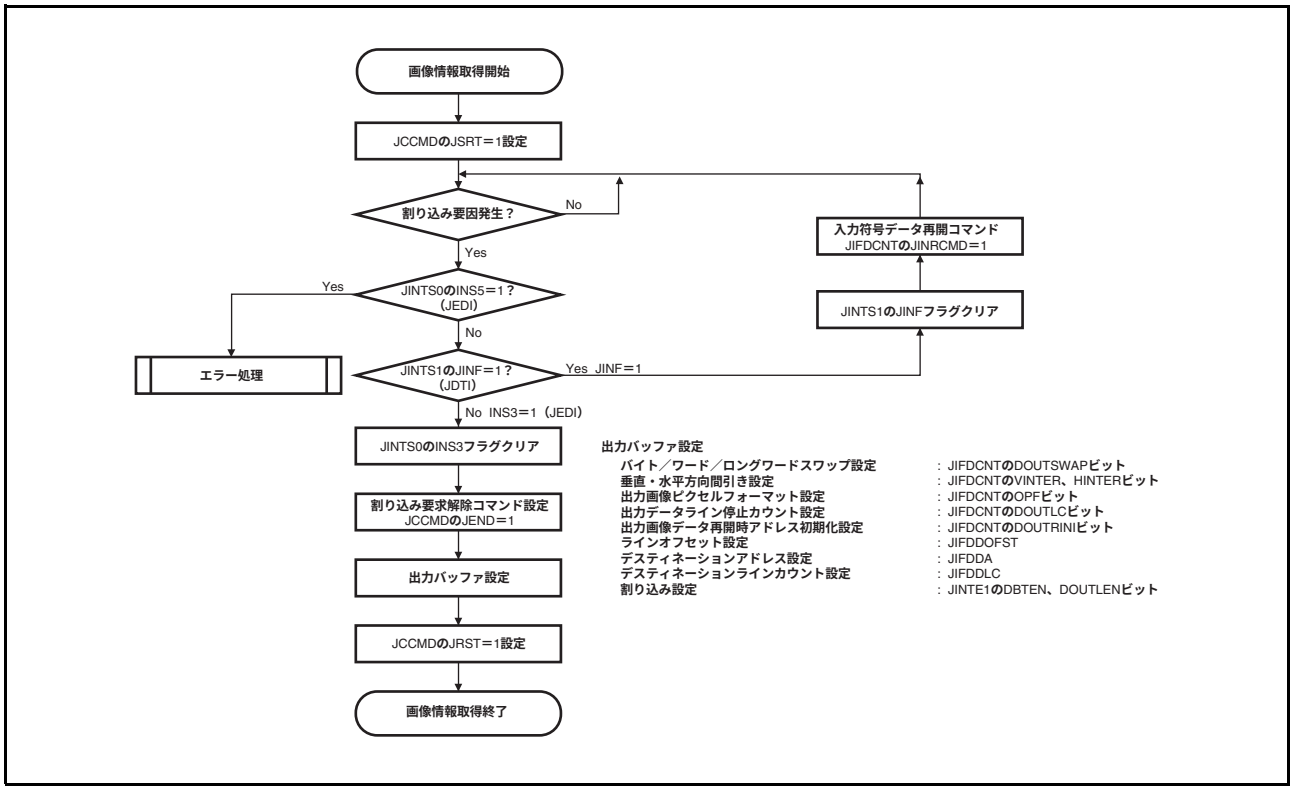


図 44.6　画像情報取得フロー

(b)　伸長処理

伸長処理時のフローを下記に示します。

- JPEG コアで伸長処理が終了すると、割り込みステータス JINTS0 の INS6 ビットが 1 に設定されます。ただし、画像データの転送が残っているので本モジュールは処理を継続しています。最終画像データの転送が終了すると JINTS1 の DBTF ビットにも 1 が設定されます。割り込み要因は、INTS6 ビットに 0 ライトすることでクリアされます。ただし、本割り込み要因でアサートされた割り込み要求は、INTS6 ビットに 0 ライトしてもクリアされません。割り込み要求解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。
- 伸長処理が終了し、全画像データの転送が終了すると、割り込みステータス JINTS1 の DBTF フラグが 1 に設定されます。JINTE1 の DBTEN ビットが 1 に設定されている場合、割り込みが発生します。DBTF に 0 書き込みすることで、割り込み要因はクリアされます。
- 入力符号データ停止カウントオン設定時は、JIFDSDC で設定したデータ数分の符号データ読み出しを終了すると、JINTS1 の JINF フラグが 1 に設定され、読み込みを停止します。JINTE1 の JINEN ビットを 1 に設定している場合、割り込みが発生します。JINF ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFDCNT の JINRCMD ビットに 1 セットすることで、読み出しを再開します。
  読み出し先のアドレスは、JIFDCNT の JINRINI ビット＝ 0 設定時、前回転送アドレスの続きから再開します。JINRINI ビット＝ 1 設定時は、JIFDSA に設定したアドレスから再開します。
- 出力画像データ停止カウントオン設定時は、JIFDDLC で設定したライン数分画像データ書き込みを終了すると、JINT1 の DOUTLF フラグが 1 に設定され、書き込みを停止します。JINTE1 の DOUTLEN ビットを 1 に設定している場合、割り込みが発生します。DOUTLF ビットに 0 書き込みすることで、割り込み要因はクリアされます。
  JIFDCNT の DOUTRCMD ビットに 1 セットすることで、書き込みを再開します。
  書き込み先のアドレスは、JIFDCNT の DOUTRINI ビット＝ 0 設定時、前回転送アドレスの続きから再

開します。DOUTRINI ビット＝ 1 設定時は、JIFDDA に設定したアドレスから再開します。

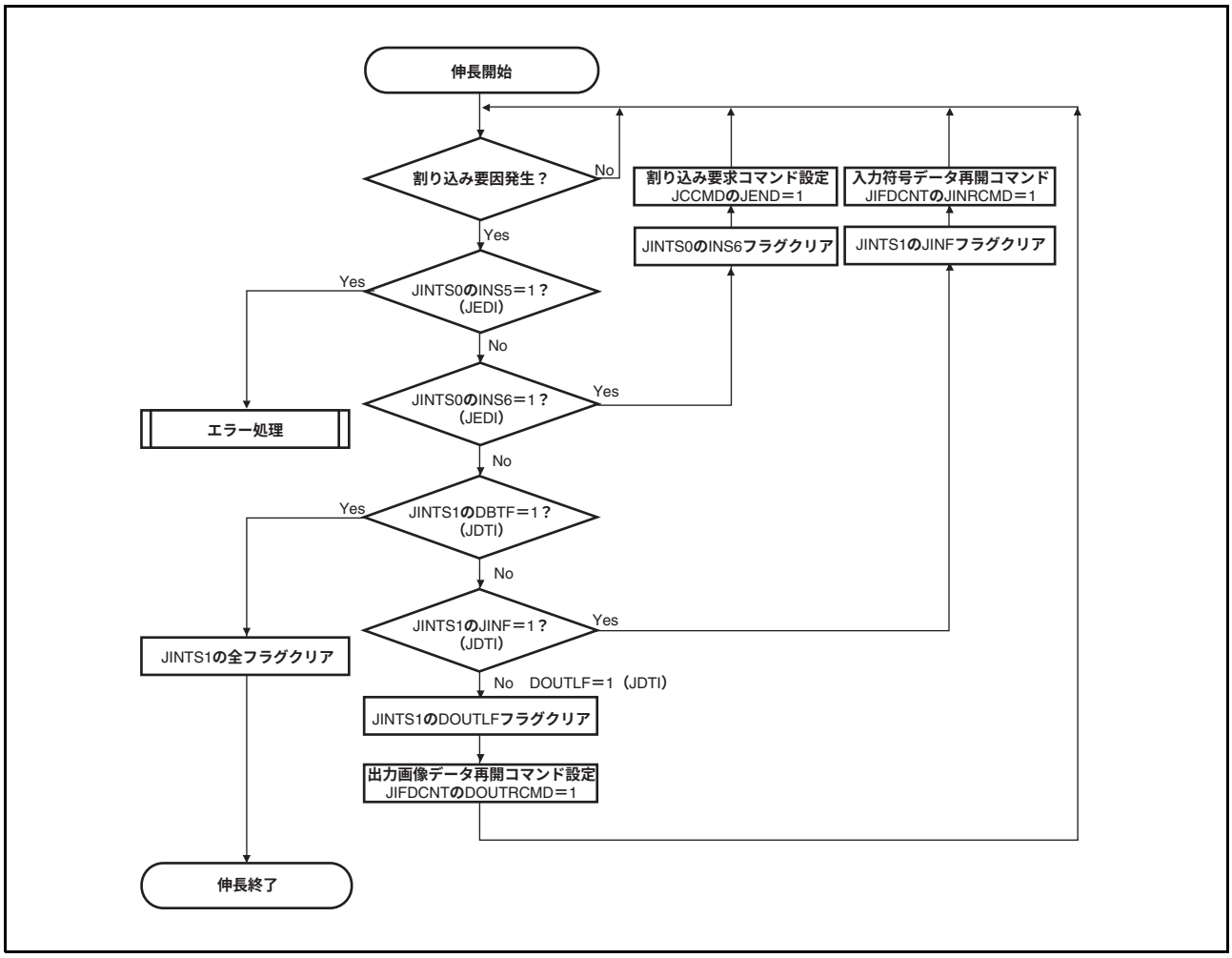


図 44.7　伸長処理フロー

(c)　エラー処理

割り込みステータス JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データに問題があり、本モジュールは伸長処理を終了しております。JCDERR の ERR ビットを読み出し、エラー要因を判定してください。本割り込み要因でアサートされた割り込み信号は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。

エラー処理終了後に伸長・圧縮処理を行う場合は、初期設定から処理を行ってください。

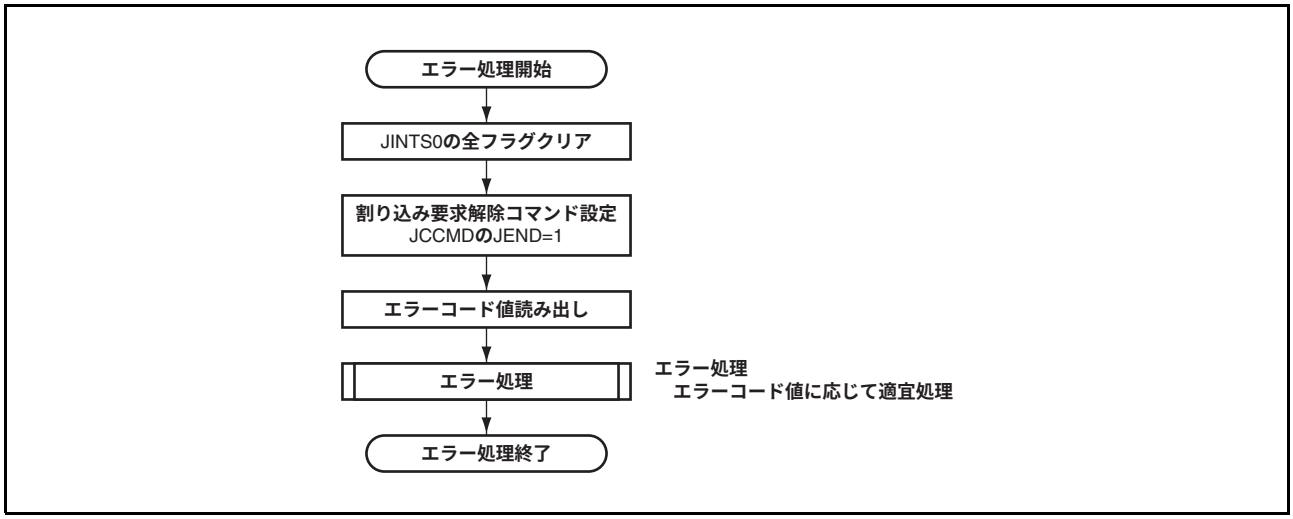


図 44.8　エラー処理フロー

(2)　入力 JPEG 符号データ

伸長処理時の処理対象マーカは、SOI、SOF0、SOS、DQT、DHT、DRI、RSTm、EOI です。その他のマーカは次項に示すエラー対象マーカ以外、検出しても読み飛ばします。

入力符号データのデータ配置は、JIFDCNT の JINSWAP ビットにより変更することが可能です。

(3) JPEG 伸長エラー

(a) エラーマーカ

伸長処理時、圧縮データ解析でマーカエラーが発生した場合、エラー種類をコードにて判別し、JCDERR の ERR ビットに**表 44.3** に示すコード値を設定します。本モジュールは、エラー検出すると割り込み信号を発生し、処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値（B'1010）となります。

表 44.3　伸長エラーコード

コード値（CODE）	エラー内容
B'0000	正常
B'0001	SOI 未検出。EOI 検出まで SOI 未検出
B'0010	SOF1～SOFF の検出
B'0011	対象外のピクセルフォーマットを検出
B'0100	SOF 精度異常。「8」以外を検出
B'0101	DQT 精度異常。「0」以外を検出
B'0110	コンポーネント異常 1。SOF0 ヘッダのコンポーネント数が「1」「3」「4」以外を検出
B'0111	コンポーネント異常 2。SOF0 ヘッダのコンポーネント数と SOS のコンポーネント数が異なる場合
B'1000	SOS 検出時に SOF0、DQT、DHT 未検出
B'1001	SOS 未検出。EOI 検出までに SOS 未検出
B'1010	EOI 未検出（デフォルト）
B'1011	リスタートインターバルデータ数エラーを検出
B'1100	画像サイズエラーを検出
B'1101	最終 MCU データ数エラーを検出
B'1110	ブロックデータ数エラーを検出

(b) ハフマン符号化セグメントエラー

伸長動作時、圧縮データ解析でハフマン符号化セグメントにビット反転やデータ欠落によるエラーで復号データ数の増減が発生した場合、エラー種類を判別し、エラーコードを JCDERR の ERR ビットに設定します。**表 44.4** にセグメントエラーコードを示します。JINTE0 の INT7 ～ INT5 の該当ビットに 1 を設定した場合のみ、エラーコードを設定し、割り込み信号を発生させ処理を終了します。格納されるコード値は、次フレームの処理を行う際の処理開始およびバスリセットでデフォルト値（B'1010）となります。

本エラー検出は、復号データ数の増減を検出するので、ハフマン符号化セグメント内にエラーが存在しても復号データ数に増減が生じない場合、エラー検出されません。

【例】ピクセルフォーマット設定 YCbCr422、DRI=2、X=80Pixel、Y=8Pixel のハフマン符号化セグメントのデータ数

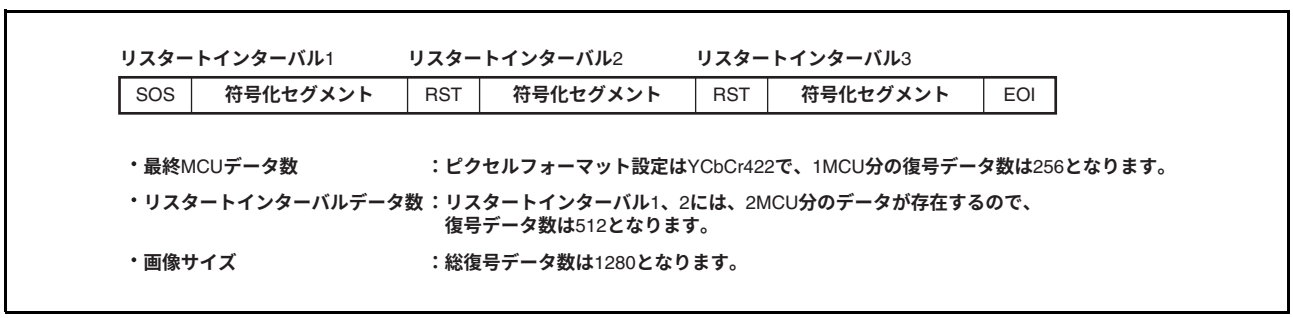


図 44.9　ハフマン符号化セグメント

表 44.4　セグメントエラーコード

コード値（CODE）	エラー内容
B'0000	正常
B'1011	リスタートインターバルデータ数エラーは、DRI マーカセグメントに規定されるデータ数と各インターバルのデータ数を比較し、一致しないインターバルを検出した場合、伸長エラー CODE[1011] を設定します。リスタートインターバル間隔に満たない最終インターバルは対象外です。 DRI マーカセグメントが存在しない場合や、規定値が "00" の場合は、RSTm マーカが存在してもエラー検出しません。また、RSTm マーカモジュロ 8 の m 順番（m=0～7）もエラー検出対象外です。 JINTE0 の INT7 ビットに 0 を設定すると、本エラー検出を行いません。
B'1100	画像サイズエラーは、フレームパラメータに規定されるライン数、ライン数当たりのサンプル数より算出した画像データ数および SOS～EOI までの総データ数（ピクセル単位）を比較し一致しない場合、伸長エラー CODE[1100] を設定します。JINTE0 の INT6 ビットに 0 を設定すると、本エラー検出を行いません。 画像データ数は MCU 単位となりますので、算出の際のライン数とライン数当たりのサンプル数は MCU 単位にまで切り上げます。
B'1101	最終 MCU データ数エラーは、EOI 検出時の MCU データ数が MCU 単位となっているかチェックし、端数の有無を検出します。CODE[1100] が同時発生したときは、CODE[1100] が優先されます。 JINTE0 の INT5 ビットに 0 を設定すると、本エラー検出を行いません。
B'1110	ブロックデータ数エラーは、1 ブロックが 8×8 単位となっているかチェックし、端数の有無を検出します。 JINTE0 の INT7～INT5 ビットにすべて 0 を設定すると、本エラー検出を行いません。

44.3.3　伸長時の出力ピクセルフォーマット

本モジュールは、YCbCr444、YCbCr422、YCbCr411、YCbCr420 形式で作成された JPEG 符号データを伸長することが出来ます。ただし、出力画像のピクセルフォーマットは YCbCr422、ARGB8888、RGB565 となります。伸長したデータを出力ピクセルフォーマットに変換する流れを下記に示します。

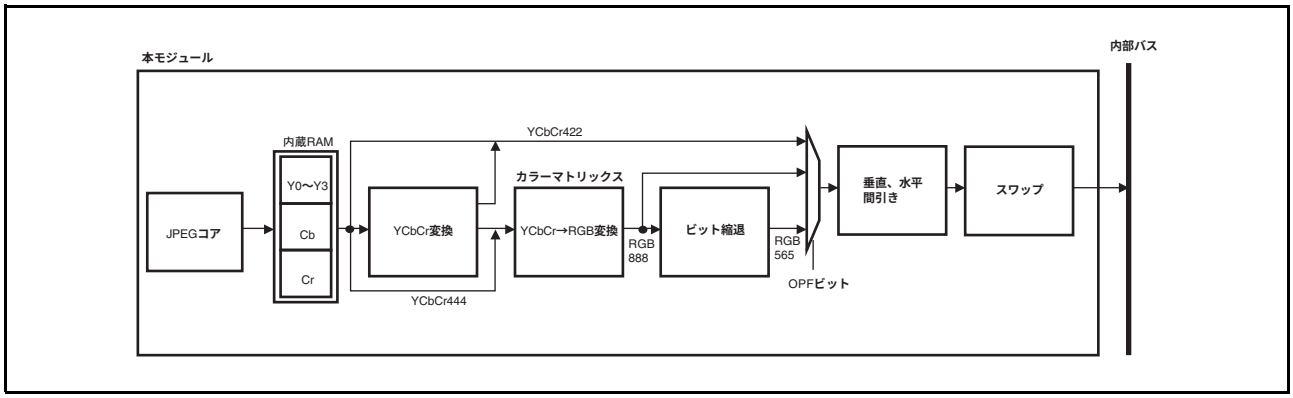


図 44.10　伸長時の出力ピクセルフォーマット変換ブロック図

(1)　内蔵 RAM

JPEG コアにてデコードされたデータを、本モジュールに内蔵している RAM に MCU 単位で格納していきます。

(2)　YCbCr 変換

ARGB8888、RGB565 出力時は、YCbCr422、YCbCr411、YCbCr420 形式のデータを YCbCr444 形式に変換します。

YCbCr422 出力時は、YCbCr444、YCbCr411、YCbCr420 形式のデータを YCbCr422 形式に変換します。

変換方法は単純補間で行います。

(3) YCbCr → RGB 変換

YCbCr444 形式のデータを RGB888 形式に変換します。
演算式は下記となります。
R ＝ 1.000Y ＋ 1.402Cr
G ＝ 1.000Y － 0.344Cb － 0.714Cr
B ＝ 1.000Y ＋ 1.772Cb

(4) ビット縮退

RGB888 を RGB565 に縮退します。Red,Blue の下位 3 ビット、Green の下位 2 ビットを削除します。

(5) 出力ピクセルフォーマット選択

JIFDCNT の OPF ビットにより、出力するピクセルフォーマットを選択します。
ピクセルフォーマットのデータ配置（JIFDCNT の DOUTSWAP ＝ 000 設定時）は下記になります。

- YCbCr422(32bit/pixel)

b31 – b24	b23 – b16	b15 – b8	b7 – b0
Y0 8bit	Cb 8bit	Y1 8bit	Cr 8bit

- ARGB8888(32bit/pixel)

b31 – b24	b23 – b16	b15 – b8	b7 – b0
*	Red 8bit	Green 8bit	Blue 8bit

注 . * JIFDADT の ALPHA[7:0] で指定された値

- RGB565(16bit/pixel)

b15 – b11	b10 – b5	B4 – b0
Red 5bit	Green 6bit	Blue 5bit

(6) 垂直・水平間引き

JIFDCNT の VINTER,HINTER ビットにより、出力データを水平・垂直方向に間引くことが出来ます。

間引くラインは**図 44.11 ～図 44.13** のようになります。

ARGB8888、RGB565 出力時は、1 画素／ 1 マスで表しています。

YCbCr422 出力時は、Y0Cb0Y1Cr0 ／ 1 マスで表しています。

また、MCU 単位で扱いますので水平・垂直ブロック数は伸長したピクセルフォーマットにより異なります。

n,m の値はそれぞれ下記のようになります。

[水平方向]

表44.5　水平ブロック数

圧縮形式	出力形式	n
YCbCr444	YCbCr422	1/2
YCbCr444	ARGB8888、RGB565	1
YCbCr422	YCbCr422	1
YCbCr422	ARGB8888、RGB565	2
YCbCr411	YCbCr422	2
YCbCr411	ARGB8888、RGB565	4
YCbCr420	YCbCr422	1
YCbCr420	ARGB8888、RGB565	2

[垂直方向]

表44.6　垂直ブロック数

圧縮形式	出力形式	m
YCbCr444	YCbCr422	1
YCbCr444	ARGB8888、RGB565	1
YCbCr422	YCbCr422	1
YCbCr422	ARGB8888、RGB565	1
YCbCr411	YCbCr422	1
YCbCr411	ARGB8888、RGB565	1
YCbCr420	YCbCr422	2
YCbCr420	ARGB8888、RGB565	2

- 1/2 間引き

偶数ラインを間引きます。

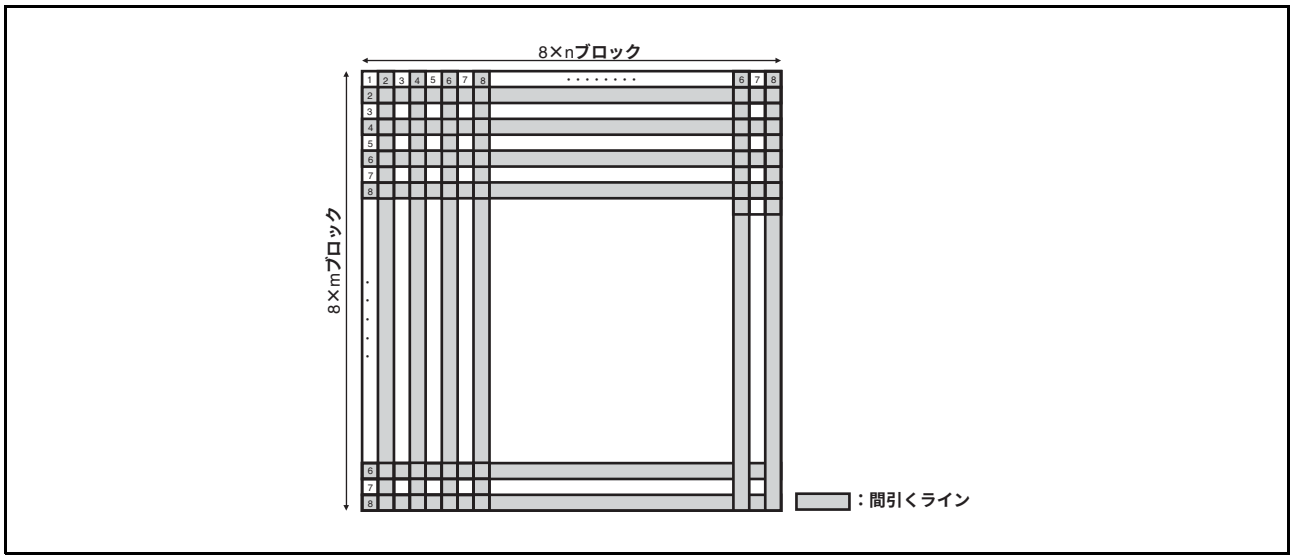


図 44.11　1/2 間引き選択時の MCU 図

- 1/4 間引き

2、3、4 ライン目を間引きます。

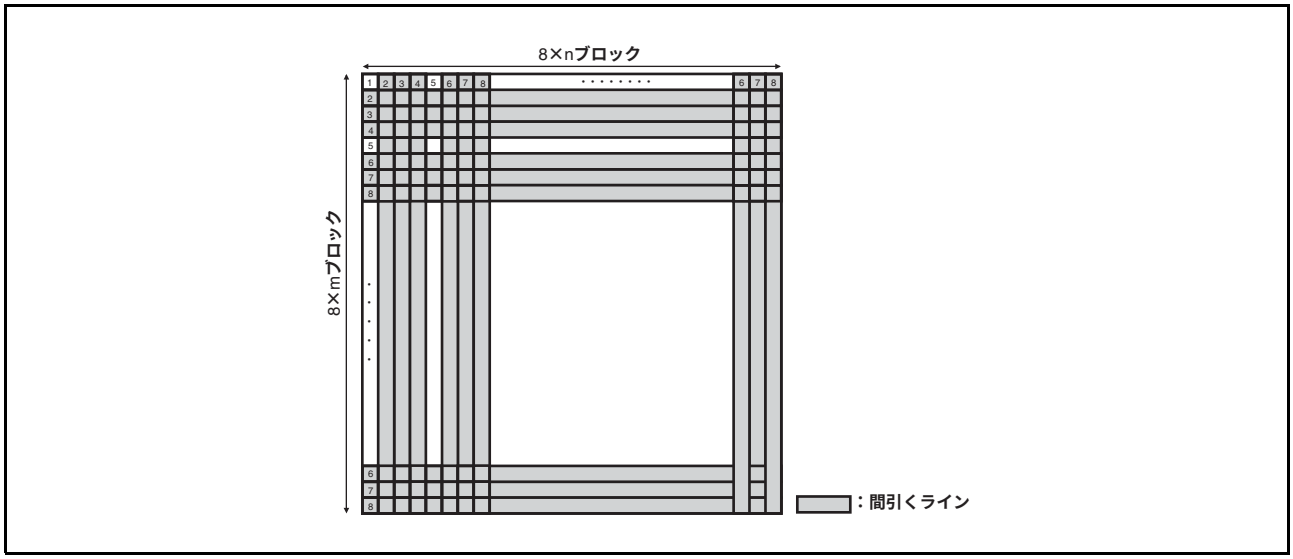


図 44.12　1/4 間引き選択時の MCU 図

- 1/8 間引き

2、3、4、5、6、7、8 ライン目を間引きます。

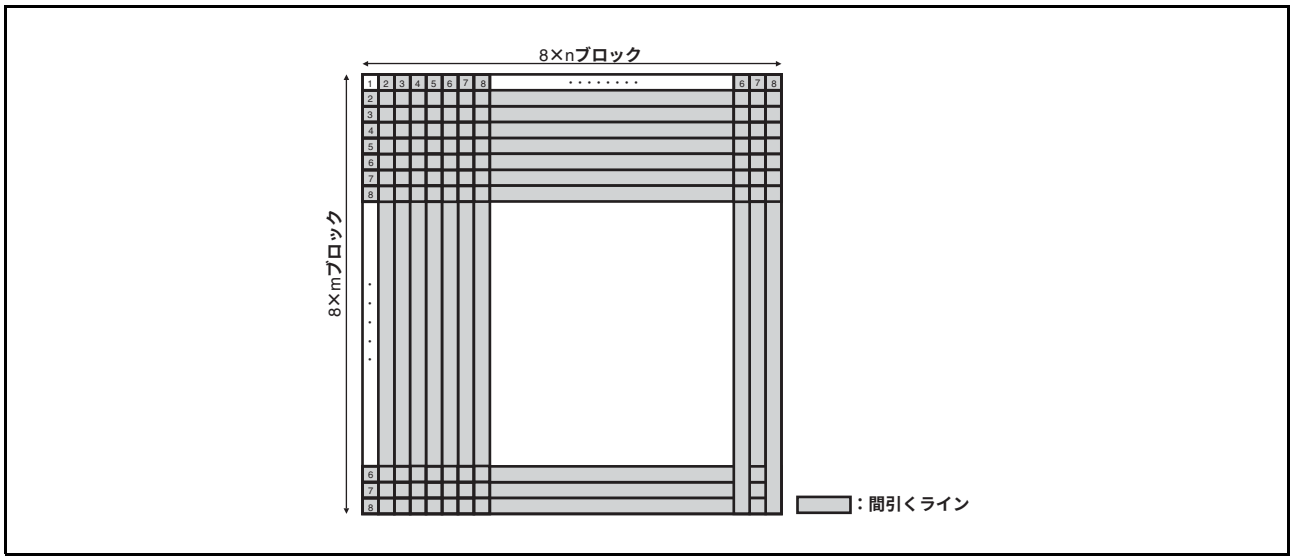


図 44.13　1/8 間引き選択時の MCU 図

(7)　スワップ

JIFDCNT の DOUTSWAP ビットによりデータ配置を変更することが可能です。

44.3.4　画像データ格納

下記に画像データのバッファへの格納図を示します。
スタートアドレス　圧縮：JIFESA、伸長：JIFDDA
水平方向サイズ　圧縮、伸長：JCHSZU、JCHSZD
垂直方向サイズ　圧縮、伸長：JCVSZU、JCVSZD
オフセット　圧縮：JIFESOFST、伸長 JIFDDOFST

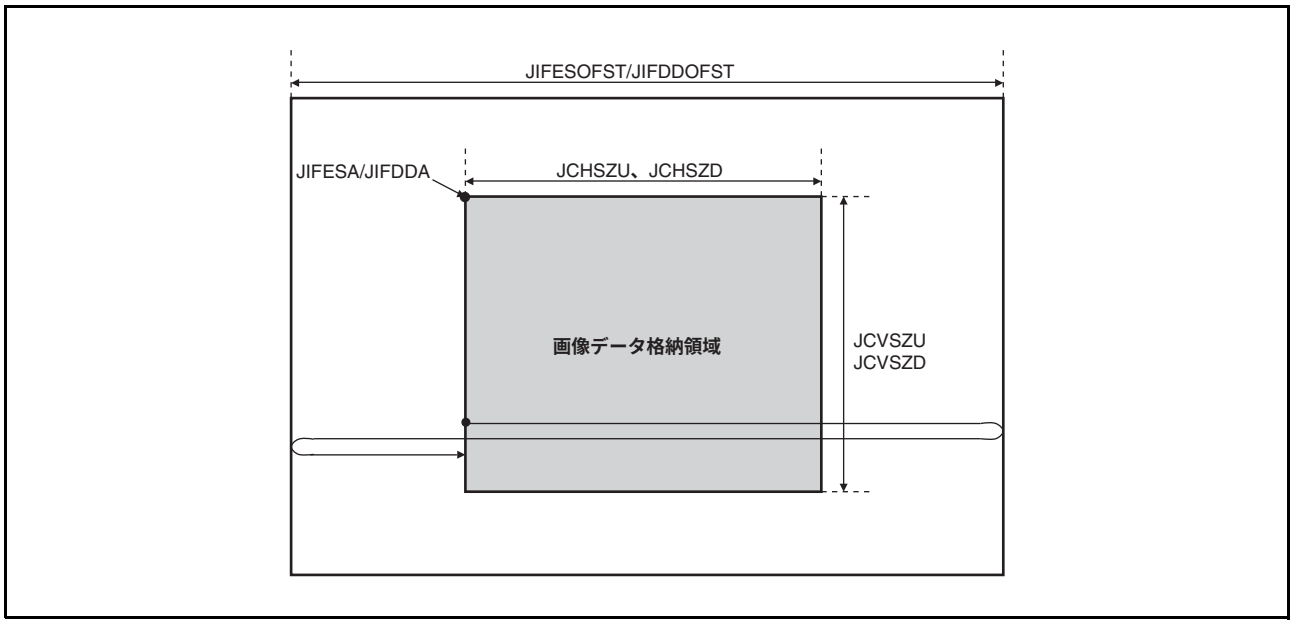


図 44.14　画像データ格納イメージ

44.4　割り込み

本モジュールは、圧縮伸長処理割り込み要求（JEDI）およびデータ転送割り込み要求（JDTI）の 2 種類の割り込み要求を持っています。圧縮伸長処理割り込み要求は圧縮／伸長処理関連、データ転送割り込み要求はデータ転送関連の割り込み要因に分類されます。割り込み要因により割り込み要求の解除方法が異なります。

44.4.1　圧縮伸長処理割り込み要求（JEDI）

割り込みステータス JINTS0 のフラグは、圧縮伸長処理による割り込み要因です。本割り込み要因でアサートされた割り込み要求は、割り込みステータス書き込みクリアではネゲートされません。割り込み信号解除コマンドを設定し（JCCMD の JEND ビットに 1 を設定）、割り込み要求をクリアしてください。割り込みステータス JINTS0 のフラグが 1 セットされると、割り込みコントローラに圧縮伸長処理割り込み要求を出力します。

(1)　圧縮

- JPEG 圧縮処理終了
  割り込みステータス JINTS0 の INS6 ビットが 1 の場合、JPEG 圧縮処理が終了しています。符号データの転送が完了すると、圧縮処理は終了します。

(2)　伸長

- JPEG 伸長処理終了
  割り込みステータス JINTS0 の INS6 ビットが 1 の場合、JPEG 伸長処理が終了しています。画像データの転送が完了すると、伸長処理は終了します。
- JPEG 伸長エラー発生
  割り込みステータス JINTS0 の INS5 ビットが 1 の場合、入力された JPEG 符号データに問題があり、伸長処理を終了しています。エラーコード（JCDERR の ERR ビット）を読み出し、エラー要因を判定してください。本割り込みは、割り込み設定 JINTE0 の INT7、INT6、INT5 に 1 が設定されている場合に発生します。
- 画像サイズ／ピクセルフォーマット情報読み出しリクエスト
  割り込みステータス JINTS0 の INS3 ビットが 1 の場合、JPEG 符号データが入力され、ピクセルフォーマット、画像サイズ情報の読み出しが可能となっています。JPEG 伸長処理は一時停止状態なので、各レジスタアクセス後、処理停止解除コマンドを設定し、JPEG 伸長処理を再開させてください。本割り込みは、割り込み設定 JINTE0 の INT3 ビットに 1 が設定されている場合に発生します。

44.4.2　データ転送処理割り込み要求（JDTI）

割り込みステータス JINTS1 のフラグは、画像／符号データ転送関連の割り込み要因です。本割り込み要因でアサートされた割り込み要求は、割り込みステータス書き込みクリアによりネゲートされます。

(1)　圧縮

- 入力画像設定ライン分読み出し終了で発生
  割り込みステータス JINTS1 の DINLF ビットが 1 の場合、JIFESLC で設定したライン数分の画像データ転送を終了していることを示します。外部バッファに次の画像データを用意し、外部バッファからの転送処理再開を行ってください。割り込み設定 JINTE1 の DINLEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 出力符号設定データ分書き込み終了で発生
  割り込みステータス JINTS1 の JOUTF ビットが 1 の場合、JIFEDDC で設定した符号データ数の転送を終了していることを示します。外部バッファに次の符号データ空き領域を用意し、転送処理再開を行ってください。割り込み設定 JINTE1 の JOUTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 全処理終了で発生
  割り込みステータス JINTS1 の CBTF ビットが 1 の場合、圧縮処理が終了し、全符号データの転送が終了しています。割り込み設定 JINTE1 の CBTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

(2)　伸長

- 出力画像設定ライン分書き込み終了で発生
  割り込みステータス JINTS1 の DOUTLF ビットが 1 の場合、JIFDDLC で設定したライン数分の画像データ転送を終了していることを示します。外部バッファに次の画像データ空き領域を用意し、転送処理再開を行ってください。割り込み設定 JINTE1 の DOUTLEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 入力符号設定データ分読み出し終了で発生
  割り込みステータス JINTS1 の JINF ビットが 1 の場合、JIFDSDC で設定した符号データ数の転送を終了していることを示します。外部バッファに次の符号データを用意し、外部バッファからの転送処理再開を行ってください。割り込み設定 JINTE1 の JINEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。
- 全処理終了で発生
  割り込みステータス JINTS1 の DBTF ビットが 1 の場合、伸長処理が終了し、全画像データの転送が終了していることを示します。割り込み設定 JINTE1 の DBTEN ビットに 1 が設定されている場合、データ転送処理割り込み要求を出力します。

44.5　バスリセット処理

バスリセットコマンドを発行（JCCMD の BRST ビットに 1 を設定）することにより、バスリセットが実行されます。動作中はバスリセットコマンドを発行しないでください。

バスリセットを入れることにより、下記のレジスタが初期化されます。

- JPEG コードデータカウント上位レジスタ（JCDTCU）
- JPEG コードデータカウント中位レジスタ（JCDTCM）
- JPEG コードデータカウント下位レジスタ（JCDTCD）
- JPEG 割り込みステータスレジスタ 0（JINTS0）
- JPEG コードデコードエラーレジスタ（JCDERR）
- JPEG コード再起動レジスタ（JCRST）

45.　EthernetAVB

本モジュールは、RZ/A1LU にのみ搭載しています。

45.1　概要

EthernetAVB は、イーサネットや IEEE802.3 の MAC（Media Access Control）層規格に準拠したイーサネットコントローラ（E-MAC）を内蔵しています。

E-MAC は、同規格に合致する物理層 LSI（PHY-LSI）と接続することにより、イーサネット／ IEEE802.3 フレームの送受信を行うことができます。E-MAC は MAC 層インタフェースを 1 系統内蔵しています。

また、EthernetAVB は、専用のダイレクトメモリアクセスコントローラ（AVB-DMAC）を内蔵しており、送受信するイーサネットフレームデータを、内蔵 RAM 上の送受信データ格納エリアとの間で高速に転送することが可能です。AVB-DMAC は、EthernetAVB 仕様（IEEE802.1BA で制定される IEEE802.1AS（時刻同期プロトコル）、IEEE802.1Qav（リアルタイム転送）、IEEE802.1Qat（帯域予約プロトコル）3 つの規格に準拠しています。

内蔵 RAM に関しては、「40.　内蔵 RAM」を参照してください。

45.1.1　仕様（機能）

表 45.1 に EthernetAVB の仕様を示します。

表 45.1　仕様（機能）

項目	内容
プロトコル	IEEE802.3x 規格のフロー制御準拠
データ送受信	イーサネット／ IEEE802.3 フレーム送受信
転送速度	10Mbps、100Mbps 転送に対応
モード	全二重モード
インタフェース	IEEE802.3 規格の MII (Media Independent Interface) に対応
EthernetAVB 機能概要	IEEE802.1BA で制定される以下の規格に準拠 • IEEE802.1AS（時刻同期プロトコル） • IEEE802.1Qav（リアルタイム転送） • IEEE802.1Qat はソフトウェアでのサポートになります • IEEE1722（AVTP プレゼンテーションタイムスタンプ） Intelligent Frame Separation DMAC 搭載（AVB-DMAC） • ディスクリプタ管理方式 • フレームデータの識別・振り分け・有効動画データの抽出／ gathering 機能 • 割込み頻度制御可能（CPU 負荷軽減）

45.1.2　ブロック図

図 45.1 に EthernetAVB のブロック図を示します。

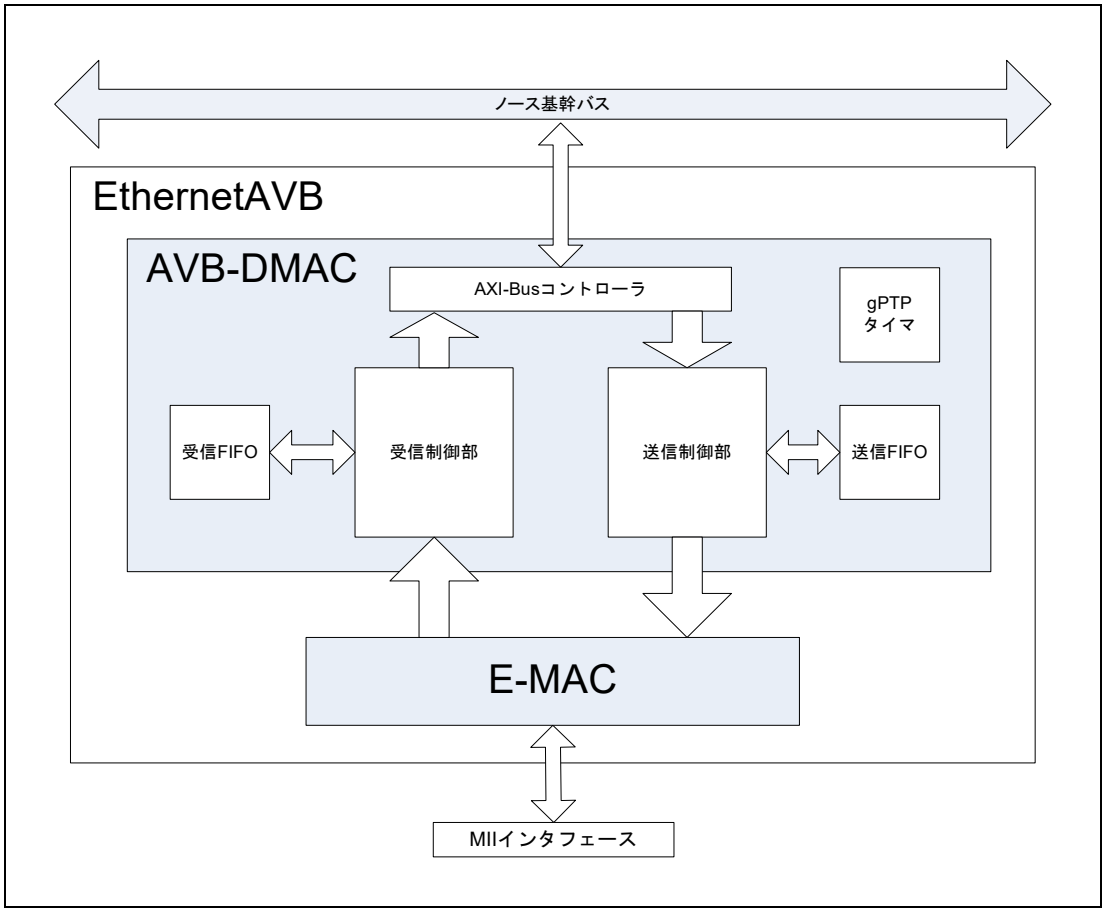


図 45.1　EthernetAVB のブロック図

45.1.3　入出力端子

表 45.2 に EthernetAVB に関連する端子を示します。

表 45.2　入出力端子

端子名	入出力	機能
ET_TXD[3:0]	O	送信データ信号
ET_TXEN	O	送信データイネーブル信号
ET_RXD[3:0]	I	受信データ信号
ET_RXDV	I	受信データ有効信号
ET_TXCLK	I	送信クロック信号
ET_RXCLK	I	受信クロック信号
ET_TXER	O	送信エラー信号
ET_RXER	I	受信エラー信号
ET_MDC	O	管理情報転送クロック信号
ET_MDIO	I/O	管理情報送受信データ
ET_CRS	I	キャリア検出信号
ET_COL	I	衝突検出信号
AVB_CAPTURE	I	AVTP プレゼンテーションタイマのキャプチャ用信号
AVB_GPTP_EXTERN	I	gPTP タイマ用外部クロック信号

45.2　レジスタの説明

EthernetAVB 関連のレジスタ構成を表 45.3、表 45.4 に示します。

表 45.3　AVB-DMAC 関連レジスタ構成 (1 / 2)

レジスタ名	ビット名	アドレス	アクセスサイズ
AVB-DMAC モードレジスタ	CCC	H'E821 5000	32
ディスクリプタベースアドレステーブルレジスタ	DBAT	H'E821 5004	32
ディスクリプタベースアドレスロード要求レジスタ	DLR	H'E821 5008	32
AVB-DMAC ステータスレジスタ	CSR	H'E821 500C	32
カレントディスクリプタアドレスレジスタ q (q = 0 ～ 21)	CDARq	H'E821 5010+q*4	32
エラーステータスレジスタ	ESR	H'E821 5088	32
受信設定レジスタ	RCR	H'E821 5090	32
受信キュー設定レジスタ i (i = 0 ～ 4)	RQCi	H'E821 5094+i*4	32
受信パディング設定レジスタ	RPC	H'E821 50B0	32
未読フレームカウンタ停止レベル設定レジスタ	UFCS	H'E821 50C0	32
未読フレームカウンタレジスタ i (i = 0 ～ 4)	UFCVi	H'E821 50C4+i*4	32
未読フレームカウンタ減算レジスタ i (i = 0 ～ 4)	UFCDi	H'E821 50E0+i*4	32
セパレーションフィルタオフセット設定レジスタ	SFO	H'E821 50FC	32
セパレーションフィルタパターン設定レジスタ i (i = 0 ～ 31)	SFPi	H'E821 5100+i*4	32
セパレーションフィルタマスク設定レジスタ i (i = 0 ～ 1)	SFMi	H'E821 51C0+i*4	32
送信設定レジスタ	TGC	H'E821 5300	32
送信設定制御レジスタ	TCCR	H'E821 5304	32
送信ステータスレジスタ	TSR	H'E821 5308	32
タイムスタンプ FIFO アクセスレジスタ 0	TFA0	H'E821 5310	32
タイムスタンプ FIFO アクセスレジスタ 1	TFA1	H'E821 5314	32
タイムスタンプ FIFO アクセスレジスタ 2	TFA2	H'E821 5318	32
CBS インクリメント値レジスタ c (c = 0, 1)	CIVRc	H'E821 5320+c*4	32
CBS デクリメント値レジスタ c (c = 0, 1)	CDVRc	H'E821 5328+c*4	32
CBS 上限値レジスタ c (c = 0, 1)	CULc	H'E821 5330+c*4	32
CBS 下限値レジスタ c (c = 0, 1)	CLLc	H'E821 5338+c*4	32
ディスクリプタ割り込み制御レジスタ	DIC	H'E821 5350	32
ディスクリプタ割り込みステータスレジスタ	DIS	H'E821 5354	32
エラー割り込み制御レジスタ	EIC	H'E821 5358	32
エラー割り込みステータスレジスタ	EIS	H'E821 535C	32
受信割り込み制御レジスタ 0	RIC0	H'E821 5360	32
受信割り込みステータスレジスタ 0	RIS0	H'E821 5364	32
受信割り込み制御レジスタ 1	RIC1	H'E821 5368	32
受信割り込みステータスレジスタ 1	RIS1	H'E821 536C	32
受信割り込み制御レジスタ 2	RIC2	H'E821 5370	32
受信割り込みステータスレジスタ 2	RIS2	H'E821 5374	32
送信割り込み制御レジスタ	TIC	H'E821 5378	32
送信割り込みステータスレジスタ	TIS	H'E821 537C	32
割り込みサマリステータスレジスタ	ISS	H'E821 5380	32
gPTP 設定制御レジスタ	GCCR	H'E821 5390	32

表 45.3　AVB-DMAC 関連レジスタ構成 (2 / 2)

レジスタ名	ビット名	アドレス	アクセスサイズ
gPTP 最大トランジットタイム設定レジスタ	GMTT	H'E821 5394	32
gPTP プレゼンテーションタイム比較レジスタ	GPTC	H'E821 5398	32
gPTP タイマインクリメント設定レジスタ	GTI	H'E821 539C	32
gPTP タイマオフセット設定レジスタ i (i = 0 ～ 2)	GTOi	H'E821 53A0+i*4	32
gPTP 割り込み制御レジスタ	GIC	H'E821 53AC	32
gPTP 割り込みステータスレジスタ	GIS	H'E821 53B0	32
gPTP プレゼンテーションタイムキャプチャレジスタ	GCPT	H'E821 53B4	32
gPTP タイマキャプチャレジスタ i (i = 0 ～ 2)	GCTi	H'E821 53B8+i*4	32
gPTP キャプチャイベント設定レジスタ	GCEC	H'E821 53D8	32

表 45.4　E-MAC 関連レジスタ構成

レジスタ名	シンボル	アドレス	アクセスサイズ
E-MAC モードレジスタ	ECMR	H'E821 5500	32
受信フレーム長上限レジスタ	RFLR	H'E821 5508	32
E-MAC ステータスレジスタ	ECSR	H'E821 5510	32
E-MAC 割り込み許可レジスタ	ECSIPR	H'E821 5518	32
PHY 部インタフェースレジスタ	PIR	H'E821 5520	32
自動 PAUSE フレーム設定レジスタ	APR	H'E821 5554	32
手動 PAUSE フレーム設定レジスタ	MPR	H'E821 5558	32
PAUSE フレーム送信カウンタ	PFTCR	H'E821 555C	32
PAUSE フレーム受信カウンタ	PFRCR	H'E821 5560	32
自動 PAUSE フレーム再送回数設定レジスタ	TPAUSER	H'E821 5564	32
MAC アドレス上位設定レジスタ	MAHR	H'E821 55C0	32
MAC アドレス下位設定レジスタ	MALR	H'E821 55C8	32
CRC エラーフレーム受信カウンタレジスタ	CEFCR	H'E821 5740	32
フレーム受信エラーカウンタレジスタ	FRECR	H'E821 5748	32
64 バイト未満フレーム受信カウンタレジスタ	TSFRCR	H'E821 5750	32
指定バイト超フレーム受信カウンタレジスタ	TLFRCR	H'E821 5758	32
端数ビットフレーム受信カウンタレジスタ	RFCR	H'E821 5760	32
マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	H'E821 5778	32

45.2.1　AVB-DMAC モードレジスタ（CCC）

CCC レジスタは、AVB-DMAC の動作モードを指定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	FCE	LBME	—	—	—	BOC	—	—	CSEL[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTSR	—	—	—	—	—	—	OPC[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R	R	R	R	R	R	R/W	R/W

表 45.5　CCC レジスタの内容

ビット位置	ビット名	機能
b31 ～ b26	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b25	FCE	フロー制御許可ビット 0：通常動作 1：フロー制御許可
b24	LBME	ループバックモード許可ビット 0：通常動作 1：ループバックモード許可
b23 ～ b21	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b20	BOC	先頭バイト指定ビット 0：先頭バイトは下位 8 ビット（内蔵 RAM[7:0]） 1：先頭バイトは上位 8 ビット（内蔵 RAM[31:24]）
b19、b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17、b16	CSEL[1:0]	gPTP クロック選択ビット B’00：gPTP 未使用 B’01：内部バスクロック (Bφ) B’10：イーサネット送信クロック (ET_TXCLK) B’11：外部クロック (AVB_GPTP_EXTERN)
b15 ～ b9	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b8	DTSR	データ転送サスペンド要求ビット 0：通常動作 1：サスペンド要求
b7 ～ b2	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b1、b0	OPC[1:0]	動作モード設定ビット B’00：リセットモード B’01：コンフィグモード B’10：オペレーションモード B’11：スタンバイモード

FCE：フロー制御許可ビット

E-MAC によるフロー制御を有効にします。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

LBME：ループバックモード許可ビット

ループバックモードを有効にします。

ループバックモード時、内部で送信ラインが受信ラインに接続されます。

ループバックモードを使用する際には、MII インタフェースへイーサネット送信クロックを供給する必要があります。受信クロックは必要ありません。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

注　意

送信データは通常動作と同様、出力されます。外部への影響をなくしたい場合は、端子制御で出力しないようにしてください。端子制御については「41.　汎用入出力ポート」の章を参照してください。

BOC：先頭バイト指定ビット

内蔵 RAM 上に配置されるイーサネットフレームの先頭バイトを指定します。

この設定は、内蔵 RAM 上ディスクリプタのフォーマットや、フィルタパラメータには影響をおよぼしません。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

内蔵 RAM に格納されるイーサネット受信フレームデータを図 45.2 ～図 45.4 に示します。

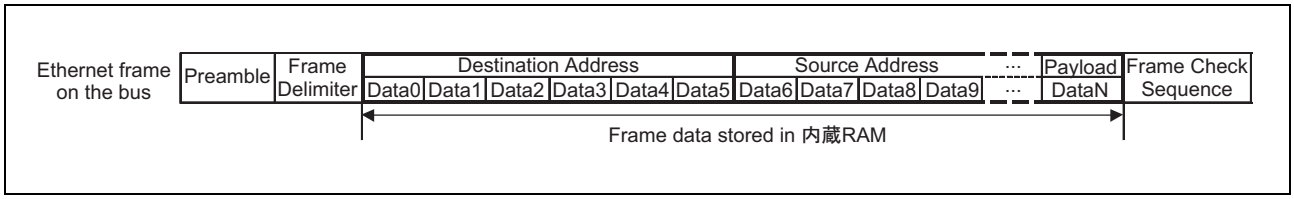


図 45.2　イーサネット受信フレームデータ

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DPTR+0	Data3								Data2								Data1								Data0							
DPTR+4	Data7								Data6								Data5								Data4							
DPTR+8	Data11								Data10								Data9								Data8							

図 45.3　CCC.BOC = 0 の場合

Bit	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DPTR+0	Data0								Data1								Data2								Data3							
DPTR+4	Data4								Data5								Data6								Data7							
DPTR+8	Data8								Data9								Data10								Data11							

図 45.4　CCC.BOC = 1 の場合

CSEL[1:0]：gPTP クロック選択ビット

gPTP タイマのクロックソースを選択します。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

DTSR：データ転送サスペンド要求ビット

内蔵 RAM へのアクセスを一時停止することができます。

現在転送中のデータを転送後、一時停止状態になります。

この機能は、AVB-DMAC の通常動作には影響を与えずに内蔵 RAM へのアクセスを無効化します。整合性チェックを行うなど、内蔵 RAM コンテンツの排他制御が必要な際に使用してください。

一時停止中は、送受信キューの処理が実行されませんので、注意してください。本ビットに “1” を設定してから、一時停止が完了しデータ転送サスペンドステータスビット (CSR.DTS) に “1” がセットされるまでの間には、AVB-DMAC の設定やモードを変更しないでください。

OPC[1:0]：動作モード設定ビット

動作モードを設定します。

動作モードについては、「45.3.1.1　動作モード説明」を参照してください。

このビットには、どの動作モード状態でも書き込み可能ですが、EthernetAVB に対して、スタンバイリクエスト発行時は書き込まないでください。EthernetAVB に対するスタンバイリクエスト発行に関しては「42.　低消費電力モード」を参照してください。

45.2.2　ディスクリプタベースアドレステーブルレジスタ（DBAT）

DBAT レジスタは、ディスクリプタのベースアドレステーブルを設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TA[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TA[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.6　DBAT レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	TA[31:0]	テーブルアドレスビット 内蔵 RAM 上のディスクリプタベーステーブルのアドレス

注　意

本ビットの設定値は、4 の倍数となるようにしてください。（b0、1 は必ず “0” としてください）

TAL3[1:0]：テーブルアドレスビット

内蔵 RAM 上のディスクリプタベースアドレステーブルを設定します。

ディスクリプタベースアドレステーブルの構造については、「45.3.3　ディスクリプタ」を参照してください。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

45.2.3　ディスクリプタベースアドレスロード要求レジスタ（DLR）

DLR レジスタは、各キューの カレントディスクリプタアドレスレジスタ q（CDARq）をディスクリプタベースアドレステーブルレジスタ（DBAT）へロード要求を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	LBA21	LBA20	LBA19	LBA18	LBA17	LBA16
初期値	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LBA15	LBA14	LBA13	LBA12	LBA11	LBA10	LBA9	LBA8	LBA7	LBA6	LBA5	LBA4	LBA3	LBA2	LBA1	LBA0
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.7　DLR レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31 ～ 22	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b21	LBA21	ベースアドレスロード要求ビット（Rx17：Stream 15） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b20	LBA20	ベースアドレスロード要求ビット（Rx16：Stream 14） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b19	LBA19	ベースアドレスロード要求ビット（Rx15：Stream 13） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b18	LBA18	ベースアドレスロード要求ビット（Rx14：Stream 12） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b17	LBA17	ベースアドレスロード要求ビット（Rx13：Stream 11） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b16	LBA16	ベースアドレスロード要求ビット（Rx12：Stream 10） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b15	LBA15	ベースアドレスロード要求ビット（Rx11：Stream 9） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b14	LBA14	ベースアドレスロード要求ビット（Rx10：Stream 8） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b13	LBA13	ベースアドレスロード要求ビット（Rx9：Stream 7） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中

表 45.7　DLR レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b12	LBA12	ベースアドレスロード要求ビット（Rx8：Stream 6） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b11	LBA11	ベースアドレスロード要求ビット（Rx7：Stream 5） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b10	LBA10	ベースアドレスロード要求ビット（Rx6：Stream 4） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b9	LBA9	ベースアドレスロード要求ビット（Rx5：Stream 3） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b8	LBA8	ベースアドレスロード要求ビット（Rx4：Stream 2） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b7	LBA7	ベースアドレスロード要求ビット（Rx3：Stream 1） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b6	LBA6	ベースアドレスロード要求ビット（Rx2：Stream 0） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b5	LBA5	ベースアドレスロード要求ビット（Rx1：Network Control） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b4	LBA4	ベースアドレスロード要求ビット（Rx0：Best Effort） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b3	LBA3	ベースアドレスロード要求ビット（Tx3：Stream Class A） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b2	LBA2	ベースアドレスロード要求ビット（Tx2：Stream Class B） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b1	LBA1	ベースアドレスロード要求ビット（Tx1：Network Control） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中
b0	LBA0	ベースアドレスロード要求ビット（Tx0：Best Effort） 0(R)：処理中のロード要求なし 1(W)：ロード要求発行 1(R)：ベースアドレスロード処理中

LBAq：ベースアドレスロード要求ビット

ベースアドレスのロード要求の発行および現在のベースアドレスロード処理状態を表します。

このビットを “1” にセットすると、キュー q (q=0 ～ 21) に対するディスクリプタベースアドレスのロード要求を発行し、カレントディスクリプタアドレス (CDARq.CDA) を DBAT.TA + 8*q に変更します。

現在進行中の転送がある場合、ロード処理はフレーム転送後に実行されます。

ロードが完了すると、本ビットは自動的に “0” になります。

送信キューの場合は、フェッチ処理中（送信設定制御レジスタの送信開始要求（TCCR.TSRQt）= 1）でも、ベースアドレスのロード要求が実行されてしまいますので、フェッチ動作中でないことを確認したあとに、要求を発行するようにしてください。

本ビットは、動作モードがオペレーションモードの場合のみ、書き込みが可能です。

本ビットへは “1” しか書き込めません。

45.2.4　AVB-DMAC ステータスレジスタ（CSR）

CSR レジスタは、AVB-DMAC 内の動作モードや、各通信状態のステータスを表示するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	RPO	TPO3	TPO2	TPO1	TPO0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTS	—	—	—	—	OPS[3:0]			
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.8　CSR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b21	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b20	RPO	受信プロセスステータスビット 0：受信完了 1：受信処理中
b19	TPO3	送信プロセスステータス 3 ビット（Stream Class A） 0：送信完了 1：送信処理中
b18	TPO2	送信プロセスステータス 2 ビット（Stream Class B） 0：送信完了 1：送信処理中
b17	TPO1	送信プロセスステータス 1 ビット（Network Control） 0：送信完了 1：送信処理中
b16	TPO0	送信プロセスステータス 0 ビット（Best Effort） 0：送信完了 1：送信処理中
b16 ～ b9	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b8	DTS	データ転送サスペンドステータスビット 0：正常動作中 1：一時停止中
b7 ～ b4	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b3 ～ b0	OPS[3:0]	動作モードステータスビット B’0001：リセットモード B’0010：コンフィグモード B’0100：動作中モード B’1000：スタンバイモード 上記以外は Reserved

RPO：受信プロセスステータスビット

受信キュー上の未読受信フレームの有無を表します。

このビットが “1” の場合、内蔵 RAM に格納されていない受信フレームがあることを示します。

- “0” になる条件
  動作モードが、オペレーションモードでなくなった場合
  受信 FIFO 内受信フレームは、すべて内蔵 RAM へ格納された場合
- “1” になる条件
  受信フレームが、受信 FIFO へ格納されたタイミング（内蔵 RAM へは未格納）

TPO3：送信プロセスステータス 3 ビット

Stream Class A 送信中かどうかを示すビットです。

このビットが “1” の場合、AVB-DMAC が内蔵 RAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

- “0” になる条件
  動作モードが、オペレーションモードでなくなった場合
  送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ3）= 0 となります）
- “1” になる条件
  送信開始時（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ3）に “1” を書き込んだ場合）

TPO2：送信プロセスステータス 2 ビット

Stream Class B 送信中かどうかを示すビットです。

このビットが “1” の場合、AVB-DMAC が内蔵 RAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

- “0” になる条件
  動作モードが、オペレーションモードでなくなった場合
  送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ2）= 0 となります）
- “1” になる条件
  送信開始時（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ2）に “1” を書き込んだ場合）

TPO1：送信プロセスステータス 1 ビット

Network Control 送信中かどうかを示すビットです。

このビットが “1” の場合、AVB-DMAC が内蔵 RAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

- “0” になる条件
  動作モードが、オペレーションモードでなくなった場合
  送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ1）= 0 となります）
- “1” になる条件
  送信開始時（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ1）に “1” を書き込んだ場合）

TPO0：送信プロセスステータス 0 ビット

Best Effort 送信中かどうかを示すビットです。

このビットが “1” の場合、AVB-DMAC が内蔵 RAM 上のデータをフェッチ処理中、あるいは E-MAC が送信処理中であることを示します。

- “0” になる条件
  動作モードが、オペレーションモードでなくなった場合
  送信 FIFO 内の送信フレームが、すべて転送完了された場合（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ0）= 0 となります）
- “1” になる条件
  送信開始時（送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQ0）に “1” を書き込んだ場合）

DTS：データ転送サスペンドステータスビット

内蔵 RAM へのアクセス許可状態を示すビットです。

- “0” になる条件
  動作モードが、オペレーションモードでなくなった場合
  AVB-DMAC モードレジスタのデータ転送サスペンド要求ビット（CCC.DTSR）が “0” の場合
- “1” になる条件
  AVB-DMAC モードレジスタのデータ転送サスペンド要求ビット（CCC.DTSR）AVB-DMAC モードレジスタ（CCC）が “1” の状態で、内蔵 RAM へのアクセスがない場合（アクセス中だった場合は、アクセス完了後に本ビットは “1” になります）

OPS[3:0]：動作モードステータスビット

現在の動作モードを表すビットです。

動作モードについては、「45.3.1.1　動作モード説明」を参照してください。

45.2.5　カレントディスクリプタアドレスレジスタ q（CDARq）（q = 0 ～ 21）

CDARq レジスタは、現在のディスクリプタアドレスを示すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CDA[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CDA[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.9　CDARq（q = 0 ～ 21）レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	CDA[31:0]	カレントディスクリプタアドレスビット カレントディスクリプタアドレス

CDA[31:0]：カレントディスクリプタアドレス

CDAR0 ～ CDAR3 は送信キューを、CDAR4 ～ CDAR21 は受信キューの現在のディスクリプタアドレスを示します。

動作モードが、オペレーションモードに変更されたとき、本レジスタの内容が ディスクリプタベースアドレステーブルレジスタ（DBAT）にセットされます。

また、ディスクリプタベースアドレスロード要求レジスタ（DLR）にて、ロード要求があった場合も、本レジスタの内容が ディスクリプタベースアドレステーブルレジスタ（DBAT）にセットされます。

更新条件：

動作モードが、オペレーションモードでなくなった場合 “0” になります。

各キューに対するディスクリプタが処理されたとき、本レジスタは更新されます。

45.2.6　エラーステータスレジスタ（ESR）

ESR レジスタは、AVB-DMAC 内のエラーステータスを表示するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	EIL	ET[3:0]				—	—	—	EQN[4:0]				
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.10　ESR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b13	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b12	EIL	エラー情報消失ビット 0：エラー情報の消失なし 1：エラー情報の消失あり
b11 ～ b8	ET[3:0]	エラータイプビット B’0000：内蔵 RAM からのディスクリプタ読み出しエラー B’0001：内蔵 RAM へのディスクリプタ書き込みエラー B’0010：読み込んだディスクリプタの不正エラー B’0100：内蔵 RAM からのデータやタイムスタンプ読み出しエラー B’0101：内蔵 RAM へのデータやタイムスタンプ書き込みエラー B’1001：送信フレームサイズエラー B’1010：送信 FIFO オーバフローエラー
b7 ～ b5	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b4 ～ b0	EQN[4:0]	エラーキュー番号ビット エラーキュー番号

EIL　：エラー情報消失ビット

以前のエラーが処理されていない状態で新たなエラーを検知したため、エラー情報が消失したことを示します。

更新条件：

動作モードが、オペレーションモードでなくなった場合 “0” になります。

エラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）に “0” を書き込んだ場合、本ビットも “0” になります。

エラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）が “1” の状態でエラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）の “1” セット条件を満たした場合、本ビットは “1” になります。

ET[3:0]　：エラータイプビット

検出したエラーの詳細を示します。

ディスクリプタ読み込みに関するエラー (ESR.ET=B’0000 or B’0010) の場合、カレントディスクリプタアドレス（CDARq.CDA）が変更されず、同じディスクリプタが再度処理されるため、ディスクリプタを修正してください。

ディスクリプタ書き込みに関するエラー (ESR.ET=B’0001) の場合、カレントディスクリプタアドレス（CDARq.CDA）や送信設定制御レジスタの 送信開始要求ビット（TCCR.TSRQt）は通常時と同様に更新されるため、ディスクリプタチェーンの処理に影響を与えません。

その他のエラーは一時的なものであり、転送処理の継続によって解消される場合があります。詳しくは「45.3.2.3　整合性チェック」を参照してください。

本ビットはエラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）が “1” の場合にのみ参照してください。

更新条件：

エラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）が “0” の状態でエラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）の “1” セット条件を満たした場合、本ビットは更新されます。

EQN　：エラーキュー番号ビット

エラーを検出したキュー番号を示します。

ESR.EQN=0 ～ 3 の場合は、送信キューを示し EQN の値がそのまま送信キュー番号となります。

ESR.EQN=4 以上の場合は、受信キューを示し受信キュー番号 r=ESR.EQN – 4 となります。

エラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）が “1” の場合にのみ本ビットを参照してください。

更新条件：

エラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）が “0” の状態でエラー割り込みステータスレジスタのキューエラー割り込みステータスビット（EIS.QEF）の “1” セット条件を満たした場合、本ビットは更新されます。

45.2.7　受信設定レジスタ（RCR）

RCR レジスタは、AVB-DMAC の受信関連設定を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	RFCL[12:0]												
初期値	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	ETS2	ETS0	ESF[1:0]		ENCF	EFFS
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 45.11　RCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b29	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b28 ～ b16	RFCL[12:0]	受信 FIFO 警告レベルビット
b15 ～ b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b5	ETS2	タイムスタンプ許可ビット（Stream） 0：タイムスタンプ無効 1：タイムスタンプ有効
b4	ETS0	タイムスタンプ許可ビット（Best Effort） 0：タイムスタンプ無効 1：タイムスタンプ有効
b3、b2	ESF[1:0]	ストリームフィルタリング機能選択ビット 受信キュー 2 ～ 17 に対する設定 B’00：フィルタリング無効。キュー 0（Best Effort）で処理 B’01：AVB ストリームフレーム、非 AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームはキュー 0（Best Effort）で処理 B’10：AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームは破棄 B’11：AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームはキュー 0（Best Effort）で処理
b1	ENCF	ネットワークコントロールフィルタ機能許可ビット 受信キュー 1（Network Control）に対する設定 0：Network Control 無効 1：Network Control 有効
b0	EFFS	エラーフレーム許可ビット 0：エラーフレーム無効 1：エラーフレーム有効

RFCL[12:0]：受信 FIFO 警告レベルビット

受信 FIFO の警告レベルを設定します。

受信ストレージと送信フェッチの優先順位を保つために使用します。

受信 FIFO に格納されているデータ量がこのレベルよりも低い場合は、送信キュー、受信キューともにともにペンディング処理が実行されます。

このレベルよりも高くなった場合は、受信キューのみ転送を実行し、送信キューはペンディングします。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

注　意

- **本 LSI 使用時には、H’1800 を設定してください。**

ETS2：タイムスタンプ許可（Stream）ビット

受信キュー 2 ～ 17 に含まれるタイムスタンプ情報を有効にします。

ディスクリプタ構造がタイムスタンプ情報の有無で異なります。タイムスタンプ情報を有効とした受信キューでは拡張ディスクリプタを使用します。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

ETS0：タイムスタンプ許可（Best Effort）ビット

受信キュー 0 に含まれるタイムスタンプ情報を有効にします。

ディスクリプタ構造がタイムスタンプ情報の有無で異なります。タイムスタンプ情報を有効とした場合、受信キュー 0 は拡張ディスクリプタを使用します。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

ESF[1:0]：ストリームフィルタリング機能選択ビット

受信キュー 2 ～ 17 に対し、セパレーションフィルタ機能を選択します。

キュー依存のセパレーションフィルタは、AVB ストリームフレームの識別と組み合わせて使用することが可能です。

設定値 B’00 の場合、フィルタリングは無効。受信キュー 0（Best Effort）で処理されます。

設定値 B’01 の場合、AVB ストリームフレーム、非 AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームは受信キュー 0（Best Effort）で処理されます。

設定値 B’10 の場合、AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームは破棄されます。

設定値 B’11 の場合、AVB ストリームフレームに対してセパレーションフィルタ有効、マッチしないストリームフレームは受信キュー 0（Best Effort）で処理されます。

セパレーションフィルタについては、「45.3.4.1 (1)　**セパレーションフィルタ**」を参照してください。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

ENCF：ネットワーク制御フィルタリング機能許可ビット

受信キュー 1 の AVB ネットワークコントロールフレームを有効にします。

受信キュー 1 が禁止の場合は、受信キュー 0（Best Effort）に格納されます。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

EFFS：エラーフレーム許可ビット

E-MAC によってエラーフレームに分類された受信フレームの有効、無効を選択します。

受信されたエラーフレームは、受信キュー 0（Best Effort）に格納されます。

E-MAC が検出した受信時のエラーは、ディスクリプタ（DESCR.MS）に格納されています。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

45.2.8　受信キュー設定レジスタ i（RQCi）（i = 0 ～ 4）

RQC0 レジスタは、受信キュー 0 ～ 3 の設定を行うレジスタです。

RQC1 レジスタは、受信キュー 4 ～ 7 の設定を行うレジスタです。

RQC2 レジスタは、受信キュー 8 ～ 11 の設定を行うレジスタです。

RQC3 レジスタは、受信キュー 12 ～ 15 の設定を行うレジスタです。

RQC4 レジスタは、受信キュー 16 ～ 17 の設定を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	UFCC3[1:0]		—	—	RSM3[1:0]		—	—	UFCC2[1:0]		—	—	RSM2[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	UFCC1[1:0]		—	—	RSM1[1:0]		—	—	UFCC0[1:0]		—	—	RSM0[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W

表 45.12　RQCi レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31、b30	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b29、b28	UFCC3[1:0]	未読フレームカウンタ設定ビット（受信キュー 3+i*4） 受信キュー 3+4*i で使用する未読フレームカウンタを設定します。
b27、b26	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b25、b24	RSM3[1:0]	受信同期モードビット（受信キュー 3+i*4） B’00：ライトバックありモード B’00 以外：設定不可
b23、b22	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b21、b20	UFCC2[1:0]	未読フレームカウンタ設定ビット（受信キュー 2+i*4） 受信キュー 2+4*i で使用する未読フレームカウンタを設定します。
b19、b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17、b16	RSM2[1:0]	受信同期モードビット（受信キュー 2+i*4） B’00：ライトバックありモード B’00 以外：設定不可
b15、b14	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b13、b12	UFCC1[1:0]	未読フレームカウンタ設定ビット（受信キュー 1+i*4） 受信キュー 1+4*i で使用する未読フレームカウンタを設定します。
b11、b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9、b8	RSM1[1:0]	受信同期モードビット（受信キュー 1+i*4） B’00：ライトバックありモード B’00 以外：設定不可
b7、b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

表 45.12　RQCi レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b5、b4	UFCC0[1:0]	未読フレームカウンタ設定ビット（受信キュー 0+i*4） 受信キュー 0+4*i で使用する未読フレームカウンタを設定します。
b3、b2	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b1、b0	RSM0[1:0]	受信同期モードビット（受信キュー 0+i*4） B’00：ライトバックありモード B’00 以外：設定不可

UFCCr[1:0]（r = 0 ～ 17）：未読フレームカウンタ設定ビット

受信キュー r の未読フレームカウンタを設定します。

AVB-DMAC は未読フレームカウンタ機能に対し、4 パターンの設定が可能です。停止レベルに関しては、未読フレームカウンタ停止レベル設定レジスタ（UFCS）を設定してください。

本ビットに “B’00” を設定した場合、停止機能は無効となります。動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

RSMr[1:0]（r = 0 ～ 17）：受信同期モードビット

受信同期モードを設定します。

本ビットには “B’00” を設定してください。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

45.2.9　受信パディング設定レジスタ（RPC）

RPC レジスタは、受信フレームへのパディング設定を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	DCNT[7:0]							
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	PCNT[2:0]			—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 45.13　RPC レジスタの内容

ビット位置	ビット名	機能
b31 ～ b24	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b23 ～ b16	DCNT[7:0]	格納データ数ビット ディスクリプタへ格納するデータ数を指定します 1 カウント＝ 1Word（4Byte）
b15 ～ b11	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b10 ～ b8	PCNT[2:0]	格納パディング数ビット ディスクリプタへ格納するパディング数を指定します 1 カウント＝ 1Word（4Byte）
b7 ～ b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

注　意

パディングを使用することにより、フレーム長を伸ばすことが可能ですが、4K バイトを超えないようにしてください。

DCNT[7:0]：格納データ数ビット

パディングデータのあとに格納するフレームデータ数（1 ～ 255）を指定します。1 カウントは 1Word（4Byte）です。本ビットに “47” を設定した場合は、47Word（= 188Byte）となります。

本ビットが “0” の場合は、最初のパディングデータのあとに、すべての受信データが格納されます。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

パディング処理についての詳細は、「45.3.4.3 (c)　パディング」を参照してください。

PCNT[2:0]：格納パディング数ビット

内蔵 RAM へ付加するパディング数を指定します。1 カウントは 1Word（4Byte）です。本ビットに “1” を設定した場合は、1Word（= 4Byte）となります。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

パディング処理についての詳細は、「45.3.4.3 (c)　**パディング**」を参照してください。

45.2.10　未読フレームカウンタ停止レベル設定レジスタ（UFCS）

UFCS レジスタは、未読フレームの停止レベルを設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	SL3[5:0]						—	—	SL2[5:0]					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	SL1[5:0]						—	—	SL0[5:0]					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R

表 45.14　UFCS レジスタの内容

ビット位置	ビット名	機能
b31、b30	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b29 ～ b24	SL3[5:0]	停止レベル 3 ビット 未読フレーム数停止レベル 3
b23、b22	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b21 ～ b16	SL2[5:0]	停止レベル 2 ビット 未読フレーム数停止レベル 2
b15、b14	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b13 ～ b8	SL1[5:0]	停止レベル 1 ビット 未読フレーム数停止レベル 1
b7、b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b5 ～ b0	SL0[5:0]	停止レベル 0 ビット 未読フレーム数停止レベル 0 読むと “0” が読めます。書く場合は “0” としてください。

SL0 ～ 3[5:0]：停止レベル 0 ～ 3 ビット

未読フレームの停止レベルを設定します。

受信キューごとに、停止レベル 0 ～ 3 の 4 種類を選択可能です。本ビットに 0 を設定した場合は、停止機能は無効です。どのレベルを選択するかは、受信キュー設定レジスタ i（RQCi）（i = 0 ～ 4）で指定します。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

45.2.11　未読フレームカウンタレジスタ i（UFCVi）（i = 0 ～ 4）

UFCV0 レジスタは、受信キュー 0 ～ 3 の未読フレームを表すレジスタです。

UFCV1 レジスタは、受信キュー 4 ～ 7 の未読フレームを表すレジスタです。

UFCV2 レジスタは、受信キュー 8 ～ 11 の未読フレームを表すレジスタです。

UFCV3 レジスタは、受信キュー 12 ～ 15 の未読フレームを表すレジスタです。

UFCV4 レジスタは、受信キュー 16 ～ 17 の未読フレームを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	CV3[5:0]						—	—	CV2[5:0]					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CV1[5:0]						—	—	CV0[5:0]					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.15　UFCS0 レジスタの内容

ビット位置	ビット名	機能
b31、b30	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b29 ～ b24	CV3[5:0]	未読フレーム数 3+4*i 受信キュー 3+4*i の未読フレーム数
b23、b22	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b21 ～ b16	CV2[5:0]	未読フレーム数 2+4*i 受信キュー 2+4*i の未読フレーム数
b15、b14	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b13 ～ b8	CV1[5:0]	未読フレーム数 1+4*i 受信キュー 1+4*i の未読フレーム数
b7、b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b5 ～ b0	CV0[5:0]	未読フレーム数 0+4*i 受信キュー 0+4*i の未読フレーム数

CVr[5:0]：未読フレーム数 r（r = 0 ～ 17）

受信キュー r の未読フレーム数を示します。

未読フレームカウンタ減算レジスタ i（UFCDi）に書き込まれた値分、未読フレームが減算されます。

未読フレームの使用方法については、「45.3.4.4　**未読フレームカウンタ**」を参照してください。

更新条件：

動作モードが、オペレーションモードでなくなった場合 “0” になります。

ディスクリプタベースアドレスロード要求レジスタ（DLR）で、ベースアドレスのロード要求を実施した場合、本ビットは “0” になります。

フレームが受信キュー r に正常に格納され、該当するディスクリプタへのライトトランザクションが発行されたときに加算されます。（最大値 = H’3F。H’3F を超えて加算されません）ただし、ライトトランザクションのレスポンスを待たずに加算するため、該当ディスクリプタのディスクリプタタイプ (DESCR.DT) が更新されていることを確認してから受信データの処理を行ってください。

未読フレームカウンタ減算レジスタ i（UFCDi）に書き込んだ値分だけ、減算されます。減算対象となるすべてのディスクリプタのディスクリプタタイプ（DESCR.DT）が更新されていることを確認してから減算を行ってください。

45.2.12　未読フレームカウンタ減算レジスタ i（UFCDi）（i = 0 ～ 4）

UFCD0 レジスタは、受信キュー 0 ～ 3 の未読カウンタを減算するためのレジスタです。

UFCD1 レジスタは、受信キュー 4 ～ 7 の未読カウンタを減算するためのレジスタです。

UFCD2 レジスタは、受信キュー 8 ～ 11 の未読カウンタを減算するためのレジスタです。

UFCD3 レジスタは、受信キュー 12 ～ 15 の未読カウンタを減算するためのレジスタです。

UFCD4 レジスタは、受信キュー 16 ～ 17 の未読カウンタを減算するためのレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	DV3[5:0]						—	—	DV2[5:0]					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	DV1[5:0]						—	—	DV0[5:0]					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 45.16　UFCDi レジスタの内容

ビット位置	ビット名	機能
b31、b30	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b29 ～ b24	DV3[5:0]	未読フレーム減算数 3+4*i 受信キュー 3+4*i の未読フレーム減算数
b23、b22	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b21 ～ b16	DV2[5:0]	未読フレーム減算数 2+4*i 受信キュー 2+4*i の未読フレーム減算数
b15、b14	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b13 ～ b8	DV1[5:0]	未読フレーム減算数 1+4*i 受信キュー 1+4*i の未読フレーム減算数
b7、b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b5 ～ b0	DV0[5:0]	未読フレーム減算数 0+4*i 受信キュー 0+4*i の未読フレーム減算数

DVr[5:0]：未読フレーム減算数 r（r = 0 ～ 17）

受信キュー r の未読フレーム減算値を設定します。本ビットで設定した値分、未読フレームカウンタレジスタ i（UFCVi）（i = 0 ～ 4）の値が減算されます。

受信キュー r の未読カウンタをリセットするためには、本ビットに “H’3F” を書き込んでください。

本ビットは常に “0” が読み出されます。

45.2.13　セパレーションフィルタオフセット設定レジスタ（SFO）

SFO レジスタは、セパレーションフィルタのオフセットを設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	FBP[5:0]					
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 45.17　SFO レジスタの内容

ビット位置	ビット名	機能
b31 ～ b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b5 ～ b0	FBP[5:0]	先頭バイト位置ビット セパレーションフィルタで使用する最初の Ethernet フレームバイト数

FBP[5:0]：先頭バイト位置ビット

セパレーションフィルタで使用する Ethernet フレームの最初のバイト数を設定します。

本ビットが “0” の場合、セパレーションフィルタは Ethernet フレームの先頭（宛先アドレスの最初のバイト）から開始します。Ethernet フレーム内にあるバイトに関しては、「45.2.1 AVB-DMAC モードレジスタ（CCC）」の「図 45.2　イーサネット受信フレームデータ」を参照してください。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

セパレーションフィルタについては、「45.3.4.1 (1)　セパレーションフィルタ」を参照してください。

注　意

本ビット設定値＋ 8 バイトよりも短い受信フレームは、セパレーションフィルタにマッチしません。この場合、受信設定レジスタのセパレーションフィルタ機能選択ビット（RCR.ESF）の設定にしたがい、受信キューに振り分けられるか、破棄されます。

45.2.14　セパレーションフィルタパターン設定レジスタ i（SFPi）（i = 0 ～ 31）

SFPi レジスタは、受信キュー 2 ～ 17 で使用するセパレーションフィルタのパターンを設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FPs[31+32*(i%2):16+32*(i%2)]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FPs[15+32*(i%2):0+32*(i%2)]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.18　SFPi レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	FPs[31+32*(i%2):0+32*(i%2)]	セパレーションフィルタパターン設定ビット セパレーションフィルタのパターンを設定します 各キュー 64 ビットのフィルタパターンを設定します

FPs[63:0](s=i/2)：セパレーションフィルタパターン設定ビット

受信キュー 2 ～ 17（Stream0 ～ 15）で使用するセパレーションフィルタのパターンを設定します。

各キュー 64 ビット分有しており、受信キュー 2（Stream 0）は、SFP0, SFP1 を、受信キュー 17（Stream 15）は、SFP30, SFP31 を使用します。

SFPi.FPs[7:0]（i は偶数）は、セパレーションフィルタオフセット設定レジスタ（SFO）にて指定された Ethernet フレームデータバイトに使用され、SFPi.FPs[63:56]（i は奇数）は、セパレーションフィルタオフセット設定レジスタ（SFO）+7 用に使用されます。

以下の演算式が真となる場合に受信フレームデータはセパレーションフィルタを通過します。

(受信フレームデータ & SFMi.CFM) == SFPi.FPs

セパレーションフィルタに使用される受信フレームデータは、先頭バイト位置ビット (SFO.FBP) で指定された位置から 8 バイト分となります。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

セパレーションフィルタについては、「45.3.4.1 (1)　**セパレーションフィルタ**」を参照してください。

45.2.15　セパレーションフィルタマスク設定レジスタ i（SFMi）（i = 0, 1）

SFMi レジスタは、受信キュー 2 ～ 17 で使用するセパレーションフィルタ用のマスク値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CFM[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CFM[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.19　SFMi レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	CFM[31:0]	セパレーションフィルタマスク設定ビット セパレーションフィルタのマスク値を設定します

CFM[63:0]：セパレーションフィルタマスク設定ビット

受信キュー 2 ～ 17（Stream0 ～ 15）で使用するセパレーションフィルタのマスク値を設定します。

SFM0.CFM[7:0] は、セパレーションフィルタオフセット設定レジスタ（SFO）にて指定された Ethernet フレームデータバイトに使用され、SFM1.CFM[63:56] は、セパレーションフィルタオフセット設定レジスタ（SFO）+7 用に使用されます。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

セパレーションフィルタについては、「45.3.4.1 (1)　**セパレーションフィルタ**」を参照してください。

45.2.16　送信設定レジスタ（TGC）

TGC レジスタは、AVB-DMAC の送信関連設定を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	TBD3[1:0]		—	—	TBD2[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0
R/W	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	TBD1[1:0]		—	—	TBD0[1:0]		—	—	TQP[1:0]		TSM3	TSM2	TSM1	TSM0
初期値	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 45.20　TGC レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31 ～ b22	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b21 ～ b20	TBD3[1:0]	送信 FIFO サイズビット（Stream Class A） 送信キュー 3（Stream Class A）用フェッチフレーム数 注 意 2 を書き込んでください
b19、b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17、b16	TBD2[1:0]	送信 FIFO サイズビット（Stream Class B） 送信キュー 2（Stream Class B）用フェッチフレーム数 注 意 2 を書き込んでください
b15、b14	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b13、b12	TBD1[1:0]	送信 FIFO サイズビット（Network Control） 送信キュー 1（Network Control）用フェッチフレーム数 注 意 2 を書き込んでください
b11、b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9、b8	TBD0[1:0]	送信 FIFO サイズビット（Best Effort） 送信キュー 0（Best Effort）用フェッチフレーム数 注 意 2 を書き込んでください
b7、b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b5、b4	TQP[1:0]	送信キュー優先度ビット 00：非 AVB モード 01：AVB モード 1 10：設定禁止 11：AVB モード 2

表 45.20　TGC レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b3	TSM3	送信同期モードビット（Stream Class A） 0：ライトバックあり 1：設定不可
b2	TSM2	送信同期モードビット（Stream Class B） 0：ライトバックあり 1：設定不可
b1	TSM1	送信同期モードビット（Network Control） 0：ライトバックあり 1：設定不可
b0	TSM0	送信同期モードビット（Best Effort） 0：ライトバックあり 1：設定不可

TBD0 ～ 3[1:0]：送信 FIFO サイズ （Stream Class A/ Stream Class B/Network Control/ Best Effort）ビット

このビットは、各送信キューで使用する送信 FIFO サイズを設定します。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

このビットには、“2” を設定してください。

TQP[1:0]：送信キュー優先度ビット

このビットは、送信キューの優先度を設定します。

B’00：非 AVB モード Q3 → Q2 → Q1 → Q0

B’01：AVB モード 1 Q3（CBS）→ Q2（CBS）→ Q1 → Q0

B’10：設定禁止

B’11：AVB モード 2 Q1 → Q3（CBS）→ Q2（CBS）→ Q0

CBS（Credit Based Shaping）アルゴリズムについては、「45.3.6　CBS（Credit Based Shaping）」を参照してください。

非 AVB モード（設定値 B’00）の場合は、CBS アルゴリズムは無効です。

動作モードがコンフィグモードの場合のみ、このビットへの書き込みが可能です。

TSM0 ～ 3 ビット：送信同期モードビット

本ビットには “0” を設定してください。

45.2.17　送信設定制御レジスタ（TCCR）

TCCR レジスタは、AVB-DMAC の送信関連設定および制御を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TFR	TFEN	—	—	—	—	TSRQ3	TSRQ2	TSRQ1	TSRQ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R/W	R/W	R/W	R/W

表 45.21　TCCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9	TFR	タイムスタンプ FIFO リリースビット 0(W)：タイムスタンプ FIFO への要求なし 1(W)：タイムスタンプ FIFO の最も古いエントリをリリース
b8	TFEN	タイムスタンプ FIFO 許可ビット 0：タイムスタンプ FIFO での送信タイムスタンプ無効 1：タイムスタンプ FIFO での送信タイムスタンプ有効
b7 ～ b4	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b3	TSRQ3	送信開始要求ビット（キュー 3 （Stream Class A）） 0(R)：送信キューは空、または停止中 1(W)：送信開始要求発行 1(R)：送信処理フェッチ待ち
b2	TSRQ2	送信開始要求ビット（キュー 2 （Stream Class B）） 0(R)：送信キューは空、または停止中 1(W)：送信開始要求発行 1(R)：送信処理フェッチ待ち
b1	TSRQ1	送信開始要求ビット（キュー 1 （Network Control）） 0(R)：送信キューは空、または停止中 1(W)：送信開始要求発行 1(R)：送信処理フェッチ待ち
b0	TSRQ0	送信開始要求ビット（キュー 0 （Best Effort）） 0(R)：送信キューは空、または停止中 1(W)：送信開始要求発行 1(R)：送信処理フェッチ待ち

TFR：タイムスタンプ FIFO リリースビット

タイムスタンプ FIFO の最も古いエントリをリリースさせるビットです。

本ビットに “1” が書き込まれた場合、タイムスタンプ FIFO の最も古いタイムスタンプで TFAi レジスタを更新します。

タイムスタンプ FIFO の使用方法については、「45.3.5.4　送信タイムスタンプ」を参照してください。

本ビットは読み出し時、常に “0” が読めます。

タイムスタンプ FIFO 数ビット（TSR.TFFL）が “B’000” の場合は本ビットに “1” を書き込まないでください。

TFEN ビット：タイムスタンプ FIFO 許可ビット

送信タイムスタンプ FIFO の格納を許可するビットです。

DESCR.TSR に “1” がセットされているディスクリプタに対し、タイムスタンプ情報を格納します。（DESCR.TSR については「45.3.5.2 (2)　送信用フレームデータディスクリプタ構成」を参照してください）

このビットに “0” がセットされたとき、すべてのタイムスタンプ FIFO のエントリは無効となります。

タイムスタンプ FIFO の使用方法については、「45.3.5.4　送信タイムスタンプ」を参照してください。

TSRQt：送信開始要求（キュー t）ビット（t = 0 ～ 3）

送信キュー t に対し、送信開始要求を発行します。

読み込み時、このビットが “1” の場合は、送信キュー t にまだ送信 FIFO へフェッチされていないフレームがあることを示します。

E-MAC によるフレーム送信は、送信 FIFO のフェッチ処理とは独立して処理されます。キューがいつ送信されるかは、送信の優先順位に依存します。

送信キューのスケジューリングについては、「45.3.5.1　送信モード」を参照してください。

動作モードがオペレーションモードの場合のみ、このビットへの書き込みが可能です。

このビットへは、“1” しか書き込めません。“0” を書き込んでも、何も動作しません。

更新条件：

動作モードが、オペレーションモードでなくなった場合 “0” になります。

ディスクリプタタイプ EEMPTY または FEMPTY または LEMPTY（使用可能なデータなし）を処理したとき、“0” になります。

EOS ディスクリプタを処理したとき、“0” になります。

不備のあるディスクリプタを処理したとき、“0” になります。

45.2.18　送信ステータスレジスタ（TSR）

TSR レジスタは、AVB-DMAC の送信ステータスを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	TFFL[2:0]			—	—	—	—	CCS1[1:0]		CCS0[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.22　TSR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b11	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b10 ～ b8	TFFL[2:0]	タイムスタンプ FIFO 数ビット タイムスタンプ FIFO 数
b7 ～ b4	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b3、b2	CCS1[1:0]	CBS カウンタステータス 1 ビット（Class A） B’00：現在のクレジット値は限界内 B’01：現在のクレジット値は下限以下 B’10：現在のクレジット値は上限以上 B’11：（Reserved）
b1、b0	CCS0[1:0]	CBS カウンタステータス 0 ビット（Class B） B’00：現在のクレジット値は限界内 B’01：現在のクレジット値は下限以下 B’10：現在のクレジット値は上限以上 B’11：（Reserved）

TFFL[3:0]：タイムスタンプ FIFO 数ビット

タイムスタンプ FIFO 数を示します。

“0” の場合は空、“2” の場合はフルとなります。（3 ～ 7 は Reserve です）

更新条件：

動作モードが、オペレーションモードでなくなった場合、“0” になります。

送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（TCCR.TFEN）= 0 の場合、“0” になります。

タイムスタンプ FIFO 許可ビット（TCCR.TFEN）= 1 かつ本ビットが 2 でない場合、DESCR.TSR を持つフレームが E-MAC によって送信された際、本ビットはインクリメントされます。（DESCR.TSR については、「45.3.5.2 (2)　送信用フレームデータディスクリプタ構成」を参照してください）

送信設定制御レジスタのタイムスタンプ FIFO リリースビット（TCCR.TFR）に “1” が書き込まれたとき、本ビットが 0 でなければ、デクリメントされます。

CCS0,1[1:0]：CBS カウンタステータス 0, 1 ビット

ストリームデータ送信キュー 0, 1 の CBS ステータスを表します。求めたクレジット値が、CBS 上限値レジスタ c（CULc）（c = 0, 1）および CBS 下限値レジスタ c（CLLc）（c = 0, 1）で設定した範囲外にあるとき、CBS（Credit Based Shaping）は範囲外となります。

更新条件：

動作モードが、オペレーションモードでなくなった場合 “B’00” になります。

CBS が計算したクレジット値が、CBS 上限値レジスタ c（CULc）（c = 0, 1）および CBS 下限値レジスタ c（CLLc）（c = 0, 1）の範囲内の場合 “B’00” となります。

CBS が計算したクレジット値が、CBS 下限値レジスタ c（CLLc）（c = 0, 1）よりも低ければ、B’01 となります。

CBS が計算したクレジット値が、CBS 上限値レジスタ c（CULc）（c = 0, 1）よりも高ければ、B’10 となります。

45.2.19　タイムスタンプ FIFO アクセスレジスタ 0（TFA0）

TFA0 は、タイムスタンプ値を表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSV[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSV[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.23　TFA0 レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	TSV[31:0]	タイムスタンプ値ビット タイムスタンプ値

TSV[79:0]：タイムスタンプ値ビット

TFA0.TSV[31:0]、TFA1.TSV[63:32]、TFA2.TSV[79:64] と合わせた 80 ビットで、タイムスタンプ FIFO に格納されている最も古いタイムスタンプ値を表します。

タイムスタンプ FIFO がフルの場合、それ以上タイムスタンプ値は格納されません。

更新条件：

動作モードが、オペレーションモードでなくなった場合 “H’0000 0000” になります。

タイムスタンプ FIFO に値が格納されたとき（送信ステータスレジスタのタイムスタンプ FIFO 数ビット（TSR.TFFL）が “0” から “1” に変更されたとき）、更新されます。

最も古いエントリがリリースされたとき（送信設定制御レジスタのタイムスタンプ FIFO リリースビット（TCCR.TFR）に “1” をセットしたとき）、更新されます。

45.2.20　タイムスタンプ FIFO アクセスレジスタ 1（TFA1）

TFA1 レジスタは、タイムスタンプ値を表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSV[63:48]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSV[47:32]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.24　TFA1 レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	TSV[63:32]	タイムスタンプ値ビット タイムスタンプ値

TSV[63:32]：タイムスタンプ値ビット

詳細は「45.2.19　タイムスタンプ FIFO アクセスレジスタ 0（TFA0）」を参照してください。

45.2.21　タイムスタンプ FIFO アクセスレジスタ 2（TFA2）

TFA2 レジスタは、タイムスタンプ値およびタイムスタンプタグを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	TST[9:0]									
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSV[79:64]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.25　TFA2 レジスタの内容

ビット位置	ビット名	機能
b31 ～ b26	—	予約ビット 読むと “0” が読めます。
b25 ～ b16	TST[9:0]	タイムスタンプタグビット タイムスタンプタグ
b15 ～ b0	TSV[79:64]	タイムスタンプ値ビット タイムスタンプ値

TST[9:0]：タイムスタンプタグビット

フレーム送信時にディスクリプタ内にある DESCR.TAG ビットの内容を示します。送信キュー内のフレームと、FIFO で使用可能なタイムスタンプ値（タイムスタンプ FIFO アクセスレジスタ i（TFAi.TSV、i=0 ～ 2））との相関性を確認するために使用します。

送信フレームのタグ付けについては、「45.3.5.4　送信タイムスタンプ」を参照してください。タイムスタンプ FIFO 数ビット（TSR.TFFL）が “0” の場合は本ビットを参照しないでください。

更新条件：

動作モードが、オペレーションモードでなくなった場合 “H’000” になります。

タイムスタンプ FIFO に値が格納されたとき（送信ステータスレジスタのタイムスタンプ FIFO 数ビット（TSR.TFFL）が “0” から “1” に変更されたとき）、更新されます。

最も古いエントリがリリースされたとき（送信設定制御レジスタのタイムスタンプ FIFO リリースビット（TCCR.TFR）に “1” をセットしたとき）、更新されます。

TSV[73:64]：タイムスタンプ値ビット

詳細は「45.2.19　タイムスタンプ FIFO アクセスレジスタ 0（TFA0）」を参照してください。

45.2.22　CBS インクリメント値レジスタ c（CIVRc）（c = 0, 1）

CIVR0 レジスタは、送信キュー 2（Stream Class B）の CBS アルゴリズム用インクリメント値を設定するレジスタです。

CIVR1 レジスタは、送信キュー 3（Stream Class A）の CBS アルゴリズム用インクリメント値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CIV[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CIV[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.26　CIVRc レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	CIV[31:0]	CBS インクリメント値ビット 設定値：1 ～ 65535（H’00000001 ～ H’0000FFFF）

CIV[31:0]：CBS インクリメント値ビット

CBS アルゴリズム用インクリメント値を設定します。

1 ～ 65535(H’0000 0001 ～ H’0000 FFFF) の範囲で設定してください。

本ビットに書き込むべき値は、Ethernet ビットレートと Bφ（内部バスクロック）に依存します。詳細は、「45.3.6　CBS（Credit Based Shaping）」を参照してください。

45.2.23　CBS デクリメント値レジスタ c（CDVRc）（c = 0, 1）

CDVR0 レジスタは、送信キュー 2（Stream Class B）の CBS アルゴリズム用デクリメント値を設定するレジスタです。

CDVR1 レジスタは、送信キュー 3（Stream Class A）の CBS アルゴリズム用デクリメント値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CDV[31:16]															
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CDV[15:0]															
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.27　CDVR0, 1 レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	CDV[31:0]	CBS デクリメント値ビット 設定値：-1 ～ -65536（H'FFFF FFFF ～ H'FFFF 0000）

CDV[31:0]：CBS デクリメント値ビット

CBS アルゴリズム用デクリメント値を設定します。

-1 ～ -65536（H'FFFF FFFF ～ H'FFFF 0000）の負の値を設定してください。

本ビットに書き込むべき値は、Ethernet ビットレートと Bφ（内部バスクロック）に依存します。詳細は、「45.3.6　CBS（Credit Based Shaping）」を参照してください。

45.2.24　CBS 上限値レジスタ c（CULc）（c = 0, 1）

CUL0 レジスタは、送信キュー 2（Stream Class B）の CBS アルゴリズムで求めたクレジット値の上限値を設定するレジスタです。

CUL1 レジスタは、送信キュー 3（Stream Class A）の CBS アルゴリズムで求めたクレジット値の上限値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	ULV[31:16]															
初期値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ULV[15:0]															
初期値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.28　CUL0,1 レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	ULV[31:0]	CBS 上限値ビット CBS 上限値

ULV[31:0]：CBS 上限値ビット

CBS アルゴリズムで求めたクレジット値の上限値を設定します。

この設定自体は、CBS アルゴリズムには影響しません。

本ビットには、正の値を書き込んでください。

詳細は、「45.3.6　CBS（Credit Based Shaping）」を参照してください。

45.2.25　CBS 下限値レジスタ c（CLLc）（c = 0, 1）

CLL0 レジスタは、送信キュー 2（Stream Class B）の CBS アルゴリズムで求めたクレジット値の下限値を設定するレジスタです。

CLL1 レジスタは、送信キュー 3（Stream Class A）の CBS アルゴリズムで求めたクレジット値の下限値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	LLV[31:16]															
初期値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	LLV[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.29　CULc レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	LLV[31:0]	CBS 下限値ビット CBS 下限値

LLV[31:0]：CBS 下限値ビット

CBS アルゴリズムで求めたクレジット値の下限値を設定します。

この設定自体は、CBS アルゴリズムには影響しません。

本ビットには、負の値を書き込んでください。

詳細は、「45.3.6　CBS（Credit Based Shaping）」を参照してください。

45.2.26　ディスクリプタ割り込み制御レジスタ（DIC）

DIC レジスタは、ディスクリプタ割り込み 1 ～ 15 を制御するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DPE15	DPE14	DPE13	DPE12	DPE11	DPE10	DPE9	DPE8	DPE7	DPE6	DPE5	DPE4	DPE3	DPE2	DPE1	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 45.30　DIC レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b15	DPE15	ディスクリプタ割り込み許可ビット 15 0：禁止 1：許可
b14	DPE14	ディスクリプタ割り込み許可ビット 14 0：禁止 1：許可
b13	DPE13	ディスクリプタ割り込み許可ビット 13 0：禁止 1：許可
b12	DPE12	ディスクリプタ割り込み許可ビット 12 0：禁止 1：許可
b11	DPE11	ディスクリプタ割り込み許可ビット 11 0：禁止 1：許可
b10	DPE10	ディスクリプタ割り込み許可ビット 10 0：禁止 1：許可
b9	DPE9	ディスクリプタ割り込み許可ビット 9 0：禁止 1：許可
b8	DPE8	ディスクリプタ割り込み許可ビット 8 0：禁止 1：許可
b7	DPE7	ディスクリプタ割り込み許可ビット 7 0：禁止 1：許可
b6	DPE6	ディスクリプタ割り込み許可ビット 6 0：禁止 1：許可
b5	DPE5	ディスクリプタ割り込み許可ビット 5 0：禁止 1：許可
b4	DPE4	ディスクリプタ割り込み許可ビット 4 0：禁止 1：許可

表 45.30　DIC レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b3	DPE3	ディスクリプタ割り込み許可ビット 3 0：禁止 1：許可
b2	DPE2	ディスクリプタ割り込み許可ビット 2 0：禁止 1：許可
b1	DPE1	ディスクリプタ割り込み許可ビット 1 0：禁止 1：許可
b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

RPE1 ～ 15：ディスクリプタ割り込み許可ビット 1 ～ 15

割り込み許可状態で、割り込み要因発生（ディスクリプタ割り込みステータスレジスタ（DIS）DPF1 ～ 15 = 1）した場合、割り込みがかかります。

45.2.27　ディスクリプタ割り込みステータスレジスタ（DIS）

DIS レジスタは、ディスクリプタ割り込みのステータスを表示するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	DPF15	DPF14	DPF13	DPF12	DPF11	DPF10	DPF9	DPF8	DPF7	DPF6	DPF5	DPF4	DPF3	DPF2	DPF1	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R

表 45.31　DIS レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b15	DPF15	ディスクリプタ割り込みステータスビット 15 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b14	DPF14	ディスクリプタ割り込みステータスビット 14 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b13	DPF13	ディスクリプタ割り込みステータスビット 13 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b12	DPF12	ディスクリプタ割り込みステータスビット 12 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b11	DPF11	ディスクリプタ割り込みステータスビット 11 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b10	DPF10	ディスクリプタ割り込みステータスビット 10 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b9	DPF9	ディスクリプタ割り込みステータスビット 9 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b8	DPF8	ディスクリプタ割り込みステータスビット 8 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b7	DPF7	ディスクリプタ割り込みステータスビット 7 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b6	DPF6	ディスクリプタ割り込みステータスビット 6 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b5	DPF5	ディスクリプタ割り込みステータスビット 5 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b4	DPF4	ディスクリプタ割り込みステータスビット 4 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 45.31　DIS レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b3	DPF3	ディスクリプタ割り込みステータスビット 3 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b2	DPF2	ディスクリプタ割り込みステータスビット 2 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b1	DPF1	ディスクリプタ割り込みステータスビット 1 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

DPF1 ～ 15：ディスクリプタ割り込みステータスビット

このビットは、受信または送信キュー内の DESCR.DIE が 1 ～ 15 のディスクリプタが処理されたことを示します。

DESCR.DIE が 0 のとき、ディスクリプタ割り込みは発生しません。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

DESCR.DIE が 1 ～ 15 のディスクリプタが処理され、該当するディスクリプタへのライトトランザクションが発行されたときに “1” になります。ただし、ライトトランザクションのレスポンスを待たずに “1” になるため、該当ディスクリプタのディスクリプタタイプ（DESCR.DT）が更新されていることを確認してから処理済みディスクリプタの事後処理を行ってください。

45.2.28　エラー割り込み制御レジスタ（EIC）

EIC レジスタは、AVB-DMAC 関連エラー割り込みを制御するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TFFE	CULE1	CULE0	CLLE1	CLLE0	SEE	QEE	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 45.32　EIC レジスタの内容

ビット位置	ビット名	機能
b31 ～ b9	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b8	TFFE	タイムスタンプ FIFO フルエラー割り込み許可ビット 0：禁止 1：許可
b7	CULE1	CBS 上限値エラー割り込み許可ビット（Class A） 0：禁止 1：許可
b6	CULE0	CBS 上限値エラー割り込み許可ビット（Class B） 0：禁止 1：許可
b5	CLLE1	CBS 下限値エラー割り込み許可ビット（Class A） 0：禁止 1：許可
b4	CLLE0	CBS 下限値エラー割り込み許可ビット（Class B） 0：禁止 1：許可
b3	SEE	セパレーションフィルタエラー割り込み許可ビット 0：禁止 1：許可
b2	QEE	キューエラー割り込み許可ビット 0：禁止 1：許可
b1、b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

TFFE：タイムスタンプ FIFO フルエラー割り込み許可ビット

割り込み許可状態で、タイムスタンプ FIFO がフル（エラー割り込みステータスレジスタ（EIS）TFFF = 1）となった場合、割り込みがかかります。

CULE1：CBS 上限値エラー割り込み許可ビット（Class A）

割り込み許可状態で、Class A の CBS が上限値に達した（エラー割り込みステータスレジスタ（EIS）CULF1 = 1）した場合、割り込みがかかります。

CULE0：CBS 上限値エラー割り込み許可ビット（Class B）

割り込み許可状態で、Class B の CBS が上限値に達した（エラー割り込みステータスレジスタ（EIS）CULF0 = 1）した場合、割り込みがかかります。

CLLE1：CBS 下限値エラー割り込み許可ビット（Class A）

割り込み許可状態で、Class A の CBS が下限値に達した（エラー割り込みステータスレジスタ（EIS）CLLF1 = 1）した場合、割り込みがかかります。

CLLE0：CBS 下限値エラー割り込み許可ビット（Class B）

割り込み許可状態で、Class B の CBS が下限値に達した（エラー割り込みステータスレジスタ（EIS）CLLF0 = 1）した場合、割り込みがかかります。

SEE：セパレーションフィルタエラー割り込み許可ビット

割り込み許可状態で、セパレーションフィルタエラーを検知（エラー割り込みステータスレジスタ（EIS）SEF = 1）した場合、割り込みがかかります。

QEE：キューエラー割り込み許可ビット

割り込み許可状態で、キューエラーを検知（エラー割り込みステータスレジスタ（EIS）QEF = 1）した場合、割り込みがかかります。

45.2.29　エラー割り込みステータスレジスタ（EIS）

EIS レジスタは、AVB-DMAC 関連エラー割り込みステータスを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	QFS
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TFFF	CULF1	CULF0	CLLF1	CLLF0	SEF	QEF	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R

表 45.33　EIS レジスタの内容

ビット位置	ビット名	機能
b31 ～ b17	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b16	QFS	キューフルエラー割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b15 ～ b9	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b8	TFFF	タイムスタンプ FIFO フルエラー割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b7	CULF1	CBS 上限値エラー割り込みステータスビット（Class A） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b6	CULF0	CBS 上限値エラー割り込みステータスビット（Class B） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b5	CLLF1	CBS 下限値エラー割り込みステータスビット（Class A） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b4	CLLF0	CBS 下限値エラー割り込みステータスビット（Class B） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b3	SEF	セパレーションフィルタエラー割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b2	QEF	キューエラー割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b1、b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

QFS：キューフルエラー割り込みステータスビット

割り込み許可状態で、キューがフル（受信割り込みステータスレジスタ 2 の受信キュー r フル割り込みステータス（RIS2.QFFr）= 1、もしくは受信 FIFO フル割り込みステータス（RIS2.RFFF）= 1）となったことを示します。

［変更条件］

受信キュー r フル割り込みステータス（RIS2.QFFr）、受信割り込み制御レジスタ 2 の受信キュー r フル割り込み許可ビット（RIC2.QFEr）が更新された場合、このビットも更新されます。

受信 FIFO フル割り込みステータス（RIS2.RFFF）、受信 FIFO フル割り込み許可ビット（RIC2.RFFE）が更新された場合、このビットも更新されます。

TFFF：タイムスタンプ FIFO フルエラー割り込みステータスビット

このビットは、タイムスタンプ FIFO がフルであるために新しい送信タイムスタンプが破棄（オーバラン状態）されたことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

DESCR.TSR を含むフレームが送信され、送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（TCCR.TFEN）が “1” で、送信ステータスレジスタのタイムスタンプ FIFO 数ビット（TSR.TFFL）が “2” のとき、このビットは “1” にセットされます。

CULF1：CBS 上限値エラー割り込みステータスビット（Class A）

このビットは、CBS カウンタ 1 が、設定した上限（ CBS 上限値レジスタ c（CULc）CUL1.ULV）を超えたことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

送信ステータスレジスタの CBS カウンタステータス 1（Class A）ビット（TSR.CCS1）が、“00”（限界範囲内）から “10”（上限以上）に変化したとき、本ビットは “1” となります。

CULF0：CBS 上限値エラー割り込みステータスビット（Class B）

このビットは、CBS カウンタ 0 が、設定した上限（ CBS 上限値レジスタ c（CULc）CUL0.ULV）を超えたことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

送信ステータスレジスタの CBS カウンタステータス 0（Class B）ビットが、“00”（限界範囲内）から “10”（上限以上）に変化したとき、本ビットは “1” となります。

CLLF1：CBS 下限値エラー割り込みステータスビット（Class A）

このビットは、CBS カウンタ 1 が、設定した下限（CBS 下限値レジスタ c（CLLc）CLL1.LLV）を下回ったことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

送信ステータスレジスタの CBS カウンタステータス 1（Class A）ビット（TSR.CCS1）が、“00”（限界範囲内）から “01”（下限以下）に変化したとき、本ビットは “1” となります。

CLLF0：CBS 下限値エラー割り込みステータスビット（Class B）

このビットは、CBS カウンタ 0 が、設定した下限（CBS 下限値レジスタ c（CLLc）CLL0.LLV）を下回ったことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

送信ステータスレジスタの CBS カウンタステータス 0（Class B）ビット（TSR.CCS0）が、“00”（限界範囲内）から “01”（下限以下）に変化したとき、本ビットは “1” となります。

SEF：セパレーションフィルタエラー割り込みステータスビット

このビットは、受信フレームが設定したセパレーションフィルタに不一致であったために破棄されたことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

受信設定レジスタのストリームフィルタリング機能選択ビット（RCR.ESF）に “B’10” を設定している場合、受信した AVB ストリームデータフレームがすべてのセパレーションフィルタと不一致となり受信フレームが破棄されると、本ビットは “1” になります。

QEF：キューエラー割り込みステータスビット

このビットは、送受信キューの処理中にエラーが検出されたことを示します。詳しくは「45.3.2.3　整合性チェック」を参照してください。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

送受信キューのエラーが検出された場合、本ビットは “1” になります。

45.2.30　受信割り込み制御レジスタ 0（RIC0）

RIC0 レジスタは、AVB-DMAC 受信割り込みを制御するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRE17	FRE16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRE15	FRE14	FRE13	FRE12	FRE11	FRE10	FRE9	FRE8	FRE7	FRE6	FRE5	FRE4	FRE3	FRE2	FRE1	FRE0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.34　RIC0 レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31 ～ b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17	FRE17	受信フレーム割り込み許可ビット 17（Stream） 0：禁止 1：許可
b16	FRE16	受信フレーム割り込み許可ビット 16（Stream） 0：禁止 1：許可
b15	FRE15	受信フレーム割り込み許可ビット 15（Stream） 0：禁止 1：許可
b14	FRE14	受信フレーム割り込み許可ビット 14（Stream） 0：禁止 1：許可
b13	FRE13	受信フレーム割り込み許可ビット 13（Stream） 0：禁止 1：許可
b12	FRE12	受信フレーム割り込み許可ビット 12（Stream） 0：禁止 1：許可
b11	FRE11	受信フレーム割り込み許可ビット 11（Stream） 0：禁止 1：許可
b10	FRE10	受信フレーム割り込み許可ビット 10（Stream） 0：禁止 1：許可
b9	FRE9	受信フレーム割り込み許可ビット 9（Stream） 0：禁止 1：許可
b8	FRE8	受信フレーム割り込み許可ビット 8（Stream） 0：禁止 1：許可
b7	FRE7	受信フレーム割り込み許可ビット 7（Stream） 0：禁止 1：許可
b6	FRE6	受信フレーム割り込み許可ビット 6（Stream） 0：禁止 1：許可

表 45.34　RIC0 レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b5	FRE5	受信フレーム割り込み許可ビット 5（Stream） 0：禁止 1：許可
b4	FRE4	受信フレーム割り込み許可ビット 4（Stream） 0：禁止 1：許可
b3	FRE3	受信フレーム割り込み許可ビット 3（Stream） 0：禁止 1：許可
b2	FRE2	受信フレーム割り込み許可ビット 2（Stream） 0：禁止 1：許可
b1	FRE1	受信フレーム割り込み許可ビット 1（Network Control） 0：禁止 1：許可
b0	FRE0	受信フレーム割り込み許可ビット 0（Best Effort） 0：禁止 1：許可

FRE0 ～ 17：受信フレーム割り込み許可ビット 0 ～ 17

割り込み許可状態で、割り込み要因発生（受信割り込みステータスレジスタの受信割り込みステータス（RIS0.FRF0 ～ 17）= 1）した場合、割り込みがかかります。

45.2.31　受信割り込みステータスレジスタ 0（RIS0）

RIS0 レジスタは、AVB-DMAC 受信割り込みステータスを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	FRF17	FRF16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FRF15	FRF14	FRF13	FRF12	FRF11	FRF10	FRF9	FRF8	FRF7	FRF6	FRF5	FRF4	FRF3	FRF2	FRF1	FRF0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.35　RIS0 レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31 ～ b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17	FRF17	受信フレーム割り込みステータスビット 17（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b16	FRF16	受信フレーム割り込みステータスビット 16（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b15	FRF15	受信フレーム割り込みステータスビット 15（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b14	FRF14	受信フレーム割り込みステータスビット 14（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b13	FRF13	受信フレーム割り込みステータスビット 13（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b12	FRF12	受信フレーム割り込みステータスビット 12（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b11	FRF11	受信フレーム割り込みステータスビット 11（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b10	FRF10	受信フレーム割り込みステータスビット 10（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b9	FRF9	受信フレーム割り込みステータスビット 9（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b8	FRF8	受信フレーム割り込みステータスビット 8（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b7	FRF7	受信フレーム割り込みステータスビット 7（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b6	FRF6	受信フレーム割り込みステータスビット 6（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 45.35　RIS0 レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b5	FRF5	受信フレーム割り込みステータスビット 5（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b4	FRF4	受信フレーム割り込みステータスビット 4（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b3	FRF3	受信フレーム割り込みステータスビット 3（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b2	FRF2	受信フレーム割り込みステータスビット 2（Stream） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b1	FRF1	受信フレーム割り込みステータスビット 1（Network Control） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b0	FRF0	受信フレーム割り込みステータスビット 0（Best Effort） 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

FRF0 ～ 17：受信フレーム割り込みステータスビット 0 ～ 17

このビットは、受信キュー 0 ～ 17 においてフレームが正常に格納され、CPU の処理待ちにデータがあることを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

未読フレームカウンタ減算レジスタ i（UFCDi）（i = 0 ～ 4）に値を書き込み、未読フレームカウンタ減算レジスタ i（UFCDi）（i = 0 ～ 4）がデクリメントされ “0” になった場合、このビットは “0” になります。

フレームが受信キューに正常に格納され、該当するディスクリプタへのライトトランザクションが発行されたときに該当ビットが “1” になります。ただし、ライトトランザクションのレスポンスを待たずに該当ビットが “1” になるため、該当ディスクリプタのディスクリプタタイプ（DESCR.DT）が更新されていることを確認してから受信データの処理を行ってください。

45.2.32　受信割り込み制御レジスタ 1（RIC1）

RIC1 レジスタは、AVB-DMAC 受信割り込みを制御するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFWE	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.36　RIC1 レジスタの内容

ビット位置	ビット名	機能
b31	RFWE	受信 FIFO 警告割り込み許可ビット 0：禁止 1：許可
b30 ～ b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

RFWE：受信 FIFO 警告割り込み許可ビット

割り込み許可状態で、受信 FIFO が警告レベル（受信設定レジスタの受信 FIFO 警告レベル（RCR.RFCL）で設定した値）に達した場合、割り込みがかかります。

45.2.33　受信割り込みステータスレジスタ 1（RIS1）

RIS1 レジスタは、AVB-DMAC 受信割り込みステータスを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFWF	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.37　RIS1 レジスタの内容

ビット位置	ビット名	機能
b31	RFWF	受信 FIFO 警告割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b30 ～ b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

RFWF：受信 FIFO 警告割り込みステータスビット

このビットは、受信 FIFO が設定した警告レベル（受信設定レジスタの受信 FIFO 警告レベル （RCR.RFCL）で設定した値）に達したことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

受信 FIFO が、設定した警告レベル（受信設定レジスタの受信 FIFO 警告レベル（RCR.RFCL）で設定した値）を超過すると “1” になります。

45.2.34　受信割り込み制御レジスタ 2（RIC2）

RIC2 レジスタは、AVB-DMAC 受信割り込みを制御するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFFE	—	—	—	—	—	—	—	—	—	—	—	—	—	QFE17	QFE16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	QFE15	QFE14	QFE13	QFE12	QFE11	QFE10	QFE9	QFE8	QFE7	QFE6	QFE5	QFE4	QFE3	QFE2	QFE1	QFE0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.38　RIC2 レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31	RFFE	受信 FIFO フル割り込み許可 0：禁止 1：許可
b30 ～ b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17	QFE17	受信キュー 17（Stream）フル割り込み許可ビット 0：禁止 1：許可
b16	QFE16	受信キュー 16（Stream）フル割り込み許可ビット 0：禁止 1：許可
b15	QFE15	受信キュー 15（Stream）フル割り込み許可ビット 0：禁止 1：許可
b14	QFE14	受信キュー 14（Stream）フル割り込み許可ビット 0：禁止 1：許可
b13	QFE13	受信キュー 13（Stream）フル割り込み許可ビット 0：禁止 1：許可
b12	QFE12	受信キュー 12（Stream）フル割り込み許可ビット 0：禁止 1：許可
b11	QFE11	受信キュー 11（Stream）フル割り込み許可ビット 0：禁止 1：許可
b10	QFE10	受信キュー 10（Stream）フル割り込み許可ビット 0：禁止 1：許可
b9	QFE9	受信キュー 9（Stream）フル割り込み許可ビット 0：禁止 1：許可
b8	QFE8	受信キュー 8（Stream）フル割り込み許可ビット 0：禁止 1：許可
b7	QFE7	受信キュー 7（Stream）フル割り込み許可ビット 0：禁止 1：許可

表 45.38　RIC2 レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b6	QFE6	受信キュー 6（Stream）フル割り込み許可ビット 0：禁止 1：許可
b5	QFE5	受信キュー 5（Stream）フル割り込み許可ビット 0：禁止 1：許可
b4	QFE4	受信キュー 4（Stream）フル割り込み許可ビット 0：禁止 1：許可
b3	QFE3	受信キュー 3（Stream）フル割り込み許可ビット 0：禁止 1：許可
b2	QFE2	受信キュー 2（Stream）フル割り込み許可ビット 0：禁止 1：許可
b1	QFE1	受信キュー 1（Network Control）フル割り込み許可ビット 0：禁止 1：許可
b0	QFE0	受信キュー 0（Best Effort）フル割り込み許可ビット 0：禁止 1：許可

RFFE：受信 FIFO フル割り込み許可ビット

割り込み許可状態で、受信 FIFO がフル状態に達した場合、割り込みがかかります。

QFE0 ～ 17：受信キュー 0 ～ 17 フル割り込み許可ビット

割り込み許可状態で、受信キュー 0 ～ 17 がフル状態に達した場合、割り込みがかかります。

45.2.35　受信割り込みステータスレジスタ 2（RIS2）

RIS2 レジスタは、AVB-DMAC 受信割り込みステータスを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFFF	—	—	—	—	—	—	—	—	—	—	—	—	—	QFF17	QFF16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	QFF15	QFF14	QFF13	QFF12	QFF11	QFF10	QFF9	QFF8	QFF7	QFF6	QFF5	QFF4	QFF3	QFF2	QFF1	QFF0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.39　RIS2 レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31	RFFF	受信 FIFO フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b30 ～ b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17	QFF17	受信キュー 17（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b16	QFF16	受信キュー 16（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b15	QFF15	受信キュー 15（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b14	QFF14	受信キュー 14（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b13	QFF13	受信キュー 13（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b12	QFF12	受信キュー 12（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b11	QFF11	受信キュー 11（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b10	QFF10	受信キュー 10（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b9	QFF9	受信キュー 9（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b8	QFF8	受信キュー 8（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b7	QFF7	受信キュー 7（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 45.39　RIS2 レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b6	QFF6	受信キュー 6（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b5	QFF5	受信キュー 5（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b4	QFF4	受信キュー 4（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b3	QFF3	受信キュー 3（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b2	QFF2	受信キュー 2（Stream）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b1	QFF1	受信キュー 1（Network Control）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b0	QFF0	受信キュー 0（Best Effort）フル割り込みステータスビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

RFFF：受信 FIFO フル割り込みステータスビット

受信 FIFO がフルで、格納することのできないフレームを受信したことを示します。

受信できなかったフレームは破棄されます。

破棄されたフレームについての情報は残っていません。破棄されていなくても、E-MAC によってエラーフレームと判断された場合にも、本ビットがセットされることがあります。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

受信 FIFO に格納できない場合、“1” になります。

QFF0 ～ 17：受信キュー 0 ～ 17 フル割り込みステータスビット

受信キュー r に受信フレームを格納するスペースがなかったことを示します。

受信キューは、使用可能なディスクリプタ（ディスクリプタタイプ（DESCR.DT）= FEMPTY, FEMPTY_IS, FEMPTY_IC, FEMPTY_ND）がないか、設定したストップレベルに達した場合、フルとして扱われます。

注　意

分割フレーム（「(b)　分割フレーム」を参照）格納中に、空のディスクリプタが残っていない場合、エラーフレームがキューに格納されます。このようなエラーフレームは、ディスクリプタシーケンスエラーとして取り扱われます。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

受信キュー r に格納用スペースがない場合、“1” にセットされます。

未読フレームカウンタ（未読フレームカウンタレジスタ i（UFCVi）（i = 0 ～ 4））が設定されたストップレベルに達した場合、“1” にセットされます。後続の受信フレームが破棄される前に、ストップレベルに到達した時点で “1” にセットされます。

45.2.36　送信割り込み制御レジスタ（TIC）

TIC レジスタは、AVB-DMAC 送信割り込みを制御するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TFWE	TFUE	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 45.40　TIC レジスタの内容

ビット位置	ビット名	機能
b31 ～ b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9	TFWE	タイムスタンプ FIFO 警告割り込み許可ビット 0：禁止 1：許可
b8	TFUE	タイムスタンプ FIFO 更新割り込み許可ビット 0：禁止 1：許可
b7 ～ b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

TFWE：タイムスタンプ FIFO 警告割り込み許可ビット

割り込み許可状態で、タイムスタンプ FIFO が警告レベルに達した場合、割り込みがかかります。

TFUE：タイムスタンプ FIFO 更新割り込み許可ビット

割り込み許可状態で、タイムスタンプ FIFO が更新された際、割り込みがかかります。

45.2.37　送信割り込みステータスレジスタ（TIS）

TIS レジスタは、AVB-DMAC 送信割り込みステータスを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TFWF	TFUF	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R	R	R	R	R

表 45.41　TIS レジスタの内容

ビット位置	ビット名	機能
b31 ～ b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9	TFWF	タイムスタンプ FIFO 警告割り込みステータスビット 0：ペンディング中の割り込みなし 1：タイムスタンプ FIFO が警告レベルに達した
b8	TFUF	タイムスタンプ FIFO 更新割り込みステータスビット 0：ペンディング中の割り込みなし 1：タイムスタンプ FIFO 更新
b7 ～ b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

TFWF：タイムスタンプ FIFO 警告割り込みステータスビット

送信タイムスタンプ FIFO の警告レベルに達したことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（TCCR.TFEN）が “0” のとき、“0” になります。

DESCR.TSR を含むフレームが送信され、タイムスタンプ FIFO にすでに 1 エントリ格納されている場合、“1” になります。

TFUF：タイムスタンプ FIFO 更新割り込みステータスビット

送信タイムスタンプ FIFO が更新されたことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

送信設定制御レジスタのタイムスタンプ FIFO 許可ビット（TCCR.TFEN）が “0” のとき、“0” になります。

送信設定制御レジスタのタイムスタンプ FIFO リリースビット（TCCR.TFR）に “1” を書き込むと、“0” になります。DESCR.TSR を含むフレームが送信され、タイムスタンプ FIFO 許可ビット（TCCR.TFEN）が “1” のとき、“1” になります。

45.2.38　割り込みサマリステータスレジスタ（ISS）

ISS レジスタは、AVB-DMAC 関連割り込みのサマリステータスを表示するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DPS15	DPS14	DPS13	DPS12	DPS11	DPS10	DPS9	DPS8	DPS7	DPS6	DPS5	DPS4	DPS3	DPS2	DPS1	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	CGIS	RFWS	—	—	TFWS	TFUS	MS	ES	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.42　ISS レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31	DPS15	ディスクリプタ割り込み 15 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b30	DPS14	ディスクリプタ割り込み 14 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b29	DPS13	ディスクリプタ割り込み 13 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b28	DPS12	ディスクリプタ割り込み 12 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b27	DPS11	ディスクリプタ割り込み 11 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b26	DPS10	ディスクリプタ割り込み 10 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b25	DPS9	ディスクリプタ割り込み 9 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b24	DPS8	ディスクリプタ割り込み 8 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b23	DPS7	ディスクリプタ割り込み 7 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b22	DPS6	ディスクリプタ割り込み 6 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b21	DPS5	ディスクリプタ割り込み 5 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b20	DPS4	ディスクリプタ割り込み 4 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b19	DPS3	ディスクリプタ割り込み 3 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

表 45.42　ISS レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b18	DPS2	ディスクリプタ割り込み 2 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b17	DPS1	ディスクリプタ割り込み 1 サマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b16 ～ b14	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b13	CGIS	gPTP 割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b12	RFWS	受信 FIFO 警告割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b11、b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9	TFWS	タイムスタンプ FIFO 警告割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b8	TFUS	タイムスタンプ FIFO 更新割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b7	MS	E-MAC 割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b6	ES	エラー割り込みサマリビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b5 ～ b0	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

DPS1 ～ 15：ディスクリプタ割り込み 1 ～ 15 サマリビット

ディスクリプタ割り込み許可（DIC.DPE1 ～ 15）とディスクリプタ割り込みステータス（DIS.DPF1 ～ 15）がともに “1” の場合、“1” になります。

CGIS：gPTP 割り込みサマリビット

有効な gPTP 割り込み（GIC, GIS）のうち、1 つでも “1” の場合に、“1” になります。

RFWS：受信 FIFO 警告割り込みサマリビット

受信 FIFO 警告割り込み許可（RIC1.RFWE）と受信 FIFO 警告割り込みステータス（RIS1.RFWF）がともに “1” の場合、“1” になります。

TFWS：タイムスタンプ FIFO 警告割り込みサマリビット

タイムスタンプ FIFO 警告割り込み許可（TIC.TFWE）とタイムスタンプ FIFO 警告割り込みステータス（TIS.TFWF）がともに “1” の場合、“1” になります。

TFUS：タイムスタンプ FIFO 更新割り込みサマリビット

タイムスタンプ FIFO 更新割り込み許可（TIC.TFUE）とタイムスタンプ FIFO 更新割り込みステータス（TIS.TFUF）がともに “1” の場合、“1” になります。

MS：E-MAC 割り込みサマリビット

E-MAC の割り込み発生時に “1” になります。

ES：エラー割り込みサマリビット

エラー割り込みステータスレジスタ（EIS）の有効フラグのうち 1 つでも “1” の場合、またはエラー割り込みステータスレジスタ（EIS）のキューフルエラー割り込みステータスビット（EIS.QFS）が “1” の場合、“1” になります。

45.2.39　gPTP 設定制御レジスタ（GCCR）

GCCR レジスタは、gPTP の設定および制御を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TCSS[1:0]		—	—	LMTT	LPTC	LTI	LTO	TCR[1:0]	
初期値	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

表 45.43　GCCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9、b8	TCSS[1:0]	タイマキャプチャソース選択ビット 00：gPTP タイマ値 01：補正 gPTP タイマ値 10：AVTP プレゼンテーションタイム 11：設定禁止
b7、b6	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b5	LMTT	最大トランジットタイム設定要求ビット 0：設定完了 1(W)：設定要求発行 1(R)：設定完了待ち
b4	LPTC	プレゼンテーションタイム比較値設定要求ビット 0：設定完了 1(W)：設定要求発行 1(R)：設定完了待ち
b3	LTI	タイマインクリメント値設定要求ビット 0：設定完了 1(W)：設定要求発行 1(R)：設定完了待ち
b2	LTO	タイマオフセット値設定要求ビット 0：設定完了 1(W)：設定要求発行 1(R)：設定完了待ち
b1、b0	TCR[1:0]	タイマ制御要求ビット 00：要求なし 01：gPTP/AVTP プレゼンテーションタイムリセット 10：設定禁止 11：TCSS ビットで設定された内容をキャプチャ

TCSS[1:0]：タイマキャプチャソース選択ビット

キャプチャしたタイマレジスタ（gPTP タイマキャプチャレジスタ（GCTi.CTV）の更新に使用するソースを選択するビットです。

タイマ制御要求なし（GCCR.TCR = B’00）のときに、このビットを制御するようにしてください。

LMTT：最大トランジットタイム設定要求ビット

gPTP 最大トランジットタイム設定レジスタ（GMTT）の設定要求を発行します。

本ビットには、“1” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“1” になります。

gPTP 最大トランジットタイム設定レジスタ（GMTT）の値が gPTP タイマに反映されたとき、“0” になります。

LPTC：プレゼンテーションタイム比較値設定要求ビット

gPTP プレゼンテーションタイム比較レジスタ（GPTC）の設定要求を発行します。

本ビットには、“1” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“1” になります。

gPTP プレゼンテーションタイム比較レジスタ（GPTC）の値が gPTP タイマに反映されたとき、“0” になります。

LTI：タイマインクリメント値設定要求ビット

gPTP タイマインクリメント設定レジスタ（GTI）の設定要求を発行します。

本ビットには、“1” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“1” になります。

gPTP タイマインクリメント設定レジスタ（GTI）の値が gPTP タイマに反映されたとき、“0” になります。

LTO：タイマオフセット値設定要求ビット

gPTP タイマオフセット設定レジスタ i（GTOi）の設定要求を発行します。

本ビットには、“1” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“1” になります。

gPTP タイマオフセット設定レジスタ i（GTOi）の値が gPTP タイマに反映されたとき、“0” になります。

TCR[1:0]：タイマ制御要求ビット

gPTP タイマ制御の要求を行います。

動作モードがオペレーションモードかつ、本ビットの値が “B’00” の場合のみ書き込みが可能です。

AVB-DMAC モードレジスタの gPTP タイマクロック選択ビット（CCC.CSEL）が “B’00” のときは、書き込まないでください。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“B’00” になります。

要求された処理完了後、“B’00” になります。

45.2.40　gPTP 最大トランジットタイム設定レジスタ（GMTT）

GMTT レジスタは、gPTP タイマの最大トランジットタイムを設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MTTV[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MTTV[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.44　GMTT レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	MTTV[31:0]	最大トランジットタイムビット プレゼンテーションタイムに付加される、最大トランジットタイム

MTTV[31:0]：最大トランジットタイムビット

AVTP プレゼンテーションタイムを計算する際に使用する最大トランジットタイムを設定します。

本ビットに設定値を書き込んだあと、gPTP 設定制御レジスタの最大トランジットタイム設定要求ビット（GCCR.LMTT）に “1” をセットして、設定要求を発行してください。

注　意

動作モードがオペレーションモードで、最大トランジットタイム設定要求ビット（GCCR.LMTT）が “1” のときは、本ビットに値を書き込まないでください。

45.2.41　gPTP プレゼンテーションタイム比較レジスタ（GPTC）

GPTC レジスタは、gPTP タイマのプレゼンテーションタイム比較値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	PTCV[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PTCV[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.45　GPTC レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	PTCV[31:0]	プレゼンテーションタイム比較値ビット プレゼンテーションタイム比較値

PTCV[31:0]：プレゼンテーションタイム比較値ビット

最大トランジットタイムが付加されていない AVTP タイマ値と比較する値を設定します。

本ビットに設定値を書き込んだあと、gPTP 設定制御レジスタのプレゼンテーションタイム比較値設定要求ビット（GCCR.LPTC）に “1” をセットして、設定要求を発行してください。

注　意

動作モードがオペレーションモードで、プレゼンテーションタイム比較値設定要求ビット（GCCR.LPTC）が “1” のときは、本ビットに値を書き込まないでください。

本ビットには、x-1 ～ x+1(x は gPTP タイマインクリメント値ビット (GTI.TIV) の設定値) の範囲の値を設定しないでください。

45.2.42　gPTP タイマインクリメント設定レジスタ（GTI）

GTI レジスタは、gPTP タイマにインクリメントされる値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	TIV[27:16]											
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TIV[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.46　GTI レジスタの内容

ビット位置	ビット名	機能
b31 ～ b28	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b27 ～ b0	TIV[27:0]	gPTP タイマインクリメント値ビット gPTP タイマインクリメント値

TIV[27:0]：gPTP タイマインクリメント値ビット

AVB-DMAV モードレジスタの gPTP クロック選択ビット（CCC.CSEL）で設定されたクロックごとに gPTP タイマがインクリメントされる値を設定します。

本ビットに設定値を書き込んだあと、gPTP 設定制御レジスタのタイマインクリメント値設定要求ビット（GCCR.LTI）に “1” をセットして、設定要求を発行してください。

注　意

動作モードがオペレーションモードで、タイマインクリメント値設定要求ビット（GCCR.LTI）が “1” のときは、本ビットに値を書き込まないでください。

本ビットに 0 を書き込まないでください。

45.2.43　gPTP タイマオフセット設定レジスタ i（GTOi）（i = 0 ～ 2）

GTOi レジスタは、gPTP タイマのオフセット値を設定するレジスタです。

GTO0 = gPTP タイマの 0 ～ 31 ビット、GTO1 = gPTP タイマの 32 ～ 63 ビット、
GTO2 = gPTP タイマの 64 ～ 79 ビットに加算されます。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TOV[31+32*i:16+32*i]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TOV[15+32*i:32*i]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.47　GTOi レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	TOV [31+32*i:32*i]	タイマオフセット値ビット タイマオフセット値

TOV[79:0]：タイマオフセット値ビット

GTO0.TOV[31:0]、GTO1.TOV[63:32]、GTO2.TOV[79:64] を合わせた 80 ビットで、gPTP タイマに付加するオフセット値を設定します。

本ビットに設定値を書き込んだあと、gPTP 設定制御レジスタのタイマオフセット値設定要求ビット（GCCR.LTO）に “1” をセットして、設定要求を発行してください。

注　意

動作モードがオペレーションモードで、タイマオフセット値設定要求ビット（GCCR.LTO）が “1” のときは、本ビットに値を書き込まないでください。

GTO2.TOV[95:80] には、H’0000 を書き込んでください。

GTO0.TOV[31:0] には、0 ～ 10^9-1（H’0000 0000 ～ H'3B9A C9FF）の範囲内の値を設定してください。

45.2.44　gPTP 割り込み制御レジスタ（GIC）

GIC レジスタは、gPTP 関連割り込みを制御するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PTME	PTOE	PTCE
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 45.48　GIC レジスタの内容

ビット位置	ビット名	機能
b31 ～ b3	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b2	PTME	プレゼンテーションタイムー致割り込み許可ビット 0：禁止 1：許可
b1	PTOE	プレゼンテーションタイムオーバラン割り込み許可ビット 0：禁止 1：許可
b0	PTCE	プレゼンテーションタイムキャプチャ割り込み許可ビット 0：禁止 1：許可

PTME：プレゼンテーションタイムー致割り込み許可ビット

本ビットが “1” の場合、gPTP 割り込みステータスレジスタのプレゼンテーションタイムー致割り込みフラグ（GIS.PTMF）が “1” になったとき、割り込みが発生します。

PTOE：プレゼンテーションタイムオーバラン割り込み許可ビット

本ビットが “1” の場合、gPTP 割り込みステータスレジスタのプレゼンテーションタイムオーバラン割り込みフラグ（GIS.PTOF）が “1” になったとき、割り込みが発生します。

PTCE：プレゼンテーションタイムキャプチャ割り込み許可ビット

本ビットが “1” の場合、gPTP 割り込みステータスレジスタのプレゼンテーションタイムキャプチャ割り込みフラグ（GIS.PTCF）が “1” になったとき、割り込みが発生します。

45.2.45　gPTP 割り込みステータスレジスタ（GIS）

GIS レジスタは、gPTP 関連割り込みのステータスを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	PTMF	PTOF	PTCF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 45.49　GIS レジスタの内容

ビット位置	ビット名	機能
b31 ～ b3	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b2	PTMF	プレゼンテーションタイムー致割り込みフラグビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b1	PTOF	プレゼンテーションタイムオーバラン割り込みフラグビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり
b0	PTCF	プレゼンテーションタイムキャプチャ割り込みフラグビット 0：ペンディング中の割り込みなし 1：ペンディング中の割り込みあり

PTMF：プレゼンテーションタイムー致割り込みフラグビット

AVTP タイマ値が、gPTP プレゼンテーションタイム比較レジスタ（GPTC）を超過したことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

AVTP タイマ値が gPTP プレゼンテーションタイム比較レジスタ（GPTC）と同等、またはそれ以上になった場合、“1” になります。

PTOF：プレゼンテーションタイムオーバラン割り込みフラグビット

前回のキャプチャ処理が終了する前に、キャプチャイベントが発生したことを示します。本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

プレゼンテーションタイムキャプチャ割り込みフラグビット（GIS.PTCF）が “0” になった場合、“0” になります。

プレゼンテーションタイムキャプチャ割り込みフラグビット（GIS.PTCF）が ”1” の間にキャプチャイベントが発生した場合、”1” になります。

PTCF：プレゼンテーションタイムキャプチャ割り込みフラグビット

キャプチャイベントが発生したことを示します。

本ビットには、“0” しか書き込めません。

［変更条件］

動作モードがオペレーションモードでなくなった場合、“0” になります。

キャプチャイベントが発生した場合、“1” になります。

45.2.46　gPTP プレゼンテーションタイムキャプチャレジスタ（GCPT）

GCPT レジスタは、キャプチャしたプレゼンテーションタイムを表すレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CPTV[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CPTV[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.50　GCPT レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	CPTV[31:0]	プレゼンテーションタイムキャプチャビット プレゼンテーションタイム値

CPTV[31:0]：プレゼンテーションタイムキャプチャビット

キャプチャイベントによってキャプチャされた AVTP プレゼンテーションタイムを示します。次のキャプチャが発生する前に、本ビットからのタイム値取得とプレゼンテーションタイムキャプチャ割り込みフラグビット（GIS.PTCF）のクリアを行ってください。

以下の手順で正しい値が取得できたかどうかを確認することができます。

1. 本ビットを読み出し
2. プレゼンテーションタイムオーバラン割り込みフラグビット（GIS.PTOF）を読み出し
3. 再度本ビットを読み出し
4. プレゼンテーションタイムオーバラン割り込みフラグビット（GIS.PTOF）に “1” がセットされているか、本ビットから読み出した値が変化したかをチェック。いずれかに該当する場合は、正しい値が取得できなかったことになります。

   ［変更条件］

   動作モードがオペレーションモードでなくなった場合、“H’00000000” になります。

   キャプチャイベントが発生した場合、イベント発生時の AVTP プレゼンテーションタイムで更新されます。

45.2.47　gPTP タイマキャプチャレジスタ i（GCTi）（i = 0 ～ 2）

GCTi レジスタは、gPTP タイマ値を取得するためのレジスタです。

gPTP タイマ値をキャプチャする 80 ビットのレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CTV[31+32*i:16+32*i]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CTV[15+32*1:32*i]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.51　GCTi レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	CTV [31+32*i:32*i]	gPTP タイマキャプチャ値ビット キャプチャされたタイマ値

CTV[79:0]：gPTP タイマキャプチャ値ビット

GCT0.CTV[31:0]、GCT1.CTV[63:32]、GCT2.CTV[79:64] と合わせた 80 ビットで、キャプチャしたタイマ値を表します。

gPTP 設定制御レジスタのタイマキャプチャソース選択ビット（GCCR.TCSS）で “B’00”（gPTP タイマ）、“B’01”（補正 gPTP タイマ値）が選択されている場合は、GCT0.CTV[31:0]、GCT1.CTV[63:32]、GCT2.CTV[79:64] に 80 ビット分格納されます。

タイマキャプチャソース選択ビット（GCCR.TCSS）で “B’10”（AVTP プレゼンテーションタイム）が選択されている場合は、GCT0.CTV[31:0] に 32 ビット分格納されます。

gPTP 設定制御レジスタのタイマ制御要求ビット（GCCR.TCR）に “B’11”（タイマキャプチャ要求）が書き込まれたとき、本ビットにタイマキャプチャソース選択ビット（GCCR.TCSS）で指定されたタイマ値が格納されます。

タイマ制御要求ビット（GCCR.TCR）が “B’11” のときは、格納作業が完了していませんので、読み込まないでください。

動作モードがオペレーションモードでなくなった場合、”H’00000000” になります。

45.2.48　gPTP キャプチャイベント設定レジスタ（GCEC）

GCEC レジスタは、キャプチャイベントの設定を行うレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	DRC[10:0]										
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	SCS[1:0]		—	—	—	DEN	—	—	—	CES
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R	R	R	R/W

表 45.52　GCEC レジスタの内容

ビット位置	ビット名	機能
b31 ～ b27	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b26 ～ b16	DRC[10:0]	分周比設定ビット
b15 ～ b10	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b9、b8	SCS[1:0]	シリアルサウンドインタフェースチャネル選択ビット 00：シリアルサウンドインタフェースチャネル 0 01：シリアルサウンドインタフェースチャネル 1 10：シリアルサウンドインタフェースチャネル 2 11：シリアルサウンドインタフェースチャネル 3
b7 ～ b5	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b4	DEN	分周器動作許可ビット 0：分周器動作禁止 1：分周器動作許可
b3 ～ b1	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b0	CES	キャプチャイベント選択ビット 0：外部キャプチャイベント (AVB_CAPTURE 端子) 1：分周器出力

注　意

本ビットの設定は、以下の手順で行ってください。端子制御については「41.　汎用入出力ポート」の章を参照してください。

①キャプチャイベントを外部キャプチャイベント (AVB_CAPTURE 端子) から分周器出力に切り替え

1. AVB_CAPTURE 端子機能が無効となるように端子制御を実施
2. シリアルサウンドインタフェースの設定を実施
3. GCEC.CES = 1 に設定
4. GCEC.SCS および GCES.DRC を目的の値に設定
5. GCEC.DEN = 1 に設定

②キャプチャイベントを分周器出力から外部キャプチャイベント (AVB_CAPTURE 端子) に切り替え

1. GCEC.DEN = 0 に設定
2. GCEC.SCS および GCES.DRC により設定中の分周器出力 2 サイクル分待つ
3. GCEC.CES = 0 に設定
4. AVB_CAPTURE 端子機能が有効となるように端子制御を実施

③キャプチャイベントに分周器出力を選択時に SCS または DRC を切り替え

1. GCEC.DEN = 0 に設定
2. GCEC.SCS および GCES.DRC により設定中の分周器出力 2 サイクル分待つ
3. GCEC.SCS および GCES.DRC を目的の値に設定
4. GCEC.DEN = 1 に設定

DRC[10:0]：分周比設定ビット

シリアルサウンドインタフェースより供給される SSIWS 信号を分周器にて分周する際の分周比を設定します。

(本ビットへの設定値 +1) が分周比となります。

SCS[1:0]：シリアルサウンドインタフェースチャネル選択ビット

分周器へ SSIWS 信号を供給するシリアルサウンドインタフェースのチャネルを設定します。

注　意

設定したチャネルの SSIWS 信号が gPTP タイマクロック選択ビット（CCC.CSEL）にて設定したクロック周波数の 1/4 以下となるようにしてください。

DEN：分周器動作許可ビット

分周器の動作状態を設定します。

GCEC.DRC、GCEC.SCS、GCEC.CES ビットおよびシリアルサウンドインタフェースの設定変更は、本ビットを 0 に設定してから行ってください。

GCEC.CES ビットが 0 のときは、本ビットに 1 を設定しないでください。

CES：キャプチャイベント選択ビット

キャプチャイベント供給源を設定します。

本ビットで選択した信号の立ち上がりにて、キャプチャイベントを検出します。

注　意

外部キャプチャイベント (AVB_CAPTURE 端子) を選択する場合は、外部キャプチャイベントを発生させるにあたって AVB_CAPTURE 端子の High 期間を gPTP タイマクロック選択ビット（CCC.CSEL）にて設定したクロックで 2 サイクル分以上保持してください。

分周器出力を選択する場合は、AVB_CAPTURE 端子機能が無効となるように端子制御をおこなってください。端子制御については「41.　汎用入出力ポート」の章を参照してください。

45.2.49　E-MAC モードレジスタ（ECMR）

ECMR は、E-MAC の動作モードを指定するレジスタです。通常、本レジスタの設定は、リセット後の初期設定時に行います。

動作モードの設定は、送信および受信機能が有効な状態（本レジスタの RE ビットが “1” か TE ビットが “1” の状態）で書き換えることを禁止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	TRCCM	—	—	RCSC	—	DPAD	RZPF	ZPF	PFR	RXF	TXF
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R/W	R	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	RE	TE	—	—	—	DM	PRM
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R/W	R/W	R	R	R	R/W	R/W

表 45.53　ECMR レジスタの内容 (1 / 2)

ビット位置	ビット名	機能
b31 ～ b27	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b26	TRCCM	カウンタクリアモードビット 0：当該レジスタ書き込み時にクリアされます 1：当該レジスタ読み込み時にクリアされます
b25、b24	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b23	RCSC	サムチェック計算ビット 0：サムチェック自動計算を行いません 1：サムチェック自動計算を行います
b22	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b21	DPAD	データパディングビット 0：60 バイト未満のデータにパディングを行い、60 バイトのデータとして送信します 1：60 バイト未満のデータにパディングを行わず、そのまま送信します
b20	RZPF	0 time PAUSE フレーム受信ビット 0：TIME パラメータ値が 0 の PAUSE フレーム受信が無効です 1：TIME パラメータ値が 0 の PAUSE フレーム受信が有効です
b19	ZPF	0 time PAUSE フレーム使用許可 0：TIME パラメータ値が 0 の PAUSE フレーム制御を無効にします 1：TIME パラメータ値が 0 の PAUSE フレーム制御を有効にします
b18	PFR	PAUSE フレーム受信モードビット 0：PAUSE フレームを AVB-DMAC へ転送しません 1：PAUSE フレームを AVB-DMAC へ転送します
b17	RXF	受信系フロー制御動作モードビット 0：PAUSE フレームの検出機能は無効 1：受信系のフロー制御機能が有効
b16	TXF	送信系フロー制御動作モードビット 0：PAUSE フレームの検出機能は無効 （自動 PAUSE フレームは送信されません） 1：送信系のフロー制御機能が有効 （必要に応じて自動 PAUSE フレームが送信されます）
b15 ～ b7	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。

表 45.53　ECMR レジスタの内容 (2 / 2)

ビット位置	ビット名	機能
b6	RE	受信許可ビット 0：受信機能を無効にします 1：受信機能を有効にします
b5	TE	送信許可ビット 0：送信機能を無効にします 1：送信機能を有効にします
b4 ～ b2	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b1	DM	全二重転送許可ビット 0：全二重転送機能を無効にします 1：全二重転送機能を有効にします
b0	PRM	プロミスキャスモードビット 0：通常動作 1：プロミスキャスモード動作

TRCCM：カウンタクリアモードビット

カウンタレジスタのクリア方法を設定します。各レジスタの説明を参照してください。

RCSC：サムチェック計算ビット

本ビットを “1” に設定すると、受信フレームのデータ部を自動的に計算することができます。

ただし、VLANtag を含むフレームに対するサムチェック自動計算はサポートしておりません。詳しくは「45.3.13.1　イーサネットフレームのサムチェック計算」を参照してください。

DPAD：データパディング制御ビット

60 バイト未満のデータにパディング実施するか否かを設定できます。

“1” を設定するとパディングせずにそのまま送信、“0” を設定するとパディングを行い、60 バイトのデータとして送信します。

RZPF ：0 time PAUSE フレーム受信ビット

RZPF ビットを “0” にすると、Timer 値が示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。

RZPF ビットを “1” にすると、Timer 値が示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。

ZPF ：0 time PAUSE フレーム受信許可ビット

ZPF ビットを “0” にすると、Timer 値の示す時間が経過するまで、次のフレーム送信を行いません。

Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、PAUSE フレームを破棄します。ZPF ビットを “1” にすると、Timer 値の示す時間が経過していない状態で、受信 FIFO のデータ量が受信設定レジスタの受信 FIFO クリティカルレベル（RCR.RFCL）設定値未満になると Timer 値が 0 の自動 PAUSE フレームを送信します。Timer 値の示す時間が 0 の PAUSE フレームを受信した場合、送信待ち状態を解除します。

PFR：PAUSE フレーム受信モードビット

本ビットを設定することで、PAUSE フレームを AVB-DMAC に転送するかどうかを指定できます。

RXF：受信系フロー制御動作モードビット

RXF ビットを “1” にすると、PAUSE フレームを受信した場合、Timer 値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。また、PAUSE フレーム受信回数をカウントします。「45.2.57　PAUSE フレーム受信カウンタ（PFRCR）」参照してください。

RXF ビットを “0” にすると、PAUSE フレーム検出機能は無効です。

TXF：送信系フロー制御動作モードビット

送信系フロー制御動作を指定します。

TXF ビットを “0” にすると、PAUSE フレーム検出機能は無効です。

RE：受信許可ビット

RE ビットを受信機能有効（RE = 1）から無効（RE = 0）としたときに受信中のフレームがあれば、当該フレームの受信終了まで受信機能は有効となります。

TE：ビット送信許可ビット

TE ビットを送信機能有効（TE = 1）から無効（TE = 0）としたときに送信中のフレームがあれば、当該フレームの送信終了まで送信機能は有効となります。

DM：全二重転送許可ビット

全二重転送機能の有効 / 無効を設定します。

PRM：ビットプロミスキャスモードビット

PRM ビットを設定すると、すべてのイーサネットフレームを受信することができます。すべてのイーサネットフレームとは、宛先アドレス、ブロードキャストアドレス、マルチキャストビットなどの相違や有無にかかわらず受信可能なすべてのフレームを表します。

45.2.50　受信フレーム長上限レジスタ（RFLR）

RFLR レジスタは、受信することのできる最大フレーム長をバイト単位で指定するレジスタです。

RFLR レジスタは、受信機能が有効な状態（E-MAC モードレジスタ（EMCR）の RE ビットが “1” の状態）での書き換えは禁止です。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RFL[17:16]	
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFL[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.54　RFLR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b18	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b17 ～ b0	RFL[17:0]	受信フレームデータ長ビット H’00000 ～ H’005EE：1,518 バイト H’005EF：1,519 バイト H’005F0：1,520 バイト ：　： H’007FF：2,047 バイト H’00800：2,048 バイト ：　： H’01000：4,096 バイト ：　： H’10000：65,535 バイト ：　： H’20000 ～ H’3FFFF：131,072 バイト

RFL[17:0]：受信フレームデータ長ビット

ここでのフレームデータは、宛先アドレスから CRC データまでを含んだ範囲となりますが、実際には宛先アドレスからデータまでがメモリ上に転送されます。CRC データは含まれません。ここで指定された値を超えたデータを受信したとき、設定された値を超えた分のデータは破棄されます。

45.2.51　E-MAC ステータスレジスタ（ECSR）

ECSR レジスタは、E-MAC 内のステータスを表示するレジスタです。各ステータスは、割り込みによって CPU に通知することが可能です。また割り込みを発生するビットは、「45.2.52　E-MAC 割り込み許可レジスタ（ECSIPR）」の対応するビットによって割り込みを許可または禁止にすることができます。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	PFROI	—	—	—	ICD
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

表 45.55　ECSR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b5	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b4	PFROI	PAUSE フレーム再送リトライオーバビット 0：PAUSE フレーム再送信回数が上限値を超えていない 1：PAUSE フレーム再送信回数が上限値を超えた
b3 ～ b1	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b0	ICD	不正キャリア検出ビット 0：PHY-LSI は、回線上で不正キャリアを検出していない 1：PHY-LSI は、回線上で不正キャリアを検出した

PFROI：PAUSE フレーム再送リトライオーバビット

フロー制御を用いる際の PAUSE フレームの再送において、再送回数が PAUSE フレーム再送回数設定レジスタ（TPAUSER）に設定した再送上限値を超えたことを表します。

本ビットは、“1” を書き込むことで、“0” クリアされます。

ICD：不正キャリア検出ビット

回線上で PHY-LSI が不正なキャリアを検出したことを表します。ただし、PHY-LSI から入力される信号の変化がソフトウェアの認識時間よりも早く変化するような場合は、正しい情報が得られないことがあります。採用する PHY-LSI のタイミングを参照してください。

本ビットは、“1” を書き込むことで、“0” クリアされます。

45.2.52　E-MAC 割り込み許可レジスタ（ECSIPR）

ECSIPR レジスタは、ECSR レジスタによって報告される割り込み要因の許可を指示するレジスタです。各ビットは、ECSR のビットに対応する割り込みを許可することができます。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	PFROIP	—	—	—	ICDIP
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R/W	R	R	R	R/W

表 45.56　ECSIPR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b5	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b4	PFROIP	PAUSE フレーム再送割り込み許可ビット 0：PFROI の割り込み通知を禁止 1：PFROI の割り込み通知を許可
b3 ～ b1	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b0	ICDIP	不正キャリア検出割り込み許可ビット 0：ICD の割り込み通知を禁止 1：ICD の割り込み通知を許可

PFROIP：PAUSE フレーム再送割り込み許可ビット

本ビットを “1” にすると、E-MAC ステータスレジスタの PAUSE フレーム再送リトライオーバビット（ECSR.PFROI）が “1” になったときに、割り込みを発生させます。

ICDIP：不正キャリア検出割り込み許可ビット

本ビットを “1” にすると、E-MAC ステータスレジスタの不正キャリア検出ビット（ECSR.ICD）が “1” になったときに、割り込みを発生させます。

45.2.53　PHY 部インタフェースレジスタ（PIR）

PIR レジスタは、MII を経由して PHY-LSI 内部のレジスタにアクセスする手段を提供するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	MDI	MDO	MMD	MDC
初期値	0	0	0	0	0	0	0	0	0	0	0	0	—	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

表 45.57　PIR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b4	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b3	MDI	MII マネジメントデータインビット ET_MDIO 端子のレベルを表します。
b2	MDO	MII マネジメントデータアウトビット ET_MDIO 端子より出力するデータを格納します。
b1	MMD	MII マネジメントモードビット 0：リード方向を規定 1：ライト方向を規定
b0	MDC	MII マネジメントデータクロックビット MDC ビットに設定された値を ET_MDC 端子より出力し、MII マネジメントデータクロックを供給します。

MDI：MII マネジメントデータインビット

ET_MDIO 端子のレベルを表します。

MDO：MII マネジメントデータアウトビット

ET_MDIO 端子より出力するデータを格納します。

ET_MDIO 端子は、MMD ビットが “1”（ライト方向を規定）のときに本ビットに設定された値を出力します。MMD ビットが “0”（リード方向を規定）のときには出力しません。

MMD：MII マネジメントモードビット

MDIO のデータのリード／ライト方向を規定します。

MDC：MII マネジメントデータクロックビット

MDC ビットに設定された値を ET_MDC 端子より出力し、MII へのマネジメントデータクロックを供給します。MII レジスタへのアクセス方法については、「45.3.12　PHY-LSI との接続」を参照してください。

45.2.54　自動 PAUSE フレーム設定レジスタ（APR）

APR レジスタは、自動 PAUSE フレームの TIME パラメータ値を設定するレジスタです。自動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	AP[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.58　APR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b15 ～ b0	AP[15:0]	自動 PAUSE ビット 自動 PAUSE フレームの TIME パラメータ値を設定します。注 1 H’0000：— H’0001：512 ×1 ビット時間 H’0002：512 ×2 ビット時間 ：　： H’FFFF：512 × 65535 ビット時間 注 1.　ビット時間は転送速度に応じて以下のようになります。 100Mbps 時：1 ビット時間 = 10ns 10Mbps 時：1 ビット時間 = 100ns

AP[15:0]：自動 PAUSE ビット

自動 PAUSE フレームの TIME パラメータ値を設定します。

設定値の単位は、512 ビット時間を表します。

送信時のフロー制御機能（PAUSE フレーム送信）を有効とした場合（ECMR.TXF=1）、本ビットには H'0000 以外の値を設定してください。

45.2.55　手動 PAUSE フレーム設定レジスタ（MPR）

MPR レジスタは、手動 PAUSE フレームの TIME パラメータ値を設定するレジスタです。手動 PAUSE フレームを送信するときに、このレジスタに設定した値を PAUSE フレームの TIME パラメータとして使用します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MP[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.59　MPR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b15 ～ b0	MP[15:0]	手動 PAUSE ビット 手動 PAUSE フレームの TIME パラメータ値を設定します。注 1 H’0000：— H’0001：512 ×1 ビット時間 H’0002：512 ×2 ビット時間 ：　： H’FFFF：512 × 65535 ビット時間 注 1.　ビット時間は転送速度に応じて以下のようになります。 100Mbps 時：1 ビット時間 = 10ns 10Mbps 時：1 ビット時間 = 100ns

MP[15:0]：手動 PAUSE ビット

手動 PAUSE フレームの TIME パラメータ値を設定します。

設定値の単位は、512 ビット時間を表します。

45.2.56　PAUSE フレーム送信カウンタ（PFTCR）

PFTCR レジスタは、PAUSE フレームの送信カウンタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PFTXC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.60　PFTCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。
b15 ～ b0	PFTXC[15:0]	PAUSE フレーム送信回数ビット 送信カウンタ

PFTXC[15:0]：PAUSE フレーム送信回数ビット

自動 PAUSE フレームと手動 PAUSE フレームの送信回数をあわせて表します。

本ビットは読み出し時にクリアされます。

カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

45.2.57　PAUSE フレーム受信カウンタ（PFRCR）

RFRCR レジスタは、PAUSE フレームの受信カウンタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	PFRXC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 45.61　RFRCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。
b15 ～ b0	PFRXC[15:0]	PAUSE フレーム受信回数ビット 受信カウンタ

PFRXC[15:0] ：PAUSE フレーム受信回数ビット

受信時のフロー制御機能有効（ECMR.RXF = 1）時、PAUSE フレームを受信した回数を表します。

本ビットは読み出し時にクリアされます。

カウントアップとカウントクリアが同時の場合、カウントクリアが優先されます。

45.2.58　自動 PAUSE フレーム再送回数設定レジスタ（TPAUSER）

TPAUSER レジスタは、自動 PAUSE フレームの再送回数の上限値を設定するレジスタです。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TPAUSE[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.62　TPAUSER レジスタの内容

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。
b15 ～ b0	TPAUSE[15:0]	自動 PAUSE フレーム再送回数上限値ビット H'0000：再送回数無制限 H'0001：再送回数は、1 回 ：　： H'FFFF：再送回数は、65535 回

TPAUSE[15:0]：自動 PAUSE フレーム再送回数上限値ビット

自動 PAUSE フレーム送信の送信回数の上限値を設定します。

送信機能を有効 (EMCR.TE=1) に設定している場合は、本ビットの書き換えは禁止です。

45.2.59　MAC アドレス上位設定レジスタ（MAHR）

MAHR レジスタは、48 ビットの MAC アドレスの上位 32 ビットを設定するレジスタです。通常、MAHR レジスタの設定は、リセット後の初期設定時に行います。

MAHR レジスタは、送受信機能が有効な状態での書き換えを禁止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MA[47:32]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MA[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.63　MAHR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	MA[47:16]	MAC アドレス 47 ～ 16 ビット MAC アドレスの上位 32 ビットを設定します

MA[47:16]：MAC アドレス 47 ～ 16 ビット

MAC アドレスの上位 32 ビットを設定します。

MAC アドレスが 01-23-45-67-89-AB（16 進数表示）である場合、MAHR レジスタには、H’01234567 を設定します。

45.2.60　MAC アドレス下位設定レジスタ（MALR）

MALR レジスタは、48 ビットの MAC アドレスの下位 16 ビットを設定するレジスタです。通常、MALR レジスタの設定は、リセット後の初期設定時に行います。

MALR レジスタは、送受信機能が有効な状態での書き換えを禁止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MA[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.64　MALR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b16	—	予約ビット 読むと “0” が読めます。書く場合は “0” としてください。
b15 ～ b0	MA[15:0]	MAC アドレス 15 ～ 0 ビット MAC アドレスの下位 16 ビットを設定します

MA[15:0]：MAC アドレス 15 ～ 0 ビット

MAC アドレスの下位 16 ビットを設定します。

MAC アドレスが 01-23-45-67-89-AB（16 進数表示）である場合、MALR レジスタには、H’89AB を設定します。

45.2.61　CRC エラーフレーム受信カウンタレジスタ（CEFCR）

CEFCR レジスタは、CRC エラーとなったフレームの受信回数を示すカウンタです。CEFCR レジスタの値が H’FFFF FFFF になるとカウントアップを停止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	CEFC[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	CEFC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.65　CEFCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	CEFC[31:0]	CRC エラーフレームカウントビット CRC エラーとなったフレームを受信した回数を表します。

CEFC[31:0]：CRC エラー受信フレームカウンタビット

CRC エラーとなったフレームを受信したカウント数を表します。

E-MAC モードレジスタのカウンタクリアモード（TRCCM）= 1 のとき、読み出し時に “0” クリアされます。

TRCCM = 0 のとき、書き込みデータに関係なく、本レジスタに値を書き込むことで “0” クリアされます。

45.2.62　フレーム受信エラーカウンタレジスタ（FRECR）

FRECR レジスタは、PHY-LSI から入力される ET_RXER 端子により受信エラーとなったフレームの個数を示すカウンタです。FRECR レジスタの値が H’FFFF FFFF になるとカウントアップを停止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FREC[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	FREC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.66　FRECR レジスタの内容

ビット位置	ビット名	機能
b31 ～ 0	FREC[31:0]	フレーム受信エラーカウントビット フレームを受信中にエラーとなった回数を表します。

FREC[31:0]：フレーム受信エラーカウンタビット

フレームを受信中にエラーとなったカウント数を表します。

E-MAC モードレジスタのカウンタクリアモード（TRCCM）= 1 のとき、読み出し時に “0” クリアされます。

TRCCM = 0 のとき、書き込みデータに関係なく、本レジスタに値を書き込むことで “0” クリアされます。

45.2.63　64 バイト未満フレーム受信カウンタレジスタ（TSFRCR）

TSFRCR レジスタは、64 バイト未満のフレームを受信した回数を示すカウンタです。
TSFRCR レジスタの値が H’FFFF FFFF になるとカウントアップを停止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TSFRC[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TSFRC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.67　TSFRCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	TSFRC[31:0]	64 バイト未満フレーム受信カウントビット 64 バイト未満のフレームを受信した回数を表します。

TSFRC[31:0]：64 バイト未満フレーム受信カウントビット

64 バイト未満のフレームを受信したカウント数を表します。

E-MAC モードレジスタのカウンタクリアモード（TRCCM）= 1 のとき、読み出し時に “0” クリアされます。

TRCCM = 0 のとき、書き込みデータに関係なく、本レジスタに値を書き込むことで “0” クリアされます。

45.2.64　指定バイト超フレーム受信カウンタレジスタ（TLFRCR）

TLFRCR レジスタは、受信フレーム長上限レジスタ（RFLR）で指定した値を超えるフレームを受信した回数を示すカウンタです。TLFRCR レジスタの値が H'FFFF FFFF になるとカウントアップを停止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	TLFC[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	TLFC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.68　TLFRCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	TLFC[31:0]	指定バイト超フレーム受信カウントビット 受信フレーム長上限レジスタ（RFLR）を超えるフレームを受信した回数を表します。

TLFC[31:0]：指定バイト超フレーム受信カウントビット

受信フレーム長上限レジスタ（RFLR）を超えるフレームを受信した回数を表します。

E-MAC モードレジスタのカウンタクリアモード（TRCCM）= 1 のとき、読み出し時に “0” クリアされます。

TRCCM = 0 のとき、書き込みデータに関係なく、本レジスタに値を書き込むことで “0” クリアされます。

45.2.65　端数ビットフレーム受信カウンタレジスタ（RFCR）

RFCR レジスタは、8 ビットに満たない端数ビットデータを含むフレームを受信した回数を示すカウンタです。RFCR レジスタの値が H’FFFF FFFF になるとカウントアップを停止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	RFC[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	RFC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.69　RFCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	RFC[31:0]	端数ビットフレーム受信カウントビット 端数ビットデータを含むフレームを受信した回数を表します。

RFC[31:0]：端数ビットフレーム受信カウントビット

端数ビットデータを含むフレームを受信した回数を表します。

E-MAC モードレジスタのカウンタクリアモード（TRCCM）= 1 のとき、読み出し時に “0” クリアされます。

TRCCM = 0 のとき、書き込みデータに関係なく、本レジスタに値を書き込むことで “0” クリアされます。

45.2.66　マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR）

MAFCR レジスタは、マルチキャストアドレスを指定するフレームを受信した回数を示すカウンタです。MAFCR レジスタの値が H’FFFF FFFF になるとカウントアップを停止します。

ビット	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	MAFC[31:16]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MAFC[15:0]															
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 45.70　MAFCR レジスタの内容

ビット位置	ビット名	機能
b31 ～ b0	MAFC[31:0]	マルチキャストアドレスフレームカウントビット マルチキャストフレームを受信した回数を表します。

MAFC[31:0]：マルチキャストアドレスフレームカウントビット

マルチキャストフレームを受信した回数を表します。

E-MAC モードレジスタのカウンタクリアモード（TRCCM）= 1 のとき、読み出し時に “0” クリアされます。

TRCCM = 0 のとき、書き込みデータに関係なく、本レジスタに値を書き込むことで “0” クリアされます。

45.3　動作説明

EthernetAVB は、以下の機能から構成されています。

- DMA 転送制御部（AVB-DMAC）: 内蔵 RAM 上の送受信データ格納エリアと送受信 FIFO 間の DMA 転送
- MAC 制御部（E-MAC）: 送信／受信 FIFO と MII 間の送信／受信処理

AVB-DMAC は、内蔵されているダイレクトメモリアクセス（DMA）機能を使用し、内蔵 RAM 上のイーサネットフレームデータの格納先と送信／受信 FIFO との間でフレームデータの転送を行います。直接送信／受信 FIFO のデータを読み書きすることはできません。

AVB-DMAC が DMA 転送を行うためには、ディスクリプタと呼ぶ送信／受信データの格納アドレス等が書かれた情報が必要になります。AVB-DMAC には、ディスクリプタに書かれた情報にしたがって送信データを送信データ格納エリアから読み出す、あるいは受信データを受信データ格納エリアァへ書き込みます。このディスクリプタは、内蔵 RAM 上に配置してください。ディスクリプタを複数個並べ、ディスクリプタをリスト化することによって、複数のイーサネットフレームデータの送信／受信を連続的に行うことができます。

E-MAC は、外部に接続する PHI-LSI とのインタフェースフォーマットとして、MII をサポートしています。

送信 FIFO に書き込まれたデータからイーサネットフレームを構成し、MII へ送信します。また、MII から受信したイーサネットフレームの CRC チェックを行ったあと、受信 FIFO に書き込みます。

45.3.1　AVB-DMAC 動作モード

AVB-DMAC の動作モードを図 45.5 に示します。

AVB-DMAC の動作モードは、以下の制御により遷移します。

- CPU の動作モード（パワーオンリセット）
- AVB-DMAC モードレジスタの動作モード設定ビット（CCC.OPC）設定

現在の動作モードは、AVB-DMAC ステータスレジスタの動作モードステータス（CSR.OPS）によって判別可能です。

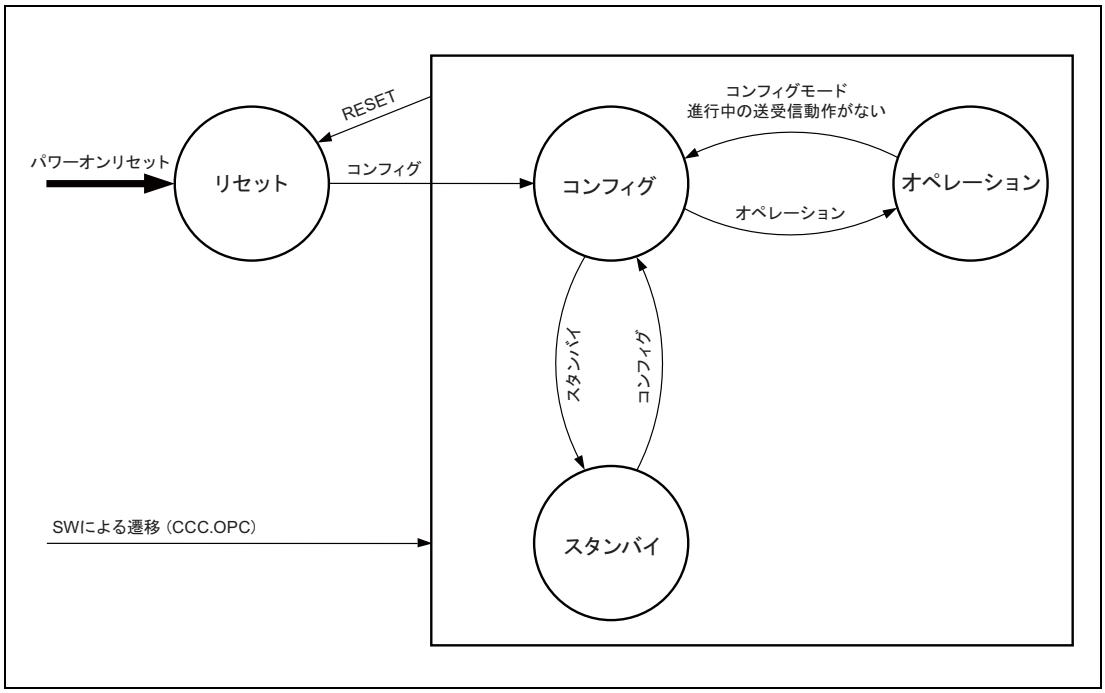


図 45.5　AVB-DMAC の動作モード

45.3.1.1　動作モード説明

(1)　リセットモード

パワーオンリセット後、AVB-DMAC はリセットモードになります。
リセットモード時は、AVB-DMAC 動作モード制御機能のみ制御可能で、ほかの機能はすべて停止しています。このモードは、Ethernet 機能を必要としないときの低消費電力モードを目的としています。

(2)　コンフィグモード

コンフィグモード時は、AVB-DMAC の各種設定を行うことができます。
動作機能は停止、すべてのステータスレジスタはリセット値となります。
コンフィグモードでは、E-MAC は機能します。

(3)　オペレーションモード

オペレーションモード時は、AVB-DMAC の全機能が動作可能です。
オペレーションモードのみ、イーサネット通信使用可能です。

(4)　スタンバイモード

スタンバイモード時は、動作モード制御機能ならびに E-MAC のみ使用可能です。ほかの機能は使用できません。

45.3.1.2　動作モード設定方法

AVB-DMAC モードレジスタの動作モード設定ビット（CCC.OPC）を設定することで動作モード設定します。また、AVB-DMAC ステータスレジスタの動作モードステータスビット（CSR.OPS）を読み込むことにより、現在の動作モードを確認できます。

オペレーションモードからコンフィグモードへの遷移以外は、動作モード設定ビット（CCC.OPC）へ書き込んだ直後にモード遷移します。（図 45.6）

オペレーションモードからコンフィグモードへの遷移は、コンフィグモードへの遷移前に処理中のすべての送受信が実行されるため、図 45.7 のような手順で実施してください。

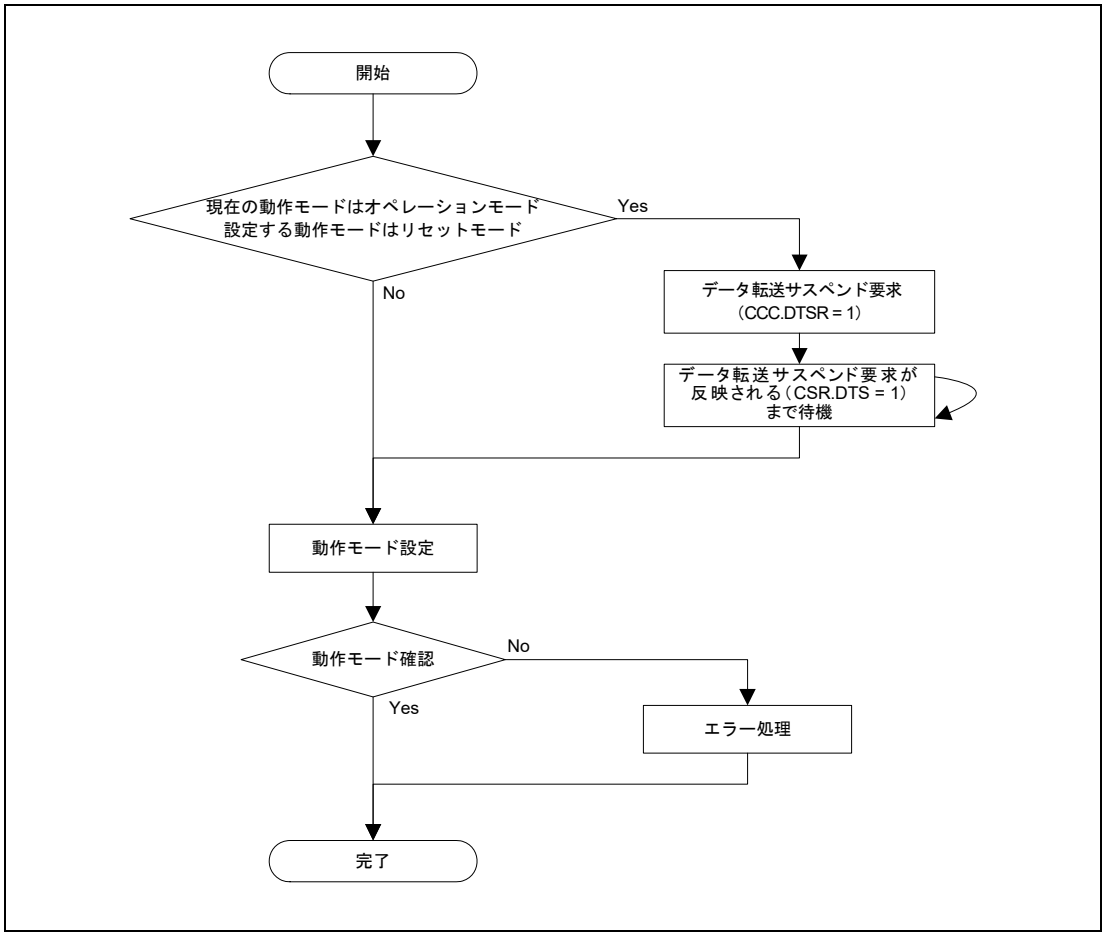


図 45.6　動作モード遷移フロー（オペレーションモードからコンフィグモード以外）

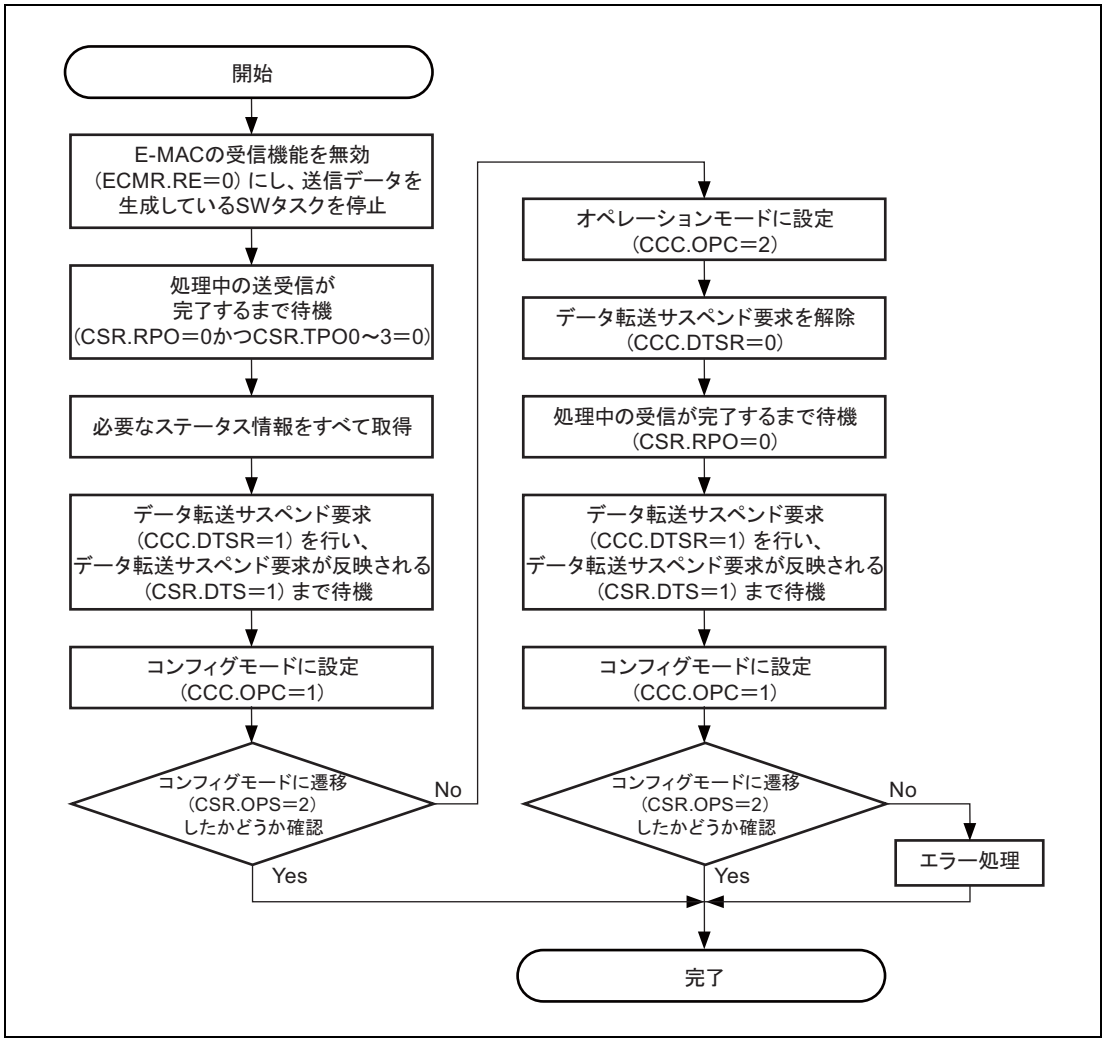


図 45.7　動作モード遷移フロー（オペレーションモードからコンフィグモード）

オペレーションモードからコンフィグモードへの遷移時には、遷移完了までに、AVB-DMAC が以下の動作を実行します。AVB-DMAC ステータスレジスタの動作モードステータスビット（CSR.OPS）を読み込み、コンフィグモードへの遷移が完了していることを確認してください。

- 受信 FIFO と内蔵 RAM 間の、処理中フレーム転送を完了させる。
  (受信 FIFO にある残りの受信フレームと、これ以降に E-MAC より受信されるフレームは破棄されます)
- 内蔵 RAM と送信 FIFO 間の、処理中フレーム転送を完了させる。
  (内蔵 RAM 内の残りの送信フレームは送信されません)
- 送信 FIFO 内のすべての送信フレームは、E-MAC に転送される。

注意事項：

動作モードがコンフィグモードになると、すべてのステータスレジスタがクリアされます。

以下のステップで動作モードを遷移させることを推奨します。

1. 受信無効にする
2. 受信無効の設定を行ってから、実際に受信が停止するまでに時間がかかるため、最大受信パケット長分 Wait する。

3. 送信データを生成している SW タスクを停止させる
4. AVB-DMAC ステータスレジスタの受信プロセスステータス（CSR.RPO）と送信プロセスステータス（CSR.TPO0 ～ 3）が 0 になるまで待機する
5. 必要なステータス情報をすべて取得する
6. AVB-DMAC モードレジスタの動作モード設定ビット（CCC.OPC）を設定し、コンフィグモードに遷移させる

45.3.1.3　HW による動作モード遷移

AVB-DMAC の動作モードは、以下の HW 要因による影響を受け、遷移処理が行われます。

(1) パワーオンリセット

LSI がリセットされた場合、EthernetAVB 全体もリセットされます。動作モードはリセットモードに遷移します。

45.3.2　（送受信）共通制御

45.3.2.1　初期化処理

図 45.8 に全体的な初期化手順概要を示します。

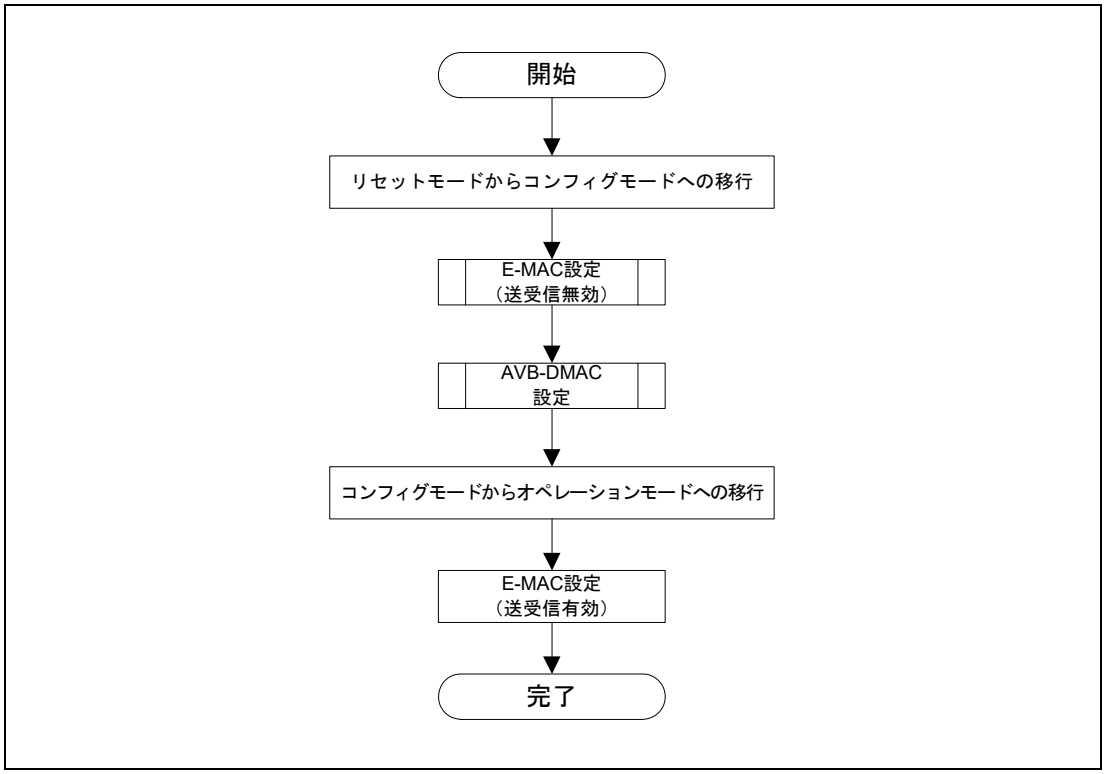


図 45.8　初期化手順概要

(1) 受信部の初期化

受信を開始する前に、以下の処理を実施してください。

AVB-DMAC の設定が完了するまで、動作モードをオペレーションモードやスタンバイモードにし、受信を許可しないようにしてください。

- 動作モードをコンフィグモードにしてください。
- ネットワーク制御フレームと AVB ストリームフレームの AVB フィルタ処理を、使用する製品仕様に合わせて設定してください。
- 使用するそれぞれの受信キューにつき、ディスクリプタチェインを作成してください。
- ディスクリプタベースアドレステーブル（ディスクリプタベースアドレステーブルレジスタ（DBAT））を設定してください。
- 最大フレーム長を設定してください。（受信フレーム長上限レジスタ（RFLR））
- パディング使用有無を設定してください。（受信パディング設定レジスタ（RPC））
- 各受信キューに対する未読フレームカウンタを設定してください。（未読フレームカウンタレジスタ 0 ～ 4）

(2) 送信部初期化

送信部初期化を、図 45.9 に示します。

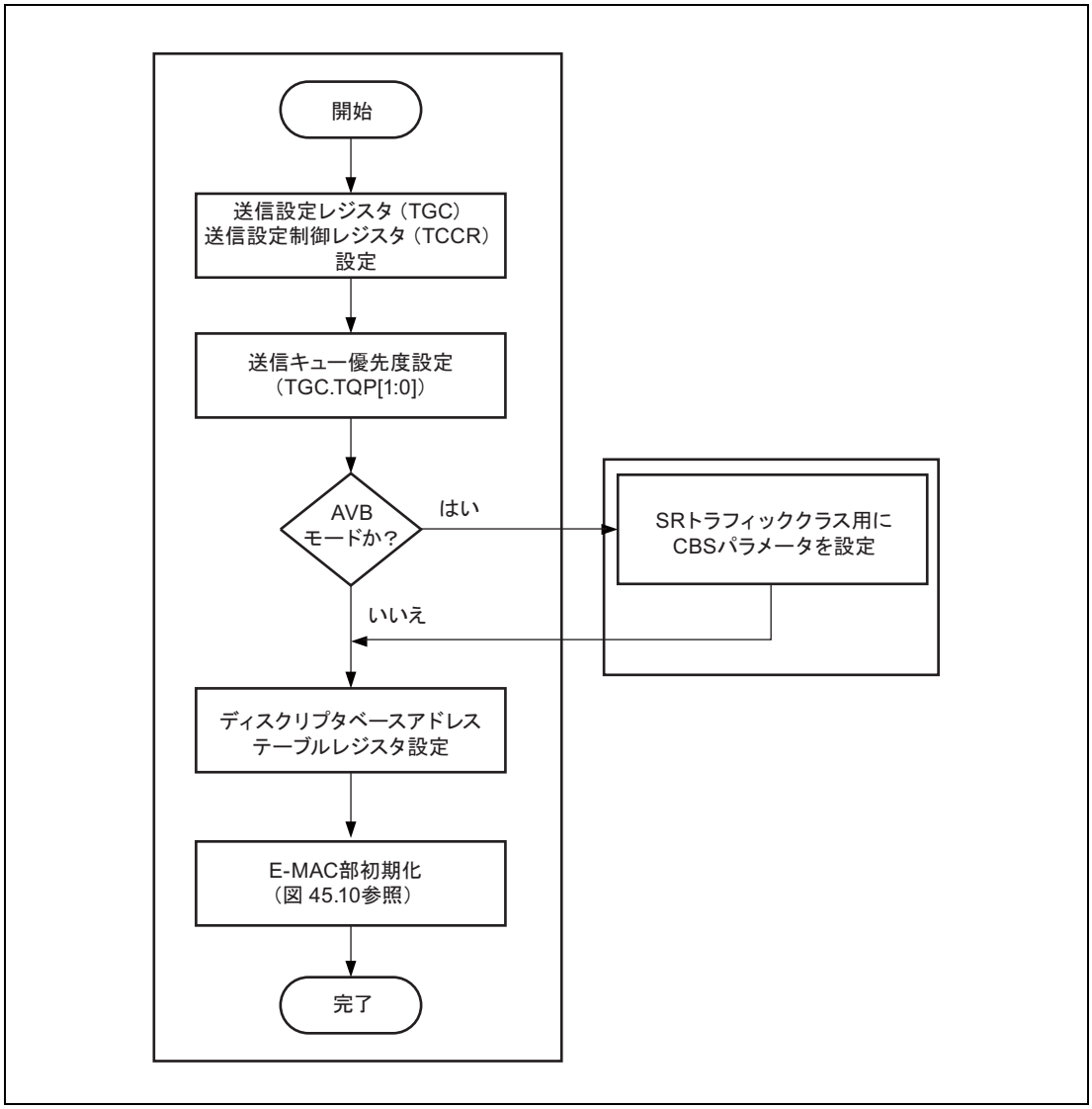


図 45.9　送信部初期化手順

(3) E-MAC 部初期化

E-MAC 部初期化を、図 45.10 に示します。

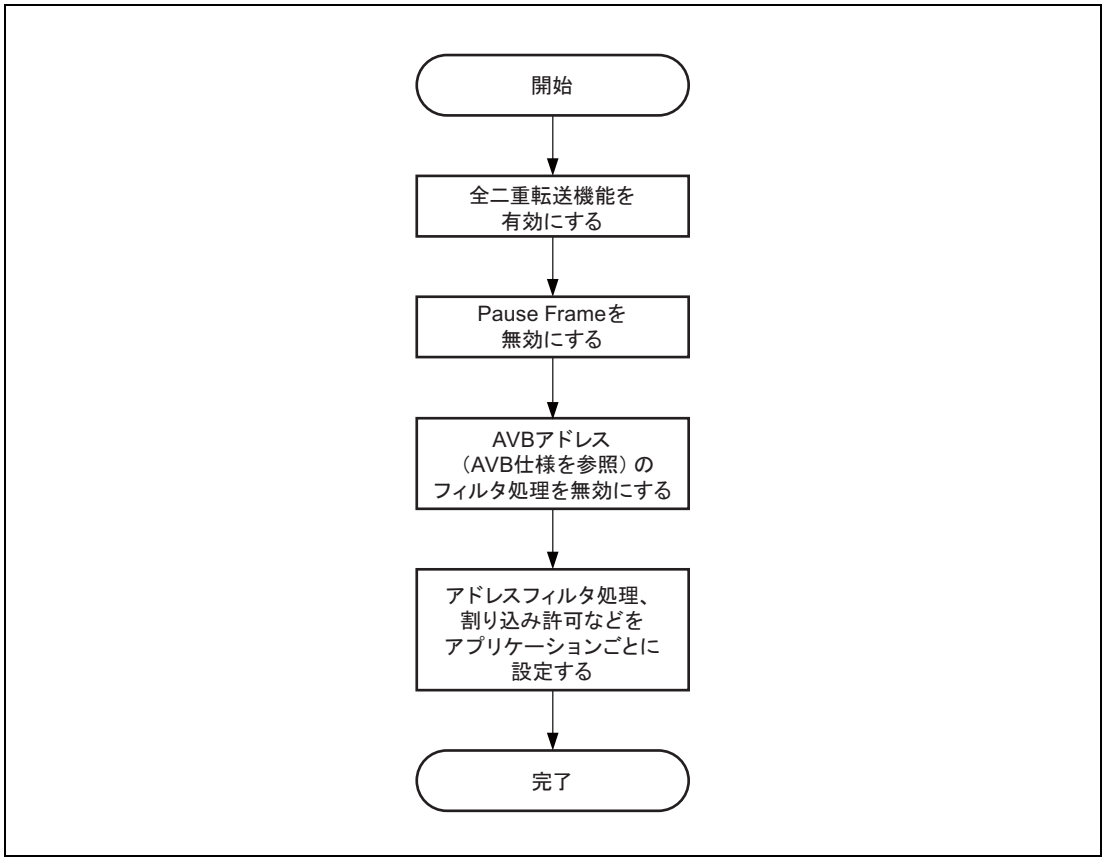


図 45.10　E-MAC 部初期化手順

(4) AVB-DMAC 部初期化

AVB-DMAC 部初期化を、図 45.11 に示します。

ディスクリプタの設定や CBS の設定は、「45.3.3　ディスクリプタ」、「45.3.6　CBS（Credit Based Shaping）」を参照してください。

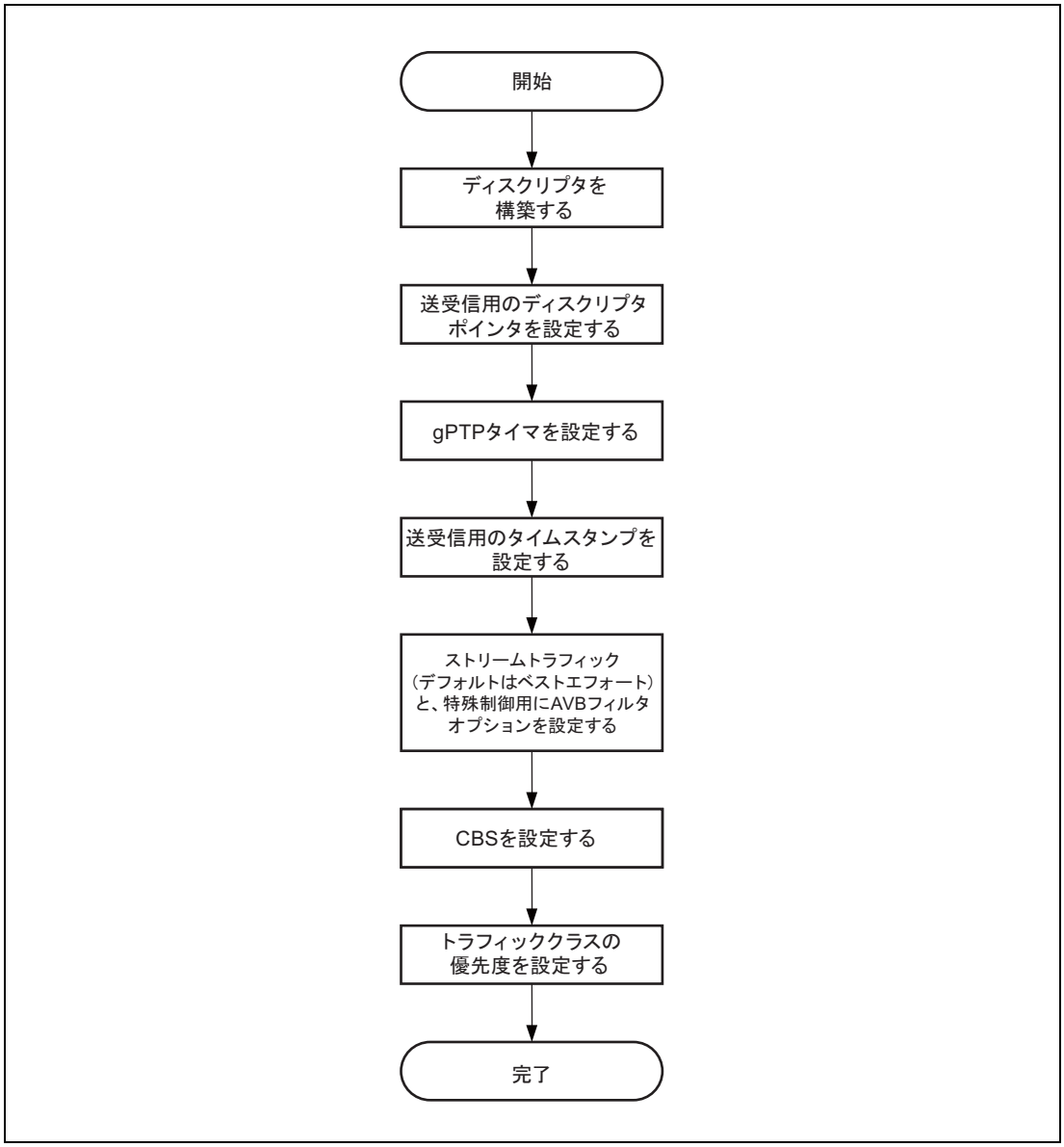


図 45.11　AVB-DMAC 部初期化

45.3.2.2　受信と送信のスケジューリング

EthernetAVB は通常、送信と受信にはそれぞれ独立したバスを有しています。フェッチ処理、格納処理、送信処理、受信処理の 4 つの処理は、基本的に独立しています。ただし、フェッチ処理と格納処理は、バスマスタを共有しており、同時に実行はできません。バスマスタへのアクセスはスケジューラで制御されています。

図 45.12 に概要を示します。

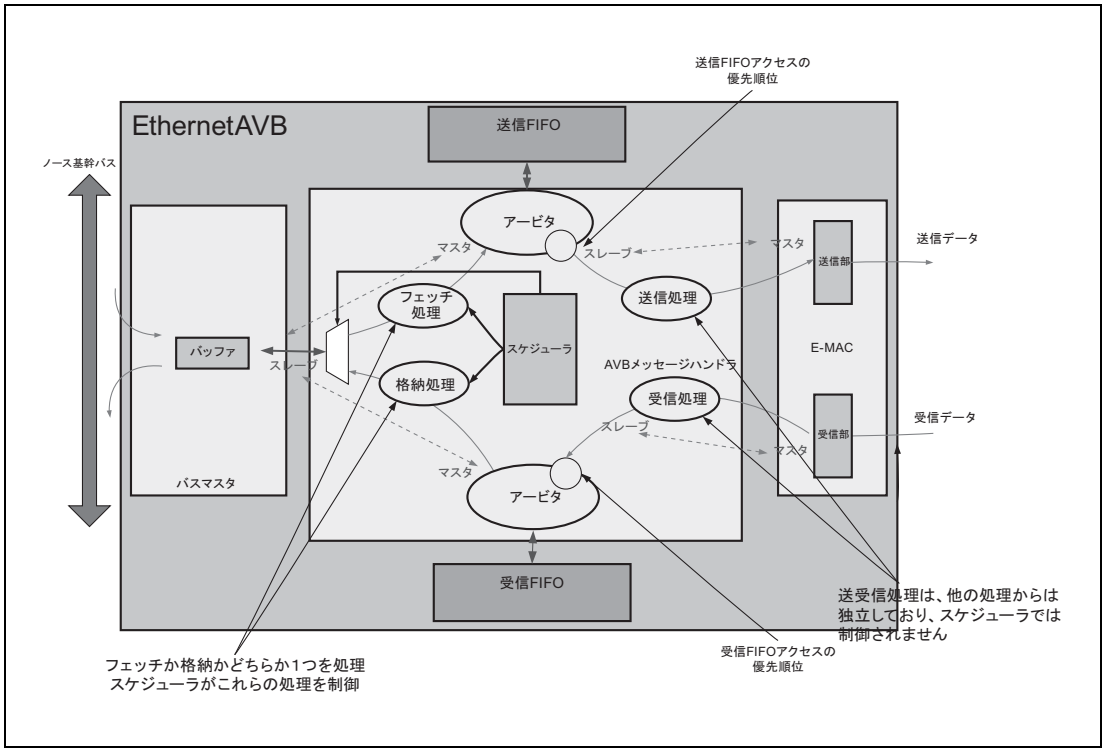


図 45.12　EthernetAVB 送受信処理概略図

格納処理とフェッチ処理は交互に行われます。受信 FIFO に多くのフレームが格納されていて警告レベルに達した場合は、フェッチ処理よりも格納処理の方が優先されます。

(1)　送信キュー番号とトラフィッククラスとの関係

フェッチ処理において、送信キューとトラフィッククラスとの関係は固定されており、送信設定レジスタの送信キュー優先度（TGC.TQP）で設定される優先度は影響しません。

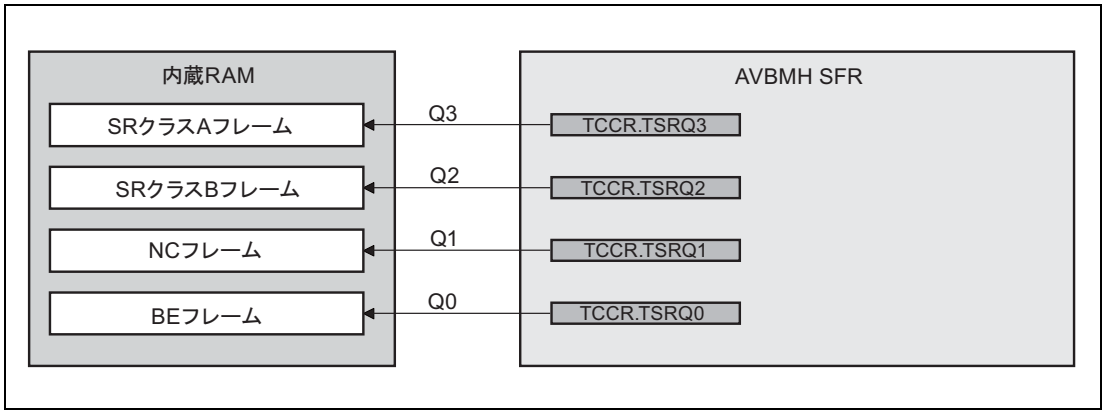


図 45.13　スケジューラ：クラス関連付けへのキュー

フェッチ処理では、Stream Class A と Class B に対するクレジット値は考慮していません。送信設定レジスタの送信 FIFO サイズ設定ビット（TGC.TBDt）の設定値に依存します。

送信設定レジスタの送信キュー優先度（TGC.TQP）が “B’00” または “B’01” のとき、優先度は Q3 → Q2 → Q1 → Q0 の順となります。

送信設定レジスタの送信キュー優先度（TGC.TQP）が “B’11” のとき、優先度は Q1 → Q3 → Q2 → Q0 となります。

45.3.2.3　整合性チェック

EthernetAVB では、イーサネットフレーム処理と受信／送信フレームデータ送信によるエラー検出と特定を行うことが可能です。

(1) 送受信中の監視項目

(a) ディスクリプタリード時の内蔵 RAM へのアクセスエラー

- エラータイプビット (ESR.ET) に ”B’0000” がセットされ、エラーキュー番号ビット (ESR.EQN) に処理中のキュー番号がセットされます。
- カレントディスクリプタアドレス（CDARq.CDA）が変更されないため、同じディスクリプタが再度処理されてしまいます。
- この問題が分割フレームで発生した場合、シーケンスが壊れている可能性があります。

（受信の場合）

- 受信したフレームが失われます。
- このキューへの次の受信データも、同じ問題が発生します。

（送信の場合）

- 送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQt）が “0” になります。
- フレームが送信 FIFO から失われます。

(b) 不正なディスクリプタ設定

- エラータイプビット (ESR.ET) に ”B’0010” がセットされ、エラーキュー番号ビット (ESR.EQN) に処理中のキュー番号がセットされます。
- カレントディスクリプタアドレス（CDARq.CDA）が変更されないため、同じディスクリプタが再度処理されてしまいます。
- この問題が分割フレームで発生した場合、シーケンスが壊れている可能性があります。

（受信の場合）

- 受信したフレームが失われます。
- このキューへの次の受信データも、同じ問題が発生します。

（送信の場合）

- 送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQt）が 0 になります。
- フレームが送信 FIFO から失われます。

(c) 内蔵 RAM へディスクリプタ書き込み時のアクセスエラー

- エラータイプビット (ESR.ET) に ”B’0001” がセットされ、エラーキュー番号ビット (ESR.EQN) に処理中のキュー番号がセットされます。
- エラーなし時と同様、カレントディスクリプタアドレス（CDARq.CDA）、送信設定制御レジスタの 送信開始要求ビット（TCCR.TSRQt）が更新されます。
- DESCR.DT が更新されないため、HW/SW 同期を喪失している可能性があります。

(2) 受信中の監視項目

(a) 内蔵 RAM にデータやタイムスタンプをライトしているときのアクセスエラー

- エラータイプビット (ESR.ET) に ”B’0101” がセットされ、エラーキュー番号ビット (ESR.EQN) に処理中のキュー番号がセットされます。
- エラーなし時と同様、カレントディスクリプタアドレス（CDARq.CDA）が更新されます。
- エラー検出を示すために、DESCR.EI に “1” がセットされます。
- この問題が分割フレーム内で発生した場合、ディスクリプタシーケンスが壊れており、キューを使用できない可能性があります。

(b) 受信 FIFO オーバフロー

- 受信 FIFO フル割り込みステータスビット (RIS2.RFFF) に “1” がセットされます。
- 受信したフレームはすべて無効となります。以下の手順で受信 FIFO に格納されたフレームを破棄してください。

  ①「図 45.7　動作モード遷移フロー（オペレーションモードからコンフィグモード）」に記載されているフローに従い、受信停止およびコンフィグモードへの遷移を行う。

  ②内蔵 RAM に格納された未処理の全受信データを破棄する。

(3) 送信中の監視項目

(a) 内蔵 RAM からデータをリードしているときのアクセスエラー

- エラータイプビット (ESR.ET) に ”B’0100” がセットされ、エラーキュー番号ビット (ESR.EQN) に処理中のキュー番号がセットされます。
- すでにフェッチされたデータは、送信 FIFO から破棄されます。
- FSINGLE、FEND ディスクリプタ処理中に本エラーが発生した場合：
  エラーなし時と同様、カレントディスクリプタアドレス（CDARq.CDA）、送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQt）が更新されます。エラーフレームのあとは、フェッチ動作が再開されます。
- FSTART、FMID ディスクリプタ処理中に本エラーが発生した場合：
  - カレントディスクリプタアドレス（CDARq.CDA）は更新されません。
  - 送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQt）に 0 がセットされます。

(b) 送信 FIFO オーバフロー

- エラータイプビット (ESR.ET) に ”B’1010” がセットされ、エラーキュー番号ビット

(ESR.EQN) に処理中のキュー番号がセットされます。

- エラーなし時と同様、カレントディスクリプタアドレス（CDARq.CDA）、送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQt）が更新されます。エラーフレームのあとは、フェッチ動作が再開されます。
- フレームが送信 FIFO から破棄されます。

(c) 送信中のフレームサイズエラー

- エラータイプビット (ESR.ET) に ”B’1001” がセットされ、エラーキュー番号ビット (ESR.EQN) に処理中のキュー番号がセットされます。
- エラーなし時と同様、カレントディスクリプタアドレス（CDARq.CDA）、送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQt）が更新されます。エラーフレームのあとは、フェッチ動作が再開されます。

送信フレームサイズエラーは、1 つまたは複数のディスクリプタ（分割フレーム）がフレーム送信に対し 1996 バイトより大きい値を設定したときに検出されます。フレームは切り取られて送信されます。

45.3.3　ディスクリプタ

45.3.3.1　内蔵 RAM でのデータ表現

AVB-DMAC は、アプリケーション SW との送受信データのやりとりを、内蔵 RAM を介して行います。内蔵 RAM には、ディスクリプタと呼ばれる制御構造と、ディスクリプタデータエリアと呼ばれるフレームデータが配置されます。制御エリアとデータエリアに分割することで、内蔵 RAM 内のフレームデータを柔軟に割り当てることが可能です。

図 45.14 に、ディスクリプタ／ディスクリプタデータエリアの内蔵 RAM 上のメモリマップ例を示します。

ディスクリプタは、当該ディスクリプタの機能を制御するディスクリプタタイプ（DESCR.DT）、フレームデータを格納しているディスクリプタエリア上の先頭アドレスを示すディスクリプタポインタ（DESCR.DPTR）、サイズを示すデータサイズ（DESCR.DS）で構成されます。それぞれのディスクリプタは、処理終了後に割り込みを発生することができます。割り込みの許可／禁止は、ディスクリプタ割り込み許可（DESCR.DIE）で制御します。

ディスクリプタには、コンテンツ関連の情報も格納されている場合があります。この情報は、一般的なディスクリプタ機能には影響を与えません。受信ステータスなどのフレームデータ以外の情報を提供します。

詳細は、「45.3.4.2　受信用ディスクリプタ設定手順」、「45.3.5.2　送信用ディスクリプタ設定手順」を参照してください。

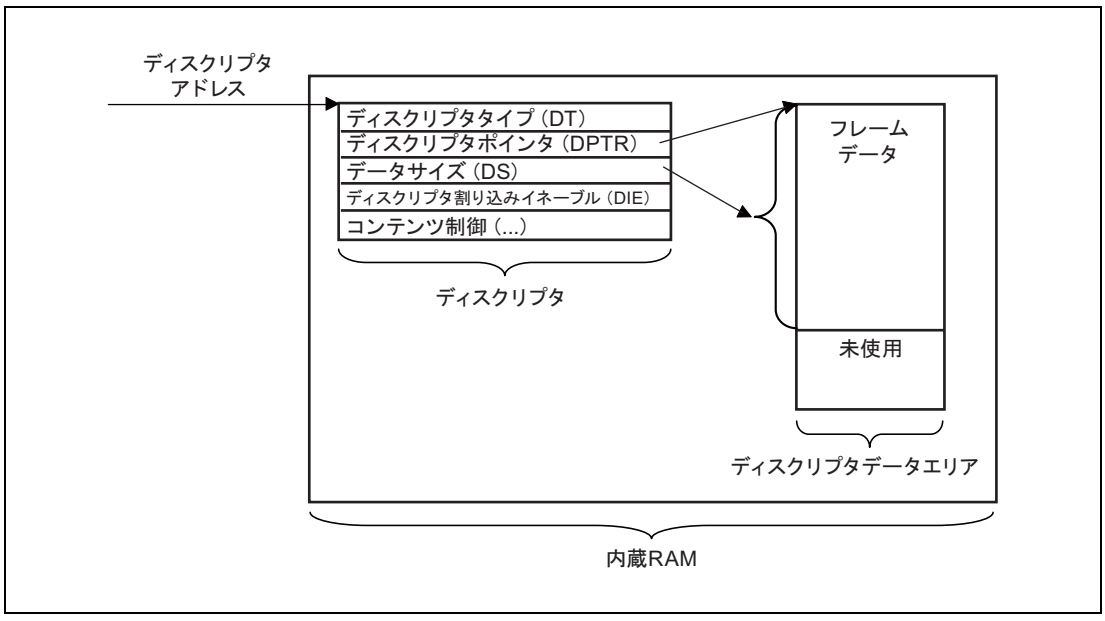


図 45.14　内蔵 RAM メモリマップ例

ディスクリプタは、内蔵 RAM 上に 32 ビットアライメントで配置してください。

通常のディスクリプタ構造は 64 ビットで構成されています。gPTP タイムスタンプストレージ受信有効の場合は、160 ビットで構成されます。

フレームデータは、内蔵 RAM 上に 32 ビットアライメントで配置してください。

フレームデータサイズは、データサイズ（DESCR.DS）で定義されます。受信時には、データサイズ（DESCR.DS）で定義した値が、受信可能な最大フレームサイズとなります。デー

タサイズが、32 ビットアライメントでない場合、データエリアの残りのバイトは未使用領域となります。

45.3.3.2　キューに使用するディスクリプタチェイン

内蔵 RAM へ記載した送受信用ディスクリプタは、キューへとグループ化されます。それぞれのキューは、フレームの取り扱いを、送信優先順位または受信分離として実現します。キューでは、1 つ以上のフレームを制御できる機能があります。したがって、一つのキューに対して、複数個のディスクリプタを割り当てることが可能です。ディスクリプタを組み合わせたものを、ディスクリプタチェインと呼びます。

ディスクリプタチェインには、3 つのディスクリプタタイプが定義されています。ディスクリプタタイプの詳細については、「45.3.3.6　ディスクリプタタイプ」を参照してください。

- フレームデータを定義しているディスクリプタ
- ディスクリプタチェイン自体を制御するディスクリプタ（例：LINK, EOS）
- HW/SW からのアクセスをアービトレートするディスクリプタ

図 45.15 に示すように、2 つの基本的なディスクリプタチェインのトポロジが存在します。これらの簡単な例では、アレイにはチェインに割り当てられているすべてのディスクリプタが格納されています。

- 線形ディスクリプタチェインでは、アレイ内の最終ディスクリプタは、ディスクリプタの終わりを示す制御ディスクリプタ（例：EEMPTY）になります。
- 循環ディスクリプタチェインでは、アレイ内の最終ディスクリプタは、アレイの最初のディスクリプタへと戻す制御ディスクリプタ（例：LINK）になります。

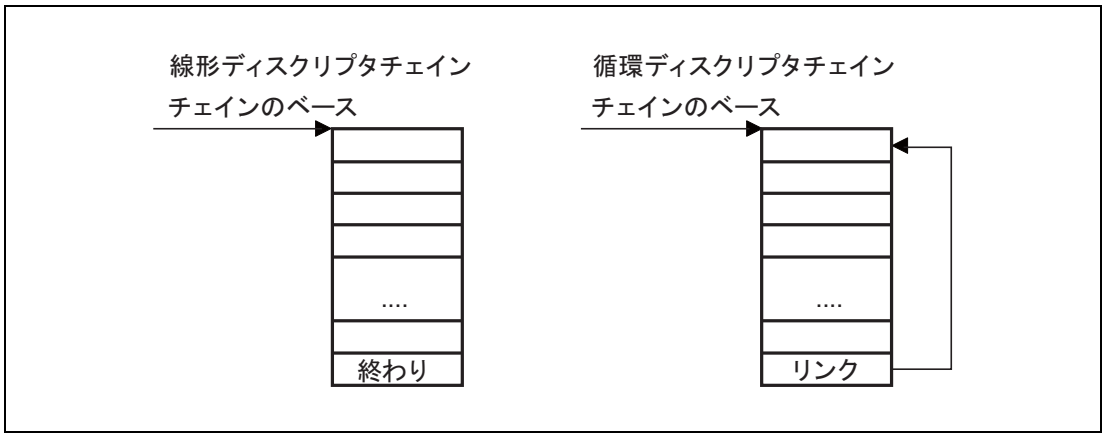


図 45.15　基本的なディスクリプタチェインのアウトライン

キューとディスクリプタチェインとの関係は、チェインのベースアドレスによって定義されます。キューは、一度の処理で 1 つのディスクリプタチェインに接続されます。オペレーションモード中に異なるチェインへ切り替える方法もあります。

チェイン内のリンクディスクリプタの数や位置についての制限はありません。設計されたチェインの最終ディスクリプタによって、トポロジが決定します。

どのチェイン構造を使用し、どのトポロジが最適かは、アプリケーション次第です。「45.3.4.2　受信用ディスクリプタ設定手順」、「45.3.5.2　送信用ディスクリプタ設定手順」に、様々な状況に合わせたディスクリプタチェインの設計方法を記載しておりますので、参考にしてください。

45.3.3.3　ディスクリプタベースアドレステーブル

内蔵 RAM に記載するベースアドレステーブルは、それぞれのキューの最初のディスクリプタアドレスを設定してください。

エントリ 0 ～ 3 は、送信キュー 0 ～ 3 にアクセスするために使用されます。後続のエントリは、受信キューにアクセスするために使用されます。エントリ 4 が受信キュー 0 に対応しています。

ベースアドレステーブルのエントリ構成は、リンクディスクリプタの構成と同じです。ディスクリプタタイプ（DESCR.DT）LINKFIX を使用することを推奨いたします。このリンクディスクリプタは、ディスクリプタ処理後でも変化しないため、更新の必要はありません。チェインの最初のディスクリプタが HW/SW 同期化を行います。アプリケーションが、ベースアドレス用に HW/SW 同期化を必要とした場合、ディスクリプタタイプ（DESCR.DT）LINK を使用してください。

CPU は、ベースアドレステーブルに位置するディスクリプタに対し、ディスクリプタタイプ（DESCR.DT）として、LINKFIX と LINK のみを使用することができます。

ベースアドレステーブルの 内蔵 RAM 上の位置は、ディスクリプタベースアドレステーブルレジスタ（DBAT）を設定してください。

図 45.16 に、例として、4 つの送信キューと 3 つの受信キューを制御するベースアドレステーブルを示します。右側のそれぞれのボックスは、任意のトポロジのディスクリプタチェインを表しています。

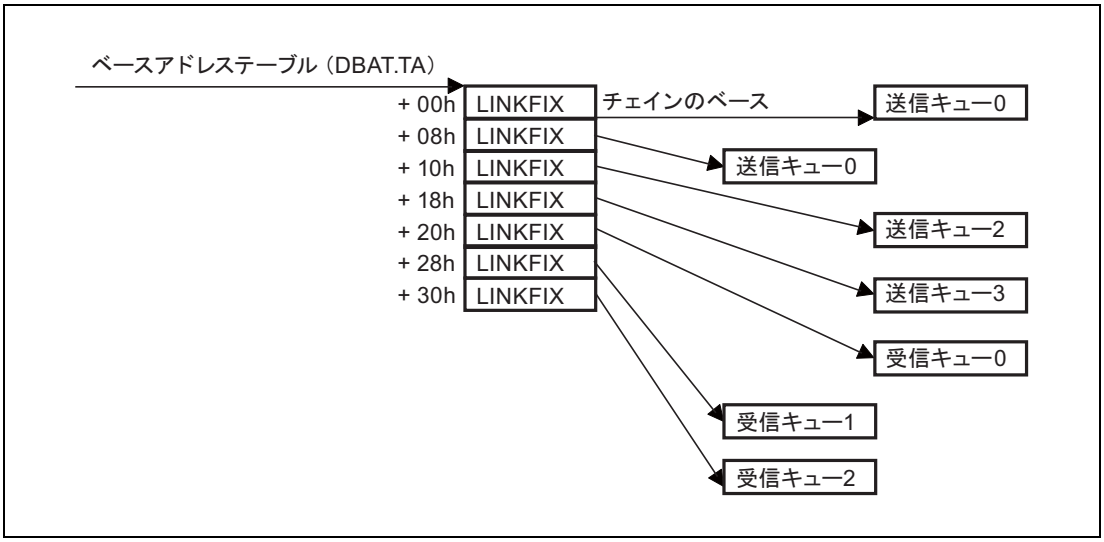


図 45.16　例：受信と送信キューのためのベースアドレステーブル

注　意

ベースアドレステーブル内のディスクリプタのサイズは、キュー自身が拡張ディスクリプタを使用していても、必ず 8 バイトになります。

45.3.3.4　ディスクリプタチェイン処理

現在処理中のディスクリプタや、結びついているキューがアクティブとなったときに処理予定のディスクリプタが、現在のディスクリプタとなります。キュー q が使用する現在のディスクリプタアドレスは、カレントディスクリプタアドレスレジスタ q（CDARq）で確認可能です。

カレントディスクリプタは、

- 動作モードがオペレーションモードへ移行するとき、すべてのキュー q に対する、テーブルアドレスビット（DBAT.TA）+8*q に設定されます。
- キュー q に対する、ディスクリプタベースアドレスロード要求レジスタ（DLR）のベースアドレスロード要求（DLR.LBAq）が発行されたとき、テーブルアドレスビット（DBAT.TA）+8*q に設定されます。
- リンクディスクリプタ（LINK,LINKFIX）を処理するとき、DESCR.DPTR に設定されます。
- ディスクリプタが処理されたとき、ディスクリプタ構成のサイズ（通常ディスクリプタ 8 バイト、拡張ディスクリプタ 20 バイト）分、インクリメントされます。
- この場合、AVB-DMAC はディスクリプタタイプを更新し、ディスクリプタが処理済みであることを、CPU に通知します。

これら以外の場合（不正ディスクリプタ処理時等）、カレントディスクリプタアドレスレジスタ q（CDARq）は変更されません。

45.3.3.5　ディスクリプタ割り込み

各ディスクリプタは、処理後にディスクリプタ割り込みを発行することができます。ディスクリプタ割り込み許可（DESCR.DIE）で、ディスクリプタ割り込みを無効にするか生成するディスクリプタ割り込みを 選択することができます。

ディスクリプタ割り込みは、受信と送信キュー間で共有されている共通のリソースです。

図 45.17 に、AVB-DMAC によるディスクリプタ割り込み（ディスクリプタ割り込みステータスレジスタ（DIS.DPFi））の生成方式を示します。ディスクリプタ割り込み許可（DESCR.DIE）に i を設定した場合、ディスクリプタ割り込みステータスレジスタ（DIS.DPFi）がセットされます。

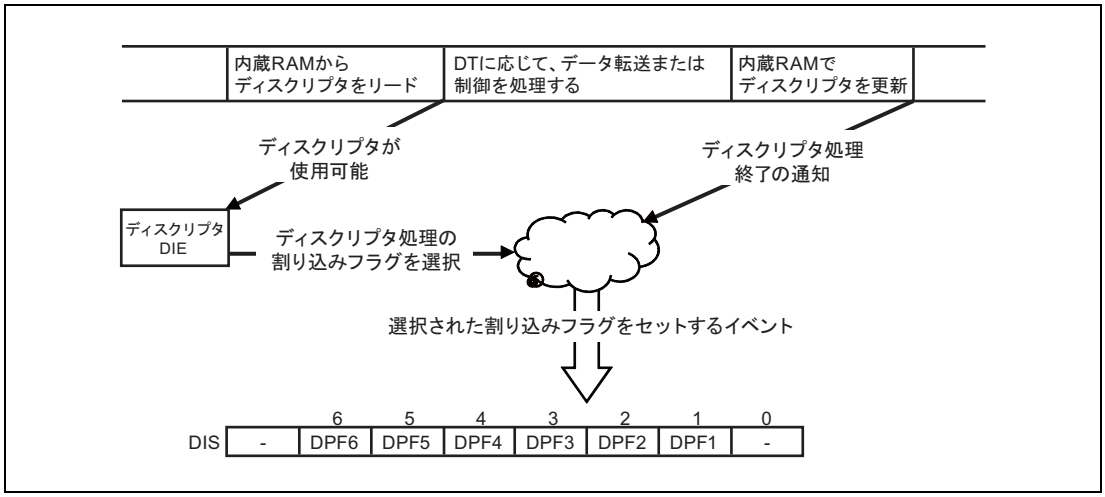


図 45.17　ディスクリプタ割り込み生成方式

45.3.3.6　ディスクリプタタイプ

AVB-DMAC でサポートするディスクリプタタイプ（DESCR.DT）には、以下の 3 つのカテゴリがあります。

- フレームデータを定義
- ディスクリプタチェインを制御
- HW/SW アービトレーション

表 45.71 に、AVB-DMAC で使用できるディスクリプタタイプの概要を示します。名称の欄にディスクリプタタイプ名を、DT の欄にディスクリプタタイプ（DESCR.DT）に設定する値を示します。同一ディスクリプタでも送信と受信キューでは取り扱いが異なる場合もあるため、送信の欄、受信の欄に、使用範囲を記載しています。

送信、受信の欄では、以下の略称を使用しています。

SW の定義：

- ディスクリプタは SW で処理されます。
- SW は、ディスクリプタおよびディスクリプタデータエリアへアクセス／修正することができます
- このディスクリプタは、HW（AVB-DMAC）によって変更されません。

HW の定義：

- ディスクリプタは HW（AVB-DMAC）で処理されます。
- SW はディスクリプタおよびディスクリプタデータエリアを修正しないでください。
- HW（AVB-DMAC）はこのディスクリプタを処理し、処理後にディスクリプタタイプを変更します。

無効：

ディスクリプタタイプは、送信／受信に適用されません。

ディスクリプタタイプ（DESCR.DT）に、この値を書き込まないでください。

HW は、このディスクリプタタイプを処理しません。現在のディスクリプタアドレス（CDARq.CDA）は変更されません。

表 45.71　ディスクリプタタイプ概要

名称	DT	説明	受信	送信
フレームデータ				
FSTART	5	Frame Start ディスクリプタには有効なフレームデータが存在します。フレームはこのディスクリプタから開始し、次のディスクリプタへと続きます。	SW	HW
FMID	4	Frame Middle ディスクリプタには有効なフレームデータが存在します。フレームは前のディスクリプタより開始しており、次のディスクリプタへと続きます。	SW	HW
FEND	6	Frame End ディスクリプタには有効なフレームデータが存在します。フレームは前のディスクリプタより開始しており、このディスクリプタで終了する。	SW	HW
FSINGLE	7	Frame Single このディスクリプタには完全なフレームの有効なフレームデータが存在します。	SW	HW
チェイン制御				
LINK	8	Link 次のチェインのディスクリプタを定義します。	HW	HW
LINKFIX	9	Fixed Link 次のチェインのディスクリプタを定義します。Link と異なり、ディスクリプタ処理後 HW によって書き換えられません。	SW	SW
EOS	10	End Of Set チェインの分割を制御します。	HW	HW
HW/SW アービトレーション				
FEMPTY	12	Frame Empty 有効なフレームデータのない、フレームデータ関連のディスクリプタ	HW	SW
FEMPTY_IS	13	Frame Empty Incremental Start 有効なフレームデータのない、フレームデータ関連のディスクリプタ DESCR.DPTR は、内蔵 RAM のインクリメンタルデータエリアのベースアドレスを設定します	HW	無効
FEMPTY_IC	14	Frame Empty Incremental Continue 有効なフレームデータのない、フレームデータ関連のディスクリプタ データは、内蔵 RAM のインクリメンタルデータエリアに格納される	HW	無効
FEMPTY_ND	15	Frame Empty No Data strage 有効なフレームデータのない、フレームデータ関連のディスクリプタ FEMPTY と同様に処理されるが、内蔵 RAM には格納されない	HW	無効
LEMPTY	2	Link Empty AVB-DMAC によって処理されたリンクディスクリプタ	SW	SW
EEMPTY	3	EOS Empty AVB-DMAC によって処理された EOS ディスクリプタ	SW	SW
DT0	0	（予約ビット）	無効	無効
DT1	1	（予約ビット）	無効	無効
DT11	11	（予約ビット）	無効	無効

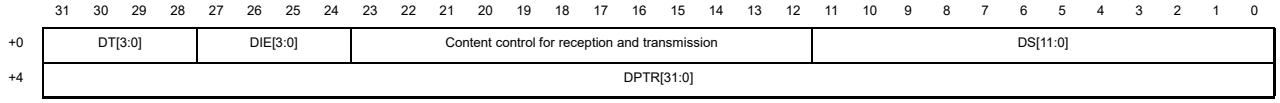
(1)　内蔵 RAM 内の一般的なディスクリプタのレイアウト

AVB-DMAC は処理後に、内蔵 RAM のディスクリプタを更新します。送受信とキューモードに応じて、更新中にディスクリプタのどのフィールドが変更されるかが決まります。そのほかのフィールドに関しては変更されません。未使用のディスクリプタフィールド（図中では “—” と記載）に設定する値についての制限はありません。

(2)　フレームデータディスクリプタ

フレームデータディスクリプタ（FSTART, FMID, FEND, FSINGLE）のビット配置図を以下に示します。

- 通常のディスクリプタ（受信と送信で使用）



- 拡張ディスクリプタ（受信のみで使用）

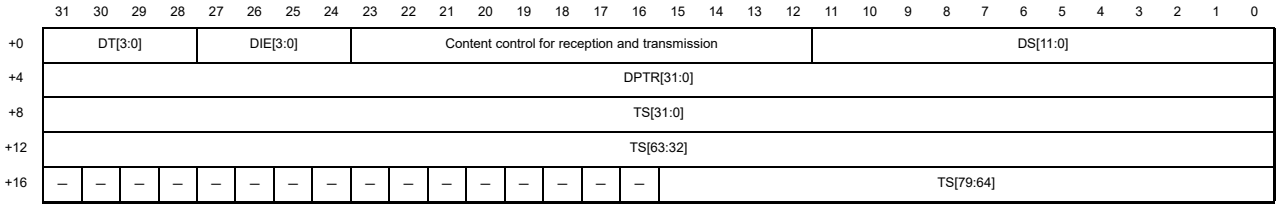


表 45.72　フレームデータディスクリプタのディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 5：FSTART 4：FMID 6：FEND 7：FSINGLE 詳細は「45.3.4.2　受信用ディスクリプタ設定手順」、「45.3.5.2　送信用ディスクリプタ設定手順」参照
DIE[3:0]	ディスクリプタ割り込み許可 B’0000：ディスクリプタ割り込み無効 B’0001 ～ B’1111：ディスクリプタ割り込み（DIS.DPFi）生成
—	コンテンツ制御 詳細は「45.3.4.2　受信用ディスクリプタ設定手順」、「45.3.5.2　送信用ディスクリプタ設定手順」参照
DS[11:0]	データサイズ ディスクリプタデータエリア／フレームデータのサイズ（単位：バイト） 設定可能なデータ長は以下です (フレーム分割時は、1 フレームの合計サイズが以下の範囲に収まるようにしてください) 送信時：1 ≦ DS ≦ 1996 受信時：1 ≦ DS ≦ 2000
DPTR[31:0]	ディスクリプタポインタ ディスクリプタデータエリアへのポインタ 32 ビットアライメントで記載してください
TS[79:0]	タイムスタンプ 受信フレームのタイムスタンプ（拡張ディスクリプタのみ）

注　意

ディスクリプタポインタ（DESCR.DPTR）へは、32 ビットアライメントされたアドレスを記載してください。
拡張ディスクリプタ内の Reserved ビット（DESCR[31:16] は、タイムスタンプが格納される際に H’0000 が書き込まれます。

(3) HW/SW アービトレーションディスクリプタ（受信のみ）

HW/SW アービトレーションディスクリプタ（FEMPTY, FEMPTY_IS, FEMPTY_IC, FEMPTY_ND）のビット配置図を以下に示します。

- 通常のディスクリプタ

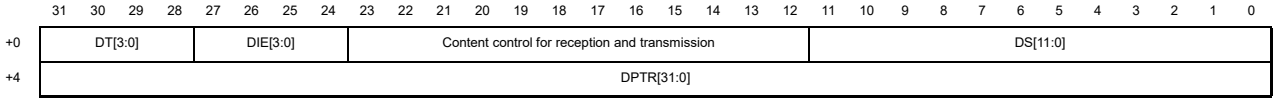


表 45.73　HW/SW アービトレーションディスクリプタタイプのディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 12：FEMPTY 13：FEMPTY_IS 14：FEMPTY_IC 15：FEMPTY_ND 詳細は「表 45.71　ディスクリプタタイプ概要」を参照してください
DIE[3:0]	ディスクリプタ割り込み許可 B'0000：ディスクリプタ割り込み無効 B'0001 ～ B'1111：ディスクリプタ割り込み（DIS.DPFi）生成
—	コンテンツ制御 詳細は「45.3.4.2　受信用ディスクリプタ設定手順」、「45.3.5.2　送信用ディスクリプタ設定手順」参照
DS[11:0]	データサイズ ディスクリプタデータエリア／フレームデータのサイズ（単位：バイト）
DPTR[31:0]	ディスクリプタポインタ ディスクリプタデータエリアへのポインタ 32 ビットアライメントで記載してください

注　意

ディスクリプタポインタ（DESCR.DPTR）へは、32 ビットアライメントされたアドレスを記載してください。

拡張ディスクリプタを使用する場合、未使用領域が 12 バイト追加されます。

FEMPTY ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）、データサイズ（DS）、ディスクリプタポインタ（DPTR）が使用されます。

FEMPTY_IS ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）、ディスクリプタポインタ（DPTR）が使用されます。

FEMPTY_IC ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）が使用されます。

FEMPTY_ND ディスクリプタには、ディスクリプタタイプ（DT）、ディスクリプタ割り込み許可（DIE）、データサイズ（DS）が使用されます。

(4) リンクディスクリプタ

リンクディスクリプタ（LINK, LINKFIX）のビット配置図を以下に示します。

- 通常のディスクリプタ

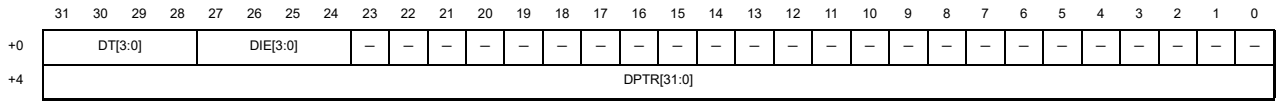


表 45.74　リンクディスクリプタタイプのディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 8：LINK 9：LINKFIX 詳細は「表 45.71　ディスクリプタタイプ概要」を参照してください
DIE[3:0]	ディスクリプタ割り込み許可 B'0000：ディスクリプタ割り込み無効 B'0001 ～ B'1111：ディスクリプタ割り込み（DIS.DPFi）生成
—	コンテンツ制御 詳細は「45.3.4.2　受信用ディスクリプタ設定手順」、「45.3.5.2　送信用ディスクリプタ設定手順」参照
DPTR[31:0]	ディスクリプタポインタ 次のディスクリプタへのポインタ 32 ビットアライメントで記載してください

注　意

ディスクリプタポインタ（DESCR.DPTR）へは、32 ビットアライメントされたアドレスを記載してください。

拡張ディスクリプタを使用する場合、未使用領域が 12 バイト追加されます。

(5) そのほかのディスクリプタ

そのほかのディスクリプタ（EOS, FEMPTY（送信のみ）, LEMPTY, EEMPTY）のビット配置図を以下に示します。

	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
+0	DT[3:0]				DIE[3:0]				–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
+4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

表 45.75　そのほかのディスクリプタタイプのディスクリプタ（DESCR）の内容

ビット名	機能
DT[3:0]	ディスクリプタタイプ 10：EOS 12：FEMPTY（送信のみ） 2：LEMPTY 3：EEMPTY 詳細は「表 45.71　ディスクリプタタイプ概要」を参照してください
DIE[3:0]	ディスクリプタ割り込み許可 B’0000：ディスクリプタ割り込み無効 B’0001 ～ B’1111：ディスクリプタ割り込み（DIS.DPFi）生成

注　意

拡張ディスクリプタを使用する場合、未使用領域が 12 バイト追加されます。

(6) フレームデータディスクリプタの使用方法

ディスクリプタデータエリアサイズ（DESCR.DS）は、1 つのデータエリアにつき、最大 2048 バイトまでのイーサネットフレームデータを格納することができます。2048 バイトを超えて設定することはできません。

一般的に、イーサネットフレームの長さは共通ではありません。フレームデータ用メモリ容量を最小限に抑えるため、AVB-DMAC にはフレームデータを複数のディスクリプタに分割する機能があります。この機能により、ディスクリプタデータエリアよりも長いフレームを処理することが可能です。さらに、フレームデータ構造に基づいて分割されたフレームにも対応可能です。

フレームデータや分割を制御するディスクリプタタイプ（DESCR.DT）は、FSTART, FEND, FMID, FSINGLE の 4 種類が定義されています。

図 45.18 に、フレームデータディスクリプタによるフレームデータマッピングを示します。ディスクリプタデータエリアは、内蔵 RAM 上に割り振ることができます。フレームが 4 つ以上に分割されている場合、追加の FMID を追加することにより、対応することができます。

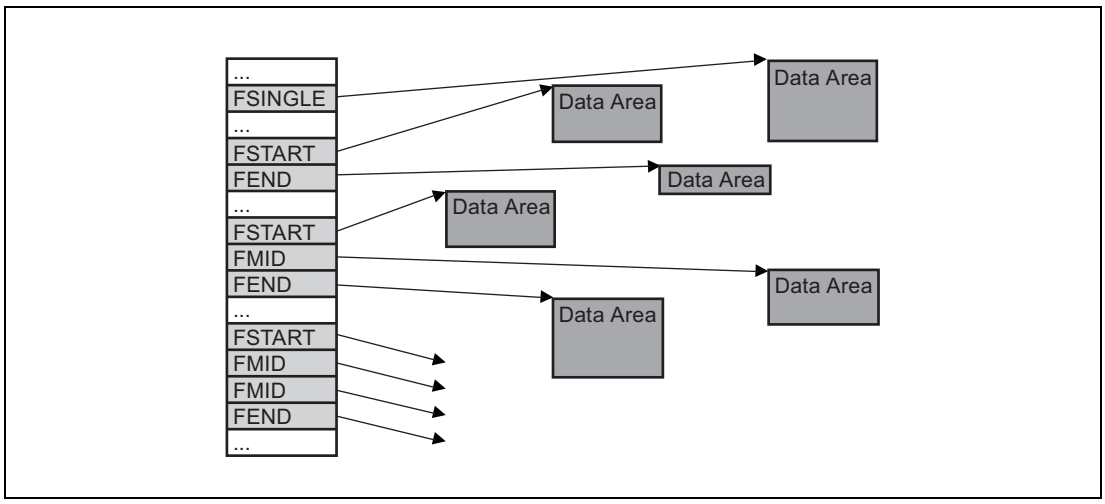


図 45.18　フレームデータのマッピング

受信の場合、ディスクリプタデータエリアの最大サイズ（DESCR.DS）を設定してください。AVB-DMAC はその領域に受信フレームデータを格納します。フレームデータが、データサイズ（DESCR.DS）を超えたら分割されます。

送信の場合、フレームデータのサイズをデータサイズ（DESCR.DS）に設定してください。AVB-DMAC は、当該ディスクリプタ処理後に、ディスクリプタタイプ（DESCR.DT）を FEMPTY に書き換えます。データサイズ（DESCR.DS）、ディスクリプタポインタ（DESCR.PTR）は設定値が保持されます。

ディスクリプタデータエリアに未使用部分がある場合、フレームデータ間に空き領域が生じます。受信の場合、空き領域ができることを防ぐためにインクリメンタルデータエリアを使用することができます。インクリメンタルデータエリアについては、「45.3.4.3 (2)　**インクリメンタルデータエリア**」を参照してください。

内蔵 RAM のディスクリプタエリアのメモリ使用容量を抑える以外に、フレームデータにてセクション間を識別する（例：ヘッダとデータを分けるなど）場合には、フレーム分割を使用可能です。

(7) チェイン制御ディスクリプタの使用方法

(a) リンクディスクリプタ

リンクディスクリプタを使用することで、ディスクリプタチェインのアウトラインを設定することができます。（詳細は、「45.3.3.2　キューに使用するディスクリプタチェイン」を参照してください）

LINK ディスクリプタを処理後、ディスクリプタタイプ（DESCR.DT）が LEMPTY に変更されます。ディスクリプタポインタ（DESCR.PTR）は、設定値を保持しています。

LINKFIX ディスクリプタを処理後は、ディスクリプタタイプ（DESCR.DT）は更新されません。SW は、ディスクリプタタイプ（DESCR.DT）、ディスクリプタ割り込み許可（DESCR.DIE）、ディスクリプタポインタ（DESCR.DPTR）を変更可能です。ただし、ディスクリプタポインタ（DESCR.DPTR）を変更する場合は、カレントディスクリプタアドレスレジスタ（CDARq.CDA）をチェックするようにしてください。

(b) EOS ディスクリプタ

EOS ディスクリプタを使用することで、ディスクリプタチェインを様々なセグメントに分割することができます。キューは EOS ディスクリプタ後も継続します。

送信の場合、送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQq）がクリアされます。

受信の場合、分割フレーム（FMID, FEND を格納中の受信データ）は完全には格納されず、受信キューフル割り込み（RIS2.QFFr）が生成されます。

(8) HW&SW アービトレーションディスクリプタの使用方法

HW がディスクリプタ処理をする際、様々なディスクリプタを区別するために、空のディスクリプタタイプ（FEMPTY, LEMPTY, EEMPTY）を規定します。SW は、空き領域の確認などに使用可能です。

(a) FEMPTY, FEMPTY_IS, FEMPTY_IC, FEMPTY_ND

これらのディスクリプタタイプ（DESCR.DT）は、有効データがないディスクリプタに対して使用されます。

送信時は、FEMPTY のみ使用されます。

これらのディスクリプタポインタ（DESCR.DPTR）は、ディスクリプタデータエリアを示しています。

(b) LEMPTY

このディスクリプタタイプ（DESCR.DT）は、処理された LINK ディスクリプタに使用されます。

LEMPTY ディスクリプタのディスクリプタポインタ（DESCR.DPTR）は、リンクされたディスクリプタポインタを示しています。

(c) EEMPTY

このディスクリプタタイプ（DESCR.DT）は、EOS ディスクリプタ処理後に使用されます。

EEMPTY ディスクリプタのディスクリプタポインタ（DESCR.DPTR）は未使用のため何も示しません。

(9) HW&SW 間のディスクリプタアクセス関係

EthernetAVB では、内蔵 RAM に配置されているディスクリプタタイプ（DESCR.DT）を使用することができます。これにより、CPU から EthernetAVB レジスタへのアクセスを最小限に抑え、パフォーマンスを上げることが可能となります。

- ディスクリプタタイプのセットが、HW/SW により排他的に使用するように割り当てられます。（「表 45.71　ディスクリプタタイプ概要」参照）
- SW は、HW にアサインされたディスクリプタを変更しないでください。（SW にアサインされたディスクリプタは、HW によって変更されることはありません）

SW は、ディスクリプタタイプを変更する前に、ディスクリプタやそれに対応するフレームデータの情報を処理する必要があります。DESCR.DT に HW にアサインされたディスクリプタタイプが設定されている場合、SW はディスクリプタやそれに対応するフレームデータのどの部分も変更しないようにしてください。

45.3.3.7　ディスクリプタ使用時におけるバス性能の最適化

以下の項目は、内蔵 RAM 内のデータ構造を最適に使用するための推奨事項です。

必須事項ではありませんが、異なった使用方法では LSI 内部システムバス負荷が大きくなる可能性があります。

- ディスクリプタは 64 ビットアライメントで記載してください。（拡張ディスクリプタには非適用）
- 動作モードがオペレーションモードの間ディスクリプタの変更が必要ない場合は、LINK ではなく LINKFIX を使用するようにしてください。（LINK ディスクリプタの場合は、ディスクリプタタイプ（DESCR.DT）を HW が書き換えます）
- フレームデータは、最大 128 バイトとしてください。
- ディスクリプタチェインへの並列処理を、最小限に抑えてください。
  各チェインを異なる内蔵 RAM ページに位置するよう分割すれば、SW と HW がそれぞれ異なるセグメントに、排他的にアクセスできるようになります。
- フレーム分割数を最小限に抑えてください。ディスクリプタ取り扱いのオーバーヘッドを軽減できます。

45.3.4　受信制御

AVB-DMAC は、E-MAC と内蔵 RAM 間で、CPU の介入なしにデータ転送します。
格納するフレームデータ量や位置を定義するディスクリプタを作成してください。E-MAC がフレームを受信したら、受信フレームデータ、MAC ステータスとしての受信状況、拡張ディスクリプタの場合は、タイムスタンプが格納されます。ディスクリプタ設定方法については「45.3.4.2　**受信用ディスクリプタ設定手順**」を参照してください。
受信フレームを分類するために、AVB-DMAC ではセパレーションフィルタを使用します。セパレーションフィルタによって、受信フレームは様々な受信キューに格納され、受信フレームのクラスに優先度をつけます。セパレーションフィルタについては、「45.3.4.1 (1) **セパレーションフィルタ**」を参照してください。
図 45.19 に、受信データパスと受信に使用するキュー選択について示します。
E-MAC より受信したフレームは、受信 FIFO に格納され、それに並行してフレームタイプとターゲットキュー番号を識別するために、フレーム解析されます。E-MAC が受信を完了したら、ターゲットキュー番号が生成され、受信 FIFO に格納されます。受信フラグ付与は、内蔵 RAM 内の受信キューごとに割り当てられ、未読フレームカウンタ（UFC）も受信キューごとに割り当てられます。

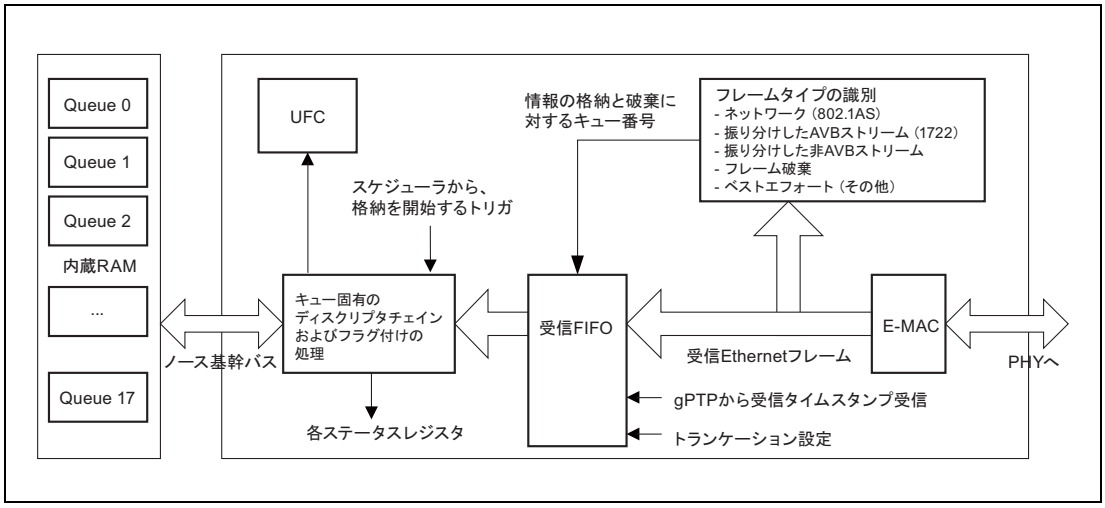


図 45.19　一般的な受信キュー選択のメカニズム

45.3.4.1　受信キュー

AVB-DMAC は、セパレーションフィルタメカニズムに基づき、受信フレームを格納するための受信キューを選択します。AVB-DMAC は、すべての受信フレームを 内蔵 RAM 内に格納します。

AVB-DMAC が、受信フレームを破棄する条件が 2 つあります。

- E-MAC が受信中にエラーを検出した場合
  - エラーフレームが破棄されるのか、受信キュー 0（Best Effort）に格納されるのかは、受信設定レジスタエラーフレーム許可ビット（RCR.EFFS）で設定可能です。エラーフレームを格納する（RCR.EFFE = 1）場合は、必ずキュー 0（Best Effort）に格納されます。この場合、キューごとのパラメータ（例：トランケーション）は一致しない場合があります。もし、受信キュー 0（Best Effort）用のタイムスタンプ格納が有効（受信設定レジスタ タイムスタンプ許可ビット（Best Effort）RCR.ETS0 = 1 の場合、エラーフレームに対してもタイムスタンプが格納されます。
- セパレーションフィルタの判定条件に不一致となった場合
  - 不一致フレームが破棄されるのか、受信キュー 0（Best Effort）に格納されるのかは、受信設定レジスタストリームフィルタリング機能選択ビット（RCR.ESF）で設定可能です。

図 45.20 のフロー図は、AVB-DMAC がフレームタイプやセパレーションフィルタに応じて、受信キューを選択する方法を示します。E-MAC がフレーム受信を完了したときに、受信キュー選択処理が開始されます。その結果、フレームは受信 FIFO に適切なキューに格納されるか、破棄されるか決定されます。

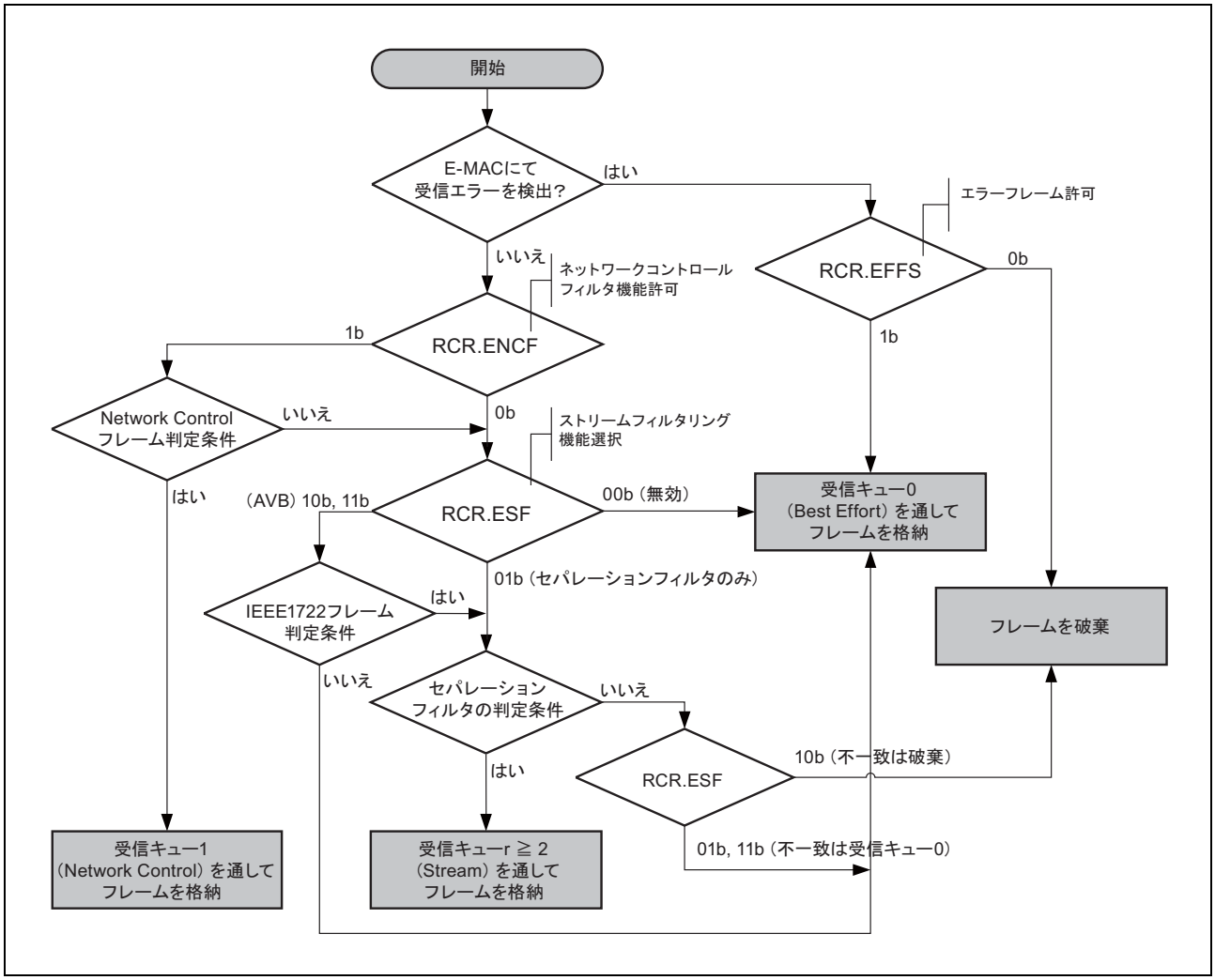


図 45.20　受信キュー選択フロー

注釈：（フロー図内記載事項説明）

- 「Network Control フレーム判定条件」
  イーサネット宛先アドレス（DA）が、01:80:C2:00:00:0E かつ
  イーサネットタイプ（ET）が、88:F7
- 「IEEE1722 フレーム判定条件」
  イーサネット宛先アドレス（DA）が、91:E0:F0:00:00:00 から 91:E0:F0:00:FE:FF までの範囲内かつ
  VLAN タグ付けされた TPID（タグプロトコル識別子）フィールド（VL）が、81:00 かつ
  イーサネットタイプ（ET）が、22:F0
- 「セパレーションフィルタの判定条件」
  「45.3.4.1 (1)　**セパレーションフィルタ**」を参照してください。

図 45.21 に Network Control フレームおよび IEEE1722 フレーム判定に使用するイーサネットフレームのデータ配置図を示します。イーサネットフレームのプリアンブルは考慮していません。

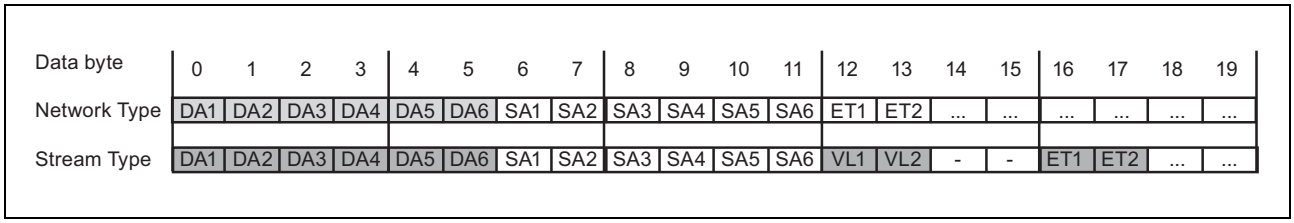


図 45.21　フレーム判定に使用するイーサネットフレームデータ配置

(1) セパレーションフィルタ

セパレーションフィルタは、受信イーサネットフレームの 64 ビット（連続 8 バイト）をチェックします。最初のバイトの設定（セパレーションフィルタオフセット設定レジスタ（SFO.FBP））により、セパレーションフィルタ処理に使用するフレーム部分が選択されます。バイト単位未満のフィルタリングや、ビットマスクが可能な共通フィルタマスク（セパレーションフィルタマスク設定レジスタ（SFMi.CFM））もあります。

例：

セパレーションフィルタに先頭 1 バイトのみを使用する場合、セパレーションフィルタマスク設定レジスタ 0（SFM0.CFM）を H’0000 00FF、セパレーションフィルタマスク設定レジスタ 1（SFM1.CFM）を H’0000 0000 に設定します。

セパレーションフィルタに先頭 7 バイトを使用する場合、セパレーションフィルタマスク設定レジスタ 0（SFM0.CFM）を H’FFFF FFFF、セパレーションフィルタマスク設定レジスタ 1（SFM1.CFM）を H’00FF FFFF に設定します。

注　意

セパレーションフィルタマスクにおいて、“0” にセットされているビットがある場合、パターンと一致させるためにはパターンの該当ビット位置も "0” がセットされている必要があります。「受信フレームデータ＆セパレーションフィルタマスク設定レジスタ（SFMi.CFM）= セパレーションフィルタパターン設定レジスタ (SFPi.FPs)」の条件が真となる場合のみパターン一致と判定します。

図 45.22 に、セパレーションフィルタを示します。受信フレームの選択部分（Rx_Frame[63:0]）は共通フィルタマスクでマスクされます。この値は、すべてのフィルタパターンと比較されます。AVB-DMAC は、一致したフィルタパターンの中から最もキュー番号の小さいキューを選択します。

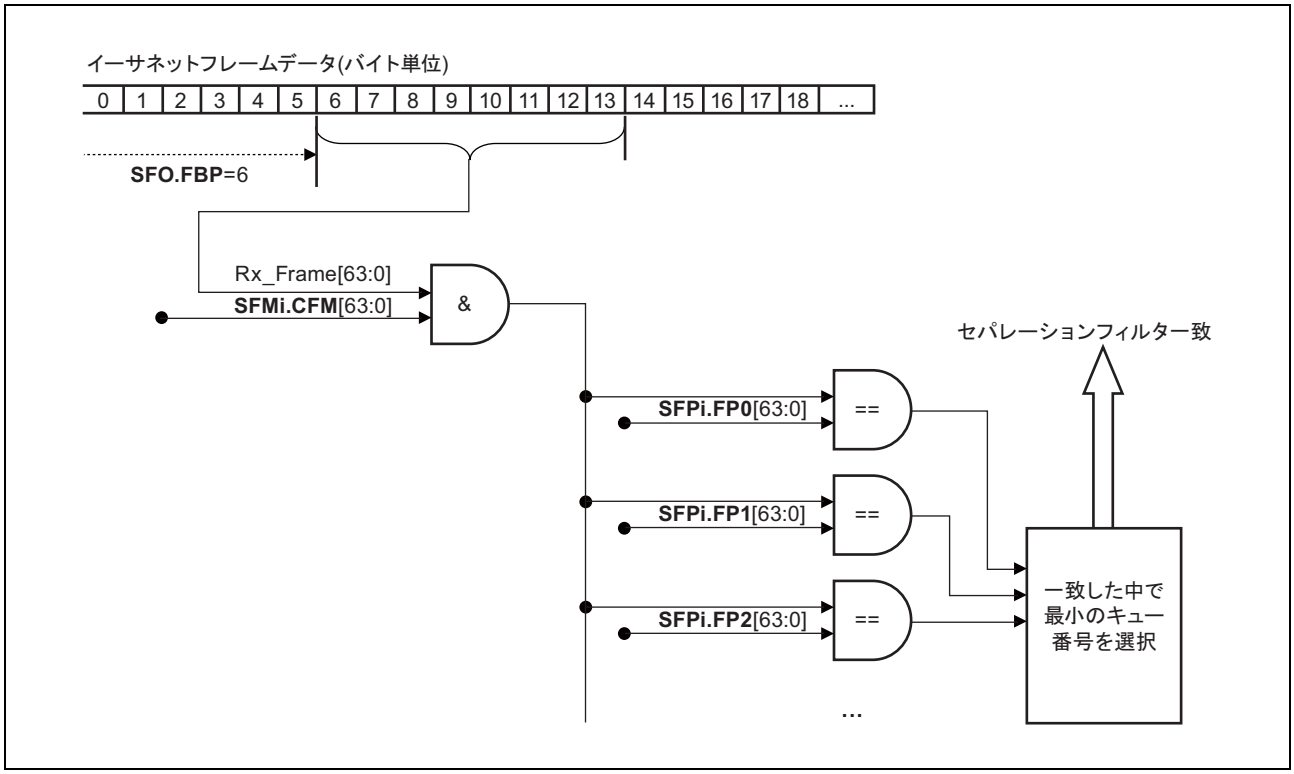


図 45.22　セパレーションフィルタ概要 (SFO.FBP=6 の場合)

(a) 使用フィルタ数の制限

AVB-DMAC では、常にすべてのセパレーションフィルタパターンをチェックします。すべての受信キューを使用する必要が無い場合は、特別なパターンを用意することによって未使用の受信キューにデータが格納されないようにすることが可能です。

例 1：

セパレーションフィルタマスク設定レジスタ（SFMi.CFM）に “H’FFFF_FFFF_FFFF_FFFF” 以外の値を設定し、セパレーションフィルタパターン設定レジスタ (SFPi.FPs) に “H’FFFF_FFFF_FFFF_FFFF” を設定すると、未使用の受信キューにパターン一致が発生することはありません。

例 2：

セパレーションフィルタマスク設定レジスタ（SFMi.CFM）に “H’FFFF_FFFF_FFFF_FFFF” を設定し、セパレーションフィルタパターン設定レジスタ (SFPi.FPs) に受信キュー 2 のパターンと同じ値を設定すると、パターン一致が発生した場合はキュー番号の小さい受信キュー 2 が選択されるため、未使用の受信キューが使用されることはありません。

(2) ストリーム分離

AVB-DMAC では、受信ストリームフレームの振り分けを、セパレーションフィルタによって行っています。AVB ネットワークでは、さまざまな A/V ストリームを 8 バイトのストリーム ID で識別する Talker/Listener のコンセプトが存在します。Talker は 1 つ、または複数のストリームを生成するエンドステーションです。Listener は、最低でも 1 つのストリームのシンクとしての役割を持つエンドステーションです。

AVB ネットワーク内のエンドステーションの数ならびにその役割は、アプリケーションによって異なります。

Stream ID は通常、1 つのストリームを識別する AVB ネットワークの固有パターンです。図 45.23 に、IEEE1722 イーサネットフレームと、Stream ID フィールドのビット配置図を示します。

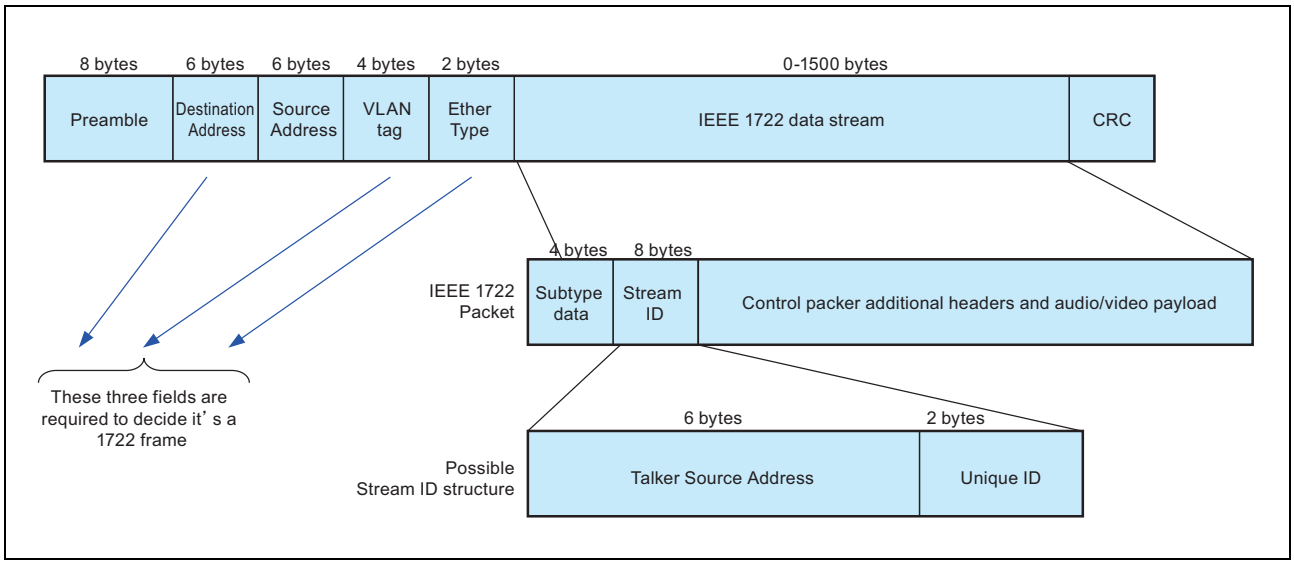


図 45.23　IEEE1722 フレームのレイアウトと Stream ID

IEEE1722 に基づき、Stream ID フィールドは 22 バイト目から開始されます。したがって、IEEE1722 ストリームセパレーションを行う場合はセパレーションフィルタオフセット（**SFO.FBP**）は 22 にセットしてください。セパレーションフィルタマスク（**SFMi**）ならびにセパレーションフィルタパターン（**SFPi**）は、アプリケーション仕様にしたがい設定してください。

例：代表的な Stream ID の使用法としては、Talker の送信元アドレスと Unique ID に分割します。Unique ID は同じ Talker より送信された複数のストリームを識別するために用います。これに基づき、セパレーションフィルタマスクへの設定は 2 種類考えられます。

- それぞれのストリームを個別のキューに分けるには、**SFM0.CFM** を H'FFFF FFFF に、**SFM1.CFM** を H'FFFF FFFF に設定します。
- ストリームを Talker ごとに個別のキューに分けるには、SFM0.CFM を H'FFFF FFFF に、SFM1.CFM を H'0000 FFFF に設定します。これにより、Unique ID がフィルタ条件より除外されることとなります。

45.3.4.2　受信用ディスクリプタ設定手順

受信においては、「45.3.3　ディスクリプタ」記載したディスクリプタが使用されます。
本章では、受信キュー使用時特有の動作について記載します。

(1) 受信ディスクリプタタイプ

ディスクリプタのタイプは、ディスクリプタタイプ（DESCR.DT）で定義されます。

表 45.76 に、受信で使用するディスクリプタタイプを示します。表中のライトバック項目は、ディスクリプタ処理が完了した際に AVB-DMAC がどのように DESCR.DT を変更するかを示します。

表 45.76　受信ディスクリプタタイプ

ディスクリプタタイプ（DESCR.DT）	動作	ライトバック
Frame Start（FSTART）	受信キューの格納スペースがなくなり、受信フレームは格納されません。 RIS2.QFFr で受信フレームが格納されていないことを通知します。 次の受信がある場合、再度このディスクリプタが処理されます。	変更されない
Frame Middle（FMID）	FSTART と同じ	変更されない
Frame End（FEND）	FSTART と同じ	変更されない
Frame Single（FSINGLE）	FSTART と同じ	変更されない
Link（LINK）	**DESCR.DPTR** で指定したディスクリプタに移動します。	LEMPTY
Fixed Link（LINKFIX）	LINK と同じ	変更されない
End Of Set（EOS）	分割フレーム（FMID、FEND 格納中の受信フレーム）の場合、格納が中止され、フレームが失われます。RIS2.QFFr によってフレームが失われたことを通知します。 フレーム開始時（FSTART、FSINGLE 格納中の受信フレーム）でこれが起きると、次のディスクリプタよりフレーム格納が開始されます。 どちらの場合も、チェインの次のディスクリプタへの移動が行われます。	EEMPTY
Frame Empty（FEMPTY）	受信データの格納用に使用されます。 ディスクリプタデータエリアには、最大 **DESCR.DS** バイトが格納されます。 詳細は「45.3.4.3 (1)　フレームデータのディスクリプタデータエリアへの格納」を参照してください。	FSTART、FMID、FEND または FSINGLE
Frame Empty Incremental Start（FEMPTY_IS）	受信データの格納用に使用されます。 残りのフレームデータがすべてディスクリプタデータエリアに格納されます。 **DESCR.DPTR** は、インクリメンタルデータエリアのベースアドレスを示します。 詳細は「45.3.4.3 (2)　インクリメンタルデータエリア」を参照してください。	FEND または FSINGLE
Frame Empty Incremental Continue（FEMPTY_IC）	受信データの格納用に使用されます。 残りのフレームデータバイトがすべてディスクリプタデータエリアに格納されます。 DESCR.DPTR は未定義ですが、前のインクリメンタルデータ処理後のアドレスがベースアドレスとなります。 詳細は「45.3.4.3 (2)　インクリメンタルデータエリア」を参照してください。	FEND または FSINGLE
Frame Empty No Data storage（FEMPTY_ND）	受信データの格納用に使用されます。 受信 FIFO に DESCR.DS バイト分のスペースを確保しますが、格納はされません。処理後に DESCR.DS は 0 としてライトバックされます。 詳細は「45.3.4.3 (2)　インクリメンタルデータエリア」を参照してください。	FSTART、FMID、FEND または FSINGLE
Link Empty（LEMPTY）	FSTART と同じ	変更されない
EOS Empty（EEMPTY）	FSTART と同じ	変更されない

FEMPTY_ND 使用時に受信 FIFO リードエラーが発生した場合、DESCR.EI やキューエラー割り込みステータスビット（EIS.QEF）に反映されません。

このため、不要なデータに関しても受信 FIFO エラーを検知したい場合は FEMPTY を使用してください。

(2) 受信用フレームデータディスクリプタ構成

図 45.24 に、受信キューで使用するディスクリプタ構成を示します。受信固有のフィールドは、通常ディスクリプタでも拡張ディスクリプタでも同じです。

表 45.77 に、受信固有フィールド（DESCR.MSC、DESCR.PS、DESCR.EI、DESCR.TR）について示します。ほかのフィールドやディスクリプタタイプについては、「45.3.3.6　ディスクリプタタイプ」を参照してください。

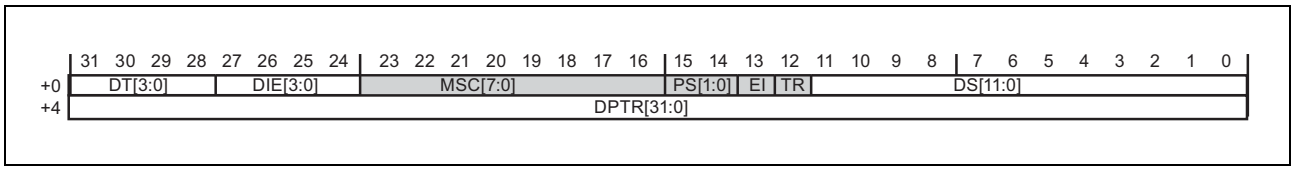


図 45.24　受信フレームのディスクリプタ構成

表 45.77　受信ディスクリプタの構成

ビット名	説明
MSC	MAC Status Code これらのビットは E-MAC が検出した受信エラーを示します。 これらのビットは、ディスクリプタによって分割されたフレーム間で同じ値となります。 各ビットの詳細は以下のとおりです。 MSC[7]：マルチキャストアドレスフレーム受信 MSC[6]：予約ビット MSC[5]：予約ビット MSC[4]：端数ビットフレーム受信 MSC[3]：指定バイト超フレーム受信 MSC[2]：64 バイト未満フレーム受信 MSC[1]：フレーム受信エラー MSC[0]：CRC エラーフレーム受信
PS	Padding Selection フレームデータをインクリメンタルデータエリアに格納するときに、パディングを使用するかどうかを設定します。 パディングデータの挿入は受信パディング設定レジスタ (RPC) で設定可能です。 B’00：パディングなし B’01：RPC に基づき、パディングデータを付加 B’10：設定禁止 B’11：設定禁止
EI	Error Indication このビットは、フレーム格納中にフレームデータにエラーが検出されたかどうかを示します。 エラーが検出されたディスクリプタには “1” がセットされます。分割フレームの場合、フレームデータは破棄されます。 0：エラーなし 1：エラー検出
TR	Truncation Indication このビットは、E-MAC より受信したフレームデータが内蔵 RAM 格納前にトランケートされたかどうかを示します。 これらのビットは、ディスクリプタによって分割されたフレーム間で同じ値となります。 0：トランケーションなし 1：トランケーションが起きた

注　意

E-MAC が検出したエラーを内蔵 RAM に格納するかどうかは RCR.EFFS で設定可能です。エラーフレームの格納が無効な場合、DESCR.MSC にエラーコードは格納されません。

45.3.4.3　受信処理

初期化後、AVB-DMAC は適切な受信キューを選択し、受信したフレームを 内蔵 RAM 上のディスクリプタデータエリアへ格納可能となります。ディスクリプタデータエリアの容量の許すかぎり、内蔵 RAM へ受信データを格納します。

「45.3.4.1 (1)　**セパレーションフィルタ**」に示すアルゴリズムにしたがい、受信したフレームは分類され、受信 FIFO に格納されます。受信 FIFO 格納時には、すでにセパレーションフィルタによるフレームの振り分け、MAC 受信に基づいたトランケーションとフレームの破棄は行われています。受信 FIFO には、以下のデータが格納されます。

- 受信フレームの MAC ステータス
- 受信フレームの長さ
- 受信フレームのタイムスタンプ
- ターゲットの受信キュー
- 受信したフレームデータ

受信 FIFO に 1 つでもフレームがあれば、スケジューラ（「45.3.2.2　**受信と送信のスケジューリング**」を参照してください）が受信キューに格納処理を割り当てます。

受信開始されたキューに 1 つでも空のディスクリプタがあれば、フレーム格納が開始されます。キューがフル状態（空のフレームディスクリプタがない、もしくは未読フレームカウンタ停止レベルに達した）の場合、フレームは受信 FIFO から破棄されます。このため、1 つのキューがフル状態であっても、ほかのキューの処理を妨げることはありません。

(1) フレームデータのディスクリプタデータエリアへの格納

フレーム格納は、以下 2 つのパターンが想定されます。

- フレームデータ全体が、ディスクリプタデータエリアに収まる
  - この場合、ディスクリプタタイプ（DESCR.DT）は FSINGLE となります。
- フレームデータサイズがディスクリプタデータサイズより大きいため、分割されてディスクリプタデータエリアに格納される
  - この場合、ディスクリプタタイプ（DESCR.DT）には、最初のフレームデータは FSTART、その後のフレームデータは、FMID や FEND が書き込まれます。

AVB-DMAC によるディスクリプタタイプの更新はディスクリプタ処理の最後のステップで行われるので、SW は DESCR.DT がライトバックされたディスクリプタに常にアクセスすることができます。

S/W は格納されたフレームを処理したあとに直接、ディスクリプタタイプに FEMPTYxxx を書き込むことができます。FEMPTYxxx に DESCR.DT を書き込んだあとは、ディスクリプタおよびディスクリプタデータエリアのいかなる部分も変更しないようにしてください。

(a)　シングルフレーム

FSINGLE ディスクリプタでは、DESCR.DPTR で定義した位置にフレームデータのすべてが格納されています。DESCR.DS は、受信したフレーム長を示します。

FEMPTY/FEMPTY_ND ディスクリプタは、受信したフレームサイズより DESCR.DS の方が大きい場合、FSINGLE ディスクリプタとして格納されます。

また、常にフレームデータ全体を格納する FEMPTY_IS/FEMPTY_IC ディスクリプタも、FSINGLE ディスクリプタとして格納されます。

(b)　分割フレーム

分割フレームは、シングルフレームと同様の処理が可能です。分割して格納されたフレームを結合して使用してください。DESCR.EI と DESCR.TS は分割フレームの最終ディスクリプタでのみ有効となります。

注　意

4 の倍数バイトではないディスクリプタデータエリアサイズを DESCR.DS に設定した場合は、DESCR.DS に設定されたバイト数のみ受信 FIFO より取り出し、残りは次のディスクリプタにて使われます。

受信フレームを異なるディスクリプタに分割したら、それぞれのフレームデータを別々に処理し、処理後はディスクリプタタイプを SW 用にアサインします。したがって、ディスクリプタチェインの処理中にエラーフレーム（FMID や FEND の代わりに FEMPTYxxx）が存在することもあります。そのような場合、CPU はエラーフレームの処理を該当ディスクリプタの処理完了まで延期するようにしてください。

(c)　データなし

アプリケーション仕様によっては、重要でない受信フレームが存在する場合があります（たとえば、アプリケーションが Ethernet フレームの中のストリームデータのみを必要とする場合など）。分割フレーム格納を使用することで、Ethernet フレームの不要部分を分離することが可能です。

分割フレームの一部を使用しない場合、FEMPTY_ND ディスクリプタを 使用することで不要なデータを内蔵 RAM に格納しないようにできます。

AVB-DMAC は FEMPTY_ND ディスクリプタを処理後、DESCR.DS を 0 とします。
DESCR.DS = 0 は、FEMPTY_ND ディスクリプタ処理後を示す固有のフラグとなります。

(2) インクリメンタルデータエリア

内蔵 RAM 上に受信データ格納領域を確保してください。チェイン内のすべてのディスクリプタデータエリアが内蔵 RAM の連続したエリアに配置されている場合でも、受信フレームがディスクリプタデータエリアより短い場合、空き領域が生まれます。図 45.25 に設定例を示します。

場合によっては連続したデータ配置が有効となるケースがあります（例：受信データが A/V コーデックモジュールとして、HW 以外で処理されているとき）。受信フレームごとにフレームの長さが異なるとき（例：ペイロード内に、1 または 2 の A/V パッケージ）、ディスクリプタポインタを使用するとデータエリアに空き領域が生じることになるので、空き領域を取り除くためにはフレームデータのコピー等の追加処理が必要となります。データコピー予防のため、AVB-DMAC ではインクリメンタルデータエリア機能に対応しています。

インクリメンタルデータエリア使用時、異なるディスクリプタ間で一繋がりのデータエリアを使用します。先頭のディスクリプタ（FEMPTY_IS）がインクリメンタルデータエリアのベースアドレスを定義し、チェイン内の後続のディスクリプタ（FEMPTY_IC）と共に受信データの格納に使用します。図 45.26 に設定例を示します。

インクリメンタルデータエリア使用時もフレームを複数のディスクリプタに分割（例：Ethernet ヘッダ用に 1 つ、ペイロードデータ用に 1 つ）することは可能です。

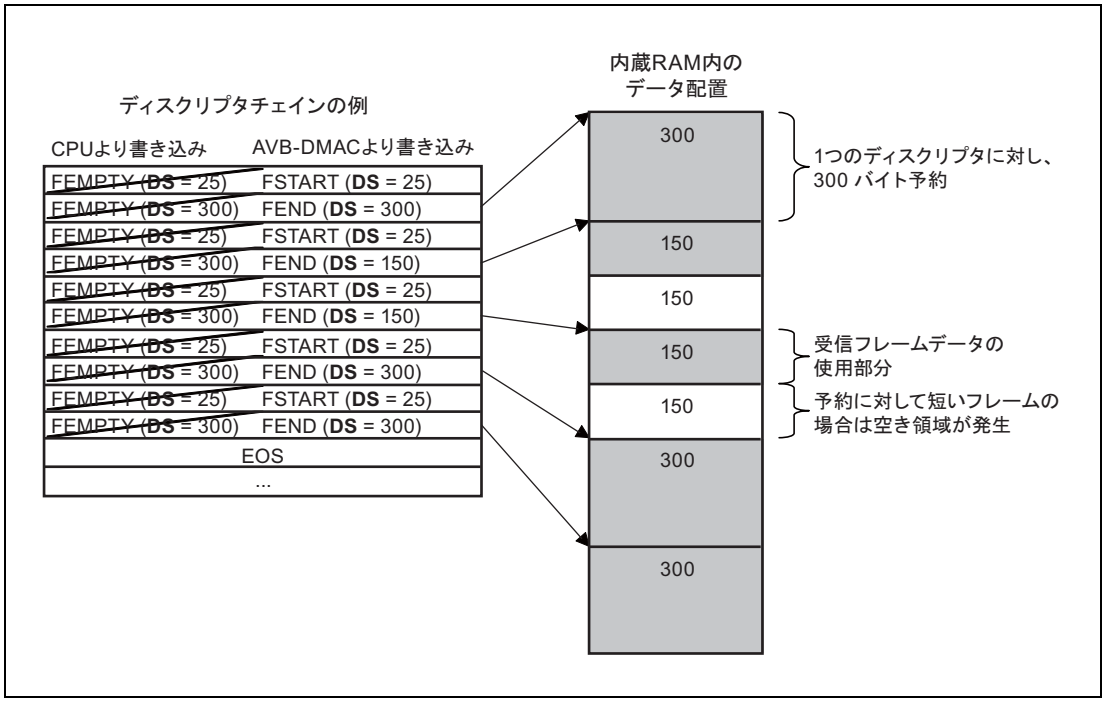


図 45.25　個別のディスクリプタデータエリアを用いた場合

図 45.25 と図 45.26 は、インクリメンタルデータエリアを使用しなかった場合と、使用した場合のディスクリプタチェインの例です。チェインは 25 バイトのヘッダ（今回の例では描画範囲外の内蔵 RAM 領域に格納）と、150 または 300 バイトのペイロード（データソースによって 1 つまたは 2 つの 150 バイトのデータ）で構成される受信フレームを格納するよう設定されています。

図 45.25 には再同期化ポイントの例として EOS ディスクリプタが追加されています。325 バイトより大きいサイズのフレームを受信した場合、フレームは 3 つのディスクリプタに分割されるので、ヘッダ／データのシーケンスは同期していないことになります。フレームは EOS に渡って分割されることはないため、EOS ディスクリプタを追加することによりヘッダ／データの非同期を回避することができます。インクリメンタルデータエリアを使用しているときはインクリメンタルディスクリプタが常に処理中の全データを格納するので、EOS は不要です。

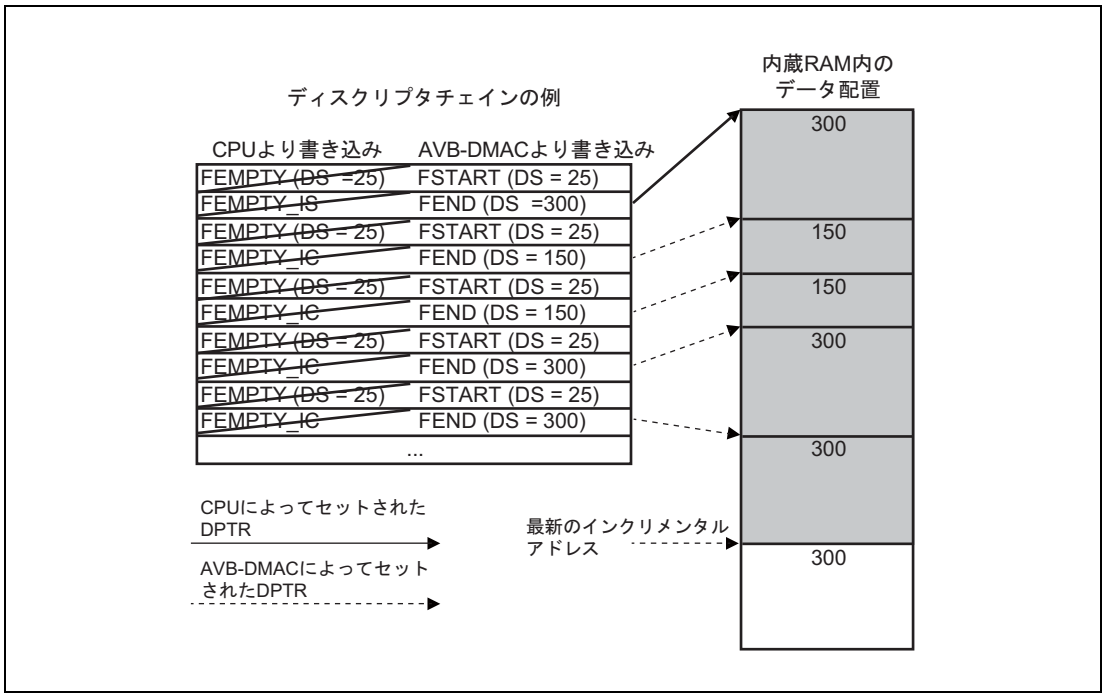


図 45.26　インクリメンタルデータエリアを用いた場合

図 45.26 に示すように、インクリメンタルデータエリアにデータを格納すると、FEMPTY_IC ディスクリプタのディスクリプタポインタ（DESCR.DPTR）を更新します。したがって、処理後に AVB-DMAC によりライトバックされる FEND または FSINGLE ディスクリプタは、FEMPTY ディスクリプタの処理後と同じ形式になります。

SW は、空き領域のない連続した受信データをインクリメンタルデータエリアから取得します。インクリメンタルデータエリアは、4 バイトアライメントで配置する必要があります。このため、インクリメンタルデータエリアに格納される受信データが 4 バイトの倍数でない場合、1 ～ 3 バイトの空き領域がインクリメンタルデータエリアの終端に配置されます。この空き領域については、DESCR.DS で確認可能です。

通常ディスクリプタ（FEMPTY, FEMPTY_ND）では DESCR.DS によって受信データ量を制限することができますが、インクリメンタルディスクリプタ（FEMPTY_IS, FEMPTY_IC）では格納される受信データ量を制限することはできません。インクリメンタルディスクリプタは常に、すべての受信データを格納します。

(a) インクリメンタルデータエリアのセットアップ

ディスクリプタチェイン内に N 個のディスクリプタ（1 つの FEMPTY_IS と N-1 個の FEMPTY_IC）がある場合は、インクリメンタルデータエリアとして N 回分の最大受信データを格納できるだけの領域を確保してください。

図 45.26 に示すように、FEMPTY_IS ディスクリプタの DESCR.DPTR はインクリメンタルデータエリアのベースアドレスを示します。チェイン内の後続の FEMPTY_IC ディスクリプタは、引き続きインクリメンタルデータエリアにデータを格納する必要があることを示します。

(b) ディスクリプタに基づいたインクリメンタルデータエリア処理

CPU によるデータ処理は、AVB-DMAC による格納方法にかかわらず同じのため、インクリメンタルデータエリアに格納されているデータを特別な方法で取り扱う必要はありません。

(c) パディング

目的のアライメントで配置できないようなフレームデータ受信の場合にはパディング機能を使用してください。各ディスクリプタに対し、個別にパディング設定が可能です。したがって、分割フレーム受信の場合、パディングが必要なフレーム部（例：A/V ペイロードデータ）のみにパディング設定することができます。

インクリメンタルデータエリアの効率的な運用（例：非効率的なアクセスを防ぐため、インクリメンタルデータエリアでの受信データを 32 バイト境界にアライメントする）するために使用することもできます。

パディングは、インクリメンタルデータエリアでのみ使用可能です。パディングデータは常に H’0000 0000 を格納します。パディングは、受信パディング設定レジスタの格納パディング数ビット（RPC.PCNT）で設定したワード数（1 ～ 7 の 32 ビットワード）分付加します。このパディングは格納データ数ビット（RPC.DCNT）（1 ～ 255 の 32 ビットワード）に設定された受信データ数ごとに、繰り返し挿入されます。格納データ数（RPC.DCNT）が 0 のときは、繰り返されません。

最初のパディングワードは常に、DESCR.DPTR が指す位置に挿入されます。分割フレームを使用する場合にも、各ディスクリプタに従ってパディングが挿入されます。（例：最初のディスクリプタでは 42 バイトのヘッダデータを扱い、2 番目のディスクリプタではインクリメンタルデータエリアにパディングを挿入したペイロードデータを格納）。

次の図に、パディングデータがどのように挿入されるかの一般的な例、ならびにパディング設定例を示します。図中の A が E-MAC より受信されたフレームデータであり、B がディスクリプタデータエリアに格納されるフレームデータ（32 ビットワード単位）です。

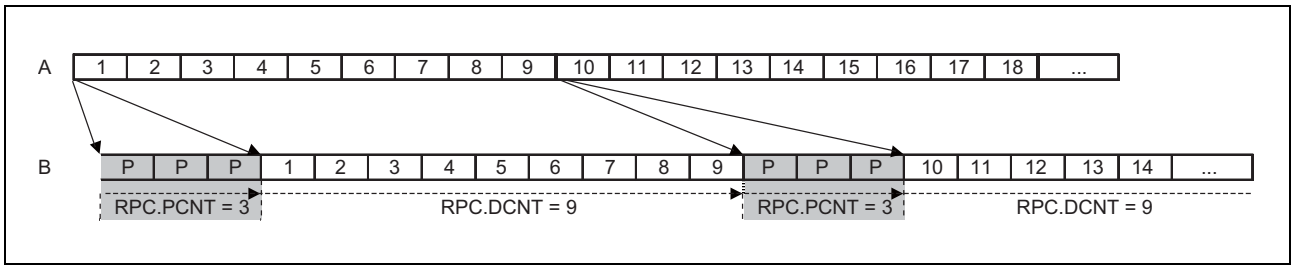


図 45.27　パディングの設定例

ディスクリプタサイズ（DESCR.DS）にはパディングデータと受信したフレームデータの両方が含まれます。

(3) 受信タイムスタンプサポート

受信タイムスタンプの取得は、IEEE802.1AS タイム同期化処理にとって非常に重要です。ほかの受信フレームもアプリケーションによっては、受信タイムスタンプが付随することが必要な場合もあります。AVB-DMAC は、受信フレームの SFD（Start Frame Delimiter）の発生時にキャプチャしたタイムスタンプを最終フレームデータディスクリプタ（FEND, FSINGLE）に格納することで、gPTP タイマに基づいた受信タイムスタンプを提供します。gPTP タイマについては、「45.3.7.1　gPTP タイマ」を参照してください。

タイムスタンプの格納が必要な場合、受信キュー全体に、拡張ディスクリプタを使用してください。受信キュー 1（ネットワーク制御）ではタイムスタンプが必ず格納されます。受信キュー 0（ベストエフォート）と受信キュー r（r >= 2）（ストリームデータ）では、受信設定レジスタのタイムスタンプ許可ビット（RCR.ETS0, RCR.ETS2）によって、設定可能です。

45.3.4.4　未読フレームカウンタ

各受信キューには個々の未読フレームカウンタ（UFCVi）があります。受信キュー設定レジスタの未読フレームカウンタ設定ビット（RQCi.UFCCr）により、4 つの未読フレームカウンタ停止レベルが選択できます。“0” 設定は、停止レベル機能なしとなります。設定方法については図 45.28 を参照してください。

AVB-DMAC（HW 側）と CPU（SW 側）の相互作用に基づいた未読フレームカウンタ（UFC）機能：

- HW 側が、未読フレームカウンタに新しいフレームがディスクリプタチェインに追加されたことを通知する（HW インクリメント）。
- SW 側が、未読フレームカウンタにディスクリプタチェインからフレームが幾つ処理されたかを通知する（SW デクリメント）

未読フレームカウンタは内蔵 RAM 内の格納フレームに基づいているため、受信フレームが異なるディスクリプタに分割しても、1 だけインクリメントされます。ディスクリプタチェインのデータ不良の場合、未読フレームカウンタは「**45.3.4.4 (1)　未読フレーム（UFC）同期の喪失**」のように同期が損なわれることがありますので、ご注意ください。

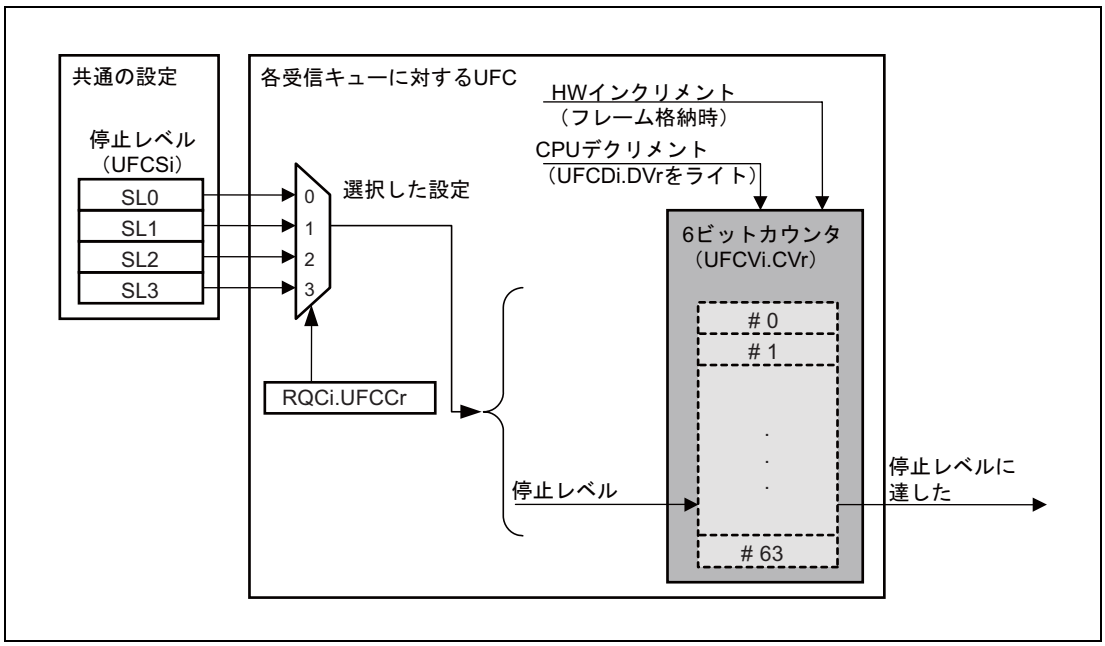


図 45.28　未読フレームカウンタ概要

キュー固有の未読フレームカウンタは、現在の未読フレームカウンタ値（UFCVi.CVr）と、停止レベルについての情報を示します。

停止レベルに到達した場合、受信フレームはディスクリプタチェインに格納されません。停止レベルに 0 を設定した場合、停止機能は無効となります。未読フレームカウンタが停止レベルに達したとき、受信したフレームは破棄されます。未読フレームカウンタ停止機能が働いた場合、受信割り込みステータスレジスタ 2 の受信キューフル割り込み（RIS2.QFFr）がセットされます。

動作モードがコンフィグモードのときに、未読フレームカウンタ停止レベル設定レジスタ（UFCS）を設定し、未読フレームカウンタ機能を使用する受信キューの設定を行ってください。

(1) 未読フレーム（UFC）同期の喪失

未読フレームカウンタは、内蔵 RAM へのフレーム格納中における障害を認識できません。フレームがディスクリプタチェインに正常に格納されるかどうかとは関係なく、受信 FIFO から取得された各フレームに対しインクリメントされます。

以下の条件により、HW/SW の同期を喪失する場合があります：

- 未読フレームカウンタが最大値に達した場合

  未読フレームカウンタレジスタ i（UFCVi）（i=0 ～ 4）が 63 のとき、同期が失われた可能性があります。
  停止レベルが 63 に設定されているときのみ、同期の喪失が起きなかったと断定できます。

- ディスクリプタチェインに空のディスクリプタが見付からなかった場合

  この場合は受信割り込みステータスレジスタ 2（RIS2）の受信キューフル割り込みフラグ（RIS2.QFFr）がセットされます。
  未読フレームカウンタが停止レベルに到達した場合にも受信割り込みステータスレジスタ 2（RIS2）の受信キューフル割り込みフラグ（RIS2.QFFr）はセットされます。

- メモリアクセス中に問題が生じた場合

  結果として、未読フレームカウンタがディスクリプタチェインで実際に使用可能な数以上のフレームをフラグ付けし、同期が失敗してしまうことがあります。動作用に正常な開始ポイントを得るために、関連するキューのディスクリプタベースアドレスロード要求（DLR.LBAq）を使用してください。

45.3.5　送信制御

送信用ディスクリプタを格納するために、内蔵 RAM 上にエリアを確保する必要があります。（ディスクリプタについては、「45.3.3　ディスクリプタ」を参照してください）

AVB-DMAC は、ディスクリプタに記述された方式にしたがって、フェッチ処理を行います。ディスクリプタは、送信フレームのタグ情報も保持しています。これらのタグ情報は、SW と AVB-DMAC 間のステータスとタイムスタンプ情報の関連性を維持するために使用されます。送信処理終了後は、送信されたフレームに対するステータスやタイムスタンプ情報にアクセスすることが可能です。

45.3.5.1　送信モード

AVB-DMAC は、2 種類の送信モードをサポートしています。

- AVB 送信モード（送信設定レジスタ 送信キュー優先度（TGC.TQP[1:0]）が “B’01” または “B’11”）
- 非 AVB 送信モード（送信設定レジスタ 送信キュー優先度（TGC.TQP[1:0]）が “B’00”）

(1)　AVB 送信モード

AVB 送信では、出力ポートにてトラフィックを制御するために、様々なトラフィッククラスをサポートしています。

(a)　トラフィッククラスへの対応、ならびに優先順位

AVB 送信モードでは、ストリームトラフィックを送信する際、FQTSS と呼ばれる AVB 仕様にしたがいます。（FQTSS の詳細については、IEEE802.1Q 仕様を参照してください）

AVB 規格では、最小で 1 つの Stream Reservation（SR）キューと 1 つの非 SR キューが存在し、最優先キューが SR トラフィックに予約されます。

AVB-DMAC では、4 種類のトラフィッククラスに対応しています。SR クラス A、SR クラス B、ネットワークコントロール（NC）トラフィック（gPTP フレーム）、ベストエフォート（BE）トラフィックの 4 種類です。ネットワークコントロール（NC）フレーム用の特別なキューを使用することで、同期制御を保証しています。

AVB-DMAC では、AVB 規格を実現するため、以下のキュー（トラフィッククラス）のアーキテクチャに対応しています。

- 4 つの送信キュー（Q3, Q2, Q1, Q0）が使用可能
- Q3、Q2 は、ストリームを対象（それぞれ、クラス A, クラス B 用）
- Q1 は、低帯域幅のネットワークコントロール（NC）トラフィックを対象（gPTP フレーム）
- Q0 は、そのほかのタイプのトラフィックを対象（MSRPDU 注 1, MVRPDU 注 2, ベストエフォート（BE）など）

注　意

1. MSRPDU：Multiple Stream Registration Protocol Data Unit
2. MVRPDU：Multiple VLAN Registration Protocol Data Unit

上記のキューの優先順位によって、キューをフェッチする順番が決定されます。優先順位は、送信設定レジスタの送信キュー優先度（TGC.TQP[1:0]）で設定することができます。AVB モード 1（送信キュー優先度（TGC.TQP[1:0]）= B’01）が基本の優先方式で、AVB 仕様

通りの動作となります。AVB モード 2（送信キュー優先度（TGC.TQP[1:0]）= B’11）は代替の優先方式となり、AVB 仕様通りではありませんので、注意してご使用ください。

表 45.78　AVB 送信モードでのデフォルト、ならびに代替の優先順位

優先方式（AVB モード）	キューの優先順位
AVB モード 1	**Q3**（SR クラス A）> **Q2**（SR クラス B）> **Q1**（NC）> **Q0**（BE）
AVB モード 2	**Q1**（NC）> **Q3**（SR クラス A）> **Q2**（SR クラス B）> **Q0**（BE）

(b)　送信を選択するアルゴリズムと CBS

AVB-DMAC が送信するフレームを選択する際には、IEEE802.1Q の規定にしたがって実施します。AVB モードは、クラス A とクラス B の SR キュー（Q3、Q2）に対して、CBS（Credit Based Shaping）のアルゴリズムが適用されます。この CBS（Credit Based Shaping）により、所定の SR キュー送信が可能になります。（CBS（Credit Based Shaping）アルゴリズムについては「45.3.6　CBS（Credit Based Shaping）」を参照してください）

以下の条件をすべて満たす場合、所定時間に SR キュー（Q3, Q2）を選択し送信します。

- キュー中に、少なくとも送信可能なフレームが 1 つある。
- キューがクレジットを所持している。
- 他に高優先キューが存在しない（送信可能な状態でない）

条件が以下の場合は、非 SR キュー（Q1, Q0）が選択されます。

- キュー中に、少なくとも送信可能なフレームが 1 つある。
- 他に、高優先キューが存在しない（送信可能な状態でない）

図 45.29、図 45.30 に、AVB モード 1、AVB モード 2 の送信選択アルゴリズムフローを示します。

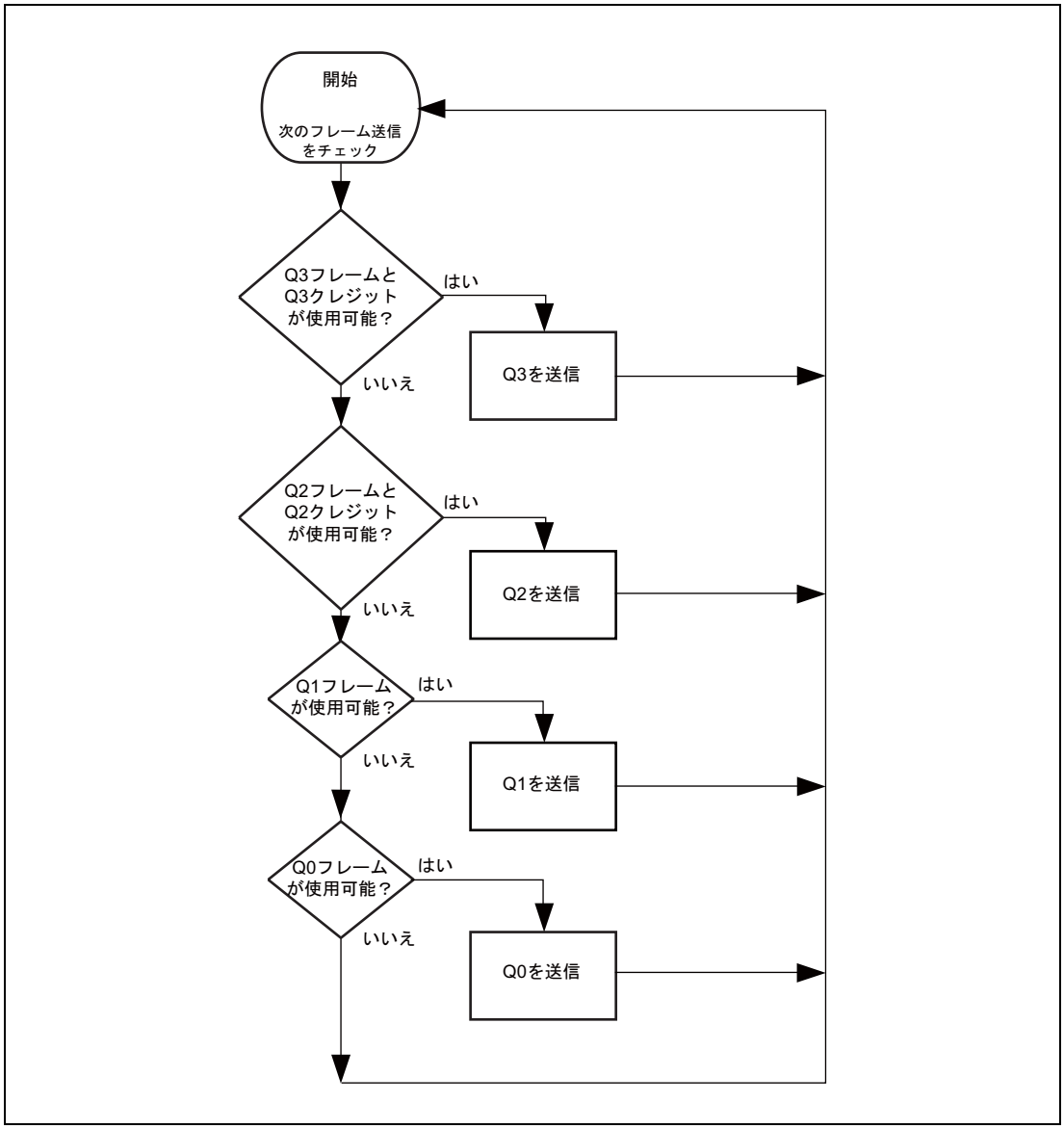


図 45.29　AVB モード 1 の送信選択フロー

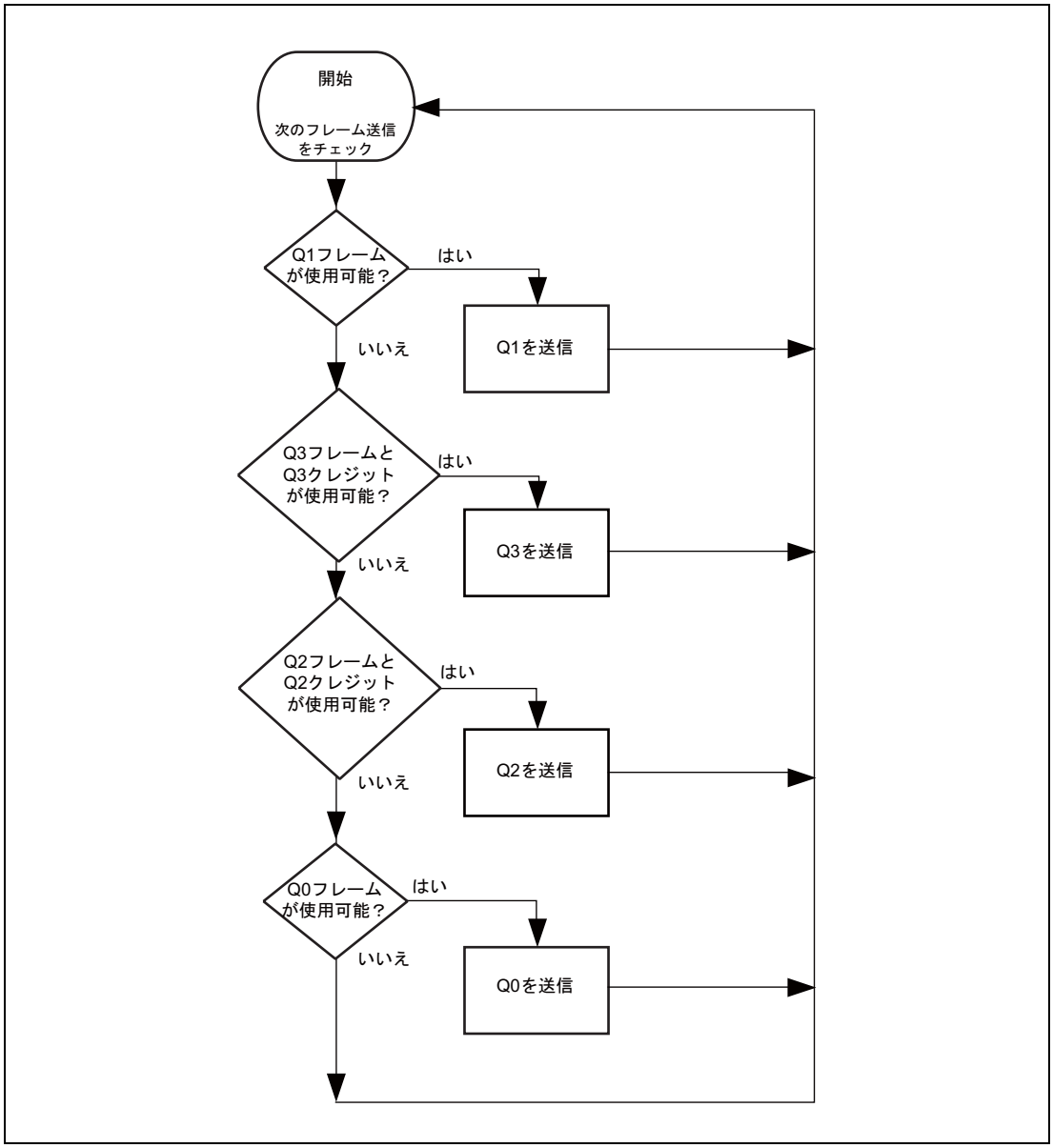


図 45.30　AVB モード 2 の送信選択フロー

(2) 非 AVB 送信モード

非 AVB 送信モードでは、絶対優先方式が適用されます。SR クラスには対応していません。（CBS 無効）

非 AVB 送信モード（送信設定レジスタの送信キュー優先度（TGC.TQP[1:0]）が “B’00”）の場合、Q3 > Q2 > Q1 > Q0 の優先順位でフェッチし、送信します。

図 45.31 に、非 AVB 送信モードの選択アルゴリズムフローを示します。

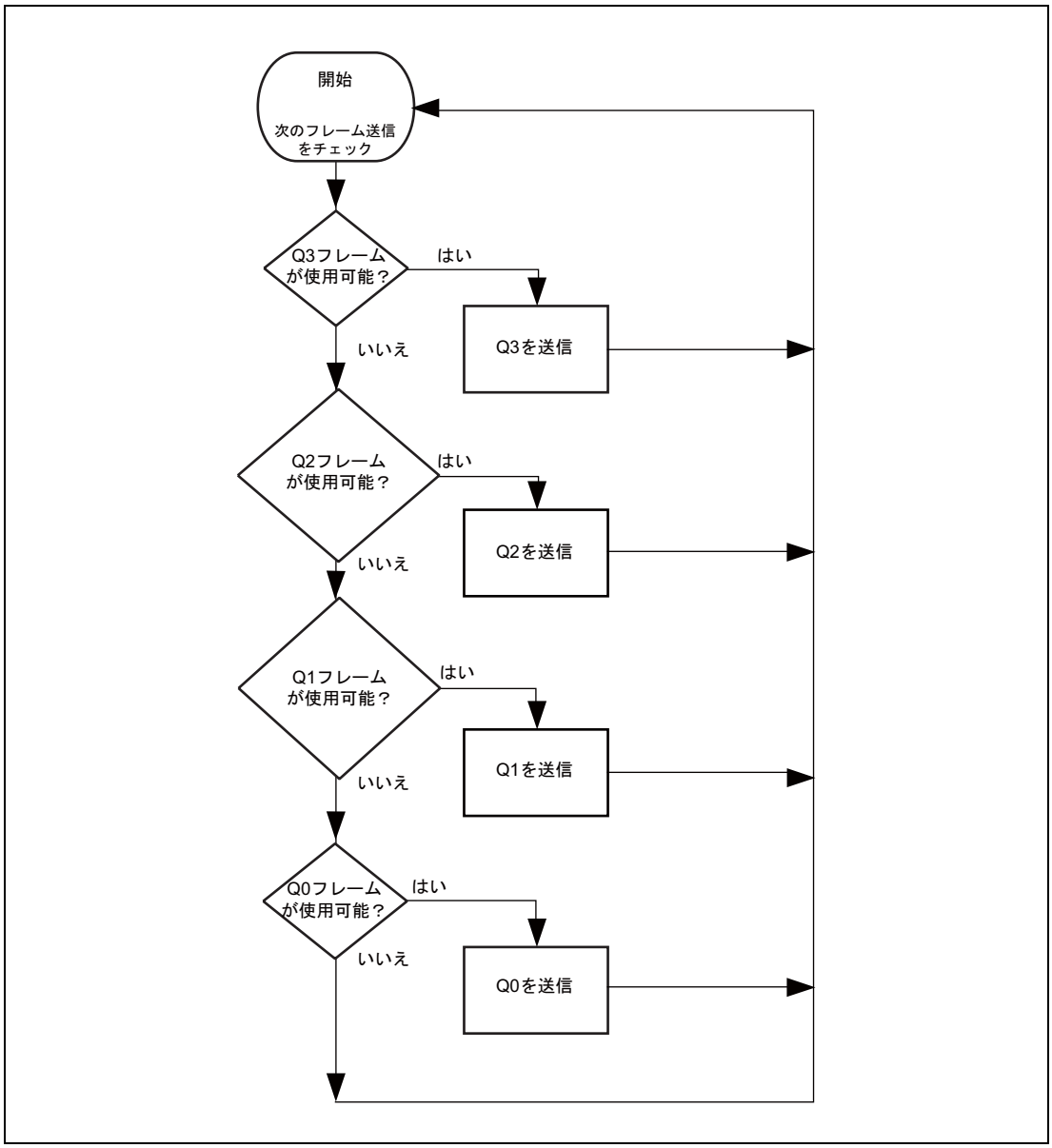


図 45.31　非 AVB モードの送信選択フロー

(3) 送信 FIFO サイズ設定

送信 FIFO は、124 クラスタ搭載されています。それぞれのクラスタは、最大 128 バイトまで格納することができます。

それぞれの送信キュー q の送信 FIFO サイズは、送信制御レジスタの送信キュー設定 q（TGC.TBDq）で設定できます。キュー q が送信する最大フレーム長に応じて、必要なクラスタの最大数を求めることができます。

キュー t がすでに TGC.TBDt に設定したフレームサイズ分のデータを保持している場合でも、E-MAC がキュー t から転送開始すると AVB-DMAC は次のフレームをキュー t に読み込みます。このため、クラスタには、各送信キューに設定した最大フレームサイズの合計 +1 フレーム分のデータ領域を確保する必要があります。

一般的な使用例：

Q0：最大 1500 バイトのフレーム→ 1500 / 128 = 11.7 → 12 クラスタ

Q1：最大 1024 バイトのフレーム→ 1024 / 128 = 8.0 → 8 クラスタ

Q3：最大 1996 バイトのフレーム→ 1996 / 128 = 15.6 → 16 クラスタ

Q4：最大 1996 バイトのフレーム→ 1996 / 128 = 15.6 → 16 クラスタ

すべての送信キューの深さが 2 のとき、次の数だけ、クラスタが必要となります：

2 * （12 + 8 + 16 + 16）+ 16 = 2 * 52 + 16 = 120

使用するクラスタ数が 124 クラスタ以内に収まるように各キューのフレーム長を調整してください。

45.3.5.2　送信用ディスクリプタ設定手順

(1)　送信用ディスクリプタ設定手順

ディスクリプタのタイプは、ディスクリプタタイプ（DESCR.DT）で定義されます。

表 45.79 に、送信で使用するディスクリプタタイプを示します。表中のライトバック項目は、ディスクリプタ処理が完了した際に AVB-DMAC がどのように DESCR.DT を変更するかを示します。

表 45.79　送信ディスクリプタタイプ

ディスクリプタタイプ（DESCR.DT）	動作	ライトバック
Frame Start（FSTART）	分割フレームの最初のフレームデータをフェッチし、次のディスクリプタに移ります。	FEMPTY
Frame Middle（FMID）	分割フレームの 2 番目以降のフレームデータをフェッチし、次のディスクリプタに移ります。	FEMPTY
Frame End（FEND）	分割フレームの最後のフレームデータをフェッチします。 送信 FIFO にフェッチしたフレームデータを E-MAC で送信できるようになると、次のディスクリプタに移ります。	FEMPTY
Frame Single（FSINGLE）	フレームデータをフェッチします。 送信 FIFO にフェッチしたフレームデータを E-MAC で送信できるようになると、次のディスクリプタに移ります。	FEMPTY
Link（LINK）	DESCR.DPTR で指定したディスクリプタに移ります。	LEMPTY
Fixed Link（LINKFIX）	LINK と同じ	変更されない
End Of Set（EOS）	送信開始要求ビット（TCCR.TSRQt）をクリアし、送信キューを停止します。 TCCR.TSRQt に “1” を再設定（新しい送信開始要求）すると、次のディスクリプタに移ります。	EEMPTY
Frame Empty（FEMPTY）	送信開始要求ビット（TCCR.TSRQt）をクリアし、送信キューを停止します。 TCCR.TSRQt に “1” を再設定（新しい送信開始要求）すると、再度このディスクリプタが処理されます。	変更されない
Link Empty（LEMPTY）	FEMPTY と同じ	変更されない
EOS Empty（EEMPTY）	FEMPTY と同じ	変更されない

(2) 送信用フレームデータディスクリプタ構成

図 45.32 に、送信キューで使用するディスクリプタ構成を示します。

表 45.80 に、送信固有フィールド（DESCR.TSR、DESCR.TAG）について示します。ほかのフィールドやディスクリプタタイプについては、「45.3.3.6　ディスクリプタタイプ」を参照してください。

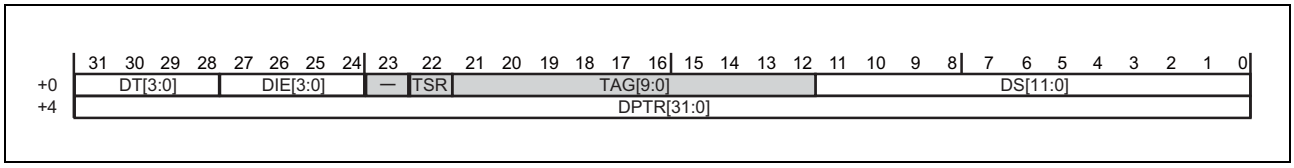


図 45.32　送信フレームのディスクリプタ構成

表 45.80　送信ディスクリプタの構成

ビット名	説明
TSR	タイムスタンプ格納要求 このビットは送信タイムスタンプをタグ情報と共に EthernetAVB 内に格納するかを指定する 0：EthernetAVB 内のタイムスタンプステータス FIFO に送信タイムスタンプを格納しない 1：EthernetAVB 内のタイムスタンプステータス FIFO に送信タイムスタンプを格納する このビットは DESCR.DT が FEND または FSINGLE のときのみ制御してください。
TAG	フレームタグ この TAG フィールドは、それぞれのフレームデータのステータスやタイムスタンプとの関連付けのために使用されます。フレーム TAG は必須ではなく推奨となっています。 このビットは DESCR.DT が FEND または FSINGLE のときのみ制御してください。

タイムスタンプ FIFO 機能については、「45.3.5.4　送信タイムスタンプ」を参照してください。

45.3.5.3　送信処理

(1)　フレーム送信

送信設定制御レジスタの送信開始要求ビット（TCCR.TSRQt）をセットすると、該当する送信キューに対してフレーム転送を開始します。

まず、カレントディスクリプタアドレス q（CDARq.CDA）に対するディスクリプタを読み込みます。

このディスクリプタがフレーム送信用のディスクリプタ（FSINGLE など）の場合、AVB-DMAC はディスクリプタデータエリア領域からフレームデータをフェッチし、ディスクリプタタイプ（DESCR.DT）に「処理済み（FEMPTY 等）」をライトバックしたあとに次のディスクリプタ処理に進みます。

ディスクリプタが送信用でないディスクリプタの場合は、その指示にしたがい処理します。（ディスクリプタについては、「45.3.3　ディスクリプタ」を参照してください）

ディスクリプタチェイン処理中に、ロードベースアドレス要求が発行された場合（ディスクリプタベースアドレスロード要求レジスタの処理中の送信キュー q（DLR.LBAq）に “1” を設定）、新しいディスクリプタチェイン（テーブルアドレスビット (DBAT.TA) + 8*q）に進みます。ベースアドレスをロードすることでフレームフェッチを割り込んでしまうことはありませんが、古いチェイン中のフェッチされなかったフレームは残りますので注意が必要です。

図 45.33 に送信中のディスクリプタ処理について示します。表中の ”Fxxx” はフレームデータディスクリプタ (FSTART, FMID, FEND, FSINGLE) を表します。

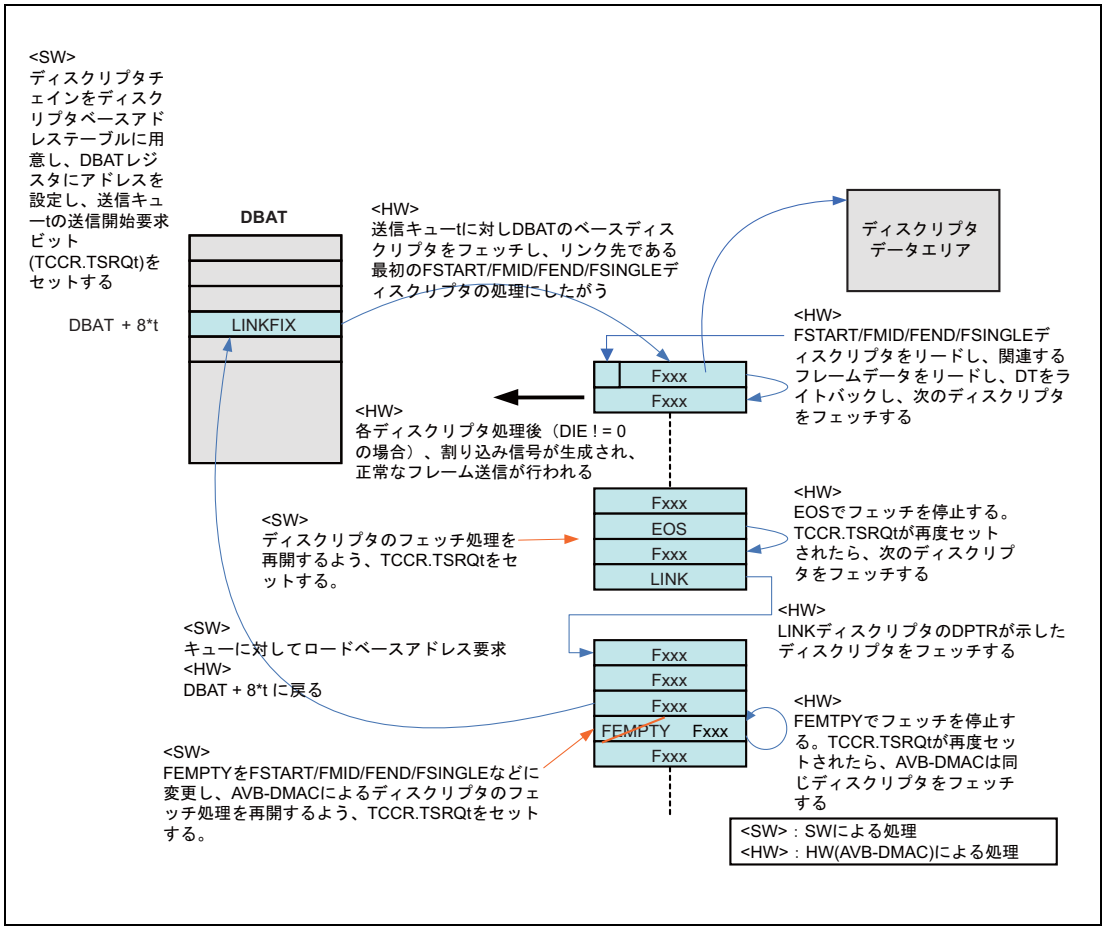


図 45.33　送信中のディスクリプタ処理

(2) ディスクリプタ使用例

(a) 即時フレーム送信

即時フレーム送信とは、SW によりデータがキューに追加された時点で、AVB-DMAC によるフェッチが開始する方式です。HW/SW 同期化の停止ポイントには FEMPTY ディスクリプタを使用します。

送信準備として、SW は FEMPTY ディスクリプタからなるディスクリプタチェインを作成します。その後のフローを図 45.34 に示します。

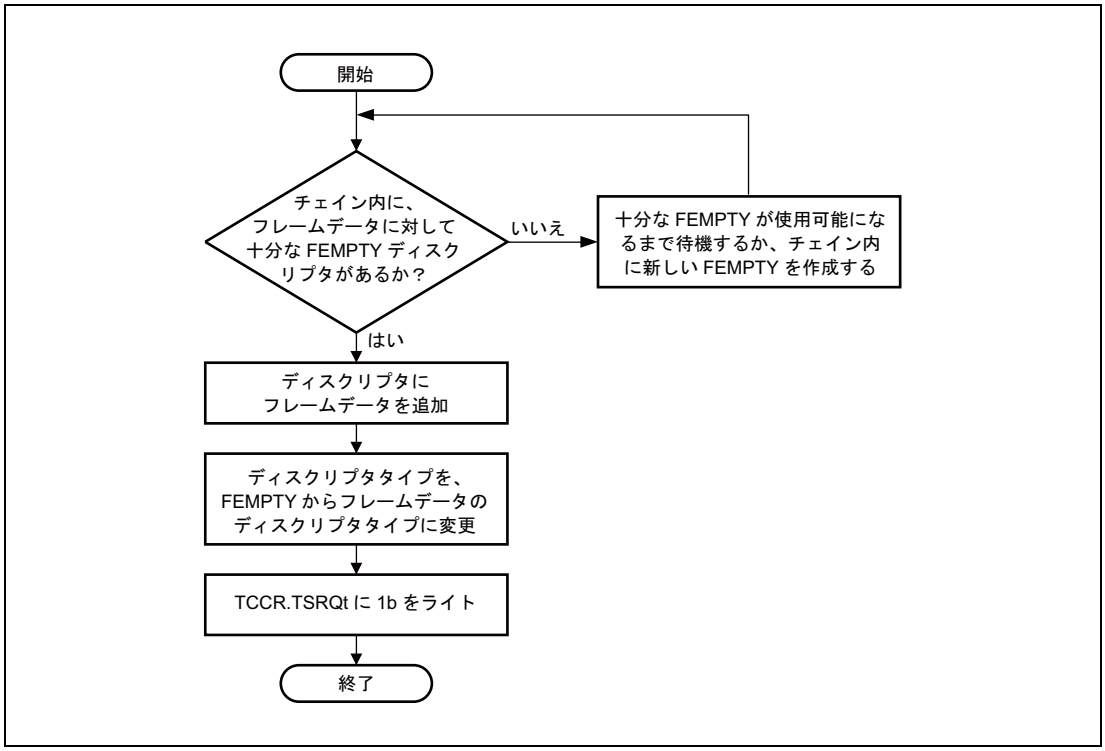


図 45.34　即時フレーム送信 SW フロー

分割フレーム処理を行う場合、ディスクリプタタイプの変更は FEND から FSTART へさかのぼるように行ってください。こうすることで、AVB-DMAC が分割フレームのフェッチを開始した時点でフレームデータを含むすべてのディスクリプタが準備済みであることが保証されます。

分割フレーム送信における、SW と AVB-DMAC 動作例を図 45.35 に示します。図中の SW による処理と HW による処理はそれぞれ独立して行われます。このため、AVB-DMAC がフレーム n のフェッチ中であっても、SW はフレーム n+1 のディスクリプタの準備を行うことができます。

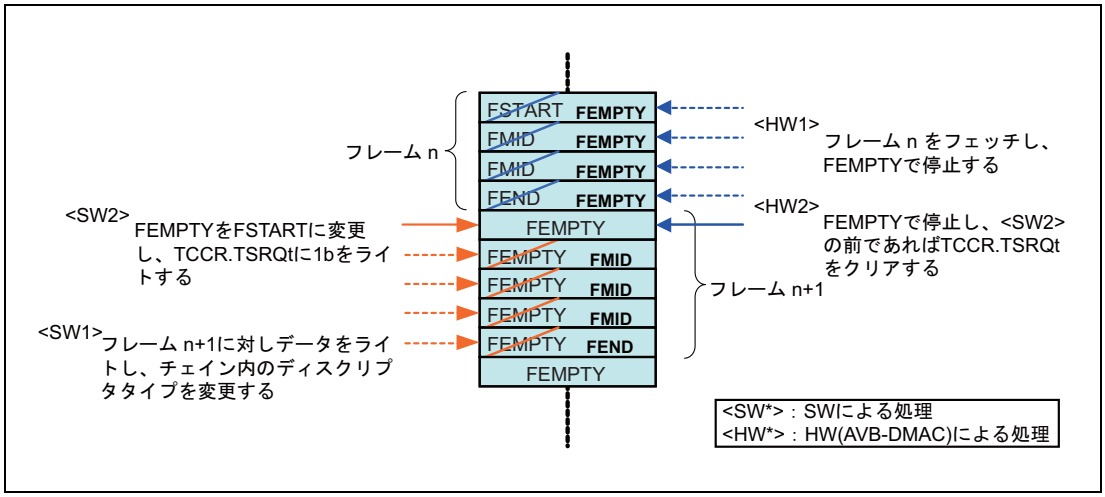


図 45.35　即時フレーム送信における SW/AVB-DMAC 動作例 (分割フレーム)

(b)　アクティブディスクリプタチェインの切り替えによるフレームセット送信

この方式は、即時にデータ送信するのではなく、SW 制御の帯域幅確保などのために遅延させて送信する場合に使用します。停止ポイントには EOS ディスクリプタを使用します。

送信準備として、SW は FEMPTY ディスクリプタからなるディスクリプタチェインを作成します。その後のフローを図 45.36 に示します。

最初の SW タスクにより、送信フレームの生成およびディスクリプタチェインへの追加が行われ、EOS ディスクリプタが挿入されます。

2 つ目の SW タスクにより準備した送信ディスクリプタの送信トリガ処理を行います。これにより、トリガ 1 回あたり 1 つのフレームセットが送信されることが保証されます。

2 つのタスク間で特別な同期処理は不要です。送信開始要求ビット（TCCR.TSRQt）がセットされた時点で、フレームセットの準備が不十分な場合は準備されている分だけ送信します。キューに何も準備されていない場合は送信要求のクリアのみを行います。

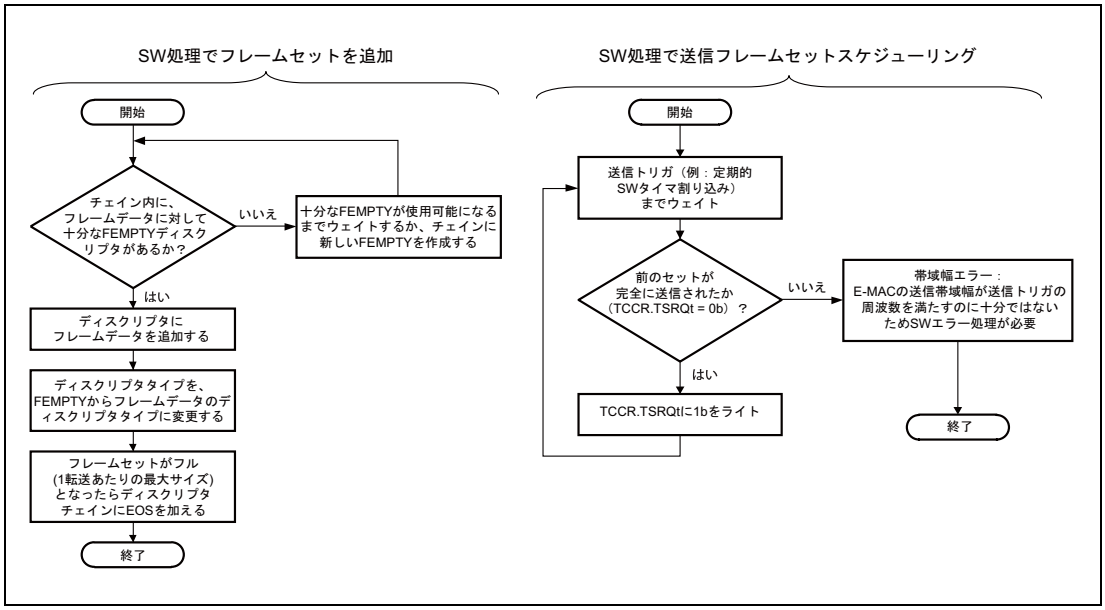


図 45.36　アクティブディスクリプタチェイン切り替えフレームセットの送信 SW フロー

与えられた時間内において、SW が更新しているディスクリプタチェイン領域は AVB-DMAC で使用することはないため、分割フレームのためのディスクリプタタイプの変更は任意の順番で行うことができます。

本方式における、SW と AVB-DMAC 動作例を図 45.37 に示します。

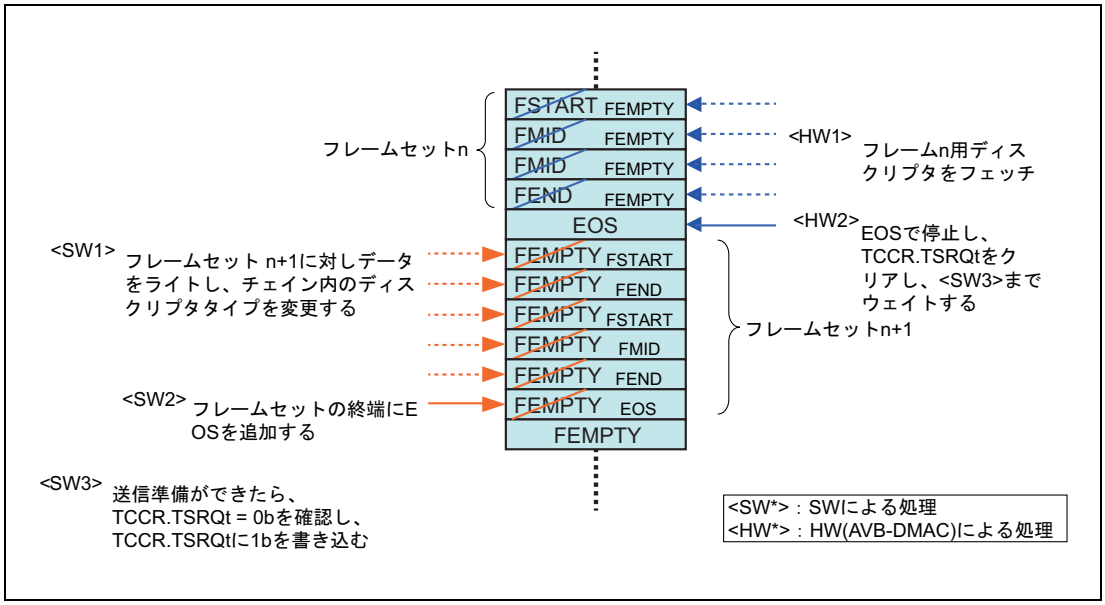


図 45.37　アクティブディスクリプタチェイン切り替えフレームセット送信における SW/AVB-DMAC 動作例

(c)　シャドウディスクリプタチェインを用いたフレームセット送信

この方式は、即時にデータ送信するのではなく、SW 制御の帯域幅確保などのために遅延させて送信する場合に使用します。アクティブ、シャドウの 2 つ以上のディスクリプタチェインを使用します。HW がアクティブチェイン処理している間に、SW はシャドウチェインのフレームデータやディスクリプタの準備を行います。停止ポイントには EOS もしくは FEMPTY ディスクリプタが使われます。

送信準備として、SW は FEMPTY ディスクリプタからなるシャドウディスクリプタチェインを作成し、アクティブチェインにフレームデータディスクリプタを作成します。その後、送信開始要求ビット（TCCR.TSRQt）をセットすることによりアクティブチェインの送信を開始します。アクティブチェインの送信実行中、SW はシャドウチェインのフレームデータの準備を行うことができます。この方式での SW フローを図 45.38 に示します。

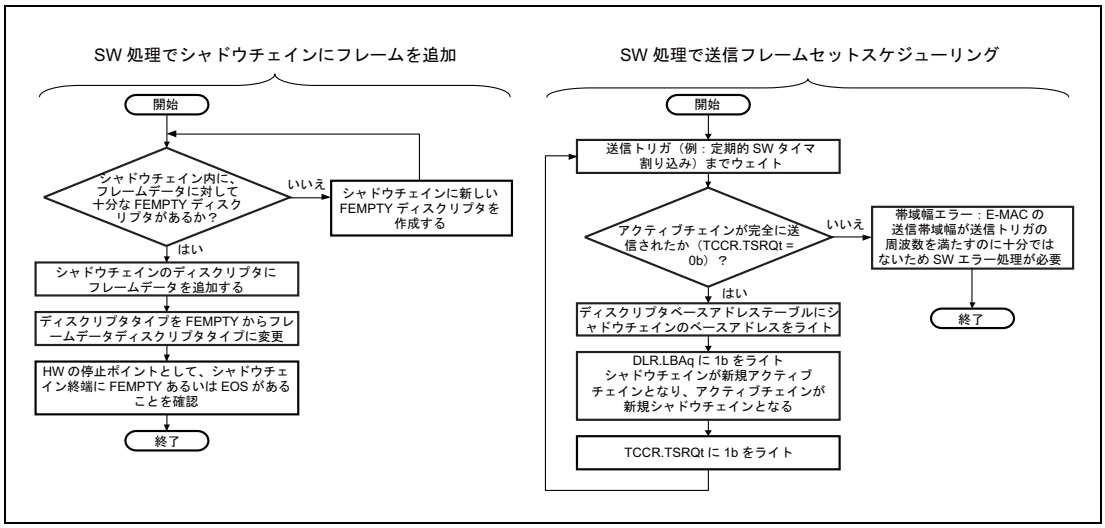


図 45.38　シャドウディスクリプタチェインを用いたフレームセットの送信 SW フロー

本方式における、SW と AVB-DMAC 動作例を図 45.39 に示します。

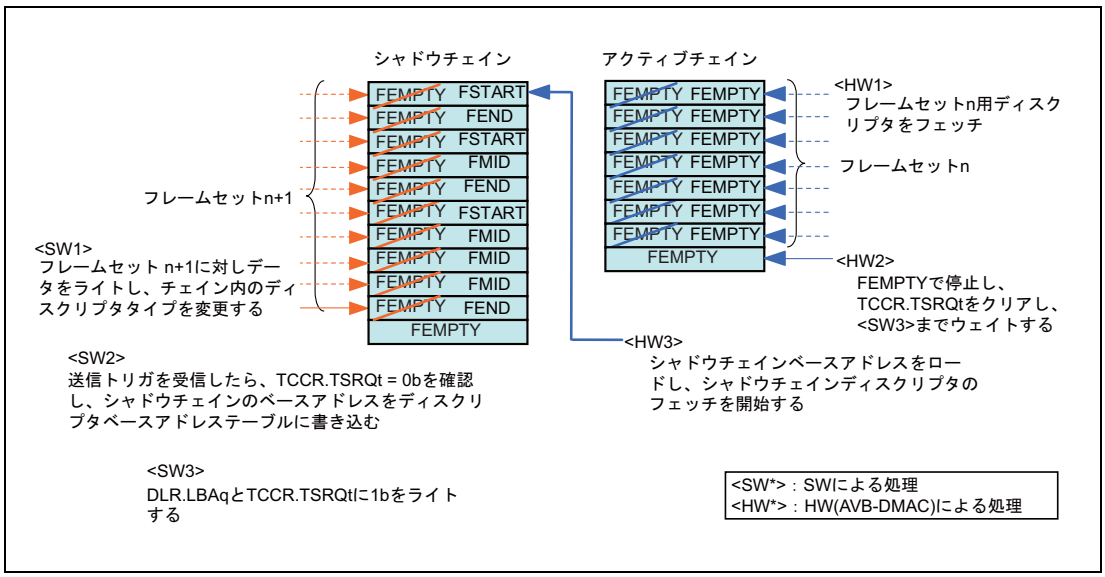


図 45.39　シャドウディスクリプタチェインを用いたフレームセット送信 SW/AVB-DMAC 動作例

45.3.5.4　送信タイムスタンプ

送信タイムスタンプは、IEEE802.1AS 時刻同期処理を行うに当たって重要な情報です。送信タイムスタンプは、ほかのアプリケーション等においても、参照することができます。AVB-DMAC は、送信フレームの Start of Frame Delimiter（SFD）発生時にキャプチャされたタイムスタンプをタイムスタンプ FIFO に格納することで、gPTP タイマをベースとした送信タイムスタンプを供給します。

タイムスタンプ格納要求フィールド（DESCR.TSR）が 1 でタイムスタンプが格納されるとき、送信フレームの最終ディスクリプタ（FEND、FSINGLE）のタグフィールド（DESCR.TAG）に定義しているタグ番号も格納されます。タグ番号とともにタイムスタンプ値が格納されるため、フレームの識別や関連付けを容易に行うことが可能となります。タイムスタンプ FIFO には、いつでもアクセス可能です。

使用方法を以下に示します。

1. タイムスタンプが必要なフレームに対して、内蔵 RAM 上にディスクリプタおよびフレームデータを作成します。タグフレームフィールド（DESCR.TAG）にてフレームにタグ番号を付与し、タイムスタンプ格納要求フィールド（DESCR.TSR）を 1 にします。
2. AVB-DMAC がディスクリプタをフェッチ、解析します。タイムスタンプ格納要求フィールド（DESCR.TSR）が 1 の場合、AVB-DMAC はこのフレーム送信時にタイムスタンプの格納が必要であることを認識します。
3. AVB-DMAC がフレームデータをフェッチし、スケジューリング用に送信 FIFO に格納します。
4. 送信スケジューラ（CBS（Credit Based Shaping）などの優先順位設定）が、送信するフレームを決定します。
5. EthernetAVB がフレームの送信を開始します。
6. 送信時の Start of Frame Delimiter（SFD）によって、gPTP のタイムスタンプがキャプチャされ、フレーム送信完了時にタグフレームフィールド（DESCR,TAG）とともにタイムスタンプ FIFO に格納されます。タイムスタンプ更新割り込みを許可している場合、割り込みによってタイムスタンプの更新が通知されます。
7. タイムスタンプ FIFO からタイムスタンプを取得します。

IEEE802.1AS 時刻同期のフレームに対し、タイムスタンプ FIFO を使用してください。ほかのフレームに対しても、タイムスタンプ機能を使用することはできますが、タイムスタンプ FIFO がオーバフローしないよう注意してください。タイムスタンプ FIFO がフルになった場合、それ以降の送信におけるタイムスタンプは格納されません。

タイムスタンプ FIFO 操作における SW フローを図 45.40 に示します。図中の START ブロックの開始フラグには、タイムスタンプ FIFO 更新割り込みステータスビット（TIS.TFUF）やタイムスタンプ FIFO 警告割り込みステータスビット（TIS.TFWF）を使用します。

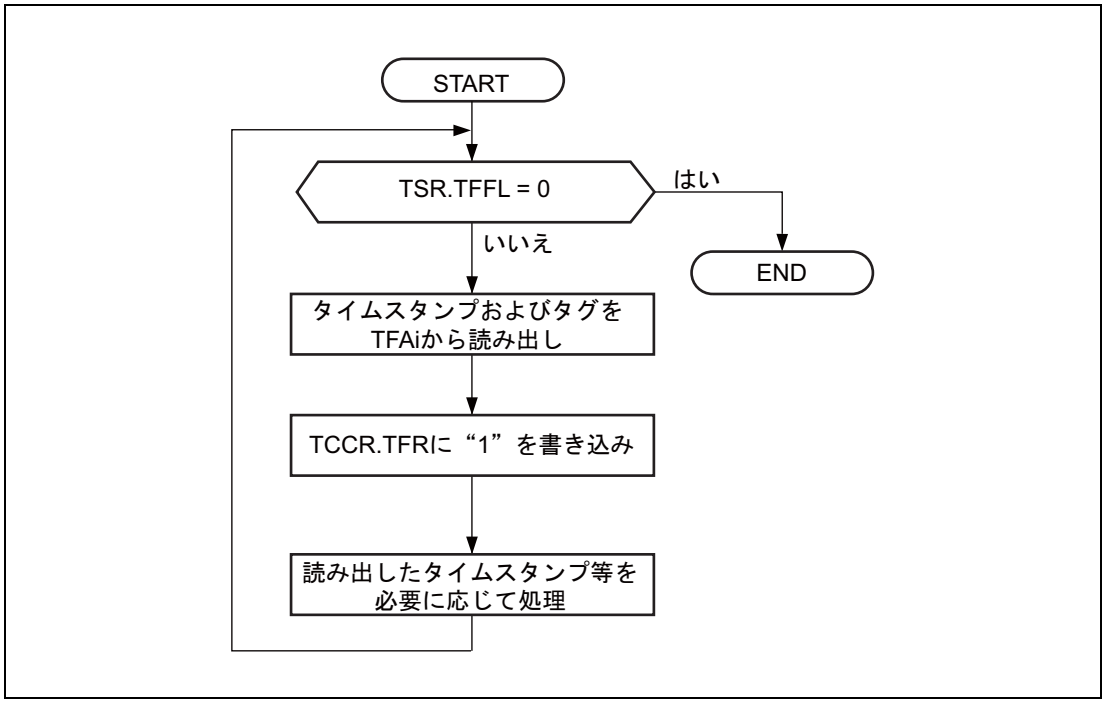


図 45.40　送信タイムスタンプ処理フロー

タイムスタンプ FIFO のエントリをすべてリリースするとタイムスタンプ FIFO 更新割り込みステータスビット（TIS.TFUF）やタイムスタンプ FIFO 警告割り込みステータスビット（TIS.TFWF）は AVB-DMAC によりクリアされます。このため、割り込みフラグをクリアする必要はありません。

異なるキューで複数フレームをタイムスタンプ付きで送信する場合、タイムスタンプ FIFO へ格納される順番は送信されるフレーム順に依存します。

45.3.6　CBS（Credit Based Shaping）

AVB 送信モード（送信設定レジスタ 送信キュー優先度（TGC.TQP が “B’01” か “B’11”））では、送信キュー Q3 と Q2 はそれぞれクラス A とクラス B ストリームトラフィックに対応し、FQTSS（IEEE802.1Q 第 34 章、または第 8.6.8 章参照）規格を満たすために、CBS（Credit Based Shaping）アルゴリズムを適用して送信キューを選択します。

このアルゴリズムは、それぞれのキューに対する送信クレジット（キューが所定の時間に送信される「権利」の量のことをいいます）の考え方に基づいています。それにまた、IEEE802.1Q に規定されている AVB 送信モードでは CBS アルゴリズムの対象となるキューは、以下の条件を満たした場合に送信可能となります。

- キューに 1 つ以上のフレームが格納されている
- キューに対するクレジットが 0、または正の値である

送信キューに対するクレジットは、送信 FIFO に 1 つ以上のフレームがある（AVB-DMAC ステータスレジスタ 送信プロセスステータス t（CSR.TPOt = 1））時にキューが送信されていないとインクリメントされ、キューに対して送信中になるとデクリメントされます。このメカニズムにより、キューごとの送信データ量が、そのキューに割り当てられている一定の最大帯域幅を超えないように、送信をコントロールしています。

IEEE802.1Q では CBS アルゴリズムが動作するそれぞれのキューに対して、以下のパラメータを定義しています。

portTransmitRate：外部ポートへの最大送信データレート。このパラメータは E-MAC によって決まります。

bandwidthFraction：キューが使用可能な portTransmitRate の最大比率。

idleSlope：キューが送信されておらず、クレジットの値が増えているときの、キューに対するクレジットの変化率（ビット／秒）。一定の条件（フレームの連続ストリームが使用可能〔IEEE802.Q Annex L 参照〕）下で、idleSlope はそのキューに対して使用可能な帯域幅の合計（portTransmitRate）の最大比率にも等しくなります。
idleSlope = bandwidthFraction * portTransmitRate

sendSlope：キューが送信され、クレジットの値が減っているときの、キューに対するクレジットの変化率（ビット／秒単位）。sendSlope の値は次のように定義される：
sendSlope = idleSlope – portTransmitRate

さらに、IEEE802.Q Annex L にアルゴリズムが記載されているそれぞれのトラフィッククラス（キュー）では次の値を定義しています。

maxFrameSize：該当するトラフィッククラスに対し、ポートから送信することができる最大のフレームサイズ（ビット単位）

maxInterferenceSize：該当するトラフィッククラスに対し、遅延させることが可能な最大のバーストサイズ（ビット単位）

hiCredit：クレジット値の最大値（正数）。以下の式にて求めることができる：
hiCredit = maxInterferenceSize *（idleSlope / portTransmitRate）

loCredit：クレジット値の最小値（負数）。以下の式にて求めることができる：
loCredit = maxFrameSize *（sendSlope / portTransmitRate）

CBS アルゴリズム動作と、上記パラメータについて、図 45.41 に示します。図中の Frame 0 送信後のように、送信可能状態でキューに未送信のフレームが存在しない場合、クレジットは 0 になります。

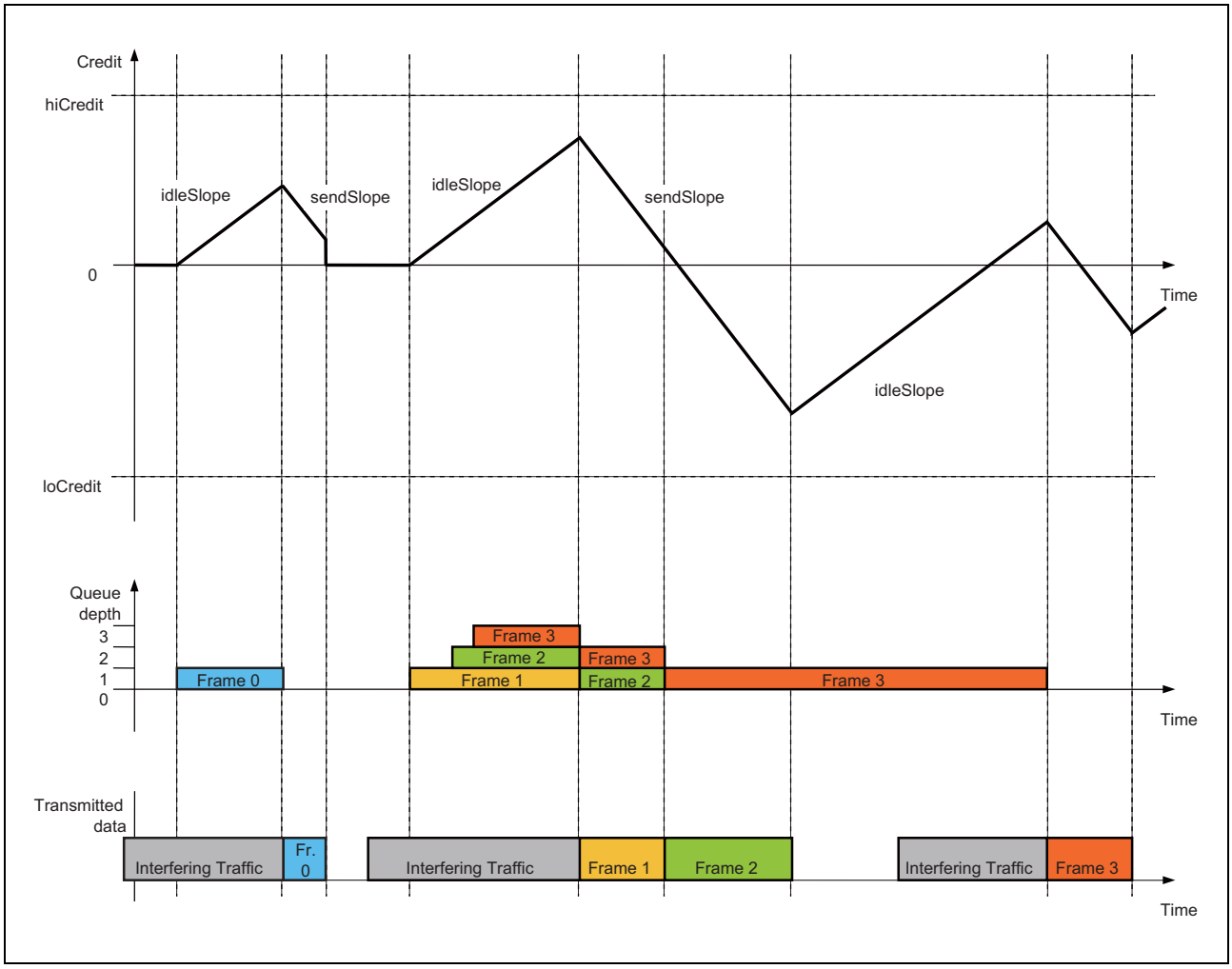


図 45.41　CBS（Credit Based Shaping）動作

AVB-DMAC における CBS（Credit Based Shaping）動作について、図 45.42 に示します。

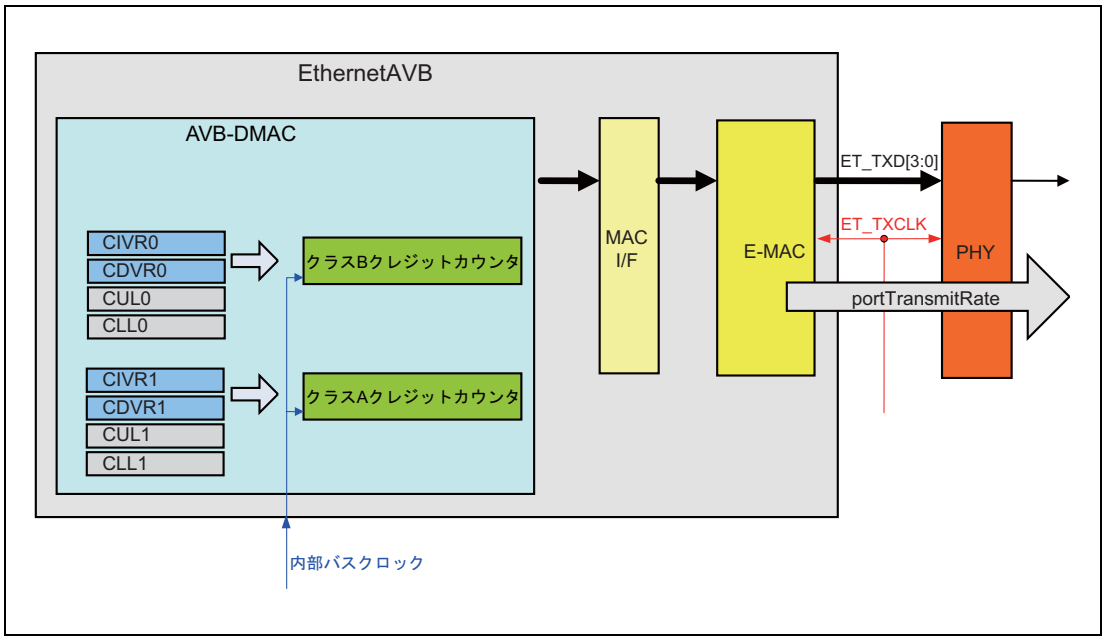


図 45.42　AVB-DMAC における CBS（Credit Based Shaping）動作

AVB-DMAC における CBS 動作は各トラフィッククラス（SR クラス A とクラス B）の「クレジットカウンタ」に基づいています。それぞれのクラスには次のパラメータを適用します。

CBS インクリメント値（CIV）：符号つき正数：キューが送信されていない（idleSlope）ときに内部バスクロックサイクルごとにクレジットをインクリメント

CBS デクリメント値（CDV）：符号つき負数：キューが送信されている（sendSlope）ときに、内部バスクロックサイクルごとにクレジットをデクリメント

CBS インクリメント値（CIV）、CBS デクリメント値（CDV）は、次のように定義されます。

CIV = idleSlope * Mfactor

CDV = sendSlope * Mfactor

Mfactor は正確性が失われないような CIV と CDV にするための乗数です。CIV と CDV は最終的に以下の式により算出します。

CIV = （portTransmitRate / Bφ）* bwFraction * Mfactor

CDV = （portTransmitRate / Bφ）*（bwFraction - 1）* Mfactor

クレジットカウンタは内部バスクロック (Bφ) で動作しており、CBS の slope パラメータを求めるため、(1/Bφ) が必要となります。

Mfactor は CBS パラメータ用に算出する必要があります。同じクラスでは、CBS パラメータはすべて同じにしてください。あるクラスに対する Mfactor は、そのクラスに対してペンディング中の送信がない（AVB-DMAC ステータスレジスタ送信プロセスステータス（CSR.TPOt=0））場合にかぎり、動作中に変更することが可能です。この場合はクラスのク

レジットカウンタ値 =0 が保証されています。もしクレジットカウンタ ≠ 0 のときに Mfactor が変更された場合、クレジット値は新しいインクリメント／デクリメントパラメータと一致しなくなりますので、ご注意ください。AVB-DMAC には Mfactor 設定用レジスタは存在しません。

CIV と CDV パラメータは、CBS インクリメント値レジスタ（CIVRc）と CBS デクリメント値レジスタ（CDVRc）にセットしてください。ストリームが IEEE802.1Qat にしたがって登録、抹消されたときに動的に更新する必要があります。

クレジットカウンタは内部バスクロック (Bφ) 動作なのに対して、フレーム送信は送信クロックによって行われるためにフレーム送信の開始時、終了時にずれが発生します。

このため、フレーム送信後にクレジットが余分に蓄積されます。蓄積されるクレジットの最大値は 1 Bφ 間に増加されるクレジット値であり、Tx Port transmit Rate in Mbps * Bφ と等しくなります。

SW はこのことを考慮し、帯域を確保する必要があります。

AVB-DMAC では、クレジット値をモニタリングするため、CBS 上限値レジスタ（CULc）（クラス A と B のための上限レジスタ）と CBS 下限値レジスタ（CLLc）（クラス A と B のための下限レジスタ）があります。上記に定義したそれぞれのクラスに対する上限値（hiCredit）と下限値（loCredit）に対してクレジット値に一致するように Mfactor を乗算した値を設定してください。

CUL = hiCredit * Mfactor = maxInterferenceSize * bwFraction * Mfactor

CLL = loCredit * Mfactor = maxFrameSize * （bwFraction - 1）* Mfactor

例

各パラメータを、portTransmitRate = 100 Mbps、Bφ = 130 MHz、bwFraction = 3%、とすると idleSlope と sendSlope は以下のようになります。

idleSlope = （portTransmitRate / Bφ）* bwFraction = 100Mbps / 130MHz * 3% = 0.023 (ビット／Bφ)

sendSlope = idleSlope – （portTransmitRate / Bφ）= –0.746(ビット／ Bφ)

Mfactor = 100 とすると、CIV と CDV パラメータは以下になります。

CIV = idleSlope * Mfactor = 23

CDV = sendSlope * Mfactor = –74.6

45.3.6.1　CIV / CDV / Mfactor 制限

CBS レジスタに設定可能な CIV/CDV の最大値は、クレジットカウンタがオーバフローしない最大（負数の場合は最小）値によって決まります。このクレジット最大値は hiCredit 値のワーストケースに相当し、クラス A とクラス B では以下のようになります：

＜条件＞

- クラス A 最大値（hiCredit_max_classA）
  classA bwFraction ≅ 100% かつ、送信優先順位の関係上、最大サイズの 1 フレーム分待機した場合のため以下になります。
  hiCredit_max_classA ≅ クラス A の maxInterferenceSize = 最大サイズの 1 フレーム分待機 = header + max-size payload + CRC（2000 bytes）+ preamble（8 bytes）+ IFG（12 bytes）+ processing_delay （~80 bytes）≅ 2100 bytes
- クラス B 最大値（hiCredit_max_classB）
  classB bwFraction ≅ 100% かつ、送信優先順位の関係上、送信キュー（クラス A）およびそのほかの送信キューでそれぞれ最大サイズの 1 フレーム分待機した場合のため以下になります。
  hiCredit_max_classB ≅ クラス B の maxInterferenceSize = 最大サイズの 2 フレーム分待機 = 2* hiCredit_max_classA ≅ 4200 bytes

ビット単位では以下になります。

hiCredit_max_classA = 16800

hiCredit_max_classB = 33600

32 ビット符号つきカウンタで扱うことのできる範囲は $[-2^{31} \sim 2^{31}-1]$ のため、オーバフローしないよう設定可能な Mfactor の最大値は以下のようになります。

Mfactor_max_classA = 2^{31}-1 / hiCredit_max_classA ≅ 127826

Mfactor_max_classB = 2^{31}-1 / hiCredit_max_classB ≅ 63913

これにより狭い帯域幅でも高い精度が得られます。（クラス B において bandwidthFraction = 0.05% で帯域幅エラー＜ 0.1%）

CIV の最大値は、次の数式から算出します。

CIV = idleSlope x Mfactor = （portTransmitRate / Bφ）* bandwidthFraction x Mfactor

このため、Mfactor が最大、かつ bandwidthFraction 最大（~100%）の場合は以下になります。

CIV_max_classA = （portTransmitRate / Bφ）* Mfactor_max_classA

CIV_max_classB = （portTransmitRate / Bφ）* Mfactor_max_classB

portTransmitRate = 100Mbps で Bφ = 130 MHz の場合は以下のようになります。

CIV_max_classA ≅ 98328

CIV_max_classB ≅ 49164

portTransmitRate ならびに内部バスクロック周波数の例を**表 45.81** に示します。この表では単に計算結果を記載していますが、実際に値を設定する際は、32 ビットクレジットカウンタがオーバフローしないよう CIV の値を制限する必要があります。AVB-DMAC において、

CIV パラメータは、16 ビット＋符号ビットとして実装されているため、クラス A とクラス B のどちらにおいても CIV ≦ 65535 とする必要があります。

表 45.81　クラス A とクラス B キューの CIV パラメータの最大値の例

portTransmitRate	Bφ[MHz]	CIV_max_classA	CIV_max_classB
100Mbps	100	127826	63913
100Mbps	125	102260	51130
100Mbps	133	96109	48054

45.3.6.2　IFG 中のクレジットのインクリメント

AVB-DMAC における CBS クレジットカウンタでは、フレーム送信後のインターフレームギャップ（IFG）をフレーム送信動作の一部としていません。IFG 中は、ペンディング中のフレームあるいは負数のクレジットを持つすべての SR キューに対しクレジットがインクリメントされます。図 45.43 に IFG 中のクレジット動作について示します。

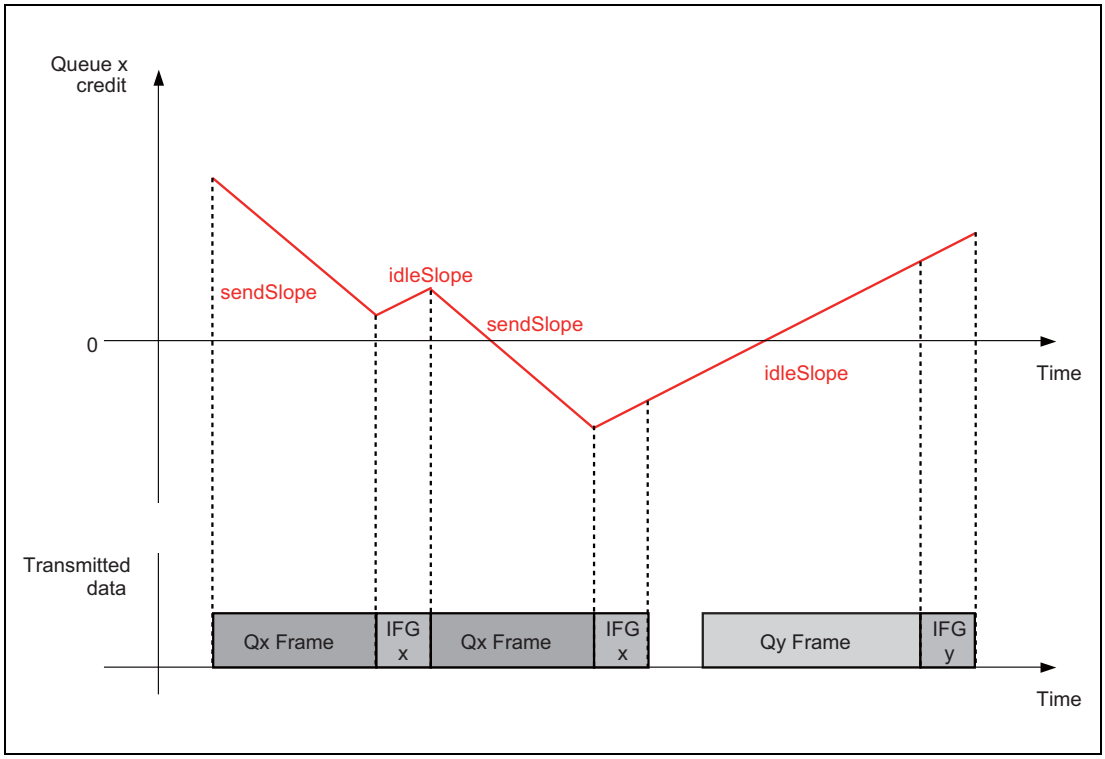


図 45.43　IFG 中のクレジットの動作

idleSlope、sendSlope、そして CIV と CDV パラメータを決定するにあたり所定の SR クラスにおいて帯域幅を計算するときに IFG を含む必要はありません。しかしすべての SR クラスの合計帯域幅割り当てが portTransmitRate の 100% を超えないことを確認する場合は、IFG も計算に含める必要があります。

45.3.6.3　CBS 設定例

Ethernet フレーム中、クラス A の 48 kHz ステレオオーディオストリームを例に説明します。

フレーム内のオーディオデータには、6 つの 32 ビットサンプルが 2 セットに加え、32 オクテットのヘッダを合わせた 80 オクテットが、クラス A 測定間隔（125 us）のたびにフレームごとに格納されています。IEEE Std 802.3 では、42 オクテットのメディア固有のフレームオーバーヘッド（8 オクテットのプリアンブル、14 オクテットの IEEE Std 802.3 ヘッダ、4 オクテットの IEEE Std 802.1Q priority/VID Tag、4 オクテットの CRC、12 オクテットの IFG）も付加されます。したがって、合計フレームサイズはクラス測定間隔ごとに 80 + 42 = 122 オクテットとなります。

このクラスの合計帯域幅はおよそ 7.8 Mbit/ 秒（122 オクテット ×8 ビット / オクテット ×8000 フレーム / 秒）となります。E-MAC の動作（portTransmitRate）が 100Mbps のため、クラス A キューに対する帯域幅割り当ては 7.8% に相当します。もし、総送信帯域幅をシェアしなければならないトラフィッククラスがほかにもある場合、この 7.8% の帯域幅との合計が portTransmitRate の 100% を超えないことを確認する必要があります。

CIV と CDV パラメータを求めるにあたり、クラスに対するフレームサイズの計算には IFG が含まれていてはいけないので、このクラスの合計帯域幅はおよそ 7.04 Mbps(110 オクテット ×8 ビット / オクテット ×8000 フレーム / 秒) となり、portTransmitRate の 7.04% となります。

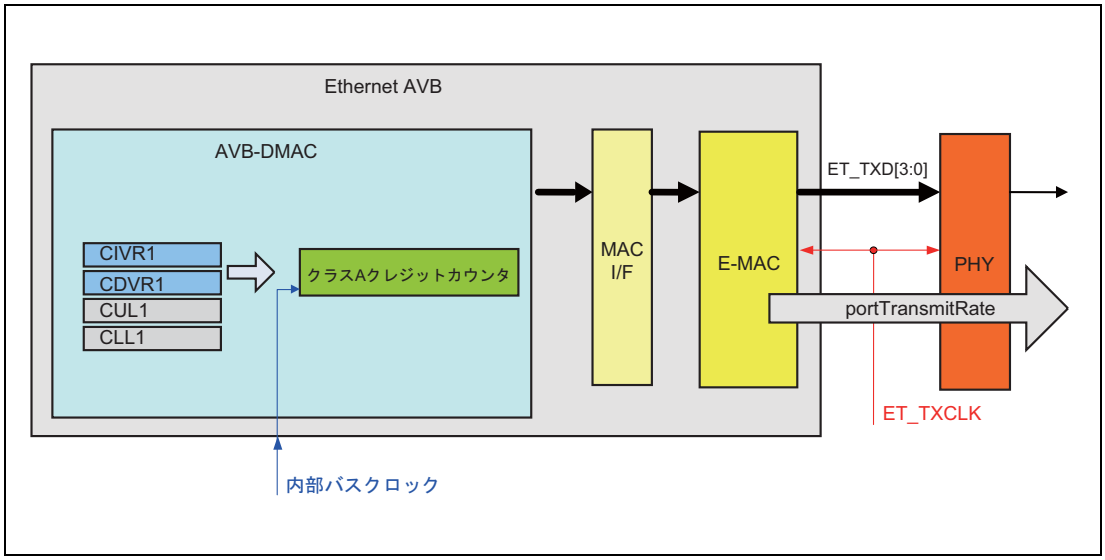


図 45.44　CBS の設定例

本設定例では各部の動作周波数等を以下とします。

- E-MAC 100 Mbps 動作：portTransmitRate = 100 Mbps
- 内部バスクロック周波数 = 133 MHz（クレジットカウンタの動作クロック）

この場合、クラス A に 7.04 Mbit/s の帯域幅を確保するにあたり、CBS パラメータは、以下のような設定になります：

- bandwidthFraction = 7.04%
- idleSlope = （portTransmitRate / Bφ）* bandwidthFraction ≅ 0.05293 ビット /Bφ
- sendSlope = idleSlope – （portTransmitRate / Bφ）≅ –0.69895 ビット /Bφ

Mfactor = 10000 の場合、以下のようになります：

- CIV = idleSlope x Mfactor = 529 ビット /Bφ
- CDV = sendSlope x Mfactor = –6989 ビット /Bφ

これらが、レジスタ CIVR1 と CDVR1 に設定される最終値となります。

45.3.7　IEEE802.1:gPTP

45.3.7.1　gPTP タイマ

gPTP 機能をサポートするために、84 ビットのタイマが搭載されています。タイマの概要を図 45.45 に示します。

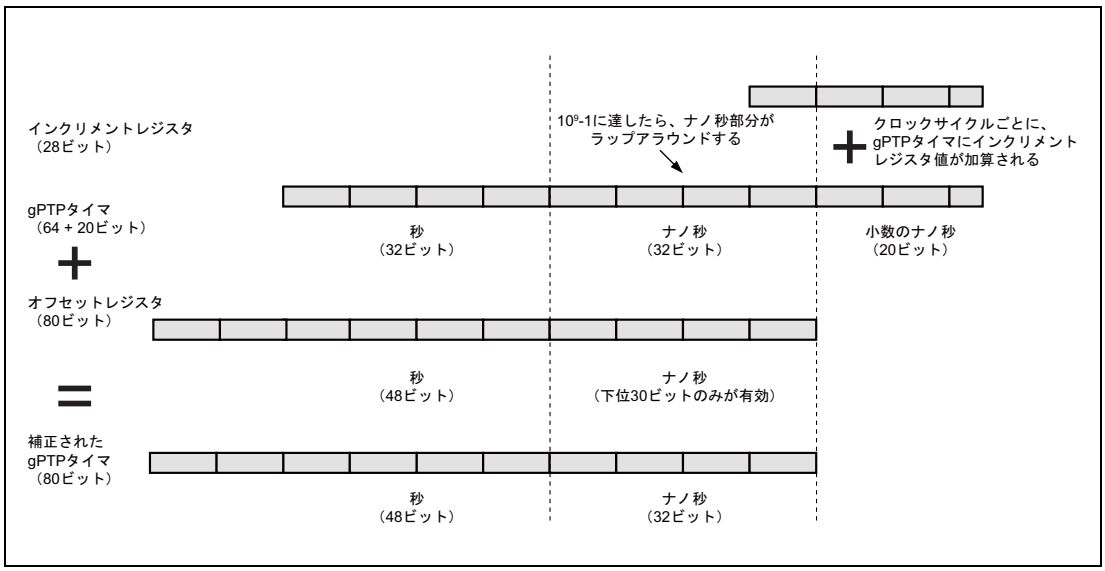


図 45.45　gPTP タイマ

上位 32 ビットが秒を表します。続く 32 ビットがナノ秒を表します。下位 20 ビットは少数のナノ秒を表します。SW からは、秒を表す上位 32 ビットと、ナノ秒を表す続く 32 ビット部分のみ読み込み可能です。1ns 以下にあたる下位 20 ビットは、正確に時間計測するために AVB-DMAC 内に設けられたカウンタであり参照することはできません。

gPTP 設定制御レジスタのタイマ制御要求ビット（GCCR.TCR[1:0]）を “B’01” に設定することにより、タイマをリセットすることが可能です。タイマ制御要求ビットは、タイマリセットが正常終了したら “B’00” となります。

タイマが起動すると、クロックサイクルごとに gPTP タイマインクリメント値ビット（GTI.TIV）に設定された値が、gPTP タイマに加算されます。ナノ秒部分の値が 10^9-1 に達した場合、次の 1 ナノ秒カウントによってナノ秒部分は 0 に戻ります。タイマにおける少数のナノ秒部分は 20 ビットで構成されており、$1/2^{20}$(1/1048576) ナノ秒の精度で調整が可能です。

gPTP タイマインクリメント値ビット（GTI.TIV）に値を設定した場合は、gPTP 設定制御レジスタのタイマインクリメント値設定要求ビット（GCCR.LTI）に “1” を設定してください。タイマインクリメント値設定要求ビットを “1” に設定しないと、新しい設定値は反映されません。タイマインクリメント値設定要求ビットは、設定完了後に “0” となります。

gPTP タイマに、オフセットをつけることも可能です。タイマオフセット値ビット（GTO.TOV）に値を設定してください。タイマオフセット値ビットに値を設定した場合は、gPTP 設定制御レジスタのタイマオフセット値設定要求ビット（GCCR.LTO）に “1” を設定してください。タイマオフセット値設定要求ビットを “1” に設定しないと、新しい設定値は反映されません。タイマオフセット値設定要求ビットは、設定完了後に “0” となります。ナノ秒部分のタイマオフセット値ビット (GTO0.TOV[31:0]) には、0 ～ 10^9-1 の範囲内の値を設定してください。また、オフセットを加算した計算結果が、80 ビットを超えないよう注意してください。

gPTP 設定制御レジスタのタイマ制御要求ビット（GCCR.TCR[1:0]）に B’11 を設定することにより、タイマの値を gPTP タイマキャプチャ値ビット（GCTi.CTV）にて読み込むことが可能です。gPTP 設定制御レジスタのタイマキャプチャソース選択ビット（TCCR.TCSS）の設定により、キャプチャされたタイマ値は、gPTP タイマ値、補正 gPTP タイマ値（オフセット加算）、AVTP プレゼンテーションタイムのいずれかを読み込むことができます。タイマのキャプチャが正常完了すると、gPTP 設定制御レジスタのタイマ制御要求ビット（GCCR.TCR[1:0]）は “B’00” となります。

タイマはフリーランモードで動作し、Grandmaster クロックに同期化することが可能です。

タイマのクロックソースは gPTP クロック選択ビット (CCC.CSEL[1:0]) の設定により、内部バスクロック、イーサネット送信クロックから選択可能です。

45.3.7.2　フリーランモード

IEEE802.1 AS の仕様では、Grandmaster クロックに合わせてローカルクロックを調整する必要はありません。補正手順による悪影響を避けるために、フリーランタイマを使用することを推奨しています。

このフリーランモードでは、ローカルクロックはローカルタイムに基づいてカウントされます。gPTP タイマインクリメント値ビット（GTI.TIV）は、1ns（設定値 =H’0010 0000）とし、タイマオフセット値ビット（GTOi.TOV）は、“0” とします。

gPTP 遅延の計測や同期化処理時に取得したレート比率情報を用いて、Grandmaster クロックと比較した周波数比率を補正します。gPTP 遅延の計測や同期化手順の間に集めた情報を用いて、ローカルクロックから Grandmaster クロックを算出することが可能です。

45.3.7.3　Grandmaster クロックへの同期化

ローカルクロックを Grandmaster クロックに物理的に同期化させる必要がある場合は、調整用に小数のナノ秒部分（gPTP タイマの下位 20 ビット）を使用します。Grandmaster クロックから、クロック周波数偏差を補正するために、インクリメント値を細かく変更することができます。

スタートアップからの絶対時間等と比較するためのオフセット補正には、タイマオフセット値ビット（**GTOi.TOV**）を使用してください。タイマの値とオフセットレジスタの合計が補正 gPTP タイマ値となります。

オフセットのナノ秒部分を設定するタイマオフセット値ビット（**GTO0.TOV**[31:0]）には、0 ～ 10^9-1 の範囲内の値を設定してください。

以下の数式は、gPTP クロック周波数とクロック偏差に基づいてインクリメント値（**GTI.TIV**）を計算する方法を表します。変数 d はクロック偏差（1 ppm の場合 d = 10^{-6}）です。

$$GTI.TIV = round\left(\frac{2^{20}\,GHz}{f_{GPTP}} * (1+d)\right)$$

新しいクロック偏差値が算出されたら、gPTP タイマインクリメントレジスタ（**GTI.TIV**）を再設定してください。

新しいオフセット値が算出されたら、gPTP タイマオフセットレジスタ（**GTOi.TOV**）を再設定してください。

- 設定例 1

  f_{GPTP} = 100MHz ± 0ppm の場合 (Grandmaster クロックにより保証されたデバイスを使用)

  gPTP タイマは 10ns ごとに更新されます。

  gPTP タイマインクリメント値ビット (GTI.TIV) には ”H’00A0_0000” を設定します。

- 設定例 2

  f_{GPTP} = 100MHz － 10ppm の場合

  gPTP タイマは 10ns ごとに更新されます。

  gPTP タイマインクリメント値ビット (GTI.TIV) には ”H’00A0_0069”(四捨五入前は 10485864.8576) を設定します。四捨五入により 1ppm 未満の周波数誤差が生じます。

45.3.7.4 送受信用 gPTP タイマサポート

上述のタイマ値は、送受信時のフレーム開始ディリミタ（SFD）検出時のタイムスタンプキャプチャに使用されます。

キャプチャされたタイムスタンプ値は、受信の際は対応するディスクリプタに、送信の際はタグ情報とともにタイムスタンプ FIFO に格納されます。そのため、タイムスタンプ値は送受信ともにフレームと相関性があります。

補正 gPTP タイマ値を使用する場合、gPTP 同期化処理でオフセットの補正による誤差が生じる場合があることに注意してください。

また、SFD 通知とタイマモジュール間のインタフェースによる誤差についても考慮する必要があります。送受信の SFD は送信クロックまたは受信クロックで検出するのに対して、gPTP は gPTP クロックで動作するため、“± 1 GTI.TIV + 1 Bφ” の誤差が発生します。

45.3.8　IEEE1722 サポート

IEEE1722 に関して、以下の 2 つの機能をサポートしています。

- IEEE1722 AVTP プレゼンテーションタイムフォーマットの出力とキャプチャ
- IEEE1722 AVTP プレゼンテーションタイムスタンプの比較

IEEE1722 フレームフォーマットの 32 ビット AVTP タイムスタンプフィールドには、（フレーム内の AVTP タイムスタンプ有効ビットが “1” の場合は）AVTP プレゼンテーションタイムが格納されています。この AVTP タイムスタンプフィールドは gPTP タイマから生成しており、次の数式において秒（gPTP_seconds）ならびにナノ秒（gPTP_nanoseconds）で表されます。

AVTP タイムスタンプ = （gPTP_seconds * 10^9 + gPTP_nanoseconds）modulo 2^{32}

この AVTP プレゼンテーションタイムは、gPTP 設定制御レジスタのタイマキャプチャ選択ビット（GCCR.TCSS）を設定したあと、タイマ制御ビット（GCCR.TCR）に “B’11” を書き込むと、gPTP タイマキャプチャ値ビット（GCTiCTV）にキャプチャ結果が格納されます。キャプチャ結果として格納される値は補正 gPTP タイマに最大トランジットタイムビット（GMTT.MTTV）で定義された最大トランジットタイムを加算した値となります。AVTP プレゼンテーションタイムはおよそ 4 秒ごとに、ラップアラウンドします。

注　意

GCTi.CTV でキャプチャされた AVTP プレゼンテーションタイムは、補正 gPTP タイマ値が Grandmaster クロックと同期化している場合のみ、意味のある値となります。つまり、補正 gPTP タイマ値は同期化処理によってタイマインクリメントやタイマオフセット値を調整し、Grandmaster クロックに合わされている必要があります。

45.3.9　フロー制御

E-MAC は、全二重動作時、IEEE802.3x 準拠のフロー制御をサポートしています。フロー制御は、受信と送信の双方の動作に対して適用することができます。フロー制御をするときの PAUSE フレームの送信には、次の方法があります。

(1)　自動 PAUSE フレーム送信

受信フレームに対しては、受信 FIFO に書き込まれたデータ量が、受信設定レジスタの受信 FIFO 警告レベルビット（RCR.RFCL）に設定された値に達すると PAUSE フレームを自動的に送信します。このときの PAUSE フレームに含まれる TIME パラメータ値は、自動 PAUSE フレーム設定レジスタ（APR）で設定します。PAUSE フレームの再送回数上限を規定しない場合、自動 PAUSE フレームの送信は、受信 FIFO 内のデータが読み出されてデータ量が RCR.RFCL 設定値未満になるまで繰り返されます。また、PAUSE フレーム再送回数設定レジスタ（TPAUSER）により PAUSE フレームの再送信回数の上限値を 1 ～ 65535 回の範囲で設定することができます。この場合は、自動 PAUSE フレームの送信は、受信 FIFO 内のデータ量が RCR.RFCL 設定値未満になるか、送信回数が TPAUSER の設定値に達するまで繰り返されます。送信回数カウンタは、いったん受信 FIFO 内のデータ量が RCR.RFCL 設定値未満になった後、次の PAUSE フレームが送信される時点で 0 クリアされます。

自動 PAUSE フレームの送信は、E-MAC モードレジスタの送信系フロー制御動作モードビット (ECMR.TXF) が 1 の場合に有効になります。

(2)　手動 PAUSE フレーム送信

ソフトウェアからの指示により、PAUSE フレームを送信することができます。手動 PAUSE フレーム設定レジスタ（MPR）へ Timer 値を書き込むと、手動 PAUSE フレームの送信を開始します。この手順による PAUSE フレームの送信は 1 回（1 フレーム）のみです。

(3)　PAUSE フレーム受信

PAUSE フレームを受信した場合、TIME パラメータ値の示す時間が経過するまで、次のフレーム送信を待ちます。送信中のフレームについては、送信を継続します。PAUSE フレームの受信は E-MAC モードレジスタの受信系フロー制御動作モードビット (ECMR.RXF) が 1 の場合に有効となります。PAUSE フレーム受信回数をカウントします。

(4)　0 TIME PAUSE フレーム制御

TIME パラメータ値が 0 の PAUSE フレームによるフロー制御を行うことができます。TIME パラメータ値が 0 の PAUSE フレーム制御を有効／無効するかを、送信に関しては E-MAC モードレジスタの 0 time PAUSE フレーム使用許可ビット（ECMR.ZPF）で、受信に関しては E-MAC モードレジスタの 0 time PAUSE フレーム受信ビット（ECMR.RZPF）で指定することができます。

- 送信時の動作

0 TIME PAUSE フレーム制御が有効の場合、TIME パラメータ値の示す時間が経過していない状態で、受信 FIFO の容量が受信設定レジスタの受信 FIFO 警告レベルビット（RCR.RFCL）の設定値未満になると、TIME パラメータ値が 0 の PAUSE フレームを送信します。

0 TIME PAUSE フレーム制御が無効の場合、TIME パラメータ値が 0 の PAUSE フレームを送信しません。

- 受信時の動作

  0 TIME PAUSE フレーム受信が有効の場合、TIME パラメータ値が 0 の PAUSE フレームを受信した場合、フレーム送信待ち状態を解除します。
  0 TIME PAUSE フレーム受信が無効の場合、TIME パラメータ値が 0 の PAUSE フレームを受信した場合は、その PAUSE フレームを破棄します。

45.3.10　割り込み

EthernetAVB は、AVB-DMAC から 3 つ、E-MAC から 1 つの計 4 本の割り込みを備えています。AVB-DMAC による 3 つの割り込みは、AVB-DMAC がオペレーションモード時に発生します。E-MAC による 1 つの割り込みは、AVB-DMAC がコンフィグ、オペレーション、スタンバイモード時に発生します。

割り込み一覧を表 45.82 に示します。

表 45.82　EthernetAVB 割り込み一覧

割り込み要因名	備考
AVB_DATA	送受信データ管理割り込み
AVB_ERROR	エラー管理割り込み
AVB_MANAGE	そのほか管理（FIFO 警告レベルなど）割り込み
AVB_MAC	E-MAC 割り込み

AVB-DMAC 関連の割り込みステータスを以下のレジスタで確認することができます。

- ディスクリプタ割り込みステータスレジスタ（**DIS**）
- エラー割り込みステータスレジスタ（**EIS**）
- 受信割り込みステータスレジスタ（**RISi**）
- 送信割り込みステータスレジスタ（**TIS**）
- gPTP 割り込みステータスレジスタ（**GIS**）

それぞれの割り込みは、対応する割り込みイネーブルビットで制御することができます。ステータスフラグはこれらのイネーブルビットには依存しません。

割り込みサマリステータスレジスタ（**ISS**）、エラー割り込みステータスレジスタのキューフルエラー割り込みステータスビット（**EIS.QFS**）によって、グループ化された各割り込みステータスを確認することができます。

45.3.10.1　送受信データ管理割り込み

送受信管理割り込みは、以下割り込み要因発生時に通知されます。

- 受信割り込みステータスレジスタ 0　受信フレーム割り込み（**RIS0.FRFr**）
- ディスクリプタ割り込みステータスレジスタ　ディスクリプタ割り込み（**DIS.DPFi**）

45.3.10.2　エラー管理割り込み

エラー管理割り込みは、以下割り込み要因発生時に通知されます。

- エラー割り込みステータスレジスタ　タイムスタンプ FIFO フルエラー割り込み（**EIS.TFFF**）
- エラー割り込みステータスレジスタ　CBS 各制限値エラー割り込み（**EIS.CULF1**, **EIS.CULF0**, **EIS.CLLF1**, **EIS.CLLF0**）
- 受信割り込みステータスレジスタ 2　受信 FIFO フル割り込み（**RIS2.RFFF**）
- 受信割り込みステータスレジスタ 2　受信キューフル割り込み（**RIS2.QFFr**）

45.3.10.3　そのほか管理（FIFO 警告など）割り込み

そのほか管理（FIFO 警告など）割り込みは、以下割り込み要因発生時に通知されます。

（1） 受信関連

受信割り込みステータスレジスタ 1　受信 FIFO 警告割り込み（**RIS1.RFWF**）

（2） 送信関連

送信割り込みステータスレジスタ　タイムスタンプ FIFO 警告割り込み（**TIS.TSWF**）

送信割り込みステータスレジスタ　タイムスタンプ FIFO 更新割り込み（**TIS.TSUF**）

（3） gPTP 関連

gPTP 割り込みステータスレジスタ　プレゼンテーションタイム一致割り込み（**GIS.PTMF**）

45.3.10.4　E-MAC 割り込み

E-MAC 割り込みは、以下 E-MAC 割り込み要因発生時に通知されます。

- E-MAC ステータスレジスタ　PAUSE フレーム再送リトライオーバ割り込み（**ECSR.PFROI**）
- E-MAC ステータスレジスタ　不正キャリア検出割り込み（**ECSR.ICD**）

45.3.11　動作フロー

45.3.11.1　E-MAC 初期化フロー

E-MAC 初期化フローを図 45.46 に示します。

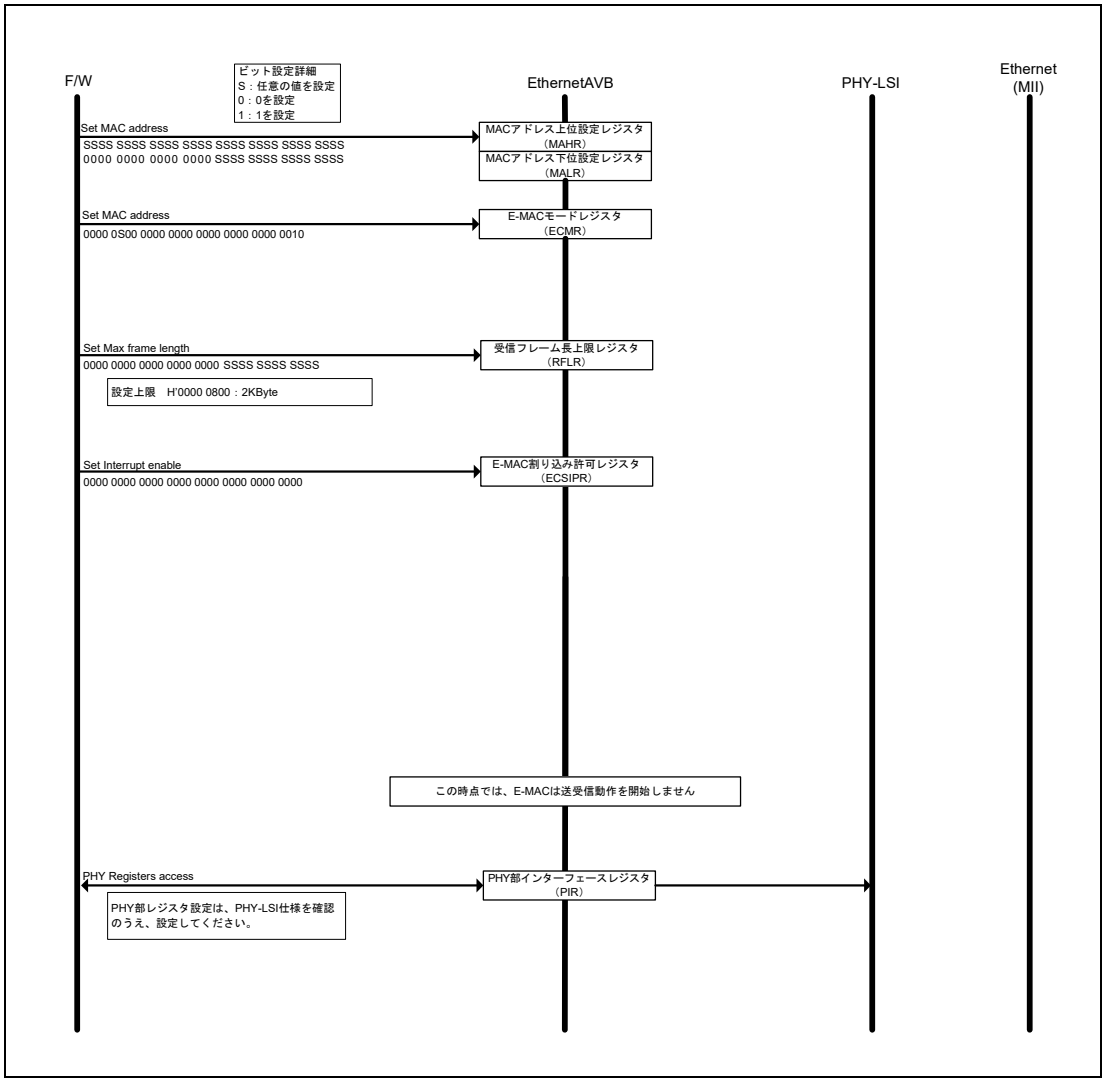


図 45.46　E-MAC 初期化フロー

45.3.11.2　AVB-DMAC 初期化フロー

AVB-DMAC 初期化フローを図 45.47 に示します。

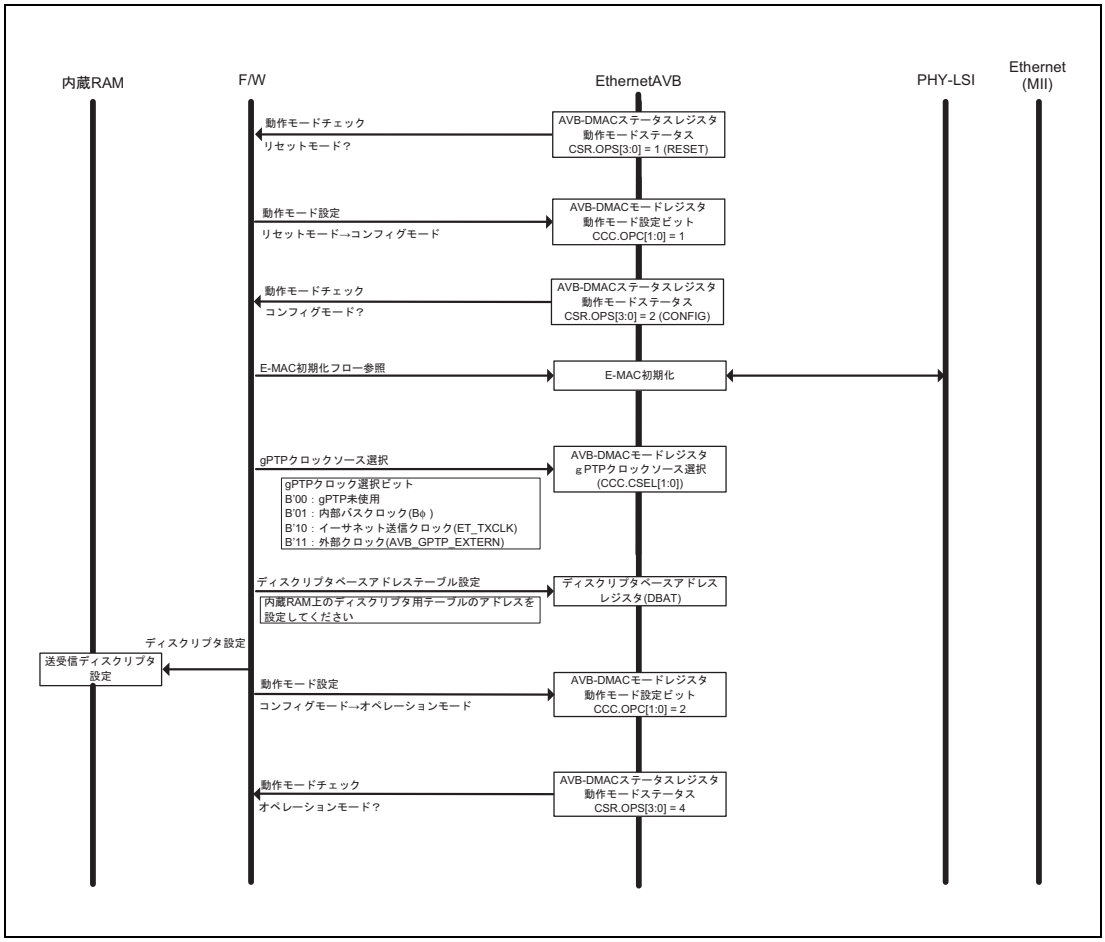


図 45.47　AVB-DMAC 初期化フロー

45.3.11.3　AVB-DMAC 受信フロー

AVB-DMAC 受信フローを図 45.48 に示します。

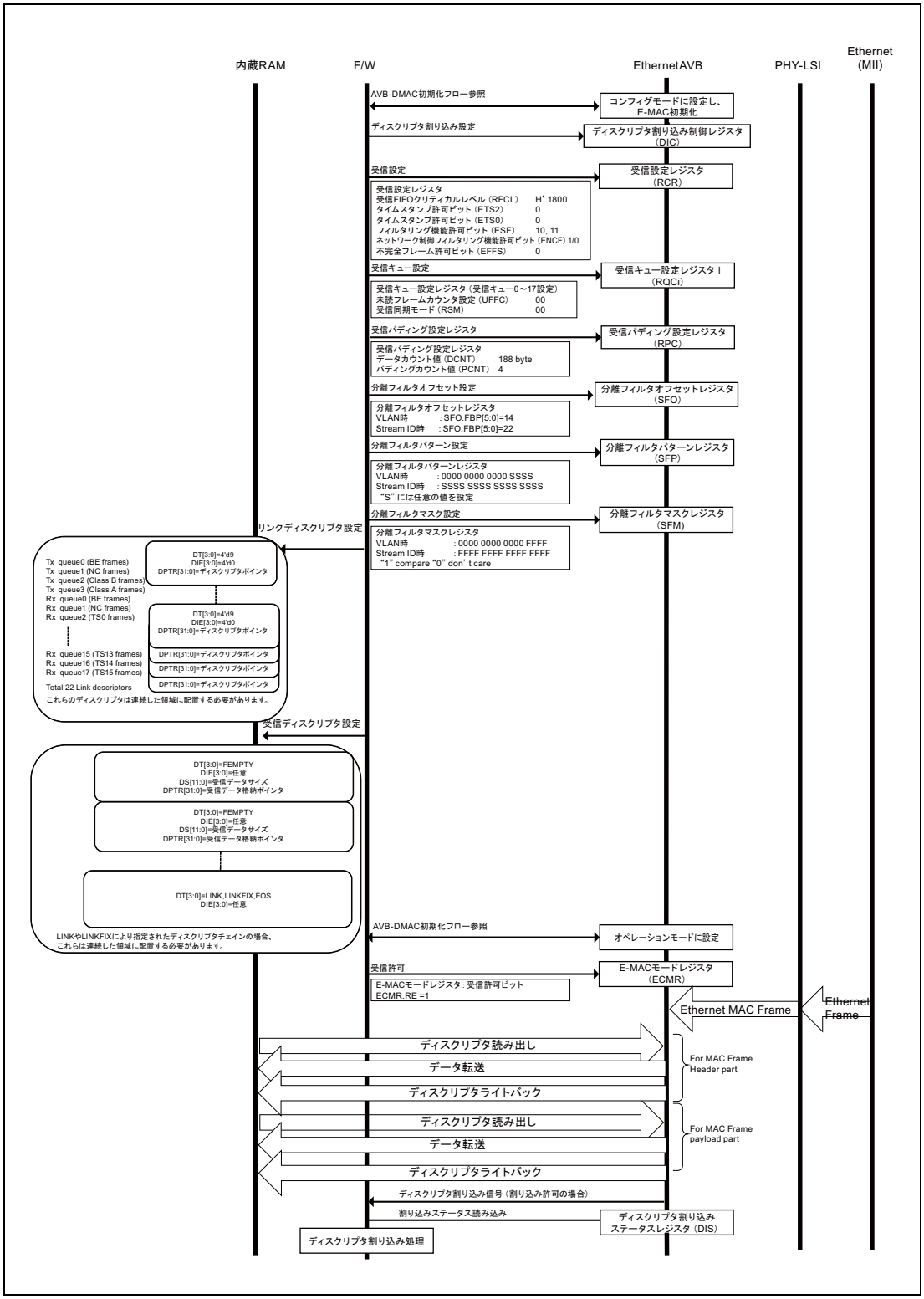


図 45.48　AVB-DMAC 受信フロー

45.3.11.4　AVB-DMAC 送信フロー

AVB-DMAC 送信フローを図 45.49 に示します。

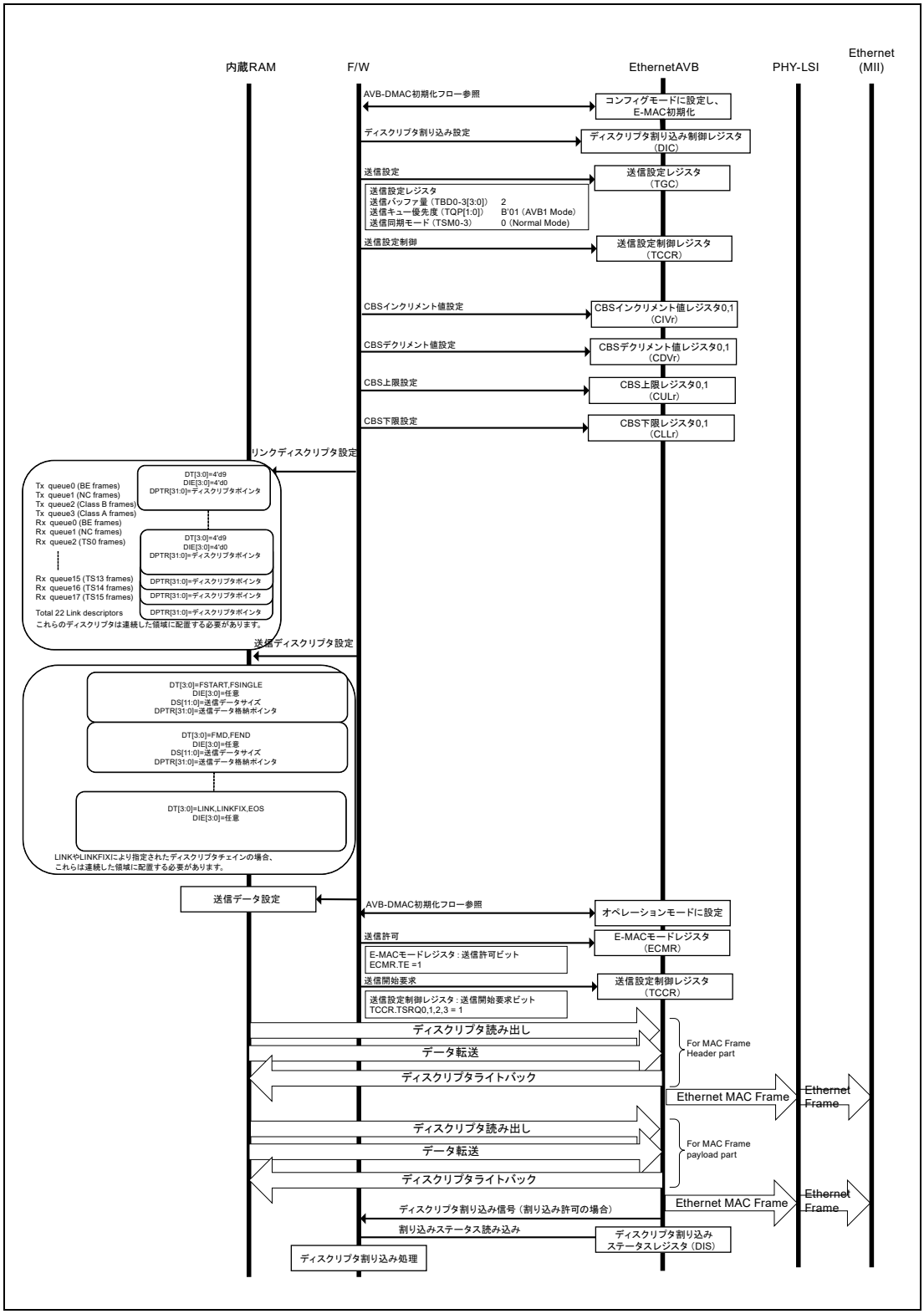


図 45.49　AVB-DMAC 送信フロー

45.3.11.5　AVB-DMAC 受信停止フロー

AVB-DMAC 受信停止フローを図 45.50 に示します。

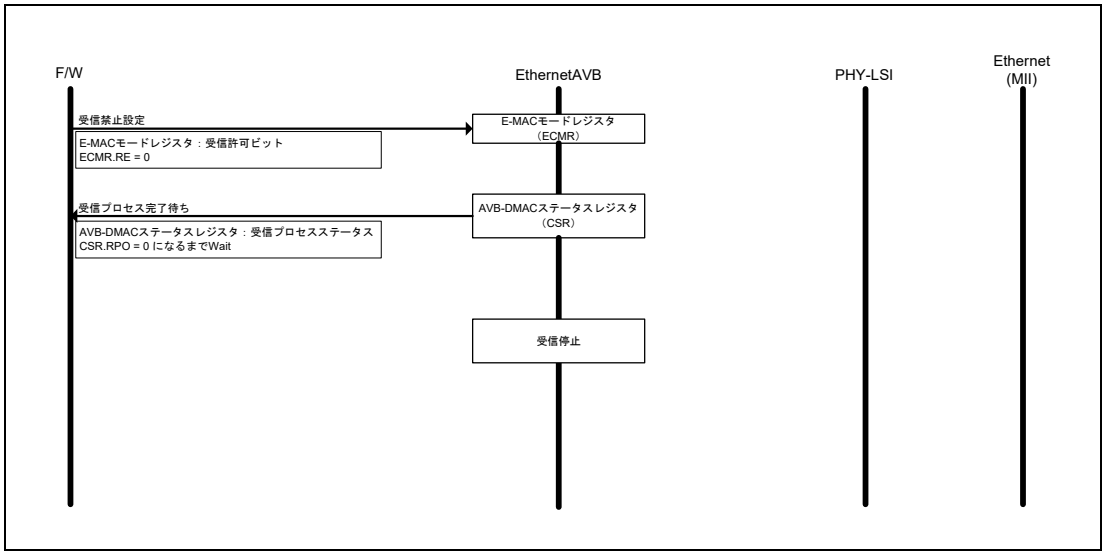


図 45.50　AVB-DMAC 受信停止フロー

45.3.11.6　AVB-DMAC 送信停止フロー

AVB-DMAC 送信停止フローを図 45.51 に示します。

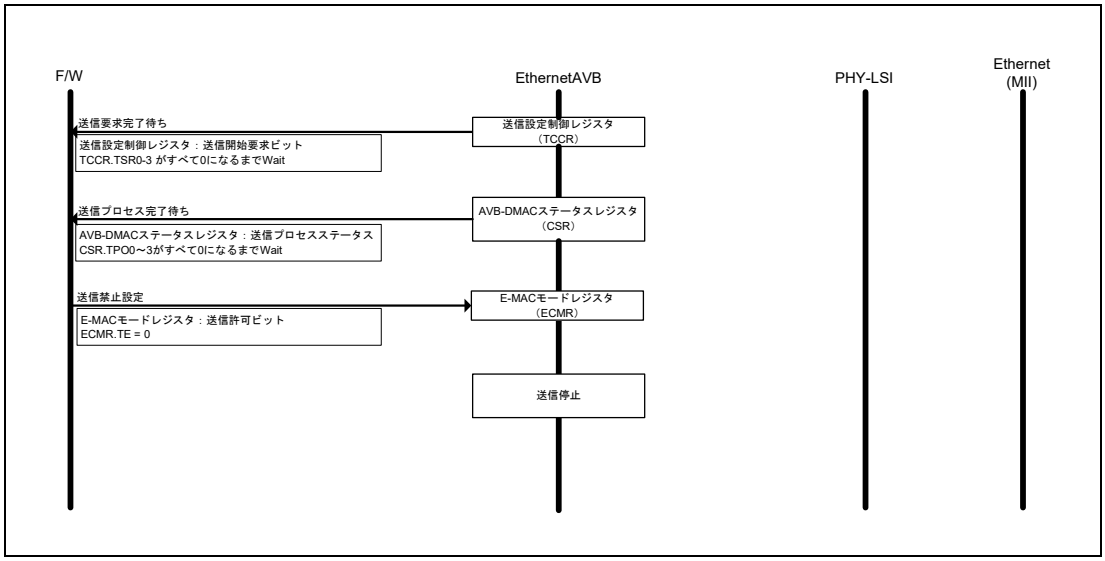


図 45.51　AVB-DMAC 送信停止フロー

45.3.11.7　AVB-DMAC 停止＆リセットフロー

AVB-DMAC 停止＆リセットフローを図 45.52 に示します。

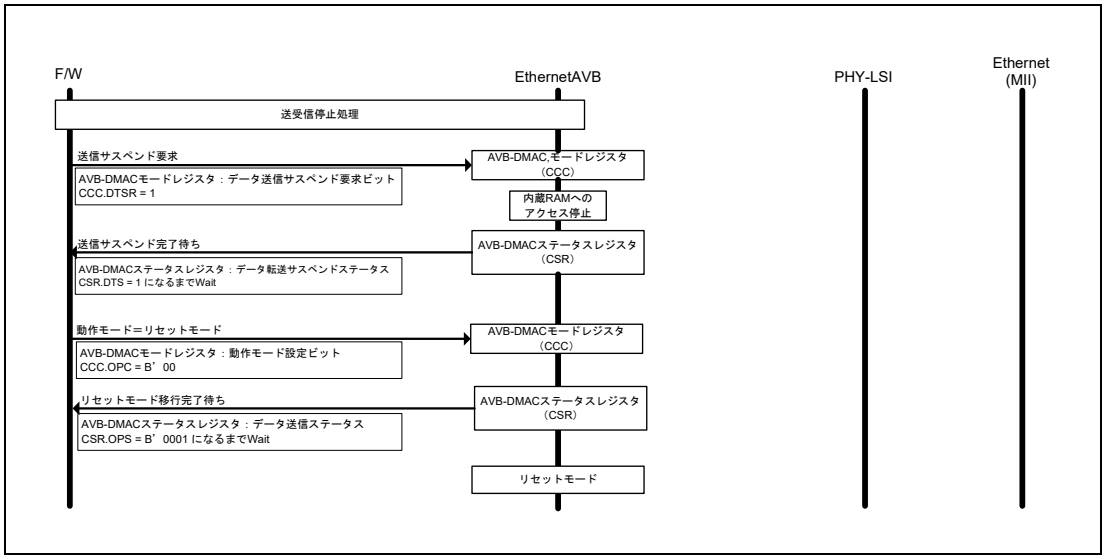


図 45.52　AVB-DMAC 停止＆リセットフロー

45.3.11.8　AVB-DMAC 緊急停止フロー

AVB-DMAC 緊急停止フローを図 45.53 に示します。

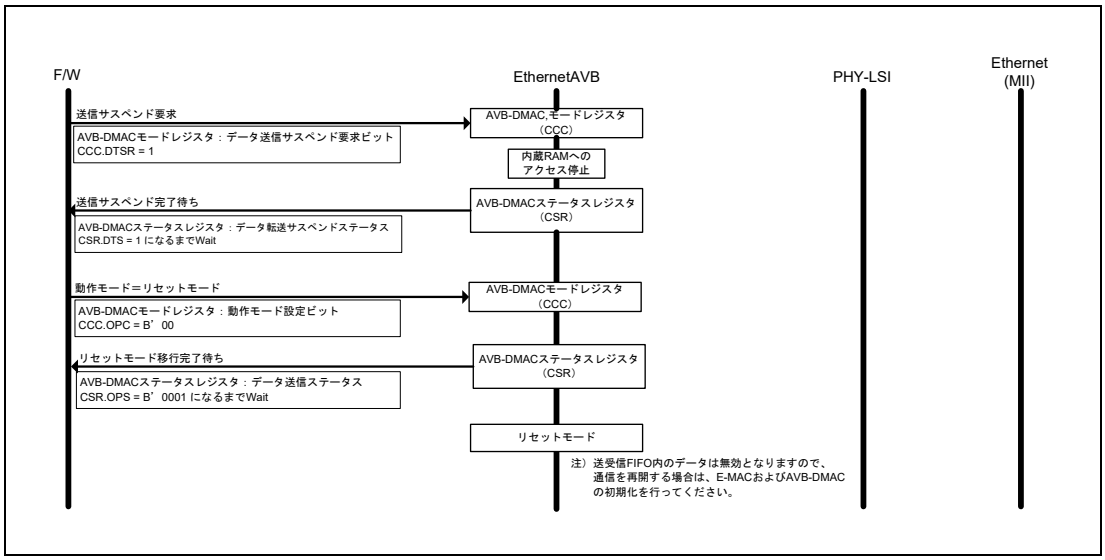


図 45.53　AVB-DMAC 緊急停止フロー

45.3.11.9　gPTP 初期化フロー

gPTP 初期化フローを図 45.54 に示します。

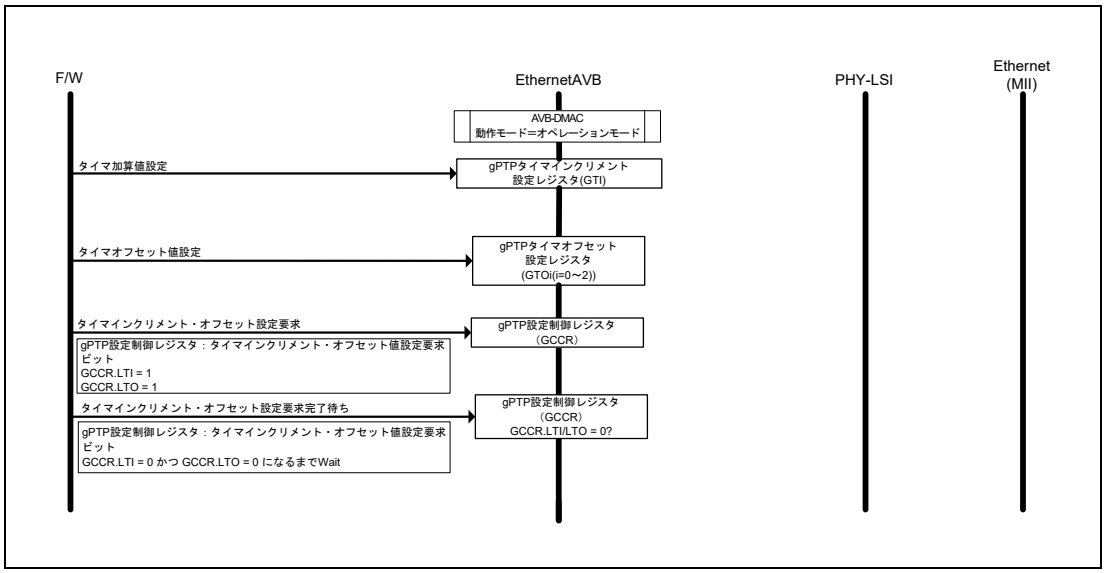


図 45.54　gPTP 初期化フロー

45.3.11.10　gPTP 送信タイムスタンプ処理フロー

gPTP 送信タイムスタンプ処理フローを図 45.55 に示します。

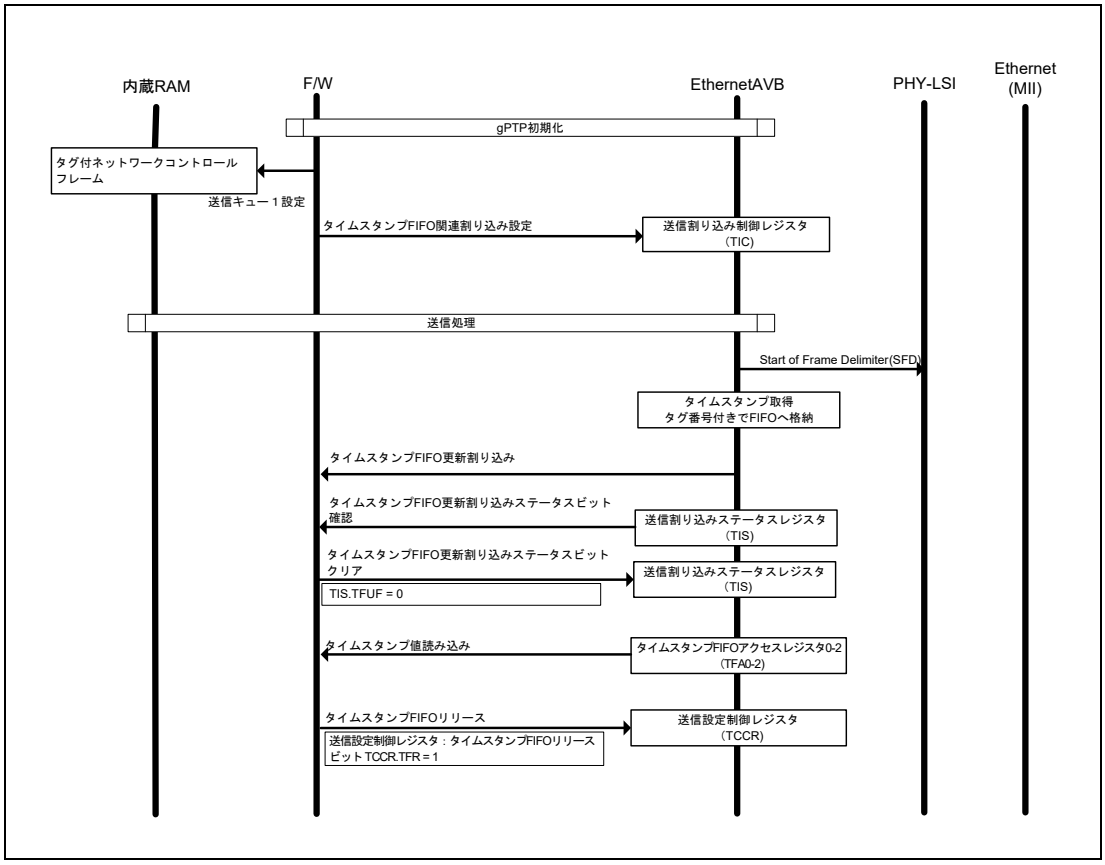


図 45.55　gPTP 送信タイムスタンプ処理フロー

45.3.11.11　gPTP 受信タイムスタンプ処理および同期化フロー

gPTP 受信タイムスタンプ処理および同期化フローを図 45.56 に示します。

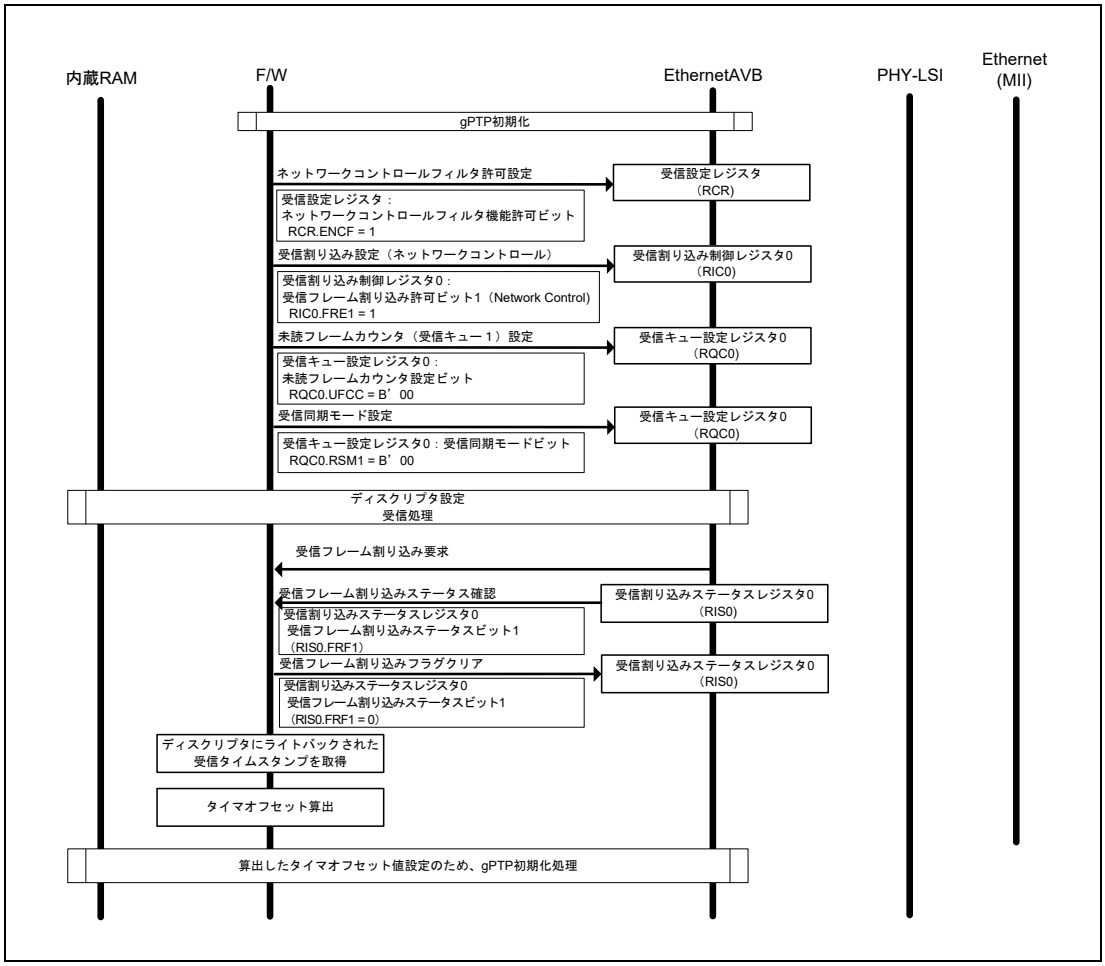


図 45.56　gPTP 受信タイムスタンプ処理および同期化フロー

45.3.11.12　AVTP プレゼンテーションタイム取得フロー

AVTP プレゼンテーションタイム取得フローを図 45.57 に示します。

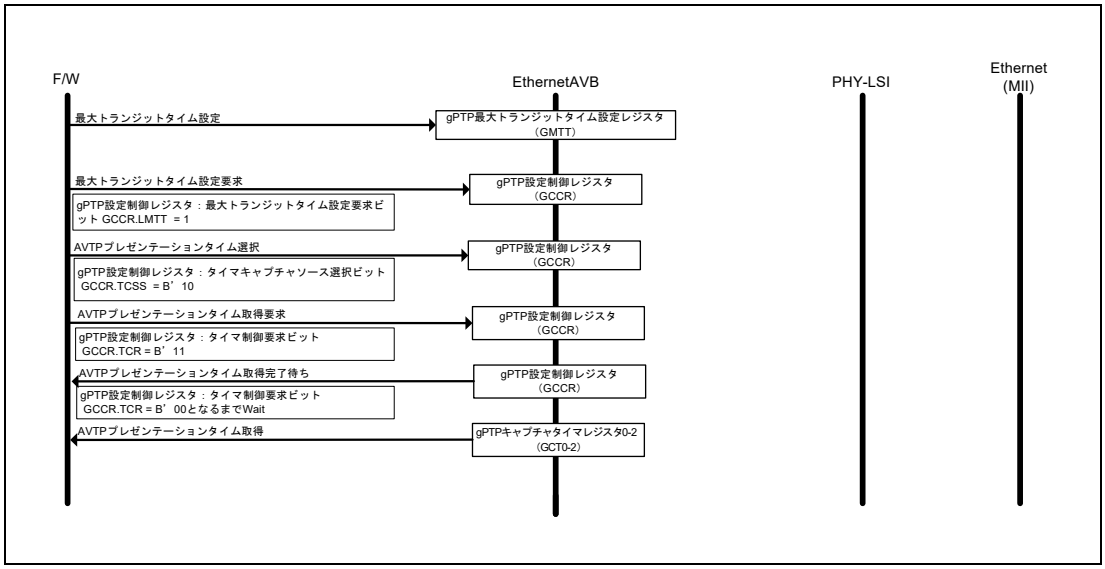


図 45.57　AVTP プレゼンテーションタイム取得フロー

45.3.11.13　AVTP プレゼンテーションタイム比較フロー

AVTP プレゼンテーションタイム比較フローを図 45.58 に示します。

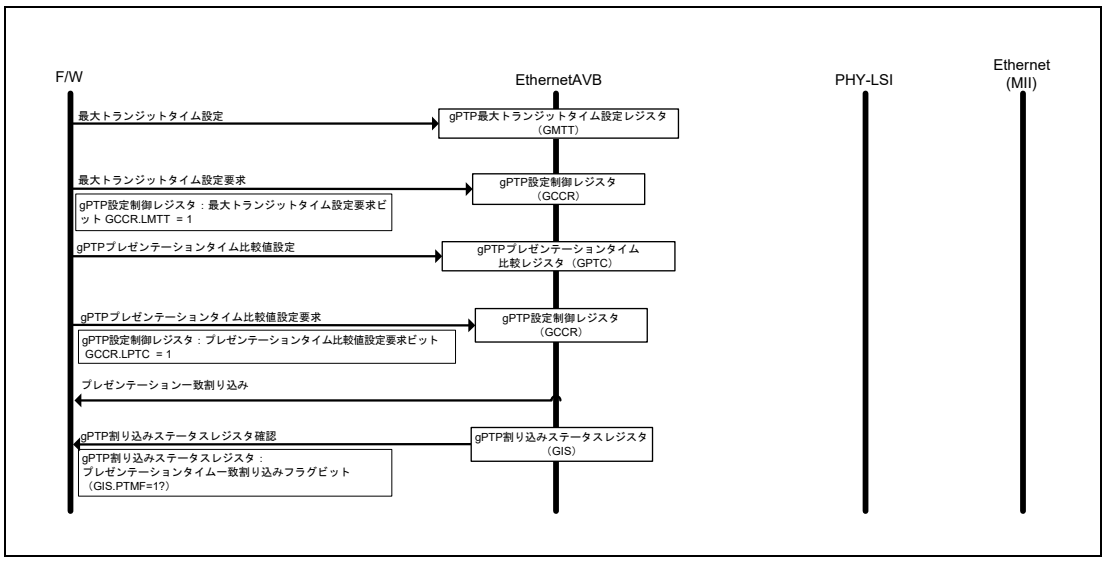


図 45.58　AVTP プレゼンテーションタイム比較フロー

45.3.11.14　ループバックモードフロー

ループバックモードフローを図 45.59 に示します。

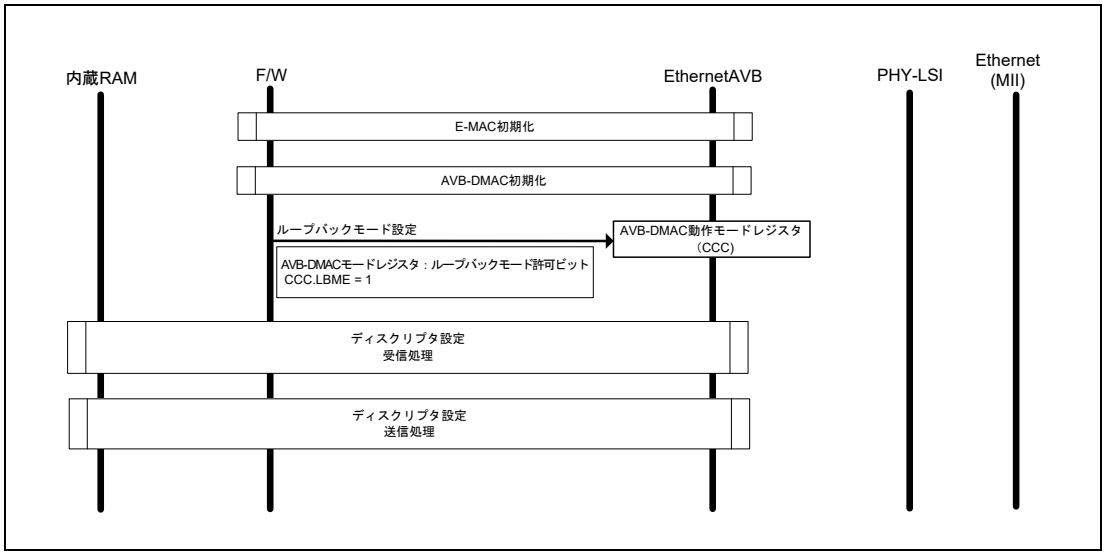


図 45.59　ループバックモードフロー

45.3.12　PHY-LSI との接続

45.3.12.1　MII フレームタイミング

各種 MII フレームのタイミングを図 45.60 ～図 45.63 に示します。

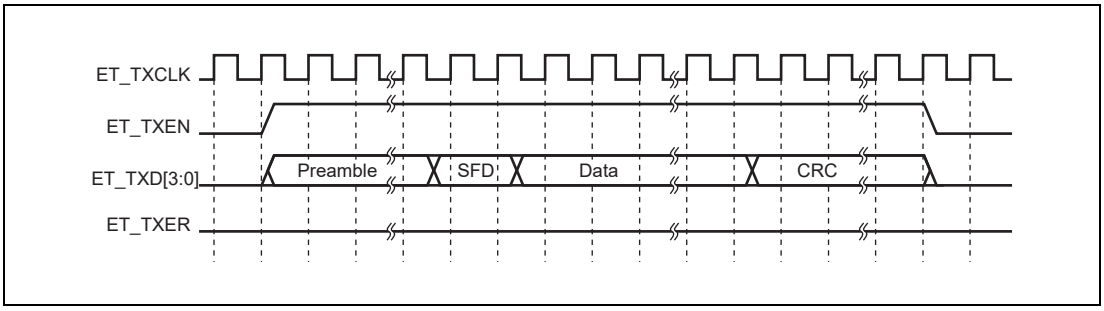


図 45.60　MII フレーム送信タイミング（正常時）

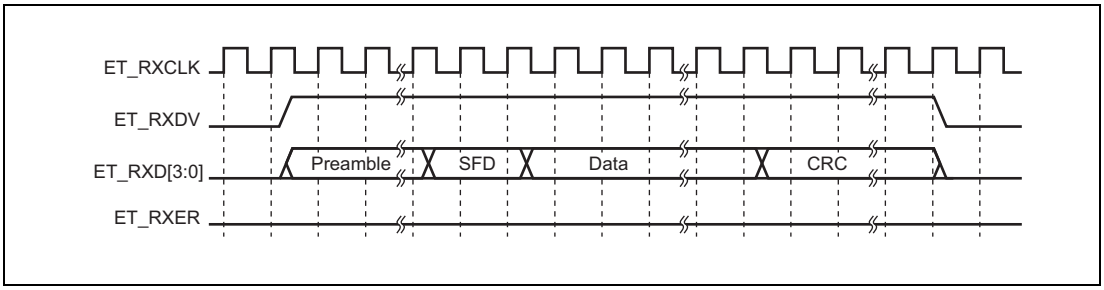


図 45.61　MII フレーム受信タイミング（正常受信）

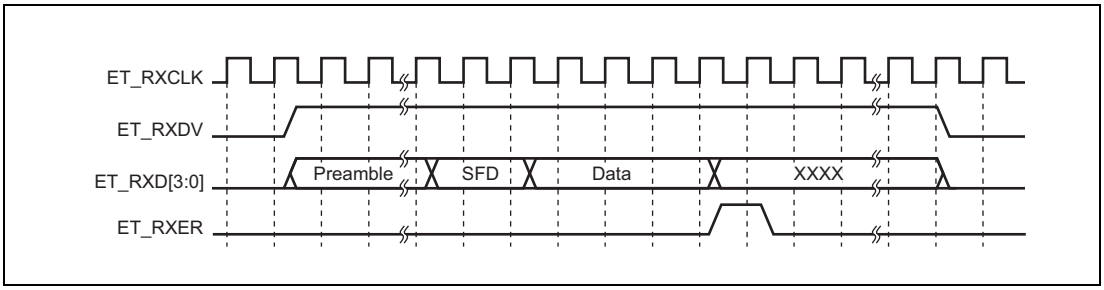


図 45.62　MII フレーム受信タイミング（受信エラー（1））

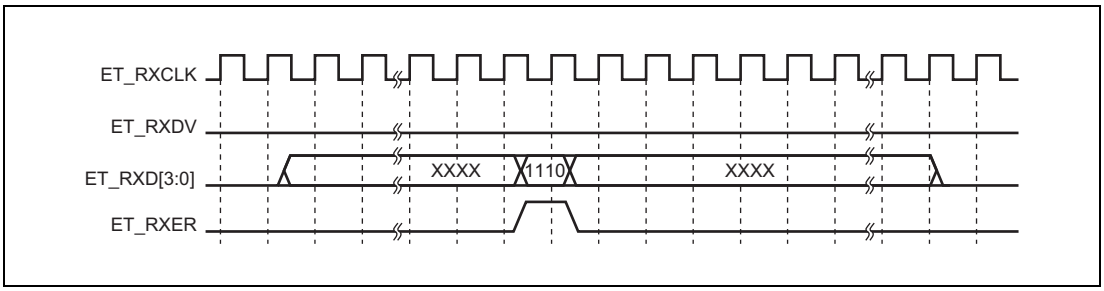


図 45.63　MII フレーム受信タイミング（受信エラー（2））

45.3.12.2　MII レジスタのアクセス方法

PHY-LSI 内にある MII レジスタへは、本 LSI の PHY 部インタフェースレジスタ（PIR）を経由してアクセスします。IEEE802.3u で規定される MII フレームフォーマットにしたがい、シリアルインタフェースとして接続します。

(1) MII 管理フレームのフォーマット

MII 管理フレームのフォーマットを図 45.64 に示します。MII レジスタをアクセスするには、(2) で示す手順にしたがう管理フレームをプログラムによって実現します。

アクセス種別	MII管理フレーム							
項目	PRE	ST	OP	PHYAD	REGAD	TA	DATA	IDLE
ビット数	32	2	2	5	5	2	16	
リード	1..1	01	10	00001	RRRRR	Z0	D..D	
ライト	1..1	01	01	00001	RRRRR	10	D..D	X

【記号説明】

PRE　：32個の連続した1
ST　：フレームの先頭を示す01のライト
OP　：アクセス種別を示すコードのライト
PHYAD　：PHY-LSIのアドレスが1番の場合、0001をライト（MSBから順次ライト）。このビットは、PHY-LSIアドレスによって可変となる。
REGAD　：レジスタアドレスが1番の場合、0001をライト（MSBから順次ライト）。このビットは、PHY-LSIのレジスタアドレスによって可変となる。
TA　：MIIインタフェース上でデータの送信元を切り換える時間
（a）ライト時は10をライト
（b）リード時は、「バス解放」（Z0と表記）を行う
DATA　：16ビットのデータ。MSBから順次ライトあるいはリード
（a）ライト時は、16ビットデータのライト
（b）リード時は、16ビットデータのリード
IDLE　：次のMII管理フォーマット入力までの待機時間
（a）ライト時は、「単独バス解放」（Xと表記）を行う
（b）リード時は、すでにTA時にバス解放済みであり制御不要

図 45.64　MII 管理フレームフォーマット

(2) MII レジスタアクセス手順

プログラムは、PHY 部インタフェースレジスタ（PIR）を経由して MII レジスタをアクセスします。アクセスは、1 ビット単位のデータライト、1 ビット単位のデータをリードし、バスの解放および単独バス解放の組み合わせによって実現します。MII レジスタアクセスタイミング例を図 45.65 ～図 45.68 に示します。アクセスタイミングは、PHY-LSI の種類によって異なります。

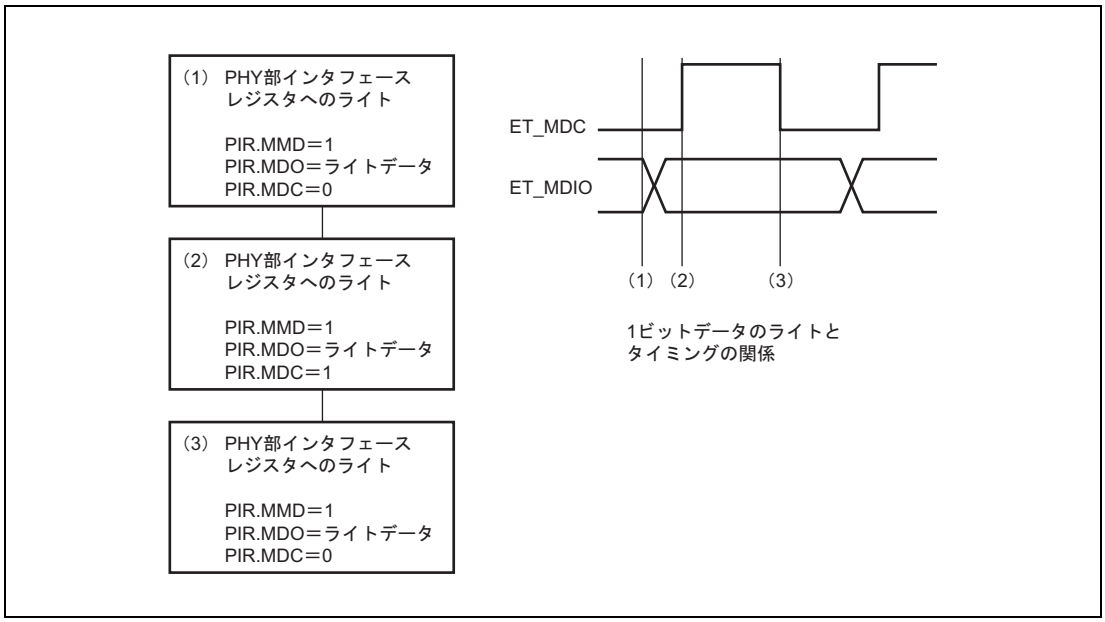


図 45.65　1 ビットデータのライトフロー

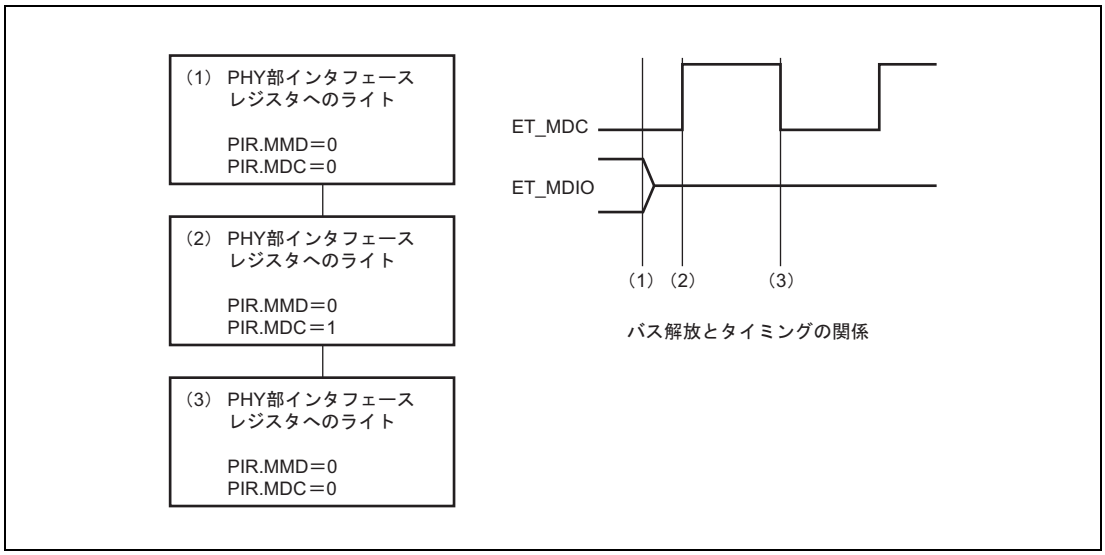


図 45.66　バス解放フロー（図 45.64 中のリード時の TA）

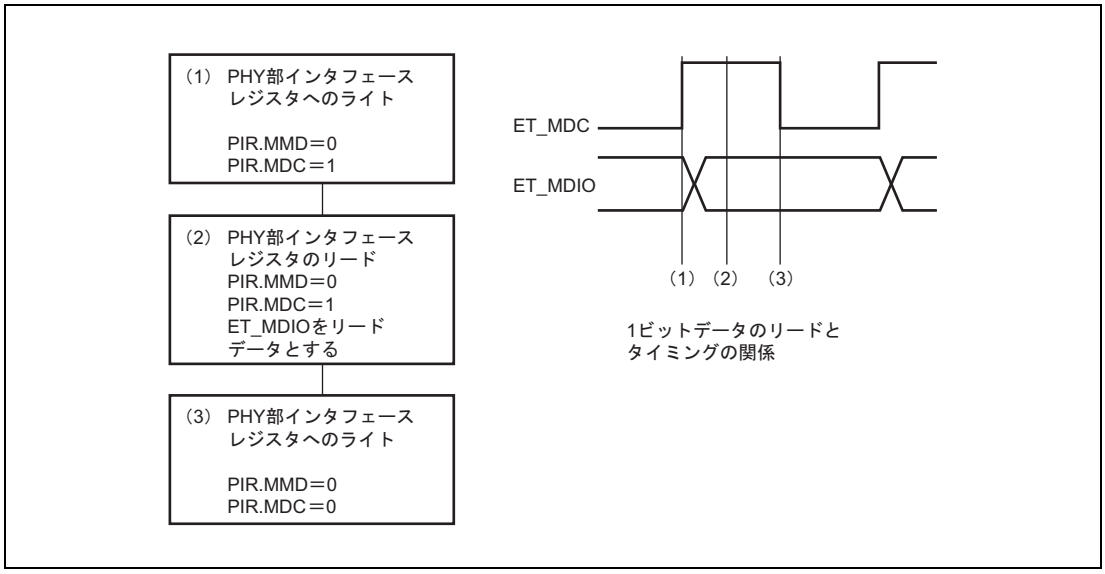


図 45.67　1 ビットデータのリードフロー

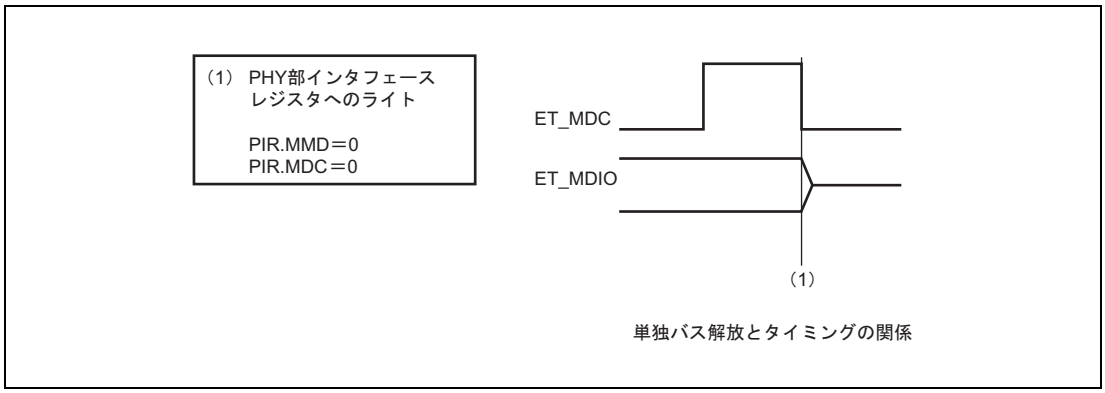


図 45.68　単独バス解放フロー（図 45.64 のライト時の IDLE）

45.3.13　使用上の注意事項

45.3.13.1　イーサネットフレームのサムチェック計算

本 LSI では、受信フレームのサムチェックデータを計算することができます。サムチェックの計算対象は、イーサネットフレームのデータ部分（長さ／タイプフィールドの直後から、CRC データの直前まで）です。図 45.69 にイーサネットフレームの計算対象の箇所を示す概念図を示します。計算方法は、16 ビットごとの加算のみで、ビットの反転は行っていません。なお、サムチェックデータ有効時は CRC データ（4 バイト）は受信フレームとしては転送されず、サムチェックデータ（Sum Data）が自動的につきます。図 45.70 にサムチェックデータが付加された後のイーサネットフレームの概念図を示します。

注　意

VLANTag が挿入されたフレームに対しても、先頭 15 バイト目以降、CRC データの直前までを計算対象としますのでご注意ください。

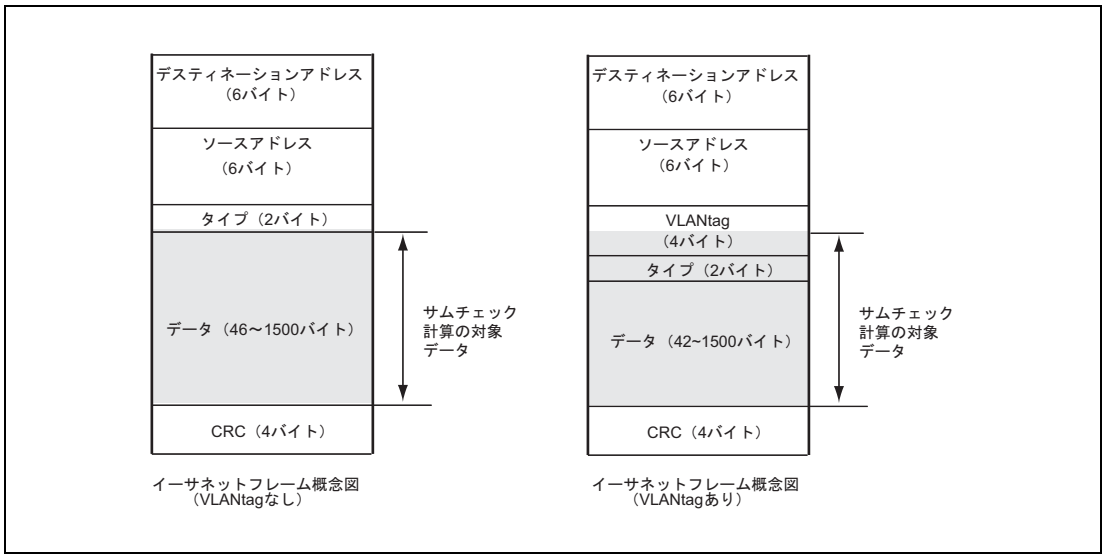


図 45.69　サムチェック計算の対象データ

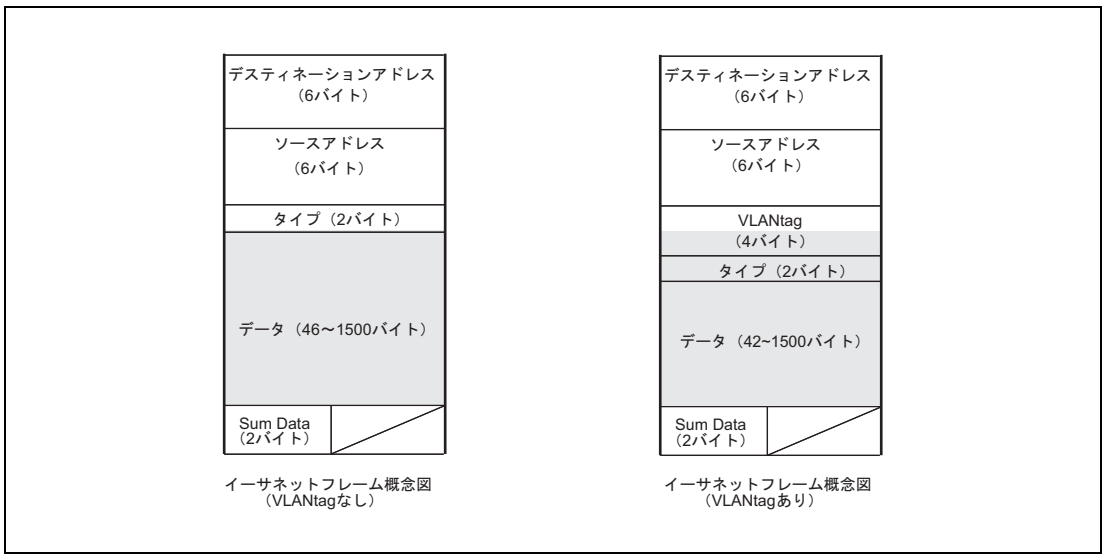


図 45.70　サムチェックデータ付加後のデータ

46.　レジスター覧

46.1　アドレス一覧

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
2次キャッシュ	Cache ID Register	reg0_cache_id	32	H'3FFFF000	32
	Cache Type Register	reg0_cache_type	32	H'3FFFF004	32
	Control Register	reg1_control	32	H'3FFFF100	32
	Auxiliary Control Register	reg1_aux_control	32	H'3FFFF104	32
	Tag RAM Latency Control Register	reg1_tag_ram_control	32	H'3FFFF108	32
	Data RAM Latency Control Register	reg1_data_ram_control	32	H'3FFFF10C	32
	Event Counter Control Register	reg2_ev_counter_ctrl	32	H'3FFFF200	32
	Event Counter Configuration Register 1	reg2_ev_counter1_cfg	32	H'3FFFF204	32
	Event Counter Configuration Register 0	reg2_ev_counter0_cfg	32	H'3FFFF208	32
	Event counter value register 1	reg2_ev_counter1	32	H'3FFFF20C	32
	Event counter value register 0	reg2_ev_counter0	32	H'3FFFF210	32
	Interrupt Mask Register	reg2_int_mask	32	H'3FFFF214	32
	Masked Interrupt Status Register	reg2_int_mask_status	32	H'3FFFF218	32
	Raw Interrupt Status Register	reg2_int_raw_status	32	H'3FFFF21C	32
	Interrupt Clear Register	reg2_int_clear	32	H'3FFFF220	32
	Cache Sync Register	reg7_cache_sync	32	H'3FFFF730	32
	Invalidate Line by PA Register	reg7_inv_pa	32	H'3FFFF770	32
	Invalidate by Way Register	reg7_inv_way	32	H'3FFFF77C	32
	Clean Line by PA Register	reg7_clean_pa	32	H'3FFFF7B0	32
	Clean Line by Set/Way Register	reg7_clean_index	32	H'3FFFF7B8	32
	Clean by Way Register	reg7_clean_way	32	H'3FFFF7BC	32
	Clean and Invalidate Line by PA Register	reg7_clean_inv_pa	32	H'3FFFF7F0	32
	Clean and Invalidate Line by Set/Way Register	reg7_clean_inv_index	32	H'3FFFF7F8	32
	Clean and Invalidate by Way Register	reg7_clean_inv_way	32	H'3FFFF7FC	32
	Data Lockdown 0 Register	reg9_d_lockdown0	32	H'3FFFF900	32
	Instruction Lockdown 0 Register	reg9_i_lockdown0	32	H'3FFFF904	32
	Data Lockdown 1 Register	reg9_d_lockdown1	32	H'3FFFF908	32
	Instruction Lockdown 1 Register	reg9_i_lockdown1	32	H'3FFFF90C	32
	Data Lockdown 2 Register	reg9_d_lockdown2	32	H'3FFFF910	32
	Instruction Lockdown 2 Register	reg9_i_lockdown2	32	H'3FFFF914	32
	Data Lockdown 3 Register	reg9_d_lockdown3	32	H'3FFFF918	32
	Instruction Lockdown 3 Register	reg9_i_lockdown3	32	H'3FFFF91C	32
	Data Lockdown 4 Register	reg9_d_lockdown4	32	H'3FFFF920	32
	Instruction Lockdown 4 Register	reg9_i_lockdown4	32	H'3FFFF924	32
	Data Lockdown 5 Register	reg9_d_lockdown5	32	H'3FFFF928	32
	Instruction Lockdown 5 Register	reg9_i_lockdown5	32	H'3FFFF92C	32
	Data Lockdown 6 Register	reg9_d_lockdown6	32	H'3FFFF930	32
	Instruction Lockdown 6 Register	reg9_i_lockdown6	32	H'3FFFF934	32
	Data Lockdown 7 Register	reg9_d_lockdown7	32	H'3FFFF938	32
	Instruction Lockdown 7 Register	reg9_i_lockdown7	32	H'3FFFF93C	32
	Lockdown by Line Enable Register	reg9_lock_line_en	32	H'3FFFF950	32
	Unlock All Lines Register	reg9_unlock_way	32	H'3FFFF954	32
	Address Filtering Start Register	reg12_addr_filtering_start	32	H'3FFFFC00	32
	Address Filtering End Register	reg12_addr_filtering_end	32	H'3FFFFC04	32
	Debug Control Register	reg15_debug_ctrl	32	H'3FFFFF40	32
	Prefetch Control Register	reg15_prefetch_ctrl	32	H'3FFFFF60	32
	Power Control Register	reg15_power_ctrl	32	H'3FFFFF80	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
LSI内部バス	リマップレジスタ	RMPR	32	H'FCFE1A00	32
	AXIバスコントロールレジスタ0	AXIBUSCTL0	32	H'FCFE1A04	32
	AXIバスコントロールレジスタ2	AXIBUSCTL2	32	H'FCFE1A0C	32
	AXIバスコントロールレジスタ5 注1)	AXIBUSCTL5	32	H'FCFE1A18	32
	AXIバスコントロールレジスタ6	AXIBUSCTL6	32	H'FCFE1A1C	32
	AXIバスコントロールレジスタ7	AXIBUSCTL7	32	H'FCFE1A20	32
	AXIバス応答エラー割り込みコントロールレジスタ0	AXIRERRCTL0	32	H'FCFE1A30	32
	AXIバス応答エラー割り込みコントロールレジスタ2	AXIRERRCTL2	32	H'FCFE1A38	32
	AXIバス応答エラーステータスレジスタ0	AXIRERRST0	32	H'FCFE1A40	32
	AXIバス応答エラーステータスレジスタ2	AXIRERRST2	32	H'FCFE1A48	32
	AXIバス応答エラークリアレジスタ0	AXIRERRCLR0	32	H'FCFE1A50	32
	AXIバス応答エラークリアレジスタ2	AXIRERRCLR2	32	H'FCFE1A58	32
クロックパルス発振器	周波数制御レジスタ	FRQCR	16	H'FCFE0010	16
割り込みコントローラ	割り込みコントロールレジスタ0	ICR0	16	H'FCFEF800	16
	割り込みコントロールレジスタ1	ICR1	16	H'FCFEF802	16
	IRQ割り込み要求レジスタ	IRQRR	16	H'FCFEF804	16
	分配器制御レジスタ	ICDDCR	32	H'E8201000	32
	割り込みコントローラタイプレジスタ	ICDICTR	32	H'E8201004	32
	分配器実装者識別レジスタ	ICDIIDR	32	H'E8201008	32
	割り込みセキュリティレジスタ0	ICDISR0	32	H'E8201080	32
	割り込みセキュリティレジスタ1	ICDISR1	32	H'E8201084	32
	割り込みセキュリティレジスタ2	ICDISR2	32	H'E8201088	32
	割り込みセキュリティレジスタ3	ICDISR3	32	H'E820108C	32
	割り込みセキュリティレジスタ4	ICDISR4	32	H'E8201090	32
	割り込みセキュリティレジスタ5	ICDISR5	32	H'E8201094	32
	割り込みセキュリティレジスタ6	ICDISR6	32	H'E8201098	32
	割り込みセキュリティレジスタ7	ICDISR7	32	H'E820109C	32
	割り込みセキュリティレジスタ8	ICDISR8	32	H'E82010A0	32
	割り込みセキュリティレジスタ9	ICDISR9	32	H'E82010A4	32
	割り込みセキュリティレジスタ10	ICDISR10	32	H'E82010A8	32
	割り込みセキュリティレジスタ11	ICDISR11	32	H'E82010AC	32
	割り込みセキュリティレジスタ12	ICDISR12	32	H'E82010B0	32
	割り込みセキュリティレジスタ13	ICDISR13	32	H'E82010B4	32
	割り込みセキュリティレジスタ14	ICDISR14	32	H'E82010B8	32
	割り込みセキュリティレジスタ15	ICDISR15	32	H'E82010BC	32
	割り込みセキュリティレジスタ16	ICDISR16	32	H'E82010C0	32
	割り込みイネーブルセットレジスタ0	ICDISER0	32	H'E8201100	32
	割り込みイネーブルセットレジスタ1	ICDISER1	32	H'E8201104	32
	割り込みイネーブルセットレジスタ2	ICDISER2	32	H'E8201108	32
	割り込みイネーブルセットレジスタ3	ICDISER3	32	H'E820110C	32
	割り込みイネーブルセットレジスタ4	ICDISER4	32	H'E8201110	32
	割り込みイネーブルセットレジスタ5	ICDISER5	32	H'E8201114	32
	割り込みイネーブルセットレジスタ6	ICDISER6	32	H'E8201118	32
	割り込みイネーブルセットレジスタ7	ICDISER7	32	H'E820111C	32
	割り込みイネーブルセットレジスタ8	ICDISER8	32	H'E8201120	32
	割り込みイネーブルセットレジスタ9	ICDISER9	32	H'E8201124	32
	割り込みイネーブルセットレジスタ10	ICDISER10	32	H'E8201128	32
	割り込みイネーブルセットレジスタ11	ICDISER11	32	H'E820112C	32
	割り込みイネーブルセットレジスタ12	ICDISER12	32	H'E8201130	32
	割り込みイネーブルセットレジスタ13	ICDISER13	32	H'E8201134	32
	割り込みイネーブルセットレジスタ14	ICDISER14	32	H'E8201138	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込みイネーブルセットレジスタ 15	ICDISER15	32	H'E820113C	32
	割り込みイネーブルセットレジスタ 16	ICDISER16	32	H'E8201140	32
	割り込みイネーブルクリアレジスタ 0	ICDICER0	32	H'E8201180	32
	割り込みイネーブルクリアレジスタ 1	ICDICER1	32	H'E8201184	32
	割り込みイネーブルクリアレジスタ 2	ICDICER2	32	H'E8201188	32
	割り込みイネーブルクリアレジスタ 3	ICDICER3	32	H'E820118C	32
	割り込みイネーブルクリアレジスタ 4	ICDICER4	32	H'E8201190	32
	割り込みイネーブルクリアレジスタ 5	ICDICER5	32	H'E8201194	32
	割り込みイネーブルクリアレジスタ 6	ICDICER6	32	H'E8201198	32
	割り込みイネーブルクリアレジスタ 7	ICDICER7	32	H'E820119C	32
	割り込みイネーブルクリアレジスタ 8	ICDICER8	32	H'E82011A0	32
	割り込みイネーブルクリアレジスタ 9	ICDICER9	32	H'E82011A4	32
	割り込みイネーブルクリアレジスタ 10	ICDICER10	32	H'E82011A8	32
	割り込みイネーブルクリアレジスタ 11	ICDICER11	32	H'E82011AC	32
	割り込みイネーブルクリアレジスタ 12	ICDICER12	32	H'E82011B0	32
	割り込みイネーブルクリアレジスタ 13	ICDICER13	32	H'E82011B4	32
	割り込みイネーブルクリアレジスタ 14	ICDICER14	32	H'E82011B8	32
	割り込みイネーブルクリアレジスタ 15	ICDICER15	32	H'E82011BC	32
	割り込みイネーブルクリアレジスタ 16	ICDICER16	32	H'E82011C0	32
	割り込み保留セットレジスタ 0	ICDISPR0	32	H'E8201200	32
	割り込み保留セットレジスタ 1	ICDISPR1	32	H'E8201204	32
	割り込み保留セットレジスタ 2	ICDISPR2	32	H'E8201208	32
	割り込み保留セットレジスタ 3	ICDISPR3	32	H'E820120C	32
	割り込み保留セットレジスタ 4	ICDISPR4	32	H'E8201210	32
	割り込み保留セットレジスタ 5	ICDISPR5	32	H'E8201214	32
	割り込み保留セットレジスタ 6	ICDISPR6	32	H'E8201218	32
	割り込み保留セットレジスタ 7	ICDISPR7	32	H'E820121C	32
	割り込み保留セットレジスタ 8	ICDISPR8	32	H'E8201220	32
	割り込み保留セットレジスタ 9	ICDISPR9	32	H'E8201224	32
	割り込み保留セットレジスタ 10	ICDISPR10	32	H'E8201228	32
	割り込み保留セットレジスタ 11	ICDISPR11	32	H'E820122C	32
	割り込み保留セットレジスタ 12	ICDISPR12	32	H'E8201230	32
	割り込み保留セットレジスタ 13	ICDISPR13	32	H'E8201234	32
	割り込み保留セットレジスタ 14	ICDISPR14	32	H'E8201238	32
	割り込み保留セットレジスタ 15	ICDISPR15	32	H'E820123C	32
	割り込み保留セットレジスタ 16	ICDISPR16	32	H'E8201240	32
	割り込み保留クリアレジスタ 0	ICDICPR0	32	H'E8201280	32
	割り込み保留クリアレジスタ 1	ICDICPR1	32	H'E8201284	32
	割り込み保留クリアレジスタ 2	ICDICPR2	32	H'E8201288	32
	割り込み保留クリアレジスタ 3	ICDICPR3	32	H'E820128C	32
	割り込み保留クリアレジスタ 4	ICDICPR4	32	H'E8201290	32
	割り込み保留クリアレジスタ 5	ICDICPR5	32	H'E8201294	32
	割り込み保留クリアレジスタ 6	ICDICPR6	32	H'E8201298	32
	割り込み保留クリアレジスタ 7	ICDICPR7	32	H'E820129C	32
	割り込み保留クリアレジスタ 8	ICDICPR8	32	H'E82012A0	32
	割り込み保留クリアレジスタ 9	ICDICPR9	32	H'E82012A4	32
	割り込み保留クリアレジスタ 10	ICDICPR10	32	H'E82012A8	32
	割り込み保留クリアレジスタ 11	ICDICPR11	32	H'E82012AC	32
	割り込み保留クリアレジスタ 12	ICDICPR12	32	H'E82012B0	32
	割り込み保留クリアレジスタ 13	ICDICPR13	32	H'E82012B4	32
	割り込み保留クリアレジスタ 14	ICDICPR14	32	H'E82012B8	32
	割り込み保留クリアレジスタ 15	ICDICPR15	32	H'E82012BC	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込み保留クリアレジスタ 16	ICDICPR16	32	H'E82012C0	32
	アクティブビットレジスタ 0	ICDABR0	32	H'E8201300	32
	アクティブビットレジスタ 1	ICDABR1	32	H'E8201304	32
	アクティブビットレジスタ 2	ICDABR2	32	H'E8201308	32
	アクティブビットレジスタ 3	ICDABR3	32	H'E820130C	32
	アクティブビットレジスタ 4	ICDABR4	32	H'E8201310	32
	アクティブビットレジスタ 5	ICDABR5	32	H'E8201314	32
	アクティブビットレジスタ 6	ICDABR6	32	H'E8201318	32
	アクティブビットレジスタ 7	ICDABR7	32	H'E820131C	32
	アクティブビットレジスタ 8	ICDABR8	32	H'E8201320	32
	アクティブビットレジスタ 9	ICDABR9	32	H'E8201324	32
	アクティブビットレジスタ 10	ICDABR10	32	H'E8201328	32
	アクティブビットレジスタ 11	ICDABR11	32	H'E820132C	32
	アクティブビットレジスタ 12	ICDABR12	32	H'E8201330	32
	アクティブビットレジスタ 13	ICDABR13	32	H'E8201334	32
	アクティブビットレジスタ 14	ICDABR14	32	H'E8201338	32
	アクティブビットレジスタ 15	ICDABR15	32	H'E820133C	32
	アクティブビットレジスタ 16	ICDABR16	32	H'E8201340	32
	割り込み優先度レジスタ 0	ICDIPR0	32	H'E8201400	32
	割り込み優先度レジスタ 1	ICDIPR1	32	H'E8201404	32
	割り込み優先度レジスタ 2	ICDIPR2	32	H'E8201408	32
	割り込み優先度レジスタ 3	ICDIPR3	32	H'E820140C	32
	割り込み優先度レジスタ 4	ICDIPR4	32	H'E8201410	32
	割り込み優先度レジスタ 5	ICDIPR5	32	H'E8201414	32
	割り込み優先度レジスタ 6	ICDIPR6	32	H'E8201418	32
	割り込み優先度レジスタ 7	ICDIPR7	32	H'E820141C	32
	割り込み優先度レジスタ 8	ICDIPR8	32	H'E8201420	32
	割り込み優先度レジスタ 9	ICDIPR9	32	H'E8201424	32
	割り込み優先度レジスタ 10	ICDIPR10	32	H'E8201428	32
	割り込み優先度レジスタ 11	ICDIPR11	32	H'E820142C	32
	割り込み優先度レジスタ 12	ICDIPR12	32	H'E8201430	32
	割り込み優先度レジスタ 13	ICDIPR13	32	H'E8201434	32
	割り込み優先度レジスタ 14	ICDIPR14	32	H'E8201438	32
	割り込み優先度レジスタ 15	ICDIPR15	32	H'E820143C	32
	割り込み優先度レジスタ 16	ICDIPR16	32	H'E8201440	32
	割り込み優先度レジスタ 17	ICDIPR17	32	H'E8201444	32
	割り込み優先度レジスタ 18	ICDIPR18	32	H'E8201448	32
	割り込み優先度レジスタ 19	ICDIPR19	32	H'E820144C	32
	割り込み優先度レジスタ 20	ICDIPR20	32	H'E8201450	32
	割り込み優先度レジスタ 21	ICDIPR21	32	H'E8201454	32
	割り込み優先度レジスタ 22	ICDIPR22	32	H'E8201458	32
	割り込み優先度レジスタ 23	ICDIPR23	32	H'E820145C	32
	割り込み優先度レジスタ 24	ICDIPR24	32	H'E8201460	32
	割り込み優先度レジスタ 25	ICDIPR25	32	H'E8201464	32
	割り込み優先度レジスタ 26	ICDIPR26	32	H'E8201468	32
	割り込み優先度レジスタ 27	ICDIPR27	32	H'E820146C	32
	割り込み優先度レジスタ 28	ICDIPR28	32	H'E8201470	32
	割り込み優先度レジスタ 29	ICDIPR29	32	H'E8201474	32
	割り込み優先度レジスタ 30	ICDIPR30	32	H'E8201478	32
	割り込み優先度レジスタ 31	ICDIPR31	32	H'E820147C	32
	割り込み優先度レジスタ 32	ICDIPR32	32	H'E8201480	32
	割り込み優先度レジスタ 33	ICDIPR33	32	H'E8201484	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込み優先度レジスタ 34	ICDIPR34	32	H'E8201488	32
	割り込み優先度レジスタ 35	ICDIPR35	32	H'E820148C	32
	割り込み優先度レジスタ 36	ICDIPR36	32	H'E8201490	32
	割り込み優先度レジスタ 37	ICDIPR37	32	H'E8201494	32
	割り込み優先度レジスタ 38	ICDIPR38	32	H'E8201498	32
	割り込み優先度レジスタ 39	ICDIPR39	32	H'E820149C	32
	割り込み優先度レジスタ 40	ICDIPR40	32	H'E82014A0	32
	割り込み優先度レジスタ 41	ICDIPR41	32	H'E82014A4	32
	割り込み優先度レジスタ 42	ICDIPR42	32	H'E82014A8	32
	割り込み優先度レジスタ 43	ICDIPR43	32	H'E82014AC	32
	割り込み優先度レジスタ 44	ICDIPR44	32	H'E82014B0	32
	割り込み優先度レジスタ 45	ICDIPR45	32	H'E82014B4	32
	割り込み優先度レジスタ 46	ICDIPR46	32	H'E82014B8	32
	割り込み優先度レジスタ 47	ICDIPR47	32	H'E82014BC	32
	割り込み優先度レジスタ 48	ICDIPR48	32	H'E82014C0	32
	割り込み優先度レジスタ 49	ICDIPR49	32	H'E82014C4	32
	割り込み優先度レジスタ 50	ICDIPR50	32	H'E82014C8	32
	割り込み優先度レジスタ 51	ICDIPR51	32	H'E82014CC	32
	割り込み優先度レジスタ 52	ICDIPR52	32	H'E82014D0	32
	割り込み優先度レジスタ 53	ICDIPR53	32	H'E82014D4	32
	割り込み優先度レジスタ 54	ICDIPR54	32	H'E82014D8	32
	割り込み優先度レジスタ 55	ICDIPR55	32	H'E82014DC	32
	割り込み優先度レジスタ 56	ICDIPR56	32	H'E82014E0	32
	割り込み優先度レジスタ 57	ICDIPR57	32	H'E82014E4	32
	割り込み優先度レジスタ 58	ICDIPR58	32	H'E82014E8	32
	割り込み優先度レジスタ 59	ICDIPR59	32	H'E82014EC	32
	割り込み優先度レジスタ 60	ICDIPR60	32	H'E82014F0	32
	割り込み優先度レジスタ 61	ICDIPR61	32	H'E82014F4	32
	割り込み優先度レジスタ 62	ICDIPR62	32	H'E82014F8	32
	割り込み優先度レジスタ 63	ICDIPR63	32	H'E82014FC	32
	割り込み優先度レジスタ 64	ICDIPR64	32	H'E8201500	32
	割り込み優先度レジスタ 65	ICDIPR65	32	H'E8201504	32
	割り込み優先度レジスタ 66	ICDIPR66	32	H'E8201508	32
	割り込み優先度レジスタ 67	ICDIPR67	32	H'E820150C	32
	割り込み優先度レジスタ 68	ICDIPR68	32	H'E8201510	32
	割り込み優先度レジスタ 69	ICDIPR69	32	H'E8201514	32
	割り込み優先度レジスタ 70	ICDIPR70	32	H'E8201518	32
	割り込み優先度レジスタ 71	ICDIPR71	32	H'E820151C	32
	割り込み優先度レジスタ 72	ICDIPR72	32	H'E8201520	32
	割り込み優先度レジスタ 73	ICDIPR73	32	H'E8201524	32
	割り込み優先度レジスタ 74	ICDIPR74	32	H'E8201528	32
	割り込み優先度レジスタ 75	ICDIPR75	32	H'E820152C	32
	割り込み優先度レジスタ 76	ICDIPR76	32	H'E8201530	32
	割り込み優先度レジスタ 77	ICDIPR77	32	H'E8201534	32
	割り込み優先度レジスタ 78	ICDIPR78	32	H'E8201538	32
	割り込み優先度レジスタ 79	ICDIPR79	32	H'E820153C	32
	割り込み優先度レジスタ 80	ICDIPR80	32	H'E8201540	32
	割り込み優先度レジスタ 81	ICDIPR81	32	H'E8201544	32
	割り込み優先度レジスタ 82	ICDIPR82	32	H'E8201548	32
	割り込み優先度レジスタ 83	ICDIPR83	32	H'E820154C	32
	割り込み優先度レジスタ 84	ICDIPR84	32	H'E8201550	32
	割り込み優先度レジスタ 85	ICDIPR85	32	H'E8201554	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込み優先度レジスタ 86	ICDIPR86	32	H'E8201558	32
	割り込み優先度レジスタ 87	ICDIPR87	32	H'E820155C	32
	割り込み優先度レジスタ 88	ICDIPR88	32	H'E8201560	32
	割り込み優先度レジスタ 89	ICDIPR89	32	H'E8201564	32
	割り込み優先度レジスタ 90	ICDIPR90	32	H'E8201568	32
	割り込み優先度レジスタ 91	ICDIPR91	32	H'E820156C	32
	割り込み優先度レジスタ 92	ICDIPR92	32	H'E8201570	32
	割り込み優先度レジスタ 93	ICDIPR93	32	H'E8201574	32
	割り込み優先度レジスタ 94	ICDIPR94	32	H'E8201578	32
	割り込み優先度レジスタ 95	ICDIPR95	32	H'E820157C	32
	割り込み優先度レジスタ 96	ICDIPR96	32	H'E8201580	32
	割り込み優先度レジスタ 97	ICDIPR97	32	H'E8201584	32
	割り込み優先度レジスタ 98	ICDIPR98	32	H'E8201588	32
	割り込み優先度レジスタ 99	ICDIPR99	32	H'E820158C	32
	割り込み優先度レジスタ 100	ICDIPR100	32	H'E8201590	32
	割り込み優先度レジスタ 101	ICDIPR101	32	H'E8201594	32
	割り込み優先度レジスタ 102	ICDIPR102	32	H'E8201598	32
	割り込み優先度レジスタ 103	ICDIPR103	32	H'E820159C	32
	割り込み優先度レジスタ 104	ICDIPR104	32	H'E82015A0	32
	割り込み優先度レジスタ 105	ICDIPR105	32	H'E82015A4	32
	割り込み優先度レジスタ 106	ICDIPR106	32	H'E82015A8	32
	割り込み優先度レジスタ 107	ICDIPR107	32	H'E82015AC	32
	割り込み優先度レジスタ 108	ICDIPR108	32	H'E82015B0	32
	割り込み優先度レジスタ 109	ICDIPR109	32	H'E82015B4	32
	割り込み優先度レジスタ 110	ICDIPR110	32	H'E82015B8	32
	割り込み優先度レジスタ 111	ICDIPR111	32	H'E82015BC	32
	割り込み優先度レジスタ 112	ICDIPR112	32	H'E82015C0	32
	割り込み優先度レジスタ 113	ICDIPR113	32	H'E82015C4	32
	割り込み優先度レジスタ 114	ICDIPR114	32	H'E82015C8	32
	割り込み優先度レジスタ 115	ICDIPR115	32	H'E82015CC	32
	割り込み優先度レジスタ 116	ICDIPR116	32	H'E82015D0	32
	割り込み優先度レジスタ 117	ICDIPR117	32	H'E82015D4	32
	割り込み優先度レジスタ 118	ICDIPR118	32	H'E82015D8	32
	割り込み優先度レジスタ 119	ICDIPR119	32	H'E82015DC	32
	割り込み優先度レジスタ 120	ICDIPR120	32	H'E82015E0	32
	割り込み優先度レジスタ 121	ICDIPR121	32	H'E82015E4	32
	割り込み優先度レジスタ 122	ICDIPR122	32	H'E82015E8	32
	割り込み優先度レジスタ 123	ICDIPR123	32	H'E82015EC	32
	割り込み優先度レジスタ 124	ICDIPR124	32	H'E82015F0	32
	割り込み優先度レジスタ 125	ICDIPR125	32	H'E82015F4	32
	割り込み優先度レジスタ 126	ICDIPR126	32	H'E82015F8	32
	割り込み優先度レジスタ 127	ICDIPR127	32	H'E82015FC	32
	割り込み優先度レジスタ 128	ICDIPR128	32	H'E8201600	32
	割り込み優先度レジスタ 129	ICDIPR129	32	H'E8201604	32
	割り込み優先度レジスタ 130	ICDIPR130	32	H'E8201608	32
	割り込み優先度レジスタ 131	ICDIPR131	32	H'E820160C	32
	割り込み優先度レジスタ 132	ICDIPR132	32	H'E8201610	32
	割り込み優先度レジスタ 133	ICDIPR133	32	H'E8201614	32
	割り込み優先度レジスタ 134	ICDIPR134	32	H'E8201618	32
	割り込みプロセッサターゲットレジスタ 0	ICDIPTR0	32	H'E8201800	32
	割り込みプロセッサターゲットレジスタ 1	ICDIPTR1	32	H'E8201804	32
	割り込みプロセッサターゲットレジスタ 2	ICDIPTR2	32	H'E8201808	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込みプロセッサターゲットレジスタ3	ICDIPTR3	32	H'E820180C	32
	割り込みプロセッサターゲットレジスタ4	ICDIPTR4	32	H'E8201810	32
	割り込みプロセッサターゲットレジスタ5	ICDIPTR5	32	H'E8201814	32
	割り込みプロセッサターゲットレジスタ6	ICDIPTR6	32	H'E8201818	32
	割り込みプロセッサターゲットレジスタ7	ICDIPTR7	32	H'E820181C	32
	割り込みプロセッサターゲットレジスタ8	ICDIPTR8	32	H'E8201820	32
	割り込みプロセッサターゲットレジスタ9	ICDIPTR9	32	H'E8201824	32
	割り込みプロセッサターゲットレジスタ10	ICDIPTR10	32	H'E8201828	32
	割り込みプロセッサターゲットレジスタ11	ICDIPTR11	32	H'E820182C	32
	割り込みプロセッサターゲットレジスタ12	ICDIPTR12	32	H'E8201830	32
	割り込みプロセッサターゲットレジスタ13	ICDIPTR13	32	H'E8201834	32
	割り込みプロセッサターゲットレジスタ14	ICDIPTR14	32	H'E8201838	32
	割り込みプロセッサターゲットレジスタ15	ICDIPTR15	32	H'E820183C	32
	割り込みプロセッサターゲットレジスタ16	ICDIPTR16	32	H'E8201840	32
	割り込みプロセッサターゲットレジスタ17	ICDIPTR17	32	H'E8201844	32
	割り込みプロセッサターゲットレジスタ18	ICDIPTR18	32	H'E8201848	32
	割り込みプロセッサターゲットレジスタ19	ICDIPTR19	32	H'E820184C	32
	割り込みプロセッサターゲットレジスタ20	ICDIPTR20	32	H'E8201850	32
	割り込みプロセッサターゲットレジスタ21	ICDIPTR21	32	H'E8201854	32
	割り込みプロセッサターゲットレジスタ22	ICDIPTR22	32	H'E8201858	32
	割り込みプロセッサターゲットレジスタ23	ICDIPTR23	32	H'E820185C	32
	割り込みプロセッサターゲットレジスタ24	ICDIPTR24	32	H'E8201860	32
	割り込みプロセッサターゲットレジスタ25	ICDIPTR25	32	H'E8201864	32
	割り込みプロセッサターゲットレジスタ26	ICDIPTR26	32	H'E8201868	32
	割り込みプロセッサターゲットレジスタ27	ICDIPTR27	32	H'E820186C	32
	割り込みプロセッサターゲットレジスタ28	ICDIPTR28	32	H'E8201870	32
	割り込みプロセッサターゲットレジスタ29	ICDIPTR29	32	H'E8201874	32
	割り込みプロセッサターゲットレジスタ30	ICDIPTR30	32	H'E8201878	32
	割り込みプロセッサターゲットレジスタ31	ICDIPTR31	32	H'E820187C	32
	割り込みプロセッサターゲットレジスタ32	ICDIPTR32	32	H'E8201880	32
	割り込みプロセッサターゲットレジスタ33	ICDIPTR33	32	H'E8201884	32
	割り込みプロセッサターゲットレジスタ34	ICDIPTR34	32	H'E8201888	32
	割り込みプロセッサターゲットレジスタ35	ICDIPTR35	32	H'E820188C	32
	割り込みプロセッサターゲットレジスタ36	ICDIPTR36	32	H'E8201890	32
	割り込みプロセッサターゲットレジスタ37	ICDIPTR37	32	H'E8201894	32
	割り込みプロセッサターゲットレジスタ38	ICDIPTR38	32	H'E8201898	32
	割り込みプロセッサターゲットレジスタ39	ICDIPTR39	32	H'E820189C	32
	割り込みプロセッサターゲットレジスタ40	ICDIPTR40	32	H'E82018A0	32
	割り込みプロセッサターゲットレジスタ41	ICDIPTR41	32	H'E82018A4	32
	割り込みプロセッサターゲットレジスタ42	ICDIPTR42	32	H'E82018A8	32
	割り込みプロセッサターゲットレジスタ43	ICDIPTR43	32	H'E82018AC	32
	割り込みプロセッサターゲットレジスタ44	ICDIPTR44	32	H'E82018B0	32
	割り込みプロセッサターゲットレジスタ45	ICDIPTR45	32	H'E82018B4	32
	割り込みプロセッサターゲットレジスタ46	ICDIPTR46	32	H'E82018B8	32
	割り込みプロセッサターゲットレジスタ47	ICDIPTR47	32	H'E82018BC	32
	割り込みプロセッサターゲットレジスタ48	ICDIPTR48	32	H'E82018C0	32
	割り込みプロセッサターゲットレジスタ49	ICDIPTR49	32	H'E82018C4	32
	割り込みプロセッサターゲットレジスタ50	ICDIPTR50	32	H'E82018C8	32
	割り込みプロセッサターゲットレジスタ51	ICDIPTR51	32	H'E82018CC	32
	割り込みプロセッサターゲットレジスタ52	ICDIPTR52	32	H'E82018D0	32
	割り込みプロセッサターゲットレジスタ53	ICDIPTR53	32	H'E82018D4	32
	割り込みプロセッサターゲットレジスタ54	ICDIPTR54	32	H'E82018D8	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込みプロセッサターゲットレジスタ 55	ICDIPTR55	32	H'E82018DC	32
	割り込みプロセッサターゲットレジスタ 56	ICDIPTR56	32	H'E82018E0	32
	割り込みプロセッサターゲットレジスタ 57	ICDIPTR57	32	H'E82018E4	32
	割り込みプロセッサターゲットレジスタ 58	ICDIPTR58	32	H'E82018E8	32
	割り込みプロセッサターゲットレジスタ 59	ICDIPTR59	32	H'E82018EC	32
	割り込みプロセッサターゲットレジスタ 60	ICDIPTR60	32	H'E82018F0	32
	割り込みプロセッサターゲットレジスタ 61	ICDIPTR61	32	H'E82018F4	32
	割り込みプロセッサターゲットレジスタ 62	ICDIPTR62	32	H'E82018F8	32
	割り込みプロセッサターゲットレジスタ 63	ICDIPTR63	32	H'E82018FC	32
	割り込みプロセッサターゲットレジスタ 64	ICDIPTR64	32	H'E8201900	32
	割り込みプロセッサターゲットレジスタ 65	ICDIPTR65	32	H'E8201904	32
	割り込みプロセッサターゲットレジスタ 66	ICDIPTR66	32	H'E8201908	32
	割り込みプロセッサターゲットレジスタ 67	ICDIPTR67	32	H'E820190C	32
	割り込みプロセッサターゲットレジスタ 68	ICDIPTR68	32	H'E8201910	32
	割り込みプロセッサターゲットレジスタ 69	ICDIPTR69	32	H'E8201914	32
	割り込みプロセッサターゲットレジスタ 70	ICDIPTR70	32	H'E8201918	32
	割り込みプロセッサターゲットレジスタ 71	ICDIPTR71	32	H'E820191C	32
	割り込みプロセッサターゲットレジスタ 72	ICDIPTR72	32	H'E8201920	32
	割り込みプロセッサターゲットレジスタ 73	ICDIPTR73	32	H'E8201924	32
	割り込みプロセッサターゲットレジスタ 74	ICDIPTR74	32	H'E8201928	32
	割り込みプロセッサターゲットレジスタ 75	ICDIPTR75	32	H'E820192C	32
	割り込みプロセッサターゲットレジスタ 76	ICDIPTR76	32	H'E8201930	32
	割り込みプロセッサターゲットレジスタ 77	ICDIPTR77	32	H'E8201934	32
	割り込みプロセッサターゲットレジスタ 78	ICDIPTR78	32	H'E8201938	32
	割り込みプロセッサターゲットレジスタ 79	ICDIPTR79	32	H'E820193C	32
	割り込みプロセッサターゲットレジスタ 80	ICDIPTR80	32	H'E8201940	32
	割り込みプロセッサターゲットレジスタ 81	ICDIPTR81	32	H'E8201944	32
	割り込みプロセッサターゲットレジスタ 82	ICDIPTR82	32	H'E8201948	32
	割り込みプロセッサターゲットレジスタ 83	ICDIPTR83	32	H'E820194C	32
	割り込みプロセッサターゲットレジスタ 84	ICDIPTR84	32	H'E8201950	32
	割り込みプロセッサターゲットレジスタ 85	ICDIPTR85	32	H'E8201954	32
	割り込みプロセッサターゲットレジスタ 86	ICDIPTR86	32	H'E8201958	32
	割り込みプロセッサターゲットレジスタ 87	ICDIPTR87	32	H'E820195C	32
	割り込みプロセッサターゲットレジスタ 88	ICDIPTR88	32	H'E8201960	32
	割り込みプロセッサターゲットレジスタ 89	ICDIPTR89	32	H'E8201964	32
	割り込みプロセッサターゲットレジスタ 90	ICDIPTR90	32	H'E8201968	32
	割り込みプロセッサターゲットレジスタ 91	ICDIPTR91	32	H'E820196C	32
	割り込みプロセッサターゲットレジスタ 92	ICDIPTR92	32	H'E8201970	32
	割り込みプロセッサターゲットレジスタ 93	ICDIPTR93	32	H'E8201974	32
	割り込みプロセッサターゲットレジスタ 94	ICDIPTR94	32	H'E8201978	32
	割り込みプロセッサターゲットレジスタ 95	ICDIPTR95	32	H'E820197C	32
	割り込みプロセッサターゲットレジスタ 96	ICDIPTR96	32	H'E8201980	32
	割り込みプロセッサターゲットレジスタ 97	ICDIPTR97	32	H'E8201984	32
	割り込みプロセッサターゲットレジスタ 98	ICDIPTR98	32	H'E8201988	32
	割り込みプロセッサターゲットレジスタ 99	ICDIPTR99	32	H'E820198C	32
	割り込みプロセッサターゲットレジスタ 100	ICDIPTR100	32	H'E8201990	32
	割り込みプロセッサターゲットレジスタ 101	ICDIPTR101	32	H'E8201994	32
	割り込みプロセッサターゲットレジスタ 102	ICDIPTR102	32	H'E8201998	32
	割り込みプロセッサターゲットレジスタ 103	ICDIPTR103	32	H'E820199C	32
	割り込みプロセッサターゲットレジスタ 104	ICDIPTR104	32	H'E82019A0	32
	割り込みプロセッサターゲットレジスタ 105	ICDIPTR105	32	H'E82019A4	32
	割り込みプロセッサターゲットレジスタ 106	ICDIPTR106	32	H'E82019A8	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込みプロセッサターゲットレジスタ 107	ICDIPTR107	32	H'E82019AC	32
	割り込みプロセッサターゲットレジスタ 108	ICDIPTR108	32	H'E82019B0	32
	割り込みプロセッサターゲットレジスタ 109	ICDIPTR109	32	H'E82019B4	32
	割り込みプロセッサターゲットレジスタ 110	ICDIPTR110	32	H'E82019B8	32
	割り込みプロセッサターゲットレジスタ 111	ICDIPTR111	32	H'E82019BC	32
	割り込みプロセッサターゲットレジスタ 112	ICDIPTR112	32	H'E82019C0	32
	割り込みプロセッサターゲットレジスタ 113	ICDIPTR113	32	H'E82019C4	32
	割り込みプロセッサターゲットレジスタ 114	ICDIPTR114	32	H'E82019C8	32
	割り込みプロセッサターゲットレジスタ 115	ICDIPTR115	32	H'E82019CC	32
	割り込みプロセッサターゲットレジスタ 116	ICDIPTR116	32	H'E82019D0	32
	割り込みプロセッサターゲットレジスタ 117	ICDIPTR117	32	H'E82019D4	32
	割り込みプロセッサターゲットレジスタ 118	ICDIPTR118	32	H'E82019D8	32
	割り込みプロセッサターゲットレジスタ 119	ICDIPTR119	32	H'E82019DC	32
	割り込みプロセッサターゲットレジスタ 120	ICDIPTR120	32	H'E82019E0	32
	割り込みプロセッサターゲットレジスタ 121	ICDIPTR121	32	H'E82019E4	32
	割り込みプロセッサターゲットレジスタ 122	ICDIPTR122	32	H'E82019E8	32
	割り込みプロセッサターゲットレジスタ 123	ICDIPTR123	32	H'E82019EC	32
	割り込みプロセッサターゲットレジスタ 124	ICDIPTR124	32	H'E82019F0	32
	割り込みプロセッサターゲットレジスタ 125	ICDIPTR125	32	H'E82019F4	32
	割り込みプロセッサターゲットレジスタ 126	ICDIPTR126	32	H'E82019F8	32
	割り込みプロセッサターゲットレジスタ 127	ICDIPTR127	32	H'E82019FC	32
	割り込みプロセッサターゲットレジスタ 128	ICDIPTR128	32	H'E8201A00	32
	割り込みプロセッサターゲットレジスタ 129	ICDIPTR129	32	H'E8201A04	32
	割り込みプロセッサターゲットレジスタ 130	ICDIPTR130	32	H'E8201A08	32
	割り込みプロセッサターゲットレジスタ 131	ICDIPTR131	32	H'E8201A0C	32
	割り込みプロセッサターゲットレジスタ 132	ICDIPTR132	32	H'E8201A10	32
	割り込みプロセッサターゲットレジスタ 133	ICDIPTR133	32	H'E8201A14	32
	割り込みプロセッサターゲットレジスタ 134	ICDIPTR134	32	H'E8201A18	32
	割り込み構成レジスタ 0	ICDICFR0	32	H'E8201C00	32
	割り込み構成レジスタ 1	ICDICFR1	32	H'E8201C04	32
	割り込み構成レジスタ 2	ICDICFR2	32	H'E8201C08	32
	割り込み構成レジスタ 3	ICDICFR3	32	H'E8201C0C	32
	割り込み構成レジスタ 4	ICDICFR4	32	H'E8201C10	32
	割り込み構成レジスタ 5	ICDICFR5	32	H'E8201C14	32
	割り込み構成レジスタ 6	ICDICFR6	32	H'E8201C18	32
	割り込み構成レジスタ 7	ICDICFR7	32	H'E8201C1C	32
	割り込み構成レジスタ 8	ICDICFR8	32	H'E8201C20	32
	割り込み構成レジスタ 9	ICDICFR9	32	H'E8201C24	32
	割り込み構成レジスタ 10	ICDICFR10	32	H'E8201C28	32
	割り込み構成レジスタ 11	ICDICFR11	32	H'E8201C2C	32
	割り込み構成レジスタ 12	ICDICFR12	32	H'E8201C30	32
	割り込み構成レジスタ 13	ICDICFR13	32	H'E8201C34	32
	割り込み構成レジスタ 14	ICDICFR14	32	H'E8201C38	32
	割り込み構成レジスタ 15	ICDICFR15	32	H'E8201C3C	32
	割り込み構成レジスタ 16	ICDICFR16	32	H'E8201C40	32
	割り込み構成レジスタ 17	ICDICFR17	32	H'E8201C44	32
	割り込み構成レジスタ 18	ICDICFR18	32	H'E8201C48	32
	割り込み構成レジスタ 19	ICDICFR19	32	H'E8201C4C	32
	割り込み構成レジスタ 20	ICDICFR20	32	H'E8201C50	32
	割り込み構成レジスタ 21	ICDICFR21	32	H'E8201C54	32
	割り込み構成レジスタ 22	ICDICFR22	32	H'E8201C58	32
	割り込み構成レジスタ 23	ICDICFR23	32	H'E8201C5C	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
割り込みコントローラ	割り込み構成レジスタ24	ICDICFR24	32	H'E8201C60	32
	割り込み構成レジスタ25	ICDICFR25	32	H'E8201C64	32
	割り込み構成レジスタ26	ICDICFR26	32	H'E8201C68	32
	割り込み構成レジスタ27	ICDICFR27	32	H'E8201C6C	32
	割り込み構成レジスタ28	ICDICFR28	32	H'E8201C70	32
	割り込み構成レジスタ29	ICDICFR29	32	H'E8201C74	32
	割り込み構成レジスタ30	ICDICFR30	32	H'E8201C78	32
	割り込み構成レジスタ31	ICDICFR31	32	H'E8201C7C	32
	割り込み構成レジスタ32	ICDICFR32	32	H'E8201C80	32
	割り込み構成レジスタ33	ICDICFR33	32	H'E8201C84	32
	PPIステータスレジスタ	ppi_status	32	H'E8201D00	32
	SPIステータスレジスタ0	spi_status0	32	H'E8201D04	32
	SPIステータスレジスタ1	spi_status1	32	H'E8201D08	32
	SPIステータスレジスタ2	spi_status2	32	H'E8201D0C	32
	SPIステータスレジスタ3	spi_status3	32	H'E8201D10	32
	SPIステータスレジスタ4	spi_status4	32	H'E8201D14	32
	SPIステータスレジスタ5	spi_status5	32	H'E8201D18	32
	SPIステータスレジスタ6	spi_status6	32	H'E8201D1C	32
	SPIステータスレジスタ7	spi_status7	32	H'E8201D20	32
	SPIステータスレジスタ8	spi_status8	32	H'E8201D24	32
	SPIステータスレジスタ9	spi_status9	32	H'E8201D28	32
	SPIステータスレジスタ10	spi_status10	32	H'E8201D2C	32
	SPIステータスレジスタ11	spi_status11	32	H'E8201D30	32
	SPIステータスレジスタ12	spi_status12	32	H'E8201D34	32
	SPIステータスレジスタ13	spi_status13	32	H'E8201D38	32
	SPIステータスレジスタ14	spi_status14	32	H'E8201D3C	32
	ソフトウェア生成割り込みレジスタ	ICDSGIR	32	H'E8201F00	32
	CPUインタフェース制御レジスタ	ICCICR	32	H'E8202000	32
	割り込み優先度マスクレジスタ	ICCPMR	32	H'E8202004	32
	2進小数点レジスタ	ICCBPR	32	H'E8202008	32
	割り込み応答レジスタ	ICCIAR	32	H'E820200C	32
	割り込み終了レジスタ	ICCEOIR	32	H'E8202010	32
	実行優先度レジスタ	ICCRPR	32	H'E8202014	32
	最優先保留割り込みレジスタ	ICCHPIR	32	H'E8202018	32
	エイリアスされた非セキュア2進小数点レジスタ	ICCABPR	32	H'E820201C	32
	CPUインタフェース実装識別レジスタ	ICCIIDR	32	H'E82020FC	32
バスステートコントローラ	共通コントロールレジスタ	CMNCR	32	H'3FFFC000	32
	CS0空間バスコントロールレジスタ	CS0BCR	32	H'3FFFC004	32
	CS1空間バスコントロールレジスタ	CS1BCR	32	H'3FFFC008	32
	CS2空間バスコントロールレジスタ	CS2BCR	32	H'3FFFC00C	32
	CS3空間バスコントロールレジスタ	CS3BCR	32	H'3FFFC010	32
	CS4空間バスコントロールレジスタ	CS4BCR	32	H'3FFFC014	32
	CS5空間バスコントロールレジスタ	CS5BCR	32	H'3FFFC018	32
	CS0空間ウェイトコントロールレジスタ	CS0WCR	32	H'3FFFC028	32
	CS1空間ウェイトコントロールレジスタ	CS1WCR	32	H'3FFFC02C	32
	CS2空間ウェイトコントロールレジスタ	CS2WCR	32	H'3FFFC030	32
	CS3空間ウェイトコントロールレジスタ	CS3WCR	32	H'3FFFC034	32
	CS4空間ウェイトコントロールレジスタ	CS4WCR	32	H'3FFFC038	32
	CS5空間ウェイトコントロールレジスタ	CS5WCR	32	H'3FFFC03C	32
	SDRAMコントロールレジスタ	SDCR	32	H'3FFFC04C	32
	リフレッシュタイマコントロール／ステータスレジスタ	RTCSR	16	H'3FFFC050	32
	リフレッシュタイマカウンタ	RTCNT	16	H'3FFFC054	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
バスステートコントローラ	リフレッシュタイムコンスタントレジスタ	RTCOR	16	H'3FFFC058	32
	タイムアウトサイクルコンスタントレジスタ0	TOSCOR0	32	H'3FFFC060	32
	タイムアウトサイクルコンスタントレジスタ1	TOSCOR1	32	H'3FFFC064	32
	タイムアウトサイクルコンスタントレジスタ2	TOSCOR2	32	H'3FFFC068	32
	タイムアウトサイクルコンスタントレジスタ3	TOSCOR3	32	H'3FFFC06C	32
	タイムアウトサイクルコンスタントレジスタ4	TOSCOR4	32	H'3FFFC070	32
	タイムアウトサイクルコンスタントレジスタ5	TOSCOR5	32	H'3FFFC074	32
	タイムアウトステータスレジスタ	TOSTR	32	H'3FFFC080	32
	タイムアウトイネーブルレジスタ	TOENR	32	H'3FFFC084	32
ダイレクトメモリアクセスコントローラ	Next0 Source Address Register 0	N0SA_0	32	H'E8200000	32
	Next0 Destination Address Register 0	N0DA_0	32	H'E8200004	32
	Next0 Transaction Byte Register 0	N0TB_0	32	H'E8200008	32
	Next1 Source Address Register 0	N1SA_0	32	H'E820000C	32
	Next1 Destination Address Register 0	N1DA_0	32	H'E8200010	32
	Next1 Transaction Byte Register 0	N1TB_0	32	H'E8200014	32
	Current Source Address Register 0	CRSA_0	32	H'E8200018	32
	Current Destination Address Register 0	CRDA_0	32	H'E820001C	32
	Current Transaction Byte Register 0	CRTB_0	32	H'E8200020	32
	Channel Status Register 0	CHSTAT_0	32	H'E8200024	32
	Channel Control Register 0	CHCTRL_0	32	H'E8200028	32
	Channel Configuration Register 0	CHCFG_0	32	H'E820002C	32
	Channel Interval Register 0	CHITVL_0	32	H'E8200030	32
	Channel Extension Register 0	CHEXT_0	32	H'E8200034	32
	Next Link Address Register 0	NXLA_0	32	H'E8200038	32
	Current Link Address Register 0	CRLA_0	32	H'E820003C	32
	Next0 Source Address Register 1	N0SA_1	32	H'E8200040	32
	Next0 Destination Address Register 1	N0DA_1	32	H'E8200044	32
	Next0 Transaction Byte Register 1	N0TB_1	32	H'E8200048	32
	Next1 Source Address Register 1	N1SA_1	32	H'E820004C	32
	Next1 Destination Address Register 1	N1DA_1	32	H'E8200050	32
	Next1 Transaction Byte Register 1	N1TB_1	32	H'E8200054	32
	Current Source Address Register 1	CRSA_1	32	H'E8200058	32
	Current Destination Address Register 1	CRDA_1	32	H'E820005C	32
	Current Transaction Byte Register 1	CRTB_1	32	H'E8200060	32
	Channel Status Register 1	CHSTAT_1	32	H'E8200064	32
	Channel Control Register 1	CHCTRL_1	32	H'E8200068	32
	Channel Configuration Register 1	CHCFG_1	32	H'E820006C	32
	Channel Interval Register 1	CHITVL_1	32	H'E8200070	32
	Channel Extension Register 1	CHEXT_1	32	H'E8200074	32
	Next Link Address Register 1	NXLA_1	32	H'E8200078	32
	Current Link Address Register 1	CRLA_1	32	H'E820007C	32
	Next0 Source Address Register 2	N0SA_2	32	H'E8200080	32
	Next0 Destination Address Register 2	N0DA_2	32	H'E8200084	32
	Next0 Transaction Byte Register 2	N0TB_2	32	H'E8200088	32
	Next1 Source Address Register 2	N1SA_2	32	H'E820008C	32
	Next1 Destination Address Register 2	N1DA_2	32	H'E8200090	32
	Next1 Transaction Byte Register 2	N1TB_2	32	H'E8200094	32
	Current Source Address Register 2	CRSA_2	32	H'E8200098	32
	Current Destination Address Register 2	CRDA_2	32	H'E820009C	32
	Current Transaction Byte Register 2	CRTB_2	32	H'E82000A0	32
	Channel Status Register 2	CHSTAT_2	32	H'E82000A4	32
	Channel Control Register 2	CHCTRL_2	32	H'E82000A8	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ダイレクトメモリアクセスコントローラ	Channel Configuration Register 2	CHCFG_2	32	H'E82000AC	32
	Channel Interval Register 2	CHITVL_2	32	H'E82000B0	32
	Channel Extension Register 2	CHEXT_2	32	H'E82000B4	32
	Next Link Address Register 2	NXLA_2	32	H'E82000B8	32
	Current Link Address Register 2	CRLA_2	32	H'E82000BC	32
	Next0 Source Address Register 3	N0SA_3	32	H'E82000C0	32
	Next0 Destination Address Register 3	N0DA_3	32	H'E82000C4	32
	Next0 Transaction Byte Register 3	N0TB_3	32	H'E82000C8	32
	Next1 Source Address Register 3	N1SA_3	32	H'E82000CC	32
	Next1 Destination Address Register 3	N1DA_3	32	H'E82000D0	32
	Next1 Transaction Byte Register 3	N1TB_3	32	H'E82000D4	32
	Current Source Address Register 3	CRSA_3	32	H'E82000D8	32
	Current Destination Address Register 3	CRDA_3	32	H'E82000DC	32
	Current Transaction Byte Register 3	CRTB_3	32	H'E82000E0	32
	Channel Status Register 3	CHSTAT_3	32	H'E82000E4	32
	Channel Control Register 3	CHCTRL_3	32	H'E82000E8	32
	Channel Configuration Register 3	CHCFG_3	32	H'E82000EC	32
	Channel Interval Register 3	CHITVL_3	32	H'E82000F0	32
	Channel Extension Register 3	CHEXT_3	32	H'E82000F4	32
	Next Link Address Register 3	NXLA_3	32	H'E82000F8	32
	Current Link Address Register 3	CRLA_3	32	H'E82000FC	32
	Next0 Source Address Register 4	N0SA_4	32	H'E8200100	32
	Next0 Destination Address Register 4	N0DA_4	32	H'E8200104	32
	Next0 Transaction Byte Register 4	N0TB_4	32	H'E8200108	32
	Next1 Source Address Register 4	N1SA_4	32	H'E820010C	32
	Next1 Destination Address Register 4	N1DA_4	32	H'E8200110	32
	Next1 Transaction Byte Register 4	N1TB_4	32	H'E8200114	32
	Current Source Address Register 4	CRSA_4	32	H'E8200118	32
	Current Destination Address Register 4	CRDA_4	32	H'E820011C	32
	Current Transaction Byte Register 4	CRTB_4	32	H'E8200120	32
	Channel Status Register 4	CHSTAT_4	32	H'E8200124	32
	Channel Control Register 4	CHCTRL_4	32	H'E8200128	32
	Channel Configuration Register 4	CHCFG_4	32	H'E820012C	32
	Channel Interval Register 4	CHITVL_4	32	H'E8200130	32
	Channel Extension Register 4	CHEXT_4	32	H'E8200134	32
	Next Link Address Register 4	NXLA_4	32	H'E8200138	32
	Current Link Address Register 4	CRLA_4	32	H'E820013C	32
	Next0 Source Address Register 5	N0SA_5	32	H'E8200140	32
	Next0 Destination Address Register 5	N0DA_5	32	H'E8200144	32
	Next0 Transaction Byte Register 5	N0TB_5	32	H'E8200148	32
	Next1 Source Address Register 5	N1SA_5	32	H'E820014C	32
	Next1 Destination Address Register 5	N1DA_5	32	H'E8200150	32
	Next1 Transaction Byte Register 5	N1TB_5	32	H'E8200154	32
	Current Source Address Register 5	CRSA_5	32	H'E8200158	32
	Current Destination Address Register 5	CRDA_5	32	H'E820015C	32
	Current Transaction Byte Register 5	CRTB_5	32	H'E8200160	32
	Channel Status Register 5	CHSTAT_5	32	H'E8200164	32
	Channel Control Register 5	CHCTRL_5	32	H'E8200168	32
	Channel Configuration Register 5	CHCFG_5	32	H'E820016C	32
	Channel Interval Register 5	CHITVL_5	32	H'E8200170	32
	Channel Extension Register 5	CHEXT_5	32	H'E8200174	32
	Next Link Address Register 5	NXLA_5	32	H'E8200178	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ダイレクトメモリアクセスコントローラ	Current Link Address Register 5	CRLA_5	32	H'E820017C	32
	Next0 Source Address Register 6	N0SA_6	32	H'E8200180	32
	Next0 Destination Address Register 6	N0DA_6	32	H'E8200184	32
	Next0 Transaction Byte Register 6	N0TB_6	32	H'E8200188	32
	Next1 Source Address Register 6	N1SA_6	32	H'E820018C	32
	Next1 Destination Address Register 6	N1DA_6	32	H'E8200190	32
	Next1 Transaction Byte Register 6	N1TB_6	32	H'E8200194	32
	Current Source Address Register 6	CRSA_6	32	H'E8200198	32
	Current Destination Address Register 6	CRDA_6	32	H'E820019C	32
	Current Transaction Byte Register 6	CRTB_6	32	H'E82001A0	32
	Channel Status Register 6	CHSTAT_6	32	H'E82001A4	32
	Channel Control Register 6	CHCTRL_6	32	H'E82001A8	32
	Channel Configuration Register 6	CHCFG_6	32	H'E82001AC	32
	Channel Interval Register 6	CHITVL_6	32	H'E82001B0	32
	Channel Extension Register 6	CHEXT_6	32	H'E82001B4	32
	Next Link Address Register 6	NXLA_6	32	H'E82001B8	32
	Current Link Address Register 6	CRLA_6	32	H'E82001BC	32
	Next0 Source Address Register 7	N0SA_7	32	H'E82001C0	32
	Next0 Destination Address Register 7	N0DA_7	32	H'E82001C4	32
	Next0 Transaction Byte Register 7	N0TB_7	32	H'E82001C8	32
	Next1 Source Address Register 7	N1SA_7	32	H'E82001CC	32
	Next1 Destination Address Register 7	N1DA_7	32	H'E82001D0	32
	Next1 Transaction Byte Register 7	N1TB_7	32	H'E82001D4	32
	Current Source Address Register 7	CRSA_7	32	H'E82001D8	32
	Current Destination Address Register 7	CRDA_7	32	H'E82001DC	32
	Current Transaction Byte Register 7	CRTB_7	32	H'E82001E0	32
	Channel Status Register 7	CHSTAT_7	32	H'E82001E4	32
	Channel Control Register 7	CHCTRL_7	32	H'E82001E8	32
	Channel Configuration Register 7	CHCFG_7	32	H'E82001EC	32
	Channel Interval Register 7	CHITVL_7	32	H'E82001F0	32
	Channel Extension Register 7	CHEXT_7	32	H'E82001F4	32
	Next Link Address Register 7	NXLA_7	32	H'E82001F8	32
	Current Link Address Register 7	CRLA_7	32	H'E82001FC	32
	DMA Control Registers 0-7	DCTRL_0_7	32	H'E8200300	32
	DMA Status EN Registers 0-7	DSTAT_EN_0_7	32	H'E8200310	32
	DMA Status ER Registers 0-7	DSTAT_ER_0_7	32	H'E8200314	32
	DMA Status END Registers 0-7	DSTAT_END_0_7	32	H'E8200318	32
	DMA Status TC Registers 0-7	DSTAT_TC_0_7	32	H'E820031C	32
	DMA Status SUS Registers 0-7	DSTAT_SUS_0_7	32	H'E8200320	32
	Next0 Source Address Register 8	N0SA_8	32	H'E8200400	32
	Next0 Destination Address Register 8	N0DA_8	32	H'E8200404	32
	Next0 Transaction Byte Register 8	N0TB_8	32	H'E8200408	32
	Next1 Source Address Register 8	N1SA_8	32	H'E820040C	32
	Next1 Destination Address Register 8	N1DA_8	32	H'E8200410	32
	Next1 Transaction Byte Register 8	N1TB_8	32	H'E8200414	32
	Current Source Address Register 8	CRSA_8	32	H'E8200418	32
	Current Destination Address Register 8	CRDA_8	32	H'E820041C	32
	Current Transaction Byte Register 8	CRTB_8	32	H'E8200420	32
	Channel Status Register 8	CHSTAT_8	32	H'E8200424	32
	Channel Control Register 8	CHCTRL_8	32	H'E8200428	32
	Channel Configuration Register 8	CHCFG_8	32	H'E820042C	32
	Channel Interval Register 8	CHITVL_8	32	H'E8200430	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ダイレクトメモリアクセスコントローラ	Channel Extension Register 8	CHEXT_8	32	H'E8200434	32
	Next Link Address Register 8	NXLA_8	32	H'E8200438	32
	Current Link Address Register 8	CRLA_8	32	H'E820043C	32
	Next0 Source Address Register 9	N0SA_9	32	H'E8200440	32
	Next0 Destination Address Register 9	N0DA_9	32	H'E8200444	32
	Next0 Transaction Byte Register 9	N0TB_9	32	H'E8200448	32
	Next1 Source Address Register 9	N1SA_9	32	H'E820044C	32
	Next1 Destination Address Register 9	N1DA_9	32	H'E8200450	32
	Next1 Transaction Byte Register 9	N1TB_9	32	H'E8200454	32
	Current Source Address Register 9	CRSA_9	32	H'E8200458	32
	Current Destination Address Register 9	CRDA_9	32	H'E820045C	32
	Current Transaction Byte Register 9	CRTB_9	32	H'E8200460	32
	Channel Status Register 9	CHSTAT_9	32	H'E8200464	32
	Channel Control Register 9	CHCTRL_9	32	H'E8200468	32
	Channel Configuration Register 9	CHCFG_9	32	H'E820046C	32
	Channel Interval Register 9	CHITVL_9	32	H'E8200470	32
	Channel Extension Register 9	CHEXT_9	32	H'E8200474	32
	Next Link Address Register 9	NXLA_9	32	H'E8200478	32
	Current Link Address Register 9	CRLA_9	32	H'E820047C	32
	Next0 Source Address Register 10	N0SA_10	32	H'E8200480	32
	Next0 Destination Address Register 10	N0DA_10	32	H'E8200484	32
	Next0 Transaction Byte Register 10	N0TB_10	32	H'E8200488	32
	Next1 Source Address Register 10	N1SA_10	32	H'E820048C	32
	Next1 Destination Address Register 10	N1DA_10	32	H'E8200490	32
	Next1 Transaction Byte Register 10	N1TB_10	32	H'E8200494	32
	Current Source Address Register 10	CRSA_10	32	H'E8200498	32
	Current Destination Address Register 10	CRDA_10	32	H'E820049C	32
	Current Transaction Byte Register 10	CRTB_10	32	H'E82004A0	32
	Channel Status Register 10	CHSTAT_10	32	H'E82004A4	32
	Channel Control Register 10	CHCTRL_10	32	H'E82004A8	32
	Channel Configuration Register 10	CHCFG_10	32	H'E82004AC	32
	Channel Interval Register 10	CHITVL_10	32	H'E82004B0	32
	Channel Extension Register 10	CHEXT_10	32	H'E82004B4	32
	Next Link Address Register 10	NXLA_10	32	H'E82004B8	32
	Current Link Address Register 10	CRLA_10	32	H'E82004BC	32
	Next0 Source Address Register 11	N0SA_11	32	H'E82004C0	32
	Next0 Destination Address Register 11	N0DA_11	32	H'E82004C4	32
	Next0 Transaction Byte Register 11	N0TB_11	32	H'E82004C8	32
	Next1 Source Address Register 11	N1SA_11	32	H'E82004CC	32
	Next1 Destination Address Register 11	N1DA_11	32	H'E82004D0	32
	Next1 Transaction Byte Register 11	N1TB_11	32	H'E82004D4	32
	Current Source Address Register 11	CRSA_11	32	H'E82004D8	32
	Current Destination Address Register 11	CRDA_11	32	H'E82004DC	32
	Current Transaction Byte Register 11	CRTB_11	32	H'E82004E0	32
	Channel Status Register 11	CHSTAT_11	32	H'E82004E4	32
	Channel Control Register 11	CHCTRL_11	32	H'E82004E8	32
	Channel Configuration Register 11	CHCFG_11	32	H'E82004EC	32
	Channel Interval Register 11	CHITVL_11	32	H'E82004F0	32
	Channel Extension Register 11	CHEXT_11	32	H'E82004F4	32
	Next Link Address Register 11	NXLA_11	32	H'E82004F8	32
	Current Link Address Register 11	CRLA_11	32	H'E82004FC	32
	Next0 Source Address Register 12	N0SA_12	32	H'E8200500	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ダイレクトメモリアクセスコントローラ	Next0 Destination Address Register 12	N0DA_12	32	H'E8200504	32
	Next0 Transaction Byte Register 12	N0TB_12	32	H'E8200508	32
	Next1 Source Address Register 12	N1SA_12	32	H'E820050C	32
	Next1 Destination Address Register 12	N1DA_12	32	H'E8200510	32
	Next1 Transaction Byte Register 12	N1TB_12	32	H'E8200514	32
	Current Source Address Register 12	CRSA_12	32	H'E8200518	32
	Current Destination Address Register 12	CRDA_12	32	H'E820051C	32
	Current Transaction Byte Register 12	CRTB_12	32	H'E8200520	32
	Channel Status Register 12	CHSTAT_12	32	H'E8200524	32
	Channel Control Register 12	CHCTRL_12	32	H'E8200528	32
	Channel Configuration Register 12	CHCFG_12	32	H'E820052C	32
	Channel Interval Register 12	CHITVL_12	32	H'E8200530	32
	Channel Extension Register 12	CHEXT_12	32	H'E8200534	32
	Next Link Address Register 12	NXLA_12	32	H'E8200538	32
	Current Link Address Register 12	CRLA_12	32	H'E820053C	32
	Next0 Source Address Register 13	N0SA_13	32	H'E8200540	32
	Next0 Destination Address Register 13	N0DA_13	32	H'E8200544	32
	Next0 Transaction Byte Register 13	N0TB_13	32	H'E8200548	32
	Next1 Source Address Register 13	N1SA_13	32	H'E820054C	32
	Next1 Destination Address Register 13	N1DA_13	32	H'E8200550	32
	Next1 Transaction Byte Register 13	N1TB_13	32	H'E8200554	32
	Current Source Address Register 13	CRSA_13	32	H'E8200558	32
	Current Destination Address Register 13	CRDA_13	32	H'E820055C	32
	Current Transaction Byte Register 13	CRTB_13	32	H'E8200560	32
	Channel Status Register 13	CHSTAT_13	32	H'E8200564	32
	Channel Control Register 13	CHCTRL_13	32	H'E8200568	32
	Channel Configuration Register 13	CHCFG_13	32	H'E820056C	32
	Channel Interval Register 13	CHITVL_13	32	H'E8200570	32
	Channel Extension Register 13	CHEXT_13	32	H'E8200574	32
	Next Link Address Register 13	NXLA_13	32	H'E8200578	32
	Current Link Address Register 13	CRLA_13	32	H'E820057C	32
	Next0 Source Address Register 14	N0SA_14	32	H'E8200580	32
	Next0 Destination Address Register 14	N0DA_14	32	H'E8200584	32
	Next0 Transaction Byte Register 14	N0TB_14	32	H'E8200588	32
	Next1 Source Address Register 14	N1SA_14	32	H'E820058C	32
	Next1 Destination Address Register 14	N1DA_14	32	H'E8200590	32
	Next1 Transaction Byte Register 14	N1TB_14	32	H'E8200594	32
	Current Source Address Register 14	CRSA_14	32	H'E8200598	32
	Current Destination Address Register 14	CRDA_14	32	H'E820059C	32
	Current Transaction Byte Register 14	CRTB_14	32	H'E82005A0	32
	Channel Status Register 14	CHSTAT_14	32	H'E82005A4	32
	Channel Control Register 14	CHCTRL_14	32	H'E82005A8	32
	Channel Configuration Register 14	CHCFG_14	32	H'E82005AC	32
	Channel Interval Register 14	CHITVL_14	32	H'E82005B0	32
	Channel Extension Register 14	CHEXT_14	32	H'E82005B4	32
	Next Link Address Register 14	NXLA_14	32	H'E82005B8	32
	Current Link Address Register 14	CRLA_14	32	H'E82005BC	32
	Next0 Source Address Register 15	N0SA_15	32	H'E82005C0	32
	Next0 Destination Address Register 15	N0DA_15	32	H'E82005C4	32
	Next0 Transaction Byte Register 15	N0TB_15	32	H'E82005C8	32
	Next1 Source Address Register 15	N1SA_15	32	H'E82005CC	32
	Next1 Destination Address Register 15	N1DA_15	32	H'E82005D0	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ダイレクトメモリアクセスコントローラ	Next1 Transaction Byte Register 15	N1TB_15	32	H'E82005D4	32
	Current Source Address Register 15	CRSA_15	32	H'E82005D8	32
	Current Destination Address Register 15	CRDA_15	32	H'E82005DC	32
	Current Transaction Byte Register 15	CRTB_15	32	H'E82005E0	32
	Channel Status Register 15	CHSTAT_15	32	H'E82005E4	32
	Channel Control Register 15	CHCTRL_15	32	H'E82005E8	32
	Channel Configuration Register 15	CHCFG_15	32	H'E82005EC	32
	Channel Interval Register 15	CHITVL_15	32	H'E82005F0	32
	Channel Extension Register 15	CHEXT_15	32	H'E82005F4	32
	Next Link Address Register 15	NXLA_15	32	H'E82005F8	32
	Current Link Address Register 15	CRLA_15	32	H'E82005FC	32
	DMA Control Registers 8-15	DCTRL_8_15	32	H'E8200700	32
	DMA Status EN Registers 8-15	DSTAT_EN_8_15	32	H'E8200710	32
	DMA Status ER Registers 8-15	DSTAT_ER_8_15	32	H'E8200714	32
	DMA Status END Registers 8-15	DSTAT_END_8_15	32	H'E8200718	32
	DMA Status TC Registers 8-15	DSTAT_TC_8_15	32	H'E820071C	32
	DMA Status SUS Registers 8-15	DSTAT_SUS_8_15	32	H'E8200720	32
	DMA 拡張リソースセレクタ 0	DMARS0	32	H'FCFE1000	32
	DMA 拡張リソースセレクタ 1	DMARS1	32	H'FCFE1004	32
	DMA 拡張リソースセレクタ 2	DMARS2	32	H'FCFE1008	32
	DMA 拡張リソースセレクタ 3	DMARS3	32	H'FCFE100C	32
	DMA 拡張リソースセレクタ 4	DMARS4	32	H'FCFE1010	32
	DMA 拡張リソースセレクタ 5	DMARS5	32	H'FCFE1014	32
	DMA 拡張リソースセレクタ 6	DMARS6	32	H'FCFE1018	32
	DMA 拡張リソースセレクタ 7	DMARS7	32	H'FCFE101C	32
マルチファンクションタイマパルスユニット2	タイマコントロールレジスタ_0	TCR_0	8	H'FCFF0300	8
	タイマモードレジスタ_0	TMDR_0	8	H'FCFF0301	8
	タイマI/OコントロールレジスタH_0	TIORH_0	8	H'FCFF0302	8
	タイマI/OコントロールレジスタL_0	TIORL_0	8	H'FCFF0303	8
	タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FCFF0304	8
	タイマステータスレジスタ_0	TSR_0	8	H'FCFF0305	8
	タイマカウンタ_0	TCNT_0	16	H'FCFF0306	16
	タイマジェネラルレジスタA_0	TGRA_0	16	H'FCFF0308	16
	タイマジェネラルレジスタB_0	TGRB_0	16	H'FCFF030A	16
	タイマジェネラルレジスタC_0	TGRC_0	16	H'FCFF030C	16
	タイマジェネラルレジスタD_0	TGRD_0	16	H'FCFF030E	16
	タイマジェネラルレジスタ E_0	TGRE_0	16	H'FCFF0320	16
	タイマジェネラルレジスタ F_0	TGRF_0	16	H'FCFF0322	16
	タイマインタラプトイネーブルレジスタ2_0	TIER2_0	8	H'FCFF0324	8
	タイマステータスレジスタ2_0	TSR2_0	8	H'FCFF0325	8
	タイマバッファ動作転送モードレジスタ_0	TBTM_0	8	H'FCFF0326	8
	タイマコントロールレジスタ_1	TCR_1	8	H'FCFF0380	8
	タイマモードレジスタ_1	TMDR_1	8	H'FCFF0381	8
	タイマI/Oコントロールレジスタ_1	TIOR_1	8	H'FCFF0382	8
	タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FCFF0384	8
	タイマステータスレジスタ_1	TSR_1	8	H'FCFF0385	8
	タイマカウンタ_1	TCNT_1	16	H'FCFF0386	16
	タイマジェネラルレジスタA_1	TGRA_1	16	H'FCFF0388	16
	タイマジェネラルレジスタB_1	TGRB_1	16	H'FCFF038A	16
	タイマインプットキャプチャコントロールレジスタ	TICCR	8	H'FCFF0390	8
	タイマコントロールレジスタ_2	TCR_2	8	H'FCFF0000	8
	タイマモードレジスタ_2	TMDR_2	8	H'FCFF0001	8

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
マルチファンクションタイマパルスユニット2	タイマI/Oコントロールレジスタ_2	TIOR_2	8	H'FCFF0002	8
	タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FCFF0004	8
	タイマステータスレジスタ_2	TSR_2	8	H'FCFF0005	8
	タイマカウンタ_2	TCNT_2	16	H'FCFF0006	16
	タイマジェネラルレジスタA_2	TGRA_2	16	H'FCFF0008	16
	タイマジェネラルレジスタB_2	TGRB_2	16	H'FCFF000A	16
	タイマコントロールレジスタ_3	TCR_3	8	H'FCFF0200	8
	タイマモードレジスタ_3	TMDR_3	8	H'FCFF0202	8
	タイマI/OコントロールレジスタH_3	TIORH_3	8	H'FCFF0204	8
	タイマI/OコントロールレジスタL_3	TIORL_3	8	H'FCFF0205	8
	タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FCFF0208	8
	タイマステータスレジスタ_3	TSR_3	8	H'FCFF022C	8
	タイマカウンタ_3	TCNT_3	16	H'FCFF0210	16
	タイマジェネラルレジスタA_3	TGRA_3	16	H'FCFF0218	16
	タイマジェネラルレジスタB_3	TGRB_3	16	H'FCFF021A	16
	タイマジェネラルレジスタC_3	TGRC_3	16	H'FCFF0224	16
	タイマジェネラルレジスタD_3	TGRD_3	16	H'FCFF0226	16
	タイマバッファ動作転送モードレジスタ_3	TBTM_3	8	H'FCFF0238	8
	タイマコントロールレジスタ_4	TCR_4	8	H'FCFF0201	8
	タイマモードレジスタ_4	TMDR_4	8	H'FCFF0203	8
	タイマI/OコントロールレジスタH_4	TIORH_4	8	H'FCFF0206	8
	タイマI/OコントロールレジスタL_4	TIORL_4	8	H'FCFF0207	8
	タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FCFF0209	8
	タイマステータスレジスタ_4	TSR_4	8	H'FCFF022D	8
	タイマカウンタ_4	TCNT_4	16	H'FCFF0212	16
	タイマジェネラルレジスタA_4	TGRA_4	16	H'FCFF021C	16
	タイマジェネラルレジスタB_4	TGRB_4	16	H'FCFF021E	16
	タイマジェネラルレジスタC_4	TGRC_4	16	H'FCFF0228	16
	タイマジェネラルレジスタD_4	TGRD_4	16	H'FCFF022A	16
	タイマバッファ動作転送モードレジスタ_4	TBTM_4	8	H'FCFF0239	8
	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	H'FCFF0240	16
	タイマA/D変換開始要求周期設定レジスタA_4	TADCORA_4	16	H'FCFF0244	16
	タイマA/D変換開始要求周期設定レジスタB_4	TADCORB_4	16	H'FCFF0246	16
	タイマA/D変換開始要求周期設定バッファレジスタA_4	TADCOBRA_4	16	H'FCFF0248	16
	タイマA/D変換開始要求周期設定バッファレジスタB_4	TADCOBRB_4	16	H'FCFF024A	16
	タイマスタートレジスタ	TSTR	8	H'FCFF0280	8
	タイマシンクロレジスタ	TSYR	8	H'FCFF0281	8
	タイマリードライトイネーブルレジスタ	TRWER	8	H'FCFF0284	8
	タイマアウトプットマスタイネーブルレジスタ	TOER	8	H'FCFF020A	8
	タイマアウトプットコントロールレジスタ1	TOCR1	8	H'FCFF020E	8
	タイマアウトプットコントロールレジスタ2	TOCR2	8	H'FCFF020F	8
	タイマゲートコントロールレジスタ	TGCR	8	H'FCFF020D	8
	タイマ周期データレジスタ	TCDR	16	H'FCFF0214	16
	タイマデッドタイムデータレジスタ	TDDR	16	H'FCFF0216	16
	タイマサブカウンタ	TCNTS	16	H'FCFF0220	16
	タイマ周期バッファレジスタ	TCBR	16	H'FCFF0222	16
	タイマ割り込み間引き設定レジスタ	TITCR	8	H'FCFF0230	8
	タイマ割り込み間引き回数カウンタ	TITCNT	8	H'FCFF0231	8
	タイマバッファ転送設定レジスタ	TBTER	8	H'FCFF0232	8
	タイマデッドタイムイネーブルレジスタ	TDER	8	H'FCFF0234	8
	タイマ波形コントロールレジスタ	TWCR	8	H'FCFF0260	8
	タイマアウトプットレベルバッファレジスタ	TOLBR	8	H'FCFF0236	8

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
OSタイマ	OSTM0 compare register	OSTM0CMP	32	H'FCFEC000	32
	OSTM0 counter register	OSTM0CNT	32	H'FCFEC004	32
	OSTM0 count enable status register	OSTM0TE	8	H'FCFEC010	8
	OSTM0 count start trigger register	OSTM0TS	8	H'FCFEC014	8
	OSTM0 count stop trigger register	OSTM0TT	8	H'FCFEC018	8
	OSTM0 control register	OSTM0CTL	8	H'FCFEC020	8
	OSTM1 compare register	OSTM1CMP	32	H'FCFEC400	32
	OSTM1 counter register	OSTM1CNT	32	H'FCFEC404	32
	OSTM1 count enable status register	OSTM1TE	8	H'FCFEC410	8
	OSTM1 count start trigger register	OSTM1TS	8	H'FCFEC414	8
	OSTM1 count stop trigger register	OSTM1TT	8	H'FCFEC418	8
	OSTM1 control register	OSTM1CTL	8	H'FCFEC420	8
ウォッチドッグタイマ	ウォッチドッグタイマカウンタ	WTCNT	8	H'FCFE0002	16
	ウォッチドッグタイマコントロール／ステータスレジスタ	WTCSR	8	H'FCFE0000	16
	ウォッチドッグリセットコントロール／ステータスレジスタ	WRCSR	8	H'FCFE0004	16
リアルタイムクロック	64Hzカウンタ	R64CNT	8	H'FCFF1000	8
	秒カウンタ	RSECCNT	8	H'FCFF1002	8
	分カウンタ	RMINCNT	8	H'FCFF1004	8
	時カウンタ	RHRCNT	8	H'FCFF1006	8
	曜日カウンタ	RWKCNT	8	H'FCFF1008	8
	日カウンタ	RDAYCNT	8	H'FCFF100A	8
	月カウンタ	RMONCNT	8	H'FCFF100C	8
	年カウンタ	RYRCNT	16	H'FCFF100E	16
	秒アラームレジスタ	RSECAR	8	H'FCFF1010	8
	分アラームレジスタ	RMINAR	8	H'FCFF1012	8
	時アラームレジスタ	RHRAR	8	H'FCFF1014	8
	曜日アラームレジスタ	RWKAR	8	H'FCFF1016	8
	日アラームレジスタ	RDAYAR	8	H'FCFF1018	8
	月アラームレジスタ	RMONAR	8	H'FCFF101A	8
	年アラームレジスタ	RYRAR	16	H'FCFF1020	16
	コントロールレジスタ1	RCR1	8	H'FCFF101C	8
	コントロールレジスタ2	RCR2	8	H'FCFF101E	8
	コントロールレジスタ3	RCR3	8	H'FCFF1024	8
	コントロールレジスタ5	RCR5	8	H'FCFF1026	8
	周波数レジスタH	RFRH	16	H'FCFF102A	16
	周波数レジスタL	RFRL	16	H'FCFF102C	16
FIFO内蔵シリアルコミュニケーションユニット	シリアルモードレジスタ_0	SCSMR_0	16	H'E8007000	16
	ビットレートレジスタ_0	SCBRR_0	8	H'E8007004	8
	シリアルコントロールレジスタ_0	SCSCR_0	16	H'E8007008	16
	送信FIFOデータレジスタ_0	SCFTDR_0	8	H'E800700C	8
	シリアルステータスレジスタ_0	SCFSR_0	16	H'E8007010	16
	受信FIFOデータレジスタ_0	SCFRDR_0	8	H'E8007014	8
	FIFOコントロールレジスタ_0	SCFCR_0	16	H'E8007018	16
	FIFOデータカウントセットレジスタ_0	SCFDR_0	16	H'E800701C	16
	シリアルポートレジスタ_0	SCSPTR_0	16	H'E8007020	16
	ラインステータスレジスタ_0	SCLSR_0	16	H'E8007024	16
	シリアル拡張モードレジスタ_0	SCEMR_0	16	H'E8007028	16
	シリアルモードレジスタ_1	SCSMR_1	16	H'E8007800	16
	ビットレートレジスタ_1	SCBRR_1	8	H'E8007804	8
	シリアルコントロールレジスタ_1	SCSCR_1	16	H'E8007808	16
	送信FIFOデータレジスタ_1	SCFTDR_1	8	H'E800780C	8
	シリアルステータスレジスタ_1	SCFSR_1	16	H'E8007810	16

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
FIFO内蔵シリアルコミュニケーションユニット	受信FIFOデータレジスタ_1	SCFRDR_1	8	H'E8007814	8
	FIFOコントロールレジスタ_1	SCFCR_1	16	H'E8007818	16
	FIFOデータカウントセットレジスタ_1	SCFDR_1	16	H'E800781C	16
	シリアルポートレジスタ_1	SCSPTR_1	16	H'E8007820	16
	ラインステータスレジスタ_1	SCLSR_1	16	H'E8007824	16
	シリアル拡張モードレジスタ_1	SCEMR_1	16	H'E8007828	16
	シリアルモードレジスタ_2	SCSMR_2	16	H'E8008000	16
	ビットレートレジスタ_2	SCBRR_2	8	H'E8008004	8
	シリアルコントロールレジスタ_2	SCSCR_2	16	H'E8008008	16
	送信FIFOデータレジスタ_2	SCFTDR_2	8	H'E800800C	8
	シリアルステータスレジスタ_2	SCFSR_2	16	H'E8008010	16
	受信FIFOデータレジスタ_2	SCFRDR_2	8	H'E8008014	8
	FIFOコントロールレジスタ_2	SCFCR_2	16	H'E8008018	16
	FIFOデータカウントセットレジスタ_2	SCFDR_2	16	H'E800801C	16
	シリアルポートレジスタ_2	SCSPTR_2	16	H'E8008020	16
	ラインステータスレジスタ_2	SCLSR_2	16	H'E8008024	16
	シリアル拡張モードレジスタ_2	SCEMR_2	16	H'E8008028	16
	シリアルモードレジスタ_3	SCSMR_3	16	H'E8008800	16
	ビットレートレジスタ_3	SCBRR_3	8	H'E8008804	8
	シリアルコントロールレジスタ_3	SCSCR_3	16	H'E8008808	16
	送信FIFOデータレジスタ_3	SCFTDR_3	8	H'E800880C	8
	シリアルステータスレジスタ_3	SCFSR_3	16	H'E8008810	16
	受信FIFOデータレジスタ_3	SCFRDR_3	8	H'E8008814	8
	FIFOコントロールレジスタ_3	SCFCR_3	16	H'E8008818	16
	FIFOデータカウントセットレジスタ_3	SCFDR_3	16	H'E800881C	16
	シリアルポートレジスタ_3	SCSPTR_3	16	H'E8008820	16
	ラインステータスレジスタ_3	SCLSR_3	16	H'E8008824	16
	シリアル拡張モードレジスタ_3	SCEMR_3	16	H'E8008828	16
	シリアルモードレジスタ_4	SCSMR_4	16	H'E8009000	16
	ビットレートレジスタ_4	SCBRR_4	8	H'E8009004	8
	シリアルコントロールレジスタ_4	SCSCR_4	16	H'E8009008	16
	送信FIFOデータレジスタ_4	SCFTDR_4	8	H'E800900C	8
	シリアルステータスレジスタ_4	SCFSR_4	16	H'E8009010	16
	受信FIFOデータレジスタ_4	SCFRDR_4	8	H'E8009014	8
	FIFOコントロールレジスタ_4	SCFCR_4	16	H'E8009018	16
	FIFOデータカウントセットレジスタ_4	SCFDR_4	16	H'E800901C	16
	シリアルポートレジスタ_4	SCSPTR_4	16	H'E8009020	16
	ラインステータスレジスタ_4	SCLSR_4	16	H'E8009024	16
	シリアル拡張モードレジスタ_4	SCEMR_4	16	H'E8009028	16
シリアルコミュニケーションインタフェース	シリアルモードレジスタ0	SMR0	8	H'E800B000	8
	ビットレートレジスタ0	BRR0	8	H'E800B001	8
	シリアルコントロールレジスタ0	SCR0	8	H'E800B002	8
	トランスミットデータレジスタ0	TDR0	8	H'E800B003	8
	シリアルステータスレジスタ0	SSR0	8	H'E800B004	8
	レシーブデータレジスタ0	RDR0	8	H'E800B005	8
	スマートカードモードレジスタ0	SCMR0	8	H'E800B006	8
	シリアル拡張モードレジスタ0	SEMR0	8	H'E800B007	8
	ノイズフィルタ設定レジスタ0	SNFR0	8	H'E800B008	8
	拡張機能コントロールレジスタ0	SECR0	8	H'E800B00D	8
	シリアルモードレジスタ1	SMR1	8	H'E800B800	8
	ビットレートレジスタ1	BRR1	8	H'E800B801	8
	シリアルコントロールレジスタ1	SCR1	8	H'E800B802	8

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
シリアルコミュニケーションインタフェース	トランスミットデータレジスタ1	TDR1	8	H'E800B803	8
	シリアルステータスレジスタ1	SSR1	8	H'E800B804	8
	レシーブデータレジスタ1	RDR1	8	H'E800B805	8
	スマートカードモードレジスタ1	SCMR1	8	H'E800B806	8
	シリアル拡張モードレジスタ1	SEMR1	8	H'E800B807	8
	ノイズフィルタ設定レジスタ1	SNFR1	8	H'E800B808	8
	拡張機能コントロールレジスタ1	SECR1	8	H'E800B80D	8
	IrDA コントロールレジスタ	IRCR	8	H'E8014000	8
ルネサスシリアルペリフェラルインタフェース	制御レジスタ_0	SPCR_0	8	H'E800C800	8
	スレーブセレクト極性レジスタ_0	SSLP_0	8	H'E800C801	8
	端子制御レジスタ_0	SPPCR_0	8	H'E800C802	8
	ステータスレジスタ_0	SPSR_0	8	H'E800C803	8
	データレジスタ_0	SPDR_0	32	H'E800C804	8、16、32
	シーケンス制御レジスタ_0	SPSCR_0	8	H'E800C808	8
	シーケンスステータスレジスタ_0	SPSSR_0	8	H'E800C809	8
	ビットレートレジスタ_0	SPBR_0	8	H'E800C80A	8
	データコントロールレジスタ_0	SPDCR_0	8	H'E800C80B	8
	クロック遅延レジスタ_0	SPCKD_0	8	H'E800C80C	8
	スレーブセレクトネゲート遅延レジスタ_0	SSLND_0	8	H'E800C80D	8
	次アクセス遅延レジスタ_0	SPND_0	8	H'E800C80E	8
	コマンドレジスタ0_0	SPCMD0_0	16	H'E800C810	16
	コマンドレジスタ1_0	SPCMD1_0	16	H'E800C812	16
	コマンドレジスタ2_0	SPCMD2_0	16	H'E800C814	16
	コマンドレジスタ3_0	SPCMD3_0	16	H'E800C816	16
	バッファコントロールレジスタ_0	SPBFCR_0	8	H'E800C820	8
	バッファデータカウントセットレジスタ_0	SPBFDR_0	16	H'E800C822	16
	制御レジスタ_1	SPCR_1	8	H'E800D000	8
	スレーブセレクト極性レジスタ_1	SSLP_1	8	H'E800D001	8
	端子制御レジスタ_1	SPPCR_1	8	H'E800D002	8
	ステータスレジスタ_1	SPSR_1	8	H'E800D003	8
	データレジスタ_1	SPDR_1	32	H'E800D004	8、16、32
	シーケンス制御レジスタ_1	SPSCR_1	8	H'E800D008	8
	シーケンスステータスレジスタ_1	SPSSR_1	8	H'E800D009	8
	ビットレートレジスタ_1	SPBR_1	8	H'E800D00A	8
	データコントロールレジスタ_1	SPDCR_1	8	H'E800D00B	8
	クロック遅延レジスタ_1	SPCKD_1	8	H'E800D00C	8
	スレーブセレクトネゲート遅延レジスタ_1	SSLND_1	8	H'E800D00D	8
	次アクセス遅延レジスタ_1	SPND_1	8	H'E800D00E	8
	コマンドレジスタ0_1	SPCMD0_1	16	H'E800D010	16
	コマンドレジスタ1_1	SPCMD1_1	16	H'E800D012	16
	コマンドレジスタ2_1	SPCMD2_1	16	H'E800D014	16
	コマンドレジスタ3_1	SPCMD3_1	16	H'E800D016	16
	バッファコントロールレジスタ_1	SPBFCR_1	8	H'E800D020	8
	バッファデータカウントセットレジスタ_1	SPBFDR_1	16	H'E800D022	16
	制御レジスタ_2	SPCR_2	8	H'E800D800	8
	スレーブセレクト極性レジスタ_2	SSLP_2	8	H'E800D801	8
	端子制御レジスタ_2	SPPCR_2	8	H'E800D802	8
	ステータスレジスタ_2	SPSR_2	8	H'E800D803	8
	データレジスタ_2	SPDR_2	32	H'E800D804	8、16、32
	シーケンス制御レジスタ_2	SPSCR_2	8	H'E800D808	8
	シーケンスステータスレジスタ_2	SPSSR_2	8	H'E800D809	8
	ビットレートレジスタ_2	SPBR_2	8	H'E800D80A	8

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ルネサスシリアルペリフェラルインタフェース	データコントロールレジスタ_2	SPDCR_2	8	H'E800D80B	8
	クロック遅延レジスタ_2	SPCKD_2	8	H'E800D80C	8
	スレーブセレクトネゲート遅延レジスタ_2	SSLND_2	8	H'E800D80D	8
	次アクセス遅延レジスタ_2	SPND_2	8	H'E800D80E	8
	コマンドレジスタ0_2	SPCMD0_2	16	H'E800D810	16
	コマンドレジスタ1_2	SPCMD1_2	16	H'E800D812	16
	コマンドレジスタ2_2	SPCMD2_2	16	H'E800D814	16
	コマンドレジスタ3_2	SPCMD3_2	16	H'E800D816	16
	バッファコントロールレジスタ_2	SPBFCR_2	8	H'E800D820	8
	バッファデータカウントセットレジスタ_2	SPBFDR_2	16	H'E800D822	16
SPIマルチI/Oバスコントローラ	共通コントロールレジスタ_0	CMNCR_0	32	H'3FEFA000	32
	SSL遅延レジスタ_0	SSLDR_0	32	H'3FEFA004	32
	ビットレート設定レジスタ_0	SPBCR_0	32	H'3FEFA008	32
	データリードコントロールレジスタ_0	DRCR_0	32	H'3FEFA00C	32
	データリードコマンド設定レジスタ_0	DRCMR_0	32	H'3FEFA010	32
	データリード拡張アドレス設定レジスタ_0	DREAR_0	32	H'3FEFA014	32
	データリードオプション設定レジスタ_0	DROPR_0	32	H'3FEFA018	32
	データリードイネーブル設定レジスタ_0	DRENR_0	32	H'3FEFA01C	32
	SPIモードコントロールレジスタ_0	SMCR_0	32	H'3FEFA020	32
	SPIモードコマンド設定レジスタ_0	SMCMR_0	32	H'3FEFA024	32
	SPIモードアドレス設定レジスタ_0	SMADR_0	32	H'3FEFA028	32
	SPIモードオプション設定レジスタ_0	SMOPR_0	32	H'3FEFA02C	32
	SPIモードイネーブル設定レジスタ_0	SMENR_0	32	H'3FEFA030	32
	SPIモードリードデータレジスタ0_0	SMRDR0_0	32	H'3FEFA038	8、16、32
	SPIモードリードデータレジスタ1_0	SMRDR1_0	32	H'3FEFA03C	8、16、32
	SPIモードライトデータレジスタ0_0	SMWDR0_0	32	H'3FEFA040	8、16、32
	SPIモードライトデータレジスタ1_0	SMWDR1_0	32	H'3FEFA044	8、16、32
	共通ステータスレジスタ_0	CMNSR_0	32	H'3FEFA048	32
	SPI AC入力特性調整レジスタ_0 注2)	CKDLY_0	32	H'3FEFA050	32
	データリードダミーサイクル設定レジスタ_0	DRDMCR_0	32	H'3FEFA058	32
	データリードDDRイネーブルレジスタ_0 注2)	DRDRENR_0	32	H'3FEFA05C	32
	SPIモードダミーサイクル設定レジスタ_0	SMDMCR_0	32	H'3FEFA060	32
	SPIモードDDRイネーブルレジスタ_0 注2)	SMDRENR_0	32	H'3FEFA064	32
	SPI AC出力特性調整レジスタ_0 注2)	SPODLY_0	32	H'3FEFA068	32
I²Cバスインタフェース	I²Cバスコントロールレジスタ1_0	RIIC0CR1	32	H'FCFEE000	8、16、32
	I²Cバスコントロールレジスタ2_0	RIIC0CR2	32	H'FCFEE004	8、16、32
	I²Cバスモードレジスタ1_0	RIIC0MR1	32	H'FCFEE008	8、16、32
	I²Cバスモードレジスタ2_0	RIIC0MR2	32	H'FCFEE00C	8、16、32
	I²Cバスモードレジスタ3_0	RIIC0MR3	32	H'FCFEE010	8、16、32
	I²Cバスファンクションイネーブルレジスタ_0	RIIC0FER	32	H'FCFEE014	8、16、32
	I²Cバスステータスイネーブルレジスタ_0	RIIC0SER	32	H'FCFEE018	8、16、32
	I²Cバスインタラプトイネーブルレジスタ_0	RIIC0IER	32	H'FCFEE01C	8、16、32
	I²Cバスステータスレジスタ1_0	RIIC0SR1	32	H'FCFEE020	8、16、32
	I²Cバスステータスレジスタ2_0	RIIC0SR2	32	H'FCFEE024	8、16、32
	I²Cスレーブアドレスレジスタ0_0	RIIC0SAR0	32	H'FCFEE028	8、16、32
	I²Cスレーブアドレスレジスタ1_0	RIIC0SAR1	32	H'FCFEE02C	8、16、32
	I²Cスレーブアドレスレジスタ2_0	RIIC0SAR2	32	H'FCFEE030	8、16、32
	I²Cバスビットレートロウレベルレジスタ_0	RIIC0BRL	32	H'FCFEE034	8、16、32
	I²Cバスビットレートハイレベルレジスタ_0	RIIC0BRH	32	H'FCFEE038	8、16、32
	I²Cバス送信データレジスタ_0	RIIC0DRT	32	H'FCFEE03C	8、16、32
	I²Cバス受信データレジスタ_0	RIIC0DRR	32	H'FCFEE040	8、16、32
	I²Cバスコントロールレジスタ1_1	RIIC1CR1	32	H'FCFEE400	8、16、32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
I²Cバスインタフェース	I²Cバスコントロールレジスタ2_1	RIIC1CR2	32	H'FCFEE404	8、16、32
	I²Cバスモードレジスタ1_1	RIIC1MR1	32	H'FCFEE408	8、16、32
	I²Cバスモードレジスタ2_1	RIIC1MR2	32	H'FCFEE40C	8、16、32
	I²Cバスモードレジスタ3_1	RIIC1MR3	32	H'FCFEE410	8、16、32
	I²Cバスファンクションイネーブルレジスタ_1	RIIC1FER	32	H'FCFEE414	8、16、32
	I²Cバスステータスイネーブルレジスタ_1	RIIC1SER	32	H'FCFEE418	8、16、32
	I²Cバスインタラプトイネーブルレジスタ_1	RIIC1IER	32	H'FCFEE41C	8、16、32
	I²Cバスステータスレジスタ1_1	RIIC1SR1	32	H'FCFEE420	8、16、32
	I²Cバスステータスレジスタ2_1	RIIC1SR2	32	H'FCFEE424	8、16、32
	I²Cスレーブアドレスレジスタ0_1	RIIC1SAR0	32	H'FCFEE428	8、16、32
	I²Cスレーブアドレスレジスタ1_1	RIIC1SAR1	32	H'FCFEE42C	8、16、32
	I²Cスレーブアドレスレジスタ2_1	RIIC1SAR2	32	H'FCFEE430	8、16、32
	I²Cバスビットレートロウレベルレジスタ_1	RIIC1BRL	32	H'FCFEE434	8、16、32
	I²Cバスビットレートハイレベルレジスタ_1	RIIC1BRH	32	H'FCFEE438	8、16、32
	I²Cバス送信データレジスタ_1	RIIC1DRT	32	H'FCFEE43C	8、16、32
	I²Cバス受信データレジスタ_1	RIIC1DRR	32	H'FCFEE440	8、16、32
	I²Cバスコントロールレジスタ1_2	RIIC2CR1	32	H'FCFEE800	8、16、32
	I²Cバスコントロールレジスタ2_2	RIIC2CR2	32	H'FCFEE804	8、16、32
	I²Cバスモードレジスタ1_2	RIIC2MR1	32	H'FCFEE808	8、16、32
	I²Cバスモードレジスタ2_2	RIIC2MR2	32	H'FCFEE80C	8、16、32
	I²Cバスモードレジスタ3_2	RIIC2MR3	32	H'FCFEE810	8、16、32
	I²Cバスファンクションイネーブルレジスタ_2	RIIC2FER	32	H'FCFEE814	8、16、32
	I²Cバスステータスイネーブルレジスタ_2	RIIC2SER	32	H'FCFEE818	8、16、32
	I²Cバスインタラプトイネーブルレジスタ_2	RIIC2IER	32	H'FCFEE81C	8、16、32
	I²Cバスステータスレジスタ1_2	RIIC2SR1	32	H'FCFEE820	8、16、32
	I²Cバスステータスレジスタ2_2	RIIC2SR2	32	H'FCFEE824	8、16、32
	I²Cスレーブアドレスレジスタ0_2	RIIC2SAR0	32	H'FCFEE828	8、16、32
	I²Cスレーブアドレスレジスタ1_2	RIIC2SAR1	32	H'FCFEE82C	8、16、32
	I²Cスレーブアドレスレジスタ2_2	RIIC2SAR2	32	H'FCFEE830	8、16、32
	I²Cバスビットレートロウレベルレジスタ_2	RIIC2BRL	32	H'FCFEE834	8、16、32
	I²Cバスビットレートハイレベルレジスタ_2	RIIC2BRH	32	H'FCFEE838	8、16、32
	I²Cバス送信データレジスタ_2	RIIC2DRT	32	H'FCFEE83C	8、16、32
	I²Cバス受信データレジスタ_2	RIIC2DRR	32	H'FCFEE840	8、16、32
	I²Cバスコントロールレジスタ1_3	RIIC3CR1	32	H'FCFEEC00	8、16、32
	I²Cバスコントロールレジスタ2_3	RIIC3CR2	32	H'FCFEEC04	8、16、32
	I²Cバスモードレジスタ1_3	RIIC3MR1	32	H'FCFEEC08	8、16、32
	I²Cバスモードレジスタ2_3	RIIC3MR2	32	H'FCFEEC0C	8、16、32
	I²Cバスモードレジスタ3_3	RIIC3MR3	32	H'FCFEEC10	8、16、32
	I²Cバスファンクションイネーブルレジスタ_3	RIIC3FER	32	H'FCFEEC14	8、16、32
	I²Cバスステータスイネーブルレジスタ_3	RIIC3SER	32	H'FCFEEC18	8、16、32
	I²Cバスインタラプトイネーブルレジスタ_3	RIIC3IER	32	H'FCFEEC1C	8、16、32
	I²Cバスステータスレジスタ1_3	RIIC3SR1	32	H'FCFEEC20	8、16、32
	I²Cバスステータスレジスタ2_3	RIIC3SR2	32	H'FCFEEC24	8、16、32
	I²Cスレーブアドレスレジスタ0_3	RIIC3SAR0	32	H'FCFEEC28	8、16、32
	I²Cスレーブアドレスレジスタ1_3	RIIC3SAR1	32	H'FCFEEC2C	8、16、32
	I²Cスレーブアドレスレジスタ2_3	RIIC3SAR2	32	H'FCFEEC30	8、16、32
	I²Cバスビットレートロウレベルレジスタ_3	RIIC3BRL	32	H'FCFEEC34	8、16、32
	I²Cバスビットレートハイレベルレジスタ_3	RIIC3BRH	32	H'FCFEEC38	8、16、32
	I²Cバス送信データレジスタ_3	RIIC3DRT	32	H'FCFEEC3C	8、16、32
	I²Cバス受信データレジスタ_3	RIIC3DRR	32	H'FCFEEC40	8、16、32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
シリアルサウンドインタフェース	コントロールレジスタ_0	SSICR_0	32	H'E820B000	32
	ステータスレジスタ_0	SSISR_0	32	H'E820B004	32
	FIFOコントロールレジスタ_0	SSIFCR_0	32	H'E820B010	32
	FIFOステータスレジスタ_0	SSIFSR_0	32	H'E820B014	32
	送信FIFOデータレジスタ_0	SSIFTDR_0	32	H'E820B018	32
	受信FIFOデータレジスタ_0	SSIFRDR_0	32	H'E820B01C	32
	TDMモードレジスタ_0	SSITDMR_0	32	H'E820B020	32
	FCコントロールレジスタ_0	SSIFCCR_0	32	H'E820B024	32
	FCモードレジスタ_0	SSIFCMR_0	32	H'E820B028	32
	FCステータスレジスタ_0	SSIFCSR_0	32	H'E820B02C	32
	コントロールレジスタ_1	SSICR_1	32	H'E820B800	32
	ステータスレジスタ_1	SSISR_1	32	H'E820B804	32
	FIFOコントロールレジスタ_1	SSIFCR_1	32	H'E820B810	32
	FIFOステータスレジスタ_1	SSIFSR_1	32	H'E820B814	32
	送信FIFOデータレジスタ_1	SSIFTDR_1	32	H'E820B818	32
	受信FIFOデータレジスタ_1	SSIFRDR_1	32	H'E820B81C	32
	TDMモードレジスタ_1	SSITDMR_1	32	H'E820B820	32
	FCコントロールレジスタ_1	SSIFCCR_1	32	H'E820B824	32
	FCモードレジスタ_1	SSIFCMR_1	32	H'E820B828	32
	FCステータスレジスタ_1	SSIFCSR_1	32	H'E820B82C	32
	コントロールレジスタ_2	SSICR_2	32	H'E820C000	32
	ステータスレジスタ_2	SSISR_2	32	H'E820C004	32
	FIFOコントロールレジスタ_2	SSIFCR_2	32	H'E820C010	32
	FIFOステータスレジスタ_2	SSIFSR_2	32	H'E820C014	32
	送信FIFOデータレジスタ_2	SSIFTDR_2	32	H'E820C018	32
	受信FIFOデータレジスタ_2	SSIFRDR_2	32	H'E820C01C	32
	TDMモードレジスタ_2	SSITDMR_2	32	H'E820C020	32
	FCコントロールレジスタ_2	SSIFCCR_2	32	H'E820C024	32
	FCモードレジスタ_2	SSIFCMR_2	32	H'E820C028	32
	FCステータスレジスタ_2	SSIFCSR_2	32	H'E820C02C	32
	コントロールレジスタ_3	SSICR_3	32	H'E820C800	32
	ステータスレジスタ_3	SSISR_3	32	H'E820C804	32
	FIFOコントロールレジスタ_3	SSIFCR_3	32	H'E820C810	32
	FIFOステータスレジスタ_3	SSIFSR_3	32	H'E820C814	32
	送信FIFOデータレジスタ_3	SSIFTDR_3	32	H'E820C818	32
	受信FIFOデータレジスタ_3	SSIFRDR_3	32	H'E820C81C	32
	TDMモードレジスタ_3	SSITDMR_3	32	H'E820C820	32
	FCコントロールレジスタ_3	SSIFCCR_3	32	H'E820C824	32
	FCモードレジスタ_3	SSIFCMR_3	32	H'E820C828	32
	FCステータスレジスタ_3	SSIFCSR_3	32	H'E820C82C	32
メディア・ローカル・バス 注1)	Device Control Cfg Register	DCCR	32	H'E8034000	32
	System Status Cfg Register	SSCR	32	H'E8034004	32
	System Data Cfg Register	SDCR	32	H'E8034008	32
	System Mask Cfg Register	SMCR	32	H'E803400C	32
	Version Control Cfg Register	VCCR	32	H'E803401C	32
	Synchronous Base Address Cfg Register	SBCR	32	H'E8034020	32
	Asynchronous Base Address Cfg Register	ABCR	32	H'E8034024	32
	Control Base Address Cfg Register	CBCR	32	H'E8034028	32
	Isochronous Base Address Cfg Register	IBCR	32	H'E803402C	32
	Channel Interrupt Cfg Register	CICR	32	H'E8034030	32
	Channel 0 Entry Cfg Register	CECR0	32	H'E8034040	32
	Channel 0 Status Cfg Register	CSCR0	32	H'E8034044	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
メディア・ローカル・バス 注1)	Channel 0 Current Buffer Cfg Register	CCBCR0	32	H'E8034048	32
	Channel 0 Next Buffer Cfg Register	CNBCR0	32	H'E803404C	32
	Channel 1 Entry Cfg Register	CECR1	32	H'E8034050	32
	Channel 1 Status Cfg Register	CSCR1	32	H'E8034054	32
	Channel 1 Current Buffer Cfg Register	CCBCR1	32	H'E8034058	32
	Channel 1 Next Buffer Cfg Register	CNBCR1	32	H'E803405C	32
	Channel 2 Entry Cfg Register	CECR2	32	H'E8034060	32
	Channel 2 Status Cfg Register	CSCR2	32	H'E8034064	32
	Channel 2 Current Buffer Cfg Register	CCBCR2	32	H'E8034068	32
	Channel 2 Next Buffer Cfg Register	CNBCR2	32	H'E803406C	32
	Channel 3 Entry Cfg Register	CECR3	32	H'E8034070	32
	Channel 3 Status Cfg Register	CSCR3	32	H'E8034074	32
	Channel 3 Current Buffer Cfg Register	CCBCR3	32	H'E8034078	32
	Channel 3 Next Buffer Cfg Register	CNBCR3	32	H'E803407C	32
	Channel 4 Entry Cfg Register	CECR4	32	H'E8034080	32
	Channel 4 Status Cfg Register	CSCR4	32	H'E8034084	32
	Channel 4 Current Buffer Cfg Register	CCBCR4	32	H'E8034088	32
	Channel 4 Next Buffer Cfg Register	CNBCR4	32	H'E803408C	32
	Channel 5 Entry Cfg Register	CECR5	32	H'E8034090	32
	Channel 5 Status Cfg Register	CSCR5	32	H'E8034094	32
	Channel 5 Current Buffer Cfg Register	CCBCR5	32	H'E8034098	32
	Channel 5 Next Buffer Cfg Register	CNBCR5	32	H'E803409C	32
	Channel 6 Entry Cfg Register	CECR6	32	H'E80340A0	32
	Channel 6 Status Cfg Register	CSCR6	32	H'E80340A4	32
	Channel 6 Current Buffer Cfg Register	CCBCR6	32	H'E80340A8	32
	Channel 6 Next Buffer Cfg Register	CNBCR6	32	H'E80340AC	32
	Channel 7 Entry Cfg Register	CECR7	32	H'E80340B0	32
	Channel 7 Status Cfg Register	CSCR7	32	H'E80340B4	32
	Channel 7 Current Buffer Cfg Register	CCBCR7	32	H'E80340B8	32
	Channel 7 Next Buffer Cfg Register	CNBCR7	32	H'E80340BC	32
	Channel 8 Entry Cfg Register	CECR8	32	H'E80340C0	32
	Channel 8 Status Cfg Register	CSCR8	32	H'E80340C4	32
	Channel 8 Current Buffer Cfg Register	CCBCR8	32	H'E80340C8	32
	Channel 8 Next Buffer Cfg Register	CNBCR8	32	H'E80340CC	32
	Channel 9 Entry Cfg Register	CECR9	32	H'E80340D0	32
	Channel 9 Status Cfg Register	CSCR9	32	H'E80340D4	32
	Channel 9 Current Buffer Cfg Register	CCBCR9	32	H'E80340D8	32
	Channel 9 Next Buffer Cfg Register	CNBCR9	32	H'E80340DC	32
	Channel 10 Entry Cfg Register	CECR10	32	H'E80340E0	32
	Channel 10 Status Cfg Register	CSCR10	32	H'E80340E4	32
	Channel 10 Current Buffer Cfg Register	CCBCR10	32	H'E80340E8	32
	Channel 10 Next Buffer Cfg Register	CNBCR10	32	H'E80340EC	32
	Channel 11 Entry Cfg Register	CECR11	32	H'E80340F0	32
	Channel 11 Status Cfg Register	CSCR11	32	H'E80340F4	32
	Channel 11 Current Buffer Cfg Register	CCBCR11	32	H'E80340F8	32
	Channel 11 Next Buffer Cfg Register	CNBCR11	32	H'E80340FC	32
	Channel 12 Entry Cfg Register	CECR12	32	H'E8034100	32
	Channel 12 Status Cfg Register	CSCR12	32	H'E8034104	32
	Channel 12 Current Buffer Cfg Register	CCBCR12	32	H'E8034108	32
	Channel 12 Next Buffer Cfg Register	CNBCR12	32	H'E803410C	32
	Channel 13 Entry Cfg Register	CECR13	32	H'E8034110	32
	Channel 13 Status Cfg Register	CSCR13	32	H'E8034114	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
メディア・ローカル・バス 注1)	Channel 13 Current Buffer Cfg Register	CCBCR13	32	H'E8034118	32
	Channel 13 Next Buffer Cfg Register	CNBCR13	32	H'E803411C	32
	Channel 14 Entry Cfg Register	CECR14	32	H'E8034120	32
	Channel 14 Status Cfg Register	CSCR14	32	H'E8034124	32
	Channel 14 Current Buffer Cfg Register	CCBCR14	32	H'E8034128	32
	Channel 14 Next Buffer Cfg Register	CNBCR14	32	H'E803412C	32
	Channel 15 Entry Cfg Register	CECR15	32	H'E8034130	32
	Channel 15 Status Cfg Register	CSCR15	32	H'E8034134	32
	Channel 15 Current Buffer Cfg Register	CCBCR15	32	H'E8034138	32
	Channel 15 Next Buffer Cfg Register	CNBCR15	32	H'E803413C	32
	Channel 16 Entry Cfg Register	CECR16	32	H'E8034140	32
	Channel 16 Status Cfg Register	CSCR16	32	H'E8034144	32
	Channel 16 Current Buffer Cfg Register	CCBCR16	32	H'E8034148	32
	Channel 16 Next Buffer Cfg Register	CNBCR16	32	H'E803414C	32
	Channel 17 Entry Cfg Register	CECR17	32	H'E8034150	32
	Channel 17 Status Cfg Register	CSCR17	32	H'E8034154	32
	Channel 17 Current Buffer Cfg Register	CCBCR17	32	H'E8034158	32
	Channel 17 Next Buffer Cfg Register	CNBCR17	32	H'E803415C	32
	Channel 18 Entry Cfg Register	CECR18	32	H'E8034160	32
	Channel 18 Status Cfg Register	CSCR18	32	H'E8034164	32
	Channel 18 Current Buffer Cfg Register	CCBCR18	32	H'E8034168	32
	Channel 18 Next Buffer Cfg Register	CNBCR18	32	H'E803416C	32
	Channel 19 Entry Cfg Register	CECR19	32	H'E8034170	32
	Channel 19 Status Cfg Register	CSCR19	32	H'E8034174	32
	Channel 19 Current Buffer Cfg Register	CCBCR19	32	H'E8034178	32
	Channel 19 Next Buffer Cfg Register	CNBCR19	32	H'E803417C	32
	Channel 20 Entry Cfg Register	CECR20	32	H'E8034180	32
	Channel 20 Status Cfg Register	CSCR20	32	H'E8034184	32
	Channel 20 Current Buffer Cfg Register	CCBCR20	32	H'E8034188	32
	Channel 20 Next Buffer Cfg Register	CNBCR20	32	H'E803418C	32
	Channel 21 Entry Cfg Register	CECR21	32	H'E8034190	32
	Channel 21 Status Cfg Register	CSCR21	32	H'E8034194	32
	Channel 21 Current Buffer Cfg Register	CCBCR21	32	H'E8034198	32
	Channel 21 Next Buffer Cfg Register	CNBCR21	32	H'E803419C	32
	Channel 22 Entry Cfg Register	CECR22	32	H'E80341A0	32
	Channel 22 Status Cfg Register	CSCR22	32	H'E80341A4	32
	Channel 22 Current Buffer Cfg Register	CCBCR22	32	H'E80341A8	32
	Channel 22 Next Buffer Cfg Register	CNBCR22	32	H'E80341AC	32
	Channel 23 Entry Cfg Register	CECR23	32	H'E80341B0	32
	Channel 23 Status Cfg Register	CSCR23	32	H'E80341B4	32
	Channel 23 Current Buffer Cfg Register	CCBCR23	32	H'E80341B8	32
	Channel 23 Next Buffer Cfg Register	CNBCR23	32	H'E80341BC	32
	Channel 24 Entry Cfg Register	CECR24	32	H'E80341C0	32
	Channel 24 Status Cfg Register	CSCR24	32	H'E80341C4	32
	Channel 24 Current Buffer Cfg Register	CCBCR24	32	H'E80341C8	32
	Channel 24 Next Buffer Cfg Register	CNBCR24	32	H'E80341CC	32
	Channel 25 Entry Cfg Register	CECR25	32	H'E80341D0	32
	Channel 25 Status Cfg Register	CSCR25	32	H'E80341D4	32
	Channel 25 Current Buffer Cfg Register	CCBCR25	32	H'E80341D8	32
	Channel 25 Next Buffer Cfg Register	CNBCR25	32	H'E80341DC	32
	Channel 26 Entry Cfg Register	CECR26	32	H'E80341E0	32
	Channel 26 Status Cfg Register	CSCR26	32	H'E80341E4	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
メディア・ローカル・バス 注1)	Channel 26 Current Buffer Cfg Register	CCBCR26	32	H'E80341E8	32
	Channel 26 Next Buffer Cfg Register	CNBCR26	32	H'E80341EC	32
	Channel 27 Entry Cfg Register	CECR27	32	H'E80341F0	32
	Channel 27 Status Cfg Register	CSCR27	32	H'E80341F4	32
	Channel 27 Current Buffer Cfg Register	CCBCR27	32	H'E80341F8	32
	Channel 27 Next Buffer Cfg Register	CNBCR27	32	H'E80341FC	32
	Channel 28 Entry Cfg Register	CECR28	32	H'E8034200	32
	Channel 28 Status Cfg Register	CSCR28	32	H'E8034204	32
	Channel 28 Current Buffer Cfg Register	CCBCR28	32	H'E8034208	32
	Channel 28 Next Buffer Cfg Register	CNBCR28	32	H'E803420C	32
	Channel 29 Entry Cfg Register	CECR29	32	H'E8034210	32
	Channel 29 Status Cfg Register	CSCR29	32	H'E8034214	32
	Channel 29 Current Buffer Cfg Register	CCBCR29	32	H'E8034218	32
	Channel 29 Next Buffer Cfg Register	CNBCR29	32	H'E803421C	32
	Channel 30 Entry Cfg Register	CECR30	32	H'E8034220	32
	Channel 30 Status Cfg Register	CSCR30	32	H'E8034224	32
	Channel 30 Current Buffer Cfg Register	CCBCR30	32	H'E8034228	32
	Channel 30 Next Buffer Cfg Register	CNBCR30	32	H'E803422C	32
	Local Channel 0 Buffer Cfg Register	LCBCR0	32	H'E8034280	32
	Local Channel 1 Buffer Cfg Register	LCBCR1	32	H'E8034284	32
	Local Channel 2 Buffer Cfg Register	LCBCR2	32	H'E8034288	32
	Local Channel 3 Buffer Cfg Register	LCBCR3	32	H'E803428C	32
	Local Channel 4 Buffer Cfg Register	LCBCR4	32	H'E8034290	32
	Local Channel 5 Buffer Cfg Register	LCBCR5	32	H'E8034294	32
	Local Channel 6 Buffer Cfg Register	LCBCR6	32	H'E8034298	32
	Local Channel 7 Buffer Cfg Register	LCBCR7	32	H'E803429C	32
	Local Channel 8 Buffer Cfg Register	LCBCR8	32	H'E80342A0	32
	Local Channel 9 Buffer Cfg Register	LCBCR9	32	H'E80342A4	32
	Local Channel 10 Buffer Cfg Register	LCBCR10	32	H'E80342A8	32
	Local Channel 11 Buffer Cfg Register	LCBCR11	32	H'E80342AC	32
	Local Channel 12 Buffer Cfg Register	LCBCR12	32	H'E80342B0	32
	Local Channel 13 Buffer Cfg Register	LCBCR13	32	H'E80342B4	32
	Local Channel 14 Buffer Cfg Register	LCBCR14	32	H'E80342B8	32
	Local Channel 15 Buffer Cfg Register	LCBCR15	32	H'E80342BC	32
	Local Channel 16 Buffer Cfg Register	LCBCR16	32	H'E80342C0	32
	Local Channel 17 Buffer Cfg Register	LCBCR17	32	H'E80342C4	32
	Local Channel 18 Buffer Cfg Register	LCBCR18	32	H'E80342C8	32
	Local Channel 19 Buffer Cfg Register	LCBCR19	32	H'E80342CC	32
	Local Channel 20 Buffer Cfg Register	LCBCR20	32	H'E80342D0	32
	Local Channel 21 Buffer Cfg Register	LCBCR21	32	H'E80342D4	32
	Local Channel 22 Buffer Cfg Register	LCBCR22	32	H'E80342D8	32
	Local Channel 23 Buffer Cfg Register	LCBCR23	32	H'E80342DC	32
	Local Channel 24 Buffer Cfg Register	LCBCR24	32	H'E80342E0	32
	Local Channel 25 Buffer Cfg Register	LCBCR25	32	H'E80342E4	32
	Local Channel 26 Buffer Cfg Register	LCBCR26	32	H'E80342E8	32
	Local Channel 27 Buffer Cfg Register	LCBCR27	32	H'E80342EC	32
	Local Channel 28 Buffer Cfg Register	LCBCR28	32	H'E80342F0	32
	Local Channel 29 Buffer Cfg Register	LCBCR29	32	H'E80342F4	32
	Local Channel 30 Buffer Cfg Register	LCBCR30	32	H'E80342F8	32
CANインタフェース	チャネルmコンフィグレーションレジスタ(m=0、1)	RSCAN0CmCFG (m=0、1)	32	H'E803A000 + m * H'0010	8、16、32
	チャネルm制御レジスタ(m=0、1)	RSCAN0CmCTR (m=0、1)	32	H'E803A004 + m * H'0010	8、16、32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CANインタフェース	チャネルmステータスレジスタ(m=0、1)	RSCAN0CmSTS (m=0、1)	32	H'E803A008 + m * H'0010	8、16、32
	チャネルmエラーフラグレジスタ(m=0、1)	RSCAN0CmERFL (m=0、1)	32	H'E803A00C + m * H'0010	8、16、32
	グローバルコンフィグレーションレジスタ	RSCAN0GCFG	32	H'E803A084	8、16、32
	グローバル制御レジスタ	RSCAN0GCTR	32	H'E803A088	8、16、32
	グローバルステータスレジスタ	RSCAN0GSTS	32	H'E803A08C	8、16、32
	グローバルエラーフラグレジスタ	RSCAN0GERFL	32	H'E803A090	8、16、32
	グローバルタイムスタンプカウンタレジスタ	RSCAN0GTSC	32	H'E803A094	16、32
	受信ルールエントリ制御レジスタ	RSCAN0GAFLECTR	32	H'E803A098	8、16、32
	受信ルールコンフィグレーションレジスタ0	RSCAN0GAFLCFG0	32	H'E803A09C	8、16、32
	受信バッファナンバレジスタ	RSCAN0RMNB	32	H'E803A0A4	8、16、32
	受信バッファ新データレジスタy (y=0)	RSCAN0RMNDy (y=0)	32	H'E803A0A8 + y *H'0004	8、16、32
	受信FIFOコンフィグレーション／制御レジスタx (x=0～7)	RSCAN0RFCCx (x=0～7)	32	H'E803A0B8 + x * H'0004	8、16、32
	受信FIFOステータスレジスタx (x=0～7)	RSCAN0RFSTSx (x=0～7)	32	H'E803A0D8 + x * H'0004	8、16、32
	受信FIFOポインタ制御レジスタx (x=0～7)	RSCAN0RFPCTRx (x=0～7)	32	H'E803A0F8 + x * H'0004	8、16、32
	送受信FIFOコンフィグレーション／制御レジスタk (k=0～5)	RSCAN0CFCCk (k=0～5)	32	H'E803A118 + k * H'0004	8、16、32
	送受信FIFOステータスレジスタk (k=0～5)	RSCAN0CFSTSk (k=0～5)	32	H'E803A178 + k * H'0004	8、16、32
	送受信FIFOポインタ制御レジスタk (k=0～5)	RSCAN0CFPCTRk (k=0～5)	32	H'E803A1D8 + k * H'0004	8、16、32
	FIFOエンプティステータスレジスタ	RSCAN0FESTS	32	H'E803A238	8、16、32
	FIFOフルステータスレジスタ	RSCAN0FFSTS	32	H'E803A23C	8、16、32
	FIFO Msgロストステータスレジスタ	RSCAN0FMSTS	32	H'E803A240	8、16、32
	受信FIFO割り込みフラグステータスレジスタ	RSCAN0RFISTS	32	H'E803A244	8、16、32
	送受信FIFO 受信割り込みフラグステータスレジスタ	RSCAN0CFRISTS	32	H'E803A248	8、16、32
	送受信FIFO 送信割り込みフラグステータスレジスタ	RSCAN0CFTISTS	32	H'E803A24C	8、16、32
	送信バッファ制御レジスタp (p=0～31)	RSCAN0TMCp (p=0～31)	8	H'E803A250 + p * H'0001	8
	送信バッファステータスレジスタp (p=0～31)	RSCAN0TMSTSp (p=0～31)	8	H'E803A2D0 + p * H'0001	8
	送信バッファ送信要求ステータスレジスタy (y=0)	RSCAN0TMTRSTSy (y=0)	32	H'E803A350 + y * H'0004	8、16、32
	送信バッファ送信アボート要求ステータスレジスタy (y=0)	RSCAN0TMTARSTSy (y=0)	32	H'E803A360 + y * H'0004	8、16、32
	送信バッファ送信完了ステータスレジスタy (y=0)	RSCAN0TMTCSTSy (y=0)	32	H'E803A370 + y * H'0004	8、16、32
	送信バッファ送信アボートステータスレジスタy (y=0)	RSCAN0TMTASTSy (y=0)	32	H'E803A380 + y * H'0004	8、16、32
	送信バッファ割り込みイネーブルコンフィグレーションレジスタy (y=0)	RSCAN0TMIECy (y=0)	32	H'E803A390 + y * H'0004	8、16、32
	送信キューコンフィグレーション／制御レジスタm (m=0、1)	RSCAN0TXQCCm (m=0、1)	32	H'E803A3A0 + m * H'0010	8、16、32
	送信キューステータスレジスタm (m=0、1)	RSCAN0TXQSTSm (m=0、1)	32	H'E803A3C0 + m * H'0004	8、16、32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CANインタフェース	送信キューポインタ制御レジスタ m (m=0、1)	RSCAN0TXQPCTRm (m=0、1)	32	H'E803A3E0 + m * H'0004	8、16、32
	送信履歴コンフィグレーション／制御レジスタ m (m=0、1)	RSCAN0THLCCm (m=0、1)	32	H'E803A400 + m * H'0004	8、16、32
	送信履歴ステータスレジスタ m (m=0、1)	RSCAN0THLSTSm (m=0、1)	32	H'E803A420 + m * H'0004	8、16、32
	送信履歴ポインタ制御レジスタ m (m=0、1)	RSCAN0THLPCTRm (m=0、1)	32	H'E803A440 + m * H'0004	8、16、32
	グローバルTX割り込みステータスレジスタ0	RSCAN0GTINTSTS0	32	H'E803A460	8、16、32
	グローバルテストコンフィグレーションレジスタ	RSCAN0GTSTCFG	32	H'E803A468	8、16、32
	グローバルテスト制御レジスタ	RSCAN0GTSTCTR	32	H'E803A46C	8、16、32
	グローバルロックキーレジスタ	RSCAN0GLOCKK	32	H'E803A47C	16、32
	受信ルール ID レジスタ j (j=0～15)	RSCAN0GAFLIDj (j=0～15)	32	H'E803A500 + j * H'0010	8、16、32
	受信ルールマスクレジスタ j (j=0～15)	RSCAN0GAFLMj (j=0～15)	32	H'E803A504 + j * H'0010	8、16、32
	受信ルールポインタ 0j (j=0～15)	RSCAN0GAFLP0j (j=0～15)	32	H'E803A508 + j * H'0010	8、16、32
	受信ルールポインタ 1j (j=0～15)	RSCAN0GAFLP1j (j=0～15)	32	H'E803A50C + j * H'0010	8、16、32
	受信バッファ ID レジスタ q (q=0～31)	RSCAN0RMIDq (q=0～31)	32	H'E803A600 + q * H'0010	8、16、32
	受信バッファポインタレジスタ q (q=0～31)	RSCAN0RMPTRq (q=0～31)	32	H'E803A604 + q * H'0010	8、16、32
	受信バッファデータフィールド0q (q=0～31)	RSCAN0RMDF0q (q=0～31)	32	H'E803A608 + q * H'0010	8、16、32
	受信バッファデータフィールド1q (q=0～31)	RSCAN0RMDF1q (q=0～31)	32	H'E803A60C + q * H'0010	8、16、32
	受信FIFOバッファアクセス ID レジスタ x (x=0～7)	RSCAN0RFIDx (x=0～7)	32	H'E803AE00 + x * H'0010	8、16、32
	受信FIFOバッファアクセスポインタレジスタ x (x=0～7)	RSCAN0RFPTRx (x=0～7)	32	H'E803AE04 + x * H'0010	8、16、32
	受信FIFOバッファアクセスデータフィールド0 レジスタ x (x=0～7)	RSCAN0RFDF0x (x=0～7)	32	H'E803AE08 + x * H'0010	8、16、32
	受信FIFOバッファアクセスデータフィールド1 レジスタ x (x=0～7)	RSCAN0RFDF1x (x=0～7)	32	H'E803AE0C + x * H'0010	8、16、32
	送受信FIFOバッファアクセス ID レジスタ k (k=0～5)	RSCAN0CFIDk（k=0～5)	32	H'E803AE80 + k * H'0010	8、16、32
	送受信FIFOバッファアクセスポインタレジスタ k (k=0～5)	RSCAN0CFPTRk (k=0～5)	32	H'E803AE84 + k * H'0010	8、16、32
	送受信FIFOバッファアクセスデータフィールド0 レジスタ k (k=0～5)	RSCAN0CFDF0k (k=0～5)	32	H'E803AE88 + k * H'0010	8、16、32
	送受信FIFOバッファアクセスデータフィールド1 レジスタ k (k=0～5)	RSCAN0CFDF1k (k=0～5)	32	H'E803AE8C + k * H'0010	8、16、32
	送信バッファ ID レジスタ p (p=0～31)	RSCAN0TMIDp (p=0～31)	32	H'E803B000 + p * H'0010	8、16、32
	送信バッファポインタレジスタ p (p=0～31)	RSCAN0TMPTRp (p=0～31)	32	H'E803B004 + p * H'0010	8、16、32
	送信バッファデータフィールド0 レジスタ p (p=0～31)	RSCAN0TMDF0p (p=0～31)	32	H'E803B008 + p * H'0010	8、16、32
	送信バッファデータフィールド1 レジスタ p (p=0～31)	RSCAN0TMDF1p (p=0～31)	32	H'E803B00C + p * H'0010	8、16、32
	送信履歴アクセスレジスタ m (m=0、1)	RSCAN0THLACCm (m=0、1)	32	H'E803B800 + m * H'0004	8、16、32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
IEBusコントローラ 注1)	IEBB0バス・コントロール・レジスタ	IEBB0BCR	8	H'FCFEF000	8
	IEBB0パワー・セーブ・レジスタ	IEBB0PSR	8	H'FCFEF004	8
	IEBB0ユニット・アドレス・レジスタ	IEBB0UAR	16	H'FCFEF008	16
	IEBB0スレーブ・アドレス・レジスタ	IEBB0SAR	16	H'FCFEF00C	16
	IEBB0パートナー・アドレス・レジスタ	IEBB0PAR	16	H'FCFEF010	16
	IEBB0受信スレーブ・アドレス・レジスタ	IEBB0RSA	16	H'FCFEF014	16
	IEBB0コントロール・データ・レジスタ	IEBB0CDR	8	H'FCFEF018	8
	IEBB0送信コントロール・データ・レジスタ	IEBB0TCD	8	H'FCFEF01C	8
	IEBB0受信コントロール・データ・レジスタ	IEBB0RCD	8	H'FCFEF020	8
	IEBB0電文長レジスタ	IEBB0DLR	8	H'FCFEF024	8
	IEBB0送信電文長レジスタ	IEBB0TDL	8	H'FCFEF028	8
	IEBB0受信電文長レジスタ	IEBB0RDL	8	H'FCFEF02C	8
	IEBB0クロック選択レジスタ	IEBB0CKS	8	H'FCFEF030	8
	IEBB0転送モード設定レジスタ	IEBB0TMS	8	H'FCFEF034	8
	IEBB0ポインタ・クリア・レジスタ	IEBB0PCR	8	H'FCFEF038	8
	IEBB0バッファ・ステータス・レジスタ	IEBB0BSR	16	H'FCFEF03C	16
	IEBB0スレーブ・ステータス・レジスタ	IEBB0SSR	8	H'FCFEF040	8
	IEBB0ユニット・ステータス・レジスタ	IEBB0USR	8	H'FCFEF044	8
	IEBB0インタラプト・ステータス・レジスタ	IEBB0ISR	8	H'FCFEF048	8
	IEBB0エラー・ステータス・レジスタ	IEBB0ESR	8	H'FCFEF04C	8
	IEBB0フィールド・ステータス・レジスタ	IEBB0FSR	8	H'FCFEF050	8
	IEBB0サクセス・カウント・レジスタ	IEBB0SCR	8	H'FCFEF054	8
	IEBB0コミュニケーション・カウント・レジスタ	IEBB0CCR	8	H'FCFEF058	8
	IEBB0ステータス・クリア・レジスタ0	IEBB0STC0	8	H'FCFEF05C	8
	IEBB0ステータス・クリア・レジスタ1	IEBB0STC1	8	H'FCFEF060	8
	IEBB0データ・レジスタ	IEBB0DR	8	H'FCFEF064	8
ルネサスSPDIF インタフェース	送信モジュールチャネル1オーディオレジスタ	TLCA	32	H'E8012000	32
	送信モジュールチャネル2オーディオレジスタ	TRCA	32	H'E8012004	32
	送信モジュールチャネル1ステータスレジスタ	TLCS	32	H'E8012008	32
	送信モジュールチャネル2ステータスレジスタ	TRCS	32	H'E801200C	32
	送信ユーザデータレジスタ	TUI	32	H'E8012010	32
	受信モジュールチャネル1オーディオレジスタ	RLCA	32	H'E8012014	32
	受信モジュールチャネル2オーディオレジスタ	RRCA	32	H'E8012018	32
	受信モジュールチャネル1ステータスレジスタ	RLCS	32	H'E801201C	32
	受信モジュールチャネル2ステータスレジスタ	RRCS	32	H'E8012020	32
	受信ユーザデータレジスタ	RUI	32	H'E8012024	32
	コントロールレジスタ	CTRL	32	H'E8012028	32
	ステータスレジスタ	STAT	32	H'E801202C	32
	送信モジュールDMAオーディオデータレジスタ	TDAD	32	H'E8012030	32
	受信モジュールDMAオーディオデータレジスタ	RDAD	32	H'E8012034	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CD-ROMデコーダ 注1)	イネーブルコントロールレジスタ	CROMEN	8	H'E8005000	8
	同期コードの同期制御コントロールレジスタ	CROMSY0	8	H'E8005001	8
	デコーディングモードコントロールレジスタ	CROMCTL0	8	H'E8005002	8
	EDC、ECCチェック制御コントロールレジスタ	CROMCTL1	8	H'E8005003	8
	デコード処理自動停止コントロールレジスタ	CROMCTL3	8	H'E8005005	8
	デコードオプション設定コントロールレジスタ	CROMCTL4	8	H'E8005006	8
	HEAD20～22表示コントロールレジスタ	CROMCTL5	8	H'E8005007	8
	同期コードステータスレジスタ	CROMST0	8	H'E8005008	8
	ECC後のヘッダに対するエラーステータスレジスタ	CROMST1	8	H'E8005009	8
	ECC後のサブヘッダに対するエラーステータスレジスタ	CROMST3	8	H'E800500B	8
	ヘッダ、サブヘッダデータ妥当性判定ステータスレジスタ	CROMST4	8	H'E800500C	8
	モード判定結果とリンクセクタ検出ステータスレジスタ	CROMST5	8	H'E800500D	8
	ECC、EDCエラーステータスレジスタ	CROMST6	8	H'E800500E	8
	バッファステータスレジスタ	CBUFST0	8	H'E8005014	8
	デコード中止要因ステータスレジスタ	CBUFST1	8	H'E8005015	8
	バッファオーバフローステータスレジスタ	CBUFST2	8	H'E8005016	8
	ECC訂正前ヘッダ部-MINUTESデータレジスタ	HEAD00	8	H'E8005018	8
	ECC訂正前ヘッダ部-SECONDSデータレジスタ	HEAD01	8	H'E8005019	8
	ECC訂正前ヘッダ部-FRAMES（1/75秒）データレジスタ	HEAD02	8	H'E800501A	8
	ECC訂正前ヘッダ部-MODEデータレジスタ	HEAD03	8	H'E800501B	8
	ECC訂正前サブヘッダ部-ファイルナンバ（BYTE-16）データレジスタ	SHEAD00	8	H'E800501C	8
	ECC訂正前サブヘッダ部-チャネルナンバ（BYTE-17）データレジスタ	SHEAD01	8	H'E800501D	8
	ECC訂正前サブヘッダ部-サブモード（BYTE-18）データレジスタ	SHEAD02	8	H'E800501E	8
	ECC訂正前サブヘッダ部-データタイプ（BYTE-19）データレジスタ	SHEAD03	8	H'E800501F	8
	ECC訂正前サブヘッダ部-ファイルナンバ（BYTE-20）データレジスタ	SHEAD04	8	H'E8005020	8
	ECC訂正前サブヘッダ部-チャネルナンバ（BYTE-21）データレジスタ	SHEAD05	8	H'E8005021	8
	ECC訂正前サブヘッダ部-サブモード（BYTE-22）データレジスタ	SHEAD06	8	H'E8005022	8
	ECC訂正前サブヘッダ部-データタイプ（BYTE-23）データレジスタ	SHEAD07	8	H'E8005023	8
	ECC訂正後ヘッダ部-MINUTESデータレジスタ	HEAD20	8	H'E8005024	8
	ECC訂正後ヘッダ部-SECONDSデータレジスタ	HEAD21	8	H'E8005025	8
	ECC訂正後ヘッダ部-FRAMES（1/75秒）データレジスタ	HEAD22	8	H'E8005026	8
	ECC訂正後ヘッダ部-MODEデータレジスタ	HEAD23	8	H'E8005027	8
	ECC訂正後サブヘッダ部-ファイルナンバ（BYTE-16）データレジスタ	SHEAD20	8	H'E8005028	8
	ECC訂正後サブヘッダ部-チャネルナンバ（BYTE-17）データレジスタ	SHEAD21	8	H'E8005029	8
	ECC訂正後サブヘッダ部-サブモード（BYTE-18）データレジスタ	SHEAD22	8	H'E800502A	8
	ECC訂正後サブヘッダ部-データタイプ（BYTE-19）データレジスタ	SHEAD23	8	H'E800502B	8
	ECC訂正後サブヘッダ部-ファイルナンバ（BYTE-20）データレジスタ	SHEAD24	8	H'E800502C	8
	ECC訂正後サブヘッダ部-チャネルナンバ（BYTE-21）データレジスタ	SHEAD25	8	H'E800502D	8
	ECC訂正後サブヘッダ部-サブモード（BYTE-22）データレジスタ	SHEAD26	8	H'E800502E	8
	ECC訂正後サブヘッダ部-データタイプ（BYTE-23）データレジスタ	SHEAD27	8	H'E800502F	8

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
CD-ROMデコーダ 注1)	自動バッファリング設定コントロールレジスタ	CBUFCTL0	8	H'E8005040	8
	自動バッファリング開始セクタ設定-MINUTES コントロールレジスタ	CBUFCTL1	8	H'E8005041	8
	自動バッファリング開始セクタ設定-SECONDS コントロールレジスタ	CBUFCTL2	8	H'E8005042	8
	自動バッファリング開始セクタ設定-FRAMES コントロールレジスタ	CBUFCTL3	8	H'E8005043	8
	ISY割り込み要因マスクコントロールレジスタ	CROMST0M	8	H'E8005045	8
	CD-ROMデコーダモジュールリセットコントロールレジスタ	ROMDECRST	8	H'E8005100	8
	CD-ROMデコーダモジュールリセットステータスレジスタ	RSTSTAT	8	H'E8005101	8
	シリアルサウンドインタフェースデータコントロールレジスタ	SSI	8	H'E8005102	8
	割り込みフラグレジスタ	INTHOLD	8	H'E8005108	8
	割り込み要因マスクコントロールレジスタ	INHINT	8	H'E8005109	8
	CD-ROMデコーダストリームデータ入力レジスタ	STRMDIN0	16	H'E8005200	16(R/W)、32(W)
	CD-ROMデコーダストリームデータ入力レジスタ	STRMDIN2	16	H'E8005202	16
	CD-ROMデコーダストリームデータ出力レジスタ	STRMDOUT0	16	H'E8005204	16
LINインタフェース 注1)	LIN ウエイクアップボーレート選択レジスタ	RLN30LWBR	8	H'FCFE9001	8
	LIN ボーレートプリスケーラ0レジスタ	RLN30LBRP0	8	H'FCFE9002	8
	LIN ボーレートプリスケーラ1レジスタ	RLN30LBRP1	8	H'FCFE9003	8
	LIN セルフテスト制御レジスタ	RLN30LSTC	8	H'FCFE9004	8
	LIN モードレジスタ	RLN30LMD	8	H'FCFE9008	8
	LIN ブレークフィールド設定レジスタ	RLN30LBFC	8	H'FCFE9009	8
	LIN スペース設定レジスタ	RLN30LSC	8	H'FCFE900A	8
	LIN ウェイクアップ設定レジスタ	RLN30LWUP	8	H'FCFE900B	8
	LIN 割り込み許可レジスタ	RLN30LIE	8	H'FCFE900C	8
	LIN エラー検出許可レジスタ	RLN30LEDE	8	H'FCFE900D	8
	LIN 制御レジスタ	RLN30LCUC	8	H'FCFE900E	8
	LIN 送信制御レジスタ	RLN30LTRC	8	H'FCFE9010	8
	LIN モードステータスレジスタ	RLN30LMST	8	H'FCFE9011	8
	LIN ステータスレジスタ	RLN30LST	8	H'FCFE9012	8
	LIN エラーステータスレジスタ	RLN30LEST	8	H'FCFE9013	8
	LIN データフィールド設定レジスタ	RLN30LDFC	8	H'FCFE9014	8
	LIN ID バッファレジスタ	RLN30LIDB	8	H'FCFE9015	8
	LIN チェックサムバッファレジスタ	RLN30LCBR	8	H'FCFE9016	8
	LINデータバッファ1レジスタ	RLN30LDB1	8	H'FCFE9018	8
	LINデータバッファ2レジスタ	RLN30LDB2	8	H'FCFE9019	8
	LINデータバッファ3レジスタ	RLN30LDB3	8	H'FCFE901A	8
	LINデータバッファ4レジスタ	RLN30LDB4	8	H'FCFE901B	8
	LINデータバッファ5レジスタ	RLN30LDB5	8	H'FCFE901C	8
	LINデータバッファ6レジスタ	RLN30LDB6	8	H'FCFE901D	8
	LINデータバッファ7レジスタ	RLN30LDB7	8	H'FCFE901E	8
	LINデータバッファ8レジスタ	RLN30LDB8	8	H'FCFE901F	8

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
イーサネットコントローラ	ソフトウェアリセットレジスタ	ARSTR	32	H'E8204800	32
	E-MACモードレジスタ	ECMR0	32	H'E8203500	32
	E-MACステータスレジスタ	ECSR0	32	H'E8203510	32
	E-MAC割り込み許可レジスタ	ECSIPR0	32	H'E8203518	32
	PHY部インタフェースレジスタ	PIR0	32	H'E8203520	32
	MACアドレス上位設定レジスタ	MAHR0	32	H'E82035C0	32
	MACアドレス下位設定レジスタ	MALR0	32	H'E82035C8	32
	受信フレーム長上限レジスタ	RFLR0	32	H'E8203508	32
	CRCエラーフレーム受信カウンタレジスタ	CEFCR0	32	H'E8203740	32
	フレーム受信エラーカウンタレジスタ	FRECR0	32	H'E8203748	32
	64バイト未満フレーム受信カウンタレジスタ	TSFRCR0	32	H'E8203750	32
	指定バイト超フレーム受信カウンタレジスタ	TLFRCR0	32	H'E8203758	32
	端数ビットフレーム受信カウンタレジスタ	RFCR0	32	H'E8203760	32
	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR0	32	H'E8203778	32
	自動PAUSEフレーム設定レジスタ	APR0	32	H'E8203554	32
	手動PAUSEフレーム設定レジスタ	MPR0	32	H'E8203558	32
	自動PAUSEフレーム再送回数設定レジスタ	TPAUSER0	32	H'E8203564	32
	PAUSEフレーム送信カウンタ	PFTCR0	32	H'E820355C	32
	PAUSEフレーム受信カウンタ	PFRCR0	32	H'E8203560	32
	TSUカウンタリセットレジスタ	TSU_CTRST	32	H'E8204804	32
	転送機能設定レジスタ（共通）	TSU_FWSLC	32	H'E8204838	32
	VLANtag設定レジスタ	TSU_VTAG0	32	H'E8204858	32
	CAMエントリテーブル設定ビジーレジスタ	TSU_ADSBSY	32	H'E8204860	32
	CAMエントリテーブルイネーブル設定レジスタ	TSU_TEN	32	H'E8204864	32
	CAMエントリテーブルPOST設定1レジスタ	TSU_POST1	32	H'E8204870	32
	CAMエントリテーブルPOST設定2レジスタ	TSU_POST2	32	H'E8204874	32
	CAMエントリテーブルPOST設定3レジスタ	TSU_POST3	32	H'E8204878	32
	CAMエントリテーブルPOST設定4レジスタ	TSU_POST4	32	H'E820487C	32
	CAMエントリテーブル0Hレジスタ	TSU_ADRH0	32	H'E8204900	32
	CAMエントリテーブル1Hレジスタ	TSU_ADRH1	32	H'E8204908	32
	CAMエントリテーブル2Hレジスタ	TSU_ADRH2	32	H'E8204910	32
	CAMエントリテーブル3Hレジスタ	TSU_ADRH3	32	H'E8204918	32
	CAMエントリテーブル4Hレジスタ	TSU_ADRH4	32	H'E8204920	32
	CAMエントリテーブル5Hレジスタ	TSU_ADRH5	32	H'E8204928	32
	CAMエントリテーブル6Hレジスタ	TSU_ADRH6	32	H'E8204930	32
	CAMエントリテーブル7Hレジスタ	TSU_ADRH7	32	H'E8204938	32
	CAMエントリテーブル8Hレジスタ	TSU_ADRH8	32	H'E8204940	32
	CAMエントリテーブル9Hレジスタ	TSU_ADRH9	32	H'E8204948	32
	CAMエントリテーブル10Hレジスタ	TSU_ADRH10	32	H'E8204950	32
	CAMエントリテーブル11Hレジスタ	TSU_ADRH11	32	H'E8204958	32
	CAMエントリテーブル12Hレジスタ	TSU_ADRH12	32	H'E8204960	32
	CAMエントリテーブル13Hレジスタ	TSU_ADRH13	32	H'E8204968	32
	CAMエントリテーブル14Hレジスタ	TSU_ADRH14	32	H'E8204970	32
	CAMエントリテーブル15Hレジスタ	TSU_ADRH15	32	H'E8204978	32
	CAMエントリテーブル16Hレジスタ	TSU_ADRH16	32	H'E8204980	32
	CAMエントリテーブル17Hレジスタ	TSU_ADRH17	32	H'E8204988	32
	CAMエントリテーブル18Hレジスタ	TSU_ADRH18	32	H'E8204990	32
	CAMエントリテーブル19Hレジスタ	TSU_ADRH19	32	H'E8204998	32
	CAMエントリテーブル20Hレジスタ	TSU_ADRH20	32	H'E82049A0	32
	CAMエントリテーブル21Hレジスタ	TSU_ADRH21	32	H'E82049A8	32
	CAMエントリテーブル22Hレジスタ	TSU_ADRH22	32	H'E82049B0	32
	CAMエントリテーブル23Hレジスタ	TSU_ADRH23	32	H'E82049B8	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
イーサネットコントローラ	CAMエントリテーブル24Hレジスタ	TSU_ADRH24	32	H'E82049C0	32
	CAMエントリテーブル25Hレジスタ	TSU_ADRH25	32	H'E82049C8	32
	CAMエントリテーブル26Hレジスタ	TSU_ADRH26	32	H'E82049D0	32
	CAMエントリテーブル27Hレジスタ	TSU_ADRH27	32	H'E82049D8	32
	CAMエントリテーブル28Hレジスタ	TSU_ADRH28	32	H'E82049E0	32
	CAMエントリテーブル29Hレジスタ	TSU_ADRH29	32	H'E82049E8	32
	CAMエントリテーブル30Hレジスタ	TSU_ADRH30	32	H'E82049F0	32
	CAMエントリテーブル31Hレジスタ	TSU_ADRH31	32	H'E82049F8	32
	CAMエントリテーブル0Lレジスタ	TSU_ADRL0	32	H'E8204904	32
	CAMエントリテーブル1Lレジスタ	TSU_ADRL1	32	H'E820490C	32
	CAMエントリテーブル2Lレジスタ	TSU_ADRL2	32	H'E8204914	32
	CAMエントリテーブル3Lレジスタ	TSU_ADRL3	32	H'E820491C	32
	CAMエントリテーブル4Lレジスタ	TSU_ADRL4	32	H'E8204924	32
	CAMエントリテーブル5Lレジスタ	TSU_ADRL5	32	H'E820492C	32
	CAMエントリテーブル6Lレジスタ	TSU_ADRL6	32	H'E8204934	32
	CAMエントリテーブル7Lレジスタ	TSU_ADRL7	32	H'E820493C	32
	CAMエントリテーブル8Lレジスタ	TSU_ADRL8	32	H'E8204944	32
	CAMエントリテーブル9Lレジスタ	TSU_ADRL9	32	H'E820494C	32
	CAMエントリテーブル10Lレジスタ	TSU_ADRL10	32	H'E8204954	32
	CAMエントリテーブル11Lレジスタ	TSU_ADRL11	32	H'E820495C	32
	CAMエントリテーブル12Lレジスタ	TSU_ADRL12	32	H'E8204964	32
	CAMエントリテーブル13Lレジスタ	TSU_ADRL13	32	H'E820496C	32
	CAMエントリテーブル14Lレジスタ	TSU_ADRL14	32	H'E8204974	32
	CAMエントリテーブル15Lレジスタ	TSU_ADRL15	32	H'E820497C	32
	CAMエントリテーブル16Lレジスタ	TSU_ADRL16	32	H'E8204984	32
	CAMエントリテーブル17Lレジスタ	TSU_ADRL17	32	H'E820498C	32
	CAMエントリテーブル18Lレジスタ	TSU_ADRL18	32	H'E8204994	32
	CAMエントリテーブル19Lレジスタ	TSU_ADRL19	32	H'E820499C	32
	CAMエントリテーブル20Lレジスタ	TSU_ADRL20	32	H'E82049A4	32
	CAMエントリテーブル21Lレジスタ	TSU_ADRL21	32	H'E82049AC	32
	CAMエントリテーブル22Lレジスタ	TSU_ADRL22	32	H'E82049B4	32
	CAMエントリテーブル23Lレジスタ	TSU_ADRL23	32	H'E82049BC	32
	CAMエントリテーブル24Lレジスタ	TSU_ADRL24	32	H'E82049C4	32
	CAMエントリテーブル25Lレジスタ	TSU_ADRL25	32	H'E82049CC	32
	CAMエントリテーブル26Lレジスタ	TSU_ADRL26	32	H'E82049D4	32
	CAMエントリテーブル27Lレジスタ	TSU_ADRL27	32	H'E82049DC	32
	CAMエントリテーブル28Lレジスタ	TSU_ADRL28	32	H'E82049E4	32
	CAMエントリテーブル29Lレジスタ	TSU_ADRL29	32	H'E82049EC	32
	CAMエントリテーブル30Lレジスタ	TSU_ADRL30	32	H'E82049F4	32
	CAMエントリテーブル31Lレジスタ	TSU_ADRL31	32	H'E82049FC	32
	送信フレーム数カウンタレジスタ	TXNLCR0	32	H'E8204880	32
	送信フレーム数カウンタレジスタ	TXALCR0	32	H'E8204884	32
	受信フレーム数カウンタレジスタ	RXNLCR0	32	H'E8204888	32
	受信フレーム数カウンタレジスタ	RXALCR0	32	H'E820488C	32
	E-DMAC起動レジスタ	EDSR0	32	H'E8203000	32
	E-DMACモードレジスタ	EDMR0	32	H'E8203400	32
	E-DMAC送信要求レジスタ	EDTRR0	32	H'E8203408	32
	E-DMAC受信要求レジスタ	EDRRR0	32	H'E8203410	32
	E-MAC/E-DMACステータスレジスタ	EESR0	32	H'E8203428	32
	E-MAC/E-DMACステータス割り込み許可レジスタ	EESIPR0	32	H'E8203430	32
	送信ディスクリプタリスト先頭アドレスレジスタ	TDLAR0	32	H'E8203010	32
	送信ディスクリプタフェッチアドレスレジスタ	TDFAR0	32	H'E8203014	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
イーサネットコントローラ	送信ディスクリプタ処理済アドレスレジスタ	TDFXR0	32	H'E8203018	32
	送信ディスクリプタ最終フラグレジスタ	TDFFR0	32	H'E820301C	32
	受信ディスクリプタリスト先頭アドレスレジスタ	RDLAR0	32	H'E8203030	32
	受信ディスクリプタフェッチアドレスレジスタ	RDFAR0	32	H'E8203034	32
	受信ディスクリプタ処理済アドレスレジスタ	RDFXR0	32	H'E8203038	32
	受信ディスクリプタ最終フラグレジスタ	RDFFR0	32	H'E820303C	32
	送受信ステータスコピー指示レジスタ	TRSCER0	32	H'E8203438	32
	ミスドフレームカウンタレジスタ	RMFCR0	32	H'E8203440	32
	送信FIFOしきい値指定レジスタ	TFTR0	32	H'E8203448	32
	FIFO容量指定レジスタ	FDR0	32	H'E8203450	32
	受信方式制御レジスタ	RMCR0	32	H'E8203458	32
	受信データパディング挿入設定レジスタ	RPADIR0	32	H'E8203460	32
	オーバフロー予告FIFOしきい値設定レジスタ	FCFTR0	32	H'E8203468	32
	インテリジェントチェックサムモードレジスタ	CSMR	32	H'E82034E4	32
	インテリジェントチェックサムスキップ済みバイト数モニタレジスタ	CSSBM	32	H'E82034E8	32
	インテリジェントチェックサム機能モニタレジスタ	CSSMR	32	H'E82034EC	32
A/D変換器	A/Dデータレジスタ A	ADDRA	16	H'E8005800	16
	A/Dデータレジスタ B	ADDRB	16	H'E8005802	16
	A/Dデータレジスタ C	ADDRC	16	H'E8005804	16
	A/Dデータレジスタ D	ADDRD	16	H'E8005806	16
	A/Dデータレジスタ E	ADDRE	16	H'E8005808	16
	A/Dデータレジスタ F	ADDRF	16	H'E800580A	16
	A/Dデータレジスタ G	ADDRG	16	H'E800580C	16
	A/Dデータレジスタ H	ADDRH	16	H'E800580E	16
	比較上限値レジスタ A	ADCMPHA	16	H'E8005820	16
	比較下限値レジスタ A	ADCMPLA	16	H'E8005822	16
	比較上限値レジスタ B	ADCMPHB	16	H'E8005824	16
	比較下限値レジスタ B	ADCMPLB	16	H'E8005826	16
	比較上限値レジスタ C	ADCMPHC	16	H'E8005828	16
	比較下限値レジスタ C	ADCMPLC	16	H'E800582A	16
	比較上限値レジスタ D	ADCMPHD	16	H'E800582C	16
	比較下限値レジスタ D	ADCMPLD	16	H'E800582E	16
	比較上限値レジスタ E	ADCMPHE	16	H'E8005830	16
	比較下限値レジスタ E	ADCMPLE	16	H'E8005832	16
	比較上限値レジスタ F	ADCMPHF	16	H'E8005834	16
	比較下限値レジスタ F	ADCMPLF	16	H'E8005836	16
	比較上限値レジスタ G	ADCMPHG	16	H'E8005838	16
	比較下限値レジスタ G	ADCMPLG	16	H'E800583A	16
	比較上限値レジスタ H	ADCMPHH	16	H'E800583C	16
	比較下限値レジスタ H	ADCMPLH	16	H'E800583E	16
	コントロール／ステータスレジスタ	ADCSR	16	H'E8005860	16
	比較割り込み許可レジスタ	ADCMPER	16	H'E8005862	16
	比較ステータスレジスタ	ADCMPSR	16	H'E8005864	16

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
USB2.0ホスト／ファンクションモジュール	システムコンフィグレーションコントロールレジスタ_0	SYSCFG0_0	16	H'E8010000	16
	CPUバスウェイトレジスタ_0	BUSWAIT_0	16	H'E8010002	16
	システムコンフィグレーションステータスレジスタ_0	SYSSTS0_0	16	H'E8010004	16
	デバイスコントロールレジスタ0_0	DVSTCTR0_0	16	H'E8010008	16
	テストモードレジスタ_0	TESTMODE_0	16	H'E801000C	16
	DMA0-FIFOバスコンフィグレーションレジスタ_0	D0FBCFG_0	16	H'E8010010	16
	DMA1-FIFOバスコンフィグレーションレジスタ_0	D1FBCFG_0	16	H'E8010012	16
	CFIFOポートレジスタ_0	CFIFO_0	32	H'E8010014	8、16、32
	D0FIFOポートレジスタ_0	D0FIFO_0	32	H'E8010018	8、16、32
	D1FIFOポートレジスタ_0	D1FIFO_0	32	H'E801001C	8、16、32
	CFIFOポート選択レジスタ_0	CFIFOSEL_0	16	H'E8010020	16
	CFIFOポートコントロールレジスタ_0	CFIFOCTR_0	16	H'E8010022	16
	D0FIFOポート選択レジスタ_0	D0FIFOSEL_0	16	H'E8010028	16
	D0FIFOポートコントロールレジスタ_0	D0FIFOCTR_0	16	H'E801002A	16
	D1FIFOポート選択レジスタ_0	D1FIFOSEL_0	16	H'E801002C	16
	D1FIFOポートコントロールレジスタ_0	D1FIFOCTR_0	16	H'E801002E	16
	割り込み許可レジスタ0_0	INTENB0_0	16	H'E8010030	16
	割り込み許可レジスタ1_0	INTENB1_0	16	H'E8010032	16
	BRDY割り込み許可レジスタ_0	BRDYENB_0	16	H'E8010036	16
	NRDY割り込み許可レジスタ_0	NRDYENB_0	16	H'E8010038	16
	BEMP割り込み許可レジスタ_0	BEMPENB_0	16	H'E801003A	16
	SOF出力コンフィグレーションレジスタ_0	SOFCFG_0	16	H'E801003C	16
	割り込みステータスレジスタ0_0	INTSTS0_0	16	H'E8010040	16
	割り込みステータスレジスタ1_0	INTSTS1_0	16	H'E8010042	16
	BRDY割り込みステータスレジスタ_0	BRDYSTS_0	16	H'E8010046	16
	NRDY割り込みステータスレジスタ_0	NRDYSTS_0	16	H'E8010048	16
	BEMP割り込みステータスレジスタ_0	BEMPSTS_0	16	H'E801004A	16
	フレームナンバレジスタ_0	FRMNUM_0	16	H'E801004C	16
	マイクロフレームナンバレジスタ_0	UFRMNUM_0	16	H'E801004E	16
	USBアドレスレジスタ_0	USBADDR_0	16	H'E8010050	16
	USBリクエストタイプレジスタ_0	USBREQ_0	16	H'E8010054	16
	USBリクエストバリューレジスタ_0	USBVAL_0	16	H'E8010056	16
	USBリクエストインデックスレジスタ_0	USBINDX_0	16	H'E8010058	16
	USBリクエストレングスレジスタ_0	USBLENG_0	16	H'E801005A	16
	DCPコンフィグレーションレジスタ_0	DCPCFG_0	16	H'E801005C	16
	DCPマックスパケットサイズレジスタ_0	DCPMAXP_0	16	H'E801005E	16
	DCPコントロールレジスタ_0	DCPCTR_0	16	H'E8010060	16
	パイプウィンドウ選択レジスタ_0	PIPESEL_0	16	H'E8010064	16
	パイプコンフィグレーションレジスタ_0	PIPECFG_0	16	H'E8010068	16
	パイプバッファ指定レジスタ_0	PIPEBUF_0	16	H'E801006A	16
	パイプマックスパケットサイズレジスタ_0	PIPEMAXP_0	16	H'E801006C	16
	パイプ周期制御レジスタ_0	PIPEPERI_0	16	H'E801006E	16
	PIPE1コントロールレジスタ_0	PIPE1CTR_0	16	H'E8010070	16
	PIPE2コントロールレジスタ_0	PIPE2CTR_0	16	H'E8010072	16
	PIPE3コントロールレジスタ_0	PIPE3CTR_0	16	H'E8010074	16
	PIPE4コントロールレジスタ_0	PIPE4CTR_0	16	H'E8010076	16
	PIPE5コントロールレジスタ_0	PIPE5CTR_0	16	H'E8010078	16
	PIPE6コントロールレジスタ_0	PIPE6CTR_0	16	H'E801007A	16
	PIPE7コントロールレジスタ_0	PIPE7CTR_0	16	H'E801007C	16
	PIPE8コントロールレジスタ_0	PIPE8CTR_0	16	H'E801007E	16
	PIPE9コントロールレジスタ_0	PIPE9CTR_0	16	H'E8010080	16
	PIPE A コントロールレジスタ_0	PIPEACTR_0	16	H'E8010082	16

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
USB2.0ホスト／ファンクションモジュール	PIPE B コントロールレジスタ_0	PIPEBCTR_0	16	H'E8010084	16
	PIPE C コントロールレジスタ_0	PIPECCTR_0	16	H'E8010086	16
	PIPE D コントロールレジスタ_0	PIPEDCTR_0	16	H'E8010088	16
	PIPE E コントロールレジスタ_0	PIPEECTR_0	16	H'E801008A	16
	PIPE F コントロールレジスタ_0	PIPEFCTR_0	16	H'E801008C	16
	PIPE1 トランザクションカウンタイネーブルレジスタ_0	PIPE1TRE_0	16	H'E8010090	16
	PIPE1 トランザクションカウンタレジスタ_0	PIPE1TRN_0	16	H'E8010092	16
	PIPE2 トランザクションカウンタイネーブルレジスタ_0	PIPE2TRE_0	16	H'E8010094	16
	PIPE2 トランザクションカウンタレジスタ_0	PIPE2TRN_0	16	H'E8010096	16
	PIPE3 トランザクションカウンタイネーブルレジスタ_0	PIPE3TRE_0	16	H'E8010098	16
	PIPE3 トランザクションカウンタレジスタ_0	PIPE3TRN_0	16	H'E801009A	16
	PIPE4 トランザクションカウンタイネーブルレジスタ_0	PIPE4TRE_0	16	H'E801009C	16
	PIPE4 トランザクションカウンタレジスタ_0	PIPE4TRN_0	16	H'E801009E	16
	PIPE5 トランザクションカウンタイネーブルレジスタ_0	PIPE5TRE_0	16	H'E80100A0	16
	PIPE5 トランザクションカウンタレジスタ_0	PIPE5TRN_0	16	H'E80100A2	16
	PIPE B トランザクションカウンタイネーブルレジスタ_0	PIPEBTRE_0	16	H'E80100A4	16
	PIPE B トランザクションカウンタレジスタ_0	PIPEBTRN_0	16	H'E80100A6	16
	PIPE C トランザクションカウンタイネーブルレジスタ_0	PIPECTRE_0	16	H'E80100A8	16
	PIPE C トランザクションカウンタレジスタ_0	PIPECTRN_0	16	H'E80100AA	16
	PIPE D トランザクションカウンタイネーブルレジスタ_0	PIPEDTRE_0	16	H'E80100AC	16
	PIPE D トランザクションカウンタレジスタ_0	PIPEDTRN_0	16	H'E80100AE	16
	PIPE E トランザクションカウンタイネーブルレジスタ_0	PIPEETRE_0	16	H'E80100B0	16
	PIPE E トランザクションカウンタレジスタ_0	PIPEETRN_0	16	H'E80100B2	16
	PIPE F トランザクションカウンタイネーブルレジスタ_0	PIPEFTRE_0	16	H'E80100B4	16
	PIPE F トランザクションカウンタレジスタ_0	PIPEFTRN_0	16	H'E80100B6	16
	PIPE 9 トランザクションカウンタイネーブルレジスタ_0	PIPE9TRE_0	16	H'E80100B8	16
	PIPE 9 トランザクションカウンタレジスタ_0	PIPE9TRN_0	16	H'E80100BA	16
	PIPE A トランザクションカウンタイネーブルレジスタ_0	PIPEATRE_0	16	H'E80100BC	16
	PIPE A トランザクションカウンタレジスタ_0	PIPEATRN_0	16	H'E80100BE	16
	デバイスアドレス0コンフィグレーションレジスタ_0	DEVADD0_0	16	H'E80100D0	16
	デバイスアドレス1コンフィグレーションレジスタ_0	DEVADD1_0	16	H'E80100D2	16
	デバイスアドレス2コンフィグレーションレジスタ_0	DEVADD2_0	16	H'E80100D4	16
	デバイスアドレス3コンフィグレーションレジスタ_0	DEVADD3_0	16	H'E80100D6	16
	デバイスアドレス4コンフィグレーションレジスタ_0	DEVADD4_0	16	H'E80100D8	16
	デバイスアドレス5コンフィグレーションレジスタ_0	DEVADD5_0	16	H'E80100DA	16
	デバイスアドレス6コンフィグレーションレジスタ_0	DEVADD6_0	16	H'E80100DC	16
	デバイスアドレス7コンフィグレーションレジスタ_0	DEVADD7_0	16	H'E80100DE	16
	デバイスアドレス8コンフィグレーションレジスタ_0	DEVADD8_0	16	H'E80100E0	16
	デバイスアドレス9コンフィグレーションレジスタ_0	DEVADD9_0	16	H'E80100E2	16
	デバイスアドレスAコンフィグレーションレジスタ_0	DEVADDA_0	16	H'E80100E4	16
	サスペンドモードレジスタ_0	SUSPMODE_0	16	H'E8010102	16
	D0FIFO連続転送ポートレジスタ0_0	D0FIFOB0_0	32	H'E8010160	32
	D0FIFO連続転送ポートレジスタ1_0	D0FIFOB1_0	32	H'E8010164	32
	D0FIFO連続転送ポートレジスタ2_0	D0FIFOB2_0	32	H'E8010168	32
	D0FIFO連続転送ポートレジスタ3_0	D0FIFOB3_0	32	H'E801016C	32
	D0FIFO連続転送ポートレジスタ4_0	D0FIFOB4_0	32	H'E8010170	32
	D0FIFO連続転送ポートレジスタ5_0	D0FIFOB5_0	32	H'E8010174	32
	D0FIFO連続転送ポートレジスタ6_0	D0FIFOB6_0	32	H'E8010178	32
	D0FIFO連続転送ポートレジスタ7_0	D0FIFOB7_0	32	H'E801017C	32
	D1FIFO連続転送ポートレジスタ0_0	D1FIFOB0_0	32	H'E8010180	32
	D1FIFO連続転送ポートレジスタ1_0	D1FIFOB1_0	32	H'E8010184	32
	D1FIFO連続転送ポートレジスタ2_0	D1FIFOB2_0	32	H'E8010188	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
USB2.0ホスト／ファンクションモジュール	D1FIFO連続転送ポートレジスタ3_0	D1FIFOB3_0	32	H'E801018C	32
	D1FIFO連続転送ポートレジスタ4_0	D1FIFOB4_0	32	H'E8010190	32
	D1FIFO連続転送ポートレジスタ5_0	D1FIFOB5_0	32	H'E8010194	32
	D1FIFO連続転送ポートレジスタ6_0	D1FIFOB6_0	32	H'E8010198	32
	D1FIFO連続転送ポートレジスタ7_0	D1FIFOB7_0	32	H'E801019C	32
	システムコンフィグレーションコントロールレジスタ_1	SYSCFG0_1	16	H'E8207000	16
	CPUバスウェイトレジスタ_1	BUSWAIT_1	16	H'E8207002	16
	システムコンフィグレーションステータスレジスタ_1	SYSSTS0_1	16	H'E8207004	16
	デバイスコントロールレジスタ0_1	DVSTCTR0_1	16	H'E8207008	16
	テストモードレジスタ_1	TESTMODE_1	16	H'E820700C	16
	DMA0-FIFOバスコンフィグレーションレジスタ_1	D0FBCFG_1	16	H'E8207010	16
	DMA1-FIFOバスコンフィグレーションレジスタ_1	D1FBCFG_1	16	H'E8207012	16
	CFIFOポートレジスタ_1	CFIFO_1	32	H'E8207014	8、16、32
	D0FIFOポートレジスタ_1	D0FIFO_1	32	H'E8207018	8、16、32
	D1FIFOポートレジスタ_1	D1FIFO_1	32	H'E820701C	8、16、32
	CFIFOポート選択レジスタ_1	CFIFOSEL_1	16	H'E8207020	16
	CFIFOポートコントロールレジスタ_1	CFIFOCTR_1	16	H'E8207022	16
	D0FIFOポート選択レジスタ_1	D0FIFOSEL_1	16	H'E8207028	16
	D0FIFOポートコントロールレジスタ_1	D0FIFOCTR_1	16	H'E820702A	16
	D1FIFOポート選択レジスタ_1	D1FIFOSEL_1	16	H'E820702C	16
	D1FIFOポートコントロールレジスタ_1	D1FIFOCTR_1	16	H'E820702E	16
	割り込み許可レジスタ0_1	INTENB0_1	16	H'E8207030	16
	割り込み許可レジスタ1_1	INTENB1_1	16	H'E8207032	16
	BRDY割り込み許可レジスタ_1	BRDYENB_1	16	H'E8207036	16
	NRDY割り込み許可レジスタ_1	NRDYENB_1	16	H'E8207038	16
	BEMP割り込み許可レジスタ_1	BEMPENB_1	16	H'E820703A	16
	SOF出力コンフィグレーションレジスタ_1	SOFCFG_1	16	H'E820703C	16
	割り込みステータスレジスタ0_1	INTSTS0_1	16	H'E8207040	16
	割り込みステータスレジスタ1_1	INTSTS1_1	16	H'E8207042	16
	BRDY割り込みステータスレジスタ_1	BRDYSTS_1	16	H'E8207046	16
	NRDY割り込みステータスレジスタ_1	NRDYSTS_1	16	H'E8207048	16
	BEMP割り込みステータスレジスタ_1	BEMPSTS_1	16	H'E820704A	16
	フレームナンバレジスタ_1	FRMNUM_1	16	H'E820704C	16
	マイクロフレームナンバレジスタ_1	UFRMNUM_1	16	H'E820704E	16
	USBアドレスレジスタ_1	USBADDR_1	16	H'E8207050	16
	USBリクエストタイプレジスタ_1	USBREQ_1	16	H'E8207054	16
	USBリクエストバリューレジスタ_1	USBVAL_1	16	H'E8207056	16
	USBリクエストインデックスレジスタ_1	USBINDX_1	16	H'E8207058	16
	USBリクエストレングスレジスタ_1	USBLENG_1	16	H'E820705A	16
	DCPコンフィグレーションレジスタ_1	DCPCFG_1	16	H'E820705C	16
	DCPマックスパケットサイズレジスタ_1	DCPMAXP_1	16	H'E820705E	16
	DCPコントロールレジスタ_1	DCPCTR_1	16	H'E8207060	16
	パイプウィンドウ選択レジスタ_1	PIPESEL_1	16	H'E8207064	16
	パイプコンフィグレーションレジスタ_1	PIPECFG_1	16	H'E8207068	16
	パイプバッファ指定レジスタ_1	PIPEBUF_1	16	H'E820706A	16
	パイプマックスパケットサイズレジスタ_1	PIPEMAXP_1	16	H'E820706C	16
	パイプ周期制御レジスタ_1	PIPEPERI_1	16	H'E820706E	16
	PIPE1コントロールレジスタ_1	PIPE1CTR_1	16	H'E8207070	16
	PIPE2コントロールレジスタ_1	PIPE2CTR_1	16	H'E8207072	16
	PIPE3コントロールレジスタ_1	PIPE3CTR_1	16	H'E8207074	16
	PIPE4コントロールレジスタ_1	PIPE4CTR_1	16	H'E8207076	16
	PIPE5コントロールレジスタ_1	PIPE5CTR_1	16	H'E8207078	16

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
USB2.0ホスト／ファンクションモジュール	PIPE6コントロールレジスタ_1	PIPE6CTR_1	16	H'E820707A	16
	PIPE7コントロールレジスタ_1	PIPE7CTR_1	16	H'E820707C	16
	PIPE8コントロールレジスタ_1	PIPE8CTR_1	16	H'E820707E	16
	PIPE9コントロールレジスタ_1	PIPE9CTR_1	16	H'E8207080	16
	PIPE A コントロールレジスタ_1	PIPEACTR_1	16	H'E8207082	16
	PIPE B コントロールレジスタ_1	PIPEBCTR_1	16	H'E8207084	16
	PIPE C コントロールレジスタ_1	PIPECCTR_1	16	H'E8207086	16
	PIPE D コントロールレジスタ_1	PIPEDCTR_1	16	H'E8207088	16
	PIPE E コントロールレジスタ_1	PIPEECTR_1	16	H'E820708A	16
	PIPE F コントロールレジスタ_1	PIPEFCTR_1	16	H'E820708C	16
	PIPE1トランザクションカウンタイネーブルレジスタ_1	PIPE1TRE_1	16	H'E8207090	16
	PIPE1トランザクションカウンタレジスタ_1	PIPE1TRN_1	16	H'E8207092	16
	PIPE2トランザクションカウンタイネーブルレジスタ_1	PIPE2TRE_1	16	H'E8207094	16
	PIPE2トランザクションカウンタレジスタ_1	PIPE2TRN_1	16	H'E8207096	16
	PIPE3トランザクションカウンタイネーブルレジスタ_1	PIPE3TRE_1	16	H'E8207098	16
	PIPE3トランザクションカウンタレジスタ_1	PIPE3TRN_1	16	H'E820709A	16
	PIPE4トランザクションカウンタイネーブルレジスタ_1	PIPE4TRE_1	16	H'E820709C	16
	PIPE4トランザクションカウンタレジスタ_1	PIPE4TRN_1	16	H'E820709E	16
	PIPE5トランザクションカウンタイネーブルレジスタ_1	PIPE5TRE_1	16	H'E82070A0	16
	PIPE5トランザクションカウンタレジスタ_1	PIPE5TRN_1	16	H'E82070A2	16
	PIPE Bトランザクションカウンタイネーブルレジスタ_1	PIPEBTRE_1	16	H'E82070A4	16
	PIPE Bトランザクションカウンタレジスタ_1	PIPEBTRN_1	16	H'E82070A6	16
	PIPE Cトランザクションカウンタイネーブルレジスタ_1	PIPECTRE_1	16	H'E82070A8	16
	PIPE Cトランザクションカウンタレジスタ_1	PIPECTRN_1	16	H'E82070AA	16
	PIPE Dトランザクションカウンタイネーブルレジスタ_1	PIPEDTRE_1	16	H'E82070AC	16
	PIPE Dトランザクションカウンタレジスタ_1	PIPEDTRN_1	16	H'E82070AE	16
	PIPE Eトランザクションカウンタイネーブルレジスタ_1	PIPEETRE_1	16	H'E82070B0	16
	PIPE Eトランザクションカウンタレジスタ_1	PIPEETRN_1	16	H'E82070B2	16
	PIPE Fトランザクションカウンタイネーブルレジスタ_1	PIPEFTRE_1	16	H'E82070B4	16
	PIPE Fトランザクションカウンタレジスタ_1	PIPEFTRN_1	16	H'E82070B6	16
	PIPE 9トランザクションカウンタイネーブルレジスタ_1	PIPE9TRE_1	16	H'E82070B8	16
	PIPE 9トランザクションカウンタレジスタ_1	PIPE9TRN_1	16	H'E82070BA	16
	PIPE Aトランザクションカウンタイネーブルレジスタ_1	PIPEATRE_1	16	H'E82070BC	16
	PIPE Aトランザクションカウンタレジスタ_1	PIPEATRN_1	16	H'E82070BE	16
	デバイスアドレス0コンフィグレーションレジスタ_1	DEVADD0_1	16	H'E82070D0	16
	デバイスアドレス1コンフィグレーションレジスタ_1	DEVADD1_1	16	H'E82070D2	16
	デバイスアドレス2コンフィグレーションレジスタ_1	DEVADD2_1	16	H'E82070D4	16
	デバイスアドレス3コンフィグレーションレジスタ_1	DEVADD3_1	16	H'E82070D6	16
	デバイスアドレス4コンフィグレーションレジスタ_1	DEVADD4_1	16	H'E82070D8	16
	デバイスアドレス5コンフィグレーションレジスタ_1	DEVADD5_1	16	H'E82070DA	16
	デバイスアドレス6コンフィグレーションレジスタ_1	DEVADD6_1	16	H'E82070DC	16
	デバイスアドレス7コンフィグレーションレジスタ_1	DEVADD7_1	16	H'E82070DE	16
	デバイスアドレス8コンフィグレーションレジスタ_1	DEVADD8_1	16	H'E82070E0	16
	デバイスアドレス9コンフィグレーションレジスタ_1	DEVADD9_1	16	H'E82070E2	16
	デバイスアドレスAコンフィグレーションレジスタ_1	DEVADDA_1	16	H'E82070E4	16
	サスペンドモードレジスタ_1	SUSPMODE_1	16	H'E8207102	16
	D0FIFO連続転送ポートレジスタ0_1	D0FIFOB0_1	32	H'E8207160	32
	D0FIFO連続転送ポートレジスタ1_1	D0FIFOB1_1	32	H'E8207164	32
	D0FIFO連続転送ポートレジスタ2_1	D0FIFOB2_1	32	H'E8207168	32
	D0FIFO連続転送ポートレジスタ3_1	D0FIFOB3_1	32	H'E820716C	32
	D0FIFO連続転送ポートレジスタ4_1	D0FIFOB4_1	32	H'E8207170	32
	D0FIFO連続転送ポートレジスタ5_1	D0FIFOB5_1	32	H'E8207174	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
USB2.0ホスト／ファンクションモジュール	D0FIFO連続転送ポートレジスタ6_1	D0FIFOB6_1	32	H'E8207178	32
	D0FIFO連続転送ポートレジスタ7_1	D0FIFOB7_1	32	H'E820717C	32
	D1FIFO連続転送ポートレジスタ0_1	D1FIFOB0_1	32	H'E8207180	32
	D1FIFO連続転送ポートレジスタ1_1	D1FIFOB1_1	32	H'E8207184	32
	D1FIFO連続転送ポートレジスタ2_1	D1FIFOB2_1	32	H'E8207188	32
	D1FIFO連続転送ポートレジスタ3_1	D1FIFOB3_1	32	H'E820718C	32
	D1FIFO連続転送ポートレジスタ4_1	D1FIFOB4_1	32	H'E8207190	32
	D1FIFO連続転送ポートレジスタ5_1	D1FIFOB5_1	32	H'E8207194	32
	D1FIFO連続転送ポートレジスタ6_1	D1FIFOB6_1	32	H'E8207198	32
	D1FIFO連続転送ポートレジスタ7_1	D1FIFOB7_1	32	H'E820719C	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ビデオディスプレイコントローラ5	外部入力部レジスタ更新制御レジスタ	INP_UPDATE	32	H'FCFF7400	32
	入力選択制御レジスタ	INP_SEL_CNT	32	H'FCFF7404	32
	外部入力同期信号制御レジスタ	INP_EXT_SYNC_CNT	32	H'FCFF7408	32
	垂直同期信号位相調整レジスタ	INP_VSYNC_PH_ADJ	32	H'FCFF740C	32
	同期信号遅延調整レジスタ	INP_DLY_ADJ	32	H'FCFF7410	32
	画質調整部レジスタ更新制御レジスタ	IMGCNT_UPDATE	32	H'FCFF7480	32
	NR制御レジスタ0	IMGCNT_NR_CNT0	32	H'FCFF7484	32
	NR制御レジスタ1	IMGCNT_NR_CNT1	32	H'FCFF7488	32
	画質調整部マトリクスモードレジスタ	IMGCNT_MTX_MODE	32	H'FCFF74A0	32
	画質調整部マトリクスYG調整レジスタ0	IMGCNT_MTX_YG_ADJ0	32	H'FCFF74A4	32
	画質調整部マトリクスYG調整レジスタ1	IMGCNT_MTX_YG_ADJ1	32	H'FCFF74A8	32
	画質調整部マトリクスCBB調整レジスタ0	IMGCNT_MTX_CBB_ADJ0	32	H'FCFF74AC	32
	画質調整部マトリクスCBB調整レジスタ1	IMGCNT_MTX_CBB_ADJ1	32	H'FCFF74B0	32
	画質調整部マトリクスCRR調整レジスタ0	IMGCNT_MTX_CRR_ADJ0	32	H'FCFF74B4	32
	画質調整部マトリクスCRR調整レジスタ1	IMGCNT_MTX_CRR_ADJ1	32	H'FCFF74B8	32
	SCL0 レジスタ更新制御レジスタ（SC0）	SC0_SCL0_UPDATE	32	H'FCFF7500	32
	マスク処理レジスタ（SC0）	SC0_SCL0_FRC1	32	H'FCFF7504	32
	欠落補償レジスタ（SC0）	SC0_SCL0_FRC2	32	H'FCFF7508	32
	出力同期選択レジスタ（SC0）	SC0_SCL0_FRC3	32	H'FCFF750C	32
	自走周期レジスタ（SC0）	SC0_SCL0_FRC4	32	H'FCFF7510	32
	出力遅延制御レジスタ（SC0）	SC0_SCL0_FRC5	32	H'FCFF7514	32
	フル画面垂直サイズレジスタ（SC0）	SC0_SCL0_FRC6	32	H'FCFF7518	32
	フル画面水平サイズレジスタ（SC0）	SC0_SCL0_FRC7	32	H'FCFF751C	32
	同期検出レジスタ（SC0）	SC0_SCL0_FRC9	32	H'FCFF7524	32
	ステータスモニタ0レジスタ（SC0）	SC0_SCL0_MON0	16	H'FCFF7528	16
	割り込み制御レジスタ（SC0）	SC0_SCL0_INT	16	H'FCFF752A	16
	縮小制御レジスタ（SC0）	SC0_SCL0_DS1	32	H'FCFF752C	32
	取り込み垂直サイズレジスタ（SC0）	SC0_SCL0_DS2	32	H'FCFF7530	32
	取り込み水平サイズレジスタ（SC0）	SC0_SCL0_DS3	32	H'FCFF7534	32
	水平縮小レジスタ（SC0）	SC0_SCL0_DS4	32	H'FCFF7538	32
	垂直初期位相レジスタ（SC0）	SC0_SCL0_DS5	32	H'FCFF753C	32
	垂直スケーリングレジスタ（SC0）	SC0_SCL0_DS6	32	H'FCFF7540	32
	縮小制御部出力サイズレジスタ（SC0）	SC0_SCL0_DS7	32	H'FCFF7544	32
	拡大制御レジスタ（SC0）	SC0_SCL0_US1	32	H'FCFF7548	32
	出力画像垂直サイズレジスタ（SC0）	SC0_SCL0_US2	32	H'FCFF754C	32
	出力画像水平サイズレジスタ（SC0）	SC0_SCL0_US3	32	H'FCFF7550	32
	拡大制御部入力サイズレジスタ（SC0）	SC0_SCL0_US4	32	H'FCFF7554	32
	水平拡大レジスタ（SC0）	SC0_SCL0_US5	32	H'FCFF7558	32
	水平拡大初期位相レジスタ（SC0）	SC0_SCL0_US6	32	H'FCFF755C	32
	トリミングレジスタ（SC0）	SC0_SCL0_US7	32	H'FCFF7560	32
	フレームバッファ読み出し選択レジスタ（SC0）	SC0_SCL0_US8	32	H'FCFF7564	32
	背景色レジスタ（SC0）	SC0_SCL0_OVR1	32	H'FCFF756C	32
	SCL1 レジスタ更新制御レジスタ（SC0）	SC0_SCL1_UPDATE	32	H'FCFF7580	32
	書き込み動作モードレジスタ（SC0）	SC0_SCL1_WR1	32	H'FCFF7588	32
	書き込みアドレスレジスタ1T（SC0）	SC0_SCL1_WR2	32	H'FCFF758C	32
	書き込みアドレスレジスタ2T（SC0）	SC0_SCL1_WR3	32	H'FCFF7590	32
	書き込みアドレスレジスタ3T（SC0）	SC0_SCL1_WR4	32	H'FCFF7594	32
	フレーム間引きレジスタ（SC0）	SC0_SCL1_WR5	32	H'FCFF759C	32
	ビット縮退レジスタ（SC0）	SC0_SCL1_WR6	32	H'FCFF75A0	32
	書き込み検出レジスタ（SC0）	SC0_SCL1_WR7	32	H'FCFF75A4	32
	書き込みアドレスレジスタ1B（SC0）	SC0_SCL1_WR8	32	H'FCFF75A8	32
	書き込みアドレスレジスタ2B（SC0）	SC0_SCL1_WR9	32	H'FCFF75AC	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ビデオディスプレイコントローラ5	書き込みアドレスレジスタ3B（SC0）	SC0_SCL1_WR10	32	H'FCFF75B0	32
	書き込み検出レジスタB（SC0）	SC0_SCL1_WR11	32	H'FCFF75B4	32
	ステータスモニタ1レジスタ（SC0）	SC0_SCL1_MON1	32	H'FCFF75B8	32
	ポインターバッファ0レジスタ（SC0）	SC0_SCL1_PBUF0	32	H'FCFF75BC	32
	ポインターバッファ1レジスタ（SC0）	SC0_SCL1_PBUF1	32	H'FCFF75C0	32
	ポインターバッファ2レジスタ（SC0）	SC0_SCL1_PBUF2	32	H'FCFF75C4	32
	ポインターバッファ3レジスタ（SC0）	SC0_SCL1_PBUF3	32	H'FCFF75C8	32
	ポインターバッファ、フィールド情報レジスタ（SC0）	SC0_SCL1_PBUF_FLD	32	H'FCFF75CC	32
	ポインターバッファ、制御レジスタ（SC0）	SC0_SCL1_PBUF_CNT	32	H'FCFF75D0	32
	グラフィックス（0）レジスタ更新制御レジスタ	GR0_UPDATE	32	H'FCFF7600	32
	フレームバッファ読み出し制御レジスタ（グラフィックス（0））	GR0_FLM_RD	32	H'FCFF7604	32
	フレームバッファ制御レジスタ1（グラフィックス（0））	GR0_FLM1	32	H'FCFF7608	32
	フレームバッファ制御レジスタ2（グラフィックス（0））	GR0_FLM2	32	H'FCFF760C	32
	フレームバッファ制御レジスタ3（グラフィックス（0））	GR0_FLM3	32	H'FCFF7610	32
	フレームバッファ制御レジスタ4（グラフィックス（0））	GR0_FLM4	32	H'FCFF7614	32
	フレームバッファ制御レジスタ5（グラフィックス（0））	GR0_FLM5	32	H'FCFF7618	32
	フレームバッファ制御レジスタ6（グラフィックス（0））	GR0_FLM6	32	H'FCFF761C	32
	アルファブレンド制御レジスタ1（グラフィックス（0））	GR0_AB1	32	H'FCFF7620	32
	アルファブレンド制御レジスタ2（グラフィックス（0））	GR0_AB2	32	H'FCFF7624	32
	アルファブレンド制御レジスタ3（グラフィックス（0））	GR0_AB3	32	H'FCFF7628	32
	アルファブレンド制御レジスタ7（グラフィックス（0））	GR0_AB7	32	H'FCFF7638	32
	アルファブレンド制御レジスタ8（グラフィックス（0））	GR0_AB8	32	H'FCFF763C	32
	アルファブレンド制御レジスタ9（グラフィックス（0））	GR0_AB9	32	H'FCFF7640	32
	アルファブレンド制御レジスタ10（グラフィックス（0））	GR0_AB10	32	H'FCFF7644	32
	アルファブレンド制御レジスタ11（グラフィックス（0））	GR0_AB11	32	H'FCFF7648	32
	背景色制御レジスタ（グラフィックス（0））	GR0_BASE	32	H'FCFF764C	32
	CLUTテーブル制御レジスタ（グラフィックス（0））	GR0_CLUT	32	H'FCFF7650	32
	画質改善部レジスタ更新制御レジスタ（画質改善部0）	ADJ0_UPDATE	32	H'FCFF7680	32
	黒伸張部レジスタ（画質改善部0）	ADJ0_BKSTR_SET	32	H'FCFF7684	32
	エンハンサタイミング調整レジスタ1（画質改善部0）	ADJ0_ENH_TIM1	32	H'FCFF7688	32
	エンハンサタイミング調整レジスタ2（画質改善部0）	ADJ0_ENH_TIM2	32	H'FCFF768C	32
	エンハンサタイミング調整レジスタ3（画質改善部0）	ADJ0_ENH_TIM3	32	H'FCFF7690	32
	エンハンサシャープネスレジスタ1（画質改善部0）	ADJ0_ENH_SHP1	32	H'FCFF7694	32
	エンハンサシャープネスレジスタ2（画質改善部0）	ADJ0_ENH_SHP2	32	H'FCFF7698	32
	エンハンサシャープネスレジスタ3（画質改善部0）	ADJ0_ENH_SHP3	32	H'FCFF769C	32
	エンハンサシャープネスレジスタ4（画質改善部0）	ADJ0_ENH_SHP4	32	H'FCFF76A0	32
	エンハンサシャープネスレジスタ5（画質改善部0）	ADJ0_ENH_SHP5	32	H'FCFF76A4	32
	エンハンサシャープネスレジスタ6（画質改善部0）	ADJ0_ENH_SHP6	32	H'FCFF76A8	32
	エンハンサLTIレジスタ1（画質改善部0）	ADJ0_ENH_LTI1	32	H'FCFF76AC	32
	エンハンサLTIレジスタ2（画質改善部0）	ADJ0_ENH_LTI2	32	H'FCFF76B0	32
	画質改善部マトリクスモードレジスタ（画質改善部0）	ADJ0_MTX_MODE	32	H'FCFF76B4	32
	画質改善部マトリクスYG調整レジスタ0（画質改善部0）	ADJ0_MTX_YG_ADJ0	32	H'FCFF76B8	32
	画質改善部マトリクスYG調整レジスタ1（画質改善部0）	ADJ0_MTX_YG_ADJ1	32	H'FCFF76BC	32
	画質改善部マトリクスCBB調整レジスタ0（画質改善部0）	ADJ0_MTX_CBB_ADJ0	32	H'FCFF76C0	32
	画質改善部マトリクスCBB調整レジスタ1（画質改善部0）	ADJ0_MTX_CBB_ADJ1	32	H'FCFF76C4	32
	画質改善部マトリクスCRR調整レジスタ0（画質改善部0）	ADJ0_MTX_CRR_ADJ0	32	H'FCFF76C8	32
	画質改善部マトリクスCRR調整レジスタ1（画質改善部0）	ADJ0_MTX_CRR_ADJ1	32	H'FCFF76CC	32
	グラフィックス（2）レジスタ更新制御レジスタ	GR2_UPDATE	32	H'FCFF7700	32
	フレームバッファ読み出し制御レジスタ（グラフィックス（2））	GR2_FLM_RD	32	H'FCFF7704	32
	フレームバッファ制御レジスタ1（グラフィックス（2））	GR2_FLM1	32	H'FCFF7708	32
	フレームバッファ制御レジスタ2（グラフィックス（2））	GR2_FLM2	32	H'FCFF770C	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ビデオディスプレイコントローラ5	フレームバッファ制御レジスタ3（グラフィックス（2））	GR2_FLM3	32	H'FCFF7710	32
	フレームバッファ制御レジスタ4（グラフィックス（2））	GR2_FLM4	32	H'FCFF7714	32
	フレームバッファ制御レジスタ5（グラフィックス（2））	GR2_FLM5	32	H'FCFF7718	32
	フレームバッファ制御レジスタ6（グラフィックス（2））	GR2_FLM6	32	H'FCFF771C	32
	アルファブレンド制御レジスタ1（グラフィックス（2））	GR2_AB1	32	H'FCFF7720	32
	アルファブレンド制御レジスタ2（グラフィックス（2））	GR2_AB2	32	H'FCFF7724	32
	アルファブレンド制御レジスタ3（グラフィックス（2））	GR2_AB3	32	H'FCFF7728	32
	アルファブレンド制御レジスタ4（グラフィックス（2））	GR2_AB4	32	H'FCFF772C	32
	アルファブレンド制御レジスタ5（グラフィックス（2））	GR2_AB5	32	H'FCFF7730	32
	アルファブレンド制御レジスタ6（グラフィックス（2））	GR2_AB6	32	H'FCFF7734	32
	アルファブレンド制御レジスタ7（グラフィックス（2））	GR2_AB7	32	H'FCFF7738	32
	アルファブレンド制御レジスタ8（グラフィックス（2））	GR2_AB8	32	H'FCFF773C	32
	アルファブレンド制御レジスタ9（グラフィックス（2））	GR2_AB9	32	H'FCFF7740	32
	アルファブレンド制御レジスタ10（グラフィックス（2））	GR2_AB10	32	H'FCFF7744	32
	アルファブレンド制御レジスタ11（グラフィックス（2））	GR2_AB11	32	H'FCFF7748	32
	背景色制御レジスタ（グラフィックス（2））	GR2_BASE	32	H'FCFF774C	32
	CLUTテーブル制御レジスタ（グラフィックス（2））	GR2_CLUT	32	H'FCFF7750	32
	ステータスモニタレジスタ（グラフィックス（2））	GR2_MON	32	H'FCFF7754	32
	グラフィックス（3）レジスタ更新制御レジスタ	GR3_UPDATE	32	H'FCFF7780	32
	フレームバッファ読み出し制御レジスタ（グラフィックス（3））	GR3_FLM_RD	32	H'FCFF7784	32
	フレームバッファ制御レジスタ1（グラフィックス（3））	GR3_FLM1	32	H'FCFF7788	32
	フレームバッファ制御レジスタ2（グラフィックス（3））	GR3_FLM2	32	H'FCFF778C	32
	フレームバッファ制御レジスタ3（グラフィックス（3））	GR3_FLM3	32	H'FCFF7790	32
	フレームバッファ制御レジスタ4（グラフィックス（3））	GR3_FLM4	32	H'FCFF7794	32
	フレームバッファ制御レジスタ5（グラフィックス（3））	GR3_FLM5	32	H'FCFF7798	32
	フレームバッファ制御レジスタ6（グラフィックス（3））	GR3_FLM6	32	H'FCFF779C	32
	アルファブレンド制御レジスタ1（グラフィックス（3））	GR3_AB1	32	H'FCFF77A0	32
	アルファブレンド制御レジスタ2（グラフィックス（3））	GR3_AB2	32	H'FCFF77A4	32
	アルファブレンド制御レジスタ3（グラフィックス（3））	GR3_AB3	32	H'FCFF77A8	32
	アルファブレンド制御レジスタ4（グラフィックス（3））	GR3_AB4	32	H'FCFF77AC	32
	アルファブレンド制御レジスタ5（グラフィックス（3））	GR3_AB5	32	H'FCFF77B0	32
	アルファブレンド制御レジスタ6（グラフィックス（3））	GR3_AB6	32	H'FCFF77B4	32
	アルファブレンド制御レジスタ7（グラフィックス（3））	GR3_AB7	32	H'FCFF77B8	32
	アルファブレンド制御レジスタ8（グラフィックス（3））	GR3_AB8	32	H'FCFF77BC	32
	アルファブレンド制御レジスタ9（グラフィックス（3））	GR3_AB9	32	H'FCFF77C0	32
	アルファブレンド制御レジスタ10（グラフィックス（3））	GR3_AB10	32	H'FCFF77C4	32
	アルファブレンド制御レジスタ11（グラフィックス（3））	GR3_AB11	32	H'FCFF77C8	32
	背景色制御レジスタ（グラフィックス（3））	GR3_BASE	32	H'FCFF77CC	32
	CLUTテーブル・割り込み制御レジスタ（グラフィックス（3））	GR3_CLUT_INT	32	H'FCFF77D0	32
	ステータスモニタレジスタ（グラフィックス（3））	GR3_MON	32	H'FCFF77D4	32
	VIN合成部レジスタ更新制御レジスタ	GR_VIN_UPDATE	32	H'FCFF7E00	32
	アルファブレンド制御レジスタ1（VIN合成部）	GR_VIN_AB1	32	H'FCFF7E20	32
	ガンマ補正部レジスタ更新制御レジスタG	GAM_G_UPDATE	32	H'FCFF7800	32
	ガンマ補正部機能スイッチレジスタ	GAM_SW	32	H'FCFF7804	32
	ガンマ補正部テーブル設定レジスタG1	GAM_G_LUT1	32	H'FCFF7808	32
	ガンマ補正部テーブル設定レジスタG2	GAM_G_LUT2	32	H'FCFF780C	32
	ガンマ補正部テーブル設定レジスタG3	GAM_G_LUT3	32	H'FCFF7810	32
	ガンマ補正部テーブル設定レジスタG4	GAM_G_LUT4	32	H'FCFF7814	32
	ガンマ補正部テーブル設定レジスタG5	GAM_G_LUT5	32	H'FCFF7818	32
	ガンマ補正部テーブル設定レジスタG6	GAM_G_LUT6	32	H'FCFF781C	32
	ガンマ補正部テーブル設定レジスタG7	GAM_G_LUT7	32	H'FCFF7820	32
	ガンマ補正部テーブル設定レジスタG8	GAM_G_LUT8	32	H'FCFF7824	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ビデオディスプレイコントローラ5	ガンマ補正部テーブル設定レジスタ G9	GAM_G_LUT9	32	H'FCFF7828	32
	ガンマ補正部テーブル設定レジスタ G10	GAM_G_LUT10	32	H'FCFF782C	32
	ガンマ補正部テーブル設定レジスタ G11	GAM_G_LUT11	32	H'FCFF7830	32
	ガンマ補正部テーブル設定レジスタ G12	GAM_G_LUT12	32	H'FCFF7834	32
	ガンマ補正部テーブル設定レジスタ G13	GAM_G_LUT13	32	H'FCFF7838	32
	ガンマ補正部テーブル設定レジスタ G14	GAM_G_LUT14	32	H'FCFF783C	32
	ガンマ補正部テーブル設定レジスタ G15	GAM_G_LUT15	32	H'FCFF7840	32
	ガンマ補正部テーブル設定レジスタ G16	GAM_G_LUT16	32	H'FCFF7844	32
	ガンマ補正部領域設定レジスタ G1	GAM_G_AREA1	32	H'FCFF7848	32
	ガンマ補正部領域設定レジスタ G2	GAM_G_AREA2	32	H'FCFF784C	32
	ガンマ補正部領域設定レジスタ G3	GAM_G_AREA3	32	H'FCFF7850	32
	ガンマ補正部領域設定レジスタ G4	GAM_G_AREA4	32	H'FCFF7854	32
	ガンマ補正部領域設定レジスタ G5	GAM_G_AREA5	32	H'FCFF7858	32
	ガンマ補正部領域設定レジスタ G6	GAM_G_AREA6	32	H'FCFF785C	32
	ガンマ補正部領域設定レジスタ G7	GAM_G_AREA7	32	H'FCFF7860	32
	ガンマ補正部領域設定レジスタ G8	GAM_G_AREA8	32	H'FCFF7864	32
	ガンマ補正部レジスタ更新制御レジスタ B	GAM_B_UPDATE	32	H'FCFF7880	32
	ガンマ補正部テーブル設定レジスタ B1	GAM_B_LUT1	32	H'FCFF7888	32
	ガンマ補正部テーブル設定レジスタ B2	GAM_B_LUT2	32	H'FCFF788C	32
	ガンマ補正部テーブル設定レジスタ B3	GAM_B_LUT3	32	H'FCFF7890	32
	ガンマ補正部テーブル設定レジスタ B4	GAM_B_LUT4	32	H'FCFF7894	32
	ガンマ補正部テーブル設定レジスタ B5	GAM_B_LUT5	32	H'FCFF7898	32
	ガンマ補正部テーブル設定レジスタ B6	GAM_B_LUT6	32	H'FCFF789C	32
	ガンマ補正部テーブル設定レジスタ B7	GAM_B_LUT7	32	H'FCFF78A0	32
	ガンマ補正部テーブル設定レジスタ B8	GAM_B_LUT8	32	H'FCFF78A4	32
	ガンマ補正部テーブル設定レジスタ B9	GAM_B_LUT9	32	H'FCFF78A8	32
	ガンマ補正部テーブル設定レジスタ B10	GAM_B_LUT10	32	H'FCFF78AC	32
	ガンマ補正部テーブル設定レジスタ B11	GAM_B_LUT11	32	H'FCFF78B0	32
	ガンマ補正部テーブル設定レジスタ B12	GAM_B_LUT12	32	H'FCFF78B4	32
	ガンマ補正部テーブル設定レジスタ B13	GAM_B_LUT13	32	H'FCFF78B8	32
	ガンマ補正部テーブル設定レジスタ B14	GAM_B_LUT14	32	H'FCFF78BC	32
	ガンマ補正部テーブル設定レジスタ B15	GAM_B_LUT15	32	H'FCFF78C0	32
	ガンマ補正部テーブル設定レジスタ B16	GAM_B_LUT16	32	H'FCFF78C4	32
	ガンマ補正部領域設定レジスタ B1	GAM_B_AREA1	32	H'FCFF78C8	32
	ガンマ補正部領域設定レジスタ B2	GAM_B_AREA2	32	H'FCFF78CC	32
	ガンマ補正部領域設定レジスタ B3	GAM_B_AREA3	32	H'FCFF78D0	32
	ガンマ補正部領域設定レジスタ B4	GAM_B_AREA4	32	H'FCFF78D4	32
	ガンマ補正部領域設定レジスタ B5	GAM_B_AREA5	32	H'FCFF78D8	32
	ガンマ補正部領域設定レジスタ B6	GAM_B_AREA6	32	H'FCFF78DC	32
	ガンマ補正部領域設定レジスタ B7	GAM_B_AREA7	32	H'FCFF78E0	32
	ガンマ補正部領域設定レジスタ B8	GAM_B_AREA8	32	H'FCFF78E4	32
	ガンマ補正部レジスタ更新制御レジスタ R	GAM_R_UPDATE	32	H'FCFF7900	32
	ガンマ補正部テーブル設定レジスタ R1	GAM_R_LUT1	32	H'FCFF7908	32
	ガンマ補正部テーブル設定レジスタ R2	GAM_R_LUT2	32	H'FCFF790C	32
	ガンマ補正部テーブル設定レジスタ R3	GAM_R_LUT3	32	H'FCFF7910	32
	ガンマ補正部テーブル設定レジスタ R4	GAM_R_LUT4	32	H'FCFF7914	32
	ガンマ補正部テーブル設定レジスタ R5	GAM_R_LUT5	32	H'FCFF7918	32
	ガンマ補正部テーブル設定レジスタ R6	GAM_R_LUT6	32	H'FCFF791C	32
	ガンマ補正部テーブル設定レジスタ R7	GAM_R_LUT7	32	H'FCFF7920	32
	ガンマ補正部テーブル設定レジスタ R8	GAM_R_LUT8	32	H'FCFF7924	32
	ガンマ補正部テーブル設定レジスタ R9	GAM_R_LUT9	32	H'FCFF7928	32
	ガンマ補正部テーブル設定レジスタ R10	GAM_R_LUT10	32	H'FCFF792C	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
ビデオディスプレイコントローラ5	ガンマ補正部テーブル設定レジスタR11	GAM_R_LUT11	32	H'FCFF7930	32
	ガンマ補正部テーブル設定レジスタR12	GAM_R_LUT12	32	H'FCFF7934	32
	ガンマ補正部テーブル設定レジスタR13	GAM_R_LUT13	32	H'FCFF7938	32
	ガンマ補正部テーブル設定レジスタR14	GAM_R_LUT14	32	H'FCFF793C	32
	ガンマ補正部テーブル設定レジスタR15	GAM_R_LUT15	32	H'FCFF7940	32
	ガンマ補正部テーブル設定レジスタR16	GAM_R_LUT16	32	H'FCFF7944	32
	ガンマ補正部領域設定レジスタR1	GAM_R_AREA1	32	H'FCFF7948	32
	ガンマ補正部領域設定レジスタR2	GAM_R_AREA2	32	H'FCFF794C	32
	ガンマ補正部領域設定レジスタR3	GAM_R_AREA3	32	H'FCFF7950	32
	ガンマ補正部領域設定レジスタR4	GAM_R_AREA4	32	H'FCFF7954	32
	ガンマ補正部領域設定レジスタR5	GAM_R_AREA5	32	H'FCFF7958	32
	ガンマ補正部領域設定レジスタR6	GAM_R_AREA6	32	H'FCFF795C	32
	ガンマ補正部領域設定レジスタR7	GAM_R_AREA7	32	H'FCFF7960	32
	ガンマ補正部領域設定レジスタR8	GAM_R_AREA8	32	H'FCFF7964	32
	TCONレジスタ更新制御レジスタ	TCON_UPDATE	32	H'FCFF7980	32
	TCON基準タイミング設定レジスタ	TCON_TIM	32	H'FCFF7984	32
	TCON垂直タイミング設定レジスタA1	TCON_TIM_STVA1	32	H'FCFF7988	32
	TCON垂直タイミング設定レジスタA2	TCON_TIM_STVA2	32	H'FCFF798C	32
	TCON垂直タイミング設定レジスタB1	TCON_TIM_STVB1	32	H'FCFF7990	32
	TCON垂直タイミング設定レジスタB2	TCON_TIM_STVB2	32	H'FCFF7994	32
	TCON水平タイミング設定レジスタSTH1	TCON_TIM_STH1	32	H'FCFF7998	32
	TCON水平タイミング設定レジスタSTH2	TCON_TIM_STH2	32	H'FCFF799C	32
	TCON水平タイミング設定レジスタSTB1	TCON_TIM_STB1	32	H'FCFF79A0	32
	TCON水平タイミング設定レジスタSTB2	TCON_TIM_STB2	32	H'FCFF79A4	32
	TCON水平タイミング設定レジスタCPV1	TCON_TIM_CPV1	32	H'FCFF79A8	32
	TCON水平タイミング設定レジスタCPV2	TCON_TIM_CPV2	32	H'FCFF79AC	32
	TCON水平タイミング設定レジスタPOLA1	TCON_TIM_POLA1	32	H'FCFF79B0	32
	TCON水平タイミング設定レジスタPOLA2	TCON_TIM_POLA2	32	H'FCFF79B4	32
	TCON水平タイミング設定レジスタPOLB1	TCON_TIM_POLB1	32	H'FCFF79B8	32
	TCON水平タイミング設定レジスタPOLB2	TCON_TIM_POLB2	32	H'FCFF79BC	32
	TCONデータイネーブル極性設定レジスタ	TCON_TIM_DE	32	H'FCFF79C0	32
	出力制御部レジスタ更新制御レジスタ	OUT_UPDATE	32	H'FCFF7A00	32
	出力インタフェース用レジスタ	OUT_SET	32	H'FCFF7A04	32
	ブライト（DC）補正用レジスタ1	OUT_BRIGHT1	32	H'FCFF7A08	32
	ブライト（DC）補正用レジスタ2	OUT_BRIGHT2	32	H'FCFF7A0C	32
	コントラスト（ゲイン）補正用レジスタ	OUT_CONTRAST	32	H'FCFF7A10	32
	パネルディザレジスタ	OUT_PDTHA	32	H'FCFF7A14	32
	出力位相制御レジスタ	OUT_CLK_PHASE	32	H'FCFF7A24	32
	割り込み制御レジスタ1	SYSCNT_INT1	32	H'FCFF7A80	32
	割り込み制御レジスタ2	SYSCNT_INT2	32	H'FCFF7A84	32
	割り込み制御レジスタ4	SYSCNT_INT4	32	H'FCFF7A8C	32
	割り込み制御レジスタ5	SYSCNT_INT5	32	H'FCFF7A90	32
	パネルクロック制御レジスタ	SYSCNT_PANEL_CLK	16	H'FCFF7A98	16
	CLUTテーブル読み出し選択信号ステータスフラグレジスタ	SYSCNT_CLUT	16	H'FCFF7A9A	16

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
キャプチャエンジンユニット	CEUキャプチャ開始レジスタ	CAPSR	32	H'E8210000	32
	CEUキャプチャ制御レジスタ	CAPCR	32	H'E8210004	32
	CEUキャプチャインタフェース制御レジスタ	CAMCR	32	H'E8210008	32
	CEUキャプチャインタフェースサイクルレジスタ	CMCYR	32	H'E821000C	32
	CEUキャプチャインタフェースオフセットレジスタ	CAMOR	32	A 面 H'E8210010 B 面 H'E8211010 ミラー H'E8212010	32
	CEUキャプチャインタフェース幅レジスタ	CAPWR	32	A 面 H'E8210014 B 面 H'E8211014 ミラー H'E8212014	32
	CEUキャプチャインタフェース入力方式レジスタ	CAIFR	32	H'E8210018	32
	CEU レジスタ制御レジスタ	CRCNTR	32	H'E8210028	32
	CEU レジスタ強制制御レジスタ	CRCMPR	32	H'E821002C	32
	CEUキャプチャフィルタ制御レジスタ	CFLCR	32	A 面 H'E8210030 B 面 H'E8211030 ミラー H'E8212030	32
	CEUキャプチャフィルタサイズクリップレジスタ	CFSZR	32	A 面 H'E8210034 B 面 H'E8211034 ミラー H'E8212034	32
	CEUキャプチャデスティネーション幅レジスタ	CDWDR	32	A 面 H'E8210038 B 面 H'E8211038 ミラー H'E8212038	32
	CEUキャプチャデータアドレスＹレジスタ	CDAYR	32	A 面 H'E821003C B 面 H'E821103C ミラー H'E821203C	32
	CEUキャプチャデータアドレスＣレジスタ	CDACR	32	A 面 H'E8210040 B 面 H'E8211040 ミラー H'E8212040	32
	CEUキャプチャデータボトムフィールドアドレスＹレジスタ	CDBYR	32	A 面 H'E8210044 B 面 H'E8211044 ミラー H'E8212044	32
	CEUキャプチャデータボトムフィールドアドレスＣレジスタ	CDBCR	32	A 面 H'E8210048 B 面 H'E8211048 ミラー H'E8212048	32
	CEUキャプチャバンドルデスティネーションサイズレジスタ	CBDSR	32	A 面 H'E821004C B 面 H'E821104C ミラー H'E821204C	32
	CEUファイアウォール動作制御レジスタ	CFWCR	32	H'E821005C	32
	CEUキャプチャローパスフィルタ制御レジスタ	CLFCR	32	A 面 H'E8210060 B 面 H'E8211060 ミラー H'E8212060	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
キャプチャエンジンユニット	CEUキャプチャデータ出力制御レジスタ	CDOCR	32	A 面 H'E8210064 B 面 H'E8211064 ミラー H'E8212064	32
	CEUキャプチャイベント割り込み許可レジスタ	CEIER	32	H'E8210070	32
	CEUキャプチャイベントフラグクリアレジスタ	CETCR	32	H'E8210074	32
	CEUキャプチャステータスレジスタ	CSTSR	32	H'E821007C	32
	CEUキャプチャデータ容量レジスタ	CDSSR	32	H'E8210084	32
	CEUキャプチャデータアドレスＹレジスタ２	CDAYR2	32	A 面 H'E8210090 B 面 H'E8211090 ミラー H'E8212090	32
	CEUキャプチャデータアドレスＣレジスタ２	CDACR2	32	A 面 H'E8210094 B 面 H'E8211094 ミラー H'E8212094	32
	CEUキャプチャデータボトムフィールドアドレスＹレジスタ２	CDBYR2	32	A 面 H'E8210098 B 面 H'E8211098 ミラー H'E8212098	32
	CEUキャプチャデータボトムフィールドアドレスＣレジスタ２	CDBCR2	32	A 面 H'E821009C B 面 H'E821109C ミラー H'E821209C	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCUX	IPC0_0 Initialization Register	IPCIR_IPC0_0	32	H'E8208000	32
	IPC0_0 Pass Select Register	IPSLR_IPC0_0	32	H'E8208004	32
	IPC0_1 Initialization Register	IPCIR_IPC0_1	32	H'E8208100	32
	IPC0_1 Pass Select Register	IPSLR_IPC0_1	32	H'E8208104	32
	IPC0_2 Initialization Register	IPCIR_IPC0_2	32	H'E8208200	32
	IPC0_2 Pass Select Register	IPSLR_IPC0_2	32	H'E8208204	32
	IPC0_3 Initialization Register	IPCIR_IPC0_3	32	H'E8208300	32
	IPC0_3 Pass Select Register	IPSLR_IPC0_3	32	H'E8208304	32
	OPC0_0 Initialization Register	OPCIR_OPC0_0	32	H'E8208400	32
	OPC0_0 Pass Select Register	OPSLR_OPC0_0	32	H'E8208404	32
	OPC0_1 Initialization Register	OPCIR_OPC0_1	32	H'E8208500	32
	OPC0_1 Pass Select Register	OPSLR_OPC0_1	32	H'E8208504	32
	OPC0_2 Initialization Register	OPCIR_OPC0_2	32	H'E8208600	32
	OPC0_2 Pass Select Register	OPSLR_OPC0_2	32	H'E8208604	32
	OPC0_3 Initialization Register	OPCIR_OPC0_3	32	H'E8208700	32
	OPC0_3 Pass Select Register	OPSLR_OPC0_3	32	H'E8208704	32
	FFD0_0 FIFO Download Initialization Register	FFDIR_FFD0_0	32	H'E8208800	32
	FFD0_0 FIFO Download Audio Information Register	FDAIR_FFD0_0	32	H'E8208804	32
	FFD0_0 FIFO Download Request Size Register	DRQSR_FFD0_0	32	H'E8208808	32
	FFD0_0 FIFO Download Pass Register	FFDPR_FFD0_0	32	H'E820880C	32
	FFD0_0 FIFO Download Boot Register	FFDBR_FFD0_0	32	H'E8208810	32
	FFD0_0 FIFO Download Event Mask Register	DEVMR_FFD0_0	32	H'E8208814	32
	FFD0_0 FIFO Download Event Clear Register	DEVCR_FFD0_0	32	H'E820881C	32
	FFD0_1 FIFO Download Initialization Register	FFDIR_FFD0_1	32	H'E8208900	32
	FFD0_1 FIFO Download Audio Information Register	FDAIR_FFD0_1	32	H'E8208904	32
	FFD0_1 FIFO Download Request Size Register	DRQSR_FFD0_1	32	H'E8208908	32
	FFD0_1 FIFO Download Pass Register	FFDPR_FFD0_1	32	H'E820890C	32
	FFD0_1 FIFO Download Boot Register	FFDBR_FFD0_1	32	H'E8208910	32
	FFD0_1 FIFO Download Event Mask Register	DEVMR_FFD0_1	32	H'E8208914	32
	FFD0_1 FIFO Download Event Clear Register	DEVCR_FFD0_1	32	H'E820891C	32
	FFD0_2 FIFO Download Initialization Register	FFDIR_FFD0_2	32	H'E8208A00	32
	FFD0_2 FIFO Download Audio Information Register	FDAIR_FFD0_2	32	H'E8208A04	32
	FFD0_2 FIFO Download Request Size Register	DRQSR_FFD0_2	32	H'E8208A08	32
	FFD0_2 FIFO Download Pass Register	FFDPR_FFD0_2	32	H'E8208A0C	32
	FFD0_2 FIFO Download Boot Register	FFDBR_FFD0_2	32	H'E8208A10	32
	FFD0_2 FIFO Download Event Mask Register	DEVMR_FFD0_2	32	H'E8208A14	32
	FFD0_2 FIFO Download Event Clear Register	DEVCR_FFD0_2	32	H'E8208A1C	32
	FFD0_3 FIFO Download Initialization Register	FFDIR_FFD0_3	32	H'E8208B00	32
	FFD0_3 FIFO Download Audio Information Register	FDAIR_FFD0_3	32	H'E8208B04	32
	FFD0_3 FIFO Download Request Size Register	DRQSR_FFD0_3	32	H'E8208B08	32
	FFD0_3 FIFO Download Pass Register	FFDPR_FFD0_3	32	H'E8208B0C	32
	FFD0_3 FIFO Download Boot Register	FFDBR_FFD0_3	32	H'E8208B10	32
	FFD0_3 FIFO Download Event Mask Register	DEVMR_FFD0_3	32	H'E8208B14	32
	FFD0_3 FIFO Download Event Clear Register	DEVCR_FFD0_3	32	H'E8208B1C	32
	FFU0_0 FIFO Upload Initialization Register	FFUIR_FFU0_0	32	H'E8208C00	32
	FFU0_0 FIFO Upload Audio Information Register	FUAIR_FFU0_0	32	H'E8208C04	32
	FFU0_0 FIFO Upload Request Size Register	URQSR_FFU0_0	32	H'E8208C08	32
	FFU0_0 FIFO Upload Pass Register	FFUPR_FFU0_0	32	H'E8208C0C	32
	FFU0_0 FIFO Upload Event Mask Register	UEVMR_FFU0_0	32	H'E8208C10	32
	FFU0_0 FIFO Upload Event Clear Register	UEVCR_FFU0_0	32	H'E8208C18	32
	FFU0_1 FIFO Upload Initialization Register	FFUIR_FFU0_1	32	H'E8208D00	32
	FFU0_1 FIFO Upload Audio Information Register	FUAIR_FFU0_1	32	H'E8208D04	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCUX	FFU0_1 FIFO Upload Request Size Register	URQSR_FFU0_1	32	H'E8208D08	32
	FFU0_1 FIFO Upload Pass Register	FFUPR_FFU0_1	32	H'E8208D0C	32
	FFU0_1 FIFO Upload Event Mask Register	UEVMR_FFU0_1	32	H'E8208D10	32
	FFU0_1 FIFO Upload Event Clear Register	UEVCR_FFU0_1	32	H'E8208D18	32
	FFU0_2 FIFO Upload Initialization Register	FFUIR_FFU0_2	32	H'E8208E00	32
	FFU0_2 FIFO Upload Audio Information Register	FUAIR_FFU0_2	32	H'E8208E04	32
	FFU0_2 FIFO Upload Request Size Register	URQSR_FFU0_2	32	H'E8208E08	32
	FFU0_2 FIFO Upload Pass Register	FFUPR_FFU0_2	32	H'E8208E0C	32
	FFU0_2 FIFO Upload Event Mask Register	UEVMR_FFU0_2	32	H'E8208E10	32
	FFU0_2 FIFO Upload Event Clear Register	UEVCR_FFU0_2	32	H'E8208E18	32
	FFU0_3 FIFO Upload Initialization Register	FFUIR_FFU0_3	32	H'E8208F00	32
	FFU0_3 FIFO Upload Audio Information Register	FUAIR_FFU0_3	32	H'E8208F04	32
	FFU0_3 FIFO Upload Request Size Register	URQSR_FFU0_3	32	H'E8208F08	32
	FFU0_3 FIFO Upload Pass Register	FFUPR_FFU0_3	32	H'E8208F0C	32
	FFU0_3 FIFO Upload Event Mask Register	UEVMR_FFU0_3	32	H'E8208F10	32
	FFU0_3 FIFO Upload Event Clear Register	UEVCR_FFU0_3	32	H'E8208F18	32
	2SRC0_0 Initialization Register 0	SRCIR0_2SRC0_0	32	H'E8209000	32
	2SRC0_0 Audio Information Register 0	SADIR0_2SRC0_0	32	H'E8209004	32
	2SRC0_0 Bypass Register 0	SRCBR0_2SRC0_0	32	H'E8209008	32
	2SRC0_0 IFS Control Register 0	IFSCR0_2SRC0_0	32	H'E820900C	32
	2SRC0_0 IFS Value Setting Register 0	IFSVR0_2SRC0_0	32	H'E8209010	32
	2SRC0_0 Control Register 0	SRCCR0_2SRC0_0	32	H'E8209014	32
	2SRC0_0 Minimum FS Setting Register 0	MNFSR0_2SRC0_0	32	H'E8209018	32
	2SRC0_0 Buffer Size Setting Register 0	BFSSR0_2SRC0_0	32	H'E820901C	32
	2SRC0_0 SCU2 Status Register 0	SC2SR0_2SRC0_0	32	H'E8209020	32
	2SRC0_0 Wait Time Setting Register 0	WATSR0_2SRC0_0	32	H'E8209024	32
	2SRC0_0 Event Mask Register 0	SEVMR0_2SRC0_0	32	H'E8209028	32
	2SRC0_0 Event Clear Register 0	SEVCR0_2SRC0_0	32	H'E8209030	32
	2SRC0_0 Initialization Register 1	SRCIR1_2SRC0_0	32	H'E8209034	32
	2SRC0_0 Audio Information Register 1	SADIR1_2SRC0_0	32	H'E8209038	32
	2SRC0_0 Bypass Register 1	SRCBR1_2SRC0_0	32	H'E820903C	32
	2SRC0_0 IFS Control Register 1	IFSCR1_2SRC0_0	32	H'E8209040	32
	2SRC0_0 IFS Value Setting Register 1	IFSVR1_2SRC0_0	32	H'E8209044	32
	2SRC0_0 Control Register 1	SRCCR1_2SRC0_0	32	H'E8209048	32
	2SRC0_0 Minimum FS Setting Register 1	MNFSR1_2SRC0_0	32	H'E820904C	32
	2SRC0_0 Buffer Size Setting Register 1	BFSSR1_2SRC0_0	32	H'E8209050	32
	2SRC0_0 SCU2 Status Register 1	SC2SR1_2SRC0_0	32	H'E8209054	32
	2SRC0_0 Wait Time Setting Register 1	WATSR1_2SRC0_0	32	H'E8209058	32
	2SRC0_0 Event Mask Register 1	SEVMR1_2SRC0_0	32	H'E820905C	32
	2SRC0_0 Event Clear Register 1	SEVCR1_2SRC0_0	32	H'E8209064	32
	2SRC0_0 Initialization Register RIF	SRCIRR_2SRC0_0	32	H'E8209068	32
	2SRC0_1 Initialization Register 0	SRCIR0_2SRC0_1	32	H'E8209100	32
	2SRC0_1 Audio Information Register 0	SADIR0_2SRC0_1	32	H'E8209104	32
	2SRC0_1 Bypass Register 0	SRCBR0_2SRC0_1	32	H'E8209108	32
	2SRC0_1 IFS Control Register 0	IFSCR0_2SRC0_1	32	H'E820910C	32
	2SRC0_1 IFS Value Setting Register 0	IFSVR0_2SRC0_1	32	H'E8209110	32
	2SRC0_1 Control Register 0	SRCCR0_2SRC0_1	32	H'E8209114	32
	2SRC0_1 Minimum FS Setting Register 0	MNFSR0_2SRC0_1	32	H'E8209118	32
	2SRC0_1 Buffer Size Setting Register 0	BFSSR0_2SRC0_1	32	H'E820911C	32
	2SRC0_1 SCU2 Status Register 0	SC2SR0_2SRC0_1	32	H'E8209120	32
	2SRC0_1 Wait Time Setting Register 0	WATSR0_2SRC0_1	32	H'E8209124	32
	2SRC0_1 Event Mask Register 0	SEVMR0_2SRC0_1	32	H'E8209128	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCUX	2SRC0_1 Event Clear Register 0	SEVCR0_2SRC0_1	32	H'E8209130	32
	2SRC0_1 Initialization Register 1	SRCIR1_2SRC0_1	32	H'E8209134	32
	2SRC0_1 Audio Information Register 1	SADIR1_2SRC0_1	32	H'E8209138	32
	2SRC0_1 Bypass Register 1	SRCBR1_2SRC0_1	32	H'E820913C	32
	2SRC0_1 IFS Control Register 1	IFSCR1_2SRC0_1	32	H'E8209140	32
	2SRC0_1 IFS Value Setting Register 1	IFSVR1_2SRC0_1	32	H'E8209144	32
	2SRC0_1 Control Register 1	SRCCR1_2SRC0_1	32	H'E8209148	32
	2SRC0_1 Minimum FS Setting Register 1	MNFSR1_2SRC0_1	32	H'E820914C	32
	2SRC0_1 Buffer Size Setting Register 1	BFSSR1_2SRC0_1	32	H'E8209150	32
	2SRC0_1 SCU2 Status Register 1	SC2SR1_2SRC0_1	32	H'E8209154	32
	2SRC0_1 Wait Time Setting Register 1	WATSR1_2SRC0_1	32	H'E8209158	32
	2SRC0_1 Event Mask Register 1	SEVMR1_2SRC0_1	32	H'E820915C	32
	2SRC0_1 Event Clear Register 1	SEVCR1_2SRC0_1	32	H'E8209164	32
	2SRC0_1 Initialization Register RIF	SRCIRR_2SRC0_1	32	H'E8209168	32
	DVU0_0 Initialization Register	DVUIR_DVU0_0	32	H'E8209200	32
	DVU0_0 Audio Information Register	VADIR_DVU0_0	32	H'E8209204	32
	DVU0_0 Bypass Register	DVUBR_DVU0_0	32	H'E8209208	32
	DVU0_0 Control Register	DVUCR_DVU0_0	32	H'E820920C	32
	DVU0_0 Zero Cross Mute Control Register	ZCMCR_DVU0_0	32	H'E8209210	32
	DVU0_0 Volume Ramp Control Register	VRCTR_DVU0_0	32	H'E8209214	32
	DVU0_0 Volume Ramp Period Register	VRPDR_DVU0_0	32	H'E8209218	32
	DVU0_0 Volume Ramp Decibel Register	VRDBR_DVU0_0	32	H'E820921C	32
	DVU0_0 Volume Ramp Wait Time Register	VRWTR_DVU0_0	32	H'E8209220	32
	DVU0_0 Volume Value Setting 0 Register	VOL0R_DVU0_0	32	H'E8209224	32
	DVU0_0 Volume Value Setting 1 Register	VOL1R_DVU0_0	32	H'E8209228	32
	DVU0_0 Volume Value Setting 2 Register	VOL2R_DVU0_0	32	H'E820922C	32
	DVU0_0 Volume Value Setting 3 Register	VOL3R_DVU0_0	32	H'E8209230	32
	DVU0_0 Volume Value Setting 4 Register	VOL4R_DVU0_0	32	H'E8209234	32
	DVU0_0 Volume Value Setting 5 Register	VOL5R_DVU0_0	32	H'E8209238	32
	DVU0_0 Volume Value Setting 6 Register	VOL6R_DVU0_0	32	H'E820923C	32
	DVU0_0 Volume Value Setting 7 Register	VOL7R_DVU0_0	32	H'E8209240	32
	DVU0_0 Enable Register	DVUER_DVU0_0	32	H'E8209244	32
	DVU0_0 Status Register	DVUSR_DVU0_0	32	H'E8209248	32
	DVU0_0 Event Mask Register	VEVMR_DVU0_0	32	H'E820924C	32
	DVU0_0 Event Clear Register	VEVCR_DVU0_0	32	H'E8209254	32
	DVU0_1 Initialization Register	DVUIR_DVU0_1	32	H'E8209300	32
	DVU0_1 Audio Information Register	VADIR_DVU0_1	32	H'E8209304	32
	DVU0_1 Bypass Register	DVUBR_DVU0_1	32	H'E8209308	32
	DVU0_1 Control Register	DVUCR_DVU0_1	32	H'E820930C	32
	DVU0_1 Zero Cross Mute Control Register	ZCMCR_DVU0_1	32	H'E8209310	32
	DVU0_1 Volume Ramp Control Register	VRCTR_DVU0_1	32	H'E8209314	32
	DVU0_1 Volume Ramp Period Register	VRPDR_DVU0_1	32	H'E8209318	32
	DVU0_1 Volume Ramp Decibel Register	VRDBR_DVU0_1	32	H'E820931C	32
	DVU0_1 Volume Ramp Wait Time Register	VRWTR_DVU0_1	32	H'E8209320	32
	DVU0_1 Volume Value Setting 0 Register	VOL0R_DVU0_1	32	H'E8209324	32
	DVU0_1 Volume Value Setting 1 Register	VOL1R_DVU0_1	32	H'E8209328	32
	DVU0_1 Volume Value Setting 2 Register	VOL2R_DVU0_1	32	H'E820932C	32
	DVU0_1 Volume Value Setting 3 Register	VOL3R_DVU0_1	32	H'E8209330	32
	DVU0_1 Volume Value Setting 4 Register	VOL4R_DVU0_1	32	H'E8209334	32
	DVU0_1 Volume Value Setting 5 Register	VOL5R_DVU0_1	32	H'E8209338	32
	DVU0_1 Volume Value Setting 6 Register	VOL6R_DVU0_1	32	H'E820933C	32
	DVU0_1 Volume Value Setting 7 Register	VOL7R_DVU0_1	32	H'E8209340	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCUX	DVU0_1 Enable Register	DVUER_DVU0_1	32	H'E8209344	32
	DVU0_1 Status Register	DVUSR_DVU0_1	32	H'E8209348	32
	DVU0_1 Event Mask Register	VEVMR_DVU0_1	32	H'E820934C	32
	DVU0_1 Event Clear Register	VEVCR_DVU0_1	32	H'E8209354	32
	DVU0_2 Initialization Register	DVUIR_DVU0_2	32	H'E8209400	32
	DVU0_2 Audio Information Register	VADIR_DVU0_2	32	H'E8209404	32
	DVU0_2 Bypass Register	DVUBR_DVU0_2	32	H'E8209408	32
	DVU0_2 Control Register	DVUCR_DVU0_2	32	H'E820940C	32
	DVU0_2 Zero Cross Mute Control Register	ZCMCR_DVU0_2	32	H'E8209410	32
	DVU0_2 Volume Ramp Control Register	VRCTR_DVU0_2	32	H'E8209414	32
	DVU0_2 Volume Ramp Period Register	VRPDR_DVU0_2	32	H'E8209418	32
	DVU0_2 Volume Ramp Decibel Register	VRDBR_DVU0_2	32	H'E820941C	32
	DVU0_2 Volume Ramp Wait Time Register	VRWTR_DVU0_2	32	H'E8209420	32
	DVU0_2 Volume Value Setting 0 Register	VOL0R_DVU0_2	32	H'E8209424	32
	DVU0_2 Volume Value Setting 1 Register	VOL1R_DVU0_2	32	H'E8209428	32
	DVU0_2 Volume Value Setting 2 Register	VOL2R_DVU0_2	32	H'E820942C	32
	DVU0_2 Volume Value Setting 3 Register	VOL3R_DVU0_2	32	H'E8209430	32
	DVU0_2 Volume Value Setting 4 Register	VOL4R_DVU0_2	32	H'E8209434	32
	DVU0_2 Volume Value Setting 5 Register	VOL5R_DVU0_2	32	H'E8209438	32
	DVU0_2 Volume Value Setting 6 Register	VOL6R_DVU0_2	32	H'E820943C	32
	DVU0_2 Volume Value Setting 7 Register	VOL7R_DVU0_2	32	H'E8209440	32
	DVU0_2 Enable Register	DVUER_DVU0_2	32	H'E8209444	32
	DVU0_2 Status Register	DVUSR_DVU0_2	32	H'E8209448	32
	DVU0_2 Event Mask Register	VEVMR_DVU0_2	32	H'E820944C	32
	DVU0_2 Event Clear Register	VEVCR_DVU0_2	32	H'E8209454	32
	DVU0_3 Initialization Register	DVUIR_DVU0_3	32	H'E8209500	32
	DVU0_3 Audio Information Register	VADIR_DVU0_3	32	H'E8209504	32
	DVU0_3 Bypass Register	DVUBR_DVU0_3	32	H'E8209508	32
	DVU0_3 Control Register	DVUCR_DVU0_3	32	H'E820950C	32
	DVU0_3 Zero Cross Mute Control Register	ZCMCR_DVU0_3	32	H'E8209510	32
	DVU0_3 Volume Ramp Control Register	VRCTR_DVU0_3	32	H'E8209514	32
	DVU0_3 Volume Ramp Period Register	VRPDR_DVU0_3	32	H'E8209518	32
	DVU0_3 Volume Ramp Decibel Register	VRDBR_DVU0_3	32	H'E820951C	32
	DVU0_3 Volume Ramp Wait Time Register	VRWTR_DVU0_3	32	H'E8209520	32
	DVU0_3 Volume Value Setting 0 Register	VOL0R_DVU0_3	32	H'E8209524	32
	DVU0_3 Volume Value Setting 1 Register	VOL1R_DVU0_3	32	H'E8209528	32
	DVU0_3 Volume Value Setting 2 Register	VOL2R_DVU0_3	32	H'E820952C	32
	DVU0_3 Volume Value Setting 3 Register	VOL3R_DVU0_3	32	H'E8209530	32
	DVU0_3 Volume Value Setting 4 Register	VOL4R_DVU0_3	32	H'E8209534	32
	DVU0_3 Volume Value Setting 5 Register	VOL5R_DVU0_3	32	H'E8209538	32
	DVU0_3 Volume Value Setting 6 Register	VOL6R_DVU0_3	32	H'E820953C	32
	DVU0_3 Volume Value Setting 7 Register	VOL7R_DVU0_3	32	H'E8209540	32
	DVU0_3 Enable Register	DVUER_DVU0_3	32	H'E8209544	32
	DVU0_3 Status Register	DVUSR_DVU0_3	32	H'E8209548	32
	DVU0_3 Event Mask Register	VEVMR_DVU0_3	32	H'E820954C	32
	DVU0_3 Event Clear Register	VEVCR_DVU0_3	32	H'E8209554	32
	MIX0_0 Initialization Register	MIXIR_MIX0_0	32	H'E8209600	32
	MIX0_0 Audio Information Register	MADIR_MIX0_0	32	H'E8209604	32
	MIX0_0 Bypass Register	MIXBR_MIX0_0	32	H'E8209608	32
	MIX0_0 Mode Register	MIXMR_MIX0_0	32	H'E820960C	32
	MIX0_0 Volume Period Register	MVPDR_MIX0_0	32	H'E8209610	32
	MIX0_0 Decibel A Register	MDBAR_MIX0_0	32	H'E8209614	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SCUX	MIX0_0 Decibel B Register	MDBBR_MIX0_0	32	H'E8209618	32
	MIX0_0 Decibel C Register	MDBCR_MIX0_0	32	H'E820961C	32
	MIX0_0 Decibel D Register	MDBDR_MIX0_0	32	H'E8209620	32
	MIX0_0 Decibel Enable Register	MDBER_MIX0_0	32	H'E8209624	32
	MIX0_0 Status Register	MIXSR_MIX0_0	32	H'E8209628	32
	Software Reset Register	SWRSR_CIM	32	H'E8209700	32
	DMA Control Register	DMACR_CIM	32	H'E8209704	32
	DMA Transfer Register for FFD0_0 RAM	DMATD0_CIM	32	H'E8209708	16、32
	DMA Transfer Register for FFD0_1 RAM	DMATD1_CIM	32	H'E820970C	16、32
	DMA Transfer Register for FFD0_2 RAM	DMATD2_CIM	32	H'E8209710	16、32
	DMA Transfer Register for FFD0_3 RAM	DMATD3_CIM	32	H'E8209714	16、32
	DMA Transfer Register for FFU0_0 RAM	DMATU0_CIM	32	H'E8209718	16、32
	DMA Transfer Register for FFU0_1 RAM	DMATU1_CIM	32	H'E820971C	16、32
	DMA Transfer Register for FFU0_2 RAM	DMATU2_CIM	32	H'E8209720	16、32
	DMA Transfer Register for FFU0_3 RAM	DMATU3_CIM	32	H'E8209724	16、32
	SSIルート選択レジスタ	SSIRSEL_CIM	32	H'E8209738	32
	FFD0_0タイミング選択レジスタ	FDTSEL0_CIM	32	H'E820973C	32
	FFD0_1タイミング選択レジスタ	FDTSEL1_CIM	32	H'E8209740	32
	FFD0_2タイミング選択レジスタ	FDTSEL2_CIM	32	H'E8209744	32
	FFD0_3タイミング選択レジスタ	FDTSEL3_CIM	32	H'E8209748	32
	FFU0_0タイミング選択レジスタ	FUTSEL0_CIM	32	H'E820974C	32
	FFU0_1タイミング選択レジスタ	FUTSEL1_CIM	32	H'E8209750	32
	FFU0_2タイミング選択レジスタ	FUTSEL2_CIM	32	H'E8209754	32
	FFU0_3タイミング選択レジスタ	FUTSEL3_CIM	32	H'E8209758	32
	SSIピンモードレジスタ	SSIPMD_CIM	32	H'E820975C	32
	SSIコントロールレジスタ	SSICTRL_CIM	32	H'E8209760	32
	SRC0ルート選択レジスタ	SRCRSEL0_CIM	32	H'E8209764	32
	SRC1ルート選択レジスタ	SRCRSEL1_CIM	32	H'E8209768	32
	SRC2ルート選択レジスタ	SRCRSEL2_CIM	32	H'E820976C	32
	SRC3ルート選択レジスタ	SRCRSEL3_CIM	32	H'E8209770	32
	MIXルート選択レジスタ	MIXRSEL_CIM	32	H'E8209774	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SDホストインタフェース	コマンドタイプレジスタ_0	SD_CMD_0	16	H'E804E000	16
	コマンドアーギュメントレジスタ0_0	SD_ARG0_0	16	H'E804E004	16
	コマンドアーギュメントレジスタ1_0	SD_ARG1_0	16	H'E804E006	16
	データストップレジスタ_0	SD_STOP_0	16	H'E804E008	16
	ブロックカウントレジスタ_0	SD_SECCNT_0	16	H'E804E00A	16
	カードレスポンスレジスタ00_0	SD_RSP00_0	16	H'E804E00C	16
	カードレスポンスレジスタ01_0	SD_RSP01_0	16	H'E804E00E	16
	カードレスポンスレジスタ02_0	SD_RSP02_0	16	H'E804E010	16
	カードレスポンスレジスタ03_0	SD_RSP03_0	16	H'E804E012	16
	カードレスポンスレジスタ04_0	SD_RSP04_0	16	H'E804E014	16
	カードレスポンスレジスタ05_0	SD_RSP05_0	16	H'E804E016	16
	カードレスポンスレジスタ06_0	SD_RSP06_0	16	H'E804E018	16
	カードレスポンスレジスタ07_0	SD_RSP07_0	16	H'E804E01A	16
	SD割り込みフラグレジスタ１_0	SD_INFO1_0	16	H'E804E01C	16
	SD割り込みフラグレジスタ２_0	SD_INFO2_0	16	H'E804E01E	16
	SD_INFO1割り込みマスクレジスタ_0	SD_INFO1_MASK_0	16	H'E804E020	16
	SD_INFO2割り込みマスクレジスタ_0	SD_INFO2_MASK_0	16	H'E804E022	16
	SDクロックコントロールレジスタ_0	SD_CLK_CTRL_0	16	H'E804E024	16
	転送データサイズレジスタ_0	SD_SIZE_0	16	H'E804E026	16
	カードアクセスオプションレジスタ_0	SD_OPTION_0	16	H'E804E028	16
	SDエラーステータスレジスタ１_0	SD_ERR_STS1_0	16	H'E804E02C	16
	SDエラーステータスレジスタ２_0	SD_ERR_STS2_0	16	H'E804E02E	16
	SDバッファリード/ライトレジスタ_0	SD_BUF0_0	32	H'E804E030	32
	SDIOモードコントロールレジスタ_0	SDIO_MODE_0	16	H'E804E034	16
	SDIO割り込みフラグレジスタ_0	SDIO_INFO1_0	16	H'E804E036	16
	SDIO_INFO1割り込みマスクレジスタ_0	SDIO_INFO1_MASK_0	16	H'E804E038	16
	DMAモードイネーブルレジスタ_0	CC_EXT_MODE_0	16	H'E804E0D8	16
	ソフトリセットレジスタ_0	SOFT_RST_0	16	H'E804E0E0	16
	バージョンレジスタ_0	VERSION_0	16	H'E804E0E2	16
	スワップコントロールレジスタ_0	EXT_SWAP_0	16	H'E804E0F0	16
	コマンドタイプレジスタ_1	SD_CMD_1	16	H'E804E800	16
	コマンドアーギュメントレジスタ0_1	SD_ARG0_1	16	H'E804E804	16
	コマンドアーギュメントレジスタ1_1	SD_ARG1_1	16	H'E804E806	16
	データストップレジスタ_1	SD_STOP_1	16	H'E804E808	16
	ブロックカウントレジスタ_1	SD_SECCNT_1	16	H'E804E80A	16
	カードレスポンスレジスタ00_1	SD_RSP00_1	16	H'E804E80C	16
	カードレスポンスレジスタ01_1	SD_RSP01_1	16	H'E804E80E	16
	カードレスポンスレジスタ02_1	SD_RSP02_1	16	H'E804E810	16
	カードレスポンスレジスタ03_1	SD_RSP03_1	16	H'E804E812	16
	カードレスポンスレジスタ04_1	SD_RSP04_1	16	H'E804E814	16
	カードレスポンスレジスタ05_1	SD_RSP05_1	16	H'E804E816	16
	カードレスポンスレジスタ06_1	SD_RSP06_1	16	H'E804E818	16
	カードレスポンスレジスタ07_1	SD_RSP07_1	16	H'E804E81A	16
	SD割り込みフラグレジスタ１_1	SD_INFO1_1	16	H'E804E81C	16
	SD割り込みフラグレジスタ２_1	SD_INFO2_1	16	H'E804E81E	16
	SD_INFO1割り込みマスクレジスタ_1	SD_INFO1_MASK_1	16	H'E804E820	16
	SD_INFO2割り込みマスクレジスタ_1	SD_INFO2_MASK_1	16	H'E804E822	16
	SDクロックコントロールレジスタ_1	SD_CLK_CTRL_1	16	H'E804E824	16
	転送データサイズレジスタ_1	SD_SIZE_1	16	H'E804E826	16
	カードアクセスオプションレジスタ_1	SD_OPTION_1	16	H'E804E828	16
	SDエラーステータスレジスタ１_1	SD_ERR_STS1_1	16	H'E804E82C	16
	SDエラーステータスレジスタ２_1	SD_ERR_STS2_1	16	H'E804E82E	16

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
SDホストインタフェース	SDバッファリード/ライトレジスタ_1	SD_BUF0_1	32	H'E804E830	32
	SDIOモードコントロールレジスタ_1	SDIO_MODE_1	16	H'E804E834	16
	SDIO割り込みフラグレジスタ_1	SDIO_INFO1_1	16	H'E804E836	16
	SDIO_INFO1割り込みマスクレジスタ_1	SDIO_INFO1_MASK_1	16	H'E804E838	16
	DMAモードイネーブルレジスタ_1	CC_EXT_MODE_1	16	H'E804E8D8	16
	ソフトリセットレジスタ_1	SOFT_RST_1	16	H'E804E8E0	16
	バージョンレジスタ_1	VERSION_1	16	H'E804E8E2	16
	スワップコントロールレジスタ_1	EXT_SWAP_1	16	H'E804E8F0	16
MMCホストインタフェース	コマンド設定レジスタ	CE_CMD_SET	32	H'E804C800	16
				H'E804C802	16
	アーギュメントレジスタ	CE_ARG	32	H'E804C808	32
	自動CMD12アーギュメントレジスタ	CE_ARG_CMD12	32	H'E804C80C	32
	コマンド制御レジスタ	CE_CMD_CTRL	32	H'E804C810	32
	転送ブロック設定レジスタ	CE_BLOCK_SET	32	H'E804C814	32
	クロックコントロールレジスタ	CE_CLK_CTRL	32	H'E804C818	32
	バッファアクセス設定レジスタ	CE_BUF_ACC	32	H'E804C81C	32
	レスポンスレジスタ3	CE_RESP3	32	H'E804C820	32
	レスポンスレジスタ2	CE_RESP2	32	H'E804C824	32
	レスポンスレジスタ1	CE_RESP1	32	H'E804C828	32
	レスポンスレジスタ0	CE_RESP0	32	H'E804C82C	32
	自動CMD12レスポンスレジスタ	CE_RESP_CMD12	32	H'E804C830	32
	データレジスタ	CE_DATA	32	H'E804C834	32
	割り込みフラグレジスタ	CE_INT	32	H'E804C840	32
	割り込みイネーブルレジスタ	CE_INT_EN	32	H'E804C844	32
	ステータスレジスタ1	CE_HOST_STS1	32	H'E804C848	32
	ステータスレジスタ2	CE_HOST_STS2	32	H'E804C84C	32
	DMAモード設定レジスタ	CE_DMA_MODE	32	H'E804C85C	32
	カード検出／ポート制御レジスタ	CE_DETECT	32	H'E804C870	32
	特殊モード設定レジスタ	CE_ADD_MODE	32	H'E804C874	32
	バージョンレジスタ	CE_VERSION	32	H'E804C87C	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
汎用入出力ポート	ポートレジスタ_1	P1	16	H'FCFE3004	16
	ポートレジスタ_2	P2	16	H'FCFE3008	16
	ポートレジスタ_3	P3	16	H'FCFE300C	16
	ポートレジスタ_4	P4	16	H'FCFE3010	16
	ポートレジスタ_5	P5	16	H'FCFE3014	16
	ポートレジスタ_6	P6	16	H'FCFE3018	16
	ポートレジスタ_7	P7	16	H'FCFE301C	16
	ポートレジスタ_8	P8	16	H'FCFE3020	16
	ポートレジスタ_9	P9	16	H'FCFE3024	16
	ポートセット／リセットレジスタ_1	PSR1	32	H'FCFE3104	32
	ポートセット／リセットレジスタ_2	PSR2	32	H'FCFE3108	32
	ポートセット／リセットレジスタ_3	PSR3	32	H'FCFE310C	32
	ポートセット／リセットレジスタ_4	PSR4	32	H'FCFE3110	32
	ポートセット／リセットレジスタ_5	PSR5	32	H'FCFE3114	32
	ポートセット／リセットレジスタ_6	PSR6	32	H'FCFE3118	32
	ポートセット／リセットレジスタ_7	PSR7	32	H'FCFE311C	32
	ポートセット／リセットレジスタ_8	PSR8	32	H'FCFE3120	32
	ポートセット／リセットレジスタ_9	PSR9	32	H'FCFE3124	32
	ポート端子リードレジスタ_0	PPR0	16	H'FCFE3200	16
	ポート端子リードレジスタ_1	PPR1	16	H'FCFE3204	16
	ポート端子リードレジスタ_2	PPR2	16	H'FCFE3208	16
	ポート端子リードレジスタ_3	PPR3	16	H'FCFE320C	16
	ポート端子リードレジスタ_4	PPR4	16	H'FCFE3210	16
	ポート端子リードレジスタ_5	PPR5	16	H'FCFE3214	16
	ポート端子リードレジスタ_6	PPR6	16	H'FCFE3218	16
	ポート端子リードレジスタ_7	PPR7	16	H'FCFE321C	16
	ポート端子リードレジスタ_8	PPR8	16	H'FCFE3220	16
	ポート端子リードレジスタ_9	PPR9	16	H'FCFE3224	16
	ポートモードレジスタ_1	PM1	16	H'FCFE3304	16
	ポートモードレジスタ_2	PM2	16	H'FCFE3308	16
	ポートモードレジスタ_3	PM3	16	H'FCFE330C	16
	ポートモードレジスタ_4	PM4	16	H'FCFE3310	16
	ポートモードレジスタ_5	PM5	16	H'FCFE3314	16
	ポートモードレジスタ_6	PM6	16	H'FCFE3318	16
	ポートモードレジスタ_7	PM7	16	H'FCFE331C	16
	ポートモードレジスタ_8	PM8	16	H'FCFE3320	16
	ポートモードレジスタ_9	PM9	16	H'FCFE3324	16
	ポートモード制御レジスタ_0	PMC0	16	H'FCFE3400	16
	ポートモード制御レジスタ_1	PMC1	16	H'FCFE3404	16
	ポートモード制御レジスタ_2	PMC2	16	H'FCFE3408	16
	ポートモード制御レジスタ_3	PMC3	16	H'FCFE340C	16
	ポートモード制御レジスタ_4	PMC4	16	H'FCFE3410	16
	ポートモード制御レジスタ_5	PMC5	16	H'FCFE3414	16
	ポートモード制御レジスタ_6	PMC6	16	H'FCFE3418	16
	ポートモード制御レジスタ_7	PMC7	16	H'FCFE341C	16
	ポートモード制御レジスタ_8	PMC8	16	H'FCFE3420	16
	ポートモード制御レジスタ_9	PMC9	16	H'FCFE3424	16
	ポート機能制御レジスタ_0	PFC0	16	H'FCFE3500	16
	ポート機能制御レジスタ_1	PFC1	16	H'FCFE3504	16
	ポート機能制御レジスタ_2	PFC2	16	H'FCFE3508	16
	ポート機能制御レジスタ_3	PFC3	16	H'FCFE350C	16
	ポート機能制御レジスタ_4	PFC4	16	H'FCFE3510	16

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
汎用入出力ポート	ポート機能制御レジスタ_5	PFC5	16	H'FCFE3514	16
	ポート機能制御レジスタ_6	PFC6	16	H'FCFE3518	16
	ポート機能制御レジスタ_7	PFC7	16	H'FCFE351C	16
	ポート機能制御レジスタ_8	PFC8	16	H'FCFE3520	16
	ポート機能制御レジスタ_9	PFC9	16	H'FCFE3524	16
	ポート機能制御拡張レジスタ_0	PFCE0	16	H'FCFE3600	16
	ポート機能制御拡張レジスタ_1	PFCE1	16	H'FCFE3604	16
	ポート機能制御拡張レジスタ_2	PFCE2	16	H'FCFE3608	16
	ポート機能制御拡張レジスタ_3	PFCE3	16	H'FCFE360C	16
	ポート機能制御拡張レジスタ_4	PFCE4	16	H'FCFE3610	16
	ポート機能制御拡張レジスタ_5	PFCE5	16	H'FCFE3614	16
	ポート機能制御拡張レジスタ_6	PFCE6	16	H'FCFE3618	16
	ポート機能制御拡張レジスタ_7	PFCE7	16	H'FCFE361C	16
	ポート機能制御拡張レジスタ_8	PFCE8	16	H'FCFE3620	16
	ポート機能制御拡張レジスタ_9	PFCE9	16	H'FCFE3624	16
	ポートNOT レジスタ_1	PNOT1	16	H'FCFE3704	16
	ポートNOT レジスタ_2	PNOT2	16	H'FCFE3708	16
	ポートNOT レジスタ_3	PNOT3	16	H'FCFE370C	16
	ポートNOT レジスタ_4	PNOT4	16	H'FCFE3710	16
	ポートNOT レジスタ_5	PNOT5	16	H'FCFE3714	16
	ポートNOT レジスタ_6	PNOT6	16	H'FCFE3718	16
	ポートNOT レジスタ_7	PNOT7	16	H'FCFE371C	16
	ポートNOT レジスタ_8	PNOT8	16	H'FCFE3720	16
	ポートNOT レジスタ_9	PNOT9	16	H'FCFE3724	16
	ポートモードセット／リセットレジスタ_1	PMSR1	32	H'FCFE3804	32
	ポートモードセット／リセットレジスタ_2	PMSR2	32	H'FCFE3808	32
	ポートモードセット／リセットレジスタ_3	PMSR3	32	H'FCFE380C	32
	ポートモードセット／リセットレジスタ_4	PMSR4	32	H'FCFE3810	32
	ポートモードセット／リセットレジスタ_5	PMSR5	32	H'FCFE3814	32
	ポートモードセット／リセットレジスタ_6	PMSR6	32	H'FCFE3818	32
	ポートモードセット／リセットレジスタ_7	PMSR7	32	H'FCFE381C	32
	ポートモードセット／リセットレジスタ_8	PMSR8	32	H'FCFE3820	32
	ポートモードセット／リセットレジスタ_9	PMSR9	32	H'FCFE3824	32
	ポートモード制御セット／リセットレジスタ_0	PMCSR0	32	H'FCFE3900	32
	ポートモード制御セット／リセットレジスタ_1	PMCSR1	32	H'FCFE3904	32
	ポートモード制御セット／リセットレジスタ_2	PMCSR2	32	H'FCFE3908	32
	ポートモード制御セット／リセットレジスタ_3	PMCSR3	32	H'FCFE390C	32
	ポートモード制御セット／リセットレジスタ_4	PMCSR4	32	H'FCFE3910	32
	ポートモード制御セット／リセットレジスタ_5	PMCSR5	32	H'FCFE3914	32
	ポートモード制御セット／リセットレジスタ_6	PMCSR6	32	H'FCFE3918	32
	ポートモード制御セット／リセットレジスタ_7	PMCSR7	32	H'FCFE391C	32
	ポートモード制御セット／リセットレジスタ_8	PMCSR8	32	H'FCFE3920	32
	ポートモード制御セット／リセットレジスタ_9	PMCSR9	32	H'FCFE3924	32
	ポート機能制御追加拡張レジスタ_0	PFCAE0	16	H'FCFE3A00	16
	ポート機能制御追加拡張レジスタ_1	PFCAE1	16	H'FCFE3A04	16
	ポート機能制御追加拡張レジスタ_2	PFCAE2	16	H'FCFE3A08	16
	ポート機能制御追加拡張レジスタ_3	PFCAE3	16	H'FCFE3A0C	16
	ポート機能制御追加拡張レジスタ_4	PFCAE4	16	H'FCFE3A10	16
	ポート機能制御追加拡張レジスタ_5	PFCAE5	16	H'FCFE3A14	16
	ポート機能制御追加拡張レジスタ_6	PFCAE6	16	H'FCFE3A18	16
	ポート機能制御追加拡張レジスタ_7	PFCAE7	16	H'FCFE3A1C	16
	ポート機能制御追加拡張レジスタ_8	PFCAE8	16	H'FCFE3A20	16

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
汎用入出力ポート	ポート機能制御追加拡張レジスタ_9	PFCAE9	16	H'FCFE3A24	16
	ポート入力バッファ制御レジスタ_0	PIBC0	16	H'FCFE7000	16
	ポート入力バッファ制御レジスタ_1	PIBC1	16	H'FCFE7004	16
	ポート入力バッファ制御レジスタ_2	PIBC2	16	H'FCFE7008	16
	ポート入力バッファ制御レジスタ_3	PIBC3	16	H'FCFE700C	16
	ポート入力バッファ制御レジスタ_4	PIBC4	16	H'FCFE7010	16
	ポート入力バッファ制御レジスタ_5	PIBC5	16	H'FCFE7014	16
	ポート入力バッファ制御レジスタ_6	PIBC6	16	H'FCFE7018	16
	ポート入力バッファ制御レジスタ_7	PIBC7	16	H'FCFE701C	16
	ポート入力バッファ制御レジスタ_8	PIBC8	16	H'FCFE7020	16
	ポート入力バッファ制御レジスタ_9	PIBC9	16	H'FCFE7024	16
	ポート双方向制御レジスタ_1	PBDC1	16	H'FCFE7104	16
	ポート双方向制御レジスタ_2	PBDC2	16	H'FCFE7108	16
	ポート双方向制御レジスタ_3	PBDC3	16	H'FCFE710C	16
	ポート双方向制御レジスタ_4	PBDC4	16	H'FCFE7110	16
	ポート双方向制御レジスタ_5	PBDC5	16	H'FCFE7114	16
	ポート双方向制御レジスタ_6	PBDC6	16	H'FCFE7118	16
	ポート双方向制御レジスタ_7	PBDC7	16	H'FCFE711C	16
	ポート双方向制御レジスタ_8	PBDC8	16	H'FCFE7120	16
	ポート双方向制御レジスタ_9	PBDC9	16	H'FCFE7124	16
	ポートIP制御レジスタ_1	PIPC1	16	H'FCFE7204	16
	ポートIP制御レジスタ_2	PIPC2	16	H'FCFE7208	16
	ポートIP制御レジスタ_3	PIPC3	16	H'FCFE720C	16
	ポートIP制御レジスタ_4	PIPC4	16	H'FCFE7210	16
	ポートIP制御レジスタ_5	PIPC5	16	H'FCFE7214	16
	ポートIP制御レジスタ_6	PIPC6	16	H'FCFE7218	16
	ポートIP制御レジスタ_7	PIPC7	16	H'FCFE721C	16
	ポートIP制御レジスタ_8	PIPC8	16	H'FCFE7220	16
	ポートIP制御レジスタ_9	PIPC9	16	H'FCFE7224	16
	ポート端子リードレジスタ_J0	JPPR0	16	H'FCFE7B20	16
	ポートモード制御レジスタ_J0	JPMC0	16	H'FCFE7B40	16
	ポートモード制御セット／リセットレジスタ_J0	JPMCSR0	32	H'FCFE7B90	32
	ポート入力バッファ制御レジスタ_J0	JPIBC0	16	H'FCFE7F00	16
	シリアルサウンドインタフェースノイズキャンセラ制御レジスタ	SNCR	32	H'FCFE3C00	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
低消費電力モード	スタンバイコントロールレジスタ1	STBCR1	8	H'FCFE0020	8
	スタンバイコントロールレジスタ2	STBCR2	8	H'FCFE0024	8
	スタンバイコントロールレジスタ3	STBCR3	8	H'FCFE0420	8
	スタンバイコントロールレジスタ4	STBCR4	8	H'FCFE0424	8
	スタンバイコントロールレジスタ5	STBCR5	8	H'FCFE0428	8
	スタンバイコントロールレジスタ6	STBCR6	8	H'FCFE042C	8
	スタンバイコントロールレジスタ7	STBCR7	8	H'FCFE0430	8
	スタンバイコントロールレジスタ8	STBCR8	8	H'FCFE0434	8
	スタンバイコントロールレジスタ9	STBCR9	8	H'FCFE0438	8
	スタンバイコントロールレジスタ10	STBCR10	8	H'FCFE043C	8
	スタンバイコントロールレジスタ11	STBCR11	8	H'FCFE0440	8
	スタンバイコントロールレジスタ12	STBCR12	8	H'FCFE0444	8
	ソフトウエアリセットコントロールレジスタ1	SWRSTCR1	8	H'FCFE0460	8
	ソフトウエアリセットコントロールレジスタ2 注2)	SWRSTCR2	8	H'FCFE0464	8
	システムコントロールレジスタ1	SYSCR1	8	H'FCFE0400	8
	システムコントロールレジスタ2	SYSCR2	8	H'FCFE0404	8
	システムコントロールレジスタ3	SYSCR3	8	H'FCFE0408	8
	CPUステータスレジスタ	CPUSTS	8	H'FCFE0018	8
	スタンバイリクエストレジスタ1	STBREQ1	8	H'FCFE0030	8
	スタンバイリクエストレジスタ2	STBREQ2	8	H'FCFE0034	8
	スタンバイアクノリッジレジスタ1	STBACK1	8	H'FCFE0040	8
	スタンバイアクノリッジレジスタ2	STBACK2	8	H'FCFE0044	8
	保持用内蔵RAM保持エリア指定レジスタ	RRAMKP	8	H'FCFF1800	8
	ディープスタンバイコントロールレジスタ	DSCTR	8	H'FCFF1802	8
	ディープスタンバイ解除要因セレクトレジスタ	DSSSR	16	H'FCFF1804	16
	ディープスタンバイ解除エッジセレクトレジスタ	DSESR	16	H'FCFF1806	16
	ディープスタンバイ解除要因フラグレジスタ	DSFR	16	H'FCFF1808	16
	XTAL水晶発振器ゲインコントロールレジスタ	XTALCTR	8	H'FCFF1810	8

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
デバッガインタフェース	DAPROM Peripheral ID4 Register	DAPROM_PERIPHID4	32	H'FC000FD0	32
	DAPROM Peripheral ID0 Register	DAPROM_PERIPHID0	32	H'FC000FE0	32
	DAPROM Peripheral ID1Register	DAPROM_PERIPHID1	32	H'FC000FE4	32
	DAPROM Peripheral ID2 Register	DAPROM_PERIPHID2	32	H'FC000FE8	32
	DAPROM Peripheral ID3 Register	DAPROM_PERIPHID3	32	H'FC000FEC	32
	DAPROM Component ID0 Register	DAPROM_COMPID0	32	H'FC000FF0	32
	DAPROM Component ID1 Register	DAPROM_COMPID1	32	H'FC000FF4	32
	DAPROM Component ID2 Register	DAPROM_COMPID2	32	H'FC000FF8	32
	DAPROM Component ID3 Register	DAPROM_COMPID3	32	H'FC000FFC	32
	モードリセットコントロールレジスタ	ICEREGMDRSTCTL	32	H'FC00F000	32
	JTAGトレースセレクトレジスタ	ICEREGJTTRCSEL	32	H'FC00F004	32
	クロックパワーコントロールレジスタ	ICEREGCLKPWRCTRL	32	H'FC00F014	32
	ロックアクセスレジスタ	ICEREGLOCKACCES	32	H'FC00FFB0	32
	2ndDAPROM Peripheral ID4 Register	2ndDAPROM_PERIPHID4	32	H'FC020FD0	32
	2ndDAPROM Peripheral ID0 Register	2ndDAPROM_PERIPHID0	32	H'FC020FE0	32
	2ndDAPROM Peripheral ID1Register	2ndDAPROM_PERIPHID1	32	H'FC020FE4	32
	2ndDAPROM Peripheral ID2 Register	2ndDAPROM_PERIPHID2	32	H'FC020FE8	32
	2ndDAPROM Peripheral ID3 Register	2ndDAPROM_PERIPHID3	32	H'FC020FEC	32
	2ndDAPROM Component ID0 Register	2ndDAPROM_COMPID0	32	H'FC020FF0	32
	2ndDAPROM Component ID1 Register	2ndDAPROM_COMPID1	32	H'FC020FF4	32
	2ndDAPROM Component ID2 Register	2ndDAPROM_COMPID2	32	H'FC020FF8	32
	2ndDAPROM Component ID3 Register	2ndDAPROM_COMPID3	32	H'FC020FFC	32
	CPU-ETF RAM Size Register	CPU_ETF_RSZ	32	H'FC021004	32
	CPU-ETF Status Register	CPU_ETF_STS	32	H'FC02100C	32
	CPU-ETF RAM Read Data Register	CPU_ETF_RRD	32	H'FC021010	32
	CPU-ETF RAM Read Pointer Register	CPU_ETF_RRP	32	H'FC021014	32
	CPU-ETF RAM Write Pointer Register	CPU_ETF_RWP	32	H'FC021018	32
	CPU-ETF Trigger Counter Register	CPU_ETF_TRG	32	H'FC02101C	32
	CPU-ETF Control Register	CPU_ETF_CTL	32	H'FC021020	32
	CPU-ETF RAM Write Data Register	CPU_ETF_RWD	32	H'FC021024	32
	CPU-ETF Mode Register	CPU_ETF_MODE	32	H'FC021028	32
	CPU-ETF Latched Buffer Fill Level Register	CPU_ETF_LBUFLEVEL	32	H'FC02102C	32
	CPU-ETF Current Buffer Fill Level Register	CPU_ETF_CBUFLEVEL	32	H'FC021030	32
	CPU-ETF Buffer Level Water Mark Register	CPU_ETF_BUFWM	32	H'FC021034	32
	CPU-ETF RAM Read Pointer High Register	CPU_ETF_RRPHI	32	H'FC021038	32
	CPU-ETF RAM Write Pointer High Register	CPU_ETF_RWPHI	32	H'FC02103C	32
	CPU-ETF Formatter and Flush Status Register	CPU_ETF_FFSR	32	H'FC021300	32
	CPU-ETF Formatter and Flush Control Register	CPU_ETF_FFCR	32	H'FC021304	32
	CPU-ETF Periodic Synchronization Counter Register	CPU_ETF_PSCR	32	H'FC021308	32
	CPU-ETF Claim Tag Set Register	CPU_ETF_CLAIMSET	32	H'FC021FA0	32
	CPU-ETF Claim Tag Clear Register	CPU_ETF_CLAIMCLR	32	H'FC021FA4	32
	CPU-ETF Lock Access Register	CPU_ETF_LAR	32	H'FC021FB0	32
	CPU-ETF Lock Status Register	CPU_ETF_LSR	32	H'FC021FB4	32
	CPU-ETF Authentication Status Register	CPU_ETF_AUTHSTATUS	32	H'FC021FB8	32
	CPU-ETF Device Configuration Register	CPU_ETF_DEVID	32	H'FC021FC8	32
	CPU-ETF Device Type Identifier Register	CPU_ETF_DEVTYPE	32	H'FC021FCC	32
	CPU-ETF Peripheral ID4 Register	CPU_ETF_PERIPHID4	32	H'FC021FD0	32
	CPU-ETF Peripheral ID0 Register	CPU_ETF_PERIPHID0	32	H'FC021FE0	32
	CPU-ETF Peripheral ID1 Register	CPU_ETF_PERIPHID1	32	H'FC021FE4	32
	CPU-ETF Peripheral ID2 Register	CPU_ETF_PERIPHID2	32	H'FC021FE8	32
	CPU-ETF Peripheral ID3 Register	CPU_ETF_PERIPHID3	32	H'FC021FEC	32
	CPU-ETF Component ID0 Register	CPU_ETF_COMPID0	32	H'FC021FF0	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
デバッガインタフェース	CPU-ETF Component ID1 Register	CPU_ETF_COMPID1	32	H'FC021FF4	32
	CPU-ETF Component ID2 Register	CPU_ETF_COMPID2	32	H'FC021FF8	32
	CPU-ETF Component ID3 Register	CPU_ETF_COMPID3	32	H'FC021FFC	32
	CPU-CTICS CTI Control Register	CPU_CTICS_CTICONTROL	32	H'FC022000	32
	CPU-CTICS CTI Interrupt Acknowledge Register	CPU_CTICS_CTIINTACK	32	H'FC022010	32
	CPU-CTICS CTI Application Trigger Set Register	CPU_CTICS_CTIAPPSET	32	H'FC022014	32
	CPU-CTICS CTI Application Trigger Clear Register	CPU_CTICS_CTIAPPCLEAR	32	H'FC022018	32
	CPU-CTICS CTI Application Pulse Register	CPU_CTICS_CTIAPPPULSE	32	H'FC02201C	32
	CPU-CTICS CTI Trigger to Channel Enable Register0	CPU_CTICS_CTIINEN0	32	H'FC022020	32
	CPU-CTICS CTI Trigger to Channel Enable Register1	CPU_CTICS_CTIINEN1	32	H'FC022024	32
	CPU-CTICS CTI Trigger to Channel Enable Register2	CPU_CTICS_CTIINEN2	32	H'FC022028	32
	CPU-CTICS CTI Trigger to Channel Enable Register3	CPU_CTICS_CTIINEN3	32	H'FC02202C	32
	CPU-CTICS CTI Trigger to Channel Enable Register4	CPU_CTICS_CTIINEN4	32	H'FC022030	32
	CPU-CTICS CTI Trigger to Channel Enable Register5	CPU_CTICS_CTIINEN5	32	H'FC022034	32
	CPU-CTICS CTI Trigger to Channel Enable Register6	CPU_CTICS_CTIINEN6	32	H'FC022038	32
	CPU-CTICS CTI Trigger to Channel Enable Register7	CPU_CTICS_CTIINEN7	32	H'FC02203C	32
	CPU-CTICS CTI Channel to Trigger Enable Register0	CPU_CTICS_CTIOUTEN0	32	H'FC0220A0	32
	CPU-CTICS CTI Channel to Trigger Enable Register1	CPU_CTICS_CTIOUTEN1	32	H'FC0220A4	32
	CPU-CTICS CTI Channel to Trigger Enable Register2	CPU_CTICS_CTIOUTEN2	32	H'FC0220A8	32
	CPU-CTICS CTI Channel to Trigger Enable Register3	CPU_CTICS_CTIOUTEN3	32	H'FC0220AC	32
	CPU-CTICS CTI Channel to Trigger Enable Register4	CPU_CTICS_CTIOUTEN4	32	H'FC0220B0	32
	CPU-CTICS CTI Channel to Trigger Enable Register5	CPU_CTICS_CTIOUTEN5	32	H'FC0220B4	32
	CPU-CTICS CTI Channel to Trigger Enable Register6	CPU_CTICS_CTIOUTEN6	32	H'FC0220B8	32
	CPU-CTICS CTI Channel to Trigger Enable Register7	CPU_CTICS_CTIOUTEN7	32	H'FC0220BC	32
	CPU-CTICS CTI Trigger In Status Register	CPU_CTICS_ CTITRIGINSTATUS	32	H'FC022130	32
	CPU-CTICS CTI Trigger Out Status Register	CPU_CTICS_ CTITRIGOUTSTATUS	32	H'FC022134	32
	CPU-CTICS CTI Channel In Status Register	CPU_CTICS_ CTICHINSTATUS	32	H'FC022138	32
	CPU-CTICS CTI Channel Out Status Register	CPU_CTICS_ CTICHOUTSTATUS	32	H'FC02213C	32
	CPU-CTICS Enable CTI Channel Gate Register	CPU_CTICS_CTIGATE	32	H'FC022140	32
	CPU-CTICS External Multiplexor Control Register	CPU_CTICS_ASICCTL	32	H'FC022144	32
	CPU-CTICS Claim Tag Set Register	CPU_CTICS_CLAIMSET	32	H'FC022FA0	32
	CPU-CTICS Claim Tag Clear Register	CPU_CTICS_CLAIMCLR	32	H'FC022FA4	32
	CPU-CTICS Lock Access Register	CPU_CTICS_LAR	32	H'FC022FB0	32
	CPU-CTICS Lock Status Register	CPU_CTICS_LSR	32	H'FC022FB4	32
	CPU-CTICS Authentication Status Register	CPU_CTICS_AUTHSTATUS	32	H'FC022FB8	32
	CPU-CTICS Device Configuration Register	CPU_CTICS_DEVID	32	H'FC022FC8	32
	CPU-CTICS Device Type Identifier Register	CPU_CTICS_DEVTYPE	32	H'FC022FCC	32
	CPU-CTICS Peripheral ID4 Register	CPU_CTICS_PERIPHID4	32	H'FC022FD0	32
	CPU-CTICS Peripheral ID0 Register	CPU_CTICS_PERIPHID0	32	H'FC022FE0	32
	CPU-CTICS Peripheral ID1Register	CPU_CTICS_PERIPHID1	32	H'FC022FE4	32
	CPU-CTICS Peripheral ID2 Register	CPU_CTICS_PERIPHID2	32	H'FC022FE8	32
	CPU-CTICS Peripheral ID3 Register	CPU_CTICS_PERIPHID3	32	H'FC022FEC	32
	CPU-CTICS Component ID0 Register	CPU_CTICS_COMPID0	32	H'FC022FF0	32
	CPU-CTICS Component ID1 Register	CPU_CTICS_COMPID1	32	H'FC022FF4	32
	CPU-CTICS Component ID2 Register	CPU_CTICS_COMPID2	32	H'FC022FF8	32
	CPU-CTICS Component ID3 Register	CPU_CTICS_COMPID3	32	H'FC022FFC	32
	CPU-TPIU Supported Port Size Register	CPU_TPIU_Supported port sizes	32	H'FC023000	32
	CPU-TPIU Current Port Size Register	CPU_TPIU_Current port size	32	H'FC023004	32
	CPU-TPIU Trigger Modes Register	CPU_TPIU_Supported trigger modes	32	H'FC023100	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
デバッガインタフェース	CPU-TPIU Trigger Counter Register	CPU_TPIU_Trigger counter value	32	H'FC023104	32
	CPU-TPIU Trigger Multiplier Register	CPU_TPIU_Trigger multiplier	32	H'FC023108	32
	CPU-TPIU Supported Test Patterns/Modes Register	CPU_TPIU_Supported test pattern/modes	32	H'FC023200	32
	CPU-TPIU Current Test Patterns/Modes Register	CPU_TPIU_Current test pattern/mode	32	H'FC023204	32
	CPU-TPIU TPIU Test Pattern Repeat Register	CPU_TPIU_Test pattern repeat counter	32	H'FC023208	32
	CPU-TPIU Formatter and Flush Status Register	CPU_TPIU_Formatter and flush status	32	H'FC023300	32
	CPU-TPIU Formatter and Flush Control Register	CPU_TPIU_Formatter and flush control	32	H'FC023304	32
	CPU-TPIU Formatter Synchronization counter Register	CPU_TPIU_Formatter synchronization counter	32	H'FC023308	32
	CPU-TPIU Claim Tag Set Register	CPU_TPIU_CLAIMSET	32	H'FC023FA0	32
	CPU-TPIU Claim Tag Clear Register	CPU_TPIU_CLAIMCLR	32	H'FC023FA4	32
	CPU-TPIU Lock Access Register	CPU_TPIU_LAR	32	H'FC023FB0	32
	CPU-TPIU Lock Status Register	CPU_TPIU_LSR	32	H'FC023FB4	32
	CPU-TPIU Authentication Status Register	CPU_TPIU_AUTHSTATUS	32	H'FC023FB8	32
	CPU-TPIU Device Configuration Register	CPU_TPIU_DEVID	32	H'FC023FC8	32
	CPU-TPIU Device Type Identifier Register	CPU_TPIU_DEVTYPE	32	H'FC023FCC	32
	CPU-TPIU Peripheral ID4 Register	CPU_TPIU_PERIPHID4	32	H'FC023FD0	32
	CPU-TPIU Peripheral ID0 Register	CPU_TPIU_PERIPHID0	32	H'FC023FE0	32
	CPU-TPIU Peripheral ID1 Register	CPU_TPIU_PERIPHID1	32	H'FC023FE4	32
	CPU-TPIU Peripheral ID2 Register	CPU_TPIU_PERIPHID2	32	H'FC023FE8	32
	CPU-TPIU Peripheral ID3 Register	CPU_TPIU_PERIPHID3	32	H'FC023FEC	32
	CPU-TPIU Component ID0 Register	CPU_TPIU_COMPID0	32	H'FC023FF0	32
	CPU-TPIU Component ID1 Register	CPU_TPIU_COMPID1	32	H'FC023FF4	32
	CPU-TPIU Component ID2 Register	CPU_TPIU_COMPID2	32	H'FC023FF8	32
	CPU-TPIU Component ID3 Register	CPU_TPIU_COMPID3	32	H'FC023FFC	32
	CPU-TraceFunnel CSTF Control Register	CPU_TraceFunnel_FUNCTL	32	H'FC024000	32
	CPU-TraceFunnel CSTF Priority Control Register	CPU_TraceFunnel_PRICTL	32	H'FC024004	32
	CPU-TraceFunnel Claim Tag Set Register	CPU_TraceFunnel_CLAIMSET	32	H'FC024FA0	32
	CPU-TraceFunnel Claim Tag Clear Register	CPU_TraceFunnel_CLAIMCLR	32	H'FC024FA4	32
	CPU-TraceFunnel Lock Access Register	CPU_TraceFunnel_LAR	32	H'FC024FB0	32
	CPU-TraceFunnel Lock Status Register	CPU_TraceFunnel_LSR	32	H'FC024FB4	32
	CPU-TraceFunnel Authentication Status Register	CPU_TraceFunnel_AUTHSTATUS	32	H'FC024FB8	32
	CPU-TraceFunnel Device Configuration Register	CPU_TraceFunnel_DEVID	32	H'FC024FC8	32
	CPU-TraceFunnel Device Type Identifier Register	CPU_TraceFunnel_DEVTYPE	32	H'FC024FCC	32
	CPU-TraceFunnel Peripheral ID4 Register	CPU_TraceFunnel_PERIPHID4	32	H'FC024FD0	32
	CPU-TraceFunnel Peripheral ID0 Register	CPU_TraceFunnel_PERIPHID0	32	H'FC024FE0	32
	CPU-TraceFunnel Peripheral ID1 Register	CPU_TraceFunnel_PERIPHID1	32	H'FC024FE4	32
	CPU-TraceFunnel Peripheral ID2 Register	CPU_TraceFunnel_PERIPHID2	32	H'FC024FE8	32
	CPU-TraceFunnel Peripheral ID3 Register	CPU_TraceFunnel_PERIPHID3	32	H'FC024FEC	32
	CPU-TraceFunnel Component ID0 Register	CPU_TraceFunnel_COMPID0	32	H'FC024FF0	32
	CPU-TraceFunnel Component ID1 Register	CPU_TraceFunnel_COMPID1	32	H'FC024FF4	32
	CPU-TraceFunnel Component ID2 Register	CPU_TraceFunnel_COMPID2	32	H'FC024FF8	32
	CPU-TraceFunnel Component ID3 Register	CPU_TraceFunnel_COMPID3	32	H'FC024FFC	32
	CA9-DBG Debug ID Register	CA9_DBG_DBGDIDR	32	H'FC030000	32
	CA9-DBG Watchpoint Fault Address Register	CA9_DBG_DBGWFAR	32	H'FC030018	32
	CA9-DBG Vector Catch Register	CA9_DBG_DBGVCR	32	H'FC03001C	32
	CA9-DBG Host to Target Data Transfer Register	CA9_DBG_DBGDTRRXext	32	H'FC030080	32
	CA9-DBG Instruction Transfer/Program Counter Sampling Register	CA9_DBG_DBGITR/DBGPCSR	32	H'FC030084	32
	CA9-DBG Debug Status and Control Register	CA9_DBG_DBGDSCRext	32	H'FC030088	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
デバッガインタフェース	CA9-DBG Target to Host Data Transfer Register	CA9_DBG_DBGDTRTXext	32	H'FC03008C	32
	CA9-DBG Debug Run Control Register	CA9_DBG_DBGDRCR	32	H'FC030090	32
	CA9-DBG Breakpoint Value Register 0	CA9_DBG_DBGBVR0	32	H'FC030100	32
	CA9-DBG Breakpoint Value Register 1	CA9_DBG_DBGBVR1	32	H'FC030104	32
	CA9-DBG Breakpoint Value Register 2	CA9_DBG_DBGBVR2	32	H'FC030108	32
	CA9-DBG Breakpoint Value Register 3	CA9_DBG_DBGBVR3	32	H'FC03010C	32
	CA9-DBG Breakpoint Value Register 4	CA9_DBG_DBGBVR4	32	H'FC030110	32
	CA9-DBG Breakpoint Value Register 5	CA9_DBG_DBGBVR5	32	H'FC030114	32
	CA9-DBG Breakpoint Control Register 0	CA9_DBG_DBGBCR0	32	H'FC030140	32
	CA9-DBG Breakpoint Control Register 1	CA9_DBG_DBGBCR1	32	H'FC030144	32
	CA9-DBG Breakpoint Control Register 2	CA9_DBG_DBGBCR2	32	H'FC030148	32
	CA9-DBG Breakpoint Control Register 3	CA9_DBG_DBGBCR3	32	H'FC03014C	32
	CA9-DBG Breakpoint Control Register 4	CA9_DBG_DBGBCR4	32	H'FC030150	32
	CA9-DBG Breakpoint Control Register 5	CA9_DBG_DBGBCR5	32	H'FC030154	32
	CA9-DBG Watchpoint Value Register 0	CA9_DBG_DBGWVR0	32	H'FC030180	32
	CA9-DBG Watchpoint Value Register 1	CA9_DBG_DBGWVR1	32	H'FC030184	32
	CA9-DBG Watchpoint Value Register 2	CA9_DBG_DBGWVR2	32	H'FC030188	32
	CA9-DBG Watchpoint Value Register 3	CA9_DBG_DBGWVR3	32	H'FC03018C	32
	CA9-DBG Watchpoint Control Register 0	CA9_DBG_DBGWCR0	32	H'FC0301C0	32
	CA9-DBG Watchpoint Control Register 1	CA9_DBG_DBGWCR1	32	H'FC0301C4	32
	CA9-DBG Watchpoint Control Register 2	CA9_DBG_DBGWCR2	32	H'FC0301C8	32
	CA9-DBG Watchpoint Control Register 3	CA9_DBG_DBGWCR3	32	H'FC0301CC	32
	CA9-DBG Main ID Register	CA9_DBG_MIDR	32	H'FC030D00	32
	CA9-DBG Cache Type Register	CA9_DBG_CTR	32	H'FC030D04	32
	CA9-DBG TLB Type Register	CA9_DBG_TLBTR	32	H'FC030D0C	32
	CA9-DBG Multiprocessor Affinity Register	CA9_DBG_MPIDR	32	H'FC030D10	32
	CA9-DBG Revision ID register	CA9_DBG_REVIDR	32	H'FC030D14	32
	CA9-DBG Processor Feature Register 0	CA9_DBG_ID_PFR0	32	H'FC030D20	32
	CA9-DBG Processor Feature Register 1	CA9_DBG_ID_PFR1	32	H'FC030D24	32
	CA9-DBG Debug Feature Register 0	CA9_DBG_ID_DFR0	32	H'FC030D28	32
	CA9-DBG Memory Model Feature Register 0	CA9_DBG_ID_MMFR0	32	H'FC030D30	32
	CA9-DBG Memory Model Feature Register 1	CA9_DBG_ID_MMFR1	32	H'FC030D34	32
	CA9-DBG Memory Model Feature Register 2	CA9_DBG_ID_MMFR2	32	H'FC030D38	32
	CA9-DBG Memory Model Feature Register 3	CA9_DBG_ID_MMFR3	32	H'FC030D3C	32
	CA9-DBG Instruction Set Attribute Register 0	CA9_DBG_ID_ISAR0	32	H'FC030D40	32
	CA9-DBG Instruction Set Attribute Register 1	CA9_DBG_ID_ISAR1	32	H'FC030D44	32
	CA9-DBG Instruction Set Attribute Register 2	CA9_DBG_ID_ISAR2	32	H'FC030D48	32
	CA9-DBG Instruction Set Attribute Register 3	CA9_DBG_ID_ISAR3	32	H'FC030D4C	32
	CA9-DBG Instruction Set Attribute Register 4	CA9_DBG_ID_ISAR4	32	H'FC030D50	32
	CA9-DBG Claim Tag Set Register	CA9_DBG_CLAIMSET	32	H'FC030FA0	32
	CA9-DBG Claim Tag Clear Register	CA9_DBG_CLAIMCLR	32	H'FC030FA4	32
	CA9-DBG Lock Access Register	CA9_DBG_LAR	32	H'FC030FB0	32
	CA9-DBG Lock Status Register	CA9_DBG_LSR	32	H'FC030FB4	32
	CA9-DBG Authentication Status Register	CA9_DBG_AUTHSTATUS	32	H'FC030FB8	32
	CA9-DBG Device Configuration Register	CA9_DBG_DEVID	32	H'FC030FC8	32
	CA9-DBG Device Type Identifier Register	CA9_DBG_DEVTYPE	32	H'FC030FCC	32
	CA9-DBG Peripheral ID4 Register	CA9_DBG_PERIPHID4	32	H'FC030FD0	32
	CA9-DBG Peripheral ID0 Register	CA9_DBG_PERIPHID0	32	H'FC030FE0	32
	CA9-DBG Peripheral ID1 Register	CA9_DBG_PERIPHID1	32	H'FC030FE4	32
	CA9-DBG Peripheral ID2 Register	CA9_DBG_PERIPHID2	32	H'FC030FE8	32
	CA9-DBG Peripheral ID3 Register	CA9_DBG_PERIPHID3	32	H'FC030FEC	32
	CA9-DBG Component ID0 Register	CA9_DBG_COMPID0	32	H'FC030FF0	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
デバッガインタフェース	CA9-DBG Component ID1 Register	CA9_DBG_COMPID1	32	H'FC030FF4	32
	CA9-DBG Component ID2 Register	CA9_DBG_COMPID2	32	H'FC030FF8	32
	CA9-DBG Component ID3 Register	CA9_DBG_COMPID3	32	H'FC030FFC	32
	CA9-PMU Event Count Register 0	CA9_PMU_PMXEVCNTR0	32	H'FC031000	32
	CA9-PMU Event Count Register 1	CA9_PMU_PMXEVCNTR1	32	H'FC031004	32
	CA9-PMU Event Count Register 2	CA9_PMU_PMXEVCNTR2	32	H'FC031008	32
	CA9-PMU Event Count Register 3	CA9_PMU_PMXEVCNTR3	32	H'FC03100C	32
	CA9-PMU Event Count Register 4	CA9_PMU_PMXEVCNTR4	32	H'FC031010	32
	CA9-PMU Event Count Register 5	CA9_PMU_PMXEVCNTR5	32	H'FC031014	32
	CA9-PMU Cycle Count Register	CA9_PMU_PMCCNTR	32	H'FC03107C	32
	CA9-PMU Event Counter Selection Register 0	CA9_PMU_PMXEVTYPER0	32	H'FC031400	32
	CA9-PMU Event Counter Selection Register 1	CA9_PMU_PMXEVTYPER1	32	H'FC031404	32
	CA9-PMU Event Counter Selection Register 2	CA9_PMU_PMXEVTYPER2	32	H'FC031408	32
	CA9-PMU Event Counter Selection Register 3	CA9_PMU_PMXEVTYPER3	32	H'FC03140C	32
	CA9-PMU Event Counter Selection Register 4	CA9_PMU_PMXEVTYPER4	32	H'FC031410	32
	CA9-PMU Event Counter Selection Register 5	CA9_PMU_PMXEVTYPER5	32	H'FC031414	32
	CA9-PMU Count Enable Set Register	CA9_PMU_PMCNTENSET	32	H'FC031C00	32
	CA9-PMU Count Enable Clear Register	CA9_PMU_PMCNTENCLR	32	H'FC031C20	32
	CA9-PMU Interrupt Enable Set Register	CA9_PMU_PMINTENSET	32	H'FC031C40	32
	CA9-PMU Interrupt Enable Clear Register	CA9_PMU_PMINTENCLR	32	H'FC031C60	32
	CA9-PMU Overflow Flag Status Register	CA9_PMU_PMOVSR	32	H'FC031C80	32
	CA9-PMU Software Increment Register	CA9_PMU_PMSWINC	32	H'FC031CA0	32
	CA9-PMU Performance Monitor Control Register	CA9_PMU_PMCR	32	H'FC031E04	32
	CA9-PMU User Enable Register	CA9_PMU_PMUSERENR	32	H'FC031E08	32
	CA9-PMU Claim Tag Set Register	CA9_PMU_CLAIMSET	32	H'FC031FA0	32
	CA9-PMU Claim Tag Clear Register	CA9_PMU_CLAIMCLR	32	H'FC031FA4	32
	CA9-PMU Lock Access Register	CA9_PMU_LAR	32	H'FC031FB0	32
	CA9-PMU Lock Status Register	CA9_PMU_LSR	32	H'FC031FB4	32
	CA9-PMU Authentication Status Register	CA9_PMU_AUTHSTATUS	32	H'FC031FB8	32
	CA9-PMU Device Configuration Register	CA9_PMU_DEVID	32	H'FC031FC8	32
	CA9-PMU Device Type Identifier Register	CA9_PMU_DEVTYPE	32	H'FC031FCC	32
	CA9-PMU Peripheral ID4 Register	CA9_PMU_PERIPHID4	32	H'FC031FD0	32
	CA9-PMU Peripheral ID0 Register	CA9_PMU_PERIPHID0	32	H'FC031FE0	32
	CA9-PMU Peripheral ID1 Register	CA9_PMU_PERIPHID1	32	H'FC031FE4	32
	CA9-PMU Peripheral ID2 Register	CA9_PMU_PERIPHID2	32	H'FC031FE8	32
	CA9-PMU Peripheral ID3 Register	CA9_PMU_PERIPHID3	32	H'FC031FEC	32
	CA9-PMU Component ID0 Register	CA9_PMU_COMPID0	32	H'FC031FF0	32
	CA9-PMU Component ID1 Register	CA9_PMU_COMPID1	32	H'FC031FF4	32
	CA9-PMU Component ID2 Register	CA9_PMU_COMPID2	32	H'FC031FF8	32
	CA9-PMU Component ID3 Register	CA9_PMU_COMPID3	32	H'FC031FFC	32
	CA9-CTI CTI Control Register	CA9_CTI_CTICONTROL	32	H'FC038000	32
	CA9-CTI CTI Interrupt Acknowledge Register	CA9_CTI_CTIINTACK	32	H'FC038010	32
	CA9-CTI CTI Application Trigger Set Register	CA9_CTI_CTIAPPSET	32	H'FC038014	32
	CA9-CTI CTI Application Trigger Clear Register	CA9_CTI_CTIAPPCLEAR	32	H'FC038018	32
	CA9-CTI CTI Application Pulse Register	CA9_CTI_CTIAPPPULSE	32	H'FC03801C	32
	CA9-CTI CTI Trigger to Channel Enable Register0	CA9_CTI_CTIINEN0	32	H'FC038020	32
	CA9-CTI CTI Trigger to Channel Enable Register1	CA9_CTI_CTIINEN1	32	H'FC038024	32
	CA9-CTI CTI Trigger to Channel Enable Register2	CA9_CTI_CTIINEN2	32	H'FC038028	32
	CA9-CTI CTI Trigger to Channel Enable Register3	CA9_CTI_CTIINEN3	32	H'FC03802C	32
	CA9-CTI CTI Trigger to Channel Enable Register4	CA9_CTI_CTIINEN4	32	H'FC038030	32
	CA9-CTI CTI Trigger to Channel Enable Register5	CA9_CTI_CTIINEN5	32	H'FC038034	32
	CA9-CTI CTI Trigger to Channel Enable Register6	CA9_CTI_CTIINEN6	32	H'FC038038	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
デバッガインタフェース	CA9-CTI CTI Trigger to Channel Enable Register7	CA9_CTI_CTIINEN7	32	H'FC03803C	32
	CA9-CTI CTI Channel to Trigger Enable Register0	CA9_CTI_CTIOUTEN0	32	H'FC0380A0	32
	CA9-CTI CTI Channel to Trigger Enable Register1	CA9_CTI_CTIOUTEN1	32	H'FC0380A4	32
	CA9-CTI CTI Channel to Trigger Enable Register2	CA9_CTI_CTIOUTEN2	32	H'FC0380A8	32
	CA9-CTI CTI Channel to Trigger Enable Register3	CA9_CTI_CTIOUTEN3	32	H'FC0380AC	32
	CA9-CTI CTI Channel to Trigger Enable Register4	CA9_CTI_CTIOUTEN4	32	H'FC0380B0	32
	CA9-CTI CTI Channel to Trigger Enable Register5	CA9_CTI_CTIOUTEN5	32	H'FC0380B4	32
	CA9-CTI CTI Channel to Trigger Enable Register6	CA9_CTI_CTIOUTEN6	32	H'FC0380B8	32
	CA9-CTI CTI Channel to Trigger Enable Register7	CA9_CTI_CTIOUTEN7	32	H'FC0380BC	32
	CA9-CTI CTI Trigger In Status Register	CA9_CTI_CTITRIGINSTATUS	32	H'FC038130	32
	CA9-CTI CTI Trigger Out Status Register	CA9_CTI_CTITRIGOUTSTATUS	32	H'FC038134	32
	CA9-CTI CTI Channel In Status Register	CA9_CTI_CTICHINSTATUS	32	H'FC038138	32
	CA9-CTI CTI Channel Out Status Register	CA9_CTI_CTICHOUTSTATUS	32	H'FC03813C	32
	CA9-CTI Enable CTI Channel Gate Register	CA9_CTI_CTIGATE	32	H'FC038140	32
	CA9-CTI External Multiplexor Control Register	CA9_CTI_ASICCTL	32	H'FC038144	32
	CA9-CTI Claim Tag Set Register	CA9_CTI_CLAIMSET	32	H'FC038FA0	32
	CA9-CTI Claim Tag Clear Register	CA9_CTI_CLAIMCLR	32	H'FC038FA4	32
	CA9-CTI Lock Access Register	CA9_CTI_LAR	32	H'FC038FB0	32
	CA9-CTI Lock Status Register	CA9_CTI_LSR	32	H'FC038FB4	32
	CA9-CTI Authentication Status Register	CA9_CTI_AUTHSTATUS	32	H'FC038FB8	32
	CA9-CTI Device Configuration Register	CA9_CTI_DEVID	32	H'FC038FC8	32
	CA9-CTI Device Type Identifier Register	CA9_CTI_DEVTYPE	32	H'FC038FCC	32
	CA9-CTI Peripheral ID4 Register	CA9_CTI_PERIPHID4	32	H'FC038FD0	32
	CA9-CTI Peripheral ID0 Register	CA9_CTI_PERIPHID0	32	H'FC038FE0	32
	CA9-CTI Peripheral ID1Register	CA9_CTI_PERIPHID1	32	H'FC038FE4	32
	CA9-CTI Peripheral ID2 Register	CA9_CTI_PERIPHID2	32	H'FC038FE8	32
	CA9-CTI Peripheral ID3 Register	CA9_CTI_PERIPHID3	32	H'FC038FEC	32
	CA9-CTI Component ID0 Register	CA9_CTI_COMPID0	32	H'FC038FF0	32
	CA9-CTI Component ID1 Register	CA9_CTI_COMPID1	32	H'FC038FF4	32
	CA9-CTI Component ID2 Register	CA9_CTI_COMPID2	32	H'FC038FF8	32
	CA9-CTI Component ID3 Register	CA9_CTI_COMPID3	32	H'FC038FFC	32
	PTM-A9 Main Control Register	PTM_A9_ETMCR	32	H'FC03C000	32
	PTM-A9 Configuration Code Register	PTM_A9_ETMCCR	32	H'FC03C004	32
	PTM-A9 Trigger Event Register	PTM_A9_ETMTRIGGER	32	H'FC03C008	32
	PTM-A9 Status Register	PTM_A9_ETMSR	32	H'FC03C010	32
	PTM-A9 System Configuration Register	PTM_A9_ETMSCR	32	H'FC03C014	32
	PTM-A9 TraceEnable Start/Stop Control Register	PTM_A9_ETMTSSCR	32	H'FC03C018	32
	PTM-A9 TraceEnable Event Register	PTM_A9_ETMTEEVR	32	H'FC03C020	32
	PTM-A9 TraceEnable Control Register 1	PTM_A9_ETMTECR1	32	H'FC03C024	32
	PTM-A9 Address Comparator Value Register 1	PTM_A9_ETMACVR1	32	H'FC03C040	32
	PTM-A9 Address Comparator Value Register 2	PTM_A9_ETMACVR2	32	H'FC03C044	32
	PTM-A9 Address Comparator Value Register 3	PTM_A9_ETMACVR3	32	H'FC03C048	32
	PTM-A9 Address Comparator Value Register 4	PTM_A9_ETMACVR4	32	H'FC03C04C	32
	PTM-A9 Address Comparator Value Register 5	PTM_A9_ETMACVR5	32	H'FC03C050	32
	PTM-A9 Address Comparator Value Register 6	PTM_A9_ETMACVR6	32	H'FC03C054	32
	PTM-A9 Address Comparator Value Register 7	PTM_A9_ETMACVR7	32	H'FC03C058	32
	PTM-A9 Address Comparator Value Register 8	PTM_A9_ETMACVR8	32	H'FC03C05C	32
	PTM-A9 Address Comparator Access Type Register 1	PTM_A9_ETMACTR1	32	H'FC03C080	32
	PTM-A9 Address Comparator Access Type Register 2	PTM_A9_ETMACTR2	32	H'FC03C084	32
	PTM-A9 Address Comparator Access Type Register 3	PTM_A9_ETMACTR3	32	H'FC03C088	32
	PTM-A9 Address Comparator Access Type Register 4	PTM_A9_ETMACTR4	32	H'FC03C08C	32
	PTM-A9 Address Comparator Access Type Register 5	PTM_A9_ETMACTR5	32	H'FC03C090	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
デバッガインタフェース	PTM-A9 Address Comparator Access Type Register 6	PTM_A9_ETMACTR6	32	H'FC03C094	32
	PTM-A9 Address Comparator Access Type Register 7	PTM_A9_ETMACTR7	32	H'FC03C098	32
	PTM-A9 Address Comparator Access Type Register 8	PTM_A9_ETMACTR8	32	H'FC03C09C	32
	PTM-A9 Counter Reload Value Register 1	PTM_A9_ETMCNTRLDVR1	32	H'FC03C140	32
	PTM-A9 Counter Reload Value Register 2	PTM_A9_ETMCNTRLDVR2	32	H'FC03C144	32
	PTM-A9 Counter Enable Event Register 1	PTM_A9_ETMCNTENR1	32	H'FC03C150	32
	PTM-A9 Counter Enable Event Register 2	PTM_A9_ETMCNTENR2	32	H'FC03C154	32
	PTM-A9 Counter Reload Event Register 1	PTM_A9_ETMCNTRLDEVR1	32	H'FC03C160	32
	PTM-A9 Counter Reload Event Register 2	PTM_A9_ETMCNTRLDEVR2	32	H'FC03C164	32
	PTM-A9 Counter Value Register 1	PTM_A9_ETMCNTVR1	32	H'FC03C170	32
	PTM-A9 Counter Value Register 2	PTM_A9_ETMCNTVR2	32	H'FC03C174	32
	PTM-A9 State 1 to State 2 Transition Event Register	PTM_A9_ETMSQ12EVR	32	H'FC03C180	32
	PTM-A9 State 2 to State 1 Transition Event Register	PTM_A9_ETMSQ21EVR	32	H'FC03C184	32
	PTM-A9 State 2 to State 3 Transition Event Register	PTM_A9_ETMSQ23EVR	32	H'FC03C188	32
	PTM-A9 State 3 to State 1 Transition Event Register	PTM_A9_ETMSQ31EVR	32	H'FC03C18C	32
	PTM-A9 State 3 to State 2 Transition Event Register	PTM_A9_ETMSQ32EVR	32	H'FC03C190	32
	PTM-A9 State 1 to State 3 Transition Event Register	PTM_A9_ETMSQ13EVR	32	H'FC03C194	32
	PTM-A9 Current Sequencer State Register	PTM_A9_ETMSQR	32	H'FC03C19C	32
	PTM-A9 External Output Event Register 1	PTM_A9_ETMEXTOUTEVR1	32	H'FC03C1A0	32
	PTM-A9 External Output Event Register 2	PTM_A9_ETMEXTOUTEVR2	32	H'FC03C1A4	32
	PTM-A9 Context ID Comparator Value 1 Register	PTM_A9_ETMCIDCVR1	32	H'FC03C1B0	32
	PTM-A9 Context ID Comparator Mask Register	PTM_A9_ETMCIDCMR	32	H'FC03C1BC	32
	PTM-A9 Synchronization Frequency Register	PTM_A9_ETMSYNCFR	32	H'FC03C1E0	32
	PTM-A9 ID Register	PTM_A9_ETMIDR	32	H'FC03C1E4	32
	PTM-A9 Configuration Code Extension Register	PTM_A9_ETMCCER	32	H'FC03C1E8	32
	PTM-A9 Extended External Input Selection Register	PTM_A9_ETMEXTINSELR	32	H'FC03C1EC	32
	PTM-A9 Timestamp Event Register	PTM_A9_ETMTSEVR	32	H'FC03C1F8	32
	PTM-A9 Auxiliary Control Register	PTM_A9_ETMAUXCR	32	H'FC03C1FC	32
	PTM-A9 CoreSight Trace ID Register	PTM_A9_ETMTRACEIDR	32	H'FC03C200	32
	PTM-A9 OS Lock Status Register	PTM_A9_OSLSR	32	H'FC03C304	32
	PTM-A9 Claim Tag Set Register	PTM_A9_CLAIMSET	32	H'FC031FA0	32
	PTM-A9 Claim Tag Clear Register	PTM_A9_CLAIMCLR	32	H'FC031FA4	32
	PTM-A9 Lock Access Register	PTM_A9_LAR	32	H'FC031FB0	32
	PTM-A9 Lock Status Register	PTM_A9_LSR	32	H'FC031FB4	32
	PTM-A9 Authentication Status Register	PTM_A9_AUTHSTATUS	32	H'FC031FB8	32
	PTM-A9 Device Type Identifier Register	PTM_A9_DEVTYPE	32	H'FC031FCC	32
	PTM-A9 Peripheral ID4 Register	PTM_A9_PERIPHID4	32	H'FC031FD0	32
	PTM-A9 Peripheral ID0 Register	PTM_A9_PERIPHID0	32	H'FC031FE0	32
	PTM-A9 Peripheral ID1 Register	PTM_A9_PERIPHID1	32	H'FC031FE4	32
	PTM-A9 Peripheral ID2 Register	PTM_A9_PERIPHID2	32	H'FC031FE8	32
	PTM-A9 Peripheral ID3 Register	PTM_A9_PERIPHID3	32	H'FC031FEC	32
	PTM-A9 Component ID0 Register	PTM_A9_COMPID0	32	H'FC031FF0	32
	PTM-A9 Component ID1 Register	PTM_A9_COMPID1	32	H'FC031FF4	32
	PTM-A9 Component ID2 Register	PTM_A9_COMPID2	32	H'FC031FF8	32
	PTM-A9 Component ID3 Register	PTM_A9_COMPID3	32	H'FC031FFC	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
JPEGコーデックユニット 注2)	JPEGコードモードレジスタ	JCMOD	8	H'E8017000	8
	JPEGコードコマンドレジスタ	JCCMD	8	H'E8017001	8
	JPEGコード量子化テーブル番号レジスタ	JCQTN	8	H'E8017003	8
	JPEGコードハフマンテーブル番号レジスタ	JCHTN	8	H'E8017004	8
	JPEGコードDRI上位レジスタ	JCDRIU	8	H'E8017005	8
	JPEGコードDRI下位レジスタ	JCDRID	8	H'E8017006	8
	JPEGコード垂直方向サイズ上位レジスタ	JCVSZU	8	H'E8017007	8
	JPEGコード垂直方向サイズ下位レジスタ	JCVSZD	8	H'E8017008	8
	JPEGコード水平方向サイズ上位レジスタ	JCHSZU	8	H'E8017009	8
	JPEGコード水平方向サイズ下位レジスタ	JCHSZD	8	H'E801700A	8
	JPEGコードデータカウント上位レジスタ	JCDTCU	8	H'E801700B	8
	JPEGコードデータカウント中位レジスタ	JCDTCM	8	H'E801700C	8
	JPEGコードデータカウント下位レジスタ	JCDTCD	8	H'E801700D	8
	JPEG割り込みイネーブルレジスタ0	JINTE0	8	H'E801700E	8
	JPEG割り込みステータスレジスタ0	JINTS0	8	H'E801700F	8
	JPEGコードデコードエラーレジスタ	JCDERR	8	H'E8017010	8
	JPEGコード再起動レジスタ	JCRST	8	H'E8017011	8
	JPEGインタフェース圧縮制御レジスタ	JIFECNT	32	H'E8017040	32
	JPEGインタフェース圧縮ソースアドレスレジスタ	JIFESA	32	H'E8017044	32
	JPEGインタフェース圧縮ラインオフセットレジスタ	JIFESOFST	32	H'E8017048	32
	JPEGインタフェース圧縮デスティネーションアドレスレジスタ	JIFEDA	32	H'E801704C	32
	JPEGインタフェース圧縮ソースラインカウントレジスタ	JIFESLC	32	H'E8017050	32
	JPEGインタフェース圧縮デスティネーションレジスタ	JIFEDDC	32	H'E8017054	32
	JPEGインタフェース伸長制御レジスタ	JIFDCNT	32	H'E8017058	32
	JPEGインタフェース伸長ソースアドレスレジスタ	JIFDSA	32	H'E801705C	32
	JPEGインタフェース伸長デスティネーションオフセットレジスタ	JIFDDOFST	32	H'E8017060	32
	JPEGインタフェース伸長デスティネーションアドレスレジスタ	JIFDDA	32	H'E8017064	32
	JPEGインタフェース伸長ソースカウントレジスタ	JIFDSDC	32	H'E8017068	32
	JPEGインタフェース伸長デスティネーションラインカウントレジスタ	JIFDDLC	32	H'E801706C	32
	JPEGインタフェース伸長α設定レジスタ	JIFDADT	32	H'E8017070	32
	JPEG割り込みイネーブルレジスタ1	JINTE1	32	H'E801708C	32
	JPEG割り込みステータスレジスタ1	JINTS1	32	H'E8017090	32
	JPEG入力画像データCbCr範囲設定レジスタ	JIFESVSZ	32	H'E8017094	32
	JPEG出力画像データCbCr範囲設定レジスタ	JIFESHSZ	32	H'E8017098	32
	JPEGコード量子化テーブル0レジスタ	JCQTBL0	512	H'E8017100 ～ H'E801713F	8
	JPEGコード量子化テーブル1レジスタ	JCQTBL1	512	H'E8017140 ～ H'E801717F	8
	JPEGコード量子化テーブル2レジスタ	JCQTBL2	512	H'E8017180 ～ H'E80171BF	8
	JPEGコード量子化テーブル3レジスタ	JCQTBL3	512	H'E80171C0 ～ H'E80171FF	8
	JPEGコードハフマンテーブルDC0レジスタ	JCHTBD0	224	H'E8017200 ～ H'E801721B	8
	JPEGコードハフマンテーブルAC0レジスタ	JCHTBA0	1416	H'E8017220 ～ H'E80172D1	8
	JPEGコードハフマンテーブルDC1レジスタ	JCHTBD1	224	H'E8017300 ～ H'E801731B	8
	JPEGコードハフマンテーブルAC1レジスタ	JCHTBA1	1416	H'E8017320 ～ H'E80173D1	8

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
EthernetAVB 注2)	AVB-DMAC モードレジスタ	CCC	32	H'E8215000	32
	ディスクリプタベースアドレステーブルレジスタ	DBAT	32	H'E8215004	32
	ディスクリプタベースアドレスロード要求レジスタ	DLR	32	H'E8215008	32
	AVB-DMAC ステータスレジスタ	CSR	32	H'E821500C	32
	カレントディスクリプタアドレスレジスタ 0	CDAR0	32	H'E8215010	32
	カレントディスクリプタアドレスレジスタ 1	CDAR1	32	H'E8215014	32
	カレントディスクリプタアドレスレジスタ 2	CDAR2	32	H'E8215018	32
	カレントディスクリプタアドレスレジスタ 3	CDAR3	32	H'E821501C	32
	カレントディスクリプタアドレスレジスタ 4	CDAR4	32	H'E8215020	32
	カレントディスクリプタアドレスレジスタ 5	CDAR5	32	H'E8215024	32
	カレントディスクリプタアドレスレジスタ 6	CDAR6	32	H'E8215028	32
	カレントディスクリプタアドレスレジスタ 7	CDAR7	32	H'E821502C	32
	カレントディスクリプタアドレスレジスタ 8	CDAR8	32	H'E8215030	32
	カレントディスクリプタアドレスレジスタ 9	CDAR9	32	H'E8215034	32
	カレントディスクリプタアドレスレジスタ 10	CDAR10	32	H'E8215038	32
	カレントディスクリプタアドレスレジスタ 11	CDAR11	32	H'E821503C	32
	カレントディスクリプタアドレスレジスタ 12	CDAR12	32	H'E8215040	32
	カレントディスクリプタアドレスレジスタ 13	CDAR13	32	H'E8215044	32
	カレントディスクリプタアドレスレジスタ 14	CDAR14	32	H'E8215048	32
	カレントディスクリプタアドレスレジスタ 15	CDAR15	32	H'E821504C	32
	カレントディスクリプタアドレスレジスタ 16	CDAR16	32	H'E8215050	32
	カレントディスクリプタアドレスレジスタ 17	CDAR17	32	H'E8215054	32
	カレントディスクリプタアドレスレジスタ 18	CDAR18	32	H'E8215058	32
	カレントディスクリプタアドレスレジスタ 19	CDAR19	32	H'E821505C	32
	カレントディスクリプタアドレスレジスタ 20	CDAR20	32	H'E8215060	32
	カレントディスクリプタアドレスレジスタ 21	CDAR21	32	H'E8215064	32
	エラーステータスレジスタ	ESR	32	H'E8215088	32
	受信設定レジスタ	RCR	32	H'E8215090	32
	受信キュー設定レジスタ 0	RQC0	32	H'E8215094	32
	受信キュー設定レジスタ 1	RQC1	32	H'E8215098	32
	受信キュー設定レジスタ 2	RQC2	32	H'E821509C	32
	受信キュー設定レジスタ 3	RQC3	32	H'E82150A0	32
	受信キュー設定レジスタ 4	RQC4	32	H'E82150A4	32
	受信パディング設定レジスタ	RPC	32	H'E82150B0	32
	未読フレームカウンタ停止レベル設定レジスタ	UFCS	32	H'E82150C0	32
	未読フレームカウンタレジスタ 0	UFCV0	32	H'E82150C4	32
	未読フレームカウンタレジスタ 1	UFCV1	32	H'E82150C8	32
	未読フレームカウンタレジスタ 2	UFCV2	32	H'E82150CC	32
	未読フレームカウンタレジスタ 3	UFCV3	32	H'E82150D0	32
	未読フレームカウンタレジスタ 4	UFCV4	32	H'E82150D4	32
	未読フレームカウンタ減算レジスタ 0	UFCD0	32	H'E82150E0	32
	未読フレームカウンタ減算レジスタ 1	UFCD1	32	H'E82150E4	32
	未読フレームカウンタ減算レジスタ 2	UFCD2	32	H'E82150E8	32
	未読フレームカウンタ減算レジスタ 3	UFCD3	32	H'E82150EC	32
	未読フレームカウンタ減算レジスタ 4	UFCD4	32	H'E82150F0	32
	セパレーションフィルタオフセット設定レジスタ	SFO	32	H'E82150FC	32
	セパレーションフィルタパターン設定レジスタ 0	SFP0	32	H'E8215100	32
	セパレーションフィルタパターン設定レジスタ 1	SFP1	32	H'E8215104	32
	セパレーションフィルタパターン設定レジスタ 2	SFP2	32	H'E8215108	32
	セパレーションフィルタパターン設定レジスタ 3	SFP3	32	H'E821510C	32
	セパレーションフィルタパターン設定レジスタ 4	SFP4	32	H'E8215110	32
	セパレーションフィルタパターン設定レジスタ 5	SFP5	32	H'E8215114	32

表46.1　　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
EthernetAVB注2)	セパレーションフィルタパターン設定レジスタ6	SFP6	32	H'E8215118	32
	セパレーションフィルタパターン設定レジスタ7	SFP7	32	H'E821511C	32
	セパレーションフィルタパターン設定レジスタ8	SFP8	32	H'E8215120	32
	セパレーションフィルタパターン設定レジスタ9	SFP9	32	H'E8215124	32
	セパレーションフィルタパターン設定レジスタ10	SFP10	32	H'E8215128	32
	セパレーションフィルタパターン設定レジスタ11	SFP11	32	H'E821512C	32
	セパレーションフィルタパターン設定レジスタ12	SFP12	32	H'E8215130	32
	セパレーションフィルタパターン設定レジスタ13	SFP13	32	H'E8215134	32
	セパレーションフィルタパターン設定レジスタ14	SFP14	32	H'E8215138	32
	セパレーションフィルタパターン設定レジスタ15	SFP15	32	H'E821513C	32
	セパレーションフィルタパターン設定レジスタ16	SFP16	32	H'E8215140	32
	セパレーションフィルタパターン設定レジスタ17	SFP17	32	H'E8215144	32
	セパレーションフィルタパターン設定レジスタ18	SFP18	32	H'E8215148	32
	セパレーションフィルタパターン設定レジスタ19	SFP19	32	H'E821514C	32
	セパレーションフィルタパターン設定レジスタ20	SFP20	32	H'E8215150	32
	セパレーションフィルタパターン設定レジスタ21	SFP21	32	H'E8215154	32
	セパレーションフィルタパターン設定レジスタ22	SFP22	32	H'E8215158	32
	セパレーションフィルタパターン設定レジスタ23	SFP23	32	H'E821515C	32
	セパレーションフィルタパターン設定レジスタ24	SFP24	32	H'E8215160	32
	セパレーションフィルタパターン設定レジスタ25	SFP25	32	H'E8215164	32
	セパレーションフィルタパターン設定レジスタ26	SFP26	32	H'E8215168	32
	セパレーションフィルタパターン設定レジスタ27	SFP27	32	H'E821516C	32
	セパレーションフィルタパターン設定レジスタ28	SFP28	32	H'E8215170	32
	セパレーションフィルタパターン設定レジスタ29	SFP29	32	H'E8215174	32
	セパレーションフィルタパターン設定レジスタ30	SFP30	32	H'E8215178	32
	セパレーションフィルタパターン設定レジスタ31	SFP31	32	H'E821517C	32
	セパレーションフィルタマスク設定レジスタ0	SFM0	32	H'E82151C0	32
	セパレーションフィルタマスク設定レジスタ1	SFM1	32	H'E82151C4	32
	送信設定レジスタ	TGC	32	H'E8215300	32
	送信設定制御レジスタ	TCCR	32	H'E8215304	32
	送信ステータスレジスタ	TSR	32	H'E8215308	32
	タイムスタンプFIFOアクセスレジスタ0	TFA0	32	H'E8215310	32
	タイムスタンプFIFOアクセスレジスタ1	TFA1	32	H'E8215314	32
	タイムスタンプFIFOアクセスレジスタ2	TFA2	32	H'E8215318	32
	CBSインクリメント値レジスタ0	CIVR0	32	H'E8215320	32
	CBSインクリメント値レジスタ1	CIVR1	32	H'E8215324	32
	CBSデクリメント値レジスタ0	CDVR0	32	H'E8215328	32
	CBSデクリメント値レジスタ1	CDVR1	32	H'E821532C	32
	CBS上限値レジスタ0	CUL0	32	H'E8215330	32
	CBS上限値レジスタ1	CUL1	32	H'E8215334	32
	CBS下限値レジスタ0	CLL0	32	H'E8215338	32
	CBS下限値レジスタ1	CLL1	32	H'E821533C	32
	ディスクリプタ割り込み制御レジスタ	DIC	32	H'E8215350	32
	ディスクリプタ割り込みステータスレジスタ	DIS	32	H'E8215354	32
	エラー割り込み制御レジスタ	EIC	32	H'E8215358	32
	エラー割り込みステータスレジスタ	EIS	32	H'E821535C	32
	受信割り込み制御レジスタ0	RIC0	32	H'E8215360	32
	受信割り込みステータスレジスタ0	RIS0	32	H'E8215364	32
	受信割り込み制御レジスタ1	RIC1	32	H'E8215368	32
	受信割り込みステータスレジスタ1	RIS1	32	H'E821536C	32
	受信割り込み制御レジスタ2	RIC2	32	H'E8215370	32
	受信割り込みステータスレジスタ2	RIS2	32	H'E8215374	32

表46.1　アドレス一覧

モジュール名	レジスタ名	略称	ビット数	アドレス	アクセスサイズ
EthernetAVB 注2)	送信割り込み制御レジスタ	TIC	32	H'E8215378	32
	送信割り込みステータスレジスタ	TIS	32	H'E821537C	32
	割り込みサマリステータスレジスタ	ISS	32	H'E8215380	32
	gPTP設定制御レジスタ	GCCR	32	H'E8215390	32
	gPTP最大トランジットタイム設定レジスタ	GMTT	32	H'E8215394	32
	gPTPプレゼンテーションタイム比較レジスタ	GPTC	32	H'E8215398	32
	gPTPタイマインクリメント設定レジスタ	GTI	32	H'E821539C	32
	gPTPタイマオフセット設定レジスタ0	GTO0	32	H'E82153A0	32
	gPTPタイマオフセット設定レジスタ1	GTO1	32	H'E82153A4	32
	gPTPタイマオフセット設定レジスタ2	GTO2	32	H'E82153A8	32
	gPTP割り込み制御レジスタ	GIC	32	H'E82153AC	32
	gPTP割り込みステータスレジスタ	GIS	32	H'E82153B0	32
	gPTP プレゼンテーションタイムキャプチャレジスタ	GCPT	32	H'E82153B4	32
	gPTPタイマキャプチャレジスタ0	GCT0	32	H'E82153B8	32
	gPTPタイマキャプチャレジスタ1	GCT1	32	H'E82153BC	32
	gPTPタイマキャプチャレジスタ2	GCT2	32	H'E82153C0	32
	gPTPキャプチャイベント設定レジスタ	GCEC	32	H'E82153D8	32
	E-MACモードレジスタ	ECMR	32	H'E8215500	32
	受信フレーム長上限レジスタ	RFLR	32	H'E8215508	32
	E-MACステータスレジスタ	ECSR	32	H'E8215510	32
	E-MAC割り込み許可レジスタ	ECSIPR	32	H'E8215518	32
	PHY部インタフェースレジスタ	PIR	32	H'E8215520	32
	自動 PAUSE フレーム設定レジスタ	APR	32	H'E8215554	32
	手動PAUSEフレーム設定レジスタ	MPR	32	H'E8215558	32
	PAUSEフレーム送信カウンタ	PFTCR	32	H'E821555C	32
	PAUSEフレーム受信カウンタ	PFRCR	32	H'E8215560	32
	自動PAUSE フレーム再送回数設定レジスタ	TPAUSER	32	H'E8215564	32
	MACアドレス上位設定レジスタ	MAHR	32	H'E82155C0	32
	MACアドレス下位設定レジスタ	MALR	32	H'E82155C8	32
	CRCエラーフレーム受信カウンタレジスタ	CEFCR	32	H'E8215740	32
	フレーム受信エラーカウンタレジスタ	FRECR	32	H'E8215748	32
	64バイト未満フレーム受信カウンタレジスタ	TSFRCR	32	H'E8215750	32
	指定バイト超フレーム受信カウンタレジスタ	TLFRCR	32	H'E8215758	32
	端数ビットフレーム受信カウンタレジスタ	RFCR	32	H'E8215760	32
	マルチキャストアドレスフレーム受信カウンタレジスタ	MAFCR	32	H'E8215778	32

注1.　RZ/A1L のみ
注2.　RZ/A1LU のみ

46.2　ビット一覧

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
2次キャッシュ	reg0_cache_id	Implementer[7]	Implementer[6]	Implementer[5]	Implementer[4]	Implementer[3]	Implementer[2]	Implementer[1]	Implementer[0]
		-	-	-	-	-	-	-	-
		CACHE ID[5]	CACHE ID[4]	CACHE ID[3]	CACHE ID[2]	CACHE ID[1]	CACHE ID[0]	Part Number[3]	Part Number[2]
		Part Number[1]	Part Number[0]	RTL release[5]	RTL release[4]	RTL release[3]	RTL release[2]	RTL release[1]	RTL release[0]
	reg0_cache_type	Data banking	-	-	ctype[3]	ctype[2]	ctype[1]	ctype[0]	-
		Dsize[4]	Dsize[3]	Dsize[2]	Dsize[1]	Dsize[0]	L2 associativity	-	-
		-	-	L2 cache line length[1]	L2 cache line length[0]	Isize[4]	Isize[3]	Isize[2]	Isize[1]
		Isize[0]	L2 associativity	-	-	-	-	L2 cache line length[1]	L2 cache line length[0]
	reg1_control	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	L2 Cache enable
	reg1_aux_control	-	Early BRESP enable	Instruction prefetch enable	Data prefetch enable	Non-secure interrupt access control	Non-secure lockdown enable	Cache replacement policy	Force write allocate[1]
		Force write allocate[0]	Shared attribute override enable	Parity enable	Event monitor bus enable	Way-size[2]	Way-size[1]	Way-size[0]	Associativity
		-	-	Shared Attribute Invalidate Enable	Exclusive cache configuration	Store buffer device limitation Enable	High Priority for SO and Dev Reads Enable	-	-
		-	-	-	-	-	-	-	Full Line of Zero Enable
	reg1_tag_ram_ control	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	RAM write access latency[2]	RAM write access latency[1]	RAM write access latency[0]
		0	RAM read access latency[2]	RAM read access latency[1]	RAM read access latency[0]	0	RAM setup latency[2]	RAM setup latency[1]	RAM setup latency[0]
	reg1_data_ram_ control	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	RAM write access latency[2]	RAM write access latency[1]	RAM write access latency[0]
		0	RAM read access latency[2]	RAM read access latency[1]	RAM read access latency[0]	0	RAM setup latency [2]	RAM setup latency [1]	RAM setup latency [0]
	reg2_ev_counter_ ctrl	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	Counter reset[1]	Counter reset[0]	Event counter enable
	reg2_ev_counter1_ cfg	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	Counter event source[3]	Counter event source[2]	Counter event source[1]	Counter event source[0]	Event counter interrupt generation[1]	Event counter interrupt generation[0]
	reg2_ev_counter0_ cfg	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	Counter event source[3]	Counter event source[2]	Counter event source[1]	Counter event source[0]	Event counter interrupt generation[1]	Event counter interrupt generation[0]
	reg2_ev_counter1	Counter value[31]	Counter value[30]	Counter value[29]	Counter value[28]	Counter value[27]	Counter value[26]	Counter value[25]	Counter value[24]
		Counter value[23]	Counter value[22]	Counter value[21]	Counter value[20]	Counter value[19]	Counter value[18]	Counter value[17]	Counter value[16]
		Counter value[15]	Counter value[14]	Counter value[13]	Counter value[12]	Counter value[11]	Counter value[10]	Counter value[9]	Counter value[8]
		Counter value[7]	Counter value[6]	Counter value[5]	Counter value[4]	Counter value[3]	Counter value[2]	Counter value[1]	Counter value[0]
	reg2_ev_counter0	Counter value[31]	Counter value[30]	Counter value[29]	Counter value[28]	Counter value[27]	Counter value[26]	Counter value[25]	Counter value[24]
		Counter value[23]	Counter value[22]	Counter value[21]	Counter value[20]	Counter value[19]	Counter value[18]	Counter value[17]	Counter value[16]
		Counter value[15]	Counter value[14]	Counter value[13]	Counter value[12]	Counter value[11]	Counter value[10]	Counter value[9]	Counter value[8]
		Counter value[7]	Counter value[6]	Counter value[5]	Counter value[4]	Counter value[3]	Counter value[2]	Counter value[1]	Counter value[0]
	reg2_int_mask	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DECERR
		SLVERR	ERRRD	ERRRT	ERRWD	ERRWT	PARRD	PARRT	ECNTR

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
2次キャッシュ	reg2_int_mask_status	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DECERR
		SLVERR	ERRRD	ERRRT	ERRWD	ERRWT	PARRD	PARRT	ECNTR
	reg2_int_raw_status	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DECERR
		SLVERR	ERRRD	ERRRT	ERRWD	ERRWT	PARRD	PARRT	ECNTR
	reg2_int_clear	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	DECERR
		SLVERR	ERRRD	ERRRT	ERRWD	ERRWT	PARRD	PARRT	ECNTR
	reg7_cache_sync	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	C
	reg7_inv_pa	TAG[17]	TAG[16]	TAG[15]	TAG[14]	TAG[13]	TAG[12]	TAG[11]	TAG[10]
		TAG[9]	TAG[8]	TAG[7]	TAG[6]	TAG[5]	TAG[4]	TAG[3]	TAG[2]
		TAG[1]	TAG[0]	INDEX[8]	INDEX[7]	INDEX[6]	INDEX[5]	INDEX[4]	INDEX[3]
		INDEX[2]	INDEX[1]	INDEX[0]	-	-	-	-	C
	reg7_inv_way	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Way bits[7]	Way bits[6]	Way bits[5]	Way bits[4]	Way bits[3]	Way bits[2]	Way bits[1]	Way bits[0]
	reg7_clean_pa	TAG[17]	TAG[16]	TAG[15]	TAG[14]	TAG[13]	TAG[12]	TAG[11]	TAG[10]
		TAG[9]	TAG[8]	TAG[7]	TAG[6]	TAG[5]	TAG[4]	TAG[3]	TAG[2]
		TAG[1]	TAG[0]	INDEX[8]	INDEX[7]	INDEX[6]	INDEX[5]	INDEX[4]	INDEX[3]
		INDEX[2]	INDEX[1]	INDEX[0]	-	-	-	-	C
	reg7_clean_index	-	Way[2]	Way[1]	Way[0]	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	INDEX[8]	INDEX[7]	INDEX[6]	INDEX[5]	INDEX[4]	INDEX[3]
		INDEX[2]	INDEX[1]	INDEX[0]	-	-	-	-	C
	reg7_clean_way	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Way bits[7]	Way bits[6]	Way bits[5]	Way bits[4]	Way bits[3]	Way bits[2]	Way bits[1]	Way bits[0]
	reg7_clean_inv_pa	TAG[17]	TAG[16]	TAG[15]	TAG[14]	TAG[13]	TAG[12]	TAG[11]	TAG[10]
		TAG[9]	TAG[8]	TAG[7]	TAG[6]	TAG[5]	TAG[4]	TAG[3]	TAG[2]
		TAG[1]	TAG[0]	INDEX[8]	INDEX[7]	INDEX[6]	INDEX[5]	INDEX[4]	INDEX[3]
		INDEX[2]	INDEX[1]	INDEX[0]	-	-	-	-	C
	reg7_clean_inv_index	-	Way[2]	Way[1]	Way[0]	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	INDEX[8]	INDEX[7]	INDEX[6]	INDEX[5]	INDEX[4]	INDEX[3]
		INDEX[2]	INDEX[1]	INDEX[0]	-	-	-	-	C
	reg7_clean_inv_way	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Way_bits[7]	Way_bits[6]	Way_bits[5]	Way_bits[4]	Way_bits[3]	Way_bits[2]	Way_bits[1]	Way_bits[0]
	reg9_d_lockdown0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK000[7]	DATALOCK000[6]	DATALOCK000[5]	DATALOCK000[4]	DATALOCK000[3]	DATALOCK000[2]	DATALOCK000[1]	DATALOCK000[0]
	reg9_i_lockdown0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK000[7]	INSTRLOCK000[6]	INSTRLOCK000[5]	INSTRLOCK000[4]	INSTRLOCK000[3]	INSTRLOCK000[2]	INSTRLOCK000[1]	INSTRLOCK000[0]
	reg9_d_lockdown1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK001[7]	DATALOCK001[6]	DATALOCK001[5]	DATALOCK001[4]	DATALOCK001[3]	DATALOCK001[2]	DATALOCK001[1]	DATALOCK001[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
2次キャッシュ	reg9_i_lockdown1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK001[7]	INSTRLOCK001[6]	INSTRLOCK001[5]	INSTRLOCK001[4]	INSTRLOCK001[3]	INSTRLOCK001[2]	INSTRLOCK001[1]	INSTRLOCK001[0]
	reg9_d_lockdown2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK002[7]	DATALOCK002[6]	DATALOCK002[5]	DATALOCK002[4]	DATALOCK002[3]	DATALOCK002[2]	DATALOCK002[1]	DATALOCK002[0]
	reg9_i_lockdown2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK002[7]	INSTRLOCK002[6]	INSTRLOCK002[5]	INSTRLOCK002[4]	INSTRLOCK002[3]	INSTRLOCK002[2]	INSTRLOCK002[1]	INSTRLOCK002[0]
	reg9_d_lockdown3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK003[7]	DATALOCK003[6]	DATALOCK003[5]	DATALOCK003[4]	DATALOCK003[3]	DATALOCK003[2]	DATALOCK003[1]	DATALOCK003[0]
	reg9_i_lockdown3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK003[7]	INSTRLOCK003[6]	INSTRLOCK003[5]	INSTRLOCK003[4]	INSTRLOCK003[3]	INSTRLOCK003[2]	INSTRLOCK003[1]	INSTRLOCK003[0]
	reg9_d_lockdown4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK004[7]	DATALOCK004[6]	DATALOCK004[5]	DATALOCK004[4]	DATALOCK004[3]	DATALOCK004[2]	DATALOCK004[1]	DATALOCK004[0]
	reg9_i_lockdown4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK004[7]	INSTRLOCK004[6]	INSTRLOCK004[5]	INSTRLOCK004[4]	INSTRLOCK004[3]	INSTRLOCK004[2]	INSTRLOCK004[1]	INSTRLOCK004[0]
	reg9_d_lockdown5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK005[7]	DATALOCK005[6]	DATALOCK005[5]	DATALOCK005[4]	DATALOCK005[3]	DATALOCK005[2]	DATALOCK005[1]	DATALOCK005[0]
	reg9_i_lockdown5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK005[7]	INSTRLOCK005[6]	INSTRLOCK005[5]	INSTRLOCK005[4]	INSTRLOCK005[3]	INSTRLOCK005[2]	INSTRLOCK005[1]	INSTRLOCK005[0]
	reg9_d_lockdown6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK006[7]	DATALOCK006[6]	DATALOCK006[5]	DATALOCK006[4]	DATALOCK006[3]	DATALOCK006[2]	DATALOCK006[1]	DATALOCK006[0]
	reg9_i_lockdown6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK006[7]	INSTRLOCK006[6]	INSTRLOCK006[5]	INSTRLOCK006[4]	INSTRLOCK006[3]	INSTRLOCK006[2]	INSTRLOCK006[1]	INSTRLOCK006[0]
	reg9_d_lockdown7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		DATALOCK007[7]	DATALOCK007[6]	DATALOCK007[5]	DATALOCK007[4]	DATALOCK007[3]	DATALOCK007[2]	DATALOCK007[1]	DATALOCK007[0]
	reg9_i_lockdown7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INSTRLOCK007[7]	INSTRLOCK007[6]	INSTRLOCK007[5]	INSTRLOCK007[4]	INSTRLOCK007[3]	INSTRLOCK007[2]	INSTRLOCK007[1]	INSTRLOCK007[0]
	reg9_lock_line_en	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	lockdown_by_line_enable

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
2次キャッシュ	reg9_unlock_way	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		unlock_all_lines_by_way_operation[7]	unlock_all_lines_by_way_operation[6]	unlock_all_lines_by_way_operation[5]	unlock_all_lines_by_way_operation[4]	unlock_all_lines_by_way_operation[3]	unlock_all_lines_by_way_operation[2]	unlock_all_lines_by_way_operation[1]	unlock_all_lines_by_way_operation[0]
	reg12_addr_filtering_start	address_filtering_start[11]	address_filtering_start[10]	address_filtering_start[9]	address_filtering_start[8]	address_filtering_start[7]	address_filtering_start[6]	address_filtering_start[5]	address_filtering_start[4]
		address_filtering_start[3]	address_filtering_start[2]	address_filtering_start[1]	address_filtering_start[0]	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	address_filtering_enable
	reg12_addr_filtering_end	address_filtering_end[11]	address_filtering_end[10]	address_filtering_end[9]	address_filtering_end[8]	address_filtering_end[7]	address_filtering_end[6]	address_filtering_end[5]	address_filtering_end[4]
		address_filtering_end[3]	address_filtering_end[2]	address_filtering_end[1]	address_filtering_end[0]	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	reg15_debug_ctrl	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	SPNIDEN	DWB	DCL
	reg15_prefetch_ctrl	-	Double linefill enable	Instruction prefetch enable	Data prefetch enable	Double linefill on WRAP read disable	-	-	Prefetch drop enable
		Incr double Linefill enable	-	Not same ID on exclusive sequence enable	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	Prefetch offset[4]	Prefetch offset[3]	Prefetch offset[2]	Prefetch offset[1]	Prefetch offset[0]
	reg15_power_ctrl	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	dynamic_clk_gating_en	standby_mode_en
LSI内部バス	RMPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	AXI128	–
	AXIBUSCTL0	–	–	–	–	JCUARCACHE[3] 注4)	JCUARCACHE[2] 注4)	JCUARCACHE[1] 注4)	JCUARCACHE[0] 注4)
		–	–	–	–	JCUAWCACHE[3] 注4)	JCUAWCACHE[2] 注4)	JCUAWCACHE[1] 注4)	JCUAWCACHE[0] 注4)
		–	–	–	–	ETHARCACHE[3]	ETHARCACHE[2]	ETHARCACHE[1]	ETHARCACHE[0]
		–	–	–	–	ETHAWCACHE[3]	ETHAWCACHE[2]	ETHAWCACHE[1]	ETHAWCACHE[0]
	AXIBUSCTL2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CEUAWCACHE[3]	CEUAWCACHE[2]	CEUAWCACHE[1]	CEUAWCACHE[0]
	AXIBUSCTL5 注1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	MLBAxCACHE[1]	MLBAxCACHE[0]
	AXIBUSCTL6	–	–	–	–	VDC501ARCACHE[3]	VDC501ARCACHE[2]	VDC501ARCACHE[1]	VDC501ARCACHE[0]
		–	–	–	–	VDC501AWCACHE[3]	VDC501AWCACHE[2]	VDC501AWCACHE[1]	VDC501AWCACHE[0]
		–	–	–	–	VDC502ARCACHE[3]	VDC502ARCACHE[2]	VDC502ARCACHE[1]	VDC502ARCACHE[0]
		–	–	–	–	–	–	–	–
	AXIBUSCTL7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	VDC504ARCACHE[3]	VDC504ARCACHE[2]	VDC504ARCACHE[1]	VDC504ARCACHE[0]
		–	–	–	–	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
LSI内部バス	AXIRERRCTL0	–	–	–	JCURERREN 注4)	–	–	–	ETHRERREN
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CEURERREN
		–	–	–	–	–	–	–	–
	AXIRERRCTL2	–	–	–	VDC501RERREN	–	–	–	VDC502RERREN
		–	–	–	–	–	–	–	VDC504RERREN
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	AXIRERRST0	JCURRESP[1] 注4)	JCURRESP[0] 注4)	JCUBRESP[1] 注4)	JCUBRESP[0] 注4)	ETHRRESP[1]	ETHRRESP[0]	ETHBRESP[1]	ETHBRESP[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CEUBRESP[1]	CEUBRESP[0]
		–	–	–	–	–	–	–	–
	AXIRERRST2	VDC501RRESP [1]	VDC501RRESP [0]	VDC501BRESP [1]	VDC501BRESP [0]	VDC502RRESP [1]	VDC502RRESP [0]	–	–
		–	–	–	–	VDC504RRESP [1]	VDC504RRESP [0]	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	AXIRERRCLR0	–	JCURRESPCLR 注4)	–	JCUBRESPCLR 注4)	–	ETHRRESPCLR	–	ETHBRESPCLR
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CEUBRESPCLR
		–	–	–	–	–	–	–	–
	AXIRERRCLR2	–	VDC501RRESP CLR	–	VDC501BRESP CLR	–	VDC502RRESP CLR	–	–
		–	–	–	–	–	VDC504RRESP CLR	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
クロックパルス発振器	FRQCR	–	CKOEN2	CKOEN[1]	CKOEN[0]	–	–	IFC[1]	IFC[0]
		–	–	–	–	–	–	–	–
割り込みコントローラ	ICR0	NMIL	–	–	–	–	–	–	NMIE
		–	–	–	–	–	–	NMIF	–
	ICR1	IRQ71S	IRQ70S	IRQ61S	IRQ60S	IRQ51S	IRQ50S	IRQ41S	IRQ40S
		IRQ31S	IRQ30S	IRQ21S	IRQ20S	IRQ11S	IRQ10S	IRQ01S	IRQ00S
	IRQRR	–	–	–	–	–	–	–	–
		IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
	ICDDCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	Enable
	ICDICTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LSPI[4]	LSPI[3]	LSPI[2]	LSPI[1]	LSPI[0]	SecurityExtn	–	–
		CPUNumber[2]	CPUNumber[1]	CPUNumber[0]	ITLinesNumber[4]	ITLinesNumber[3]	ITLinesNumber[2]	ITLinesNumber[1]	ITLinesNumber[0]
	ICDIIDR	ProductID[7]	ProductID[6]	ProductID[5]	ProductID[4]	ProductID[3]	ProductID[2]	ProductID[1]	ProductID[0]
		–	–	–	–	Variant[3]	Variant[2]	Variant[1]	Variant[0]
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	Implementer[11]	Implementer[10]	Implementer[9]	Implementer[8]
		Implementer[7]	Implementer[6]	Implementer[5]	Implementer[4]	Implementer[3]	Implementer[2]	Implementer[1]	Implementer[0]
	ICDISRn n=0～16	Security status bits[31]	Security status bits[30]	Security status bits[29]	Security status bits[28]	Security status bits[27]	Security status bits[26]	Security status bits[25]	Security status bits[24]
		Security status bits[23]	Security status bits[22]	Security status bits[21]	Security status bits[20]	Security status bits[19]	Security status bits[18]	Security status bits[17]	Security status bits[16]
		Security status bits[15]	Security status bits[14]	Security status bits[13]	Security status bits[12]	Security status bits[11]	Security status bits[10]	Security status bits[9]	Security status bits[8]
		Security status bits[7]	Security status bits[6]	Security status bits[5]	Security status bits[4]	Security status bits[3]	Security status bits[2]	Security status bits[1]	Security status bits[0]
	ICDISERn n=0～16	Set-enable bits[31]	Set-enable bits[30]	Set-enable bits[29]	Set-enable bits[28]	Set-enable bits[27]	Set-enable bits[26]	Set-enable bits[25]	Set-enable bits[24]
		Set-enable bits[23]	Set-enable bits[22]	Set-enable bits[21]	Set-enable bits[20]	Set-enable bits[19]	Set-enable bits[18]	Set-enable bits[17]	Set-enable bits[16]
		Set-enable bits[15]	Set-enable bits[14]	Set-enable bits[13]	Set-enable bits[12]	Set-enable bits[11]	Set-enable bits[10]	Set-enable bits[9]	Set-enable bits[8]
		Set-enable bits[7]	Set-enable bits[6]	Set-enable bits[5]	Set-enable bits[4]	Set-enable bits[3]	Set-enable bits[2]	Set-enable bits[1]	Set-enable bits[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
割り込み コントローラ	ICDICERn n=0～16	Clear-enable bits[31]	Clear-enable bits[30]	Clear-enable bits[29]	Clear-enable bits[28]	Clear-enable bits[27]	Clear-enable bits[26]	Clear-enable bits[25]	Clear-enable bits[24]
		Clear-enable bits[23]	Clear-enable bits[22]	Clear-enable bits[21]	Clear-enable bits[20]	Clear-enable bits[19]	Clear-enable bits[18]	Clear-enable bits[17]	Clear-enable bits[16]
		Clear-enable bits[15]	Clear-enable bits[14]	Clear-enable bits[13]	Clear-enable bits[12]	Clear-enable bits[11]	Clear-enable bits[10]	Clear-enable bits[9]	Clear-enable bits[8]
		Clear-enable bits[7]	Clear-enable bits[6]	Clear-enable bits[5]	Clear-enable bits[4]	Clear-enable bits[3]	Clear-enable bits[2]	Clear-enable bits[1]	Clear-enable bits[0]
	ICDISPRn n=0～16	Set-pending bits[31]	Set-pending bits[30]	Set-pending bits[29]	Set-pending bits[28]	Set-pending bits[27]	Set-pending bits[26]	Set-pending bits[25]	Set-pending bits[24]
		Set-pending bits[23]	Set-pending bits[22]	Set-pending bits[21]	Set-pending bits[20]	Set-pending bits[19]	Set-pending bits[18]	Set-pending bits[17]	Set-pending bits[16]
		Set-pending bits[15]	Set-pending bits[14]	Set-pending bits[13]	Set-pending bits[12]	Set-pending bits[11]	Set-pending bits[10]	Set-pending bits[9]	Set-pending bits[8]
		Set-pending bits[7]	Set-pending bits[6]	Set-pending bits[5]	Set-pending bits[4]	Set-pending bits[3]	Set-pending bits[2]	Set-pending bits[1]	Set-pending bits[0]
	ICDICPRn n=0～16	Clear-pending bits[31]	Clear-pending bits[30]	Clear-pending bits[29]	Clear-pending bits[28]	Clear-pending bits[27]	Clear-pending bits[26]	Clear-pending bits[25]	Clear-pending bits[24]
		Clear-pending bits[23]	Clear-pending bits[22]	Clear-pending bits[21]	Clear-pending bits[20]	Clear-pending bits[19]	Clear-pending bits[18]	Clear-pending bits[17]	Clear-pending bits[16]
		Clear-pending bits[15]	Clear-pending bits[14]	Clear-pending bits[13]	Clear-pending bits[12]	Clear-pending bits[11]	Clear-pending bits[10]	Clear-pending bits[9]	Clear-pending bits[8]
		Clear-pending bits[7]	Clear-pending bits[6]	Clear-pending bits[5]	Clear-pending bits[4]	Clear-pending bits[3]	Clear-pending bits[2]	Clear-pending bits[1]	Clear-pending bits[0]
	ICDABRn n=0～16	Active bits[31]	Active bits[30]	Active bits[29]	Active bits[28]	Active bits[27]	Active bits[26]	Active bits[25]	Active bits[24]
		Active bits[23]	Active bits[22]	Active bits[21]	Active bits[20]	Active bits[19]	Active bits[18]	Active bits[17]	Active bits[16]
		Active bits[15]	Active bits[14]	Active bits[13]	Active bits[12]	Active bits[11]	Active bits[10]	Active bits[9]	Active bits[8]
		Active bits[7]	Active bits[6]	Active bits[5]	Active bits[4]	Active bits[3]	Active bits[2]	Active bits[1]	Active bits[0]
	ICDIPRn n=0～134	Priority, byte offset 3[7]	Priority, byte offset 3[6]	Priority, byte offset 3[5]	Priority, byte offset 3[4]	Priority, byte offset 3[3]	Priority, byte offset 3[2]	Priority, byte offset 3[1]	Priority, byte offset 3[0]
		Priority, byte offset 2[7]	Priority, byte offset 2[6]	Priority, byte offset 2[5]	Priority, byte offset 2[4]	Priority, byte offset 2[3]	Priority, byte offset 2[2]	Priority, byte offset 2[1]	Priority, byte offset 2[0]
		Priority, byte offset 1[7]	Priority, byte offset 1[6]	Priority, byte offset 1[5]	Priority, byte offset 1[4]	Priority, byte offset 1[3]	Priority, byte offset 1[2]	Priority, byte offset 1[1]	Priority, byte offset 1[0]
		Priority, byte offset 0[7]	Priority, byte offset 0[6]	Priority, byte offset 0[5]	Priority, byte offset 0[4]	Priority, byte offset 0[3]	Priority, byte offset 0[2]	Priority, byte offset 0[1]	Priority, byte offset 0[0]
	ICDIPTRn n=0～134	CPU targets, byte offset 3[7]	CPU targets, byte offset 3[6]	CPU targets, byte offset 3[5]	CPU targets, byte offset 3[4]	CPU targets, byte offset 3[3]	CPU targets, byte offset 3[2]	CPU targets, byte offset 3[1]	CPU targets, byte offset 3[0]
		CPU targets, byte offset 2[7]	CPU targets, byte offset 2[6]	CPU targets, byte offset 2[5]	CPU targets, byte offset 2[4]	CPU targets, byte offset 2[3]	CPU targets, byte offset 2[2]	CPU targets, byte offset 2[1]	CPU targets, byte offset 2[0]
		CPU targets, byte offset 1[7]	CPU targets, byte offset 1[6]	CPU targets, byte offset 1[5]	CPU targets, byte offset 1[4]	CPU targets, byte offset 1[3]	CPU targets, byte offset 1[2]	CPU targets, byte offset 1[1]	CPU targets, byte offset 1[0]
		CPU targets, byte offset 0[7]	CPU targets, byte offset 0[6]	CPU targets, byte offset 0[5]	CPU targets, byte offset 0[4]	CPU targets, byte offset 0[3]	CPU targets, byte offset 0[2]	CPU targets, byte offset 0[1]	CPU targets, byte offset 0[0]
	ICDICFRn n=0～33	Int_config[1], field 15	Int_config[0], field 15	Int_config[1], field 14	Int_config[0], field 14	Int_config[1], field 13	Int_config[0], field 13	Int_config[1], field 12	Int_config[0], field 12
		Int_config[1], field 11	Int_config[0], field 11	Int_config[1], field 10	Int_config[0], field 10	Int_config[1], field 9	Int_config[0], field 9	Int_config[1], field 8	Int_config[0], field 8
		Int_config[1],field7	Int_config[0],field7	Int_config[1],field6	Int_config[0],field6	Int_config[1],field5	Int_config[0],field5	Int_config[1],field4	Int_config[0],field4
		Int_config[1],field3	Int_config[0],field3	Int_config[1],field2	Int_config[0],field2	Int_config[1],field1	Int_config[0],field1	Int_config[1],field0	Int_config[0],field0
	PPI Status Register	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ppi_status[15]	ppi_status[14]	ppi_status[13]	ppi_status[12]	ppi_status[11]	ppi_status[10]	ppi_status[9]	ppi_status[8]
		ppi_status[7]	ppi_status[6]	ppi_status[5]	ppi_status[4]	ppi_status[3]	ppi_status[2]	ppi_status[1]	ppi_status[0]
	SPI Status Registersn n=0～14	spi_status[31]	spi_status[30]	spi_status[29]	spi_status[28]	spi_status[27]	spi_status[26]	spi_status[25]	spi_status[24]
		spi_status[23]	spi_status[22]	spi_status[21]	spi_status[20]	spi_status[19]	spi_status[18]	spi_status[17]	spi_status[16]
		spi_status[15]	spi_status[14]	spi_status[13]	spi_status[12]	spi_status[11]	spi_status[10]	spi_status[9]	spi_status[8]
		spi_status[7]	spi_status[6]	spi_status[5]	spi_status[4]	spi_status[3]	spi_status[2]	spi_status[1]	spi_status[0]
	ICDSGIR	–	–	–	–	–	–	TargetListFilter[1]	TargetListFilter[0]
		CPUTargetList[7]	CPUTargetList[6]	CPUTargetList[5]	CPUTargetList[4]	CPUTargetList[3]	CPUTargetList[2]	CPUTargetList[1]	CPUTargetList[0]
		SATT	–	–	–	–	–	–	–
		–	–	–	–	SGIINTID[3]	SGIINTID[2]	SGIINTID[1]	SGIINTID[0]
	ICCICR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	SBPR	FIQEn	AckCtl	EnableNS	EnableS
	ICCPMR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		Priority[7]	Priority[6]	Priority[5]	Priority[4]	Priority[3]	Priority[2]	Priority[1]	Priority[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
割り込み コントローラ	ICCBPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	Binary point[2]	Binary point[1]	Binary point[0]
	ICCIAR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	CPUID[2]	CPUID[1]	CPUID[0]	ACKINTID[9]	ACKINTID[8]
		ACKINTID[7]	ACKINTID[6]	ACKINTID[5]	ACKINTID[4]	ACKINTID[3]	ACKINTID[2]	ACKINTID[1]	ACKINTID[0]
	ICCEOIR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	CPUID[2]	CPUID[1]	CPUID[0]	EOIINTID[9]	EOIINTID[8]
		EOIINTID[7]	EOIINTID[6]	EOIINTID[5]	EOIINTID[4]	EOIINTID[3]	EOIINTID[2]	EOIINTID[1]	EOIINTID[0]
	ICCRPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		Priority[7]	Priority[6]	Priority[5]	Priority[4]	Priority[3]	Priority[2]	Priority[1]	Priority[0]
	ICCHPIR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	CPUID[2]	CPUID[1]	CPUID[0]	PENDINTID[9]	PENDINTID[8]
		PENDINTID[7]	PENDINTID[6]	PENDINTID[5]	PENDINTID[4]	PENDINTID[3]	PENDINTID[2]	PENDINTID[1]	PENDINTID[0]
	ICCABPR								
	ICCIIDR	ProductID[11]	ProductID[10]	ProductID[9]	ProductID[8]	ProductID[7]	ProductID[6]	ProductID[5]	ProductID[4]
		ProductID[3]	ProductID[2]	ProductID[1]	ProductID[0]	Architecture version[3]	Architecture version[2]	Architecture version[1]	Architecture version[0]
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	Implementer[11]	Implementer[10]	Implementer[9]	Implementer[8]
		Implementer[7]	Implementer[6]	Implementer[5]	Implementer[4]	Implementer[3]	Implementer[2]	Implementer[1]	Implementer[0]
バスステート コントローラ	CMNCR	–	–	–	TL0	–	–	–	AL0
		–	–	–	–	–	–	–	–
		–	–	–	–	–	DPRTY[1]	DPRTY[0]	–
		–	–	–	–	–	–	HIZMEM	HIZCNT
	CS0BCR	–	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		–	TYPE[2]	TYPE[1]	TYPE[0]	–	BSZ[1]	BSZ[0]	–
		–	–	–	–	–	–	–	–
	CS1BCR	–	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		–	TYPE[2]	TYPE[1]	TYPE[0]	–	BSZ[1]	BSZ[0]	–
		–	–	–	–	–	–	–	–
	CS2BCR	–	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		–	TYPE[2]	TYPE[1]	TYPE[0]	–	BSZ[1]	BSZ[0]	–
		–	–	–	–	–	–	–	–
	CS3BCR	–	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		–	TYPE[2]	TYPE[1]	TYPE[0]	–	BSZ[1]	BSZ[0]	–
		–	–	–	–	–	–	–	–
	CS4BCR	–	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		–	TYPE[2]	TYPE[1]	TYPE[0]	–	BSZ[1]	BSZ[0]	–
		–	–	–	–	–	–	–	–
	CS5BCR	–	IWW[2]	IWW[1]	IWW[0]	IWRWD[2]	IWRWD[1]	IWRWD[0]	IWRWS[2]
		IWRWS[1]	IWRWS[0]	IWRRD[2]	IWRRD[1]	IWRRD[0]	IWRRS[2]	IWRRS[1]	IWRRS[0]
		–	TYPE[2]	TYPE[1]	TYPE[0]	–	BSZ[1]	BSZ[0]	–
		–	–	–	–	–	–	–	–
	CS0WCR 通常空間 バイト選択付きSRAM MPX-I/O	–	–	–	–	–	–	–	–
		–	–	–	BAS	–	–	–	–
		–	–	–	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	–	–	–	–	HW[1]	HW[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
バスステート コントローラ	CS0WCR バーストROM （クロック非同期）	–	–	–	–	–	–	–	–
		–	–	BST[1]	BST[0]	–	–	BW[1]	BW[0]
		–	–	–	–	–	W[3]	W[2]	W[1]
		W[0]	WM	–	–	–	–	–	–
	CS0WCR バーストROM （クロック同期）	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	BW[1]	BW[0]
		–	–	–	–	–	W[3]	W[2]	W[1]
		W[0]	WM	–	–	–	–	–	–
	CS1WCR	–	–	–	–	–	–	–	–
		–	–	–	BAS	–	WW[2]	WW[1]	WW[0]
		–	–	–	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	–	–	–	–	HW[1]	HW[0]
	CS2WCR 通常空間 バイト選択付きSRAM MPX-I/O	–	–	–	–	–	–	–	–
		–	–	–	BAS	–	–	–	–
		–	–	–	–	–	WR[3]	WR[2]	WR[1]
		WR[0]	WM	–	–	–	–	–	–
	CS2WCR バーストROM （クロック同期）	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	A2CL[1]
		A2CL[0]	–	–	–	–	–	–	–
	CS3WCR 通常空間 バイト選択付きSRAM MPX-I/O	–	–	–	–	–	–	–	–
		–	–	–	BAS	–	–	–	–
		–	–	–	–	–	WR[3]	WR[2]	WR[1]
		WR[0]	WM	–	–	–	–	–	–
	CS3WCR バーストROM （クロック同期）	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	WTRP[1]	WTRP[0]	–	WTRCD[1]	WTRCD[0]	–	A3CL[1]
		A3CL[0]	–	–	TRWL[1]	TRWL[0]	–	WTRC[1]	WTRC[0]
	CS4WCR 通常空間 バイト選択付きSRAM MPX-I/O	–	–	–	–	–	–	–	–
		–	–	–	BAS	–	WW[2]	WW[1]	WW[0]
		–	–	–	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	–	–	–	–	HW[1]	HW[0]
	CS4WCR バーストROM （クロック非同期）	–	–	–	–	–	–	–	–
		–	–	BST[1]	BST[0]	–	–	BW[1]	BW[0]
		–	–	–	SW[1]	SW[0]	W[3]	W[2]	W[1]
		W[0]	WM	–	–	–	–	HW[1]	HW[0]
	CS5WCR 通常空間 バイト選択付きSRAM MPX-I/O	–	–	–	–	–	–	–	–
		–	–	SZSEL	MPXW/BAS	–	WW[2]	WW[1]	WW[0]
		–	–	–	SW[1]	SW[0]	WR[3]	WR[2]	WR[1]
		WR[0]	WM	–	–	–	–	HW[1]	HW[0]
	SDCR	–	–	–	–	–	–	–	–
		–	–	–	A2ROW[1]	A2ROW[0]	–	A2COL[1]	A2COL[0]
		–	–	DEEP	–	RFSH	RMODE	PDOWN	BACTV
		–	–	–	A3ROW[1]	A3ROW[0]	–	A3COL[1]	A3COL[0]
	RTCSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		CMF	CMIE	CKS[2]	CKS[1]	CKS[0]	RRC[2]	RRC[1]	RRC[0]
	RTCNT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	RTCOR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	TOSCOR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
パスステートコントローラ	TOSCOR1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	TOSCOR2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	TOSCOR3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	TOSCOR4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	TOSCOR5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	TOSTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	CS5TOSTF	CS4TOSTF	CS3TOSTF	CS2TOSTF	CS1TOSTF	CS0TOSTF
	TOENR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	CS5TOEN	CS4TOEN	CS3TOEN	CS2TOEN	CS1TOEN	CS0TOEN
ダイレクトメモリアクセスコントローラ	N0SA_0	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_0	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_0	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_0	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_0	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_0	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_0	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_0	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CRTB_0	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_0	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_0	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_0	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_1	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_1	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_1	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_1	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_1	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_1	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CRSA_1	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_1	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_1	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_1	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_1	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_1	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_2	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_2	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_2	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_2	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N1DA_2	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_2	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_2	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_2	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_2	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_2	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_2	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_2	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_3	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_3	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N0TB_3	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_3	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_3	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_3	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_3	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_3	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_3	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_3	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_3	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_3	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N0SA_4	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_4	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_4	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_4	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_4	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_4	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_4	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_4	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_4	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_4	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	NXLA_4	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_4	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_5	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_5	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_5	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_5	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_5	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_5	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_5	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_5	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_5	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_5	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CHEXT_5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_5	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_5	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_6	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_6	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_6	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_6	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_6	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_6	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_6	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_6	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_6	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_6	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CHITVL_6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_6	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_6	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_7	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_7	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_7	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_7	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_7	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_7	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_7	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_7	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_7	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CHCFG_7	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_7	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_7	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	DCTRL_0_7	LWCA[3]	LWCA[2]	LWCA[1]	LWCA[0]	–	LWPR[2]	LWPR[1]	LWPR[0]
		LDCA[3]	LDCA[2]	LDCA[1]	LDCA[0]	–	LDPR[2]	LDPR[1]	LDPR[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	LVINT	PR
	DSTAT_EN_0_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		EN7	EN6	EN5	EN4	EN3	EN2	EN1	EN0
	DSTAT_ER_0_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ER7	ER6	ER5	ER4	ER3	ER2	ER1	ER0
	DSTAT_END_0_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		END7	END6	END5	END4	END3	END2	END1	END0
	DSTAT_TC_0_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TC7	TC6	TC5	TC4	TC3	TC2	TC1	TC0
	DSTAT_SUS_0_7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SUS7	SUS6	SUS5	SUS4	SUS3	SUS2	SUS1	SUS0
	N0SA_8	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_8	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_8	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_8	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N1DA_8	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_8	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_8	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_8	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_8	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_8	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	INTMSK
		—	—	—	—	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_8	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	CLRINTMSK	SETINTMSK
		—	—	—	—	—	—	CLRSUS	SETSUS
		—	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_8	DMS	REN	RSW	RSEL	SBE	—	—	DEM
		—	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	—	AM[2]	AM[1]	AM[0]
		—	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_8	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_8	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	—	—	—	—
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	—	—	—	—
	NXLA_8	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_8	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_9	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_9	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_9	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N1SA_9	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_9	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_9	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_9	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_9	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_9	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_9	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_9	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_9	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_9	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_9	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_9	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_9	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_10	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_10	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N0TB_10	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_10	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_10	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_10	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_10	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_10	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_10	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_10	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_10	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_10	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_10	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_10	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_10	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_10	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_11	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N0DA_11	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_11	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_11	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_11	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_11	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_11	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_11	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_11	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_11	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_11	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_11	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_11	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_11	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_11	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_11	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	N0SA_12	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_12	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_12	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_12	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_12	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_12	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_12	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_12	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_12	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_12	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_12	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_12	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_12	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_12	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_12	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CRLA_12	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_13	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_13	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_13	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_13	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_13	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_13	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_13	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_13	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_13	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_13	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_13	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_13	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_13	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_13	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	NXLA_13	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_13	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_14	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_14	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_14	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_14	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_14	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_14	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_14	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_14	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_14	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_14	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_14	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_14	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]
	CHITVL_14	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CHEXT_14	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_14	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_14	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	N0SA_15	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N0DA_15	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N0TB_15	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	N1SA_15	SA[31]	SA[30]	SA[29]	SA[28]	SA[27]	SA[26]	SA[25]	SA[24]
		SA[23]	SA[22]	SA[21]	SA[20]	SA[19]	SA[18]	SA[17]	SA[16]
		SA[15]	SA[14]	SA[13]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	N1DA_15	DA[31]	DA[30]	DA[29]	DA[28]	DA[27]	DA[26]	DA[25]	DA[24]
		DA[23]	DA[22]	DA[21]	DA[20]	DA[19]	DA[18]	DA[17]	DA[16]
		DA[15]	DA[14]	DA[13]	DA[12]	DA[11]	DA[10]	DA[9]	DA[8]
		DA[7]	DA[6]	DA[5]	DA[4]	DA[3]	DA[2]	DA[1]	DA[0]
	N1TB_15	TB[31]	TB[30]	TB[29]	TB[28]	TB[27]	TB[26]	TB[25]	TB[24]
		TB[23]	TB[22]	TB[21]	TB[20]	TB[19]	TB[18]	TB[17]	TB[16]
		TB[15]	TB[14]	TB[13]	TB[12]	TB[11]	TB[10]	TB[9]	TB[8]
		TB[7]	TB[6]	TB[5]	TB[4]	TB[3]	TB[2]	TB[1]	TB[0]
	CRSA_15	CRSA[31]	CRSA[30]	CRSA[29]	CRSA[28]	CRSA[27]	CRSA[26]	CRSA[25]	CRSA[24]
		CRSA[23]	CRSA[22]	CRSA[21]	CRSA[20]	CRSA[19]	CRSA[18]	CRSA[17]	CRSA[16]
		CRSA[15]	CRSA[14]	CRSA[13]	CRSA[12]	CRSA[11]	CRSA[10]	CRSA[9]	CRSA[8]
		CRSA[7]	CRSA[6]	CRSA[5]	CRSA[4]	CRSA[3]	CRSA[2]	CRSA[1]	CRSA[0]
	CRDA_15	CRDA[31]	CRDA[30]	CRDA[29]	CRDA[28]	CRDA[27]	CRDA[26]	CRDA[25]	CRDA[24]
		CRDA[23]	CRDA[22]	CRDA[21]	CRDA[20]	CRDA[19]	CRDA[18]	CRDA[17]	CRDA[16]
		CRDA[15]	CRDA[14]	CRDA[13]	CRDA[12]	CRDA[11]	CRDA[10]	CRDA[9]	CRDA[8]
		CRDA[7]	CRDA[6]	CRDA[5]	CRDA[4]	CRDA[3]	CRDA[2]	CRDA[1]	CRDA[0]
	CRTB_15	CRTB[31]	CRTB[30]	CRTB[29]	CRTB[28]	CRTB[27]	CRTB[26]	CRTB[25]	CRTB[24]
		CRTB[23]	CRTB[22]	CRTB[21]	CRTB[20]	CRTB[19]	CRTB[18]	CRTB[17]	CRTB[16]
		CRTB[15]	CRTB[14]	CRTB[13]	CRTB[12]	CRTB[11]	CRTB[10]	CRTB[9]	CRTB[8]
		CRTB[7]	CRTB[6]	CRTB[5]	CRTB[4]	CRTB[3]	CRTB[2]	CRTB[1]	CRTB[0]
	CHSTAT_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTMSK
		–	–	–	–	MODE	DER	DW	DL
		SR	TC	END	ER	SUS	TACT	RQST	EN
	CHCTRL_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	CLRINTMSK	SETINTMSK
		–	–	–	–	–	–	CLRSUS	SETSUS
		–	CLRTC	CLREND	CLRRQ	SWRST	STG	CLREN	SETEN
	CHCFG_15	DMS	REN	RSW	RSEL	SBE	–	–	DEM
		–	TM	DAD	SAD	DDS[3]	DDS[2]	DDS[1]	DDS[0]
		SDS[3]	SDS[2]	SDS[1]	SDS[0]	–	AM[2]	AM[1]	AM[0]
		–	LVL	HIEN	LOEN	REQD	SEL[2]	SEL[1]	SEL[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	CHITVL_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ITVL[15]	ITVL[14]	ITVL[13]	ITVL[12]	ITVL[11]	ITVL[10]	ITVL[9]	ITVL[8]
		ITVL[7]	ITVL[6]	ITVL[5]	ITVL[4]	ITVL[3]	ITVL[2]	ITVL[1]	ITVL[0]
	CHEXT_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DCA[3]	DCA[2]	DCA[1]	DCA[0]	–	–	–	–
		SCA[3]	SCA[2]	SCA[1]	SCA[0]	–	–	–	–
	NXLA_15	NXLA[31]	NXLA[30]	NXLA[29]	NXLA[28]	NXLA[27]	NXLA[26]	NXLA[25]	NXLA[24]
		NXLA[23]	NXLA[22]	NXLA[21]	NXLA[20]	NXLA[19]	NXLA[18]	NXLA[17]	NXLA[16]
		NXLA[15]	NXLA[14]	NXLA[13]	NXLA[12]	NXLA[11]	NXLA[10]	NXLA[9]	NXLA[8]
		NXLA[7]	NXLA[6]	NXLA[5]	NXLA[4]	NXLA[3]	NXLA[2]	NXLA[1]	NXLA[0]
	CRLA_15	CRLA[31]	CRLA[30]	CRLA[29]	CRLA[28]	CRLA[27]	CRLA[26]	CRLA[25]	CRLA[24]
		CRLA[23]	CRLA[22]	CRLA[21]	CRLA[20]	CRLA[19]	CRLA[18]	CRLA[17]	CRLA[16]
		CRLA[15]	CRLA[14]	CRLA[13]	CRLA[12]	CRLA[11]	CRLA[10]	CRLA[9]	CRLA[8]
		CRLA[7]	CRLA[6]	CRLA[5]	CRLA[4]	CRLA[3]	CRLA[2]	CRLA[1]	CRLA[0]
	DCTRL_8_15	LWCA[3]	LWCA[2]	LWCA[1]	LWCA[0]	–	LWPR[2]	LWPR[1]	LWPR[0]
		LDCA[3]	LDCA[2]	LDCA[1]	LDCA[0]	–	LDPR[2]	LDPR[1]	LDPR[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	LVINT	PR
	DSTAT_EN_8_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		EN15	EN14	EN13	EN12	EN11	EN10	EN9	EN8
	DSTAT_ER_8_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ER15	ER14	ER13	ER12	ER11	ER10	ER9	ER8
	DSTAT_END_8_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		END15	END14	END13	END12	END11	END10	END9	END8
	DSTAT_TC_8_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TC15	TC14	TC13	TC12	TC11	TC10	TC9	TC8
	DSTAT_SUS_8_15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SUS15	SUS14	SUS13	SUS12	SUS11	SUS10	SUS9	SUS8
	DMARS0	–	–	–	–	–	–	–	CH1_MID[6]
		CH1_MID[5]	CH1_MID[4]	CH1_MID[3]	CH1_MID[2]	CH1_MID[1]	CH1_MID[0]	CH1_RID[1]	CH1_RID[0]
		–	–	–	–	–	–	–	CH0_MID[6]
		CH0_MID[5]	CH0_MID[4]	CH0_MID[3]	CH0_MID[2]	CH0_MID[1]	CH0_MID[0]	CH0_RID[1]	CH0_RID[0]
	DMARS1	–	–	–	–	–	–	–	CH3_MID[6]
		CH3_MID[5]	CH3_MID[4]	CH3_MID[3]	CH3_MID[2]	CH3_MID[1]	CH3_MID[0]	CH3_RID[1]	CH3_RID[0]
		–	–	–	–	–	–	–	CH2_MID[6]
		CH2_MID[5]	CH2_MID[4]	CH2_MID[3]	CH2_MID[2]	CH2_MID[1]	CH2_MID[0]	CH2_RID[1]	CH2_RID[0]
	DMARS2	–	–	–	–	–	–	–	CH5_MID[6]
		CH5_MID[5]	CH5_MID[4]	CH5_MID[3]	CH5_MID[2]	CH5_MID[1]	CH5_MID[0]	CH5_RID[1]	CH5_RID[0]
		–	–	–	–	–	–	–	CH4_MID[6]
		CH4_MID[5]	CH4_MID[4]	CH4_MID[3]	CH4_MID[2]	CH4_MID[1]	CH4_MID[0]	CH4_RID[1]	CH4_RID[0]
	DMARS3	–	–	–	–	–	–	–	CH7_MID[6]
		CH7_MID[5]	CH7_MID[4]	CH7_MID[3]	CH7_MID[2]	CH7_MID[1]	CH7_MID[0]	CH7_RID[1]	CH7_RID[0]
		–	–	–	–	–	–	–	CH6_MID[6]
		CH6_MID[5]	CH6_MID[4]	CH6_MID[3]	CH6_MID[2]	CH6_MID[1]	CH6_MID[0]	CH6_RID[1]	CH6_RID[0]
	DMARS4	–	–	–	–	–	–	–	CH9_MID[6]
		CH9_MID[5]	CH9_MID[4]	CH9_MID[3]	CH9_MID[2]	CH9_MID[1]	CH9_MID[0]	CH9_RID[1]	CH9_RID[0]
		–	–	–	–	–	–	–	CH8_MID[6]
		CH8_MID[5]	CH8_MID[4]	CH8_MID[3]	CH8_MID[2]	CH8_MID[1]	CH8_MID[0]	CH8_RID[1]	CH8_RID[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ダイレクトメモリアクセスコントローラ	DMARS5	–	–	–	–	–	–	–	CH11_MID[6]
		CH11_MID[5]	CH11_MID[4]	CH11_MID[3]	CH11_MID[2]	CH11_MID[1]	CH11_MID[0]	CH11_RID[1]	CH11_RID[0]
		–	–	–	–	–	–	–	CH10_MID[6]
		CH10_MID[5]	CH10_MID[4]	CH10_MID[3]	CH10_MID[2]	CH10_MID[1]	CH10_MID[0]	CH10_RID[1]	CH10_RID[0]
	DMARS6	–	–	–	–	–	–	–	CH13_MID[6]
		CH13_MID[5]	CH13_MID[4]	CH13_MID[3]	CH13_MID[2]	CH13_MID[1]	CH13_MID[0]	CH13_RID[1]	CH13_RID[0]
		–	–	–	–	–	–	–	CH12_MID[6]
		CH12_MID[5]	CH12_MID[4]	CH12_MID[3]	CH12_MID[2]	CH12_MID[1]	CH12_MID[0]	CH12_RID[1]	CH12_RID[0]
	DMARS7	–	–	–	–	–	–	–	CH15_MID[6]
		CH15_MID[5]	CH15_MID[4]	CH15_MID[3]	CH15_MID[2]	CH15_MID[1]	CH15_MID[0]	CH15_RID[1]	CH15_RID[0]
		–	–	–	–	–	–	–	CH14_MID[6]
		CH14_MID[5]	CH14_MID[4]	CH14_MID[3]	CH14_MID[2]	CH14_MID[1]	CH14_MID[0]	CH14_RID[1]	CH14_RID[0]
マルチファンクションタイマパルスユニット2	TCR_0	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_0	–	BFE	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_0	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_0	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_0	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_0	–	–	–	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_0								
	TGRA_0								
	TGRB_0								
	TGRC_0								
	TGRD_0								
	TGRE_0								
	TGRF_0								
	TIER2_0	TTGE2	–	–	–	–	–	TGIEF	TGIEE
	TSR2_0	–	–	–	–	–	–	TGFF	TGFE
	TBTM_0	–	–	–	–	–	TTSE	TTSB	TTSA
	TCR_1	–	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_1	–	–	–	–	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_1	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_1	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA
	TSR_1	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA
	TCNT_1								
	TGRA_1								
	TGRB_1								
	TICCR	–	–	–	–	I2BE	I2AE	I1BE	I1AE
	TCR_2	–	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_2	–	–	–	–	MD[3]	MD[2]	MD[1]	MD[0]
	TIOR_2	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIER_2	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA
	TSR_2	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA
	TCNT_2								
	TGRA_2								
	TGRB_2								
	TCR_3	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_3	–	–	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
マルチファンクションタイマパルスユニット2	TIORH_3	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_3	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_3	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_3	TCFD	–	–	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_3								
	TGRA_3								
	TGRB_3								
	TGRC_3								
	TGRD_3								
	TBTM_3	–	–	–	–	–	–	TTSB	TTSA
	TCR_4	CCLR[2]	CCLR[1]	CCLR[0]	CKEG[1]	CKEG[0]	TPSC[2]	TPSC[1]	TPSC[0]
	TMDR_4	–	–	BFB	BFA	MD[3]	MD[2]	MD[1]	MD[0]
	TIORH_4	IOB[3]	IOB[2]	IOB[1]	IOB[0]	IOA[3]	IOA[2]	IOA[1]	IOA[0]
	TIORL_4	IOD[3]	IOD[2]	IOD[1]	IOD[0]	IOC[3]	IOC[2]	IOC[1]	IOC[0]
	TIER_4	TTGE	TTGE2	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
	TSR_4	TCFD	–	–	TCFV	TGFD	TGFC	TGFB	TGFA
	TCNT_4								
	TGRA_4								
	TGRB_4								
	TGRC_4								
	TGRD_4								
	TBTM_4	–	–	–	–	–	–	TTSB	TTSA
	TADCR	BF[1]	BF[0]	–	–	–	–	–	–
		UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
	TADCORA_4								
	TADCORB_4								
	TADCOBRA_4								
	TADCOBRB_4								
	TSTR	CST4	CST3	–	–	–	CST2	CST1	CST0
	TSYR	SYNC4	SYNC3	–	–	–	SYNC2	SYNC1	SYNC0
	TRWER	–	–	–	–	–	–	–	RWE
	TOER	–	–	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B
	TOCR1	–	PSYE	–	–	TOCL	TOCS	OLSN	OLSP
	TOCR2	BF[1]	BF[0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
	TGCR	–	BDC	N	P	FB	WF	VF	UF
	TCDR								
	TDDR								
	TCNTS								
	TCBR								

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
マルチファンクションタイマパルスユニット2	TITCR	T3AEN	3ACOR[2]	3ACOR[1]	3ACOR[0]	T4VEN	4VCOR[2]	4VCOR[1]	4VCOR[0]
	TITCNT	–	3ACNT[2]	3ACNT[1]	3ACNT[0]	–	4VCNT[2]	4VCNT[1]	4VCNT[0]
	TBTER	–	–	–	–	–	–	BTE[1]	BTE[0]
	TDER	–	–	–	–	–	–	–	TDER
	TWCR	CCE	–	–	–	–	–	–	WRE
	TOLBR	–	–	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
OSタイマ	OSTM0CMP	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	OSTM0CNT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	OSTM0TE	–	–	–	–	–	–	–	OSTM0TE
	OSTM0TS	–	–	–	–	–	–	–	OSTM0TS
	OSTM0TT	–	–	–	–	–	–	–	OSTM0TT
	OSTM0CTL	–	–	–	–	–	–	OSTM0MD1	OSTM0MD0
	OSTM1CMP	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	OSTM1CNT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	OSTM1TE	–	–	–	–	–	–	–	OSTM1TE
	OSTM1TS	–	–	–	–	–	–	–	OSTM1TS
	OSTM1TT	–	–	–	–	–	–	–	OSTM1TT
	OSTM1CTL	–	–	–	–	–	–	OSTM1MD1	OSTM1MD0
ウォッチドッグタイマ	WTCNT								
	WTCSR	IOVF	WT/$\overline{IT}$	TME	–	–	CKS[2]	CKS[1]	CKS[0]
	WRCSR	WOVF	RSTE	–	–	–	–	–	–
リアルタイムクロック	R64CNT	–	1Hz	2Hz	4Hz	8Hz	16Hz	32Hz	64Hz
	RSECCNT	–	10 秒 [2]	10 秒 [1]	10 秒 [0]	1 秒 [3]	1 秒 [2]	1 秒 [1]	1 秒 [0]
	RMINCNT	–	10 分 [2]	10 分 [1]	10 分 [0]	1 分 [3]	1 分 [2]	1 分 [1]	1 分 [0]
	RHRCNT	–	–	10 時間 [1]	10 時間 [0]	1 時間 [3]	1 時間 [2]	1 時間 [1]	1 時間 [0]
	RWKCNT	–	–	–	–	–	曜日 [2]	曜日 [1]	曜日 [0]
	RDAYCNT	–	–	10 日 [1]	10 日 [0]	1 日 [3]	1 日 [2]	1 日 [1]	1 日 [0]
	RMONCNT	–	–	–	10 月	1 月 [3]	1 月 [2]	1 月 [1]	1 月 [0]
	RYRCNT	1000 年 [3]	1000 年 [2]	1000 年 [1]	1000 年 [0]	100 年 [3]	100 年 [2]	100 年 [1]	100 年 [0]
		10 年 [3]	10 年 [2]	10 年 [1]	10 年 [0]	1 年 [3]	1 年 [2]	1 年 [1]	1 年 [0]
	RSECAR	ENB	10 秒 [2]	10 秒 [1]	10 秒 [0]	1 秒 [3]	1 秒 [2]	1 秒 [1]	1 秒 [0]
	RMINAR	ENB	10 分 [2]	10 分 [1]	10 分 [0]	1 分 [3]	1 分 [2]	1 分 [1]	1 分 [0]
	RHRAR	ENB	–	10 時間 [1]	10 時間 [0]	1 時間 [3]	1 時間 [2]	1 時間 [1]	1 時間 [0]
	RWKAR	ENB	–	–	–	–	曜日 [2]	曜日 [1]	曜日 [0]
	RDAYAR	ENB	–	10 日 [1]	10 日 [0]	1 日 [3]	1 日 [2]	1 日 [1]	1 日 [0]
	RMONAR	ENB	–	–	10 月	1 月 [3]	1 月 [2]	1 月 [1]	1 月 [0]
	RYRAR	1000 年 [3]	1000 年 [2]	1000 年 [1]	1000 年 [0]	100 年 [3]	100 年 [2]	100 年 [1]	100 年 [0]
		10 年 [3]	10 年 [2]	10 年 [1]	10 年 [0]	1 年 [3]	1 年 [2]	1 年 [1]	1 年 [0]
	RCR1	CF	–	–	CIE	AIE	–	–	AF
	RCR2	PEF	PES[2]	PES[1]	PES[0]	RTCEN	ADJ	RESET	START
	RCR3	ENB	–	–	–	–	–	–	–
	RCR5	–	–	–	–	–	–	RCKSEL[1]	RCKSEL[0]
	RFRH	SEL64	–	–	–	–	–	–	–
		–	–	–	–	–	RFC[18]	RFC[17]	RFC[16]
	RFRL	RFC[15]	RFC[14]	RFC[13]	RFC[12]	RFC[11]	RFC[10]	RFC[9]	RFC[8]
		RFC[7]	RFC[6]	RFC[5]	RFC[4]	RFC[3]	RFC[2]	RFC[1]	RFC[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
FIFO内蔵シリアルコミュニケーションユニット	SCSMR_0	–	–	–	–	–	–	–	–
		C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	–	CKS[1]	CKS[0]
	SCBRR_0								
	SCSCR_0	–	–	–	–	–	–	–	–
		TIE	RIE	TE	RE	REIE	–	CKE[1]	CKE[0]
	SCFTDR_0								
	SCFSR_0	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_0								
	SCFCR_0	–	–	–	–	–	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_0	–	–	–	T[4]	T[3]	T[2]	T[1]	T[0]
		–	–	–	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_0	–	–	–	–	–	–	–	–
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ORER
	SCEMR_0	–	–	–	–	–	–	–	–
		BGDM	–	–	–	–	–	–	ABCS
	SCSMR_1	–	–	–	–	–	–	–	–
		C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	–	CKS[1]	CKS[0]
	SCBRR_1								
	SCSCR_1	–	–	–	–	–	–	–	–
		TIE	RIE	TE	RE	REIE	–	CKE[1]	CKE[0]
	SCFTDR_1								
	SCFSR_1	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_1								
	SCFCR_1	–	–	–	–	–	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_1	–	–	–	T[4]	T[3]	T[2]	T[1]	T[0]
		–	–	–	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_1	–	–	–	–	–	–	–	–
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ORER
	SCEMR_1	–	–	–	–	–	–	–	–
		BGDM	–	–	–	–	–	–	ABCS
	SCSMR_2	–	–	–	–	–	–	–	–
		C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	–	CKS[1]	CKS[0]
	SCBRR_2								
	SCSCR_2	–	–	–	–	–	–	–	–
		TIE	RIE	TE	RE	REIE	–	CKE[1]	CKE[0]
	SCFTDR_2								
	SCFSR_2	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_2								
	SCFCR_2	–	–	–	–	–	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_2	–	–	–	T[4]	T[3]	T[2]	T[1]	T[0]
		–	–	–	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_2	–	–	–	–	–	–	–	–
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ORER
	SCEMR_2	–	–	–	–	–	–	–	–
		BGDM	–	–	–	–	–	–	ABCS
	SCSMR_3	–	–	–	–	–	–	–	–
		C/$\overline{A}$	CHR	PE	O/$\overline{E}$	STOP	–	CKS[1]	CKS[0]
	SCBRR_3								

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
FIFO内蔵シリアルコミュニケーションユニット	SCSCR_3	–	–	–	–	–	–	–	–
		TIE	RIE	TE	RE	REIE	–	CKE[1]	CKE[0]
	SCFTDR_3								
	SCFSR_3	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_3								
	SCFCR_3	–	–	–	–	–	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_3	–	–	–	T[4]	T[3]	T[2]	T[1]	T[0]
		–	–	–	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_3	–	–	–	–	–	–	–	–
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ORER
	SCEMR_3	–	–	–	–	–	–	–	–
		BGDM	–	–	–	–	–	–	ABCS
	SCSMR_4	–	–	–	–	–	–	–	–
		$\overline{C/A}$	CHR	PE	$\overline{O/E}$	STOP	–	CKS[1]	CKS[0]
	SCBRR_4								
	SCSCR_4	–	–	–	–	–	–	–	–
		TIE	RIE	TE	RE	REIE	–	CKE[1]	CKE[0]
	SCFTDR_4								
	SCFSR_4	PER[3]	PER[2]	PER[1]	PER[0]	FER[3]	FER[2]	FER[1]	FER[0]
		ER	TEND	TDFE	BRK	FER	PER	RDF	DR
	SCFRDR_4								
	SCFCR_4	–	–	–	–	–	RSTRG[2]	RSTRG[1]	RSTRG[0]
		RTRG[1]	RTRG[0]	TTRG[1]	TTRG[0]	MCE	TFRST	RFRST	LOOP
	SCFDR_4	–	–	–	T[4]	T[3]	T[2]	T[1]	T[0]
		–	–	–	R[4]	R[3]	R[2]	R[1]	R[0]
	SCSPTR_4	–	–	–	–	–	–	–	–
		RTSIO	RTSDT	CTSIO	CTSDT	SCKIO	SCKDT	SPB2IO	SPB2DT
	SCLSR_4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ORER
	SCEMR_4	–	–	–	–	–	–	–	–
		BGDM	–	–	–	–	–	–	ABCS
シリアルコミュニケーションインタフェース	SMR0	CM	CHR	PE	PM	STOP	MP	CKS[1]	CKS[0]
	SMR0	GM	BLK	PE	PM	BCP[1]	BCP[0]	CKS[1]	CKS[0]
	BRR0	BRR[7]	BRR[6]	BRR[5]	BRR[4]	BRR[3]	BRR[2]	BRR[1]	BRR[0]
	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1]	CKE[0]
	TDR0	TDR[7]	TDR[6]	TDR[5]	TDR[4]	TDR[3]	TDR[2]	TDR[1]	TDR[0]
	SSR0	–	–	ORER	FER	PER	TEND	MPB	MPBT
	SSR0	–	–	ORER	ERS	PER	TEND	MPB	MPBT
	RDR0	RDR[7]	RDR[6]	RDR[5]	RDR[4]	RDR[3]	RDR[2]	RDR[1]	RDR[0]
	SCMR0	BCP2	–	–	–	SDIR	SINV	–	SMIF
	SEMR0	–	–	NFEN	ABCS	–	–	–	–
	SNFR0	–	–	–	–	–	NFCS[2]	NFCS[1]	NFCS[0]
	SECR0	–	–	–	–	–	–	CTSE	–
	SMR1	CM	CHR	PE	PM	STOP	MP	CKS[1]	CKS[0]
	SMR1	GM	BLK	PE	PM	BCP[1]	BCP[0]	CKS[1]	CKS[0]
	BRR1	BRR[7]	BRR[6]	BRR[5]	BRR[4]	BRR[3]	BRR[2]	BRR[1]	BRR[0]
	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE[1]	CKE[0]
	TDR1	TDR[7]	TDR[6]	TDR[5]	TDR[4]	TDR[3]	TDR[2]	TDR[1]	TDR[0]
	SSR1	–	–	ORER	FER	PER	TEND	MPB	MPBT
	SSR1	–	–	ORER	ERS	PER	TEND	MPB	MPBT
	RDR1	RDR[7]	RDR[6]	RDR[5]	RDR[4]	RDR[3]	RDR[2]	RDR[1]	RDR[0]
	SCMR1	BCP2	–	–	–	SDIR	SINV	–	SMIF
	SEMR1	–	–	NFEN	ABCS	–	–	–	–
	SNFR1	–	–	–	–	–	NFCS[2]	NFCS[1]	NFCS[0]
	SECR1	–	–	–	–	–	–	CTSE	–
	IRCR	IRE	IRCKS[2]	IRCKS[1]	IRCKS[0]	IRTXINV	IRRXINV	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ルネサスシリアルペリフェラルインタフェース	SPCR_0	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	-
	SSLP_0	-	-	-	-	-	-	-	SSL0P
	SPPCR_0	-	-	MOIFE	MOIFV	-	-	-	SPLP
	SPSR_0	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
	SPDR_0	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_0	-	-	-	-	-	-	SPSLN1	SPSLN0
	SPSSR_0	-	-	-	-	-	-	SPCP1	SPCP0
	SPBR_0	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_0	TXDMY	SPLW1	SPLW0	-	-	-	-	-
	SPCKD_0	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
	SSLND_0	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
	SPND_0	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
	SPCMD0_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD1_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD2_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD3_0	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPBFCR_0	TXRST	RXRST	TXTRG[1]	TXTRG[0]	-	RXTRG[2]	RXTRG[1]	RXTRG[0]
	SPBFDR_0	-	-	-	-	T[3]	T[2]	T[1]	T[0]
		-	-	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]
	SPCR_1	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	-
	SSLP_1	-	-	-	-	-	-	-	SSL0P
	SPPCR_1	-	-	MOIFE	MOIFV	-	-	-	SPLP
	SPSR_1	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
	SPDR_1	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0
	SPSCR_1	-	-	-	-	-	-	SPSLN1	SPSLN0
	SPSSR_1	-	-	-	-	-	-	SPCP1	SPCP0
	SPBR_1	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_1	TXDMY	SPLW1	SPLW0	-	-	-	-	-
	SPCKD_1	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
	SSLND_1	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
	SPND_1	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
	SPCMD0_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD1_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD2_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD3_1	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPBFCR_1	TXRST	RXRST	TXTRG[1]	TXTRG[0]	-	RXTRG[2]	RXTRG[1]	RXTRG[0]
	SPBFDR_1	-	-	-	-	T[3]	T[2]	T[1]	T[0]
		-	-	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]
	SPCR_2	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	-	-
	SSLP_2	-	-	-	-	-	-	-	SSL0P
	SPPCR_2	-	-	MOIFE	MOIFV	-	-	-	SPLP
	SPSR_2	SPRF	TEND	SPTEF	-	-	MODF	-	OVRF
	SPDR_2	SPD31	SPD30	SPD29	SPD28	SPD27	SPD26	SPD25	SPD24
		SPD23	SPD22	SPD21	SPD20	SPD19	SPD18	SPD17	SPD16
		SPD15	SPD14	SPD13	SPD12	SPD11	SPD10	SPD9	SPD8
		SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ルネサスシリアルペリフェラルインタフェース	SPSCR_2	-	-	-	-	-	-	SPSLN1	SPSLN0
	SPSSR_2	-	-	-	-	-	-	SPCP1	SPCP0
	SPBR_2	SPR7	SPR6	SPR5	SPR4	SPR3	SPR2	SPR1	SPR0
	SPDCR_2	TXDMY	SPLW1	SPLW0	-	-	-	-	-
	SPCKD_2	-	-	-	-	-	SCKDL2	SCKDL1	SCKDL0
	SSLND_2	-	-	-	-	-	SLNDL2	SLNDL1	SLNDL0
	SPND_2	-	-	-	-	-	SPNDL2	SPNDL1	SPNDL0
	SPCMD0_2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD1_2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD2_2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPCMD3_2	SCKDEN	SLNDEN	SPNDEN	LSBF	SPB3	SPB2	SPB1	SPB0
		SSLKP	-	-	-	BRDV1	BRDV0	CPOL	CPHA
	SPBFCR_2	TXRST	RXRST	TXTRG[1]	TXTRG[0]	-	RXTRG[2]	RXTRG[1]	RXTRG[0]
	SPBFDR_2	-	-	-	-	T[3]	T[2]	T[1]	T[0]
		-	-	R[5]	R[4]	R[3]	R[2]	R[1]	R[0]
SPIマルチI/Oバスコントローラ	CMNCR_0	MD	–	–	–	–	–	–	SFDE
		MOIIO3[1]	MOIIO3[0]	MOIIO2[1]	MOIIO2[0]	MOIIO1[1]	MOIIO1[0]	MOIIO0[1]	MOIIO0[0]
		IO3FV[1]	IO3FV[0]	IO2FV[1]	IO2FV[0]	–	–	IO0FV[1]	IO0FV[0]
		–	CPHAT	CPHAR	SSLP	CPOL	–	BSZ[1]	BSZ[0]
	SSLDR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	SPNDL[2]	SPNDL[1]	SPNDL[0]
		–	–	–	–	–	SLNDL[2]	SLNDL[1]	SLNDL[0]
		–	–	–	–	–	SCKDL[2]	SCKDL[1]	SCKDL[0]
	SPBCR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SPBR[7]	SPBR[6]	SPBR[5]	SPBR[4]	SPBR[3]	SPBR[2]	SPBR[1]	SPBR[0]
		–	–	–	–	–	–	BRDV[1]	BRDV[0]
	DRCR_0	–	–	–	–	–	–	–	SSLN
		–	–	–	–	RBURST[3]	RBURST[2]	RBURST[1]	RBURST[0]
		–	–	–	–	–	–	RCF	RBE
		–	–	–	–	–	–	–	SSLE
	DRCMR_0	–	–	–	–	–	–	–	–
		CMD[7]	CMD[6]	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		–	–	–	–	–	–	–	–
		OCMD[7]	OCMD[6]	OCMD[5]	OCMD[4]	OCMD[3]	OCMD[2]	OCMD[1]	OCMD[0]
	DREAR_0	–	–	–	–	–	–	–	–
		EAV[7]	EAV[6]	EAV[5]	EAV[4]	EAV[3]	EAV[2]	EAV[1]	EAV[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	EAC[2]	EAC[1]	EAC[0]
	DROPR_0	OPD3[7]	OPD3[6]	OPD3[5]	OPD3[4]	OPD3[3]	OPD3[2]	OPD3[1]	OPD3[0]
		OPD2[7]	OPD2[6]	OPD2[5]	OPD2[4]	OPD2[3]	OPD2[2]	OPD2[1]	OPD2[0]
		OPD1[7]	OPD1[6]	OPD1[5]	OPD1[4]	OPD1[3]	OPD1[2]	OPD1[1]	OPD1[0]
		OPD0[7]	OPD0[6]	OPD0[5]	OPD0[4]	OPD0[3]	OPD0[2]	OPD0[1]	OPD0[0]
	DRENR_0	CDB[1]	CDB[0]	OCDB[1]	OCDB[0]	–	–	ADB[1]	ADB[0]
		–	–	OPDB[1]	OPDB[0]	–	–	DRDB[1]	DRDB[0]
		DME	CDE	–	OCDE	ADE[3]	ADE[2]	ADE[1]	ADE[0]
		OPDE[3]	OPDE[2]	OPDE[1]	OPDE[0]	–	–	–	–
	SMCR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SSLKP
		–	–	–	–	–	SPIRE	SPIWE	SPIE
	SMCMR_0	–	–	–	–	–	–	–	–
		CMD[7]	CMD[6]	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		–	–	–	–	–	–	–	–
		OCMD[7]	OCMD[6]	OCMD[5]	OCMD[4]	OCMD[3]	OCMD[2]	OCMD[1]	OCMD[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SPIマルチI/Oバスコントローラ	SMADR_0	ADR[31]	ADR[30]	ADR[29]	ADR[28]	ADR[27]	ADR[26]	ADR[25]	ADR[24]
		ADR[23]	ADR[22]	ADR[21]	ADR[20]	ADR[19]	ADR[18]	ADR[17]	ADR[16]
		ADR[15]	ADR[14]	ADR[13]	ADR[12]	ADR[11]	ADR[10]	ADR[9]	ADR[8]
		ADR[7]	ADR[6]	ADR[5]	ADR[4]	ADR[3]	ADR[2]	ADR[1]	ADR[0]
	SMOPR_0	OPD3[7]	OPD3[6]	OPD3[5]	OPD3[4]	OPD3[3]	OPD3[2]	OPD3[1]	OPD3[0]
		OPD2[7]	OPD2[6]	OPD2[5]	OPD2[4]	OPD2[3]	OPD2[2]	OPD2[1]	OPD2[0]
		OPD1[7]	OPD1[6]	OPD1[5]	OPD1[4]	OPD1[3]	OPD1[2]	OPD1[1]	OPD1[0]
		OPD0[7]	OPD0[6]	OPD0[5]	OPD0[4]	OPD0[3]	OPD0[2]	OPD0[1]	OPD0[0]
	SMENR_0	CDB[1]	CDB[0]	OCDB[1]	OCDB[0]	–	–	ADB[1]	ADB[0]
		–	–	OPDB[1]	OPDB[0]	–	–	SPIDB[1]	SPIDB[0]
		DME	CDE	–	OCDE	ADE[3]	ADE[2]	ADE[1]	ADE[0]
		OPDE[3]	OPDE[2]	OPDE[1]	OPDE[0]	SPIDE[3]	SPIDE[2]	SPIDE[1]	SPIDE[0]
	SMRDR0_0	RDATA0[31]	RDATA0[30]	RDATA0[29]	RDATA0[28]	RDATA0[27]	RDATA0[26]	RDATA0[25]	RDATA0[24]
		RDATA0[23]	RDATA0[22]	RDATA0[21]	RDATA0[20]	RDATA0[19]	RDATA0[18]	RDATA0[17]	RDATA0[16]
		RDATA0[15]	RDATA0[14]	RDATA0[13]	RDATA0[12]	RDATA0[11]	RDATA0[10]	RDATA0[9]	RDATA0[8]
		RDATA0[7]	RDATA0[6]	RDATA0[5]	RDATA0[4]	RDATA0[3]	RDATA0[2]	RDATA0[1]	RDATA0[0]
	SMRDR1_0	RDATA1[31]	RDATA1[30]	RDATA1[29]	RDATA1[28]	RDATA1[27]	RDATA1[26]	RDATA1[25]	RDATA1[24]
		RDATA1[23]	RDATA1[22]	RDATA1[21]	RDATA1[20]	RDATA1[19]	RDATA1[18]	RDATA1[17]	RDATA1[16]
		RDATA1[15]	RDATA1[14]	RDATA1[13]	RDATA1[12]	RDATA1[11]	RDATA1[10]	RDATA1[9]	RDATA1[8]
		RDATA1[7]	RDATA1[6]	RDATA1[5]	RDATA1[4]	RDATA1[3]	RDATA1[2]	RDATA1[1]	RDATA1[0]
	SMWDR0_0	WDATA0[31]	WDATA0[30]	WDATA0[29]	WDATA0[28]	WDATA0[27]	WDATA0[26]	WDATA0[25]	WDATA0[24]
		WDATA0[23]	WDATA0[22]	WDATA0[21]	WDATA0[20]	WDATA0[19]	WDATA0[18]	WDATA0[17]	WDATA0[16]
		WDATA0[15]	WDATA0[14]	WDATA0[13]	WDATA0[12]	WDATA0[11]	WDATA0[10]	WDATA0[9]	WDATA0[8]
		WDATA0[7]	WDATA0[6]	WDATA0[5]	WDATA0[4]	WDATA0[3]	WDATA0[2]	WDATA0[1]	WDATA0[0]
	SMWDR1_0	WDATA1[31]	WDATA1[30]	WDATA1[29]	WDATA1[28]	WDATA1[27]	WDATA1[26]	WDATA1[25]	WDATA1[24]
		WDATA1[23]	WDATA1[22]	WDATA1[21]	WDATA1[20]	WDATA1[19]	WDATA1[18]	WDATA1[17]	WDATA1[16]
		WDATA1[15]	WDATA1[14]	WDATA1[13]	WDATA1[12]	WDATA1[11]	WDATA1[10]	WDATA1[9]	WDATA1[8]
		WDATA1[7]	WDATA1[6]	WDATA1[5]	WDATA1[4]	WDATA1[3]	WDATA1[2]	WDATA1[1]	WDATA1[0]
	CMNSR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	SSLF	TEND
	CKDLY_0 注2)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		GB[7]	GB[6]	GB[5]	GB[4]	GB[3]	GB[2]	GB[1]	GB[0]
		–	–	–	–	CKDLY[3]	CKDLY[2]	CKDLY[1]	CKDLY[0]
	DRDMCR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	DMDB[1]	DMDB[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	DMCYC[2]	DMCYC[1]	DMCYC[0]
	DRDRENR_0 注2)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ADDRE
		–	–	–	OPDRE	–	–	–	DRDRE
	SMDMCR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	DMDB[1]	DMDB[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	DMCYC[2]	DMCYC[1]	DMCYC[0]
	SMDRENR_0 注2)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ADDRE
		–	–	–	OPDRE	–	–	–	SPIDRE
	SPODLY_0 注2)	GB[7]	GB[6]	GB[5]	GB[4]	GB[3]	GB[2]	GB[1]	GB[0]
		–	–	–	–	–	–	–	–
		SPODLY[15]	SPODLY[14]	SPODLY[13]	SPODLY[12]	SPODLY[11]	SPODLY[10]	SPODLY[9]	SPODLY[8]
		SPODLY[7]	SPODLY[6]	SPODLY[5]	SPODLY[4]	SPODLY[3]	SPODLY[2]	SPODLY[1]	SPODLY[0]
I2Cバスインタフェース	RIIC0CR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
	RIIC0CR2	BBSY	MST	TRS	–	SP	RS	ST	–
	RIIC0MR1	–	CKS[2]	CKS[1]	CKS[0]	BCWP	BC[2]	BC[1]	BC[0]
	RIIC0MR2	DLCS	SDDL[2]	SDDL[1]	SDDL[0]	–	TMOH	TMOL	TMOS

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
I2Cバスインタフェース	RIIC0MR3	SMBE	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1]	NF[0]
	RIIC0FER	–	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
	RIIC0SER	HOAE	–	DIDE	–	GCE	SAR2	SAR1	SAR0
	RIIC0IER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
	RIIC0SR1	HOA	–	DID	–	GCA	AAS2	AAS1	AAS0
	RIIC0SR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
	RIIC0SAR0	FS0	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC0SAR1	FS1	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC0SAR2	FS2	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC0BRL	–	–	–	BRL[4]	BRL[3]	BRL[2]	BRL[1]	BRL[0]
	RIIC0BRH	–	–	–	BRH[4]	BRH[3]	BRH[2]	BRH[1]	BRH[0]
	RIIC0DRT	DRT[7]	DRT[6]	DRT[5]	DRT[4]	DRT[3]	DRT[2]	DRT[1]	DRT[0]
	RIIC0DRR	DRR[7]	DRR[6]	DRR[5]	DRR[4]	DRR[3]	DRR[2]	DRR[1]	DRR[0]
	RIIC1CR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
	RIIC1CR2	BBSY	MST	TRS	–	SP	RS	ST	–
	RIIC1MR1	–	CKS[2]	CKS[1]	CKS[0]	BCWP	BC[2]	BC[1]	BC[0]
	RIIC1MR2	DLCS	SDDL[2]	SDDL[1]	SDDL[0]	–	TMOH	TMOL	TMOS
	RIIC1MR3	SMBE	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1]	NF[0]
	RIIC1FER	–	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
	RIIC1SER	HOAE	–	DIDE	–	GCE	SAR2	SAR1	SAR0
	RIIC1IER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
	RIIC1SR1	HOA	–	DID	–	GCA	AAS2	AAS1	AAS0
	RIIC1SR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
	RIIC1SAR0	FS0	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC1SAR1	FS1	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC1SAR2	FS2	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC1BRL	–	–	–	BRL[4]	BRL[3]	BRL[2]	BRL[1]	BRL[0]
	RIIC1BRH	–	–	–	BRH[4]	BRH[3]	BRH[2]	BRH[1]	BRH[0]
	RIIC1DRT	DRT[7]	DRT[6]	DRT[5]	DRT[4]	DRT[3]	DRT[2]	DRT[1]	DRT[0]
	RIIC1DRR	DRR[7]	DRR[6]	DRR[5]	DRR[4]	DRR[3]	DRR[2]	DRR[1]	DRR[0]
	RIIC2CR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
	RIIC2CR2	BBSY	MST	TRS	–	SP	RS	ST	–
	RIIC2MR1	–	CKS[2]	CKS[1]	CKS[0]	BCWP	BC[2]	BC[1]	BC[0]
	RIIC2MR2	DLCS	SDDL[2]	SDDL[1]	SDDL[0]	–	TMOH	TMOL	TMOS
	RIIC2MR3	SMBE	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1]	NF[0]
	RIIC2FER	–	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
	RIIC2SER	HOAE	–	DIDE	–	GCE	SAR2	SAR1	SAR0
	RIIC2IER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
	RIIC2SR1	HOA	–	DID	–	GCA	AAS2	AAS1	AAS0
	RIIC2SR2	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
	RIIC2SAR0	FS0	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC2SAR1	FS1	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC2SAR2	FS2	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC2BRL	–	–	–	BRL[4]	BRL[3]	BRL[2]	BRL[1]	BRL[0]
	RIIC2BRH	–	–	–	BRH[4]	BRH[3]	BRH[2]	BRH[1]	BRH[0]
	RIIC2DRT	DRT[7]	DRT[6]	DRT[5]	DRT[4]	DRT[3]	DRT[2]	DRT[1]	DRT[0]
	RIIC2DRR	DRR[7]	DRR[6]	DRR[5]	DRR[4]	DRR[3]	DRR[2]	DRR[1]	DRR[0]
	RIIC3CR1	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
	RIIC3CR2	BBSY	MST	TRS	–	SP	RS	ST	–
	RIIC3MR1	–	CKS[2]	CKS[1]	CKS[0]	BCWP	BC[2]	BC[1]	BC[0]
	RIIC3MR2	DLCS	SDDL[2]	SDDL[1]	SDDL[0]	–	TMOH	TMOL	TMOS

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
I²Cバスインタフェース	RIIC3MR3	SMBE	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1]	NF[0]
	RIIC3FER	–	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
	RIIC3SER	HOAE	–	DIDE	–	GCE	SAR2	SAR1	SAR0
	RIIC3IER	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
	RIIC3SR1	HOA	–	DID	–	GCA	AAS2	AAS1	AAS0
	RIIC3SR2	TDRE	TEND	RDRF	NACKF	STOP	START	3AL	TMOF
	RIIC3SAR0	FS0	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC3SAR1	FS1	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC3SAR2	FS2	–	–	–	–	–	SVA[9]	SVA[8]
		SVA[7]	SVA[6]	SVA[5]	SVA[4]	SVA[3]	SVA[2]	SVA[1]	SVA0
	RIIC3BRL	–	–	–	BRL[4]	BRL[3]	BRL[2]	BRL[1]	BRL[0]
	RIIC3BRH	–	–	–	BRH[4]	BRH[3]	BRH[2]	BRH[1]	BRH[0]
	RIIC3DRT	DRT[7]	DRT[6]	DRT[5]	DRT[4]	DRT[3]	DRT[2]	DRT[1]	DRT[0]
	RIIC3DRR	DRR[7]	DRR[6]	DRR[5]	DRR[4]	DRR[3]	DRR[2]	DRR[1]	DRR[0]
シリアルサウンドインタフェース	SSICR_0	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	–
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	–	TEN	REN
	SSISR_0	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_0	–	–	–	–	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		–	–	–	–	–	–	–	TDE
		–	–	–	–	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		–	–	–	–	–	–	-	RDF
	SSIFTDR_0								
	SSIFRDR_0								
	SSITDMR_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	RXDMUTE	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSIFCCR_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FIEN
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FCEN
	SSIFCMR_0	-	-	MAXV[13]	MAXV[12]	MAXV[11]	MAXV[10]	MAXV[9]	MAXV[8]
		MAXV[7]	MAXV[6]	MAXV[5]	MAXV[4]	MAXV[3]	MAXV[2]	MAXV[1]	MAXV[0]
		-	-	MINV[13]	MINV[12]	MINV[11]	MINV[10]	MINV[9]	MINV[8]
		MINV[7]	MINV[6]	MINV[5]	MINV[4]	MINV[3]	MINV[2]	MINV[1]	MINV[0]
	SSIFCSR_0	-	-	-	-	-	-	-	FCIRQ
		-	-	-	-	-	-	-	-
		-	-	VALUE[13]	VALUE[12]	VALUE[11]	VALUE[10]	VALUE[9]	VALUE[8]
		VALUE[7]	VALUE[6]	VALUE[5]	VALUE[4]	VALUE[3]	VALUE[2]	VALUE[1]	VALUE[0]
	SSICR_1	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	–
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	–	TEN	REN

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
シリアルサウンドインタフェース	SSISR_1	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_1	–	–	–	–	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		–	–	–	–	–	–	–	TDE
		–	–	–	–	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		–	–	–	–	–	–	-	RDF
	SSIFTDR_1								
	SSIFRDR_1								
	SSITDMR_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	RXDMUTE	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSIFCCR_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FIEN
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FCEN
	SSIFCMR_1	-	-	MAXV[13]	MAXV[12]	MAXV[11]	MAXV[10]	MAXV[9]	MAXV[8]
		MAXV[7]	MAXV[6]	MAXV[5]	MAXV[4]	MAXV[3]	MAXV[2]	MAXV[1]	MAXV[0]
		-	-	MINV[13]	MINV[12]	MINV[11]	MINV[10]	MINV[9]	MINV[8]
		MINV[7]	MINV[6]	MINV[5]	MINV[4]	MINV[3]	MINV[2]	MINV[1]	MINV[0]
	SSIFCSR_1	-	-	-	-	-	-	-	FCIRQ
		-	-	-	-	-	-	-	-
		-	-	VALUE[13]	VALUE[12]	VALUE[11]	VALUE[10]	VALUE[9]	VALUE[8]
		VALUE[7]	VALUE[6]	VALUE[5]	VALUE[4]	VALUE[3]	VALUE[2]	VALUE[1]	VALUE[0]
	SSICR_2	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	–
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	–	TEN	REN
	SSISR_2	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_2	–	–	–	–	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		–	–	–	–	–	–	–	TDE
		–	–	–	–	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		–	–	–	–	–	–	-	RDF
	SSIFTDR_2								
	SSIFRDR_2								

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
シリアルサウンドインタフェース	SSITDMR_2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	RXDMUTE	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSIFCCR_2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FIEN
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FCEN
	SSIFCMR_2	-	-	MAXV[13]	MAXV[12]	MAXV[11]	MAXV[10]	MAXV[9]	MAXV[8]
		MAXV[7]	MAXV[6]	MAXV[5]	MAXV[4]	MAXV[3]	MAXV[2]	MAXV[1]	MAXV[0]
		-	-	MINV[13]	MINV[12]	MINV[11]	MINV[10]	MINV[9]	MINV[8]
		MINV[7]	MINV[6]	MINV[5]	MINV[4]	MINV[3]	MINV[2]	MINV[1]	MINV[0]
	SSIFCSR_2	-	-	-	-	-	-	-	FCIRQ
		-	-	-	-	-	-	-	-
		-	-	VALUE[13]	VALUE[12]	VALUE[11]	VALUE[10]	VALUE[9]	VALUE[8]
		VALUE[7]	VALUE[6]	VALUE[5]	VALUE[4]	VALUE[3]	VALUE[2]	VALUE[1]	VALUE[0]
	SSICR_3	-	CKS	TUIEN	TOIEN	RUIEN	ROIEN	IIEN	–
		CHNL[1]	CHNL[0]	DWL[2]	DWL[1]	DWL[0]	SWL[2]	SWL[1]	SWL[0]
		SCKD	SWSD	SCKP	SWSP	SPDP	SDTA	PDTA	DEL
		CKDV[3]	CKDV[2]	CKDV[1]	CKDV[0]	MUEN	–	TEN	REN
	SSISR_3	–	–	TUIRQ	TOIRQ	RUIRQ	ROIRQ	IIRQ	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	TCHNO[1]	TCHNO[0]	TSWNO	RCHNO[1]	RCHNO[0]	RSWNO	IDST
	SSIFCR_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TTRG[1]	TTRG[0]	RTRG[1]	RTRG[0]	TIE	RIE	TFRST	RFRST
	SSIFSR_3	–	–	–	–	TDC[3]	TDC[2]	TDC[1]	TDC[0]
		–	–	–	–	–	–	–	TDE
		–	–	–	–	RDC[3]	RDC[2]	RDC[1]	RDC[0]
		–	–	–	–	–	–	-	RDF
	SSIFTDR_3								
	SSIFRDR_3								
	SSITDMR_3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	RXDMUTE	-
		-	-	-	-	-	-	-	CONT
		-	-	-	-	-	-	-	TDM
	SSIFCCR_3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FIEN
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	FCEN
	SSIFCMR_3	-	-	MAXV[13]	MAXV[12]	MAXV[11]	MAXV[10]	MAXV[9]	MAXV[8]
		MAXV[7]	MAXV[6]	MAXV[5]	MAXV[4]	MAXV[3]	MAXV[2]	MAXV[1]	MAXV[0]
		-	-	MINV[13]	MINV[12]	MINV[11]	MINV[10]	MINV[9]	MINV[8]
		MINV[7]	MINV[6]	MINV[5]	MINV[4]	MINV[3]	MINV[2]	MINV[1]	MINV[0]
	SSIFCSR_3	-	-	-	-	-	-	-	FCIRQ
		-	-	-	-	-	-	-	-
		-	-	VALUE[13]	VALUE[12]	VALUE[11]	VALUE[10]	VALUE[9]	VALUE[8]
		VALUE[7]	VALUE[6]	VALUE[5]	VALUE[4]	VALUE[3]	VALUE[2]	VALUE[1]	VALUE[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	DCCR	MDE	LBM	MCS[1]	MCS[0]	M5PS	MLK	MLE	MHRE
		MRS	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MDA[8]	MDA[7]	MDA[6]	MDA[5]	MDA[4]	MDA[3]	MDA[2]	MDA[1]
	SSCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SSRE	SDMU	SDML	SDSC	SDCS	SDNU	SDNL	SDR
	SDCR	MSD[31]	MSD[30]	MSD[29]	MSD[28]	MSD[27]	MSD[26]	MSD[25]	MSD[24]
		MSD[23]	MSD[22]	MSD[21]	MSD[20]	MSD[19]	MSD[18]	MSD[17]	MSD[16]
		MSD[15]	MSD[14]	MSD[13]	MSD[12]	MSD[11]	MSD[10]	MSD[9]	MSD[8]
		MSD[7]	MSD[6]	MSD[5]	MSD[4]	MSD[3]	MSD[2]	MSD[1]	MSD[0]
	SMCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	SMMU	SMML	SMSC	SMCS	SMNU	SMNL	SMR
	VCCR	UMA[7]	UMA[6]	UMA[5]	UMA[4]	UMA[3]	UMA[2]	UMA[1]	UMA[0]
		UMI[7]	UMI[6]	UMI[5]	UMI[4]	UMI[3]	UMI[2]	UMI[1]	UMI[0]
		MMA[7]	MMA[6]	MMA[5]	MMA[4]	MMA[3]	MMA[2]	MMA[1]	MMA[0]
		MMI[7]	MMI[6]	MMI[5]	MMI[4]	MMI[3]	MMI[2]	MMI[1]	MMI[0]
	SBCR	SRBA[31]	SRBA[30]	SRBA[29]	SRBA[28]	SRBA[27]	SRBA[26]	SRBA[25]	SRBA[24]
		SRBA[23]	SRBA[22]	SRBA[21]	SRBA[20]	SRBA[19]	SRBA[18]	SRBA[17]	SRBA[16]
		STBA[31]	STBA[30]	STBA[29]	STBA[28]	STBA[27]	STBA[26]	STBA[25]	STBA[24]
		STBA[23]	STBA[22]	STBA[21]	STBA[20]	STBA[19]	STBA[18]	STBA[17]	STBA[16]
	ABCR	ARBA[31]	ARBA[30]	ARBA[29]	ARBA[28]	ARBA[27]	ARBA[26]	ARBA[25]	ARBA[24]
		ARBA[23]	ARBA[22]	ARBA[21]	ARBA[20]	ARBA[19]	ARBA[18]	ARBA[17]	ARBA[16]
		ATBA[31]	ATBA[30]	ATBA[29]	ATBA[28]	ATBA[27]	ATBA[26]	ATBA[25]	ATBA[24]
		ATBA[23]	ATBA[22]	ATBA[21]	ATBA[20]	ATBA[19]	ATBA[18]	ATBA[17]	ATBA[16]
	CBCR	CRBA[31]	CRBA[30]	CRBA[29]	CRBA[28]	CRBA[27]	CRBA[26]	CRBA[25]	CRBA[24]
		CRBA[23]	CRBA[22]	CRBA[21]	CRBA[20]	CRBA[19]	CRBA[18]	CRBA[17]	CRBA[16]
		CTBA[31]	CTBA[30]	CTBA[29]	CTBA[28]	CTBA[27]	CTBA[26]	CTBA[25]	CTBA[24]
		CTBA[23]	CTBA[22]	CTBA[21]	CTBA[20]	CTBA[19]	CTBA[18]	CTBA[17]	CTBA[16]
	IBCR	IRBA[31]	IRBA[30]	IRBA[29]	IRBA[28]	IRBA[27]	IRBA[26]	IRBA[25]	IRBA[24]
		IRBA[23]	IRBA[22]	IRBA[21]	IRBA[20]	IRBA[19]	IRBA[18]	IRBA[17]	IRBA[16]
		ITBA[31]	ITBA[30]	ITBA[29]	ITBA[28]	ITBA[27]	ITBA[26]	ITBA[25]	ITBA[24]
		ITBA[23]	ITBA[22]	ITBA[21]	ITBA[20]	ITBA[19]	ITBA[18]	ITBA[17]	ITBA[16]
	CICR	–	CnSU[30]	CnSU[29]	CnSU[28]	CnSU[27]	CnSU[26]	CnSU[25]	CnSU[24]
		CnSU[23]	CnSU[22]	CnSU[21]	CnSU[20]	CnSU[19]	CnSU[18]	CnSU[17]	CnSU[16]
		CnSU[15]	CnSU[14]	CnSU[13]	CnSU[12]	CnSU[11]	CnSU[10]	CnSU[9]	CnSU[8]
		CnSU[7]	CnSU[6]	CnSU[5]	CnSU[4]	CnSU[3]	CnSU[2]	CnSU[1]	CnSU[0]
	CECR0	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR0	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR0	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR0	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR1	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CSCR1	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR1	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR1	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR2	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR2	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR2	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR2	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR3	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR3	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR3	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR3	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR4	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR4	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR4	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR4	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CECR5	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR5	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR5	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR5	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR6	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR6	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR6	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR6	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR7	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR7	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR7	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR7	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR8	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR8	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR8	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CNBCR8	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR9	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR9	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR9	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR9	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR10	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR10	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR10	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR10	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR11	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR11	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR11	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR11	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR12	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CSCR12	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR12	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR12	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR13	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR13	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR13	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR13	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR14	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR14	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR14	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR14	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR15	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR15	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR15	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CNBCR15	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR16	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR16	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR16	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR16	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR17	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR17	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR17	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR17	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR18	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR18	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR18	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR18	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR19	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CSCR19	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR19	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR19	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR20	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR20	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR20	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR20	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR21	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR21	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR21	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR21	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR22	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR22	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR22	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CNBCR22	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR23	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR23	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR23	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR23	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR24	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR24	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR24	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR24	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR25	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR25	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR25	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR25	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR26	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CSCR26	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR26	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR26	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR27	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR27	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR27	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR27	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR28	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR28	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR28	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR28	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR29	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR29	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR29	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	CNBCR29	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	CECR30	CE	TR	CT[1]	CT[0]	PCE_FSE	MDS[1]	MDS[0]	–
		MASK[7]	MASK[6]	MASK[5]	MASK[4]	MASK[3]	MASK[2]	MASK[1]	MASK[0]
		FSCD	–	–	PCTH_FSPC[4]	PCTH_FSPC[3]	PCTH_FSPC[2]	PCTH_FSPC[1]	PCTH_FSPC[0]
		CA[8]	CA[7]	CA[6]	CA[5]	CA[4]	CA[3]	CA[2]	CA[1]
	CSCR30	BM	BF	–	–	–	–	–	–
		–	–	–	–	–	–	GB	RDY
		STS[15]	STS[14]	STS[13]	STS[12]	STS[11]	STS[10]	STS[9]	STS[8]
		STS[7]	STS[6]	STS[5]	STS[4]	STS[3]	STS[2]	STS[1]	STS[0]
	CCBCR30	BCA[15]	BCA[14]	BCA[13]	BCA[12]	BCA[11]	BCA[10]	BCA[9]	BCA[8]
		BCA[7]	BCA[6]	BCA[5]	BCA[4]	BCA[3]	BCA[2]	BCA[1]	BCA[0]
		BFA[15]	BFA[14]	BFA[13]	BFA[12]	BFA[11]	BFA[10]	BFA[9]	BFA[8]
		BFA[7]	BFA[6]	BFA[5]	BFA[4]	BFA[3]	BFA[2]	BFA[1]	BFA[0]
	CNBCR30	BSA[15]	BSA[14]	BSA[13]	BSA[12]	BSA[11]	BSA[10]	BSA[9]	BSA[8]
		BSA[7]	BSA[6]	BSA[5]	BSA[4]	BSA[3]	BSA[2]	–	–
		BEA[15]	BEA[14]	BEA[13]	BEA[12]	BEA[11]	BEA[10]	BEA[9]	BEA[8]
		BEA[7]	BEA[6]	BEA[5]	BEA[4]	BEA[3]	BEA[2]	BEA[1]	BEA[0]
	LCBCR0	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR1	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR2	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR3	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR4	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR5	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR6	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR7	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR8	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	LCBCR9	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR10	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR11	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR12	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR13	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR14	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR15	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR16	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR17	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR18	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR19	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR20	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR21	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR22	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
メディア・ローカル・バス 注1)	LCBCR23	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR24	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR25	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR26	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR27	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR28	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR29	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
	LCBCR30	TH[9]	TH[8]	TH[7]	TH[6]	TH[5]	TH[4]	TH[3]	TH[2]
		TH[1]	TH[0]	BD[8]	BD[7]	BD[6]	BD[5]	BD[4]	BD[3]
		BD[2]	BD[1]	BD[0]	SA[12]	SA[11]	SA[10]	SA[9]	SA[8]
		SA[7]	SA[6]	SA[5]	SA[4]	SA[3]	SA[2]	SA[1]	SA[0]
CANインタフェース	RSCAN0CmCFG (m=0、1)	–	–	–	–	–	–	SJW[1]	SJW[0]
		–	TSEG2[2]	TSEG2[1]	TSEG2[0]	TSEG1[3]	TSEG1[2]	TSEG1[1]	TSEG1[0]
		–	–	–	–	–	–	BRP[9]	BRP[8]
		BRP[7]	BRP[6]	BRP[5]	BRP[4]	BRP[3]	BRP[2]	BRP[1]	BRP[0]
	RSCAN0CmCTR (m=0、1)	–	–	–	–	–	CTMS[1]	CTMS[0]	CTME
		ERRD	BOM[1]	BOM[0]	–	–	–	–	TAIE
		ALIE	BLIE	OLIE	BORIE	BOEIE	EPIE	EWIE	BEIE
		–	–	–	–	RTBO	CSLPR	CHMDC[1]	CHMDC[0]
	RSCAN0CmSTS (m=0、1)	TEC[7]	TEC[6]	TEC[5]	TEC[4]	TEC[3]	TEC[2]	TEC[1]	TEC[0]
		REC[7]	REC[6]	REC[5]	REC[4]	REC[3]	REC[2]	REC[1]	REC[0]
		–	–	–	–	–	–	–	–
		COMSTS	RECSTS	TRMSTS	BOSTS	EPSTS	CSLPSTS	CHLTSTS	CRSTSTS
	RSCAN0CmERFL (m=0、1)	–	CRCREG[14]	CRCREG[13]	CRCREG[12]	CRCREG[11]	CRCREG[10]	CRCREG[9]	CRCREG[8]
		CRCREG[7]	CRCREG[6]	CRCREG[5]	CRCREG[4]	CRCREG[3]	CRCREG[2]	CRCREG[1]	CRCREG[0]
		–	ADERR	B0ERR	B1ERR	CERR	AERR	FERR	SERR
		ALF	BLF	OVLF	BORF	BOEF	EPF	EWF	BEF
	RSCAN0GCFG	ITRCP[15]	ITRCP[14]	ITRCP[13]	ITRCP[12]	ITRCP[11]	ITRCP[10]	ITRCP[9]	ITRCP[8]
		ITRCP[7]	ITRCP[6]	ITRCP[5]	ITRCP[4]	ITRCP[3]	ITRCP[2]	ITRCP[1]	ITRCP[0]
		TSBTCS[2]	TSBTCS[1]	TSBTCS[0]	TSSS	TSP[3]	TSP[2]	TSP[1]	TSP[0]
		–	–	–	DCS	MME	DRE	DCE	TPRI
	RSCAN0GCTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TSRST
		–	–	–	–	–	THLEIE	MEIE	DEIE
		–	–	–	–	–	GSLPR	GMDC[1]	GMDC[0]
	RSCAN0GSTS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	GRAMINIT	GSLPSTS	GHLTSTS	GRSTSTS

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
CANインタフェース	RSCAN0GERFL	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	THLES	MES	DEF
	RSCAN0GTSC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TS[15]	TS[14]	TS[13]	TS[12]	TS[11]	TS[10]	TS[9]	TS[8]
		TS[7]	TS[6]	TS[5]	TS[4]	TS[3]	TS[2]	TS[1]	TS[0]
	RSCAN0GAFLECTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	AFLDAE
		–	–	–	AFLPN[4]	AFLPN[3]	AFLPN[2]	AFLPN[1]	AFLPN[0]
	RSCAN0GAFLCFG0	RNC0[7]	RNC0[6]	RNC0[5]	RNC0[4]	RNC0[3]	RNC0[2]	RNC0[1]	RNC0[0]
		RNC1[7]	RNC1[6]	RNC1[5]	RNC1[4]	RNC1[3]	RNC1[2]	RNC1[1]	RNC1[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	RSCAN0RMNB	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		NRXMB[7]	NRXMB[6]	NRXMB[5]	NRXMB[4]	NRXMB[3]	NRXMB[2]	NRXMB[1]	NRXMB[0]
	RSCAN0RMND0	RMNS[31]	RMNS[30]	RMNS[29]	RMNS[28]	RMNS[27]	RMNS[26]	RMNS[25]	RMNS[24]
		RMNS[23]	RMNS[22]	RMNS[21]	RMNS[20]	RMNS[19]	RMNS[18]	RMNS[17]	RMNS[16]
		RMNS[15]	RMNS[14]	RMNS[13]	RMNS[12]	RMNS[11]	RMNS[10]	RMNS[9]	RMNS[8]
		RMNS[7]	RMNS[6]	RMNS[5]	RMNS[4]	RMNS[3]	RMNS[2]	RMNS[1]	RMNS[0]
	RSCAN0RFCCx (x=0～7)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		RFIGCV[2]	RFIGCV[1]	RFIGCV[0]	RFIM	–	RFDC[2]	RFDC[1]	RFDC[0]
		–	–	–	–	–	–	RFIE	RFE
	RSCAN0RFSTSx (x=0～7)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		RFMC[7]	RFMC[6]	RFMC[5]	RFMC[4]	RFMC[3]	RFMC[2]	RFMC[1]	RFMC[0]
		–	–	–	–	RFIF	RFMLT	RFFLL	RFEMP
	RSCAN0RFPCTRx (x=0～7)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		RFPC[7]	RFPC[6]	RFPC[5]	RFPC[4]	RFPC[3]	RFPC[2]	RFPC[1]	RFPC[0]
	RSCAN0CFCCk (k=0～5)	CFITT[7]	CFITT[6]	CFITT[5]	CFITT[4]	CFITT[3]	CFITT[2]	CFITT[1]	CFITT[0]
		CFTML[3]	CFTML[2]	CFTML[1]	CFTML[0]	CFITR	CFITSS	CFM[1]	CFM[0]
		CFIGCV[2]	CFIGCV[1]	CFIGCV[0]	CFIM	–	CFDC[2]	CFDC[1]	CFDC[0]
		–	–	–	–	–	CFTXIE	CFRXIE	CFE
	RSCAN0CFSTSk (k=0～5)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		CFMC[7]	CFMC[6]	CFMC[5]	CFMC[4]	CFMC[3]	CFMC[2]	CFMC[1]	CFMC[0]
		–	–	–	CFTXIF	CFRXIF	CFMLT	CFFLL	CFEMP
	RSCAN0CFPCTRk (k=0～5)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		CFPC[7]	CFPC[6]	CFPC[5]	CFPC[4]	CFPC[3]	CFPC[2]	CFPC[1]	CFPC[0]
	RSCAN0FESTS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	CF5EMP	CF4EMP	CF3EMP	CF2EMP	CF1EMP	CF0EMP
		RF7EMP	RF6EMP	RF5EMP	RF4EMP	RF3EMP	RF2EMP	RF1EMP	RF0EMP
	RSCAN0FFSTS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	CF5FLL	CF4FLL	CF3FLL	CF2FLL	CF1FLL	CF0FLL
		RF7FLL	RF6FLL	RF5FLL	RF4FLL	RF3FLL	RF2FLL	RF1FLL	RF0FLL
	RSCAN0FMSTS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	CF5MLT	CF4MLT	CF3MLT	CF2MLT	CF1MLT	CF0MLT
		RF7MLT	RF6MLT	RF5MLT	RF4MLT	RF3MLT	RF2MLT	RF1MLT	RF0MLT

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
CANインタフェース	RSCAN0RFISTS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		RF7IF	RF6IF	RF5IF	RF4IF	RF3IF	RF2IF	RF1IF	RF0IF
	RSCAN0CFRISTS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	CF5RXIF	CF4RXIF	CF3RXIF	CF2RXIF	CF1RXIF	CF0RXIF
	RSCAN0CFTISIS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	CF5TXIF	CF4TXIF	CF3TXIF	CF2TXIF	CF1TXIF	CF0TXIF
	RSCAN0TMCp (p=0～31)								
		–	–	–	–	–	TMOM	TMTAR	TMTR
	RSCAN0TMSTSp (p=0～31)								
		–	–	–	TMTARM	TMTRM	TMTRF[1]	TMTRF[0]	TMTSTS
	RSCAN0TMTRSTS0	TMTRSTS[31]	TMTRSTS[30]	TMTRSTS[29]	TMTRSTS[28]	TMTRSTS[27]	TMTRSTS[26]	TMTRSTS[25]	TMTRSTS[24]
		TMTRSTS[23]	TMTRSTS[22]	TMTRSTS[21]	TMTRSTS[20]	TMTRSTS[19]	TMTRSTS[18]	TMTRSTS[17]	TMTRSTS[16]
		TMTRSTS[15]	TMTRSTS[14]	TMTRSTS[13]	TMTRSTS[12]	TMTRSTS[11]	TMTRSTS[10]	TMTRSTS[9]	TMTRSTS[8]
		TMTRSTS[7]	TMTRSTS[6]	TMTRSTS[5]	TMTRSTS[4]	TMTRSTS[3]	TMTRSTS[2]	TMTRSTS[1]	TMTRSTS[0]
	RSCAN0TMTARSTS0	TMTARSTS[31]	TMTARSTS[30]	TMTARSTS[29]	TMTARSTS[28]	TMTARSTS[27]	TMTARSTS[26]	TMTARSTS[25]	TMTARSTS[24]
		TMTARSTS[23]	TMTARSTS[22]	TMTARSTS[21]	TMTARSTS[20]	TMTARSTS[19]	TMTARSTS[18]	TMTARSTS[17]	TMTARSTS[16]
		TMTARSTS[15]	TMTARSTS[14]	TMTARSTS[13]	TMTARSTS[12]	TMTARSTS[11]	TMTARSTS[10]	TMTARSTS[9]	TMTARSTS[8]
		TMTARSTS[7]	TMTARSTS[6]	TMTARSTS[5]	TMTARSTS[4]	TMTARSTS[3]	TMTARSTS[2]	TMTARSTS[1]	TMTARSTS[0]
	RSCAN0TMTCSTS0	TMTCSTS[31]	TMTCSTS[30]	TMTCSTS[29]	TMTCSTS[28]	TMTCSTS[27]	TMTCSTS[26]	TMTCSTS[25]	TMTCSTS[24]
		TMTCSTS[23]	TMTCSTS[22]	TMTCSTS[21]	TMTCSTS[20]	TMTCSTS[19]	TMTCSTS[18]	TMTCSTS[17]	TMTCSTS[16]
		TMTCSTS[15]	TMTCSTS[14]	TMTCSTS[13]	TMTCSTS[12]	TMTCSTS[11]	TMTCSTS[10]	TMTCSTS[9]	TMTCSTS[8]
		TMTCSTS[7]	TMTCSTS[6]	TMTCSTS[5]	TMTCSTS[4]	TMTCSTS[3]	TMTCSTS[2]	TMTCSTS[1]	TMTCSTS[0]
	RSCAN0TMTASTS0	TMTASTS[31]	TMTASTS[30]	TMTASTS[29]	TMTASTS[28]	TMTASTS[27]	TMTASTS[26]	TMTASTS[25]	TMTASTS[24]
		TMTASTS[23]	TMTASTS[22]	TMTASTS[21]	TMTASTS[20]	TMTASTS[19]	TMTASTS[18]	TMTASTS[17]	TMTASTS[16]
		TMTASTS[15]	TMTASTS[14]	TMTASTS[13]	TMTASTS[12]	TMTASTS[11]	TMTASTS[10]	TMTASTS[9]	TMTASTS[8]
		TMTASTS[7]	TMTASTS[6]	TMTASTS[5]	TMTASTS[4]	TMTASTS[3]	TMTASTS[2]	TMTASTS[1]	TMTASTS[0]
	RSCAN0TMIEC0	TMIE[31]	TMIE[30]	TMIE[29]	TMIE[28]	TMIE[27]	TMIE[26]	TMIE[25]	TMIE[24]
		TMIE[23]	TMIE[22]	TMIE[21]	TMIE[20]	TMIE[19]	TMIE[18]	TMIE[17]	TMIE[16]
		TMIE[15]	TMIE[14]	TMIE[13]	TMIE[12]	TMIE[11]	TMIE[10]	TMIE[9]	TMIE[8]
		TMIE[7]	TMIE[6]	TMIE[5]	TMIE[4]	TMIE[3]	TMIE[2]	TMIE[1]	TMIE[0]
	RSCAN0TXQCCm (m=0、1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	TXQIM	TXQIE	TXQDC[3]	TXQDC[2]	TXQDC[1]	TXQDC[0]
		–	–	–	–	–	–	–	TXQE
	RSCAN0TXQSTSm (m=0、1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	TXQIF	TXQFLL	TXQEMP
	RSCAN0TXQPCTRm (m=0、1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TXQPC[7]	TXQPC[6]	TXQPC[5]	TXQPC[4]	TXQPC[3]	TXQPC[2]	TXQPC[1]	TXQPC[0]
	RSCAN0THLCCm (m=0、1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	THLDTE	THLIM	THLIE
		–	–	–	–	–	–	–	THLE
	RSCAN0THLSTSm (m=0、1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	THLMC[4]	THLMC[3]	THLMC[2]	THLMC[1]	THLMC[0]
		–	–	–	–	THLIF	THLELT	THLFLL	THLEMP
	RSCAN0THLPCTRm (m=0、1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		THLPC[7]	THLPC[6]	THLPC[5]	THLPC[4]	THLPC[3]	THLPC[2]	THLPC[1]	THLPC[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
CANインタフェース	RSCAN0GTINTSTS0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	THIF1	CFTIF1	TQIF1	TAIF1	TSIF1
		–	–	–	THIF0	CFTIF0	TQIF0	TAIF0	TSIF0
	RSCAN0GTSTCFG	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	C1ICBCE	C0ICBCE
	RSCAN0GTSTCTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ICBCTME
	RSCAN0GLOCKK	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LOCK[15]	LOCK[14]	LOCK[13]	LOCK[12]	LOCK[11]	LOCK[10]	LOCK[9]	LOCK[8]
		LOCK[7]	LOCK[6]	LOCK[5]	LOCK[4]	LOCK[3]	LOCK[2]	LOCK[1]	LOCK[0]
	RSCAN0GAFLIDj (j=0～15)	GAFLIDE	GAFLRTR	GAFLLB	GAFLID[28]	GAFLID[27]	GAFLID[26]	GAFLID[25]	GAFLID[24]
		GAFLID[23]	GAFLID[22]	GAFLID[21]	GAFLID[20]	GAFLID[19]	GAFLID[18]	GAFLID[17]	GAFLID[16]
		GAFLID[15]	GAFLID[14]	GAFLID[13]	GAFLID[12]	GAFLID[11]	GAFLID[10]	GAFLID[9]	GAFLID[8]
		GAFLID[7]	GAFLID[6]	GAFLID[5]	GAFLID[4]	GAFLID[3]	GAFLID[2]	GAFLID[1]	GAFLID[0]
	RSCAN0GAFLMj (j=0～15)	GAFLIDEM	GAFLRTRM	–	GAFLIDM[28]	GAFLIDM[27]	GAFLIDM[26]	GAFLIDM[25]	GAFLIDM[24]
		GAFLIDM[23]	GAFLIDM[22]	GAFLIDM[21]	GAFLIDM[20]	GAFLIDM[19]	GAFLIDM[18]	GAFLIDM[17]	GAFLIDM[16]
		GAFLIDM[15]	GAFLIDM[14]	GAFLIDM[13]	GAFLIDM[12]	GAFLIDM[11]	GAFLIDM[10]	GAFLIDM[9]	GAFLIDM[8]
		GAFLIDM[7]	GAFLIDM[6]	GAFLIDM[5]	GAFLIDM[4]	GAFLIDM[3]	GAFLIDM[2]	GAFLIDM[1]	GAFLIDM[0]
	RSCAN0GAFLP0j (j=0～15)	GAFLDLC[3]	GAFLDLC[2]	GAFLDLC[1]	GAFLDLC[0]	GAFLPTR[11]	GAFLPTR[10]	GAFLPTR[9]	GAFLPTR[8]
		GAFLPTR[7]	GAFLPTR[6]	GAFLPTR[5]	GAFLPTR[4]	GAFLPTR[3]	GAFLPTR[2]	GAFLPTR[1]	GAFLPTR[0]
		GAFLRMV	GAFLRMDP[6]	GAFLRMDP[5]	GAFLRMDP[4]	GAFLRMDP[3]	GAFLRMDP[2]	GAFLRMDP[1]	GAFLRMDP[0]
		–	–	–	–	–	–	–	–
	RSCAN0GAFLP1j (j=0～15)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	GAFLFDP[13]	GAFLFDP[12]	GAFLFDP[11]	GAFLFDP[10]	GAFLFDP[9]	GAFLFDP[8]
		GAFLFDP[7]	GAFLFDP[6]	GAFLFDP[5]	GAFLFDP[4]	GAFLFDP[3]	GAFLFDP[2]	GAFLFDP[1]	GAFLFDP[0]
	RSCAN0RMIDq (q=0～31)	PMIDE	PMRTR	–	RMID[28]	RMID[27]	RMID[26]	RMID[25]	RMID[24]
		RMID[23]	RMID[22]	RMID[21]	RMID[20]	RMID[19]	RMID[18]	RMID[17]	RMID[16]
		RMID[15]	RMID[14]	RMID[13]	RMID[12]	RMID[11]	RMID[10]	RMID[9]	RMID[8]
		RMID[7]	RMID[6]	RMID[5]	RMID[4]	RMID[3]	RMID[2]	RMID[1]	RMID[0]
	RSCAN0RMPTRq (q=0～31)	RMDLC[3]	RMDLC[2]	RMDLC[1]	RMDLC[0]	RMPTR[11]	RMPTR[10]	RMPTR[9]	RMPTR[8]
		RMPTR[7]	RMPTR[6]	RMPTR[5]	RMPTR[4]	RMPTR[3]	RMPTR[2]	RMPTR[1]	RMPTR[0]
		RMTS[15]	RMTS[14]	RMTS[13]	RMTS[12]	RMTS[11]	RMTS[10]	RMTS[9]	RMTS[8]
		RMTS[7]	RMTS[6]	RMTS[5]	RMTS[4]	RMTS[3]	RMTS[2]	RMTS[1]	RMTS[0]
	RSCAN0RMDF0q (q=0～31)	RMDB3[7]	RMDB3[6]	RMDB3[5]	RMDB3[4]	RMDB3[3]	RMDB3[2]	RMDB3[1]	RMDB3[0]
		RMDB2[7]	RMDB2[6]	RMDB2[5]	RMDB2[4]	RMDB2[3]	RMDB2[2]	RMDB2[1]	RMDB2[0]
		RMDB1[7]	RMDB1[6]	RMDB1[5]	RMDB1[4]	RMDB1[3]	RMDB1[2]	RMDB1[1]	RMDB1[0]
		RMDB0[7]	RMDB0[6]	RMDB0[5]	RMDB0[4]	RMDB0[3]	RMDB0[2]	RMDB0[1]	RMDB0[0]
	RSCAN0RMDF1q (q=0～31)	RMDB7[7]	RMDB7[6]	RMDB7[5]	RMDB7[4]	RMDB7[3]	RMDB7[2]	RMDB7[1]	RMDB7[0]
		RMDB6[7]	RMDB6[6]	RMDB6[5]	RMDB6[4]	RMDB6[3]	RMDB6[2]	RMDB6[1]	RMDB6[0]
		RMDB5[7]	RMDB5[6]	RMDB5[5]	RMDB5[4]	RMDB5[3]	RMDB5[2]	RMDB5[1]	RMDB5[0]
		RMDB4[7]	RMDB4[6]	RMDB4[5]	RMDB4[4]	RMDB4[3]	RMDB4[2]	RMDB4[1]	RMDB4[0]
	RSCAN0RFIDx (x=0～7)	RFIDE	RFRTR	–	RFID[28]	RFID[27]	RFID[26]	RFID[25]	RFID[24]
		RFID[23]	RFID[22]	RFID[21]	RFID[20]	RFID[19]	RFID[18]	RFID[17]	RFID[16]
		RFID[15]	RFID[14]	RFID[13]	RFID[12]	RFID[11]	RFID[10]	RFID[9]	RFID[8]
		RFID[7]	RFID[6]	RFID[5]	RFID[4]	RFID[3]	RFID[2]	RFID[1]	RFID[0]
	RSCAN0RFPTRx (x=0～7)	RFDLC[3]	RFDLC[2]	RFDLC[1]	RFDLC[0]	RFPTR[11]	RFPTR[10]	RFPTR[9]	RFPTR[8]
		RFPTR[7]	RFPTR[6]	RFPTR[5]	RFPTR[4]	RFPTR[3]	RFPTR[2]	RFPTR[1]	RFPTR[0]
		RFTS[15]	RFTS[14]	RFTS[13]	RFTS[12]	RFTS[11]	RFTS[10]	RFTS[9]	RFTS[8]
		RFTS[7]	RFTS[6]	RFTS[5]	RFTS[4]	RFTS[3]	RFTS[2]	RFTS[1]	RFTS[0]
	RSCAN0RFDF0x (x=0～7)	RFDB3[7]	RFDB3[6]	RFDB3[5]	RFDB3[4]	RFDB3[3]	RFDB3[2]	RFDB3[1]	RFDB3[0]
		RFDB2[7]	RFDB2[6]	RFDB2[5]	RFDB2[4]	RFDB2[3]	RFDB2[2]	RFDB2[1]	RFDB2[0]
		RFDB1[7]	RFDB1[6]	RFDB1[5]	RFDB1[4]	RFDB1[3]	RFDB1[2]	RFDB1[1]	RFDB1[0]
		RFDB0[7]	RFDB0[6]	RFDB0[5]	RFDB0[4]	RFDB0[3]	RFDB0[2]	RFDB0[1]	RFDB0[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
CANインタフェース	RSCAN0RFDF1x (x=0～7)	RFDB7[7]	RFDB7[6]	RFDB7[5]	RFDB7[4]	RFDB7[3]	RFDB7[2]	RFDB7[1]	RFDB7[0]
		RFDB6[7]	RFDB6[6]	RFDB6[5]	RFDB6[4]	RFDB6[3]	RFDB6[2]	RFDB6[1]	RFDB6[0]
		RFDB5[7]	RFDB5[6]	RFDB5[5]	RFDB5[4]	RFDB5[3]	RFDB5[2]	RFDB5[1]	RFDB5[0]
		RFDB4[7]	RFDB4[6]	RFDB4[5]	RFDB4[4]	RFDB4[3]	RFDB4[2]	RFDB4[1]	RFDB4[0]
	RSCAN0CFIDk (k=0～5)	CFIDE	CFRTR	THLEN	CFID[28]	CFID[27]	CFID[26]	CFID[25]	CFID[24]
		CFID[23]	CFID[22]	CFID[21]	CFID[20]	CFID[19]	CFID[18]	CFID[17]	CFID[16]
		CFID[15]	CFID[14]	CFID[13]	CFID[12]	CFID[11]	CFID[10]	CFID[9]	CFID[8]
		CFID[7]	CFID[6]	CFID[5]	CFID[4]	CFID[3]	CFID[2]	CFID[1]	CFID[0]
	RSCAN0CFPTRk (k=0～5)	CFDLC[3]	CFDLC[2]	CFDLC[1]	CFDLC[0]	CFPTR[11]	CFPTR[10]	CFPTR[9]	CFPTR[8]
		CFPTR[7]	CFPTR[6]	CFPTR[5]	CFPTR[4]	CFPTR[3]	CFPTR[2]	CFPTR[1]	CFPTR[0]
		CFTS[15]	CFTS[14]	CFTS[13]	CFTS[12]	CFTS[11]	CFTS[10]	CFTS[9]	CFTS[8]
		CFTS[7]	CFTS[6]	CFTS[5]	CFTS[4]	CFTS[3]	CFTS[2]	CFTS[1]	CFTS[0]
	RSCAN0CFDF0k (k=0～5)	CFDB3[7]	CFDB3[6]	CFDB3[5]	CFDB3[4]	CFDB3[3]	CFDB3[2]	CFDB3[1]	CFDB3[0]
		CFDB2[7]	CFDB2[6]	CFDB2[5]	CFDB2[4]	CFDB2[3]	CFDB2[2]	CFDB2[1]	CFDB2[0]
		CFDB1[7]	CFDB1[6]	CFDB1[5]	CFDB1[4]	CFDB1[3]	CFDB1[2]	CFDB1[1]	CFDB1[0]
		CFDB0[7]	CFDB0[6]	CFDB0[5]	CFDB0[4]	CFDB0[3]	CFDB0[2]	CFDB0[1]	CFDB0[0]
	RSCAN0CFDF1k (k=0～5)	CFDB7[7]	CFDB7[6]	CFDB7[5]	CFDB7[4]	CFDB7[3]	CFDB7[2]	CFDB7[1]	CFDB7[0]
		CFDB6[7]	CFDB6[6]	CFDB6[5]	CFDB6[4]	CFDB6[3]	CFDB6[2]	CFDB6[1]	CFDB6[0]
		CFDB5[7]	CFDB5[6]	CFDB5[5]	CFDB5[4]	CFDB5[3]	CFDB5[2]	CFDB5[1]	CFDB5[0]
		CFDB4[7]	CFDB4[6]	CFDB4[5]	CFDB4[4]	CFDB4[3]	CFDB4[2]	CFDB4[1]	CFDB4[0]
	RSCAN0TMIDp (p=0～31)	TMIDE	TMRTR	THLEN	TMID[28]	TMID[27]	TMID[26]	TMID[25]	TMID[24]
		TMID[23]	TMID[22]	TMID[21]	TMID[20]	TMID[19]	TMID[18]	TMID[17]	TMID[16]
		TMID[15]	TMID[14]	TMID[13]	TMID[12]	TMID[11]	TMID[10]	TMID[9]	TMID[8]
		TMID[7]	TMID[6]	TMID[5]	TMID[4]	TMID[3]	TMID[2]	TMID[1]	TMID[0]
	RSCAN0TMPTRp (p=0～31)	TMDLC[3]	TMDLC[2]	TMDLC[1]	TMDLC[0]	–	–	–	–
		TMPTR[7]	TMPTR[6]	TMPTR[5]	TMPTR[4]	TMPTR[3]	TMPTR[2]	TMPTR[1]	TMPTR[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	RSCAN0TMDF0p (p=0～31)	TMDB3[7]	TMDB3[6]	TMDB3[5]	TMDB3[4]	TMDB3[3]	TMDB3[2]	TMDB3[1]	TMDB3[0]
		TMDB2[7]	TMDB2[6]	TMDB2[5]	TMDB2[4]	TMDB2[3]	TMDB2[2]	TMDB2[1]	TMDB2[0]
		TMDB1[7]	TMDB1[6]	TMDB1[5]	TMDB1[4]	TMDB1[3]	TMDB1[2]	TMDB1[1]	TMDB1[0]
		TMDB0[7]	TMDB0[6]	TMDB0[5]	TMDB0[4]	TMDB0[3]	TMDB0[2]	TMDB0[1]	TMDB0[0]
	RSCAN0TMDF1p (p=0～31)	TMDB7[7]	TMDB7[6]	TMDB7[5]	TMDB7[4]	TMDB7[3]	TMDB7[2]	TMDB7[1]	TMDB7[0]
		TMDB6[7]	TMDB6[6]	TMDB6[5]	TMDB6[4]	TMDB6[3]	TMDB6[2]	TMDB6[1]	TMDB6[0]
		TMDB5[7]	TMDB5[6]	TMDB5[5]	TMDB5[4]	TMDB5[3]	TMDB5[2]	TMDB5[1]	TMDB5[0]
		TMDB4[7]	TMDB4[6]	TMDB4[5]	TMDB4[4]	TMDB4[3]	TMDB4[2]	TMDB4[1]	TMDB4[0]
	RSCAN0THLACCm (m=0、1)	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TID[7]	TID[6]	TID[5]	TID[4]	TID[3]	TID[2]	TID[1]	TID[0]
		–	BN[3]	BN[2]	BN[1]	BN[0]	BT[2]	BT[1]	BT[0]
IEBus コントローラ 注1)	IEBB0BCR	IEBB0PW	IEBB0MSRQ	IEBB0ALRQ	IEBB0STXE	IEBB0SRXE	-	-	-
	IEBB0PSR	IEBB0CLKE	IEBB0CMD	-	-	-	-	-	-
	IEBB0UAR	-	-	-	-				
	IEBB0SAR	-	-	-	-				
	IEBB0PAR	-	-	-	-				
	IEBB0RSA	-	-	-	-				
	IEBB0CDR	-	-	-	-	IEBB0SLCD3	IEBB0SLCD2	IEBB0SLCD1	IEBB0SLCD0
	IEBB0TCD	-	-	-	-	IEBB0SLTD3	IEBB0SLTD2	IEBB0SLTD1	IEBB0SLTD0
	IEBB0RCD	-	-	-	-	IEBB0SLRD3	IEBB0SLRD2	IEBB0SLRD1	IEBB0SLRD0
	IEBB0DLR								
	IEBB0TDL								
	IEBB0RDL								
	IEBB0CKS	-	-	-	IEBB0PRS	-	IEBB0BRS2	IEBB0BRS1	IEBB0BRS0
	IEBB0TMS	IEBB0FMDE	IEBB0SLRI1	IEBB0SLRI0	IEBB0SLTI1	IEBB0SLTI0	IEBB0ALC2	IEBB0ALC1	IEBB0ALC0
	IEBB0PCR	IEBB0CRPT	IEBB0CTPT	-	-	-	-	-	-

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
IEBus コントローラ 注1)	IEBB0BSR	IEBB0RFLF	IEBB0FOVR	-	IEBB0SRFP4	IEBB0SRFP3	IEBB0SRFP2	IEBB0SRFP1	IEBB0SRFP0
		IEBB0TFLF	IEBB0FOVW	-	IEBB0STFP4	IEBB0STFP3	IEBB0STFP2	IEBB0STFP1	IEBB0STFP0
	IEBB0SSR	-	-	-	IEBB0SSLF	-	IEBB0STLF	IEBB0SRXF	IEBB0STXF
	IEBB0USR	-	IEBB0SRQF	IEBB0ARBF	IEBB0ALTF	IEBB0ACKF	IEBB0LCKF	-	-
	IEBB0ISR	-	IEBB0IEBE	IEBB0STRF	IEBB0STSF	IEBB0ETRF	IEBB0EFMF	-	IEBB0FOVE
	IEBB0ESR	IEBB0TIME	IEBB0PARE	IEBB0NACE	IEBB0UNRE	IEBB0OVRE	-	IEBB0ABTE	IEBB0TRDE
	IEBB0FSR	IEBB0RTRF	IEBB0TTRF	-	-	-	-	IEBB0SSFS1	IEBB0SSFS0
	IEBB0SCR								
	IEBB0CCR								
	IEBB0STC0	IEBB0CLTM	IEBB0CLPA	IEBB0CLNC	IEBB0CLUR	IEBB0CLOV	-	IEBB0CLAB	IEBB0CLTR
	IEBB0STC1	-	-	-	-	-	-	-	IEBB0CLFF
	IEBB0DR								
ルネサスSPDIF インタフェース	TLCA	-	-	-	-	-	-	-	-
	TRCA	-	-	-	-	-	-	-	-
	TLCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		–	–	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	–
	TRCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		–	–	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	–
	TUI								
	RLCA	-	-	-	-	-	-	-	-
	RRCA	-	-	-	-	-	-	-	-
	RLCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		–	–	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	–
	RRCS	-	-	CLAC[1]	CLAC[0]	FS[3]	FS[2]	FS[1]	FS[0]
		CHNO[3]	CHNO[2]	CHNO[1]	CHNO[0]	SRCNO[3]	SRCNO[2]	SRCNO[1]	SRCNO[0]
		CATCD[7]	CATCD[6]	CATCD[5]	CATCD[4]	CATCD[3]	CATCD[2]	CATCD[1]	CATCD[0]
		–	–	CTL[4]	CTL[3]	CTL[2]	CTL[1]	CTL[0]	–
	RUI								
	CTRL	-	-	-	CKS	-	PB	RASS[1]	RASS[0]
		TASS[1]	TASS[0]	RDE	TDE	NCSI	AOS	RME	TME
		REIE	TEIE	UBOI	UBUI	CREI	PAEI	PREI	CSEI
		ABOI	ABUI	RUII	TUII	RCSI	RCBI	TCSI	TCBI
	STAT	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	CMD
		RIS	TIS	UBO	UBU	CE	PARE	PREE	CSE
		ABO	ABU	RUIR	TUIR	CSRX	CBRX	CSTX	CBTX

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ルネサスSPDIFインタフェース	TDAD	-	-	-	-	-	-	-	-
	RDAD	-	-	-	-	-	-	-	-
CD-ROMデコーダ注1)	CROMEN	SUBC_EN	CROM_EN	CROM_STP	—	—	—	—	—
	CROMSY0	SY_AUT	SY_IEN	SY_DEN	—	—	—	—	—
	CROMCTL0	MD_DESC	—	MD_AUTO	MD_AUTOS1	MD_AUTOS2	MD_SEC[2]	MD_SEC[1]	MD_SEC[0]
	CROMCTL1	M2F2EDC	MD_DEC[2]	MD_DEC[1]	MD_DEC[0]	—	—	MD_PQREP[1]	MD_PQREP[0]
	CROMCTL3	STP_ECC	STP_EDC	—	STP_MD	STP_MIN	—	—	—
	CROMCTL4	—	LINK2	—	EROSEL	NO_ECC	—	—	—
	CROMCTL5	—	—	—	—	—	—	—	MSF_LBA_SEL
	CROMST0	—	—	ST_SYIL	ST_SYNO	ST_BLKS	ST_BLKL	ST_SECS	ST_SECL
	CROMST1	—	—	—	—	ER2_HEAD0	ER2_HEAD1	ER2_HEAD2	ER2_HEAD3
	CROMST3	ER2_SHEAD0	ER2_SHEAD1	ER2_SHEAD2	ER2_SHEAD3	ER2_SHEAD4	ER2_SHEAD5	ER2_SHEAD6	ER2_SHEAD7
	CROMST4	NG_MD	NG_MDCMP1	NG_MDCMP2	NG_MDCMP3	NG_MDCMP4	NG_MDDEF	NG_MDTIM1	NG_MDTIM2
	CROMST5	ST_AMD[2]	ST_AMD[1]	ST_AMD[0]	ST_MDX	LINK_ON	LINK_DET	LINK_SDET	LINK_OUT1
	CROMST6	ST_ERR	—	ST_ECCABT	ST_ECCNG	ST_ECCP	ST_ECCQ	ST_EDC1	ST_EDC2
	CBUFST0	BUF_REF	BUF_ACT	—	—	—	—	—	—
	CBUFST1	BUF_ECC	BUF_EDC	—	BUF_MD	BUF_MIN	—	—	—
	CBUFST2	BUF_NG	—	—	—	—	—	—	—
	HEAD00	HEAD00[7]	HEAD00[6]	HEAD00[5]	HEAD00[4]	HEAD00[3]	HEAD00[2]	HEAD00[1]	HEAD00[0]
	HEAD01	HEAD01[7]	HEAD01[6]	HEAD01[5]	HEAD01[4]	HEAD01[3]	HEAD01[2]	HEAD01[1]	HEAD01[0]
	HEAD02	HEAD02[7]	HEAD02[6]	HEAD02[5]	HEAD02[4]	HEAD02[3]	HEAD02[2]	HEAD02[1]	HEAD02[0]
	HEAD03	HEAD03[7]	HEAD03[6]	HEAD03[5]	HEAD03[4]	HEAD03[3]	HEAD03[2]	HEAD03[1]	HEAD03[0]
	SHEAD00	SHEAD00[7]	SHEAD00[6]	SHEAD00[5]	SHEAD00[4]	SHEAD00[3]	SHEAD00[2]	SHEAD00[1]	SHEAD00[0]
	SHEAD01	SHEAD01[7]	SHEAD01[6]	SHEAD01[5]	SHEAD01[4]	SHEAD01[3]	SHEAD01[2]	SHEAD01[1]	SHEAD01[0]
	SHEAD02	SHEAD02[7]	SHEAD02[6]	SHEAD02[5]	SHEAD02[4]	SHEAD02[3]	SHEAD02[2]	SHEAD02[1]	SHEAD02[0]
	SHEAD03	SHEAD03[7]	SHEAD03[6]	SHEAD03[5]	SHEAD03[4]	SHEAD03[3]	SHEAD03[2]	SHEAD03[1]	SHEAD03[0]
	SHEAD04	SHEAD04[7]	SHEAD04[6]	SHEAD04[5]	SHEAD04[4]	SHEAD04[3]	SHEAD04[2]	SHEAD04[1]	SHEAD04[0]
	SHEAD05	SHEAD05[7]	SHEAD05[6]	SHEAD05[5]	SHEAD05[4]	SHEAD05[3]	SHEAD05[2]	SHEAD05[1]	SHEAD05[0]
	SHEAD06	SHEAD06[7]	SHEAD06[6]	SHEAD06[5]	SHEAD06[4]	SHEAD06[3]	SHEAD06[2]	SHEAD06[1]	SHEAD06[0]
	SHEAD07	SHEAD07[7]	SHEAD07[6]	SHEAD07[5]	SHEAD07[4]	SHEAD07[3]	SHEAD07[2]	SHEAD07[1]	SHEAD07[0]
	HEAD20	HEAD20[7]	HEAD20[6]	HEAD20[5]	HEAD20[4]	HEAD20[3]	HEAD20[2]	HEAD20[1]	HEAD20[0]
	HEAD21	HEAD21[7]	HEAD21[6]	HEAD21[5]	HEAD21[4]	HEAD21[3]	HEAD21[2]	HEAD21[1]	HEAD21[0]
	HEAD22	HEAD22[7]	HEAD22[6]	HEAD22[5]	HEAD22[4]	HEAD22[3]	HEAD22[2]	HEAD22[1]	HEAD22[0]
	HEAD23	HEAD23[7]	HEAD23[6]	HEAD23[5]	HEAD23[4]	HEAD23[3]	HEAD23[2]	HEAD23[1]	HEAD23[0]
	SHEAD20	SHEAD20[7]	SHEAD20[6]	SHEAD20[5]	SHEAD20[4]	SHEAD20[3]	SHEAD20[2]	SHEAD20[1]	SHEAD20[0]
	SHEAD21	SHEAD21[7]	SHEAD21[6]	SHEAD21[5]	SHEAD21[4]	SHEAD21[3]	SHEAD21[2]	SHEAD21[1]	SHEAD21[0]
	SHEAD22	SHEAD22[7]	SHEAD22[6]	SHEAD22[5]	SHEAD22[4]	SHEAD22[3]	SHEAD22[2]	SHEAD22[1]	SHEAD22[0]
	SHEAD23	SHEAD23[7]	SHEAD23[6]	SHEAD23[5]	SHEAD23[4]	SHEAD23[3]	SHEAD23[2]	SHEAD23[1]	SHEAD23[0]
	SHEAD24	SHEAD24[7]	SHEAD24[6]	SHEAD24[5]	SHEAD24[4]	SHEAD24[3]	SHEAD24[2]	SHEAD24[1]	SHEAD24[0]
	SHEAD25	SHEAD25[7]	SHEAD25[6]	SHEAD25[5]	SHEAD25[4]	SHEAD25[3]	SHEAD25[2]	SHEAD25[1]	SHEAD25[0]
	SHEAD26	SHEAD26[7]	SHEAD26[6]	SHEAD26[5]	SHEAD26[4]	SHEAD26[3]	SHEAD26[2]	SHEAD26[1]	SHEAD26[0]
	SHEAD27	SHEAD27[7]	SHEAD27[6]	SHEAD27[5]	SHEAD27[4]	SHEAD27[3]	SHEAD27[2]	SHEAD27[1]	SHEAD27[0]
	CBUFCTL0	CBUF_AUT	CBUF_EN	—	CBUF_MD[1]	CBUF_MD[0]	CBUF_TS	CBUF_Q	—
	CBUFCTL1	BS_MIN[7]	BS_MIN[6]	BS_MIN[5]	BS_MIN[4]	BS_MIN[3]	BS_MIN[2]	BS_MIN[1]	BS_MIN[0]
	CBUFCTL2	BS_SEC[7]	BS_SEC[6]	BS_SEC[5]	BS_SEC[4]	BS_SEC[3]	BS_SEC[2]	BS_SEC[1]	BS_SEC[0]
	CBUFCTL3	BS_FRM[7]	BS_FRM[6]	BS_FRM[5]	BS_FRM[4]	BS_FRM[3]	BS_FRM[2]	BS_FRM[1]	BS_FRM[0]
	CROMST0M	—	—	ST_SYILM	ST_SYNOM	ST_BLKSM	ST_BLKLM	ST_SECSM	ST_SECLM
	ROMDECRST	LOGICRST	RAMRST	—	—	—	—	—	—
	RSTSTAT	RAMCLRST	—	—	—	—	—	—	—
	SSI	BYTEND	BITEND	BUFEND0[1]	BUFEND0[0]	BUFEND1[1]	BUFEND1[0]	—	—
	INTHOLD	ISEC	ITARG	ISY	IERR	IBUF	IREADY	—	—
	INHINT	INHISEC	INHITARG	INHISY	INHIERR	INHIBUF	INHIREADY	PREINHREQDM	PREINHIREADY
	STRMDIN0	STRMDIN[31]	STRMDIN[30]	STRMDIN[29]	STRMDIN[28]	STRMDIN[27]	STRMDIN[26]	STRMDIN[25]	STRMDIN[24]
		STRMDIN[23]	STRMDIN[22]	STRMDIN[21]	STRMDIN[20]	STRMDIN[19]	STRMDIN[18]	STRMDIN[17]	STRMDIN[16]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
CD-ROM デコーダ注1)	STRMDIN2	STRMDIN[15]	STRMDIN[14]	STRMDIN[13]	STRMDIN[12]	STRMDIN[11]	STRMDIN[10]	STRMDIN[9]	STRMDIN[8]
		STRMDIN[7]	STRMDIN[6]	STRMDIN[5]	STRMDIN[4]	STRMDIN[3]	STRMDIN[2]	STRMDIN[1]	STRMDIN[0]
	STRMDOUT0	STRMDOUT[15]	STRMDOUT[14]	STRMDOUT[13]	STRMDOUT[12]	STRMDOUT[11]	STRMDOUT[10]	STRMDOUT[9]	STRMDOUT[8]
		STRMDOUT[7]	STRMDOUT[6]	STRMDOUT[5]	STRMDOUT[4]	STRMDOUT[3]	STRMDOUT[2]	STRMDOUT[1]	STRMDOUT[0]
LIN インタフェース LINマスタ注1)	RLN30LWBR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		NSPB[3]	NSPB[2]	NSPB[1]	NSPB[0]	LPRS[2]	LPRS[1]	LPRS[0]	LWBR0
	RLN30LBRP0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LBRP0[7]	LBRP0[6]	LBRP0[5]	LBRP0[4]	LBRP0[3]	LBRP0[2]	LBRP0[1]	LBRP0[0]
	RLN30LBRP1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LBRP1[7]	LBRP1[6]	LBRP1[5]	LBRP1[4]	LBRP1[3]	LBRP1[2]	LBRP1[1]	LBRP1[0]
	RLN30LSTC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	LSTM
	RLN30LMD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	LRDNFS	LIOS	LCKS[1]	LCKS[0]	LMD[1]	LMD[0]
	RLN30LBFC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	BDT[1]	BDT[0]	BLT[3]	BLT[2]	BLT[1]	BLT[0]
	RLN30LSC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	IBS[1]	IBS[0]	–	IBHS[2]	IBHS[1]	IBHS[0]
	RLN30LWUP	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		WUTL[3]	WUTL[2]	WUTL[1]	WUTL[0]	–	–	–	–
	RLN30LIE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SHIE	ERRIE	FRCIE	FTCIE
	RLN30LEDE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LTES	–	–	–	FERE	FTERE	PBERE	BERE
	RLN30LCUC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	OM1	OM0
	RLN30LTRC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	RTS	FTS
	RLN30LMST	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	OMM1	OMM0
	RLN30LST	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		HTRC	D1RC	–	–	ERR	–	FRC	FTC

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
LIN インタフェース LINマスタ注1	RLN30LEST	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		RPER	–	CSER	–	FER	FTER	PBER	BER
	RLN30LDFC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LSS	FSM	CSM	RFT	RFDL[3]	RFDL[2]	RFDL[1]	RFDL[0]
	RLN30LIDB	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		IDP1	IDP0	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
	RLN30LCBR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		CKSM[7]	CKSM[6]	CKSM[5]	CKSM[4]	CKSM[3]	CKSM[2]	CKSM[1]	CKSM[0]
	RLN30LDBR1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
	RLN30LDBR2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
	RLN30LDBR3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
	RLN30LDBR4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
	RLN30LDBR5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
	RLN30LDBR6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
	RLN30LDBR7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
	RLN30LDBR8	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LDB[7]	LDB[6]	LDB[5]	LDB[4]	LDB[3]	LDB[2]	LDB[1]	LDB[0]
イーサネット コントローラ	ARSTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ARST
	ECMR0	–	–	–	–	–	TRCCM	–	–
		RCSC	–	DPAD	RZPF	ZPF	PFR	RXF	TXXF
		–	–	MCT	–	–	–	–	–
		–	RE	TE	–	–	–	DM	PRM
	ECSR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	PFROI	–	–	–	ICD

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	ECSIPR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	PFROIP	–	–	–	ICDIP
	PIR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	MDI	MDO	MMD	MDC
	MAHR0	MA[47]	MA[46]	MA[45]	MA[44]	MA[43]	MA[42]	MA[41]	MA[40]
		MA[39]	MA[38]	MA[37]	MA[36]	MA[35]	MA[34]	MA[33]	MA[32]
		MA[31]	MA[30]	MA[29]	MA[28]	MA[27]	MA[26]	MA[25]	MA[24]
		MA[23]	MA[22]	MA[21]	MA[20]	MA[19]	MA[18]	MA[17]	MA[16]
	MALR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MA[15]	MA[14]	MA[13]	MA[12]	MA[11]	MA[10]	MA[9]	MA[8]
		MA[7]	MA[6]	MA[5]	MA[4]	MA[3]	MA[2]	MA[1]	MA[0]
	RFLR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	RFL[17]	RFL[16]
		RFL[15]	RFL[14]	RFL[13]	RFL[12]	RFL[11]	RFL[10]	RFL[9]	RFL[8]
		RFL[7]	RFL[6]	RFL[5]	RFL[4]	RFL[3]	RFL[2]	RFL[1]	RFL[0]
	CEFCR0	CEFC[31]	CEFC[30]	CEFC[29]	CEFC[28]	CEFC[27]	CEFC[26]	CEFC[25]	CEFC[24]
		CEFC[23]	CEFC[22]	CEFC[21]	CEFC[20]	CEFC[19]	CEFC[18]	CEFC[17]	CEFC[16]
		CEFC[15]	CEFC[14]	CEFC[13]	CEFC[12]	CEFC[11]	CEFC[10]	CEFC[9]	CEFC[8]
		CEFC[7]	CEFC[6]	CEFC[5]	CEFC[4]	CEFC[3]	CEFC[2]	CEFC[1]	CEFC[0]
	FRECR0	FREC[31]	FREC[30]	FREC[29]	FREC[28]	FREC[27]	FREC[26]	FREC[25]	FREC[24]
		FREC[23]	FREC[22]	FREC[21]	FREC[20]	FREC[19]	FREC[18]	FREC[17]	FREC[16]
		FREC[15]	FREC[14]	FREC[13]	FREC[12]	FREC[11]	FREC[10]	FREC[9]	FREC[8]
		FREC[7]	FREC[6]	FREC[5]	FREC[4]	FREC[3]	FREC[2]	FREC[1]	FREC[0]
	TSFRCR0	TSFC[31]	TSFC[30]	TSFC[29]	TSFC[28]	TSFC[27]	TSFC[26]	TSFC[25]	TSFC[24]
		TSFC[23]	TSFC[22]	TSFC[21]	TSFC[20]	TSFC[19]	TSFC[18]	TSFC[17]	TSFC[16]
		TSFC[15]	TSFC[14]	TSFC[13]	TSFC[12]	TSFC[11]	TSFC[10]	TSFC[9]	TSFC[8]
		TSFC[7]	TSFC[6]	TSFC[5]	TSFC[4]	TSFC[3]	TSFC[2]	TSFC[1]	TSFC[0]
	TLFRCR0	TLFC[31]	TLFC[30]	TLFC[29]	TLFC[28]	TLFC[27]	TLFC[26]	TLFC[25]	TLFC[24]
		TLFC[23]	TLFC[22]	TLFC[21]	TLFC[20]	TLFC[19]	TLFC[18]	TLFC[17]	TLFC[16]
		TLFC[15]	TLFC[14]	TLFC[13]	TLFC[12]	TLFC[11]	TLFC[10]	TLFC[9]	TLFC[8]
		TLFC[7]	TLFC[6]	TLFC[5]	TLFC[4]	TLFC[3]	TLFC[2]	TLFC[1]	TLFC[0]
	RFCR0	RFC[31]	RFC[30]	RFC[29]	RFC[28]	RFC[27]	RFC[26]	RFC[25]	RFC[24]
		RFC[23]	RFC[22]	RFC[21]	RFC[20]	RFC[19]	RFC[18]	RFC[17]	RFC[16]
		RFC[15]	RFC[14]	RFC[13]	RFC[12]	RFC[11]	RFC[10]	RFC[9]	RFC[8]
		RFC[7]	RFC[6]	RFC[5]	RFC[4]	RFC[3]	RFC[2]	RFC[1]	RFC[0]
	MAFCR0	MAFC[31]	MAFC[30]	MAFC[29]	MAFC[28]	MAFC[27]	MAFC[26]	MAFC[25]	MAFC[24]
		MAFC[23]	MAFC[22]	MAFC[21]	MAFC[20]	MAFC[19]	MAFC[18]	MAFC[17]	MAFC[16]
		MAFC[15]	MAFC[14]	MAFC[13]	MAFC[12]	MAFC[11]	MAFC[10]	MAFC[9]	MAFC[8]
		MAFC[7]	MAFC[6]	MAFC[5]	MAFC[4]	MAFC[3]	MAFC[2]	MAFC[1]	MAFC[0]
	APR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		AP[15]	AP[14]	AP[13]	AP[12]	AP[11]	AP[10]	AP[9]	AP[8]
		AP[7]	AP[6]	AP[5]	AP[4]	AP[3]	AP[2]	AP[1]	AP[0]
	MPR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MP[15]	MP[14]	MP[13]	MP[12]	MP[11]	MP[10]	MP[9]	MP[8]
		MP[7]	MP[6]	MP[5]	MP[4]	MP[3]	MP[2]	MP[1]	MP[0]
	TPAUSER0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TPAUSE[15]	TPAUSE[14]	TPAUSE[13]	TPAUSE[12]	TPAUSE[11]	TPAUSE[10]	TPAUSE[9]	TPAUSE[8]
		TPAUSE[7]	TPAUSE[6]	TPAUSE[5]	TPAUSE[4]	TPAUSE[3]	TPAUSE[2]	TPAUSE[1]	TPAUSE[0]
	PFTCR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		PFTXC[15]	PFTXC[14]	PFTXC[13]	PFTXC[12]	PFTXC[11]	PFTXC[10]	PFTXC[9]	PFTXC[8]
		PFTXC[7]	PFTXC[6]	PFTXC[5]	PFTXC[4]	PFTXC[3]	PFTXC[2]	PFTXC[1]	PFTXC[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	PFRCR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		PFRXC[15]	PFRXC[14]	PFRXC[13]	PFRXC[12]	PFRXC[11]	PFRXC[10]	PFRXC[9]	PFRXC[8]
		PFRXC[7]	PFRXC[6]	PFRXC[5]	PFRXC[4]	PFRXC[3]	PFRXC[2]	PFRXC[1]	PFRXC[0]
	TSU_CTRST	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CTRST
		–	–	–	–	–	–	–	–
	TSU_FWSLC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	POSTENU	POSTENL	–	–	–	–
		–	–	–	–	–	–	–	–
	TSU_VTAG0	VTAG0	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	VID0[11]	VID0[10]	VID0[9]	VID0[8]
		VID0[7]	VID0[6]	VID0[5]	VID0[4]	VID0[3]	VID0[2]	VID0[1]	VID0[0]
	TSU_ADSBSY	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ADSBSY
	TSU_TEN	TEN0	TEN1	TEN2	TEN3	TEN4	TEN5	TEN6	TEN7
		TEN8	TEN9	TEN10	TEN11	TEN12	TEN13	TEN14	TEN15
		TEN16	TEN17	TEN18	TEN19	TEN20	TEN21	TEN22	TEN23
		TEN24	TEN25	TEN26	TEN27	TEN28	TEN29	TEN30	TEN31
	TSU_POST1	POST0	–	–	–	POST1	–	–	–
		POST2	–	–	–	POST3	–	–	–
		POST4	–	–	–	POST5	–	–	–
		POST6	–	–	–	POST7	–	–	–
	TSU_POST2	POST8	–	–	–	POST9	–	–	–
		POST10	–	–	–	POST11	–	–	–
		POST12	–	–	–	POST13	–	–	–
		POST14	–	–	–	POST15	–	–	–
	TSU_POST3	POST16	–	–	–	POST17	–	–	–
		POST18	–	–	–	POST19	–	–	–
		POST20	–	–	–	POST21	–	–	–
		POST22	–	–	–	POST23	–	–	–
	TSU_POST4	POST24	–	–	–	POST25	–	–	–
		POST26	–	–	–	POST27	–	–	–
		POST28	–	–	–	POST29	–	–	–
		POST30	–	–	–	POST31	–	–	–
	TSU_ADRH0	ADRH0[31]	ADRH0[30]	ADRH0[29]	ADRH0[28]	ADRH0[27]	ADRH0[26]	ADRH0[25]	ADRH0[24]
		ADRH0[23]	ADRH0[22]	ADRH0[21]	ADRH0[20]	ADRH0[19]	ADRH0[18]	ADRH0[17]	ADRH0[16]
		ADRH0[15]	ADRH0[14]	ADRH0[13]	ADRH0[12]	ADRH0[11]	ADRH0[10]	ADRH0[9]	ADRH0[8]
		ADRH0[7]	ADRH0[6]	ADRH0[5]	ADRH0[4]	ADRH0[3]	ADRH0[2]	ADRH0[1]	ADRH0[0]
	TSU_ADRH1	ADRH1[31]	ADRH1[30]	ADRH1[29]	ADRH1[28]	ADRH1[27]	ADRH1[26]	ADRH1[25]	ADRH1[24]
		ADRH1[23]	ADRH1[22]	ADRH1[21]	ADRH1[20]	ADRH1[19]	ADRH1[18]	ADRH1[17]	ADRH1[16]
		ADRH1[15]	ADRH1[14]	ADRH1[13]	ADRH1[12]	ADRH1[11]	ADRH1[10]	ADRH1[9]	ADRH1[8]
		ADRH1[7]	ADRH1[6]	ADRH1[5]	ADRH1[4]	ADRH1[3]	ADRH1[2]	ADRH1[1]	ADRH1[0]
	TSU_ADRH2	ADRH2[31]	ADRH2[30]	ADRH2[29]	ADRH2[28]	ADRH2[27]	ADRH2[26]	ADRH2[25]	ADRH2[24]
		ADRH2[23]	ADRH2[22]	ADRH2[21]	ADRH2[20]	ADRH2[19]	ADRH2[18]	ADRH2[17]	ADRH2[16]
		ADRH2[15]	ADRH2[14]	ADRH2[13]	ADRH2[12]	ADRH2[11]	ADRH2[10]	ADRH2[9]	ADRH2[8]
		ADRH2[7]	ADRH2[6]	ADRH2[5]	ADRH2[4]	ADRH2[3]	ADRH2[2]	ADRH2[1]	ADRH2[0]
	TSU_ADRH3	ADRH3[31]	ADRH3[30]	ADRH3[29]	ADRH3[28]	ADRH3[27]	ADRH3[26]	ADRH3[25]	ADRH3[24]
		ADRH3[23]	ADRH3[22]	ADRH3[21]	ADRH3[20]	ADRH3[19]	ADRH3[18]	ADRH3[17]	ADRH3[16]
		ADRH3[15]	ADRH3[14]	ADRH3[13]	ADRH3[12]	ADRH3[11]	ADRH3[10]	ADRH3[9]	ADRH3[8]
		ADRH3[7]	ADRH3[6]	ADRH3[5]	ADRH3[4]	ADRH3[3]	ADRH3[2]	ADRH3[1]	ADRH3[0]
	TSU_ADRH4	ADRH4[31]	ADRH4[30]	ADRH4[29]	ADRH4[28]	ADRH4[27]	ADRH4[26]	ADRH4[25]	ADRH4[24]
		ADRH4[23]	ADRH4[22]	ADRH4[21]	ADRH4[20]	ADRH4[19]	ADRH4[18]	ADRH4[17]	ADRH4[16]
		ADRH4[15]	ADRH4[14]	ADRH4[13]	ADRH4[12]	ADRH4[11]	ADRH4[10]	ADRH4[9]	ADRH4[8]
		ADRH4[7]	ADRH4[6]	ADRH4[5]	ADRH4[4]	ADRH4[3]	ADRH4[2]	ADRH4[1]	ADRH4[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	TSU_ADRH5	ADRH5[31]	ADRH5[30]	ADRH5[29]	ADRH5[28]	ADRH5[27]	ADRH5[26]	ADRH5[25]	ADRH5[24]
		ADRH5[23]	ADRH5[22]	ADRH5[21]	ADRH5[20]	ADRH5[19]	ADRH5[18]	ADRH5[17]	ADRH5[16]
		ADRH5[15]	ADRH5[14]	ADRH5[13]	ADRH5[12]	ADRH5[11]	ADRH5[10]	ADRH5[9]	ADRH5[8]
		ADRH5[7]	ADRH5[6]	ADRH5[5]	ADRH5[4]	ADRH5[3]	ADRH5[2]	ADRH5[1]	ADRH5[0]
	TSU_ADRH6	ADRH6[31]	ADRH6[30]	ADRH6[29]	ADRH6[28]	ADRH6[27]	ADRH6[26]	ADRH6[25]	ADRH6[24]
		ADRH6[23]	ADRH6[22]	ADRH6[21]	ADRH6[20]	ADRH6[19]	ADRH6[18]	ADRH6[17]	ADRH6[16]
		ADRH6[15]	ADRH6[14]	ADRH6[13]	ADRH6[12]	ADRH6[11]	ADRH6[10]	ADRH6[9]	ADRH6[8]
		ADRH6[7]	ADRH6[6]	ADRH6[5]	ADRH6[4]	ADRH6[3]	ADRH6[2]	ADRH6[1]	ADRH6[0]
	TSU_ADRH7	ADRH7[31]	ADRH7[30]	ADRH7[29]	ADRH7[28]	ADRH7[27]	ADRH7[26]	ADRH7[25]	ADRH7[24]
		ADRH7[23]	ADRH7[22]	ADRH7[21]	ADRH7[20]	ADRH7[19]	ADRH7[18]	ADRH7[17]	ADRH7[16]
		ADRH7[15]	ADRH7[14]	ADRH7[13]	ADRH7[12]	ADRH7[11]	ADRH7[10]	ADRH7[9]	ADRH7[8]
		ADRH7[7]	ADRH7[6]	ADRH7[5]	ADRH7[4]	ADRH7[3]	ADRH7[2]	ADRH7[1]	ADRH7[0]
	TSU_ADRH8	ADRH8[31]	ADRH8[30]	ADRH8[29]	ADRH8[28]	ADRH8[27]	ADRH8[26]	ADRH8[25]	ADRH8[24]
		ADRH8[23]	ADRH8[22]	ADRH8[21]	ADRH8[20]	ADRH8[19]	ADRH8[18]	ADRH8[17]	ADRH8[16]
		ADRH8[15]	ADRH8[14]	ADRH8[13]	ADRH8[12]	ADRH8[11]	ADRH8[10]	ADRH8[9]	ADRH8[8]
		ADRH8[7]	ADRH8[6]	ADRH8[5]	ADRH8[4]	ADRH8[3]	ADRH8[2]	ADRH8[1]	ADRH8[0]
	TSU_ADRH9	ADRH9[31]	ADRH9[30]	ADRH9[29]	ADRH9[28]	ADRH9[27]	ADRH9[26]	ADRH9[25]	ADRH9[24]
		ADRH9[23]	ADRH9[22]	ADRH9[21]	ADRH9[20]	ADRH9[19]	ADRH9[18]	ADRH9[17]	ADRH9[16]
		ADRH9[15]	ADRH9[14]	ADRH9[13]	ADRH9[12]	ADRH9[11]	ADRH9[10]	ADRH9[9]	ADRH9[8]
		ADRH9[7]	ADRH9[6]	ADRH9[5]	ADRH9[4]	ADRH9[3]	ADRH9[2]	ADRH9[1]	ADRH9[0]
	TSU_ADRH10	ADRH10[31]	ADRH10[30]	ADRH10[29]	ADRH10[28]	ADRH10[27]	ADRH10[26]	ADRH10[25]	ADRH10[24]
		ADRH10[23]	ADRH10[22]	ADRH10[21]	ADRH10[20]	ADRH10[19]	ADRH10[18]	ADRH10[17]	ADRH10[16]
		ADRH10[15]	ADRH10[14]	ADRH10[13]	ADRH10[12]	ADRH10[11]	ADRH10[10]	ADRH10[9]	ADRH10[8]
		ADRH10[7]	ADRH10[6]	ADRH10[5]	ADRH10[4]	ADRH10[3]	ADRH10[2]	ADRH10[1]	ADRH10[0]
	TSU_ADRH11	ADRH11[31]	ADRH11[30]	ADRH11[29]	ADRH11[28]	ADRH11[27]	ADRH11[26]	ADRH11[25]	ADRH11[24]
		ADRH11[23]	ADRH11[22]	ADRH11[21]	ADRH11[20]	ADRH11[19]	ADRH11[18]	ADRH11[17]	ADRH11[16]
		ADRH11[15]	ADRH11[14]	ADRH11[13]	ADRH11[12]	ADRH11[11]	ADRH11[10]	ADRH11[9]	ADRH11[8]
		ADRH11[7]	ADRH11[6]	ADRH11[5]	ADRH11[4]	ADRH11[3]	ADRH11[2]	ADRH11[1]	ADRH11[0]
	TSU_ADRH12	ADRH12[31]	ADRH12[30]	ADRH12[29]	ADRH12[28]	ADRH12[27]	ADRH12[26]	ADRH12[25]	ADRH12[24]
		ADRH12[23]	ADRH12[22]	ADRH12[21]	ADRH12[20]	ADRH12[19]	ADRH12[18]	ADRH12[17]	ADRH12[16]
		ADRH12[15]	ADRH12[14]	ADRH12[13]	ADRH12[12]	ADRH12[11]	ADRH12[10]	ADRH12[9]	ADRH12[8]
		ADRH12[7]	ADRH12[6]	ADRH12[5]	ADRH12[4]	ADRH12[3]	ADRH12[2]	ADRH12[1]	ADRH12[0]
	TSU_ADRH13	ADRH13[31]	ADRH13[30]	ADRH13[29]	ADRH13[28]	ADRH13[27]	ADRH13[26]	ADRH13[25]	ADRH13[24]
		ADRH13[23]	ADRH13[22]	ADRH13[21]	ADRH13[20]	ADRH13[19]	ADRH13[18]	ADRH13[17]	ADRH13[16]
		ADRH13[15]	ADRH13[14]	ADRH13[13]	ADRH13[12]	ADRH13[11]	ADRH13[10]	ADRH13[9]	ADRH13[8]
		ADRH13[7]	ADRH13[6]	ADRH13[5]	ADRH13[4]	ADRH13[3]	ADRH13[2]	ADRH13[1]	ADRH13[0]
	TSU_ADRH14	ADRH14[31]	ADRH14[30]	ADRH14[29]	ADRH14[28]	ADRH14[27]	ADRH14[26]	ADRH14[25]	ADRH14[24]
		ADRH14[23]	ADRH14[22]	ADRH14[21]	ADRH14[20]	ADRH14[19]	ADRH14[18]	ADRH14[17]	ADRH14[16]
		ADRH14[15]	ADRH14[14]	ADRH14[13]	ADRH14[12]	ADRH14[11]	ADRH14[10]	ADRH14[9]	ADRH14[8]
		ADRH14[7]	ADRH14[6]	ADRH14[5]	ADRH14[4]	ADRH14[3]	ADRH14[2]	ADRH14[1]	ADRH14[0]
	TSU_ADRH15	ADRH15[31]	ADRH15[30]	ADRH15[29]	ADRH15[28]	ADRH15[27]	ADRH15[26]	ADRH15[25]	ADRH15[24]
		ADRH15[23]	ADRH15[22]	ADRH15[21]	ADRH15[20]	ADRH15[19]	ADRH15[18]	ADRH15[17]	ADRH15[16]
		ADRH15[15]	ADRH15[14]	ADRH15[13]	ADRH15[12]	ADRH15[11]	ADRH15[10]	ADRH15[9]	ADRH15[8]
		ADRH15[7]	ADRH15[6]	ADRH15[5]	ADRH15[4]	ADRH15[3]	ADRH15[2]	ADRH15[1]	ADRH15[0]
	TSU_ADRH16	ADRH16[31]	ADRH16[30]	ADRH16[29]	ADRH16[28]	ADRH16[27]	ADRH16[26]	ADRH16[25]	ADRH16[24]
		ADRH16[23]	ADRH16[22]	ADRH16[21]	ADRH16[20]	ADRH16[19]	ADRH16[18]	ADRH16[17]	ADRH16[16]
		ADRH16[15]	ADRH16[14]	ADRH16[13]	ADRH16[12]	ADRH16[11]	ADRH16[10]	ADRH16[9]	ADRH16[8]
		ADRH16[7]	ADRH16[6]	ADRH16[5]	ADRH16[4]	ADRH16[3]	ADRH16[2]	ADRH16[1]	ADRH16[0]
	TSU_ADRH17	ADRH17[31]	ADRH17[30]	ADRH17[29]	ADRH17[28]	ADRH17[27]	ADRH17[26]	ADRH17[25]	ADRH17[24]
		ADRH17[23]	ADRH17[22]	ADRH17[21]	ADRH17[20]	ADRH17[19]	ADRH17[18]	ADRH17[17]	ADRH17[16]
		ADRH17[15]	ADRH17[14]	ADRH17[13]	ADRH17[12]	ADRH17[11]	ADRH17[10]	ADRH17[9]	ADRH17[8]
		ADRH17[7]	ADRH17[6]	ADRH17[5]	ADRH17[4]	ADRH17[3]	ADRH17[2]	ADRH17[1]	ADRH17[0]
	TSU_ADRH18	ADRH18[31]	ADRH18[30]	ADRH18[29]	ADRH18[28]	ADRH18[27]	ADRH18[26]	ADRH18[25]	ADRH18[24]
		ADRH18[23]	ADRH18[22]	ADRH18[21]	ADRH18[20]	ADRH18[19]	ADRH18[18]	ADRH18[17]	ADRH18[16]
		ADRH18[15]	ADRH18[14]	ADRH18[13]	ADRH18[12]	ADRH18[11]	ADRH18[10]	ADRH18[9]	ADRH18[8]
		ADRH18[7]	ADRH18[6]	ADRH18[5]	ADRH18[4]	ADRH18[3]	ADRH18[2]	ADRH18[1]	ADRH18[0]
	TSU_ADRH19	ADRH19[31]	ADRH19[30]	ADRH19[29]	ADRH19[28]	ADRH19[27]	ADRH19[26]	ADRH19[25]	ADRH19[24]
		ADRH19[23]	ADRH19[22]	ADRH19[21]	ADRH19[20]	ADRH19[19]	ADRH19[18]	ADRH19[17]	ADRH19[16]
		ADRH19[15]	ADRH19[14]	ADRH19[13]	ADRH19[12]	ADRH19[11]	ADRH19[10]	ADRH19[9]	ADRH19[8]
		ADRH19[7]	ADRH19[6]	ADRH19[5]	ADRH19[4]	ADRH19[3]	ADRH19[2]	ADRH19[1]	ADRH19[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	TSU_ADRH20	ADRH20[31]	ADRH20[30]	ADRH20[29]	ADRH20[28]	ADRH20[27]	ADRH20[26]	ADRH20[25]	ADRH20[24]
		ADRH20[23]	ADRH20[22]	ADRH20[21]	ADRH20[20]	ADRH20[19]	ADRH20[18]	ADRH20[17]	ADRH20[16]
		ADRH20[15]	ADRH20[14]	ADRH20[13]	ADRH20[12]	ADRH20[11]	ADRH20[10]	ADRH20[9]	ADRH20[8]
		ADRH20[7]	ADRH20[6]	ADRH20[5]	ADRH20[4]	ADRH20[3]	ADRH20[2]	ADRH20[1]	ADRH20[0]
	TSU_ADRH21	ADRH21[31]	ADRH21[30]	ADRH21[29]	ADRH21[28]	ADRH21[27]	ADRH21[26]	ADRH21[25]	ADRH21[24]
		ADRH21[23]	ADRH21[22]	ADRH21[21]	ADRH21[20]	ADRH21[19]	ADRH21[18]	ADRH21[17]	ADRH21[16]
		ADRH21[15]	ADRH21[14]	ADRH21[13]	ADRH21[12]	ADRH21[11]	ADRH21[10]	ADRH21[9]	ADRH21[8]
		ADRH21[7]	ADRH21[6]	ADRH21[5]	ADRH21[4]	ADRH21[3]	ADRH21[2]	ADRH21[1]	ADRH21[0]
	TSU_ADRH22	ADRH22[31]	ADRH22[30]	ADRH22[29]	ADRH22[28]	ADRH22[27]	ADRH22[26]	ADRH22[25]	ADRH22[24]
		ADRH22[23]	ADRH22[22]	ADRH22[21]	ADRH22[20]	ADRH22[19]	ADRH22[18]	ADRH22[17]	ADRH22[16]
		ADRH22[15]	ADRH22[14]	ADRH22[13]	ADRH22[12]	ADRH22[11]	ADRH22[10]	ADRH22[9]	ADRH22[8]
		ADRH22[7]	ADRH22[6]	ADRH22[5]	ADRH22[4]	ADRH22[3]	ADRH22[2]	ADRH22[1]	ADRH22[0]
	TSU_ADRH23	ADRH23[31]	ADRH23[30]	ADRH23[29]	ADRH23[28]	ADRH23[27]	ADRH23[26]	ADRH23[25]	ADRH23[24]
		ADRH23[23]	ADRH23[22]	ADRH23[21]	ADRH23[20]	ADRH23[19]	ADRH23[18]	ADRH23[17]	ADRH23[16]
		ADRH23[15]	ADRH23[14]	ADRH23[13]	ADRH23[12]	ADRH23[11]	ADRH23[10]	ADRH23[9]	ADRH23[8]
		ADRH23[7]	ADRH23[6]	ADRH23[5]	ADRH23[4]	ADRH23[3]	ADRH23[2]	ADRH23[1]	ADRH23[0]
	TSU_ADRH24	ADRH24[31]	ADRH24[30]	ADRH24[29]	ADRH24[28]	ADRH24[27]	ADRH24[26]	ADRH24[25]	ADRH24[24]
		ADRH24[23]	ADRH24[22]	ADRH24[21]	ADRH24[20]	ADRH24[19]	ADRH24[18]	ADRH24[17]	ADRH24[16]
		ADRH24[15]	ADRH24[14]	ADRH24[13]	ADRH24[12]	ADRH24[11]	ADRH24[10]	ADRH24[9]	ADRH24[8]
		ADRH24[7]	ADRH24[6]	ADRH24[5]	ADRH24[4]	ADRH24[3]	ADRH24[2]	ADRH24[1]	ADRH24[0]
	TSU_ADRH25	ADRH25[31]	ADRH25[30]	ADRH25[29]	ADRH25[28]	ADRH25[27]	ADRH25[26]	ADRH25[25]	ADRH25[24]
		ADRH25[23]	ADRH25[22]	ADRH25[21]	ADRH25[20]	ADRH25[19]	ADRH25[18]	ADRH25[17]	ADRH25[16]
		ADRH25[15]	ADRH25[14]	ADRH25[13]	ADRH25[12]	ADRH25[11]	ADRH25[10]	ADRH25[9]	ADRH25[8]
		ADRH25[7]	ADRH25[6]	ADRH25[5]	ADRH25[4]	ADRH25[3]	ADRH25[2]	ADRH25[1]	ADRH25[0]
	TSU_ADRH26	ADRH26[31]	ADRH26[30]	ADRH26[29]	ADRH26[28]	ADRH26[27]	ADRH26[26]	ADRH26[25]	ADRH26[24]
		ADRH26[23]	ADRH26[22]	ADRH26[21]	ADRH26[20]	ADRH26[19]	ADRH26[18]	ADRH26[17]	ADRH26[16]
		ADRH26[15]	ADRH26[14]	ADRH26[13]	ADRH26[12]	ADRH26[11]	ADRH26[10]	ADRH26[9]	ADRH26[8]
		ADRH26[7]	ADRH26[6]	ADRH26[5]	ADRH26[4]	ADRH26[3]	ADRH26[2]	ADRH26[1]	ADRH26[0]
	TSU_ADRH27	ADRH27[31]	ADRH27[30]	ADRH27[29]	ADRH27[28]	ADRH27[27]	ADRH27[26]	ADRH27[25]	ADRH27[24]
		ADRH27[23]	ADRH27[22]	ADRH27[21]	ADRH27[20]	ADRH27[19]	ADRH27[18]	ADRH27[17]	ADRH27[16]
		ADRH27[15]	ADRH27[14]	ADRH27[13]	ADRH27[12]	ADRH27[11]	ADRH27[10]	ADRH27[9]	ADRH27[8]
		ADRH27[7]	ADRH27[6]	ADRH27[5]	ADRH27[4]	ADRH27[3]	ADRH27[2]	ADRH27[1]	ADRH27[0]
	TSU_ADRH28	ADRH28[31]	ADRH28[30]	ADRH28[29]	ADRH28[28]	ADRH28[27]	ADRH28[26]	ADRH28[25]	ADRH28[24]
		ADRH28[23]	ADRH28[22]	ADRH28[21]	ADRH28[20]	ADRH28[19]	ADRH28[18]	ADRH28[17]	ADRH28[16]
		ADRH28[15]	ADRH28[14]	ADRH28[13]	ADRH28[12]	ADRH28[11]	ADRH28[10]	ADRH28[9]	ADRH28[8]
		ADRH28[7]	ADRH28[6]	ADRH28[5]	ADRH28[4]	ADRH28[3]	ADRH28[2]	ADRH28[1]	ADRH28[0]
	TSU_ADRH29	ADRH29[31]	ADRH29[30]	ADRH29[29]	ADRH29[28]	ADRH29[27]	ADRH29[26]	ADRH29[25]	ADRH29[24]
		ADRH29[23]	ADRH29[22]	ADRH29[21]	ADRH29[20]	ADRH29[19]	ADRH29[18]	ADRH29[17]	ADRH29[16]
		ADRH29[15]	ADRH29[14]	ADRH29[13]	ADRH29[12]	ADRH29[11]	ADRH29[10]	ADRH29[9]	ADRH29[8]
		ADRH29[7]	ADRH29[6]	ADRH29[5]	ADRH29[4]	ADRH29[3]	ADRH29[2]	ADRH29[1]	ADRH29[0]
	TSU_ADRH30	ADRH30[31]	ADRH30[30]	ADRH30[29]	ADRH30[28]	ADRH30[27]	ADRH30[26]	ADRH30[25]	ADRH30[24]
		ADRH30[23]	ADRH30[22]	ADRH30[21]	ADRH30[20]	ADRH30[19]	ADRH30[18]	ADRH30[17]	ADRH30[16]
		ADRH30[15]	ADRH30[14]	ADRH30[13]	ADRH30[12]	ADRH30[11]	ADRH30[10]	ADRH30[9]	ADRH30[8]
		ADRH30[7]	ADRH30[6]	ADRH30[5]	ADRH30[4]	ADRH30[3]	ADRH30[2]	ADRH30[1]	ADRH30[0]
	TSU_ADRH31	ADRH31[31]	ADRH31[30]	ADRH31[29]	ADRH31[28]	ADRH31[27]	ADRH31[26]	ADRH31[25]	ADRH31[24]
		ADRH31[23]	ADRH31[22]	ADRH31[21]	ADRH31[20]	ADRH31[19]	ADRH31[18]	ADRH31[17]	ADRH31[16]
		ADRH31[15]	ADRH31[14]	ADRH31[13]	ADRH31[12]	ADRH31[11]	ADRH31[10]	ADRH31[9]	ADRH31[8]
		ADRH31[7]	ADRH31[6]	ADRH31[5]	ADRH31[4]	ADRH31[3]	ADRH31[2]	ADRH31[1]	ADRH31[0]
	TSU_ADRL0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL0[15]	ADRL0[14]	ADRL0[13]	ADRL0[12]	ADRL0[11]	ADRL0[10]	ADRL0[9]	ADRL0[8]
		ADRL0[7]	ADRL0[6]	ADRL0[5]	ADRL0[4]	ADRL0[3]	ADRL0[2]	ADRL0[1]	ADRL0[0]
	TSU_ADRL1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL1[15]	ADRL1[14]	ADRL1[13]	ADRL1[12]	ADRL1[11]	ADRL1[10]	ADRL1[9]	ADRL1[8]
		ADRL1[7]	ADRL1[6]	ADRL1[5]	ADRL1[4]	ADRL1[3]	ADRL1[2]	ADRL1[1]	ADRL1[0]
	TSU_ADRL2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL2[15]	ADRL2[14]	ADRL2[13]	ADRL2[12]	ADRL2[11]	ADRL2[10]	ADRL2[9]	ADRL2[8]
		ADRL2[7]	ADRL2[6]	ADRL2[5]	ADRL2[4]	ADRL2[3]	ADRL2[2]	ADRL2[1]	ADRL2[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	TSU_ADRL3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL3[15]	ADRL3[14]	ADRL3[13]	ADRL3[12]	ADRL3[11]	ADRL3[10]	ADRL3[9]	ADRL3[8]
		ADRL3[7]	ADRL3[6]	ADRL3[5]	ADRL3[4]	ADRL3[3]	ADRL3[2]	ADRL3[1]	ADRL3[0]
	TSU_ADRL4	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL4[15]	ADRL4[14]	ADRL4[13]	ADRL4[12]	ADRL4[11]	ADRL4[10]	ADRL4[9]	ADRL4[8]
		ADRL4[7]	ADRL4[6]	ADRL4[5]	ADRL4[4]	ADRL4[3]	ADRL4[2]	ADRL4[1]	ADRL4[0]
	TSU_ADRL5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL5[15]	ADRL5[14]	ADRL5[13]	ADRL5[12]	ADRL5[11]	ADRL5[10]	ADRL5[9]	ADRL5[8]
		ADRL5[7]	ADRL5[6]	ADRL5[5]	ADRL5[4]	ADRL5[3]	ADRL5[2]	ADRL5[1]	ADRL5[0]
	TSU_ADRL6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL6[15]	ADRL6[14]	ADRL6[13]	ADRL6[12]	ADRL6[11]	ADRL6[10]	ADRL6[9]	ADRL6[8]
		ADRL6[7]	ADRL6[6]	ADRL6[5]	ADRL6[4]	ADRL6[3]	ADRL6[2]	ADRL6[1]	ADRL6[0]
	TSU_ADRL7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL7[15]	ADRL7[14]	ADRL7[13]	ADRL7[12]	ADRL7[11]	ADRL7[10]	ADRL7[9]	ADRL7[8]
		ADRL7[7]	ADRL7[6]	ADRL7[5]	ADRL7[4]	ADRL7[3]	ADRL7[2]	ADRL7[1]	ADRL7[0]
	TSU_ADRL8	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL8[15]	ADRL8[14]	ADRL8[13]	ADRL8[12]	ADRL8[11]	ADRL8[10]	ADRL8[9]	ADRL8[8]
		ADRL8[7]	ADRL8[6]	ADRL8[5]	ADRL8[4]	ADRL8[3]	ADRL8[2]	ADRL8[1]	ADRL8[0]
	TSU_ADRL9	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL9[15]	ADRL9[14]	ADRL9[13]	ADRL9[12]	ADRL9[11]	ADRL9[10]	ADRL9[9]	ADRL9[8]
		ADRL9[7]	ADRL9[6]	ADRL9[5]	ADRL9[4]	ADRL9[3]	ADRL9[2]	ADRL9[1]	ADRL9[0]
	TSU_ADRL10	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL10[15]	ADRL10[14]	ADRL10[13]	ADRL10[12]	ADRL10[11]	ADRL10[10]	ADRL10[9]	ADRL10[8]
		ADRL10[7]	ADRL10[6]	ADRL10[5]	ADRL10[4]	ADRL10[3]	ADRL10[2]	ADRL10[1]	ADRL10[0]
	TSU_ADRL11	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL11[15]	ADRL11[14]	ADRL11[13]	ADRL11[12]	ADRL11[11]	ADRL11[10]	ADRL11[9]	ADRL11[8]
		ADRL11[7]	ADRL11[6]	ADRL11[5]	ADRL11[4]	ADRL11[3]	ADRL11[2]	ADRL11[1]	ADRL11[0]
	TSU_ADRL12	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL12[15]	ADRL12[14]	ADRL12[13]	ADRL12[12]	ADRL12[11]	ADRL12[10]	ADRL12[9]	ADRL12[8]
		ADRL12[7]	ADRL12[6]	ADRL12[5]	ADRL12[4]	ADRL12[3]	ADRL12[2]	ADRL12[1]	ADRL12[0]
	TSU_ADRL13	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL13[15]	ADRL13[14]	ADRL13[13]	ADRL13[12]	ADRL13[11]	ADRL13[10]	ADRL13[9]	ADRL13[8]
		ADRL13[7]	ADRL13[6]	ADRL13[5]	ADRL13[4]	ADRL13[3]	ADRL13[2]	ADRL13[1]	ADRL13[0]
	TSU_ADRL14	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL14[15]	ADRL14[14]	ADRL14[13]	ADRL14[12]	ADRL14[11]	ADRL14[10]	ADRL14[9]	ADRL14[8]
		ADRL14[7]	ADRL14[6]	ADRL14[5]	ADRL14[4]	ADRL14[3]	ADRL14[2]	ADRL14[1]	ADRL14[0]
	TSU_ADRL15	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL15[15]	ADRL15[14]	ADRL15[13]	ADRL15[12]	ADRL15[11]	ADRL15[10]	ADRL15[9]	ADRL15[8]
		ADRL15[7]	ADRL15[6]	ADRL15[5]	ADRL15[4]	ADRL15[3]	ADRL15[2]	ADRL15[1]	ADRL15[0]
	TSU_ADRL16	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL16[15]	ADRL16[14]	ADRL16[13]	ADRL16[12]	ADRL16[11]	ADRL16[10]	ADRL16[9]	ADRL16[8]
		ADRL16[7]	ADRL16[6]	ADRL16[5]	ADRL16[4]	ADRL16[3]	ADRL16[2]	ADRL16[1]	ADRL16[0]
	TSU_ADRL17	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL17[15]	ADRL17[14]	ADRL17[13]	ADRL17[12]	ADRL17[11]	ADRL17[10]	ADRL17[9]	ADRL17[8]
		ADRL17[7]	ADRL17[6]	ADRL17[5]	ADRL17[4]	ADRL17[3]	ADRL17[2]	ADRL17[1]	ADRL17[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	TSU_ADRL18	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL18[15]	ADRL18[14]	ADRL18[13]	ADRL18[12]	ADRL18[11]	ADRL18[10]	ADRL18[9]	ADRL18[8]
		ADRL18[7]	ADRL18[6]	ADRL18[5]	ADRL18[4]	ADRL18[3]	ADRL18[2]	ADRL18[1]	ADRL18[0]
	TSU_ADRL19	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL19[15]	ADRL19[14]	ADRL19[13]	ADRL19[12]	ADRL19[11]	ADRL19[10]	ADRL19[9]	ADRL19[8]
		ADRL19[7]	ADRL19[6]	ADRL19[5]	ADRL19[4]	ADRL19[3]	ADRL19[2]	ADRL19[1]	ADRL19[0]
	TSU_ADRL20	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL20[15]	ADRL20[14]	ADRL20[13]	ADRL20[12]	ADRL20[11]	ADRL20[10]	ADRL20[9]	ADRL20[8]
		ADRL20[7]	ADRL20[6]	ADRL20[5]	ADRL20[4]	ADRL20[3]	ADRL20[2]	ADRL20[1]	ADRL20[0]
	TSU_ADRL21	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL21[15]	ADRL21[14]	ADRL21[13]	ADRL21[12]	ADRL21[11]	ADRL21[10]	ADRL21[9]	ADRL21[8]
		ADRL21[7]	ADRL21[6]	ADRL21[5]	ADRL21[4]	ADRL21[3]	ADRL21[2]	ADRL21[1]	ADRL21[0]
	TSU_ADRL22	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL22[15]	ADRL22[14]	ADRL22[13]	ADRL22[12]	ADRL22[11]	ADRL22[10]	ADRL22[9]	ADRL22[8]
		ADRL22[7]	ADRL22[6]	ADRL22[5]	ADRL22[4]	ADRL22[3]	ADRL22[2]	ADRL22[1]	ADRL22[0]
	TSU_ADRL23	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL23[15]	ADRL23[14]	ADRL23[13]	ADRL23[12]	ADRL23[11]	ADRL23[10]	ADRL23[9]	ADRL23[8]
		ADRL23[7]	ADRL23[6]	ADRL23[5]	ADRL23[4]	ADRL23[3]	ADRL23[2]	ADRL23[1]	ADRL23[0]
	TSU_ADRL24	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL24[15]	ADRL24[14]	ADRL24[13]	ADRL24[12]	ADRL24[11]	ADRL24[10]	ADRL24[9]	ADRL24[8]
		ADRL24[7]	ADRL24[6]	ADRL24[5]	ADRL24[4]	ADRL24[3]	ADRL24[2]	ADRL24[1]	ADRL24[0]
	TSU_ADRL25	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL25[15]	ADRL25[14]	ADRL25[13]	ADRL25[12]	ADRL25[11]	ADRL25[10]	ADRL25[9]	ADRL25[8]
		ADRL25[7]	ADRL25[6]	ADRL25[5]	ADRL25[4]	ADRL25[3]	ADRL25[2]	ADRL25[1]	ADRL25[0]
	TSU_ADRL26	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL26[15]	ADRL26[14]	ADRL26[13]	ADRL26[12]	ADRL26[11]	ADRL26[10]	ADRL26[9]	ADRL26[8]
		ADRL26[7]	ADRL26[6]	ADRL26[5]	ADRL26[4]	ADRL26[3]	ADRL26[2]	ADRL26[1]	ADRL26[0]
	TSU_ADRL27	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL27[15]	ADRL27[14]	ADRL27[13]	ADRL27[12]	ADRL27[11]	ADRL27[10]	ADRL27[9]	ADRL27[8]
		ADRL27[7]	ADRL27[6]	ADRL27[5]	ADRL27[4]	ADRL27[3]	ADRL27[2]	ADRL27[1]	ADRL27[0]
	TSU_ADRL28	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL28[15]	ADRL28[14]	ADRL28[13]	ADRL28[12]	ADRL28[11]	ADRL28[10]	ADRL28[9]	ADRL28[8]
		ADRL28[7]	ADRL28[6]	ADRL28[5]	ADRL28[4]	ADRL28[3]	ADRL28[2]	ADRL28[1]	ADRL28[0]
	TSU_ADRL29	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL29[15]	ADRL29[14]	ADRL29[13]	ADRL29[12]	ADRL29[11]	ADRL29[10]	ADRL29[9]	ADRL29[8]
		ADRL29[7]	ADRL29[6]	ADRL29[5]	ADRL29[4]	ADRL29[3]	ADRL29[2]	ADRL29[1]	ADRL29[0]
	TSU_ADRL30	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL30[15]	ADRL30[14]	ADRL30[13]	ADRL30[12]	ADRL30[11]	ADRL30[10]	ADRL30[9]	ADRL30[8]
		ADRL30[7]	ADRL30[6]	ADRL30[5]	ADRL30[4]	ADRL30[3]	ADRL30[2]	ADRL30[1]	ADRL30[0]
	TSU_ADRL31	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ADRL31[15]	ADRL31[14]	ADRL31[13]	ADRL31[12]	ADRL31[11]	ADRL31[10]	ADRL31[9]	ADRL31[8]
		ADRL31[7]	ADRL31[6]	ADRL31[5]	ADRL31[4]	ADRL31[3]	ADRL31[2]	ADRL31[1]	ADRL31[0]
	TXNLCR0	NTC0[31]	NTC0[30]	NTC0[29]	NTC0[28]	NTC0[27]	NTC0[26]	NTC0[25]	NTC0[24]
		NTC0[23]	NTC0[22]	NTC0[21]	NTC0[20]	NTC0[19]	NTC0[18]	NTC0[17]	NTC0[16]
		NTC0[15]	NTC0[14]	NTC0[13]	NTC0[12]	NTC0[11]	NTC0[10]	NTC0[9]	NTC0[8]
		NTC0[7]	NTC0[6]	NTC0[5]	NTC0[4]	NTC0[3]	NTC0[2]	NTC0[1]	NTC0[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	TXALCR0	TC0[31]	TC0[30]	TC0[29]	TC0[28]	TC0[27]	TC0[26]	TC0[25]	TC0[24]
		TC0[23]	TC0[22]	TC0[21]	TC0[20]	TC0[19]	TC0[18]	TC0[17]	TC0[16]
		TC0[15]	TC0[14]	TC0[13]	TC0[12]	TC0[11]	TC0[10]	TC0[9]	TC0[8]
		TC0[7]	TC0[6]	TC0[5]	TC0[4]	TC0[3]	TC0[2]	TC0[1]	TC0[0]
	RXNLCR0	NRC0[31]	NRC0[30]	NRC0[29]	NRC0[28]	NRC0[27]	NRC0[26]	NRC0[25]	NRC0[24]
		NRC0[23]	NRC0[22]	NRC0[21]	NRC0[20]	NRC0[19]	NRC0[18]	NRC0[17]	NRC0[16]
		NRC0[15]	NRC0[14]	NRC0[13]	NRC0[12]	NRC0[11]	NRC0[10]	NRC0[9]	NRC0[8]
		NRC0[7]	NRC0[6]	NRC0[5]	NRC0[4]	NRC0[3]	NRC0[2]	NRC0[1]	NRC0[0]
	RXALCR0	RC0[31]	RC0[30]	RC0[29]	RC0[28]	RC0[27]	RC0[26]	RC0[25]	RC0[24]
		RC0[23]	RC0[22]	RC0[21]	RC0[20]	RC0[19]	RC0[18]	RC0[17]	RC0[16]
		RC0[15]	RC0[14]	RC0[13]	RC0[12]	RC0[11]	RC0[10]	RC0[9]	RC0[8]
		RC0[7]	RC0[6]	RC0[5]	RC0[4]	RC0[3]	RC0[2]	RC0[1]	RC0[0]
	EDSR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	ENT	ENR
	EDMR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	DE	DL[1]	DL[0]	–	–	SWRT	SWRR
	EDTRR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	TR[1]	TR[0]
	EDRRR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	RR
	EESR0	TWB[1]	TWB[0]	TC[1]	TUC	ROC	TABT	RABT	RFCOF
		–	ECI	TC[0]	TDE	TFUF	FR	RDE	RFOF
		–	–	–	–	–	–	–	–
		RMAF	–	–	RRF	RTLF	RTSF	PRE	CERF
	EESIPR0	TWB1IP	TWB0IP	TC1IP	TUCIP	ROCIP	TABTIP	RABTIP	RFCOFIP
		–	ECIIP	TC0IP	TDEIP	TFUFIP	FRIP	RDEIP	RFOFIP
		–	–	–	–	–	–	–	–
		RMAFIP	–	–	RRFIP	RTLFIP	RTSFIP	PREIP	CERFIP
	TDLAR0	TDLA[31]	TDLA[30]	TDLA[29]	TDLA[28]	TDLA[27]	TDLA[26]	TDLA[25]	TDLA[24]
		TDLA[23]	TDLA[22]	TDLA[21]	TDLA[20]	TDLA[19]	TDLA[18]	TDLA[17]	TDLA[16]
		TDLA[15]	TDLA[14]	TDLA[13]	TDLA[12]	TDLA[11]	TDLA[10]	TDLA[9]	TDLA[8]
		TDLA[7]	TDLA[6]	TDLA[5]	TDLA[4]	TDLA[3]	TDLA[2]	TDLA[1]	TDLA[0]
	TDFAR0	TDFA[31]	TDFA[30]	TDFA[29]	TDFA[28]	TDFA[27]	TDFA[26]	TDFA[25]	TDFA[24]
		TDFA[23]	TDFA[22]	TDFA[21]	TDFA[20]	TDFA[19]	TDFA[18]	TDFA[17]	TDFA[16]
		TDFA[15]	TDFA[14]	TDFA[13]	TDFA[12]	TDFA[11]	TDFA[10]	TDFA[9]	TDFA[8]
		TDFA[7]	TDFA[6]	TDFA[5]	TDFA[4]	TDFA[3]	TDFA[2]	TDFA[1]	TDFA[0]
	TDFXR0	TDFX[31]	TDFX[30]	TDFX[29]	TDFX[28]	TDFX[27]	TDFX[26]	TDFX[25]	TDFX[24]
		TDFX[23]	TDFX[22]	TDFX[21]	TDFX[20]	TDFX[19]	TDFX[18]	TDFX[17]	TDFX[16]
		TDFX[15]	TDFX[14]	TDFX[13]	TDFX[12]	TDFX[11]	TDFX[10]	TDFX[9]	TDFX[8]
		TDFX[7]	TDFX[6]	TDFX[5]	TDFX[4]	TDFX[3]	TDFX[2]	TDFX[1]	TDFX[0]
	TDFFR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TDLF
	RDLAR0	RDLA[31]	RDLA[30]	RDLA[29]	RDLA[28]	RDLA[27]	RDLA[26]	RDLA[25]	RDLA[24]
		RDLA[23]	RDLA[22]	RDLA[21]	RDLA[20]	RDLA[19]	RDLA[18]	RDLA[17]	RDLA[16]
		RDLA[15]	RDLA[14]	RDLA[13]	RDLA[12]	RDLA[11]	RDLA[10]	RDLA[9]	RDLA[8]
		RDLA[7]	RDLA[6]	RDLA[5]	RDLA[4]	RDLA[3]	RDLA[2]	RDLA[1]	RDLA[0]
	RDFAR0	RDFA[31]	RDFA[30]	RDFA[29]	RDFA[28]	RDFA[27]	RDFA[26]	RDFA[25]	RDFA[24]
		RDFA[23]	RDFA[22]	RDFA[21]	RDFA[20]	RDFA[19]	RDFA[18]	RDFA[17]	RDFA[16]
		RDFA[15]	RDFA[14]	RDFA[13]	RDFA[12]	RDFA[11]	RDFA[10]	RDFA[9]	RDFA[8]
		RDFA[7]	RDFA[6]	RDFA[5]	RDFA[4]	RDFA[3]	RDFA[2]	RDFA[1]	RDFA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
イーサネットコントローラ	RDFXR0	RDFX[31]	RDFX[30]	RDFX[29]	RDFX[28]	RDFX[27]	RDFX[26]	RDFX[25]	RDFX[24]
		RDFX[23]	RDFX[22]	RDFX[21]	RDFX[20]	RDFX[19]	RDFX[18]	RDFX[17]	RDFX[16]
		RDFX[15]	RDFX[14]	RDFX[13]	RDFX[12]	RDFX[11]	RDFX[10]	RDFX[9]	RDFX[8]
		RDFX[7]	RDFX[6]	RDFX[5]	RDFX[4]	RDFX[3]	RDFX[2]	RDFX[1]	RDFX[0]
	RDFFR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	RDLF
	TRSCER0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	TABTCE	RABTCE
		–	–	–	–	–	–	–	–
		RMAFCE	–	–	RRFCE	RTLFCE	RTSFCE	PRECE	CERFCE
	RMFCR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MFC[15]	MFC[14]	MFC[13]	MFC[12]	MFC[11]	MFC[10]	MFC[9]	MFC[8]
		MFC[7]	MFC[6]	MFC[5]	MFC[4]	MFC[3]	MFC[2]	MFC[1]	MFC[0]
	TFTR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	TFT[10]	TFT[9]	TFT[8]
		TFT[7]	TFT[6]	TFT[5]	TFT[4]	TFT[3]	TFT[2]	TFT[1]	TFT[0]
	FDR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	TFD[2]	TFD[1]	TFD[0]
		–	–	–	RFD[4]	RFD[3]	RFD[2]	RFD[1]	RFD[0]
	RMCR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	RNC
	RPADIR0	–	–	–	–	–	–	–	–
		–	–	–	PADS[4]	PADS[3]	PADS[2]	PADS[1]	PADS[0]
		PADR[15]	PADR[14]	PADR[13]	PADR[12]	PADR[11]	PADR[10]	PADR[9]	PADR[8]
		PADR[7]	PADR[6]	PADR[5]	PADR[4]	PADR[3]	PADR[2]	PADR[1]	PADR[0]
	FCFTR0	–	–	–	–	–	–	–	–
		–	–	–	RFF[4]	RFF[3]	RFF[2]	RFF[1]	RFF[0]
		–	–	–	–	–	–	–	–
		RFD[7]	RFD[6]	RFD[5]	RFD[4]	RFD[3]	RFD[2]	RFD[1]	RFD[0]
	CSMR	CSEBL	CSMD	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	SB[5]	SB[4]	SB[3]	SB[2]	SB[1]	SB[0]
	CSSBM	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	SBM[5]	SBM[4]	SBM[3]	SBM[2]	SBM[1]	SBM[0]
	CSSMR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		CS[15]	CS[14]	CS[13]	CS[12]	CS[11]	CS[10]	CS[9]	CS[8]
		CS[7]	CS[6]	CS[5]	CS[4]	CS[3]	CS[2]	CS[1]	CS[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
A/D変換器	ADDRA	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADDRB	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADDRC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADDRD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADDRE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADDRF	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADDRG	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADDRH	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHA	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLA	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHB	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLB	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHF	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLF	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHG	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLG	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPHH	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCMPLH	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADCSR	ADF	ADIE	ADST	TRGS[3]	TRGS[2]	TRGS[1]	TRGS[0]	CKS[2]
		CKS[1]	CKS[0]	MDS[2]	MDS[1]	MDS[0]	CH[2]	CH[1]	CH[0]
	ADCMPER	HLMENH	HLMENG	HLMENF	HLMENE	HLMEND	HLMENC	HLMENB	HLMENA
		LLMENH	LLMENG	LLMENF	LLMENE	LLMEND	LLMENC	LLMENB	LLMENA
	ADCMPSR	HOVRH	HOVRG	HOVRF	HOVRE	HOVRD	HOVRC	HOVRB	HOVRA
		LUDRH	LUDRG	LUDRF	LUDRE	LUDRD	LUDRC	LUDRB	LUDRA

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	SYSCFG0_0	–	–	–	–	–	SCKE	–	–
		HSE	DCFM	DRPD	DPRPU	-	UCKSEL	UPLLE	USBE
	BUSWAIT_0	–	–	–	–	–	–	–	–
		-	–	BWAIT[5]	BWAIT[4]	BWAIT[3]	BWAIT[2]	BWAIT[1]	BWAIT[0]
	SYSSTS0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	-	LNST[1]	LNST[0]
	DVSTCTR0_0	–	–	–	–	–	–	–	WKUP
		RWUPE	USBRST	RESUME	UACT	–	RHST[2]	RHST[1]	RHST[0]
	TESTMODE_0	–	–	–	–	–	–	–	–
		–	–	–	–	UTST[3]	UTST[2]	UTST[1]	UTST[0]
	D0FBCFG_0	–	–	DFACC[1]	DFACC[0]	–	–	–	–
		–	–	–	TENDE	–	–	–	–
	D1FBCFG_0	–	–	DFACC[1]	DFACC[0]	–	–	–	–
		–	–	–	TENDE	–	–	–	–
	CFIFO_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFO_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFO_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	CFIFOSEL_0	RCNT	REW	–	–	MBW[1]	MBW[0]	–	BIGEND
		–	–	ISEL	–	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	CFIFOCTR_0	BVAL	BCLR	FRDY	–	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	D0FIFOSEL_0	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	–	BIGEND
		–	–	–	–	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	D0FIFOCTR_0	BVAL	BCLR	FRDY	–	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	D1FIFOSEL_0	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	–	BIGEND
		–	–	–	–	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	D1FIFOCTR_0	BVAL	BCLR	FRDY	–	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	INTENB0_0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		–	–	–	–	–	–	–	–
	INTENB1_0	–	BCHGE	–	DTCHE	ATTCHE	–	–	–
		–	EOFERRE	SIGNE	SACKE	–	–	–	–
	BRDYENB_0	PIPEBRDYE[15]	PIPEBRDYE[14]	PIPEBRDYE[13]	PIPEBRDYE[12]	PIPEBRDYE[11]	PIPEBRDYE[10]	PIPEBRDYE[9]	PIPEBRDYE[8]
		PIPEBRDYE[7]	PIPEBRDYE[6]	PIPEBRDYE[5]	PIPEBRDYE[4]	PIPEBRDYE[3]	PIPEBRDYE[2]	PIPEBRDYE[1]	PIPEBRDYE[0]
	NRDYENB_0	PIPENRDYE[15]	PIPENRDYE[14]	PIPENRDYE[13]	PIPENRDYE[12]	PIPENRDYE[11]	PIPENRDYE[10]	PIPENRDYE[9]	PIPENRDYE[8]
		PIPENRDYE[7]	PIPENRDYE[6]	PIPENRDYE[5]	PIPENRDYE[4]	PIPENRDYE[3]	PIPENRDYE[2]	PIPENRDYE[1]	PIPENRDYE[0]
	BEMPENB_0	PIPEBEMPE[15]	PIPEBEMPE[14]	PIPEBEMPE[13]	PIPEBEMPE[12]	PIPEBEMPE[11]	PIPEBEMPE[10]	PIPEBEMPE[9]	PIPEBEMPE[8]
		PIPEBEMPE[7]	PIPEBEMPE[6]	PIPEBEMPE[5]	PIPEBEMPE[4]	PIPEBEMPE[3]	PIPEBEMPE[2]	PIPEBEMPE[1]	PIPEBEMPE[0]
	SOFCFG_0	–	–	–	–	–	–	–	TRNENSEL
		–	BRDYM	–	-	-	-	–	–
	INTSTS0_0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2]	DVSQ[1]	DVSQ[0]	VALID	CTSQ[2]	CTSQ[1]	CTSQ[0]
	INTSTS1_0	–	BCHG	–	DTCH	ATTCH	–	–	–
		–	EOFERR	SIGN	SACK	–	–	–	–
	BRDYSTS_0	PIPEBRDY[15]	PIPEBRDY[14]	PIPEBRDY[13]	PIPEBRDY[12]	PIPEBRDY[11]	PIPEBRDY[10]	PIPEBRDY[9]	PIPEBRDY[8]
		PIPEBRDY[7]	PIPEBRDY[6]	PIPEBRDY[5]	PIPEBRDY[4]	PIPEBRDY[3]	PIPEBRDY[2]	PIPEBRDY[1]	PIPEBRDY[0]
	NRDYSTS_0	PIPENRDY[15]	PIPENRDY[14]	PIPENRDY[13]	PIPENRDY[12]	PIPENRDY[11]	PIPENRDY[10]	PIPENRDY[9]	PIPENRDY[8]
		PIPENRDY[7]	PIPENRDY[6]	PIPENRDY[5]	PIPENRDY[4]	PIPENRDY[3]	PIPENRDY[2]	PIPENRDY[1]	PIPENRDY[0]
	BEMPSTS_0	PIPEBEMP[15]	PIPEBEMP[14]	PIPEBEMP[13]	PIPEBEMP[12]	PIPEBEMP[11]	PIPEBEMP[10]	PIPEBEMP[9]	PIPEBEMP[8]
		PIPEBEMP[7]	PIPEBEMP[6]	PIPEBEMP[5]	PIPEBEMP[4]	PIPEBEMP[3]	PIPEBEMP[2]	PIPEBEMP[1]	PIPEBEMP[0]
	FRMNUM_0	OVRN	CRCE	–	–	–	FRNM[10]	FRNM[9]	FRNM[8]
		FRNM[7]	FRNM[6]	FRNM[5]	FRNM[4]	FRNM[3]	FRNM[2]	FRNM[1]	FRNM[0]
	UFRMNUM_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	UFRNM[2]	UFRNM[1]	UFRNM[0]
	USBADDR_0	–	–	–	–	–	–	–	–
		–	USBADDR[6]	USBADDR[5]	USBADDR[4]	USBADDR[3]	USBADDR[2]	USBADDR[1]	USBADDR[0]
	USBREQ_0	bRequest[7]	bRequest[6]	bRequest[5]	bRequest[4]	bRequest[3]	bRequest[2]	bRequest[1]	bRequest[0]
		bmRequestType[7]	bmRequestType[6]	bmRequestType[5]	bmRequestType[4]	bmRequestType[3]	bmRequestType[2]	bmRequestType[1]	bmRequestType[0]
	USBVAL_0	wValue[15]	wValue[14]	wValue[13]	wValue[12]	wValue[11]	wValue[10]	wValue[9]	wValue[8]
		wValue[7]	wValue[6]	wValue[5]	wValue[4]	wValue[3]	wValue[2]	wValue[1]	wValue[0]
	USBINDX_0	wIndex[15]	wIndex[14]	wIndex[13]	wIndex[12]	wIndex[11]	wIndex[10]	wIndex[9]	wIndex[8]
		wIndex[7]	wIndex[6]	wIndex[5]	wIndex[4]	wIndex[3]	wIndex[2]	wIndex[1]	wIndex[0]
	USBLENG_0	wLength[15]	wLength[14]	wLength[13]	wLength[12]	wLength[11]	wLength[10]	wLength[9]	wLength[8]
		wLength[7]	wLength[6]	wLength[5]	wLength[4]	wLength[3]	wLength[2]	wLength[1]	wLength[0]
	DCPCFG_0	–	–	–	–	–	–	–	CNTMD
		SHTNAK	–	–	DIR	–	–	–	–
	DCPMAXP_0	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	–	–	–	–
		–	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	DCPCTR_0	BSTS	SUREQ	CSCLR	CSSTS	SUREQCLR	–	–	SQCLR
		SQSET	SQMON	PBUSY	PINGE	–	CCPL	PID[1]	PID[0]
	PIPESEL_0	–	–	–	–	–	–	–	–
		–	–	–	–	PIPESEL[3]	PIPESEL[2]	PIPESEL[1]	PIPESEL[0]
	PIPECFG_0	TYPE[1]	TYPE[0]	–	–	–	BFRE	DBLB	CNTMD
		SHTNAK	–	–	DIR	EPNUM[3]	EPNUM[2]	EPNUM[1]	EPNUM[0]
	PIPEBUF_0	–	BUFSIZE[4]	BUFSIZE[3]	BUFSIZE[2]	BUFSIZE[1]	BUFSIZE[0]	–	–
		BUFNMB[7]	BUFNMB[6]	BUFNMB[5]	BUFNMB[4]	BUFNMB[3]	BUFNMB[2]	BUFNMB[1]	BUFNMB[0]
	PIPEMAXP_0	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	–	MXPS[10]	MXPS[9]	MXPS[8]
		MXPS[7]	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	PIPEPERI_0	–	–	–	IFIS	–	–	–	–
		–	–	–	–	–	IITV[2]	IITV[1]	IITV[0]
	PIPE1CTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE2CTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE3CTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	PIPE4CTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE5CTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE6CTR_0	BSTS	–	CSCLR	CSSTS	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE7CTR_0	BSTS	–	CSCLR	CSSTS	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE8CTR_0	BSTS	–	CSCLR	CSSTS	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE9CTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEACTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEBCTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPECCTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEDCTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEECTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEFCTR_0	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE1TRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE1TRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE2TRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE2TRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE3TRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE3TRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE4TRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE4TRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE5TRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE5TRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEBTRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEBTRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPECTRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPECTRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEDTRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEDTRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEETRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	PIPEETRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEFTRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEFTRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE9TRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE9TRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEATRE_0	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEATRN_0	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	DEVADD0_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD1_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD2_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD3_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD4_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD5_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD6_0	–	HPPHUB[3]	HPPHUB[2]	HPPHUB[1]	HPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	–	–	-
	DEVADD7_0	–	HPPHUB[3]	HPPHUB[2]	HPPHUB[1]	HPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD8_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD9_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADDA_0	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	SUSPMODE_0	–	SUSPM	–	–	–	–	–	–
		–	–	–	–	–	–	–	-
	D0FIFOB0_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB1_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB2_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB3_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB4_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	D0FIFOB5_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB6_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB7_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB0_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB1_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB2_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB3_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB4_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB5_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB6_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB7_0	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	SYSCFG0_1	–	–	–	–	–	SCKE	–	–
		HSE	DCFM	DRPD	DPRPU	-	–	–	USBE
	BUSWAIT_1	–	–	–	–	–	–	–	–
		-	–	BWAIT[5]	BWAIT[4]	BWAIT[3]	BWAIT[2]	BWAIT[1]	BWAIT[0]
	SYSSTS0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	-	LNST[1]	LNST[0]
	DVSTCTR0_1	–	–	–	–	–	–	–	WKUP
		RWUPE	USBRST	RESUME	UACT	–	RHST[2]	RHST[1]	RHST[0]
	TESTMODE_1	–	–	–	–	–	–	–	–
		–	–	–	–	UTST[3]	UTST[2]	UTST[1]	UTST[0]
	D0FBCFG_1	–	–	DFACC[1]	DFACC[0]	–	–	–	–
		–	–	–	TENDE	–	–	–	–
	D1FBCFG_1	–	–	DFACC[1]	DFACC[0]	–	–	–	–
		–	–	–	TENDE	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	CFIFO_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFO_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFO_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	CFIFOSEL_1	RCNT	REW	–	–	MBW[1]	MBW[0]	–	BIGEND
		–	–	ISEL	–	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	CFIFOCTR_1	BVAL	BCLR	FRDY	–	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	D0FIFOSEL_1	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	–	BIGEND
		–	–	–	–	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	D0FIFOCTR_1	BVAL	BCLR	FRDY	–	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	D1FIFOSEL_1	RCNT	REW	DCLRM	DREQE	MBW[1]	MBW[0]	–	BIGEND
		–	–	–	–	CURPIPE[3]	CURPIPE[2]	CURPIPE[1]	CURPIPE[0]
	D1FIFOCTR_1	BVAL	BCLR	FRDY	–	DTLN[11]	DTLN[10]	DTLN[9]	DTLN[8]
		DTLN[7]	DTLN[6]	DTLN[5]	DTLN[4]	DTLN[3]	DTLN[2]	DTLN[1]	DTLN[0]
	INTENB0_1	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE
		–	–	–	–	–	–	–	–
	INTENB1_1	–	BCHGE	–	DTCHE	ATTCHE	–	–	–
		–	EOFERRE	SIGNE	SACKE	–	–	–	–
	BRDYENB_1	PIPEBRDYE[15]	PIPEBRDYE[14]	PIPEBRDYE[13]	PIPEBRDYE[12]	PIPEBRDYE[11]	PIPEBRDYE[10]	PIPEBRDYE[9]	PIPEBRDYE[8]
		PIPEBRDYE[7]	PIPEBRDYE[6]	PIPEBRDYE[5]	PIPEBRDYE[4]	PIPEBRDYE[3]	PIPEBRDYE[2]	PIPEBRDYE[1]	PIPEBRDYE[0]
	NRDYENB_1	PIPENRDYE[15]	PIPENRDYE[14]	PIPENRDYE[13]	PIPENRDYE[12]	PIPENRDYE[11]	PIPENRDYE[10]	PIPENRDYE[9]	PIPENRDYE[8]
		PIPENRDYE[7]	PIPENRDYE[6]	PIPENRDYE[5]	PIPENRDYE[4]	PIPENRDYE[3]	PIPENRDYE[2]	PIPENRDYE[1]	PIPENRDYE[0]
	BEMPENB_1	PIPEBEMPE[15]	PIPEBEMPE[14]	PIPEBEMPE[13]	PIPEBEMPE[12]	PIPEBEMPE[11]	PIPEBEMPE[10]	PIPEBEMPE[9]	PIPEBEMPE[8]
		PIPEBEMPE[7]	PIPEBEMPE[6]	PIPEBEMPE[5]	PIPEBEMPE[4]	PIPEBEMPE[3]	PIPEBEMPE[2]	PIPEBEMPE[1]	PIPEBEMPE[0]
	SOFCFG_1	–	–	–	–	–	–	–	TRNENSEL
		–	BRDYM	–	-	-	-	–	–
	INTSTS0_1	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY
		VBSTS	DVSQ[2]	DVSQ[1]	DVSQ[0]	VALID	CTSQ[2]	CTSQ[1]	CTSQ[0]
	INTSTS1_1	–	BCHG	–	DTCH	ATTCH	–	–	–
		–	EOFERR	SIGN	SACK	–	–	–	–
	BRDYSTS_1	PIPEBRDY[15]	PIPEBRDY[14]	PIPEBRDY[13]	PIPEBRDY[12]	PIPEBRDY[11]	PIPEBRDY[10]	PIPEBRDY[9]	PIPEBRDY[8]
		PIPEBRDY[7]	PIPEBRDY[6]	PIPEBRDY[5]	PIPEBRDY[4]	PIPEBRDY[3]	PIPEBRDY[2]	PIPEBRDY[1]	PIPEBRDY[0]
	NRDYSTS_1	PIPENRDY[15]	PIPENRDY[14]	PIPENRDY[13]	PIPENRDY[12]	PIPENRDY[11]	PIPENRDY[10]	PIPENRDY[9]	PIPENRDY[8]
		PIPENRDY[7]	PIPENRDY[6]	PIPENRDY[5]	PIPENRDY[4]	PIPENRDY[3]	PIPENRDY[2]	PIPENRDY[1]	PIPENRDY[0]
	BEMPSTS_1	PIPEBEMP[15]	PIPEBEMP[14]	PIPEBEMP[13]	PIPEBEMP[12]	PIPEBEMP[11]	PIPEBEMP[10]	PIPEBEMP[9]	PIPEBEMP[8]
		PIPEBEMP[7]	PIPEBEMP[6]	PIPEBEMP[5]	PIPEBEMP[4]	PIPEBEMP[3]	PIPEBEMP[2]	PIPEBEMP[1]	PIPEBEMP[0]
	FRMNUM_1	OVRN	CRCE	–	–	–	FRNM[10]	FRNM[9]	FRNM[8]
		FRNM[7]	FRNM[6]	FRNM[5]	FRNM[4]	FRNM[3]	FRNM[2]	FRNM[1]	FRNM[0]
	UFRMNUM_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	UFRNM[2]	UFRNM[1]	UFRNM[0]
	USBADDR_1	–	–	–	–	–	–	–	–
		–	USBADDR[6]	USBADDR[5]	USBADDR[4]	USBADDR[3]	USBADDR[2]	USBADDR[1]	USBADDR[0]
	USBREQ_1	bRequest[7]	bRequest[6]	bRequest[5]	bRequest[4]	bRequest[3]	bRequest[2]	bRequest[1]	bRequest[0]
		bmRequestType [7]	bmRequestType [6]	bmRequestType [5]	bmRequestType [4]	bmRequestType [3]	bmRequestType [2]	bmRequestType [1]	bmRequestType [0]
	USBVAL_1	wValue[15]	wValue[14]	wValue[13]	wValue[12]	wValue[11]	wValue[10]	wValue[9]	wValue[8]
		wValue[7]	wValue[6]	wValue[5]	wValue[4]	wValue[3]	wValue[2]	wValue[1]	wValue[0]
	USBINDX_1	wIndex[15]	wIndex[14]	wIndex[13]	wIndex[12]	wIndex[11]	wIndex[10]	wIndex[9]	wIndex[8]
		wIndex[7]	wIndex[6]	wIndex[5]	wIndex[4]	wIndex[3]	wIndex[2]	wIndex[1]	wIndex[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	USBLENG_1	wLength[15]	wLength[14]	wLength[13]	wLength[12]	wLength[11]	wLength[10]	wLength[9]	wLength[8]
		wLength[7]	wLength[6]	wLength[5]	wLength[4]	wLength[3]	wLength[2]	wLength[1]	wLength[0]
	DCPCFG_1	–	–	–	–	–	–	–	CNTMD
		SHTNAK	–	–	DIR	–	–	–	–
	DCPMAXP_1	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	–	–	–	–
		–	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	DCPCTR_1	BSTS	SUREQ	CSCLR	CSSTS	SUREQCLR	–	–	SQCLR
		SQSET	SQMON	PBUSY	PINGE	–	CCPL	PID[1]	PID[0]
	PIPESEL_1	–	–	–	–	–	–	–	–
		–	–	–	–	PIPESEL[3]	PIPESEL[2]	PIPESEL[1]	PIPESEL[0]
	PIPECFG_1	TYPE[1]	TYPE[0]	–	–	–	BFRE	DBLB	CNTMD
		SHTNAK	–	–	DIR	EPNUM[3]	EPNUM[2]	EPNUM[1]	EPNUM[0]
	PIPEBUF_1	–	BUFSIZE[4]	BUFSIZE[3]	BUFSIZE[2]	BUFSIZE[1]	BUFSIZE[0]	–	–
		BUFNMB[7]	BUFNMB[6]	BUFNMB[5]	BUFNMB[4]	BUFNMB[3]	BUFNMB[2]	BUFNMB[1]	BUFNMB[0]
	PIPEMAXP_1	DEVSEL[3]	DEVSEL[2]	DEVSEL[1]	DEVSEL[0]	–	MXPS[10]	MXPS[9]	MXPS[8]
		MXPS[7]	MXPS[6]	MXPS[5]	MXPS[4]	MXPS[3]	MXPS[2]	MXPS[1]	MXPS[0]
	PIPEPERI_1	–	–	–	IFIS	–	–	–	–
		–	–	–	–	–	IITV[2]	IITV[1]	IITV[0]
	PIPE1CTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE2CTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE3CTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE4CTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE5CTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE6CTR_1	BSTS	–	CSCLR	CSSTS	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE7CTR_1	BSTS	–	CSCLR	CSSTS	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE8CTR_1	BSTS	–	CSCLR	CSSTS	–	–	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE9CTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEACTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEBCTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPECCTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEDCTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEECTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPEFCTR_1	BSTS	INBUFM	CSCLR	CSSTS	–	ATREPM	ACLRM	SQCLR
		SQSET	SQMON	PBUSY	–	–	–	PID[1]	PID[0]
	PIPE1TRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE1TRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE2TRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE2TRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE3TRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクションモジュール	PIPE3TRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE4TRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE4TRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE5TRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE5TRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEBTRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEBTRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPECTRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPECTRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEDTRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEDTRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEETRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEETRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEFTRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEFTRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPE9TRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPE9TRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	PIPEATRE_1	–	–	–	–	–	–	TRENB	TRCLR
		–	–	–	–	–	–	–	–
	PIPEATRN_1	TRNCNT[15]	TRNCNT[14]	TRNCNT[13]	TRNCNT[12]	TRNCNT[11]	TRNCNT[10]	TRNCNT[9]	TRNCNT[8]
		TRNCNT[7]	TRNCNT[6]	TRNCNT[5]	TRNCNT[4]	TRNCNT[3]	TRNCNT[2]	TRNCNT[1]	TRNCNT[0]
	DEVADD0_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD1_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD2_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD3_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD4_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD5_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD6_1	–	HPPHUB[3]	HPPHUB[2]	HPPHUB[1]	HPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	–	–	-
	DEVADD7_1	–	HPPHUB[3]	HPPHUB[2]	HPPHUB[1]	HPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD8_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	DEVADD9_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	DEVADDA_1	–	UPPHUB[3]	UPPHUB[2]	UPPHUB[1]	UPPHUB[0]	HUBPORT[2]	HUBPORT[1]	HUBPORT[0]
		USBSPD[1]	USBSPD[0]	–	–	–	–	–	-
	SUSPMODE_1	–	SUSPM	–	–	–	–	–	–
		–	–	–	–	–	–	–	-
	D0FIFOB0_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB1_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB2_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB3_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB4_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB5_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB6_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D0FIFOB7_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB0_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB1_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB2_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB3_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB4_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
USB2.0 ホスト／ファンクション モジュール	D1FIFOB5_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB6_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
	D1FIFOB7_1	FIFOPORT[31]	FIFOPORT[30]	FIFOPORT[29]	FIFOPORT[28]	FIFOPORT[27]	FIFOPORT[26]	FIFOPORT[25]	FIFOPORT[24]
		FIFOPORT[23]	FIFOPORT[22]	FIFOPORT[21]	FIFOPORT[20]	FIFOPORT[19]	FIFOPORT[18]	FIFOPORT[17]	FIFOPORT[16]
		FIFOPORT[15]	FIFOPORT[14]	FIFOPORT[13]	FIFOPORT[12]	FIFOPORT[11]	FIFOPORT[10]	FIFOPORT[9]	FIFOPORT[8]
		FIFOPORT[7]	FIFOPORT[6]	FIFOPORT[5]	FIFOPORT[4]	FIFOPORT[3]	FIFOPORT[2]	FIFOPORT[1]	FIFOPORT[0]
ビデオ ディスプレイ コントローラ5	INP_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	INP_EXT_UPDATE	–	–	–	INP_IMG_UPDATE
	INP_SEL_CNT	–	–	–	–	–	–	–	–
		–	–	–	INP_SEL	–	–	–	–
		–	INP_FORMAT[2]	INP_FORMAT[1]	INP_FORMAT[0]	–	–	–	INP_PXD_EDGE
		–	–	–	INP_VS_EDGE	–	–	–	INP_HS_EDGE
	INP_EXT_SYNC_CNT	–	–	–	INP_ENDIAN_ON	–	–	–	INP_SWAP_ON
		–	–	–	INP_VS_INV	–	–	–	INP_HS_INV
		–	–	–	–	–	–	–	INP_H_EDGE_SEL
		–	–	–	INP_F525_625	–	–	INP_H_POS[1]	INP_H_POS[0]
	INP_VSYNC_PH_ADJ	–	–	–	–	–	–	INP_FH50[9]	INP_FH50[8]
		INP_FH50[7]	INP_FH50[6]	INP_FH50[5]	INP_FH50[4]	INP_FH50[3]	INP_FH50[2]	INP_FH50[1]	INP_FH50[0]
		–	–	–	–	–	–	INP_FH25[9]	INP_FH25[8]
		INP_FH25[7]	INP_FH25[6]	INP_FH25[5]	INP_FH25[4]	INP_FH25[3]	INP_FH25[2]	INP_FH25[1]	INP_FH25[0]
	INP_DLY_ADJ	–	–	–	–	–	INP_VS_DLY_L[2]	INP_VS_DLY_L[1]	INP_VS_DLY_L[0]
		INP_FLD_DLY[7]	INP_FLD_DLY[6]	INP_FLD_DLY[5]	INP_FLD_DLY[4]	INP_FLD_DLY[3]	INP_FLD_DLY[2]	INP_FLD_DLY[1]	INP_FLD_DLY[0]
		INP_VS_DLY[7]	INP_VS_DLY[6]	INP_VS_DLY[5]	INP_VS_DLY[4]	INP_VS_DLY[3]	INP_VS_DLY[2]	INP_VS_DLY[1]	INP_VS_DLY[0]
		INP_HS_DLY[7]	INP_HS_DLY[6]	INP_HS_DLY[5]	INP_HS_DLY[4]	INP_HS_DLY[3]	INP_HS_DLY[2]	INP_HS_DLY[1]	INP_HS_DLY[0]
	IMGCNT_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	IMGCNT_VEN
	IMGCNT_NR_CNT0	–	–	–	–	–	–	–	–
		–	–	–	NR1D_MD	–	–	–	NR1D_ON
		–	NR1D_Y_TH[6]	NR1D_Y_TH[5]	NR1D_Y_TH[4]	NR1D_Y_TH[3]	NR1D_Y_TH[2]	NR1D_Y_TH[1]	NR1D_Y_TH[0]
		–	–	NR1D_Y_TAP[1]	NR1D_Y_TAP[0]	–	–	NR1D_Y_GAIN[1]	NR1D_Y_GAIN[0]
	IMGCNT_NR_CNT1	–	NR1D_CB_TH[6]	NR1D_CB_TH[5]	NR1D_CB_TH[4]	NR1D_CB_TH[3]	NR1D_CB_TH[2]	NR1D_CB_TH[1]	NR1D_CB_TH[0]
		–	–	NR1D_CB_TAP[1]	NR1D_CB_TAP[0]	–	–	NR1D_CB_GAIN[1]	NR1D_CB_GAIN[0]
		–	NR1D_CR_TH[6]	NR1D_CR_TH[5]	NR1D_CR_TH[4]	NR1D_CR_TH[3]	NR1D_CR_TH[2]	NR1D_CR_TH[1]	NR1D_CR_TH[0]
		–	–	NR1D_CR_TAP[1]	NR1D_CR_TAP[0]	–	–	NR1D_CR_GAIN[1]	NR1D_CR_GAIN[0]
	IMGCNT_MTX_MODE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	IMGCNT_MTX_MD[1]	IMGCNT_MTX_MD[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	IMGCNT_MTX_YG_ADJ0	–	–	–	–	–	–	–	–
		IMGCNT_MTX_YG[7]	IMGCNT_MTX_YG[6]	IMGCNT_MTX_YG[5]	IMGCNT_MTX_YG[4]	IMGCNT_MTX_YG[3]	IMGCNT_MTX_YG[2]	IMGCNT_MTX_YG[1]	IMGCNT_MTX_YG[0]
		–	–	–	–	–	IMGCNT_MTX_GG[10]	IMGCNT_MTX_GG[9]	IMGCNT_MTX_GG[8]
		IMGCNT_MTX_GG[7]	IMGCNT_MTX_GG[6]	IMGCNT_MTX_GG[5]	IMGCNT_MTX_GG[4]	IMGCNT_MTX_GG[3]	IMGCNT_MTX_GG[2]	IMGCNT_MTX_GG[1]	IMGCNT_MTX_GG[0]
	IMGCNT_MTX_YG_ADJ1	–	–	–	–	–	IMGCNT_MTX_GB[10]	IMGCNT_MTX_GB[9]	IMGCNT_MTX_GB[8]
		IMGCNT_MTX_GB[7]	IMGCNT_MTX_GB[6]	IMGCNT_MTX_GB[5]	IMGCNT_MTX_GB[4]	IMGCNT_MTX_GB[3]	IMGCNT_MTX_GB[2]	IMGCNT_MTX_GB[1]	IMGCNT_MTX_GB[0]
		–	–	–	–	–	IMGCNT_MTX_GR[10]	IMGCNT_MTX_GR[9]	IMGCNT_MTX_GR[8]
		IMGCNT_MTX_GR[7]	IMGCNT_MTX_GR[6]	IMGCNT_MTX_GR[5]	IMGCNT_MTX_GR[4]	IMGCNT_MTX_GR[3]	IMGCNT_MTX_GR[2]	IMGCNT_MTX_GR[1]	IMGCNT_MTX_GR[0]
	IMGCNT_MTX_CBB_ADJ0	–	–	–	–	–	–	–	–
		IMGCNT_MTX_B[7]	IMGCNT_MTX_B[6]	IMGCNT_MTX_B[5]	IMGCNT_MTX_B[4]	IMGCNT_MTX_B[3]	IMGCNT_MTX_B[2]	IMGCNT_MTX_B[1]	IMGCNT_MTX_B[0]
		–	–	–	–	–	IMGCNT_MTX_BG[10]	IMGCNT_MTX_BG[9]	IMGCNT_MTX_BG[8]
		IMGCNT_MTX_BG[7]	IMGCNT_MTX_BG[6]	IMGCNT_MTX_BG[5]	IMGCNT_MTX_BG[4]	IMGCNT_MTX_BG[3]	IMGCNT_MTX_BG[2]	IMGCNT_MTX_BG[1]	IMGCNT_MTX_BG[0]
	IMGCNT_MTX_CBB_ADJ1	–	–	–	–	–	IMGCNT_MTX_BB[10]	IMGCNT_MTX_BB[9]	IMGCNT_MTX_BB[8]
		IMGCNT_MTX_BB[7]	IMGCNT_MTX_BB[6]	IMGCNT_MTX_BB[5]	IMGCNT_MTX_BB[4]	IMGCNT_MTX_BB[3]	IMGCNT_MTX_BB[2]	IMGCNT_MTX_BB[1]	IMGCNT_MTX_BB[0]
		–	–	–	–	–	IMGCNT_MTX_BR[10]	IMGCNT_MTX_BR[9]	IMGCNT_MTX_BR[8]
		IMGCNT_MTX_BR[7]	IMGCNT_MTX_BR[6]	IMGCNT_MTX_BR[5]	IMGCNT_MTX_BR[4]	IMGCNT_MTX_BR[3]	IMGCNT_MTX_BR[2]	IMGCNT_MTX_BR[1]	IMGCNT_MTX_BR[0]
	IMGCNT_MTX_CRR_ADJ0	–	–	–	–	–	–	–	–
		IMGCNT_MTX_R[7]	IMGCNT_MTX_R[6]	IMGCNT_MTX_R[5]	IMGCNT_MTX_R[4]	IMGCNT_MTX_R[3]	IMGCNT_MTX_R[2]	IMGCNT_MTX_R[1]	IMGCNT_MTX_R[0]
		–	–	–	–	–	IMGCNT_MTX_RG[10]	IMGCNT_MTX_RG[9]	IMGCNT_MTX_RG[8]
		IMGCNT_MTX_RG[7]	IMGCNT_MTX_RG[6]	IMGCNT_MTX_RG[5]	IMGCNT_MTX_RG[4]	IMGCNT_MTX_RG[3]	IMGCNT_MTX_RG[2]	IMGCNT_MTX_RG[1]	IMGCNT_MTX_RG[0]
	IMGCNT_MTX_CRR_ADJ1	–	–	–	–	–	IMGCNT_MTX_RB[10]	IMGCNT_MTX_RB[9]	IMGCNT_MTX_RB[8]
		IMGCNT_MTX_RB[7]	IMGCNT_MTX_RB[6]	IMGCNT_MTX_RB[5]	IMGCNT_MTX_RB[4]	IMGCNT_MTX_RB[3]	IMGCNT_MTX_RB[2]	IMGCNT_MTX_RB[1]	IMGCNT_MTX_RB[0]
		–	–	–	–	–	IMGCNT_MTX_RR[10]	IMGCNT_MTX_RR[9]	IMGCNT_MTX_RR[8]
		IMGCNT_MTX_RR[7]	IMGCNT_MTX_RR[6]	IMGCNT_MTX_RR[5]	IMGCNT_MTX_RR[4]	IMGCNT_MTX_RR[3]	IMGCNT_MTX_RR[2]	IMGCNT_MTX_RR[1]	IMGCNT_MTX_RR[0]
	SC0_SCL0_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	SC0_SCL0_VEN_D	SC0_SCL0_VEN_C	–	–	–	SC0_SCL0_UPDATE
		–	–	–	SC0_SCL0_VEN_B	–	–	–	SC0_SCL0_VEN_A
	SC0_SCL0_FRC1	SC0_RES_VMASK[15]	SC0_RES_VMASK[14]	SC0_RES_VMASK[13]	SC0_RES_VMASK[12]	SC0_RES_VMASK[11]	SC0_RES_VMASK[10]	SC0_RES_VMASK[9]	SC0_RES_VMASK[8]
		SC0_RES_VMASK[7]	SC0_RES_VMASK[6]	SC0_RES_VMASK[5]	SC0_RES_VMASK[4]	SC0_RES_VMASK[3]	SC0_RES_VMASK[2]	SC0_RES_VMASK[1]	SC0_RES_VMASK[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SC0_RES_VMASK_ON
	SC0_SCL0_FRC2	SC0_RES_VLACK[15]	SC0_RES_VLACK[14]	SC0_RES_VLACK[13]	SC0_RES_VLACK[12]	SC0_RES_VLACK[11]	SC0_RES_VLACK[10]	SC0_RES_VLACK[9]	SC0_RES_VLACK[8]
		SC0_RES_VLACK[7]	SC0_RES_VLACK[6]	SC0_RES_VLACK[5]	SC0_RES_VLACK[4]	SC0_RES_VLACK[3]	SC0_RES_VLACK[2]	SC0_RES_VLACK[1]	SC0_RES_VLACK[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SC0_RES_VLACK_ON
	SC0_SCL0_FRC3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SC0_RES_VS_SEL

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	SC0_SCL0_FRC4	–	–	–	–	–	SC0_RES_FV[10]	SC0_RES_FV[9]	SC0_RES_FV[8]
		SC0_RES_FV[7]	SC0_RES_FV[6]	SC0_RES_FV[5]	SC0_RES_FV[4]	SC0_RES_FV[3]	SC0_RES_FV[2]	SC0_RES_FV[1]	SC0_RES_FV[0]
		–	–	–	–	–	SC0_RES_FH[10]	SC0_RES_FH[9]	SC0_RES_FH[8]
		SC0_RES_FH[7]	SC0_RES_FH[6]	SC0_RES_FH[5]	SC0_RES_FH[4]	SC0_RES_FH[3]	SC0_RES_FH[2]	SC0_RES_FH[1]	SC0_RES_FH[0]
	SC0_SCL0_FRC5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SC0_RES_FLD_DLY_SEL
		SC0_RES_VSDLY[7]	SC0_RES_VSDLY[6]	SC0_RES_VSDLY[5]	SC0_RES_VSDLY[4]	SC0_RES_VSDLY[3]	SC0_RES_VSDLY[2]	SC0_RES_VSDLY[1]	SC0_RES_VSDLY[0]
	SC0_SCL0_FRC6	–	–	–	–	–	SC0_RES_F_VS[10]	SC0_RES_F_VS[9]	SC0_RES_F_VS[8]
		SC0_RES_F_VS[7]	SC0_RES_F_VS[6]	SC0_RES_F_VS[5]	SC0_RES_F_VS[4]	SC0_RES_F_VS[3]	SC0_RES_F_VS[2]	SC0_RES_F_VS[1]	SC0_RES_F_VS[0]
		–	–	–	–	–	SC0_RES_F_VW[10]	SC0_RES_F_VW[9]	SC0_RES_F_VW[8]
		SC0_RES_F_VW[7]	SC0_RES_F_VW[6]	SC0_RES_F_VW[5]	SC0_RES_F_VW[4]	SC0_RES_F_VW[3]	SC0_RES_F_VW[2]	SC0_RES_F_VW[1]	SC0_RES_F_VW[0]
	SC0_SCL0_FRC7	–	–	–	–	–	SC0_RES_F_HS[10]	SC0_RES_F_HS[9]	SC0_RES_F_HS[8]
		SC0_RES_F_HS[7]	SC0_RES_F_HS[6]	SC0_RES_F_HS[5]	SC0_RES_F_HS[4]	SC0_RES_F_HS[3]	SC0_RES_F_HS[2]	SC0_RES_F_HS[1]	SC0_RES_F_HS[0]
		–	–	–	–	–	SC0_RES_F_HW[10]	SC0_RES_F_HW[9]	SC0_RES_F_HW[8]
		SC0_RES_F_HW[7]	SC0_RES_F_HW[6]	SC0_RES_F_HW[5]	SC0_RES_F_HW[4]	SC0_RES_F_HW[3]	SC0_RES_F_HW[2]	SC0_RES_F_HW[1]	SC0_RES_F_HW[0]
	SC0_SCL0_FRC9	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	SC0_RES_QVLOCK	–	–	–	SC0_RES_QVLACK
	SC0_SCL0_MON0	–	–	–	–	–	SC0_RES_LIN_STAT[10]	SC0_RES_LIN_STAT[9]	SC0_RES_LIN_STAT[8]
		SC0_RES_LIN_STAT[7]	SC0_RES_LIN_STAT[6]	SC0_RES_LIN_STAT[5]	SC0_RES_LIN_STAT[4]	SC0_RES_LIN_STAT[3]	SC0_RES_LIN_STAT[2]	SC0_RES_LIN_STAT[1]	SC0_RES_LIN_STAT[0]
	SC0_SCL0_INT	–	–	–	–	–	SC0_RES_LINE[10]	SC0_RES_LINE[9]	SC0_RES_LINE[8]
		SC0_RES_LINE[7]	SC0_RES_LINE[6]	SC0_RES_LINE[5]	SC0_RES_LINE[4]	SC0_RES_LINE[3]	SC0_RES_LINE[2]	SC0_RES_LINE[1]	SC0_RES_LINE[0]
	SC0_SCL0_DS1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	SC0_RES_DS_V_ON	–	–	–	SC0_RES_DS_H_ON
	SC0_SCL0_DS2	–	–	–	–	–	SC0_RES_VS[10]	SC0_RES_VS[9]	SC0_RES_VS[8]
		SC0_RES_VS[7]	SC0_RES_VS[6]	SC0_RES_VS[5]	SC0_RES_VS[4]	SC0_RES_VS[3]	SC0_RES_VS[2]	SC0_RES_VS[1]	SC0_RES_VS[0]
		–	–	–	–	–	SC0_RES_VW[10]	SC0_RES_VW[9]	SC0_RES_VW[8]
		SC0_RES_VW[7]	SC0_RES_VW[6]	SC0_RES_VW[5]	SC0_RES_VW[4]	SC0_RES_VW[3]	SC0_RES_VW[2]	SC0_RES_VW[1]	SC0_RES_VW[0]
	SC0_SCL0_DS3	–	–	–	–	–	SC0_RES_HS[10]	SC0_RES_HS[9]	SC0_RES_HS[8]
		SC0_RES_HS[7]	SC0_RES_HS[6]	SC0_RES_HS[5]	SC0_RES_HS[4]	SC0_RES_HS[3]	SC0_RES_HS[2]	SC0_RES_HS[1]	SC0_RES_HS[0]
		–	–	–	–	–	SC0_RES_HW[10]	SC0_RES_HW[9]	SC0_RES_HW[8]
		SC0_RES_HW[7]	SC0_RES_HW[6]	SC0_RES_HW[5]	SC0_RES_HW[4]	SC0_RES_HW[3]	SC0_RES_HW[2]	SC0_RES_HW[1]	SC0_RES_HW[0]
	SC0_SCL0_DS4	–	–	SC0_RES_PFIL_SEL	SC0_RES_DS_H_INTERPOTYP	–	–	–	–
		–	–	–	–	–	–	–	–
		SC0_RES_DS_H_RATIO[15]	SC0_RES_DS_H_RATIO[14]	SC0_RES_DS_H_RATIO[13]	SC0_RES_DS_H_RATIO[12]	SC0_RES_DS_H_RATIO[11]	SC0_RES_DS_H_RATIO[10]	SC0_RES_DS_H_RATIO[9]	SC0_RES_DS_H_RATIO[8]
		SC0_RES_DS_H_RATIO[7]	SC0_RES_DS_H_RATIO[6]	SC0_RES_DS_H_RATIO[5]	SC0_RES_DS_H_RATIO[4]	SC0_RES_DS_H_RATIO[3]	SC0_RES_DS_H_RATIO[2]	SC0_RES_DS_H_RATIO[1]	SC0_RES_DS_H_RATIO[0]
	SC0_SCL0_DS5	–	–	–	SC0_RES_V_INTERPOTYP	SC0_RES_TOP_INIPHASE[11]	SC0_RES_TOP_INIPHASE[10]	SC0_RES_TOP_INIPHASE[9]	SC0_RES_TOP_INIPHASE[8]
		SC0_RES_TOP_INIPHASE[7]	SC0_RES_TOP_INIPHASE[6]	SC0_RES_TOP_INIPHASE[5]	SC0_RES_TOP_INIPHASE[4]	SC0_RES_TOP_INIPHASE[3]	SC0_RES_TOP_INIPHASE[2]	SC0_RES_TOP_INIPHASE[1]	SC0_RES_TOP_INIPHASE[0]
		–	–	–	–	SC0_RES_BTM_INIPHASE[11]	SC0_RES_BTM_INIPHASE[10]	SC0_RES_BTM_INIPHASE[9]	SC0_RES_BTM_INIPHASE[8]
		SC0_RES_BTM_INIPHASE[7]	SC0_RES_BTM_INIPHASE[6]	SC0_RES_BTM_INIPHASE[5]	SC0_RES_BTM_INIPHASE[4]	SC0_RES_BTM_INIPHASE[3]	SC0_RES_BTM_INIPHASE[2]	SC0_RES_BTM_INIPHASE[1]	SC0_RES_BTM_INIPHASE[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	SC0_SCL0_DS6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SC0_RES_V_RATIO[15]	SC0_RES_V_RATIO[14]	SC0_RES_V_RATIO[13]	SC0_RES_V_RATIO[12]	SC0_RES_V_RATIO[11]	SC0_RES_V_RATIO[10]	SC0_RES_V_RATIO[9]	SC0_RES_V_RATIO[8]
		SC0_RES_V_RATIO[7]	SC0_RES_V_RATIO[6]	SC0_RES_V_RATIO[5]	SC0_RES_V_RATIO[4]	SC0_RES_V_RATIO[3]	SC0_RES_V_RATIO[2]	SC0_RES_V_RATIO[1]	SC0_RES_V_RATIO[0]
	SC0_SCL0_DS7	–	–	–	–	–	SC0_RES_OUT_VW[10]	SC0_RES_OUT_VW[9]	SC0_RES_OUT_VW[8]
		SC0_RES_OUT_VW[7]	SC0_RES_OUT_VW[6]	SC0_RES_OUT_VW[5]	SC0_RES_OUT_VW[4]	SC0_RES_OUT_VW[3]	SC0_RES_OUT_VW[2]	SC0_RES_OUT_VW[1]	SC0_RES_OUT_VW[0]
		–	–	–	–	–	SC0_RES_OUT_HW[10]	SC0_RES_OUT_HW[9]	SC0_RES_OUT_HW[8]
		SC0_RES_OUT_HW[7]	SC0_RES_OUT_HW[6]	SC0_RES_OUT_HW[5]	SC0_RES_OUT_HW[4]	SC0_RES_OUT_HW[3]	SC0_RES_OUT_HW[2]	SC0_RES_OUT_HW[1]	SC0_RES_OUT_HW[0]
	SC0_SCL0_US1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	SC0_RES_US_V_ON	–	–	–	SC0_RES_US_H_ON
	SC0_SCL0_US2	–	–	–	–	–	SC0_RES_P_VS[10]	SC0_RES_P_VS[9]	SC0_RES_P_VS[8]
		SC0_RES_P_VS[7]	SC0_RES_P_VS[6]	SC0_RES_P_VS[5]	SC0_RES_P_VS[4]	SC0_RES_P_VS[3]	SC0_RES_P_VS[2]	SC0_RES_P_VS[1]	SC0_RES_P_VS[0]
		–	–	–	–	–	SC0_RES_P_VW[10]	SC0_RES_P_VW[9]	SC0_RES_P_VW[8]
		SC0_RES_P_VW[7]	SC0_RES_P_VW[6]	SC0_RES_P_VW[5]	SC0_RES_P_VW[4]	SC0_RES_P_VW[3]	SC0_RES_P_VW[2]	SC0_RES_P_VW[1]	SC0_RES_P_VW[0]
	SC0_SCL0_US3	–	–	–	–	–	SC0_RES_P_HS[10]	SC0_RES_P_HS[9]	SC0_RES_P_HS[8]
		SC0_RES_P_HS[7]	SC0_RES_P_HS[6]	SC0_RES_P_HS[5]	SC0_RES_P_HS[4]	SC0_RES_P_HS[3]	SC0_RES_P_HS[2]	SC0_RES_P_HS[1]	SC0_RES_P_HS[0]
		–	–	–	–	–	SC0_RES_P_HW[10]	SC0_RES_P_HW[9]	SC0_RES_P_HW[8]
		SC0_RES_P_HW[7]	SC0_RES_P_HW[6]	SC0_RES_P_HW[5]	SC0_RES_P_HW[4]	SC0_RES_P_HW[3]	SC0_RES_P_HW[2]	SC0_RES_P_HW[1]	SC0_RES_P_HW[0]
	SC0_SCL0_US4	–	–	–	–	–	SC0_RES_IN_VW[10]	SC0_RES_IN_VW[9]	SC0_RES_IN_VW[8]
		SC0_RES_IN_VW[7]	SC0_RES_IN_VW[6]	SC0_RES_IN_VW[5]	SC0_RES_IN_VW[4]	SC0_RES_IN_VW[3]	SC0_RES_IN_VW[2]	SC0_RES_IN_VW[1]	SC0_RES_IN_VW[0]
		–	–	–	–	–	SC0_RES_IN_HW[10]	SC0_RES_IN_HW[9]	SC0_RES_IN_HW[8]
		SC0_RES_IN_HW[7]	SC0_RES_IN_HW[6]	SC0_RES_IN_HW[5]	SC0_RES_IN_HW[4]	SC0_RES_IN_HW[3]	SC0_RES_IN_HW[2]	SC0_RES_IN_HW[1]	SC0_RES_IN_HW[0]
	SC0_SCL0_US5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SC0_RES_US_H_RATIO[15]	SC0_RES_US_H_RATIO[14]	SC0_RES_US_H_RATIO[13]	SC0_RES_US_H_RATIO[12]	SC0_RES_US_H_RATIO[11]	SC0_RES_US_H_RATIO[10]	SC0_RES_US_H_RATIO[9]	SC0_RES_US_H_RATIO[8]
		SC0_RES_US_H_RATIO[7]	SC0_RES_US_H_RATIO[6]	SC0_RES_US_H_RATIO[5]	SC0_RES_US_H_RATIO[4]	SC0_RES_US_H_RATIO[3]	SC0_RES_US_H_RATIO[2]	SC0_RES_US_H_RATIO[1]	SC0_RES_US_H_RATIO[0]
	SC0_SCL0_US6	–	–	–	SC0_RES_US_H_INTERPOTYP	SC0_RES_US_HT_INIPHASE[11]	SC0_RES_US_HT_INIPHASE[10]	SC0_RES_US_HT_INIPHASE[9]	SC0_RES_US_HT_INIPHASE[8]
		SC0_RES_US_HT_INIPHASE[7]	SC0_RES_US_HT_INIPHASE[6]	SC0_RES_US_HT_INIPHASE[5]	SC0_RES_US_HT_INIPHASE[4]	SC0_RES_US_HT_INIPHASE[3]	SC0_RES_US_HT_INIPHASE[2]	SC0_RES_US_HT_INIPHASE[1]	SC0_RES_US_HT_INIPHASE[0]
		–	–	–	–	SC0_RES_US_HB_INIPHASE[11]	SC0_RES_US_HB_INIPHASE[10]	SC0_RES_US_HB_INIPHASE[9]	SC0_RES_US_HB_INIPHASE[8]
		SC0_RES_US_HB_INIPHASE[7]	SC0_RES_US_HB_INIPHASE[6]	SC0_RES_US_HB_INIPHASE[5]	SC0_RES_US_HB_INIPHASE[4]	SC0_RES_US_HB_INIPHASE[3]	SC0_RES_US_HB_INIPHASE[2]	SC0_RES_US_HB_INIPHASE[1]	SC0_RES_US_HB_INIPHASE[0]
	SC0_SCL0_US7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		SC0_RES_HCUT[7]	SC0_RES_HCUT[6]	SC0_RES_HCUT[5]	SC0_RES_HCUT[4]	SC0_RES_HCUT[3]	SC0_RES_HCUT[2]	SC0_RES_HCUT[1]	SC0_RES_HCUT[0]
		SC0_RES_VCUT[7]	SC0_RES_VCUT[6]	SC0_RES_VCUT[5]	SC0_RES_VCUT[4]	SC0_RES_VCUT[3]	SC0_RES_VCUT[2]	SC0_RES_VCUT[1]	SC0_RES_VCUT[0]
	SC0_SCL0_US8	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	SC0_RES_IBUS_SYNC_SEL	–	–	–	SC0_RES_DISP_ON

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	SC0_SCL0_OVR1	–	–	–	–	–	–	–	–
		SC0_RES_BK_COL_R[7]	SC0_RES_BK_COL_R[6]	SC0_RES_BK_COL_R[5]	SC0_RES_BK_COL_R[4]	SC0_RES_BK_COL_R[3]	SC0_RES_BK_COL_R[2]	SC0_RES_BK_COL_R[1]	SC0_RES_BK_COL_R[0]
		SC0_RES_BK_COL_G[7]	SC0_RES_BK_COL_G[6]	SC0_RES_BK_COL_G[5]	SC0_RES_BK_COL_G[4]	SC0_RES_BK_COL_G[3]	SC0_RES_BK_COL_G[2]	SC0_RES_BK_COL_G[1]	SC0_RES_BK_COL_G[0]
		SC0_RES_BK_COL_B[7]	SC0_RES_BK_COL_B[6]	SC0_RES_BK_COL_B[5]	SC0_RES_BK_COL_B[4]	SC0_RES_BK_COL_B[3]	SC0_RES_BK_COL_B[2]	SC0_RES_BK_COL_B[1]	SC0_RES_BK_COL_B[0]
	SC0_SCL1_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	SC0_SCL1_UPDATE_B	–	–	–	SC0_SCL1_UPDATE_A
		–	–	–	–	–	–	–	–
		–	–	–	SC0_SCL1_VEN_B	–	–	–	SC0_SCL1_VEN_A
	SC0_SCL1_WR1	–	–	–	–	–	–	–	–
		–	–	–	–	–	SC0_RES_WRSWA[2]	SC0_RES_WRSWA[1]	SC0_RES_WRSWA[0]
		–	–	–	–	–	–	–	–
		SC0_RES_TB_ADD_MOD	SC0_RES_DS_WR_MD[2]	SC0_RES_DS_WR_MD[1]	SC0_RES_DS_WR_MD[0]	SC0_RES_MD[1]	SC0_RES_MD[0]	SC0_RES_LOOP	SC0_RES_BST_MD
	SC0_SCL1_WR2	SC0_RES_BASE[31]	SC0_RES_BASE[30]	SC0_RES_BASE[29]	SC0_RES_BASE[28]	SC0_RES_BASE[27]	SC0_RES_BASE[26]	SC0_RES_BASE[25]	SC0_RES_BASE[24]
		SC0_RES_BASE[23]	SC0_RES_BASE[22]	SC0_RES_BASE[21]	SC0_RES_BASE[20]	SC0_RES_BASE[19]	SC0_RES_BASE[18]	SC0_RES_BASE[17]	SC0_RES_BASE[16]
		SC0_RES_BASE[15]	SC0_RES_BASE[14]	SC0_RES_BASE[13]	SC0_RES_BASE[12]	SC0_RES_BASE[11]	SC0_RES_BASE[10]	SC0_RES_BASE[9]	SC0_RES_BASE[8]
		SC0_RES_BASE[7]	SC0_RES_BASE[6]	SC0_RES_BASE[5]	SC0_RES_BASE[4]	SC0_RES_BASE[3]	SC0_RES_BASE[2]	SC0_RES_BASE[1]	SC0_RES_BASE[0]
	SC0_SCL1_WR3	–	SC0_RES_LN_OFF[14]	SC0_RES_LN_OFF[13]	SC0_RES_LN_OFF[12]	SC0_RES_LN_OFF[11]	SC0_RES_LN_OFF[10]	SC0_RES_LN_OFF[9]	SC0_RES_LN_OFF[8]
		SC0_RES_LN_OFF[7]	SC0_RES_LN_OFF[6]	SC0_RES_LN_OFF[5]	SC0_RES_LN_OFF[4]	SC0_RES_LN_OFF[3]	SC0_RES_LN_OFF[2]	SC0_RES_LN_OFF[1]	SC0_RES_LN_OFF[0]
		–	–	–	–	–	–	SC0_RES_FLM_NUM[9]	SC0_RES_FLM_NUM[8]
		SC0_RES_FLM_NUM[7]	SC0_RES_FLM_NUM[6]	SC0_RES_FLM_NUM[5]	SC0_RES_FLM_NUM[4]	SC0_RES_FLM_NUM[3]	SC0_RES_FLM_NUM[2]	SC0_RES_FLM_NUM[1]	SC0_RES_FLM_NUM[0]
	SC0_SCL1_WR4	–	–	–	–	–	–	–	–
		–	SC0_RES_FLM_OFF[22]	SC0_RES_FLM_OFF[21]	SC0_RES_FLM_OFF[20]	SC0_RES_FLM_OFF[19]	SC0_RES_FLM_OFF[18]	SC0_RES_FLM_OFF[17]	SC0_RES_FLM_OFF[16]
		SC0_RES_FLM_OFF[15]	SC0_RES_FLM_OFF[14]	SC0_RES_FLM_OFF[13]	SC0_RES_FLM_OFF[12]	SC0_RES_FLM_OFF[11]	SC0_RES_FLM_OFF[10]	SC0_RES_FLM_OFF[9]	SC0_RES_FLM_OFF[8]
		SC0_RES_FLM_OFF[7]	SC0_RES_FLM_OFF[6]	SC0_RES_FLM_OFF[5]	SC0_RES_FLM_OFF[4]	SC0_RES_FLM_OFF[3]	SC0_RES_FLM_OFF[2]	SC0_RES_FLM_OFF[1]	SC0_RES_FLM_OFF[0]
	SC0_SCL1_WR5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	SC0_RES_INTER	–	–	SC0_RES_FS_RATE[1]	SC0_RES_FS_RATE[0]
		–	–	–	SC0_RES_FLD_SEL	–	–	–	SC0_RES_WENB
	SC0_SCL1_WR6	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	SC0_RES_DTH_ON	–	–	–	SC0_RES_BITDEC_ON
	SC0_SCL1_WR7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SC0_RES_OVERFLOW
		–	–	–	–	–	–	SC0_RES_FLM_CNT[9]	SC0_RES_FLM_CNT[8]
		SC0_RES_FLM_CNT[7]	SC0_RES_FLM_CNT[6]	SC0_RES_FLM_CNT[5]	SC0_RES_FLM_CNT[4]	SC0_RES_FLM_CNT[3]	SC0_RES_FLM_CNT[2]	SC0_RES_FLM_CNT[1]	SC0_RES_FLM_CNT[0]
	SC0_SCL1_WR8	SC0_RES_BASE_B[31]	SC0_RES_BASE_B[30]	SC0_RES_BASE_B[29]	SC0_RES_BASE_B[28]	SC0_RES_BASE_B[27]	SC0_RES_BASE_B[26]	SC0_RES_BASE_B[25]	SC0_RES_BASE_B[24]
		SC0_RES_BASE_B[23]	SC0_RES_BASE_B[22]	SC0_RES_BASE_B[21]	SC0_RES_BASE_B[20]	SC0_RES_BASE_B[19]	SC0_RES_BASE_B[18]	SC0_RES_BASE_B[17]	SC0_RES_BASE_B[16]
		SC0_RES_BASE_B[15]	SC0_RES_BASE_B[14]	SC0_RES_BASE_B[13]	SC0_RES_BASE_B[12]	SC0_RES_BASE_B[11]	SC0_RES_BASE_B[10]	SC0_RES_BASE_B[9]	SC0_RES_BASE_B[8]
		SC0_RES_BASE_B[7]	SC0_RES_BASE_B[6]	SC0_RES_BASE_B[5]	SC0_RES_BASE_B[4]	SC0_RES_BASE_B[3]	SC0_RES_BASE_B[2]	SC0_RES_BASE_B[1]	SC0_RES_BASE_B[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	SC0_SCL1_WR9	–	SC0_RES_LN_OFF_B[14]	SC0_RES_LN_OFF_B[13]	SC0_RES_LN_OFF_B[12]	SC0_RES_LN_OFF_B[11]	SC0_RES_LN_OFF_B[10]	SC0_RES_LN_OFF_B[9]	SC0_RES_LN_OFF_B[8]
		SC0_RES_LN_OFF_B[7]	SC0_RES_LN_OFF_B[6]	SC0_RES_LN_OFF_B[5]	SC0_RES_LN_OFF_B[4]	SC0_RES_LN_OFF_B[3]	SC0_RES_LN_OFF_B[2]	SC0_RES_LN_OFF_B[1]	SC0_RES_LN_OFF_B[0]
		–	–	–	–	–	–	SC0_RES_FLM_NUM_B[9]	SC0_RES_FLM_NUM_B[8]
		SC0_RES_FLM_NUM_B[7]	SC0_RES_FLM_NUM_B[6]	SC0_RES_FLM_NUM_B[5]	SC0_RES_FLM_NUM_B[4]	SC0_RES_FLM_NUM_B[3]	SC0_RES_FLM_NUM_B[2]	SC0_RES_FLM_NUM_B[1]	SC0_RES_FLM_NUM_B[0]
	SC0_SCL1_WR10	–	–	–	–	–	–	–	–
		–	SC0_RES_FLM_OFF_B[22]	SC0_RES_FLM_OFF_B[21]	SC0_RES_FLM_OFF_B[20]	SC0_RES_FLM_OFF_B[19]	SC0_RES_FLM_OFF_B[18]	SC0_RES_FLM_OFF_B[17]	SC0_RES_FLM_OFF_B[16]
		SC0_RES_FLM_OFF_B[15]	SC0_RES_FLM_OFF_B[14]	SC0_RES_FLM_OFF_B[13]	SC0_RES_FLM_OFF_B[12]	SC0_RES_FLM_OFF_B[11]	SC0_RES_FLM_OFF_B[10]	SC0_RES_FLM_OFF_B[9]	SC0_RES_FLM_OFF_B[8]
		SC0_RES_FLM_OFF_B[7]	SC0_RES_FLM_OFF_B[6]	SC0_RES_FLM_OFF_B[5]	SC0_RES_FLM_OFF_B[4]	SC0_RES_FLM_OFF_B[3]	SC0_RES_FLM_OFF_B[2]	SC0_RES_FLM_OFF_B[1]	SC0_RES_FLM_OFF_B[0]
	SC0_SCL1_WR11	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	SC0_RES_FLM_CNT_B[9]	SC0_RES_FLM_CNT_B[8]
		SC0_RES_FLM_CNT_B[7]	SC0_RES_FLM_CNT_B[6]	SC0_RES_FLM_CNT_B[5]	SC0_RES_FLM_CNT_B[4]	SC0_RES_FLM_CNT_B[3]	SC0_RES_FLM_CNT_B[2]	SC0_RES_FLM_CNT_B[1]	SC0_RES_FLM_CNT_B[0]
	SC0_SCL1_MON1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	SC0_PBUF_NUM[1]	SC0_PBUF_NUM[0]
		–	–	–	–	–	–	–	–
	SC0_SCL1_PBUF0	SC0_PBUF0_ADD[31]	SC0_PBUF0_ADD[30]	SC0_PBUF0_ADD[29]	SC0_PBUF0_ADD[28]	SC0_PBUF0_ADD[27]	SC0_PBUF0_ADD[26]	SC0_PBUF0_ADD[25]	SC0_PBUF0_ADD[24]
		SC0_PBUF0_ADD[23]	SC0_PBUF0_ADD[22]	SC0_PBUF0_ADD[21]	SC0_PBUF0_ADD[20]	SC0_PBUF0_ADD[19]	SC0_PBUF0_ADD[18]	SC0_PBUF0_ADD[17]	SC0_PBUF0_ADD[16]
		SC0_PBUF0_ADD[15]	SC0_PBUF0_ADD[14]	SC0_PBUF0_ADD[13]	SC0_PBUF0_ADD[12]	SC0_PBUF0_ADD[11]	SC0_PBUF0_ADD[10]	SC0_PBUF0_ADD[9]	SC0_PBUF0_ADD[8]
		SC0_PBUF0_ADD[7]	SC0_PBUF0_ADD[6]	SC0_PBUF0_ADD[5]	SC0_PBUF0_ADD[4]	SC0_PBUF0_ADD[3]	SC0_PBUF0_ADD[2]	SC0_PBUF0_ADD[1]	SC0_PBUF0_ADD[0]
	SC0_SCL1_PBUF1	SC0_PBUF1_ADD[31]	SC0_PBUF1_ADD[30]	SC0_PBUF1_ADD[29]	SC0_PBUF1_ADD[28]	SC0_PBUF1_ADD[27]	SC0_PBUF1_ADD[26]	SC0_PBUF1_ADD[25]	SC0_PBUF1_ADD[24]
		SC0_PBUF1_ADD[23]	SC0_PBUF1_ADD[22]	SC0_PBUF1_ADD[21]	SC0_PBUF1_ADD[20]	SC0_PBUF1_ADD[19]	SC0_PBUF1_ADD[18]	SC0_PBUF1_ADD[17]	SC0_PBUF1_ADD[16]
		SC0_PBUF1_ADD[15]	SC0_PBUF1_ADD[14]	SC0_PBUF1_ADD[13]	SC0_PBUF1_ADD[12]	SC0_PBUF1_ADD[11]	SC0_PBUF1_ADD[10]	SC0_PBUF1_ADD[9]	SC0_PBUF1_ADD[8]
		SC0_PBUF1_ADD[7]	SC0_PBUF1_ADD[6]	SC0_PBUF1_ADD[5]	SC0_PBUF1_ADD[4]	SC0_PBUF1_ADD[3]	SC0_PBUF1_ADD[2]	SC0_PBUF1_ADD[1]	SC0_PBUF1_ADD[0]
	SC0_SCL1_PBUF2	SC0_PBUF2_ADD[31]	SC0_PBUF2_ADD[30]	SC0_PBUF2_ADD[29]	SC0_PBUF2_ADD[28]	SC0_PBUF2_ADD[27]	SC0_PBUF2_ADD[26]	SC0_PBUF2_ADD[25]	SC0_PBUF2_ADD[24]
		SC0_PBUF2_ADD[23]	SC0_PBUF2_ADD[22]	SC0_PBUF2_ADD[21]	SC0_PBUF2_ADD[20]	SC0_PBUF2_ADD[19]	SC0_PBUF2_ADD[18]	SC0_PBUF2_ADD[17]	SC0_PBUF2_ADD[16]
		SC0_PBUF2_ADD[15]	SC0_PBUF2_ADD[14]	SC0_PBUF2_ADD[13]	SC0_PBUF2_ADD[12]	SC0_PBUF2_ADD[11]	SC0_PBUF2_ADD[10]	SC0_PBUF2_ADD[9]	SC0_PBUF2_ADD[8]
		SC0_PBUF2_ADD[7]	SC0_PBUF2_ADD[6]	SC0_PBUF2_ADD[5]	SC0_PBUF2_ADD[4]	SC0_PBUF2_ADD[3]	SC0_PBUF2_ADD[2]	SC0_PBUF2_ADD[1]	SC0_PBUF2_ADD[0]
	SC0_SCL1_PBUF3	SC0_PBUF3_ADD[31]	SC0_PBUF3_ADD[30]	SC0_PBUF3_ADD[29]	SC0_PBUF3_ADD[28]	SC0_PBUF3_ADD[27]	SC0_PBUF3_ADD[26]	SC0_PBUF3_ADD[25]	SC0_PBUF3_ADD[24]
		SC0_PBUF3_ADD[23]	SC0_PBUF3_ADD[22]	SC0_PBUF3_ADD[21]	SC0_PBUF3_ADD[20]	SC0_PBUF3_ADD[19]	SC0_PBUF3_ADD[18]	SC0_PBUF3_ADD[17]	SC0_PBUF3_ADD[16]
		SC0_PBUF3_ADD[15]	SC0_PBUF3_ADD[14]	SC0_PBUF3_ADD[13]	SC0_PBUF3_ADD[12]	SC0_PBUF3_ADD[11]	SC0_PBUF3_ADD[10]	SC0_PBUF3_ADD[9]	SC0_PBUF3_ADD[8]
		SC0_PBUF3_ADD[7]	SC0_PBUF3_ADD[6]	SC0_PBUF3_ADD[5]	SC0_PBUF3_ADD[4]	SC0_PBUF3_ADD[3]	SC0_PBUF3_ADD[2]	SC0_PBUF3_ADD[1]	SC0_PBUF3_ADD[0]
	SC0_SCL1_PBUF_FLD	–	–	–	–	–	–	–	SC0_FLD_INF3
		–	–	–	–	–	–	–	SC0_FLD_INF2
		–	–	–	–	–	–	–	SC0_FLD_INF1
		–	–	–	–	–	–	–	SC0_FLD_INF0
	SC0_SCL1_PBUF_CNT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SC0_PBUF_RST
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	GR0_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR0_UPDATE
		–	–	–	GR0_P_VEN	–	–	–	GR0_IBUS_VEN

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GR0_FLM_RD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR0_R_ENB
	GR0_FLM1	GR0_FLD_SEL	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR0_LN_OFF_DIR
		–	–	–	–	–	–	GR0_FLM_SEL[1]	GR0_FLM_SEL[0]
		–	–	–	–	–	–	–	GR0_BST_MD
	GR0_FLM2	GR0_BASE[31]	GR0_BASE[30]	GR0_BASE[29]	GR0_BASE[28]	GR0_BASE[27]	GR0_BASE[26]	GR0_BASE[25]	GR0_BASE[24]
		GR0_BASE[23]	GR0_BASE[22]	GR0_BASE[21]	GR0_BASE[20]	GR0_BASE[19]	GR0_BASE[18]	GR0_BASE[17]	GR0_BASE[16]
		GR0_BASE[15]	GR0_BASE[14]	GR0_BASE[13]	GR0_BASE[12]	GR0_BASE[11]	GR0_BASE[10]	GR0_BASE[9]	GR0_BASE[8]
		GR0_BASE[7]	GR0_BASE[6]	GR0_BASE[5]	GR0_BASE[4]	GR0_BASE[3]	GR0_BASE[2]	GR0_BASE[1]	GR0_BASE[0]
	GR0_FLM3	GR0_FLD_NXT	GR0_LN_OFF[14]	GR0_LN_OFF[13]	GR0_LN_OFF[12]	GR0_LN_OFF[11]	GR0_LN_OFF[10]	GR0_LN_OFF[9]	GR0_LN_OFF[8]
		GR0_LN_OFF[7]	GR0_LN_OFF[6]	GR0_LN_OFF[5]	GR0_LN_OFF[4]	GR0_LN_OFF[3]	GR0_LN_OFF[2]	GR0_LN_OFF[1]	GR0_LN_OFF[0]
		–	–	–	–	–	–	GR0_FLM_NUM[9]	GR0_FLM_NUM[8]
		GR0_FLM_NUM[7]	GR0_FLM_NUM[6]	GR0_FLM_NUM[5]	GR0_FLM_NUM[4]	GR0_FLM_NUM[3]	GR0_FLM_NUM[2]	GR0_FLM_NUM[1]	GR0_FLM_NUM[0]
	GR0_FLM4	–	–	–	–	–	–	–	–
		–	GR0_FLM_OFF[22]	GR0_FLM_OFF[21]	GR0_FLM_OFF[20]	GR0_FLM_OFF[19]	GR0_FLM_OFF[18]	GR0_FLM_OFF[17]	GR0_FLM_OFF[16]
		GR0_FLM_OFF[15]	GR0_FLM_OFF[14]	GR0_FLM_OFF[13]	GR0_FLM_OFF[12]	GR0_FLM_OFF[11]	GR0_FLM_OFF[10]	GR0_FLM_OFF[9]	GR0_FLM_OFF[8]
		GR0_FLM_OFF[7]	GR0_FLM_OFF[6]	GR0_FLM_OFF[5]	GR0_FLM_OFF[4]	GR0_FLM_OFF[3]	GR0_FLM_OFF[2]	GR0_FLM_OFF[1]	GR0_FLM_OFF[0]
	GR0_FLM5	–	–	–	–	–	GR0_FLM_LNUM[10]	GR0_FLM_LNUM[9]	GR0_FLM_LNUM[8]
		GR0_FLM_LNUM[7]	GR0_FLM_LNUM[6]	GR0_FLM_LNUM[5]	GR0_FLM_LNUM[4]	GR0_FLM_LNUM[3]	GR0_FLM_LNUM[2]	GR0_FLM_LNUM[1]	GR0_FLM_LNUM[0]
		–	–	–	–	–	GR0_FLM_LOOP[10]	GR0_FLM_LOOP[9]	GR0_FLM_LOOP[8]
		GR0_FLM_LOOP[7]	GR0_FLM_LOOP[6]	GR0_FLM_LOOP[5]	GR0_FLM_LOOP[4]	GR0_FLM_LOOP[3]	GR0_FLM_LOOP[2]	GR0_FLM_LOOP[1]	GR0_FLM_LOOP[0]
	GR0_FLM6	GR0_FORMAT[3]	GR0_FORMAT[2]	GR0_FORMAT[1]	GR0_FORMAT[0]	–	GR0_HW[10]	GR0_HW[9]	GR0_HW[8]
		GR0_HW[7]	GR0_HW[6]	GR0_HW[5]	GR0_HW[4]	GR0_HW[3]	GR0_HW[2]	GR0_HW[1]	GR0_HW[0]
		GR0_YCC_SWAP[2]	GR0_YCC_SWAP[1]	GR0_YCC_SWAP[0]	GR0_RDSWA[2]	GR0_RDSWA[1]	GR0_RDSWA[0]	–	GR0_CNV444_MD
		–	–	GR0_STA_POS[5]	GR0_STA_POS[4]	GR0_STA_POS[3]	GR0_STA_POS[2]	GR0_STA_POS[1]	GR0_STA_POS[0]
	GR0_AB1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	GR0_GRC_DISP_ON	–	–	GR0_DISP_SEL[1]	GR0_DISP_SEL[0]
	GR0_AB2	–	–	–	–	–	GR0_GRC_VS[10]	GR0_GRC_VS[9]	GR0_GRC_VS[8]
		GR0_GRC_VS[7]	GR0_GRC_VS[6]	GR0_GRC_VS[5]	GR0_GRC_VS[4]	GR0_GRC_VS[3]	GR0_GRC_VS[2]	GR0_GRC_VS[1]	GR0_GRC_VS[0]
		–	–	–	–	–	GR0_GRC_VW[10]	GR0_GRC_VW[9]	GR0_GRC_VW[8]
		GR0_GRC_VW[7]	GR0_GRC_VW[6]	GR0_GRC_VW[5]	GR0_GRC_VW[4]	GR0_GRC_VW[3]	GR0_GRC_VW[2]	GR0_GRC_VW[1]	GR0_GRC_VW[0]
	GR0_AB3	–	–	–	–	–	GR0_GRC_HS[10]	GR0_GRC_HS[9]	GR0_GRC_HS[8]
		GR0_GRC_HS[7]	GR0_GRC_HS[6]	GR0_GRC_HS[5]	GR0_GRC_HS[4]	GR0_GRC_HS[3]	GR0_GRC_HS[2]	GR0_GRC_HS[1]	GR0_GRC_HS[0]
		–	–	–	–	–	GR0_GRC_HW[10]	GR0_GRC_HW[9]	GR0_GRC_HW[8]
		GR0_GRC_HW[7]	GR0_GRC_HW[6]	GR0_GRC_HW[5]	GR0_GRC_HW[4]	GR0_GRC_HW[3]	GR0_GRC_HW[2]	GR0_GRC_HW[1]	GR0_GRC_HW[0]
	GR0_AB7	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR0_CK_ON
	GR0_AB8	GR0_CK_KCLUT[7]	GR0_CK_KCLUT[6]	GR0_CK_KCLUT[5]	GR0_CK_KCLUT[4]	GR0_CK_KCLUT[3]	GR0_CK_KCLUT[2]	GR0_CK_KCLUT[1]	GR0_CK_KCLUT[0]
		GR0_CK_KG[7]	GR0_CK_KG[6]	GR0_CK_KG[5]	GR0_CK_KG[4]	GR0_CK_KG[3]	GR0_CK_KG[2]	GR0_CK_KG[1]	GR0_CK_KG[0]
		GR0_CK_KB[7]	GR0_CK_KB[6]	GR0_CK_KB[5]	GR0_CK_KB[4]	GR0_CK_KB[3]	GR0_CK_KB[2]	GR0_CK_KB[1]	GR0_CK_KB[0]
		GR0_CK_KR[7]	GR0_CK_KR[6]	GR0_CK_KR[5]	GR0_CK_KR[4]	GR0_CK_KR[3]	GR0_CK_KR[2]	GR0_CK_KR[1]	GR0_CK_KR[0]
	GR0_AB9	GR0_CK_A[7]	GR0_CK_A[6]	GR0_CK_A[5]	GR0_CK_A[4]	GR0_CK_A[3]	GR0_CK_A[2]	GR0_CK_A[1]	GR0_CK_A[0]
		GR0_CK_G[7]	GR0_CK_G[6]	GR0_CK_G[5]	GR0_CK_G[4]	GR0_CK_G[3]	GR0_CK_G[2]	GR0_CK_G[1]	GR0_CK_G[0]
		GR0_CK_B[7]	GR0_CK_B[6]	GR0_CK_B[5]	GR0_CK_B[4]	GR0_CK_B[3]	GR0_CK_B[2]	GR0_CK_B[1]	GR0_CK_B[0]
		GR0_CK_R[7]	GR0_CK_R[6]	GR0_CK_R[5]	GR0_CK_R[4]	GR0_CK_R[3]	GR0_CK_R[2]	GR0_CK_R[1]	GR0_CK_R[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	GR0_AB10	GR0_A0[7]	GR0_A0[6]	GR0_A0[5]	GR0_A0[4]	GR0_A0[3]	GR0_A0[2]	GR0_A0[1]	GR0_A0[0]
		GR0_G0[7]	GR0_G0[6]	GR0_G0[5]	GR0_G0[4]	GR0_G0[3]	GR0_G0[2]	GR0_G0[1]	GR0_G0[0]
		GR0_B0[7]	GR0_B0[6]	GR0_B0[5]	GR0_B0[4]	GR0_B0[3]	GR0_B0[2]	GR0_B0[1]	GR0_B0[0]
		GR0_R0[7]	GR0_R0[6]	GR0_R0[5]	GR0_R0[4]	GR0_R0[3]	GR0_R0[2]	GR0_R0[1]	GR0_R0[0]
	GR0_AB11	GR0_A1[7]	GR0_A1[6]	GR0_A1[5]	GR0_A1[4]	GR0_A1[3]	GR0_A1[2]	GR0_A1[1]	GR0_A1[0]
		GR0_G1[7]	GR0_G1[6]	GR0_G1[5]	GR0_G1[4]	GR0_G1[3]	GR0_G1[2]	GR0_G1[1]	GR0_G1[0]
		GR0_B1[7]	GR0_B1[6]	GR0_B1[5]	GR0_B1[4]	GR0_B1[3]	GR0_B1[2]	GR0_B1[1]	GR0_B1[0]
		GR0_R1[7]	GR0_R1[6]	GR0_R1[5]	GR0_R1[4]	GR0_R1[3]	GR0_R1[2]	GR0_R1[1]	GR0_R1[0]
	GR0_BASE	–	–	–	–	–	–	–	–
		GR0_BASE_G[7]	GR0_BASE_G[6]	GR0_BASE_G[5]	GR0_BASE_G[4]	GR0_BASE_G[3]	GR0_BASE_G[2]	GR0_BASE_G[1]	GR0_BASE_G[0]
		GR0_BASE_B[7]	GR0_BASE_B[6]	GR0_BASE_B[5]	GR0_BASE_B[4]	GR0_BASE_B[3]	GR0_BASE_B[2]	GR0_BASE_B[1]	GR0_BASE_B[0]
		GR0_BASE_R[7]	GR0_BASE_R[6]	GR0_BASE_R[5]	GR0_BASE_R[4]	GR0_BASE_R[3]	GR0_BASE_R[2]	GR0_BASE_R[1]	GR0_BASE_R[0]
	GR0_CLUT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR0_CLT_SEL
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	ADJ0_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	ADJ0_VEN
	ADJ0_BKSTR_SET	–	–	–	–	–	–	–	BKSTR_ON
		BKSTR_ST[3]	BKSTR_ST[2]	BKSTR_ST[1]	BKSTR_ST[0]	BKSTR_D[3]	BKSTR_D[2]	BKSTR_D[1]	BKSTR_D[0]
		–	–	–	BKSTR_T1[4]	BKSTR_T1[3]	BKSTR_T1[2]	BKSTR_T1[1]	BKSTR_T1[0]
		–	–	–	BKSTR_T2[4]	BKSTR_T2[3]	BKSTR_T2[2]	BKSTR_T2[1]	BKSTR_T2[0]
	ADJ0_ENH_TIM1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	ENH_MD	–	–	–	ENH_DISP_ON
	ADJ0_ENH_TIM2	–	–	–	–	–	ENH_VS[10]	ENH_VS[9]	ENH_VS[8]
		ENH_VS[7]	ENH_VS[6]	ENH_VS[5]	ENH_VS[4]	ENH_VS[3]	ENH_VS[2]	ENH_VS[1]	ENH_VS[0]
		–	–	–	–	–	ENH_VW[10]	ENH_VW[9]	ENH_VW[8]
		ENH_VW[7]	ENH_VW[6]	ENH_VW[5]	ENH_VW[4]	ENH_VW[3]	ENH_VW[2]	ENH_VW[1]	ENH_VW[0]
	ADJ0_ENH_TIM3	–	–	–	–	–	ENH_HS[10]	ENH_HS[9]	ENH_HS[8]
		ENH_HS[7]	ENH_HS[6]	ENH_HS[5]	ENH_HS[4]	ENH_HS[3]	ENH_HS[2]	ENH_HS[1]	ENH_HS[0]
		–	–	–	–	–	ENH_HW[10]	ENH_HW[9]	ENH_HW[8]
		ENH_HW[7]	ENH_HW[6]	ENH_HW[5]	ENH_HW[4]	ENH_HW[3]	ENH_HW[2]	ENH_HW[1]	ENH_HW[0]
	ADJ0_ENH_SHP1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SHP_H_ON
		–	–	–	–	–	–	–	–
		–	SHP_H1_CORE[6]	SHP_H1_CORE[5]	SHP_H1_CORE[4]	SHP_H1_CORE[3]	SHP_H1_CORE[2]	SHP_H1_CORE[1]	SHP_H1_CORE[0]
	ADJ0_ENH_SHP2	SHP_H1_CLIP_O[7]	SHP_H1_CLIP_O[6]	SHP_H1_CLIP_O[5]	SHP_H1_CLIP_O[4]	SHP_H1_CLIP_O[3]	SHP_H1_CLIP_O[2]	SHP_H1_CLIP_O[1]	SHP_H1_CLIP_O[0]
		SHP_H1_CLIP_U[7]	SHP_H1_CLIP_U[6]	SHP_H1_CLIP_U[5]	SHP_H1_CLIP_U[4]	SHP_H1_CLIP_U[3]	SHP_H1_CLIP_U[2]	SHP_H1_CLIP_U[1]	SHP_H1_CLIP_U[0]
		SHP_H1_GAIN_O[7]	SHP_H1_GAIN_O[6]	SHP_H1_GAIN_O[5]	SHP_H1_GAIN_O[4]	SHP_H1_GAIN_O[3]	SHP_H1_GAIN_O[2]	SHP_H1_GAIN_O[1]	SHP_H1_GAIN_O[0]
		SHP_H1_GAIN_U[7]	SHP_H1_GAIN_U[6]	SHP_H1_GAIN_U[5]	SHP_H1_GAIN_U[4]	SHP_H1_GAIN_U[3]	SHP_H1_GAIN_U[2]	SHP_H1_GAIN_U[1]	SHP_H1_GAIN_U[0]
	ADJ0_ENH_SHP3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SHP_H2_LPF_SEL
		–	–	–	–	–	–	–	–
		–	SHP_H2_CORE[6]	SHP_H2_CORE[5]	SHP_H2_CORE[4]	SHP_H2_CORE[3]	SHP_H2_CORE[2]	SHP_H2_CORE[1]	SHP_H2_CORE[0]
	ADJ0_ENH_SHP4	SHP_H2_CLIP_O[7]	SHP_H2_CLIP_O[6]	SHP_H2_CLIP_O[5]	SHP_H2_CLIP_O[4]	SHP_H2_CLIP_O[3]	SHP_H2_CLIP_O[2]	SHP_H2_CLIP_O[1]	SHP_H2_CLIP_O[0]
		SHP_H2_CLIP_U[7]	SHP_H2_CLIP_U[6]	SHP_H2_CLIP_U[5]	SHP_H2_CLIP_U[4]	SHP_H2_CLIP_U[3]	SHP_H2_CLIP_U[2]	SHP_H2_CLIP_U[1]	SHP_H2_CLIP_U[0]
		SHP_H2_GAIN_O[7]	SHP_H2_GAIN_O[6]	SHP_H2_GAIN_O[5]	SHP_H2_GAIN_O[4]	SHP_H2_GAIN_O[3]	SHP_H2_GAIN_O[2]	SHP_H2_GAIN_O[1]	SHP_H2_GAIN_O[0]
		SHP_H2_GAIN_U[7]	SHP_H2_GAIN_U[6]	SHP_H2_GAIN_U[5]	SHP_H2_GAIN_U[4]	SHP_H2_GAIN_U[3]	SHP_H2_GAIN_U[2]	SHP_H2_GAIN_U[1]	SHP_H2_GAIN_U[0]
	ADJ0_ENH_SHP5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	SHP_H3_CORE[6]	SHP_H3_CORE[5]	SHP_H3_CORE[4]	SHP_H3_CORE[3]	SHP_H3_CORE[2]	SHP_H3_CORE[1]	SHP_H3_CORE[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	ADJ0_ENH_SHP6	SHP_H3_CLIP_O[7]	SHP_H3_CLIP_O[6]	SHP_H3_CLIP_O[5]	SHP_H3_CLIP_O[4]	SHP_H3_CLIP_O[3]	SHP_H3_CLIP_O[2]	SHP_H3_CLIP_O[1]	SHP_H3_CLIP_O[0]
		SHP_H3_CLIP_U[7]	SHP_H3_CLIP_U[6]	SHP_H3_CLIP_U[5]	SHP_H3_CLIP_U[4]	SHP_H3_CLIP_U[3]	SHP_H3_CLIP_U[2]	SHP_H3_CLIP_U[1]	SHP_H3_CLIP_U[0]
		SHP_H3_GAIN_O[7]	SHP_H3_GAIN_O[6]	SHP_H3_GAIN_O[5]	SHP_H3_GAIN_O[4]	SHP_H3_GAIN_O[3]	SHP_H3_GAIN_O[2]	SHP_H3_GAIN_O[1]	SHP_H3_GAIN_O[0]
		SHP_H3_GAIN_U[7]	SHP_H3_GAIN_U[6]	SHP_H3_GAIN_U[5]	SHP_H3_GAIN_U[4]	SHP_H3_GAIN_U[3]	SHP_H3_GAIN_U[2]	SHP_H3_GAIN_U[1]	SHP_H3_GAIN_U[0]
	ADJ0_ENH_LTI1	LTI_H_ON	–	–	–	–	–	–	LTI_H2_LPF_SEL
		LTI_H2_INC_ZERO[7]	LTI_H2_INC_ZERO[6]	LTI_H2_INC_ZERO[5]	LTI_H2_INC_ZERO[4]	LTI_H2_INC_ZERO[3]	LTI_H2_INC_ZERO[2]	LTI_H2_INC_ZERO[1]	LTI_H2_INC_ZERO[0]
		LTI_H2_GAIN[7]	LTI_H2_GAIN[6]	LTI_H2_GAIN[5]	LTI_H2_GAIN[4]	LTI_H2_GAIN[3]	LTI_H2_GAIN[2]	LTI_H2_GAIN[1]	LTI_H2_GAIN[0]
		LTI_H2_CORE[7]	LTI_H2_CORE[6]	LTI_H2_CORE[5]	LTI_H2_CORE[4]	LTI_H2_CORE[3]	LTI_H2_CORE[2]	LTI_H2_CORE[1]	LTI_H2_CORE[0]
	ADJ0_ENH_LTI2	–	–	–	–	–	–	–	LTI_H4_MEDIAN_TAP_SEL
		LTI_H4_INC_ZERO[7]	LTI_H4_INC_ZERO[6]	LTI_H4_INC_ZERO[5]	LTI_H4_INC_ZERO[4]	LTI_H4_INC_ZERO[3]	LTI_H4_INC_ZERO[2]	LTI_H4_INC_ZERO[1]	LTI_H4_INC_ZERO[0]
		LTI_H4_GAIN[7]	LTI_H4_GAIN[6]	LTI_H4_GAIN[5]	LTI_H4_GAIN[4]	LTI_H4_GAIN[3]	LTI_H4_GAIN[2]	LTI_H4_GAIN[1]	LTI_H4_GAIN[0]
		LTI_H4_CORE[7]	LTI_H4_CORE[6]	LTI_H4_CORE[5]	LTI_H4_CORE[4]	LTI_H4_CORE[3]	LTI_H4_CORE[2]	LTI_H4_CORE[1]	LTI_H4_CORE[0]
	ADJ0_MTX_MODE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	ADJ0_MTX_MD[1]	ADJ0_MTX_MD[0]
	ADJ0_MTX_YG_ADJ0	–	–	–	–	–	–	–	–
		ADJ0_MTX_YG[7]	ADJ0_MTX_YG[6]	ADJ0_MTX_YG[5]	ADJ0_MTX_YG[4]	ADJ0_MTX_YG[3]	ADJ0_MTX_YG[2]	ADJ0_MTX_YG[1]	ADJ0_MTX_YG[0]
		–	–	–	–	–	ADJ0_MTX_GG[10]	ADJ0_MTX_GG[9]	ADJ0_MTX_GG[8]
		ADJ0_MTX_GG[7]	ADJ0_MTX_GG[6]	ADJ0_MTX_GG[5]	ADJ0_MTX_GG[4]	ADJ0_MTX_GG[3]	ADJ0_MTX_GG[2]	ADJ0_MTX_GG[1]	ADJ0_MTX_GG[0]
	ADJ0_MTX_YG_ADJ1	–	–	–	–	–	ADJ0_MTX_GB[10]	ADJ0_MTX_GB[9]	ADJ0_MTX_GB[8]
		ADJ0_MTX_GB[7]	ADJ0_MTX_GB[6]	ADJ0_MTX_GB[5]	ADJ0_MTX_GB[4]	ADJ0_MTX_GB[3]	ADJ0_MTX_GB[2]	ADJ0_MTX_GB[1]	ADJ0_MTX_GB[0]
		–	–	–	–	–	ADJ0_MTX_GR[10]	ADJ0_MTX_GR[9]	ADJ0_MTX_GR[8]
		ADJ0_MTX_GR[7]	ADJ0_MTX_GR[6]	ADJ0_MTX_GR[5]	ADJ0_MTX_GR[4]	ADJ0_MTX_GR[3]	ADJ0_MTX_GR[2]	ADJ0_MTX_GR[1]	ADJ0_MTX_GR[0]
	ADJ0_MTX_CBB_ADJ0	–	–	–	–	–	–	–	–
		ADJ0_MTX_B[7]	ADJ0_MTX_B[6]	ADJ0_MTX_B[5]	ADJ0_MTX_B[4]	ADJ0_MTX_B[3]	ADJ0_MTX_B[2]	ADJ0_MTX_B[1]	ADJ0_MTX_B[0]
		–	–	–	–	–	ADJ0_MTX_BG[10]	ADJ0_MTX_BG[9]	ADJ0_MTX_BG[8]
		ADJ0_MTX_BG[7]	ADJ0_MTX_BG[6]	ADJ0_MTX_BG[5]	ADJ0_MTX_BG[4]	ADJ0_MTX_BG[3]	ADJ0_MTX_BG[2]	ADJ0_MTX_BG[1]	ADJ0_MTX_BG[0]
	ADJ0_MTX_CBB_ADJ1	–	–	–	–	–	ADJ0_MTX_BB[10]	ADJ0_MTX_BB[9]	ADJ0_MTX_BB[8]
		ADJ0_MTX_BB[7]	ADJ0_MTX_BB[6]	ADJ0_MTX_BB[5]	ADJ0_MTX_BB[4]	ADJ0_MTX_BB[3]	ADJ0_MTX_BB[2]	ADJ0_MTX_BB[1]	ADJ0_MTX_BB[0]
		–	–	–	–	–	ADJ0_MTX_BR[10]	ADJ0_MTX_BR[9]	ADJ0_MTX_BR[8]
		ADJ0_MTX_BR[7]	ADJ0_MTX_BR[6]	ADJ0_MTX_BR[5]	ADJ0_MTX_BR[4]	ADJ0_MTX_BR[3]	ADJ0_MTX_BR[2]	ADJ0_MTX_BR[1]	ADJ0_MTX_BR[0]
	ADJ0_MTX_CRR_ADJ0	–	–	–	–	–	–	–	–
		ADJ0_MTX_R[7]	ADJ0_MTX_R[6]	ADJ0_MTX_R[5]	ADJ0_MTX_R[4]	ADJ0_MTX_R[3]	ADJ0_MTX_R[2]	ADJ0_MTX_R[1]	ADJ0_MTX_R[0]
		–	–	–	–	–	ADJ0_MTX_RG[10]	ADJ0_MTX_RG[9]	ADJ0_MTX_RG[8]
		ADJ0_MTX_RG[7]	ADJ0_MTX_RG[6]	ADJ0_MTX_RG[5]	ADJ0_MTX_RG[4]	ADJ0_MTX_RG[3]	ADJ0_MTX_RG[2]	ADJ0_MTX_RG[1]	ADJ0_MTX_RG[0]
	ADJ0_MTX_CRR_ADJ1	–	–	–	–	–	ADJ0_MTX_RB[10]	ADJ0_MTX_RB[9]	ADJ0_MTX_RB[8]
		ADJ0_MTX_RB[7]	ADJ0_MTX_RB[6]	ADJ0_MTX_RB[5]	ADJ0_MTX_RB[4]	ADJ0_MTX_RB[3]	ADJ0_MTX_RB[2]	ADJ0_MTX_RB[1]	ADJ0_MTX_RB[0]
		–	–	–	–	–	ADJ0_MTX_RR[10]	ADJ0_MTX_RR[9]	ADJ0_MTX_RR[8]
		ADJ0_MTX_RR[7]	ADJ0_MTX_RR[6]	ADJ0_MTX_RR[5]	ADJ0_MTX_RR[4]	ADJ0_MTX_RR[3]	ADJ0_MTX_RR[2]	ADJ0_MTX_RR[1]	ADJ0_MTX_RR[0]
	GR2_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR2_UPDATE
		–	–	–	GR2_P_VEN	–	–	–	GR2_IBUS_VEN
	GR2_FLM_RD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR2_R_ENB

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	GR2_FLM1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR2_LN_OFF_DIR
		–	–	–	–	–	–	GR2_FLM_SEL[1]	GR2_FLM_SEL[0]
		–	–	–	–	–	–	–	GR2_BST_MD
	GR2_FLM2	GR2_BASE[31]	GR2_BASE[30]	GR2_BASE[29]	GR2_BASE[28]	GR2_BASE[27]	GR2_BASE[26]	GR2_BASE[25]	GR2_BASE[24]
		GR2_BASE[23]	GR2_BASE[22]	GR2_BASE[21]	GR2_BASE[20]	GR2_BASE[19]	GR2_BASE[18]	GR2_BASE[17]	GR2_BASE[16]
		GR2_BASE[15]	GR2_BASE[14]	GR2_BASE[13]	GR2_BASE[12]	GR2_BASE[11]	GR2_BASE[10]	GR2_BASE[9]	GR2_BASE[8]
		GR2_BASE[7]	GR2_BASE[6]	GR2_BASE[5]	GR2_BASE[4]	GR2_BASE[3]	GR2_BASE[2]	GR2_BASE[1]	GR2_BASE[0]
	GR2_FLM3	–	GR2_LN_OFF[14]	GR2_LN_OFF[13]	GR2_LN_OFF[12]	GR2_LN_OFF[11]	GR2_LN_OFF[10]	GR2_LN_OFF[9]	GR2_LN_OFF[8]
		GR2_LN_OFF[7]	GR2_LN_OFF[6]	GR2_LN_OFF[5]	GR2_LN_OFF[4]	GR2_LN_OFF[3]	GR2_LN_OFF[2]	GR2_LN_OFF[1]	GR2_LN_OFF[0]
		–	–	–	–	–	–	GR2_FLM_NUM[9]	GR2_FLM_NUM[8]
		GR2_FLM_NUM[7]	GR2_FLM_NUM[6]	GR2_FLM_NUM[5]	GR2_FLM_NUM[4]	GR2_FLM_NUM[3]	GR2_FLM_NUM[2]	GR2_FLM_NUM[1]	GR2_FLM_NUM[0]
	GR2_FLM4	–	–	–	–	–	–	–	–
		–	GR2_FLM_OFF[22]	GR2_FLM_OFF[21]	GR2_FLM_OFF[20]	GR2_FLM_OFF[19]	GR2_FLM_OFF[18]	GR2_FLM_OFF[17]	GR2_FLM_OFF[16]
		GR2_FLM_OFF[15]	GR2_FLM_OFF[14]	GR2_FLM_OFF[13]	GR2_FLM_OFF[12]	GR2_FLM_OFF[11]	GR2_FLM_OFF[10]	GR2_FLM_OFF[9]	GR2_FLM_OFF[8]
		GR2_FLM_OFF[7]	GR2_FLM_OFF[6]	GR2_FLM_OFF[5]	GR2_FLM_OFF[4]	GR2_FLM_OFF[3]	GR2_FLM_OFF[2]	GR2_FLM_OFF[1]	GR2_FLM_OFF[0]
	GR2_FLM5	–	–	–	–	–	GR2_FLM_LNUM[10]	GR2_FLM_LNUM[9]	GR2_FLM_LNUM[8]
		GR2_FLM_LNUM[7]	GR2_FLM_LNUM[6]	GR2_FLM_LNUM[5]	GR2_FLM_LNUM[4]	GR2_FLM_LNUM[3]	GR2_FLM_LNUM[2]	GR2_FLM_LNUM[1]	GR2_FLM_LNUM[0]
		–	–	–	–	–	GR2_FLM_LOOP[10]	GR2_FLM_LOOP[9]	GR2_FLM_LOOP[8]
		GR2_FLM_LOOP[7]	GR2_FLM_LOOP[6]	GR2_FLM_LOOP[5]	GR2_FLM_LOOP[4]	GR2_FLM_LOOP[3]	GR2_FLM_LOOP[2]	GR2_FLM_LOOP[1]	GR2_FLM_LOOP[0]
	GR2_FLM6	GR2_FORMAT[3]	GR2_FORMAT[2]	GR2_FORMAT[1]	GR2_FORMAT[0]	–	GR2_HW[10]	GR2_HW[9]	GR2_HW[8]
		GR2_HW[7]	GR2_HW[6]	GR2_HW[5]	GR2_HW[4]	GR2_HW[3]	GR2_HW[2]	GR2_HW[1]	GR2_HW[0]
		–	–	–	GR2_RDSWA[2]	GR2_RDSWA[1]	GR2_RDSWA[0]	–	–
		–	–	GR2_STA_POS[5]	GR2_STA_POS[4]	GR2_STA_POS[3]	GR2_STA_POS[2]	GR2_STA_POS[1]	GR2_STA_POS[0]
	GR2_AB1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		GR2_ARC_MUL	GR2_ACALC_MD	–	GR2_ARC_ON	–	–	–	GR2_ARC_DISP_ON
		–	–	–	GR2_GRC_DISP_ON	–	–	GR2_DISP_SEL[1]	GR2_DISP_SEL[0]
	GR2_AB2	–	–	–	–	–	GR2_GRC_VS[10]	GR2_GRC_VS[9]	GR2_GRC_VS[8]
		GR2_GRC_VS[7]	GR2_GRC_VS[6]	GR2_GRC_VS[5]	GR2_GRC_VS[4]	GR2_GRC_VS[3]	GR2_GRC_VS[2]	GR2_GRC_VS[1]	GR2_GRC_VS[0]
		–	–	–	–	–	GR2_GRC_VW[10]	GR2_GRC_VW[9]	GR2_GRC_VW[8]
		GR2_GRC_VW[7]	GR2_GRC_VW[6]	GR2_GRC_VW[5]	GR2_GRC_VW[4]	GR2_GRC_VW[3]	GR2_GRC_VW[2]	GR2_GRC_VW[1]	GR2_GRC_VW[0]
	GR2_AB3	–	–	–	–	–	GR2_GRC_HS[10]	GR2_GRC_HS[9]	GR2_GRC_HS[8]
		GR2_GRC_HS[7]	GR2_GRC_HS[6]	GR2_GRC_HS[5]	GR2_GRC_HS[4]	GR2_GRC_HS[3]	GR2_GRC_HS[2]	GR2_GRC_HS[1]	GR2_GRC_HS[0]
		–	–	–	–	–	GR2_GRC_HW[10]	GR2_GRC_HW[9]	GR2_GRC_HW[8]
		GR2_GRC_HW[7]	GR2_GRC_HW[6]	GR2_GRC_HW[5]	GR2_GRC_HW[4]	GR2_GRC_HW[3]	GR2_GRC_HW[2]	GR2_GRC_HW[1]	GR2_GRC_HW[0]
	GR2_AB4	–	–	–	–	–	GR2_ARC_VS[10]	GR2_ARC_VS[9]	GR2_ARC_VS[8]
		GR2_ARC_VS[7]	GR2_ARC_VS[6]	GR2_ARC_VS[5]	GR2_ARC_VS[4]	GR2_ARC_VS[3]	GR2_ARC_VS[2]	GR2_ARC_VS[1]	GR2_ARC_VS[0]
		–	–	–	–	–	GR2_ARC_VW[10]	GR2_ARC_VW[9]	GR2_ARC_VW[8]
		GR2_ARC_VW[7]	GR2_ARC_VW[6]	GR2_ARC_VW[5]	GR2_ARC_VW[4]	GR2_ARC_VW[3]	GR2_ARC_VW[2]	GR2_ARC_VW[1]	GR2_ARC_VW[0]
	GR2_AB5	–	–	–	–	–	GR2_ARC_HS[10]	GR2_ARC_HS[9]	GR2_ARC_HS[8]
		GR2_ARC_HS[7]	GR2_ARC_HS[6]	GR2_ARC_HS[5]	GR2_ARC_HS[4]	GR2_ARC_HS[3]	GR2_ARC_HS[2]	GR2_ARC_HS[1]	GR2_ARC_HS[0]
		–	–	–	–	–	GR2_ARC_HW[10]	GR2_ARC_HW[9]	GR2_ARC_HW[8]
		GR2_ARC_HW[7]	GR2_ARC_HW[6]	GR2_ARC_HW[5]	GR2_ARC_HW[4]	GR2_ARC_HW[3]	GR2_ARC_HW[2]	GR2_ARC_HW[1]	GR2_ARC_HW[0]
	GR2_AB6	–	–	–	–	–	–	–	GR2_ARC_MODE
		GR2_ARC_COEF[7]	GR2_ARC_COEF[6]	GR2_ARC_COEF[5]	GR2_ARC_COEF[4]	GR2_ARC_COEF[3]	GR2_ARC_COEF[2]	GR2_ARC_COEF[1]	GR2_ARC_COEF[0]
		–	–	–	–	–	–	–	–
		GR2_ARC_RATE[7]	GR2_ARC_RATE[6]	GR2_ARC_RATE[5]	GR2_ARC_RATE[4]	GR2_ARC_RATE[3]	GR2_ARC_RATE[2]	GR2_ARC_RATE[1]	GR2_ARC_RATE[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GR2_AB7	–	–	–	–	–	–	–	–
		GR2_ARC_DEF[7]	GR2_ARC_DEF[6]	GR2_ARC_DEF[5]	GR2_ARC_DEF[4]	GR2_ARC_DEF[3]	GR2_ARC_DEF[2]	GR2_ARC_DEF[1]	GR2_ARC_DEF[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR2_CK_ON
	GR2_AB8	GR2_CK_KCLUT [7]	GR2_CK_KCLUT [6]	GR2_CK_KCLUT [5]	GR2_CK_KCLUT [4]	GR2_CK_KCLUT [3]	GR2_CK_KCLUT [2]	GR2_CK_KCLUT [1]	GR2_CK_KCLUT [0]
		GR2_CK_KG[7]	GR2_CK_KG[6]	GR2_CK_KG[5]	GR2_CK_KG[4]	GR2_CK_KG[3]	GR2_CK_KG[2]	GR2_CK_KG[1]	GR2_CK_KG[0]
		GR2_CK_KB[7]	GR2_CK_KB[6]	GR2_CK_KB[5]	GR2_CK_KB[4]	GR2_CK_KB[3]	GR2_CK_KB[2]	GR2_CK_KB[1]	GR2_CK_KB[0]
		GR2_CK_KR[7]	GR2_CK_KR[6]	GR2_CK_KR[5]	GR2_CK_KR[4]	GR2_CK_KR[3]	GR2_CK_KR[2]	GR2_CK_KR[1]	GR2_CK_KR[0]
	GR2_AB9	GR2_CK_A[7]	GR2_CK_A[6]	GR2_CK_A[5]	GR2_CK_A[4]	GR2_CK_A[3]	GR2_CK_A[2]	GR2_CK_A[1]	GR2_CK_A[0]
		GR2_CK_G[7]	GR2_CK_G[6]	GR2_CK_G[5]	GR2_CK_G[4]	GR2_CK_G[3]	GR2_CK_G[2]	GR2_CK_G[1]	GR2_CK_G[0]
		GR2_CK_B[7]	GR2_CK_B[6]	GR2_CK_B[5]	GR2_CK_B[4]	GR2_CK_B[3]	GR2_CK_B[2]	GR2_CK_B[1]	GR2_CK_B[0]
		GR2_CK_R[7]	GR2_CK_R[6]	GR2_CK_R[5]	GR2_CK_R[4]	GR2_CK_R[3]	GR2_CK_R[2]	GR2_CK_R[1]	GR2_CK_R[0]
	GR2_AB10	GR2_A0[7]	GR2_A0[6]	GR2_A0[5]	GR2_A0[4]	GR2_A0[3]	GR2_A0[2]	GR2_A0[1]	GR2_A0[0]
		GR2_G0[7]	GR2_G0[6]	GR2_G0[5]	GR2_G0[4]	GR2_G0[3]	GR2_G0[2]	GR2_G0[1]	GR2_G0[0]
		GR2_B0[7]	GR2_B0[6]	GR2_B0[5]	GR2_B0[4]	GR2_B0[3]	GR2_B0[2]	GR2_B0[1]	GR2_B0[0]
		GR2_R0[7]	GR2_R0[6]	GR2_R0[5]	GR2_R0[4]	GR2_R0[3]	GR2_R0[2]	GR2_R0[1]	GR2_R0[0]
	GR2_AB11	GR2_A1[7]	GR2_A1[6]	GR2_A1[5]	GR2_A1[4]	GR2_A1[3]	GR2_A1[2]	GR2_A1[1]	GR2_A1[0]
		GR2_G1[7]	GR2_G1[6]	GR2_G1[5]	GR2_G1[4]	GR2_G1[3]	GR2_G1[2]	GR2_G1[1]	GR2_G1[0]
		GR2_B1[7]	GR2_B1[6]	GR2_B1[5]	GR2_B1[4]	GR2_B1[3]	GR2_B1[2]	GR2_B1[1]	GR2_B1[0]
		GR2_R1[7]	GR2_R1[6]	GR2_R1[5]	GR2_R1[4]	GR2_R1[3]	GR2_R1[2]	GR2_R1[1]	GR2_R1[0]
	GR2_BASE	–	–	–	–	–	–	–	–
		GR2_BASE_G[7]	GR2_BASE_G[6]	GR2_BASE_G[5]	GR2_BASE_G[4]	GR2_BASE_G[3]	GR2_BASE_G[2]	GR2_BASE_G[1]	GR2_BASE_G[0]
		GR2_BASE_B[7]	GR2_BASE_B[6]	GR2_BASE_B[5]	GR2_BASE_B[4]	GR2_BASE_B[3]	GR2_BASE_B[2]	GR2_BASE_B[1]	GR2_BASE_B[0]
		GR2_BASE_R[7]	GR2_BASE_R[6]	GR2_BASE_R[5]	GR2_BASE_R[4]	GR2_BASE_R[3]	GR2_BASE_R[2]	GR2_BASE_R[1]	GR2_BASE_R[0]
	GR2_CLUT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR2_CLT_SEL
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	GR2_MON	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR2_ARC_ST
	GR3_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR3_UPDATE
		–	–	–	GR3_P_VEN	–	–	–	GR3_IBUS_VEN
	GR3_FLM_RD	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR3_R_ENB
	GR3_FLM1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR3_LN_OFF_ DIR
		–	–	–	–	–	–	GR3_FLM_SEL[1]	GR3_FLM_SEL[0]
		–	–	–	–	–	–	–	GR3_BST_MD
	GR3_FLM2	GR3_BASE[31]	GR3_BASE[30]	GR3_BASE[29]	GR3_BASE[28]	GR3_BASE[27]	GR3_BASE[26]	GR3_BASE[25]	GR3_BASE[24]
		GR3_BASE[23]	GR3_BASE[22]	GR3_BASE[21]	GR3_BASE[20]	GR3_BASE[19]	GR3_BASE[18]	GR3_BASE[17]	GR3_BASE[16]
		GR3_BASE[15]	GR3_BASE[14]	GR3_BASE[13]	GR3_BASE[12]	GR3_BASE[11]	GR3_BASE[10]	GR3_BASE[9]	GR3_BASE[8]
		GR3_BASE[7]	GR3_BASE[6]	GR3_BASE[5]	GR3_BASE[4]	GR3_BASE[3]	GR3_BASE[2]	GR3_BASE[1]	GR3_BASE[0]
	GR3_FLM3	–	GR3_LN_OFF[14]	GR3_LN_OFF[13]	GR3_LN_OFF[12]	GR3_LN_OFF[11]	GR3_LN_OFF[10]	GR3_LN_OFF[9]	GR3_LN_OFF[8]
		GR3_LN_OFF[7]	GR3_LN_OFF[6]	GR3_LN_OFF[5]	GR3_LN_OFF[4]	GR3_LN_OFF[3]	GR3_LN_OFF[2]	GR3_LN_OFF[1]	GR3_LN_OFF[0]
		–	–	–	–	–	–	GR3_FLM_NUM [9]	GR3_FLM_NUM [8]
		GR3_FLM_NUM [7]	GR3_FLM_NUM [6]	GR3_FLM_NUM [5]	GR3_FLM_NUM [4]	GR3_FLM_NUM [3]	GR3_FLM_NUM [2]	GR3_FLM_NUM [1]	GR3_FLM_NUM [0]
	GR3_FLM4	–	–	–	–	–	–	–	–
		–	GR3_FLM_OFF [22]	GR3_FLM_OFF [21]	GR3_FLM_OFF [20]	GR3_FLM_OFF [19]	GR3_FLM_OFF [18]	GR3_FLM_OFF [17]	GR3_FLM_OFF [16]
		GR3_FLM_OFF [15]	GR3_FLM_OFF [14]	GR3_FLM_OFF [13]	GR3_FLM_OFF [12]	GR3_FLM_OFF [11]	GR3_FLM_OFF [10]	GR3_FLM_OFF[9]	GR3_FLM_OFF[8]
		GR3_FLM_OFF[7]	GR3_FLM_OFF[6]	GR3_FLM_OFF[5]	GR3_FLM_OFF[4]	GR3_FLM_OFF[3]	GR3_FLM_OFF[2]	GR3_FLM_OFF[1]	GR3_FLM_OFF[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオディスプレイコントローラ5	GR3_FLM5	–	–	–	–	–	GR3_FLM_LNUM[10]	GR3_FLM_LNUM[9]	GR3_FLM_LNUM[8]
		GR3_FLM_LNUM[7]	GR3_FLM_LNUM[6]	GR3_FLM_LNUM[5]	GR3_FLM_LNUM[4]	GR3_FLM_LNUM[3]	GR3_FLM_LNUM[2]	GR3_FLM_LNUM[1]	GR3_FLM_LNUM[0]
		–	–	–	–	–	GR3_FLM_LOOP[10]	GR3_FLM_LOOP[9]	GR3_FLM_LOOP[8]
		GR3_FLM_LOOP[7]	GR3_FLM_LOOP[6]	GR3_FLM_LOOP[5]	GR3_FLM_LOOP[4]	GR3_FLM_LOOP[3]	GR3_FLM_LOOP[2]	GR3_FLM_LOOP[1]	GR3_FLM_LOOP[0]
	GR3_FLM6	GR3_FORMAT[3]	GR3_FORMAT[2]	GR3_FORMAT[1]	GR3_FORMAT[0]	–	GR3_HW[10]	GR3_HW[9]	GR3_HW[8]
		GR3_HW[7]	GR3_HW[6]	GR3_HW[5]	GR3_HW[4]	GR3_HW[3]	GR3_HW[2]	GR3_HW[1]	GR3_HW[0]
		–	–	–	GR3_RDSWA[2]	GR3_RDSWA[1]	GR3_RDSWA[0]	–	–
		–	–	GR3_STA_POS[5]	GR3_STA_POS[4]	GR3_STA_POS[3]	GR3_STA_POS[2]	GR3_STA_POS[1]	GR3_STA_POS[0]
	GR3_AB1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		GR3_ARC_MUL	GR3_ACALC_MD	–	GR3_ARC_ON	–	–	–	GR3_ARC_DISP_ON
		–	–	–	GR3_GRC_DISP_ON	–	–	GR3_DISP_SEL[1]	GR3_DISP_SEL[0]
	GR3_AB2	–	–	–	–	–	GR3_GRC_VS[10]	GR3_GRC_VS[9]	GR3_GRC_VS[8]
		GR3_GRC_VS[7]	GR3_GRC_VS[6]	GR3_GRC_VS[5]	GR3_GRC_VS[4]	GR3_GRC_VS[3]	GR3_GRC_VS[2]	GR3_GRC_VS[1]	GR3_GRC_VS[0]
		–	–	–	–	–	GR3_GRC_VW[10]	GR3_GRC_VW[9]	GR3_GRC_VW[8]
		GR3_GRC_VW[7]	GR3_GRC_VW[6]	GR3_GRC_VW[5]	GR3_GRC_VW[4]	GR3_GRC_VW[3]	GR3_GRC_VW[2]	GR3_GRC_VW[1]	GR3_GRC_VW[0]
	GR3_AB3	–	–	–	–	–	GR3_GRC_HS[10]	GR3_GRC_HS[9]	GR3_GRC_HS[8]
		GR3_GRC_HS[7]	GR3_GRC_HS[6]	GR3_GRC_HS[5]	GR3_GRC_HS[4]	GR3_GRC_HS[3]	GR3_GRC_HS[2]	GR3_GRC_HS[1]	GR3_GRC_HS[0]
		–	–	–	–	–	GR3_GRC_HW[10]	GR3_GRC_HW[9]	GR3_GRC_HW[8]
		GR3_GRC_HW[7]	GR3_GRC_HW[6]	GR3_GRC_HW[5]	GR3_GRC_HW[4]	GR3_GRC_HW[3]	GR3_GRC_HW[2]	GR3_GRC_HW[1]	GR3_GRC_HW[0]
	GR3_AB4	–	–	–	–	–	GR3_ARC_VS[10]	GR3_ARC_VS[9]	GR3_ARC_VS[8]
		GR3_ARC_VS[7]	GR3_ARC_VS[6]	GR3_ARC_VS[5]	GR3_ARC_VS[4]	GR3_ARC_VS[3]	GR3_ARC_VS[2]	GR3_ARC_VS[1]	GR3_ARC_VS[0]
		–	–	–	–	–	GR3_ARC_VW[10]	GR3_ARC_VW[9]	GR3_ARC_VW[8]
		GR3_ARC_VW[7]	GR3_ARC_VW[6]	GR3_ARC_VW[5]	GR3_ARC_VW[4]	GR3_ARC_VW[3]	GR3_ARC_VW[2]	GR3_ARC_VW[1]	GR3_ARC_VW[0]
	GR3_AB5	–	–	–	–	–	GR3_ARC_HS[10]	GR3_ARC_HS[9]	GR3_ARC_HS[8]
		GR3_ARC_HS[7]	GR3_ARC_HS[6]	GR3_ARC_HS[5]	GR3_ARC_HS[4]	GR3_ARC_HS[3]	GR3_ARC_HS[2]	GR3_ARC_HS[1]	GR3_ARC_HS[0]
		–	–	–	–	–	GR3_ARC_HW[10]	GR3_ARC_HW[9]	GR3_ARC_HW[8]
		GR3_ARC_HW[7]	GR3_ARC_HW[6]	GR3_ARC_HW[5]	GR3_ARC_HW[4]	GR3_ARC_HW[3]	GR3_ARC_HW[2]	GR3_ARC_HW[1]	GR3_ARC_HW[0]
	GR3_AB6	–	–	–	–	–	–	–	GR3_ARC_MODE
		GR3_ARC_COEF[7]	GR3_ARC_COEF[6]	GR3_ARC_COEF[5]	GR3_ARC_COEF[4]	GR3_ARC_COEF[3]	GR3_ARC_COEF[2]	GR3_ARC_COEF[1]	GR3_ARC_COEF[0]
		–	–	–	–	–	–	–	–
		GR3_ARC_RATE[7]	GR3_ARC_RATE[6]	GR3_ARC_RATE[5]	GR3_ARC_RATE[4]	GR3_ARC_RATE[3]	GR3_ARC_RATE[2]	GR3_ARC_RATE[1]	GR3_ARC_RATE[0]
	GR3_AB7	–	–	–	–	–	–	–	–
		GR3_ARC_DEF[7]	GR3_ARC_DEF[6]	GR3_ARC_DEF[5]	GR3_ARC_DEF[4]	GR3_ARC_DEF[3]	GR3_ARC_DEF[2]	GR3_ARC_DEF[1]	GR3_ARC_DEF[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR3_CK_ON
	GR3_AB8	GR3_CK_KCLUT[7]	GR3_CK_KCLUT[6]	GR3_CK_KCLUT[5]	GR3_CK_KCLUT[4]	GR3_CK_KCLUT[3]	GR3_CK_KCLUT[2]	GR3_CK_KCLUT[1]	GR3_CK_KCLUT[0]
		GR3_CK_KG[7]	GR3_CK_KG[6]	GR3_CK_KG[5]	GR3_CK_KG[4]	GR3_CK_KG[3]	GR3_CK_KG[2]	GR3_CK_KG[1]	GR3_CK_KG[0]
		GR3_CK_KB[7]	GR3_CK_KB[6]	GR3_CK_KB[5]	GR3_CK_KB[4]	GR3_CK_KB[3]	GR3_CK_KB[2]	GR3_CK_KB[1]	GR3_CK_KB[0]
		GR3_CK_KR[7]	GR3_CK_KR[6]	GR3_CK_KR[5]	GR3_CK_KR[4]	GR3_CK_KR[3]	GR3_CK_KR[2]	GR3_CK_KR[1]	GR3_CK_KR[0]
	GR3_AB9	GR3_CK_A[7]	GR3_CK_A[6]	GR3_CK_A[5]	GR3_CK_A[4]	GR3_CK_A[3]	GR3_CK_A[2]	GR3_CK_A[1]	GR3_CK_A[0]
		GR3_CK_G[7]	GR3_CK_G[6]	GR3_CK_G[5]	GR3_CK_G[4]	GR3_CK_G[3]	GR3_CK_G[2]	GR3_CK_G[1]	GR3_CK_G[0]
		GR3_CK_B[7]	GR3_CK_B[6]	GR3_CK_B[5]	GR3_CK_B[4]	GR3_CK_B[3]	GR3_CK_B[2]	GR3_CK_B[1]	GR3_CK_B[0]
		GR3_CK_R[7]	GR3_CK_R[6]	GR3_CK_R[5]	GR3_CK_R[4]	GR3_CK_R[3]	GR3_CK_R[2]	GR3_CK_R[1]	GR3_CK_R[0]
	GR3_AB10	GR3_A0[7]	GR3_A0[6]	GR3_A0[5]	GR3_A0[4]	GR3_A0[3]	GR3_A0[2]	GR3_A0[1]	GR3_A0[0]
		GR3_G0[7]	GR3_G0[6]	GR3_G0[5]	GR3_G0[4]	GR3_G0[3]	GR3_G0[2]	GR3_G0[1]	GR3_G0[0]
		GR3_B0[7]	GR3_B0[6]	GR3_B0[5]	GR3_B0[4]	GR3_B0[3]	GR3_B0[2]	GR3_B0[1]	GR3_B0[0]
		GR3_R0[7]	GR3_R0[6]	GR3_R0[5]	GR3_R0[4]	GR3_R0[3]	GR3_R0[2]	GR3_R0[1]	GR3_R0[0]
	GR3_AB11	GR3_A1[7]	GR3_A1[6]	GR3_A1[5]	GR3_A1[4]	GR3_A1[3]	GR3_A1[2]	GR3_A1[1]	GR3_A1[0]
		GR3_G1[7]	GR3_G1[6]	GR3_G1[5]	GR3_G1[4]	GR3_G1[3]	GR3_G1[2]	GR3_G1[1]	GR3_G1[0]
		GR3_B1[7]	GR3_B1[6]	GR3_B1[5]	GR3_B1[4]	GR3_B1[3]	GR3_B1[2]	GR3_B1[1]	GR3_B1[0]
		GR3_R1[7]	GR3_R1[6]	GR3_R1[5]	GR3_R1[4]	GR3_R1[3]	GR3_R1[2]	GR3_R1[1]	GR3_R1[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GR3_BASE	–	–	–	–	–	–	–	–
		GR3_BASE_G[7]	GR3_BASE_G[6]	GR3_BASE_G[5]	GR3_BASE_G[4]	GR3_BASE_G[3]	GR3_BASE_G[2]	GR3_BASE_G[1]	GR3_BASE_G[0]
		GR3_BASE_B[7]	GR3_BASE_B[6]	GR3_BASE_B[5]	GR3_BASE_B[4]	GR3_BASE_B[3]	GR3_BASE_B[2]	GR3_BASE_B[1]	GR3_BASE_B[0]
		GR3_BASE_R[7]	GR3_BASE_R[6]	GR3_BASE_R[5]	GR3_BASE_R[4]	GR3_BASE_R[3]	GR3_BASE_R[2]	GR3_BASE_R[1]	GR3_BASE_R[0]
	GR3_CLUT_INT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR3_CLT_SEL
		–	–	–	–	–	GR3_LINE[10]	GR3_LINE[9]	GR3_LINE[8]
		GR3_LINE[7]	GR3_LINE[6]	GR3_LINE[5]	GR3_LINE[4]	GR3_LINE[3]	GR3_LINE[2]	GR3_LINE[1]	GR3_LINE[0]
	GR3_MON	–	–	–	–	–	GR3_LIN_STAT [10]	GR3_LIN_STAT[9]	GR3_LIN_STAT[8]
		GR3_LIN_STAT[7]	GR3_LIN_STAT[6]	GR3_LIN_STAT[5]	GR3_LIN_STAT[4]	GR3_LIN_STAT[3]	GR3_LIN_STAT[2]	GR3_LIN_STAT[1]	GR3_LIN_STAT[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR3_ARC_ST
	GR_VIN_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GR_VIN_ UPDATE
		–	–	–	GR_VIN_P_VEN	–	–	–	–
	GR_VIN_AB1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	GR_VIN_SCL_ UND_SEL	GR_VIN_DISP_ SEL[1]	GR_VIN_DISP_ SEL[0]
	GAM_G_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GAM_G_VEN
	GAM_SW	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GAM_ON
	GAM_G_LUT1	–	–	–	–	–	GAM_G_GAIN_ 00[10]	GAM_G_GAIN_ 00[9]	GAM_G_GAIN_ 00[8]
		GAM_G_GAIN_ 00[7]	GAM_G_GAIN_ 00[6]	GAM_G_GAIN_ 00[5]	GAM_G_GAIN_ 00[4]	GAM_G_GAIN_ 00[3]	GAM_G_GAIN_ 00[2]	GAM_G_GAIN_ 00[1]	GAM_G_GAIN_ 00[0]
		–	–	–	–	–	GAM_G_GAIN_ 01[10]	GAM_G_GAIN_ 01[9]	GAM_G_GAIN_ 01[8]
		GAM_G_GAIN_ 01[7]	GAM_G_GAIN_ 01[6]	GAM_G_GAIN_ 01[5]	GAM_G_GAIN_ 01[4]	GAM_G_GAIN_ 01[3]	GAM_G_GAIN_ 01[2]	GAM_G_GAIN_ 01[1]	GAM_G_GAIN_ 01[0]
	GAM_G_LUT2	–	–	–	–	–	GAM_G_GAIN_ 02[10]	GAM_G_GAIN_ 02[9]	GAM_G_GAIN_ 02[8]
		GAM_G_GAIN_ 02[7]	GAM_G_GAIN_ 02[6]	GAM_G_GAIN_ 02[5]	GAM_G_GAIN_ 02[4]	GAM_G_GAIN_ 02[3]	GAM_G_GAIN_ 02[2]	GAM_G_GAIN_ 02[1]	GAM_G_GAIN_ 02[0]
		–	–	–	–	–	GAM_G_GAIN_ 03[10]	GAM_G_GAIN_ 03[9]	GAM_G_GAIN_ 03[8]
		GAM_G_GAIN_ 03[7]	GAM_G_GAIN_ 03[6]	GAM_G_GAIN_ 03[5]	GAM_G_GAIN_ 03[4]	GAM_G_GAIN_ 03[3]	GAM_G_GAIN_ 03[2]	GAM_G_GAIN_ 03[1]	GAM_G_GAIN_ 03[0]
	GAM_G_LUT3	–	–	–	–	–	GAM_G_GAIN_ 04[10]	GAM_G_GAIN_ 04[9]	GAM_G_GAIN_ 04[8]
		GAM_G_GAIN_ 04[7]	GAM_G_GAIN_ 04[6]	GAM_G_GAIN_ 04[5]	GAM_G_GAIN_ 04[4]	GAM_G_GAIN_ 04[3]	GAM_G_GAIN_ 04[2]	GAM_G_GAIN_ 04[1]	GAM_G_GAIN_ 04[0]
		–	–	–	–	–	GAM_G_GAIN_ 05[10]	GAM_G_GAIN_ 05[9]	GAM_G_GAIN_ 05[8]
		GAM_G_GAIN_ 05[7]	GAM_G_GAIN_ 05[6]	GAM_G_GAIN_ 05[5]	GAM_G_GAIN_ 05[4]	GAM_G_GAIN_ 05[3]	GAM_G_GAIN_ 05[2]	GAM_G_GAIN_ 05[1]	GAM_G_GAIN_ 05[0]
	GAM_G_LUT4	–	–	–	–	–	GAM_G_GAIN_ 06[10]	GAM_G_GAIN_ 06[9]	GAM_G_GAIN_ 06[8]
		GAM_G_GAIN_ 06[7]	GAM_G_GAIN_ 06[6]	GAM_G_GAIN_ 06[5]	GAM_G_GAIN_ 06[4]	GAM_G_GAIN_ 06[3]	GAM_G_GAIN_ 06[2]	GAM_G_GAIN_ 06[1]	GAM_G_GAIN_ 06[0]
		–	–	–	–	–	GAM_G_GAIN_ 07[10]	GAM_G_GAIN_ 07[9]	GAM_G_GAIN_ 07[8]
		GAM_G_GAIN_ 07[7]	GAM_G_GAIN_ 07[6]	GAM_G_GAIN_ 07[5]	GAM_G_GAIN_ 07[4]	GAM_G_GAIN_ 07[3]	GAM_G_GAIN_ 07[2]	GAM_G_GAIN_ 07[1]	GAM_G_GAIN_ 07[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GAM_G_LUT5	–	–	–	–	–	GAM_G_GAIN_08[10]	GAM_G_GAIN_08[9]	GAM_G_GAIN_08[8]
		GAM_G_GAIN_08[7]	GAM_G_GAIN_08[6]	GAM_G_GAIN_08[5]	GAM_G_GAIN_08[4]	GAM_G_GAIN_08[3]	GAM_G_GAIN_08[2]	GAM_G_GAIN_08[1]	GAM_G_GAIN_08[0]
		–	–	–	–	–	GAM_G_GAIN_09[10]	GAM_G_GAIN_09[9]	GAM_G_GAIN_09[8]
		GAM_G_GAIN_09[7]	GAM_G_GAIN_09[6]	GAM_G_GAIN_09[5]	GAM_G_GAIN_09[4]	GAM_G_GAIN_09[3]	GAM_G_GAIN_09[2]	GAM_G_GAIN_09[1]	GAM_G_GAIN_09[0]
	GAM_G_LUT6	–	–	–	–	–	GAM_G_GAIN_10[10]	GAM_G_GAIN_10[9]	GAM_G_GAIN_10[8]
		GAM_G_GAIN_10[7]	GAM_G_GAIN_10[6]	GAM_G_GAIN_10[5]	GAM_G_GAIN_10[4]	GAM_G_GAIN_10[3]	GAM_G_GAIN_10[2]	GAM_G_GAIN_10[1]	GAM_G_GAIN_10[0]
		–	–	–	–	–	GAM_G_GAIN_11[10]	GAM_G_GAIN_11[9]	GAM_G_GAIN_11[8]
		GAM_G_GAIN_11[7]	GAM_G_GAIN_11[6]	GAM_G_GAIN_11[5]	GAM_G_GAIN_11[4]	GAM_G_GAIN_11[3]	GAM_G_GAIN_11[2]	GAM_G_GAIN_11[1]	GAM_G_GAIN_11[0]
	GAM_G_LUT7	–	–	–	–	–	GAM_G_GAIN_12[10]	GAM_G_GAIN_12[9]	GAM_G_GAIN_12[8]
		GAM_G_GAIN_12[7]	GAM_G_GAIN_12[6]	GAM_G_GAIN_12[5]	GAM_G_GAIN_12[4]	GAM_G_GAIN_12[3]	GAM_G_GAIN_12[2]	GAM_G_GAIN_12[1]	GAM_G_GAIN_12[0]
		–	–	–	–	–	GAM_G_GAIN_13[10]	GAM_G_GAIN_13[9]	GAM_G_GAIN_13[8]
		GAM_G_GAIN_13[7]	GAM_G_GAIN_13[6]	GAM_G_GAIN_13[5]	GAM_G_GAIN_13[4]	GAM_G_GAIN_13[3]	GAM_G_GAIN_13[2]	GAM_G_GAIN_13[1]	GAM_G_GAIN_13[0]
	GAM_G_LUT8	–	–	–	–	–	GAM_G_GAIN_14[10]	GAM_G_GAIN_14[9]	GAM_G_GAIN_14[8]
		GAM_G_GAIN_14[7]	GAM_G_GAIN_14[6]	GAM_G_GAIN_14[5]	GAM_G_GAIN_14[4]	GAM_G_GAIN_14[3]	GAM_G_GAIN_14[2]	GAM_G_GAIN_14[1]	GAM_G_GAIN_14[0]
		–	–	–	–	–	GAM_G_GAIN_15[10]	GAM_G_GAIN_15[9]	GAM_G_GAIN_15[8]
		GAM_G_GAIN_15[7]	GAM_G_GAIN_15[6]	GAM_G_GAIN_15[5]	GAM_G_GAIN_15[4]	GAM_G_GAIN_15[3]	GAM_G_GAIN_15[2]	GAM_G_GAIN_15[1]	GAM_G_GAIN_15[0]
	GAM_G_LUT9	–	–	–	–	–	GAM_G_GAIN_16[10]	GAM_G_GAIN_16[9]	GAM_G_GAIN_16[8]
		GAM_G_GAIN_16[7]	GAM_G_GAIN_16[6]	GAM_G_GAIN_16[5]	GAM_G_GAIN_16[4]	GAM_G_GAIN_16[3]	GAM_G_GAIN_16[2]	GAM_G_GAIN_16[1]	GAM_G_GAIN_16[0]
		–	–	–	–	–	GAM_G_GAIN_17[10]	GAM_G_GAIN_17[9]	GAM_G_GAIN_17[8]
		GAM_G_GAIN_17[7]	GAM_G_GAIN_17[6]	GAM_G_GAIN_17[5]	GAM_G_GAIN_17[4]	GAM_G_GAIN_17[3]	GAM_G_GAIN_17[2]	GAM_G_GAIN_17[1]	GAM_G_GAIN_17[0]
	GAM_G_LUT10	–	–	–	–	–	GAM_G_GAIN_18[10]	GAM_G_GAIN_18[9]	GAM_G_GAIN_18[8]
		GAM_G_GAIN_18[7]	GAM_G_GAIN_18[6]	GAM_G_GAIN_18[5]	GAM_G_GAIN_18[4]	GAM_G_GAIN_18[3]	GAM_G_GAIN_18[2]	GAM_G_GAIN_18[1]	GAM_G_GAIN_18[0]
		–	–	–	–	–	GAM_G_GAIN_19[10]	GAM_G_GAIN_19[9]	GAM_G_GAIN_19[8]
		GAM_G_GAIN_19[7]	GAM_G_GAIN_19[6]	GAM_G_GAIN_19[5]	GAM_G_GAIN_19[4]	GAM_G_GAIN_19[3]	GAM_G_GAIN_19[2]	GAM_G_GAIN_19[1]	GAM_G_GAIN_19[0]
	GAM_G_LUT11	–	–	–	–	–	GAM_G_GAIN_20[10]	GAM_G_GAIN_20[9]	GAM_G_GAIN_20[8]
		GAM_G_GAIN_20[7]	GAM_G_GAIN_20[6]	GAM_G_GAIN_20[5]	GAM_G_GAIN_20[4]	GAM_G_GAIN_20[3]	GAM_G_GAIN_20[2]	GAM_G_GAIN_20[1]	GAM_G_GAIN_20[0]
		–	–	–	–	–	GAM_G_GAIN_21[10]	GAM_G_GAIN_21[9]	GAM_G_GAIN_21[8]
		GAM_G_GAIN_21[7]	GAM_G_GAIN_21[6]	GAM_G_GAIN_21[5]	GAM_G_GAIN_21[4]	GAM_G_GAIN_21[3]	GAM_G_GAIN_21[2]	GAM_G_GAIN_21[1]	GAM_G_GAIN_21[0]
	GAM_G_LUT12	–	–	–	–	–	GAM_G_GAIN_22[10]	GAM_G_GAIN_22[9]	GAM_G_GAIN_22[8]
		GAM_G_GAIN_22[7]	GAM_G_GAIN_22[6]	GAM_G_GAIN_22[5]	GAM_G_GAIN_22[4]	GAM_G_GAIN_22[3]	GAM_G_GAIN_22[2]	GAM_G_GAIN_22[1]	GAM_G_GAIN_22[0]
		–	–	–	–	–	GAM_G_GAIN_23[10]	GAM_G_GAIN_23[9]	GAM_G_GAIN_23[8]
		GAM_G_GAIN_23[7]	GAM_G_GAIN_23[6]	GAM_G_GAIN_23[5]	GAM_G_GAIN_23[4]	GAM_G_GAIN_23[3]	GAM_G_GAIN_23[2]	GAM_G_GAIN_23[1]	GAM_G_GAIN_23[0]
	GAM_G_LUT13	–	–	–	–	–	GAM_G_GAIN_24[10]	GAM_G_GAIN_24[9]	GAM_G_GAIN_24[8]
		GAM_G_GAIN_24[7]	GAM_G_GAIN_24[6]	GAM_G_GAIN_24[5]	GAM_G_GAIN_24[4]	GAM_G_GAIN_24[3]	GAM_G_GAIN_24[2]	GAM_G_GAIN_24[1]	GAM_G_GAIN_24[0]
		–	–	–	–	–	GAM_G_GAIN_25[10]	GAM_G_GAIN_25[9]	GAM_G_GAIN_25[8]
		GAM_G_GAIN_25[7]	GAM_G_GAIN_25[6]	GAM_G_GAIN_25[5]	GAM_G_GAIN_25[4]	GAM_G_GAIN_25[3]	GAM_G_GAIN_25[2]	GAM_G_GAIN_25[1]	GAM_G_GAIN_25[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GAM_G_LUT14	–	–	–	–	–	GAM_G_GAIN_26[10]	GAM_G_GAIN_26[9]	GAM_G_GAIN_26[8]
		GAM_G_GAIN_26[7]	GAM_G_GAIN_26[6]	GAM_G_GAIN_26[5]	GAM_G_GAIN_26[4]	GAM_G_GAIN_26[3]	GAM_G_GAIN_26[2]	GAM_G_GAIN_26[1]	GAM_G_GAIN_26[0]
		–	–	–	–	–	GAM_G_GAIN_27[10]	GAM_G_GAIN_27[9]	GAM_G_GAIN_27[8]
		GAM_G_GAIN_27[7]	GAM_G_GAIN_27[6]	GAM_G_GAIN_27[5]	GAM_G_GAIN_27[4]	GAM_G_GAIN_27[3]	GAM_G_GAIN_27[2]	GAM_G_GAIN_27[1]	GAM_G_GAIN_27[0]
	GAM_G_LUT15	–	–	–	–	–	GAM_G_GAIN_28[10]	GAM_G_GAIN_28[9]	GAM_G_GAIN_28[8]
		GAM_G_GAIN_28[7]	GAM_G_GAIN_28[6]	GAM_G_GAIN_28[5]	GAM_G_GAIN_28[4]	GAM_G_GAIN_28[3]	GAM_G_GAIN_28[2]	GAM_G_GAIN_28[1]	GAM_G_GAIN_28[0]
		–	–	–	–	–	GAM_G_GAIN_29[10]	GAM_G_GAIN_29[9]	GAM_G_GAIN_29[8]
		GAM_G_GAIN_29[7]	GAM_G_GAIN_29[6]	GAM_G_GAIN_29[5]	GAM_G_GAIN_29[4]	GAM_G_GAIN_29[3]	GAM_G_GAIN_29[2]	GAM_G_GAIN_29[1]	GAM_G_GAIN_29[0]
	GAM_G_LUT16	–	–	–	–	–	GAM_G_GAIN_30[10]	GAM_G_GAIN_30[9]	GAM_G_GAIN_30[8]
		GAM_G_GAIN_30[7]	GAM_G_GAIN_30[6]	GAM_G_GAIN_30[5]	GAM_G_GAIN_30[4]	GAM_G_GAIN_30[3]	GAM_G_GAIN_30[2]	GAM_G_GAIN_30[1]	GAM_G_GAIN_30[0]
		–	–	–	–	–	GAM_G_GAIN_31[10]	GAM_G_GAIN_31[9]	GAM_G_GAIN_31[8]
		GAM_G_GAIN_31[7]	GAM_G_GAIN_31[6]	GAM_G_GAIN_31[5]	GAM_G_GAIN_31[4]	GAM_G_GAIN_31[3]	GAM_G_GAIN_31[2]	GAM_G_GAIN_31[1]	GAM_G_GAIN_31[0]
	GAM_G_AREA1	–	–	–	–	–	–	–	–
		GAM_G_TH_01[7]	GAM_G_TH_01[6]	GAM_G_TH_01[5]	GAM_G_TH_01[4]	GAM_G_TH_01[3]	GAM_G_TH_01[2]	GAM_G_TH_01[1]	GAM_G_TH_01[0]
		GAM_G_TH_02[7]	GAM_G_TH_02[6]	GAM_G_TH_02[5]	GAM_G_TH_02[4]	GAM_G_TH_02[3]	GAM_G_TH_02[2]	GAM_G_TH_02[1]	GAM_G_TH_02[0]
		GAM_G_TH_03[7]	GAM_G_TH_03[6]	GAM_G_TH_03[5]	GAM_G_TH_03[4]	GAM_G_TH_03[3]	GAM_G_TH_03[2]	GAM_G_TH_03[1]	GAM_G_TH_03[0]
	GAM_G_AREA2	GAM_G_TH_04[7]	GAM_G_TH_04[6]	GAM_G_TH_04[5]	GAM_G_TH_04[4]	GAM_G_TH_04[3]	GAM_G_TH_04[2]	GAM_G_TH_04[1]	GAM_G_TH_04[0]
		GAM_G_TH_05[7]	GAM_G_TH_05[6]	GAM_G_TH_05[5]	GAM_G_TH_05[4]	GAM_G_TH_05[3]	GAM_G_TH_05[2]	GAM_G_TH_05[1]	GAM_G_TH_05[0]
		GAM_G_TH_06[7]	GAM_G_TH_06[6]	GAM_G_TH_06[5]	GAM_G_TH_06[4]	GAM_G_TH_06[3]	GAM_G_TH_06[2]	GAM_G_TH_06[1]	GAM_G_TH_06[0]
		GAM_G_TH_07[7]	GAM_G_TH_07[6]	GAM_G_TH_07[5]	GAM_G_TH_07[4]	GAM_G_TH_07[3]	GAM_G_TH_07[2]	GAM_G_TH_07[1]	GAM_G_TH_07[0]
	GAM_G_AREA3	GAM_G_TH_08[7]	GAM_G_TH_08[6]	GAM_G_TH_08[5]	GAM_G_TH_08[4]	GAM_G_TH_08[3]	GAM_G_TH_08[2]	GAM_G_TH_08[1]	GAM_G_TH_08[0]
		GAM_G_TH_09[7]	GAM_G_TH_09[6]	GAM_G_TH_09[5]	GAM_G_TH_09[4]	GAM_G_TH_09[3]	GAM_G_TH_09[2]	GAM_G_TH_09[1]	GAM_G_TH_09[0]
		GAM_G_TH_10[7]	GAM_G_TH_10[6]	GAM_G_TH_10[5]	GAM_G_TH_10[4]	GAM_G_TH_10[3]	GAM_G_TH_10[2]	GAM_G_TH_10[1]	GAM_G_TH_10[0]
		GAM_G_TH_11[7]	GAM_G_TH_11[6]	GAM_G_TH_11[5]	GAM_G_TH_11[4]	GAM_G_TH_11[3]	GAM_G_TH_11[2]	GAM_G_TH_11[1]	GAM_G_TH_11[0]
	GAM_G_AREA4	GAM_G_TH_12[7]	GAM_G_TH_12[6]	GAM_G_TH_12[5]	GAM_G_TH_12[4]	GAM_G_TH_12[3]	GAM_G_TH_12[2]	GAM_G_TH_12[1]	GAM_G_TH_12[0]
		GAM_G_TH_13[7]	GAM_G_TH_13[6]	GAM_G_TH_13[5]	GAM_G_TH_13[4]	GAM_G_TH_13[3]	GAM_G_TH_13[2]	GAM_G_TH_13[1]	GAM_G_TH_13[0]
		GAM_G_TH_14[7]	GAM_G_TH_14[6]	GAM_G_TH_14[5]	GAM_G_TH_14[4]	GAM_G_TH_14[3]	GAM_G_TH_14[2]	GAM_G_TH_14[1]	GAM_G_TH_14[0]
		GAM_G_TH_15[7]	GAM_G_TH_15[6]	GAM_G_TH_15[5]	GAM_G_TH_15[4]	GAM_G_TH_15[3]	GAM_G_TH_15[2]	GAM_G_TH_15[1]	GAM_G_TH_15[0]
	GAM_G_AREA5	GAM_G_TH_16[7]	GAM_G_TH_16[6]	GAM_G_TH_16[5]	GAM_G_TH_16[4]	GAM_G_TH_16[3]	GAM_G_TH_16[2]	GAM_G_TH_16[1]	GAM_G_TH_16[0]
		GAM_G_TH_17[7]	GAM_G_TH_17[6]	GAM_G_TH_17[5]	GAM_G_TH_17[4]	GAM_G_TH_17[3]	GAM_G_TH_17[2]	GAM_G_TH_17[1]	GAM_G_TH_17[0]
		GAM_G_TH_18[7]	GAM_G_TH_18[6]	GAM_G_TH_18[5]	GAM_G_TH_18[4]	GAM_G_TH_18[3]	GAM_G_TH_18[2]	GAM_G_TH_18[1]	GAM_G_TH_18[0]
		GAM_G_TH_19[7]	GAM_G_TH_19[6]	GAM_G_TH_19[5]	GAM_G_TH_19[4]	GAM_G_TH_19[3]	GAM_G_TH_19[2]	GAM_G_TH_19[1]	GAM_G_TH_19[0]
	GAM_G_AREA6	GAM_G_TH_20[7]	GAM_G_TH_20[6]	GAM_G_TH_20[5]	GAM_G_TH_20[4]	GAM_G_TH_20[3]	GAM_G_TH_20[2]	GAM_G_TH_20[1]	GAM_G_TH_20[0]
		GAM_G_TH_21[7]	GAM_G_TH_21[6]	GAM_G_TH_21[5]	GAM_G_TH_21[4]	GAM_G_TH_21[3]	GAM_G_TH_21[2]	GAM_G_TH_21[1]	GAM_G_TH_21[0]
		GAM_G_TH_22[7]	GAM_G_TH_22[6]	GAM_G_TH_22[5]	GAM_G_TH_22[4]	GAM_G_TH_22[3]	GAM_G_TH_22[2]	GAM_G_TH_22[1]	GAM_G_TH_22[0]
		GAM_G_TH_23[7]	GAM_G_TH_23[6]	GAM_G_TH_23[5]	GAM_G_TH_23[4]	GAM_G_TH_23[3]	GAM_G_TH_23[2]	GAM_G_TH_23[1]	GAM_G_TH_23[0]
	GAM_G_AREA7	GAM_G_TH_24[7]	GAM_G_TH_24[6]	GAM_G_TH_24[5]	GAM_G_TH_24[4]	GAM_G_TH_24[3]	GAM_G_TH_24[2]	GAM_G_TH_24[1]	GAM_G_TH_24[0]
		GAM_G_TH_25[7]	GAM_G_TH_25[6]	GAM_G_TH_25[5]	GAM_G_TH_25[4]	GAM_G_TH_25[3]	GAM_G_TH_25[2]	GAM_G_TH_25[1]	GAM_G_TH_25[0]
		GAM_G_TH_26[7]	GAM_G_TH_26[6]	GAM_G_TH_26[5]	GAM_G_TH_26[4]	GAM_G_TH_26[3]	GAM_G_TH_26[2]	GAM_G_TH_26[1]	GAM_G_TH_26[0]
		GAM_G_TH_27[7]	GAM_G_TH_27[6]	GAM_G_TH_27[5]	GAM_G_TH_27[4]	GAM_G_TH_27[3]	GAM_G_TH_27[2]	GAM_G_TH_27[1]	GAM_G_TH_27[0]
	GAM_G_AREA8	GAM_G_TH_28[7]	GAM_G_TH_28[6]	GAM_G_TH_28[5]	GAM_G_TH_28[4]	GAM_G_TH_28[3]	GAM_G_TH_28[2]	GAM_G_TH_28[1]	GAM_G_TH_28[0]
		GAM_G_TH_29[7]	GAM_G_TH_29[6]	GAM_G_TH_29[5]	GAM_G_TH_29[4]	GAM_G_TH_29[3]	GAM_G_TH_29[2]	GAM_G_TH_29[1]	GAM_G_TH_29[0]
		GAM_G_TH_30[7]	GAM_G_TH_30[6]	GAM_G_TH_30[5]	GAM_G_TH_30[4]	GAM_G_TH_30[3]	GAM_G_TH_30[2]	GAM_G_TH_30[1]	GAM_G_TH_30[0]
		GAM_G_TH_31[7]	GAM_G_TH_31[6]	GAM_G_TH_31[5]	GAM_G_TH_31[4]	GAM_G_TH_31[3]	GAM_G_TH_31[2]	GAM_G_TH_31[1]	GAM_G_TH_31[0]
	GAM_B_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GAM_B_VEN

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GAM_B_LUT1	–	–	–	–	–	GAM_B_GAIN_00[10]	GAM_B_GAIN_00[9]	GAM_B_GAIN_00[8]
		GAM_B_GAIN_00[7]	GAM_B_GAIN_00[6]	GAM_B_GAIN_00[5]	GAM_B_GAIN_00[4]	GAM_B_GAIN_00[3]	GAM_B_GAIN_00[2]	GAM_B_GAIN_00[1]	GAM_B_GAIN_00[0]
		–	–	–	–	–	GAM_B_GAIN_01[10]	GAM_B_GAIN_01[9]	GAM_B_GAIN_01[8]
		GAM_B_GAIN_01[7]	GAM_B_GAIN_01[6]	GAM_B_GAIN_01[5]	GAM_B_GAIN_01[4]	GAM_B_GAIN_01[3]	GAM_B_GAIN_01[2]	GAM_B_GAIN_01[1]	GAM_B_GAIN_01[0]
	GAM_B_LUT2	–	–	–	–	–	GAM_B_GAIN_02[10]	GAM_B_GAIN_02[9]	GAM_B_GAIN_02[8]
		GAM_B_GAIN_02[7]	GAM_B_GAIN_02[6]	GAM_B_GAIN_02[5]	GAM_B_GAIN_02[4]	GAM_B_GAIN_02[3]	GAM_B_GAIN_02[2]	GAM_B_GAIN_02[1]	GAM_B_GAIN_02[0]
		–	–	–	–	–	GAM_B_GAIN_03[10]	GAM_B_GAIN_03[9]	GAM_B_GAIN_03[8]
		GAM_B_GAIN_03[7]	GAM_B_GAIN_03[6]	GAM_B_GAIN_03[5]	GAM_B_GAIN_03[4]	GAM_B_GAIN_03[3]	GAM_B_GAIN_03[2]	GAM_B_GAIN_03[1]	GAM_B_GAIN_03[0]
	GAM_B_LUT3	–	–	–	–	–	GAM_B_GAIN_04[10]	GAM_B_GAIN_04[9]	GAM_B_GAIN_04[8]
		GAM_B_GAIN_04[7]	GAM_B_GAIN_04[6]	GAM_B_GAIN_04[5]	GAM_B_GAIN_04[4]	GAM_B_GAIN_04[3]	GAM_B_GAIN_04[2]	GAM_B_GAIN_04[1]	GAM_B_GAIN_04[0]
		–	–	–	–	–	GAM_B_GAIN_05[10]	GAM_B_GAIN_05[9]	GAM_B_GAIN_05[8]
		GAM_B_GAIN_05[7]	GAM_B_GAIN_05[6]	GAM_B_GAIN_05[5]	GAM_B_GAIN_05[4]	GAM_B_GAIN_05[3]	GAM_B_GAIN_05[2]	GAM_B_GAIN_05[1]	GAM_B_GAIN_05[0]
	GAM_B_LUT4	–	–	–	–	–	GAM_B_GAIN_06[10]	GAM_B_GAIN_06[9]	GAM_B_GAIN_06[8]
		GAM_B_GAIN_06[7]	GAM_B_GAIN_06[6]	GAM_B_GAIN_06[5]	GAM_B_GAIN_06[4]	GAM_B_GAIN_06[3]	GAM_B_GAIN_06[2]	GAM_B_GAIN_06[1]	GAM_B_GAIN_06[0]
		–	–	–	–	–	GAM_B_GAIN_07[10]	GAM_B_GAIN_07[9]	GAM_B_GAIN_07[8]
		GAM_B_GAIN_07[7]	GAM_B_GAIN_07[6]	GAM_B_GAIN_07[5]	GAM_B_GAIN_07[4]	GAM_B_GAIN_07[3]	GAM_B_GAIN_07[2]	GAM_B_GAIN_07[1]	GAM_B_GAIN_07[0]
	GAM_B_LUT5	–	–	–	–	–	GAM_B_GAIN_08[10]	GAM_B_GAIN_08[9]	GAM_B_GAIN_08[8]
		GAM_B_GAIN_08[7]	GAM_B_GAIN_08[6]	GAM_B_GAIN_08[5]	GAM_B_GAIN_08[4]	GAM_B_GAIN_08[3]	GAM_B_GAIN_08[2]	GAM_B_GAIN_08[1]	GAM_B_GAIN_08[0]
		–	–	–	–	–	GAM_B_GAIN_09[10]	GAM_B_GAIN_09[9]	GAM_B_GAIN_09[8]
		GAM_B_GAIN_09[7]	GAM_B_GAIN_09[6]	GAM_B_GAIN_09[5]	GAM_B_GAIN_09[4]	GAM_B_GAIN_09[3]	GAM_B_GAIN_09[2]	GAM_B_GAIN_09[1]	GAM_B_GAIN_09[0]
	GAM_B_LUT6	–	–	–	–	–	GAM_B_GAIN_10[10]	GAM_B_GAIN_10[9]	GAM_B_GAIN_10[8]
		GAM_B_GAIN_10[7]	GAM_B_GAIN_10[6]	GAM_B_GAIN_10[5]	GAM_B_GAIN_10[4]	GAM_B_GAIN_10[3]	GAM_B_GAIN_10[2]	GAM_B_GAIN_10[1]	GAM_B_GAIN_10[0]
		–	–	–	–	–	GAM_B_GAIN_11[10]	GAM_B_GAIN_11[9]	GAM_B_GAIN_11[8]
		GAM_B_GAIN_11[7]	GAM_B_GAIN_11[6]	GAM_B_GAIN_11[5]	GAM_B_GAIN_11[4]	GAM_B_GAIN_11[3]	GAM_B_GAIN_11[2]	GAM_B_GAIN_11[1]	GAM_B_GAIN_11[0]
	GAM_B_LUT7	–	–	–	–	–	GAM_B_GAIN_12[10]	GAM_B_GAIN_12[9]	GAM_B_GAIN_12[8]
		GAM_B_GAIN_12[7]	GAM_B_GAIN_12[6]	GAM_B_GAIN_12[5]	GAM_B_GAIN_12[4]	GAM_B_GAIN_12[3]	GAM_B_GAIN_12[2]	GAM_B_GAIN_12[1]	GAM_B_GAIN_12[0]
		–	–	–	–	–	GAM_B_GAIN_13[10]	GAM_B_GAIN_13[9]	GAM_B_GAIN_13[8]
		GAM_B_GAIN_13[7]	GAM_B_GAIN_13[6]	GAM_B_GAIN_13[5]	GAM_B_GAIN_13[4]	GAM_B_GAIN_13[3]	GAM_B_GAIN_13[2]	GAM_B_GAIN_13[1]	GAM_B_GAIN_13[0]
	GAM_B_LUT8	–	–	–	–	–	GAM_B_GAIN_14[10]	GAM_B_GAIN_14[9]	GAM_B_GAIN_14[8]
		GAM_B_GAIN_14[7]	GAM_B_GAIN_14[6]	GAM_B_GAIN_14[5]	GAM_B_GAIN_14[4]	GAM_B_GAIN_14[3]	GAM_B_GAIN_14[2]	GAM_B_GAIN_14[1]	GAM_B_GAIN_14[0]
		–	–	–	–	–	GAM_B_GAIN_15[10]	GAM_B_GAIN_15[9]	GAM_B_GAIN_15[8]
		GAM_B_GAIN_15[7]	GAM_B_GAIN_15[6]	GAM_B_GAIN_15[5]	GAM_B_GAIN_15[4]	GAM_B_GAIN_15[3]	GAM_B_GAIN_15[2]	GAM_B_GAIN_15[1]	GAM_B_GAIN_15[0]
	GAM_B_LUT9	–	–	–	–	–	GAM_B_GAIN_16[10]	GAM_B_GAIN_16[9]	GAM_B_GAIN_16[8]
		GAM_B_GAIN_16[7]	GAM_B_GAIN_16[6]	GAM_B_GAIN_16[5]	GAM_B_GAIN_16[4]	GAM_B_GAIN_16[3]	GAM_B_GAIN_16[2]	GAM_B_GAIN_16[1]	GAM_B_GAIN_16[0]
		–	–	–	–	–	GAM_B_GAIN_17[10]	GAM_B_GAIN_17[9]	GAM_B_GAIN_17[8]
		GAM_B_GAIN_17[7]	GAM_B_GAIN_17[6]	GAM_B_GAIN_17[5]	GAM_B_GAIN_17[4]	GAM_B_GAIN_17[3]	GAM_B_GAIN_17[2]	GAM_B_GAIN_17[1]	GAM_B_GAIN_17[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GAM_B_LUT10	–	–	–	–	–	GAM_B_GAIN_18[10]	GAM_B_GAIN_18[9]	GAM_B_GAIN_18[8]
		GAM_B_GAIN_18[7]	GAM_B_GAIN_18[6]	GAM_B_GAIN_18[5]	GAM_B_GAIN_18[4]	GAM_B_GAIN_18[3]	GAM_B_GAIN_18[2]	GAM_B_GAIN_18[1]	GAM_B_GAIN_18[0]
		–	–	–	–	–	GAM_B_GAIN_19[10]	GAM_B_GAIN_19[9]	GAM_B_GAIN_19[8]
		GAM_B_GAIN_19[7]	GAM_B_GAIN_19[6]	GAM_B_GAIN_19[5]	GAM_B_GAIN_19[4]	GAM_B_GAIN_19[3]	GAM_B_GAIN_19[2]	GAM_B_GAIN_19[1]	GAM_B_GAIN_19[0]
	GAM_B_LUT11	–	–	–	–	–	GAM_B_GAIN_20[10]	GAM_B_GAIN_20[9]	GAM_B_GAIN_20[8]
		GAM_B_GAIN_20[7]	GAM_B_GAIN_20[6]	GAM_B_GAIN_20[5]	GAM_B_GAIN_20[4]	GAM_B_GAIN_20[3]	GAM_B_GAIN_20[2]	GAM_B_GAIN_20[1]	GAM_B_GAIN_20[0]
		–	–	–	–	–	GAM_B_GAIN_21[10]	GAM_B_GAIN_21[9]	GAM_B_GAIN_21[8]
		GAM_B_GAIN_21[7]	GAM_B_GAIN_21[6]	GAM_B_GAIN_21[5]	GAM_B_GAIN_21[4]	GAM_B_GAIN_21[3]	GAM_B_GAIN_21[2]	GAM_B_GAIN_21[1]	GAM_B_GAIN_21[0]
	GAM_B_LUT12	–	–	–	–	–	GAM_B_GAIN_22[10]	GAM_B_GAIN_22[9]	GAM_B_GAIN_22[8]
		GAM_B_GAIN_22[7]	GAM_B_GAIN_22[6]	GAM_B_GAIN_22[5]	GAM_B_GAIN_22[4]	GAM_B_GAIN_22[3]	GAM_B_GAIN_22[2]	GAM_B_GAIN_22[1]	GAM_B_GAIN_22[0]
		–	–	–	–	–	GAM_B_GAIN_23[10]	GAM_B_GAIN_23[9]	GAM_B_GAIN_23[8]
		GAM_B_GAIN_23[7]	GAM_B_GAIN_23[6]	GAM_B_GAIN_23[5]	GAM_B_GAIN_23[4]	GAM_B_GAIN_23[3]	GAM_B_GAIN_23[2]	GAM_B_GAIN_23[1]	GAM_B_GAIN_23[0]
	GAM_B_LUT13	–	–	–	–	–	GAM_B_GAIN_24[10]	GAM_B_GAIN_24[9]	GAM_B_GAIN_24[8]
		GAM_B_GAIN_24[7]	GAM_B_GAIN_24[6]	GAM_B_GAIN_24[5]	GAM_B_GAIN_24[4]	GAM_B_GAIN_24[3]	GAM_B_GAIN_24[2]	GAM_B_GAIN_24[1]	GAM_B_GAIN_24[0]
		–	–	–	–	–	GAM_B_GAIN_25[10]	GAM_B_GAIN_25[9]	GAM_B_GAIN_25[8]
		GAM_B_GAIN_25[7]	GAM_B_GAIN_25[6]	GAM_B_GAIN_25[5]	GAM_B_GAIN_25[4]	GAM_B_GAIN_25[3]	GAM_B_GAIN_25[2]	GAM_B_GAIN_25[1]	GAM_B_GAIN_25[0]
	GAM_B_LUT14	–	–	–	–	–	GAM_B_GAIN_26[10]	GAM_B_GAIN_26[9]	GAM_B_GAIN_26[8]
		GAM_B_GAIN_26[7]	GAM_B_GAIN_26[6]	GAM_B_GAIN_26[5]	GAM_B_GAIN_26[4]	GAM_B_GAIN_26[3]	GAM_B_GAIN_26[2]	GAM_B_GAIN_26[1]	GAM_B_GAIN_26[0]
		–	–	–	–	–	GAM_B_GAIN_27[10]	GAM_B_GAIN_27[9]	GAM_B_GAIN_27[8]
		GAM_B_GAIN_27[7]	GAM_B_GAIN_27[6]	GAM_B_GAIN_27[5]	GAM_B_GAIN_27[4]	GAM_B_GAIN_27[3]	GAM_B_GAIN_27[2]	GAM_B_GAIN_27[1]	GAM_B_GAIN_27[0]
	GAM_B_LUT15	–	–	–	–	–	GAM_B_GAIN_28[10]	GAM_B_GAIN_28[9]	GAM_B_GAIN_28[8]
		GAM_B_GAIN_28[7]	GAM_B_GAIN_28[6]	GAM_B_GAIN_28[5]	GAM_B_GAIN_28[4]	GAM_B_GAIN_28[3]	GAM_B_GAIN_28[2]	GAM_B_GAIN_28[1]	GAM_B_GAIN_28[0]
		–	–	–	–	–	GAM_B_GAIN_29[10]	GAM_B_GAIN_29[9]	GAM_B_GAIN_29[8]
		GAM_B_GAIN_29[7]	GAM_B_GAIN_29[6]	GAM_B_GAIN_29[5]	GAM_B_GAIN_29[4]	GAM_B_GAIN_29[3]	GAM_B_GAIN_29[2]	GAM_B_GAIN_29[1]	GAM_B_GAIN_29[0]
	GAM_B_LUT16	–	–	–	–	–	GAM_B_GAIN_30[10]	GAM_B_GAIN_30[9]	GAM_B_GAIN_30[8]
		GAM_B_GAIN_30[7]	GAM_B_GAIN_30[6]	GAM_B_GAIN_30[5]	GAM_B_GAIN_30[4]	GAM_B_GAIN_30[3]	GAM_B_GAIN_30[2]	GAM_B_GAIN_30[1]	GAM_B_GAIN_30[0]
		–	–	–	–	–	GAM_B_GAIN_31[10]	GAM_B_GAIN_31[9]	GAM_B_GAIN_31[8]
		GAM_B_GAIN_31[7]	GAM_B_GAIN_31[6]	GAM_B_GAIN_31[5]	GAM_B_GAIN_31[4]	GAM_B_GAIN_31[3]	GAM_B_GAIN_31[2]	GAM_B_GAIN_31[1]	GAM_B_GAIN_31[0]
	GAM_B_AREA1	–	–	–	–	–	–	–	–
		GAM_B_TH_01[7]	GAM_B_TH_01[6]	GAM_B_TH_01[5]	GAM_B_TH_01[4]	GAM_B_TH_01[3]	GAM_B_TH_01[2]	GAM_B_TH_01[1]	GAM_B_TH_01[0]
		GAM_B_TH_02[7]	GAM_B_TH_02[6]	GAM_B_TH_02[5]	GAM_B_TH_02[4]	GAM_B_TH_02[3]	GAM_B_TH_02[2]	GAM_B_TH_02[1]	GAM_B_TH_02[0]
		GAM_B_TH_03[7]	GAM_B_TH_03[6]	GAM_B_TH_03[5]	GAM_B_TH_03[4]	GAM_B_TH_03[3]	GAM_B_TH_03[2]	GAM_B_TH_03[1]	GAM_B_TH_03[0]
	GAM_B_AREA2	GAM_B_TH_04[7]	GAM_B_TH_04[6]	GAM_B_TH_04[5]	GAM_B_TH_04[4]	GAM_B_TH_04[3]	GAM_B_TH_04[2]	GAM_B_TH_04[1]	GAM_B_TH_04[0]
		GAM_B_TH_05[7]	GAM_B_TH_05[6]	GAM_B_TH_05[5]	GAM_B_TH_05[4]	GAM_B_TH_05[3]	GAM_B_TH_05[2]	GAM_B_TH_05[1]	GAM_B_TH_05[0]
		GAM_B_TH_06[7]	GAM_B_TH_06[6]	GAM_B_TH_06[5]	GAM_B_TH_06[4]	GAM_B_TH_06[3]	GAM_B_TH_06[2]	GAM_B_TH_06[1]	GAM_B_TH_06[0]
		GAM_B_TH_07[7]	GAM_B_TH_07[6]	GAM_B_TH_07[5]	GAM_B_TH_07[4]	GAM_B_TH_07[3]	GAM_B_TH_07[2]	GAM_B_TH_07[1]	GAM_B_TH_07[0]
	GAM_B_AREA3	GAM_B_TH_08[7]	GAM_B_TH_08[6]	GAM_B_TH_08[5]	GAM_B_TH_08[4]	GAM_B_TH_08[3]	GAM_B_TH_08[2]	GAM_B_TH_08[1]	GAM_B_TH_08[0]
		GAM_B_TH_09[7]	GAM_B_TH_09[6]	GAM_B_TH_09[5]	GAM_B_TH_09[4]	GAM_B_TH_09[3]	GAM_B_TH_09[2]	GAM_B_TH_09[1]	GAM_B_TH_09[0]
		GAM_B_TH_10[7]	GAM_B_TH_10[6]	GAM_B_TH_10[5]	GAM_B_TH_10[4]	GAM_B_TH_10[3]	GAM_B_TH_10[2]	GAM_B_TH_10[1]	GAM_B_TH_10[0]
		GAM_B_TH_11[7]	GAM_B_TH_11[6]	GAM_B_TH_11[5]	GAM_B_TH_11[4]	GAM_B_TH_11[3]	GAM_B_TH_11[2]	GAM_B_TH_11[1]	GAM_B_TH_11[0]
	GAM_B_AREA4	GAM_B_TH_12[7]	GAM_B_TH_12[6]	GAM_B_TH_12[5]	GAM_B_TH_12[4]	GAM_B_TH_12[3]	GAM_B_TH_12[2]	GAM_B_TH_12[1]	GAM_B_TH_12[0]
		GAM_B_TH_13[7]	GAM_B_TH_13[6]	GAM_B_TH_13[5]	GAM_B_TH_13[4]	GAM_B_TH_13[3]	GAM_B_TH_13[2]	GAM_B_TH_13[1]	GAM_B_TH_13[0]
		GAM_B_TH_14[7]	GAM_B_TH_14[6]	GAM_B_TH_14[5]	GAM_B_TH_14[4]	GAM_B_TH_14[3]	GAM_B_TH_14[2]	GAM_B_TH_14[1]	GAM_B_TH_14[0]
		GAM_B_TH_15[7]	GAM_B_TH_15[6]	GAM_B_TH_15[5]	GAM_B_TH_15[4]	GAM_B_TH_15[3]	GAM_B_TH_15[2]	GAM_B_TH_15[1]	GAM_B_TH_15[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GAM_B_AREA5	GAM_B_TH_16[7]	GAM_B_TH_16[6]	GAM_B_TH_16[5]	GAM_B_TH_16[4]	GAM_B_TH_16[3]	GAM_B_TH_16[2]	GAM_B_TH_16[1]	GAM_B_TH_16[0]
		GAM_B_TH_17[7]	GAM_B_TH_17[6]	GAM_B_TH_17[5]	GAM_B_TH_17[4]	GAM_B_TH_17[3]	GAM_B_TH_17[2]	GAM_B_TH_17[1]	GAM_B_TH_17[0]
		GAM_B_TH_18[7]	GAM_B_TH_18[6]	GAM_B_TH_18[5]	GAM_B_TH_18[4]	GAM_B_TH_18[3]	GAM_B_TH_18[2]	GAM_B_TH_18[1]	GAM_B_TH_18[0]
		GAM_B_TH_19[7]	GAM_B_TH_19[6]	GAM_B_TH_19[5]	GAM_B_TH_19[4]	GAM_B_TH_19[3]	GAM_B_TH_19[2]	GAM_B_TH_19[1]	GAM_B_TH_19[0]
	GAM_B_AREA6	GAM_B_TH_20[7]	GAM_B_TH_20[6]	GAM_B_TH_20[5]	GAM_B_TH_20[4]	GAM_B_TH_20[3]	GAM_B_TH_20[2]	GAM_B_TH_20[1]	GAM_B_TH_20[0]
		GAM_B_TH_21[7]	GAM_B_TH_21[6]	GAM_B_TH_21[5]	GAM_B_TH_21[4]	GAM_B_TH_21[3]	GAM_B_TH_21[2]	GAM_B_TH_21[1]	GAM_B_TH_21[0]
		GAM_B_TH_22[7]	GAM_B_TH_22[6]	GAM_B_TH_22[5]	GAM_B_TH_22[4]	GAM_B_TH_22[3]	GAM_B_TH_22[2]	GAM_B_TH_22[1]	GAM_B_TH_22[0]
		GAM_B_TH_23[7]	GAM_B_TH_23[6]	GAM_B_TH_23[5]	GAM_B_TH_23[4]	GAM_B_TH_23[3]	GAM_B_TH_23[2]	GAM_B_TH_23[1]	GAM_B_TH_23[0]
	GAM_B_AREA7	GAM_B_TH_24[7]	GAM_B_TH_24[6]	GAM_B_TH_24[5]	GAM_B_TH_24[4]	GAM_B_TH_24[3]	GAM_B_TH_24[2]	GAM_B_TH_24[1]	GAM_B_TH_24[0]
		GAM_B_TH_25[7]	GAM_B_TH_25[6]	GAM_B_TH_25[5]	GAM_B_TH_25[4]	GAM_B_TH_25[3]	GAM_B_TH_25[2]	GAM_B_TH_25[1]	GAM_B_TH_25[0]
		GAM_B_TH_26[7]	GAM_B_TH_26[6]	GAM_B_TH_26[5]	GAM_B_TH_26[4]	GAM_B_TH_26[3]	GAM_B_TH_26[2]	GAM_B_TH_26[1]	GAM_B_TH_26[0]
		GAM_B_TH_27[7]	GAM_B_TH_27[6]	GAM_B_TH_27[5]	GAM_B_TH_27[4]	GAM_B_TH_27[3]	GAM_B_TH_27[2]	GAM_B_TH_27[1]	GAM_B_TH_27[0]
	GAM_B_AREA8	GAM_B_TH_28[7]	GAM_B_TH_28[6]	GAM_B_TH_28[5]	GAM_B_TH_28[4]	GAM_B_TH_28[3]	GAM_B_TH_28[2]	GAM_B_TH_28[1]	GAM_B_TH_28[0]
		GAM_B_TH_29[7]	GAM_B_TH_29[6]	GAM_B_TH_29[5]	GAM_B_TH_29[4]	GAM_B_TH_29[3]	GAM_B_TH_29[2]	GAM_B_TH_29[1]	GAM_B_TH_29[0]
		GAM_B_TH_30[7]	GAM_B_TH_30[6]	GAM_B_TH_30[5]	GAM_B_TH_30[4]	GAM_B_TH_30[3]	GAM_B_TH_30[2]	GAM_B_TH_30[1]	GAM_B_TH_30[0]
		GAM_B_TH_31[7]	GAM_B_TH_31[6]	GAM_B_TH_31[5]	GAM_B_TH_31[4]	GAM_B_TH_31[3]	GAM_B_TH_31[2]	GAM_B_TH_31[1]	GAM_B_TH_31[0]
	GAM_R_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	GAM_R_VEN
	GAM_R_LUT1	–	–	–	–	–	GAM_R_GAIN_00 [10]	GAM_R_GAIN_00 [9]	GAM_R_GAIN_00 [8]
		GAM_R_GAIN_00 [7]	GAM_R_GAIN_00 [6]	GAM_R_GAIN_00 [5]	GAM_R_GAIN_00 [4]	GAM_R_GAIN_00 [3]	GAM_R_GAIN_00 [2]	GAM_R_GAIN_00 [1]	GAM_R_GAIN_00 [0]
		–	–	–	–	–	GAM_R_GAIN_01 [10]	GAM_R_GAIN_01 [9]	GAM_R_GAIN_01 [8]
		GAM_R_GAIN_01 [7]	GAM_R_GAIN_01 [6]	GAM_R_GAIN_01 [5]	GAM_R_GAIN_01 [4]	GAM_R_GAIN_01 [3]	GAM_R_GAIN_01 [2]	GAM_R_GAIN_01 [1]	GAM_R_GAIN_01 [0]
	GAM_R_LUT2	–	–	–	–	–	GAM_R_GAIN_02 [10]	GAM_R_GAIN_02 [9]	GAM_R_GAIN_02 [8]
		GAM_R_GAIN_02 [7]	GAM_R_GAIN_02 [6]	GAM_R_GAIN_02 [5]	GAM_R_GAIN_02 [4]	GAM_R_GAIN_02 [3]	GAM_R_GAIN_02 [2]	GAM_R_GAIN_02 [1]	GAM_R_GAIN_02 [0]
		–	–	–	–	–	GAM_R_GAIN_03 [10]	GAM_R_GAIN_03 [9]	GAM_R_GAIN_03 [8]
		GAM_R_GAIN_03 [7]	GAM_R_GAIN_03 [6]	GAM_R_GAIN_03 [5]	GAM_R_GAIN_03 [4]	GAM_R_GAIN_03 [3]	GAM_R_GAIN_03 [2]	GAM_R_GAIN_03 [1]	GAM_R_GAIN_03 [0]
	GAM_R_LUT3	–	–	–	–	–	GAM_R_GAIN_04 [10]	GAM_R_GAIN_04 [9]	GAM_R_GAIN_04 [8]
		GAM_R_GAIN_04 [7]	GAM_R_GAIN_04 [6]	GAM_R_GAIN_04 [5]	GAM_R_GAIN_04 [4]	GAM_R_GAIN_04 [3]	GAM_R_GAIN_04 [2]	GAM_R_GAIN_04 [1]	GAM_R_GAIN_04 [0]
		–	–	–	–	–	GAM_R_GAIN_05 [10]	GAM_R_GAIN_05 [9]	GAM_R_GAIN_05 [8]
		GAM_R_GAIN_05 [7]	GAM_R_GAIN_05 [6]	GAM_R_GAIN_05 [5]	GAM_R_GAIN_05 [4]	GAM_R_GAIN_05 [3]	GAM_R_GAIN_05 [2]	GAM_R_GAIN_05 [1]	GAM_R_GAIN_05 [0]
	GAM_R_LUT4	–	–	–	–	–	GAM_R_GAIN_06 [10]	GAM_R_GAIN_06 [9]	GAM_R_GAIN_06 [8]
		GAM_R_GAIN_06 [7]	GAM_R_GAIN_06 [6]	GAM_R_GAIN_06 [5]	GAM_R_GAIN_06 [4]	GAM_R_GAIN_06 [3]	GAM_R_GAIN_06 [2]	GAM_R_GAIN_06 [1]	GAM_R_GAIN_06 [0]
		–	–	–	–	–	GAM_R_GAIN_07 [10]	GAM_R_GAIN_07 [9]	GAM_R_GAIN_07 [8]
		GAM_R_GAIN_07 [7]	GAM_R_GAIN_07 [6]	GAM_R_GAIN_07 [5]	GAM_R_GAIN_07 [4]	GAM_R_GAIN_07 [3]	GAM_R_GAIN_07 [2]	GAM_R_GAIN_07 [1]	GAM_R_GAIN_07 [0]
	GAM_R_LUT5	–	–	–	–	–	GAM_R_GAIN_08 [10]	GAM_R_GAIN_08 [9]	GAM_R_GAIN_08 [8]
		GAM_R_GAIN_08 [7]	GAM_R_GAIN_08 [6]	GAM_R_GAIN_08 [5]	GAM_R_GAIN_08 [4]	GAM_R_GAIN_08 [3]	GAM_R_GAIN_08 [2]	GAM_R_GAIN_08 [1]	GAM_R_GAIN_08 [0]
		–	–	–	–	–	GAM_R_GAIN_09 [10]	GAM_R_GAIN_09 [9]	GAM_R_GAIN_09 [8]
		GAM_R_GAIN_09 [7]	GAM_R_GAIN_09 [6]	GAM_R_GAIN_09 [5]	GAM_R_GAIN_09 [4]	GAM_R_GAIN_09 [3]	GAM_R_GAIN_09 [2]	GAM_R_GAIN_09 [1]	GAM_R_GAIN_09 [0]
	GAM_R_LUT6	–	–	–	–	–	GAM_R_GAIN_10 [10]	GAM_R_GAIN_10 [9]	GAM_R_GAIN_10 [8]
		GAM_R_GAIN_10 [7]	GAM_R_GAIN_10 [6]	GAM_R_GAIN_10 [5]	GAM_R_GAIN_10 [4]	GAM_R_GAIN_10 [3]	GAM_R_GAIN_10 [2]	GAM_R_GAIN_10 [1]	GAM_R_GAIN_10 [0]
		–	–	–	–	–	GAM_R_GAIN_11 [10]	GAM_R_GAIN_11 [9]	GAM_R_GAIN_11 [8]
		GAM_R_GAIN_11 [7]	GAM_R_GAIN_11 [6]	GAM_R_GAIN_11 [5]	GAM_R_GAIN_11 [4]	GAM_R_GAIN_11 [3]	GAM_R_GAIN_11 [2]	GAM_R_GAIN_11 [1]	GAM_R_GAIN_11 [0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GAM_R_LUT7	–	–	–	–	–	GAM_R_GAIN_12 [10]	GAM_R_GAIN_12 [9]	GAM_R_GAIN_12 [8]
		GAM_R_GAIN_12 [7]	GAM_R_GAIN_12 [6]	GAM_R_GAIN_12 [5]	GAM_R_GAIN_12 [4]	GAM_R_GAIN_12 [3]	GAM_R_GAIN_12 [2]	GAM_R_GAIN_12 [1]	GAM_R_GAIN_12 [0]
		–	–	–	–	–	GAM_R_GAIN_13 [10]	GAM_R_GAIN_13 [9]	GAM_R_GAIN_13 [8]
		GAM_R_GAIN_13 [7]	GAM_R_GAIN_13 [6]	GAM_R_GAIN_13 [5]	GAM_R_GAIN_13 [4]	GAM_R_GAIN_13 [3]	GAM_R_GAIN_13 [2]	GAM_R_GAIN_13 [1]	GAM_R_GAIN_13 [0]
	GAM_R_LUT8	–	–	–	–	–	GAM_R_GAIN_14 [10]	GAM_R_GAIN_14 [9]	GAM_R_GAIN_14 [8]
		GAM_R_GAIN_14 [7]	GAM_R_GAIN_14 [6]	GAM_R_GAIN_14 [5]	GAM_R_GAIN_14 [4]	GAM_R_GAIN_14 [3]	GAM_R_GAIN_14 [2]	GAM_R_GAIN_14 [1]	GAM_R_GAIN_14 [0]
		–	–	–	–	–	GAM_R_GAIN_15 [10]	GAM_R_GAIN_15 [9]	GAM_R_GAIN_15 [8]
		GAM_R_GAIN_15 [7]	GAM_R_GAIN_15 [6]	GAM_R_GAIN_15 [5]	GAM_R_GAIN_15 [4]	GAM_R_GAIN_15 [3]	GAM_R_GAIN_15 [2]	GAM_R_GAIN_15 [1]	GAM_R_GAIN_15 [0]
	GAM_R_LUT9	–	–	–	–	–	GAM_R_GAIN_16 [10]	GAM_R_GAIN_16 [9]	GAM_R_GAIN_16 [8]
		GAM_R_GAIN_16 [7]	GAM_R_GAIN_16 [6]	GAM_R_GAIN_16 [5]	GAM_R_GAIN_16 [4]	GAM_R_GAIN_16 [3]	GAM_R_GAIN_16 [2]	GAM_R_GAIN_16 [1]	GAM_R_GAIN_16 [0]
		–	–	–	–	–	GAM_R_GAIN_17 [10]	GAM_R_GAIN_17 [9]	GAM_R_GAIN_17 [8]
		GAM_R_GAIN_17 [7]	GAM_R_GAIN_17 [6]	GAM_R_GAIN_17 [5]	GAM_R_GAIN_17 [4]	GAM_R_GAIN_17 [3]	GAM_R_GAIN_17 [2]	GAM_R_GAIN_17 [1]	GAM_R_GAIN_17 [0]
	GAM_R_LUT10	–	–	–	–	–	GAM_R_GAIN_18 [10]	GAM_R_GAIN_18 [9]	GAM_R_GAIN_18 [8]
		GAM_R_GAIN_18 [7]	GAM_R_GAIN_18 [6]	GAM_R_GAIN_18 [5]	GAM_R_GAIN_18 [4]	GAM_R_GAIN_18 [3]	GAM_R_GAIN_18 [2]	GAM_R_GAIN_18 [1]	GAM_R_GAIN_18 [0]
		–	–	–	–	–	GAM_R_GAIN_19 [10]	GAM_R_GAIN_19 [9]	GAM_R_GAIN_19 [8]
		GAM_R_GAIN_19 [7]	GAM_R_GAIN_19 [6]	GAM_R_GAIN_19 [5]	GAM_R_GAIN_19 [4]	GAM_R_GAIN_19 [3]	GAM_R_GAIN_19 [2]	GAM_R_GAIN_19 [1]	GAM_R_GAIN_19 [0]
	GAM_R_LUT11	–	–	–	–	–	GAM_R_GAIN_20 [10]	GAM_R_GAIN_20 [9]	GAM_R_GAIN_20 [8]
		GAM_R_GAIN_20 [7]	GAM_R_GAIN_20 [6]	GAM_R_GAIN_20 [5]	GAM_R_GAIN_20 [4]	GAM_R_GAIN_20 [3]	GAM_R_GAIN_20 [2]	GAM_R_GAIN_20 [1]	GAM_R_GAIN_20 [0]
		–	–	–	–	–	GAM_R_GAIN_21 [10]	GAM_R_GAIN_21 [9]	GAM_R_GAIN_21 [8]
		GAM_R_GAIN_21 [7]	GAM_R_GAIN_21 [6]	GAM_R_GAIN_21 [5]	GAM_R_GAIN_21 [4]	GAM_R_GAIN_21 [3]	GAM_R_GAIN_21 [2]	GAM_R_GAIN_21 [1]	GAM_R_GAIN_21 [0]
	GAM_R_LUT12	–	–	–	–	–	GAM_R_GAIN_22 [10]	GAM_R_GAIN_22 [9]	GAM_R_GAIN_22 [8]
		GAM_R_GAIN_22 [7]	GAM_R_GAIN_22 [6]	GAM_R_GAIN_22 [5]	GAM_R_GAIN_22 [4]	GAM_R_GAIN_22 [3]	GAM_R_GAIN_22 [2]	GAM_R_GAIN_22 [1]	GAM_R_GAIN_22 [0]
		–	–	–	–	–	GAM_R_GAIN_23 [10]	GAM_R_GAIN_23 [9]	GAM_R_GAIN_23 [8]
		GAM_R_GAIN_23 [7]	GAM_R_GAIN_23 [6]	GAM_R_GAIN_23 [5]	GAM_R_GAIN_23 [4]	GAM_R_GAIN_23 [3]	GAM_R_GAIN_23 [2]	GAM_R_GAIN_23 [1]	GAM_R_GAIN_23 [0]
	GAM_R_LUT13	–	–	–	–	–	GAM_R_GAIN_24 [10]	GAM_R_GAIN_24 [9]	GAM_R_GAIN_24 [8]
		GAM_R_GAIN_24 [7]	GAM_R_GAIN_24 [6]	GAM_R_GAIN_24 [5]	GAM_R_GAIN_24 [4]	GAM_R_GAIN_24 [3]	GAM_R_GAIN_24 [2]	GAM_R_GAIN_24 [1]	GAM_R_GAIN_24 [0]
		–	–	–	–	–	GAM_R_GAIN_25 [10]	GAM_R_GAIN_25 [9]	GAM_R_GAIN_25 [8]
		GAM_R_GAIN_25 [7]	GAM_R_GAIN_25 [6]	GAM_R_GAIN_25 [5]	GAM_R_GAIN_25 [4]	GAM_R_GAIN_25 [3]	GAM_R_GAIN_25 [2]	GAM_R_GAIN_25 [1]	GAM_R_GAIN_25 [0]
	GAM_R_LUT14	–	–	–	–	–	GAM_R_GAIN_26 [10]	GAM_R_GAIN_26 [9]	GAM_R_GAIN_26 [8]
		GAM_R_GAIN_26 [7]	GAM_R_GAIN_26 [6]	GAM_R_GAIN_26 [5]	GAM_R_GAIN_26 [4]	GAM_R_GAIN_26 [3]	GAM_R_GAIN_26 [2]	GAM_R_GAIN_26 [1]	GAM_R_GAIN_26 [0]
		–	–	–	–	–	GAM_R_GAIN_27 [10]	GAM_R_GAIN_27 [9]	GAM_R_GAIN_27 [8]
		GAM_R_GAIN_27 [7]	GAM_R_GAIN_27 [6]	GAM_R_GAIN_27 [5]	GAM_R_GAIN_27 [4]	GAM_R_GAIN_27 [3]	GAM_R_GAIN_27 [2]	GAM_R_GAIN_27 [1]	GAM_R_GAIN_27 [0]
	GAM_R_LUT15	–	–	–	–	–	GAM_R_GAIN_28 [10]	GAM_R_GAIN_28 [9]	GAM_R_GAIN_28 [8]
		GAM_R_GAIN_28 [7]	GAM_R_GAIN_28 [6]	GAM_R_GAIN_28 [5]	GAM_R_GAIN_28 [4]	GAM_R_GAIN_28 [3]	GAM_R_GAIN_28 [2]	GAM_R_GAIN_28 [1]	GAM_R_GAIN_28 [0]
		–	–	–	–	–	GAM_R_GAIN_29 [10]	GAM_R_GAIN_29 [9]	GAM_R_GAIN_29 [8]
		GAM_R_GAIN_29 [7]	GAM_R_GAIN_29 [6]	GAM_R_GAIN_29 [5]	GAM_R_GAIN_29 [4]	GAM_R_GAIN_29 [3]	GAM_R_GAIN_29 [2]	GAM_R_GAIN_29 [1]	GAM_R_GAIN_29 [0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	GAM_R_LUT16	–	–	–	–	–	GAM_R_GAIN_30 [10]	GAM_R_GAIN_30 [9]	GAM_R_GAIN_30 [8]
		GAM_R_GAIN_30 [7]	GAM_R_GAIN_30 [6]	GAM_R_GAIN_30 [5]	GAM_R_GAIN_30 [4]	GAM_R_GAIN_30 [3]	GAM_R_GAIN_30 [2]	GAM_R_GAIN_30 [1]	GAM_R_GAIN_30 [0]
		–	–	–	–	–	GAM_R_GAIN_31 [10]	GAM_R_GAIN_31 [9]	GAM_R_GAIN_31 [8]
		GAM_R_GAIN_31 [7]	GAM_R_GAIN_31 [6]	GAM_R_GAIN_31 [5]	GAM_R_GAIN_31 [4]	GAM_R_GAIN_31 [3]	GAM_R_GAIN_31 [2]	GAM_R_GAIN_31 [1]	GAM_R_GAIN_31 [0]
	GAM_R_AREA1	–	–	–	–	–	–	–	–
		GAM_R_TH_01[7]	GAM_R_TH_01[6]	GAM_R_TH_01[5]	GAM_R_TH_01[4]	GAM_R_TH_01[3]	GAM_R_TH_01[2]	GAM_R_TH_01[1]	GAM_R_TH_01[0]
		GAM_R_TH_02[7]	GAM_R_TH_02[6]	GAM_R_TH_02[5]	GAM_R_TH_02[4]	GAM_R_TH_02[3]	GAM_R_TH_02[2]	GAM_R_TH_02[1]	GAM_R_TH_02[0]
		GAM_R_TH_03[7]	GAM_R_TH_03[6]	GAM_R_TH_03[5]	GAM_R_TH_03[4]	GAM_R_TH_03[3]	GAM_R_TH_03[2]	GAM_R_TH_03[1]	GAM_R_TH_03[0]
	GAM_R_AREA2	GAM_R_TH_04[7]	GAM_R_TH_04[6]	GAM_R_TH_04[5]	GAM_R_TH_04[4]	GAM_R_TH_04[3]	GAM_R_TH_04[2]	GAM_R_TH_04[1]	GAM_R_TH_04[0]
		GAM_R_TH_05[7]	GAM_R_TH_05[6]	GAM_R_TH_05[5]	GAM_R_TH_05[4]	GAM_R_TH_05[3]	GAM_R_TH_05[2]	GAM_R_TH_05[1]	GAM_R_TH_05[0]
		GAM_R_TH_06[7]	GAM_R_TH_06[6]	GAM_R_TH_06[5]	GAM_R_TH_06[4]	GAM_R_TH_06[3]	GAM_R_TH_06[2]	GAM_R_TH_06[1]	GAM_R_TH_06[0]
		GAM_R_TH_07[7]	GAM_R_TH_07[6]	GAM_R_TH_07[5]	GAM_R_TH_07[4]	GAM_R_TH_07[3]	GAM_R_TH_07[2]	GAM_R_TH_07[1]	GAM_R_TH_07[0]
	GAM_R_AREA3	GAM_R_TH_08[7]	GAM_R_TH_08[6]	GAM_R_TH_08[5]	GAM_R_TH_08[4]	GAM_R_TH_08[3]	GAM_R_TH_08[2]	GAM_R_TH_08[1]	GAM_R_TH_08[0]
		GAM_R_TH_09[7]	GAM_R_TH_09[6]	GAM_R_TH_09[5]	GAM_R_TH_09[4]	GAM_R_TH_09[3]	GAM_R_TH_09[2]	GAM_R_TH_09[1]	GAM_R_TH_09[0]
		GAM_R_TH_10[7]	GAM_R_TH_10[6]	GAM_R_TH_10[5]	GAM_R_TH_10[4]	GAM_R_TH_10[3]	GAM_R_TH_10[2]	GAM_R_TH_10[1]	GAM_R_TH_10[0]
		GAM_R_TH_11[7]	GAM_R_TH_11[6]	GAM_R_TH_11[5]	GAM_R_TH_11[4]	GAM_R_TH_11[3]	GAM_R_TH_11[2]	GAM_R_TH_11[1]	GAM_R_TH_11[0]
	GAM_R_AREA4	GAM_R_TH_12[7]	GAM_R_TH_12[6]	GAM_R_TH_12[5]	GAM_R_TH_12[4]	GAM_R_TH_12[3]	GAM_R_TH_12[2]	GAM_R_TH_12[1]	GAM_R_TH_12[0]
		GAM_R_TH_13[7]	GAM_R_TH_13[6]	GAM_R_TH_13[5]	GAM_R_TH_13[4]	GAM_R_TH_13[3]	GAM_R_TH_13[2]	GAM_R_TH_13[1]	GAM_R_TH_13[0]
		GAM_R_TH_14[7]	GAM_R_TH_14[6]	GAM_R_TH_14[5]	GAM_R_TH_14[4]	GAM_R_TH_14[3]	GAM_R_TH_14[2]	GAM_R_TH_14[1]	GAM_R_TH_14[0]
		GAM_R_TH_15[7]	GAM_R_TH_15[6]	GAM_R_TH_15[5]	GAM_R_TH_15[4]	GAM_R_TH_15[3]	GAM_R_TH_15[2]	GAM_R_TH_15[1]	GAM_R_TH_15[0]
	GAM_R_AREA5	GAM_R_TH_16[7]	GAM_R_TH_16[6]	GAM_R_TH_16[5]	GAM_R_TH_16[4]	GAM_R_TH_16[3]	GAM_R_TH_16[2]	GAM_R_TH_16[1]	GAM_R_TH_16[0]
		GAM_R_TH_17[7]	GAM_R_TH_17[6]	GAM_R_TH_17[5]	GAM_R_TH_17[4]	GAM_R_TH_17[3]	GAM_R_TH_17[2]	GAM_R_TH_17[1]	GAM_R_TH_17[0]
		GAM_R_TH_18[7]	GAM_R_TH_18[6]	GAM_R_TH_18[5]	GAM_R_TH_18[4]	GAM_R_TH_18[3]	GAM_R_TH_18[2]	GAM_R_TH_18[1]	GAM_R_TH_18[0]
		GAM_R_TH_19[7]	GAM_R_TH_19[6]	GAM_R_TH_19[5]	GAM_R_TH_19[4]	GAM_R_TH_19[3]	GAM_R_TH_19[2]	GAM_R_TH_19[1]	GAM_R_TH_19[0]
	GAM_R_AREA6	GAM_R_TH_20[7]	GAM_R_TH_20[6]	GAM_R_TH_20[5]	GAM_R_TH_20[4]	GAM_R_TH_20[3]	GAM_R_TH_20[2]	GAM_R_TH_20[1]	GAM_R_TH_20[0]
		GAM_R_TH_21[7]	GAM_R_TH_21[6]	GAM_R_TH_21[5]	GAM_R_TH_21[4]	GAM_R_TH_21[3]	GAM_R_TH_21[2]	GAM_R_TH_21[1]	GAM_R_TH_21[0]
		GAM_R_TH_22[7]	GAM_R_TH_22[6]	GAM_R_TH_22[5]	GAM_R_TH_22[4]	GAM_R_TH_22[3]	GAM_R_TH_22[2]	GAM_R_TH_22[1]	GAM_R_TH_22[0]
		GAM_R_TH_23[7]	GAM_R_TH_23[6]	GAM_R_TH_23[5]	GAM_R_TH_23[4]	GAM_R_TH_23[3]	GAM_R_TH_23[2]	GAM_R_TH_23[1]	GAM_R_TH_23[0]
	GAM_R_AREA7	GAM_R_TH_24[7]	GAM_R_TH_24[6]	GAM_R_TH_24[5]	GAM_R_TH_24[4]	GAM_R_TH_24[3]	GAM_R_TH_24[2]	GAM_R_TH_24[1]	GAM_R_TH_24[0]
		GAM_R_TH_25[7]	GAM_R_TH_25[6]	GAM_R_TH_25[5]	GAM_R_TH_25[4]	GAM_R_TH_25[3]	GAM_R_TH_25[2]	GAM_R_TH_25[1]	GAM_R_TH_25[0]
		GAM_R_TH_26[7]	GAM_R_TH_26[6]	GAM_R_TH_26[5]	GAM_R_TH_26[4]	GAM_R_TH_26[3]	GAM_R_TH_26[2]	GAM_R_TH_26[1]	GAM_R_TH_26[0]
		GAM_R_TH_27[7]	GAM_R_TH_27[6]	GAM_R_TH_27[5]	GAM_R_TH_27[4]	GAM_R_TH_27[3]	GAM_R_TH_27[2]	GAM_R_TH_27[1]	GAM_R_TH_27[0]
	GAM_R_AREA8	GAM_R_TH_28[7]	GAM_R_TH_28[6]	GAM_R_TH_28[5]	GAM_R_TH_28[4]	GAM_R_TH_28[3]	GAM_R_TH_28[2]	GAM_R_TH_28[1]	GAM_R_TH_28[0]
		GAM_R_TH_29[7]	GAM_R_TH_29[6]	GAM_R_TH_29[5]	GAM_R_TH_29[4]	GAM_R_TH_29[3]	GAM_R_TH_29[2]	GAM_R_TH_29[1]	GAM_R_TH_29[0]
		GAM_R_TH_30[7]	GAM_R_TH_30[6]	GAM_R_TH_30[5]	GAM_R_TH_30[4]	GAM_R_TH_30[3]	GAM_R_TH_30[2]	GAM_R_TH_30[1]	GAM_R_TH_30[0]
		GAM_R_TH_31[7]	GAM_R_TH_31[6]	GAM_R_TH_31[5]	GAM_R_TH_31[4]	GAM_R_TH_31[3]	GAM_R_TH_31[2]	GAM_R_TH_31[1]	GAM_R_TH_31[0]
	TCON_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TCON_VEN
	TCON_TIM	–	–	–	–	–	TCON_HALF[10]	TCON_HALF[9]	TCON_HALF[8]
		TCON_HALF[7]	TCON_HALF[6]	TCON_HALF[5]	TCON_HALF[4]	TCON_HALF[3]	TCON_HALF[2]	TCON_HALF[1]	TCON_HALF[0]
		–	–	–	–	–	TCON_OFFSET [10]	TCON_OFFSET[9]	TCON_OFFSET[8]
		TCON_OFFSET[7]	TCON_OFFSET[6]	TCON_OFFSET[5]	TCON_OFFSET[4]	TCON_OFFSET[3]	TCON_OFFSET[2]	TCON_OFFSET[1]	TCON_OFFSET[0]
	TCON_TIM_STVA1	–	–	–	–	–	TCON_STVA_VS [10]	TCON_STVA_VS [9]	TCON_STVA_VS [8]
		TCON_STVA_VS [7]	TCON_STVA_VS [6]	TCON_STVA_VS [5]	TCON_STVA_VS [4]	TCON_STVA_VS [3]	TCON_STVA_VS [2]	TCON_STVA_VS [1]	TCON_STVA_VS [0]
		–	–	–	–	–	TCON_STVA_VW[10]	TCON_STVA_VW[9]	TCON_STVA_VW[8]
		TCON_STVA_VW[7]	TCON_STVA_VW[6]	TCON_STVA_VW[5]	TCON_STVA_VW[4]	TCON_STVA_VW[3]	TCON_STVA_VW[2]	TCON_STVA_VW[1]	TCON_STVA_VW[0]
	TCON_TIM_STVA2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	TCON_STVA_INV	–	TCON_STVA_ SEL[2]	TCON_STVA_ SEL[1]	TCON_STVA_ SEL[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	TCON_TIM_STVB1	–	–	–	–	–	TCON_STVB_VS [10]	TCON_STVB_VS [9]	TCON_STVB_VS [8]
		TCON_STVB_VS [7]	TCON_STVB_VS [6]	TCON_STVB_VS [5]	TCON_STVB_VS [4]	TCON_STVB_VS [3]	TCON_STVB_VS [2]	TCON_STVB_VS [1]	TCON_STVB_VS [0]
		–	–	–	–	–	TCON_STVB_VW[10]	TCON_STVB_VW[9]	TCON_STVB_VW[8]
		TCON_STVB_VW[7]	TCON_STVB_VW[6]	TCON_STVB_VW[5]	TCON_STVB_VW[4]	TCON_STVB_VW[3]	TCON_STVB_VW[2]	TCON_STVB_VW[1]	TCON_STVB_VW[0]
	TCON_TIM_STVB2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	TCON_STVB_INV	–	TCON_STVB_ SEL[2]	TCON_STVB_ SEL[1]	TCON_STVB_ SEL[0]
	TCON_TIM_STH1	–	–	–	–	–	TCON_STH_HS [10]	TCON_STH_HS[9]	TCON_STH_HS[8]
		TCON_STH_HS[7]	TCON_STH_HS[6]	TCON_STH_HS[5]	TCON_STH_HS[4]	TCON_STH_HS[3]	TCON_STH_HS[2]	TCON_STH_HS[1]	TCON_STH_HS[0]
		–	–	–	–	–	TCON_STH_HW [10]	TCON_STH_HW [9]	TCON_STH_HW [8]
		TCON_STH_HW [7]	TCON_STH_HW [6]	TCON_STH_HW [5]	TCON_STH_HW [4]	TCON_STH_HW [3]	TCON_STH_HW [2]	TCON_STH_HW [1]	TCON_STH_HW [0]
	TCON_TIM_STH2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TCON_STH_HS_ SEL
		–	–	–	TCON_STH_INV	–	TCON_STH_SEL [2]	TCON_STH_SEL [1]	TCON_STH_SEL [0]
	TCON_TIM_STB1	–	–	–	–	–	TCON_STB_HS [10]	TCON_STB_HS[9]	TCON_STB_HS[8]
		TCON_STB_HS[7]	TCON_STB_HS[6]	TCON_STB_HS[5]	TCON_STB_HS[4]	TCON_STB_HS[3]	TCON_STB_HS[2]	TCON_STB_HS[1]	TCON_STB_HS[0]
		–	–	–	–	–	TCON_STB_HW [10]	TCON_STB_HW [9]	TCON_STB_HW [8]
		TCON_STB_HW [7]	TCON_STB_HW [6]	TCON_STB_HW [5]	TCON_STB_HW [4]	TCON_STB_HW [3]	TCON_STB_HW [2]	TCON_STB_HW [1]	TCON_STB_HW [0]
	TCON_TIM_STB2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TCON_STB_HS_ SEL
		–	–	–	TCON_STB_INV	–	TCON_STB_SEL [2]	TCON_STB_SEL [1]	TCON_STB_SEL [0]
	TCON_TIM_CPV1	–	–	–	–	–	TCON_CPV_HS [10]	TCON_CPV_HS[9]	TCON_CPV_HS[8]
		TCON_CPV_HS[7]	TCON_CPV_HS[6]	TCON_CPV_HS[5]	TCON_CPV_HS[4]	TCON_CPV_HS[3]	TCON_CPV_HS[2]	TCON_CPV_HS[1]	TCON_CPV_HS[0]
		–	–	–	–	–	TCON_CPV_HW [10]	TCON_CPV_HW [9]	TCON_CPV_HW [8]
		TCON_CPV_HW [7]	TCON_CPV_HW [6]	TCON_CPV_HW [5]	TCON_CPV_HW [4]	TCON_CPV_HW [3]	TCON_CPV_HW [2]	TCON_CPV_HW [1]	TCON_CPV_HW [0]
	TCON_TIM_CPV2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TCON_CPV_HS_ SEL
		–	–	–	TCON_CPV_INV	–	TCON_CPV_SEL [2]	TCON_CPV_SEL [1]	TCON_CPV_SEL [0]
	TCON_TIM_POLA1	–	–	–	–	–	TCON_POLA_HS[10]	TCON_POLA_HS[9]	TCON_POLA_HS[8]
		TCON_POLA_HS[7]	TCON_POLA_HS[6]	TCON_POLA_HS[5]	TCON_POLA_HS[4]	TCON_POLA_HS[3]	TCON_POLA_HS[2]	TCON_POLA_HS[1]	TCON_POLA_HS[0]
		–	–	–	–	–	TCON_POLA_ HW[10]	TCON_POLA_ HW[9]	TCON_POLA_ HW[8]
		TCON_POLA_ HW[7]	TCON_POLA_ HW[6]	TCON_POLA_ HW[5]	TCON_POLA_ HW[4]	TCON_POLA_ HW[3]	TCON_POLA_ HW[2]	TCON_POLA_ HW[1]	TCON_POLA_ HW[0]
	TCON_TIM_POLA2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	TCON_POLA_MD[1]	TCON_POLA_MD[0]	–	–	–	TCON_POLA_HS _SEL
		–	–	–	TCON_POLA_ INV	–	TCON_POLA_ SEL[2]	TCON_POLA_ SEL[1]	TCON_POLA_ SEL[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	TCON_TIM_POLB1	–	–	–	–	–	TCON_POLB_HS[10]	TCON_POLB_HS[9]	TCON_POLB_HS[8]
		TCON_POLB_HS[7]	TCON_POLB_HS[6]	TCON_POLB_HS[5]	TCON_POLB_HS[4]	TCON_POLB_HS[3]	TCON_POLB_HS[2]	TCON_POLB_HS[1]	TCON_POLB_HS[0]
		–	–	–	–	–	TCON_POLB_HW[10]	TCON_POLB_HW[9]	TCON_POLB_HW[8]
		TCON_POLB_HW[7]	TCON_POLB_HW[6]	TCON_POLB_HW[5]	TCON_POLB_HW[4]	TCON_POLB_HW[3]	TCON_POLB_HW[2]	TCON_POLB_HW[1]	TCON_POLB_HW[0]
	TCON_TIM_POLB2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	TCON_POLB_MD[1]	TCON_POLB_MD[0]	–	–	–	TCON_POLB_HS_SEL
		–	–	–	TCON_POLB_INV	–	TCON_POLB_SEL[2]	TCON_POLB_SEL[1]	TCON_POLB_SEL[0]
	TCON_TIM_DE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TCON_DE_INV
	OUT_UPDATE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	OUTCNT_VEN
	OUT_SET	–	–	–	OUT_ENDIAN_ON	–	–	–	OUT_SWAP_ON
		–	–	–	–	–	–	–	–
		–	–	OUT_FORMAT[1]	OUT_FORMAT[0]	–	–	OUT_FRQ_SEL[1]	OUT_FRQ_SEL[0]
		–	–	–	OUT_DIR_SEL	–	–	OUT_PHASE[1]	OUT_PHASE[0]
	OUT_BRIGHT1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PBRT_G[9]	PBRT_G[8]
		PBRT_G[7]	PBRT_G[6]	PBRT_G[5]	PBRT_G[4]	PBRT_G[3]	PBRT_G[2]	PBRT_G[1]	PBRT_G[0]
	OUT_BRIGHT2	–	–	–	–	–	–	PBRT_B[9]	PBRT_B[8]
		PBRT_B[7]	PBRT_B[6]	PBRT_B[5]	PBRT_B[4]	PBRT_B[3]	PBRT_B[2]	PBRT_B[1]	PBRT_B[0]
		–	–	–	–	–	–	PBRT_R[9]	PBRT_R[8]
		PBRT_R[7]	PBRT_R[6]	PBRT_R[5]	PBRT_R[4]	PBRT_R[3]	PBRT_R[2]	PBRT_R[1]	PBRT_R[0]
	OUT_CONTRAST	–	–	–	–	–	–	–	–
		CONT_G[7]	CONT_G[6]	CONT_G[5]	CONT_G[4]	CONT_G[3]	CONT_G[2]	CONT_G[1]	CONT_G[0]
		CONT_B[7]	CONT_B[6]	CONT_B[5]	CONT_B[4]	CONT_B[3]	CONT_B[2]	CONT_B[1]	CONT_B[0]
		CONT_R[7]	CONT_R[6]	CONT_R[5]	CONT_R[4]	CONT_R[3]	CONT_R[2]	CONT_R[1]	CONT_R[0]
	OUT_PDTHA	–	–	–	–	–	–	–	–
		–	–	PDTH_SEL[1]	PDTH_SEL[0]	–	–	PDTH_FORMAT[1]	PDTH_FORMAT[0]
		–	–	PDTH_PA[1]	PDTH_PA[0]	–	–	PDTH_PB[1]	PDTH_PB[0]
		–	–	PDTH_PC[1]	PDTH_PC[0]	–	–	PDTH_PD[1]	PDTH_PD[0]
	OUT_CLK_PHASE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	OUTCNT_FRONT_GAM	–	–	–	OUTCNT_LCD_EDGE
		–	OUTCNT_STVA_EDGE	OUTCNT_STVB_EDGE	OUTCNT_STH_EDGE	OUTCNT_STB_EDGE	OUTCNT_CPV_EDGE	OUTCNT_POLA_EDGE	OUTCNT_POLB_EDGE
	SYSCNT_INT1	–	–	–	INT_STA7	–	–	–	INT_STA6
		–	–	–	INT_STA5	–	–	–	INT_STA4
		–	–	–	INT_STA3	–	–	–	INT_STA2
		–	–	–	INT_STA1	–	–	–	INT_STA0
	SYSCNT_INT2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	INT_STA9	–	–	–	INT_STA8
	SYSCNT_INT4	–	–	–	INT_OUT7_ON	–	–	–	INT_OUT6_ON
		–	–	–	INT_OUT5_ON	–	–	–	INT_OUT4_ON
		–	–	–	INT_OUT3_ON	–	–	–	INT_OUT2_ON
		–	–	–	INT_OUT1_ON	–	–	–	INT_OUT0_ON

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
ビデオ ディスプレイ コントローラ5	SYSCNT_INT5	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	INT_OUT9_ON	–	–	–	INT_OUT8_ON
	SYSCNT_PANEL_CLK	–	–	PANEL_ICKSEL [1]	PANEL_ICKSEL [0]	–	–	–	PANEL_ICKEN
		–	–	PANEL_DCDR[5]	PANEL_DCDR[4]	PANEL_DCDR[3]	PANEL_DCDR[2]	PANEL_DCDR[1]	PANEL_DCDR[0]
	SYSCNT_CLUT	–	–	–	GR3_CLT_SEL_ST	–	–	–	GR2_CLT_SEL_ST
		–	–	–	–	–	–	–	GR0_CLT_SEL_ST
キャプチャ エンジンユニット	CAPSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CPKIL
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CE
	CAPCR	FDRP[7]	FDRP[6]	FDRP[5]	FDRP[4]	FDRP[3]	FDRP[2]	FDRP[1]	FDRP[0]
		–	–	MTCM[1]	MTCM[0]	–	–	–	CTNCP
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	CAMCR	–	–	–	–	VDSEL 注6)	HDSEL 注6)	FLDSEL 注6)	DSEL 注6)
		–	–	–	–	–	–	–	FLDPOL
		–	–	–	DTIF	–	–	DTARY[1]	DTARY[0]
		–	–	JPG[1]	JPG[0]	–	–	VDPOL	HDPOL
	CMCYR	–	–	VCYL[13]	VCYL[12]	VCYL[11]	VCYL[10]	VCYL[9]	VCYL[8]
		VCYL[7]	VCYL[6]	VCYL[5]	VCYL[4]	VCYL[3]	VCYL[2]	VCYL[1]	VCYL[0]
		–	–	HCYL[13]	HCYL[12]	HCYL[11]	HCYL[10]	HCYL[9]	HCYL[8]
		HCYL[7]	HCYL[6]	HCYL[5]	HCYL[4]	HCYL[3]	HCYL[2]	HCYL[1]	HCYL[0]
	CAMOR	–	–	–	–	VOFST[11]	VOFST[10]	VOFST[9]	VOFST[8]
		VOFST[7]	VOFST[6]	VOFST[5]	VOFST[4]	VOFST[3]	VOFST[2]	VOFST[1]	VOFST[0]
		–	–	–	HOFST[12]	HOFST[11]	HOFST[10]	HOFST[9]	HOFST[8]
		HOFST[7]	HOFST[6]	HOFST[5]	HOFST[4]	HOFST[3]	HOFST[2]	HOFST[1]	HOFST[0]
	CAPWR	–	–	–	–	VWDTH[11]	VWDTH[10]	VWDTH[9]	VWDTH[8]
		VWDTH[7]	VWDTH[6]	VWDTH[5]	VWDTH[4]	VWDTH[3]	VWDTH[2]	VWDTH[1]	VWDTH[0]
		–	–	–	HWDTH[12]	HWDTH[11]	HWDTH[10]	HWDTH[9]	HWDTH[8]
		HWDTH[7]	HWDTH[6]	HWDTH[5]	HWDTH[4]	HWDTH[3]	HWDTH[2]	HWDTH[1]	HWDTH[0]
	CAIFR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	IFS
		–	–	–	CIM	–	–	FCI[1]	FCI[0]
	CRCNTR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	RVS	–	–	RS	RC
	CRCMPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	RA
	CFLCR	VMANT[3]	VMANT[2]	VMANT[1]	VMANT[0]	VFRAC[11]	VFRAC[10]	VFRAC[9]	VFRAC[8]
		VFRAC[7]	VFRAC[6]	VFRAC[5]	VFRAC[4]	VFRAC[3]	VFRAC[2]	VFRAC[1]	VFRAC[0]
		HMANT[3]	HMANT[2]	HMANT[1]	HMANT[0]	HFRAC[11]	HFRAC[10]	HFRAC[9]	HFRAC[8]
		HFRAC[7]	HFRAC[6]	HFRAC[5]	HFRAC[4]	HFRAC[3]	HFRAC[2]	HFRAC[1]	HFRAC[0]
	CFSZR	–	–	–	–	VFCLP[11]	VFCLP[10]	VFCLP[9]	VFCLP[8]
		VFCLP[7]	VFCLP[6]	VFCLP[5]	VFCLP[4]	VFCLP[3]	VFCLP[2]	VFCLP[1]	VFCLP[0]
		–	–	–	–	HFCLP[11]	HFCLP[10]	HFCLP[9]	HFCLP[8]
		HFCLP[7]	HFCLP[6]	HFCLP[5]	HFCLP[4]	HFCLP[3]	HFCLP[2]	HFCLP[1]	HFCLP[0]
	CDWDR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	CHDW[12]	CHDW[11]	CHDW[10]	CHDW[9]	CHDW[8]
		CHDW[7]	CHDW[6]	CHDW[5]	CHDW[4]	CHDW[3]	CHDW[2]	CHDW[1]	CHDW[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
キャプチャエンジンユニット	CDAYR	CAYR[31]	CAYR[30]	CAYR[29]	CAYR[28]	CAYR[27]	CAYR[26]	CAYR[25]	CAYR[24]
		CAYR[23]	CAYR[22]	CAYR[21]	CAYR[20]	CAYR[19]	CAYR[18]	CAYR[17]	CAYR[16]
		CAYR[15]	CAYR[14]	CAYR[13]	CAYR[12]	CAYR[11]	CAYR[10]	CAYR[9]	CAYR[8]
		CAYR[7]	CAYR[6]	CAYR[5]	CAYR[4]	CAYR[3]	CAYR[2]	CAYR[1]	CAYR[0]
	CDACR	CACR[31]	CACR[30]	CACR[29]	CACR[28]	CACR[27]	CACR[26]	CACR[25]	CACR[24]
		CACR[23]	CACR[22]	CACR[21]	CACR[20]	CACR[19]	CACR[18]	CACR[17]	CACR[16]
		CACR[15]	CACR[14]	CACR[13]	CACR[12]	CACR[11]	CACR[10]	CACR[9]	CACR[8]
		CACR[7]	CACR[6]	CACR[5]	CACR[4]	CACR[3]	CACR[2]	CACR[1]	CACR[0]
	CDBYR	CBYR[31]	CBYR[30]	CBYR[29]	CBYR[28]	CBYR[27]	CBYR[26]	CBYR[25]	CBYR[24]
		CBYR[23]	CBYR[22]	CBYR[21]	CBYR[20]	CBYR[19]	CBYR[18]	CBYR[17]	CBYR[16]
		CBYR[15]	CBYR[14]	CBYR[13]	CBYR[12]	CBYR[11]	CBYR[10]	CBYR[9]	CBYR[8]
		CBYR[7]	CBYR[6]	CBYR[5]	CBYR[4]	CBYR[3]	CBYR[2]	CBYR[1]	CBYR[0]
	CDBCR	CBCR[31]	CBCR[30]	CBCR[29]	CBCR[28]	CBCR[27]	CBCR[26]	CBCR[25]	CBCR[24]
		CBCR[23]	CBCR[22]	CBCR[21]	CBCR[20]	CBCR[19]	CBCR[18]	CBCR[17]	CBCR[16]
		CBCR[15]	CBCR[14]	CBCR[13]	CBCR[12]	CBCR[11]	CBCR[10]	CBCR[9]	CBCR[8]
		CBCR[7]	CBCR[6]	CBCR[5]	CBCR[4]	CBCR[3]	CBCR[2]	CBCR[1]	CBCR[0]
	CBDSR	–	–	–	–	–	–	–	–
		–	CBVS[22]	CBVS[21]	CBVS[20]	CBVS[19]	CBVS[18]	CBVS[17]	CBVS[16]
		CBVS[15]	CBVS[14]	CBVS[13]	CBVS[12]	CBVS[11]	CBVS[10]	CBVS[9]	CBVS[8]
		CBVS[7]	CBVS[6]	CBVS[5]	CBVS[4]	CBVS[3]	CBVS[2]	CBVS[1]	CBVS[0]
	CFWCR	FWV[26]	FWV[25]	FWV[24]	FWV[23]	FWV[22]	FWV[21]	FWV[20]	FWV[19]
		FWV[18]	FWV[17]	FWV[16]	FWV[15]	FWV[14]	FWV[13]	FWV[12]	FWV[11]
		FWV[10]	FWV[9]	FWV[8]	FWV[7]	FWV[6]	FWV[5]	FWV[4]	FWV[3]
		FWV[2]	FWV[1]	FWV[0]	–	–	–	–	FWE
	CLFCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	LPF
	CDOCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CBE
		–	–	–	–	–	–	–	–
		–	–	–	CDS	–	COLS	COWS	COBS
	CEIER	–	–	–	–	–	–	NVDIE	NHDIE
		FWFIE	–	–	VBPIE	–	IGVSIE	IGHSIE	CDTOFIE
		CPBE4IE	CPBE3IE	CPBE2IE	CPBE1IE	–	–	VDIE	HDIE
		–	–	–	IGRWIE	–	–	CFEIE	CPEIE
	CETCR	–	–	–	–	–	–	NVD	NHD
		FWF	–	–	VBP	–	IGVS	IGHS	CDTOF
		CPBE4	CPBE3	CPBE2	CPBE1	–	–	VD	HD
		–	–	–	IGRW	–	–	CFE	CPE
	CSTSR	–	–	–	–	–	–	–	CRST
		–	–	–	–	–	–	–	CPFLD
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	CPTON
	CDSSR	CDSS[31]	CDSS[30]	CDSS[29]	CDSS[28]	CDSS[27]	CDSS[26]	CDSS[25]	CDSS[24]
		CDSS[23]	CDSS[22]	CDSS[21]	CDSS[20]	CDSS[19]	CDSS[18]	CDSS[17]	CDSS[16]
		CDSS[15]	CDSS[14]	CDSS[13]	CDSS[12]	CDSS[11]	CDSS[10]	CDSS[9]	CDSS[8]
		CDSS[7]	CDSS[6]	CDSS[5]	CDSS[4]	CDSS[3]	CDSS[2]	CDSS[1]	CDSS[0]
	CDAYR2	CAYR2[31]	CAYR2[30]	CAYR2[29]	CAYR2[28]	CAYR2[27]	CAYR2[26]	CAYR2[25]	CAYR2[24]
		CAYR2[23]	CAYR2[22]	CAYR2[21]	CAYR2[20]	CAYR2[19]	CAYR2[18]	CAYR2[17]	CAYR2[16]
		CAYR2[15]	CAYR2[14]	CAYR2[13]	CAYR2[12]	CAYR2[11]	CAYR2[10]	CAYR2[9]	CAYR2[8]
		CAYR2[7]	CAYR2[6]	CAYR2[5]	CAYR2[4]	CAYR2[3]	CAYR2[2]	CAYR2[1]	CAYR2[0]
	CDACR2	CACR2[31]	CACR2[30]	CACR2[29]	CACR2[28]	CACR2[27]	CACR2[26]	CACR2[25]	CACR2[24]
		CACR2[23]	CACR2[22]	CACR2[21]	CACR2[20]	CACR2[19]	CACR2[18]	CACR2[17]	CACR2[16]
		CACR2[15]	CACR2[14]	CACR2[13]	CACR2[12]	CACR2[11]	CACR2[10]	CACR2[9]	CACR2[8]
		CACR2[7]	CACR2[6]	CACR2[5]	CACR2[4]	CACR2[3]	CACR2[2]	CACR2[1]	CACR2[0]
	CDBYR2	CBYR2[31]	CBYR2[30]	CBYR2[29]	CBYR2[28]	CBYR2[27]	CBYR2[26]	CBYR2[25]	CBYR2[24]
		CBYR2[23]	CBYR2[22]	CBYR2[21]	CBYR2[20]	CBYR2[19]	CBYR2[18]	CBYR2[17]	CBYR2[16]
		CBYR2[15]	CBYR2[14]	CBYR2[13]	CBYR2[12]	CBYR2[11]	CBYR2[10]	CBYR2[9]	CBYR2[8]
		CBYR2[7]	CBYR2[6]	CBYR2[5]	CBYR2[4]	CBYR2[3]	CBYR2[2]	CBYR2[1]	CBYR2[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
キャプチャエンジンユニット	CDBCR2	CBCR2[31]	CBCR2[30]	CBCR2[29]	CBCR2[28]	CBCR2[27]	CBCR2[26]	CBCR2[25]	CBCR2[24]
		CBCR2[23]	CBCR2[22]	CBCR2[21]	CBCR2[20]	CBCR2[19]	CBCR2[18]	CBCR2[17]	CBCR2[16]
		CBCR2[15]	CBCR2[14]	CBCR2[13]	CBCR2[12]	CBCR2[11]	CBCR2[10]	CBCR2[9]	CBCR2[8]
		CBCR2[7]	CBCR2[6]	CBCR2[5]	CBCR2[4]	CBCR2[3]	CBCR2[2]	CBCR2[1]	CBCR2[0]
SCUX	IPCIR_IPC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	IPSLR_IPC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	IPC_PASS_SEL[2]	IPC_PASS_SEL[1]	IPC_PASS_SEL[0]
	IPCIR_IPC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	IPSLR_IPC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	IPC_PASS_SEL[2]	IPC_PASS_SEL[1]	IPC_PASS_SEL[0]
	IPCIR_IPC0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	IPSLR_IPC0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	IPC_PASS_SEL[2]	IPC_PASS_SEL[1]	IPC_PASS_SEL[0]
	IPCIR_IPC0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	IPSLR_IPC0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	IPC_PASS_SEL[2]	IPC_PASS_SEL[1]	IPC_PASS_SEL[0]
	OPCIR_OPC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	OPSLR_OPC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	OPC_PASS_SEL [2]	OPC_PASS_SEL [1]	OPC_PASS_SEL [0]
	OPCIR_OPC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	OPSLR_OPC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	OPC_PASS_SEL [2]	OPC_PASS_SEL [1]	OPC_PASS_SEL [0]
	OPCIR_OPC0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	OPSLR_OPC0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	OPC_PASS_SEL [2]	OPC_PASS_SEL [1]	OPC_PASS_SEL [0]
	OPCIR_OPC0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	OPSLR_OPC0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	OPC_PASS_SEL [2]	OPC_PASS_SEL [1]	OPC_PASS_SEL [0]
	FFDIR_FFD0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	FDAIR_FFD0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	DRQSR_FFD0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFDPR_FFD0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]
	FFDBR_FFD0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BOOT
	DEVMR_FFD0_0	DEVMUF	DEVMOF	DEVMOL	DEVMIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	DEVCR_FFD0_0	DEVCUF	DEVCOF	DEVCOL	DEVCIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	FFDIR_FFD0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	FDAIR_FFD0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	DRQSR_FFD0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFDPR_FFD0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	FFDBR_FFD0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BOOT
	DEVMR_FFD0_1	DEVMUF	DEVMOF	DEVMOL	DEVMIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	DEVCR_FFD0_1	DEVCUF	DEVCOF	DEVCOL	DEVCIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	FFDIR_FFD0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	FDAIR_FFD0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	DRQSR_FFD0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFDPR_FFD0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]
	FFDBR_FFD0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BOOT
	DEVMR_FFD0_2	DEVMUF	DEVMOF	DEVMOL	DEVMIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	DEVCR_FFD0_2	DEVCUF	DEVCOF	DEVCOL	DEVCIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	FFDIR_FFD0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	FDAIR_FFD0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	DRQSR_FFD0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFDPR_FFD0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]
	FFDBR_FFD0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BOOT

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	DEVMR_FFD0_3	DEVMUF	DEVMOF	DEVMOL	DEVMIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	DEVCR_FFD0_3	DEVCUF	DEVCOF	DEVCOL	DEVCIUF	–	–	–	–
		–	–	–	–	–	–	–	–
		DEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	FFUIR_FFU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	FUAIR_FFU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	URQSR_FFU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFUPR_FFU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]
	UEVMR_FFU0_0	UEVMUF	UEVMOF	UEVMOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	UEVCR_FFU0_0	UEVCUF	UEVCOF	UEVCOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	FFUIR_FFU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	FUAIR_FFU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	URQSR_FFU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFUPR_FFU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]
	UEVMR_FFU0_1	UEVMUF	UEVMOF	UEVMOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	UEVCR_FFU0_1	UEVCUF	UEVCOF	UEVCOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	FFUIR_FFU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	FUAIR_FFU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	URQSR_FFU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFUPR_FFU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]
	UEVMR_FFU0_2	UEVMUF	UEVMOF	UEVMOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	UEVCR_FFU0_2	UEVCUF	UEVCOF	UEVCOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	FFUIR_FFU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	FUAIR_FFU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	URQSR_FFU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	FFUPR_FFU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	PASS[1]	PASS[0]
	UEVMR_FFU0_3	UEVMUF	UEVMOF	UEVMOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVMRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	UEVCR_FFU0_3	UEVCUF	UEVCOF	UEVCOL	–	–	–	–	–
		–	–	–	–	–	–	–	–
		UEVCRQ	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SRCIR0_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	SADIR0_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	SRCBR0_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	IFSCR0_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTIFSEN

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	IFSVR0_2SRC0_0	–	–	–	–	INTIFS[27]	INTIFS[26]	INTIFS[25]	INTIFS[24]
		INTIFS[23]	INTIFS[22]	INTIFS[21]	INTIFS[20]	INTIFS[19]	INTIFS[18]	INTIFS[17]	INTIFS[16]
		INTIFS[15]	INTIFS[14]	INTIFS[13]	INTIFS[11]	INTIFS[11]	INTIFS[10]	INTIFS[9]	INTIFS[8]
		INTIFS[7]	INTIFS[6]	INTIFS[5]	INTIFS[4]	INTIFS[3]	INTIFS[2]	INTIFS[1]	INTIFS[0]
	SRCCR0_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	WATMD	–	–	–	–
		–	–	–	BUFMD	–	–	–	–
		–	–	–	–	–	–	–	SRCMD
	MNFSR0_2SRC0_0	–	–	–	–	MINFS[27]	MINFS[26]	MINFS[25]	MINFS[24]
		MINFS[23]	MINFS[22]	MINFS[21]	MINFS[20]	MINFS[19]	MINFS[18]	MINFS[17]	MINFS[16]
		MINFS[15]	MINFS[14]	MINFS[13]	MINFS[11]	MINFS[11]	MINFS[10]	MINFS[9]	MINFS[8]
		MINFS[7]	MINFS[6]	MINFS[5]	MINFS[4]	MINFS[3]	MINFS[2]	MINFS[1]	MINFS[0]
	BFSSR0_2SRC0_0	–	–	–	–	–	–	BUFDATA[9]	BUFDATA[8]
		BUFDATA[7]	BUFDATA[6]	BUFDATA[5]	BUFDATA[4]	BUFDATA[3]	BUFDATA[1]	BUFDATA[1]	BUFDATA[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	BUFIN[3]	BUFIN[2]	BUFIN[1]	BUFIN[0]
	SC2SR0_2SRC0_0	SRCWSTS	SC2MUTE	SC2STS[1]	SC2STS[0]	SC2FSI[27]	SC2FSI[26]	SC2FSI[25]	SC2FSI[24]
		SC2FSI[23]	SC2FSI[22]	SC2FSI[21]	SC2FSI[20]	SC2FSI[19]	SC2FSI[18]	SC2FSI[17]	SC2FSI[16]
		SC2FSI[15]	SC2FSI[14]	SC2FSI[13]	SC2FSI[11]	SC2FSI[11]	SC2FSI[10]	SC2FSI[9]	SC2FSI[8]
		SC2FSI[7]	SC2FSI[6]	SC2FSI[5]	SC2FSI[4]	SC2FSI[3]	SC2FSI[2]	SC2FSI[1]	SC2FSI[0]
	WATSR0_2SRC0_0	–	–	–	–	–	–	–	–
		WTIME[23]	WTIME[22]	WTIME[21]	WTIME[20]	WTIME[19]	WTIME[18]	WTIME[17]	WTIME[16]
		WTIME[15]	WTIME[14]	WTIME[13]	WTIME[11]	WTIME[11]	WTIME[10]	WTIME[9]	WTIME[8]
		WTIME[7]	WTIME[6]	WTIME[5]	WTIME[4]	WTIME[3]	WTIME[2]	WTIME[1]	WTIME[0]
	SEVMR0_2SRC0_0	EVMUF	EVMOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVMWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SEVCR0_2SRC0_0	EVCUF	EVCOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVCWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SRCIR1_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	SADIR1_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	SRCBR1_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	IFSCR1_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTIFSEN
	IFSVR1_2SRC0_0	–	–	–	–	INTIFS[27]	INTIFS[26]	INTIFS[25]	INTIFS[24]
		INTIFS[23]	INTIFS[22]	INTIFS[21]	INTIFS[20]	INTIFS[19]	INTIFS[18]	INTIFS[17]	INTIFS[16]
		INTIFS[15]	INTIFS[14]	INTIFS[13]	INTIFS[11]	INTIFS[11]	INTIFS[10]	INTIFS[9]	INTIFS[8]
		INTIFS[7]	INTIFS[6]	INTIFS[5]	INTIFS[4]	INTIFS[3]	INTIFS[2]	INTIFS[1]	INTIFS[0]
	SRCCR1_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	WATMD	–	–	–	–
		–	–	–	BUFMD	–	–	–	–
		–	–	–	–	–	–	–	SRCMD
	MNFSR1_2SRC0_0	–	–	–	–	MINFS[27]	MINFS[26]	MINFS[25]	MINFS[24]
		MINFS[23]	MINFS[22]	MINFS[21]	MINFS[20]	MINFS[19]	MINFS[18]	MINFS[17]	MINFS[16]
		MINFS[15]	MINFS[14]	MINFS[13]	MINFS[11]	MINFS[11]	MINFS[10]	MINFS[9]	MINFS[8]
		MINFS[7]	MINFS[6]	MINFS[5]	MINFS[4]	MINFS[3]	MINFS[2]	MINFS[1]	MINFS[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	BFSSR1_2SRC0_0	–	–	–	–	–	–	BUFDATA[9]	BUFDATA[8]
		BUFDATA[7]	BUFDATA[6]	BUFDATA[5]	BUFDATA[4]	BUFDATA[3]	BUFDATA[1]	BUFDATA[1]	BUFDATA[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	BUFIN[3]	BUFIN[2]	BUFIN[1]	BUFIN[0]
	SC2SR1_2SRC0_0	SRCWSTS	SC2MUTE	SC2STS[1]	SC2STS[0]	SC2FSI[27]	SC2FSI[26]	SC2FSI[25]	SC2FSI[24]
		SC2FSI[23]	SC2FSI[22]	SC2FSI[21]	SC2FSI[20]	SC2FSI[19]	SC2FSI[18]	SC2FSI[17]	SC2FSI[16]
		SC2FSI[15]	SC2FSI[14]	SC2FSI[13]	SC2FSI[11]	SC2FSI[11]	SC2FSI[10]	SC2FSI[9]	SC2FSI[8]
		SC2FSI[7]	SC2FSI[6]	SC2FSI[5]	SC2FSI[4]	SC2FSI[3]	SC2FSI[2]	SC2FSI[1]	SC2FSI[0]
	WATSR1_2SRC0_0	–	–	–	–	–	–	–	–
		WTIME[23]	WTIME[22]	WTIME[21]	WTIME[20]	WTIME[19]	WTIME[18]	WTIME[17]	WTIME[16]
		WTIME[15]	WTIME[14]	WTIME[13]	WTIME[11]	WTIME[11]	WTIME[10]	WTIME[9]	WTIME[8]
		WTIME[7]	WTIME[6]	WTIME[5]	WTIME[4]	WTIME[3]	WTIME[2]	WTIME[1]	WTIME[0]
	SEVMR1_2SRC0_0	EVMUF	EVMOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVMWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SEVCR1_2SRC0_0	EVCUF	EVCOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVCWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SRCIRR_2SRC0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	SRCIR0_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	SADIR0_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	SRCBR0_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	IFSCR0_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTIFSEN
	IFSVR0_2SRC0_1	–	–	–	–	INTIFS[27]	INTIFS[26]	INTIFS[25]	INTIFS[24]
		INTIFS[23]	INTIFS[22]	INTIFS[21]	INTIFS[20]	INTIFS[19]	INTIFS[18]	INTIFS[17]	INTIFS[16]
		INTIFS[15]	INTIFS[14]	INTIFS[13]	INTIFS[11]	INTIFS[11]	INTIFS[10]	INTIFS[9]	INTIFS[8]
		INTIFS[7]	INTIFS[6]	INTIFS[5]	INTIFS[4]	INTIFS[3]	INTIFS[2]	INTIFS[1]	INTIFS[0]
	SRCCR0_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	WATMD	–	–	–	–
		–	–	–	BUFMD	–	–	–	–
		–	–	–	–	–	–	–	SRCMD
	MNFSR0_2SRC0_1	–	–	–	–	MINFS[27]	MINFS[26]	MINFS[25]	MINFS[24]
		MINFS[23]	MINFS[22]	MINFS[21]	MINFS[20]	MINFS[19]	MINFS[18]	MINFS[17]	MINFS[16]
		MINFS[15]	MINFS[14]	MINFS[13]	MINFS[11]	MINFS[11]	MINFS[10]	MINFS[9]	MINFS[8]
		MINFS[7]	MINFS[6]	MINFS[5]	MINFS[4]	MINFS[3]	MINFS[2]	MINFS[1]	MINFS[0]
	BFSSR0_2SRC0_1	–	–	–	–	–	–	BUFDATA[9]	BUFDATA[8]
		BUFDATA[7]	BUFDATA[6]	BUFDATA[5]	BUFDATA[4]	BUFDATA[3]	BUFDATA[1]	BUFDATA[1]	BUFDATA[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	BUFIN[3]	BUFIN[2]	BUFIN[1]	BUFIN[0]
	SC2SR0_2SRC0_1	SRCWSTS	SC2MUTE	SC2STS[1]	SC2STS[0]	SC2FSI[27]	SC2FSI[26]	SC2FSI[25]	SC2FSI[24]
		SC2FSI[23]	SC2FSI[22]	SC2FSI[21]	SC2FSI[20]	SC2FSI[19]	SC2FSI[18]	SC2FSI[17]	SC2FSI[16]
		SC2FSI[15]	SC2FSI[14]	SC2FSI[13]	SC2FSI[11]	SC2FSI[11]	SC2FSI[10]	SC2FSI[9]	SC2FSI[8]
		SC2FSI[7]	SC2FSI[6]	SC2FSI[5]	SC2FSI[4]	SC2FSI[3]	SC2FSI[2]	SC2FSI[1]	SC2FSI[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	WATSR0_2SRC0_1	–	–	–	–	–	–	–	–
		WTIME[23]	WTIME[22]	WTIME[21]	WTIME[20]	WTIME[19]	WTIME[18]	WTIME[17]	WTIME[16]
		WTIME[15]	WTIME[14]	WTIME[13]	WTIME[11]	WTIME[11]	WTIME[10]	WTIME[9]	WTIME[8]
		WTIME[7]	WTIME[6]	WTIME[5]	WTIME[4]	WTIME[3]	WTIME[2]	WTIME[1]	WTIME[0]
	SEVMR0_2SRC0_1	EVMUF	EVMOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVMWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SEVCR0_2SRC0_1	EVCUF	EVCOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVCWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SRCIR1_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	SADIR1_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	SRCBR1_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	IFSCR1_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INTIFSEN
	IFSVR1_2SRC0_1	–	–	–	–	INTIFS[27]	INTIFS[26]	INTIFS[25]	INTIFS[24]
		INTIFS[23]	INTIFS[22]	INTIFS[21]	INTIFS[20]	INTIFS[19]	INTIFS[18]	INTIFS[17]	INTIFS[16]
		INTIFS[15]	INTIFS[14]	INTIFS[13]	INTIFS[11]	INTIFS[11]	INTIFS[10]	INTIFS[9]	INTIFS[8]
		INTIFS[7]	INTIFS[6]	INTIFS[5]	INTIFS[4]	INTIFS[3]	INTIFS[2]	INTIFS[1]	INTIFS[0]
	SRCCR1_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	WATMD	–	–	–	–
		–	–	–	BUFMD	–	–	–	–
		–	–	–	–	–	–	–	SRCMD
	MNFSR1_2SRC0_1	–	–	–	–	MINFS[27]	MINFS[26]	MINFS[25]	MINFS[24]
		MINFS[23]	MINFS[22]	MINFS[21]	MINFS[20]	MINFS[19]	MINFS[18]	MINFS[17]	MINFS[16]
		MINFS[15]	MINFS[14]	MINFS[13]	MINFS[11]	MINFS[11]	MINFS[10]	MINFS[9]	MINFS[8]
		MINFS[7]	MINFS[6]	MINFS[5]	MINFS[4]	MINFS[3]	MINFS[2]	MINFS[1]	MINFS[0]
	BFSSR1_2SRC0_1	–	–	–	–	–	–	BUFDATA[9]	BUFDATA[8]
		BUFDATA[7]	BUFDATA[6]	BUFDATA[5]	BUFDATA[4]	BUFDATA[3]	BUFDATA[1]	BUFDATA[1]	BUFDATA[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	BUFIN[3]	BUFIN[2]	BUFIN[1]	BUFIN[0]
	SC2SR1_2SRC0_1	SRCWSTS	SC2MUTE	SC2STS[1]	SC2STS[0]	SC2FSI[27]	SC2FSI[26]	SC2FSI[25]	SC2FSI[24]
		SC2FSI[23]	SC2FSI[22]	SC2FSI[21]	SC2FSI[20]	SC2FSI[19]	SC2FSI[18]	SC2FSI[17]	SC2FSI[16]
		SC2FSI[15]	SC2FSI[14]	SC2FSI[13]	SC2FSI[11]	SC2FSI[11]	SC2FSI[10]	SC2FSI[9]	SC2FSI[8]
		SC2FSI[7]	SC2FSI[6]	SC2FSI[5]	SC2FSI[4]	SC2FSI[3]	SC2FSI[2]	SC2FSI[1]	SC2FSI[0]
	WATSR1_2SRC0_1	–	–	–	–	–	–	–	–
		WTIME[23]	WTIME[22]	WTIME[21]	WTIME[20]	WTIME[19]	WTIME[18]	WTIME[17]	WTIME[16]
		WTIME[15]	WTIME[14]	WTIME[13]	WTIME[11]	WTIME[11]	WTIME[10]	WTIME[9]	WTIME[8]
		WTIME[7]	WTIME[6]	WTIME[5]	WTIME[4]	WTIME[3]	WTIME[2]	WTIME[1]	WTIME[0]
	SEVMR1_2SRC0_1	EVMUF	EVMOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVMWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	SEVCR1_2SRC0_1	EVCUF	EVCOF	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	EVCWAIT	–	–	–	–	–	–
		–	–	–	–	–	–	–	

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	SRCIRR_2SRC0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	DVUIR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	VADIR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	DVUBR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	DVUCR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	VVMD
		–	–	–	VRMD	–	–	–	ZCMD
	ZCMCR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ZCEN7	ZCEN6	ZCEN5	ZCEN4	ZCEN3	ZCEN2	ZCEN1	ZCEN0
	VRCTR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		VREN7	VREN6	VREN5	VREN4	VREN3	VREN2	VREN1	VREN0
	VRPDR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	VRPDUP[4]	VRPDUP[3]	VRPDUP[1]	VRPDUP[1]	VRPDUP[0]
		–	–	–	VRPDDW[4]	VRPDDW[3]	VRPDDW[2]	VRPDDW[1]	VRPDDW[0]
	VRDBR_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	VRDB[9]	VRDB[8]
		VRDB[7]	VRDB[6]	VRDB[5]	VRDB[4]	VRDB[3]	VRDB[2]	VRDB[1]	VRDB[0]
	VRWTR_DVU0_0	–	–	–	–	–	–	–	–
		VRWT[23]	VRWT[22]	VRWT[21]	VRWT[20]	VRWT[19]	VRWT[18]	VRWT[17]	VRWT[16]
		VRWT[15]	VRWT[14]	VRWT[13]	VRWT[11]	VRWT[11]	VRWT[10]	VRWT[9]	VRWT[8]
		VRWT[7]	VRWT[6]	VRWT[5]	VRWT[4]	VRWT[3]	VRWT[2]	VRWT[1]	VRWT[0]
	VOL0R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL0[23]	VOLVAL0[22]	VOLVAL0[21]	VOLVAL0[20]	VOLVAL0[19]	VOLVAL0[18]	VOLVAL0[17]	VOLVAL0[16]
		VOLVAL0[15]	VOLVAL0[14]	VOLVAL0[13]	VOLVAL0[11]	VOLVAL0[11]	VOLVAL0[10]	VOLVAL0[9]	VOLVAL0[8]
		VOLVAL0[7]	VOLVAL0[6]	VOLVAL0[5]	VOLVAL0[4]	VOLVAL0[3]	VOLVAL0[2]	VOLVAL0[1]	VOLVAL0[0]
	VOL1R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL1[23]	VOLVAL1[22]	VOLVAL1[21]	VOLVAL1[20]	VOLVAL1[19]	VOLVAL1[18]	VOLVAL1[17]	VOLVAL1[16]
		VOLVAL1[15]	VOLVAL1[14]	VOLVAL1[13]	VOLVAL1[11]	VOLVAL1[11]	VOLVAL1[10]	VOLVAL1[9]	VOLVAL1[8]
		VOLVAL1[7]	VOLVAL1[6]	VOLVAL1[5]	VOLVAL1[4]	VOLVAL1[3]	VOLVAL1[2]	VOLVAL1[1]	VOLVAL1[0]
	VOL2R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL2[23]	VOLVAL2[22]	VOLVAL2[21]	VOLVAL2[20]	VOLVAL2[19]	VOLVAL2[18]	VOLVAL2[17]	VOLVAL2[16]
		VOLVAL2[15]	VOLVAL2[14]	VOLVAL2[13]	VOLVAL2[11]	VOLVAL2[11]	VOLVAL2[10]	VOLVAL2[9]	VOLVAL2[8]
		VOLVAL2[7]	VOLVAL2[6]	VOLVAL2[5]	VOLVAL2[4]	VOLVAL2[3]	VOLVAL2[2]	VOLVAL2[1]	VOLVAL2[0]
	VOL3R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL3[23]	VOLVAL3[22]	VOLVAL3[21]	VOLVAL3[20]	VOLVAL3[19]	VOLVAL3[18]	VOLVAL3[17]	VOLVAL3[16]
		VOLVAL3[15]	VOLVAL3[14]	VOLVAL3[13]	VOLVAL3[11]	VOLVAL3[11]	VOLVAL3[10]	VOLVAL3[9]	VOLVAL3[8]
		VOLVAL3[7]	VOLVAL3[6]	VOLVAL3[5]	VOLVAL3[4]	VOLVAL3[3]	VOLVAL3[2]	VOLVAL3[1]	VOLVAL3[0]
	VOL4R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL4[23]	VOLVAL4[22]	VOLVAL4[21]	VOLVAL4[20]	VOLVAL4[19]	VOLVAL4[18]	VOLVAL4[17]	VOLVAL4[16]
		VOLVAL4[15]	VOLVAL4[14]	VOLVAL4[13]	VOLVAL4[11]	VOLVAL4[11]	VOLVAL4[10]	VOLVAL4[9]	VOLVAL4[8]
		VOLVAL4[7]	VOLVAL4[6]	VOLVAL4[5]	VOLVAL4[4]	VOLVAL4[3]	VOLVAL4[2]	VOLVAL4[1]	VOLVAL4[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	VOL5R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL5[23]	VOLVAL5[22]	VOLVAL5[21]	VOLVAL5[20]	VOLVAL5[19]	VOLVAL5[18]	VOLVAL5[17]	VOLVAL5[16]
		VOLVAL5[15]	VOLVAL5[14]	VOLVAL5[13]	VOLVAL5[11]	VOLVAL5[11]	VOLVAL5[10]	VOLVAL5[9]	VOLVAL5[8]
		VOLVAL5[7]	VOLVAL5[6]	VOLVAL5[5]	VOLVAL5[4]	VOLVAL5[3]	VOLVAL5[2]	VOLVAL5[1]	VOLVAL5[0]
	VOL6R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL6[23]	VOLVAL6[22]	VOLVAL6[21]	VOLVAL6[20]	VOLVAL6[19]	VOLVAL6[18]	VOLVAL6[17]	VOLVAL6[16]
		VOLVAL6[15]	VOLVAL6[14]	VOLVAL6[13]	VOLVAL6[11]	VOLVAL6[11]	VOLVAL6[10]	VOLVAL6[9]	VOLVAL6[8]
		VOLVAL6[7]	VOLVAL6[6]	VOLVAL6[5]	VOLVAL6[4]	VOLVAL6[3]	VOLVAL6[2]	VOLVAL6[1]	VOLVAL6[0]
	VOL7R_DVU0_0	–	–	–	–	–	–	–	–
		VOLVAL7[23]	VOLVAL7[22]	VOLVAL7[21]	VOLVAL7[20]	VOLVAL7[19]	VOLVAL7[18]	VOLVAL7[17]	VOLVAL7[16]
		VOLVAL7[15]	VOLVAL7[14]	VOLVAL7[13]	VOLVAL7[11]	VOLVAL7[11]	VOLVAL7[10]	VOLVAL7[9]	VOLVAL7[8]
		VOLVAL7[7]	VOLVAL7[6]	VOLVAL7[5]	VOLVAL7[4]	VOLVAL7[3]	VOLVAL7[2]	VOLVAL7[1]	VOLVAL7[0]
	DVUER_DVU0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	DVUEN
	DVUSR_DVU0_0	–	–	–	–	–	–	–	–
		ZSTS7	ZSTS6	ZSTS5	ZSTS4	ZSTS3	ZSTS2	ZSTS1	ZSTS0
		–	–	–	–	–	–	–	–
		–	–	–	–	–	VRSTS[2]	VRSTS[1]	VRSTS[0]
	VEVMR_DVU0_0	VEVMZCM7	VEVMZCM6	VEVMZCM5	VEVMZCM4	VEVMZCM3	VEVMZCM2	VEVMZCM1	VEVMZCM0
		–	–	–	–	–	–	–	–
		VEVMVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	VEVCR_DVU0_0	VEVCZCM7	VEVCZCM6	VEVCZCM5	VEVCZCM4	VEVCZCM3	VEVCZCM2	VEVCZCM1	VEVCZCM0
		–	–	–	–	–	–	–	–
		VEVCVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	DVUIR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	VADIR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	DVUBR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	DVUCR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	VVMD
		–	–	–	VRMD	–	–	–	ZCMD
	ZCMCR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ZCEN7	ZCEN6	ZCEN5	ZCEN4	ZCEN3	ZCEN2	ZCEN1	ZCEN0
	VRCTR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		VREN7	VREN6	VREN5	VREN4	VREN3	VREN2	VREN1	VREN0
	VRPDR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	VRPDUP[4]	VRPDUP[3]	VRPDUP[1]	VRPDUP[1]	VRPDUP[0]
		–	–	–	VRPDDW[4]	VRPDDW[3]	VRPDDW[2]	VRPDDW[1]	VRPDDW[0]
	VRDBR_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	VRDB[9]	VRDB[8]
		VRDB[7]	VRDB[6]	VRDB[5]	VRDB[4]	VRDB[3]	VRDB[2]	VRDB[1]	VRDB[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	VRWTR_DVU0_1	–	–	–	–	–	–	–	–
		VRWT[23]	VRWT[22]	VRWT[21]	VRWT[20]	VRWT[19]	VRWT[18]	VRWT[17]	VRWT[16]
		VRWT[15]	VRWT[14]	VRWT[13]	VRWT[11]	VRWT[11]	VRWT[10]	VRWT[9]	VRWT[8]
		VRWT[7]	VRWT[6]	VRWT[5]	VRWT[4]	VRWT[3]	VRWT[2]	VRWT[1]	VRWT[0]
	VOL0R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL0[23]	VOLVAL0[22]	VOLVAL0[21]	VOLVAL0[20]	VOLVAL0[19]	VOLVAL0[18]	VOLVAL0[17]	VOLVAL0[16]
		VOLVAL0[15]	VOLVAL0[14]	VOLVAL0[13]	VOLVAL0[11]	VOLVAL0[11]	VOLVAL0[10]	VOLVAL0[9]	VOLVAL0[8]
		VOLVAL0[7]	VOLVAL0[6]	VOLVAL0[5]	VOLVAL0[4]	VOLVAL0[3]	VOLVAL0[2]	VOLVAL0[1]	VOLVAL0[0]
	VOL1R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL1[23]	VOLVAL1[22]	VOLVAL1[21]	VOLVAL1[20]	VOLVAL1[19]	VOLVAL1[18]	VOLVAL1[17]	VOLVAL1[16]
		VOLVAL1[15]	VOLVAL1[14]	VOLVAL1[13]	VOLVAL1[11]	VOLVAL1[11]	VOLVAL1[10]	VOLVAL1[9]	VOLVAL1[8]
		VOLVAL1[7]	VOLVAL1[6]	VOLVAL1[5]	VOLVAL1[4]	VOLVAL1[3]	VOLVAL1[2]	VOLVAL1[1]	VOLVAL1[0]
	VOL2R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL2[23]	VOLVAL2[22]	VOLVAL2[21]	VOLVAL2[20]	VOLVAL2[19]	VOLVAL2[18]	VOLVAL2[17]	VOLVAL2[16]
		VOLVAL2[15]	VOLVAL2[14]	VOLVAL2[13]	VOLVAL2[11]	VOLVAL2[11]	VOLVAL2[10]	VOLVAL2[9]	VOLVAL2[8]
		VOLVAL2[7]	VOLVAL2[6]	VOLVAL2[5]	VOLVAL2[4]	VOLVAL2[3]	VOLVAL2[2]	VOLVAL2[1]	VOLVAL2[0]
	VOL3R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL3[23]	VOLVAL3[22]	VOLVAL3[21]	VOLVAL3[20]	VOLVAL3[19]	VOLVAL3[18]	VOLVAL3[17]	VOLVAL3[16]
		VOLVAL3[15]	VOLVAL3[14]	VOLVAL3[13]	VOLVAL3[11]	VOLVAL3[11]	VOLVAL3[10]	VOLVAL3[9]	VOLVAL3[8]
		VOLVAL3[7]	VOLVAL3[6]	VOLVAL3[5]	VOLVAL3[4]	VOLVAL3[3]	VOLVAL3[2]	VOLVAL3[1]	VOLVAL3[0]
	VOL4R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL4[23]	VOLVAL4[22]	VOLVAL4[21]	VOLVAL4[20]	VOLVAL4[19]	VOLVAL4[18]	VOLVAL4[17]	VOLVAL4[16]
		VOLVAL4[15]	VOLVAL4[14]	VOLVAL4[13]	VOLVAL4[11]	VOLVAL4[11]	VOLVAL4[10]	VOLVAL4[9]	VOLVAL4[8]
		VOLVAL4[7]	VOLVAL4[6]	VOLVAL4[5]	VOLVAL4[4]	VOLVAL4[3]	VOLVAL4[2]	VOLVAL4[1]	VOLVAL4[0]
	VOL5R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL5[23]	VOLVAL5[22]	VOLVAL5[21]	VOLVAL5[20]	VOLVAL5[19]	VOLVAL5[18]	VOLVAL5[17]	VOLVAL5[16]
		VOLVAL5[15]	VOLVAL5[14]	VOLVAL5[13]	VOLVAL5[11]	VOLVAL5[11]	VOLVAL5[10]	VOLVAL5[9]	VOLVAL5[8]
		VOLVAL5[7]	VOLVAL5[6]	VOLVAL5[5]	VOLVAL5[4]	VOLVAL5[3]	VOLVAL5[2]	VOLVAL5[1]	VOLVAL5[0]
	VOL6R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL6[23]	VOLVAL6[22]	VOLVAL6[21]	VOLVAL6[20]	VOLVAL6[19]	VOLVAL6[18]	VOLVAL6[17]	VOLVAL6[16]
		VOLVAL6[15]	VOLVAL6[14]	VOLVAL6[13]	VOLVAL6[11]	VOLVAL6[11]	VOLVAL6[10]	VOLVAL6[9]	VOLVAL6[8]
		VOLVAL6[7]	VOLVAL6[6]	VOLVAL6[5]	VOLVAL6[4]	VOLVAL6[3]	VOLVAL6[2]	VOLVAL6[1]	VOLVAL6[0]
	VOL7R_DVU0_1	–	–	–	–	–	–	–	–
		VOLVAL7[23]	VOLVAL7[22]	VOLVAL7[21]	VOLVAL7[20]	VOLVAL7[19]	VOLVAL7[18]	VOLVAL7[17]	VOLVAL7[16]
		VOLVAL7[15]	VOLVAL7[14]	VOLVAL7[13]	VOLVAL7[11]	VOLVAL7[11]	VOLVAL7[10]	VOLVAL7[9]	VOLVAL7[8]
		VOLVAL7[7]	VOLVAL7[6]	VOLVAL7[5]	VOLVAL7[4]	VOLVAL7[3]	VOLVAL7[2]	VOLVAL7[1]	VOLVAL7[0]
	DVUER_DVU0_1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	DVUEN
	DVUSR_DVU0_1	–	–	–	–	–	–	–	–
		ZSTS7	ZSTS6	ZSTS5	ZSTS4	ZSTS3	ZSTS2	ZSTS1	ZSTS0
		–	–	–	–	–	–	–	–
		–	–	–	–	–	VRSTS[2]	VRSTS[1]	VRSTS[0]
	VEVMR_DVU0_1	VEVMZCM7	VEVMZCM6	VEVMZCM5	VEVMZCM4	VEVMZCM3	VEVMZCM2	VEVMZCM1	VEVMZCM0
		–	–	–	–	–	–	–	–
		VEVMVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	VEVCR_DVU0_1	VEVCZCM7	VEVCZCM6	VEVCZCM5	VEVCZCM4	VEVCZCM3	VEVCZCM2	VEVCZCM1	VEVCZCM0
		–	–	–	–	–	–	–	–
		VEVCVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	DVUIR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	VADIR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	DVUBR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	DVUCR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	VVMD
		–	–	–	VRMD	–	–	–	ZCMD
	ZCMCR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ZCEN7	ZCEN6	ZCEN5	ZCEN4	ZCEN3	ZCEN2	ZCEN1	ZCEN0
	VRCTR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		VREN7	VREN6	VREN5	VREN4	VREN3	VREN2	VREN1	VREN0
	VRPDR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	VRPDUP[4]	VRPDUP[3]	VRPDUP[1]	VRPDUP[1]	VRPDUP[0]
		–	–	–	VRPDDW[4]	VRPDDW[3]	VRPDDW[2]	VRPDDW[1]	VRPDDW[0]
	VRDBR_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	VRDB[9]	VRDB[8]
		VRDB[7]	VRDB[6]	VRDB[5]	VRDB[4]	VRDB[3]	VRDB[2]	VRDB[1]	VRDB[0]
	VRWTR_DVU0_2	–	–	–	–	–	–	–	–
		VRWT[23]	VRWT[22]	VRWT[21]	VRWT[20]	VRWT[19]	VRWT[18]	VRWT[17]	VRWT[16]
		VRWT[15]	VRWT[14]	VRWT[13]	VRWT[11]	VRWT[11]	VRWT[10]	VRWT[9]	VRWT[8]
		VRWT[7]	VRWT[6]	VRWT[5]	VRWT[4]	VRWT[3]	VRWT[2]	VRWT[1]	VRWT[0]
	VOL0R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL0[23]	VOLVAL0[22]	VOLVAL0[21]	VOLVAL0[20]	VOLVAL0[19]	VOLVAL0[18]	VOLVAL0[17]	VOLVAL0[16]
		VOLVAL0[15]	VOLVAL0[14]	VOLVAL0[13]	VOLVAL0[11]	VOLVAL0[11]	VOLVAL0[10]	VOLVAL0[9]	VOLVAL0[8]
		VOLVAL0[7]	VOLVAL0[6]	VOLVAL0[5]	VOLVAL0[4]	VOLVAL0[3]	VOLVAL0[2]	VOLVAL0[1]	VOLVAL0[0]
	VOL1R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL1[23]	VOLVAL1[22]	VOLVAL1[21]	VOLVAL1[20]	VOLVAL1[19]	VOLVAL1[18]	VOLVAL1[17]	VOLVAL1[16]
		VOLVAL1[15]	VOLVAL1[14]	VOLVAL1[13]	VOLVAL1[11]	VOLVAL1[11]	VOLVAL1[10]	VOLVAL1[9]	VOLVAL1[8]
		VOLVAL1[7]	VOLVAL1[6]	VOLVAL1[5]	VOLVAL1[4]	VOLVAL1[3]	VOLVAL1[2]	VOLVAL1[1]	VOLVAL1[0]
	VOL2R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL2[23]	VOLVAL2[22]	VOLVAL2[21]	VOLVAL2[20]	VOLVAL2[19]	VOLVAL2[18]	VOLVAL2[17]	VOLVAL2[16]
		VOLVAL2[15]	VOLVAL2[14]	VOLVAL2[13]	VOLVAL2[11]	VOLVAL2[11]	VOLVAL2[10]	VOLVAL2[9]	VOLVAL2[8]
		VOLVAL2[7]	VOLVAL2[6]	VOLVAL2[5]	VOLVAL2[4]	VOLVAL2[3]	VOLVAL2[2]	VOLVAL2[1]	VOLVAL2[0]
	VOL3R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL3[23]	VOLVAL3[22]	VOLVAL3[21]	VOLVAL3[20]	VOLVAL3[19]	VOLVAL3[18]	VOLVAL3[17]	VOLVAL3[16]
		VOLVAL3[15]	VOLVAL3[14]	VOLVAL3[13]	VOLVAL3[11]	VOLVAL3[11]	VOLVAL3[10]	VOLVAL3[9]	VOLVAL3[8]
		VOLVAL3[7]	VOLVAL3[6]	VOLVAL3[5]	VOLVAL3[4]	VOLVAL3[3]	VOLVAL3[2]	VOLVAL3[1]	VOLVAL3[0]
	VOL4R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL4[23]	VOLVAL4[22]	VOLVAL4[21]	VOLVAL4[20]	VOLVAL4[19]	VOLVAL4[18]	VOLVAL4[17]	VOLVAL4[16]
		VOLVAL4[15]	VOLVAL4[14]	VOLVAL4[13]	VOLVAL4[11]	VOLVAL4[11]	VOLVAL4[10]	VOLVAL4[9]	VOLVAL4[8]
		VOLVAL4[7]	VOLVAL4[6]	VOLVAL4[5]	VOLVAL4[4]	VOLVAL4[3]	VOLVAL4[2]	VOLVAL4[1]	VOLVAL4[0]
	VOL5R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL5[23]	VOLVAL5[22]	VOLVAL5[21]	VOLVAL5[20]	VOLVAL5[19]	VOLVAL5[18]	VOLVAL5[17]	VOLVAL5[16]
		VOLVAL5[15]	VOLVAL5[14]	VOLVAL5[13]	VOLVAL5[11]	VOLVAL5[11]	VOLVAL5[10]	VOLVAL5[9]	VOLVAL5[8]
		VOLVAL5[7]	VOLVAL5[6]	VOLVAL5[5]	VOLVAL5[4]	VOLVAL5[3]	VOLVAL5[2]	VOLVAL5[1]	VOLVAL5[0]
	VOL6R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL6[23]	VOLVAL6[22]	VOLVAL6[21]	VOLVAL6[20]	VOLVAL6[19]	VOLVAL6[18]	VOLVAL6[17]	VOLVAL6[16]
		VOLVAL6[15]	VOLVAL6[14]	VOLVAL6[13]	VOLVAL6[11]	VOLVAL6[11]	VOLVAL6[10]	VOLVAL6[9]	VOLVAL6[8]
		VOLVAL6[7]	VOLVAL6[6]	VOLVAL6[5]	VOLVAL6[4]	VOLVAL6[3]	VOLVAL6[2]	VOLVAL6[1]	VOLVAL6[0]
	VOL7R_DVU0_2	–	–	–	–	–	–	–	–
		VOLVAL7[23]	VOLVAL7[22]	VOLVAL7[21]	VOLVAL7[20]	VOLVAL7[19]	VOLVAL7[18]	VOLVAL7[17]	VOLVAL7[16]
		VOLVAL7[15]	VOLVAL7[14]	VOLVAL7[13]	VOLVAL7[11]	VOLVAL7[11]	VOLVAL7[10]	VOLVAL7[9]	VOLVAL7[8]
		VOLVAL7[7]	VOLVAL7[6]	VOLVAL7[5]	VOLVAL7[4]	VOLVAL7[3]	VOLVAL7[2]	VOLVAL7[1]	VOLVAL7[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	DVUER_DVU0_2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	DVUEN
	DVUSR_DVU0_2	–	–	–	–	–	–	–	–
		ZSTS7	ZSTS6	ZSTS5	ZSTS4	ZSTS3	ZSTS2	ZSTS1	ZSTS0
		–	–	–	–	–	–	–	–
		–	–	–	–	–	VRSTS[2]	VRSTS[1]	VRSTS[0]
	VEVMR_DVU0_2	VEVMZCM7	VEVMZCM6	VEVMZCM5	VEVMZCM4	VEVMZCM3	VEVMZCM2	VEVMZCM1	VEVMZCM0
		–	–	–	–	–	–	–	–
		VEVMVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	VEVCR_DVU0_2	VEVCZCM7	VEVCZCM6	VEVCZCM5	VEVCZCM4	VEVCZCM3	VEVCZCM2	VEVCZCM1	VEVCZCM0
		–	–	–	–	–	–	–	–
		VEVCVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	DVUIR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	VADIR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	OTBL[4]	OTBL[3]	OTBL[2]	OTBL[1]	OTBL[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	DVUBR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	DVUCR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	VVMD
		–	–	–	VRMD	–	–	–	ZCMD
	ZCMCR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ZCEN7	ZCEN6	ZCEN5	ZCEN4	ZCEN3	ZCEN2	ZCEN1	ZCEN0
	VRCTR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		VREN7	VREN6	VREN5	VREN4	VREN3	VREN2	VREN1	VREN0
	VRPDR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	VRPDUP[4]	VRPDUP[3]	VRPDUP[1]	VRPDUP[1]	VRPDUP[0]
		–	–	–	VRPDDW[4]	VRPDDW[3]	VRPDDW[2]	VRPDDW[1]	VRPDDW[0]
	VRDBR_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	VRDB[9]	VRDB[8]
		VRDB[7]	VRDB[6]	VRDB[5]	VRDB[4]	VRDB[3]	VRDB[2]	VRDB[1]	VRDB[0]
	VRWTR_DVU0_3	–	–	–	–	–	–	–	–
		VRWT[23]	VRWT[22]	VRWT[21]	VRWT[20]	VRWT[19]	VRWT[18]	VRWT[17]	VRWT[16]
		VRWT[15]	VRWT[14]	VRWT[13]	VRWT[11]	VRWT[11]	VRWT[10]	VRWT[9]	VRWT[8]
		VRWT[7]	VRWT[6]	VRWT[5]	VRWT[4]	VRWT[3]	VRWT[2]	VRWT[1]	VRWT[0]
	VOL0R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL0[23]	VOLVAL0[22]	VOLVAL0[21]	VOLVAL0[20]	VOLVAL0[19]	VOLVAL0[18]	VOLVAL0[17]	VOLVAL0[16]
		VOLVAL0[15]	VOLVAL0[14]	VOLVAL0[13]	VOLVAL0[11]	VOLVAL0[11]	VOLVAL0[10]	VOLVAL0[9]	VOLVAL0[8]
		VOLVAL0[7]	VOLVAL0[6]	VOLVAL0[5]	VOLVAL0[4]	VOLVAL0[3]	VOLVAL0[2]	VOLVAL0[1]	VOLVAL0[0]
	VOL1R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL1[23]	VOLVAL1[22]	VOLVAL1[21]	VOLVAL1[20]	VOLVAL1[19]	VOLVAL1[18]	VOLVAL1[17]	VOLVAL1[16]
		VOLVAL1[15]	VOLVAL1[14]	VOLVAL1[13]	VOLVAL1[11]	VOLVAL1[11]	VOLVAL1[10]	VOLVAL1[9]	VOLVAL1[8]
		VOLVAL1[7]	VOLVAL1[6]	VOLVAL1[5]	VOLVAL1[4]	VOLVAL1[3]	VOLVAL1[2]	VOLVAL1[1]	VOLVAL1[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	VOL2R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL2[23]	VOLVAL2[22]	VOLVAL2[21]	VOLVAL2[20]	VOLVAL2[19]	VOLVAL2[18]	VOLVAL2[17]	VOLVAL2[16]
		VOLVAL2[15]	VOLVAL2[14]	VOLVAL2[13]	VOLVAL2[11]	VOLVAL2[11]	VOLVAL2[10]	VOLVAL2[9]	VOLVAL2[8]
		VOLVAL2[7]	VOLVAL2[6]	VOLVAL2[5]	VOLVAL2[4]	VOLVAL2[3]	VOLVAL2[2]	VOLVAL2[1]	VOLVAL2[0]
	VOL3R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL3[23]	VOLVAL3[22]	VOLVAL3[21]	VOLVAL3[20]	VOLVAL3[19]	VOLVAL3[18]	VOLVAL3[17]	VOLVAL3[16]
		VOLVAL3[15]	VOLVAL3[14]	VOLVAL3[13]	VOLVAL3[11]	VOLVAL3[11]	VOLVAL3[10]	VOLVAL3[9]	VOLVAL3[8]
		VOLVAL3[7]	VOLVAL3[6]	VOLVAL3[5]	VOLVAL3[4]	VOLVAL3[3]	VOLVAL3[2]	VOLVAL3[1]	VOLVAL3[0]
	VOL4R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL4[23]	VOLVAL4[22]	VOLVAL4[21]	VOLVAL4[20]	VOLVAL4[19]	VOLVAL4[18]	VOLVAL4[17]	VOLVAL4[16]
		VOLVAL4[15]	VOLVAL4[14]	VOLVAL4[13]	VOLVAL4[11]	VOLVAL4[11]	VOLVAL4[10]	VOLVAL4[9]	VOLVAL4[8]
		VOLVAL4[7]	VOLVAL4[6]	VOLVAL4[5]	VOLVAL4[4]	VOLVAL4[3]	VOLVAL4[2]	VOLVAL4[1]	VOLVAL4[0]
	VOL5R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL5[23]	VOLVAL5[22]	VOLVAL5[21]	VOLVAL5[20]	VOLVAL5[19]	VOLVAL5[18]	VOLVAL5[17]	VOLVAL5[16]
		VOLVAL5[15]	VOLVAL5[14]	VOLVAL5[13]	VOLVAL5[11]	VOLVAL5[11]	VOLVAL5[10]	VOLVAL5[9]	VOLVAL5[8]
		VOLVAL5[7]	VOLVAL5[6]	VOLVAL5[5]	VOLVAL5[4]	VOLVAL5[3]	VOLVAL5[2]	VOLVAL5[1]	VOLVAL5[0]
	VOL6R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL6[23]	VOLVAL6[22]	VOLVAL6[21]	VOLVAL6[20]	VOLVAL6[19]	VOLVAL6[18]	VOLVAL6[17]	VOLVAL6[16]
		VOLVAL6[15]	VOLVAL6[14]	VOLVAL6[13]	VOLVAL6[11]	VOLVAL6[11]	VOLVAL6[10]	VOLVAL6[9]	VOLVAL6[8]
		VOLVAL6[7]	VOLVAL6[6]	VOLVAL6[5]	VOLVAL6[4]	VOLVAL6[3]	VOLVAL6[2]	VOLVAL6[1]	VOLVAL6[0]
	VOL7R_DVU0_3	–	–	–	–	–	–	–	–
		VOLVAL7[23]	VOLVAL7[22]	VOLVAL7[21]	VOLVAL7[20]	VOLVAL7[19]	VOLVAL7[18]	VOLVAL7[17]	VOLVAL7[16]
		VOLVAL7[15]	VOLVAL7[14]	VOLVAL7[13]	VOLVAL7[11]	VOLVAL7[11]	VOLVAL7[10]	VOLVAL7[9]	VOLVAL7[8]
		VOLVAL7[7]	VOLVAL7[6]	VOLVAL7[5]	VOLVAL7[4]	VOLVAL7[3]	VOLVAL7[2]	VOLVAL7[1]	VOLVAL7[0]
	DVUER_DVU0_3	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	DVUEN
	DVUSR_DVU0_3	–	–	–	–	–	–	–	–
		ZSTS7	ZSTS6	ZSTS5	ZSTS4	ZSTS3	ZSTS2	ZSTS1	ZSTS0
		–	–	–	–	–	–	–	–
		–	–	–	–	–	VRSTS[2]	VRSTS[1]	VRSTS[0]
	VEVMR_DVU0_3	VEVMZCM7	VEVMZCM6	VEVMZCM5	VEVMZCM4	VEVMZCM3	VEVMZCM2	VEVMZCM1	VEVMZCM0
		–	–	–	–	–	–	–	–
		VEVMVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	VEVCR_DVU0_3	VEVCZCM7	VEVCZCM6	VEVCZCM5	VEVCZCM4	VEVCZCM3	VEVCZCM2	VEVCZCM1	VEVCZCM0
		–	–	–	–	–	–	–	–
		VEVCVR	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	
	MIXIR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	INIT
	MADIR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	CHNUM[3]	CHNUM[2]	CHNUM[1]	CHNUM[0]
	MIXBR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	BPSYS[1]	BPSYS[0]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	BYPASS
	MIXMR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MIXMODE
	MVPDR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	MXPDUP[3]	MXPDUP[2]	MXPDUP[1]	MXPDUP[0]
		–	–	–	–	MXPDDW[3]	MXPDDW[2]	MXPDDW[1]	MXPDDW[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	MDBAR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	MIXDBA[9]	MIXDBA[8]
		MIXDBA[7]	MIXDBA[6]	MIXDBA[5]	MIXDBA[4]	MIXDBA[3]	MIXDBA[2]	MIXDBA[1]	MIXDBA[0]
	MDBBR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	MIXDBB[9]	MIXDBB[8]
		MIXDBB[7]	MIXDBB[6]	MIXDBB[5]	MIXDBB[4]	MIXDBB[3]	MIXDBB[2]	MIXDBB[1]	MIXDBB[0]
	MDBCR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	MIXDBC[9]	MIXDBC[8]
		MIXDBC[7]	MIXDBC[6]	MIXDBC[5]	MIXDBC[4]	MIXDBC[3]	MIXDBC[2]	MIXDBC[1]	MIXDBC[0]
	MDBDR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	MIXDBD[9]	MIXDBD[8]
		MIXDBD[7]	MIXDBD[6]	MIXDBD[5]	MIXDBD[4]	MIXDBD[3]	MIXDBD[2]	MIXDBD[1]	MIXDBD[0]
	MDBER_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	MIXDBEN
	MIXSR_MIX0_0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	MIXSTS[1]	MIXSTS[0]
	SWRSR_CIM	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	SWRST
	DMACR_CIM	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DMAMDFFU3	DMAMDFFU2	DMAMDFFU1	DMAMDFFU0	DMAMDFFD3	DMAMDFFD2	DMAMDFFD1	DMAMDFFD0
	DMATD0_CIM								
	DMATD1_CIM								
	DMATD2_CIM								
	DMATD3_CIM								
	DMATU0_CIM								
	DMATU1_CIM								
	DMATU2_CIM								

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	DMATU3_CIM								
	SSIRSEL_CIM	SISEL3[1]	SISEL3[0]	SISEL2[1]	SISEL2[0]	SISEL1[1]	SISEL1[0]	SISEL0[1]	SISEL0[0]
		–	–	–	–	–	–	–	–
		–	–	SOSEL3[1]	SOSEL3[0]	–	–	SOSEL2[1]	SOSEL2[0]
		–	–	SOSEL1[1]	SOSEL1[0]	–	–	SOSEL0[1]	SOSEL0[0]
	FDTSEL0_CIM	–	–	–	–	–	SCKDIV[11]	SCKDIV[10]	SCKDIV[9]
		SCKDIV[8]	SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]
		SCKDIV[0]	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	FDTSEL1_CIM	–	–	–	–	–	SCKDIV[10]	SCKDIV[9]	SCKDIV[8]
		SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]	SCKDIV[0]
		–	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	FDTSEL2_CIM	–	–	–	–	–	SCKDIV[10]	SCKDIV[9]	SCKDIV[8]
		SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]	SCKDIV[0]
		–	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	FDTSEL3_CIM	–	–	–	–	–	SCKDIV[10]	SCKDIV[9]	SCKDIV[8]
		SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]	SCKDIV[0]
		–	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	FUTSEL0_CIM	–	–	–	–	–	SCKDIV[10]	SCKDIV[9]	SCKDIV[8]
		SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]	SCKDIV[0]
		–	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	FUTSEL1_CIM	–	–	–	–	–	SCKDIV[10]	SCKDIV[9]	SCKDIV[8]
		SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]	SCKDIV[0]
		–	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	FUTSEL2_CIM	–	–	–	–	–	SCKDIV[10]	SCKDIV[9]	SCKDIV[8]
		SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]	SCKDIV[0]
		–	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	FUTSEL3_CIM	–	–	–	–	–	SCKDIV[10]	SCKDIV[9]	SCKDIV[8]
		SCKDIV[7]	SCKDIV[6]	SCKDIV[5]	SCKDIV[4]	SCKDIV[3]	SCKDIV[2]	SCKDIV[1]	SCKDIV[0]
		–	–	–	–	–	–	–	DIVEN
		–	–	–	–	SCKSEL[3]	SCKSEL[2]	SCKSEL[1]	SCKSEL[0]
	SSIPMD_CIM	–	–	–	–	–	–	–	–
		–	–	–	–	SSI3CKS	SSI2CKS	SSI1CKS	SSI0CKS
		SSI3PMD[1]	SSI3PMD[0]	–	–	–	–	–	–
		–	–	–	SSI012EN	SSI2PMD[1]	SSI2PMD[0]	SSI1PMD[1]	SSI1PMD[0]
	SSICTRL_CIM	–	SSI3TX	–	–	–	SSI3RX	–	–
		–	–	–	–	–	–	–	–
		–	SSI0TX	SSI1TX	SSI2TX	–	SSI0RX	SSI1RX	SSI2RX
		–	–	–	–	–	–	SSI012TEN	SSI012REN
	SRCRSEL0_CIM	–	PLACE7[2]	PLACE7[1]	PLACE7[0]	–	PLACE6[2]	PLACE6[1]	PLACE6[0]
		–	PLACE5[2]	PLACE5[1]	PLACE5[0]	–	PLACE4[2]	PLACE4[1]	PLACE4[0]
		–	PLACE3[2]	PLACE3[1]	PLACE3[0]	–	PLACE2[2]	PLACE2[1]	PLACE2[0]
		–	PLACE1[2]	PLACE1[1]	PLACE1[0]	–	PLACE0[2]	PLACE0[1]	PLACE0[0]
	SRCRSEL1_CIM	–	PLACE7[2]	PLACE7[1]	PLACE7[0]	–	PLACE6[2]	PLACE6[1]	PLACE6[0]
		–	PLACE5[2]	PLACE5[1]	PLACE5[0]	–	PLACE4[2]	PLACE4[1]	PLACE4[0]
		–	PLACE3[2]	PLACE3[1]	PLACE3[0]	–	PLACE2[2]	PLACE2[1]	PLACE2[0]
		–	PLACE1[2]	PLACE1[1]	PLACE1[0]	–	PLACE0[2]	PLACE0[1]	PLACE0[0]
	SRCRSEL2_CIM	–	PLACE7[2]	PLACE7[1]	PLACE7[0]	–	PLACE6[2]	PLACE6[1]	PLACE6[0]
		–	PLACE5[2]	PLACE5[1]	PLACE5[0]	–	PLACE4[2]	PLACE4[1]	PLACE4[0]
		–	PLACE3[2]	PLACE3[1]	PLACE3[0]	–	PLACE2[2]	PLACE2[1]	PLACE2[0]
		–	PLACE1[2]	PLACE1[1]	PLACE1[0]	–	PLACE0[2]	PLACE0[1]	PLACE0[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SCUX	SRCRSEL3_CIM	—	PLACE7[2]	PLACE7[1]	PLACE7[0]	—	PLACE6[2]	PLACE6[1]	PLACE6[0]
		—	PLACE5[2]	PLACE5[1]	PLACE5[0]	—	PLACE4[2]	PLACE4[1]	PLACE4[0]
		—	PLACE3[2]	PLACE3[1]	PLACE3[0]	—	PLACE2[2]	PLACE2[1]	PLACE2[0]
		—	PLACE1[2]	PLACE1[1]	PLACE1[0]	—	PLACE0[2]	PLACE0[1]	PLACE0[0]
	MIXRSEL_CIM	—	PLACE7[2]	PLACE7[1]	PLACE7[0]	—	PLACE6[2]	PLACE6[1]	PLACE6[0]
		—	PLACE5[2]	PLACE5[1]	PLACE5[0]	—	PLACE4[2]	PLACE4[1]	PLACE4[0]
		—	PLACE3[2]	PLACE3[1]	PLACE3[0]	—	PLACE2[2]	PLACE2[1]	PLACE2[0]
		—	PLACE1[2]	PLACE1[1]	PLACE1[0]	—	PLACE0[2]	PLACE0[1]	PLACE0[0]
SDホストインタフェース	SD_CMD_0	MD[7]	MD[6]	MD[5]	MD[4]	MD[3]	MD[2]	MD[1]	MD[0]
		C[1]	C[0]	CF[45]	CF[44]	CF[43]	CF[42]	CF[41]	CF[40]
	SD_ARG0_0	CF[23]	CF[22]	CF[21]	CF[20]	CF[19]	CF[18]	CF[17]	CF[16]
		CF[15]	CF[14]	CF[13]	CF[12]	CF[11]	CF[10]	CF[9]	CF[8]
	SD_ARG1_0	CF[39]	CF[38]	CF[37]	CF[36]	CF[35]	CF[34]	CF[33]	CF[32]
		CF[31]	CF[30]	CF[29]	CF[28]	CF[27]	CF[26]	CF[25]	CF[24]
	SD_STOP_0	-	-	-	-	-	-	-	SEC
		-	-	-	-	-	-	-	STP
	SD_SECCNT_0	CNT[15]	CNT[14]	CNT[13]	CNT[12]	CNT[11]	CNT[10]	CNT[9]	CNT[8]
		CNT[7]	CNT[6]	CNT[5]	CNT[4]	CNT[3]	CNT[2]	CNT[1]	CNT[0]
	SD_RSP00_0	R[23]	R[22]	R[21]	R[20]	R[19]	R[18]	R[17]	R[16]
		R[15]	R[14]	R[13]	R[12]	R[11]	R[10]	R[9]	R[8]
	SD_RSP01_0	R[39]	R[38]	R[37]	R[36]	R[35]	R[34]	R[33]	R[32]
		R[31]	R[30]	R[29]	R[28]	R[27]	R[26]	R[25]	R[24]
	SD_RSP02_0	R[55]	R[54]	R[53]	R[52]	R[51]	R[50]	R[49]	R[48]
		R[47]	R[46]	R[45]	R[44]	R[43]	R[42]	R[41]	R[40]
	SD_RSP03_0	R[71]	R[70]	R[69]	R[68]	R[67]	R[66]	R[65]	R[64]
		R[63]	R[62]	R[61]	R[60]	R[59]	R[58]	R[57]	R[56]
	SD_RSP04_0	R[87]	R[86]	R[85]	R[84]	R[83]	R[82]	R[81]	R[80]
		R[79]	R[78]	R[77]	R[76]	R[75]	R[74]	R[73]	R[72]
	SD_RSP05_0	R[103]	R[102]	R[101]	R[100]	R[99]	R[98]	R[97]	R[96]
		R[95]	R[94]	R[93]	R[92]	R[91]	R[90]	R[89]	R[88]
	SD_RSP06_0	R[119]	R[118]	R[117]	R[116]	R[115]	R[114]	R[113]	R[112]
		R[111]	R[110]	R[109]	R[108]	R[107]	R[106]	R[105]	R[104]
	SD_RSP07_0	-	-	-	-	-	-	-	-
		R[127]	R[126]	R[125]	R[124]	R[123]	R[122]	R[121]	R[120]
	SD_INFO1_0	-	-	-	-	-	INFO[10]	INFO[9]	INFO[8]
		INFO[7]	-	INFO[5]	INFO[4]	INFO[3]	INFO[2]	-	INFO[0]
	SD_INFO2_0	ILA	CBSY	SCLKDIVEN	-	-	-	BWE	BRE
		DAT0	ERR[6]	ERR[5]	ERR[4]	ERR[3]	ERR[2]	ERR[1]	ERR[0]
	SD_INFO1_MASK_0	-	-	-	-	-	-	IMASK[9]	IMASK[8]
		-	-	-	IMASK[4]	IMASK[3]	IMASK[2]	-	IMASK[0]
	SD_INFO2_MASK_0	IMASK	-	-	-	-	-	BMASK[1]	BMASK[0]
		-	EMASK[6]	EMASK[5]	EMASK[4]	EMASK[3]	EMASK[2]	EMASK[1]	EMASK[0]
	SD_CLK_CTRL_0	-	-	-	-	-	-	SDCLKOFFEN	SCLKEN
		DIV[7]	DIV[6]	DIV[5]	DIV[4]	DIV[3]	DIV[2]	DIV[1]	DIV[0]
	SD_SIZE_0	-	-	-	-	-	-	LEN[9]	LEN[8]
		LEN[7]	LEN[6]	LEN[5]	LEN[4]	LEN[3]	LEN[2]	LEN[1]	LEN[0]
	SD_OPTION_0	WIDTH	-	-	-	-	-	-	-
		TOP[27]	TOP[26]	TOP[25]	TOP[24]	CTOP[24]	CTOP[23]	CTOP[22]	CTOP[21]
	SD_ERR_STS1_0	-	E[14]	E[13]	E[12]	E[11]	E[10]	E[9]	E[8]
		-	-	E[5]	E[4]	E[3]	E[2]	E[1]	E[0]
	SD_ERR_STS2_0	-	-	-	-	-	-	-	-
		-	E[6]	E[5]	E[4]	E[3]	E[2]	E[1]	E[0]
	SD_BUF0_0	BUF[31]	BUF[30]	BUF[29]	BUF[28]	BUF[27]	BUF[26]	BUF[25]	BUF[24]
		BUF[23]	BUF[22]	BUF[21]	BUF[20]	BUF[19]	BUF[18]	BUF[17]	BUF[16]
		BUF[15]	BUF[14]	BUF[13]	BUF[12]	BUF[11]	BUF[10]	BUF[9]	BUF[8]
		BUF[7]	BUF[6]	BUF[5]	BUF[4]	BUF[3]	BUF[2]	BUF[1]	BUF[0]
	SDIO_MODE_0	-	-	-	-	-	-	C52PUB	IOABT
		-	-	-	-	-	RWREQ	-	IOMOD
	SDIO_INFO1_0	EXWT	EXPUB52	-	-	-	-	-	-
		-	-	-	-	-	-	-	IOIRQ

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SDホストインタフェース	SDIO_INFO1_MASK_0	MEXWT	MEXPUB52	-	-	-	-	-	-
		-	-	-	-	-	-	-	IOMSK
	CC_EXT_MODE_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	DMASDRW	-
	SOFT_RST_0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	SDRST
	VERSION_0	-	-	-	-	UR[3]	UR[2]	UR[1]	UR[0]
		IP[7]	IP[6]	IP[5]	IP[4]	IP[3]	IP[2]	IP[1]	IP[0]
	EXT_SWAP_0	-	-	-	-	-	-	-	DMASEL
		SDBRSWAP	SDBWSWAP	-	-	-	-	-	-
	SD_CMD_1	MD[7]	MD[6]	MD[5]	MD[4]	MD[3]	MD[2]	MD[1]	MD[0]
		C[1]	C[0]	CF[45]	CF[44]	CF[43]	CF[42]	CF[41]	CF[40]
	SD_ARG0_1	CF[23]	CF[22]	CF[21]	CF[20]	CF[19]	CF[18]	CF[17]	CF[16]
		CF[15]	CF[14]	CF[13]	CF[12]	CF[11]	CF[10]	CF[9]	CF[8]
	SD_ARG1_1	CF[39]	CF[38]	CF[37]	CF[36]	CF[35]	CF[34]	CF[33]	CF[32]
		CF[31]	CF[30]	CF[29]	CF[28]	CF[27]	CF[26]	CF[25]	CF[24]
	SD_STOP_1	-	-	-	-	-	-	-	SEC
		-	-	-	-	-	-	-	STP
	SD_SECCNT_1	CNT[15]	CNT[14]	CNT[13]	CNT[12]	CNT[11]	CNT[10]	CNT[9]	CNT[8]
		CNT[7]	CNT[6]	CNT[5]	CNT[4]	CNT[3]	CNT[2]	CNT[1]	CNT[0]
	SD_RSP00_1	R[23]	R[22]	R[21]	R[20]	R[19]	R[18]	R[17]	R[16]
		R[15]	R[14]	R[13]	R[12]	R[11]	R[10]	R[9]	R[8]
	SD_RSP01_1	R[39]	R[38]	R[37]	R[36]	R[35]	R[34]	R[33]	R[32]
		R[31]	R[30]	R[29]	R[28]	R[27]	R[26]	R[25]	R[24]
	SD_RSP02_1	R[55]	R[54]	R[53]	R[52]	R[51]	R[50]	R[49]	R[48]
		R[47]	R[46]	R[45]	R[44]	R[43]	R[42]	R[41]	R[40]
	SD_RSP03_1	R[71]	R[70]	R[69]	R[68]	R[67]	R[66]	R[65]	R[64]
		R[63]	R[62]	R[61]	R[60]	R[59]	R[58]	R[57]	R[56]
	SD_RSP04_1	R[87]	R[86]	R[85]	R[84]	R[83]	R[82]	R[81]	R[80]
		R[79]	R[78]	R[77]	R[76]	R[75]	R[74]	R[73]	R[72]
	SD_RSP05_1	R[103]	R[102]	R[101]	R[100]	R[99]	R[98]	R[97]	R[96]
		R[95]	R[94]	R[93]	R[92]	R[91]	R[90]	R[89]	R[88]
	SD_RSP06_1	R[119]	R[118]	R[117]	R[116]	R[115]	R[114]	R[113]	R[112]
		R[111]	R[110]	R[109]	R[108]	R[107]	R[106]	R[105]	R[104]
	SD_RSP07_1	-	-	-	-	-	-	-	-
		R[127]	R[126]	R[125]	R[124]	R[123]	R[122]	R[121]	R[120]
	SD_INFO1_1	-	-	-	-	-	INFO[10]	INFO[9]	INFO[8]
		INFO[7]	-	INFO[5]	INFO[4]	INFO[3]	INFO[2]	-	INFO[0]
	SD_INFO2_1	ILA	CBSY	SCLKDIVEN	-	-	-	BWE	BRE
		DAT0	ERR[6]	ERR[5]	ERR[4]	ERR[3]	ERR[2]	ERR[1]	ERR[0]
	SD_INFO1_MASK_1	-	-	-	-	-	-	IMASK[9]	IMASK[8]
		-	-	-	IMASK[4]	IMASK[3]	IMASK[2]	-	IMASK[0]
	SD_INFO2_MASK_1	IMASK	-	-	-	-	-	BMASK[1]	BMASK[0]
		-	EMASK[6]	EMASK[5]	EMASK[4]	EMASK[3]	EMASK[2]	EMASK[1]	EMASK[0]
	SD_CLK_CTRL_1	-	-	-	-	-	-	SDCLKOFFEN	SCLKEN
		DIV[7]	DIV[6]	DIV[5]	DIV[4]	DIV[3]	DIV[2]	DIV[1]	DIV[0]
	SD_SIZE_1	-	-	-	-	-	-	LEN[9]	LEN[8]
		LEN[7]	LEN[6]	LEN[5]	LEN[4]	LEN[3]	LEN[2]	LEN[1]	LEN[0]
	SD_OPTION_1	WIDTH	-	-	-	-	-	-	-
		TOP[27]	TOP[26]	TOP[25]	TOP[24]	CTOP[24]	CTOP[23]	CTOP[22]	CTOP[21]
	SD_ERR_STS1_1	-	E[14]	E[13]	E[12]	E[11]	E[10]	E[9]	E[8]
		-	-	E[5]	E[4]	E[3]	E[2]	E[1]	E[0]
	SD_ERR_STS2_1	-	-	-	-	-	-	-	-
		-	E[6]	E[5]	E[4]	E[3]	E[2]	E[1]	E[0]
	SD_BUF0_1	BUF[31]	BUF[30]	BUF[29]	BUF[28]	BUF[27]	BUF[26]	BUF[25]	BUF[24]
		BUF[23]	BUF[22]	BUF[21]	BUF[20]	BUF[19]	BUF[18]	BUF[17]	BUF[16]
		BUF[15]	BUF[14]	BUF[13]	BUF[12]	BUF[11]	BUF[10]	BUF[9]	BUF[8]
		BUF[7]	BUF[6]	BUF[5]	BUF[4]	BUF[3]	BUF[2]	BUF[1]	BUF[0]
	SDIO_MODE_1	-	-	-	-	-	-	C52PUB	IOABT
		-	-	-	-	-	RWREQ	-	IOMOD

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
SDホストインタフェース	SDIO_INFO1_1	EXWT	EXPUB52	-	-	-	-	-	-
		-	-	-	-	-	-	-	IOIRQ
	SDIO_INFO1_MASK_1	MEXWT	MEXPUB52	-	-	-	-	-	-
		-	-	-	-	-	-	-	IOMSK
	CC_EXT_MODE_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	DMASDRW	-
	SOFT_RST_1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	SDRST
	VERSION_1	-	-	-	-	UR[3]	UR[2]	UR[1]	UR[0]
		IP[7]	IP[6]	IP[5]	IP[4]	IP[3]	IP[2]	IP[1]	IP[0]
	EXT_SWAP_1	-	-	-	-	-	-	-	DMASEL
		SDBRSWAP	SDBWSWAP	-	-	-	-	-	-
MMCホストインタフェース	CE_CMD_SET	—	—	CMD[5]	CMD[4]	CMD[3]	CMD[2]	CMD[1]	CMD[0]
		RTYP[1]	RTYP[0]	RBSY	—	WDAT	DWEN	CMLTE	CMD12EN
		RIDXC[1]	RIDXC[0]	RCRC7C[1]	RCRC7C[0]	—	CRC16C	—	CRCSTE
		TBIT	OPDM	—	—	SBIT	—	DATW[1]	DATW[0]
	CE_ARG	ARG[31]	ARG[30]	ARG[29]	ARG[28]	ARG[27]	ARG[26]	ARG[25]	ARG[24]
		ARG[23]	ARG[22]	ARG[21]	ARG[20]	ARG[19]	ARG[18]	ARG[17]	ARG[16]
		ARG[15]	ARG[14]	ARG[13]	ARG[12]	ARG[11]	ARG[10]	ARG[9]	ARG[8]
		ARG[7]	ARG[6]	ARG[5]	ARG[4]	ARG[3]	ARG[2]	ARG[1]	ARG[0]
	CE_ARG_CMD12	C12ARG[31]	C12ARG[30]	C12ARG[29]	C12ARG[28]	C12ARG[27]	C12ARG[26]	C12ARG[25]	C12ARG[24]
		C12ARG[23]	C12ARG[22]	C12ARG[21]	C12ARG[20]	C12ARG[19]	C12ARG[18]	C12ARG[17]	C12ARG[16]
		C12ARG[15]	C12ARG[14]	C12ARG[13]	C12ARG[12]	C12ARG[11]	C12ARG[10]	C12ARG[9]	C12ARG[8]
		C12ARG[7]	C12ARG[6]	C12ARG[5]	C12ARG[4]	C12ARG[3]	C12ARG[2]	C12ARG[1]	C12ARG[0]
	CE_CMD_CTRL	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	BREAK
	CE_BLOCK_SET	BLKCNT[15]	BLKCNT[14]	BLKCNT[13]	BLKCNT[12]	BLKCNT[11]	BLKCNT[10]	BLKCNT[9]	BLKCNT[8]
		BLKCNT[7]	BLKCNT[6]	BLKCNT[5]	BLKCNT[4]	BLKCNT[3]	BLKCNT[2]	BLKCNT[1]	BLKCNT[0]
		BLKSIZ[15]	BLKSIZ[14]	BLKSIZ[13]	BLKSIZ[12]	BLKSIZ[11]	BLKSIZ[10]	BLKSIZ[9]	BLKSIZ[8]
		BLKSIZ[7]	BLKSIZ[6]	BLKSIZ[5]	BLKSIZ[4]	BLKSIZ[3]	BLKSIZ[2]	BLKSIZ[1]	BLKSIZ[0]
	CE_CLK_CTRL	—	—	—	—	—	—	—	CLKEN
		—	—	—	—	CLKDIV[3]	CLKDIV[2]	CLKDIV[1]	CLKDIV[0]
		—	—	SRSPTO[1]	SRSPTO[0]	SRBSYTO[3]	SRBSYTO[2]	SRBSYTO[1]	SRBSYTO[0]
		SRWDTO[3]	SRWDTO[2]	SRWDTO[1]	SRWDTO[0]	—	—	—	—
	CE_BUF_ACC	—	—	—	—	—	—	DMAWEN	DMAREN
		—	—	—	—	—	—	BUSW	ATYP
		—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
	CE_RESP3	RSP[127]	RSP[126]	RSP[125]	RSP[124]	RSP[123]	RSP[122]	RSP[121]	RSP[120]
		RSP[119]	RSP[118]	RSP[117]	RSP[116]	RSP[115]	RSP[114]	RSP[113]	RSP[112]
		RSP[111]	RSP[110]	RSP[109]	RSP[108]	RSP[107]	RSP[106]	RSP[105]	RSP[104]
		RSP[103]	RSP[102]	RSP[101]	RSP[100]	RSP[99]	RSP[98]	RSP[97]	RSP[96]
	CE_RESP2	RSP[95]	RSP[94]	RSP[93]	RSP[92]	RSP[91]	RSP[90]	RSP[89]	RSP[88]
		RSP[87]	RSP[86]	RSP[85]	RSP[84]	RSP[83]	RSP[82]	RSP[81]	RSP[80]
		RSP[79]	RSP[78]	RSP[77]	RSP[76]	RSP[75]	RSP[74]	RSP[73]	RSP[72]
		RSP[71]	RSP[70]	RSP[69]	RSP[68]	RSP[67]	RSP[66]	RSP[65]	RSP[64]
	CE_RESP1	RSP[63]	RSP[62]	RSP[61]	RSP[60]	RSP[59]	RSP[58]	RSP[57]	RSP[56]
		RSP[55]	RSP[54]	RSP[53]	RSP[52]	RSP[51]	RSP[50]	RSP[49]	RSP[48]
		RSP[47]	RSP[46]	RSP[45]	RSP[44]	RSP[43]	RSP[42]	RSP[41]	RSP[40]
		RSP[39]	RSP[38]	RSP[37]	RSP[36]	RSP[35]	RSP[34]	RSP[33]	RSP[32]
	CE_RESP0	RSP[31]	RSP[30]	RSP[29]	RSP[28]	RSP[27]	RSP[26]	RSP[25]	RSP[24]
		RSP[23]	RSP[22]	RSP[21]	RSP[20]	RSP[19]	RSP[18]	RSP[17]	RSP[16]
		RSP[15]	RSP[14]	RSP[13]	RSP[12]	RSP[11]	RSP[10]	RSP[9]	RSP[8]
		RSP[7]	RSP[6]	RSP[5]	RSP[4]	RSP[3]	RSP[2]	RSP[1]	RSP[0]
	CE_RESP_CMD12	RSP12[31]	RSP12[30]	RSP12[29]	RSP12[28]	RSP12[27]	RSP12[26]	RSP12[25]	RSP12[24]
		RSP12[23]	RSP12[22]	RSP12[21]	RSP12[20]	RSP12[19]	RSP12[18]	RSP12[17]	RSP12[16]
		RSP12[15]	RSP12[14]	RSP12[13]	RSP12[12]	RSP12[11]	RSP12[10]	RSP12[9]	RSP12[8]
		RSP12[7]	RSP12[6]	RSP12[5]	RSP12[4]	RSP12[3]	RSP12[2]	RSP12[1]	RSP12[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
MMCホストインタフェース	CE_DATA	DATA[31]	DATA[30]	DATA[29]	DATA[28]	DATA[27]	DATA[26]	DATA[25]	DATA[24]
		DATA[23]	DATA[22]	DATA[21]	DATA[20]	DATA[19]	DATA[18]	DATA[17]	DATA[16]
		DATA[15]	DATA[14]	DATA[13]	DATA[12]	DATA[11]	DATA[10]	DATA[9]	DATA[8]
		DATA[7]	DATA[6]	DATA[5]	DATA[4]	DATA[3]	DATA[2]	DATA[1]	DATA[0]
	CE_INT	–	–	–	–	–	CMD12DRE	CMD12RBE	CMD12CRE
		DTRANE	BUFRE	BUFWEN	BUFREN	–	–	RBSYE	CRSPE
		CMDVIO	BUFVIO	–	–	WDATERR	RDATERR	RIDXERR	RSPERR
		–	–	–	CRCSTO	WDATTO	RDATTO	RBSYTO	RSPTO
	CE_INT_EN	–	–	–	–	–	MCMD12DRE	MCMD12RBE	MCMD12CRE
		MDTRANE	MBUFRE	MBUFWEN	MBUFREN	–	–	MRBSYE	MCRSPE
		MCMDVIO	MBUFVIO	–	–	MWDATERR	MRDATERR	MRIDXERR	MRSPERR
		–	–	–	MCRCSTO	MWDATTO	MRDATTO	MRBSYTO	MRSPTO
	CE_HOST_STS1	CMDSEQ	CMDSIG	RSPIDX[5]	RSPIDX[4]	RSPIDX[3]	RSPIDX[2]	RSPIDX[1]	RSPIDX[0]
		DATSIG[7]	DATSIG[6]	DATSIG[5]	DATSIG[4]	DATSIG[3]	DATSIG[2]	DATSIG[1]	DATSIG[0]
		RCVBLK[15]	RCVBLK[14]	RCVBLK[13]	RCVBLK[12]	RCVBLK[11]	RCVBLK[10]	RCVBLK[9]	RCVBLK[8]
		RCVBLK[7]	RCVBLK[6]	RCVBLK[5]	RCVBLK[4]	RCVBLK[3]	RCVBLK[2]	RCVBLK[1]	RCVBLK[0]
	CE_HOST_STS2	CRCSTE	CRC16E	AC12CRCE	RSPCRC7E	CRCSTEBE	RDATEBE	AC12REBE	RSPEBE
		AC12IDXE	RSPIDXE	–	–	–	CRCST[2]	CRCST[1]	CRCST[0]
		–	STRDATTO	DATBSYTO	CRCSTTO	AC12BSYTO	RSPBSYTO	AC12RSPTO	STRSPTO
		–	–	–	–	–	–	–	–
	CE_DMA_MODE	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	DMASEL
	CE_DETECT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	CDSIG	CDRISE	CDFALL	–	–	–	–
		–	–	MCDRISE	MCDFALL	–	–	–	–
	CE_ADD_MODE	–	–	–	–	–	–	–	–
		–	–	–	–	CLKMAIN	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	CE_VERSION	SWRST	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		VERSION[15]	VERSION[14]	VERSION[13]	VERSION[12]	VERSION[11]	VERSION[10]	VERSION[9]	VERSION[8]
		VERSION[7]	VERSION[6]	VERSION[5]	VERSION[4]	VERSION[3]	VERSION[2]	VERSION[1]	VERSION[0]
汎用入出力ポート	P1	–	–	–	–	–	–	–	–
		P1[7]	P1[6]	P1[5]	P1[4]	P1[3]	P1[2]	P1[1]	P1[0]
	P2	–	–	–	–	–	–	P2[9]	P2[8]
		P2[7]	P2[6]	P2[5]	P2[4]	P2[3]	P2[2]	P2[1]	P2[0]
	P3	P3[15]	P3[14]	P3[13]	P3[12]	P3[11]	P3[10]	P3[9]	P3[8]
		P3[7]	P3[6]	P3[5]	P3[4]	P3[3]	P3[2]	P3[1]	P3[0]
	P4	–	–	–	–	–	–	–	–
		P4[7]	P4[6]	P4[5]	P4[4]	P4[3]	P4[2]	P4[1]	P4[0]
	P5	P5[15]	P5[14]	P5[13]	P5[12]	P5[11]	P5[10]	P5[9]	P5[8]
		P5[7]	P5[6]	P5[5]	P5[4]	P5[3]	P5[2]	P5[1]	P5[0]
	P6	P6[15]	P6[14]	P6[13]	P6[12]	P6[11]	P6[10]	P6[9]	P6[8]
		P6[7]	P6[6]	P6[5]	P6[4]	P6[3]	P6[2]	P6[1]	P6[0]
	P7	–	–	–	–	P7[11]	P7[10]	P7[9]	P7[8]
		P7[7]	P7[6]	P7[5]	P7[4]	P7[3]	P7[2]	P7[1]	P7[0]
	P8	P8[15]	P8[14]	P8[13]	P8[12]	P8[11]	P8[10]	P8[9]	P8[8]
		P8[7]	P8[6]	P8[5]	P8[4]	P8[3]	P8[2]	P8[1]	P8[0]
	P9	–	–	–	–	–	–	–	–
		–	–	P9[5]	P9[4]	P9[3]	P9[2]	P9[1]	P9[0]
	PSR1	–	–	–	–	–	–	–	–
		PSR1[23]	PSR1[22]	PSR1[21]	PSR1[20]	PSR1[19]	PSR1[18]	PSR1[17]	PSR1[16]
		–	–	–	–	–	–	–	–
		PSR1[7]	PSR1[6]	PSR1[5]	PSR1[4]	PSR1[3]	PSR1[2]	PSR1[1]	PSR1[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
汎用入出力ポート	PSR2	–	–	–	–	–	–	PSR2[25]	PSR2[24]
		PSR2[23]	PSR2[22]	PSR2[21]	PSR2[20]	PSR2[19]	PSR2[18]	PSR2[17]	PSR2[16]
		–	–	–	–	–	–	PSR2[9]	PSR2[8]
		PSR2[7]	PSR2[6]	PSR2[5]	PSR2[4]	PSR2[3]	PSR2[2]	PSR2[1]	PSR2[0]
	PSR3	PSR3[31]	PSR3[30]	PSR3[29]	PSR3[28]	PSR3[27]	PSR3[26]	PSR3[25]	PSR3[24]
		PSR3[23]	PSR3[22]	PSR3[21]	PSR3[20]	PSR3[19]	PSR3[18]	PSR3[17]	PSR3[16]
		PSR3[15]	PSR3[14]	PSR3[13]	PSR3[12]	PSR3[11]	PSR3[10]	PSR3[9]	PSR3[8]
		PSR3[7]	PSR3[6]	PSR3[5]	PSR3[4]	PSR3[3]	PSR3[2]	PSR3[1]	PSR3[0]
	PSR4	–	–	–	–	–	–	–	–
		PSR4[23]	PSR4[22]	PSR4[21]	PSR4[20]	PSR4[19]	PSR4[18]	PSR4[17]	PSR4[16]
		–	–	–	–	–	–	–	–
		PSR4[7]	PSR4[6]	PSR4[5]	PSR4[4]	PSR4[3]	PSR4[2]	PSR4[1]	PSR4[0]
	PSR5	PSR5[31]	PSR5[30]	PSR5[29]	PSR5[28]	PSR5[27]	PSR5[26]	PSR5[25]	PSR5[24]
		PSR5[23]	PSR5[22]	PSR5[21]	PSR5[20]	PSR5[19]	PSR5[18]	PSR5[17]	PSR5[16]
		PSR5[15]	PSR5[14]	PSR5[13]	PSR5[12]	PSR5[11]	PSR5[10]	PSR5[9]	PSR5[8]
		PSR5[7]	PSR5[6]	PSR5[5]	PSR5[4]	PSR5[3]	PSR5[2]	PSR5[1]	PSR5[0]
	PSR6	PSR6[31]	PSR6[30]	PSR6[29]	PSR6[28]	PSR6[27]	PSR6[26]	PSR6[25]	PSR6[24]
		PSR6[23]	PSR6[22]	PSR6[21]	PSR6[20]	PSR6[19]	PSR6[18]	PSR6[17]	PSR6[16]
		PSR6[15]	PSR6[14]	PSR6[13]	PSR6[12]	PSR6[11]	PSR6[10]	PSR6[9]	PSR6[8]
		PSR6[7]	PSR6[6]	PSR6[5]	PSR6[4]	PSR6[3]	PSR6[2]	PSR6[1]	PSR6[0]
	PSR7	–	–	–	–	PSR7[27]	PSR7[26]	PSR7[25]	PSR7[24]
		PSR7[23]	PSR7[22]	PSR7[21]	PSR7[20]	PSR7[19]	PSR7[18]	PSR7[17]	PSR7[16]
		–	–	–	–	PSR7[11]	PSR7[10]	PSR7[9]	PSR7[8]
		PSR7[7]	PSR7[6]	PSR7[5]	PSR7[4]	PSR7[3]	PSR7[2]	PSR7[1]	PSR7[0]
	PSR8	PSR8[31]	PSR8[30]	PSR8[29]	PSR8[28]	PSR8[27]	PSR8[26]	PSR8[25]	PSR8[24]
		PSR8[23]	PSR8[22]	PSR8[21]	PSR8[20]	PSR8[19]	PSR8[18]	PSR8[17]	PSR8[16]
		PSR8[15]	PSR8[14]	PSR8[13]	PSR8[12]	PSR8[11]	PSR8[10]	PSR8[9]	PSR8[8]
		PSR8[7]	PSR8[6]	PSR8[5]	PSR8[4]	PSR8[3]	PSR8[2]	PSR8[1]	PSR8[0]
	PSR9	–	–	–	–	–	–	–	–
		–	–	PSR9[21]	PSR9[20]	PSR9[19]	PSR9[18]	PSR9[17]	PSR9[16]
		–	–	–	–	–	–	–	–
		–	–	PSR9[5]	PSR9[4]	PSR9[3]	PSR9[2]	PSR9[1]	PSR9[0]
	PPR0	–	–	–	–	–	–	–	–
		–	–	–	–	PPR0[3]	PPR0[2]	PPR0[1]	PPR0[0]
	PPR1	PPR1[15]	PPR1[14]	PPR1[13]	PPR1[12]	PPR1[11]	PPR1[10]	PPR1[9]	PPR1[8]
		PPR1[7]	PPR1[6]	PPR1[5]	PPR1[4]	PPR1[3]	PPR1[2]	PPR1[1]	PPR1[0]
	PPR2	–	–	–	–	–	–	PPR2[9]	PPR2[8]
		PPR2[7]	PPR2[6]	PPR2[5]	PPR2[4]	PPR2[3]	PPR2[2]	PPR2[1]	PPR2[0]
	PPR3	PPR3[15]	PPR3[14]	PPR3[13]	PPR3[12]	PPR3[11]	PPR3[10]	PPR3[9]	PPR3[8]
		PPR3[7]	PPR3[6]	PPR3[5]	PPR3[4]	PPR3[3]	PPR3[2]	PPR3[1]	PPR3[0]
	PPR4	–	–	–	–	–	–	–	–
		PPR4[7]	PPR4[6]	PPR4[5]	PPR4[4]	PPR4[3]	PPR4[2]	PPR4[1]	PPR4[0]
	PPR5	PPR5[15]	PPR5[14]	PPR5[13]	PPR5[12]	PPR5[11]	PPR5[10]	PPR5[9]	PPR5[8]
		PPR5[7]	PPR5[6]	PPR5[5]	PPR5[4]	PPR5[3]	PPR5[2]	PPR5[1]	PPR5[0]
	PPR6	PPR6[15]	PPR6[14]	PPR6[13]	PPR6[12]	PPR6[11]	PPR6[10]	PPR6[9]	PPR6[8]
		PPR6[7]	PPR6[6]	PPR6[5]	PPR6[4]	PPR6[3]	PPR6[2]	PPR6[1]	PPR6[0]
	PPR7	–	–	–	–	PPR7[11]	PPR7[10]	PPR7[9]	PPR7[8]
		PPR7[7]	PPR7[6]	PPR7[5]	PPR7[4]	PPR7[3]	PPR7[2]	PPR7[1]	PPR7[0]
	PPR8	PPR8[15]	PPR8[14]	PPR8[13]	PPR8[12]	PPR8[11]	PPR8[10]	PPR8[9]	PPR8[8]
		PPR8[7]	PPR8[6]	PPR8[5]	PPR8[4]	PPR8[3]	PPR8[2]	PPR8[1]	PPR8[0]
	PPR9	–	–	–	–	–	–	–	–
		–	–	PPR9[5]	PPR9[4]	PPR9[3]	PPR9[2]	PPR9[1]	PPR9[0]
	PM1	–	–	–	–	–	–	–	–
		PM1[7]	PM1[6]	PM1[5]	PM1[4]	PM1[3]	PM1[2]	PM1[1]	PM1[0]
	PM2	–	–	–	–	–	–	PM2[9]	PM2[8]
		PM2[7]	PM2[6]	PM2[5]	PM2[4]	PM2[3]	PM2[2]	PM2[1]	PM2[0]
	PM3	PM3[15]	PM3[14]	PM3[13]	PM3[12]	PM3[11]	PM3[10]	PM3[9]	PM3[8]
		PM3[7]	PM3[6]	PM3[5]	PM3[4]	PM3[3]	PM3[2]	PM3[1]	PM3[0]
	PM4	–	–	–	–	–	–	–	–
		PM4[7]	PM4[6]	PM4[5]	PM4[4]	PM4[3]	PM4[2]	PM4[1]	PM4[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
汎用入出力ポート	PM5	PM5[15]	PM5[14]	PM5[13]	PM5[12]	PM5[11]	PM5[10]	PM5[9]	PM5[8]
		PM5[7]	PM5[6]	PM5[5]	PM5[4]	PM5[3]	PM5[2]	PM5[1]	PM5[0]
	PM6	PM6[15]	PM6[14]	PM6[13]	PM6[12]	PM6[11]	PM6[10]	PM6[9]	PM6[8]
		PM6[7]	PM6[6]	PM6[5]	PM6[4]	PM6[3]	PM6[2]	PM6[1]	PM6[0]
	PM7	–	–	–	–	PM7[11]	PM7[10]	PM7[9]	PM7[8]
		PM7[7]	PM7[6]	PM7[5]	PM7[4]	PM7[3]	PM7[2]	PM7[1]	PM7[0]
	PM8	PM8[15]	PM8[14]	PM8[13]	PM8[12]	PM8[11]	PM8[10]	PM8[9]	PM8[8]
		PM8[7]	PM8[6]	PM8[5]	PM8[4]	PM8[3]	PM8[2]	PM8[1]	PM8[0]
	PM9	–	–	–	–	–	–	–	–
		–	–	PM9[5]	PM9[4]	PM9[3]	PM9[2]	PM9[1]	PM9[0]
	PMC0	–	–	–	–	–	–	–	–
		–	–	–	–	PMC0[3]	PMC0[2]	PMC0[1]	PMC0[0]
	PMC1	PMC1[15]	PMC1[14]	PMC1[13]	PMC1[12]	PMC1[11]	PMC1[10]	PMC1[9]	PMC1[8]
		PMC1[7]	PMC1[6]	PMC1[5]	PMC1[4]	PMC1[3]	PMC1[2]	PMC1[1]	PMC1[0]
	PMC2	–	–	–	–	–	–	PMC2[9]	PMC2[8]
		PMC2[7]	PMC2[6]	PMC2[5]	PMC2[4]	PMC2[3]	PMC2[2]	PMC2[1]	PMC2[0]
	PMC3	PMC3[15]	PMC3[14]	PMC3[13]	PMC3[12]	PMC3[11]	PMC3[10]	PMC3[9]	PMC3[8]
		PMC3[7]	PMC3[6]	PMC3[5]	PMC3[4]	PMC3[3]	PMC3[2]	PMC3[1]	PMC3[0]
	PMC4	–	–	–	–	–	–	–	–
		PMC4[7]	PMC4[6]	PMC4[5]	PMC4[4]	PMC4[3]	PMC4[2]	PMC4[1]	PMC4[0]
	PMC5	PMC5[15]	PMC5[14]	PMC5[13]	PMC5[12]	PMC5[11]	PMC5[10]	PMC5[9]	PMC5[8]
		PMC5[7]	PMC5[6]	PMC5[5]	PMC5[4]	PMC5[3]	PMC5[2]	PMC5[1]	PMC5[0]
	PMC6	PMC6[15]	PMC6[14]	PMC6[13]	PMC6[12]	PMC6[11]	PMC6[10]	PMC6[9]	PMC6[8]
		PMC6[7]	PMC6[6]	PMC6[5]	PMC6[4]	PMC6[3]	PMC6[2]	PMC6[1]	PMC6[0]
	PMC7	–	–	–	–	PMC7[11]	PMC7[10]	PMC7[9]	PMC7[8]
		PMC7[7]	PMC7[6]	PMC7[5]	PMC7[4]	PMC7[3]	PMC7[2]	PMC7[1]	PMC7[0]
	PMC8	PMC8[15]	PMC8[14]	PMC8[13]	PMC8[12]	PMC8[11]	PMC8[10]	PMC8[9]	PMC8[8]
		PMC8[7]	PMC8[6]	PMC8[5]	PMC8[4]	PMC8[3]	PMC8[2]	PMC8[1]	PMC8[0]
	PMC9	–	–	–	–	–	–	–	–
		–	–	PMC9[5]	PMC9[4]	PMC9[3]	PMC9[2]	PMC9[1]	PMC9[0]
	PFC0	–	–	–	–	–	–	–	–
		–	–	–	–	PFC0[3]	PFC0[2]	PFC0[1]	PFC0[0]
	PFC1	PFC1[15]	PFC1[14]	PFC1[13]	PFC1[12]	PFC1[11]	PFC1[10]	PFC1[9]	PFC1[8]
		PFC1[7]	PFC1[6]	PFC1[5]	PFC1[4]	PFC1[3]	PFC1[2]	PFC1[1]	PFC1[0]
	PFC2	–	–	–	–	–	–	PFC2[9]	PFC2[8]
		PFC2[7]	PFC2[6]	PFC2[5]	PFC2[4]	PFC2[3]	PFC2[2]	PFC2[1]	PFC2[0]
	PFC3	PFC3[15]	PFC3[14]	PFC3[13]	PFC3[12]	PFC3[11]	PFC3[10]	PFC3[9]	PFC3[8]
		PFC3[7]	PFC3[6]	PFC3[5]	PFC3[4]	PFC3[3]	PFC3[2]	PFC3[1]	PFC3[0]
	PFC4	–	–	–	–	–	–	–	–
		PFC4[7]	PFC4[6]	PFC4[5]	PFC4[4]	PFC4[3]	PFC4[2]	PFC4[1]	PFC4[0]
	PFC5	PFC5[15]	PFC5[14]	PFC5[13]	PFC5[12]	PFC5[11]	PFC5[10]	PFC5[9]	PFC5[8]
		PFC5[7]	PFC5[6]	PFC5[5]	PFC5[4]	PFC5[3]	PFC5[2]	PFC5[1]	PFC5[0]
	PFC6	PFC6[15]	PFC6[14]	PFC6[13]	PFC6[12]	PFC6[11]	PFC6[10]	PFC6[9]	PFC6[8]
		PFC6[7]	PFC6[6]	PFC6[5]	PFC6[4]	PFC6[3]	PFC6[2]	PFC6[1]	PFC6[0]
	PFC7	–	–	–	–	PFC7[11]	PFC7[10]	PFC7[9]	PFC7[8]
		PFC7[7]	PFC7[6]	PFC7[5]	PFC7[4]	PFC7[3]	PFC7[2]	PFC7[1]	PFC7[0]
	PFC8	PFC8[15]	PFC8[14]	PFC8[13]	PFC8[12]	PFC8[11]	PFC8[10]	PFC8[9]	PFC8[8]
		PFC8[7]	PFC8[6]	PFC8[5]	PFC8[4]	PFC8[3]	PFC8[2]	PFC8[1]	PFC8[0]
	PFC9	–	–	–	–	–	–	–	–
		–	–	PFC9[5]	PFC9[4]	PFC9[3]	PFC9[2]	PFC9[1]	PFC9[0]
	PFCE0	–	–	–	–	–	–	–	–
		–	–	–	–	PFCE0[3]	PFCE0[2]	PFCE0[1]	PFCE0[0]
	PFCE1	PFCE1[15]	PFCE1[14]	PFCE1[13]	PFCE1[12]	PFCE1[11]	PFCE1[10]	PFCE1[9]	PFCE1[8]
		PFCE1[7]	PFCE1[6]	PFCE1[5]	PFCE1[4]	PFCE1[3]	PFCE1[2]	PFCE1[1]	PFCE1[0]
	PFCE2	–	–	–	–	–	–	PFCE2[9]	PFCE2[8]
		PFCE2[7]	PFCE2[6]	PFCE2[5]	PFCE2[4]	PFCE2[3]	PFCE2[2]	PFCE2[1]	PFCE2[0]
	PFCE3	PFCE3[15]	PFCE3[14]	PFCE3[13]	PFCE3[12]	PFCE3[11]	PFCE3[10]	PFCE3[9]	PFCE3[8]
		PFCE3[7]	PFCE3[6]	PFCE3[5]	PFCE3[4]	PFCE3[3]	PFCE3[2]	PFCE3[1]	PFCE3[0]
	PFCE4	–	–	–	–	–	–	–	–
		PFCE4[7]	PFCE4[6]	PFCE4[5]	PFCE4[4]	PFCE4[3]	PFCE4[2]	PFCE4[1]	PFCE4[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
汎用入出力ポート	PFCE5	PFCE5[15]	PFCE5[14]	PFCE5[13]	PFCE5[12]	PFCE5[11]	PFCE5[10]	PFCE5[9]	PFCE5[8]
		PFCE5[7]	PFCE5[6]	PFCE5[5]	PFCE5[4]	PFCE5[3]	PFCE5[2]	PFCE5[1]	PFCE5[0]
	PFCE6	PFCE6[15]	PFCE6[14]	PFCE6[13]	PFCE6[12]	PFCE6[11]	PFCE6[10]	PFCE6[9]	PFCE6[8]
		PFCE6[7]	PFCE6[6]	PFCE6[5]	PFCE6[4]	PFCE6[3]	PFCE6[2]	PFCE6[1]	PFCE6[0]
	PFCE7	–	–	–	–	PFCE7[11]	PFCE7[10]	PFCE7[9]	PFCE7[8]
		PFCE7[7]	PFCE7[6]	PFCE7[5]	PFCE7[4]	PFCE7[3]	PFCE7[2]	PFCE7[1]	PFCE7[0]
	PFCE8	PFCE8[15]	PFCE8[14]	PFCE8[13]	PFCE8[12]	PFCE8[11]	PFCE8[10]	PFCE8[9]	PFCE8[8]
		PFCE8[7]	PFCE8[6]	PFCE8[5]	PFCE8[4]	PFCE8[3]	PFCE8[2]	PFCE8[1]	PFCE8[0]
	PFCE9	–	–	–	–	–	–	–	–
		–	–	PFCE9[5]	PFCE9[4]	PFCE9[3]	PFCE9[2]	PFCE9[1]	PFCE9[0]
	PNOT1	–	–	–	–	–	–	–	–
		PNOT1[7]	PNOT1[6]	PNOT1[5]	PNOT1[4]	PNOT1[3]	PNOT1[2]	PNOT1[1]	PNOT1[0]
	PNOT2	–	–	–	–	–	–	PNOT2[9]	PNOT2[8]
		PNOT2[7]	PNOT2[6]	PNOT2[5]	PNOT2[4]	PNOT2[3]	PNOT2[2]	PNOT2[1]	PNOT2[0]
	PNOT3	PNOT3[15]	PNOT3[14]	PNOT3[13]	PNOT3[12]	PNOT3[11]	PNOT3[10]	PNOT3[9]	PNOT3[8]
		PNOT3[7]	PNOT3[6]	PNOT3[5]	PNOT3[4]	PNOT3[3]	PNOT3[2]	PNOT3[1]	PNOT3[0]
	PNOT4	–	–	–	–	–	–	–	–
		PNOT4[7]	PNOT4[6]	PNOT4[5]	PNOT4[4]	PNOT4[3]	PNOT4[2]	PNOT4[1]	PNOT4[0]
	PNOT5	PNOT5[15]	PNOT5[14]	PNOT5[13]	PNOT5[12]	PNOT5[11]	PNOT5[10]	PNOT5[9]	PNOT5[8]
		PNOT5[7]	PNOT5[6]	PNOT5[5]	PNOT5[4]	PNOT5[3]	PNOT5[2]	PNOT5[1]	PNOT5[0]
	PNOT6	PNOT6[15]	PNOT6[14]	PNOT6[13]	PNOT6[12]	PNOT6[11]	PNOT6[10]	PNOT6[9]	PNOT6[8]
		PNOT6[7]	PNOT6[6]	PNOT6[5]	PNOT6[4]	PNOT6[3]	PNOT6[2]	PNOT6[1]	PNOT6[0]
	PNOT7	–	–	–	–	PNOT7[11]	PNOT7[10]	PNOT7[9]	PNOT7[8]
		PNOT7[7]	PNOT7[6]	PNOT7[5]	PNOT7[4]	PNOT7[3]	PNOT7[2]	PNOT7[1]	PNOT7[0]
	PNOT8	PNOT8[15]	PNOT8[14]	PNOT8[13]	PNOT8[12]	PNOT8[11]	PNOT8[10]	PNOT8[9]	PNOT8[8]
		PNOT8[7]	PNOT8[6]	PNOT8[5]	PNOT8[4]	PNOT8[3]	PNOT8[2]	PNOT8[1]	PNOT8[0]
	PNOT9	–	–	–	–	–	–	–	–
		–	–	PNOT9[5]	PNOT9[4]	PNOT9[3]	PNOT9[2]	PNOT9[1]	PNOT9[0]
	PMSR1	–	–	–	–	–	–	–	–
		PMSR1[23]	PMSR1[22]	PMSR1[21]	PMSR1[20]	PMSR1[19]	PMSR1[18]	PMSR1[17]	PMSR1[16]
		–	–	–	–	–	–	–	–
		PMSR1[7]	PMSR1[6]	PMSR1[5]	PMSR1[4]	PMSR1[3]	PMSR1[2]	PMSR1[1]	PMSR1[0]
	PMSR2	–	–	–	–	–	–	PMSR2[25]	PMSR2[24]
		PMSR2[23]	PMSR2[22]	PMSR2[21]	PMSR2[20]	PMSR2[19]	PMSR2[18]	PMSR2[17]	PMSR2[16]
		–	–	–	–	–	–	PMSR2[9]	PMSR2[8]
		PMSR2[7]	PMSR2[6]	PMSR2[5]	PMSR2[4]	PMSR2[3]	PMSR2[2]	PMSR2[1]	PMSR2[0]
	PMSR3	PMSR3[31]	PMSR3[30]	PMSR3[29]	PMSR3[28]	PMSR3[27]	PMSR3[26]	PMSR3[25]	PMSR3[24]
		PMSR3[23]	PMSR3[22]	PMSR3[21]	PMSR3[20]	PMSR3[19]	PMSR3[18]	PMSR3[17]	PMSR3[16]
		PMSR3[15]	PMSR3[14]	PMSR3[13]	PMSR3[12]	PMSR3[11]	PMSR3[10]	PMSR3[9]	PMSR3[8]
		PMSR3[7]	PMSR3[6]	PMSR3[5]	PMSR3[4]	PMSR3[3]	PMSR3[2]	PMSR3[1]	PMSR3[0]
	PMSR4	–	–	–	–	–	–	–	–
		PMSR4[23]	PMSR4[22]	PMSR4[21]	PMSR4[20]	PMSR4[19]	PMSR4[18]	PMSR4[17]	PMSR4[16]
		–	–	–	–	–	–	–	–
		PMSR4[7]	PMSR4[6]	PMSR4[5]	PMSR4[4]	PMSR4[3]	PMSR4[2]	PMSR4[1]	PMSR4[0]
	PMSR5	PMSR5[31]	PMSR5[30]	PMSR5[29]	PMSR5[28]	PMSR5[27]	PMSR5[26]	PMSR5[25]	PMSR5[24]
		PMSR5[23]	PMSR5[22]	PMSR5[21]	PMSR5[20]	PMSR5[19]	PMSR5[18]	PMSR5[17]	PMSR5[16]
		PMSR5[15]	PMSR5[14]	PMSR5[13]	PMSR5[12]	PMSR5[11]	PMSR5[10]	PMSR5[9]	PMSR5[8]
		PMSR5[7]	PMSR5[6]	PMSR5[5]	PMSR5[4]	PMSR5[3]	PMSR5[2]	PMSR5[1]	PMSR5[0]
	PMSR6	PMSR6[31]	PMSR6[30]	PMSR6[29]	PMSR6[28]	PMSR6[27]	PMSR6[26]	PMSR6[25]	PMSR6[24]
		PMSR6[23]	PMSR6[22]	PMSR6[21]	PMSR6[20]	PMSR6[19]	PMSR6[18]	PMSR6[17]	PMSR6[16]
		PMSR6[15]	PMSR6[14]	PMSR6[13]	PMSR6[12]	PMSR6[11]	PMSR6[10]	PMSR6[9]	PMSR6[8]
		PMSR6[7]	PMSR6[6]	PMSR6[5]	PMSR6[4]	PMSR6[3]	PMSR6[2]	PMSR6[1]	PMSR6[0]
	PMSR7	–	–	–	–	PMSR7[27]	PMSR7[26]	PMSR7[25]	PMSR7[24]
		PMSR7[23]	PMSR7[22]	PMSR7[21]	PMSR7[20]	PMSR7[19]	PMSR7[18]	PMSR7[17]	PMSR7[16]
		–	–	–	–	PMSR7[11]	PMSR7[10]	PMSR7[9]	PMSR7[8]
		PMSR7[7]	PMSR7[6]	PMSR7[5]	PMSR7[4]	PMSR7[3]	PMSR7[2]	PMSR7[1]	PMSR7[0]
	PMSR8	PMSR8[31]	PMSR8[30]	PMSR8[29]	PMSR8[28]	PMSR8[27]	PMSR8[26]	PMSR8[25]	PMSR8[24]
		PMSR8[23]	PMSR8[22]	PMSR8[21]	PMSR8[20]	PMSR8[19]	PMSR8[18]	PMSR8[17]	PMSR8[16]
		PMSR8[15]	PMSR8[14]	PMSR8[13]	PMSR8[12]	PMSR8[11]	PMSR8[10]	PMSR8[9]	PMSR8[8]
		PMSR8[7]	PMSR8[6]	PMSR8[5]	PMSR8[4]	PMSR8[3]	PMSR8[2]	PMSR8[1]	PMSR8[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
汎用入出力ポート	PMSR9	–	–	–	–	–	–	–	–
		–	–	PMSR9[21]	PMSR9[20]	PMSR9[19]	PMSR9[18]	PMSR9[17]	PMSR9[16]
		–	–	–	–	–	–	–	–
		–	–	PMSR9[5]	PMSR9[4]	PMSR9[3]	PMSR9[2]	PMSR9[1]	PMSR9[0]
	PMCSR0	–	–	–	–	–	–	–	–
		–	–	–	–	PMCSR0[19]	PMCSR0[18]	PMCSR0[17]	PMCSR0[16]
		–	–	–	–	–	–	–	–
		–	–	–	–	PMCSR0[3]	PMCSR0[2]	PMCSR0[1]	PMCSR0[0]
	PMCSR1	–	–	–	–	–	–	–	–
		PMCSR1[23]	PMCSR1[22]	PMCSR1[21]	PMCSR1[20]	PMCSR1[19]	PMCSR1[18]	PMCSR1[17]	PMCSR1[16]
		–	–	–	–	–	–	–	–
		PMCSR1[7]	PMCSR1[6]	PMCSR1[5]	PMCSR1[4]	PMCSR1[3]	PMCSR1[2]	PMCSR1[1]	PMCSR1[0]
	PMCSR2	–	–	–	–	–	–	PMCSR2[25]	PMCSR2[24]
		PMCSR2[23]	PMCSR2[22]	PMCSR2[21]	PMCSR2[20]	PMCSR2[19]	PMCSR2[18]	PMCSR2[17]	PMCSR2[16]
		–	–	–	–	–	–	PMCSR2[9]	PMCSR2[8]
		PMCSR2[7]	PMCSR2[6]	PMCSR2[5]	PMCSR2[4]	PMCSR2[3]	PMCSR2[2]	PMCSR2[1]	PMCSR2[0]
	PMCSR3	PMCSR3[31]	PMCSR3[30]	PMCSR3[29]	PMCSR3[28]	PMCSR3[27]	PMCSR3[26]	PMCSR3[25]	PMCSR3[24]
		PMCSR3[23]	PMCSR3[22]	PMCSR3[21]	PMCSR3[20]	PMCSR3[19]	PMCSR3[18]	PMCSR3[17]	PMCSR3[16]
		PMCSR3[15]	PMCSR3[14]	PMCSR3[13]	PMCSR3[12]	PMCSR3[11]	PMCSR3[10]	PMCSR3[9]	PMCSR3[8]
		PMCSR3[7]	PMCSR3[6]	PMCSR3[5]	PMCSR3[4]	PMCSR3[3]	PMCSR3[2]	PMCSR3[1]	PMCSR3[0]
	PMCSR4	–	–	–	–	–	–	–	–
		PMCSR4[23]	PMCSR4[22]	PMCSR4[21]	PMCSR4[20]	PMCSR4[19]	PMCSR4[18]	PMCSR4[17]	PMCSR4[16]
		–	–	–	–	–	–	–	–
		PMCSR4[7]	PMCSR4[6]	PMCSR4[5]	PMCSR4[4]	PMCSR4[3]	PMCSR4[2]	PMCSR4[1]	PMCSR4[0]
	PMCSR5	PMCSR5[31]	PMCSR5[30]	PMCSR5[29]	PMCSR5[28]	PMCSR5[27]	PMCSR5[26]	PMCSR5[25]	PMCSR5[24]
		PMCSR5[23]	PMCSR5[22]	PMCSR5[21]	PMCSR5[20]	PMCSR5[19]	PMCSR5[18]	PMCSR5[17]	PMCSR5[16]
		PMCSR5[15]	PMCSR5[14]	PMCSR5[13]	PMCSR5[12]	PMCSR5[11]	PMCSR5[10]	PMCSR5[9]	PMCSR5[8]
		PMCSR5[7]	PMCSR5[6]	PMCSR5[5]	PMCSR5[4]	PMCSR5[3]	PMCSR5[2]	PMCSR5[1]	PMCSR5[0]
	PMCSR6	PMCSR6[31]	PMCSR6[30]	PMCSR6[29]	PMCSR6[28]	PMCSR6[27]	PMCSR6[26]	PMCSR6[25]	PMCSR6[24]
		PMCSR6[23]	PMCSR6[22]	PMCSR6[21]	PMCSR6[20]	PMCSR6[19]	PMCSR6[18]	PMCSR6[17]	PMCSR6[16]
		PMCSR6[15]	PMCSR6[14]	PMCSR6[13]	PMCSR6[12]	PMCSR6[11]	PMCSR6[10]	PMCSR6[9]	PMCSR6[8]
		PMCSR6[7]	PMCSR6[6]	PMCSR6[5]	PMCSR6[4]	PMCSR6[3]	PMCSR6[2]	PMCSR6[1]	PMCSR6[0]
	PMCSR7	–	–	–	–	PMCSR7[27]	PMCSR7[26]	PMCSR7[25]	PMCSR7[24]
		PMCSR7[23]	PMCSR7[22]	PMCSR7[21]	PMCSR7[20]	PMCSR7[19]	PMCSR7[18]	PMCSR7[17]	PMCSR7[16]
		–	–	–	–	PMCSR7[11]	PMCSR7[10]	PMCSR7[9]	PMCSR7[8]
		PMCSR7[7]	PMCSR7[6]	PMCSR7[5]	PMCSR7[4]	PMCSR7[3]	PMCSR7[2]	PMCSR7[1]	PMCSR7[0]
	PMCSR8	PMCSR8[31]	PMCSR8[30]	PMCSR8[29]	PMCSR8[28]	PMCSR8[27]	PMCSR8[26]	PMCSR8[25]	PMCSR8[24]
		PMCSR8[23]	PMCSR8[22]	PMCSR8[21]	PMCSR8[20]	PMCSR8[19]	PMCSR8[18]	PMCSR8[17]	PMCSR8[16]
		PMCSR8[15]	PMCSR8[14]	PMCSR8[13]	PMCSR8[12]	PMCSR8[11]	PMCSR8[10]	PMCSR8[9]	PMCSR8[8]
		PMCSR8[7]	PMCSR8[6]	PMCSR8[5]	PMCSR8[4]	PMCSR8[3]	PMCSR8[2]	PMCSR8[1]	PMCSR8[0]
	PMCSR9	–	–	–	–	–	–	–	–
		–	–	PMCSR9[21]	PMCSR9[20]	PMCSR9[19]	PMCSR9[18]	PMCSR9[17]	PMCSR9[16]
		–	–	–	–	–	–	–	–
		–	–	PMCSR9[5]	PMCSR9[4]	PMCSR9[3]	PMCSR9[2]	PMCSR9[1]	PMCSR9[0]
	PFCAE0	–	–	–	–	–	–	–	–
		–	–	–	–	PFCAE0[3]	PFCAE0[2]	PFCAE0[1]	PFCAE0[0]
	PFCAE1	PFCAE1[15]	PFCAE1[14]	PFCAE1[13]	PFCAE1[12]	PFCAE1[11]	PFCAE1[10]	PFCAE1[9]	PFCAE1[8]
		PFCAE1[7]	PFCAE1[6]	PFCAE1[5]	PFCAE1[4]	PFCAE1[3]	PFCAE1[2]	PFCAE1[1]	PFCAE1[0]
	PFCAE2	–	–	–	–	–	–	PFCAE2[9]	PFCAE2[8]
		PFCAE2[7]	PFCAE2[6]	PFCAE2[5]	PFCAE2[4]	PFCAE2[3]	PFCAE2[2]	PFCAE2[1]	PFCAE2[0]
	PFCAE3	PFCAE3[15]	PFCAE3[14]	PFCAE3[13]	PFCAE3[12]	PFCAE3[11]	PFCAE3[10]	PFCAE3[9]	PFCAE3[8]
		PFCAE3[7]	PFCAE3[6]	PFCAE3[5]	PFCAE3[4]	PFCAE3[3]	PFCAE3[2]	PFCAE3[1]	PFCAE3[0]
	PFCAE4	–	–	–	–	–	–	–	–
		PFCAE4[7]	PFCAE4[6]	PFCAE4[5]	PFCAE4[4]	PFCAE4[3]	PFCAE4[2]	PFCAE4[1]	PFCAE4[0]
	PFCAE5	PFCAE5[15]	PFCAE5[14]	PFCAE5[13]	PFCAE5[12]	PFCAE5[11]	PFCAE5[10]	PFCAE5[9]	PFCAE5[8]
		PFCAE5[7]	PFCAE5[6]	PFCAE5[5]	PFCAE5[4]	PFCAE5[3]	PFCAE5[2]	PFCAE5[1]	PFCAE5[0]
	PFCAE6	PFCAE6[15]	PFCAE6[14]	PFCAE6[13]	PFCAE6[12]	PFCAE6[11]	PFCAE6[10]	PFCAE6[9]	PFCAE6[8]
		PFCAE6[7]	PFCAE6[6]	PFCAE6[5]	PFCAE6[4]	PFCAE6[3]	PFCAE6[2]	PFCAE6[1]	PFCAE6[0]
	PFCAE7	–	–	–	–	PFCAE7[11]	PFCAE7[10]	PFCAE7[9]	PFCAE7[8]
		PFCAE7[7]	PFCAE7[6]	PFCAE7[5]	PFCAE7[4]	PFCAE7[3]	PFCAE7[2]	PFCAE7[1]	PFCAE7[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
汎用入出力ポート	PFCAE8	PFCAE8[15]	PFCAE8[14]	PFCAE8[13]	PFCAE8[12]	PFCAE8[11]	PFCAE8[10]	PFCAE8[9]	PFCAE8[8]
		PFCAE8[7]	PFCAE8[6]	PFCAE8[5]	PFCAE8[4]	PFCAE8[3]	PFCAE8[2]	PFCAE8[1]	PFCAE8[0]
	PFCAE9	–	–	–	–	–	–	–	–
		–	–	PFCAE9[5]	PFCAE9[4]	PFCAE9[3]	PFCAE9[2]	PFCAE9[1]	PFCAE9[0]
	PIBC0	–	–	–	–	–	–	–	–
		–	–	–	–	PIBC0[3]	PIBC0[2]	PIBC0[1]	PIBC0[0]
	PIBC1	PIBC1[15]	PIBC1[14]	PIBC1[13]	PIBC1[12]	PIBC1[11]	PIBC1[10]	PIBC1[9]	PIBC1[8]
		PIBC1[7]	PIBC1[6]	PIBC1[5]	PIBC1[4]	PIBC1[3]	PIBC1[2]	PIBC1[1]	PIBC1[0]
	PIBC2	–	–	–	–	–	–	PIBC2[9]	PIBC2[8]
		PIBC2[7]	PIBC2[6]	PIBC2[5]	PIBC2[4]	PIBC2[3]	PIBC2[2]	PIBC2[1]	PIBC2[0]
	PIBC3	PIBC3[15]	PIBC3[14]	PIBC3[13]	PIBC3[12]	PIBC3[11]	PIBC3[10]	PIBC3[9]	PIBC3[8]
		PIBC3[7]	PIBC3[6]	PIBC3[5]	PIBC3[4]	PIBC3[3]	PIBC3[2]	PIBC3[1]	PIBC3[0]
	PIBC4	–	–	–	–	–	–	–	–
		PIBC4[7]	PIBC4[6]	PIBC4[5]	PIBC4[4]	PIBC4[3]	PIBC4[2]	PIBC4[1]	PIBC4[0]
	PIBC5	PIBC5[15]	PIBC5[14]	PIBC5[13]	PIBC5[12]	PIBC5[11]	PIBC5[10]	PIBC5[9]	PIBC5[8]
		PIBC5[7]	PIBC5[6]	PIBC5[5]	PIBC5[4]	PIBC5[3]	PIBC5[2]	PIBC5[1]	PIBC5[0]
	PIBC6	PIBC6[15]	PIBC6[14]	PIBC6[13]	PIBC6[12]	PIBC6[11]	PIBC6[10]	PIBC6[9]	PIBC6[8]
		PIBC6[7]	PIBC6[6]	PIBC6[5]	PIBC6[4]	PIBC6[3]	PIBC6[2]	PIBC6[1]	PIBC6[0]
	PIBC7	–	–	–	–	PIBC7[11]	PIBC7[10]	PIBC7[9]	PIBC7[8]
		PIBC7[7]	PIBC7[6]	PIBC7[5]	PIBC7[4]	PIBC7[3]	PIBC7[2]	PIBC7[1]	PIBC7[0]
	PIBC8	PIBC8[15]	PIBC8[14]	PIBC8[13]	PIBC8[12]	PIBC8[11]	PIBC8[10]	PIBC8[9]	PIBC8[8]
		PIBC8[7]	PIBC8[6]	PIBC8[5]	PIBC8[4]	PIBC8[3]	PIBC8[2]	PIBC8[1]	PIBC8[0]
	PIBC9	–	–	–	–	–	–	–	–
		–	–	PIBC9[5]	PIBC9[4]	PIBC9[3]	PIBC9[2]	PIBC9[1]	PIBC9[0]
	PBDC1	PBDC1[15]	PBDC1[14]	PBDC1[13]	PBDC1[12]	PBDC1[11]	PBDC1[10]	PBDC1[9]	PBDC1[8]
		PBDC1[7]	PBDC1[6]	PBDC1[5]	PBDC1[4]	PBDC1[3]	PBDC1[2]	PBDC1[1]	PBDC1[0]
	PBDC2	–	–	–	–	–	–	PBDC2[9]	PBDC2[8]
		PBDC2[7]	PBDC2[6]	PBDC2[5]	PBDC2[4]	PBDC2[3]	PBDC2[2]	PBDC2[1]	PBDC2[0]
	PBDC3	PBDC3[15]	PBDC3[14]	PBDC3[13]	PBDC3[12]	PBDC3[11]	PBDC3[10]	PBDC3[9]	PBDC3[8]
		PBDC3[7]	PBDC3[6]	PBDC3[5]	PBDC3[4]	PBDC3[3]	PBDC3[2]	PBDC3[1]	PBDC3[0]
	PBDC4	–	–	–	–	–	–	–	–
		PBDC4[7]	PBDC4[6]	PBDC4[5]	PBDC4[4]	PBDC4[3]	PBDC4[2]	PBDC4[1]	PBDC4[0]
	PBDC5	PBDC5[15]	PBDC5[14]	PBDC5[13]	PBDC5[12]	PBDC5[11]	PBDC5[10]	PBDC5[9]	PBDC5[8]
		PBDC5[7]	PBDC5[6]	PBDC5[5]	PBDC5[4]	PBDC5[3]	PBDC5[2]	PBDC5[1]	PBDC5[0]
	PBDC6	PBDC6[15]	PBDC6[14]	PBDC6[13]	PBDC6[12]	PBDC6[11]	PBDC6[10]	PBDC6[9]	PBDC6[8]
		PBDC6[7]	PBDC6[6]	PBDC6[5]	PBDC6[4]	PBDC6[3]	PBDC6[2]	PBDC6[1]	PBDC6[0]
	PBDC7	–	–	–	–	PBDC7[11]	PBDC7[10]	PBDC7[9]	PBDC7[8]
		PBDC7[7]	PBDC7[6]	PBDC7[5]	PBDC7[4]	PBDC7[3]	PBDC7[2]	PBDC7[1]	PBDC7[0]
	PBDC8	PBDC8[15]	PBDC8[14]	PBDC8[13]	PBDC8[12]	PBDC8[11]	PBDC8[10]	PBDC8[9]	PBDC8[8]
		PBDC8[7]	PBDC8[6]	PBDC8[5]	PBDC8[4]	PBDC8[3]	PBDC8[2]	PBDC8[1]	PBDC8[0]
	PBDC9	–	–	–	–	–	–	–	–
		–	–	PBDC9[5]	PBDC9[4]	PBDC9[3]	PBDC9[2]	PBDC9[1]	PBDC9[0]
	PIPC1	–	–	–	–	–	–	–	–
		PIPC1[7]	PIPC1[6]	PIPC1[5]	PIPC1[4]	PIPC1[3]	PIPC1[2]	PIPC1[1]	PIPC1[0]
	PIPC2	–	–	–	–	–	–	PIPC2[9]	PIPC2[8]
		PIPC2[7]	PIPC2[6]	PIPC2[5]	PIPC2[4]	PIPC2[3]	PIPC2[2]	PIPC2[1]	PIPC2[0]
	PIPC3	PIPC3[15]	PIPC3[14]	PIPC3[13]	PIPC3[12]	PIPC3[11]	PIPC3[10]	PIPC3[9]	PIPC3[8]
		PIPC3[7]	PIPC3[6]	PIPC3[5]	PIPC3[4]	PIPC3[3]	PIPC3[2]	PIPC3[1]	PIPC3[0]
	PIPC4	–	–	–	–	–	–	–	–
		PIPC4[7]	PIPC4[6]	PIPC4[5]	PIPC4[4]	PIPC4[3]	PIPC4[2]	PIPC4[1]	PIPC4[0]
	PIPC5	PIPC5[15]	PIPC5[14]	PIPC5[13]	PIPC5[12]	PIPC5[11]	PIPC5[10]	PIPC5[9]	PIPC5[8]
		PIPC5[7]	PIPC5[6]	PIPC5[5]	PIPC5[4]	PIPC5[3]	PIPC5[2]	PIPC5[1]	PIPC5[0]
	PIPC6	PIPC6[15]	PIPC6[14]	PIPC6[13]	PIPC6[12]	PIPC6[11]	PIPC6[10]	PIPC6[9]	PIPC6[8]
		PIPC6[7]	PIPC6[6]	PIPC6[5]	PIPC6[4]	PIPC6[3]	PIPC6[2]	PIPC6[1]	PIPC6[0]
	PIPC7	–	–	–	–	PIPC7[11]	PIPC7[10]	PIPC7[9]	PIPC7[8]
		PIPC7[7]	PIPC7[6]	PIPC7[5]	PIPC7[4]	PIPC7[3]	PIPC7[2]	PIPC7[1]	PIPC7[0]
	PIPC8	PIPC8[15]	PIPC8[14]	PIPC8[13]	PIPC8[12]	PIPC8[11]	PIPC8[10]	PIPC8[9]	PIPC8[8]
		PIPC8[7]	PIPC8[6]	PIPC8[5]	PIPC8[4]	PIPC8[3]	PIPC8[2]	PIPC8[1]	PIPC8[0]
	PIPC9	–	–	–	–	–	–	–	–
		–	–	PIPC9[5]	PIPC9[4]	PIPC9[3]	PIPC9[2]	PIPC9[1]	PIPC9[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
汎用入出力ポート	JPPR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	JPPR0[1]	JPPR0[0]
	JPMC0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	JPMC0[1]	JPMC0[0]
	JPMCSR0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	JPMCSR0[17]	JPMCSR0[16]
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	JPMCSR0[1]	JPMCSR0[0]
	JPIBC0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	JPIBC0[1]	JPIBC0[0]
	SNCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	ETSEL 注4)	–	–	SSI3NCE	SSI2NCE	SSI1NCE	SSI0NCE
低消費電力モード	STBCR1	STBY	DEEP	–	–	–	–	–	–
	STBCR2	HIZ	–	–	–	–	–	–	MSTP20
	STBCR3	MSTP37 注3)	MSTP36	MSTP35 注3)	–	MSTP33	MSTP32	MSTP31	–
	STBCR4	MSTP47	MSTP46	MSTP45	MSTP44	MSTP43	–	–	–
	STBCR5	MSTP57	MSTP56	–	–	–	–	MSTP51	MSTP50
	STBCR6	MSTP67	MSTP66	–	–	–	–	MSTP61 注4)	MSTP60
	STBCR7	–	–	–	MSTP74	–	–	MSTP71	MSTP70
	STBCR8	–	–	–	MSTP84	MSTP83 注3)	MSTP82 注4)	MSTP81	–
	STBCR9	MSTP97	MSTP96	MSTP95	MSTP94	MSTP93	–	MSTP91	–
	STBCR10	MSTP107	MSTP106	MSTP105	–	–	MSTP102 注3)	MSTP101	–
	STBCR11	–	–	MSTP115	MSTP114	MSTP113	MSTP112	–	–
	STBCR12	–	–	–	–	MSTP123	MSTP122	MSTP121	MSTP120
	SWRSTCR1	AXTALE	SRST16	SRST15	SRST14	SRST13	–	–	–
	SWRSTCR2 注2)	–	–	–	–	–	–	SRST21	–
	SYSCR1	–	–	–	VRAME4 注5)	VRAME3	VRAME2	VRAME1	VRAME0
	SYSCR2	–	–	–	VRAMWE4 注5)	VRAMWE3	VRAMWE2	VRAMWE1	VRAMWE0
	SYSCR3	–	–	–	–	RRAMWE3	RRAMWE2	RRAMWE1	RRAMWE0
	CPUSTS	–	–	–	ISBUSY	–	–	–	–
	STBREQ1	–	–	STBRQ15	–	STBRQ13 注4)	STBRQ12 注4)	–	STBRQ10
	STBREQ2	STBRQ27 注3)	STBRQ26	STBRQ25	–	–	–	–	–
	STBACK1	–	–	STBAK15	–	STBAK13 注4)	STBAK12 注4)	–	STBAK10
	STBACK2	STBAK27 注3)	STBAK26	STBAK25	–	–	–	–	–
	RRAMKP	–	–	–	–	RRAMKP3	RRAMKP2	RRAMKP1	RRAMKP0
	DSCTR	EBUSKEEPE	RAMBOOT	–	–	–	–	–	–
	DSSSR	–	P2_0	P7_6	P7_9	P5_10	P2_2	P7_2	NMI
		–	RTCAR	P5_9	P7_3	P5_8	P2_7	P2_9	P6_7
	DSESR	–	P2_0E	P7_6E	P7_9E	P5_10E	P2_2E	P7_2E	NMIE
		–	–	P5_9E	P7_3E	P5_8E	P2_7E	P2_9E	P6_7E
	DSFR	IOKEEP	P2_0F	P7_6F	P7_9F	P5_10F	P2_2F	P7_2F	NMIF
		–	RTCARF	P5_9F	P7_3F	P5_8F	P2_7F	P2_9F	P6_7F
	XTALCTR	–	–	–	–	–	–	–	GAIN0
デバッガインタフェース	DAPROM_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	DAPROM_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	DAPROM_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number[11]	Part_Number[10]	Part_Number[9]	Part_Number[8]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	DAPROM_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	DAPROM_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	DAPROM_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	DAPROM_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	DAPROM_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	DAPROM_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	ICEREGMDRSTCTL	-	-	-	-	-	-	-	-
		-	-	-	NIDEN_CPU0	-	-	-	DBGEN_CPU0
		-	-	-	RSTRB_CPU0_DERSTZ	-	-	-	RSTRB_CPU0_CPURSTZ
		-	-	-	RSTRB_SYS_SYSRSTZ	-	RSTRB_CPU_PRSTDBGZ	RSTRB_CPU_SYSRSTZ	-
	ICEREGJTTRCSEL	-	-	-	-	-	-	-	-
		PINSETEN	-	-	TRCMUX_SEL	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
	ICEREGCLKPWRCTRL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		FAKEDBGCTRL	-	-	-	-	-	-	FAKEDBG
	ICEREGLOCKACCES	ICEREGLOCKACCESS[31]	ICEREGLOCKACCESS[30]	ICEREGLOCKACCESS[29]	ICEREGLOCKACCESS[28]	ICEREGLOCKACCESS[27]	ICEREGLOCKACCESS[26]	ICEREGLOCKACCESS[25]	ICEREGLOCKACCESS[24]
		ICEREGLOCKACCESS[23]	ICEREGLOCKACCESS[22]	ICEREGLOCKACCESS[21]	ICEREGLOCKACCESS[20]	ICEREGLOCKACCESS[19]	ICEREGLOCKACCESS[18]	ICEREGLOCKACCESS[17]	ICEREGLOCKACCESS[16]
		ICEREGLOCKACCESS[15]	ICEREGLOCKACCESS[14]	ICEREGLOCKACCESS[13]	ICEREGLOCKACCESS[12]	ICEREGLOCKACCESS[11]	ICEREGLOCKACCESS[10]	ICEREGLOCKACCESS[9]	ICEREGLOCKACCESS[8]
		ICEREGLOCKACCESS[7]	ICEREGLOCKACCESS[6]	ICEREGLOCKACCESS[5]	ICEREGLOCKACCESS[4]	ICEREGLOCKACCESS[3]	ICEREGLOCKACCESS[2]	ICEREGLOCKACCESS[1]	ICEREGLOCKACCESS[0]
	2ndDAPROM_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	2ndDAPROM_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	2ndDAPROM_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number[11]	Part_Number[10]	Part_Number[9]	Part_Number[8]
	2ndDAPROM_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	2ndDAPROM_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	2ndDAPROM_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	2ndDAPROM_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	2ndDAPROM_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	2ndDAPROM_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_ETF_RSZ	-	RSZ[30]	RSZ[29]	RSZ[28]	RSZ[27]	RSZ[26]	RSZ[25]	RSZ[24]
		RSZ[23]	RSZ[22]	RSZ[21]	RSZ[20]	RSZ[19]	RSZ[18]	RSZ[17]	RSZ[16]
		RSZ[15]	RSZ[14]	RSZ[13]	RSZ[12]	RSZ[11]	RSZ[10]	RSZ[9]	RSZ[8]
		RSZ[7]	RSZ[6]	RSZ[5]	RSZ[4]	RSZ[3]	RSZ[2]	RSZ[1]	RSZ[0]
	CPU_ETF_STS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	MemErr	Empty	FtEmpty	TMCReady	Triggered	Full
	CPU_ETF_RRD	RRD[31]	RRD[30]	RRD[29]	RRD[28]	RRD[27]	RRD[26]	RRD[25]	RRD[24]
		RRD[23]	RRD[22]	RRD[21]	RRD[20]	RRD[19]	RRD[18]	RRD[17]	RRD[16]
		RRD[15]	RRD[14]	RRD[13]	RRD[12]	RRD[11]	RRD[10]	RRD[9]	RRD[8]
		RRD[7]	RRD[6]	RRD[5]	RRD[4]	RRD[3]	RRD[2]	RRD[1]	RRD[0]
	CPU_ETF_RRP	RRP[31]	RRP[30]	RRP[29]	RRP[28]	RRP[27]	RRP[26]	RRP[25]	RRP[24]
		RRP[23]	RRP[22]	RRP[21]	RRP[20]	RRP[19]	RRP[18]	RRP[17]	RRP[16]
		RRP[15]	RRP[14]	RRP[13]	RRP[12]	RRP[11]	RRP[10]	RRP[9]	RRP[8]
		RRP[7]	RRP[6]	RRP[5]	RRP[4]	RRP[3]	RRP[2]	RRP[1]	RRP[0]
	CPU_ETF_RWP	RWP[31]	RWP[30]	RWP[29]	RWP[28]	RWP[27]	RWP[26]	RWP[25]	RWP[24]
		RWP[23]	RWP[22]	RWP[21]	RWP[20]	RWP[19]	RWP[18]	RWP[17]	RWP[16]
		RWP[15]	RWP[14]	RWP[13]	RWP[12]	RWP[11]	RWP[10]	RWP[9]	RWP[8]
		RWP[7]	RWP[6]	RWP[5]	RWP[4]	RWP[3]	RWP[2]	RWP[1]	RWP[0]
	CPU_ETF_TRG	TRG[31]	TRG[30]	TRG[29]	TRG[28]	TRG[27]	TRG[26]	TRG[25]	TRG[24]
		TRG[23]	TRG[22]	TRG[21]	TRG[20]	TRG[19]	TRG[18]	TRG[17]	TRG[16]
		TRG[15]	TRG[14]	TRG[13]	TRG[12]	TRG[11]	TRG[10]	TRG[9]	TRG[8]
		TRG[7]	TRG[6]	TRG[5]	TRG[4]	TRG[3]	TRG[2]	TRG[1]	TRG[0]
	CPU_ETF_CTL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	TraceCaptEn
	CPU_ETF_RWD	RWD[31]	RWD[30]	RWD[29]	RWD[28]	RWD[27]	RWD[26]	RWD[25]	RWD[24]
		RWD[23]	RWD[22]	RWD[21]	RWD[20]	RWD[19]	RWD[18]	RWD[17]	RWD[16]
		RWD[15]	RWD[14]	RWD[13]	RWD[12]	RWD[11]	RWD[10]	RWD[9]	RWD[8]
		RWD[7]	RWD[6]	RWD[5]	RWD[4]	RWD[3]	RWD[2]	RWD[1]	RWD[0]
	CPU_ETF_MODE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	MODE[1]	MODE[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CPU_ETF_LBUFLEVEL	LBUFLEVEL[31]	LBUFLEVEL[30]	LBUFLEVEL[29]	LBUFLEVEL[28]	LBUFLEVEL[27]	LBUFLEVEL[26]	LBUFLEVEL[25]	LBUFLEVEL[24]
		LBUFLEVEL[23]	LBUFLEVEL[22]	LBUFLEVEL[21]	LBUFLEVEL[20]	LBUFLEVEL[19]	LBUFLEVEL[18]	LBUFLEVEL[17]	LBUFLEVEL[16]
		LBUFLEVEL[15]	LBUFLEVEL[14]	LBUFLEVEL[13]	LBUFLEVEL[12]	LBUFLEVEL[11]	LBUFLEVEL[10]	LBUFLEVEL[9]	LBUFLEVEL[8]
		LBUFLEVEL[7]	LBUFLEVEL[6]	LBUFLEVEL[5]	LBUFLEVEL[4]	LBUFLEVEL[3]	LBUFLEVEL[2]	LBUFLEVEL[1]	LBUFLEVEL[0]
	CPU_ETF_CBUFLEVEL	CBUFLEVEL[31]	CBUFLEVEL[30]	CBUFLEVEL[29]	CBUFLEVEL[28]	CBUFLEVEL[27]	CBUFLEVEL[26]	CBUFLEVEL[25]	CBUFLEVEL[24]
		CBUFLEVEL[23]	CBUFLEVEL[22]	CBUFLEVEL[21]	CBUFLEVEL[20]	CBUFLEVEL[19]	CBUFLEVEL[18]	CBUFLEVEL[17]	CBUFLEVEL[16]
		CBUFLEVEL[15]	CBUFLEVEL[14]	CBUFLEVEL[13]	CBUFLEVEL[12]	CBUFLEVEL[11]	CBUFLEVEL[10]	CBUFLEVEL[9]	CBUFLEVEL[8]
		CBUFLEVEL[7]	CBUFLEVEL[6]	CBUFLEVEL[5]	CBUFLEVEL[4]	CBUFLEVEL[3]	CBUFLEVEL[2]	CBUFLEVEL[1]	CBUFLEVEL[0]
	CPU_ETF_BUFWM	BUFWM[31]	BUFWM[30]	BUFWM[29]	BUFWM[28]	BUFWM[27]	BUFWM[26]	BUFWM[25]	BUFWM[24]
		BUFWM[23]	BUFWM[22]	BUFWM[21]	BUFWM[20]	BUFWM[19]	BUFWM[18]	BUFWM[17]	BUFWM[16]
		BUFWM[15]	BUFWM[14]	BUFWM[13]	BUFWM[12]	BUFWM[11]	BUFWM[10]	BUFWM[9]	BUFWM[8]
		BUFWM[7]	BUFWM[6]	BUFWM[5]	BUFWM[4]	BUFWM[3]	BUFWM[2]	BUFWM[1]	BUFWM[0]
	CPU_ETF_RRPHI	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RRPHI[7]	RRPHI[6]	RRPHI[5]	RRPHI[4]	RRPHI[3]	RRPHI[2]	RRPHI[1]	RRPHI[0]
	CPU_ETF_RWPHI	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RWPHI[7]	RWPHI[6]	RWPHI[5]	RWPHI[4]	RWPHI[3]	RWPHI[2]	RWPHI[1]	RWPHI[0]
	CPU_ETF_FFSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	FtStopped	FlInProg
	CPU_ETF_FFCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	DrainBuffer	StopOnTrigEvt	StopOnFI	-	TrigOnFI	TrigOnTrigEvt	TrigOnTrigIn
		-	FlushMan	FOnTrigEvt	FOnFIIn	-	-	EnTI	EnFt
	CPU_ETF_PSCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	PSCount[4]	PSCount[3]	PSCount[2]	PSCount[1]	PSCount[0]
	CPU_ETF_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	CPU_ETF_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]
	CPU_ETF_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]
	CPU_ETF_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	CPU_ETF_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]
	CPU_ETF_DEVID	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	WBUF_DEPTH[2]	WBUF_DEPTH[1]	WBUF_DEPTH[0]	MEMWIDTH[2]	MEMWIDTH[1]	MEMWIDTH[0]
		CONFIGTYPE[1]	CONFIGTYPE[0]	CLKSCHEME	ATBINPORT COUNT[4]	ATBINPORT COUNT[3]	ATBINPORT COUNT[2]	ATBINPORT COUNT[1]	ATBINPORT COUNT[0]
	CPU_ETF_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Sub_type[3]	Sub_type[2]	Sub_type[1]	Sub_type[0]	Major_type[3]	Major_type[2]	Major_type[1]	Major_type[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CPU_ETF_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	CPU_ETF_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	CPU_ETF_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number[11]	Part_Number[10]	Part_Number[9]	Part_Number[8]
	CPU_ETF_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	CPU_ETF_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	Customer Modified[3]	Customer Modified[2]	Customer Modified[1]	Customer Modified[0]
	CPU_ETF_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_ETF_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_ETF_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_ETF_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_CTICS_CTICONTROL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GLBEN
	CPU_CTICS_CTIINTACK	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INTACK[7]	INTACK[6]	INTACK[5]	INTACK[4]	INTACK[3]	INTACK[2]	INTACK[1]	INTACK[0]
	CPU_CTICS_CTIAPPSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	APPSET[3]	APPSET[2]	APPSET[1]	APPSET[0]
	CPU_CTICS_CTIAPPCLEAR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	APPCLEAR[3]	APPCLEAR[2]	APPCLEAR[1]	APPCLEAR[0]
	CPU_CTICS_CTIAPPPULSE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	APPULSE[3]	APPULSE[2]	APPULSE[1]	APPULSE[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガ インタフェース	CPU_CTICS_CTIINEN0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIINEN1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIINEN2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIINEN3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIINEN4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIINEN5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIINEN6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIINEN7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CPU_CTICS_CTIOUTEN0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CPU_CTICS_CTIOUTEN1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CPU_CTICS_CTIOUTEN2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CPU_CTICS_CTIOUTEN3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CPU_CTICS_CTIOUTEN4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CPU_CTICS_CTIOUTEN5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CPU_CTICS_CTIOUTEN6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CPU_CTICS_CTIOUTEN7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CPU_CTICS_CTITRIGINSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TRIGINSTATUS[7]	TRIGINSTATUS[6]	TRIGINSTATUS[5]	TRIGINSTATUS[4]	TRIGINSTATUS[3]	TRIGINSTATUS[2]	TRIGINSTATUS[1]	TRIGINSTATUS[0]
	CPU_CTICS_CTITRIGOUTSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TRIGOUTSTATUS[7]	TRIGOUTSTATUS[6]	TRIGOUTSTATUS[5]	TRIGOUTSTATUS[4]	TRIGOUTSTATUS[3]	TRIGOUTSTATUS[2]	TRIGOUTSTATUS[1]	TRIGOUTSTATUS[0]
	CPU_CTICS_CTICHINSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CTCHINSTATUS[3]	CTCHINSTATUS[2]	CTCHINSTATUS[1]	CTCHINSTATUS[0]
	CPU_CTICS_CTICHOUTSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CTCHOUTSTATUS[3]	CTCHOUTSTATUS[2]	CTCHOUTSTATUS[1]	CTCHOUTSTATUS[0]
	CPU_CTICS_CTIGATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CTIGATEEN3	CTIGATEEN2	CTIGATEEN1	CTIGATEEN0
	CPU_CTICS_ASICCTL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	ASICCTL[3]	ASICCTL[2]	ASICCTL[1]	ASICCTL[0]
	CPU_CTICS_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	CPU_CTICS_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]
	CPU_CTICS_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]
	CPU_CTICS_DEVID	-	-	-	-	-	-	-	-
		-	-	-	-	CHANWIDTH[3]	CHANWIDTH[2]	CHANWIDTH[1]	CHANWIDTH[0]
		TRIGWIDTH[7]	TRIGWIDTH[6]	TRIGWIDTH[5]	TRIGWIDTH[4]	TRIGWIDTH[3]	TRIGWIDTH[2]	TRIGWIDTH[1]	TRIGWIDTH[0]
		-	-	-	-	EXTMUXNUM[3]	EXTMUXNUM[2]	EXTMUXNUM[1]	EXTMUXNUM[0]
	CPU_CTICS_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Sub_type[3]	Sub_type[2]	Sub_type[1]	Sub_type[0]	Major_type[3]	Major_type[2]	Major_type[1]	Major_type[0]
	CPU_CTICS_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	CPU_CTICS_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CPU_CTICS_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number [11]	Part_Number [10]	Part_Number[9]	Part_Number[8]
	CPU_CTICS_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]
	CPU_CTICS_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	CPU_CTICS_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	CPU_CTICS_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	CPU_CTICS_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_CTICS_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_CTICS_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_CTICS_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TPIU_Supportedportsizes	SIZE[31]	SIZE[30]	SIZE[29]	SIZE[28]	SIZE[27]	SIZE[26]	SIZE[25]	SIZE[24]
		SIZE[23]	SIZE[22]	SIZE[21]	SIZE[20]	SIZE[19]	SIZE[18]	SIZE[17]	SIZE[16]
		SIZE[15]	SIZE[14]	SIZE[13]	SIZE[12]	SIZE[11]	SIZE[10]	SIZE[9]	SIZE[8]
		SIZE[7]	SIZE[6]	SIZE[5]	SIZE[4]	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	CPU_TPIU_Currentportsize	SIZE[31]	SIZE[30]	SIZE[29]	SIZE[28]	SIZE[27]	SIZE[26]	SIZE[25]	SIZE[24]
		SIZE[23]	SIZE[22]	SIZE[21]	SIZE[20]	SIZE[19]	SIZE[18]	SIZE[17]	SIZE[16]
		SIZE[15]	SIZE[14]	SIZE[13]	SIZE[12]	SIZE[11]	SIZE[10]	SIZE[9]	SIZE[8]
		SIZE[7]	SIZE[6]	SIZE[5]	SIZE[4]	SIZE[3]	SIZE[2]	SIZE[1]	SIZE[0]
	CPU_TPIU_Supportedtriggermodes	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	TrgRun	Triggered
		-	-	-	-	-	-	-	TCount8
		-	-	-	Multipliers[4]	Multipliers[3]	Multipliers[2]	Multipliers[1]	Multipliers[0]
	CPU_TPIU_TriggerCounter value	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TrigCount[7]	TrigCount[6]	TrigCount[5]	TrigCount[4]	TrigCount[3]	TrigCount[2]	TrigCount[1]	TrigCount[0]
	CPU_TPIU_Triggermultiplier	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	TrgRun	Triggered
		-	-	-	-	-	-	-	TCount8
		-	-	-	Multipliers[4]	Multipliers[3]	Multipliers[2]	Multipliers[1]	Multipliers[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッグインタフェース	CPU_TPIU_Supportedtestpattern/modes	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	Mode[1]	Mode[0]
		-	-	-	-	-	-	-	-
		-	-	-	-	Pattem[3]	Pattem[2]	Pattem[1]	Pattem[0]
	CPU_TPIU_Currenttestpattern/mode	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	Mode[1]	Mode[0]
		-	-	-	-	-	-	-	-
		-	-	-	-	Pattem[3]	Pattem[2]	Pattem[1]	Pattem[0]
	CPU_TPIU_Testpatternrepeat counter	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		PattCount[7]	PattCount[6]	PattCount[5]	PattCount[4]	PattCount[3]	PattCount[2]	PattCount[1]	PattCount[0]
	CPU_TPIU_Formatterandflush status	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	Mode[1]	Mode[0]
		-	-	-	-	-	-	-	-
		-	-	StopTrig	StopFI	-	TCP	FTS	FIP
	CPU_TPIU_Formatterandflush control	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	TrigFI	TrigEvt	TrigIn
		-	FOnMan	FOnTrig	FOnFlIn	-	-	EnFCont	EnFTC
	CPU_TPIU_Formatter synchronization counter	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CycCount[11]	CycCount[10]	CycCount[9]	CycCount[8]
		CycCount[7]	CycCount[6]	CycCount[5]	CycCount[4]	CycCount[3]	CycCount[2]	CycCount[1]	CycCount[0]
	CPU_TPIU_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	CPU_TPIU_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]
	CPU_TPIU_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]
	CPU_TPIU_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	CPU_TPIU_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]
	CPU_TPIU_DEVID	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	ID[12]	ID[11]	ID[10]	ID[9]	ID[8]
		ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
	CPU_TPIU_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Sub_type[3]	Sub_type[2]	Sub_type[1]	Sub_type[0]	Main_type[3]	Main_type[2]	Main_type[1]	Main_type[0]
	CPU_TPIU_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	CPU_TPIU_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CPU_TPIU_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number [11]	Part_Number [10]	Part_Number[9]	Part_Number[8]
	CPU_TPIU_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	CPU_TPIU_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	Customer Modified[3]	Customer Modified[2]	Customer Modified[1]	Customer Modified[0]
	CPU_TPIU_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TPIU_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TPIU_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TPIU_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TraceFunnel_FUNCTL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	HT[3]	HT[2]	HT[1]	HT[0]
		EnS7	EnS6	EnS5	EnS4	EnS3	EnS2	EnS1	EnS0
	CPU_TraceFunnel_PRICTL	-	-	-	-	-	-	-	-
		PriPort7[2]	PriPort7[1]	PriPort7[0]	PriPort6[2]	PriPort6[1]	PriPort6[0]	PriPort5[2]	PriPort5[1]
		PriPort5[0]	PriPort4[2]	PriPort4[1]	PriPort4[0]	PriPort3[2]	PriPort3[1]	PriPort3[0]	PriPort2[2]
		PriPort2[1]	PriPort2[0]	PriPort1[2]	PriPort1[1]	PriPort1[0]	PriPort0[2]	PriPort0[1]	PriPort0[0]
	CPU_TraceFunnel_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	CPU_TraceFunnel_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]
	CPU_TraceFunnel_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]
	CPU_TraceFunnel_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	CPU_TraceFunnel_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CPU_TraceFunnel_DEVID	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
	CPU_TraceFunnel_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TYPE[7]	TYPE[6]	TYPE[5]	TYPE[4]	TYPE[3]	TYPE[2]	TYPE[1]	TYPE[0]
	CPU_TraceFunnel_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	CPU_TraceFunnel_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	CPU_TraceFunnel_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number[11]	Part_Number[10]	Part_Number[9]	Part_Number[8]
	CPU_TraceFunnel_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	CPU_TraceFunnel_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	CPU_TraceFunnel_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TraceFunnel_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TraceFunnel_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CPU_TraceFunnel_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_DBG_DBGDIDR	WRPs[3]	WRPs[2]	WRPs[1]	WRPs[0]	BRPs[3]	BRPs[2]	BRPs[1]	BRPs[0]
		CTX_CMPs[3]	CTX_CMPs[2]	CTX_CMPs[1]	CTX_CMPs[0]	Version[3]	Version[2]	Version[1]	Version[0]
		DEVID_imp	nSUHD_imp	PCSR_imp	SE_imp	-	-	-	-
		Variant[3]	Variant[2]	Variant[1]	Variant[0]	Revision[3]	Revision[2]	Revision[1]	Revision[0]
	CA9_DBG_DBGWFAR	ADDRESS[31]	ADDRESS[30]	ADDRESS[29]	ADDRESS[28]	ADDRESS[27]	ADDRESS[26]	ADDRESS[25]	ADDRESS[24]
		ADDRESS[23]	ADDRESS[22]	ADDRESS[21]	ADDRESS[20]	ADDRESS[19]	ADDRESS[18]	ADDRESS[17]	ADDRESS[16]
		ADDRESS[15]	ADDRESS[14]	ADDRESS[13]	ADDRESS[12]	ADDRESS[11]	ADDRESS[10]	ADDRESS[9]	ADDRESS[8]
		ADDRESS[7]	ADDRESS[6]	ADDRESS[5]	ADDRESS[4]	ADDRESS[3]	ADDRESS[2]	ADDRESS[1]	ADDRESS[0]
	CA9_DBG_DBGVCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		FIQ	IRQ	-	DataAbort	PrefetchAbort	SVC	Undef	Reset

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_DBG_DBGDTRRXext	Host_to_target_data[31]	Host_to_target_data[30]	Host_to_target_data[29]	Host_to_target_data[28]	Host_to_target_data[27]	Host_to_target_data[26]	Host_to_target_data[25]	Host_to_target_data[24]
		Host_to_target_data[23]	Host_to_target_data[22]	Host_to_target_data[21]	Host_to_target_data[20]	Host_to_target_data[19]	Host_to_target_data[18]	Host_to_target_data[17]	Host_to_target_data[16]
		Host_to_target_data[15]	Host_to_target_data[14]	Host_to_target_data[13]	Host_to_target_data[12]	Host_to_target_data[11]	Host_to_target_data[10]	Host_to_target_data[9]	Host_to_target_data[8]
		Host_to_target_data[7]	Host_to_target_data[6]	Host_to_target_data[5]	Host_to_target_data[4]	Host_to_target_data[3]	Host_to_target_data[2]	Host_to_target_data[1]	Host_to_target_data[0]
	CA9_DBG_DBGITR	Instruction[31]	Instruction[30]	Instruction[29]	Instruction[28]	Instruction[27]	Instruction[26]	Instruction[25]	Instruction[24]
		Instruction[23]	Instruction[22]	Instruction[21]	Instruction[20]	Instruction[19]	Instruction[18]	Instruction[17]	Instruction[16]
		Instruction[15]	Instruction[14]	Instruction[13]	Instruction[12]	Instruction[11]	Instruction[10]	Instruction[9]	Instruction[8]
		Instruction[7]	Instruction[6]	Instruction[5]	Instruction[4]	Instruction[3]	Instruction[2]	Instruction[1]	Instruction[0]
	CA9_DBG_DBGPCSR	PC[29]	PC[28]	PC[27]	PC[26]	PC[25]	PC[24]	PC[23]	PC[22]
		PC[21]	PC[20]	PC[19]	PC[18]	PC[17]	PC[16]	PC[15]	PC[14]
		PC[13]	PC[12]	PC[11]	PC[10]	PC[9]	PC[8]	PC[7]	PC[6]
		PC[5]	PC[4]	PC[3]	PC[2]	PC[1]	PC[0]	Meaning_of_PC[1]	Meaning_of_PC[0]
	CA9_DBG_DBGDSCRext	-	Rxfull	Txfull	-	RXfull_l	TXfull_l	PipeAdv	InstrCompl_l
		-	-	ExtDCCmode[1]	ExtDCCmode[0]	ADAdiscard,	NS	SPNIDdis	SPIDdis
		MDBGen	HDBGen	ITREn	UDCCdis	INTdis	DBGack	-	UND_l
		ADABORT_l	SDABORT_l	MOE[3]	MOE[2]	MOE[1]	MOE[0]	RESTARTED	HALTED
	CA9_DBG_DBGDTRTXext	Target_to_host_data[31]	Target_to_host_data[30]	Target_to_host_data[29]	Target_to_host_data[28]	Target_to_host_data[27]	Target_to_host_data[26]	Target_to_host_data[25]	Target_to_host_data[24]
		Target_to_host_data[23]	Target_to_host_data[22]	Target_to_host_data[21]	Target_to_host_data[20]	Target_to_host_data[19]	Target_to_host_data[18]	Target_to_host_data[17]	Target_to_host_data[16]
		Target_to_host_data[15]	Target_to_host_data[14]	Target_to_host_data[13]	Target_to_host_data[12]	Target_to_host_data[11]	Target_to_host_data[10]	Target_to_host_data[9]	Target_to_host_data[8]
		Target_to_host_data[7]	Target_to_host_data[6]	Target_to_host_data[5]	Target_to_host_data[4]	Target_to_host_data[3]	Target_to_host_data[2]	Target_to_host_data[1]	Target_to_host_data[0]
	CA9_DBG_DBGDRCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	Cancel BIU Requests	Clear Sticky Pipeline Advanceflag	Clear Sticky Exceptions flags	Restart request	Halt request
	CA9_DBG_DBGBVR0	Breakpoint[31]	Breakpoint[30]	Breakpoint[29]	Breakpoint[28]	Breakpoint[27]	Breakpoint[26]	Breakpoint[25]	Breakpoint[24]
		Breakpoint[23]	Breakpoint[22]	Breakpoint[21]	Breakpoint[20]	Breakpoint[19]	Breakpoint[18]	Breakpoint[17]	Breakpoint[16]
		Breakpoint[15]	Breakpoint[14]	Breakpoint[13]	Breakpoint[12]	Breakpoint[11]	Breakpoint[10]	Breakpoint[9]	Breakpoint[8]
		Breakpoint[7]	Breakpoint[6]	Breakpoint[5]	Breakpoint[4]	Breakpoint[3]	Breakpoint[2]	Breakpoint[1]	Breakpoint[0]
	CA9_DBG_DBGBVR1	Breakpoint[31]	Breakpoint[30]	Breakpoint[29]	Breakpoint[28]	Breakpoint[27]	Breakpoint[26]	Breakpoint[25]	Breakpoint[24]
		Breakpoint[23]	Breakpoint[22]	Breakpoint[21]	Breakpoint[20]	Breakpoint[19]	Breakpoint[18]	Breakpoint[17]	Breakpoint[16]
		Breakpoint[15]	Breakpoint[14]	Breakpoint[13]	Breakpoint[12]	Breakpoint[11]	Breakpoint[10]	Breakpoint[9]	Breakpoint[8]
		Breakpoint[7]	Breakpoint[6]	Breakpoint[5]	Breakpoint[4]	Breakpoint[3]	Breakpoint[2]	Breakpoint[1]	Breakpoint[0]
	CA9_DBG_DBGBVR2	Breakpoint[31]	Breakpoint[30]	Breakpoint[29]	Breakpoint[28]	Breakpoint[27]	Breakpoint[26]	Breakpoint[25]	Breakpoint[24]
		Breakpoint[23]	Breakpoint[22]	Breakpoint[21]	Breakpoint[20]	Breakpoint[19]	Breakpoint[18]	Breakpoint[17]	Breakpoint[16]
		Breakpoint[15]	Breakpoint[14]	Breakpoint[13]	Breakpoint[12]	Breakpoint[11]	Breakpoint[10]	Breakpoint[9]	Breakpoint[8]
		Breakpoint[7]	Breakpoint[6]	Breakpoint[5]	Breakpoint[4]	Breakpoint[3]	Breakpoint[2]	Breakpoint[1]	Breakpoint[0]
	CA9_DBG_DBGBVR3	Breakpoint[31]	Breakpoint[30]	Breakpoint[29]	Breakpoint[28]	Breakpoint[27]	Breakpoint[26]	Breakpoint[25]	Breakpoint[24]
		Breakpoint[23]	Breakpoint[22]	Breakpoint[21]	Breakpoint[20]	Breakpoint[19]	Breakpoint[18]	Breakpoint[17]	Breakpoint[16]
		Breakpoint[15]	Breakpoint[14]	Breakpoint[13]	Breakpoint[12]	Breakpoint[11]	Breakpoint[10]	Breakpoint[9]	Breakpoint[8]
		Breakpoint[7]	Breakpoint[6]	Breakpoint[5]	Breakpoint[4]	Breakpoint[3]	Breakpoint[2]	Breakpoint[1]	Breakpoint[0]
	CA9_DBG_DBGBVR4	Breakpoint[31]	Breakpoint[30]	Breakpoint[29]	Breakpoint[28]	Breakpoint[27]	Breakpoint[26]	Breakpoint[25]	Breakpoint[24]
		Breakpoint[23]	Breakpoint[22]	Breakpoint[21]	Breakpoint[20]	Breakpoint[19]	Breakpoint[18]	Breakpoint[17]	Breakpoint[16]
		Breakpoint[15]	Breakpoint[14]	Breakpoint[13]	Breakpoint[12]	Breakpoint[11]	Breakpoint[10]	Breakpoint[9]	Breakpoint[8]
		Breakpoint[7]	Breakpoint[6]	Breakpoint[5]	Breakpoint[4]	Breakpoint[3]	Breakpoint[2]	Breakpoint[1]	Breakpoint[0]
	CA9_DBG_DBGBVR5	Breakpoint[31]	Breakpoint[30]	Breakpoint[29]	Breakpoint[28]	Breakpoint[27]	Breakpoint[26]	Breakpoint[25]	Breakpoint[24]
		Breakpoint[23]	Breakpoint[22]	Breakpoint[21]	Breakpoint[20]	Breakpoint[19]	Breakpoint[18]	Breakpoint[17]	Breakpoint[16]
		Breakpoint[15]	Breakpoint[14]	Breakpoint[13]	Breakpoint[12]	Breakpoint[11]	Breakpoint[10]	Breakpoint[9]	Breakpoint[8]
		Breakpoint[7]	Breakpoint[6]	Breakpoint[5]	Breakpoint[4]	Breakpoint[3]	Breakpoint[2]	Breakpoint[1]	Breakpoint[0]
	CA9_DBG_DBGBCR0	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	M[2]	M[1]	M[0]	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	-	-	SP[1]	SP[0]	B

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_DBG_DBGBCR1	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	M[2]	M[1]	M[0]	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	-	-	SP[1]	SP[0]	B
	CA9_DBG_DBGBCR2	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	M[2]	M[1]	M[0]	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	-	-	SP[1]	SP[0]	B
	CA9_DBG_DBGBCR3	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	M[2]	M[1]	M[0]	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	-	-	SP[1]	SP[0]	B
	CA9_DBG_DBGBCR4	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	M[2]	M[1]	M[0]	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	-	-	SP[1]	SP[0]	B
	CA9_DBG_DBGBCR5	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	M[2]	M[1]	M[0]	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	-	-	SP[1]	SP[0]	B
	CA9_DBG_DBGWVR0	Watchpoint[31]	Watchpoint[30]	Watchpoint[29]	Watchpoint[28]	Watchpoint[27]	Watchpoint[26]	Watchpoint[25]	Watchpoint[24]
		Watchpoint[23]	Watchpoint[22]	Watchpoint[21]	Watchpoint[20]	Watchpoint[19]	Watchpoint[18]	Watchpoint[17]	Watchpoint[16]
		Watchpoint[15]	Watchpoint[14]	Watchpoint[13]	Watchpoint[12]	Watchpoint[11]	Watchpoint[10]	Watchpoint[9]	Watchpoint[8]
		Watchpoint[7]	Watchpoint[6]	Watchpoint[5]	Watchpoint[4]	Watchpoint[3]	Watchpoint[2]	Watchpoint[1]	Watchpoint[0]
	CA9_DBG_DBGWVR1	Watchpoint[31]	Watchpoint[30]	Watchpoint[29]	Watchpoint[28]	Watchpoint[27]	Watchpoint[26]	Watchpoint[25]	Watchpoint[24]
		Watchpoint[23]	Watchpoint[22]	Watchpoint[21]	Watchpoint[20]	Watchpoint[19]	Watchpoint[18]	Watchpoint[17]	Watchpoint[16]
		Watchpoint[15]	Watchpoint[14]	Watchpoint[13]	Watchpoint[12]	Watchpoint[11]	Watchpoint[10]	Watchpoint[9]	Watchpoint[8]
		Watchpoint[7]	Watchpoint[6]	Watchpoint[5]	Watchpoint[4]	Watchpoint[3]	Watchpoint[2]	Watchpoint[1]	Watchpoint[0]
	CA9_DBG_DBGWVR2	Watchpoint[31]	Watchpoint[30]	Watchpoint[29]	Watchpoint[28]	Watchpoint[27]	Watchpoint[26]	Watchpoint[25]	Watchpoint[24]
		Watchpoint[23]	Watchpoint[22]	Watchpoint[21]	Watchpoint[20]	Watchpoint[19]	Watchpoint[18]	Watchpoint[17]	Watchpoint[16]
		Watchpoint[15]	Watchpoint[14]	Watchpoint[13]	Watchpoint[12]	Watchpoint[11]	Watchpoint[10]	Watchpoint[9]	Watchpoint[8]
		Watchpoint[7]	Watchpoint[6]	Watchpoint[5]	Watchpoint[4]	Watchpoint[3]	Watchpoint[2]	Watchpoint[1]	Watchpoint[0]
	CA9_DBG_DBGWVR3	Watchpoint[31]	Watchpoint[30]	Watchpoint[29]	Watchpoint[28]	Watchpoint[27]	Watchpoint[26]	Watchpoint[25]	Watchpoint[24]
		Watchpoint[23]	Watchpoint[22]	Watchpoint[21]	Watchpoint[20]	Watchpoint[19]	Watchpoint[18]	Watchpoint[17]	Watchpoint[16]
		Watchpoint[15]	Watchpoint[14]	Watchpoint[13]	Watchpoint[12]	Watchpoint[11]	Watchpoint[10]	Watchpoint[9]	Watchpoint[8]
		Watchpoint[7]	Watchpoint[6]	Watchpoint[5]	Watchpoint[4]	Watchpoint[3]	Watchpoint[2]	Watchpoint[1]	Watchpoint[0]
	CA9_DBG_DBGWCR0	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	-	-	E	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	L/S[1]	L/S[0]	SP[1]	SP[0]	W
	CA9_DBG_DBGWCR1	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	-	-	E	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	L/S[1]	L/S[0]	SP[1]	SP[0]	W
	CA9_DBG_DBGWCR2	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	-	-	E	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	L/S[1]	L/S[0]	SP[1]	SP[0]	W
	CA9_DBG_DBGWCR3	-	-	-	address_mask[4]	address_mask[3]	address_mask[2]	address_mask[1]	address_mask[0]
		-	-	-	E	Linked BRP[3]	Linked BRP[2]	Linked BRP[1]	Linked BRP[0]
		Sec_state_cont[1]	Sec_state_cont[0]	-	-	-	-	-	Byte Add_sel[3]
		Byte Add_sel[2]	Byte Add_sel[1]	Byte Add_sel[0]	L/S[1]	L/S[0]	SP[1]	SP[0]	W
	CA9_DBG_MIDR	Implementer[7]	Implementer[6]	Implementer[5]	Implementer[4]	Implementer[3]	Implementer[2]	Implementer[1]	Implementer[0]
		Variant[3]	Variant[2]	Variant[1]	Variant[0]	Architecture[3]	Architecture[2]	Architecture[1]	Architecture[0]
		part number[11]	part number[10]	part number[9]	part number[8]	part number[7]	part number[6]	part number[5]	part number[4]
		part number[3]	part number[2]	part number[1]	part number[0]	Revision[3]	Revision[2]	Revision[1]	Revision[0]
	CA9_DBG_CTR	-	-	-	-	CWG[3]	CWG[2]	CWG[1]	CWG[0]
		ERG[3]	ERG[2]	ERG[1]	ERG[0]	DminLine[3]	DminLine[2]	DminLine[1]	DminLine[0]
		-	-	-	-	-	-	-	-
		-	-	-	-	IminLine[3]	IminLine[2]	IminLine[1]	IminLine[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_DBG_TLBTR	-	-	-	-	-	-	-	-
		ILSize[7]	ILSize[6]	ILSize[5]	ILSize[4]	ILSize[3]	ILSize[2]	ILSize[1]	ILSize[0]
		DLSize[7]	DLSize[6]	DLSize[5]	DLSize[4]	DLSize[3]	DLSize[2]	DLSize[1]	DLSize[0]
		-	-	-	-	-	-	TLB_size	uU
	CA9_DBG_MPIDR	-	U	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	ClusterID[3]	ClusterID[2]	ClusterID[1]	ClusterID[0]
		-	-	-	-	-	-	CPUID[1]	CPUID[0]
	CA9_DBG_REVIDR	ID[31]	ID[30]	ID[29]	ID[28]	ID[27]	ID[26]	ID[25]	ID[24]
		ID[23]	ID[22]	ID[21]	ID[20]	ID[19]	ID[18]	ID[17]	ID[16]
		ID[15]	ID[14]	ID[13]	ID[12]	ID[11]	ID[10]	ID[9]	ID[8]
		ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
	CA9_DBG_ID_PFR0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		State3[3]	State3[2]	State3[1]	State3[0]	State2[3]	State2[2]	State2[1]	State2[0]
		State1[3]	State1[2]	State1[1]	State1[0]	State0[3]	State0[2]	State0[1]	State0[0]
	CA9_DBG_ID_PFR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Mprofile[3]	Mprofile[2]	Mprofile[1]	Mprofile[0]
		Security[3]	Security[2]	Security[1]	Security[0]	model[3]	model[2]	model[1]	model[0]
	CA9_DBG_ID_DFR0	-	-	-	-	-	-	-	-
		Debug Model, M profile[3]	Debug Model, M profile[2]	Debug Model, M profile[1]	Debug Model, M profile[0]	Memory-mapped trace model[3]	Memory-mapped trace model[2]	Memory-mapped trace model[1]	Memory-mapped trace model[0]
		Coprocessor trace model[3]	Coprocessor trace model[2]	Coprocessor trace model[1]	Coprocessor trace model[0]	Memory-mapped debug model[3]	Memory-mapped debug model[2]	Memory-mapped debug model[1]	Memory-mapped debug model[0]
		Coprocessor Secure debug model[3]	Coprocessor Secure debug model[2]	Coprocessor Secure debug model[1]	Coprocessor Secure debug model[0]	Coprocessor debug model[3]	Coprocessor debug model[2]	Coprocessor debug model[1]	Coprocessor debug model[0]
	CA9_DBG_ID_MMFR0	Innermost shareability[3]	Innermost shareability[2]	Innermost shareability[1]	Innermost shareability[0]	FCSE support[3]	FCSE support[2]	FCSE support[1]	FCSE support[0]
		Auxiliary registers[3]	Auxiliary registers[2]	Auxiliary registers[1]	Auxiliary registers[0]	TCM support[3]	TCM support[2]	TCM support[1]	TCM support[0]
		Share ability levels[3]	Share ability levels[2]	Share ability levels[1]	Share ability levels[0]	Outermost shareability[3]	Outermost shareability[2]	Outermost shareability[1]	Outermost shareability[0]
		PMSA support[3]	PMSA support[2]	PMSA support[1]	PMSA support[0]	VMSA support[3]	VMSA support[2]	VMSA support[1]	VMSA support[0]
	CA9_DBG_ID_MMFR1	Branch Predictor[3]	Branch Predictor[2]	Branch Predictor[1]	Branch Predictor[0]	L1 cache Testand Clean[3]	L1 cache Testand Clean[2]	L1 cache Testand Clean[1]	L1 cache Testand Clean[0]
		L1 unified cache[3]	L1 unified cache[2]	L1 unified cache1]	L1 unified cache[0]	L1 Harvard cache[3]	L1 Harvard cache[2]	L1 Harvard cache[1]	L1 Harvard cache[0]
		L1 unified cache s/w[3]	L1 unified cache s/w[2]	L1 unified cache s/w[1]	L1 unified cache s/w[0]	L1 Harvard cache s/w[3]	L1 Harvard cache s/w[2]	L1 Harvard cache s/w[1]	L1 Harvard cache s/w[0]
		L1 unified cache VA[3]	L1 unified cache VA[2]	L1 unified cache VA[1]	L1 unified cache VA[0]	L1 Harvard cache VA[3]	L1 Harvard cache VA[2]	L1 Harvard cache VA[1]	L1 Harvard cache VA[0]
	CA9_DBG_ID_MMFR2	HW access flag[3]	HW access flag[2]	HW access flag[1]	HW access flag[0]	WFI stall[3]	WFI stall[2]	WFI stall[1]	WFI stall[0]
		Mem barrier[3]	Mem barrier[2]	Mem barrier[1]	Mem barrier[0]	Unified TLB[3]	Unified TLB[2]	Unified TLB[1]	Unified TLB[0]
		Harvard TLB[3]	Harvard TLB[2]	Harvard TLB[1]	Harvard TLB[0]	L1 Harvard range[3]	L1 Harvard range[2]	L1 Harvard range[1]	L1 Harvard range[0]
		L1 Harvard bg prefetch[3]	L1 Harvard bg prefetch[2]	L1 Harvard bg prefetch[1]	L1 Harvard bg prefetch[0]	L1 Harvard fg prefetch[3]	L1 Harvard fg prefetch[2]	L1 Harvard fg prefetch[1]	L1 Harvard fg prefetch[0]
	CA9_DBG_ID_MMFR3	Supersection support[3]	Supersection support[2]	Supersection support[1]	Supersection support[0]	-	-	-	-
		Coherent walk[3]	Coherent walk[2]	Coherent walk[1]	Coherent walk[0]	-	-	-	-
		Maintenance broadcast[3]	Maintenance broadcast[2]	Maintenance broadcast[1]	Maintenance broadcast[0]	BP maintain[3]	BP maintain[2]	BP maintain[1]	BP maintain[0]
		Cache maintenance s/w[3]	Cache maintenance s/w[2]	Cache maintenance s/w[1]	Cache maintenance s/w[0]	Cache maintenance MVA[3]	Cache maintenance MVA[2]	Cache maintenance MVA[1]	Cache maintenance MVA[0]
	CA9_DBG_ID_ISAR0	-	-	-	-	Divide_instrs[3]	Divide_instrs[2]	Divide_instrs[1]	Divide_instrs[0]
		Debug_instrs[3]	Debug_instrs[2]	Debug_instrs[1]	Debug_instrs[0]	Coproc_instrs[3]	Coproc_instrs[2]	Coproc_instrs[1]	Coproc_instrs[0]
		CmpBranch_instrs [3]	CmpBranch_instrs [2]	CmpBranch_instrs [1]	CmpBranch_instrs [0]	Bitfield_instrs[3]	Bitfield_instrs[2]	Bitfield_instrs[1]	Bitfield_instrs[0]
		BitCount_instrs[3]	BitCount_instrs[2]	BitCount_instrs[1]	BitCount_instrs[0]	Swap_instrs[3]	Swap_instrs[2]	Swap_instrs[1]	Swap_instrs[0]
	CA9_DBG_ID_ISAR1	Jazelle_instrs[3]	Jazelle_instrs[2]	Jazelle_instrs[1]	Jazelle_instrs[0]	Interwork_instrs[3]	Interwork_instrs[2]	Interwork_instrs[1]	Interwork_instrs[0]
		Immediate_instrs[3]	Immediate_instrs[2]	Immediate_instrs[1]	Immediate_instrs[0]	IfThen_instrs[3]	IfThen_instrs[2]	IfThen_instrs[1]	IfThen_instrs[0]
		Extend_instrs[3]	Extend_instrs[2]	Extend_instrs[1]	Extend_instrs[0]	Except_AR_instrs [3]	Except_AR_instrs [2]	Except_AR_instrs [1]	Except_AR_instrs [0]
		Except_instrs[3]	Except_instrs[2]	Except_instrs[1]	Except_instrs[0]	Endian_instrs[3]	Endian_instrs[2]	Endian_instrs[1]	Endian_instrs[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_DBG_ID_ISAR2	Reversal_instrs[3]	Reversal_instrs[2]	Reversal_instrs[1]	Reversal_instrs[0]	PSR_AR_instrs[3]	PSR_AR_instrs[2]	PSR_AR_instrs[1]	PSR_AR_instrs[0]
		MultU_instrs[3]	MultU_instrs[2]	MultU_instrs[1]	MultU_instrs[0]	Mult_instrs[3]	Mult_instrs[2]	Mult_instrs[1]	Mult_instrs[0]
		Mult_instrs[3]	Mult_instrs[2]	Mult_instrs[1]	Mult_instrs[0]	MultiAccessInt_instrs[3]	MultiAccessInt_instrs[2]	MultiAccessInt_instrs[1]	MultiAccessInt_instrs[0]
		MemHint_instrs[3]	MemHint_instrs[2]	MemHint_instrs[1]	MemHint_instrs[0]	LoadStore_instrs[3]	LoadStore_instrs[2]	LoadStore_instrs[1]	LoadStore_instrs[0]
	CA9_DBG_ID_ISAR3	ThumbEE_extn_instrs[3]	ThumbEE_extn_instrs[2]	ThumbEE_extn_instrs[1]	ThumbEE_extn_instrs[0]	TrueNOP_instrs[3]	TrueNOP_instrs[2]	TrueNOP_instrs[1]	TrueNOP_instrs[0]
		ThumbCopy_instrs[3]	ThumbCopy_instrs[2]	ThumbCopy_instrs[1]	ThumbCopy_instrs[0]	TabBranch_instrs[3]	TabBranch_instrs[2]	TabBranch_instrs[1]	TabBranch_instrs[0]
		SynchPrim_instrs[3]	SynchPrim_instrs[2]	SynchPrim_instrs[1]	SynchPrim_instrs[0]	SVC_instrs[3]	SVC_instrs[2]	SVC_instrs[1]	SVC_instrs[0]
		SIMD_instrs[3]	SIMD_instrs[2]	SIMD_instrs[1]	SIMD_instrs[0]	Saturate_instrs[3]	Saturate_instrs[2]	Saturate_instrs[1]	Saturate_instrs[0]
	CA9_DBG_ID_ISAR4	SWP_frac[3]	SWP_frac[2]	SWP_frac[1]	SWP_frac[0]	PSR_M_instrs[3]	PSR_M_instrs[2]	PSR_M_instrs[1]	PSR_M_instrs[0]
		SynchPrim_instrs_frac[3]	SynchPrim_instrs_frac[2]	SynchPrim_instrs_frac[1]	SynchPrim_instrs_frac[0]	Barrier_instrs[3]	Barrier_instrs[2]	Barrier_instrs[1]	Barrier_instrs[0]
		SMC_instrs[3]	SMC_instrs[2]	SMC_instrs[1]	SMC_instrs[0]	Writeback_instrs[3]	Writeback_instrs[2]	Writeback_instrs[1]	Writeback_instrs[0]
		WithShifts_instrs[3]	WithShifts_instrs[2]	WithShifts_instrs[1]	WithShifts_instrs[0]	Unpriv_instrs[3]	Unpriv_instrs[2]	Unpriv_instrs[1]	Unpriv_instrs[0]
	CA9_DBG_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CLAIMSET[7]	CLAIMSET[6]	CLAIMSET[5]	CLAIMSET[4]	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	CA9_DBG_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CLAIMCLR[7]	CLAIMCLR[6]	CLAIMCLR[5]	CLAIMCLR[4]	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]
	CA9_DBG_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]
	CA9_DBG_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	CA9_DBG_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]
	CA9_DBG_DEVID	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	PCsample[3]	PCsample[2]	PCsample[1]	PCsample[0]
	CA9_DBG_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Sub_type[3]	Sub_type[2]	Sub_type[1]	Sub_type[0]	Main_class[3]	Main_class[2]	Main_class[1]	Main_class[0]
	CA9_DBG_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	CA9_DBG_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	CA9_DBG_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number[11]	Part_Number[10]	Part_Number[9]	Part_Number[8]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_DBG_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	CA9_DBG_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	CA9_DBG_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_DBG_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_DBG_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_DBG_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_PMU_PMXEVCNTR0	PMNX[31]	PMNX[30]	PMNX[29]	PMNX[28]	PMNX[27]	PMNX[26]	PMNX[25]	PMNX[24]
		PMNX[23]	PMNX[22]	PMNX[21]	PMNX[20]	PMNX[19]	PMNX[18]	PMNX[17]	PMNX[16]
		PMNX[15]	PMNX[14]	PMNX[13]	PMNX[12]	PMNX[11]	PMNX[10]	PMNX[9]	PMNX[8]
		PMNX[7]	PMNX[6]	PMNX[5]	PMNX[4]	PMNX[3]	PMNX[2]	PMNX[1]	PMNX[0]
	CA9_PMU_PMXEVCNTR1	PMNX[31]	PMNX[30]	PMNX[29]	PMNX[28]	PMNX[27]	PMNX[26]	PMNX[25]	PMNX[24]
		PMNX[23]	PMNX[22]	PMNX[21]	PMNX[20]	PMNX[19]	PMNX[18]	PMNX[17]	PMNX[16]
		PMNX[15]	PMNX[14]	PMNX[13]	PMNX[12]	PMNX[11]	PMNX[10]	PMNX[9]	PMNX[8]
		PMNX[7]	PMNX[6]	PMNX[5]	PMNX[4]	PMNX[3]	PMNX[2]	PMNX[1]	PMNX[0]
	CA9_PMU_PMXEVCNTR2	PMNX[31]	PMNX[30]	PMNX[29]	PMNX[28]	PMNX[27]	PMNX[26]	PMNX[25]	PMNX[24]
		PMNX[23]	PMNX[22]	PMNX[21]	PMNX[20]	PMNX[19]	PMNX[18]	PMNX[17]	PMNX[16]
		PMNX[15]	PMNX[14]	PMNX[13]	PMNX[12]	PMNX[11]	PMNX[10]	PMNX[9]	PMNX[8]
		PMNX[7]	PMNX[6]	PMNX[5]	PMNX[4]	PMNX[3]	PMNX[2]	PMNX[1]	PMNX[0]
	CA9_PMU_PMXEVCNTR3	PMNX[31]	PMNX[30]	PMNX[29]	PMNX[28]	PMNX[27]	PMNX[26]	PMNX[25]	PMNX[24]
		PMNX[23]	PMNX[22]	PMNX[21]	PMNX[20]	PMNX[19]	PMNX[18]	PMNX[17]	PMNX[16]
		PMNX[15]	PMNX[14]	PMNX[13]	PMNX[12]	PMNX[11]	PMNX[10]	PMNX[9]	PMNX[8]
		PMNX[7]	PMNX[6]	PMNX[5]	PMNX[4]	PMNX[3]	PMNX[2]	PMNX[1]	PMNX[0]
	CA9_PMU_PMXEVCNTR4	PMNX[31]	PMNX[30]	PMNX[29]	PMNX[28]	PMNX[27]	PMNX[26]	PMNX[25]	PMNX[24]
		PMNX[23]	PMNX[22]	PMNX[21]	PMNX[20]	PMNX[19]	PMNX[18]	PMNX[17]	PMNX[16]
		PMNX[15]	PMNX[14]	PMNX[13]	PMNX[12]	PMNX[11]	PMNX[10]	PMNX[9]	PMNX[8]
		PMNX[7]	PMNX[6]	PMNX[5]	PMNX[4]	PMNX[3]	PMNX[2]	PMNX[1]	PMNX[0]
	CA9_PMU_PMXEVCNTR5	PMNX[31]	PMNX[30]	PMNX[29]	PMNX[28]	PMNX[27]	PMNX[26]	PMNX[25]	PMNX[24]
		PMNX[23]	PMNX[22]	PMNX[21]	PMNX[20]	PMNX[19]	PMNX[18]	PMNX[17]	PMNX[16]
		PMNX[15]	PMNX[14]	PMNX[13]	PMNX[12]	PMNX[11]	PMNX[10]	PMNX[9]	PMNX[8]
		PMNX[7]	PMNX[6]	PMNX[5]	PMNX[4]	PMNX[3]	PMNX[2]	PMNX[1]	PMNX[0]
	CA9_PMU_PMCCNTR	CCNT[31]	CCNT[30]	CCNT[29]	CCNT[28]	CCNT[27]	CCNT[26]	CCNT[25]	CCNT[24]
		CCNT[23]	CCNT[22]	CCNT[21]	CCNT[20]	CCNT[19]	CCNT[18]	CCNT[17]	CCNT[16]
		CCNT[15]	CCNT[14]	CCNT[13]	CCNT[12]	CCNT[11]	CCNT[10]	CCNT[9]	CCNT[8]
		CCNT[7]	CCNT[6]	CCNT[5]	CCNT[4]	CCNT[3]	CCNT[2]	CCNT[1]	CCNT[0]
	CA9_PMU_PMXEVTYPER0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_PMU_PMXEVTYPER1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
	CA9_PMU_PMXEVTYPER2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
	CA9_PMU_PMXEVTYPER3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
	CA9_PMU_PMXEVTYPER4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
	CA9_PMU_PMXEVTYPER5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	SEL[4]	SEL[3]	SEL[2]	SEL[1]	SEL[0]
	CA9_PMU_PMCNTENSET	C	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	P5	P4	P3	P2	P1	P0
	CA9_PMU_PMCNTENCLR	C	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	P5	P4	P3	P2	P1	P0
	CA9_PMU_PMINTENSET	C	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	P5	P4	P3	P2	P1	P0
	CA9_PMU_PMINTENCLR	C	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	P5	P4	P3	P2	P1	P0
	CA9_PMU_PMINTENCLR	C	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	P5	P4	P3	P2	P1	P0
	CA9_PMU_PMOVSR	C	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	P5	P4	P3	P2	P1	P0
	CA9_PMU_PMSWINC	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	P5	P4	P3	P2	P1	P0
	CA9_PMU_PMCR	IMP[7]	IMP[6]	IMP[5]	IMP[4]	IMP[3]	IMP[2]	IMP[1]	IMP[0]
		IDCODE[7]	IDCODE[6]	IDCODE[5]	IDCODE[4]	IDCODE[3]	IDCODE[2]	IDCODE[1]	IDCODE[0]
		N[4]	N[3]	N[2]	N[1]	N[0]	-	-	-
		-	-	DP	X	D	C	P	E
	CA9_PMU_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CLAIMSET[7]	CLAIMSET[6]	CLAIMSET[5]	CLAIMSET[4]	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	CA9_PMU_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CLAIMCLR[7]	CLAIMCLR[6]	CLAIMCLR[5]	CLAIMCLR[4]	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]

表46.2　ビットー覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッグインタフェース	CA9_PMU_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]
	CA9_PMU_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	CA9_PMU_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]
	CA9_PMU_DEVID	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
	CA9_PMU_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Sub_type[3]	Sub_type[2]	Sub_type[1]	Sub_type[0]	Main_class[3]	Main_class[2]	Main_class[1]	Main_class[0]
	CA9_PMU_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	CA9_PMU_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	CA9_PMU_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number[11]	Part_Number[10]	Part_Number[9]	Part_Number[8]
	CA9_PMU_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	CA9_PMU_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	CA9_PMU_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_PMU_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_PMU_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_PMU_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_CTI_CTICONTROL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	GLBEN

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガ インタフェース	CA9_CTI_CTIINTACK	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		INTACK[7]	INTACK[6]	INTACK[5]	INTACK[4]	INTACK[3]	INTACK[2]	INTACK[1]	INTACK[0]
	CA9_CTI_CTIAPPSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	APPSET[3]	APPSET[2]	APPSET[1]	APPSET[0]
	CA9_CTI_CTIAPPCLEAR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	APPCLEAR[3]	APPCLEAR[2]	APPCLEAR[1]	APPCLEAR[0]
	CA9_CTI_CTIAPPPULSE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	APPULSE[3]	APPULSE[2]	APPULSE[1]	APPULSE[0]
	CA9_CTI_CTIINEN0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIINEN1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIINEN2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIINEN3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIINEN4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIINEN5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIINEN6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIINEN7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGINEN[3]	TRIGINEN[2]	TRIGINEN[1]	TRIGINEN[0]
	CA9_CTI_CTIOUTEN0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CA9_CTI_CTIOUTEN1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CA9_CTI_CTIOUTEN2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_CTI_CTIOUTEN3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CA9_CTI_CTIOUTEN4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CA9_CTI_CTIOUTEN5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CA9_CTI_CTIOUTEN6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CA9_CTI_CTIOUTEN7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	TRIGOUTEN[3]	TRIGOUTEN[2]	TRIGOUTEN[1]	TRIGOUTEN[0]
	CA9_CTI_CTITRIGINSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TRIGINSTATUS[7]	TRIGINSTATUS[6]	TRIGINSTATUS[5]	TRIGINSTATUS[4]	TRIGINSTATUS[3]	TRIGINSTATUS[2]	TRIGINSTATUS[1]	TRIGINSTATUS[0]
	CA9_CTI_CTITRIGOUTSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		TRIGOUTSTATUS[7]	TRIGOUTSTATUS[6]	TRIGOUTSTATUS[5]	TRIGOUTSTATUS[4]	TRIGOUTSTATUS[3]	TRIGOUTSTATUS[2]	TRIGOUTSTATUS[1]	TRIGOUTSTATUS[0]
	CA9_CTI_CTICHINSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CTCHINSTATUS[3]	CTCHINSTATUS[2]	CTCHINSTATUS[1]	CTCHINSTATUS[0]
	CA9_CTI_CTICHOUTSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CTCHOUTSTATUS[3]	CTCHOUTSTATUS[2]	CTCHOUTSTATUS[1]	CTCHOUTSTATUS[0]
	CA9_CTI_CTIGATE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CTIGATEEN3	CTIGATEEN2	CTIGATEEN1	CTIGATEEN0
	CA9_CTI_ASICCTL	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	ASICCTL[3]	ASICCTL[2]	ASICCTL[1]	ASICCTL[0]
	CA9_CTI_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	CA9_CTI_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]
	CA9_CTI_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	CA9_CTI_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	CA9_CTI_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]
	CA9_CTI_DEVID	-	-	-	-	-	-	-	-
		-	-	-	-	CHANWIDTH[3]	CHANWIDTH[2]	CHANWIDTH[1]	CHANWIDTH[0]
		TRIGWIDTH[7]	TRIGWIDTH[6]	TRIGWIDTH[5]	TRIGWIDTH[4]	TRIGWIDTH[3]	TRIGWIDTH[2]	TRIGWIDTH[1]	TRIGWIDTH[0]
		-	-	-	-	EXTMUXNUM[3]	EXTMUXNUM[2]	EXTMUXNUM[1]	EXTMUXNUM[0]
	CA9_CTI_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Sub_type[3]	Sub_type[2]	Sub_type[1]	Sub_type[0]	Major_type[3]	Major_type[2]	Major_type[1]	Major_type[0]
	CA9_CTI_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	CA9_CTI_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	CA9_CTI_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number [11]	Part_Number [10]	Part_Number[9]	Part_Number[8]
	CA9_CTI_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	CA9_CTI_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	CA9_CTI_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_CTI_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_CTI_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	CA9_CTI_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	PTM_A9_ETMCR	-	-	Return stack enable	Timestamp enable	Processor select[2]	Processor select [1]	Processor select [0]	-
		-	-	-	-	-	-	-	-
		Context IDsize[1]	Context IDsize[0]	-	CycleAccurate	-	ProgBit	Debug request control	Branch Broadcast
		Stall processor	-	-	-	-	-	-	PowerDown

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	PTM_A9_ETMCCR	ID Register present	-	-	-	Software access support	Trace stop/start block present	Number of Context ID comparators[1]	Number of Context ID comparators[0]
		FIFOFULL logic	Number of external outputs[2]	Number of external outputs[1]	Number of external outputs[0]	Number of external inputs[2]	Number of external inputs[1]	Number of external inputs[0]	Sequencer
		Numberofcounters [2]	Numberofcounters [1]	Numberofcounters [0]	-	-	-	-	-
		-	-	-	-	Number of pairs of address comparators[3]	Number of pairs of address comparators[2]	Number of pairs of address comparators[1]	Number of pairs of address comparators[0]
	PTM_A9_ETMTRIGGER	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Trigger event[15]	Trigger Event[14]	Trigger Event[13]	Trigger Event[12]	Trigger Event[11]	Trigger Event[10]	Trigger Event[9]	Trigger Event[8]
		Trigger Event[7]	Trigger Event[6]	Trigger Event[5]	Trigger Event[4]	Trigger Event[3]	Trigger Event[2]	Trigger Event[1]	Trigger Event[0]
	PTM_A9_ETMSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Trigger flag	Trace start/stop resource status	ProgBit value	Untraced overflow flag
	PTM_A9_ETMSCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	MAXCORES[2]	MAXCORES[1]	MAXCORES[0]	-	-	-	FIFOFULL supported
		-	-	-	-	-	-	-	-
	PTM_A9_ETMTSSCR	-	-	-	-	-	-	-	-
		Stop addresses[7]	Stop addresses[6]	Stop addresses[5]	Stop addresses[4]	Stop addresses[3]	Stop addresses[2]	Stop addresses[1]	Stop addresses[0]
		-	-	-	-	-	-	-	-
		Start addresses[7]	Start addresses[6]	Start addresses[5]	Start addresses[4]	Start addresses[3]	Start addresses[2]	Start addresses[1]	Start addresses[0]
	PTM_A9_ETMTEEVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Trace Enable event[15]	Trace Enable event[14]	Trace Enable event[13]	Trace Enable event[12]	Trace Enable event[11]	Trace Enable event[10]	Trace Enable event[9]	Trace Enable event[8]
		Trace Enable event[7]	Trace Enable event[6]	Trace Enable event[5]	Trace Enable event[4]	Trace Enable event[3]	Trace Enable event[2]	Trace Enable event[1]	Trace Enable event[0]
	PTM_A9_ETMTECR1	-	-	-	-	-	-	Trace control enable	Exclude/include flag
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
						Addresscom parators[3]	Addresscom parators[2]	Addresscom parators[1]	Addresscom parators[0]
	PTM_A9_ETMACVR1	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]
	PTM_A9_ETMACVR2	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]
	PTM_A9_ETMACVR3	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]
	PTM_A9_ETMACVR4	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]
	PTM_A9_ETMACVR5	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]
	PTM_A9_ETMACVR6	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]

表46.2　　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガ インタフェース	PTM_A9_ ETMACVR7	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]
	PTM_A9_ ETMACVR8	Address[31]	Address[30]	Address[29]	Address[28]	Address[27]	Address[26]	Address[25]	Address[24]
		Address[23]	Address[22]	Address[21]	Address[20]	Address[19]	Address[18]	Address[17]	Address[16]
		Address[15]	Address[14]	Address[13]	Address[12]	Address[11]	Address[10]	Address[9]	Address[8]
		Address[7]	Address[6]	Address[5]	Address[4]	Address[3]	Address[2]	Address[1]	Address[0]
	PTM_A9_ ETMACTR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ ETMACTR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ ETMACTR3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ ETMACTR4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ ETMACTR5	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ ETMACTR6	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ ETMACTR7	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ ETMACTR8	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Secure Level[1]	Secure Level[0]	Context ID[1]	Context ID[0]
		-	-	-	-	-	Access Type[2]	Access Type[1]	Access Type[0]
	PTM_A9_ETMCNTRL DVR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		value[15]	value[14]	value[13]	value[12]	value[11]	value[10]	value[9]	value[8]
		value[7]	value[6]	value[5]	value[4]	value[3]	value[2]	value[1]	value[0]
	PTM_A9_ ETMCNTRLDVR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		value[15]	value[14]	value[13]	value[12]	value[11]	value[10]	value[9]	value[8]
		value[7]	value[6]	value[5]	value[4]	value[3]	value[2]	value[1]	value[0]
	PTM_A9_ ETMCNTENR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ ETMCNTENR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ ETMCNTRLDEVR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	PTM_A9_ETMCNTRLDEVR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMCNTVR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		value[15]	value[14]	value[13]	value[12]	value[11]	value[10]	value[9]	value[8]
		value[7]	value[6]	value[5]	value[4]	value[3]	value[2]	value[1]	value[0]
	PTM_A9_ETMCNTVR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		value[15]	value[14]	value[13]	value[12]	value[11]	value[10]	value[9]	value[8]
		value[7]	value[6]	value[5]	value[4]	value[3]	value[2]	value[1]	value[0]
	PTM_A9_ETMSQ12EVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMSQ21EVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMSQ23EVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMSQ31EVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMSQ32EVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMSQ13EVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMSQR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	state[1]	state[0]
	PTM_A9_ETMEXTOUTEVR1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMEXTOUTEVR2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMCIDCVR1	value[31]	value[30]	value[29]	value[28]	value[27]	value[26]	value[25]	value[24]
		value[23]	value[22]	value[21]	value[20]	value[19]	value[18]	value[17]	value[16]
		value[15]	value[14]	value[13]	value[12]	value[11]	value[10]	value[9]	value[8]
		value[7]	value[6]	value[5]	value[4]	value[3]	value[2]	value[1]	value[0]
	PTM_A9_ETMCIDCMR	mask[31]	mask[30]	mask[29]	mask[28]	mask[27]	mask[26]	mask[25]	mask[24]
		mask[23]	mask[22]	mask[21]	mask[20]	mask[19]	mask[18]	mask[17]	mask[16]
		mask[15]	mask[14]	mask[13]	mask[12]	mask[11]	mask[10]	mask[9]	mask[8]
		mask[7]	mask[6]	mask[5]	mask[4]	mask[3]	mask[2]	mask[1]	mask[0]
	PTM_A9_ETMSYNCFR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	frequency[11]	frequency[10]	frequency[9]	frequency[8]
		frequency[7]	frequency[6]	frequency[5]	frequency[4]	frequency[3]	frequency[2]	frequency[1]	frequency[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	PTM_A9_ETMIDR	code[7]	code[6]	code[5]	code[4]	code[3]	code[2]	code[1]	code[0]
		-	-	-	-	Security	32-bitThumb	-	-
		-	-	-	-	Major[7]	Major[6]	Major[5]	Major[4]
		Minor[3]	Minor[2]	Minor[1]	Minor[0]	revision[3]	revision[2]	revision[1]	revision[0]
	PTM_A9_ETMCCER	-	-	-	-	-	-	Timestamps for DMB/DSB	DMB/DSB treated as waypoint
		Return stack implemented	Timestamping implemented	-	-	-	-	-	-
		Number of instrumentation resources[2]	Number of instrumentation resources[1]	Number of instrumentation resources[0]	-	-	Extended external input bus size[7]	Extended external input bus size[6]	Extended external input bus size[5]
		Extended external input bus size[4]	Extended external input bus size[3]	Extended external input bus size[2]	Extended external input bus size[1]	Extended external input bus size[0]	Number of extended external input selectors[2]	Number of extended external input selectors[1]	Number of extended external input selectors[0]
	PTM_A9_ETMEXTINSELR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	Second extended external input selector[5]	Second extended external input selector[4]	Second extended external input selector[3]	Second extended external input selector[2]	Second extended external input selector[1]	Second extended external input selector[0]
		-	-	First extended external input selector[5]	First extended external input selector[4]	First extended external input selector[3]	First extended external input selector[2]	First extended external input selector[1]	First extended external input selector[0]
	PTM_A9_ETMTSEVR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	event[16]
		event[15]	event[14]	event[13]	event[12]	event[11]	event[10]	event[9]	event[8]
		event[7]	event[6]	event[5]	event[4]	event[3]	event[2]	event[1]	event[0]
	PTM_A9_ETMAUXCR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Force synchronization packet insertion	Disable waypoint update packet	Disable timestamps on barriers	Disable forced overflow
	PTM_A9_ETMTRACEIDR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		ID[7]	ID[6]	ID[5]	ID[4]	ID[3]	ID[2]	ID[1]	ID[0]
	PTM_A9_OSLSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	Lock access mechanism indicator	32-bit access required	PTM trace registers locked/ unlocked	Lock access mechanism indicator
	PTM_A9_CLAIMSET	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CLAIMSET[7]	CLAIMSET[6]	CLAIMSET[5]	CLAIMSET[4]	CLAIMSET[3]	CLAIMSET[2]	CLAIMSET[1]	CLAIMSET[0]
	PTM_A9_CLAIMCLR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		CLAIMCLR[7]	CLAIMCLR[6]	CLAIMCLR[5]	CLAIMCLR[4]	CLAIMCLR[3]	CLAIMCLR[2]	CLAIMCLR[1]	CLAIMCLR[0]
	PTM_A9_LAR	ACCESS_W[31]	ACCESS_W[30]	ACCESS_W[29]	ACCESS_W[28]	ACCESS_W[27]	ACCESS_W[26]	ACCESS_W[25]	ACCESS_W[24]
		ACCESS_W[23]	ACCESS_W[22]	ACCESS_W[21]	ACCESS_W[20]	ACCESS_W[19]	ACCESS_W[18]	ACCESS_W[17]	ACCESS_W[16]
		ACCESS_W[15]	ACCESS_W[14]	ACCESS_W[13]	ACCESS_W[12]	ACCESS_W[11]	ACCESS_W[10]	ACCESS_W[9]	ACCESS_W[8]
		ACCESS_W[7]	ACCESS_W[6]	ACCESS_W[5]	ACCESS_W[4]	ACCESS_W[3]	ACCESS_W[2]	ACCESS_W[1]	ACCESS_W[0]
	PTM_A9_LSR	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	LOCKTYPE	LOCKGRANT	LOCKEXIST
	PTM_A9_AUTHSTATUS	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		SNID[1]	SNID[0]	SID[1]	SID[0]	NSNID[1]	NSNID[0]	NSID[1]	NSID[0]
	PTM_A9_DEVTYPE	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Sub_type[3]	Sub_type[2]	Sub_type[1]	Sub_type[0]	Main_type[3]	Main_type[2]	Main_type[1]	Main_type[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
デバッガインタフェース	PTM_A9_PERIPHID4	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		4KB_count[3]	4KB_count[2]	4KB_count[1]	4KB_count[0]	JEP106_code[3]	JEP106_code[2]	JEP106_code[1]	JEP106_code[0]
	PTM_A9_PERIPHID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Part_Number[7]	Part_Number[6]	Part_Number[5]	Part_Number[4]	Part_Number[3]	Part_Number[2]	Part_Number[1]	Part_Number[0]
	PTM_A9_PERIPHID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		JEP106_id[3]	JEP106_id[2]	JEP106_id[1]	JEP106_id[0]	Part_Number[11]	Part_Number[10]	Part_Number[9]	Part_Number[8]
	PTM_A9_PERIPHID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Revision[3]	Revision[2]	Revision[1]	Revision[0]	JEDEC	JEP106_id[6]	JEP106_id[5]	JEP106_id[4]
	PTM_A9_PERIPHID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		RevAnd[3]	RevAnd[2]	RevAnd[1]	RevAnd[0]	CUSTOM[3]	CUSTOM[2]	CUSTOM[1]	CUSTOM[0]
	PTM_A9_COMPID0	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	PTM_A9_COMPID1	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Class[3]	Class[2]	Class[1]	Class[0]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	PTM_A9_COMPID2	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
	PTM_A9_COMPID3	-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		-	-	-	-	-	-	-	-
		Preamble[7]	Preamble[6]	Preamble[5]	Preamble[4]	Preamble[3]	Preamble[2]	Preamble[1]	Preamble[0]
JPEGコーデックユニット注2)	JCMOD	—	—	—	—	DSP	REDU[2]	REDU[1]	REDU[0]
	JCCMD	BRST	—	—	—	—	JEND	JRST	JSRT
	JCQTN	—	—	QT3[1]	QT3[0]	QT2[1]	QT2[0]	QT1[1]	QT1[0]
	JCHTN	—	—	HTA3	HTD3	HTA2	HTD2	HTA1	HTD1
	JCDRIU	DRIU[7]	DRIU[6]	DRIU[5]	DRIU[4]	DRIU[3]	DRIU[2]	DRIU[1]	DRIU[0]
	JCDRID	DRID[7]	DRID[6]	DRID[5]	DRID[4]	DRID[3]	DRID[2]	DRID[1]	DRID[0]
	JCVSZU	VSZU[7]	VSZU[6]	VSZU[5]	VSZU[4]	VSZU[3]	VSZU[2]	VSZU[1]	VSZU[0]
	JCVSZD	VSZD[7]	VSZD[6]	VSZD[5]	VSZD[4]	VSZD[3]	VSZD[2]	VSZD[1]	VSZD[0]
	JCHSZU	HSZU[7]	HSZU[6]	HSZU[5]	HSZU[4]	HSZU[3]	HSZU[2]	HSZU[1]	HSZU[0]
	JCHSZD	HSZD[7]	HSZD[6]	HSZD[5]	HSZD[4]	HSZD[3]	HSZD[2]	HSZD[1]	HSZD[0]
	JCDTCU	DCU[7]	DCU[6]	DCU[5]	DCU[4]	DCU[3]	DCU[2]	DCU[1]	DCU[0]
	JCDTCM	DCM[7]	DCM[6]	DCM[5]	DCM[4]	DCM[3]	DCM[2]	DCM[1]	DCM[0]
	JCDTCD	DCD[7]	DCD[6]	DCD[5]	DCD[4]	DCD[3]	DCD[2]	DCD[1]	DCD[0]
	JINTE0	INT7	INT6	INT5	—	INT3	—	—	—
	JINTS0	—	INS6	INS5	—	INS3	—	—	—
	JCDERR	—	—	—	—	ERR[3]	ERR[2]	ERR[1]	ERR[0]
	JCRST	—	—	—	—	—	—	—	RST
	JIFECNT	—	—	—	—	—	—	—	—
		—	—	—	—	—	—	—	—
		—	JOUTRINI	JOUTRCMD	JOUTC	—	JOUTSWAP[2]	JOUTSWAP[1]	JOUTSWAP[0]
		—	DINRINI	DINRCMD	DINLC	—	DINSWAP[2]	DINSWAP[1]	DINSWAP[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
JPEGコーデックユニット注2)	JIFESA	ESA[31]	ESA[30]	ESA[29]	ESA[28]	ESA[27]	ESA[26]	ESA[25]	ESA[24]
		ESA[23]	ESA[22]	ESA[21]	ESA[20]	ESA[19]	ESA[18]	ESA[17]	ESA[16]
		ESA[15]	ESA[14]	ESA[13]	ESA[12]	ESA[11]	ESA[10]	ESA[9]	ESA[8]
		ESA[7]	ESA[6]	ESA[5]	ESA[4]	ESA[3]	ESA[2]	ESA[1]	ESA[0]
	JIFESOFST	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	ESMW[14]	ESMW[13]	ESMW[12]	ESMW[11]	ESMW[10]	ESMW[9]	ESMW[8]
		ESMW[7]	ESMW[6]	ESMW[5]	ESMW[4]	ESMW[3]	ESMW[2]	ESMW[1]	ESMW[0]
	JIFEDA	EDA[31]	EDA[30]	EDA[29]	EDA[28]	EDA[27]	EDA[26]	EDA[25]	EDA[24]
		EDA[23]	EDA[22]	EDA[21]	EDA[20]	EDA[19]	EDA[18]	EDA[17]	EDA[16]
		EDA[15]	EDA[14]	EDA[13]	EDA[12]	EDA[11]	EDA[10]	EDA[9]	EDA[8]
		EDA[7]	EDA[6]	EDA[5]	EDA[4]	EDA[3]	EDA[2]	EDA[1]	EDA[0]
	JIFESLC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LINES[15]	LINES[14]	LINES[13]	LINES[12]	LINES[11]	LINES[10]	LINES[9]	LINES[8]
		LINES[7]	LINES[6]	LINES[5]	LINES[4]	LINES[3]	LINES[2]	LINES[1]	LINES[0]
	JIFEDDC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		JDATAS[15]	JDATAS[14]	JDATAS[13]	JDATAS[12]	JDATAS[11]	JDATAS[10]	JDATAS[9]	JDATAS[8]
		JDATAS[7]	JDATAS[6]	JDATAS[5]	JDATAS[4]	JDATAS[3]	JDATAS[2]	JDATAS[1]	JDATAS[0]
	JIFDCNT	–	–	VINTER[1]	VINTER[0]	HINTER[1]	HINTER[0]	OPF[1]	OPF[0]
		–	–	–	–	–	–	–	–
		–	JINRINI	JINRCMD	JINC	–	JINSWAP[2]	JINSWAP[1]	JINSWAP[0]
		–	DOUTRINI	DOUTRCMD	DOUTLC	–	DOUTSWAP[2]	DOUTSWAP[1]	DOUTSWAP[0]
	JIFDSA	DSA[31]	DSA[30]	DSA[29]	DSA[28]	DSA[27]	DSA[26]	DSA[25]	DSA[24]
		DSA[23]	DSA[22]	DSA[21]	DSA[20]	DSA[19]	DSA[18]	DSA[17]	DSA[16]
		DSA[15]	DSA[14]	DSA[13]	DSA[12]	DSA[11]	DSA[10]	DSA[9]	DSA[8]
		DSA[7]	DSA[6]	DSA[5]	DSA[4]	DSA[3]	DSA[2]	DSA[1]	DSA[0]
	JIFDDOFST	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	DDMW[14]	DDMW[13]	DDMW[12]	DDMW[11]	DDMW[10]	DDMW[9]	DDMW[8]
		DDMW[7]	DDMW[6]	DDMW[5]	DDMW[4]	DDMW[3]	DDMW[2]	DDMW[1]	DDMW[0]
	JIFDDA	DDA[31]	DDA[30]	DDA[29]	DDA[28]	DDA[27]	DDA[26]	DDA[25]	DDA[24]
		DDA[23]	DDA[22]	DDA[21]	DDA[20]	DDA[19]	DDA[18]	DDA[17]	DDA[16]
		DDA[15]	DDA[14]	DDA[13]	DDA[12]	DDA[11]	DDA[10]	DDA[9]	DDA[8]
		DDA[7]	DDA[6]	DDA[5]	DDA[4]	DDA[3]	DDA[2]	DDA[1]	DDA[0]
	JIFDSDC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		JDATAS[15]	JDATAS[14]	JDATAS[13]	JDATAS[12]	JDATAS[11]	JDATAS[10]	JDATAS[9]	JDATAS[8]
		JDATAS[7]	JDATAS[6]	JDATAS[5]	JDATAS[4]	JDATAS[3]	JDATAS[2]	JDATAS[1]	JDATAS[0]
	JIFDDLC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		LINES[15]	LINES[14]	LINES[13]	LINES[12]	LINES[11]	LINES[10]	LINES[9]	LINES[8]
		LINES[7]	LINES[6]	LINES[5]	LINES[4]	LINES[3]	LINES[2]	LINES[1]	LINES[0]
	JIFDADT	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		ALPHA[7]	ALPHA[6]	ALPHA[5]	ALPHA[4]	ALPHA[3]	ALPHA[2]	ALPHA[1]	ALPHA[0]
	JINTE1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	CBTEN	DINLEN	JOUTEN	–	DBTEN	JINEN	DOUTLEN
	JINTS1	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	CBTF	DINLF	JOUTF	–	DBTF	JINF	DOUTLF
	JIFESVSZ	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DINYCHG	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
JPEGコーデックユニット注2)	JIFESHSZ	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DOUTYCHG	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
EthernetAVB注2)	CCC	–	–	–	–	–	–	FCE	LBME
		–	–	–	BOC	–	–	CSEL[1]	CSEL[0]
		–	–	–	–	–	–	–	DTSR
		–	–	–	–	–	–	OPC[1]	OPC[0]
	DBAT	TA[31]	TA[30]	TA[29]	TA[28]	TA[27]	TA[26]	TA[25]	TA[24]
		TA[23]	TA[22]	TA[21]	TA[20]	TA[19]	TA[18]	TA[17]	TA[16]
		TA[15]	TA[14]	TA[13]	TA[12]	TA[11]	TA[10]	TA[9]	TA[8]
		TA[7]	TA[6]	TA[5]	TA[4]	TA[3]	TA[2]	TA[1]	TA[0]
	DLR	–	–	–	–	–	–	–	–
		–	–	LBA21	LBA20	LBA19	LBA18	LBA17	LBA16
		LBA15	LBA14	LBA13	LBA12	LBA11	LBA10	LBA9	LBA8
		LBA7	LBA6	LBA5	LBA4	LBA3	LBA2	LBA1	LBA0
	CSR	–	–	–	–	–	–	–	–
		–	–	–	RPO	TPO3	TPO2	TPO1	TPO0
		–	–	–	–	–	–	–	DTS
		–	–	–	–	OPS[3]	OPS[2]	OPS[1]	OPS[0]
	CDAR0	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR1	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR2	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR3	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR4	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR5	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR6	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR7	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR8	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR9	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	CDAR10	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR11	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR12	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR13	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR14	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR15	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR16	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR17	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR18	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR19	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR20	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	CDAR21	CDA[31]	CDA[30]	CDA[29]	CDA[28]	CDA[27]	CDA[26]	CDA[25]	CDA[24]
		CDA[23]	CDA[22]	CDA[21]	CDA[20]	CDA[19]	CDA[18]	CDA[17]	CDA[16]
		CDA[15]	CDA[14]	CDA[13]	CDA[12]	CDA[11]	CDA[10]	CDA[9]	CDA[8]
		CDA[7]	CDA[6]	CDA[5]	CDA[4]	CDA[3]	CDA[2]	CDA[1]	CDA[0]
	ESR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	EIL	ET[3]	ET[2]	ET[1]	ET[0]
		–	–	–	EQN[4]	EQN[3]	EQN[2]	EQN[1]	EQN[0]
	RCR	–	–	–	RFCL[12]	RFCL[11]	RFCL[10]	RFCL[9]	RFCL[8]
		RFCL[7]	RFCL[6]	RFCL[5]	RFCL[4]	RFCL[3]	RFCL[2]	RFCL[1]	RFCL[0]
		–	–	–	–	–	–	–	–
		–	–	ETS2	ETS0	ESF[1]	ESF[0]	ENCF	EFFS
	RQC0	–	–	UFCC3[1]	UFCC3[0]	–	–	RSM3[1]	RSM3[0]
		–	–	UFCC2[1]	UFCC2[0]	–	–	RSM2[1]	RSM2[0]
		–	–	UFCC1[1]	UFCC1[0]	–	–	RSM1[1]	RSM1[0]
		–	–	UFCC0[1]	UFCC0[0]	–	–	RSM0[1]	RSM0[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	RQC1	–	–	UFCC3[1]	UFCC3[0]	–	–	RSM3[1]	RSM3[0]
		–	–	UFCC2[1]	UFCC2[0]	–	–	RSM2[1]	RSM2[0]
		–	–	UFCC1[1]	UFCC1[0]	–	–	RSM1[1]	RSM1[0]
		–	–	UFCC0[1]	UFCC0[0]	–	–	RSM0[1]	RSM0[0]
	RQC2	–	–	UFCC3[1]	UFCC3[0]	–	–	RSM3[1]	RSM3[0]
		–	–	UFCC2[1]	UFCC2[0]	–	–	RSM2[1]	RSM2[0]
		–	–	UFCC1[1]	UFCC1[0]	–	–	RSM1[1]	RSM1[0]
		–	–	UFCC0[1]	UFCC0[0]	–	–	RSM0[1]	RSM0[0]
	RQC3	–	–	UFCC3[1]	UFCC3[0]	–	–	RSM3[1]	RSM3[0]
		–	–	UFCC2[1]	UFCC2[0]	–	–	RSM2[1]	RSM2[0]
		–	–	UFCC1[1]	UFCC1[0]	–	–	RSM1[1]	RSM1[0]
		–	–	UFCC0[1]	UFCC0[0]	–	–	RSM0[1]	RSM0[0]
	RQC4	–	–	UFCC3[1]	UFCC3[0]	–	–	RSM3[1]	RSM3[0]
		–	–	UFCC2[1]	UFCC2[0]	–	–	RSM2[1]	RSM2[0]
		–	–	UFCC1[1]	UFCC1[0]	–	–	RSM1[1]	RSM1[0]
		–	–	UFCC0[1]	UFCC0[0]	–	–	RSM0[1]	RSM0[0]
	RPC	–	–	–	–	–	–	–	–
		DCNT[7]	DCNT[6]	DCNT[5]	DCNT[4]	DCNT[3]	DCNT[2]	DCNT[1]	DCNT[0]
		–	–	–	–	–	PCNT[2]	PCNT[1]	PCNT[0]
		–	–	–	–	–	–	–	–
	UFCS	–	–	SL3[5]	SL3[4]	SL3[3]	SL3[2]	SL3[1]	SL3[0]
		–	–	SL2[5]	SL2[4]	SL2[3]	SL2[2]	SL2[1]	SL2[0]
		–	–	SL1[5]	SL1[4]	SL1[3]	SL1[2]	SL1[1]	SL1[0]
		–	–	SL0[5]	SL0[4]	SL0[3]	SL0[2]	SL0[1]	SL0[0]
	UFCV0	–	–	CV3[5]	CV3[4]	CV3[3]	CV3[2]	CV3[1]	CV3[0]
		–	–	CV2[5]	CV2[4]	CV2[3]	CV2[2]	CV2[1]	CV2[0]
		–	–	CV1[5]	CV1[4]	CV1[3]	CV1[2]	CV1[1]	CV1[0]
		–	–	CV0[5]	CV0[4]	CV0[3]	CV0[2]	CV0[1]	CV0[0]
	UFCV1	–	–	CV3[5]	CV3[4]	CV3[3]	CV3[2]	CV3[1]	CV3[0]
		–	–	CV2[5]	CV2[4]	CV2[3]	CV2[2]	CV2[1]	CV2[0]
		–	–	CV1[5]	CV1[4]	CV1[3]	CV1[2]	CV1[1]	CV1[0]
		–	–	CV0[5]	CV0[4]	CV0[3]	CV0[2]	CV0[1]	CV0[0]
	UFCV2	–	–	CV3[5]	CV3[4]	CV3[3]	CV3[2]	CV3[1]	CV3[0]
		–	–	CV2[5]	CV2[4]	CV2[3]	CV2[2]	CV2[1]	CV2[0]
		–	–	CV1[5]	CV1[4]	CV1[3]	CV1[2]	CV1[1]	CV1[0]
		–	–	CV0[5]	CV0[4]	CV0[3]	CV0[2]	CV0[1]	CV0[0]
	UFCV3	–	–	CV3[5]	CV3[4]	CV3[3]	CV3[2]	CV3[1]	CV3[0]
		–	–	CV2[5]	CV2[4]	CV2[3]	CV2[2]	CV2[1]	CV2[0]
		–	–	CV1[5]	CV1[4]	CV1[3]	CV1[2]	CV1[1]	CV1[0]
		–	–	CV0[5]	CV0[4]	CV0[3]	CV0[2]	CV0[1]	CV0[0]
	UFCV4	–	–	CV3[5]	CV3[4]	CV3[3]	CV3[2]	CV3[1]	CV3[0]
		–	–	CV2[5]	CV2[4]	CV2[3]	CV2[2]	CV2[1]	CV2[0]
		–	–	CV1[5]	CV1[4]	CV1[3]	CV1[2]	CV1[1]	CV1[0]
		–	–	CV0[5]	CV0[4]	CV0[3]	CV0[2]	CV0[1]	CV0[0]
	UFCD0	–	–	DV3[5]	DV3[4]	DV3[3]	DV3[2]	DV3[1]	DV3[0]
		–	–	DV2[5]	DV2[4]	DV2[3]	DV2[2]	DV2[1]	DV2[0]
		–	–	DV1[5]	DV1[4]	DV1[3]	DV1[2]	DV1[1]	DV1[0]
		–	–	DV0[5]	DV0[4]	DV0[3]	DV0[2]	DV0[1]	DV0[0]
	UFCD1	–	–	DV3[5]	DV3[4]	DV3[3]	DV3[2]	DV3[1]	DV3[0]
		–	–	DV2[5]	DV2[4]	DV2[3]	DV2[2]	DV2[1]	DV2[0]
		–	–	DV1[5]	DV1[4]	DV1[3]	DV1[2]	DV1[1]	DV1[0]
		–	–	DV0[5]	DV0[4]	DV0[3]	DV0[2]	DV0[1]	DV0[0]
	UFCD2	–	–	DV3[5]	DV3[4]	DV3[3]	DV3[2]	DV3[1]	DV3[0]
		–	–	DV2[5]	DV2[4]	DV2[3]	DV2[2]	DV2[1]	DV2[0]
		–	–	DV1[5]	DV1[4]	DV1[3]	DV1[2]	DV1[1]	DV1[0]
		–	–	DV0[5]	DV0[4]	DV0[3]	DV0[2]	DV0[1]	DV0[0]
	UFCD3	–	–	DV3[5]	DV3[4]	DV3[3]	DV3[2]	DV3[1]	DV3[0]
		–	–	DV2[5]	DV2[4]	DV2[3]	DV2[2]	DV2[1]	DV2[0]
		–	–	DV1[5]	DV1[4]	DV1[3]	DV1[2]	DV1[1]	DV1[0]
		–	–	DV0[5]	DV0[4]	DV0[3]	DV0[2]	DV0[1]	DV0[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	UFCD4	–	–	DV3[5]	DV3[4]	DV3[3]	DV3[2]	DV3[1]	DV3[0]
		–	–	DV2[5]	DV2[4]	DV2[3]	DV2[2]	DV2[1]	DV2[0]
		–	–	DV1[5]	DV1[4]	DV1[3]	DV1[2]	DV1[1]	DV1[0]
		–	–	DV0[5]	DV0[4]	DV0[3]	DV0[2]	DV0[1]	DV0[0]
	SFO	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	FBP[5]	FBP[4]	FBP[3]	FBP[2]	FBP[1]	FBP[0]
	SFP0	FP0[31]	FP0[30]	FP0[29]	FP0[28]	FP0[27]	FP0[26]	FP0[25]	FP0[24]
		FP0[23]	FP0[22]	FP0[21]	FP0[20]	FP0[19]	FP0[18]	FP0[17]	FP0[16]
		FP0[15]	FP0[14]	FP0[13]	FP0[12]	FP0[11]	FP0[10]	FP0[9]	FP0[8]
		FP0[7]	FP0[6]	FP0[5]	FP0[4]	FP0[3]	FP0[2]	FP0[1]	FP0[0]
	SFP1	FP0[63]	FP0[62]	FP0[61]	FP0[60]	FP0[59]	FP0[58]	FP0[57]	FP0[56]
		FP0[55]	FP0[54]	FP0[53]	FP0[52]	FP0[51]	FP0[50]	FP0[49]	FP0[48]
		FP0[47]	FP0[46]	FP0[45]	FP0[44]	FP0[43]	FP0[42]	FP0[41]	FP0[40]
		FP0[39]	FP0[38]	FP0[37]	FP0[36]	FP0[35]	FP0[34]	FP0[33]	FP0[32]
	SFP2	FP1[31]	FP1[30]	FP1[29]	FP1[28]	FP1[27]	FP1[26]	FP1[25]	FP1[24]
		FP1[23]	FP1[22]	FP1[21]	FP1[20]	FP1[19]	FP1[18]	FP1[17]	FP1[16]
		FP1[15]	FP1[14]	FP1[13]	FP1[12]	FP1[11]	FP1[10]	FP1[9]	FP1[8]
		FP1[7]	FP1[6]	FP1[5]	FP1[4]	FP1[3]	FP1[2]	FP1[1]	FP1[0]
	SFP3	FP1[63]	FP1[62]	FP1[61]	FP1[60]	FP1[59]	FP1[58]	FP1[57]	FP1[56]
		FP1[55]	FP1[54]	FP1[53]	FP1[52]	FP1[51]	FP1[50]	FP1[49]	FP1[48]
		FP1[47]	FP1[46]	FP1[45]	FP1[44]	FP1[43]	FP1[42]	FP1[41]	FP1[40]
		FP1[39]	FP1[38]	FP1[37]	FP1[36]	FP1[35]	FP1[34]	FP1[33]	FP1[32]
	SFP4	FP2[31]	FP2[30]	FP2[29]	FP2[28]	FP2[27]	FP2[26]	FP2[25]	FP2[24]
		FP2[23]	FP2[22]	FP2[21]	FP2[20]	FP2[19]	FP2[18]	FP2[17]	FP2[16]
		FP2[15]	FP2[14]	FP2[13]	FP2[12]	FP2[11]	FP2[10]	FP2[9]	FP2[8]
		FP2[7]	FP2[6]	FP2[5]	FP2[4]	FP2[3]	FP2[2]	FP2[1]	FP2[0]
	SFP5	FP2[63]	FP2[62]	FP2[61]	FP2[60]	FP2[59]	FP2[58]	FP2[57]	FP2[56]
		FP2[55]	FP2[54]	FP2[53]	FP2[52]	FP2[51]	FP2[50]	FP2[49]	FP2[48]
		FP2[47]	FP2[46]	FP2[45]	FP2[44]	FP2[43]	FP2[42]	FP2[41]	FP2[40]
		FP2[39]	FP2[38]	FP2[37]	FP2[36]	FP2[35]	FP2[34]	FP2[33]	FP2[32]
	SFP6	FP3[31]	FP3[30]	FP3[29]	FP3[28]	FP3[27]	FP3[26]	FP3[25]	FP3[24]
		FP3[23]	FP3[22]	FP3[21]	FP3[20]	FP3[19]	FP3[18]	FP3[17]	FP3[16]
		FP3[15]	FP3[14]	FP3[13]	FP3[12]	FP3[11]	FP3[10]	FP3[9]	FP3[8]
		FP3[7]	FP3[6]	FP3[5]	FP3[4]	FP3[3]	FP3[2]	FP3[1]	FP3[0]
	SFP7	FP3[63]	FP3[62]	FP3[61]	FP3[60]	FP3[59]	FP3[58]	FP3[57]	FP3[56]
		FP3[55]	FP3[54]	FP3[53]	FP3[52]	FP3[51]	FP3[50]	FP3[49]	FP3[48]
		FP3[47]	FP3[46]	FP3[45]	FP3[44]	FP3[43]	FP3[42]	FP3[41]	FP3[40]
		FP3[39]	FP3[38]	FP3[37]	FP3[36]	FP3[35]	FP3[34]	FP3[33]	FP3[32]
	SFP8	FP4[31]	FP4[30]	FP4[29]	FP4[28]	FP4[27]	FP4[26]	FP4[25]	FP4[24]
		FP4[23]	FP4[22]	FP4[21]	FP4[20]	FP4[19]	FP4[18]	FP4[17]	FP4[16]
		FP4[15]	FP4[14]	FP4[13]	FP4[12]	FP4[11]	FP4[10]	FP4[9]	FP4[8]
		FP4[7]	FP4[6]	FP4[5]	FP4[4]	FP4[3]	FP4[2]	FP4[1]	FP4[0]
	SFP9	FP4[63]	FP4[62]	FP4[61]	FP4[60]	FP4[59]	FP4[58]	FP4[57]	FP4[56]
		FP4[55]	FP4[54]	FP4[53]	FP4[52]	FP4[51]	FP4[50]	FP4[49]	FP4[48]
		FP4[47]	FP4[46]	FP4[45]	FP4[44]	FP4[43]	FP4[42]	FP4[41]	FP4[40]
		FP4[39]	FP4[38]	FP4[37]	FP4[36]	FP4[35]	FP4[34]	FP4[33]	FP4[32]
	SFP10	FP5[31]	FP5[30]	FP5[29]	FP5[28]	FP5[27]	FP5[26]	FP5[25]	FP5[24]
		FP5[23]	FP5[22]	FP5[21]	FP5[20]	FP5[19]	FP5[18]	FP5[17]	FP5[16]
		FP5[15]	FP5[14]	FP5[13]	FP5[12]	FP5[11]	FP5[10]	FP5[9]	FP5[8]
		FP5[7]	FP5[6]	FP5[5]	FP5[4]	FP5[3]	FP5[2]	FP5[1]	FP5[0]
	SFP11	FP5[63]	FP5[62]	FP5[61]	FP5[60]	FP5[59]	FP5[58]	FP5[57]	FP5[56]
		FP5[55]	FP5[54]	FP5[53]	FP5[52]	FP5[51]	FP5[50]	FP5[49]	FP5[48]
		FP5[47]	FP5[46]	FP5[45]	FP5[44]	FP5[43]	FP5[42]	FP5[41]	FP5[40]
		FP5[39]	FP5[38]	FP5[37]	FP5[36]	FP5[35]	FP5[34]	FP5[33]	FP5[32]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	SFP12	FP6[31]	FP6[30]	FP6[29]	FP6[28]	FP6[27]	FP6[26]	FP6[25]	FP6[24]
		FP6[23]	FP6[22]	FP6[21]	FP6[20]	FP6[19]	FP6[18]	FP6[17]	FP6[16]
		FP6[15]	FP6[14]	FP6[13]	FP6[12]	FP6[11]	FP6[10]	FP6[9]	FP6[8]
		FP6[7]	FP6[6]	FP6[5]	FP6[4]	FP6[3]	FP6[2]	FP6[1]	FP6[0]
	SFP13	FP6[63]	FP6[62]	FP6[61]	FP6[60]	FP6[59]	FP6[58]	FP6[57]	FP6[56]
		FP6[55]	FP6[54]	FP6[53]	FP6[52]	FP6[51]	FP6[50]	FP6[49]	FP6[48]
		FP6[47]	FP6[46]	FP6[45]	FP6[44]	FP6[43]	FP6[42]	FP6[41]	FP6[40]
		FP6[39]	FP6[38]	FP6[37]	FP6[36]	FP6[35]	FP6[34]	FP6[33]	FP6[32]
	SFP14	FP7[31]	FP7[30]	FP7[29]	FP7[28]	FP7[27]	FP7[26]	FP7[25]	FP7[24]
		FP7[23]	FP7[22]	FP7[21]	FP7[20]	FP7[19]	FP7[18]	FP7[17]	FP7[16]
		FP7[15]	FP7[14]	FP7[13]	FP7[12]	FP7[11]	FP7[10]	FP7[9]	FP7[8]
		FP7[7]	FP7[6]	FP7[5]	FP7[4]	FP7[3]	FP7[2]	FP7[1]	FP7[0]
	SFP15	FP7[63]	FP7[62]	FP7[61]	FP7[60]	FP7[59]	FP7[58]	FP7[57]	FP7[56]
		FP7[55]	FP7[54]	FP7[53]	FP7[52]	FP7[51]	FP7[50]	FP7[49]	FP7[48]
		FP7[47]	FP7[46]	FP7[45]	FP7[44]	FP7[43]	FP7[42]	FP7[41]	FP7[40]
		FP7[39]	FP7[38]	FP7[37]	FP7[36]	FP7[35]	FP7[34]	FP7[33]	FP7[32]
	SFP16	FP8[31]	FP8[30]	FP8[29]	FP8[28]	FP8[27]	FP8[26]	FP8[25]	FP8[24]
		FP8[23]	FP8[22]	FP8[21]	FP8[20]	FP8[19]	FP8[18]	FP8[17]	FP8[16]
		FP8[15]	FP8[14]	FP8[13]	FP8[12]	FP8[11]	FP8[10]	FP8[9]	FP8[8]
		FP8[7]	FP8[6]	FP8[5]	FP8[4]	FP8[3]	FP8[2]	FP8[1]	FP8[0]
	SFP17	FP8[63]	FP8[62]	FP8[61]	FP8[60]	FP8[59]	FP8[58]	FP8[57]	FP8[56]
		FP8[55]	FP8[54]	FP8[53]	FP8[52]	FP8[51]	FP8[50]	FP8[49]	FP8[48]
		FP8[47]	FP8[46]	FP8[45]	FP8[44]	FP8[43]	FP8[42]	FP8[41]	FP8[40]
		FP8[39]	FP8[38]	FP8[37]	FP8[36]	FP8[35]	FP8[34]	FP8[33]	FP8[32]
	SFP18	FP9[31]	FP9[30]	FP9[29]	FP9[28]	FP9[27]	FP9[26]	FP9[25]	FP9[24]
		FP9[23]	FP9[22]	FP9[21]	FP9[20]	FP9[19]	FP9[18]	FP9[17]	FP9[16]
		FP9[15]	FP9[14]	FP9[13]	FP9[12]	FP9[11]	FP9[10]	FP9[9]	FP9[8]
		FP9[7]	FP9[6]	FP9[5]	FP9[4]	FP9[3]	FP9[2]	FP9[1]	FP9[0]
	SFP19	FP9[63]	FP9[62]	FP9[61]	FP9[60]	FP9[59]	FP9[58]	FP9[57]	FP9[56]
		FP9[55]	FP9[54]	FP9[53]	FP9[52]	FP9[51]	FP9[50]	FP9[49]	FP9[48]
		FP9[47]	FP9[46]	FP9[45]	FP9[44]	FP9[43]	FP9[42]	FP9[41]	FP9[40]
		FP9[39]	FP9[38]	FP9[37]	FP9[36]	FP9[35]	FP9[34]	FP9[33]	FP9[32]
	SFP20	FP10[31]	FP10[30]	FP10[29]	FP10[28]	FP10[27]	FP10[26]	FP10[25]	FP10[24]
		FP10[23]	FP10[22]	FP10[21]	FP10[20]	FP10[19]	FP10[18]	FP10[17]	FP10[16]
		FP10[15]	FP10[14]	FP10[13]	FP10[12]	FP10[11]	FP10[10]	FP10[9]	FP10[8]
		FP10[7]	FP10[6]	FP10[5]	FP10[4]	FP10[3]	FP10[2]	FP10[1]	FP10[0]
	SFP21	FP10[63]	FP10[62]	FP10[61]	FP10[60]	FP10[59]	FP10[58]	FP10[57]	FP10[56]
		FP10[55]	FP10[54]	FP10[53]	FP10[52]	FP10[51]	FP10[50]	FP10[49]	FP10[48]
		FP10[47]	FP10[46]	FP10[45]	FP10[44]	FP10[43]	FP10[42]	FP10[41]	FP10[40]
		FP10[39]	FP10[38]	FP10[37]	FP10[36]	FP10[35]	FP10[34]	FP10[33]	FP10[32]
	SFP22	FP11[31]	FP11[30]	FP11[29]	FP11[28]	FP11[27]	FP11[26]	FP11[25]	FP11[24]
		FP11[23]	FP11[22]	FP11[21]	FP11[20]	FP11[19]	FP11[18]	FP11[17]	FP11[16]
		FP11[15]	FP11[14]	FP11[13]	FP11[12]	FP11[11]	FP11[10]	FP11[9]	FP11[8]
		FP11[7]	FP11[6]	FP11[5]	FP11[4]	FP11[3]	FP11[2]	FP11[1]	FP11[0]
	SFP23	FP11[63]	FP11[62]	FP11[61]	FP11[60]	FP11[59]	FP11[58]	FP11[57]	FP11[56]
		FP11[55]	FP11[54]	FP11[53]	FP11[52]	FP11[51]	FP11[50]	FP11[49]	FP11[48]
		FP11[47]	FP11[46]	FP11[45]	FP11[44]	FP11[43]	FP11[42]	FP11[41]	FP11[40]
		FP11[39]	FP11[38]	FP11[37]	FP11[36]	FP11[35]	FP11[34]	FP11[33]	FP11[32]
	SFP24	FP12[31]	FP12[30]	FP12[29]	FP12[28]	FP12[27]	FP12[26]	FP12[25]	FP12[24]
		FP12[23]	FP12[22]	FP12[21]	FP12[20]	FP12[19]	FP12[18]	FP12[17]	FP12[16]
		FP12[15]	FP12[14]	FP12[13]	FP12[12]	FP12[11]	FP12[10]	FP12[9]	FP12[8]
		FP12[7]	FP12[6]	FP12[5]	FP12[4]	FP12[3]	FP12[2]	FP12[1]	FP12[0]
	SFP25	FP12[63]	FP12[62]	FP12[61]	FP12[60]	FP12[59]	FP12[58]	FP12[57]	FP12[56]
		FP12[55]	FP12[54]	FP12[53]	FP12[52]	FP12[51]	FP12[50]	FP12[49]	FP12[48]
		FP12[47]	FP12[46]	FP12[45]	FP12[44]	FP12[43]	FP12[42]	FP12[41]	FP12[40]
		FP12[39]	FP12[38]	FP12[37]	FP12[36]	FP12[35]	FP12[34]	FP12[33]	FP12[32]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	SFP26	FP13[31]	FP13[30]	FP13[29]	FP13[28]	FP13[27]	FP13[26]	FP13[25]	FP13[24]
		FP13[23]	FP13[22]	FP13[21]	FP13[20]	FP13[19]	FP13[18]	FP13[17]	FP13[16]
		FP13[15]	FP13[14]	FP13[13]	FP13[12]	FP13[11]	FP13[10]	FP13[9]	FP13[8]
		FP13[7]	FP13[6]	FP13[5]	FP13[4]	FP13[3]	FP13[2]	FP13[1]	FP13[0]
	SFP27	FP13[63]	FP13[62]	FP13[61]	FP13[60]	FP13[59]	FP13[58]	FP13[57]	FP13[56]
		FP13[55]	FP13[54]	FP13[53]	FP13[52]	FP13[51]	FP13[50]	FP13[49]	FP13[48]
		FP13[47]	FP13[46]	FP13[45]	FP13[44]	FP13[43]	FP13[42]	FP13[41]	FP13[40]
		FP13[39]	FP13[38]	FP13[37]	FP13[36]	FP13[35]	FP13[34]	FP13[33]	FP13[32]
	SFP28	FP14[31]	FP14[30]	FP14[29]	FP14[28]	FP14[27]	FP14[26]	FP14[25]	FP14[24]
		FP14[23]	FP14[22]	FP14[21]	FP14[20]	FP14[19]	FP14[18]	FP14[17]	FP14[16]
		FP14[15]	FP14[14]	FP14[13]	FP14[12]	FP14[11]	FP14[10]	FP14[9]	FP14[8]
		FP14[7]	FP14[6]	FP14[5]	FP14[4]	FP14[3]	FP14[2]	FP14[1]	FP14[0]
	SFP29	FP14[63]	FP14[62]	FP14[61]	FP14[60]	FP14[59]	FP14[58]	FP14[57]	FP14[56]
		FP14[55]	FP14[54]	FP14[53]	FP14[52]	FP14[51]	FP14[50]	FP14[49]	FP14[48]
		FP14[47]	FP14[46]	FP14[45]	FP14[44]	FP14[43]	FP14[42]	FP14[41]	FP14[40]
		FP14[39]	FP14[38]	FP14[37]	FP14[36]	FP14[35]	FP14[34]	FP14[33]	FP14[32]
	SFP30	FP15[31]	FP15[30]	FP15[29]	FP15[28]	FP15[27]	FP15[26]	FP15[25]	FP15[24]
		FP15[23]	FP15[22]	FP15[21]	FP15[20]	FP15[19]	FP15[18]	FP15[17]	FP15[16]
		FP15[15]	FP15[14]	FP15[13]	FP15[12]	FP15[11]	FP15[10]	FP15[9]	FP15[8]
		FP15[7]	FP15[6]	FP15[5]	FP15[4]	FP15[3]	FP15[2]	FP15[1]	FP15[0]
	SFP31	FP15[63]	FP15[62]	FP15[61]	FP15[60]	FP15[59]	FP15[58]	FP15[57]	FP15[56]
		FP15[55]	FP15[54]	FP15[53]	FP15[52]	FP15[51]	FP15[50]	FP15[49]	FP15[48]
	SFP31	FP15[47]	FP15[46]	FP15[45]	FP15[44]	FP15[43]	FP15[42]	FP15[41]	FP15[40]
		FP15[39]	FP15[38]	FP15[37]	FP15[36]	FP15[35]	FP15[34]	FP15[33]	FP15[32]
	SFM0	CFM[31]	CFM[30]	CFM[29]	CFM[28]	CFM[27]	CFM[26]	CFM[25]	CFM[24]
		CFM[23]	CFM[22]	CFM[21]	CFM[20]	CFM[19]	CFM[18]	CFM[17]	CFM[16]
		CFM[15]	CFM[14]	CFM[13]	CFM[12]	CFM[11]	CFM[10]	CFM[9]	CFM[8]
		CFM[7]	CFM[6]	CFM[5]	CFM[4]	CFM[3]	CFM[2]	CFM[1]	CFM[0]
	SFM1	CFM[31]	CFM[30]	CFM[29]	CFM[28]	CFM[27]	CFM[26]	CFM[25]	CFM[24]
		CFM[23]	CFM[22]	CFM[21]	CFM[20]	CFM[19]	CFM[18]	CFM[17]	CFM[16]
		CFM[15]	CFM[14]	CFM[13]	CFM[12]	CFM[11]	CFM[10]	CFM[9]	CFM[8]
		CFM[7]	CFM[6]	CFM[5]	CFM[4]	CFM[3]	CFM[2]	CFM[1]	CFM[0]
	TGC	–	–	–	–	–	–	–	–
		–	–	TBD3[1]	TBD3[0]	–	–	TBD2[1]	TBD2[0]
		–	–	TBD1[1]	TBD1[0]	–	–	TBD0[1]	TBD0[0]
		–	–	TQP[1]	TQP[0]	TSM3	TSM2	TSM1	TSM0
	TCCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	TFR	TFEN
		–	–	–	–	TSRQ3	TSRQ2	TSRQ1	TSRQ0
	TSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	TFFL[2]	TFFL[1]	TFFL[0]
		–	–	–	–	CCS1[1]	CCS1[0]	CCS0[1]	CCS0[0]
	TFA0	TSV[31]	TSV[30]	TSV[29]	TSV[28]	TSV[27]	TSV[26]	TSV[25]	TSV[24]
		TSV[23]	TSV[22]	TSV[21]	TSV[20]	TSV[19]	TSV[18]	TSV[17]	TSV[16]
		TSV[15]	TSV[14]	TSV[13]	TSV[12]	TSV[11]	TSV[10]	TSV[9]	TSV[8]
		TSV[7]	TSV[6]	TSV[5]	TSV[4]	TSV[3]	TSV[2]	TSV[1]	TSV[0]
	TFA1	TSV[63]	TSV[62]	TSV[61]	TSV[60]	TSV[59]	TSV[58]	TSV[57]	TSV[56]
		TSV[55]	TSV[54]	TSV[53]	TSV[52]	TSV[51]	TSV[50]	TSV[49]	TSV[48]
		TSV[47]	TSV[46]	TSV[45]	TSV[44]	TSV[43]	TSV[42]	TSV[41]	TSV[40]
		TSV[39]	TSV[38]	TSV[37]	TSV[36]	TSV[35]	TSV[34]	TSV[33]	TSV[32]
	TFA2	–	–	–	–	–	–	TST[9]	TST[8]
		TST[7]	TST[6]	TST[5]	TST[4]	TST[3]	TST[2]	TST[1]	TST[0]
		TSV[79]	TSV[78]	TSV[77]	TSV[76]	TSV[75]	TSV[74]	TSV[73]	TSV[72]
		TSV[71]	TSV[70]	TSV[69]	TSV[68]	TSV[67]	TSV[66]	TSV[65]	TSV[64]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	CIVR0	CIV[31]	CIV[30]	CIV[29]	CIV[28]	CIV[27]	CIV[26]	CIV[25]	CIV[24]
		CIV[23]	CIV[22]	CIV[21]	CIV[20]	CIV[19]	CIV[18]	CIV[17]	CIV[16]
		CIV[15]	CIV[14]	CIV[13]	CIV[12]	CIV[11]	CIV[10]	CIV[9]	CIV[8]
		CIV[7]	CIV[6]	CIV[5]	CIV[4]	CIV[3]	CIV[2]	CIV[1]	CIV[0]
	CIVR1	CIV[31]	CIV[30]	CIV[29]	CIV[28]	CIV[27]	CIV[26]	CIV[25]	CIV[24]
		CIV[23]	CIV[22]	CIV[21]	CIV[20]	CIV[19]	CIV[18]	CIV[17]	CIV[16]
		CIV[15]	CIV[14]	CIV[13]	CIV[12]	CIV[11]	CIV[10]	CIV[9]	CIV[8]
		CIV[7]	CIV[6]	CIV[5]	CIV[4]	CIV[3]	CIV[2]	CIV[1]	CIV[0]
	CDVR0	CDV[31]	CDV[30]	CDV[29]	CDV[28]	CDV[27]	CDV[26]	CDV[25]	CDV[24]
		CDV[23]	CDV[22]	CDV[21]	CDV[20]	CDV[19]	CDV[18]	CDV[17]	CDV[16]
		CDV[15]	CDV[14]	CDV[13]	CDV[12]	CDV[11]	CDV[10]	CDV[9]	CDV[8]
		CDV[7]	CDV[6]	CDV[5]	CDV[4]	CDV[3]	CDV[2]	CDV[1]	CDV[0]
	CDVR1	CDV[31]	CDV[30]	CDV[29]	CDV[28]	CDV[27]	CDV[26]	CDV[25]	CDV[24]
		CDV[23]	CDV[22]	CDV[21]	CDV[20]	CDV[19]	CDV[18]	CDV[17]	CDV[16]
		CDV[15]	CDV[14]	CDV[13]	CDV[12]	CDV[11]	CDV[10]	CDV[9]	CDV[8]
		CDV[7]	CDV[6]	CDV[5]	CDV[4]	CDV[3]	CDV[2]	CDV[1]	CDV[0]
	CUL0	ULV[31]	ULV[30]	ULV[29]	ULV[28]	ULV[27]	ULV[26]	ULV[25]	ULV[24]
		ULV[23]	ULV[22]	ULV[21]	ULV[20]	ULV[19]	ULV[18]	ULV[17]	ULV[16]
		ULV[15]	ULV[14]	ULV[13]	ULV[12]	ULV[11]	ULV[10]	ULV[9]	ULV[8]
		ULV[7]	ULV[6]	ULV[5]	ULV[4]	ULV[3]	ULV[2]	ULV[1]	ULV[0]
	CUL1	ULV[31]	ULV[30]	ULV[29]	ULV[28]	ULV[27]	ULV[26]	ULV[25]	ULV[24]
		ULV[23]	ULV[22]	ULV[21]	ULV[20]	ULV[19]	ULV[18]	ULV[17]	ULV[16]
		ULV[15]	ULV[14]	ULV[13]	ULV[12]	ULV[11]	ULV[10]	ULV[9]	ULV[8]
	CUL1	ULV[7]	ULV[6]	ULV[5]	ULV[4]	ULV[3]	ULV[2]	ULV[1]	ULV[0]
	CLL0	LLV[31]	LLV[30]	LLV[29]	LLV[28]	LLV[27]	LLV[26]	LLV[25]	LLV[24]
		LLV[23]	LLV[22]	LLV[21]	LLV[20]	LLV[19]	LLV[18]	LLV[17]	LLV[16]
		LLV[15]	LLV[14]	LLV[13]	LLV[12]	LLV[11]	LLV[10]	LLV[9]	LLV[8]
		LLV[7]	LLV[6]	LLV[5]	LLV[4]	LLV[3]	LLV[2]	LLV[1]	LLV[0]
	CLL1	LLV[31]	LLV[30]	LLV[29]	LLV[28]	LLV[27]	LLV[26]	LLV[25]	LLV[24]
		LLV[23]	LLV[22]	LLV[21]	LLV[20]	LLV[19]	LLV[18]	LLV[17]	LLV[16]
		LLV[15]	LLV[14]	LLV[13]	LLV[12]	LLV[11]	LLV[10]	LLV[9]	LLV[8]
		LLV[7]	LLV[6]	LLV[5]	LLV[4]	LLV[3]	LLV[2]	LLV[1]	LLV[0]
	DIC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DPE15	DPE14	DPE13	DPE12	DPE11	DPE10	DPE9	DPE8
		DPE7	DPE6	DPE5	DPE4	DPE3	DPE2	DPE1	–
	DIS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		DPF15	DPF14	DPF13	DPF12	DPF11	DPF10	DPF9	DPF8
		DPF7	DPF6	DPF5	DPF4	DPF3	DPF2	DPF1	–
	EIC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	TFFE
		CULE1	CULE0	CLLE1	CLLE0	SEE	QEE	–	–
	EIS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	QFS
		–	–	–	–	–	–	–	TFFF
		CULF1	CULF0	CLLF1	CLLF0	SEF	QEF	–	–
	RIC0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	FRE17	FRE16
		FRE15	FRE14	FRE13	FRE12	FRE11	FRE10	FRE9	FRE8
		FRE7	FRE6	FRE5	FRE4	FRE3	FRE2	FRE1	FRE0
	RIS0	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	FRF17	FRF16
		FRF15	FRF14	FRF13	FRF12	FRF11	FRF10	FRF9	FRF8
		FRF7	FRF6	FRF5	FRF4	FRF3	FRF2	FRF1	FRF0

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	RIC1	RFWE	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	RIS1	RFWF	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
	RIC2	RFFE	–	–	–	–	–	–	–
		–	–	–	–	–	–	QFE17	QFE16
		QFE15	QFE14	QFE13	QFE12	QFE11	QFE10	QFE9	QFE8
		QFE7	QFE6	QFE5	QFE4	QFE3	QFE2	QFE1	QFE0
	RIS2	RFFF	–	–	–	–	–	–	–
		–	–	–	–	–	–	QFF17	QFF16
		QFF15	QFF14	QFF13	QFF12	QFF11	QFF10	QFF9	QFF8
		QFF7	QFF6	QFF5	QFF4	QFF3	QFF2	QFF1	QFF0
	TIC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	TFWE	TFUE
		–	–	–	–	–	–	–	–
	TIS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	TFWF	TFUF
		–	–	–	–	–	–	–	–
	ISS	DPS15	DPS14	DPS13	DPS12	DPS11	DPS10	DPS9	DPS8
	ISS	DPS7	DPS6	DPS5	DPS4	DPS3	DPS2	DPS1	–
		–	–	CGIS	RFWS	–	–	TFWS	TFUS
		MS	ES	–	–	–	–	–	–
	GCCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	TCSS[1]	TCSS[0]
		–	–	LMTT	LPTC	LTI	LTO	TCR[1]	TCR[0]
	GMTT	MTTV[31]	MTTV[30]	MTTV[29]	MTTV[28]	MTTV[27]	MTTV[26]	MTTV[25]	MTTV[24]
		MTTV[23]	MTTV[22]	MTTV[21]	MTTV[20]	MTTV[19]	MTTV[18]	MTTV[17]	MTTV[16]
		MTTV[15]	MTTV[14]	MTTV[13]	MTTV[12]	MTTV[11]	MTTV[10]	MTTV[9]	MTTV[8]
		MTTV[7]	MTTV[6]	MTTV[5]	MTTV[4]	MTTV[3]	MTTV[2]	MTTV[1]	MTTV[0]
	GPTC	PTCV[31]	PTCV[30]	PTCV[29]	PTCV[28]	PTCV[27]	PTCV[26]	PTCV[25]	PTCV[24]
		PTCV[23]	PTCV[22]	PTCV[21]	PTCV[20]	PTCV[19]	PTCV[18]	PTCV[17]	PTCV[16]
		PTCV[15]	PTCV[14]	PTCV[13]	PTCV[12]	PTCV[11]	PTCV[10]	PTCV[9]	PTCV[8]
		PTCV[7]	PTCV[6]	PTCV[5]	PTCV[4]	PTCV[3]	PTCV[2]	PTCV[1]	PTCV[0]
	GTI	–	–	–	–	TIV[27]	TIV[26]	TIV[25]	TIV[24]
		TIV[23]	TIV[22]	TIV[21]	TIV[20]	TIV[19]	TIV[18]	TIV[17]	TIV[16]
		TIV[15]	TIV[14]	TIV[13]	TIV[12]	TIV[11]	TIV[10]	TIV[9]	TIV[8]
		TIV[7]	TIV[6]	TIV[5]	TIV[4]	TIV[3]	TIV[2]	TIV[1]	TIV[0]
	GTO0	TOV[31]	TOV[30]	TOV[29]	TOV[28]	TOV[27]	TOV[26]	TOV[25]	TOV[24]
		TOV[23]	TOV[22]	TOV[21]	TOV[20]	TOV[19]	TOV[18]	TOV[17]	TOV[16]
		TOV[15]	TOV[14]	TOV[13]	TOV[12]	TOV[11]	TOV[10]	TOV[9]	TOV[8]
		TOV[7]	TOV[6]	TOV[5]	TOV[4]	TOV[3]	TOV[2]	TOV[1]	TOV[0]
	GTO1	TOV[63]	TOV[62]	TOV[61]	TOV[60]	TOV[59]	TOV[58]	TOV[57]	TOV[56]
		TOV[55]	TOV[54]	TOV[53]	TOV[52]	TOV[51]	TOV[50]	TOV[49]	TOV[48]
		TOV[47]	TOV[46]	TOV[45]	TOV[44]	TOV[43]	TOV[42]	TOV[41]	TOV[40]
		TOV[39]	TOV[38]	TOV[37]	TOV[36]	TOV[35]	TOV[34]	TOV[33]	TOV[32]
	GTO2	TOV[95]	TOV[94]	TOV[93]	TOV[92]	TOV[91]	TOV[90]	TOV[89]	TOV[88]
		TOV[87]	TOV[86]	TOV[85]	TOV[84]	TOV[83]	TOV[82]	TOV[81]	TOV[80]
		TOV[79]	TOV[78]	TOV[77]	TOV[76]	TOV[75]	TOV[74]	TOV[73]	TOV[72]
		TOV[71]	TOV[70]	TOV[69]	TOV[68]	TOV[67]	TOV[66]	TOV[65]	TOV[64]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	GIC	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	PTME	PTOE	PTCE
	GIS	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	PTMF	PTOF	PTCF
	GCPT	CPTV[31]	CPTV[30]	CPTV[29]	CPTV[28]	CPTV[27]	CPTV[26]	CPTV[25]	CPTV[24]
		CPTV[23]	CPTV[22]	CPTV[21]	CPTV[20]	CPTV[19]	CPTV[18]	CPTV[17]	CPTV[16]
		CPTV[15]	CPTV[14]	CPTV[13]	CPTV[12]	CPTV[11]	CPTV[10]	CPTV[9]	CPTV[8]
		CPTV[7]	CPTV[6]	CPTV[5]	CPTV[4]	CPTV[3]	CPTV[2]	CPTV[1]	CPTV[0]
	GCT0	CTV[31]	CTV[30]	CTV[29]	CTV[28]	CTV[27]	CTV[26]	CTV[25]	CTV[24]
		CTV[23]	CTV[22]	CTV[21]	CTV[20]	CTV[19]	CTV[18]	CTV[17]	CTV[16]
		CTV[15]	CTV[14]	CTV[13]	CTV[12]	CTV[11]	CTV[10]	CTV[9]	CTV[8]
		CTV[7]	CTV[6]	CTV[5]	CTV[4]	CTV[3]	CTV[2]	CTV[1]	CTV[0]
	GCT1	CTV[63]	CTV[62]	CTV[61]	CTV[60]	CTV[59]	CTV[58]	CTV[57]	CTV[56]
		CTV[55]	CTV[54]	CTV[53]	CTV[52]	CTV[51]	CTV[50]	CTV[49]	CTV[48]
		CTV[47]	CTV[46]	CTV[45]	CTV[44]	CTV[43]	CTV[42]	CTV[41]	CTV[40]
		CTV[39]	CTV[38]	CTV[37]	CTV[36]	CTV[35]	CTV[34]	CTV[33]	CTV[32]
	GCT2	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		CTV[79]	CTV[78]	CTV[77]	CTV[76]	CTV[75]	CTV[74]	CTV[73]	CTV[72]
		CTV[71]	CTV[70]	CTV[69]	CTV[68]	CTV[67]	CTV[66]	CTV[65]	CTV[64]
	GCEC	–	–	–	–	–	DRC[10]	DRC[9]	DRC[8]
		DRC[7]	DRC[6]	DRC[5]	DRC[4]	DRC[3]	DRC[2]	DRC[1]	DRC[0]
		–	–	–	–	–	–	SCS[1]	SCS[0]
	GCEC	–	–	–	DEN	–	–	–	CES
	ECMR	–	–	–	–	–	TRCCM	–	–
		RCSC	–	DPAD	RZPF	ZPF	PFR	RXF	TXF
		–	–	–	–	–	–	–	–
		–	RE	TE	–	–	–	DM	PRM
	RFLR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	RFL[17]	RFL[16]
		RFL[15]	RFL[14]	RFL[13]	RFL[12]	RFL[11]	RFL[10]	RFL[9]	RFL[8]
		RFL[7]	RFL[6]	RFL[5]	RFL[4]	RFL[3]	RFL[2]	RFL[1]	RFL[0]
	ECSR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	PFROI	–	–	–	ICD
	ECSIPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	PFROIP	–	–	–	ICDIP
	PIR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		–	–	–	–	MDI	MDO	MMID	MDC
	APR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		AP[15]	AP[14]	AP[13]	AP[12]	AP[11]	AP[10]	AP[9]	AP[8]
		AP[7]	AP[6]	AP[5]	AP[4]	AP[3]	AP[2]	AP[1]	AP[0]
	MPR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MP[15]	MP[14]	MP[13]	MP[12]	MP[11]	MP[10]	MP[9]	MP[8]
		MP[7]	MP[6]	MP[5]	MP[4]	MP[3]	MP[2]	MP[1]	MP[0]

表46.2　ビット一覧

モジュール名	レジスタ略称	ビット31/23/15/7	ビット30/22/14/6	ビット29/21/13/5	ビット28/20/12/4	ビット27/19/11/3	ビット26/18/10/2	ビット25/17/9/1	ビット24/16/8/0
EthernetAVB 注2)	PFTCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		PFTXC[15]	PFTXC[14]	PFTXC[13]	PFTXC[12]	PFTXC[11]	PFTXC[10]	PFTXC[9]	PFTXC[8]
		PFTXC[7]	PFTXC[6]	PFTXC[5]	PFTXC[4]	PFTXC[3]	PFTXC[2]	PFTXC[1]	PFTXC[0]
	PFRCR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		PFRXC[15]	PFRXC[14]	PFRXC[13]	PFRXC[12]	PFRXC[11]	PFRXC[10]	PFRXC[9]	PFRXC[8]
		PFRXC[7]	PFRXC[6]	PFRXC[5]	PFRXC[4]	PFRXC[3]	PFRXC[2]	PFRXC[1]	PFRXC[0]
	TPAUSER	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		TPAUSE[15]	TPAUSE[14]	TPAUSE[13]	TPAUSE[12]	TPAUSE[11]	TPAUSE[10]	TPAUSE[9]	TPAUSE[8]
		TPAUSE[7]	TPAUSE[6]	TPAUSE[5]	TPAUSE[4]	TPAUSE[3]	TPAUSE[2]	TPAUSE[1]	TPAUSE[0]
	MAHR	MA[47]	MA[46]	MA[45]	MA[44]	MA[43]	MA[42]	MA[41]	MA[40]
		MA[39]	MA[38]	MA[37]	MA[36]	MA[35]	MA[34]	MA[33]	MA[32]
		MA[31]	MA[30]	MA[29]	MA[28]	MA[27]	MA[26]	MA[25]	MA[24]
		MA[23]	MA[22]	MA[21]	MA[20]	MA[19]	MA[18]	MA[17]	MA[16]
	MALR	–	–	–	–	–	–	–	–
		–	–	–	–	–	–	–	–
		MA[15]	MA[14]	MA[13]	MA[12]	MA[11]	MA[10]	MA[9]	MA[8]
		MA[7]	MA[6]	MA[5]	MA[4]	MA[3]	MA[2]	MA[1]	MA[0]
	CEFCR	CEFC[31]	CEFC[30]	CEFC[29]	CEFC[28]	CEFC[27]	CEFC[26]	CEFC[25]	CEFC[24]
		CEFC[23]	CEFC[22]	CEFC[21]	CEFC[20]	CEFC[19]	CEFC[18]	CEFC[17]	CEFC[16]
		CEFC[15]	CEFC[14]	CEFC[13]	CEFC[12]	CEFC[11]	CEFC[10]	CEFC[9]	CEFC[8]
		CEFC[7]	CEFC[6]	CEFC[5]	CEFC[4]	CEFC[3]	CEFC[2]	CEFC[1]	CEFC[0]
	FRECR	FREC[31]	FREC[30]	FREC[29]	FREC[28]	FREC[27]	FREC[26]	FREC[25]	FREC[24]
		FREC[23]	FREC[22]	FREC[21]	FREC[20]	FREC[19]	FREC[18]	FREC[17]	FREC[16]
		FREC[15]	FREC[14]	FREC[13]	FREC[12]	FREC[11]	FREC[10]	FREC[9]	FREC[8]
		FREC[7]	FREC[6]	FREC[5]	FREC[4]	FREC[3]	FREC[2]	FREC[1]	FREC[0]
	TSFRCR	TSFRC[31]	TSFRC[30]	TSFRC[29]	TSFRC[28]	TSFRC[27]	TSFRC[26]	TSFRC[25]	TSFRC[24]
	TSFRCR	TSFRC[23]	TSFRC[22]	TSFRC[21]	TSFRC[20]	TSFRC[19]	TSFRC[18]	TSFRC[17]	TSFRC[16]
		TSFRC[15]	TSFRC[14]	TSFRC[13]	TSFRC[12]	TSFRC[11]	TSFRC[10]	TSFRC[9]	TSFRC[8]
		TSFRC[7]	TSFRC[6]	TSFRC[5]	TSFRC[4]	TSFRC[3]	TSFRC[2]	TSFRC[1]	TSFRC[0]
	TLFRCR	TLFC[31]	TLFC[30]	TLFC[29]	TLFC[28]	TLFC[27]	TLFC[26]	TLFC[25]	TLFC[24]
		TLFC[23]	TLFC[22]	TLFC[21]	TLFC[20]	TLFC[19]	TLFC[18]	TLFC[17]	TLFC[16]
		TLFC[15]	TLFC[14]	TLFC[13]	TLFC[12]	TLFC[11]	TLFC[10]	TLFC[9]	TLFC[8]
		TLFC[7]	TLFC[6]	TLFC[5]	TLFC[4]	TLFC[3]	TLFC[2]	TLFC[1]	TLFC[0]
	RFCR	RFC[31]	RFC[30]	RFC[29]	RFC[28]	RFC[27]	RFC[26]	RFC[25]	RFC[24]
		RFC[23]	RFC[22]	RFC[21]	RFC[20]	RFC[19]	RFC[18]	RFC[17]	RFC[16]
		RFC[15]	RFC[14]	RFC[13]	RFC[12]	RFC[11]	RFC[10]	RFC[9]	RFC[8]
		RFC[7]	RFC[6]	RFC[5]	RFC[4]	RFC[3]	RFC[2]	RFC[1]	RFC[0]
	MAFCR	MAFC[31]	MAFC[30]	MAFC[29]	MAFC[28]	MAFC[27]	MAFC[26]	MAFC[25]	MAFC[24]
		MAFC[23]	MAFC[22]	MAFC[21]	MAFC[20]	MAFC[19]	MAFC[18]	MAFC[17]	MAFC[16]
		MAFC[15]	MAFC[14]	MAFC[13]	MAFC[12]	MAFC[11]	MAFC[10]	MAFC[9]	MAFC[8]
		MAFC[7]	MAFC[6]	MAFC[5]	MAFC[4]	MAFC[3]	MAFC[2]	MAFC[1]	MAFC[0]

注1.　RZ/A1Lのみ
注2.　RZ/A1LUのみ
注3.　RZ/A1Lのみ、RZ/A1LUおよびRZ/A1LCでは"-"となります。
注4.　RZ/A1LUのみ、RZ/A1LおよびRZ/A1LCでは"-"となります。
注5.　RZ/A1LおよびRZ/A1LUのみ、RZ/A1LCでは"-"となります。
注6.　RZ/A1LUおよびRZ/A1LCのみ、RZ/A1Lでは"-"となります。

46.3　レジスタ状態一覧

表46.3　レジスタ状態一覧

モジュール	レジスタ名	パワーオンリセット	ディープスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
2次キャッシュ	全レジスタ	初期化	初期化	保持	-	保持
LSI内部バス	全レジスタ	初期化	初期化	保持	-	保持
クロックパルス発振器	FRQCR	初期化 注 1)	初期化	保持	-	保持
割り込みコントローラ	全レジスタ	初期化	初期化	保持	-	保持
バスステートコントローラ	RTCSR	初期化	初期化	保持	-	保持 注 2)
	RTCNT	初期化	初期化	保持	-	保持 注 3)
	上記以外の全レジスタ	初期化	初期化	保持	-	保持
ダイレクトメモリアクセスコントローラ	全レジスタ	初期化	初期化	保持	-	保持 注 4)
マルチファンクションタイマパルスユニット2	全レジスタ	初期化	初期化	初期化	保持	保持
OSタイマ	全レジスタ	初期化	初期化	保持	保持	保持
ウォッチドッグタイマ	WRCSR	初期化 注 1)	初期化	保持	-	保持
	上記以外の全レジスタ	初期化	初期化	保持	-	保持
リアルタイムクロック	R64CNT	保持 注 3)	保持 注 3)	保持 注 3)	保持	保持 注 3)
	RSECCNT					
	RMINCNT					
	RHRCNT					
	RWKCNT					
	RDAYCNT					
	RMONCNT					
	RYRCNT					
	RSECAR	保持	保持	保持	保持	保持
	RMINAR					
	RHRAR					
	RWKAR					
	RDAYAR					
	RMONAR					
	RYRAR					
	RCR1	初期化	初期化	保持	保持	保持
	RCR2	初期化	初期化 注 5)	保持	保持	保持
	RCR3	保持	保持	保持	保持	保持
	RCR5	保持	保持	保持	保持	保持
	RFRH	保持	保持	保持	保持	保持
	RFRL	保持	保持	保持	保持	保持
FIFO内蔵シリアルコミュニケーションインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
シリアルコミュニケーションインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
ルネサスシリアルペリフェラルインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
SPIマルチI/Oバスインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
モード	全レジスタ	初期化	初期化	保持	-	保持
I^2Cバスインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
シリアルサウンドインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
メディア・ローカル・バス 注11)	全レジスタ	初期化	初期化	保持	保持	保持
CANインタフェース	全レジスタ	初期化	初期化	保持	保持	保持

表46.3　レジスタ状態一覧

モジュール	レジスタ名	パワーオンリセット	ディープスタンバイ	ソフトウェアスタンバイ	モジュールスタンバイ	スリープ
IEBusコントローラ注11)	全レジスタ	初期化	初期化	保持	保持	保持
ルネサスSPDIFインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
CD-ROMデコーダ注11)	全レジスタ	初期化	初期化	保持	保持	保持
LINインタフェース注11)	全レジスタ	初期化	初期化	保持	保持	保持
イーサネットコントローラ	全レジスタ	初期化	初期化	保持	保持	保持
EthernetAVB注12)	全レジスタ	初期化	初期化	保持	保持	保持
A/D変換器	全レジスタ	初期化	初期化	初期化	初期化	保持
USB2.0ホスト／ファンクションモジュール	全レジスタ	初期化	初期化	保持	保持	保持
ビデオディスプレイコントローラ5	全レジスタ	初期化	初期化	保持	保持	保持
JPEGコーデックユニット注12)	全レジスタ	初期化	初期化	保持	保持	保持
キャプチャエンジンユニット	全レジスタ	初期化	初期化	保持	保持	保持
SCUX	全レジスタ	初期化	初期化	保持	保持	保持
SDホストインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
MMCホストインタフェース	全レジスタ	初期化	初期化	保持	保持	保持
汎用入出力ポート	全レジスタ 注10)	初期化	初期化	保持	-	保持
低消費電力モード	DSFR	初期化	保持	保持	-	保持
	XTALCTR	初期化 注1)	保持 注6)	保持 注6)	-	保持
	上記以外の全レジスタ	初期化	初期化	保持	-	保持
デバッガインタフェース	CA9-PMUのレジスタ 注7)	初期化	初期化	保持	-	保持
	上記以外の全レジスタ 注8)	保持	初期化 注9)	保持	保持	保持

注1.　ウォッチドッグタイマによる内部パワーオンリセットでは保持
注2.　フラグ処理続行
注3.　カウントアップ続行
注4.　転送動作継続可能
注5.　RTCENビットは保持
注6.　GAIN0ビットはリアルタイムクロックがEXTAL未使用時は初期化
注7.　TRSTのアサート時にIO領域(SLV6)からのアクセスはできません。
注8.　TRSTのアサート時に初期化されます。
注9.　FAKEデバッグモード時は保持されます。
注10.　ウォッチドッグタイマによる内部パワーオンリセットでは、PM6[0]、PMC6[0]、PFC6[0]、PFCE6[0]、PFCAE6[0]は初期化されません。
注11.　RZ/A1Lのみ
注12.　RZ/A1LU のみ

47.　電気的特性

47.1　絶対最大定格

表47.1　絶対最大定格

項　目		記号	定格値	単位
電源電圧（I/O）		PV_{CC}	－0.3～4.2	V
電源電圧（内部）		V_{CC}	－0.3～1.6	V
PLL 電源電圧		$PLLV_{CC}$	－0.3～1.6	V
アナログ電源電圧		AV_{CC}	－0.3～4.2	V
アナログ基準電圧		AV_{ref}	－0.3～AV_{CC}＋0.3	V
USB トランシーバ部アナログ電源電圧（I/O）		$USBAPV_{CC}$	－0.3～4.2	V
USB トランシーバ部デジタル電源電圧（I/O） 【注】BGA パッケージには存在しません。		$USBDPV_{CC}$	－0.3～4.2	V
USB トランシーバ部アナログ電源電圧（内部）		$USBAV_{CC}$	－0.3～1.6	V
USB トランシーバ部デジタル電源電圧（内部） 【注】BGA パッケージには存在しません。		$USBDV_{CC}$	－0.3～1.6	V
USB480MHz 用電源（内部） 【注】BGA パッケージには存在しません。		$USBUV_{CC}$	－0.3～1.6	V
入力電圧	VBUS	V_{in}	－0.3～5.5	V
	その他の入力端子	V_{in}	－0.3～3.3V 系電源（PVcc、AVcc、USBAPVcc、USBDPVcc）＋0.3	V
動作温度		T_{opr}	－40～85	℃
保存温度		T_{stg}	－55～125	℃

【使用上の注意】
絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

47.2　電源投入・切断シーケンス

1.2V 系電源（Vcc、PLLVcc、USBAVcc、USBDVcc、USBUVcc）と 3.3V 系電源（PVcc、AVcc、USBAPVcc、USBDPVcc）の投入・切断順序はどちらが先でも問題ありません。

電源の投入時は、必ず $\overline{\text{TRST}}$ 端子を Low レベル、かつ $\overline{\text{RES}}$ 端子を Low レベルにしてください。これが守られない場合、出力端子および入出力端子が不定出力し、それによってシステム全体が誤動作を引き起こす可能性があります。

電源の切断時も、上記が問題となる可能性がある場合は、$\overline{\text{TRST}}$ 端子を Low レベル、かつ $\overline{\text{RES}}$ 端子を Low レベルにしてください。

47.3　DC 特性

- 表 47.2　DC 特性（2）【消費電流】を除く条件
  Vcc=USBDVcc=USBUVcc=1.10 ～ 1.26V、PVcc=USBDPVcc=3.0 ～ 3.6V、PLLVcc=1.10 ～ 1.26V、
  AVcc=3.0 ～ 3.6V、USBAPVcc=3.0 ～ 3.6V、USBAVcc=1.10 ～ 1.26V、
  Vss=AVss=USBDVss=USBAVss=USBDPVss=USBAPVss=USBUVss=0V、
  Ta= － 40 ～ 85 ℃
- 表 47.2　DC 特性（2）【消費電流】の条件
  Vcc=USBDVcc=USBUVcc=1.18V、PVcc=USBDPVcc=3.3V、PLLVcc=1.18V、AVcc=3.3V、
  USBAPVcc=3.3V、USBAVcc=1.18V、
  Vss=AVss=USBDVss=USBAVss=USBDPVss=USBAPVss=USBUVss=0V、AVref=3.3V、VBUS=5.0V、
  Ta= － 40 ～ 85 ℃
  Iφ=400.00MHz、Bφ=133.33MHz、P1φ=66.67MHz、P0φ=33.33MHz

注 .　BGA パッケージには、USBDVcc、USBUVcc、USBDPVcc、USBDVss、USBAVss、USBDPVss、USBAPVss、USBUVss 端子は存在しません。

表47.2　　DC特性（1）【共通項目】

項　　目		記号	Min.	Typ.	Max.	単位	測定条件
電源電圧		PV_{CC}	3.0	3.3	3.6	V	
		V_{CC}	1.10	1.18	1.26	V	
PLL電源電圧		$PLLV_{CC}$	1.10	1.18	1.26	V	
アナログ電源電圧		AV_{CC}	3.0	3.3	3.6	V	
USB電源電圧 【注】BGAパッケージには、USBDPVcc、USBDVcc、USBUVcc端子は存在しません。		$USBAPV_{CC}$ $USBDPV_{CC}$	3.0	3.3	3.6	V	
		$USBAV_{CC}$ $USBDV_{CC}$ $USBUV_{CC}$	1.10	1.18	1.26	V	
入力リーク電流	全入力端子	$\|I_{in}\|$	－	－	1.0	μA	V_{in}＝0.5～PV_{CC}－0.5V
スリーステートリーク電流	全入出力、出力端子（P1_0～P1_7除く）（オフ状態）	$\|I_{STI}\|$	－	－	1.0	μA	V_{in}＝0.5～PV_{CC}－0.5V
	P1_0～P1_7		－	－	10	μA	
端子容量	全入出力、入力端子	Cin	－	－	10	pF	

表47.2　DC 特性（2）【消費電流】

項目		電源種類	記号	Typ	Max	単位	測定条件
通常動作時消費電流		Vcc	Icc	—	492	mA	
		PLLVcc	PLLIcc	—	8	mA	
		PVcc	PIcc	70*1*2	-	mA	
		AVcc	AIcc	—	4	mA	A/D 変換時
		AVref	AIref	—	1	mA	A/D 変換時
		USBAVcc	UAIcc	—	6	mA	USB ホスト/ファンクション使用時
		USBDVcc+ USBUVcc	UDIcc*3	—	20	mA	USB ハイスピード通信時(2ch)
		USBAPVcc	UAPIcc	—	4	mA	USB ホスト/ファンクション使用時
		USBDPVcc	UDPIcc*4	70*1*2	-	mA	USB ハイスピード通信時(2ch)
		VBUS	VIcc	—	10	μA	
スリープ時消費電流		Vcc	Isleep	—	300	mA	
		上記以外は通常動作時と同じです					
ソフトウェアスタンバイ時消費電流	Ta ＞ 50 ℃	Vcc+PLLVcc+ USBAVcc+ USBDVcc+ USBUVcc	Isstby	32	120	mA	
		PVcc+AVcc+ AVref+ USBAPVcc+ USBDPVcc	PIsstby	20	26	μA	
		VBUS	VIsstby	8	10	μA	
	Ta ≦ 50 ℃	Vcc+PLLVcc+ USBAVcc+ USBDVcc+ USBUVcc	Isstby	13	55	mA	
		PVcc+AVcc+ AVref+ USBAPVcc+ USBDPVcc	PIsstby	17	20	μA	
		VBUS	VIsstby	8	10	μA	
ディープスタンバイ時消費電流	Ta ＞ 50 ℃	Vcc+PLLVcc+ USBAVcc+ USBDVcc+ USBUVcc	Idstby	27	119	μA	RAM0KB 保持、RTC_X1 選択時
				32	137	μA	RAM16KB 保持、RTC_X1 選択時
				37	155	μA	RAM32KB 保持、RTC_X1 選択時
				42	191	μA	RAM64KB 保持、RTC_X1 選択時
				62	263	μA	RAM128KB 保持、RTC_X1 選択時
				EXTAL 13MHz 選択時は上記に Typ.5μA、Max.7μA 加算			
		PVcc+AVcc+ AVref+ USBAPVcc+ USBDPVcc	PIdstby	13	15	μA	RTC 非動作時
				20	25	μA	RTC_X1 選択時
				1	-	mA	EXTAL13MHz 選択ドライバ小*1
		VBUS	VIdstby	8	10	μA	
	Ta ≦ 50 ℃	Vcc+PLLVcc+ USBAVcc+ USBDVcc+ USBUVcc	Idstby	17	54	μA	RAM0KB 保持、RTC_X1 選択時
				21	71	μA	RAM16KB 保持、RTC_X1 選択時
				25	88	μA	RAM32KB 保持、RTC_X1 選択時
				33	122	μA	RAM64KB 保持、RTC_X1 選択時
				49	190	μA	RAM128KB 保持、RTC_X1 選択時
				EXTAL 13MHz 選択時は上記に Typ.5μA、Max.7μA 加算			
		PVcc+AVcc+ AVref+ USBAPVcc+ USBDPVcc	PIdstby	12	13	μA	RTC 非動作時
				19	23	μA	RTC_X1 選択時
				1	-	mA	EXTAL13MHz 選択ドライバ小*1
		VBUS	VIdstby	8	10	μA	

注1.　参考値です。実際の動作電流はシステムに大きく依存します（IO の負荷による波形なまり、トグル頻度等）ので、必ずシステムでの実測を行ってください。
注2.　PIccとUDPIccの合計を150mA以下にしてください。
注3.　BGAパッケージでは、UDIccはIccに加算されます。
注4.　BGAパッケージでは、UDPIccはPIccに加算されます。

表47.2　DC特性（3）【I²Cバスインタフェース、USB2.0ホスト／ファンクションモジュール関連端子を除く】

項　目		記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧*		V_{IH}	2.2	—	PV_{CC} + 0.3	V	
入力ローレベル電圧*		V_{IL}	− 0.3	—	0.8	V	
シュミットトリガ入力特性		VT^+	PV_{CC}×0.665	—	—	V	
		VT^-	—	—	0.8	V	
		$VT^+ - VT^-$	0.2	—	—	V	
出力ハイレベル電圧		V_{OH}	PV_{CC} − 0.5	—	—	V	I_{OH} = −2.0mA
出力ローレベル電圧		V_{OL}	—	—	0.4	V	I_{OL} = 2.0mA
RAMスタンバイ電圧	ソフトウェアスタンバイモード時（大容量内蔵RAM）	V_{RAMS}	0.85	—	—	V	V_{CC}をパラメータとして測定
	ディープスタンバイモード時（保持用内蔵RAMのみ）	V_{RAMD}	1.10	—	—	V	

注．* TMS、TCK、JP0_0、JP0_1端子、および P5_0～P5_15, P6_0～P6_15端子のバウンダリスキャン時の入力データ

表47.2　DC特性（4）【I²Cバスインタフェース関連端子*】

項　目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	PV_{CC}×0.7	—	PV_{CC} + 0.3	V	
入力ローレベル電圧	V_{IL}	− 0.3	—	PV_{CC}×0.3	V	
シュミットトリガ入力特性	$V_{IH} - V_{IL}$	PV_{CC}×0.05	—	—	V	
出力ローレベル電圧	V_{OL}	—	—	0.4	V	I_{OL} = 3.0mA

注．* P1_0～P1_7端子（オープンドレイン端子）

表47.2　DC特性（5）【USB2.0ホスト／ファンクションモジュール関連端子*】

項　目	記号	Min.	Typ.	Max.	単位	測定条件
基準抵抗	R_{REF}	5.6kΩ±1%				
入力ハイレベル電圧（VBUS1、VBUS0）	V_{IH}	4.02	—	5.25	V	
入力ローレベル電圧（VBUS1、VBUS0）	V_{IL}	− 0.3	—	0.5	V	
入力ハイレベル電圧（USB_X1）	V_{IH}	PV_{CC} − 0.5	—	PV_{CC} + 0.3	V	
入力ローレベル電圧（USB_X1）	V_{IL}	− 0.3	—	0.5	V	

注．* REFRIN、VBUS1、VBUS0、USB_X1、USB_X2端子

表47.2　DC 特性（6）【USB2.0 ホスト／ファンクションモジュール関連端子＊（ロースピード／フルスピード／ハイスピード共通項目）】

項　目	記号	Min.	Typ.	Max.	単位	測定条件
DP プルアップ抵抗（ファンクション機能選択時）	R_{pu}	0.900	—	1.575	kΩ	アイドル時
		1.425	—	3.090	kΩ	送受信時
DP、DM プルダウン抵抗（ホスト機能選択時）	R_{pd}	14.25	—	24.80	kΩ	

注．＊ DP1、DP0、DM1、DM0 端子

表47.2　DC 特性（7）【USB2.0 ホスト／ファンクションモジュール関連端子＊（ロースピード／フルスピード時）】

項　目	記号	Min.	Typ.	Max.	単位	測定条件
入力ハイレベル電圧	V_{IH}	2.0	—	—	V	
入力ローレベル電圧	V_{IL}	—	—	0.8	V	
差動入力感度	V_{DI}	0.2	—	—	V	| (DP) − (DM) |
差動コモンモード範囲	V_{CM}	0.8	—	2.5	V	
出力ハイレベル電圧	V_{OH}	2.8	—	3.6	V	I_{OH} = − 200μA
出力ローレベル電圧	V_{OL}	0.0	—	0.3	V	I_{OL} = 2mA
出力信号クロスオーバ電圧	V_{CRS}	1.3	—	2.0	V	C_L = 50pF（フルスピード時） C_L = 200 ～ 600pF（ロースピード時）

注．＊ DP1、DP0、DM1、DM0 端子

表47.2　DC 特性（8）【USB2.0 ホスト／ファンクションモジュール関連端子＊（ハイスピード時）】

項　目	記号	Min.	Typ.	Max.	単位	測定条件
スケルチ検出スレッショルド電圧（差動電圧）	V_{HSSQ}	100	—	150	mV	
コモンモード電圧範囲	V_{HSCM}	− 50	—	500	mV	
アイドル状態	V_{HSOI}	− 10.0	—	10.0	mV	
出力ハイレベル電圧	V_{HSOH}	360	—	440	mV	
出力ローレベル電圧	V_{HSOL}	− 10.0	—	10.0	mV	
Chirp J 出力電圧（差分）	V_{CHIRPJ}	700	—	1100	mV	
Chirp K 出力電圧（差分）	V_{CHIRPK}	− 900	—	− 500	mV	

注．＊ DP1、DP0、DM1、DM0 端子

表47.3　出力許容電流値

項　目		記号	Min.	Typ.	Max.	単位
出力ローレベル許容電流（1端子当たり）	P1_0 ～ P1_7	I_{OL}	—	—	10	mA
	その他の出力端子				2	mA
出力ハイレベル許容電流（1端子当たり）		$-I_{OH}$	—	—	2	mA
出力許容電流（総和）		ΣI_O	—	—	150	mA

【使用上の注意】
LSIの信頼性を確保するため、出力電流値は表47.3の値を超えないようにしてください。

47.4　AC 特性

本 LSI の入力は原則としてクロック同期入力です。特にことわりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

条件：Vcc=USBDVcc=USBUVcc=1.10 ～ 1.26V、PVcc=USBDPVcc=3.0 ～ 3.6V、PLLVcc=1.10 ～ 1.26V、
AVcc=3.0 ～ 3.6V、USBAPVcc=3.0 ～ 3.6V、USBAVcc=1.10 ～ 1.26V、
Vss=AVss=USBDVss=USBAVss=USBDPVss=USBAPVss=USBUVss=0V、
Ta= － 40 ～ 85 ℃

注 .　BGA パッケージには、USBDVcc、USBUVcc、USBDPVcc、USBDVss、USBAVss、USBDPVss、USBAPVss、USBUVss 端子は存在しません。

表 47.4　動作周波数

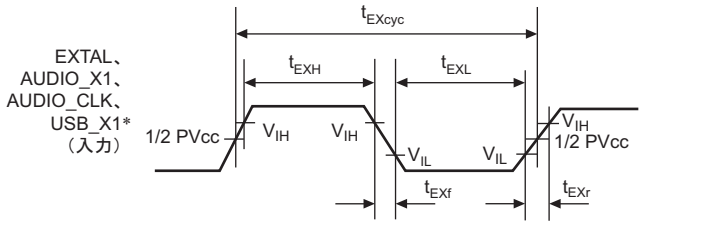
項　目		記号	Min.	Max.	単位	備考
動作周波数	CPU クロック（Iφ）	f	100.00	400.00	MHz	
	内部バスクロック（Bφ）		100.00	133.33	MHz	
	周辺クロック 1（P1φ）		50.00	66.67	MHz	
	周辺クロック 0（P0φ）		25.00	33.33	MHz	

47.4.1　クロックタイミング

表47.5　クロックタイミング

項　目	記号	Min.	Max.	単位	参照図
EXTALクロック入力周波数（USB2.0 ホスト／ファンクションモジュールへクロック供給時）	f_{EX}	12MHz±100ppm			図47.1
EXTALクロック入力周波数（USB2.0 ホスト／ファンクションモジュールへクロック非供給時）		10.00	13.33	MHz	
EXTALクロック入力サイクル時間（USB2.0 ホスト／ファンクションモジュールへクロック非供給時）	t_{EXcyc}	75.00	100.00	ns	
AUDIO_X1クロック入力周波数（水晶発振子接続時）	f_{EX}	10.00	50.00	MHz	
AUDIO_X1クロック入力サイクル時間（水晶発振子接続時）	t_{EXcyc}	20.00	100.00	ns	
AUDIO_X1、AUDIO_CLKクロック入力周波数（外部クロック入力時）	f_{EX}	1.00	50.00	MHz	
AUDIO_X1、AUDIO_CLKクロック入力サイクル時間（外部クロック入力時）	t_{EXcyc}	20.00	1000.00	ns	
USB_X1クロック入力周波数（USB2.0 ホスト／ファンクションモジュールへ48MHzクロック供給かつハイスピード転送使用時）	f_{EX}	48MHz±100ppm			
USB_X1クロック入力周波数（USB2.0ホスト／ファンクションモジュールへ48MHzクロック供給かつハイスピード転送未使用、ホストコントローラ機能使用時）		48MHz±500ppm			
USB_X1クロック入力周波数（USB2.0ホスト／ファンクションモジュールへ48MHzクロック供給かつハイスピード転送未使用、ホストコントローラ機能未使用時）		48MHz±2500ppm			
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1クロック入力ローレベルパルス幅	t_{EXL}	0.4	0.6	t_{EXcyc}	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1クロック入力ハイレベルパルス幅	t_{EXH}	0.4	0.6	t_{EXcyc}	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1クロック入力立ち上がり時間	t_{EXr}	—	4	ns	
EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1クロック入力立ち下がり時間	t_{EXf}	—	4	ns	
CKIOクロック出力周波数	f_{OP}	50.00	66.67	MHz	
CKIOクロック出力サイクル時間	t_{cyc}	15.00	20.00	ns	図47.2（1）、図47.2（2）
CKIOクロック出力ローレベルパルス幅1	t_{CKOL1}	$t_{cyc}/2 - t_{CKOr1}$	—	ns	図47.2（1）
CKIOクロック出力ハイレベルパルス幅1	t_{CKOH1}	$t_{cyc}/2 - t_{CKOf1}$	—	ns	
CKIOクロック出力立ち上がり時間1	t_{CKOr1}	—	3	ns	
CKIOクロック出力立ち下がり時間1	t_{CKOf1}	—	3	ns	
CKIOクロック出力ローレベルパルス幅2	t_{CKOL2}	$t_{cyc}/2 - t_{CKOr2}$	—	ns	図47.2（2）
CKIOクロック出力ハイレベルパルス幅2	t_{CKOH2}	$t_{cyc}/2 - t_{CKOf2}$	—	ns	
CKIOクロック出力立ち上がり時間2	t_{CKOr2}	—	2	ns	
CKIOクロック出力立ち下がり時間2	t_{CKOf2}	—	2	ns	
内蔵PLL回路発振安定時間	t_{POSC}	1	—	ms	図47.3、図47.5 (1)
内蔵発振回路発振安定時間(RTC_X1)	t_{ROSC}	—	3*1	s	図47.6
内蔵発振回路発振安定時間(上記以外)		—	4*1	ms	図47.3、図47.5 (1)、図47.6
モードホールド時間	t_{MDH}	200	—	ns	図47.3、図47.5 (1)
SSCG安定時間	t_{SSCG}	1	—	μs	図47.4

注 1.　発振子メーカによる発振評価結果をもって、本スペックより小さい値を設定することは可能です。



【注】 * EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1端子からクロックを入力する場合

図 47.1　EXTAL、AUDIO_X1、AUDIO_CLK、USB_X1 クロック入力タイミング

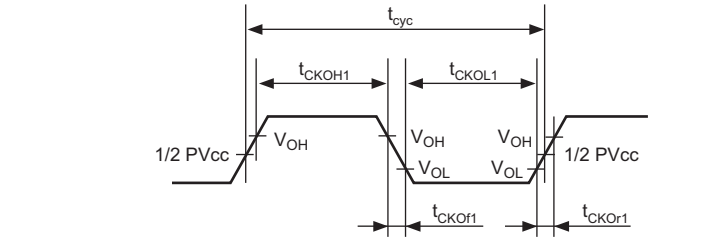


図 47.2　(1)　CKIO クロック出力タイミング 1

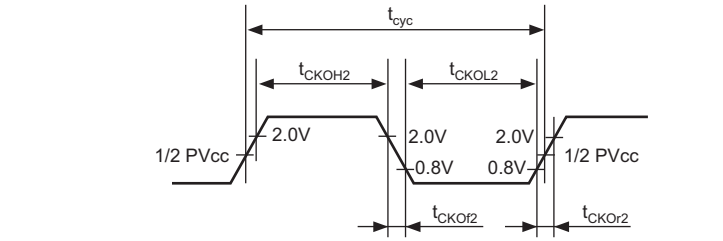
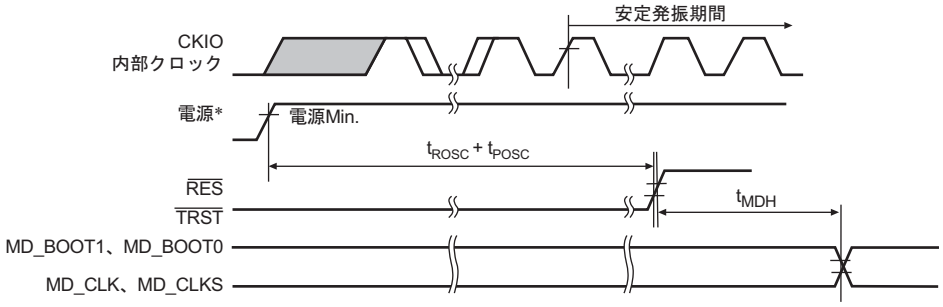


図 47.2　(2)　CKIO クロック出力タイミング 2



【注】 内蔵発振器を用いる場合の発振安定時間

* PVcc、Vcc、PLLVcc、AVcc、USBAPVcc、USBDPVcc、USBAVcc、USBDVcc、USBUVcc

BGAパッケージには、USBDVcc、USBUVcc、USBDPVcc端子は存在しません。

図 47.3　パワーオン発振安定時間

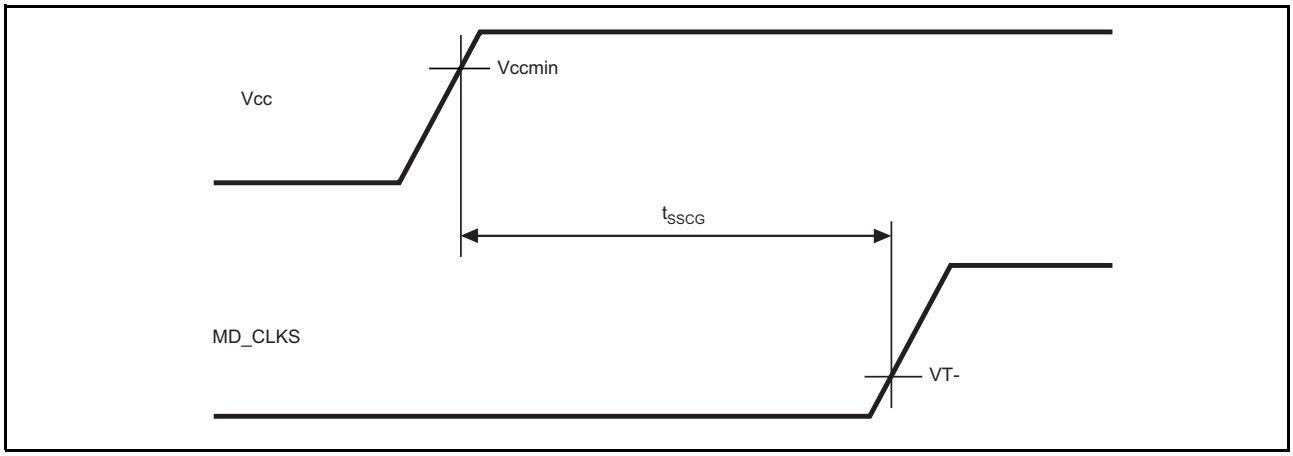


図 47.4　SSCG 安定時間

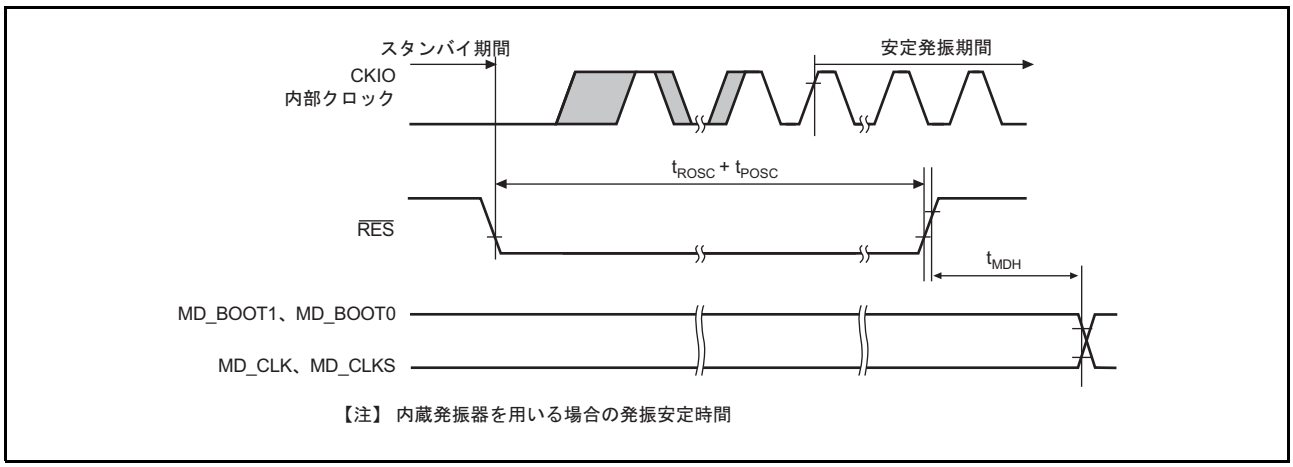


図 47.5　(1)　スタンバイ復帰時発振安定時間（リセットによる復帰）

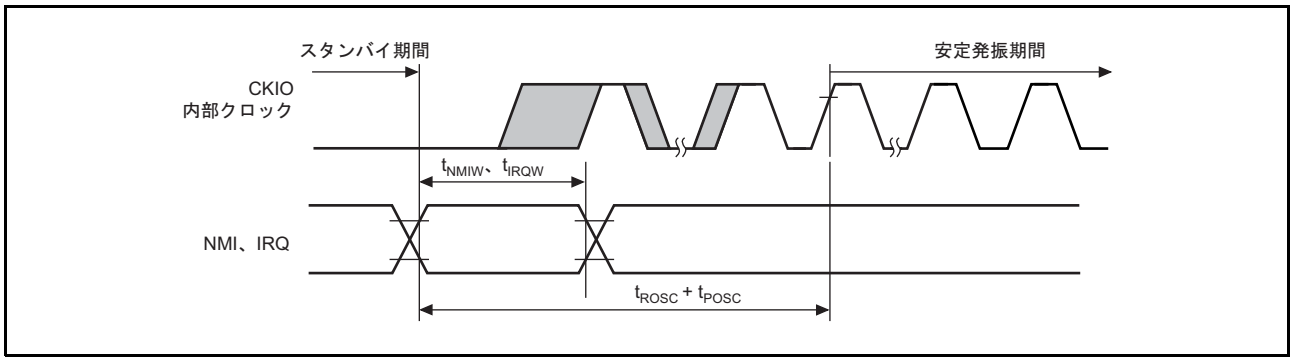


図 47.5　(2)　スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）

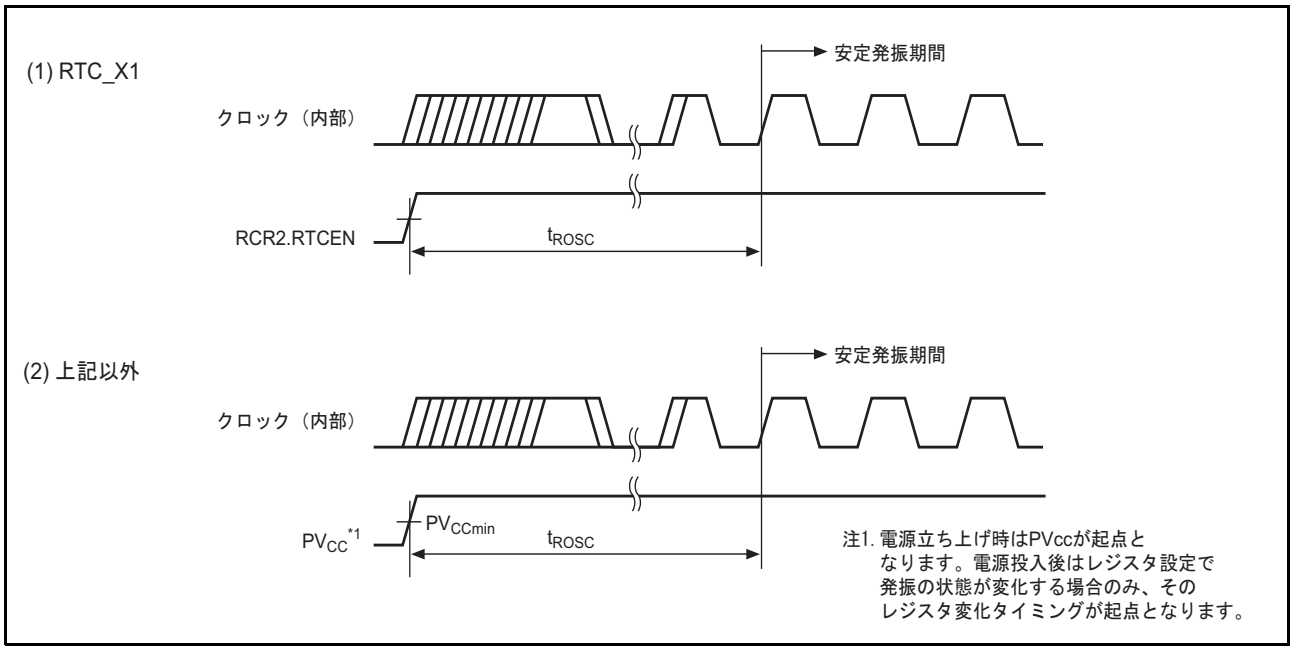


図 47.6　内蔵発振回路発振安定時間

47.4.2　制御信号タイミング

表47.6　制御信号タイミング

項目		記号	Min.	Max.	単位	参照図
$\overline{\text{RES}}$パルス幅	スタンバイモード解除時	t_{RESW}	t_{ROSC} + t_{POSC}		ms	図47.7 (1)、図47.5 (1)
	上記以外		20	—	t_{cyc}	
$\overline{\text{TRST}}$パルス幅		t_{TRSW}	20	—	t_{cyc}	
NMIパルス幅		t_{NMIW}	20	—	t_{cyc}	図47.7 (2)、図47.5 (2)
IRQパルス幅		t_{IRQW}	20	—	t_{cyc}	
TINTパルス幅		t_{TINTW}	20	—	t_{cyc}	
$\overline{\text{RES}}$入力立上り時間注1		t_{RSr}	—	500	μs	図47.7 (3)
$\overline{\text{RES}}$ネゲートホールド時間注2		t_{RSNH}	0	—	ns	図47.7 (4)

注1.　$\overline{\text{TRST}}$端子と$\overline{\text{RES}}$端子を同一信号で制御している場合は本項目を満足するようにしてください。
注2.　$\overline{\text{TRST}}$端子と$\overline{\text{RES}}$端子を別々の信号で制御している場合は本項目を満足するようにしてください。

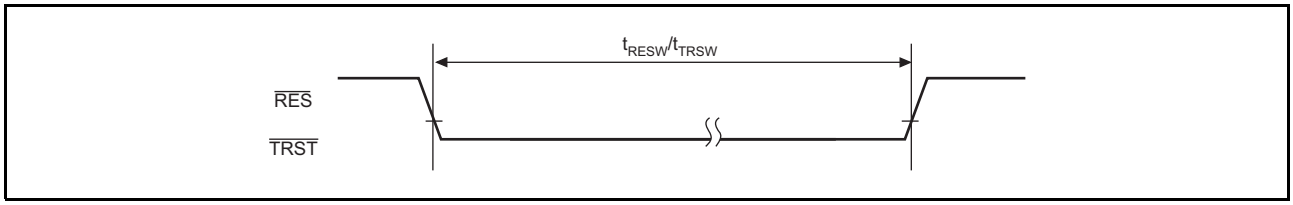


図 47.7　(1)　リセット入力タイミング 1

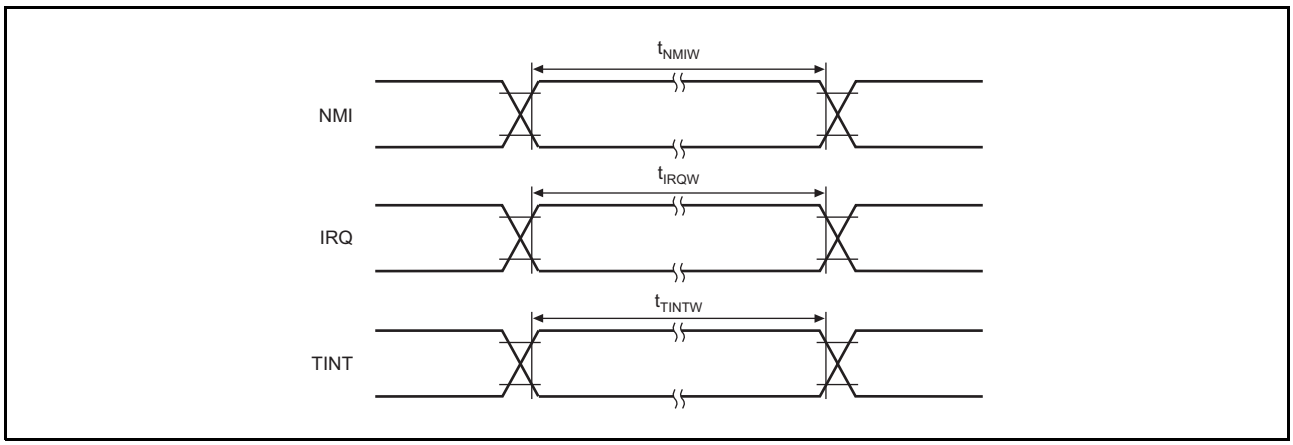


図 47.7　(2)　割り込み信号入力タイミング

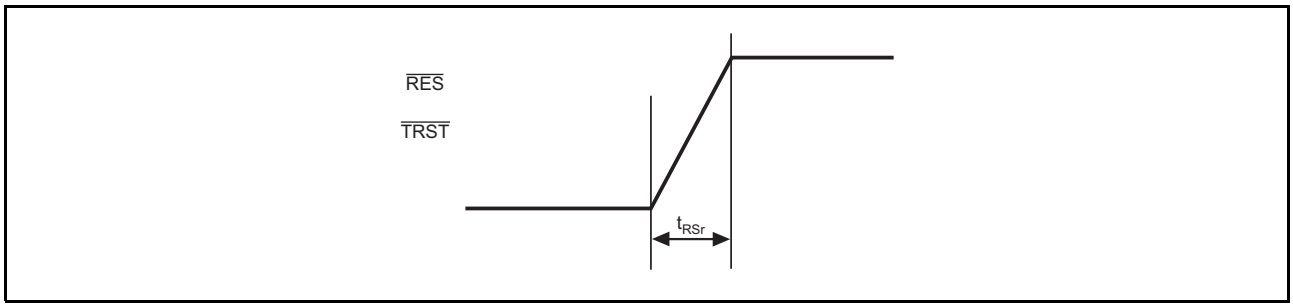


図 47.7　(3)　リセット入力タイミング 2

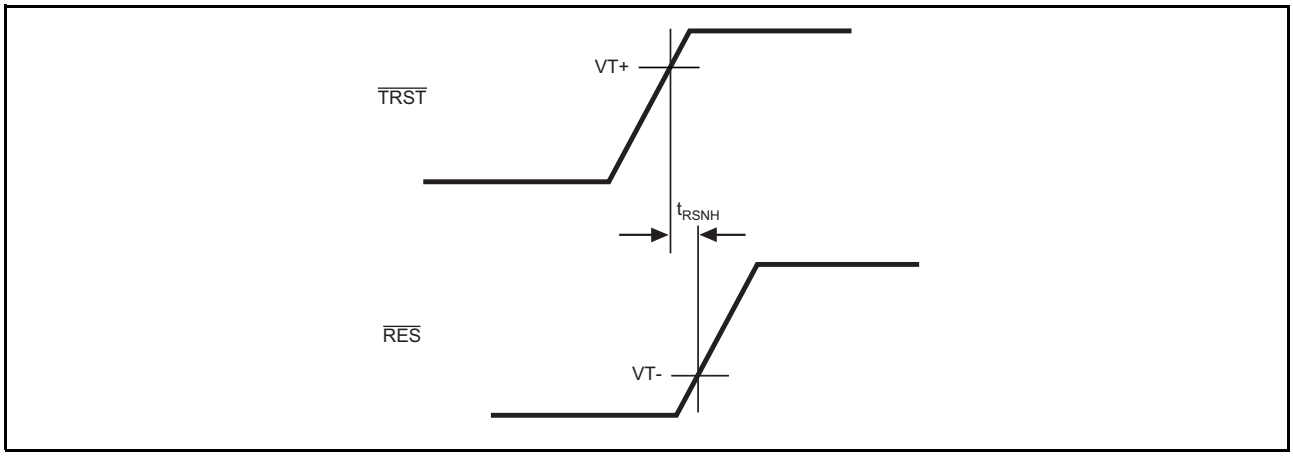


図 47.7 (4) リセット入力タイミング 3

47.4.3　バスタイミング

表47.7　バスタイミング

項　目	記号	CKIO＝66.67MHz*1		単位	参照図
		Min.	Max.		
アドレス遅延時間1	t_{AD1}	0/2*3	12	ns	図47.8～図47.32
アドレス遅延時間2	t_{AD2}	1/2t_{cyc}	1/2t_{cyc} ＋ 12	ns	図47.15
アドレスセットアップ時間	t_{AS}	0	―	ns	図47.8～図47.11、図47.15
チップイネーブルセットアップ時間	tcs	0	―	ns	図47.8～図47.11、図47.15
アドレスホールド時間	t_{AH}	0	―	ns	図47.8～図47.11
$\overline{BS}$遅延時間	t_{BSD}	―	12	ns	図47.8～図47.29
$\overline{CS}$遅延時間1	t_{CSD1}	0/2*3	12	ns	図47.8～図47.32
リードライト遅延時間1	t_{RWD1}	0/2*3	12	ns	図47.8～図47.32
リードストローブ遅延時間	t_{RSD}	1/2t_{cyc}	1/2t_{cyc} ＋ 12	ns	図47.8～図47.15
リードデータセットアップ時間1	t_{RDS1}	1/2t_{cyc} ＋ 5	―	ns	図47.8～図47.14
リードデータセットアップ時間2	t_{RDS2}	7	―	ns	図47.16～図47.19、図47.24～図47.26
リードデータセットアップ時間3	t_{RDS3}	1/2t_{cyc} ＋ 5	―	ns	図47.15
リードデータホールド時間1	t_{RDH1}	0	―	ns	図47.8～図47.14
リードデータホールド時間2	t_{RDH2}	2	―	ns	図47.16～図47.19、図47.24～図47.26
リードデータホールド時間3	t_{RDH3}	0	―	ns	図47.15
ライトイネーブル遅延時間1	t_{WED1}	1/2t_{cyc}	1/2t_{cyc} ＋ 12	ns	図47.8～図47.13
ライトイネーブル遅延時間2	t_{WED2}	―	12	ns	図47.14
ライトデータ遅延時間1	t_{WDD1}	―	12	ns	図47.8～図47.14
ライトデータ遅延時間2	t_{WDD2}	―	12	ns	図47.20～図47.23、図47.27～図47.29
ライトデータホールド時間1	t_{WDH1}	1	―	ns	図47.8～図47.14
ライトデータホールド時間2	t_{WDH2}	2	―	ns	図47.20～図47.23、図47.27～図47.29
ライトデータホールド時間4	t_{WDH4}	0	―	ns	図47.8～図47.12
$\overline{WAIT}$セットアップ時間	t_{WTS}	1/2t_{cyc} ＋ 4.5	―	ns	図47.9～図47.15
$\overline{WAIT}$ホールド時間	t_{WTH}	1/2t_{cyc} ＋ 3.5	―	ns	図47.9～図47.15
$\overline{RAS}$遅延時間1	t_{RASD1}	2	12	ns	図47.16～図47.32
$\overline{CAS}$遅延時間1	t_{CASD1}	2	12	ns	図47.16～図47.32
DQM遅延時間1	t_{DQMD1}	2	12	ns	図47.16～図47.29
CKE遅延時間1	t_{CKED1}	2	12	ns	図47.31
$\overline{AH}$遅延時間	t_{AHD}	1/2t_{cyc}	1/2t_{cyc} ＋ 12	ns	図47.12
マルチプレクスアドレス遅延時間	t_{MAD}	―	12	ns	図47.12
マルチプレクスアドレスホールド時間	t_{MAH}	1	―	ns	図47.12
$\overline{AH}$に対するアドレスセットアップ時間	t_{AVVH}	1/2t_{cyc}-2	―	ns	図47.12
DACK、TEND遅延時間	t_{DACD}	ダイレクトメモリアクセスコントローラタイミング参照		ns	図47.8～図47.29

注1.　CKIO（外部バスクロック）のfmaxは、ご使用されるシステム構成に応じてウェイト数とあわせてご検討ください。
注2.　遅延時間やセットアップ、ホールド時間の1/2t_{cyc}の記述は、クロックの立ち上がりから1/2サイクル、つまりクロックの立ち下がり基準であることを表現しています。
注3.　SDRAMを使う場合の値です。

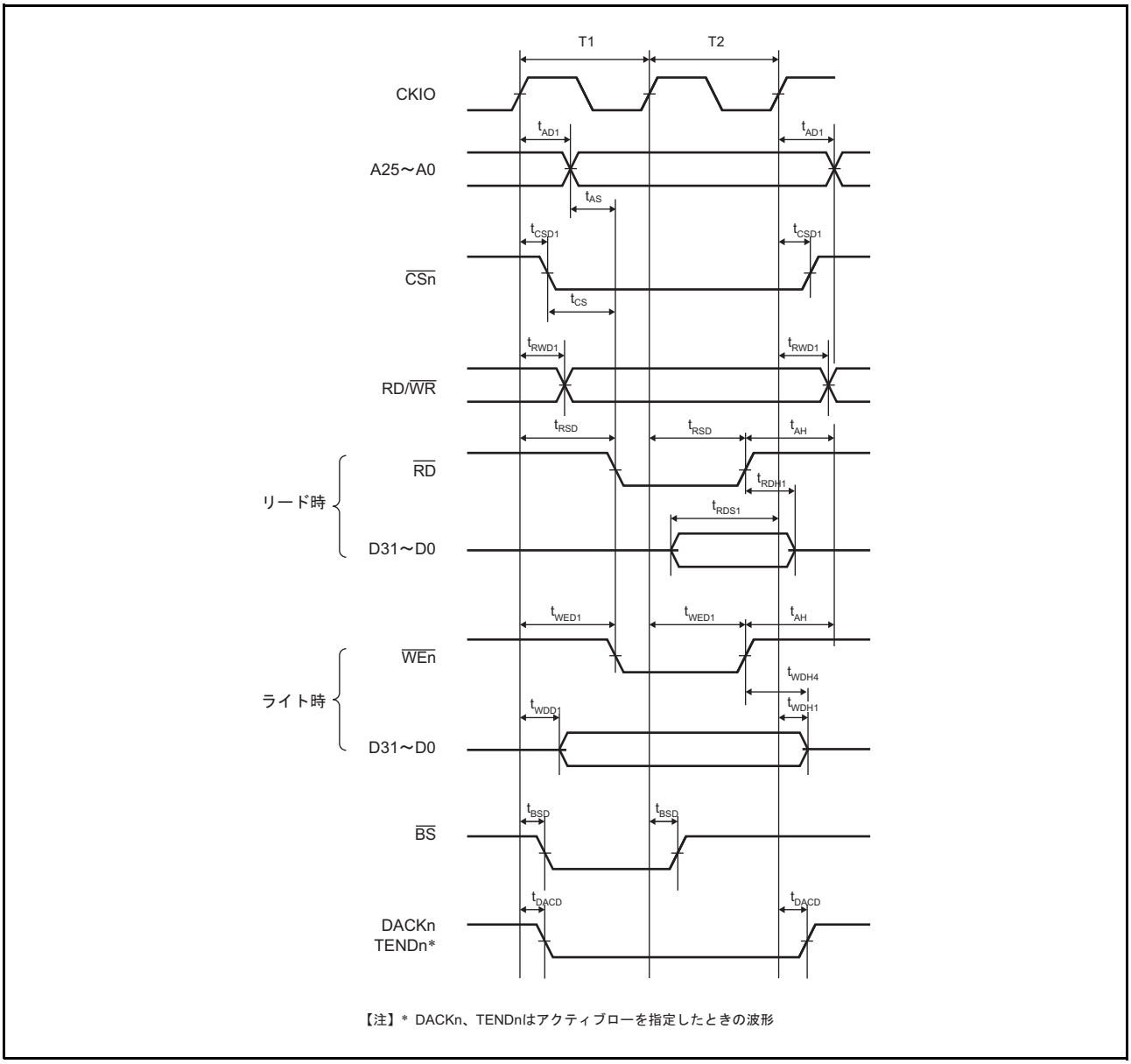
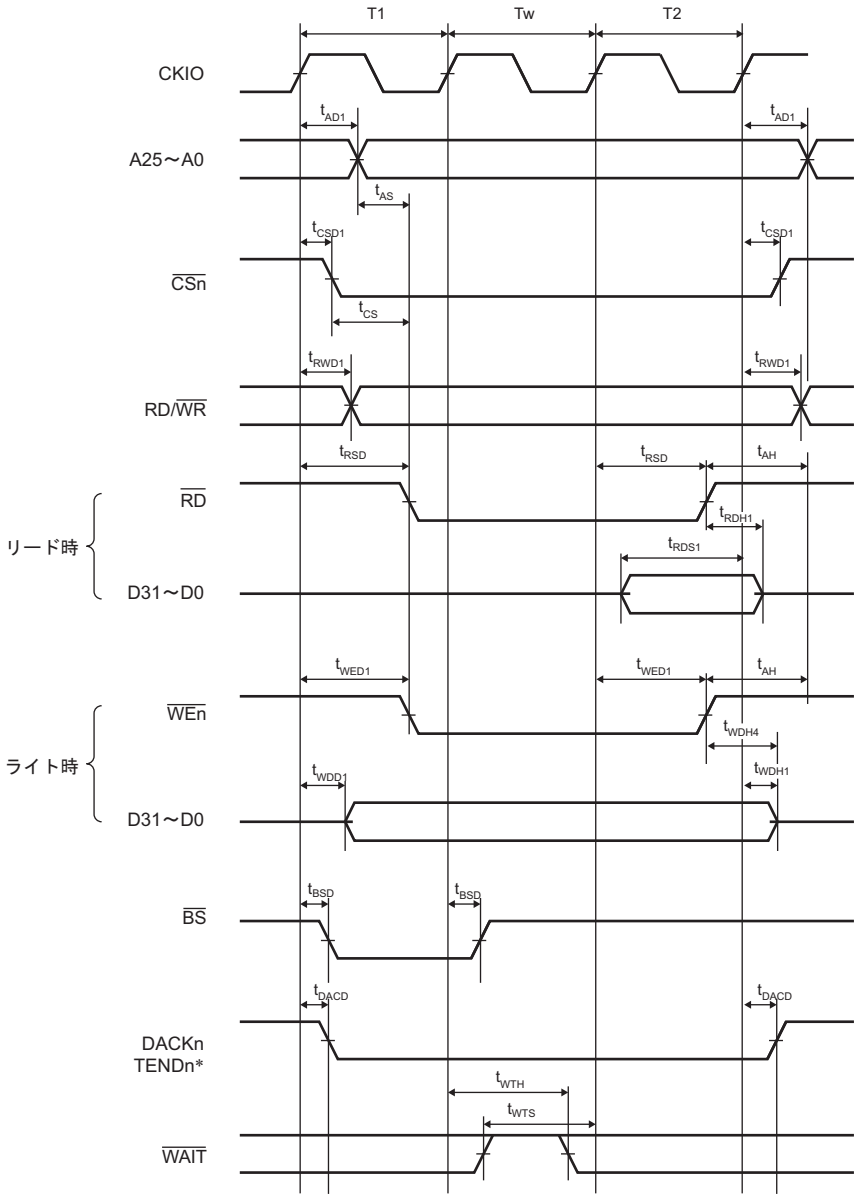


図 47.8　通常空間基本バスサイクル（ノーウェイト）



【注】* DACKn、TENDnはアクティブローを指定したときの波形

図 47.9　通常空間基本バスサイクル（ソフトウェアウェイト 1）

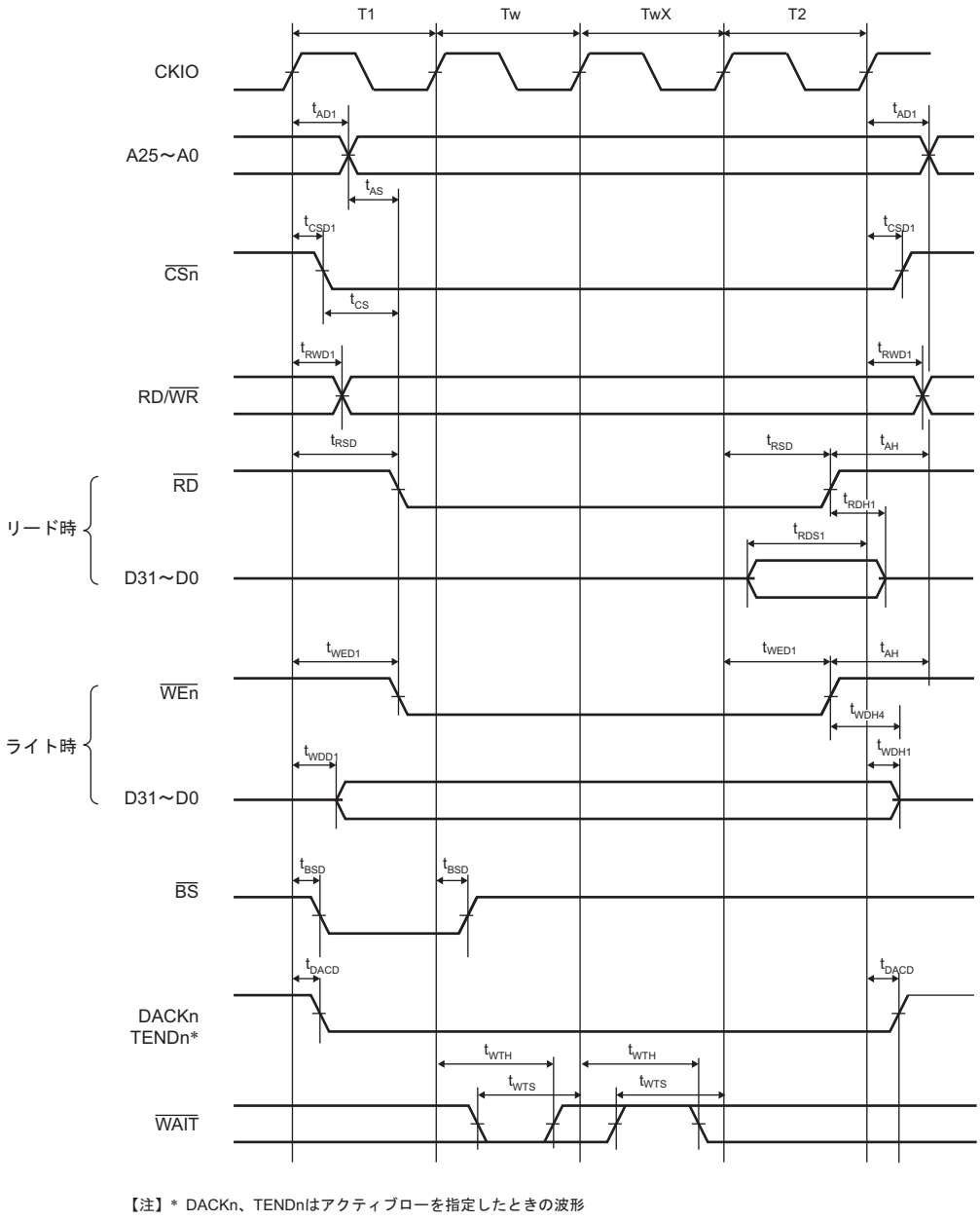


図 47.10　通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト 1 挿入）

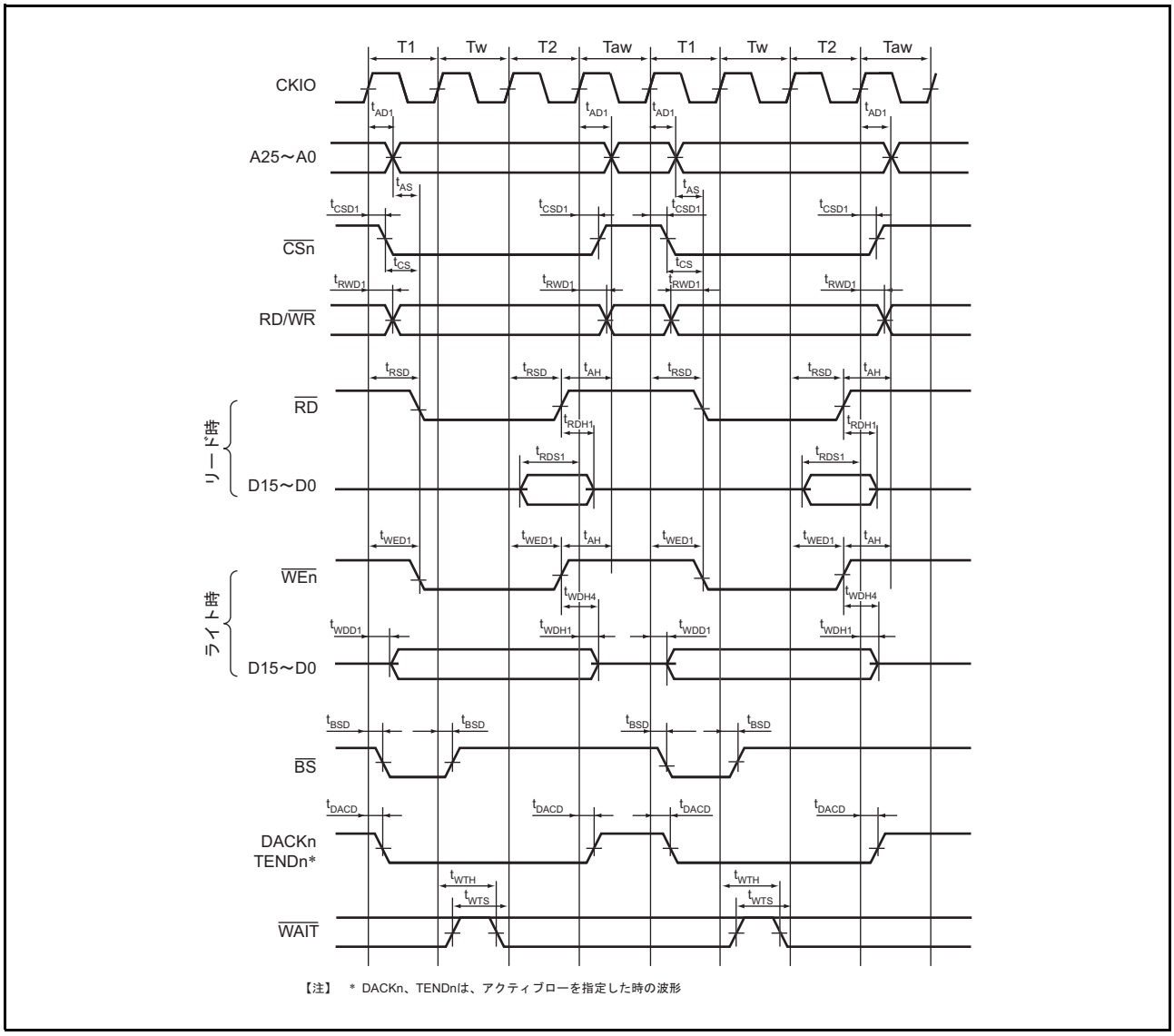
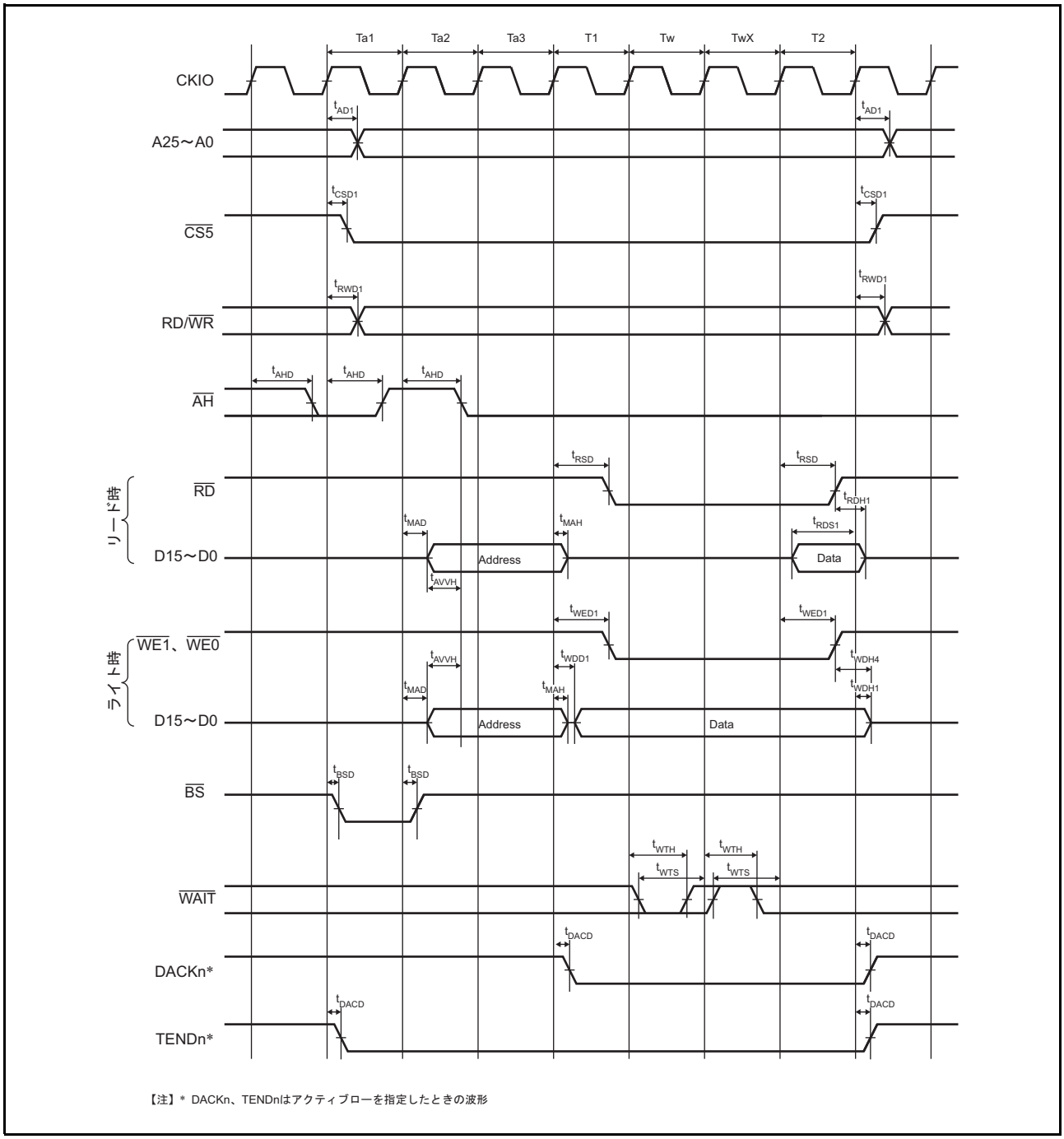


図 47.11　通常空間基本バスサイクル（ソフトウェアウェイト 1、外部ウェイト有効（WM ビット＝ 0）、アイドルサイクルなし）



【注】* DACKn、TENDnはアクティブローを指定したときの波形

図 47.12　MPX-I/O インタフェースバスサイクル（アドレスサイクル 3、ソフトウェアウェイト 1、外部ウェイト 1 挿入）

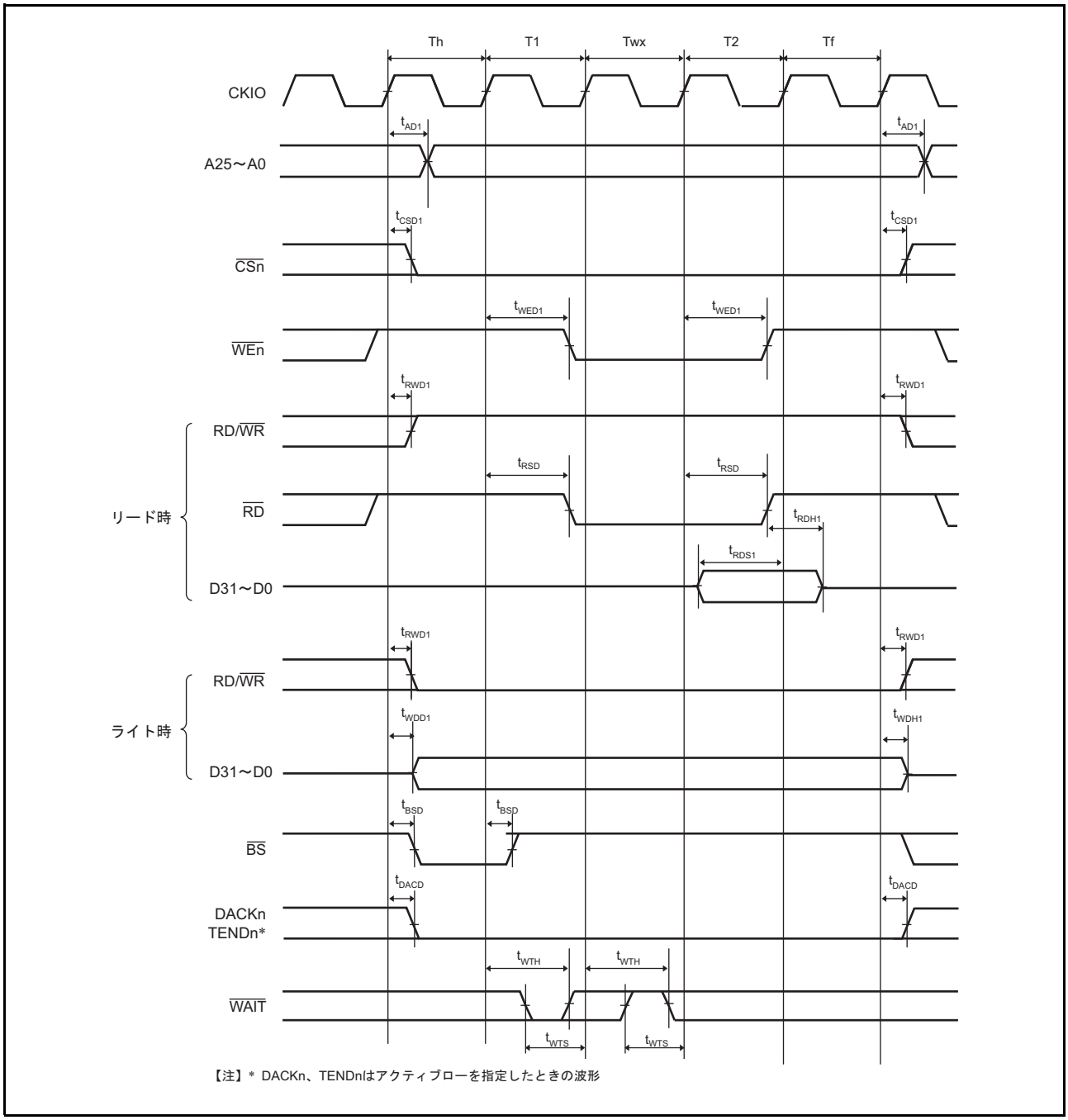


図 47.13　バイト選択付き SRAM バスサイクル（SW ＝ 1 サイクル、HW ＝ 1 サイクル、非同期外部ウェイト 1 挿入、BAS ＝ 0（ライトサイクル UB/LB コントロール））

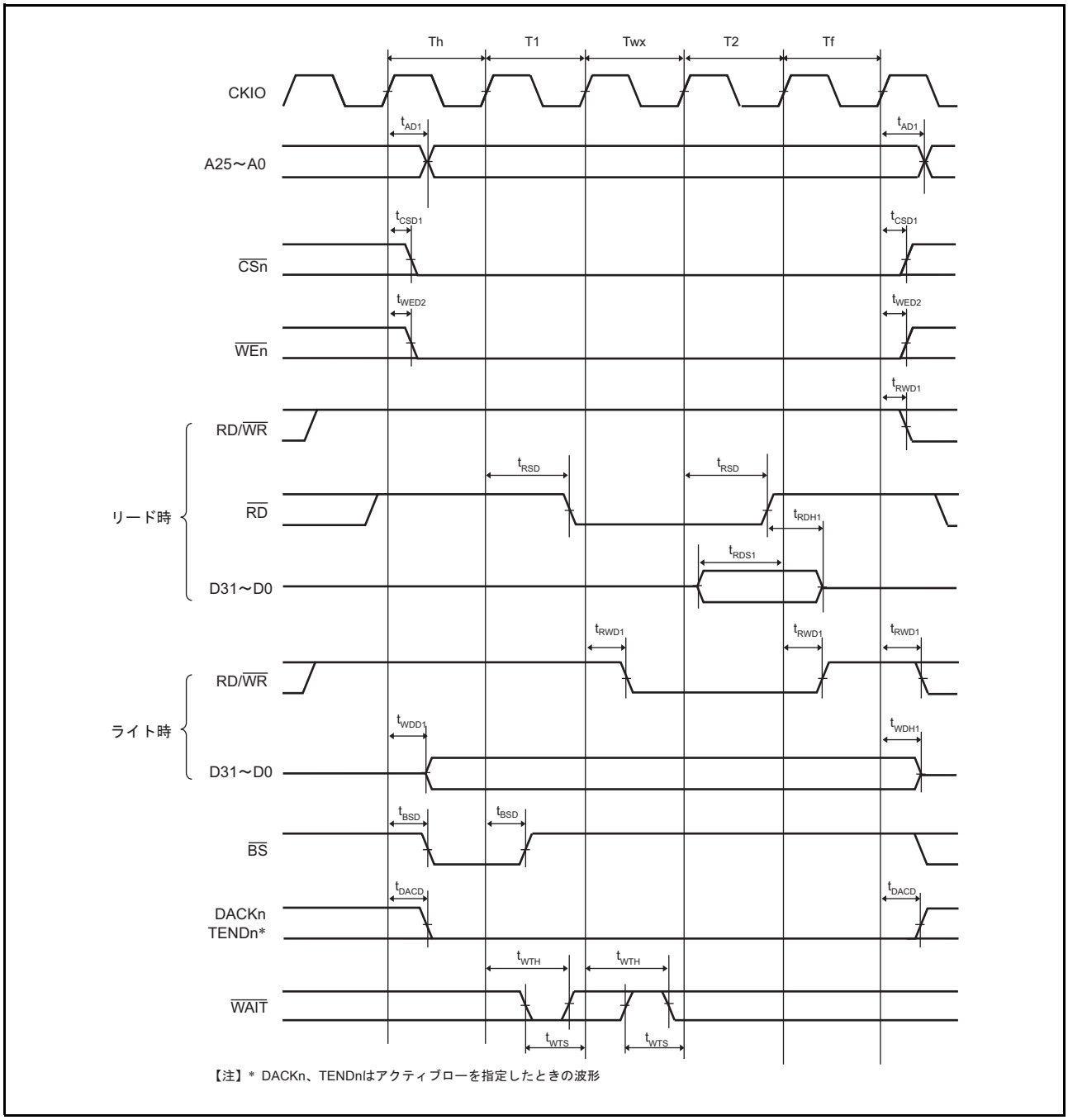
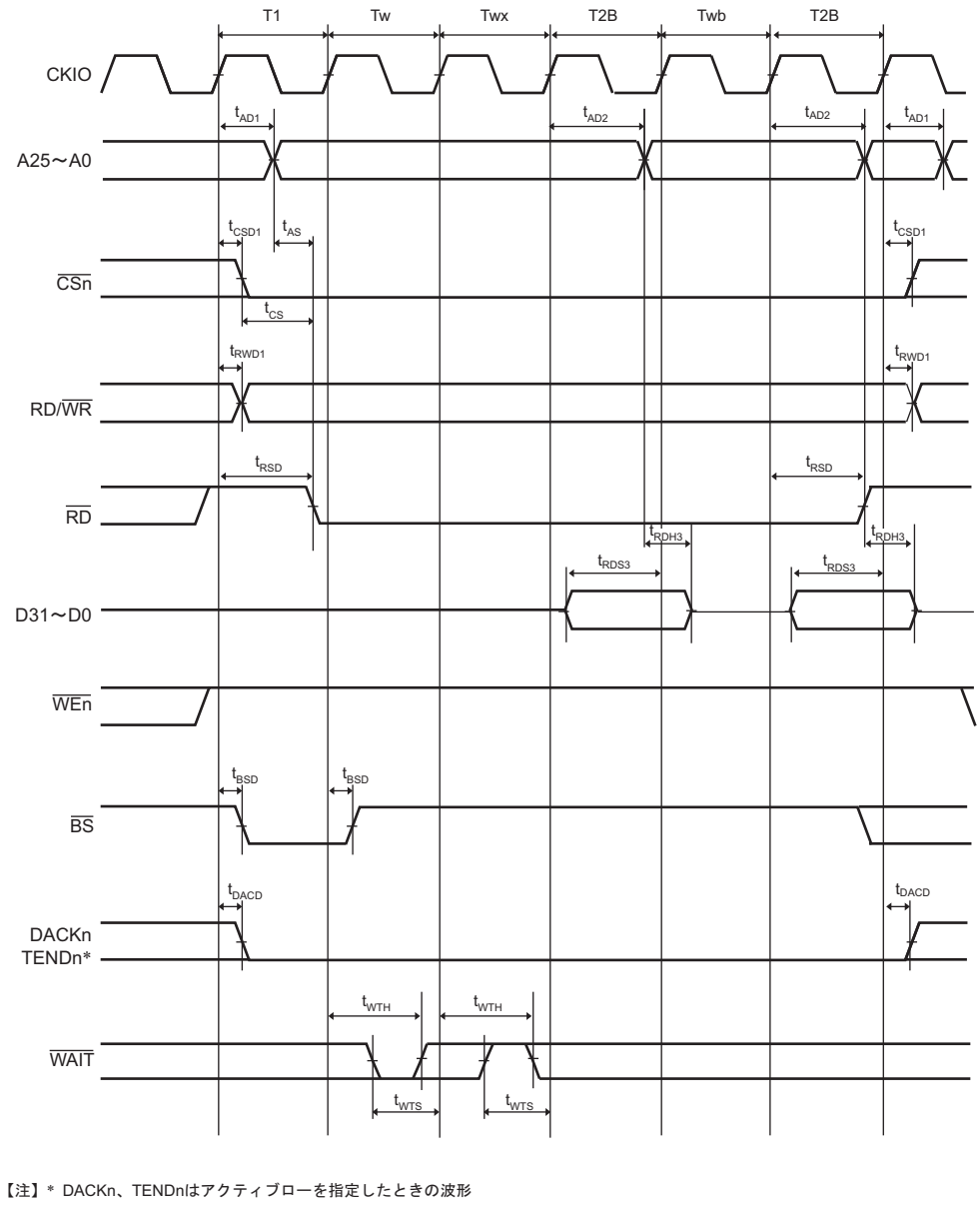


図 47.14　バイト選択付き SRAM バスサイクル（SW ＝ 1 サイクル、HW ＝ 1 サイクル、非同期外部ウェイト 1 挿入、BAS ＝ 1（ライトサイクル WE コントロール））



【注】* DACKn、TENDnはアクティブローを指定したときの波形

図 47.15　バースト ROM リードサイクル（ソフトウェアウェイト 1、非同期外部ウェイト 1 挿入バーストウェイト 1、2 バースト）

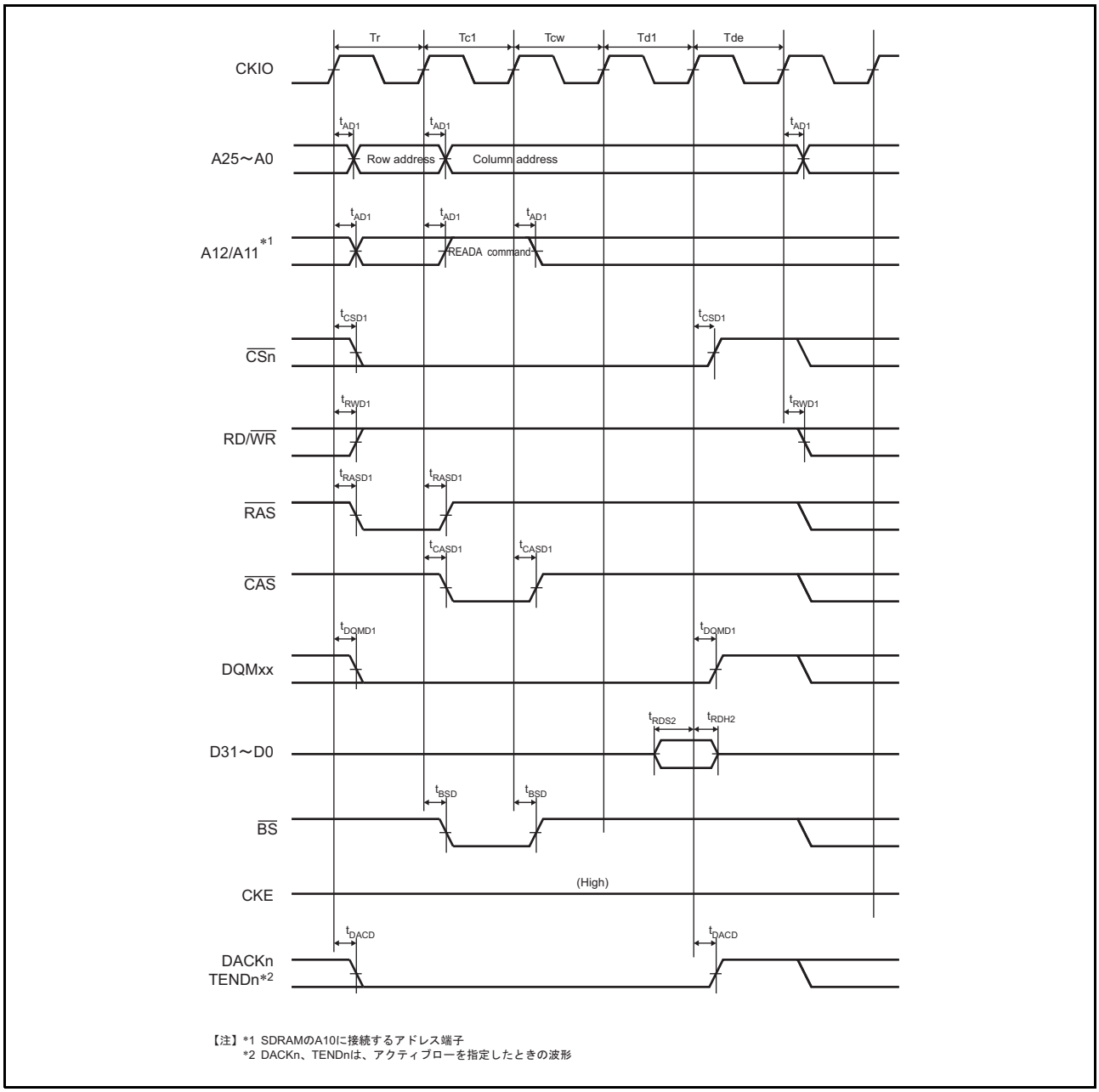
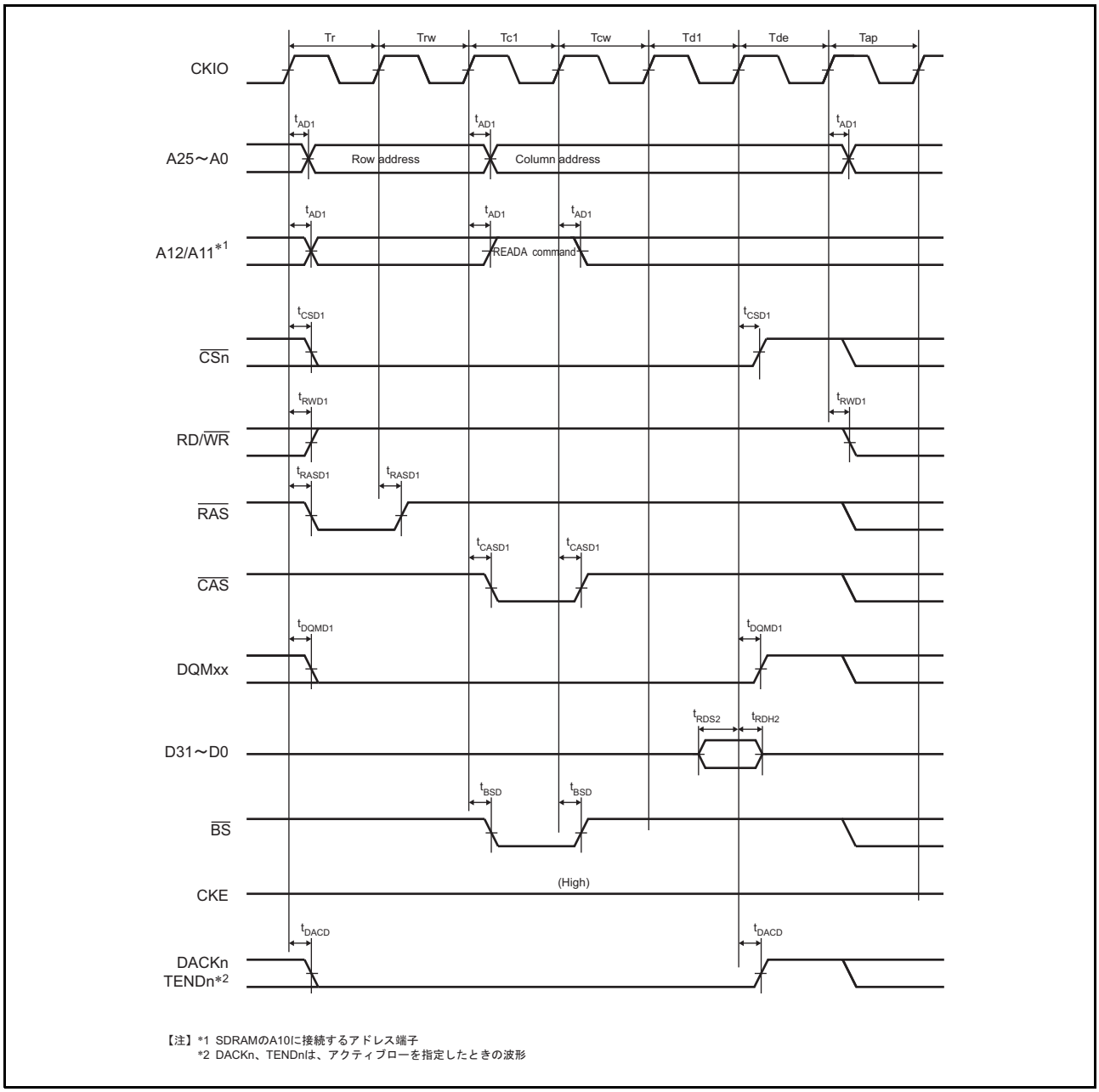
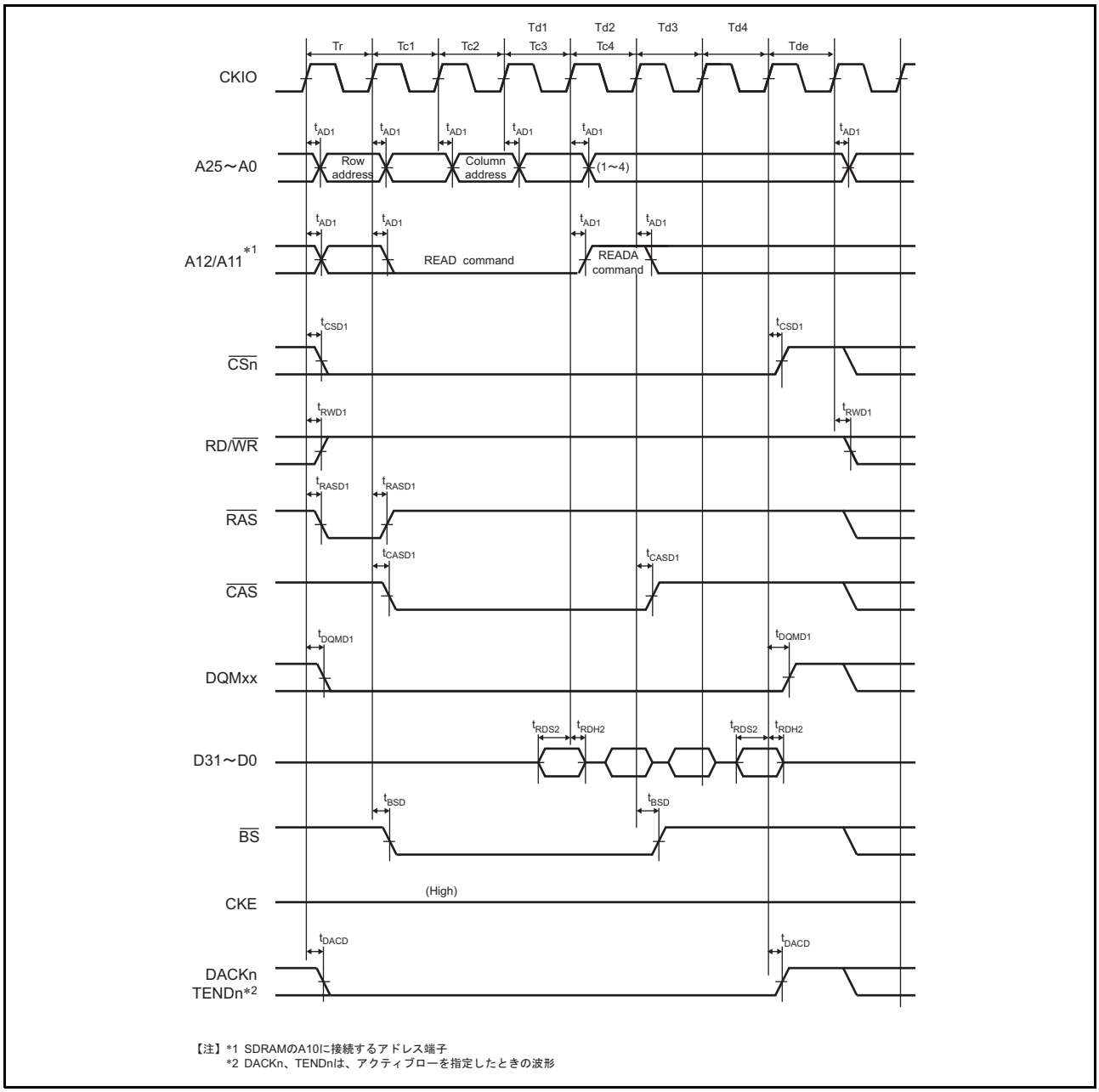


図 47.16　シンクロナス DRAM シングルリードバスサイクル（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 0 サイクル、WTRP ＝ 0 サイクル）



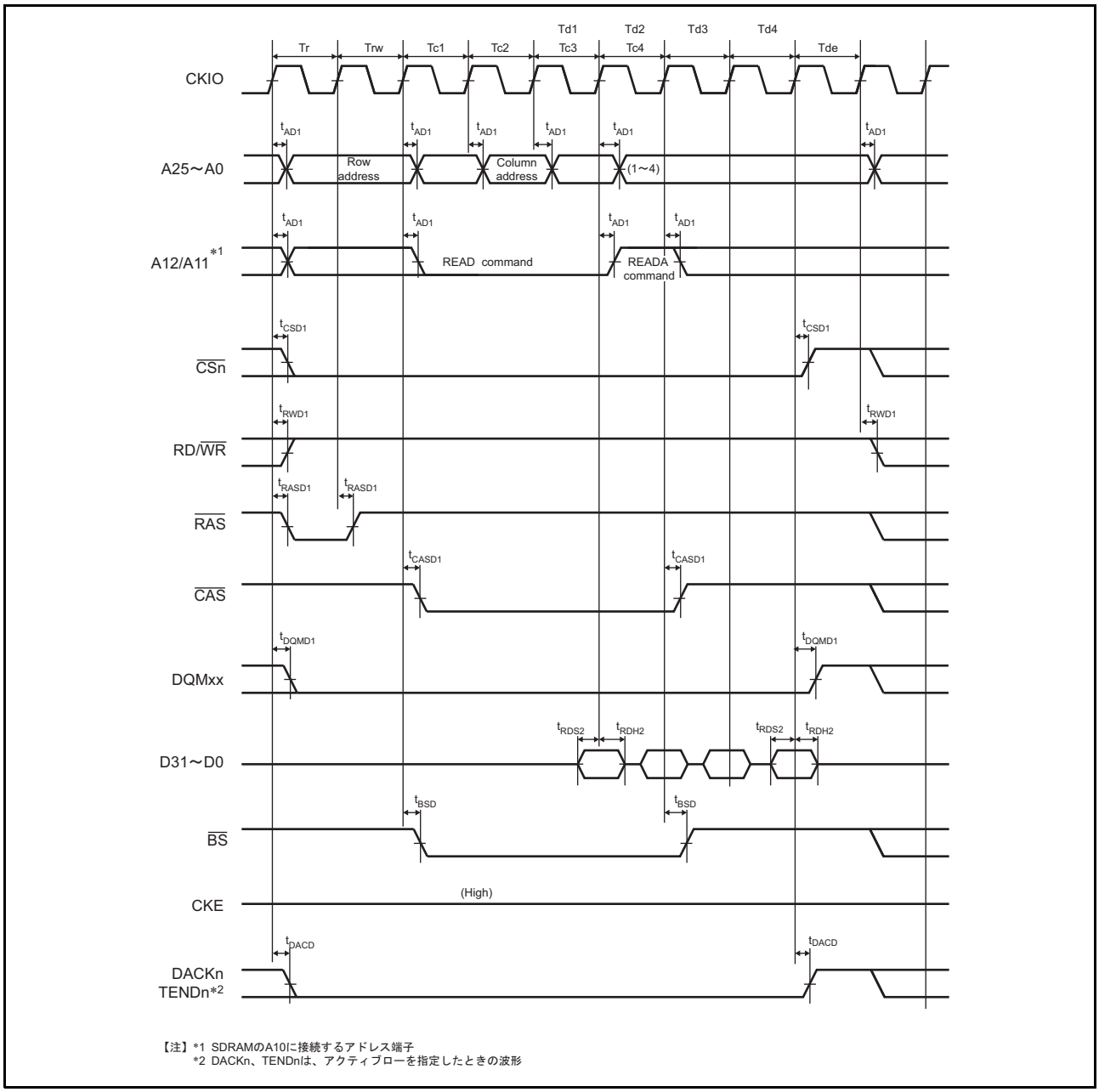
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 47.17　シンクロナス DRAM シングルリードバスサイクル（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 1 サイクル、WTRP ＝ 1 サイクル）



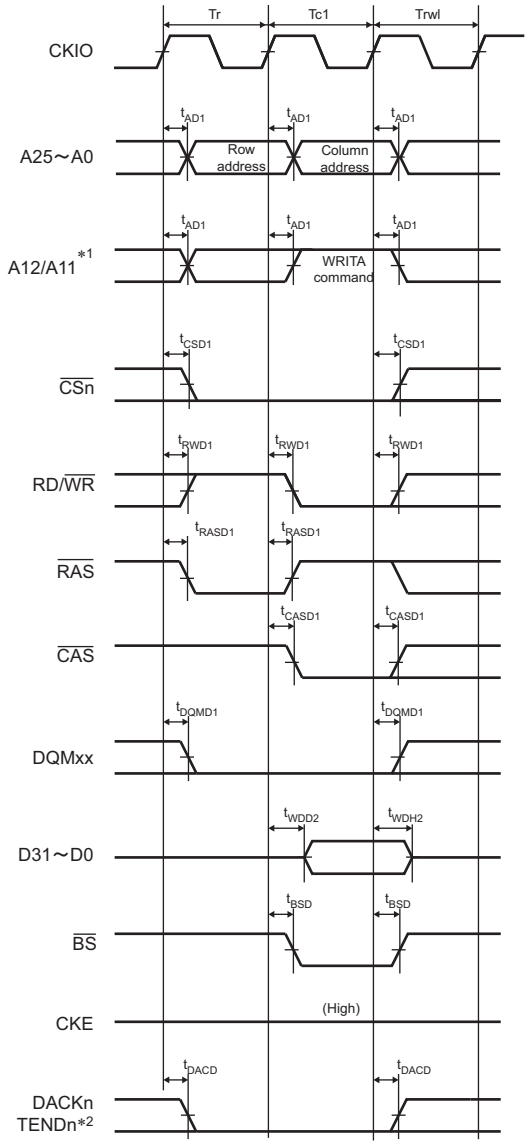
【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 47.18　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 0 サイクル、WTRP ＝ 1 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 47.19　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（オートプリチャージあり、CAS レイテンシ 2、WTRCD ＝ 1 サイクル、WTRP ＝ 0 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 47.20　シンクロナス DRAM シングルライトバスサイクル（オートプリチャージあり、TRWL ＝ 1 サイクル）

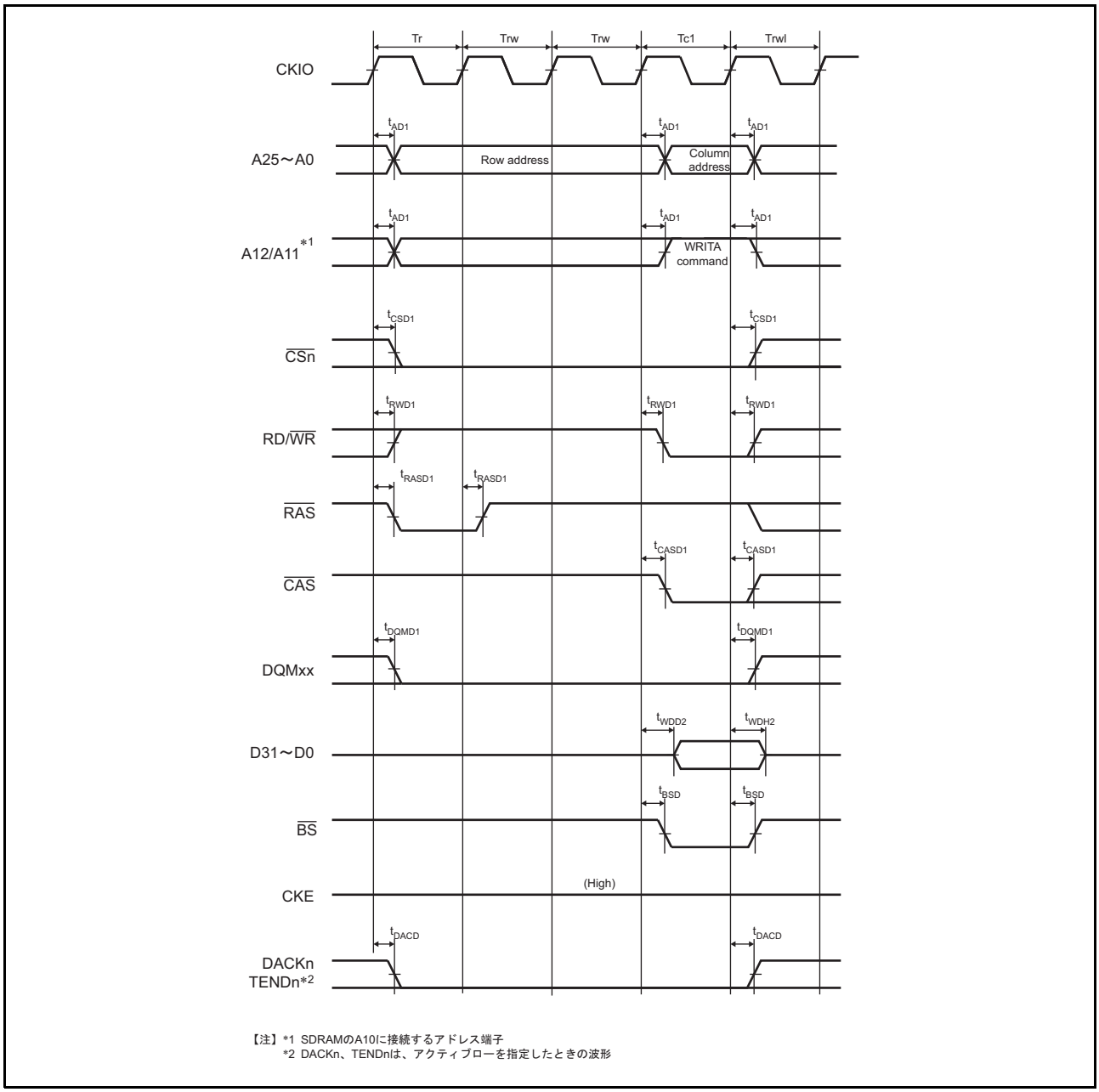


図 47.21　シンクロナス DRAM シングルライトバスサイクル（オートプリチャージあり、WTRCD ＝ 2 サイクル、TRWL ＝ 1 サイクル）

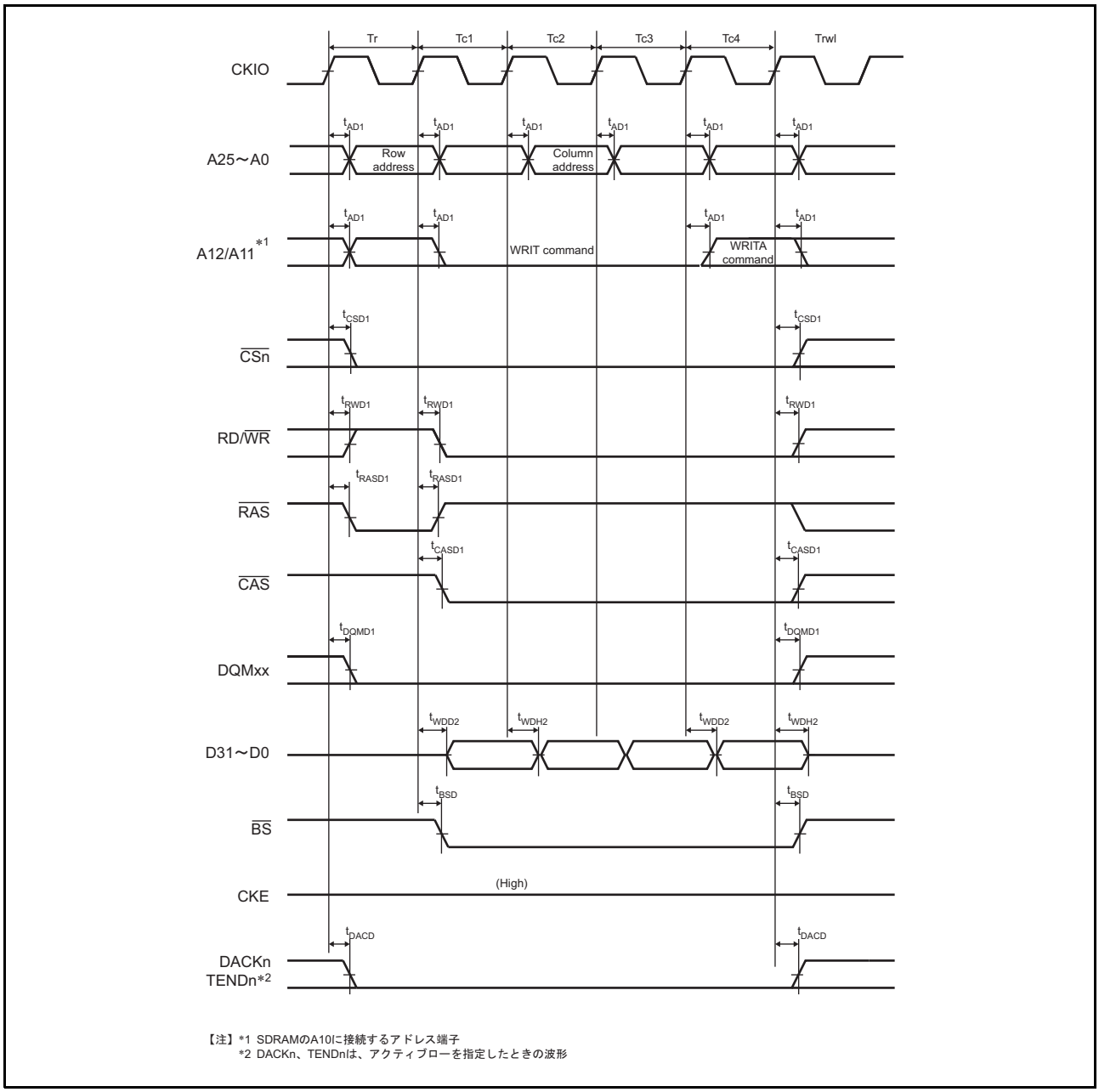


図 47.22　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（オートプリチャージあり、WTRCD ＝ 0 サイクル、TRWL ＝ 1 サイクル）

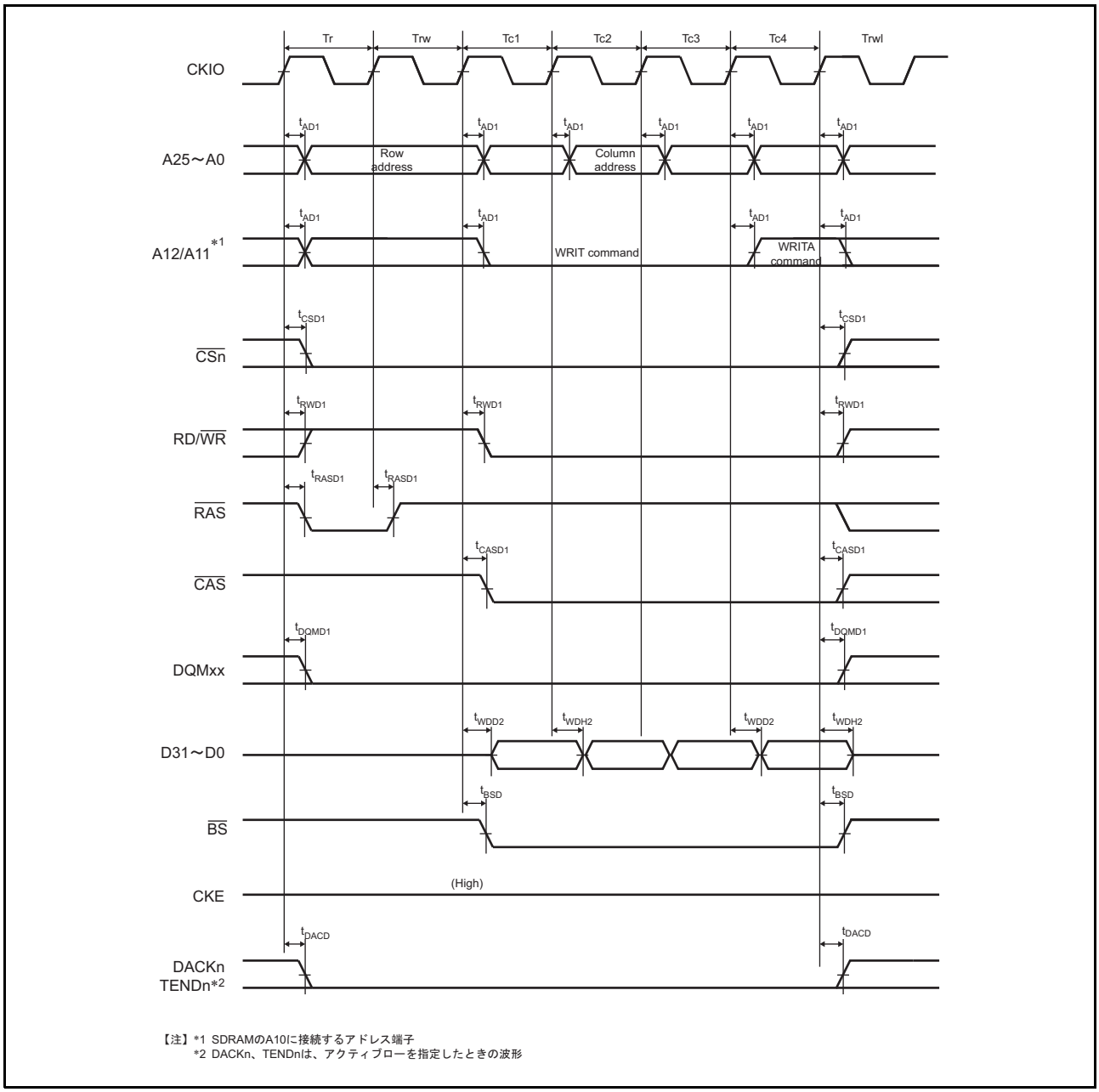


図 47.23　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（オートプリチャージあり、WTRCD ＝ 1 サイクル、TRWL ＝ 1 サイクル）

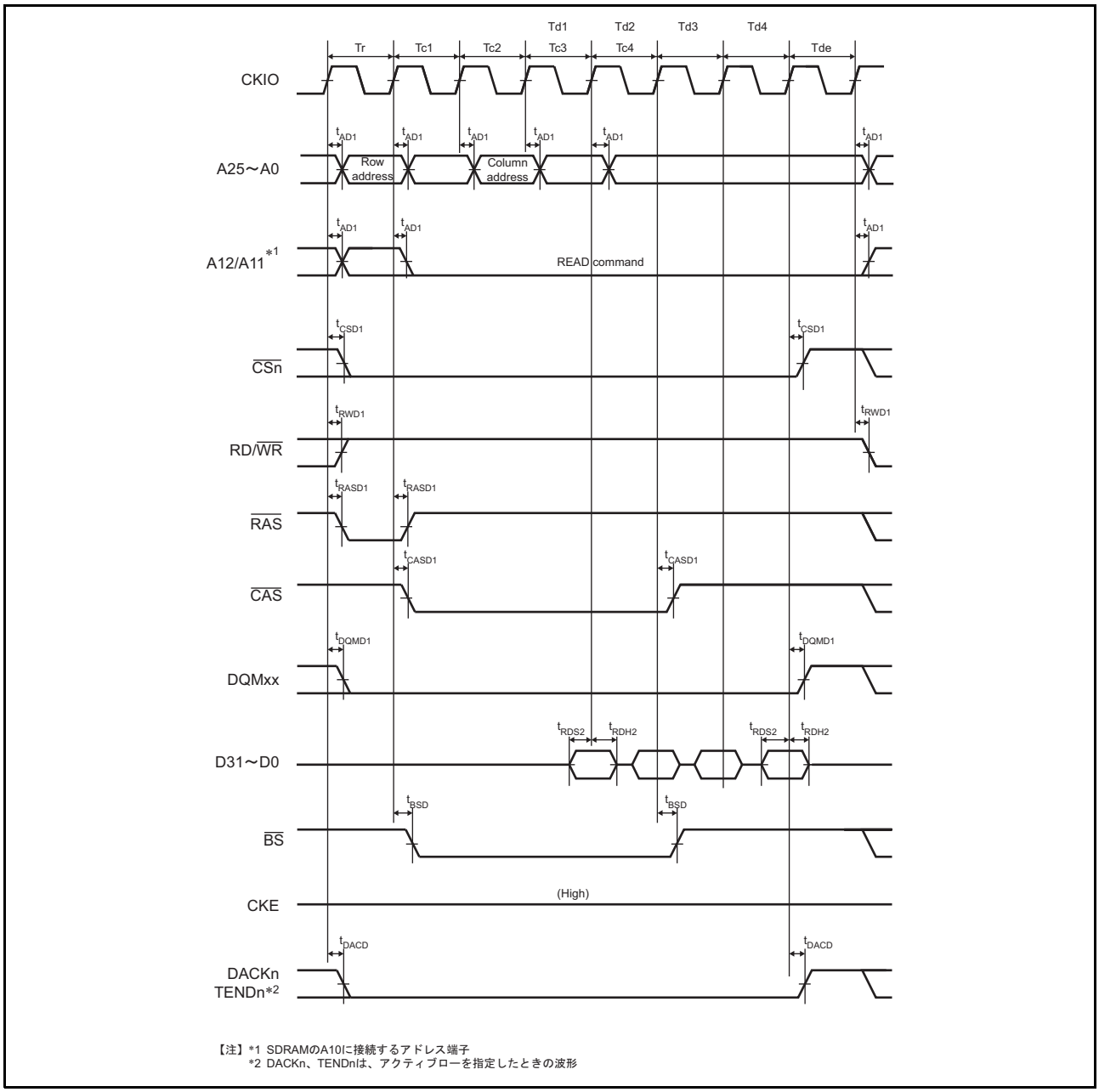


図 47.24　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：ACT ＋ READ コマンド、CAS レイテンシ 2、WTRCD ＝ 0 サイクル）

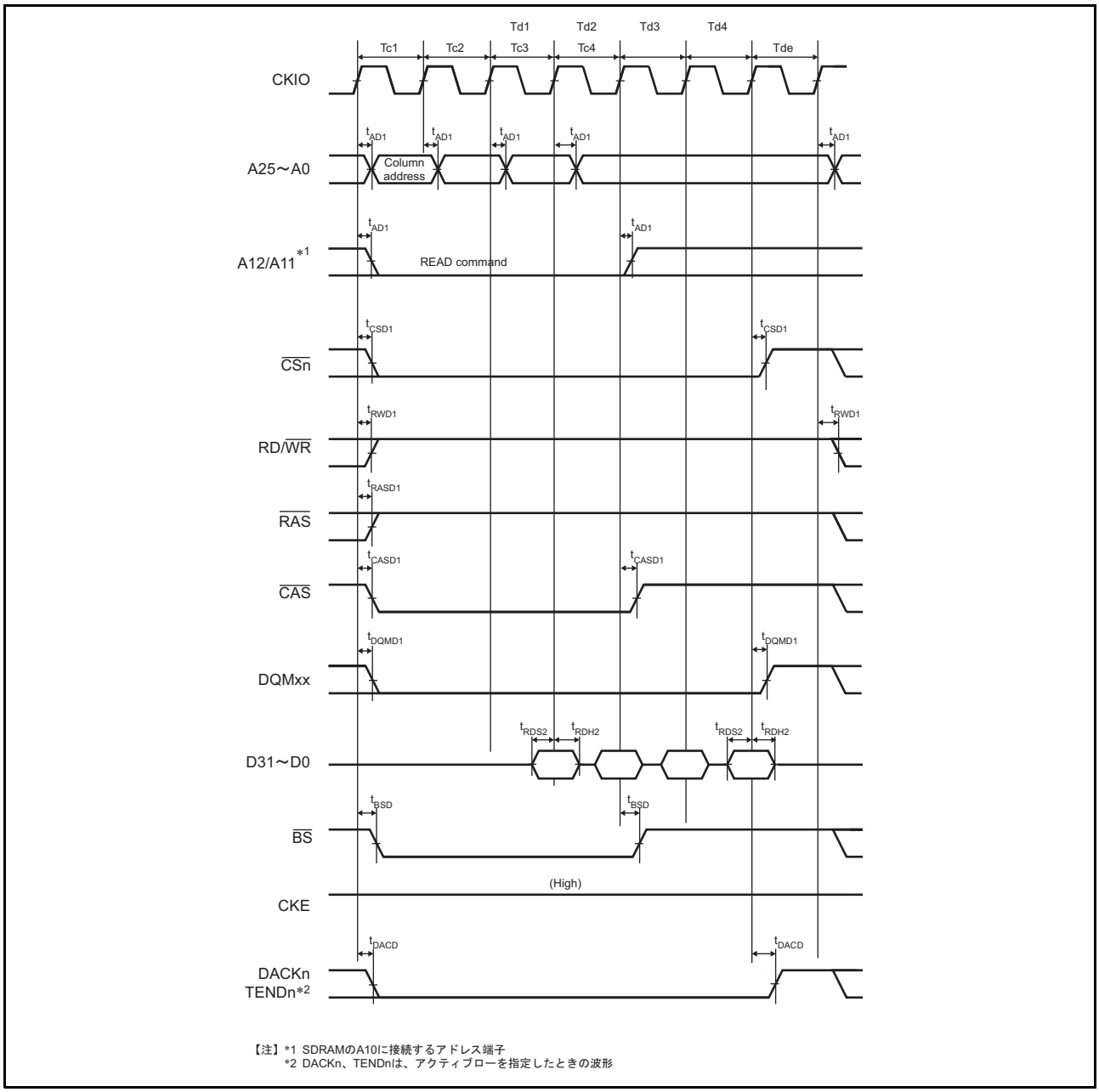


図 47.25　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：READ コマンド、同一ロウアドレス、CAS レイテンシ 2、WTRCD ＝ 0 サイクル）

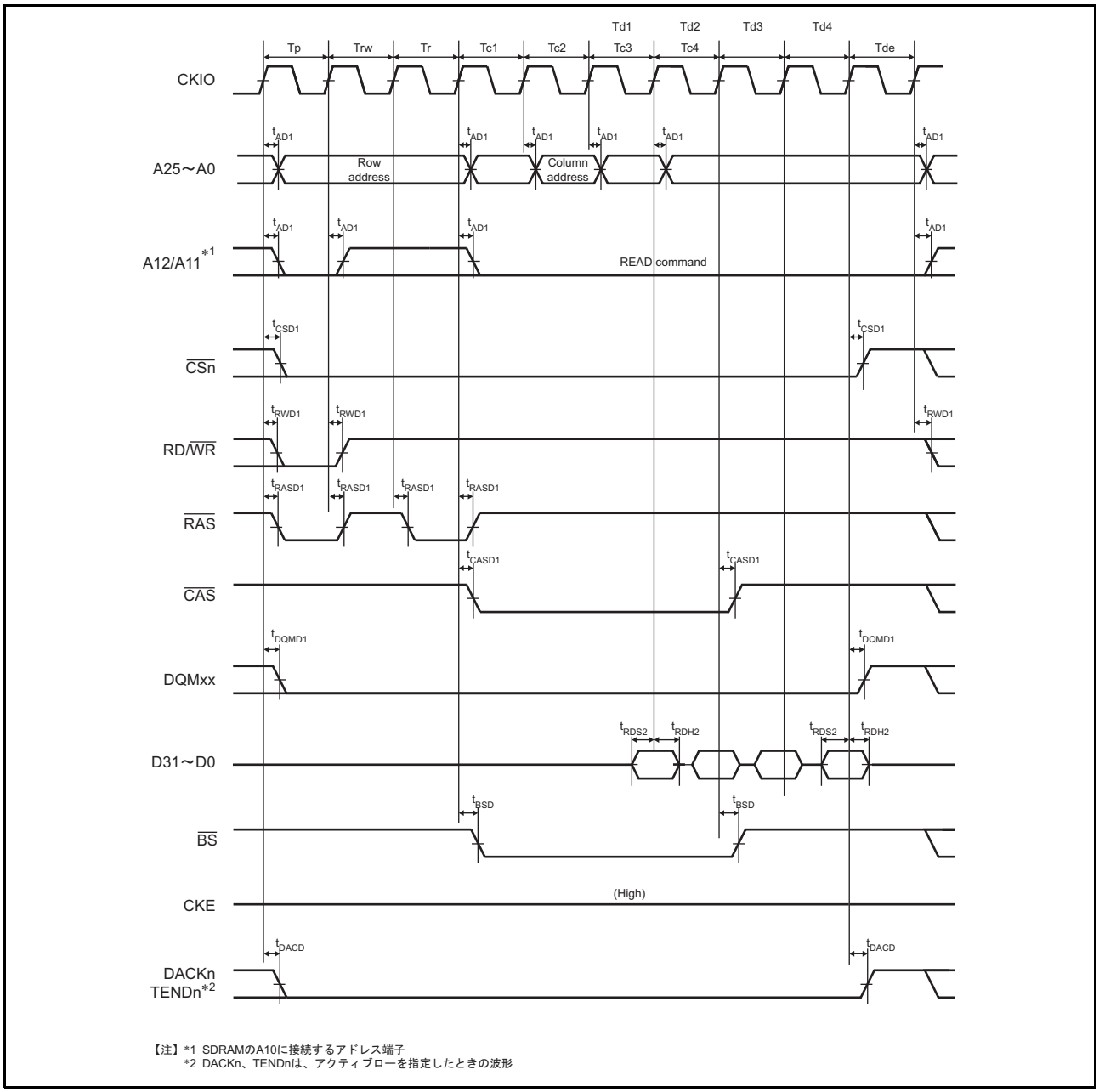


図 47.26　シンクロナス DRAM バーストリードバスサイクル（リード 4 サイクル分）（バンクアクティブモード：PRE ＋ ACT ＋ READ コマンド、異なるロウアドレス、CAS レイテンシ 2、WTRCD ＝ 0 サイクル）

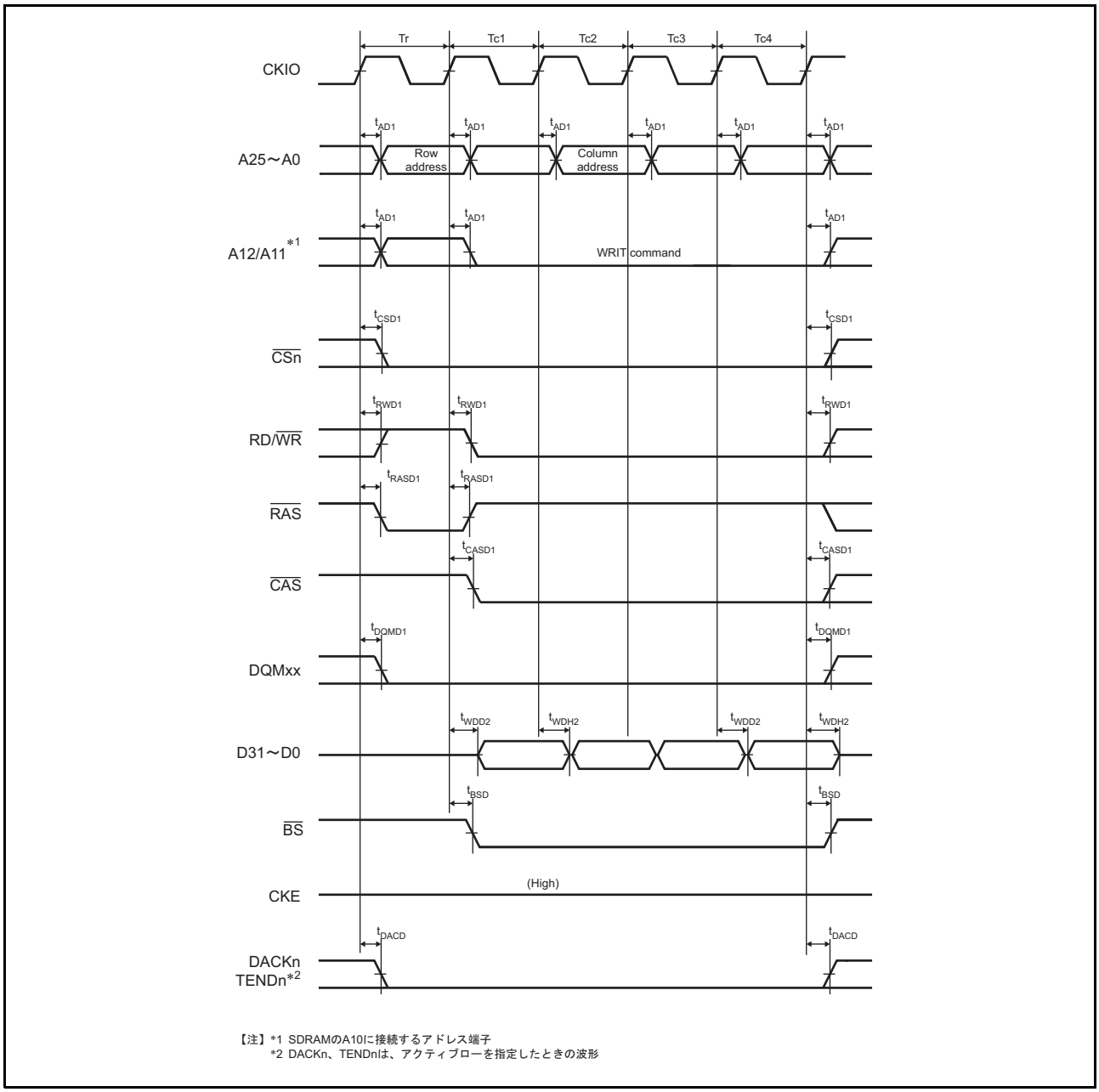


図 47.27　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：ACT ＋ WRITE コマンド、WTRCD ＝ 0 サイクル、TRWL ＝ 0 サイクル）

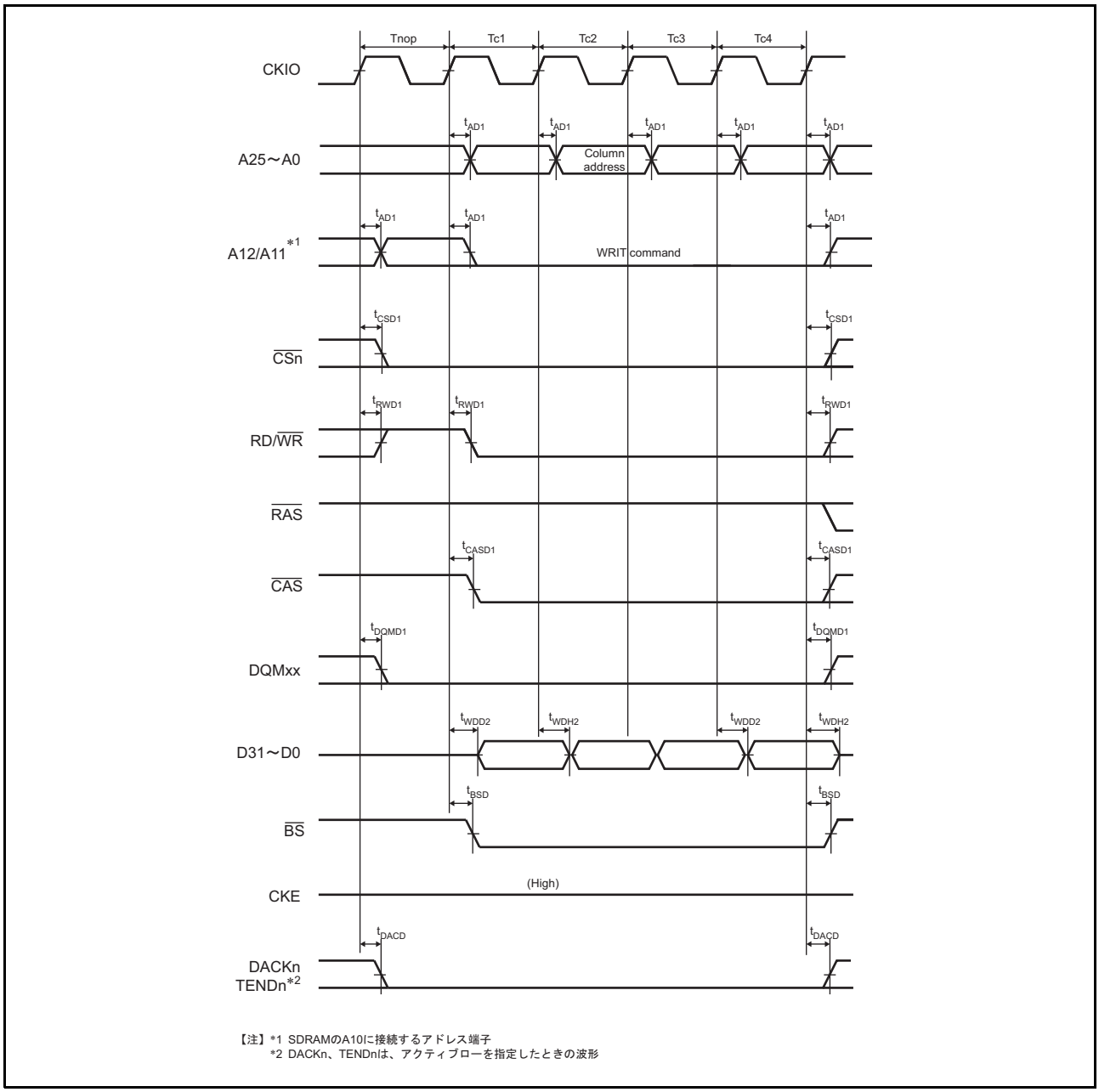


図 47.28　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：WRITE コマンド、同一ロウアドレス、WTRCD ＝ 0 サイクル、TRWL ＝ 0 サイクル）

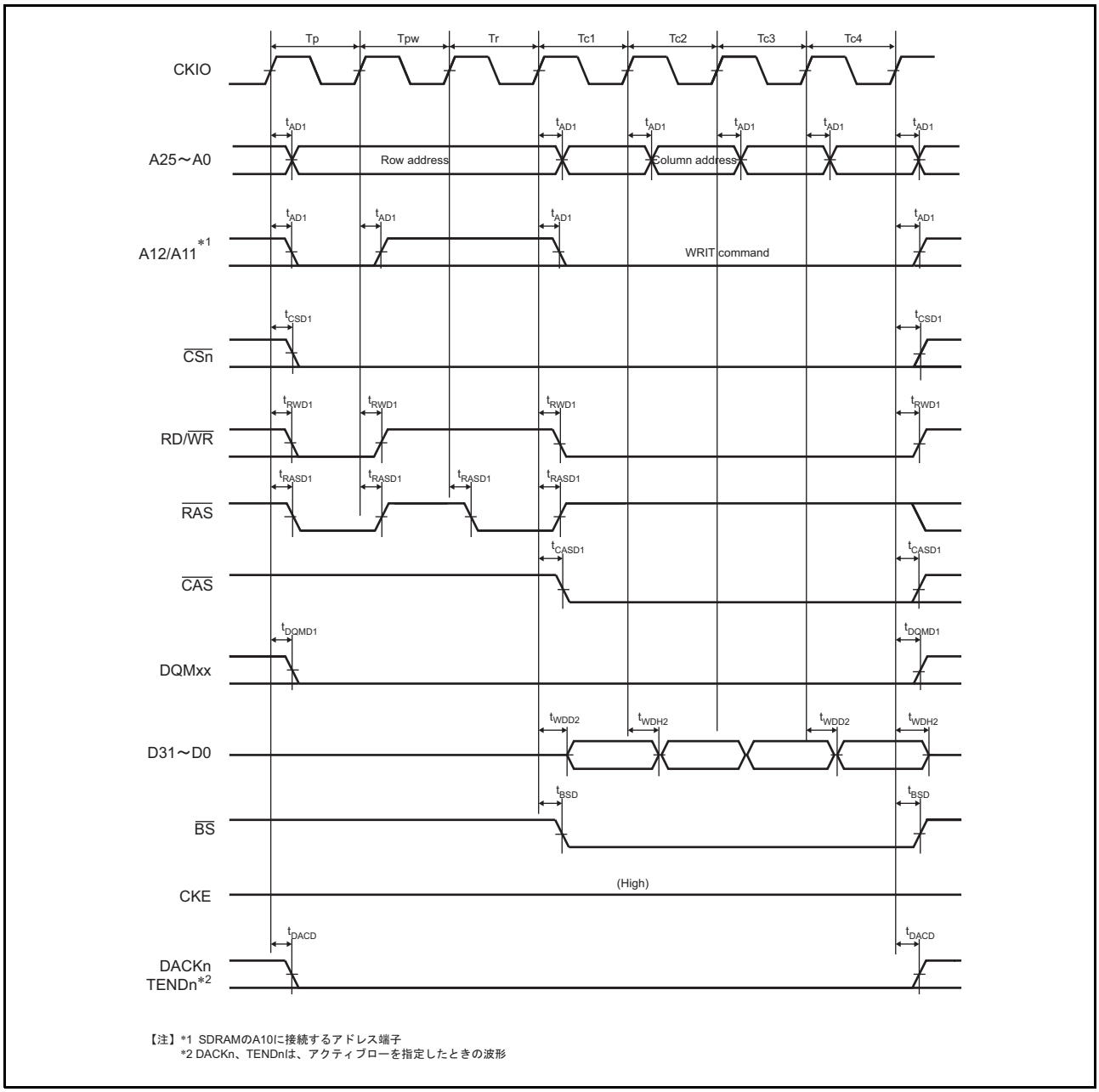
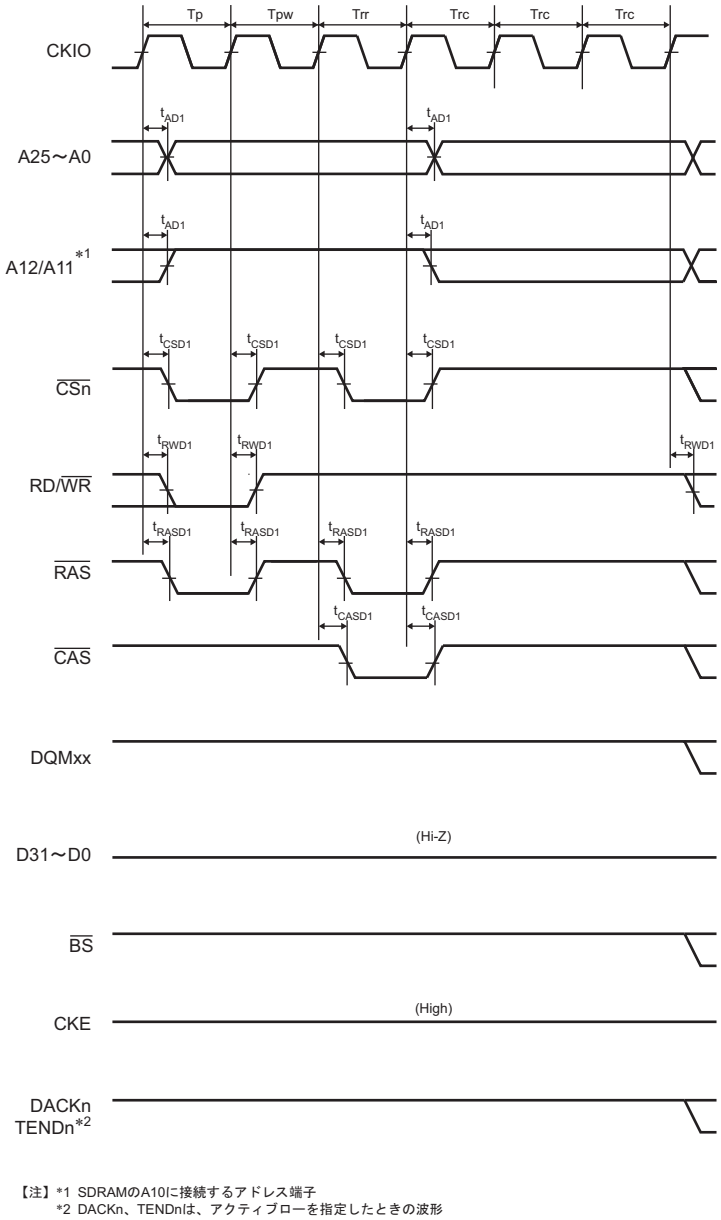
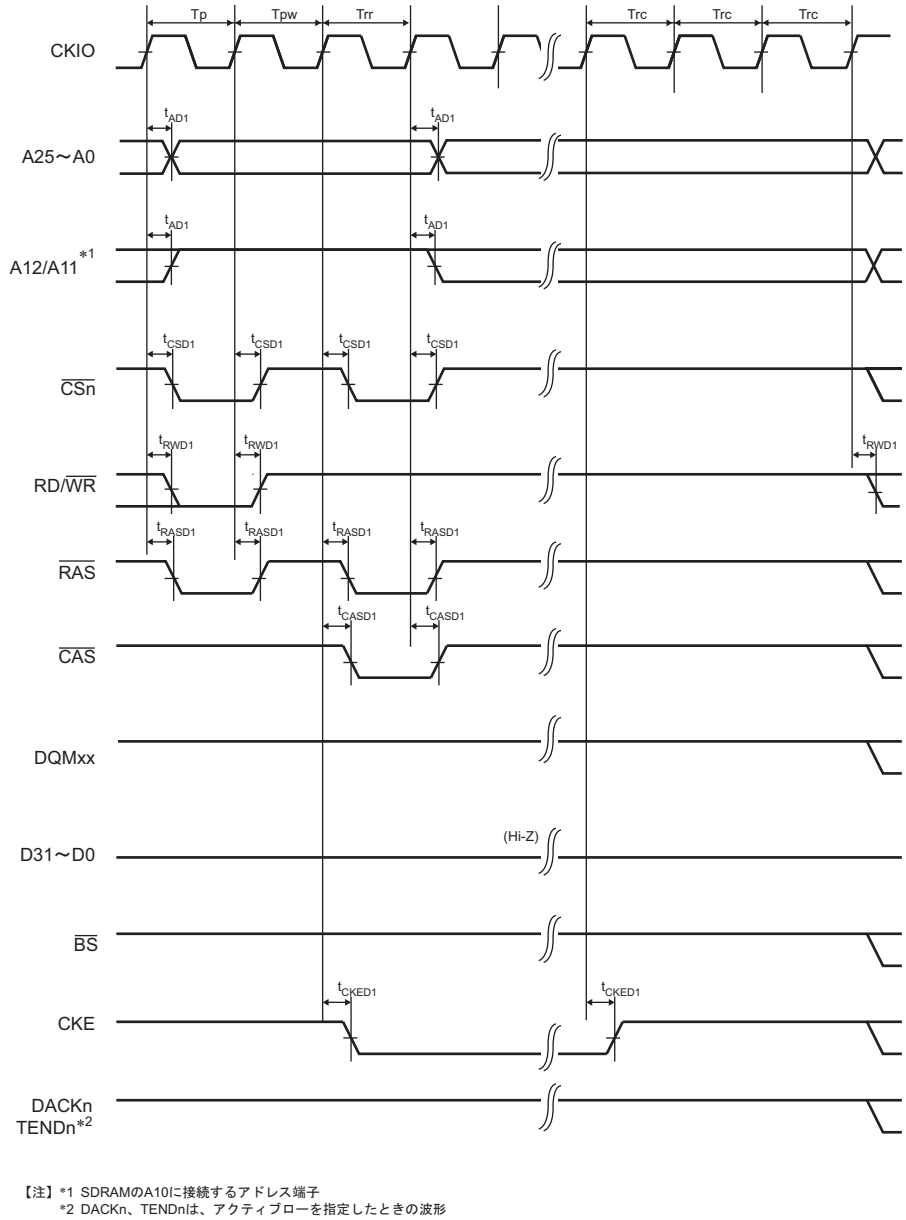


図 47.29　シンクロナス DRAM バーストライトバスサイクル（ライト 4 サイクル分）（バンクアクティブモード：PRE ＋ ACT ＋ WRITE コマンド、異なるロウアドレス、WTRCD ＝ 0 サイクル、TRWL ＝ 0 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 47.30　シンクロナス DRAM オートリフレッシュタイミング（WTRP ＝ 1 サイクル、WTRC ＝ 3 サイクル）



【注】*1 SDRAMのA10に接続するアドレス端子
*2 DACKn、TENDnは、アクティブローを指定したときの波形

図 47.31　シンクロナス DRAM セルフリフレッシュタイミング（WTRP ＝ 1 サイクル）

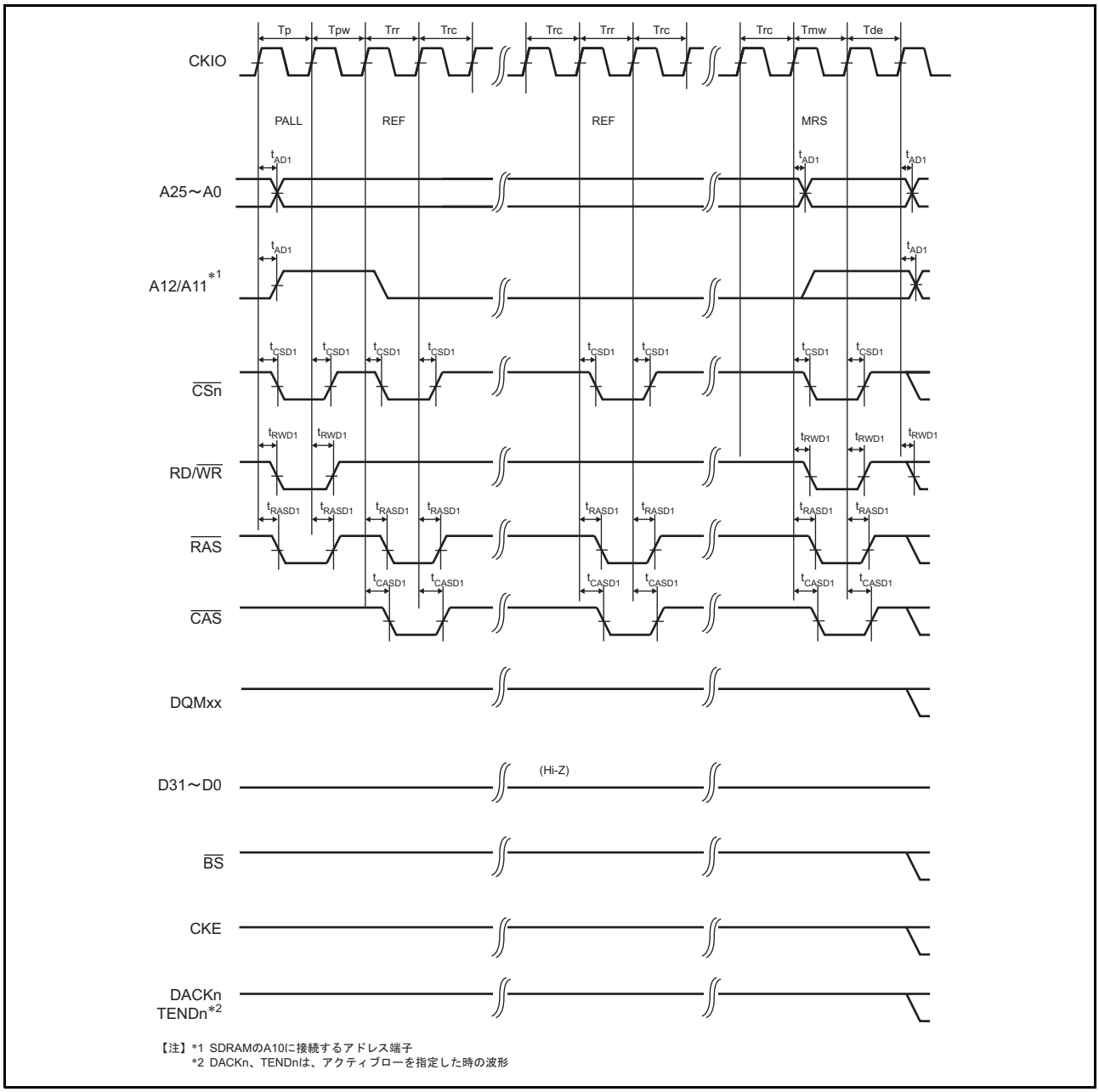


図 47.32　シンクロナス DRAM モードレジスタ書き込みタイミング（WTRP ＝ 1 サイクル）

47.4.4　ダイレクトメモリアクセスコントローラタイミング

表47.8　ダイレクトメモリアクセスコントローラタイミング

項　目	記号	Min.	Max.	単位	参照図
DREQセットアップ時間	t_{DRQS}	5.5	—	ns	図47.33
DREQホールド時間	t_{DRQH}	2.5	—		
DACK、TEND遅延時間	t_{DACD}	0	12		図47.34

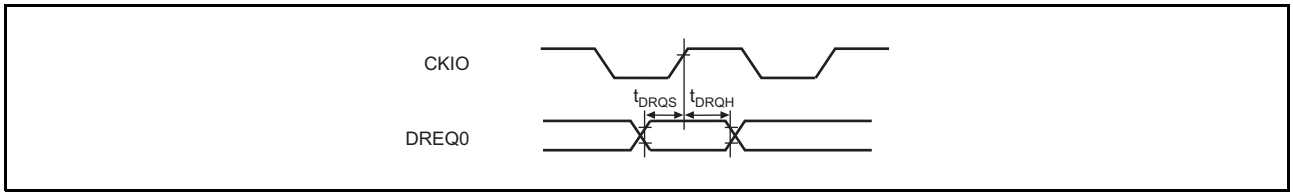


図 47.33　DREQ 入力タイミング

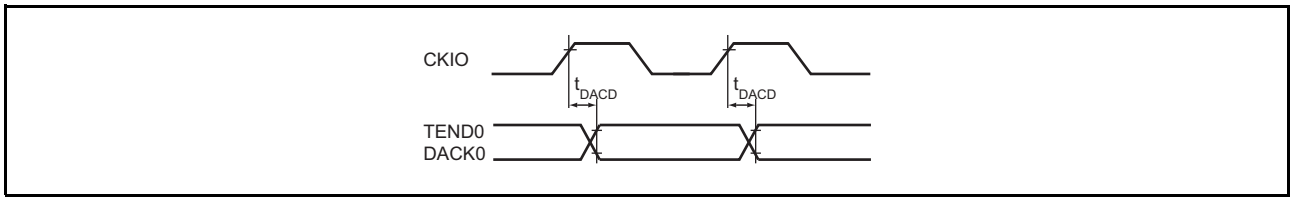


図 47.34　DACK、TEND 出力タイミング

47.4.5　マルチファンクションタイマパルスユニット 2 タイミング

表47.9　マルチファンクションタイマパルスユニット2タイミング

項　目	記号	Min.	Max.	単位	参照図
タイマクロックパルス幅（単エッジ指定）	$t_{TCKWH/L}$	1.5	—	t_{p0cyc}	図47.35
タイマクロックパルス幅（両エッジ指定）	$t_{TCKWH/L}$	2.5	—	t_{p0cyc}	
タイマクロックパルス幅（位相計数モード）	$t_{TCKWH/L}$	2.5	—	t_{p0cyc}	

注.　t_{p0cyc}は周辺クロック（P0φ）の周期を示します。

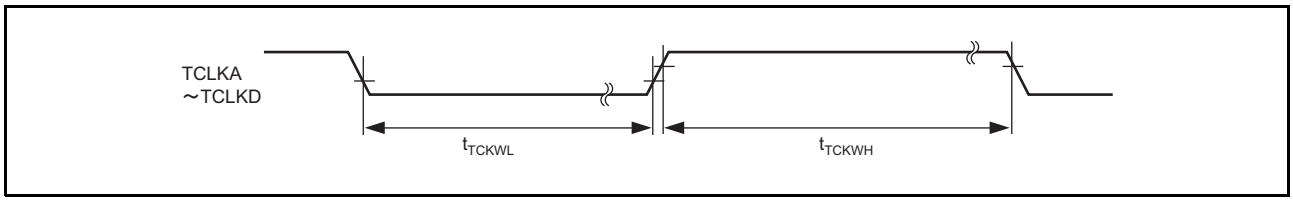


図 47.35　クロック入力タイミング

47.4.6　ウォッチドッグタイマタイミング

表47.10　ウォッチドッグタイマタイミング

項　目	記号	Min.	Max.	単位	参照図
$\overline{\text{WDTOVF}}$遅延時間	t_{WOVD}	—	100	ns	図47.36

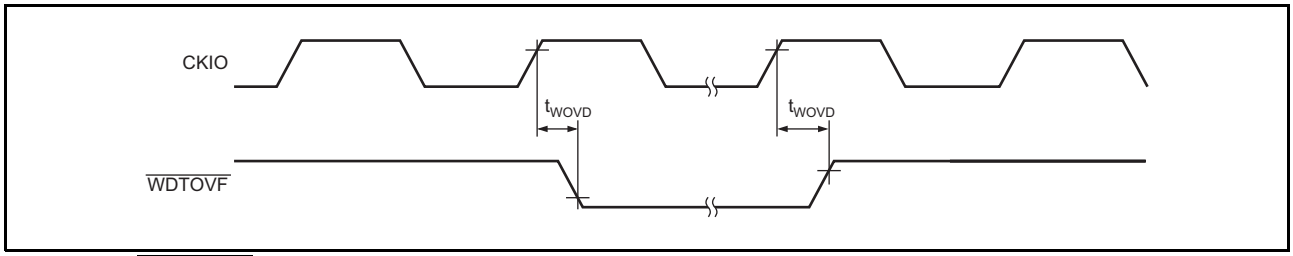


図 47.36　$\overline{\text{WDTOVF}}$ 出力タイミング

47.4.7　FIFO 内蔵シリアルコミュニケーションインタフェースタイミング

表47.11　FIFO内蔵シリアルコミュニケーションインタフェースタイミング

項目		記号	Min.	Max.	単位	参照図
入力クロックサイクル	クロック同期	t_{Scyc}	12	–	t_{p1cyc}	図47.37
	調歩同期		4	–	t_{p1cyc}	
入力クロック立ち上がり時間		t_{SCKr}	–	1.5	t_{p1cyc}	
入力クロック立ち下がり時間		t_{SCKf}	–	1.5	t_{p1cyc}	
入力クロック幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
送信データ遅延時間（クロック同期）		t_{TXD}	–	$3t_{p1cyc}$ + 15	ns	図47.38
受信データセットアップ時間（クロック同期）		t_{RXS}	$4t_{p1cyc}$ + 15	–	ns	
受信データホールド時間（クロック同期）		t_{RXH}	$1t_{p1cyc}$ + 15	–	ns	

注.　t_{p1cyc}は周辺クロック1（P1φ）の周期を示します。

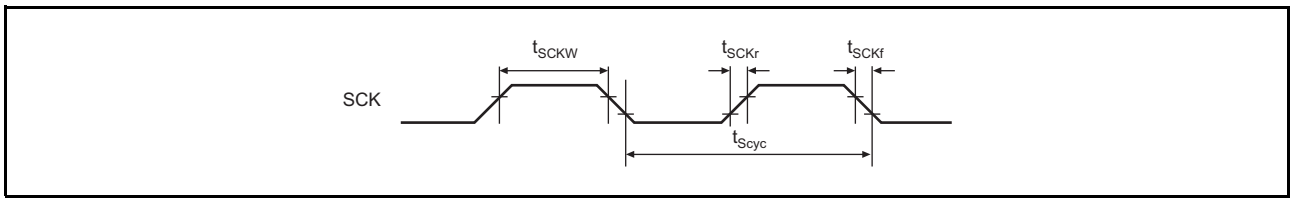


図 47.37　SCK 入力クロックタイミング

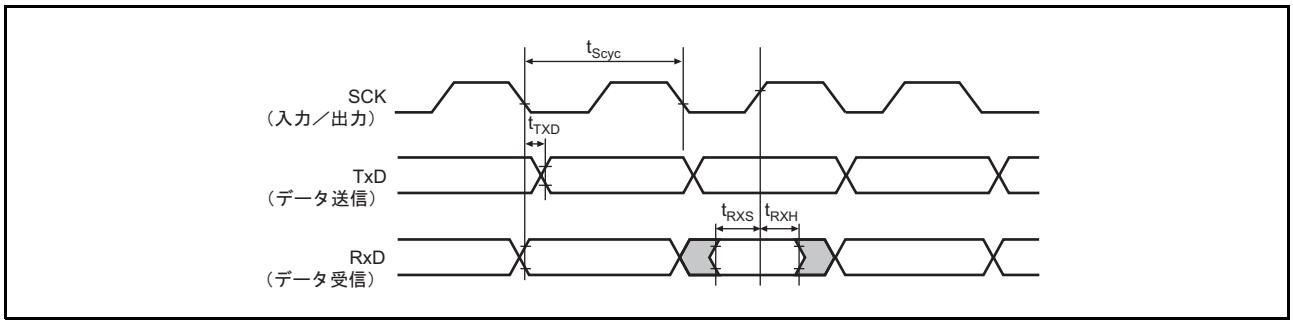


図 47.38　クロック同期式モード時の送受信データ入出力タイミング

47.4.8　シリアルコミュニケーションインタフェースタイミング

表47.12　シリアルコミュニケーションインタフェースタイミング

項目		記号	Min.	Max.	単位	参照図
入力クロックサイクル	調歩同期	t_{Scyc}	4	–	t_{p1cyc}	図47.39
	クロック同期		6	–		
入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
入力クロック立ち上がり時間		t_{SCKr}	–	20	ns	
入力クロック立ち下がり時間		t_{SCKf}	–	20	ns	
出力クロックサイクル	調歩同期	t_{Scyc}	16	–	t_{p1cyc}	
	クロック同期		4	–		
出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
出力クロック立ち上がり時間		t_{SCKr}	–	20	ns	
出力クロック立ち下がり時間		t_{SCKf}	–	20	ns	
送信データ遅延時間	クロック同期	t_{TXD}	–	40	ns	図47.40
受信データセットアップ時間	クロック同期	t_{RXS}	40	–	ns	
受信データホールド時間	クロック同期	t_{RXH}	40	–	ns	

注.　t_{p1cyc} は周辺クロック1（P1φ）の周期を示します。

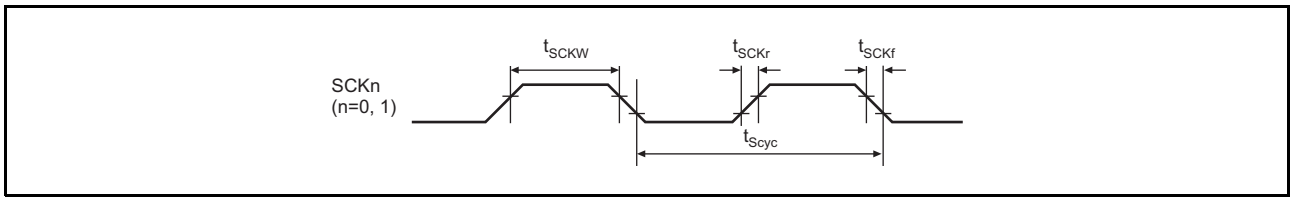


図 47.39　SCK クロック入力タイミング

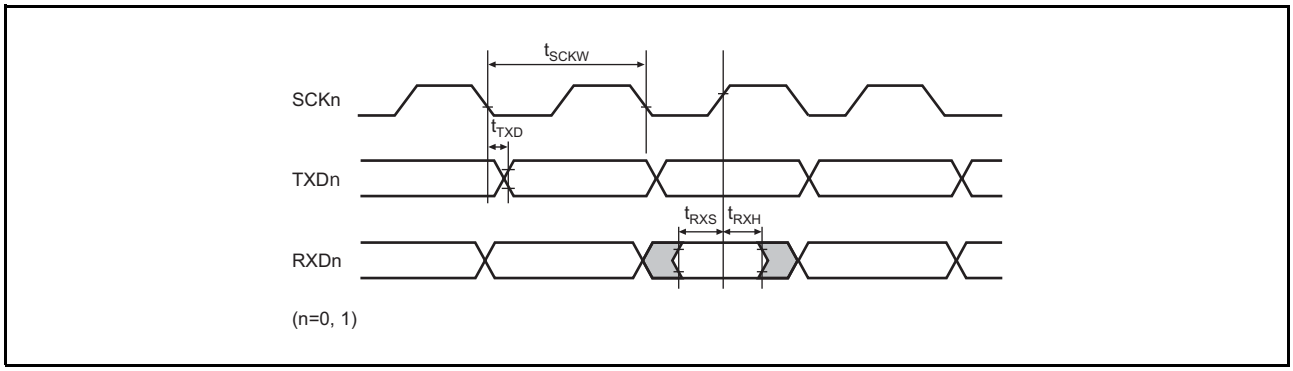


図 47.40　クロック同期式モード時の送受信データ入出力タイミング

47.4.9　ルネサスシリアルペリフェラルインタフェースタイミング

表47.13　ルネサスシリアルペリフェラルインタフェースタイミング

項目		記号	Min.	Max.	単位	参照図
RSPCKクロックサイクル	マスタ	t_{SPcyc}	2	4096	t_{cyc}	図47.41
	スレーブ		8	4096		
RSPCKクロックハイレベルパルス幅	マスタ	t_{SPCKWH}	0.4	–	t_{SPcyc}	
	スレーブ		0.4	–		
RSPCKクロックローレベルパルス幅	マスタ	t_{SPCKWL}	0.4	–	t_{SPcyc}	
	スレーブ		0.4	–		
データ入力セットアップ時間	マスタ	t_{SU}	15	–	ns	図47.42～図47.45
	スレーブ		0	–	t_{cyc}	
データ入力ホールド時間	マスタ	t_H	0	–	ns	
	スレーブ		4	–	t_{cyc}	
SSLセットアップ時間	マスタ	t_{LEAD}	$1\times t_{SPcyc} - 20$	$8\times t_{SPcyc}$	ns	
	スレーブ		4	–	t_{cyc}	
SSLホールド時間	マスタ	t_{LAG}	$1\times t_{SPcyc}$	$8\times t_{SPcyc} + 20$	ns	
	スレーブ		4	–	t_{cyc}	
データ出力遅延時間	マスタ	t_{OD}	–	21	ns	
	スレーブ		–	4	t_{cyc}	
データ出力ホールド時間	マスタ	t_{OH}	5	–	ns	
	スレーブ		3	–	t_{cyc}	
連続送信遅延時間	マスタ	t_{TD}	$1\times t_{SPcyc} + 2\times t_{cyc}$	$8\times t_{SPcyc} + 2\times t_{cyc}$	ns	
	スレーブ		$4\times t_{cyc}$	–		
スレーブアクセス時間		t_{SA}	–	4	t_{cyc}	図47.44、図47.45
スレーブ出力解放時間		t_{REL}	–	3	t_{cyc}	

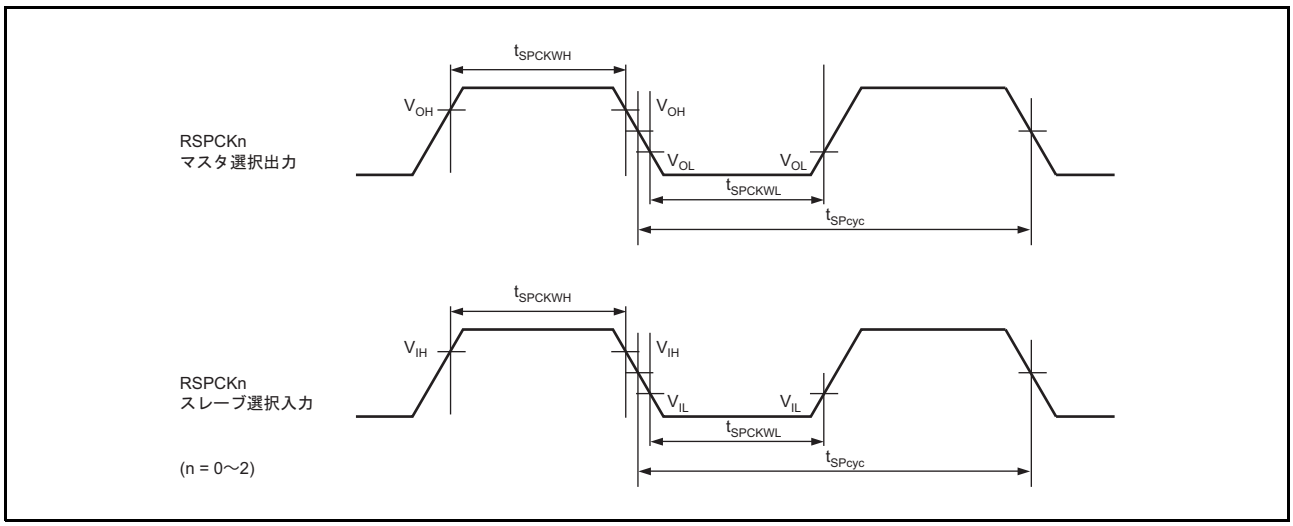


図 47.41　クロックタイミング

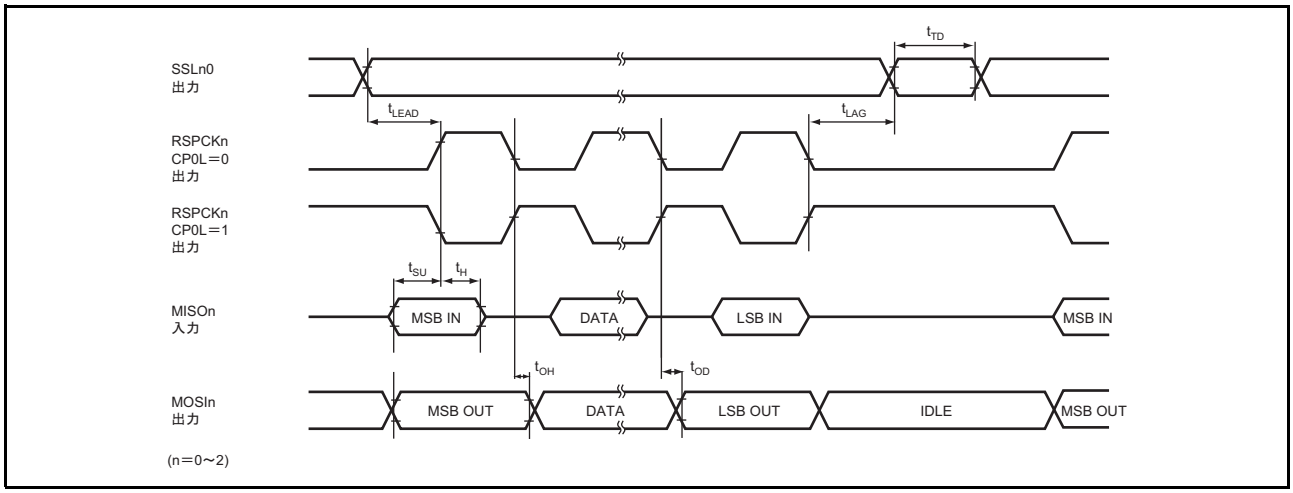


図 47.42　送受信タイミング（マスタ、CPHA ＝ 0）

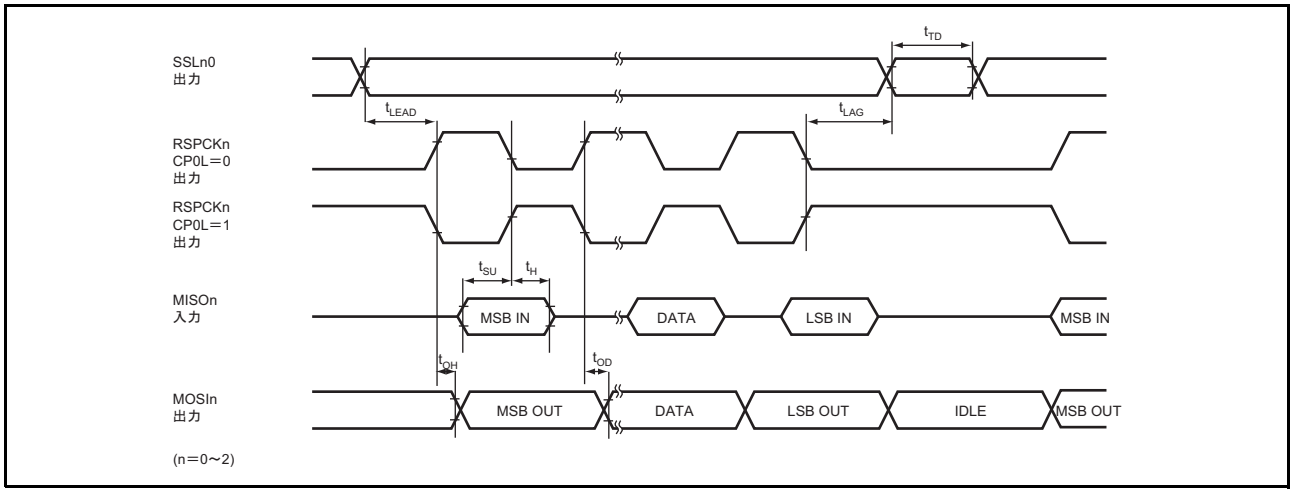


図 47.43　送受信タイミング（マスタ、CPHA ＝ 1）

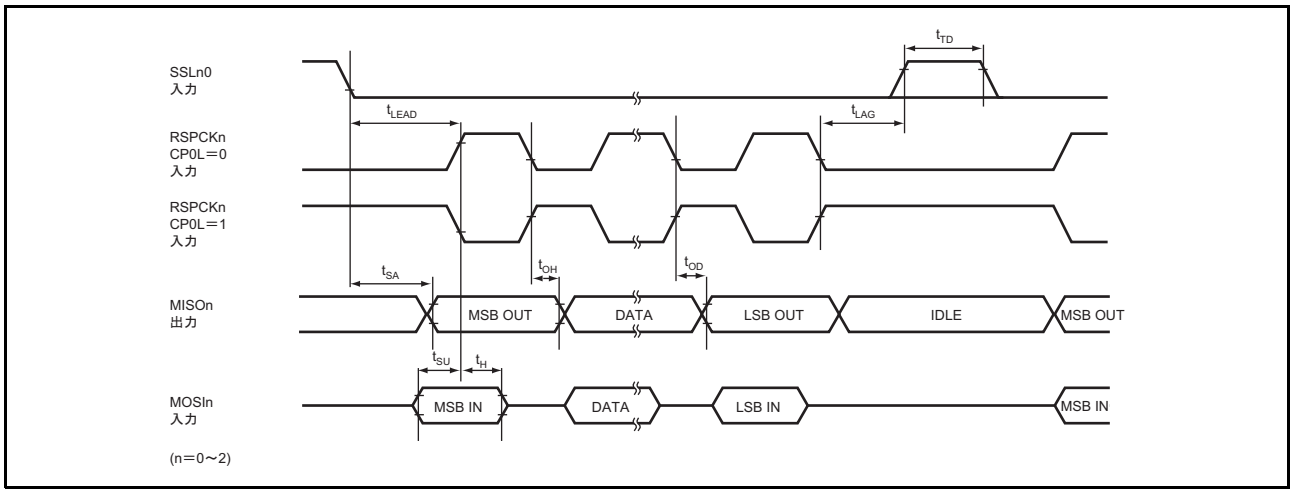


図 47.44　送受信タイミング（スレーブ、CPHA ＝ 0）

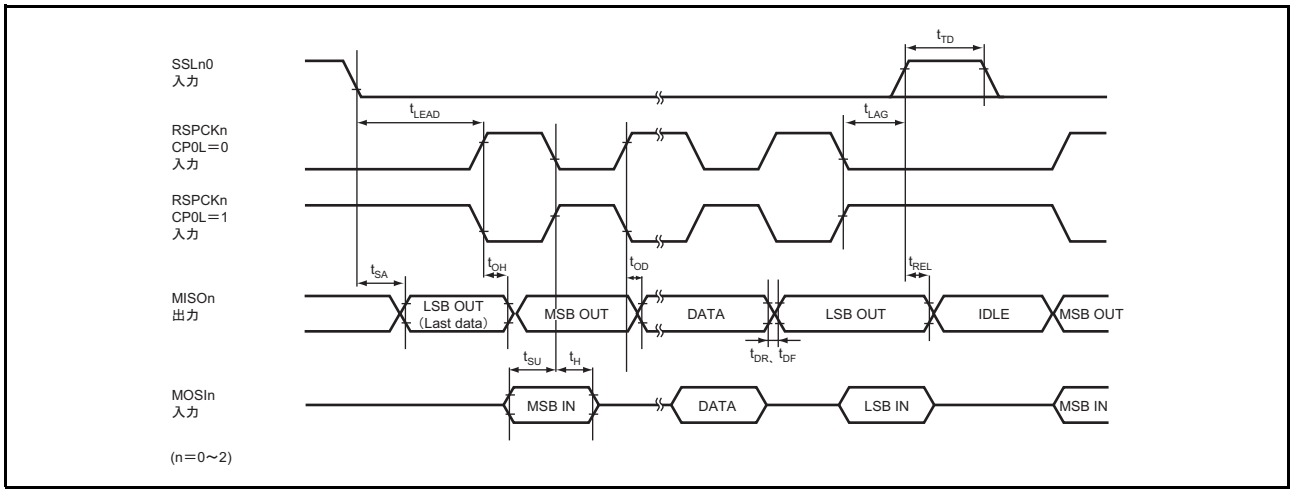


図 47.45　送受信タイミング（スレーブ、CPHA ＝ 1）

47.4.10　SPI マルチ I/O バスコントローラタイミング

表47.14　SPIマルチI/Oバスコントローラタイミング

項　　目		記号	Min.	Max.	単位	参照図
SPBCLKクロックサイクル		t_{SPBcyc}	2	4080	t_{bcyc}	図47.46
SPBCLKハイレベルパルス幅		t_{SPBWH}	0.475	0.525	t_{SPBcyc}	
SPBCLKローレベルパルス幅		t_{SPBWL}	0.475	0.525	t_{SPBcyc}	
SPBCLK立ち上がり時間		t_{SPBR}	—	3	ns	
SPBCLK立ち下がり時間		t_{SPBF}	—	3	ns	
データ入力セットアップ時間	CKDLY=B'0100（初期値）	t_{SU}	5.0	—	ns	図47.47、図47.48、図47.49、図47.50
	CKDLY=B'1010（RZ/A1LU のみ）		2.0 注2	—		
データ入力ホールド時間	CKDLY=B'0100	t_H	0.0	—	ns	
	CKDLY=B'1010（RZ/A1LU のみ）		1.0 注2	—		
SSLセットアップ時間		t_{LEAD}	1×t_{SPBcyc} − 3	8×t_{SPBcyc} + 3	ns	
SSLホールド時間		t_{LAG}	1.5×t_{SPBcyc}	8.5×t_{SPBcyc} + 3	ns	
連続転送遅延時間		t_{TD}	1	8	t_{SPBcyc}	
データ出力遅延時間	SPODLY=H'0000（初期値）	t_{OD}	—	4.0	ns	
	SPODLY=H'1111（RZ/A1LU のみ）		—	5.0 注2		
データ出力ホールド時間	SPODLY=H'0000（初期値）	t_{OH}	− 2.0	—	ns	
	SPODLY=H'1111（RZ/A1LU のみ）		1.0 注2	—		
データ出力バッファオン時間	SPODLY=H'0000（初期値）	t_{BON}	—	4.0	ns	図47.47、図47.48、図47.49、図47.50、図47.51、図47.52
	SPODLY=H'1111（RZ/A1LU のみ）		—	5.0 注2		
データ出力バッファオフ時間	SPODLY=H'0000（初期値）	t_{BOFF}	− 9.0	0	ns	
	SPODLY=H'1111（RZ/A1LU のみ）		1.5 注2	7.5 注2		

注1.　t_{bcyc}はバスクロック（Bφ）の1サイクル時間を示します。
注2.　出力負荷15pFでの値です。

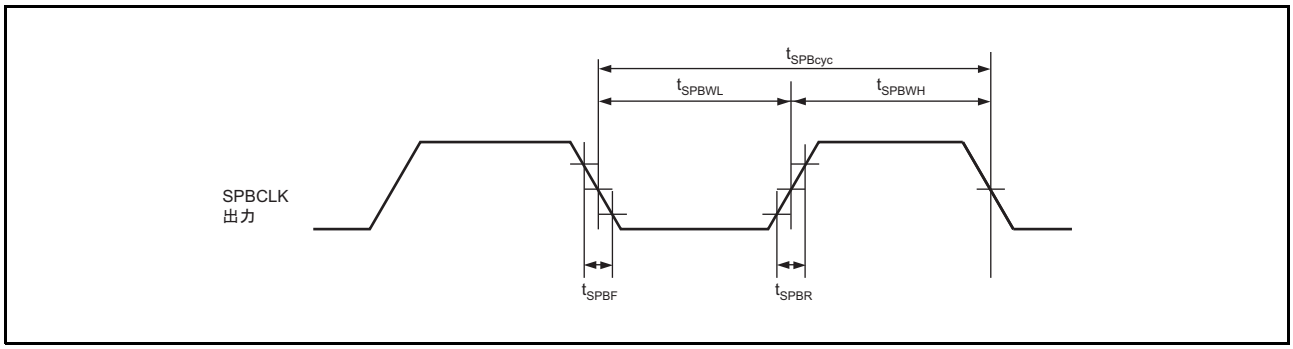


図 47.46　クロックタイミング

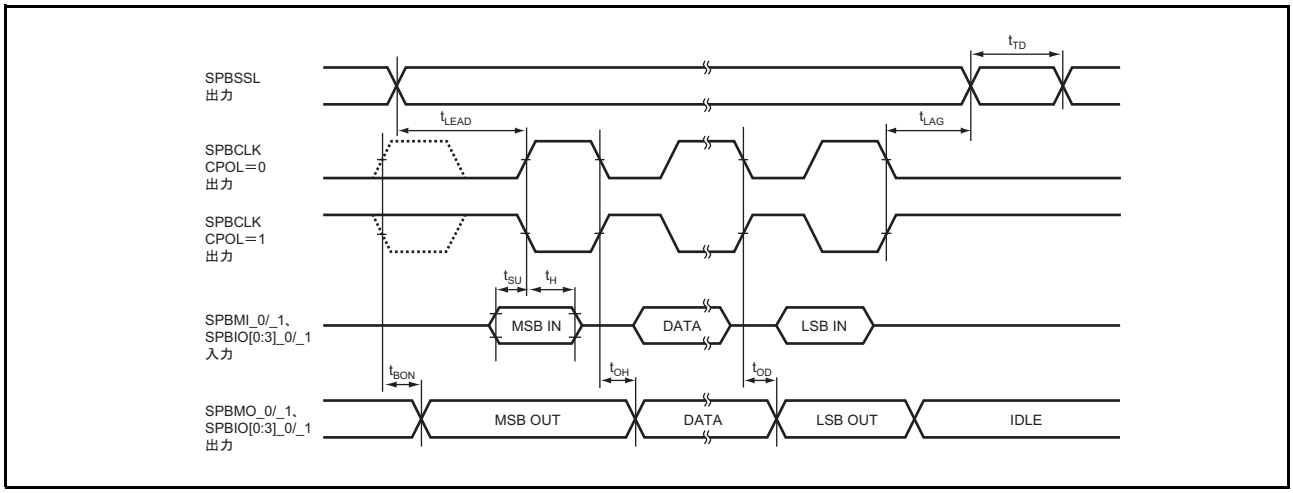


図 47.47　SDR 転送フォーマット送受信タイミング（CPHAT=0、CPHAR=0）

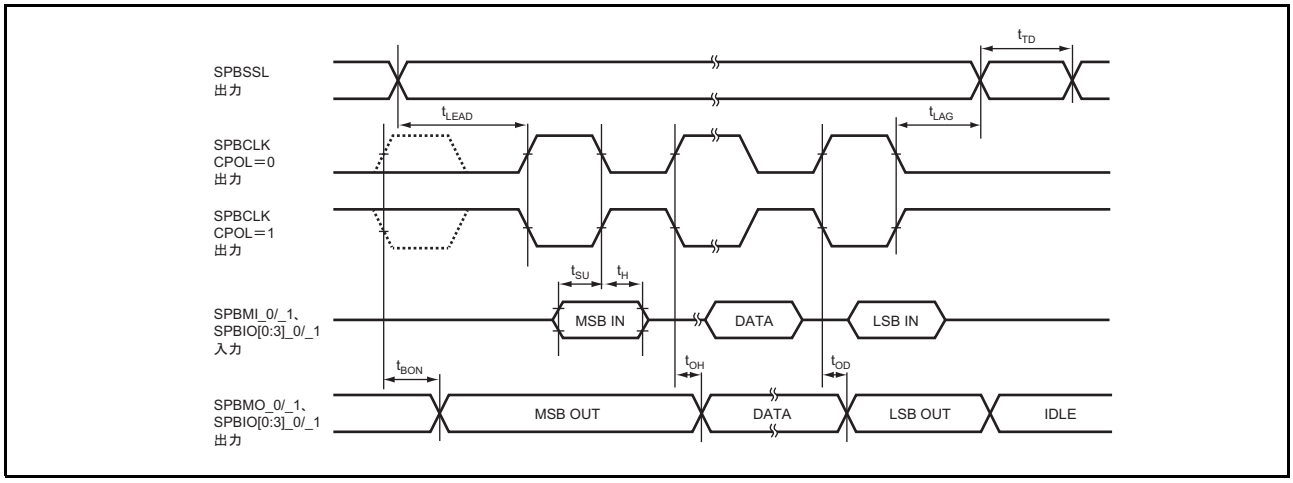


図 47.48　SDR 転送フォーマット送受信タイミング（CPHAT=1、CPHAR=1）

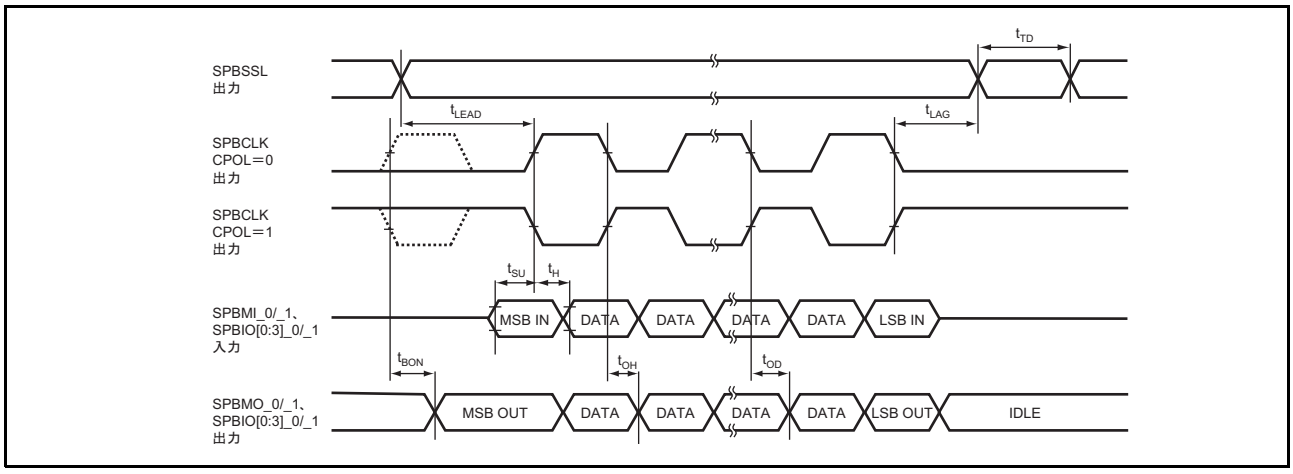


図 47.49　DDR 転送フォーマット送受信タイミング（CPHAT=0、CPHAR=0) (RZ/A1LU のみ)

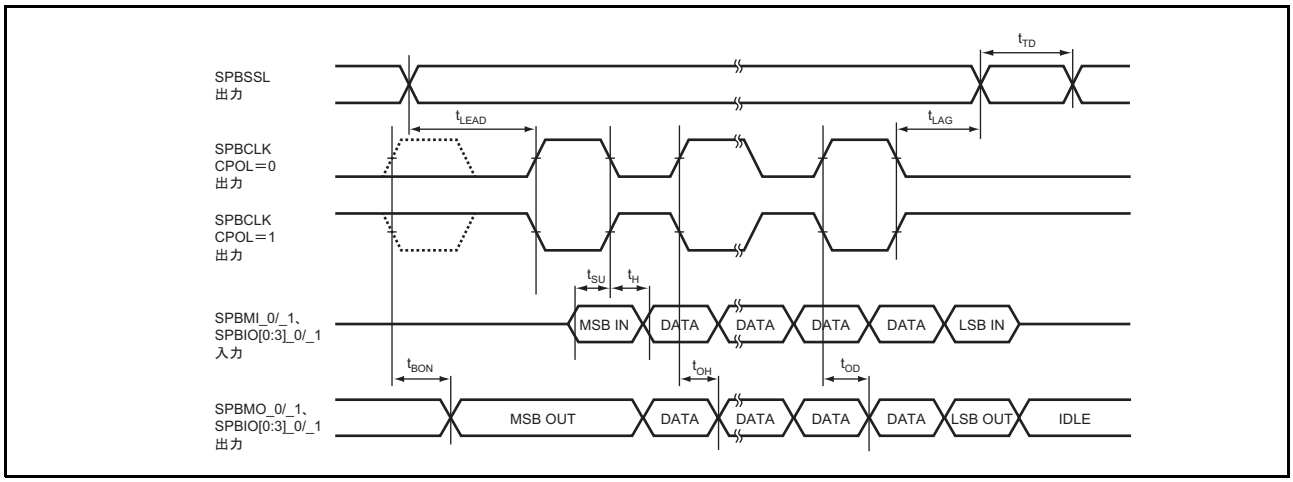


図 47.50　DDR 転送フォーマット送受信タイミング（CPHAT=1、CPHAR=1) (RZ/A1LU のみ)

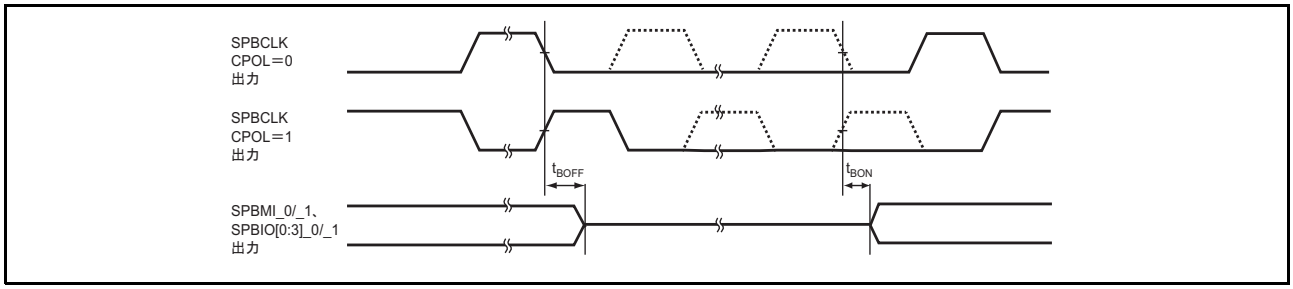


図 47.51　バッファオン／オフタイミング（CPHAT=0、CPHAR=0）

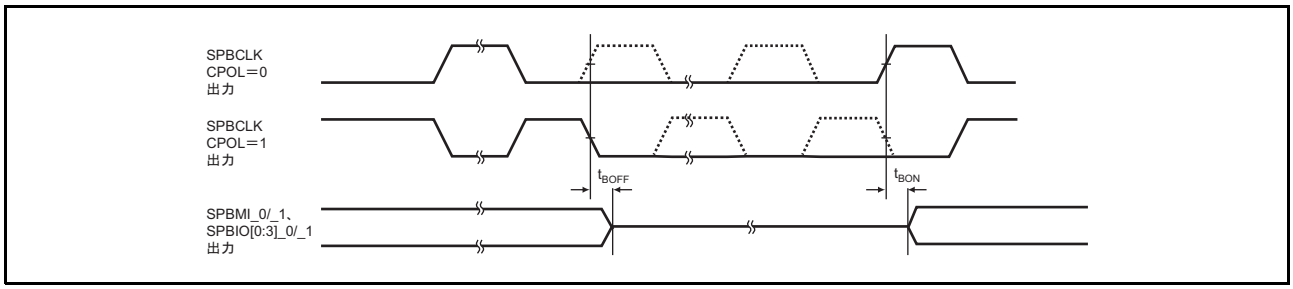


図 47.52　バッファオン／オフタイミング（CPHAT=1、CPHAR=1）

47.4.11　I²C バスインタフェースタイミング

表47.15　I²Cバスインタフェースタイミング

項目	略号	入力/出力	標準モード（Sm）		高速モード（Fm）		単位
			MIN.	MAX.	MIN.	MAX.	
SCLクロック周波数	f_{CLK}	入出力	0	100	0	400	kHz
バス・フリー時間 （ストップースタートコンディション間）	t_{BUF}	入出力	4.7	-	1.3	-	µs
ホールド時間注1	$t_{HD:STA}$	入出力	4.0	-	0.6	-	µs
SCLクロックのロウ・レベル期間	t_{LOW}	入出力	4.7	-	1.3	-	µs
SCLクロックのハイ・レベル期間	t_{HIGH}	入出力	4.0	-	0.6	-	µs
スタート/リスタートコンディションの セットアップ時間	$t_{SU:STA}$	入出力	4.7	-	0.6	-	µs
データ・ホールド時間（I²Cバス・デバイス）	$t_{HD:DAT}$	入出力	0 注2	-	0 注2	-	µs
データ・セットアップ時間	$t_{SU:DAT}$	入出力	250	-	100 注3	-	ns
SDAおよびSCL信号立ち上がり時間	t_R	入力	-	1000	20	300	ns
SDAおよびSCL信号立ち下がり時間注3	t_F	入力	-	300	20×(PVcc/5.5V)	300	ns
		出力	-	250	20×(PVcc/5.5V)	250	ns
ストップコンディションのセットアップ時間	$t_{SU:STO}$	入出力	4.0	-	0.6	-	µs
各バスラインのキャパシタンス負荷	C_b	-	-	400 注4	-	400 注4	pF
入力フィルタで抑制する必要がある スパイクのパルス幅	t_{SP}	入力	-	-	0	50 注5	ns

以降、SCLはRIICnSCL、SDAはRIICnSDAとして記載します。

注1.　スタートコンディションが発行されホールド時間が経過した後、SCLラインに最初のクロックパルスが生成されます。

注2.　本モジュールは、SCLの立ち下がりエッジが未定義となる領域（SCL信号が $V_{IH(min)}$ から $V_{IL(max)}$ となるまでの時間）を扱う為、SDA信号に、最低300[ns] のホールド時間を内部的に必要とします。

注3.　高速モードI²Cバス・デバイスは、標準モードI²Cバス・システムで使用することが可能です。この場合、データ・セットアップ時間の最小値（$t_{SU:DAT}$250[ns]）を満たすようにしてください。SCLクロックのロウ・レベル期間（t_{LOW}）を拡張しない場合、本条件は自動的に達成されます。拡張する場合は、SCLラインが解放される前｛$t_R$max.+ $t_{SU:DAT}$ = 1000 + 250 = 1250[ns]（標準モードI²Cバス仕様）｝に、次のデータ・ビットをSDAラインに送出してください。

注4.　1つのバスラインの全キャパシタンスです。許容可能なバスの最大静電容量は、アプリケーションの実際の動作電圧及び周波数によって本スペックとは異なる場合があります。バスの静電容量が高い場合のテクニックについては、NXP社の「I²Cバス規格書」を参照してください。

注5.　ノイズは、アナログとデジタルの入力フィルタにより除去されます。デジタル入力フィルタのノイズ削除幅は 内部基準クロック：IICφの周期と RIICnMR3.NF[1:0]ビットに依存します。詳細は、「18.　I²Cバスインタフェース」を参照してください。

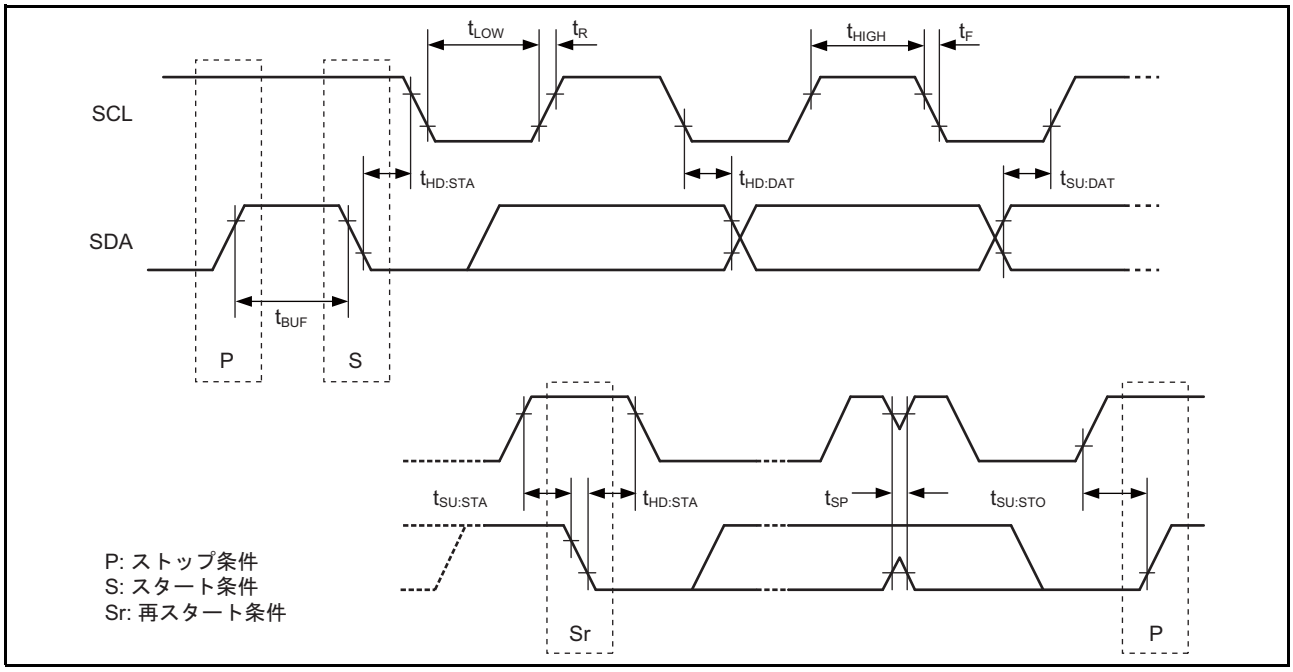


図 47.53　入出力タイミング

47.4.12　シリアルサウンドインタフェースタイミング

表47.16　シリアルサウンドインタフェースタイミング

項目		記号	Min.	Max.	単位	備考	参照図
出力クロック周期		t_O	80	64000	ns	出力	図47.54
入力クロック周期		t_I	80	64000	ns	入力	
クロックハイレベル		t_{HC}	32	—	ns	双方向	
クロックローレベル		t_{LC}	32	—	ns		
クロック立ち上がり時間		t_{RC}	—	25	ns	出力	
遅延	ノイズキャンセラ不使用時	t_{DTR}	-5	25	ns		図47.55、図47.56、図47.57、図47.58、図47.59
	ノイズキャンセラ使用時		10	45			
SSIWS 遅延 (RZ/A1LU、RZ/A1LCのみ)　*1			-5	15			
セットアップ時間		t_{SR}	25	—	ns		
ホールド時間		t_{HTR}	5	—	ns		

注1.　RZ/A1LのSSIWS 遅延は、「遅延　(ノイズキャンセラ不使用時)」の数値を参照してください。

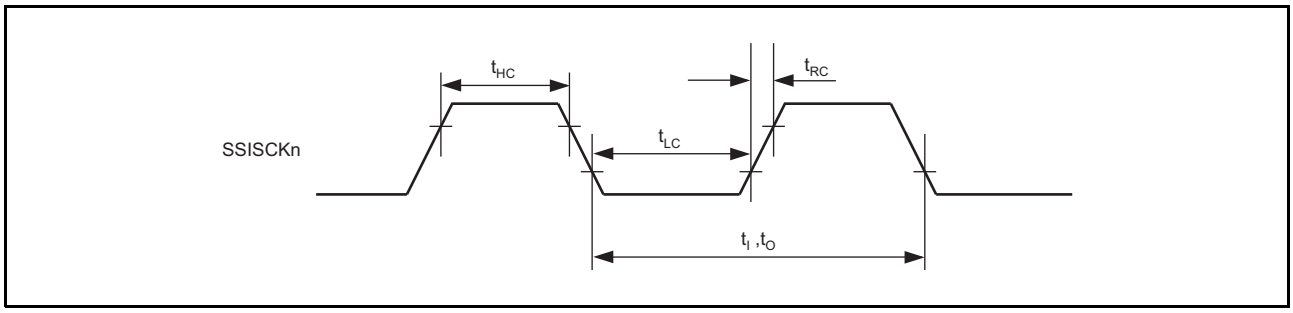


図 47.54　クロック入出力タイミング

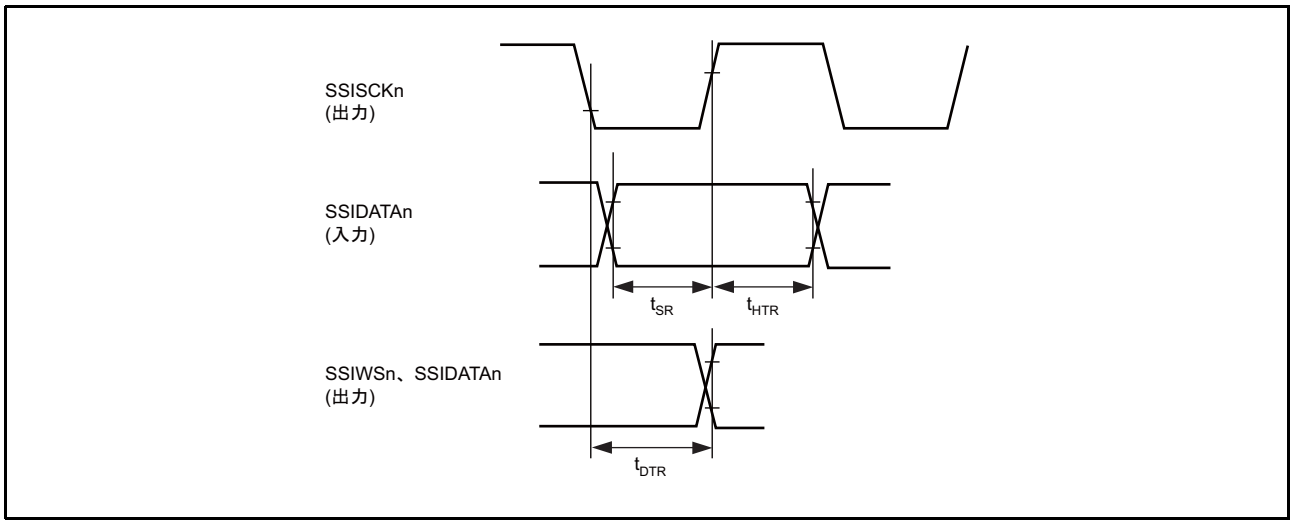


図 47.55　送受信タイミング（マスタ、SSICR_n.SCKP=0 時）

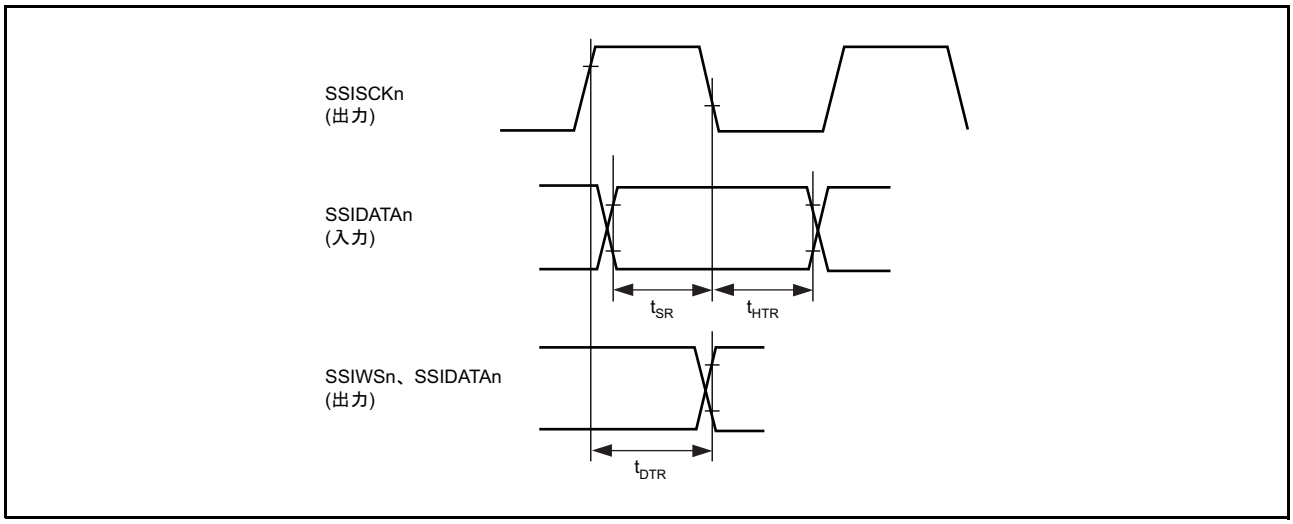


図 47.56　送受信タイミング（マスタ、SSICR_n.SCKP=1 時）

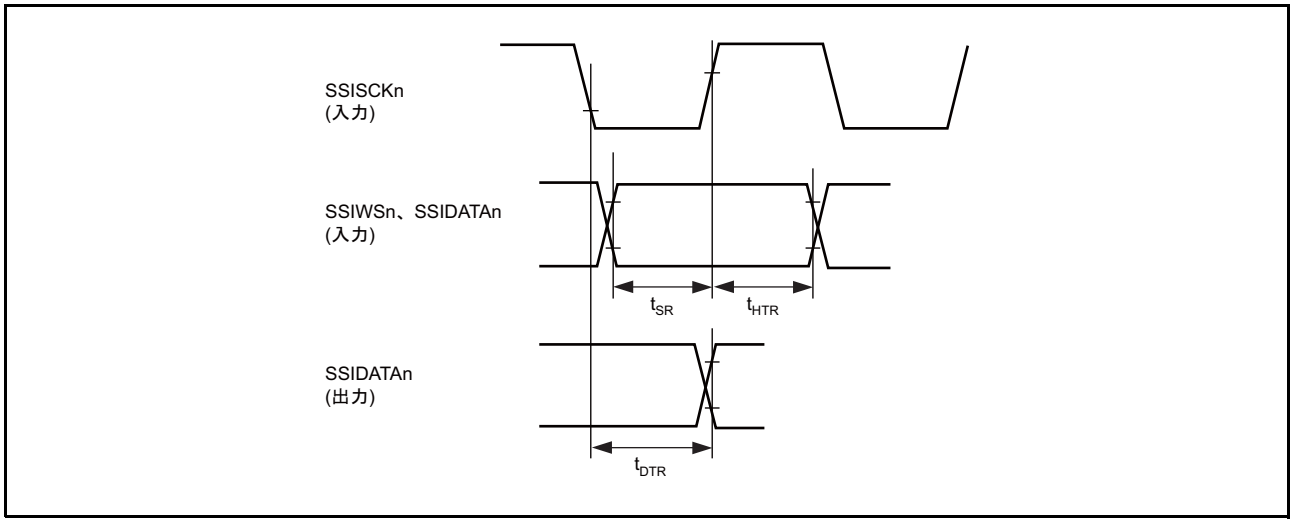


図 47.57　送受信タイミング（スレーブ、SSICR_n.SCKP=0 時）

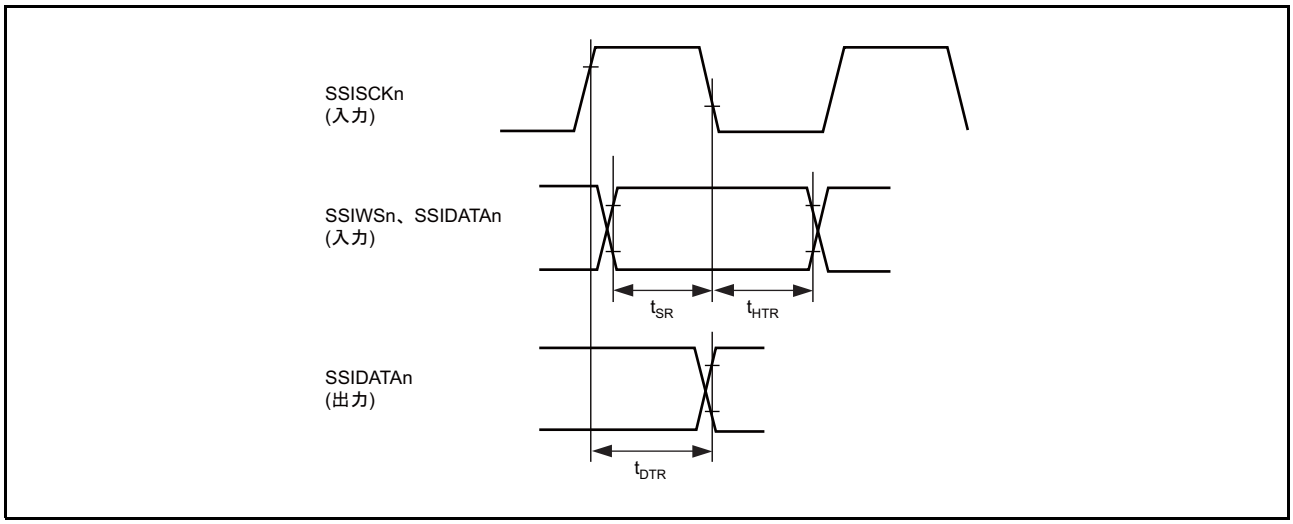
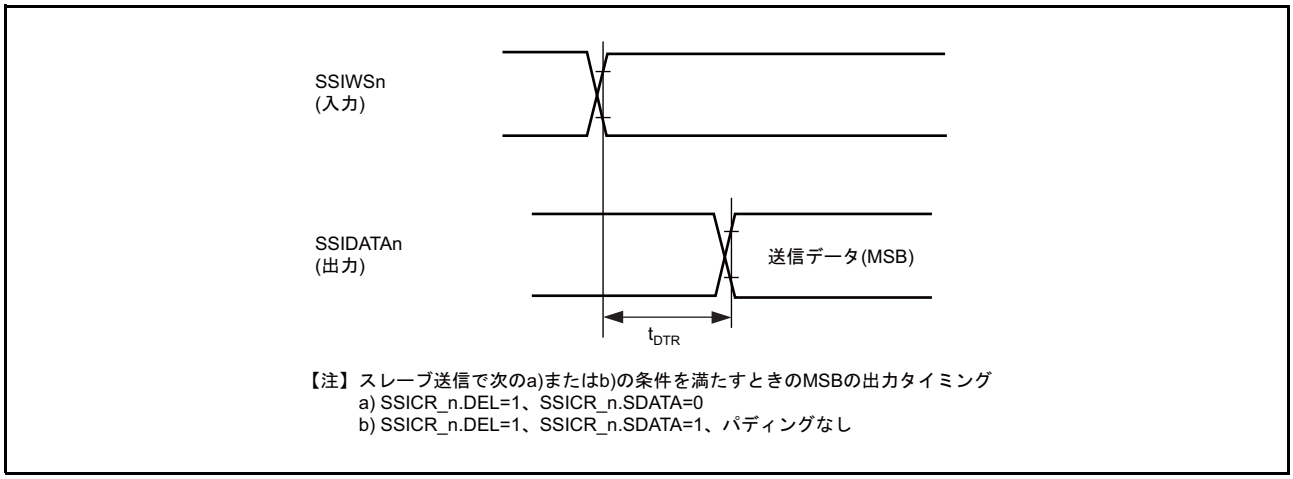


図 47.58　送受信タイミング（スレーブ、SSICR_n.SCKP=1 時）



【注】スレーブ送信で次のa)またはb)の条件を満たすときのMSBの出力タイミング
a) SSICR_n.DEL=1、SSICR_n.SDATA=0
b) SSICR_n.DEL=1、SSICR_n.SDATA=1、パディングなし

図 47.59　送信タイミング（スレーブ、SSIWSn 同期）

47.4.13　メディアローカルバスタイミング

本モジュールは、RZ/A1L にのみ搭載しています。

表47.17　メディアローカルバスタイミング

項目	記号	Min.	Typ.	Max.	単位	備考	参照図
入力クロック周波数(256×FS)	f_I	11.2640	12.2880	12.3136	MHz		図47.60
入力クロック周期(256×FS)	t_I	—	81	—	ns		
入力クロックハイレベル(256×FS)	t_{HC}	30	36.5	—	ns		
入力クロックローレベル(256×FS)	t_{LC}	30	35.5	—	ns		
入力クロック周波数(512×FS)	f_I	22.5280	24.5760	24.6272	MHz		
入力クロック周期(512×FS)	t_I	—	40	—	ns		
入力クロックハイレベル(512×FS)	t_{HC}	14	16.5	—	ns		
入力クロックローレベル(512×FS)	t_{LC}	14	16.5	—	ns		
入力クロック周波数(1024×FS)	f_I	45.0560	49.1520	49.2544	MHz		
入力クロック周期(1024×FS)	t_I	—	20.3	—	ns		
入力クロックハイレベル(1024×FS)	t_{HC}	9.3	10.2	—	ns		
入力クロックローレベル(1024×FS)	t_{LC}	6.1	7.3	—	ns		
入力クロック立ち上がり時間	t_{RC}	—	—	1	ns	V_{IL} to V_{IH}	
入力クロック立ち下がり時間	t_{FC}	—	—	1	ns	V_{IH} to V_{IL}	
遅延(クロック立ち上がり)	t_{DTR}	—	—	8.0	ns	出力負荷：20pF	
遅延(クロック立ち下がり)	t_{DTF}	0	—	t_{LC}	ns		
セットアップ時間	t_{SR}	1	—	—	ns		
ホールド時間	t_{HTR}	2	—	—	ns		

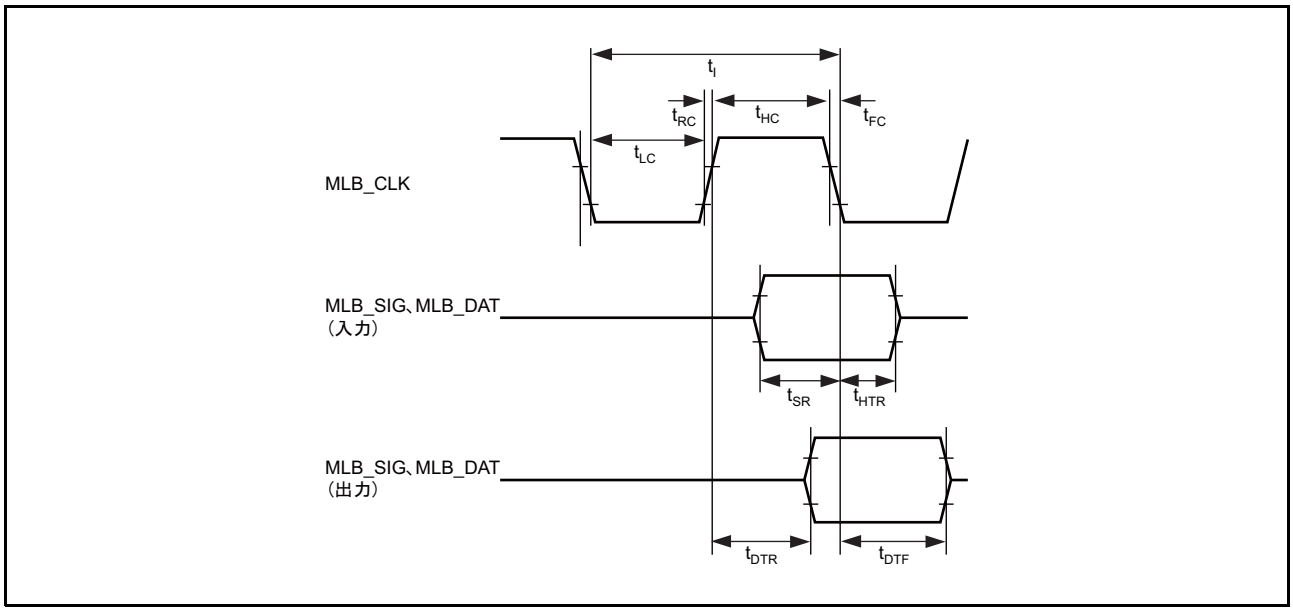


図 47.60　インタフェースタイミング

47.4.14　CAN インタフェースタイミング

表47.18　CANインタフェースタイミング

項目	記号	Min.	Max.	単位	条件
内部遅延時間	tnode	–	100	ns	図47.61
送信レート		–	1	Mbps	

内部遅延時間 (tnode) ＝内部送信遅延時間 (toutput) ＋内部受信遅延時間 (tinput)

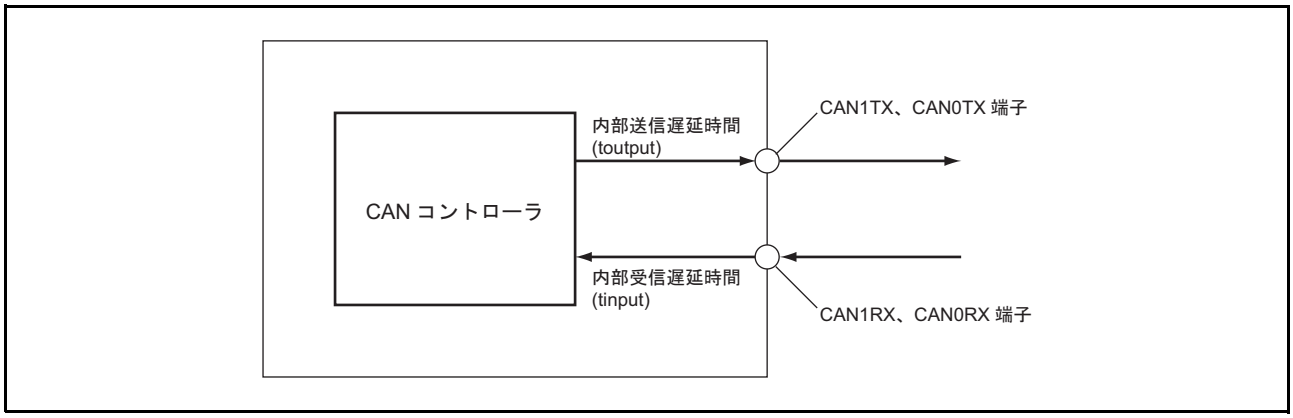


図 47.61　CAN インタフェース条件

47.4.15　イーサネットコントローラ、EthernetAVB タイミング

EthernetAVB は、RZ/A1LU にのみ搭載しています。

表47.19　イーサネットコントローラ、EthernetAVBタイミング

項　　目	記号	Min.	Max.	単位	参照図
ET_TXCLKサイクル時間	t_{Tcyc}	40	—	ns	図47.62、図47.63、図47.64、図47.65、図47.66
ET_TXCLKハイレベル幅	t_{TCKWH}	0.35×t_{Tcyc}	—	ns	
ET_TXCLKローレベル幅	t_{TCKWL}	0.35×t_{Tcyc}	—	ns	
ET_TXEN出力遅延時間	t_{TEND}	0	25	ns	
ET_TXD[3:0]出力遅延時間	t_{TDD}	0	25	ns	
ET_RXCLKサイクル時間	t_{Rcyc}	40	—	ns	
ET_RXCLKハイレベル幅	t_{RCKWH}	0.35×t_{Rcyc}	—	ns	
ET_RXCLKローレベル幅	t_{RCKWL}	0.35×t_{Rcyc}	—	ns	
ET_RXDVセットアップ時間	t_{RDVS}	10	—	ns	
ET_RXDVホールド時間	t_{RDVH}	10	—	ns	
ET_RXD[3:0]セットアップ時間	t_{RDDS}	10	—	ns	
ET_RXD[3:0]ホールド時間	t_{RDDH}	10	—	ns	
ET_RXERセットアップ時間	t_{RERS}	10	—	ns	
ET_RXERホールド時間	t_{RERH}	10	—	ns	
AVB_GPTP_EXTERN サイクル時間 (RZ/A1LUのみ)	t_{Gcyc}	40	—	ns	
AVB_GPTP_EXTERN ハイレベル幅 (RZ/A1LUのみ)	t_{GCKWH}	0.35×t_{Gcyc}	—	ns	
AVB_GPTP_EXTERN ローレベル幅 (RZ/A1LUのみ)	t_{GCKWL}	0.35×t_{Gcyc}	—	ns	
AVB_CAPTURE ハイレベル幅(RZ/A1LUのみ)	t_{CAPWH}	2×t_{Ccyc} 注 1	—	ns	

注1.　AVB-DMAC モードレジスタ(CCC)のCSEL ビットにより選択されたクロックのサイクル時間です。

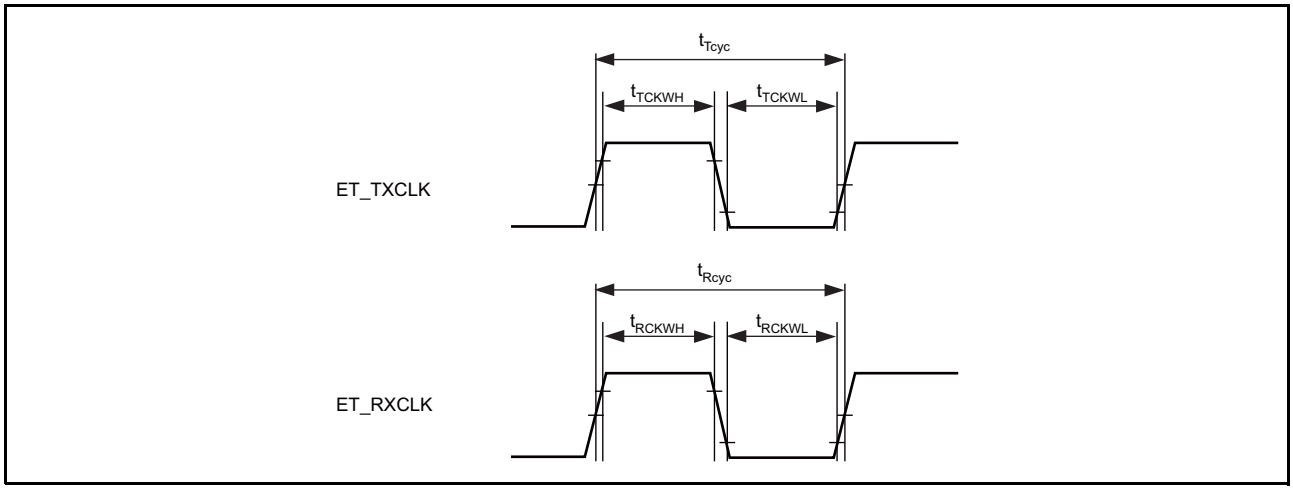


図 47.62　MII クロックタイミング

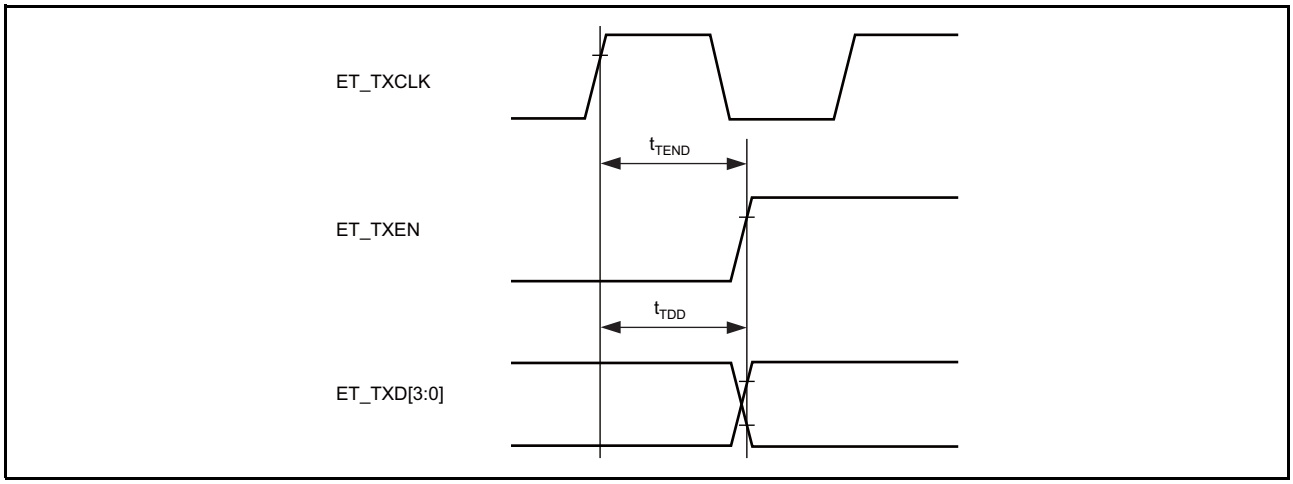


図 47.63　MII 送信データタイミング

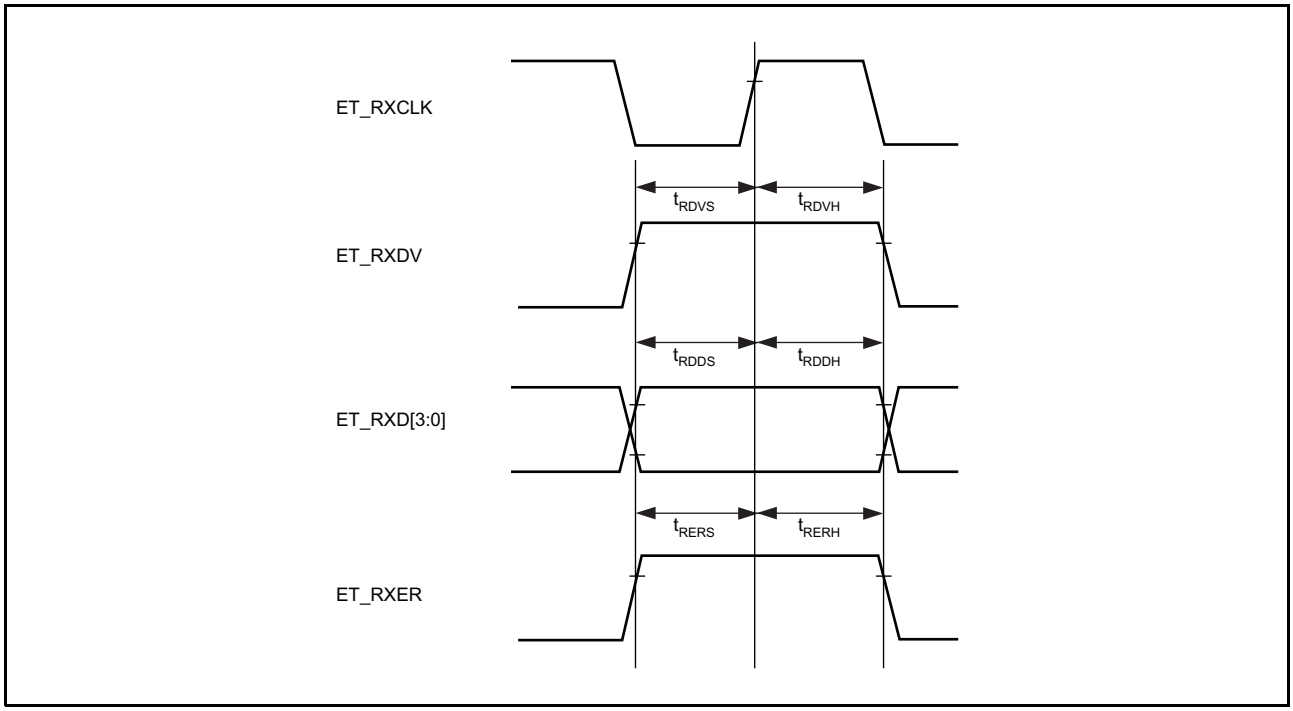


図 47.64　MII 受信データタイミング

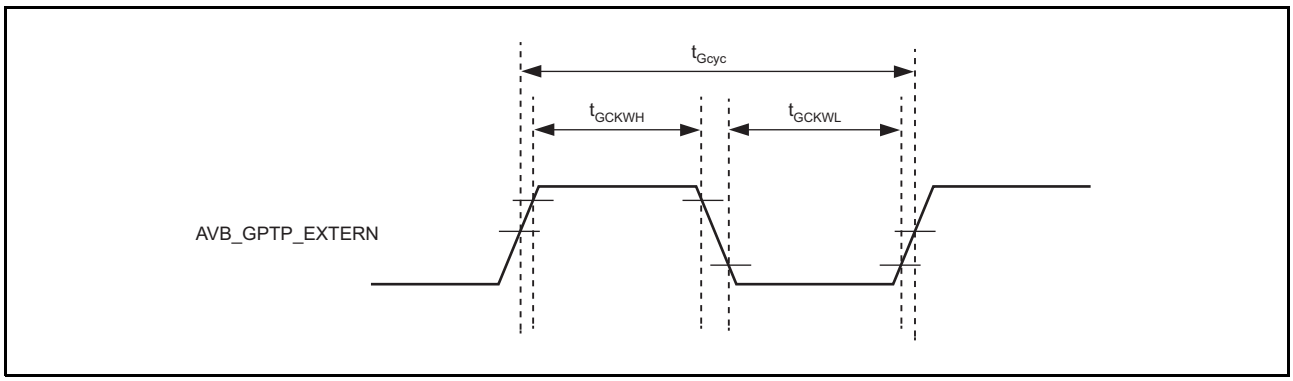


図 47.65　gPTP タイマ外部クロックタイミング

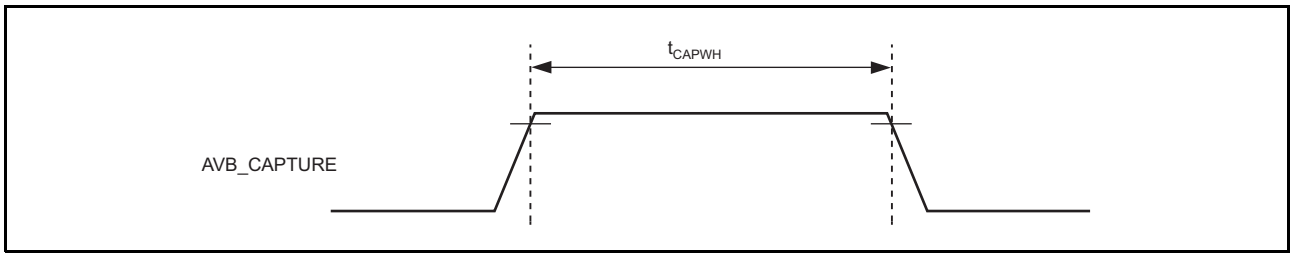


図 47.66　タイマキャプチャ信号タイミング

47.4.16　A/D 変換器タイミング

表47.20　A/D変換器タイミング

モジュール	項　　目	記号	Min.	Max.	単位	参照図
A/D変換器	トリガ入力セットアップ時間	t_{TRGS}	17	–	ns	図47.67

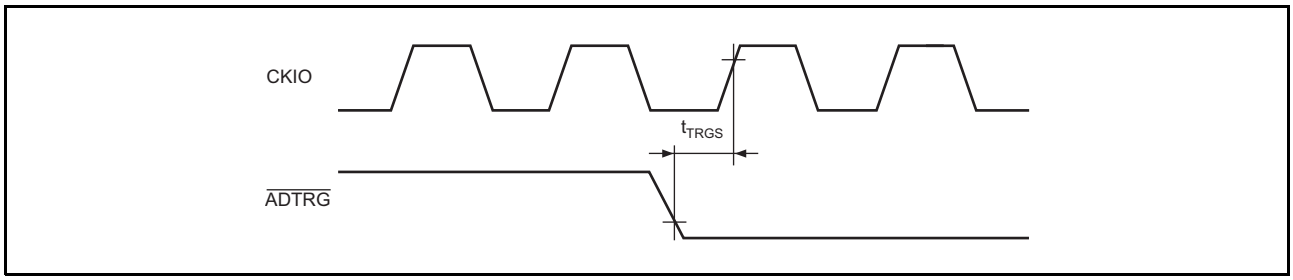


図 47.67　A/D 変換器外部トリガ入力タイミング

47.4.17　USB2.0 ホスト／ファンクションモジュールタイミング

表47.21　USB トランシーバタイミング（ロースピード時）

項　　目	記号	Min.	Max.	単位	参照図
立ち上がり時間	t_{LR}	75	300	ns	図47.68
立ち下がり時間	t_{LF}	75	300	ns	
立ち上がり／立ち下がり時間比	t_{LR}/t_{LF}	80	125	%	

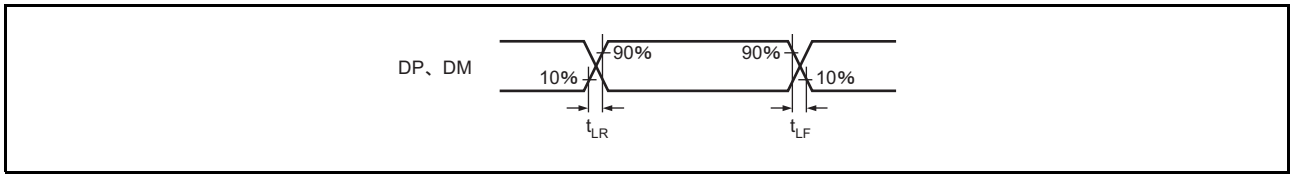


図 47.68　DP1、DP0、DM1、DM0 出力タイミング（ロースピード時）

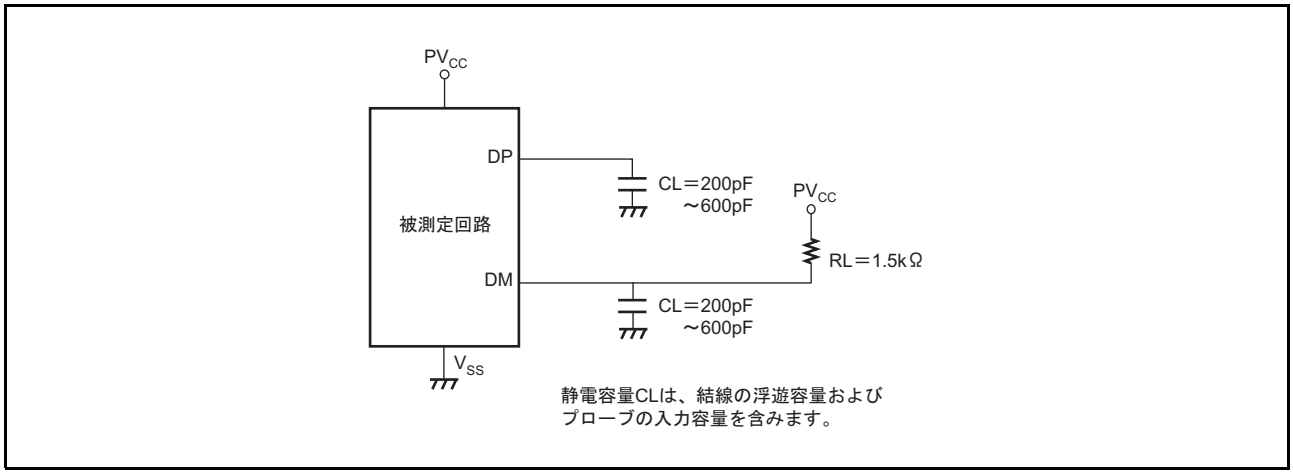


図 47.69　測定回路（ロースピード時）

表 47.22　USB トランシーバタイミング（フルスピード時）

項　　目	記号	Min.	Max.	単位	参照図
立ち上がり時間	t_{FR}	4	20	ns	図 47.70
立ち下がり時間	t_{FF}	4	20	ns	
立ち上がり／立ち下がり時間比	t_{FR}/t_{FF}	90	111.11	%	

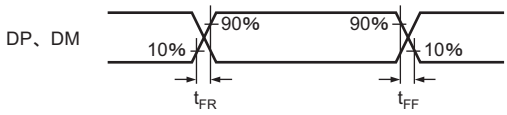
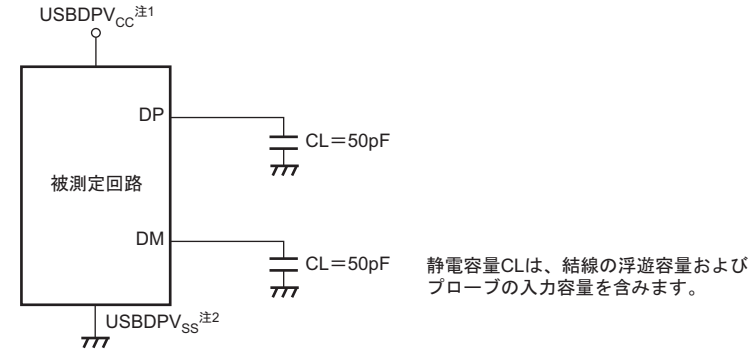


図 47.70　DP1、DP0、DM1、DM0 出力タイミング（フルスピード時）



注1.　BGAパッケージではPVccとなります。
注2.　BGAパッケージではVssとなります。

図 47.71　測定回路（フルスピード時）

表 47.23　USB トランシーバタイミング（ハイスピード時）

項　　目	記号	Min.	Max.	単位	参照図
立ち上がり時間	t_{HSR}	500	—	ps	図 47.72
立ち下がり時間	t_{HSF}	500	—	ps	
出力ドライバ抵抗	Z_{HSDRV}	40.5	49.5	Ω	

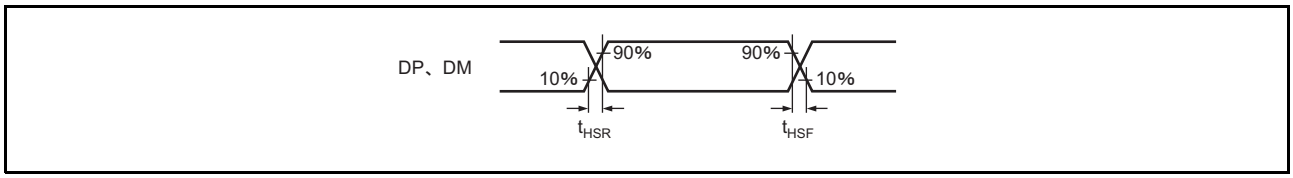


図 47.72　DP1、DP0、DM1、DM0 出力タイミング（ハイスピード時）

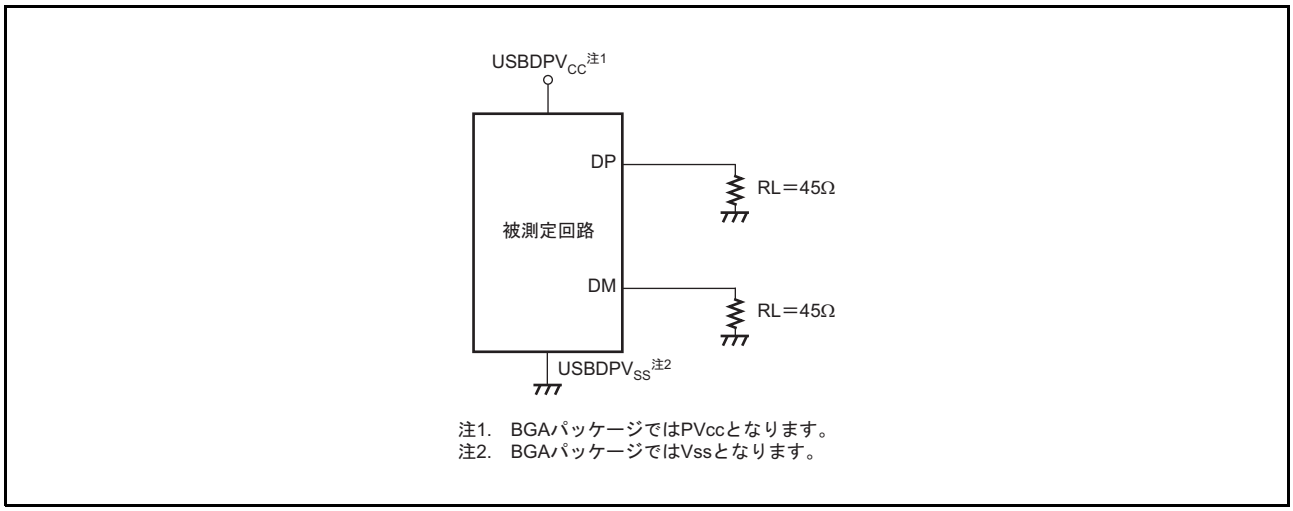


図 47.73　測定回路（ハイスピード時）

47.4.18　ビデオディスプレイコントローラ5タイミング

表47.24　ビデオディスプレイコントローラ5タイミング

項　　目	記号	Min.	Max.	単位	参照図
DV0_CLKクロック入力周波数	t_{Dcyc}	—	87.00	MHz	図47.74
DV0_CLKクロック入力ローレベルパルス幅	t_{WIL}	0.4	—	t_{Dcyc}	
DV0_CLKクロック入力ハイレベルパルス幅	t_{WIH}	0.4	—		
LCD0_EXTCLKクロック入力周波数	t_{Ecyc}	—	87.00	MHz	
LCD0_EXTCLKクロック入力ローレベルパルス幅	t_{WIL}	0.4	—	t_{Ecyc}	
LCD0_EXTCLKクロック入力ハイレベルパルス幅	t_{WIH}	0.4	—		
LCD0_CLKクロック出力周波数	t_{Lcyc}	—	87.00	MHz	図47.75
LCD0_CLKクロック出力ローレベルパルス幅注1	t_{LOL}	t_{WIL} - 0.95	t_{WIL} + 0.95	ns	
LCD0_CLKクロック出力ハイレベルパルス幅注1	t_{LOH}	t_{WIH} - 0.95	t_{WIH} + 0.95	ns	
LCD0_CLKクロック出力ローレベルパルス幅注2	t_{LOL}	t_{Lcyc}/2 - 1.06	t_{Lcyc}/2 + 1.06	ns	
LCD0_CLKクロック出力ハイレベルパルス幅注2	t_{LOH}	t_{Lcyc}/2 - 1.06	t_{Lcyc}/2 + 1.06	ns	
LCD0_CLKクロック出力立ち上がり時間	t_{LOR}	—	3	ns	
LCD0_CLKクロック出力立ち下がり時間	t_{LOF}	—	3	ns	
入力データセットアップ時間	t_{VS}	2	—	ns	図47.76
入力データホールド時間	t_{VH}	4	—	ns	
出力データ遅延時間	t_{DD}	− 3	3	ns	図47.77

注1.　分周クロック供給源に映像クロックまたは外部クロックを選択した上でクロック分周比を1分周に設定した場合
注2.　分周クロック供給源に映像クロックまたは外部クロックを選択した上でクロック分周比を1分周に設定した場合を除く

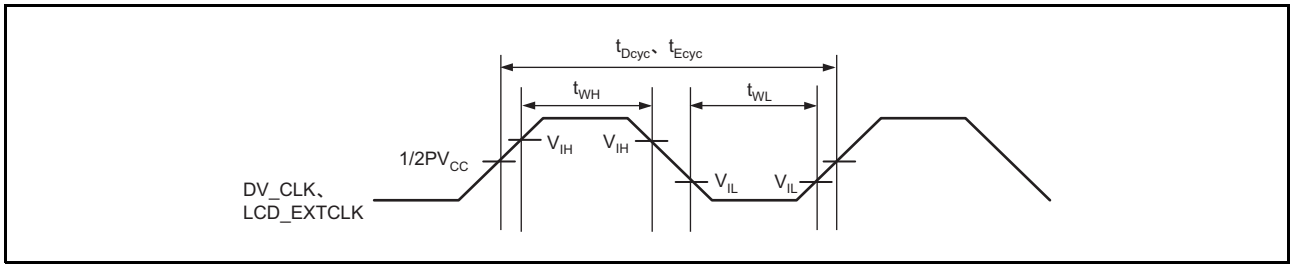


図 47.74　DV0_CLK、LCD0_EXTCLK クロック入力タイミング

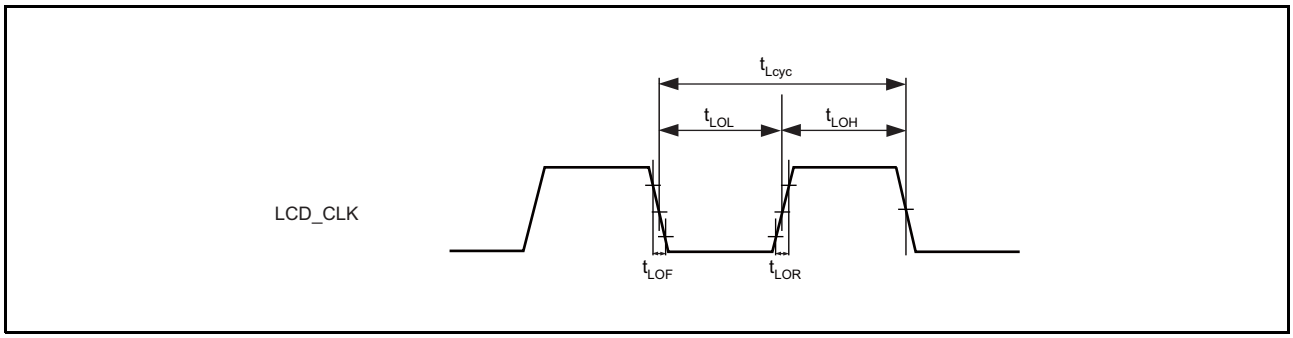


図 47.75　LCD0_CLK クロック出力タイミング

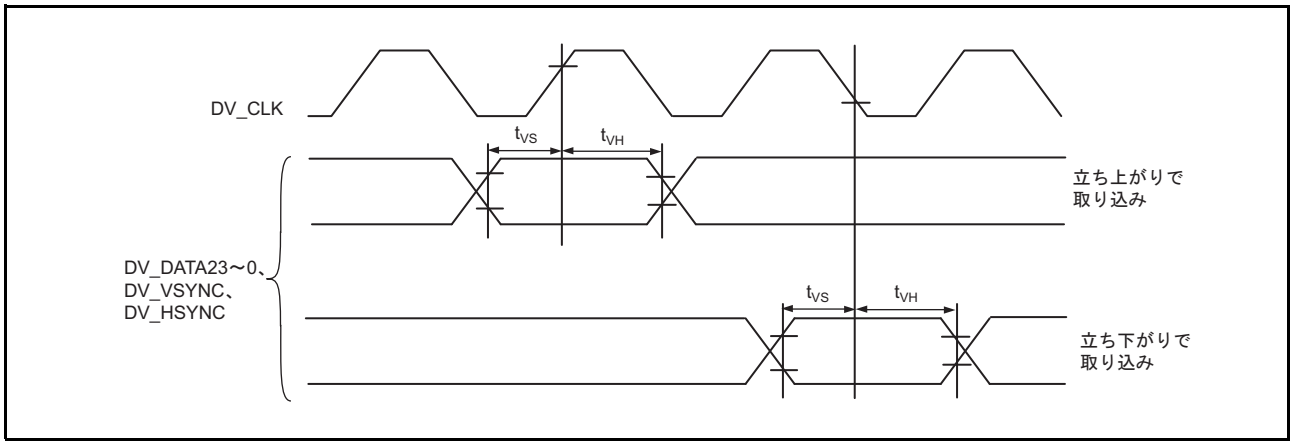


図 47.76　映像入力タイミング

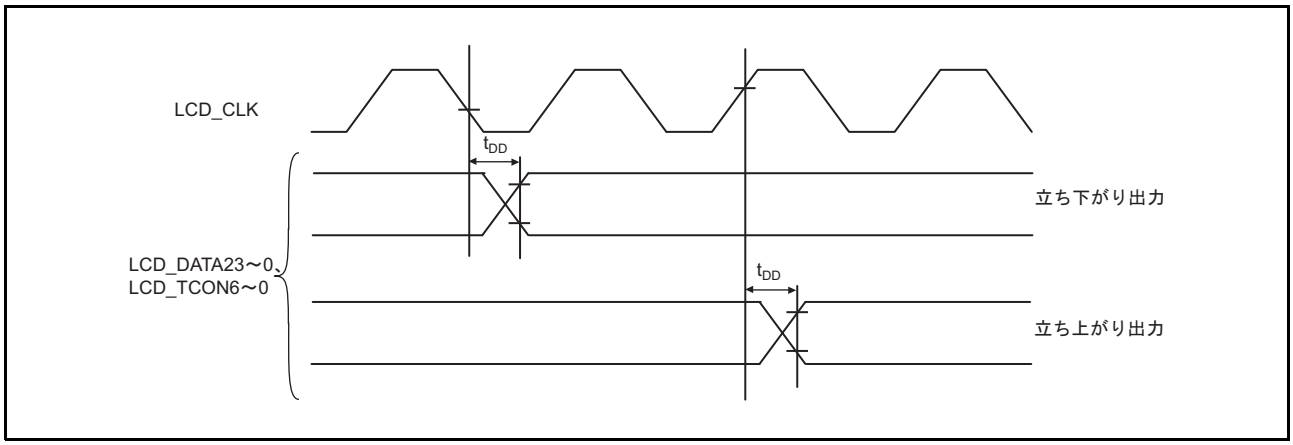


図 47.77　ディスプレイ出力タイミング

47.4.19　キャプチャエンジンユニットモジュール信号タイミング

表47.25　キャプチャエンジンユニットモジュール信号タイミング

項　　目	記号	Min.	Max.	単位	参照図
垂直同期（VIO_VD）セットアップ時間（カメラクロック立ち上がり）	t_{VVDS}	2	—	ns	図47.78（1）、図47.78（2）
垂直同期（VIO_VD）セットアップ時間（カメラクロック立ち下がり）（RZ/A1LU、RZ/A1LCのみ）	t_{VVDS}	2.5	—	ns	
垂直同期（VIO_VD）ホールド時間	t_{VVDH}	3.5	—	ns	
水平同期（VIO_HD）セットアップ時間（カメラクロック立ち上がり）	t_{VHDS}	2	—	ns	
水平同期（VIO_HD）セットアップ時間（カメラクロック立ち下がり）（RZ/A1LU、RZ/A1LCのみ）	t_{VHDS}	2.5	—	ns	
水平同期（VIO_HD）ホールド時間	t_{VHDH}	3.5	—	ns	
キャプチャ画像データ（VIO_D）セットアップ時間（カメラクロック立ち上がり）	t_{VDTS}	2	—	ns	
キャプチャ画像データ（VIO_D）セットアップ時間（カメラクロック立ち下がり）（RZ/A1LU、RZ/A1LCのみ）	t_{VDTS}	2.5	—	ns	
キャプチャ画像データ（VIO_D）ホールド時間	t_{VDTH}	3.5	—	ns	
カメラクロックサイクル	t_{VCYC}	—	87	MHz	
カメラクロックハイレベル幅	t_{VHW}	0.4×t_{VCYC}	—	ns	
カメラクロックローレベル幅	t_{VLW}	0.4×t_{VCYC}	—	ns	
フィールド識別信号（VIO_FLD）セットアップ時間（カメラクロック立ち上がり）	t_{VFDS}	2	—	ns	
フィールド識別信号（VIO_FLD）セットアップ時間（カメラクロック立ち下がり）（RZ/A1LU、RZ/A1LCのみ）	t_{VFDS}	2.5	—	ns	
フィールド識別信号（VIO_FLD）ホールド時間	t_{VFDH}	3.5	—	ns	

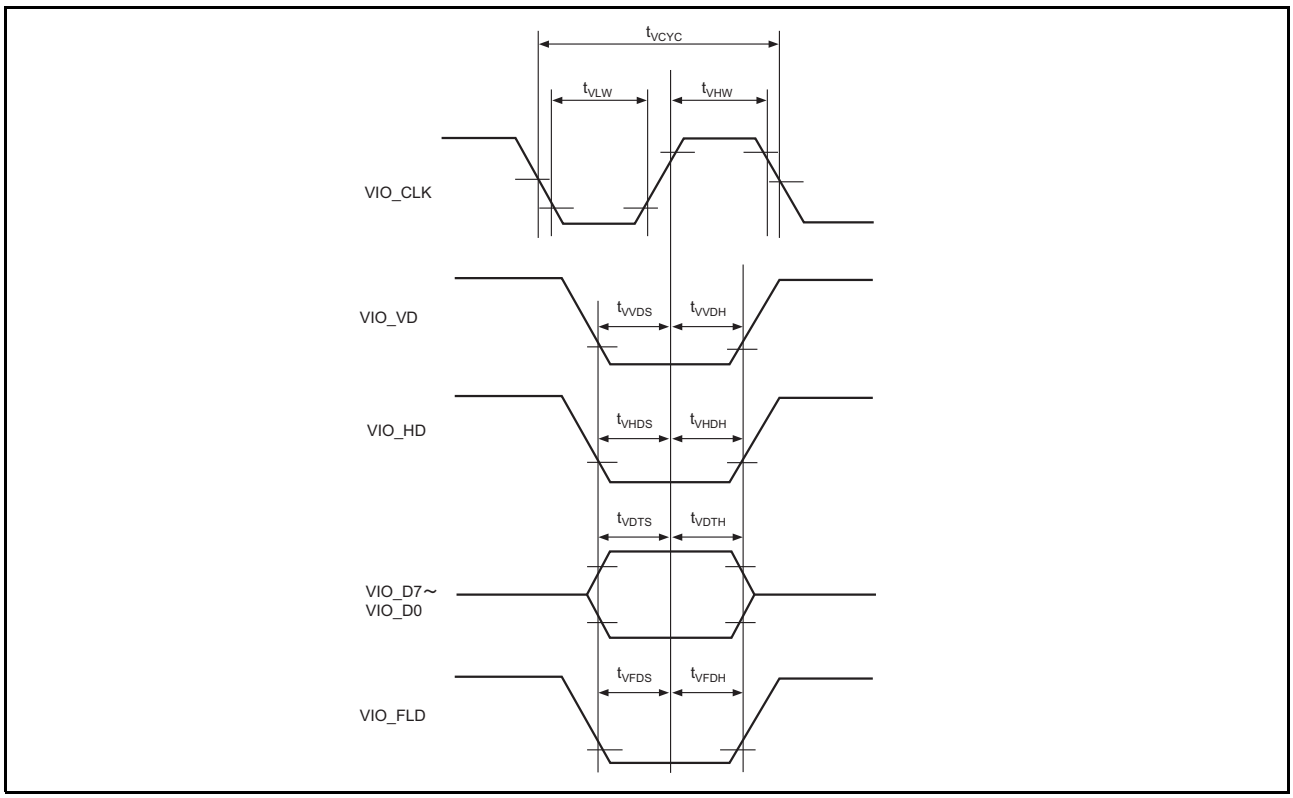


図 47.78（1）VIO_CLK の立ち上がりエッジでデータキャプチャする時のキャプチャエンジンユニットモジュール信号タイミング

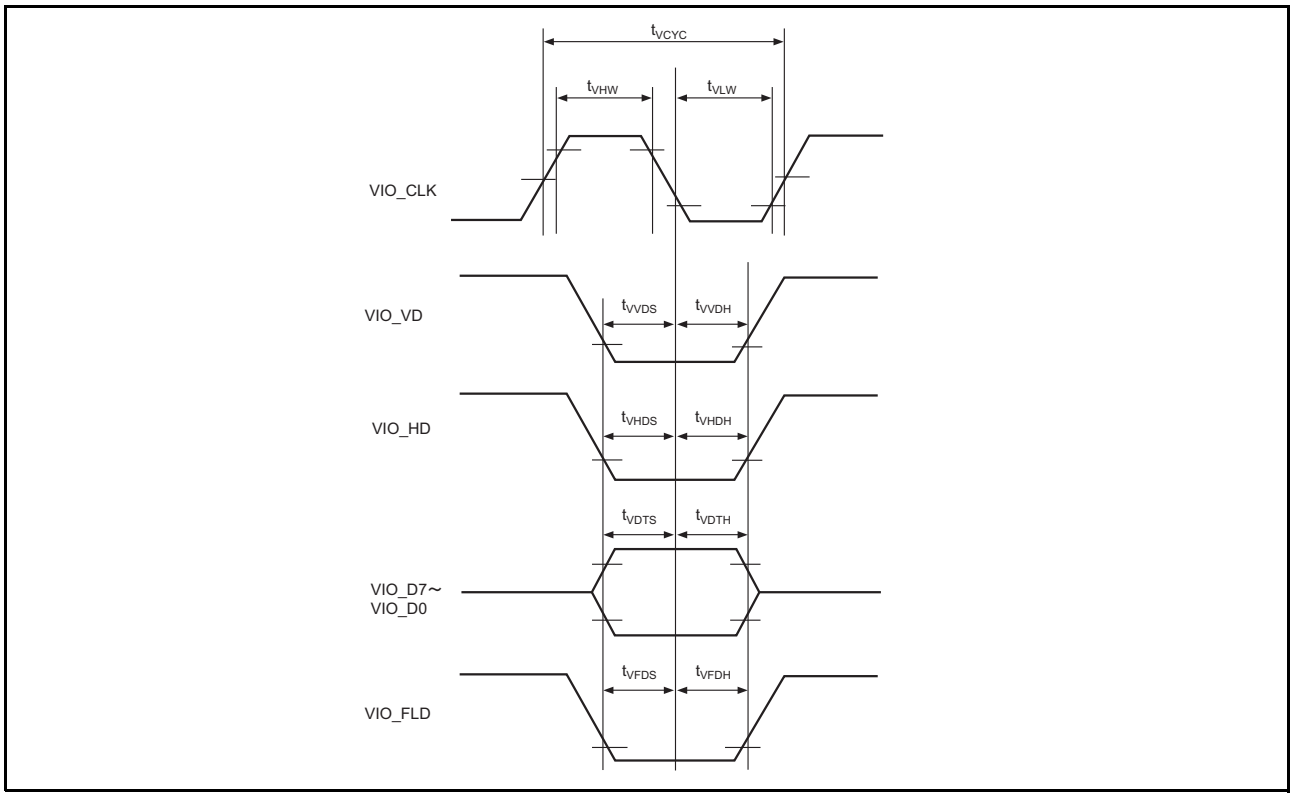


図 47.78（2）VIO_CLK の立ち下がりエッジでデータキャプチャする時のキャプチャエンジンユニットモジュール信号タイミング (RZ/A1LU、RZ/A1LC のみ)

47.4.20　SD ホストインタフェースタイミング

表47.26　SDホストインタフェースタイミング

項目	記号	Min.	Max.	単位	参照図
SD_CLKクロックサイクル	t_{SDPP}	2 × t_{p1cyc}	—	ns	図47.79
SD_CLKクロックハイレベル幅	t_{SDWH}	0.4 × t_{SDPP}	—	ns	
SD_CLKクロックローレベル幅	t_{SDWL}	0.4 × t_{SDPP}	—	ns	
SD_CLKクロック立ち上がり時間	t_{SDLH}	—	3	ns	
SD_CLKクロック立ち下がり時間	t_{SDHL}	—	3	ns	
SD_CMD、SD_D3～SD_D0出力データ遅延（データ転送モード）	t_{SDODLY}	—	4	ns	
SD_CMD、SD_D3～SD_D0入力データセットアップ	t_{SDISU}	5	—	ns	
SD_CMD、SD_D3～SD_D0入力データホールド	t_{SDIH}	2	—	ns	

注.　t_{p1cyc}は周辺クロック１（P1φ）の1サイクル時間を示します。

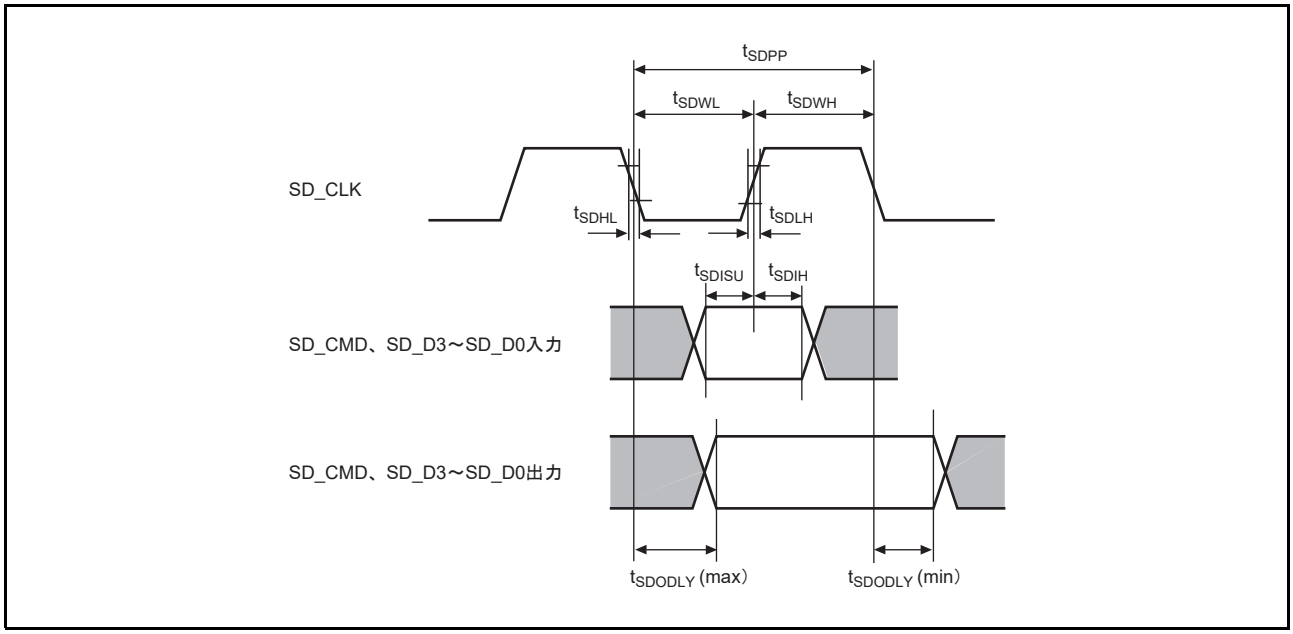


図 47.79　SD ホストインタフェース

47.4.21　MMC ホストインタフェースタイミング

表47.27　MMCホストインタフェースタイミング

項　目	記号	Min.	Max.	単位	参照図
MMC_CLKクロックサイクル	t_{MMCPP}	2 × t_{p1cyc}	—	ns	図47.80
MMC_CLKクロックハイレベル幅	t_{MMCWH}	6.5	—	ns	
MMC_CLKクロックローレベル幅	t_{MMCWL}	6.5	—	ns	
MMC_CLKクロック立ち上がり時間	t_{MMCLH}	—	3	ns	
MMC_CLKクロック立ち下がり時間	t_{MMCHL}	—	3	ns	
MMC_CMD、MMC_D7～MMC_D0出力データ遅延（データ転送モード）	$t_{MMCODLY}$	− 6.5	6.5	ns	
MMC_CMD、MMC_D7～MMC_D0入力データセットアップ	t_{MMCISU}	4.5	—	ns	
MMC_CMD、MMC_D7～MMC_D0入力データホールド	t_{MMCIH}	2	—	ns	

注.　t_{p1cyc}は周辺クロック1（P1φ）の1サイクル時間を示します。

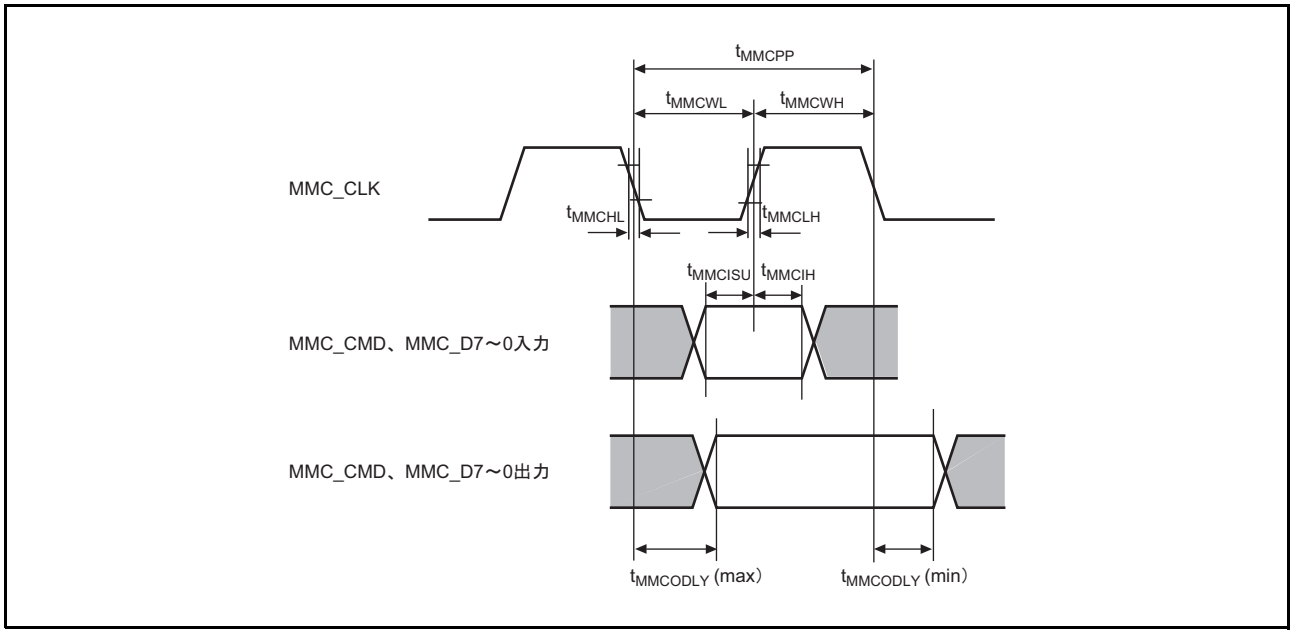


図 47.80　MMC インタフェース

47.4.22　汎用入出力ポートタイミング

表47.28　汎用入出力ポートタイミング

項　目	記号	Min.	Max.	単位	参照図
出力データ遅延時間	t_{PORTD}	–	100	ns	図47.81
入力データセットアップ時間	t_{PORTS}	100	–		
入力データホールド時間	t_{PORTH}	100	–		

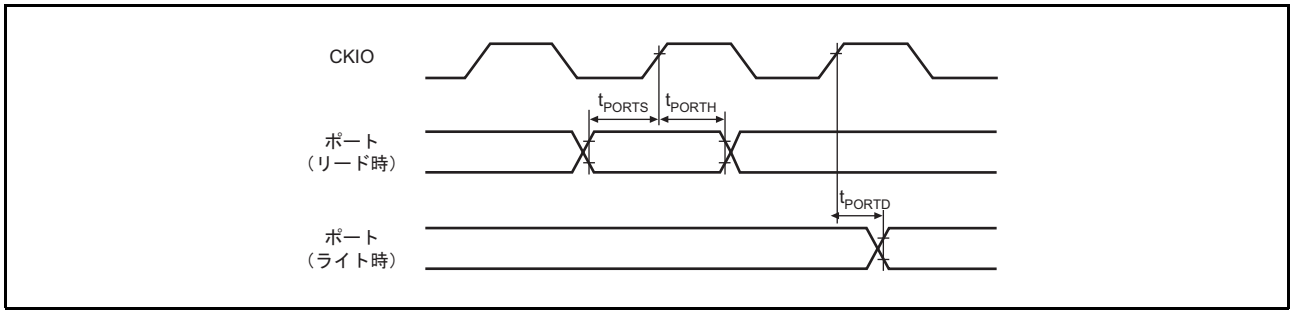


図 47.81　汎用入出力ポートタイミング

47.4.23　デバッガインタフェースタイミング

表47.29　デバッガインタフェースタイミング

項　目	記号	Min.	Max.	単位	参照図
TCKサイクル時間	t_{TCKcyc}	50*1	—	ns	図47.82
TCKハイレベルパルス幅	t_{TCKH}	0.4	0.6	t_{TCKcyc}	
TCKローレベルパルス幅	t_{TCKL}	0.4	0.6	t_{TCKcyc}	
TDIセットアップ時間	t_{TDIS}	10	—	ns	図47.83
TDIホールド時間	t_{TDIH}	10	—	ns	
TMS/SWDIOセットアップ時間	t_{TMSS}	10	—	ns	
TMS/SWDIOホールド時間	t_{TMSH}	10	—	ns	
SWDIO遅延時間	t_{SWDO}	—	16	ns	
TDO遅延時間	t_{TDOD}	—	16	ns	
キャプチャレジスタセットアップ時間	t_{CAPTS}	10	—	ns	図47.84
キャプチャレジスタホールド時間	t_{CAPTH}	10	—	ns	
アップデートレジスタ遅延時間	$t_{UPDATED}$	—	20	ns	
トレースクロック周期	t_{TCYC}	30*2	—	ns	図47.85 出力負荷：15pF
トレースクロックハイレベル	t_{THC}	12	—	ns	
トレースクロックローレベル	t_{TLC}	12	—	ns	
トレースデータ遅延時間	t_{TDT}	3	$0.3\times t_{TCYC}+3$	ns	

注1.　周辺クロック（P0φ）のサイクル時間より大きくなるようにしてください。
注2.　周辺クロック（P1φ）を2分周して生成されます。

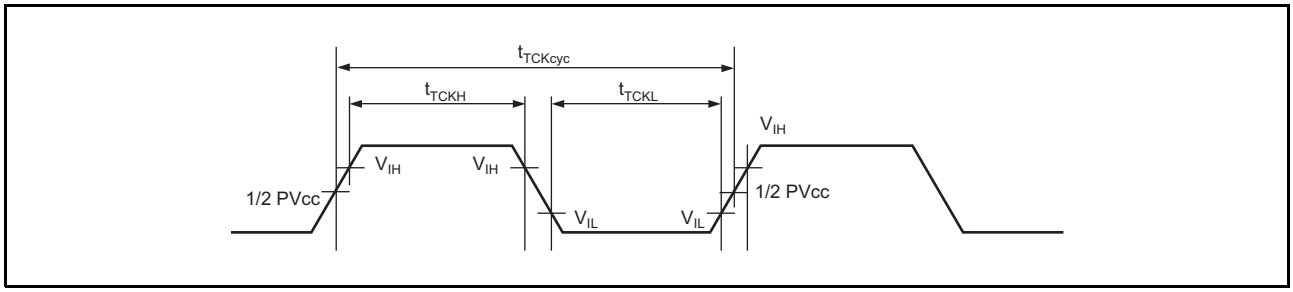


図 47.82　TCK 入力タイミング

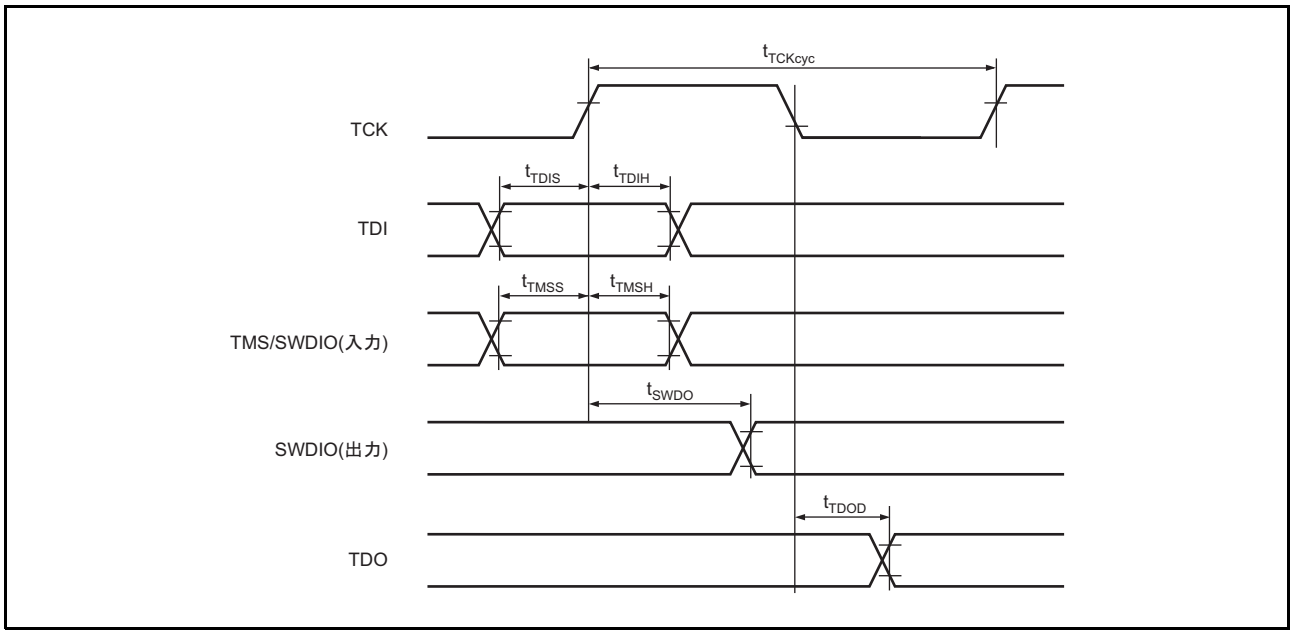


図 47.83　データ転送タイミング

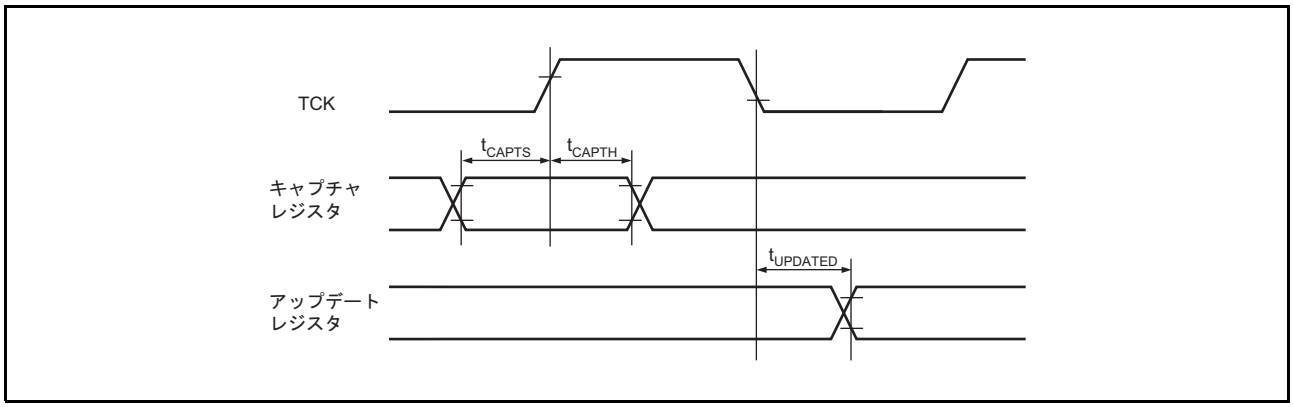


図 47.84　バウンダリスキャン入出力タイミング

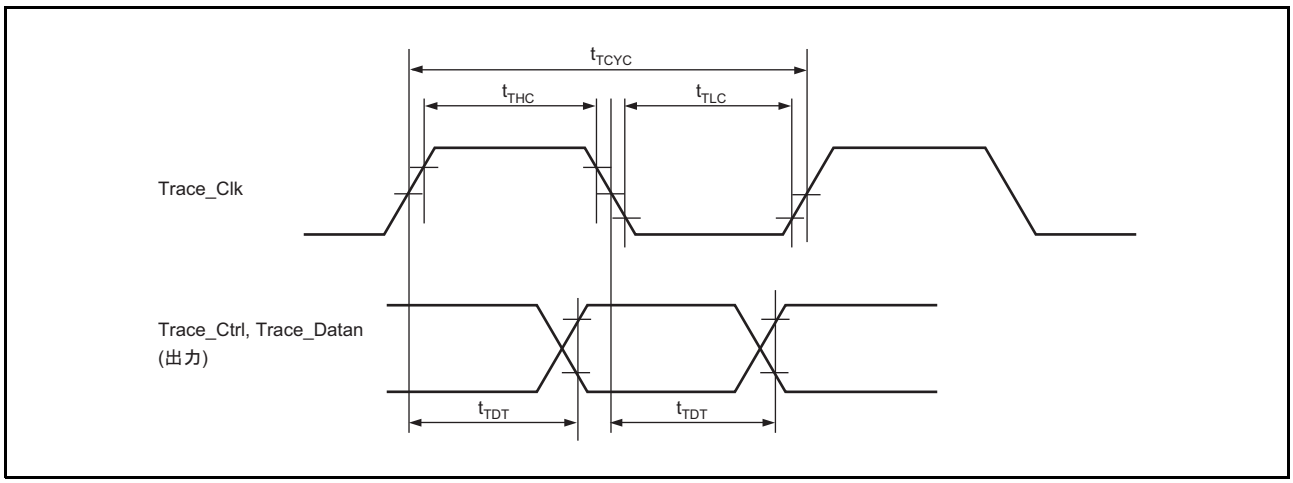


図 47.85　トレースインタフェースタイミング

47.4.24　AC 特性測定条件

- 入出力信号参照レベル：PVCC/2、VIH,VT+,VOH(Min.)、VIL,VT-,VOL(Max.)（各タイミング図参照）
- 入力パルスレベル：PVCC
- 入力立ち上がり、立ち下がり時間：1ns

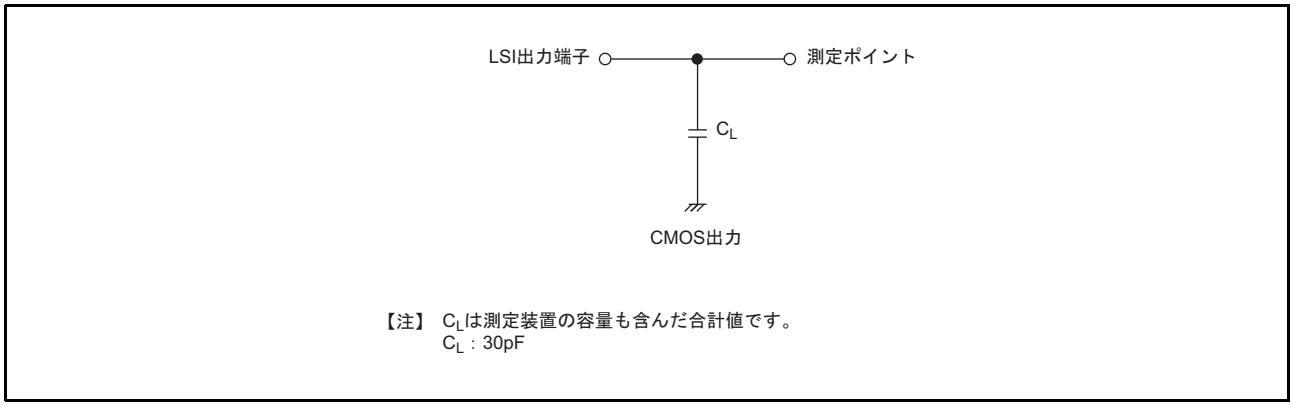


図 47.86　出力負荷回路

47.5　A/D 変換器特性

条件：Vcc=USBDVcc=USBUVcc=1.10 ～ 1.26V、PVcc=USBDPVcc=3.0 ～ 3.6V、PLLVcc=1.10 ～ 1.26V、
AVcc=3.0 ～ 3.6V、USBAPVcc=3.0 ～ 3.6V、USBAVcc=1.10 ～ 1.26V、
Vss=AVss=USBDVss=USBAVss=USBDPVss=USBAPVss=USBUVss=0V、
Ta= － 40 ～ 85 ℃

注 .　BGA パッケージには、USBDVcc、USBUVcc、USBDPVcc、USBDVss、USBAVss、USBDPVss、USBAPVss、USBUVss 端子は存在しません。

表47.30　A/D変換器特性

項　　目		Min.	Typ.	Max.	単位
分解能		12	12	12	ビット
変換時間	12ビット	5	－	－	μs
	10ビット				
アナログ入力容量		－	－	20	pF
許容信号源インピーダンス		－	－	3	kΩ
DNL	12ビット	－	－	±1.0	LSB
	10ビット	－	－	±1.0	LSB
INL	12ビット	－	－	±4.0	LSB
	10ビット	－	－	±4.0	LSB
オフセット誤差	12ビット	－	－	±8.0	LSB
	10ビット	－	－	±2.0	LSB
フルスケール誤差	12ビット	－	－	±8.0	LSB
	10ビット	－	－	±2.0	LSB
絶対精度	12ビット	－	－	±11.0	LSB
	10ビット	－	－	±5.0	LSB

48.　端子状態と処理方法

本章では、各動作モードにおける端子状態と処理方法を示します。

48.1　端子状態

各動作モードにおける端子状態を**表 48.1** に示します。

入出力機能については、上段に入力バッファ、下段に出力バッファの状態を記載しています。

表48.1　端子状態

端子機能				端子状態					
分類	端子名			通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2		低消費電力状態	
						EBUSKEEPE*3（右記以外）	パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
						0	1		
クロック	EXTAL*6			I	I	I		I/Z*5	I
	XTAL*6			O	O	O		O/Z*5	O/Z*5
	CKIO	ブートモード	0、1	O/Z*7	O	O	O/Z*7	O/Z*7	O/Z*7
			上記以外	O/Z*7	O	O/Z*7		O/Z*7	O/Z*7
	AUDIO_CLK			I	–	–		Z	Z
	AUDIO_X1*6			I	I	I		Z	Z
	AUDIO_X2*6			O	O	O		L	L
	AUDIO_XOUT、AUDIO_XOUT2、AUDIO_XOUT3			O	–	O/Z*9*15		O/Z*9*15	L/Z*9
システム制御	$\overline{\text{RES}}$			I	I	I		I	I
動作モード制御	MD_BOOT1、MD_BOOT0、MD_CLK、MD_CLKS			–	I	–		–	–
	BSCANP			I	I	I		I	I
割り込み	NMI			I	I	I		I	I
	IRQ0（P6_7）、IRQ1（P2_9）、IRQ2（P2_7）、IRQ3（P5_8、P7_3）、IRQ4（P5_9、P7_2）、IRQ5（P2_2、P5_10、P7_9）、IRQ6（P7_6）、IRQ7（P2_0）			I	–	–		I/Z*12	I
	IRQ0（P6_7以外）、IRQ1（P2_9以外）、IRQ2（P2_7以外）、IRQ3（P5_8、P7_3以外）、IRQ4（P5_9、P7_2以外）、IRQ5（P2_2、P5_10、P7_9以外）、IRQ6（P7_6以外）、IRQ7（P2_0以外）			I	–	–		Z	I
バスステートコントローラ	A25～A21、A0			O	–	O/Z*10		O/Z*10	O/Z*10
	A20～A1	ブートモード	0	O	Z	O	O/Z*10	O/Z*10	O/Z*10
			上記以外	O	–	O/Z*10		O/Z*10	O/Z*10
	D0～D7、D11～D15	ブートモード	0	I/Z	Z	I/Z	Z	Z	Z
				O/Z	Z	O/Z	Z	Z	Z
			上記以外	I/Z	–	–		Z	Z
				O/Z	–	Z		Z	Z
	D8（P5_8）、D9（P5_9）、D10（P5_10）	ブートモード	0	I/Z	Z	I/Z	Z	I/Z*12	I
				O/Z	Z	O/Z	Z	Z	Z
			上記以外	I/Z	–	–		I/Z*12	I
				O/Z	–	Z		Z	Z
	D16～D22、D24～D31			I/Z	–	–		Z	Z
				O/Z	–	Z		Z	Z
	D23（P6_7）			I/Z	–	–		I/Z*12	I
				O/Z	–	Z		Z	Z
	$\overline{\text{CS0}}$、$\overline{\text{RD}}$	ブートモード	0	O	Z	O	H/Z*10	H/Z*10	H/Z*10
			上記以外	O	–	H/Z*10		H/Z*10	H/Z*10
	$\overline{\text{CS5}}$～$\overline{\text{CS1}}$、$\overline{\text{RD}}$/$\overline{\text{WR}}$、$\overline{\text{BS}}$、$\overline{\text{WE3}}$/DQMUU/$\overline{\text{AH}}$、$\overline{\text{WE2}}$/DQMUL、$\overline{\text{WE1}}$/DQMLU/$\overline{\text{WE}}$、$\overline{\text{WE0}}$/DQMLL			O	–	H/Z*10		H/Z*10	H/Z*10
	$\overline{\text{WAIT}}$			I	–	–		Z	Z
	$\overline{\text{RAS}}$、$\overline{\text{CAS}}$、CKE			O	–	O/Z*11		O/Z*11	O/Z*11

表48.1　端子状態

端子機能			端子状態						
分類	端子名		通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態	
					EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
					0	1			
ダイレクトメモリアクセスコントローラ	DREQ0		I	–	–			Z	Z
	DACK0、TEND0		O	–	O/Z*9			O/Z*9	O/Z*9
マルチファンクションタイマパルスユニット2	TCLKA、TCLKB、TCLKC、TCLKD		I	–	–			Z	Z
	TIOC0C（P2_2）、TIOC1A（P2_7、P7_9）、TIOC3A（P6_7）、TIOC4A（P5_8）、TIOC4B（P5_9）、TIOC4C（P5_10）		I	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	TIOC0A、TIOC0B、TIOC0C（P2_2以外）、TIOC0D、TIOC1A（P2_7、P7_9以外）、TIOC1B、TIOC2A、TIOC2B、TIOC3A（P6_7以外）、TIOC3B、TIOC3C、TIOC3D、TIOC4A（P5_8以外）、TIOC4D		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
ウォッチドッグタイマ	$\overline{\text{WDTOVF}}$		O	–	H			H	H
リアルタイムクロック	RTC_X1*6		I/Z*13	I	I/Z*13			I/Z*13	I/Z*13
	RTC_X2*6		O/Z*13	O	O/Z*13			O/Z*13	O/Z*13
FIFO内蔵シリアルコミュニケーションインタフェース	TxD0～TxD4		O/Z	–	O/Z*9			O/Z*9	O/Z*9
	RxD0～RxD4		I	–	–			Z	Z
	SCK0（P2_9）、SCK3（P7_9）、$\overline{\text{CTS2}}$（P7_6）		I	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SCK0（P2_9以外）、SCK1、SCK2、$\overline{\text{SCK3}}$（P7_9以外）、SCK4、RTS0～RTS2、CTS0、CTS1、CTS2（P7_6以外）		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
シリアルコミュニケーションインタフェース	SCI_TXD0、SCI_TXD1		O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SCI_RXD0、SCI_RXD1		I	–	–			Z	Z
	$\overline{\text{SCI_CTS0}}$/$\overline{\text{RTS0}}$（P7_3）		I	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SCI_SCK0、SCI_SCK1、$\overline{\text{SCI_CTS1}}$/$\overline{\text{RTS1}}$		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
ルネサスシリアルペリフェラルインタフェース	RSPCK0～RSPCK2、SSL00、SSL10、SSL20、MOSI0～MOSI2、MISO0～MISO2		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
SPIマルチI/Oバスコントローラ	SPBCLK_0、SPBSSL_0	ブートモード 1	O/Z	–	–	O/Z*9		O/Z*9	O/Z*9
		ブートモード 上記以外	O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SPBIO00_0、SPBIO10_0		I	–	–			Z	Z
		ブートモード 1	O/Z	–	–	O/Z*9		O/Z*9	O/Z*9
		ブートモード 上記以外	O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SPBIO20_0、SPBIO30_0、SPBIO01_0、SPBIO11_0、SPBIO21_0、SPBIO31_0		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
I2Cバスインタフェース	RIIC0SCL～RIIC3SCL、RIIC0SDA～RIIC3SDA		I	–	–			Z	Z
			L/Z	–	Z			Z	Z
シリアルサウンドインタフェース	SSITxD0、SSITxD1、SSITxD3		O	–	O/Z*9			O/Z*9	O/Z*9
	SSIRxD3（P6_7）		I	–	–			I/Z*12	I
	SSIRxD0、SSIRxD1、SSIRxD3（P6_7以外）		I	–	–			Z	Z
	SSIDATA2		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SSISCK3（P2_7）、SSIWS1（P7_9）、SSIWS3（P2_9）		I	–	–			I/Z*12	I
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SSISCK0～SSISCK2、SSISCK3（P2_7以外）、SSIWS0、SSIWS1（P7_9以外）、SSIWS2、SSIWS3（P2_9以外）		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9
メディア・ローカル・バス*16	MLB_CLK		O/Z	–	O/Z*9			O/Z*9	O/Z*9
	MLB_DAT、MLB_SIG		I	–	–			Z	Z
			O/Z	–	O/Z*9			O/Z*9	O/Z*9

表48.1　端子状態

端子機能		端子状態						
分類	端子名	通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態	
				EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
				0	1			
CAN インタフェース	CAN0TX、CAN1TX	O	–	O/Z*9			O/Z*9	O/Z*9
	CAN0RX（P2_9、P5_8、P7_2）、CAN1RX（P2_2）	I	–	–			I/Z*12	I
	CAN1RX（P2_2以外）、CAN_CLK	I	–	–			Z	Z
IEBus™ コントローラ *16	IETxD	O	–	O/Z*9			O/Z*9	O/Z*9
	IERxD（P5_10）	I	–	–			I/Z*12	I
	IERxD（P5_10以外）	I	–	–			Z	Z
ルネサスSPDIF インタフェース	SPDIF_OUT	O	–	O/Z*9			O/Z*9	O/Z*9
	SPDIF_IN（P2_0）	I	–	–			I/Z*12	I
	SPDIF_IN（P2_0以外）	I	–	–			Z	Z
LIN インタフェース *16	RLIN30TX	O	–	O/Z*9			O/Z*9	O/Z*9
	RLIN30RX（P2_0、P6_7）	I	–	–			I/Z*12	I
イーサネットコントローラ、EthernetAVB *17	ET_TXER、ET_TXEN、ET_TXD3～ET_TXD0、ET_MDC	O	–	O/Z*9			O/Z*9	O/Z*9
	ET_TXCLK、ET_RXCLK、ET_RXDV、ET_RXER、ET_RXD3～ET_RXD0、ET_CRS, ET_COL	I	–	–			Z	Z
	ET_MDIO	I	–	–			Z	Z
		O	–	O/Z*9			O/Z*9	O/Z*9
EthernetAVB *17	AVB_CAPTURE	I	–	–			Z	Z
	AVB_GPTP_EXTERN	I	–	–			Z	Z
A/D変換器	AN7～AN0	I	–	–			Z	Z
	$\overline{\text{ADTRG}}$	I	–	–			Z	Z
USB2.0 ホスト／ファンクションモジュール	DP0、DP1、DM0、DM1	I/Z	Z	I/Z			Z	I/Z
		O/Z	Z	O/Z			Z	O/Z
	VBUS0、VBUS1	I	I	I			I	I
	REFRIN	I	I	I			I	I
	USB_X1*6	I	I	I			Z	Z
	USB_X2*6	O	O	O			L	L
ビデオディスプレイコントローラ5	LCD0_CLK	O	–	O/Z*9			O/Z*9	O/Z*9
	LCD0_DATA0～LCD0_DATA23、LCD0_TCON0～LCD0_TCON6	O	–	O/Z*9			O/Z*9	O/Z*9
	LCD0_EXTCLK	I	–	–			Z	Z
	DV0_DATA6（P7_2）、DV0_DATA7（P7_3）、DV0_VSYNC（P7_9）	I	–	–			I/Z*12	I
	DV0_CLK、DV0_DATA0～DV0_DATA5、DV0_DATA6（P7_2以外）、DV0_DATA7（P7_3以外）、DV0_DATA8～DV0_DATA23、DV0_HSYNC	I	–	–			Z	Z
キャプチャエンジンユニット	VIO_CLK、VIO_VD、VIO_HD、VIO_FLD、VIO_D0～VIO_D7	I	–	–			Z	Z

表48.1　端子状態

端子機能				端子状態					
分類	端子名			通常状態（右記以外）	パワーオンリセット*1	端子状態保持*2			低消費電力状態
						EBUSKEEPE*3（右記以外）		パワーオンリセット*4	ディープスタンバイモード	ソフトウェアスタンバイモード
						0	1			
SDホストインタフェース	SD_CLK_0（P3_3）	ブートモード	2	O	–	–	O/Z*9		O/Z*9	O/Z*9
			上記以外	O	–	O/Z*9			O/Z*9	O/Z*9
	SD_CLK_0（P3_3以外）			O	–	O/Z*9			O/Z*9	O/Z*9
	SD_CMD_0（P3_2）、SD_D0_0（P3_4）、SD_D1_0（P3_5）、SD_D2_0（P3_0）、SD_D3_0（P3_1）			I	–	–			Z	Z
		ブートモード	2	O	–	–	O/Z*9		O/Z*9	O/Z*9
			上記以外	O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SD_CMD_0（P3_2以外）、SD_D0_0（P3_4以外）、SD_D1_0（P3_5以外）、SD_D2_0（P3_0以外）、SD_D3_0（P3_1以外）			I	–	–			Z	Z
				O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SD_CLK_1			O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SD_D0_1（P7_3）、SD_D1_1（P7_2）、SD_D3_1（P7_6）			I	–	–			I/Z*12	I
				O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SD_CMD_1、SD_D2_1			I	–	–			Z	Z
				O/Z	–	O/Z*9			O/Z*9	O/Z*9
	SD_CD_0、SD_CD_1、SD_WP_0、SD_WP_1			I	–	–			Z	Z
MMCホストインタフェース	MMC_CLK	ブートモード	3	O	–	–	O/Z*9		O/Z*9	O/Z*9
			上記以外	O	–	O/Z*9			O/Z*9	O/Z*9
	MMC_D0（P7_3）、MMC_D1（P7_2）、MMC_D3（P7_6）			I	–	–			I/Z*12	I
		ブートモード	3	O/Z	–	–	O/Z*9		O/Z*9	O/Z*9
			上記以外	O/Z	–	O/Z*9			O/Z*9	O/Z*9
	MMC_CMD、MMC_D2			I	–	–			Z	Z
		ブートモード	3	O/Z	–	–	O/Z*9		O/Z*9	O/Z*9
			上記以外	O/Z	–	O/Z*9			O/Z*9	O/Z*9
	MMC_D4～MMC_D7			I	–	–			Z	Z
				O/Z	–	O/Z*9			O/Z*9	O/Z*9
	MMC_CD			I	–	–			Z	Z
汎用入出力ポート	JP0_0、JP0_1、P0_0～P0_3			I/Z	–	–			Z	Z
	P1_8～P1_15			I/Z	Z	Z			Z	Z
	P1_0～P1_7			I/Z*8	Z	Z			Z	Z
				L/Z	Z	Z			Z	Z
	P2_0、P2_2、P2_7、P2_9、P5_8、P5_9、P5_10、P6_7、P7_2、P7_3、P7_6、P7_9			I	Z	Z			I/Z*12	I
				O/Z	Z	O/Z*9			O/Z*9	O/Z*9
	上記以外			I/Z*8	Z	Z			Z	Z
				O/Z	Z	O/Z*9			O/Z*9	O/Z*9
デバッグインタフェース	TDI			I	I	I			Z	I
	TDO			O/Z*14	O/Z*14	O/Z*14			Z	O/Z*14
	TMS/SWDIO			I	I	I			Z	I
				O/Z	O/Z	O/Z			Z	O/Z
	TCK/SWDCLK			I	I	I			Z	I
	$\overline{\text{TRST}}$			I	I	I			Z	I
	TRACEDATA3～TRACEDATA0、TRACECLK、TRACECTL			O	–	O/Z*9			O/Z*9	O/Z*9

【記号説明】

I　：入力
O　：出力
H　：ハイレベル出力
L　：ローレベル出力
Z　：ハイインピーダンス
－　：端子機能として選択できない条件

注1.　RES端子へのローレベル入力によるパワーオンリセットを指します。ウォッチドッグタイマオーバフローによるパワーオンリセットの場合、各端子における初期機能の通常動作時と同じ端子状態になります（「41.　汎用入出力ポート」参照）。

注2. ディープスタンバイモードからNMIなどの各端子入力またはリアルタイムクロックのアラーム割り込みによって復帰した後、ディープスタンバイ解除要因フラグレジスタ（DSFR）のIOKEEPビットがクリアされるまでの状態を指します（「42. 低消費電力モード」参照）。
注3. ディープスタンバイコントロールレジスタ（DSCTR）のEBUSKEEPEビットです（「42. 低消費電力モード」参照）。
注4. 本LSIは、ディープスタンバイモードから復帰後、一定期間パワーオンリセット状態になります（「42. 低消費電力モード」参照）。
注5. リアルタイムクロックのコントロールレジスタ5（RCR5）のRCKSELビットの設定に従います（「13. リアルタイムクロック」参照）。
注6. 水晶発振子接続用の端子を使用しない場合は、入力端子（EXTAL、RTC_X1、AUDIO_X1、USB_X1）は固定（プルアップ／プルダウン／電源接続／グランド接続）、出力端子（XTAL、RTC_X2、AUDIO_X2、USB_X2）はオープンにしてください。
注7. クロックパルス発振器の周波数制御レジスタ（FRQCR）のCKOENビットの設定に従います（「6. クロックパルス発振器」参照）。
注8. 汎用入出力ポートのポートIP制御レジスタ（PIPCn）のPIPCnmビットの設定に従います。
注9. スタンバイコントロールレジスタ2（STBCR2）のHIZビットの設定に従います（「42. 低消費電力モード」参照）。
注10. バスステートコントローラの共通コントロールレジスタ（CMNCR）のHIZMEMビットの設定に従います（「8. バスステートコントローラ」参照）。
注11. バスステートコントローラの共通コントロールレジスタ（CMNCR）のHIZCNTビットの設定に従います（「8. バスステートコントローラ」参照）。
注12. ディープスタンバイ解除要因セレクトレジスタ（DSSSR）の各ビットの設定に従います（「42. 低消費電力モード」参照）。
注13. リアルタイムクロックのコントロールレジスタ2（RCR2）のRTCENビットおよびリアルタイムクロックのコントロールレジスタ5（RCR5）のRCKSELビットの設定に従います（「13. リアルタイムクロック」参照）。
注14. シリアルワイヤーデバッグ（SWD）モードの際はOとなります。シリアルワイヤーデバッグ（SWD）モードでない際は、TAPコントローラがShift-DR、Shift-IR状態以外ではZとなります。
注15. 出力となる場合は、ハイレベルまたはローレベルの固定出力となります。発振はしません。
注16. RZ/A1Lのみ
注17. RZ/A1LU のみ

48.2　未使用端子の処理

未使用端子の処理方法を下記に示します。

表48.2　未使用端子の処理（デバッガインタフェース端子を除く）

端　子	処　理
NMI	ハイレベル固定（プルアップ／電源接続）
DP1、DP0、DM1、DM0、VBUS1、VBUS0	USBDPVssに接続（QFPパッケージ） Vssに接続（BGAパッケージ）
REFRIN	5.6kΩ±20%の抵抗を介してUSBAPVccに接続
USB専用1.18V電源（USBAVcc、USBDVcc、USBUVcc）	1.18V電源を供給 【注】BGAパッケージには、USBDVcc、USBUVcc端子は存在しません。
USB専用3.3V電源（USBAPVcc、USBDPVcc）	3.3V電源を供給 【注】BGAパッケージには、USBDPVcc端子は存在しません。
USB専用グランド （USBAPVss、USBDPVss、USBAVss、USBDVss、USBUVss）	グランドに接続 【注】BGAパッケージには、左記端子は存在しません。
AVref	AVccに接続
A/D専用電源（AVcc）	3.3V電源を供給
A/D専用グランド（AVss）	グランドに接続
上記以外の入力専用端子	固定（プルアップ／プルダウン／電源接続／グランド接続）*2
上記以外の入出力端子	入力端子設定にして固定（プルアップ／プルダウン）*2 または出力設定にしてオープン
出力専用端子	オープン

注1.　プルアップ／プルダウンの抵抗は4.7kΩ～100kΩを推奨します。
注2.　「41.　汎用入出力ポート」の設定により、一部の端子では端子固定を不要とすることができます。
詳細は、「41.3.12　ポート入力バッファ制御レジスタ（PIBCn/JPIBC0）」を参照して下さい。

表48.3　エミュレータ未使用時のデバッガインタフェース端子処理

端　子	処　理
BSCANP	ローレベル固定（プルダウン／グランド接続）
$\overline{\text{TRST}}$注3	ローレベル固定（プルダウン／グランド接続） またはRES端子と同じ信号を接続
TCK、TMS、TDI	固定（プルアップ／プルダウン／電源接続／グランド接続）
TDO	オープン

注1.　エミュレータ使用時の端子処理は、使用するエミュレータの仕様に従ってください。
注2.　プルアップ／プルダウンの抵抗は4.7kΩ～100kΩを推奨します。
注3.　エミュレータ使用時およびエミュレータ未使用時にローレベル固定をしない場合は「43.　デバッガインタフェース」の「表43.12 リセット構成」および「47.　電気的特性」の「表47.6　制御信号タイミング RES入力立上り時間(tRSr)またはRESネゲートホールド時間(tRSNH)」を満足するようにしてください。

48.3　ディープスタンバイモード時の端子処理

ディープスタンバイモード時の、端子処理方法を下記に示します。

ディープスタンバイモード時の端子状態については、**「48.1　端子状態」**のディープスタンバイモードの項目を参照してください。また、端子を未使用時は、ディープスタンバイモードにおいても**「48.2　未使用端子の処理」**に従ってください。

表48.4　ディープスタンバイモード時の端子処理

端　子	処　理
1.2V電源（Vcc、USBDVcc、USBUVcc、USBAVcc、PLLVcc）	1.2V電源を供給 【注】BGAパッケージには、USBDVcc、USBUVcc端子は存在しません。
3.3V電源（PVcc、AVcc、USBDPVcc、USBAPVcc）	3.3V電源を供給 【注】BGAパッケージには、USBDPVcc端子は存在しません。
グランド（Vss、USBDVss、USBUVss、USBAVss、AVss、USBDPVss、USBAPVss）	グランドに接続 【注】BGAパッケージには、USBDVss、USBAVss、USBUVss、USBDPVss、USBAPVss端子は存在しません。
VBUS1、VBUS0	固定（プルアップ／プルダウン／電源接続／グランド接続）またはオープン ただし、ハイレベル固定した場合は「表45.2　DC特性（2）【消費電流】」に記載している電流を消費します。
REFRIN	5.6kΩ±1%の抵抗を介してUSBAPVssに接続（QFPパッケージ） 5.6kΩ±1%の抵抗を介してVssに接続（BGAパッケージ）
DP1、DP0、DM1、DM0	固定（プルアップ／プルダウン／電源接続／グランド接続）またはオープン
EXTAL、RTC_X1、AUDIO_X1、USB_X1	水晶発振子接続、クロック入力または固定 （プルアップ／プルダウン／電源接続／グランド接続）
XTAL、RTC_X2、AUDIO_X2、USB_X2	水晶発振子接続またはオープン
上記以外の入力専用端子	固定（プルアップ／プルダウン／電源接続／グランド接続）
上記以外の入力状態となる入出力端子	固定（プルアップ／プルダウン）
上記以外の入出力ハイインピーダンス状態となる入出力端子	固定（プルアップ／プルダウン）またはオープン
上記以外の出力状態となる入出力端子	オープン
上記以外の出力専用端子	オープン

注.　プルアップ／プルダウンの抵抗は4.7kΩ～100kΩを推奨します。

48.4　バイパスコンデンサ推奨組み合わせ

電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり LSI の電源端子の近くに実装してください。コンデンサの容量値は 0.1μF ～ 0.33μF（推奨値）を使用してください。水晶発振関連のコンデンサについては「6.　クロックパルス発振器」も参照してください。

図 48.1、図 48.2 に 208、176 ピン QFP の外付けコンデンサ配置例を示します。

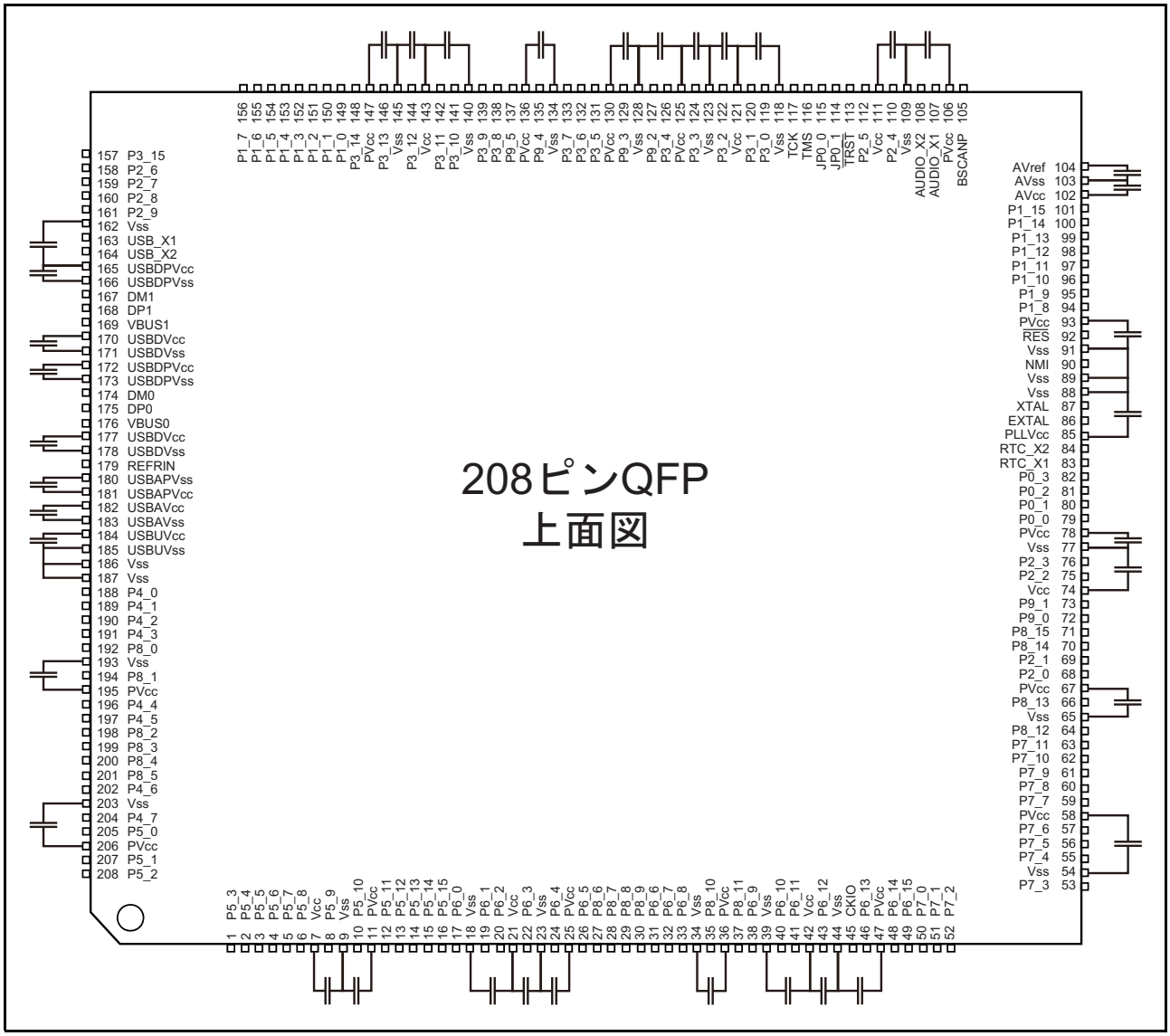


図 48.1　208 ピン QFP コンデンサ配置例

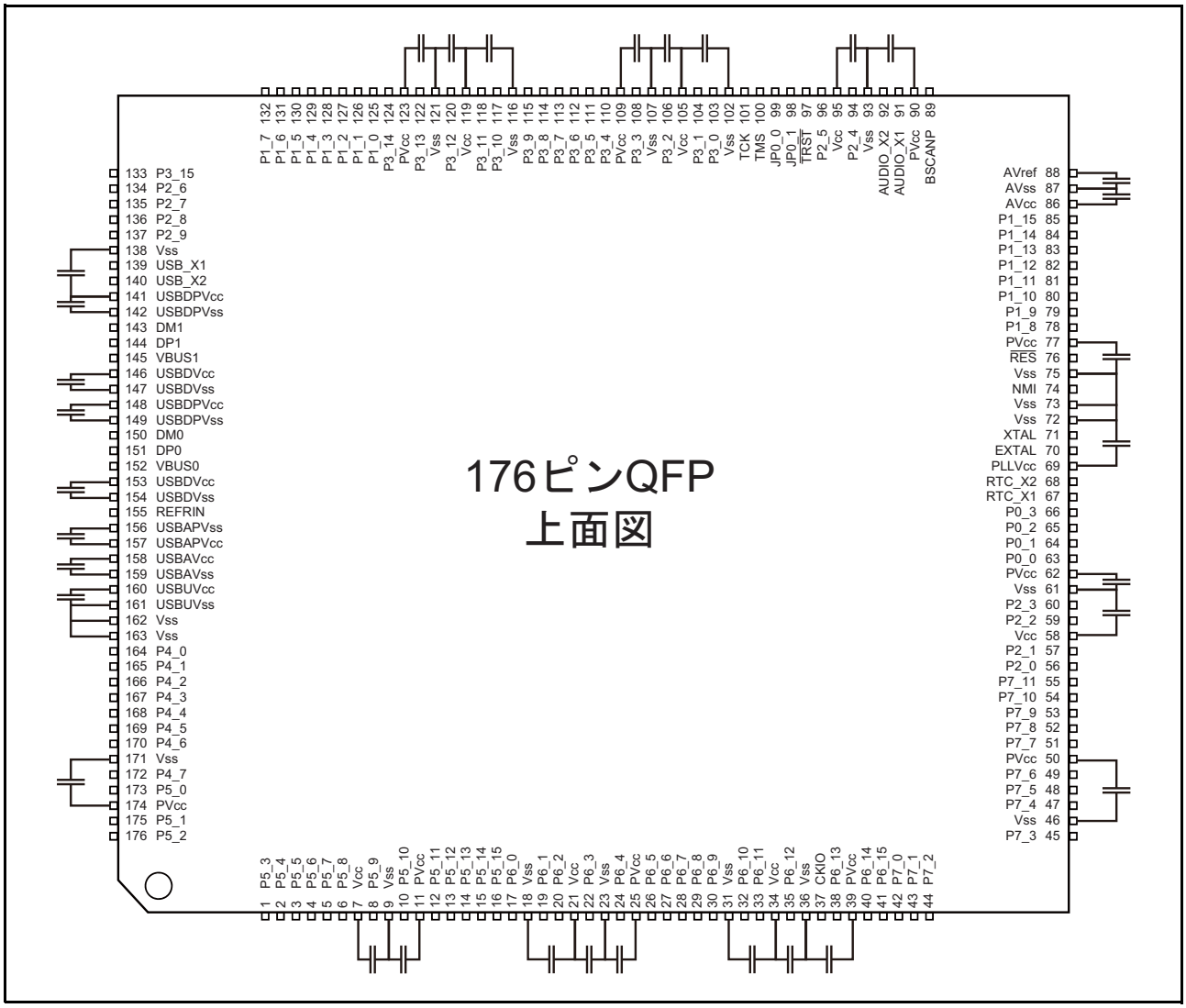
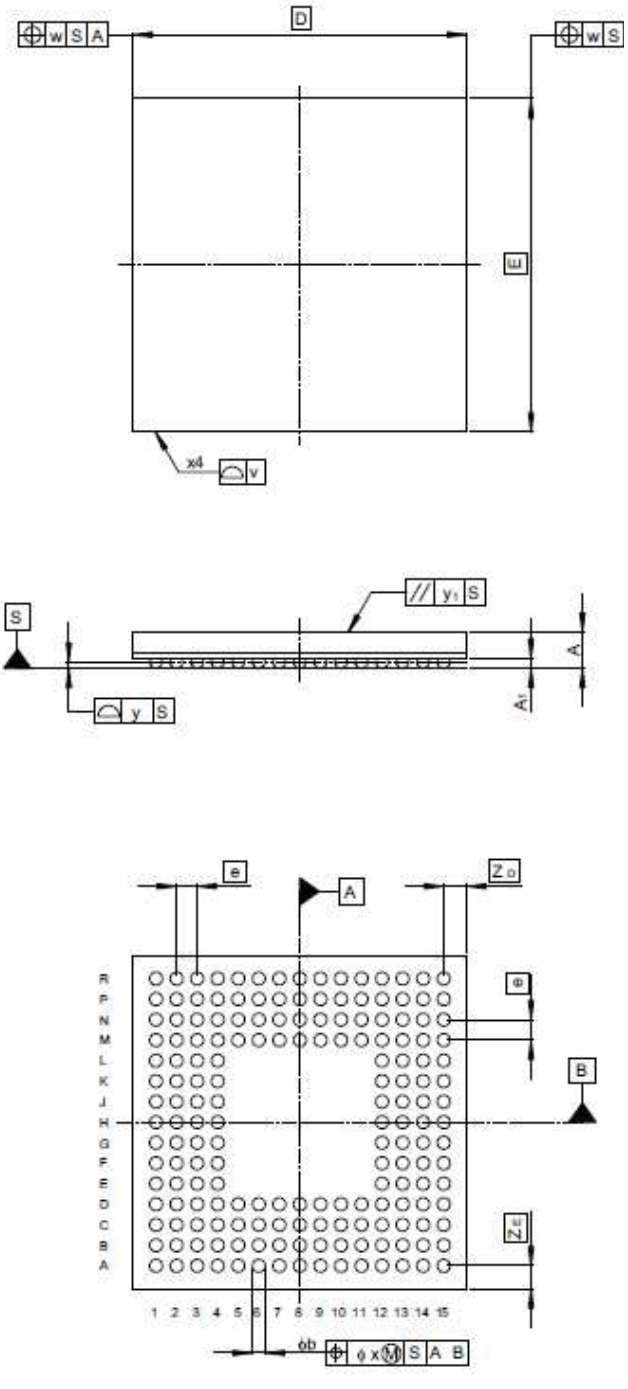


図 48.2　176 ピン QFP コンデンサ配置例

付録

A. 外形寸法図

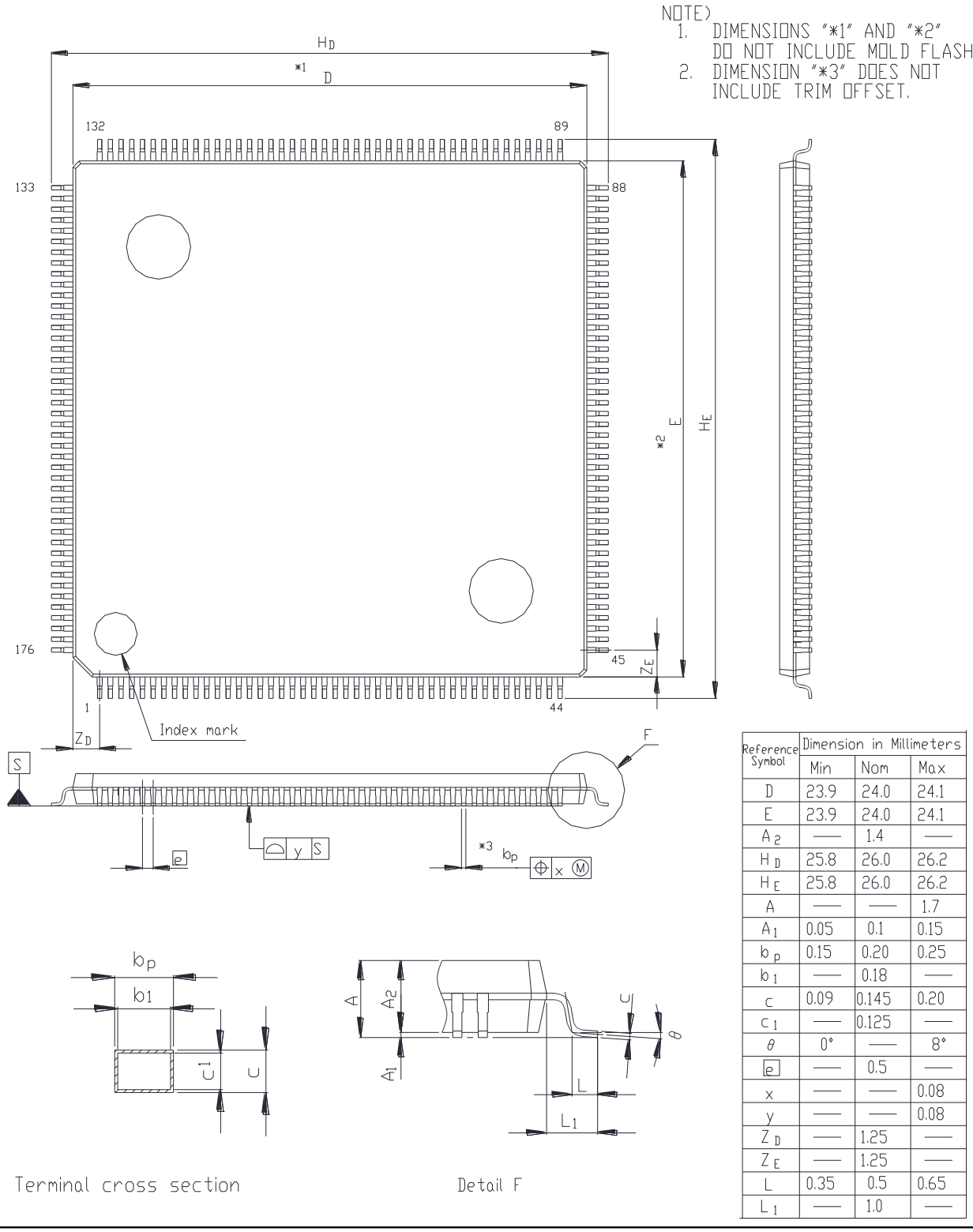
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-LFBGA176-8x8-0.50	PLBG0176KA-A	-	0.14



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	8.0	—
E	—	8.0	—
v	—	—	0.15
w	—	—	0.20
A	—	—	1.40
A_1	0.20	0.25	0.30
e	—	0.50	—
b	0.25	0.30	0.35
x	—	—	0.05
y	—	—	0.08
y_1	—	—	0.20
S_D	—	—	—
S_E	—	—	—
Z_D	—	0.50	—
Z_E	—	0.50	—

図 A.1 176 ピン BGA の外形寸法図

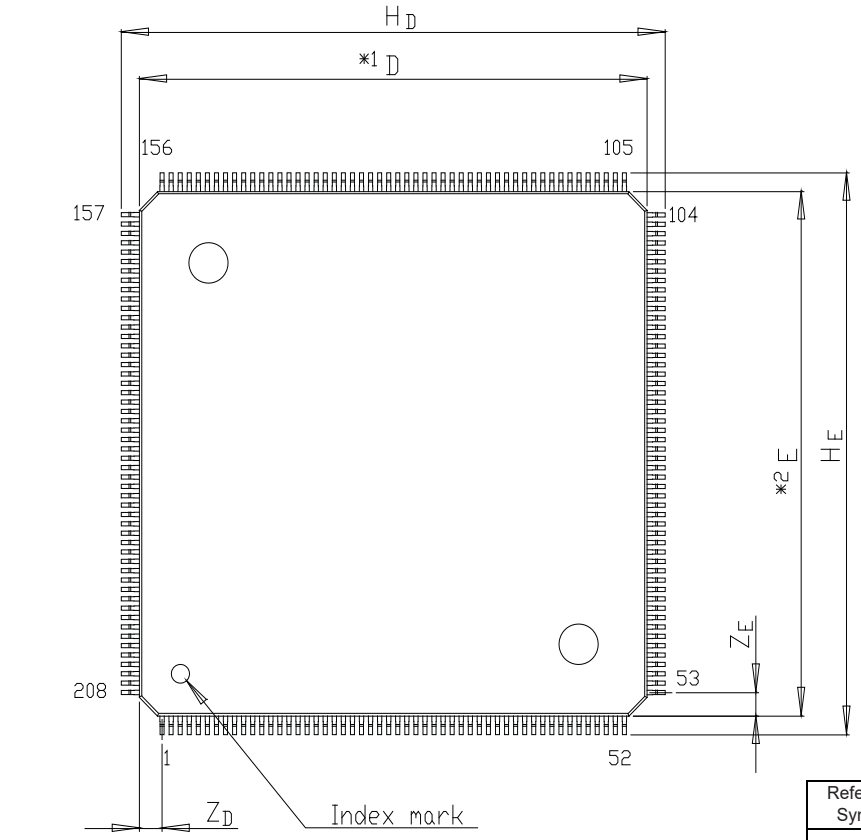
JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-LFQFP176-24x24-0.50	PLQP0176KB-A	176P6Q-A / FP-176E / FP-176EV	1.8



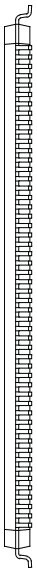
Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	23.9	24.0	24.1
E	23.9	24.0	24.1
A_2	—	1.4	—
H_D	25.8	26.0	26.2
H_E	25.8	26.0	26.2
A	—	—	1.7
A_1	0.05	0.1	0.15
b_p	0.15	0.20	0.25
b_1	—	0.18	—
c	0.09	0.145	0.20
c_1	—	0.125	—
θ	0°	—	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
Z_D	—	1.25	—
Z_E	—	1.25	—
L	0.35	0.5	0.65
L_1	—	1.0	—

図 A.2　176 ピン QFP の外形寸法図

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-LQFP208-2828-0.50	PLQP0208KB-A	–	2.7g

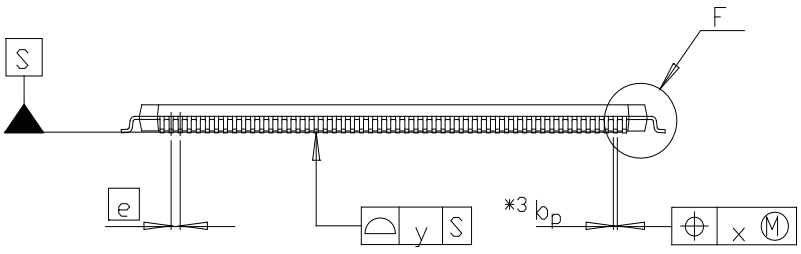


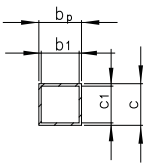
NOTE)
1. DIMENSIONS “*1” AND “*2” DO NOT INCLUDE MOLD FLASH.
2. DIMENSION “*3” DOES NOT INCLUDE TRIM OFFSET.



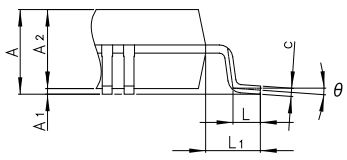
Unit:mm

Reference Symbol	Dimension in Millimeters		
	MIN	NOM	MAX
D	–	28.0	–
E	–	28.0	–
A2	–	1.40	–
HD	29.8	30.0	30.2
HE	29.8	30.0	30.2
A	–	–	1.70
A1	0.05	0.10	0.15
b	0.17	0.22	0.27
b1	–	0.20	–
c	0.095	0.145	0.195
c1	–	0.125	–
θ	0°	–	8°
e	–	0.50	–
x	–	–	0.08
y	–	–	0.08
ZD	–	1.25	–
ZE	–	1.25	–
L	0.35	0.50	0.65
L1	–	1.00	–





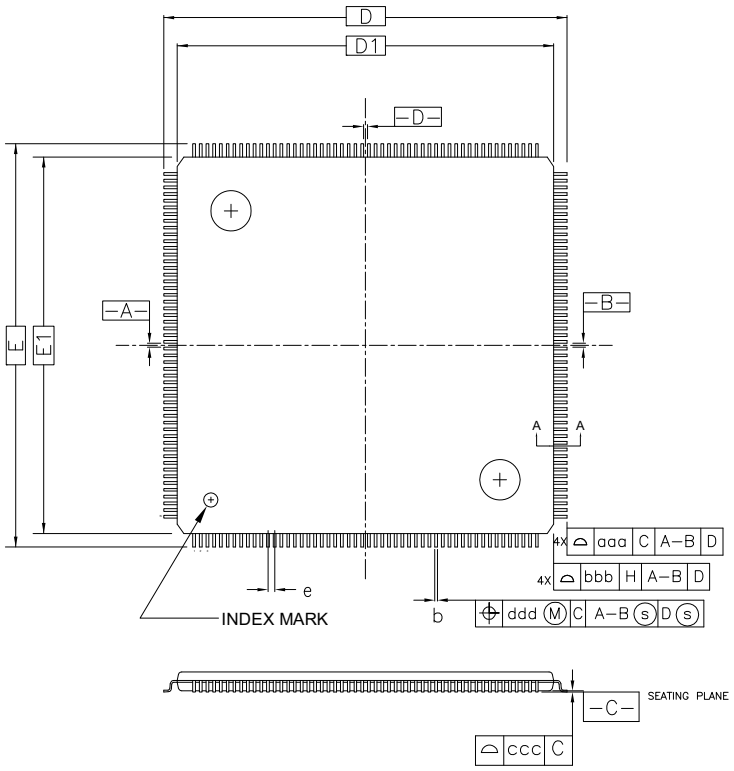
Terminal cross section

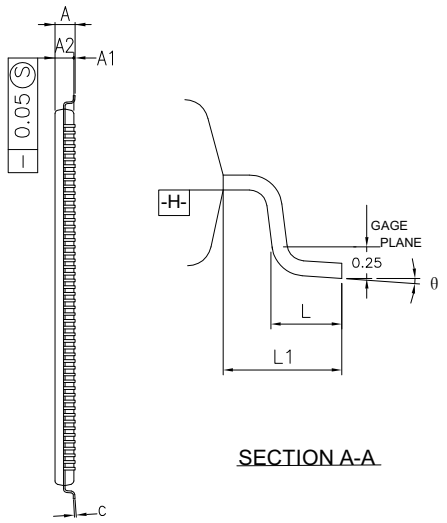


Detail F

図 A.3　208 ピン QFP の外形寸法図（PLQP0208KB-A）

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP208-28x28-0.50	PLQP0208KD-A	2.6g





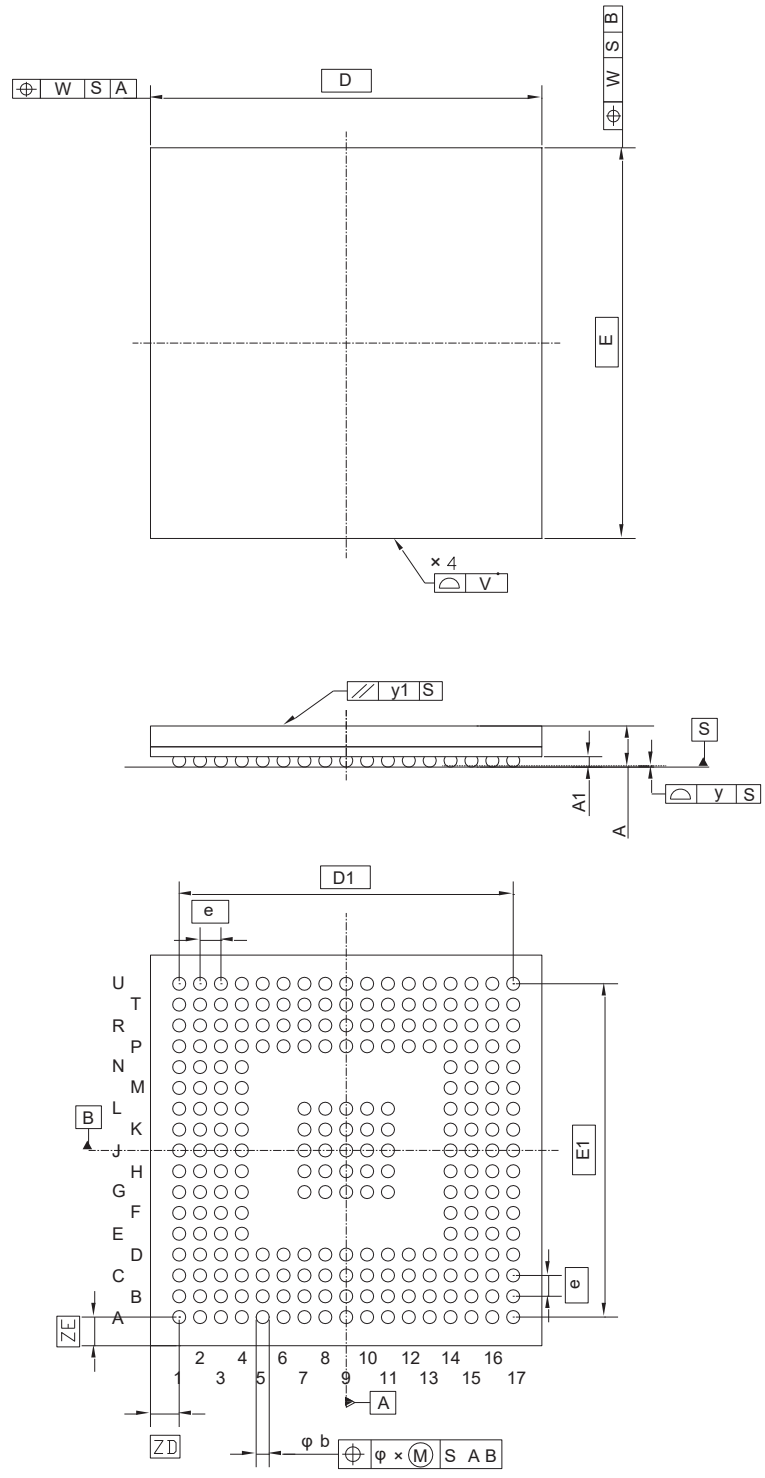
SECTION A-A

Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.70
A_1	0.05	—	0.15
A_2	1.35	1.40	1.45
D		30.00 BSC.	
D_1		28.00 BSC.	
E		30.00 BSC.	
E_1		28.00 BSC.	
N	—	208	—
e		0.50 BSC.	
b	0.17	0.22	0.27
c	0.095	—	0.195
θ	0°	3.5°	8°
L	0.35	0.50	0.65
L_1		1.00 REF.	
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

図 A.4　208 ピン QFP の外形寸法図（PLQP0208KD-A）

JEITA Package code	RENESAS code	Previous code	MASS(TYP.)[g]
P-FBGA233-15x15-0.80	PRBG0233GA-A	—	0.75

Unit:mm



Reference Symbol	Dimension in Millimeters		
	Min	Mon	Max
D	—	15.00	—
D1	—	12.80	—
E	—	15.00	—
E1	—	12.80	—
v	—	—	0.15
w	—	—	0.20
e	—	0.80	—
A	—	1.58	1.90
A1	0.30	0.35	0.40
b	0.49	0.54	0.59
x	—	—	0.08
y	—	—	0.10
y1	—	—	0.20
ZD	—	1.10	—
ZE	—	1.10	—

図 A.5　233 ピン BGA の外形寸法図

改訂記録	RZ/A1L グループ、RZ/A1LU グループ、RZ/A1LC グループ　ユーザーズマニュアル ハードウェア編

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2013.07.31	—	初版発行
2.00	2015.05.22	全体	端子名誤記修正、レジスタ名誤記修正、ビット名誤記修正
		1. 概要	
		1-2 ～ 1-6	表1.1 RZ/A1Lの特長　CPU、IEBus™コントローラの特長、キャプチャエンジンユニット修正
		1-8	図1.1 176ピンBGA版ピン配置図（上面透視図）　修正
		1-12、 1-13、 1-15、 1-16、 1-16	表1.3 端子機能　端子名TIOC0A、TIOC0B、TIOC0C、TIOC0D　【注】追加 端子名TIOC4A、TIOC4B、TIOC4C、TIOC4D　機能修正 REFRIN の 機能修正 汎用入出力ポート　端子名変更 A/D変換器 の 機能修正
		1-18、 1-19	表1.4 端子一覧　D31～D0のI/O → I(s)/O 修正 $\overline{\text{WAIT}}$のO → I(s)
		1-22	図1.4 （2）簡易回路図（TTL AND入力バッファ）　修正
		2. CPU	
		2-1	2.1 特長　修正、注2追加
		4. 2次キャッシュ	
		4-1	表4.1 構成信号ASSOCIATIVITYの設定値 修正 注2 修正
		5. LSI内部バス	
		5-2	図5.2　ノース基幹バス構成図　修正（ライトバッファ追記）
		5-8	表5.5 アドレスマップ　領域名 Upper 削除
		5-12	5.8 AXIプロトコルの制御信号　本文修正
		5-14	5.9 ライトバッファ　本文修正
		6. クロックパルス発振器	
		6-7	6.4.1 周波数制御レジスタ（FRQCR）　ビット表　CKOEN[1:0]ビットの説明　誤記修正（表6.7）
		6-17	図6.9 内部クロック分配図（1）　誤記修正
		6-18	図6.10 内部クロック分配図（2）　誤記修正
		6-14 ～ 6-18	6.10 クロック樹形図 新規追加
		7. 割り込みコントローラ	
		7-1	7.1 特長　ARM社 PrimeCell® Generic Interrupt Controller（PL390）搭載 追記
		7-3	7.3 レジスタの説明　本文修正
		7-3、 7-12	表7.2 レジスタ構成　割り込みコントローラタイプレジスタの初期値に注3への参照追加、注3追加
		7-15	7.3.3 IRQ割り込み要求レジスタ（IRQRR）　ビット表　ビットIRQ7F～IRQ0Fの説明　修正
		7-16	7.4 割り込み要因　本文　誤記修正
		7-16	7.4.1 NMI割り込み　本文修正
		7-16	7.4.2 IRQ 割り込み　本文修正
		7-17	7.4.3 内蔵周辺モジュール割り込み　本文修正
		7-18	7.4.4 端子割り込み　本文修正
		7-18	7.5 割り込みID　本文修正
		7-25	表7.3 割り込みID一覧 LINインタフェース要求要因名　修正
		7-26	表7.3 割り込みID一覧　割り込みID(予約) 335～338 追記
		7-31	7.6.1 初期設定　本文修正
		7-33	7.6.2 割り込み動作の流れ　本文修正
		7-35	7.8.3 ICCIARで割り込みIDの値を読み出すときの注意　本文修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	8. バスステートコントローラ	
		8-2	8.1 特長 10項　誤記修正
		8-3	図8.1 バスステートコントローラのブロック図　誤記修正
		8-5	表8.2 アドレスマップ　内部アドレス空間　修正
		8-6	8.3.2 ブートモード、各エリアのデータバス幅、関連端子設定　本文 誤記修正
		8-14	8.4.3 CSn 空間ウェイトコントロールレジスタ（CSnWCR）（n = 0 ～ 5）　(1) 通常空間、バイト選択付き SRAM、MPX-I/O　• CS2WCR、CS3WCR　ビット名 BAS　説明　誤記修正
		8-34	8.5.2 通常空間インタフェース　(1) 基本タイミング　本文　誤記修正
		8-34	図8.2 通常空間基本アクセス（アクセスウェイト0）　誤記修正
		8-65	表8.15 SDRAM モードレジスタライト時のアクセスアドレス　修正
		8-72	8.5.8 バイト選択付き SRAM インタフェース　本文　誤記修正
		9. ダイレクトメモリアクセスコントローラ	
		9-3	9.3 レジスタ構成　(e) DMA Register Set　レジスタ名　修正（TC）
		9-14	9.4.7 Channel Status Register n (CHSTAT_n)　DER ビット　意味　修正
		9-22	9.4.11 Channel Extension Register n (CHEXT_n)　DPR[2:0] ビット、SPR[2:0] ビット追加、注　修正
		9-24	9.4.14 DMA Control Register (DCTRL_0_7, DCTRL_8_15)　LWPR ビット、LDPR ビット追加　修正
		9-38	9.5.1 転送フロー　本文修正
		9-38	9.5.2 DMA 転送要求 (1) オートリクエストモード　本文修正
		9-39	9.5.2 DMA 転送要求 (2) 外部リクエストモード　本文修正
		9-42	表9.4 内蔵周辺モジュールリクエスト、シリアルサウンドインタフェースチャネル 0 ～ 3 の AM[2:0] 設定値　変更
		9-43	表9.4 内蔵周辺モジュールリクエスト、DMA 転送要求元名　誤記修正
		9-53	9.6.3 リンク・モード　(1) 動作フロー　< リンク・モードフローの説明>　8. リンク終了判定　本文修正
		9-65	9.7.5 DMA アクノリッジ出力機能　本文　誤記修正
		9-68	9.7.9 インターバル･カウント機能　チャネル・インターバル・レジスタ名　誤記修正（CHITVL_n）
		9-77、9-78	9.8.2 設定例2（レジスタ・モード　ソフトウェア・リクエスト）変更
		9-79、9-80	9.8.3 設定例3（レジスタ・モード 連続実行）変更
		9-83	表9.29 ディスクリプタ設定　変更
		9-87	9.8.5 Next レジスタ連続実行設定 【補足】 誤記修正
		9-88	9.9.1 DACK0,TEND0 が分割出力される場合について　本文　誤記修正
		9-89	9.9.3 アトミック・アクセス(ARLOCK[1:0]、AWLOCK[1:0])　追加
		10. マルチファンクションタイマパルスユニット2	
		10-1	10.1 特長 割り込み要因の種類の数　変更
		10-4	表10.2 端子構成　注. 誤記修正
		10-21	10.3.4 タイマインタラプトイネーブルレジスタ（TIER）　ビット7とビット6の説明修正
		10-35	表10.30　リセット同期 PWM モード時　表記修正
		10-72	表10.52 相補 PWM モード時の出力端子　チャネル 4　出力端子順序　修正
		10-74	図10.38 相補 PWM モードの設定手順例　[8] レジスタ名 修正
		10-126	10.8.2 リセットスタート時の動作 本文修正
		11.　OS タイマ	
		11-1	表11.2 レジスタベースアドレス　修正
		11-2	11.2.1 レジスタの概要　表　修正
		11-5	表11.8 OSTMnTS レジスタの内容　OSTMnTS ビットの機能　修正（0: 設定は無効です）
		11-5	表11.9 OSTMnTT レジスタの内容　OSTMnTT ビットの機能　修正（0: 設定は無効です）
		11-7	11.3.1 ブロック図　追加、図11.1 OSTM のブロック図　追加
		11-8	11.3.3 割り込み要求の生成　本文修正、図11.2 カウント開始時の割り込み生成（インターバルタイマモード）追加
		11-9	11.3.4 タイマの起動と停止　初期化の記述削除

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	11-9 ～ 11-11	11.3.5.1 インターバルタイマモードの基本動作　本文修正、図 11.3 インターバルタイマモードの OSTM のタイミング図　追加、図 11.4 インターバルタイマモードの強制リスタートのタイミング図　追加
		11-12	11.3.5.2 OSTMnCMP = 0000 0000H の場合の動作　本文修正、図 11.5 インターバルタイマモードで OSTMnCMP = 0000 0000H の場合のタイミング図　追加
		11-13、 11-14	11.3.6.1 フリーランニングコンペアモードの基本動作　本文修正、図 11.6 フリーランニングコンペアモードの OSTM のタイミング図　追加、 表 11.11 OSTMTINT 発生のタイミング　追加
		11-14、 11-15	11.3.6.2 OSTMnCMP = 0000 0000H の場合の動作　追加、図 11.7 フリーランニングコンペアモードで OSTMnCMP = 0000 0000H の場合のタイミング図　追加
		12. ウォッチドッグタイマ	
		12-4	12.3.2 ウォッチドッグタイマコントロール／ステータスレジスタ（WTCSR）ビット 6 のビット名　誤記修正
		12-6	図 12.2 WTCNT および WTCSR への書き込み　アドレス修正 図 12.3 WRCSR への書き込み　アドレス修正
		14.FIFO 内蔵シリアルコミュニケーションインタフェース	
		14-16	14.3.9 FIFO コントロールレジスタ（SCFCR）　ビット名 MCE の説明　修正
		15. シリアルコミュニケーションインタフェース	
		15-20	15.2.9 ビットレートレジスタ（BRR）　本文　誤記修正
		16. ルネサスシリアルペリフェラルインタフェース	
		16-3	16.2 入出力端子 注．誤記修正（RSPCK）
		16-9	16.3.4 ステータスレジスタ（SPSR）　ビット名 TEND の説明に 注. を追加
		16-28	図 16.9 MSB ファースト転送（16 ビットデータ）【注】修正
		16-29	図 16.10 MSB ファースト転送（8 ビットデータ）【注】修正
		16-30	図 16.11 LSB ファースト転送（32 ビットデータ）　受信バッファ名 修正
		16-39	表 16.9 SLNDEN、SSLND と SSL ネゲート遅延値の関係　表題修正
		17.SPI マルチ I/O バスコントローラ	
		17-7	17.4.3 ビットレート設定レジスタ（SPBCR）(1) ビットレート　計算式追加
		18. I^2C バスインタフェース	
		18-1	18.1.2 レジスタベースアドレス　本文修正
		18-1	表 18.3 レジスタベースアドレス　修正
		18-2	18.1.3 外部入出力信号　タイトル修正
		18-2	表 18.4 RIICn の I/O 信号　修正
		18-3	18.2.1 機能概要　コンディション発行／検出　タイトル修正　本文修正
		18-4	18.2.1 機能概要　ノイズ除去　本文修正
		18-6	図 18.2 入出力端子の外部回路接続例（I2C バス構成例）　説明文修正
		18-7 ～ 18-38	各レジスタのビット位置　表記修正
		18-8	18.3.1 RIICnCR1 — I2C バスコントロールレジスタ 1　IICRST ビット（I2C バス内部リセットビット）　本文修正
		18-9	表 18.6 RIIC のリセットの種類　修正
		18-9	18.3.1 RIICnCR1 — I2C バスコントロールレジスタ 1　ICE ビット（I2C バスインタフェース許可ビット）　本文修正
		18-11、 18-13	18.3.2 RIICnCR2 — I2C バスコントロールレジスタ 2　RS ビット（リスタートコンディション発行要求ビット）　本文修正、注意修正、 TRS ビット（送信／受信モードビット）　本文修正
		18-14	表 18.8 RIICnMR1 レジスタの内容　注 1　修正
		18-17	18.3.4 RIICnMR2 — I2C バスモードレジスタ 2　SDDL[2:0] ビット（SDA 出力遅延カウンタ）　注 1　誤記修正（Sm）（Fm）
		18-19	18.3.5 RIICnMR3 — I2C バスモードレジスタ 3　NF[1:0] ビット（ノイズフィルタ段数選択ビット）　本文修正
		18-19	18.3.5 RIICnMR3 — I2C バスモードレジスタ 3　ACKBT ビット（送信アクノリッジビット）　本文修正
		18-20	18.3.5 RIICnMR3 — I2C バスモードレジスタ 3　SMBE ビット（SMBus 選択ビット）　本文修正
		18-22	18.3.6 RIICnFER — I2C バスファンクションイネーブルレジスタ　SCLE ビット（SCL 同期回路有効ビット）　本文　誤記修正（スタートコンディション、リスタートコンディション、ストップコンディション）
		18-28、 18-29	18.3.9 RIICnSR1 — I2C バスステータスレジスタ 1　DID フラグ（デバイス ID アドレス検出フラグ）、HOA フラグ（ホストアドレス検出フラグ）　本文修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	18-31 ～ 18-33	18.3.10 RIICnSR2 — I2C バスステータスレジスタ 2　TMOF フラグ（タイムアウトフラグ）、AL フラグ（アービトレーションロストフラグ）、RDRF フラグ（受信データフルフラグ）　本文修正
		18-35	表 18.17 RIICnSARy レスレジスタの内容　ビット名 SVA[9:1]　機能　修正
		18-37	18.3.12 RIICnBRL — I2C バスビットレートロウレベルレジスタ　注 1　誤記修正（Sm）（Fm）
		18-39、 18-40	18.3.13 RIICnBRH — I2C バスビットレートハイレベルレジスタ 周波数と Duty 比の算出式の記述修正
		18-40	表 18.20 RIICnBRL と RIICnBRH の設定下限値　タイトル修正、記述修正
		18-40	表 18.21 転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が“1”、RIICnFER.NFE が“0” の場合）　修正
		18-40	表 18.22 転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が“1”、RIICnFER.NFE が“1”、NF 段数が "4" の場合）　修正
		18-41	18.3.14 RIICnDRT — I2C バス送信データレジスタ　本文修正
		18-45	18.5.1 通信データフォーマット　本文修正
		18-45	図 18.3 I2C バスフォーマット　修正
		18-45	18.5.1 通信データフォーマット　A#　記述追加
		18-47、 18-48	18.5.3 マスタ送信動作　（3）本文誤記修正（上位 2 ビット＋W#）、（5）本文修正、（7）本文修正、注意追加
		18-52	18.5.4 マスタ受信動作　本文修正
		18-54	図 18.10 マスタ受信の 3 バイト以上受信フローチャート例（7 ビットアドレスフォーマットの場合）　タイトル修正
		18-56	図 18.13 マスタ受信の動作タイミング（3）（RDRFS = 0 のとき）　TRS 信号と TDRE 信号のレベル(電圧)の修正
		18-57	図 18.14 マスタ受信の 1 バイト/2 バイト受信フロー例（7 ビットアドレスフォーマットの場合）　追加
		18-58	18.5.5 スレーブ送信動作　（7）本文修正、注意追加
		18-59	図 18.15 スレーブ送信のフローチャート例　修正
		18-64	18.6 SCL 同期回路　本文修正
		18-65	図 18.22 SDA 出力遅延タイミング　修正
		18-66	18.8 デジタルノイズフィルタ回路　本文修正
		18-69	18.9.2 ジェネラルコールアドレス検出機能　本文修正
		18-70	18.9.3 デバイス ID アドレス検出機能　本文修正
		18-71	図 18.28 デバイス ID アドレス受信時の AASy、DID フラグセット／クリアタイミング　修正
		18-74	図 18.31 NACK 受信時の転送中断動作（NACKE = 1 のとき）　修正
		18-79	18.11.2 NACK 送信アービトレーションロスト検出機能（NALE ビット）　本文修正
		18-80	18.11.3 スレーブアービトレーションロスト検出機能（SALE ビット）　本文修正
		18-82	図 18.37 スタートコンディション／リスタートコンディション発行動作タイミング（ST、RS ビット）　修正
		18-84	18.13.1 タイムアウト検出機能　本文修正、①～③の記述修正
		18-87	18.13.3 RIIC/内部リセット　参照先修正
		18-90	18.15 RIIC のリセット機能　タイトル修正
		18-90、 18-91	表 18.24 RIIC のリセット機能 (1 / 2)、表 18.24 RIIC のリセット機能 (2 / 2)　タイトル、表　修正
		19. シリアルサウンドインタフェース	
		19-41	19.5.3 TDM モード、WS コンティニュモードの制限事項　本文修正
		21. CAN インタフェース	
		21-2	21.1.2 レジスタアドレス　本文修正
		21-2	表 21.4 レジスタベースアドレス　修正
		21-8	表 21.10 RS-CAN モジュールのレジスター覧 (2 / 12)　送受信 FIFO バッファ 受信割り込みフラグステータスレジスタ　レジスタ名修正
		21-8	表 21.10 RS-CAN モジュールのレジスター覧 (2 / 12)　送受信 FIFO バッファ 送信割り込みフラグステータスレジスタ　レジスタ名修正
		21-18	表 21.11 各チャネルに割り当てられる送信バッファ p　CANm　項目名修正
		21-18	表 21.12 各チャネルに割り当てられる送受信 FIFO バッファ k　CANm　項目名修正
		21-21	21.3.1 RSCAN0CmCFG — チャネルコンフィグレーションレジスタ（m= 0、1）SJW[1:0] ビットの記述誤記修正（再同期ジャンプ幅）

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	21-25	21.3.2 RSCAN0CmCTR — チャネル制御レジスタ（m = 0、1）OLIE ビットの記述誤記修正（OVLF フラグ）
		21-26	表21.17 RSCAN0CmSTS レジスタの内容 ビット名 TEC[7:0]機能　修正
		21-26	表21.17 RSCAN0CmSTS レジスタの内容 ビット名 REC[7:0]機能　修正
		21-27	21.3.3 RSCAN0CmSTS — チャネルステータスレジスタ（m = 0、1）EPSTS フラグ　本文修正
		21-53	21.3.18 RSCAN0RMND y — 受信バッファ新データレジスタ y (y = 0) RMNSq フラグ（q = 0 ~ 31）　本文修正
		21-82	21.3.37 RSCAN0FESTS — FIFO エンプティステータスレジスタ　初期値　誤記修正（007F FFFFH）
		21-106	表21.74 RSCAN0TXQSTSm レジスタの内容 ビット位置 31～3 機能修正
		21-125	21.5.2.1 チャネルストップモード 本文誤記修正（CSLPR ビット）
		21-130	21.6.1.1 アクセプタンスフィルタ処理　本文誤記修正（IDE ビット）
		21-134	図21.9 送信キューの割り付けと送受信 FIFO バッファのリンク　修正
		21-145	図21.16 本 LSI のリセット後の設定手順　修正
		21-168	21.11 RS-CAN モジュールの注意事項　記述修正
		22. IEBus コントローラ	
		22-3	22.2.1 機能概要　実効伝送速度の記述修正
		22-46	22.3.2 IEBBn 制御レジスタの詳細　(18) IEBBn ユニット・ステータス・レジスタ（IEBBnUSR）　e) ロック状態フラグ（IEBBnLCKF）… ビット2　説明文　修正
		22-91	22.5.7 スレーブ送信（シングル・モード）(2) 割り込み発生のタイミング　c) 自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの0H, 4H, 5H を受信した場合　タイトル修正
		22-94	22.5.8 スレーブ送信（FIFO モード）(2) 割り込み発生のタイミング　(c) 自局ロック時にロック・マスタ以外から自局宛にコントロール・ビットの0H, 4H, 5H を受信した場合　タイトル修正
		22-111	22.7.1 IEBus の通信プロトコル　(3) 実効伝送速度　通信モード1、通信モード2の記述修正
		22-112	表 22-56 各通信モードにおける伝送速度、最大伝送バイト数　最大伝送速度修正
		24. CD-ROM デコーダ	
		24-8	表24.1 レジスタ構成　CD-ROM デコーダストリームデータ入力レジスタ　アクセスサイズ　修正（リード：16、ライト：16、32）
		25. LIN インタフェース	
		—	LIN スレーブモード　削除
		25-1	25. LIN インタフェース　本文修正
		25-1	25.1 特長　タイトル修正
		25-1	25.1.2 レジスタアドレス　本文修正
		25-1	表25.2 レジスタベースアドレス　修正
		25-2	表25.4 RLIN3 の割り込みと DMA 要求　修正
		25-3	25.2 機能　本文修正
		25-4	表25.6 LIN インタフェースの仕様　修正 (フレーム通信方法 フレームセパレートモード設定禁止 追記)
		25-5	図25.1 LIN インタフェースブロック図　n の説明を削除
		25-6	表25.7 LIN インタフェースのレジスター覧　修正（LIN マスタ、LIN スレーブ削除）
		25-7 ～ 25-32	各レジスタのアドレス修正、ビット位置表記修正
		25-7	表25.8 RLN3nLWBR レジスタの内容　LPRS[2:0] ビット、LWBR0 ビットの機能修正
		25-7、25-8	25.3.1.1 RLN3nLWBR — LIN ウエイクアップボーレート選択レジスタ　NSPB ビット（ビットサンプリング数選択ビット）、LWBR0 ビット（ウエイクアップボーレート選択ビット）の記述修正
		25-8	表25.9 RLN3nLBRP0 レジスタの内容　機能修正 (設定範囲 変更)
		25-8	25.3.1.2 RLN3nLBRP0 — LIN ボーレートプリスケーラ0 レジスタ　本文修正
		25-9	表25.10 RLN3nLBRP1 レジスタの内容　機能修正 (設定範囲 変更)
		25-10	表25.11 RLN3nLSTC レジスタの内容　予約ビットの機能修正
		25-10	25.3.1.4 RLN3nLSTC — LIN セルフテスト制御レジスタ　本文修正
		25-12	25.3.1.5 RLN3nLMD — LIN モードレジスタ　LCKS[1:0] ビット（LIN システムクロック選択ビット）の記述修正
		25-15	25.3.1.8 RLN3nLWUP — LIN ウエイクアップ設定レジスタ　WUTL[3:0] ビット（ウエイクアップ送信ロウレベル幅設定ビット）の記述修正
		25-16	表25.16 RLN3nLIE レジスタの内容　SHIE ビット、ERRIE ビット、FRCIE ビット、FTCIE ビットの機能修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	25-16、25-17	25.3.1.9 RLN3nLIE — LIN割り込み許可レジスタ　SHIEビット（ヘッダ送信完了割り込み要求許可ビット）、ERRIEビット（エラー検出割り込み要求許可ビット）、FRCIEビット（フレーム／ウエイクアップ受信完了割り込み要求許可ビット）、FTCIEビット（フレーム／ウエイクアップ送信完了割り込み要求許可ビット）の記述修正
		25-19	25.3.1.10 RLN3nLEDE — LINエラー検出許可レジスタ　PBEREビット（フィジカルバスエラー検出許可ビット）の記述修正
		25-20	25.3.1.11 RLN3nLCUC — LIN制御レジスタ　OM1ビット（LINモード選択ビット）の記述修正
		25-21	25.3.1.12 RLN3nLTRC — LIN 送信制御レジスタ　RTSビット（レスポンス送信／受信開始ビット）、FTSビット（フレーム送信／ウエイクアップ送受信開始ビット）の記述修正
		25-21	表25.19 RLN3nLTRC レジスタの内容 RTSビット機能　注.追記（フレームセパレートモード設定禁止）
		25-23、25-24	25.3.1.14 RLN3nLST — LINステータスレジスタ　本文修正、HTRCフラグ（ヘッダ送信完了フラグ）、D1RCフラグ（データ1受信完了フラグ）、ERRフラグ（エラー検出フラグ）、FRCフラグ（フレーム／ウエイクアップ受信完了フラグ）、FTCフラグ（フレーム／ウエイクアップ送信完了フラグ）の記述修正
		25-25、25-26	25.3.1.15 RLN3nLEST — LINエラーステータスレジスタ　本文修正、RPERフラグ（レスポンス準備エラーフラグ）、CSERフラグ（チェックサムエラーフラグ）、FERフラグ（フレーミングエラーフラグ）、FTERフラグ（タイムアウトエラーフラグ）、PBERフラグ（フィジカルバスエラーフラグ）、BERフラグ（ビットエラーフラグ）の記述修正
		25-27 ～ 25-29	25.3.1.16 RLN3nLDFC — LINデータフィールド設定レジスタ　LSSビット（継続選択ビット）、FSMビット（フレームセパレートモード選択ビット）、RFTビット（レスポンスフィールド通信方向選択ビット）、RFDL[3:0]ビット（レスポンスフィールド長設定ビット）の記述修正
		25-27	表25.23 RLN3nLDFC レジスタの内容　FSMビット機能　注.追記（フレームセパレートモード設定禁止）
		25-30	25.3.1.17 RLN3nLIDB — LIN IDバッファレジスタ　本文修正、ID[5:0]ビット（ID設定ビット）の項目名修正
		25-31	25.3.1.18 IRLN3nLCBR — LINチェックサムバッファレジスタ　アクセス修正、本文修正
		25-33	25.3.1.19 RLN3nLDBRm — LINデータバッファ mレジスタ（m = 1 ～ 8）　9バイト以上のレスポンス受信の場合の記述修正
		25-36	表25.28 各モードの移行条件　修正
		25-39	表25.30 動作モード移行条件　修正
		25-41	表25.32 レスポンス送信時の処理　修正
		25-42	表25.33 レスポンス受信時の処理　修正
		25-43	25.7.2.1 データ送信　本文修正
		25-43	図25.7 データ送信タイミング例（LINマスタモード）　修正
		25-44	図25.8 データ受信タイミング例　修正
		25-47	25.7.3.3 多バイトレスポンス送受信機能　本文修正
		25-48	25.7.4.1 ウエイクアップ送信動作　本文修正
		25-49	25.7.4.2 ウエイクアップ受信動作　本文修正
		25-49	25.7.4.3 ウエイクアップ衝突　追加
		25-50	表25.34 LINマスタモード ステータスの種類　修正
		25-51、25-52	表25.35 エラーステータスの種類(LINマスタモード)　修正
		25-52	25.7.6.1 LINマスタモード、(1) エラーステータスの種類　本文修正
		25-53、25-54	図25.14 LINリセットモード、LINモード 接続、図25.15 LINセルフテストモード接続　nの説明を削除
		25-54	25.8.1 LINセルフテストモードへの移行　記述修正
		25-55、25-56	25.8.2 LINマスタ セルフテストモードにおける送信　記述修正
		25-56、25-57	25.8.3 LINマスタ セルフテストモードにおける受信　記述修正
		25-58	25.9 ボーレートジェネレータ　本文修正
		25-58	図25.16 LINマスタモード ボーレート生成ブロック図　修正
		25-58	25.9.1 LINマスタモード　本文修正
		—	表25.61 LINマスタモード ボーレート生成例（19200bps、10417bps、9600bps、2400bps）　削除
		25-59	25.9.2 ノイズフィルタ　本文修正
		25-59	図25.17 ノイズフィルタの構成　修正
		25-59	図25.18 ノイズフィルタ回路例　修正
		25-60	図25.19 ノイズフィルタ使用時の受信データの決定　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	26. イーサネットコントローラ	
		26-15	26.3.9 CRC エラーフレーム受信カウンタレジスタ（CEFCR） 修正
		26-15	26.3.10 フレーム受信エラーカウンタレジスタ（FRECR） 修正
		26-16	26.3.11 64バイト未満フレーム受信カウンタレジスタ（TSFRCR） 修正
		26-16	26.3.12 指定バイト超フレーム受信カウンタレジスタ（TLFRCR） 修正
		26-17	26.3.13 端数ビットフレーム受信カウンタレジスタ（RFCR） 修正
		26-17	26.3.14 マルチキャストアドレスフレーム受信カウンタレジスタ（MAFCR） 修正
		26-54	(b) 送信ディスクリプタ1（TD1）ビット名TDL[15:0] 説明修正
		26-55	(c) 送信ディスクリプタ2（TD2） 本文修正
		26-57	(a) 受信ディスクリプタ0（RD0） 表 RCSEビットの説明誤記修正（表26.3）
		26-59	(b) 受信ディスクリプタ1（RD1） ビット名RBL[15:0] 説明修正
		26-60	図26.5 送信ディスクリプタと送信バッファとの関係 修正
		26-80	(2) スキップバイト数指定型全データインテリジェントチェックサム計算モード（CSMRレジスタCSEBL ＝ 1、CSMD ＝ 0） 図誤記修正（H'0E）
		27. A/D 変換器	
		27-18	表27.5 A/D変換時間（シングルモード） 修正
		27-22	27.7.1 モジュールスタンバイモードの設定 本文修正
		28. USB2.0 ホスト／ファンクションモジュール	
		—	誤記修正 DxFIFO～ → DnFIFO～、DEVADDx → DEVADDn、PIPExCTR → PIPEnCTR、PIPExTRE → PIPEnTRE、PIPExTRN → PIPEnTRN、PIPExCFG → PIPECFG
		28-3	表28.1 端子構成 REFRIN端子の機能修正
		28-13	(4) クロック入力端子選択ビット(UCKSEL) 本文修正
		28-23、28-24	28.9.1 DMAn-FIFO バスコンフィグレーションレジスタ【DnFBCFG】（n ＝ 0、1） ビット4 TENDE 機能修正、(1) DMA 転送のFIFO アクセスモード選択ビット (DFACC) 本文修正、(2) DMA 転送終了サンプリング許可ビット (TENDE) タイトル修正、記述修正
		28-26	28.10.1 CFIFO ポートレジスタ【CFIFO】、DnFIFO ポートレジスタ【DnFIFO】（n ＝ 0、1） (2) FIFO ポートビット (CFIFO、D0FIFO、およびD1FIFO) 記述修正
		28-27、28-28	28.10.2 CFIFO ポート選択レジスタ【CFIFOSEL】 ビット表 MBWビットのName修正、(3) FIFOポートアクセスビット幅 (MBW) タイトル修正、記述修正、(4) FIFOポート バイトエンディアン制御ビット (BIGEND) タイトル修正、(6) FIFOポートアクセスパイプ指定ビット (CURPIPE) 記述修正
		28-29、28-30	28.10.3 DnFIFO ポート選択レジスタ【DnFIFOSEL】（n ＝ 0、1） ビット表 DREQEビット修正、(4) DMA転送要求許可ビット (DREQE) タイトル修正、記述修正、(5) FIFOポートアクセスビット幅 (MBW) タイトル修正、(6) FIFOポート バイトエンディアン制御ビット (BIGEND) タイトル修正
		28-45	28.13.4 NRDY割り込みステータスレジスタ【NRDYSTS】 ビット表 Bit修正、(1) 各パイプのNRDY割り込みステータスビット (PIPENRDY) 記述修正
		28-49	28.13.5 BEMP 割り込みステータスレジスタ【BEMPSTS】 ビット表 Bit修正
		28-51	28.14.1 フレームナンバレジスタ【FRMNUM】 (3) フレーム番号ビット (FRNM) 記述修正
		28-57	28.17.1 DCP コンフィグレーションレジスタ【DCPCFG】 ビット7、8 機能追加
		28-57、28-58	28.17.1 DCP コンフィグレーションレジスタ【DCPCFG】 (1) 連続転送モードビット(CNTMD)、(2) トランスファー終了時のPIPE 禁止ビット(SHTNAK) 追加
		28-59	28.17.2 DCPマックスパケットサイズレジスタ【DCPMAXP】 ビット表 DEVSELビットのFunction修正
		28-62	(6) シーケンストグルビットのクリアビット (SQCLR) 本文 誤記訂正（CSSTS=0）
		28-66	表29.13 選択PIPEとTYPEビットに設定可能な転送タイプの一覧 USB転送TYPE 記述修正
		28-68	表29.14 CNTMDビット設定値とFIFOバッファに対する送受信完了判定方法の関係 修正
		28-78	28.19.1 PIPEn コントロールレジスタ【PIPEnCTR】（n ＝ 1 ～ 5、9、A ～ F） ビット5 PBUSY 機能記述修正
		28-81	28.19.1 PIPEn コントロールレジスタ【PIPEnCTR】（n ＝ 1 ～ 5、9、A ～ F） (7) シーケンストグルビットのクリアビット (SQCLR) 本文 誤記訂正（CSSTS=0）
		28-84	28.19.2 PIPEn コントロールレジスタ【PIPEnCTR】（n ＝ 6 ～ 8） ビット5 PBUSY 機能記述修正
		28-86	29.20.1 PIPEn トランザクションカウンタ許可レジスタ【PIPEnTRE】（n ＝ 1 ～ 5、9、A ～ F） (1) トランザクションカウンタ許可ビット (TRENB) 記述修正
		28-97	28.24.3 パイプコントロール 本文 修正
		28-97	表28.25 パイプ設定項目一覧表 ビット名CNTMD、EPNUM 備考修正
		28-104	表29.27 FIFOポート機能設定表 DREQEビットの機能修正
		28-105	図29.10 FIFOポートアクセス時のパイプ切り替え手順 修正

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	30. ビデオディスプレイコントローラ5（2） 入力制御部	
		30-16	表30.14 垂直同期信号タイミングディレイ 修正
		30-38、30-39	30.2.9 画質調整部マトリクスモードレジスタ（IMGCNT_MTX_MODE）、 30.2.10 画質調整部マトリクスYG 調整レジスタ0（IMGCNT_MTX_YG_ADJ0）、 30.2.11 画質調整部マトリクスYG 調整レジスタ1（IMGCNT_MTX_YG_ADJ1） 順序整列。
		31. ビデオディスプレイコントローラ5（3） スケーリング部	
		31-18	表31.20 フィールド判別信号制御の設定値 修正
		31-21	表31.25 フレームバッファ書き込み動作モード設定表 修正
		31-22	表31.30 フレームバッファ書き込み制御 説明 修正
		31-28	表31.37 フレームバッファ読み出し時のフィールド指定 修正
		31-29	表31.38 フレームバッファ制御 修正
		31-43	31.2.17 垂直スケーリングレジスタ（SC0_SCL0_DS6） 注. 修正
		31-55	31.2.33 フレーム間引きレジスタ（SC0_SCL1_WR5） ビット名SC0_RES_WENB 説明修正
		31-61	31.2.45 ポインターバッファ、フィールド情報レジスタ（SC0_SCL1_PBUF_FLD） 説明修正
		31-63	31.2.49 フレームバッファ制御レジスタ1（グラフィックス（0））（GR0_FLM1） 説明修正
		31-65	31.2.51 フレームバッファ制御レジスタ3（グラフィックス（0））（GR0_FLM3） 説明修正
		31-75	31.3.1 525i 映像入力、VGA(640x480) サイズ映像出力のスケーリング設定例 タイトル変更
		31-75	表31.40 525i映像入力、VGA(640x480)サイズ映像出力の入出力画角 タイトル変更、 出力信号変更（640x480）
		31-75	(2) 水平スケーリング（水平縮小、スケーリングフィルタは2TAP リニア） 本文修正
		31-75	(3) 水平スケーリング（水平拡大、スケーリングフィルタは2TAP リニア） 削除
		31-75	(3) 垂直拡大、スケーリングフィルタは2TAP リニア） 本文修正
		34. ビデオディスプレイコントローラ5（7） 出力制御部	
		34-6、34-7	表34.5 ガンマ補正 説明修正
		34-33 ～ 34-36	34.2.4 ガンマ補正部領域設定レジスタG1（GAM_G_AREA1）～34.2.11 ガンマ補正部領域設定レジスタG8（GAM_G_AREA8） 説明修正
		34-40 ～ 34-44	34.2.14 ガンマ補正部領域設定レジスタB1（GAM_B_AREA1）～34.2.21 ガンマ補正部領域設定レジスタB8（GAM_B_AREA8） 説明修正
		34-47 ～ 34-51	34.2.24 ガンマ補正部領域設定レジスタR1（GAM_R_AREA1）～34.2.31 ガンマ補正部領域設定レジスタR8（GAM_R_AREA8） 説明修正
		36. キャプチャエンジンユニット	
		36-2	表36.1 CEUの機能概要 修正
		36-7	36.4.1 キャプチャ開始レジスタ（CAPSR） 本文 注1への参照追加、注1追加
		36-11	36.4.3 キャプチャインタフェース制御レジスタ（CAMCR）DTIFビット 誤記修正
		36-12	36.4.3 キャプチャインタフェース制御レジスタ（CAMCR） ビット表 JPG[1:0]ビットの説明修正、本文に注1追加
		36-18	36.4.6 キャプチャインタフェース幅レジスタ（CAPWR） ビット表 VWDTH[11:0]ビット、HWDTH[12:0]ビットの説明修正
		36-37	36.4.17 キャプチャバンドルデスティネーションサイズレジスタ（CBDSR） ビット表 CBVS[22:0]ビットの説明修正
		36-38	(a) 画像キャプチャ、およびデータ同期取り込み時 本文修正
		36-39	36.4.19 ファイアウォール動作制御レジスタ（CFWCR） ビット図誤記修正（ビット8の初期値）
		36-49	図36.47 キャプチャ時の動作ステータス 誤記修正（CAPSR.CE）
		36-57	表36.11 CEUの入出力機能の制限事項 修正
		37. SCUX	
		37-2	図37.1 ブロック図 変更（MTU2追加）
		37-3	表37.1 端子構成 機能 修正
		37-9	37.3.9 FFD0_n FIFO Download Boot Register（FFDBR_FFD0_n ）(n=0,1,2,3) ビット名BOOT 説明 修正
		37-18	37.3.10 FFD0_n FIFO Download Event Mask Register（DEVMR_FFD0_n ）(n=0,1,2,3) ビット名DEVMRQ 説明 誤記修正（DEVCRレジスタ）
		37-29	37.3.22 2SRC0_m IFS Value Setting Register p（IFSVRp_2SRC0_m ）(m=0,1 p=0,1) 本文誤記修正（表37.8）

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	37-39	37.3.29 2SRC0_m Event Clear Register p（SEVCRp_2SRC0_m ）(m=0,1 p=0,1)　ビット名 EVCWAIT　説明　修正
		37-48	37.3.38 DVU0_n Volume Ramp Decibel Register（VRDBR_DVU0_n ）(n=0,1,2,3)　ビット名 VRDB　説明　誤記修正（x10-7）
		37-50 ～ 37-57	37.3.40 DVU0_n Volume Value Setting 0 Register（VOL0R_DVU0_n ）(n=0,1,2,3)　～　37.3.47 DVU0_n Volume Value Setting 7 Register（VOL7R_DVU0_n ）(n=0,1,2,3)、ビット名 VOLVAL0～VOLVAL7　説明　誤記修正（x10-7）
		37-69 ～ 37-72	37.3.57 MIX0_0 Decibel A Register（MDBAR_MIX0_0 ）　～　37.3.60 MIX0_0 Decibel D Register（MDBDR_MIX0_0)、ビット名 MIXDBA～MIXDBD　説明　誤記修正（x10-7）
		37-75	37.3.64 DMA Control Register（DMACR_CIM ）　ビット2、ビット3の名称　修正
		37-80	37.3.68 FFD0_n タイミング選択レジスタ（FDTSELn_CIM）(n=0,1,2,3)　MTUSEL ビット　説明　追加、SCKSEL ビット　説明　修正
		37-81	図37.4 入力タイミング信号選択部構成図　修正
		37-82	37.3.69 FFU0_n タイミング選択レジスタ（FUTSELn_CIM）(n=0,1,2,3)　MTUSEL ビット　説明　追加、SCKSEL ビット　説明　修正
		37-83	図37.5 出力タイミング信号選択部構成図　修正
		37-95	図37.7 SCUX 初期設定手順(2)　修正
		37-95	図37.8 SCUX 初期設定手順(3)　追加
		37-96	図37.9 SCUX 転送開始手順および停止手順(1)　修正
		37-98	図37.11 SCUX 転送開始手順および停止手順(3)　修正
		37-103	37.4.5 データ転送ルート　本文　修正
		37-109 ～ 37-111	表37.18 入出力タイミング設定(1)～表37.20 入出力タイミング設定(3)　修正、 脚注　変更
		37-117、37-118	図37.16 ボリュームランプ操作　タイトル修正、【動作説明】 修正
		37-121、37-122	図37.20 4 システムでのボリュームランプ操作　修正、【動作説明】 修正
		40. 内蔵 RAM	
		40-1	表40.1 大容量内蔵 RAM アドレス空間　ページ3のアドレス　修正、 ページ3のミラーアドレス　修正
		41. 汎用入出力ポート	
		41-1	41.1.2 ポートグループインデックスn　本文　修正
		41-2	表41.3 端子機能の設定概要　修正、 脚注　修正
		41-3	41.2.2 端子のデータ入力／出力　本文　修正
		41-3	表41.4 PPRn.PPRnm ビットのリード値　タイトル修正、 表　修正、 脚注　修正
		41-4	41.3.1 ポートレジスタ（Pn）　本文　修正
		41-5	41.3.2 ポートセット／リセットレジスタ（PSRn）　本文修正
		41-5	41.3.3 ポート端子リードレジスタ（PPRn/JPPR0）　本文　修正、 PPRn[15:0]ビット　機能　修正
		41-6	41.3.4 ポートモードレジスタ（PMn）【注意】 追加、【備考】 修正
		41-7	表41.6 兼用機能の選択 【注意】 明記
		41-9	41.3.9 ポートモードセット／リセットレジスタ（PMSRn）　本文修正
		41-10	41.3.10 ポートモード制御セット／リセットレジスタ（PMCSRn/JPMCSR0）　本文修正
		41-10	41.3.11 ポート機能制御追加拡張レジスタ（PFCAEn）【注意】 明記
		41-11	41.3.12 ポート入力バッファ制御レジスタ（PIBCn/JPIBC0）　表題修正、本文修正、【注意】明記、備考修正
		41-11	41.3.13 ポート双方向制御レジスタ（PBDCn）表題修正、【注意】明記、備考削除
		41-12	表41.7 PIPCn.PIPCnm ビットを“0”に設定する必要がある兼用機能　修正
		41-13	41.3.15 シリアルサウンドインタフェースノイズキャンセラ制御レジスタ（SNCR）　ビット4～6　修正
		41-14	表41.8 ポート端子数と機能　端子名、備考　修正
		41-15	表41.9 端子機能（JP0）【注意】 明記
		41-15	表41.10 制御レジスタ（JP0）【注意】 明記
		41-15	表41.11 端子機能（P0）【注意】 明記
		41-15	表41.12 制御レジスタ（P0）【注意】 明記
		41-16	表41.13 端子機能（P1）【注意】 明記

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	41-16	表41.14 制御レジスタ（P1）【注意】 明記
		41-17	表41.16 制御レジスタ（P2）【注意】 明記
		41-18	表41.17 端子機能（P3） 修正　明記
		41-18	表41.18 制御レジスタ（P3） 修正、【注意】 明記
		41-19	表41.20 制御レジスタ（P4）【注意】 明記
		41-20	表41.22 制御レジスタ（P5）【注意】 明記
		41-21	表41.23 端子機能（P6） 修正
		41-21	表41.24 制御レジスタ（P6） 修正、【注意】 明記
		41-22	表41.25 端子機能（P7） 修正
		41-22	表41.26 制御レジスタ（P7） 修正、【注意】 明記
		41-24	表41.29 端子機能（P9） 修正
		41-24	表41.30 制御レジスタ（P9）【注意】 明記
		41-26	図41.2 ポート設定のフロー例（ポートモードの場合）(a) タイトル修正
		41-27	図41.3 ポート設定のフロー例（S/W I/O 制御兼用モードの場合）(b) タイトル修正、【注意】 明記
		41-28	図41.4 ポート設定のフロー例（直接I/O 制御兼用モードの場合）(c) タイトル修正、 記述修正
		42. 低消費電力モード	
		42-1	図42.1 処理状態の状態遷移図　修正
		42-2	表42.1 低消費電力モードの状態　修正、 注６．追加
		42-4	42.2.1 スタンバイコントロールレジスタ１（STBCR1） ビット名 DEEP　説明　修正
		42-5	42.2.2 スタンバイコントロールレジスタ２（STBCR2） ビット名ＨＩＺ　説明　修正
		42-13	42.2.10 スタンバイコントロールレジスタ 10（STBCR10）ビット説明表下の注. 削除
		42-28	42.3.1 スリープモード　(1) スリープモードへの遷移　本文　修正、 注.　追加
		42-28	42.3.1 スリープモード　(2) スリープモードの解除　本文　修正
		42-31	42.3.3 ソフトウェアスタンバイモードの応用例　注.　追加
		42-32	42.3.4 ディープスタンバイモード　本文　修正
		42-33	図42.3 ディープスタンバイモード遷移フロー　修正
		42-34	42.3.4 ディープスタンバイモード　(2) ディープスタンバイモードの解除　タイトル番号修正(2)
		42-37	42.3.5 モジュールスタンバイ機能　本文　修正
		42-38	42.3.6 ソフトウェアリセット　追加
		43. デバッガインタフェース	
		43-8 ～ 43-11	表43.10 本LSIの端子とバウンダリスキャンレジスタの対応　修正
		43-13	43.4 ICE レジスタの説明　本文　修正
		44. レジスター覧	
		44-1 ～ 44-59	表44.1 アドレス一覧 周波数制御レジスタ２　削除。 CD-ROMデコーダストリームデータ入力レジスタSTRMDIN0　アクセスサイズ　修正（16(R/W)、32(W) ）。 送受信FIFO 受信割り込みフラグステータスレジスタ、送受信FIFO 送信割り込みフラグステータスレジスタ　名称変更。割り込みイネーブルクリアレジスタ 17～18、割り込み保留セットレジスタ 17～18、削除。　ポートレジスタ_10～11、ポートセット／リセットレジスタ_10～11、ポート端子リードレジスタ_10～11、ポートモードレジスタ_10～11、ポートモード制御レジスタ_10～11、ポート機能制御レジスタ_10～11、ポート機能制御拡張レジスタ_10～11、ポートNOTレジスタ_10～11、ポートモードセット／リセットレジスタ_10～11、ポートモード制御セット／リセットレジスタ_10～11、ポート機能制御追加拡張レジスタ_10～11、ポート入力バッファ制御レジスタ_10～11、ポート双方向制御レジスタ_10～11、ポートIP制御レジスタ_10～11、BSIDレジスタ　削除。
		44-60 ～ 44-207	表44.2 ビット一覧 モジュール名 ：バスステートコントローラ　修正。　レジスタ略称：DCTRL_0_7、DCTRL_8_15　修正。 WTCSR、FIFO内蔵シリアルコミュニケーションユニットSCSMR_0～6　誤記修正。　I2Cバスインタフェース：RIICxMR1、RIIC0SER、RIIC1SER、RIIC2SER、RIIC3SER　修正。　CEFCR0、FRECR0、TSFRCR0、TLFRCR0、RFCR0、MAFCR0　修正。　USB2.0ホスト／ファンクションモジュール：DCPCFG_0、DCPCFG_1　修正。 クロックパルス発振器 FRQCR2、モジュール名 ：LINインタフェース LINスレーブのレジスタ全て、レジスタ BSID　削除。
		44-208、 44-209	表44.3 レジスタ状態一覧 クロックパルス発振器のレジスタ名 FRQCR2　削除。　モジュール名：CANインタフェース (RS-CAN)　削除。 注11. 追加。

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2015.05.22	45. 電気的特性	
		45-5	表45.2 DC特性（3）【I2Cバスインタフェース、USB2.0ホスト／ファンクションモジュール関連端子を除く】 注. 修正
		45-8	表45.5 クロックタイミング　リアルタイムクロック発振安定時間tROSC　修正
		45-9	図45.3 パワーオン発振安定時間　修正
		45-18	図45.13　タイトル　誤記修正
		45-19	図45.14　タイトル　誤記修正
		45-40	図45.38 クロック同期式モード時の送受信データ入出力タイミング　修正
		45-42	図45.41 クロックタイミング　修正
		45-43	図45.42 送受信タイミング（マスタ、CPHA ＝ 0）　修正
		45-43	図45.43 送受信タイミング（マスタ、CPHA ＝ 1）　修正
		45-43	図45.44 送受信タイミング（スレーブ、CPHA ＝ 0）　修正
		45-44	図45.45 送受信タイミング（スレーブ、CPHA ＝ 1）　修正
		45-45	表45.14 SPIマルチI/Oバスコントローラタイミング　修正
		45-45	図45.47 送受信タイミング（CPHAT=0、CPHAR=0）　修正
		45-46	図45.48 送受信タイミング（CPHAT=1、CPHAR=1）　修正
		45-62	表45.25 キャプチャエンジンユニットモジュール信号タイミング　修正
		45-62	図45.74 キャプチャエンジンユニットモジュール信号タイミング　修正
		46. 端子状態と処理方法	
		46-1	表46.1 端子状態　修正（クロックCKIO、バスステートコントローラ）
		付録	
		付録 -1	図A.1 176 ピンBGA の外形寸法図　修正
3.00	2016.11.30	全体	RZ/A1LU, RZ/A1LC仕様追加。
		1. 概要	
		1-1	1.1 本LSI の特長、本文を修正。
		1-2 ～ 1-7	表 1.1、タイトルを RZ/A1L、RZ/A1LU 、RZ/A1LC の特長に修正。 メディア・ローカル・バス、IEBus™ コントローラ、CD-ROM デコーダの項目欄を修正。LIN インタフェースの項目欄と特長欄を修正。EthernetAVB(RZ/A1LU のみ)、JPEG コーデックユニット (RZ/A1LU のみ) を追加。 内蔵 RAM の特長欄を修正。
		1-8	表1.2 製品一覧、RZ/A1LU グループと RZ/A1LC グループを追加。
		1-12 ～ 1-18	表1.3 端子機能、ルネサスシリアル ペリフェラル インタフェース の端子名を修正。メディア・ローカル・バス、IEBus™ コントローラ、LIN インタフェース、イーサネットコントローラの分類欄を修正。EthernetAVB(RZ/A1LU のみ) を追加。
		1-19 ～ 1-23	表1.4 端子一覧を修正。機能8 の欄を追加。注1. 注2. 注3. 注4. を追加。
		3. ブートモード	
		3-4	図3.1 SPI 通信変換によりシリアルフラッシュメモリに対して出力される制御信号を修正。
		5. LSI 内部バス	
		5-2	図5.2 ノース基幹バス構成図、JPEG コーデックユニットを追加。【注】を追加。
		5-3、 5-4	表 5.2 周辺バス一覧 周辺バス 2、IEBus コントローラと LIN インタフェースの内容欄を修正。 周辺バス 3、メディア・ローカル・バスの内容欄を修正。 周辺バス 4、CD-ROM デコーダの内容欄を修正。 周辺バス 4、JPEG コーデックユニット (RZ/A1LU のみ) の内容欄を追加。 周辺バス 6、EthernetAVB(RZ/A1LU のみ) の内容欄を追加。
		5-5	図5.3 サウス基幹バス構成図、EthernetAVB を追加。【注】*1, *2を追加。
		5-7、 5-8	表5.5 アドレスマップ 0x6020_0000～0x602F_FFFF の領域欄を修正。0x2020_0000～0x202F_FFFF の領域欄を修正。注5 を修正。
		5-9	図5.4 アドレス・リマップを修正。
		5-10	5.5.2 動作説明の本文を修正。
		5-12	5.8 AXI プロトコルの制御信号　5.8.1 Cortex-A9/CoreSight/ ダイレクトメモリアクセスコントローラを除くバスマスタ　(3) 保護ユニット情報 (ARPROT[2:0]、AWPROT[2:0])　に【注】を追加。
		5-14	5.8 AXI プロトコルの制御信号　5.8.5 スレーブ領域　(4) アトミック・アクセス（ARLOCK[1:0]、AWLOCK[1:0]）に【注】を追加。

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2016.11.30	5-15	表5.6 レジスタ構成、AXI バスコントロールレジスタ 5 のレジスタ名欄を修正。
		5-16	5.10.1 リマップレジスタ（RMPR）ビット 1（ビット名 AXI128）の説明欄を修正。
		5-17	5.10.2 AXI バスコントロールレジスタ 0（AXIBUSCTL0）に、ビット 27 ～ 24（ビット名 JCUARCACHE[3:0]）と、ビット 19 ～ 16（ビット名 JCUAWCACHE[3:0]）と、注を追加。
		5-19	5.10.4 AXI バスコントロールレジスタ 5（AXIBUSCTL5）の本文を修正。
		5-22	5.10.7 AXI バス応答エラー割り込みコントロールレジスタ 0（AXIRERRCTL0）に、ビット 28（ビット名 JCURERREN）と、注を追加。
		5-24	5.10.9 AXI バス応答エラーステータスレジスタ 0（AXIRERRST0）に、ビット 31 ～ 30（ビット名 JCURRESP[1:0]）と、ビット 29 ～ 28（ビット名 JCUBRESP[1:0]）と、注を追加。
		5-26	5.10.11 AXI バス応答エラークリアレジスタ 0（AXIRERRCLR0）に、ビット 30（ビット名 JCURRESPCLR）と、ビット 28（ビット名 JCUBRESPCLR）と、注を追加。
		6. クロックパルス発振器	
		6-3	6.1 特長(7)SSCG 回路、本文を修正。
		6-5	6.3 クロックモード、本文を修正。
		6-5	表6.3 設定可能な周波数範囲、修正。
		6-12	6.7.1 内蔵水晶発振器の発振安定時間、本文を修正。
		6-15、6-16	図 6.6 音声クロック、USB クロック樹形図と、図 6.7 映像クロック樹形図と、図 6.8 その他のクロック樹形図を修正。
		6-17	図6.9 内部クロック分配図（1）を修正。
		6-18	図6.10 内部クロック分配図（2）を修正。
		7. 割り込みコントローラ	
		7-1	図7.1 ブロック図を修正。
		7-17	7.4.3 内蔵周辺モジュール割り込み、本文を修正。
		7-19 ～ 7-30	表 7.3 割り込み ID 一覧、 IEBus™ コントローラと CD-ROM デコーダと、メディア・ローカル・バスと、LIN インタフェースチャネル 0 の、割り込み要因／モジュール欄を修正。 割り込み ID126、127 に JPEG コーデックユニット (RZ/A1LU のみ) をレジスタ割り当て。 割り込み ID355～358 に EthernetAVB(RZ/A1LU のみ) をレジスタ割り当て。
		8. バスステートコントローラ	
		8-79	表8.18 アイドルサイクル数を決める項目、項番(5)の説明欄を修正。
		9. ダイレクトメモリアクセスコントローラ	
		9-1	9.1 特長　・転送要求、本文を修正。
		9-35	9.4.25 DMA 拡張リソースセレクタ 0 ～ 7（DMARS0 ～ DMARS7）、本文を修正。
		9-40 ～ 9-43	表 9.4 内蔵周辺モジュールリクエスト、 IEBus™ コントローラと、CD-ROM デコーダと、メディア・ローカル・バスと、LIN インタフェースチャネル 0 の、DMA 転送要求元欄を修正。
		10. マルチファンクションタイマパルスユニット 2	
		10-43	10.3.29 タイマ波形コントロールレジスタ（TWCR）、本文の誤記を修正。
		10-79	(2) 相補 PWM モードの動作概要、(g) PWM 周期の設定、本文の誤記を修正。
		10-88	(2) 相補 PWM モードの動作概要、(l) PWM 周期に同期したトグル出力、本文の誤記を修正。
		10-121	図 10.109 リセット同期 PWM モードのバッファ動作とコンペアマッチフラグ、誤記を修正。
		10-124	図 10.113 条件（1）の同期クリア例、誤記を修正。
		10-125	図 10.114 条件（2）の同期クリア例、誤記を修正。
		13. リアルタイムクロック	
		13-17	13.4.1 電源投入後のレジスタの初期設定と発振安定時間、本文を修正。
		16. ルネサスシリアルペリフェラルインタフェース	
		16-10	16.3.5 データレジスタ（SPDR） 説明文　修正
		16-13	16.3.9 データコントロールレジスタ（SPDCR） ビット 6、5（ビット名 SPLW1、SPLW0） 説明欄　修正、注 1 を追加。
		17. SPI マルチ I/O バスコントローラ	
		17-1	17.1 特長 1. シリアルフラッシュインタフェースの本文に　・DDR 転送に対応したシリアルフラッシュと接続可能（RZ/A1LU のみ）を追加。　5. SPBSSL 端子制御の本文を修正。

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2016.11.30	17-2	図 17.1 ブロック図を修正。
		17-3	表 17.2 レジスタ構成を修正。
		17-4、17-5	17.4.1 共通コントロールレジスタ（CMNCR） ビット 23, 22（ビット名 MOIIO3[1:0]）、ビット 21, 20（ビット名 MOIIO2[1:0]）、ビット 19, 18（ビット名 MOIIO1[1:0]）、ビット 17, 16（ビット名 MOIIO0[1:0]）、ビット 15, 14（ビット名 IO3FV[1:0]）、ビット 13, 12（ビット名 IO2FV[1:0]）、ビット 9, 8（ビット名 IO0FV[1:0]）、ビット 6（ビット名 CPHAT）、ビット 5（ビット名 CPHAR）の説明欄を修正。
		17-20	17.4.14 SPI モードリードデータレジスタ 0（SMRDR0）、ビット 31 ～ 0（ビット名 RDATA0[31:0]）の説明欄を修正。
		17-21	17.4.15 SPI モードリードデータレジスタ 1（SMRDR1）、ビット 31 ～ 0（ビット名 RDATA1[31:0]）の説明欄を修正。
		17-21	17.4.16 SPI モードライトデータレジスタ 0（SMWDR0）、ビット 31 ～ 0（ビット名 WDATA0[31:0]）の説明欄を修正。
		17-22	17.4.17 SPI モードライトデータレジスタ 1（SMWDR1）、ビット 31 ～ 0（ビット名 WDATA1[31:0]）の説明欄を修正。
		17-23	17.4.19 SPI AC 入力特性調整レジスタ (CKDLY)（RZ/A1LU のみ）を追加。
		17-25	17.4.21 データリードDDR イネーブルレジスタ (DRDRENR)（RZ/A1LU のみ）を追加。
		17-27	17.4.23 SPI モードDDR イネーブルレジスタ (SMDRENR)（RZ/A1LU のみ）を追加。
		17-28	17.4.24 SPI AC 出力特性調整レジスタ (SPODLY)（RZ/A1LU のみ）を追加。
		17-32	17.5.6 外部アドレス空間リードモード、本文を修正。
		17-36	図 17.12 外部アドレス空間リードモード時の初期設定フロー例を修正。
		17-38	17.5.8 SPI 動作モード、本文を修正。
		17-39	図 17.16 SPI 動作モード時の初期設定フロー例を修正。
		17-40	図 17.17 SPI 動作モード時のデータ転送設定フロー例を修正。
		17-41	17.5.9 転送フォーマット (3) データ送信・受信タイミング、本文を修正。
		17-41	図 17.18 のタイトルを修正。
		17-42	図 17.19 DDR 転送フォーマット（RZ/A1LU のみ）を追加。
		17-43	表 17.5 データレジスタ、ダミーサイクル（1 ～ 8 サイクル）の外部アドレス空間リード動作欄と SPI 動作欄の誤記を修正。
		17-44	17.5.10 データフォーマット (2) データイネーブル、本文を修正。
		17-44	図 17.20 データとイネーブルを修正。
		17-48	表 17.7 端子状態（2）、表 17.8 端子状態（3）を修正。
		18. I^2C バスインタフェース	
		18-39、18-40	18.3.13 RIICnBRH - I^2C バスビットレートハイレベルレジスタ、周波数と Duty 比の算出式を修正。 注 1 . を追記。
		18-57	図 18.13 マスタ受信の動作タイミング（3）（RDRFS = 0 のとき）、ACKBR 信号の誤記を修正。
		18-68	18.9.1 スレーブアドレス一致検出機能、本文の誤記を修正。
		18-69	図 18.25 10 ビットアドレスフォーマット選択時に AASy フラグが “1” になるタイミング、SDA 信号の誤記を修正。
		18-73	18.9.4 ホストアドレス検出機能、本文を修正。
		18-75	18.10.2 NACK 受信転送中断機能、本文を修正。
		18-75	図 18.31 NACK 受信時の転送中断動作（NACKE = 1 のとき）を修正。
		20. メディア・ローカル・バス	
		20-1	20. メディア・ローカル・バス、「本モジュールは、RZ/A1L にのみ搭載しています。」を本文に追記。
		21. CAN インタフェース	
		21-6	図 21.1 RS-CAN モジュールのブロック図を修正。
		22. IEBus コントローラ	
		22-1	22. IEBus コントローラ、「本モジュールは、RZ/A1L にのみ搭載しています。」を本文に追記。
		22-5	22.3.1 IEBBn レジスタの概要、本文を修正。
		24. CD-ROM デコーダ	
		24-1	24. CD-ROM デコーダ、「本モジュールは、RZ/A1L にのみ搭載しています。」を本文に追記。
		24-48	24.6.8 ソフトウェアリセットの注意点を追加。

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2016.11.30	25. LIN インタフェース	
		25-1	25. LIN インタフェース、「本モジュールは、RZ/A1L にのみ搭載しています。」を本文に追記。
		25-13	表 25.13 RLN3nLBFC レジスタの内容、ビット位置 5, 4（ビット名 BDT[1:0]）機能欄の誤記を修正。
		25-14	表 25.14 RLN3nLSC レジスタの内容、ビット位置 5, 4（ビット名 IBS[1:0]）機能欄の誤記を修正。
		25-37	25.6 LIN リセットモード、本文を修正。
		26. イーサネットコントローラ	
		26-2	図 26.1 ETHER の構成を修正。
		26-57、26-58	26.4.1 ディスクリプタとディスクリプタリスト (2) 受信ディスクリプタ (a) 受信ディスクリプタ 0（RD0）、ビット 29, 28（ビット名 RFP[1:0]）と 25 ～ 16（ビット名 RFS[9:0]）の説明欄を修正。
		26-59	26.4.1 ディスクリプタとディスクリプタリスト (2) 受信ディスクリプタ (b) 受信ディスクリプタ 1（RD1）、ビット 31 ～ 16（ビット名 RBL[15:0]）の説明欄を修正。
		26-61	26.4.1 ディスクリプタとディスクリプタリスト (3) ディスクリプタと送受信バッファ (b) 受信、本文を修正。
		26-61	図 26.6 受信ディスクリプタと受信バッファとの関係を修正。
		26-70	図 26.11 を修正。タイトルを修正。
		26-71	26.4.3 受信動作 (2) 受信エラー処理 (b) 受信 FIFO のオーバフロー、本文の誤記を修正。
		26-75	表 26.5 ETHER 割り込み一覧、フレーム送信完了割り込み要因のレジスタ、ビット名の誤記を修正。
		26-86	26.6.3 ソフトウェアリセットを追記。
		27. A/D 変換器	
		27-24	図 27.9 アナログ入力回路の例、から【注】を削除。
		27-24	表 27.8 アナログ入力の規格、に【注】を追記。
		31. ビデオディスプレイコントローラ 5（3）スケーリング部	
		31-1	図 31.1 スケーリング部 0 の機能ブロック図、修正。
		31-7	31.1.4 画角サイズ設定　(2) フル画面イネーブル生成、本文を修正。
		31-22	表 31.29 フレームバッファ転送モード、説明欄を修正。
		31-52	31.2.29 書き込み動作モードレジスタ（SC0_SCL1_WR1）、ビット 0（ビット名 SC0_RES_BST_MD）の説明欄を修正。
		31-64	31.2.49 フレームバッファ制御レジスタ 1（グラフィックス（0））（GR0_FLM1）、注の誤記を修正。
		33. ビデオディスプレイコントローラ 5（5）　画面合成部	
		33-21	33.1.14 アルファブレンド演算式、本文と演算式を修正。
		33-26	表 33.28 CLUT テーブル構成、略称欄を修正。
		36. キャプチャエンジンユニット	
		36-2	表 36.1 CEU の機能概要、分類欄：接続可能カメラ／項目欄：入力フォーマット／実現機能欄：バイナリデータの説明欄を修正。
		36-5	図 36.2 のタイトルを修正。
		36-7	図 36.5 を説明する、本文を修正。
		36-11、36-12	36.4.3 キャプチャインタフェース制御レジスタ（CAMCR）、本文を修正。 ビット 27 ～ 24（ビット名 :VDSEL,HDSEL,FLDSEL,DSEL）を追記。 ビット 5, 4（ビット名 JPG[1:0]）と、ビット 1（ビット名 VDPOL）の説明欄を修正。　注 . を追記。
		36-14、36-15	図 36.12 ～図 36.16 を説明する本文を修正。　図 36.14 のタイトルを変更。　図 36.15 を追加。
		36-48	36.4.22 キャプチャイベントフラグクリアレジスタ（CETCR）、ビット 9（ビット名 VD）の説明欄を修正。
		36-58	36.5.4 ソフトウェアリセットを追加。
		37. SCUX	
		37-3	表 37.1 端子構成、MLB CLK に注 1. を追記。
		37-80	37.3.68 FFD0_n タイミング選択レジスタ（FDTSELn_CIM）(n=0,1,2,3)、ビット 3 ～ 0（ビット名 SCKSEL）の説明欄を修正。
		37-81	図 37.4 入力タイミング信号選択部構成図を修正。
		37-82	37.3.69 FFU0_n タイミング選択レジスタ（FUTSELn_CIM）(n=0,1,2,3)、ビット 3 ～ 0（ビット名 SCKSEL）の説明欄を修正。
		37-83	図 37.5 出力タイミング信号選択部構成図を修正。

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2016.11.30	37-123	37.5 使用上の注意事項、37.5.1 ソフトウェアリセットを追加。
		38. SD ホストインタフェース	
		—	守秘義務不要な範囲でマニュアルを公開。
		39. MMC ホストインタフェース	
		39-40	39.8.3 ソフトウェアリセットを追加。
		40. 内蔵 RAM	
		40-1	40.1 特長　・ページ 、本文を修正。
		40-1	表 40.1 大容量内蔵 RAM アドレス空間、注 . を追記。
		41. 汎用入出力ポート	
		41-5	41.3.3 ポート端子リードレジスタ（PPRn/JPPR0）、本文を修正。
		41-12	表 41.7 PIPCn.PIPCnm ビットを “0” に設定する必要がある兼用機能、SSITxD4 端子を削除。
		41-13	41.3.15 シリアルサウンドインタフェースノイズキャンセラ制御レジスタ（SNCR）、 本文を修正。ビット位置 6（ビット名 ETSEL）を追加。注 1 を追加。
		41-17	表 41.15 端子機能（P2）を修正。注 1. を追加。
		41-19	表 41.19 端子機能（P4）を修正。注 1. を追加。
		41-20	表 41.21 端子機能（P5）を修正。注 1. を追加。
		41-21	表 41.23 端子機能（P6）を修正。注 1. 注 2. 注 3. を 追加。
		41-22	表 41.25 端子機能（P7）を修正。注 1. と 注 2. を 追加。
		42. 低消費電力モード	
		42-3	表 42.2 レジスタ構成を修正。
		42-6	42.2.3 スタンバイコントロールレジスタ 3（STBCR3）、 ビット 7（ビット名 MSTP37）と、ビット 5（ビット名 MSTP35）に、注 *1 を追記。
		42-9	42.2.6 スタンバイコントロールレジスタ 6（STBCR6）、ビット 1（ビット名 MSTP61）を追加。注 *1 を追記。
		42-11	42.2.8 スタンバイコントロールレジスタ 8（STBCR8）、 ビット 3（ビット名 MSTP83）に、注 *1 を追記。　ビット 2（ビット名 MSTP82）を追加し、注 *2 を追記。
		42-13	42.2.10 スタンバイコントロールレジスタ 10（STBCR10）、ビット 2（ビット名 MSTP102）に、注 *1 を追記。
		42-15	42.2.12 スタンバイコントロールレジスタ 12（STBCR12）、【注】を追記。
		42-17	42.2.14 ソフトウェアリセットコントロールレジスタ 2（SWRSTCR2）を追加。
		42-21	42.2.19 スタンバイリクエストレジスタ 1（STBREQ1）、 ビット 3（ビット名 STBRQ13）と ビット 2（ビット名 STBRQ12）を追加。　注 *1 を追記。
		42-22	42.2.20 スタンバイリクエストレジスタ 2（STBREQ2）、ビット 7（ビット名 STBRQ27）に、注 *1 を追記。
		42-23	42.2.21 スタンバイアックレジスタ 1（STBACK1）、ビット 3（ビット名 STBAK13）とビット 2（ビット名 STBAK12）を追加。注 *1 を追記。
		42-24	42.2.22 スタンバイアックレジスタ 2（STBACK2）、ビット 7（ビット名 STBAK27）に、注 *1 を追記。
		42-32	42.3.2 ソフトウェアスタンバイモード　(1) ソフトウェアスタンバイモードへの遷移、本文を修正。
		42-35	42.3.4 ディープスタンバイモード　(1) ディープスタンバイモードへの遷移、本文を修正。
		42-37	42.3.4 ディープスタンバイモード　(2) ディープスタンバイモードの解除、本文を修正。
		42-40	42.3.5 モジュールスタンバイ機能　(1) モジュールスタンバイ機能への遷移、本文を修正。
		42-41	42.3.6 ソフトウェアリセット、本文を修正。
		42-42	42.3.7 XTAL 用水晶発振器ゲイン調整機能、本文を修正。
		42-43	42.4.3 USB_X1 端子未使用時の注意を追加。
		43. デバッガインタフェース	
		43-6	表 43.7 端子構成、テストデータ出力 (端子名 TDO) の機能欄を修正。　注 1. を修正。
		43-7	表 43.8 バウンダリスキャン用 TAP コントローラのレジスタ構成、ID レジスタ (略称 BSID) の初期値欄を修正。
		43-12	43.3.4 ID レジスタ（BSID）、ビット 31 ～ 0（ビット名 DID[31:0]）の初期値欄に RZ/A1LU および RZ/A1LC の H'082F4447 を追記し、説明欄を修正。
		43-16	表 43.12 リセット構成の注 2. を修正し、注 3. を追記。
		44. JPEG コーデックユニット	
		—	JPEG コーデックユニット章を追加。

Rev.	発行日	改訂内容	
		ページ	ポイント
3.00	2016.11.30	45. EthernetAVB	
		—	EthernetAVB 章を追加。
		46. レジスター覧	
		46-1 ～ 46-67	表 46.1 アドレス一覧、「38. SD ホストインタフェース」「44. JPEG コーデックユニット」「45. EthernetAVB」のレジスタアドレスを追加。注 1. 注 2. を追記。
		46-68 ～ 46-229	表 44.2 ビット一覧、「38. SD ホストインタフェース」「44. JPEG コーデックユニット」「45. EthernetAVB」のビット一覧を追加。注 1. 注 2. 注 3. 注 4. 注 5. 注 6. を追記。
		46-230、 46-231	表 44.3 レジスタ状態一覧、「38. SD ホストインタフェース」「44. JPEG コーデックユニット」 「45. EthernetAVB」のレジスタ状態一覧を追加。　注 12. 注 13. を追記。
		47. 電気的特性	
		47-8	表 47.5 クロックタイミングを修正。　注 1. を追記。
		47-9	図 47.3 パワーオン発振安定時間を修正。
		47-10	図 47.4 スタンバイ復帰時発振安定時間（リセットによる復帰）を修正。
		47-10	図 47.5 スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）を修正。
		47-10	図 47.6 を修正。　タイトルを修正。
		47-11	表 47.6 制御信号タイミングを修正。　注 1. 注 2. を追加。
		47-11、 47-12	図 47.7（1）のタイトル修正。 図 47.7(3) リセット入力タイミング 2 と、図 47.7(4) リセット入力タイミング 3 を追加。
		47-27	図 47.21 シンクロナス DRAM シングルライトバスサイクル（オートプリチャージあり、WTRCD ＝ 2 サイクル、TRWL ＝ 1 サイクル）を修正
		47-46	表 47.14 SPI マルチ I/O バスコントローラタイミングを修正。注 2. を追記。
		47-47	図 47.47 を修正。タイトルを SDR 転送フォーマット送受信タイミング（CPHAT=0、CPHAR=0）に修正。
		47-47	図 47.48 を修正。タイトルを SDR 転送フォーマット送受信タイミング（CPHAT=1、CPHAR=1）に修正。
		47-47	図 47.49 DDR 転送フォーマット送受信タイミング（CPHAT=0、CPHAR=0) (RZ/A1LU のみ) を追加。
		47-48	図 47.50 DDR 転送フォーマット送受信タイミング（CPHAT=1、CPHAR=1) (RZ/A1LU のみ) を追加。
		47-48	図 47.51 バッファオン／オフタイミング（CPHAT=0、CPHAR=0）を修正。
		47-48	図 47.52 バッファオン／オフタイミング（CPHAT=1、CPHAR=1）を修正。
		47-51	表 47.16 シリアルサウンドインタフェースタイミングを修正。　注 1. を追記。
		47-54	47.4.13 メディアローカルバスタイミング、 「本モジュールは、RZ/A1L にのみ搭載しています。」を本文に追記。
		47-56	47.4.15 イーサネットコントローラ、EthernetAVB タイミング、タイトルを修正。 「本モジュールは、RZ/A1L にのみ搭載しています。」を本文に追記。
		47-56	表 47.19 を修正。タイトルを修正。　注 1. を追記。
		47-57	図 47.65 gPTP タイマ外部クロックタイミングを追加。
		47-58	図 47.66 タイマキャプチャ信号タイミングを追加。
		47-63	表 47.24 ビデオディスプレイコントローラ 5 タイミングを修正。　注 1. 注 2. を追記。
		47-65	表 47.25 キャプチャエンジンユニットモジュール信号タイミングを修正。
		47-65	図 47.78（1）を修正。タイトルを VIO_CLK の立ち上がりエッジでデータキャプチャする時のキャプチャエンジンユニットモジュール信号タイミングに修正。
		47-66	図 47.78（2）VIO_CLK の立ち下がりエッジでデータキャプチャする時のキャプチャエンジンユニットモジュール信号タイミング (RZ/A1LU、RZ/A1LC のみ) を追加。
		47-71	47.4.23 AC 特性測定条件、本文を修正。
		48. 端子状態と処理方法	
		48-1 ～ 48-5	表 48.1 端子状態を修正。【記号説明】を修正。注 2. 注 14. を修正。　注 16. 注 17. を追記。
		48-6	表 48.2 未使用端子の処理（デバッガインタフェース端子を除く）　注 2. を追記。
		48-6	表 48.3 エミュレータ未使用時のデバッガインタフェース端子処理　注 3. を追記。

Rev.	発行日	改訂内容	
		ページ	ポイント
4.00	2018.02.26	全体	Arm 商標変更
		1. 概要	
		1-3	表 1.1 “RZ/A1L、RZ/A1LU、RZ/A1LC の特長 ” SPI マルチ I/O バスコントローラ項目の特長欄を修正。
		1-4	表 1.1 “RZ/A1L、RZ/A1LU、RZ/A1LC の特長 ” メディア・ローカル・バス (RZ/A1L のみ) 項目の特長欄を修正。
		1-7	表 1.1 “RZ/A1L、RZ/A1LU、RZ/A1LC の特長 ” パッケージ項目の特長欄に 233 ピン BGA を追加。
		1-8	表 1.2 “ 製品一覧 ”　RZ/A1LU グループの型名欄に R7S721031VCBG と R7S721031VLBG を追加。
		1-12	図 1.4 “ ピン配置図 ” に 233 ピン BGA 版ピン配置図（上面透視図）を追加。
		1-15	表 1.3 “ 端子機能 ” FIFO 内蔵シリアルコミュニケーションインタフェースの $\overline{\text{RTS2}}$, $\overline{\text{RTS1}}$, $\overline{\text{RTS0}}$ 端子と $\overline{\text{CTS2}}$, CTS1, CTS0 端子の入出力欄を修正。
		1-18	表 1.3 “ 端子機能 ” キャプチャエンジンユニットの端子名を修正。
		1-20 ~ 1-24	表 1.4 “ 端子一覧 ” に 233 BGA 欄を追加。 同表に 233 BGA の注を追加（PVcc, Vcc, Vss 端子を表記）。
		2. CPU	
		2-1	表 2.1 “ 構成信号の設定値 ” CLUSTERID 信号の設定値を修正。
		6. クロックパルス発振器	
		6-19	6.11 “ 使用上の注意事項 ” の節を追加。　6.11.1 “SSCG 機能に関する注意事項 ” の項を追加。
		7. 割り込みコントローラ	
		7-31	図 7.2 “ 初期設定フロー ” を修正。
		7-35	7.8.2 “IRQ 割り込みに端子機能を切り換えるときの注意 ” 項の本文を修正。
			7.8.4 “ ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合の注意 ” の項を追加。
		8. バスステートコントローラ	
		8-24	8.4.4 “SDRAM コントロールレジスタ（SDCR）” 項のビット 10 (ビット名 : RMODE) の説明欄を修正。
		16. ルネサスシリアルペリフェラルインタフェース	
		16-12	表 16.3 “SPBR レジスタ、BRDV1 ～ 0 ビットの設定値とビットレート ” に 注 1. を追加。
		18. I^2C バスインタフェース	
		18-40	表 18.21 “ 転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が “1”、RIICnFER.NFE が “0” の場合）” を修正。
		18-41	表 18.22 “ 転送速度に対する RIICnBRH、RIICnBRL レジスタの設定例（RIICnFER.SCLE が “1”、RIICnFER.NFE が “1”、NF 段数が "4" の場合）” を修正。
		20. メディア・ローカル・バス	
		20-1	20.1 “ 特長 ” 節の本文を修正。
		20-2	20.3 “ レジスタの説明 ” 節の本文を修正。
		20-2	表 20.2 “ レジスタ構成 ” の注 1. を修正。
		25. LIN インタフェース	
		25-32	25.3.1.19 “RLN3nLDBRm — LIN データバッファ m レジスタ（m = 1 ～ 8）” の “ レスポンス受信の場合 : ” の本文を修正。
		26. イーサネットコントローラ	
		26-4	表 26.2 “ レジスタ構成 ” に、“ 転送機能設定レジスタ (共通)”, “CAM エントリテーブル POST 設定 1 レジスタ ”, “CAM エントリテーブル POST 設定 2 レジスタ ”, “CAM エントリテーブル POST 設定 3 レジスタ ”, “CAM エントリテーブル POST 設定 4 レジスタ ” を追加。
		26-21	26.3.21 “ 転送機能設定レジスタ (共通) (TSU_FWSLC)” 項を追加。
		26-25	26.3.25 “CAM エントリテーブル POST 設定 1 レジスタ (TSU_POST1)” 項を追加。
		26-26	26.3.26 “CAM エントリテーブル POST 設定 2 レジスタ (TSU_POST2)” 項を追加。
		26-27	26.3.27 “CAM エントリテーブル POST 設定 3 レジスタ (TSU_POST3)” 項を追加。
		26-28	26.3.28 “CAM エントリテーブル POST 設定 4 レジスタ (TSU_POST4)” 項を追加。
		26-63	26.4.1 ディスクリプタとディスクリプタリスト／ (2) 受信ディスクリプタ／ (b) 受信ディスクリプタ 1（RD1）のビット 31 ～ 16 (ビット名 : RBL[15:0]) と ビット 15 ～ 0 (ビット名 : RDL[15:0]) の 説明欄を修正。
		26-90	図 26.23 “ サムチェック計算の対象データ ” と 図 26.24 “ サムチェックデータ付加後のデータ ” を修正。

Rev.	発行日	改訂内容	
		ページ	ポイント
4.00	2018.02.26	29. ビデオディスプレイコントローラ 5（1）概要	
		29-2	表 29.1 “ ビデオディスプレイコントローラ 5 機能 ” の “ 動作周波数 ” の機能欄を修正。
		31. ビデオディスプレイコントローラ 5（3）スケーリング部	
		31-19	表 31.22 “ 縮小前画像ライン割り込み設定、ライン読み出し ” の レジスタ名 SC_SCL0_INT (ビット名 : SC_RES_LINE[10:0]) の 説明欄を修正。
		31-39	31.2.11 “ 割り込み制御レジスタ（SC0_SCL0_INT）” の ビット 10 ～ 0 (ビット名 : SC0_RES_LINE[10:0]) の 説明欄を修正。
		33. ビデオディスプレイコントローラ 5（5）画面合成部	
		33-21 ～ 33-22	33.1.15 “CLUT テーブル ” 項の本文を修正。
		33-22	33.1.16 “ 矩形領域アルファブレンドでのカレント α とのマルチプライ表示処理 ” 項の本文を修正。
		33-30	33.2.7 “ フレームバッファ制御レジスタ 5（グラフィックス（2））（GR2_FLM5）” の “ ビット 10” の初期値を修正。
		33-43	33.2.29 “ フレームバッファ制御レジスタ 5（グラフィックス（3））（GR3_FLM5）” の “ ビット 10” の初期値を修正。
		35. ビデオディスプレイコントローラ 5（8） システム制御部	
		35-1	表 35.1 “ 割り込み信号 ” の 要求要因名 S0_WLINE (ビット名 : INT_STA9) の 機能欄を修正。
		35-2	表 35.2 “ 割り込みクリア／ホールド設定 ” の レジスタ名 SYSCNT_INT2 (ビット名 : INT_STA9) の説明欄を修正。
		35-3	表 35.3 “ 割り込み出力オン／オフ設定 ” の レジスタ名 SYSCNT_INT5 (ビット名 : INT_OUT9_ON) の説明欄を修正。
		35-8	35.2.2 “ 割り込み制御レジスタ 2（SYSCNT_INT2）” の ビット 4 (ビット名 : INT_STA9) の説明欄を修正。
		35-10	35.2.4 “ 割り込み制御レジスタ 5（SYSCNT_INT5）” の ビット 4 (ビット名 INT_OUT9_ON) の説明欄を修正。
		37. SCUX	
		37-76	37.3.65 “DMA Transfer Register for FFD0_n（DMATDn_CIM ）(n=0,1,2,3) ” 項の本文を修正。
		37-77	37.3.66 “DMA Transfer Register for FFU0_n（DMATUn_CIM ）(n=0,1,2,3) ” 項の本文を修正。
		42. 低消費電力モード	
		42-20	42.2.18 “CPU ステータスレジスタ（CPUSTS）” 項の ビット 7 ～ 5 とビット 3 ～ 0 の説明欄を修正。
		42-23	42.2.21 “ スタンバイアックレジスタ 1（STBACK1）” 項の ビット 7, 6, 4, 1 の説明欄を修正。
		42-24	42.2.22 “ スタンバイアックレジスタ 2（STBACK2）” 項の ビット 4 ～ 0 の説明欄を修正。
		42-43	42.4.4 “ ソフトウェアスタンバイモードを使用し、IRQ 端子をスタンバイ解除要因として使用する場合の注意 ” の項を追加。
		43. デバッガインタフェース	
		43-13	表 43.11 “ICE レジスタ構成 ” の モードリセットコントロールレジスタ (略称 : ICEREGMDRSTCTL) の初期値を修正。
			43.4.1 “ モードリセットコントロールレジスタ（ICEREGMDRSTCTL）” 項の ビット 15 ～ 13 の初期値と説明欄を修正。
			43.4.1 “ モードリセットコントロールレジスタ（ICEREGMDRSTCTL）” 項の ビット 11 ～ 9 の初期値と説明欄を修正。
		45. EthernetAVB	
		45-195	図 45.69 “ サムチェック計算の対象データ ” と 図 45.70 “ サムチェックデータ付加後のデータ ” を修正。
		46. レジスター覧	
		46-10	表 46.1 “ アドレス一覧 ” の “CPU インタフェース実装識別レジスタ (略称 : ICCIIDR) ” のアドレスを修正。
		46-32	表 46.1 “ アドレス一覧 ” に 転送機能設定レジスタ（共通）(略称 : TSU_FWSLC), CAM エントリテーブル POST 設定 1 レジスタ (略称 : TSU_POST1), CAM エントリテーブル POST 設定 2 レジスタ (略称 : TSU_POST2), CAM エントリテーブル POST 設定 3 レジスタ (略称 : TSU_POST3), CAM エントリテーブル POST 設定 4 レジスタ (略称 : TSU_POST4) を追加。
		46-129	表 46.2 “ ビット一覧 ” に TSU_FWSLC, TSU_POST1, TSU_POST2, TSU_POST3, TSU_POST4 レジスタを追加。
		46-232 ～ 46-233	表 46.3 “ レジスタ状態一覧 ” のデバッガインタフェースモジュールの SDIR(注 7) レジスタを削除。 注 7 以降の番号を再採番。

Rev.	発行日	改訂内容	
		ページ	ポイント
4.00	2018.02.26	47. 電気的特性	
		47-8	表 47.5 “ クロックタイミング ” の 内蔵 PLL 回路発振安定時間 , 内蔵発振回路発振安定時間 (上記以外), モードホールド時 の参照図欄を修正。
			表 47.5 “ クロックタイミング ” に SSCG 安定時間 を追加。
		47-10	図 47.4 “SSCG 安定時間 ” を追加。
			図 47.5 (1) “ スタンバイ復帰時発振安定時間（リセットによる復帰）” と 図 47.5 (2) “ スタンバイ復帰時発振安定時間（NMI、IRQ による復帰）” の図番号を再採番。
		47-12	表 47.6 “ 制御信号タイミング ” の $\overline{\text{RES}}$ パルス幅 , $\overline{\text{TRST}}$ パルス幅 の参照図欄を修正。
			表 47.6 “ 制御信号タイミング ” の NMI パルス幅 , IRQ パルス幅 , TINT パルス幅 の参照図欄を修正。
		47-68	47.4.20 “SD ホストインタフェースタイミング ” の項を追加。
		付録	
		付録 -1 ～ 付録 -3	外形寸法図 A.1, A.2, A.3 を修正。
		付録 -4	外形寸法図 A.4 を追加。
5.00	2020.03.19	1. 概要	
		1-12	図1.4 233ピンBGA版ピン配置図　C11, C12の端子名　修正
		3. ブートモード	
		3-4	図3.1 SPI通信変換によりシリアルフラッシュメモリに対して出力される制御信号　修正
		9. ダイレクトメモリアクセスコントローラ	
		9-63	表9.18 外部端子リクエスト検出設定　ヘッダ行：LVL, HIEN, LOEN　修正
		9-65	表9.19 DACK0出力タイミング設定　ヘッダ行：AM[2], AM[1:0], REQD　修正
		11. OS タイマ	
		11-10	図11.3 インターバルタイマモードのOSTMのタイミング図　修正
		11-13	図11.6 フリーランニングコンペアモードのOSTMのタイミング図　修正
		15. シリアルコミュニケーションインタフェース	
		15-2	図15.1 SCIのブロック図　端子名を修正
		18. I^2C バスインタフェース	
		18-3	18.2.1 機能概要　SCLクロックの説明　修正
		18-22	18.3.6 RIICnFER—I^2Cバスファンクションイネーブルレジスタ　NACKEビットの説明　修正
		18-23, 18-24	18.3.7 RIICnSER—I^2Cバスステータスイネーブルレジスタ　SAR0E, SAR1E, SAR2E, SARyEのビット名　修正
		18-28	18.3.9 RIICnSR1—I^2Cバスステータスレジスタ1　SARyEのビット名　修正
		18-36	18.3.11 RIICnSARy—I^2C スレーブアドレスレジスタy　SARyEのビット名　修正
		18-67	図18.23 デジタルノイズフィルタ回路のブロック図　修正
		18-68	18.9.1 スレーブアドレス一致検出機能　SARyEのビット名　修正
		18-87	18.13.2 SCLクロック追加出力機能　本文修正
		18-87	図18.40 SCLクロック追加出力機能（CLOビット）　修正
		25. LINインタフェース	
		25-53	25.8 LINセルフテストモード　本文修正
		25-55	25.8.2 LINマスタ セルフテストモードにおける送信　ボーレート、ノイズフィルタ、割り込み出力関連レジスタの設定：RLN3nLWBR レジスタの設定値を修正、注1削除
		25-55	25.8.2 LINマスタ セルフテストモードにおける送信　割り込み許可、エラー許可関連レジスタの設定：RLN3nLIE レジスタの設定値　注2追加
		25-55	25.8.2 LINマスタ セルフテストモードにおける送信　注1　修正
		25-56	25.8.3 LINマスタ セルフテストモードにおける受信　ボーレート、ノイズフィルタ、割り込み出力関連レジスタの設定：RLN3nLWBR レジスタの設定値を修正、注1削除
		25-56	25.8.3 LINマスタ セルフテストモードにおける受信　割り込み許可、エラー許可関連レジスタの設定：RLN3nLIE レジスタの設定値　注2追加
		25-57	25.8.3 LINマスタ セルフテストモードにおける受信　注1　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
5.00	2020.03.19	28. USB2.0ホスト／ファンクションモジュール	
		28-35	28.11.4 NRDY割り込み許可レジスタ【NRDYENB】 タイトル：見出しレベルを変更（28.11.4以降、見出し番号を修正）
		28-35	28.11.4 NRDY割り込み許可レジスタ【NRDYENB】 (2) → (1)　見出し番号を修正
		29. ビデオディスプレイコントローラ5（1）概要	
		29-2	表29.1 ビデオディスプレイコントローラ5機能　入力映像規格：ITU-R BT.656規格拡張8bitの機能　修正
		29-3	図29.1 ビデオディスプレイコントローラ5前段ブロック図　注釈(※)　追加
		29-3	図29.2 ビデオディスプレイコントローラ5中段ブロック図　注釈(※)　追加
		30. ビデオディスプレイコントローラ5（2）入力制御部	
		30-22	表30.19 YCbCr/RGB信号の受付タイミング　垂直同期信号幅、水平同期信号幅の説明　修正
		30-30	表30.27 入力制御部レジスタ構成　タイトル修正
		30-30	表30.28 画質調整部レジスタ構成　タイトル修正
		32. ビデオディスプレイコントローラ5（4）画質改善部	
		32-10	表32.10 画質改善部レジスタ構成　タイトル修正
		34. ビデオディスプレイコントローラ5（7）出力制御部	
		34-27	表34.23 ガンマ補正部レジスタ構成　タイトル修正
		34-29	表34.24 TCON部レジスタ構成　タイトル修正
		34-29	表34.25 出力制御部レジスタ構成　タイトル修正
		37. SCUX	
		37-27	37.3.19 2SRC0_m Audio Information Register p（SADIRp_2SRC0_m）　ビット機能表：CHNUMビットの説明　修正
		37-103	表37.12 データ転送ルート(1)　ルートSSIF→SRC→FFU：No.5, 7のSSIFモジュールのチャネル名　修正
		38. SDホストインタフェース	
		38-1	冒頭の守秘契約の説明　削除
		38-1	38.1.1 特長　誤記修正
		(Rev.4.00)	38.1.4 SDカードハードウェアインタフェース　削除
		38-7	38.2.3 データストップレジスタ（SD_STOP）　ビット機能表：STPビットの説明　修正
		38-21	38.2.16 SDIOモードコントロールレジスタ（SDIO_MODE）　ビット機能表：IOABTビットの説明　修正
		(Rev.4.00)	38.3.1 SD I/F　(2)コマンドシーケンス中コマンド発行タイミング　削除
		(Rev.4.00)	38.3.1 SD I/F　(3)SDIO Interrupt　削除
		(Rev.4.00)	38.4.1 カード検出　削除
		38-35	38.4.1 データ転送を伴わないコマンド　(2)動作例　削除
		38-37	38.4.2 シングルブロックリード　(2)動作例　削除
		38-39	38.4.3 シングルブロックライト　(2)動作例　削除
		38-41	38.4.4 マルチブロックリード　(2)動作例　削除
		38-43	38.4.5 マルチブロックライト　(2)動作例　削除
		38-45	38.4.6 IO_RW_DIRECTコマンド（CMD52）　(2)動作例　削除
		38-47	38.4.7 IO_RW_EXTENDED（CMD53／マルチブロックリード）　(2)動作例　削除
		38-49	38.4.8 IO_RW_EXTENDED（CMD53／マルチブロックライト）　(2)動作例　削除
		(Rev.4.00)	38.6 電気的特性　削除
		43. デバッガインタフェース	
		43-8	43.3.3 バウンダリスキャンレジスタ（SDBSR）　本文修正
		43-8 ～ 43-11	表43.10 RZ/A1LグループおよびRZ/A1LCグループLSIの端子とバウンダリスキャンレジスタの対応 タイトル修正
		43-12 ～ 43-15	表43.11 RZ/A1LUグループLSIの端子とバウンダリスキャンレジスタの対応　追加
		44. JPEGコーデックユニット	
		44-32	44.3.2 伸長　(1)処理概要の2.の説明　修正

Rev.	発行日	改訂内容	
		ページ	ポイント
5.00	2020.03.19	46. レジスター覧	
		46-104, 46-105	表46.2 ビット一覧　I²Cバスインタフェース　RIIC0SER, RIIC1SER, RIIC2SER, RIIC3SERレジスタ：ビット2～0のビット名　修正
		47. 電気的特性	
		47-4	表47.2 DC特性（2）【消費電流】 通常動作時消費電流：Typ値　修正
6.00	2021.01.29	3. ブートモード	
		3-1	3. ブートモード　本文　修正、注1　追加
		6. クロックパルス発振器	
		6-14	図6.5 システムクロック、リアルタイムクロック用クロック樹形図　周辺クロック0C、1Cの説明　追加
		9. ダイレクトメモリアクセスコントローラ	
		9-41	表9.4 内蔵周辺モジュールリクエスト　A/D変換器のCHCFG_nレジスタのTMビットの設定値　修正
		9-43	表9.4 内蔵周辺モジュールリクエスト　I²CバスインタフェースチャネルO～I²CバスインタフェースチャネルSのDMA転送要求信号　修正
		26. イーサネットコントローラ	
		26-61	26.4.1 ディスクリプタとディスクリプタリスト　(a) 受信ディスクリプタ0 (RD0)　ビット27 (RFE)の説明　修正
		26-62	26.4.1 ディスクリプタとディスクリプタリスト　(a) 受信ディスクリプタ0 (RD0)　ビット25～16 (RFS[9:0])の説明　PFS9 → RFS9　修正
		27. A/D 変換器	
		27-20	27.5 割り込み要因とDMA転送要求　(1) ADI割り込み　本文　修正
7.00	2024.09.30	1. 概要	
		1-7, 1-8	表1.1 RZ/A1L、RZ/A1LU、RZ/A1LCの特長　汎用入出力ポートの特長　233ピン追加、パッケージの特長　PLQP0208KD-A、注1.、注2. 追加
		1-9	表1.2 製品一覧　R7S721021VCFPのパッケージ　PLQP0208KD-A、注1.、注2. 追加
		1-19	表1.3 端子機能　汎用入出力ポートの端子名（208ピン→208ピンと233ピン）、機能（208ピン→208ピン、233ピン）修正
		6. クロックパルス発振器	
		6-2	図6.1 ブロック図　注. 追加
		6-14	図6.5 システムクロック、リアルタイムクロック用クロック樹形図　注. 追加
		6-15	図6.6 音声クロック、USB クロック樹形図　注. 追加
		12. ウォッチドッグタイマ	
		12-8	12.4.1 ソフトウェアスタンバイモード解除の手順　注1. 追加
		16. ルネサスシリアルペリフェラルインタフェース	
		16-29	16.4.5 データフォーマット (3) MSB ファースト転送（8 ビットデータ） 本文（データレジスタ（SPDR）→送信バッファ（SPTX））修正
		18. I²C バスインタフェース	
		18-1	表18.1 RIIC のチャネル数　表見出し修正、233 ピン追加
		18-33	18.3.10 RIICnSR2 — I²C バスステータスレジスタ2　RDRF フラグ（受信データフルフラグ）［“1” になる条件］マスタ受信モードの説明（RIICnCR2.TRS ビットを“1”→RIICnCR2.TRS ビットを“0”）修正
		34. ビデオディスプレイコントローラ5（7） 出力制御部	
		34-71	表34.28 データ系の設定例　OUT_PIXEL_INV_ON ビット、OUT_SUM_MOVE[4:0] ビット 削除
		36. キャプチャエンジンユニット	
		36-2	表36.1 CEUの機能概要　サイズ例の特記事項　注.追加
		36-19	36.4.6 キャプチャインタフェース幅レジスタ（CAPWR） ビット12～0 (HWDTH[12:0])の説明　注1.、注2. 追加
		36-19	表36.6 取り込み（キャプチャ）サイクル幅設定単位　注1.、注2. 追加
		36-29	36.4.11 キャプチャフィルタサイズクリップレジスタ（CFSZR） ビット11～0 (HFCLP[11:0])の説明　注. 追加
		36-31	36.4.12 キャプチャデスティネーション幅レジスタ（CDWDR） ビット12～0 (CHDW[12:0])の説明　注. 追加
		36-32	36.4.13 キャプチャデータアドレスY レジスタ（CDAYR） ビット31～0 (CAYR[31:0])の説明　注1.、注2. 追加
		36-34	36.4.14 キャプチャデータアドレスC レジスタ（CDACR） ビット31～0 (CACR[31:0])の説明　注. 追加
		36-36	36.4.15 キャプチャデータボトムフィールドアドレスY レジスタ（CDBYR） ビット31～0 (CBYR[31:0])の説明　注. 追加
		36-37	36.4.16 キャプチャデータボトムフィールドアドレスC レジスタ（CDBCR） ビット31～0 (CBCR[31:0])の説明　注. 追加

Rev.	発行日	改訂内容	
		ページ	ポイント
7.00	2024.09.30	36-52	36.4.25 キャプチャデータアドレスY レジスタ2（CDAYR2） ビット31～0 (CAYR2[31:0])の説明 注1.、注2. 追加
		36-53	36.4.26 キャプチャデータアドレスC レジスタ2（CDACR2） ビット31～0 (CACR2[31:0])の説明 注. 追加
		36-55	36.4.27 キャプチャデータボトムフィールドアドレスY レジスタ2（CDBYR2） ビット31～0 (CBYR2[31:0])の説明 注. 追加
		36-56	36.4.28 キャプチャデータボトムフィールドアドレスC レジスタ2（CDBCR2） ビット31～0 (CBCR2[31:0])の説明 注. 追加
		36-58	表36.11 CEUの入出力機能の制限事項 外部モジュールインタフェースの制限事項 (画像取り込み時のキャプチャ水平幅、データ取り込み時のキャプチャ水平幅)、メモリ出力の制限事項 (出力アドレス、出力先画像（メモリ）の横幅、水平出力画素数（横クリップサイズ）) 注. 追加
		41. 汎用入出力ポート	
		41-1	41.1 特長 本文（208ピン→208ピン、233ピン）修正
		41-1	表41.1 ポートグループ パッケージ 修正
		41-14	表41.8 ポート端子数と機能 ポート1、ポート8、ポート9の備考 修正
		41-22	表41.25 端子機能（P7） P7_0の第8兼用(出力) 修正
		42. 低消費電力モード	
		42-37	図42.4 ディープスタンバイモード解除フロー 【注】 修正、参照先追加
		付録	
		付録 -3	図A.3 208 ピンQFP の外形寸法図（PLQP0208KB-A） タイトル修正
		付録 -4	図A.4 208 ピンQFP の外形寸法図（PLQP0208KD-A） 追加

RZ/A1Lグループ、RZ/A1LUグループ 、RZ/A1LCグループ
ユーザーズマニュアル　ハードウェア編

発行年月日　2013年 7月31日 Rev.1.00
　　2024年 9月30日 Rev.7.00

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RZ/A1L グループ、RZ/A1LU グループ、RZ/A1LC グループ

ルネサス エレクトロニクス株式会社

R01UH0437JJ0700