User's Manual

16

RL78/G22

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.20　2026.06

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2026 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者　このマニュアルはRL78/G22の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- 16ピン：R7F102G4x（x = C, E）
- 20ピン：R7F102G6x（x = C, E）
- 24ピン：R7F102G7x（x = C, E）
- 25ピン：R7F102G8x（x = C, E）
- 30ピン：R7F102GAx（x = C, E）
- 32ピン：R7F102GBx（x = C, E）
- 36ピン：R7F102GCx（x = C, E）
- 40ピン：R7F102GEx（x = C, E）
- 44ピン：R7F102GFx（x = C, E）
- 48ピン：R7F102GGx（x = C, E）

目的　このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成　RL78/G22のマニュアルは、このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/G22 ユーザーズマニュアル ハードウェア編	RL78ファミリ ユーザーズマニュアル ソフトウェア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読み方　このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。この★をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を< >で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

□ 命令機能の詳細を知りたいとき

→別冊のRL78ファミリ　ユーザーズマニュアル　ソフトウェア編（R01US0015J）を参照してください。

凡例

データ表記の重み：	左が上位桁、右が下位桁
アクティブ・ロウの表記：	$\overline{\times\times\times}$（端子、信号名称に上線）
注：	本文中につけた注の説明
注意：	気をつけて読んでいただきたい内容
備考：	本文の補足説明
数の表記：	2進数…××××または××××B
	10進数…××××
	16進数…××××H

関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G22　ユーザーズマニュアル　ハードウェア編	このマニュアル	R01UH0978E
RL78ファミリ　ユーザーズマニュアル　ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込みおよびオンチップ・デバッグ機能の関連資料

資料名	資料番号	
	和文	英文
PG-FP6　フラッシュメモリプログラマ　ユーザーズマニュアル	注1	注1
E2エミュレータ　ユーザーズマニュアル	R20UT3538J	R20UT3538E
E2エミュレータLite　ユーザーズマニュアル	R20UT3240J	R20UT3240E
Renesas Flash Programmer フラッシュ書き込みソフトウェア ユーザーズマニュアル	注2	注2

注1.　PG-FP6の資料は以下のホーム・ページを参照してください。

和文：https://www.renesas.com/jp/ja/software-tool/pg-fp6

英文：https://www.renesas.com/us/en/software-tool/pg-fp6

注2.　Renesas Flash Programmerの資料は以下のホーム・ページを参照してください。

和文：https://www.renesas.com/jp/ja/software-tool/renesas-flash-programmer-programming-gui

英文：https://www.renesas.com/us/en/software-tool/renesas-flash-programmer-programming-gui

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ　RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。

EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash® を使用しています。

目次

1. 概　説 1
1.1 特徴 1
1.2 型名一覧 5
1.3 端子接続図（Top View） 7
1.3.1 16ピン製品 7
1.3.2 20ピン製品 9
1.3.3 24ピン製品 11
1.3.4 25ピン製品 13
1.3.5 30ピン製品 15
1.3.6 32ピン製品 18
1.3.7 36ピン製品 21
1.3.8 40ピン製品 24
1.3.9 44ピン製品 27
1.3.10 48ピン製品 30
1.4 端子名称 33
1.5 ブロック図 34
1.6 機能概要 35

2. 端子機能 38
2.1 ポートの端子機能 38
2.1.1 16ピン製品 39
2.1.2 20ピン製品 40
2.1.3 24ピン製品 42
2.1.4 25ピン製品 44
2.1.5 30ピン製品 46
2.1.6 32ピン製品 48
2.1.7 36ピン製品 50
2.1.8 40ピン製品 52
2.1.9 44ピン製品 54
2.1.10 48ピン製品 56
2.2 ポート以外の端子機能 58
2.2.1 製品別の搭載機能 58
2.2.2 機能説明 62
2.2.3 VBAT端子 64
2.3 未使用端子の処理 66
2.4 端子ブロック図 67

3. CPUアーキテクチャ 91
3.1 メモリ空間 92
3.1.1 内部プログラム・メモリ空間 95
3.1.2 ミラー領域 99
3.1.3 内部データ・メモリ空間 101
3.1.4 特殊機能レジスタ（SFR：Special Function Register）領域 102
3.1.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 102
3.1.6 データ・メモリ・アドレッシング 103

3.2 プロセッサ・レジスタ 104
3.2.1 制御レジスタ 104
3.2.2 汎用レジスタ 106
3.2.3 ES, CS レジスタ 107
3.2.4 特殊機能レジスタ（SFR：Special Function Register） 108
3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 112
3.3 命令アドレスのアドレッシング 124
3.3.1 レラティブ・アドレッシング 124
3.3.2 イミーディエト・アドレッシング 124
3.3.3 テーブル・インダイレクト・アドレッシング 125
3.3.4 レジスタ・インダイレクト・アドレッシング 126
3.4 処理データ・アドレスに対するアドレッシング 127
3.4.1 インプライド・アドレッシング 127
3.4.2 レジスタ・アドレッシング 128
3.4.3 ダイレクト・アドレッシング 129
3.4.4 ショート・ダイレクト・アドレッシング 130
3.4.5 SFRアドレッシング 131
3.4.6 レジスタ・インダイレクト・アドレッシング 132
3.4.7 ベースト・アドレッシング 133
3.4.8 ベースト・インデクスト・アドレッシング 136
3.4.9 スタック・アドレッシング 137

4. ポート機能 140
4.1 ポートの機能 140
4.2 ポートの構成 140
4.2.1 ポート0 142
4.2.2 ポート1 142
4.2.3 ポート2 142
4.2.4 ポート3 143
4.2.5 ポート4 143
4.2.6 ポート5 143
4.2.7 ポート6 143
4.2.8 ポート7 144
4.2.9 ポート12 144
4.2.10 ポート13 145
4.2.11 ポート14 145
4.3 ポート機能を制御するレジスタ 146
4.3.1 ポート・モード・レジスタ（PMxx） 150
4.3.2 ポート・レジスタ（Pxx） 151
4.3.3 プルアップ抵抗オプション・レジスタ（PUxx） 152
4.3.4 ポート入力モード・レジスタ（PIMxx） 153
4.3.5 ポート出力モード・レジスタ（POMxx） 154
4.3.6 ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx） 155
4.3.7 ポート・モード・コントロールA・レジスタ（PMCAxx） 156
4.3.8 ポート・モード・コントロールT・レジスタ（PMCTxx） 157
4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR） 158
4.3.10 ポート・ファンクション出力許可レジスタ1（PFOE1） 160
4.3.11 ポート・モード選択レジスタ（PMS） 161

4.4 ポート機能の動作 162
4.4.1 入出力ポートへの書き込み 162
4.4.2 入出力ポートからの読み出し 162
4.4.3 入出力ポートでの演算 162
4.4.4 入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応 163
4.5 兼用機能使用時のレジスタ設定 166
4.5.1 兼用機能使用時の基本的な考え方 166
4.5.2 出力機能を使用しない兼用機能のレジスタ設定 168
4.5.3 ポートの各レジスタ設定と端子状態 169
4.5.4 使用するポート機能および兼用機能のレジスタ設定例 169
4.6 ポート機能使用時の注意事項 181
4.6.1 ポート・レジスタ（Pxx）に対する1ビット・メモリ操作命令に関する注意事項 181
4.6.2 端子設定に関する注意事項 182

5. オペレーション・ステート・コントロール 183
5.1 オペレーション・ステート・コントロールの構成 183
5.2 オペレーション・ステート・コントロールを制御するレジスタ 185
5.2.1 フラッシュ動作モード選択レジスタ（FLMODE）..... 185
5.2.2 フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）..... 187
5.3 フラッシュ動作モードの初期設定 188
5.4 フラッシュ動作モードの遷移 189
5.5 フラッシュ動作モードの詳細 190
5.5.1 HS（高速メイン）モードの詳細 190
5.5.2 LS（低速メイン）モードの詳細 191
5.5.3 LP（低電力メイン）モードの詳細 192
5.5.4 SUBモードの詳細 193

6. クロック発生回路 194
6.1 クロック発生回路の機能 194
6.2 クロック発生回路の構成 196
6.3 クロック発生回路を制御するレジスタ 199
6.3.1 クロック動作モード制御レジスタ（CMC）..... 200
6.3.2 システム・クロック制御レジスタ（CKC）..... 203
6.3.3 クロック動作ステータス制御レジスタ（CSC）..... 205
6.3.4 発振安定時間カウンタ状態レジスタ（OSTC）..... 207
6.3.5 発振安定時間選択レジスタ（OSTS）..... 209
6.3.6 周辺イネーブル・レジスタ0, 1（PER0, PER1）..... 211
6.3.7 サブシステム・クロック供給モード制御レジスタ（OSMC）..... 215
6.3.8 サブシステム・クロック選択レジスタ（CKSEL）..... 217
6.3.9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）..... 218
6.3.10 中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）..... 219
6.3.11 高速システム・クロック分周レジスタ（MOSCDIV）..... 220
6.3.12 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）..... 221
6.3.13 中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）..... 222
6.3.14 低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM）..... 223
6.3.15 スタンバイ・モード解除設定レジスタ（WKUPMD）..... 224
6.4 システム・クロック発振回路 225
6.4.1 X1発振回路 225
6.4.2 XT1発振回路 226

6.4.3 高速オンチップ・オシレータ 229
6.4.4 中速オンチップ・オシレータ 229
6.4.5 低速オンチップ・オシレータ 229
6.5 クロック発生回路の動作 230
6.6 クロックの制御 232
6.6.1 高速オンチップ・オシレータの設定例 232
6.6.2 X1発振回路の設定例 234
6.6.3 XT1発振回路の設定例 235
6.6.4 CPUクロック状態移行図 236
6.6.5 CPUクロックの移行前の条件と移行後の処理 240
6.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間 246
6.6.7 クロック発振停止前の条件 248
6.7 発振子と発振回路定数 249

7. タイマ・アレイ・ユニット（TAU） 250
7.1 タイマ・アレイ・ユニットの機能 252
7.1.1 単独チャネル動作機能 252
7.1.2 複数チャネル連動動作機能 254
7.1.3 8ビット・タイマ動作機能（チャネル1, 3のみ） 255
7.1.4 LIN-bus対応機能（チャネル7のみ） 255
7.2 タイマ・アレイ・ユニットの構成 256
7.2.1 タイマ・カウンタ・レジスタmn（TCRmn） 262
7.2.2 タイマ・データ・レジスタmn（TDRmn） 264
7.3 タイマ・アレイ・ユニットを制御するレジスタ 265
7.3.1 周辺イネーブル・レジスタ0（PER0） 266
7.3.2 周辺リセット制御レジスタ0（PRR0） 267
7.3.3 タイマ・クロック選択レジスタm（TPSm） 268
7.3.4 タイマ・モード・レジスタmn（TMRmn） 271
7.3.5 タイマ・ステータス・レジスタmn（TSRmn） 275
7.3.6 タイマ・チャネル許可ステータス・レジスタm（TEm） 276
7.3.7 タイマ・チャネル開始レジスタm（TSm） 277
7.3.8 タイマ・チャネル停止レジスタm（TTm） 279
7.3.9 タイマ入力選択レジスタ0（TIS0） 280
7.3.10 タイマ入力選択レジスタ1（TIS1） 281
7.3.11 タイマ出力許可レジスタm（TOEm） 282
7.3.12 タイマ出力レジスタm（TOm） 283
7.3.13 タイマ出力レベル・レジスタm（TOLm） 284
7.3.14 タイマ出力モード・レジスタm（TOMm） 285
7.3.15 入力切り替え制御レジスタ（ISC） 286
7.3.16 ノイズ・フィルタ許可レジスタ1（NFEN1） 287
7.3.17 タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ 289
7.4 タイマ・アレイ・ユニットの基本ルール 290
7.4.1 複数チャネル連動動作機能の基本ルール 290
7.4.2 8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ） 292
7.5 カウンタの動作 293
7.5.1 カウント・クロック（f_{TCLK}） 293
7.5.2 カウンタのスタート・タイミング 295
7.5.3 カウンタの動作 296

7.6 チャネル出力（TOmn端子）の制御 301
7.6.1 TOmn端子の出力回路の構成 301
7.6.2 TOmn端子の出力設定 302
7.6.3 チャネル出力操作時の注意事項 303
7.6.4 TOmnビットの一括操作 307
7.6.5 カウント動作開始時のタイマ割り込みとTOmn端子出力について 308
7.7 タイマ入力（TImn）の制御 309
7.7.1 TImnの入力回路構成 309
7.7.2 ノイズ・フィルタ 309
7.7.3 チャネル入力操作時の注意事項 310
7.8 タイマ・アレイ・ユニットの単独チャネル動作機能 311
7.8.1 インターバル・タイマ／方形波出力としての動作 311
7.8.2 外部イベント・カウンタとしての動作 317
7.8.3 分周器としての動作（チャネル0のみ） 322
7.8.4 入力パルス間隔測定としての動作 327
7.8.5 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作 332
7.8.6 ディレイ・カウンタとしての動作 337
7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能 342
7.9.1 ワンショット・パルス出力機能としての動作 342
7.9.2 PWM機能としての動作 351
7.9.3 多重PWM出力機能としての動作 360
7.10 タイマ・アレイ・ユニット使用時の注意事項 369
7.10.1 タイマ出力使用時の注意事項 369
7.10.2 タイマ出力をELCのイベント入力として使用するときの注意事項 369

8. リアルタイム・クロック（RTC） 370
8.1 リアルタイム・クロックの機能 370
8.2 リアルタイム・クロックの構成 371
8.3 リアルタイム・クロックを制御するレジスタ 373
8.3.1 周辺イネーブル・レジスタ0（PER0） 374
8.3.2 サブシステム・クロック供給モード制御レジスタ（OSMC） 375
8.3.3 リアルタイム・クロック・コントロール・レジスタ0（RTCC0） 376
8.3.4 リアルタイム・クロック・コントロール・レジスタ1（RTCC1） 378
8.3.5 秒カウント・レジスタ（SEC） 380
8.3.6 分カウント・レジスタ（MIN） 380
8.3.7 時カウント・レジスタ（HOUR） 381
8.3.8 日カウント・レジスタ（DAY） 383
8.3.9 曜日カウント・レジスタ（WEEK） 384
8.3.10 月カウント・レジスタ（MONTH） 385
8.3.11 年カウント・レジスタ（YEAR） 385
8.3.12 時計誤差補正レジスタ（SUBCUD） 386
8.3.13 アラーム分レジスタ（ALARMWM） 387
8.3.14 アラーム時レジスタ（ALARMWH） 387
8.3.15 アラーム曜日レジスタ（ALARMWW） 388
8.3.16 リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するレジスタ 389
8.4 リアルタイム・クロックの動作 390
8.4.1 リアルタイム・クロックの動作開始 390
8.4.2 動作開始後のHALT/STOPモードへの移行 392

8.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み 393
8.4.4 リアルタイム・クロックのアラーム設定 397
8.4.5 リアルタイム・クロックの1 Hz出力 398
8.4.6 リアルタイム・クロックの時計誤差補正例 399

9. 32ビット・インターバル・タイマ（TML32） 404
9.1 概要 404
9.2 32ビット・インターバル・タイマを制御するレジスタ 408
9.2.1 周辺イネーブル・レジスタ1（PER1） 409
9.2.2 周辺リセット制御レジスタ1（PRR1） 410
9.2.3 インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn） 411
9.2.4 インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n） 411
9.2.5 インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00） 412
9.2.6 インターバル・タイマ制御レジスタ（ITLCTL0） 413
9.2.7 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0） 415
9.2.8 インターバル・タイマ分周レジスタ0（ITLFDIV00） 416
9.2.9 インターバル・タイマ分周レジスタ1（ITLFDIV01） 418
9.2.10 インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0） 420
9.2.11 インターバル・タイマ・ステータス・レジスタ（ITLS0） 422
9.2.12 インターバル・タイマー致検出マスク・レジスタ（ITLMKF0） 424
9.3 動作説明 425
9.3.1 カウンタ・モードの設定 425
9.3.2 キャプチャ・モードの設定 428
9.3.3 タイマ動作 429
9.3.4 キャプチャ動作 430
9.3.5 割り込み動作 432
9.3.6 インターバル・タイマの設定手順 434

10. クロック出力／ブザー出力制御回路（PCLBUZ） 438
10.1 クロック出力／ブザー出力制御回路の機能 438
10.2 クロック出力／ブザー出力制御回路の構成 440
10.3 クロック出力／ブザー出力制御回路を制御するレジスタ 440
10.3.1 クロック出力選択レジスタn（CKSn） 441
10.3.2 クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ 442
10.4 クロック出力／ブザー出力制御回路の動作 443
10.4.1 出力端子の動作 443
10.5 クロック出力／ブザー出力制御回路使用時の注意事項 443

11. ウォッチドッグ・タイマ（WDT） 444
11.1 ウォッチドッグ・タイマの機能 444
11.2 ウォッチドッグ・タイマの構成 445
11.3 ウォッチドッグ・タイマを制御するレジスタ 446
11.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） 446
11.4 ウォッチドッグ・タイマの動作 447
11.4.1 ウォッチドッグ・タイマの動作制御 447
11.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定 449
11.4.3 ウォッチドッグ・タイマのウィンドウ・オープン期間の設定 450
11.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定 451

12. A/Dコンバータ（ADC） 452
12.1 A/Dコンバータの機能 452
12.2 A/Dコンバータの構成 455
12.3 A/Dコンバータを制御するレジスタ 457
12.3.1 周辺イネーブル・レジスタ0（PER0） 458
12.3.2 周辺リセット制御レジスタ0（PRR0） 459
12.3.3 A/Dコンバータ・モード・レジスタ0（ADM0） 460
12.3.4 A/Dコンバータ・モード・レジスタ1（ADM1） 469
12.3.5 A/Dコンバータ・モード・レジスタ2（ADM2） 470
12.3.6 10ビットA/D変換結果レジスタ（ADCR） 473
12.3.7 8ビットA/D変換結果レジスタ（ADCRH） 474
12.3.8 アナログ入力チャネル指定レジスタ（ADS） 475
12.3.9 変換結果比較上限値設定レジスタ（ADUL） 477
12.3.10 変換結果比較下限値設定レジスタ（ADLL） 477
12.3.11 A/Dテスト・レジスタ（ADTES） 478
12.3.12 A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ 479
12.4 A/Dコンバータの変換動作 480
12.5 入力電圧と変換結果 482
12.6 A/Dコンバータの動作モード 483
12.6.1 ソフトウェア・トリガ・モード（セレクト・モード、連続変換モード） 483
12.6.2 ソフトウェア・トリガ・モード（セレクト・モード、ワンショット変換モード） 484
12.6.3 ソフトウェア・トリガ・モード（スキャン・モード、連続変換モード） 485
12.6.4 ソフトウェア・トリガ・モード（スキャン・モード、ワンショット変換モード） 486
12.6.5 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード） 487
12.6.6 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード） 488
12.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード） 489
12.6.8 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、ワンショット変換モード） 490
12.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード） 491
12.6.10 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード） 492
12.6.11 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、連続変換モード） 493
12.6.12 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード） 494
12.7 A/Dコンバータの設定フロー・チャート 495
12.7.1 ソフトウェア・トリガ・モード時の設定 495
12.7.2 ハードウェア・トリガ・ノーウエイト・モード時の設定 496
12.7.3 ハードウェア・トリガ・ウエイト・モード時の設定 497
12.7.4 温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定（例　ソフトウェア・トリガ・モード、ワンショット変換モード時） 498
12.7.5 テスト・モード時の設定 499
12.8 SNOOZEモード機能 500
12.9 A/Dコンバータ特性表の読み方 504
12.10 A/Dコンバータ使用時の注意事項 508

13. シリアル・アレイ・ユニット（SAU） 512
13.1 シリアル・アレイ・ユニットの機能 514
13.1.1 簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21） 514
13.1.2 UART（UART0-UART2） 515
13.1.3 簡易I2C（IIC00, IIC01, IIC11, IIC20, IIC21） 516
13.2 シリアル・アレイ・ユニットの構成 517
13.2.1 シフト・レジスタ 521
13.2.2 シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット 521
13.3 シリアル・アレイ・ユニットを制御するレジスタ 523
13.3.1 周辺イネーブル・レジスタ0（PER0） 524
13.3.2 周辺リセット制御レジスタ0（PRR0） 526
13.3.3 シリアル・クロック選択レジスタm（SPSm） 527
13.3.4 シリアル・モード・レジスタmn（SMRmn） 529
13.3.5 シリアル通信動作設定レジスタmn（SCRmn） 531
13.3.6 シリアル・データ・レジスタmn（SDRmn） 533
13.3.7 シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn） 535
13.3.8 シリアル・ステータス・レジスタmn（SSRmn） 536
13.3.9 シリアル・チャネル開始レジスタm（SSm） 538
13.3.10 シリアル・チャネル停止レジスタm（STm） 539
13.3.11 シリアル・チャネル許可ステータス・レジスタm（SEm） 540
13.3.12 シリアル出力許可レジスタm（SOEm） 541
13.3.13 シリアル出力レジスタm（SOm） 542
13.3.14 シリアル出力レベル・レジスタm（SOLm） 544
13.3.15 シリアル・スタンバイ・コントロール・レジスタ0（SSC0） 546
13.3.16 入力切り替え制御レジスタ（ISC） 548
13.3.17 ノイズ・フィルタ許可レジスタ0（NFEN0） 550
13.3.18 シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ 551
13.3.19 UARTループバック選択レジスタ（ULBS） 552
13.4 動作停止モード 553
13.4.1 ユニット単位で動作停止とする場合 553
13.4.2 チャネルごとに動作停止とする場合 554
13.5 簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）通信の動作 555
13.5.1 マスタ送信 558
13.5.2 マスタ受信 567
13.5.3 マスタ送受信 576
13.5.4 スレーブ送信 585
13.5.5 スレーブ受信 593
13.5.6 スレーブ送受信 600
13.5.7 SNOOZEモード機能 609
13.5.8 転送クロック周波数の算出 615
13.5.9 簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）通信時におけるエラー発生時の処理手順 617
13.6 UART（UART0-UART2）通信の動作 618
13.6.1 UART送信 621
13.6.2 UART受信 630
13.6.3 SNOOZEモード機能 637
13.6.4 ボー・レートの算出 645
13.6.5 UART（UART0-UART2）通信時におけるエラー発生時の処理手順 650

13.7 LIN通信の動作 651
13.7.1 LIN送信 651
13.7.2 LIN受信 654
13.8 簡易I2C（IIC00, IIC01, IIC11, IIC20, IIC21）通信の動作 660
13.8.1 アドレス・フィールド送信 663
13.8.2 データ送信 669
13.8.3 データ受信 672
13.8.4 ストップ・コンディション発生 676
13.8.5 転送レートの算出 677
13.8.6 簡易I2C（IIC00, IIC01, IIC11, IIC20, IIC21）通信時におけるエラー発生時の処理手順 680

14. シリアル・インタフェースIICA（IICA） 681
14.1 シリアル・インタフェースIICAの機能 681
14.2 シリアル・インタフェースIICAの構成 684
14.3 シリアル・インタフェースIICAを制御するレジスタ 687
14.3.1 周辺イネーブル・レジスタ0（PER0） 688
14.3.2 周辺リセット制御レジスタ0（PRR0） 689
14.3.3 IICAコントロール・レジスタn0（IICCTLn0） 690
14.3.4 IICAステータス・レジスタn（IICSn） 694
14.3.5 IICAフラグ・レジスタn（IICFn） 697
14.3.6 IICAコントロール・レジスタn1（IICCTLn1） 699
14.3.7 IICAロウ・レベル幅設定レジスタn（IICWLn） 702
14.3.8 IICAハイ・レベル幅設定レジスタn（IICWHn） 702
14.3.9 シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するレジスタ 703
14.4 I2Cバス・モードの機能 704
14.4.1 端子構成 704
14.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法 705
14.5 I2Cバスの定義および制御方法 707
14.5.1 スタート・コンディション 707
14.5.2 アドレス 708
14.5.3 転送方向指定 708
14.5.4 アクノリッジ（ACK） 709
14.5.5 ストップ・コンディション 710
14.5.6 クロック・ストレッチ 711
14.5.7 クロック・ストレッチ解除方法 713
14.5.8 割り込み要求信号（INTIICAn）発生タイミングおよびクロック・ストレッチ制御 714
14.5.9 アドレスの一致検出方法 715
14.5.10 エラーの検出 715
14.5.11 拡張コード 716
14.5.12 アービトレーション 717
14.5.13 ウェイクアップ機能 719
14.5.14 通信予約 722
14.5.15 その他の注意事項 726
14.5.16 通信動作 727
14.5.17 I2C割り込み要求信号（INTIICAn）の発生タイミング 735
14.6 タイミング・チャート 755

15. シリアル・インタフェースUARTA（UARTA）..... 770
15.1 概要 770
15.2 シリアル・インタフェースUARTAを制御するレジスタ 772
15.2.1 周辺イネーブル・レジスタ1（PER1）..... 773
15.2.2 送信バッファ・レジスタn（TXBAn）..... 774
15.2.3 受信バッファ・レジスタn（RXBAn）..... 775
15.2.4 動作モード設定レジスタn0（ASIMAn0）..... 776
15.2.5 動作モード設定レジスタn1（ASIMAn1）..... 778
15.2.6 ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）..... 780
15.2.7 ステータス・レジスタn（ASISAn）..... 781
15.2.8 ステータス・クリア・トリガ・レジスタn（ASCTAn）..... 783
15.2.9 UARTAクロック選択レジスタ0（UTA0CK）..... 784
15.2.10 UARTループバック選択レジスタ（ULBS）..... 785
15.2.11 シリアル・インタフェースUARTA入出力と端子を兼用するポートのポート機能を制御するレジスタ 786
15.3 動作説明 787
15.3.1 動作停止モード 787
15.3.2 UARTモード 787
15.3.3 受信データのノイズ・フィルタ 801
15.3.4 ボー・レート・ジェネレータ 802
15.4 使用時の注意事項 810
15.4.1 RxDAn端子のポート設定 810
15.4.2 シリアル・インタフェースUARTAn動作クロック（fUTAn）選択時の注意事項 810

16. データ・トランスファ・コントローラ（DTC）..... 811
16.1 DTCの機能 811
16.2 DTCの構成 813
16.3 DTCを制御するレジスタ 814
16.3.1 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 815
16.3.2 コントロール・データの配置 816
16.3.3 ベクタ・テーブル 818
16.3.4 周辺イネーブル・レジスタ1（PER1）..... 820
16.3.5 DTC制御レジスタj（DTCCRj）..... 821
16.3.6 DTCブロック・サイズ・レジスタj（DTBLSj）..... 823
16.3.7 DTC転送回数レジスタj（DTCCTj）..... 824
16.3.8 DTC転送回数リロード・レジスタj（DTRLDj）..... 824
16.3.9 DTCソース・アドレス・レジスタj（DTSARj）..... 825
16.3.10 DTCデスティネーション・アドレス・レジスタj（DTDARj）..... 825
16.3.11 DTC起動許可レジスタi（DTCENi）..... 826
16.3.12 DTCベース・アドレス・レジスタ（DTCBAR）..... 829
16.4 DTCの動作 830
16.4.1 起動要因 831
16.4.2 ノーマル・モード 832
16.4.3 リピート・モード 835
16.4.4 チェイン転送 838
16.5 DTC使用時の注意事項 840
16.5.1 DTCのコントロール・データおよびベクタ・テーブルの設定 840
16.5.2 DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置 840
16.5.3 DTC保留命令 841

16.5.4 データ・フラッシュ・メモリ領域にアクセスする場合の動作 841
16.5.5 DTC実行クロック数 842
16.5.6 DTC応答時間 843
16.5.7 DTC起動要因 843
16.5.8 スタンバイ・モード時の動作 844

17. イベント・リンク・コントローラ（ELC） 845
17.1 ELCの機能 845
17.2 ELCの構成 845
17.3 ELCを制御するレジスタ 846
17.3.1 イベント出力先選択レジスタn（ELSELRn） 847
17.4 ELCの動作 850

18. 割り込み機能 852
18.1 割り込み機能の種類 852
18.2 割り込み要因と構成 852
18.3 割り込み機能を制御するレジスタ 858
18.3.1 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L） 862
18.3.2 割り込みマスク・フラグ・レジスタ
（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L） 864
18.3.3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H,
PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L） 866
18.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、
外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1） 870
18.3.5 プログラム・ステータス・ワード（PSW） 872
18.3.6 割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ 873
18.4 割り込み処理動作 874
18.4.1 マスカブル割り込み要求の受付動作 874
18.4.2 ソフトウェア割り込み要求の受付動作 877
18.4.3 多重割り込み処理 877
18.4.4 割り込み要求の保留 881

19. キー割り込み機能 882
19.1 キー割り込みの機能 882
19.2 キー割り込みの構成 883
19.3 キー割り込みを制御するレジスタ 884
19.3.1 キー・リターン・コントロール・レジスタ（KRCTL） 884
19.3.2 キー・リターン・モード・レジスタ0（KRM0） 885
19.3.3 キー・リターン・フラグ・レジスタ（KRF） 886
19.3.4 キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ 886

20. スタンバイ機能 887
20.1 スタンバイ機能 887
20.2 スタンバイ機能を制御するレジスタ 888
20.2.1 スタンバイ・モード解除設定レジスタ（WKUPMD） 889
20.3 スタンバイ機能の動作 890
20.3.1 HALTモード 890
20.3.2 STOPモード 897
20.3.3 SNOOZEモード 902

21. リセット機能 906
21.1 リセット動作のタイミング 908
21.2 リセット要因を確認するレジスタ 912
21.2.1 リセット・コントロール・フラグ・レジスタ（RESF） 912
21.2.2 パワーオン・リセット・ステータス・レジスタ（PORSR） 915
21.2.3 周辺リセット制御レジスタ0（PRR0） 916
21.2.4 周辺リセット制御レジスタ1（PRR1） 917

22. パワーオン・リセット回路（POR） 918
22.1 パワーオン・リセット回路の機能 918
22.2 パワーオン・リセット回路の構成 919
22.3 パワーオン・リセット回路の動作 920

23. 電圧検出回路（LVD） 922
23.1 電圧検出回路の機能 922
23.2 電圧検出回路の構成 923
23.3 電圧検出回路を制御するレジスタ 924
23.3.1 電圧検出レジスタ（LVIM） 924
23.3.2 LVD検出フラグ・クリア・レジスタ（LVDFCLR） 925
23.3.3 電圧検出レベル・レジスタ（LVIS） 926
23.4 電圧検出回路の動作 928
23.4.1 リセット・モードとして使用する場合の設定 928
23.4.2 割り込みモードとして使用する場合の設定 931
23.5 電圧検出回路使用時の注意事項 934

24. 安全機能 937
24.1 安全機能の概要 937
24.2 安全機能で使用するレジスタ 938
24.3 安全機能の動作 938
24.3.1 フラッシュ・メモリCRC演算機能（高速CRC） 938
24.3.1.1 フラッシュ・メモリCRC制御レジスタ（CRC0CTL） 939
24.3.1.2 フラッシュ・メモリCRC演算結果レジスタ（PGCRCL） 940
24.3.2 CRC演算機能（汎用CRC） 942
24.3.2.1 CRC入力レジスタ（CRCIN） 942
24.3.2.2 CRCデータ・レジスタ（CRCD） 943
24.3.3 フラッシュ・メモリ・ガード機能 944
24.3.3.1 コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0） 944
24.3.3.2 データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1） 945
24.3.3.3 フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2） 946
24.3.4 RAMパリティ・エラー検出機能 947
24.3.4.1 RAMパリティ・エラー制御レジスタ（RPECTL） 947
24.3.5 RAMガード機能 949
24.3.5.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL） 949
24.3.6 SFRガード機能 950
24.3.6.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL） 950
24.3.7 不正メモリ・アクセス検出機能 951
24.3.7.1 不正メモリ・アクセス検出制御レジスタ（IAWCTL） 952
24.3.8 不正メモリ・アクセス検出制御レジスタのガード機能 953
24.3.8.1 IAWCTLレジスタ・ガードレジスタ（GIAWCTL） 953

24.3.9　周波数検出機能 954
24.3.9.1　タイマ入力選択レジスタ0（TIS0）..... 955
24.3.10 A/Dテスト機能 956
24.3.10.1 A/Dテスト・レジスタ（ADTES）..... 958
24.3.10.2 アナログ入力チャネル指定レジスタ（ADS）..... 959
24.3.11 入出力端子のデジタル出力信号レベル検出機能 961
24.3.11.1 ポート・モード選択レジスタ（PMS）..... 961
24.3.12 UARTループバック機能 962
24.3.12.1 UARTループバック選択レジスタ（ULBS）..... 963

25.　セキュリティ機能 964
25.1　真性乱数発生器（TRNG）..... 964
25.1.1　真性乱数発生器の機能 964
25.1.2　真性乱数発生器を制御するレジスタ 964
25.1.2.1　乱数シード・コマンド・レジスタ0（TRNGSCR0）..... 965
25.1.2.2　乱数シード・データ・レジスタ（TRNGSDR）..... 966
25.1.3　真性乱数発生器の動作 967
25.2　フラッシュ・リード・プロテクション 968
25.2.1　フラッシュ・リード・プロテクションの機能 968
25.2.2　フラッシュ・リード・プロテクションの設定 968
25.2.3　動作説明 970
25.3　ユニークID 971
25.3.1　ユニークIDの機能 971
25.3.2　製品名のアスキー・コード 971

26.　SNOOZEモード・シーケンサ（SMS）..... 973
26.1　SNOOZEモード・シーケンサの機能 973
26.2　SNOOZEモード・シーケンサの構成 974
26.3　SNOOZEモード・シーケンサを制御するレジスタ 975
26.3.1　周辺イネーブル・レジスタ1（PER1）..... 975
26.3.2　周辺リセット制御レジスタ1（PRR1）..... 976
26.3.3　シーケンサ・インストラクション・レジスタp（SMSIp）..... 977
26.3.4　シーケンサ汎用レジスタn（SMSGn）..... 980
26.3.5　シーケンサ制御レジスタ（SMSC）..... 982
26.3.6　シーケンサ・ステータス・レジスタ（SMSS）..... 984
26.4　SNOOZEモード・シーケンサの動作 985
26.4.1　SNOOZEモード・シーケンサの内部の動作 985
26.4.2　シーケンサのメモリ空間 986
26.4.3　シーケンサ・フラグ 988
26.4.4　SNOOZEモード・シーケンサの割り込み 988
26.4.5　SNOOZEモード・シーケンサの操作手順 989
26.4.6　SNOOZEモード・シーケンサの状態 991
26.5　シーケンサ処理コマンド 992
26.5.1　8ビット・データ転送処理1 993
26.5.2　8ビット・データ転送処理2 994
26.5.3　16ビット・データ転送処理1 995
26.5.4　16ビット・データ転送処理2 996
26.5.5　1ビット・データ・セット処理 997
26.5.6　1ビット・データ・クリア処理 998

26.5.7 1ビット・データ転送処理 999
26.5.8 ワード・データ加算処理 1000
26.5.9 ワード・データ減算処理 1001
26.5.10 ワード・データ比較処理 1002
26.5.11 右方向論理シフト処理 1003
26.5.12 分岐処理1（SCY = 1） 1004
26.5.13 分岐処理2（SCY = 0） 1005
26.5.14 分岐処理3（SZ = 1） 1006
26.5.15 分岐処理4（SZ = 0） 1007
26.5.16 ウエイト処理 1008
26.5.17 条件付きウエイト処理1（bit = 1） 1010
26.5.18 条件付きウエイト処理2（bit = 0） 1011
26.5.19 終了処理 1012
26.5.20 DTC起動処理 1013
26.6 スタンバイ・モード時の動作 1014

27. 静電容量センサユニット（CTSU2La） 1015
27.1 概要 1017
27.1.1 CTSUの機能概要 1017
27.1.2 計測ステータス 1019
27.2 静電容量センサユニットを制御するレジスタ 1021
27.2.1 周辺イネーブル・レジスタ1（PER1） 1022
27.2.2 周辺リセット制御レジスタ1（PRR1） 1023
27.2.3 CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH） 1024
27.2.4 CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH） 1032
27.2.5 CTSU計測チャネルレジスタL, H（CTSUMCHL, CTSUMCHH） 1035
27.2.6 CTSUチャネル有効制御レジスタAL, AH, BL, BH
（CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH） 1037
27.2.7 CTSUチャネル送受信制御レジスタAL, AH, BL, BH
（CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH） 1039
27.2.8 CTSUステータスレジスタL（CTSUSRL） 1041
27.2.9 CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1） 1044
27.2.10 CTSUセンサカウンタレジスタ（CTSUSC, CTSUUC） 1047
27.2.11 CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1） 1048
27.2.12 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH
（CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3） 1052
27.2.13 CTSUトリミングレジスタAL, AH（CTSUTRIM0, CTSUTRIM1） 1054
27.2.14 CTSUトリミングレジスタBL, BH（CTSUTRIM2, CTSUTRIM3） 1055
27.2.15 静電容量センサユニット入出力と端子を兼用するポートのポート機能を
制御するレジスタ 1056
27.3 動作説明 1057
27.3.1 計測動作原理 1057
27.3.2 初期設定手順 1060
27.3.3 計測方式 1061
27.3.4 スキャンモード 1064
27.3.5 マルチクロック計測 1064
27.3.6 複数電極接続機能 1064
27.3.7 割り込み 1065

27.4 静電容量センサユニット使用時の注意事項 1067
27.4.1 静電容量センサユニットによる検出動作の評価について 1067
27.4.2 TSCAP端子 1067
27.4.3 計測動作中のクロック、ポート設定の変更 1067
27.4.4 ソフトウェアトリガ 1067
27.4.5 外部トリガ 1068
27.4.6 CTSUセンサカウンタレジスタ（CTSUSC, CTSUUC）読み出し 1068
27.4.7 強制停止 1068
27.4.8 スペクトラム拡散機能使用時のサンプリング周期 1068
27.4.9 自己容量方式使用時の送信端子設定 1068
27.4.10 ノイズ対策上の注意点 1069
27.4.11 メモリ占有量 1070

28. レギュレータ 1071
28.1 レギュレータの概要 1071

29. オプション・バイト 1072
29.1 オプション・バイトの機能 1072
29.1.1 ユーザ・オプション・バイト（000C0H-000C2H/020C0H-020C2H） 1072
29.1.2 オンチップ・デバッグ・オプション・バイト（000C3H/020C3H） 1073
29.2 ユーザ・オプション・バイトのフォーマット 1074
29.3 オンチップ・デバッグ・オプション・バイトのフォーマット 1078
29.4 オプション・バイトの設定 1079

30. フラッシュ・メモリ 1080
30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 1081
30.1.1 プログラミング環境 1083
30.1.2 通信方式 1083
30.2 外部デバイス（UART内蔵）によるシリアル・プログラミング 1084
30.2.1 プログラミング環境 1084
30.2.2 通信方式 1085
30.3 オンボード上の端子処理 1086
30.3.1 P40/TOOL0端子 1086
30.3.2 RESET端子 1087
30.3.3 ポート端子 1088
30.3.4 REGC端子 1088
30.3.5 電源 1088
30.4 プログラミング方法 1089
30.4.1 シリアル・プログラミング手順 1089
30.4.2 フラッシュ・メモリ・プログラミング・モード 1090
30.4.3 通信方式 1091
30.4.4 通信コマンド 1092
30.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値） 1094
30.6 セルフ・プログラミング 1095
30.6.1 セルフ・プログラミング手順 1096
30.6.2 フラッシュ・メモリを制御するレジスタ 1097
30.6.2.1 フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL） 1098
30.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL） 1099

30.6.2.3 フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL）.....1101
30.6.2.4 フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）.....1102
30.6.2.5 フラッシュ・ステータス・レジスタ（PFS）.....1103
30.6.2.6 フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）.....1104
30.6.2.7 フラッシュ領域選択レジスタ（FLARS）.....1105
30.6.2.8 フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）.....1106
30.6.2.9 フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）.....1108
30.6.2.10 フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）.....1110
30.6.2.11 フラッシュ・レジスタ初期化レジスタ（FLRST）.....1112
30.6.2.12 フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）.....1113
30.6.2.13 フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）.....1115
30.6.2.14 フラッシュ FSWモニタ・レジスタE（FLFSWE）.....1116
30.6.2.15 フラッシュ FSWモニタ・レジスタS（FLFSWS）.....1117
30.6.2.16 データ・フラッシュ・コントロール・レジスタ（DFLCTL）.....1118
30.6.2.17 割り込みベクタ移動許可レジスタ（VECTCTRL）.....1119
30.6.2.18 割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1）.....1120
30.6.3 フラッシュ・メモリ制御モードの設定.....1121
30.6.4 フラッシュ・メモリ・シーケンサ用レジスタの初期化.....1123
30.6.5 フラッシュ・メモリ・シーケンサの動作周波数設定.....1123
30.6.6 フラッシュ・メモリの書き換え.....1124
30.6.7 コード・フラッシュ・プログラミング・モード中の割り込み.....1135
30.6.8 フラッシュ・メモリ領域書き換え時のコマンドの実行例.....1137
30.6.9 セルフ・プログラミング時の注意事項.....1140
30.7 ブート・スワップ機能.....1141
30.8 フラッシュ・シールド・ウィンドウ機能.....1143
30.9 セキュリティ設定.....1144
30.10 データ・フラッシュ・メモリ.....1147
30.10.1 データ・フラッシュ・メモリの概要.....1147
30.10.2 データ・フラッシュ・メモリへのアクセス手順.....1148

31. オンチップ・デバッグ機能.....1149
31.1 E2, E2 Liteオンチップ・デバッギング・エミュレータとの接続.....1149
31.2 外部デバイス（UART内蔵）との接続.....1150
31.3 オンチップ・デバッグのセキュリティ設定.....1150
31.4 ユーザ資源の確保.....1151

32. 10進補正（BCD）回路.....1153
32.1 10進補正回路の機能.....1153
32.2 10進補正回路で使用するレジスタ.....1153
32.2.1 BCD補正結果レジスタ（BCDADJ）.....1153
32.3 10進補正回路の動作.....1154

33. 命令セットの概要.....1156
33.1 凡例.....1157
33.1.1 オペランドの表現形式と記述方法.....1157
33.1.2 オペレーション欄の説明.....1158
33.1.3 フラグ動作欄の説明.....1159
33.1.4 PREFIX命令.....1159

33.2 オペレーション一覧 1160

34. 電気的特性 1178
34.1 絶対最大定格 1179
34.2 発振回路特性 1181
34.2.1 X1発振回路特性 1181
34.2.2 XT1発振回路特性 1181
34.2.3 オンチップ・オシレータ特性 1182
34.3 DC特性 1183
34.3.1 端子特性 1183
34.3.2 電源電流特性 1189
34.4 AC特性 1196
34.5 周辺機能特性 1201
34.5.1 シリアル・アレイ・ユニット 1201
34.5.2 シリアル・インタフェースUARTA 1231
34.5.3 シリアル・インタフェースIICA 1232
34.6 アナログ特性 1235
34.6.1 A/Dコンバータ特性（TA = –40～+85℃） 1235
34.6.2 A/Dコンバータ特性（TA = –40～+105℃） 1240
34.6.3 温度センサ／内部基準電圧特性 1244
34.6.4 POR回路特性 1245
34.6.5 LVD回路特性 1246
34.6.6 電源電圧立ち上がり特性 1248
34.7 RAMデータ保持特性 1249
34.8 フラッシュ・メモリ・プログラミング特性 1249
34.9 専用フラッシュ・メモリ・プログラマ通信（UART） 1251
34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング 1251

35. 外形図 1252
35.1 16ピン製品 1252
35.2 20ピン製品 1253
35.3 24ピン製品 1254
35.4 25ピン製品 1255
35.5 30ピン製品 1256
35.6 32ピン製品 1257
35.7 36ピン製品 1260
35.8 40ピン製品 1261
35.9 44ピン製品 1262
35.10 48ピン製品 1264

付録A 改版履歴 1267
A.1 本版で改訂された主な箇所 1267
A.2 前版までの改版履歴 1272

第1章　概　　説

1.1　特徴

超低消費電力テクノロジー

- V_{DD} = 1.6～5.5 Vの単一電源
- HALTモード
- STOPモード
  STOPモードから高速ウェイクアップ可能
- SNOOZEモード

RL78 CPU コア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.03125 μs：高速オンチップ・オシレータ・クロック32 MHz動作時）から超低速（30.5 μs：サブシステム・クロック32.768 kHz動作時）までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ × 8 × 4バンク
- 内蔵RAM：4 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：32 KB, 64 KB
- ブロック・サイズ：2 KB
- ブロック消去禁止、書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング：ブート・スワップ機能とフラッシュ・シールド・ウィンドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：2 KB
- バックグランド・オペレーション（BGO）：データ・フラッシュ・メモリ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回（Typ.）

高速オンチップ・オシレータ

- 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHzから選択
- 高精度±1.0%（V_{DD} = 1.8～5.5 V、T_A = –20～+85°C）

中速オンチップ・オシレータ

- 4 MHz, 2 MHz, 1 MHzから選択（補正可能）

低速オンチップ・オシレータ

- 32.768 kHz（Typ.）（補正可能）

動作温度範囲

- T_A = –40～+85°C（2D：民生用途）
- T_A = –40～+105°C（3C：産業用途）

電源管理とリセット機能

- パワーオン・リセット回路（POR）
- 電圧検出回路（LVD0, LVD1）

データ・トランスファ・コントローラ（DTC）

- 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード
- 起動要因：割り込み要因により起動
- チェイン転送機能あり

SNOOZE モード・シーケンサ（SMS）

- シーケンサ処理コマンドによる演算処理や値比較処理によって、通常動作に復帰しない間欠動作を実現可能
- 21種類の処理から合計で32個の処理を選択して順次に実行可能
- CPUやフラッシュ・メモリ、RAMを使用せずに低消費電力で動作可能

イベント・リンク・コントローラ（ELC）

- 20種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- 簡易SPI（CSI注）：1～5チャネル
- UART／UART（LIN-bus対応）／UARTA：1～4チャネル
- I^2C／簡易I^2C：2～6チャネル

タイマ

- 16ビット・タイマ：8チャネル
- 32ビット・インターバル・タイマ：32ビット・カウンタ・モード時：1チャネル
  16ビット・カウンタ・モード時：2チャネル
  8ビット・カウンタ・モード時：4チャネル
- リアルタイム・クロック：1チャネル（99年カレンダ、アラーム機能、時計補正機能）
- ウォッチドッグ・タイマ：1チャネル（低速オンチップ・オシレータ・クロックで動作）

A/D コンバータ

- 8／10ビット分解能
- アナログ入力：3～10チャネル
- 内部基準電圧（1.48 V (Typ.)）と温度センサを搭載

静電容量センサユニット

- 動作電圧条件：V_{DD} = 1.8～5.5 V
- 自己容量方式：1端子1キー構成で最大29キーに対応
- 相互容量方式：29端子から送信／受信端子を選択してマトリクス構成でキーを作成可能

入出力ポート

- I/Oポート：12～44本
  （N-ch オープン・ドレイン出力／入力 [6 V 耐圧]：0 ～ 4 本、
  N-ch オープン・ドレイン出力／入力 [V_{DD} 耐圧]：4 ～ 13 本）
- N-chオープン・ドレイン、TTL入力バッファ、内蔵プルアップの切り替え可能
- 異電位（1.8 V系、2.5 V系、3 V系）動作デバイスと接続可能

その他

- キー割り込み機能
- クロック出力／ブザー出力制御回路
- 10進補正（BCD）回路

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

備考 製品によって、搭載している機能が異なります。詳細は、**1.6 機能概要**を参照してください。

○ ROM, RAM 容量

コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	RAM	RL78/G22				
			16 ピン	20 ピン	24 ピン	25 ピン	30 ピン
64 KB	2 KB	4 KB	R7F102G4E	R7F102G6E	R7F102G7E	R7F102G8E	R7F102GAE
32 KB	2 KB	4 KB	R7F102G4C	R7F102G6C	R7F102G7C	R7F102G8C	R7F102GAC

コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	RAM	RL78/G22				
			32 ピン	36 ピン	40 ピン	44 ピン	48 ピン
64 KB	2 KB	4 KB	R7F102GBE	R7F102GCE	R7F102GEE	R7F102GFE	R7F102GGE
32 KB	2 KB	4 KB	R7F102GBC	R7F102GCC	R7F102GEC	R7F102GFC	R7F102GGC

1.2 型名一覧

図1 - 1 RL78/G22の型名とメモリ・サイズ、パッケージ

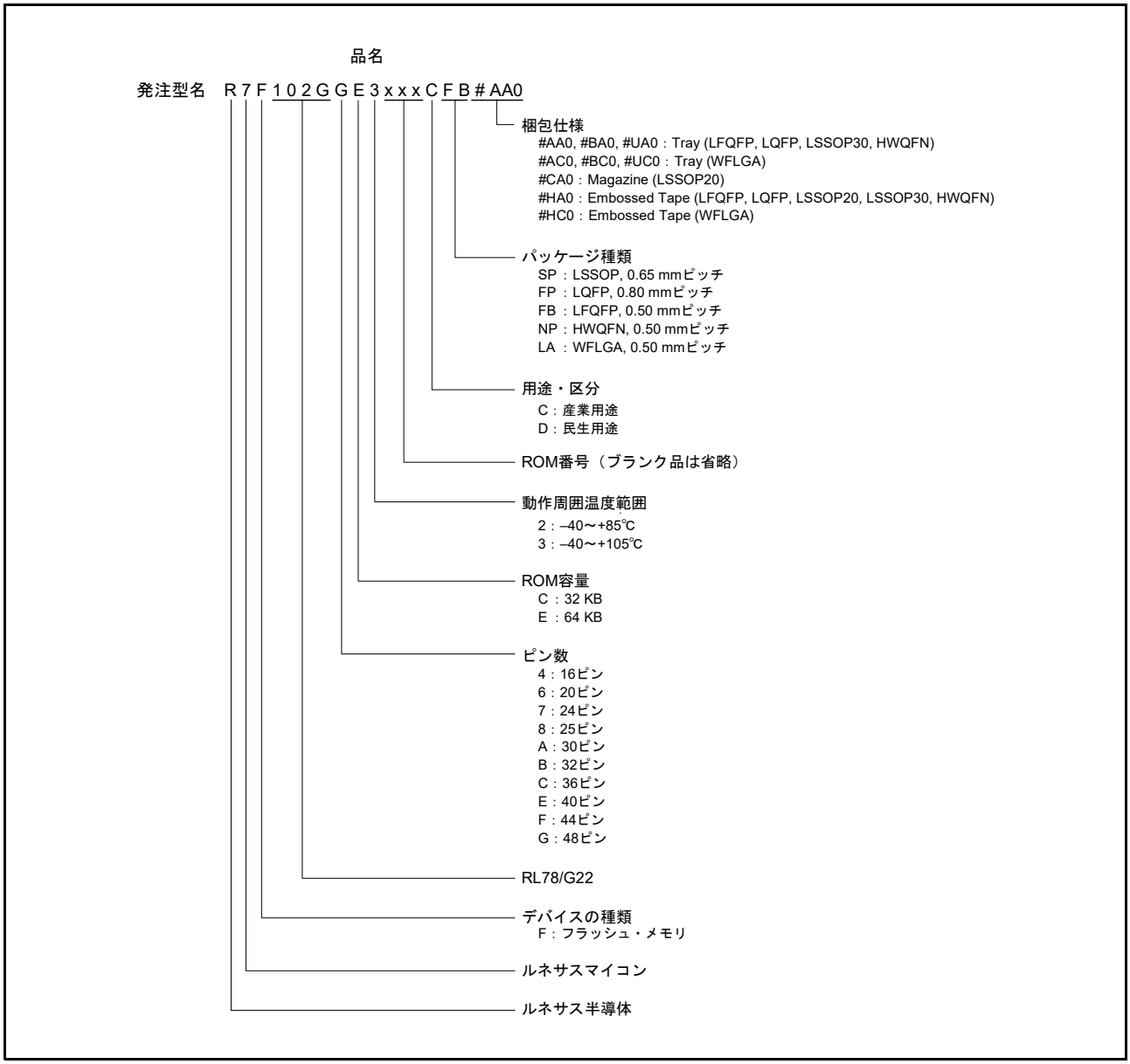


表1 - 1 発注型名一覧

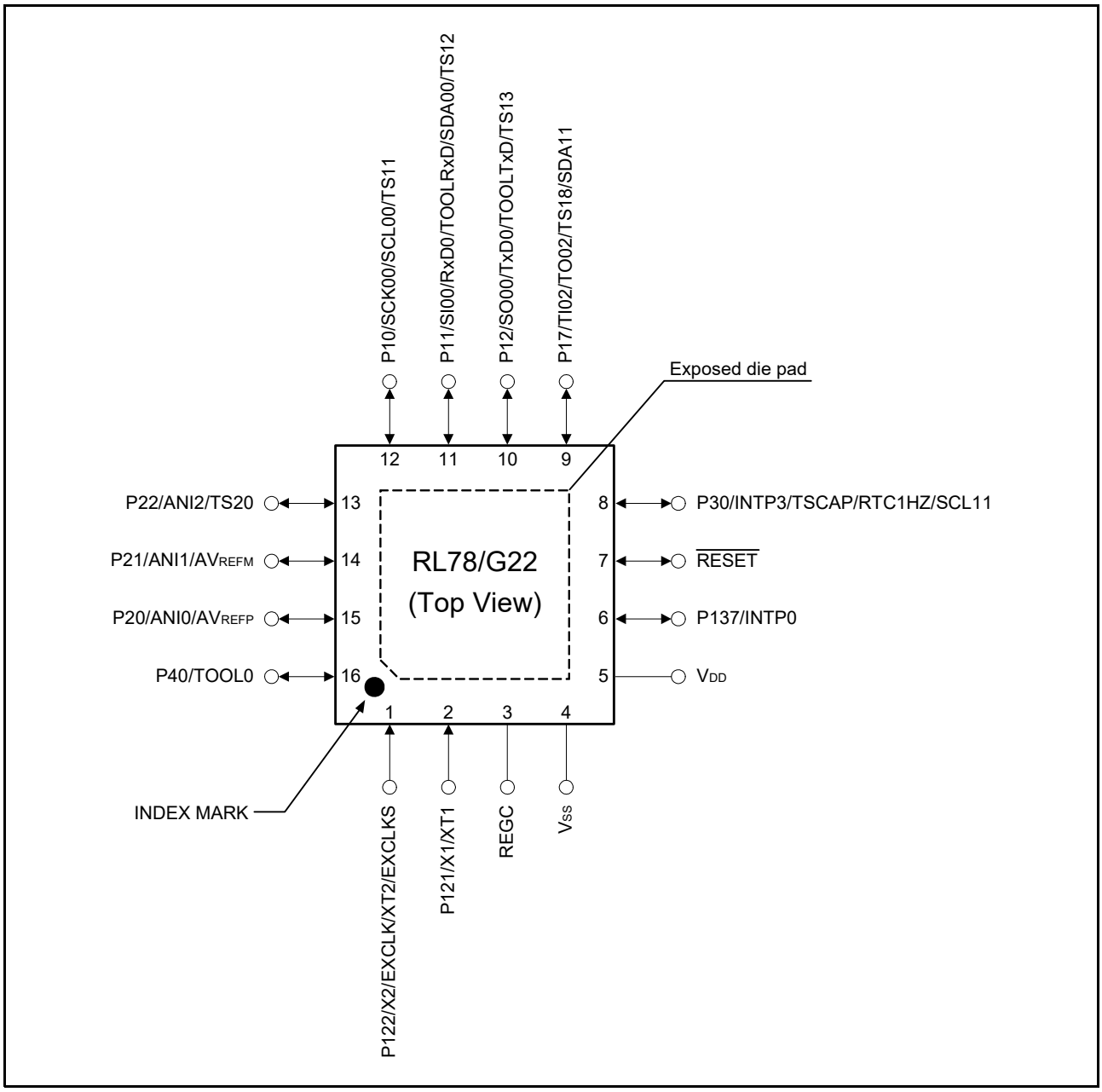
ピン数	パッケージ	用途・区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
16ピン	16ピン・プラスチックHWQFN（3 × 3 mm、0.50 mmピッチ）	C	R7F102G4C3CNP, R7F102G4E3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0016KD-A
		D	R7F102G4C2DNP, R7F102G4E2DNP		
20ピン	20ピン・プラスチックLSSOP（4.4 × 6.5 mm、0.65 mmピッチ）	C	R7F102G6C3CSP, R7F102G6E3CSP	#CA0, #HA0	PLSP0020JB-A
		D	R7F102G6C2DSP, R7F102G6E2DSP		
24ピン	24ピン・プラスチックHWQFN（4 × 4 mm、0.5mmピッチ）	C	R7F102G7C3CNP, R7F102G7E3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0024KG-A
		D	R7F102G7C2DNP, R7F102G7E2DNP		
25ピン	25ピン・プラスチックWFLGA（3 × 3 mm、0.5mmピッチ）	C	R7F102G8C3CLA, R7F102G8E3CLA	#AC0, #BC0, #UC0, #HC0	PWLG0025KB-A
		D	R7F102G8C2DLA, R7F102G8E2DLA		
30ピン	30ピン・プラスチックLSSOP（7.62 mm（300）、0.65 mmピッチ）	C	R7F102GAC3CSP, R7F102GAE3CSP	#AA0, #BA0, #UA0, #HA0	PLSP0030JB-B
		D	R7F102GAC2DSP, R7F102GAE2DSP		
32ピン	32ピン・プラスチックHWQFN（5 × 5 mm、0.50 mmピッチ）	C	R7F102GBC3CNP, R7F102GBE3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0032KE-A
		D	R7F102GBC2DNP, R7F102GBE2DNP		
	32ピン・プラスチックLQFP（7 × 7 mm、0.80 mmピッチ）	C	R7F102GBC3CFP, R7F102GBE3CFP	#AA0, #BA0, #UA0, #HA0	PLQP0032GB-A, PLQP0032GE-A
		D	R7F102GBC2DFP, R7F102GBE2DFP		
36ピン	36ピン・プラスチックWFLGA（4 × 4 mm、0.50 mmピッチ）	C	R7F102GCC3CLA, R7F102GCE3CLA	#BC0, #AC0, #UC0, #HC0	PWLG0036KB-A
		D	R7F102GCC2DLA, R7F102GCE2DLA		
40ピン	40ピン・プラスチックHWQFN（6 × 6 mm、0.50 mmピッチ）	C	R7F102GEC3CNP, R7F102GEE3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0040KD-A
		D	R7F102GEC2DNP, R7F102GEE2DNP		
44ピン	44ピン・プラスチックLQFP（10 × 10 mm、0.80 mmピッチ）	C	R7F102GFC3CFP, R7F102GFE3CFP	#AA0, #BA0, #UA0, #HA0	PLQP0044GC-A, PLQP0044GE-A
		D	R7F102GFC2DFP, R7F102GFE2DFP		
48ピン	48ピン・プラスチックLFQFP（7 × 7 mm、0.50 mmピッチ）	C	R7F102GGC3CFB, R7F102GGE3CFB	#AA0, #BA0, #UA0, #HA0	PLQP0048KB-B, PLQP0048KL-A
		D	R7F102GGC2DFB, R7F102GGE2DFB		
	48ピン・プラスチックHWQFN（7 × 7 mm、0.50 mmピッチ）	C	R7F102GGC3CNP, R7F102GGE3CNP	#AA0, #BA0, #UA0, #HA0	PWQN0048KC-A
		D	R7F102GGC2DNP, R7F102GGE2DNP		

注 用途区分は、**図1 - 1 RL78/G22の型名とメモリ・サイズ、パッケージ**を参照してください。

1.3 端子接続図（Top View）

1.3.1 16ピン製品

- 16ピン・プラスチックHWQFN（3 × 3 mm、0.5 mmピッチ）



注意 **REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。**

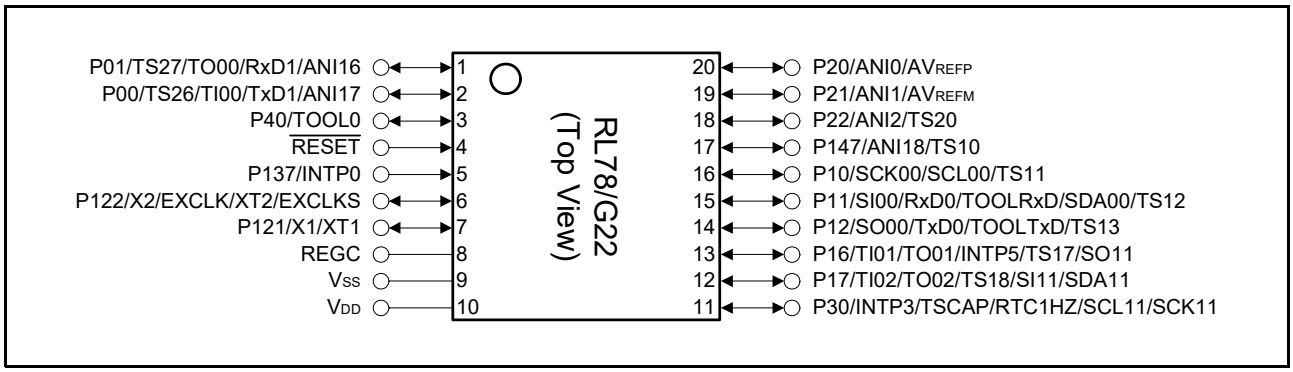
備考 端子名称は、**1.4 端子名称**を参照してください。

表1 - 2 16ピン製品の兼用機能

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
16HWQFN	デジタル・ポート		A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	静電容量センサユニット（CTSU2La）	タイマ・アレイ・ユニット（TAU）	時計用タイマ（RTC）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
1	P122	X2/XT2/EXCLK/EXCLKS	—	—	—	—	—	—	—	—	—
2	P121	X1/XT1	—	—	—	—	—	—	—	—	—
3	—	REGC	—	—	—	—	—	—	—	—	—
4	—	VSS	—	—	—	—	—	—	—	—	—
5	—	VDD	—	—	—	—	—	—	—	—	—
6	P137	—	—	INTP0	—	—	—	—	—	—	—
7	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—
8	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCL11	—	—
9	P17	—	—	—	—	TS18	TI02/TO02	—	SDA11	—	—
10	P12	TOOLTxD	—	—	—	TS13	—	—	SO00/TxD0	—	—
11	P11	TOOLRxD	—	—	—	TS12	—	—	SI00/RxD0/SDA00	—	—
12	P10	—	—	—	—	TS11	—	—	SCK00/SCL00	—	—
13	P22	—	ANI2	—	—	TS20	—	—	—	—	—
14	P21	—	ANI1/AVREFM	—	—	—	—	—	—	—	—
15	P20	—	ANI0/AVREFP	—	—	—	—	—	—	—	—
16	P40	TOOL0	—	—	—	—	—	—	—	—	—

1.3.2 20ピン製品

- 20ピン・プラスチックLSSOP（4.4 × 6.5 mm、0.65 mmピッチ）



注意　REGC端子はコンデンサ（0.47～1 μF）を介し、VSSに接続してください。

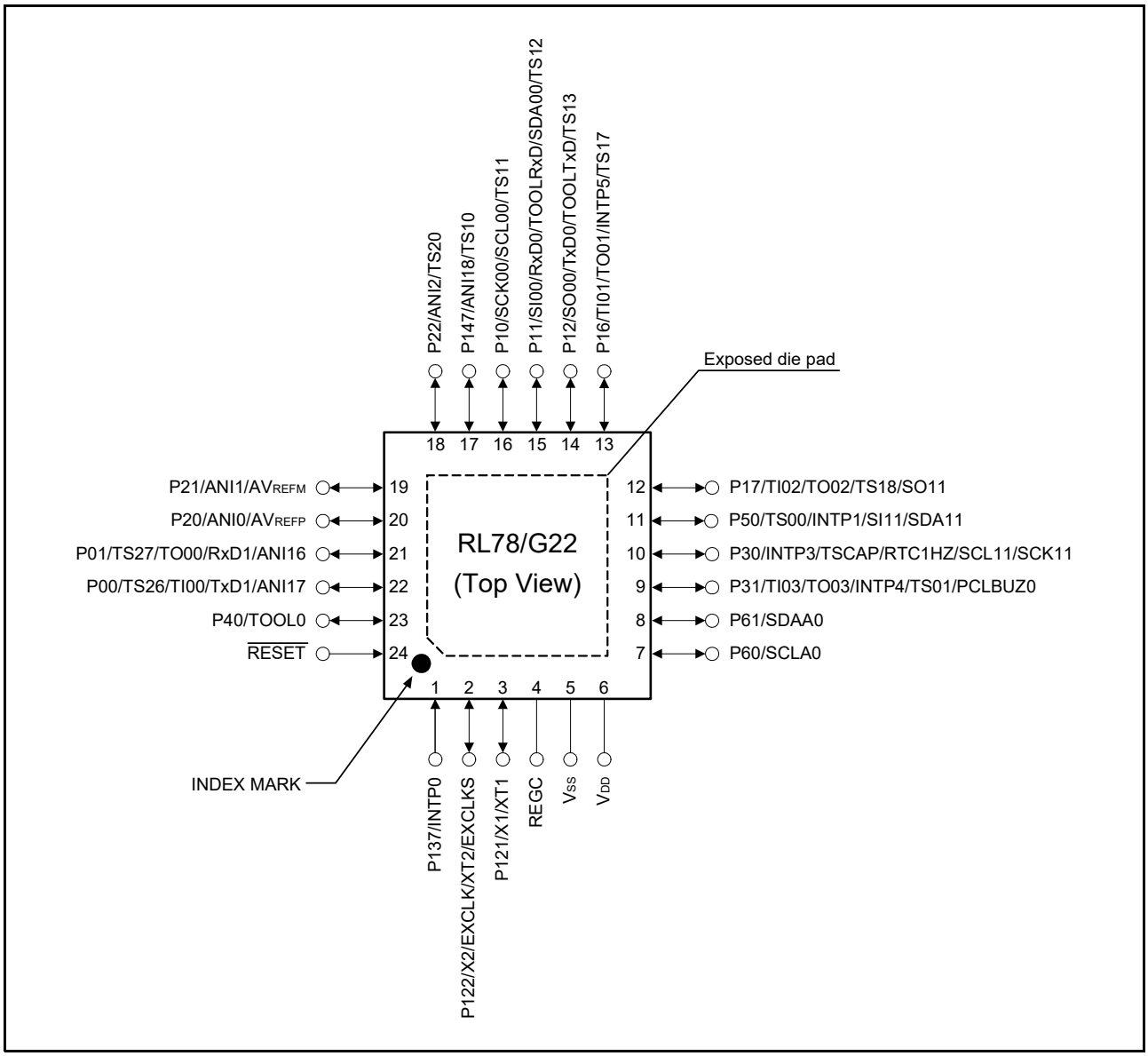
備考　端子名称は、**1.4　端子名称**を参照してください。

表1 - 3 20ピン製品の兼用機能

ピン番号	I/O		アナログ	HMI			タイマ		通信インタフェース		
20LSSOP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	静電容量センサユニット（CTSU2La）	タイマ・アレイ・ユニット（TAU）	時計用タイマ（RTC）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
1	P01	—	ANI16	—	—	TS27	TO00	—	RxD1	—	—
2	P00	—	ANI17	—	—	TS26	TI00	—	TxD1	—	—
3	P40	TOOL0	—	—	—	—	—	—	—	—	—
4	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—
5	P137	—	—	INTP0	—	—	—	—	—	—	—
6	P122	X2/XT2/EXCLK/EXCLKS	—	—	—	—	—	—	—	—	—
7	P121	X1/XT1	—	—	—	—	—	—	—	—	—
8	—	REGC	—	—	—	—	—	—	—	—	—
9	—	VSS	—	—	—	—	—	—	—	—	—
10	—	VDD	—	—	—	—	—	—	—	—	—
11	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/SCL11	—	—
12	P17	—	—	—	—	TS18	TI02/TO02	—	SI11/SDA11	—	—
13	P16	—	—	INTP5	—	TS17	TI01/TO01	—	SO11	—	—
14	P12	TOOLTxD	—	—	—	TS13	—	—	SO00/TxD0	—	—
15	P11	TOOLRxD	—	—	—	TS12	—	—	SI00/RxD0/SDA00	—	—
16	P10	—	—	—	—	TS11	—	—	SCK00/SCL00	—	—
17	P147	—	ANI18	—	—	TS10	—	—	—	—	—
18	P22	—	ANI2	—	—	TS20	—	—	—	—	—
19	P21	—	ANI1/AVREFM	—	—	—	—	—	—	—	—
20	P20	—	ANI0/AVREFP	—	—	—	—	—	—	—	—

1.3.3 24ピン製品

- 24ピン・プラスチックHWQFN（4 × 4 mm、0.50 mmピッチ）



注意 **REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。**

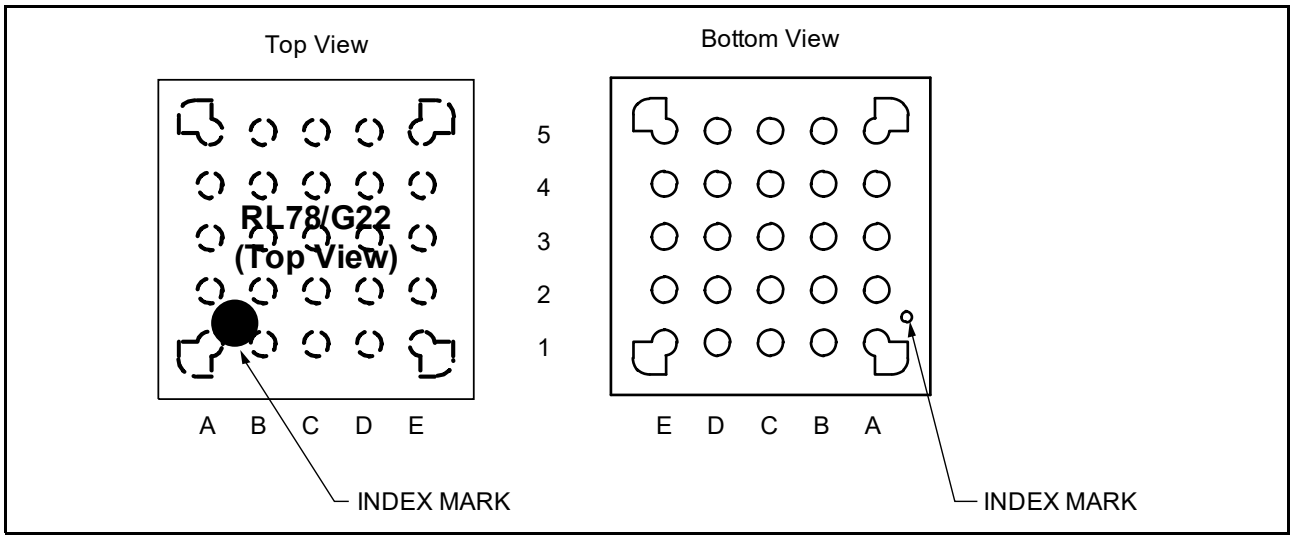
備考 端子名称は、**1.4 端子名称**を参照してください。

表1 - 4 24ピン製品の兼用機能

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
24HWQFN	デジタル・ポート		A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	静電容量センサユニット（CTSU2La）	タイマ・アレイ・ユニット（TAU）	時計用タイマ（RTC）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
1	P137	—	—	INTP0	—	—	—	—	—	—	—
2	P122	X2/XT2/EXCLK/EXCLKS	—	—	—	—	—	—	—	—	—
3	P121	X1/XT1	—	—	—	—	—	—	—	—	—
4	—	REGC	—	—	—	—	—	—	—	—	—
5	—	VSS	—	—	—	—	—	—	—	—	—
6	—	VDD	—	—	—	—	—	—	—	—	—
7	P60	—	—	—	—	—	—	—	—	SCLA0	—
8	P61	—	—	—	—	—	—	—	—	SDAA0	—
9	P31	PCLBUZ0	—	INTP4	—	TS01	TI03/TO03	—	—	—	—
10	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/SCL11	—	—
11	P50	—	—	INTP1	—	TS00	—	—	SI11/SDA11	—	—
12	P17	—	—	—	—	TS18	TI02/TO02	—	SO11	—	—
13	P16	—	—	INTP5	—	TS17	TI01/TO01	—	—	—	—
14	P12	TOOLTxD	—	—	—	TS13	—	—	SO00/TxD0	—	—
15	P11	TOOLRxD	—	—	—	TS12	—	—	SI00/RxD0/SDA00	—	—
16	P10	—	—	—	—	TS11	—	—	SCK00/SCL00	—	—
17	P147	—	ANI18	—	—	TS10	—	—	—	—	—
18	P22	—	ANI2	—	—	TS20	—	—	—	—	—
19	P21	—	ANI1/AVREFM	—	—	—	—	—	—	—	—
20	P20	—	ANI0/AVREFP	—	—	—	—	—	—	—	—
21	P01	—	ANI16	—	—	TS27	TO00	—	RxD1	—	—
22	P00	—	ANI17	—	—	TS26	TI00	—	TxD1	—	—
23	P40	TOOL0	—	—	—	—	—	—	—	—	—
24	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—

1.3.4 25ピン製品

- 25ピン・プラスチックWFLGA（3 × 3 mm、0.50 mmピッチ）



	A	B	C	D	E	
5	P40/TOOL0	$\overline{\text{RESET}}$	P01/TS27/TO00/RxD1/ANI16	P22/ANI2/TS20	P147/ANI18/TS10	5
4	P122/X2/EXCLK/XT2/EXCLKS	P137/INTP0	P00/TS26/TI00/TxD1/ANI17	P21/ANI1/AVREFM	P10/SCK00/SCL00/TS11	4
3	P121/X1/XT1	VDD	P20/ANI0/AVREFP	P12/SO00/TxD0/TOOLTxD/TS13	P11/SI00/RxD0/TOOLRxD/SDA00/TS12	3
2	REGC	VSS	P30/INTP3/TSCAP/RTC1HZ/SCL11/SCK11	P17/TI02/TO02/TS18/SO11	P50/TS00/INTP1/SI11/SDA11	2
1	P60/SCLA0	P61/SDAA0	P31/TI03/TO03/INTP4/TS01/PCLBUZ0	P16/TI01/TO01/INTP5/TS17	P130/TS19	1
	A	B	C	D	E	

注意　REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

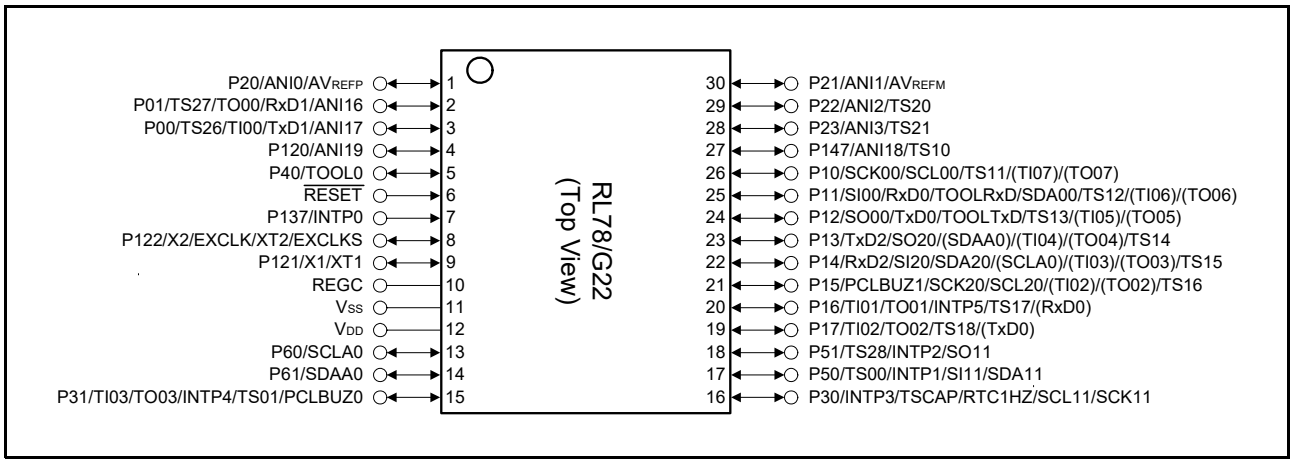
備考　端子名称は、**1.4　端子名称**を参照してください。

表1 - 5 25ピン製品の兼用機能

ピン番号	I/O		アナログ	HMI			タイマ		通信インタフェース		
25WFLGA	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ（ADC）	割り込み機能	キー割り込み機能	静電容量センサユニット（CTSU2La）	タイマ・アレイ・ユニット（TAU）	時計用タイマ（RTC）	シリアル・アレイ・ユニット（SAU）	シリアル・インタフェースIICA（IICA）	シリアル・インタフェースUARTA（UARTA）
A1	P60	—	—	—	—	—	—	—	—	SCLA0	—
A2	—	REGC	—	—	—	—	—	—	—	—	—
A3	P121	X1/XT1	—	—	—	—	—	—	—	—	—
A4	P122	X2/XT2/EXCLK/EXCLKS	—	—	—	—	—	—	—	—	—
A5	P40	TOOL0	—	—	—	—	—	—	—	—	—
B1	P61	—	—	—	—	—	—	—	—	SDAA0	—
B2	—	V_{SS}	—	—	—	—	—	—	—	—	—
B3	—	V_{DD}	—	—	—	—	—	—	—	—	—
B4	P137	—	—	INTP0	—	—	—	—	—	—	—
B5	—	$\overline{RESET}$	—	—	—	—	—	—	—	—	—
C1	P31	PCLBUZ0	—	INTP4	—	TS01	TI03/TO03	—	—	—	—
C2	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/SCL11	—	—
C3	P20	—	ANI0/AV_{REFP}	—	—	—	—	—	—	—	—
C4	P00	—	ANI17	—	—	TS26	TI00	—	TxD1	—	—
C5	P01	—	ANI16	—	—	TS27	TO00	—	RxD1	—	—
D1	P16	—	—	INTP5	—	TS17	TI01/TO01	—	—	—	—
D2	P17	—	—	—	—	TS18	TI02/TO02	—	SO11	—	—
D3	P12	TOOLTxD	—	—	—	TS13	—	—	SO00/TxD0	—	—
D4	P21	—	ANI1/AV_{REFM}	—	—	—	—	—	—	—	—
D5	P22	—	ANI2	—	—	TS20	—	—	—	—	—
E1	P130	—	—	—	—	TS19	—	—	—	—	—
E2	P50	—	—	INTP1	—	TS00	—	—	SI11/SDA11	—	—
E3	P11	TOOLRxD	—	—	—	TS12	—	—	SI00/RxD0/SDA00	—	—
E4	P10	—	—	—	—	TS11	—	—	SCK00/SCL00	—	—
E5	P147	—	ANI18	—	—	TS10	—	—	—	—	—

1.3.5 30ピン製品

- 30ピン・プラスチックLSSOP（7.62 mm（300）、0.65 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

表1 - 6 30ピン製品の兼用機能 (1/2)

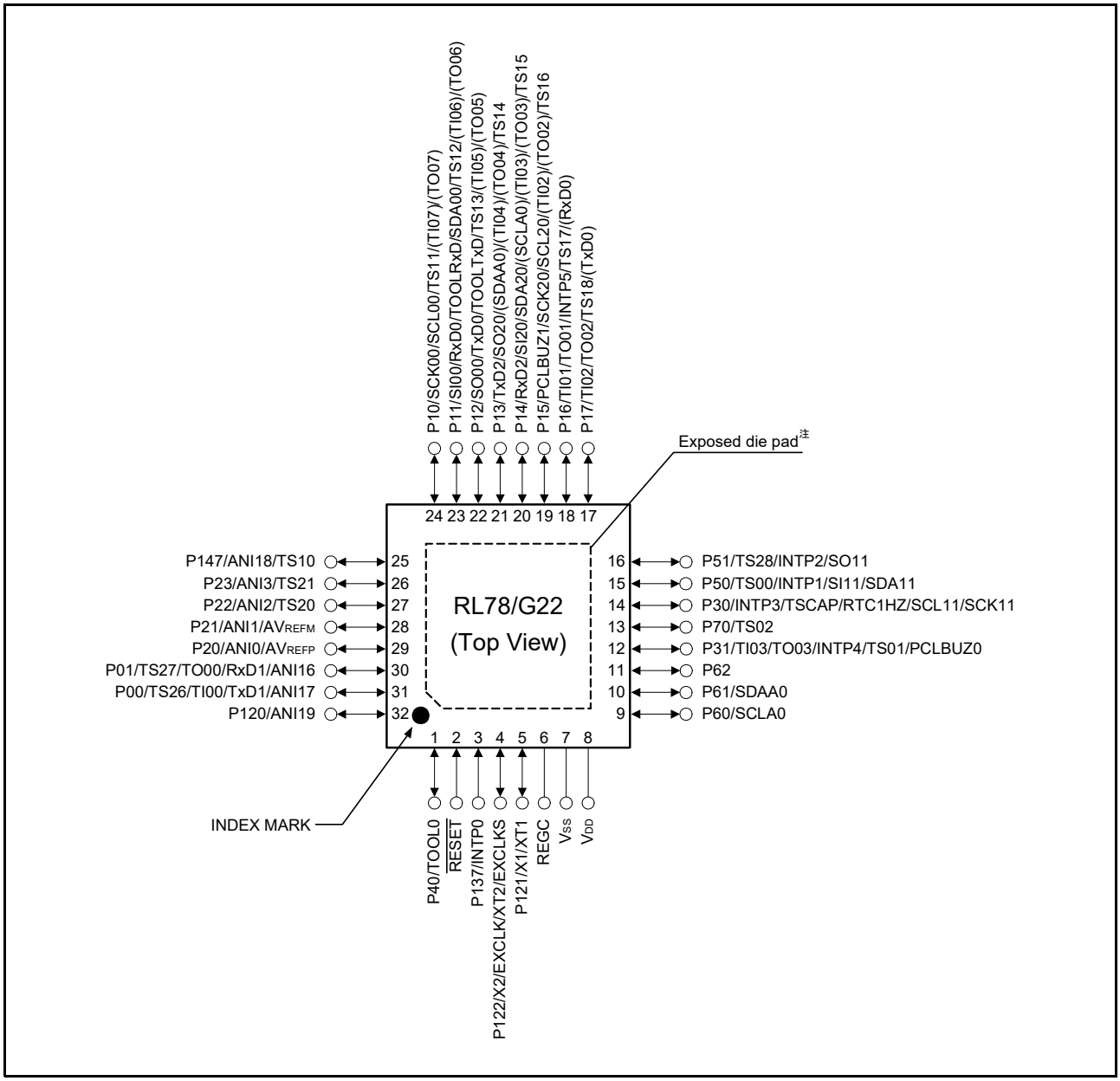
ピン番号	I/O		アナログ	HMI			タイマ		通信インタフェース		
30LSSOP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P20	–	ANI0/ AVREFP	–	–	–	–	–	–	–	–
2	P01	–	ANI16	–	–	TS27	TO00	–	RxD1	–	–
3	P00	–	ANI17	–	–	TS26	TI00	–	TxD1	–	–
4	P120	–	ANI19	–	–	–	–	–	–	–	–
5	P40	TOOL0	–	–	–	–	–	–	–	–	–
6	–	$\overline{\text{RESET}}$	–	–	–	–	–	–	–	–	–
7	P137	–	–	INTP0	–	–	–	–	–	–	–
8	P122	X2/XT2/EXCLK/ EXCLKS	–	–	–	–	–	–	–	–	–
9	P121	X1/XT1	–	–	–	–	–	–	–	–	
10	–	REGC	–	–	–	–	–	–	–	–	–
11	–	VSS	–	–	–	–	–	–	–	–	–
12	–	VDD	–	–	–	–	–	–	–	–	–
13	P60	–	–	–	–	–	–	–	–	SCLA0	–
14	P61	–	–	–	–	–	–	–	–	SDAA0	–
15	P31	PCLBUZ0	–	INTP4	–	TS01	TI03/TO03			–	–
16	P30	–	–	INTP3	–	TSCAP	–	RTC1HZ	SCK11/ SCL11	–	–
17	P50	–	–	INTP1	–	TS00	–	–	SI11/ SDA11	–	–
18	P51	–	–	INTP2	–	TS28	–	–	SO11	–	–
19	P17	–	–		–	TS18	TI02/TO02	–	(TxD0)	–	–
20	P16	–	–	INTP5	–	TS17	TI01/TO01	–	(RxD0)	–	–
21	P15	PCLBUZ1	–	–	–	TS16	(TI02)/ (TO02)	–	SCK20/ SCL20	–	–
22	P14	–	–	–	–	TS15	(TI03)/ (TO03)	–	SI20/RxD2/ SDA20	(SCLA0)	–
23	P13	–	–	–	–	TS14	(TI04)/ (TO04)	–	SO20/ TxD2	(SDAA0)	–
24	P12	TOOLTxD	–	–	–	TS13	(TI05)/ (TO05)	–	SO00/ TxD0	–	–
25	P11	TOOLRxD	–	–	–	TS12	(TI06)/ (TO06)	–	SI00/RxD0/ SDA00	–	–
26	P10	–	–	–	–	TS11	(TI07)/ (TO07)	–	SCK00/ SCL00	–	–
27	P147	–	ANI18	–	–	TS10	–	–	–	–	–
28	P23	–	ANI3	–	–	TS21	–	–	–	–	–
29	P22	–	ANI2	–	–	TS20	–	–	–	–	–

表1 - 6 30ピン製品の兼用機能 (2/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
30LSSOP	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
30	P21	—	ANI1/ AVREFM	—	—	—	—	—	—	—	—

1.3.6 32ピン製品

- 32ピン・プラスチックHWQFN（5 × 5 mm、0.50 mmピッチ）
- 32ピン・プラスチックLQFP（7 × 7 mm、0.80 mmピッチ）



注 32ピン・プラスチックLQFP（7 × 7 mm、0.80 mmピッチ）製品にはExposed die padはありません。

注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

備考3. Exposed die padは、Vssに接続することを推奨します。

表1 - 7 32ピン製品の兼用機能 (1/2)

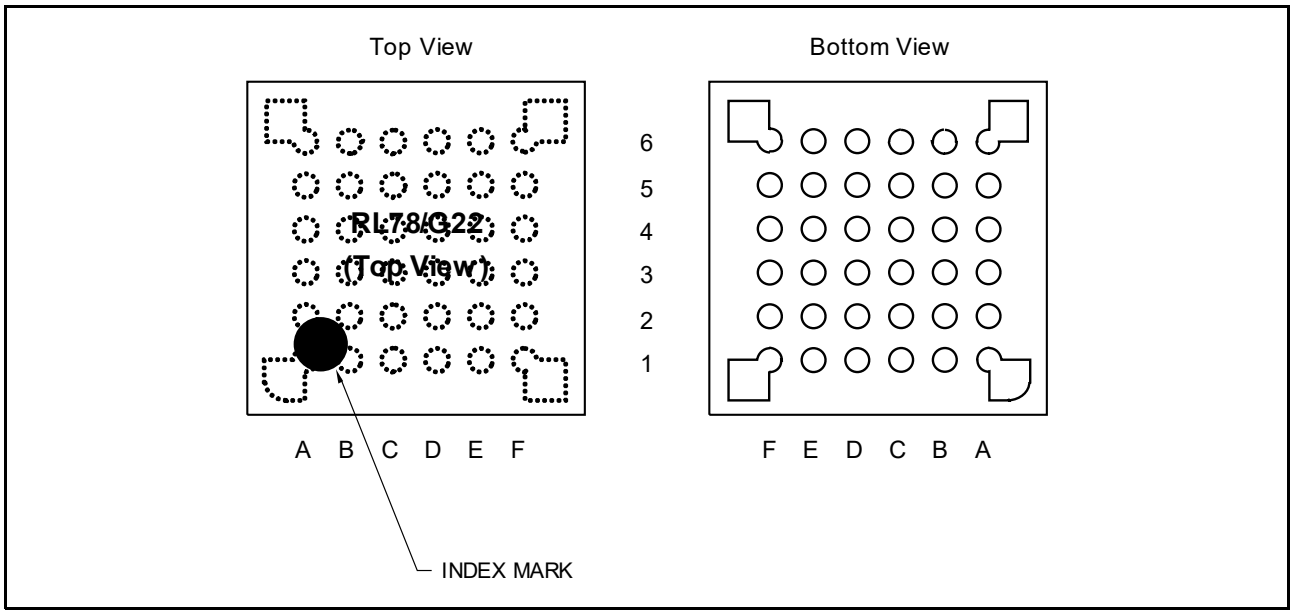
ピン番号	I/O		アナログ	HMI			タイマ		通信インタフェース		
32HWQFN 32LQFP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P40	TOOL0	—	—	—	—	—	—	—	—	—
2	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—
3	P137	—	—	INTP0	—	—	—	—	—	—	—
4	P122	X2/XT2/EXCLK/ EXCLKS	—	—	—	—	—	—	—	—	—
5	P121	X1/XT1	—	—	—	—	—	—	—	—	—
6	—	REGC	—	—	—	—	—	—	—	—	—
7	—	VSS	—	—	—	—	—	—	—	—	—
8	—	VDD	—	—	—	—	—	—	—	—	—
9	P60	—	—	—	—	—	—	—	—	SCLA0	—
10	P61	—	—	—	—	—	—	—	—	SDAA0	—
11	P62	—	—	—	—	—	—	—	—	—	—
12	P31	PCLBUZ0	—	INTP4	—	TS01	TI03/TO03	—	—	—	—
13	P70	—	—	—	—	TS02	—	—	—	—	—
14	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/ SCL11	—	—
15	P50	—	—	INTP1	—	TS00	—	—	SI11/ SDA11	—	—
16	P51	—	—	INTP2	—	TS28	—	—	SO11	—	—
17	P17	—	—		—	TS18	TI02/TO02	—	(TxD0)	—	—
18	P16	—	—	INTP5	—	TS17	TI01/TO01	—	(RxD0)	—	—
19	P15	PCLBUZ1	—	—	—	TS16	(TI02)/ (TO02)	—	SCK20/ SCL20	—	—
20	P14	—	—	—	—	TS15	(TI03)/ (TO03)	—	SI20/RxD2/ SDA20	(SCLA0)	—
21	P13	—	—	—	—	TS14	(TI04)/ (TO04)	—	SO20/ TxD2	(SDAA0)	—
22	P12	TOOLTxD	—	—	—	TS13	(TI05)/ (TO05)	—	SO00/ TxD0	—	—
23	P11	TOOLRxD	—	—	—	TS12	(TI06)/ (TO06)	—	SI00/RxD0/ SDA00	—	—
24	P10	—	—	—	—	TS11	(TI07)/ (TO07)	—	SCK00/ SCL00	—	—
25	P147	—	ANI18	—	—	TS10	—	—	—	—	—
26	P23	—	ANI3	—	—	TS21	—	—	—	—	—
27	P22	—	ANI2	—	—	TS20	—	—	—	—	—
28	P21	—	ANI1/ AVREFM	—	—	—	—	—	—	—	—
29	P20	—	ANI0/ AVREFP	—	—	—	—	—	—	—	—

表1 - 7 32ピン製品の兼用機能 (2/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
32HWQFN 32LQFP	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
30	P01	—	ANI16	—	—	TS27	TO00	—	RxD1	—	—
31	P00	—	ANI17	—	—	TS26	TI00	—	TxD1	—	—
32	P120	—	ANI19	—	—	—	—	—	—	—	—

1.3.7 36ピン製品

- 36ピン・プラスチックWFLGA（4 × 4 mm、0.50 mmピッチ）



	A	B	C	D	E	F
6	P60/SCLA0	VDD	P121/X1/XT1	P122/X2/EXCLK/XT2/EXCLKS	P137/INTP0	P40/TOOL0
5	P62	P61/SDAA0	VSS	REGC	$\overline{\text{RESET}}$	P120/ANI19
4	P72/TS04/SO21/TxDA0	P71/TS03/SI21/SDA21/RxDA0	P14/RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)/TS15	P31/TI03/TO03/INTP4/TS01/PCLBUZ0	P00/TS26/TI00/TxD1	P01/TS27/TO00/RxD1
3	P50/TS00/INTP1/SI11/SDA11	P70/TS02/SCK21/SCL21	P15/PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)/TS16	P22/ANI2/TS20	P20/ANI0/AVREFP	P21/ANI1/AVREFM
2	P30/INTP3/TSCAP/RTC1HZ/SCL11/SCK11	P16/TI01/TO01/INTP5/TS17/(RxD0)	P12/SO00/TxD0/TOOLTxD/TS13/(TI05)/(TO05)	P11/SI00/RxD0/TOOLRxD/SDA00/TS12/(TI06)/(TO06)	P24/ANI4/TS22	P23/ANI3/TS21
1	P51/TS28/INTP2/SO11	P17/TI02/TO02/TS18/(TxD0)	P13/TxD2/SO20/(SDAA0)/(TI04)/(TO04)/TS14	P10/SCK00/SCL00/TS11/(TI07)/(TO07)	P147/ANI18/TS10	P25/ANI5/TS23

注意　REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4　端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

表1 - 8 36ピン製品の兼用機能 (1/2)

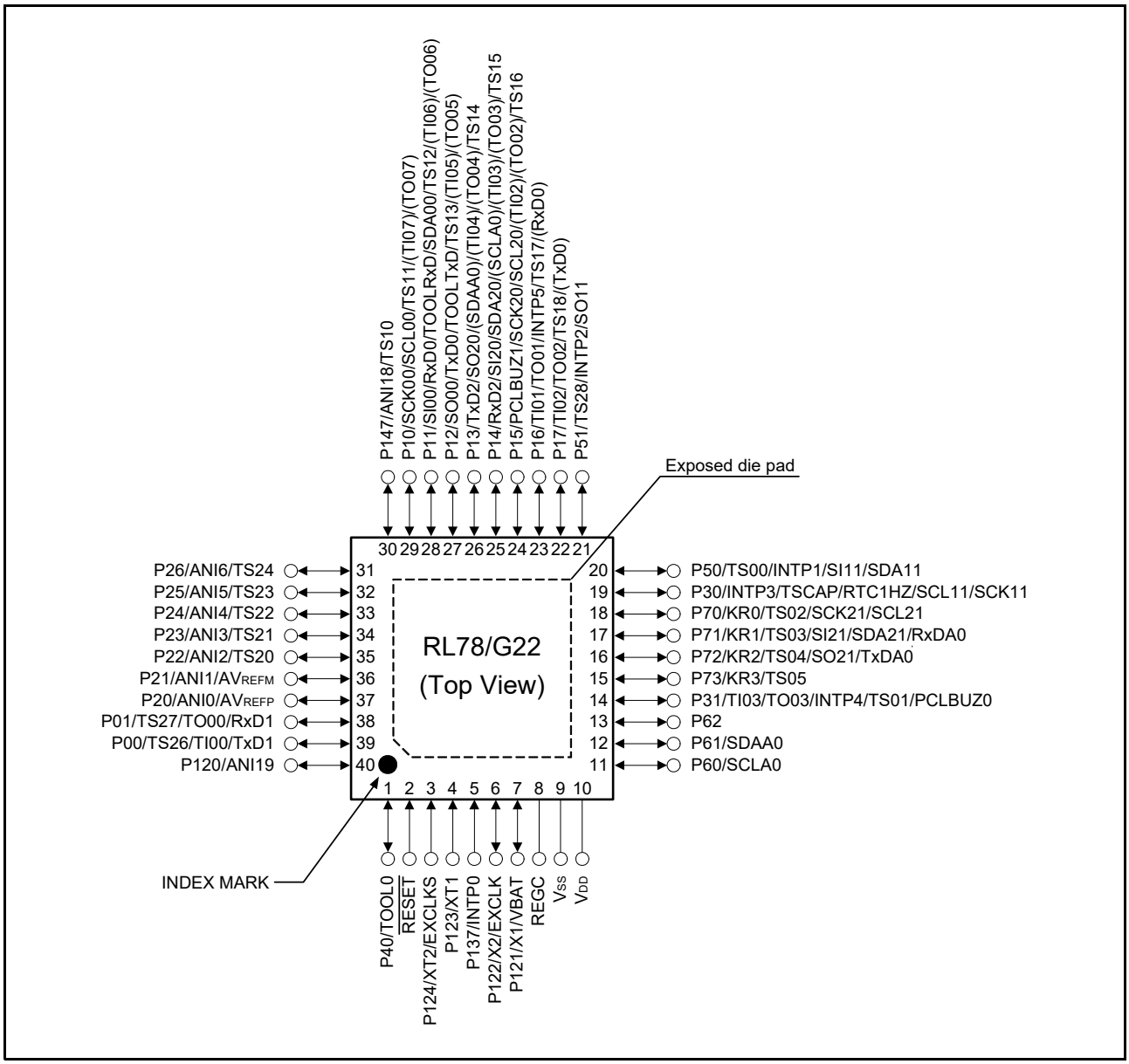
ピン番号	I/O		アナログ	HMI			タイマ		通信インタフェース		
36WFLGA	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
A1	P51	—	—	INTP2	—	TS28	—	—	SO11	—	—
A2	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/ SCL11	—	—
A3	P50	—	—	INTP1	—	TS00	—	—	SI11/ SDA11	—	—
A4	P72	—	—	—	—	TS04	—	—	SO21	—	TxDA0
A5	P62	—	—	—	—	—	—	—	—	—	—
A6	P60	—	—	—	—	—	—	—	—	SCLA0	—
B1	P17	—	—	—	—	TS18	TI02/TO02	—	(TxD0)	—	—
B2	P16	—	—	INTP5	—	TS17	TI01/TO01	—	(RxD0)	—	—
B3	P70	—	—	—	—	TS02	—	—	SCK21/ SCL21	—	—
B4	P71	—	—	—	—	TS03	—	—	SI21/ SDA21	—	RxDA0
B5	P61	—	—	—	—	—	—	—	—	SDAA0	—
B6	—	VDD	—	—	—	—	—	—	—	—	—
C1	P13	—	—	—	—	TS14	(TI04)/ (TO04)	—	SO20/ TxD2	(SDAA0)	—
C2	P12	TOOLTxD	—	—	—	TS13	(TI05)/ (TO05)	—	SO00/ TxD0	—	—
C3	P15	PCLBUZ1	—	—	—	TS16	(TI02)/ (TO02)	—	SCK20/ SCL20	—	—
C4	P14	—	—	—	—	TS15	(TI03)/ (TO03)	—	SI20/RxD2/ SDA20	(SCLA0)	—
C5	—	VSS	—	—	—	—	—	—	—	—	—
C6	P121	X1/XT1	—	—	—	—	—	—	—	—	—
D1	P10	—	—	—	—	TS11	(TI07)/ (TO07)	—	SCK00/ SCL00	—	—
D2	P11	TOOLRxD	—	—	—	TS12	(TI06)/ (TO06)	—	SI00/RxD0/ SDA00	—	—
D3	P22	—	ANI2	—	—	TS20	—	—	—	—	—
D4	P31	PCLBUZ0	—	INTP4		TS01	TI03/TO03	—	—	—	—
D5	—	REGC	—	—	—	—	—	—	—	—	—
D6	P122	X2/XT2/EXCLK/ EXCLKS	—	—	—	—	—	—	—	—	—
E1	P147	—	ANI18	—	—	TS10	—	—	—	—	—
E2	P24	—	ANI4	—	—	TS22	—	—	—	—	—
E3	P20	—	ANI0/ AVREFP	—	—	—	—	—	—	—	—
E4	P00	—	—	—	—	TS26	TI00	—	TxD1	—	—

表1 - 8 36ピン製品の兼用機能 (2/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
36WFLGA	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
E5	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—
E6	P137	—	—	INTP0		—	—	—	—	—	—
F1	P25	—	ANI5	—	—	TS23	—	—	—	—	—
F2	P23	—	ANI3	—	—	TS21	—	—	—	—	—
F3	P21	—	ANI1/ AVREFM	—	—	—	—	—	—	—	—
F4	P01	—	—	—	—	TS27	TO00		RxD1	—	—
F5	P120	—	ANI19	—	—	—	—	—	—	—	—
F6	P40	TOOL0	—	—	—	—	—	—	—	—	—

1.3.8 40ピン製品

- 40ピン・プラスチックHWQFN（6 × 6 mm、0.50 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

備考3. Exposed die padは、Vssに接続することを推奨します。

表1 - 9 40ピン製品の兼用機能 (1/2)

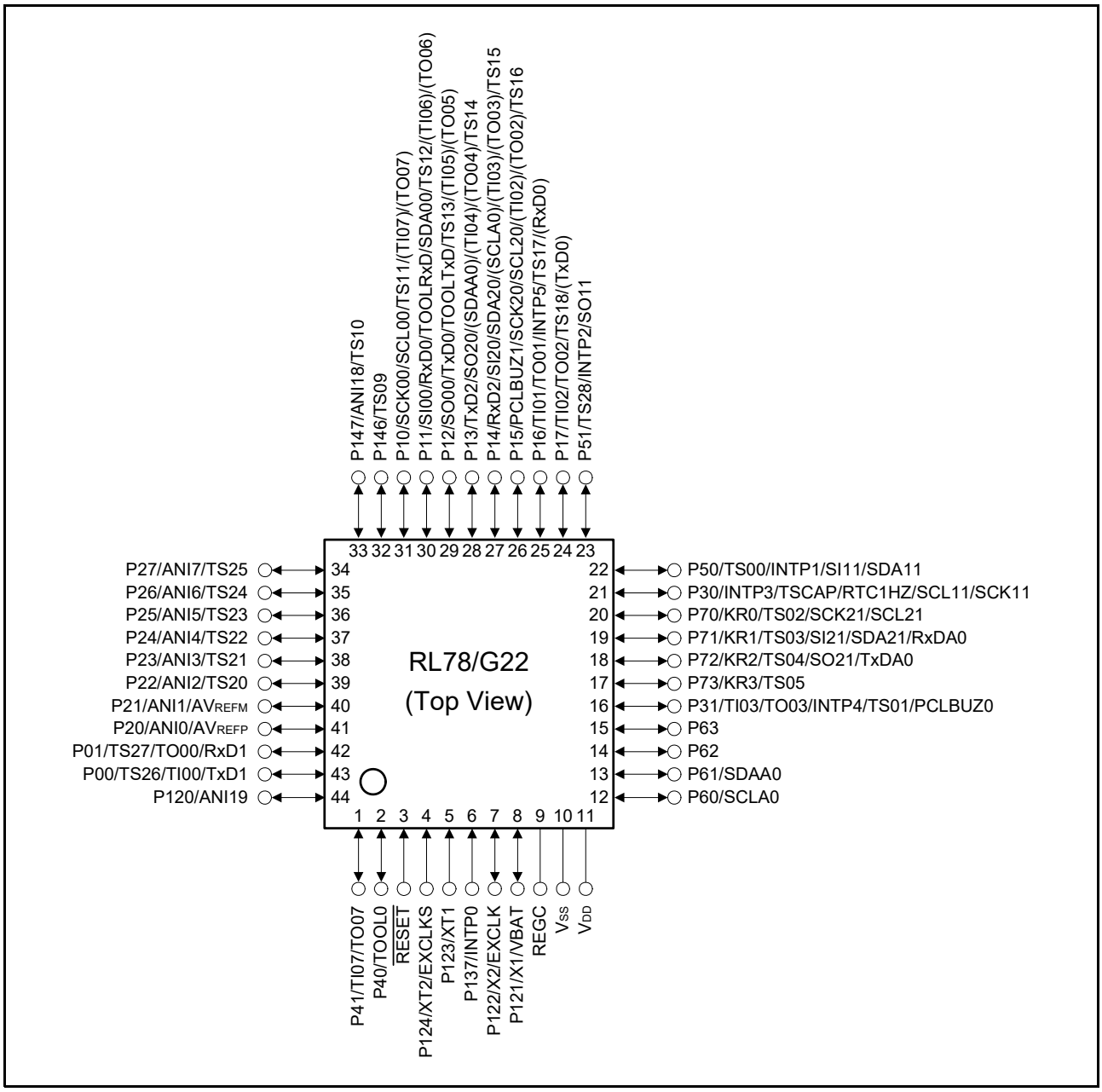
ピン番号	I/O		アナログ	HMI			タイマ		通信インタフェース		
40HWQFN	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P40	TOOL0	—	—	—	—	—	—	—	—	—
2	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—
3	P124	XT2/EXCLKS	—	—	—	—	—	—	—	—	—
4	P123	XT1	—	—	—	—	—	—	—	—	—
5	P137	—	—	INTP0	—	—	—	—	—	—	—
6	P122	X2/EXCLK	—	—	—	—	—	—	—	—	—
7	P121	X1/VBAT	—	—	—	—	—	—	—	—	—
8	—	REGC	—	—	—	—	—	—	—	—	—
9	—	VSS	—	—	—	—	—	—	—	—	—
10	—	VDD	—	—	—	—	—	—	—	—	—
11	P60	—	—	—	—	—	—	—	—	SCLA0	—
12	P61	—	—	—	—	—	—	—	—	SDAA0	—
13	P62	—	—	—	—	—	—	—	—	—	—
14	P31	PCLBUZ0	—	INTP4	—	TS01	TI03/TO03	—	—	—	—
15	P73	—	—	—	KR3	TS05	—	—	—	—	—
★ 16	P72	—	—	—	KR2	TS04	—	—	SO21	—	TxDA0
17	P71	—	—	—	KR1	TS03	—	—	SI21/ SDA21	—	RxDA0
18	P70	—	—	—	KR0	TS02	—	—	SCK21/ SCL21	—	—
19	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/ SCL11	—	—
20	P50	—	—	INTP1	—	TS00	—	—	SI11/ SDA11	—	—
21	P51	—	—	INTP2	—	TS28	—	—	SO11	—	—
22	P17	—	—	—	—	TS18	TI02/TO02	—	(TxD0)	—	—
23	P16	—	—	INTP5	—	TS17	TI01/TO01	—	(RxD0)	—	—
24	P15	PCLBUZ1	—	—	—	TS16	(TI02)/ (TO02)	—	SCK20/ SCL20	—	—
25	P14	—	—	—	—	TS15	(TI03)/ (TO03)	—	SI20/RxD2/ SDA20	(SCLA0)	—
26	P13	—	—	—	—	TS14	(TI04)/ (TO04)	—	SO20/ TxD2	(SDAA0)	—
27	P12	TOOLTxD	—	—	—	TS13	(TI05)/ (TO05)	—	SO00/ TxD0	—	—
28	P11	TOOLRxD	—	—	—	TS12	(TI06)/ (TO06)	—	SI00/RxD0/ SDA00	—	—
29	P10	—	—	—	—	TS11	(TI07)/ (TO07)	—	SCK00/ SCL00	—	—
30	P147	—	ANI18	—	—	TS10	—	—	—	—	—

表1 - 9 40ピン製品の兼用機能 (2/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
40HWQFN	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
31	P26	—	ANI6	—	—	TS24	—	—	—	—	—
32	P25	—	ANI5	—	—	TS23	—	—	—	—	—
33	P24	—	ANI4	—	—	TS22	—	—	—	—	—
34	P23	—	ANI3	—	—	TS21	—	—	—	—	—
35	P22	—	ANI2	—	—	TS20	—	—	—	—	—
36	P21	—	ANI1/ AVREFM	—	—	—	—	—	—	—	—
37	P20	—	ANI0/ AVREFP	—	—	—	—	—	—	—	—
38	P01	—	—	—	—	TS27	TO00	—	RxD1	—	—
39	P00	—	—	—	—	TS26	TI00	—	TxD1	—	—
40	P120	—	ANI19	—	—	—	—	—	—	—	—

1.3.9 44ピン製品

- 44ピン・プラスチックLQFP（10 × 10 mm、0.80 mmピッチ）



注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

表1 - 10 44ピン製品の兼用機能 (1/2)

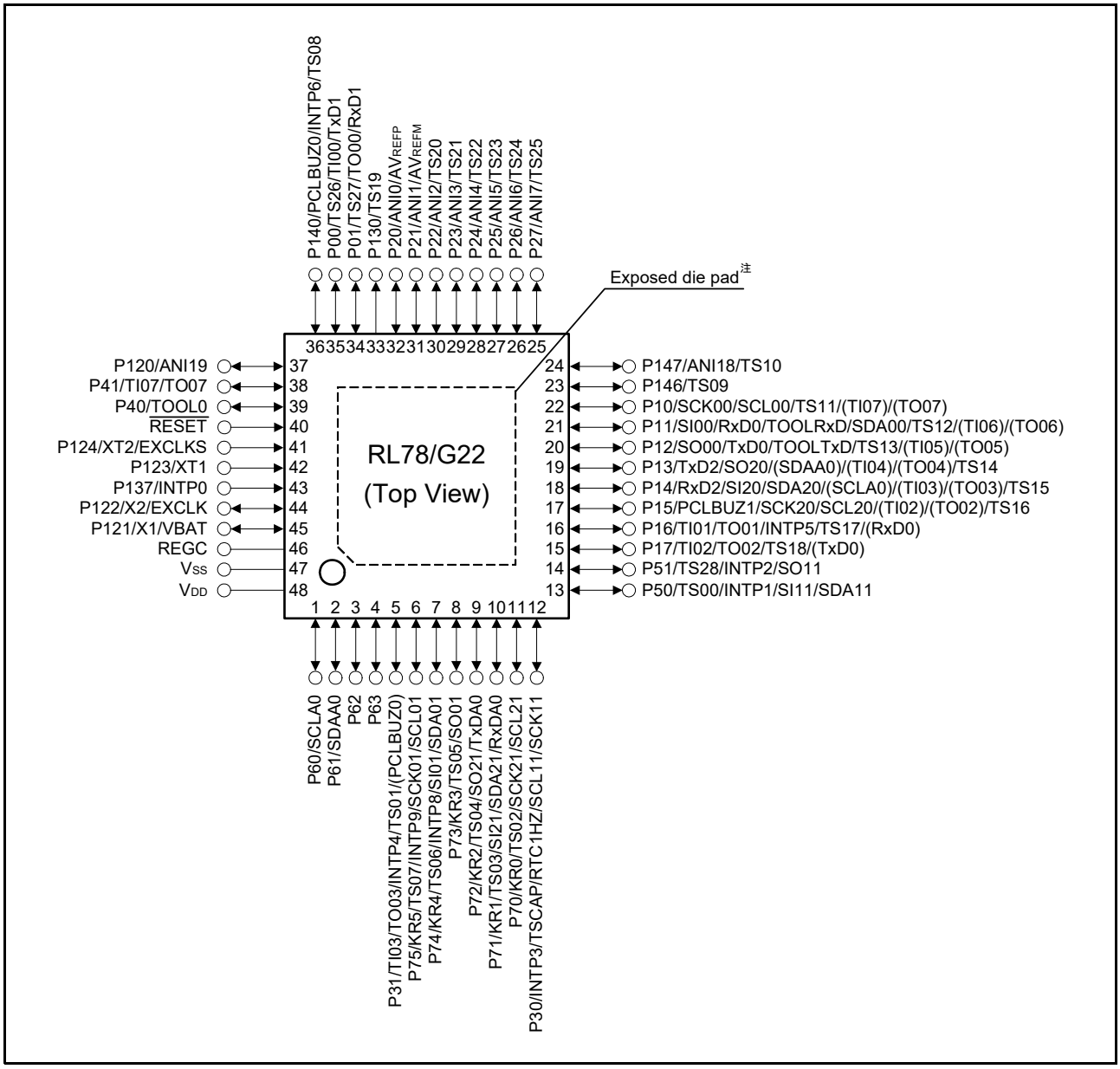
ピン番号	I/O		アナログ	HMI			タイマ		通信インタフェース		
44LQFP	デジタル・ポート	電源、システム・クロック、デバッグ	A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P41	—	—	—	—	—	TI07/TO07	—	—	—	—
2	P40	TOOL0	—	—	—	—	—	—	—	—	—
3	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—
4	P124	XT2/EXCLKS	—	—	—	—	—	—	—	—	—
5	P123	XT1	—	—	—	—	—	—	—	—	—
6	P137	—	—	INTP0	—	—	—	—	—	—	—
7	P122	X2/EXCLK	—	—	—	—	—	—	—	—	—
8	P121	X1/VBAT	—	—	—	—	—	—	—	—	—
9	—	REGC	—	—	—	—	—	—	—	—	—
10	—	VSS	—	—	—	—	—	—	—	—	—
11	—	VDD	—	—	—	—	—	—	—	—	—
12	P60	—	—	—	—	—	—	—	—	SCLA0	—
13	P61	—	—	—	—	—	—	—	—	SDAA0	—
14	P62	—	—	—	—	—	—	—	—	—	—
15	P63	—	—	—	—	—	—	—	—	—	—
16	P31	PCLBUZ0	—	INTP4	—	TS01	TI03/TO03	—	—	—	—
17	P73	—	—	—	KR3	TS05	—	—	—	—	—
★ 18	P72	—	—	—	KR2	TS04	—	—	SO21	—	TxDA0
19	P71	—	—	—	KR1	TS03	—	—	SI21/ SDA21	—	RxDA0
20	P70	—	—	—	KR0	TS02	—	—	SCK21/ SCL21	—	—
21	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/ SCL11	—	—
22	P50	—	—	INTP1	—	TS00	—	—	SI11/ SDA11	—	—
23	P51	—	—	INTP2	—	TS28	—	—	SO11	—	—
24	P17	—	—	—	—	TS18	TI02/TO02	—	(TxD0)	—	—
25	P16	—	—	INTP5	—	TS17	TI01/TO01	—	(RxD0)	—	—
26	P15	PCLBUZ1	—	—	—	TS16	(TI02)/ (TO02)	—	SCK20/ SCL20	—	—
27	P14	—	—	—	—	TS15	(TI03)/ (TO03)	—	SI20/RxD2/ SDA20	(SCLA0)	—
28	P13	—	—	—	—	TS14	(TI04)/ (TO04)	—	SO20/ TxD2	(SDAA0)	—
29	P12	TOOLTxD	—	—	—	TS13	(TI05)/ (TO05)	—	SO00/ TxD0	—	—
30	P11	TOOLRxD	—	—	—	TS12	(TI06)/ (TO06)	—	SI00/RxD0/ SDA00	—	—

表1 - 10 44ピン製品の兼用機能 (2/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
44LQFP	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
31	P10	—	—	—	—	TS11	(TI07)/ (TO07)	—	SCK00/ SCL00	—	—
32	P146	—	—	—	—	TS09	—	—	—	—	—
33	P147	—	ANI18	—	—	TS10	—	—	—	—	—
34	P27	—	ANI7	—	—	TS25	—	—	—	—	—
35	P26	—	ANI6	—	—	TS24	—	—	—	—	—
36	P25	—	ANI5	—	—	TS23	—	—	—	—	—
37	P24	—	ANI4	—	—	TS22	—	—	—	—	—
38	P23	—	ANI3	—	—	TS21	—	—	—	—	—
39	P22	—	ANI2	—	—	TS20	—	—	—	—	—
40	P21	—	ANI1/ AVREFM	—	—	—	—	—	—	—	—
41	P20	—	ANI0/ AVREFP	—	—	—	—	—	—	—	—
42	P01	—	—	—	—	TS27	TO00	—	RxD1	—	—
43	P00	—	—	—	—	TS26	TI00	—	TxD1	—	—
44	P120	—	ANI19	—	—	—	—	—	—	—	—

1.3.10 48ピン製品

- 48ピン・プラスチックLFQFP（7 × 7 mm、0.50 mmピッチ）
- 48ピン・プラスチックHWQFN（7 × 7 mm、0.50 mmピッチ）



注 48ピン・プラスチックLFQFP（7 × 7 mm、0.50 mmピッチ）製品にはExposed die padはありません。

注意 REGC端子はコンデンサ（0.47～1 μF）を介し、Vssに接続してください。

備考1. 端子名称は、**1.4 端子名称**を参照してください。

備考2. 上図の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

備考3. Exposed die padは、Vssに接続することを推奨します。

表1 - 11 48ピン製品の兼用機能 (1/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
48HWQFN 48LFQFP	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
1	P60	—	—	—	—	—	—	—	—	SCLA0	—
2	P61	—	—	—	—	—	—	—	—	SDAA0	—
3	P62	—	—	—	—	—	—	—	—	—	—
4	P63	—	—	—	—	—	—	—	—	—	—
5	P31	(PCLBUZ0)	—	INTP4	—	TS01	TI03/TO03	—	—	—	—
6	P75	—	—	INTP9	KR5	TS07	—	—	SCK01/ SCL01	—	—
7	P74	—	—	INTP8	KR4	TS06	—	—	SI01/ SDA01	—	—
8	P73	—	—	—	KR3	TS05	—	—	SO01	—	—
9	P72	—	—	—	KR2	TS04	—	—	SO21	—	TxDA0
10	P71	—	—	—	KR1	TS03	—	—	SI21/ SDA21	—	RxDA0
11	P70	—	—	—	KR0	TS02	—	—	SCK21/ SCL21	—	—
12	P30	—	—	INTP3	—	TSCAP	—	RTC1HZ	SCK11/ SCL11	—	—
13	P50	—	—	INTP1	—	TS00	—	—	SI11/ SDA11	—	—
14	P51	—	—	INTP2	—	TS28	—	—	SO11	—	—
15	P17	—	—	—	—	TS18	TI02/TO02	—	(TxD0)	—	—
16	P16	—	—	INTP5	—	TS17	TI01/TO01	—	(RxD0)	—	—
17	P15	PCLBUZ1	—	—	—	TS16	(TI02)/ (TO02)	—	SCK20/ SCL20	—	—
18	P14	—	—	—	—	TS15	(TI03)/ (TO03)	—	SI20/RxD2/ SDA20	(SCLA0)	—
19	P13	—	—	—	—	TS14	(TI04)/ (TO04)	—	SO20/ TxD2	(SDAA0)	—
20	P12	TOOLTxD	—	—	—	TS13	(TI05)/ (TO05)	—	SO00/ TxD0	—	—
21	P11	TOOLRxD	—	—	—	TS12	(TI06)/ (TO06)	—	SI00/RxD0/ SDA00	—	—
22	P10	—	—	—	—	TS11	(TI07)/ (TO07)	—	SCK00/ SCL00	—	—
23	P146	—	—	—	—	TS09	—	—	—	—	—
24	P147	—	ANI18	—	—	TS10	—	—	—	—	—
25	P27	—	ANI7	—	—	TS25	—	—	—	—	—
26	P26	—	ANI6	—	—	TS24	—	—	—	—	—
27	P25	—	ANI5	—	—	TS23	—	—	—	—	—
28	P24	—	ANI4	—	—	TS22	—	—	—	—	—

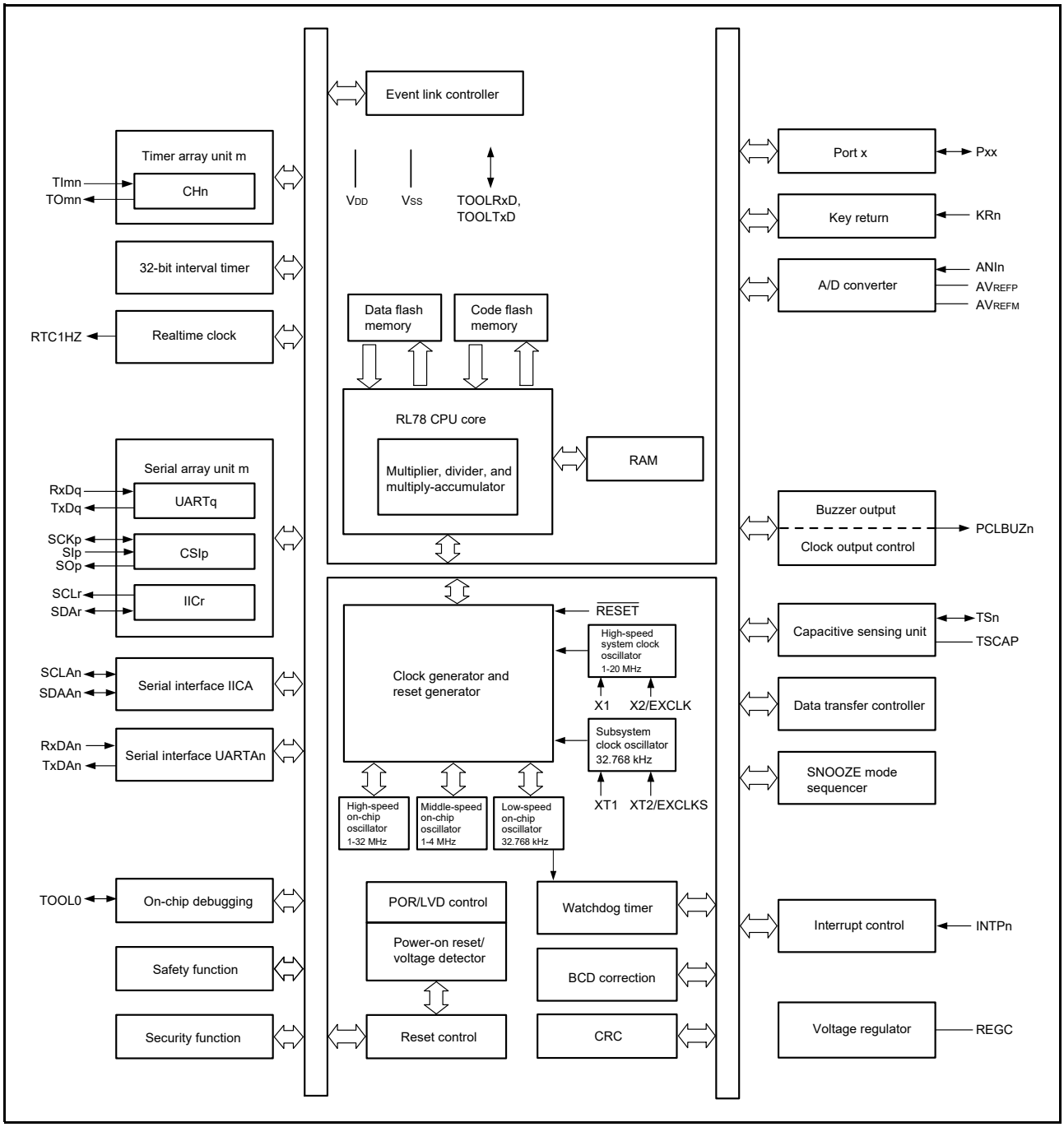
表1 - 11 48ピン製品の兼用機能 (2/2)

ピン番号	I/O	電源、システム・クロック、デバッグ	アナログ	HMI			タイマ		通信インタフェース		
48HWQFN 48LFQFP	デジタル・ポート		A/Dコンバータ (ADC)	割り込み機能	キー割り込み機能	静電容量センサユニット (CTSU2La)	タイマ・アレイ・ユニット (TAU)	時計用タイマ (RTC)	シリアル・アレイ・ユニット (SAU)	シリアル・インタフェースIICA (IICA)	シリアル・インタフェースUARTA (UARTA)
29	P23	—	ANI3	—	—	TS21	—	—	—	—	—
30	P22	—	ANI2	—	—	TS20	—	—	—	—	—
31	P21	—	ANI1/ AVREFM	—	—	—	—	—	—	—	—
32	P20	—	ANI0/ AVREFP	—	—	—	—	—	—	—	—
33	P130	—	—	—	—	TS19	—	—	—	—	—
34	P01	—	—	—	—	TS27	TO00	—	RxD1	—	—
35	P00	—	—	—	—	TS26	TI00	—	TxD1	—	—
36	P140	PCLBUZ0	—	INTP6	—	TS08	—	—	—	—	—
37	P120	—	ANI19	—	—	—	—	—	—	—	—
38	P41	—	—	—	—	—	TI07/TO07	—	—	—	—
39	P40	TOOL0	—	—	—	—	—	—	—	—	—
40	—	$\overline{\text{RESET}}$	—	—	—	—	—	—	—	—	—
41	P124	XT2/EXCLKS	—	—	—	—	—	—	—	—	—
42	P123	XT1	—	—	—	—	—	—	—	—	—
43	P137	—	—	INTP0	—	—	—	—	—	—	—
44	P122	X2/EXCLK	—	—	—	—	—	—	—	—	—
45	P121	X1/VBAT	—	—	—	—	—	—	—	—	—
46	—	REGC	—	—	—	—	—	—	—	—	—
47	—	VSS	—	—	—	—	—	—	—	—	—
48	—	VDD	—	—	—	—	—	—	—	—	—

1.4 端子名称

ANI0-ANI7, ANI16-ANI19	: Analog input
AVREFM	: Analog reference voltage minus
AVREFP	: Analog reference voltage plus
EXCLK	: External clock input (main system clock)
EXCLKS	: External clock input (subsystem clock)
INTP0-INTP6, INTP8, INTP9	: Interrupt request from peripheral
KR0-KR5	: Key return input
P00, P01	: Port 0
P10-P17	: Port 1
P20-P27	: Port 2
P30, P31	: Port 3
P40, P41	: Port 4
P50, P51	: Port 5
P60-P63	: Port 6
P70-P75	: Port 7
P120-P124	: Port 12
P130, P137	: Port 13
P140, P146, P147	: Port 14
PCLBUZ0, PCLBUZ1	: Programmable clock output/buzzer output
REGC	: Regulator capacitance
$\overline{\text{RESET}}$	: Reset
RTC1HZ	: Realtime clock correction clock (1 Hz) output
RxD0-RxD2, RxDA0	: Receive data
SCLA0, SCK00, SCK01, SCK11, SCK20, SCK21	: Serial clock input/output
SCL00, SCL01, SCL11, SCL20, SCL21	: Serial clock output
SDAA0, SDA00, SDA01, SDA11, SDA20, SDA21	: Serial data input/output
SI00, SI01, SI11, SI20, SI21	: Serial data input
SO00, SO01, SO11, SO20, SO21	: Serial data output
TSCAP	: Touch sensor capacitance
TI00-TI07	: Timer input
TO00-TO07	: Timer output
TOOL0	: Data input/output for tool
TOOLRxD, TOOLTxD	: Data input/output for external device
TS00-TS28	: Capacitive touch sensor
TxD0-TxD2, TxDA0	: Transmit data
VBAT	: Battery backup power supply
VDD	: Power supply
VSS	: Ground
X1, X2	: Crystal oscillator (main system clock)
XT1, XT2	: Crystal oscillator (subsystem clock)

1.5 ブロック図



注意1. Serial interface IICAは、24～48ピン製品のみ

注意2. Serial interface UARTAnは、36～48ピン製品のみ

注意3. Key returnは、40～48ピン製品のみ

備考 m：ユニット番号、n：チャネル番号、p：簡易SPI（CSI）番号、q：UART番号、r：簡易I²C番号、xx：ポート番号

1.6 機能概要

注意 周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定時の機能概要です。

(1/3)

項目		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
		R7F102G4x	R7F102G6x	R7F102G7x	R7F102G8x	R7F102GAx	R7F102GBx	R7F102GCx	R7F102GEx	R7F102GFx	R7F102GGx
コード・フラッシュ・メモリ		32 KB, 64 KB									
データ・フラッシュ・メモリ		2 KB									
RAM		4 KB									
アドレス空間		1 Mバイト									
CPU／周辺ハードウェア・クロック周波数（f_{CLK}）	メイン・システム・クロック	HS（高速メイン）モード：1～32 MHz（V_{DD} = 1.8～5.5 V） HS（高速メイン）モード：1～4 MHz注1（V_{DD} = 1.6～5.5 V） LS（低速メイン）モード：1～24 MHz（V_{DD} = 1.8～5.5 V） LS（低速メイン）モード：1～4 MHz注1（V_{DD} = 1.6～5.5 V） LP（低電力メイン）モード：1～2 MHz注2（V_{DD} = 1.6～5.5 V）									
	サブシステム・クロック	SUBモード：32.768 kHz（V_{DD} = 1.6～5.5 V）									
メイン・システム・クロック	高速システム・クロック（f_{MX}）	1～20 MHz									
	高速オンチップ・オシレータ・クロック（f_{IH}）	1 MHz, 2 MHz, 3 MHz, 4 MHz, 6 MHz, 8 MHz, 12 MHz, 16 MHz, 24 MHz, 32 MHz									
	中速オンチップ・オシレータ・クロック（f_{IM}）	1 MHz, 2 MHz, 4 MHz									
サブシステム・クロック	サブシステム・クロックX（f_{SX}）	32.768 kHz（V_{DD} = 2.4～5.5 V）							32.768 kHz（V_{DD} = 1.6～5.5 V）		
	低速オンチップ・オシレータ・クロック（f_{IL}）	32.768 kHz（Typ.）									
汎用レジスタ		8ビット × 32レジスタ（8ビット × 8レジスタ × 4バンク）									
最小命令実行時間		0.03125 μs（高速オンチップ・オシレータ・クロック：f_{IH} = 32 MHz動作時）									
命令セット		• データ転送（8/16ビット） • 加減／論理演算（8/16ビット） • 乗算（8 × 8ビット、16 × 16ビット）、除算（16 ÷ 16ビット、32 ÷ 32ビット） • 積和演算（16 × 16 + 32ビット） • ローテート、バレル・シフト、ビット操作（セット、リセット、テスト、ブール演算）など									
I/Oポート	合計	12	16	20	21	26	28	32	36	40	44
	CMOS入出力	11（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：4）	15（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：5）	17（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：6）		23（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：10）	24（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：10）	28（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：12）	30（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：12）	33（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：12）	36（N-chオープン・ドレイン出力／入力[V_{DD}耐圧]：13）
	CMOS入力	1							3		
	CMOS出力	—			1	—		1			
	N-chオープン・ドレイン出力／入力[6 V耐圧]	—		2			3			4	

(2/3)

項目		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
		R7F102G4x	R7F102G6x	R7F102G7x	R7F102G8x	R7F102GAx	R7F102GBx	R7F102GCx	R7F102GEx	R7F102GFx	R7F102GGx
タイマ	16ビット・タイマ	8チャネル									
	ウォッチドッグ・タイマ	1チャネル									
	リアルタイム・クロック（RTC）	1チャネル									
	32ビット・インターバル・タイマ（TML32）	32ビット・カウンタ・モード時：1チャネル、 16ビット・カウンタ・モード時：2チャネル、 8ビット・カウンタ・モード時：4チャネル									
	タイマ出力	1本（PWM出力：1本）	3本（PWM出力：2本注2）	4本（PWM出力：3本注2）		4本（PWM出力：3本注2）、 8本（PWM出力：7本注2）注3					
	RTC出力	1本									
クロック出力／ブザー出力		2本									
		• 3.91 kHz, 7.81 kHz, 15.63 kHz, 2 MHz, 4 MHz, 8 MHz, 16 MHz （メイン・システム・クロック：f_{MAIN} = 32 MHz動作時） • 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz （低速周辺クロック：f_{SXP} = 32.768 kHz動作時）									
8／10ビット分解能A/Dコンバータ		3チャネル	6チャネル			8チャネル			9チャネル	10チャネル	
シリアル・インタフェース		【16ピン製品】 • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル • 簡易I²C：1チャネル									
		【20～25ピン製品】 • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル									
		【30, 32ピン製品】 • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART（LIN-bus対応）：1チャネル									
		【36～44ピン製品】 • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：2チャネル／簡易I²C：2チャネル／UART（LIN-bus対応）：1チャネル									
		【48ピン製品】 • 簡易SPI（CSI）：2チャネル／簡易I²C：2チャネル／UART：1チャネル • 簡易SPI（CSI）：1チャネル／簡易I²C：1チャネル／UART：1チャネル • 簡易SPI（CSI）：2チャネル／簡易I²C：2チャネル／UART（LIN-bus対応）：1チャネル									
	UARTA	—						1チャネル			
	I²Cバス	—		1チャネル							
データ・トランスファ・コントローラ（DTC）		21要因	23要因	25要因		28要因		30要因	31要因		32要因
イベント・リンク・コントローラ（ELC）	イベント入力	11	12	14		15		17	18		19
	イベントトリガ出力	7									
SNOOZEモード・シーケンサ（SMS）		1									
静電容量センサユニット		5	9	11	12	16	17	21	23	25	29
ベクタ割り込み要因	内部	23	25	26		29		32			
	外部	2	3	5		6			7		10
キー割り込み		—							4		6

(3/3)

項目		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
		R7F102G4x	R7F102G6x	R7F102G7x	R7F102G8x	R7F102GAx	R7F102GBx	R7F102GCx	R7F102GEx	R7F102GFx	R7F102GGx
リセット		• $\overline{\text{RESET}}$端子によるリセット • ウォッチドッグ・タイマによる内部リセット • パワーオン・リセットによる内部リセット • 電圧検出回路（LVD0，LVD1）による内部リセット • 不正命令の実行による内部リセット注4 • RAMパリティ・エラーによる内部リセット • 不正メモリ・アクセスによる内部リセット									
パワーオン・リセット回路		検出電圧 • 1.50 V（Typ.）									
電圧検出回路	LVD0	検出電圧 • 立ち上がり：1.67～4.00 V（6段階） • 立ち下がり：1.63～3.92 V（6段階）									
	LVD1	検出電圧 • 立ち上がり：1.67～4.16 V（18段階） • 立ち下がり：1.63～4.08 V（18段階）									
オンチップ・デバッグ機能		あり									
電源電圧		V_{DD} = 1.6～5.5 V									
動作周囲温度		T_A = –40～+85°C（2D：民生用途）、T_A = –40～+105°C（3C：産業用途）									

注1. フラッシュ・メモリを書き換える場合は、1.8 V 以上で書き換えてください。

注2. 使用チャネルの設定（マスタとスレーブの数）によって、PWM出力数は変わります（**7.9.3 多重PWM出力機能としての動作**参照）。

注3. 周辺I/Oリダイレクション・レジスタ（PIOR）の該当ビットに1を設定した場合です。

注4. FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッギング・エミュレータによるエミュレーションでは発生しません。

第2章　端子機能

2.1　ポートの端子機能

端子の入出力バッファ電源は、すべての製品で単一の電源です。

表2 - 1　各端子の入出力バッファ電源

電源	対応する端子
V_{DD}	すべての端子

2.1.1　16ピン製品

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11	ポート1。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13	
P17	8-38-2			TI02/TO02/TS18/SDA11	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCL11	ポート3。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P121	7-2-1	入出力	入力ポート	X1/XT1	ポート12。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

2.1.2　20ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-33-4	入出力	アナログ機能	TS26/ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-33-2			TS27/ANI16/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P16-P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13	
P16	8-38-1			TI01/TO01/INTP5/TS17/SO11	
P17	8-38-2			TI02/TO02/TS18/SI11/SDA11	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能
P121	7-2-1	入出力	入力ポート	X1/XT1	ポート12。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/TS10	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
$\overline{\text{RESET}}$	2-1-1	入力	―	―	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

2.1.3　24ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-33-4	入出力	アナログ機能	TS26/ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-33-2			TS27/ANI16/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P16-P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13	
P16	8-38-1			TI01/TO01/INTP5/TS17	
P17	8-38-2			TI02/TO02/TS18/SO11	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 1ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P121	7-2-1	入出力	入力ポート	X1/XT1	ポート12。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/TS10	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	―	―	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

2.1.4　25ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-33-4	入出力	アナログ機能	TS26/ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-33-2			TS27/ANI16/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11	ポート1。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P16-P17の入力はTTL入力バッファに設定可能。 P10-P12, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13	
P16	8-38-1			TI01/TO01/INTP5/TS17	
P17	8-38-2			TI02/TO02/TS18/SO11	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 1ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P121	7-2-1	入出力	入力ポート	X1/XT1	ポート12。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK/XT2/EXCLKS	
P130	1-1-5	出力	出力ポート	TS19	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。 ただし、P130はTS19として使用する場合に入出力となります。
P137	2-1-3	入力	入力ポート	INTP0	
P147	7-9-5	入出力	アナログ機能	ANI18/TS10	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

2.1.5　30ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-33-4	入出力	アナログ機能	TS26/ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-33-2			TS27/ANI16/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P13はアナログ機能に設定可能注。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12/(TI06)/(TO06)	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13/(TI05)/(TO05)	
P13	8-6-9			TxD2/SO20/(SDAA0)/(TI04)/(TO04)/TS14	
P14	8-1-11			RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)/TS15	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)/TS16	
P16	8-38-1			TI01/TO01/INTP5/TS17/(RxD0)	
P17	8-38-2			TI02/TO02/TS18/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P23				ANI3/TS21	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-1-3			TS28/INTP2/SO11	
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P120	7-9-6	入出力	アナログ機能	ANI19	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P120はアナログ機能に設定可能注。
P121	7-2-1		入力ポート	X1/XT1	
P122				X2/EXCLK/XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/TS10	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考　上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

2.1.6　32ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-33-4	入出力	アナログ機能	TS26/ANI17/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-33-2			TS27/ANI16/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P13はアナログ機能に設定可能注。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12/(TI06)/(TO06)	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13/(TI05)/(TO05)	
P13	8-6-9			TxD2/SO20/(SDAA0)/(TI04)/(TO04)/TS14	
P14	8-1-11			RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)/TS15	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)/TS16	
P16	8-38-1			TI01/TO01/INTP5/TS17/(RxD0)	
P17	8-38-2			TI02/TO02/TS18/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P23				ANI3/TS21	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-1-3			TS28/INTP2/SO11	
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P62	12-38-1			—	
P70	7-31-2	入出力	入力ポート	TS02	ポート7。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-9-6	入出力	アナログ機能	ANI19	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P120はアナログ機能に設定可能注。
P121	7-2-1		入力ポート	X1/XT1	
P122				X2/EXCLK/XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/TS10	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考　上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

2.1.7　36ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-31-1			TS27/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P13はアナログ機能に設定可能注。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12/(TI06)/(TO06)	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13/(TI05)/(TO05)	
P13	8-6-9			TxD2/SO20/(SDAA0)/(TI04)/(TO04)/TS14	
P14	8-1-11			RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)/TS15	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)/TS16	
P16	8-38-1			TI01/TO01/INTP5/TS17/(RxD0)	
P17	8-38-2			TI02/TO02/TS18/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P23				ANI3/TS21	
P24				ANI4/TS22	
P25				ANI5/TS23	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-1-3			TS28/INTP2/SO11	
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P62	12-38-1			—	
P70	7-31-2	入出力	入力ポート	TS02/SCK21/SCL21	ポート7。 3ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-31-2			TS03/SI21/SDA21/RxDA0	
P72	7-31-3			TS04/SO21/TxDA0	
P120	7-9-6	入出力	アナログ機能	ANI19	ポート12。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P120はアナログ機能に設定可能注。
P121	7-2-1		入力ポート	X1/XT1	
P122				X2/EXCLK/XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/TS10	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考　上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

2.1.8　40ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-31-1			TS27/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P13はアナログ機能に設定可能注。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12/(TI06)/(TO06)	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13/(TI05)/(TO05)	
P13	8-6-9			TxD2/SO20/(SDAA0)/(TI04)/(TO04)/TS14	
P14	8-1-11			RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)/TS15	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)/TS16	
P16	8-38-1			TI01/TO01/INTP5/TS17/(RxD0)	
P17	8-38-2			TI02/TO02/TS18/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 7ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P23				ANI3/TS21	
P24				ANI4/TS22	
P25				ANI5/TS23	
P26				ANI6/TS24	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-1-3			TS28/INTP2/SO11	
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P62	12-38-1			—	
P70	7-31-2	入出力	入力ポート	KR0/TS02/SCK21/SCL21	ポート7。 4ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-31-2			KR1/TS03/SI21/SDA21/RxDA0	
P72	7-31-3			KR2/TS04/SO21/TxDA0	
P73	7-31-2			KR3/TS05	
P120	7-9-6	入出力	アナログ機能	ANI19	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力／出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P120はアナログ機能に設定可能注。
P121	7-2-1		入力ポート	VBAT/X1	
P122				X2/EXCLK	
P123	2-2-1	入力		XT1	
P124				XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-9-5	入出力	アナログ機能	ANI18/TS10	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考　上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

2.1.9　44ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-31-1			TS27/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P13はアナログ機能に設定可能注。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12/(TI06)/(TO06)	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13/(TI05)/(TO05)	
P13	8-6-9			TxD2/SO20/(SDAA0)/(TI04)/(TO04)/TS14	
P14	8-1-11			RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)/TS15	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)/TS16	
P16	8-38-1			TI01/TO01/INTP5/TS17/(RxD0)	
P17	8-38-2			TI02/TO02/TS18/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P23				ANI3/TS21	
P24				ANI4/TS22	
P25				ANI5/TS23	
P26				ANI6/TS24	
P27				ANI7/TS25	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/PCLBUZ0	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41の入力はTTL入力バッファに設定可能。
P41	8-1-3			TI07/TO07	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-1-3			TS28/INTP2/SO11	
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P62	12-38-1			—	
P63				—	
P70	7-31-2	入出力	入力ポート	KR0/TS02/SCK21/SCL21	ポート7。 4ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-31-2			KR1/TS03/SI21/SDA21/RxDA0	
P72	7-31-3			KR2/TS04/SO21/TxDA0	
P73	7-31-2			KR3/TS05	
P120	7-9-6	入出力	アナログ機能	ANI19	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力／出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P120はアナログ機能に設定可能注。
P121	7-2-1		入力ポート	VBAT/X1	
P122				X2/EXCLK	
P123	2-2-1	入力		XT1	
P124				XT2/EXCLKS	
P137	2-1-3	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P146	7-1-3	入出力	入力ポート	TS09	ポート14。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
P147	7-9-5		アナログ機能	ANI18/TS10	
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考　上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

2.1.10　48ピン製品

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-31-3	入出力	入力ポート	TS26/TI00/TxD1	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。
P01	8-31-1			TS27/TO00/RxD1	
P10	8-1-11	入出力	入力ポート	SCK00/SCL00/TS11/(TI07)/(TO07)	ポート1。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P10, P11, P13-P17の入力はTTL入力バッファに設定可能。 P10-P15, P17の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P13はアナログ機能に設定可能注。
P11				SI00/RxD0/TOOLRxD/SDA00/TS12/(TI06)/(TO06)	
P12	7-1-12			SO00/TxD0/TOOLTxD/TS13/(TI05)/(TO05)	
P13	8-6-9			TxD2/SO20/(SDAA0)/(TI04)/(TO04)/TS14	
P14	8-1-11			RxD2/SI20/SDA20/(SCLA0)/(TI03)/(TO03)/TS15	
P15				PCLBUZ1/SCK20/SCL20/(TI02)/(TO02)/TS16	
P16	8-38-1			TI01/TO01/INTP5/TS17/(RxD0)	
P17	8-38-2			TI02/TO02/TS18/(TxD0)	
P20	4-3-5	入出力	アナログ機能	ANI0/AVREFP	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ機能に設定可能注。
P21				ANI1/AVREFM	
P22	4-33-1			ANI2/TS20	
P23				ANI3/TS21	
P24				ANI4/TS22	
P25				ANI5/TS23	
P26				ANI6/TS24	
P27				ANI7/TS25	
P30	7-31-2	入出力	入力ポート	INTP3/TSCAP/RTC1HZ/SCK11/SCL11	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P31				TI03/TO03/INTP4/TS01/(PCLBUZ0)	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P41の入力はTTL入力バッファに設定可能。
P41	8-1-3			TI07/TO07	

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	7-31-3	入出力	入力ポート	TS00/INTP1/SI11/SDA11	ポート5。 2ビット入出力ポート。 P50の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P51	7-1-3			P51/TS28/INTP2/SO11	
P60	12-38-3	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 出力は、N-chオープン・ドレイン出力[6 V耐圧]。
P61				SDAA0	
P62	12-38-1			—	
P63				—	
P70	7-31-2	入出力	入力ポート	KR0/TS02/SCK21/SCL21	ポート7。 6ビット入出力ポート。 P71の入力はTTL入力バッファに設定可能。 P71, P72, P74の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P71	8-31-2			KR1/TS03/SI21/SDA21/RxDA0	
P72	7-31-3			KR2/TS04/SO21/TxDA0	
P73	7-31-2			KR3/TS05/SO01	
P74	7-31-3			KR4/TS06/INTP8/SI01/SDA01	
P75	7-31-2			KR5/TS07/INTP9/SCK01/SCL01	
P120	7-9-6	入出力	アナログ機能	ANI19	ポート12。 3ビット入出力ポートと2ビット入力専用ポート。 P120-P122は1ビット単位で入力／出力の指定可能。 P120-P122は入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P120の出力はN-chオープン・ドレイン出力[VDD耐圧]に設定可能。 P120はアナログ機能に設定可能注。
P121	7-2-1		入力ポート	VBAT/X1	
P122				X2/EXCLK/EXCLKS	
P123	2-2-1	入力		XT1	
P124				XT2/EXCLKS	
P130	1-1-5	入出力	出力ポート	TS19	ポート13。 1ビット出力ポートと1ビット入力専用ポート。 ただし、P130はTS19として使用する場合に入出力となります。
P137	2-1-3	入力	入力ポート	INTP0	
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6/TS08	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ機能に設定可能注。
P146				TS09	
P147	7-9-5		アナログ機能	ANI18/TS10	
$\overline{\text{RESET}}$	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。

注　各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロールA・レジスタ（PMCAxx）で設定します。（1ビット単位で設定可能）

備考　上表の（ ）内の機能は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。詳細は、**4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

2.2　ポート以外の端子機能

2.2.1　製品別の搭載機能

(1/4)

機能名称	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
ANI0	○	○	○	○	○	○	○	○	○	○
ANI1	○	○	○	○	○	○	○	○	○	○
ANI2	○	○	○	○	○	○	○	○	○	○
ANI3	○	○	○	○	○	○	–	–	–	–
ANI4	○	○	○	○	–	–	–	–	–	–
ANI5	○	○	○	○	–	–	–	–	–	–
ANI6	○	○	○	–	–	–	–	–	–	–
ANI7	○	○	–	–	–	–	–	–	–	–
ANI16	–	–	–	–	○	○	○	○	○	–
ANI17	–	–	–	–	○	○	○	○	○	–
ANI18	○	○	○	○	○	○	○	○	○	–
ANI19	○	○	○	○	○	○	–	–	–	–
TS00	○	○	○	○	○	○	○	○	–	–
TS01	○	○	○	○	○	○	○	○	–	–
TS02	○	○	○	○	○	–	–	–	–	–
TS03	○	○	○	○	–	–	–	–	–	–
TS04	○	○	○	○	–	–	–	–	–	–
TS05	○	○	○	–	–	–	–	–	–	–
TS06	○	–	–	–	–	–	–	–	–	–
TS07	○	–	–	–	–	–	–	–	–	–
TS08	○	–	–	–	–	–	–	–	–	–
TS09	○	○	–	–	–	–	–	–	–	–
TS10	○	○	○	○	○	○	○	○	○	–
TS11	○	○	○	○	○	○	○	○	○	○
TS12	○	○	○	○	○	○	○	○	○	○
TS13	○	○	○	○	○	○	○	○	○	○
TS14	○	○	○	○	○	○	–	–	–	–
TS15	○	○	○	○	○	○	–	–	–	–
TS16	○	○	○	○	○	○	–	–	–	–
TS17	○	○	○	○	○	○	○	○	○	–
TS18	○	○	○	○	○	○	○	○	○	○
TS19	○	–	–	–	–	–	○	–	–	–
TS20	○	○	○	○	○	○	○	○	○	○
TS21	○	○	○	○	○	○	–	–	–	–
TS22	○	○	○	○	–	–	–	–	–	–
TS23	○	○	○	○	–	–	–	–	–	–

(2/4)

機能名称	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
TS24	○	○	○	–	–	–	–	–	–	–
TS25	○	○	–	–	–	–	–	–	–	–
TS26	○	○	○	○	○	○	○	○	○	–
TS27	○	○	○	○	○	○	○	○	○	–
TS28	○	○	○	○	○	○	–	–	–	–
TSCAP	○	○	○	○	○	○	○	○	○	○
INTP0	○	○	○	○	○	○	○	○	○	○
INTP1	○	○	○	○	○	○	○	○	–	–
INTP2	○	○	○	○	○	○	–	–	–	–
INTP3	○	○	○	○	○	○	○	○	○	○
INTP4	○	○	○	○	○	○	○	○	–	–
INTP5	○	○	○	○	○	○	○	○	○	–
INTP6	○	–	–	–	–	–	–	–	–	–
INTP8	○	–	–	–	–	–	–	–	–	–
INTP9	○	–	–	–	–	–	–	–	–	–
KR0	○	○	○	–	–	–	–	–	–	–
KR1	○	○	○	–	–	–	–	–	–	–
KR2	○	○	○	–	–	–	–	–	–	–
KR3	○	○	○	–	–	–	–	–	–	–
KR4	○	–	–	–	–	–	–	–	–	–
KR5	○	–	–	–	–	–	–	–	–	–
PCLBUZ0	○	○	○	○	○	○	○	○	–	–
PCLBUZ1	○	○	○	○	○	○	–	–	–	–
REGC	○	○	○	○	○	○	○	○	○	○
RTC1HZ	○	○	○	○	○	○	○	○	○	○
$\overline{\text{RESET}}$	○	○	○	○	○	○	○	○	○	○
RxD0	○	○	○	○	○	○	○	○	○	○
RxD1	○	○	○	○	○	○	○	○	○	–
RxD2	○	○	○	○	○	○	–	–	–	–
TxD0	○	○	○	○	○	○	○	○	○	○
TxD1	○	○	○	○	○	○	○	○	○	–
TxD2	○	○	○	○	○	○	–	–	–	–
RxDA0	○	○	○	○	–	–	–	–	–	–
TxDA0	○	○	○	○	–	–	–	–	–	–
SCK00	○	○	○	○	○	○	○	○	○	○
SCK01	○	–	–	–	–	–	–	–	–	–
SCK11	○	○	○	○	○	○	○	○	○	○
SCK20	○	○	○	○	○	○	–	–	–	–
SCK21	○	○	○	○	–	–	–	–	–	–
SCL00	○	○	○	○	○	○	○	○	○	○

(3/4)

機能名称	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
SCL01	○	–	–	–	–	–	–	–	–	–
SCL11	○	○	○	○	○	○	○	○	○	○
SCL20	○	○	○	○	○	○	–	–	–	–
SCL21	○	○	○	○	–	–	–	–	–	–
SDA00	○	○	○	○	○	○	○	○	○	○
SDA01	○	–	–	–	–	–	–	–	–	–
SDA11	○	○	○	○	○	○	○	○	○	○
SDA20	○	○	○	○	○	○	–	–	–	–
SDA21	○	○	○	○	–	–	–	–	–	–
SI00	○	○	○	○	○	○	○	○	○	○
SI01	○	–	–	–	–	–	–	–	–	–
SI11	○	○	○	○	○	○	○	○	○	○
SI20	○	○	○	○	○	○	–	–	–	–
SI21	○	○	○	○	–	–	–	–	–	–
SO00	○	○	○	○	○	○	○	○	○	○
SO01	○	–	–	–	–	–	–	–	–	–
SO11	○	○	○	○	○	○	○	○	○	–
SO20	○	○	○	○	○	○	–	–	–	–
SO21	○	○	○	○	–	–	–	–	–	–
SCLA0	○	○	○	○	○	○	○	○	–	–
SDAA0	○	○	○	○	○	○	○	○	–	–
TI00	○	○	○	○	○	○	○	○	○	–
TI01	○	○	○	○	○	○	○	○	○	–
TI02	○	○	○	○	○	○	○	○	○	○
TI03	○	○	○	○	○	○	○	○	–	–
TI04	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–	–
TI05	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–	–
TI06	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–	–
TI07	○	○	(○)	(○)	(○)	(○)	–	–	–	–
TO00	○	○	○	○	○	○	○	○	○	–
TO01	○	○	○	○	○	○	○	○	○	–
TO02	○	○	○	○	○	○	○	○	○	○
TO03	○	○	○	○	○	○	○	○	–	–
TO04	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–	–
TO05	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–	–
TO06	(○)	(○)	(○)	(○)	(○)	(○)	–	–	–	–
TO07	○	○	(○)	(○)	(○)	(○)	–	–	–	–
X1	○	○	○	○	○	○	○	○	○	○
X2	○	○	○	○	○	○	○	○	○	○

(4/4)

機能名称	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
EXCLK	○	○	○	○	○	○	○	○	○	○
XT1	○	○	○	○	○	○	○	○	○	○
XT2	○	○	○	○	○	○	○	○	○	○
EXCLKS	○	○	○	○	○	○	○	○	○	○
VDD	○	○	○	○	○	○	○	○	○	○
VBAT	○	○	○	–	–	–	–	–	–	–
AVREFP	○	○	○	○	○	○	○	○	○	○
AVREFM	○	○	○	○	○	○	○	○	○	○
VSS	○	○	○	○	○	○	○	○	○	○
TOOLRxD	○	○	○	○	○	○	○	○	○	○
TOOLTxD	○	○	○	○	○	○	○	○	○	○
TOOL0	○	○	○	○	○	○	○	○	○	○

備考　（ ）は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、端子を割り当てることができます。

2.2.2　機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI7, ANI16-ANI19	入力	A/Dコンバータのアナログ入力（**図12 - 45　VDD、AVREFP、アナログ入力端子の処理**参照）
TS00-TS28	入出力	静電容量計測（タッチセンサ）
★ TSCAP	－	静電容量計測用電源コンデンサ接続 コンデンサ（10 nF）を介し、VSSに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
INTP0-INTP6, INTP8, INTP9	入力	外部割り込み要求入力 有効エッジ指定：立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ
KR0-KR5	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力／ブザー出力
REGC	－	内部動作用レギュレータ出力安定容量接続 コンデンサ（0.47～1 μF）を介し、VSSに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz）出力
$\overline{\text{RESET}}$	入力	ロウ・レベル・アクティブのシステム・リセット入力 外部リセットを使用しない場合は、直接または抵抗を介してVDDに接続してください。
RxD0-RxD2	入力	シリアル・インタフェースUART0-UART2のシリアル・データ入力
TxD0-TxD2	出力	シリアル・インタフェースUART0-UART2のシリアル・データ出力
RxDA0	入力	シリアル・インタフェースUARTA0のシリアル・データ入力
TxDA0	出力	シリアル・インタフェースUARTA0のシリアル・データ出力
SCK00, SCK01, SCK11, SCK20, SCK21	入出力	シリアル・インタフェースCSI00, CSI01, CSI11, CSI20, CSI21のシリアル・クロック入出力
SCL00, SCL01, SCL11, SCL20, SCL21	出力	シリアル・インタフェースIIC00, IIC01, IIC11, IIC20, IIC21のシリアル・クロック出力
SDA00, SDA01, SDA11, SDA20, SDA21	入出力	シリアル・インタフェースIIC00, IIC01, IIC11, IIC20, IIC21のシリアル・データ入出力
SI00, SI01, SI11, SI20, SI21	入力	シリアル・インタフェースCSI00, CSI01, CSI11, CSI20, CSI21のシリアル・データ入力
SO00, SO01, SO11,SO20, SO21	出力	シリアル・インタフェースCSI00, CSI01, CSI11, CSI20, CSI21のシリアル・データ出力
SCLA0	入出力	シリアル・インタフェースIICAのクロック入出力
SDAA0	入出力	シリアル・インタフェースIICAのシリアル・データ入出力
TI00-TI07	入力	タイマ・アレイ・ユニットのチャネル0～チャネル7への外部カウント・クロック／キャプチャ・トリガ入力
TO00-TO07	出力	タイマ・アレイ・ユニットのチャネル0～チャネル7のタイマ出力
X1, X2	－	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	－	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
VDD	－	正電源
VBAT	－	バッテリバックアップ用電源
AVREFP	入力	A/Dコンバータの基準電圧（＋側）入力
AVREFM	入力	A/Dコンバータの基準電圧（－側）入力

(2/2)

機能名称	入出力	機能
VSS	－	グランド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力

注意　リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

P40/TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、30.4　プログラミング方法を参照してください。

備考　ノイズ対策およびラッチアップ対策として、VDD - VSSライン間へのバイパスコンデンサ（0.1 μF程度）を最短距離でかつ、比較的太い配線を使って接続してください。

2.2.3 VBAT端子

2.2.3.1 VBAT端子の機能

VBAT 端子はバックアップ用バッテリの接続端子です。VBAT 端子にバックアップ用バッテリを接続することで、VDD 端子への電源供給が遮断されたときに VBAT 端子から電源供給することが可能です。

VBAT 端子は、主にリアルタイム・クロック（RTC）の動作継続を目的とした機能です。

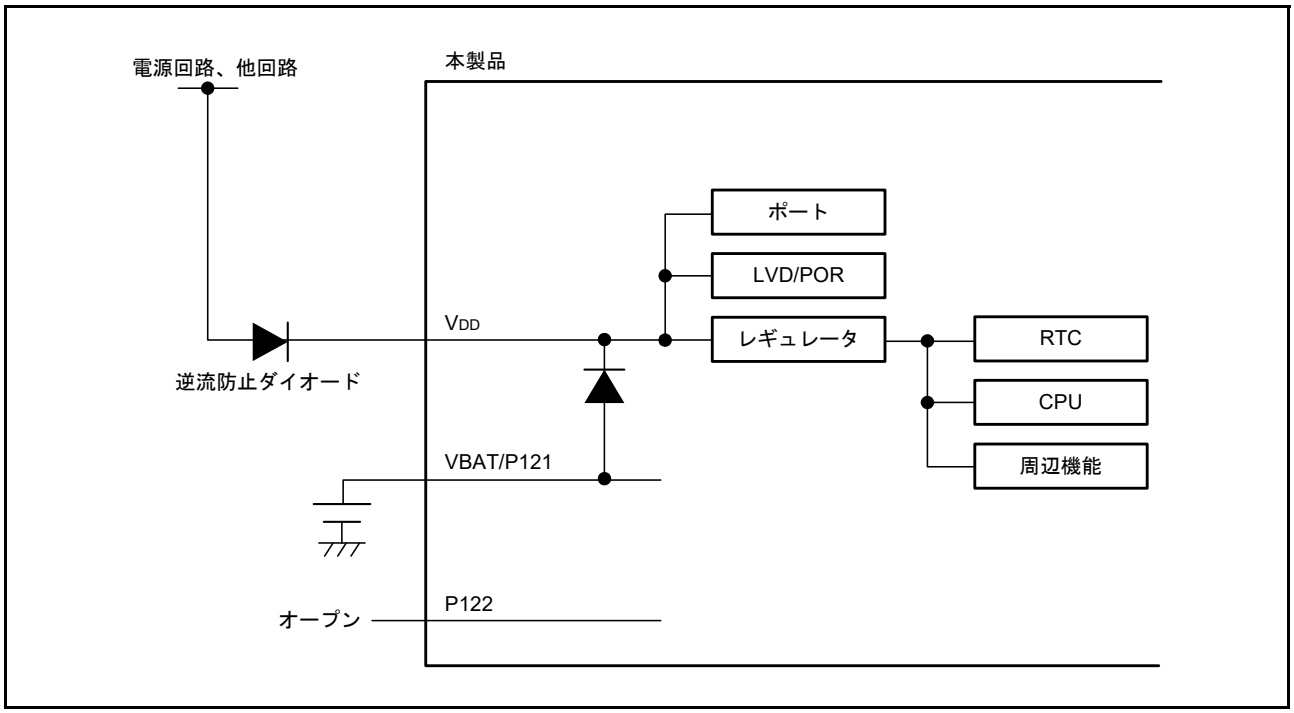
2.2.3.2 VBAT端子とバックアップ用バッテリの接続

図 2 - 1 に VBAT 端子の接続例を示します。

VBAT 端子は内部のダイオードを介して VDD に電源を供給します。VBAT 端子内部のダイオードは常に VDD に接続された状態です。VBAT 端子からダイオードを経由して VDD 端子に接続している電源回路や他回路への逆流を防ぐ必要がある場合は、VDD 端子の外部に逆流防止用のダイオードを接続してください。

VBAT 端子の入力電圧範囲は 2.7 ～ 5.5 V です。VBAT 端子から電源を供給している状態で VBAT 端子の入力電圧が 2.7 V 未満になるとダイオードの電圧降下により POR リセットが発生する場合があります。また、VBAT 端子から供給できる電流は 150 μA（Max.）です。

図2 - 1　VBAT端子の接続例



2.2.3.3 VBAT端子の使用方法

VBAT 端子の初期設定と電源供給を VBAT 端子へ切り替える手順例を示します。なお、VDD 端子の電圧が VBAT 端子の供給電圧を下回る前に処理を完了してください。

また、**図 2 - 2** に VDD 端子と VBAT 端子の切り替え時の状態遷移を示します。

(1) VBAT端子の初期設定

初期設定としてP121をX1発振モード（CMCレジスタのEXCLKビットを0、OSCSELビットを1、CSCレジスタのMSTOPビットを1）に設定してください。

★

(2) 電源供給をVBAT端子に切り替える手順例

① LVD0の割り込みモードを使用して、電源電圧（VDD）の低下時に割り込み要求を発生させます。この割り込み要求によって処理を開始します。

② LVD0以外の割り込みを禁止に設定します。

③ リアルタイム・クロック（RTC）以外の周辺機能を停止します。

④ 各ポートの出力設定を変更し、ポートに電流が流れないようにします。

⑤ LVD0の割り込み要求フラグをクリアします。

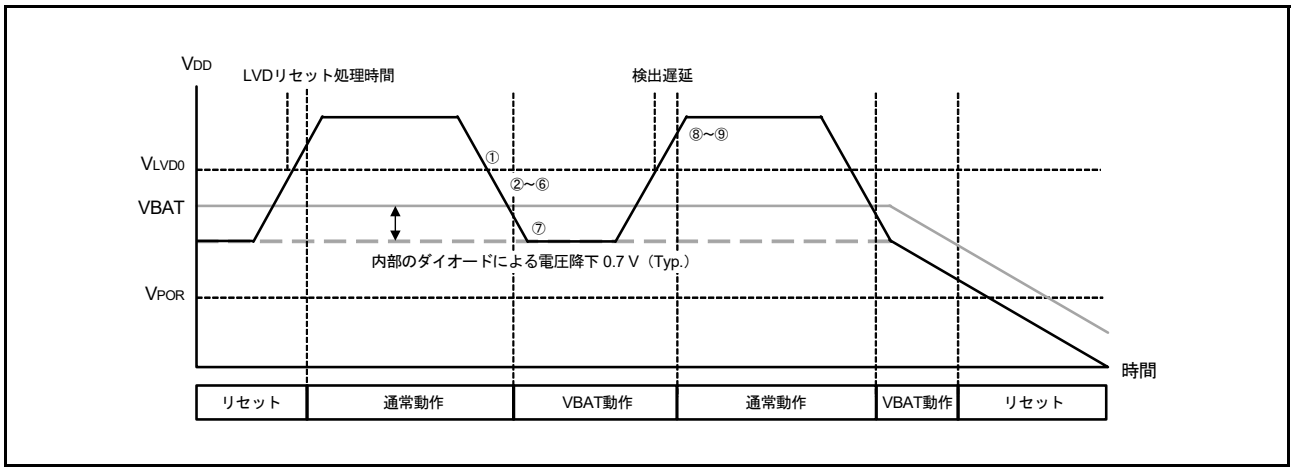
⑥ LVD0F = 1（VDD＜検出電圧）であることを確認後、CPUがメイン・システム・クロックで動作中の場合はSTOPモードへ移行します。CPUがサブシステム・クロックで動作中の場合はHALTモードへ移行します。

⑦ LVD0の割り込み要求が発生するまで状態を維持します。

⑧ 電源電圧（VDD）が再投入されると、LVD0の割り込み要求が発生し、STOPモードおよびHALTモードが解除されます。

⑨ LVD0F = 0（VDD≧検出電圧）であることを確認後、周辺機能を再設定し、電源電圧（VDD）供給時の動作に移行します。

図2 - 2　VDD端子とVBAT端子の切り替え時の状態遷移



VDD端子とVBAT端子の切り替えが頻繁に発生する場合は、④と⑤の間で電圧の変動の収まる期間をウエイトすることでVDD端子とVBAT端子の切り替えの発生を抑えることができます。

注意1. バッテリ電源を供給しているときは、メイン・システム・クロックでの動作は禁止です。

注意2. バッテリ電源を供給しているときは、WDTがカウント動作停止するように設定してください。
また、リセット端子へのロウ・レベルの入力は禁止です。リセット解除時にメイン・システム・クロックで動作を開始し、150 μA（Max.）を超えるためです。

注意3. バッテリ電源を使用する場合は、P121をX1発振モードに設定してください。P121を入力設定および出力設定にしないでください。

2.3　未使用端子の処理

表 2 - 2 に各端子の未使用端子処理を示します。

備考　製品により、搭載している端子が異なります。**1.3　端子接続図（Top View）**、**2.1　ポートの端子機能**を参照してください。

表2 - 2　各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00, P01	入出力	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P10-P17		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P20-P27		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P30, P31		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して、VDDに接続またはオープンにしてください。 出力時：オープンにしてください。
P41		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P50, P51		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P60-P63		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：ポートの出力ラッチに0を設定してオープン、またはポートの出力ラッチに1を設定し、個別に抵抗を介してVDDまたはVSSに接続してください。
P70-P75		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P120		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P121, P122		入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
P123, P124	入力	クロック動作モード制御レジスタ（CMC）のEXCLKSビットに0、OSCSELSビットに1、かつクロック動作ステータス制御レジスタ（CSC）のXTSTOPビットに1を設定し、オープンにしてください。注 または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P130	出力	オープンにしてください。
P137	入力	ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDIS13）のPDIDIS137ビットに1を設定し、オープンにしてください。または、個別に抵抗を介して、VDDまたはVSSに接続してください。
P140, P146, P147	入出力	入力時：個別に抵抗を介して、VDDまたはVSSに接続してください。 出力時：オープンにしてください。
$\overline{\text{RESET}}$	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	－	コンデンサ（0.47～1 μF）を介して、VSSに接続してください。

注　CPU／周辺ハードウェア・クロック（fCLK）に低速オンチップ・オシレータ・クロック（fIL）を選択したときは、電流が1 μA程度増える場合があります。

2.4　端子ブロック図

2.1.1　16 ピン製品～ 2.1.10　48 ピン製品に記載した端子タイプについて、**図 2 - 3 ～図 2 - 26** に端子ブロック図を示します。

図2 - 3　端子タイプ1-1-5の端子ブロック図

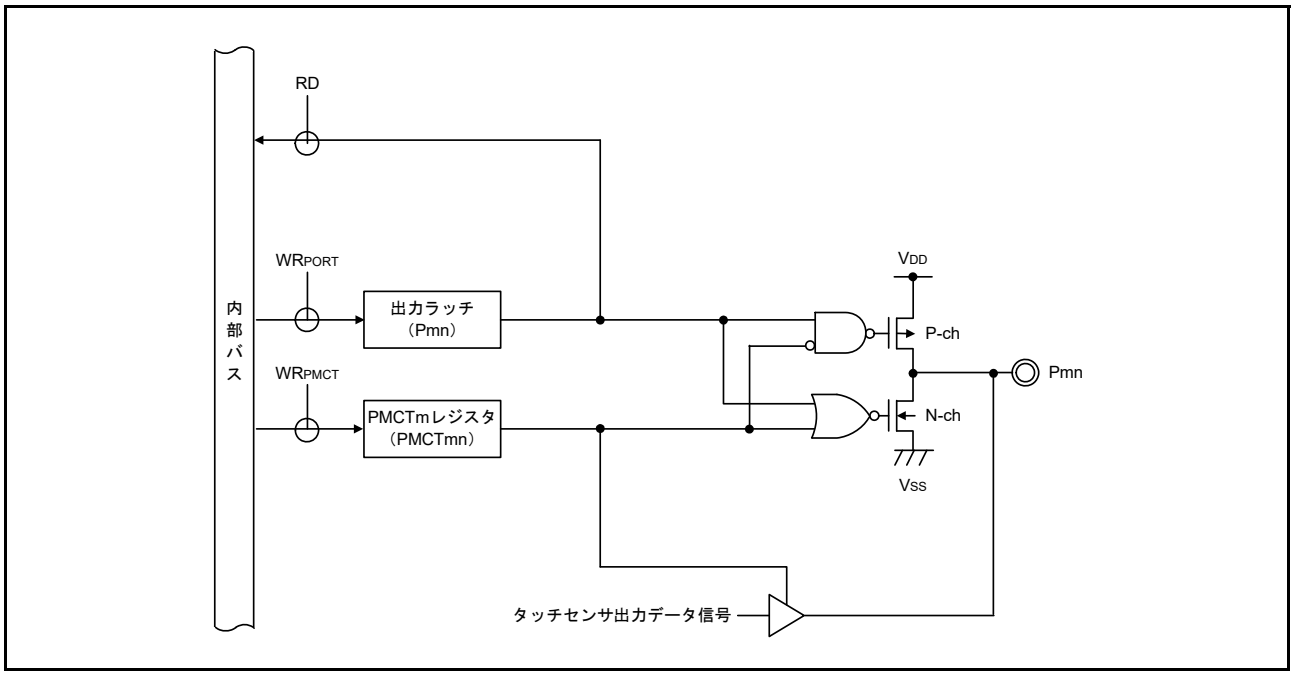


図2 - 4　端子タイプ2-1-1の端子ブロック図

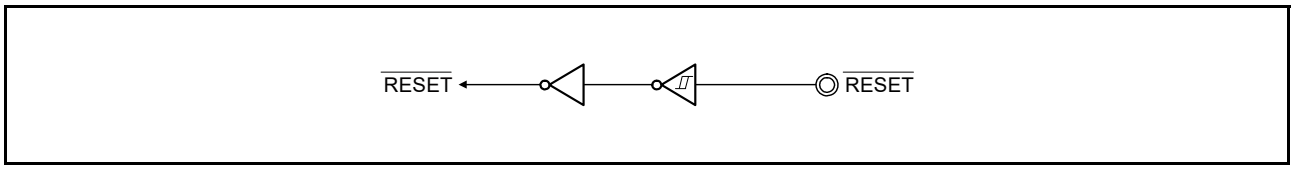
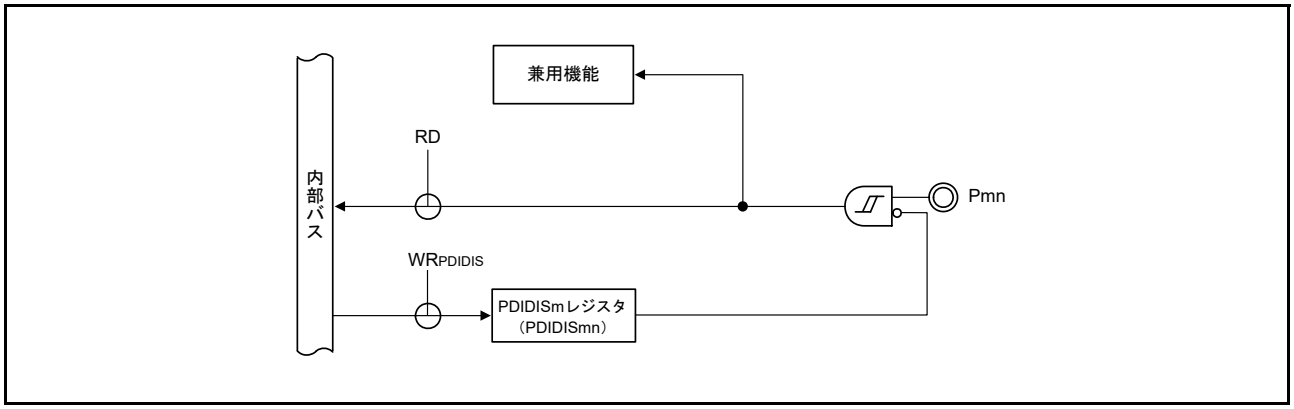
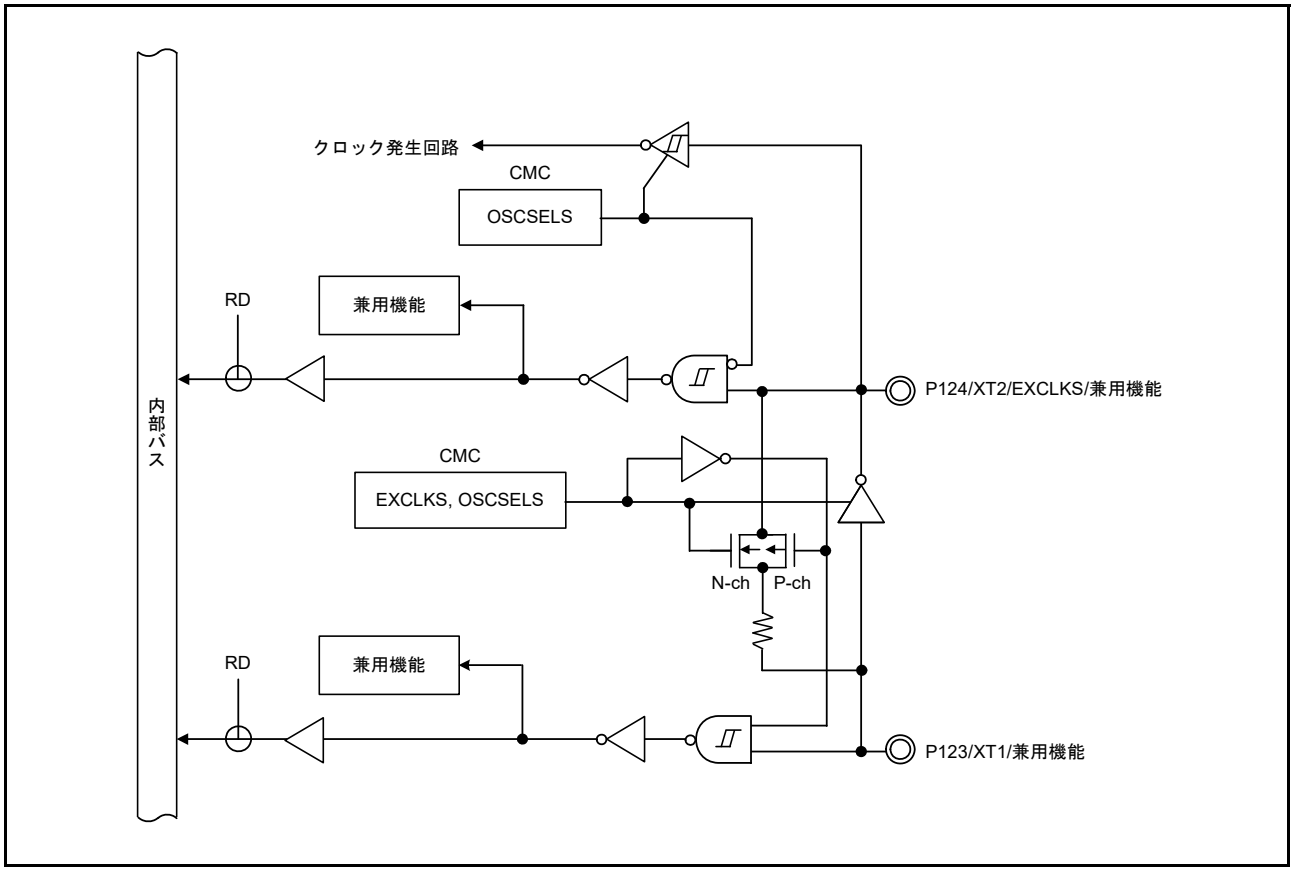


図2 - 5　端子タイプ2-1-3の端子ブロック図



備考　兼用機能は、**2.1　ポートの端子機能**を参照してください。

図2 - 6　　端子タイプ2-2-1の端子ブロック図



備考　兼用機能は、**2.1　ポートの端子機能**を参照してください。

図2 - 7　　端子タイプ4-3-5の端子ブロック図

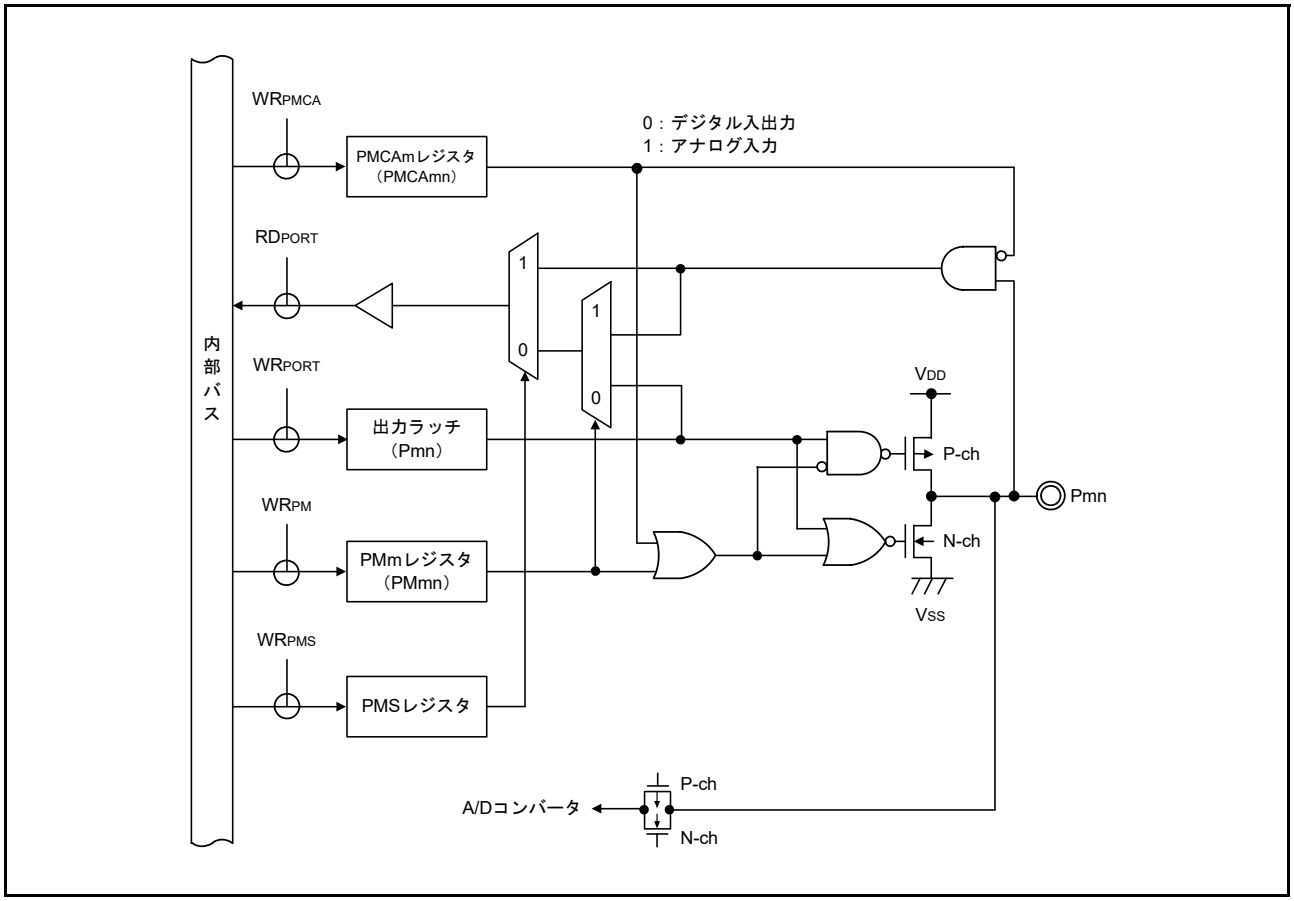


図2 - 8　　端子タイプ4-33-1の端子ブロック図

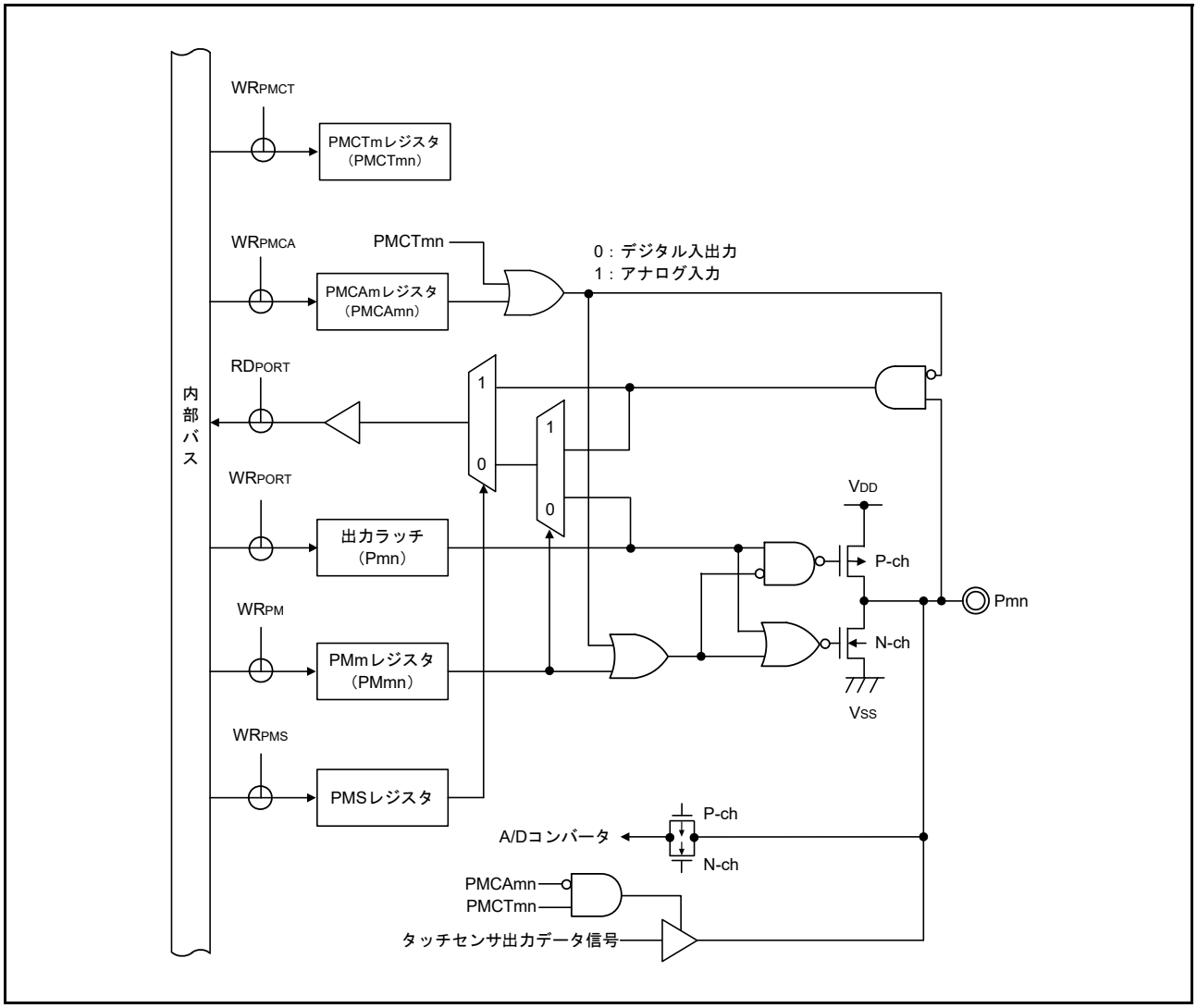
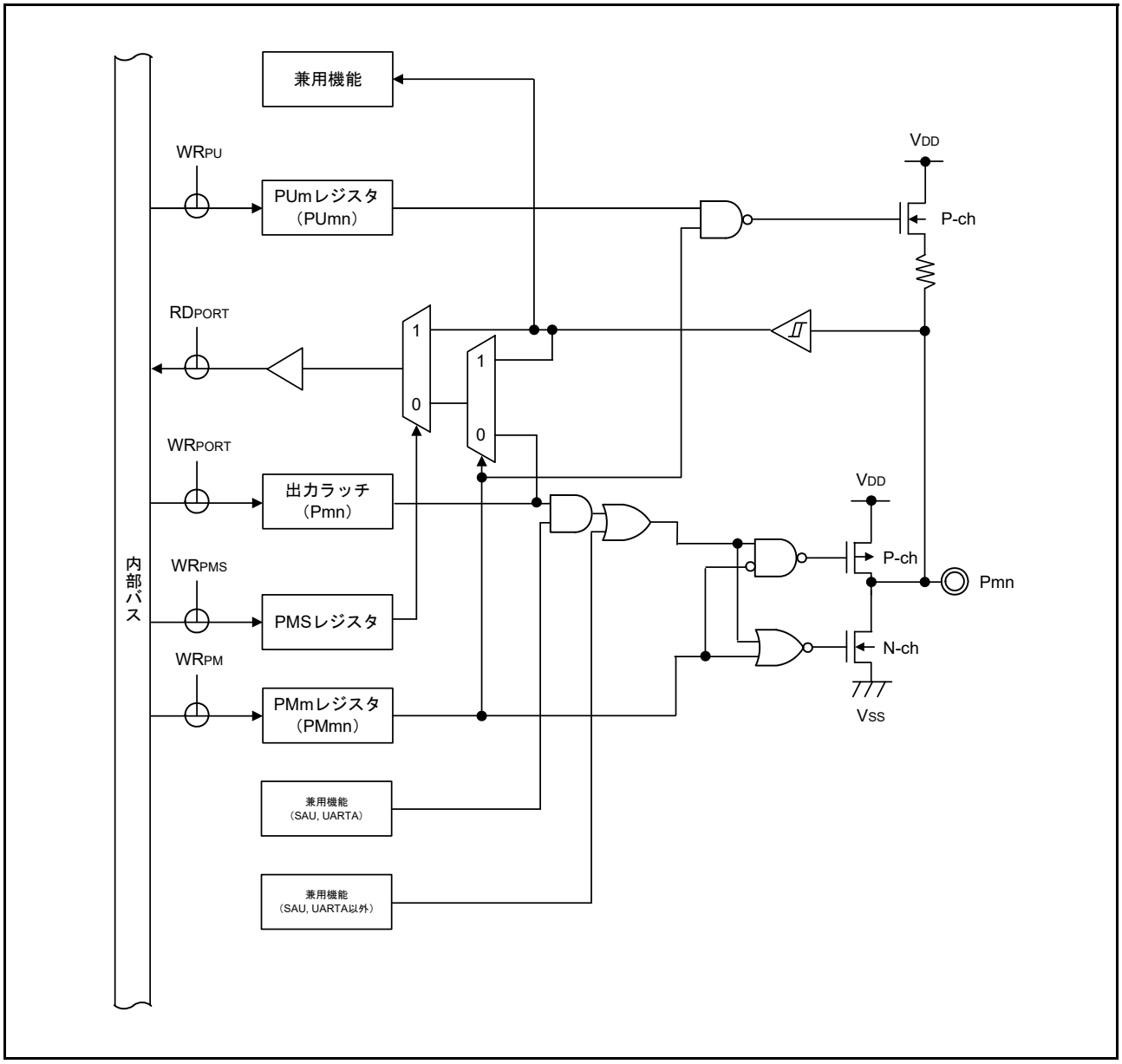


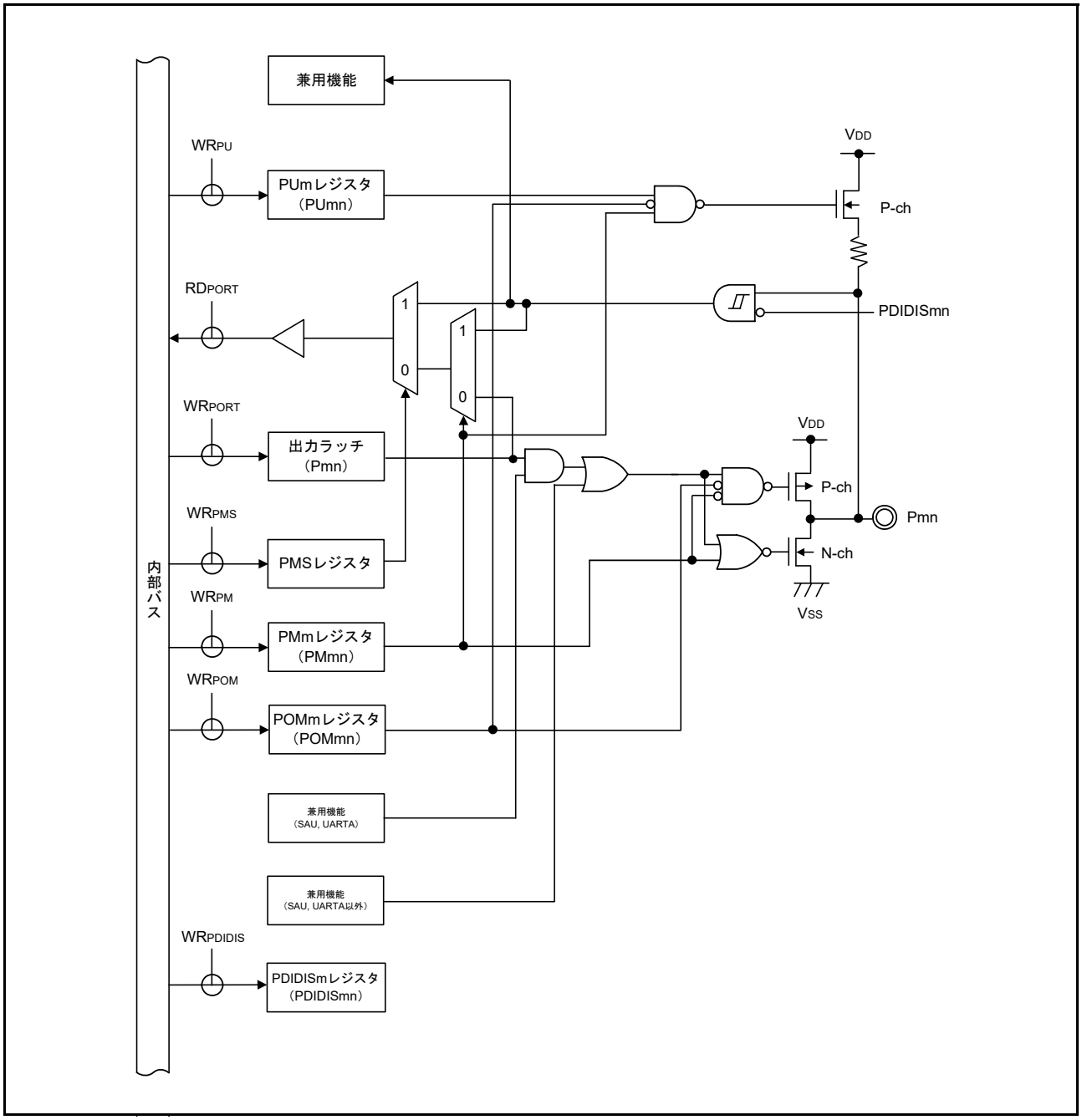
図2 - 9　　端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 10　端子タイプ7-1-12の端子ブロック図

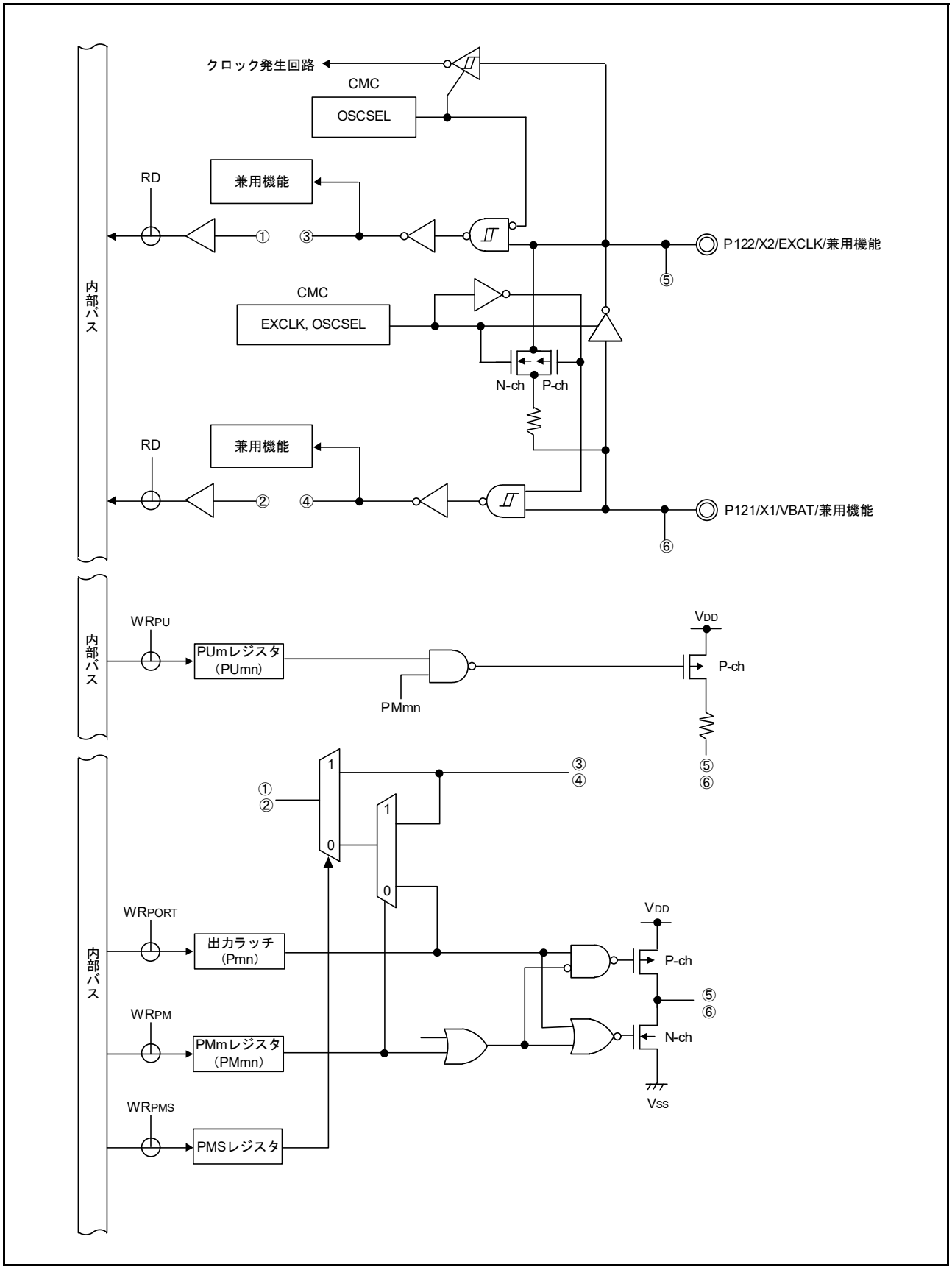


注意　**ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。**

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

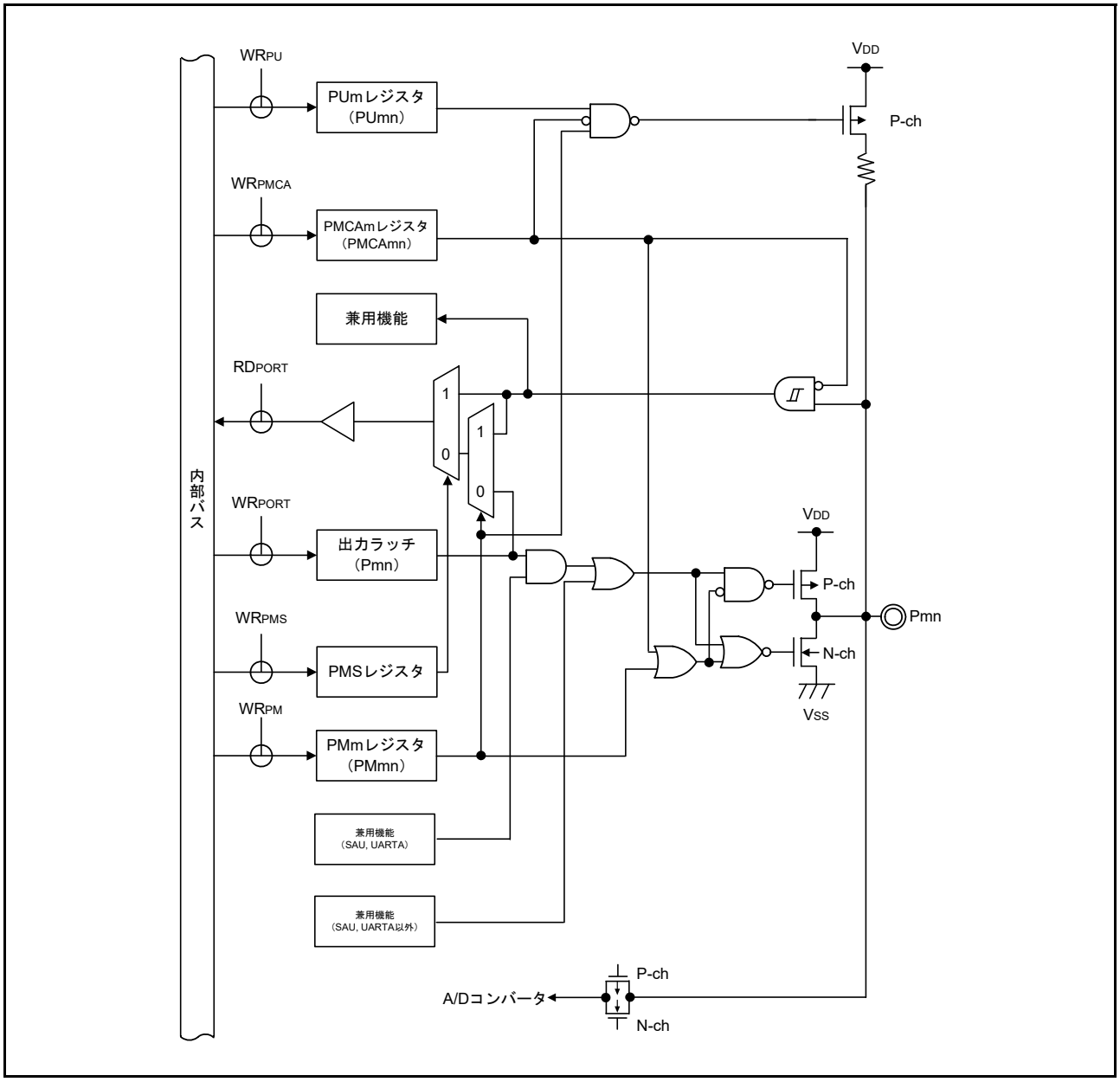
備考2. SAU：シリアル・アレイ・ユニット

図2 - 11　　端子タイプ7-2-1の端子ブロック図



備考　兼用機能は、**2.1　ポートの端子機能**を参照してください。

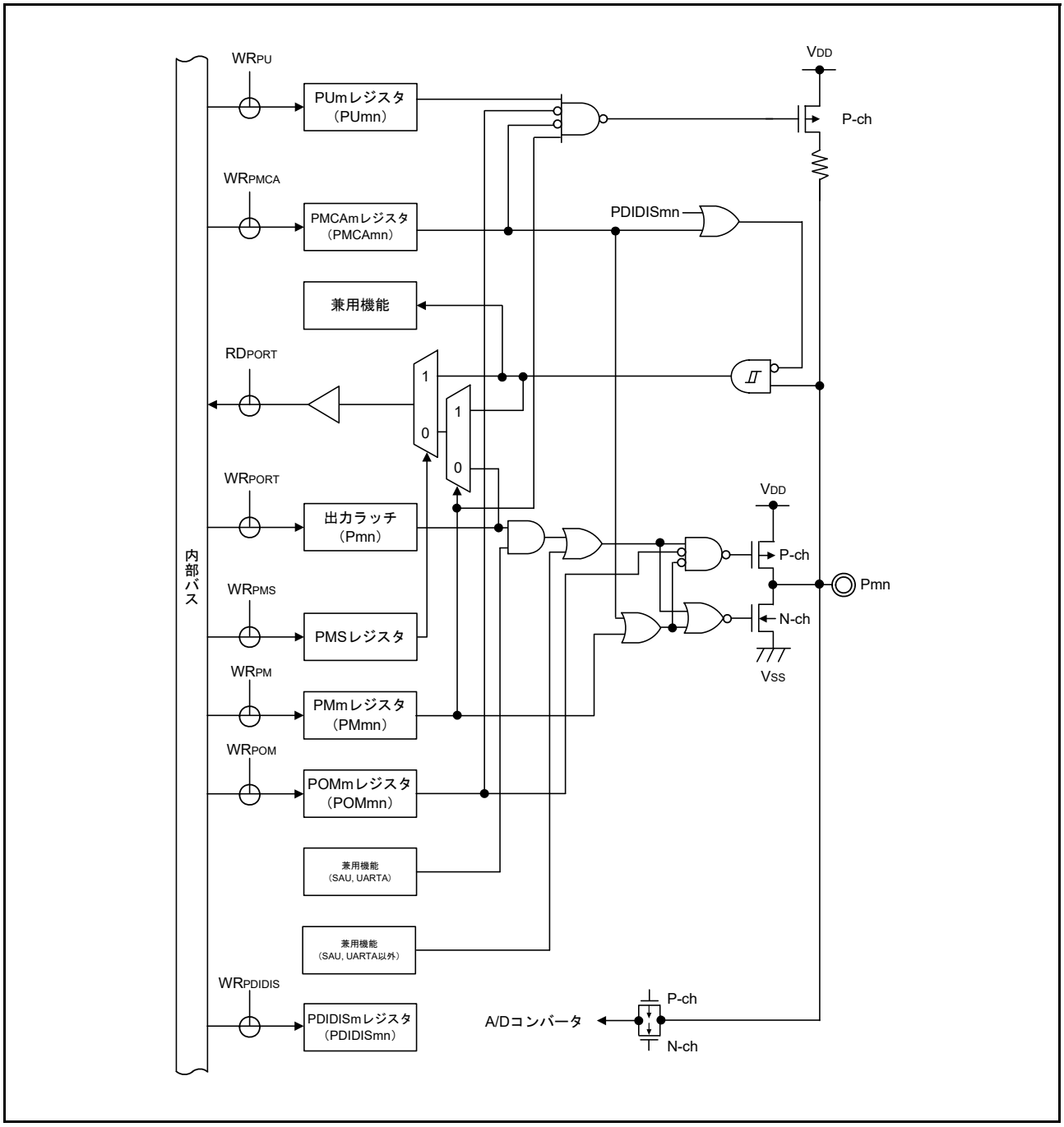
図2 - 12　　端子タイプ7-9-5の端子ブロック図



備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 13　端子タイプ7-9-6の端子ブロック図

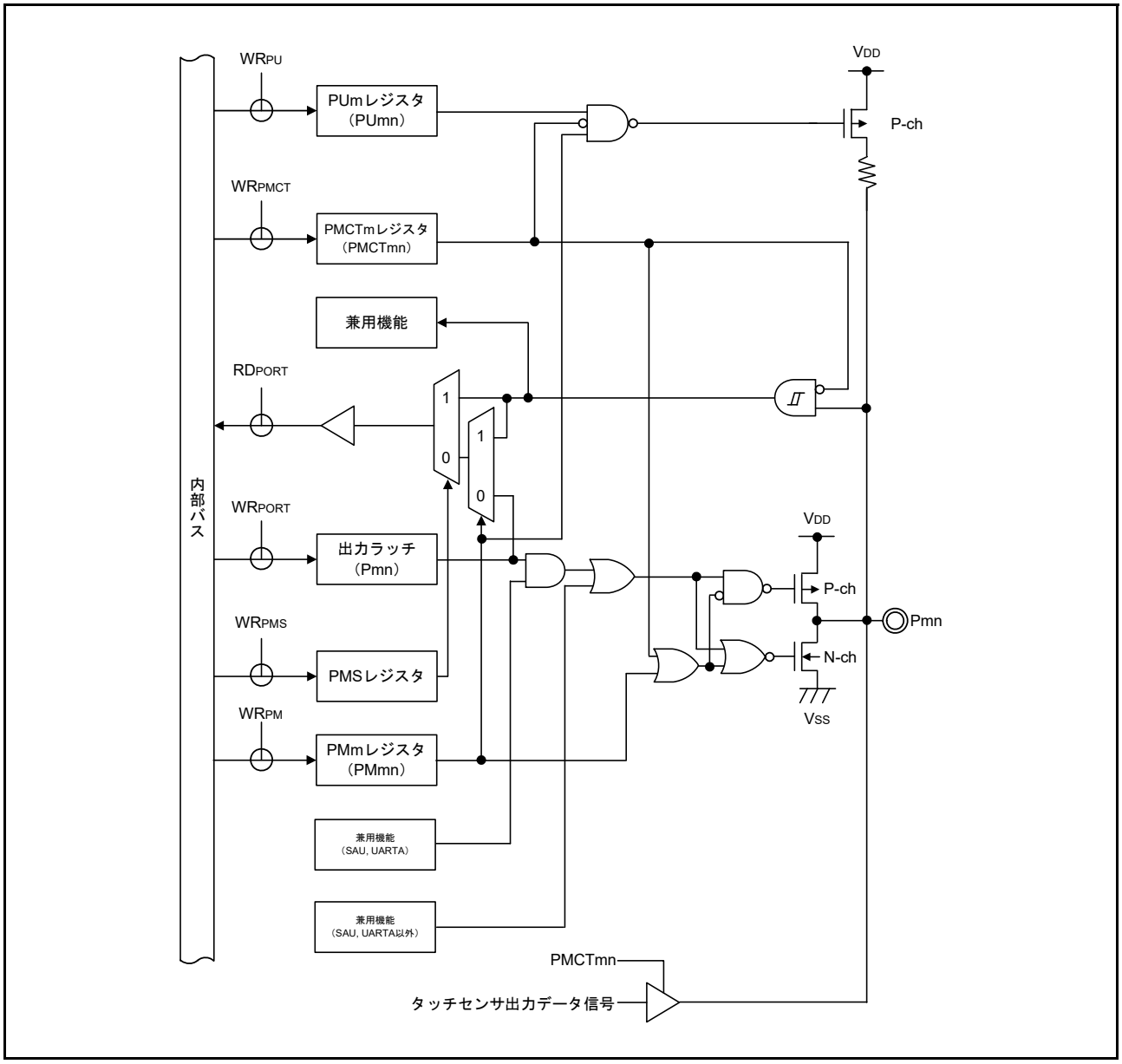


注意　**ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISm レジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。**

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

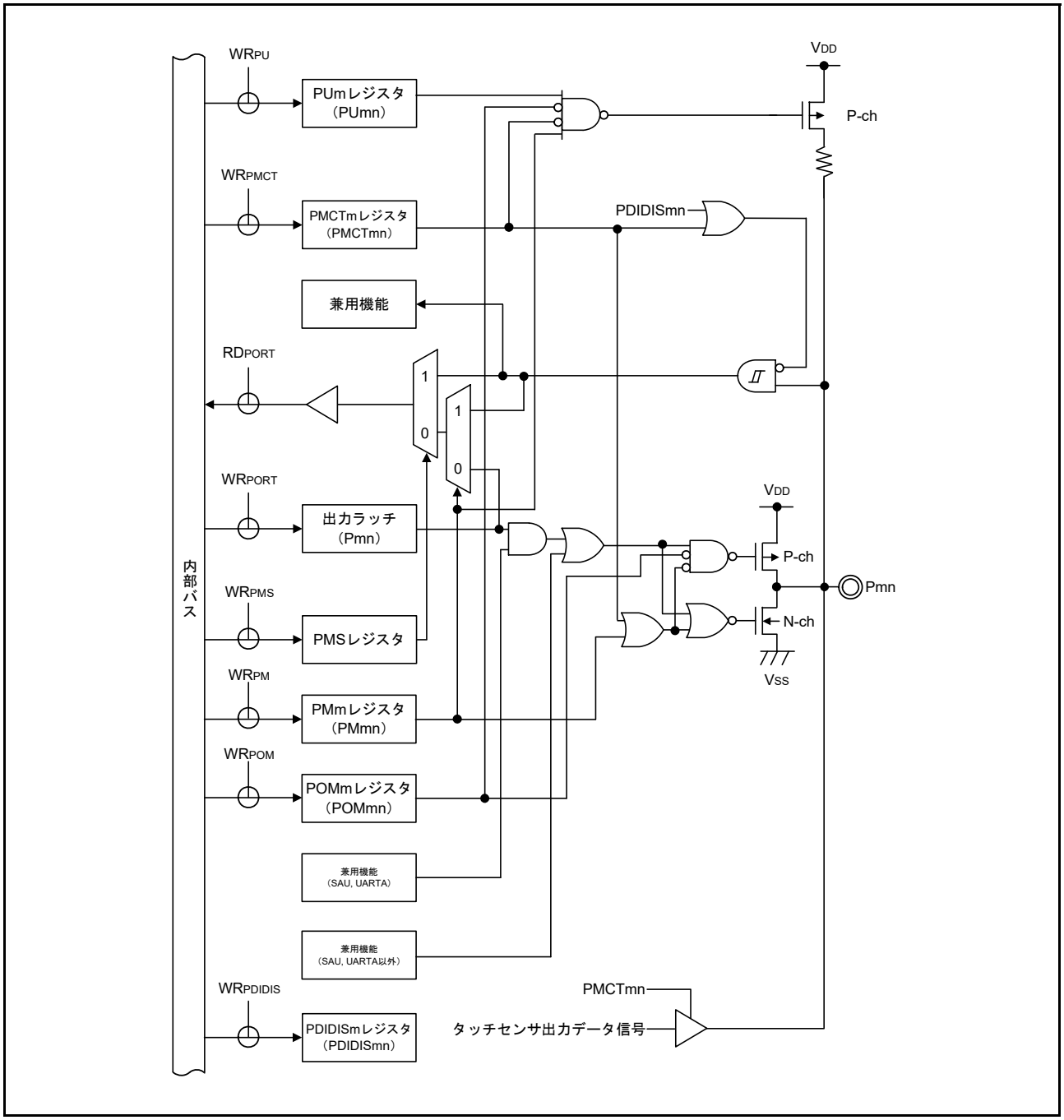
図2 - 14　　端子タイプ7-31-2の端子ブロック図



備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 15　端子タイプ7-31-3の端子ブロック図

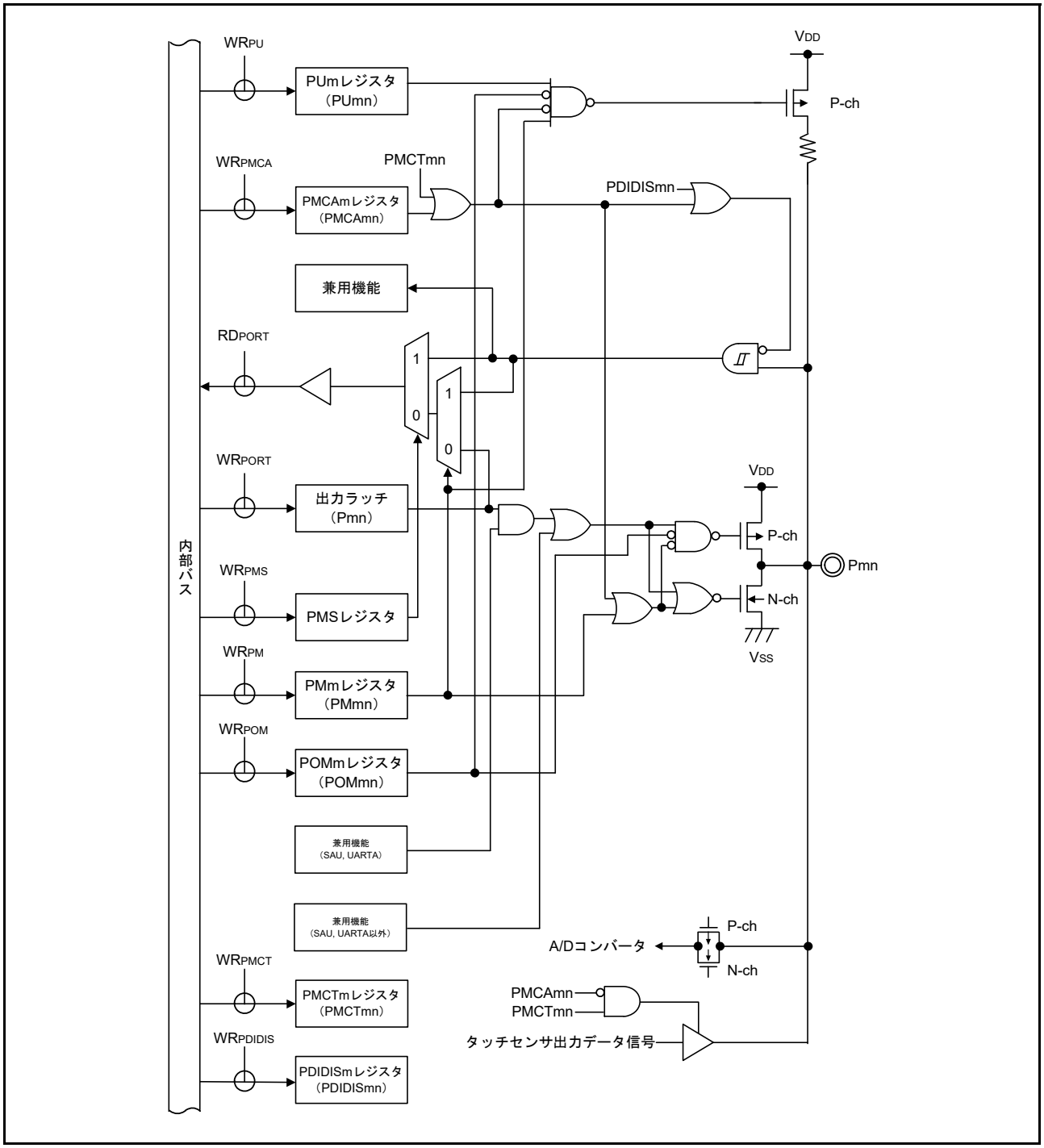


注意　ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 16　端子タイプ7-33-4の端子ブロック図



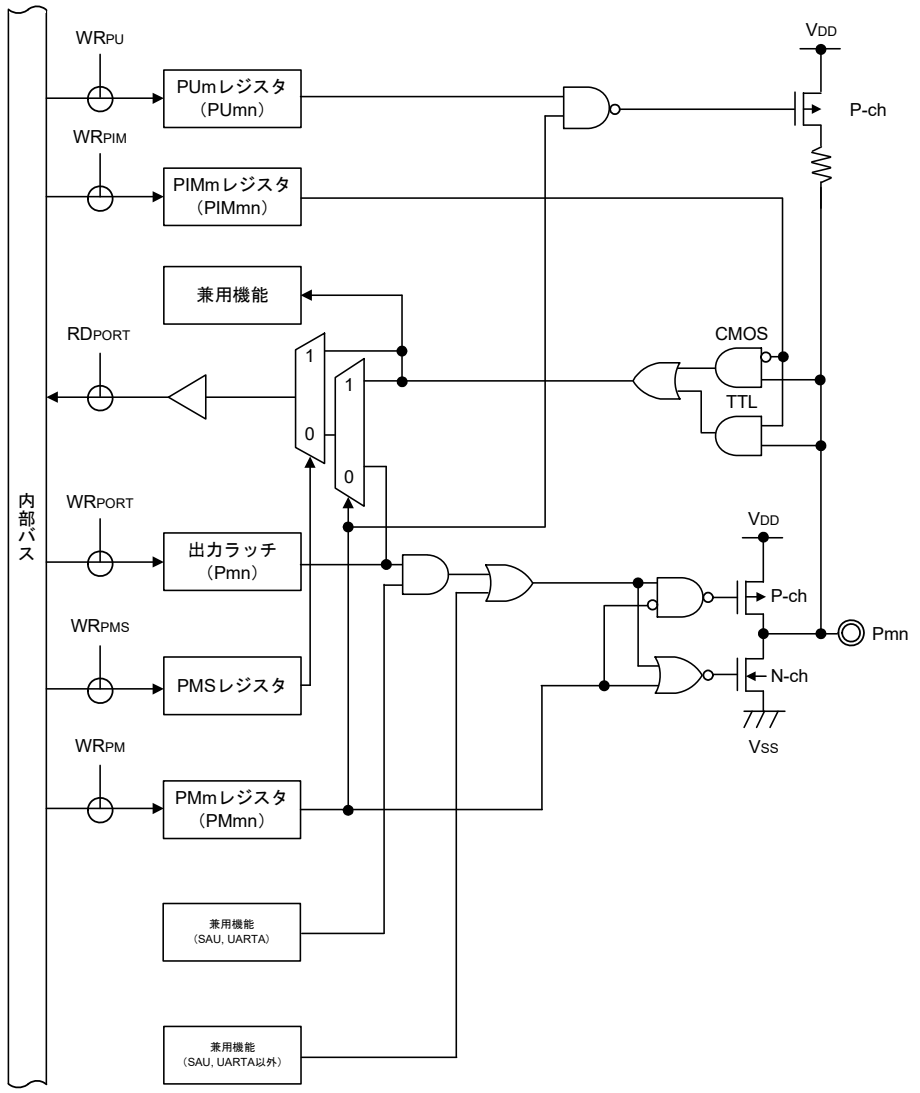
注意　**ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。**

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 17　　端子タイプ8-1-3の端子ブロック図

★

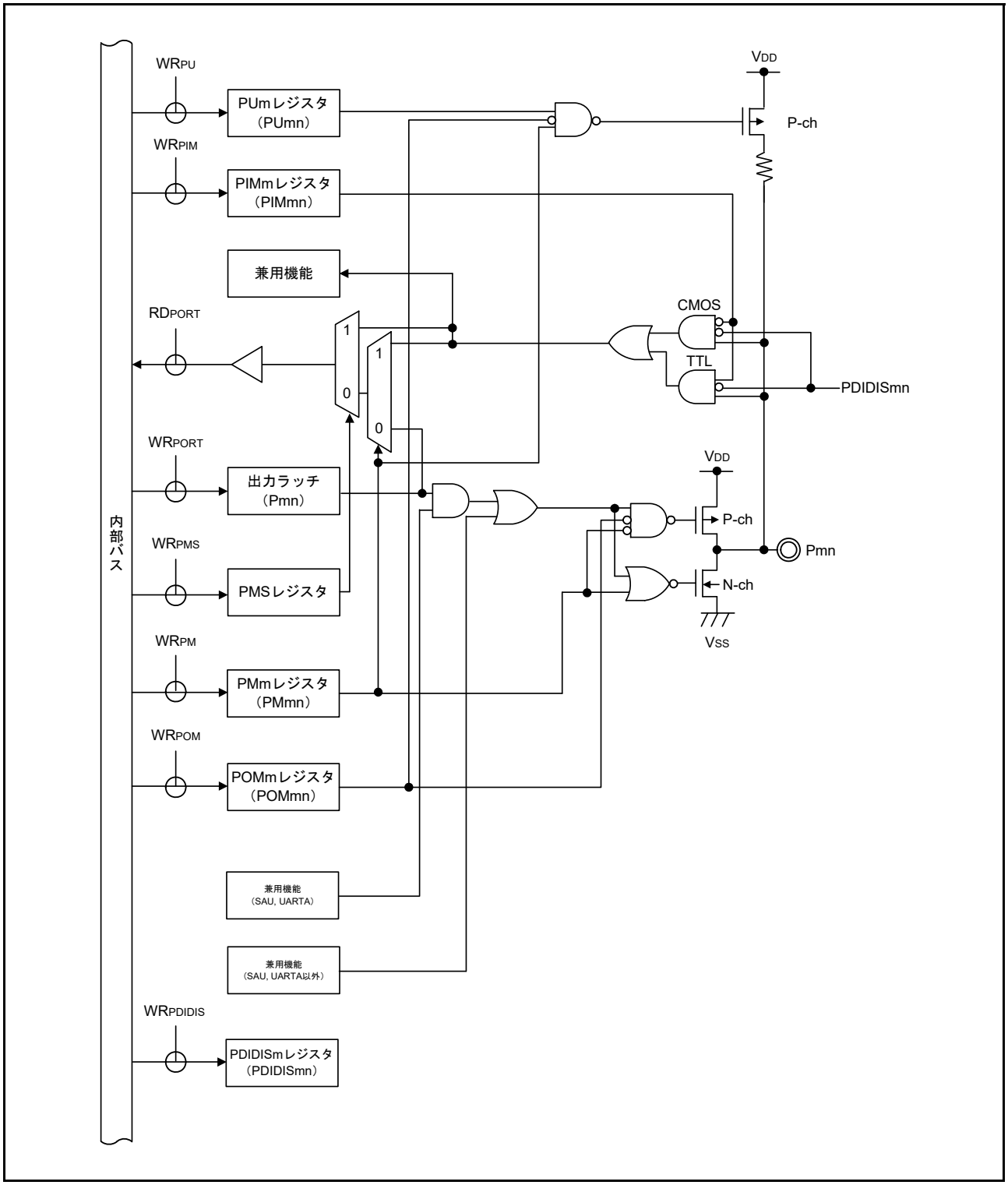


注意　**ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。**

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 18　端子タイプ8-1-11の端子ブロック図



（注意、備考は次ページに続きます）

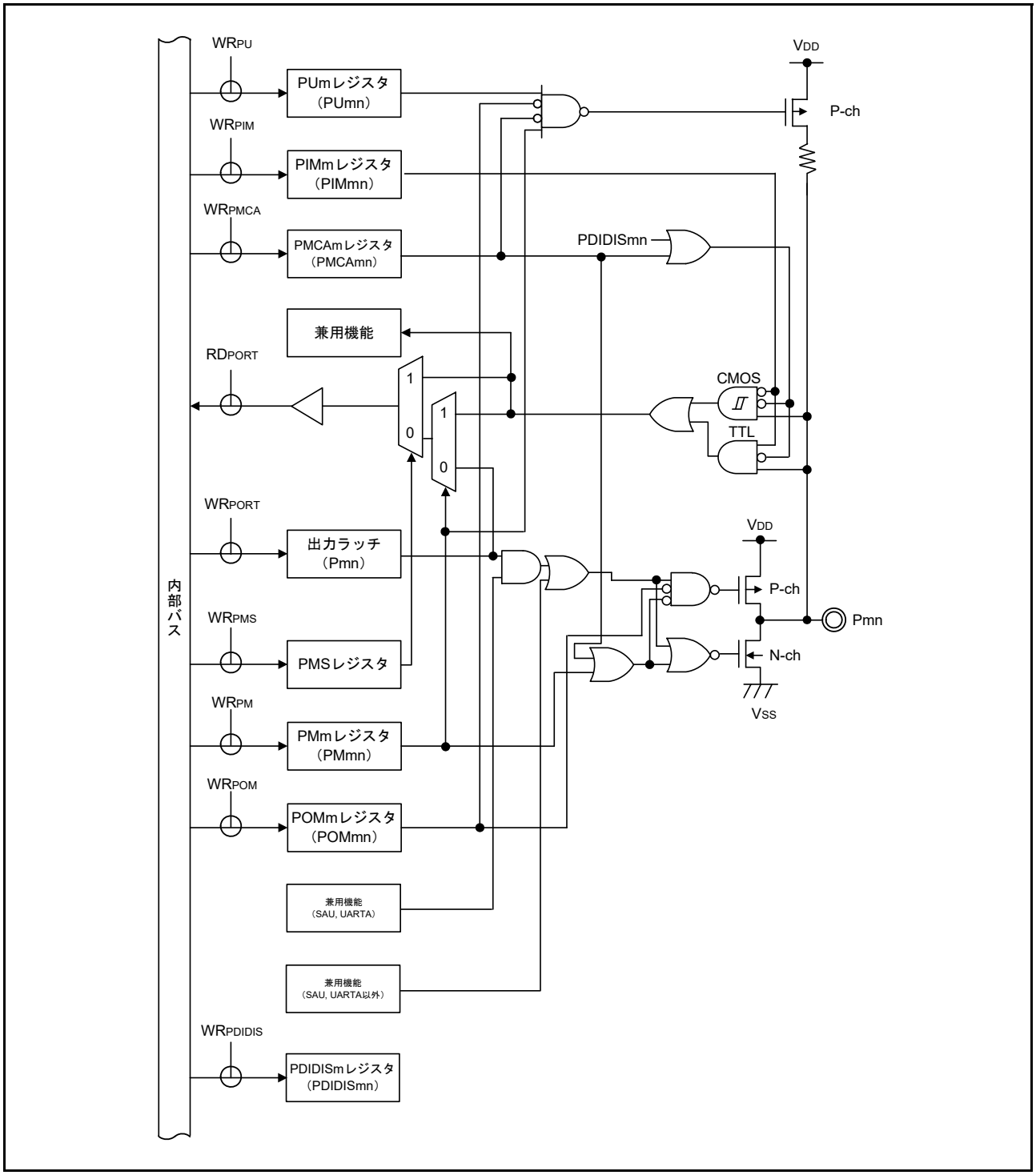
注意1. **ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。**

注意2. **ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。**

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 19　　端子タイプ8-6-9の端子ブロック図



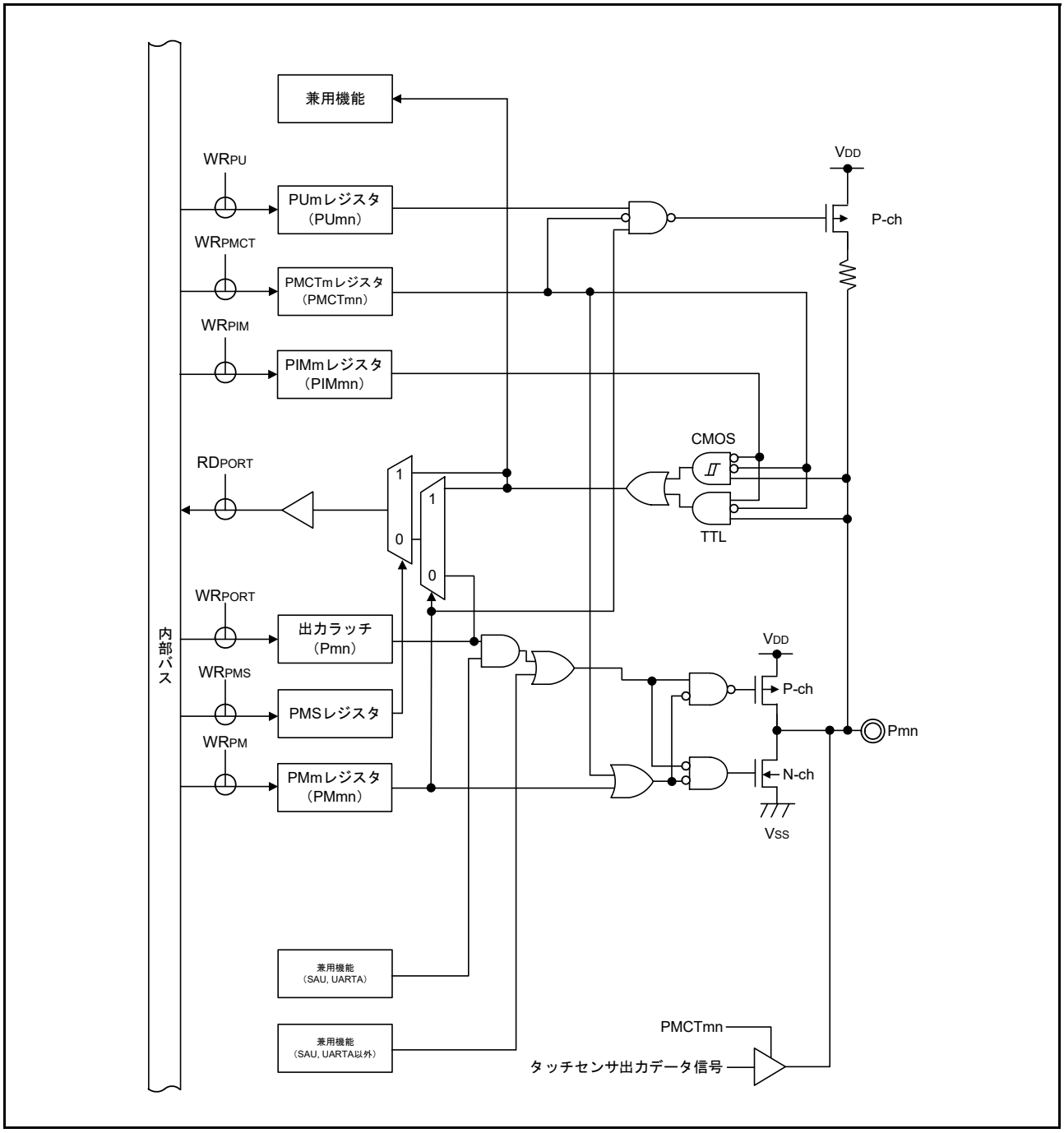
注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 20　端子タイプ8-31-1の端子ブロック図

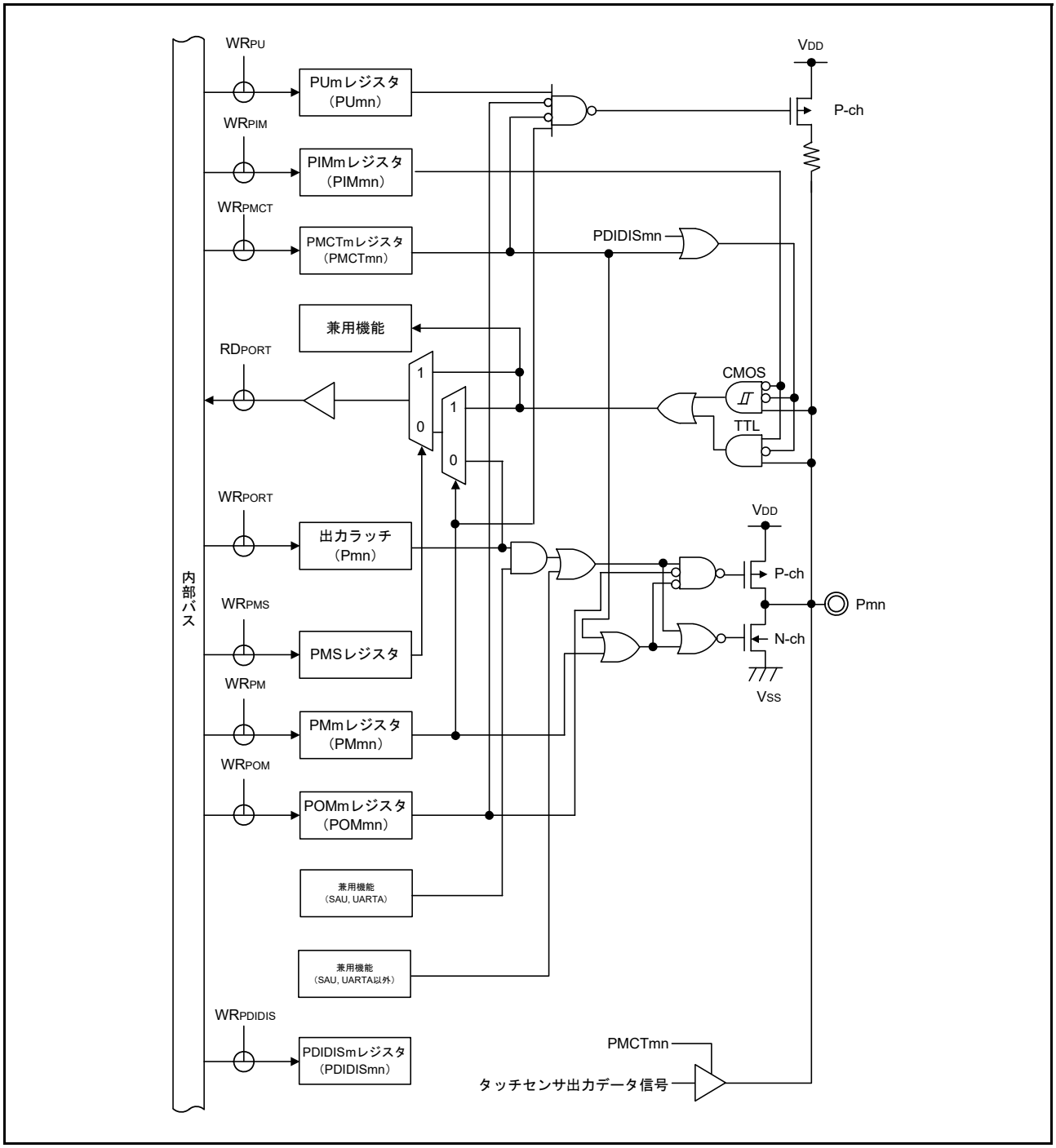


注意　ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 21　端子タイプ8-31-2の端子ブロック図



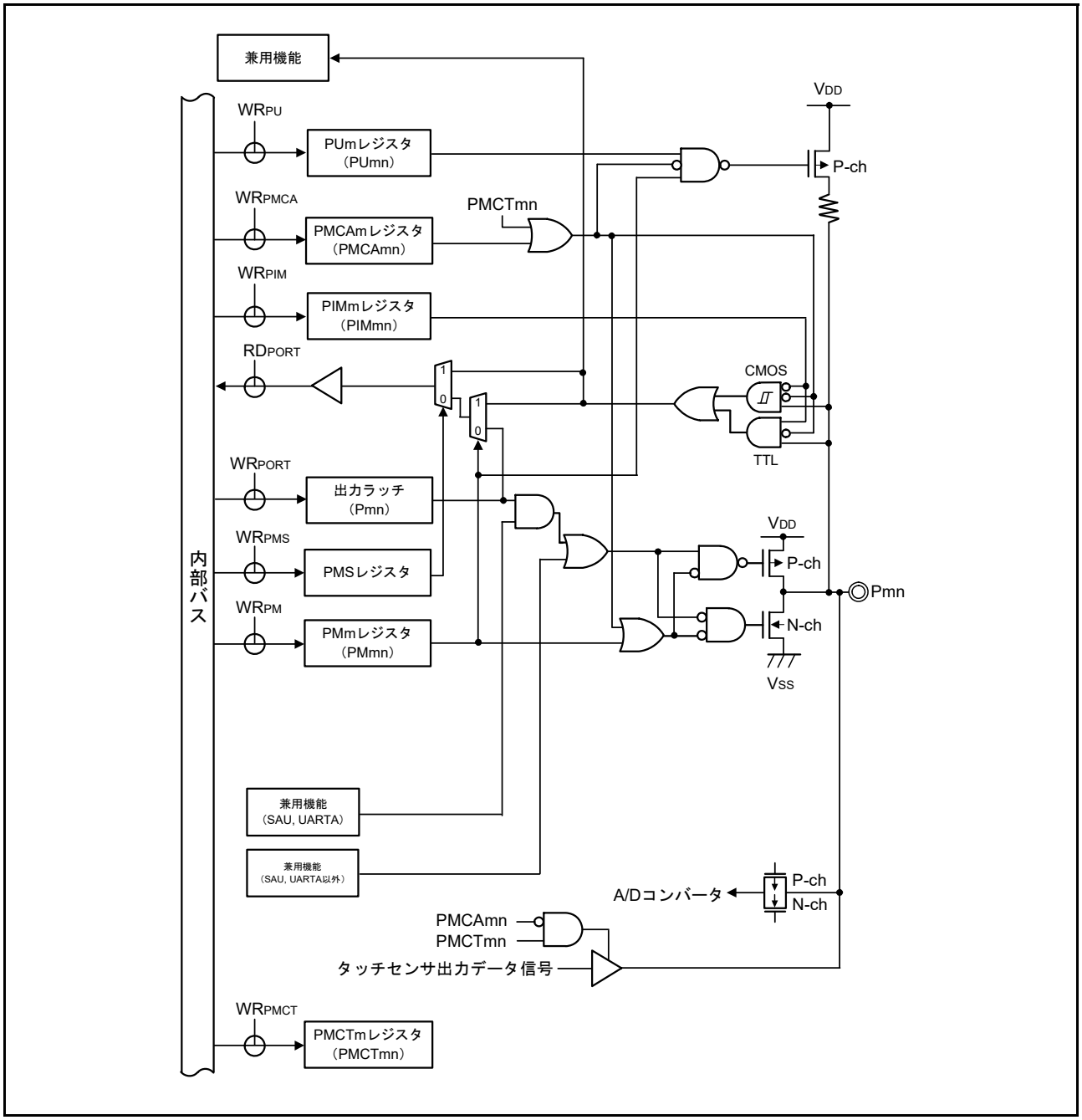
注意1. ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISm レジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。

注意2. ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 22　端子タイプ8-33-2の端子ブロック図



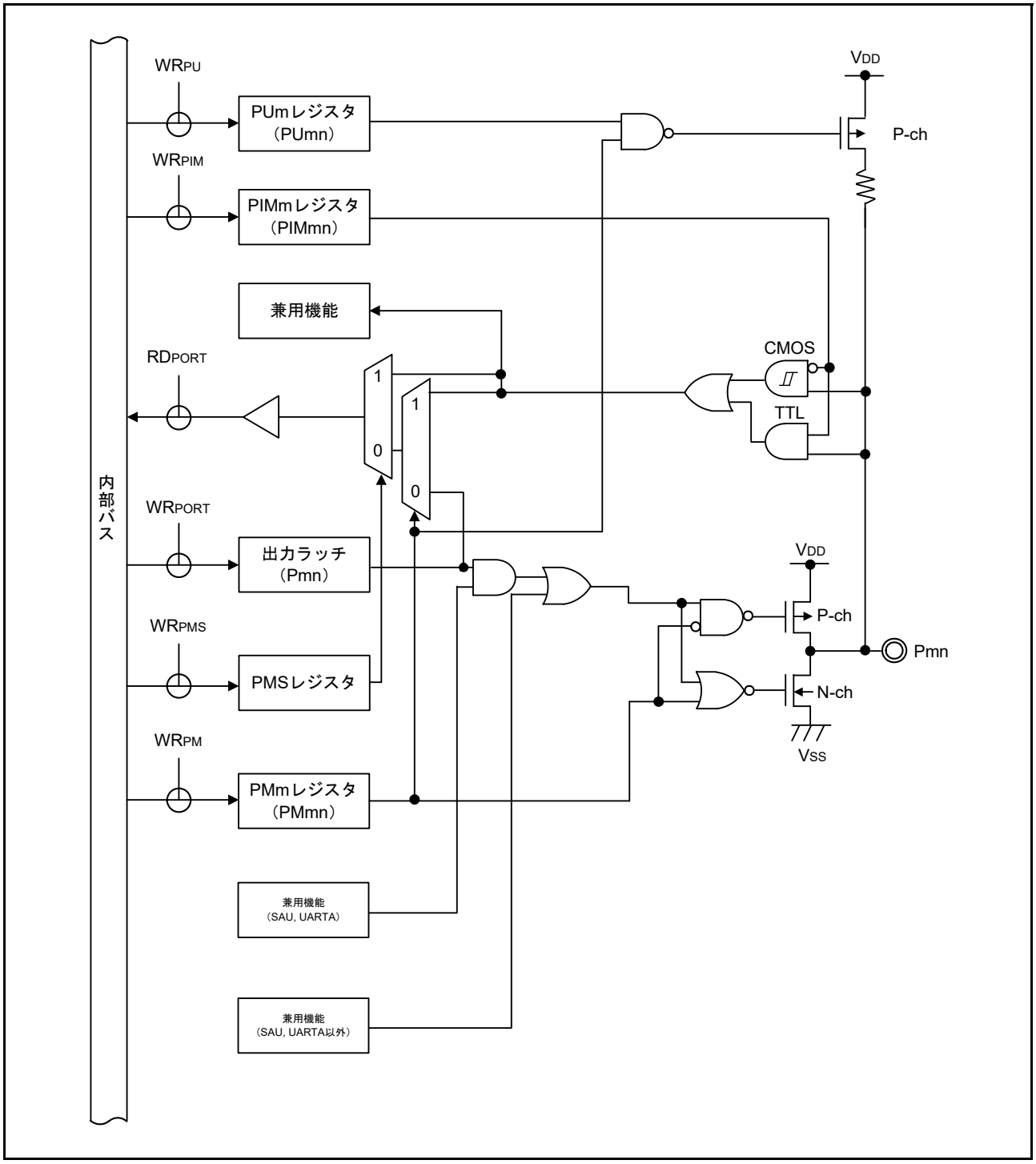
★

注意　ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 23　端子タイプ8-38-1の端子ブロック図



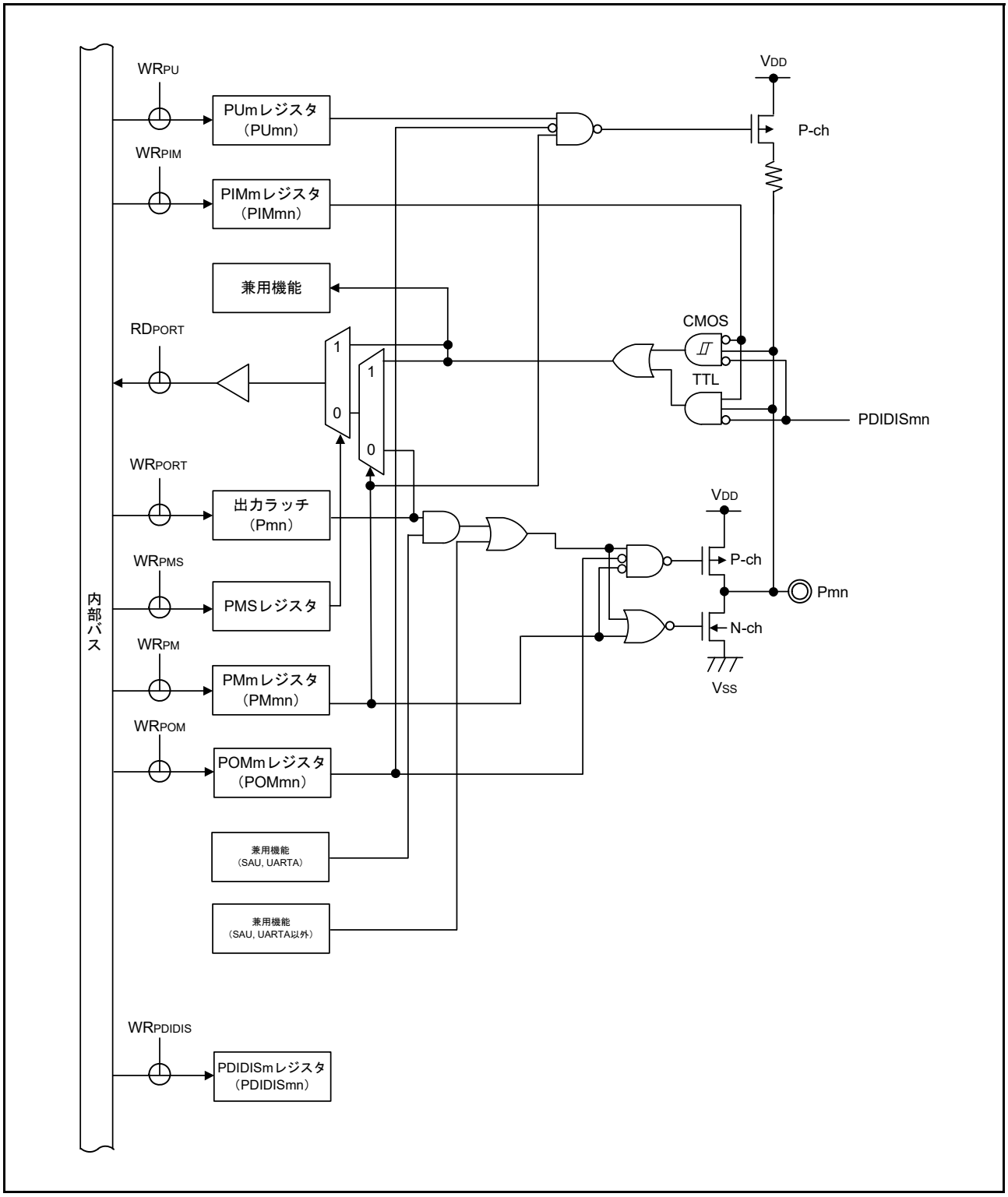
★

注意　ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 24　　端子タイプ8-38-2の端子ブロック図



★

（注意、備考は次ページに続きます）

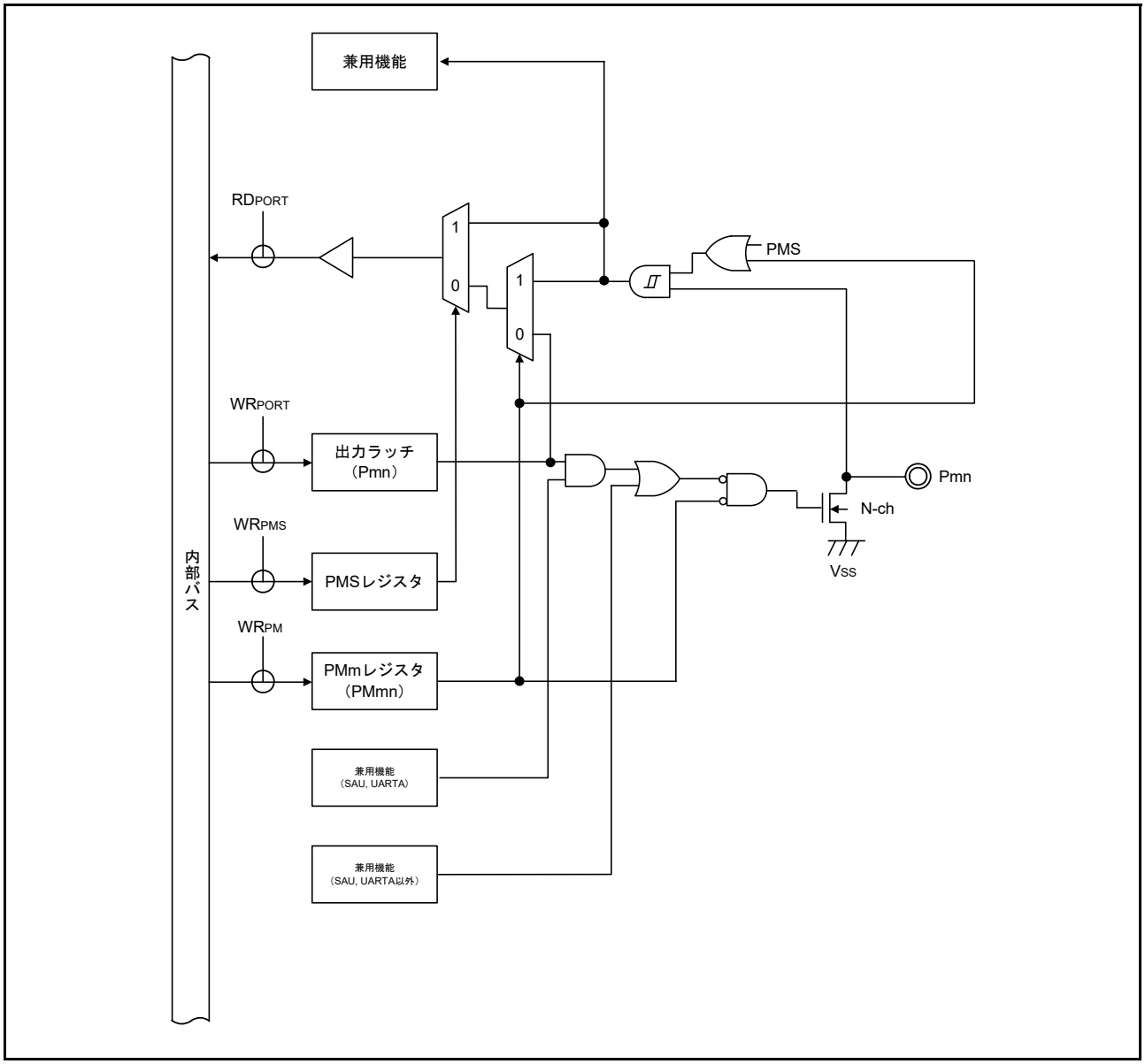
注意1. **ポート出力モード・レジスタ（POMm）でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。ただし、PDIDISmレジスタの対応するビットに1を設定することで貫通電流を防ぐことが可能です。**

注意2. **ポート入力モード・レジスタ（PIMm）でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。**

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

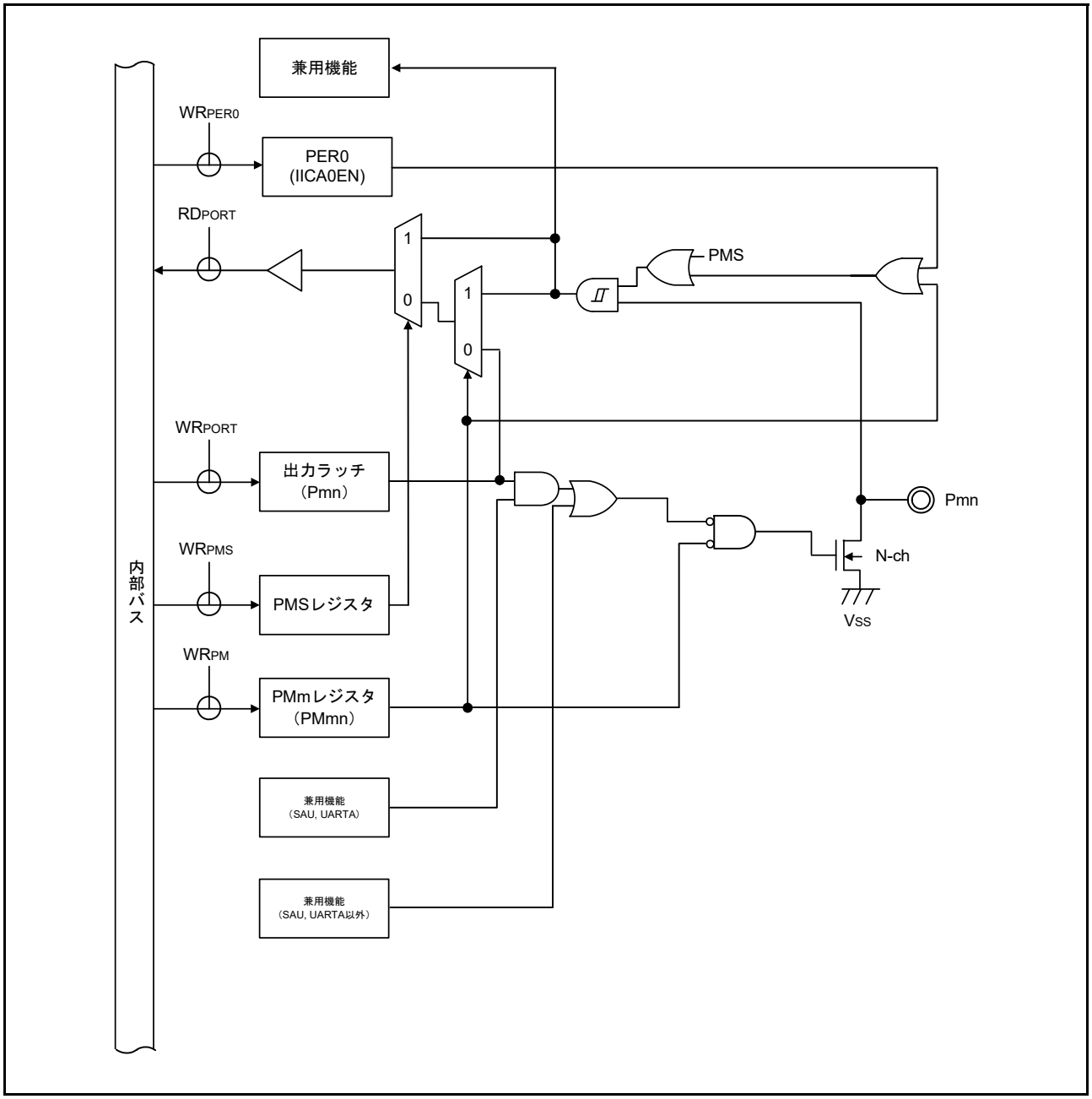
図2 - 25　　端子タイプ12-38-1の端子ブロック図



備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2 - 26　端子タイプ12-38-3の端子ブロック図



注意　**PER0レジスタのIICA0ENビットに1を設定してIICA機能を使用する場合は、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。**

備考1. 兼用機能は、**2.1　ポートの端子機能**を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

第3章　CPUアーキテクチャ

本製品は、RL78-S3 CPU コアを搭載するマイクロコントローラです。

RL78-S3 の CPU コアは、命令フェッチ用のバスとアドレス・データ・バスがそれぞれ独立したハーバード・アーキテクチャを採用しています。さらに、フェッチ、デコード、メモリ・アクセスの 3 段パイプライン制御を採用することで、従来の CPU コアよりも効率が飛躍的に向上しています。高性能かつ高機能な処理を必要とするさまざまなアプリケーションに対して、高性能かつ高速な命令処理で応えることができます。

- 3段パイプラインのCISCアーキテクチャ
- アドレス空間：1 Mバイト
- 最小命令実行時間：1命令1クロック実行
- 汎用レジスタ：8ビット・レジスタ × 8本
- 命令の種類：81種類

以下の乗除算命令は、RL78-S3 コアにのみあります。

MULHU（符号なし16ビット乗算）
MULH（符号付き16ビット乗算）
DIVHU（符号なし16ビット除算）
DIVWU（符号なし32ビット除算）
MACHU（符号なし積和算（16ビット × 16ビット）+ 32ビット）
MACH（符号付き積和算（16ビット × 16ビット）+ 32ビット）

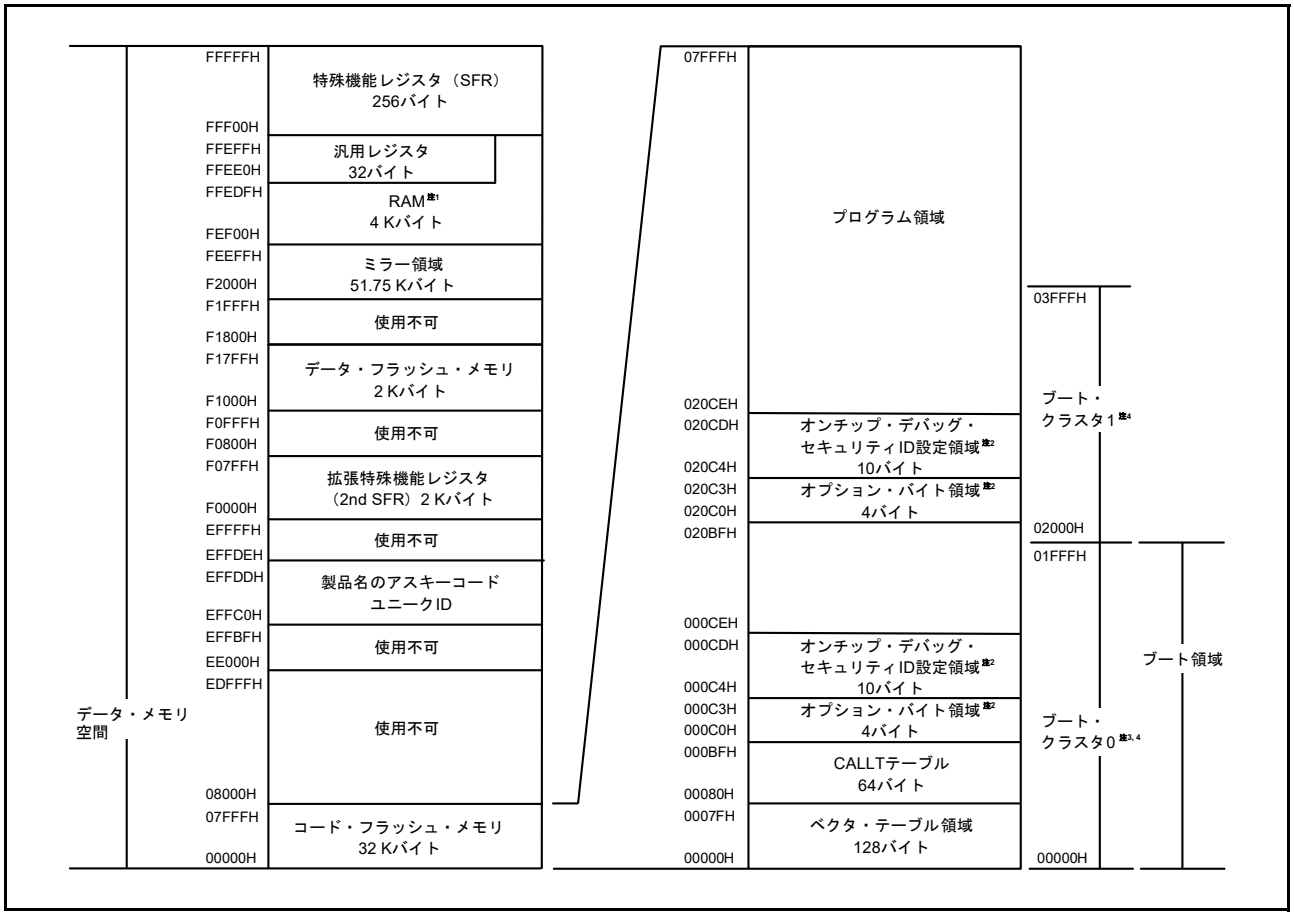
- データ配置：リトル・エンディアン

本製品は OCD トレース機能は非対応です。

3.1　メモリ空間

本製品は、1Mバイトのアドレス空間をアクセスできます。**図3-1**および**図3-2**にメモリ・マップを示します。

図3-1　メモリ・マップ（R7F102GxC（x = 4, 6, 7, 8, A, B, C, E, F, G））



注1.　汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2.　ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）：

000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき：

000C0H-000C3H, 020C0H-020C3Hにオプション・バイト、000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティIDを設定

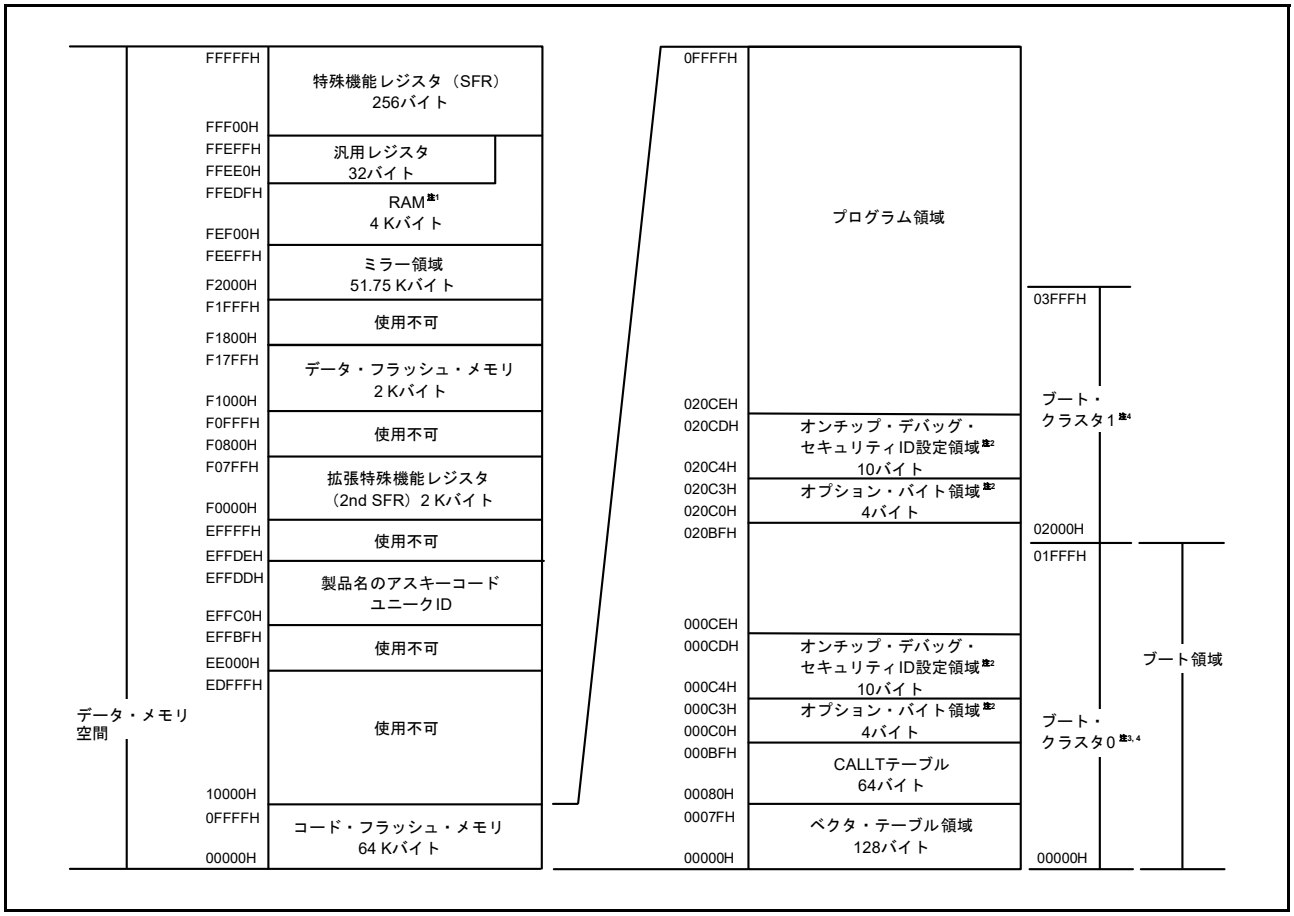
注3.　セキュリティの設定により、ブート領域は書き換えを禁止することができます（**30.9　セキュリティ設定**参照）。

注4.　製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります（**30.7　ブート・スワップ機能**参照）。

注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、24.3.4　RAMパリティ・エラー検出機能を参照してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1ブロック= 2Kバイト）。アドレス値とブロック番号については、**表3-1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

図3 - 2　　メモリ・マップ（R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G））



★

注1.　汎用レジスタを除いたRAM領域から命令実行をすることができます。

注2.　ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）：

000C0H-000C3Hにオプション・バイト、000C4H-000CDHにオンチップ・デバッグ・セキュリティ IDを設定

ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のとき：

000C0H-000C3H, 020C0H-020C3Hにオプション・バイト、000C4H-000CDH, 020C4H-020CDHにオンチップ・デバッグ・セキュリティ IDを設定

注3.　セキュリティの設定により、ブート領域は書き換えを禁止することができます（**30.9　セキュリティ設定**参照）。

注4.　製品出荷時は、ブート領域にブート・クラスタ0が選択されています。ブート・スワップを実行すると、ブート領域はブート・クラスタ0とブート・クラスタ1で入れ替わります（**30.7　ブート・スワップ機能**参照）。

注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、24.3.4　RAMパリティ・エラー検出機能を参照してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1ブロック= 2 Kバイト）。アドレス値とブロック番号については、**表3 - 1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

表 3 - 1 にフラッシュ・メモリのアドレス値とブロック番号の対応を示します。

表3 - 1　　フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号
00000H-007FFH	000H
00800H-00FFFH	001H
01000H-017FFH	002H
01800H-01FFFH	003H
02000H-027FFH	004H
02800H-02FFFH	005H
03000H-037FFH	006H
03800H-03FFFH	007H
04000H-047FFH	008H
04800H-04FFFH	009H
05000H-057FFH	00AH
05800H-05FFFH	00BH
06000H-067FFH	00CH
06800H-06FFFH	00DH
07000H-077FFH	00EH
07800H-07FFFH	00FH
08000H-087FFH	010H
08800H-08FFFH	011H
09000H-097FFH	012H
09800H-09FFFH	013H
0A000H-0A7FFH	014H
0A800H-0AFFFH	015H
0B000H-0B7FFH	016H
0B800H-0BFFFH	017H
0C000H-0C7FFH	018H
0C800H-0CFFFH	019H
0D000H-0D7FFH	01AH
0D800H-0DFFFH	01BH
0E000H-0E7FFH	01CH
0E800H-0EFFFH	01DH
0F000H-0F7FFH	01EH
0F800H-0FFFFH	01FH

備考　R7F102GxC（x = 4, 6, 7, 8, A, B, C, E, F, G）：ブロック番号 000H-00FH
R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G）：ブロック番号 000H-01FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。本製品は、**表 3 - 2** に示す内部 ROM（フラッシュ・メモリ）を内蔵しています。

表3 - 2　内部ROM容量

製品	内部ROM	
	構造	容量
R7F102GxC（x = 4, 6, 7, 8, A, B, C, E, F, G）	フラッシュ・メモリ	32768 × 8 ビット（00000H-07FFFH）
R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G）		65536 × 8 ビット（00000H-0FFFFH）

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、02000H-0207FHにもベクタ・テーブルを設定してください。

表3 - 3にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。—はサポートしない割り込み要因であることを示します。

セルフ・プログラミングでは、ベクタ・テーブル・アドレスをRAMのアドレスに変更できます。詳細は、**30.6.2.18　割り込みベクタ変更レジスタ 0, 1（FLSIVC0, FLSIVC1）**を参照してください。

表3 - 3　　ベクタ・テーブル (1/2)

ベクタ・テーブル・アドレス	割り込み要因	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○	○	○	○	○	○
00004H	INTWDTI	○	○	○	○	○	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○	○	○	○	○	○
00008H	INTP0	○	○	○	○	○	○	○	○	○	○
0000AH	INTP1	○	○	○	○	○	○	○	○	—	—
0000CH	INTP2	○	○	○	○	○	○	—	—	—	—
0000EH	INTP3	○	○	○	○	○	○	○	○	○	○
00010H	INTP4	○	○	○	○	○	○	○	○	—	—
00012H	INTP5	○	○	○	○	○	○	○	○	○	—
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	○	○	—	—	—	—
00016H	INTSR2/INTCSI21/INTIIC21	○	○	○	○	注1	注1	—	—	—	—
00018H	INTSRE2	○	○	○	○	○	○	—	—	—	—
0001AH	—	—	—	—	—	—	—	—	—	—	—
0001CH	INTSMSE	○	○	○	○	○	○	○	○	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○	○	○	○	○	○
00020H	INTTM00	○	○	○	○	○	○	○	○	○	○
00022H	INTSRE0	○	○	○	○	○	○	○	○	○	○
	INTTM01H	○	○	○	○	○	○	○	○	○	○
00024H	INTST1	○	○	○	○	○	○	○	○	○	—
00026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○	○	○	○	○	注2
00028H	INTSRE1	○	○	○	○	○	○	○	○	○	—
	INTTM03H	○	○	○	○	○	○	○	○	○	○
0002AH	INTIICA0	○	○	○	○	○	○	○	○	—	—
0002CH	INTSR0/INTCSI01/INTIIC01	○	注3	注3	注3	注3	注3	注3	注3	注3	注3
0002EH	INTTM01	○	○	○	○	○	○	○	○	○	○
00030H	INTTM02	○	○	○	○	○	○	○	○	○	○
00032H	INTTM03	○	○	○	○	○	○	○	○	○	○
00034H	INTAD	○	○	○	○	○	○	○	○	○	○
00036H	INTRTC	○	○	○	○	○	○	○	○	○	○
00038H	INTITL	○	○	○	○	○	○	○	○	○	○
0003AH	INTKR	○	○	○	—	—	—	—	—	—	—
0003CH	—	—	—	—	—	—	—	—	—	—	—
0003EH	—	—	—	—	—	—	—	—	—	—	—
00040H	—	—	—	—	—	—	—	—	—	—	—
00042H	INTTM04	○	○	○	○	○	○	○	○	○	○
00044H	INTTM05	○	○	○	○	○	○	○	○	○	○
00046H	INTTM06	○	○	○	○	○	○	○	○	○	○
00048H	INTTM07	○	○	○	○	○	○	○	○	○	○

表3 - 3　　ベクタ・テーブル (2/2)

ベクタ・テーブル・アドレス	割り込み要因	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
0004AH	INTP6	○	—	—	—	—	—	—	—	—	—
0004CH	—	—	—	—	—	—	—	—	—	—	—
0004EH	INTP8	○	—	—	—	—	—	—	—	—	—
00050H	INTP9	○	—	—	—	—	—	—	—	—	—
00052H	INTFL	○	○	○	○	○	○	○	○	○	○
00054H	—	—	—	—	—	—	—	—	—	—	—
00056H	—	—	—	—	—	—	—	—	—	—	—
00058H	INTURE0	○	○	○	○	—	—	—	—	—	—
0005AH	—	—	—	—	—	—	—	—	—	—	—
0005CH	—	—	—	—	—	—	—	—	—	—	—
0005EH	—	—	—	—	—	—	—	—	—	—	—
00060H	INTCTSUWR	○	○	○	○	○	○	○	○	○	○
00062H	—	—	—	—	—	—	—	—	—	—	—
00064H	INTCTSURD	○	○	○	○	○	○	○	○	○	○
00066H	INTCTSUFN	○	○	○	○	○	○	○	○	○	○
00068H	—	—	—	—	—	—	—	—	—	—	—
0006AH	INTUT0	○	○	○	○	—	—	—	—	—	—
0006CH	INTUR0	○	○	○	○	—	—	—	—	—	—
0006EH	—	—	—	—	—	—	—	—	—	—	—
00070H	—	—	—	—	—	—	—	—	—	—	—
00072H	—	—	—	—	—	—	—	—	—	—	—
00074H	—	—	—	—	—	—	—	—	—	—	—
00076H	—	—	—	—	—	—	—	—	—	—	—
00078H	—	—	—	—	—	—	—	—	—	—	—
0007EH	BRK	○	○	○	○	○	○	○	○	○	○

注1.　INTSR2のみ

注2.　INTIIC11のみ

注3.　INTSR0のみ

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、02080H-020BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには020C0H-020C3Hにもオプション・バイトを設定してください。詳細は、**第29章　オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティ ID設定領域

000C4H-000CDH, 020C4H-020CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。ブート・スワップ未使用時（FLSECレジスタのBTFLGビットが1の状態）には000C4H-000CDHに、ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと020C4H-020CDHに10バイトのオンチップ・デバッグ・セキュリティ IDを設定してください。詳細は、**第31章　オンチップ・デバッグ機能**を参照してください。

3.1.2　ミラー領域

本製品では、00000H-0FFFFH のコード・フラッシュ・メモリ・エリアを F0000H-FFFFFH へミラーさせています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

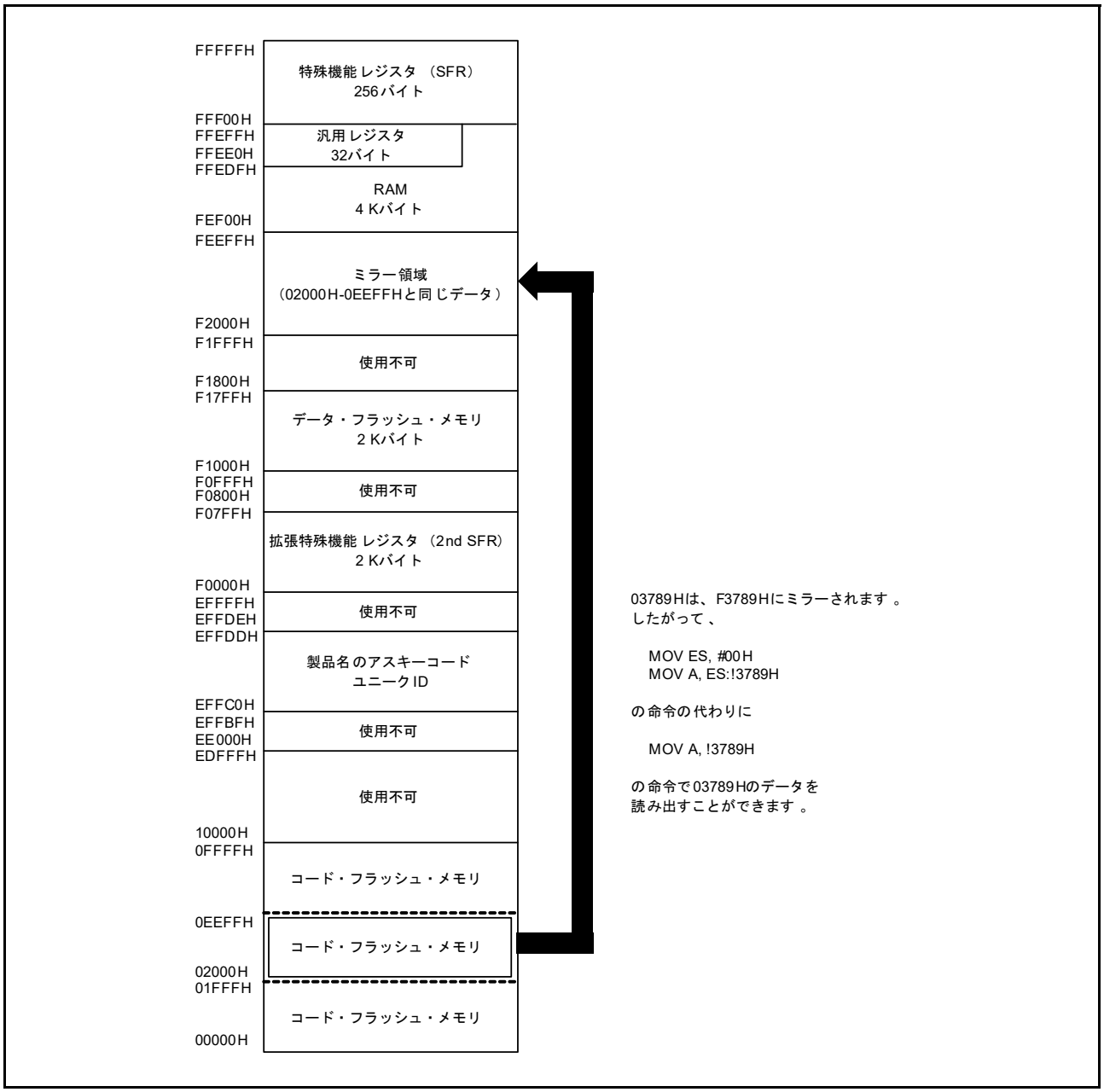
ミラー先の F0000H-FFFFFH からデータを読み出すことにより、オペランドに ES レジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ・メモリの内容を読み出すことができます。ただし、特殊機能レジスタ（SFR）、拡張特殊機能レジスタ（2nd SFR）、RAM 領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、**3.1　メモリ空間**を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例　R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G）（フラッシュ・メモリ：64 Kバイト、RAM：4 Kバイト）の場合



次に、PMC レジスタについて説明します。

- プロセッサ・モード・コントロール・レジスタ（PMC）
  F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。
  PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
  リセット信号の発生により、00Hになります。

図3 - 3　　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス　：FFFFEH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	<0>
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	設定禁止

注意1. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

注意2. MAAビットに0を設定した状態でブート・スワップすると、ブート・スワップ後の02000H-03FFFHをF2000H-F3FFFHへミラーします。

3.1.3 内部データ・メモリ空間

本製品は、**表 3 - 4** に示す RAM を内蔵しています。

表3 - 4 内部RAM容量

製品	内部RAM
R7F102GxC（x = 4, 6, 7, 8, A, B, C, E, F, G）	4096×8ビット（FEF00H-FFEFFH）
R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G）	4096×8ビット（FEF00H-FFEFFH）

内部 RAM は、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部 RAM 領域のうち FFEE0H-FFEFFH の 32 バイトの領域には、8 ビット・レジスタ 8 個を 1 バンクとする汎用レジスタが、4 バンク割り付けられます。

また、スタック・メモリは内部 RAM を使用します。

注意　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFH の領域には、オンチップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（**3.2.4　特殊機能レジスタ（SFR：Special Function Register）の表 3 - 5　SFR 一覧**参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFH の領域には、オンチップ周辺ハードウェアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（**3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）の表 3 - 6　2nd SFR 一覧**参照）。

注意1. 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

注意2. 2nd SFRの一部の領域（F0500H-F0535H）に配置している静電容量センサユニット（CTSU2La）のレジスタ、F0540H, F0542Hに配置している真性乱数発生器（TRNG）のレジスタへのアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。静電容量センサユニット（CTSU2La）のレジスタ、真性乱数発生器（TRNG）のレジスタへのアクセス時のウエイト・クロック数は、読み出し／書き込みともに1クロックです。

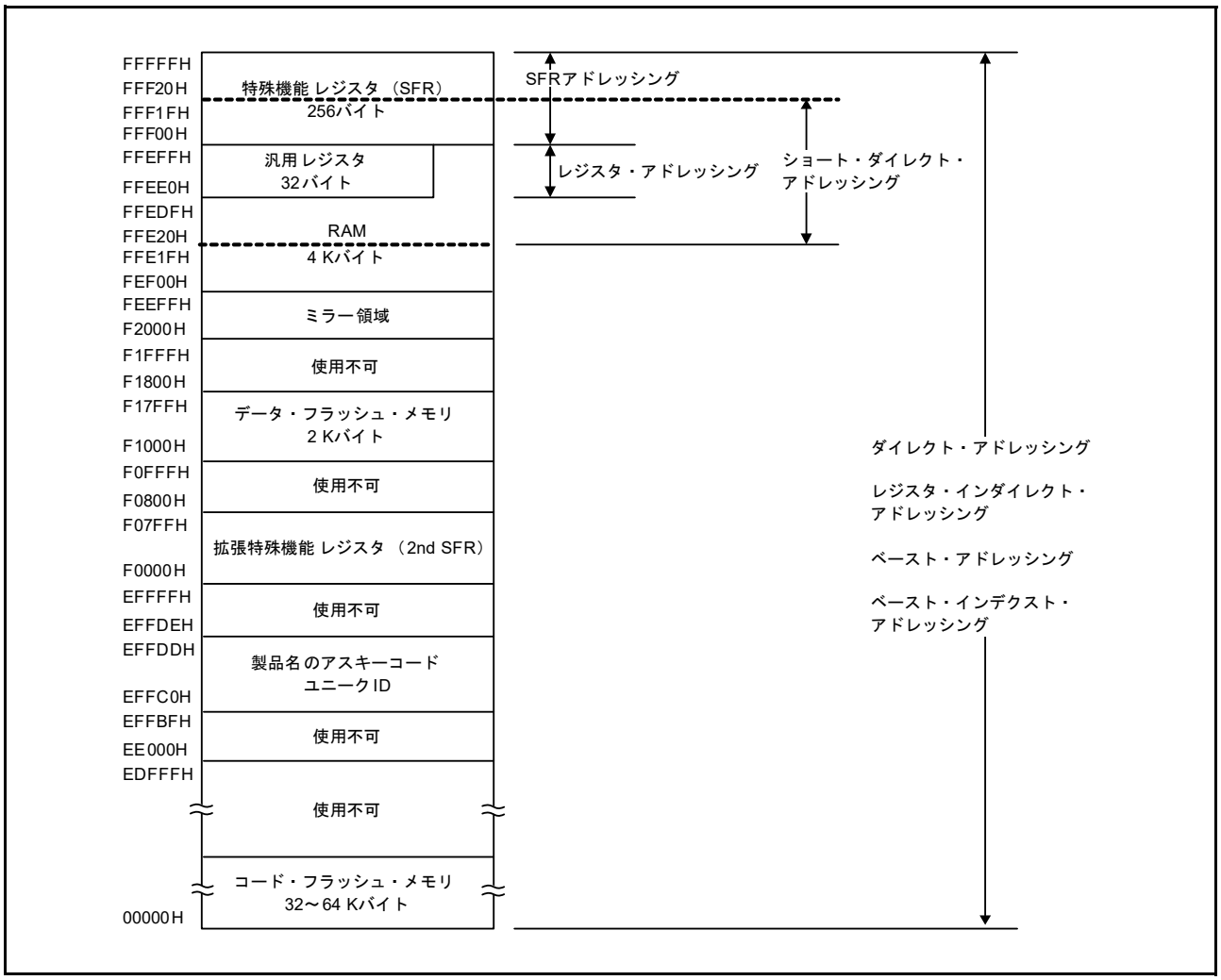
3.1.6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、本製品では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。**図 3 - 4** にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、**3.4　処理データ・アドレスに対するアドレッシング**を参照してください。

図3 - 4　データ・メモリとアドレッシングの対応



★

3.2 プロセッサ・レジスタ

本製品は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。
通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミーディエト・データやレジスタの内容がセットされます。
リセット信号の発生により、00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 5　プログラム・カウンタの構成

略号	19																			0
PC																				

(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。
プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受付発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。
リセット信号の発生により、06Hになります。

図3 - 6　プログラム・ステータス・ワードの構成

略号	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受付動作を制御するフラグです。
IE = 0のときは割り込み禁止（DI）状態となり、マスカブル割り込みはすべて禁止されます。
IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受付は、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。
このフラグは、DI命令の実行または割り込みの受付でリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ（Z）

演算結果がゼロのときセット（1）され、それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ（RBS1, RBS0）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。
SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ（AC）

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット（1）され、それ以外のときリセット（0）されるフラグです。

(e) インサービス・プライオリティ・フラグ（ISP1, ISP0）

受付可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H, PRn3L, PRn3H）（**18.3.3 優先順位指定フラグ・レジスタ**参照）でISP1, ISP0フラグの値より低位に指定されたベクタ割り込み要求は受付禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ（IE）の状態により制御されます。

備考　n = 0, 1

(f) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 7　スタック・ポインタの構成

略号	15	14	13	12	11	10	9	8
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8

7	6	5	4	3	2	1	0
SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。

注意2. 汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

3.2.2　汎用レジスタ

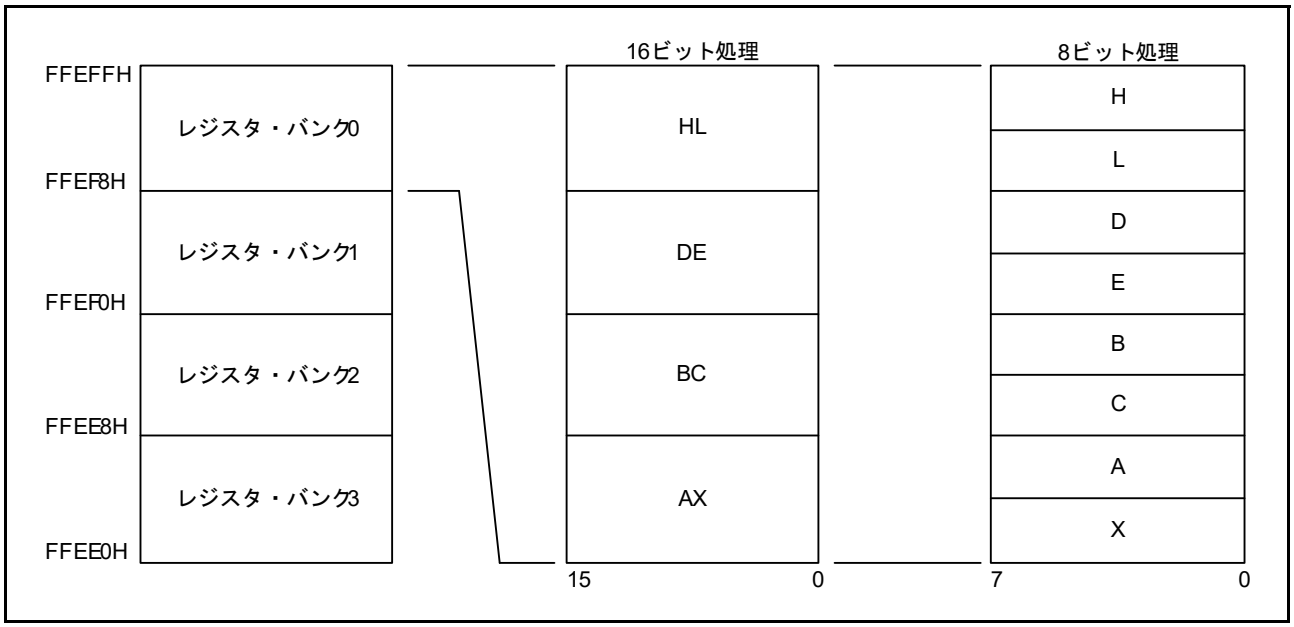
汎用レジスタは、データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており、8 ビット・レジスタ 8 個（X, A, C, B, E, D, L, H）を 1 バンクとして 4 バンクのレジスタで構成されています。

各レジスタは、それぞれ 8 ビット・レジスタとして使用できるほか、2 個の 8 ビット・レジスタをペアとして 16 ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは、CPU 制御命令（SEL RBn）によって設定します。4 レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えすれば、効率のよいプログラムを作成できます。

注意　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は、命令フェッチやスタックの領域に使用できません。

図3 - 8　汎用レジスタの構成（機能名称）



3.2.3 ES, CS レジスタ

ES レジスタでデータ・アクセス、CS レジスタで（レジスタ・インダイレクト・アドレッシング）分岐命令実行時の、それぞれ上位アドレスを指定できます。

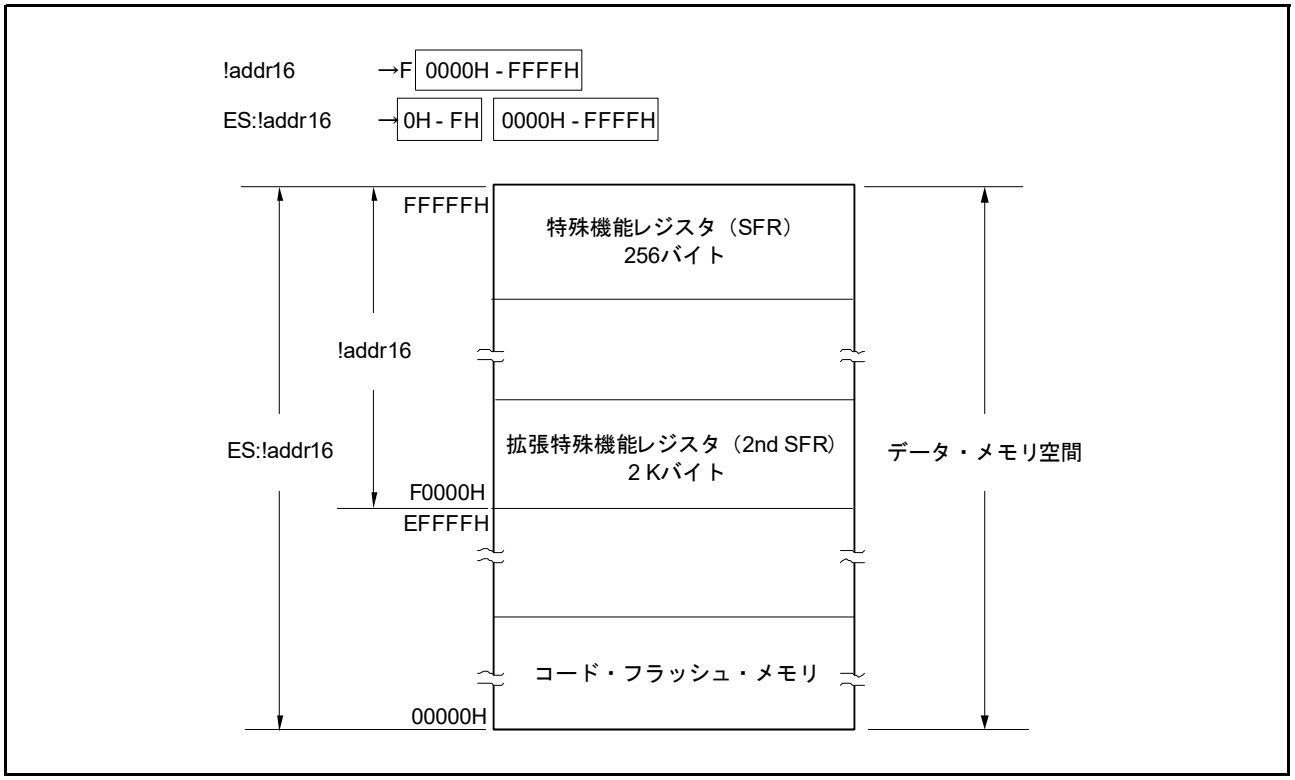
ES レジスタのリセット後の初期値は 0FH、CS レジスタのリセット後の初期値は 00H です。

図3 - 9　ES/CS レジスタの構成

略号	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
略号	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16 ビット・アドレスでアクセスできるデータ領域は、F0000H-FFFFFH の 64 K バイト空間ですが、ES: を付加すると 00000H-FFFFFH の 1 M バイト空間に拡張できます。

図3 - 10　データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ（SFR：Special Function Register）

特殊機能レジスタ（SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR 領域は、FFF00H-FFFFFH の領域に割り付けられています。

SFR は、演算命令、転送命令、ビット・メモリ操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各 SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
  1ビット・メモリ操作命令のオペランド（sfr.bit）には、次のような記述をしてください。
  ビット名称が定義されている場合：<ビット名称>
  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作
  8ビット・メモリ操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
  16ビット・メモリ操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表 3 - 5 に SFR 一覧を示します。表中の項目の意味は次のとおりです。

- 略号
  特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
  該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。
  R/W：読み出し／書き込みがともに可能
  R：読み出しのみ可能
  W：書き込みのみ可能
- 操作可能ビット単位
  操作可能なビット単位（1, 8, 16）を○で示します。—は操作できないビット単位であることを示します。
- リセット時
  リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　2nd SFRについては、**3.2.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）**を参照してください。

表3 - 5　　SFR一覧 (1/3)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	–	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	–	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	–	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	–	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	–	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	–	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	–	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	–	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	–	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	–	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	–	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	–	○	○	0000H
FFF11H		–			–	–		
FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	SDR01	R/W	–	○	○	0000H
FFF13H		–			–	–		
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	–	–	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	–	○	○	00H
FFF1BH		TDR01H			–	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	–	–	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	–	○	–	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	–	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	–	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	–	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	–	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	–	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	–	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	–	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	–	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	–	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	–	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	–	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	–	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	–	00H
FFF34H	キー・リターン・コントロール・レジスタ	KRCTL		R/W	○	○	–	00H
FFF35H	キー・リターン・フラグ・レジスタ	KRF		R/W	–	○	–	00H
FFF37H	キー・リターン・モード・レジスタ0	KRM0		R/W	○	○	–	00H
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	–	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	–	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	–	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	–	00H
FFF44H	シリアル・データ・レジスタ02	TXD1/SIO10	SDR02	R/W	–	○	○	0000H
FFF45H		–			–	–		

表3 - 5　　SFR一覧 (2/3)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF46H	シリアル・データ・レジスタ03	RXD1/SIO11	SDR03	R/W	–	○	○	0000H
FFF47H		–			–	–		
FFF48H	シリアル・データ・レジスタ10	TXD2/SIO20	SDR10	R/W	–	○	○	0000H
FFF49H		–			–	–		
FFF4AH	シリアル・データ・レジスタ11	RXD2/SIO21	SDR11	R/W	–	○	○	0000H
FFF4BH		–			–	–		
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	–	○	–	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	–	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	–	00H
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	–	–	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	–	○	○	00H
FFF67H		TDR03H			–	○		00H
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	–	–	○	0000H
FFF69H								
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	–	–	○	0000H
FFF6BH								
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	–	–	○	0000H
FFF6DH								
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	–	–	○	0000H
FFF6FH								
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	–	○	–	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	–	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	–	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	–	○	–	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	–	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	–	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	–	00H
FFFA7H	サブシステム・クロック選択レジスタ	CKSEL		R/W	○	○	–	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	–	○	–	不定注1
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	–	00H注2
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	–	19H
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	–	○	–	9AH/1AH注3
FFFACH	CRC入力レジスタ	CRCIN		R/W	–	○	–	00H
FFFD0H	割り込み要求フラグ・レジスタ2	IF2L	IF2	R/W	○	○	○	00H
FFFD1H		IF2H		R/W	○	○		00H
FFFD2H	割り込み要求フラグ・レジスタ3	IF3L	IF3	R/W	○	○	○	00H
FFFD3H		–		–	–	–		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H		MK2H		R/W	○	○		FFH
FFFD6H	割り込みマスク・フラグ・レジスタ3	MK3L	MK3	R/W	○	○	○	FFH
FFFD7H		–		–	–	–		00H

表3 - 5　SFR一覧 (3/3)

アドレス	特殊機能レジスタ（SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD8H	優先順位指定フラグ・レジスタ02	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H		PR02H		R/W	○	○		FFH
FFFDAH	優先順位指定フラグ・レジスタ03	PR03L	PR03	R/W	○	○	○	FFH
FFFDBH		–		–	–	–		00H
FFFDCH	優先順位指定フラグ・レジスタ12	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH		PR12H		R/W	○	○		FFH
FFFDEH	優先順位指定フラグ・レジスタ13	PR13L	PR13	R/W	○	○	○	FFH
FFFDFH		–		–	–	–		00H
FFFE0H	割り込み要求フラグ・レジスタ0	IF0L	IF0	R/W	○	○	○	00H
FFFE1H		IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1	IF1L	IF1	R/W	○	○	○	00H
FFFE3H		IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH		PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ（L）	MACRL		R/W	–	–	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ（H）	MACRH		R/W	–	–	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	–	00H

注1.　リセット要因は、**第21章　リセット機能**を参照してください。

注2.　リセット要因により、初期値が異なります。詳細は、**23.3.1　電圧検出レジスタ（LVIM）**を参照してください。

注3.　WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

備考　2nd SFRについては、**表3 - 6　2nd SFR一覧**を参照してください。

3.2.5 拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張特殊機能レジスタ（2nd SFR）は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

2nd SFR 領域は、F0000H-F07FFH の領域です。SFR 領域（FFF00H-FFFFFH）以外の SFR が割り付けられています。ただし、2nd SFR 領域のアクセス命令は SFR 領域より 1 バイト長くなります。

2nd SFR は、演算命令、転送命令、ビット・メモリ操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は、各 2nd SFR で異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作
  1ビット・メモリ操作命令のオペランド（!addr16.bit）には、次のような記述をしてください。ビット名称が定義されている場合：<ビット名称>
  ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>
- 8ビット操作
  8ビット・メモリ操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。
- 16ビット操作
  16ビット・メモリ操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表 3 - 6 に 2nd SFR の一覧を示します。表中の項目の意味は次のとおりです。

- 略号
  2nd SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。
- R/W
  該当する2nd SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。
  R/W：読み出し／書き込みがともに可能
  R：読み出しのみ可能
  W：書き込みのみ可能
- 操作可能ビット単位
  操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。
- リセット時
  リセット信号発生時の各レジスタの状態を示します。

注意　2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考　SFR領域のSFRについては、**3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域**を参照してください。

表3 - 6 2nd SFR一覧 (1/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	–	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	–	○	–	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	–	○	–	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	–	○	–	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	–	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	–	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	–	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	–	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	–	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	–	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	–	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	–	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	–	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	–	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	–	00H
F0047H	ポート入力モード・レジスタ7	PIM7	R/W	○	○	–	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	–	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	–	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	–	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W	○	○	–	00H
F005CH	ポート出力モード・レジスタ12	POM12	R/W	○	○	–	00H
F0060H	ポート・モード・コントロールA・レジスタ0	PMCA0	R/W	○	○	–	FFH
F0062H	ポート・モード・コントロールA・レジスタ2	PMCA2	R/W	○	○	–	FFH
F006CH	ポート・モード・コントロールA・レジスタ12	PMCA12	R/W	○	○	–	FFH
F006EH	ポート・モード・コントロールA・レジスタ14	PMCA14	R/W	○	○	–	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	–	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	–	00H
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	–	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	–	○	–	00H
F0075H	タイマ入力選択レジスタ1	TIS1	R/W	–	○	–	00H
F0077H	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	–	○	–	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	–	○	–	00H
F0079H	UARTループバック選択レジスタ	ULBS	R/W	○	○	–	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	–	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	–	00H
★ F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	–	○	–	注1
★ F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	–	○	–	注2
F00AAH	フラッシュ動作モード選択レジスタ	FLMODE	R/W	○	○	–	40H/80H/C0H注3
F00ABH	フラッシュ動作モード・プロテクト・レジスタ	FLMWRP	R/W	○	○	–	00H
F00B0H	フラッシュ・セキュリティ・フラグ・モニタ・レジスタ	FLSEC	R	–	–	○	不定
F00B2H	フラッシュFSWモニタ・レジスタS	FLFSWS	R	–	–	○	不定
F00B4H	フラッシュFSWモニタ・レジスタE	FLFSWE	R	–	–	○	不定

表3 - 6 2nd SFR一覧 (2/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00B6H	フラッシュ・メモリ・シーケンサ初期設定レジスタ	FSSET		R/W	–	○	–	00H
F00B7H	フラッシュ・エクストラ領域シーケンサ制御レジスタ	FSSE		R/W	○	○	–	00H
F00C0H	フラッシュ・プロテクト・コマンド・レジスタ	PFCMD		W	–	○	–	不定
F00C1H	フラッシュ・ステータス・レジスタ	PFS		R	○	○	–	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	–	00H
F00F1H	周辺リセット制御レジスタ0	PRR0		R/W	○	○	–	00H
F00F2H	中速オンチップ・オシレータ周波数選択レジスタ	MOCODIV		R/W	–	○	–	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC		R/W	○	○	–	不定注4
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	–	00H
F00F9H	パワーオン・リセット・ステータス・レジスタ	PORSR		R/W	○	○	–	00H
F00FAH	周辺イネーブル・レジスタ1	PER1		R/W	○	○	–	00H
F00FBH	周辺リセット制御レジスタ1	PRR1		R/W	○	○	–	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	–	○	–	不定
F00FFH	割り込みベクタ移動許可レジスタ	VECTCTRL		R/W	–	○	–	00H
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	–	○	○	0000H
F0101H		–			–	–		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	–	○	○	0000H
F0103H		–			–	–		
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	–	○	○	0000H
F0105H		–			–	–		
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	–	○	○	0000H
F0107H		–			–	–		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	–	○	○	0000H
F0109H		–			–	–		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	–	○	○	0000H
F010BH		–			–	–		
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	–	○	○	0000H
F010DH		–			–	–		
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	–	○	○	0000H
F010FH		–			–	–		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	–	–	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	–	–	○	0020H
F0113H								
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	–	–	○	0020H
F0115H								
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	–	–	○	0020H
F0117H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	–	–	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	–	–	○	0087H
F011BH								
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	–	–	○	0087H
F011DH								
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	–	–	○	0087H
F011FH								

表3 - 6　　2nd SFR一覧 (3/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		—			—	—		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—			—	—		
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—			—	—		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—			—	—		
F0128H	シリアル出力レジスタ0	SO0		R/W	—	—	○	0F0FH
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—			—	—		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—			—	—		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—			—	—		
F0140H	シリアル・ステータス・レジスタ10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—			—	—		
F0142H	シリアル・ステータス・レジスタ11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—			—	—		
F0148H	シリアル・フラグ・クリア・トリガ・レジスタ10	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H		—			—	—		
F014AH	シリアル・フラグ・クリア・トリガ・レジスタ11	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH		—			—	—		
F0150H	シリアル・モード・レジスタ10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ11	SMR11		R/W	—	—	○	0020H
F0153H								
F0158H	シリアル通信動作設定レジスタ10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ11	SCR11		R/W	—	—	○	0087H
F015BH								
F0160H	シリアル・チャネル許可ステータス・レジスタ1	SE1L	SE1	R	○	○	○	0000H
F0161H		—			—	—		
F0162H	シリアル・チャネル開始レジスタ1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—	—		
F0164H	シリアル・チャネル停止レジスタ1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—	—		
F0166H	シリアル・クロック選択レジスタ1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—	—		
F0168H	シリアル出力レジスタ1	SO1		R/W	—	—	○	0303H
F0169H								
F016AH	シリアル出力許可レジスタ1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—	—		
F0174H	シリアル出力レベル・レジスタ1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—	—		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	—	—	○	FFFFH
F0181H								

表3 - 6　　2nd SFR一覧 (4/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	–	–	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	–	–	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	–	–	○	FFFFH
F0187H								
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	–	–	○	FFFFH
F0189H								
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	–	–	○	FFFFH
F018BH								
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	–	–	○	FFFFH
F018DH								
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	–	–	○	FFFFH
F018FH								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	–	–	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	–	–	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	–	–	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	–	–	○	0000H
F0197H								
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	–	–	○	0000H
F0199H								
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	–	–	○	0000H
F019BH								
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	–	–	○	0000H
F019DH								
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	–	–	○	0000H
F019FH								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	–	○	○	0000H
F01A1H		–			–	–		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	–	○	○	0000H
F01A3H		–			–	–		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	–	○	○	0000H
F01A5H		–			–	–		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	–	○	○	0000H
F01A7H		–			–	–		
F01A8H	タイマ・ステータス・レジスタ04	TSR04L	TSR04	R	–	○	○	0000H
F01A9H		–			–	–		
F01AAH	タイマ・ステータス・レジスタ05	TSR05L	TSR05	R	–	○	○	0000H
F01ABH		–			–	–		
F01ACH	タイマ・ステータス・レジスタ06	TSR06L	TSR06	R	–	○	○	0000H
F01ADH		–			–	–		
F01AEH	タイマ・ステータス・レジスタ07	TSR07L	TSR07	R	–	○	○	0000H
F01AFH		–			–	–		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		–			–	–		

表3 - 6 2nd SFR一覧 (5/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		
F0212H	中速オンチップ・オシレータ・トリミング・レジスタ	MIOTRM		R/W	—	○	—	90H
F0213H	低速オンチップ・オシレータ・トリミング・レジスタ	LIOTRM		R/W	—	○	—	80H
F0214H	高速システム・クロック分周レジスタ	MOSCDIV		R/W	—	○	—	00H
F0215H	スタンバイ・モード解除設定レジスタ	WKUPMD		R/W	○	○	—	00H
F0216H	予約	—		—	—	—	—	00H
F0218H	LVD検出フラグ・クリア・レジスタ	LVDFCLR		R/W	○	○	—	00H
F0220H	秒カウント・レジスタ	SEC		R/W	—	○	—	不定
F0221H	分カウント・レジスタ	MIN		R/W	—	○	—	不定
F0222H	時カウント・レジスタ	HOUR		R/W	—	○	—	不定
F0223H	曜日カウント・レジスタ	WEEK		R/W	—	○	—	不定
F0224H	日カウント・レジスタ	DAY		R/W	—	○	—	不定
F0225H	月カウント・レジスタ	MONTH		R/W	—	○	—	不定
F0226H	年カウント・レジスタ	YEAR		R/W	—	○	—	不定
F0227H	時計誤差補正レジスタ	SUBCUD		R/W	—	○	—	00H
F0228H	アラーム分レジスタ	ALARMWM		R/W	—	○	—	不定
F0229H	アラーム時レジスタ	ALARMWH		R/W	—	○	—	不定
F022AH	アラーム曜日レジスタ	ALARMWW		R/W	—	○	—	不定
F022BH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	—	00H
F022CH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	—	00H
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	—	○	—	00H
F0240H	イベント出力先選択レジスタ00	ELSELR00		R/W	—	○	—	00H
F0241H	イベント出力先選択レジスタ01	ELSELR01		R/W	—	○	—	00H
F0242H	イベント出力先選択レジスタ02	ELSELR02		R/W	—	○	—	00H
F0243H	イベント出力先選択レジスタ03	ELSELR03		R/W	—	○	—	00H
F0244H	イベント出力先選択レジスタ04	ELSELR04		R/W	—	○	—	00H
F0245H	イベント出力先選択レジスタ05	ELSELR05		R/W	—	○	—	00H

表3 - 6　　2nd SFR一覧 (6/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0246H	イベント出力先選択レジスタ06	ELSELR06	R/W	–	○	–	00H
F0247H	イベント出力先選択レジスタ07	ELSELR07	R/W	–	○	–	00H
F0248H	イベント出力先選択レジスタ08	ELSELR08	R/W	–	○	–	00H
F024AH	イベント出力先選択レジスタ10	ELSELR10	R/W	–	○	–	00H
F024BH	イベント出力先選択レジスタ11	ELSELR11	R/W	–	○	–	00H
F024CH	イベント出力先選択レジスタ12	ELSELR12	R/W	–	○	–	00H
F024DH	イベント出力先選択レジスタ13	ELSELR13	R/W	–	○	–	00H
F024EH	イベント出力先選択レジスタ14	ELSELR14	R/W	–	○	–	00H
F024FH	イベント出力先選択レジスタ15	ELSELR15	R/W	–	○	–	00H
F0250H	イベント出力先選択レジスタ16	ELSELR16	R/W	–	○	–	00H
F0251H	イベント出力先選択レジスタ17	ELSELR17	R/W	–	○	–	00H
F0252H	イベント出力先選択レジスタ18	ELSELR18	R/W	–	○	–	00H
F0253H	イベント出力先選択レジスタ19	ELSELR19	R/W	–	○	–	00H
F0260H	ポート・モード・コントロールT・レジスタ0	PMCT0	R/W	○	○	–	00H
F0261H	ポート・モード・コントロールT・レジスタ1	PMCT1	R/W	○	○	–	00H
F0262H	ポート・モード・コントロールT・レジスタ2	PMCT2	R/W	○	○	–	00H
F0263H	ポート・モード・コントロールT・レジスタ3	PMCT3	R/W	○	○	–	00H
F0265H	ポート・モード・コントロールT・レジスタ5	PMCT5	R/W	○	○	–	00H
F0267H	ポート・モード・コントロールT・レジスタ7	PMCT7	R/W	○	○	–	00H
F026DH	ポート・モード・コントロールT・レジスタ13	PMCT13	R/W	○	○	–	00H
F026EH	ポート・モード・コントロールT・レジスタ14	PMCT14	R/W	○	○	–	00H
F02ABH	ポート・ファンクション出力許可レジスタ1	PFOE1	R/W	○	○	–	FFH
F02B0H	ポート・デジタル・インプット・ディスエーブル・レジスタ0	PDIDIS0	R/W	○	○	–	00H
F02B1H	ポート・デジタル・インプット・ディスエーブル・レジスタ1	PDIDIS1	R/W	○	○	–	00H
F02B5H	ポート・デジタル・インプット・ディスエーブル・レジスタ5	PDIDIS5	R/W	○	○	–	00H
F02B7H	ポート・デジタル・インプット・ディスエーブル・レジスタ7	PDIDIS7	R/W	○	○	–	00H
F02BCH	ポート・デジタル・インプット・ディスエーブル・レジスタ12	PDIDIS12	R/W	○	○	–	00H
F02BDH	ポート・デジタル・インプット・ディスエーブル・レジスタ13	PDIDIS13	R/W	○	○	–	00H
F02C0H	フラッシュ・プログラミング・モード・コントロール・レジスタ	FLPMC	R/W	–	○	–	08H
F02C1H	フラッシュ領域選択レジスタ	FLARS	R/W	○	○	–	00H
F02C2H	フラッシュ・アドレス・ポインタ・レジスタL	FLAPL	R/W	–	–	○	0000H
F02C4H	フラッシュ・アドレス・ポインタ・レジスタH	FLAPH	R/W	–	○	–	00H
F02C5H	フラッシュ・メモリ・シーケンサ制御レジスタ	FSSQ	R/W	○	○	–	00H
F02C6H	フラッシュ・エンド・アドレス・ポインタ・レジスタL	FLSEDL	R/W	–	–	○	0000H
F02C8H	フラッシュ・エンド・アドレス・ポインタ・レジスタH	FLSEDH	R/W	–	○	–	00H
F02C9H	フラッシュ・レジスタ初期化レジスタ	FLRST	R/W	○	○	–	00H
F02CAH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタL	FSASTL	R	○	○	–	00H/80H

表3 - 6 2nd SFR一覧 (7/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F02CBH	フラッシュ・メモリ・シーケンサ・ステータス・レジスタH	FSASTH	R	○	○	–	00H/04H
F02CCH	フラッシュ・ライト・バッファ・レジスタL	FLWL	R/W	–	–	○	0000H
F02CEH	フラッシュ・ライト・バッファ・レジスタH	FLWH	R/W	–	–	○	0000H
F02E0H	DTCベース・アドレス・レジスタ	DTCBAR	R/W	–	○	–	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	–	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	–	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	–	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	–	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	–	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL	R/W	○	○	–	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL	R/W	–	–	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	–	–	○	0000H
F0300H	送信バッファ・レジスタ0	TXBA0	R/W	–	○	–	FFH
F0301H	受信バッファ・レジスタ0	RXBA0	R	–	○	–	FFH
F0302H	動作モード設定レジスタ00	ASIMA00	R/W	○	○	–	01H
F0303H	動作モード設定レジスタ01	ASIMA01	R/W	○	○	–	1AH
F0304H	ボー・レート・ジェネレータ・コントロール・レジスタ0	BRGCA0	R/W	–	○	–	FFH
F0305H	ステータス・レジスタ0	ASISA0	R	–	○	–	00H
F0306H	ステータス・クリア・トリガ・レジスタ0	ASCTA0	R/W	○	○	–	00H
F0310H	UARTAクロック選択レジスタ0	UTA0CK	R/W	○	○	–	00H
F0360H	インターバル・タイマ・コンペア・レジスタ00	ITLCMP000 (ITLCMP00)	R/W	–	○	○	FFFFH
F0361H		ITLCMP001		–	○		
F0362H	インターバル・タイマ・コンペア・レジスタ01	ITLCMP012 (ITLCMP01)	R/W	–	○	○	FFFFH
F0363H		ITLCMP013		–	○		
F0364H	インターバル・タイマ・キャプチャ・レジスタ00	ITLCAP00	R	–	–	○	0000H
F0365H							
F0366H	インターバル・タイマ制御レジスタ	ITLCTL0	R/W	○	○	–	00H
F0367H	インターバル・タイマ・クロック選択レジスタ0	ITLCSEL0	R/W	–	○	–	00H
F0368H	インターバル・タイマ分周レジスタ0	ITLFDIV00	R/W	–	○	–	00H
F0369H	インターバル・タイマ分周レジスタ1	ITLFDIV01	R/W	–	○	–	00H
F036AH	インターバル・タイマ・キャプチャ制御レジスタ0	ITLCC0	R/W	○	○	–	00H
F036BH	インターバル・タイマ・ステータス・レジスタ	ITLS0	R/W	–	○	–	00H
F036CH	インターバル・タイマー致検出マスク・レジスタ	ITLMKF0	R/W	–	○	–	00H
F0380H	シーケンサ・インストラクション・レジスタ0	SMSI0	R/W	–	–	○	0000H
F0381H							
F0382H	シーケンサ・インストラクション・レジスタ1	SMSI1	R/W	–	–	○	0000H
F0383H							
F0384H	シーケンサ・インストラクション・レジスタ2	SMSI2	R/W	–	–	○	0000H
F0385H							
F0386H	シーケンサ・インストラクション・レジスタ3	SMSI3	R/W	–	–	○	0000H
F0387H							
F0388H	シーケンサ・インストラクション・レジスタ4	SMSI4	R/W	–	–	○	0000H
F0389H							
F038AH	シーケンサ・インストラクション・レジスタ5	SMSI5	R/W	–	–	○	0000H
F038BH							

表3 - 6　　2nd SFR一覧 (8/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F038CH F038DH	シーケンサ・インストラクション・レジスタ6	SMSI6	R/W	–	–	○	0000H
F038EH F038FH	シーケンサ・インストラクション・レジスタ7	SMSI7	R/W	–	–	○	0000H
F0390H F0391H	シーケンサ・インストラクション・レジスタ8	SMSI8	R/W	–	–	○	0000H
F0392H F0393H	シーケンサ・インストラクション・レジスタ9	SMSI9	R/W	–	–	○	0000H
F0394H F0395H	シーケンサ・インストラクション・レジスタ10	SMSI10	R/W	–	–	○	0000H
F0396H F0397H	シーケンサ・インストラクション・レジスタ11	SMSI11	R/W	–	–	○	0000H
F0398H F0399H	シーケンサ・インストラクション・レジスタ12	SMSI12	R/W	–	–	○	0000H
F039AH F039BH	シーケンサ・インストラクション・レジスタ13	SMSI13	R/W	–	–	○	0000H
F039CH F039DH	シーケンサ・インストラクション・レジスタ14	SMSI14	R/W	–	–	○	0000H
F039EH F039FH	シーケンサ・インストラクション・レジスタ15	SMSI15	R/W	–	–	○	0000H
F03A0H F03A1H	シーケンサ・インストラクション・レジスタ16	SMSI16	R/W	–	–	○	0000H
F03A2H F03A3H	シーケンサ・インストラクション・レジスタ17	SMSI17	R/W	–	–	○	0000H
F03A4H F03A5H	シーケンサ・インストラクション・レジスタ18	SMSI18	R/W	–	–	○	0000H
F03A6H F03A7H	シーケンサ・インストラクション・レジスタ19	SMSI19	R/W	–	–	○	0000H
F03A8H F03A9H	シーケンサ・インストラクション・レジスタ20	SMSI20	R/W	–	–	○	0000H
F03AAH F03ABH	シーケンサ・インストラクション・レジスタ21	SMSI21	R/W	–	–	○	0000H
F03ACH F03ADH	シーケンサ・インストラクション・レジスタ22	SMSI22	R/W	–	–	○	0000H
F03AEH F03AFH	シーケンサ・インストラクション・レジスタ23	SMSI23	R/W	–	–	○	0000H
F03B0H F03B1H	シーケンサ・インストラクション・レジスタ24	SMSI24	R/W	–	–	○	0000H
F03B2H F03B3H	シーケンサ・インストラクション・レジスタ25	SMSI25	R/W	–	–	○	0000H
F03B4H F03B5H	シーケンサ・インストラクション・レジスタ26	SMSI26	R/W	–	–	○	0000H
F03B6H F03B7H	シーケンサ・インストラクション・レジスタ27	SMSI27	R/W	–	–	○	0000H
F03B8H F03B9H	シーケンサ・インストラクション・レジスタ28	SMSI28	R/W	–	–	○	0000H
F03BAH F03BBH	シーケンサ・インストラクション・レジスタ29	SMSI29	R/W	–	–	○	0000H

表3 - 6　　2nd SFR一覧 (9/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F03BCH F03BDH	シーケンサ・インストラクション・レジスタ30	SMSI30	R/W	–	–	○	0000H
F03BEH F03BFH	シーケンサ・インストラクション・レジスタ31	SMSI31	R/W	–	–	○	0000H
F03C0H F03C1H	シーケンサ汎用レジスタ0	SMSG0	R	–	–	○	0000H
F03C2H F03C3H	シーケンサ汎用レジスタ1	SMSG1	R/W	–	–	○	0000H
F03C4H F03C5H	シーケンサ汎用レジスタ2	SMSG2	R/W	–	–	○	0000H
F03C6H F03C7H	シーケンサ汎用レジスタ3	SMSG3	R/W	–	–	○	0000H
F03C8H F03C9H	シーケンサ汎用レジスタ4	SMSG4	R/W	–	–	○	0000H
F03CAH F03CBH	シーケンサ汎用レジスタ5	SMSG5	R/W	–	–	○	0000H
F03CCH F03CDH	シーケンサ汎用レジスタ6	SMSG6	R/W	–	–	○	0000H
F03CEH F03CFH	シーケンサ汎用レジスタ7	SMSG7	R/W	–	–	○	0000H
F03D0H F03D1H	シーケンサ汎用レジスタ8	SMSG8	R/W	–	–	○	0000H
F03D2H F03D3H	シーケンサ汎用レジスタ9	SMSG9	R/W	–	–	○	0000H
F03D4H F03D5H	シーケンサ汎用レジスタ10	SMSG10	R/W	–	–	○	0000H
F03D6H F03D7H	シーケンサ汎用レジスタ11	SMSG11	R/W	–	–	○	0000H
F03D8H F03D9H	シーケンサ汎用レジスタ12	SMSG12	R/W	–	–	○	0000H
F03DAH F03DBH	シーケンサ汎用レジスタ13	SMSG13	R/W	–	–	○	0000H
F03DCH F03DDH	シーケンサ汎用レジスタ14	SMSG14	R/W	–	–	○	0000H
F03DEH F03DFH	シーケンサ汎用レジスタ15	SMSG15	R	–	–	○	FFFFH
F03E0H	シーケンサ制御レジスタ	SMSC	R/W	○	○	–	00H
F03E1H	シーケンサ・ステータス・レジスタ	SMSS	R	○	○	–	00H
F0480H F0481H	割り込みベクタ変更レジスタ0	FLSIVC0	R/W	–	–	○	0000H
F0482H F0483H	割り込みベクタ変更レジスタ1	FLSIVC1	R/W	–	–	○	000FH
F0488H F0489H	コード・フラッシュ・メモリ・ガードレジスタ	GFLASH0	R/W	–	–	○	0000H
F048AH F048BH	データ・フラッシュ・メモリ・ガードレジスタ	GFLASH1	R/W	–	–	○	0000H
F048CH F048DH	フラッシュ・セキュリティ領域ガードレジスタ	GFLASH2	R/W	–	–	○	0000H

表3 - 6 2nd SFR一覧 (10/11)

アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F048EH	IAWCTLレジスタ・ガードレジスタ	GIAWCTL		R/W	–	–	○	0000H
F048FH								
F0500H	CTSU制御レジスタAL	CTSUCR0	CTSUCRAL	R/W	○	○	○	0000H
F0501H		CTSUCR1			○	○		
F0502H	CTSU制御レジスタAH	CTSUCR2	CTSUCRAH	R/W	○	○	○	0000H
F0503H		CTSUCR3			○	○		
F0504H	CTSU制御レジスタBL	CTSUSDPRS	CTSUCRBL	R/W	○	○	○	0000H
F0505H		CTSUSST			–	○		
F0506H	CTSU制御レジスタBH	–	CTSUCRBH	R/W	–	–	○	0000H
F0507H		CTSUDCLKC			–	○		
F0508H	CTSU計測チャネルレジスタL	CTSUMCH0	CTSUMCHL	R/W	–	○	○	3F3FH
F0509H		CTSUMCH1			–	○		
F050AH	CTSU計測チャネルレジスタH	CTSUMFAF	CTSUMCHH	R/W	○	○	○	0000H
F050BH		–			–	–		
F050CH	CTSUチャネル有効制御レジスタAL	CTSUCHAC0	CTSUCHACAL	R/W	○	○	○	0000H
F050DH		CTSUCHAC1			○	○		
F050EH	CTSUチャネル有効制御レジスタAH	CTSUCHAC2	CTSUCHACAH	R/W	○	○	○	0000H
F050FH		CTSUCHAC3			○	○		
F0510H	CTSUチャネル有効制御レジスタBL	CTSUCHAC4	CTSUCHACBL	R/W	○	○	○	0000H
F0511H		CTSUCHAC5			○	○		
F0512H	CTSUチャネル有効制御レジスタBH	CTSUCHAC6	CTSUCHACBH	R/W	○	○	○	0000H
F0513H		CTSUCHAC7			○	○		
F0514H	CTSUチャネル送受信制御レジスタAL	CTSUCHTRC0	CTSUCHTRCAL	R/W	○	○	○	0000H
F0515H		CTSUCHTRC1			○	○		
F0516H	CTSUチャネル送受信制御レジスタAH	CTSUCHTRC2	CTSUCHTRCAH	R/W	○	○	○	0000H
F0517H		CTSUCHTRC3			○	○		
F0518H	CTSUチャネル送受信制御レジスタBL	CTSUCHTRC4	CTSUCHTRCBL	R/W	○	○	○	0000H
F0519H		CTSUCHTRC5			○	○		
F051AH	CTSUチャネル送受信制御レジスタBH	CTSUCHTRC6	CTSUCHTRCBH	R/W	○	○	○	0000H
F051BH		CTSUCHTRC7			○	○		

表3 - 6　　2nd SFR一覧 (11/11)

	アドレス	拡張特殊機能レジスタ（2nd SFR）名称	略号		R/W	操作可能ビット範囲			リセット時
						1ビット	8ビット	16ビット	
	F051CH	CTSUステータスレジスタL	CTSUST1	CTSUSRL	R/W	○	○	○	0000H
	F051DH		CTSUST			○	○		
	F0520H	CTSUセンサオフセットレジスタ0	CTSUSO0		R/W	–	–	○	0000H
	F0521H								
	F0522H	CTSUセンサオフセットレジスタ1	CTSUSO1		R/W	–	–	○	0000H
	F0523H								
	F0524H	CTSUセンサカウンタレジスタL	CTSUSC		R	–	–	○	0000H
	F0525H								
	F0526H	CTSUセンサカウンタレジスタH	CTSUUC		R	–	–	○	0000H
	F0527H								
	F0528H	CTSUキャリブレーションレジスタL	CTSUDBGR0		R/W	–	–	○	0000H
	F0529H								
	F052AH	CTSUキャリブレーションレジスタH	CTSUDBGR1		R/W	–	–	○	0000H
	F052BH								
	F052CH	CTSUセンサユニットクロック制御レジスタAL	CTSUSUCLK0		R/W	–	–	○	0000H
	F052DH								
	F052EH	CTSUセンサユニットクロック制御レジスタAH	CTSUSUCLK1		R/W	–	–	○	0000H
	F052FH								
	F0530H	CTSUセンサユニットクロック制御レジスタBL	CTSUSUCLK2		R/W	–	–	○	0000H
	F0531H								
	F0532H	CTSUセンサユニットクロック制御レジスタBH	CTSUSUCLK3		R/W	–	–	○	0000H
	F0533H								
	F0540H	乱数シード・データ・レジスタ	TRNGSDR		R	–	○	–	00H
	F0542H	乱数シード・コマンド・レジスタ0	TRNGSCR0		R/W	○	○	–	00H
★	F0600H	CTSUトリミングレジスタAL	RTRIM	CTSUTRIM0	R/W	–	○	○	注1
	F0601H		DACTRIM			–	○		
★	F0602H	CTSUトリミングレジスタAH	SUADJD	CTSUTRIM1	R/W	–	○	○	注1
	F0603H		TRESULT4			–	○		
★	F0604H	CTSUトリミングレジスタBL	TRESULT0	CTSUTRIM2	R/W	–	○	○	注1
	F0605H		TRESULT1			–	○		
★	F0606H	CTSUトリミングレジスタBH	TRESULT2	CTSUTRIM3	R/W	–	○	○	注1
	F0607H		TRESULT3			–	○		

注1.　リセット値は出荷時に調整した値です。

注2.　ユーザ・オプション・バイト（000C2H）のFRQSEL2-FRQSEL0ビットで設定した値になります。

注3.　FLMODEレジスタの初期値は、MODE1, MODE0ビットにオプション・バイトのCMODE1, CMODE0ビット（アドレス：000C2H）の設定値が反映された値になります。

注4.　OSMCレジスタの初期値は、RTCLPCビットおよびWUTMMCK0ビットは0、HIPRECビットは1になります。

備考　SFR領域のSFRについては、**表3 - 5　SFR一覧**を参照してください。

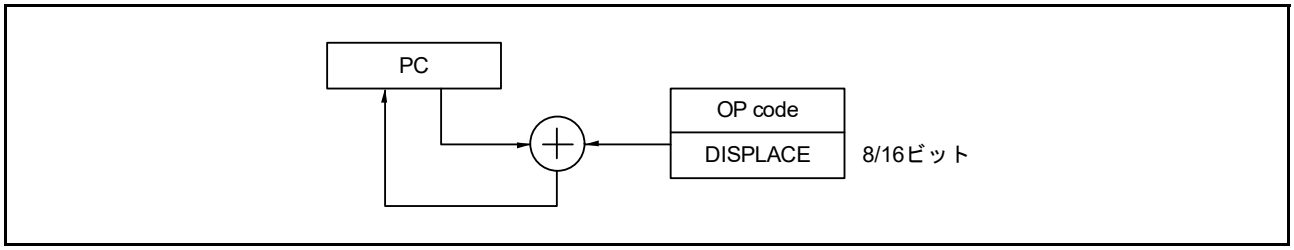
3.3　命令アドレスのアドレッシング

3.3.1　レラティブ・アドレッシング

【機能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し、命令語に含まれるディスプレースメント値（符号付きの補数データ：–128～+127または–32768～+32767）を加算した結果を、プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 11　レラティブ・アドレッシングの概略



3.3.2　イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには、20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 12　CALL !!addr20 / BR !!addr20の例

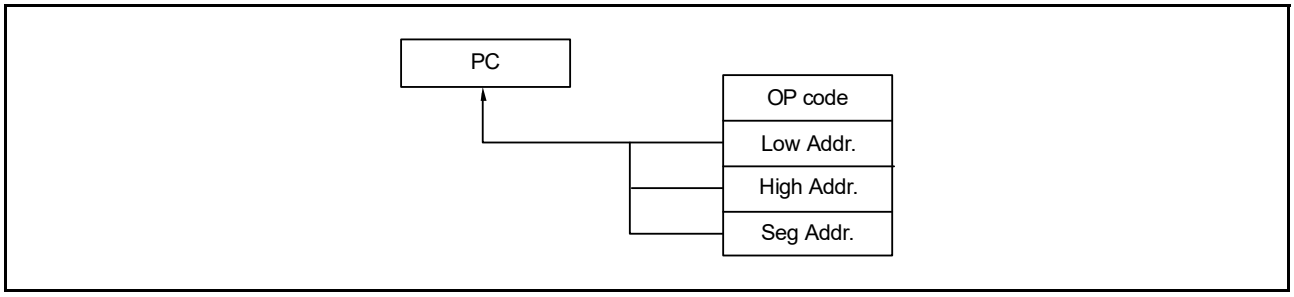
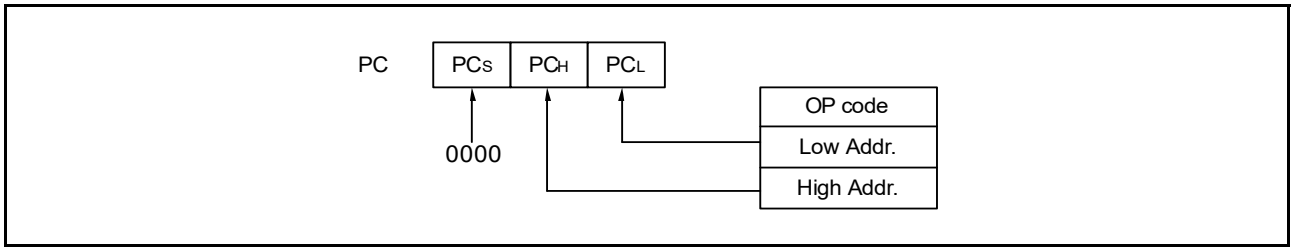


図3 - 13　CALL !addr16 / BR !addr16の例



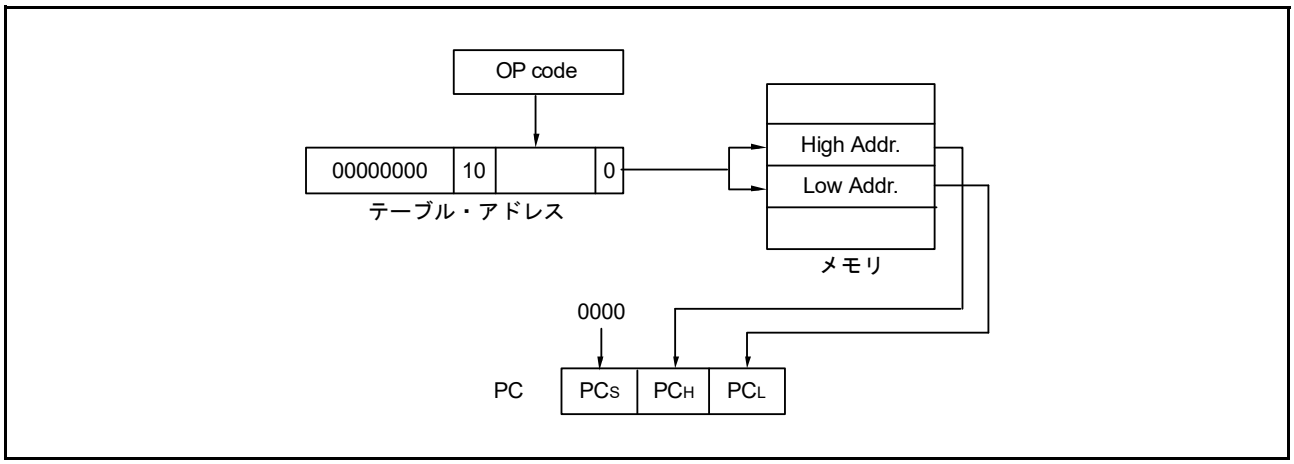
3.3.3　テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 14　テーブル・インダイレクト・アドレッシングの概略

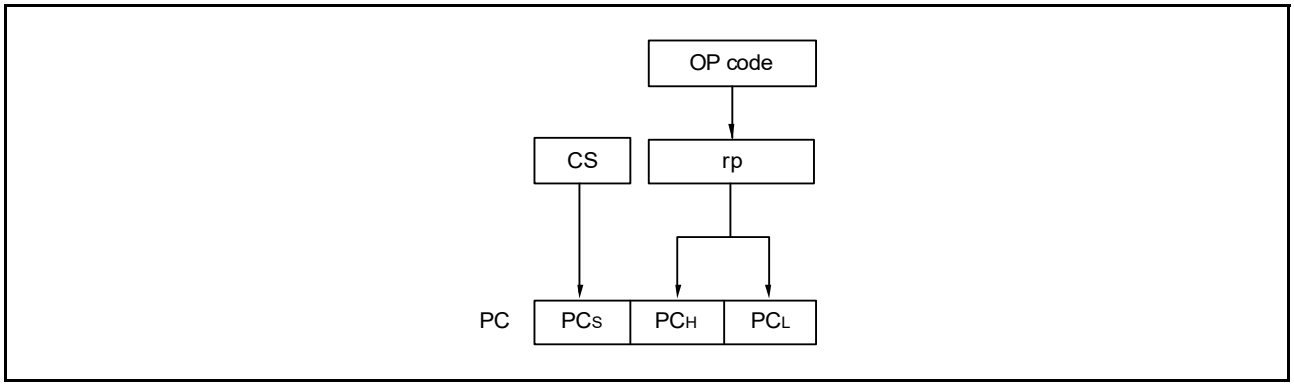


3.3.4　レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX/BC/DE/HLとBR AX命令にのみ適用されます。

図3 - 15　レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

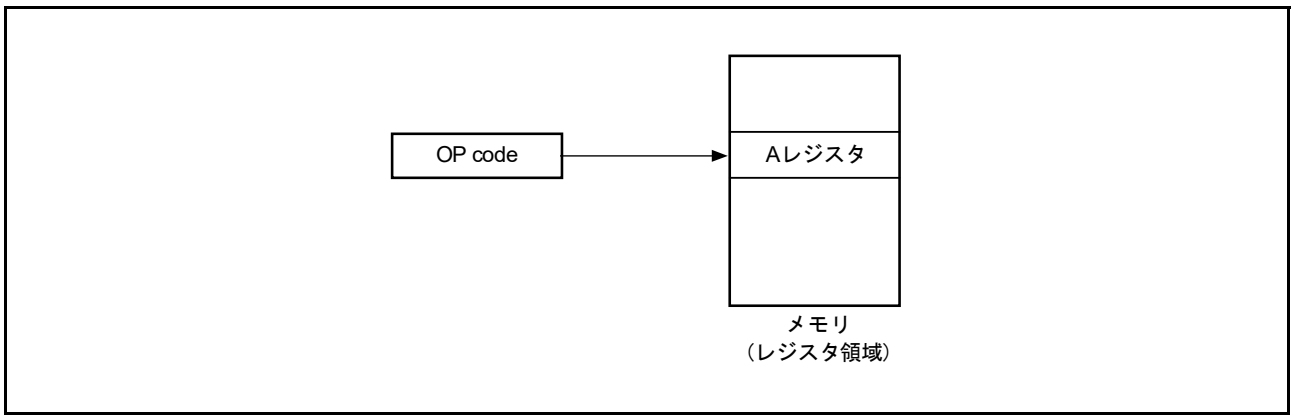
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 16　インプライド・アドレッシングの概略



3.4.2　レジスタ・アドレッシング

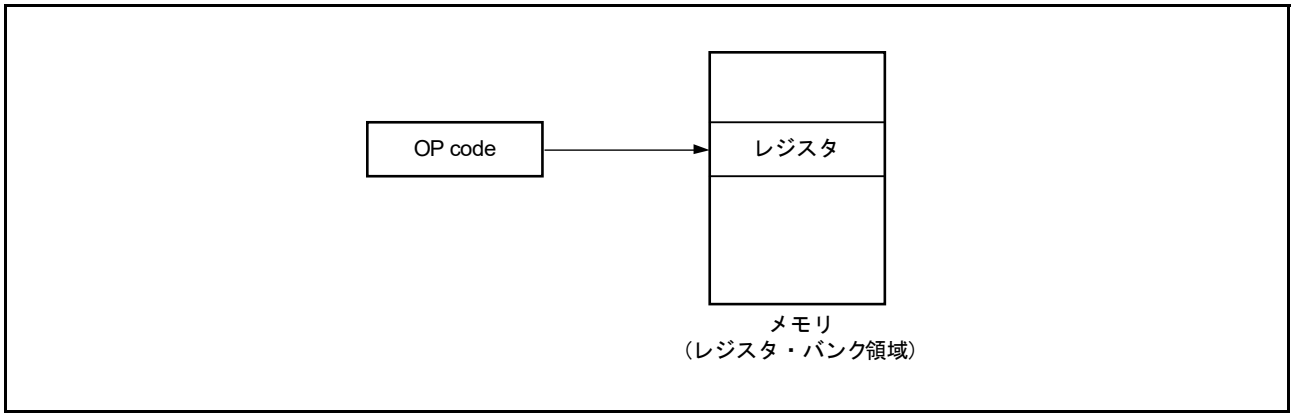
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 17　レジスタ・アドレッシングの概略



3.4.3　ダイレクト・アドレッシング

【機能】

命令語中のイミーディエト・データがオペランド・アドレスとなり、対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3 - 18　!addr16の例

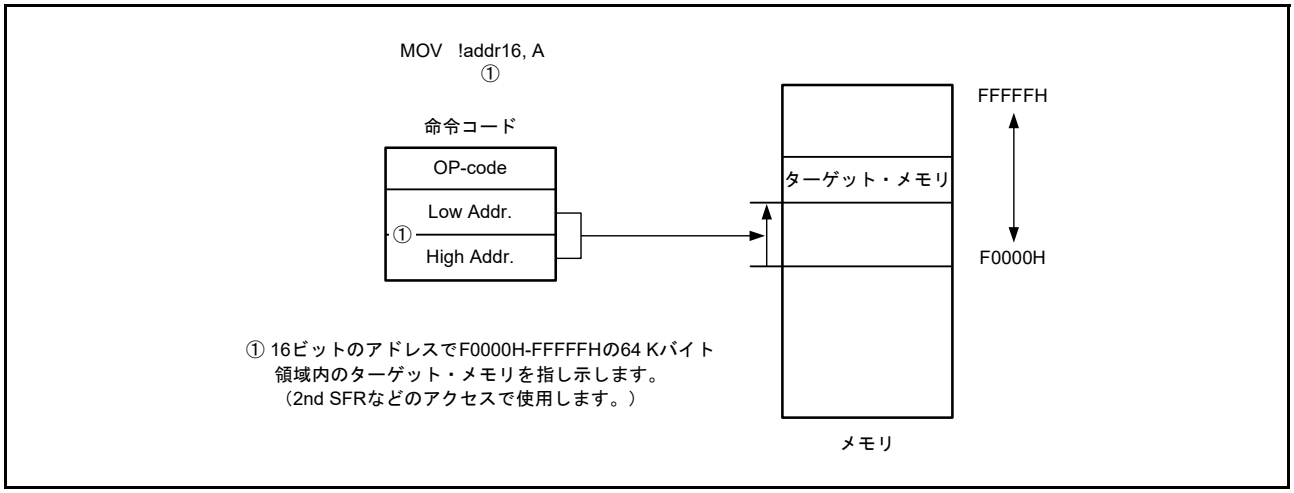
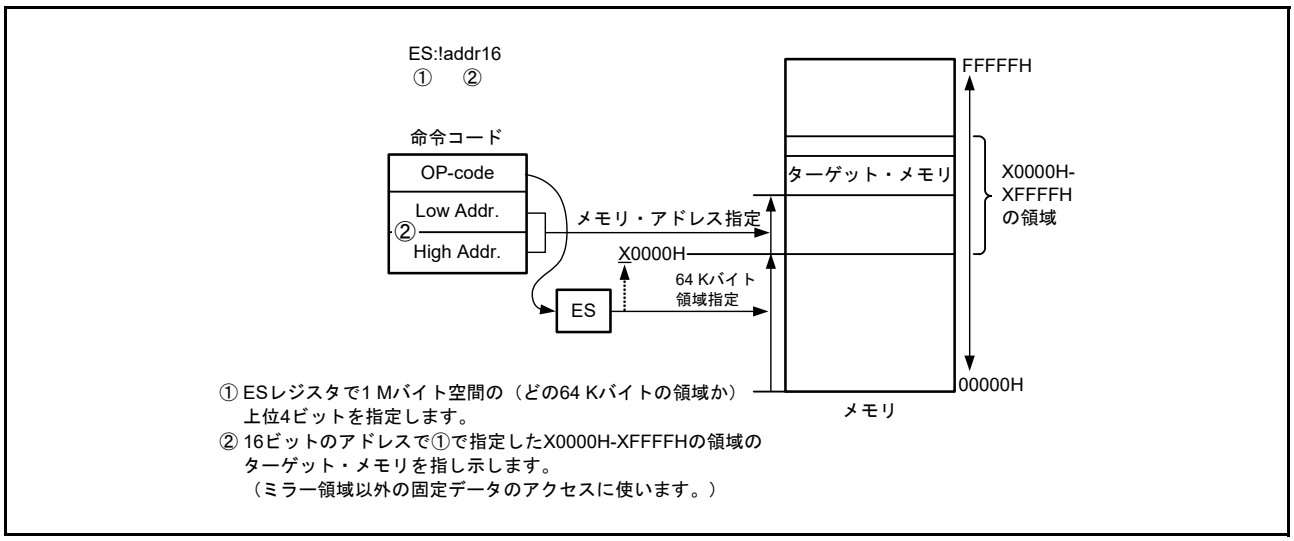


図3 - 19　ES:!addr16の例



3.4.4　ショート・ダイレクト・アドレッシング

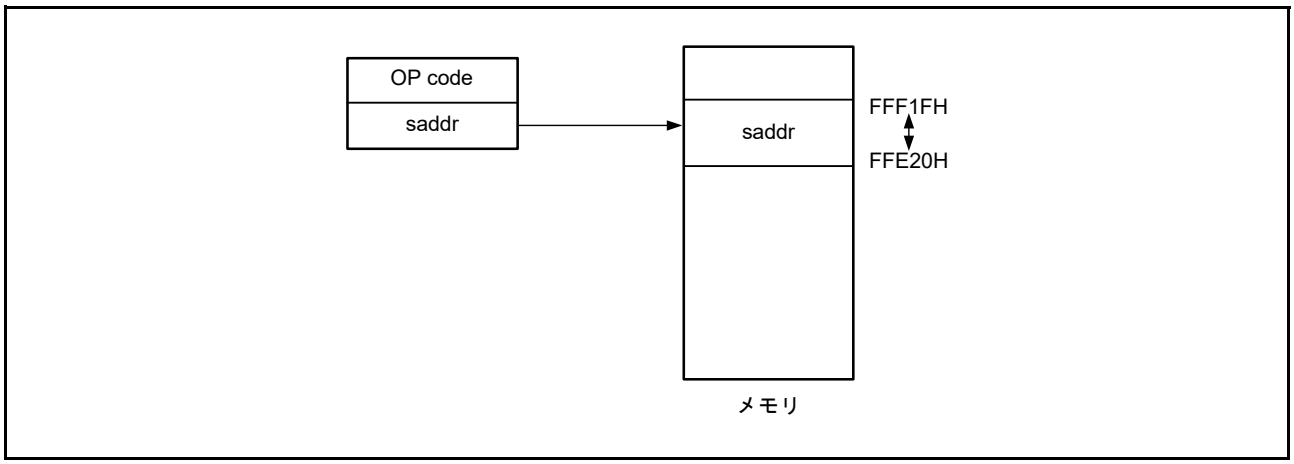
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（FFE20H-FFF1FH空間のみ指定可能）
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ）（FFE20H-FFF1FH空間のみ指定可能）

図3 - 20　ショート・ダイレクト・アドレッシングの概略



備考　SADDR, SADDRPは、（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5　SFRアドレッシング

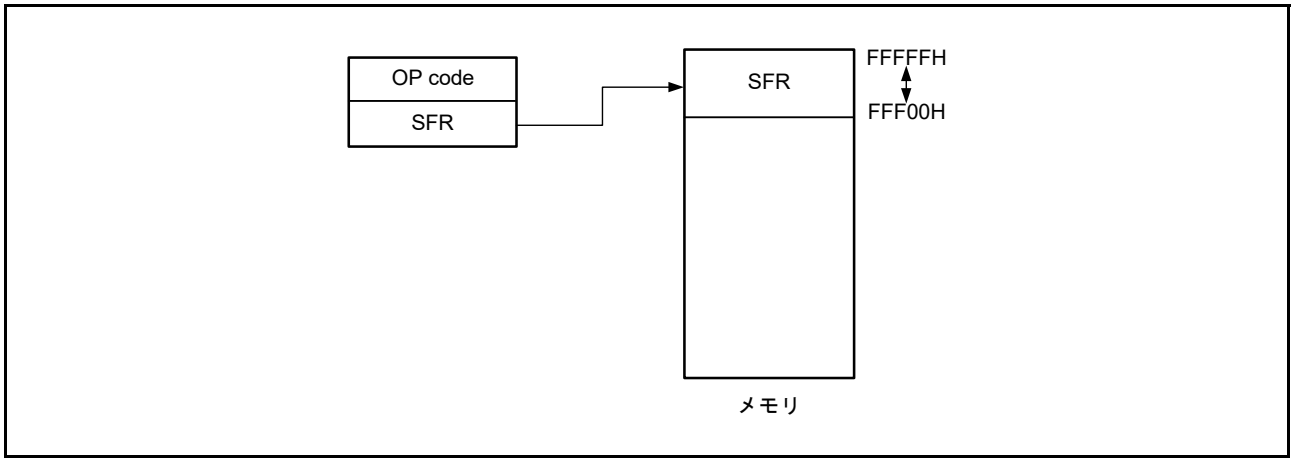
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレス）

図3 - 21　SFRアドレッシングの概略



3.4.6　レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL]（F0000H-FFFFFH空間のみ指定可能）
—	ES:[DE], ES:[HL]（ESレジスタにて上位4ビット・アドレス指定）

図3 - 22　[DE], [HL]の例

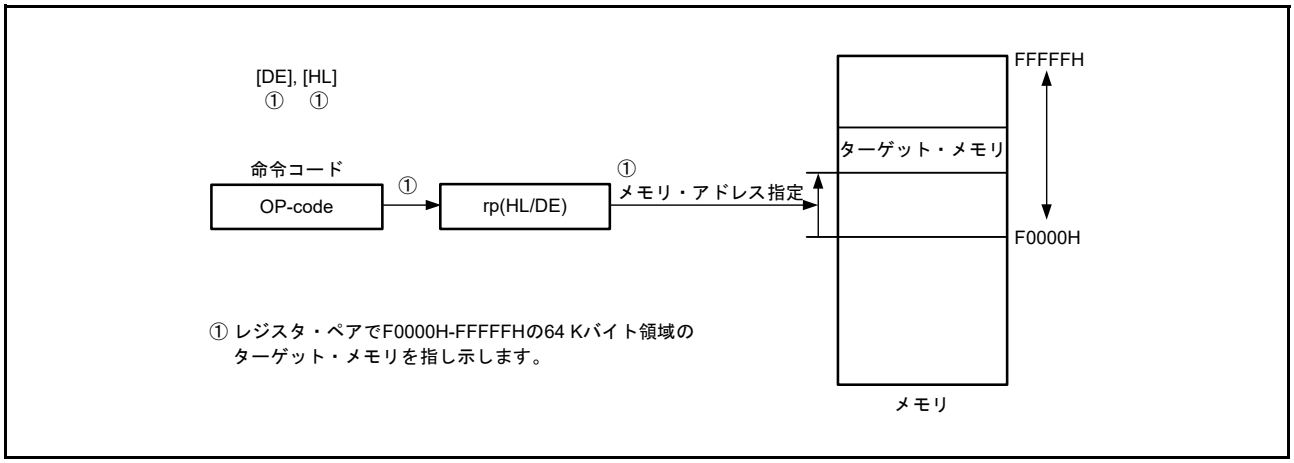
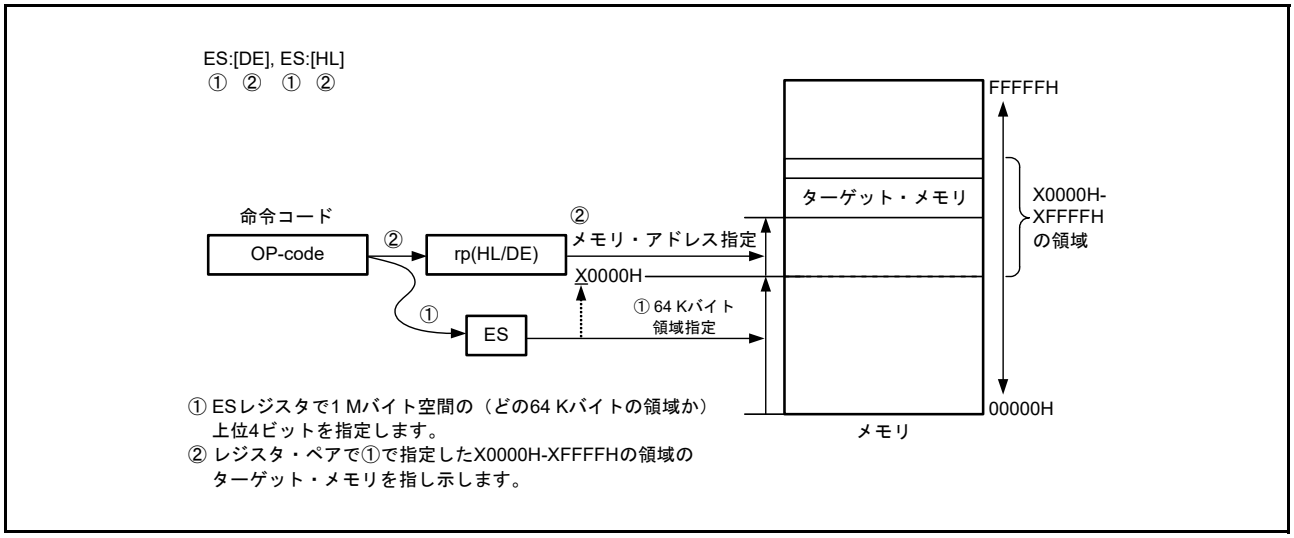


図3 - 23　ES:[DE], ES:[HL]の例



3.4.7 ベースト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし、8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+byte], [DE+byte], [SP+byte]（F0000H-FFFFFH空間のみ指定可能）
—	word[B], word[C]（F0000H-FFFFFH空間のみ指定可能）
—	word[BC]（F0000H-FFFFFH空間のみ指定可能）
—	ES:[HL+byte], ES:[DE+byte]（ESレジスタにて上位4ビット・アドレス指定）
—	ES:word[B], ES:word[C]（ESレジスタにて上位4ビット・アドレス指定）
—	ES:word[BC]（ESレジスタにて上位4ビット・アドレス指定）

図3 - 24 [SP+byte]の例

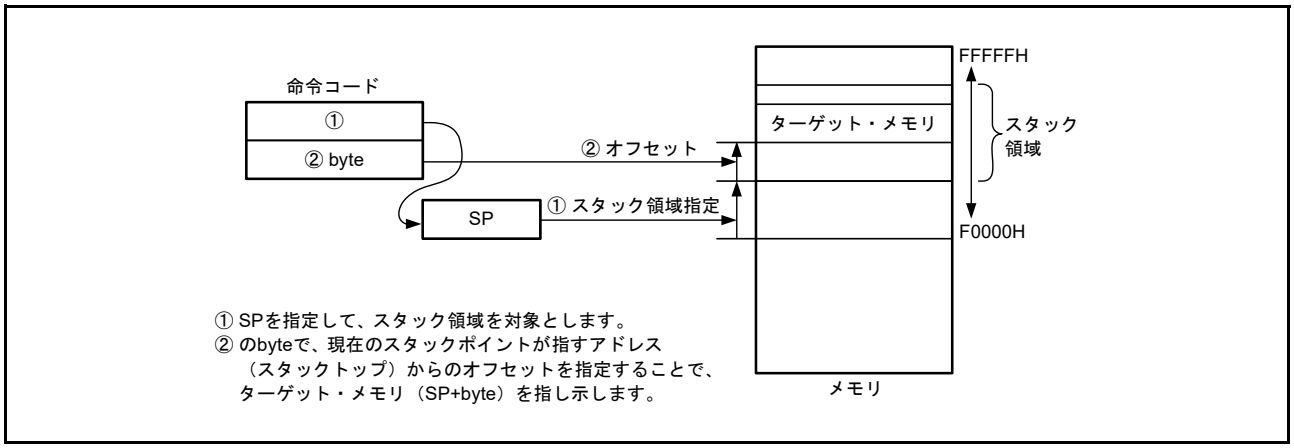


図3 - 25 [HL+byte], [DE+byte]の例

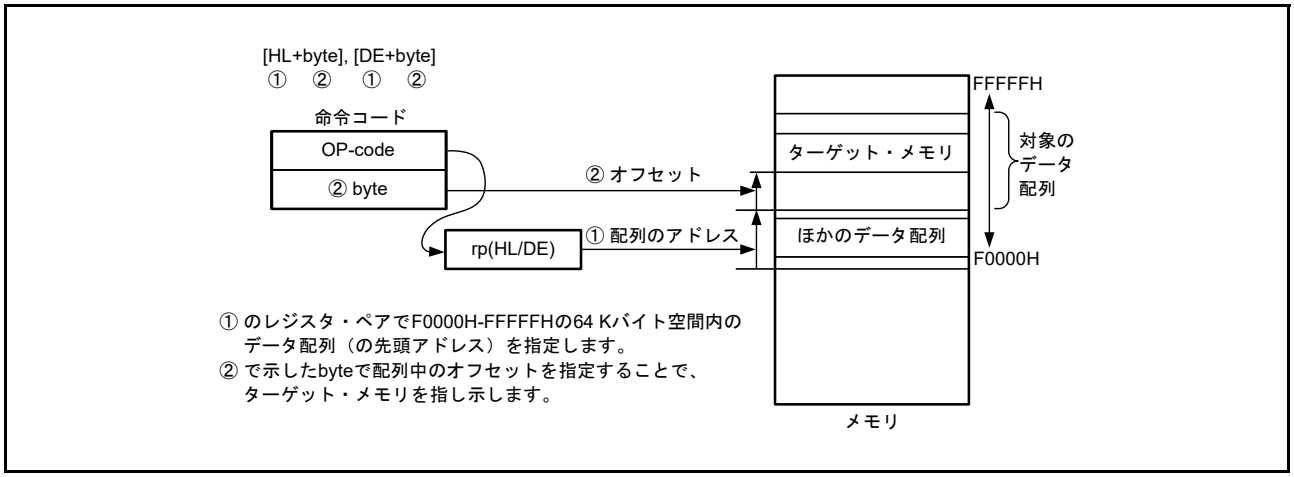


図3 - 26　word[B], word[C]の例

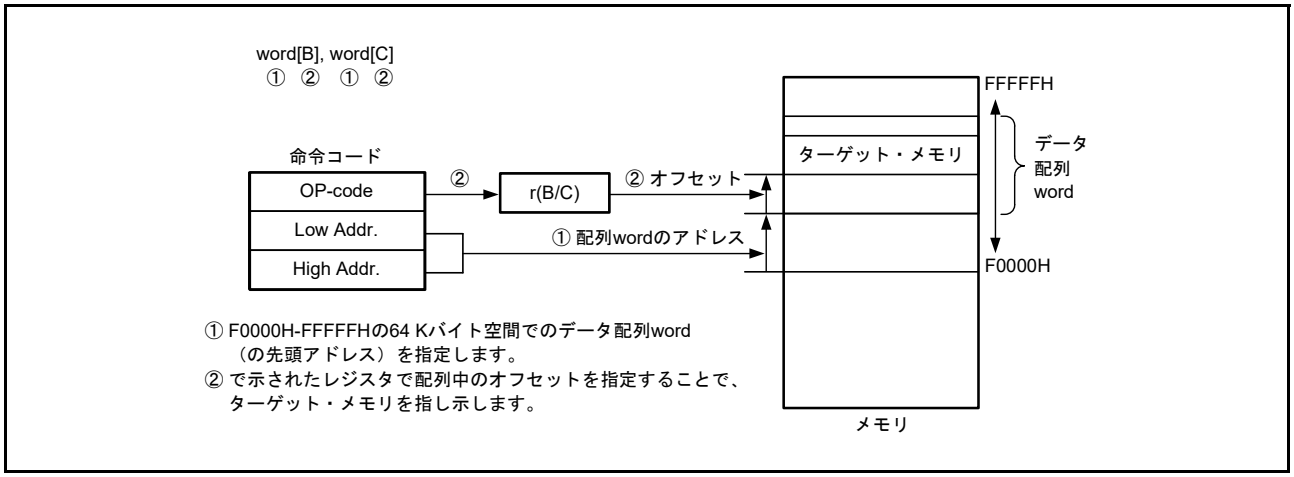


図3 - 27　word[BC]の例

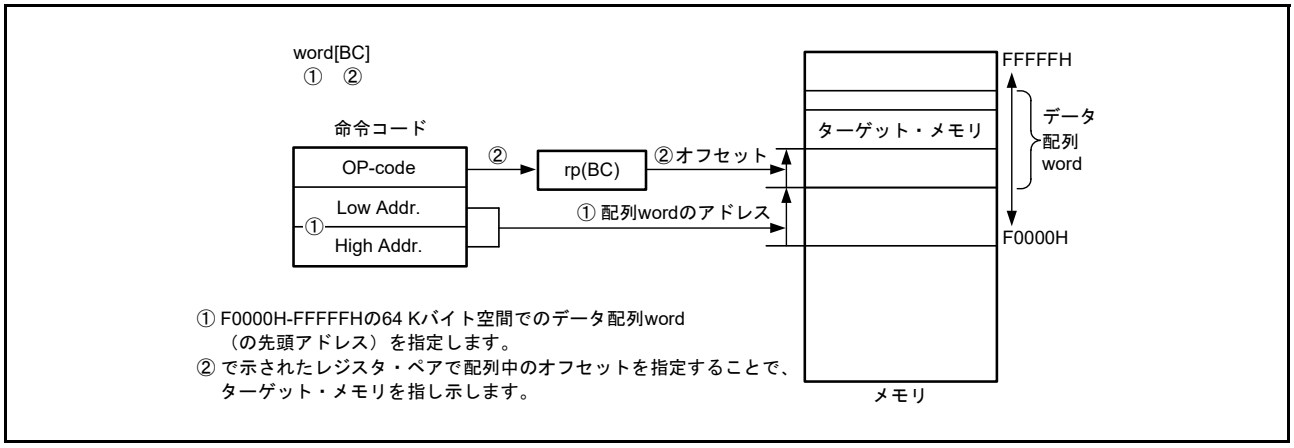


図3 - 28　ES:[HL+byte], ES:[DE+byte]の例

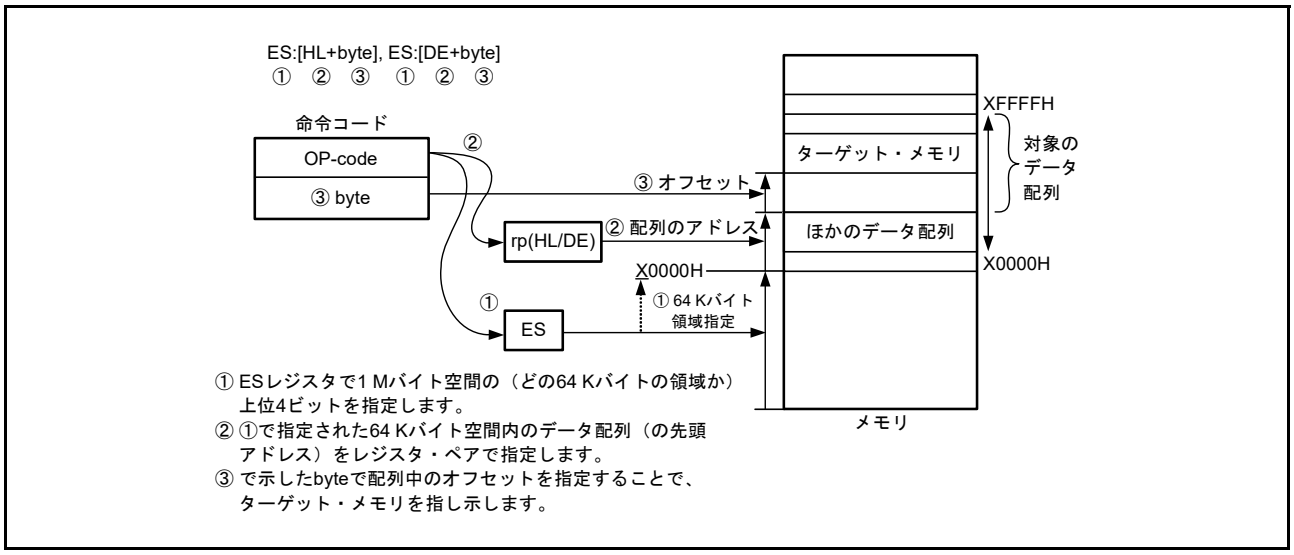
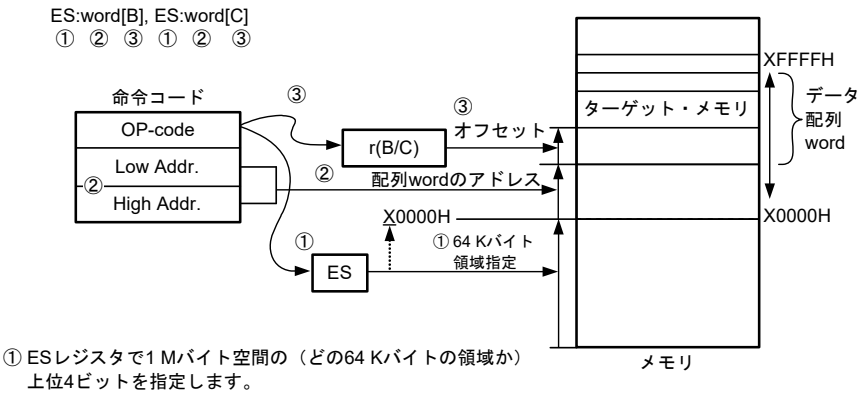
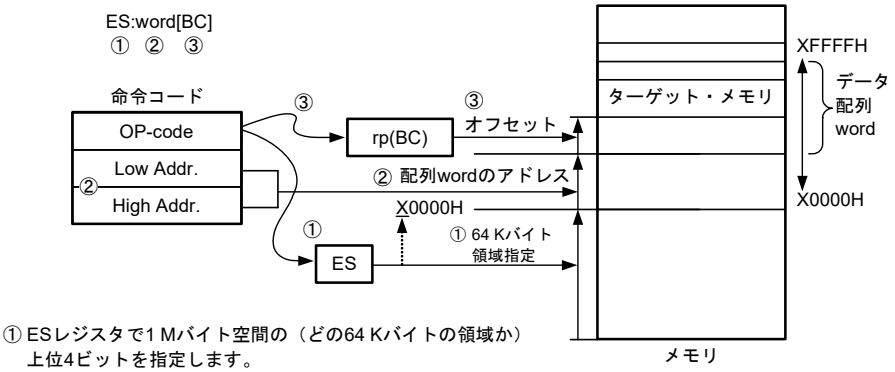


図3 - 29　ES:word[B], ES:word[C]の例



① ESレジスタで1 Mバイト空間の（どの64 Kバイトの領域か）
上位4ビットを指定します。
② ①で指定された64 Kバイト空間でのデータ配列word
（の先頭アドレス）を指定します。
③ で示したレジスタで配列中のオフセットを指定することで、
ターゲット・メモリを指し示します。

図3 - 30　ES:word[BC]の例



① ESレジスタで1 Mバイト空間の（どの64 Kバイトの領域か）
上位4ビットを指定します。
② ①で指定された64 Kバイト空間でのデータ配列word
（の先頭アドレス）を指定します。
③ で示したレジスタ・ペアで配列中のオフセットを指定することで、
ターゲット・メモリを指し示します。

3.4.8　ベースト・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL+B], [HL+C]（F0000H-FFFFFH空間のみ指定可能）
—	ES:[HL+B], ES:[HL+C]（ESレジスタにて上位4ビット・アドレス指定）

図3 - 31　[HL+B], [HL+C]の例

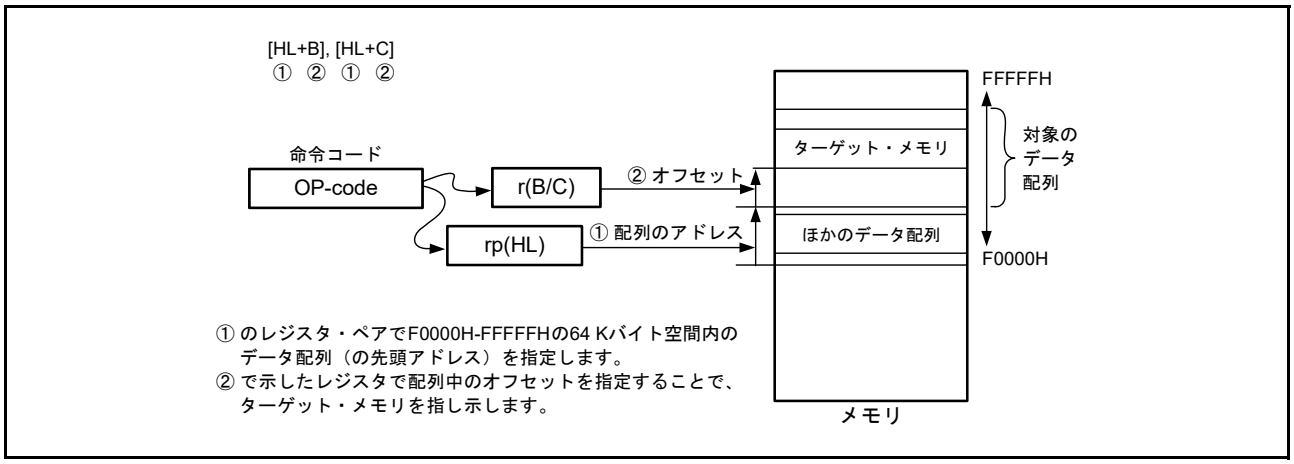
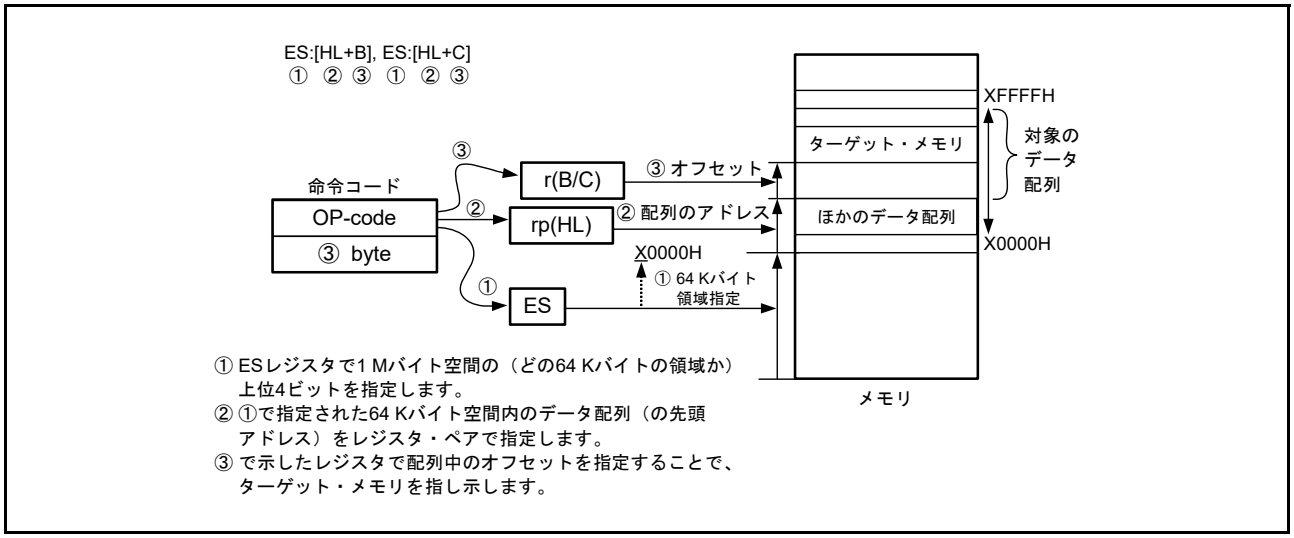


図3 - 32　ES:[HL+B], ES:[HL+C]の例



3.4.9　スタック・アドレッシング

【機能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH、POP、サブルーチン・コール、リターン命令の実行時、および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB （割り込み要求発生） RETI

各スタック動作によって退避／復帰されるデータは**図3 - 33**～**図3 - 38**のようになります。

図3 - 33　PUSH rpの例

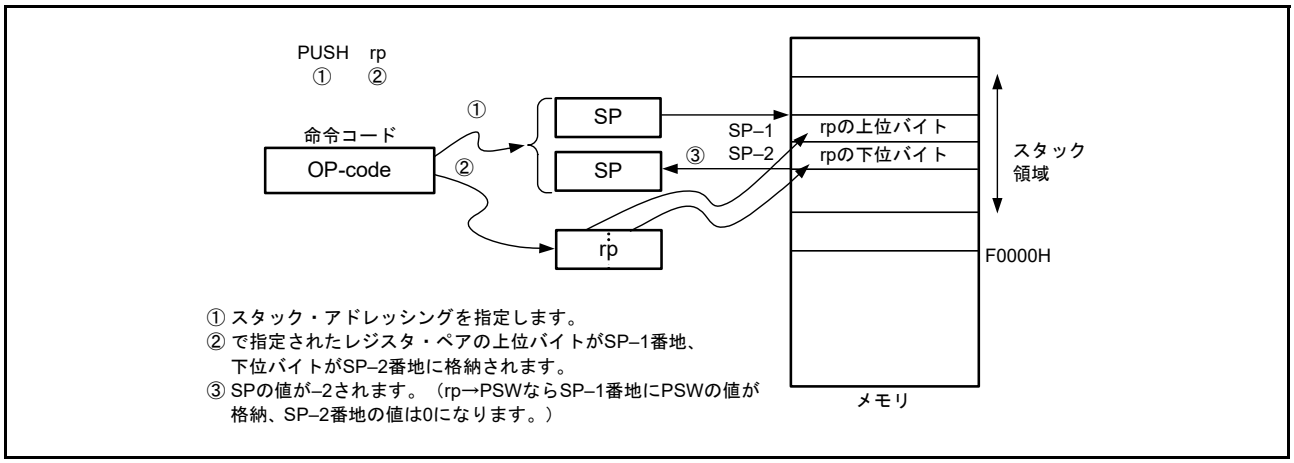


図3 - 34　POPの例

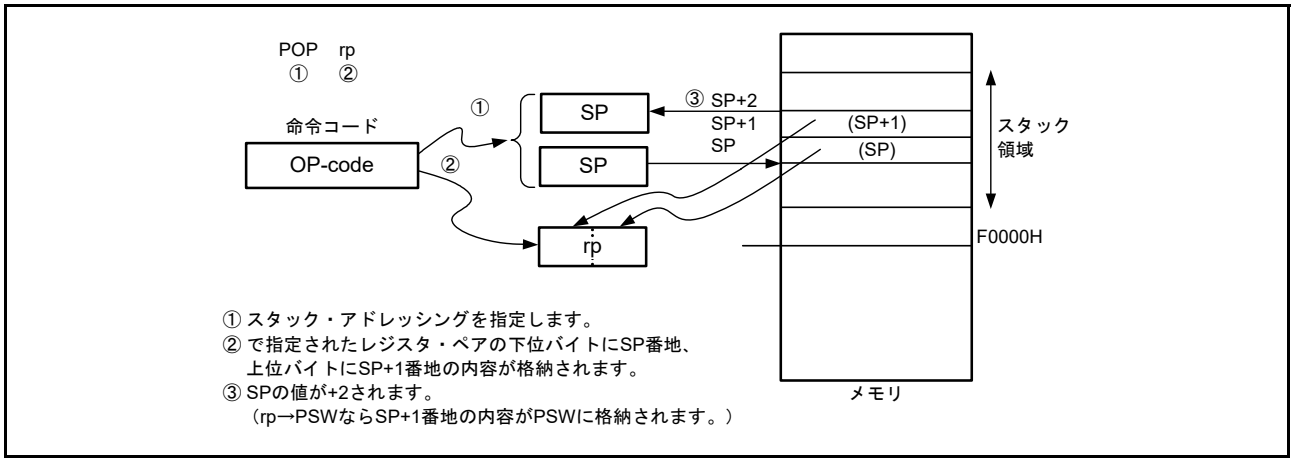


図3 - 35　CALL, CALLTの例

★

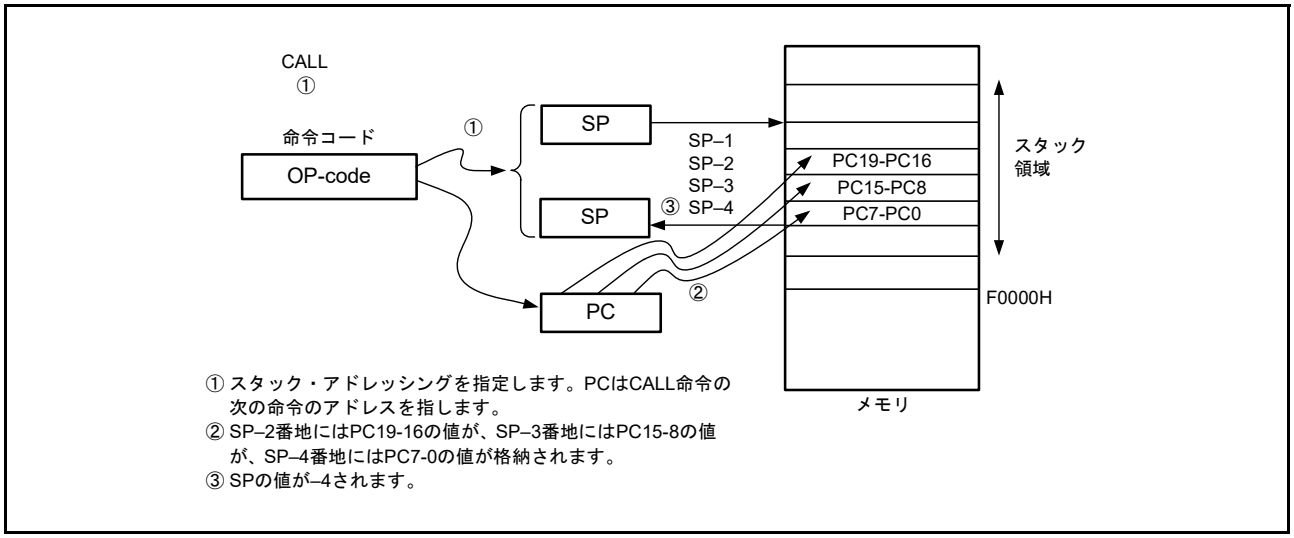


図3 - 36　RETの例

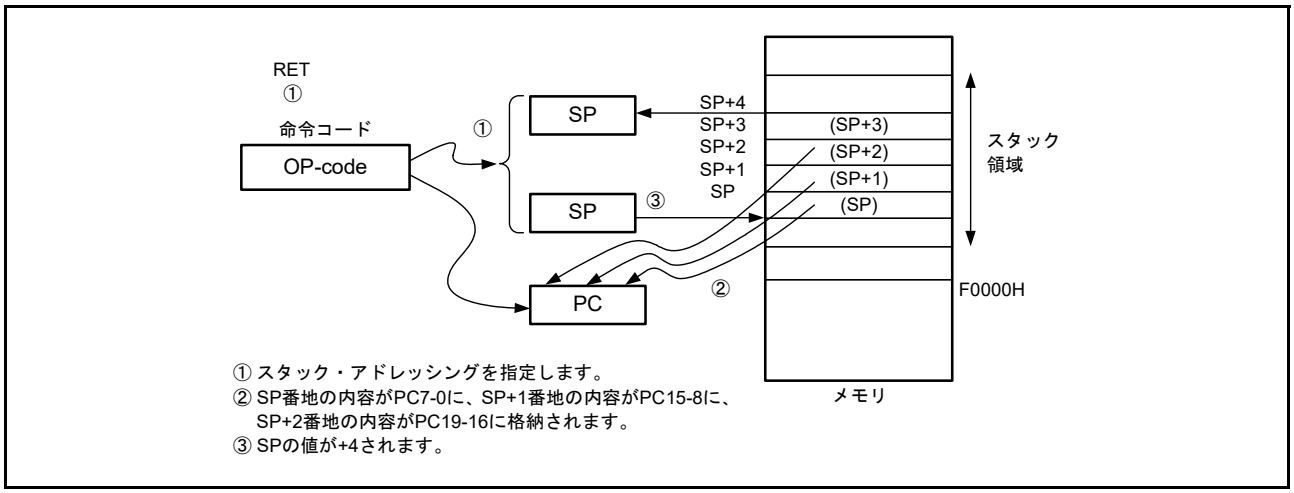


図3 - 37　割り込み、BRKの例

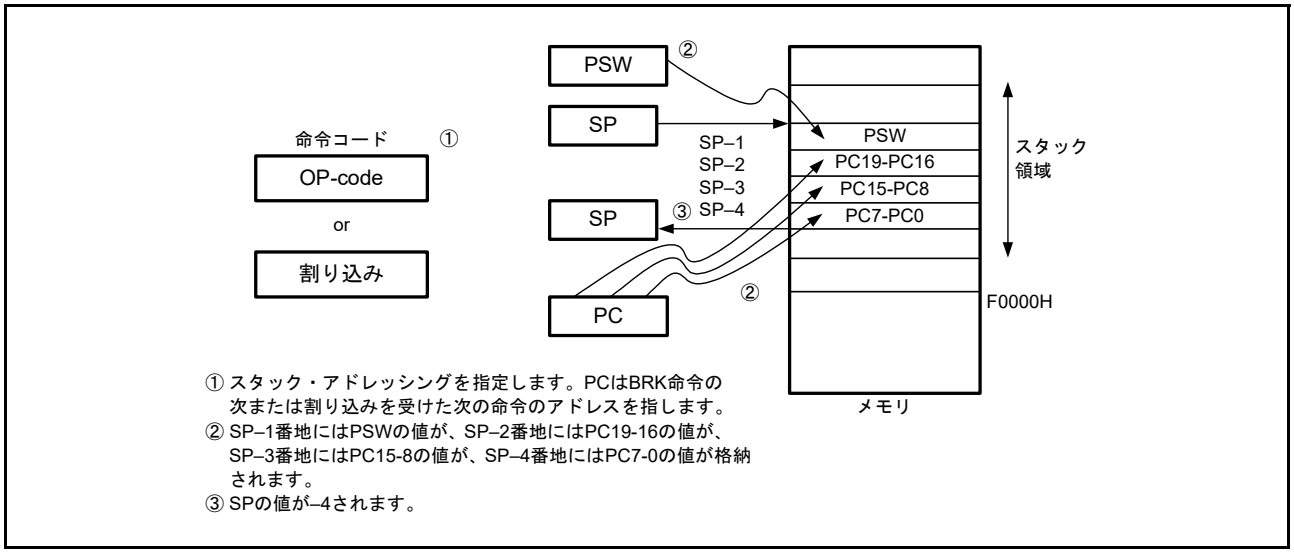
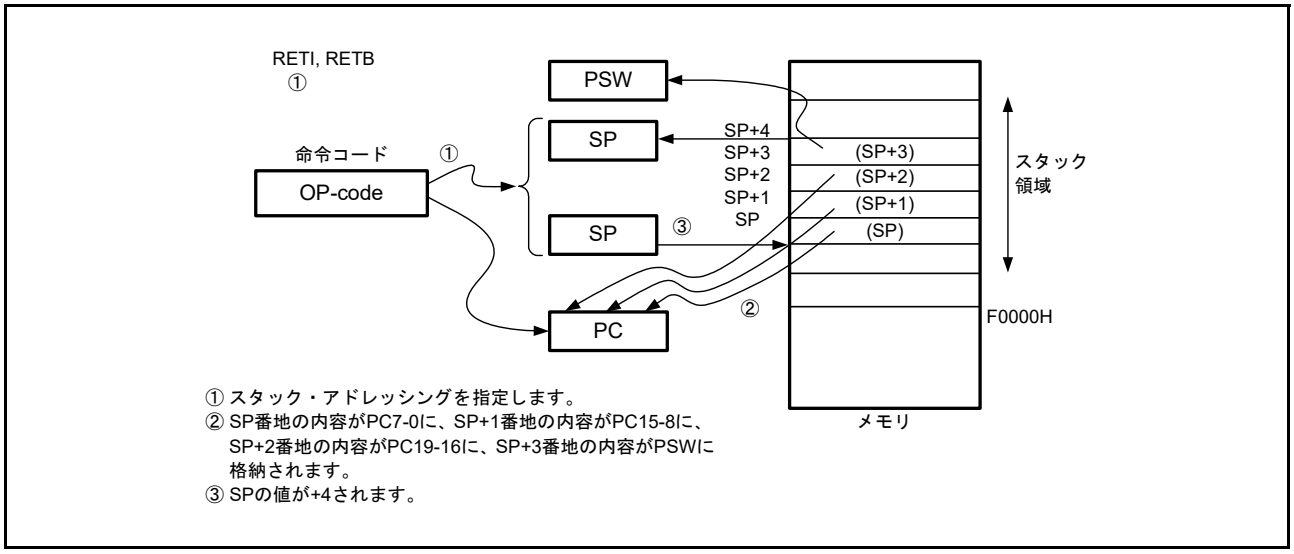


図3 - 38　RETI, RETBの例



第4章　ポート機能

4.1　ポートの機能

本製品は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章　端子機能**を参照してください。

4.2　ポートの構成

ポートは、次のハードウェアで構成されています。

表4 - 1　ポートの構成 (1/2)

項目	構成
制御レジスタ	• ポート・モード・レジスタ（PMxx）（xx = 0-7, 12, 14） • ポート・レジスタ（Pxx）（xx = 0-7, 12-14） • プルアップ抵抗オプション・レジスタ（PUxx）（xx = 0, 1, 3-5, 7, 12, 14） • ポート入力モード・レジスタ（PIMxx）（xx = 0, 1, 4, 7） • ポート出力モード・レジスタ（POMxx）（xx = 0, 1, 5, 7, 12） • ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）（xx = 0, 1, 5, 7, 12, 13） • ポート・モード・コントロールA・レジスタ（PMCAxx）（xx = 0, 2, 12, 14） • ポート・モード・コントロールT・レジスタ（PMCTxx）（xx = 0-3, 5, 7, 13, 14） • 周辺I/Oリダイレクション・レジスタ（PIOR） • ポート・ファンクション出力許可レジスタ1（PFOE1） • ポート・モード選択レジスタ（PMS）

表4 - 1　　ポートの構成 (2/2)

項目	構成
ポート	• 16ピン製品： 合計：12本（CMOS入出力：11本（N-chオープン・ドレイン入出力[VDD耐圧]：4本）、CMOS入力：1本） • 20ピン製品： 合計：16本（CMOS入出力：15本（N-chオープン・ドレイン入出力[VDD耐圧]：5本）、CMOS入力：1本） • 24ピン製品： 合計：20本（CMOS入出力：17本（N-chオープン・ドレイン入出力[VDD耐圧]：6本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：2本） • 25ピン製品： 合計：21本（CMOS入出力：17本（N-chオープン・ドレイン入出力[VDD耐圧]：6本）、CMOS入力：1本、CMOS出力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：2本） • 30ピン製品： 合計：26本（CMOS入出力：23本（N-chオープン・ドレイン入出力[VDD耐圧]：10本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：2本） • 32ピン製品： 合計：28本（CMOS入出力：24本（N-chオープン・ドレイン入出力[VDD耐圧]：10本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：3本） • 36ピン製品： 合計：32本（CMOS入出力：28本（N-chオープン・ドレイン入出力[VDD耐圧]：12本）、CMOS入力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：3本） • 40ピン製品： 合計：36本（CMOS入出力：30本（N-chオープン・ドレイン入出力[VDD耐圧]：12本）、CMOS入力：3本、N-chオープン・ドレイン入出力[6 V耐圧]：3本） • 44ピン製品： 合計：40本（CMOS入出力：33本（N-chオープン・ドレイン入出力[VDD耐圧]：12本）、CMOS入力：3本、N-chオープン・ドレイン入出力[6 V耐圧]：4本） • 48ピン製品： 合計：44本（CMOS入出力：36本（N-chオープン・ドレイン入出力[VDD耐圧]：13本）、CMOS入力：3本、CMOS出力：1本、N-chオープン・ドレイン入出力[6 V耐圧]：4本）
プルアップ抵抗	• 16ピン製品：合計：8本 • 20ピン製品：合計：12本 • 24ピン製品：合計：14本 • 25ピン製品：合計：14本 • 30ピン製品：合計：19本 • 32ピン製品：合計：20本 • 36ピン製品：合計：22本 • 40ピン製品：合計：23本 • 44ピン製品：合計：25本 • 48ピン製品：合計：28本

4.2.1　ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00, P01端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01端子の入力は、ポート入力モード・レジスタ（PIM0）の設定により通常入力バッファ／TTL入力バッファの指定ができます。

P00端子の出力は、ポート出力モード・レジスタ（POM0）によりN-chオープン・ドレイン出力 [VDD耐圧] モードに設定可能です。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力およびクロック入出力、静電容量計測があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、以下のモードになります。

- 20～32ピン製品のP00, P01端子：アナログ入力モード
- 36～48ピン製品のP00, P01端子：入力モード

4.2.2　ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P11, P13-P17端子の入力は、ポート入力モード・レジスタ（PIM1）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10-P15, P17端子の出力は、ポート出力モード・レジスタ（POM1）により1ビット単位でN-chオープン・ドレイン出力 [VDD耐圧] モードに設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力、フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTのデータ送受信、クロック／ブザー出力、タイマの入出力、外部割り込み要求入力、静電容量計測があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P10-P17は入力モードになります。

4.2.3　ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの＋側基準電圧入力、A/Dコンバータの－側基準電圧入力、静電容量計測があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P20-P27はアナログ入力モードになります。

4.2.4　ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30, P31端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、クロック／ブザー出力、タイマの入出力、シリアル・インタフェースのクロック入出力、静電容量計測があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P30, P31は入力モードになります。

4.2.5　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM4）により1ビット単位で入力モード／出力モードの指定ができます。P40, P41端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P41端子の入力は、ポート入力モード・レジスタ（PIM4）の設定により通常入力バッファ／TTL入力バッファの指定ができます。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力があります。端子の状態は、**4.3 ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P40, P41は入力モードになります。

4.2.6　ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50, P51端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50端子の出力は、ポート出力モード・レジスタ（POM5）によりN-chオープン・ドレイン出力 [V_{DD}耐圧] モードに設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、静電容量計測があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P50, P51は入力モードになります。

4.2.7　ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

P60-P63端子の出力は、N-chオープン・ドレイン出力 [6 V耐圧] です。★

また、兼用機能としてシリアル・インタフェースのデータ入出力およびクロック入出力があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表4-4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P60-P63は入力モードになります。

4.2.8　ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM7）により 1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU7）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

P71 端子の入力は、ポート入力モード・レジスタ（PIM7）の設定により通常入力バッファ／ TTL 入力バッファの指定ができます。

P71, P72, P74 端子の出力は、ポート出力モード・レジスタ（POM7）により 1 ビット単位で N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

また、兼用機能としてキー割り込み入力、シリアル・インタフェースのデータ入出力およびクロック入出力、外部割り込み要求入力、静電容量計測があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表 4 - 4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P70-P75 は入力モードになります。

4.2.9　ポート12

P120-P122 は出力ラッチ付き 6 ビットの入出力ポートです。ポート・モード・レジスタ（PM12）により、1 ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ（PU12）により内蔵プルアップ抵抗を使用できます。

P120 端子の出力は、ポート出力モード・レジスタ（POM12）により N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定可能です。

P123, P124 は 2 ビットの入力専用ポートです。

また、兼用機能として A/D コンバータのアナログ入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力、バッテリバックアップ用電源があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表 4 - 4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P120 はアナログ入力モードになります。P121-P124 は入力モードになります。

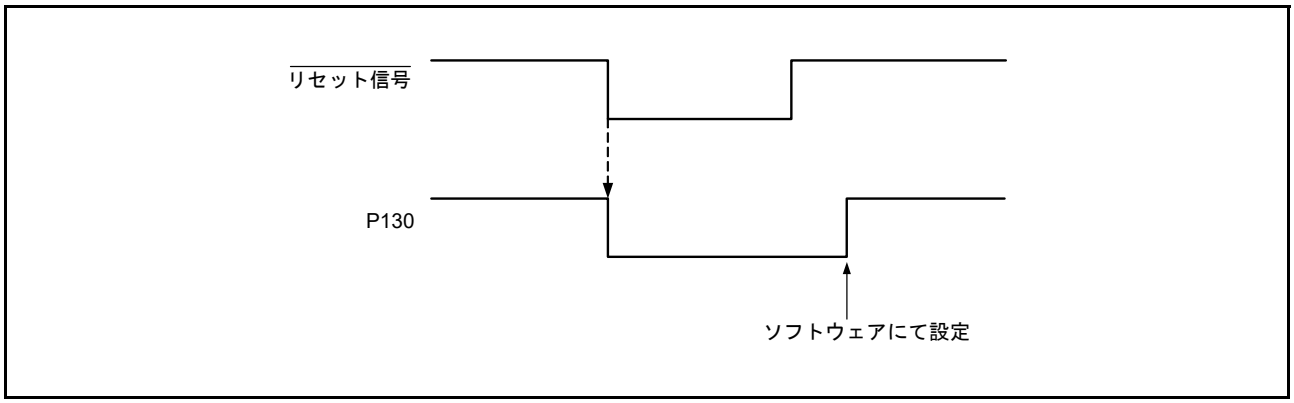
4.2.10　ポート13

P130 は出力ラッチ付き 1 ビット出力専用ポートです。P137 は 1 ビット入力専用ポートです。

P130 は出力モード、P137 は入力モードに固定されています。

また、兼用機能として外部割り込み要求入力、静電容量計測があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表 4 - 4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

備考　リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.11　ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ（PM14）により 1 ビット単位で入力モード／出力モードの指定ができます。P140, P146, P147 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ（PU14）により 1 ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてクロック／ブザー出力、外部割り込み要求入力、A/D コンバータのアナログ入力、静電容量計測があります。端子の状態は、**4.3　ポート機能を制御するレジスタ**で示すレジスタで設定します。レジスタの設定値と端子状態の関係は、**表 4 - 4　ポートのレジスタの設定値と端子状態の関係**を参照してください。

リセット信号の発生により、P140, P146 は入力モードになります。P147 はアナログ入力モードになります。

4.3 ポート機能を制御するレジスタ

ポート機能を制御するレジスタを次に示します。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- プルアップ抵抗オプション・レジスタ（PUxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- 周辺I/Oリダイレクション・レジスタ（PIOR）
- ポート・ファンクション出力許可レジスタ1（PFOE1）
- ポート・モード選択レジスタ（PMS）

注意　製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4 - 2を参照してください。また、搭載していないビットには、必ず初期値を設定してください。

表4 - 2　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx レジスタとそのビット (1/3)

ポート		ビット名								48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
		PMxxレジスタ	Pxxレジスタ	PUxxレジスタ	PIMxxレジスタ	POMxxレジスタ	PDIDISxxレジスタ	PMCAxxレジスタ	PMCTxxレジスタ										
ポート0	0	PM00	P00	PU00	–	POM00	PDIDIS00	PMCA00 注	PMCT00	○	○	○	○	○	○	○	○	○	–
	1	PM01	P01	PU01	PIM01	–	–	PMCA01 注	PMCT01	○	○	○	○	○	○	○	○	○	–
	2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート1	0	PM10	P10	PU10	PIM10	POM10	PDIDIS10	–	PMCT10	○	○	○	○	○	○	○	○	○	○
	1	PM11	P11	PU11	PIM11	POM11	PDIDIS11	–	PMCT11	○	○	○	○	○	○	○	○	○	○
	2	PM12	P12	PU12	–	POM12	PDIDIS12	–	PMCT12	○	○	○	○	○	○	○	○	○	○
	3	PM13	P13	PU13	PIM13	POM13	PDIDIS13	–	PMCT13	○	○	○	○	○	○	–	–	–	–
	4	PM14	P14	PU14	PIM14	POM14	PDIDIS14	–	PMCT14	○	○	○	○	○	○	–	–	–	–
	5	PM15	P15	PU15	PIM15	POM15	PDIDIS15	–	PMCT15	○	○	○	○	○	○	–	–	–	–
	6	PM16	P16	PU16	PIM16	–	–	–	PMCT16	○	○	○	○	○	○	○	○	○	–
	7	PM17	P17	PU17	PIM17	POM17	PDIDIS17	–	PMCT17	○	○	○	○	○	○	○	○	○	○
ポート2	0	PM20	P20	–	–	–	–	PMCA20	–	○	○	○	○	○	○	○	○	○	○
	1	PM21	P21	–	–	–	–	PMCA21	–	○	○	○	○	○	○	○	○	○	○
	2	PM22	P22	–	–	–	–	PMCA22	PMCT22	○	○	○	○	○	○	○	○	○	○
	3	PM23	P23	–	–	–	–	PMCA23	PMCT23	○	○	○	○	○	○	–	–	–	–
	4	PM24	P24	–	–	–	–	PMCA24	PMCT24	○	○	○	○	–	–	–	–	–	–
	5	PM25	P25	–	–	–	–	PMCA25	PMCT25	○	○	○	○	–	–	–	–	–	–
	6	PM26	P26	–	–	–	–	PMCA26	PMCT26	○	○	○	–	–	–	–	–	–	–
	7	PM27	P27	–	–	–	–	PMCA27	PMCT27	○	○	–	–	–	–	–	–	–	–
ポート3	0	PM30	P30	PU30	–	–	–	–	PMCT30	○	○	○	○	○	○	○	○	○	○
	1	PM31	P31	PU31	–	–	–	–	PMCT31	○	○	○	○	○	○	○	○	–	–
	2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート4	0	PM40	P40	PU40	–	–	–	–	–	○	○	○	○	○	○	○	○	○	○
	1	PM41	P41	PU41	PIM41	–	–	–	–	○	○	–	–	–	–	–	–	–	–
	2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

表4 - 2　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx レジスタとそのビット (2/3)

ポート		ビット名								48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ										
ポート5	0	PM50	P50	PU50	–	POM50	PDIDIS50	–	PMCT50	○	○	○	○	○	○	○	○	–	–
	1	PM51	P51	PU51	–	–	–	–	PMCT51	○	○	○	○	○	○	–	–	–	–
	2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート6	0	PM60	P60	–	–	–	–	–	–	○	○	○	○	○	○	○	○	–	–
	1	PM61	P61	–	–	–	–	–	–	○	○	○	○	○	○	○	○	–	–
	2	PM62	P62	–	–	–	–	–	–	○	○	○	○	○	–	–	–	–	–
	3	PM63	P63	–	–	–	–	–	–	○	○	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート7	0	PM70	P70	PU70	–	–	–	–	PMCT70	○	○	○	○	○	–	–	–	–	–
	1	PM71	P71	PU71	PIM71	POM71	PDIDIS71	–	PMCT71	○	○	○	○	–	–	–	–	–	–
	2	PM72	P72	PU72	–	POM72	PDIDIS72	–	PMCT72	○	○	○	○	–	–	–	–	–	–
	3	PM73	P73	PU73	–	–	–	–	PMCT73	○	○	○	–	–	–	–	–	–	–
	4	PM74	P74	PU74	–	POM74	PDIDIS74	–	PMCT74	○	–	–	–	–	–	–	–	–	–
	5	PM75	P75	PU75	–	–	–	–	PMCT75	○	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート8	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート9	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート10	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート11	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート12	0	PM120	P120	PU120	–	POM120	PDIDIS120	PMCA120	–	○	○	○	○	○	○	–	–	–	–
	1	PM121	P121	PU121	–	–	–	–	–	○	○	○	○	○	○	○	○	○	○
	2	PM122	P122	PU122	–	–	–	–	–	○	○	○	○	○	○	○	○	○	○
	3	–	P123	–	–	–	–	–	–	○	○	○	–	–	–	–	–	–	–
	4	–	P124	–	–	–	–	–	–	○	○	○	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
ポート13	0	–	P130	–	–	–	–	–	PMCT130	○	–	–	–	–	–	○	–	–	–
	1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	7	–	P137	–	–	–	PDIDIS137	–	–	○	○	○	○	○	○	○	○	○	○

表4 - 2　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PDIDISxx, PMCAxx, PMCTxx レジスタとそのビット (3/3)

ポート		ビット名								48 ピン	44 ピン	40 ピン	36 ピン	32 ピン	30 ピン	25 ピン	24 ピン	20 ピン	16 ピン
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PDIDISxx レジスタ	PMCAxx レジスタ	PMCTxx レジスタ										
ポート14	0	PM140	P140	PU140	–	–	–	–	PMCT140	○	–	–	–	–	–	–	–	–	–
	1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	2	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	3	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	4	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	5	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
	6	PM146	P146	PU146	–	–	–	–	PMCT146	○	○	–	–	–	–	–	–	–	–
	7	PM147	P147	PU147	–	–	–	PMCA147	PMCT147	○	○	○	○	○	○	○	○	○	–
ポート15	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–

注　20～32ピン製品のみ

4.3.1　ポート・モード・レジスタ（PMxx）

PMxx レジスタは、ポートの入力／出力を 1 ビット単位で設定するレジスタです。

PMxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

ポート端子を兼用機能の端子として使用する場合、**4.5　兼用機能使用時のレジスタ設定**を参照し、設定してください。

図4 - 1　ポート・モード・レジスタ（PMxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	1	1	1	1	1	PM122	PM121	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	1	1	1	1	1	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択（m = 0-7, 12, 14; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　搭載していないビットには、必ず初期値を設定してください。

4.3.2　ポート・レジスタ（Pxx）

Pxx レジスタは、ポートの出力ラッチの値を設定するレジスタです。

読み出す場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます注。

Pxx レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注　P00, P01, P13, P20-P27, P120, P147 をアナログ機能として設定した場合に、ポートが入力モード時に読み出すと端子レベルではなく常に 0 が読み出されます。
P00, P01, P10-P17, P22-P27, P30, P31, P50, P51, P70-P75, P130, P140, P146, P147 を静電容量計測として設定した場合に、ポートが入力モード時に読み出すと端子レベルではなく常に 0 が読み出されます。

図4 - 2　ポート・レジスタ（Pxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	0	0	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W注1
P14	P147	P146	0	0	0	0	0	P140	FFF0EH	00H（出力ラッチ）	R/W

Pmn	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0 を出力	ロウ・レベルを入力
1	1 を出力	ハイ・レベルを入力

注1.　P123, P124, P137 は、読み出しのみ可能です。

注2.　P137：不定
P130：0（出力ラッチ）

注意　**搭載していないビットには、必ず初期値を設定してください。**

備考　m = 0-7, 12-14; n = 0-7

4.3.3 プルアップ抵抗オプション・レジスタ（PUxx）

PUxx レジスタは、内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。

PUxx レジスタで内蔵プルアップ抵抗の使用を指定した端子で、通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、PUxx レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用している場合も同様です。

PUxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H（PU4 のみ 01H）になります。

注意　PIMxx レジスタがあるポートで、異電位デバイスから TTL バッファに入力する場合は、PUmn = 0 を設定して、外部抵抗を介して異電位デバイスの電源にプルアップしてください。

図4 - 3　プルアップ抵抗オプション・レジスタ（PUxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	01H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU7	0	0	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	PU122	PU121	PU120	F003CH	00H	R/W
PU14	PU147	PU146	0	0	0	0	0	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択（m = 0, 1, 3-5, 7, 12, 14; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意　搭載していないビットには、必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ（PIMxx）

PIMxx レジスタは、入力バッファを 1 ビット単位で設定するレジスタです。
異電位の外部デバイスとのシリアル通信などに TTL 入力バッファを選択できます。
PIMxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図4 - 4　ポート入力モード・レジスタ（PIMxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	PIM13	0	PIM11	PIM10	F0041H	00H	R/W
PIM4	0	0	0	0	0	0	PIM41	0	F0044H	00H	R/W
PIM7	0	0	0	0	0	0	PIM71	0	F0047H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択（m = 0, 1, 4, 7; n = 0, 1, 3-7）
0	通常入力バッファ
1	TTL入力バッファ

注意　搭載していないビットには、必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ（POMxx）

POMxx レジスタは、出力モードを 1 ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00, SDA01, SDA11, SDA20, SDA21 端子に N-ch オープン・ドレイン出力 [VDD 耐圧] モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

POMxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注意　N-chオープン・ドレイン出力[VDD耐圧]モード（POMmn = 1）を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4 - 5　ポート出力モード・レジスタ（POMxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	POM12	POM11	POM10	F0051H	00H	R/W
POM5	0	0	0	0	0	0	0	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	POM72	POM71	0	F0057H	00H	R/W
POM12	0	0	0	0	0	0	0	POM120	F005CH	00H	R/W

POMmn	Pmn端子の出力モードの選択（m = 0, 1, 5, 7, 12; n = 0-5, 7）
0	通常出力モード
1	N-chオープン・ドレイン出力[VDD耐圧]モード

注意　搭載していないビットには、必ず初期値を設定してください。

4.3.6 ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）

PDIDISxx レジスタは、入力バッファの貫通電流を防止するレジスタです。

異電位の外部デバイスとのシリアル通信などで N-ch オープン・ドレイン出力した場合や入力ポートを使用しない場合、PDIDISxx レジスタの対象ビットに 1 を設定することにより、低消費電力にすることができます。

PDIDISxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図4 - 6　ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PDIDIS0	0	0	0	0	0	0	0	PDIDIS 00	F02B0H	00H	R/W
PDIDIS1	PDIDIS 17	0	PDIDIS 15	PDIDIS 14	PDIDIS 13	PDIDIS 12	PDIDIS 11	PDIDIS 10	F02B1H	00H	R/W
PDIDIS5	0	0	0	0	0	0	0	PDIDIS 50	F02B5H	00H	R/W
PDIDIS7	0	0	0	PDIDIS 74	0	PDIDIS 72	PDIDIS 71	0	F02B7H	00H	R/W
PDIDIS12	0	0	0	0	0	0	0	PDIDIS 120	F02BCH	00H	R/W
PDIDIS13	PDIDIS 137	0	0	0	0	0	0	0	F02BDH	00H	R/W

PDIDISmn	入力バッファ設定（m = 0, 1, 5, 7, 12, 13 ; n =0-5, 7）
0	入力バッファの入力許可
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

注意　**搭載していないビットには、必ず初期値を設定してください。**

備考　P123, P124 はクロック動作モード制御レジスタ（CMC）の EXCLKS ビットに 0、OSCSELS ビットに 1、かつクロック動作ステータス制御レジスタ（CSC）の XTSTOP ビットに 1 を設定することにより、低消費電力にすることができます。

4.3.7 ポート・モード・コントロールA・レジスタ（PMCAxx）

PMCAxx レジスタは、デジタル入出力／アナログ機能を 1 ビット単位で設定するレジスタです。
PMCAxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFH になります。

★ 図4 - 7　ポート・モード・コントロールA・レジスタ（PMCAxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCA0	1	1	1	1	1	1	PMCA 01	PMCA 00	F0060H	FFH	R/W
PMCA2	PMCA 27	PMCA 26	PMCA 25	PMCA 24	PMCA 23	PMCA 22	PMCA 21	PMCA 20	F0062H	FFH	R/W
PMCA12	1	1	1	1	1	1	1	PMCA 120	F006CH	FFH	R/W
PMCA14	PMCA 147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCAmn	Pmn 端子のデジタル入出力／アナログ機能の選択（m = 0, 2, 12, 14; n = 0-7）
0	デジタル入出力
1	アナログ機能

注意1. 搭載していないビットには、必ず初期値を設定してください。
注意2. PMCAxx レジスタでアナログ機能に設定したポートは、ポート・モード・レジスタ（PM0, PM2, PM12, PM14）で入力モードに選択してください。
注意3. PMCAxx レジスタでデジタル入出力として設定する端子を、アナログ入力チャネル指定レジスタ（ADS）のアナログ機能に設定しないでください。

4.3.8 ポート・モード・コントロールT・レジスタ（PMCTxx）

PMCTxx レジスタは、デジタル入出力／静電容量計測機能を 1 ビット単位で設定するレジスタです。
PMCTxx レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図4 - 8　ポート・モード・コントロールT・レジスタ（PMCTxx）のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMCT0	0	0	0	0	0	0	PMCT 01	PMCT 00	F0260H	00H	R/W
PMCT1	PMCT 17	PMCT 16	PMCT 15	PMCT 14	PMCT 13	PMCT 12	PMCT 11	PMCT 10	F0261H	00H	R/W
PMCT2	PMCT 27	PMCT 26	PMCT 25	PMCT 24	PMCT 23	PMCT 22	0	0	F0262H	00H	R/W
PMCT3	0	0	0	0	0	0	PMCT 31	PMCT 30	F0263H	00H	R/W
PMCT5	0	0	0	0	0	0	PMCT 51	PMCT 50	F0265H	00H	R/W
PMCT7	0	0	PMCT 75	PMCT 74	PMCT 73	PMCT 72	PMCT 71	PMCT 70	F0267H	00H	R/W
PMCT13	0	0	0	0	0	0	0	PMCT 130	F026DH	00H	R/W
PMCT14	PMCT 147	PMCT 146	0	0	0	0	0	PMCT 140	F026EH	00H	R/W

PMCTmn	Pmn端子のデジタル入出力／静電容量計測機能の選択（m = 0-3, 5, 7, 13, 14; n = 0-7）
0	デジタル入出力
1	静電容量計測機能

注意　搭載していないビットには、必ず初期値を設定してください。

4.3.9 周辺I/Oリダイレクション・レジスタ（PIOR）

PIOR レジスタは、周辺 I/O リダイレクト機能の許可／禁止を設定するレジスタです。
周辺 I/O リダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。
リダイレクトさせる機能は、PIOR レジスタでポートを割り当ててから、動作許可にしてください。
なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。
PIOR レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図4 - 9　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット (1/2)

アドレス　：F0077H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	PIOR3	PIOR2	PIOR1	PIOR0

ビット	兼用機能	48ピン		44ピン		40/36/32/30ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR3	PCLBUZ0	P140	P31	兼用機能として使用できません。0（初期値）を設定してください。			
PIOR2	SCLA0	P60	P14	P60	P14	P60	P14
	SDAA0	P61	P13	P61	P13	P61	P13
PIOR1	TxD2	P13	—	P13	—	P13	—
	RxD2	P14	—	P14	—	P14	—
	SCL20	P15	—	P15	—	P15	—
	SDA20	P14	—	P14	—	P14	—
	SI20	P14	—	P14	—	P14	—
	SO20	P13	—	P13	—	P13	—
	SCK20	P15	—	P15	—	P15	—
	TxD0	P12	P17	P12	P17	P12	P17
	RxD0	P11	P16	P11	P16	P11	P16
	SCL00	P10	—	P10	—	P10	—
	SDA00	P11	—	P11	—	P11	—
	SI00	P11	—	P11	—	P11	—
	SO00	P12	—	P12	—	P12	—
	SCK00	P10	—	P10	—	P10	—

図4 - 9　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット (2/2)

ビット	兼用機能	48ピン		44ピン		40/36/32/30ピン	
		設定値		設定値		設定値	
		0	1	0	1	0	1
PIOR0	TI02/TO02	P17	P15	P17	P15	P17	P15
	TI03/TO03	P31	P14	P31	P14	P31	P14
	TI04/TO04	—	P13	—	P13	—	P13
	TI05/TO05	—	P12	—	P12	—	P12
	TI06/TO06	—	P11	—	P11	—	P11
	TI07/TO07	P41	P10	P41	P10	—	P10

備考　－：兼用機能として使用できません。

4.3.10　ポート・ファンクション出力許可レジスタ1（PFOE1）

PFOE1 レジスタは、端子に兼用されているシリアル・クロック出力、シリアル・データ出力、クロック出力の出力許可を設定するレジスタです。

PFOE1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図4 - 10　ポート・ファンクション出力許可レジスタ1（PFOE1）のフォーマット（1/2）

アドレス　：F02ABH
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
PFOE1	1	1	1	PFOE14	PFOE13	PFOE12	PFOE11	PFOE10

PFOE14	TxDA0端子の出力許可
0	TxDA0端子へのシリアル・データ出力禁止 （端子はポートおよびほかの兼用機能として使用可能です）
1	TxDA0端子へのシリアル・データ出力許可 （UARTA0を使用しない場合は、ポートおよびほかの兼用機能として使用可能です）

PFOE13	SCK01/SCL01端子の出力許可
0	SCK01/SCL01端子へのシリアル・クロック出力禁止 （端子はポートおよびほかの兼用機能として使用可能です）
1	SCK01/SCL01端子へのシリアル・クロック出力許可 （SAU0のチャネル1を使用しない場合は、ポートおよびほかの兼用機能として使用可能です）

PFOE12	SCK00/SCL00端子の出力許可
0	SCK00/SCL00端子へのシリアル・クロック出力禁止 （端子はポートおよびほかの兼用機能として使用可能です）
1	SCK00/SCL00端子へのシリアル・クロック出力許可 （SAU0のチャネル0を使用しない場合は、ポートおよびほかの兼用機能として使用可能です）

PFOE11	SO01端子の出力許可
0	SO01端子へのシリアル・データ出力禁止 （端子はポートおよびほかの兼用機能として使用可能です）
1	SO01端子へのシリアル・データ出力許可 （SAU0のチャネル1を使用しない場合は、ポートおよびほかの兼用機能として使用可能です）

図4 - 10　ポート・ファンクション出力許可レジスタ1（PFOE1）のフォーマット（2/2）

PFOE10	SO00/TxD0端子の出力許可
0	SO00/TxD0端子へのシリアル・データ出力禁止 （端子はポートおよびほかの兼用機能として使用可能です）
1	SO00/TxD0端子へのシリアル・データ出力許可 （SAU0のチャネル0を使用しない場合は、ポートおよびほかの兼用機能として使用可能です）

4.3.11　ポート・モード選択レジスタ（PMS）

PMS レジスタは、端子が出力モード（ポート・モード・レジスタ（PMxx）の PMmn ビットが 0）時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。

詳細は、**24.3.11.1　ポート・モード選択レジスタ（PMS）**を参照してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合
転送命令により、出力ラッチに値を書き込めます。また、出力ラッチの内容が端子より出力されます。
一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合
転送命令により、出力ラッチに値を書き込めます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。
一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合
転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合
転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合
出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。
一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合
端子レベルを読み出し、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。
また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4　入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応

ポート入力モード・レジスタ（PIMxx）、ポート出力モード・レジスタ（POMxx）で入出力バッファを切り替えることにより、異電位（1.8 V 系、2.5 V 系、3 V 系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V 系、2.5 V 系、3 V 系）の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ（PIM0, PIM1, PIM4, PIM7）をビットごとに設定して、通常入力（CMOS）／ TTL 入力バッファを切り替えます。

異電位（1.8 V 系、2.5 V 系、3 V 系）の外部デバイスへ出力する場合、ポート出力モード・レジスタ（POM0, POM1, POM5, POM7, POM12）をビットごとに設定して、通常出力（CMOS）／ N-ch オープン・ドレイン [V_{DD} 耐圧] を切り替えます。

ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDIS0, PDIDIS1, PDIDIS5, PDIDIS7, PDIDIS12, PDIDIS13）をビットごとに設定すると、入力バッファへの貫通電流を防止できます。

以下、シリアル・インタフェースでの接続について説明します。

(1) UART0-UART2, UARTA0, CSI00, CSI01, CSI20機能の入力ポートをTTL入力バッファで使用する場合の設定手順

- UART0の場合　：P11（P16）
- UART1の場合　：P01
- UART2の場合　：P14
- UARTA0の場合：P71
- CSI00の場合　：P10, P11
- CSI01の場合　：P74
- CSI20の場合　：P14, P15

備考　（ ）は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能な端子です。詳細は、**4.3.9　周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。

② PIM0, PIM1, PIM7 レジスタの該当ビットに 1 を設定し、TTL 入力バッファに切り替えます。なお、V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

③ シリアル・アレイ・ユニットを動作許可し、UART ／簡易 SPI（CSI 注）モードに設定します。

注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

(2) UART0-UART2, UARTA0, CSI00, CSI01, CSI20機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

- UART0の場合　：P12（P17）
- UART1の場合　：P00
- UART2の場合　：P13
- UARTA0の場合：P72
- CSI00の場合　：P10, P12
- CSI01の場合　：P74
- CSI20の場合　：P13, P15

備考　（ ）は、周辺I/Oリダイレクション・レジスタ（PIOR）の設定により、割り当て可能な端子です。詳細は、**4.3.9　周辺I/Oリダイレクション・レジスタ（PIOR）**を参照してください。

① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
③ PDIDIS0, PDIDIS1, PDIDIS7 レジスタの該当ビットに 1 を設定し、入力バッファを入力禁止に設定します。
④ 該当するポートの出力ラッチに 1 を設定します。
⑤ POM0, POM1, POM7 レジスタの該当ビットに 1 を設定し、N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定します。
⑥ シリアル・アレイ・ユニットを動作許可し、UART ／簡易 SPI（CSI 注）モードに設定します。
⑦ PM0, PM1, PM7 レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

(3) IIIC00, IIC01, IIC20機能の入出力ポートを、異電位（1.8 V系、2.5 V系、3 V系）で使用する場合の設定手順

- IC00の場合　：P10, P11
- IIC01の場合　：P74, P75
- IIC20の場合　：P14, P15

① 使用する入力端子を外部抵抗を介して、対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後、ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに 1 を設定します。
④ POM0, POM1, POM7 レジスタの該当ビットに 1 を設定し、N-ch オープン・ドレイン出力 [V_{DD} 耐圧] モードに設定します。
⑤ PIM0, PIM1, PIM7 レジスタの該当ビットに 1 を設定し、TTL 入力バッファに切り替えます。なお、V_{IH}, V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。
⑥ シリアル・アレイ・ユニットを動作許可し、簡易 I^2C モードに設定します。
⑦ PM0, PM1, PM7 レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では、出力データはハイ・レベルであるため、端子は Hi-Z 状態となっています。

4.5　兼用機能使用時のレジスタ設定

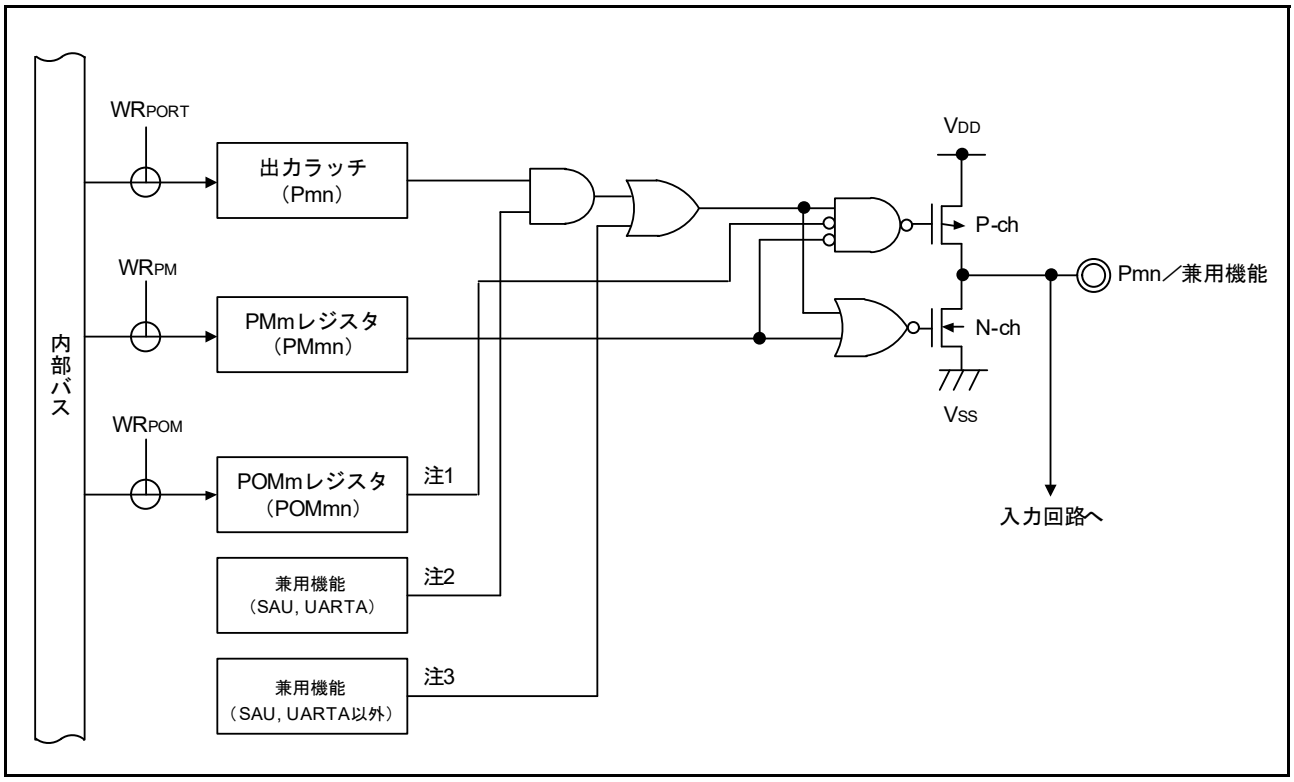
4.5.1　兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール A・レジスタ（PMCAxx）で設定してください。

また、静電容量計測機能と兼用している端子については、静電容量計測機能で使用するかデジタル入出力で使用するかをポート・モード・コントロール T・レジスタ（PMCTxx）で設定してください。

図 4 - 11 にデジタル入出力で使用する端子の出力回路の基本的な構成を示します。ポートの出力ラッチの出力と兼用している SAU, UARTA 機能の出力は AND ゲートに入力されます。AND ゲートの出力は OR ゲートに入力されます。OR ゲートのほかの入力には、兼用している SAU, UARTA 以外の機能（TAU、RTC、クロック／ブザー出力、IICA など）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を**表 4 - 3** に示します。

図4 - 11　端子の出力回路の基本的な構成



注1.　POMm レジスタがない場合には、この信号は0と考えてください。

注2.　兼用機能がない場合には、この信号は1と考えてください。

注3.　兼用機能がない場合には、この信号は0と考えてください。

備考　m：ポート番号（m = 0-7, 12-14）、n：ビット番号（n = 0-7）

表4 - 3　　基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAU, UARTAの出力機能	SAU, UARTA以外の出力機能
ポート出力機能	ー	出力はハイ・レベル	出力はロウ・レベル
SAU, UARTAの出力機能	ハイ・レベル	出力はハイ・レベル	出力はロウ・レベル
SAU, UARTA以外の出力機能	ロウ・レベル	Don't care	出力はロウ・レベル注

注　1つの端子にSAU, UARTA以外の出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はロウ・レベルにしておく必要があります。また、1つの端子にSAUとUARTAの出力機能が複数兼用になっていることがあるため、使用しない兼用機能の出力はハイ・レベルにしておく必要があります。具体的な設定方法については、**4.5.2　出力機能を使用しない兼用機能のレジスタ設定**を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺 I/O リダイレクト機能の対象になっている場合には、周辺 I/O リダイレクション・レジスタ（PIOR）を設定することで、出力をほかの端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能やほかの兼用機能を使用することが可能となります。

(1) SOp = 1／TxDq = 1（SAUのシリアル出力（SOp／TxDq）を使用しない場合の設定）
SAUをシリアル入力のみで使用するなど、シリアル出力（SOp／TxDq）を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットに0（出力禁止）を設定し、シリアル出力レジスタm（SOm）のSOmnビットに1（ハイ・レベル出力）を設定してください。さらにポートとして使用する場合はSOp／TxDq端子、SCKp端子に該当するPFOE1xビットに1を設定してください（ポート以外の兼用機能についてはPFOE1xビットの0設定も可能）。これは初期状態と同じ設定です。

(2) SCKp = 1／SDAr = 1／SCLr = 1（SAUのチャネルnを使用しない場合の設定）
SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）に0（動作停止状態）を設定し、使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットに0（出力禁止）を設定し、シリアル出力レジスタm（SOm）のSOmnビットとCKOmnビットに1（ハイ・レベル出力）を設定してください。さらにポートとして使用する場合はSOp／TxDq端子、SCKp端子に該当するPFOE1xビットに1を設定してください（ポート以外の兼用機能についてはPFOE1xビットの0設定も可能）。これは初期状態と同じ設定です。

(3) TOmn = 0（TAUのチャネルnの出力を使用しない場合の設定）
TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットに0（出力禁止）、タイマ出力レジスタ0（TO0）のビットに0（ロウ・レベル出力）を設定してください。これは初期状態と同じ設定です。

(4) SDAA0 = 0／SCLA0 = 0（IICAを使用しない場合の設定）
IICAを使用しない場合は、IICAコントロール・レジスタ00（IICCTL00）のIICE0ビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5) PCLBUZn = 0（クロック出力／ブザー出力を使用しない場合の設定）
クロック出力／ブザー出力を使用しない場合は、クロック出力選択レジスタn（CKSn）のPCLOEnビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

(6) TxDA0 = 1（UARTAを使用しない場合の設定）
UARTAを使用しない場合の設定は、動作モード設定レジスタ00（ASIMA00）のUARTAEN0, TXEA0, RXEA0ビットを0（動作禁止）に設定してください。さらにTxDA0に該当するPFOE14ビットに1を設定してください。これは初期状態と同じです。

備考 p：CSI番号（p = 00, 01, 11, 20, 21）、q：UART番号（q = 0-2）、
r：IIC番号（r = 00, 01, 11, 20, 21）

4.5.3 ポートの各レジスタ設定と端子状態

表 4 - 4 にポートの各レジスタ設定と端子状態を示します。

表4 - 4 ポートのレジスタの設定値と端子状態の関係

PMCAxx	PMCTxx	PMxx	Pxx	PUxx	端子状態
1	×	×	×	×	アナログ入力／出力
0	1	×	×	×	静電容量計測
0	0	1	×	1	プルアップ
0	0	1	×	0	Hi-Z
0	0	0	1	×	ポート出力（ハイ・レベル）
0	0	0	0	×	ポート出力（ロウ・レベル）

備考 ×：Don’t care

4.5.4 使用するポート機能および兼用機能のレジスタ設定例

表 4 - 5 に使用するポート機能および兼用機能のレジスタ設定例を示します。ポート機能を制御するレジスタを**表 4 - 5** のように設定してください。なお、表記については次の備考を参照してください。

注意 レジスタ設定例では、ポート・デジタル・インプット・ディスエーブル・レジスタ（PDIDISxx）は入力バッファの入力許可の設定です。

備考 ー ：対象外
× ：Don’t care
PIOR ：周辺 I/O リダイレクション・レジスタ
POMxx ：ポート出力モード・レジスタ
PMCAxx ：ポート・モード・コントロール A・レジスタ
PMCTxx ：ポート・モード・コントロール T・レジスタ
PMxx ：ポート・モード・レジスタ
Pxx ：ポートの出力ラッチ
（ ）内の機能は、周辺 I/O リダイレクション・レジスタ（PIOR）の設定により、割り当て可能です。

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (1/15)

端子名称	使用機能		POMxx	PMCAxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力						SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P00	P00	入力	×	0注	0	1	×	×	—	×	○	○	○	○	○	○	○	○	○
		出力	0	0注	0	0	0/1	TxD1 = 1	—										
		N-ch O.D.出力	1	0注	0	0	0/1												
	ANI17	アナログ入力	×	1	0	1	×	×	—	×	○	○	○	○	○	×	×	×	×
	TS26	入出力	×	0注	1	1	×	×	—	×	○	○	○	○	○	○	○	○	○
	TI00	入力	×	0注	0	1	×	×	—	×	○	○	○	○	○	○	○	○	○
	TxD1	出力	0/1	0注	0	0	1	×	—	×	○	○	○	○	○	○	○	○	○
P01	P01	入力	—	0注	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○
		出力	—	0注	0	0	0/1	—	TO00 = 0										
	ANI16	アナログ入力	—	1	0	1	×	×	×	×	○	○	○	○	○	×	×	×	×
	TS27	入出力	—	0注	1	1	×	×	—	×	○	○	○	○	○	○	○	○	○
	TO00	出力	—	0注	0	0	0	—	×	×	○	○	○	○	○	○	○	○	○
	RxD1	入力	—	0注	0	1	×	—	×	×	○	○	○	○	○	○	○	○	○

注　　20～32ピン製品のみ

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (2/15)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力						SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P10	P10	入力	—	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SCK00/SCL00 = 1	(TO07) = 0注										
		N-ch O.D.出力	—	1	0	0	0/1												
	TS11	入出力	—	×	1	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	SCK00	入力	PIOR1 = 0	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	PIOR1 = 0	0/1	0	0	1	×	(TO07) = 0注	○	○	○	○	○	○	○	○	○	○
	SCL00	出力	PIOR1 = 0	0/1	0	0	1	×	(TO07) = 0注	○	○	○	○	○	○	○	○	○	○
	(TI07)	入力	PIOR0 = 1	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	(TO07)	出力	PIOR0 = 1	0	0	0	0	×	×	×	×	×	×	○	○	○	○	○	○
P11	P11	入力	—	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SDA00 = 1	(TO06) = 0注										
		N-ch O.D.出力	—	1	0	0	0/1												
	TS12	入出力	—	×	1	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	SI00	入力	PIOR1 = 0	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	RxD0	入力	PIOR1 = 0	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	SDA00	入出力	PIOR1 = 0	1	0	0	1	×	(TO06) = 0注	○	○	○	○	○	○	○	○	○	○
	(TI06)	入力	PIOR0 = 1	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	(TO06)	出力	PIOR0 = 1	0	0	0	0	×	×	×	×	×	×	○	○	○	○	○	○
P12	P12	入力	—	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SO00/TxD0 = 1	(TO05) = 0注										
		N-ch O.D.出力	—	1	0	0	0/1												
	TS13	入出力	—	×	1	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	SO00	出力	PIOR1 = 0	0/1	0	0	1	×	(TO05) = 0注	○	○	○	○	○	○	○	○	○	○
	TxD0	出力	PIOR1 = 0	0/1	0	0	1	×	(TO05) = 0注	○	○	○	○	○	○	○	○	○	○
	(TI05)	入力	PIOR0 = 1	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	(TO05)	出力	PIOR0 = 1	0	0	0	0	×	×	×	×	×	×	○	○	○	○	○	○

注　30～48ピン製品のみ

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (3/15)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力						SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P13	P13	入力	—	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
		出力	—	0	0	0	0/1	TxD2/SO20 = 1	(TO04) = 0 (SDAA0) = 0										
		N-ch O.D.出力	—	1	0	0	0/1												
	TS14	入出力	—	×	1	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	TxD2	出力	PIOR1 = 0	0/1	0	0	1	×	(TO04) = 0 (SDAA0) = 0	×	×	×	×	○	○	○	○	○	○
	SO20	出力	PIOR1 = 0	0/1	0	0	1	×	(TO04) = 0 (SDAA0) = 0	×	×	×	×	○	○	○	○	○	○
	(SDAA0)	入出力	PIOR2 = 1	1	0	0	0	×	(TO04) = 0	×	×	×	×	○	○	○	○	○	○
	(TI04)	入力	PIOR0 = 1	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	(TO04)	出力	PIOR0 = 1	0	0	0	0	×	(SDAA0) = 0	×	×	×	×	○	○	○	○	○	○
P14	P14	入力	—	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SDA20 = 1	(TO03) = 0 (SCLA0) = 0										
		N-ch O.D.出力	—	1	0	0	0/1												
	TS15	入出力	—	×	1	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	RxD2	入力	PIOR1 = 0	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	SI20	入力	PIOR1 = 0	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	SDA20	入出力	PIOR1 = 0	1	0	0	1	×	(TO03) = 0 (SCLA0) = 0	×	×	×	×	○	○	○	○	○	○
	(SCLA0)	入出力	PIOR2 = 1	1	0	0	0	×	(TO03) = 0	×	×	×	×	○	○	○	○	○	○
	(TI03)	入力	PIOR0 = 1	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	(TO03)	出力	PIOR0 = 1	0	0	0	0	×	(SCLA0) = 0	×	×	×	×	○	○	○	○	○	○
P15	P15	入力	—	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SCK20/SCL20 = 1	PCLBUZ1 = 0注 (TO02) = 0										
		N-ch O.D.出力	—	1	0	0	0/1												
	TS16	入出力	—	×	1	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	PCLBUZ1	出力	—	0	0	0	0	×	(TO02) = 0	×	×	×	×	○	○	○	○	○	○
	SCK20	入力	PIOR1 = 0	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
		出力	PIOR1 = 0	0/1	0	0	1	×	PCLBUZ1 =0 注 (TO02) = 0	×	×	×	×	○	○	○	○	○	○
	SCL20	出力	PIOR1 = 0	0/1	0	0	1	×	PCLBUZ1 = 0注 (TO02) = 0	×	×	×	×	○	○	○	○	○	○
	(TI02)	入力	PIOR0 = 1	×	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
	(TO02)	出力	PIOR0 = 1	0	0	0	0	×	PCLBUZ1 = 0 注	×	×	×	×	○	○	○	○	○	○

注　30～48ピン製品のみ

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (4/15)

端子名称	使用機能		PIOR	POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力						SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P16	P16	入力	—	—	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	SO11 = 1注2	TO01 = 0										
	TS17	入出力	—	×	1	1	×	×	×	×	○	○	○	○	○	○	○	○	○
	TI01	入力	—	—	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○
	TO01	出力	—	—	0	0	0	SO11 = 1注2	×	×	○	○	○	○	○	○	○	○	○
	INTP5	入力	—	—	0	1	×	×	×	×	○	○	○	○	○	○	○	○	○
	SO11	出力	—	—	0	0	1	×	TO01 = 0	×	○	×	×	×	×	×	×	×	×
	(RxD0)	入力	PIOR1 = 1	—	0	1	×	×	×	×	×	×	×	○	○	○	○	○	○
P17	P17	入力	—	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	0/1	SDA11 = 1注2 SO11 = 1注3 (TxD0) = 1注1	TO02 = 0										
		N-ch O.D.出力	—	1	0	0	0/1												
	TS18	入出力	—	×	1	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	TI02	入力	PIOR0 = 0	×	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	TO02	出力	PIOR0 = 0	0	0	0	0	SDA11 = 1注2 SO11 = 1注3 (TxD0) = 1注1	×	○	○	○	○	○	○	○	○	○	○
	SI11	入力	—	×	0	1	×	×	×	×	○	×	×	×	×	×	×	×	×
	SDA11	入出力	—	1	0	0	1	×	TO02 = 0	○	○	×	×	×	×	×	×	×	×
	SO11	出力	—	0/1	0	0	1	×	TO02 = 0	×	×	○	○	×	×	×	×	×	×
	(TxD0)	出力	PIOR1 = 1	0/1	0	0	1	×	TO02 = 0	×	×	×	×	○	○	○	○	○	○

注1.　30～48ピン製品のみ

注2.　20ピン製品のみ

注3.　24, 25ピン製品のみ

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (5/15)

端子名称	使用機能		PMCA××	PMCT××	PM××	P××	16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力														
P20	P20	入力	0	–	1	×	○	○	○	○	○	○	○	○	○	○
		出力	0	–	0	0/1										
	ANI0	アナログ入力	1	–	1	×	○	○	○	○	○	○	○	○	○	○
	AVREFP	基準電圧	1	–	1	×	○	○	○	○	○	○	○	○	○	○
P21	P21	入力	0	–	1	×	○	○	○	○	○	○	○	○	○	○
		出力	0	–	0	0/1										
	ANI1	アナログ入力	1	–	1	×	○	○	○	○	○	○	○	○	○	○
	AVREFM	基準電圧	1	–	1	×	○	○	○	○	○	○	○	○	○	○
P22	P22	入力	0	0	1	×	○	○	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1										
	ANI2	アナログ入力	1	0	1	×	○	○	○	○	○	○	○	○	○	○
	TS20	入出力	0	1	1	×	○	○	○	○	○	○	○	○	○	○
P23	P23	入力	0	0	1	×	×	×	×	×	○	○	○	○	○	○
		出力	0	0	0	0/1										
	ANI3	アナログ入力	1	0	1	×	×	×	×	×	○	○	○	○	○	○
	TS21	入出力	0	1	1	×	×	×	×	×	○	○	○	○	○	○
P24	P24	入力	0	0	1	×	×	×	×	×	×	×	○	○	○	○
		出力	0	0	0	0/1										
	ANI4	アナログ入力	1	0	1	×	×	×	×	×	×	×	○	○	○	○
	TS22	入出力	0	1	1	×	×	×	×	×	×	×	○	○	○	○
P25	P25	入力	0	0	1	×	×	×	×	×	×	×	○	○	○	○
		出力	0	0	0	0/1										
	ANI5	アナログ入力	1	0	1	×	×	×	×	×	×	×	○	○	○	○
	TS23	入出力	0	1	1	×	×	×	×	×	×	×	○	○	○	○
P26	P26	入力	0	0	1	×	×	×	×	×	×	×	×	○	○	○
		出力	0	0	0	0/1										
	ANI6	アナログ入力	1	0	1	×	×	×	×	×	×	×	×	○	○	○
	TS24	入出力	0	1	1	×	×	×	×	×	×	×	×	○	○	○
P27	P27	入力	0	0	1	×	×	×	×	×	×	×	×	×	○	○
		出力	0	0	0	0/1										
	ANI7	アナログ入力	1	0	1	×	×	×	×	×	×	×	×	×	○	○
	TS25	入出力	0	1	1	×	×	×	×	×	×	×	×	×	○	○

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (6/15)

端子名称	使用機能		PIOR	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P30	P30	入力	—	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0/1	SCK11/SCL11 = 1	RTC1HZ = 0										
	TSCAP	—	—	1	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	INTP3	入力	—	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
	RTC1HZ	出力	—	0	0	0	×	×	○	○	○	○	○	○	○	○	○	○
	SCK11	入力	—	0	1	×	×	×	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0	1	×	RTC1HZ = 0	○	○	○	○	○	○	○	○	○	○
	SCL11	出力	—	0	0	1	×	RTC1HZ = 0	○	○	○	○	○	○	○	○	○	○
P31	P31	入力	—	0	1	×	—	×	×	×	○	○	○	○	○	○	○	○
		出力	—	0	0	0/1	—	TO03 = 0 PLCBUZ0 = 0注1 (PCLBUZ0) = 0注2										
	TS01	入出力	—	1	1	×	×	×	×	×	○	○	○	○	○	○	○	○
	TI03	入力	PIOR0 = 0	0	1	×	—	×	×	×	○	○	○	○	○	○	○	○
	TO03	出力	PIOR0 = 0	0	0	0	—	PLCBUZ0 = 0注1 (PCLBUZ0) = 0注2	×	×	○	○	○	○	○	○	○	○
	INTP4	入力	—	0	1	×	—	×	×	×	○	○	○	○	○	○	○	○
	PCLBUZ0	出力	—	0	0	0	—	TO03 = 0	×	×	○	○	○	○	○	○	○	×
	(PCLBUZ0)	出力	PIOR3 = 1	0	0	0	—	TO03 = 0	×	×	×	×	×	×	×	×	×	○

注1.　24～44ピン製品のみ

注2.　48ピン製品のみ

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (7/15)

端子名称	使用機能		PIOR	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力				SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P40	P40	入力	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	0/1	—	—										
P41	P41	入力	—	1	×	—	×	×	×	×	×	×	×	×	×	○	○
		出力	—	0	0/1	—	TO07 = 0										
	TI07	入力	PIOR0 = 0	1	×	—	×	×	×	×	×	×	×	×	×	○	○
	TO07	出力	PIOR0 = 0	0	0	—	×	×	×	×	×	×	×	×	×	○	○

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (8/15)

端子名称	使用機能		POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P50	P50	入力	×	0	1	×	×	—	×	×	○	○	○	○	○	○	○	○
		出力	0	0	0	0/1	SDA11 = 1	—										
		N-ch O.D.出力	1	0	0	0/1												
	TS00	入出力	×	1	1	×	×	—	×	×	○	○	○	○	○	○	○	○
	INTP1	入力	×	0	1	×	×	—	×	×	○	○	○	○	○	○	○	○
	SI11	入力	×	0	1	×	×	—	×	×	○	○	○	○	○	○	○	○
	SDA11	入出力	1	0	0	1	×	—	×	×	○	○	○	○	○	○	○	○
P51	P51	入力	—	0	1	×	×	—	×	×	×	×	○	○	○	○	○	○
		出力	—	0	0	0/1	SO01 = 1	—										
	TS28	入出力	—	1	1	×	×	—	×	×	×	×	○	○	○	○	○	○
	INTP2	入力	—	0	1	×	×	—	×	×	×	×	○	○	○	○	○	○
	SO11	出力	—	0	0	1	×	—	×	×	×	×	○	○	○	○	○	○

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (9/15)

端子名称	使用機能		PIOR	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力				SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P60	P60	入力	—	1	×	—	×	×	×	○	○	○	○	○	○	○	○
		N-ch O.D.出力[6 V耐圧]	—	0	0/1	—	SCLA0 = 0										
	SCLA0	入出力	PIOR2 = 0	0	0	—	×	×	×	○	○	○	○	○	○	○	○
P61	P61	入力	—	1	×	—	×	×	×	○	○	○	○	○	○	○	○
		N-ch O.D.出力[6 V耐圧]	—	0	0/1	—	SDAA0 = 0										
	SDAA0	入出力	PIOR2 = 0	0	0	—	×	×	×	○	○	○	○	○	○	○	○
P62	P62	入力	—	1	×	—	×	×	×	×	×	×	○	○	○	○	○
		N-ch O.D.出力[6 V耐圧]	—	0	0/1	—	SCLA1 = 0注										
P63	P63	入力	—	1	×	—	×	×	×	×	×	×	×	×	×	○	○

注　44, 48ピン製品のみ

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (10/15)

端子名称	使用機能		POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P70	P70	入力	—	0	1	×	×	—	×	×	×	×	×	○	○	○	○	○
		出力	—	0	0	0/1	SCK21/ SCL21 = 1注1	—										
	TS02	入出力	—	1	1	×	×	—	×	×	×	×	×	○	○	○	○	○
	KR0	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	○	○	○
	SCK21	入力	—	0	1	×	×	—	×	×	×	×	×	×	○	○	○	○
		出力	—	0	0	1	×	—	×	×	×	×	×	×	○	○	○	○
	SCL21	出力	—	0	0	1	×	—	×	×	×	×	×	×	○	○	○	○
P71	P71	入力	—	0	1	×	×	—	×	×	×	×	×	×	○	○	○	○
		出力	0	0	0	0/1	SDA21 = 1	—										
		N-ch O.D.出力	1	0	0	0/1												
	TS03	入出力	—	1	1	×	×	—	×	×	×	×	×	×	○	○	○	○
	KR1	入力	×	0	1	×	×	—	×	×	×	×	×	×	×	○	○	○
	SI21	入力	×	0	1	×	×	—	×	×	×	×	×	×	○	○	○	○
	SDA21	入出力	1	0	0	1	×	—	×	×	×	×	×	×	○	○	○	○
	RxDA0	入力	×	0	1	×	×	—	×	×	×	×	×	×	○	○	○	○
P72	P72	入力	—	0	1	×	×	—	×	×	×	×	×	×	○	○	○	○
		出力	—	0	0	0/1	SO21 = 1 TxDA0 = 1	—										
		N-ch O.D.出力	1	0	0	0/1												
	TS04	入出力	—	1	1	×	×	—	×	×	×	×	×	×	○	○	○	○
	KR2	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	○	○	○
	SO21	出力	—	0	0	1	TxDA0 = 1	—	×	×	×	×	×	×	○	○	○	○
	TxDA0	出力	×	0	0	1	SO21 = 1	—	×	×	×	×	×	×	○	○	○	○
P73	P73	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	○	○	○
		出力	—	0	0	0/1	SO01 = 1注2	—										
	TS05	入出力	—	1	1	×	×	—	×	×	×	×	×	×	×	○	○	○
	KR3	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	○	○	○
	SO01	出力	—	0	0	1	×	—	×	×	×	×	×	×	×	×	×	○

注1.　36～48ピン製品のみ

注2.　48ピン製品のみ

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (11/15)

端子名称	使用機能		POMxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P74	P74	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
		出力	0	0	0	0/1	SDA01 = 1注	—										
		N-ch O.D.出力	1	0	0	0/1												
	TS06	入出力	—	1	1	×	×	—	×	×	×	×	×	×	×	×	×	○
	KR4	入力	×	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
	INTP8	入力	×	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
	SI01	入力	×	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
	SDA01	入出力	1	0	0	1	×	—	×	×	×	×	×	×	×	×	×	○
P75	P75	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
		出力	—	0	0	0/1	SCK01/SCL01 = 1	—										
	TS07	入出力	—	1	1	×	×	—	×	×	×	×	×	×	×	×	×	○
	KR5	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
	INTP9	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
	SCK01	入力	—	0	1	×	×	—	×	×	×	×	×	×	×	×	×	○
		出力	—	0	0	1	×	—	×	×	×	×	×	×	×	×	×	○
	SCL01	出力	—	0	0	1	×	—	×	×	×	×	×	×	×	×	×	○

注　36～48ピン製品のみ

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (12/15)

端子名称	使用機能		POMxx	PMCAxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力					SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P120	P120	入力	×	0	1	×	—	—	×	×	×	×	○	○	○	○	○	○
		出力	0	0	0	0/1	—	—										
		N-ch O.D.出力	1	0	0	0/1												
	ANI19	アナログ入力	×	1	1	×	×	—	×	×	×	×	○	○	○	○	○	○

備考　N-ch O.D.：N-chオープン・ドレイン

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (13/15)

端子名称	使用機能		CMC		PMxx	Pxx	16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力	EXCLK, OSCSEL, EXCLKS, OSCSELS	XTSEL												
P121	P121	入力	00xx/10xx/11xx	0	1	×	○	○	○	○	○	○	○	○	○	○
			xx00/xx10/xx11	1注												
		出力	00xx/10xx/11xx	0	0	0/1										
			xx00/xx10/xx11	1注												
★	VBAT	入力	01xx	0	1	1	×	×	×	×	×	×	×	○	○	○
	X1	—	01xx	0	1	×	○	○	○	○	○	○	○	○	○	○
	XT1	—	xx01	1	1	×	○	○	○	○	○	○	○	×	×	×
P122	P122	入力	00xx/10xx	0	1	×	○	○	○	○	○	○	○	○	○	○
			xx00/xx10	1注												
		出力	00xx/10xx	0	0	0/1										
			xx00/xx10	1注												
	X2	—	01xx	0	1	×	○	○	○	○	○	○	○	○	○	○
	XT2	—	xx01	1	1	×	○	○	○	○	○	○	○	×	×	×
	EXCLK	入力	11xx	0	1	×	○	○	○	○	○	○	○	○	○	○
	EXCLKS	入力	xx11	1	1	×	○	○	○	○	○	○	○	○	○	○
P123	P123	入力	xx00/xx10/xx11	0	—	×	×	×	×	×	×	×	×	○	○	○
	XT1	—	xx01	0	—	×	×	×	×	×	×	×	×	○	○	○
P124	P124	入力	xx00/xx10	0	—	×	×	×	×	×	×	×	×	○	○	○
	XT2	—	xx01	0	—	×	×	×	×	×	×	×	×	○	○	○
	EXCLKS	入力	xx11	0	—	×	×	×	×	×	×	×	×	○	○	○

注　　16～36ピン製品のみ

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (14/15)

端子名称	使用機能		PMCTxx	Pxx	16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力												
P130	P130	出力	0	0/1	×	×	×	○	×	×	×	×	×	○
	TS19	入出力	1	×	×	×	×	○	×	×	×	×	×	○
P137	P137	入力	0	×	○	○	○	○	○	○	○	○	○	○
	INTP0	入力	0	×	○	○	○	○	○	○	○	○	○	○

表4 - 5　　端子機能使用時のレジスタ、出力ラッチの設定例 (15/15)

端子名称	使用機能		PIOR	PMCAxx	PMCTxx	PMxx	Pxx	兼用機能出力		16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
	機能名称	入出力						SAU, UARTA（UARTAのクロック出力を除く）	SAU, UARTA以外（UARTAのクロック出力を含む）										
P140	P140	入力	—	—	0	1	×	—	×	×	×	×	×	×	×	×	×	×	○
		出力	—	—	0	0	0/1	—	PCLBUZ0 = 0										
	TS08	入出力	—	—	1	1	×	—	×	×	×	×	×	×	×	×	×	×	○
	PCLBUZ0	出力	PIOR3 = 0	—	0	0	0	—	×	×	×	×	×	×	×	×	×	×	○
	INTP6	入力	—	—	0	1	×	—	×	×	×	×	×	×	×	×	×	×	○
P146	P146	入力	—	—	0	1	×	—	—	×	×	×	×	×	×	×	×	○	○
		出力	—	—	0	0	0/1	—	—										
	TS09	入出力	—	—	1	1	×	—	—	×	×	×	×	×	×	×	×	○	○
P147	P147	入力	—	0	0	1	×	—	—	×	○	○	○	○	○	○	○	○	○
		出力	—	0	0	0	0/1	—	—										
	ANI18	アナログ入力	—	1	0	1	×	—	—	×	○	○	○	○	○	○	○	○	○
	TS10	入出力	—	1	1	1	×	—	—	×	○	○	○	○	○	○	○	○	○

4.6　ポート機能使用時の注意事項

4.6.1　ポート・レジスタ（Pxx）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して 1 ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

（例）P10 は出力ポート、P11-P17 は入力ポート（端子状態はすべてハイ・レベル）で、かつポート 1 の出力ラッチの値が 00H のとき、出力ポート P10 の出力を 1 ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート 1 の出力ラッチの値は、FFH になります。

説明：PMmn = 1 であるポートの Pxx レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1 ビット・メモリ操作命令は本製品内部で、次の順序で行われます。

① Pxx レジスタを 8 ビット単位で読み出し

② 対象の 1 ビットを操作

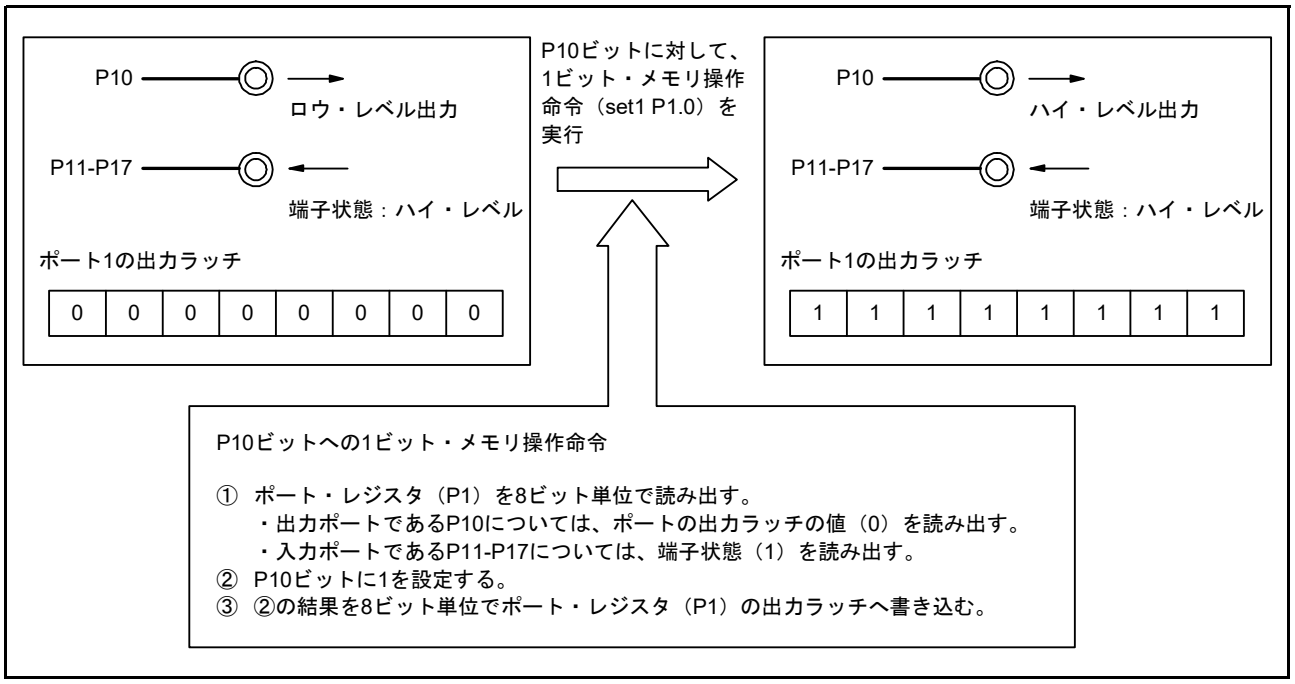
③ Pxx レジスタへ 8 ビット単位で書き込み

①のとき、出力ポートである P10 は出力ラッチの値（0）を読み出し、入力ポートである P11-P17 は端子状態を読み出します。このとき P11-P17 の端子状態が“ハイ・レベル”とすると、読み出し値は FEH となります。

②の操作で、値は FFH となります。

③の操作で、出力ラッチに FFH が書き込まれます。

図4 - 12　1ビット・メモリ操作命令（P10の場合）



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺 I/O リダイレクション・レジスタ（PIOR）の設定により、割り当てられた機能も同様です。兼用出力については、**4.5　兼用機能使用時のレジスタ設定**を参照してください。

入力として使用する端子では、兼用機能の出力が無効（バッファ出力が Hi-Z）となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章　オペレーション・ステート・コントロール

内部回路の動作電圧、動作タイミング、動作電流は、フラッシュ動作モードによって最適化されます。マイコンの動作電圧範囲やクロック周波数にあわせて、適切なフラッシュ動作モードを選択してください。

リセット解除直後はオプション・バイトで設定されたフラッシュ動作モードで動作します。その後、レジスタの設定によりフラッシュ動作モードを変更できます。

5.1　オペレーション・ステート・コントロールの構成

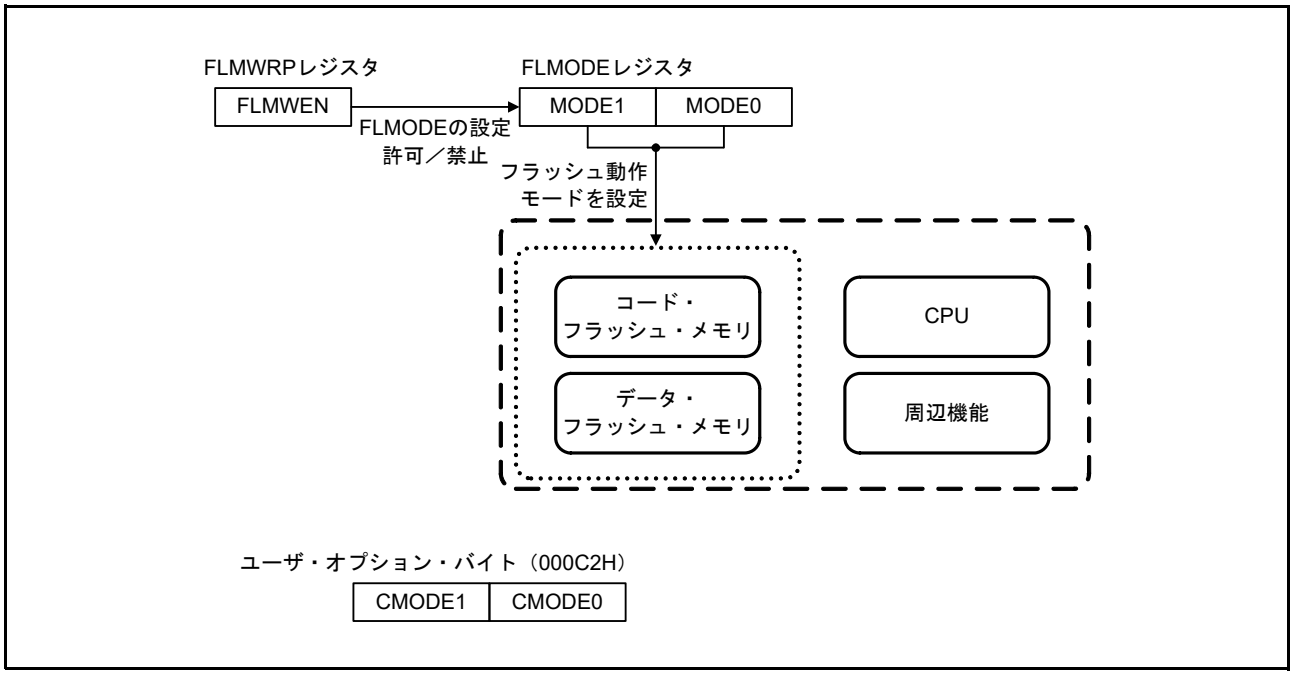
オペレーション・ステート・コントロールは、次のハードウェアで構成されています。

表5 - 1　オペレーション・ステート・コントロールの構成

項目	構成
オプション・バイト	• ユーザ・オプション・バイト アドレス：000C2H
制御レジスタ	• フラッシュ動作モード選択レジスタ（FLMODE） • フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

図5 - 1　オペレーション・ステート・コントロールの概略図

★



フラッシュ動作モードは、以下の 4 つのモードがあります。

- HS（高速メイン）モード
- LS（低速メイン）モード
- LP（低電力メイン）モード
- SUBモード

マイコンの動作環境にあわせてこれらのフラッシュ動作モードを設定することにより、効率よくマイコンを動作させることができます。**表 5 - 2** に各フラッシュ動作モードの特長を示します。

表5 - 2　　各フラッシュ動作モードの特長

フラッシュ動作モード	推奨動作範囲		説明
HS（高速メイン）モード	1.6～1.8 V	1～4 MHz （フラッシュ書き換え不可）	CPUの高速動作（32 MHz (Max.)）が可能なモードです。 CPUの処理能力が必要な場合に最適です。
	1.8～5.5 V	1～32 MHz	
LS（低速メイン）モード	1.6～1.8 V	1～4 MHz （フラッシュ書き換え不可）	動作電流とCPUの演算処理（24 MHz (Max.)）のバランスのとれたモードです。
	1.8～5.5 V	1～24 MHz	
LP（低電力メイン）モード	1.6～5.5 V	1～2 MHz （フラッシュ書き換え不可）	1～2 MHzで動作するモードです。 1～2 MHzで低動作電流を実現します。
SUBモード	1.6～5.5 V	32.768 kHz （フラッシュ書き換え不可）	サブシステム・クロック注で動作するモードです。 サブシステム・クロックで動作することにより、低動作電流を実現します。

注　　サブシステム・クロックX（f_{SX}）または低速オンチップ・オシレータ・クロック（f_{IL}）で動作可能です。

5.2 オペレーション・ステート・コントロールを制御するレジスタ

オペレーション・ステート・コントロールを制御するレジスタを次に示します。

- フラッシュ動作モード選択レジスタ（FLMODE）
- フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

5.2.1 フラッシュ動作モード選択レジスタ（FLMODE）

FLMODE レジスタは、フラッシュ動作モードを制御する 8 ビットのレジスタです。

FLMODE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）の FLMWEN ビットが 0 のとき、値を変更することはできません。

リセット発生により、MODE1, MODE0 ビットはユーザ・オプション・バイトの CMODE1, CMODE0 ビット（アドレス：000C2H）に設定した値が反映されます。

図5 - 2　フラッシュ動作モード選択レジスタ（FLMODE）のフォーマット

アドレス　：F00AAH
リセット時：40H/80H/C0H注
R/W属性　：R/W

略号	<7>	<6>	5	4	3	2	1	0
FLMODE	MODE1	MODE0	0	0	0	0	0	0

MODE1	MODE0	フラッシュ動作モードの選択
0	0	設定禁止
0	1	LP（低電力メイン）モード （LSモードで1 MHz≦fCLK≦2 MHzのときに選択可能です。）
1	0	LS（低速メイン）モード （HSモードで1 MHz≦fCLK≦24 MHz、またはLPモードのときに選択可能です。）
1	1	HS（高速メイン）モード （LSモードのときに選択可能です。）

注　FLMODEレジスタの初期値は、MODE1, MODE0ビットにユーザ・オプション・バイトのCMODE1, CMODE0ビット（アドレス：000C2H）の設定値が反映された値になります。

注意1. FLMODEレジスタは、フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）のFLMWENビットが1のとき、値を変更できます。また、FLMODEレジスタの値を変更したあとはFLMWENビットに0を設定してください。

注意2. システム・クロック制御レジスタ（CKC）のCSSビットが1（CPU／周辺機能がサブシステム・クロック動作）のとき、フラッシュ動作モードはMODE1, MODE0ビットの設定値によらず、SUBモードになります。

注意3. MODE1, MODE0ビットの値をDTCおよびSMSで変更しないでください。

注意4. フラッシュ動作モードを変更する場合、変更後のフラッシュ動作モードで動作可能な電圧範囲および動作周波数範囲であることを確認したあと、フラッシュ動作モードを変更してください。

（注意は次ページに続きます）

注意5. MODE1, MODE0ビットでフラッシュ動作モードを変更した場合、フラッシュ動作モードが遷移するまで下記の時間CPUはウエイト状態になります。このウエイト期間中の割り込み要求は保留されます。

フラッシュ動作モード変更時間

フラッシュ動作モードの変更	変更時間
LS（低速メイン）モード ⇒ HS（高速メイン）モード	225クロック注
LP（低電力メイン）モード ⇒ LS（低速メイン）モード	10クロック注
LS（低速メイン）モード ⇒ LP（低電力メイン）モード	10クロック注
HS（高速メイン）モード ⇒ LS（低速メイン）モード	30クロック注

注　CPU／周辺ハードウェア・クロック（f_{CLK}）のクロック数

注意6. FLMODEレジスタの書き換えはFLMODEレジスタの書き換え後、CPU／周辺ハードウェア・クロック（f_{CLK}）で1クロック以上間を空けてから行ってください。FLMODEレジスタへの連続書き込みはしないでください。

注意7. フラッシュ・メモリの書き換え中にFLMODEレジスタは変更しないでください。

注意8. FLMODEレジスタの書き換えはSMS停止状態（SMSSTARTビットが0、またはSMSSTATビットが0かつSMSTRGWAITビットが1）のときに行ってください。

注意9. フラッシュ動作モードを変更する場合、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLENビットを1にセットし、データ・フラッシュ・メモリのアクセス許可の状態で行ってください。

注意10. セルフ・プログラミングでコード・フラッシュ・メモリ領域を書き換える場合とデータ・フラッシュ・メモリ領域を書き換える場合は、必ずHS（高速メイン）モードまたはLS（低速メイン）モードに切り替えたあとに行ってください。

5.2.2 フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）

FLMWRP レジスタは、フラッシュ動作モード選択レジスタへのアクセスを制御する 8 ビットのレジスタです。
FLMWRP レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット発生により、00H になります。

図5 - 3　フラッシュ動作モード・プロテクト・レジスタ（FLMWRP）のフォーマット

アドレス　: F00ABH
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	<0>
FLMWRP	0	0	0	0	0	0	0	FLMWEN

FLMWEN	フラッシュ動作モード選択レジスタ（FLMODE）の制御
0	FLMODE レジスタの書き換え禁止
1	FLMODE レジスタの書き換え許可

5.3 フラッシュ動作モードの初期設定

ユーザ・オプション・バイト（000C2H）は、フラッシュ動作モードと高速オンチップ・オシレータのリセット解除後の初期状態を設定します。

リセット解除時の V_{DD} の電圧と高速オンチップ・オシレータの周波数にあわせて、適切なフラッシュ動作モードを設定してください。

リセット解除時に CMODE1, CMODE0 ビットの値はフラッシュ動作モード選択レジスタ（FLMODE）の MODE1, MODE0 ビットに、FRQSEL3-FRQSEL0 ビットの値は高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）に反映されます。

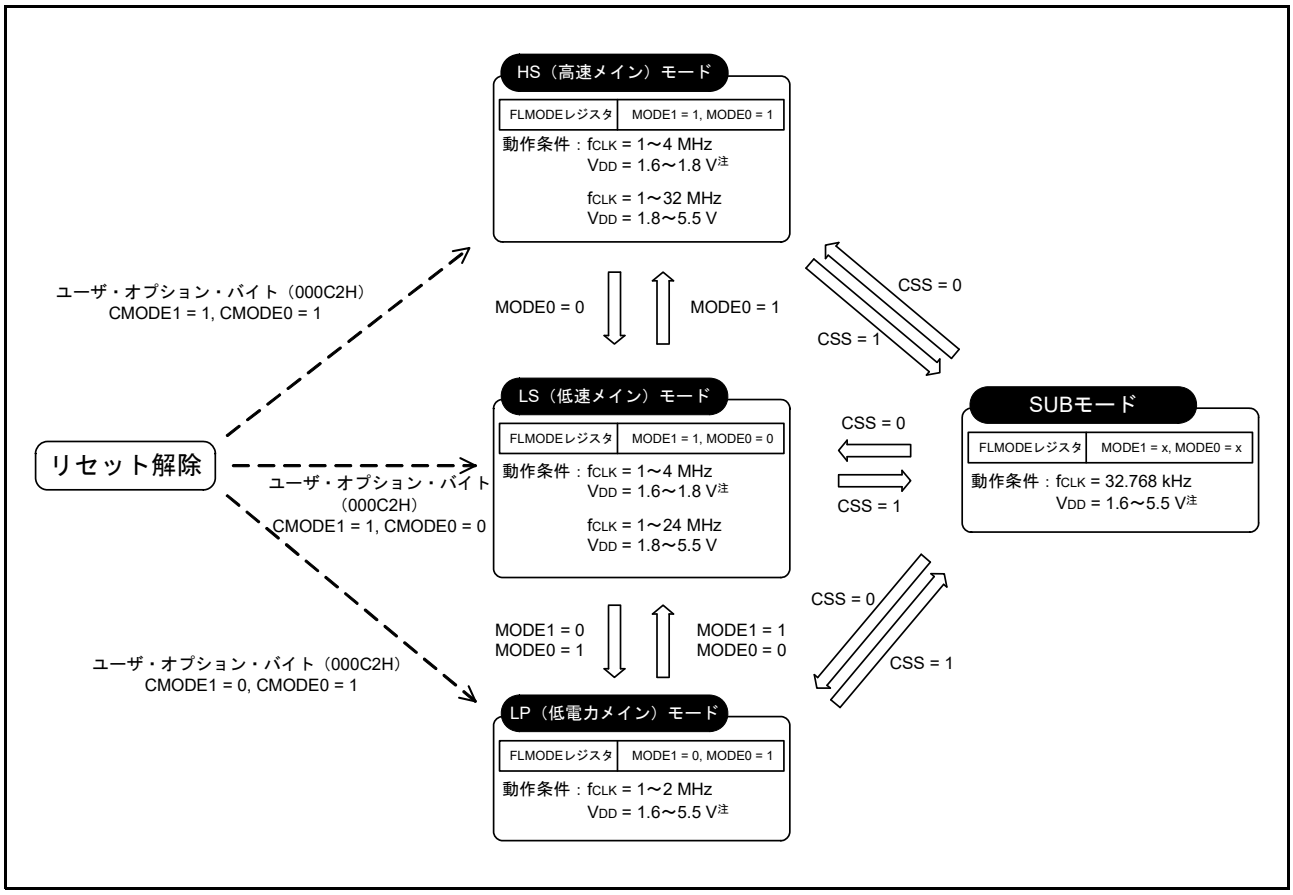
ユーザ・オプション・バイト（000C2H）の詳細は、**第 29 章　オプション・バイト**を参照してください。

5.4　フラッシュ動作モードの遷移

リセット解除直後のフラッシュ動作モードは、ユーザ・オプション・バイト（000C2H）の CMODE1, CMODE0 ビットの設定によって、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードを選択することができます。また、CMODE1, CMODE0 ビットの値はフラッシュ動作モード選択レジスタ（FLMODE）の MODE1, MODE0 ビットに反映されます。その後は、CPU 動作中に FLMODE レジスタの値を変更することによって、フラッシュ動作モードを遷移させることができます。

また CKC レジスタの CSS ビットに 1 を設定することによって、SUB モードに自動的に切り替わります。

図5 - 4　フラッシュ動作モードの状態遷移



注　フラッシュ・メモリ書き換え不可

注意　マイコンの動作中にリセットが入った場合、リセット解除後は必ずオプション・バイトで設定したフラッシュ動作モードで動作を開始します。したがって、リセット解除時は、LVDの検出電圧をオプション・バイトに設定したフラッシュ動作モードの動作電圧範囲外で動作を開始しないでください。

5.5 フラッシュ動作モードの詳細

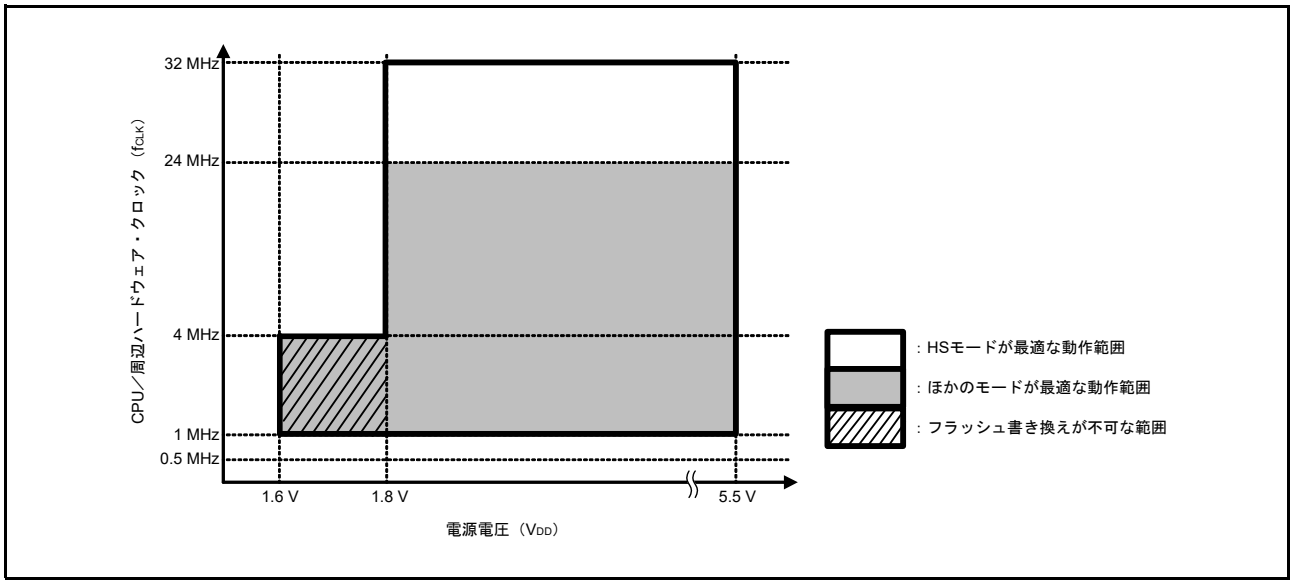
5.5.1 HS（高速メイン）モードの詳細

HS（高速メイン）モードは、CPU の高速処理が必要なアプリケーションに最適なモードです。

HS モードは、リセット解除直後から動作可能です。また、LS（低速メイン）モードから遷移することが可能です。

HS モードの最適動作範囲は、電源電圧が 1.8 V ≦ V_{DD} ≦ 5.5 V、動作周波数が 24 MHz ＜ f_{CLK} ≦ 32 MHz のときです。24 MHz 以下で動作させる場合は、その他のモードが最適なフラッシュ動作モードになります。

図5 - 5　HSモードの動作範囲



5.5.2　LS（低速メイン）モードの詳細

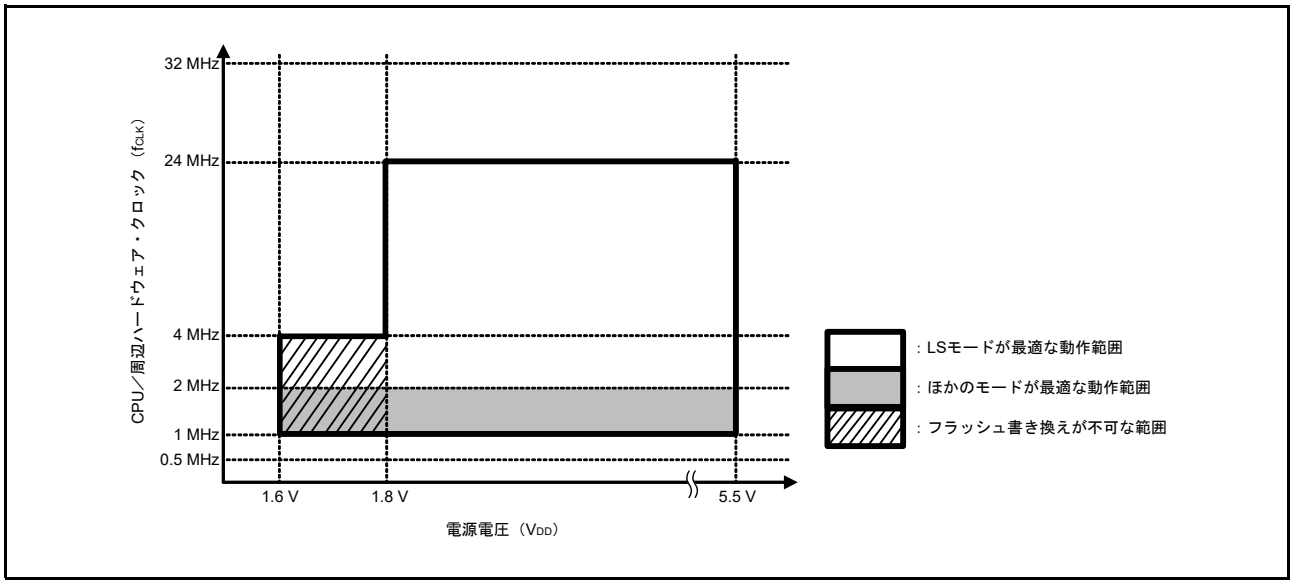
LS（低速メイン）モードは、CPU の処理能力と動作電力性能を両立しており、2 ～ 24 MHz で低消費電力が必要なアプリケーションに最適なモードです。

LS モードは、リセット解除直後から動作可能です。また、HS（高速メイン）モード、LP（低電力メイン）モードから遷移することが可能です。HS モードから LS モードに遷移する場合、動作周波数が 1 MHz ≦ f_{CLK} ≦ 24 MHz の状態で遷移してください。

LS モードの最適動作範囲は、電源電圧が 1.8 V ≦ V_{DD} ≦ 5.5 V かつ動作周波数が 2 MHz ＜ f_{CLK} ≦ 24 MHz、または電源電圧が 1.6 V ≦ V_{DD} ＜ 1.8 V かつ動作周波数が 2 MHz ＜ f_{CLK} ≦ 4 MHz **注**のときです。

注　フラッシュ・メモリの書き換えはできません。

図5 - 6　LSモードの動作範囲



5.5.3 LP（低電力メイン）モードの詳細

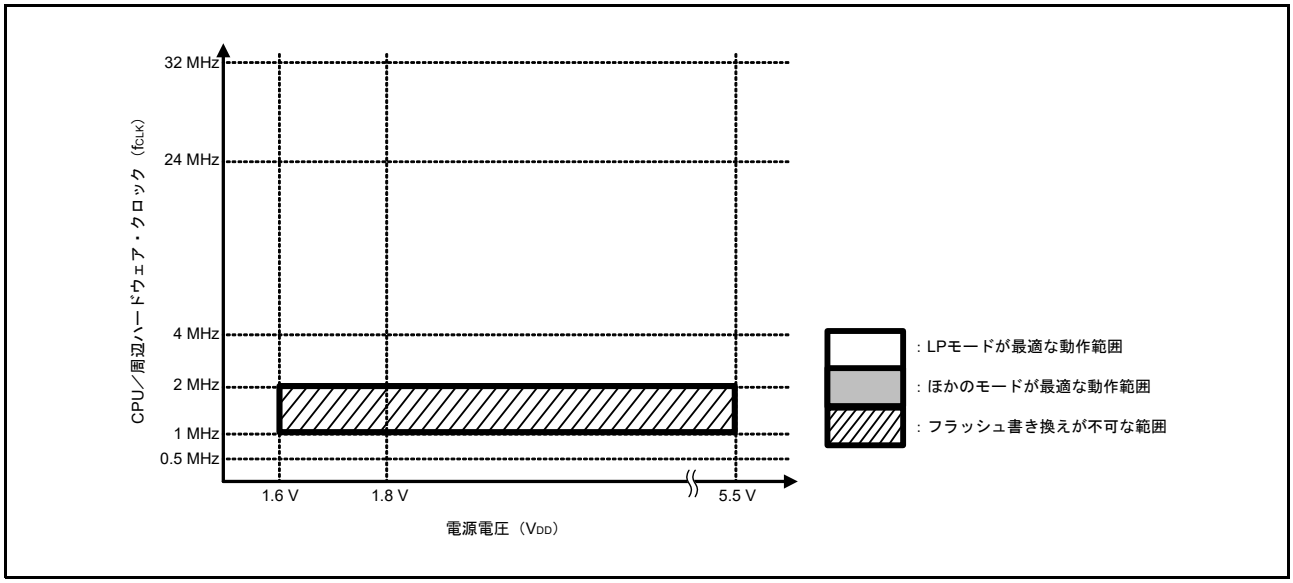
LP（低電力メイン）モードは、1 ～ 2 MHz の動作周波数によって低電力で CPU を動作させるモードです。

LP モードは、リセット解除直後から動作可能です。また、LP モードは LS（低速メイン）モードから遷移することが可能です。LS モードから LP モードに遷移する場合、動作周波数が 1 MHz ≦ f_{CLK} ≦ 2 MHz の状態で遷移してください。

LP モードの最適動作範囲は、電源電圧が 1.6 V ≦ V_{DD} ≦ 5.5 V かつ動作周波数が 1 MHz ≦ f_{CLK} ≦ 2 MHz のときです。

フラッシュ・メモリの書き換えを行うときは LS モードに遷移してください。

図5 - 7　LPモードの動作範囲

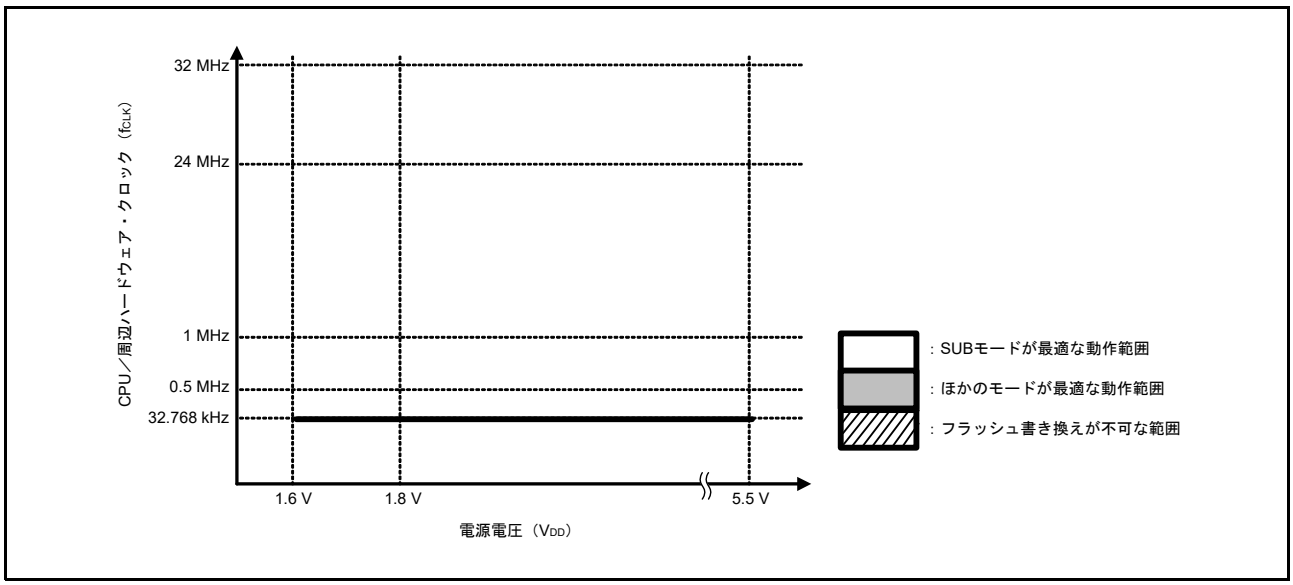


5.5.4 SUBモードの詳細

SUB モードは、32.768 kHz の動作周波数によって CPU を動作させるモードです。

SUB モードは、HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モードから遷移可能です。システム・クロック制御レジスタ（CKC）の CSS ビットに 1 を設定することで自動的に SUB モードに切り替わります。SUB モードはフラッシュ書き換えができません。フラッシュ・メモリの書き換えを行うときは、HS モードまたは LS モードに遷移してください。

図5 - 8 SUBモードの動作範囲



第6章　クロック発生回路

6.1　クロック発生回路の機能

クロック発生回路は、CPU および周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

① X1発振回路

X1, X2端子に発振子を接続することにより、fx = 1～20 MHzのクロックを発振させることができます。
STOP命令の実行またはクロック動作ステータス制御レジスタ（CSC）のMSTOPビットの設定により、発振を停止することができます。

② 高速オンチップ・オシレータ

ユーザ・オプション・バイト（000C2H）により、f_{IH}に対して32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz（Typ.）から周波数を選択し、発振させることができます。リセット解除後、CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP命令の実行またはCSCレジスタのHIOSTOPビットの設定により、発振を停止することができます。
ユーザ・オプション・バイトで設定した周波数は、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は、**図6 - 11　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット**を参照してください。
次に、高速オンチップ・オシレータで設定できる発振周波数を示します（ユーザ・オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で選択できるバリエーション）。

電源電圧	発振周波数（MHz）									
	1	2	3	4	6	8	12	16	24	32
1.8 V≦V_{DD}≦5.5 V	○	○	○	○	○	○	○	○	○	○
1.6 V≦V_{DD}≦5.5 V	○	○	○	○	—	—	—	—	—	—

③ 中速オンチップ・オシレータ

MOCODIVレジスタのMOCODIV1, MOCODIV0ビットの設定により、f_{IM}に対して4 MHz, 2 MHz, 1 MHz（Typ.）から周波数を選択し、発振させることができます。STOP命令の実行またはCSCレジスタのMIOENビットの設定により、発振を停止することができます。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、システム・クロック制御レジスタ（CKC）のMCM0, MCM1ビットの設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）とメイン・オンチップ・オシレータ・クロック（高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロック）を切り替えられます。

なお、CPU／周辺ハードウェア・クロックは、フラッシュ動作モードおよび電源電圧V_{DD}によって使用可能な周波数がことなります。
メイン・システム・クロックをCPU／周辺ハードウェア・クロックとして使用する場合は、ユーザ・オプション・バイト（000C2H）のCMODE1, CMODE0ビットによるフラッシュ動作モードの設定（**第29章　オプショ**

ン・バイト）またはフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードに従って、メイン・システム・クロック周波数を選択してください。

(2) サブシステム・クロック

① XT1発振回路

XT1, XT2端子に32.768 kHzの発振子を接続することにより、f_{XT} = 32.768 kHzのクロックを発振させることができます。クロック動作ステータス制御レジスタ（CSC）のXTSTOPビットの設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック（f_{EXS} = 32.768 kHz）を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

② 低速オンチップ・オシレータ・クロック

f_{IL} = 32.768 kHz（Typ.）のクロックを発振させることができます。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ユーザ・オプション・バイト（000C0H）のWDTONビット、サブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビット、またはサブシステム・クロック選択レジスタ（CKSEL）のSELLOSCビットのいずれか、または複数のビットが1
  ただし、WDTON = 1, WUTMMCK0 = 0, SELLOSC = 0かつユーザ・オプション・バイト（000C0H）のWDSTBYONビットが0のときに、HALT命令またはSTOP命令を実行した場合、低速オンチップ・オシレータは発振を停止します。
- SNOOZEモード・シーケンサのウエイト処理でウエイトのソース・クロックにf_{IL}を選択

備考
f_X ：X1クロック発振周波数
f_{IH} ：高速オンチップ・オシレータ・クロック周波数（最大32 MHz）
f_{IM} ：中速オンチップ・オシレータ・クロック周波数（最大4 MHz）
f_{EX} ：外部メイン・システム・クロック周波数
f_{XT} ：XT1クロック発振周波数
f_{EXS} ：外部サブシステム・クロック周波数
f_{IL} ：低速オンチップ・オシレータ・クロック周波数

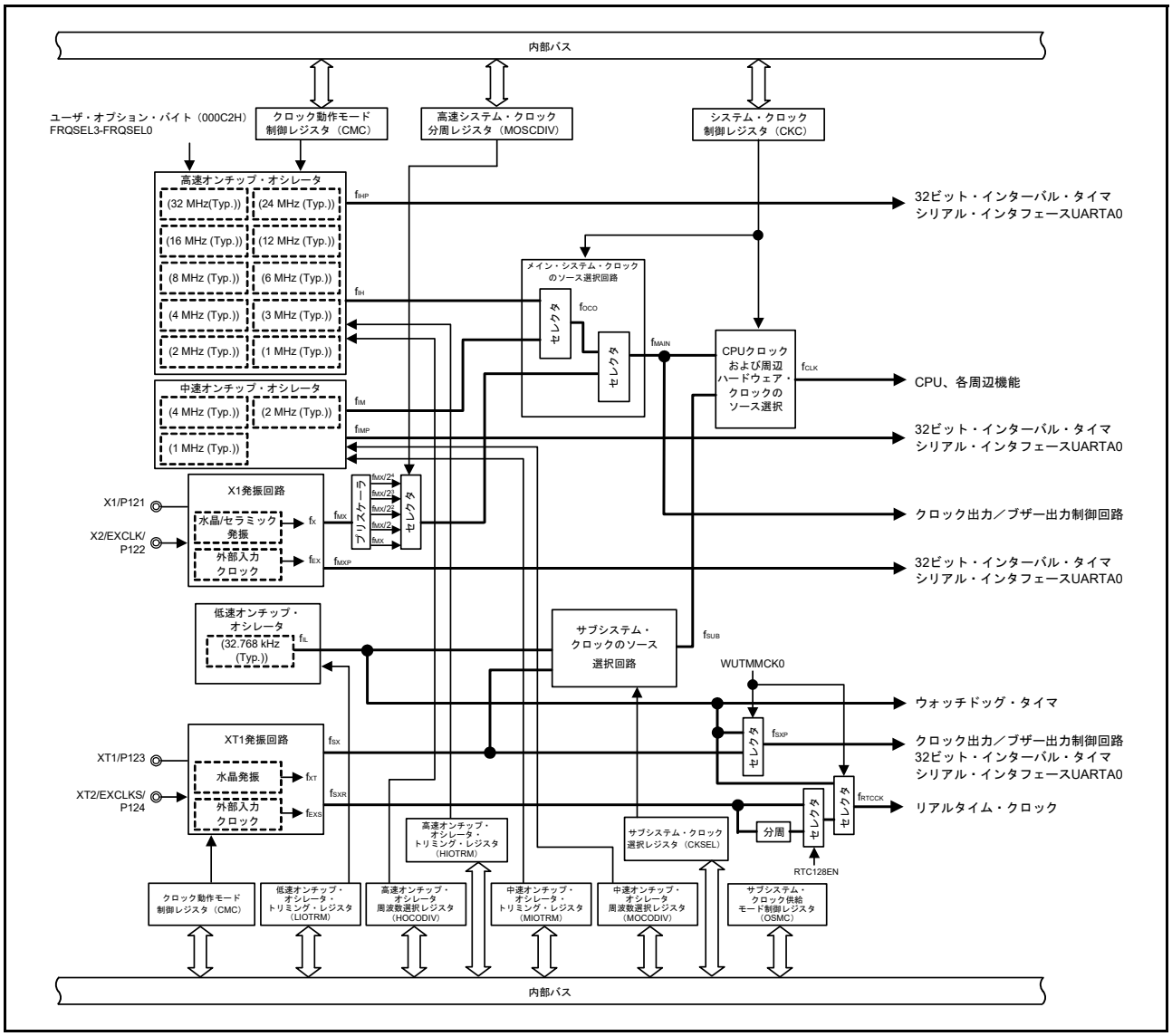
6.2　クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成されています。

表6 - 1　クロック発生回路の構成

項目	構成
制御レジスタ	• クロック動作モード制御レジスタ（CMC） • システム・クロック制御レジスタ（CKC） • クロック動作ステータス制御レジスタ（CSC） • 発振安定時間カウンタ状態レジスタ（OSTC） • 発振安定時間選択レジスタ（OSTS） • 周辺イネーブル・レジスタ0, 1（PER0, PER1） • サブシステム・クロック供給モード制御レジスタ（OSMC） • サブシステム・クロック選択レジスタ（CKSEL） • 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） • 中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV） • 高速システム・クロック分周レジスタ（MOSCDIV） • 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） • 中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM） • 低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM） • スタンバイ・モード解除設定レジスタ（WKUPMD）
発振回路	• X1発振回路 • XT1発振回路 • 高速オンチップ・オシレータ • 中速オンチップ・オシレータ • 低速オンチップ・オシレータ

図6 - 1　　クロック発生回路のブロック図



（備考は次ページに続きます）

備考

f_X ：X1クロック発振周波数

f_{EX} ：外部メイン・システム・クロック周波数

f_{IH} ：高速オンチップ・オシレータ・クロック周波数（最大32 MHz）

f_{IHP} ：高速オンチップ・オシレータ周辺クロック周波数
（FRQSEL3 = 1のとき32 MHz、FRQSEL3 = 0のとき24 MHz）

f_{IM} ：中速オンチップ・オシレータ・クロック周波数（最大4 MHz）

f_{IMP} ：中速オンチップ・オシレータ周辺クロック周波数（4 MHz）

f_{MX} ：高速システム・クロック周波数

f_{MXP} ：高速周辺クロック周波数

f_{MAIN} ：メイン・システム・クロック周波数

f_{XT} ：XT1クロック発振周波数

f_{EXS} ：外部サブシステム・クロック周波数

f_{SX} ：サブシステム・クロックX周波数

f_{SXR} ：サブシステム・クロックXR周波数

f_{RTCCK} ：リアルタイム・クロック制御部の動作クロック

f_{SXP} ：低速周辺クロック周波数

f_{SUB} ：サブシステム・クロック周波数

f_{CLK} ：CPU／周辺ハードウェア・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

f_{OCO} ：メイン・オンチップ・オシレータ・クロック周波数（f_{IH}またはf_{IM}）

6.3　クロック発生回路を制御するレジスタ

クロック発生回路を制御するレジスタを次に示します。

- クロック動作モード制御レジスタ（CMC）
- システム・クロック制御レジスタ（CKC）
- クロック動作ステータス制御レジスタ（CSC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- 周辺イネーブル・レジスタ0, 1（PER0, PER1）
- サブシステム・クロック供給モード制御レジスタ（OSMC）
- サブシステム・クロック選択レジスタ（CKSEL）
- 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
- 中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）
- 高速システム・クロック分周レジスタ（MOSCDIV）
- 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
- 中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）
- 低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM）
- スタンバイ・モード解除設定レジスタ（WKUPMD）

注意　製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには、必ず初期値を設定してください。

6.3.1　クロック動作モード制御レジスタ（CMC）

CMC レジスタは、X1/P121, X2/EXCLK/P122 端子および XT1/P123, XT2/EXCLKS/P124 端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMC レジスタは、リセット解除後、8 ビット・メモリ操作命令で 1 回のみ書き込み可能です。読み出す場合は、8 ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00H になります。

図6 - 2　クロック動作モード制御レジスタ（CMC）のフォーマット (1/2)

アドレス　: FFFA0H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	XTSEL 注1	AMPHS1	AMPHS0	AMPH

16～36ピン製品

XTSEL 注2	EXCLK	OSCSEL	EXCLKS 注2	OSCSELS 注2	システム・クロック端子の動作モード	X1/P121/XT1端子	X2/EXCLK/P122/XT2/EXCLKS端子
0	0	0	0	0	ポート・モード	ポート	ポート
0	0	1	0	0	X1発振モード	水晶／セラミック発振子接続	
0	1	0	0	0	ポート・モード	ポート	ポート
0	1	1	0	0	外部クロック入力モード	ポート	外部クロックEXCLK入力
1	0	0	0	0	ポート・モード	ポート	ポート
1	0	0	0	1	XT1発振モード	水晶発振子接続	
1	0	0	1	0	ポート・モード	ポート	ポート
1	0	0	1	1	外部クロック入力モード	ポート	外部クロックEXCLKS入力
上記以外					設定禁止		

40～48ピン製品

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	ポート・モード	ポート	ポート
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	ポート・モード	ポート	ポート
1	1	外部クロック入力モード	ポート	外部クロック入力

図6 - 2　クロック動作モード制御レジスタ（CMC）のフォーマット (2/2)

EXCLKS 注2	OSCSELS 注2	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	入力ポート
0	1	XT1発振モード	水晶発振子接続	
1	0	入力ポート・モード	入力ポート	入力ポート
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1 注2	AMPHS0 注2	XT1発振回路の発振モード選択
0	0	低消費発振1 注3
0	1	通常発振
1	0	低消費発振2 注3
1	1	低消費発振3 注3

AMPH	X1クロック発振周波数の制御
0	1 MHz≦fx≦10 MHz
1	10 MHz＜fx≦20 MHz

注1. XTSELビットは、16～36ピン製品のみ書き込み可能です。40～48ピン製品では必ず0を設定してください。

注2. EXCLKS, OSCSELS, XTSEL, AMPHS1, AMPHS0ビットは、パワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注3. XT1クロック発振回路のゲインおよび動作電流は、低消費発振1＞低消費発振2＞低消費発振3の順で小さくなります。

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合、暴走時の誤動作（00H以外の誤書き込みで復帰不可）を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを超える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}やf_{SUB}に切り替える前の状態）で設定してください。

注意5. f_{XT}の発振安定時間は、ソフトウェアでカウントしてください。

（注意、備考は次ページに続きます）

注意6. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを低消費発振2（AMPHS1, AMPHS0 = 10B）または低消費発振3（AMPHS1, AMPHS0 = 11B）で使用する場合は、6.7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1, XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振2（AMPHS1, AMPHS0 = 10B）または低消費発振3（AMPHS1, AMPHS0 = 11B）を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1, XT2端子と発振子の信号線はほかの信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1, XT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1, XT2端子間に容量やリークが生じない材料をご使用ください。

注意7. 16～36ピン製品でXTSEL = 1に設定しP121/X1/XT1端子とP122/X2/EXCLK/XT2/EXCLKS端子をXT1発振モードに設定する場合は必ずV_{DD} = 2.4 V以上でご使用ください。

備考　fx：X1クロック発振周波数

6.3.2 システム・クロック制御レジスタ（CKC）

CKC レジスタは、CPU ／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。
CKC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス　：FFFA4H
リセット時：00H
R/W属性　：R/W注1

略号	<7>	<6>	<5>	<4>	3	2	<1>	<0>
CKC	CLS	CSS	MCS	MCM0	0	0	MCS1	MCM1

CLS	CPU／周辺ハードウェア・クロック（f_{CLK}）のステータス
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

CSS注2	CPU／周辺ハードウェア・クロック（f_{CLK}）の選択
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	メイン・オンチップ・オシレータ・クロック（f_{OCO}）
1	高速システム・クロック（f_{MX}）

MCM0注2	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）にメイン・オンチップ・オシレータ・クロック（f_{OCO}）を選択
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

MCS1	メイン・オンチップ・オシレータ・クロック（f_{OCO}）のステータス
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

MCM1注2	メイン・オンチップ・オシレータ・クロック（f_{OCO}）の動作制御
0	高速オンチップ・オシレータ・クロック
1	中速オンチップ・オシレータ・クロック

注1.　ビット7, 5, 1は、読み出しのみ可能です。
注2.　CSS = 1を設定した状態で、MCM1, MCM0ビットの値を変更することは禁止です。

（注意、備考は次ページに続きます）

注意1. ビット3, 2には、必ず0を設定してください。

注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます（リアルタイム・クロック、クロック出力／ブザー出力、32ビット・インターバル・タイマ、およびウォッチドッグ・タイマは除く）。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。

注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータおよびシリアル・インタフェースIICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第34章　電気的特性を参照してください。

注意4. CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。

注意5. CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）時、CSSビットにてクロック選択後、CLSビットが切り替わるまでは、HALT命令またはSTOP命令の実行は禁止です。

備考
- f_{IH} ：高速オンチップ・オシレータ・クロック周波数（最大32 MHz）
- f_{MX} ：高速システム・クロック周波数
- f_{MAIN} ：メイン・システム・クロック周波数
- f_{SUB} ：サブシステム・クロック周波数
- f_{OCO} ：メイン・オンチップ・オシレータ・クロック周波数（f_{IH}またはf_{IM}）

6.3.3　クロック動作ステータス制御レジスタ（CSC）

CSC レジスタは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0H になります。

図6 - 4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス　: FFFA1H
リセット時: C0H
R/W属性　: R/W

略号	<7>	<6>	5	4	3	2	<1>	<0>
CSC	MSTOP	XTSTOP	0	0	0	0	MIOEN	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入出力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP注	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

MIOEN	中速オンチップ・オシレータ・クロックの動作制御
0	中速オンチップ・オシレータ停止
1	中速オンチップ・オシレータ動作

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注　XTSTOP ビットはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では、値を保持します。

注意1. リセット解除後は、クロック動作モード制御レジスタ（CMC）を設定してからCSC レジスタを設定してください。

注意2. リセット解除後MSTOP ビットに0 を設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただし、OSTS レジスタを初期値のまま使用する場合は、OSTS レジスタを設定する必要はありません。

（注意は次ページに続きます）

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

注意4. XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意5. CPU／周辺ハードウェア・クロック（f_{CLK}）に選択しているクロックは、CSCレジスタで停止させないでください。

注意6. クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。クロックの停止方法については、表6 - 8　クロック発振停止前の条件とフラグ設定を参照してください。

6.3.4 発振安定時間カウンタ状態レジスタ（OSTC）

OSTC レジスタは、X1 クロックの発振安定時間カウンタのカウント状態を示すレジスタです。
次の場合に、X1 クロックの発振安定時間を確認することができます。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出すことができます。
リセット信号の発生、STOP 命令、クロック動作ステータス制御レジスタ（CSC）の MSTOP ビット = 1 により、00H になります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時（CMC レジスタの EXCLK = 0, OSCSEL = 1 → MSTOP = 0）
- STOPモードを解除したとき

図6 - 5 発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス ：FFFA2H
リセット時：00H
R/W属性 ：R

略号	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.2 ms以上	13.1 ms以上

注意1. 上記時間経過後、MOST8ビットから順番に1となっていき、そのまま1を保持します。

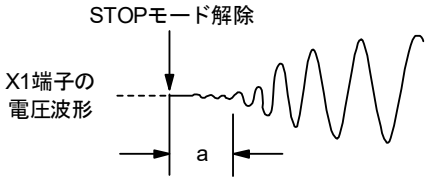
（注意、備考は次ページに続きます）

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。

次の場合には、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したい場合
- CPUクロックがメイン・オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したい場合
  （したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

6.3.5 発振安定時間選択レジスタ（OSTS）

OSTS レジスタは、X1 クロックの発振安定時間を選択するレジスタです。

X1 クロックを発振させる場合は、X1 発振回路動作（MSTOP = 0）後、OSTS レジスタで設定した時間を自動でウエイトします。

CPU クロックをメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1 クロックに切り替える場合や、CPU クロックがメイン・オンチップ・オシレータ・クロックで、X1 クロックも発振している状態で STOP モードに移行し、その後 STOP モードを解除した場合は、発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTC レジスタでは、あらかじめ OSTS レジスタで設定した時間までの確認ができます。

OSTS レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、07H になります。

図6 - 6　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス　: FFFA3H
リセット時: 07H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	2^8/fx	25.6 μs	12.8 μs
0	0	1	2^9/fx	51.2 μs	25.6 μs
0	1	0	2^{10}/fx	102 μs	51.2 μs
0	1	1	2^{11}/fx	204 μs	102 μs
1	0	0	2^{13}/fx	819 μs	409 μs
1	0	1	2^{15}/fx	3.27 ms	1.63 ms
1	1	0	2^{17}/fx	13.1 ms	6.55 ms
1	1	1	2^{18}/fx	26.2 ms	13.1 ms

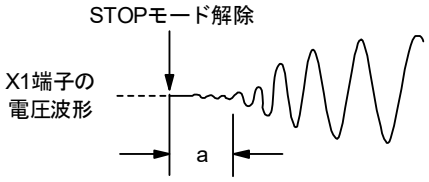
注意1. OSTS レジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ（CSC）のMSTOP ビットに0を設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTS レジスタで設定した発振安定時間までしかカウントしません。
次の場合には、OSTS レジスタの発振安定時間を、発振開始後にOSTC レジスタで確認したいカウント値より大きい値に設定してください。

- **CPU クロックがメイン・オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1 クロックの発振を開始したい場合**
- **CPU クロックがメイン・オンチップ・オシレータ・クロックで、X1 クロックも発振している状態でSTOP モードに移行し、その後、STOP モードを解除したい場合**
  （したがって、STOP モード解除後のOSTC レジスタは、OSTS レジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

（注意、備考は次ページに続きます）

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

6.3.6 周辺イネーブル・レジスタ0, 1（PER0, PER1）

PER0, PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットに 1 をセットしてください。

- リアルタイム・クロック
- シリアル・インタフェースIICA
- A/Dコンバータ
- シリアル・アレイ・ユニット
- タイマ・アレイ・ユニット
- SNOOZEモード・シーケンサ
- 32ビット・インターバル・タイマ
- DTC
- シリアル・インタフェースUARTA
- 静電容量センサユニット

PER0, PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6 - 7　　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス　：F00F0H
リセット時：00H
R/W属性　：R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN 注1	SAU1EN 注2	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロックへのアクセス制御
0	• リアルタイム・クロックで使用するSFRへのライト不可 • リアルタイム・クロックは動作可能
1	• リアルタイム・クロックで使用するSFRへのリード／ライト可 • リアルタイム・クロックは動作可能

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 • A/Dコンバータで使用するSFRへのライト不可注3
1	入力クロック供給 • A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 • シリアル・インタフェースIICA0で使用するSFRへのライト不可注3
1	入力クロック供給 • シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニット1で使用するSFRへのライト不可注3
1	入力クロック供給 • シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニット0で使用するSFRへのライト不可注3
1	入力クロック供給 • シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 • タイマ・アレイ・ユニット0で使用するSFRへのライト不可注3
1	入力クロック供給 • タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注3.　リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

（注意は次ページに続きます）

注意1. ビット6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

注意3. 各周辺機能が動作許可の状態で、PER0レジスタの対象ビットを切り替えないでください。PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

図6 - 8　　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス　：F00FAH
リセット時：00H
R/W属性　：R/W

略号	7	<6>	5	<4>	<3>	<2>	1	<0>
PER1	0	SMSEN	0	TML32EN	DTCEN	UTAEN 注1	0	CTSUEN

SMSEN	SNOOZEモード・シーケンサの入力クロック供給の制御
0	入力クロック供給停止 • SNOOZEモード・シーケンサで使用するSFRへのライト不可注2
1	入力クロック供給 • SNOOZEモード・シーケンサで使用するSFRへのリード／ライト可

TML32EN	32ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 • 32ビット・インターバル・タイマで使用するSFRへのライト不可注2
1	入力クロック供給 • 32ビット・インターバル・タイマで使用するSFRへのリード／ライト可

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 • DTCは動作不可
1	入力クロック供給 • DTCは動作可

UTAEN	シリアル・インタフェースUARTAnの入力クロック供給の制御（n = 0）
0	入力クロック供給停止 • シリアル・インタフェースUARTAnで使用するSFRへのライト不可注2
1	入力クロック供給 • シリアル・インタフェースUARTAnで使用するSFRへのリード／ライト可

CTSUEN	静電容量センサユニットの入力クロック供給の制御
0	入力クロック供給停止 • 静電容量センサユニットで使用するSFRへのライト不可注2
1	入力クロック供給 • 静電容量センサユニットで使用するSFRへのリード／ライト可

注1.　36～48ピン製品のみ

注2.　リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1.　ビット7, 5, 1には、必ず0を設定してください。

注意2.　次のビットには、必ず0を設定してください。
16～32ピン製品：ビット2

注意3.　各周辺機能が動作許可の状態で、PER1レジスタの対象ビットを切り替えないでください。PER1レジスタによる設定は、PER1レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

6.3.7 サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1 に設定すると、STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時に、リアルタイム・クロック以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック、クロック出力／ブザー出力制御回路、32 ビット・インターバル・タイマ、シリアル・インタフェース UARTA0 の動作クロックを選択できます。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定注になります。

注　RTCLPCビットおよびWUTMMCK0ビットは0、HIPRECビットは1になります。

図6 - 9　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス　：F00F3H
リセット時：不定注1
R/W属性　：R/W注2

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK0	×	×	0	HIPREC

RTCLPC注3	STOPモード時およびサブシステム・クロックXでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロックX供給許可 （動作許可となる周辺機能については、**表20 - 1　HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合）～表20 - 4　SNOOZEモード時の動作状態**参照）
1	リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック、32ビット・インターバル・タイマ、 シリアル・インタフェースUARTA0、 クロック出力／ブザー出力制御回路の動作クロックの選択
0	サブシステム・クロックX
1	低速オンチップ・オシレータ・クロック注4, 5

HIPREC	高速オンチップ・オシレータ・クロックのステータス注6, 7
0	高速オンチップ・オシレータ・クロックは高速起動かつ発振精度安定待ち中注8
1	高速オンチップ・オシレータ・クロックは高精度動作

注1.　RTCLPCビットおよびWUTMMCK0ビットは0、HIPRECビットは1になります。

注2.　ビット3, 2, 0は、読み出しのみ可能です。書き込みは無視されます。

注3.　CKSEL レジスタのSELLOSCビットによりサブシステム・クロックXを選択（SELLOSC = 0）してRTCLPC = 1とした場合、サブシステム・クロック（f_{SUB}）は停止しますが、低速オンチップ・オシレータ・クロックを選択（SELLOSC = 1）してRTCLPC = 1とした場合、サブシステム・クロック（f_{SUB}）は停止しません。

注4.　サブシステム・クロックX発振中にWUTMMCK0ビットに1を設定することは禁止です。

注5.　WUTMMCK0ビットによるサブシステム・クロックXと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32ビット・インターバル・タイマ、シリアル・インタフェースUARTA0、クロック出力／ブザー出力機能のすべての機能が停止中のみ可能です。

（注、注意、備考は次ページに続きます）

注6. 高速オンチップ・オシレータ停止時は不定です。

注7. 高速オンチップ・オシレータ・クロックの周波数精度は、**第34章　電気的特性**を参照してください。

注8. 高速オンチップ・オシレータ高速起動（WKUPMD.FWKUP = 1）に設定した状態でSTOPモードから復帰すると、高速オンチップ・オシレータ・クロックは低精度で起動し、発振精度安定待ち後に自動的にHIPRECは1になります。

FRQSEL3 = 0かつHIPREC = 0のときの高速オンチップ・オシレータの周波数は、下表のとおりになります。

FRQSEL2 または HOCODIV2	FRQSEL1 または HOCODIV1	FRQSEL0 または HOCODIV0	高速オンチップ・ オシレータの周波数
0	0	0	16 MHz
0	0	1	8 MHz
0	1	0	4 MHz
0	1	1	2 MHz
1	×	×	設定禁止

注意1. ビット6, 5, 1には、必ず0を設定してください。

注意2. HIPREC = 0のときはSTOP命令を実行しないでください。

備考 ×：Don’t care

6.3.8 サブシステム・クロック選択レジスタ（CKSEL）

CKSEL レジスタは、サブシステム・クロックとしてサブシステム・クロック X ／低速オンチップ・オシレータ・クロックを選択するレジスタです。

CKSEL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図6 - 10　サブシステム・クロック選択レジスタ（CKSEL）のフォーマット

アドレス　：FFFA7H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	<0>
CKSEL	0	0	0	0	0	0	0	SELLOSC

SELLOSC	サブシステム・クロックX／低速オンチップ・オシレータ・クロック選択
0	サブシステム・クロックX
1	低速オンチップ・オシレータ・クロック注

注　サブシステム・クロックX、XR（f_{SX}, f_{SXR}）動作時はSELLOSC = 1の設定は禁止です。

注意　SELLOSCビットを変更する場合は、必ずCSS = 0（f_{MAIN}選択）に設定し、CLS = 0の状態で切り替えてください。

6.3.9 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

HOCODIV レジスタは、ユーザ・オプション・バイト（000C2H）で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、ユーザ・オプション・バイト（000C2H）の FRQSEL3 ビットの値によって、選択できる周波数が異なります。

HOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、ユーザ・オプション・バイト（000C2H）の FRQSEL2-FRQSEL0 ビットで設定した値になります。

図6 - 11　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス　：F00A8H
リセット時：ユーザ・オプション・バイト（000C2H）FRQSEL2-FRQSEL0 ビットの設定値
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	f_{IH} = 32 MHz
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz
1	0	0	設定禁止	f_{IH} = 2 MHz
1	0	1	設定禁止	f_{IH} = 1 MHz
上記以外			設定禁止	

注意1. HOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、5.2.1　フラッシュ動作モード選択レジスタ（FLMODE）を参照してください。

注意2. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック（f_{IH}）をCPU／周辺ハードウェア・クロック（f_{CLK}）に選択している状態で行ってください。

注意3. HOCODIV レジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- **変更前の周波数で最大3クロック動作**
- **変更後の周波数で最大3クロックのCPU／周辺ハードウェア・クロックウエイト**

★ **なお、HOCODIV レジスタに同じ値を設定した場合でも、最大3クロックのCPU／周辺ハードウェア・クロックウエイトが発生します。**

6.3.10　中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）

MOCODIV レジスタは、中速オンチップ・オシレータの周波数を選択するレジスタです。
MOCODIV レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 12　中速オンチップ・オシレータ周波数選択レジスタ（MOCODIV）のフォーマット

アドレス　：F00F2H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
MOCODIV	0	0	0	0	0	0	MOCODIV1	MOCODIV0

MOCODIV1	MOCODIV0	中速オンチップ・オシレータ・クロック選択
0	0	4 MHz
0	1	2 MHz
1	0	1 MHz
1	1	設定禁止

注意　MOCODIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

6.3.11　高速システム・クロック分周レジスタ（MOSCDIV）

MOSCDIV レジスタは、高速システム・クロックの分周比選択を設定するレジスタです。
MOSCDIV レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 13　高速システム・クロック分周レジスタ（MOSCDIV）のフォーマット

アドレス　：F0214H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
MOSCDIV	0	0	0	0	0	MOSCDIV2	MOSCDIV1	MOSCDIV0

MOSCDIV2	MOSCDIV1	MOSCDIV0	高速システム・クロック分周選択	f_{MX} = 20 MHzのとき
0	0	0	f_{MX}	20 MHz
0	0	1	$f_{MX}/2$	10 MHz
0	1	0	$f_{MX}/4$	5 MHz
0	1	1	$f_{MX}/8$	2.5 MHz
1	0	0	$f_{MX}/16$	1.25 MHz
上記以外			設定禁止	

注意　MOSCDIV レジスタの設定は、周波数の変更前、変更後ともにフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

6.3.12　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

HIOTRM レジスタは、高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

注意　精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。
温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 14　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス　：F00A0H
リセット時：**注**
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
・ ・ ・						↕
1	1	1	1	1	0	↓
1	1	1	1	1	1	最高速

注　リセット値は出荷時に調整した値です。

備考1. HIOTRM レジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRM レジスタの使用例は、**RL78/G22 高速オンチップ・オシレータ・クロック 周波数補正 アプリケーションノート（R01AN7189）**を参照してください。

6.3.13　中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）

MIOTRM レジスタは、中速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして中速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

MIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、90H になります。

注意　精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。
温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 15　中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）のフォーマット

アドレス　：F0212H
リセット時：90H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
MIOTRM	MIOTRM7	MIOTRM6	MIOTRM5	MIOTRM4	MIOTRM3	MIOTRM2	MIOTRM1	MIOTRM0

MIOTRM 7	MIOTRM 6	MIOTRM 5	MIOTRM 4	MIOTRM 3	MIOTRM 2	MIOTRM 1	MIOTRM 0	中速オンチップ・オシレータ
0	0	0	0	0	0	0	0	最低速
0	0	0	0	0	0	0	1	↑
1	0	0	0	1	1	1	1	
1	0	0	1	0	0	0	0	初期値
1	0	0	1	0	0	0	1	
1	1	1	1	1	1	1	0	↓
1	1	1	1	1	1	1	1	最高速

備考　中速オンチップ・オシレータ・クロック補正分解能は、**第34章　電気的特性**を参照してください。

6.3.14　低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM）

LIOTRM レジスタは、低速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット、32 ビット・インターバル・タイマ）を使用するなどして低速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

LIOTRM レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、80H になります。

注意　精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。
温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図6 - 16　低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM）のフォーマット

アドレス　：F0213H
リセット時：80H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
LIOTRM	LIOTRM7	LIOTRM6	LIOTRM5	LIOTRM4	LIOTRM3	LIOTRM2	LIOTRM1	LIOTRM0

LIOTRM7	LIOTRM6	LIOTRM5	LIOTRM4	LIOTRM3	LIOTRM2	LIOTRM1	LIOTRM0	低速オンチップ・オシレータ
0	0	0	0	0	0	0	0	最低速
0	0	0	0	0	0	0	1	↑
0	1	1	1	1	1	1	1	
1	0	0	0	0	0	0	0	初期値
1	0	0	0	0	0	0	1	↓
1	1	1	1	1	1	1	0	
1	1	1	1	1	1	1	1	最高速

備考　低速オンチップ・オシレータ・クロック補正分解能は、**第34章　電気的特性**を参照してください。

6.3.15　スタンバイ・モード解除設定レジスタ（WKUPMD）

WKUPMD レジスタは、スタンバイ・モード解除時の動作を設定するレジスタです。
WKUPMD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図6 - 17　スタンバイ・モード解除設定レジスタ（WKUPMD）のフォーマット

アドレス　: F0215H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP

FWKUP	STOPモード解除およびSNOOZEモード遷移時の高速オンチップ・オシレータ起動設定注1, 2
0	通常起動注3
1	高速起動注3

注1.　CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。

注2.　リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。

注3.　各起動時間については、**第20章　スタンバイ機能**を参照してください。
なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第34章　電気的特性**を参照してください。

6.4　システム・クロック発振回路

6.4.1　X1発振回路

X1 発振回路は X1, X2 端子に接続された水晶振動子またはセラミック発振子（1 ～ 20 MHz）によって発振します。

また、外部クロックを入力することができます。その場合は EXCLK 端子にクロック信号を入力してください。

X1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）の EXCLK, OSCSEL ビットを次のように設定してください。

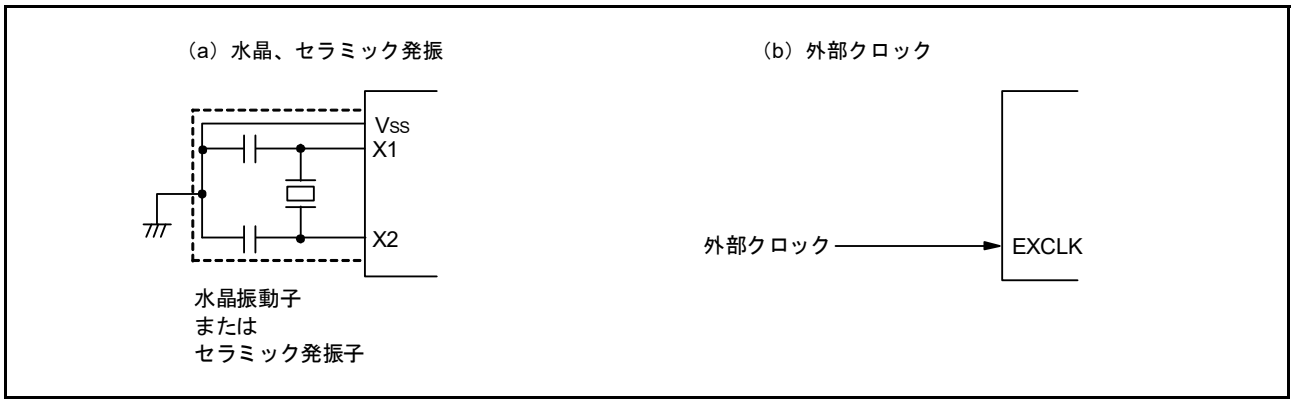
- 水晶、セラミック発振：EXCLK, OSCSEL = 01B
- 外部クロック入力　　：EXCLK, OSCSEL = 11B

X1 発振回路を使用しない場合は、ポート・モード（EXCLK, OSCSEL = 00B）に設定してください。

さらに、ポートとしても使用しない場合は、**表 2 - 2　各端子の未使用端子処理**を参照してください。

図 6 - 18 に X1 発振回路の外付け回路例を示します。

図6 - 18　X1発振回路の外付け回路例



注意　配線容量などの影響を避けるために、図6 - 18の破線の部分を次のように配線してください。

- **配線は極力短くしてください。**
- **ほかの信号線と交差させない、変化する大電流が流れる線と接近させないでください。**
- **発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。**
- **発振回路から信号を取り出さないでください。**

6.4.2 XT1発振回路

XT1 発振回路は XT1, XT2 端子に接続された水晶振動子（32.768 kHz (Typ.)）によって発振します。

XT1 発振回路を使用する場合、クロック動作モード制御レジスタ（CMC）の OSCSELS ビットに 1 を設定してください。

また、外部クロックを入力することができます。その場合は EXCLKS 端子にクロック信号を入力してください。XT1 発振回路を使用する場合、CMC レジスタの EXCLKS, OSCSELS ビットを次のように設定してください。

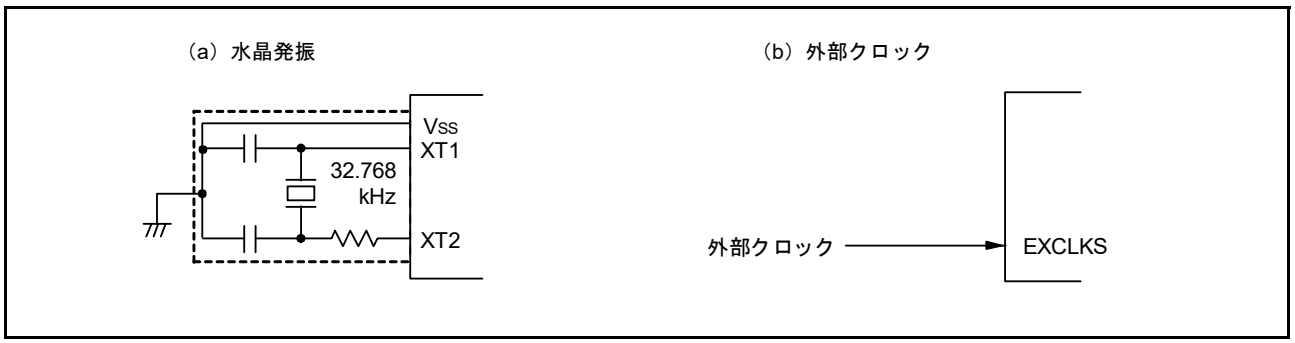
- 水晶発振　　：EXCLKS, OSCSELS = 01B
- 外部クロック入力：EXCLKS, OSCSELS = 11B

XT1 発振回路を使用しない場合は、入力ポート・モード（EXCLKS, OSCSELS = 00B）に設定してください。

XT1 発振回路を使用せず、入力ポートとしても使用しない場合は、**表 2 - 2　各端子の未使用端子処理**を参照してください。

図 6 - 19 に XT1 発振回路の外付け回路例を示します。

図6 - 19　XT1発振回路の外付け回路例



注意1. 配線容量などの影響を避けるために、図6 - 19の破線の部分を次のように配線してください。

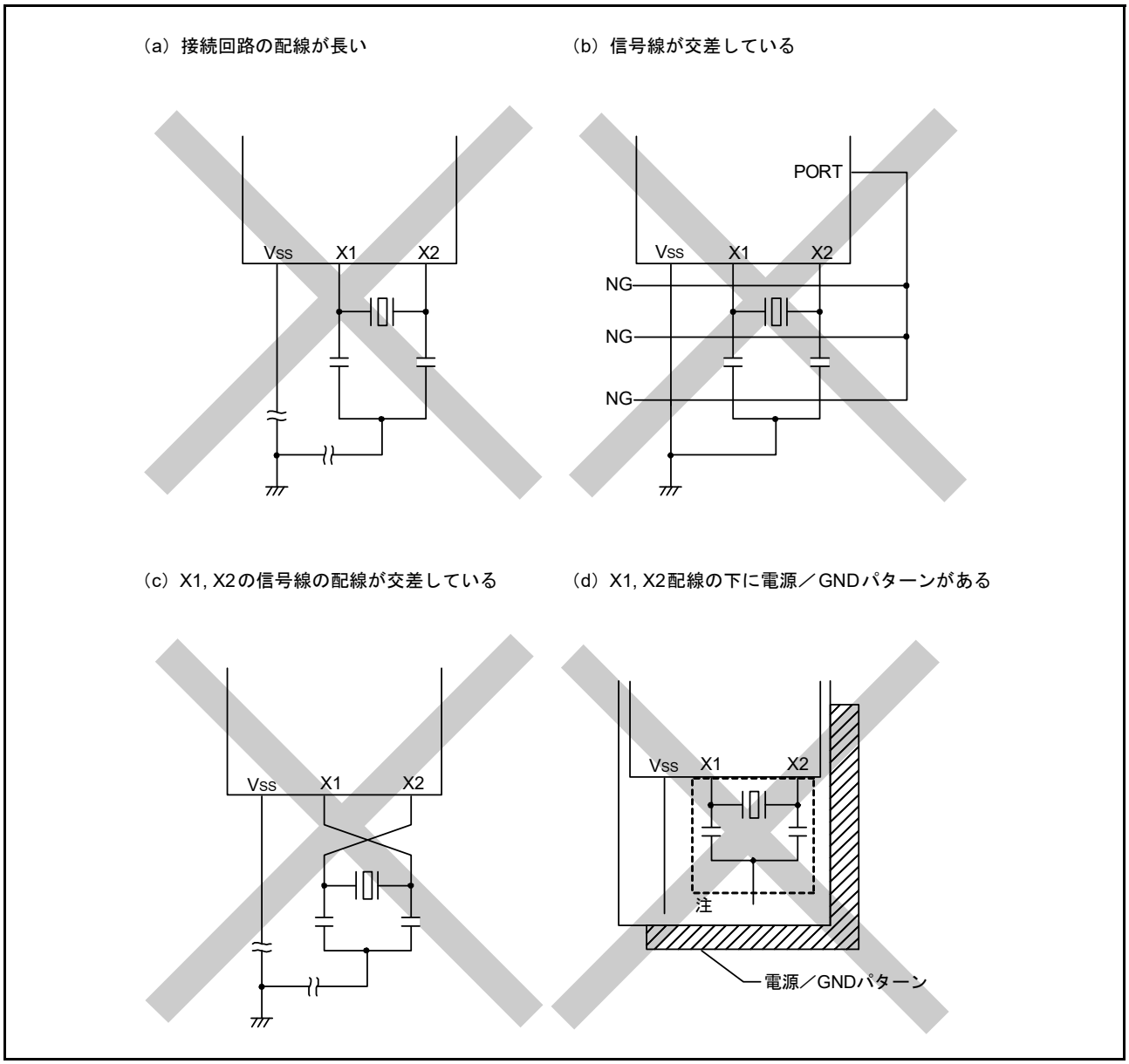
- **配線は極力短くしてください。**
- **ほかの信号線と交差させない、変化する大電流が流れる線と接近させないでください。**
- **発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。**
- **発振回路から信号を取り出さないでください。**

注意2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- **端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。**
- **XT1発振回路のモードを低消費発振2（AMPHS1, AMPHS0 = 10B）または低消費発振3（AMPHS1, AMPHS0 = 11B）で使用する場合は、6.7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。**
- **XT1, XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に低消費発振2（AMPHS1, AMPHS0 = 10B）または低消費発振3（AMPHS1, AMPHS0 = 11B）を選択している場合はご注意ください。**
- **回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。**
- **XT1発振回路の周辺には、できるかぎりVssと同電位のグランド・パターンを配置してください。**
- **XT1, XT2端子と発振子の信号線はほかの信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。**
- **高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。**
- **回路基板上をコーティングする場合は、XT1, XT2端子間に容量やリークが生じない材料をご使用ください。**

図 6 - 20 に発振子の接続の悪い例を示します。

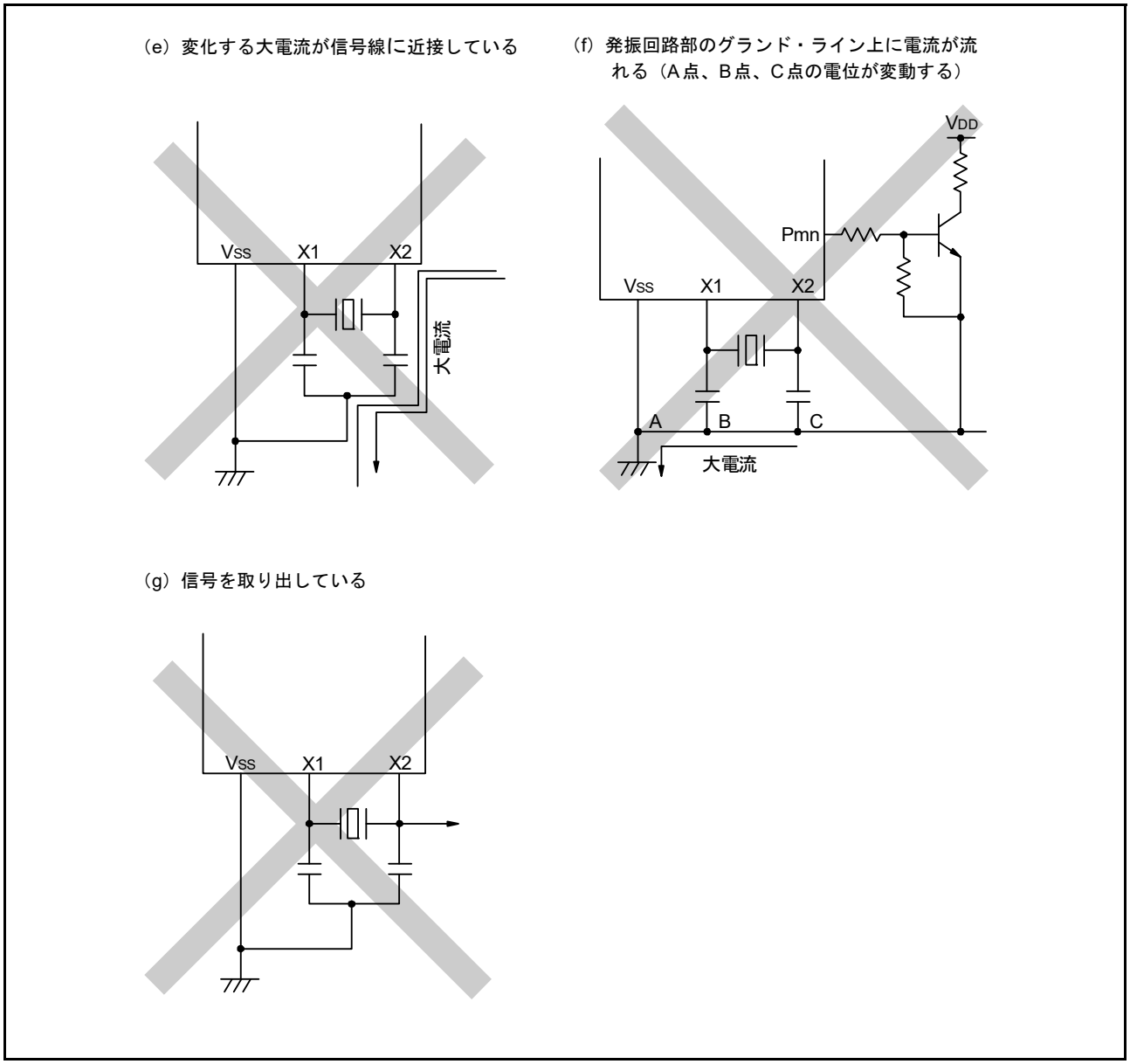
図6 - 20　発振子の接続の悪い例 (1/2)



注　多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源／GNDパターンを配置しないでください。
容量成分の原因となり、発振特性に影響を与える配置はしないでください。

備考　サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図6 - 20　発振子の接続の悪い例 (2/2)



注意　**X2とX1が平行に配線されている場合、X2のクロストーク・ノイズがX1に相乗し誤動作を引き起こすことがあります。**

備考　サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

6.4.3 高速オンチップ・オシレータ

本製品は、高速オンチップ・オシレータを内蔵しています。ユーザ・オプション・バイト（000C2H）により 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から周波数を選択することが可能です。クロック動作ステータス制御レジスタ（CSC）の HIOSTOP ビットにて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

6.4.4 中速オンチップ・オシレータ

本製品は、中速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ（CSC）の MIOEN ビットにて発振を制御できます。

6.4.5 低速オンチップ・オシレータ

本製品は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータは、以下のいずれかの条件で動作します。

- ウォッチドッグ・タイマが動作
- サブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビット、またはサブシステム・クロック選択レジスタ（CKSEL）のSELLOSCビットのいずれか、または両ビットが1
- SNOOZEモード・シーケンサのウエイト処理でウエイトのソース・クロックにf_{IL}を選択

ウォッチドッグ・タイマ停止時、WUTMMCK0 = 0 かつ SELLOSC = 0 のとき、低速オンチップ・オシレータは停止します。

6.5 クロック発生回路の動作

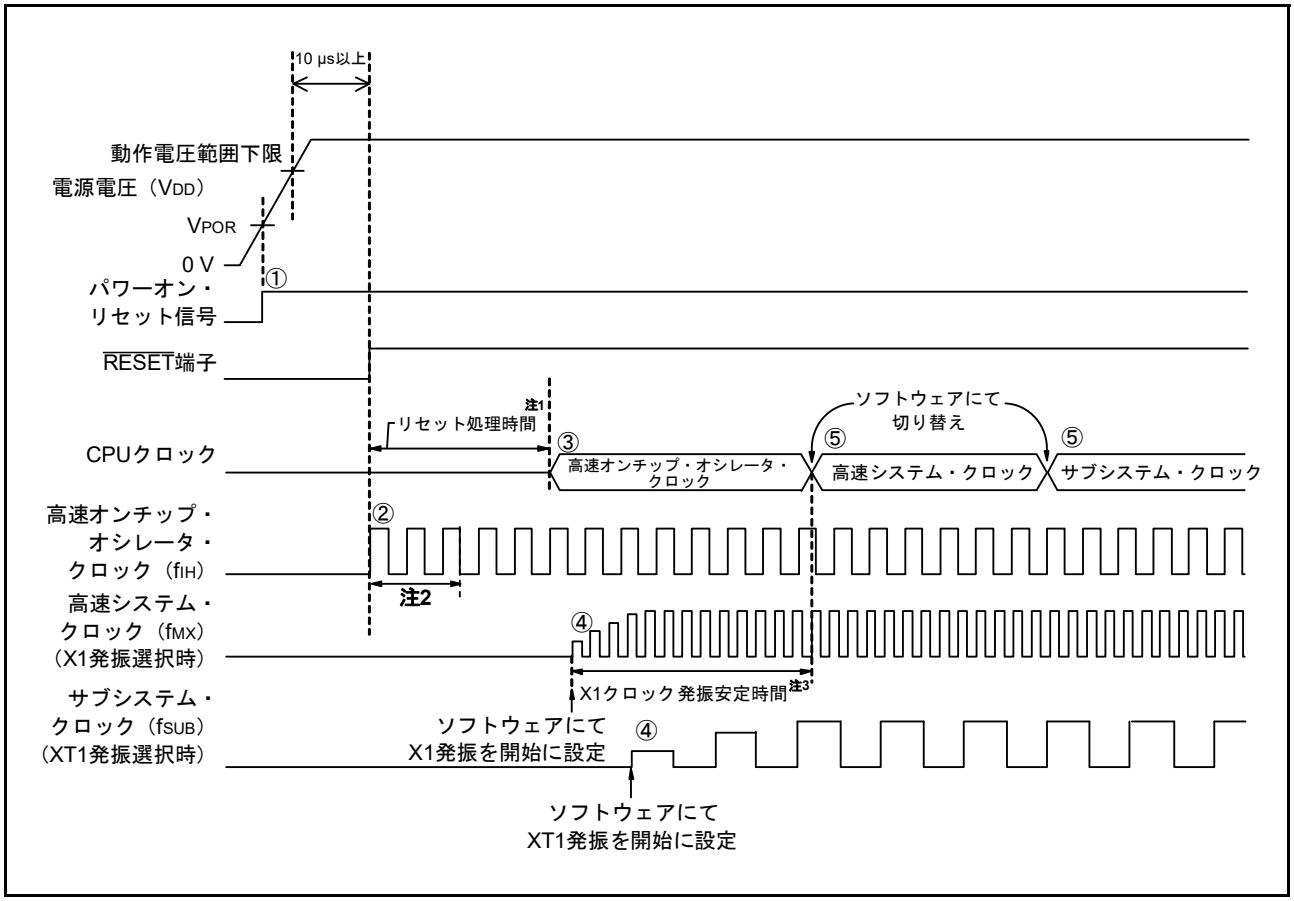
クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどの CPU の動作モードを制御します（**図 6 - 1　クロック発生回路のブロック図**参照）。

- メイン・システム・クロック（f_{MAIN}）
  - 高速システム・クロック（f_{MX}）
    X1クロック（f_X）
    外部メイン・システム・クロック（f_{EX}）
  - 高速オンチップ・オシレータ・クロック（f_{IH}）
  - 中速オンチップ・オシレータ・クロック（f_{IM}）
- サブシステム・クロック（f_{SUB}）
  - XT1 クロック（f_{XT}）
  - 外部サブシステム・クロック（f_{EXS}）
  - 低速オンチップ・オシレータ・クロック（f_{IL}）
- CPU／周辺ハードウェア・クロック（f_{CLK}）
- サブシステム・クロックX（f_{SX}）
- 周辺用クロック
  - 高速オンチップ・オシレータ周辺クロック（f_{IHP}）
  - 中速オンチップ・オシレータ周辺クロック（f_{IMP}）
  - 高速周辺クロック（f_{MXP}）
  - 低速周辺クロック（f_{SXP}）
  - サブシステム・クロック XR（f_{SXR}）

本製品では、リセット解除後、CPU は高速オンチップ・オシレータの出力により動作を開始します。

図 6 - 21 に電源電圧投入時のクロック発生回路の動作を示します。

図6 - 21　電源電圧投入時のクロック発生回路の動作



① 電源投入後、パワーオン・リセット回路による内部リセット信号が発生します。ただし、**34.4　AC 特性**に示す動作電圧範囲に達するまで、電圧検出回路か外部リセットでリセット状態を保ちます（上図は、外部リセット使用時の例）。

② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作を開始します。

④ X1 クロックまたは XT1 クロックは、ソフトウェアにて発振開始を設定してください（**6.6.2　X1 発振回路の設定例**または **6.6.3　XT1 発振回路の設定例**参照）。

⑤ CPU を X1 クロックまたは XT1 クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください（**6.6.2　X1 発振回路の設定例**または **6.6.3　XT1 発振回路の設定例**参照）。

注1.　リセット処理時間は、**第22章　パワーオン・リセット回路（POR）**を参照してください。

注2.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注3.　リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

注意　EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

6.6 クロックの制御

6.6.1 高速オンチップ・オシレータの設定例

CPU ／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、ユーザ・オプション・バイト（000C2H）の FRQSEL3-FRQSEL0 ビットにより、32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により、周波数を変更することもできます。

【ユーザ・オプション・バイト設定】

アドレス　：000C2H

	7	6	5	4	3	2	1	0
ユーザ・オプション・バイト（000C2H）	CMODE1 0/1	CMODE0 0/1	1	0	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス　：F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択	
			FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f_{IH} = 24 MHz	f_{IH} = 32 MHz
0	0	1	f_{IH} = 12 MHz	f_{IH} = 16 MHz
0	1	0	f_{IH} = 6 MHz	f_{IH} = 8 MHz
0	1	1	f_{IH} = 3 MHz	f_{IH} = 4 MHz
1	0	0	設定禁止	f_{IH} = 2 MHz
1	0	1	設定禁止	f_{IH} = 1 MHz
上記以外			設定禁止	

6.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1 発振クロックに変更する場合、発振安定時間選択レジスタ（OSTS）、クロック動作モード制御レジスタ（CMC）、クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ（CKC）で X1 発振クロックを f_{CLK} に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMC レジスタの OSCSEL ビットを 1 にセット、fx ＞ 10 MHz の場合は AMPH ビットを 1 にセットして X1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	EXCLKS 0	OSCSELS 0	XTSEL 0	AMPHS1 0	AMPHS0 0	AMPH 0/1

② OSTS レジスタで STOP モード解除時の X1 発振回路の発振安定時間を選択しておきます。
例）10 MHzの発振子で102 μs以上までウエイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

③ CSC レジスタの MSTOP ビットを 0 にクリアして X1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 1	0	0	0	0	MIOEN 0	HIOSTOP 0

④ OSTC レジスタで X1 発振回路の発振安定待ちを行います。
例）10 MHzの発振子で102 μs以上までウエイトする場合は、以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

⑤ CKC レジスタの MCM0 ビットで X1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	MCS1 0	MCM1 0

注意　システム・クロック制御レジスタ（CKC）でメイン・システム・クロック（f_{MAIN}）を変更する場合は、クロックの変更前、変更後ともにユーザ・オプション・バイト（000C2H）およびフラッシュ動作モード選択レジスタ（FLMODE）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。FLMODE レジスタについては、5.2.1　フラッシュ動作モード選択レジスタ（FLMODE）を参照してください。

6.6.3 XT1発振回路の設定例

CPU ／周辺ハードウェア・クロック（fCLK）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ（OSMC）、クロック動作モード制御レジスタ（CMC）、クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ（CKC）で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロックのみサブシステム・クロックで動作（超低消費電流）させる場合は RTCLPC ビットに 1 を設定してください。

★

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	×	×	0	HIPREC 1

② CMC レジスタの OSCSELS ビットを 1 にセットして XT1 発振回路を動作させます。16 ～ 36 ピン製品では XTSEL も 1 にセットしてください。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	XTSEL 0/1	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS1, AMPHS0 ビット：XT1 発振回路の発振モードを設定します。

③ CSC レジスタの XTSTOP ビットを 0 にクリアして XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	MIOEN 0	HIOSTOP 0

④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウエイトしてください。

⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU ／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	MCS1 0	MCM1 0

備考　×：不定

6.6.4 CPUクロック状態移行図

図 6 - 22 に CPU クロック状態移行図を示します。

図6 - 22　CPUクロック状態移行図

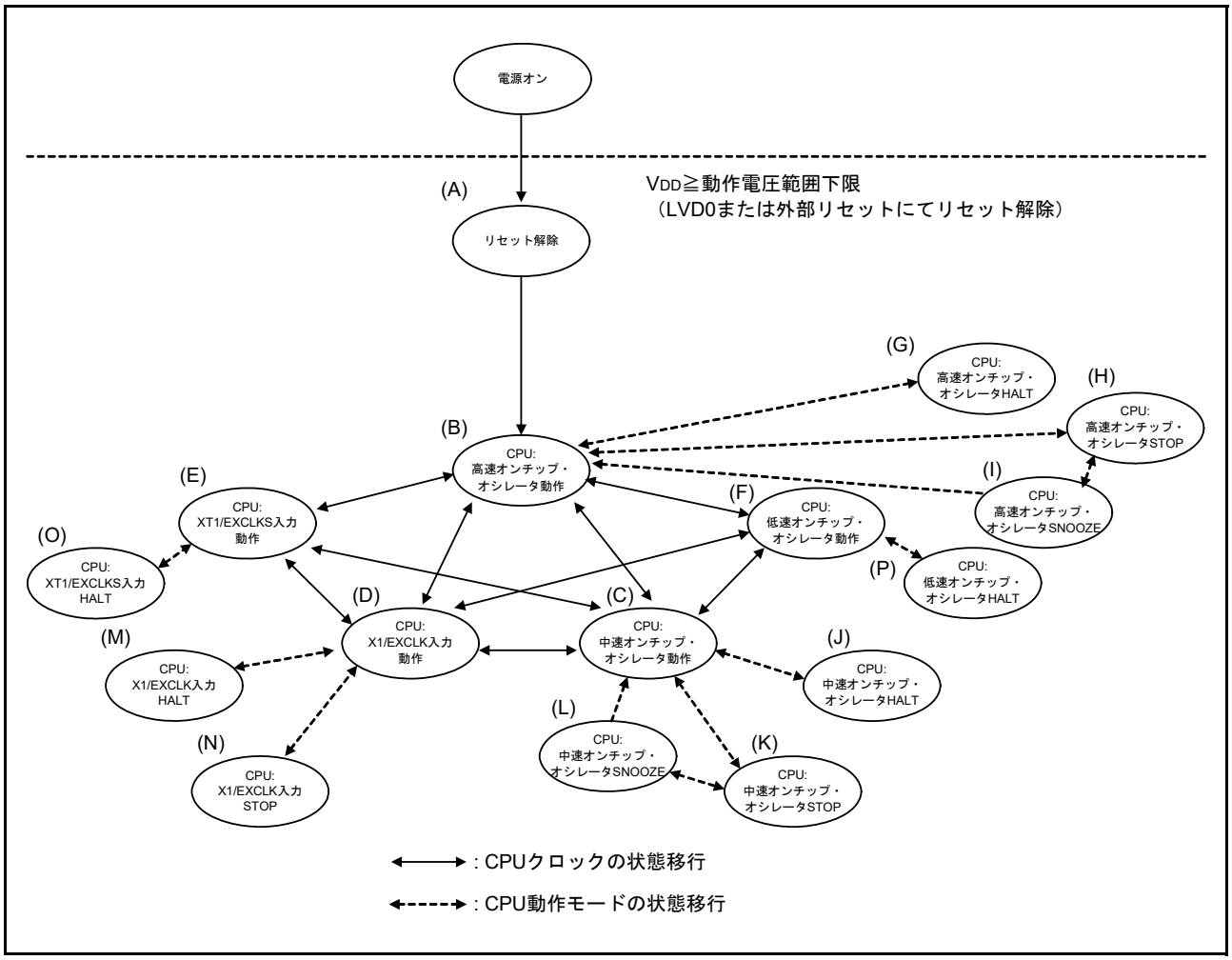


表 6 - 2 に CPU クロックの状態移行とレジスタの設定例などを示します。

表6 - 2　　CPUクロックの移行とSFRの設定例 (1/3)

(1)　リセット解除後(A)に、CPUを高速オンチップ・オシレータ・クロック動作(B)へ移行
対象状態遷移：(A)→(B)

移行先のクロック	SFRの設定
高速オンチップ・オシレータ	SFR設定不要（リセット解除後の初期状態）

(2)　高速オンチップ・オシレータ・クロック動作(B)へ移行
対象状態遷移：(C)→(B), (D)→(B), (E)→(B), (F)→(B)

（SFRの設定順序）→

SFRの設定 ＼ 移行先のクロック	CSC レジスタ	発振安定待ち	CKC レジスタ		
	HIOSTOP		CSS	MCM0	MCM1
高速オンチップ・オシレータ	0	5 μs	0	0	0

高速オンチップ・オシレータ・
クロック動作中の場合は不要

(3)　中速オンチップ・オシレータ・クロック動作(C)へ移行
対象状態遷移：(B)→(C), (D)→(C), (E)→(C), (F)→(C)

（SFRの設定順序）→

SFRの設定 ＼ 移行先のクロック	CSC レジスタ	発振安定待ち	CKC レジスタ		
	MIOEN		CSS	MCM0	MCM1
中速オンチップ・オシレータ	1	1 μs	0	0	1

中速オンチップ・オシレータ・
クロック動作中の場合は不要

備考　**表6 - 2**の(A) – (P)は、**図6 - 22　CPUクロック状態移行図**の(A) – (P)と対応しています。

表6 - 2　CPUクロックの移行とSFRの設定例 (2/3)

(4) CPUを高速システム・クロック動作(D)へ移行

対象状態遷移：(B)→(D), (C)→(D), (E)→(D)注1, (F)→(D)

（SFRの設定順序）→

SFRの設定 / 移行先のクロック	CMCレジスタ注2			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ	
	EXCLK	OSCSEL	AMPH		MSTOP		CSS	MCM0
X1クロックに移行：1 MHz≦fx≦10 MHz	0	1	0	注3	0	確認必要	0	1
X1クロックに移行：10 MHz＜fx≦20 MHz	0	1	1	注3	0	確認必要	0	1
外部メイン・クロックに移行	1	1	×	注3	0	確認不要	0	1
	設定済みの場合は不要			高速システム・クロック動作中の場合は不要				

注1. 16～36ピン製品は非対応です。

注2. クロック動作モード制御レジスタ（CMC）は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。
16～36ピン製品ではXTSEL = 0に設定してください。

注3. 発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。
- 期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第34章　電気的特性参照）に電源電圧が達してから、クロックを設定してください。

(5) CPUをサブシステム・クロック動作(E)へ移行

対象状態遷移：(B)→(E), (C)→(E), (D)→(E)注1

（SFRの設定順序）→

SFRの設定 / 移行先のクロック	CMCレジスタ注2				CSCレジスタ	発振安定待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
XT1クロックに移行	0	1	0/1	0/1	0	必要	1
★ 外部サブシステム・クロックに移行	1	1	×	×	0	必要	1
	設定済みの場合は不要				サブシステム・クロック動作中の場合は不要		

注1. 16～36ピン製品は非対応です。

注2. クロック動作モード制御レジスタ（CMC）は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
16～36ピン製品ではXTSEL = 1に設定してください。

備考1. ×：Don't care

備考2. **表6 - 2**の(A) – (P)は、**図6 - 22　CPUクロック状態移行図**の(A) – (P)と対応しています。

表6 - 2　　CPUクロックの移行とSFRの設定例 (3/3)

(6)　低速オンチップ・オシレータ・クロック動作(F)へ移行
対象状態遷移：(B)→(F), (C)→(F), (D)→(F)

（SFRの設定順序）→

SFRの設定 / 移行先のクロック	CKSEL	発振精度安定待ち	CKCレジスタ
	SELLOSC		CSS
低速オンチップ・オシレータに移行	1	80 μs	1

低速オンチップ・
オシレータ・クロック
動作中の場合は不要

(7)　CPU動作モード(B), (C), (D), (E), (F)からHALTモード(G), (J), (M), (O), (P)へ移行
対象状態遷移：(B)→(G), (C)→(J), (D)→(M), (E)→(O), (F)→(P)

移行先のモード	設定内容
HALTモード	HALT命令を実行する

(8)　CPU動作モード(B), (C), (D)からSTOPモード(H), (K), (N)へ移行
対象状態遷移：(B)→(H), (C)→(K), (D)→(N)

（設定順序）→

移行先のモード	設定内容			
STOPモード	STOPモード中に動作できない周辺機能を停止する	OSTSレジスタを設定する	HIPREC = 1であることを確認	STOP命令を実行する

STOPまたはSNOOZEモード解除時
- 高速オンチップ・オシレータを通常起動する場合はFWKUP = 0
- 高速オンチップ・オシレータを高速起動する場合はFWKUP = 1

CPUが高速オンチップ・オシレータ動作中からSTOPモードに移行する場合のみ、設定が必要

CPUが高速システム・クロック動作中からSTOPモードに移行する場合のみ、設定が必要

高速オンチップ・オシレータを高速起動する場合以外は設定不要

(9)　STOPモード(H), (K)とSNOOZEモード(I), (L)の移行
STOPモードからSNOOZEモードへ移行するための設定の詳細については、**第20章　スタンバイ機能**および各周辺のSNOOZEモード機能を参照してください。

備考　**表6 - 2**の(A) – (P)は、**図6 - 22　CPUクロック状態移行図**の(A) – (P)と対応しています。

6.6.5 CPUクロックの移行前の条件と移行後の処理

CPU クロックの移行前の条件と移行後の処理について、**表 6 - 3** に示します。

表6 - 3 CPUクロックの移行について (1/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	CPUクロックが移行後のクロックに切り替わったことを確認したあと、高速オンチップ・オシレータを停止（HIOSTOP = 1）すると、動作電流を低減可能。
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0注1 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0注1	
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0, XTSEL = 1注1 • 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0, XTSEL = 1注1	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	

表6 - 3　　CPUクロックの移行について (2/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
中速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること • HIOSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、中速オンチップ・オシレータを停止（MIOEN = 0）すると、動作電流を低減可能
	X1クロック	X1発振が安定していること • OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0注1 • 発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること • OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0注1	
	XT1クロック	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0, XTSEL = 1注1 • 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0, XTSEL = 1注1	
	低速オンチップ・オシレータ・クロック	低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	

表6 - 3　　CPUクロックの移行について (3/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能（MSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	
	外部メイン・システム・クロック	移行不可	—
	XT1クロック注2	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、X1発振停止可能（MSTOP = 1）
	外部サブシステム・クロック注2	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 • SELLOSC = 1	
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること • HIOSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振されていること • MIOEN = 1	
	X1クロック	移行不可	—
	XT1クロック注2	XT1発振が安定していること • OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 • 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	外部サブシステム・クロック注2	EXCLKS端子からの外部クロック入力を有効にすること • OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	低速オンチップ・オシレータ・クロック	XT1が発振していないこと。 低速オンチップ・オシレータが選択されていること。 SELLOSC = 1	

表6 - 3　　CPUクロックの移行について (4/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、XT1発振停止に設定可能 （XTSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック注2	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック注2	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	外部サブシステム・クロック	移行不可	—
	低速オンチップ・オシレータ・クロック		

表6 - 3　　CPUクロックの移行について (5/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	CPUクロックが移行後のクロックに切り替わったことを確認したあと、外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック注2	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック注2	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0 • MCS = 1	
	XT1クロック	移行不可	—
	低速オンチップ・オシレータ・クロック		

表6 - 3　　CPUクロックの移行について (6/6)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
低速オンチップ・オシレータ・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること • HIOSTOP = 0, MCS = 0, MCS1 = 0	—
	中速オンチップ・オシレータ・クロック	中速オンチップ・オシレータが発振され、メイン・システム・クロックに中速オンチップ・オシレータ・クロックが選択されていること • MIOEN = 1, MCS = 0, MCS1 = 1	
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 0, MSTOP = 0, XTSEL = 0注1 • 発振安定時間経過後 • MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること • OSCSEL = 1, EXCLK = 1, MSTOP = 0, XTSEL = 0注1 • MCS = 1	
	XT1クロック	移行不可	
	外部サブシステム・クロック		

注1.　16～36ピン製品のみ

注2.　40～48ピン製品のみ移行可能

6.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）の CSS, MCM0, MCM1 ビットの設定により、CPU クロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）、メイン・システム・クロックの切り替え（オンチップ・オシレータ・クロック⇔高速システム・クロック）、オンチップ・オシレータ・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔中速オンチップ・オシレータ・クロック）をすることができます。

実際の切り替え動作は、CKC レジスタを書き換えた直後ではなく、CKC レジスタを変更したのち、数クロックは切り替え前のクロックで動作します（**表 6 - 4 ～表 6 - 7** 参照）。

CPU クロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKC レジスタの CLS ビットで判定できます。メイン・システム・クロックが高速システム・クロックで動作しているか、メイン・オンチップ・オシレータ・クロックで動作しているかは、CKC レジスタの MCS ビットで判定できます。メイン・オンチップ・オシレータ・クロックが高速オンチップ・オシレータ・クロックで動作しているか、中速オンチップ・オシレータで動作しているかは、CKC レジスタの MCS1 ビットで判定できます。

CPU クロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表6 - 4　メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{OCO}	←→	f_{MX}	**表6 - 5**参照
f_{IH}	←→	f_{IM}	**表6 - 6**参照
f_{MAIN}	←→	f_{SUB}	**表6 - 7**参照

表6 - 5　f_{OCO}⇔f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f_{MAIN} = f_{OCO})	1 (f_{MAIN} = f_{MX})
0 (f_{MAIN} = f_{OCO})	f_{MX} ≧ f_{OCO}		2クロック
	f_{MX} ＜ f_{OCO}		2 f_{OCO}/f_{MX}クロック
1 (f_{MAIN} = f_{MX})	f_{MX} ≧ f_{OCO}	2 f_{MX}/f_{OCO}クロック	
	f_{MX} ＜ f_{OCO}	2クロック	

表6 - 6　f_{IH}⇔f_{IM}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM1		MCM1	
		0 (f_{OCO} = f_{IH})	1 (f_{OCO} = f_{IM})
0 (f_{OCO} = f_{IH})	f_{IM} ≧ f_{IH}		2クロック
	f_{IM} ＜ f_{IH}		2 f_{IH}/f_{IM}クロック
1 (f_{OCO} = f_{IM})	f_{IM} ≧ f_{IH}	2 f_{IM}/f_{IH}クロック	
	f_{IM} ＜ f_{IH}	2クロック	

表6 - 7　　f_{MAIN}⇔f_{SUB}で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 (f_{CLK} = f_{MAIN})	1 (f_{CLK} = f_{SUB})
0 (f_{CLK} = f_{MAIN})		1 + 2 f_{MAIN}/f_{SUB}クロック
1 (f_{CLK} = f_{SUB})	3クロック	

備考1. **表6 - 5～表6 - 7**のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. **表6 - 5～表6 - 7**のクロック数は、小数点以下を切り上げてください。

（例） メイン・システム・クロックを高速オンチップ・オシレータ・クロック（8 MHz選択時）から高速システム・クロックに切り替える場合（f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時）

1 + f_{IH}/f_{MX} = 1 + 8/10 = 1 + 0.8 = 1.8 → 2クロック

6.6.7 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。
クロックを停止する場合は、クロック停止前条件を確認したあとに停止してください。

表6 - 8 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRのフラグ設定
高速オンチップ・オシレータ・クロック	MCS1 = 1またはMCS = 1またはCLS = 1 （CPUクロックが高速オンチップ・オシレータ・クロック以外で動作）	HIOSTOP = 1
中速オンチップ・オシレータ・クロック	MCS1 = 0またはMCS = 1またはCLS = 1 （CPUクロックが中速オンチップ・オシレータ・クロック以外で動作）	MIOEN = 0
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 （CPUクロックが高速システム・クロック以外で動作）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 （CPUクロックがサブシステム・クロック以外で動作）	XTSTOP = 1
低速オンチップ・オシレータ・クロック注	CLS = 0 （CPUクロックが低速オンチップ・オシレータ・クロック以外で動作）	SELLOSC = 0 WUTMMCK0 = 0

注 WDTが動作している場合またはSNOOZEモード・シーケンサのウエイト処理でウエイトのソース・クロックにf_{IL}を選択している場合は停止しません。

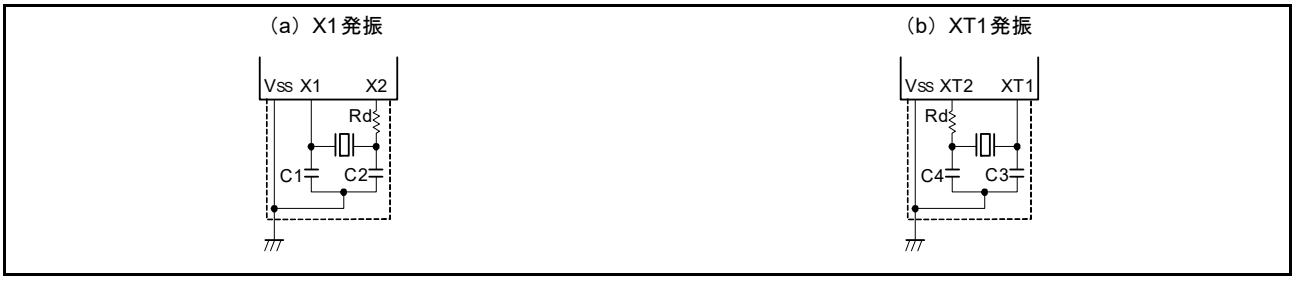
6.7　発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数（参考）は、当社ホームページの対象製品ページを参照してください。

注意1. この発振回路定数は、発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカに依頼してください。
また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。本製品の内部動作条件については、DC, AC特性の規格内で使用してください。

図6 - 23　外付け回路例



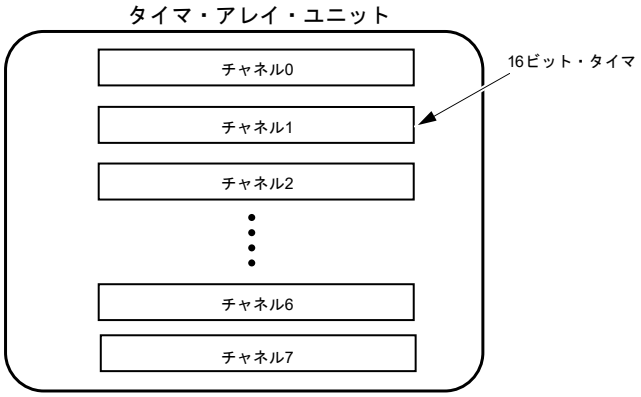
第7章　タイマ・アレイ・ユニット（TAU）

本製品は、タイマ・アレイ・ユニットを 1 ユニット、8 チャネル搭載しています。

タイマ入出力端子の有無は製品によって異なります。詳細は、**表 7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。本章では、以降の主な説明を 48 ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは 8 個の 16 ビット・タイマを搭載しています。

各 16 ビット・タイマは「チャネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照してください。

単独チャネル動作機能	複数チャネル連動動作機能
• インターバル・タイマ（→**7.8.1**参照） • 方形波出力（→**7.8.1**参照） • 外部イベント・カウンタ（→**7.8.2**参照） • 分周器**注**（→**7.8.3**参照） • 入力パルス間隔測定（→**7.8.4**参照） • 入力信号のロウ・レベル幅／ハイ・レベル幅測定（→**7.8.5**参照） • ディレイ・カウンタ（→**7.8.6**参照）	• ワンショット・パルス出力（→**7.9.1**参照） • PWM出力（→**7.9.2**参照） • 多重PWM出力（→**7.9.3**参照）

注　チャネル0のみ

チャネル 1, 3 の 16 ビット・タイマを 2 つの 8 ビット・タイマ（上位／下位）として使用することもできます。チャネル 1, 3 が 8 ビット・タイマとして使用できる機能は、次の機能です。

- インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
- 外部イベント・カウンタ（下位8ビット・タイマのみ）
- ディレイ・カウンタ（下位8ビット・タイマのみ）

また、チャネル 7 は、シリアル・アレイ・ユニットの UART2 と連携し、LIN-bus 通信動作を実現することができます。

7.1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには、次のような機能があります。

7.1.1　単独チャネル動作機能

単独チャネル動作機能は、ほかのチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

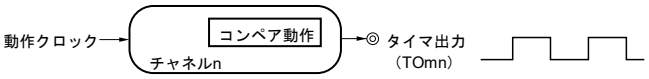
単独チャネル動作機能は、次に示す 7 種類のモードがあります。

(1) インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

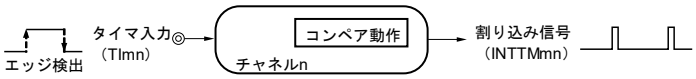
(2) 方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子（TOmn）より出力します。



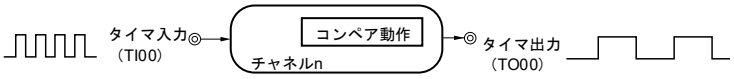
(3) 外部イベント・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジをカウントし、規定回数に達すると割り込みを発生するイベント・カウンタとして利用できます。



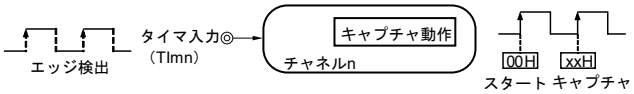
(4) 分周器機能（チャネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを分周して出力端子（TO00）より出力します。



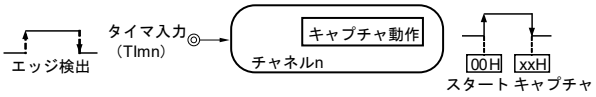
(5) 入力パルス間隔測定

タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



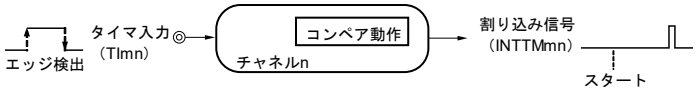
(6) 入力信号のロウ・レベル幅／ハイ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のロウ・レベル幅／ハイ・レベル幅を測定します。



(7) ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし、任意のディレイ期間後、割り込みを発生します。



備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

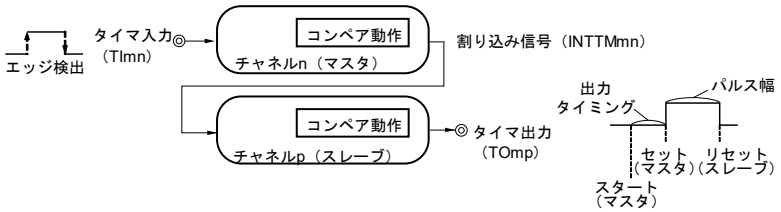
備考2. チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。

7.1.2 複数チャネル連動動作機能

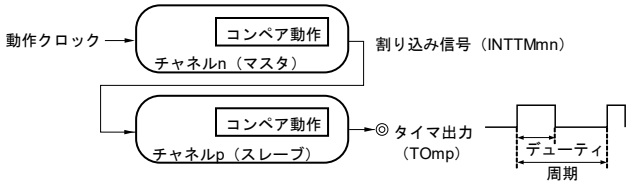
複数チャネル連動動作機能は、マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合わせて実現する機能です。

複数チャネル連動動作機能は、次に示す 3 種類のモードがあります。

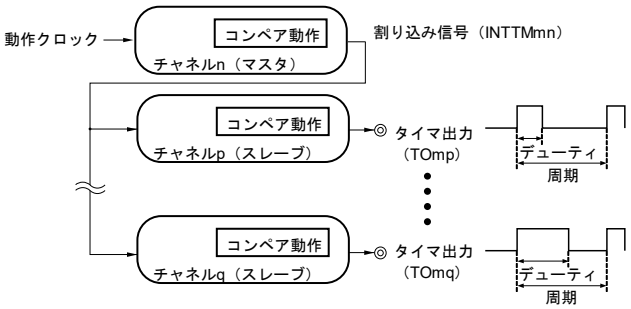
(1) ワンショット・パルス出力
2チャネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



(2) PWM（Pulse Width Modulation）出力
2チャネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM（Pulse Width Modulation）出力
PWM機能を拡張し、1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで、周期一定で、任意のデューティのPWM信号を最大7種類生成することができます。



注意　複数チャネル連動動作機能のルールの詳細については、7.4.1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）、
p, q：スレーブ・チャネル番号（n＜p＜q≦7）

7.1.3　8ビット・タイマ動作機能（チャネル1, 3のみ）

8 ビット・タイマ動作機能は、16 ビット・タイマのチャネルを 8 ビット・タイマの 2 チャネル構成として使用する機能です。チャネル 1, 3 のみが使用できます。

注意　8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。
詳細は、7.4.2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）を参照してください。

7.1.4　LIN-bus対応機能（チャネル7のみ）

LIN-bus 通信機能において、受信信号が LIN-bus の通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出
UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出
ウェイクアップ信号検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定
ブレーク・フィールド検出後、UART2のシリアル・データ入力端子（RxD2）に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考　LIN-bus対応機能の動作設定については、**7.3.15　入力切り替え制御レジスタ（ISC）**および**7.8.5　入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作**を参照してください。

7.2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表7 - 1　タイマ・アレイ・ユニットの構成

項目	構成
タイマ／カウンタ	タイマ・カウンタ・レジスタmn（TCRmn）
レジスタ	タイマ・データ・レジスタmn（TDRmn）
タイマ入力	TI00-TI07注1、RxD2端子（LIN-bus用）
タイマ出力	TO00-TO07注1、出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ • 周辺イネーブル・レジスタ0（PER0） • 周辺リセット制御レジスタ0（PRR0） • タイマ・クロック選択レジスタm（TPSm） • タイマ・チャネル許可ステータス・レジスタm（TEm） • タイマ・チャネル開始レジスタm（TSm） • タイマ・チャネル停止レジスタm（TTm） • タイマ入力選択レジスタ0（TIS0） • タイマ入力選択レジスタ1（TIS1） • タイマ出力許可レジスタm（TOEm） • タイマ出力レジスタm（TOm） • タイマ出力レベル・レジスタm（TOLm） • タイマ出力モード・レジスタm（TOMm）
	＜各チャネル部のレジスタ＞ • タイマ・モード・レジスタmn（TMRmn） • タイマ・ステータス・レジスタmn（TSRmn） • 入力切り替え制御レジスタ（ISC） • ノイズ・フィルタ許可レジスタ1（NFEN1） • ポート・モード・レジスタ（PMxx）注2 • ポート・レジスタ（Pxx）注2 • ポート出力モード・レジスタ（POMxx）注2 • ポート・モード・コントロールA・レジスタ（PMCAxx）注2 • ポート・モード・コントロールT・レジスタ（PMCTxx）注2

注1.　チャネル0～チャネル7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。

注2.　製品によって設定するポート・モード・レジスタ（PMxx）、ポート・レジスタ（Pxx）、ポート出力モード・レジスタ（POMxx）、ポート・モード・コントロールA・レジスタ（PMCAxx）、ポート・モード・コントロールT・レジスタ（PMCTxx）が異なります。詳細は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

タイマ・アレイ・ユニットの各チャネルのタイマ入出力端子の有無は、製品によって異なります。

表7 - 2　　各製品に搭載しているタイマ入出力端子

タイマ・アレイ・ユニット・チャネル		各製品の入出力端子の有無				
		16ピン	20ピン	24, 25ピン	30～40ピン	44, 48ピン
ユニット0	チャネル0	—	TI00, TO00			
	チャネル1	—	TI01/TO01			
	チャネル2	TI02/TO02				
	チャネル3	—	—	TI03/TO03		
	チャネル4	—	—	—	(TI04/TO04)	(TI04/TO04)
	チャネル5	—	—	—	(TI05/TO05)	(TI05/TO05)
	チャネル6	—	—	—	(TI06/TO06)	(TI06/TO06)
	チャネル7	—	—	—	(TI07/TO07)	TI07/TO07

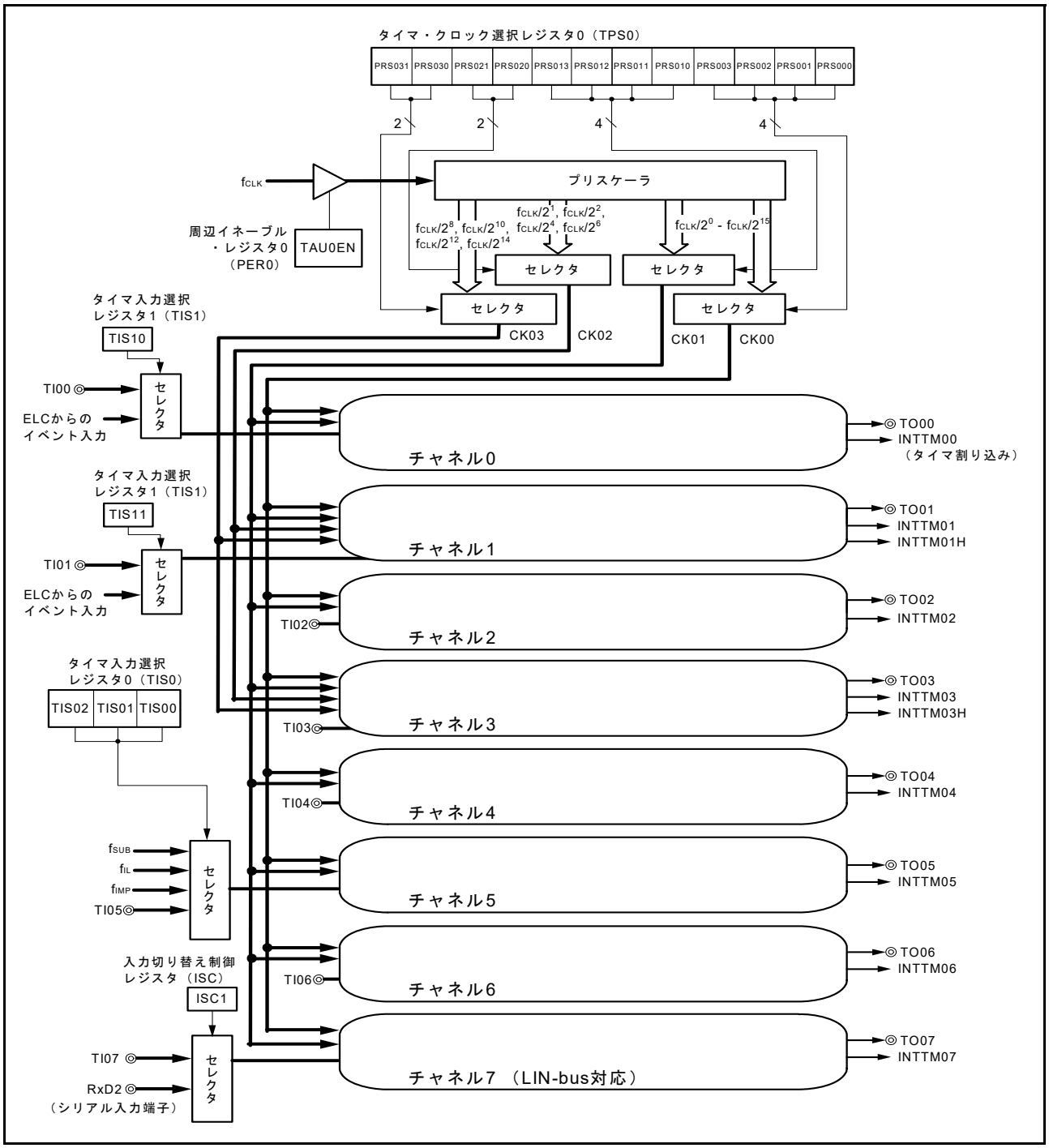
備考1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

備考2. — : 入出力端子なし（インターバル・タイマとして使用可能）

備考3. ( ) は周辺I/Oリダイレクション・レジスタ（PIOR）のビット0に1を設定したときの端子です。

図 7 - 1 にタイマ・アレイ・ユニット 0 のブロック図を示します。

図7 - 1　　タイマ・アレイ・ユニット0のブロック図 （例：48ピン製品）



備考　f_{SUB} ：サブシステム・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

f_{IMP} ：中速オンチップ・オシレータ周辺クロック周波数

図7 - 2　　タイマ・アレイ・ユニット0のチャネル0内部ブロック図

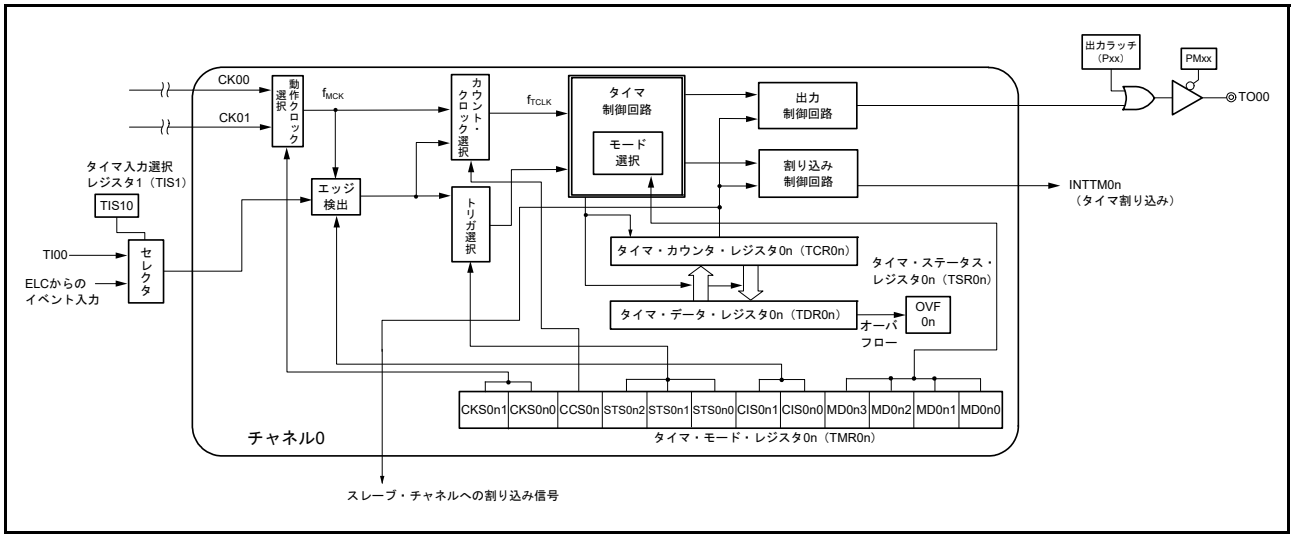


図7 - 3　　タイマ・アレイ・ユニット0のチャネル1内部ブロック図

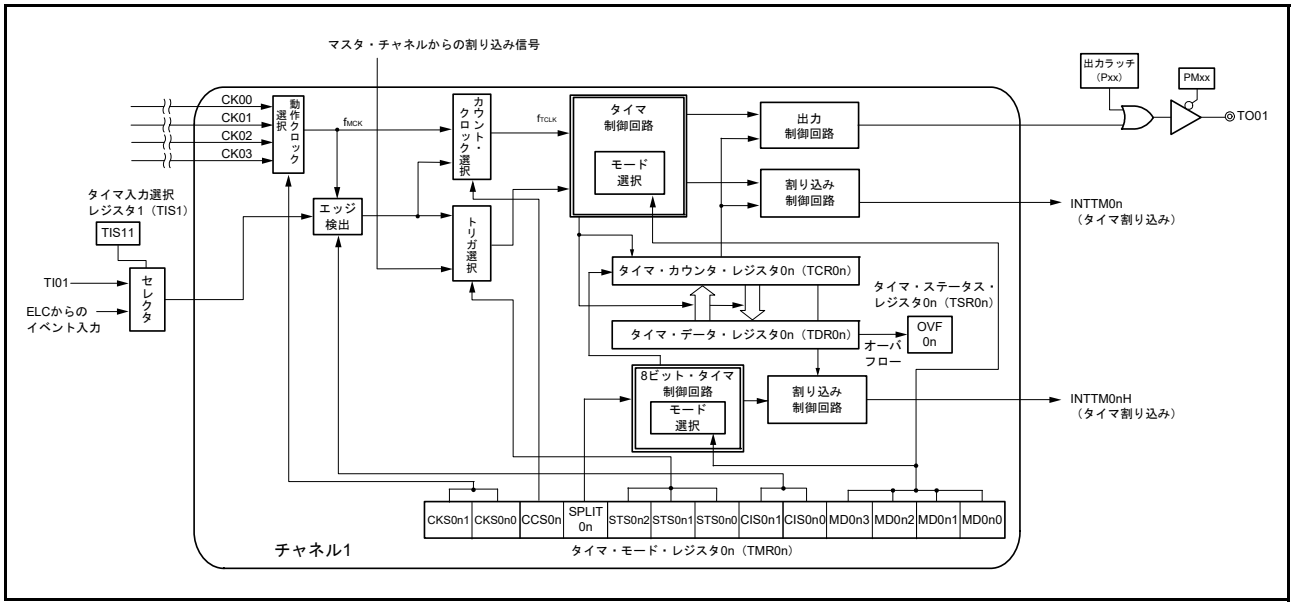
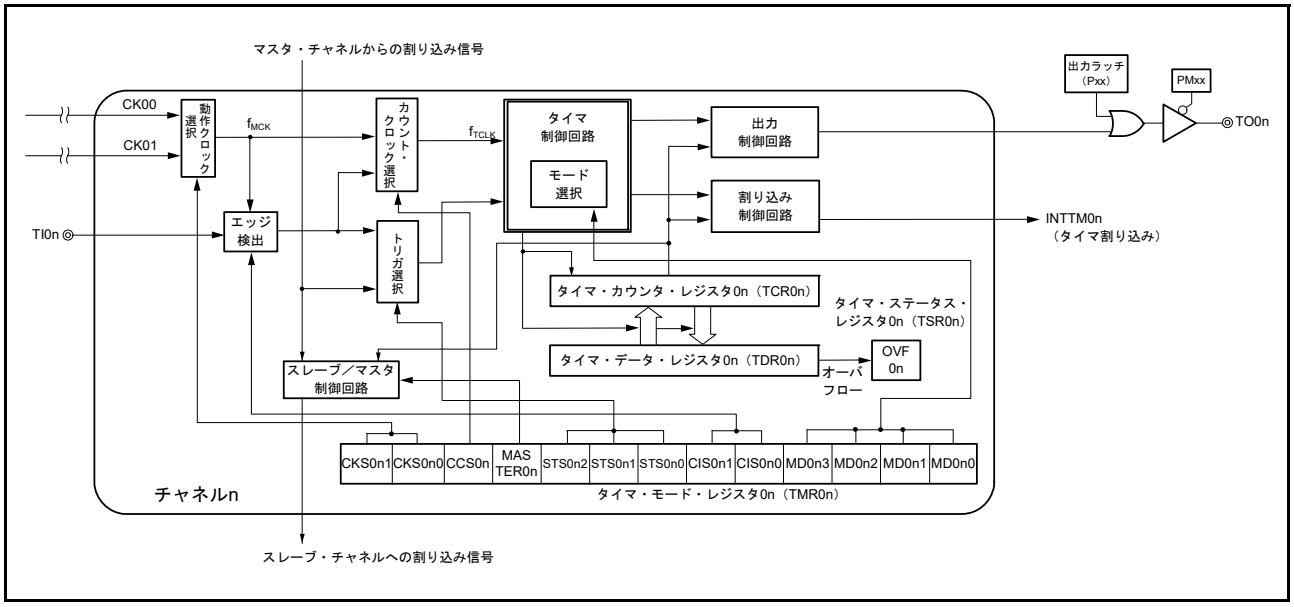


図7 - 4　　タイマ・アレイ・ユニット0のチャネル2, 4, 6内部ブロック図



備考　n = 2, 4, 6

図7 - 5　　タイマ・アレイ・ユニット0のチャネル3内部ブロック図

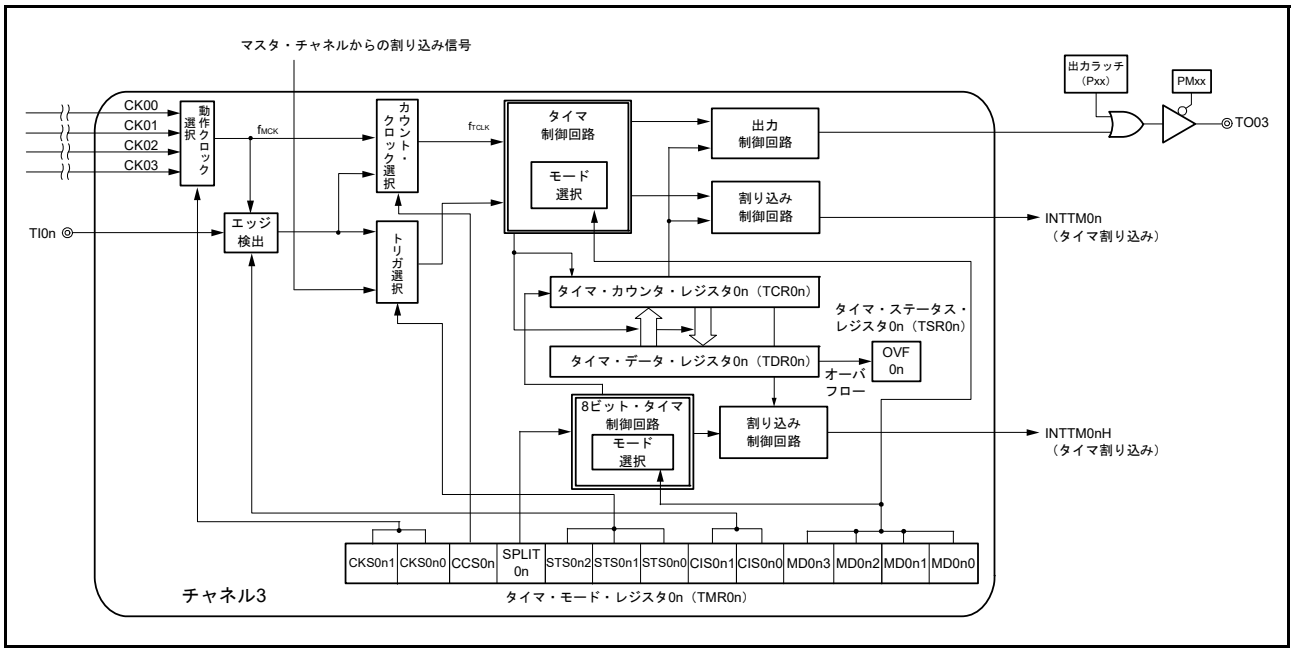


図7 - 6　　タイマ・アレイ・ユニット0のチャネル5内部ブロック図

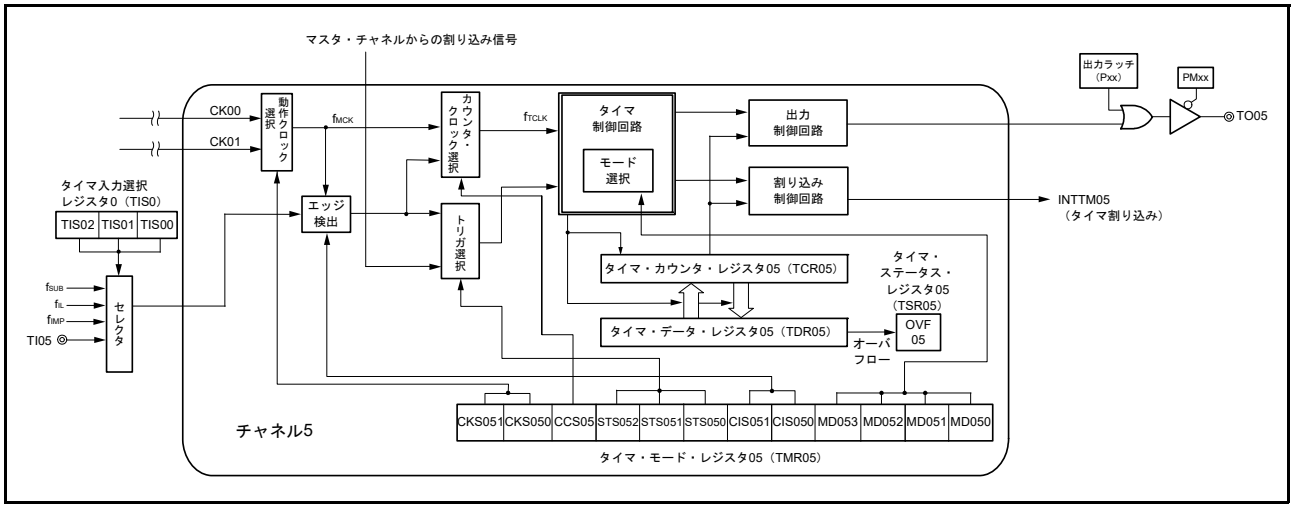
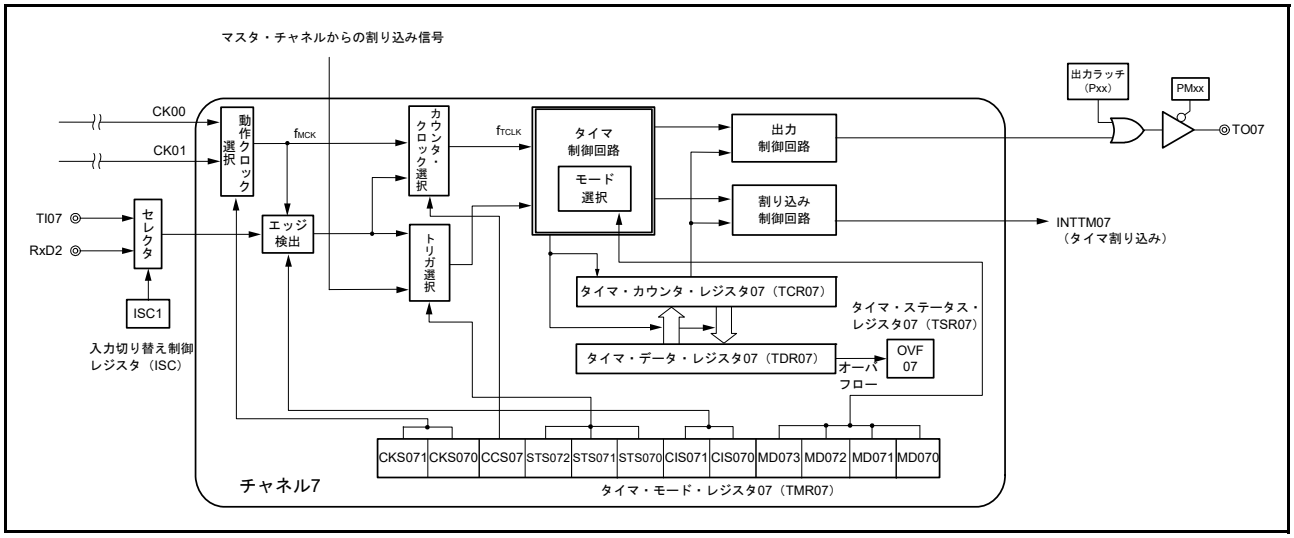


図7 - 7　　タイマ・アレイ・ユニット0のチャネル7内部ブロック図



7.2.1　タイマ・カウンタ・レジスタ mn（TCRmn）

TCRmn レジスタは、カウント・クロックをカウントする 16 ビットの読み出し専用レジスタです。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ mn（TMRmn）の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります（**7.3.4　タイマ・モード・レジスタ mn（TMRmn）**参照）。

図7 - 8　タイマ・カウンタ・レジスタ mn（TCRmn）のフォーマット

アドレス　：F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07)
リセット時：FFFFH
R/W属性　：R

	F0181H（TCR00の場合）								F0180H（TCR00の場合）							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCRmn																

タイマ・カウンタ・レジスタ mn（TCRmn）を読み出すことにより、カウント値を読み出せます。
次の場合、カウント値はFFFFHになります。

- リセット信号の発生時
- 周辺リセット制御レジスタ 0（PRR0）のTAUmRESビットをクリアしたとき
- PWM出力モードで、スレーブ・チャネルのカウント完了時
- ディレイ・カウンタ・モードで、スレーブ・チャネルのカウント完了時
- ワンショット・パルス出力モードで、マスタ／スレーブ・チャネルのカウント完了時
- 多重PWM出力モードで、スレーブ・チャネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- キャプチャ・モード時に、スタート・トリガが入力されたとき
- キャプチャ・モード時で、キャプチャ完了時

注意　TCRmn レジスタを読み出しても、タイマ・データ・レジスタ mn（TDRmn）にはキャプチャしません。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

TCRmn レジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表7 - 3　各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ mn（TCRmn）の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）した場合の値	カウント動作を一時停止（TTmn = 1）後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	－
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	－
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	－
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ＆ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

注　チャネルnがタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値がTCRmn レジスタに保持されます。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.2.2　タイマ・データ・レジスタ mn（TDRmn）

TDRmn レジスタは、キャプチャ機能とコンペア機能を切り替えて使用できる 16 ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn（TMRmn）の MDmn3-MDmn0 ビットで動作モードを選択することで切り替わります。

TDRmn レジスタは任意のタイミングで書き換えることができます。

16 ビット単位で読み出し／書き込み可能です。また、TDRm1, TDRm3 レジスタは、8 ビット・タイマ・モード時（タイマ・モード・レジスタ m1, m3（TMRm1, TMRm3）の SPLITm1, SPLITm3 ビットが 1）に、上位 8 ビットを TDRm1H, TDRm3H、下位 8 ビットを TDRm1L, TDRm3L として、8 ビット単位で読み出し／書き込み可能です。

リセット信号の発生により、0000H になります。

図7 - 9　タイマ・データ・レジスタ mn（TDRmn）（n = 0, 2, 4-7）のフォーマット

アドレス　：FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), FFF68H, FFF69H (TDR04) - FFF6EH, FFF6FH (TDR07)
リセット時：0000H
R/W属性　：R/W

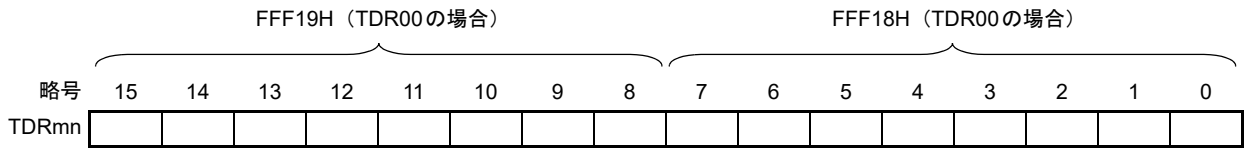
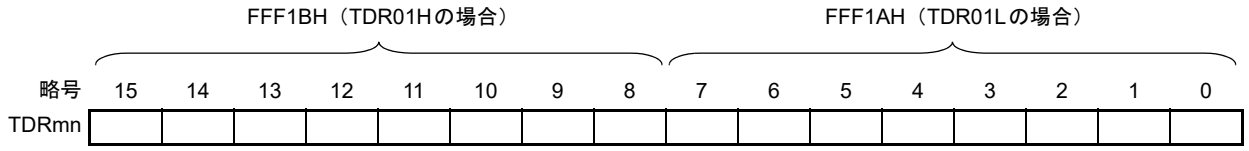


図7 - 10　タイマ・データ・レジスタ mn（TDRmn）（n = 1, 3）のフォーマット

アドレス　：FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03)
リセット時：0000H
R/W属性　：R/W



（i）タイマ・データ・レジスタ mn（TDRmn）をコンペア・レジスタとして使用するとき
TDRmn レジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号（INTTMmn）を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

（ii）タイマ・データ・レジスタ mn（TDRmn）をキャプチャ・レジスタとして使用するとき
キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn（TCRmn）のカウント値をTDRmn レジスタにキャプチャします。
キャプチャ・トリガとして、TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn（TMRmn）で設定します。

注意　コンペア機能に設定したTDRmn レジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- タイマ・クロック選択レジスタm（TPSm）
- タイマ・モード・レジスタmn（TMRmn）
- タイマ・ステータス・レジスタmn（TSRmn）
- タイマ・チャネル許可ステータス・レジスタm（TEm）
- タイマ・チャネル開始レジスタm（TSm）
- タイマ・チャネル停止レジスタm（TTm）
- タイマ入力選択レジスタ0（TIS0）
- タイマ入力選択レジスタ1（TIS1）
- タイマ出力許可レジスタm（TOEm）
- タイマ出力レジスタm（TOm）
- タイマ出力レベル・レジスタm（TOLm）
- タイマ出力モード・レジスタm（TOMm）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ1（NFEN1）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

注意　**製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには、必ず初期値を設定してください。**

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.1 周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ず TAU0EN ビットに1を設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7 - 11　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス　：F00F0H
リセット時：00H
R/W属性　：R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN 注1	SAU1EN 注2	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニット0の入力クロックの制御
0	入力クロック供給停止 • タイマ・アレイ・ユニット0で使用するSFRへのライト不可注3
1	入力クロック供給 • タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注1. 24～48ピン製品のみ

注2. 30～48ピン製品のみ

注3. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

注意3. タイマ・アレイ・ユニットの設定をする際には、必ず最初にTAUmEN = 1の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0の場合は、タイマ・アレイ・ユニットの制御レジスタは00Hとなり、書き込みは無視されます（タイマ入力選択レジスタ0, 1（TIS0, TIS1）、入力切り替え制御レジスタ（ISC）、ノイズ・フィルタ許可レジスタ1（NFEN1）、ポート・モード・コントロールA・レジスタ（PMCA0）、ポート・モード・コントロールT・レジスタ（PMCT0, PMCT3）、ポート・モード・レジスタ（PM0, PM1, PM3, PM4）、ポート・レジスタ（P0, P1, P3, P4）は除く）。

- **タイマ・クロック選択レジスタm（TPSm）**
- **タイマ・モード・レジスタmn（TMRmn）**
- **タイマ・ステータス・レジスタmn（TSRmn）**
- **タイマ・チャネル許可ステータス・レジスタm（TEm）**
- **タイマ・チャネル開始レジスタm（TSm）**
- **タイマ・チャネル停止レジスタm（TTm）**
- **タイマ出力許可レジスタm（TOEm）**
- **タイマ出力レジスタm（TOm）**
- **タイマ出力レベル・レジスタm（TOLm）**
- **タイマ出力モード・レジスタm（TOMm）**

7.3.2 周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

タイマ・アレイ・ユニット 0 をリセットする場合は、TAU0RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7 - 12　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注1	SAU1RES 注2	SAU0RES	0	TAU0RES

TAU0RES	タイマ・アレイ・ユニット0のリセット制御
0	タイマ・アレイ・ユニット0のリセット解除
1	タイマ・アレイ・ユニット0はリセット状態 ・タイマ・アレイ・ユニット0で使用するSFRが初期化されます。

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

7.3.3 タイマ・クロック選択レジスタ m（TPSm）

TPSm レジスタは、各チャネルに共通して供給される 2 種類または 4 種類の動作クロック（CKm0, CKm1, CKm2, CKm3）を選択する 16 ビット・レジスタです。

CKm0 は TPSm レジスタのビット 3-0 で、CKm1 は TPSm レジスタのビット 7-4 で選択します。さらにチャネル 1, 3 のみ、CKm2, CKm3 も選択できます。CKm2 は TPSm レジスタのビット 9-8 で、CKm3 は TPSm レジスタのビット 13, 12 で選択できます。

タイマ動作中の TPSm レジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03 ビットが書き換え可能な場合（n = 0-7）:
　動作クロックにCKm0を選択（CKSmn1, CKSmn0 = 00B）しているチャネルがすべて停止状態（TEmn = 0）
PRSm10-PRSm13 ビットが書き換え可能な場合（n = 0-7）:
★　動作クロックにCKm1を選択（CKSmn1, CKSmn0 = 10B）しているチャネルがすべて停止状態（TEmn = 0）
PRSm20, PRSm21 ビットが書き換え可能な場合（n = 1, 3）:
★　動作クロックにCKm2を選択（CKSmn1, CKSmn0 = 01B）しているチャネルがすべて停止状態（TEmn = 0）
PRSm30-PRSm31 ビットが書き換え可能な場合（n = 1, 3）:
　動作クロックにCKm3を選択（CKSmn1, CKSmn0 = 11B）しているチャネルがすべて停止状態（TEmn = 0）

TPSm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図7 - 13　タイマ・クロック選択レジスタm（TPSm）のフォーマット (1/2)

アドレス　：F01B6H, F01B7H (TPS0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TPSm	0	0	PRSm31	PRSm30	0	0	PRSm21	PRSm20

7	6	5	4	3	2	1	0
PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択注（k = 0, 1）					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61.0 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
動作クロック（f_{MCK}）、TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック（CKmk）にf_{CLK}（分周なし）を選択し、TDRmn = 0000H（m = 0, n = 0-7）を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります（m = 0）。詳細は、**7.5.1　カウント・クロック（f_{TCLK}）**を参照してください。

図7 - 13　タイマ・クロック選択レジスタm（TPSm）のフォーマット (2/2)

PRS m21	PRS m20	動作クロック（CKm2）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
1	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
1	1	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz

PRS m31	PRS m30	動作クロック（CKm3）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
動作クロック（f_{MCK}）、TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には、必ず0を設定してください。

チャネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、**表7 - 4**に示すインターバル時間を実現することが可能です。

表7 - 4　動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注（f_{CLK} = 32 MHz）			
		10 μs	100 μs	1 ms	10 ms
CKm2	$f_{CLK}/2$	○	–	–	–
	$f_{CLK}/2^2$	○	–	–	–
	$f_{CLK}/2^4$	○	○	–	–
	$f_{CLK}/2^6$	○	○	–	–
CKm3	$f_{CLK}/2^8$	–	○	○	–
	$f_{CLK}/2^{10}$	–	○	○	–
	$f_{CLK}/2^{12}$	–	–	○	○
	$f_{CLK}/2^{14}$	–	–	○	○

注　○には5%以下の誤差が含まれます。

備考1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択する$f_{CLK}/2^j$（j = 2～15）の波形の詳細は、**7.5.1　カウント・クロック（f_{TCLK}）**を参照してください。

7.3.4 タイマ・モード・レジスタ mn（TMRmn）

TMRmn レジスタは、チャネル n の動作モード設定レジスタです。動作クロック（f_{MCK}）の選択、カウント・クロックの選択、マスタ／スレーブの選択、16 ビット／ 8 ビット・タイマの選択（チャネル 1, 3 のみ）、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード（インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ＆ワンカウント）設定を行います。

TMRmn レジスタは、動作中（TEmn = 1 のとき）の書き換えは禁止です。ただし、ビット 7, 6（CISmn1, CISmn0）は、一部の機能で動作中（TEmn = 1 のとき）の書き換えが可能です（詳細は、**7.8　タイマ・アレイ・ユニットの単独チャネル動作機能**および **7.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能**参照）。

TMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

注意　TMRmn レジスタのビット 11 は、チャネルによって搭載するビットが異なります。
TMRm2, TMRm4, TMRm6：MASTERmn ビット（n = 2, 4, 6）
TMRm1, TMRm3：SPLITmn ビット（n = 1, 3）
TMRm0, TMRm5, TMRm7：0 固定

図7 - 14　タイマ・モード・レジスタmn（TMRmn）のフォーマット (1/3)

アドレス　：F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TMRmn（n = 2, 4, 6）	CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0
	7	6	5	4	3	2	1	0
	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn（n = 1, 3）	CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0
	7	6	5	4	3	2	1	0
	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8
TMRmn（n = 0, 5, 7）	CKSmn1	CKSmn0	0	CCSmn	0注1	STSmn2	STSmn1	STSmn0
	7	6	5	4	3	2	1	0
	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

CKSmn1	CKSmn0	チャネルnの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm3
動作クロック（f_{MCK}）は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。 動作クロックCKm2, CKm3は、チャネル1, 3のみ選択可能です。		

CCSmn	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKSmn1, CKSmn0ビットで指定した動作クロック（f_{MCK}）
1	TImn端子からの入力信号の有効エッジ チャネル0～4では、TIS1nで選択した入力信号の有効エッジ チャネル5では、TIS0で選択した入力信号の有効エッジ チャネル7では、ISCで選択した入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

図7 - 14　タイマ・モード・レジスタmn（TMRmn）のフォーマット (2/3)

TMRmn（n = 2, 4, 6）のビット11

MASTER mn	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作
チャネル2, 4, 6のみマスタ・チャネル（MASTERmn = 1）に設定できます。 チャネル0, 5, 7は0固定となります（チャネル0は最上位チャネルのため、このビットの設定によらずマスタとして動作します）。 また、単独チャネル動作機能として使用するチャネルは、MASTERmn = 0にします。	

TMRmn（n = 1, 3）のビット11

SPLITmn	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STSmn2	STSmn1	STSmn0	チャネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効（ほかのトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

CISmn1	CISmn0	TImn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ、キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ、キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0 = 010B時以外で両エッジ指定を使用する場合は、CISmn1, CISmn0 = 10Bに設定してください。		

図7 - 14　タイマ・モード・レジスタmn（TMRmn）のフォーマット (3/3)

MD mn3	MD mn2	MD mn1	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン・カウント
1	1	0	キャプチャ＆ワンカウント・モード	入力信号のロウ・レベル幅／ハイ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります（下表参照）。					

動作モード（MDmn3-MDmn1ビットで設定（上表参照））	MD mn0	カウント・スタートと割り込みの設定
• インターバル・タイマ・モード（000B） • キャプチャ・モード（010B）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
• イベント・カウンタ・モード（011B）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
• ワンカウント・モード注2（100B）	0	カウント動作中のスタート・トリガを無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
• キャプチャ＆ワンカウント・モード（110B）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガを無効とする。その際に割り込みは発生しない。
上記以外		設定禁止

注1.　ビット11は読み出しのみ可能（0固定）で、書き込みは無視されます。

注2.　ワンカウント・モードでは、カウント動作開始時の割り込み出力（INTTMmn）、TOmn出力は制御しません。

注3.　動作中にスタート・トリガ（TSmn = 1）が掛かると、カウンタを初期化し、再カウント・スタートします（割り込み要求は発生せず）。

注意1.　ビット13, 5, 4には、必ず0を設定してください。

注意2.　カウント・クロック（f_{TCLK}）にCKSmn1, CKSmn0ビットで指定した動作クロック（f_{MCK}）、TImn端子からの入力信号の有効エッジのどれを選択していても、f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.5 タイマ・ステータス・レジスタ mn（TSRmn）

TSRmn レジスタは、チャネル n のカウンタのオーバフロー状況を表示するレジスタです。

TSRmn レジスタは、キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードでの OVF ビットの動作とセット／クリア条件は**表 7 - 5** を参照してください。

TSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また TSRmn レジスタの下位 8 ビットは、TSRmnL レジスタとして 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図7 - 15　タイマ・ステータス・レジスタ mn（TSRmn）のフォーマット

アドレス　: F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07)
リセット時: 0000H
R/W属性　: R

略号	15	14	13	12	11	10	9	8
TSRmn	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　m : ユニット番号（m = 0）、n : チャネル番号（n = 0-7）

表7 - 5　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVF ビット	セット／クリア条件
• キャプチャ・モード • キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
• インターバル・タイマ・モード • イベント・カウンタ・モード • ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVF ビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

7.3.6 タイマ・チャネル許可ステータス・レジスタ m（TEm）

TEm レジスタは、各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEm レジスタの各ビットは、タイマ・チャネル開始レジスタ m（TSm）とタイマ・チャネル停止レジスタ m（TTm）の各ビットに対応しています。TSm レジスタの各ビットが 1 にセットされると、TEm レジスタの対応ビットが 1 にセットされます。TTm レジスタの各ビットが 1 にセットされると、その対応ビットが 0 にクリアされます。

TEm レジスタは、16 ビット・メモリ操作命令で読み出します。また TEm レジスタの下位 8 ビットは、TEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

図7 - 16　タイマ・チャネル許可ステータス・レジスタ m（TEm）のフォーマット

アドレス　: F01B0H, F01B1H (TE0)
リセット時: 0000H
R/W属性　: R

略号	15	14	13	12	11	10	9	8
TEm	0	0	0	0	TEHm3	0	TEHm1	0

7	6	5	4	3	2	1	0
TEm7	TEm6	TEm5	TEm4	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.7 タイマ・チャネル開始レジスタ m（TSm）

TSm レジスタは、タイマ・カウンタ・レジスタ mn（TCRmn）を初期化し、カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが 1 にセットされると、タイマ・チャネル許可ステータス・レジスタ m（TEm）の対応ビットが 1 にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので、動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは、16 ビット・メモリ操作命令で設定します。また TSm レジスタの下位 8 ビットは、TSmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 17　タイマ・チャネル開始レジスタ m（TSm）のフォーマット

アドレス　: F01B2H, F01B3H (TS0)
リセット時: 0000H
R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
TSm	0	0	0	0	TSHm3	0	TSHm1	0

7	6	5	4	3	2	1	0
TSm7	TSm6	TSm5	TSm4	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル3が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は、インターバル・タイマ・モードになります（**7.5.2　カウンタのスタート・タイミング**の**表7 - 6**参照）。

TSHm1	チャネル1が8ビット・タイマ・モード時、 上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は、インターバル・タイマ・モードになります（**7.5.2　カウンタのスタート・タイミング**の**表7 - 6**参照）。

TSmn	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は、各動作モードにより異なります（**7.5.2　カウンタのスタート・タイミング**の**表7 - 6**参照）。 チャネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意、備考は次ページに続きます）

注意1. ビット15-12, 10, 8には、必ず0を設定してください。

注意2. TImn端子入力を使用しない機能から、TImn端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタmn（TMRmn）設定後、TSmn（TSHm1, TSHm3）ビットに1を設定するまでに、次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時（TNFENmn = 1）：動作クロック（f_{MCK}）の4クロック

TImn端子のノイズ・フィルタ無効時（TNFENmn = 0）：動作クロック（f_{MCK}）の2クロック

備考1. TSmレジスタの読み出し値は常に0となります。

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.8 タイマ・チャネル停止レジスタ m（TTm）

TTm レジスタは、カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが 1 にセットされると、タイマ・チャネル許可ステータス・レジスタ m（TEm）の対応ビットが 0 にクリアされます。TTmn, TTHm1, TTHm3 ビットはトリガ・ビットなので、動作停止状態（TEmn, TEHm1, TEHm3 = 0）になるとすぐ TTmn, TTHm1, TTHm3 ビットはクリアされます。

TTm レジスタは、16 ビット・メモリ操作命令で設定します。また TTm レジスタの下位 8 ビットは、TTmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 18　タイマ・チャネル停止レジスタ m（TTm）のフォーマット

アドレス　: F01B4H, F01B5H (TT0)
リセット時: 0000H
R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
TTm	0	0	0	0	TTHm3	0	TTHm1	0

7	6	5	4	3	2	1	0
TTm7	TTm6	TTm5	TTm4	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTHm1	チャネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意　ビット15-12, 10, 8には、必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.9 タイマ入力選択レジスタ0（TIS0）

TIS0 レジスタは、チャネル 5 のタイマ入力を選択するレジスタです。
TIS0 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図7 - 19　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス　：F0074H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	1	1	中速オンチップ・オシレータ周辺クロック（f_{IMP}）
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

注意　選択するタイマ入力のロウ・レベル幅／ハイ・レベル幅は、1/f_{MCK} + 10 ns 以上必要となります。
そのため、f_{CLK}にf_{SUB}を選択時（CKC レジスタのCSS = 1）は、TIS02 ビットに1を設定できません。

7.3.10　タイマ入力選択レジスタ1（TIS1）

TIS1 レジスタは、チャネル 0, 1 のタイマ入力を選択するレジスタです。
TIS1 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図7 - 20　タイマ入力選択レジスタ1（TIS1）のフォーマット

アドレス　：F0075H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
TIS1	0	0	0	0	0	0	TIS11	T1S10

TIS1n	チャネルnで使用するタイマ入力の選択
0	タイマ入力端子（TI0n）
1	ELCからのイベント入力信号

注意　タイマ入力選択レジスタ1（TIS1）でELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0（TPS0）はfCLKを選択してください。

備考　n = 0, 1

7.3.11　タイマ出力許可レジスタ m（TOEm）

TOEm レジスタは、各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネル n は、後述のタイマ出力レジスタ m（TOm）の TOmn ビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEm レジスタは、16 ビット・メモリ操作命令で設定します。また TOEm レジスタの下位 8 ビットは、TOEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 21　タイマ出力許可レジスタ m（TOEm）のフォーマット

アドレス　：F01BAH, F01BBH (TOE0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TOEm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOEm7	TOEm6	TOEm5	TOEm4	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず、出力を固定します。 TOmnビットへの書き込みが可能となり、TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し、出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意　ビット15-8には、必ず0を設定してください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.12　タイマ出力レジスタ m（TOm）

TOm レジスタは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタの TOmn ビットのソフトウェアによる書き換えは、タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、P00/TI00, P01/TO00, P16/TI01/TO01, P17/TI02/TO02, P31/TI03/TO03, P13/TI04/TO04, P12/TI05/TO05, P11/TI06/TO06, P41/TI07/TO07 をポート機能として使用する場合は、該当する TOmn ビットに 0 を設定してください。

TOm レジスタは、16 ビット・メモリ操作命令で設定します。また TOm レジスタの下位 8 ビットは、TOmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 22　タイマ出力レジスタ m（TOm）のフォーマット

アドレス　：F01B8H, F01B9H (TO0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TOm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOm7	TOm6	TOm5	TOm4	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が0
1	タイマ出力値が1

注意　ビット15-8には、必ず0を設定してください。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.13　タイマ出力レベル・レジスタ m（TOLm）

TOLm レジスタは、各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネル n の反転設定は、タイマ出力許可（TOEmn = 1）、複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には、このレジスタの設定は無効となります。

TOLm レジスタは、16 ビット・メモリ操作命令で設定します。また TOLm レジスタの下位 8 ビットは、TOLmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 23　タイマ出力レベル・レジスタ m（TOLm）のフォーマット

アドレス　：F01BCH, F01BDH (TOL0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TOLm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOLm7	TOLm6	TOLm5	TOLm4	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	負論理出力（アクティブ・ロウ）

注意　ビット15-8, 0には、必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.3.14　タイマ出力モード・レジスタ m（TOMm）

TOMm レジスタは、各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合、使用するチャネルの対応ビットに 0 を設定します。

複数チャネル連動動作機能（PWM 出力、ワンショット・パルス出力、多重 PWM 出力）として使用する場合、マスタ・チャネルの対応ビットに 0 を設定し、スレーブ・チャネルの対応ビットに 1 を設定します。

このレジスタによる各チャネル n の設定は、タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMm レジスタは、16 ビット・メモリ操作命令で設定します。また TOMm レジスタの下位 8 ビットは、TOMmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

図7 - 24　タイマ出力モード・レジスタ m（TOMm）のフォーマット

アドレス　：F01BEH, F01BFH (TOM0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
TOMm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
TOMm7	TOMm6	TOMm5	TOMm4	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード （タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット、スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意　ビット15-8, 0には、必ず0を設定してください。

備考　m：ユニット番号（m = 0）
n：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p：スレーブ・チャネル番号
n＜p≦7
（マスタ・チャネル、スレーブ・チャネルの関係についての詳細は、**7.4.1　複数チャネル連動動作機能の基本ルール**を参照してください）

7.3.15　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC1, ISC0 ビットは、チャネル 7 をシリアル・アレイ・ユニットと連携して LIN-bus 通信動作を実現するときに使用します。ISC1 ビットに 1 を設定すると、シリアル・データ入力端子（RxD2）の入力信号がタイマ入力として選択されます。

ISC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図7 - 25　入力切り替え制御レジスタ（ISC）のフォーマット

アドレス　: F0073H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	0	ISC4	ISC3	0	ISC1	ISC0

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする（通常動作）
1	RxD2端子の入力信号をタイマ入力とする（ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウェイクアップ信号検出）

注意　**ビット5, 2には、必ず0を設定してください。**

備考　LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD2端子の入力信号を選択しておいてください。

7.3.16　ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャネルの動作クロック（fMCK）で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャネルの動作クロック（fMCK）で同期化だけ行います注。

NFEN1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注　詳細は、**7.5.1 (2)　TImn 端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）**、**7.5.2　カウンタのスタート・タイミング**、**7.7　タイマ入力（TImn）の制御**を参照してください。

図7 - 26　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット (1/2)

アドレス　：F0071H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN07	TI07 端子のノイズ・フィルタ使用可否注
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN06	TI06 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN05	TI05 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN04	TI04 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN03	TI03 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN02	TI02 端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

図7 - 26　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット (2/2)

TNFEN01	TI01端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN00	TI00端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

注　入力切り替え制御レジスタ（ISC）のISC1ビットを設定することにより、適用する端子を切り替えることができます。
ISC1 = 0に設定：TI07端子のノイズ・フィルタ使用可否選択が可能
ISC1 = 1に設定：RxD2端子のノイズ・フィルタ使用可否選択が可能

備考　チャネル0-7のタイマ入出力端子の有無は製品によって異なります。詳細は、**表7 - 2　各製品に搭載しているタイマ入出力端子**を参照してください。

7.3.17　タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ

タイマ・アレイ・ユニットの入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**、**4.3.8　ポート・モード・コントロール T・レジスタ（PMCTxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

7.4　タイマ・アレイ・ユニットの基本ルール

7.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は、マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合わせて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

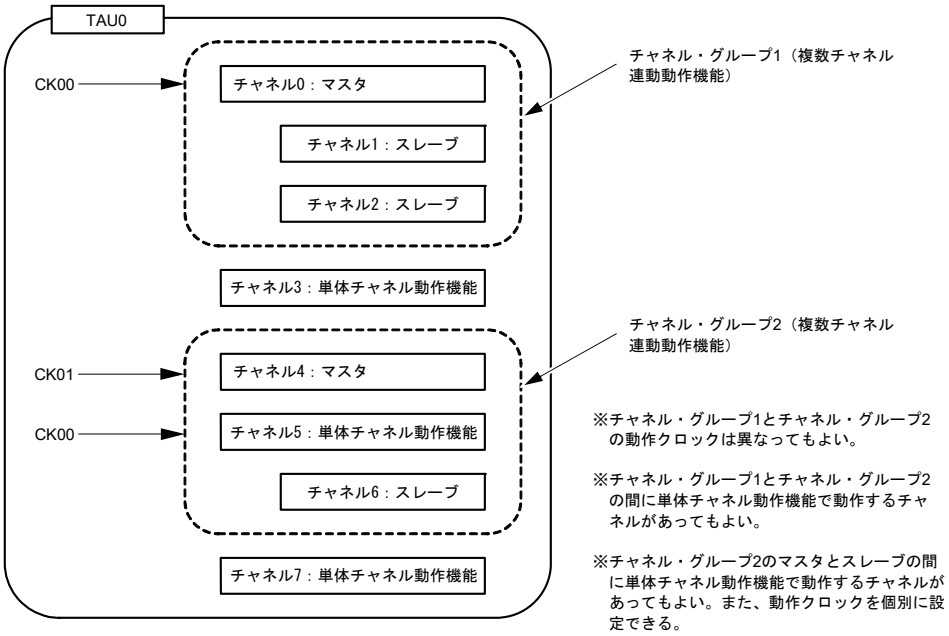
(1) マスタ・チャネルには、偶数チャネル（チャネル0、チャネル2、チャネル4、…）のみ設定できます。
(2) スレーブ・チャネルには、チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには、マスタ・チャネルの下位チャネルのみ設定できます。
たとえばチャネル2をマスタ・チャネルにした場合、チャネル3以降（チャネル3、チャネル4、チャネル5、…）をスレーブ・チャネルに設定できます。
(4) 1つのマスタ・チャネルに対し、スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルを複数使用する場合、マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
たとえばチャネル0、チャネル4をマスタ・チャネルにした場合、マスタ・チャネル0は、チャネル1～チャネル3までをスレーブ・チャネルとして設定できますが、チャネル5～チャネル7をスレーブ・チャネルとして設定できません。
(6) マスタ・チャネルと連動するスレーブ・チャネルは、同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn1, CKSmn0ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
(7) マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(8) スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用できますが、下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックを伝えることはできません。
(9) マスタ・チャネルは、ほかの上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウェア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(10) 連動させるチャネルを同時スタートさせるため、連動させるチャネルの動作許可（スタート）トリガ・ビット（TSmn）を同時に設定する必要があります。
(11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
(12) 連動させるチャネルを同時に停止させるため、連動させるチャネルの動作停止トリガ・ビット（TTmn）を同時に設定する必要があります。
(13) 連動動作時は、マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
(14) タイマ・モード・レジスタm0（TMRm0）は、マスタ・ビットがなく、0に固定されています。しかし、チャネル0は最上位チャネルなので、連動動作時は、チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは、チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合、チャネル・グループ間には上記の基本ルールは適用されません。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

例


TAU0
CK00
チャネル0：マスタ
チャネル1：スレーブ
チャネル2：スレーブ
チャネル3：単体チャネル動作機能
CK01
チャネル4：マスタ
CK00
チャネル5：単体チャネル動作機能
チャネル6：スレーブ
チャネル7：単体チャネル動作機能
チャネル・グループ1（複数チャネル連動動作機能）
チャネル・グループ2（複数チャネル連動動作機能）
※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。
※チャネル・グループ1とチャネル・グループ2の間に単体チャネル動作機能で動作するチャネルがあってもよい。
※チャネル・グループ2のマスタとスレーブの間に単体チャネル動作機能で動作するチャネルがあってもよい。また、動作クロックを個別に設定できる。

7.4.2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）

8 ビット・タイマ動作機能は、16 ビット・タイマのチャネルを 8 ビット・タイマの 2 チャネル構成として使用する機能です。

8 ビットタイマ動作機能は、チャネル 1, 3 のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に 8 ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは、チャネル1, 3のみです。

(2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn（TMRmn）のSPLITmnビットに1を設定します。

(3) 上位8ビットは、インターバル・タイマ機能として動作することができます。

(4) 上位8ビットは、動作開始時にINTTMm1H, INTTMm3H（割り込み）を出力します（MDmn0 = 1設定と同じ動作）。

(5) 上位8ビットの動作クロック選択は、下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットに従って動作します。

(6) 上位8ビットは、TSHm1, TSHm3ビットを操作することでチャネル動作を開始し、TTHm1, TTHm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは、TEHm1, TEHm3ビットで確認できます。

(7) 下位8ビットは、TMRmnレジスタの設定に従って動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。

- インターバル・タイマ機能／方形波出力機能
- 外部イベント・カウンタ機能
- ディレイ・カウンタ機能

(8) 下位8ビットは、TSm1, TSm3ビットを操作することでチャネル動作を開始し、TTm1, TTm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは、TEm1, TEm3ビットで確認できます。

(9) 16ビットで動作させる場合には、TSHm1, TSHm3, TTHm1, TTHm3ビットの操作は無効となります。TSm1, TSm3, TTm1, TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。

(10) 8ビット・タイマ機能で、連動動作機能（ワンショット・パルス、PWM、多重PWM）を使用することはできません。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 1, 3）

7.5 カウンタの動作

7.5.1 カウント・クロック（f_{TCLK}）

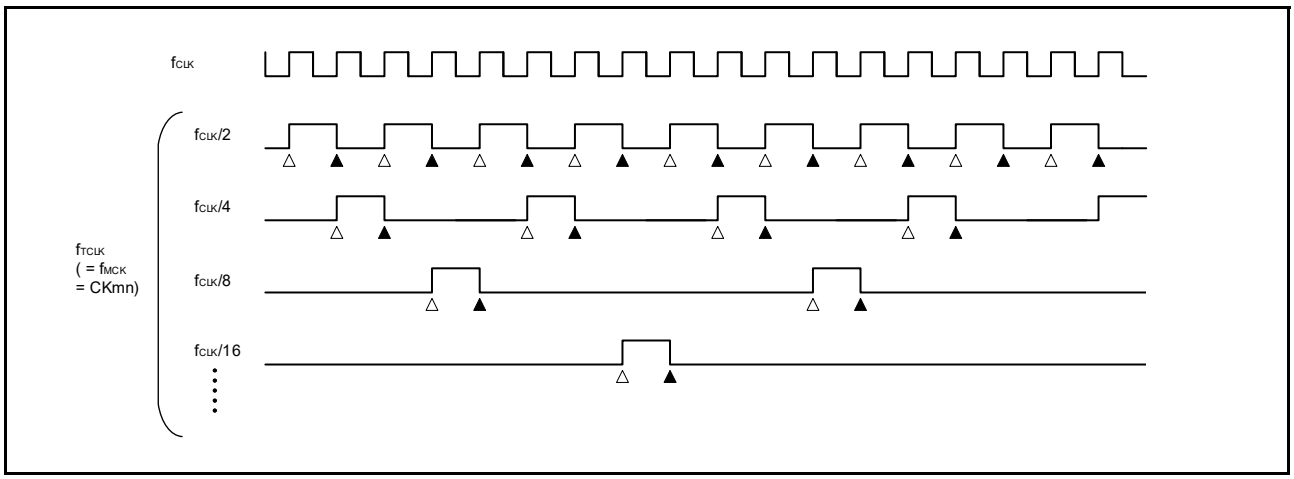
タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は、タイマ・モード・レジスタ mn（TMRmn）の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn1, CKSmn0 ビットで指定した動作クロック（f_{MCK}）
- TImn 端子からの入力信号の有効エッジ

タイマ・アレイ・ユニットは、f_{CLK} との同期をとって動作するよう設計されているため、カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

(1) CKSmn1, CKSmn0 ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSmn = 0）
カウント・クロック（f_{TCLK}）は、タイマ・クロック選択レジスタ m（TPSm）の設定により、f_{CLK}～$f_{CLK}/2^{15}$ となります。ただし、f_{CLK} の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから f_{CLK} の 1 周期分だけハイ・レベルになる信号となります。f_{CLK} を選んだ場合は、ハイ・レベル固定となります。
タイマ・カウンタ・レジスタ mn（TCRmn）は、f_{CLK} との同期をとるため、カウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図7 - 27　f_{CLK} とカウント・クロック（f_{TCLK}）のタイミング（CCSmn = 0 時）



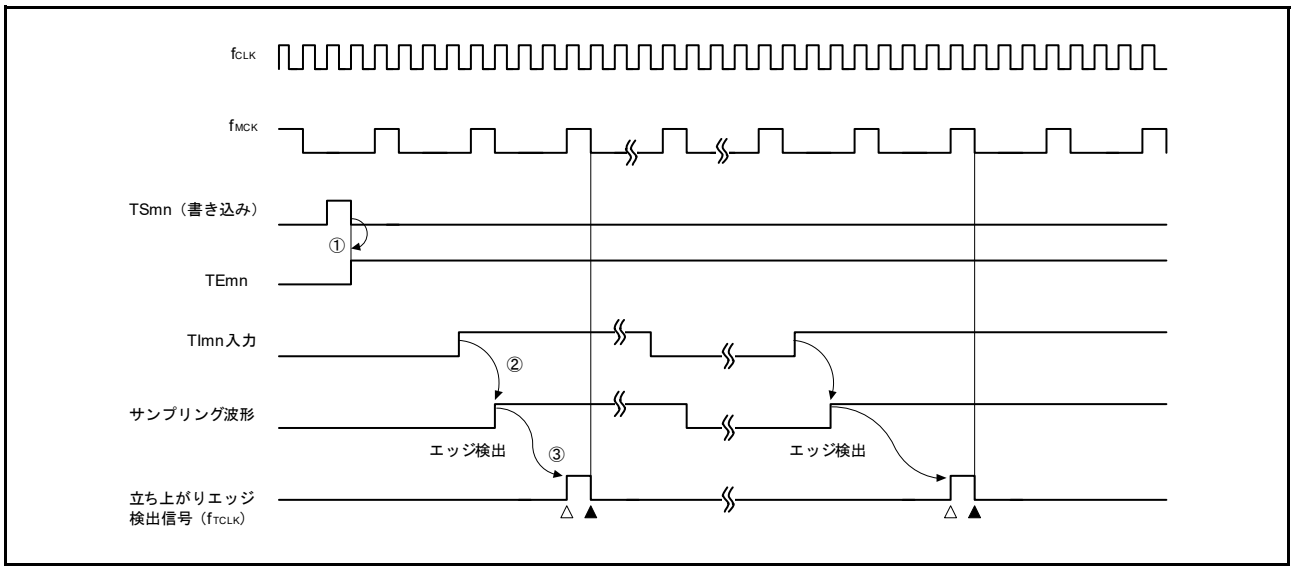
備考1. △：カウント・クロックの立ち上がり
▲：同期化、カウンタのインクリメント／デクリメント
備考2. f_{CLK}：CPU／周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（f_{TCLK}）は、TImn端子からの入力信号の有効エッジを検出し、次のf_{MCK}の立ち上がりに同期した信号になります。これは、実際のTImn端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は、f_{MCK}の3～4クロック分遅れます）。

また、タイマ・カウンタ・レジスタmn（TCRmn）は、f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが、このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図7 - 28　カウント・クロック（f_{TCLK}）のタイミング（CCSmn = 1、ノイズ・フィルタ未使用時）



① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが f_{MCK} でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出が行われ、検出信号（カウント・クロック）が出力されます。

備考1. △：カウント・クロックの立ち上がり

▲：同期化、カウンタのインクリメント／デクリメント

備考2. f_{CLK}：CPU／周辺ハードウェア・クロック

f_{MCK}：チャネルnの動作クロック

備考3. 入力パルス間隔測定、入力信号のロウ・レベル幅／ハイ・レベル幅測定、ディレイ・カウンタ、ワンショット・パルス出力機能のTImn入力も同様の波形になります。

7.5.2 カウンタのスタート・タイミング

タイマ・カウンタ・レジスタ mn（TCRmn）は、タイマ・チャネル開始レジスタ m（TSm）の TSmn ビットをセットすることにより、動作許可状態になります。

表 7 - 6 にカウント動作許可状態からタイマ・カウンタ・レジスタ mn（TCRmn）のカウント・スタートまでの動作を示します。

表7 - 6　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出（TSmn = 1）後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います（**7.5.3 (1)　インターバル・タイマ・モードの動作**参照）。
イベント・カウンタ・モード	TSmnビットに1を書き込むことにより、TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います（**7.5.3 (2)　イベント・カウンタ・モードの動作**参照）。
キャプチャ・モード	スタート・トリガ検出（TSmn = 1）後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います（**7.5.3 (3)　キャプチャ・モードの動作（入力パルス間隔測定）**参照）。
ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で、TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います（**7.5.3 (4)　ワンカウント・モードの動作**参照）。
キャプチャ＆ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で、TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います（**7.5.3 (5)　キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）**参照）。

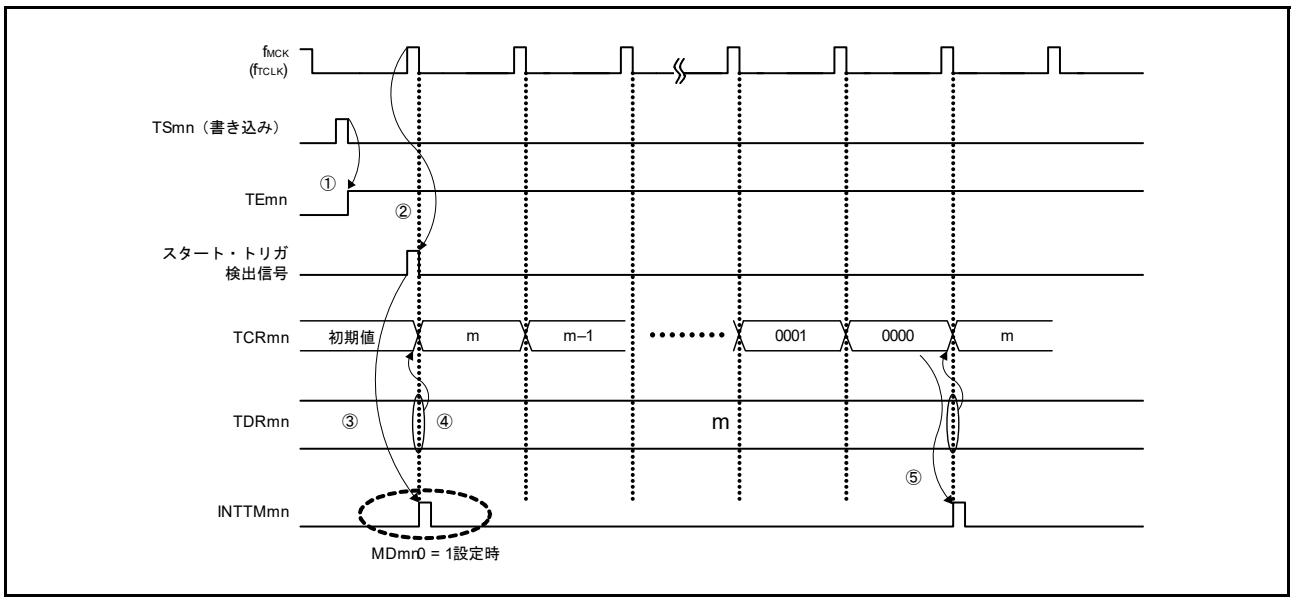
7.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタmn（TCRmn）は、カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（fMCK）で、スタート・トリガが発生します。
③ MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。
④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック（fMCK）でINTTMmnを発生し、タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードしてカウントを継続します。

図7 - 29　動作タイミング（インターバル・タイマ・モード）



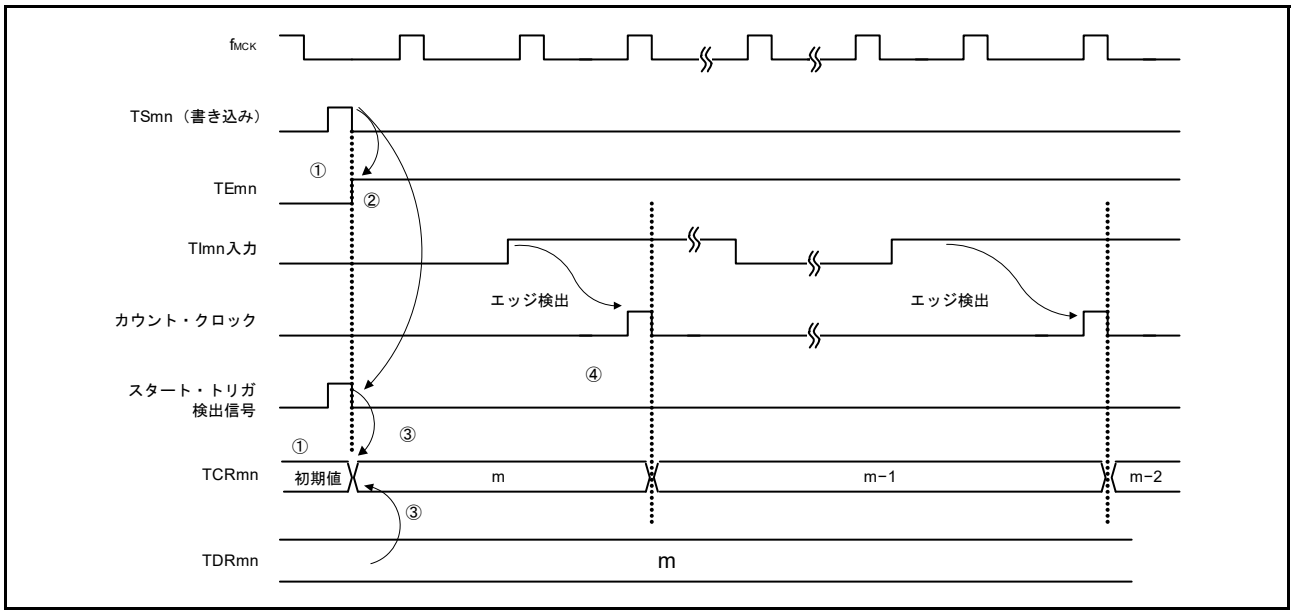
注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考　fMCK、スタート・トリガ検出信号、INTTMmnは、fCLKに同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

① 動作停止状態（TEmn = 0）の期間、タイマ・カウンタ・レジスタmn（TCRmn）は、初期値を保持します。
② TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
③ TSmn = 1→TEmn = 1と同時に、TCRmnレジスタにタイマ・データ・レジスタmn（TDRmn）の値をロードし、カウントを開始します。
④ 以降はTImn入力の有効エッジでのカウント・クロックに従い、TCRmnレジスタの値をダウン・カウントします。

図7 - 30　動作タイミング（イベント・カウンタ・モード）

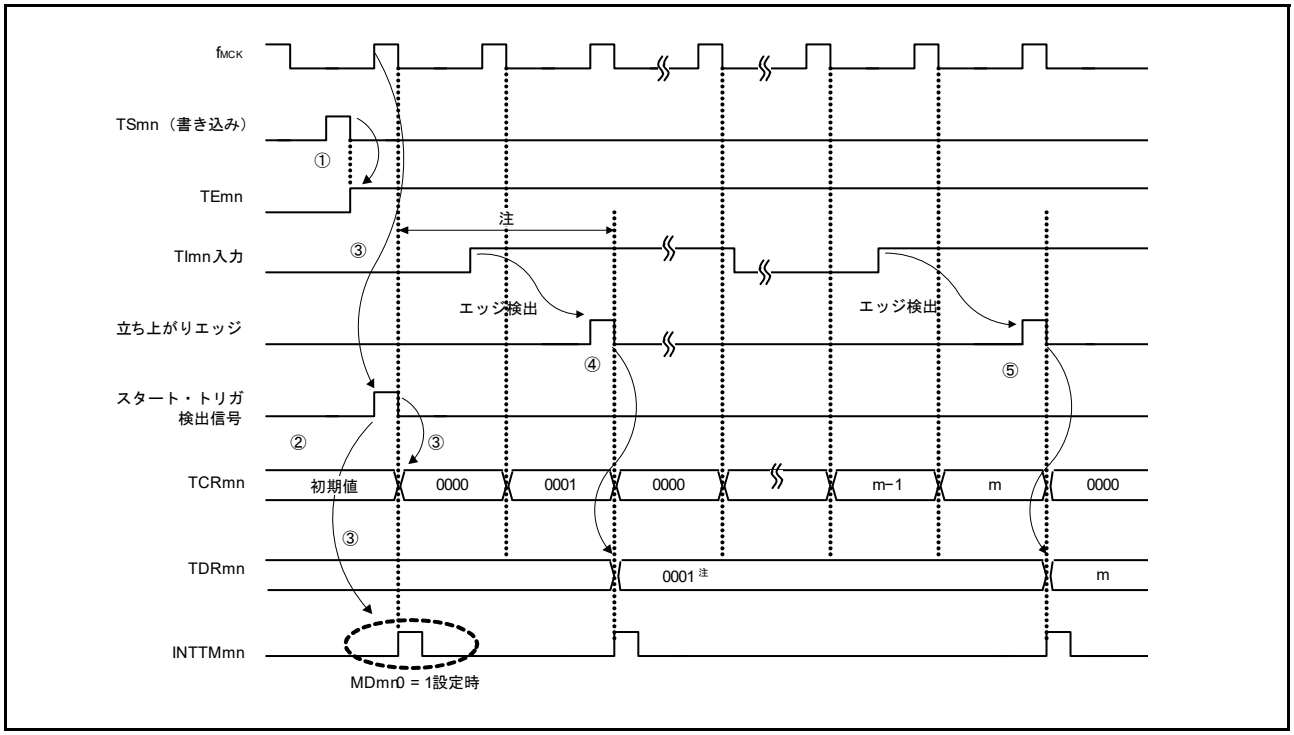


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

(3) キャプチャ・モードの動作（入力パルス間隔測定）

① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は、カウント・クロック発生まで初期値を保持しています。
③ 動作許可後の最初のカウント・クロック（fMCK）で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します（MDmn0ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します）。
④ TImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。
⑤ 次のTImn入力の有効エッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7 - 31　動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注　スタート前からTImnにクロックが入力されている（トリガがある）場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので、無視してください。

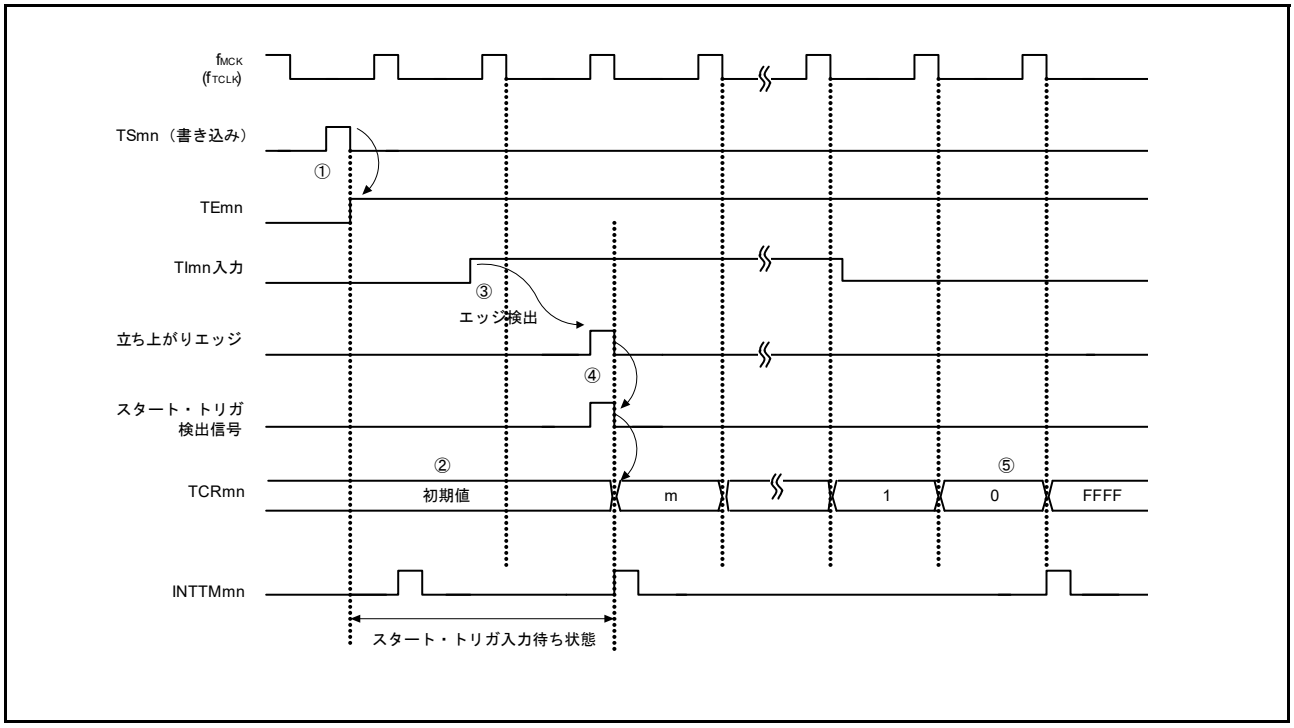
注意　**カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。**

備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

(4)　ワンカウント・モードの動作

① TSmnビットへ1を書き込むことにより、動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は、スタート・トリガ発生まで初期値を保持しています。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して、TDRmnレジスタの値（m）をTCRmnレジスタにロードし、カウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図7 - 32　動作タイミング（ワンカウント・モード）

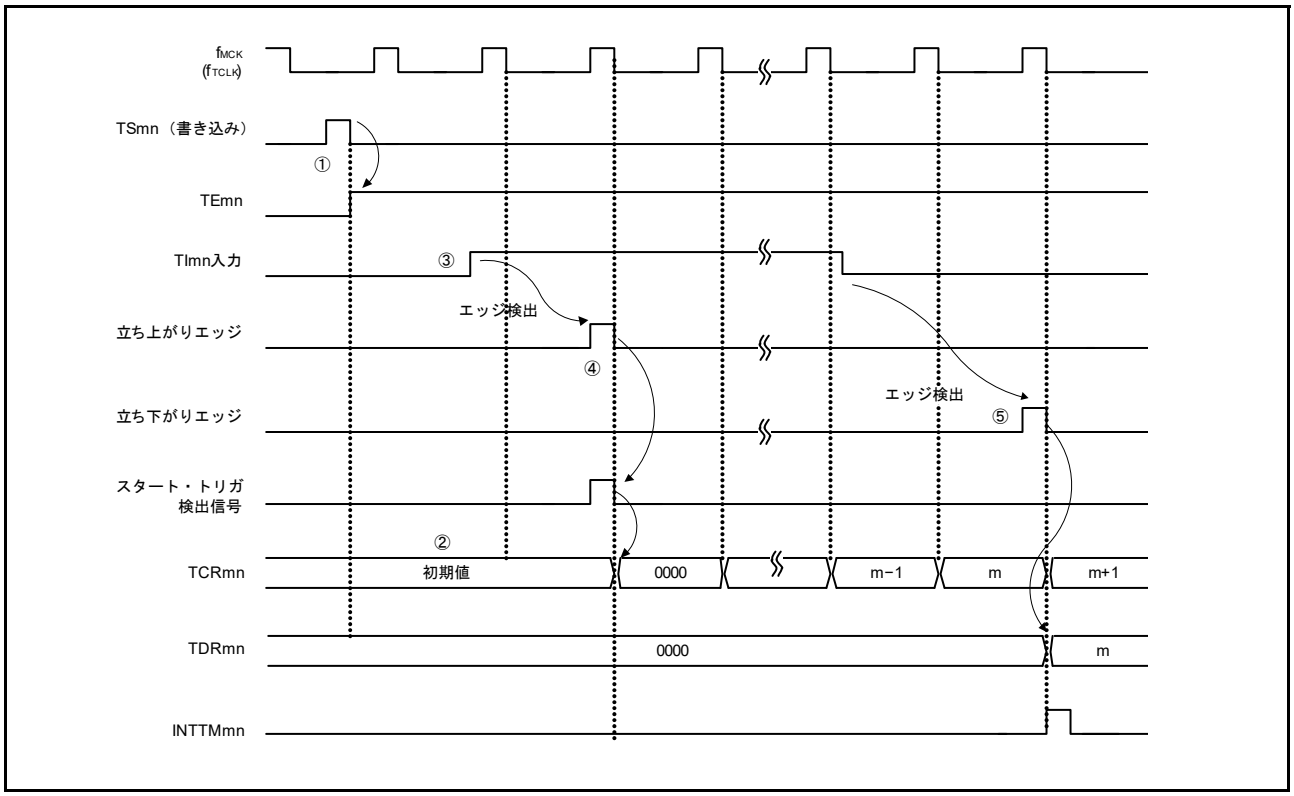


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

(5) キャプチャ＆ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタm（TSm）のTSmnビットに1を書き込むことにより、動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は、スタート・トリガ発生まで初期値を保持します。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して、0000HをTCRmnレジスタにロードし、カウントを開始します。
⑤ TImn入力の立ち下がりエッジを検出すると、TCRmnレジスタの値をTDRmnレジスタにキャプチャし、INTTMmn割り込みが発生します。

図7 - 33　動作タイミング（キャプチャ＆ワンカウント・モード：ハイ・レベル幅測定）

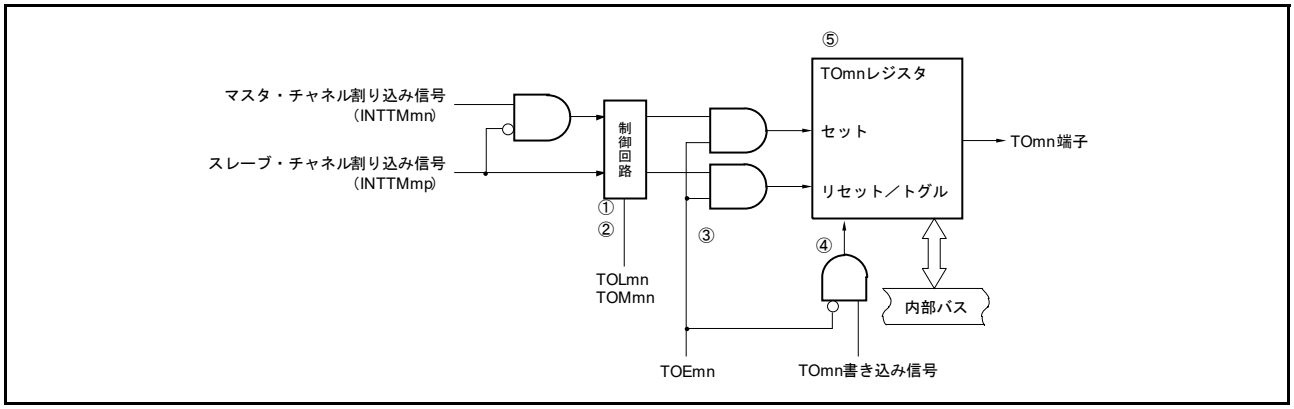


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

7.6　チャネル出力（TOmn端子）の制御

7.6.1　TOmn端子の出力回路の構成

図7 - 34　出力回路構成図



TOmn 端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは、タイマ出力レベル・レジスタ m（TOLm）の設定値は無視され、INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタ m（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは、INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）が TOm レジスタに伝えられます。
このとき、TOLm レジスタが有効となり、次のように信号を制御します。

- TOLmn = 0の場合：正論理出力（INTTMmn→セット、INTTMmp→リセット）
- TOLmn = 1の場合：負論理出力（INTTMmn→リセット、INTTMmp→セット）

また、INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は、INTTMmp（リセット信号）が優先され、INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で、INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）が TOm レジスタに伝えられます。TOm レジスタへの書き込み（TOmn ライト信号）は無効となります。
また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止（TOEmn = 0）に設定しTOmレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で、対象チャネルの TOmn ビットへの書き込み（TOmn ライト信号）が有効となります。タイマ出力禁止状態（TOEmn = 0）のとき、INTTMmn（マスタ・チャネル・タイマ割り込み）と INTTMmp（スレーブ・チャネル・タイマ割り込み）は TOm レジスタに伝えられません。

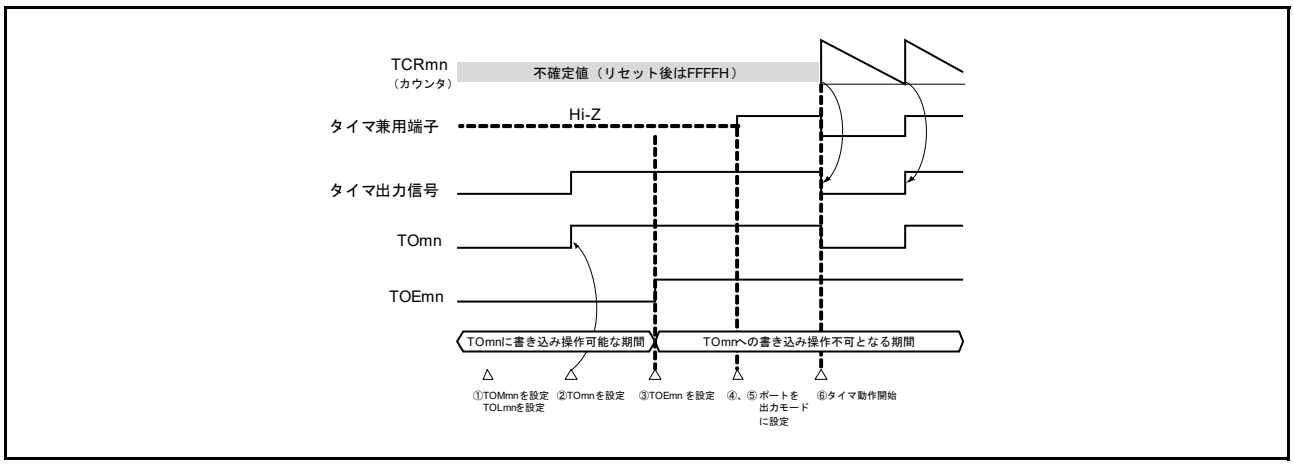
⑤ TOm レジスタは常に読み出し可能であり、TOmn 端子の出力レベルを確認することができます。

備考　m：ユニット番号（m = 0）
n：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p：スレーブ・チャネル番号
n ＜ p ≦ 7

7.6.2 TOmn端子の出力設定

TOmn 出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図7 - 35　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

- TOMmnビット（0：マスタ・チャネル出力モード、1：スレーブ・チャネル出力モード）
- TOLmnビット（0：正論理出力、1：負論理出力）

② タイマ出力レジスタ m（TOm）を設定することにより、タイマ出力信号が初期状態に設定されます。

③ TOEmn ビットに 1 を書き込み、タイマ出力動作を許可します（TOm レジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール A・レジスタ（PMCAxx）、ポート・モード・コントロール T・レジスタ（PMCTxx）でポートをデジタル入出力に設定します（**7.3.17　タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ**参照）。

⑤ ポートの入出力設定を出力に設定します（**7.3.17　タイマ入出力と端子を兼用するポートのポート機能を制御するレジスタ**参照）。

⑥ タイマを動作許可にします（TSmn = 1）。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.6.3 チャネル出力操作時の注意事項

(1) タイマ動作中のTOm, TOEm, TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn（TCRmn）、タイマ・データ・レジスタmn（TDRmn）の動作）は、TOmn出力回路とは独立しています。よって、タイマ出力レジスタm（TOm）、タイマ出力許可レジスタm（TOEm）、タイマ出力レベル・レジスタm（TOLm）の設定値変更はタイマ動作に影響しないため、タイマ動作中に設定値の変更が可能です。ただし、各タイマ動作において期待する波形をTOmn端子から出力するためには、**7.7　タイマ入力（TImn）の制御**および**7.8　タイマ・アレイ・ユニットの単独チャネル動作機能**で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTMmn）近辺で、TOmレジスタを除くTOEmレジスタ、TOLmレジスタの設定値変更を行うと、タイマ割り込み（INTTMmn）信号発生タイミング直前に設定値変更が実施された場合と、タイマ割り込み（INTTMmn）信号発生タイミング直後に設定値変更が実施された場合とでは、TOmn端子に出力される波形が異なる場合があります。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

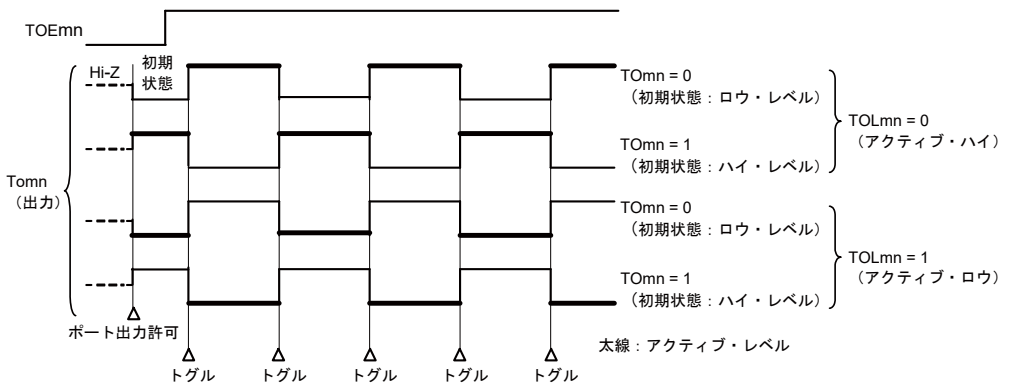
(2) TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタm（TOm）に書き込みを行い、初期レベル変更後、タイマ出力許可状態（TOEmn = 1）に設定した場合のTOmn端子出力レベルの変化を次に示します。

(a) マスタ・チャネル出力モード（TOMmn = 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn = 0）のとき、タイマ出力レベル・レジスタm（TOLm）の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図7 - 36　トグル出力時（TOMmn = 0）のTOmn端子出力状態



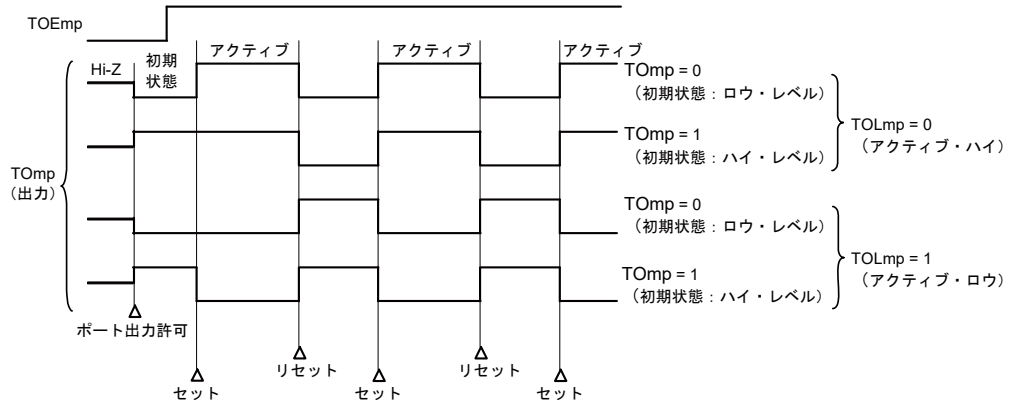
備考1. トグル：TOmn端子の出力状態を反転

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

(b) スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMmp = 1）のとき、タイマ出力レベル・レジスタm（TOLm）の設定によりアクティブ・レベルを決定します。

図7 - 37　PWM出力時（TOMmp = 1）のTOmp端子出力状態



備考1. セット　：TOmp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号（m = 0）、p：チャネル番号（p = 1-7）

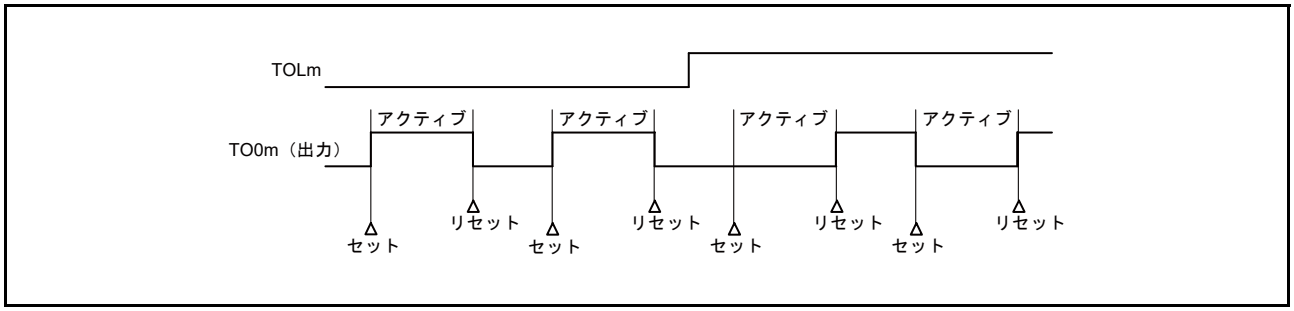
(3) TOmn端子のスレーブ・チャネル出力モード（TOMmn = 1）での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中（TEmn = 1）にTOLmレジスタの値を変更した場合の動作を次に示します。

図7 - 38　タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット　：TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャネル・タイマ割り込み（INTTMmn）発生時のTOmn端子／TOmnビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

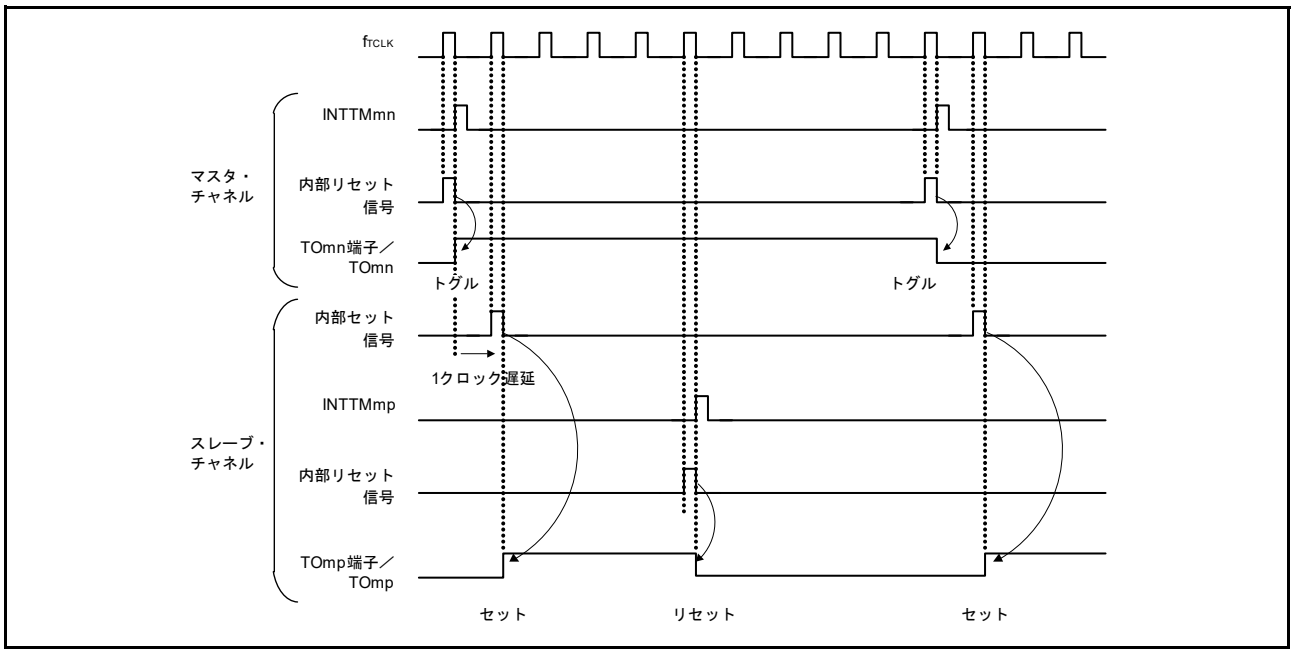
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を**図7 - 39**に示します。

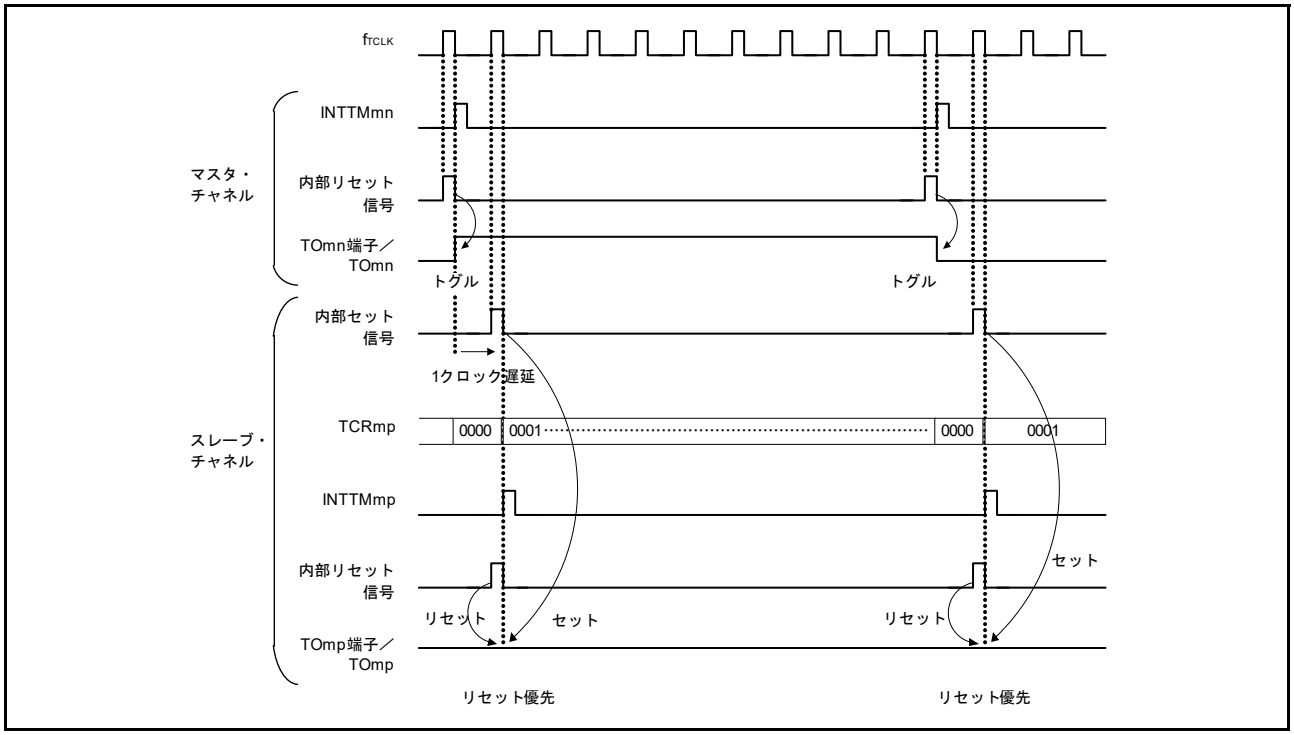
- マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0
- スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図7 - 39　セット／リセット・タイミング動作状態

(1)　基本動作タイミング



(2)　0%デューティ時の動作タイミング



備考1. 内部リセット信号：TOmn端子のリセット／トグル信号
内部セット信号：TOmn端子のセット信号

備考2. m ：ユニット番号（m = 0）
n ：チャネル番号
n = 0-7（マスタ・チャネル時：n = 0, 2, 4, 6）
p ：スレーブ・チャネル番号
n＜p≦7

7.6.4　TOmnビットの一括操作

タイマ出力レジスタ m（TOm）には、タイマ・チャネル開始レジスタ m（TSm）と同様に、1 レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって、全チャネルの TOmn ビットを一括で操作することが可能です。また、操作対象としたいチャネル出力（TOmn）のみ TOmn ビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

図7 - 40　TO0nビットの一括操作例

書き込み前

TO0	0	0	0	0	0	0	0	0	TO07 0	TO06 0	TO05 1	TO04 0	TO03 0	TO02 0	TO01 1	TO00 0
TOE0	0	0	0	0	0	0	0	0	TOE07 0	TOE06 0	TOE05 1	TOE04 0	TOE03 1	TOE02 1	TOE01 1	TOE00 1

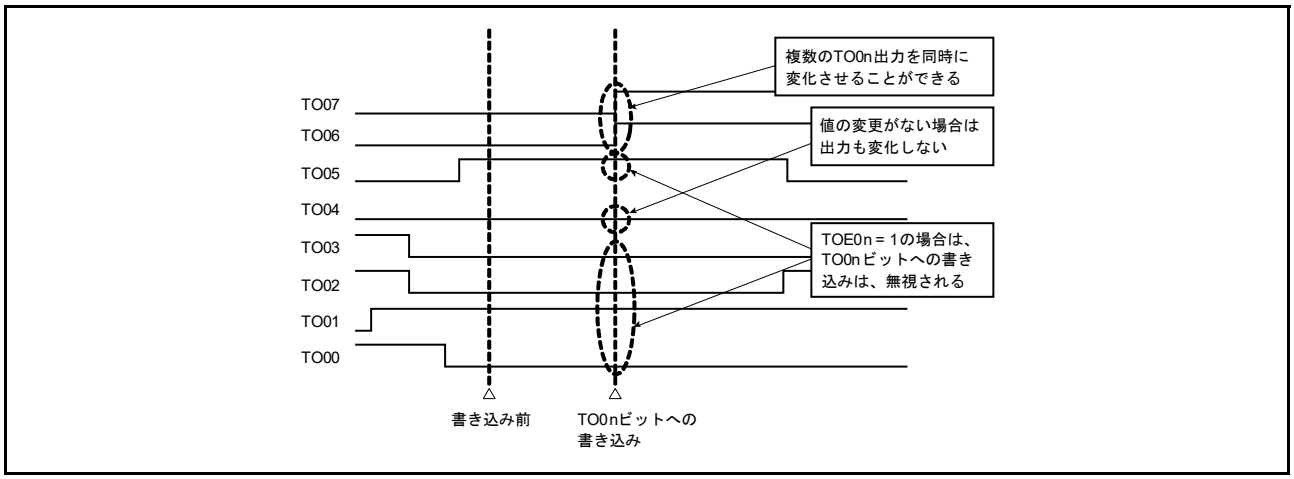
書き込みデータ

	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	1
TO0	0	0	0	0	0	0	0	0	TO07 1	TO06 1	TO05 1	TO04 0	TO03 0	TO02 0	TO01 1	TO00 0

TOEmn = 0 の TOmn ビットのみ書き込みが行われます。TOEmn = 1 の TOmn ビットへの書き込みは無視されます。

TOEmn = 1 に設定されている TOmn（チャネル出力）は、書き込み操作による影響は受けません。TOmn ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図7 - 41　TO0nビットの一括操作によるTO0nの端子状態



備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.6.5　カウント動作開始時のタイマ割り込みとTOmn端子出力について

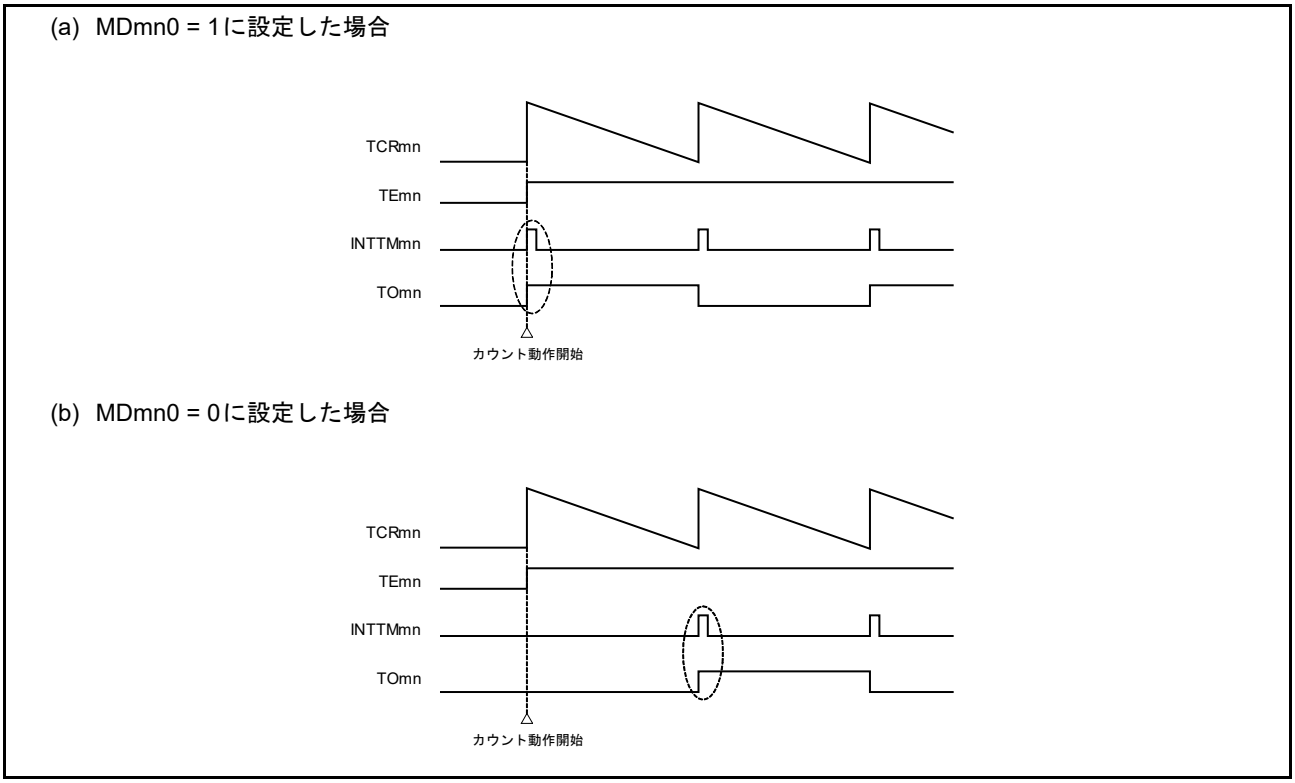
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn（TMRmn）の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOmn 出力は制御しません。

インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図7 - 42　カウント動作開始時のタイマ割り込み、TOmn出力の動作例



MDmn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み（INTTMmn）が出力され、TOmnがトグル動作します。

MDmn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmnも変化しません。1周期をカウント後、INTTMmnを出力し、TOmnがトグル動作します。

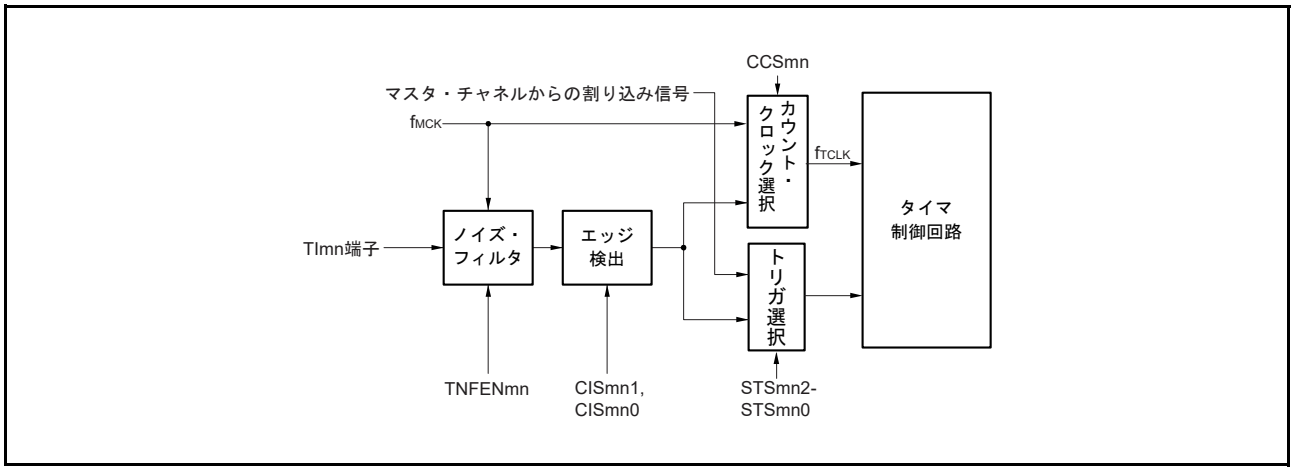
備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.7　タイマ入力（TImn）の制御

7.7.1　TImnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

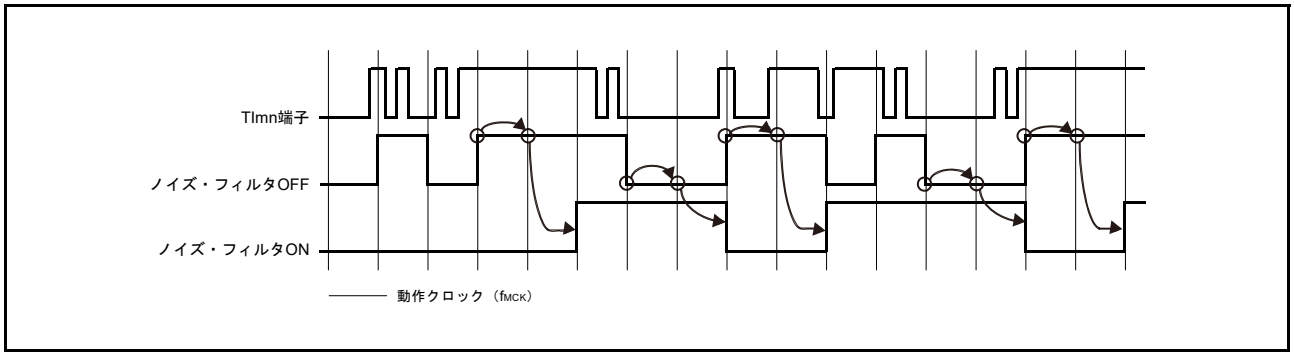
図7 - 43　入力回路構成図



7.7.2　ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャネル n の動作クロック（fMCK）で同期化だけ行います。ノイズ・フィルタ有効時は、チャネル n の動作クロック（fMCK）で同期化のあと、2 クロックの一致検出を行います。以下に、TImn 入力端子に対するノイズ・フィルタ ON ／ OFF によるノイズ・フィルタ回路を通過後の波形を示します。

図7 - 44　TImn入力端子に対するノイズ・フィルタON／OFFによるサンプリング波形



7.7.3 チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合
タイマ・モード・レジスタmn（TMRmn）のCCSmn, STSmn1, STSmn0ビットがすべて0の状態から、いずれかのビットをセットした場合は、動作クロック（f_{MCK}）の2サイクル以上経過してから、タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合
タイマ・モード・レジスタmn（TMRmn）のCCSmn, STSmn1, STSmn0ビットがすべて0の状態から、いずれかのビットをセットした場合は、動作クロック（f_{MCK}）の4サイクル以上経過してから、タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

7.8 タイマ・アレイ・ユニットの単独チャネル動作機能

7.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は、次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 = カウント・クロックの周期 ×（TDRmnの設定値 + 1）

(2) 方形波出力としての動作

TOmnは、INTTMmn発生と同時にトグル動作を行い、デューティ 50%の方形波を出力します。

TOmn出力波形の周期と周波数は、次の式で求めることができます。

TOmnからの出力方形波の周期 = カウント・クロックの周期 ×（TDRmnの設定値 + 1）× 2

TOmnからの出力方形波の周波数 = カウント・クロックの周波数／｛（TDRmnの設定値 + 1）× 2｝

タイマ・カウンタ・レジスタ mn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn, TSHm1, TSHm3）に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn（TDRmn）の値をロードします。このときタイマ・モード・レジスタ mn（TMRmn）の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

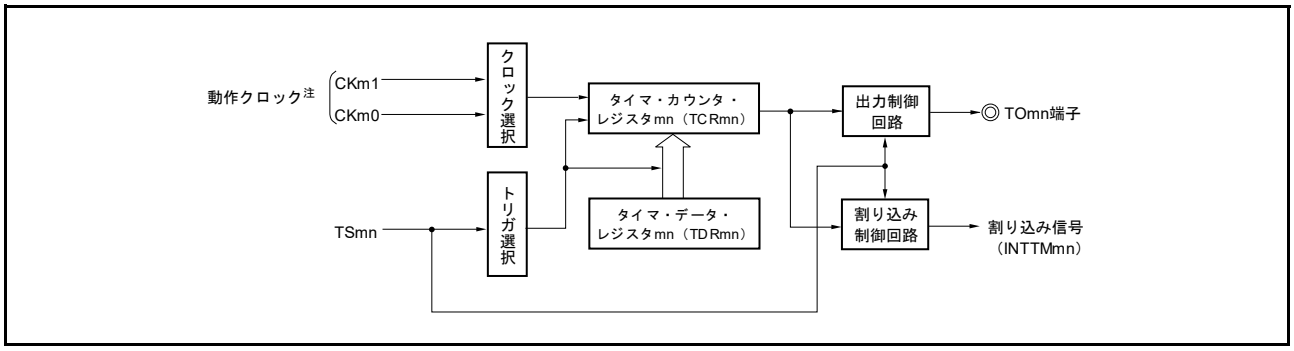
その後、TCRmn レジスタはカウント・クロックにあわせてダウン・カウントを行います。

TCRmn = 0000H となったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を継続します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

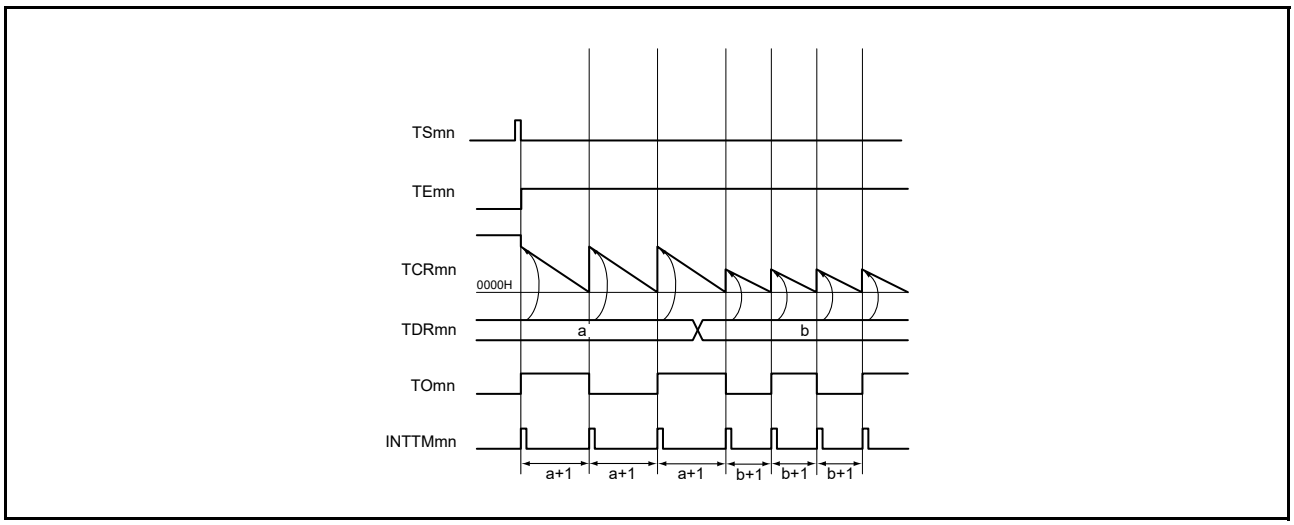
備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 45　インターバル・タイマ／方形波出力としての動作のブロック図



注　チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7 - 46　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）



備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

TOmn　：TOmn端子出力信号

図7 - 47　インターバル・タイマ／方形波出力時のレジスタ設定内容例

(a) タイマ・モード・レジスタ mn（TMRmn）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1 1/0	CKSmn0 1/0	0	CCSmn 0	M/S注 0/1	STSmn2 0	STSmn1 0	STSmn0 0	CISmn1 0	CISmn0 0	0	0	MDmn3 0	MDmn2 0	MDmn1 0	MDmn0 1/0

チャネルnの動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時に
INTTMmn発生せず、
タイマ出力反転せず
1：カウント開始時に
INTTMmn発生し、
タイマ出力反転する

TImn端子入力のエッジ選択
00B：使用しないので00を設定

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（fMCK）を選択

動作クロック（fMCK）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタ m（TOm）

	ビットn
TOm	TOmn 1/0

0：TOmnより0を出力する
1：TOmnより1を出力する

(c) タイマ出力許可レジスタ m（TOEm）

	ビットn
TOEm	TOEmn 1/0

0：カウント動作によるTOmn出力動作停止
1：カウント動作によるTOmn出力動作許可

(d) タイマ出力レベル・レジスタ m（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタ m（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 48　インターバル・タイマ／方形波出力機能時の操作手順 (1/2)

		ソフトウェア操作	ハードウェアの状態
	TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
		周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
		タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
	チャネル初期設定	タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
		TOmn出力を使用する場合、 タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する TOLmnビットに0を設定する TOmnビットを設定し、TOmn出力の初期レベルを確定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmn初期設定レベルが出力される。
		TOEmnビットに1を設定し、TOmnの動作を許可 →	チャネルは動作停止状態なので、TOmnは変化しない
		ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はTOmn設定レベルを出力
動作再開	動作開始	（TOmn出力を使用する場合で、かつ動作再開時のみTOEmnビットに1を設定する） TSmn（TSHm1, TSHm3）ビットに1を設定する →	TEmn（TEHm1, TEHm3）= 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は、INTTMmnを発生し、TOmnもトグル動作する。
		TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので、自動的に0に戻る	
	動作中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TOm, TOEmレジスタは、設定値変更可能 TMRmnレジスタ、TOMmn, TOLmnビットは、設定値変更禁止	カウンタ（TCRmn）はダウン・カウント動作を行い、0000Hまでカウントすると、再びTCRmnレジスタはTDRmnレジスタの値をロードし、カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し、TOmnはトグル動作する。 以降、この動作を繰り返す。
	動作停止	TTmn（TTHm1, TTHm3）ビットに1を設定する →	TEmn（TEHm1, TEHmn）= 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず、状態保持
		TTmn（TTHm1, TTHm3）ビットはトリガ・ビットなので、自動的に0に戻る	
		TOEmnビットに0を設定し、TOmnビットに値を設定する →	TOmn端子はTOmnビットに設定したレベルを出力

図7 - 48　インターバル・タイマ／方形波出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAU停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAUmENビットに0を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態
	全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.2 外部イベント・カウンタとしての動作

TImn 端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達すると割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 = TDRmnの設定値 + 1

タイマ・カウンタ・レジスタ mn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の任意の動作許可（スタート）トリガ・ビット（TSmn）に 1 を設定することにより TCRmn レジスタはタイマ・データ・レジスタ mn（TDRmn）の値をロードします。

TCRmn レジスタは TImn 端子入力の有効エッジ検出にあわせてダウン・カウントを行い、TCRmn = 0000H となったら、再び TDRmn レジスタの値をロードして、INTTMmn を出力します。

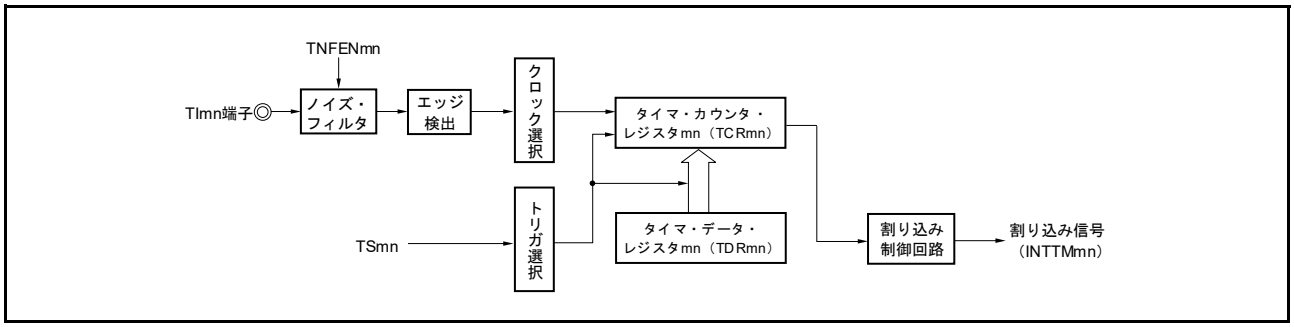
以降、同様の動作を継続します。

TOmn 端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m（TOEm）の TOEmn ビットに 0 を設定して出力動作を停止するようにしてください。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は次のカウント期間で有効になります。

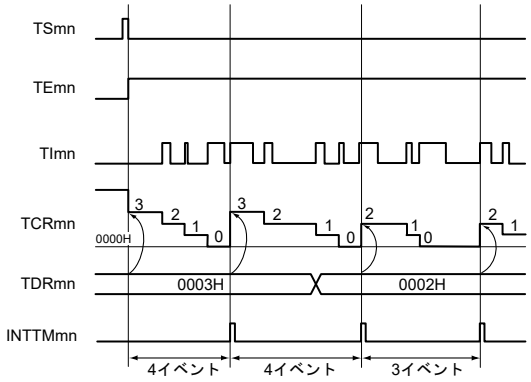
外部イベント・カウンタは、TImn 端子入力を使用せずに、TIS0, TIS1 レジスタで選択したタイマ入力を入力ソースにすることもできます。

図7 - 49　外部イベント・カウンタとしての動作のブロック図



備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 50　外部イベント・カウンタとしての動作の基本タイミング例



備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図7 - 51　外部イベント・カウンタ・モード時のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1 1/0	CKSmn0 1/0	0	CCSmn 0	M/S注 0/1	STSmn2 0	STSmn1 0	STSmn0 0	CISmn1 1/0	CISmn0 1/0	0	0	MDmn3 0	MDmn2 1	MDmn1 1	MDmn0 0

チャネルnの動作モード
011B：イベント・カウンタ・モード

カウント開始時の動作設定
0：カウント開始時に
INTTMmn発生せず、
タイマ出力反転せず

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
1：TImn端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 52　外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にカウント数を設定する タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、TImn端子入力のエッジ検出待ち状態になる
動作中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない TMRmnレジスタ、TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	TImn端子入力のエッジが検出されるごとに、カウンタ（TCRmn）はダウン・カウント動作を行う。0000Hまでカウントすると、再びTCRmnレジスタはTDRmnレジスタの値をロードし、カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。 以降、この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRES → ビットに1を設定する	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.3 分周器としての動作（チャネル0のみ）

TI00 端子に入力されたクロックを分周し、TO00 端子から出力する分周器として利用することができます。

TO00 出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：
  分周クロック周波数 = 入力クロック周波数／｛（TDR00 の設定値 + 1）× 2｝
- 両エッジ選択時：
  分周クロック周波数 ≒ 入力クロック周波数／（TDR00の設定値 + 1）

タイマ・カウンタ・レジスタ 00（TCR00）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ 0（TS0）の動作許可（スタート）トリガ・ビット（TS00）に 1 を設定後、TI00 の有効エッジ検出で TCR00 レジスタはタイマ・データ・レジスタ 00（TDR00）の値をロードします。このときタイマ・モード・レジスタ 00（TMR00）の MD000 = 0 ならば、INTTM00 を出力せず、TO00 はトグルしません。TMR00 レジスタの MD000 = 1 ならば、INTTM00 を出力して、TO00 をトグルします。

その後、TI00 端子入力の有効エッジにあわせてダウン・カウントを行い、TCR00 = 0000H となったら、TO00 をトグルします。同時に TCR00 レジスタは TDR00 レジスタの値をロードして、カウントを継続します。

TI00 端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差が TO00 出力の分周クロック周期に影響します。

TO00 の出力クロックの周期には、動作クロック 1 周期分のサンプリング誤差が含まれます。

TO00出力のクロック周期 = 理想のTO00出力クロック周期 ± 動作クロック周期（誤差）

TDR00 レジスタは任意のタイミングで書き換えることができます。書き換えた TDR00 レジスタの値は次のカウント期間で有効となります。

図7 - 53　分周器としての動作のブロック図

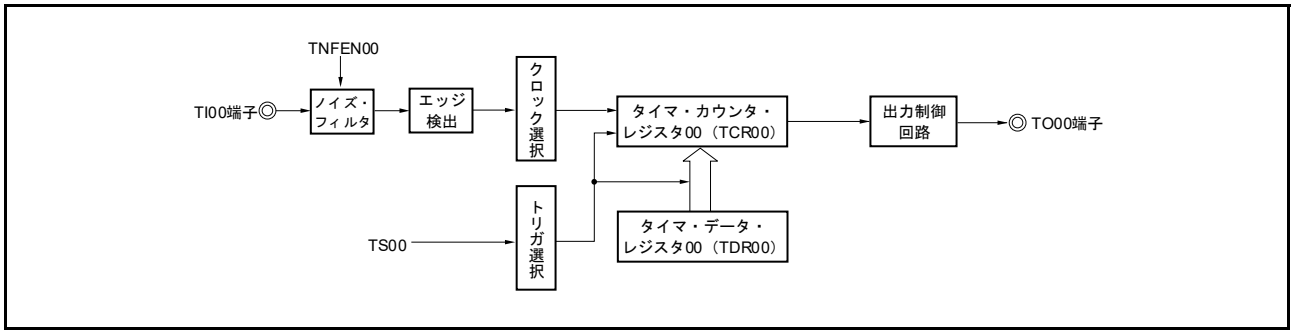
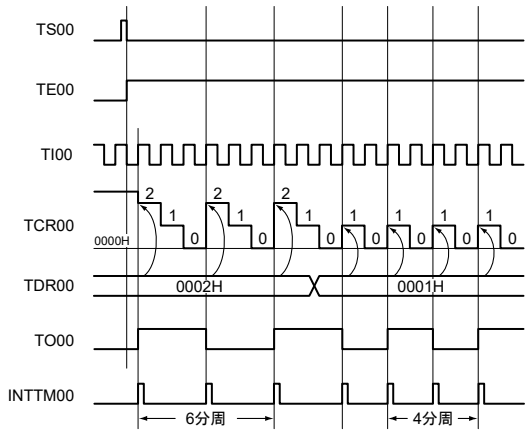


図7 - 54　分周器としての動作の基本タイミング例（MD000 = 1）



備考　TS00　：タイマ・チャネル開始レジスタ0（TS0）のビット0

TE00　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビット0

TI00　：TI00端子入力信号

TCR00　：タイマ・カウンタ・レジスタ00（TCR00）

TDR00　：タイマ・データ・レジスタ00（TDR00）

TO00　：TO00端子出力信号

図7 - 55　分周器として動作時のレジスタ設定内容例

(a) タイマ・モード・レジスタ00（TMR00）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR00	CKS001 1/0	CKS000 0	0	CCS00 1	0	STS002 0	STS001 0	STS000 0	CIS001 1/0	CIS000 1/0	0	0	MD003 0	MD002 0	MD001 0	MD000 1/0

チャネル0の動作モード
000B：インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時に
INTTM00発生せず、
タイマ出力反転せず
1：カウント開始時に
INTTM00発生し、
タイマ出力反転する

TI00端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウェア・スタートのみを選択

カウント・クロック選択
1：TI00端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネル0の動作クロックにCK00を選択
10B：チャネル0の動作クロックにCK01を選択

(b) タイマ出力レジスタ0（TO0）

	ビット0
TO0	TO00 1/0

0：TO00より0を出力する
1：TO00より1を出力する

(c) タイマ出力許可レジスタ0（TOE0）

	ビット0
TOE0	TOE00 1/0

0：カウント動作によるTO00出力動作停止
1：カウント動作によるTO00出力動作許可

(d) タイマ出力レベル・レジスタ0（TOL0）

	ビット0
TOL0	TOL00 0

0：マスタ・チャネル出力モード（TOM00 = 0）では0を設定

(e) タイマ出力モード・レジスタ0（TOM0）

	ビット0
TOM0	TOM00 0

0：マスタ・チャネル出力モードを設定

図7 - 56　分周器機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00-CK03のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタ00（TMR00）を設定する （チャネルの動作モード確定、検出エッジの選択） タイマ・データ・レジスタ00（TDR00）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	タイマ出力モード・レジスタ0（TOM0）のTOM00ビットに0（マスタ・チャネル出力モード）を設定する TOL00ビットに0を設定する TO00ビットを設定し、TO00出力の初期レベルを確定する →	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TO00初期設定レベルが出力される。
	TOE00ビットに1を設定し、TO00の動作を許可 →	チャネルは動作停止状態なので、TO00は変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TO00端子はTO00設定レベルを出力

図7 - 56　分周器機能時の操作手順 (2/2)

		ソフトウェア操作	ハードウェアの状態
動作再開	動作開始	TOE00ビットに1を設定する（動作再開時のみ） TS00ビットに1を設定する → TS00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 1になり、カウント動作開始 タイマ・カウンタ・レジスタ00（TCR00）はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は、INTTM00を発生し、TO00もトグル動作する。
	動作中	TDR00レジスタは、任意に設定値変更が可能 TCR00レジスタは、常に読み出し可能 TSR00レジスタは、使用しない TO0, TOE0レジスタは、設定値変更可能 TMR00レジスタ、TOM00, TOL00ビットは、設定値変更禁止	カウンタ（TCR00）はダウン・カウント動作を行い、0000Hまでカウントすると、再びTCR00レジスタはTDR00レジスタの値をロードし、カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し、TO00はトグル動作する。 以降、この動作を繰り返す。
	動作停止	TT00ビットに1を設定する → TT00ビットはトリガ・ビットなので、自動的に0に戻る	TE00 = 0になり、カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず、状態保持
		TOE00ビットに0を設定し、TO00ビットに値を設定する →	TO00端子はTO00設定レベルを出力
	TAU停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TO00ビットに0を設定する → TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能により保持される。
		PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

7.8.4 入力パルス間隔測定としての動作

TImn 有効エッジでカウント値をキャプチャし、TImn 入力パルスの間隔を測定することができます。また、TEmn = 1 の期間中に、ソフトウェア操作（TSmn = 1）をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 = カウント・クロックの周期 ×（（10000H × TSRmn.OVF）+（TDRmnのキャプチャ値 + 1））

注意　TImn端子入力は、タイマ・モード・レジスタ mn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn）に 1 を設定すると TCRmn レジスタはカウント・クロックにあわせて 0000H からアップ・カウントを開始します。

TImn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn（TDRmn）に転送（キャプチャ）すると同時に、TCRmn レジスタを 0000H にクリアして、INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットが 1 にセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

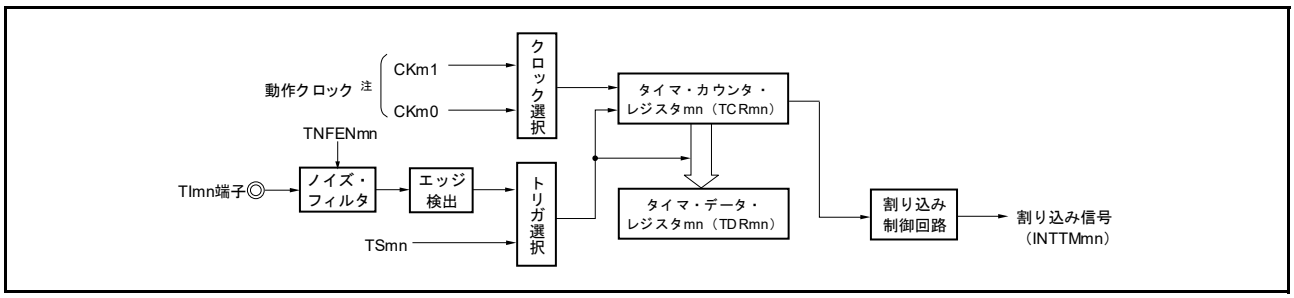
カウント値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットが 1 にセットされます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタの STSmn2-STSmn0 = 001B に設定して、TImn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

入力パルス間隔測定は、TImn 端子入力を使用せずに、TIS0, TIS1 レジスタで選択したタイマ入力や、ソフトウェア操作（TSmn = 1）をスタート・トリガおよびキャプチャ・トリガにすることもできます。

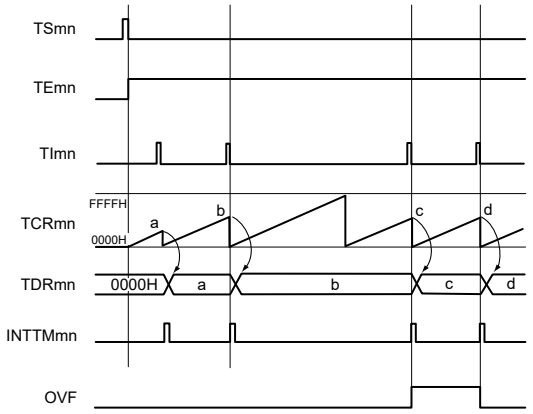
図7 - 57　入力パルス間隔測定としての動作のブロック図



注　チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 58　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）



備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図7 - 59　入力パルス間隔測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタ mn（TMRmn）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1 1/0	CKSmn0 0	0	CCSmn 0	M/S注 0	STSmn2 0	STSmn1 0	STSmn0 1	CISmn1 1/0	CISmn0 1/0	0	0	MDmn3 0	MDmn2 1	MDmn1 0	MDmn0 1/0

チャネルnの動作モード
010B：キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時に
INTTMmn発生しない
1：カウント開始時に
INTTMmn発生する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（fMCK）を選択

動作クロック（fMCK）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタ m（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタ m（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタ m（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタ m（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 60　入力パルス間隔測定機能時の操作手順

		ソフトウェア操作	ハードウェアの状態
	TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
		周辺イネーブル・レジスタmのTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
		タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
	チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作再開	動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は、INTTMmnを発生する。
	動作中	TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能 TDRmnレジスタは、常に読み出し可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	カウンタ（TCRmn）は0000Hからアップ・カウント動作を行い、TImn端子入力の有効エッジの検出またはTSmnビットに1を設定すると、カウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）する。同時に、TCRmnレジスタを0000Hにクリアし、INTTMmnを発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットがクリアされる。 以降、この動作を繰り返す。
	動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
	TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.5 入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作

注意　LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ（ISC）のISC1ビットに1を設定してください。また、以降の説明では「TImn」を「RxD2」と読み替えてください。

TImn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、TImn の信号幅（ロウ・レベル幅／ハイ・レベル幅）を測定することができます。TImn の信号幅は次の式で求めることができます。

TImn入力の信号幅 = カウント・クロックの周期 ×（（10000H × TSRmn.OVF）+（TDRmnのキャプチャ値 + 1））

注意　TImn端子入力は、タイマ・モード・レジスタ mn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn（TCRmn）はキャプチャ＆ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn）に 1 を設定すると、TEmn = 1 となり TImn 端子のスタート・エッジ検出待ち状態となります。

TImn 端子入力のスタート・エッジ（ハイ・レベル幅測定なら TImn 端子入力の立ち上がりエッジ）を検出すると、カウント・クロックにあわせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ（ハイ・レベル幅測定なら TImn 端子入力の立ち下がりエッジ）を検出すると、カウンタ値をタイマ・データ・レジスタ mn（TDRmn）に転送すると同時に INTTMmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn（TSRmn）の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、TImn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットが 1 にセットされます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

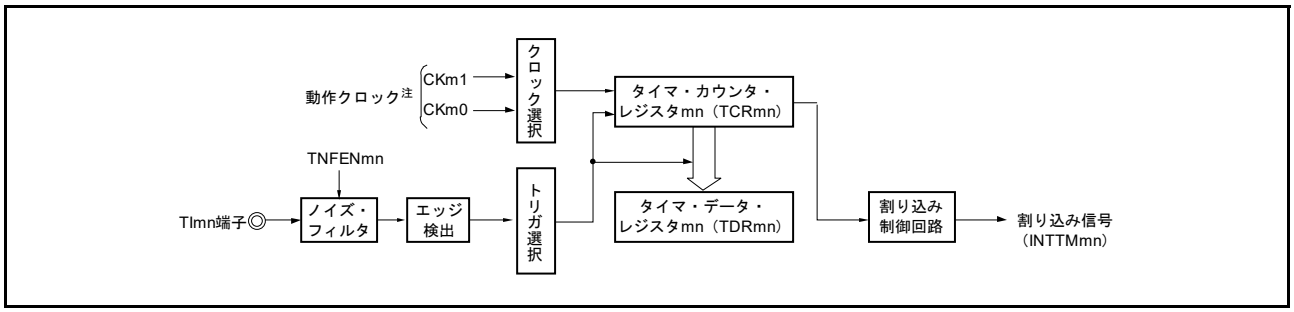
TImn 端子入力のロウ・レベル幅を測定するか、ハイ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、TImn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSmn ビットの 1 へのセットは使用できません。

なお、TImn 端子入力を使用せずに、TIS0 レジスタで選択したタイマ入力を、スタート・エッジおよびキャプチャ・エッジとすることもできます。

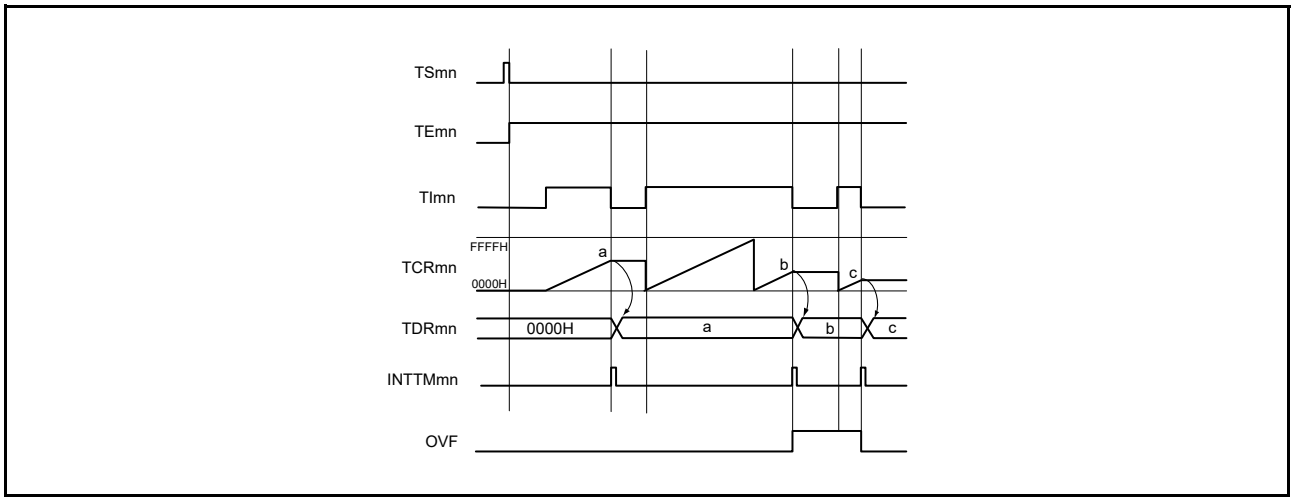
- TMRmn レジスタのCISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する
- TMRmn レジスタのCISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図7 - 61　入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作のブロック図



注　チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図7 - 62　入力信号のロウ・レベル幅／ハイ・レベル幅測定としての動作の基本タイミング例



備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図7 - 63　入力信号のロウ・レベル幅／ハイ・レベル幅測定時のレジスタ設定内容例

(a) タイマ・モード・レジスタ mn（TMRmn）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1 1/0	CKSmn0 0	0	CCSn0 0	M/S注 0	STSmn2 0	STSmn1 1	STSmn0 0	CISmn1 1	CISmn0 1/0	0	0	MDmn3 1	MDmn2 1	MDmn1 0	MDmn0 0

チャネルnの動作モード
110B：キャプチャ＆ワンカウント

カウント開始時の動作設定
0：カウント開始時に
INTTMmn発生しない

TImn端子入力のエッジ選択
10B：両エッジ選択（ロウ・レベル幅測定）
11B：両エッジ選択（ハイ・レベル幅測定）

スタート・トリガ選択
010B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（fMCK）を選択

動作クロック（fMCK）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタ m（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタ m（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタ m（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタ m（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 64　入力信号のロウ・レベル幅／ハイ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルの動作モード確定） TOEmnビットに0を設定し、TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアし、カウント・アップ動作を開始する
動作中	TDRmnレジスタは、常に読み出し可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、常に読み出し可能 TMRmnレジスタ、TOMmn, TOLmn, TOmn, TOEmnビットは、設定値変更禁止	TImn端子のスタート・エッジ検出後、カウンタ（TCRmn）は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら、カウント値をタイマ・データ・レジスタmn（TDRmn）に転送し、INTTMmnを発生する。 このときオーバフローが発生していたら、タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ、オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは、次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.8.6 ディレイ・カウンタとしての動作

TImn 端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし、任意の設定間隔で INTTMmn（タイマ割り込み）を発生することができます。

また、TEmn = 1 の期間中に、ソフトウェア操作で TSmn = 1 に設定することで、ダウン・カウントをスタートし、任意の設定間隔で INTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 = カウント・クロックの周期 ×（TDRmnの設定値 + 1）

タイマ・カウンタ・レジスタ mn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

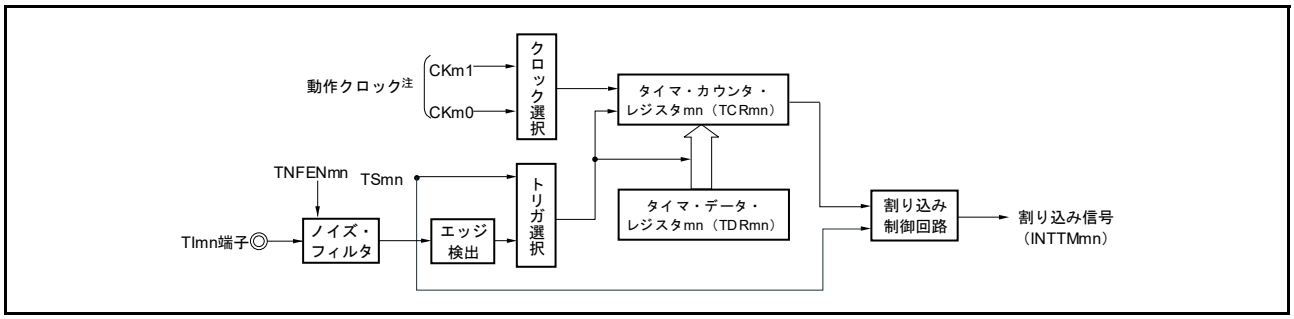
タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn, TSHm1, TSHm3）に 1 を設定すると、TEmn, TEHm1, TEHm3 = 1 となり TImn 端子の有効エッジ検出待ち状態となります。

TCRmn レジスタは、TImn 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ mn（TDRmn）から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCRmn = 0000H となったら INTTMmn を出力し、次の TImn 端子入力の有効エッジがあるまで、カウントを停止します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

ディレイ・カウンタは、TImn 端子入力を使用せずに、TIS0, TIS1 レジスタで選択したタイマ入力や、ソフトウェア操作（TSmn = 1）をスタート・トリガにすることもできます。

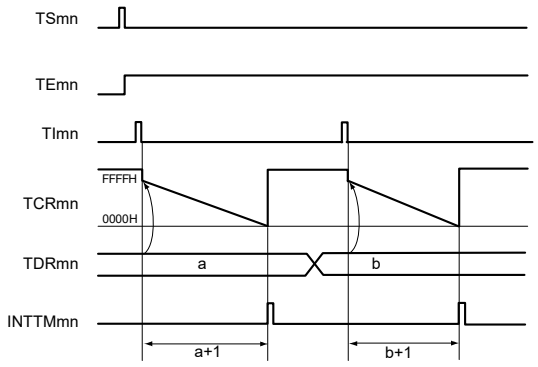
図7 - 65　ディレイ・カウンタとしての動作のブロック図



注　チャネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 66　ディレイ・カウンタとしての動作の基本タイミング例



備考1. m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

備考2. TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図7 - 67 ディレイ・カウンタ機能時のレジスタ設定内容例

(a) タイマ・モード・レジスタ mn（TMRmn）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1 1/0	CKSmn0 1/0	0	CCSmn 0	M/S注 0/1	STSmn2 0	STSmn1 0	STSmn0 1	CISmn1 1/0	CISmn0 1/0	0	0	MDmn3 1	MDmn2 0	MDmn1 0	MDmn0 1/0

チャネルnの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効
1：トリガ入力は有効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

(b) タイマ出力レジスタ m（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタ m（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタ m（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタ m（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmnビット
TMRm0, TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

図7 - 68　ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ）、1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する （チャネルnの動作モード確定） タイマ・データ・レジスタmn（TDRmn）に遅延時間を設定する TOEmnビットに0を設定し、TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1になり、スタート・トリガ検出（TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定）待ち状態となる
	次のスタート・トリガ検出によって、ダウン・カウントを開始します。 • TImn端子入力の有効エッジ検出 → • ソフトウェアでTSmnビットに1を設定	タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。
動作中	TDRmnレジスタは、任意に設定値変更が可能 TCRmnレジスタは、常に読み出し可能 TSRmnレジスタは、使用しない	カウンタ（TCRmn）はダウン・カウント動作を行う。 TCRmn = 0000Hまでカウントすると INTTMmn出力を発生し、次のスタート・トリガ検出（TImn端子入力の有効エッジの検出、またはTSmnビットに1を設定）まで TCRmn = 0000Hでカウント動作を停止する。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 0になり、カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される

動作再開 →

備考　m：ユニット番号（m = 0）、n：チャネル番号（n = 0-7）

7.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

7.9.1 ワンショット・パルス出力機能としての動作

2 チャネルをセットで使用して、TImn 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ = ｛TDRmn（マスタ）の設定値 + 2｝× カウント・クロック周期 パルス幅 = ｛TDRmp（スレーブ）の設定値｝× カウント・クロック周期

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn（TCRmn）は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn（TDRmn）から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックにあわせてダウン・カウントを行い、TCRmn = 0000H となったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

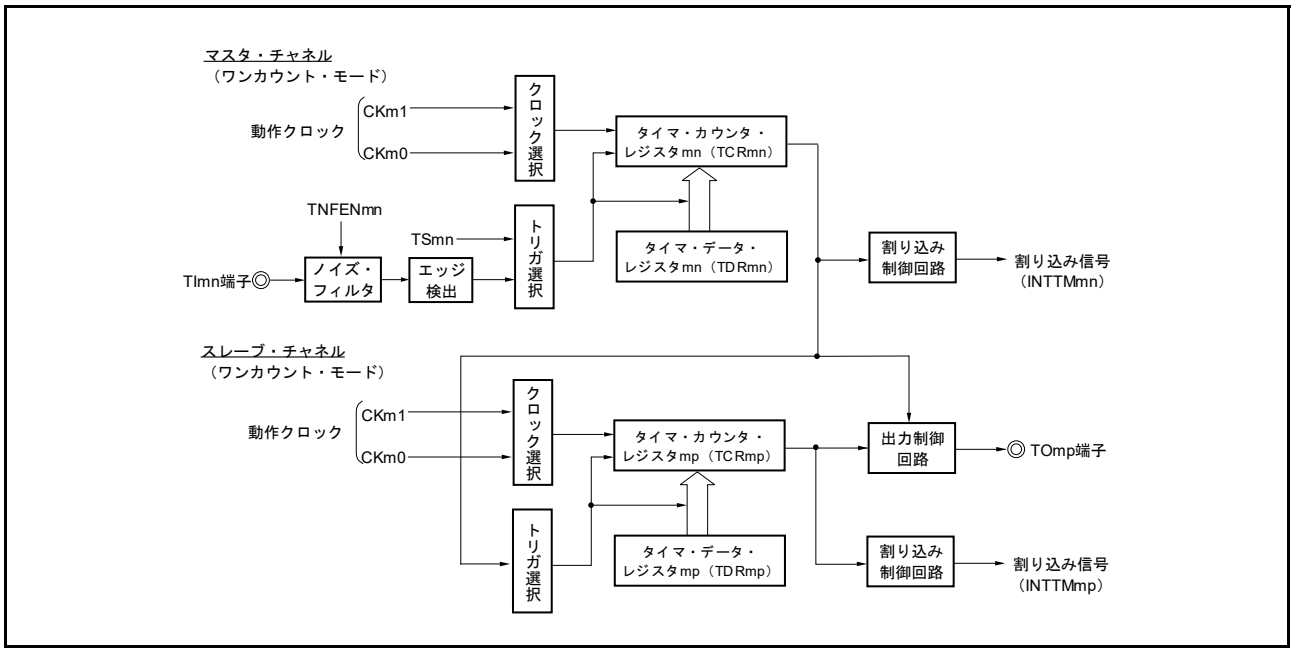
スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックにあわせてダウン・カウントを行います。そしてカウンタ値 = 0000H となったら INTTMmp を出力して、次のスタート・トリガ（マスタ・チャネルの INTTMmn）検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

ワンショット・パルス出力は、TImn 端子入力を使用せずに、TIS1 レジスタで選択したタイマ入力や、ソフトウェア操作（TSmn = 1）をスタート・トリガにすることもできます。16 ピン製品の場合、TImn 端子入力はチャネル 2 にのみ搭載されていますが、チャネル 0 をマスタ・チャネルに設定し、ELC からのイベント入力をスタート・トリガにすることで、本機能を使用可能です。

注意　マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）とスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると不正波形が出力されます。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

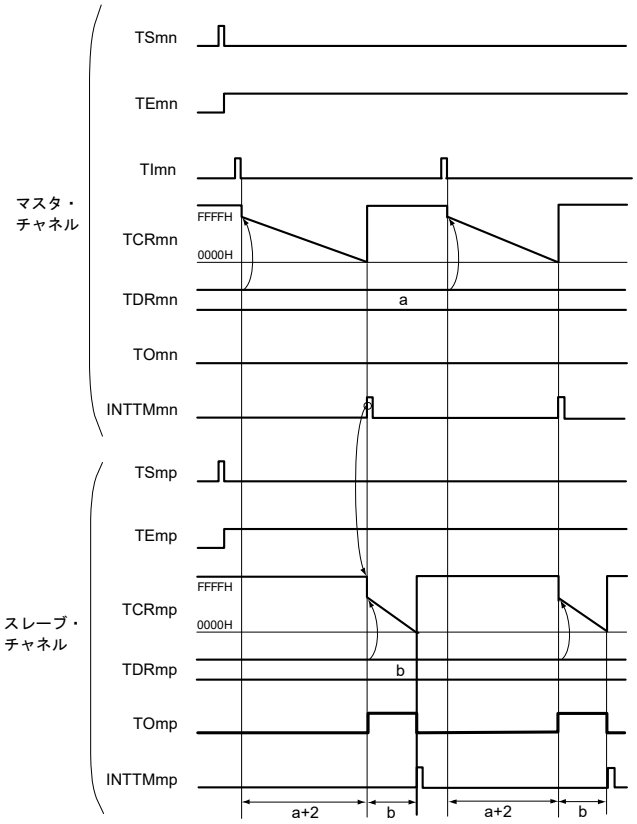
備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 69　ワンショット・パルス出力機能としての動作のブロック図



備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 70　ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

備考2. TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p
TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p
TImn, TImp　：TImn, TImp端子入力信号
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）
TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）
TOmn, TOmp　：TOmn, TOmp端子出力信号

図7 - 71　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ mn（TMRmn）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1 1/0	CKSmn0 0	0	CCSmn 0	MASTER mn注 1	STSmn2 0	STSmn1 0	STSmn0 1	CISmn1 1/0	CISmn0 1/0	0	0	MDmn3 1	MDmn2 0	MDmn1 0	MDmn0 0

チャネルnの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn入力の有効エッジを選択

MASTERmnビットの設定（チャネル2, 4, 6）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（fMCK）を選択

動作クロック（fMCK）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択

(b) タイマ出力レジスタ m（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタ m（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタ m（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタ m（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmn = 1
TMRm0の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図7 - 72　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ mp（TMRmp）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1 1/0	CKSmp0 0	0	CCSmp 0	M/S注 0	STSmp2 1	STSmp1 0	STSmp0 0	CISmp1 0	CISmp0 0	0	0	MDmp3 1	MDmp2 0	MDmp1 0	MDmp0 0

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmpビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmpビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（fMCK）を選択

動作クロック（fMCK）の選択
00B：チャネルpの動作クロックにCKm0を選択
10B：チャネルpの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

(b) タイマ出力レジスタ m（TOm）

	ビットp
TOm	TOmp 1/0

0：TOmpより0を出力する
1：TOmpより1を出力する

(c) タイマ出力許可レジスタ m（TOEm）

	ビットp
TOEm	TOEmp 1/0

0：カウント動作によるTOmp出力動作停止
1：カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタ m（TOLm）

	ビットp
TOLm	TOLmp 1/0

0：正論理出力（アクティブ・ハイ）
1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタ m（TOMm）

	ビットp
TOMm	TOMmp 1

1：スレーブ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 73　ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）に出力遅延時間、スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する → TOEmpビットに1を設定し、TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図7 - 73　ワンショット・パルス出力機能時の操作手順 (2/2)

		ソフトウェア操作	ハードウェアの状態
動作再開	動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ）、TSmp（スレーブ）ビットに同時に1を設定する → TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となり、マスタ・チャネルはスタート・トリガ検出（TImn端子入力の有効エッジの検出またはマスタ・チャネルのTSmnビットに1を設定）待ち状態となる カウンタはまだ停止状態のまま
		マスタ・チャネルのスタート・トリガ検出によって、マスタ・チャネルのカウント動作を開始します。 • TImn端子入力の有効エッジ検出 • ソフトウェアでマスタ・チャネルのTSmnビットに1を設定注	マスタ・チャネルがカウント動作開始
	動作中	TMRmnレジスタは、CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmpレジスタ、TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない スレーブ・チャネルのTOm, TOEmレジスタは、設定値変更可能	マスタ・チャネルでは、スタート・トリガ検出（TImn端子入力の有効エッジの検出またはマスタ・チャネルのTSmnビットに1を設定）により、タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントすると INTTMmn出力を発生し、次のスタート・トリガ検出までカウント動作を停止する。 スレーブ・チャネルでは、マスタ・チャネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウントを開始する。 マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000Hまでカウントすると TOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止	TTmn（マスタ）、TTmp（スレーブ）ビットに同時に1を設定する → TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持
		スレーブ・チャネルのTOEmpビットに0を設定し、TOmpビットに値を設定する →	TOmp端子はTOmp設定レベルを出力
	TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する → TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
		PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

注　スレーブ・チャネルのTSmnビットには1を設定しないでください。

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

7.9.2 PWM機能としての動作

2 チャネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。
出力パルスの周期、デューティは次の式で求めることができます。

パルス周期 = ｛TDRmn（マスタ）の設定値 + 1｝× カウント・クロック周期 デューティ [%] = ｛TDRmp（スレーブ）の設定値｝／｛TDRmn（マスタ）の設定値 + 1｝× 100 0%出力　　：TDRmp（スレーブ）の設定値 = 0000H 100%出力　：TDRmp（スレーブ）の設定値 ≧｛TDRmn（マスタ）の設定値 + 1｝

備考　TDRmp（スレーブの設定値）＞｛TDRmn（マスタ）の設定値 + 1｝の場合は、デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタ m（TSm）の動作許可（スタート）トリガ・ビット（TSmn）に 1 を設定すると、割り込み（INTTMmn）を出力して、タイマ・データ・レジスタ mn（TDRmn）に設定した値をタイマ・カウンタ・レジスタ mn（TCRmn）にロードし、カウント・クロックにあわせてダウン・カウントを行います。カウントが 0000H になったところで、INTTMmn を出力して、再び TDRmn レジスタから TCRmn レジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャネル停止レジスタ m（TTm）の動作停止トリガ・ビット（TTmn）に 1 を設定するまでこの動作を繰り返します。

PWM 機能としての動作では、マスタ・チャネルがダウン・カウントして 0000H になるまでの期間が PWM 出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからの INTTMmn をスタート・トリガとして、TDRmp レジスタから TCRmp レジスタに値をロードし、0000H になるまでダウン・カウントを行います。カウントが 0000H になったところで INTTMmp を出力して、次のスタート・トリガ（マスタ・チャネルからの INTTMmn）が来るまで待機します。

PWM 機能としての動作では、スレーブ・チャネルがダウン・カウントして 0000H になるまでの期間が PWM 出力（TOmp）のデューティとなります。

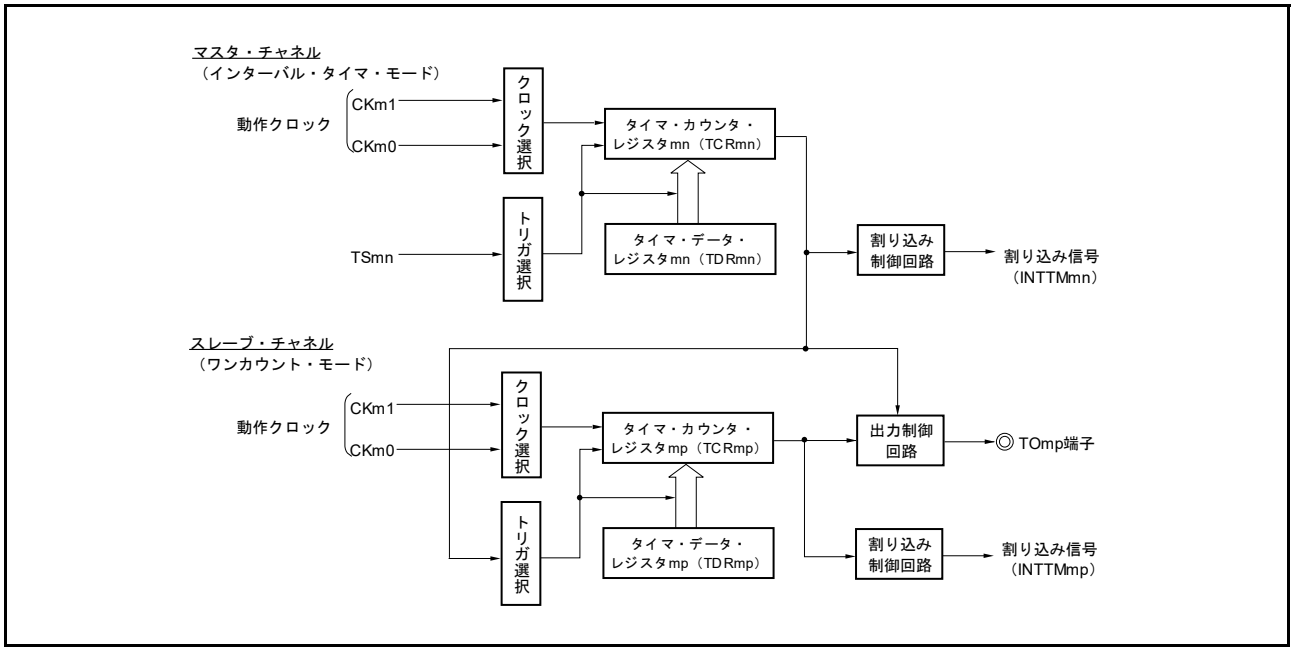
PWM 出力（TOmp）は、マスタ・チャネルの INTTMmn 発生から 1 クロック後にアクティブ・レベルとなり、スレーブ・チャネルの TCRmp レジスタが 0000H になったタイミングでインアクティブ・レベルになります。

なお、16 ピン製品の場合、チャネル 0 をマスタ・チャネルに、チャネル 2 をスレーブ・チャネルに設定することで、本機能を使用可能です。

注意　**マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）とスレーブ・チャネルのTDRmp レジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタにTDRmn, TDRmp レジスタの値がロードされるのは、マスタ・チャネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmn レジスタとスレーブのTDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。**

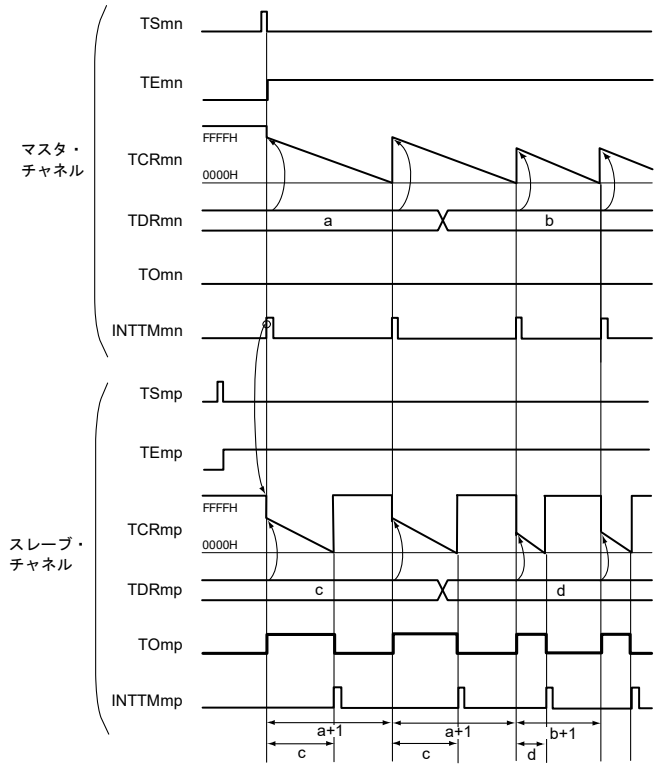
備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 74　PWM機能としての動作のブロック図



備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 75　PWM機能としての動作の基本タイミング例

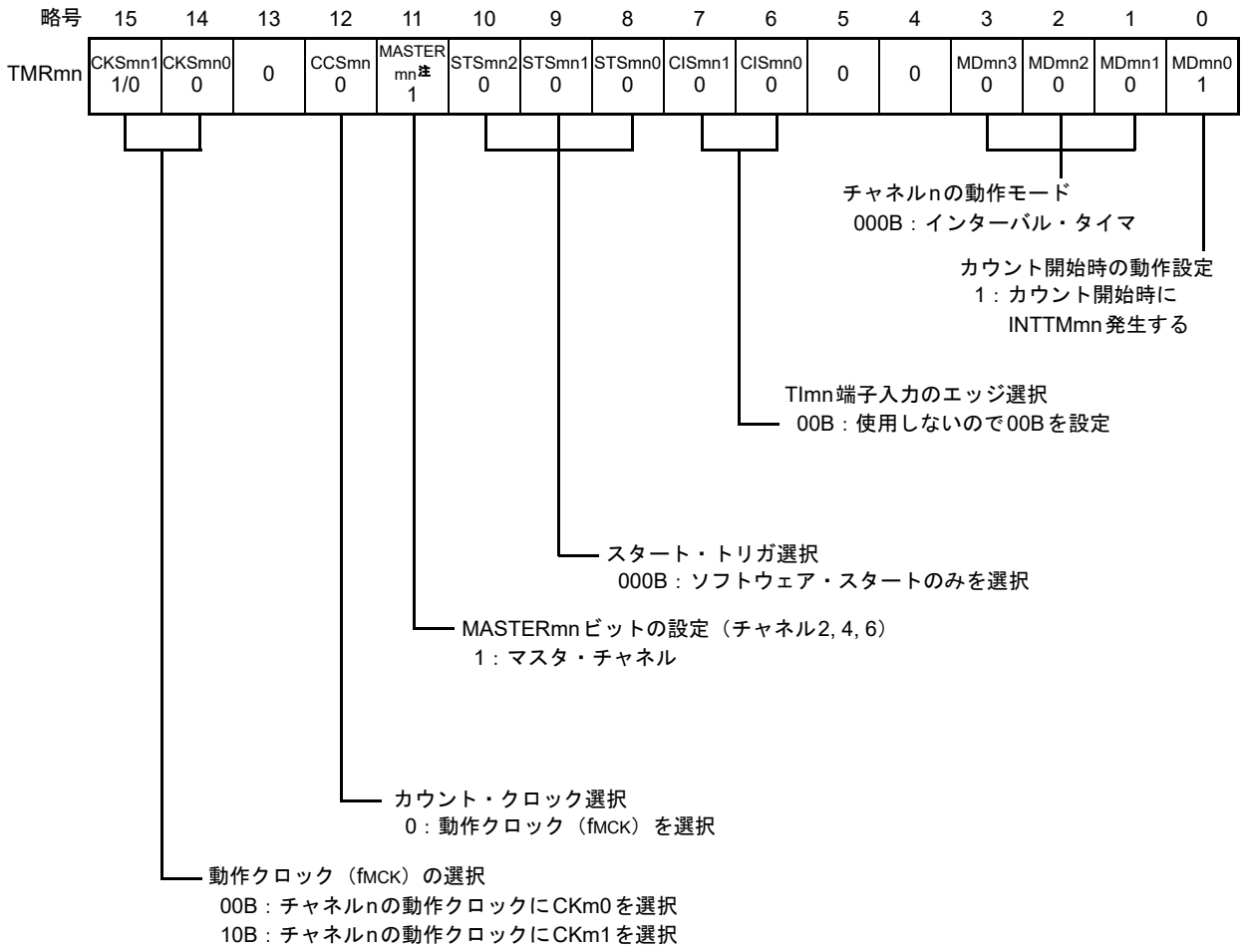


備考1. m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

備考2. TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p
TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）
TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）
TOmn, TOmp　：TOmn, TOmp端子出力信号

図7 - 76　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmn = 1
TMRm0の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）

図7 - 77　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmp（TMRmp）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1 1/0	CKSmp0 0	0	CCSmp 0	M/S注 0	STSmp2 1	STSmp1 0	STSmp0 0	CISmp1 0	CISmp0 0	0	0	MDmp3 1	MDmp2 0	MDmp1 0	MDmp0 1

チャネルpの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力は有効

TImp端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmpビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmpビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（fMCK）を選択

動作クロック（fMCK）の選択
00B：チャネルpの動作クロックにCKm0を選択
10B：チャネルpの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

(b) タイマ出力レジスタm（TOm）

	ビットp
TOm	TOmp 1/0

0：TOmpより0を出力する
1：TOmpより1を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットp
TOEm	TOEmp 1/0

0：カウント動作によるTOmp出力動作停止
1：カウント動作によるTOmp出力動作許可

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットp
TOLm	TOLmp 1/0

0：正論理出力（アクティブ・ハイ）
1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタm（TOMm）

	ビットp
TOMm	TOMmp 1

1：スレーブ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmnビット
TMRm1, TMRm3の場合　：SPLITmpビット
TMRm5, TMRm7　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

図7 - 78　PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタmn, mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値、スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し、TOmp出力の初期レベルを確定する → TOEmpビットに1を設定し、TOmpの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp初期設定レベルが出力される。 チャネルは動作停止状態なので、TOmpは変化しない TOmp端子はTOmp設定レベルを出力

図7 - 78　PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ）タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ）、TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn, TMRmpレジスタ、TOMmn, TOMmp, TOLmn, TOLmpビットは、設定値変更禁止 TDRmn, TDRmpレジスタは、マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは、常に読み出し可能 TSRmn, TSRmpレジスタは、使用しない	マスタ・チャネルでは、タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントすると INTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャネルでは、マスタ・チャネルのINTTMmnをトリガとして、TCRmpレジスタはTDRmpレジスタの値をロードし、カウンタはダウン・カウント動作を行う。 マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。 そしてTCRmp = 0000HまでカウントするとTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
動作停止	TTmn（マスタ）、TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp = 0になり、カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず、状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し、TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4, 6）、
p：スレーブ・チャネル番号（n＜p≦7）

7.9.3 多重PWM出力機能としての動作

PWM 機能を拡張しスレーブ・チャネルを複数使用することで、デューティの異なる多数の PWM 出力を行う機能です。

たとえばスレーブ・チャネルを 2 個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

パルス周期 = {TDRmn（マスタ）の設定値 + 1} × カウント・クロック周期
デューティ 1 [%] = {TDRmp（スレーブ1）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100
デューティ 2 [%] = {TDRmq（スレーブ2）の設定値} ／ {TDRmn（マスタ）の設定値 + 1} × 100

備考 TDRmp（スレーブ1）の設定値＞ {TDRmn（マスタ）の設定値 + 1} の場合
またはTDRmq（スレーブ2）の設定値＞ {TDRmn（マスタ）の設定値 + 1} の場合は、
デューティ値が100%を超えますが、集約して100%出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタ mn（TCRmn）は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャネル 1 の TCRmp レジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp 端子より PWM 波形を出力します。TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして、タイマ・データ・レジスタ mp（TDRmp）の値をロードし、ダウン・カウントを行います。TCRmp = 0000H となったら、INTTMmp を出力し、次のスタート・トリガ（マスタ・チャネルの INTTMmn）が入力されるまでカウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H となったらインアクティブ・レベルとなります。

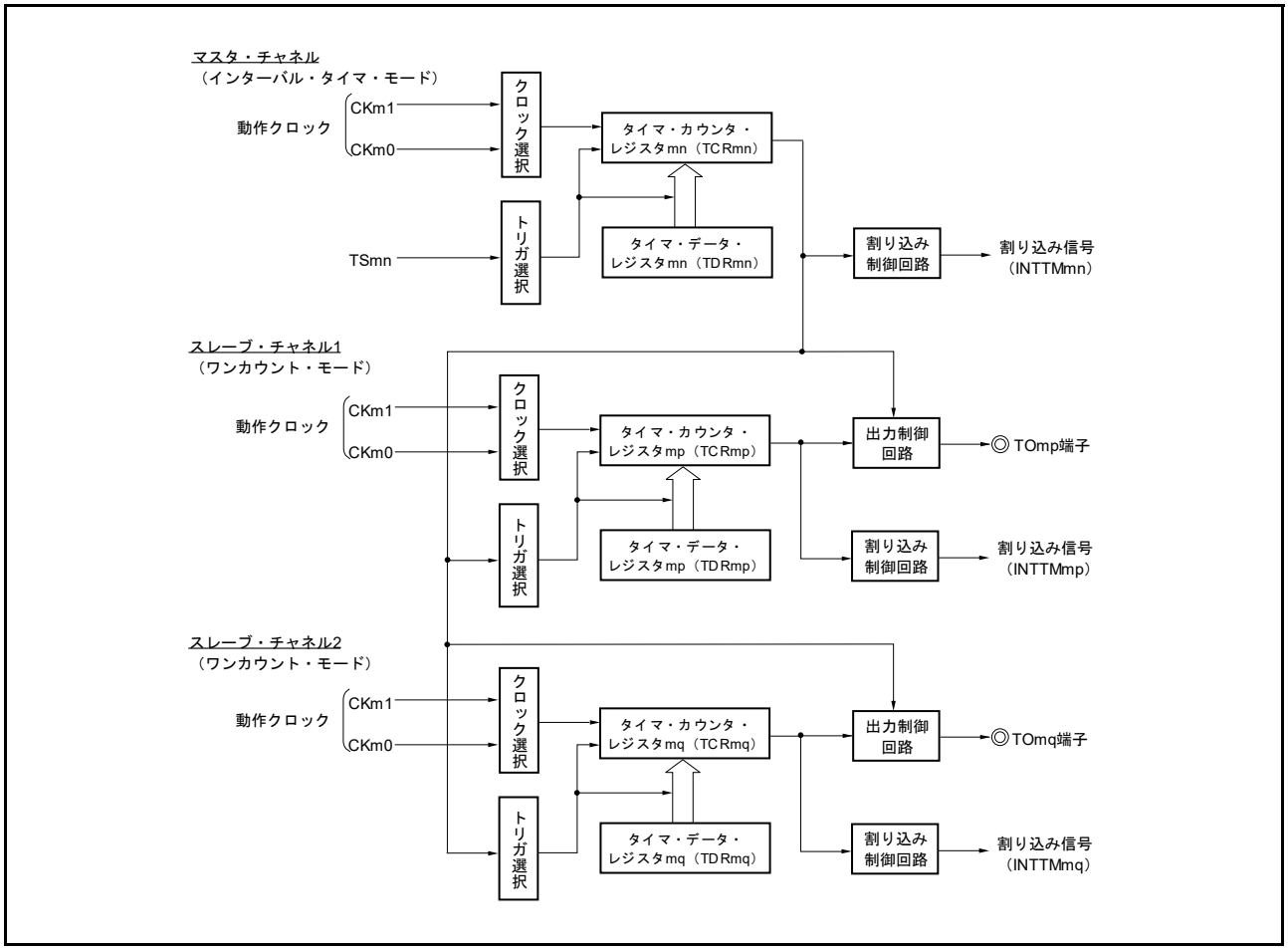
スレーブ・チャネル 2 の TCRmq レジスタも、スレーブ・チャネル 1 の TCRmp レジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq 端子より PWM 波形を出力します。TCRmq レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして、TDRmq レジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H となったら、INTTMmq を出力し、次のスタート・トリガ（マスタ・チャネルの INTTMmn）が入力されるまでカウントを停止します。TOmq の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H となったらインアクティブ・レベルとなります。

このようにして、チャネル 0 をマスタ・チャネルとした場合は、最大 7 種の PWM を同時に出力できます。

注意 マスタ・チャネルのタイマ・データ・レジスタ mn（TDRmn）とスレーブ・チャネル1のTDRmp レジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmp レジスタに TDRmn, TDRmp レジスタの値をロードするのは、マスタ・チャネルのINTTMmn発生後となるため、書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmn レジスタとスレーブのTDRmp レジスタを双方とも書き換える場合は、必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください（スレーブ・チャネル2のTDRmq レジスタの場合も同様です）。

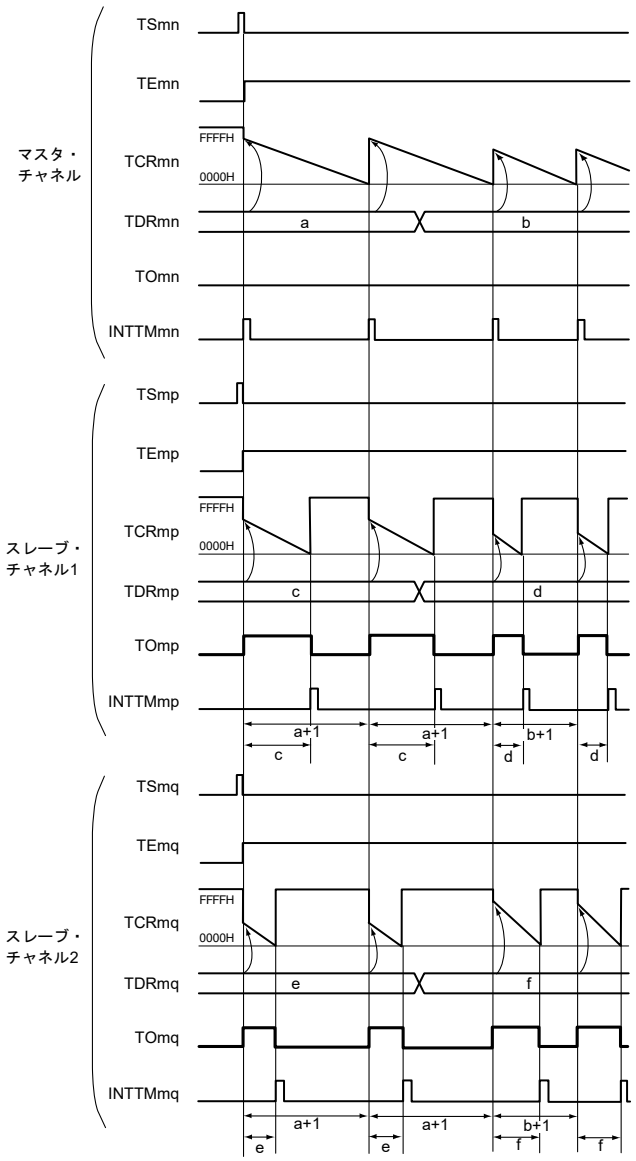
備考 m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

図7 - 79　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）



備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

図7 - 80　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）

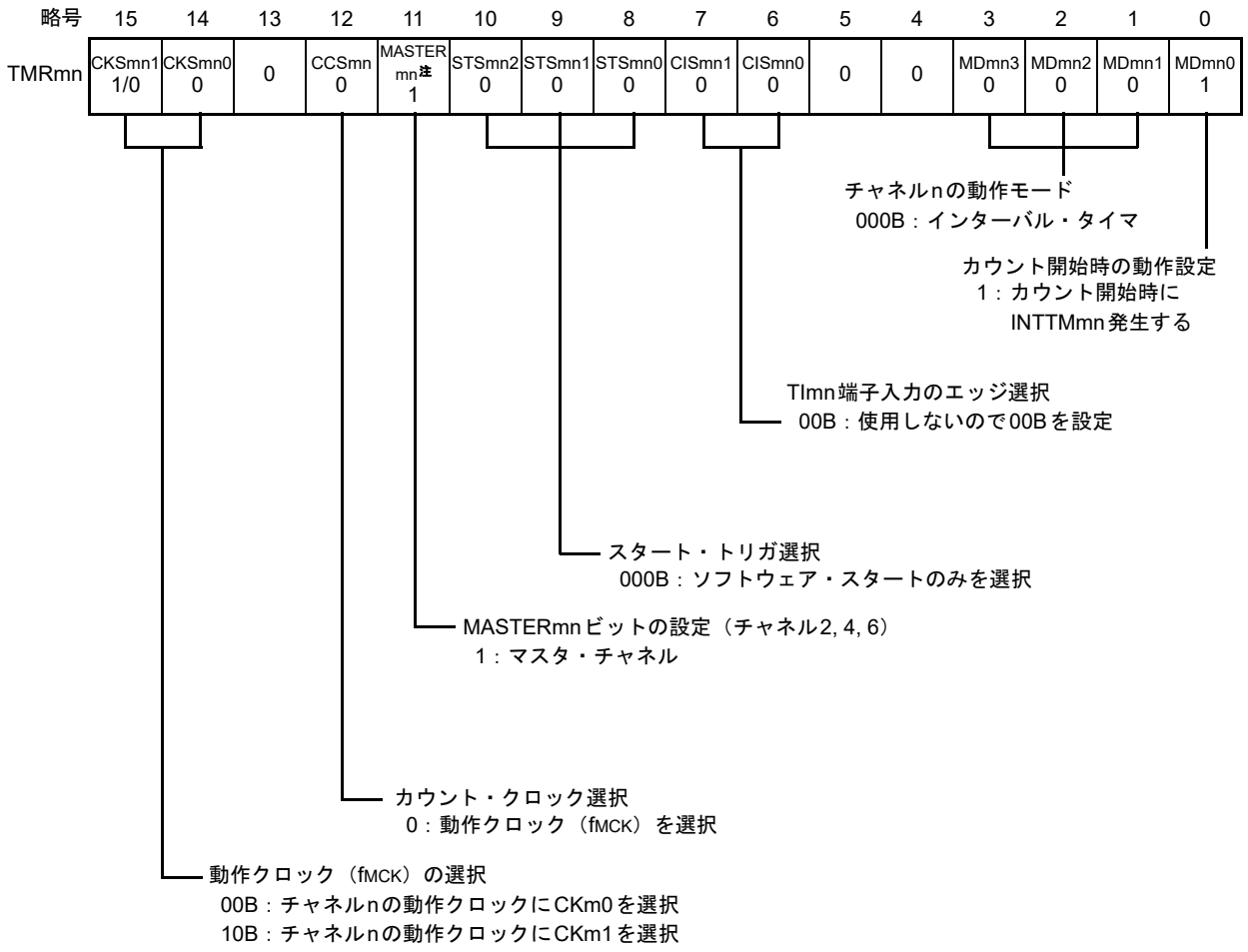


備考1. m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

備考2. TSmn, TSmp, TSmq　：タイマ・チャネル開始レジスタm（TSm）のビットn, p, q
TEmn, TEmp, TEmq　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p, q
TCRmn, TCRmp, TCRmq　：タイマ・カウンタ・レジスタmn, mp, mq（TCRmn, TCRmp, TCRmq）
TDRmn, TDRmp, TDRmq　：タイマ・データ・レジスタmn, mp, mq（TDRmn, TDRmp, TDRmq）
TOmn, TOmp, TOmq　：TOmn, TOmp, TOmq端子出力信号

図7 - 81　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタmn（TMRmn）



(b) タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn 0

0：TOmnより0を出力する

(c) タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn 0

0：カウント動作によるTOmn出力動作停止

(d) タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn 0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

(e) タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn 0

0：マスタ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmn = 1
TMRm0の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）

図7 - 82　多重PWM機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

(a) タイマ・モード・レジスタ mp, mq（TMRmp, TMRmq）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1 1/0	CKSmp0 0	0	CCSmp 0	M/S注 0	STSmp2 1	STSmp1 0	STSmp0 0	CISmp1 0	CISmp0 0	0	0	MDmp3 1	MDmp2 0	MDmp1 0	MDmp0 1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmq	CKSmq1 1/0	CKSmq0 0	0	CCSmq 0	M/S注 0	STSmq2 1	STSmq1 0	STSmq0 0	CISmq1 0	CISmq0 0	0	0	MDmq3 1	MDmq2 0	MDmq1 0	MDmq0 1

チャネルp, qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力は有効

TImp, TImq端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmp, MASTERmqビットの設定（チャネル2, 4, 6）
0：スレーブ・チャネル
SPLITmp, SPLITmqビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルp, qの動作クロックにCKm0を選択
10B：チャネルp, qの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

(b) タイマ出力レジスタ m（TOm）

	ビットq	ビットp
TOm	TOmq 1/0	TOmp 1/0

0：TOmp, TOmqより0を出力する
1：TOmp, TOmqより1を出力する

(c) タイマ出力許可レジスタ m（TOEm）

	ビットq	ビットp
TOEm	TOEmq 1/0	TOEmp 1/0

0：カウント動作によるTOmp, TOmq出力動作停止
1：カウント動作によるTOmp, TOmq出力動作許可

(d) タイマ出力レベル・レジスタ m（TOLm）

	ビットq	ビットp
TOLm	TOLmq 1/0	TOLmp 1/0

0：正論理出力（アクティブ・ハイ）
1：負論理出力（アクティブ・ロウ）

(e) タイマ出力モード・レジスタ m（TOMm）

	ビットq	ビットp
TOMm	TOMmq 1	TOMmp 1

1：スレーブ・チャネル出力モードを設定

（注、備考は次ページに続きます）

注　TMRm2, TMRm4, TMRm6の場合　：MASTERmp, MASTERmqビット
TMRm1, TMRm3の場合　：SPLITmp, SPLITmqビット
TMRm5, TMRm7の場合　：0固定

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p ：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

図7 - 83　多重PWM機能時の操作手順（2種類のPWMを出力する場合）(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止、各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態、各チャネルは動作停止状態 （クロック供給開始、各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値、スレーブ・チャネルのTDRmp, TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており、多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmp, TOMmqビットに1（スレーブ・チャネル出力モード）を設定する TOLmp, TOLmqビットを設定する TOmp, TOmqビットを設定し、TOmp, TOmq出力の初期レベルを確定する →	TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は、TOmp, TOmq初期設定レベルが出力される。
	TOEmp, TOEmqビットに1を設定し、TOmp, TOmqの動作を許可 →	チャネルは動作停止状態なので、TOmp, TOmqは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力

図7 - 83　多重PWM機能時の操作手順（2種類のPWMを出力する場合）(2/2)

		ソフトウェア操作	ハードウェアの状態
動作再開	動作開始	（動作再開時のみTOEmp, TOEmq（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ）、TSmp, TSmq（スレーブ）ビットに同時に1を設定する → TSmn, TSmp, TSmqビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャネルがカウント動作開始し、INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
	動作中	TMRmn, TMRmp, TMRmqレジスタ、TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは、設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは、マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは、使用しない	マスタ・チャネルでは、タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントすると INTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャネル1では、マスタ・チャネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントすると TOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャネル2では、マスタ・チャネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントすると TOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
	動作停止	TTmn（マスタ）、TTmp, TTmq（スレーブ）ビットに同時に1を設定する → TTmn, TTmp, TTmqビットはトリガ・ビットなので、自動的に0に戻る	TEmn, TEmp, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず、状態保持
		スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し、TOmp, TOmqビットに値を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
	TAU停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOmqビットに0を設定する → TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要	TOmp, TOmq端子出力レベルはポート機能により保持される。
		PER0レジスタのTAUmENビットに0を設定する → 全回路を初期化する場合はPRR0レジスタのTAUmRESビットに1を設定する →	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャネルのSFRも初期化される（TOmnビットが0になり、TOmn端子はポート機能となる）

備考　m：ユニット番号（m = 0）、n：マスタ・チャネル番号（n = 0, 2, 4）、
p：スレーブ・チャネル番号、q：スレーブ・チャネル番号
n＜p＜q≦7（p, qは整数）

7.10　タイマ・アレイ・ユニット使用時の注意事項

7.10.1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子にほかの兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、ほかの兼用機能の出力を初期状態にする必要があります。

詳細は、**4.5　兼用機能使用時のレジスタ設定**を参照してください。

7.10.2　タイマ出力をELCのイベント入力として使用するときの注意事項

タイマ・アレイ・ユニット0のチャネル0～3のタイマ出力（TO00-TO03）は、イベント・リンク・コントローラ（ELC）のイベント入力として使用可能です。

第8章　リアルタイム・クロック（RTC）

8.1　リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能（周期：0.5秒、1秒、1分、1時間、1日、1月）
- アラーム割り込み機能（アラーム：曜日・時・分）
- 1 Hzの端子出力機能

★　リアルタイム・クロック割り込み信号（INTRTC）を、HALT/STOP モードからのウェイクアップや A/D コンバータの SNOOZE モードのトリガに使えます。

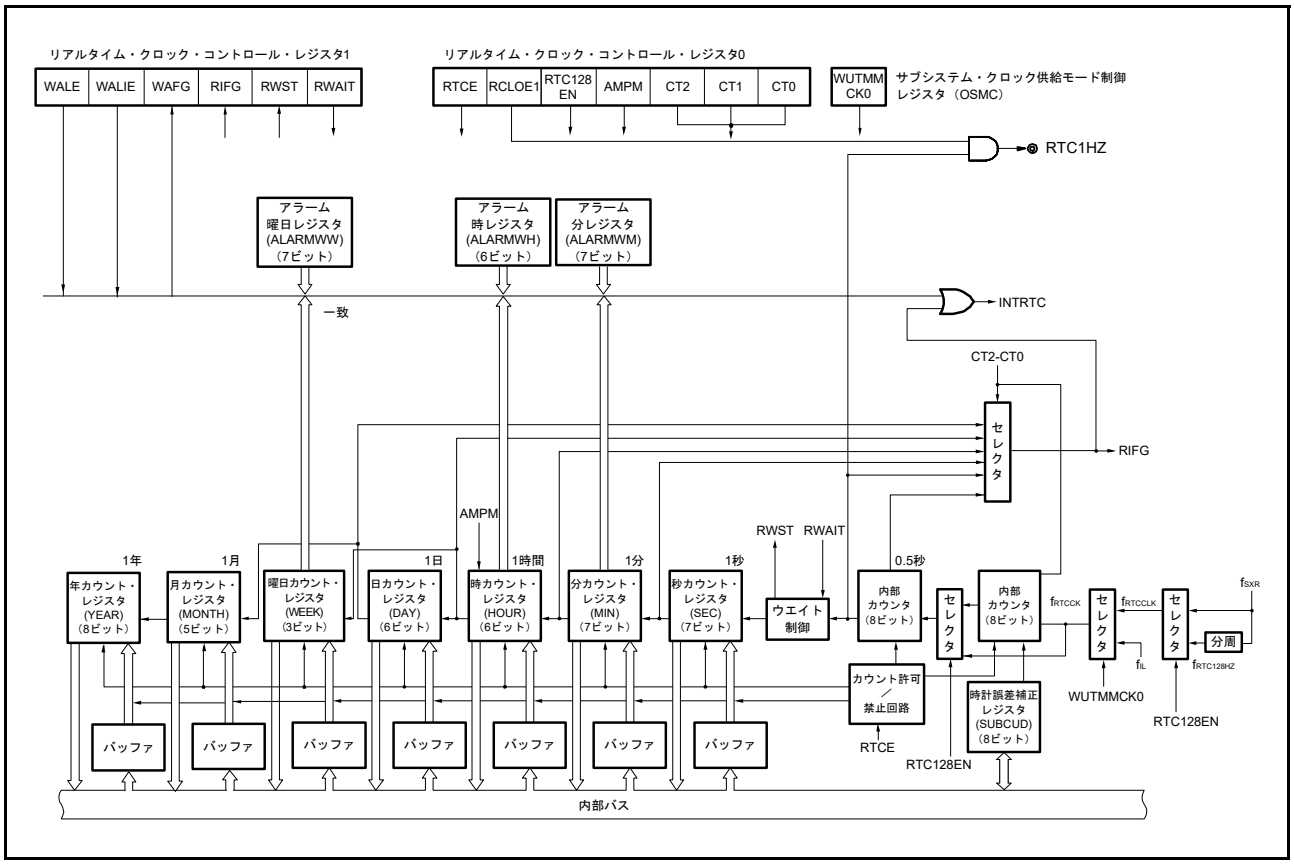
8.2　リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表8 - 1　リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ（16ビット）
制御レジスタ	• 周辺イネーブル・レジスタ0（PER0） • サブシステム・クロック供給モード制御レジスタ（OSMC） • リアルタイム・クロック・コントロール・レジスタ0（RTCC0） • リアルタイム・クロック・コントロール・レジスタ1（RTCC1） • 秒カウント・レジスタ（SEC） • 分カウント・レジスタ（MIN） • 時カウント・レジスタ（HOUR） • 日カウント・レジスタ（DAY） • 曜日カウント・レジスタ（WEEK） • 月カウント・レジスタ（MONTH） • 年カウント・レジスタ（YEAR） • 時計誤差補正レジスタ（SUBCUD） • アラーム分レジスタ（ALARMWM） • アラーム時レジスタ（ALARMWH） • アラーム曜日レジスタ（ALARMWW）

図8 - 1　　リアルタイム・クロックのブロック図



注意　**リアルタイム・クロック制御部の動作クロックにサブシステム・クロック（f_{SXR} = 32.768 kHz）を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL} = 32.768 kHz）を選択時は、定周期割り込み機能のみ使用できます。**

8.3　リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- サブシステム・クロック供給モード制御レジスタ（OSMC）
- リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
- リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
- 秒カウント・レジスタ（SEC）
- 分カウント・レジスタ（MIN）
- 時カウント・レジスタ（HOUR）
- 日カウント・レジスタ（DAY）
- 曜日カウント・レジスタ（WEEK）
- 月カウント・レジスタ（MONTH）
- 年カウント・レジスタ（YEAR）
- 時計誤差補正レジスタ（SUBCUD）
- アラーム分レジスタ（ALARMWM）
- アラーム時レジスタ（ALARMWH）
- アラーム曜日レジスタ（ALARMWW）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

各リセット要因によるレジスタの状態を以下に示します。

リセット要因	システム系レジスタ注1	カレンダー系レジスタ注2
POR	リセット	リセットしない
外部リセット	保持	保持
WDT	保持	保持
TRAP	保持	保持
LVD	保持	保持
その他内部リセット	保持	保持

注1.　RTCC0, RTCC1, SUBCUD

注2.　SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW

リセット発生により、SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, ALARMWM, ALARMWH, ALARMWW レジスタはリセットされません。そのため、電源投入後はすべてのレジスタを初期設定してください。

8.3.1 周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用する場合は、必ず RTCWEN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図8 - 2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス　：F00F0H
リセット時：00H
R/W属性　：R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN注1	SAU1EN注2	SAU0EN	0	TAU0EN

RTCWEN	リアルタイム・クロックへのアクセス制御
0	• リアルタイム・クロックで使用するSFRへのライト不可 • リアルタイム・クロックは動作可能
1	• リアルタイム・クロックで使用するSFRへのリード／ライト可 • リアルタイム・クロックは動作可能

注1. 24～48ピン製品のみ

注2. 30～48ピン製品のみ

注意1. ビット6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。
16, 20ピン製品：ビット4, 3
24, 25ピン製品：ビット3

注意3. リアルタイム・クロックを使用する際には、カウント・クロック（f_{RTCCK}）が発振安定した状態で、必ず最初にRTCWEN = 1に設定してから下記のレジスタの設定を行ってください。RTCWEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は00Hとなります（サブシステム・クロック供給モード制御レジスタ（OSMC）、ポート・モード・レジスタ（PM3）、ポート・レジスタ（P3）は除く）。

- **リアルタイム・クロック・コントロール・レジスタ0（RTCC0）**
- **リアルタイム・クロック・コントロール・レジスタ1（RTCC1）**
- **秒カウント・レジスタ（SEC）**
- **分カウント・レジスタ（MIN）**
- **時カウント・レジスタ（HOUR）**
- **日カウント・レジスタ（DAY）**
- **曜日カウント・レジスタ（WEEK）**
- **月カウント・レジスタ（MONTH）**
- **年カウント・レジスタ（YEAR）**
- **時計誤差補正レジスタ（SUBCUD）**
- **アラーム分レジスタ（ALARMWM）**
- **アラーム時レジスタ（ALARMWH）**
- **アラーム曜日レジスタ（ALARMWW）**

注意4. サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPCビットに1を設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

8.3.2 サブシステム・クロック供給モード制御レジスタ（OSMC）

WUTMMCK0 ビットでリアルタイム・クロックの制御クロック（f_{RTCCK}）を選択できます。また、RTCLPC ビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPC ビットの設定については、**第 6 章　クロック発生回路**を参照してください。

OSMC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、不定注になります。

注　RTCLPCビットおよびWUTMMCK0ビットは0、HIPRECビットは1になります。

図8 - 3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス　：F00F3H
リセット時：不定**注1**
★ R/W属性　：R/W**注2**

略号	<7>	6	5	<4>	3	2	1	<0>
OSMC	RTCLPC	0	0	WUTMMCK0	×	×	0	HIPREC

WUTMMCK0	リアルタイム・クロック制御部の動作クロック（f_{RTCCK}）の選択
0	サブシステム・クロックXR（f_{SXR}）または$f_{RTC128HZ}$（RTC128ENビットで選択）
1	低速オンチップ・オシレータ・クロック（f_{IL}）**注3, 4**

★ **注1.**　RTCLPCビットおよびWUTMMCK0ビットは0、HIPRECビットは1になります。

注2.　ビット3, 2, 0は、読み出しのみ可能です。書き込みは無視されます。

注3.　サブシステム・クロックX発振中にWUTMMCK0ビットに1を設定することは禁止です。

注4.　WUTMMCK0ビットによるサブシステム・クロックと低速オンチップ・オシレータ・クロックの切り替えは、リアルタイム・クロック、32ビット・インターバル・タイマ、シリアル・インタフェースUARTA0、クロック出力／ブザー出力機能のすべての機能が停止中のみ可能です。

注意1.　ビット6, 5, 1には、必ず0を設定してください。

注意2.　リアルタイム・クロック制御部の動作クロックにサブシステム・クロックXR（f_{SXR} = 32.768 kHz）または$f_{RTC128HZ}$を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL} = 32.768 kHz）を選択時は、定周期割り込み機能のみ使用できます。

備考　×：Don’t care

8.3.3 リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

RTCC0 レジスタは、リアルタイム・クロック動作の開始／停止、RTC1HZ 端子の制御、12/24 時間制、定周期割り込み機能を設定する 8 ビットのレジスタです。

RTCC0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00H になります。

図8 - 4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット (1/2)

アドレス　：F022BH
リセット時：00H
R/W属性　：R/W

略号	<7>	6	<5>	<4>	3	2	1	0
RTCC0	RTCE	0	RCLOE1	RTC128EN	AMPM	CT2	CT1	CT0

RTCE注	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力（1 Hz）禁止
1	RTC1HZ端子の出力（1 Hz）許可

RTC128EN	リアルタイム・クロックの動作クロック（f_{RTCCLK}）選択
0	32.768 kHz
1	128 Hz

- RTC128EN = 1のときはリアルタイム・クロックが128 Hzで動作し低消費動作になります。
- RTC128EN = 1のとき、時計誤差補正機能は使用できません。
- RTC128EN = 1に設定するときは、OSMCレジスタのWUTMMCK0ビットを0にしてください。

AMPM	12時間制／24時間制の選択
0	12時間制（午前／午後を表示）
1	24時間制

- 本ビットの値を変更する場合は、リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のRWAITビットに1を設定してから書き換えてください。AMPMビットの値を変更すると、時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。
- **表8 - 2**に時間桁表示表を示します。

図8 - 4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット (2/2)

CT2	CT1	CT0	定周期割り込み（INTRTC）の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に一度（秒カウント・アップに同期）
0	1	0	1秒に一度（秒カウント・アップと同時）
0	1	1	1分に一度（毎分00秒）
1	0	0	1時間に一度（毎時00分00秒）
1	0	1	1日に一度（毎日00時00分00秒）
1	1	×	1月に一度（毎月1日午前00時00分00秒）
カウンタ動作中（RTCE = 1）にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFG, RTCIFフラグをクリアしてから割り込み処理許可にしてください。			

★ **注**　RTCE = 1に設定直後にHALT/STOPモードに移行する場合は、**図8 - 18　RTCE = 1に設定後のHALT/STOPモードへの移行手順**に従ってHALT/STOPモードに移行してください。

注意1. ビット6には、必ず0を設定してください。

注意2. RTCE = 1のときに、RCLOE1ビットを変更しないでください。

注意3. RTCE = 0のときに、RCLOE1 = 1に設定しても1 Hz出力されません。

注意4. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してRTCC0レジスタへアクセスしないでください。

備考　×：Don’t care

8.3.4 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

RTCC1 レジスタは、アラーム割り込み機能、カウンタのウエイトを制御する 8 ビットのレジスタです。
RTCC1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
パワーオン・リセット回路による内部リセットの発生により、00H になります。

図8 - 5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット (1/2)

アドレス　: F022CH
リセット時: 00H
R/W属性　: R/W

略号	<7>	<6>	5	<4>	<3>	2	<1>	<0>
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつWALIE = 1のときに本ビットへ設定する場合は、INTRTC割り込みを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RTCIF フラグをクリアしてください。アラームの各レジスタ（RTCC1 レジスタのWALIE フラグ、アラーム分レジスタ（ALARMWM）、アラーム時レジスタ（ALARMWH）、アラーム曜日レジスタ（ALARMWW））を設定する場合、本ビットを0にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、f_{RTCCK}の1クロック後に1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により1となります。 0を書き込むことでクリアされ、1の書き込みは無効となります。	

RWST	リアルタイム・クロックのウエイト状態フラグ注1
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中
RWAIT ビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。	

図8 - 5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット (2/2)

RWAIT	リアルタイム・クロックのウエイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値の読み出し、書き込みモード。

カウンタの動作を制御します。
カウンタ値の読み出し、書き込みを行う際は必ず1を書き込んでください。
内部カウンタ（16ビット）は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2-CT0ビットを010B（1秒ごとに定期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。
RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能（RWST = 1）となるまで最大f_{RTCCK}の1クロックの時間がかかります。注2, 3
内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は、オーバフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。
ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバフローが起きたことを保持しません。

注1. ビット1は、読み出しのみ可能です。

注2. RTCE = 1に設定したあと、f_{RTCCK}の1クロック時間内でRWAIT = 1とした場合、RWSTビットが1になるまで動作クロック（f_{RTCCK}）の2クロック時間がかかる場合があります。

注3. スタンバイ（HALTモード、STOPモード、SNOOZEモード）から復帰したあと、f_{RTCCK}の1クロック時間内で、RWAIT = 1とした場合、RWSTビットが1になるまでに、動作クロック（f_{RTCCK}）の2クロック時間がかかる場合があります。

注意1. RTCC1レジスタに1ビット・メモリ操作命令で書き込みを行うと、RIFG, WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット・メモリ操作命令で設定してください。書き込み時に、RIFG, WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる1を設定してください。なお、RIFG, WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット・メモリ操作命令で書き込みを行ってもかまいません。

注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してRTCC1レジスタへアクセスしないでください。

備考1. 定周期割り込みとアラーム割り込みは、同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

8.3.5　秒カウント・レジスタ（SEC）

SEC レジスタは、0 ～ 59（10 進）までの値を取り、秒のカウント値を示す 8 ビットのレジスタです。

内部カウンタ（16 ビット）からのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大 fRTCCK の 2 クロック後にカウンタへ書き込まれます。また設定する値は 10 進の 00 ～ 59 を BCD コードで設定してください。

SEC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 6　秒カウント・レジスタ（SEC）のフォーマット

アドレス　：F0220H
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意1.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

注意2.　スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してSEC レジスタへアクセスしないでください。

備考　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

8.3.6　分カウント・レジスタ（MIN）

MIN レジスタは、0 ～ 59（10 進）までの値を取り、分のカウント値を示す 8 ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCCK の 2 クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 00 ～ 59 を BCD コードで設定してください。

MIN レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 7　分カウント・レジスタ（MIN）のフォーマット

アドレス　：F0221H
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意1.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

注意2.　スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してMIN レジスタへアクセスしないでください。

8.3.7　時カウント・レジスタ（HOUR）

HOUR レジスタは、00 ～ 23 または 01 ～ 12, 21 ～ 32（10 進）までの値を取り、時のカウント値を示す 8 ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ 0（RTCC0）の AMPM ビットで設定した時間制に応じて、10 進の 00 ～ 23 または 01 ～ 12, 21 ～ 32 を BCD コードで設定してください。

AMPM ビットの値を変更すると、HOUR レジスタの値は設定した時間制に対応する値に変更されます。

HOUR レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 8　時カウント・レジスタ（HOUR）のフォーマット

アドレス　: F0222H
リセット時: 不定
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOUR20ビットは、AMPM = 0（12時間制）を選択した場合、AM（0）／PM（1）を示します。

注意2. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

注意3. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してHOURレジスタへアクセスしないでください。

表 8 - 2 に AMPM ビットの設定値、および時カウント・レジスタ（HOUR）値と時間の関係を示します。

表8 - 2　　時間桁表示表

24時間表示（RTCC0.AMPM = 1）		12時間表示（RTCC0.AMPM = 0）	
時間	HOUR レジスタ	時間	HOUR レジスタ
0時	00H	AM12時	12H
1時	01H	AM1時	01H
2時	02H	AM2時	02H
3時	03H	AM3時	03H
4時	04H	AM4時	04H
5時	05H	AM5時	05H
6時	06H	AM6時	06H
7時	07H	AM7時	07H
8時	08H	AM8時	08H
9時	09H	AM9時	09H
10時	10H	AM10時	10H
11時	11H	AM11時	11H
12時	12H	PM12時	32H
13時	13H	PM1時	21H
14時	14H	PM2時	22H
15時	15H	PM3時	23H
16時	16H	PM4時	24H
17時	17H	PM5時	25H
18時	18H	PM6時	26H
19時	19H	PM7時	27H
20時	20H	PM8時	28H
21時	21H	PM9時	29H
22時	22H	PM10時	30H
23時	23H	PM11時	31H

HOUR レジスタ値は、AMPM ビットが 0 のときに 12 時間表示、1 のときに 24 時間表示となります。

12 時間表示の場合は、HOUR レジスタの 5 ビット目で午前／午後を表示し、午前（AM）のときに 0 に、午後（PM）のときに 1 となります。

8.3.8 日カウント・レジスタ（DAY）

DAY レジスタは、1 ～ 31（10 進）までの値を取り、日のカウント値を示す 8 ビットのレジスタです。
時カウンタからのオーバフローによりカウント・アップします。
カウンタは、次に示すようにカウントします。

- 01～31（1, 3, 5, 7, 8, 10, 12月）
- 01～30（4, 6, 9, 11月）
- 01～29（2月 うるう年）
- 01～28（2月 通常年）

書き込みを行った場合は、バッファに書き込まれ最大 fRTCCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 01 ～ 31 を BCD コードで設定してください。
DAY レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

図8 - 9　日カウント・レジスタ（DAY）のフォーマット

アドレス　: F0224H
リセット時: 不定
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意1. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。
注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してDAYレジスタへアクセスしないでください。

8.3.9　曜日カウント・レジスタ（WEEK）

WEEK レジスタは、0 ～ 6（10 進）までの値を取り、曜日のカウント値を示す 8 ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCCK の 2 クロック後にカウンタへ書き込まれます。また設定する値は、10 進の 00 ～ 06 を BCD コードで設定してください。

WEEK レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 10　曜日カウント・レジスタ（WEEK）のフォーマット

アドレス　：F0223H
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ（WEEK）には、月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。
リセット解除後、次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

注意2. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

注意3. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してWEEKレジスタへアクセスしないでください。

8.3.10　月カウント・レジスタ（MONTH）

MONTH レジスタは、1 ～ 12（10 進）までの値を取り、月のカウント値を示す 8 ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 01 ～ 12 を BCD コードで設定してください。

MONTH レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 11　月カウント・レジスタ（MONTH）のフォーマット

アドレス　：F0225H
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意1. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してMONTHレジスタへアクセスしないでください。

8.3.11　年カウント・レジスタ（YEAR）

YEAR レジスタは、0 ～ 99（10 進）までの値を取り、年のカウント値を示す 8 ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･ , 92, 96 がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大 fRTCCK の 2 クロック後にカウンタへ書き込まれます。書き込み中に MONTH レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10 進の 00 ～ 99 を BCD コードで設定してください。

YEAR レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、初期化はされません。

図8 - 12　年カウント・レジスタ（YEAR）のフォーマット

アドレス　：F0226H
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意1. カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は、8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してYEARレジスタへアクセスしないでください。

8.3.12　時計誤差補正レジスタ（SUBCUD）

SUBCUD レジスタは、内部カウンタ（16 ビット）から秒カウント・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUD レジスタは、8 ビット・メモリ操作命令で設定します。

パワーオン・リセット回路による内部リセットの発生により、00H になります。

図8 - 13　時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス　：F0227H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。 • DEV = 0設定時：SEC = 00H, 20H, 40Hの期間 • DEV = 1設定時：SEC = 00Hの期間	

F6	時計誤差補正値の設定
0	{(F5, F4, F3, F2, F1, F0) – 1} × 2だけ増加
1	{(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2だけ減少
（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは、時計誤差補正を行いません。*は0または1です。 /F5～/F0は、ビット反転した値（111100Bのときは000011B）となります。 補正値の範囲：（F6 = 0のとき）2, 4, 6, 8,・・・120, 122, 124 （F6 = 1のとき）–2, –4, –6, –8,・・・–120, –122, –124	

次に、時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	–189.2～+189.2 ppm	–63.1～+63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

注意1. 128 Hz動作モード（RTC128EN = 1）時は、この時計誤差の補正機能を使用できません。RTC128EN = 0を選択時のみ、時計誤差補正ができます。

注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してSUBCUDレジスタへアクセスしないでください。

備考　補正範囲が–63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

8.3.13　アラーム分レジスタ（ALARMWM）

ALARMWM レジスタは、アラームの分を設定するレジスタです。
ALARMWM レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

注意　設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8 - 14　アラーム分レジスタ（ALARMWM）のフォーマット

アドレス　：F0228H
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

注意　スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してALARMWM レジスタへアクセスしないでください。

8.3.14　アラーム時レジスタ（ALARMWH）

ALARMWH レジスタは、アラームの時を設定するレジスタです。
ALARMWH レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

注意　設定する値は、10進の00～23、または01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図8 - 15　アラーム時レジスタ（ALARMWH）のフォーマット

アドレス　：F0229H
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意1. WH20ビットは、AMPM = 0（12時間制）を選択した場合、AM（0）／PM（1）を示します。
注意2. スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してALARMWH レジスタへアクセスしないでください。

8.3.15　アラーム曜日レジスタ（ALARMWW）

ALARMWW レジスタは、アラームの曜日を設定するレジスタです。
ALARMWW レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、初期化はされません。

図8 - 16　アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス　：F022AH
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日 WW0	月 WW1	火 WW2	水 WW3	木 WW4	金 WW5	土 WW6	10時	1時	10分	1分	10時	1時	10分	1分
毎日　午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日　午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日　午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金　午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜　午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金　午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

注意　スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してALARMWWレジスタへアクセスしないでください。

8.3.16 リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するレジスタ

リアルタイム・クロック出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

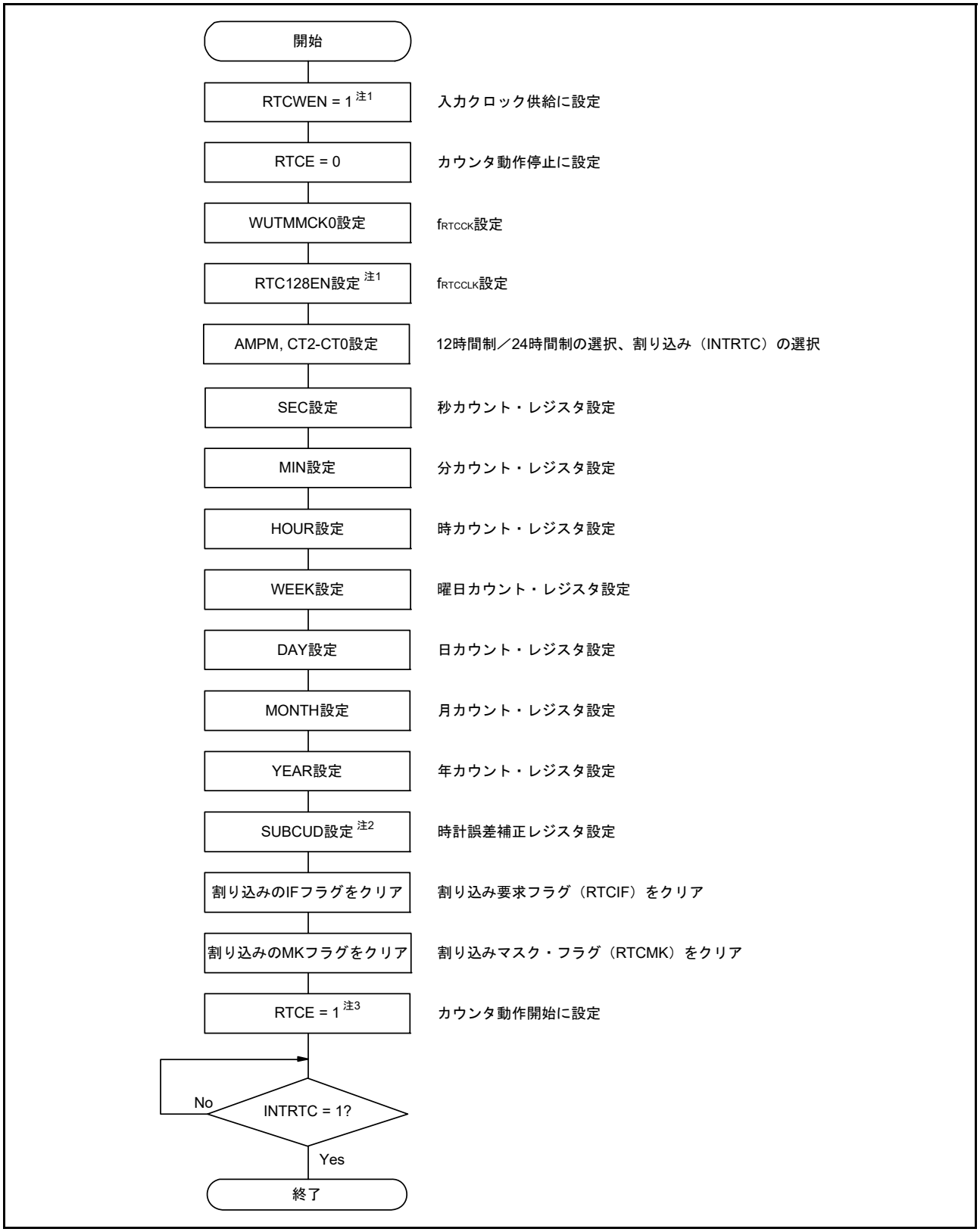
詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.8　ポート・モード・コントロールT・レジスタ（PMCTxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

8.4　リアルタイム・クロックの動作

8.4.1　リアルタイム・クロックの動作開始

図8 - 17　リアルタイム・クロックの動作開始手順



注1. カウント・クロック（f_{RTCCK}）が発振安定状態において、最初にRTCWEN = 1の設定とRTC128ENの設定を行ってください。

注2. 時計誤差補正する必要がある場合のみ。補正値の算出方法は、**8.4.6　リアルタイム・クロックの時計誤差補正例**を参照してください。
RTC128EN = 1設定時、時計誤差補正機能は使用できません。

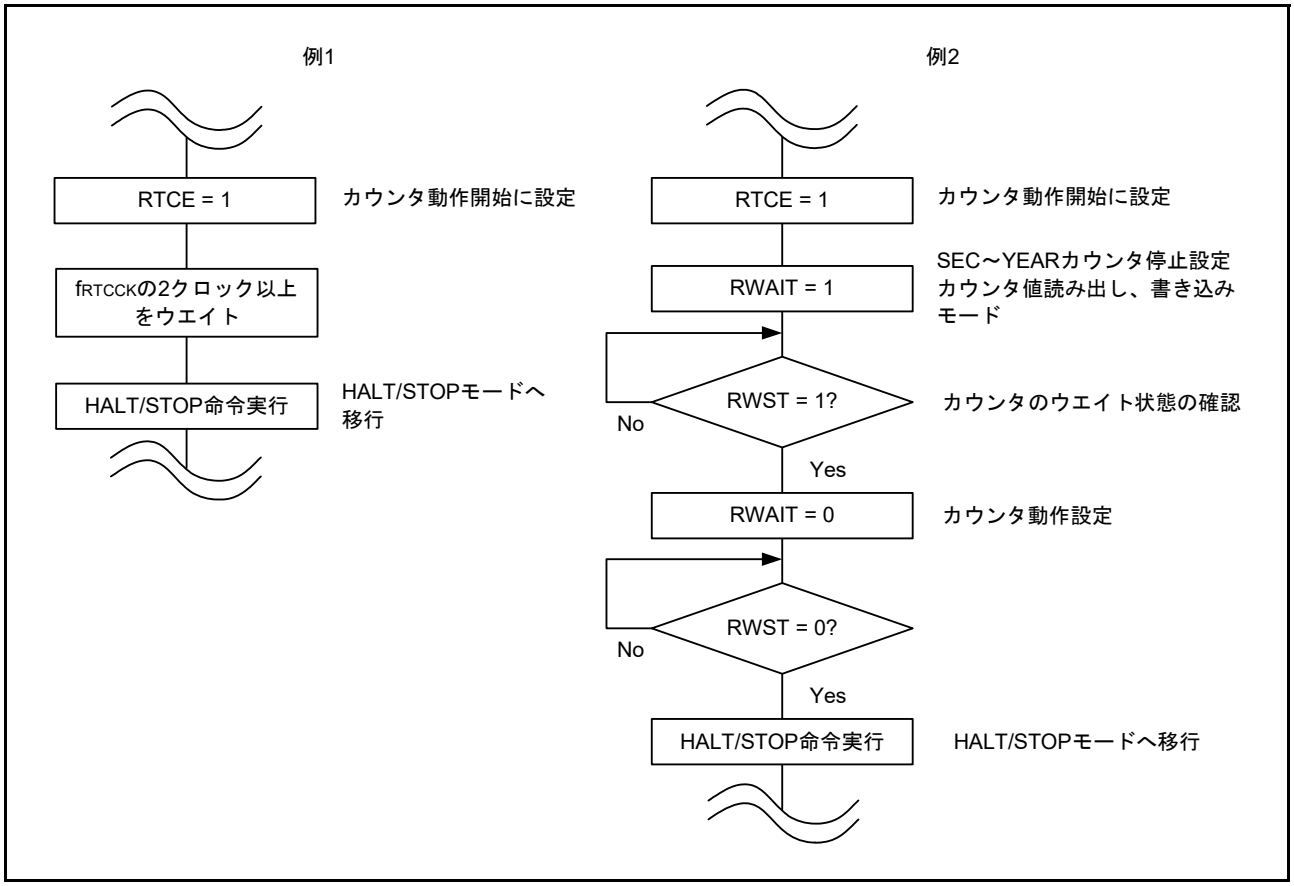
注3. RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、**8.4.2　動作開始後のHALT/STOPモードへの移行**の手順を確認してください。

8.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1 に設定直後に HALT/STOP モードへ移行する場合は、次のどちらかの処理をしてください。ただし、RTCE = 1 に設定後、INTRTC 割り込みの発生以降に HALT/STOP モードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1に設定してから、カウント・クロック（f_{RTCCK}）の2クロック分以上経過後にHALT/STOPモードへ移行する（**図8 - 18**　例1参照）。
- RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する（**図8 - 18**　例2参照）。

図8 - 18　RTCE = 1に設定後のHALT/STOPモードへの移行手順



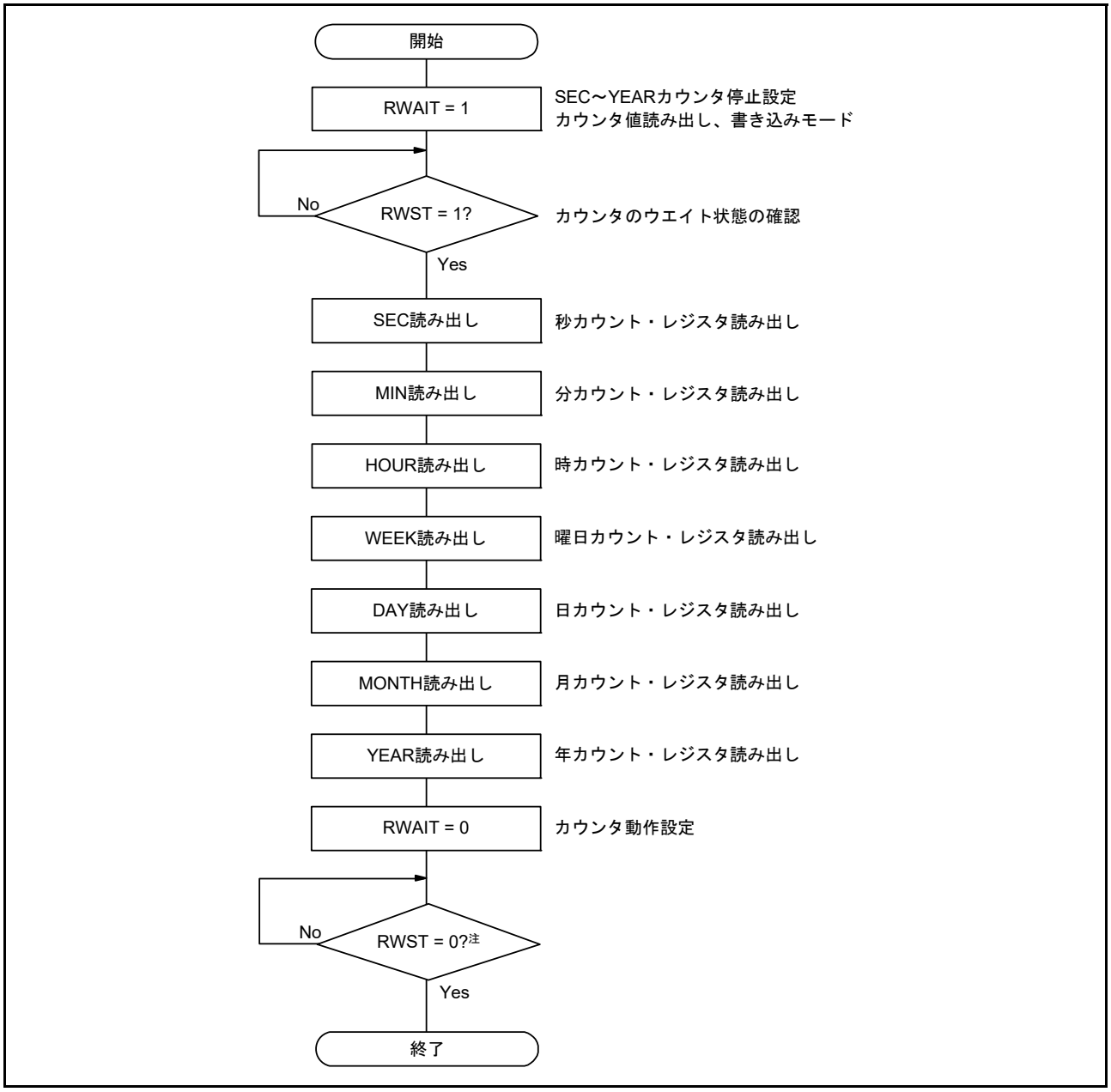
8.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初に RWAIT = 1 にしてから行ってください。

カウンタの読み出し／書き込み終了後は、RWAIT = 0 にしてください。

なお、アラーム割り込み機能使用時は、**図 8 - 20** および**図 8 - 22** の手順でカウンタの読み出し／書き込みを行ってください。

図8 - 19　リアルタイム・クロックの読み出し手順

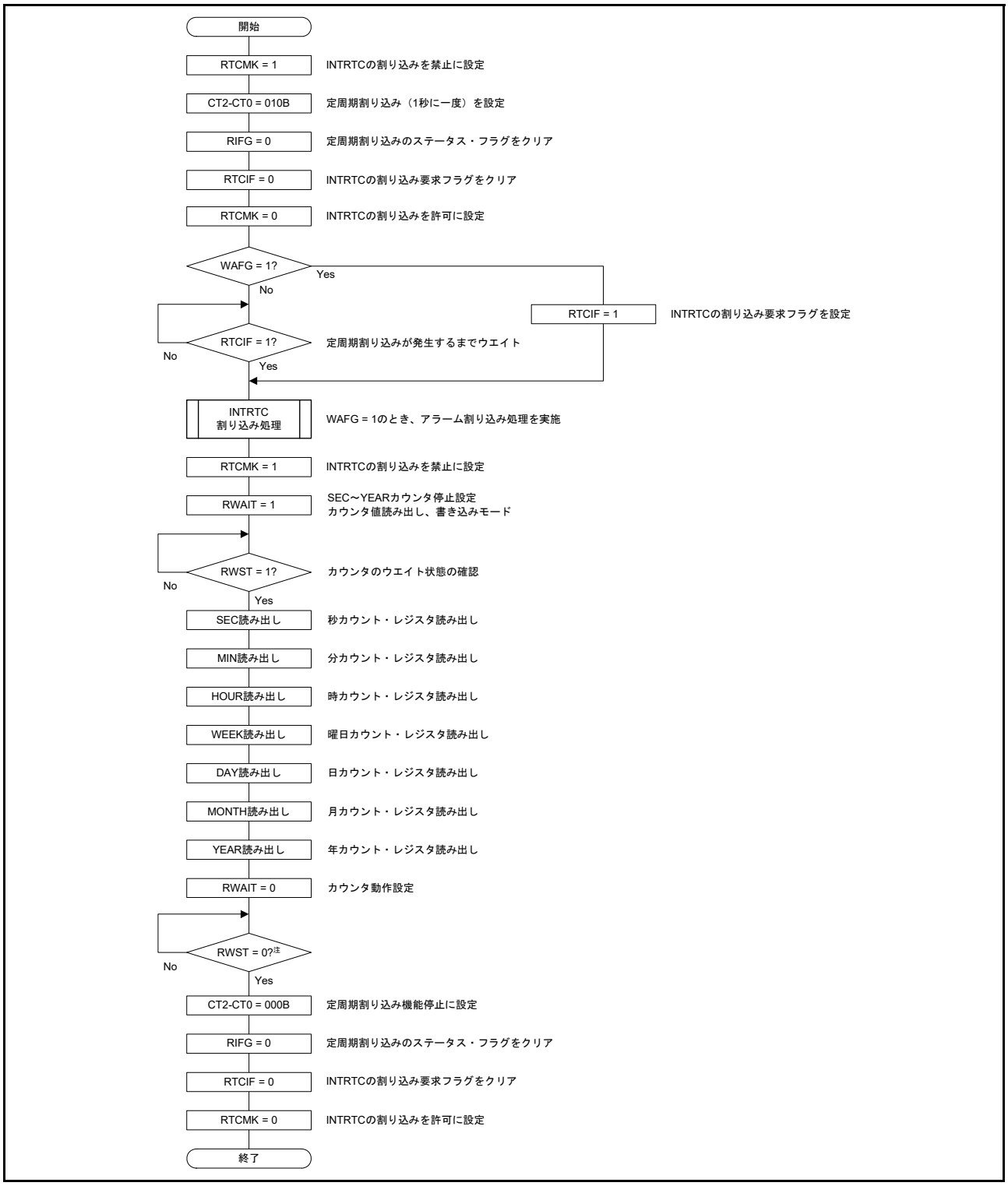


★ **注**　HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意　**RWAIT = 1からRWAIT = 0までの処理を1秒以内で行ってください。**

備考　秒カウント・レジスタ（SEC）、分カウント・レジスタ（MIN）、時カウント・レジスタ（HOUR）、曜日カウント・レジスタ（WEEK）、日カウント・レジスタ（DAY）、月カウント・レジスタ（MONTH）、年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出してもかまいません。

図8 - 20　リアルタイム・クロックの読み出し手順（アラーム割り込み機能使用時）

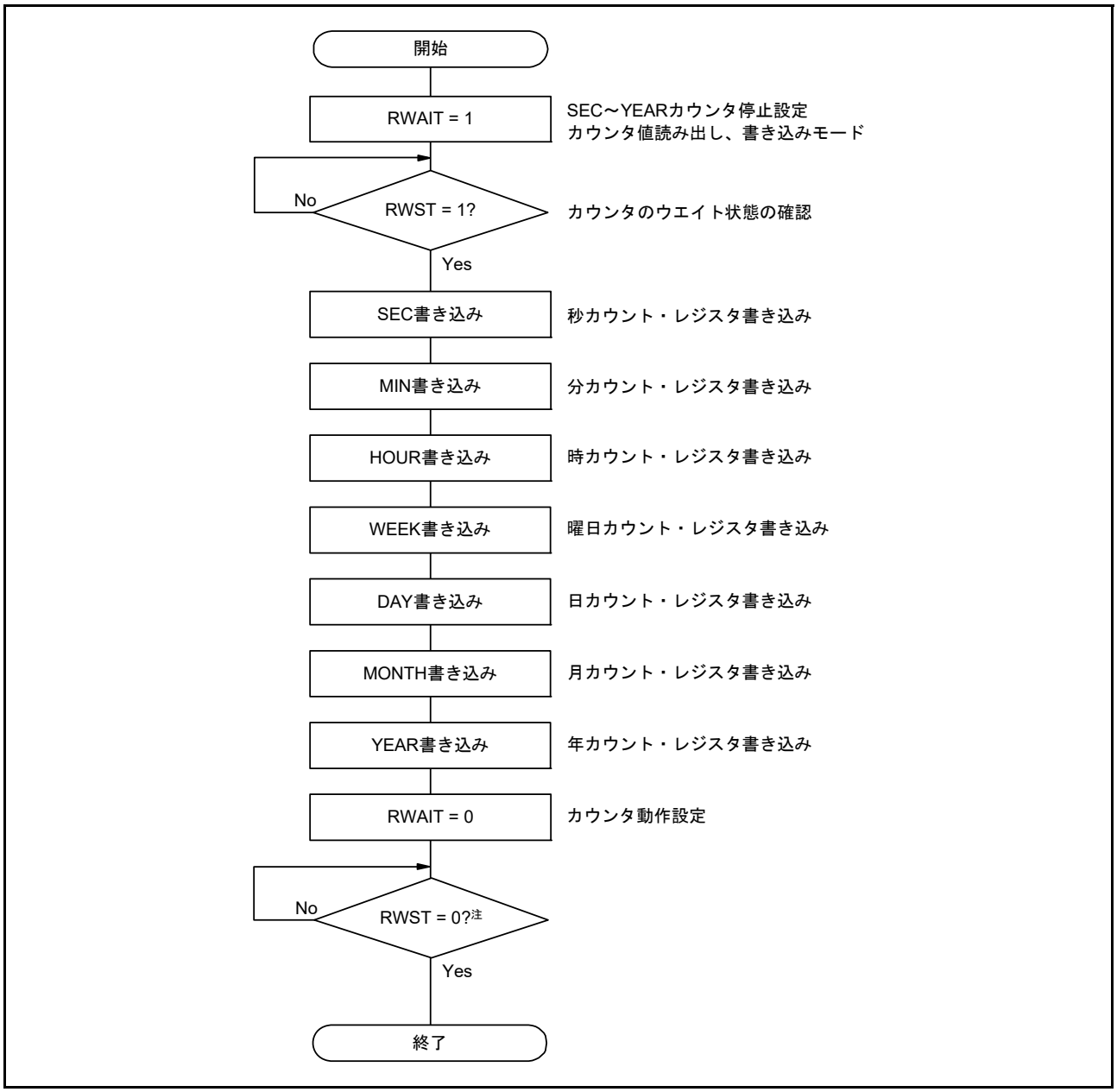


★　**注**　HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意　**INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。**

備考　秒カウント・レジスタ（SEC）、分カウント・レジスタ（MIN）、時カウント・レジスタ（HOUR）、曜日カウント・レジスタ（WEEK）、日カウント・レジスタ（DAY）、月カウント・レジスタ（MONTH）、年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。
また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出してもかまいません。

図8 - 21　リアルタイム・クロックの書き込み手順



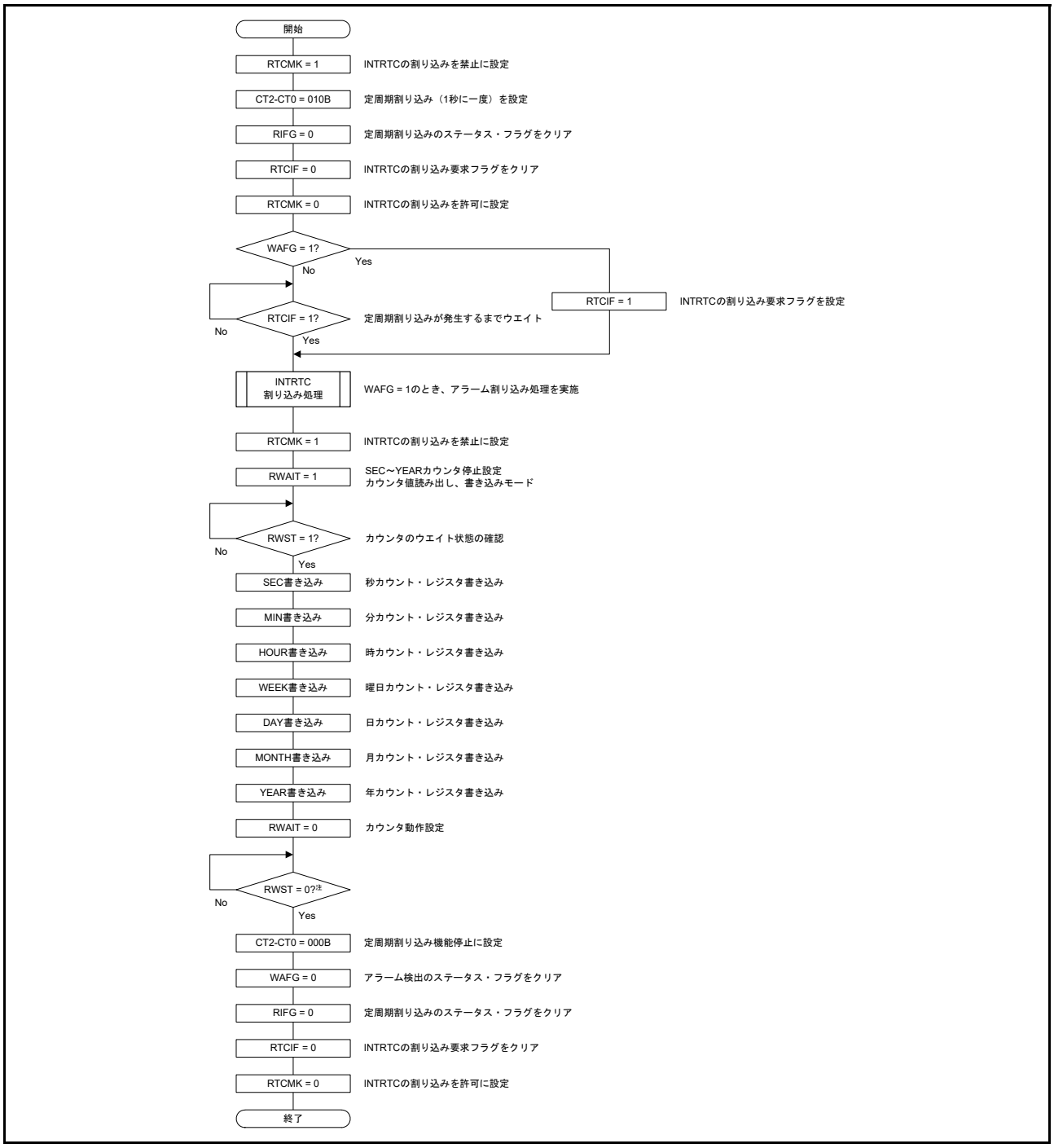
★　**注**　HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

注意2. カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RIFG, RTCIFフラグをクリアしてください。

備考　秒カウント・レジスタ（SEC）、分カウント・レジスタ（MIN）、時カウント・レジスタ（HOUR）、曜日カウント・レジスタ（WEEK）、日カウント・レジスタ（DAY）、月カウント・レジスタ（MONTH）、年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えてもかまいません。

図8 - 22　リアルタイム・クロックの書き込み手順（アラーム割り込み機能使用時）



★　**注**　HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. INTRTC割り込み処理の開始から、RWAIT = 0までの処理を1秒以内で行ってください。

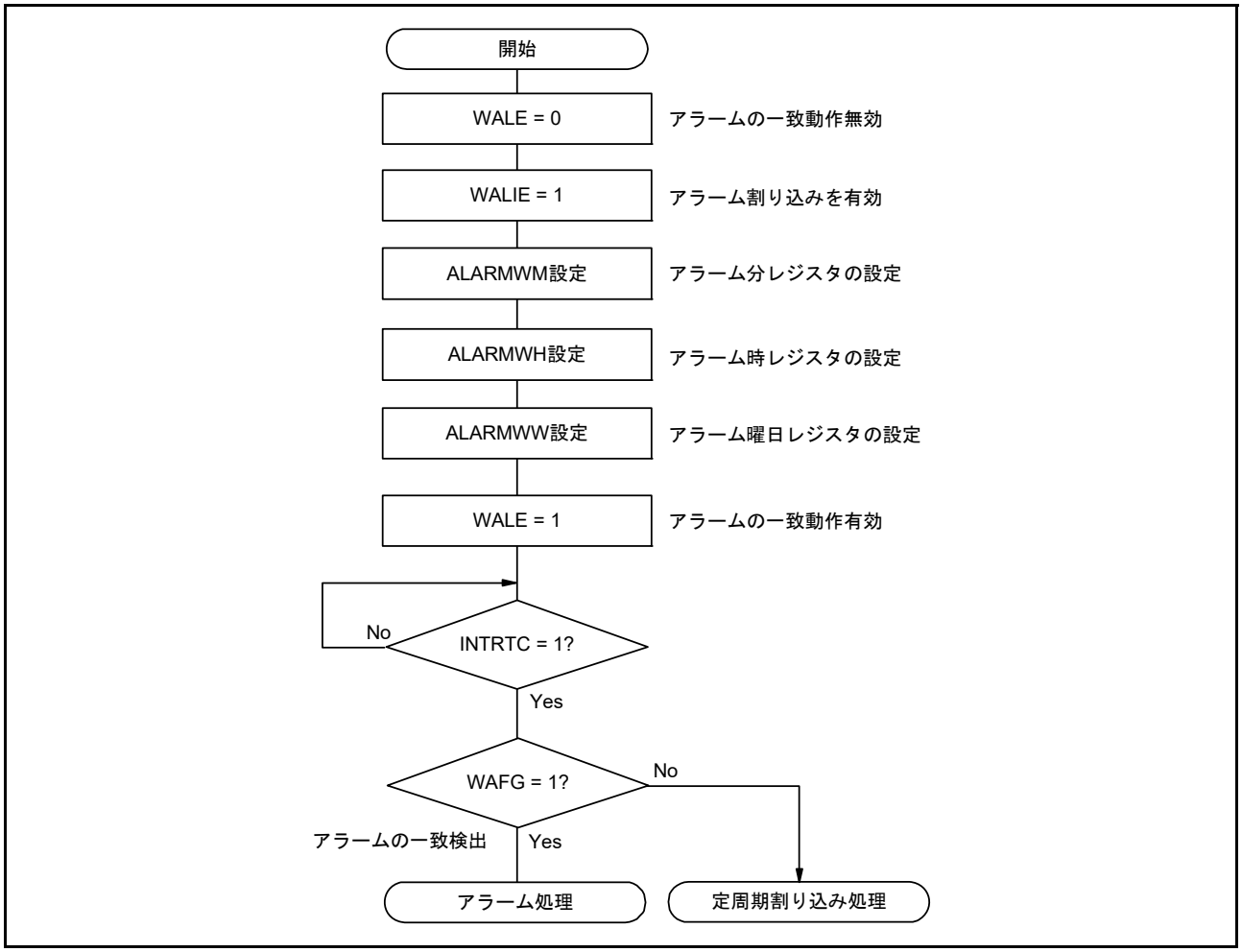
注意2. カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFG, RIFG, RTCIFフラグをクリアしてください。

備考　秒カウント・レジスタ（SEC）、分カウント・レジスタ（MIN）、時カウント・レジスタ（HOUR）、曜日カウント・レジスタ（WEEK）、日カウント・レジスタ（DAY）、月カウント・レジスタ（MONTH）、年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えてもかまいません。

8.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は、最初に WALE = 0（アラーム動作無効）にしてから行ってください。

図8 - 23　アラーム処理手順

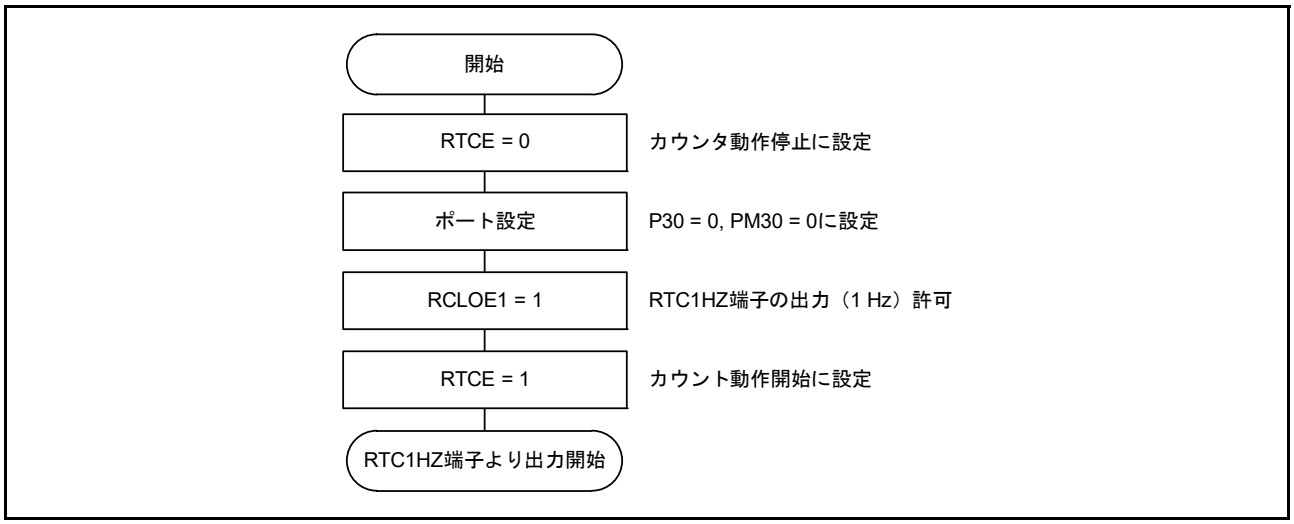


備考1. アラーム分レジスタ（ALARMWM）、アラーム時レジスタ（ALARMWH）、アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

備考2. 定周期割り込みとアラーム割り込みは、同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで、どちらの割り込みが発生したかを判断することができます。

8.4.5　リアルタイム・クロックの1 Hz出力

図8 - 24　1 Hz出力の設定手順



注意　カウント・クロック（f_{RTCCK}）が発振安定状態において、最初にRTCWEN = 1の設定を行ってください。

8.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ（16ビット）のカウント値を補正する際の補正値は、次の式で算出できます。補正範囲が、–63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

（DEV = 0 の場合）

補正値[注] = 1分間の補正カウント数 ÷ 3 =（発振周波数 ÷ ターゲット周波数 – 1）× 32768 × 60 ÷ 3

（DEV = 1 の場合）

補正値[注] = 1分間の補正カウント数 =（発振周波数 ÷ ターゲット周波数 – 1）× 32768 × 60

注 補正値とは、時計誤差補正レジスタ（SUBCUD）のビット6-0の値により求められる時計誤差補正値です。
（F6 = 0の場合）補正値 = {(F5, F4, F3, F2, F1, F0) – 1} × 2
（F6 = 1の場合）補正値 = – {(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2
（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは、時計誤差補正を行いません。*は0または1です。
/F5～/F0は、ビット反転した値（111100Bのときは000011B）となります。

備考1. 補正値は、2, 4, 6, 8,・・・120, 122, 124、または–2, –4, –6, –8・・・–120, –122, –124です。
備考2. 発振周波数とは、カウント・クロック（f_{RTCCK}）の値です。
時計誤差補正レジスタが初期値（00H）時のRTC1HZ端子の出力周波数 × 32768で求めることができます。
備考3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hz から 32768 Hz（32772.3 Hz – 131.2 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数注はPCLBUZ0端子から約32.768 kHzを出力するか、時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注　RTC1Hz出力の設定手順は、**8.4.5　リアルタイム・クロックの1 Hz出力**を、PCLBUZ0端子から約32 kHzの出力の設定手順は、**10.4　クロック出力／ブザー出力制御回路の動作**を参照してください。

【補正値の算出】

（PCLBUZ0端子からの出力周波数が32772.3 Hzの場合）

ターゲット周波数を32768 Hz（32772.3 Hz – 131.2 ppm）とすると、–131.2 ppmは補正範囲が–63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

補正値 = 1 分間の補正カウント数 ÷ 3

= （発振周波数 ÷ ターゲット周波数 – 1）× 32768 × 60 ÷ 3

= (32772.3 ÷ 32768 – 1) × 32768 × 60 ÷ 3

= 86

【（F6 ～ F0）への設定値の算出】

（補正値 = 86の場合）

補正値が0以上（遅くする場合）では、F6 = 0とします。

（F5, F4, F3, F2, F1, F0）は、補正値から算出します。

{(F5, F4, F3, F2, F1, F0) – 1} × 2 = 86

(F5, F4, F3, F2, F1, F0)　= 44

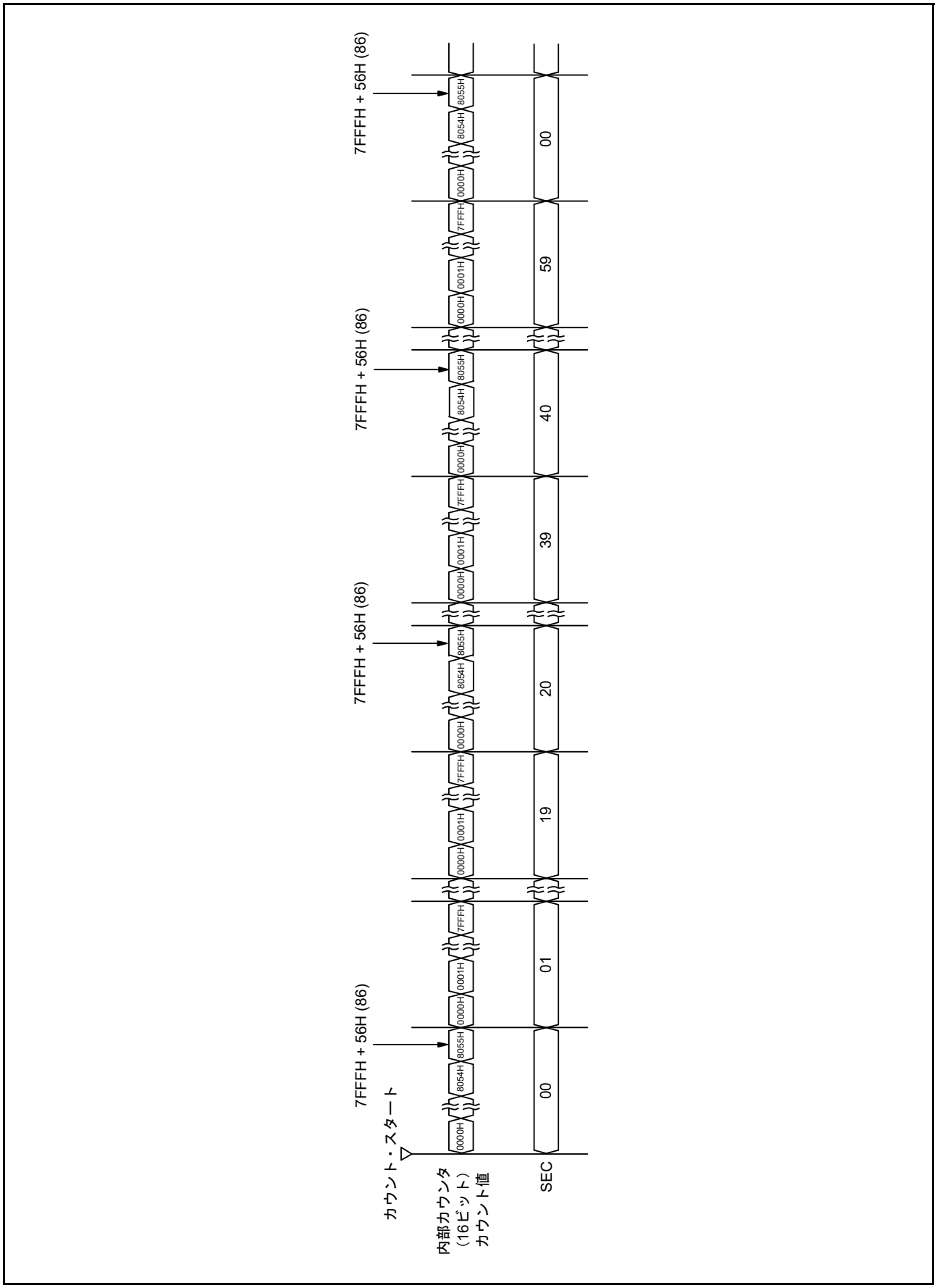
(F5, F4, F3, F2, F1, F0)　= (1, 0, 1, 1, 0, 0)

したがって、32772.3 Hzから32768 Hz（32772.3 Hz – 131.2 ppm）への補正の場合、

DEV = 0、補正値 = 86（SUBCUDレジスタのビット6-0：0101100B）と補正レジスタを設定すると、32768 Hz（0 ppm）となります。

図8 - 25に（DEV, F6, F5, F4, F3, F2, F1, F0）=（0, 0, 1, 0, 1, 1, 0, 0）の場合の補正動作を示します。

図8 - 25　（DEV, F6, F5, F4, F3, F2, F1, F0）=（0, 0, 1, 0, 1, 1, 0, 0）の場合の補正動作



補正例②

32767.4 Hz から 32768 Hz（32767.4 Hz + 18.3 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数注を、時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注　RTC1Hz出力の設定手順は、**8.4.5　リアルタイム・クロックの1 Hz出力**を参照してください。

【補正値の算出】

（RTC1HZ端子からの出力周波数が0.9999817 Hzの場合）

発振周波数 = 32768 × 0.9999817 ≒ 32767.4 Hz

ターゲット周波数を32768 Hz（32767.4 Hz + 18.3 ppm）とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

補正値 = 1 分間の補正カウント数

= （発振周波数 ÷ ターゲット周波数 – 1）× 32768 × 60

= (32767.4 ÷ 32768 – 1) × 32768 × 60

= –36

【（F6 ～ F0）への設定値の算出】

（補正値 = –36の場合）

補正値が0以下（速くする場合）では、F6 = 1とします。

（F5, F4, F3, F2, F1, F0）は、補正値から算出します。

– {(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2　= –36

(/F5, /F4, /F3, /F2, /F1, /F0)　= 17

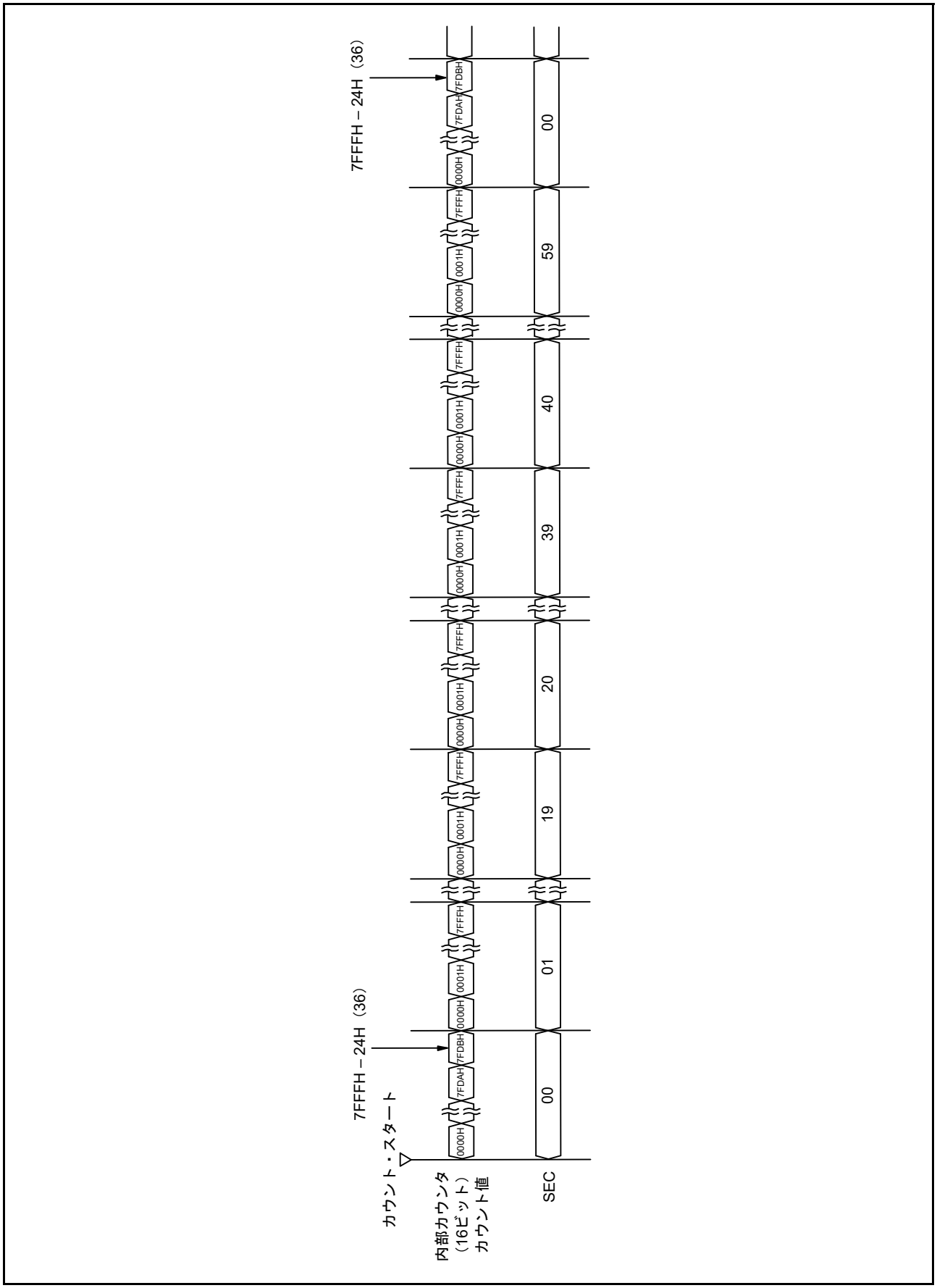
(/F5, /F4, /F3, /F2, /F1, /F0)　= (0, 1, 0, 0, 0, 1)

(F5, F4, F3, F2, F1, F0)　= (1, 0, 1, 1, 1, 0)

したがって、32767.4 Hzから32768 Hz（32767.4Hz + 18.3 ppm）への補正の場合、DEV = 1、補正値 = –36（SUBCUDレジスタのビット6-0：1101110B）と補正レジスタを設定すると、32768 Hz（0 ppm）となります。

図8 - 26に（DEV, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 0, 1, 1, 1, 0）の場合の補正動作を示します。

図8 - 26　（DEV, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 0, 1, 1, 1, 0）の場合の補正動作



第9章　32ビット・インターバル・タイマ（TML32）

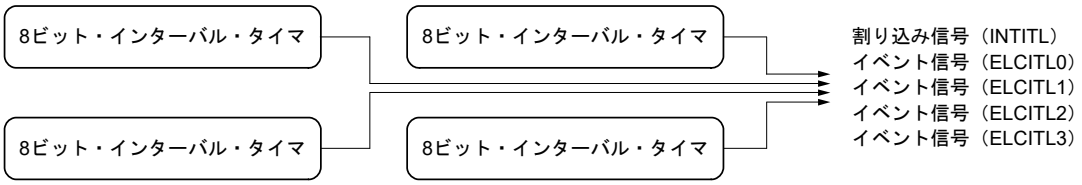
32 ビット・インターバル・タイマは、同機能を持つ 8 ビット・インターバル・タイマを 4 つ（チャネル 0 ～チャネル 3）持ち、それぞれが独立して動作します。また、2 つの 8 ビット・インターバル・タイマを連結動作することで 16 ビット・インターバル・タイマとして、4 つの 8 ビット・インターバル・タイマを連結動作することで 32 ビット・インターバル・タイマとして動作することができます。

9.1　概要

32 ビット・インターバル・タイマは、CPU と非同期の f_{MXP}, f_{SXP}, f_{IHP}, f_{IMP} クロックまたは ELC からのイベント入力で動作する 32 ビット・インターバル・タイマです。32 ビット・インターバル・タイマは、次のような機能があります。

(1) 8ビット・カウンタ・モード

一定間隔で割り込み（INTITL）およびイベント（ELCITLn）を発生する4つの8ビット・インターバル・タイマとして動作することができます。



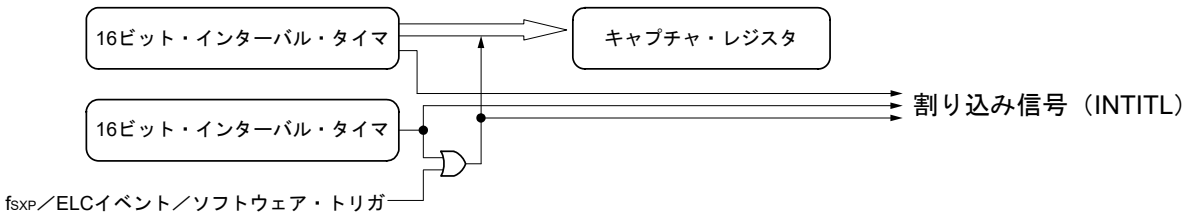
(2) 16ビット・カウンタ・モード

一定間隔で割り込み（INTITL）およびイベント（ELCITLn）を発生する2つの16ビット・インターバル・タイマとして動作することができます。

(3) 16ビット・キャプチャ・モード

一定間隔で割り込み（INTITL）を発生する1つのキャプチャ機能を持った16ビット・インターバル・タイマとして動作することができます。このとき、トリガ生成用にもう1つの16ビット・インターバル・タイマも動作することができます。

16ビット・インターバル・タイマのカウント値は所定のキャプチャ・トリガでキャプチャ・レジスタに保持できます。



(4) 32ビット・カウンタ・モード

一定間隔で割り込み（INTITL）およびイベント（ELCITLn）を発生する1つの32ビット・インターバル・タイマとして動作することができます。

備考　n：チャネル番号（n = 0-3）

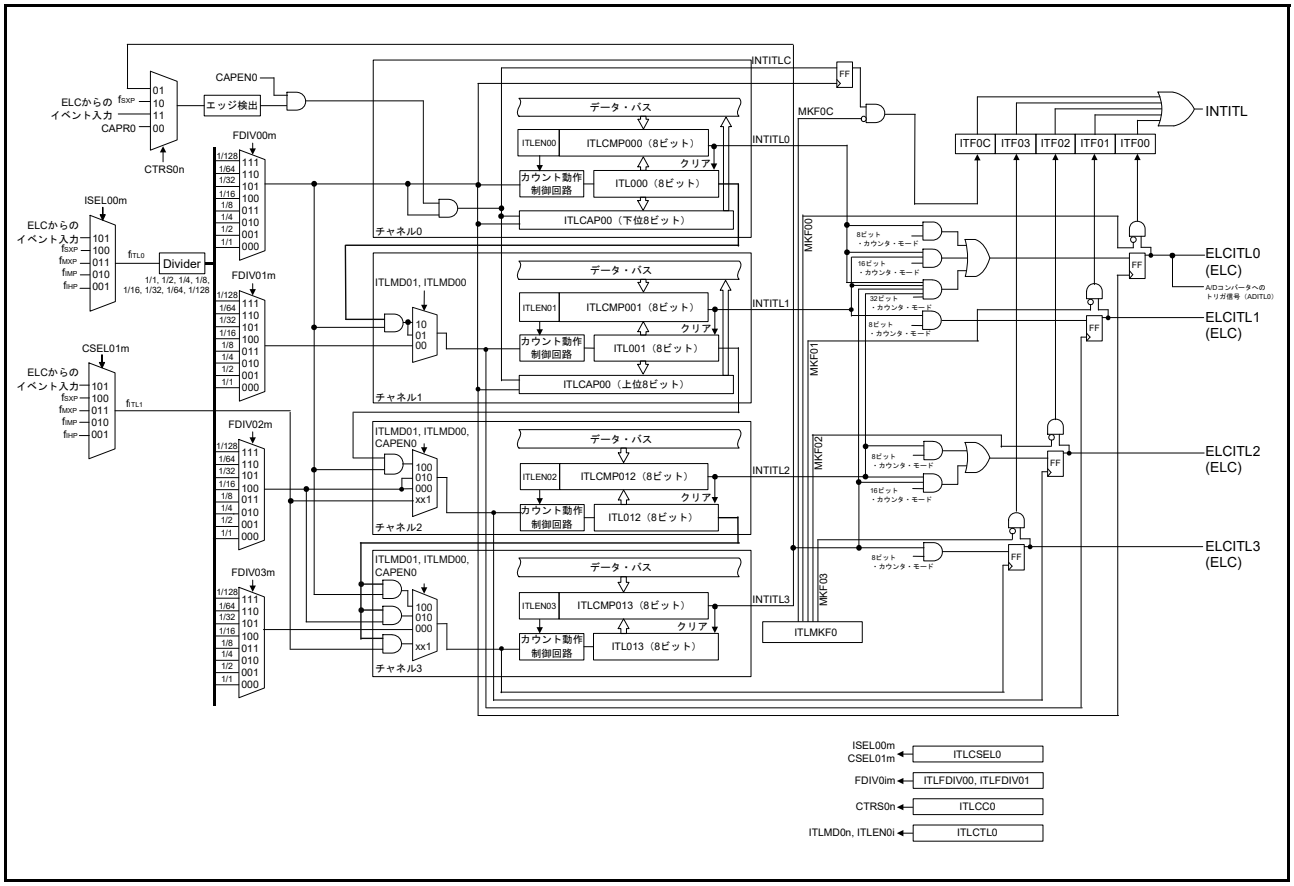
表 9 - 1 に 32 ビット・インターバル・タイマの仕様、**図 9 - 1** に 32 ビット・インターバル・タイマのブロック図を示します。

表9 - 1　32ビット・インターバル・タイマの仕様

項目	内容
カウント・ソース （動作クロック）	• f_{MXP} • f_{SXP} • f_{IHP} • f_{IMP} • ELCからのイベント入力
キャプチャ・クロック （キャプチャ・トリガをタイマで生成する場合のタイマの動作クロック）	• f_{MXP} • f_{SXP} • f_{IHP} • f_{IMP} • ELCからのイベント入力
分周比	• 1/1, 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128
動作モード	• 8ビット・カウンタ・モード チャネル0、チャネル1、チャネル2、チャネル3が独立した8ビット・カウンタとして動作するモード • 16ビット・カウンタ・モード チャネル0とチャネル1の組み合わせおよびチャネル2とチャネル3の組み合わせでカウンタが連結して16ビット・カウンタとして動作するモード • 32ビット・カウンタ・モード チャネル0、チャネル1、チャネル2、チャネル3を連結して32ビット・カウンタとして動作するモード • 16ビット・キャプチャ・モード チャネル0、チャネル1を連結してカウンタ・ソースで動作する16ビット・カウンタと、チャネル2、チャネル3を連結してキャプチャ・クロックで動作する16ビット・カウンタを用い、キャプチャ動作を行うモード
割り込み	• 5つの割り込み要因を束ね、1本の割り込み信号（INTITL）を出力 –チャネル0、チャネル1、チャネル2、チャネル3の各カウンタがコンペア値と一致 –キャプチャ・モード時にカウンタ値のキャプチャが完了したとき出力
ELC	• 4つのELC用トリガ信号であるELCITL0-3を出力 –チャネル0、チャネル1、チャネル2、チャネル3の各カウンタがコンペア値と一致

備考　f_{MXP}　：高速周辺クロック周波数
f_{SXP}　：低速周辺クロック周波数
f_{IHP}　：高速オンチップ・オシレータ周辺クロック周波数
f_{IMP}　：中速オンチップ・オシレータ周辺クロック周波数（4 MHz）
ELCからのイベント入力　：ELC機能によってタイマ、シリアル通信、ポートなどの周辺機能から生成される信号です。
詳細は、**第17章　イベント・リンク・コントローラ（ELC）**を参照してください。

図9 - 1　　32ビット・インターバル・タイマのブロック図



備考1. ITL000, ITL001, ITL012, ITL013：8ビット・カウンタ

16ビット・カウンタ・モードの場合、チャネル0とチャネル1のカウンタが連結（ITL000 + ITL001）

またチャネル2とチャネル3のカウンタが連結（ITL012 + ITL013）

32ビット・カウンタ・モードの場合、チャネル0とチャネル1とチャネル2とチャネル3のカウンタが連結（ITL000 + ITL001 + ITL012 + ITL013）

ISEL00m, CSEL01m　：ITLCSEL0レジスタのビット

FDIV0im　：ITLFDIV0nレジスタのビット

CTRS0n　：ITLCC0レジスタのビット

ITLMD0n, ITLEN0i　：ITLCTL0レジスタのビット

備考2. n = 0, 1; m = 0-2; i = 0-3

9.2　32ビット・インターバル・タイマを制御するレジスタ

32ビット・インターバル・タイマを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- 周辺リセット制御レジスタ1（PRR1）
- インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn）
- インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）
- インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）
- インターバル・タイマ制御レジスタ（ITLCTL0）
- インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）
- インターバル・タイマ分周レジスタ0（ITLFDIV00）
- インターバル・タイマ分周レジスタ1（ITLFDIV01）
- インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）
- インターバル・タイマ・ステータス・レジスタ（ITLS0）
- インターバル・タイマー致検出マスク・レジスタ（ITLMKF0）

9.2.1 周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

32 ビット・インターバル・タイマを使用する場合は、必ず TML32EN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス　：F00FAH
リセット時：00H
R/W属性　：R/W

略号	7	<6>	5	<4>	<3>	<2>	1	<0>
PER1	0	SMSEN	0	TML32EN	DTCEN	UTAEN 注1	0	CTSUEN

TML32EN	32ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 • 32ビット・インターバル・タイマで使用するSFRへのライト不可注2
1	入力クロック供給 • 32ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注1.　36～48ピン製品のみ

注2.　リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7, 5, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16～32ピン製品：ビット2

9.2.2 周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

32 ビット・インターバル・タイマをリセットする場合は、TML32RES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 3　周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス　: F00FBH
リセット時: 00H
R/W属性　: R/W

略号	7	<6>	5	<4>	3	2	1	<0>
PRR1	0	SMSRES	0	TML32RES	0	0	0	CTSURES

TML32RES	32ビット・インターバル・タイマのリセット制御
0	32ビット・インターバル・タイマのリセット解除
1	32ビット・インターバル・タイマはリセット状態 • 32ビット・インターバル・タイマで使用するSFRが初期化されます。

注意　ビット7, 5, 3-1には、必ず0を設定してください。

9.2.3 インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn）

ITLCMP0mn レジスタは、インターバル・タイマを 8 ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0mn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

設定範囲は 01H ～ FFH です。00H の設定は禁止です。

ITL000-ITL013 カウンタとの比較値を格納します。

図9 - 4 インターバル・タイマ・コンペア・レジスタ0mn（ITLCMP0mn）のフォーマット

アドレス : F0360H (ITLCMP000), F0361H (ITLCMP001), F0362H (ITLCMP012), F0363H (ITLCMP013)
リセット時: FFH
R/W属性 : R/W注

略号	7	6	5	4	3	2	1	0
ITLCMP0mn								

注 ITLCMP000レジスタの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。
ITLCMP001レジスタの設定は、ITLCTL0レジスタのITLEN01ビットが0のときに行ってください。
ITLCMP012レジスタの設定は、ITLCTL0レジスタのITLEN02ビットが0のときに行ってください。
ITLCMP013レジスタの設定は、ITLCTL0レジスタのITLEN03ビットが0のときに行ってください。

備考 mn = 00, 01, 12, 13

9.2.4 インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）

ITLCMP0n レジスタは、インターバル・タイマを 16 ビット・カウンタ・モードおよび 32 ビット・カウンタ・モードで使用する場合のコンペア値レジスタです。

ITLCMP0n レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFFFH になります。

設定範囲は 0001H ～ FFFFH です。0000H の設定は禁止です。

ITL0n カウンタとの比較値を格納します。

ITLCTL0 レジスタの ITLMD01, ITLMD00 ビットの値が 10B の場合、32 ビット・カウンタ・モードのコンペア・レジスタとして、ITLCMP01 レジスタに上位 16 ビットのコンペア値、ITLCMP00 レジスタに下位 16 ビットのコンペア値を設定します。

図9 - 5 インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）のフォーマット

アドレス : F0360H, F0361H (ITLCMP00), F0362H, F0363H (ITLCMP01)
リセット時: FFFFH
R/W属性 : R/W注

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCMP0n																

注 ITLCMP00レジスタの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。
ITLCMP01レジスタの設定は、16ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN02ビットが0のときに行ってください。32ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

備考 n = 0, 1

9.2.5 インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）

ITLCAP00 レジスタは、インターバル・タイマを 16 ビット・カウンタ・モードとして使用する場合の 16 ビットのキャプチャ値レジスタです。

ITLCAP00 レジスタは、16 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、0000H になります。

ITLCC0 レジスタの CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ（ITL000 + ITL001）の値を ITLCAP00 レジスタに格納します。

ITLCMP01 レジスタのコンペアー致割り込みを使用する場合は、ITLCSEL0 レジスタでカウント・クロックを選択し、ITLCMP01 レジスタにコンペア値を設定します。

図9 - 6　インターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）のフォーマット

アドレス　：F0364H, F0365H
リセット時：0000H
R/W属性　：R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITLCAP00																

9.2.6 インターバル・タイマ制御レジスタ（ITLCTL0）

ITLCTL0 レジスタは、インターバル・タイマのカウント停止／開始の設定と 8 ビット・カウンタ／ 16 ビット・カウンタ／ 32 ビット・カウンタ動作の切り替えを設定するレジスタです。

ITLCTL0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 7 インターバル・タイマ制御レジスタ（ITLCTL0）のフォーマット (1/2)

アドレス ：F0366H
リセット時: 00H
R/W属性 ：R/W

略号	7	6	5	4	<3>	<2>	<1>	<0>
ITLCTL0	ITLMD01	ITLMD00	0	0	ITLEN03	ITLEN02	ITLEN01	ITLEN00

ITLMD01	ITLMD00	8／16／32ビット・カウンタ・モード選択注1
0	0	8ビット・カウンタとして動作
0	1	16ビット・カウンタとして動作（チャネル0 + チャネル1、およびチャネル2 + チャネル3を連結）
1	0	32ビット・カウンタとして動作（チャネル0 + チャネル1 + チャネル2 + チャネル3を連結）
1	1	設定禁止

ITLEN03	8ビット・カウンタ・モード時：ITL013のカウント・イネーブル注2
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN03ビットに1を書くことによりITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN02	8ビット・カウンタ・モード時：ITL012のカウント・イネーブル注2 16ビット・カウンタ・モード時：ITL012 + ITL013のカウント・イネーブル注2
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、ITLEN02ビットに1を書くことによりITL012 + ITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。 32ビット・カウンタ・モードでは、0を設定してください。	

図9 - 7　インターバル・タイマ制御レジスタ（ITLCTL0）のフォーマット (2/2)

ITLEN01	8ビット・カウンタ・モード時：ITL001のカウント・イネーブル注2
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN01ビットに1を書くことによりITL001がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、0を設定してください。 32ビット・カウンタ・モードでは、0を設定してください。	

ITLEN00	8ビット・カウンタ・モード時：ITL000のカウント・イネーブル注2 16ビット・カウンタ・モード時：ITL000 + ITL001のカウント・イネーブル注2 32ビット・カウンタ・モード時：ITL000 + ITL001 + ITL012 + ITL013の カウント・イネーブル注2
0	カウント停止
1	カウント開始
8ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000がカウント・アップを開始し、0を書くことによりカウントを停止します。 16ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001がカウント・アップを開始し、0を書くことによりカウントを停止します。 32ビット・カウンタ・モードでは、ITLEN00ビットに1を書くことによりITL000 + ITL001 + ITL012 + ITL013がカウント・アップを開始し、0を書くことによりカウントを停止します。	

注1.　ITLMD01, ITLMD00ビットのカウンタ・モードを変更する場合、必ずITLEN03-ITLEN00ビットがすべて0のときに書き換え操作を行ってください。

注2.　ITLEN03-ITLEN00ビットに0を設定した場合、カウント・クロックに同期せずに該当カウンタの値が0にクリアされます。

モード	ITLMD01	ITLMD00	ITLEN03	ITLEN02	ITLEN01	ITLEN00	該当カウンタ
8ビット・カウンタ・モード注1	0	0				○	ITL000
					○		ITL001
				○			ITL012
			○				ITL013
16ビット・カウンタ・モード注2	0	1	常に0設定		常に0設定	○	ITL000 + ITL001
			常に0設定	○	常に0設定		ITL012 + ITL013
32ビット・カウンタ・モード	1	0	常に0設定	常に0設定	常に0設定	○	ITL000 + ITL001 + ITL012 + ITL013

注1.　ITLEN03-ITLEN00ビットを複数同時に1または0にすることも可能です。

注2.　ITLEN02, ITLEN00ビットを複数同時に1または0にすることも可能です。

備考　○は該当カウンタに対するカウント・イネーブルです。

9.2.7 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）

ITLCSEL0 レジスタは、インターバル・タイマのカウント・ソースを設定するレジスタです。
ITLCSEL0 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図9 - 8 インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）のフォーマット

アドレス ：F0367H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ITLCSEL0	0	CSEL012	CSEL011	CSEL010	0	ISEL002	ISEL001	ISEL000

CSEL012	CSEL011	CSEL010	キャプチャ用インターバル・タイマ・カウント・クロック（f_{ITL1}）選択注
0	0	0	動作停止
0	0	1	f_{IHP}
0	1	0	f_{IMP}
0	1	1	f_{MXP}
1	0	0	f_{SXP}
1	0	1	ELCからのイベント入力
上記以外			設定禁止

ISEL002	ISEL001	ISEL000	インターバル・タイマ・カウント・クロック（f_{ITL0}）選択注
0	0	0	動作停止
0	0	1	f_{IHP}
0	1	0	f_{IMP}
0	1	1	f_{MXP}
1	0	0	f_{SXP}
1	0	1	ELCからのイベント入力
上記以外			設定禁止

注 CSEL012-CSEL010ビットおよびISEL002-ISEL000ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

備考 f_{MXP} ：高速周辺クロック周波数
f_{SXP} ：低速周辺クロック周波数
f_{IHP} ：高速オンチップ・オシレータ周辺クロック周波数
f_{IMP} ：中速オンチップ・オシレータ周辺クロック周波数
ELCからのイベント入力 ：ELC機能によってタイマ、シリアル通信、ポートなどの周辺機能から生成される信号です。詳細は、**第17章 イベント・リンク・コントローラ（ELC）**を参照してください。

9.2.8 インターバル・タイマ分周レジスタ0（ITLFDIV00）

ITLFDIV00 レジスタは、インターバル・タイマのカウント・クロックを設定するレジスタです。
ITLFDIV00 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図9 - 9　インターバル・タイマ分周レジスタ0（ITLFDIV00）のフォーマット (1/2)

アドレス　：F0368H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV00	0	FDIV012	FDIV011	FDIV010	0	FDIV002	FDIV001	FDIV000

FDIV012	FDIV011	FDIV010	8ビット・カウンタ・モード時：ITL001のカウント・クロック注1
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$

8ビット・カウンタ・モードでは、FDIV012-FDIV010ビットに設定したカウント・クロックによりITL001がカウントします。
16ビット・カウンタ・モードでは、000Bに設定してください。
32ビット・カウンタ・モードでは、000Bに設定してください。

図9 - 9　インターバル・タイマ分周レジスタ0（ITLFDIV00）のフォーマット (2/2)

FDIV002	FDIV001	FDIV000	8ビット・カウンタ・モード時：ITL000のカウント・クロック注2 16ビット・カウンタ・モード時： ITL000 + ITL001のカウント・クロック注2 32ビット・カウンタ・モード時： ITL000 + ITL001 + ITL012 + ITL013のカウント・クロック注2
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$
8ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウント・クロックによりITL000がカウントします。 16ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウント・クロックによりITL000 + ITL001がカウントします。 32ビット・カウンタ・モードでは、FDIV002-FDIV000ビットに設定したカウント・クロックによりITL000 + ITL001 + ITL012 + ITL013がカウントします。			

注1.　FDIV012-FDIV010ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN01ビットが0のときに行ってください。

注2.　FDIV002-FDIV000ビットの設定は、ITLCTL0レジスタのITLEN00ビットが0のときに行ってください。

9.2.9 インターバル・タイマ分周レジスタ1（ITLFDIV01）

ITLFDIV01 レジスタは、インターバル・タイマのカウント・クロックを設定するレジスタです。
ITLFDIV01 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図9 - 10 インターバル・タイマ分周レジスタ1（ITLFDIV01）のフォーマット

アドレス ：F0369H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ITLFDIV01	0	FDIV032	FDIV031	FDIV030	0	FDIV022	FDIV021	FDIV020

FDIV032	FDIV031	FDIV030	8ビット・カウンタ・モード時：ITL013のカウント・クロック注1
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$
8ビット・カウンタ・モードでは、FDIV032-FDIV030ビットに設定したカウント・クロックによりITL013がカウントします。 16ビット・カウンタ・モードでは、000Bに設定してください。 32ビット・カウンタ・モードでは、000Bに設定してください。			

FDIV022	FDIV021	FDIV020	8ビット・カウンタ・モード時：ITL012のカウント・クロック注2 16ビット・カウンタ・モード時： ITL012 + ITL013のカウント・クロック注2
0	0	0	f_{ITL0}
0	0	1	$f_{ITL0}/2$
0	1	0	$f_{ITL0}/4$
0	1	1	$f_{ITL0}/8$
1	0	0	$f_{ITL0}/16$
1	0	1	$f_{ITL0}/32$
1	1	0	$f_{ITL0}/64$
1	1	1	$f_{ITL0}/128$
8ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウント・クロックによりITL012がカウントします。 16ビット・カウンタ・モードでは、FDIV022-FDIV020ビットに設定したカウント・クロックによりITL012 + ITL013がカウントします。 32ビット・カウンタ・モードでは、使用しないため000Bに設定してください。			

注1. FDIV032-FDIV030ビットの設定は、8ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN03ビットが0のときに行ってください。

注2. FDIV022-FDIV020ビットの設定は、8ビットおよび16ビット・カウンタ・モードのときはITLCTL0レジスタのITLEN02ビットが0のときに行ってください。

9.2.10 インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）

ITLCC0 レジスタは、インターバル・タイマのキャプチャ機能の有効／無効の設定と、キャプチャ完了フラグの格納およびクリアの設定、ソフトウェア・トリガの設定、キャプチャ・トリガ選択の設定を行うレジスタです。

ITLCC0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図9 - 11 インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）のフォーマット

アドレス : F036AH
リセット時: 00H
R/W属性 : R/W

略号	7	<6>	5	<4>	3	2	1	0
ITLCC0	CAPEN0	CAPF0CR	CAPF0	CAPR0	CAPC0CR	0	CTRS01	CTRS00

CAPEN0	キャプチャ・イネーブル注1
0	キャプチャ無効
1	キャプチャ有効

CAPF0CR	キャプチャ完了フラグ・クリア注2
0	キャプチャ完了フラグCAPF0を保持
1	キャプチャ完了フラグCAPF0をクリア

CAPF0	キャプチャ完了フラグ注3
0	キャプチャ未了
1	キャプチャ完了 CTRS01, CTRS00ビットで設定したキャプチャ・トリガの発生後、ITLCAP00レジスタにデータをキャプチャすると1になります。 CAPF0CRビットに1を書き込むと0にクリアされます。

CAPR0	ソフトウェア・キャプチャ・トリガ注4, 5
0	トリガ動作しない
1	キャプチャのためのソフトウェア・トリガを発生させる

CAPC0CR	キャプチャ完了後16ビット・カウンタ（ITL000 + ITL001）クリア選択注6
0	キャプチャ完了後、16ビット・カウンタ（ITL000 + ITL001）を保持するモード
1	キャプチャ完了後、16ビット・カウンタ（ITL000 + ITL001）をクリアするモード

CTRS01	CTRS00	キャプチャ・トリガ選択注5, 7
0	0	ソフトウェア・トリガ
0	1	ITLCMP01レジスタのコンペアー致割り込み注8
1	0	fSXP（立ち上がりエッジ）
1	1	ELCからのイベント入力（立ち上がりエッジ）

注1. CAPEN0ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注2. CAPF0CRビットを読み出すと常に0が読めます。

注3. ビット5は、読み出しのみ可能です。

注4. CAPR0ビットを読み出すと常に0が読めます。

注5. キャプチャ動作では、キャプチャ・トリガを発生させる間隔をカウント・クロックで2クロック以上にしてください。

注6. CAPC0CRビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注7. CTRS01, CTRS00ビットの設定は、ITLCTL0レジスタのITLEN03-ITLEN00ビットがすべて0のときに行ってください。

注8. キャプチャ・トリガにITLCMP01のコンペアー致割り込みを選択すると、キャプチャ時にチャネル2のコンペアー致検出フラグ（ITF02）とキャプチャ検出フラグ（ITF0C）がセットされます。キャプチャ検出フラグのみ使用する場合は、ITLMKF0レジスタの設定でチャネル2のコンペアー致検出フラグをマスクしてください。

9.2.11　インターバル・タイマ・ステータス・レジスタ（ITLS0）

ITLS0 レジスタは、インターバル・タイマのステータス・レジスタです。

ITLS0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

ITL0mn レジスタ（mn = 00, 01, 12, 13）のカウンタ値が、ITLCMP0mn, ITLCMP00, ITLCMP01 レジスタに設定した値と一致したとき、対応するチャネルのコンペアー致検出フラグがセットされます。また、ITLCC0 レジスタの CAPEN0 ビットが 1 のときにキャプチャ・トリガが発生し、ITL0n のカウンタ値が ITLCAP00 レジスタにセットされるとキャプチャ検出フラグがセットされます。

本レジスタの ITF0C, ITF03-ITF00 ビットを OR した信号を割り込み要求（INTITL）として出力します。

表 9 - 2 に ITLMD01, ITLMD00 ビットのモードごとのステータス・フラグがセットされる要因を示します。

図9 - 12　インターバル・タイマ・ステータス・レジスタ（ITLS0）のフォーマット

アドレス　：F036BH
リセット時：00H
R/W属性　：R/W**注**

略号	7	6	5	4	3	2	1	0
ITLS0	0	0	0	ITF0C	ITF03	ITF02	ITF01	ITF00

ITF0C	キャプチャ検出フラグ
0	キャプチャ完了を未検出
1	キャプチャ完了を検出

ITF03	チャネル3のコンペアー致検出フラグ
0	チャネル3コンペアー致信号を未検出
1	チャネル3コンペアー致信号を検出

ITF02	チャネル2のコンペアー致検出フラグ
0	チャネル2コンペアー致信号を未検出
1	チャネル2コンペアー致信号を検出

ITF01	チャネル1のコンペアー致検出フラグ
0	チャネル1コンペアー致信号を未検出
1	チャネル1コンペアー致信号を検出

ITF00	チャネル0のコンペアー致検出フラグ
0	チャネル0コンペアー致信号を未検出
1	チャネル0コンペアー致信号を検出

注　1の書き込みは無効になります。ITF0C, ITF0i（i = 0-3）ビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

（注意は次ページに続きます）

注意1. ITF0C, ITF03, ITF02, ITF01, ITF00ビットのいずれかを0にクリアしたときに、ITLS0レジスタが00Hにならない場合は割り込み要求信号（INTITL）が発生し、割り込み要求フラグ（ITLIF）が1にセットされます。

注意2. ITLS0レジスタの各ビットを0にクリアするときは、1になっているビットに対して0を設定してください。0のビットに0を書き込むと、0の書き込みと同時に発生したコンペア一致信号またはキャプチャ検出信号を検出できない場合があります。たとえば、ITF01ビットが1にセットされている場合、ITLS0レジスタに00011101Bを設定してITF01ビットをクリアしください。

表9 - 2　モードごとのステータス・フラグのセット要因

モード	ITLMD01	ITLMD00	CAPEN0	ステータス・フラグ	ステータス・フラグ発生要因
8ビット	0	0	×	ITF00	ITLCMP000とITL000が一致後、次のカウントクロックの立ち上がり
			×	ITF01	ITLCMP001とITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP012とITL012が一致後、次のカウントクロックの立ち上がり
			×	ITF03	ITLCMP013とITL013が一致後、次のカウントクロックの立ち上がり
16ビット	0	1	×	ITF00	ITLCMP00とITL000 + ITL001が一致後、次のカウントクロックの立ち上がり
			×	ITF02	ITLCMP01とITL012 + ITL013が一致後、次のカウントクロックの立ち上がり
			1	ITF0C	キャプチャ・トリガ発生後、ITL000 + ITL001の値がITLCAP00にセットされる時
32ビット	1	0	×	ITF00	ITLCMP00 + ITLCMP01とITL000 + ITL001 + ITL012 + ITL013が一致後、次のカウントクロックの立ち上がり

備考　×：Don’t care

9.2.12 インターバル・タイマー致検出マスク・レジスタ（ITLMKF0）

ITLMKF0 レジスタは、インターバル・タイマ・ステータス・レジスタ（ITLS0）の各ビットに 1 をセットする動作の許可／禁止を設定するレジスタです。

ITLMKF0 レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

MKF0C, MKF03-MKF00 ビットに 1 を設定することにより、対応するステータス・フラグ（ITF0C, ITF03-ITF00）はマスクされ、コンペア・レジスタの一致検出およびキャプチャ完了を検出しても 1 にセットされません。ステータス・フラグが 1 にセットされないため、インターバル検出割り込み（INTITL）も発生しません。

図9 - 13 インターバル・タイマー致検出マスク・レジスタ（ITLMKF0）のフォーマット

アドレス : F036CH
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ITLMKF0	0	0	0	MKF0C	MKF03	MKF02	MKF01	MKF00

MKF0C	キャプチャ検出ステータス・フラグのマスク注
0	ITF0C フラグをマスクしない
1	ITF0C フラグをマスクする

MKF03	チャネル3コンペアー致ステータス・フラグのマスク注
0	ITF03 フラグをマスクしない
1	ITF03 フラグをマスクする

MKF02	チャネル2コンペアー致ステータス・フラグのマスク注
0	ITF02 フラグをマスクしない
1	ITF02 フラグをマスクする

MKF01	チャネル1コンペアー致ステータス・フラグのマスク注
0	ITF01 フラグをマスクしない
1	ITF01 フラグをマスクする

MKF00	チャネル0コンペアー致ステータス・フラグのマスク注
0	ITF00 フラグをマスクしない
1	ITF00 フラグをマスクする

注 各ビットを1にしてマスク設定すると、ITLS0 レジスタの対応するビットもセットされないため、ソフトウェアによるコンペアー致の検出およびキャプチャ完了を検出することはできません。チャネル0～チャネル3のコンペアー致動作をする場合は、必ず該当するステータス・フラグのマスクは0に設定してマスクをしないでください。キャプチャ完了ステータスに関しては、MKF0C ビットに 1 を設定して ITF0C フラグをマスクした場合でも、インターバル・タイマ・キャプチャ制御レジスタ 0（ITLCC0）の CAPF0 フラグでキャプチャの完了を検出することができます。

9.3 動作説明

9.3.1 カウンタ・モードの設定

32 ビット・インターバル・タイマは、カウンタ・モードとして 8 ビット・カウンタ・モード／ 16 ビット・カウンタ・モード／ 32 ビット・カウンタ・モードの 3 種類のモードを持ちます。**表 9 - 3** に 8 ビット・カウンタ・モード時の使用レジスタと設定内容、**表 9 - 4** に 16 ビット・カウンタ・モード時の使用レジスタと設定内容、**表 9 - 5** に 32 ビット・カウンタ・モード時の使用レジスタと設定内容を示します。

表9 - 3　8ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ 0mn（ITLCMP0mn）	ビット7-0	チャネル0～3のコンペア値を8ビットで設定してください。
インターバル・タイマ制御レジスタ 0（ITLCTL0）	ITLEN00	チャネル0側のカウント開始／停止を選択してください。
	ITLEN01	チャネル1側のカウント開始／停止を選択してください。
	ITLEN02	チャネル2側のカウント開始／停止を選択してください。
	ITLEN03	チャネル3側のカウント開始／停止を選択してください。
	ITLMD00	0に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタ n（ITLFDIV0n）	FDIV002-FDIV000	チャネル0側のカウント・クロックを選択してください。
	FDIV012-FDIV010	チャネル1側のカウント・クロックを選択してください。
	FDIV022-FDIV020	チャネル2側のカウント・クロックを選択してください。
	FDIV032-FDIV030	チャネル3側のカウント・クロックを選択してください。
インターバル・タイマ・クロック選択レジスタ 0（ITLCSEL0）	ISEL002-ISEL000	インターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ 0（ITLCC0）	ビット7-0	0に設定してください。

備考　mn = 00, 01, 12, 13; n = 0, 1

表9 - 4　　16ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）	ビット15-0	チャネル0, 1、およびチャネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0（ITLCTL0）	ITLEN00	チャネル0, 1側のカウント開始／停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャネル2, 3側のカウント開始／停止を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn（ITLFDIV0n）	FDIV002-FDIV000	チャネル0, 1側のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	チャネル2, 3側のカウント・クロックを選択してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）	ISEL002-ISEL000	インターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）	ビット7-0	0に設定してください。

備考　n = 0, 1

表9 - 5　　32ビット・カウンタ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ0n（ITLCMP0n）	ビット15-0	32ビット・カウンタ・モードのコンペア値として、チャネル0, 1（ITLCMP00）に下位16ビットのコンペア値を、チャネル2, 3（ITLCMP01）に上位16ビットのコンペア値を設定してください。
インターバル・タイマ制御レジスタ0（ITLCTL0）	ITLEN00	チャネル0～3のカウント開始／停止を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	0に設定してください。
	ITLEN03	0に設定してください。
	ITLMD00	0に設定してください。
	ITLMD01	1に設定してください。
インターバル・タイマ分周レジスタn（ITLFDIV0n）	FDIV002-FDIV000	チャネル0～3のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）	ISEL002-ISEL000	インターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	000Bに設定してください。
インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）	ビット7-0	0に設定してください。

備考　n = 0, 1

9.3.2 キャプチャ・モードの設定

チャネル0, 1は16ビット・キャプチャ・モードで使用することにより、設定したキャプチャ・トリガでカウント値をインターバル・タイマ・キャプチャ・レジスタ00（ITLCAP00）に格納します。

表9 - 6 16ビット・キャプチャ・モード時の使用レジスタと設定内容

レジスタ	ビット	設定内容
インターバル・タイマ・コンペア・レジスタ00（ITLCMP00）	ビット15-0	チャネル0, 1のコンペア値を16ビットで設定してください。
インターバル・タイマ・コンペア・レジスタ01（ITLCMP01）注	ビット15-0	チャネル2, 3のコンペア値を16ビットで設定してください。
インターバル・タイマ制御レジスタ0（ITLCTL0）	ITLEN00	チャネル0, 1側のカウント開始／停止制御を選択してください。
	ITLEN01	0に設定してください。
	ITLEN02	チャネル2, 3側のカウント開始／停止制御を選択してください。
	ITLEN03	0に設定してください。
	ITLMD00	1に設定してください。
	ITLMD01	0に設定してください。
インターバル・タイマ分周レジスタn（ITLFDIV0n）	FDIV002-FDIV000	チャネル0側のカウント・クロックを選択してください。
	FDIV012-FDIV010	000Bに設定してください。
	FDIV022-FDIV020	000Bに設定してください。
	FDIV032-FDIV030	000Bに設定してください。
インターバル・タイマ・クロック選択レジスタ0（ITLCSEL0）	ISEL002-ISEL000	チャネル0, 1側のインターバル・タイマのカウント・クロックを選択してください。
	CSEL012-CSEL010	チャネル2, 3側のキャプチャ用インターバル・タイマのカウント・クロックを選択してください。
インターバル・タイマ・キャプチャ制御レジスタ0（ITLCC0）	CAPEN0	1に設定してください。
	CAPC0CR	キャプチャ完了後のチャネル0, 1側カウンタをクリアするか保持するかの設定をしてください。
	CTRS01, CTRS00	キャプチャ・トリガを選択してください。

注 ITLCMP01のコンペア一致割り込みをキャプチャ・トリガとして使用しない場合はチャネル2、チャネル3を16ビット・カウンタ・モードとして使用することができます。

備考 n = 0, 1

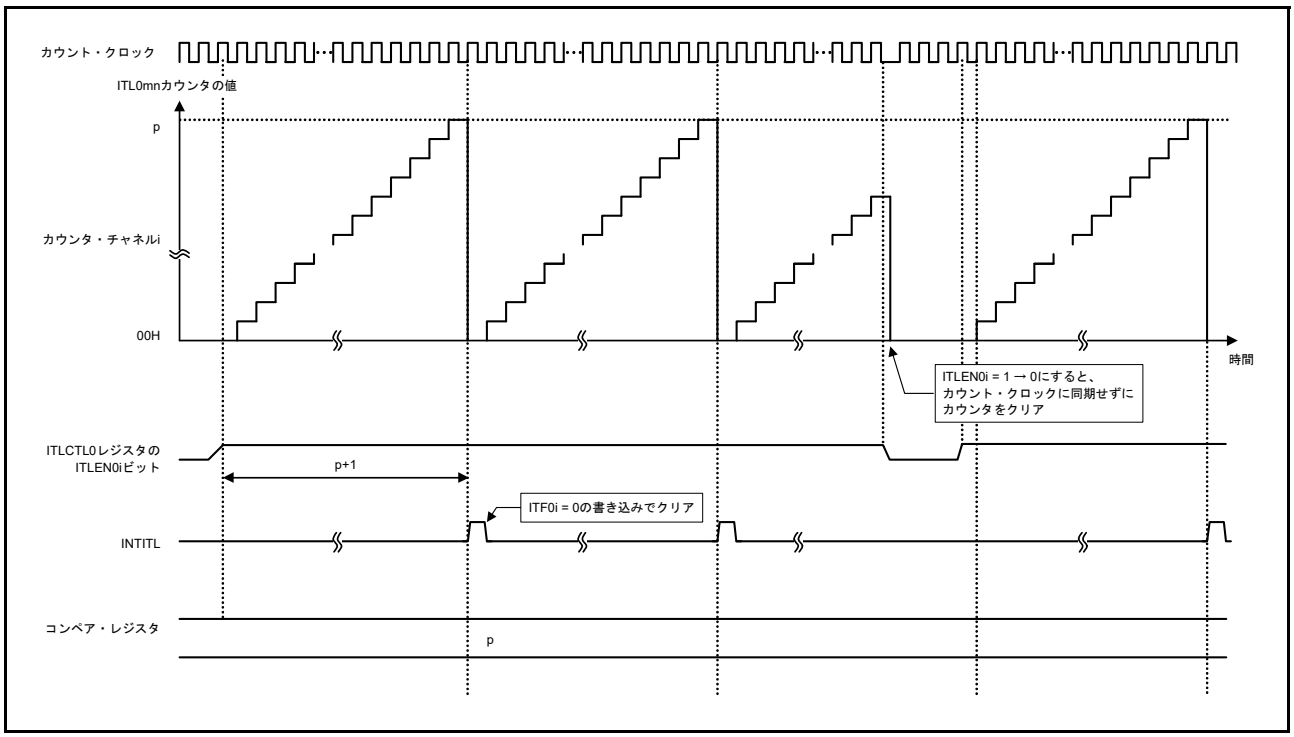
9.3.3 タイマ動作

インターバル・タイマ分周レジスタ 0, 1（ITLFDIV00, ITLFDIV01）で選択したカウント・クロックで ITL0mn カウンタがアップ・カウントします。カウンタがコンペア値と一致したあと、次のカウント・クロックで割り込み要求信号（INTITL）が発生します。割り込み要求信号（INTITL）は ITLS0 レジスタが 00H になるまでハイ・レベルを維持します。

割り込み要求信号（INTITL）がハイ・レベルの期間は、動作中のチャネルのコンペア一致またはキャプチャ検出が発生しても新規の割り込み要求信号（INTITL）は発生せず、割り込み要求フラグ（ITLIF）もセットされません。

ITLEN03-ITLEN00 ビットに 0 を設定すると、カウント値はクリアされます。

★ 図9 - 14　タイマ動作例（8ビット・カウンタ・モード時）



備考1. mn = 00, 01, 12, 13; i = 0-3

★ **備考2.** p：ITLCMP0mn レジスタの設定値

9.3.4　キャプチャ動作

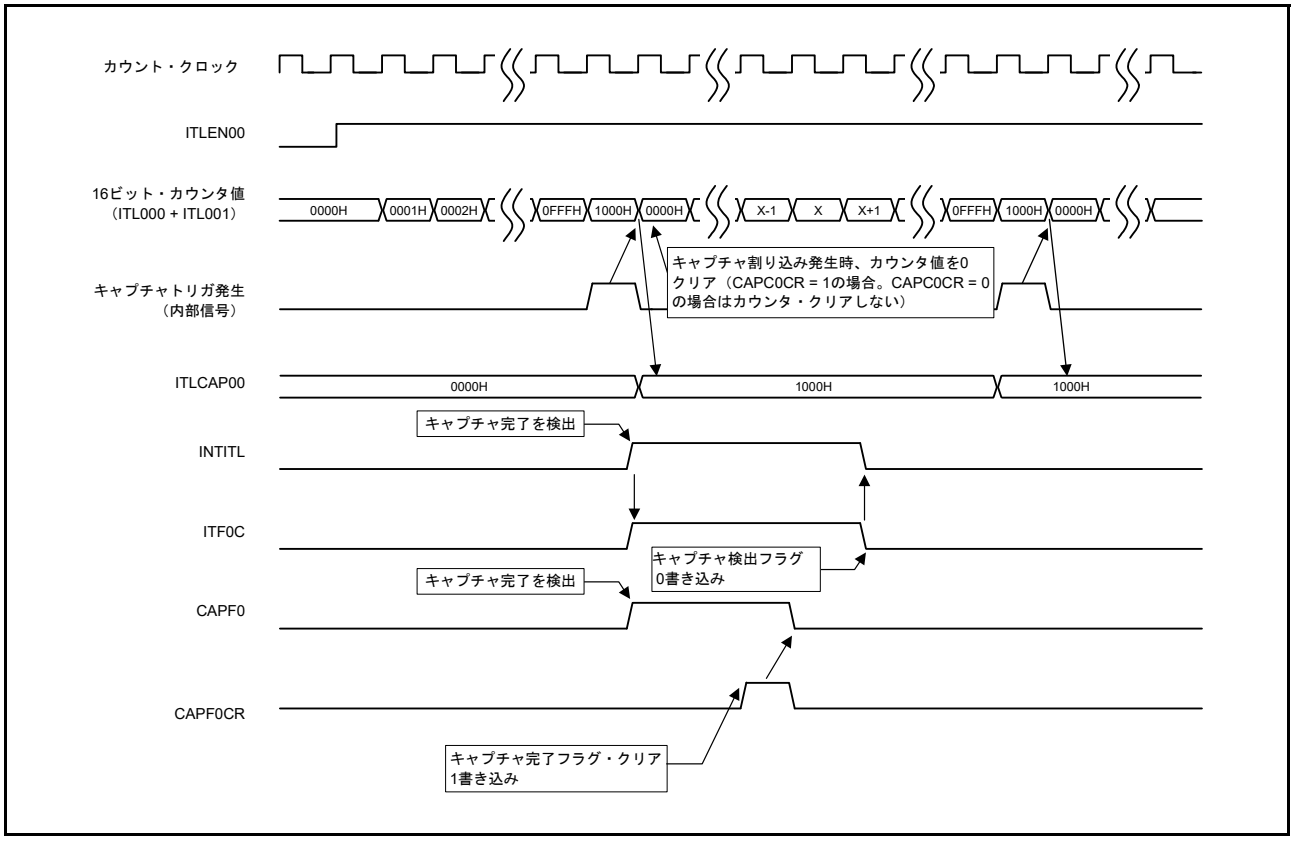
インターバル・タイマ・キャプチャ制御レジスタ 0（ITLCC0）の CAPEN0 ビットが 1 のときに ITLCC0 レジスタで選択したキャプチャ・トリガにより、16 ビット・カウンタ（ITL000 + ITL001）の値をキャプチャ・レジスタ（ITLCAP00）に格納します。

キャプチャ・トリガとして、ITLCMP01 のコンペアー致割り込み、fSXP、ELC からのイベント入力またはソフトウェア・トリガ（CAPR0 = 1）が選択可能です。キャプチャ・トリガとして、ITLCMP01 のコンペアー致割り込みを使用する場合は、インターバル・タイマ・クロック選択レジスタ 0（ITLCSEL0）でカウント・クロックを選択し、インターバル・タイマ・コンペア・レジスタ 01（ITLCMP01）にコンペア値を設定します。キャプチャ・トリガとして、fSXP、ELC からのイベント入力またはソフトウェア・トリガ（CAPR0 = 1）を使用する場合は、チャネル 2、チャネル 3 を 16 ビット・カウンタ・モードとして使用することができます。

キャプチャ・トリガが入力されカウント値がインターバル・タイマ・キャプチャ・レジスタ 00 に格納されると、割り込み要求信号（INTITL）を出力し、キャプチャ完了フラグ（CAPF0）とキャプチャ検出フラグ（ITF0C）は 1 にセットされ、CAPF0 フラグと ITF0C フラグの値は保持されます注。CAPF0 フラグは CAPF0CR ビットをセットすることによりクリアされます。ITF0C フラグは ITLS0 レジスタの ITF0C ビットに 0 を書き込むことによりクリアされます。なお、キャプチャ・トリガを発生させる間隔はカウント・クロックで 5 クロック以上にしてください。キャプチャ・トリガ発生後、カウント・クロックで 2 クロック未満に再度キャプチャ・トリガが発生した場合は、CAPF0 ビットがセットされないことがあります。

注　ITLS0 レジスタが 00H 以外の状態では、ITF0C フラグは 1 にセットされても、割り込み要求信号（INTITL）はハイ・レベルを維持するため、割り込み動作は発生せず、割り込み要求フラグ（ITLIF）もセットされません。

★ 図9 - 15　キャプチャ動作例



★

ITLCC0 レジスタの CAPC0CR ビットを 1（キャプチャ完了後 16 ビット・カウンタ（ITL000 + ITL001）をクリアするモード）に設定している場合にカウント値がコンペア値と一致すると次のカウント・クロックでカウント値はクリアされます。なお、キャプチャ・トリガが入力される前に、16 ビット・カウンタ（ITL000 + ITL001）とコンペア値が一致すると ITF00 フラグがセットされます。

CAPC0CR ビットが 0（キャプチャ完了後 16 ビット・カウンタ（ITL000 + ITL001）を保持するモード）に設定している場合カウント値はクリアされません。16 ビット・カウンタ（ITL000 + ITL001）とコンペア値が一致すると、ITF00 フラグがセットされます。

9.3.5 割り込み動作

表 9 - 7 に 8 ／ 16 ／ 32 ビット・カウンタ・モード時割り込み要因を示します。

ITF0C, ITF03-ITF00 ビットは ITLS0 レジスタの割り込みステータス・フラグであり、いずれかの割り込みステータス・フラグが発生すると割り込み要求信号（INTITL）を出力します。

表9 - 7　8／16／32ビット・カウンタ・モード時割り込み要因

割り込み要因	8ビット・カウンタ・モード要因	16ビット・カウンタ・モード要因	32ビット・カウンタ・モード要因
ITF00	チャネル0コンペアー致後、次のカウント・クロックの立ち上がり	チャネル0 + 1のコンペアー致後、次のカウント・クロックの立ち上がり	コンペアー致後、次のカウント・クロックの立ち上がり
ITF01	チャネル1コンペアー致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF02	チャネル2コンペアー致後、次のカウント・クロックの立ち上がり	チャネル2 + 3のコンペアー致後、次のカウント・クロックの立ち上がり	発生しない
ITF03	チャネル3コンペアー致後、次のカウント・クロックの立ち上がり	発生しない	発生しない
ITF0C	発生しない （ITLCC0 = 00Hに設定すること）	キャプチャ・トリガが発生後、キャプチャ・レジスタに値が格納されるタイミングと同一	発生しない （ITLCC0 = 00Hに設定すること）

ITLS0 レジスタが 00H 以外の状態では、割り込み要求信号（INTITL）はハイ・レベルを維持しており、動作中のチャネルのコンペアー致またはキャプチャ検出が発生しても、新規の割り込み要求信号（INTITL）は発生せず、割り込み要求フラグ（ITLIF）もセットされません。ただし、ITLS0 レジスタのいずれかのビットを 8 ビット・メモリ操作命令で 0 を設定して、その結果 ITLS0 レジスタが 00H にならなかった場合は、INTITL にロウ・パルス信号が出力され割り込み要求フラグ（ITLIF）を 1 にセットします。したがって、ベクタ割り込み処理中などの ITLIF = 0 の状態で ITLS0 レジスタのステータス・フラグを 0 にクリアする処理を行うことで、もしほかのステータス・ビットが 1 に設定されていても割り込みとして検出することができます。**図 9 - 16** に各検出フラグのクリアとインターバル検出割り込み信号の関係を示します。

図 9 - 16 の動作を以下に説明します。

ITLS0 レジスタが 00H の状態で、チャネル 1 のコンペアー致信号を検出すると、ITF01 フラグがセットされ、インターバル検出割り込み信号（INTITL）がハイ・レベルになります。このハイ・レベル期間では、動作中のチャネルのコンペアー致またはキャプチャ検出が発生しても、新規の割り込み要求信号（INTITL）は発生せず、割り込み要求フラグ（ITLIF）もセットされません。

ただし、ITF0x ビット（x = 0-3, C）を 0 にクリアした直前に、ほかの検出フラグが 1 になった場合は、ITF0x ビットをクリア後に INTITL が一時的にロウ・レベルを出力して割り込み要求フラグ（ITLIF）を 1 にセットします。

① チャネル 1 のコンペアー致によって ITF01 フラグがセットされ、インターバル検出割り込み信号（INTITL）と割り込み要求フラグ（ITLIF）がハイ・レベルになります。割り込み要求フラグ（ITLIF）を 0 にクリアしインターバル検出割り込みの処理を実行します。

② インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。**図 9 - 16** のケースでは ITF01 フラグと ITF00 フラグが 1 にセットされていることを確認できます。

③ ITLS0 レジスタが 00H になるように、上記②で検出した ITF01 フラグと ITF00 フラグを 8 ビット・メモリ操作命令で 00011100B を書き込んでクリアします注。

④ ITF01 フラグが 1 にセットされた場合の処理と ITF00 フラグが 1 にセットされた場合の処理を実行します注。

⑤ 再度チャネル 1 のコンペアー致によって ITF01 フラグがセットされ、インターバル検出割り込み信号（INTITL）と割り込み要求フラグ（ITLIF）がハイ・レベルになります。割り込み要求フラグ（ITLIF）を 0 にクリアしインターバル検出割り込みの処理を実行します。

⑥ インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。**図 9 - 16** のケースでは ITF01 フラグが 1 にセットされていることを確認できます。

⑦ ITLS0 レジスタが 00H になるように、上記⑥で検出した ITF01 フラグを 8 ビット・メモリ操作命令で 00011101B を書き込んでクリアします。このときチャネル 0 のコンペア一致によって ITF00 フラグが 1 にセットされていますが、ITF00 フラグに対しては操作を行っていませんのでクリアされません。

⑧ ⑦の ITF01 フラグが 0 にクリアされるタイミングで ITF00 フラグは 1 にセットされていたので、INTITL はいったんロウ・レベルとなり、割り込み要求フラグ（ITLIF）を 1 にセットします。このときに割り込み許可フラグ（IE）が 0 にクリアされていなければ、この割り込み要求は保留されます。

⑨ ITF01 フラグが 1 にセットされた場合の処理を実行します。

⑩ ITF01 フラグが 1 にセットされた場合の処理から復帰すると割り込み要求フラグ（ITLIF）は 1 にセットされているので、割り込み要求フラグ（ITLIF）を 0 にクリアして保留されていたインターバル検出割り込み処理を実行します。

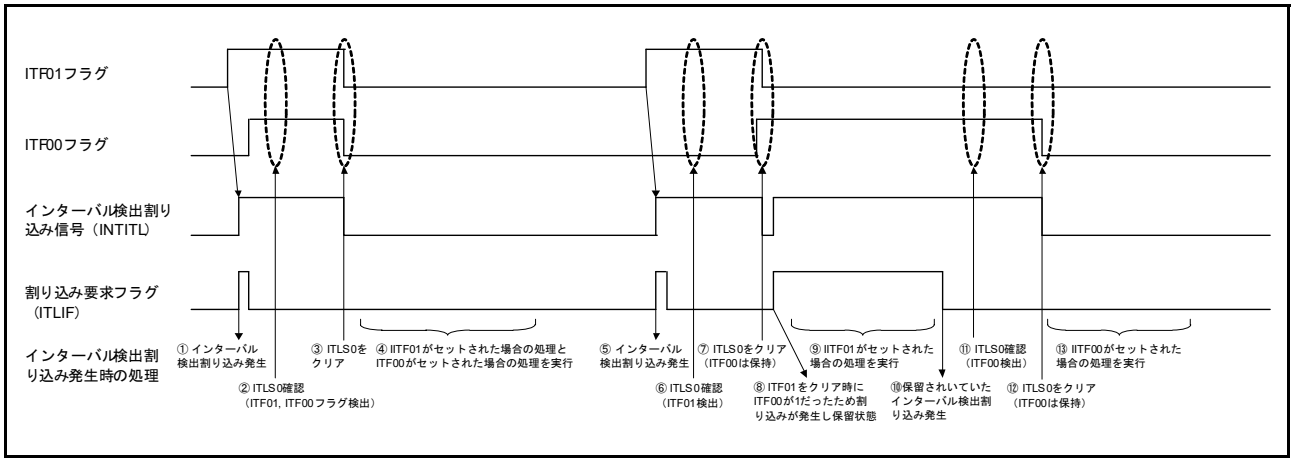
⑪ インターバル検出割り込み処理で ITLS0 レジスタのどの検出フラグが 1 にセットされているか確認します。**図 9 - 16** のケースでは ITF00 フラグが 1 にセットされていることを確認できます。

⑫ ITLS0 レジスタが 00H になるように、上記⑪で検出した ITF00 フラグを 8 ビット・メモリ操作命令で 00011110B を書き込んでクリアします。

⑬ ITF00 フラグが 1 にセットされた場合の処理を実行します。

注　割り込み要因のフラグを1ビットずつ処理をして0にクリアする処理を繰り返すことでも、割り込み要因の取りこぼしを防ぐことができます。

図9 - 16　　検出フラグのクリア例



9.3.6 インターバル・タイマの設定手順

32 ビット・インターバル・タイマの設定手順を以下に示します。

図9 - 17　32ビット・インターバル・タイマの動作開始手順

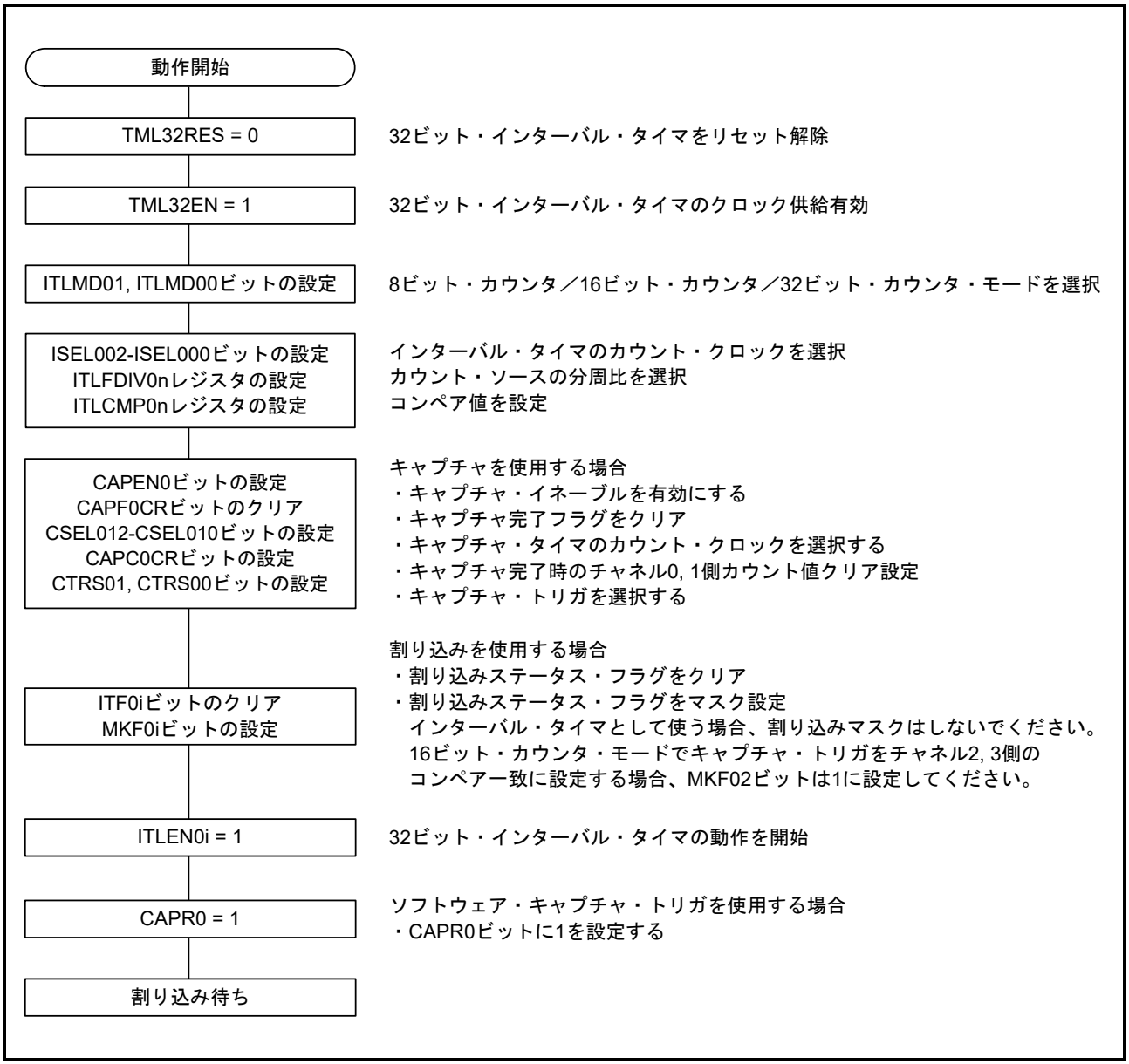


図9 - 18　32ビット・インターバル・タイマの動作停止手順

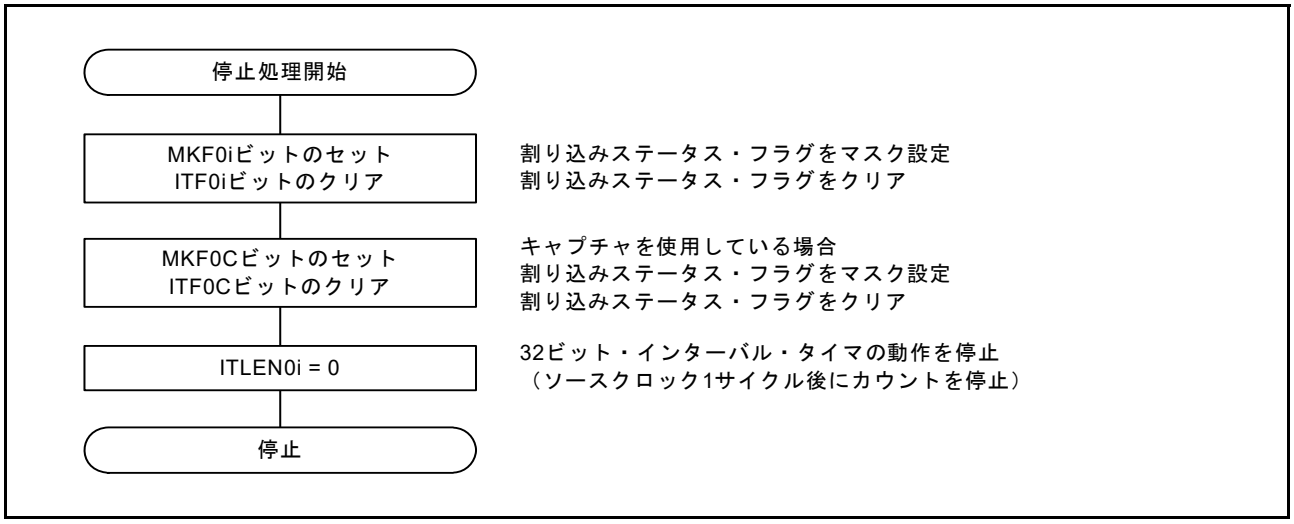


図9 - 19　32ビット・インターバル・タイマの動作モード変更手順

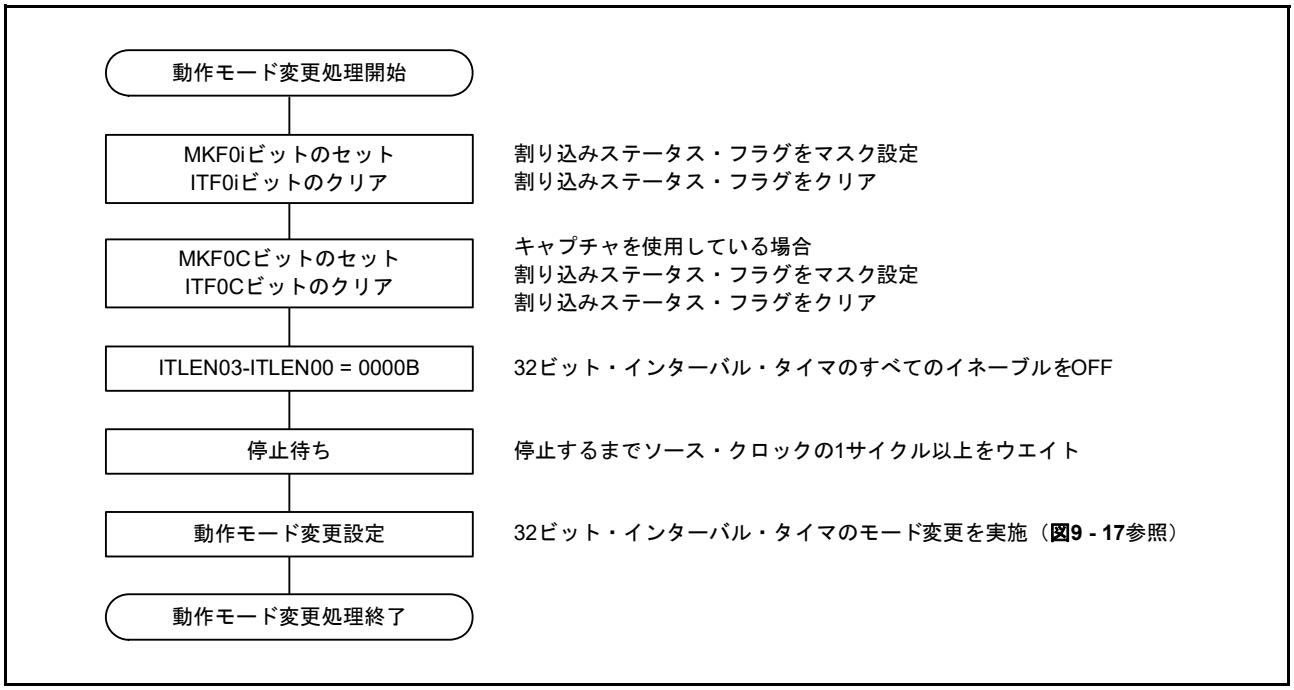


図9 - 20　32ビット・インターバル・タイマのリセット手順

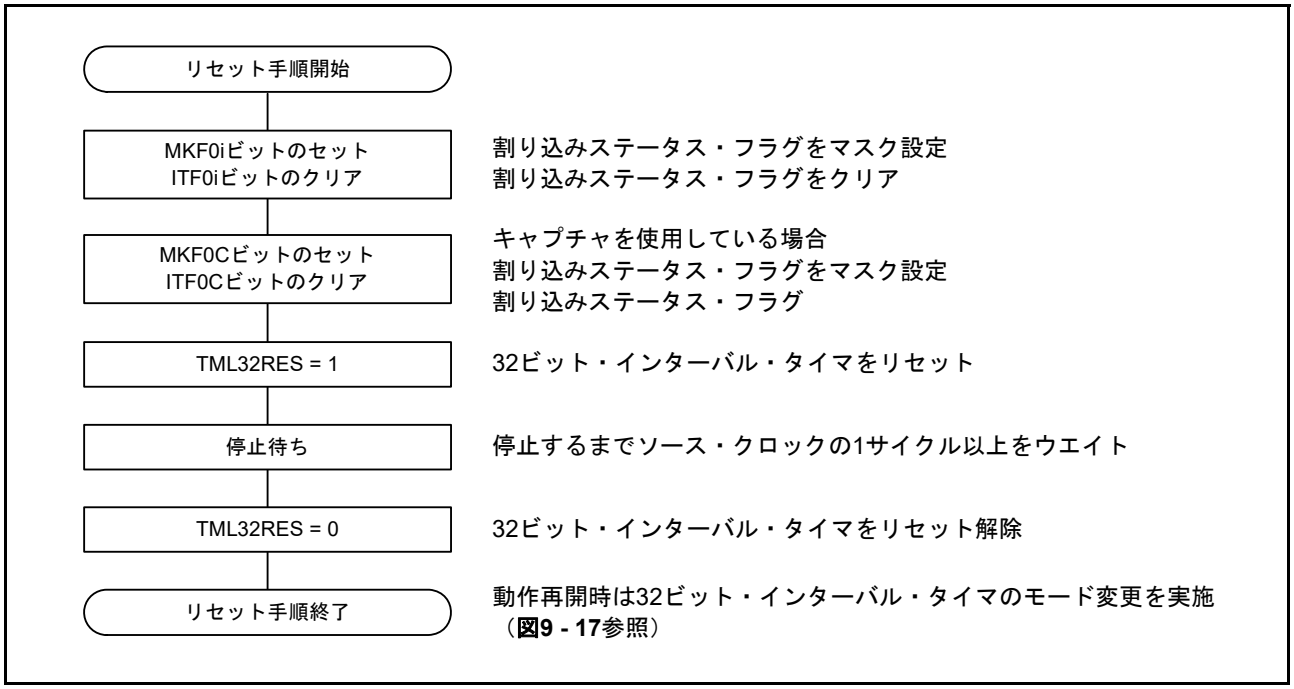


図9 - 21　ELCからのイベント入力の動作開始手順

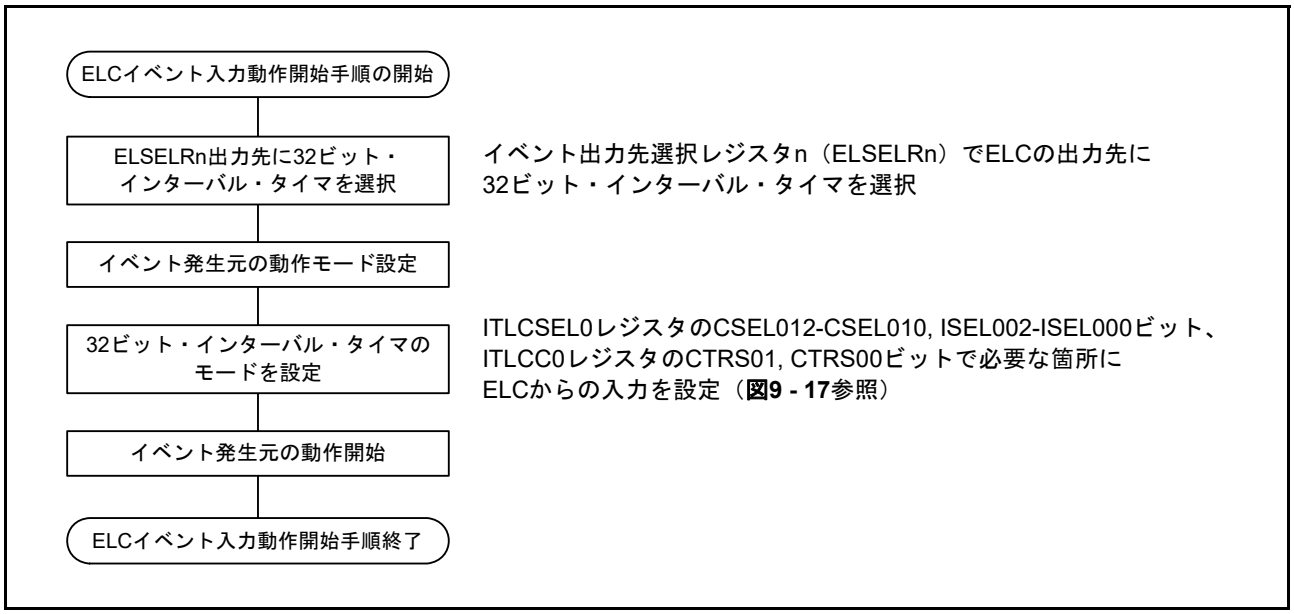
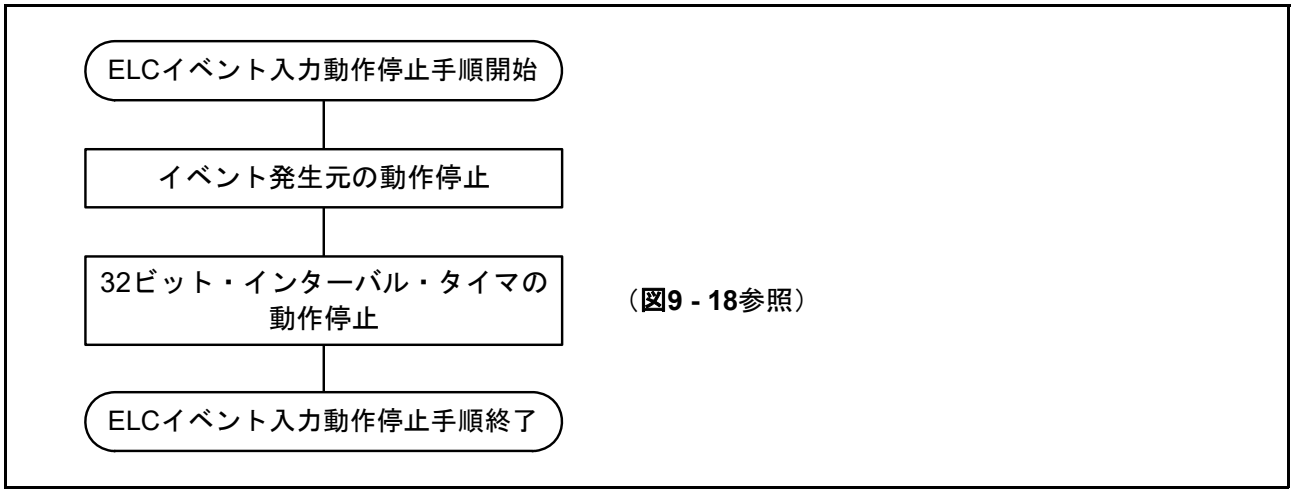


図9 - 22　ELCからのイベント入力の動作停止手順



第10章　クロック出力／ブザー出力制御回路（PCLBUZ）

注意　本章では、以降の主な説明を48ピン製品の場合で説明しています。

10.1　クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

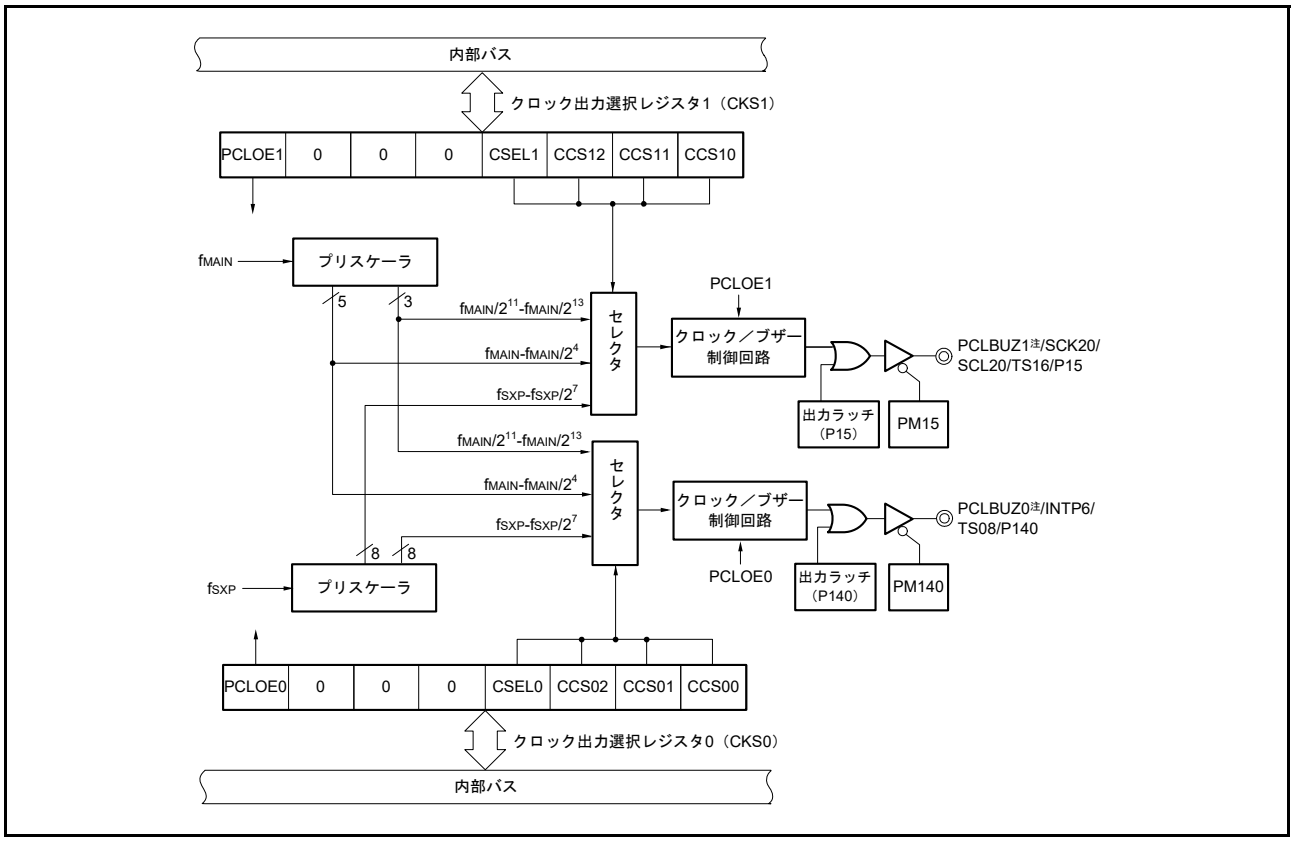
PCLBUZn端子は、クロック出力選択レジスタn（CKSn）で選択したクロックを出力します。

図10 - 1にクロック出力／ブザー出力制御回路のブロック図を示します。

注意　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPCビットが1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモード時は、PCLBUZn端子から、低速周辺クロック（f_{SXP}）を出力することはできません。

備考　n = 0, 1

図10 - 1　クロック出力／ブザー出力制御回路のブロック図



注　PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、**34.4　AC特性**を参照してください。

備考　この図で示すクロック出力／ブザー出力端子は、48ピン製品でPIOR.PIOR3 = 0の場合です。

10.2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表10 - 1　クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	• クロック出力選択レジスタn（CKSn） • ポート・モード・レジスタ（PMxx） • ポート・レジスタ（Pxx） • ポート・モード・コントロールT・レジスタ（PMCTxx）

10.3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路を制御するレジスタを次に示します。

- クロック出力選択レジスタn（CKSn）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

10.3.1　クロック出力選択レジスタn（CKSn）

CKSn レジスタは、クロック出力またはブザー周波数出力の端子（PCLBUZn）の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図10 - 2　クロック出力選択レジスタn（CKSn）のフォーマット

アドレス　：FFFA5H (CKS0), FFFA6H (CKS1)
リセット時：00H
R/W属性　：R/W

略号	<7>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 32 MHz
0	0	0	0	f_{MAIN}	5 MHz注	10 MHz注	設定禁止	設定禁止
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz注	10 MHz注	16 MHz注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz注	8 MHz注
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	f_{SXP}	32.768 kHz			
1	0	0	1	$f_{SXP}/2$	16.384 kHz			
1	0	1	0	$f_{SXP}/2^2$	8.192 kHz			
1	0	1	1	$f_{SXP}/2^3$	4.096 kHz			
1	1	0	0	$f_{SXP}/2^4$	2.048 kHz			
1	1	0	1	$f_{SXP}/2^5$	1.024 kHz			
1	1	1	0	$f_{SXP}/2^6$	512 Hz			
1	1	1	1	$f_{SXP}/2^7$	256 Hz			

注　選択可能な出力クロックは、電源電圧（V_{DD}）によって異なります。詳細は、**34.4　AC特性**を参照してください。

注意1. 出力クロックの切り替えは、出力禁止（PCLOEn = 0）にしてから行ってください。

（注意、備考は次ページに続きます）

注意2. メイン・システム・クロック選択時（CSELn = 0）にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時（CSELn = 1）は、サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPCビットが0かつSTOPモード時にクロック出力が可能なため、PCLOEn = 1に設定可能です。

注意3. サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPCビットが1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモード時は、PCLBUZn端子から低速周辺クロック（f_{SXP}）を出力することはできません。

備考1. n = 0, 1

備考2. f_{MAIN} ：メイン・システム・クロック周波数
f_{SUB} ：サブシステム・クロック周波数
f_{SXP} ：低速周辺クロック周波数

10.3.2 クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するレジスタ

クロック出力／ブザー出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.8　ポート・モード・コントロールT・レジスタ（PMCTxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

10.4　クロック出力／ブザー出力制御回路の動作

1 つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。
PCLBUZ0 端子は、クロック出力選択レジスタ 0（CKS0）で選択したクロック／ブザーを出力します。
PCLBUZ1 端子は、クロック出力選択レジスタ 1（CKS1）で選択したクロック／ブザーを出力します。

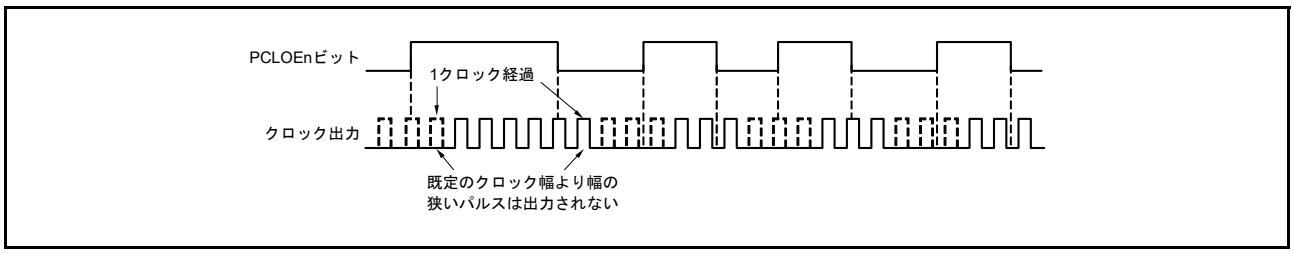
10.4.1　出力端子の動作

PCLBUZn 端子は、次の手順で出力します。

① PCLBUZn 端子として使用するポートに対応するポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）、ポート・モード・コントロール T・レジスタ（PMCTxx）のビットに 0 を設定する。
② PCLBUZn 端子のクロック出力選択レジスタ n（CKSn）の CSELn, CCSn2-CCSn0 ビットで出力周波数を選択する（出力は禁止の状態）。
③ CKSn レジスタの PCLOEn ビットに 1 を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止（PCLOEn ビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき、既定のクロックの幅より幅の狭いパルスは出力されません。**図10 - 3**にPCLOEnビットによる出力の許可／停止とクロック出力のタイミングを示します。
備考2. n = 0, 1

図10 - 3　PCLBUZn端子からのクロック出力のタイミング



10.5　クロック出力／ブザー出力制御回路使用時の注意事項

PCLBUZn 端子の出力にメイン・システム・クロックを選択（CKSn.CSELn = 0）している場合は、出力禁止設定（CKSn.PCLOEn = 0）にしてから PCLBUZn 端子の出力クロックの 1.5 クロック以内に STOP モードへ移行すると、PCLBUZn 端子からの出力幅が短くなります。

第11章　ウォッチドッグ・タイマ（WDT）

11.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、ユーザ・オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは、低速オンチップ・オシレータ・クロック（f_{IL}）の2分周クロック（1/2f_{IL}）で動作します。

ウォッチドッグ・タイマは、プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット・メモリ操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合
- ウィンドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）のWDTRFビットが1にセットされます。RESFレジスタの詳細については、**第21章　リセット機能**を参照してください。

また、オーバフロー時間の75% ＋ 1/4f_{IL}到達時にインターバル割り込みを発生することもできます。

11.2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表11 - 1　ウォッチドッグ・タイマの構成

項　目	構　成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

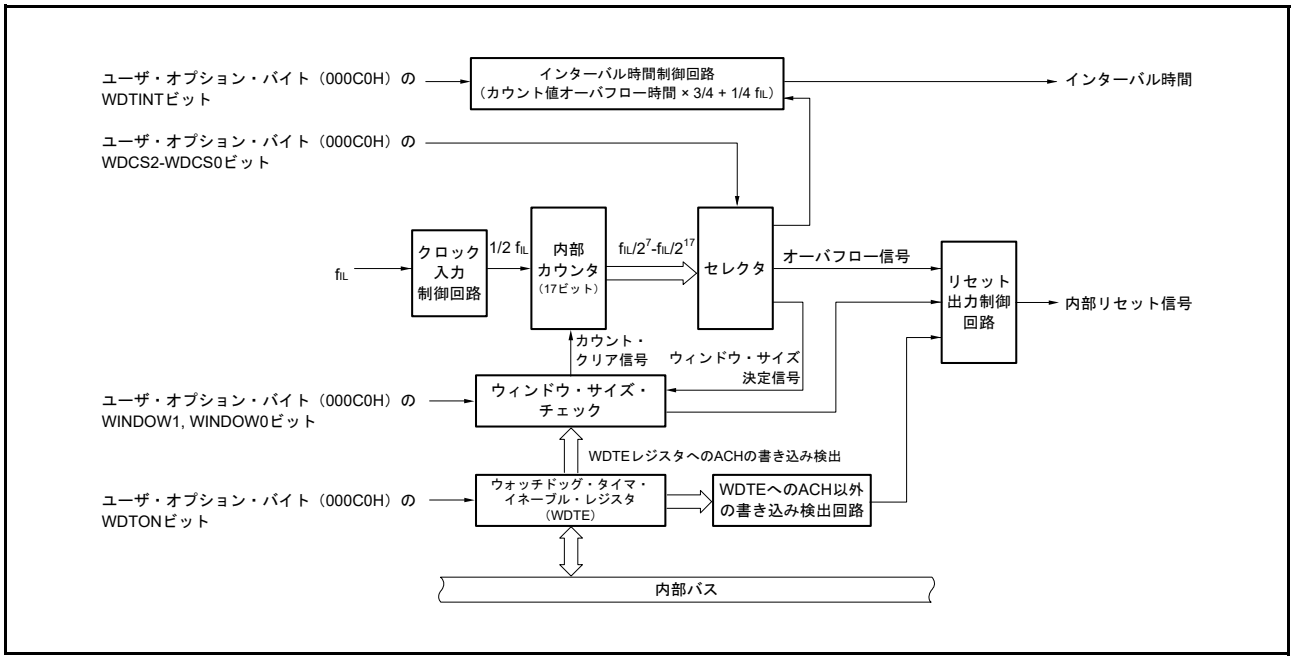
また、ユーザ・オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウィンドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表11 - 2　ユーザ・オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	ユーザ・オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウィンドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2-WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）	ビット0（WDSTBYON）

備考　ユーザ・オプション・バイトについては、**第29章　オプション・バイト**を参照してください。

図11 - 1　ウォッチドッグ・タイマのブロック図



備考　fIL：低速オンチップ・オシレータ・クロック

11.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマを制御するレジスタを次に示します。

- ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

11.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTE レジスタに ACH を書き込むことにより、ウォッチドッグ・タイマのカウンタがクリアされ、再びカウントを開始します。

WDTE レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AH または 1AH 注になります。

注　WDTE レジスタのリセット値は、ユーザ・オプション・バイト（000C0H）のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

図11 - 2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス　：FFFABH
リセット時：9AH/1AH注
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
WDTE								

WDTONビットの設定値	WDTE レジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注　WDTEレジスタのリセット値は、ユーザ・オプション・バイト（000C0H）のWDTONビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTONビットに1を設定してください。

注意1. WDTEレジスタにACH以外の値を書き込んだ場合、内部リセット信号を発生します。
注意2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
注意3. WDTEレジスタの読み出し値は、9AH/1AH（書き込んだ値（ACH）とは異なる値）になります。

備考　ユーザ・オプション・バイト（000C0H）のWDTON = 1（ウォッチドッグ・タイマ動作許可）のとき、IAWCTLレジスタのIAWENビットが0（不正メモリ・アクセスの検出無効）でも不正メモリ・アクセスの検出機能は有効となります。

11.4　ウォッチドッグ・タイマの動作

11.4.1　ウォッチドッグ・タイマの動作制御

(1) ウォッチドッグ・タイマを使用する場合、ユーザ・オプション・バイト（000C0H）で次の内容を設定します。

- ユーザ・オプション・バイト（000C0H）のビット4（WDTON）に1を設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、**第29章　オプション・バイト**参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

- ユーザ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で、オーバフロー時間を設定してください（詳細は、**11.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定**および**第29章　オプション・バイト**参照）。
- ユーザ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウィンドウ・オープン期間を設定してください（詳細は、**11.4.3　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定**および**第29章　オプション・バイト**参照）。

(2) リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。

(3) カウント動作開始したあと、ユーザ・オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

(4) 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウィンドウ・オープン期間中に行ってください。ウィンドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。

(5) WDTEレジスタにACHを書き込まずに、オーバフロー時間を超えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット・メモリ操作命令を使用した場合
- WDTEレジスタにACH以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは、ウィンドウ・オープン時間にかかわらず、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

注意2. WDTEレジスタにACHを書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大f_{IL}の4クロックの誤差が生じる場合があります。

注意3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

（注意は次ページに続きます）

注意4. ユーザ・オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により、ウォッチドッグ・タイマのHALT、STOP、およびSNOOZEモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタは0にクリアして、カウント開始します。
STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。
よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

11.4.2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、ユーザ・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウィンドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表11 - 3　ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 37.683 kHz（Max.）の場合）
0	0	0	$2^7/f_{IL}$（3.39 ms）
0	0	1	$2^8/f_{IL}$（6.79 ms）
0	1	0	$2^9/f_{IL}$（13.58 ms）
0	1	1	$2^{10}/f_{IL}$（27.17 ms）
1	0	0	$2^{12}/f_{IL}$（108.69 ms）
1	0	1	$2^{14}/f_{IL}$（434.78 ms）注
1	1	0	$2^{15}/f_{IL}$（869.56 ms）注
1	1	1	$2^{17}/f_{IL}$（3478.26 ms）注

注　下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアしたあと、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み（INTWDTI）が発生する場合があります。

- ウォッチドッグ・タイマのインターバル割り込みを使用
- ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75%以上のときにWDTEレジスタ（FFFABH）にACHを書き込み

この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクすることができます。

① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0（MK0L）のWDTIMKビットを1にセット
② ウォッチドッグ・タイマのカウンタをクリア
③ 80 μs以上ウエイト
④ 割り込み要求フラグ・レジスタ0（IF0L）のWDTIIFビットを0にクリア
⑤ 割り込みマスク・フラグ・レジスタ0（MK0L）のWDTIMKビットを0にクリア

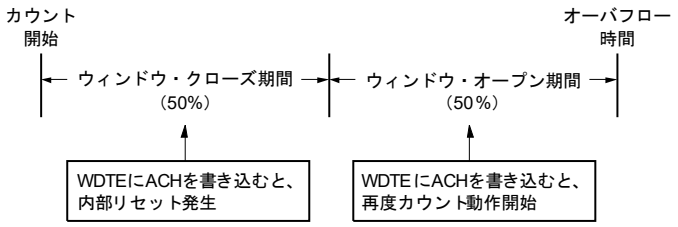
備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

11.4.3　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

ウォッチドッグ・タイマのウィンドウ・オープン期間は、ユーザ・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウィンドウの概要は次のとおりです。

- ウィンドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ウィンドウ・クローズ期間中は、WDTEレジスタにACHを書き込んでも、異常検出され、内部リセットを発生します。

例　ウィンドウ・オープン期間が50%の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウィンドウ・オープン時間にかかわらず、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウィンドウ・オープン期間を次に示します。

表11 - 4　ウォッチドッグ・タイマのウィンドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間
0	1	50%
1	1	100%
上記以外		設定禁止

備考　オーバフロー時間を$2^{10}/f_{IL}$に設定した場合、ウィンドウ・クローズ時間とオープン時間は、次のようになります。

	ウィンドウ・オープン期間の設定	
	50%	100%
ウィンドウ・クローズ時間	0～18.38 ms	なし
ウィンドウ・オープン時間	18.38～27.17 ms	0～27.17 ms

< ウィンドウ・オープン期間50%のとき >

- オーバフロー時間：
  $2^{10}/f_{IL}$ (Max.) = 2^{10}/37.683 kHz = 27.17 ms
- ウィンドウ・クローズ時間：
  0～$2^{10}/f_{IL}$ (Min.) × (1－0.5) = 0～2^{10}/27.852 kHz × 0.5 = 0～18.38 ms
- ウィンドウ・オープン時間：
  $2^{10}/f_{IL}$ (Min.) × (1－0.5) ～$2^{10}/f_{IL}$ (Max.) = 2^{10}/27.853 kHz × 0.5～2^{10}/37.683 kHz = 18.38～27.17 ms

11.4.4　ウォッチドッグ・タイマのインターバル割り込みの設定

ユーザ・オプション・バイト（000C0H）のビット7（WDTINT）の設定により、オーバフロー時間の 75% ＋ 1/4fIL 到達時にインターバル割り込み（INTWDTI）を発生することができます。

表11 - 5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%＋1/4fIL 到達時にインターバル割り込みを発生する

注意　STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。
よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第12章　A/Dコンバータ（ADC）

A/D コンバータのアナログ入力チャネル数は、製品によって異なります。

	16ピン	20～25ピン	30, 32ピン	36ピン	40ピン	44, 48ピン
アナログ入力チャネル数	3チャネル (ANI0-ANI2)	6チャネル (ANI0-ANI2, ANI16-ANI18)	8チャネル (ANI0-ANI3, ANI16-ANI19)	8チャネル (ANI0-ANI5, ANI18, ANI19)	9チャネル (ANI0-ANI6, ANI18, ANI19)	10チャネル (ANI0-ANI7, ANI18, ANI19)

12.1　A/Dコンバータの機能

A/D コンバータは、アナログ入力をデジタル値に変換するコンバータで、最大 10 チャネルの A/D コンバータ・アナログ入力（ANI0-ANI7, ANI16-ANI19）を制御できる構成になっています。A/D コンバータ・モード・レジスタ 2（ADM2）の ADTYP ビットにより、10 ビット分解能と 8 ビット分解能を選択できます。A/D コンバータには、次のような機能があります。

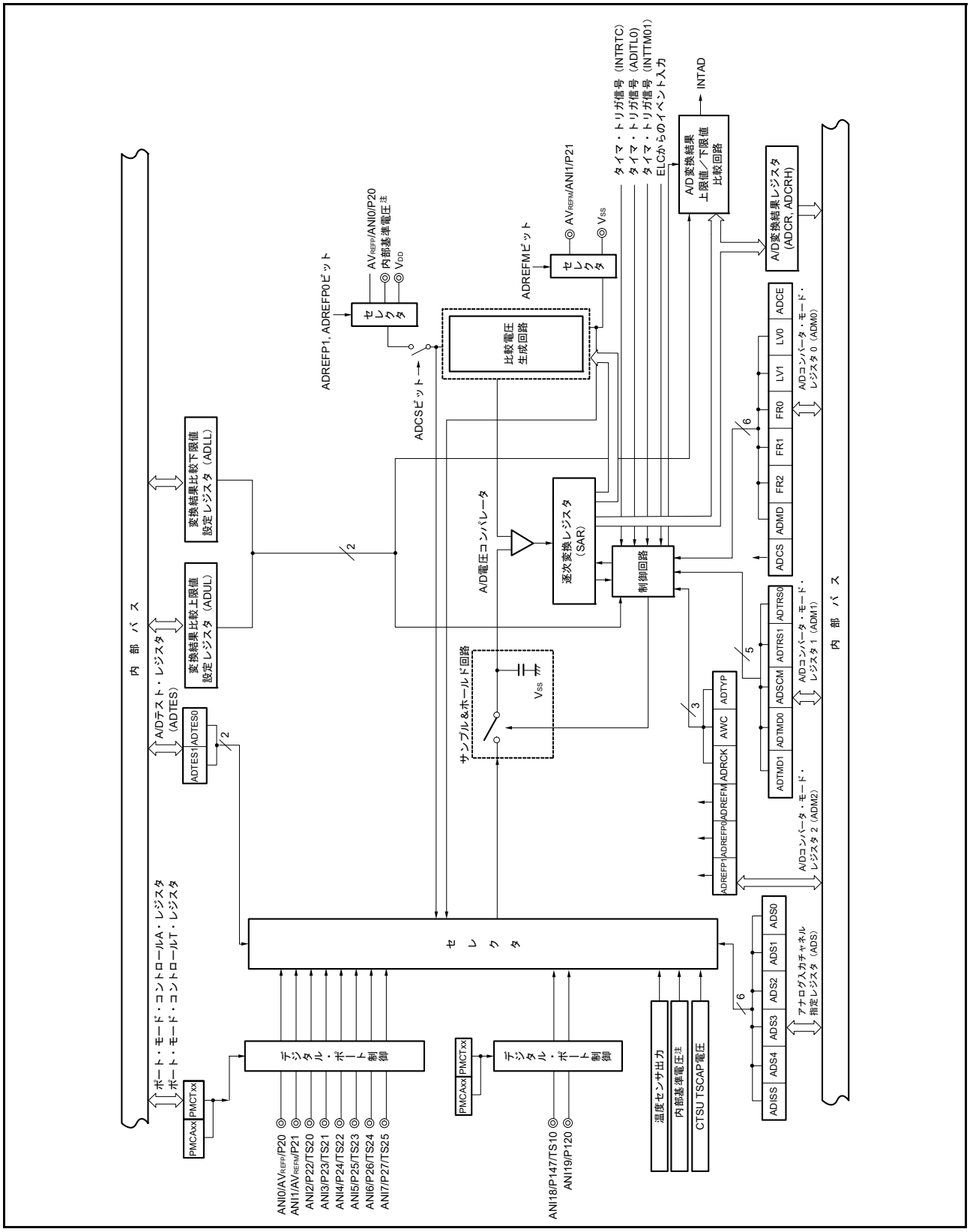
- 10ビット／8ビット分解能A/D変換
  ANI0-ANI7, ANI16-ANI19からアナログ入力を1チャネル選択し、10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより、さまざまなA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ・モード	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ウエイト・モード	パワーオフでの変換待機状態でハードウェア・トリガを検出することにより、パワーオンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用するときは、ハードウェア・トリガ・ウエイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し、A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。ANI0-ANI7のうち連続した4チャネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1／標準2モード	2.7 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作が可能です。
	低電圧1／低電圧2モード	1.6 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作が可能です。 低電圧時に変換動作するときに選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数：7 f_{AD}	標準1／低電圧1モードのサンプリング時間は、変換クロック（f_{AD}）の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたいときに選択します。
	サンプリング・クロック数：5 f_{AD}	標準2／低電圧2モードのサンプリング時間は、変換クロック（f_{AD}）の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できているときに選択します。

注意　アナログ入力チャネル、V_{DD}電圧、AV_{REFP}電圧、トリガ・モード、f_{CLK}により、選択可能な動作モードが異なります。詳細は、表12 - 3　A/D変換時間の選択を参照してください。

図12 - 1 A/Dコンバータのブロック図



注 内部基準電圧値は、**第34章 電気的特性**を参照してください。

備考 この図のアナログ入力端子は、48ピン製品の場合です。

12.2 A/Dコンバータの構成

A/D コンバータは、次のハードウェアで構成されています。

(1) ANI0-ANI7, ANI16-ANI19端子
A/Dコンバータの12チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル＆ホールド（S&H）回路
入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ
比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧（1/2 AVREF）より大きい場合には、逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AVREF）より小さい場合には、SARレジスタのMSBビットをリセットします。
次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます。

- ビット9 = 0：（1/4 AVREF）
- ビット9 = 1：（3/4 AVREF）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

- アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
- アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

(4) 比較電圧生成回路
アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ（SAR：Successive Approximation Register）
SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット（MSB）から1ビットずつ設定するレジスタです。
SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了）、そのSARレジスタの内容（変換結果）は、A/D変換結果レジスタ（ADCR）に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号（INTAD）が発生します。

(6) 10ビットA/D変換結果レジスタ（ADCR）
A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

(7) 8ビットA/D変換結果レジスタ（ADCRH）
A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路
A/D変換するアナログ入力の変換時間、変換動作の開始／停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値／下限値比較回路を通りINTADを発生します。

(9) AVREFP端子

外部から基準電圧（AVREFP）を入力する端子です。

AVREFPをA/Dコンバータの＋側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと－側基準電圧（AVREFM/VSS）間にかかる電圧に基づいて、ANI2-ANI7, ANI16-ANI19に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には、AVREFPのほかにVDDと内部基準電圧を選択することが可能です。

(10) AVREFM端子

外部から基準電圧（AVREFM）を入力する端子です。AVREFMをA/Dコンバータの－側基準電圧として使用する場合は、ADM2レジスタのADREFMビットに1を設定してください。

A/Dコンバータの－側基準電圧には、AVREFMのほかにVSSを選択することが可能です。

備考　AVREF：A/Dコンバータの＋側基準電圧。AVREFP、内部基準電圧、VDDから選択可能です。内部基準電圧値は、**第34章　電気的特性**を参照してください。

12.3　A/Dコンバータを制御するレジスタ

A/D コンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- A/Dコンバータ・モード・レジスタ0（ADM0）
- A/Dコンバータ・モード・レジスタ1（ADM1）
- A/Dコンバータ・モード・レジスタ2（ADM2）
- 10ビットA/D変換結果レジスタ（ADCR）
- 8ビットA/D変換結果レジスタ（ADCRH）
- アナログ入力チャネル指定レジスタ（ADS）
- 変換結果比較上限値設定レジスタ（ADUL）
- 変換結果比較下限値設定レジスタ（ADLL）
- A/Dテスト・レジスタ（ADTES）
- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

12.3.1 周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

A/D コンバータを使用する場合は、必ず ADCEN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12 - 2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス : F00F0H
リセット時: 00H
R/W属性 : R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN注1	SAU1EN注2	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 • A/Dコンバータで使用するSFRへのライト不可注3
1	入力クロック供給 • A/Dコンバータで使用するSFRへのリード／ライト可

注1. 24～48ピン製品のみ

注2. 30～48ピン製品のみ

注3. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

注意3. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態で、下記のレジスタの設定を行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは00Hとなり、書き込みは無視されます（ポート・モード・レジスタ（PM0, PM2, PM12, PM14）、ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）、ポート・モード・コントロールT・レジスタ（PMCT0, PMCT2, PMCT14）は除く）。

- **A/Dコンバータ・モード・レジスタ0（ADM0）**
- **A/Dコンバータ・モード・レジスタ1（ADM1）**
- **A/Dコンバータ・モード・レジスタ2（ADM2）**
- **10ビットA/D変換結果レジスタ（ADCR）**
- **8ビットA/D変換結果レジスタ（ADCRH）**
- **アナログ入力チャネル指定レジスタ（ADS）**
- **変換結果比較上限値設定レジスタ（ADUL）**
- **変換結果比較下限値設定レジスタ（ADLL）**
- **A/Dテスト・レジスタ（ADTES）**

12.3.2　周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

A/D コンバータをリセットする場合は、ADCRES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12 - 3　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注1	SAU1RES 注2	SAU0RES	0	TAU0RES

ADCRES	A/Dコンバータのリセット制御
0	A/Dコンバータのリセット解除
1	A/Dコンバータはリセット状態 • A/Dコンバータで使用するSFRが初期化されます。

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注意1.　ビット7, 6, 1には、必ず0を設定してください。

注意2.　次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

12.3.3 A/Dコンバータ・モード・レジスタ0（ADM0）

ADM0 レジスタは、A/D 変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。
ADM0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図12 - 4 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス ：FFF30H
リセット時：00H
R/W属性 ：R/W

略号	<7>	6	5	4	3	2	1	<0>
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 ［読み出し時］ 変換動作停止／待機状態
1	変換動作許可 ［読み出し時］ ソフトウェア・トリガ・モード時：変換動作状態 ハードウェア・トリガ・ウエイト・モード時：A/D電源安定待ち状態または変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は、**表12 - 3 A/D変換時間の選択**を参照してください。

注2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、A/D電圧コンパレータはADCSビットとADCEビットで動作制御され、動作開始から安定するまでに、1 μsかかります。このため、ADCEビットに1を設定してから1 μs以上経過したあとに、ADCSビットに1を設定することで、最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は、最初の変換データを無視してください。

注意1. ADMD, FR2-FR0, LV1, LV0ビットの変更は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意2. ADCS = 1, ADCE = 0の設定は禁止です。

注意3. ADCS = 0, ADCE = 0の状態から8ビット・メモリ操作命令でADCS = 1, ADCE = 1に設定することは禁止です。
必ず12.7 A/Dコンバータの設定フロー・チャートの手順に従ってください。

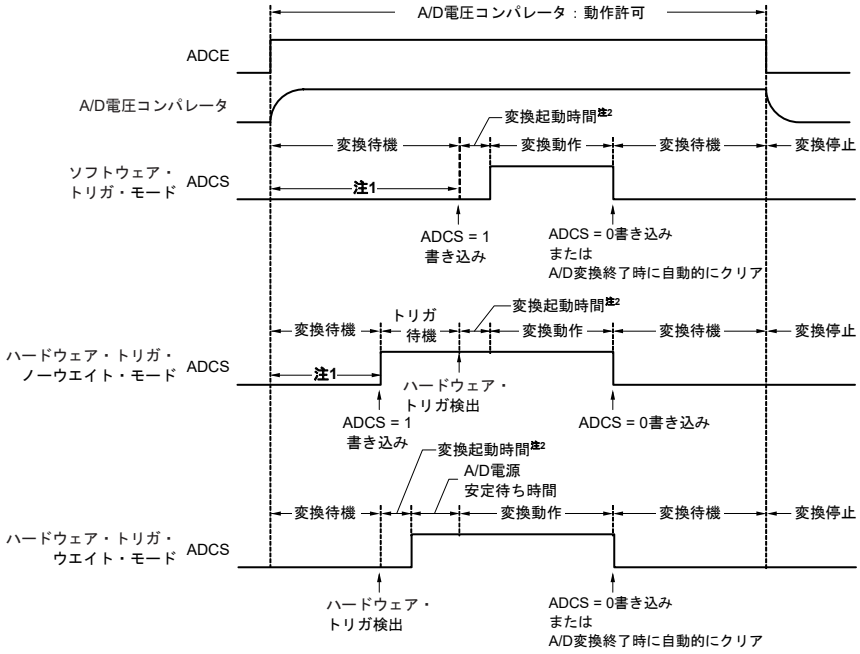
表12 - 1　ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表12 - 2　ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウェア・トリガ・モード	セレクト・モード	連続変換モード	ADCS = 1書き込み	• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • A/D変換終了
	スキャン・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • 設定した4チャネル分の変換が終了
ハードウェア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み
	スキャン・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み
ハードウェア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガの入力	• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • A/D変換終了
	スキャン・モード	連続変換モード		• ADCS = 0書き込み
		ワンショット変換モード		• ADCS = 0書き込み • 設定した4チャネル分の変換が終了

図12 - 5 A/D電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μs以上必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック（f_{AD}）	起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0		ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	1
0	1	0	f_{CLK}/16	15	1
0	1	1	f_{CLK}/8	7	1
1	0	0	f_{CLK}/6	5	1
1	0	1	f_{CLK}/5	4	1
1	1	0	f_{CLK}/4	3	1
1	1	1	f_{CLK}/2	1	1

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

（注意、備考は次ページに続きます）

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です（ハードウェア・トリガ信号検出時に、自動的に1に切り替わります）。ただし、A/D変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、A/D変換終了時にADCSビットは、自動的に0にクリアされません。1のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0（変換停止／変換待機状態）のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時：f_{CLK}の2クロック + 変換起動時間 + A/D 変換時間

ハードウェア・トリガ・ウエイト・モード時　：f_{CLK}の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考　f_{CLK}：CPU／周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (1/4)

(1) A/D電源安定待ち時間なし 標準モード1, 2

ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウエイト・モード

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（fAD）	変換クロック数注	変換時間	10ビット分解能時のA/D変換時間 2.7 V≦VDD≦5.5 V				
FR2	FR1	FR0	LV1	LV0					fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	標準1	fCLK/64	19 fAD（サンプリング・クロック数：7 fAD）	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				fCLK/32		608/fCLK	設定禁止	設定禁止	76 μs	38 μs	19 μs
0	1	0				fCLK/16		304/fCLK	設定禁止	76 μs	38 μs	19 μs	9.5 μs
0	1	1				fCLK/8		152/fCLK	設定禁止	38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				fCLK/6		114/fCLK	設定禁止	28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				fCLK/5		95/fCLK	95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				fCLK/4		76/fCLK	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				fCLK/2		38/fCLK	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	17 fAD（サンプリング・クロック数：5 fAD）	1088/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				fCLK/32		544/fCLK	設定禁止	設定禁止	68 μs	34 μs	17 μs
0	1	0				fCLK/16		272/fCLK	設定禁止	68 μs	34 μs	17 μs	8.5 μs
0	1	1				fCLK/8		136/fCLK	設定禁止	34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				fCLK/6		102/fCLK	設定禁止	25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				fCLK/5		85/fCLK	85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				fCLK/4		68/fCLK	68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				fCLK/2		34/fCLK	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（fAD）の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1 A/Dコンバータ特性（TA = –40～+85℃）または34.6.2 A/Dコンバータ特性（TA = –40～+105℃）に示す変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 fCLK：CPU／周辺ハードウェア・クロック周波数

表12 - 3　A/D変換時間の選択 (2/4)

(2)　A/D電源安定待ち時間なし 低電圧モード1, 2

ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウエイト・モード

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（fAD）	変換クロック数注	変換時間	10ビット分解能時のA/D変換時間				
									1.6 V≦VDD≦5.5 V		1.8 V≦VDD≦5.5 V	2.4 V≦VDD≦5.5 V	2.7 V≦VDD≦5.5 V
FR2	FR1	FR0	LV1	LV0					fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	1	0	低電圧1	fCLK/64	19 fAD（サンプリング・クロック数：7 fAD）	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				fCLK/32		608/fCLK	設定禁止	設定禁止	76 μs	38 μs	19 μs
0	1	0				fCLK/16		304/fCLK	設定禁止	76 μs	38 μs	19 μs	9.5 μs
0	1	1				fCLK/8		152/fCLK	設定禁止	38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				fCLK/6		114/fCLK	設定禁止	28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				fCLK/5		95/fCLK	95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				fCLK/4		76/fCLK	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				fCLK/2		38/fCLK	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧2	fCLK/64	17 fAD（サンプリング・クロック数：5 fAD）	1088/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs
0	0	1				fCLK/32		544/fCLK	設定禁止	設定禁止	68 μs	34 μs	17 μs
0	1	0				fCLK/16		272/fCLK	設定禁止	68 μs	34 μs	17 μs	8.5 μs
0	1	1				fCLK/8		136/fCLK	設定禁止	34 μs	17 μs	8.5 μs	4.25 μs
1	0	0				fCLK/6		102/fCLK	設定禁止	25.5 μs	12.75 μs	6.375 μs	3.1875 μs
1	0	1				fCLK/5		85/fCLK	85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				fCLK/4		68/fCLK	68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				fCLK/2		34/fCLK	34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（fAD）の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1　A/Dコンバータ特性（TA = –40～+85℃）または34.6.2　A/Dコンバータ特性（TA = –40～+105℃）に示す変換時間（tCONV）の範囲内で選択してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考　fCLK：CPU／周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (3/4)

(3) A/D電源安定待ち時間あり 標準モード1, 2
ハードウェア・トリガ・ウエイト・モード注1

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数 注2	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時のA/D変換時間 2.7 V≦VDD≦5.5 V				
FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	0	0	標準1	fCLK/64	8 fAD	19 fAD（サンプリング・クロック数：7 fAD）	1728/fCLK	設定禁止	設定禁止	設定禁止	108 μs	54 μs
0	0	1				fCLK/32			864/fCLK	設定禁止	設定禁止	108 μs	54 μs	27 μs
0	1	0				fCLK/16			432/fCLK	設定禁止	108 μs	54 μs	27 μs	13.5 μs
0	1	1				fCLK/8			216/fCLK	設定禁止	54 μs	27 μs	13.5 μs	6.75 μs
1	0	0				fCLK/6			162/fCLK	設定禁止	40.5 μs	20.25 μs	10.125 μs	5.0625 μs
1	0	1				fCLK/5			135/fCLK	135 μs	33.75 μs	16.875 μs	8.4375 μs	4.21875 μs
1	1	0				fCLK/4			108/fCLK	108 μs	27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1				fCLK/2			54/fCLK	54 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	fCLK/64	8 fAD	17 fAD（サンプリング・クロック数：5 fAD）	1600/fCLK	設定禁止	設定禁止	設定禁止	100 μs	50 μs
0	0	1				fCLK/32			800/fCLK	設定禁止	設定禁止	100 μs	50 μs	25 μs
0	1	0				fCLK/16			400/fCLK	設定禁止	100 μs	50 μs	25 μs	12.5 μs
0	1	1				fCLK/8			200/fCLK	設定禁止	50 μs	25 μs	12.5 μs	6.25 μs
1	0	0				fCLK/6			150/fCLK	設定禁止	37.5 μs	18.75 μs	9.375 μs	4.6875 μs
1	0	1				fCLK/5			125/fCLK	125 μs	31.25 μs	15.625 μs	7.8125 μs	3.90625 μs
1	1	0				fCLK/4			100/fCLK	100 μs	25 μs	12.5 μs	6.25 μs	3.125 μs
1	1	1				fCLK/2			50/fCLK	50 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（**表12 - 3 A/D変換時間の選択 (1/4)**参照）。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（fAD）の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1 A/Dコンバータ特性（TA = –40～+85℃）または34.6.2 A/Dコンバータ特性（TA = –40～+105℃）に示す変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 fCLK：CPU／周辺ハードウェア・クロック周波数

表12 - 3 A/D変換時間の選択 (4/4)

(4) A/D電源安定待ち時間あり 低電圧モード1, 2
ハードウェア・トリガ・ウエイト・モード注1

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（fAD）	A/D電源安定待ちクロック数	変換クロック数 注2	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時のA/D変換時間				
										1.6 V≦VDD≦5.5 V		1.8 V≦VDD≦5.5 V	2.4 V≦VDD≦5.5 V	2.7 V≦VDD≦5.5 V
FR2	FR1	FR0	LV1	LV0						fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz
0	0	0	1	0	低電圧1	fCLK/64	2 fAD	19 fAD（サンプリング・クロック数：7 fAD）	1344/fCLK	設定禁止	設定禁止	設定禁止	84 μs	42 μs
0	0	1				fCLK/32			672/fCLK	設定禁止	設定禁止	84 μs	42 μs	21 μs
0	1	0				fCLK/16			336/fCLK	設定禁止	84 μs	42 μs	21 μs	10.5 μs
0	1	1				fCLK/8			168/fCLK	設定禁止	42 μs	21 μs	10.5 μs	5.25 μs
1	0	0				fCLK/6			126/fCLK	設定禁止	31.5 μs	15.75 μs	7.875 μs	3.9375 μs
1	0	1				fCLK/5			105/fCLK	105 μs	26.25 μs	13.125 μs	6.5625 μs	3.238125 μs
1	1	0				fCLK/4			84/fCLK	84 μs	21 μs	10.5 μs	5.25 μs	2.625 μs
1	1	1				fCLK/2			42/fCLK	42 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	fCLK/64	2 fAD	17 fAD（サンプリング・クロック数：5 fAD）	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				fCLK/32			608/fCLK	設定禁止	設定禁止	76 μs	38 μs	19 μs
0	1	0				fCLK/16			304/fCLK	設定禁止	76 μs	38 μs	19 μs	9.5 μs
0	1	1				fCLK/8			152/fCLK	設定禁止	38 μs	19 μs	9.5 μs	4.75 μs
1	0	0				fCLK/6			114/fCLK	設定禁止	28.5 μs	14.25 μs	7.125 μs	3.5625 μs
1	0	1				fCLK/5			95/fCLK	96 μs	23.75 μs	11.88 μs	5.938 μs	2.9688 μs
1	1	0				fCLK/4			76/fCLK	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				fCLK/2			38/fCLK	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません（**表12 - 3 A/D変換時間の選択 (2/4)**参照）。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック（fAD）の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1 A/Dコンバータ特性（TA = –40～+85℃）または34.6.2 A/Dコンバータ特性（TA = –40～+105℃）に示す変換時間（tCONV）の範囲内で選択してください。なお、変換時間（tCONV）はA/D電源安定待ち時間を含みません。

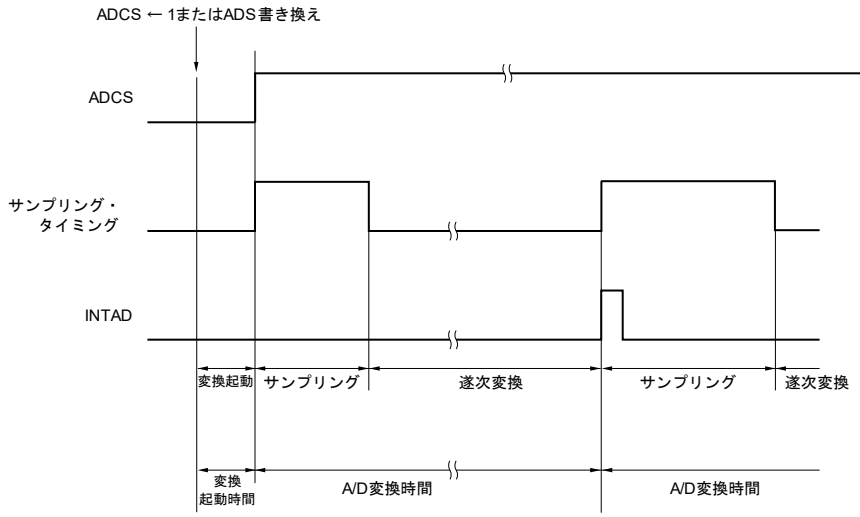
注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。
また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウエイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 fCLK：CPU／周辺ハードウェア・クロック周波数

図12 - 6　A/Dコンバータのサンプリングと A/D変換のタイミング（ソフトウェア・トリガ・モード）



12.3.4 A/Dコンバータ・モード・レジスタ1（ADM1）

ADM1 レジスタは、A/D 変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。
ADM1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図12 - 7 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス ：FFF32H
リセット時：00H
R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	×	ソフトウェア・トリガ・モード
1	0	ハードウェア・トリガ・ノーウエイト・モード
1	1	ハードウェア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択
0	0	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
0	1	ELCからのイベント入力注
1	0	リアルタイム・クロック割り込み信号（INTRTC）
1	1	32ビット・インターバル・タイマのコンペア一致によるトリガ信号（ADITL0）

注 SNOOZEモード機能使用時は、ELCからのイベント入力を使用できません。

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 ：fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 ：fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZEモード機能以外のモードにおいて、INTRTC, ELCITL0入力後最大fCLKの4クロック間は、次のINTRTC, ELCITL0入力がトリガとして有効になりません。

備考1. ×：Don't care

備考2. fCLK：CPU／周辺ハードウェア・クロック周波数

12.3.5 A/Dコンバータ・モード・レジスタ2（ADM2）

ADM2 レジスタは、A/D コンバータの＋側基準電圧および－側基準電圧の選択、割り込みを発生させる A/D 変換結果の範囲の選択、分解能の選択、および SNOOZE モードを設定するレジスタです。

ADM2 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12 - 8 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット (1/2)

アドレス : F0010H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	<3>	<2>	1	<0>
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	V_{DD}から供給
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧注1から供給
1	1	設定禁止

- ADREFP1, ADREFP0ビットを書き換える場合、次の手順で設定してください。
  ① ADCE = 0に設定
  ② ADREFP1, ADREFP0ビットの値を変更
  ③ 基準電圧安定待ち時間A
  ④ ADCE = 1に設定
  ⑤ 基準電圧安定待ち時間B

  基準電圧安定待ち時間A, Bについて
  ADREFP1, ADREFP0 = 10Bに変更する場合：A = 5 μs, B = 1 μs
  ADREFP1, ADREFP0 = 00Bまたは01Bに変更する場合：Aはウエイト不要、B = 1 μs

  ⑤のウエイトのあとに、A/D変換開始してください。
- ADREFP1, ADREFP0 = 10Bに設定した場合、温度センサ出力電圧と内部基準電圧注1をA/D変換することはできません。
  必ずADISS = 0としてA/D変換を行ってください。

ADREFM	A/Dコンバータの－側の基準電圧の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

図12 - 8 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット (2/2)

ADRCK	割り込みを発生させるA/D変換結果の範囲の選択
0	ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（AREA1）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ＜ADLLレジスタ（AREA2）、ADULレジスタ＜ADCRレジスタ（AREA3）のとき割り込み信号（INTAD）が発生。
図12 - 9にAREA1-AREA3の割り込み信号（INTAD）発生範囲を示します。	

AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います（SNOOZEモード）。 • SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 • ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノーウエイト・モードでのSNOOZEモード機能は使用禁止です。 • 連続変換モードでのSNOOZEモード機能は使用禁止です。 • SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間注2 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + f_{CLK}の2クロック」以上の間隔を空けて設定してください。 • SNOOZEモード機能を使用する場合でも、通常動作時はAWCビットに0を設定し、STOPモードへ移行する直前にAWCビットを1に変更してください。 またSTOPモードから通常動作へ復帰後、必ずAWCビットを0に変更してください。 AWC = 1のままでは、その後のSNOOZEモード、通常動作に関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注1. 内部基準電圧値は、**第34章 電気的特性**を参照してください。

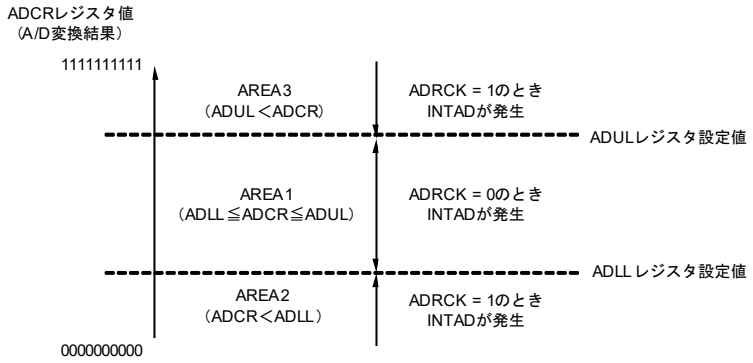
注2. **20.3.3 SNOOZEモード**の「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意1. ADM2レジスタを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意2. STOPモードまたはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 10B）選択時は、34.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

注意3. AV_{REFP}とAV_{REFM}を使用する場合は、ANI0とANI1をアナログ入力に設定し、ポート・モード・レジスタ（PMxx）は入力モードに設定してください。

図12 - 9　ADRCKビットによる割り込み信号発生範囲



備考　INTADが発生した場合のみ、A/D変換結果がADCR, ADCRHレジスタに格納されます。

12.3.6 10ビットA/D変換結果レジスタ（ADCR）

ADCR レジスタは、A/D 変換結果を保持する 16 ビットのレジスタです。

下位 6 ビットは 0 固定です。A/D 変換が終了するたびに、逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位 8 ビットが FFF1FH に、下位 2 ビットが FFF1EH の上位 2 ビットに格納されます注。

ADCR レジスタは、16 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

注 A/D変換結果の値がA/D変換結果比較機能（ADM2.ADRCKビット、ADUL, ADLL レジスタで設定（**図12 - 9**参照））で設定した値の範囲外の場合は格納されません。

図12 - 10 10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス ：FFF1FH, FFF1EH
リセット時：0000H
R/W属性 ：R

	FFF1FH								FFF1EH							
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR											0	0	0	0	0	0

注意1. 8ビット分解能A/D変換を選択時（ADM2.ADTYP = 1）にADCRレジスタを読み出した場合、上位8ビット以外のビットは0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合、10ビット分解能A/D変換選択時は変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

注意3. A/Dコンバータ・モード・レジスタ0（ADM0）、アナログ入力チャネル指定レジスタ（ADS）、ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）、ポート・モード・コントロールT・レジスタ（PMCT0, PMCT2, PMCT14）に対して書き込み動作を行ったとき、ADCRレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PMCTxxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

12.3.7　8ビットA/D変換結果レジスタ（ADCRH）

ADCRH レジスタは、A/D 変換結果を保持する 8 ビットのレジスタです。10 ビット分解能の上位 8 ビットを格納します注。

ADCRH レジスタは、8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00H になります。

注　A/D変換結果の値がA/D変換結果比較機能（ADM2.ADRCKビット、ADUL, ADLL レジスタで設定（**図12 - 9**参照））で設定した値の範囲外の場合は格納されません。

図12 - 11　8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス　：FFF1FH
リセット時：00H
R/W属性　：R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意　**A/Dコンバータ・モード・レジスタ0（ADM0）、アナログ入力チャネル指定レジスタ（ADS）、ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）、ポート・モード・コントロールT・レジスタ（PMCT0, PMCT2, PMCT14）に対して書き込み動作を行ったとき、ADCRH レジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PMCTxx レジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。**

12.3.8 アナログ入力チャネル指定レジスタ（ADS）

ADS レジスタは、A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。
ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図 12 - 12 アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス : FFF31H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

セレクト・モード（ADM0.ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P01/ANI16端子注1
0	1	0	0	0	1	ANI17	P00/ANI17端子注2
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
0	1	1	1	1	0	—	CTSU TSCAP電圧
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧注3
上記以外						設定禁止	

注1. 36～48ピン製品の場合は、ANI16として使用できません。
注2. 36～48ピン製品の場合は、ANI17として使用できません。
注3. 内部基準電圧値は、**第34章 電気的特性**を参照してください。

スキャン・モード（ADM0.ADMD = 1）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
上記以外						設定禁止			

注意1. ビット6, 5には、必ず0を設定してください。

注意2. PMCAxxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ（PM0, PM2, PM12, PM14）で入力モードに選択してください。

注意3. ポート・モード・コントロールA・レジスタ（PMCA0, PMCA2, PMCA12, PMCA14）、ポート・モード・コントロールT・レジスタ（PMCT0, PMCT2, PMCT14）でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意5. AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。

注意6. AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。

注意7. ADISS = 1を設定した場合、＋側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、12.7.4　温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定 （例　ソフトウェア・トリガ・モード、ワンショット変換モード時）を参照してください。
内部基準電圧値は、第34章　電気的特性を参照してください。

注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、34.3.2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

12.3.9 変換結果比較上限値設定レジスタ（ADUL）

ADUL レジスタは、割り込みを発生させる A/D 変換結果の範囲の上限値を設定するレジスタです。

A/D 変換結果と ADUL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2（ADM2）の ADRCK ビットの設定範囲（**図 12 - 9 ADRCK ビットによる割り込み信号発生範囲**参照）で割り込み信号（INTAD）の発生を制御します。

ADUL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

図12 - 13 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス : F0011H
リセット時: FFH
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

注意1. 10ビット分解能A/D変換選択時は10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタと比較します。

注意2. ADULレジスタの書き換えは、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意3. ADULレジスタは、ADUL＞ADLLになるように設定を行ってください。

12.3.10 変換結果比較下限値設定レジスタ（ADLL）

ADLL レジスタは、割り込みを発生させる A/D 変換結果の範囲の下限値を設定するレジスタです。

A/D 変換結果と ADLL レジスタ値の比較を行い、A/D コンバータ・モード・レジスタ 2（ADM2）の ADRCK ビットの設定範囲（**図 12 - 9 ADRCK ビットによる割り込み信号発生範囲**参照）で割り込み信号（INTAD）の発生を制御します。

ADLL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図12 - 14 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス : F0012H
リセット時: 00H
R/W属性 : R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADLLレジスタと比較します。

注意2. ADLLレジスタの書き換えは、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意3. ADLLレジスタは、ADUL＞ADLLになるように設定を行ってください。

12.3.11　A/Dテスト・レジスタ（ADTES）

ADTES レジスタは、A/D 変換対象に A/D コンバータの＋側の基準電圧、－側の基準電圧、アナログ入力チャネル（ANIxx）／温度センサ出力電圧／内部基準電圧注／ CTSU TSCAP 電圧を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に－側の基準電圧を選択
- フルスケールを測定するときは、A/D変換対象に＋側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

注　内部基準電圧値は、**第34章　電気的特性**を参照してください。

図12 - 15　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス　：F0013H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx／温度センサ出力電圧／内部基準電圧注／CTSU TSCAP電圧 （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2 レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2 レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注　内部基準電圧値は、**第34章　電気的特性**を参照してください。

注意　ビット7-2には、必ず0を設定してください。

12.3.12　A/Dコンバータのアナログ入力と端子を兼用するポートのポート機能を制御するレジスタ

A/D コンバータのアナログ入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**、**4.3.8　ポート・モード・コントロール T・レジスタ（PMCTxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

12.4　A/Dコンバータの変換動作

A/D コンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を、サンプル＆ホールド（S&H）回路でサンプリングします。

② 一定時間サンプリングを行うと S&H 回路はホールド状態となり、サンプリングされた電圧を A/D 変換が終了するまで保持します。

③ 逐次変換レジスタ（SAR）のビット 9 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）× AVREF にします。

④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力が（1/2）× AVREF よりも大きければ、SAR レジスタの MSB ビットをセットしたままです。また、（1/2）× AVREF よりも小さければ、MSB ビットはリセットします。

⑤ 次に SAR レジスタのビット 8 が自動的にセットされ、次の比較に移ります。ここではすでに比較済のビット 9 の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ビット9 = 1：（3/4）× AVREF
- ビット9 = 0：（1/4）× AVREF

この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。

- サンプリングされた電圧≧電圧タップ：ビット8 = 1
- サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較を SAR レジスタのビット 0 まで続けます。

⑦ 10 ビットの比較が終了したとき、SAR レジスタには一連の比較した結果が残り、その値が A/D 変換結果レジスタ（ADCR, ADCRH）に転送され、ラッチします注1。
同時に、A/D 変換終了割り込み要求信号（INTAD）を発生させることができます注1。

⑧ 以降①から⑦までの動作を ADCS = 0 になるまで繰り返します注2。
A/Dコンバータを停止する場合は、ADCS = 0にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能（ADM2.ADRCKビット、ADUL, ADLLレジスタで設定（**図12 - 9 ADRCKビットによる割り込み信号発生範囲**参照））で設定した値の範囲外の場合、A/D変換終了割り込み要求信号（INTAD）は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

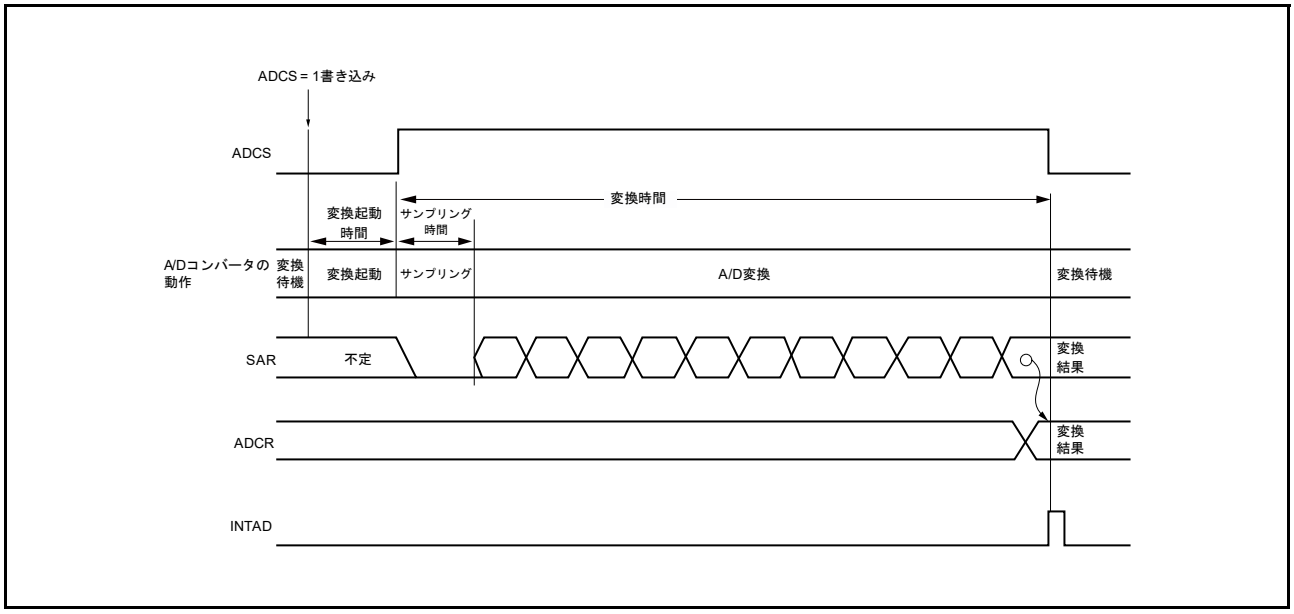
注2. 連続変換モード時は、ADCSフラグは自動的に0にクリアされません。また、ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に0にクリアされません。1のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ADCRレジスタ（16ビット）：10ビットのA/D変換値を格納します。
- ADCRHレジスタ（8ビット）：8ビットのA/D変換値を格納します。

備考2. AVREF：A/Dコンバータの＋側基準電圧。AVREFP、内部基準電圧、VDDから選択可能です。内部基準電圧値は、**第34章　電気的特性**を参照してください。

図12 - 16　A/Dコンバータの変換動作（ソフトウェア・トリガ・モードの場合）



ワンショット変換モード時の A/D 変換動作は、A/D 変換終了後に ADCS ビットが自動的に 0 にクリアされます。

連続変換モード時の A/D 変換動作は、ソフトウェアにより A/D コンバータ・モード・レジスタ 0（ADM0）の ADCS ビットを 0 にクリアするまで連続的に行われます。

A/D 変換動作中に、アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

A/D 変換結果レジスタ（ADCR, ADCRH）は、リセット信号の発生により、0000H または 00H となります。

12.5　入力電圧と変換結果

アナログ入力端子（ANI0-ANI7, ANI16-ANI19）に入力されたアナログ入力電圧と理論上の A/D 変換結果（10 ビット A/D 変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

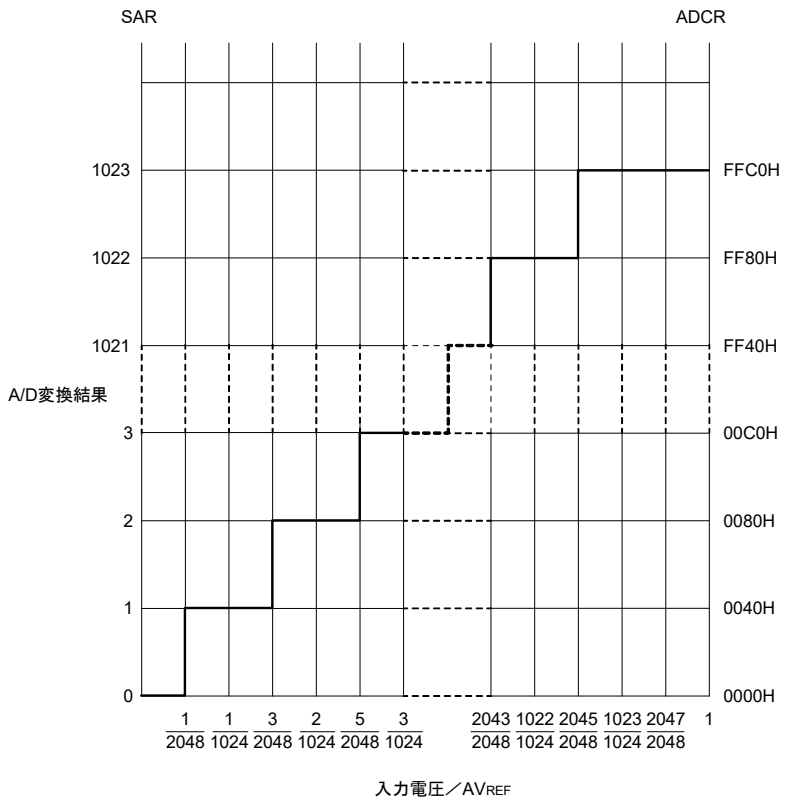
または

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（　）：（　）内の値の整数部を返す関数
V_{AIN}　：アナログ入力電圧
AV_{REF}　：AV_{REF} 端子電圧
ADCR　：10 ビット A/D 変換結果レジスタ（ADCR）の値
SAR　：逐次変換レジスタ

図 12 - 17 に**アナログ入力電圧と A/D 変換結果の関係**を示します。

図12 - 17　アナログ入力電圧とA/D変換結果の関係



備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}、内部基準電圧、V_{DD}から選択可能です。内部基準電圧値は、**第34章 電気的特性**を参照してください。

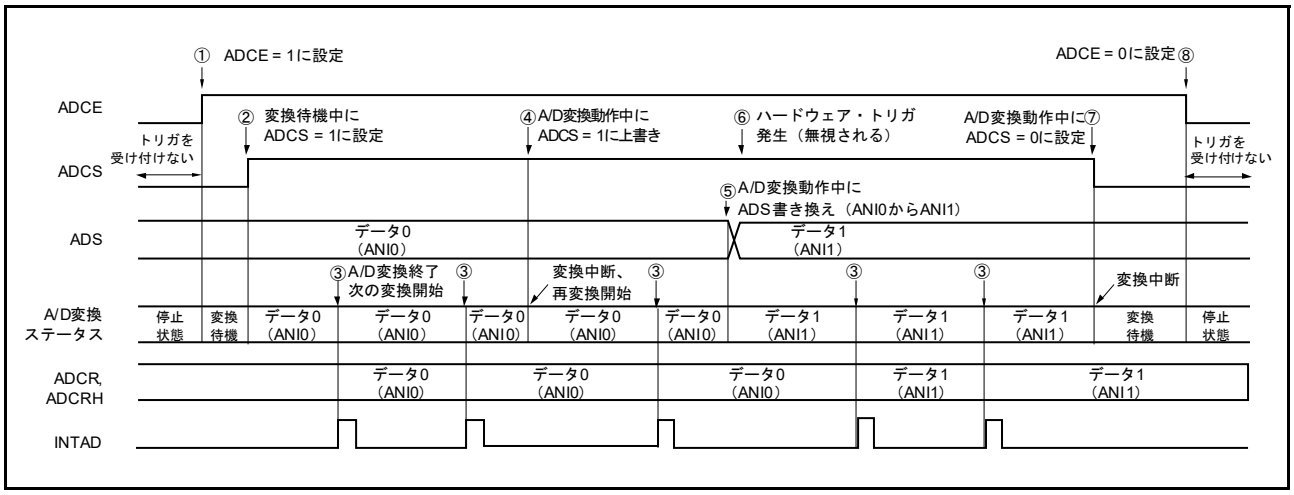
12.6 A/Dコンバータの動作モード

A/D コンバータの各モードの動作を次に示します。また、各モードの設定手順を **12.7 A/D コンバータの設定フロー・チャート**に示します。

12.6.1 ソフトウェア・トリガ・モード（セレクト・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。
② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。
③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。また、A/D 変換終了後は、すぐに次の A/D 変換を開始します。
④ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。
⑥ 変換動作中にハードウェア・トリガが入力されても、A/D 変換は開始しません。
⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。
⑧ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。

図12 - 18 ソフトウェア・トリガ・モード（セレクト・モード、連続変換モード）動作タイミング例



12.6.2 ソフトウェア・トリガ・モード（セレクト・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。

③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

④ A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態となります。

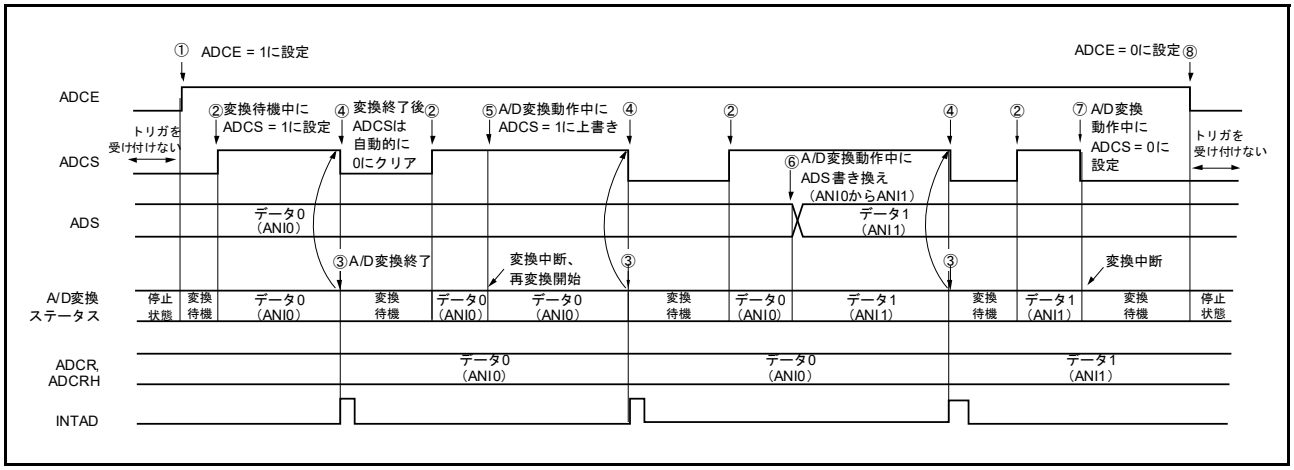
⑤ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑧ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。A/D 変換待機中にハードウェア・トリガが入力されても、A/D 変換は開始しません。

図12 - 19 ソフトウェア・トリガ・モード（セレクト・モード、ワンショット変換モード）動作タイミング例



12.6.3 ソフトウェア・トリガ・モード（スキャン・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。4 チャネルの A/D 変換終了後は、設定しているチャネルからすぐに次の A/D 変換が自動的に開始されます（4 チャネル分）。

④ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

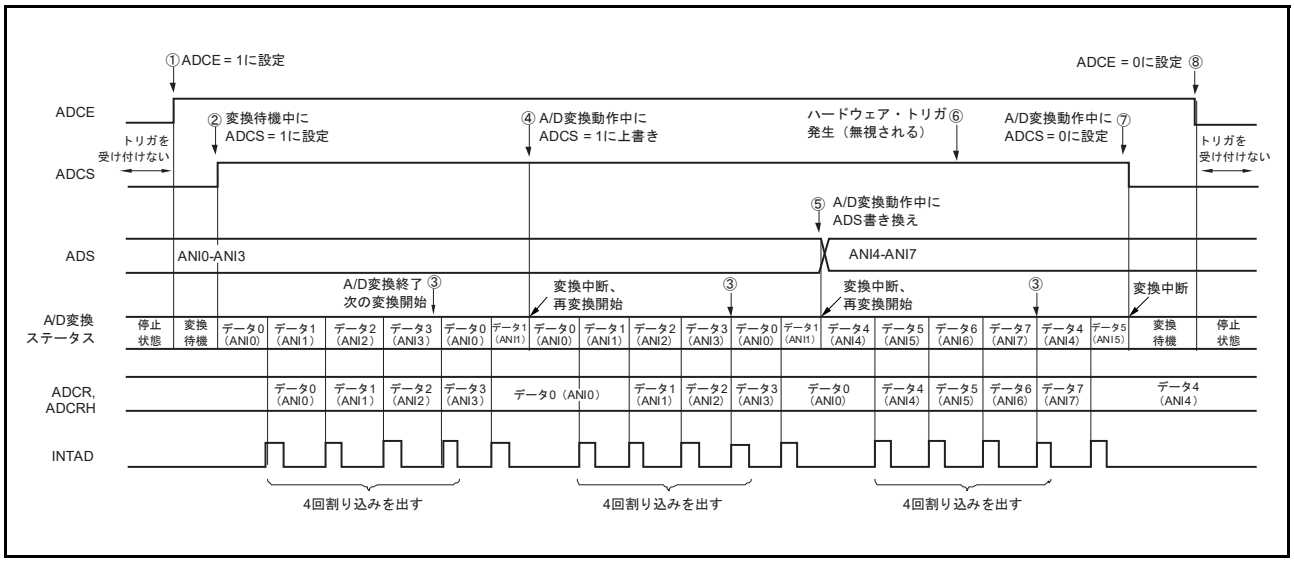
⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウェア・トリガが入力されても、A/D 変換は開始しません。

⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑧ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。

図12 - 20 ソフトウェア・トリガ・モード（スキャン・モード、連続変換モード）動作タイミング例



12.6.4 ソフトウェア・トリガ・モード（スキャン・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

④ 4 チャネルの A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態となります。

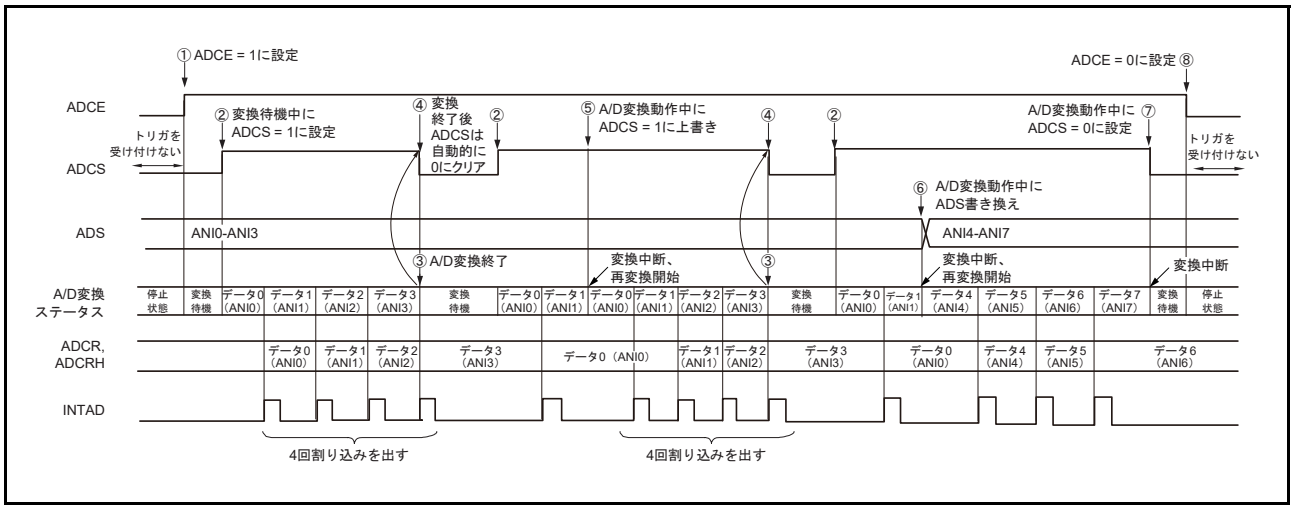
⑤ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑧ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ADCS ビットに 1 を設定しても無視され、A/D 変換は開始しません。A/D 変換待機中にハードウェア・トリガが入力されても、A/D 変換は開始しません。

図12 - 21 ソフトウェア・トリガ・モード（スキャン・モード、ワンショット変換モード）動作タイミング例



12.6.5 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。

③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。

④ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。A/D 変換終了後は、すぐに次の A/D 変換を開始します。

⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

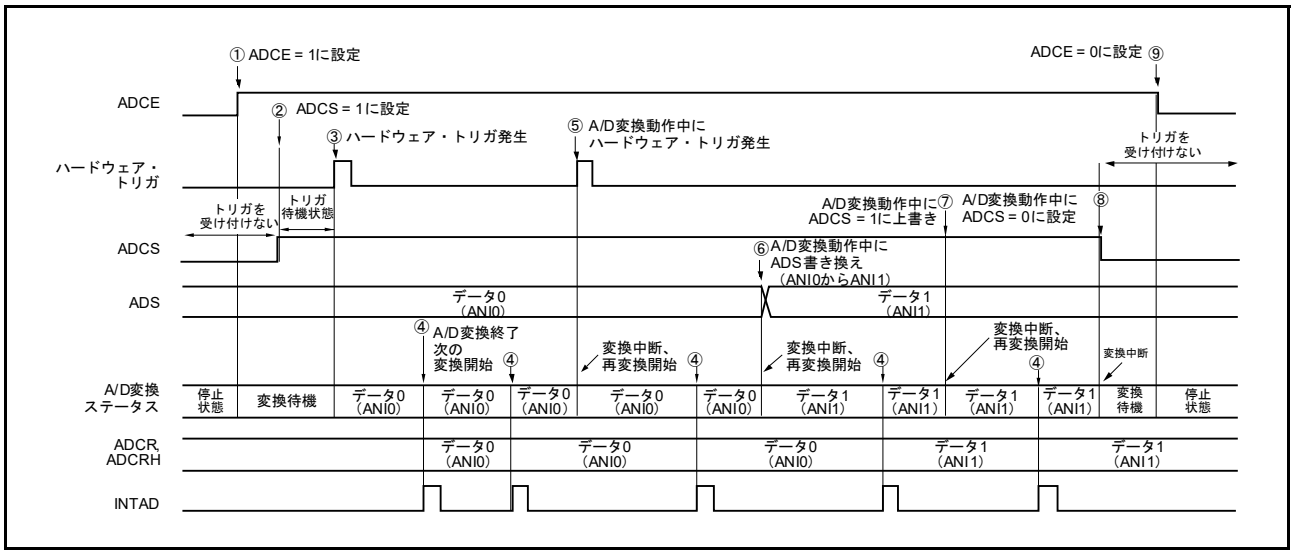
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑨ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCS ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図12 - 22 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、連続変換モード）動作タイミング例



12.6.6 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。

③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。

④ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D 変換が終了後、ADCS ビットは 1 の設定のまま、A/D 変換待機状態となります。

⑥ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

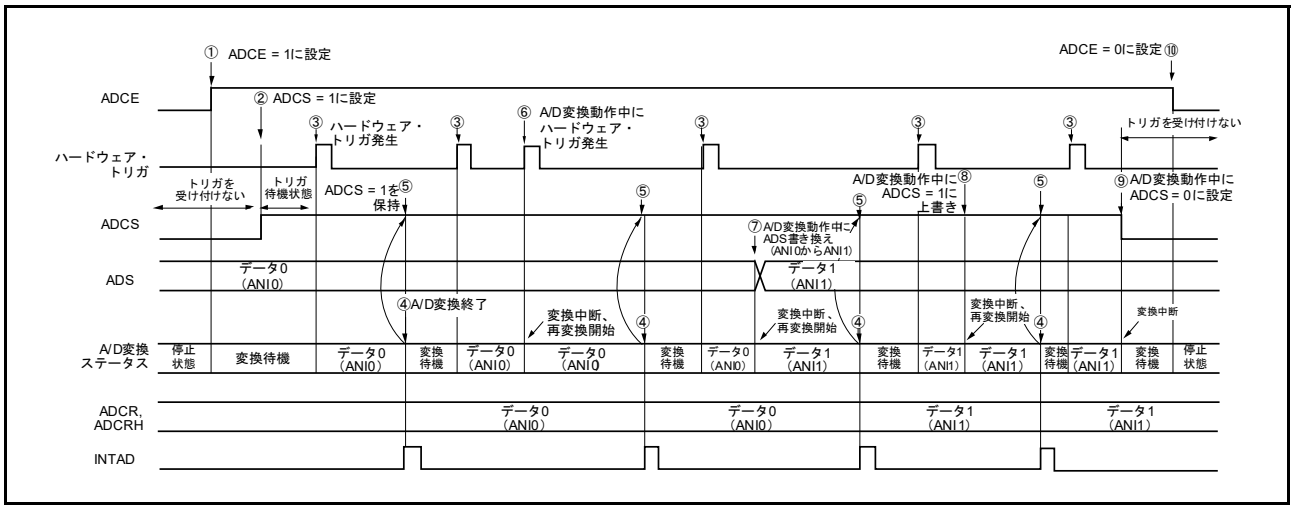
⑦ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑩ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCS ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図12 - 23 ハードウェア・トリガ・ノーウエイト・モード（セレクト・モード、ワンショット変換モード）動作タイミング例



12.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。

③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

④ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。4 チャネルの A/D 変換終了後は、設定しているチャネルからすぐに次の A/D 変換が自動的に開始されます。

⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

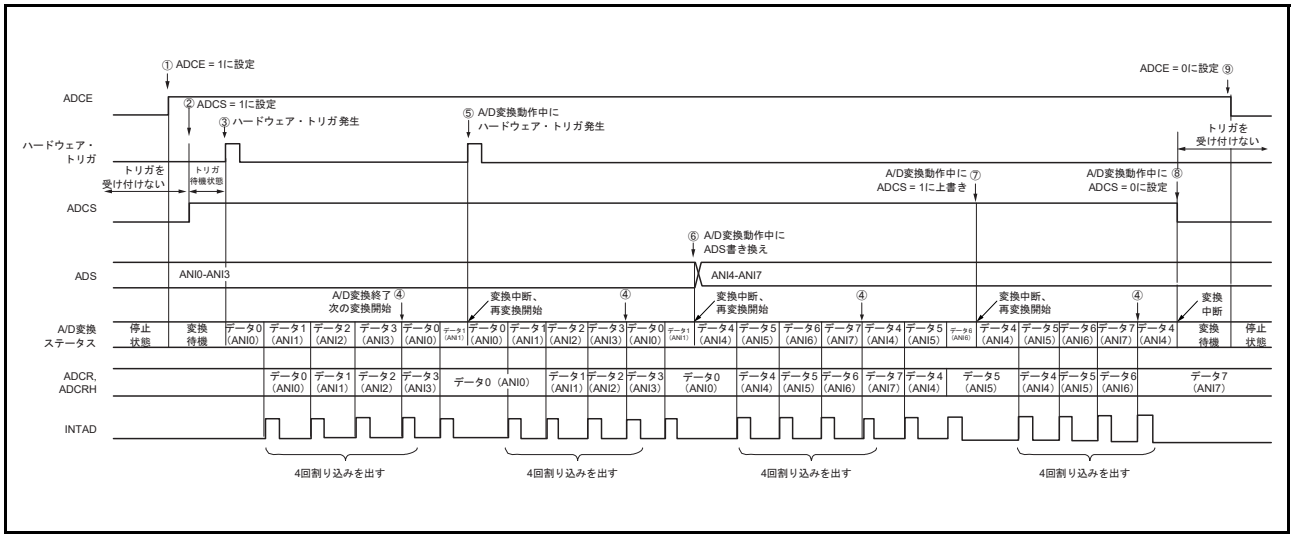
⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

★ ⑨ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図 12 - 24 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）動作タイミング例



12.6.8 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定すると、A/D 変換待機状態となります。

② ソフトウェアで安定待ち時間（1 μs）をカウント後、ADM0 レジスタの ADCS ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります（この段階では変換を開始しません）。なお、ハードウェア・トリガ待機状態のとき、ADCS ビットに 1 を設定しても、A/D 変換は開始しません。

③ ADCS ビットが 1 の状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。A/D 変換はスキャン 0 で指定されたアナログ入力チャネルから順に行います。

④ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4 チャネルの A/D 変換が終了後、ADCS ビットは 1 の設定のまま、A/D 変換待機状態となります。

⑥ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

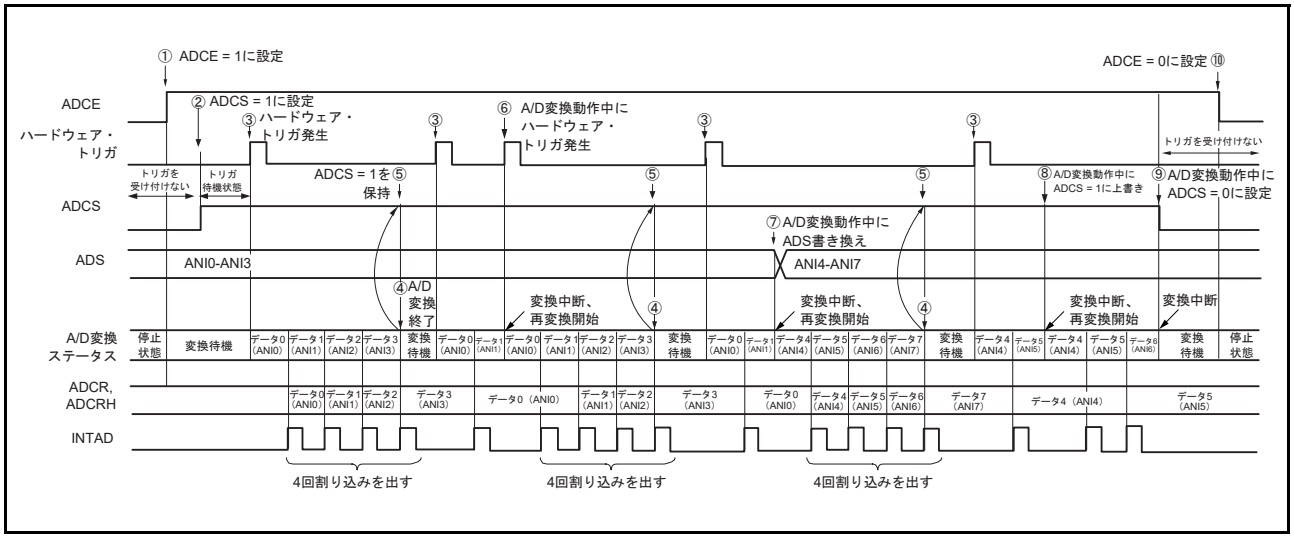
⑦ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、A/D 変換待機状態となります。

⑩ A/D 変換待機中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCS ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図12 - 25 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、ワンショット変換モード）動作タイミング例



12.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。

② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。

③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。A/D 変換終了後は、すぐに次の A/D 変換を開始します（このとき、ハードウェア・トリガは不要です）。

④ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

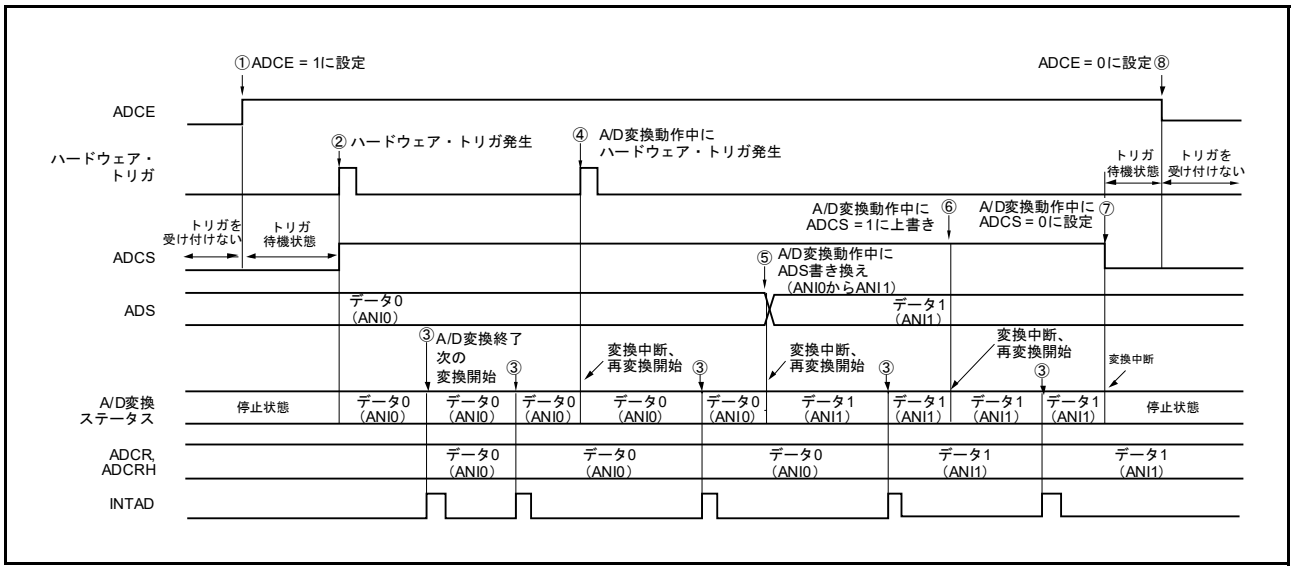
⑥ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

★ ⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。

★ ⑧ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図12 - 26 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード）動作タイミング例

★



12.6.10 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）

① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。

② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力の A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。

③ A/D 変換が終了すると、変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

④ A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態になります。

⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたアナログ入力の A/D 変換を行います。変換動作途中のデータは破棄されます。

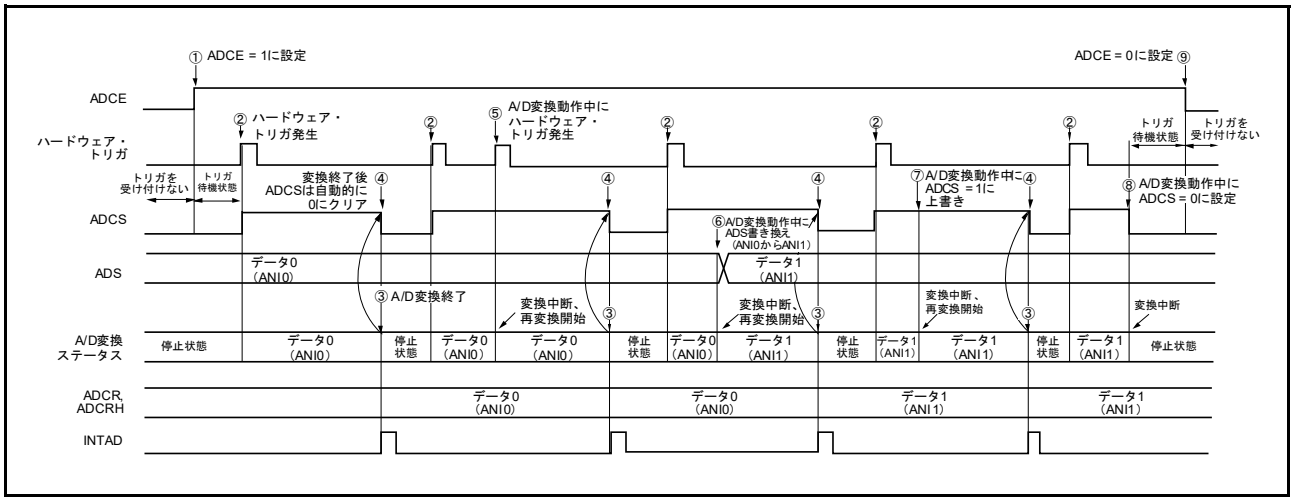
⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

★ ⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。

★ ⑨ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図12 - 27 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）動作タイミング例

★



12.6.11 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、連続変換モード）

★ ① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。

② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。
A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。4 チャネルの A/D 変換終了後は、設定しているチャネルからすぐに次の A/D 変換が自動的に開始されます。

④ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

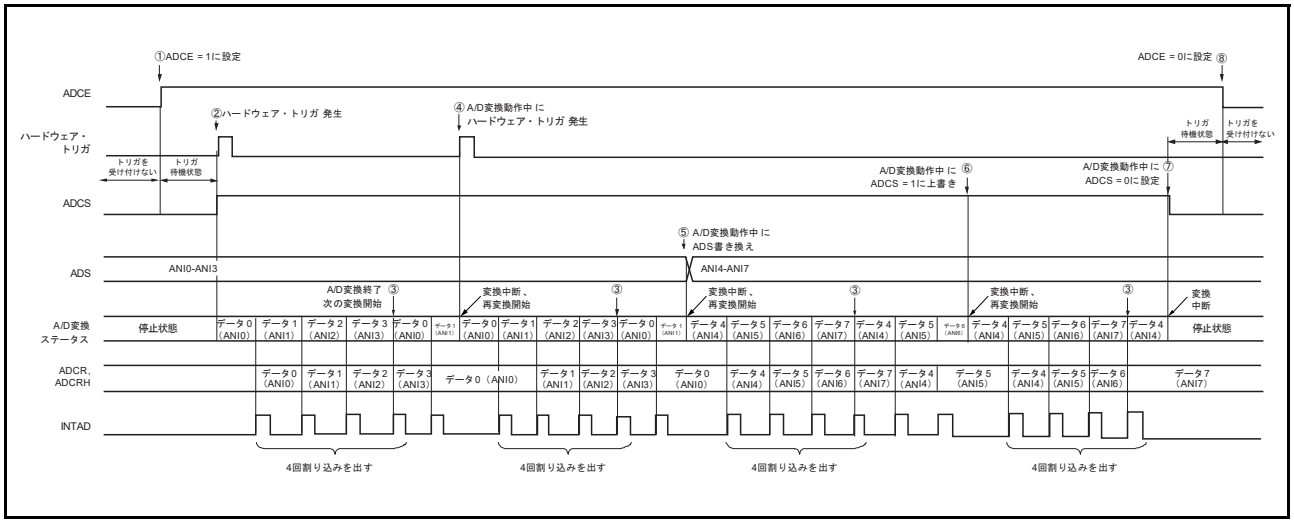
⑥ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

★ ⑦ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。

★ ⑧ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図12 - 28 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、連続変換モード）動作タイミング例

★



12.6.12 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）

★ ① A/D 変換停止状態で、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定することにより、ハードウェア・トリガ待機状態となります。

② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン 0 ～スキャン 3 までの 4 つのアナログ入力チャネルの A/D 変換を行います。ハードウェア・トリガの入力にあわせて、自動的に ADM0 レジスタの ADCS ビットが 1 に設定されます。
A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4 つのアナログ入力チャネルの A/D 変換は連続して行われ、変換が完了するごとに変換結果を A/D 変換結果レジスタ（ADCR, ADCRH）に格納し、A/D 変換終了割り込み要求信号（INTAD）を発生します。

④ A/D 変換が終了後、ADCS ビットは自動的に 0 にクリアされ、A/D 変換待機状態になります。

⑤ 変換動作中にハードウェア・トリガが入力された場合、現在の A/D 変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中に ADS レジスタを書き換えおよび上書きすると、現在の A/D 変換は中断され、ADS レジスタで再度指定されたチャネルの最初から A/D 変換を行います。変換動作途中のデータは破棄されます。

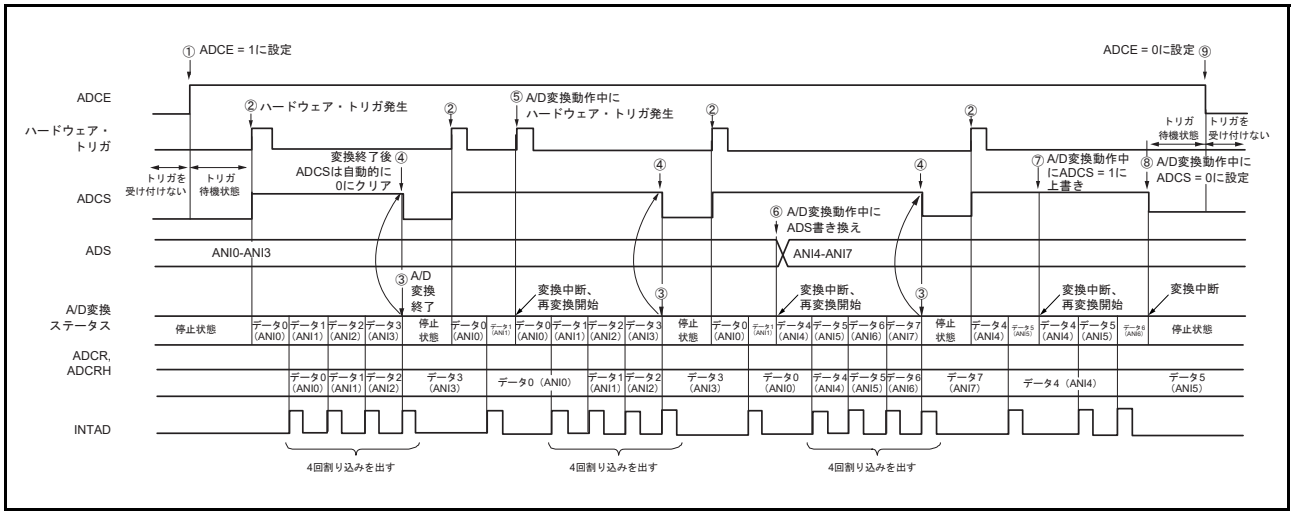
⑦ 変換動作中に ADCS ビットに 1 を上書きすると、現在の A/D 変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。

★ ⑧ 変換動作中に ADCS ビットに 0 を設定すると、現在の A/D 変換は中断され、ハードウェア・トリガ待機状態となります。

★ ⑨ ハードウェア・トリガ待機状態中に ADCE ビットに 0 を設定すると、A/D 変換停止状態になります。ADCE ビットが 0 のとき、ハードウェア・トリガが入力されても無視され、A/D 変換は開始しません。

図12 - 29 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）動作タイミング例

★

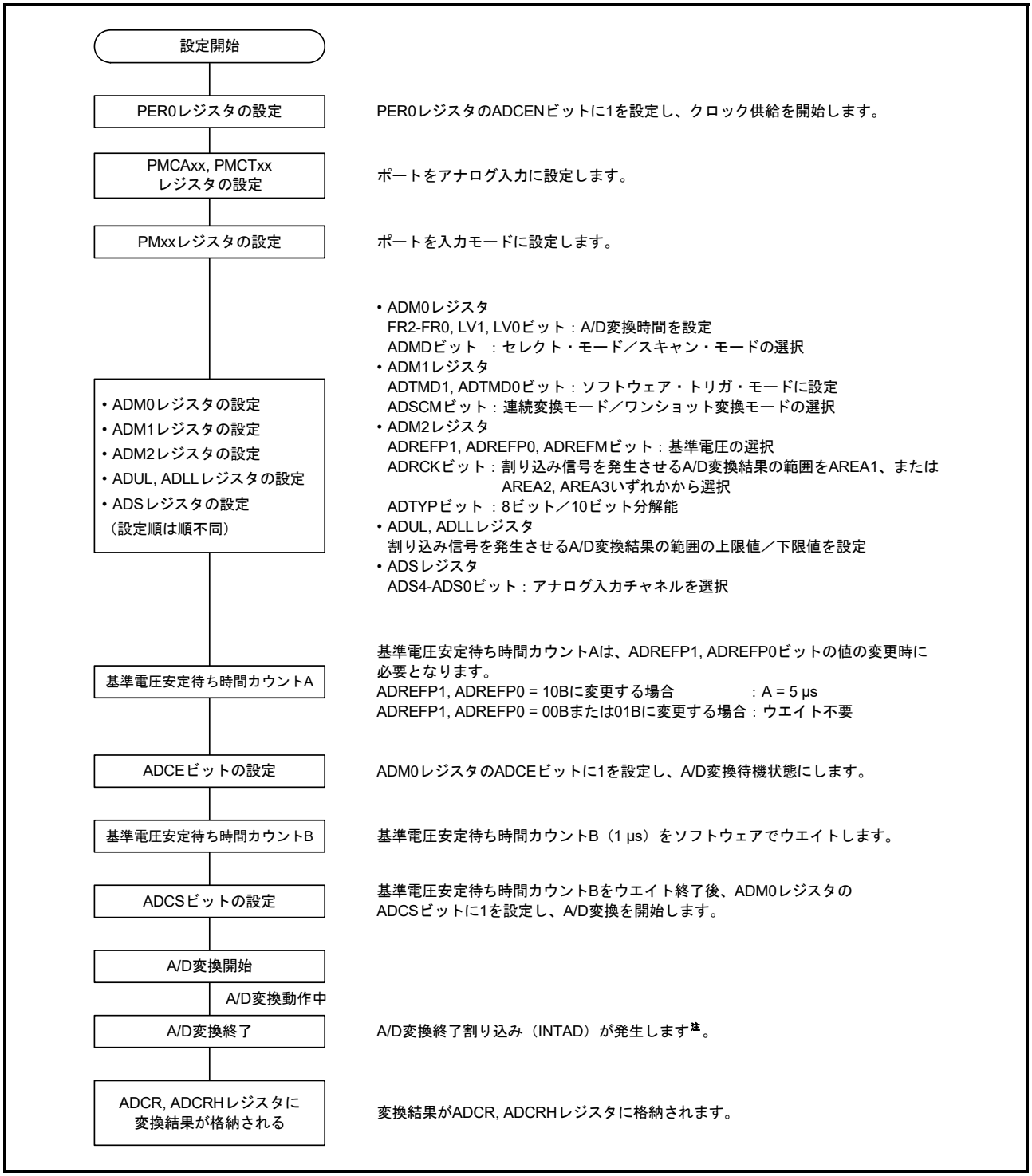


12.7 A/Dコンバータの設定フロー・チャート

各動作モード時の A/D コンバータの設定フロー・チャートを次に示します。

12.7.1 ソフトウェア・トリガ・モード時の設定

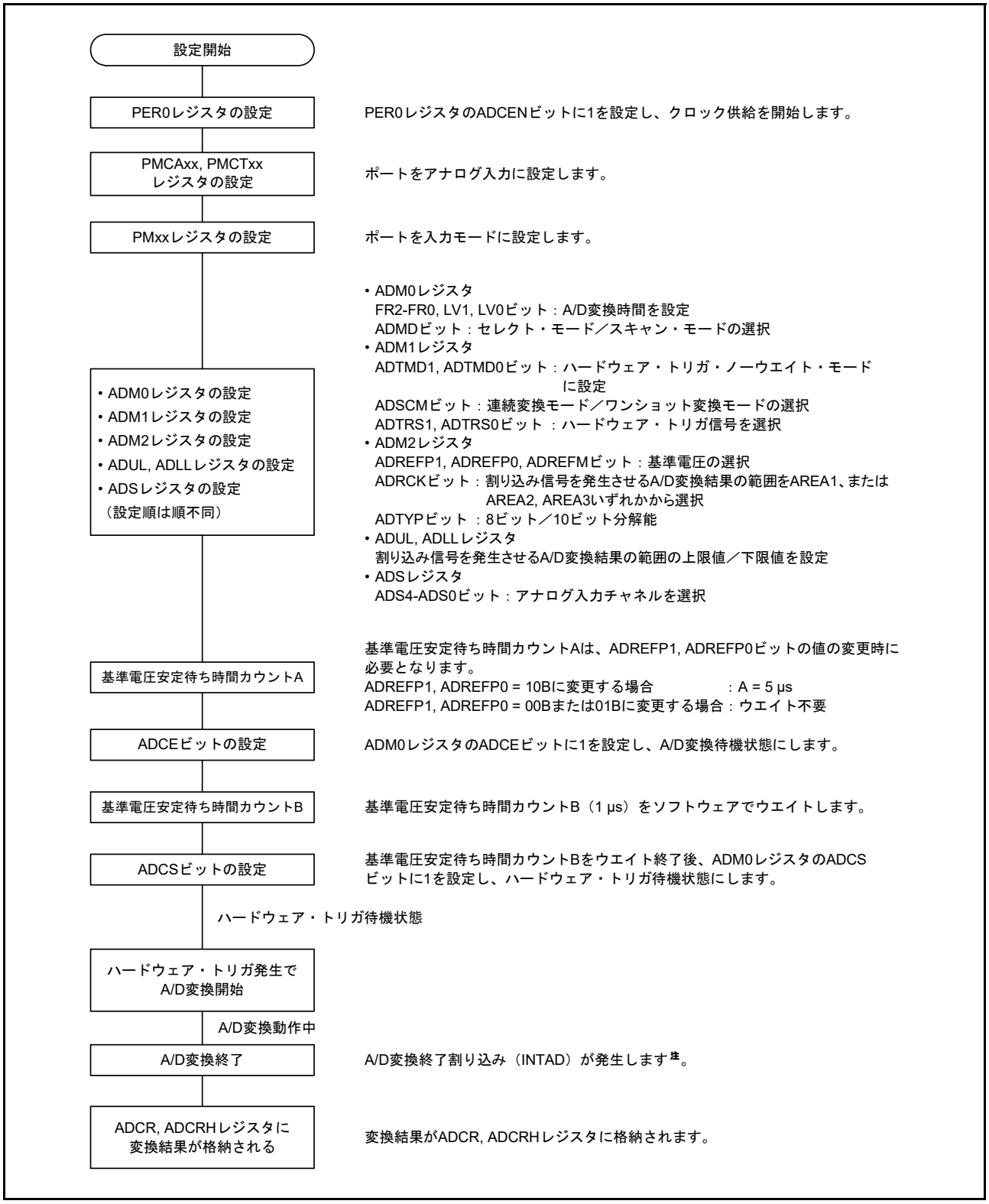
図12 - 30 ソフトウェア・トリガ・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.2 ハードウェア・トリガ・ノーウエイト・モード時の設定

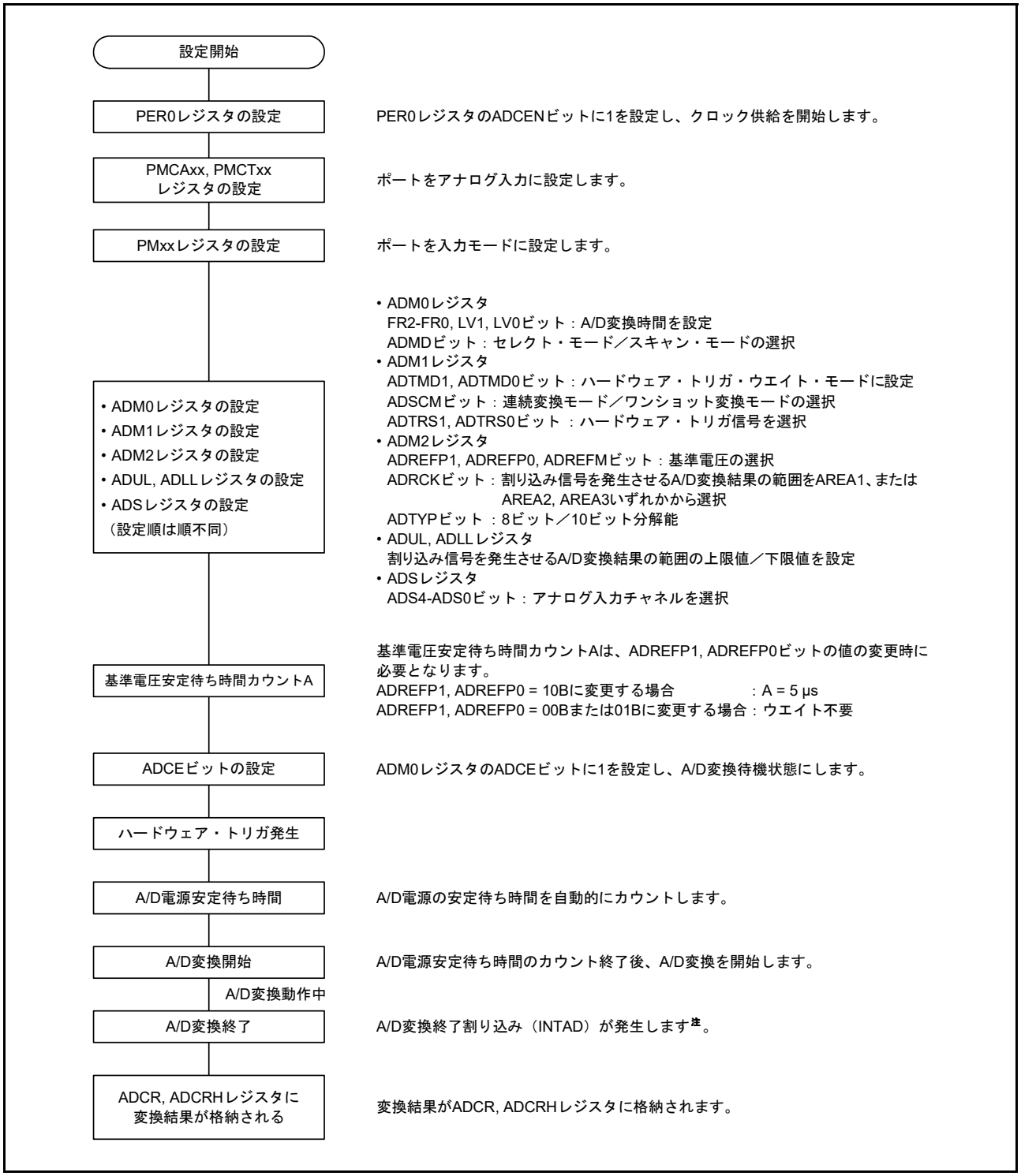
図12 - 31 ハードウェア・トリガ・ノーウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.3 ハードウェア・トリガ・ウエイト・モード時の設定

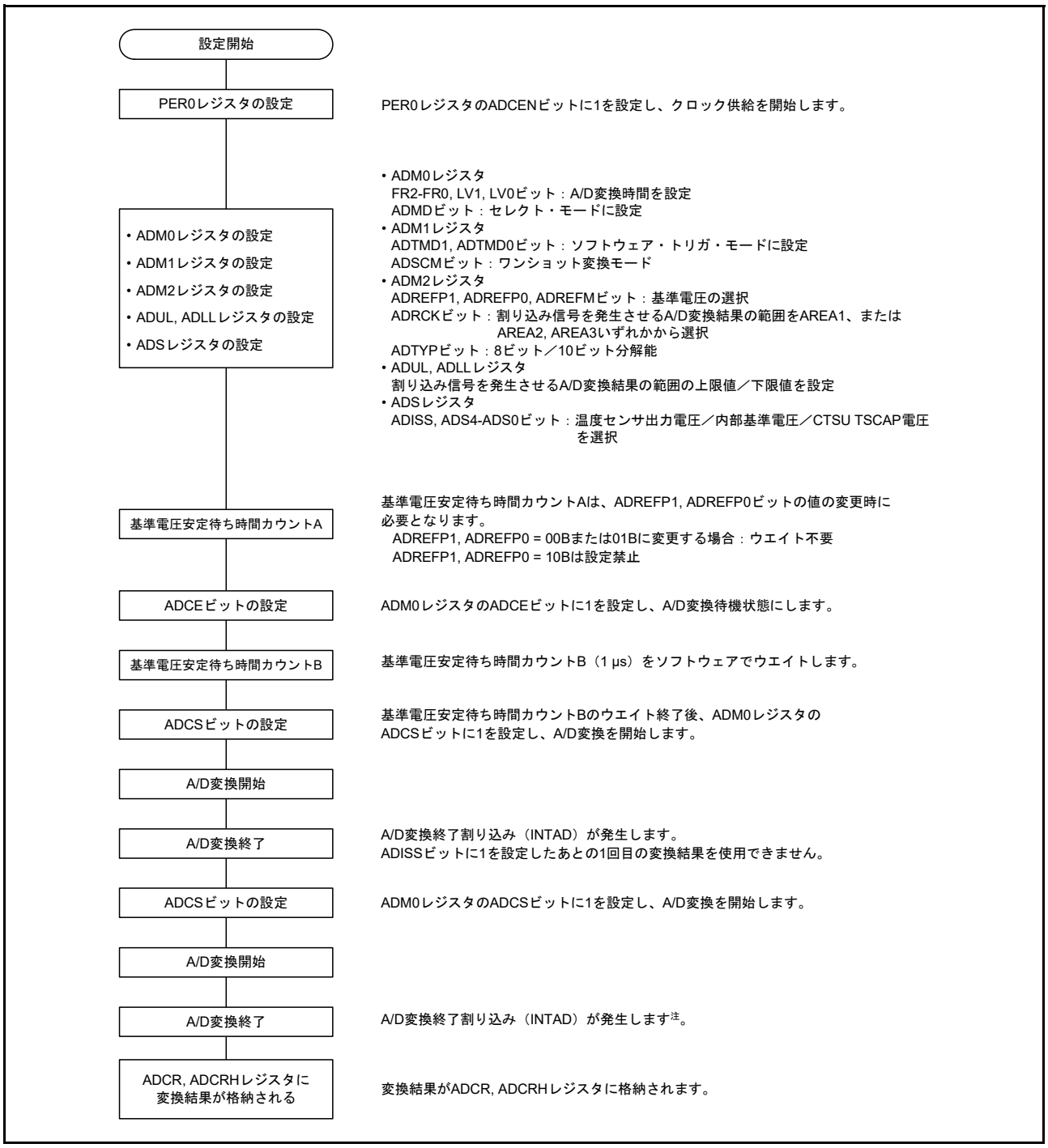
図12 - 32 ハードウェア・トリガ・ウエイト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.4　温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定（例　ソフトウェア・トリガ・モード、ワンショット変換モード時）

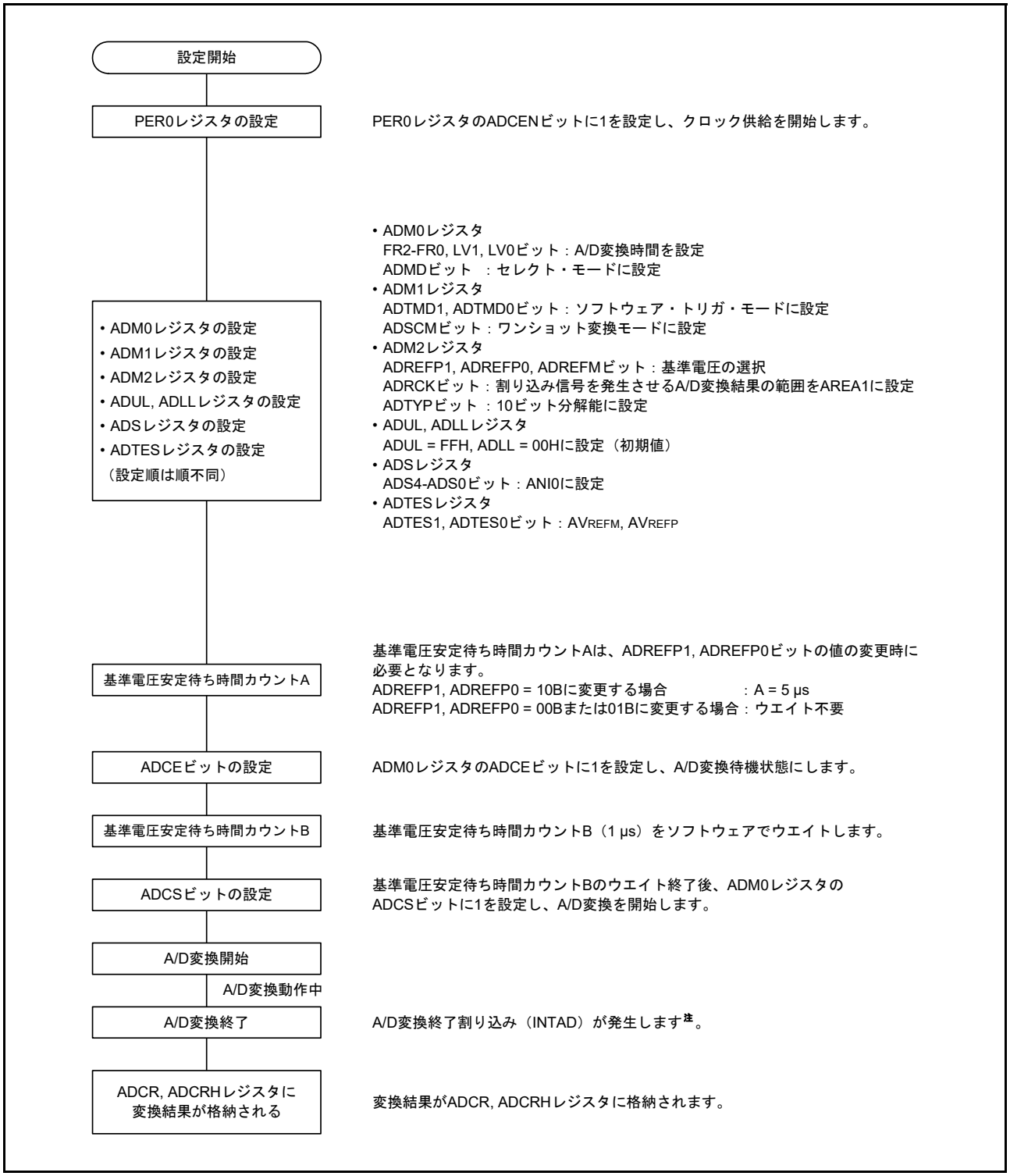
図12 - 33　温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定



注　ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

12.7.5 テスト・モード時の設定

図12 - 34 テスト・モード時の設定



注 ADRCKビット、ADUL, ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、24.3.10 A/Dテスト機能を参照してください。

12.8 SNOOZEモード機能

STOP モード時にハードウェア・トリガの入力により A/D 変換動作をさせるモードです。通常 STOP モード時に A/D 変換動作は停止しますが、SNOOZE モード機能を使用することで、CPU を動作させずに A/D 変換動作を行うことができます。動作電流を低減させたい場合に有効です。

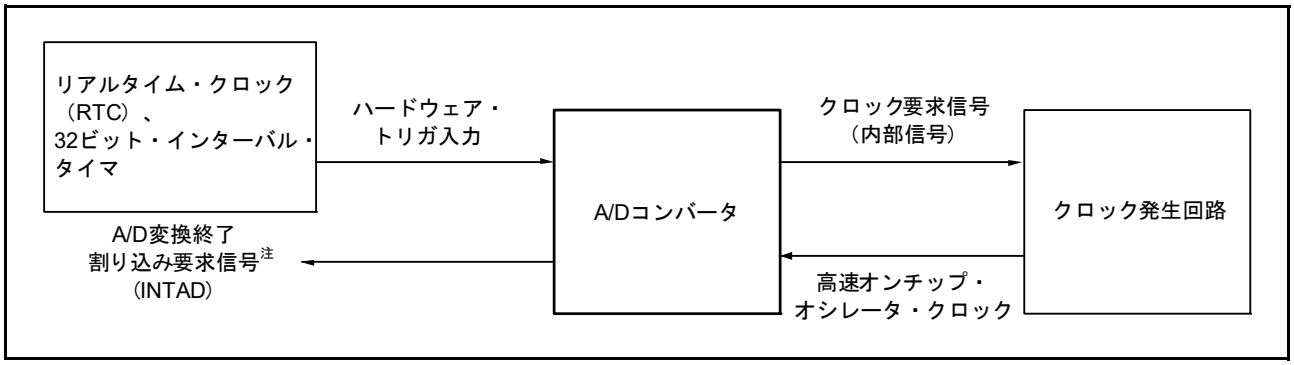
SNOOZE モードでは、次の 2 つの変換モードのみ使用可能です。

- ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）
- ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）

ADUL, ADLL レジスタで変換結果の範囲を指定すれば、一定時間ごとに A/D 変換結果の判断ができます。これにより、電源電圧監視や A/D 入力による入力キーの判定などができます。

注意 SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図12 - 35 SNOOZEモード機能時のブロック図



SNOOZE モード機能を使用する場合は、STOP モードに移行する前に各レジスタの初期設定を行います（**図 12 - 38 SNOOZE モード設定のフロー・チャート**参照）。STOP モードへ移行する直前に、A/D コンバータ・モード・レジスタ 2（ADM2）の AWC ビットに 1 を設定します。初期設定完了後、A/D コンバータ・モード・レジスタ 0（ADM0）の ADCE ビットに 1 を設定します。

STOP モードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックが A/D コンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D 電源安定待ち時間が自動的にカウントされ、A/D 変換が開始します。

A/D 変換終了後の SNOOZE モードの動作は、割り込み信号発生の有無によって異なります注。

注 A/D変換結果比較機能の設定（ADM2.ADRCKビット、ADUL, ADLL レジスタ）により、割り込み信号が発生しない場合があります。

注意 ハードウェア・トリガ信号は、リアルタイム・クロック割り込み信号（INTRTC）、32ビット・インターバル・タイマのコンペア一致によるトリガ信号（ADITL0）から選択してください。

(1)　A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット、ADUL, ADLLレジスタで設定）で設定した値の範囲内の場合、A/D変換終了割り込み要求信号（INTAD）は発生します。

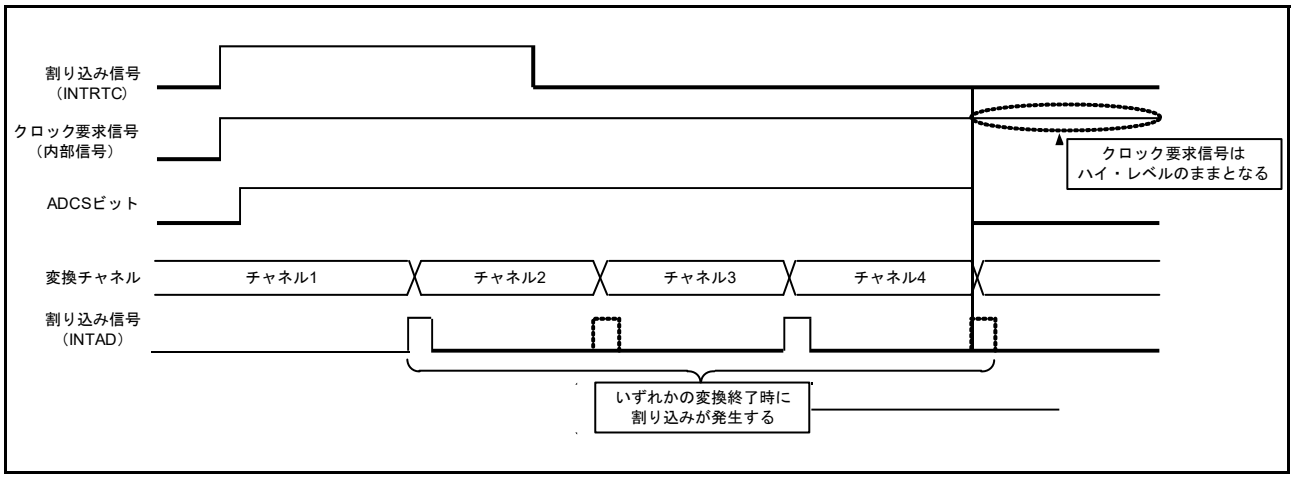
- セレクト・モード時

  A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを必ず0にしてください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

- スキャン・モード時

  4チャネル分のA/D変換結果の値が1回でもA/D変換結果比較機能で設定した範囲内となり、A/D変換終了割り込み要求信号（INTAD）が発生した場合、A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで、A/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを必ず0にしてください。AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

図12 - 36　A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット、ADUL, ADLLレジスタで設定）で設定した値の範囲外の場合、A/D変換終了割り込み要求信号（INTAD）は発生しません。

- セレクト・モード時

  A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合、A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

  4チャネル分のA/D変換結果の値が1回もA/D変換結果比較機能で設定した範囲内とならず、A/D変換終了割り込み要求信号（INTAD）も発生しなかった場合、4チャネル分のA/D変換が終了したあとにクロック要求信号（内部信号）は自動的にロウ・レベルとなり、高速オンチップ・オシレータ・クロックの供給は停止されます。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換作業を行います。

図12 - 37　A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

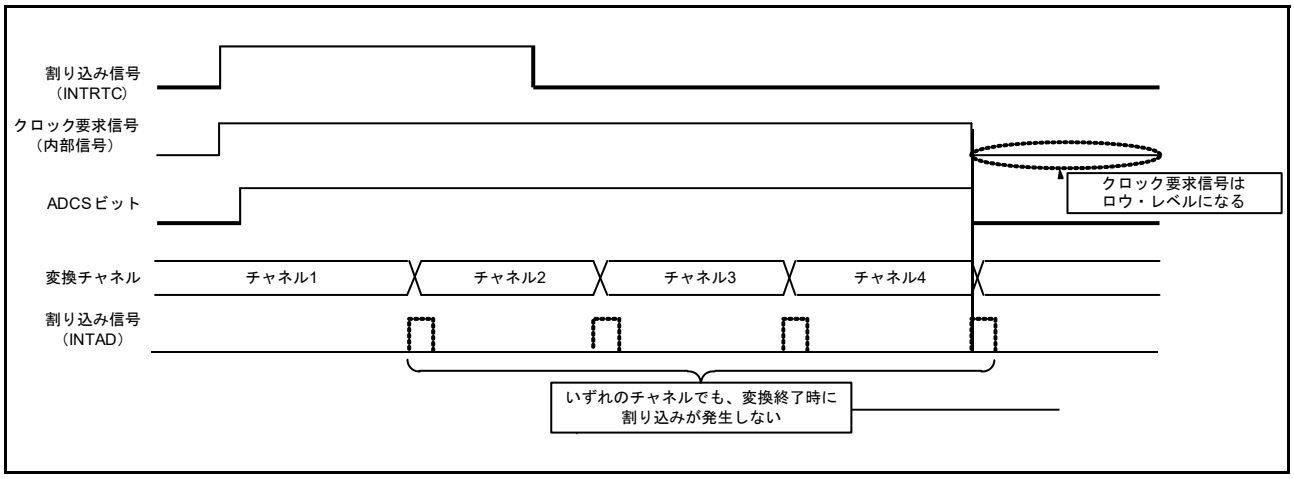
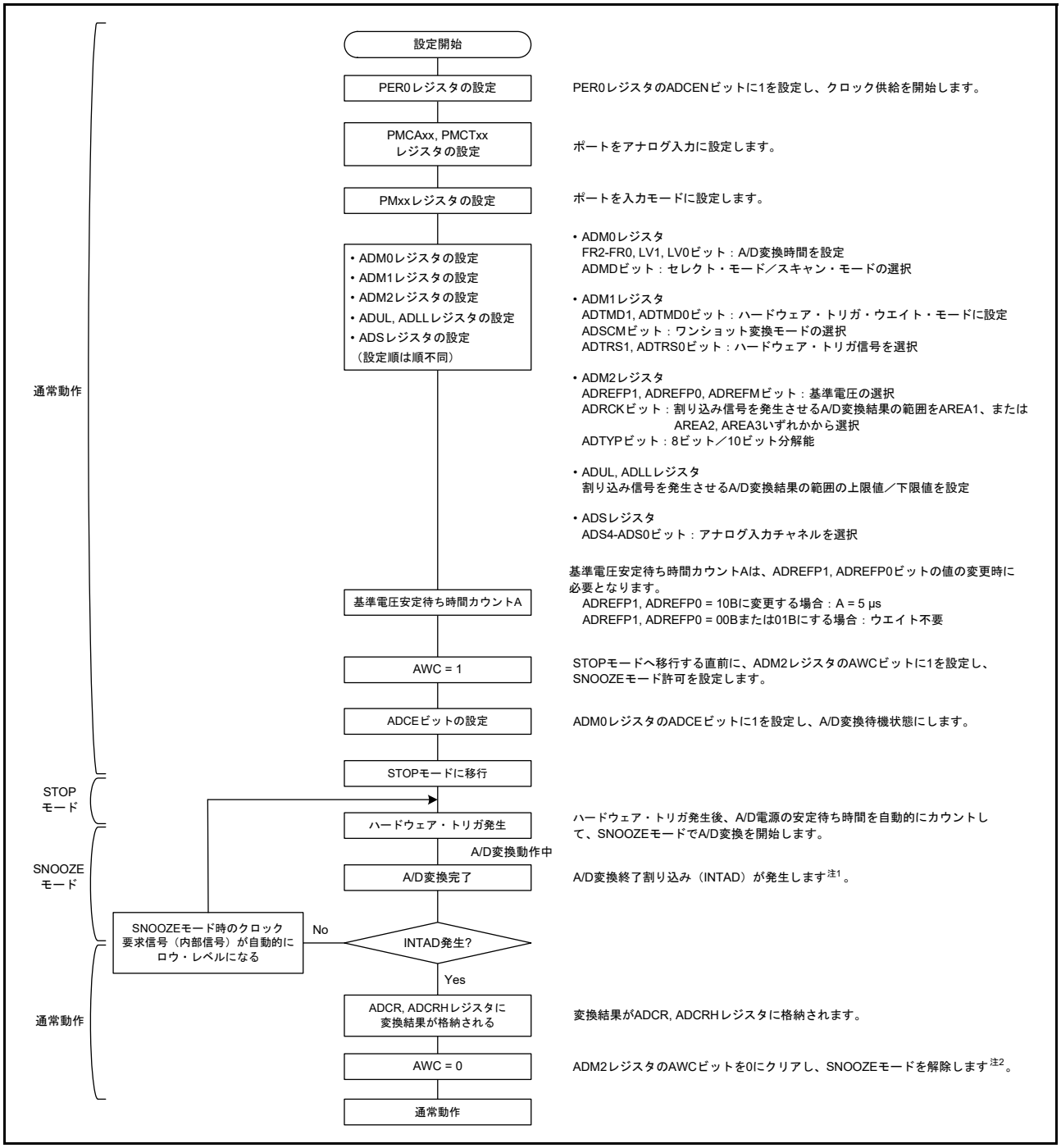


図12 - 38 SNOOZEモード設定のフロー・チャート



注1. ADRCKビット、ADUL, ADLLレジスタの設定により、A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

12.9 A/Dコンバータ特性表の読み方

A/D コンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

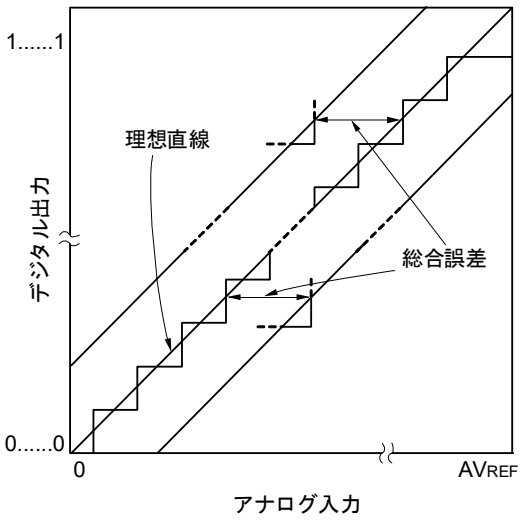
$$1\ \mathrm{LSB} = 1/2^{10} = 1/1024$$
$$\fallingdotseq 0.098\ \%\mathrm{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。
ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。
なお、特性表の総合誤差には量子化誤差は含まれていません。

図12 - 39 総合誤差

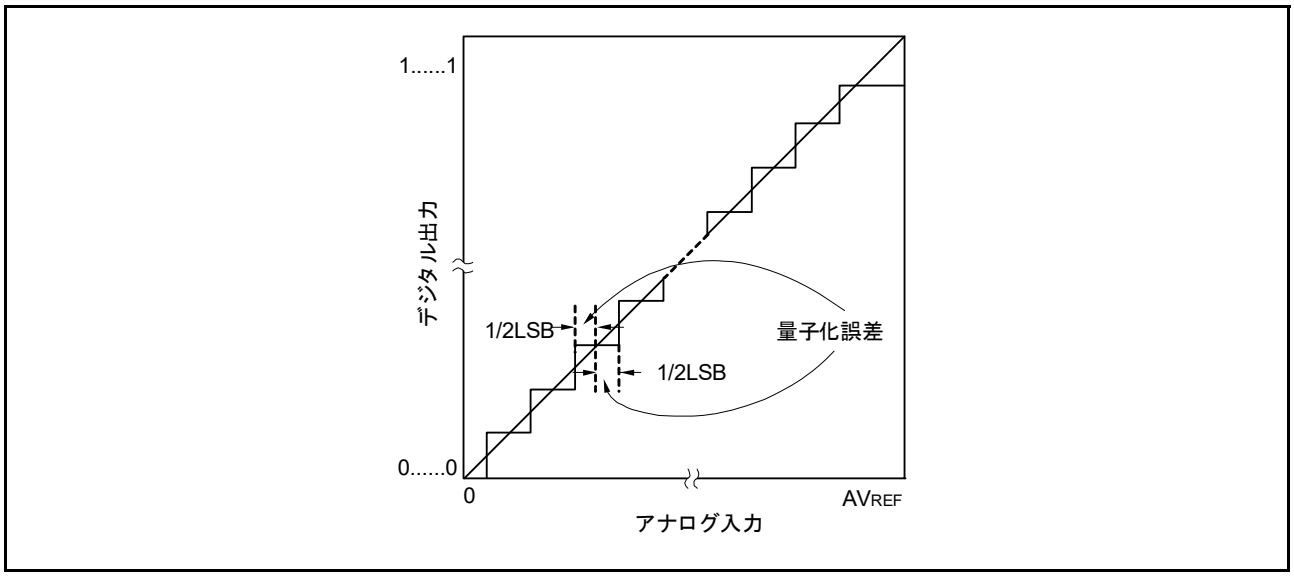


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは、±1/2 LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

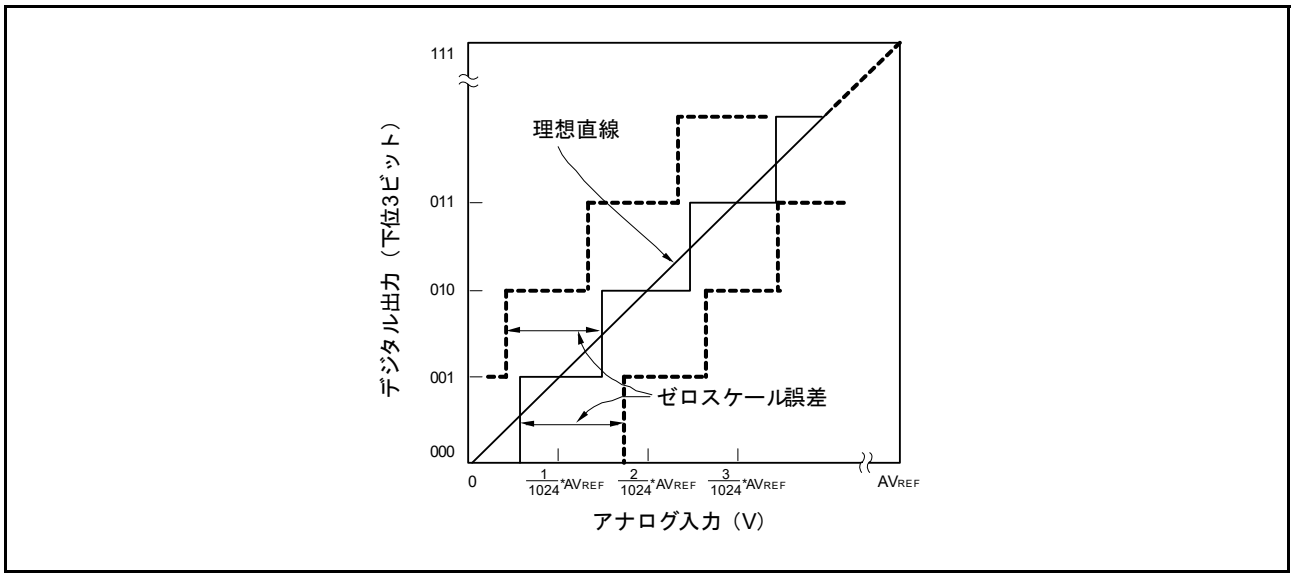
図12 - 40 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

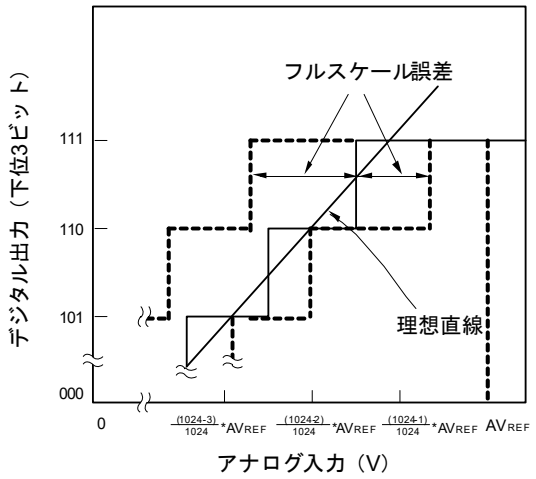
図12 - 41 ゼロスケール誤差



(5)　フルスケール誤差

デジタル出力が1……110から1……111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

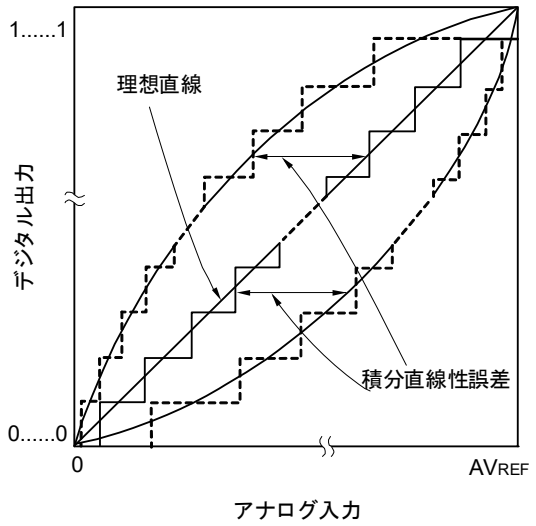
図12 - 42　フルスケール誤差



(6)　積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

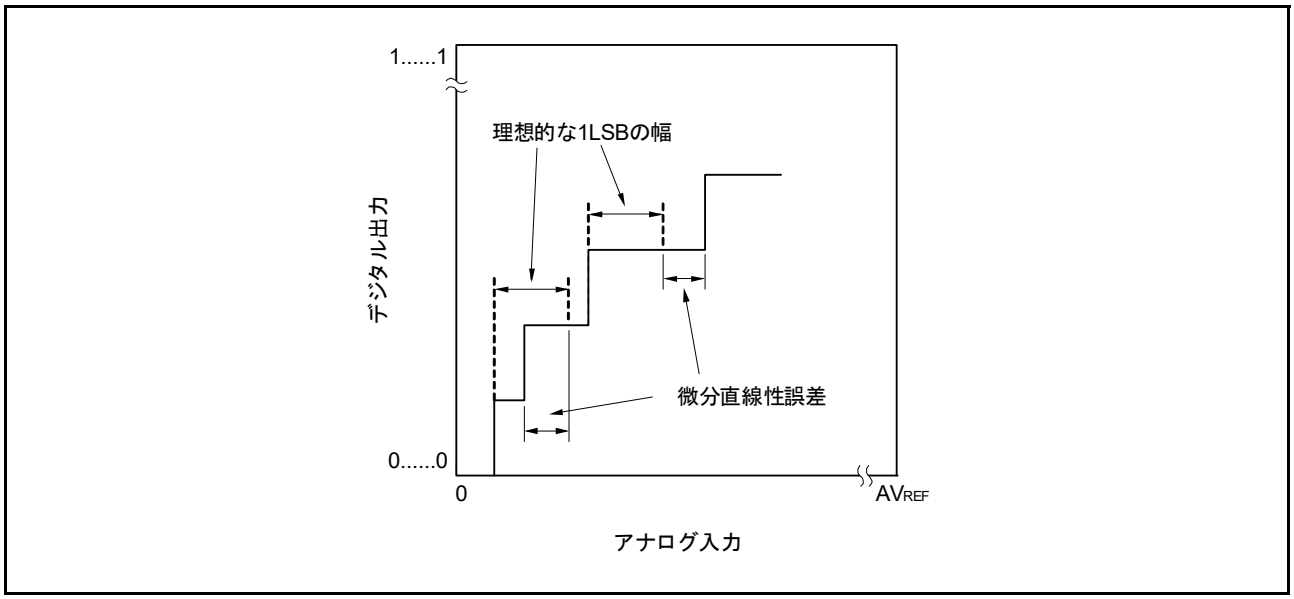
図12 - 43　積分直線性誤差



(7)　微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12 - 44　微分直線性誤差



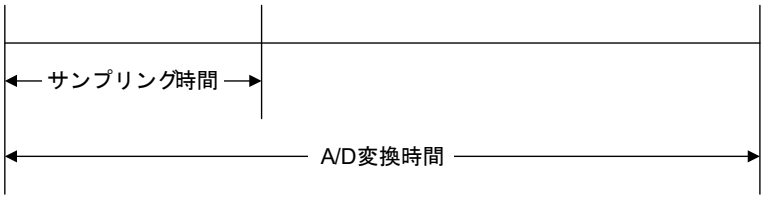
(8)　変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9)　サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.10 A/Dコンバータ使用時の注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のADCSビットに0を設定）させてから移行してください。このときADM0レジスタのADCEビットも0に設定することにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H（IF1H）のADIFビットを0にクリアしてから、動作を開始してください。

(2) ANI0-ANI7, ANI16-ANI19端子入力範囲について

ANI0-ANI7, ANI16-ANI19端子入力電圧は規格の範囲内でご使用ください。特にVDD, AVREFPを超える電圧、VSS, AVREFM未満（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャネルの変化値が不定となります。また、ほかのチャネルの変化値にも影響を与えることがあります。

内部基準電圧をA/Dコンバータの＋側の基準電圧に選択した場合は、ADSレジスタで選択されている端子には内部基準電圧を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内部基準電圧を超える電圧になっていても問題ありません。

注意　内部基準電圧値は、第34章　電気的特性を参照してください。

(3) 競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）への書き込みと、命令によるADCR, ADCRHレジスタの読み出しとの競合

ADCR, ADCRHレジスタの読み出しが優先されます。読み出したあと、新しい変換結果がADCR, ADCRHレジスタに書き込まれます。

② 変換終了時のADCR, ADCRHレジスタへの変換結果格納と、命令によるA/Dコンバータ・モード・レジスタ0（ADM0）への書き込みおよびアナログ入力チャネル指定レジスタ（ADS）への書き込みの競合

ADM0, ADSレジスタへの書き込みが優先されます。ADCR, ADCRHレジスタへの書き込みはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AVREFP, VDD, ANI0-ANI7, ANI16-ANI19端子へのノイズに注意する必要があります。

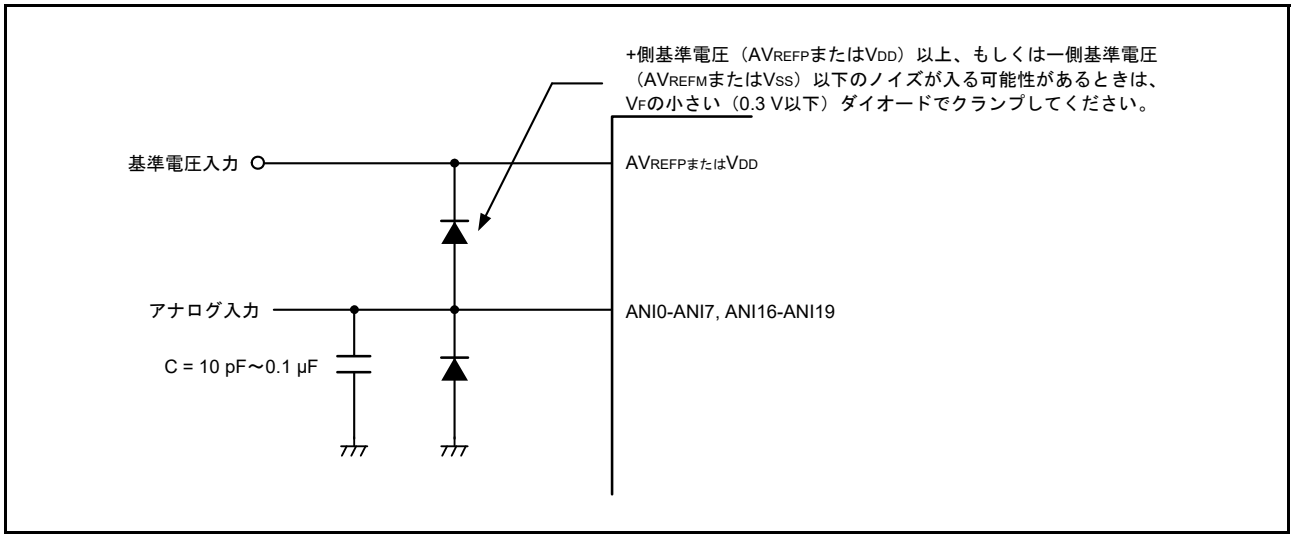
① VDD, AVREFP端子には等価抵抗が小さく、周波数応答のよいコンデンサを（0.01 μF程度）を最短距離かつ、比較的太い配線を使って接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために**図12 - 45**のようにコンデンサを外付けすることを推奨します。

③ 変換中は、ほかの端子をスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図12 - 45 VDD、AVREFP、アナログ入力端子の処理



(5) アナログ入力（ANIxx）端子

① アナログ入力（ANI0-ANI7, ANI16-ANI19）端子は入力ポート（P00, P01, P20-P27, P120, P147）端子と兼用になっています。ANI0-ANI7, ANI16-ANI19端子のいずれかを選択してA/D変換をする場合、変換中にP00, P01, P20-P27, P120, P147に対して出力値を変更しないでください。変換精度が低下することがあります。

② A/D変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによってA/D変換値が期待値と異なることがあります。A/D変換中は、デジタル信号のように急激に変化するパルスが入出力されないようにしてください。

(6) アナログ入力（ANIxx）端子の入力インピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1 kΩ以下にしてください。出力インピーダンスが1 kΩ以下にできないときはサンプリング時間を長く設定するかANI0-ANI7, ANI16-ANI19端子に0.1 μF程度のコンデンサを付けることを推奨します（**図12 - 45**参照）。また、変換動作中にADCSビットに0を設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

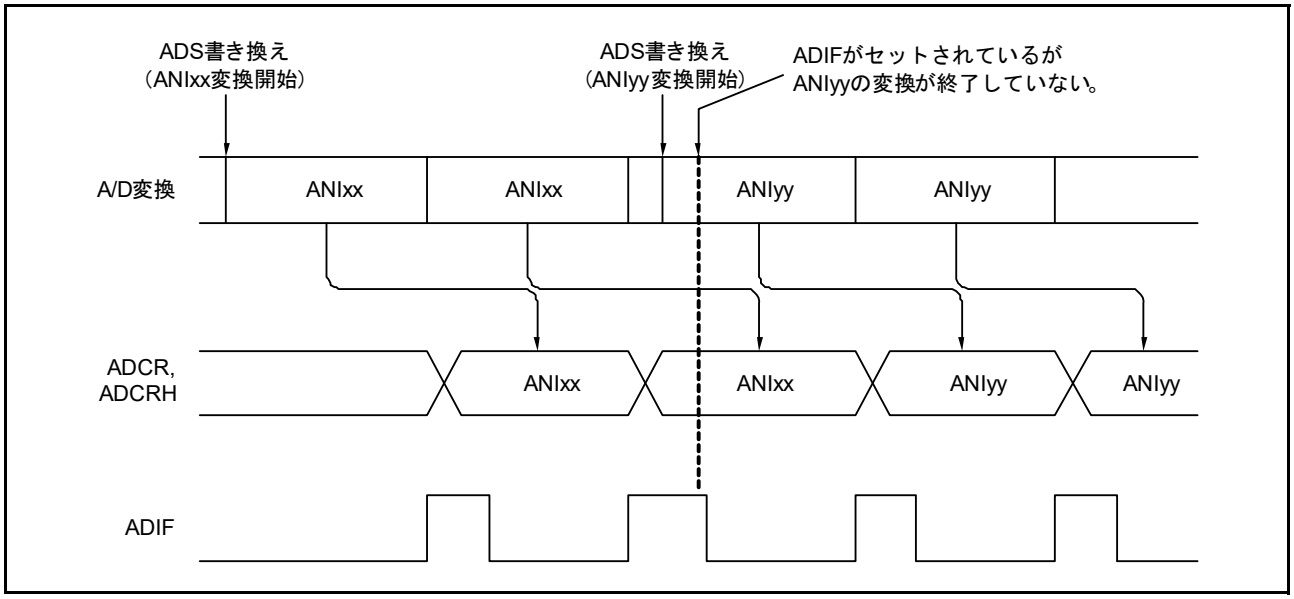
(7) 割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）は0にクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグを0にクリアしてください。

図12 - 46 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウエイト・モードでADCEビットに1を設定してから、1 μs以内にADCSビットに1を設定した場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号（INTAD）をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0）、アナログ入力チャネル指定レジスタ（ADS）、ポート・モード・コントロール・レジスタ（PMCAxx, PMCTxx）に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, PMCAxx, PMCTxxレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 47　ANIxx端子内部等価回路

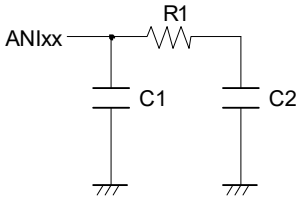


表12 - 4　等価回路の各抵抗と容量値（参考値）

AVREFP, VDD	ANIxx端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦VDD≦5.5 V	ANI0-ANI7	14	8	2.5
	ANI16-ANI19	18	8	7
2.7 V≦VDD≦3.6 V	ANI0-ANI7	39	8	2.5
	ANI16-ANI19	53	8	7
1.8 V≦VDD≦2.7 V	ANI0-ANI7	231	8	2.5
	ANI16-ANI19	321	8	7
1.6 V≦VDD＜2.7 V	ANI0-ANI7	632	8	2.5
	ANI16-ANI19	902	8	7

備考　各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

第13章　シリアル・アレイ・ユニット（SAU）

シリアル・アレイ・ユニットは、製品によって 1 つまたは 2 つのユニットを搭載しています。

SAU0 は、最大 4 つのシリアル・チャネル、SAU1 は、2 つのシリアル・チャネルを持ちます。各チャネルは 3 線シリアル（簡易 SPI/CSI 注）、UART、簡易 I²C の通信機能を実現できます。

本製品で対応している各チャネルの機能割り当ては、次のようになっています。

注　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

16ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	–	–
	3	–		IIC11

20～25ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11

30, 32ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	–		–

36～44ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

ユニット0のチャネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャネル3のCSI11やUART1やIIC11は使用することができます。

注意　本章では、以降の主な説明を48ピン製品のユニット、チャネル構成で説明しています。

13.1　シリアル・アレイ・ユニットの機能

本製品で対応している各シリアル・インタフェースの特徴を示します。

13.1.1　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信、受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、**13.5　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）通信の動作**を参照してください。

［データ送受信］

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSBファーストの選択

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注　マスタ通信時　：Max. f_{CLK}/2（CSI00のみ）
  Max. f_{CLK}/4
  スレーブ通信時　：Max. f_{MCK}/6

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

また、簡易SPI（CSI00）は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は、**第34章　電気的特性**を参照してください。

13.1.2　UART（UART0-UART2）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の２本のラインによる、調歩同期式通信機能です。この２本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる１データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の２チャネルを使用することで、全二重 UART 通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み（INTP0）を組み合わせて LIN-bus にも対応可能です。

具体的な設定例は、**13.6　UART（UART0-UART2）通信の動作**を参照してください。

［データ送受信］

- 7, 8, 9ビットのデータ長注
- MSB/LSBファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0 の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

UART2（ユニット１のチャネル 0, 1）は、LIN-bus に対応しています（30 ～ 48 ピン製品のみ）。

［LIN-bus 機能］

- ウェイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定、ボー・レート算出

} 外部割り込み（INTP0）、タイマ・アレイ・ユニットを使用

注　9ビット・データ長は、以下のUARTのみ対応しています。

- 16～48ピン製品 ：UART0

13.1.3　簡易I²C（IIC00, IIC01, IIC11, IIC20, IIC21）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、**13.8　簡易I²C（IIC00, IIC01, IIC11, IIC20, IIC21）通信の動作**を参照してください。

［データ送受信］

- マスタ送信、マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能注、ACK検出機能
- 8ビットのデータ長（アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御）
- スタート・コンディション、ストップ・コンディション手動発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- ACKエラー、オーバラン・エラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信、スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注　最終データの受信時は、SOEmn（シリアル出力許可レジスタm（SOEm））ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**13.8.3 (2)　処理フロー**を参照してください。

備考1. フル機能のI²Cバスをご使用の場合は、**第14章　シリアル・インタフェースIICA（IICA）**を参照してください。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）

13.2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表13 - 1　　シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット注1
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の下位8ビットまたは9ビット注1, 2
シリアル・クロック入出力	SCK00, SCK01, SCK11, SCK20, SCK21端子（簡易SPI用）、 SCL00, SCL01, SCL11, SCL20, SCL21端子（簡易I²C用）
シリアル・データ入力	SI00, SI01, SI11, SI20, SI21端子（簡易SPI用）、 RxD0, RxD1端子（UART用）、RxD2端子（LIN-bus対応UART用）
シリアル・データ出力	SO00, SO01, SO11, SO20, SO21端子（簡易SPI用）、 TxD0, TxD1端子（UART用）、TxD2端子（LIN-bus対応UART用）
シリアル・データ入出力	SDA00, SDA01, SDA11, SDA20, SDA21端子（簡易I²C用）
制御レジスタ	＜ユニット設定部のレジスタ＞ • 周辺イネーブル・レジスタ0（PER0） • 周辺リセット制御レジスタ0（PRR0） • シリアル・クロック選択レジスタm（SPSm） • シリアル・チャネル許可ステータス・レジスタm（SEm） • シリアル・チャネル開始レジスタm（SSm） • シリアル・チャネル停止レジスタm（STm） • シリアル出力許可レジスタm（SOEm） • シリアル出力レジスタm（SOm） • シリアル出力レベル・レジスタm（SOLm） • シリアル・スタンバイ・コントロール・レジスタ0（SSC0） • 入力切り替え制御レジスタ（ISC） • ノイズ・フィルタ許可レジスタ0（NFEN0）
	＜各チャネル部のレジスタ＞ • シリアル・データ・レジスタmn（SDRmn） • シリアル・モード・レジスタmn（SMRmn） • シリアル通信動作設定レジスタmn（SCRmn） • シリアル・ステータス・レジスタmn（SSRmn） • シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	• ポート入力モード・レジスタ（PIMxx） • ポート出力モード・レジスタ（POMxx） • ポート・モード・コントロールA・レジスタ（PMCAxx） • ポート・モード・コントロールT・レジスタ（PMCTxx） • ポート・モード・レジスタ（PMxx） • ポート・レジスタ（Pxx） • ポート・ファンクション出力許可レジスタ1（PFOE1） • UARTループバック選択レジスタ（ULBS）

（注、備考は次ページに続きます）

注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャネルによって異なります。

- 16～48ピン製品でmn = 00, 01の場合 ：下位9ビット
- 上記以外の場合 ：下位8ビット

注2. シリアル・データ・レジスタmn（SDRmn）の下位8ビットは、通信方式により、次のSFR名称で読み出し／書き込み可能です。

- CSIp通信時 ：SIOp（CSIpデータ・レジスタ）
- UARTq受信時：RXDq（UARTq受信データ・レジスタ）
- UARTq送信時：TXDq（UARTq送信データ・レジスタ）
- IICr通信時 ：SIOr（IICrデータ・レジスタ）

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 11, 20, 21）、q：UART番号（q = 0-2）、r：IIC番号（r = 00, 01, 11, 20, 21）

図 13 - 1 に**シリアル・アレイ・ユニット 0 のブロック図**を示します。

★ 図13 - 1　　シリアル・アレイ・ユニット0のブロック図

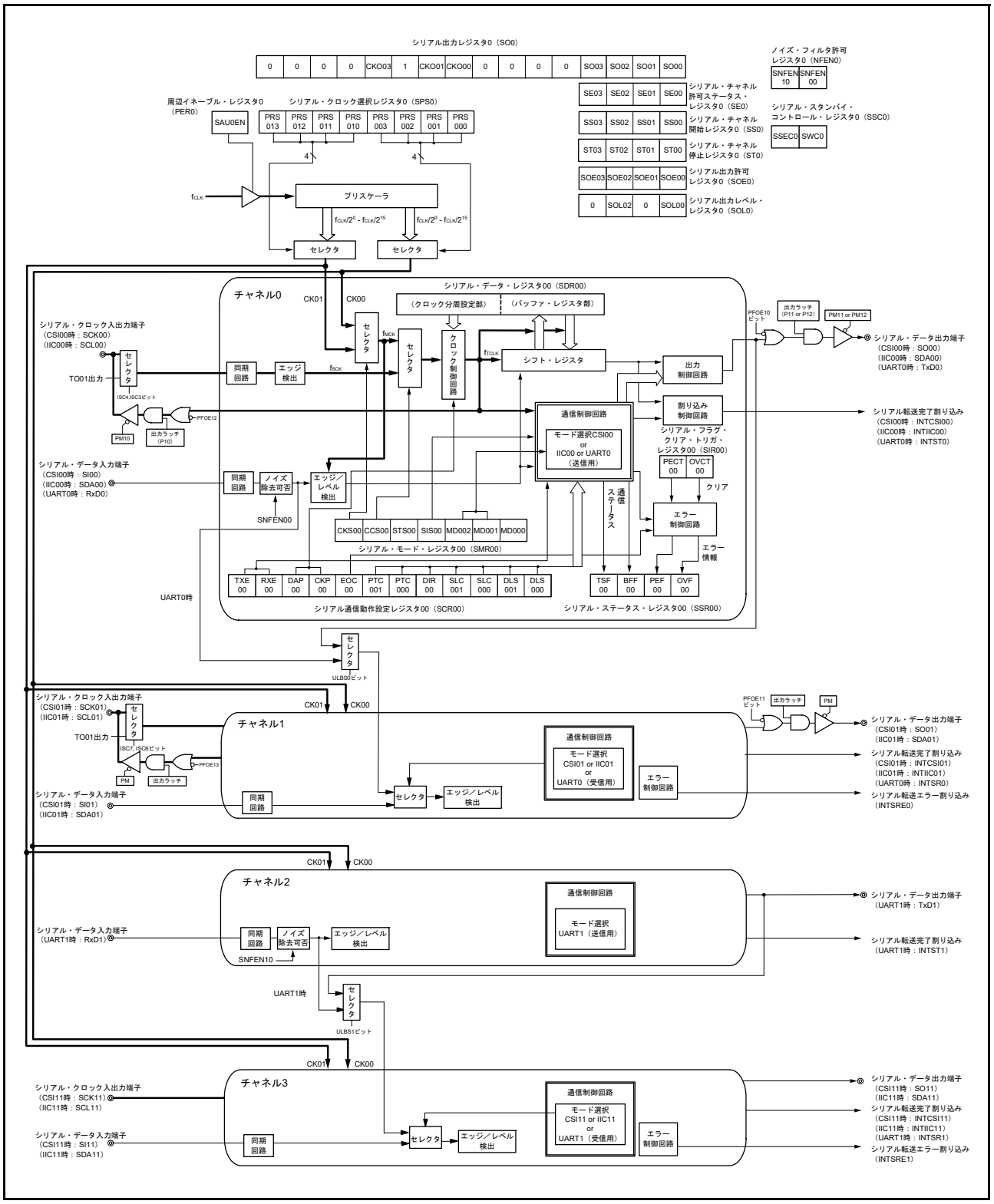
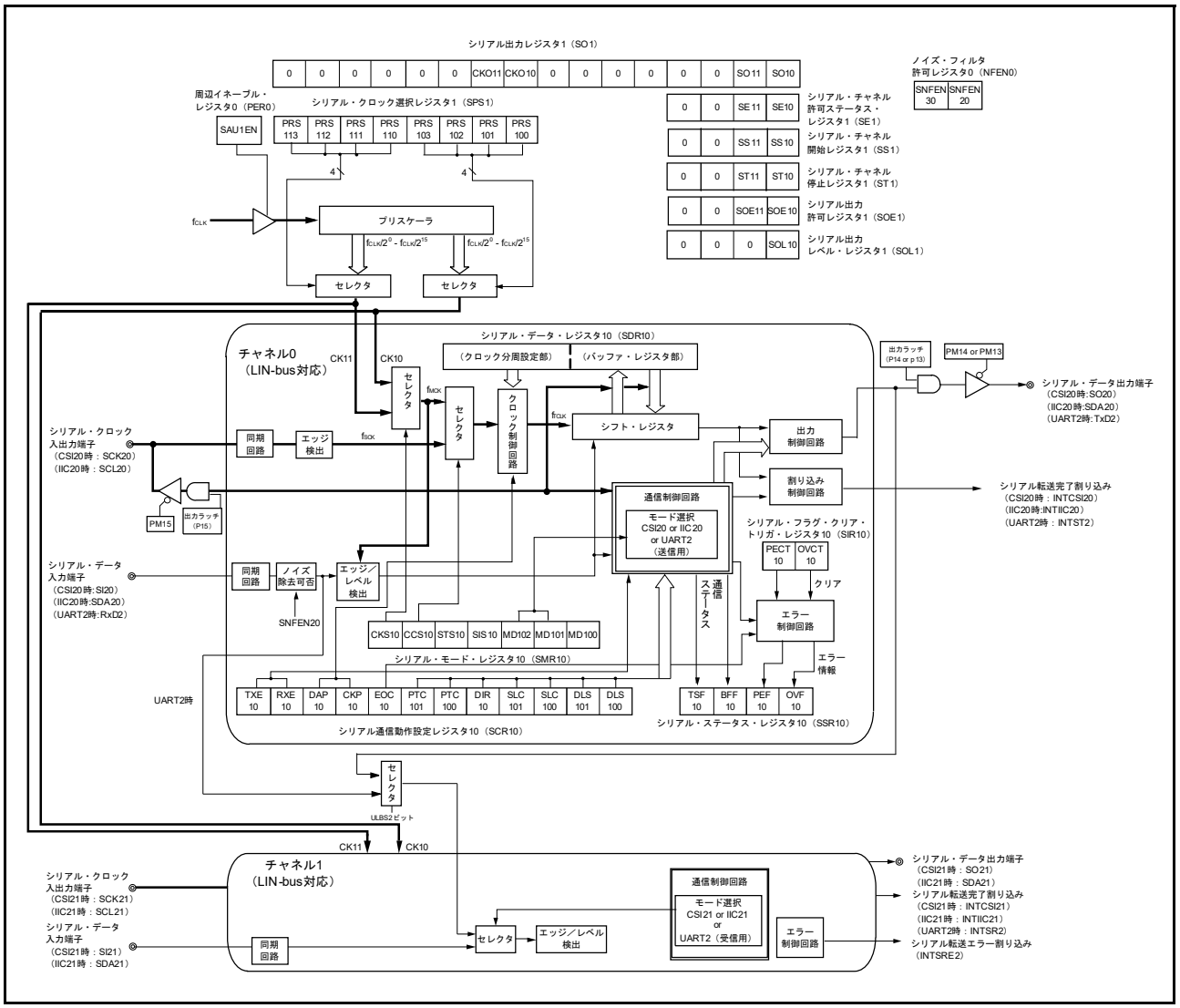


図 13 - 2 に**シリアル・アレイ・ユニット 1 のブロック図**を示します。

図13 - 2　　シリアル・アレイ・ユニット1のブロック図



13.2.1　シフト・レジスタ

パラレル⇔シリアルの変換を行う 9 ビットのレジスタです。

9 ビット・データ長での UART 通信時は、9 ビット（ビット 8-0）を使用します注。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータを読み出し／書き込みするには、シリアル・データ・レジスタ mn（SDRmn）の下位 8/9 ビットを使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

注　9ビット・データ長は、UART0のみ対応しています。

13.2.2　シリアル・データ・レジスタ mn（SDRmn）の下位8/9ビット

SDRmn レジスタは、チャネル n の送受信データ・レジスタ（16 ビット）です。

ビット 8-0（下位 9 ビット）注1、またはビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9 の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

下位 8/9 ビットに格納するデータは、データ出力順序にかかわらず、シリアル通信動作設定レジスタ mn（SCRmn）のビット 0, 1（DLSmn0, DLSmn1）の設定によって、次のようになります。

- 7ビット・データ長（SDRmn レジスタのビット0-6に格納）
- 8ビット・データ長（SDRmn レジスタのビット0-7に格納）
- 9ビット・データ長（SDRmn レジスタのビット0-8に格納）注1

SDRmn レジスタは 16 ビット単位で読み出し／書き込み可能です。

また SDRmn レジスタの下位 8/9 ビットは、通信方式により、次の SFR 名称で 8 ビット単位で読み出し／書き込み可能注2 です。

- CSIp通信時　：SIOp（CSIp データ・レジスタ）
- UARTq受信時：RXDq（UARTq 受信データ・レジスタ）
- UARTq送信時：TXDq（UARTq 送信データ・レジスタ）
- IICr通信時　：SIOr（IICr データ・レジスタ）

リセット信号の発生により、0000H になります。

注1. 9ビット・データ長は、以下のUARTのみ対応しています。
- 16～48ピン製品 ：UART0

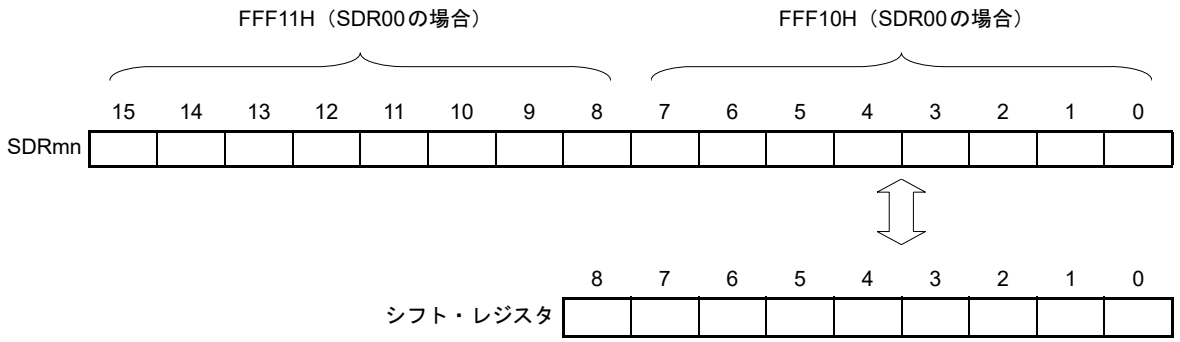
注2. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]ビットの書き換えは禁止です（SDRmn[15:9]がすべて0にクリアされます）。

備考1. 受信完了後、ビット0-8内でデータ長を超える部分のビットには、0が格納されます。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 11, 20, 21）、q：UART番号（q = 0-2）、r：IIC番号（r = 00, 01, 11, 20, 21）

図13 - 3　シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01）のフォーマット

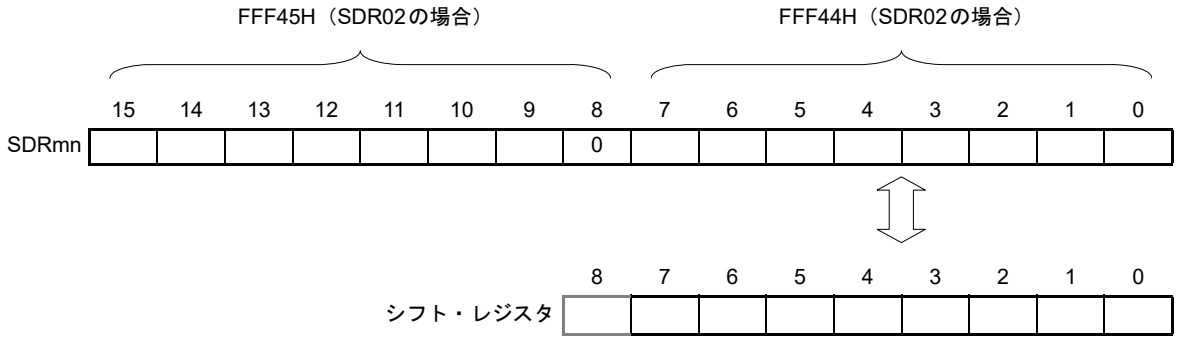
アドレス　：FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)
リセット時：0000H
R/W属性　：R/W



備考　SDRmnレジスタの上位7ビットの機能については、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

図13 - 4　シリアル・データ・レジスタmn（SDRmn）（mn = 02, 03, 10, 11）のフォーマット

アドレス　：FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03),
FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
リセット時：0000H
R/W属性　：R/W



注意　**ビット8には、必ず0を設定してください。**

備考　SDRmnレジスタの上位7ビットの機能については、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**を参照してください。

13.3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- シリアル・クロック選択レジスタm（SPSm）
- シリアル・モード・レジスタmn（SMRmn）
- シリアル通信動作設定レジスタmn（SCRmn）
- シリアル・データ・レジスタmn（SDRmn）
- シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
- シリアル・ステータス・レジスタmn（SSRmn）
- シリアル・チャネル開始レジスタm（SSm）
- シリアル・チャネル停止レジスタm（STm）
- シリアル・チャネル許可ステータス・レジスタm（SEm）
- シリアル出力許可レジスタm（SOEm）
- シリアル出力レジスタm（SOm）
- シリアル出力レベル・レジスタm（SOLm）
- シリアル・スタンバイ・コントロール・レジスタ0（SSC0）
- 入力切り替え制御レジスタ（ISC）
- ノイズ・フィルタ許可レジスタ0（NFEN0）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・ファンクション出力許可レジスタ1（PFOE1）
- UARTループバック選択レジスタ（ULBS）

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

13.3.1　周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を使用する場合は、必ず SAU0EN ビットに 1 を設定してください。シリアル・アレイ・ユニット 1 を使用する場合は、必ず SAU1EN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13 - 5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス　：F00F0H
リセット時：00H
R/W属性　：R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN注1	SAU1EN注2	SAU0EN	0	TAU0EN

SAUmEN	シリアル・アレイ・ユニットmの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・アレイ・ユニットmで使用するSFRへのライト不可注3
1	入力クロック供給 • シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注3.　リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1.　ビット6, 1には、必ず0を設定してください。

注意2.　次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

（注意、備考は次ページに続きます）

注意3. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態で、下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視されます（入力切り替え制御レジスタ（ISC）、ノイズ・フィルタ許可レジスタ0（NFEN0）、ポート入力モード・レジスタ（PIM0, PIM1, PIM7）、ポート出力モード・レジスタ（POM0, POM1, POM5, POM7）、ポート・モード・コントロールA・レジスタ（PMCA0）、ポート・モード・コントロールT・レジスタ（PMCT0, PMCT1, PMCT3, PMCT5, PMCT7）、ポート・モード・レジスタ（PM0, PM1, PM3, PM5, PM7）、ポート・レジスタ（P0, P1, P3, P5, P7）は除く）。

- ポート・ファンクション出力許可レジスタ1（PFOE1）
- シリアル・クロック選択レジスタm（SPSm）
- シリアル・モード・レジスタmn（SMRmn）
- シリアル通信動作設定レジスタmn（SCRmn）
- シリアル・データ・レジスタmn（SDRmn）
- シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
- シリアル・ステータス・レジスタmn（SSRmn）
- シリアル・チャネル開始レジスタm（SSm）
- シリアル・チャネル停止レジスタm（STm）
- シリアル・チャネル許可ステータス・レジスタm（SEm）
- シリアル出力許可レジスタm（SOEm）
- シリアル出力レジスタm（SOm）
- シリアル出力レベル・レジスタm（SOLm）
- シリアル・スタンバイ・コントロール・レジスタ0（SSC0）

備考　m：ユニット番号（m = 0, 1）

13.3.2　周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

シリアル・アレイ・ユニット 0 をリセットする場合は、SAU0RES ビットに 1 を設定してください。シリアル・アレイ・ユニット 1 をリセットする場合は、SAU1RES ビットに 1 を設定してください。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13 - 6　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注1	SAU1RES 注2	SAU0RES	0	TAU0RES

SAUmRES	シリアル・アレイ・ユニットmのリセット制御
0	シリアル・アレイ・ユニットmのリセット解除
1	シリアル・アレイ・ユニットmはリセット状態 • シリアル・アレイ・ユニットmで使用するSFRが初期化されます。

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

13.3.3　シリアル・クロック選択レジスタ m（SPSm）

SPSm レジスタは、各チャネルに共通して供給される 2 種類の動作クロック（CKm0, CKm1）を選択する 16 ビット・レジスタです。SPSm レジスタのビット 7-4 で CKm1 を、ビット 3-0 で CKm0 を選択します。

SPSm レジスタは、動作中（SEmn = 1 のとき）の書き換えは禁止です。

SPSm レジスタは、16 ビット・メモリ操作命令で設定します。また SPSm レジスタの下位 8 ビットは、SPSmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 7　シリアル・クロック選択レジスタ m（SPSm）のフォーマット

アドレス　：F0126H, F0127H (SPS0), F0166H, F0167H (SPS1)注
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SPSm	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
PRSm13	PRSm12	PRSm11	PRSm10	PRSm03	PRSm02	PRSm01	PRSm00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択注					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 32 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

（注、注意、備考は次ページに続きます）

注　シリアル・アレイ・ユニット（SAU）動作中にf_{CLK}で選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、SAUの動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

注意　**ビット15-8には、必ず0を設定してください。**

備考1. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考2. m：ユニット番号（m = 0, 1）

備考3. k = 0, 1

13.3.4　シリアル・モード・レジスタ mn（SMRmn）

SMRmn レジスタは、チャネル n の動作モード設定レジスタです。動作クロック（f_{MCK}）の選択、シリアル・クロック（f_{SCK}）入力の使用可否、スタート・トリガ設定、動作モード（簡易 SPI/CSI、UART、簡易 I²C）設定、割り込み要因の選択を行います。また UART モード時のみ、受信データのレベル反転の設定を行います。

SMRmn レジスタは、動作中（SEmn = 1 のとき）の書き換えは禁止です。ただし、MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0020H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 8　シリアル・モード・レジスタ mn（SMRmn）のフォーマット (1/2)

アドレス　：F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03),
F0150H, F0151H (SMR10), F0152H, F0153H (SMR11)注1

リセット時：0020H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SMRmn	CKSmn	CCSmn	0	0	0	0	0	STSmn 注2

7	6	5	4	3	2	1	0
0	SISmn0 注2	1	0	0	MDmn2	MDmn1	MDmn0

CKSmn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSm レジスタで設定した動作クロック CKm0
1	SPSm レジスタで設定した動作クロック CKm1
動作クロック（f_{MCK}）は、エッジ検出回路に使用されます。また、CCSmn ビットと SDRmn レジスタの上位7ビットの設定により、転送クロック（f_{TCLK}）を生成します。	

CCSmn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmn ビットで指定した動作クロック f_{MCK} の分周クロック
1	SCKp 端子からの入力クロック f_{SCK}（簡易SPI/CSI モードのスレーブ転送）
転送クロック f_{TCLK} は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmn レジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STSmn	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効（簡易SPI/CSI、UART送信、簡易I²C時に選択）
1	RxDq 端子の有効エッジ（UART受信時に選択）
SSm レジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

図13 - 8　シリアル・モード・レジスタmn（SMRmn）のフォーマット (2/2)

SISmn0	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MDmn2	MDmn1	チャネルnの動作モードの設定
0	0	簡易SPI（CSI）モード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MDmn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注1.　SMR00, SMR01, SMR03：全製品
SMR02：20～48ピン製品
SMR10, SMR11：30～48ピン製品

注2.　SMR01, SMR03, SMR11レジスタのみ

注意　**ビット13-9, 7, 4, 3（SMR00, SMR02, SMR10レジスタの場合は、ビット13-6, 4, 3）には、必ず0を設定してください。ビット5には、必ず1を設定してください。**

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
q：UART番号（q = 0-2）、r：IIC番号（r = 00, 01, 11, 20, 21）

13.3.5　シリアル通信動作設定レジスタ mn（SCRmn）

SCRmn レジスタは、チャネル n の通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmn レジスタは、動作中（SEmn = 1 のとき）の書き換えは禁止です。

SCRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0087H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 9　シリアル通信動作設定レジスタ mn（SCRmn）のフォーマット (1/2)

アドレス　：F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03),
F0158H, F0159H (SCR10), F015AH, F015BH (SCR11)注1

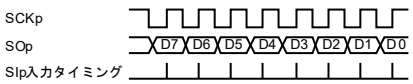
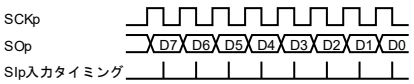
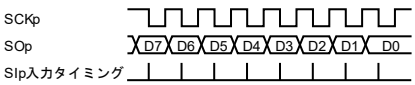
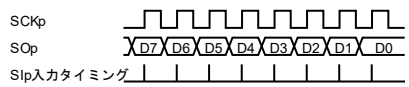
リセット時：0087H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0

7	6	5	4	3	2	1	0
DIRmn	0	SLCmn1注2	SLCmn0	0	1	DLSmn1注3	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易SPI（CSI）モードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード、簡易I²Cモード時には、DAPmn, CKPmn = 00Bを設定してください。			

EOCmn	エラー割り込み信号（INTSREx（x = 0-2））のマスク制御
0	エラー割り込みINTSREXの発生を禁止する（INTSRxが発生する）
1	エラー割り込みINTSREXの発生を許可する（エラー発生時、INTSRxは発生しない）
簡易SPI（CSI）モード、簡易I²Cモード、UART送信時には、EOCmn = 0を設定してください注4。	

図13 - 9 シリアル通信動作設定レジスタmn（SCRmn）のフォーマット (2/2)

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注5	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI（CSI）モード、簡易I²Cモード時には、PTCmn1, PTCmn0 = 00Bを設定してください。			

DIRmn	簡易SPI（CSI）、UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I²Cモード時には、DIRmn = 0を設定してください。	

SLCmn1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（mn = 00, 10のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みが発生します。 UART受信時、簡易I²Cモード時には、1ビット（SLCmn1, SLCmn0 = 01B）を設定してください。 簡易SPI（CSI）モード時には、ストップ・ビットなし（SLCmn1, SLCmn0 = 00B）を設定してください。 UART送信時は、1ビット（SLCmn1, SLCmn0 = 01B）または2ビット（SLCmn1, SLCmn0 = 10B）を設定してください。		

DLSmn1	DLSmn0	簡易SPI（CSI）、UARTモードでのデータ長の設定
0	1	9ビット・データ長（SDRmnレジスタのビット0-8に格納） （UARTモード時のみ選択可）
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）
上記以外		設定禁止
簡易I²Cモード時には、DLSmn1, DLSmn0 = 11Bを設定してください。		

注1. SCR00, SCR01, SCR03：全製品
SCR02：20～48ピン製品
SCR10, SCR11：30～48ピン製品

注2. SCR00, SCR02, SCR10レジスタのみ

注3. SCR00, SCR01レジスタのみ。その他は1固定になります。

注4. CSImnをEOCmn = 0で使用しない場合、エラー割り込み（INTSREx）が発生する場合があります。

注5. データの内容にかかわらず0が付加されます。

注意 **ビット11, 6, 3には、必ず0を設定してください（SCR01, SCR03, SCR11レジスタはビット5も0を設定してください）。ビット2には、必ず1を設定してください。**

備考 m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、p：CSI番号（p = 00, 01, 11, 20, 21）

13.3.6　シリアル・データ・レジスタ mn（SDRmn）

SDRmn レジスタは、チャネル n の送受信データ・レジスタ（16 ビット）です。

SDR00, SDR01 のビット 8-0（下位 9 ビット）、または SDR02, SDR03, SDR10, SDR11 レジスタのビット 7-0（下位 8 ビット）は、送受信バッファ・レジスタとして機能し、ビット 15-9（上位 7 ビット）の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn（SMRmn）で CCSmn ビットに 0 を設定した場合は、動作クロックをこの SDRmn レジスタのビット 15-9（上位 7 ビット）で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットに 1 を設定した場合は、SDR00, SDR01, SDR10, SDR11 レジスタのビット 15-9（上位 7 ビット）に 0000000B を設定してください。SCKp 端子からの入力クロック f_{SCK}（簡易 SPI/CSI モードのスレーブ転送）が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位 8/9 ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位 8/9 ビットに設定します。

SDRmn レジスタは、16 ビット単位で読み出し／書き込み可能です。ただし、上位 7 ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）に SDRmn レジスタに書き込みを行ったときは、下位 8/9 ビットのみ値が書き込まれます。動作中に SDRmn レジスタの読み出しを行った場合、上位 7 ビットは常に 0 が読み出されます。

リセット信号の発生により、0000H になります。

図13 - 10　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス　：FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01)
リセット時：0000H
R/W属性　：R/W

	FFF11H（SDR00の場合）								FFF10H（SDR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn																

アドレス　：FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)
FFF48H, FFF49H (SDR10), FFF4AH, FFF4BH (SDR11)
リセット時：0000H
R/W属性　：R/W

	FFF45H（SDR02の場合）								FFF44H（SDR02の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn								0								

SDRmn[15:9]							動作クロックの分周による転送クロック設定
0	0	0	0	0	0	0	fMCK/2
0	0	0	0	0	0	1	fMCK/4
0	0	0	0	0	1	0	fMCK/6
0	0	0	0	0	1	1	fMCK/8
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	fMCK/254
1	1	1	1	1	1	1	fMCK/256

注意1. SDR02, SDR03とSDR10, SDR11レジスタのビット8は、必ず0を設定してください。

注意2. UART使用時は、SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

注意3. 簡易I²C使用時は、SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

注意4. 動作停止（SEmn = 0）時は、8ビット・メモリ操作命令によるSDRmn[7:0]ビットの書き換えは禁止です（SDRmn[15:9]ビットがすべて0にクリアされます）。

備考1. SDRmnレジスタの下位8/9ビットの機能については、**13.2　シリアル・アレイ・ユニットの構成**を参照してください。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

13.3.7　シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）

SIRmn レジスタは、チャネル n の各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn, PECTmn, OVCTmn）に 1 をセットすると、シリアル・ステータス・レジスタ mn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が 0 にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐ SIRmn レジスタもクリアされます。

SIRmn レジスタは、16 ビット・メモリ操作命令で設定します。また SIRmn レジスタの下位 8 ビットは、SIRmnL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 11　シリアル・フラグ・クリア・トリガ・レジスタ mn（SIRmn）のフォーマット

アドレス　：F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03),
F0148H, F0149H (SIR10), F014AH, F014BH (SIR11)**注1**

リセット時：0000H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SIRmn	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	FECTmn **注2**	PECTmn	OVCTmn

FECTmn	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタのFEFmn ビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタのPEFmn ビットを0にクリアする

OVCTmn	チャネルnのオーバラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmn レジスタのOVFmn ビットを0にクリアする

注1.　SIR00, SIR01, SIR03：全製品
SIR02：20～48 ピン製品
SIR10, SIR11：30～48 ピン製品

注2.　SIR01, SIR03, SIR11 レジスタのみ

注意　**ビット15-3（SIR00, SIR02, SIR10 レジスタの場合は、ビット15-2）には、必ず0を設定してください。**

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

備考2. SIRmn レジスタの読み出し値は常に0000Hとなります。

13.3.8　シリアル・ステータス・レジスタ mn（SSRmn）

SSRmn レジスタは、チャネル n の通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmn レジスタは、16 ビット・メモリ操作命令で読み出します。また SSRmn レジスタの下位 8 ビットは、SSRmnL レジスタとして 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 12　シリアル・ステータス・レジスタ mn（SSRmn）のフォーマット (1/2)

アドレス　：F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03),
F0140H, F0141H (SSR10), F0142H, F0143H (SSR11)注1

リセット時：0000H

R/W属性　：R

略号	15	14	13	12	11	10	9	8
SSRmn	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	TSFmn	BFFmn	0	0	FEFmn 注2	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
- STm レジスタの STmn ビットに 1 を設定時（通信停止状態）または SSm レジスタの SSmn ビットに 1 を設定時（通信待機状態）
- 通信動作が終了時

＜セット条件＞
- 通信動作を開始時

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータが SDRmn レジスタに格納されていない
1	有効なデータが SDRmn レジスタに格納されている

＜クリア条件＞
- 送信時において SDRmn レジスタからシフト・レジスタへ送信データの転送が終了したとき
- 受信時において SDRmn レジスタから受信データの読み出しが終了したとき
- STm レジスタの STmn ビットに 1 を設定時（通信停止状態）、SSm レジスタの SSmn ビットに 1 を設定時（通信許可状態）。

＜セット条件＞
- SCRmn レジスタの TXEmn ビット = 1（各通信モードでの送信、送受信モード時）の状態で SDRmn レジスタに送信データを書き込んだとき
- SCRmn レジスタの RXEmn ビット = 1（各通信モードでの受信、送受信モード時）の状態で SDRmn レジスタに受信データが格納されたとき
- 受信エラー時

図13 - 12　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット (2/2)

FEFmn	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）
＜クリア条件＞ ・SIRmnレジスタのFECTmnビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に、ストップ・ビットが検出されないとき	

PEFmn	チャネルnのパリティ／ACKエラー検出フラグ
0	エラーなし
1	パリティ・エラー発生（UART受信時）、またはACK未検出発生（I²C送信時）
＜クリア条件＞ ・SIRmnレジスタのPECTmnビットに1を書き込んだとき ＜セット条件＞ ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー） ・I²C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）	

OVFmn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生
＜クリア条件＞ ・SIRmnレジスタのOVCTmnビットに1を書き込んだとき ＜セット条件＞ ・SCRmnレジスタのRXEmnビット = 1（各通信モードでの受信、送受信モード時）の状態で、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みまたは次の受信データの書き込みをしたとき ・簡易SPI（CSI）モードのスレーブ送信／送受信で、送信データが準備できていないとき	

注1.　SSR00, SSR01, SSR03：全製品
SSR02：20～48ピン製品
SSR10, SSR11：30～48ピン製品

注2.　SSR01, SSR03, SSR11レジスタのみ

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信／受信データが破壊され、オーバラン・エラー（OVFmn = 1）と検出されます。

注意2. SNOOZEモード（SWC0 = 1）で簡易SPI（CSI）の受信動作を行う場合、OVFmnフラグおよびBFFmnフラグは動作しません。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

13.3.9　シリアル・チャネル開始レジスタ m（SSm）

SSm レジスタは、通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に 1 を書き込むと、シリアル・チャネル許可ステータス・レジスタ m（SEm）の対応ビット（SEmn）が 1 にセット（動作許可状態）されます。SSmn ビットはトリガ・ビットなので、SEmn = 1 になるとすぐ SSmn ビットはクリアされます。

SSm レジスタは、16 ビット・メモリ操作命令で設定します。また SSm レジスタの下位 8 ビットは、SSmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 13　シリアル・チャネル開始レジスタ m（SSm）のフォーマット

アドレス　：F0122H, F0123H (SS0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SS0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	SS03	SS02	SS01	SS00

アドレス　：F0162H, F0163H (SS1)注
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SS1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SS11	SS10

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する注

注　通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4、SS1レジスタのビット15-2には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットに1を設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

13.3.10　シリアル・チャネル停止レジスタ m（STm）

STm レジスタは、通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に 1 を書き込むと、シリアル・チャネル許可ステータス・レジスタ m（SEm）の対応ビット（SEmn）が 0 にクリア（動作停止状態）されます。STmn ビットはトリガ・ビットなので、SEmn = 0 になるとすぐ STmn ビットはクリアされます。

STm レジスタは、16 ビット・メモリ操作命令で設定します。また STm レジスタの下位 8 ビットは、STmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図 13 - 14　シリアル・チャネル停止レジスタ m（STm）のフォーマット

アドレス　：F0124H, F0125H (ST0)
リセット時：0000H
R/W 属性　：R/W

略号	15	14	13	12	11	10	9	8
ST0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	ST03	ST02	ST01	ST00

アドレス　：F0164H, F0165H (ST1)注
リセット時：0000H
R/W 属性　：R/W

略号	15	14	13	12	11	10	9	8
ST1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	ST11	ST10

STmn	チャネル n の動作停止トリガ
0	トリガ動作せず
1	SEmn ビットを 0 にクリアし、通信動作を停止する注

注　制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFmn フラグは状態を保持します。

注意　ST0 レジスタのビット 15-4、ST1 レジスタのビット 15-2 には、必ず 0 を設定してください。

備考 1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）
備考 2. STm レジスタの読み出し値は常に 0000H となります。

13.3.11　シリアル・チャネル許可ステータス・レジスタ m（SEm）

SEm レジスタは、各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタ m（SSm）の各ビットに 1 を書き込むと、その対応ビットが 1 にセットされます。シリアル・チャネル停止レジスタ m（STm）の各ビットに 1 を書き込むと、その対応ビットが 0 にクリアされます。

動作を許可したチャネル n は、後述のシリアル出力レジスタ m（SOm）の CKOmn ビット（チャネル n のシリアル・クロック出力）の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネル n は、SOm レジスタの CKOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEm レジスタは、16 ビット・メモリ操作命令で読み出します。また SEm レジスタの下位 8 ビットは、SEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図 13 - 15　シリアル・チャネル許可ステータス・レジスタ m（SEm）のフォーマット

アドレス　：F0120H, F0121H (SE0)
リセット時：0000H
R/W 属性　：R

略号	15	14	13	12	11	10	9	8
SE0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	SE03	SE02	SE01	SE00

アドレス　：F0160H, F0161H (SE1)
リセット時：0000H
R/W 属性　：R

略号	15	14	13	12	11	10	9	8
SE1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SE11	SE10

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

13.3.12　シリアル出力許可レジスタ m（SOEm）

SOEm レジスタは、各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネル n は、後述のシリアル出力レジスタ m（SOm）の SOmn ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネル n は、SOm レジスタの SOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEm レジスタは、16 ビット・メモリ操作命令で設定します。また SOEm レジスタの下位 8 ビットは、SOEmL レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図 13 - 16　シリアル出力許可レジスタ m（SOEm）のフォーマット

アドレス　：F012AH, F012BH (SOE0)
リセット時：0000H
R/W 属性　：R/W

略号	15	14	13	12	11	10	9	8
SOE0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	SOE03	SOE02	SOE01	SOE00

アドレス　：F016AH, F016BH (SOE1)
リセット時：0000H
R/W 属性　：R/W

略号	15	14	13	12	11	10	9	8
SOE1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SOE11	SOE10

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　SOE0 レジスタのビット 15-4、SOE1 レジスタのビット 15-2 には、必ず 0 を設定してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

13.3.13　シリアル出力レジスタ m（SOm）

SOm レジスタは、各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタの SOmn ビットの値が、チャネル n のシリアル・データ出力端子から出力されます。

このレジスタの CKOmn ビットの値が、チャネル n のシリアル・クロック出力端子から出力されます。

このレジスタの SOmn ビットのソフトウェアによる書き換えは、シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタの CKOmn ビットのソフトウェアによる書き換えは、チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能として使用する場合は、該当する CKOmn, SOmn ビットに 1 を設定してください。

SOm レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO0 レジスタは 0F0FH、SO1 レジスタは 0303H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 17　シリアル出力レジスタ m（SOm）のフォーマット

アドレス　：F0128H, F0129H (SO0)
リセット時：0F0FH
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SO0	0	0	0	0	CKO03	1	CKO01	CKO00

7	6	5	4	3	2	1	0
0	0	0	0	SO03	SO02	SO01	SO00

アドレス　：F0168H, F0169H (SO1)
リセット時：0303H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SO1	0	0	0	0	0	0	CKO11	CKO10

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SO11	SO10

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が0
1	シリアル・クロック出力値が1

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が0
1	シリアル・データ出力値が1

（注意、備考は次ページに続きます）

★ **注意　SO0レジスタのビット15-12, 7-4には、必ず0を設定してください。また、SO0レジスタのビット10には、必ず1を設定してください。**
SO1レジスタのビット15-10, 7-2には、必ず0を設定してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）

13.3.14　シリアル出力レベル・レジスタ m（SOLm）

SOLm レジスタは、各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタは UART モード時のみ設定できます。簡易 SPI（CSI）モード、簡易 I²C モード時は、必ず対応するビットに 0 を設定してください。

このレジスタによる各チャネル n の反転設定は、シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時は SOmn ビットの値がそのまま出力されます。

SOLm レジスタは、動作中（SEmn = 1 のとき）の書き換えは禁止です。

SOLm レジスタは、16 ビット・メモリ操作命令で設定します。また SOLm レジスタの下位 8 ビットは、SOLmL レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

図13 - 18　シリアル出力レベル・レジスタ m（SOLm）のフォーマット

アドレス　：F0134H, F0135H (SOL0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SOL0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	SOL02	0	SOL00

アドレス　：F0174H, F0175H (SOL1)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SOL1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	SOL10

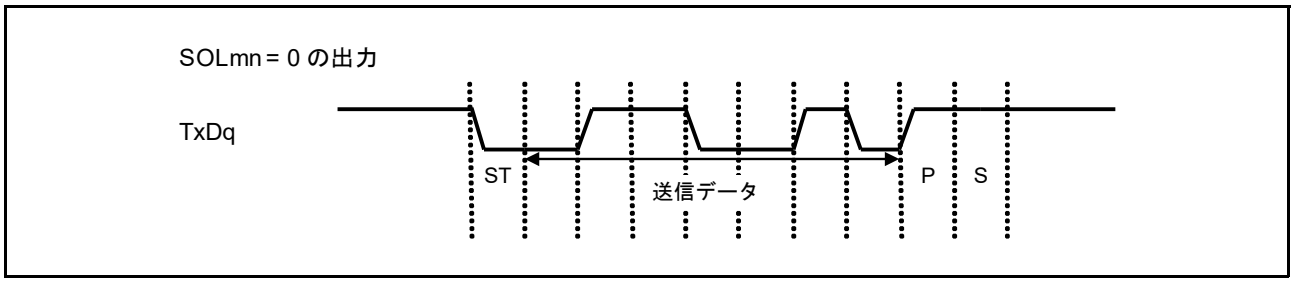
SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意　SOL0 レジスタのビット 15-3, 1、SOL1 レジスタのビット 15-1 には、必ず 0 を設定してください。

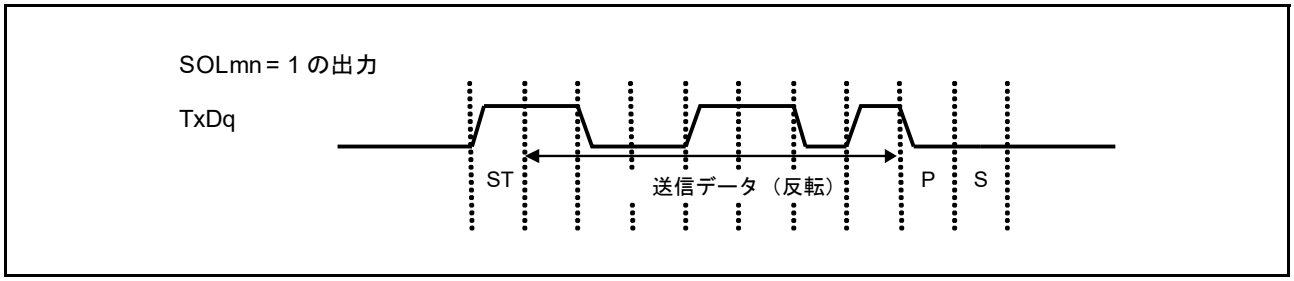
図 13 - 19 に UART 送信時、送信データのレベル反転例を示します。

図13 - 19　送信データのレベル反転例

(a) 非反転出力（SOLmn = 0）



(b) 反転出力（SOLmn = 1）



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）

13.3.15　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）

SSC0 レジスタは、CSI00、UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動（SNOOZE モード）を制御するレジスタです。

SSC0 レジスタは、16 ビット・メモリ操作命令で設定します。また SSC0 レジスタの下位 8 ビットは、SSC0L レジスタとして 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、0000H になります。

注意　SNOOZEモード時の最大転送レートは、次のようになります。

- **CSI00の場合：～1 Mbps**
- **UART0の場合：～115.2 kbps（FWKUP = 1, f_{CLK} = f_{IH}（32 MHz）設定時）**

図13 - 20　シリアル・スタンバイ・コントロール・レジスタ0（SSC0）のフォーマット

アドレス　：F0138H, F0139H (SSC0)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SSC0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	SSEC0	SWC0

SSEC0	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0）発生許可
1	エラー割り込み（INTSRE0）発生停止

- SNOOZEモード時のUART受信で、SWC0 = 1かつEOC00 = 1のときのみ、SSEC0ビットに1/0を設定することができます。その他の場合は、SSEC0ビットに0を設定してください。
- SSEC0, SWC0 = 10Bは設定禁止です。

SWC0	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

- STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI（CSI）／UARTの受信動作を行います（SNOOZEモード）。
- SNOOZEモード機能は、CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- SNOOZEモードを使用する場合でも、通常動作モード時はSWC0ビットに0を設定し、STOPモードへ移行する直前にSWC0ビットを1に変更してください。
  またSTOPモードから通常動作モードへ復帰後、必ずSWC0ビットを0に変更してください。

表13 - 2　SNOOZEモードでUART受信したときの割り込み

EOC00ビット	SSEC0ビット	正常受信時	受信エラー時
0	0	INTSR0が発生する	INTSR0が発生する
0	1	INTSR0が発生する	INTSR0が発生する
1	0	INTSR0が発生する	INTSRE0が発生する
1	1	INTSR0が発生する	割り込みは発生しない

13.3.16　入力切り替え制御レジスタ（ISC）

ISC レジスタの ISC1, ISC0 ビットは、UART2 で LIN-bus 通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ISC4, ISC3 ビットは、CSI00 のシリアル・クロック入力ソースを選択するために使用します。

ISC7, ISC6 ビットは、CSI01 のシリアル・クロック入力ソースを選択するために使用します。

ビット 0 に 1 を設定すると、シリアル・データ入力（RxD2）端子の入力信号が外部割り込み入力（INTP0）として選択されます。これによって、ウェイクアップ信号を INTP0 割り込みで検出できます。

ビット 1 に 1 を設定すると、シリアル・データ入力（RxD2）端子の入力信号がタイマ入力として選択されます。これによって、ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅をタイマで測定できます。

ビット 4, 3 の設定によって、CSI00 のシリアル・クロック入力ソースに SCK00 端子入力、TO01 出力信号を選択できます。

ビット 7, 6 の設定によって、CSI01 のシリアル・クロック入力ソースに SCK01 端子入力、TO01 出力信号を選択できます。

ISC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 13 - 21　入力切り替え制御レジスタ（ISC）のフォーマット (1/2)

アドレス　: F0073H
リセット時: 00H
R/W 属性　: R/W

略号	7	6	5	4	3	2	1	0
ISC	ISC7	ISC6	0	ISC4	ISC3	0	ISC1	ISC0

ISC7	ISC6	CSI01 のシリアル・クロック入力ソース切り替え注1
0	0	SCK01 端子の入力信号（通常動作）
0	1	設定禁止
1	0	TO01 の出力信号
1	1	設定禁止

図13 - 21　入力切り替え制御レジスタ（ISC）のフォーマット (2/2)

ISC4	ISC3	CSI00のシリアル・クロック入力ソース切り替え注2
0	0	SCK00端子の入力信号（通常動作）
0	1	設定禁止
1	0	TO01の出力信号
1	1	設定禁止

ISC1	タイマ・アレイ・ユニットのチャネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする（通常動作）
1	RxD2端子の入力信号をタイマ入力とする（ウェイクアップ信号検出とブレーク・フィールドのロウ・レベル幅とシンク・フィールドのパルス幅測定）

ISC0	外部割り込み（INTP0）の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする（通常動作）
1	RxD2端子の入力信号を外部割り込み入力とする（ウェイクアップ信号検出）

注1.　チャネル1をUARTモードまたは簡易I²Cモードに選択している場合は、ISC7, ISC6ビットに0を設定してください。

注2.　チャネル0をUARTモードまたは簡易I²Cモードに選択している場合は、ISC4, ISC3ビットに0を設定してください。

注意　**ビット5, 2には、必ず0を設定してください。**

13.3.17　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0 レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

簡易 SPI（CSI）、簡易 I²C 通信に使用する端子は、対応するビットに 0 を設定して、ノイズ・フィルタを無効にしてください。

UART 通信に使用する端子は、対応するビットに 1 を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャネルの動作クロック（f_{MCK}）で同期化のあと、2 クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13 - 22　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス　：F0070H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。 RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。 RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意　ビット7-5, 3, 1には、必ず0を設定してください。

13.3.18　シリアル入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・アレイ・ユニット入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・ファンクション出力許可レジスタ1（PFOE1）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.4　ポート入力モード・レジスタ（PIMxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**、**4.3.8　ポート・モード・コントロール T・レジスタ（PMCTxx）**、**4.3.10　ポート・ファンクション出力許可レジスタ 1（PFOE1）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。異電位（1.8 V 系、2.5 V 系、3 V 系）で動作している外部デバイスと接続する場合は、**4.4.4　入出力バッファによる異電位（1.8 V 系、2.5 V 系、3 V 系）対応**を参照してください。

13.3.19　UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。

UART チャネルごとに制御できるビットを持ち、各チャネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図13 - 23　UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス　: F0079H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	<4>	3	<2>	<1>	<0>
ULBS	0	0	0	ULBS4	0	ULBS2	ULBS1	ULBS0

ULBSn	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART0-UART2のRxD0-RxD2端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注意　**ビット7-5, 3には、必ず0を設定してください。**

備考　n = 0-2

13.4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。
動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。
また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

13.4.1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ 0（PER0）で行います。

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット 0 を停止する場合は、必ず SAU0EN ビットに 0 を設定してください。シリアル・アレイ・ユニット 1 を停止する場合は、必ず SAU1EN ビットに 0 を設定してください。

図13 - 24　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ 0（PER0）の設定

(a) 周辺イネーブル・レジスタ 0（PER0）：停止するSAUmのビットのみ0を設定する

	7	6	5	4	3	2	1	0
PER0	RTCWEN ×	0	ADCEN ×	IICA0EN注1 ×	SAU1EN注2 0/1	SAU0EN 0/1	0	TAU0EN ×

SAUmの入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注1.　24～48ピン製品のみ
注2.　30～48ピン製品のみ

注意1. 次のビットには、必ず0を設定してください。
16, 20ピン製品：ビット6, 4, 3, 1
24, 25ピン製品：ビット6, 3, 1
30～48ピン製品：ビット6, 1

注意2. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。
ただし、次のレジスタは除きます。
- **入力切り替え制御レジスタ（ISC）**
- **ノイズ・フィルタ許可レジスタ0（NFEN0）**
- **ポート入力モード・レジスタ（PIM0, PIM1, PIM7）**
- **ポート出力モード・レジスタ（POM0, POM1, POM5, POM7）**
- **ポート・モード・コントロールA・レジスタ（PMCA0）**
- **ポート・モード・コントロールT・レジスタ（PMCT0, PMCT3）**
- **ポート・モード・レジスタ（PM0, PM1, PM3, PM5, PM7）**
- **ポート・レジスタ（P0, P1, P3, P5, P7）**

備考　×：シリアル・アレイ・ユニットでは使用しないビット（ほかの周辺機能の設定による）
0/1：ユーザの用途に応じて0または1を設定

13.4.2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図13 - 25　チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm（STm）：各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3注 0/1	STm2注 0/1	STm1 0/1	STm0 0/1

1：SEmnビットを0にクリアし、通信動作を停止

※ STmnビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm（SEm）：各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3注 0/1	SEm2注 0/1	SEm1 0/1	SEm0 0/1

0：動作停止状態

※ SEmレジスタはRead Onlyのステータス・レジスタであり、STmレジスタにて動作停止にします。
動作を停止したチャネルは、SOmレジスタのCKOmnビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタm（SOEm）：各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3注 0/1	SOEm2注 0/1	SOEm1 0/1	SOEm0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは、SOmレジスタのSOmnビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタm（SOm）：各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3注 0/1	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3注 0/1	SOm2注 0/1	SOm1 0/1	SOm0 0/1

1：シリアル・クロック出力値が1　　1：シリアル・データ出力値が1

※ 各チャネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmnビットに1を設定してください。

注　シリアル・アレイ・ユニット0の場合のみ

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）

備考2. ■：設定不可（初期値を設定）、0/1：ユーザの用途に応じて0または1を設定

13.5　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）通信の動作

簡易 SPI は、シリアル・クロック（SCK）とシリアル・データ（SI, SO）の 3 本のラインによる、クロック同期式通信機能です。

［データ送受信］

- 7, 8 ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

［クロック制御］

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケーラとチャネル内カウンタによる転送周期の設定
- 最大転送レート注　マスタ通信時　：Max. f_{CLK}/2（CSI00 のみ）
  Max. f_{CLK}/4
  スレーブ通信時　：Max. f_{MCK}/6

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

- オーバラン・エラー

また、簡易 SPI（CSI00）は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で SCK 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は、**第34章　電気的特性**を参照してください。

注意　チップセレクト信号を追加する場合は、ポート機能を使用してください。

簡易 SPI（CSI00, CSI01, CSI11, CSI20, CSI21）に対応しているチャネルは、SAU0 のチャネル 0, 1, 3 と SAU1 のチャネル 0, 1 です。

16 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	–	–
	3	–		IIC11

20～25 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11

30, 32 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	–		–

36～44 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

簡易 SPI（CSI00, CSI01, CSI11, CSI20, CSI21）の通信動作は、以下の 7 種類があります。

- マスタ送信　（**13.5.1** 参照）
- マスタ受信　（**13.5.2** 参照）
- マスタ送受信　（**13.5.3** 参照）
- スレーブ送信　（**13.5.4** 参照）
- スレーブ受信　（**13.5.5** 参照）
- スレーブ送受信　（**13.5.6** 参照）
- SNOOZE モード機能　（**13.5.7** 参照）

13.5.1　マスタ送信

マスタ送信とは、本製品が転送クロックを出力し、本製品からほかのデバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20	CSI21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能				
エラー検出フラグ	なし				
転送データ長	7ビットまたは8ビット				
転送レート注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）、$f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz]　f_{CLK}：CPU／周辺ハードウェア・クロック周波数				
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ出力を開始				
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転				
データ方向	MSBファーストまたはLSBファースト				

注　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 26　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）のマスタ送信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（fMCK）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1注1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（fMCK）の分周設定）							0	送信データ（送信データを設定）							

SIOp

(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1	注2	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3 0/1	SOm2 ×	SOm1 0/1	SOm0 0/1

クロック位相が非反転（SCRmnレジスタのCKPmnビット＝0）のときは1で通信開始し、クロック位相が反転（CKPmnビット＝1）のときは0で通信開始する。

(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 ×	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注1.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注2.　SO0レジスタは1固定、SO1レジスタは0固定になります。

（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

備考2. ■：簡易SPI（CSI）マスタ送信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 27　マスタ送信の初期設定手順

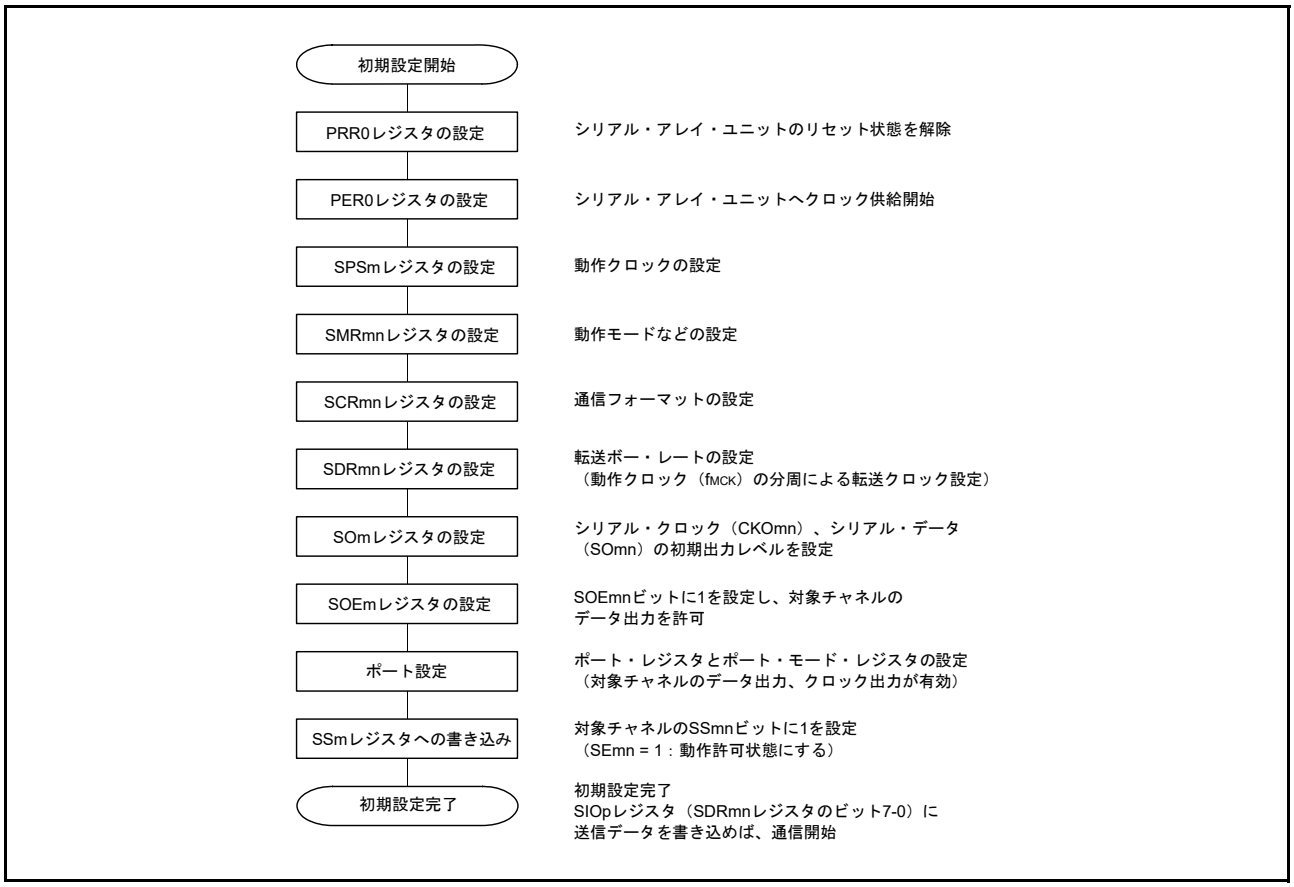


図13 - 28　マスタ送信の中断手順

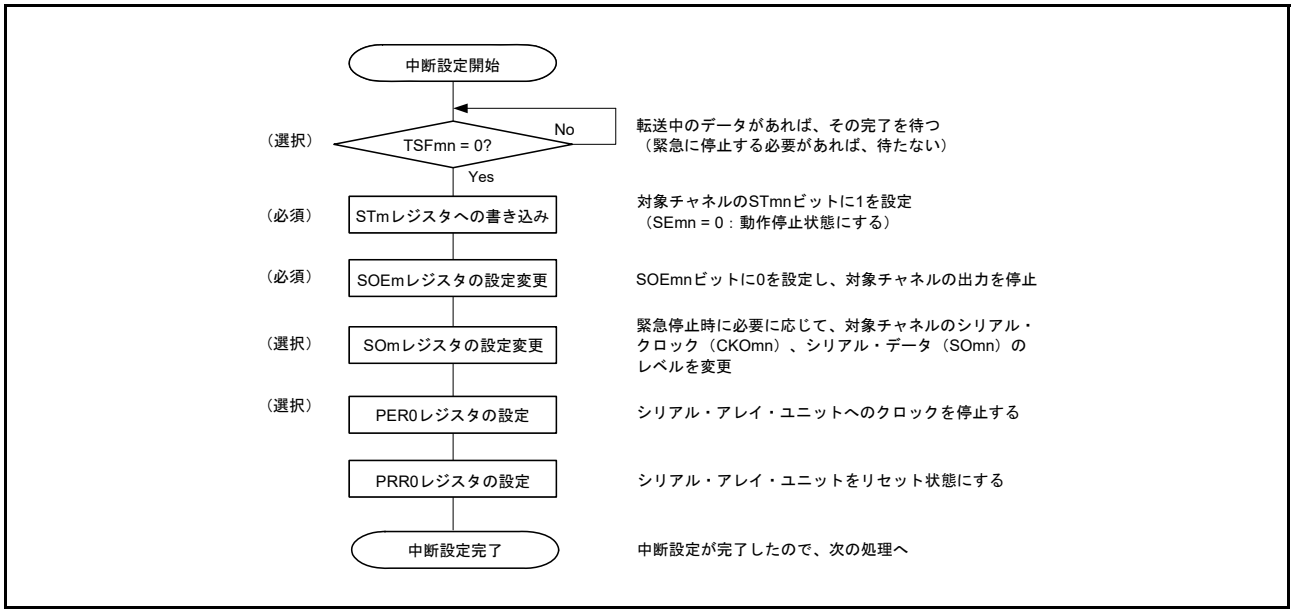
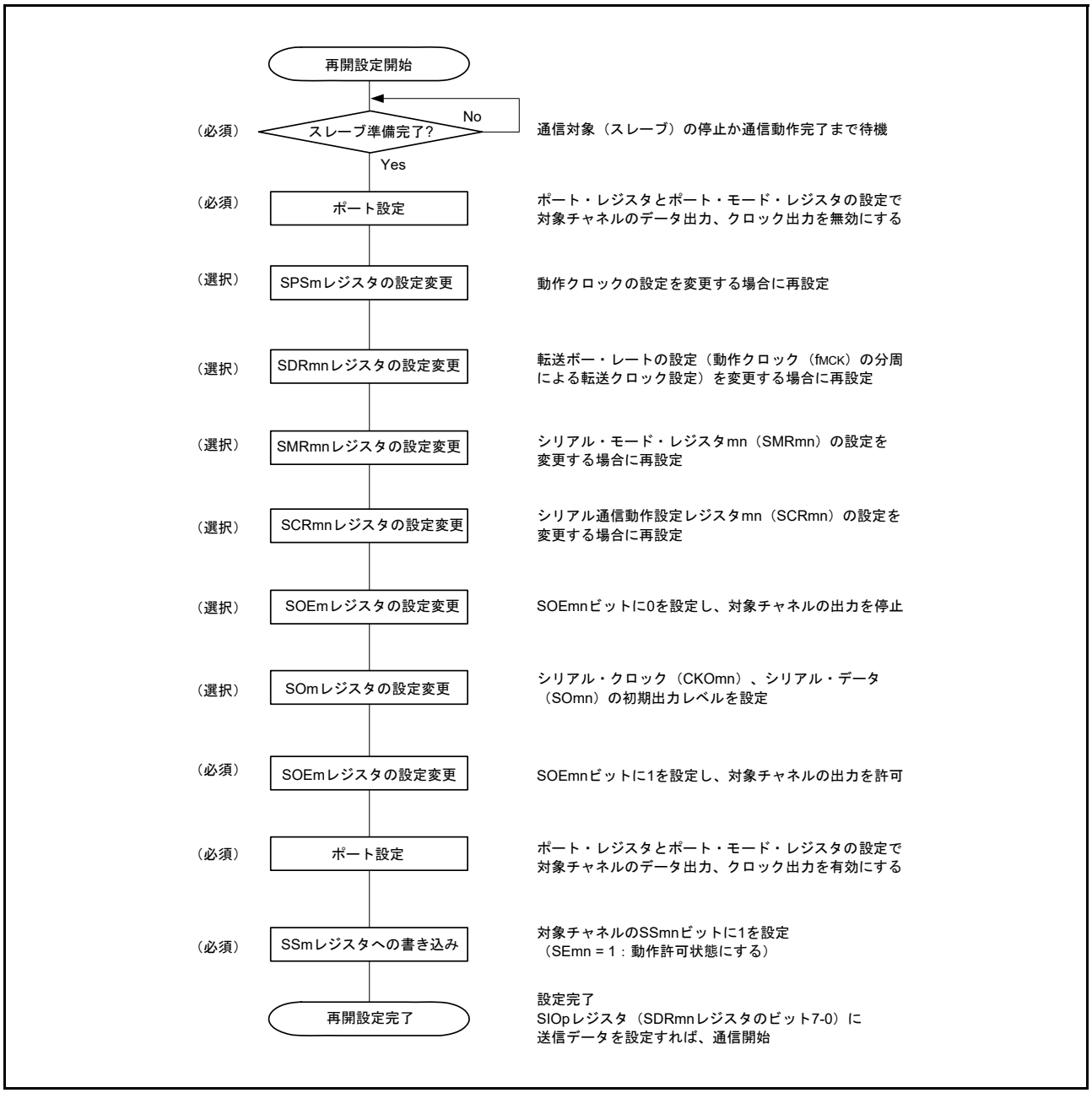


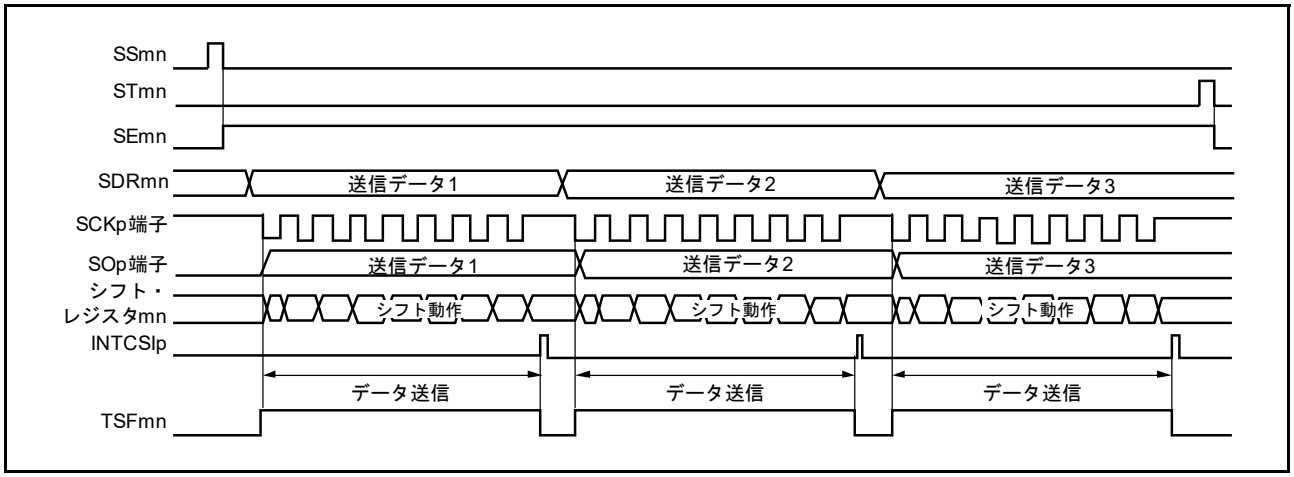
図13 - 29　マスタ送信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

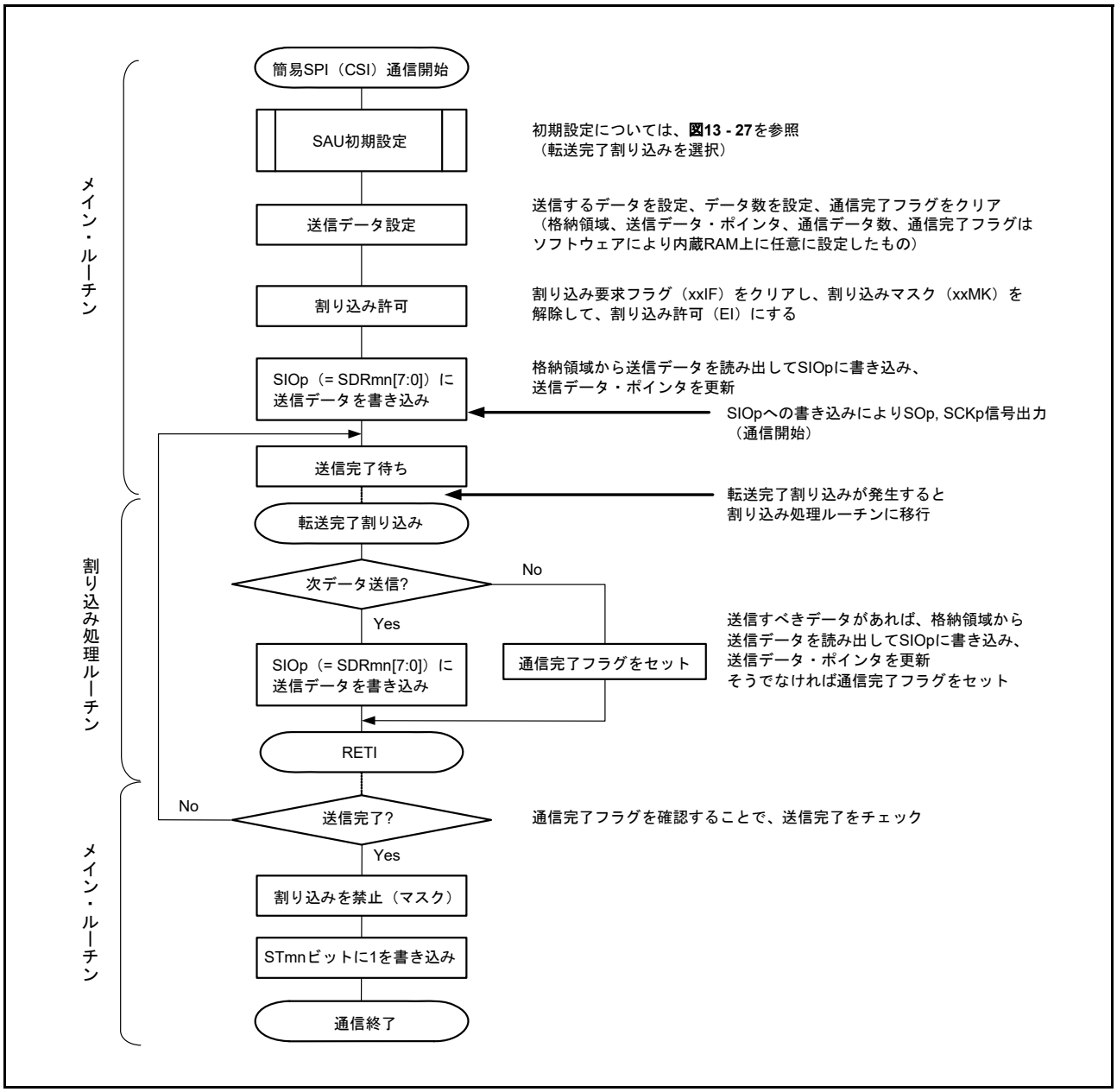
(3)　処理フロー（シングル送信モード時）

図13 - 30　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



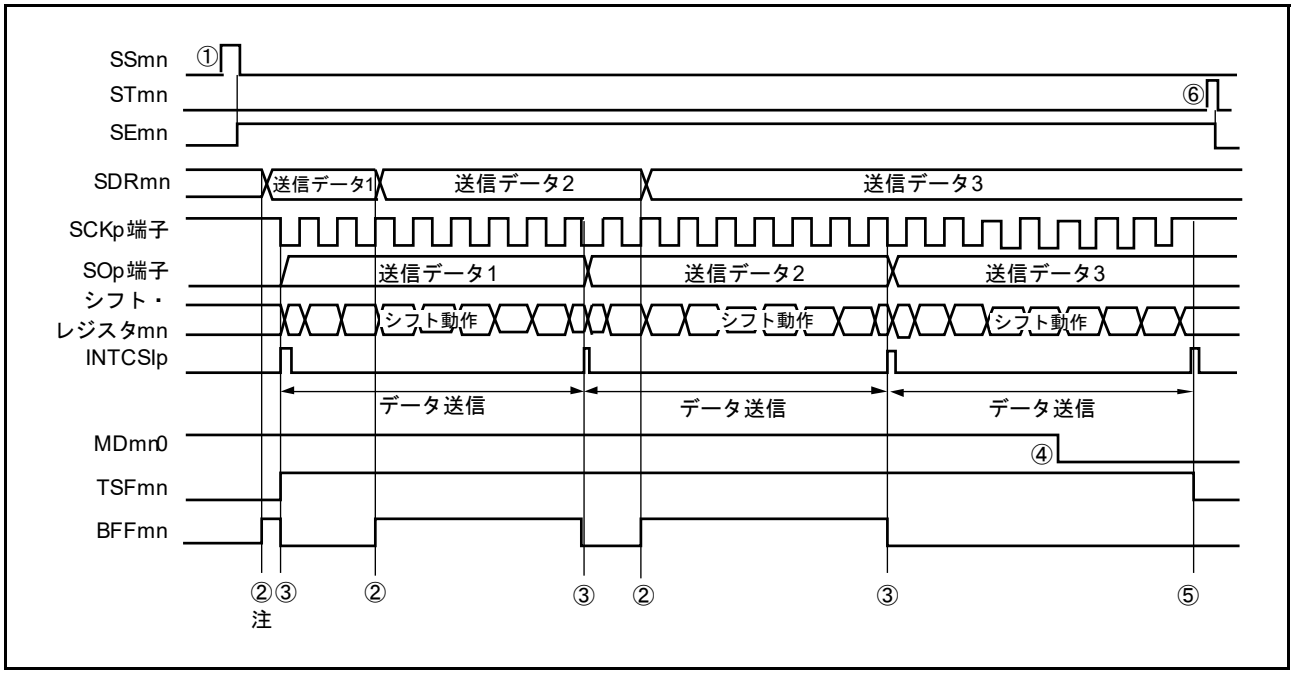
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 31　マスタ送信（シングル送信モード時）のフロー・チャート



(4)　処理フロー（連続送信モード時）

図13 - 32　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

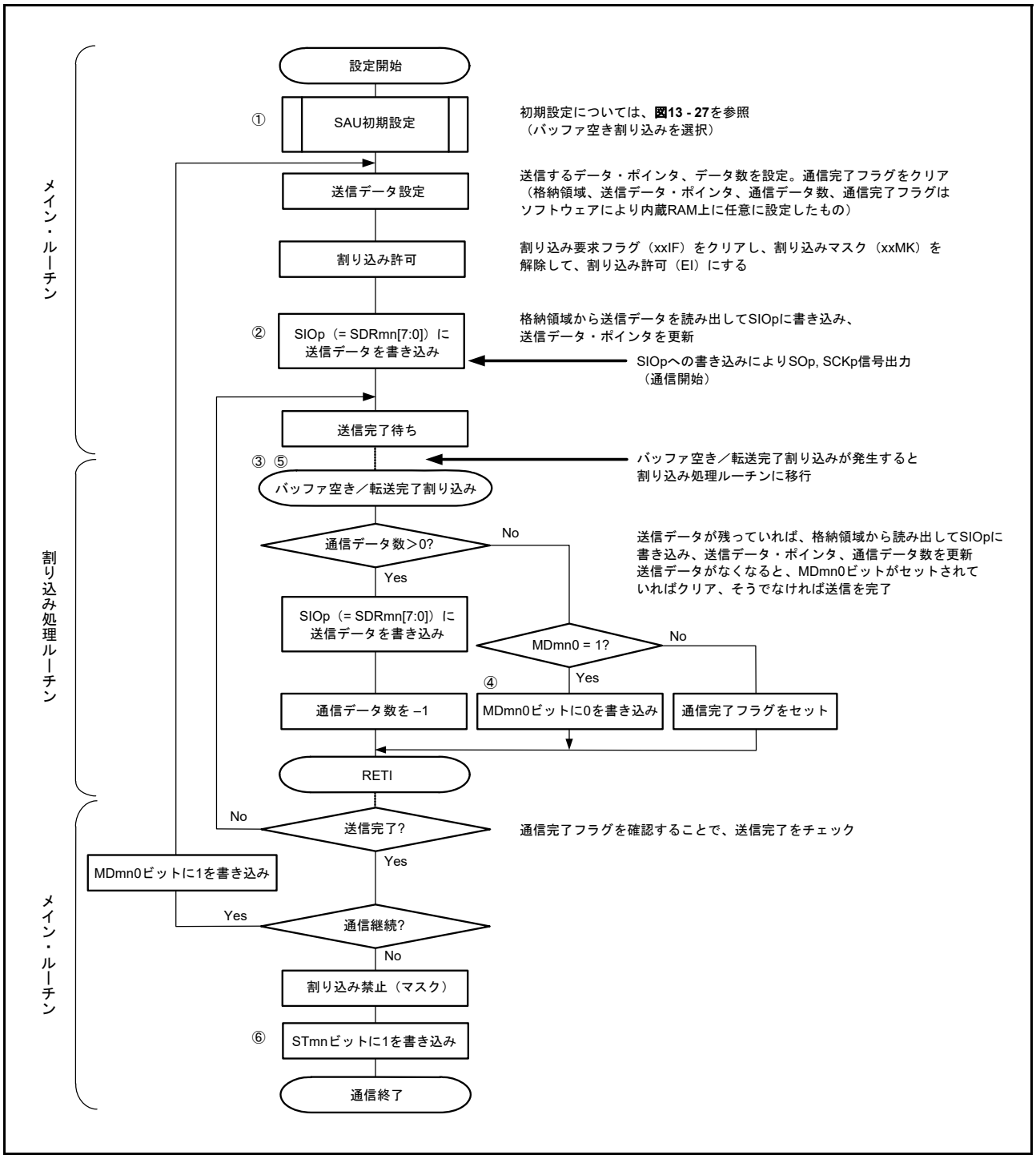


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。**
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 33　マスタ送信（連続送信モード時）のフロー・チャート



備考　図中の①～⑥は、**図13 - 32　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑥に対応しています。

13.5.2　マスタ受信

マスタ受信とは、本製品が転送クロックを出力し、本製品がほかのデバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20	CSI21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能				
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ				
転送データ長	7ビットまたは8ビット				
転送レート注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）、$f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz]　f_{CLK}：CPU／周辺ハードウェア・クロック周波数				
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入力を開始				
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転				
データ方向	MSBファーストまたはLSBファースト				

注　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 34　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）のマスタ受信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（fMCK）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1注	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（fMCK）の分周設定）							0	受信データ（ダミー・データとしてFFHを書き込む）							

SIOp

(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3 ×	SOm2 ×	SOm1 ×	SOm0 ×

クロック位相が非反転（SCRmnレジスタのCKPmnビット＝0）のときは1で通信開始し、クロック位相が反転（CKPmnビット＝1）のときは0で通信開始する。

(e)　シリアル出力許可レジスタm（SOEm）：このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注　SCR00, SCR01レジスタのみ。その他は1固定になります。

（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

備考2. ■：簡易SPI（CSI）マスタ受信モードでは設定固定、■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 35　マスタ受信の初期設定手順

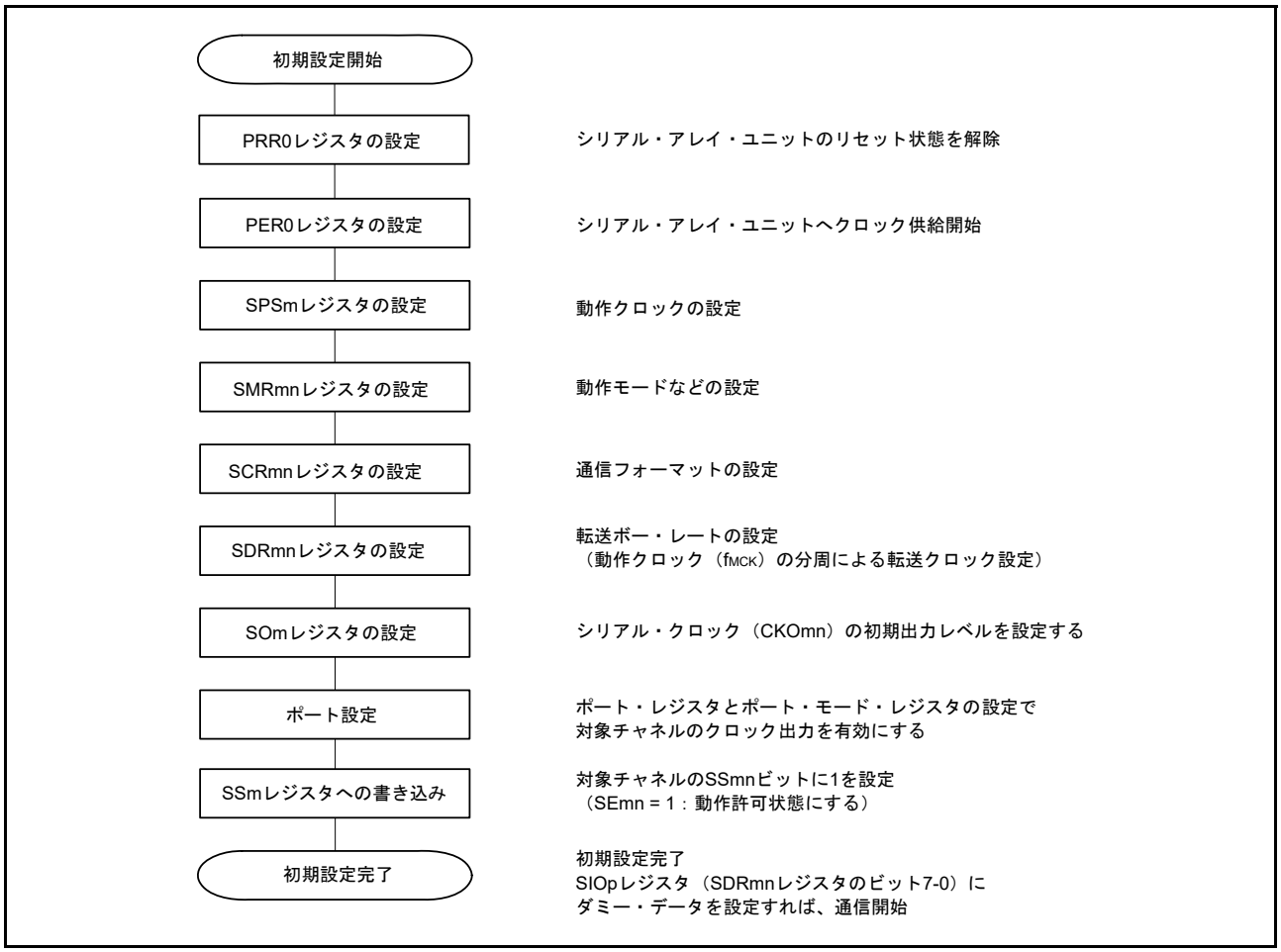


図13 - 36　マスタ受信の中断手順

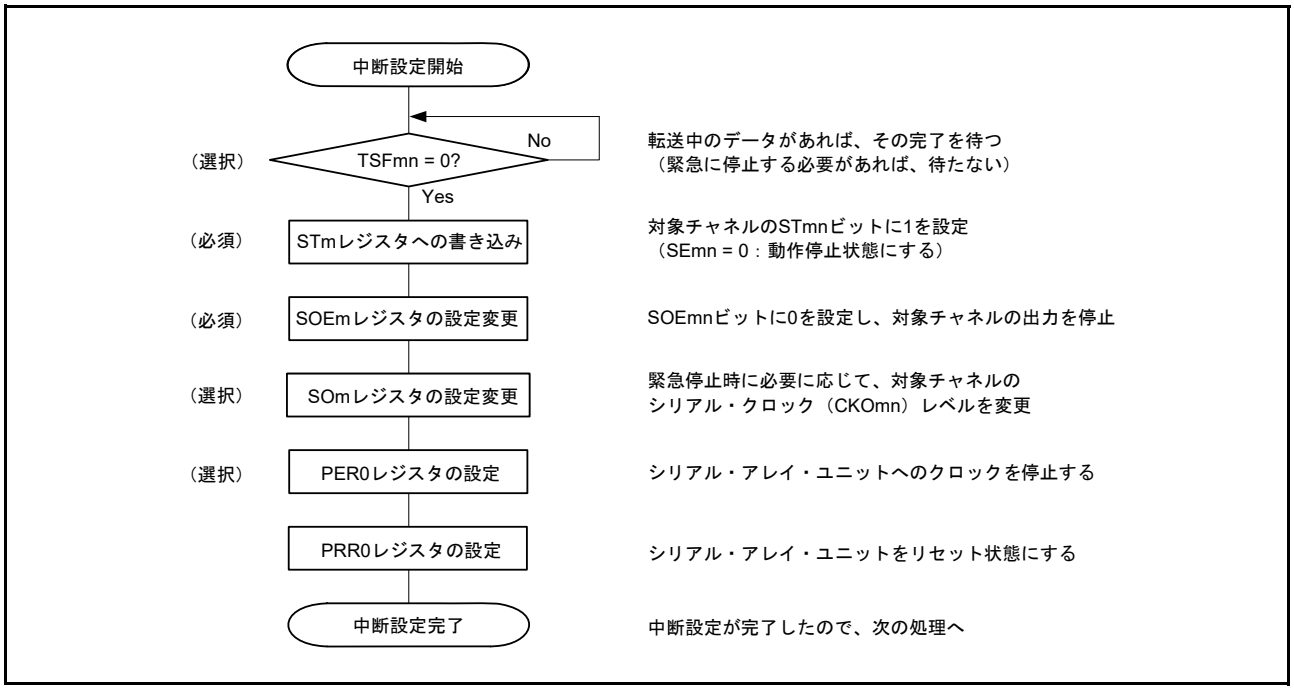
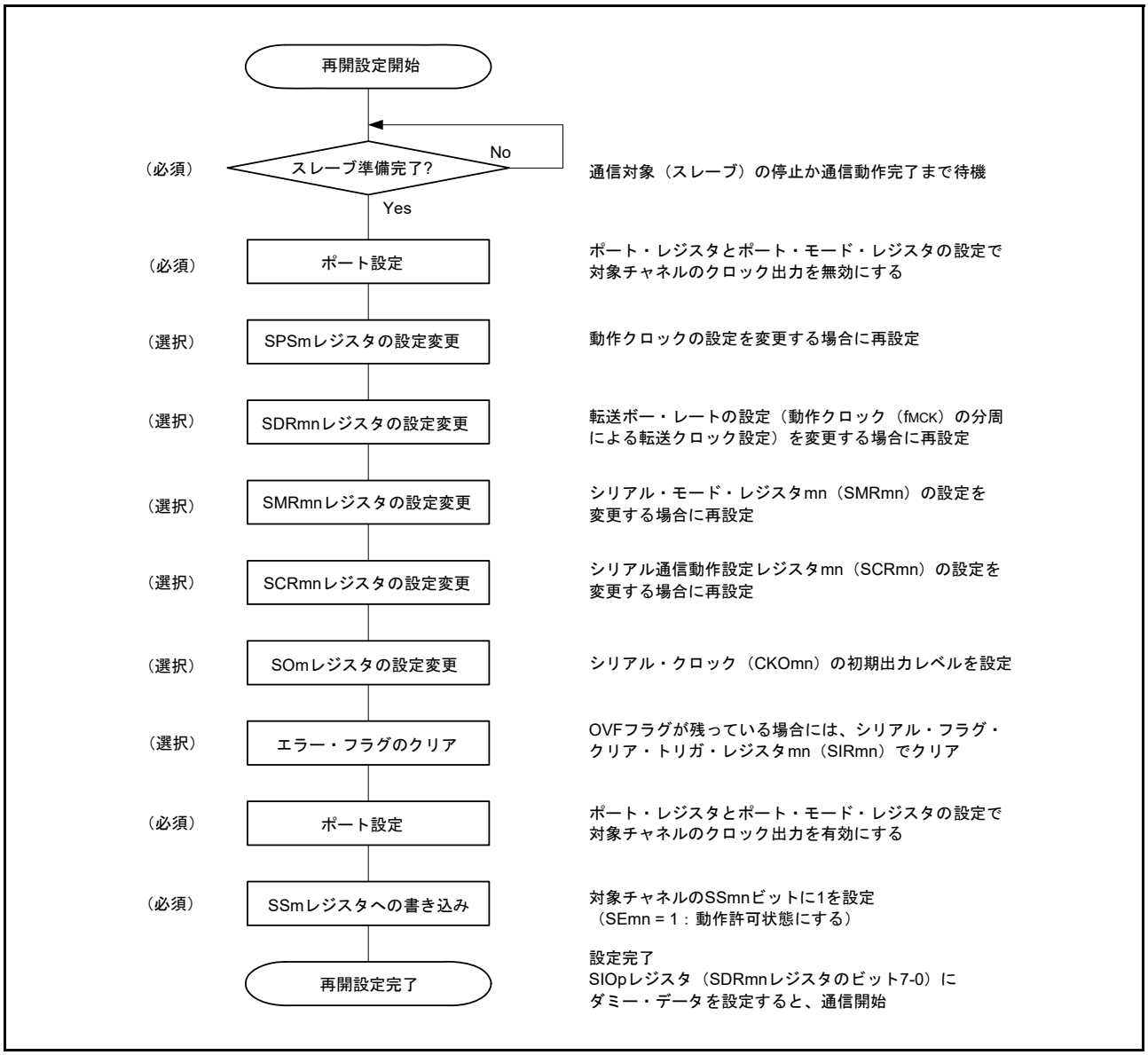


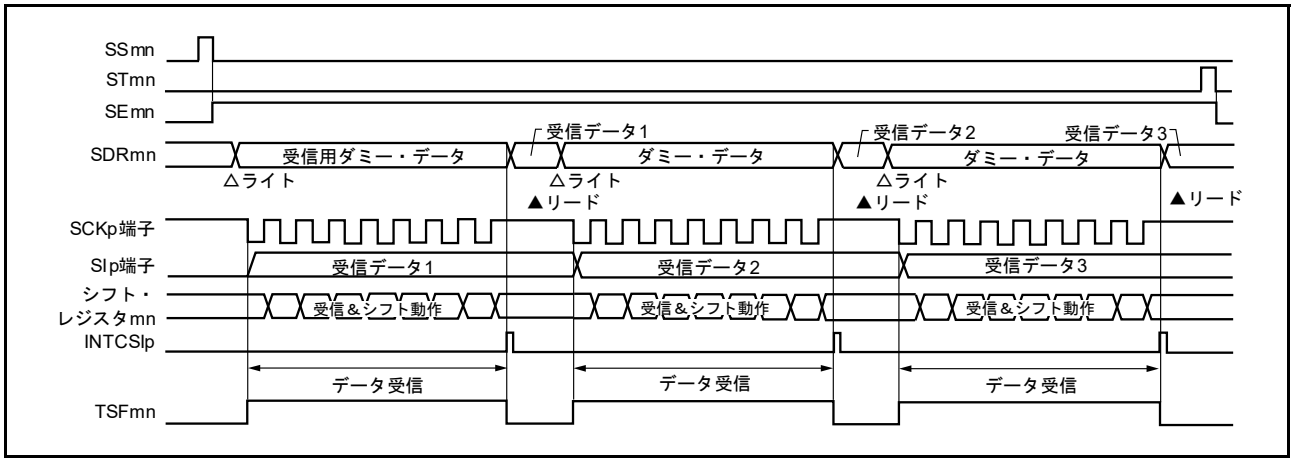
図13 - 37　マスタ受信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合は、通信対象（スレーブ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

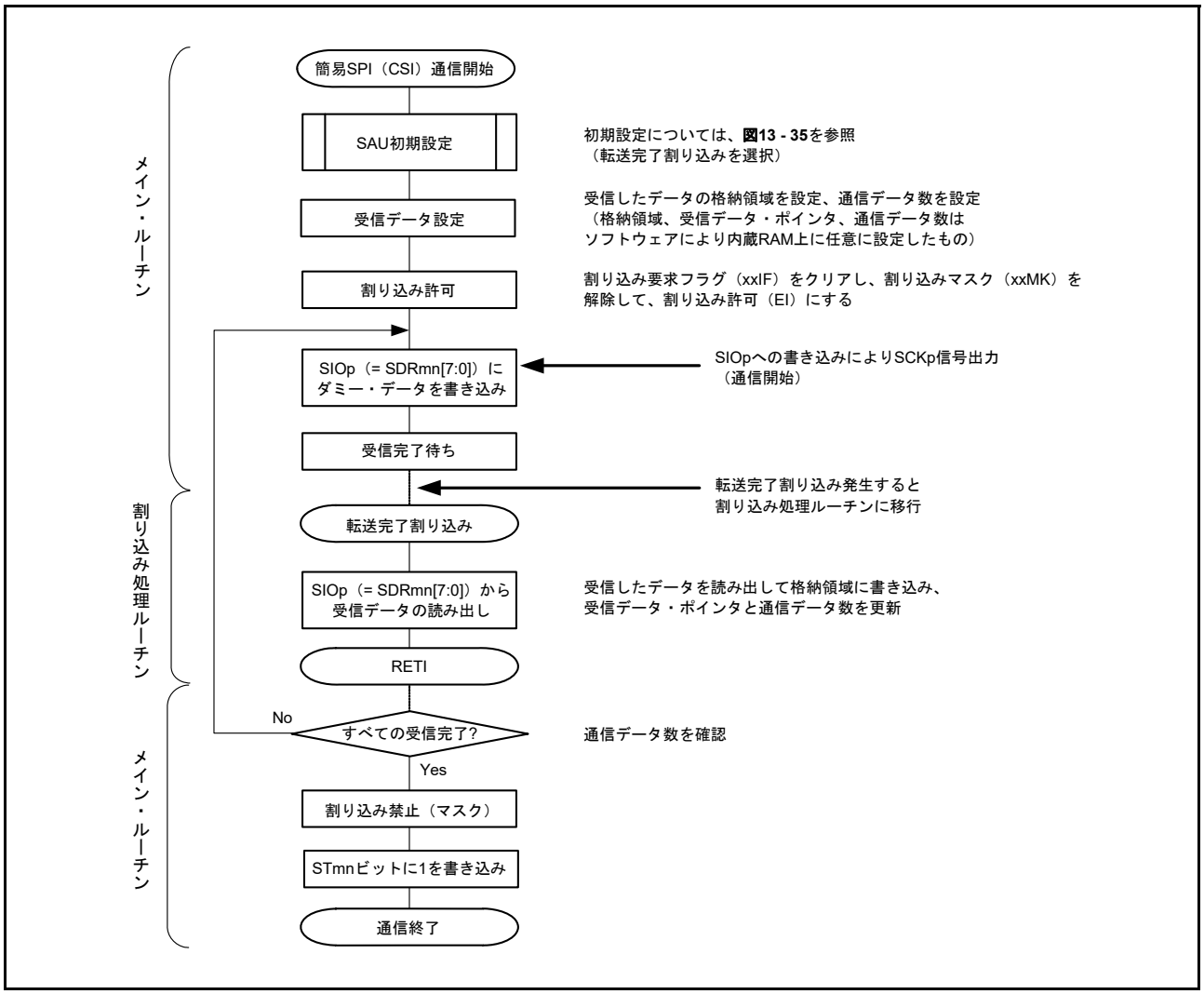
(3)　処理フロー（シングル受信モード時）

図13 - 38　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



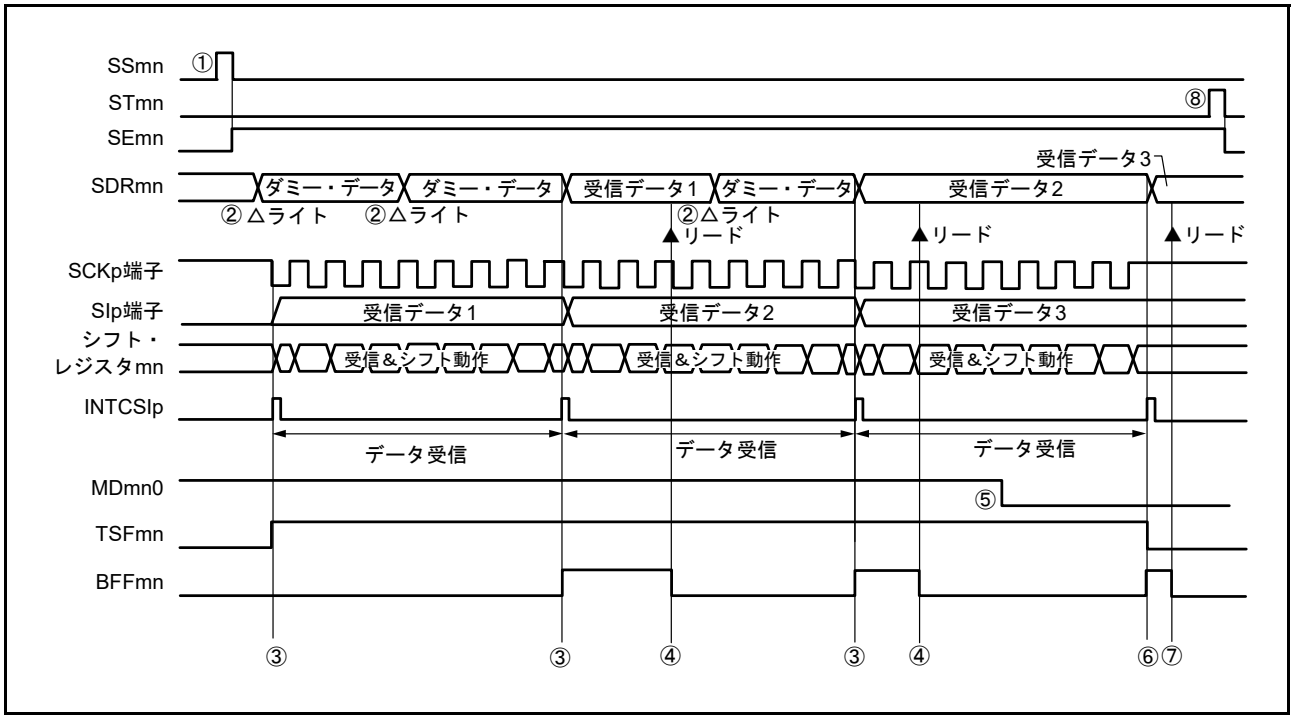
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 39　マスタ受信（シングル受信モード時）のフロー・チャート



(4)　処理フロー（連続受信モード時）

図13 - 40　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

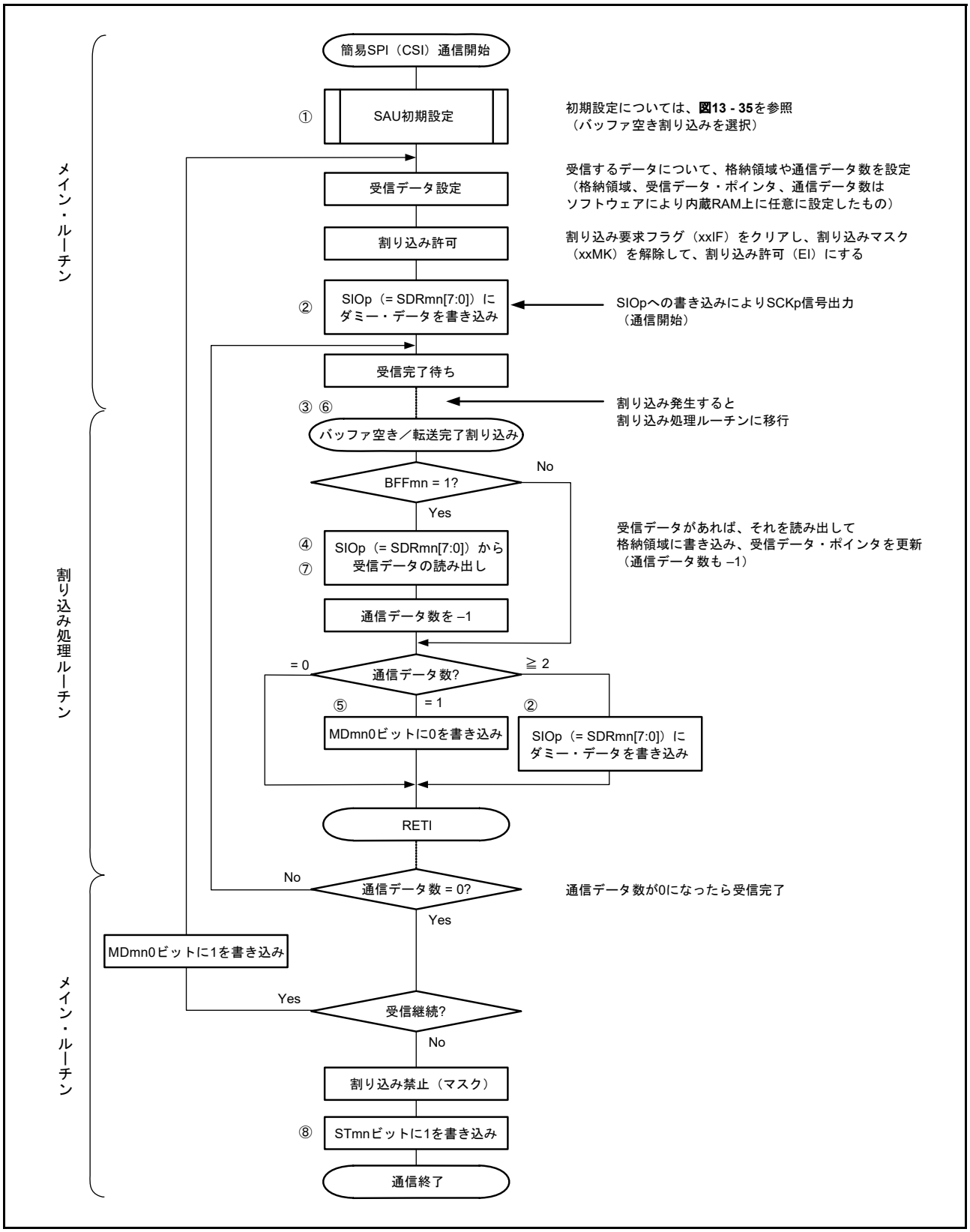


注意　**MDmn0ビットは、動作中でも書き換えることができます。**
ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、**図13 - 41　マスタ受信（連続受信モード時）のフロー・チャート**の①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 41　マスタ受信（連続受信モード時）のフロー・チャート



備考　図中の①～⑧は、**図13 - 40　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑧に対応しています。

13.5.3　マスタ送受信

マスタ送受信とは、本製品が転送クロックを出力し、本製品とほかのデバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20	CSI21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能				
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ				
転送データ長	7ビットまたは8ビット				
転送レート注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ）、$f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [Hz]　f_{CLK}：CPU／周辺ハードウェア・クロック周波数				
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入出力を開始				
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転				
データ方向	MSBファーストまたはLSBファースト				

注　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 42　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）のマスタ送受信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（fMCK）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1注1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（fMCK）の分周設定）							0	送信データ設定／受信データ・レジスタ							

SIOp

(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1	注2	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3 0/1	SOm2 ×	SOm1 0/1	SOm0 0/1

クロック位相が非反転（SCRmnレジスタのCKPmnビット＝0）のときは1で通信開始し、クロック位相が反転（CKPmnビット＝1）のときは0で通信開始する。

(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 ×	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注1.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注2.　SO0レジスタは1固定、SO1レジスタは0固定になります。

（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

備考2. ■：簡易SPI（CSI）マスタ送受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 43　マスタ送受信の初期設定手順

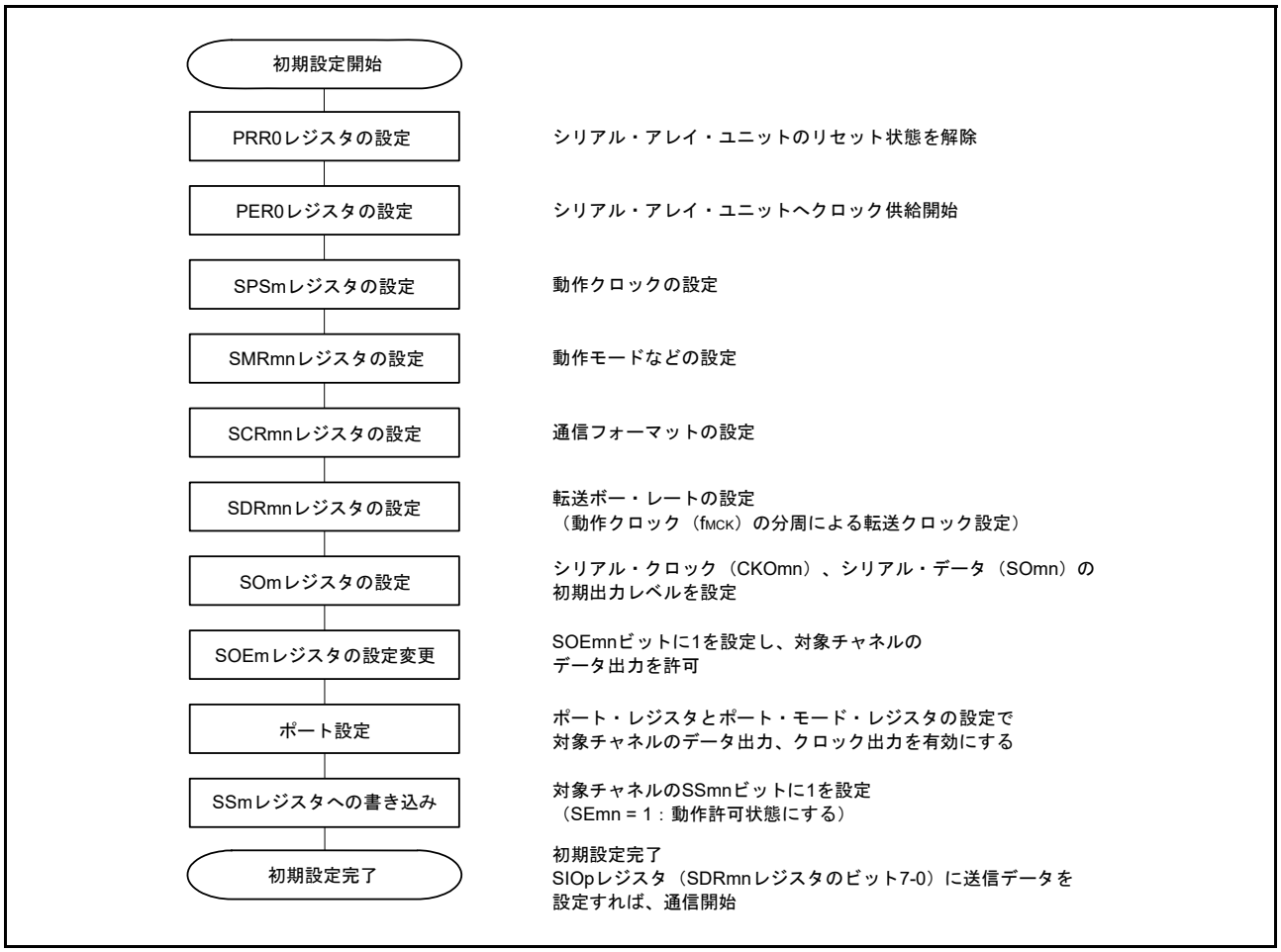


図13 - 44　マスタ送受信の中断手順

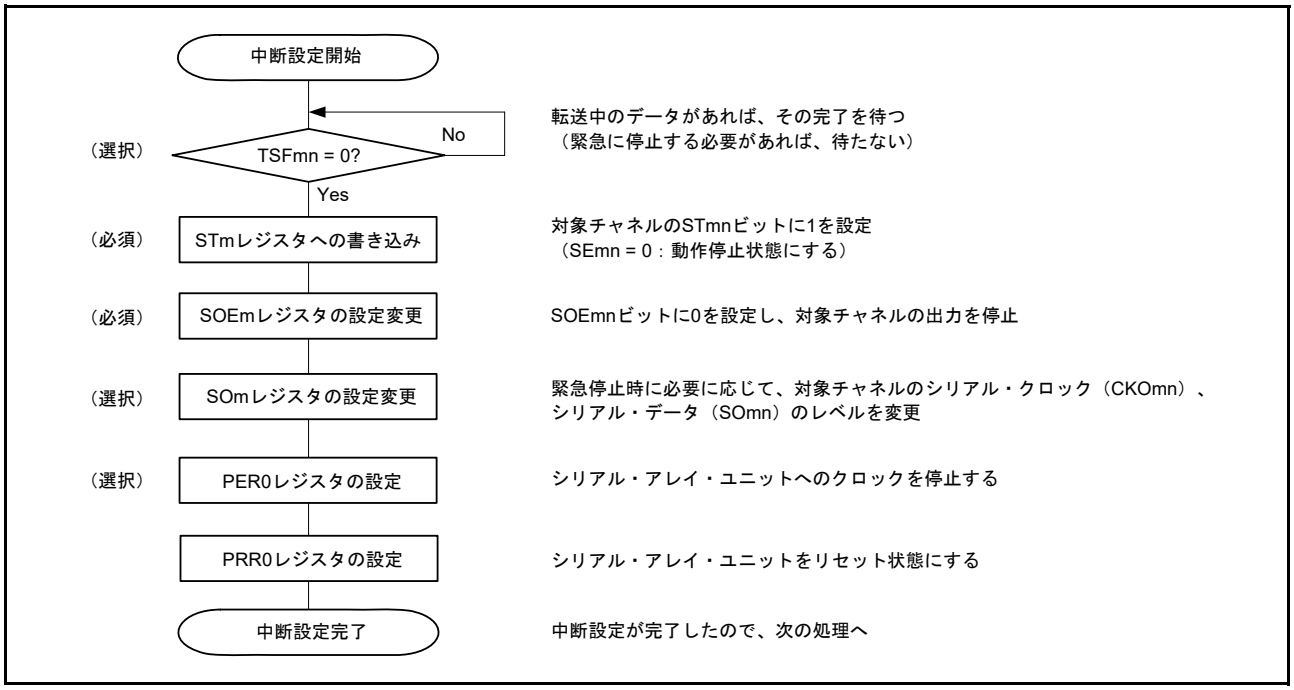
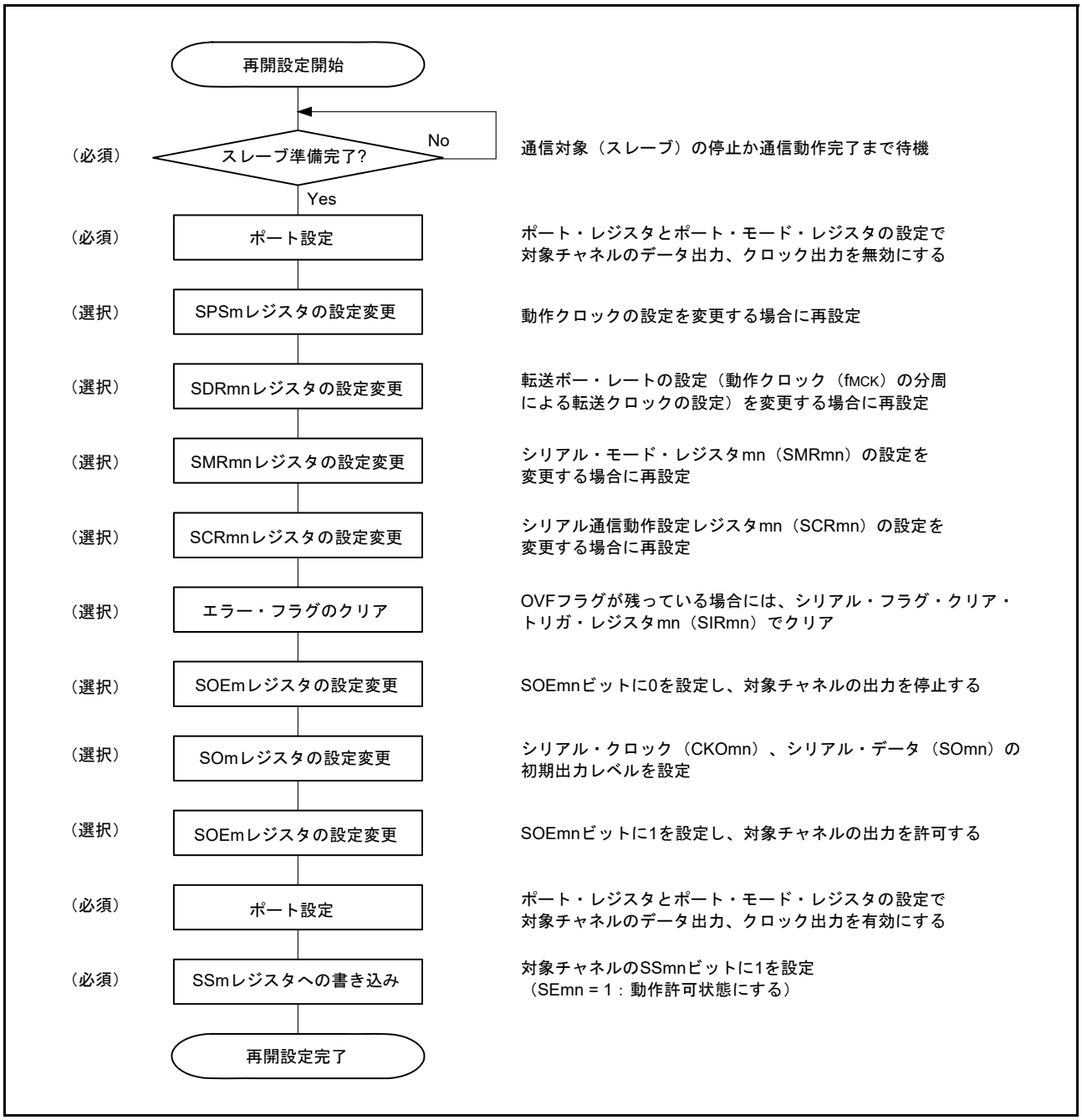
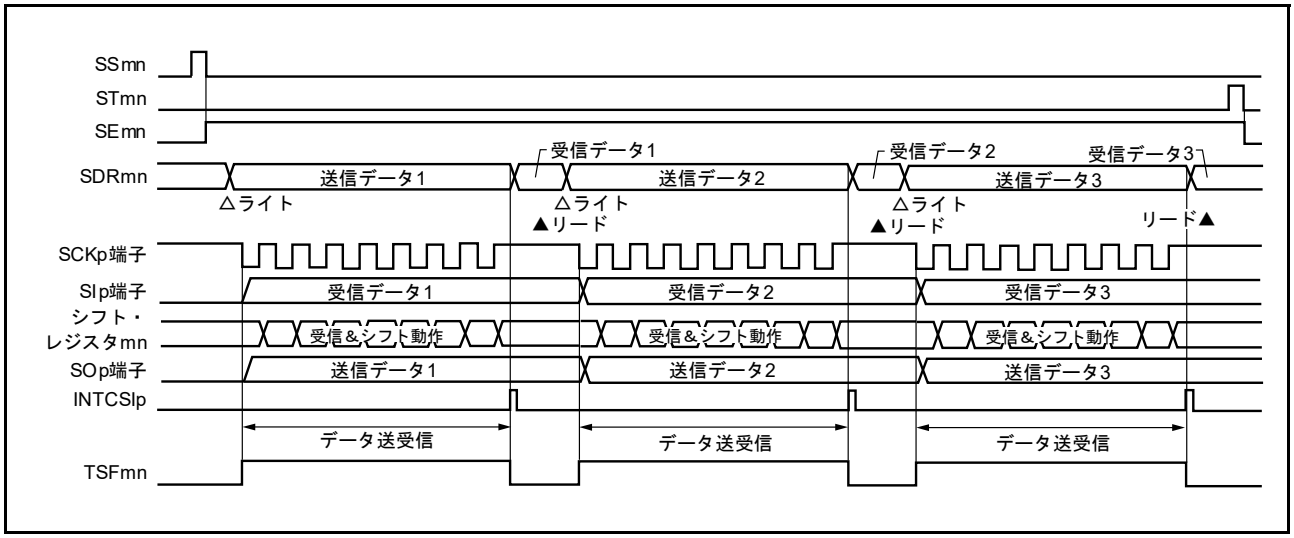


図13 - 45　マスタ送受信の再開設定手順



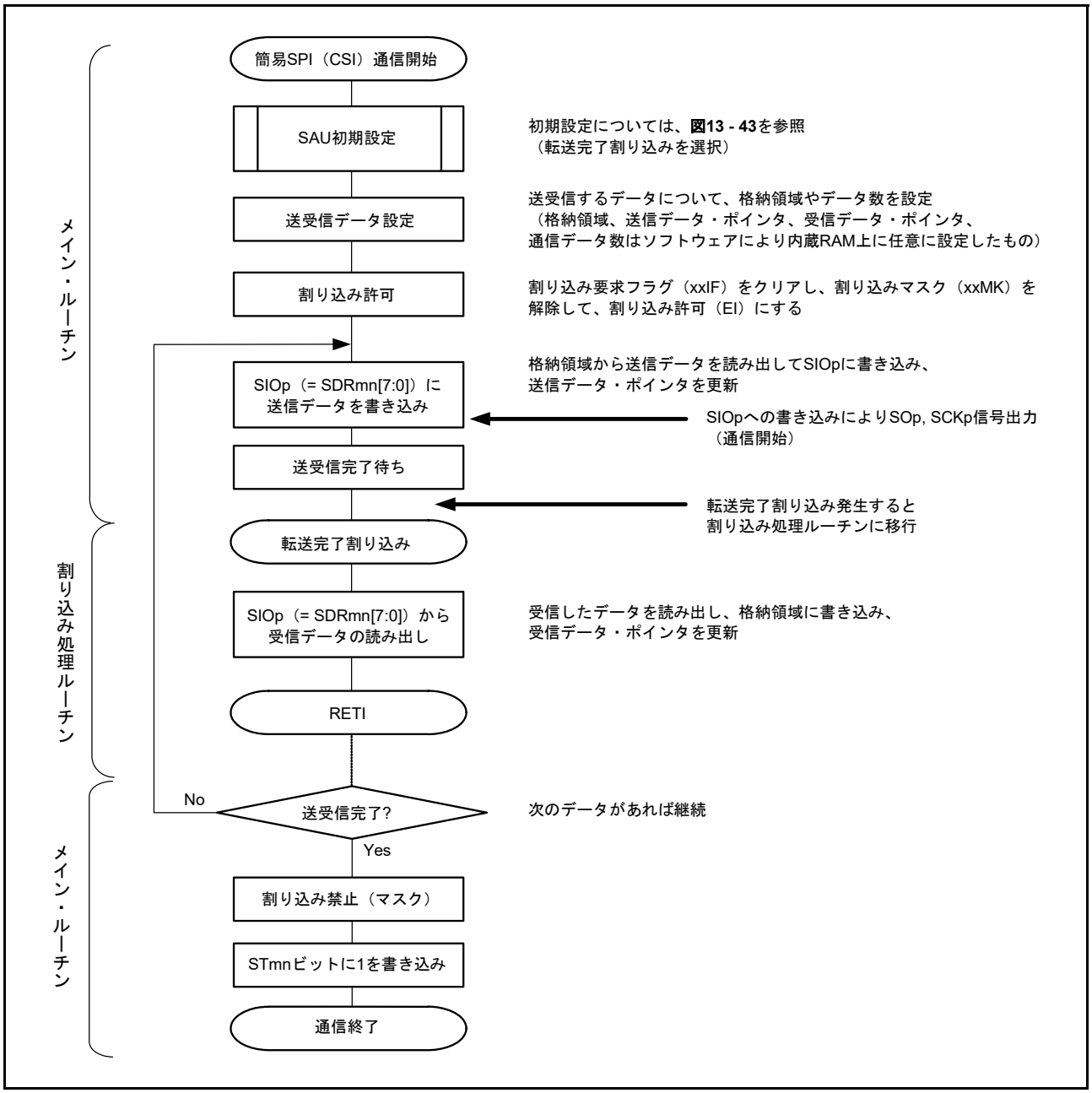
(3)　処理フロー（シングル送受信モード時）

図13 - 46　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



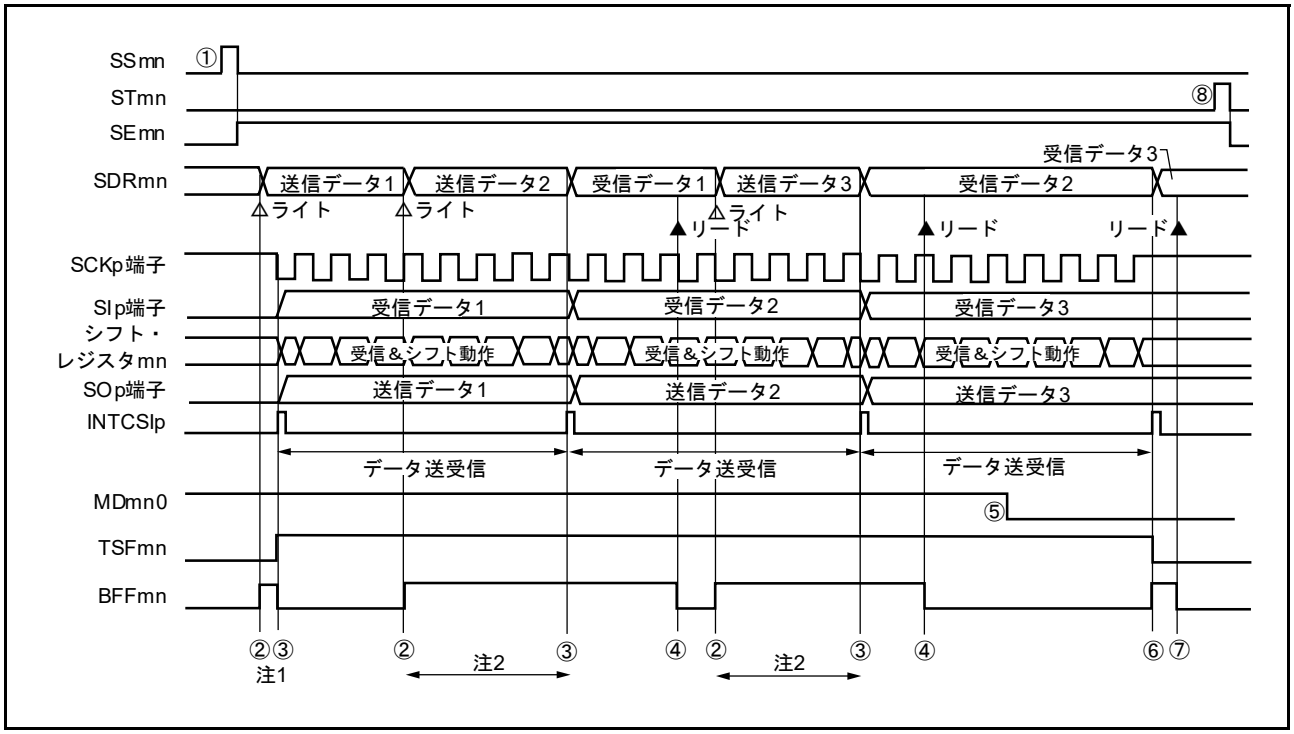
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 47　マスタ送受信（シングル送受信モード時）のフロー・チャート



(4)　処理フロー（連続送受信モード時）

図13 - 48　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

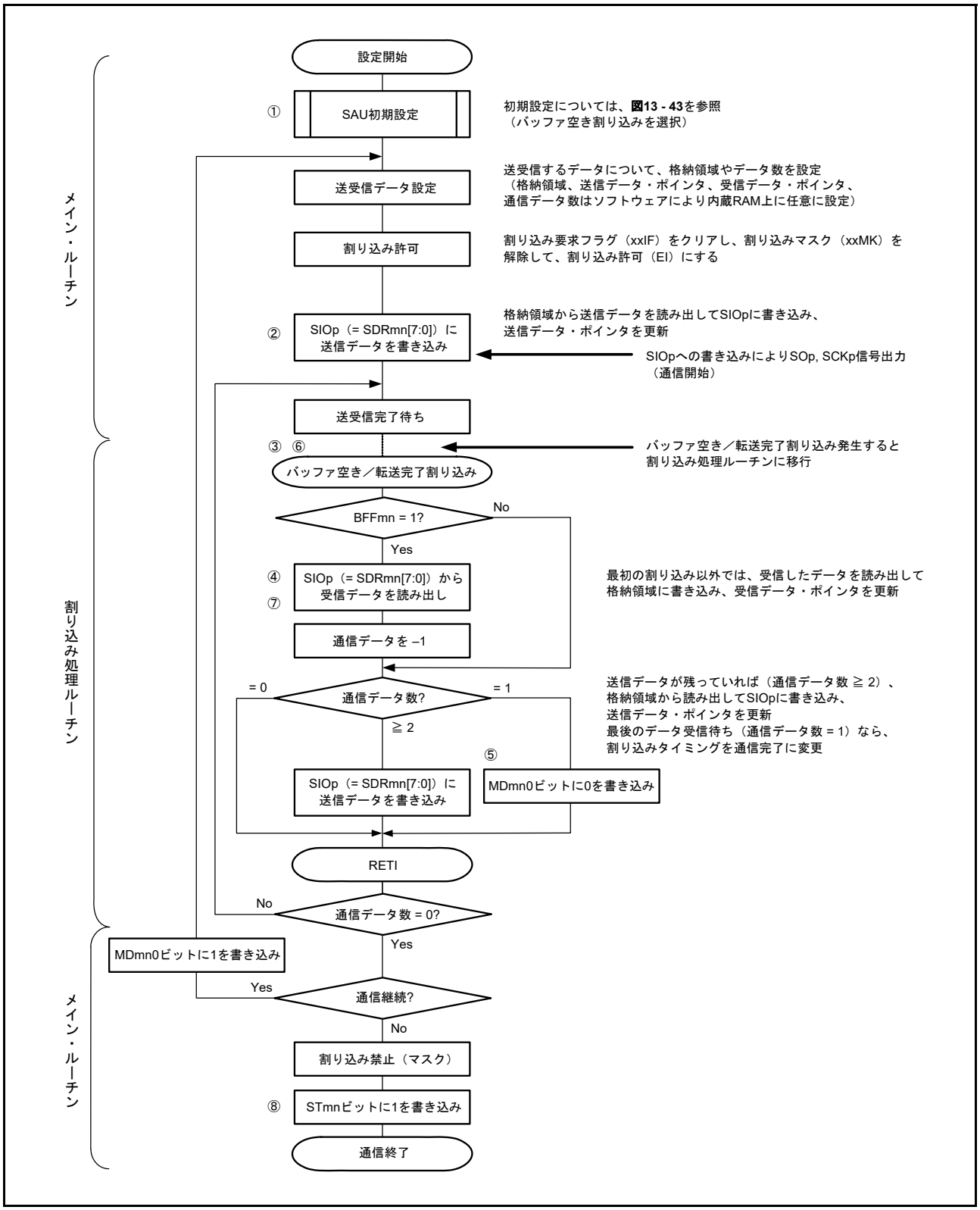
注2.　この期間にSDRmnレジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。**
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、**図13 - 49　マスタ送受信（連続送受信モード時）のフロー・チャート**の①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 49　マスタ送受信（連続送受信モード時）のフロー・チャート



備考　図中の①～⑧は、**図13 - 48　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑧に対応しています。

13.5.4　スレーブ送信

スレーブ送信とは、ほかのデバイスから転送クロックを入力される状態で、本製品からほかのデバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20	CSI21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SO00	SCK01, SO01	SCK11, SO11	SCK20, SO20	SCK21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能				
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ				
転送データ長	7ビットまたは8ビット				
転送レート	Max. f_{MCK}/6 [Hz]注1, 2				
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ出力を開始				
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転				
データ方向	MSBファーストまたはLSBファースト				

注1. SCK00, SCK01, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートはf_{MCK}/6 [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{SCK}：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 50　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）のスレーブ送信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定							

SIOp

(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	注	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 0/1	SOm2 ×	SOm1 0/1	SOm0 0/1

(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 ×	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注　SO0レジスタは1固定、SO1レジスタは0固定になります。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

備考2. ■：簡易SPI（CSI）スレーブ送信モードでは設定固定、■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 51　スレーブ送信の初期設定手順

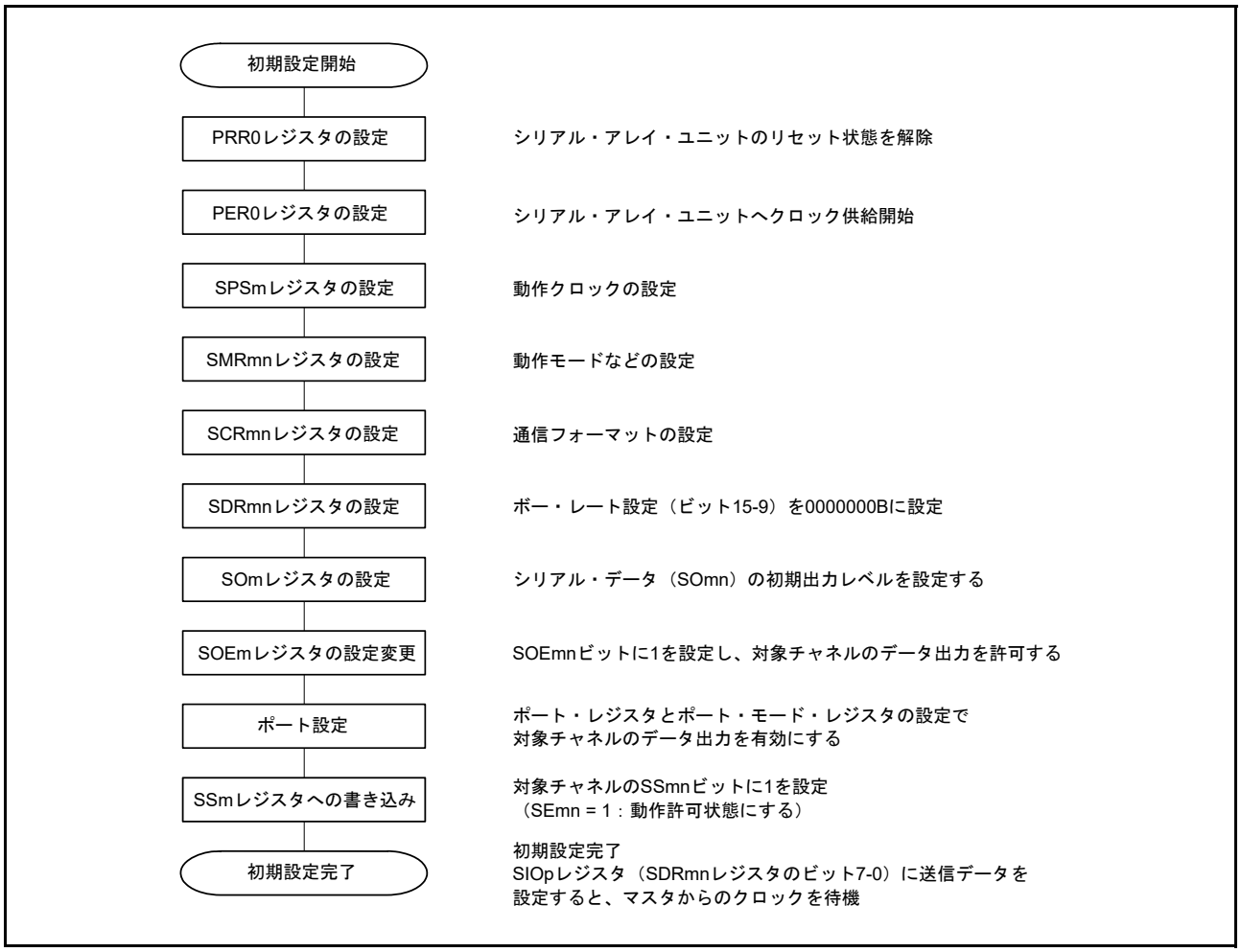


図13 - 52　スレーブ送信の中断手順

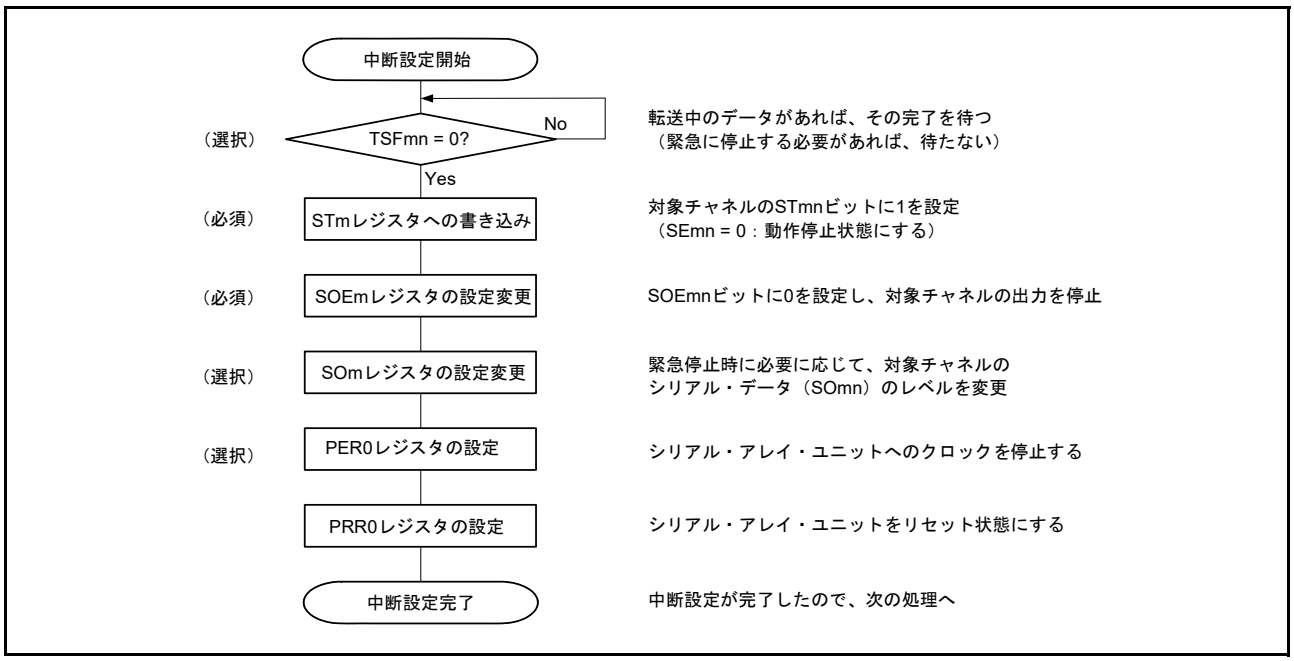
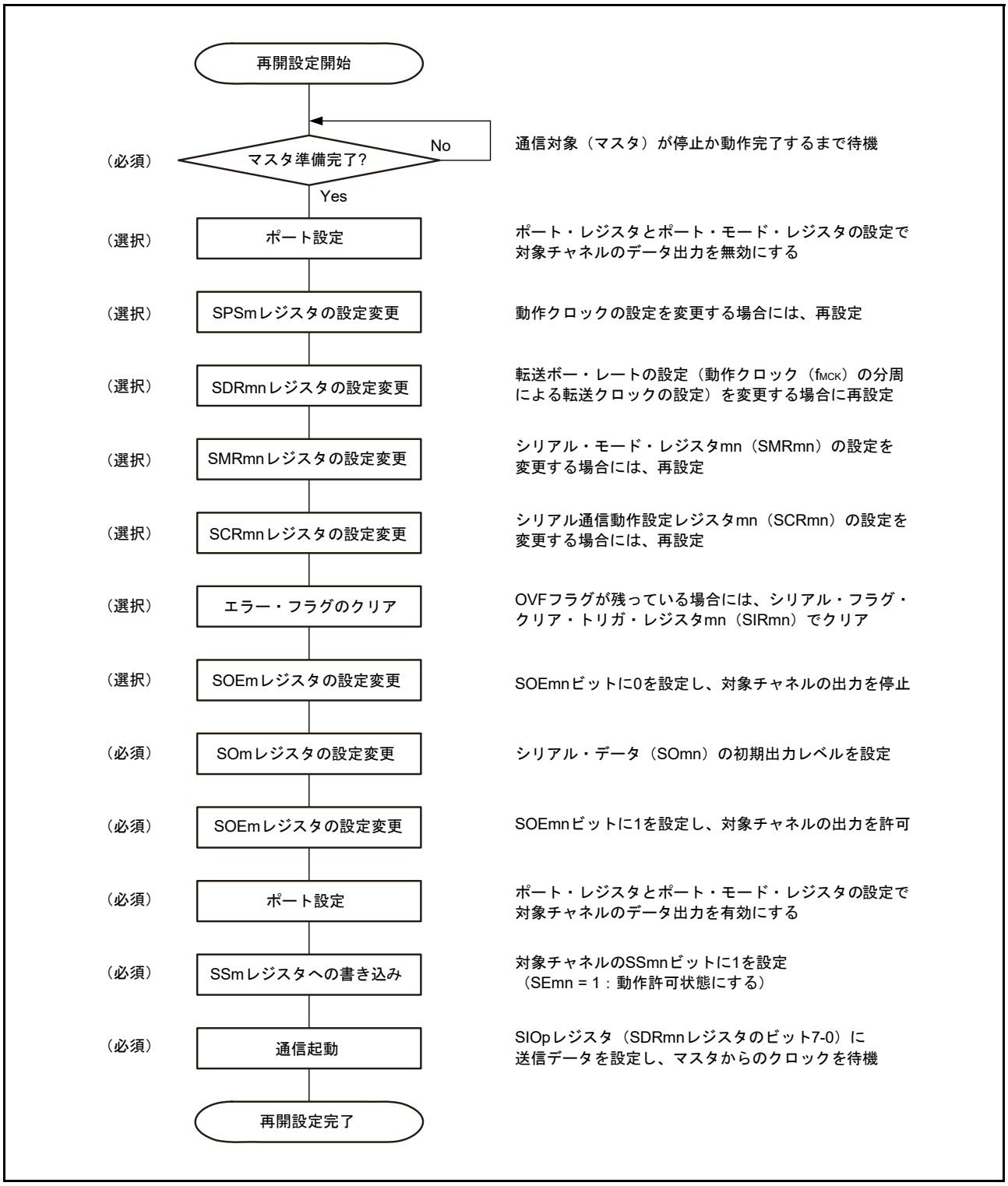


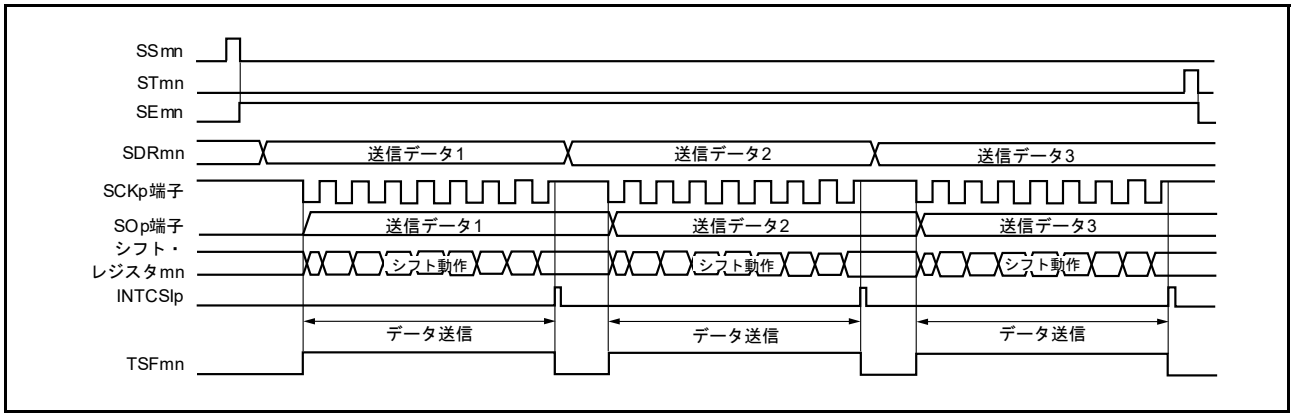
図13 - 53　スレーブ送信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

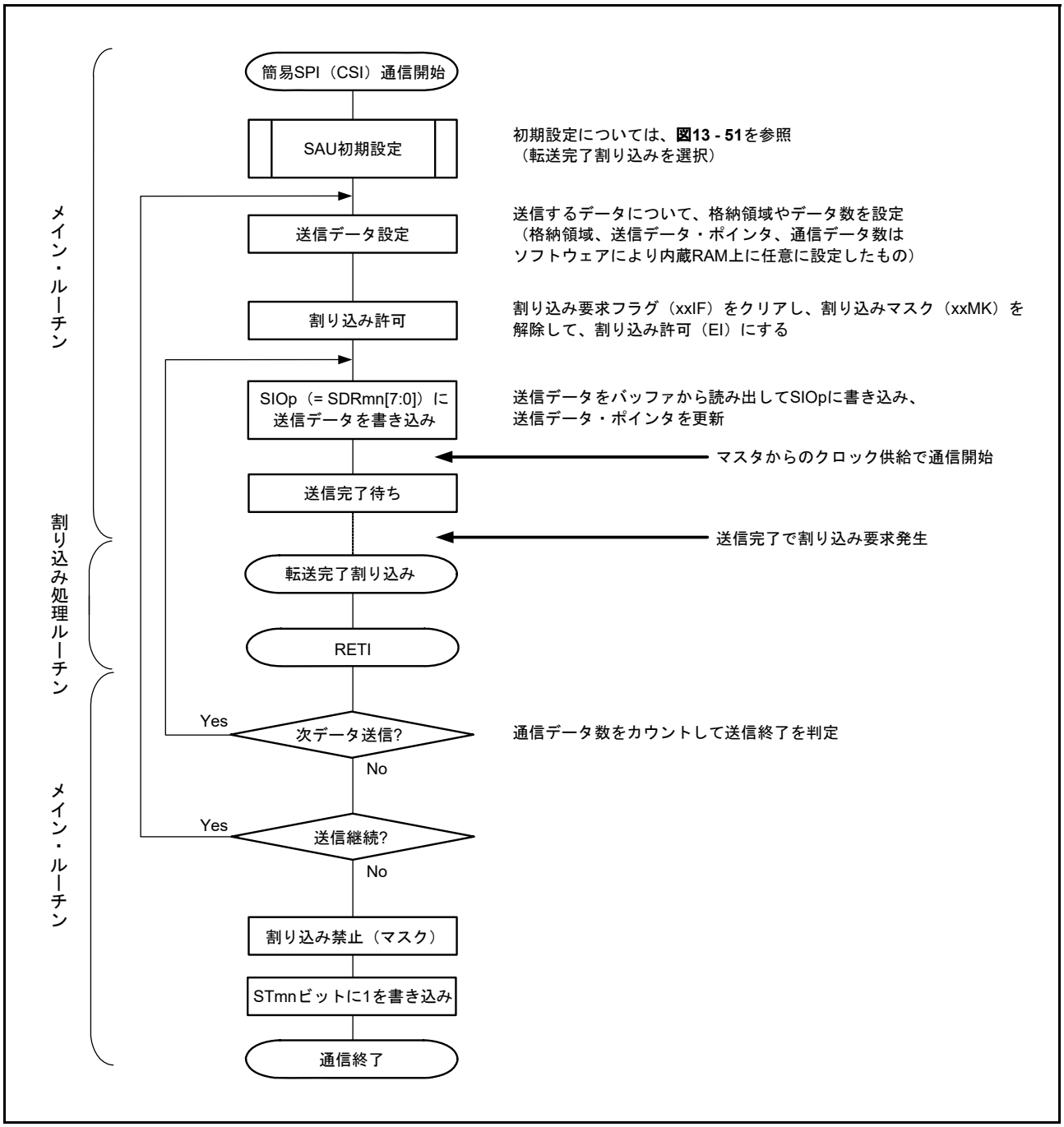
(3)　処理フロー（シングル送信モード時）

図13 - 54　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



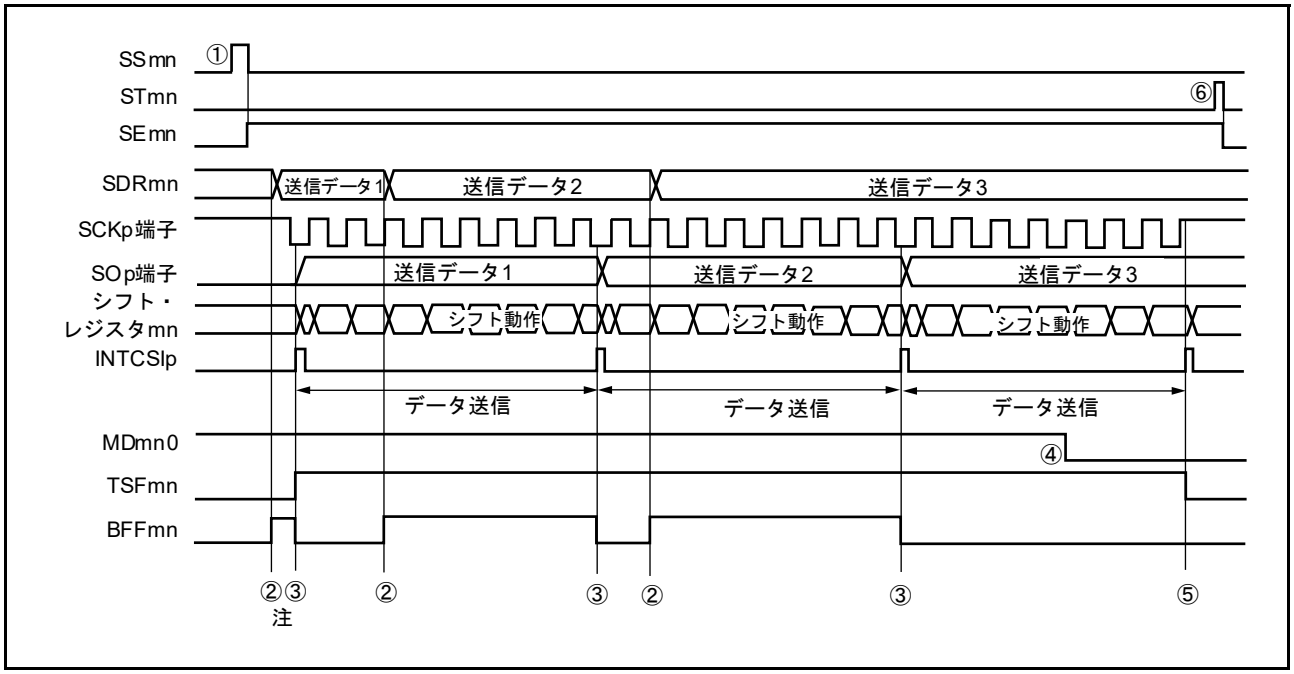
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 55　スレーブ送信（シングル送信モード時）のフロー・チャート



(4)　処理フロー（連続送信モード時）

図13 - 56　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）

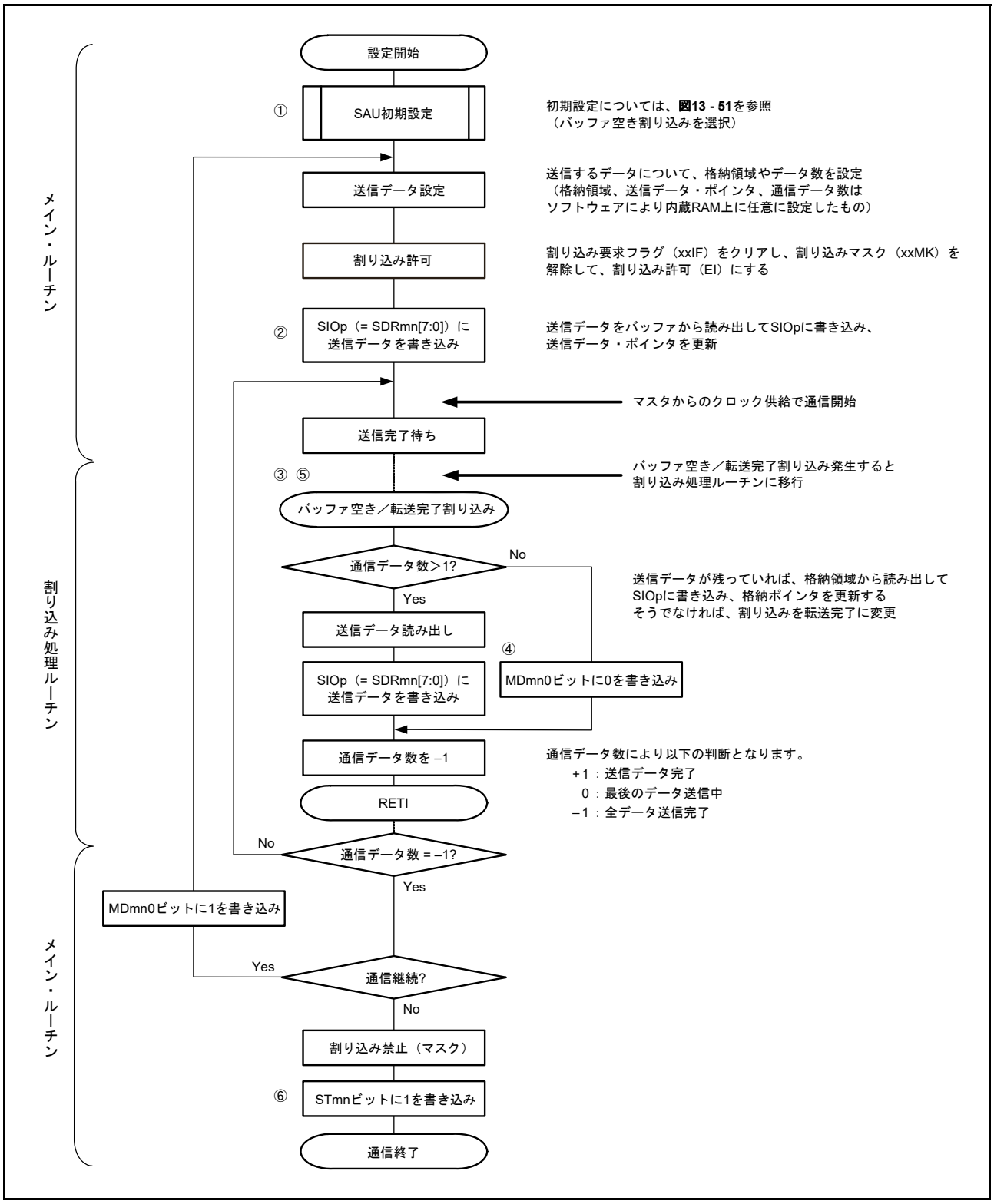


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。**

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 57　スレーブ送信（連続送信モード時）のフロー・チャート



備考　図中の①～⑥は、**図13 - 56　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑥に対応しています。

13.5.5　スレーブ受信

スレーブ受信とは、ほかのデバイスから転送クロックを入力される状態で、本製品がほかのデバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20	CSI21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00	SCK01, SI01	SCK11, SI11	SCK20, SI20	SCK21, SI21
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）				
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ				
転送データ長	7ビットまたは8ビット				
転送レート	Max. f_{MCK}/6 [Hz]注1, 2				
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入力を開始				
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転				
データ方向	MSB ファーストまたは LSB ファースト				

注1. SCK00, SCK01, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートはf_{MCK}/6 [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{SCK}：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 58　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）のスレーブ受信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0

チャネルnの動作クロック（fMCK）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの割り込み要因
0：転送完了割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1注1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	受信データ							

SIOp

(d)　シリアル出力レジスタm（SOm）：このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	注2	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 ×	SOm2 ×	SOm1 ×	SOm0 ×

(e)　シリアル出力許可レジスタm（SOEm）：このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注1.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注2.　SO0レジスタは1固定、SO1レジスタは0固定になります。

（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

★ **備考2.** ■：簡易SPI（CSI）スレーブ受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 59　スレーブ受信の初期設定手順

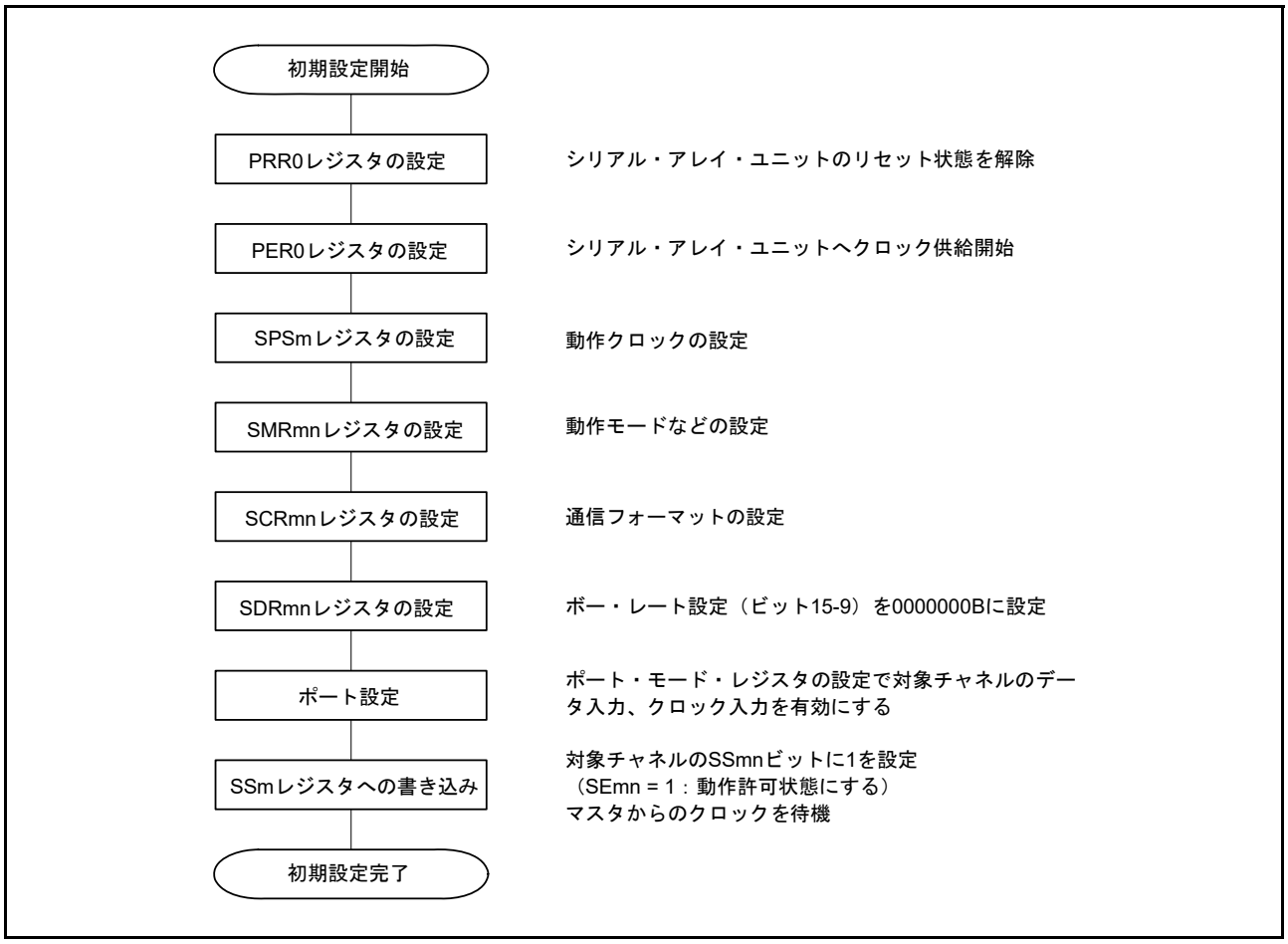


図13 - 60　スレーブ受信の中断手順

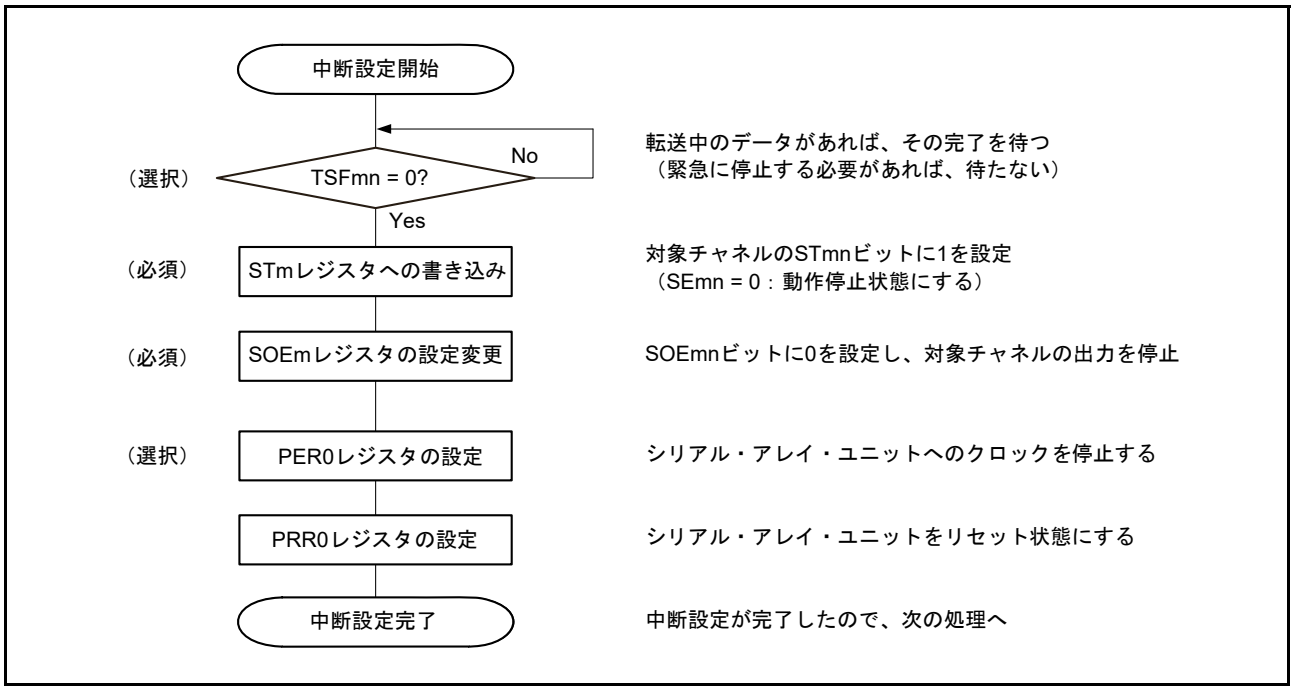
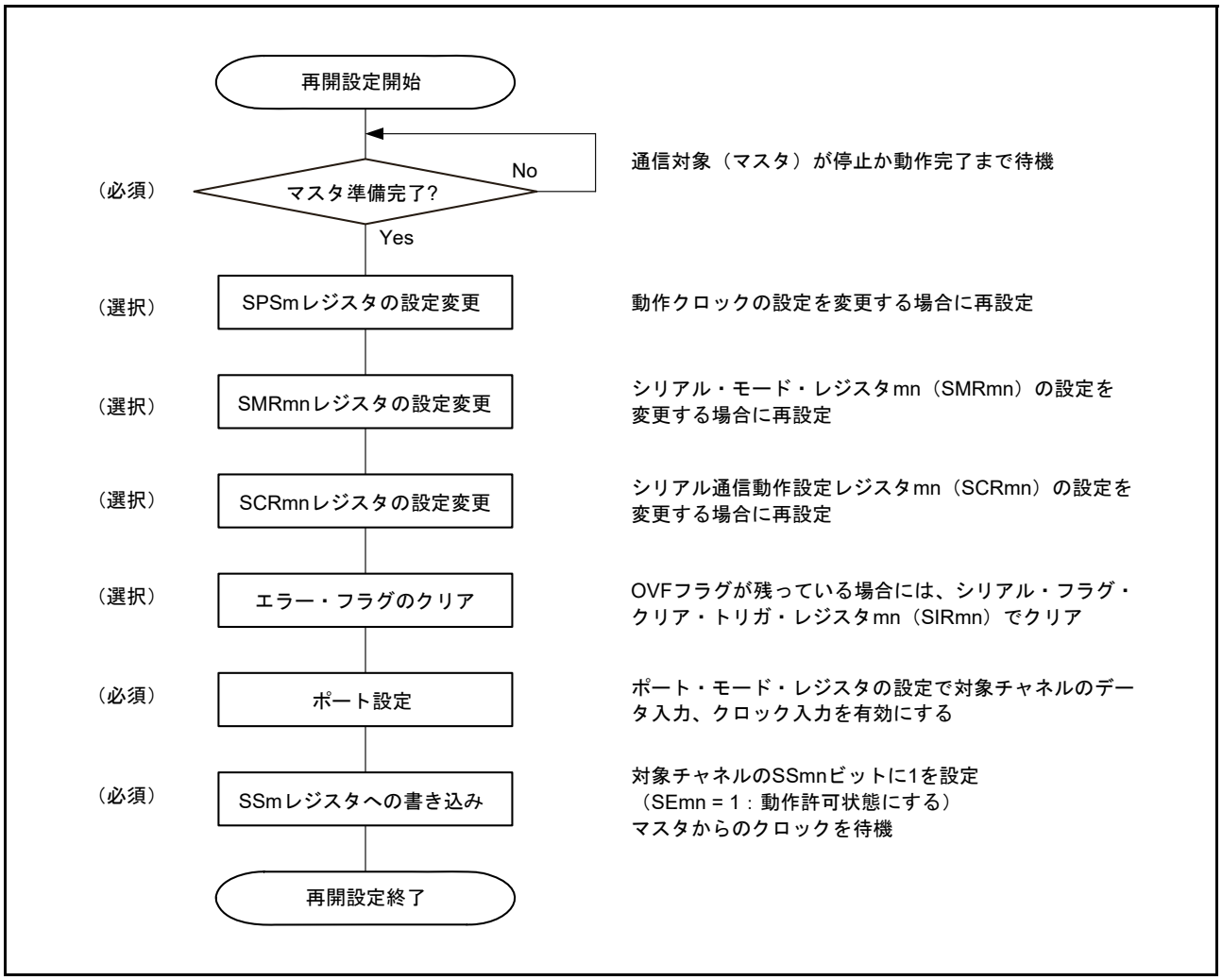


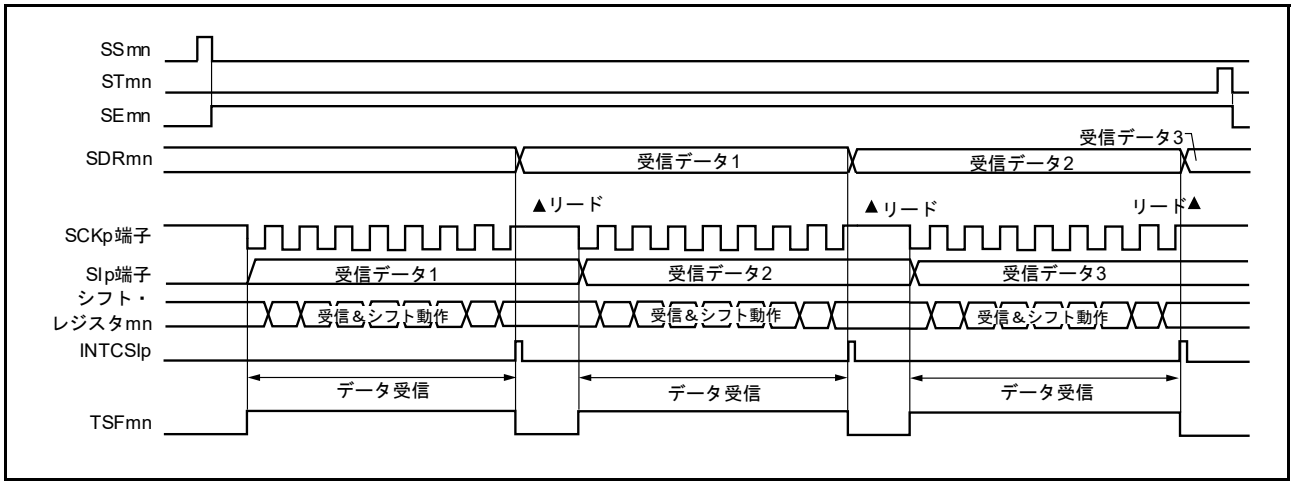
図13 - 61　スレーブ受信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

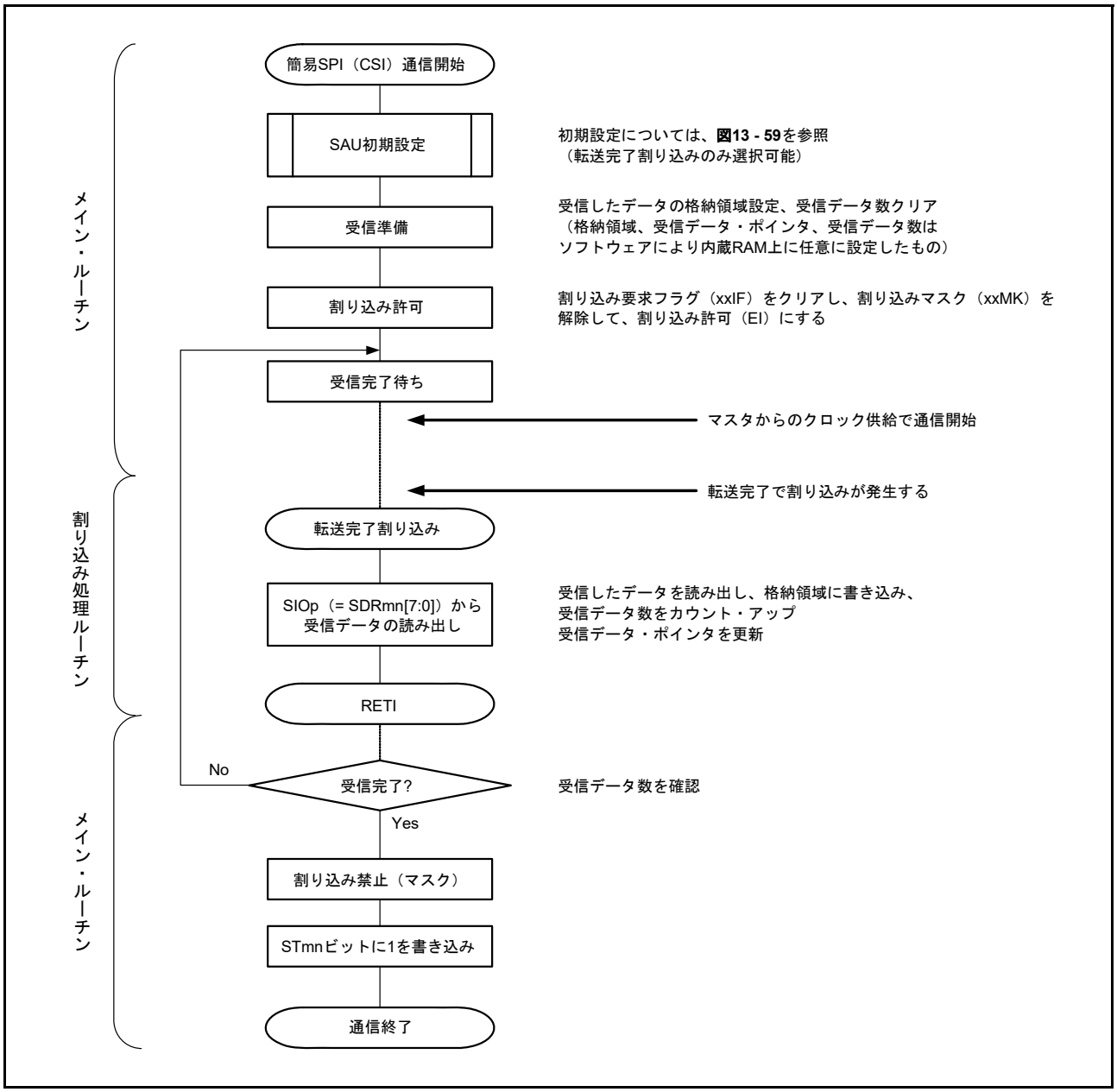
(3)　処理フロー（シングル受信モード時）

図13 - 62　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 63　スレーブ受信（シングル受信モード時）のフロー・チャート



13.5.6　スレーブ送受信

スレーブ送受信とは、ほかのデバイスから転送クロックを入力される状態で、本製品とほかのデバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI11	CSI20	CSI21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21
割り込み	INTCSI00	INTCSI01	INTCSI11	INTCSI20	INTCSI21
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能				
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ				
転送データ長	7ビットまたは8ビット				
転送レート	Max. f_{MCK}/6 [Hz]注1, 2				
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 • DAPmn = 1の場合：シリアル・クロックの動作開始の半クロック前からデータ入出力を開始				
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転				
データ方向	MSBファーストまたはLSBファースト				

注1. SCK00, SCK01, SCK11, SCK20, SCK21端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートはf_{MCK}/6 [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{SCK}：シリアル・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 64　簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）のスレーブ送受信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 1	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（fMCK）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1注1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は、**13.3　シリアル・アレイ・ユニットを制御するレジスタ**参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	0000000 ボー・レート設定							0	送信データ設定／受信データ・レジスタ							

SIOp

(d)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	注2	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 0/1	SOm2 ×	SOm1 0/1	SOm0 0/1

(e)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 ×	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注1.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注2.　SO0レジスタは1固定、SO1レジスタは0固定になります。

注意　マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

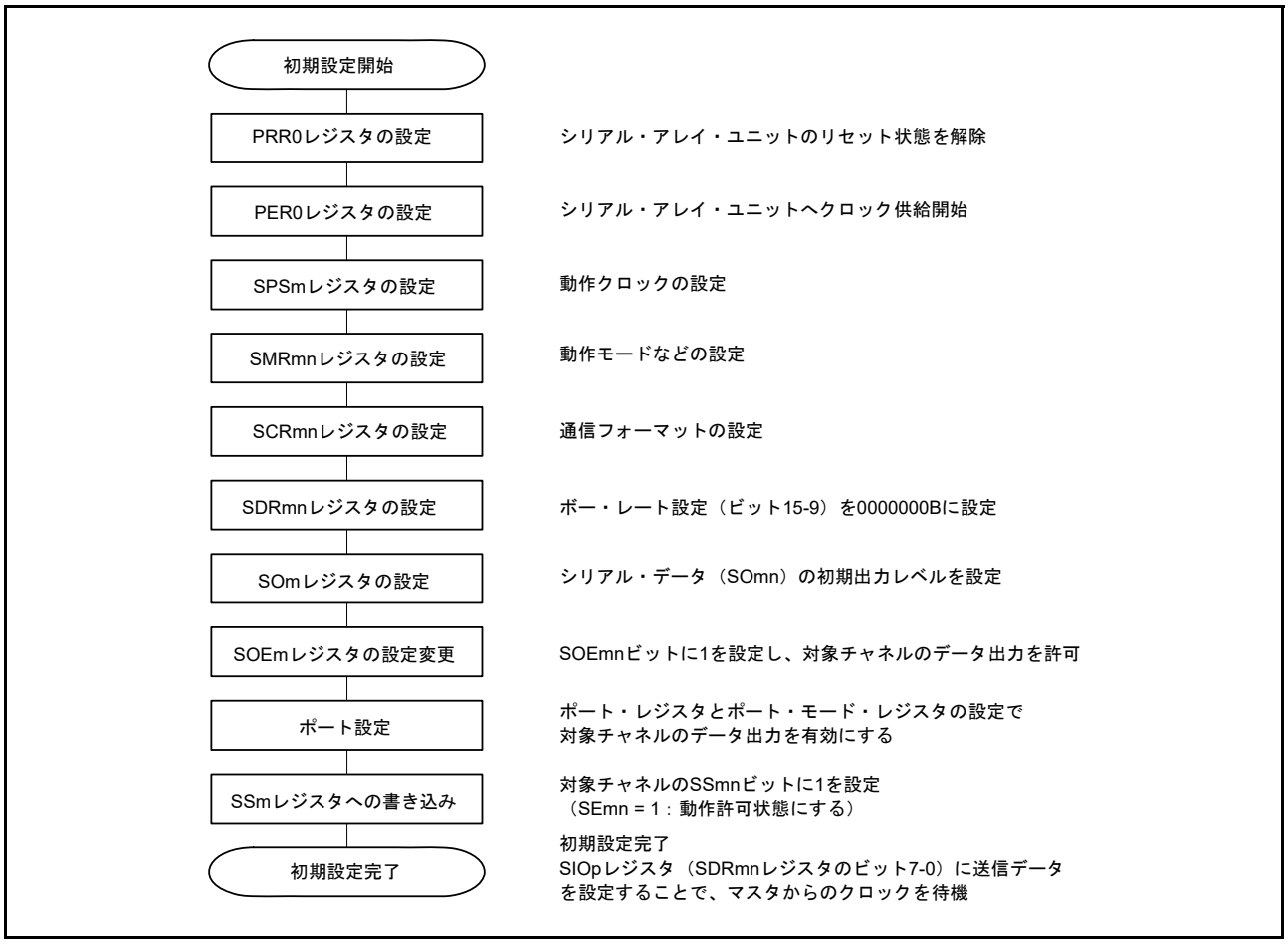
（備考は次ページに続きます）

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

備考2. ■：簡易SPI（CSI）スレーブ送受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 65　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図13 - 66　スレーブ送受信の中断手順

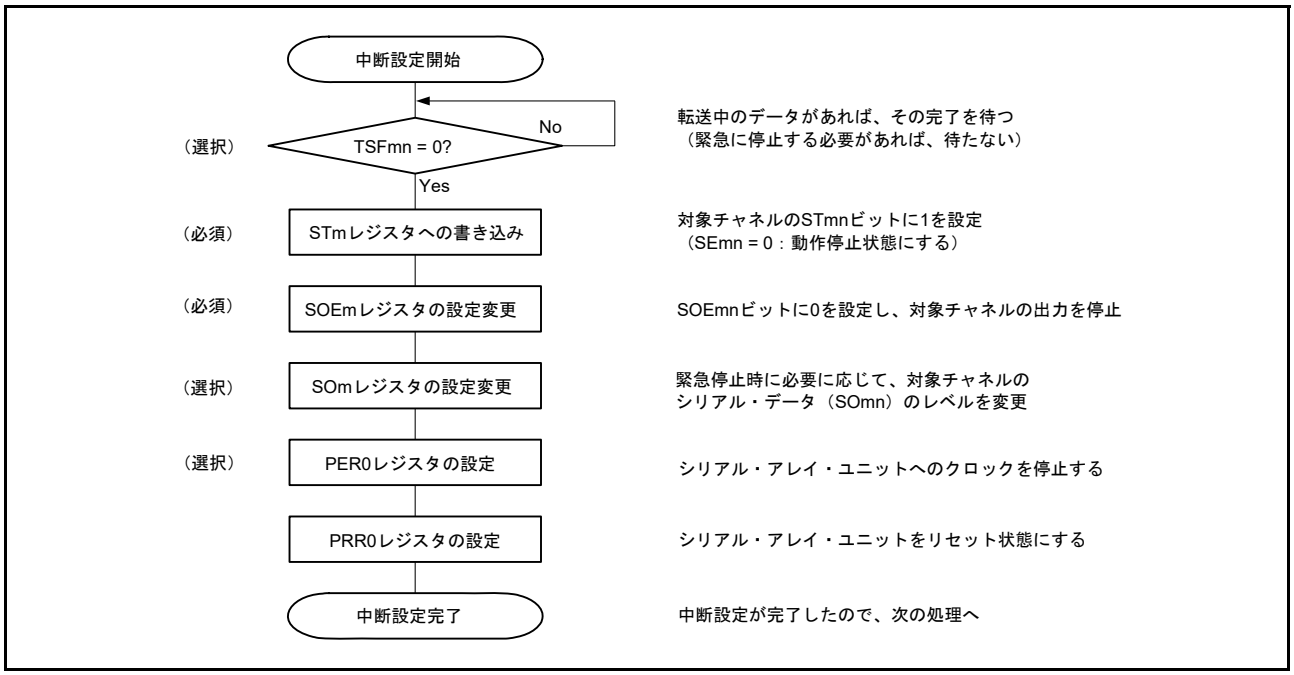
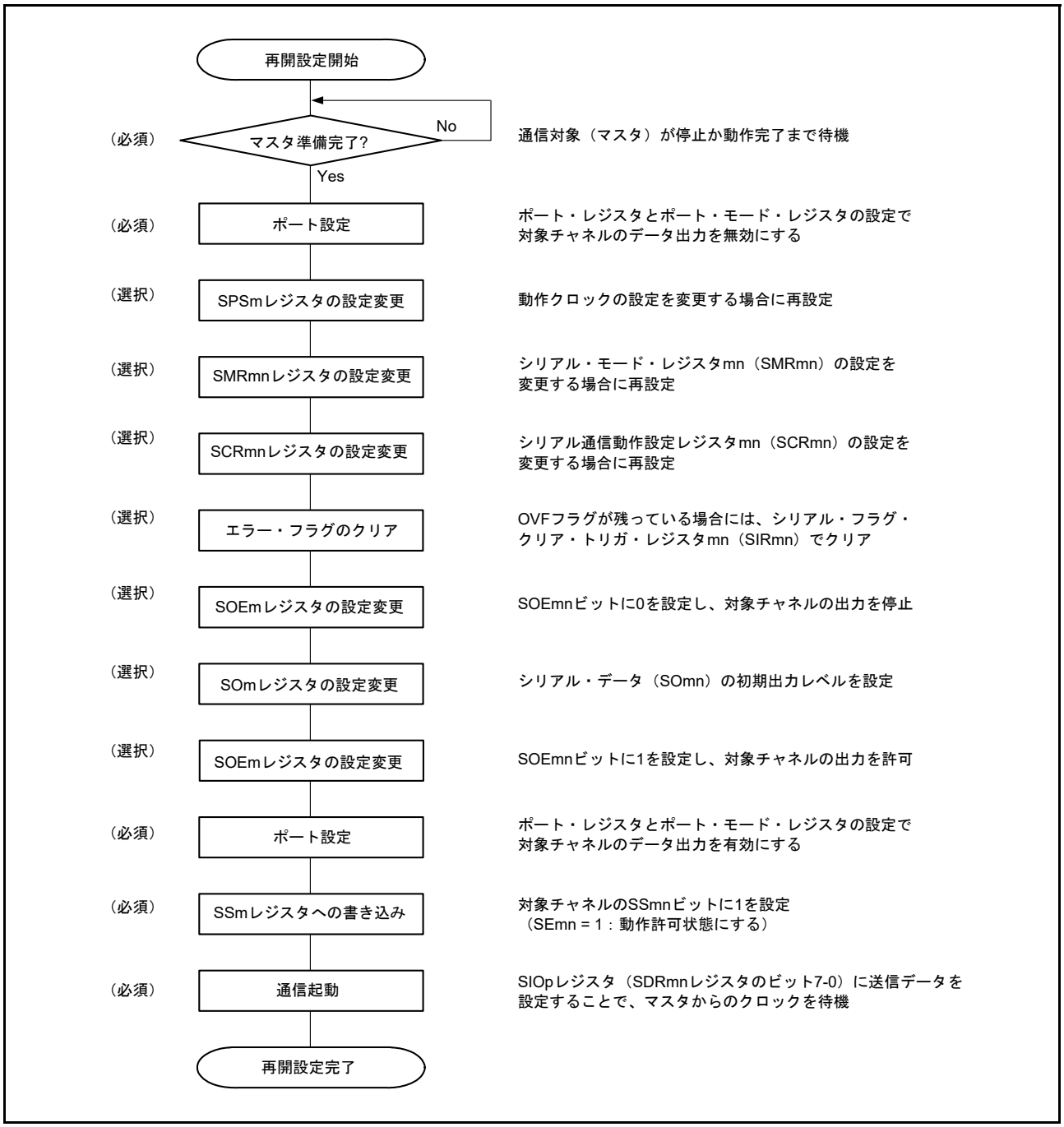


図13 - 67　スレーブ送受信の再開設定手順

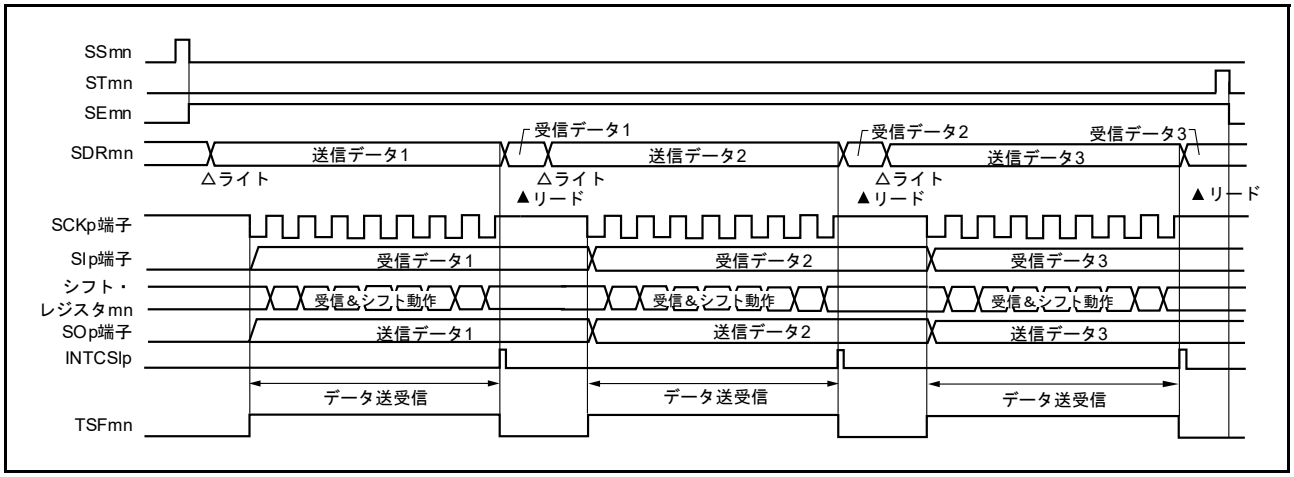


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象（マスタ）の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

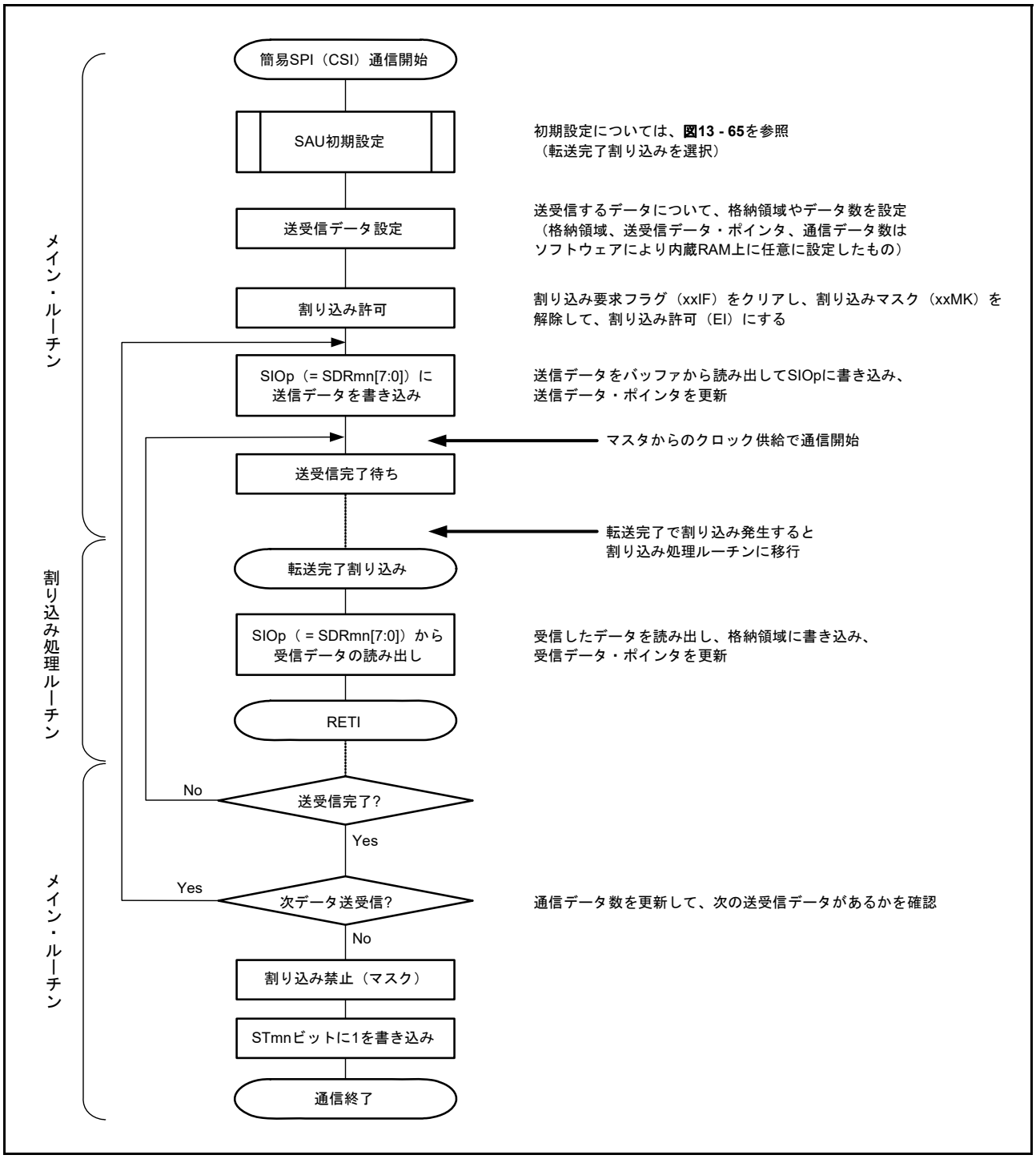
(3)　処理フロー（シングル送受信モード時）

図13 - 68　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

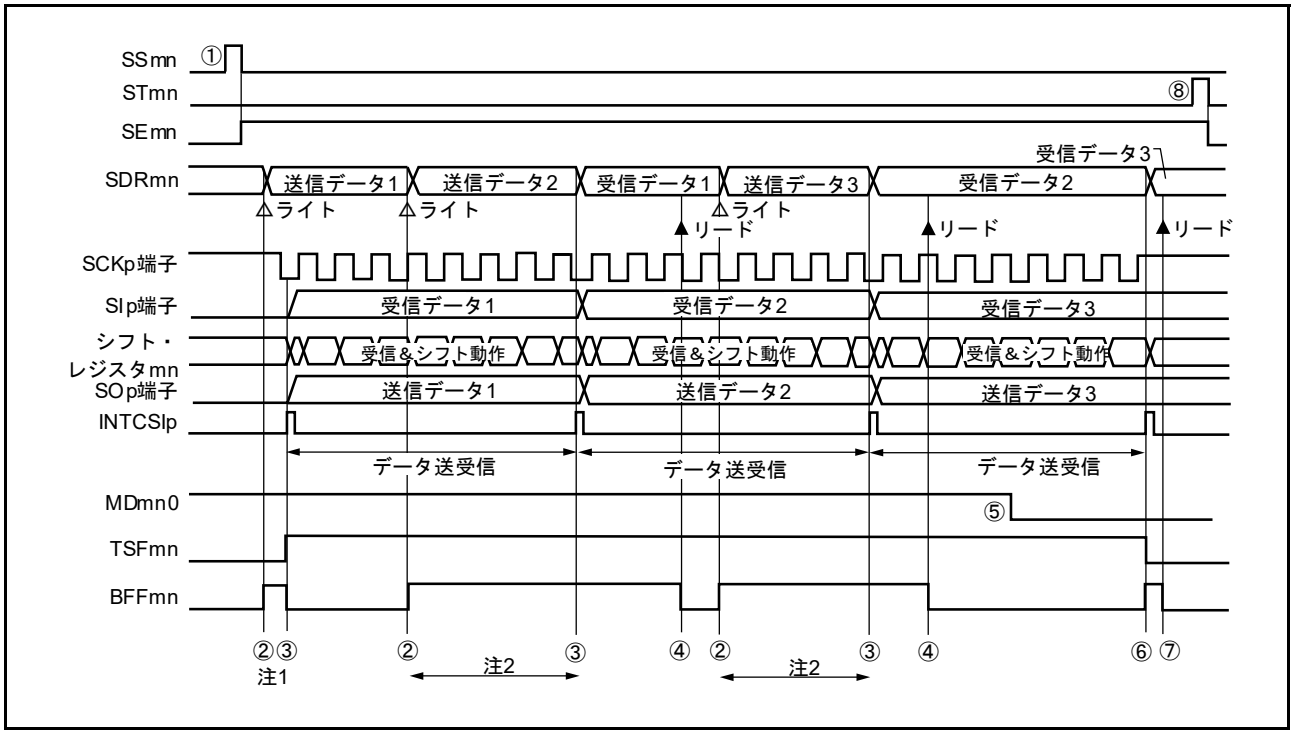
図13 - 69　スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意　**マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。**

(4)　処理フロー（連続送受信モード時）

図13 - 70　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

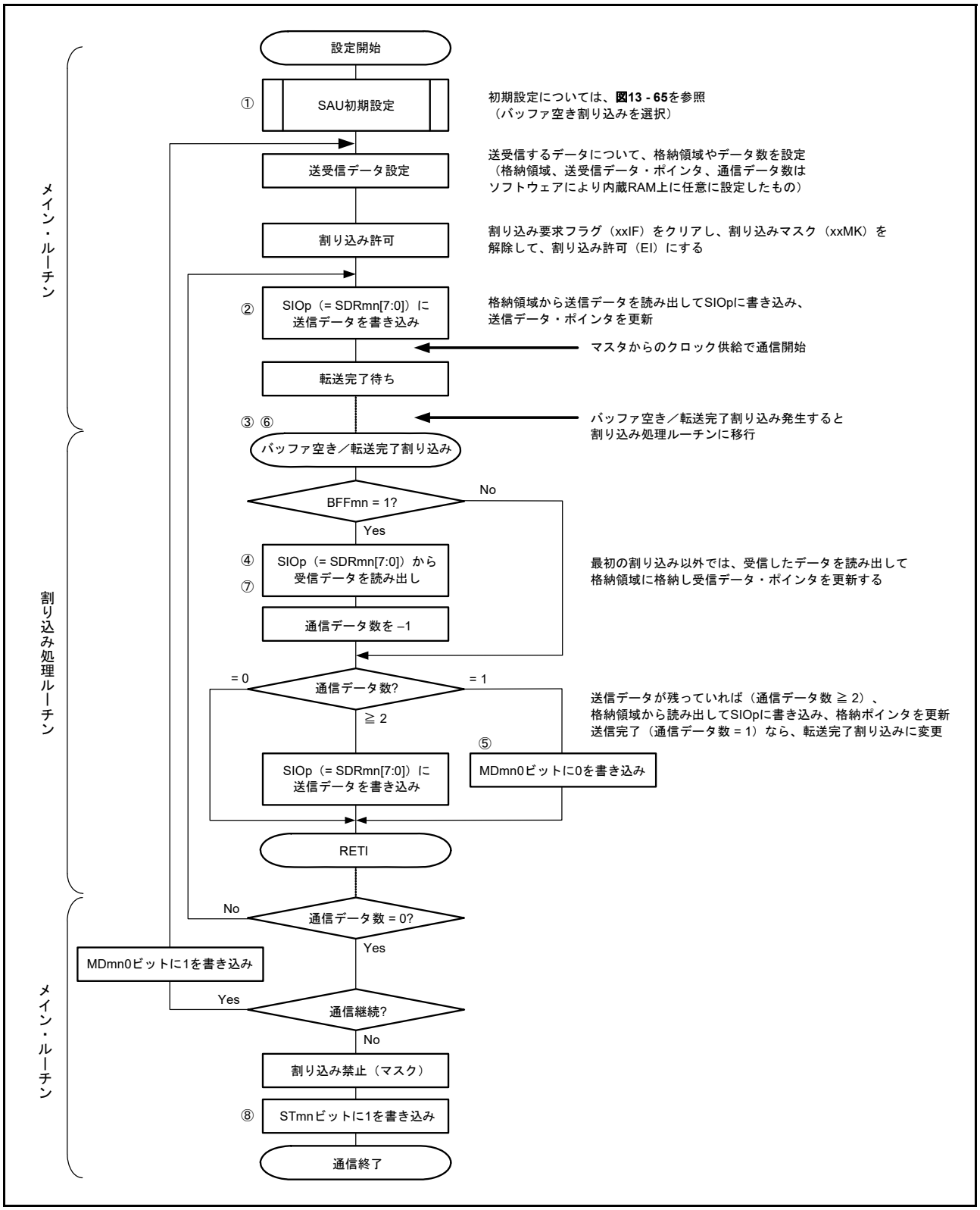
注2.　この期間にSDRmnレジスタを読み出すと、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。**

備考1. 図中の①～⑧は、**図13 - 71　スレーブ送受信（連続送受信モード時）のフロー・チャート**の①～⑧に対応しています。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、p：CSI番号（p = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

図13 - 71　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考　図中の①～⑧は、**図13 - 70　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）**の①～⑧に対応しています。

13.5.7　SNOOZEモード機能

STOP モード時に SCK00 端子入力の検出により簡易 SPI（CSI）の受信動作をさせるモードです。通常 STOP モード時に簡易 SPI（CSI）は通信動作を停止しますが、SNOOZE モード機能を使用することで、SCK00 端子入力の検出によって CPU を動作させずに簡易 SPI（CSI）の受信動作を行うことができます。

SNOOZE モードは、簡易 SPI（CSI00）のみ設定可能です。

簡易 SPI（CSI）を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います（**図 13 - 73　SNOOZE モード動作（1 回起動）時のフロー・チャート**および**図 13 - 75　SNOOZE モード動作（連続起動）時のフロー・チャート**参照）。

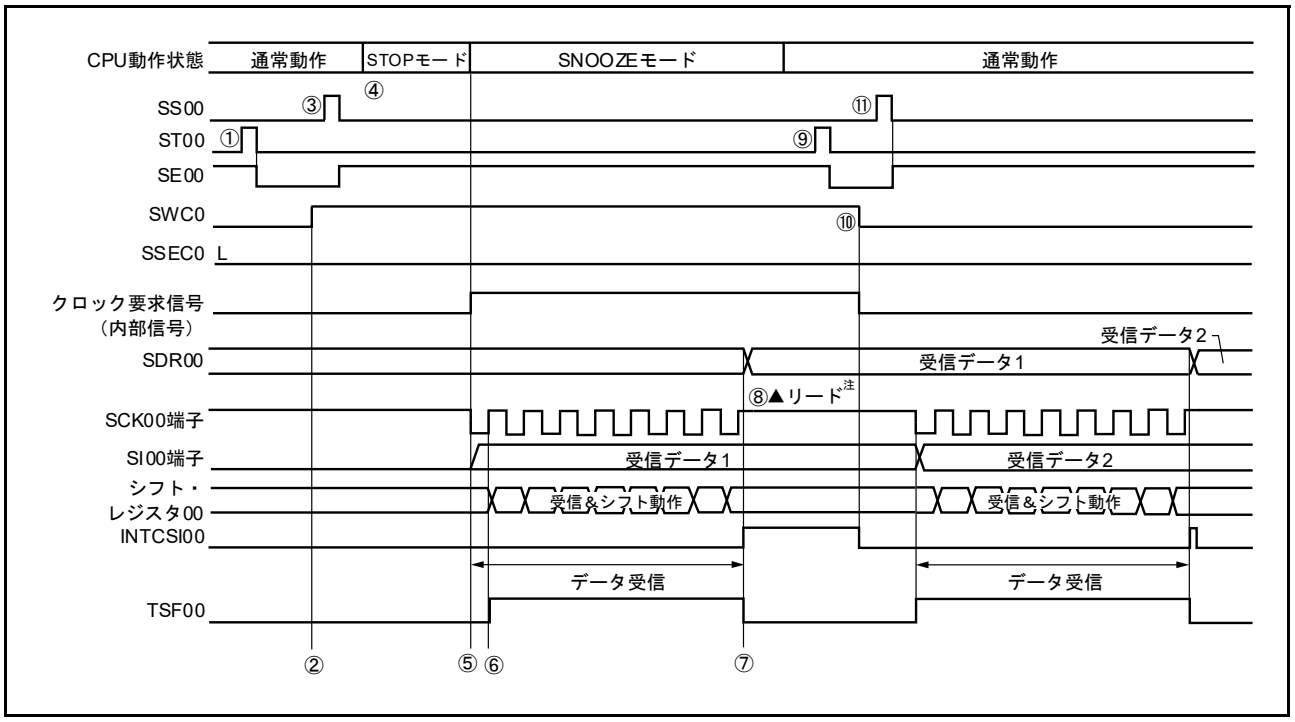
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ 0（SSC0）のSWC0ビットに1を設定してください。初期設定完了後、シリアル・チャネル開始レジスタ 0（SS0）のSS00ビットに1を設定します。
- STOPモードに移行後、SCK00端子の有効エッジを検出するとSNOOZEモードへ移行します。
  SCK00端子のシリアル・クロック入力により、CSI00は受信動作を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意2. SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

(1)　SNOOZEモード動作（1回起動）

図13 - 72　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）



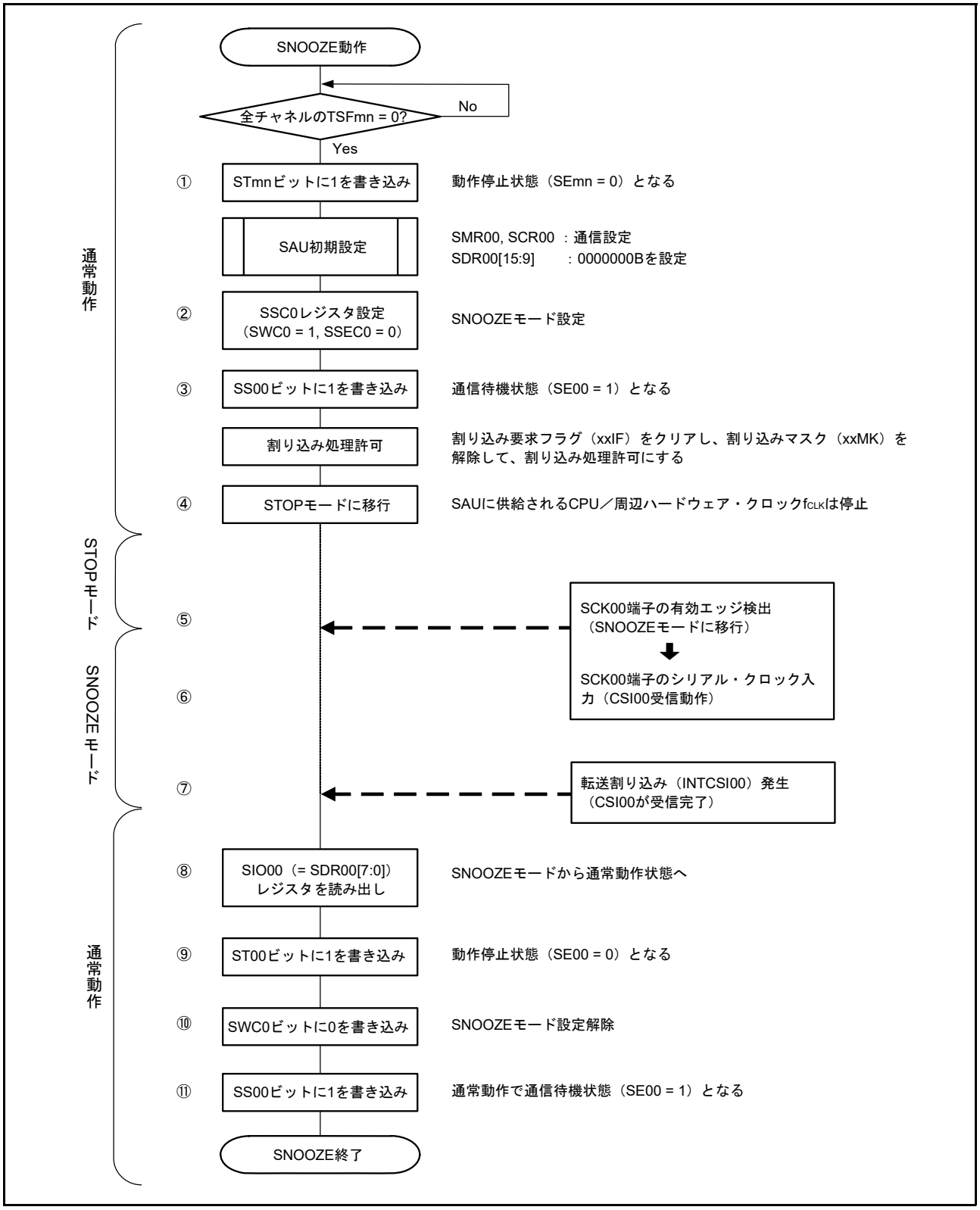
注　受信データの読み出しは、SWC0 = 1の状態、次のSCK00端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST00ビットに1を設定してください（SE00ビットがクリアされ動作停止）。また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

注意2. SWC0 = 1のときは、BFF00, OVF00フラグは動作しません。

備考　図中の①～⑪は、**図13 - 73　SNOOZEモード動作（1回起動）時のフロー・チャート**の①～⑪に対応しています。

図13 - 73　SNOOZEモード動作（1回起動）時のフロー・チャート



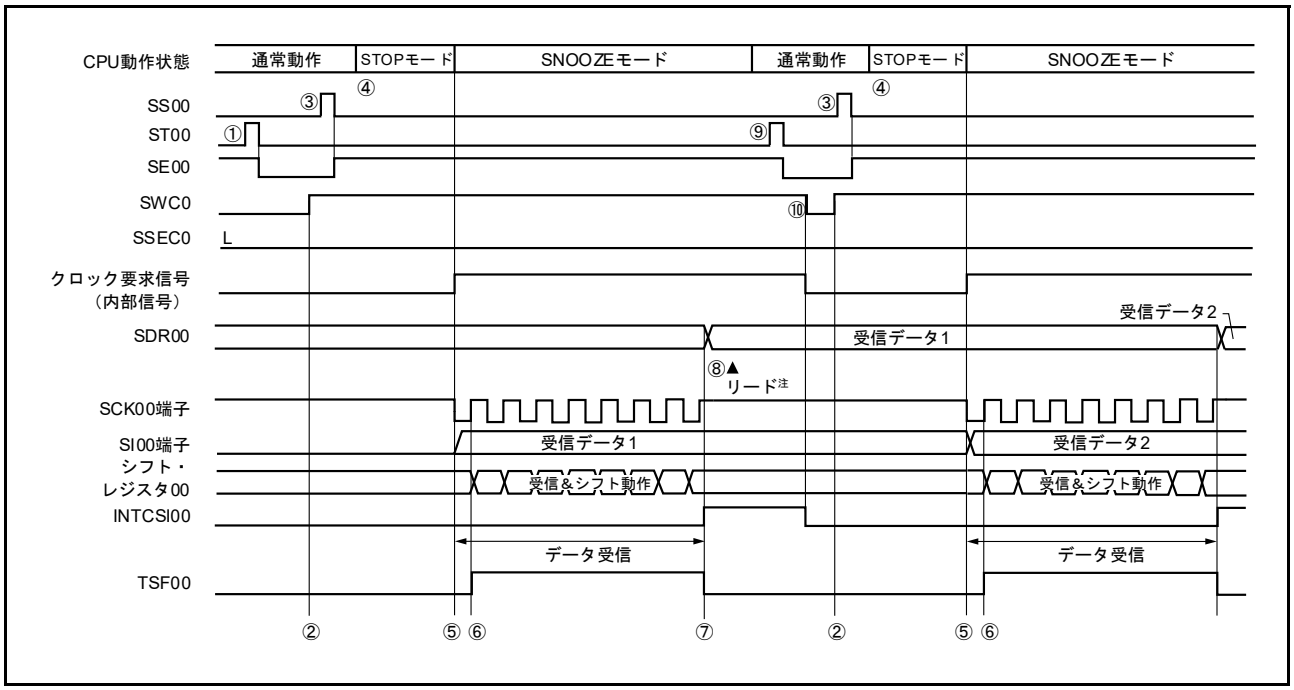
（備考は次ページに続きます）

備考1. 図中の①～⑪は、**図13 - 72　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）**の①～⑪に対応しています。

備考2. 16ピン製品　：m = 0, n = 0
20～25ピン製品　：m = 0; n = 0, 3
30, 32ピン製品　：m = 0, 1; n = 0, 3
36～44ピン製品　：m = 0, 1; n = 0, 1, 3
48ピン製品　：m = 0, 1; n = 0, 1, 3

(2)　SNOOZEモード動作（連続起動）

図13 - 74　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）



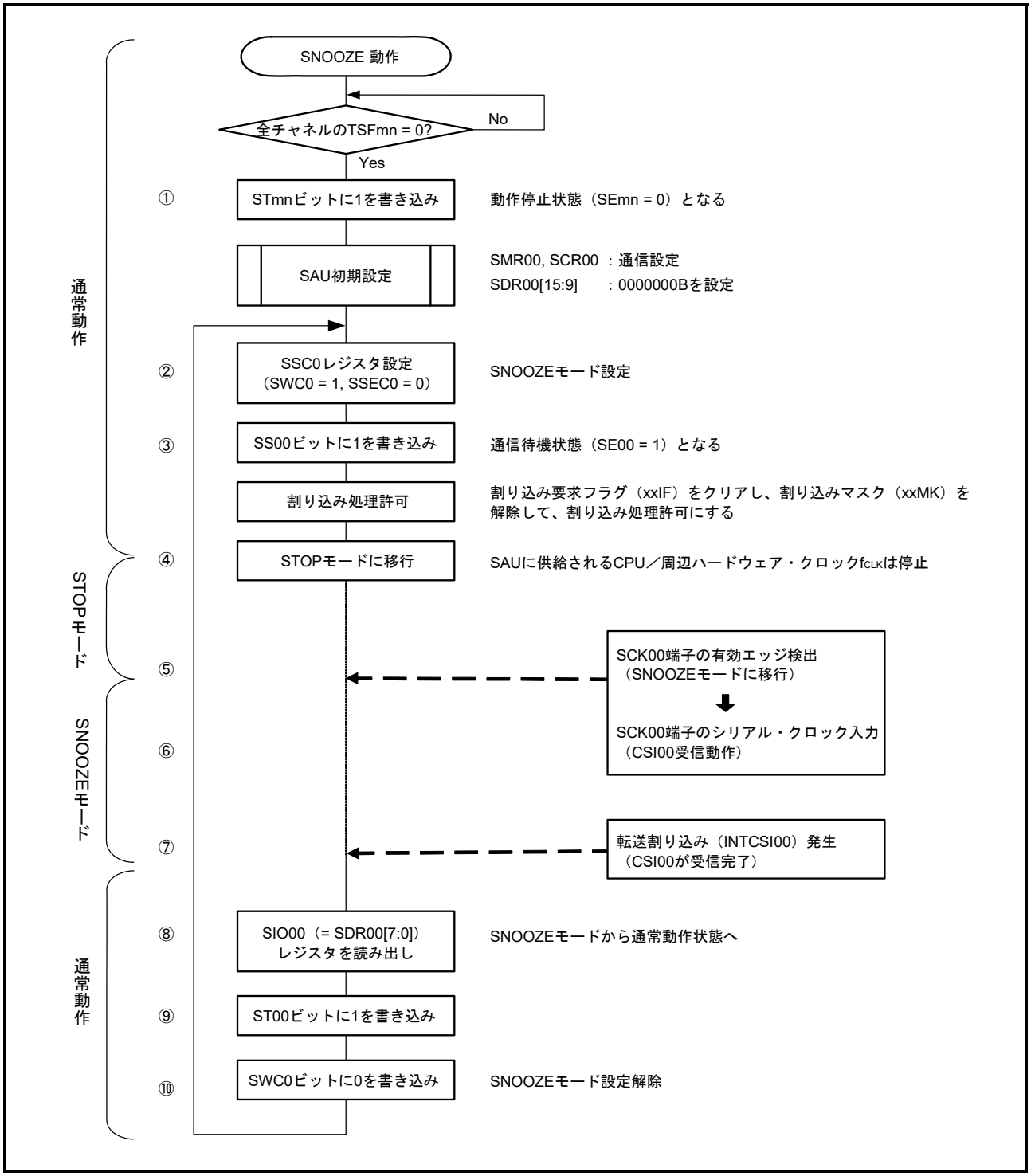
注　受信データの読み出しは、SWC0 = 1の状態、次のSCK00端子の有効エッジ検出前に行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、ST00ビットに1を設定してください（SE00ビットがクリアされ動作停止）。また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

注意2. SWC0 = 1のときは、BFF00, OVF00フラグは動作しません。

備考　図中の①～⑩は、**図13 - 75　SNOOZEモード動作（連続起動）時のフロー・チャート**の①～⑩に対応しています。

図13 - 75　SNOOZEモード動作（連続起動）時のフロー・チャート



備考1. 図中の①～⑩は、**図13 - 74　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAP00 = 0, CKP00 = 0）**の①～⑩に対応しています。

備考2. 16ピン製品　：m = 0, n = 0
20～25ピン製品　：m = 0; n = 0, 3
30, 32ピン製品　：m = 0, 1; n = 0, 3
36～44ピン製品　：m = 0, 1; n = 0, 1, 3
48ピン製品　：m = 0, 1; n = 0, 1, 3

13.5.8　転送クロック周波数の算出

簡易 SPI（CSI00, CSI01, CSI11, CSI20, CSI21）通信での転送クロック周波数は下記の計算式にて算出できます。

(1)　マスタの場合

（転送クロック周波数）= ｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDRmn[15:9] + 1）÷ 2 [Hz]

(2)　スレーブの場合

（転送クロック周波数）= ｛マスタが供給するシリアル・クロック（SCK）周波数｝注[Hz]

注　ただし、許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9]は、シリアル・データ・レジスタ mn（SDRmn）のビット15-9の値（0000000B-1111111B）なので、0-127になります。

動作クロック（f_{MCK}）は、シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）の CKSmn ビットで決まります。

表13 - 3　簡易SPI動作クロックの選択 (1/2)

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	32 MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	16 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	×	×	×	×	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	×	×	×	×	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	×	×	×	×	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	×	×	×	×	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz

表13 - 3　簡易SPI動作クロックの選択 (2/2)

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
1	0	0	0	0	×	×	×	×	f_{CLK}	32 MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	16 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	×	×	×	×	$f_{CLK}/2^{12}$	7.81 kHz
	1	1	0	1	×	×	×	×	$f_{CLK}/2^{13}$	3.91 kHz
	1	1	1	0	×	×	×	×	$f_{CLK}/2^{14}$	1.95 kHz
	1	1	1	1	×	×	×	×	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. ×：Don't care

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

13.5.9 簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）通信時におけるエラー発生時の処理手順

表 13 - 4 に簡易 SPI（CSI00, CSI01, CSI11, CSI20, CSI21）通信時にエラーが発生した場合の処理手順を示します。

表13 - 4　オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）を読み出す →	SSRmnレジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に1を書き込む →	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

13.6　UART（UART0-UART2）通信の動作

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の２本のラインによる、調歩同期式通信機能です。この２本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる１データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）、データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の２チャネルを使用することで、全二重調歩同期 UART 通信が実現できます。また、UART2 とタイマ・アレイ・ユニット０（チャネル７）と外部割り込み（INTP0）を組み合わせて LIN-bus にも対応可能です。

［データ送受信］

- 7, 8, 9ビットのデータ長注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定（レベルを反転するかどうかの選択）
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加、ストップ・ビット・チェック機能

［割り込み機能］

- 転送完了割り込み／バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、UART0 の受信は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態で RxD 入力を検出すると、CPU 動作を必要とせずにデータ受信を行う機能です。

UART2（ユニット１のチャネル 0, 1）は、LIN-bus に対応しています（30 ～ 48 ピン製品のみ）。

［LIN-bus 機能］

- ウェイクアップ信号検出
- ブレーク・フィールド（BF）検出
- シンク・フィールド測定、ボー・レート算出

} 外部割り込み（INTP0）、タイマ・アレイ・ユニット0（チャネル7）を使用

注　9ビット・データ長は、以下のUARTのみ対応しています。

- 16～48ピン製品 ：UART0

fCLK に中速オンチップ・オシレータ・クロック（fIM）または低速オンチップ・オシレータ・クロック（fIL）を選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）または低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM）を使用して発振周波数精度の補正を行ってください。

- UART0では、SAU0のチャネル0, 1を使用します。
- UART1では、SAU0のチャネル2, 3を使用します。
- UART2では、SAU1のチャネル0, 1を使用します。

16 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	–	–
	3	–		IIC11

20～25 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11

30, 32 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	–		–

36～44 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	–		–
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	–	UART1	–
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

各チャネルはどれか1つの機能を選択して使用します。選択された機能以外の動作はできません。たとえば、ユニット0のチャネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャネルが異なるチャネル3をCSI11やUART1やIIC11で使用することはできます。

注意　UARTとして使用する場合は、送信側（偶数チャネル）と受信側（奇数チャネル）のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART送信　（**13.6.1** 参照）
- UART受信　（**13.6.2** 参照）
- LIN送信（UART2のみ）（**13.7.1** 参照）
- LIN受信（UART2のみ）（**13.7.2** 参照）

13.6.1 UART送信

UART 送信は、本製品からほかのデバイスへ非同期（調歩同期）でデータを送信する動作です。
UART 送信では、その UART に使用する 2 チャネルのうち、偶数チャネルのほうを使用します。

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル0	SAU0のチャネル2	SAU1のチャネル0
使用端子	TxD0	TxD1	TxD2
割り込み	INTST0	INTST1	INTST2
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビットまたは9ビット注1		
転送レート注2	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加		
ストップ・ビット	以下の選択が可能 • 1ビット付加 • 2ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1. 9ビット・データ長は、以下のUARTのみ対応しています。
- 16～48ピン製品 ：UART0

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、
mn = 00, 02, 10

(1)　レジスタ設定

図13 - 76　UART（UART0-UART2）のUART送信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	0	0	0	1	0	0	MDmn2 0	MDmn1 1	MDmn0 0/1

チャネルnの動作クロック（fMCK）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0/1	PTCmn0 0/1	DIRmn 0/1	0	SLCmn1 0/1	SLCmn0 0/1	0	1	DLSmn1 0/1注1	DLSmn0 0/1

パリティ・ビット設定
00B：パリティなし
01B：0パリティ付加
10B：偶数パリティ付加
11B：奇数パリティ付加

データ転送順序の選択
0：MSBファーストで出力を行う
1：LSBファーストで出力を行う

ストップ・ビット設定
01B：1ビット付加
10B：2ビット付加

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：TXDq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0注2	送信データ設定							

TXDq

(d)　シリアル出力レベル・レジスタm（SOLm）：対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOLm2 0/1	0	SOLm0 0/1

0：非反転（通常）送信
1：反転送信

(e)　シリアル出力レジスタm（SOm）：対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 ×	注3	CKOm1 ×	CKOm0 ×	0	0	0	0	SOm3 ×	SOm2 0/1注4	SOm1 ×	SOm0 0/1注4

0：シリアル・データ出力値が0
1：シリアル・データ出力値が1

(f)　シリアル出力許可レジスタm（SOEm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 0/1	SOEm1 ×	SOEm0 0/1

（注、備考は次ページに続きます）

(g) シリアル・チャネル開始レジスタ m（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 0/1	SSm1 ×	SSm0 0/1

注1. SCR00レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。9ビット・データ長での通信が行えるのは、以下のUARTのみです。

- 16～48ピン製品 ：UART0

注3. SO0レジスタは1固定、SO1レジスタは0固定になります。

注4. 該当するチャネルのSOLmnビットに0を設定している場合は1に、SOLmnビットに1を設定している場合は0を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、q：UART番号（q = 0-2）、mn = 00, 02, 10

備考2. ■：UART送信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 77　UART送信の初期設定手順

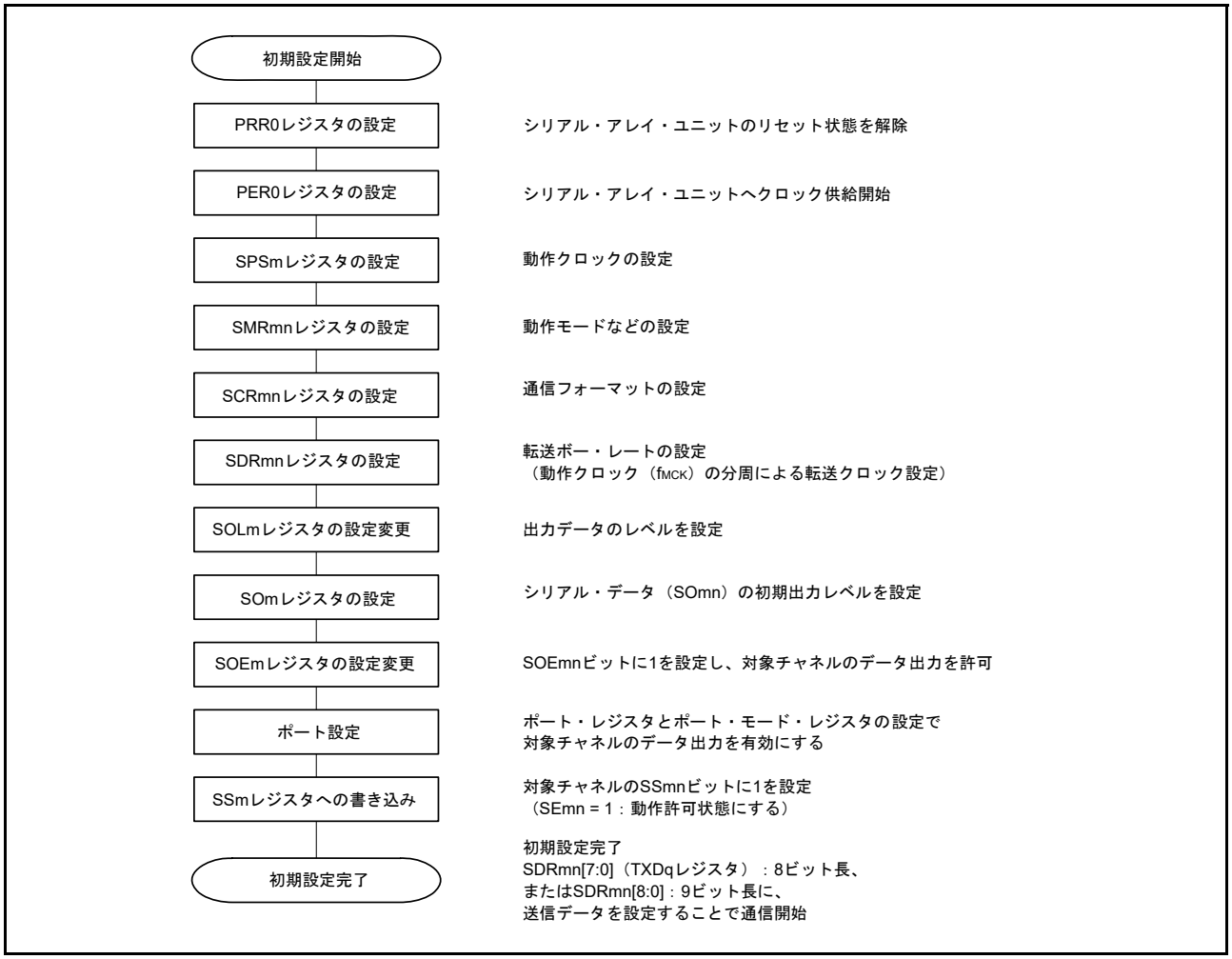


図13 - 78　UART送信の中断手順

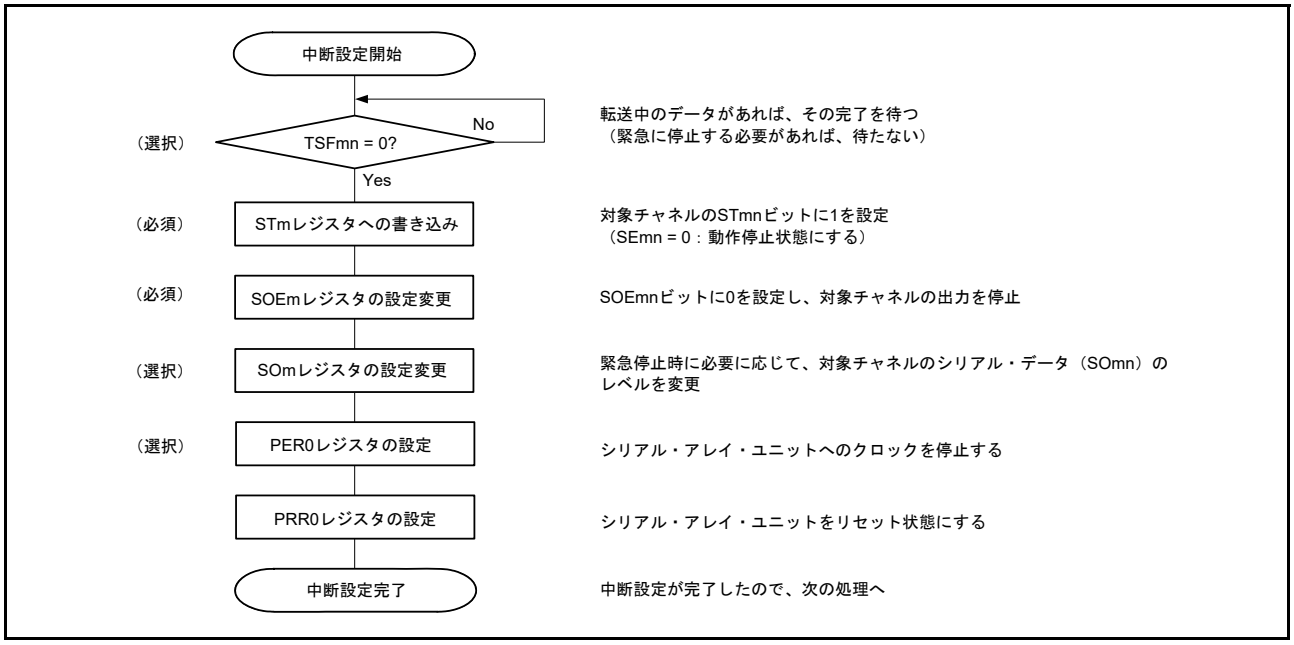
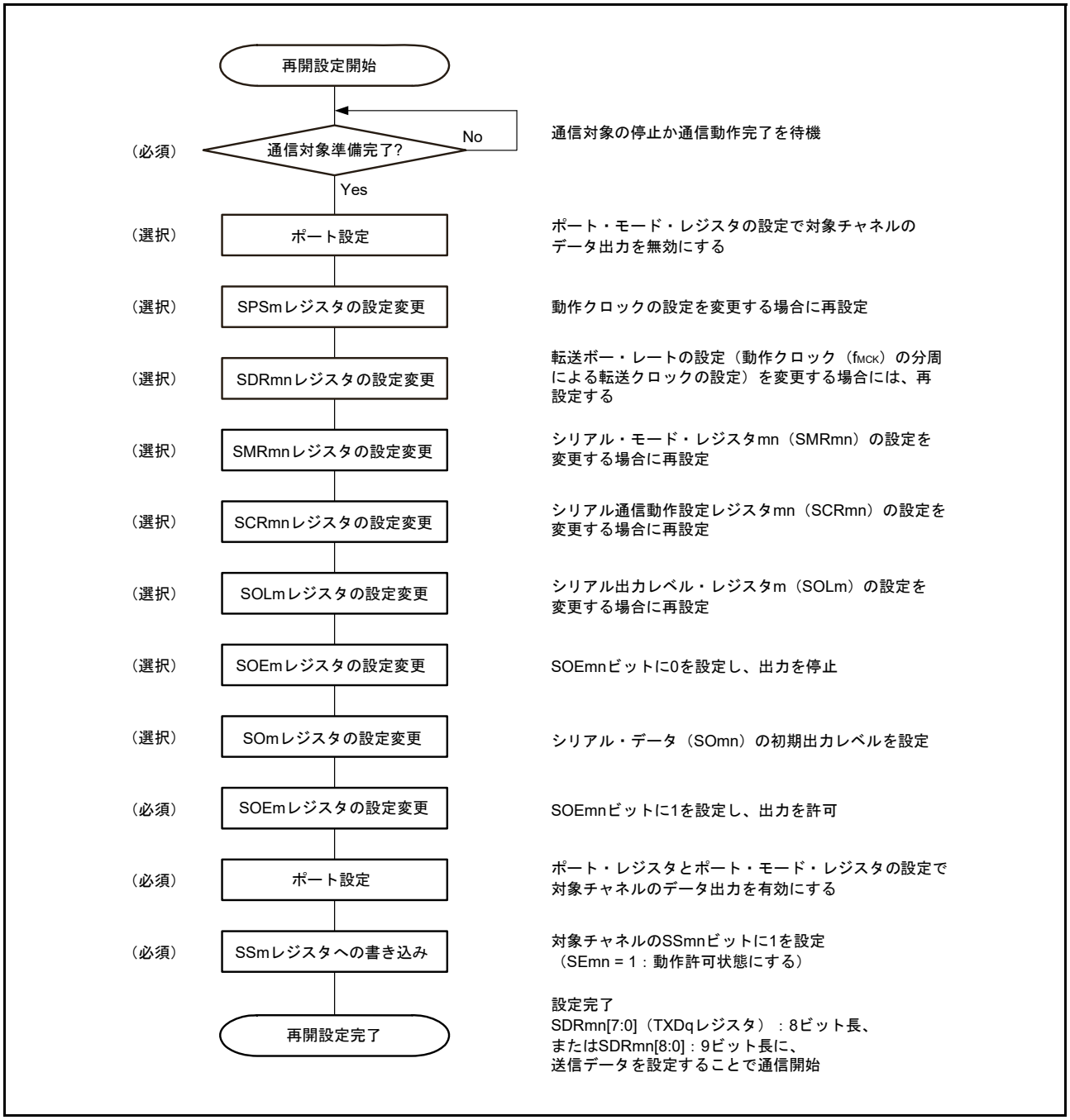


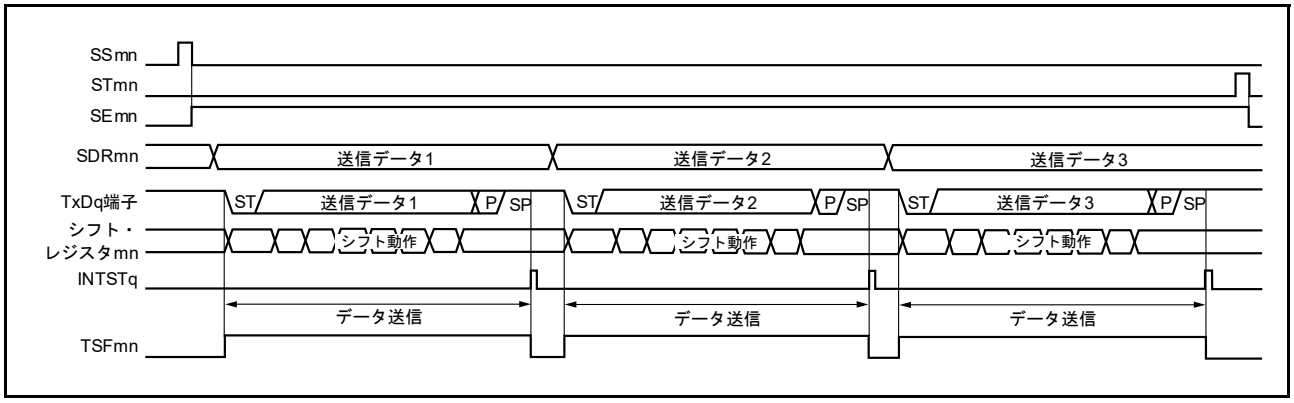
図13 - 79　UART送信の再開設定手順



備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

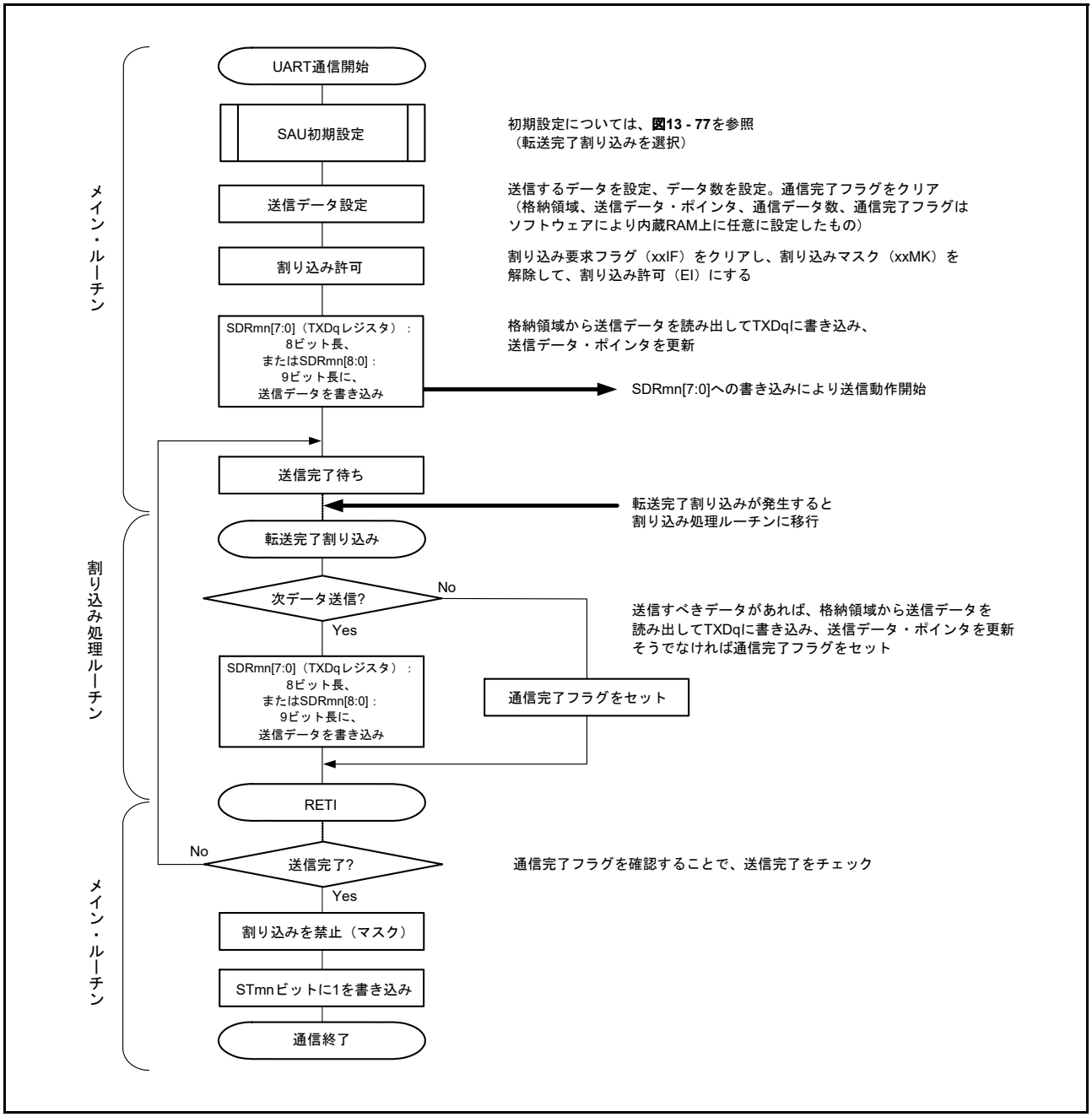
(3)　処理フロー（シングル送信モード時）

図13 - 80　UART送信（シングル送信モード時）のタイミング・チャート



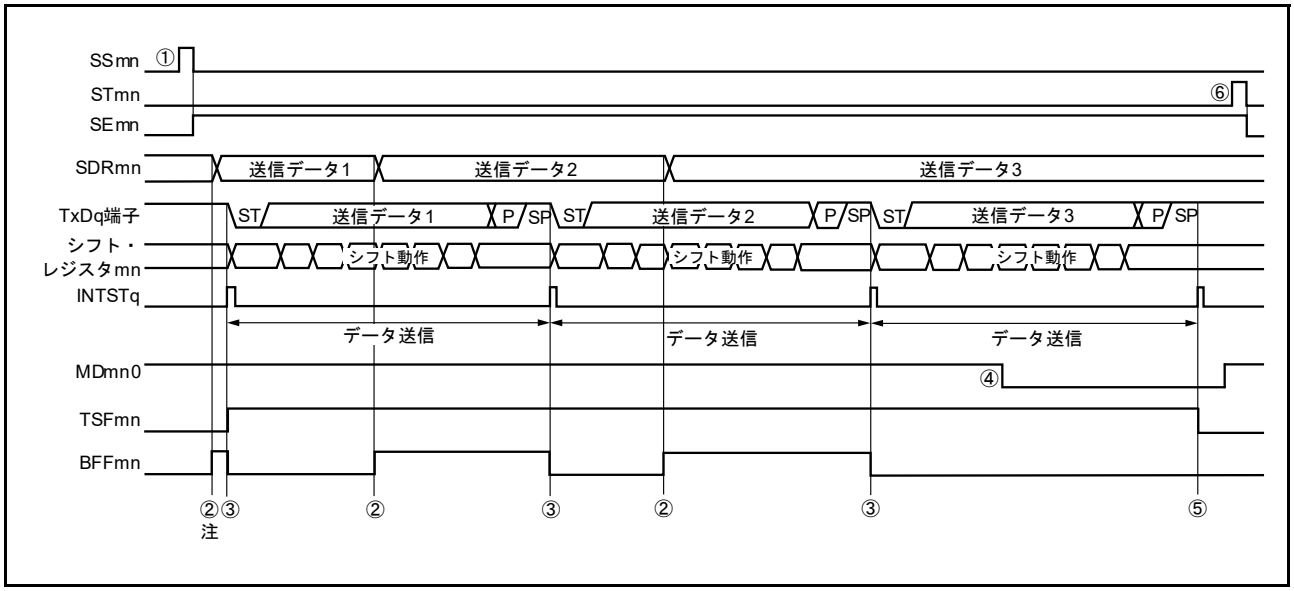
備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、q：UART番号（q = 0-2）、
mn = 00, 02, 10

図13 - 81　UART送信（シングル送信モード時）のフロー・チャート



(4)　処理フロー（連続送信モード時）

図13 - 82　UART送信（連続送信モード時）のタイミング・チャート

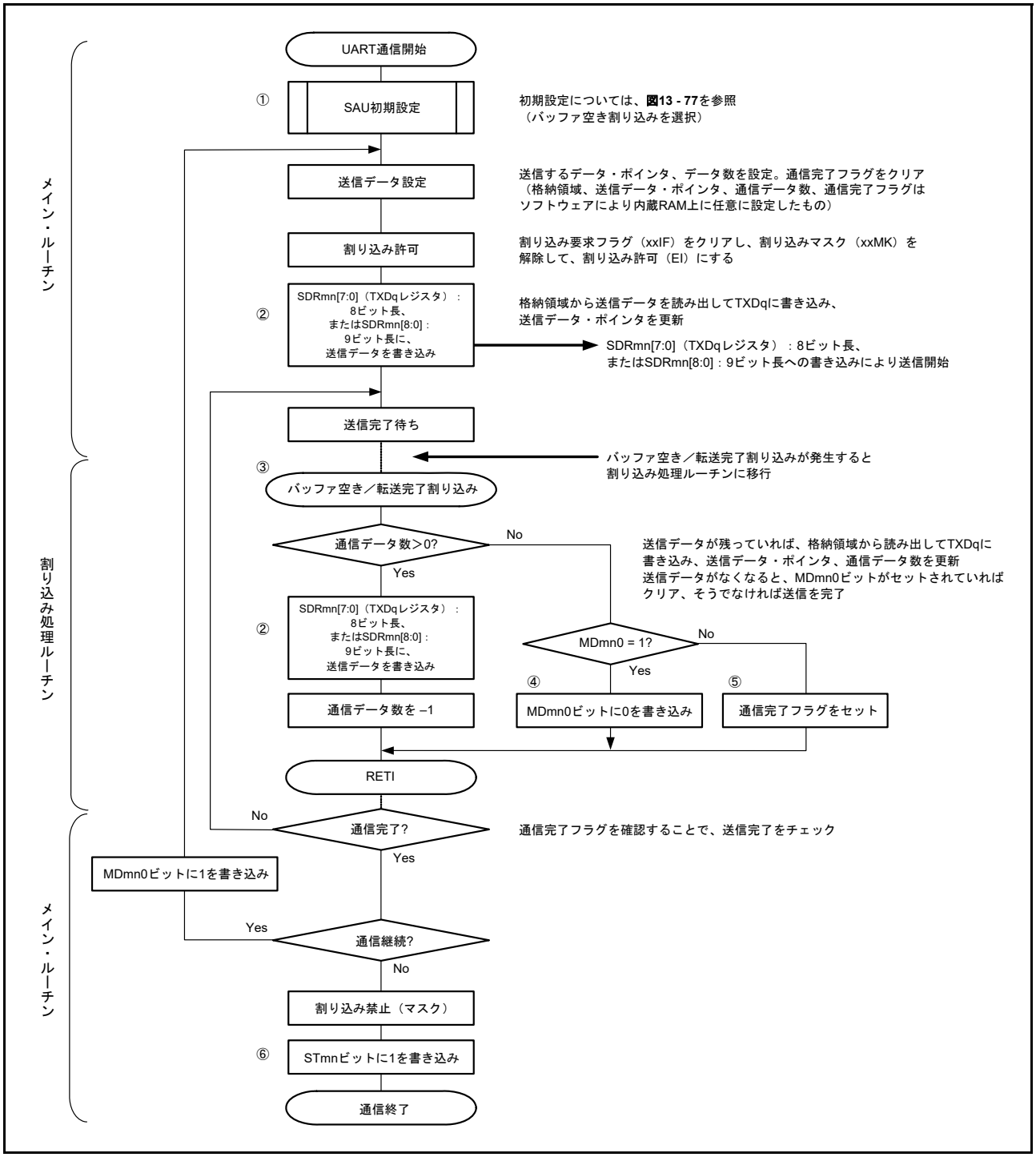


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが1の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと、送信データが上書きされます。

注意　**シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは、動作中でも書き換えることができます。**
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、q：UART番号（q = 0-2）、
mn = 00, 02, 10

図13 - 83　UART送信（連続送信モード時）のフロー・チャート



備考　図中の①～⑥は、**図13 - 82　UART送信（連続送信モード時）のタイミング・チャート**の①～⑥に対応しています。

13.6.2 UART受信

UART 受信は、本製品がほかのデバイスから非同期（調歩同期）でデータを受信する動作です。

UART 受信では、その UART に使用する 2 チャネルのうち、奇数チャネルのほうを使用します。ただし、SMR レジスタは、偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2
対象チャネル	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル1
使用端子	RxD0	RxD1	RxD2
割り込み	INTSR0	INTSR1	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	INTSRE0	INTSRE1	INTSRE2
エラー検出フラグ	• フレーミング・エラー検出フラグ（FEFmn） • パリティ・エラー検出フラグ（PEFmn） • オーバラン・エラー検出フラグ（OVFmn）		
転送データ長	7ビットまたは8ビットまたは9ビット注1		
転送レート注2	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 2以上）、Min. f_{CLK}/（2 × 2^{15} × 128）[bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	以下の選択が可能 • パリティ・ビットなし（パリティ・チェックなし） • パリティ判定なし（0パリティ） • 偶数パリティ・チェック • 奇数パリティ・チェック		
ストップ・ビット	1ビット付加		
データ方向	MSBファーストまたはLSBファースト		

注1. 9ビット・データ長は、以下のUARTのみ対応しています。
- 16～48ピン製品 ： UART0

注2. この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

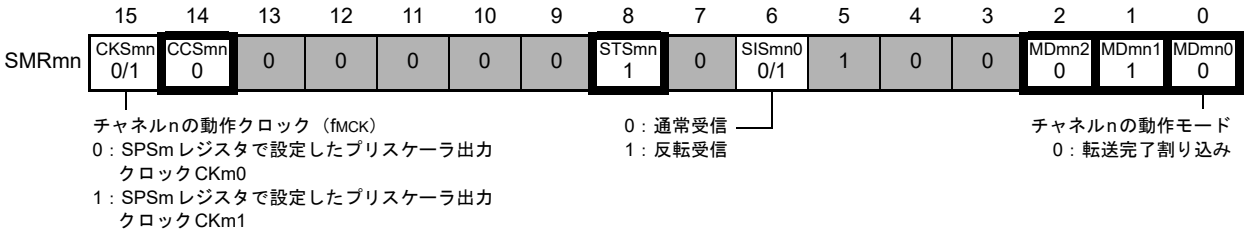
備考1. f_{MCK}：対象チャネルの動作クロック周波数
f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、
mn = 01, 03, 11

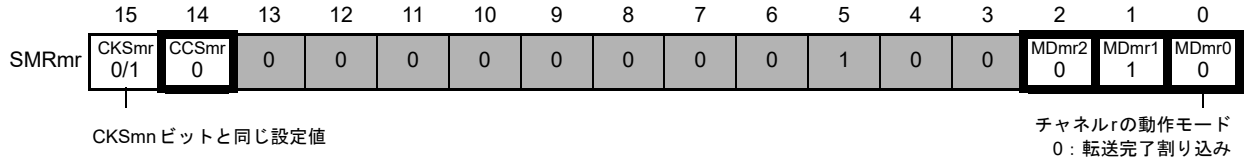
(1)　レジスタ設定

図13 - 84　UART（UART0-UART2）のUART受信時のレジスタ設定内容例

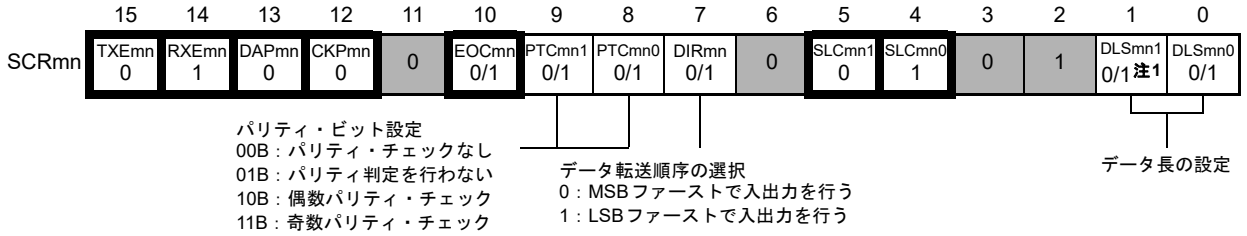
(a)　シリアル・モード・レジスタmn（SMRmn）



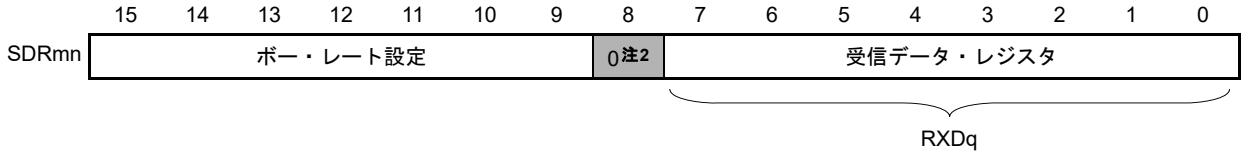
(b)　シリアル・モード・レジスタmr（SMRmr）



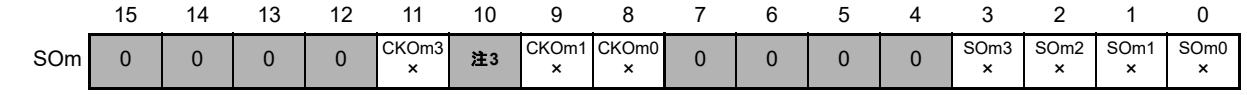
(c)　シリアル通信動作設定レジスタmn（SCRmn）



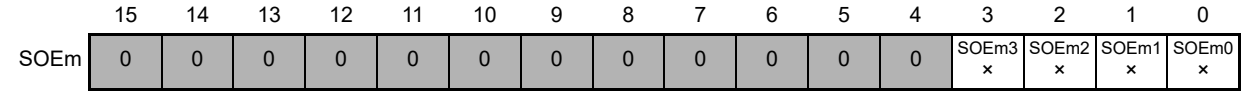
(d)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：RXDq）



(e)　シリアル出力レジスタm（SOm）：このモードでは使用しない



(f)　シリアル出力許可レジスタm（SOEm）：このモードでは使用しない



(g) シリアル・チャネル開始レジスタ m（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

注1. SCR01レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。9ビット・データ長での通信が行えるのは、以下のUARTのみです。

- 16～48ピン製品 ：UART0

注3. SO0レジスタは1固定、SO1レジスタは0固定になります。

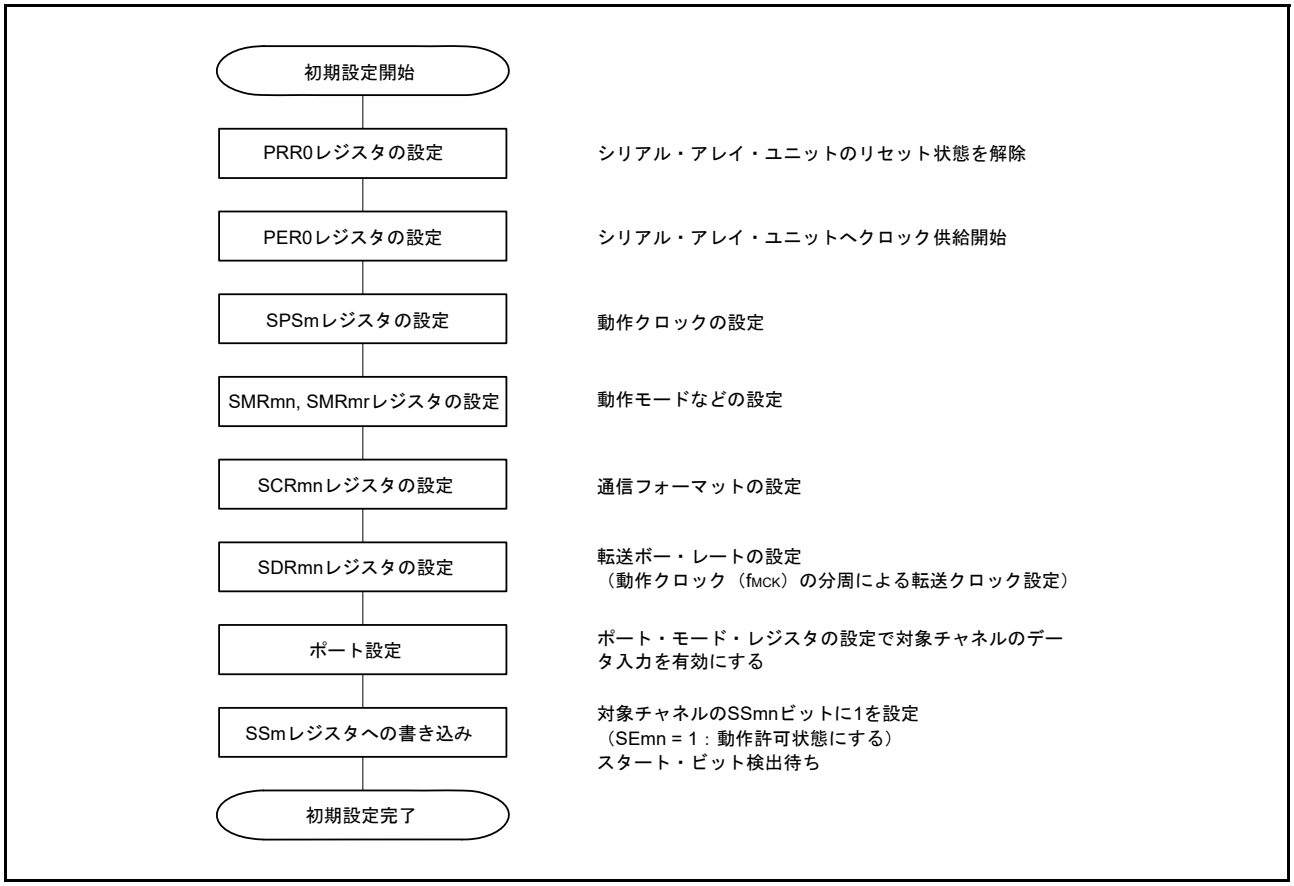
注意 **UART受信時は、チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。**

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、r：チャネル番号（r = n-1）、q：UART番号（q = 0-2）、mn = 01, 03, 11

備考2. ■：UART受信モードでは設定固定、 ■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　操作手順

図13 - 85　UART受信の初期設定手順



注意　SCRmnレジスタのRXEmnビットに1を設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図13 - 86　UART受信の中断手順

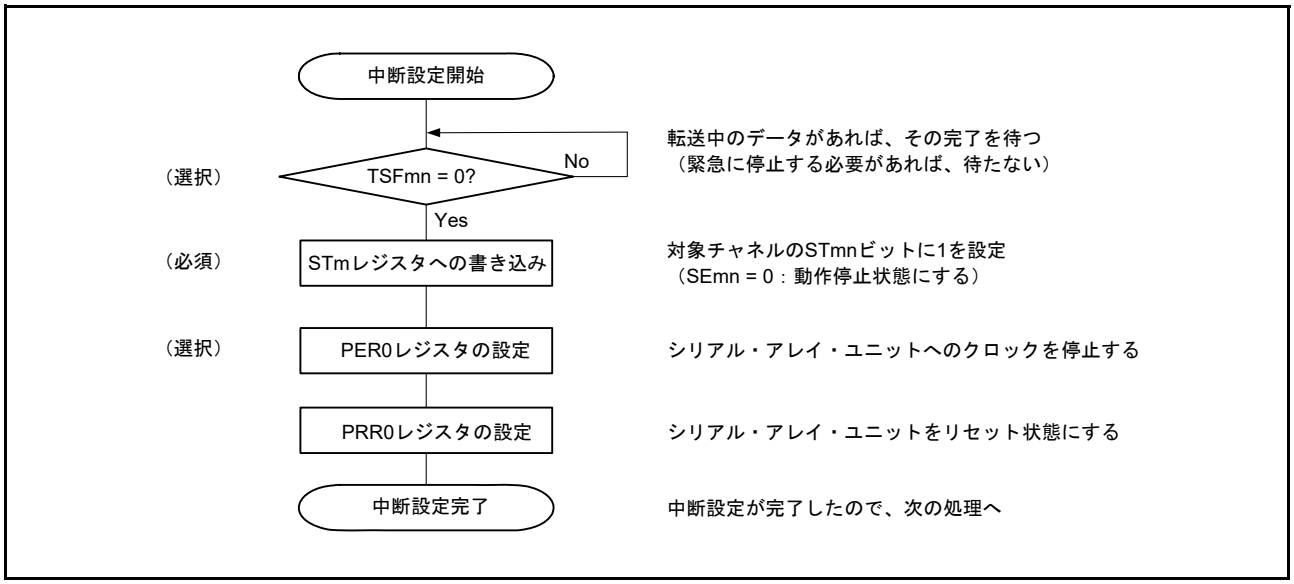
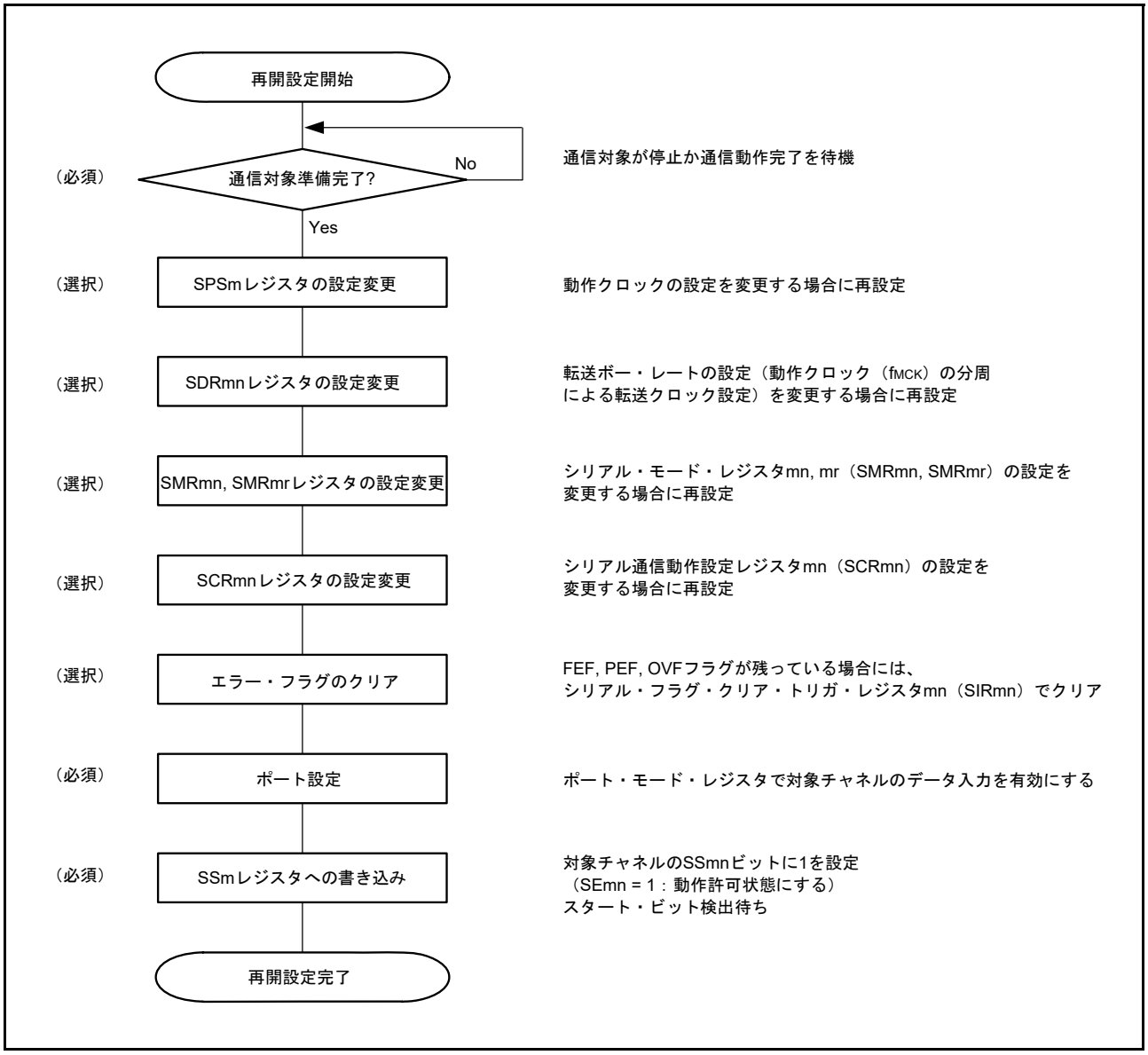


図13 - 87　UART受信の再開設定手順

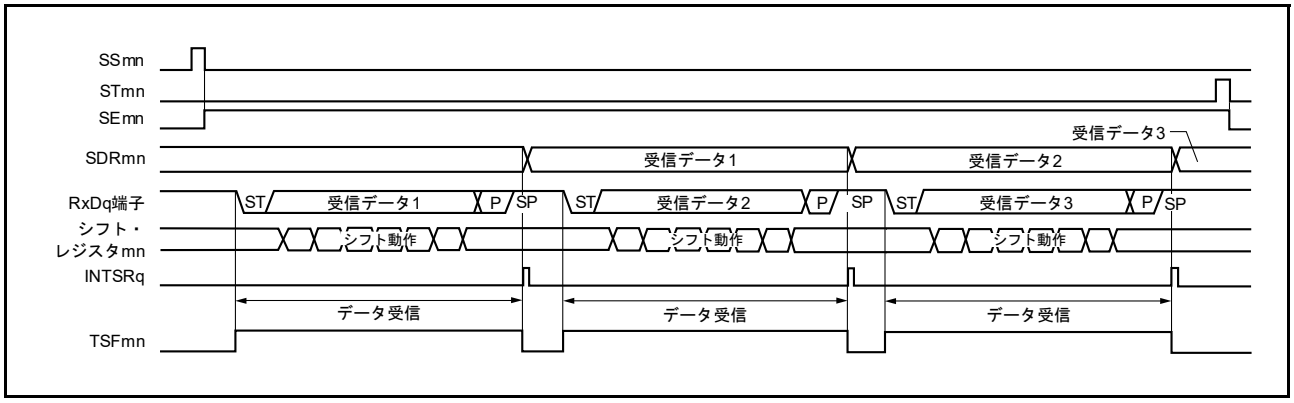


注意　**SCRmnレジスタのRXEmnビットに1を設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。**

備考　中断設定でPRR0レジスタを書き換えてリセット状態にした場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

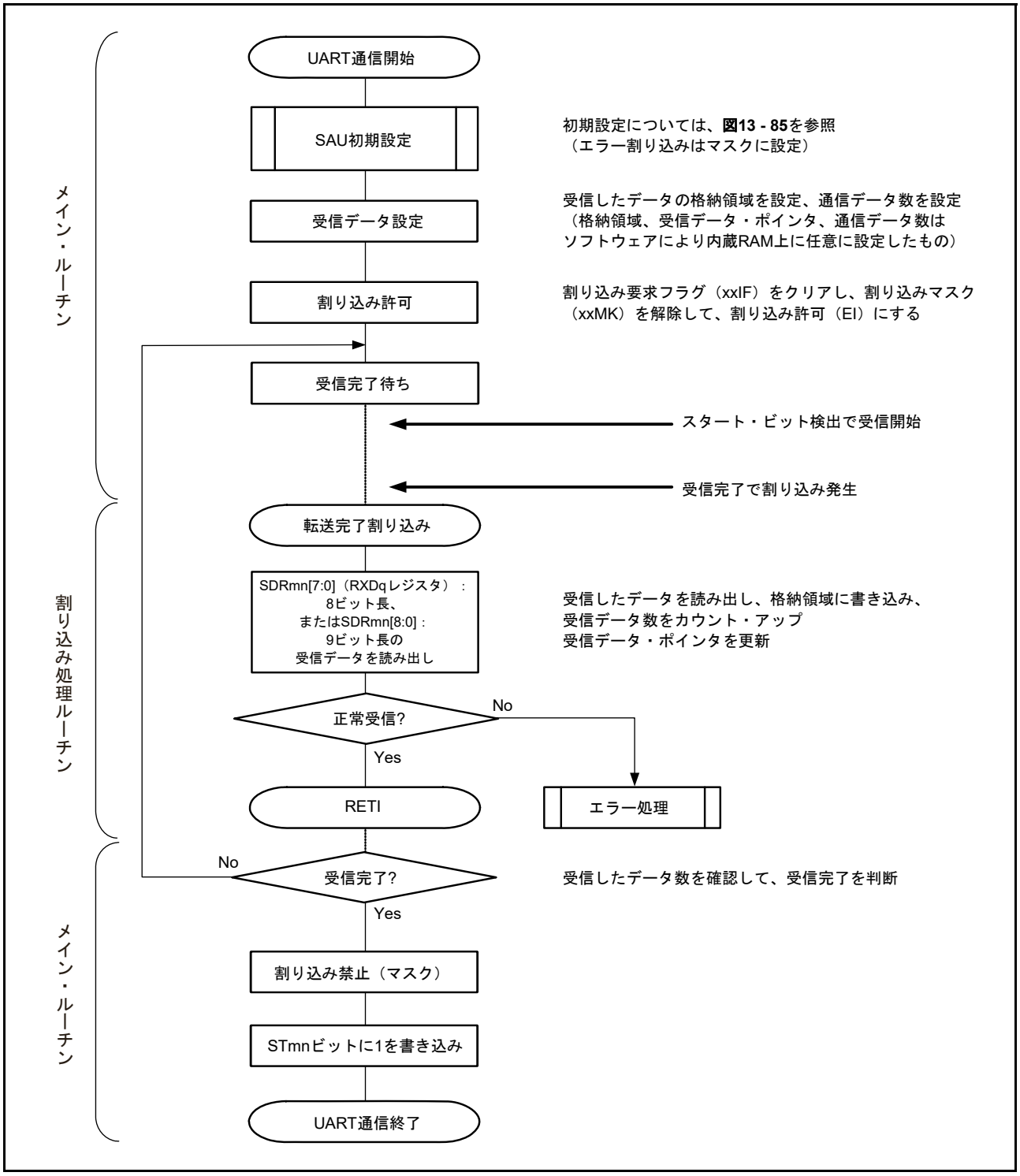
(3)　処理フロー

図13 - 88　UART受信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、r：チャネル番号（r = n-1）、q：UART番号（q = 0-2）、mn = 01, 03, 11

図13 - 89　UART受信のフロー・チャート



13.6.3 SNOOZEモード機能

STOP モード時に RxD0 端子入力の検出により UART の受信動作をさせるモードです。通常 STOP モード時に UART の通信動作は停止しますが、SNOOZE モード機能を使用することで、RxD0 端子入力の検出によって CPU を動作させずに UART の受信動作を行うことができます。

SNOOZE モードは、UART0 の受信のみ設定可能です。

UART0 を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います（**図 13 - 92 SNOOZE モード動作（EOC01 = 0, SSEC0 = 0/1 または EOC01 = 1, SSEC0 = 0）時のフロー・チャート**および**図 13 - 94　SNOOZE モード動作（EOC01 = 1, SSEC0 = 1）時のフロー・チャート**参照）。

- SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。**表13 - 5**を参照してSPS0レジスタ、SDR01レジスタのビット15-9を設定してください。
- EOC01, SSEC0ビットを設定します。通信エラーが発生した場合にエラー割り込み（INTSRE0）の発生許可／停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ 0（SSC0）のSWC0ビットに1を設定してください。初期設定完了後、シリアル・チャネル開始レジスタ 0（SS0）のSS01ビットに1を設定します。
- STOPモードに移行後、RxD0 のスタート・ビット入力を検出すると、UART0は受信動作を開始します。

注意1. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合のみ使用できます。
中速オンチップ・オシレータ・クロックを選択している場合は、中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）を使用して発振周波数精度を補正する必要があります。

注意2. SNOOZEモードでの最大転送レートは115.2 kbps（FWKUP = 1, f_{CLK} = f_{IH}（32 MHz）設定時）です。
FWKUP = 1設定時は、f_{CLK}にf_{IH} = 32 MHz以外を設定するのは禁止です。

注意3. SWC0 = 1の設定では、STOPモード中に受信開始したときのみUART0を使用できます。ほかのSNOOZEモード機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。
- **SWC0 = 1に設定後、STOPモードに移行する前に受信開始した場合**
- **ほかのSNOOZEモード中に受信開始した場合**
- **STOPモードから割り込みなどで通常動作に復帰後、SWC0 = 0に戻す前に受信開始した場合**

注意4. SSEC0 = 1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEF01, FEF01, OVF01フラグはセットされず、エラー割り込み（INTSRE0）も発生しません。そのため、SSEC0 = 1で使用するときは、SWC0 = 1に設定する前にPEF01, FEF01, OVF01フラグをクリアし、また、SDR01レジスタのビット7-0（RxD0）を読み出してください。

注意5. RxD0端子の有効エッジ検出によりSNOOZEモードへ移行します。
また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーまたはパリティ・エラーが発生することがあります。

表13 - 5　SNOOZEモード時のUART受信ボー・レート設定

高速オンチップ・オシレータ通常起動（WKUPMD.FWKUP = 0）時

ボー・レート	高速オンチップ・オシレータ（f_{IH}）	動作クロック（f_{MCK}）	SDR01[15:9]	最大許容値	最小許容値
4800 bps	32 MHz ±1%注	$f_{CLK}/2^5$	106	1.45%	–1.67%
	24 MHz ±1%注	$f_{CLK}/2^5$	79	1.77%	–1.37%
9600 bps	32 MHz ±1%注	$f_{CLK}/2^4$	106	1.45%	–1.67%
	24 MHz ±1%注	$f_{CLK}/2^4$	79	1.77%	–1.37%

高速オンチップ・オシレータ高速起動（WKUPMD.FWKUP = 1）時

ボー・レート	高速オンチップ・オシレータ（f_{IH}）	動作クロック（f_{MCK}）	SDR01[15:9]	最大許容値	最小許容値
4800 bps	32 MHz ±1%注	$f_{CLK}/2^5$	106	1.45%	–1.67%
9600 bps		$f_{CLK}/2^4$	106	1.45%	–1.67%
19200 bps		$f_{CLK}/2^3$	106	1.45%	–1.67%
31250 bps		$f_{CLK}/2^3$	65	1.05%	–2.06%
38400 bps		$f_{CLK}/2^2$	106	1.45%	–1.67%
76800 bps		$f_{CLK}/2$	106	1.45%	–1.67%
115200 bps		$f_{CLK}/2$	70	1.93%	–1.21%

注　高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

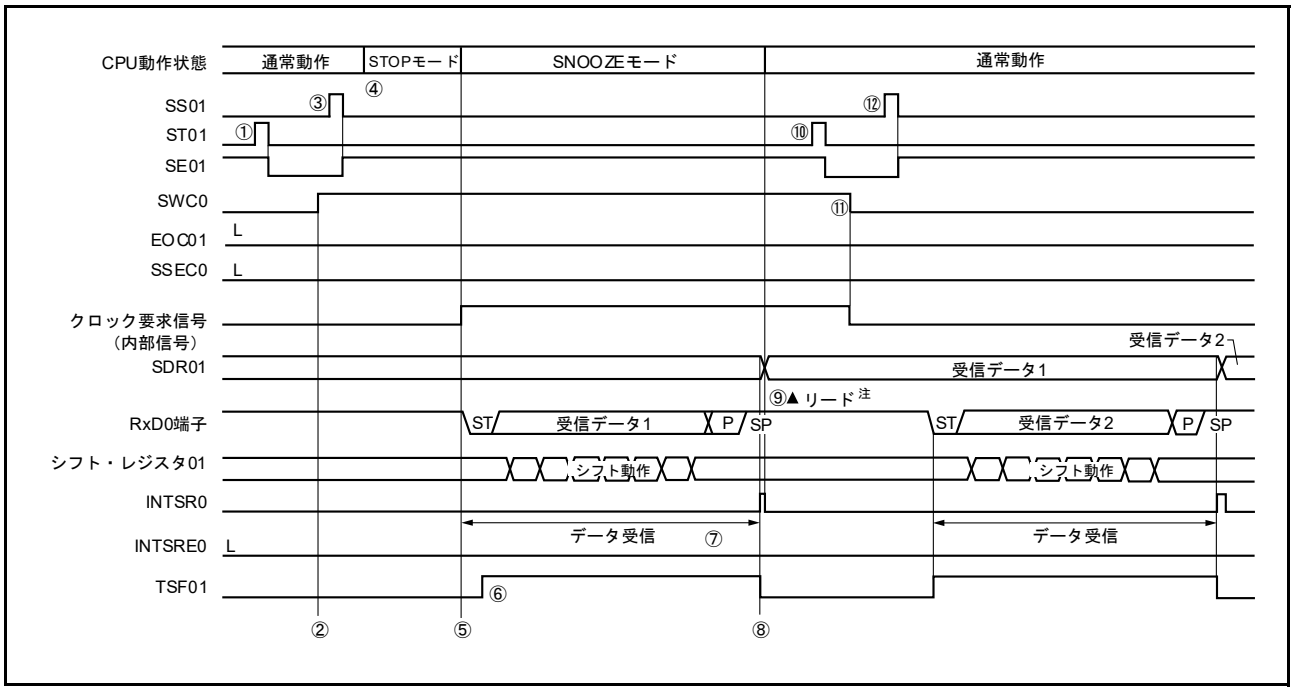
- f_{IH} ±1.5%の場合は、上表の最大許容値に–0.5%、最小許容値に+0.5%してください。
- f_{IH} ±2.0%の場合は、上表の最大許容値に–1.0%、最小許容値に+1.0%してください。

備考　最大許容値、最小許容値は、UART受信時のボー・レート許容値です。
この範囲に送信側のボー・レートが収まるように設定してください。

(1)　SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1）

EOC01 = 0のためSSEC0ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み（INTSRE0）は発生しません。転送完了割り込み（INTSR0）は発生します。

図13 - 90　SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1）時のタイミング・チャート



注　SWC0 = 1の状態で、受信データの読み出しを行ってください。

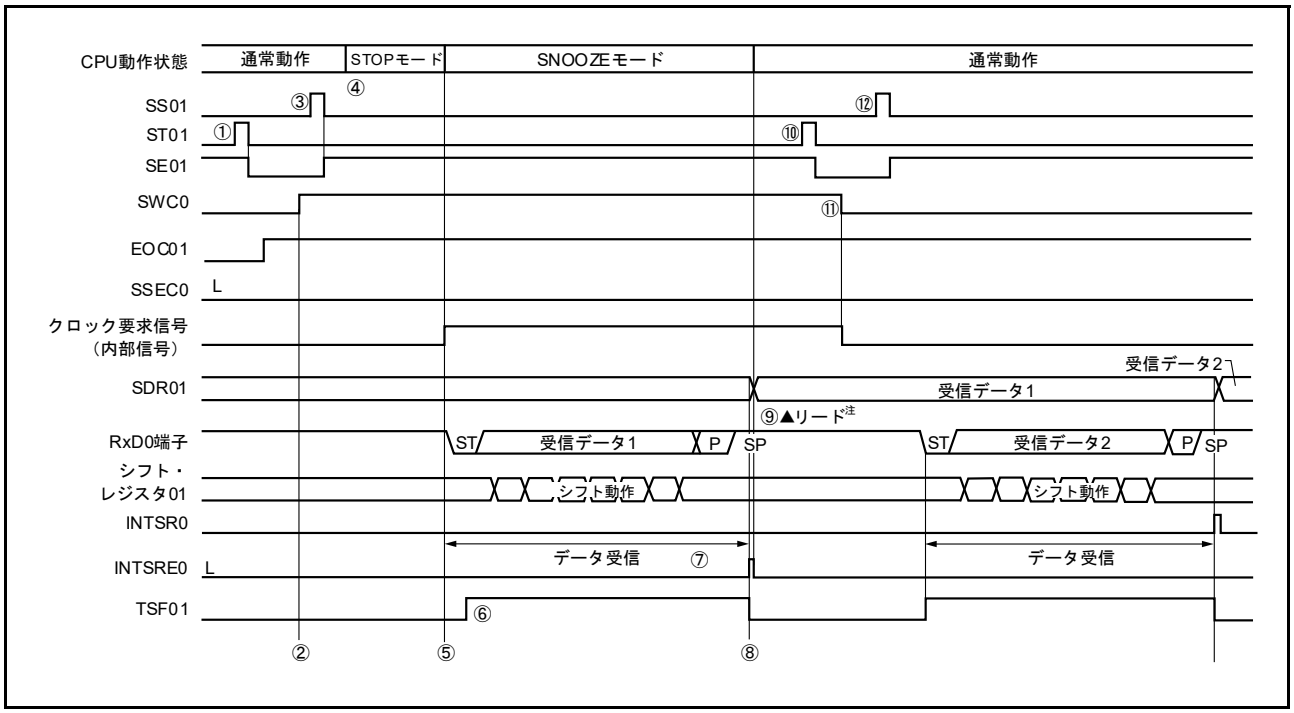
注意　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずST01ビットに1を設定してください（SE01ビットがクリアされ動作停止）。
また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

備考　図中の①～⑫は、**図13 - 92　SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1またはEOC01 = 1, SSEC0 = 0）時のフロー・チャート**①～⑫に対応しています。

(2)　SNOOZEモード動作（EOC01 = 1, SSEC0 = 0：エラー割り込み（INTSRE0）発生許可）

EOC01 = 1, SSEC0 = 0のため、通信エラーが発生した場合にエラー割り込み（INTSRE0）を発生します。

図13 - 91　SNOOZEモード動作（EOC01 = 1, SSEC0 = 0）時のタイミング・チャート

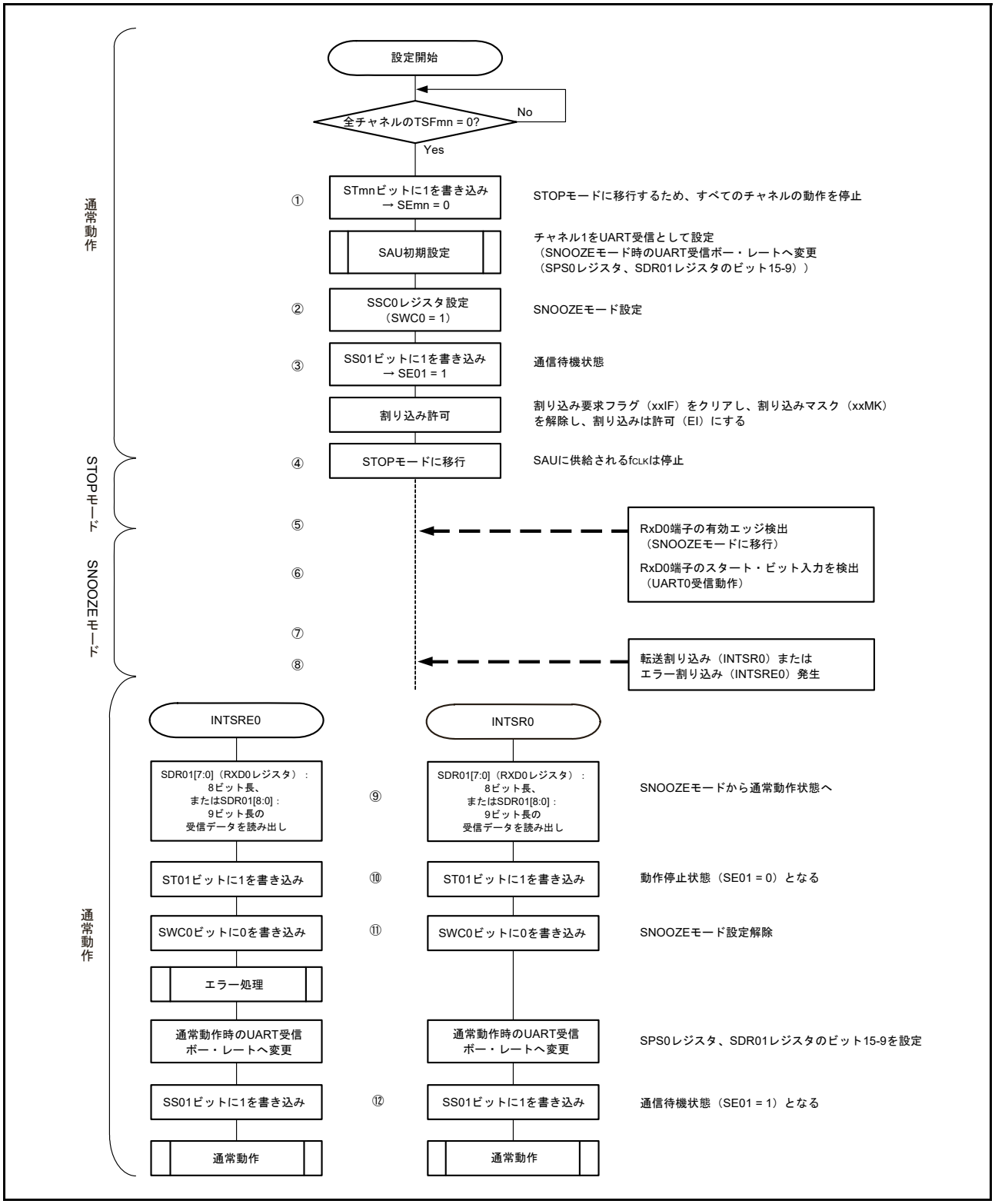


注　SWC0 = 1の状態で、受信データの読み出しを行ってください。

注意　**SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずST01ビットに1を設定してください（SE01ビットがクリアされ動作停止）。**
また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

備考　図中の①～⑫は、**図13 - 92　SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1またはEOC01 = 1, SSEC0 = 0）時のフロー・チャート**の①～⑫に対応しています。

図13 - 92　SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1またはEOC01 = 1, SSEC0 = 0）時のフロー・チャート



備考1. 図中の①～⑫は、**図13 - 90　SNOOZEモード動作（EOC01 = 0, SSEC0 = 0/1）時のタイミング・チャート**、**図13 - 91　SNOOZEモード動作（EOC01 = 1, SSEC0 = 0）時のタイミング・チャート**の①～⑫に対応しています。

備考2. 16ピン製品　：m = 0; n = 0, 1

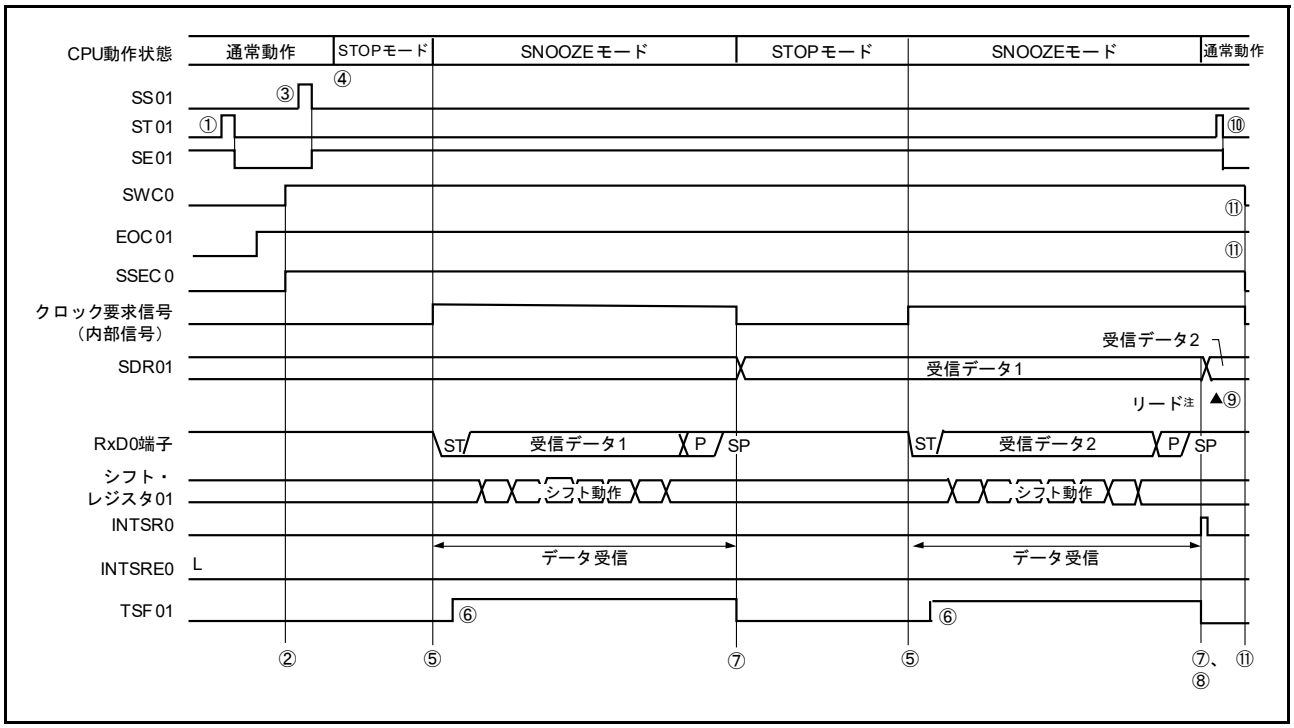
20～25ピン製品　：m = 0; n = 0-3

30～48ピン製品　：m = 0, 1; n = 0-3

(3) SNOOZEモード動作（EOC01 = 1, SSEC0 = 1：エラー割り込み（INTSRE0）発生停止）

EOC01 = 1, SSEC0 = 1のため、通信エラーが発生した場合にエラー割り込み（INTSRE0）を発生しません。

図13 - 93　SNOOZEモード動作（EOC01 = 1, SSEC0 = 1）時のタイミング・チャート



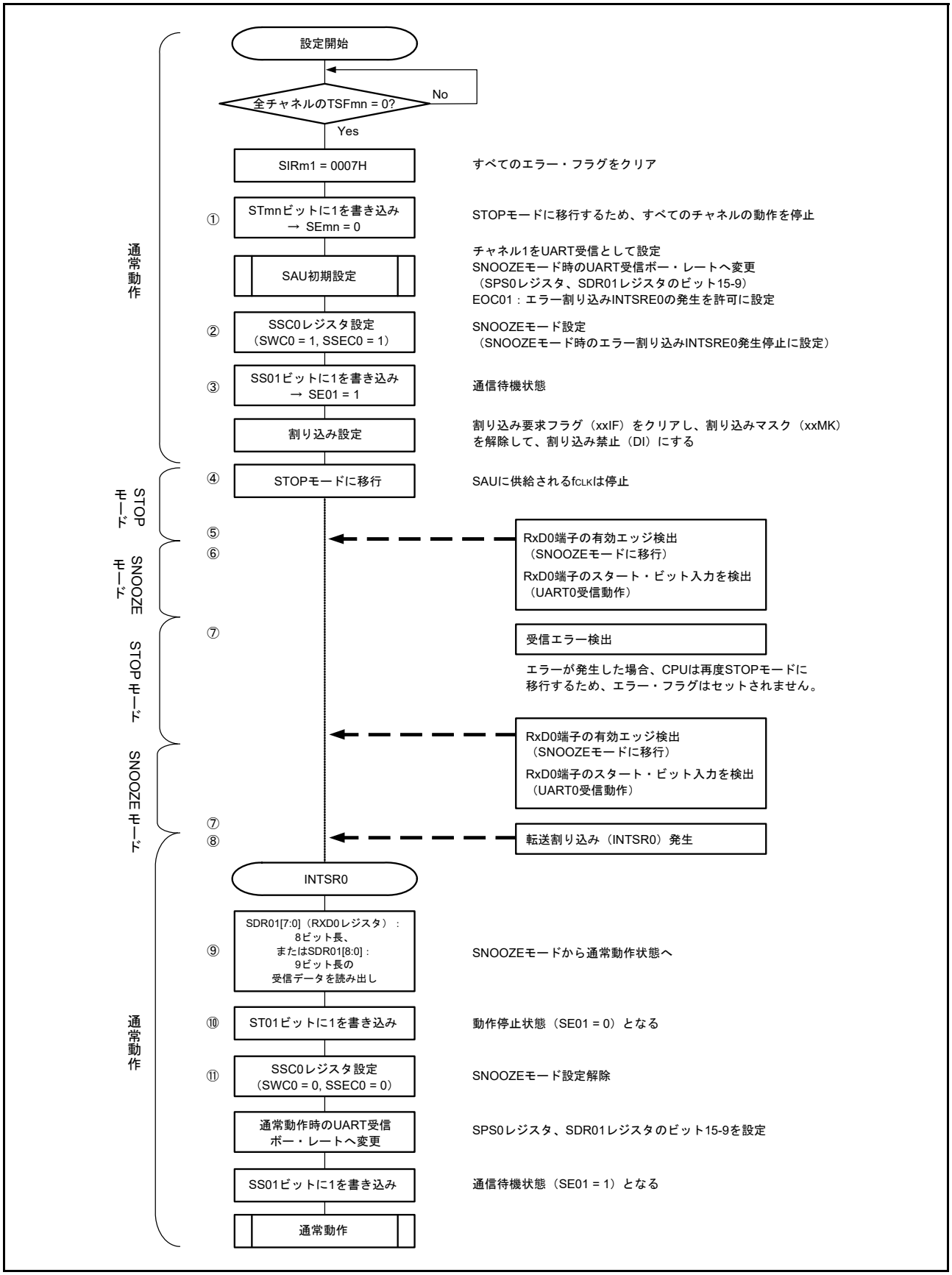
注　SWC0 = 1の状態で、受信データの読み出しを行ってください。

注意1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずST01ビットに1を設定してください（SE01ビットがクリアされ動作停止）。
また、受信動作を完了したあとは、SWC0ビットもクリアしてください（SNOOZE解除）。

注意2. SSEC0 = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEF01, FEF01, OVF01フラグはセットされず、エラー割り込み（INTSRE0）も発生しません。そのため、SSEC0 = 1で使用するときは、SWC0 = 1に設定する前にPEF01, FEF01, OVF01フラグをクリアし、また、SDR01[7:0]（RXD0レジスタ）：8ビット長、またはSDR01[8:0]：9ビット長を読み出してください。

備考　図中の①～⑪は、**図13 - 94　SNOOZEモード動作（EOC01 = 1, SSEC0 = 1）時のフロー・チャート**の①～⑪に対応しています。

図13 - 94　SNOOZEモード動作（EOC01 = 1, SSEC0 = 1）時のフロー・チャート



（注意、備考は次ページに続きます）

注意　SSEC0 = 1のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEF01, FEF01, OVF01フラグはセットされず、エラー割り込み（INTSRE0）も発生しません。そのため、SSEC0 = 1で使用するときは、SWC0 = 1に設定する前にPEF01, FEF01, OVF01フラグをクリアし、また、SDR01[7:0]（RXD0レジスタ）：8ビット長、またはSDR01[8:0]：9ビット長を読み出してください。

備考1. 図中の①～⑪は、**図13 - 93　SNOOZEモード動作（EOC01 = 1, SSEC0 = 1）時のタイミング・チャート**の①～⑪に対応しています。

備考2. 16ピン製品　：m = 0; n = 0, 1
20～25ピン製品　：m = 0, n = 0-3
30～48ピン製品　：m = 0, 1; n = 0-3

13.6.4　ボー・レートの算出

(1) ボー・レート算出式

UART（UART0-UART2）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート）= ｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDRmn[15:9] + 1）÷ 2 [bps]

注意　シリアル・データ・レジスタ mn（SDRmn）SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値（0000010B-1111111B）なので、2-127になります。

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

動作クロック（f_{MCK}）は、シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）の CKSmn ビットで決まります。

表13 - 6　UART動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	32 MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	16 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
	×	×	×	×	1	1	0	0	$f_{CLK}/2^{12}$	7.81 kHz
	×	×	×	×	1	1	0	1	$f_{CLK}/2^{13}$	3.91 kHz
	×	×	×	×	1	1	1	0	$f_{CLK}/2^{14}$	1.95 kHz
	×	×	×	×	1	1	1	1	$f_{CLK}/2^{15}$	977 Hz
1	0	0	0	0	×	×	×	×	f_{CLK}	32 MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	16 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	15.63 kHz
	1	1	0	0	×	×	×	×	$f_{CLK}/2^{12}$	7.81 kHz
	1	1	0	1	×	×	×	×	$f_{CLK}/2^{13}$	3.91 kHz
	1	1	1	0	×	×	×	×	$f_{CLK}/2^{14}$	1.95 kHz
	1	1	1	1	×	×	×	×	$f_{CLK}/2^{15}$	977 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

（備考は次ページに続きます）

備考1. ×：Don’t care

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

(2) 送信時のボー・レート誤差

UART（UART0-UART2）通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差）= （算出ボー・レート値）÷（目標ボー・レート値）× 100 – 100 [%]

f_{CLK} = 32 MHz の場合の UART ボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	103	300.48 bps	+0.16%
600 bps	$f_{CLK}/2^8$	103	600.96 bps	+0.16%
1200 bps	$f_{CLK}/2^7$	103	1201.92 bps	+0.16%
2400 bps	$f_{CLK}/2^6$	103	2403.85 bps	+0.16%
4800 bps	$f_{CLK}/2^5$	103	4807.69 bps	+0.16%
9600 bps	$f_{CLK}/2^4$	103	9615.38 bps	+0.16%
19200 bps	$f_{CLK}/2^3$	103	19230.8 bps	+0.16%
31250 bps	$f_{CLK}/2^3$	63	31250.0 bps	±0.0%
38400 bps	$f_{CLK}/2^2$	103	38461.5 bps	+0.16%
76800 bps	$f_{CLK}/2$	103	76923.1 bps	+0.16%
153600 bps	f_{CLK}	103	153846 bps	+0.16%
312500 bps	f_{CLK}	50	313725.5 bps	+0.39%

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 2）、
mn = 00, 02, 10

(3)　受信時のボー・レート許容範囲

UART（UART0-UART2）通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate　：受信側の算出ボー・レート値（**13.6.4 (1)　ボー・レート算出式**参照）

k　　：SDRmn[15:9] + 1

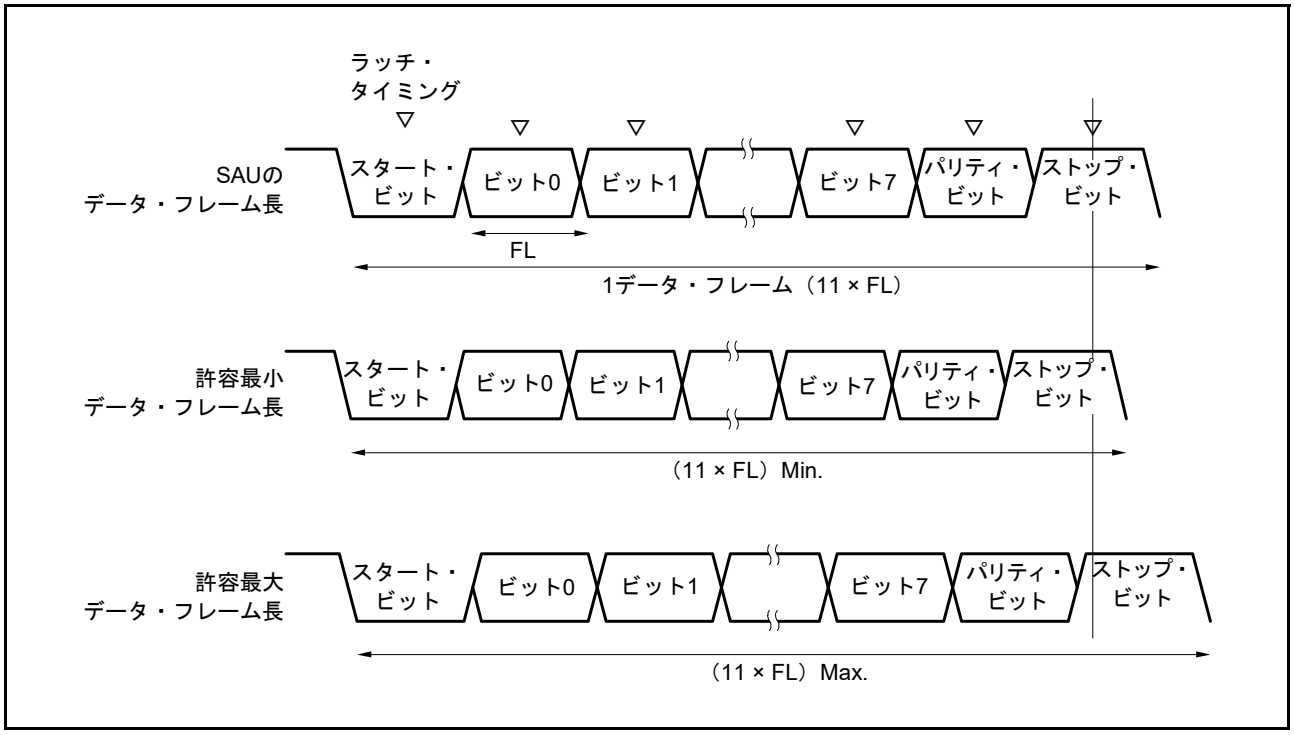
Nfr　　：1 データ・フレーム長［ビット］

　　=（スタート・ビット）+（データ長）+（パリティ・ビット）+（ストップ・ビット）

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 1, 3）、

mn = 01, 03, 11

図13 - 95　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）



スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

13.6.5　UART（UART0-UART2）通信時におけるエラー発生時の処理手順

表 13 - 7 および**表 13 - 8** に UART（UART0-UART2）通信時にエラーが発生した場合の処理手順を示します。

表13 - 7　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）を読み出す →	SSRmnレジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に1を書き込む →	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表13 - 8　フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）を読み出す →	SSRmnレジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に書き込む →	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが0となり、チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため、通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが1となり、チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0-3）、
mn = 00-03, 10, 11

13.7　LIN通信の動作

13.7.1　LIN送信

UART 送信のうち、30 ～ 48 ピン製品の UART2 は LIN 通信に対応しています。
LIN 送信では、ユニット 1 のチャネル 0 を使用します。

UART	UART0	UART1	UART2
LIN通信対応	不可	不可	可
対象チャネル	－	－	SAU1のチャネル0
使用端子	－	－	TxD2
割り込み	－	－	INTST2
	転送完了割り込み（シングル転送モード時）かバッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	8ビット		
転送レート注	Max. f_{MCK}/6 [bps]（SDR10[15:9] = 2以上）、Min. f_{CLK}/（2 × 2^{15} × 128）[bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし		
ストップ・ビット	1ビット付加		
データ方向	LSBファースト		

注　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考　f_{MCK}：対象チャネルの動作クロック周波数
f_{CLK}：CPU／周辺ハードウェア・クロック周波数

LIN とは、Local Interconnect Network の略称で、車載ネットワークのコストダウンを目的とする低速（1 ～ 20 kbps）のシリアル通信プロトコルです。

LIN の通信はシングル・マスタ通信で、1 つのマスタに対し最大 15 のスレーブが接続可能です。

LIN のスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらが LIN のネットワークを介して LIN のマスタに接続されます。

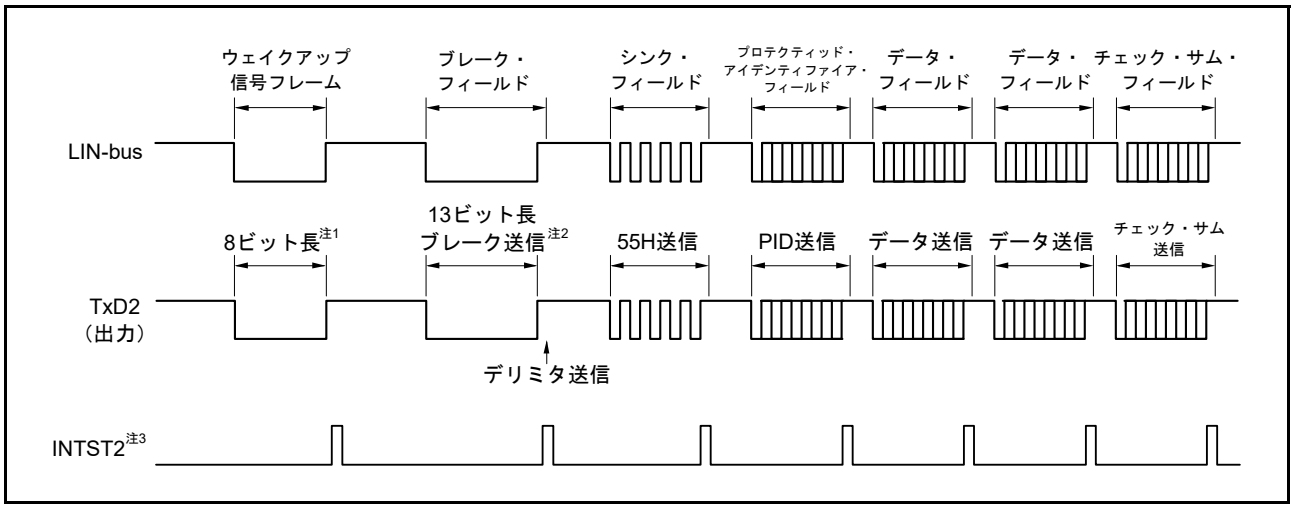
LIN のマスタは通常、CAN（Controller Area Network）などのネットワークに接続されます。

また、LIN-bus はシングル・ワイヤ方式で、ISO9141 に準拠したトランシーバを介して各ノードが接続されます。

LIN のプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が ±15% 以下であれば、通信可能です。

図 13 - 96 に LIN の送信操作を示します。

図13 - 96　LINの送信操作



注1.　ウェイクアップ信号の規定を満たせるようにボー・レートを設定し、80Hのデータ送信をすることで対応します。

注2.　ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボー・レートをN [bps]とすると、ブレーク・フィールドで使用するボー・レートは次のようになります。

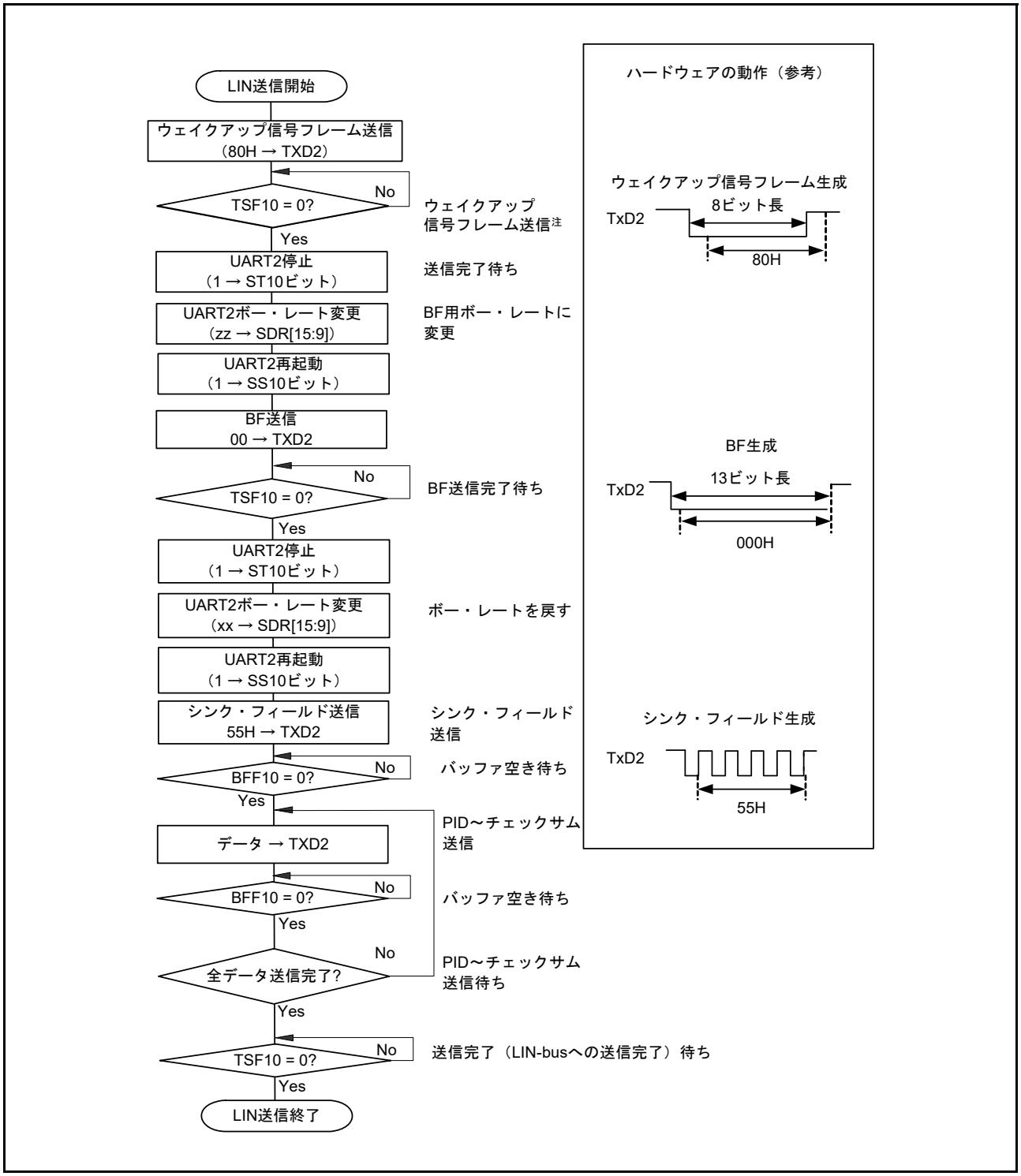
（ブレーク・フィールド時のボー・レート）= 9/13 × N

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3.　各送信終了時にはINTST2を出力します。またBF送信時もINTST2を出力します。

備考　各フィールド間の間隔はソフトウェアで制御します。

図13 - 97　LIN送信のフロー・チャート



注　LIN-busがスリープ状態からの起動時のみ

備考　UARTの初期設定は完了し、送信許可状態からのフローです。

13.7.2　LIN受信

UART 受信のうち、30 ～ 48 ピン製品の UART2 は LIN 通信に対応しています。
LIN 受信では、ユニット 1 のチャネル 1 を使用します。

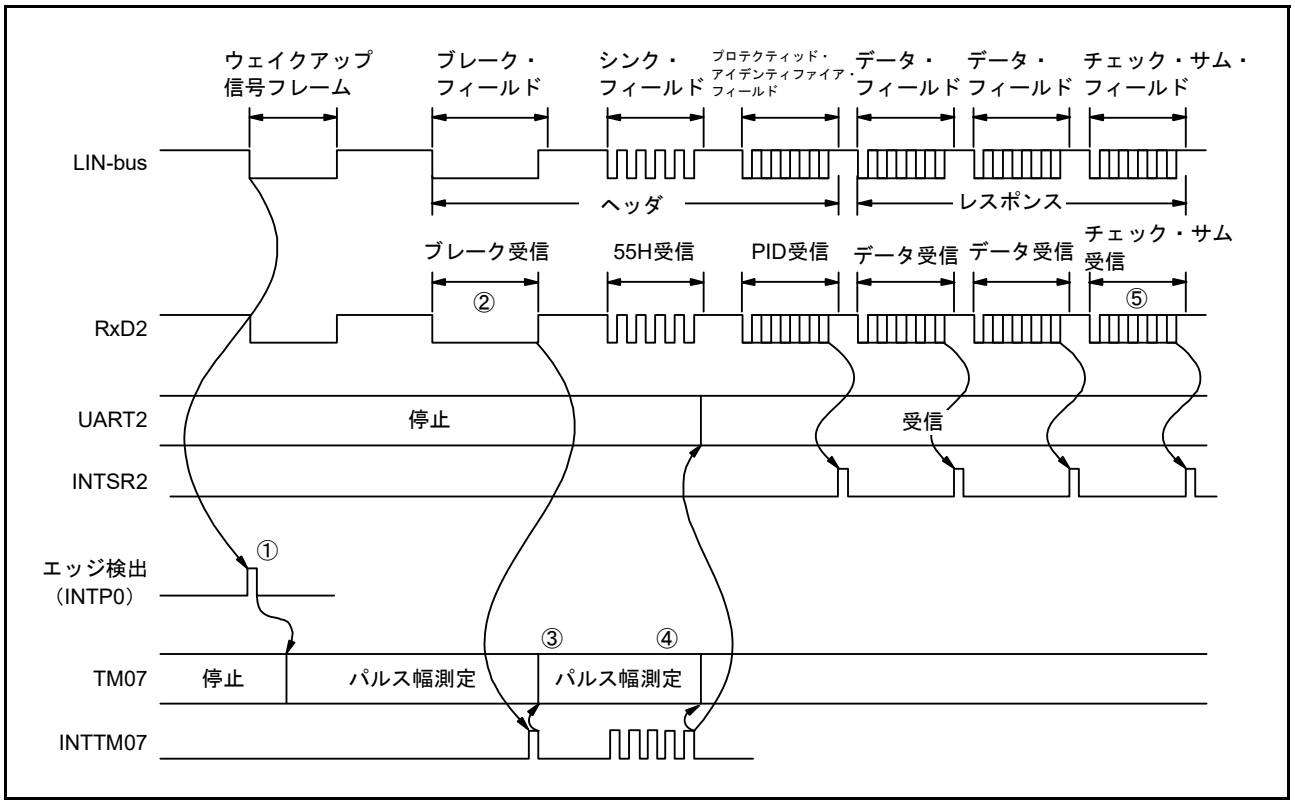
UART	UART0	UART1	UART2
LIN通信対応	不可	不可	可
対象チャネル	–	–	SAU1のチャネル1
使用端子	–	–	RxD2
割り込み	–	–	INTSR2
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー割り込み	–	–	INTSRE2
エラー検出フラグ	• フレーミング・エラー検出フラグ（FEF11） • オーバラン・エラー検出フラグ（OVF11）		
転送データ長	8ビット		
転送レート注	Max. $f_{MCK}/6$ [bps]（SDR11[15:9] = 2以上）、Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]		
データ位相	非反転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）		
パリティ・ビット	パリティ・ビットなし（パリティ・チェックしない）		
ストップ・ビット	1ビット目チェック		
データ方向	LSBファースト		

注　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考　f_{MCK}：対象チャネルの動作クロック周波数
f_{CLK}：CPU／周辺ハードウェア・クロック周波数

図 13 - 98 に LIN の受信操作を示します。

図13 - 98　LINの受信操作



受信処理の流れを次に示します。

① ウェイクアップ信号の検出は、端子の割り込みエッジ検出（INTP0）で行います。ウェイクアップ信号を検出したら、TM07 を BF のロウ・レベル幅測定のためにパルス幅測定に設定して、BF 受信待ち状態にします。

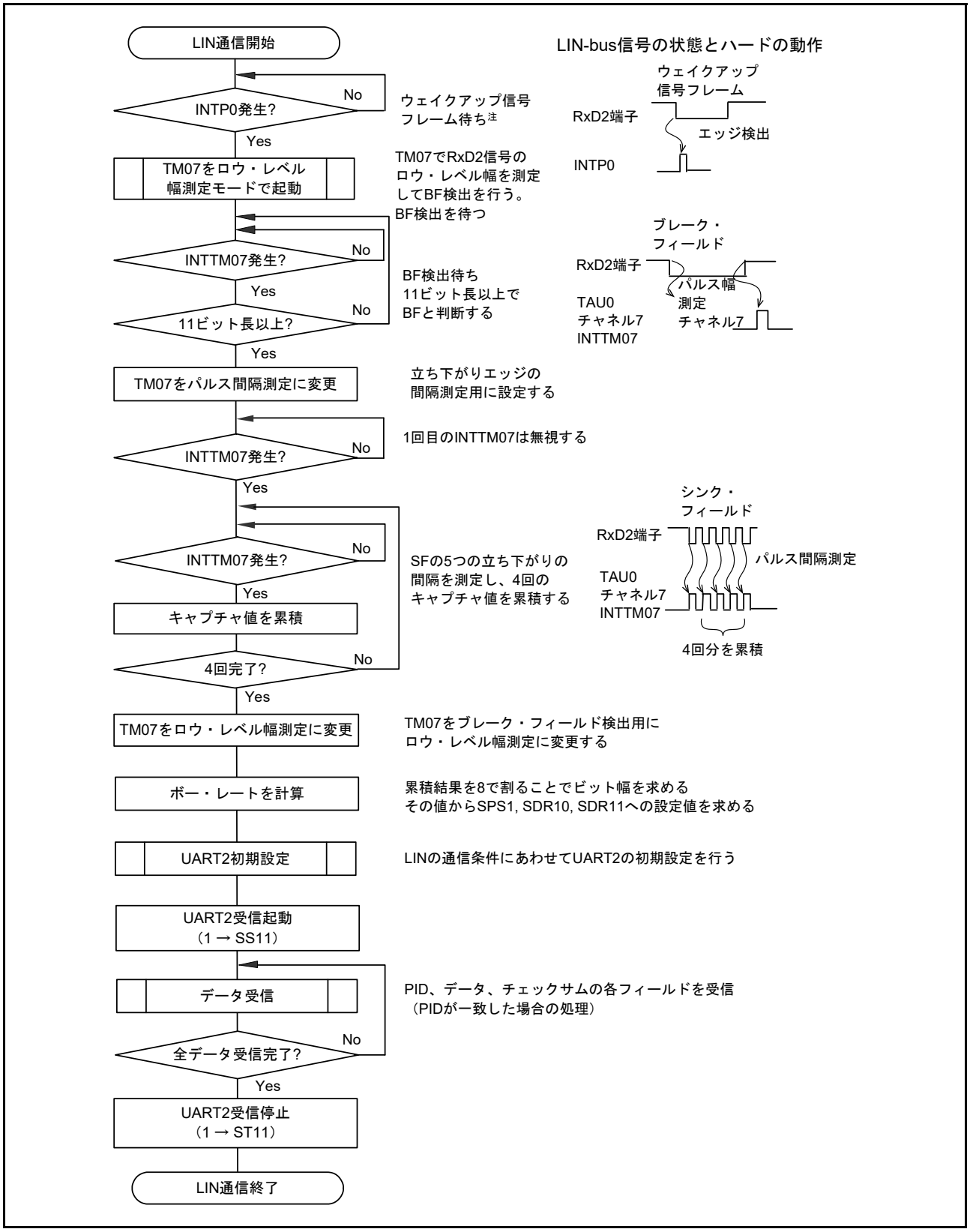
② BF の立ち下がりを検出したら、TM07 はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値から BF 信号かどうかの判定を行います。

③ BF 受信を正常終了した場合、TM07 をパルス間隔測定に設定し、シンク・フィールドの RxD2 信号の立ち下がりの間隔を 4 回測定してください（**7.8.4　入力パルス間隔測定としての動作**参照）。

④ シンク・フィールド（SF）のビット間隔からボー・レート誤差を算出します。そして、いったん UART2 を動作停止にしてからボー・レートを調整（再設定）してください。

⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後に UART2 を初期化し、再び BF 受信待ちに設定する処理もソフトウェアにて行ってください。

図13 - 99　LIN受信のフロー・チャート



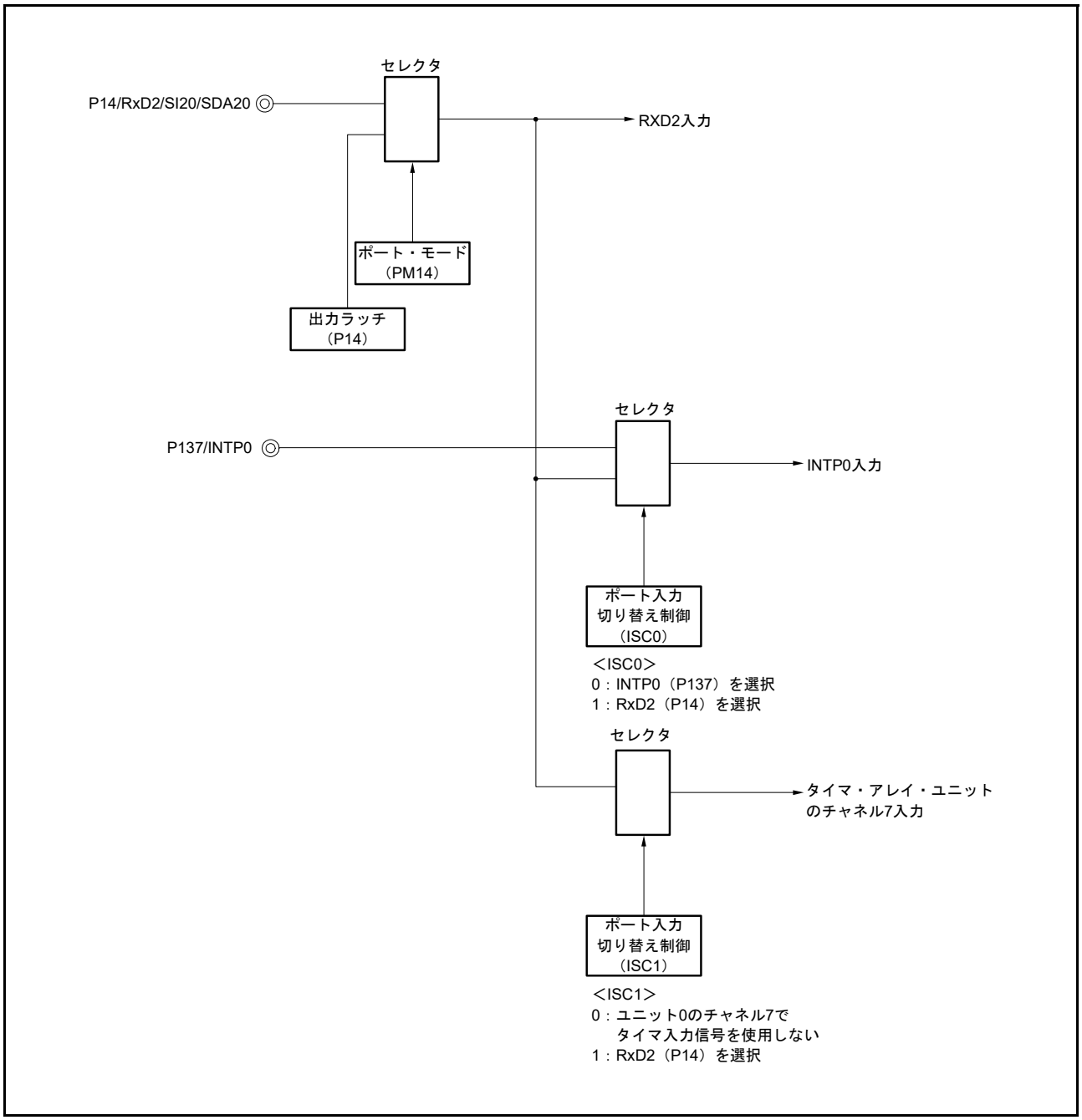
注　スリープ状態でのみ必要となります。

図 13 - 100 および**図 13 - 101** は LIN の受信操作用のポート構成図です。

LIN のマスタから送信されるウェイクアップ信号の受信を、外部割り込み（INTP0）のエッジ検出にて行います。また、LIN のマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット 0 の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

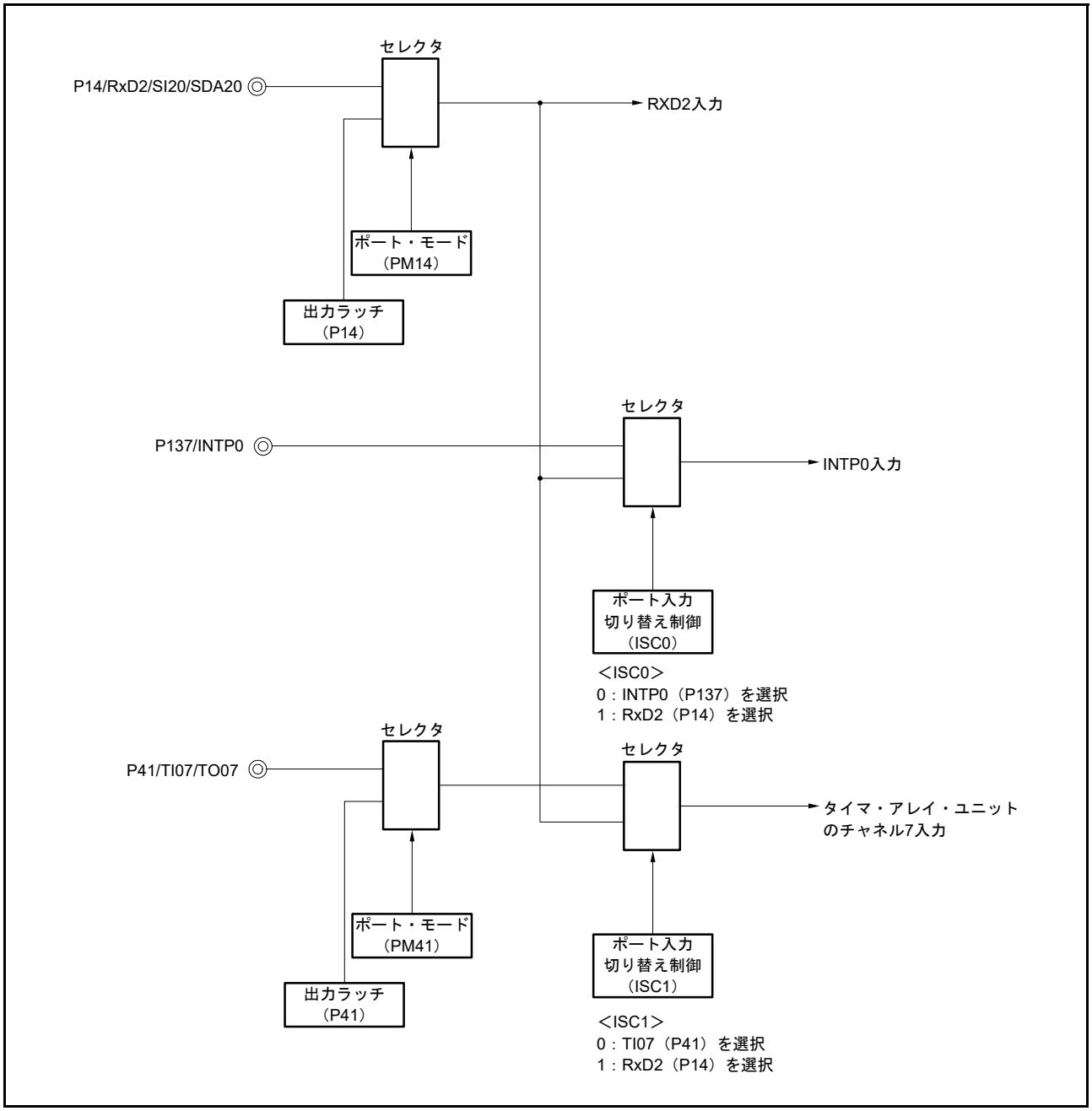
ポート入力切り替え制御（ISC0, ISC1）により、外部で結線をせずに、受信用ポート入力（RxD2）の入力ソースを外部割り込み（INTP0）およびタイマ・アレイ・ユニットへ入力することができます。

図13 - 100　LINの受信操作用のポート構成図（30～40ピン製品の場合）



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（**図13 - 21**参照）

図13 - 101　LINの受信操作用のポート構成図（44, 48ピン製品の場合）



備考　ISC0, ISC1：入力切り替え制御レジスタ（ISC）のビット0, 1（**図13 - 21**参照）

LIN 通信動作で使用する周辺機能をまとめると、次のようになります。

＜使用する周辺機能＞

- 外部割り込み（INTP0）：ウェイクアップ信号検出
  用途：ウェイクアップ信号のエッジを検出し、通信開始を検出
- タイマ・アレイ・ユニットのチャネル7：ボー・レート誤差検出、ブレーク・フィールド（BF）検出
  用途：シンク・フィールド（SF）の長さを検出し、ビット数で割ることでボー・レート誤差を検出（RxD2 入力エッジの間隔をキャプチャ・モードで測定）
  ロウ・レベル幅を測定し、ブレーク・フィールド（BF）かを判定
- シリアル・アレイ・ユニット1（SAU1）のチャネル0, 1（UART2）

13.8　簡易I²C（IIC00, IIC01, IIC11, IIC20, IIC21）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、I²Cバスのバス・ラインの特性を遵守して、ソフトウェアで制御レジスタを操作してください。

［データ送受信］

- マスタ送信、マスタ受信（シングル・マスタでのマスタ機能のみ）
- ACK出力機能注、ACK検出機能
- 8ビットのデータ長（アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御）
- ソフトウェアによるスタート・コンディション、ストップ・コンディションの発生

［割り込み機能］

- 転送完了割り込み

［エラー検出フラグ］

- オーバラン・エラー
- ACKエラー

※［簡易I²Cでサポートしていない機能］

- スレーブ送信、スレーブ受信
- マルチ・マスタ機能（アービトレーション負け検出機能）
- クロック・ストレッチ検出機能

注　最終データの受信時は、SOEmn（SOEmレジスタ）ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、**13.8.3 (2)　処理フロー**を参照してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

簡易 I²C（IIC00, IIC01, IIC11, IIC20, IIC21）に対応しているチャネルは、SAU0 のチャネル 0, 1, 3 と SAU1 のチャネル 0, 1 です。

16 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	–	—
	3	–		IIC11

20～25 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11

30, 32 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	—		—

36～44 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

48 ピン製品

ユニット	チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	0	CSI00	UART0	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2（LIN-bus対応）	IIC20
	1	CSI21		IIC21

簡易 I²C（IIC00, IIC01, IIC11, IIC20, IIC21）の通信動作は、以下の 4 種類があります。

- アドレス・フィールド送信　（**13.8.1** 参照）
- データ送信　（**13.8.2** 参照）
- データ受信　（**13.8.3** 参照）
- ストップ・コンディション発生　（**13.8.4** 参照）

13.8.1　アドレス・フィールド送信

アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、I²C 通信で最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7 ビット）と転送方向（1 ビット）を 1 フレームとして送信します。

簡易I²C	IIC00	IIC01	IIC11	IIC20	IIC21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）				
エラー検出フラグ	ACKエラー検出フラグ（PEFmn）				
転送データ長	8ビット（上位7ビットをアドレス、下位1ビットをR/W制御として送信）				
転送レート注2	Max.f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし、I²Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）				
データ・レベル	非反転出力（デフォルト：ハイ・レベル）				
パリティ・ビット	パリティ・ビットなし				
ストップ・ビット	1ビット付加（ACK送受信タイミング用）				
データ方向	MSBファースト				

注1.　簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。詳細は、**4.3　ポート機能を制御するレジスタ**および**4.5　兼用機能使用時のレジスタ設定**を参照してください。
IIC00, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。
詳細は、**4.4.4　入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

注2.　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 102　簡易I²C（IIC00, IIC01, IIC11, IIC20, IIC21）のアドレス・フィールド送信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 注1 0	0	SISmn0 注1 0	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

チャネルnの動作クロック（fMCK）
0：SPSmレジスタで設定したプリスケーラ出力クロックCKm0
1：SPSmレジスタで設定したプリスケーラ出力クロックCKm1

チャネルnの動作モード
0：転送完了割り込み

(b)　シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 注2 0	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

パリティ・ビット設定
00B：パリティなし

ストップ・ビット設定
01B：1ビット付加（ACK）

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定（アドレス + R/W）							

SIOr

(d)　シリアル出力レジスタm（SOm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1	注4	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3 0/1	SOm2 ×	SOm1 0/1	SOm0 0/1

SOmnビットを操作して、スタート・コンディションを発生する

(e)　シリアル出力許可レジスタm（SOEm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 ×	SOEm1 0/1	SOEm0 0/1

スタート・コンディションを発生まではSOEmn = 0とし、
発生後はSOEmn = 1とする

(f)　シリアル・チャネル開始レジスタm（SSm）：対象チャネルのビットのみ1を設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

スタート・コンディションを発生まではSSmn = 0とし、
発生後はSSmn = 1とする

（注、備考は次ページに続きます）

注1. SMR00, SMR03, SMR11 レジスタのみ

注2. SCR00, SCR10 レジスタのみ

注3. SCR00, SCR01 レジスタのみ。その他は1固定になります。

注4. SO0 レジスタは1固定、SO1 レジスタは0固定になります。

備考1. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、r：IIC番号（r = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

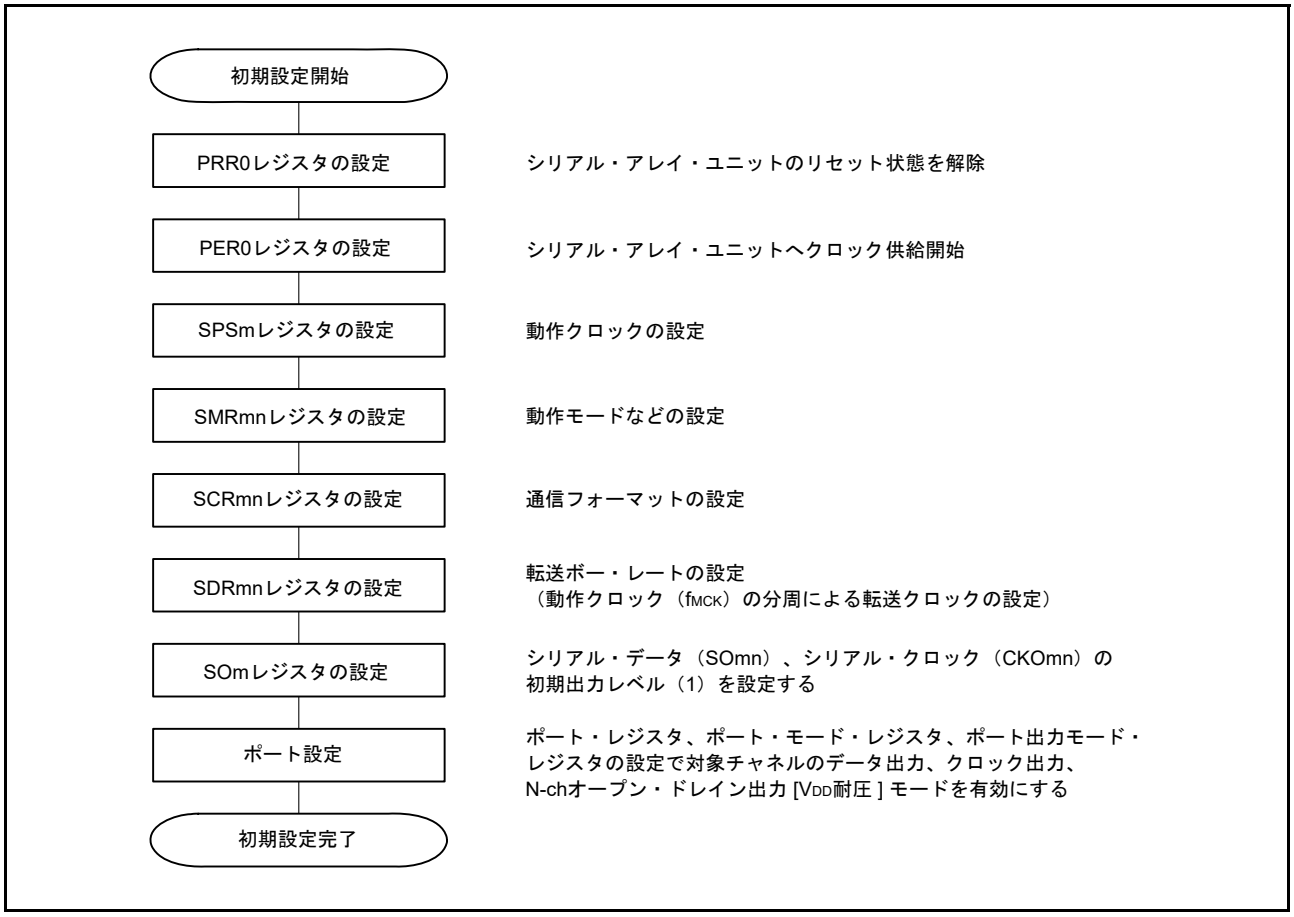
備考2. ■: IICモードでは設定固定、 ■: 設定不可（初期値を設定）

×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1を設定

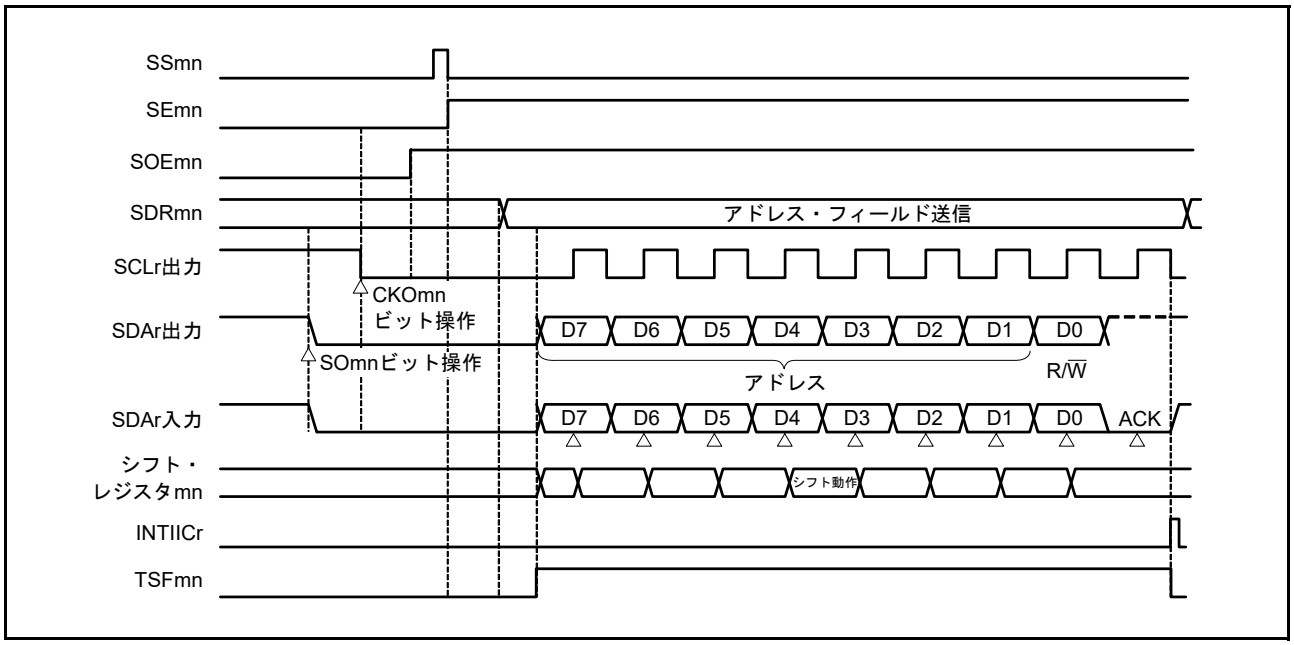
(2)　操作手順

図13 - 103　簡易I²Cアドレス・フィールド送信の初期設定手順



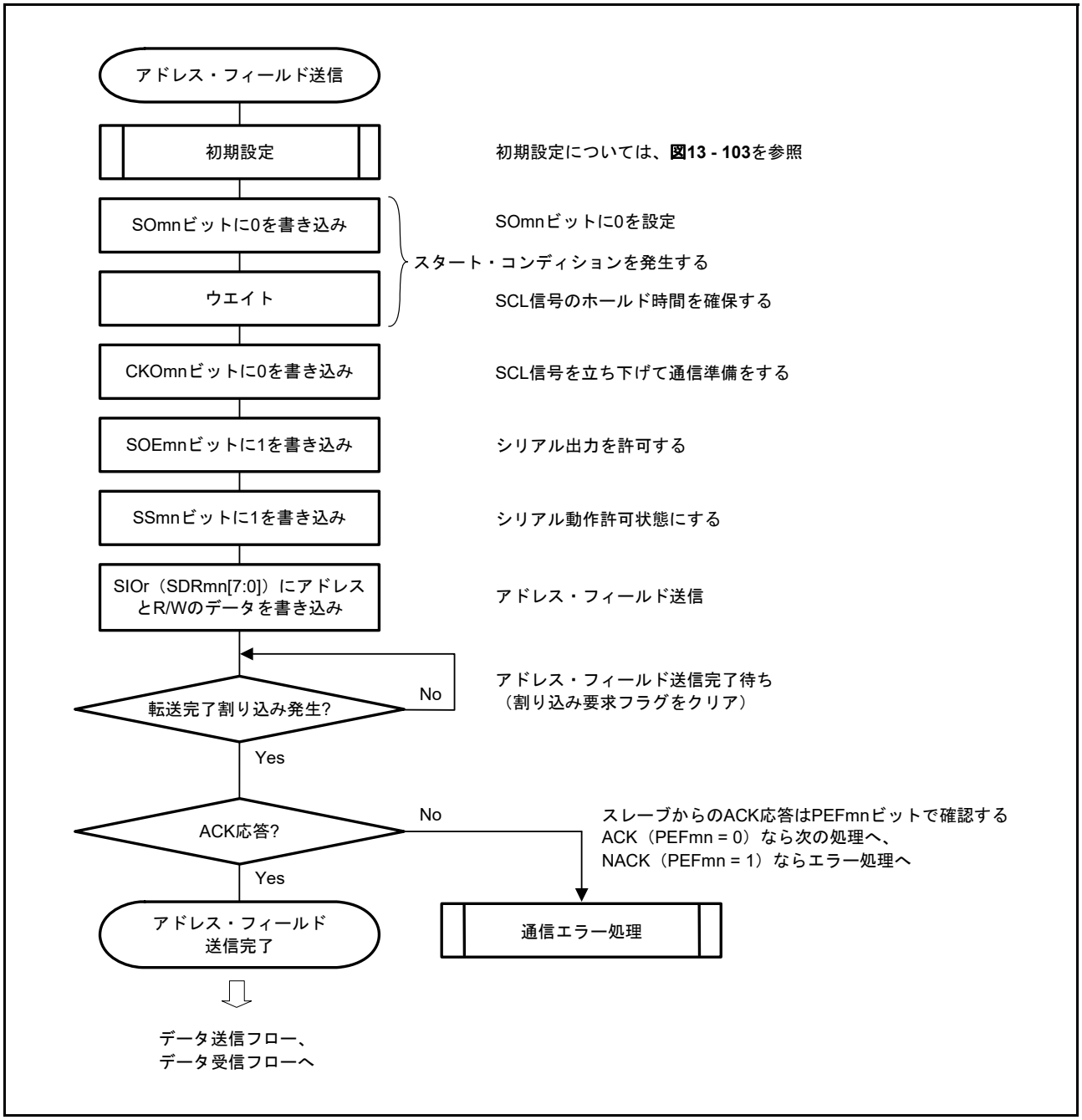
(3)　処理フロー

図13 - 104　アドレス・フィールド送信のタイミング・チャート



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、r：IIC番号（r = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

図13 - 105　簡易I²Cアドレス・フィールド送信のフロー・チャート



13.8.2　データ送信

データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）へデータを送信する動作です。対象スレーブへすべてのデータを送信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I²C	IIC00	IIC01	IIC11	IIC20	IIC21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1 のチャネル 0	SAU1 のチャネル 1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）				
エラー検出フラグ	ACKエラー・フラグ（PEFmn）				
転送データ長	8ビット				
転送レート注2	Max. f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし、I²Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）				
データ・レベル	非反転出力（デフォルト：ハイ・レベル）				
パリティ・ビット	パリティ・ビットなし				
ストップ・ビット	1ビット付加（ACK受信タイミング用）				
データ方向	MSBファースト				

注1.　簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。詳細は、**4.3　ポート機能を制御するレジスタ**および**4.5　兼用機能使用時のレジスタ設定**を参照してください。
IIC00, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。
詳細は、**4.4.4　入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

注2.　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 106　簡易I²C（IIC00, IIC01, IIC11, IIC20, IIC21）のデータ送信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b)　シリアル通信動作設定レジスタmn（SCRmn）：TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 0	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）：データ送受信中は下位8ビット（SIOr）のみ有効

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	送信データ設定							

SIOr

(d)　シリアル出力レジスタm（SOm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	注6	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 ×	SOm1 0/1注5	SOm0 0/1注5

(e)　シリアル出力許可レジスタm（SOEm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 1	SOEm2 ×	SOEm1 1	SOEm0 1

(f)　シリアル・チャネル開始レジスタm（SSm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注1.　SMR01, SMR03, SMR11レジスタのみ

注2.　SCR00, SCR10レジスタのみ

注3.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注4.　アドレス・フィールド送信で設定済みなので、設定不要です。

注5.　通信動作中は通信データにより値が変わります。

注6.　SO0レジスタは1固定、SO1レジスタは0固定になります。

備考1.　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、r：IIC番号（r = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

備考2.　■：IICモードでは設定固定、■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

(2)　処理フロー

図13 - 107　データ送信のタイミング・チャート

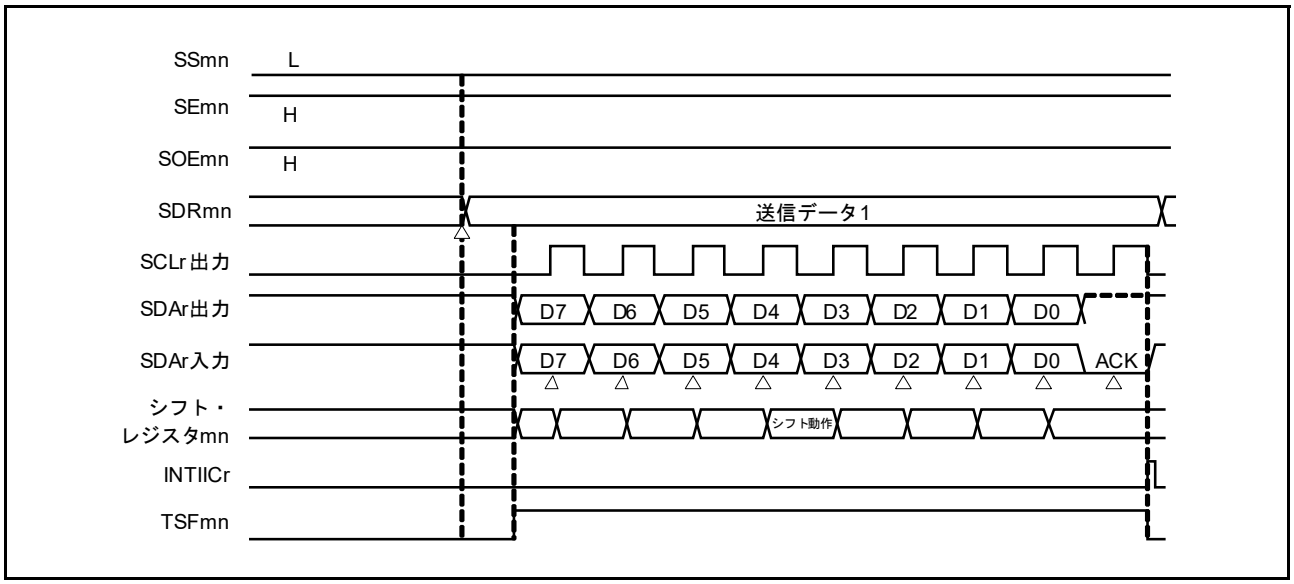
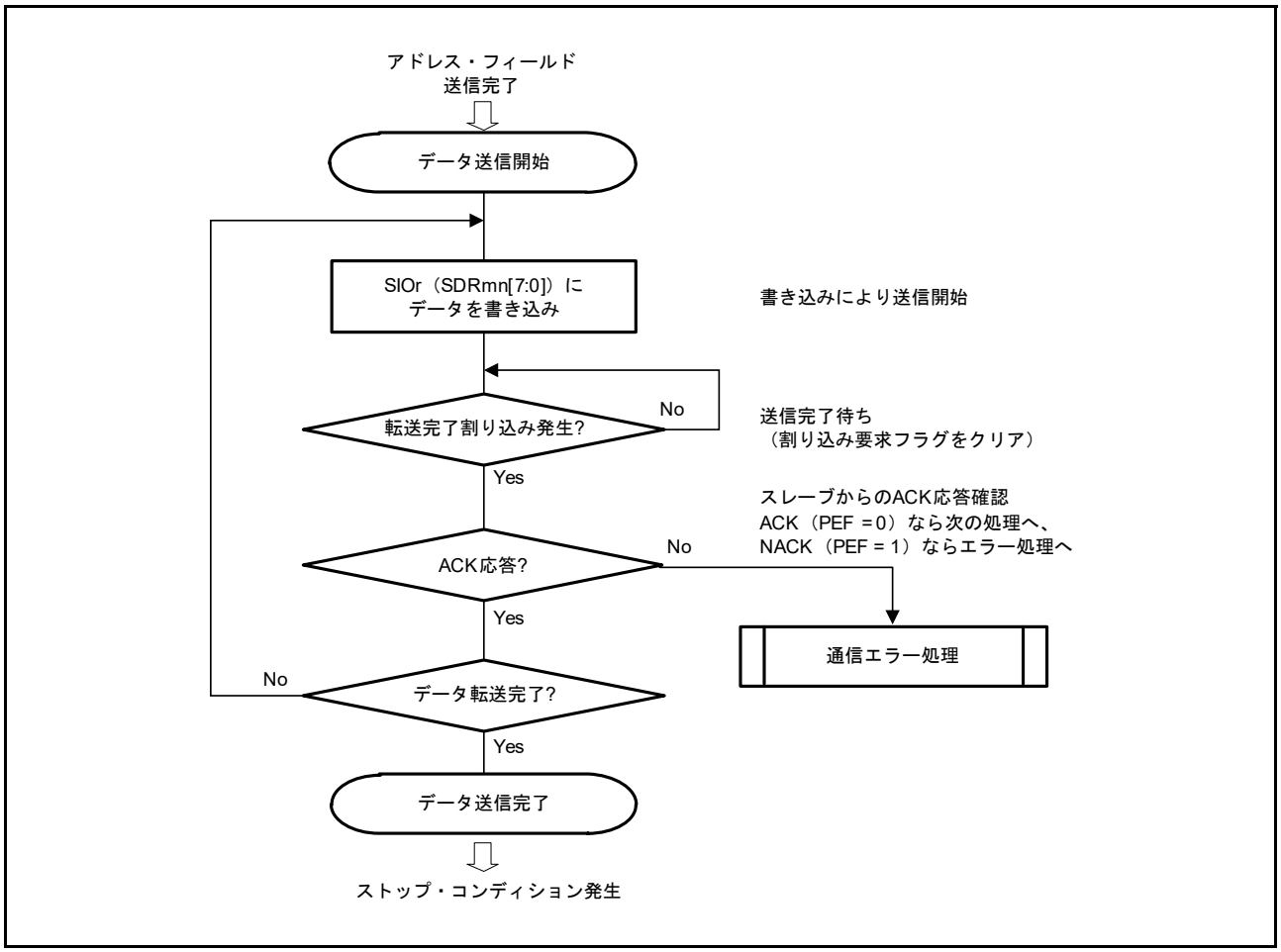


図13 - 108　簡易I²Cデータ送信のフロー・チャート



13.8.3　データ受信

データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）からデータを受信する動作です。対象スレーブからすべてのデータを受信したあとは、ストップ・コンディションを発生し、バスを開放します。

簡易I²C	IIC00	IIC01	IIC11	IIC20	IIC21
対象チャネル	SAU0のチャネル0	SAU0のチャネル1	SAU0のチャネル3	SAU1のチャネル0	SAU1のチャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1
割り込み	INTIIC00	INTIIC01	INTIIC11	INTIIC20	INTIIC21
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）				
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ				
転送データ長	8ビット				
転送レート注2	Max. f_{MCK}/4 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし、I²Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz（ファースト・モード・プラス） • Max. 400 kHz（ファースト・モード） • Max. 100 kHz（標準モード）				
データ・レベル	非反転出力（デフォルト：ハイ・レベル）				
パリティ・ビット	パリティ・ビットなし				
ストップ・ビット	1ビット付加（ACK送信）				
データ方向	MSBファースト				

注1.　簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。詳細は、**4.3　ポート機能を制御するレジスタ**および**4.5　兼用機能使用時のレジスタ設定**を参照してください。
IIC00, IIC20を異電位の外部デバイスと通信する場合は、クロック入力／出力端子（SCL00, SCL20）も同様にN-chオープン・ドレイン出力[V_{DD}耐圧]モードを設定してください（POMxx = 1）。
詳細は、**4.4.4　入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応**を参照してください。

注2.　この条件を満たし、かつ電気的特性の周辺機能特性（**第34章　電気的特性**参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

(1)　レジスタ設定

図13 - 109　簡易I²C（IIC00, IIC01, IIC11, IIC20, IIC21）のデータ受信時のレジスタ設定内容例

(a)　シリアル・モード・レジスタmn（SMRmn）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0注1	0	SISmn0 0注1	1	0	0	MDmn2 1	MDmn1 0	MDmn0 0

(b)　シリアル通信動作設定レジスタmn（SCRmn）：TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0	CKPmn 0	0	EOCmn 0	PTCmn1 0	PTCmn0 0	DIRmn 0	0	SLCmn1 0注2	SLCmn0 1	0	1	DLSmn1 1注3	DLSmn0 1

(c)　シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定注4							0	ダミー送信データ設定（FFH）							

SIOr

(d)　シリアル出力レジスタm（SOm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1注5	注6	CKOm1 0/1注5	CKOm0 0/1注5	0	0	0	0	SOm3 0/1注5	SOm2 ×	SOm1 0/1注5	SOm0 0/1注5

(e)　シリアル出力許可レジスタm（SOEm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 0/1	SOEm2 ×	SOEm1 0/1	SOEm0 0/1

(f)　シリアル・チャネル開始レジスタm（SSm）：データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 0/1

注1.　SMR01, SMR03, SMR11レジスタのみ

注2.　SCR00, SCR10レジスタのみ

注3.　SCR00, SCR01レジスタのみ。その他は1固定になります。

注4.　アドレス・フィールド送信で設定済みなので、設定不要です。

注5.　通信動作中は通信データにより値が変わります。

注6.　SO0レジスタは1固定、SO1レジスタは0固定になります。

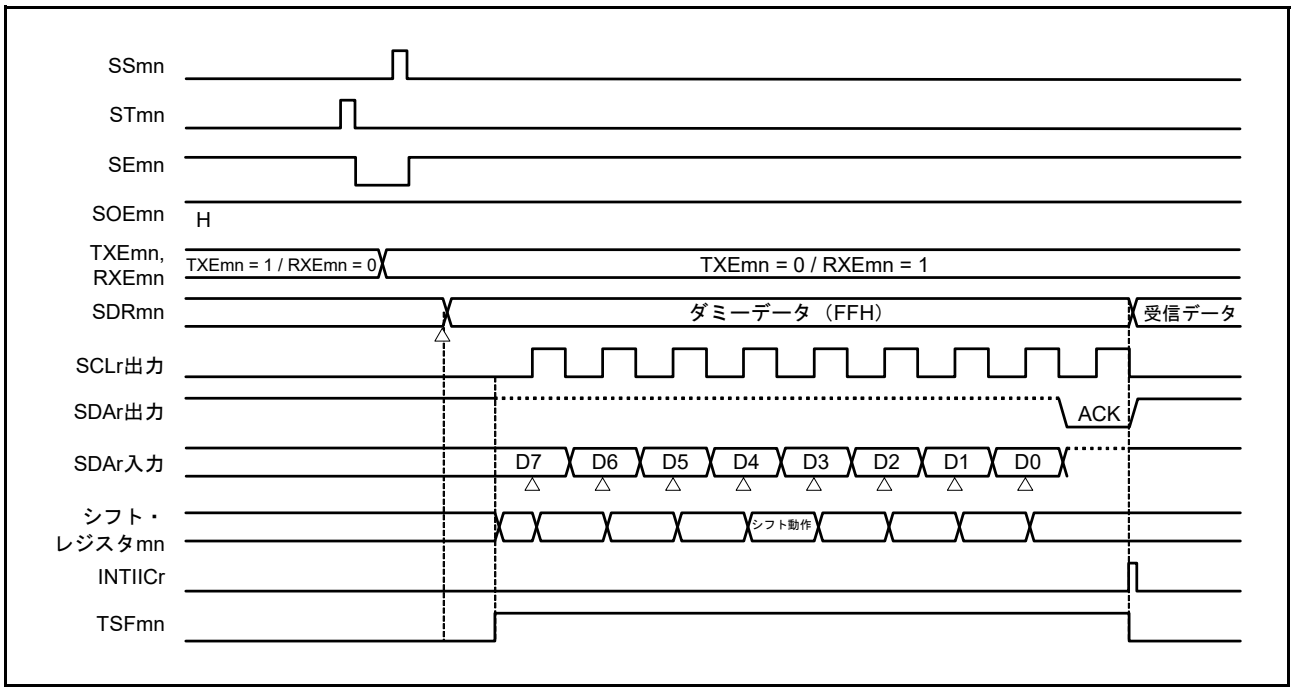
備考1.　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、r：IIC番号（r = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

備考2.　■：IICモードでは設定固定、■：設定不可（初期値を設定）
×：このモードでは使用できないビット（ほかのモードでも使用しない場合は初期値を設定）
0/1：ユーザの用途に応じて0または1を設定

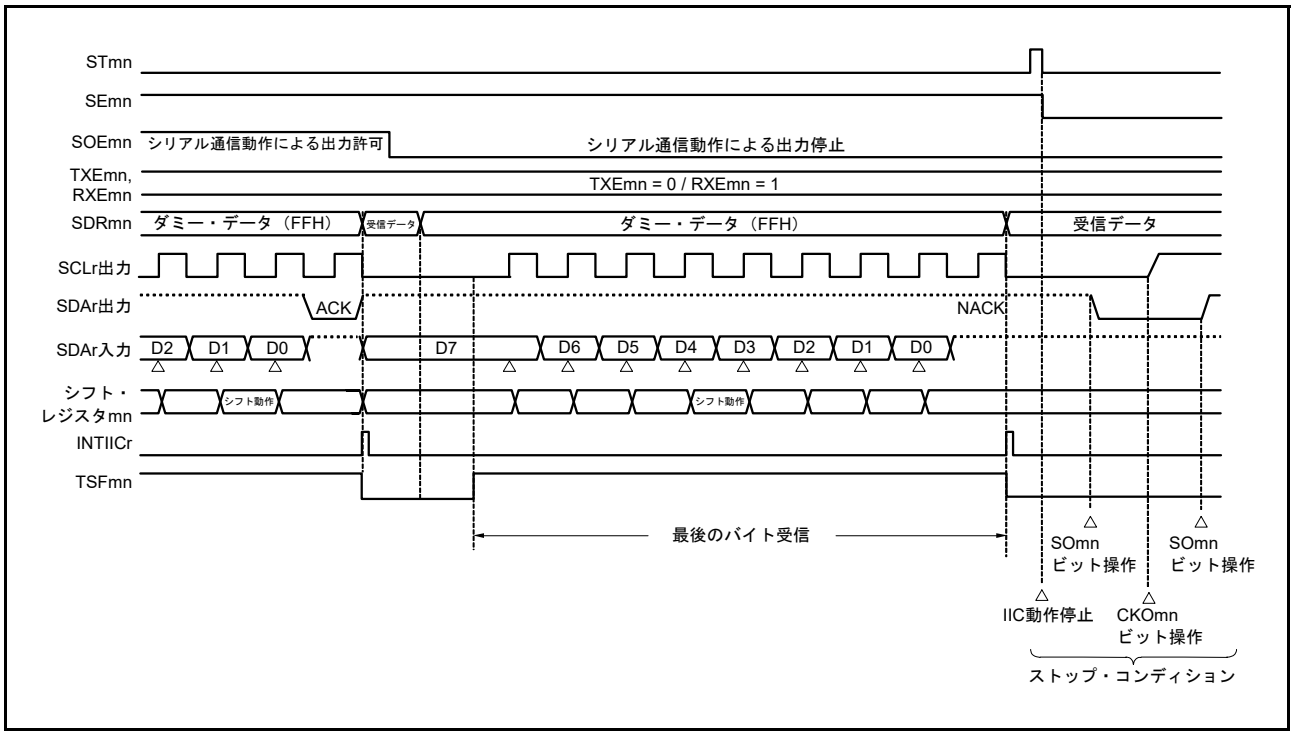
(2)　処理フロー

図13 - 110　データ受信のタイミング・チャート

(a)　データ受信開始時

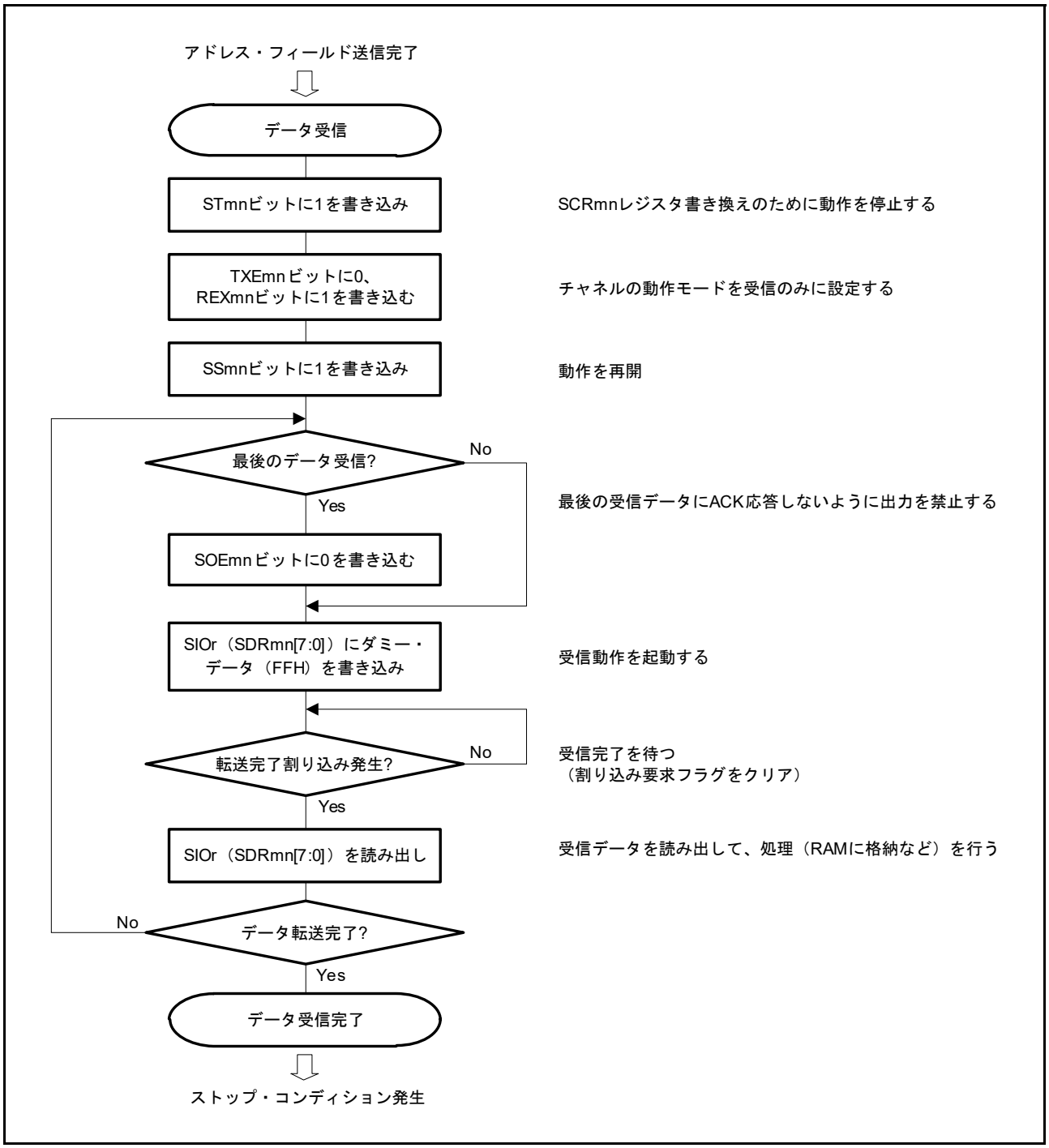


(b)　最終データ受信時



備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、r：IIC番号（r = 00, 01, 11, 20, 21）、
mn = 00, 01, 03, 10, 11

図13 - 111　データ受信のフロー・チャート



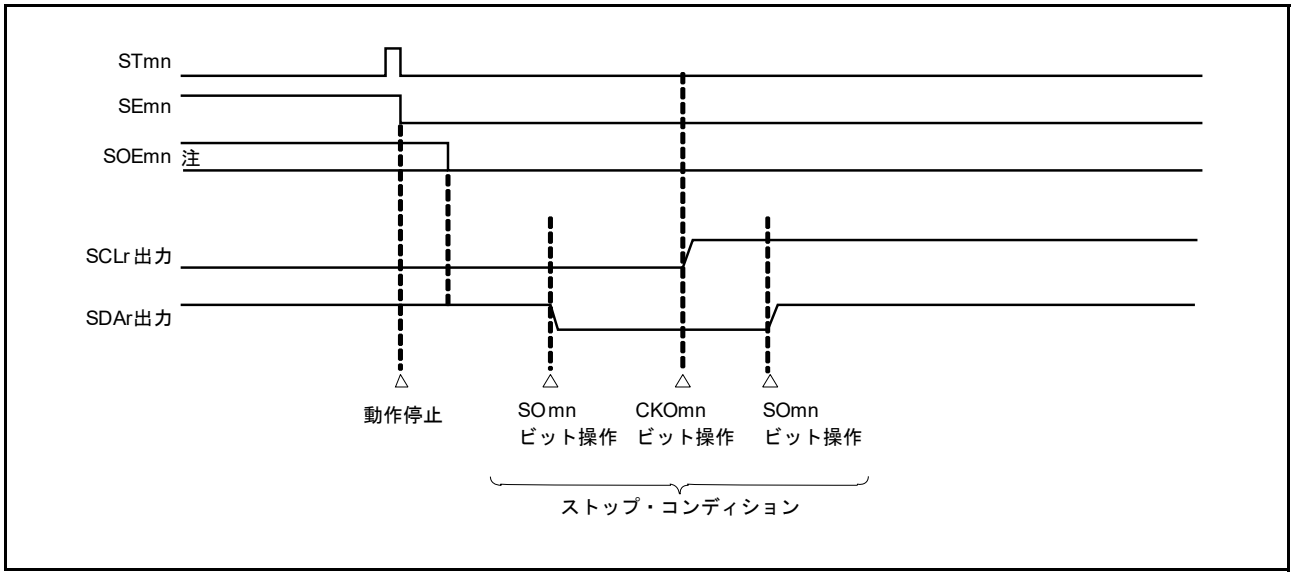
注意　**最終データの受信時はACKを出力しません（NACK）。その後、シリアル・チャネル停止レジスタm（STm）のSTmnビットに1を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。**

13.8.4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信したあとは、ストップ・コンディションを発生し、バスを開放します。

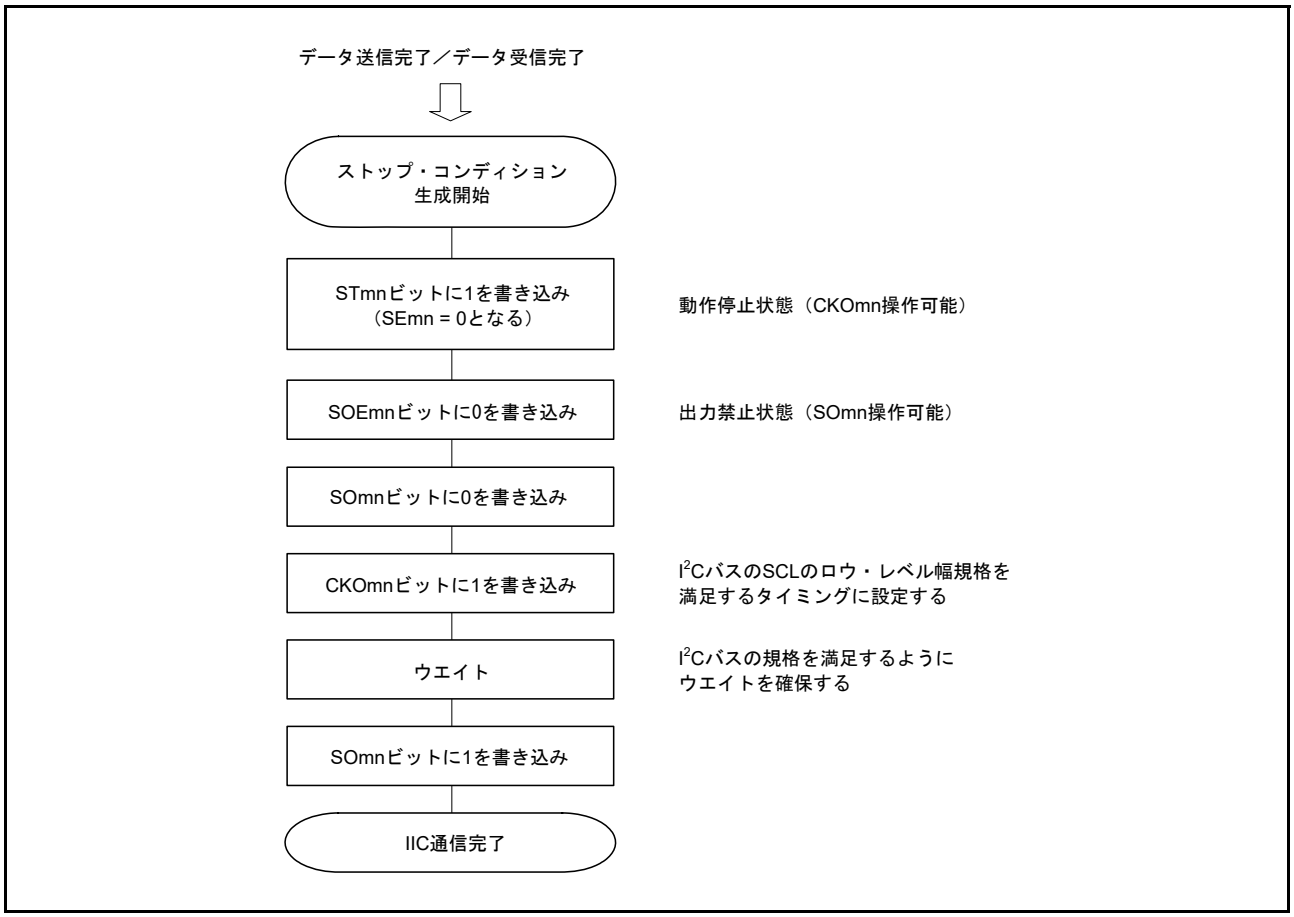
(1)　処理フロー

図13 - 112　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に、シリアル出力許可レジスタm（SOEm）のSOEmnビットに0を設定しています。

図13 - 113　ストップ・コンディション発生のフロー・チャート



13.8.5　転送レートの算出

簡易 I²C（IIC00, IIC01, IIC11, IIC20, IIC21）通信での転送レートは下記の計算式にて算出できます。

（転送レート）= ｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDRmn[15:9] + 1）÷ 2

注意　SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。
簡易 I²C 出力の SCL 信号のデューティ比は 50%です。I²C バス規格では、SCL 信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの 400 kbps やファースト・モード・プラスの 1 Mbps に設定すると、SCL 信号出力のロウ・レベル幅が I²C バスの規格値より短くなります。
SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考 1.（SDRmn[15:9]）は、シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000001B-1111111B）なので、1-127 になります。

備考 2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

動作クロック（f_{MCK}）は、シリアル・クロック選択レジスタ m（SPSm）とシリアル・モード・レジスタ mn（SMRmn）の CKSmn ビットで決まります。

表13 - 9　簡易I²C動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 32 MHz 動作時
0	×	×	×	×	0	0	0	0	f_{CLK}	32 MHz
	×	×	×	×	0	0	0	1	$f_{CLK}/2$	16 MHz
	×	×	×	×	0	0	1	0	$f_{CLK}/2^2$	8 MHz
	×	×	×	×	0	0	1	1	$f_{CLK}/2^3$	4 MHz
	×	×	×	×	0	1	0	0	$f_{CLK}/2^4$	2 MHz
	×	×	×	×	0	1	0	1	$f_{CLK}/2^5$	1 MHz
	×	×	×	×	0	1	1	0	$f_{CLK}/2^6$	500 kHz
	×	×	×	×	0	1	1	1	$f_{CLK}/2^7$	250 kHz
	×	×	×	×	1	0	0	0	$f_{CLK}/2^8$	125 kHz
	×	×	×	×	1	0	0	1	$f_{CLK}/2^9$	62.5 kHz
	×	×	×	×	1	0	1	0	$f_{CLK}/2^{10}$	31.25 kHz
	×	×	×	×	1	0	1	1	$f_{CLK}/2^{11}$	15.63 kHz
1	0	0	0	0	×	×	×	×	f_{CLK}	32 MHz
	0	0	0	1	×	×	×	×	$f_{CLK}/2$	16 MHz
	0	0	1	0	×	×	×	×	$f_{CLK}/2^2$	8 MHz
	0	0	1	1	×	×	×	×	$f_{CLK}/2^3$	4 MHz
	0	1	0	0	×	×	×	×	$f_{CLK}/2^4$	2 MHz
	0	1	0	1	×	×	×	×	$f_{CLK}/2^5$	1 MHz
	0	1	1	0	×	×	×	×	$f_{CLK}/2^6$	500 kHz
	0	1	1	1	×	×	×	×	$f_{CLK}/2^7$	250 kHz
	1	0	0	0	×	×	×	×	$f_{CLK}/2^8$	125 kHz
	1	0	0	1	×	×	×	×	$f_{CLK}/2^9$	62.5 kHz
	1	0	1	0	×	×	×	×	$f_{CLK}/2^{10}$	31.25 kHz
	1	0	1	1	×	×	×	×	$f_{CLK}/2^{11}$	15.63 kHz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）= 000FH）させてから変更してください。

備考1. ×：Don't care

備考2. m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、
mn = 00, 01, 03, 10, 11

f_{MCK} = f_{CLK} = 32 MHz の場合の I²C 転送レート設定例を示します。

I²C転送モード（希望転送レート）	f_{CLK} = 32 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}/2	79	100 kHz	0.0%
400 kHz	f_{CLK}	41	380 kHz	5.0%注
1 MHz	f_{CLK}	18	0.84 MHz	16.0%注

注　SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

13.8.6 簡易I²C（IIC00, IIC01, IIC11, IIC20, IIC21）通信時におけるエラー発生時の処理手順

表 13 - 10 および **表 13 - 11** に簡易 I²C（IIC00, IIC01, IIC11, IIC20, IIC21）通信時にエラーが発生した場合の処理手順を示します。

表13 - 10　オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn（SDRmn）を読み出す →	SSRmnレジスタのBFFmnビットが0となり、チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に1を書き込む →	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる

表13 - 11　簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタmn（SSRmn）を読み出す		エラーの種類の判別を行い、読み出し値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に書き込む →	エラー・フラグがクリアされる	SSRmnレジスタの読み出し値をそのままSIRmnレジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが0となり、チャネルnは動作停止状態になる	ACKが返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。またはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに1を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが1となり、チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、r：IIC番号（r = 00, 01, 11, 20, 21）、mn = 00, 01, 03, 10, 11

第14章　シリアル・インタフェースIICA（IICA）

シリアル・インタフェース IICA のチャネル数は、製品によって異なります。

★

	16, 20ピン	24～48ピン
チャネル数	—	1チャネル

14.1　シリアル・インタフェースIICAの機能

シリアル・インタフェース IICA には、次の 3 種類のモードがあります。

(1)　動作停止モード
シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2)　I²Cバス・モード（マルチマスタ対応）
シリアル・クロック（SCLAn）とシリアル・データ・バス（SDAAn）の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。
I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。
シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3)　ウェイクアップ・モード
STOPモード状態で、マスタからの拡張コードまたは自局アドレスを受信した場合に、割り込み要求信号（INTIICAn）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタn1（IICCTLn1）のWUPnビットにより設定します。
なお、IICCTLn1レジスタのSVADISnビットに1を設定することで全アドレス一致機能が許可となり、アドレスを受信した際にどのようなアドレスでも一致と判断します。

備考　n = 0

図 14 - 1 にシリアル・インタフェース IICA0 のブロック図を示します。

図14 - 1　　シリアル・インタフェースIICA0のブロック図

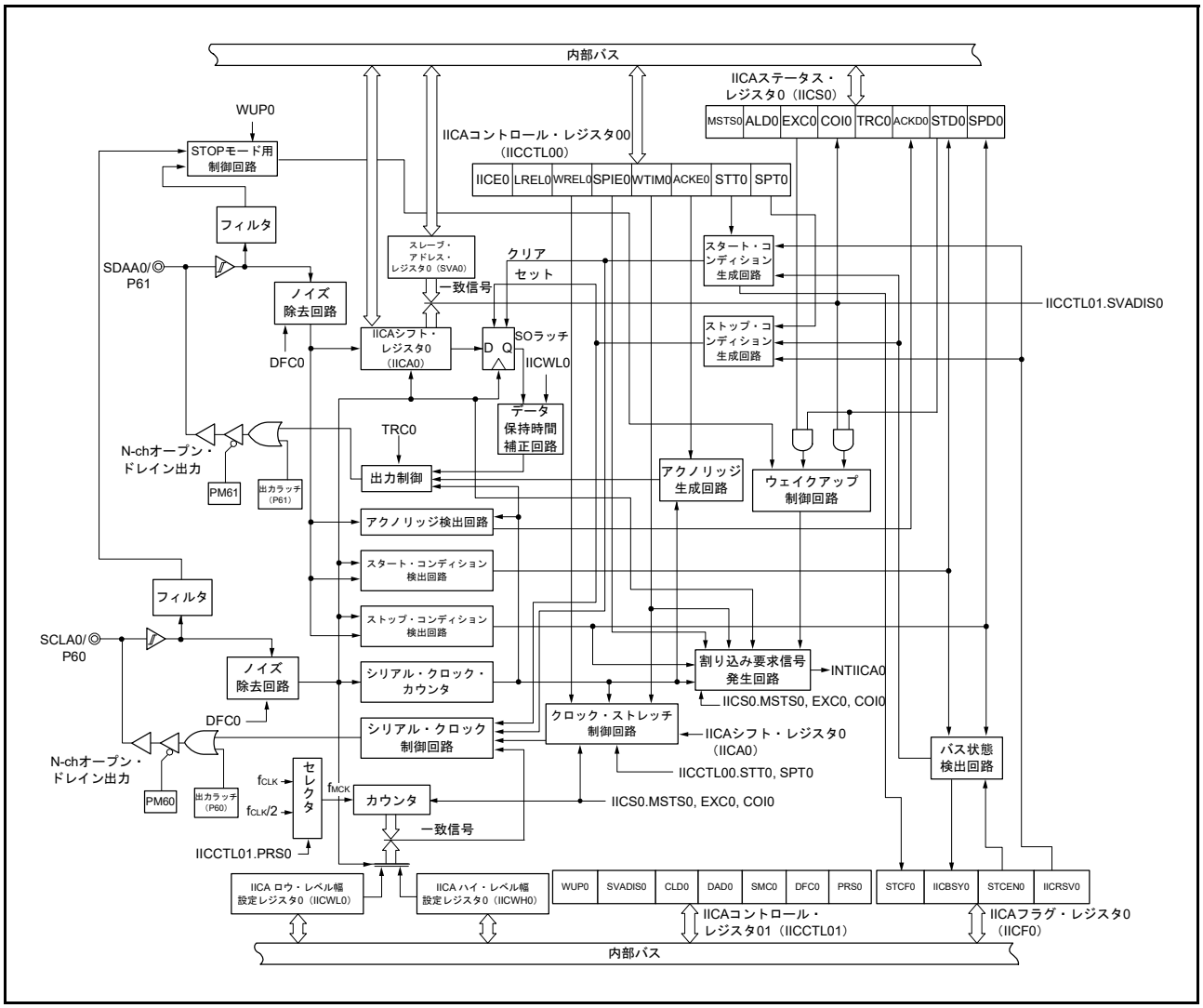
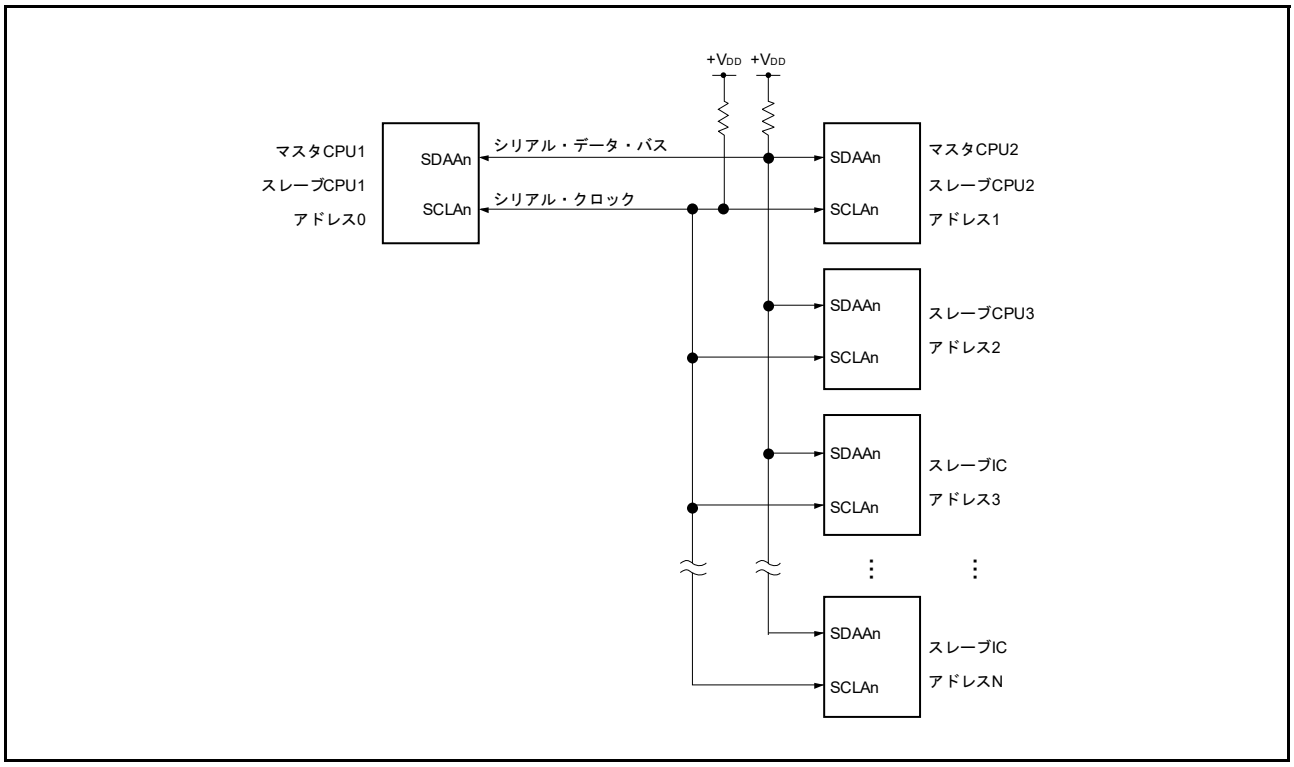


図 14 - 2 に I²C バスによるシリアル・バス構成例を示します。

図14 - 2　I²Cバスによるシリアル・バス構成例



備考　n = 0

14.2　シリアル・インタフェースIICAの構成

シリアル・インタフェース IICA は、次のハードウェアで構成されています。

表14 - 1　　シリアル・インタフェースIICAの構成

項　　目	構　　成
レジスタ	• IICAシフト・レジスタn（IICAn） • スレーブ・アドレス・レジスタn（SVAn）
制御レジスタ	• 周辺イネーブル・レジスタ0（PER0） • 周辺リセット制御レジスタ0（PRR0） • IICAコントロール・レジスタn0（IICCTLn0） • IICAステータス・レジスタn（IICSn） • IICAフラグ・レジスタn（IICFn） • IICAコントロール・レジスタn1（IICCTLn1） • IICAロウ・レベル幅設定レジスタn（IICWLn） • IICAハイ・レベル幅設定レジスタn（IICWHn） • ポート・モード・レジスタ（PMxx） • ポート・レジスタ（Pxx）

備考　n = 0

(1) IICAシフト・レジスタn（IICAn）

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットのパラレル・データに、8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 3　IICAシフト・レジスタn（IICAn）のフォーマット

アドレス　：FFF50H (IICA0)
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
IICAn								

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット（IICCTLn0.STTn）に1をセットしたあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考　n = 0

(2) スレーブ・アドレス・レジスタn（SVAn）

スレーブとして使用する場合に、自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図14 - 4　スレーブ・アドレス・レジスタn（SVAn）のフォーマット

アドレス　：F0234H (SVA0)
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0は0固定です。

備考　n = 0

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイクアップ制御回路
スレーブ・アドレス・レジスタn（SVAn）に設定したアドレス値と受信アドレスが一致するか、全アドレス一致機能許可状態でアドレスを受信した場合、または拡張コードを受信した場合に割り込み要求信号（INTIICAn）を発生させる回路です。

(5) シリアル・クロック・カウンタ
送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路
割り込み要求信号（INTIICAn）の発生を制御します。
I²C割り込み要求は、次の2つのトリガで発生します。

- シリアル・クロックの8クロック目または9クロック目の立ち下がり（IICCTLn0.WTIMnビットで設定）
- ストップ・コンディション検出による割り込み要求発生（IICCTLn0.SPIEnビットで設定）

(7) シリアル・クロック制御回路
マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路
クロック・ストレッチ・タイミングを制御します。

(9) アクノリッジ生成回路、ストップ・コンディション検出回路、スタート・コンディション検出回路、アクノリッジ検出回路
各状態の生成および検出を行います。

(10) データ保持時間補正回路
シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路
IICCTLn0.STTnビットが1にセットされるとスタート・コンディションを生成します。
ただし、通信予約禁止状態（IICFn.IICRSVn = 1）で、かつバスが解放されていない（IICFn.IICBSYn = 1）場合には、スタート・コンディション要求は無視し、IICFn.STCFnフラグに1をセットします。

(12) ストップ・コンディション生成回路
IICCTLn0.SPTnビットが1にセットされるとストップ・コンディションを生成します。

(13) バス状態検出回路
スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。
ただし、動作直後はバス状態を検出できません。IICFn.STCENnビットでバス状態検出回路の初期状態を設定してください。

備考　n = 0

14.3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェース IICA を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0（PER0）
- 周辺リセット制御レジスタ0（PRR0）
- IICAコントロール・レジスタn0（IICCTLn0）
- IICAステータス・レジスタn（IICSn）
- IICAフラグ・レジスタn（IICFn）
- IICAコントロール・レジスタn1（IICCTLn1）
- IICAロウ・レベル幅設定レジスタn（IICWLn）
- IICAハイ・レベル幅設定レジスタn（IICWHn）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

備考　n = 0

14.3.1　周辺イネーブル・レジスタ0（PER0）

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICA0 を使用する場合は、必ず IICA0EN ビットに 1 を設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図14 - 5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス　：F00F0H
リセット時：00H
R/W属性　：R/W

略号	<7>	6	<5>	<4>	<3>	<2>	1	<0>
PER0	RTCWEN	0	ADCEN	IICA0EN 注1	SAU1EN 注2	SAU0EN	0	TAU0EN

IICAnEN	シリアル・インタフェースIICAnの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・インタフェースIICAnで使用するSFRへのライト不可注3
1	入力クロック供給 • シリアル・インタフェースIICAnで使用するSFRへのリード／ライト可

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注3.　リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1.　ビット6, 1には、必ず0を設定してください。

注意2.　次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

注意3.　シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAnEN = 1の状態で、下記のレジスタの設定を行ってください。IICAnEN = 0の場合は、シリアル・インタフェースIICAのレジスタは初期値となり、書き込みは無視されます（ポート・モード・レジスタ（PM6）、ポート・レジスタ（P6）は除く）。

- **IICAコントロール・レジスタn0（IICCTLn0）**
- **IICAフラグ・レジスタn（IICFn）**
- **IICAステータス・レジスタn（IICSn）**
- **IICAコントロール・レジスタn1（IICCTLn1）**
- **IICAロウ・レベル幅設定レジスタn（IICWLn）**
- **IICAハイ・レベル幅設定レジスタn（IICWHn）**
- **IICAシフト・レジスタn（IICAn）**
- **スレーブ・アドレス・レジスタn（SVAn）**

注意4.　各周辺機能が動作許可の状態で、PER0レジスタの対象ビットを切り替えないでください。

PER0レジスタによる設定は、PER0レジスタに割り当てている各周辺機能が停止している状態で切り替えてください。

備考　n = 0

14.3.2　周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図14 - 6　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注1	SAU1RES 注2	SAU0RES	0	TAU0RES

IICAnRES	シリアル・インタフェースIICAnのリセット制御
0	シリアル・インタフェースIICAnのリセット解除
1	シリアル・インタフェースIICAnはリセット状態 ・シリアル・インタフェースIICAnで使用するSFRが初期化されます。

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット4, 3

24, 25ピン製品：ビット3

備考　n = 0

14.3.3 IICAコントロール・レジスタn0（IICCTLn0）

IICCTLn0 レジスタは、I²C の動作許可／停止、クロック・ストレッチ・タイミングの設定、その他 I²C の動作を設定するレジスタです。

IICCTLn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEn ビットは、IICEn = 0 のとき、またはクロック・ストレッチ期間中に設定してください。また IICEn ビットを 0 から 1 に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00H になります。

備考 n = 0

図14 - 7 IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (1/4)

アドレス : F0230H (IICCTL00)
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I²Cの動作許可
0	動作停止。IICAステータス・レジスタn（IICSn）をリセット注1。内部動作も停止。
1	動作許可。
このビットに1を設定するときは、必ずSCLAn, SDAAnラインがハイ・レベルの状態で行ってください。	
クリアされる条件（IICEn = 0）	セットされる条件（IICEn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

LRELn 注2, 3	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的に0にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAnラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタn0（IICCTLn0）、IICAステータス・レジスタn（IICSn）のうち、次のフラグが0にクリアされる。 • STTn, SPTn, MSTSn, EXCn, COIn, TRCn, ACKDn, STDn
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 • ストップ・コンディション検出後、マスタとしての起動 • スタート・コンディション後のアドレス一致または拡張コード受信または全アドレス一致機能許可状態でのアドレス受信	
クリアされる条件（LRELn = 0）	セットされる条件（LRELn = 1）
• 実行後、自動的にクリア • リセット時	• 命令によるセット

図14 - 7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (2/4)

WRELn 注2, 3	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。
送信状態（IICSn.TRCn = 1）で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット（クロック・ストレッチを解除）した場合、SDAAnラインをハイ・インピーダンス（IICSn.TRCn = 0）にします。	
クリアされる条件（WRELn = 0）	セットされる条件（WRELn = 1）
• 実行後、自動的にクリア • リセット時	• 命令によるセット

SPIEn注2	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICCTLn1.WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIEn = 0）	セットされる条件（SPIEn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

WTIMn注4	クロック・ストレッチおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 • マスタの場合　：8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ • スレーブの場合：8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 • マスタの場合　：9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ • スレーブの場合：9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし、拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。 全アドレス一致機能許可状態でのアドレス受信時は、8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件（WTIMn = 0）	セットされる条件（WTIMn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

図14 - 7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (3/4)

ACKEn 注4, 5	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。
クリアされる条件（ACKEn = 0）	セットされる条件（ACKEn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

STTn 注2, 6	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（待機状態、IICFn.IICBSYnフラグが0のとき）： 1にセットすると、スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： • 通信予約機能許可の場合（IICFn.IICRSVn = 0） スタート・コンディション予約フラグとして機能する。1にセットすると、バスが解放されたあと自動的にスタート・コンディションを生成する。 • 通信予約機能禁止の場合（IICFn.IICRSVn = 1） 1にセットしてもSTTnビットはクリアされ、STTnクリア・フラグ（IICFn.STCFn）が1にセットされる。スタート・コンディションは生成しない。 クロック・ストレッチ状態（マスタ時）： クロック・ストレッチを解除してリスタート・コンディションを生成する。
セット・タイミングに関する注意 • マスタ受信の場合：転送中に1にセットすることは禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。 • マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中に1にセットしてください。 • ストップ・コンディション・トリガ（SPTn）と同時に1にセットすることは禁止です。 • STTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。	
クリアされる条件（STTn = 0）	セットされる条件（STTn = 1）
• 通信予約禁止状態でのSTTnビットを1にセット • アービトレーションに負けたとき • マスタでのスタート・コンディション生成 • LRELn = 1（通信退避）によるクリア • IICEn = 0（動作停止）のとき • リセット時	• 命令によるセット

図14 - 7　IICAコントロール・レジスタn0（IICCTLn0）のフォーマット (4/4)

SPTn注7	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意
- マスタ受信の場合：転送中に1をセットすることは禁止です。
  ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけ1にセット可能です。
- マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。
- スタート・コンディション・トリガ（STTn）と同時に1にセットすることは禁止です。
- 1へのセットは、マスタのときのみ行ってください。
- WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットを1にセットすると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットを1にセットしてください。
- SPTnビットに1を設定したあと、クリア条件になる前に再度1をセットすることは禁止です。

クリアされる条件（SPTn = 0）	セットされる条件（SPTn = 1）
• アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELn = 1（通信退避）によるクリア • IICEn = 0（動作停止）のとき • リセット時	• 命令によるセット

★ **注1.**　リセットされるのは、IICAステータス・レジスタn（IICSn）、IICAフラグ・レジスタn（IICFn）のSTCFn, IICBSYnフラグ、IICAコントロール・レジスタn1（IICCTLn1）レジスタのCLDn, DADnビットです。

注2.　IICEn = 0の状態では、このビットの信号は無効になります。

注3.　LRELn, WRELnビットの読み出し値は常に0になります。

注4.　IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注5.　アドレス転送中で、かつ拡張コードでない場合で全アドレス一致機能が停止の場合、設定値は無効です。スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

注6.　STTnビットの読み出し値は、常に0になります。

注7.　SPTnビットの読み出し値は、常に0になります。

注意1.　SCLAnラインがハイ・レベル、SDAAnラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン（IICCTLn1.DFCn = 1）のときにI²Cを動作許可（IICEn = 1）した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可（IICEn = 1）したあと、連続して1ビット・メモリ操作命令により、LRELnビットに1をセットしてください。

注意2.　IICSn.TRCnビットが1（送信状態）のとき、9クロック目にIICCTLn0レジスタのWRELnビットに1をセットしてクロック・ストレッチ解除すると、TRCnフラグをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考1.　SPTnビットは、データ設定後に読み出すと0になっています。

備考2.　n = 0

14.3.4　IICAステータス・レジスタn（IICSn）

IICSn レジスタは、I²C のステータスを表すレジスタです。

IICSn レジスタは、IICCTLn0.STTn = 1 およびクロック・ストレッチ期間中のみ、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

注意　STOPモード状態時のアドレス一致ウェイクアップ機能動作許可（IICCTLn1.WUPn = 1）状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求信号と関係なくWUPnビットを1→0（ウェイクアップ機能動作停止）に変更した場合には、次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため、ウェイクアップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（IICCTLn0.SPIEn = 1）して割り込み検出後にIICSnレジスタを読み出してください。

備考　n = 0

図14 - 8　IICAステータス・レジスタn（IICSn）のフォーマット (1/3)

アドレス　：FFF51H (IICS0)
リセット時：00H
R/W属性　：R

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IICSn	MSTSn	ALDn	EXCn	COIn	TRCn	ACKDn	STDn	SPDn

MSTSn	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件（MSTSn = 0）	セットされる条件（MSTSn = 1）
• ストップ・コンディション検出時 • ALDn = 1（アービトレーション負け）のとき • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• スタート・コンディション生成時

ALDn	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTSnフラグがクリアされる。
クリアされる条件（ALDn = 0）	セットされる条件（ALDn = 1）
• IICSnレジスタ読み出し後、自動的にクリア注1 • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• アービトレーションに負けたとき

図14 - 8　IICAステータス・レジスタn（IICSn）のフォーマット (2/3)

EXCn	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。または全アドレス一致機能が許可状態。

クリアされる条件（EXCn = 0）	セットされる条件（EXCn = 1）
• スタート・コンディション検出時 • ストップ・コンディション検出時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• 受信したアドレス・データの上位4ビットが0000または1111のとき（8クロック目の立ち上がりでセット） • 全アドレス一致機能許可（IICCTLn1.SVADISn = 1）設定がされた状態でアドレスを受信したとき（8クロック目の立ち上がりでセット）

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。または全アドレス一致機能が許可状態。

クリアされる条件（COIn = 0）	セットされる条件（COIn = 1）
• スタート・コンディション検出時 • ストップ・コンディション検出時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• 受信アドレスが自局アドレス（スレーブ・アドレス・レジスタn（SVAn））と一致したとき（8クロック目の立ち上がりでセット） • 全アドレス一致機能許可（IICCTLn1.SVADISn = 1）設定時に、アドレス受信したとき（8クロック目の立ち上がりでセット）

TRCn	送信／受信状態検出
0	受信状態（送信状態以外）。SDAAnラインをハイ・インピーダンスにする。
1	送信状態。SDAAnラインにSOnラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRCn = 0）	セットされる条件（TRCn = 1）
＜マスタ、スレーブ共通＞ • ストップ・コンディション検出時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • IICCTLn0.WRELn = 1（クロック・ストレッチ解除）によるクリア注2 • ALDn = 0→1（アービトレーション負け）のとき • リセット時 • 通信不参加の場合（MSTSn, EXCn, COIn = 0） ＜マスタの場合＞ • 1バイト目のLSB（転送方向指定ビット）に1を出力したとき ＜スレーブの場合＞ • スタート・コンディション検出時 • 1バイト目のLSB（転送方向指定ビット）に0を入力したとき	＜マスタの場合＞ • スタート・コンディション生成時 • 1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に0（マスタ送信）を出力したとき ＜スレーブの場合＞ • マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に1（スレーブ送信）が入力されたとき

図14 - 8　IICAステータス・レジスタn（IICSn）のフォーマット (3/3)

ACKDn	アクノリッジ（ACK）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKDn = 0）	セットされる条件（ACKDn = 1）
• ストップ・コンディション検出時 • 次のバイトの1クロック目の立ち上がり時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STDn = 0）	セットされる条件（STDn = 1）
• ストップ・コンディション検出時 • アドレス転送後の次のバイトの1クロック目の立ち上がり時 • IICCTLn0.LRELn = 1（通信退避）によるクリア • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。

クリアされる条件（SPDn = 0）	セットされる条件（SPDn = 1）
• このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 • IICCTLn1.WUPn = 1→0のとき • IICCTLn0.IICEn = 1→0（動作停止）のとき • リセット時	• ストップ・コンディション検出時

注1.　IICSnレジスタのほかのビットに対し、1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALDnフラグ使用時は、ほかのビットよりも先にデータを読み出してください。

注2.　TRCn = 1（送信状態）のとき、9クロック目にIICAコントロール・レジスタn0（IICCTLn0）のビット5（WRELn）を1にセットしてクロック・ストレッチを解除すると、TRCnフラグをクリア（受信状態）してSDAAnラインをハイ・インピーダンスにします。TRCn = 1（送信状態）におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考　n = 0

14.3.5 IICAフラグ・レジスタn（IICFn）

IICFn レジスタは、I²C の動作モードの設定と、I²C バスの状態を表すレジスタです。

IICFn レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、STTn クリア・フラグ（STCFn）、I²C バス状態フラグ（IICBSYn）は読み出しのみ可能です。

IICRSVn ビットにより、通信予約機能の禁止／許可を設定します。

また STCENn ビットにより、IICBSYn フラグの初期値を設定します。

IICRSVn, STCENn ビットは I²C が動作禁止（IICCTLn0.IICEn = 0）のときのみ書き込み可能です。動作許可後、IICFn レジスタは読み出しのみ可能となります。

リセット信号の発生により、00H になります。

備考 n = 0

図14 - 9 IICAフラグ・レジスタn（IICFn）のフォーマット (1/2)

アドレス : FFF52H (IICF0)
リセット時: 00H
R/W属性 : R/W注

略号	<7>	<6>	5	4	3	2	<1>	<0>
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTnフラグ・クリア。

クリアされる条件（STCFn = 0）	セットされる条件（STCFn = 1）
• IICCTLn0.STTn = 1によるクリア • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• 通信予約禁止（IICRSVn = 1）設定時にスタート・コンディション発行できず、IICCTLn0.STTnビットが0にクリアされたとき

IICBSYn	I²Cバス状態フラグ
0	バス解放状態（STCENn = 1時の通信初期状態）。
1	バス通信状態（STCENn = 0時の通信初期状態）。

クリアされる条件（IICBSYn = 0）	セットされる条件（IICBSYn = 1）
• ストップ・コンディション検出時 • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• スタート・コンディション検出時 • STCENn = 0時のIICCTLn0.IICEnビットのセット

STCENn	初期スタート許可トリガ
0	動作許可（IICCTLn0.IICEn = 1）後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可（IICCTLn0.IICEn = 1）後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。

クリアされる条件（STCENn = 0）	セットされる条件（STCENn = 1）
• 命令によるクリア • スタート・コンディション検出時 • リセット時	• 命令によるセット

図14 - 9　IICAフラグ・レジスタn（IICFn）のフォーマット (2/2)

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSVn = 0）	セットされる条件（IICRSVn = 1）
• 命令によるクリア • リセット時	• 命令によるセット

注　ビット7, 6は、読み出しのみ可能です。

注意1. STCENnビットへの書き込みは動作停止（IICCTLn0.IICEn = 0）時のみ行ってください。

注意2. STCENn = 1とした場合、実際のバス状態にかかわらずバス解放状態（IICBSYn = 0）と認識しますので、1回目のスタート・コンディションを発行（IICCTLn0.STTn = 1）する場合は、ほかの通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意3. IICRSVnビットへの書き込みは動作停止（IICCTLn0.IICEn = 0）時のみ行ってください。

備考　n = 0

14.3.6　IICAコントロール・レジスタn1（IICCTLn1）

IICCTLn1 レジスタは、I²C の動作モードの設定や SCLAn, SDAAn 端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、CLDn, DADn ビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPn ビットを除き I²C が動作禁止（IICCTLn0.IICEn = 0）のときに設定してください。

リセット信号の発生により、00H になります。

備考　n = 0

図14 - 10　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット (1/2)

アドレス　：F0231H (IICCTL01)
リセット時：00H
R/W属性　：R/W注1

略号	<7>	<6>	<5>	<4>	<3>	<2>	1	<0>
IICCTLn1	WUPn	SVADISn	CLDn	DADn	SMCn	DFCn	0	PRSn

WUPn	アドレス一致ウェイクアップの制御
0	STOPモード状態時のアドレス一致ウェイクアップ機能動作停止
1	STOPモード状態時のアドレス一致ウェイクアップ機能動作許可

WUPn = 1でSTOPモードに移行する場合は、WUPnビットを1にセットしてfMCKの3クロック以上経過後にSTOP命令を実行してください（**図14 - 22　WUPn = 1を設定する場合のフロー**参照）。
アドレス一致、または全アドレス一致機能許可状態でのアドレス受信後、または拡張コード受信後はWUPnビットを0にクリアしてください。WUPnビットを0にクリアすることで、その後の通信に参加することができます（クロック・ストレッチ解除および送信データ書き込みは、WUPnビットを0にクリアしたあとに行う必要があります）。
WUPn = 1の状態における、アドレス一致および全アドレス一致機能許可状態でのアドレス受信時および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また、WUPn = 1の場合には、IICCTLn0.SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。

クリアされる条件（WUPn = 0）	セットされる条件（WUPn = 1）
• 命令によるクリア（アドレス一致または全アドレス一致機能許可状態でのアドレス受信後または拡張コード受信後）	• 命令によるセット（MSTSn, EXCn, COIn = 0であり、STDn = 0（通信に不参加であること）のとき）注2

SVADISn	アドレス一致無効フラグ
0	全アドレス一致機能停止
1	全アドレス一致機能許可

SVADISn = 1でIICAはすべてのアドレスに対してアドレス一致とみなし、また、拡張コード受信動作と同じ動作を行います。
そのため、IICSn.COIn = 1かつIICSn.EXCn = 1の状態となります。
拡張コード受信に関しては、**14.5.11　拡張コード**を参照してください。

図14 - 10　IICAコントロール・レジスタn1（IICCTLn1）のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出（IICCTLn0.IICEn = 1のときのみ有効）
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出
クリアされる条件（CLDn = 0）	セットされる条件（CLDn = 1）
• SCLAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• SCLAn端子がハイ・レベルのとき

DADn	SDAAn端子のレベル検出（IICCTLn0.IICEn = 1のときのみ有効）
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出
クリアされる条件（DADn = 0）	セットされる条件（DADn = 1）
• SDAAn端子がロウ・レベルのとき • IICCTLn0.IICEn = 0（動作停止）のとき • リセット時	• SDAAn端子がハイ・レベルのとき

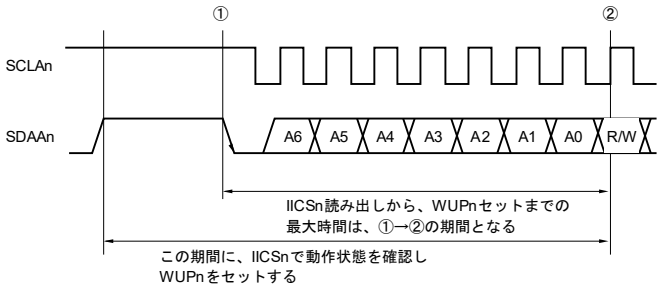
SMCn	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは、ノイズ除去のために使用します。 DFCnビットを1にセット／0にクリアすることにより、転送クロックが変化することはありません。	

PRSn	IICA動作クロック（f_{MCK}）の制御
0	f_{CLK}を選択（1 MHz≦f_{CLK}≦20 MHz）
1	$f_{CLK}/2$を選択（20 MHz＜f_{CLK}）

注1.　ビット5, 4は、読み出しのみ可能です。

注2.　次に示す期間に、IICAステータス・レジスタn（IICSn）の状態を確認しセットする必要があります。



（注意、備考は次ページに続きます）

注意1. IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。
f_{CLK}が20 MHzを超える場合のみ、PRSnビットに1を設定してください。

注意2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。
シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時	**：f_{CLK} = 3.5 MHz（Min.）**
ファースト・モード・プラス時	**：f_{CLK} = 10 MHz（Min.）**
標準モード時	**：f_{CLK} = 1 MHz（Min.）**

備考　n = 0

14.3.7　IICAロウ・レベル幅設定レジスタn（IICWLn）

IICWLn レジスタは、シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅（t_{LOW}）と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I²C が動作禁止（IICCTLn0.IICEn = 0）のときに設定してください。IICWLn レジスタの設定方法については、**14.4.2　IICWLn, IICWHn レジスタによる転送クロック設定方法**を参照してください。また、データ・ホールド時間は IICWLn レジスタで設定した時間の 1/4 になります。

リセット信号の発生により、FFH になります。

図14 - 11　IICAロウ・レベル幅設定レジスタn（IICWLn）のフォーマット

アドレス　：F0232H (IICWL0)
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
IICWLn								

備考1. シリアル・クロックの最小周期は、（IICWLn + 1）+（IICWHn + 1）になります。
備考2. n = 0

14.3.8　IICAハイ・レベル幅設定レジスタn（IICWHn）

IICWHn レジスタは、シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止（IICCTLn0.IICEn = 0）のときに設定してください。IICWHn レジスタの設定方法については、**14.4.2　IICWLn, IICWHn レジスタによる転送クロック設定方法**を参照してください。

リセット信号の発生により、FFH になります。

図14 - 12　IICAハイ・レベル幅設定レジスタn（IICWHn）のフォーマット

アドレス　：F0233H (IICWH0)
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
IICWHn								

備考1. シリアル・クロックの最小周期は、（IICWLn + 1）+（IICWHn + 1）になります。
備考2. n = 0

14.3.9　シリアル・インタフェースIICA入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース IICA 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.7　ポート・モード・コントロール A・レジスタ（PMCAxx）**、**4.3.8　ポート・モード・コントロール T・レジスタ（PMCTxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

14.4　I²Cバス・モードの機能

14.4.1　端子構成

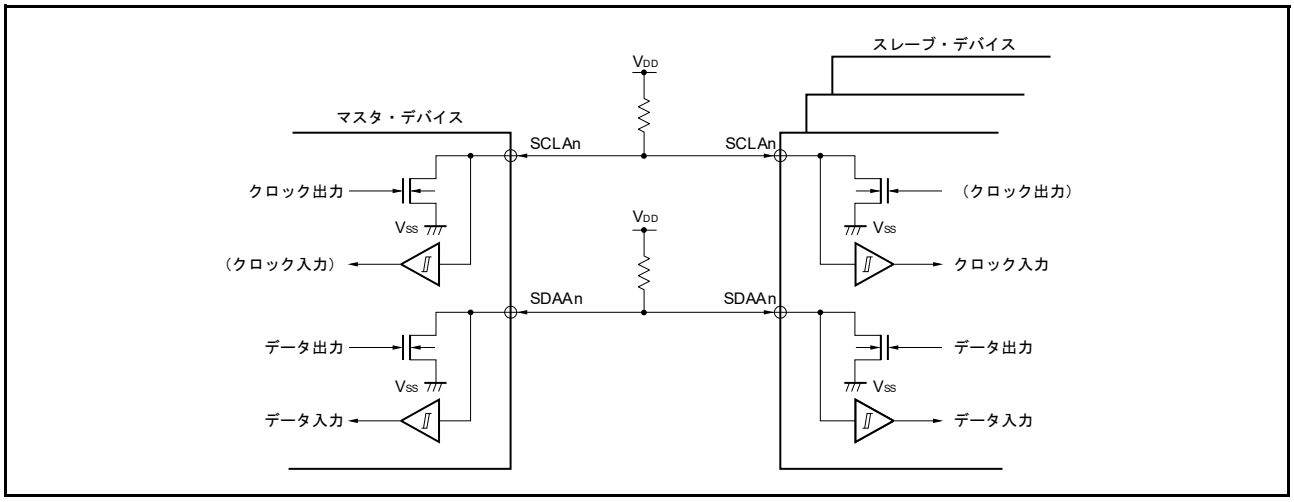
シリアル・クロック端子（SCLAn）と、シリアル・データ・バス端子（SDAAn）の構成は、次のようになっています。

(1) SCLAn ：シリアル・クロックを入出力するための端子。
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn ：シリアル・データの入出力兼用端子。
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図14 - 13　端子構成図



備考　n = 0

14.4.2　IICWLn, IICWHn レジスタによる転送クロック設定方法

(1)　マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適なIICWLnレジスタとIICWHnレジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

- ファースト・モード時

$$IICWLn = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- 標準モード時

$$IICWLn = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

- ファースト・モード・プラス時

$$IICWLn = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWHn = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

(2)　スレーブ側のIICWLn, IICWHnレジスタ設定方法
（設定値はすべて小数点以下切り上げ）

- ファースト・モード時
  IICWLn = 1.3 μs × f_{MCK}
  IICWHn =（1.2 μs – t_R – t_F）× f_{MCK}
- 標準モード時
  IICWLn = 4.7 μs × f_{MCK}
  IICWHn =（5.3 μs – t_R – t_F）× f_{MCK}
- ファースト・モード・プラス時
  IICWLn = 0.50 μs × f_{MCK}
  IICWHn =（0.50 μs – t_R – t_F）× f_{MCK}

注意1. IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。f_{CLK}が20 MHzを超える場合のみ、IICAコントロール・レジスタn1（IICCTLn1）のPRSnビットに1を設定してください。

注意2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。
ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時：f_{CLK} = 10 MHz（Min.）
標準モード時　：f_{CLK} = 1 MHz（Min.）

（注意、備考は次ページに続きます）

注意3. シリアル・クロックの最小周期は、（IICWLn + 1）+（IICWHn + 1）になります。SDAAn, SCLAn信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）を考慮し、IICWLn, IICWHnレジスタに設定する値を決めてください。

備考1. SDAAn, SCLAn信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn：IICA ロウ・レベル幅設定レジスタ n
IICWHn：IICA ハイ・レベル幅設定レジスタ n
t_F：SDAAn, SCLAn 信号の立ち下がり時間
t_R：SDAAn, SCLAn 信号の立ち上がり時間
f_{MCK}：IICA 動作クロック周波数

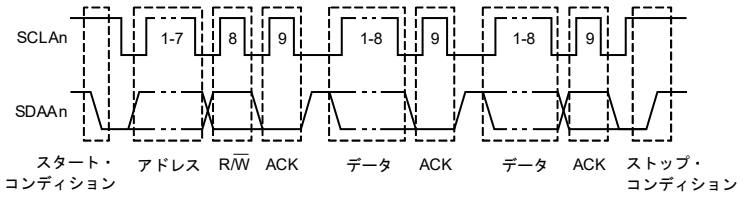
備考3. n = 0

14.5　I²Cバスの定義および制御方法

I²C バスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

図 14 - 14 に I²C バスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを示します。

図14 - 14　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

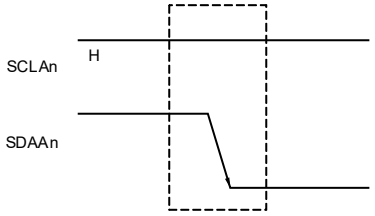
アクノリッジ（ACK）は、マスタ、スレーブのどちらでも生成できます（通常、8 ビット・データの受信側が出力します）。

シリアル・クロック（SCLAn）は、マスタが出力し続けます。ただし、スレーブは SCLAn 端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

14.5.1　スタート・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn, SDAAn 端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図14 - 15　スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態（IICSn.SPDn = 1）のときに IICA コントロール・レジスタ n0（IICCTLn0）の STTn ビットに 1 をセットすると出力されます。また、スタート・コンディションを検出すると、IICSn レジスタの STDn ビットが 1 にセットされます。

備考　n = 0

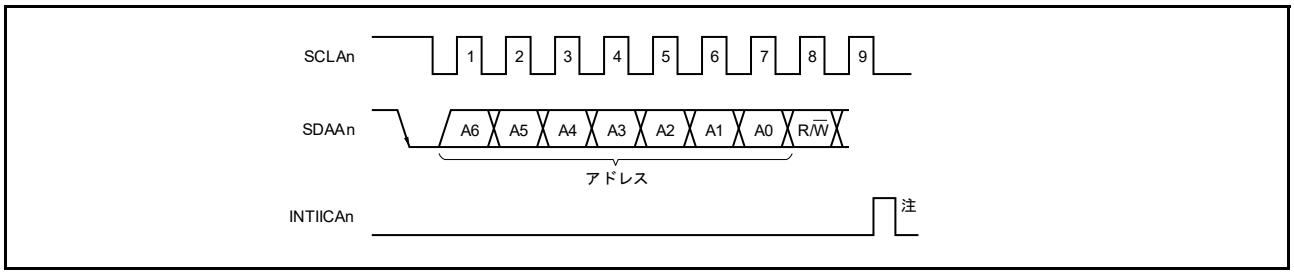
14.5.2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタn（SVAn）と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図14 - 16　アドレス



注　スレーブ動作時に、全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと**14.5.3　転送方向指定**に説明する転送方向をあわせて8ビットとしてIICAシフト・レジスタn（IICAn）に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

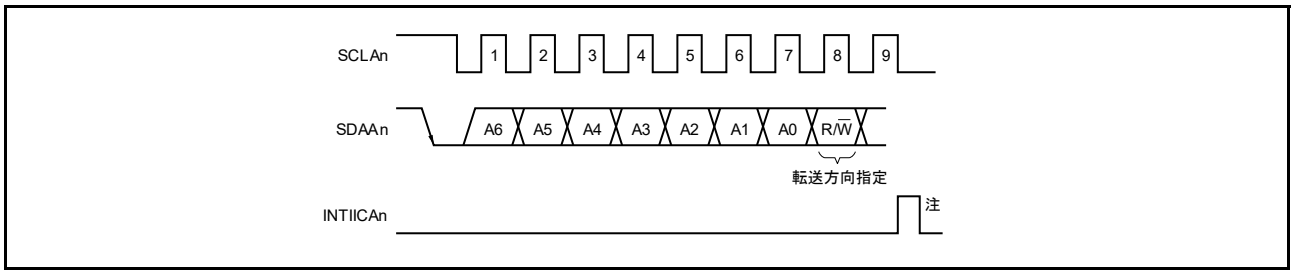
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

14.5.3　転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図14 - 17　転送方向指定



注　スレーブ動作時に全アドレス一致機能停止状態で、自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考　n = 0

14.5.4　アクノリッジ（ACK）

アクノリッジ（ACK）によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8 ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8 ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICA ステータス・レジスタ n（IICSn）の ACKDn ビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

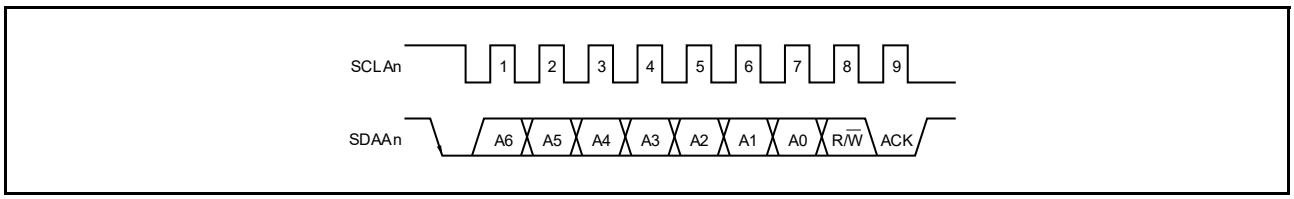
アクノリッジ生成は、受信側が 9 クロック目に SDAAn ラインをロウ・レベルにすることによって行われます（正常受信）。

IICA コントロール・レジスタ n0（IICCTLn0）の ACKEn ビットに 1 をセットすることによって、アクノリッジが自動生成可能な状態になります。7 ビットのアドレス情報に続く 8 ビット目のデータにより IICSn レジスタの TRCn ビットが設定されます。受信（TRCn = 0）の場合は、通常、ACKEn ビットを 1 にセットしてください。

スレーブ受信動作時（TRCn = 0）にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEn ビットを 0 にクリアし、マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCn = 0）に、次のデータを必要としない場合、アクノリッジを生成しないように ACKEn ビットを 0 にクリアしてください。これによって、スレーブ送信側にデータの終わりを知らせます（送信停止）。

図14 - 18　アクノリッジ



自局アドレス受信時は、ACKEn ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません（NACK）。

拡張コード受信時または全アドレス一致機能許可状態でのアドレス受信時は、あらかじめ ACKEn ビットに 1 をセットしておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- 8クロック・クロック・ストレッチ選択時（IICCTLn0.WTIMn = 0）：
  クロック・ストレッチ解除を行う前にACKEnビットに1をセットすることによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- 9クロック・クロック・ストレッチ選択時（IICCTLn0.WTIMn = 1）：
  あらかじめACKEnビットを1にセットすることによって、アクノリッジを生成します。

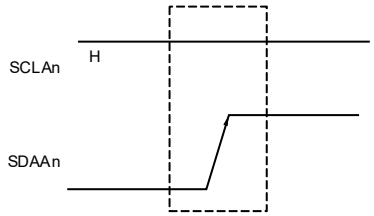
備考　n = 0

14.5.5　ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図14 - 19　ストップ・コンディション



ストップ・コンディションは、IICA コントロール・レジスタ n0（IICCTLn0）の SPTn ビットに 1 をセットすると発生します。また、ストップ・コンディションを検出すると IICA ステータス・レジスタ n（IICSn）の SPDn ビットが 1 にセットされ、IICCTLn0 レジスタの SPIEn ビットが 1 にセットされている場合には INTIICAn が発生します。

備考　n = 0

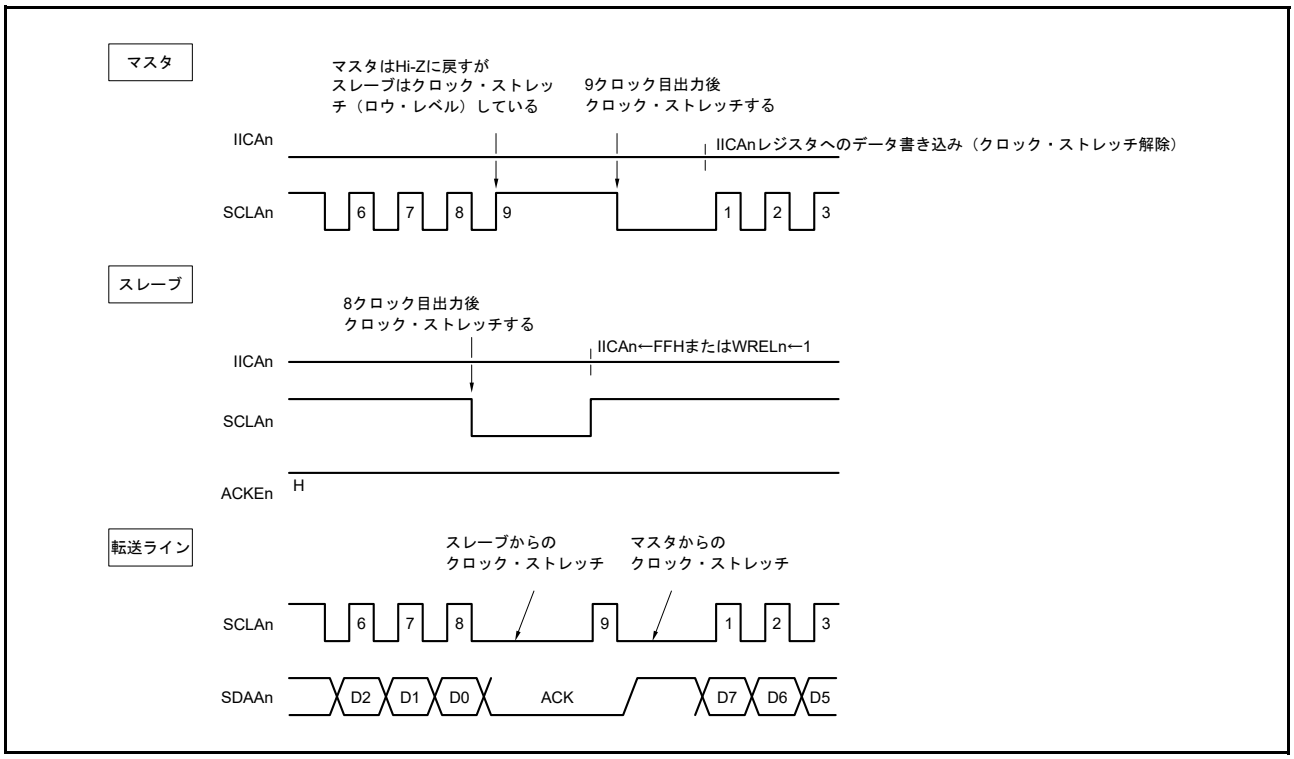
14.5.6　クロック・ストレッチ

クロック・ストレッチによって、マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLAn 端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図14 - 20　クロック・ストレッチ (1/2)

(1)　マスタは9クロック・クロック・ストレッチ、スレーブは8クロック・クロック・ストレッチ時
（マスタ：送信、スレーブ：受信、ACKEn = 1）

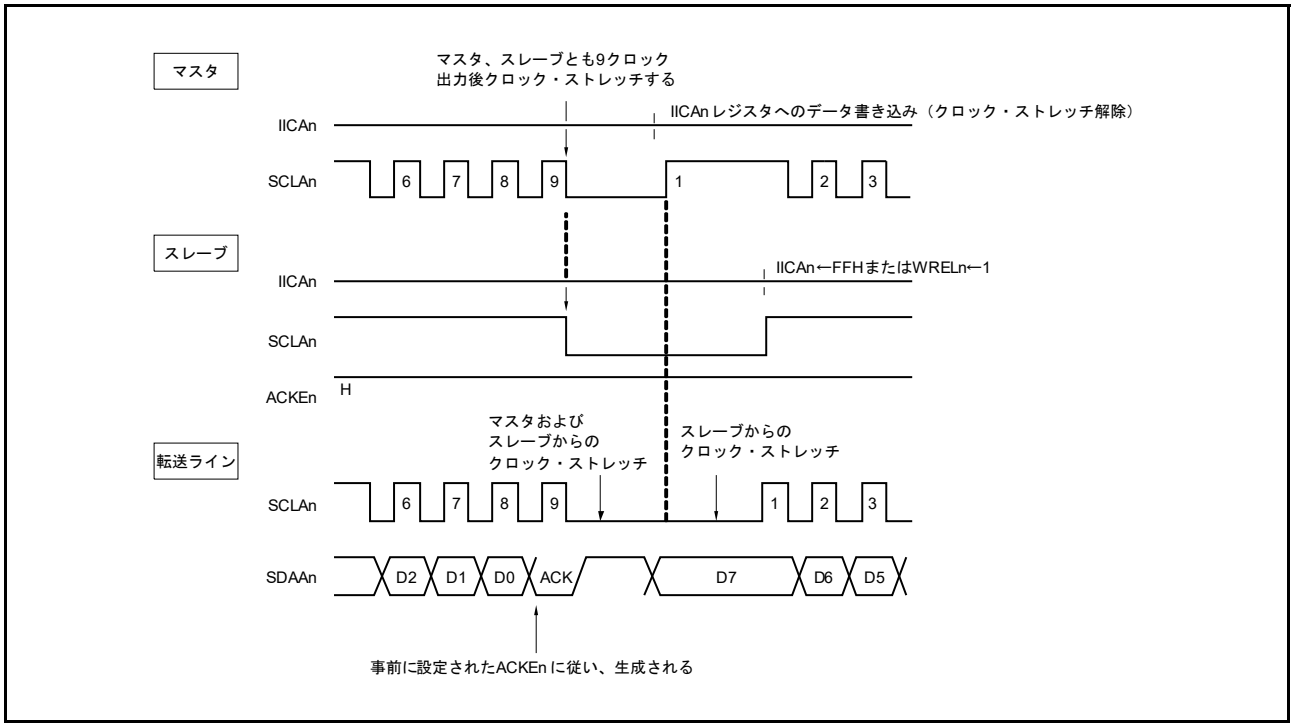


備考　n = 0

図14 - 20　クロック・ストレッチ (2/2)

(2)　マスタ、スレーブとも9クロック・クロック・ストレッチ時

（マスタ：送信、スレーブ：受信、ACKEn = 1）



備考　ACKEn　：IICAコントロール・レジスタn0（IICCTLn0）のビット2

WRELn　：　　〃　　のビット5

クロック・ストレッチは、IICAコントロール・レジスタn0（IICCTLn0）のWTIMnビットの設定により自動的に発生します。

通常、受信側はIICCTLn0.WRELn = 1またはIICAシフト・レジスタn（IICAn）にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- IICCTLn0.STTn = 1
- IICCTLn0.SPTn = 1

備考　n = 0

14.5.7　クロック・ストレッチ解除方法

I²C では、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のWRELnビットのセット（クロック・ストレッチ解除）
- IICCTLn0レジスタのSTTnビットのセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのSPTnビットのセット（ストップ・コンディションの生成）注

これらのクロック・ストレッチ解除処理を実行した場合、IICA はクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ（アドレスを含む）を送信する場合には、IICAn レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0 レジスタの WRELn ビットに 1 をセットしてください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0 レジスタの STTn ビットに 1 をセットしてください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0 レジスタの SPTn ビットに 1 をセットしてください。

1 回のクロック・ストレッチ状態に対して 1 回だけ解除処理を実行してください。

たとえば、WRELn ビットへの 1 セットによるクロック・ストレッチ解除後、IICAn レジスタへのデータ書き込みを実施した場合には、SDAAn ラインの変化タイミングと IICAn レジスタへの書き込みタイミングの競合により、SDAAn ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEn ビットを 0 にクリアすると通信を停止するので、クロック・ストレッチを解除できます。

I²C バスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0 レジスタの LRELn ビットに 1 をセットすると通信から退避するので、クロック・ストレッチを解除できます。

注　マスタのみ

注意　**WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。**

備考　n = 0

14.5.8　割り込み要求信号（INTIICAn）発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0（IICCTLn0）の WTIMn ビットの設定で、**表 14 - 2** に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表14 - 2　INTIICAn発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2, 3	9注2	9注2	9	9	9

注1. スレーブのINTIICAn信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタn（SVAn）に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。
また、このとき、IICCTLn0レジスタのACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは8クロック目の立ち下がりでINTIICAnを発生します。
ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICAnを発生しますが、クロック・ストレッチは発生しません。

注2. スレーブ・アドレス・レジスタn（SVAn）と受信したアドレスが一致せず、かつ全アドレス一致機能停止時で、かつ拡張コードを受信していない場合は、INTIICAnもクロック・ストレッチも発生しません。

★ **注3.** WTIMnビットが1の場合、拡張コードを受信または全アドレス一致機能許可状態でのアドレスを受信したスレーブは、8クロック目の立ち下がりに加え、9クロック目の立ち下がりでもINTIICAnとクロック・ストレッチを発生します。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

★ - スレーブ動作時：上記の**注 1 ～注 3** の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- マスタ動作時　：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9 クロック目の立ち下がりで発生します。

(2) データ受信時
- マスタ／スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時
- マスタ／スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(4) クロック・ストレッチ解除方法
クロック・ストレッチの解除方法には次の4つがあります。
- IICAシフト・レジスタn（IICAn）へのデータ書き込み
- IICAコントロール・レジスタn0（IICCTLn0）のWRELnビットのセット（クロック・ストレッチ解除）
- IICCTLn0レジスタのSTTnビットのセット（スタート・コンディションの生成）注
- IICCTLn0レジスタのSPTnビットのセット（ストップ・コンディションの生成）注

8クロック・クロック・ストレッチ選択（WTIMn = 0）時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出
INTIICAnは、ストップ・コンディションを検出すると発生します（SPIEn = 1のときのみ）。

注　マスタのみ

備考　n = 0

14.5.9　アドレスの一致検出方法

I²C バス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n（SVAn）に設定したアドレスが一致したとき、または全アドレス一致機能許可状態（IICCTLn1.SVADISn = 1）でのアドレス受信、または拡張コードを受信した場合だけ、INTIICAn 割り込み要求信号が発生します。

14.5.10　エラーの検出

I²C バス・モードでは、送信中のシリアル・バス（SDAAn）の状態が、送信しているデバイスの IICA シフト・レジスタ n（IICAn）にも取り込まれるため、送信開始前と送信終了後の IICA データを比較することにより、送信エラーを検出できます。この場合、2 つのデータが異なっていれば送信エラーが発生したものと判断します。

備考　n = 0

14.5.11　拡張コード

(1) 受信アドレスの上位4ビットが0000と1111のときを拡張コード受信として、拡張コード受信検出フラグ（EXCn）を1にセットし、8クロック目の立ち下がりで割り込み要求信号（INTIICAn）を発生します。
また、全アドレス一致機能許可時にアドレスを受信した場合も、拡張コード受信と判断します。
スレーブ・アドレス・レジスタn（SVAn）に格納された自局アドレスには影響しません。

(2) SVAnレジスタに11110xx0を設定されているときに、10ビット・アドレス転送でマスタから11110xx0が転送されてきた場合や、全アドレス一致機能許可状態でアドレスを受信した場合は、次のようになります。ただし、割り込み要求（INTIICAn）は、8クロック目の立ち下がりで発生します。

- 上位4ビット・データの一致または全アドレス一致機能許可：IICSn.EXCn = 1
- 7ビット・データの一致または全アドレス一致機能許可　　：IICSn.COIn = 1

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。
スレーブ動作時に、拡張コードを受信した場合または全アドレス一致機能許可状態でのアドレス受信時は、アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICCTLn0.LRELn = 1に設定してください。次の通信待機状態にします。

表14 - 3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考1. 上記以外の拡張コードについては、NXP社発行のI^2Cバスの仕様書を参照してください。

備考2. n = 0

14.5.12　アービトレーション

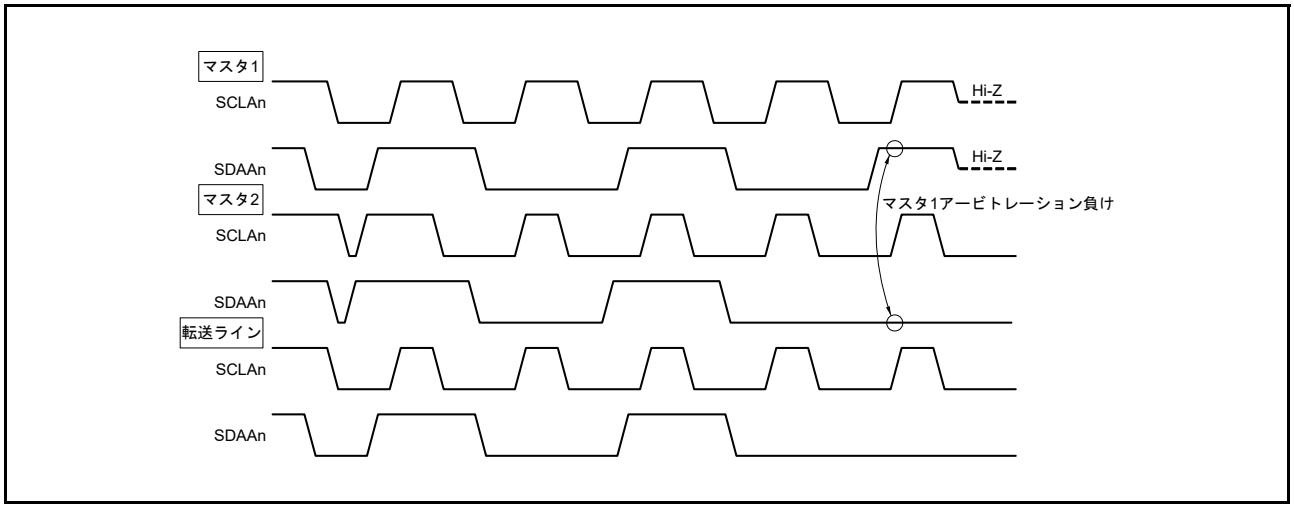
複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDn = 1 になる前に IICCTLn0.STTn = 1 にしたとき）、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICA ステータス・レジスタ n（IICSn）のアービトレーション負けフラグ（ALDn）を 1 にセットし、SCLAn, SDAAn ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは、次の割り込み要求発生タイミング（8 または 9 クロック目、ストップ・コンディション検出など）で、ソフトウェアで ALDn = 1 になっていることで検出します。

割り込み要求発生タイミングについては、**14.5.8　割り込み要求信号（INTIICAn）発生タイミングおよびクロック・ストレッチ 制御**を参照してください。

図14 - 21　アービトレーション・タイミング例



備考　n = 0

表14 - 4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIEn = 1時）注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. IICCTLn0.WTIMn = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIMn = 0および拡張コードのスレーブ・アドレス受信時、および全アドレス一致機能許可状態でのアドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn：IICAコントロール・レジスタn0（IICCTLn0）のビット4

備考2. n = 0

14.5.13　ウェイクアップ機能

I²C のスレーブ機能で、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生する機能です。

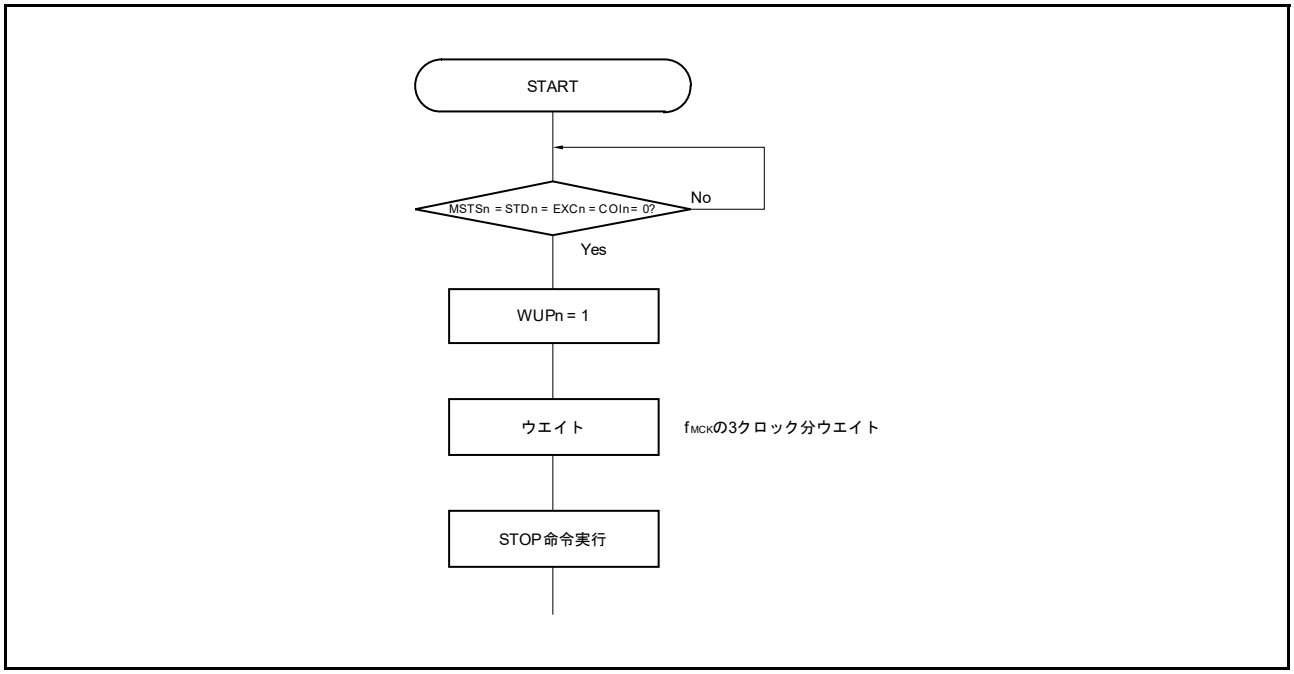
全アドレス一致機能停止状態で、アドレスが一致しないときは不要な INTIICAn 信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイクアップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイクアップ待機状態になります。

STOP モード状態時にウェイクアップ機能を使用する場合には、WUPn = 1 に設定してください。動作クロックに関係なくアドレス受信を行うことができます。この場合も、自局アドレス受信時と、全アドレス一致機能許可状態でのアドレス受信時と、拡張コードを受信したときに割り込み要求信号（INTIICAn）を発生します。この割り込み発生後に命令で WUPn ビットを 0 にクリアすることで通常動作に戻ります。

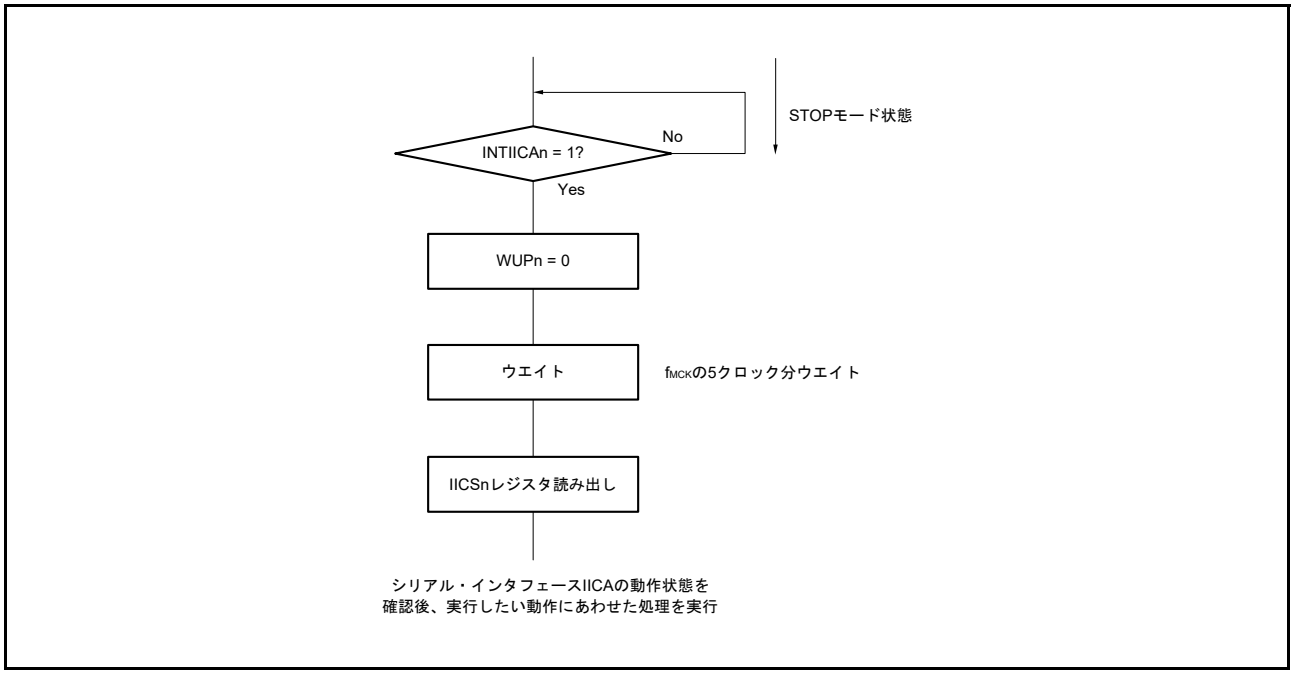
図 14 - 22 に WUPn = 1 を設定する場合のフロー、**図 14 - 23** にアドレス一致（または全アドレス一致機能許可）により WUPn = 0 に設定する場合のフロー（拡張コード受信含む）を示します。

図14 - 22　WUPn = 1を設定する場合のフロー



備考　n = 0

図14 - 23　アドレス一致（または全アドレス一致機能許可）によりWUPn = 0に設定する場合のフロー（拡張コード受信含む）

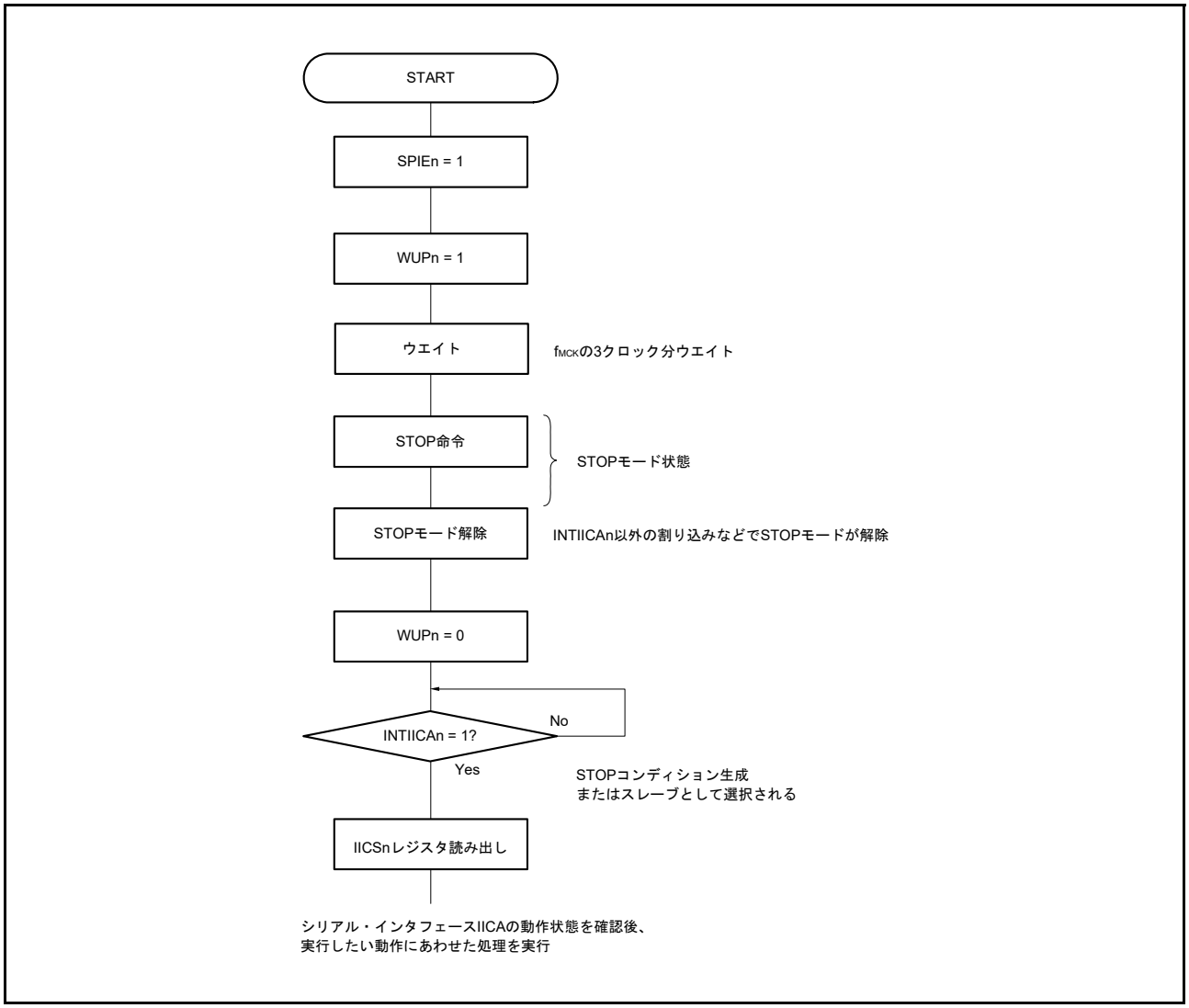


また、シリアル・インタフェース IICA からの割り込み要求信号（INTIICAn）以外で STOP モードを解除する場合の処理は次のフローを行ってください。

- 次のIIC通信をマスタとして動作させる場合　：**図 14 - 24** のフロー
- 次のIIC通信をスレーブとして動作させる場合：
  INTIICAn 割り込みで復帰した場合　：**図 14 - 23** のフローと同じになります。
  INTIICAn 割り込み以外の割り込みで復帰した場合：INTIICAn 割り込みが発生するまで WUPn = 1 のまま動作を継続してください。

備考　n = 0

図14 - 24　INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考　n = 0

14.5.14　通信予約

(1)　通信予約機能許可の場合（IICFn.IICRSVn = 0）

バスに不参加の状態で、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した）とき

バスに不参加の状態で、IICCTLn0レジスタのSTTnビットに1をセットすると、バスが解放されたあと（ストップ・コンディション検出時）に、自動的にスタート・コンディションを生成し、ウエイト状態になります。IICCTLn0レジスタのSPIEnビットに1をセットし、割り込み要求信号（INTIICAn）発生でバスの解放を検出（ストップ・コンディション検出）したあと、IICAシフト・レジスタn（IICAn）にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットに1をセットしたとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- バスが解放されているとき　　：スタート・コンディション生成
- バスが解放されていないとき（待機状態）：通信予約

通信予約として動作するのかどうかは、STTnビットに1をセットし、ウエイト時間をとったあと、MSTSnフラグ（IICAステータス・レジスタn（IICSn）のビット7）で確認します。

ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

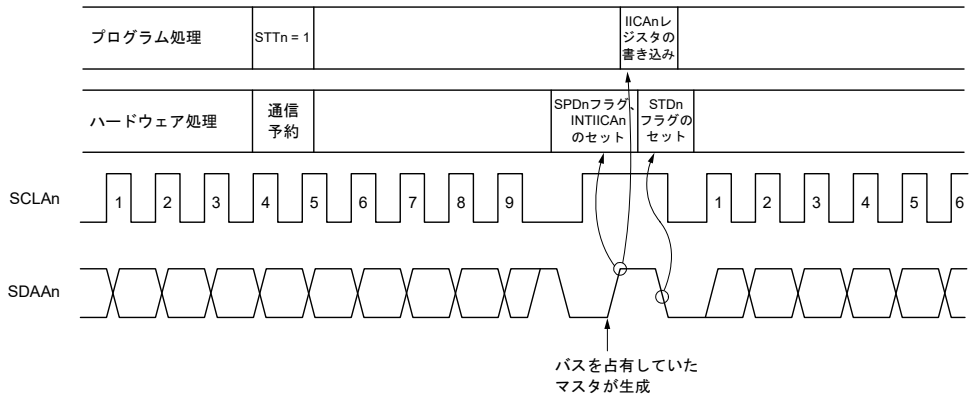
STTn = 1 から MSTSn フラグ確認までのウエイト時間： （IICWLnの設定値 + IICWHnの設定値 + 4）/ f_{MCK} + t_F × 2

備考1. IICWLn　：IICA ロウ・レベル幅設定レジスタ n
IICWHn　：IICA ハイ・レベル幅設定レジスタ n
t_F　：SDAAn, SCLAn 信号の立ち下がり時間
f_{MCK}　：IICA 動作クロック周波数

備考2. n = 0

図14 - 25に通信予約のタイミングを示します。

図14 - 25　通信予約のタイミング

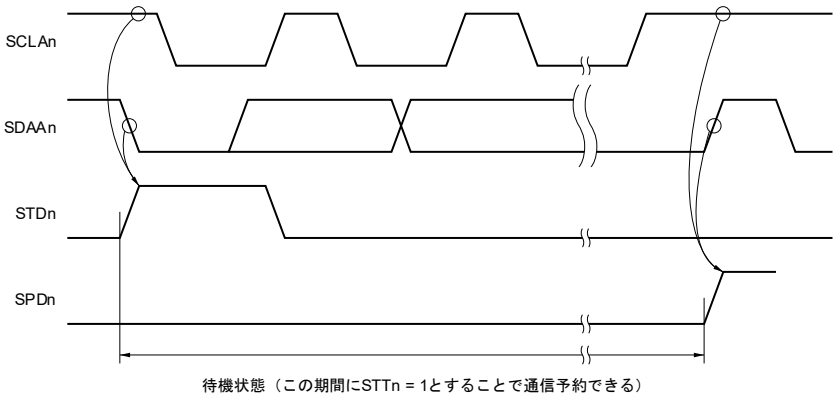


備考1. IICAn　：IICAシフト・レジスタn
STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1
STDn　：IICAステータス・レジスタn（IICSn）のビット1
SPDn　：　〃　のビット0

備考2. n = 0

通信予約は**図14 - 26**に示すタイミングで受け付けられます。IICSn.STDn = 1になったあと、ストップ・コンディション検出までにIICCTLn0.STTn = 1で通信予約をします。

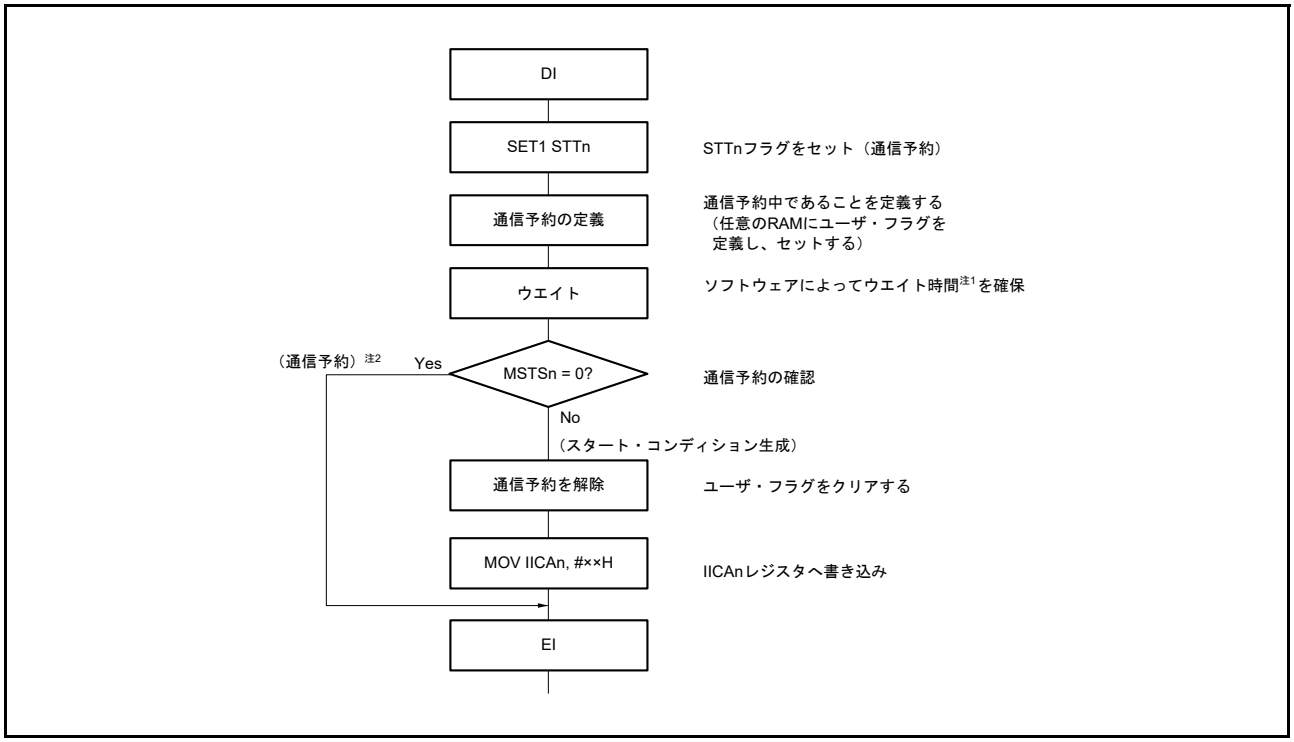
図14 - 26　通信予約受付タイミング



備考　n = 0

図14 - 27に通信予約の手順を示します。

図14 - 27　通信予約の手順



注1.　ウエイト時間は次のようになります。
（IICWLnの設定値 + IICWHnの設定値 + 4）/ f_{MCK} + t_F × 2

注2.　通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタn（IICAn）への書き込みを実行します。

備考1. STTn　：IICAコントロール・レジスタn0（IICCTLn0）のビット1
MSTSn　：IICAステータス・レジスタn（IICSn）のビット7
IICAn　：IICAシフト・レジスタn
IICWLn　：IICAロウ・レベル幅設定レジスタn
IICWHn　：IICAハイ・レベル幅設定レジスタn
t_F　：SDAAn, SCLAn信号の立ち下がり時間
f_{MCK}　：IICA動作クロック周波数

備考2. n = 0

(2) 通信予約機能禁止の場合（IICFn.IICRSVn = 1）

バスが通信中で、この通信に不参加の状態でIICAコントロール・レジスタn0（IICCTLn0）のSTTnビットに1をセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- アービトレーションでマスタにもスレーブにもなれなかった場合
- 全アドレス一致機能停止時、拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICCTLn0.LRELn = 1で通信退避してバスを解放した）とき

スタート・コンディションが生成されたかまたは拒絶されたかは、IICFnレジスタのSTCFnフラグで確認できます。STTn = 1としてからSTCFnフラグが1にセットされるまでfMCKの5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考　n = 0

14.5.15　その他の注意事項

(1) STCENn = 0の場合

I²C動作許可（IICEn = 1）直後、実際のバス状態にかかわらず通信状態（IICBSYn = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない（ストップ・コンディションを検出していない）状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタn1（IICCTLn1）を設定する

② IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットに1をセットする

③ IICCTLn0レジスタのSPTnビットに1をセットする

(2) STCENn = 1の場合

I²C動作許可（IICEn = 1）直後、実際のバス状態にかかわらず解放状態（IICBSYn = 0）と認識しますので、1回目のスタート・コンディションを生成（STTn = 1）する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDAAn端子がロウ・レベルで、かつSCLAn端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、IICAのマクロはSDAAn端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合や全アドレス一致機能が許可状態の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でIICAを起動してください。

① IICCTLn0レジスタのSPIEnビットを0にクリアし、ストップ・コンディション検出による割り込み要求信号（INTIICAn）発生を禁止する

② IICCTLn0レジスタのIICEnビットに1をセットし、I²Cの動作を許可する

③ スタート・コンディションを検出するまで待つ

④ アクノリッジを返すまで（IICEnビットに1をセットしてから、f_{MCK}の4～72クロック中）に、IICCTLn0レジスタのLRELnビットに1をセットし、強制的に検出を無効とする

(4) STTn, SPTnビット（IICCTLn0レジスタのビット1, 0）をセットしたあと、0にクリアされる前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEnビット（IICCTLn0レジスタのビット4）に1をセットしてストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAシフト・レジスタn（IICAn）に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウエイト状態で停止します。ただし、ソフトウェアでIICAステータス・レジスタn（IICSn）のMSTSnフラグを検出する場合には、SPIEnビットに1をセットする必要はありません。

備考　n = 0

14.5.16　通信動作

ここでは、次の 3 つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作
シングルマスタ・システムで、マスタとして使用する場合のフローを示します。
このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

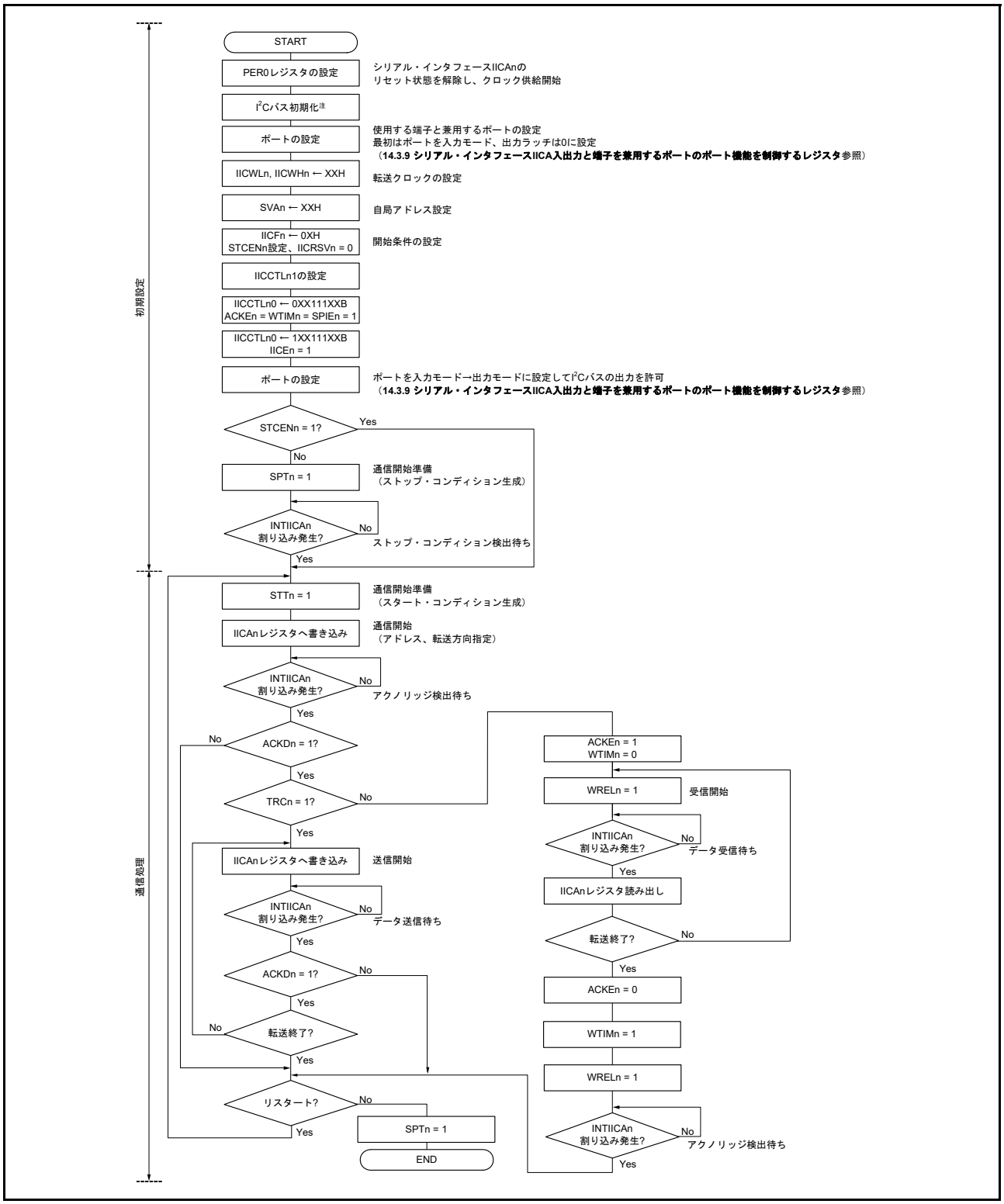
(2) マルチマスタ・システムでのマスタ動作
I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定（1フレーム）期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。
このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作
I²Cバスのスレーブとして使用する場合の例を示します。
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。
各フラグをチェックすることにより、必要な「通信処理」を行います。

備考　n = 0

(1) シングルマスタ・システムでのマスタ動作

図14 - 28 シングルマスタ・システムでのマスタ動作



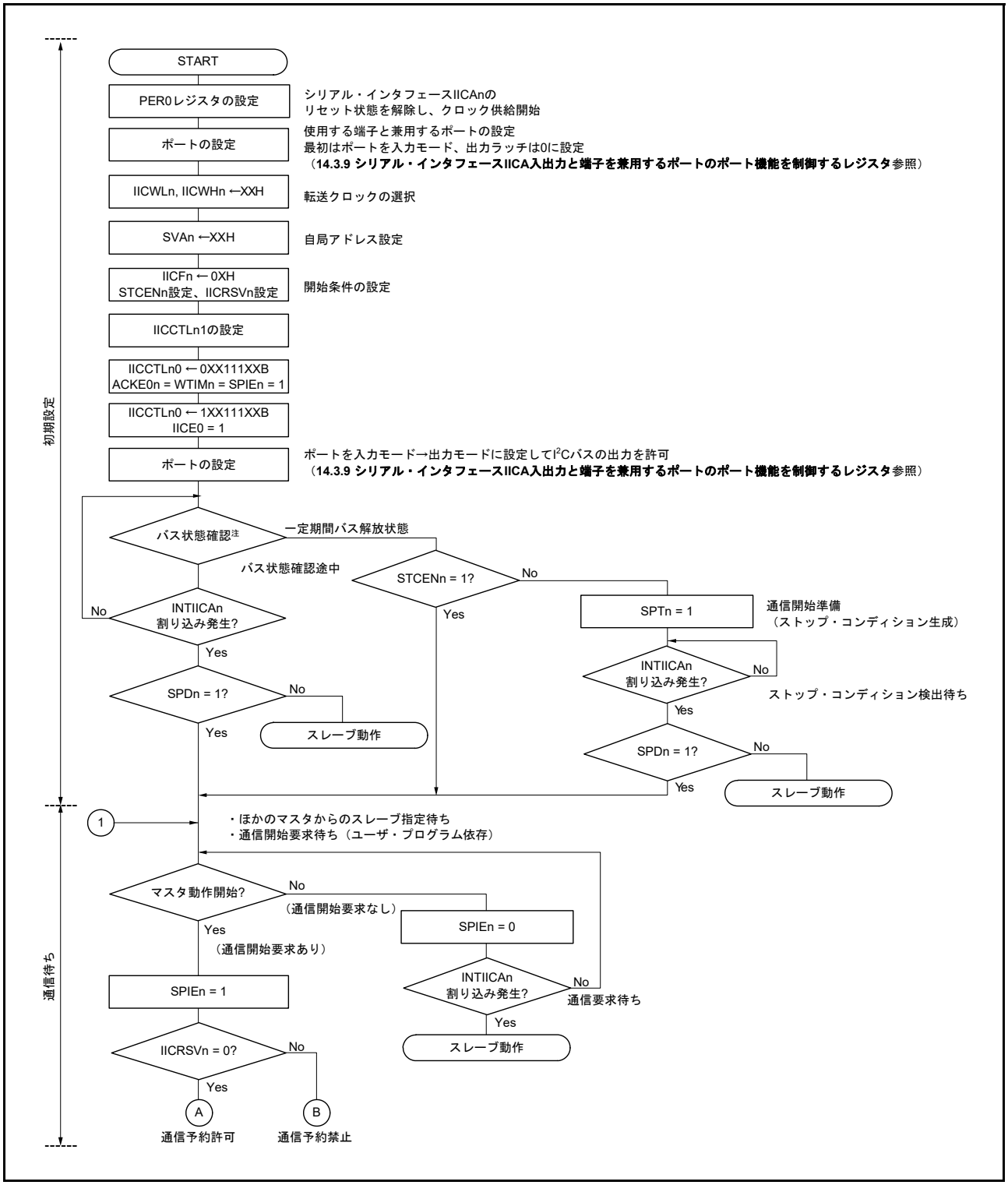
注 通信している製品の仕様に準拠し、I²Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0

(2) マルチマスタ・システムでのマスタ動作

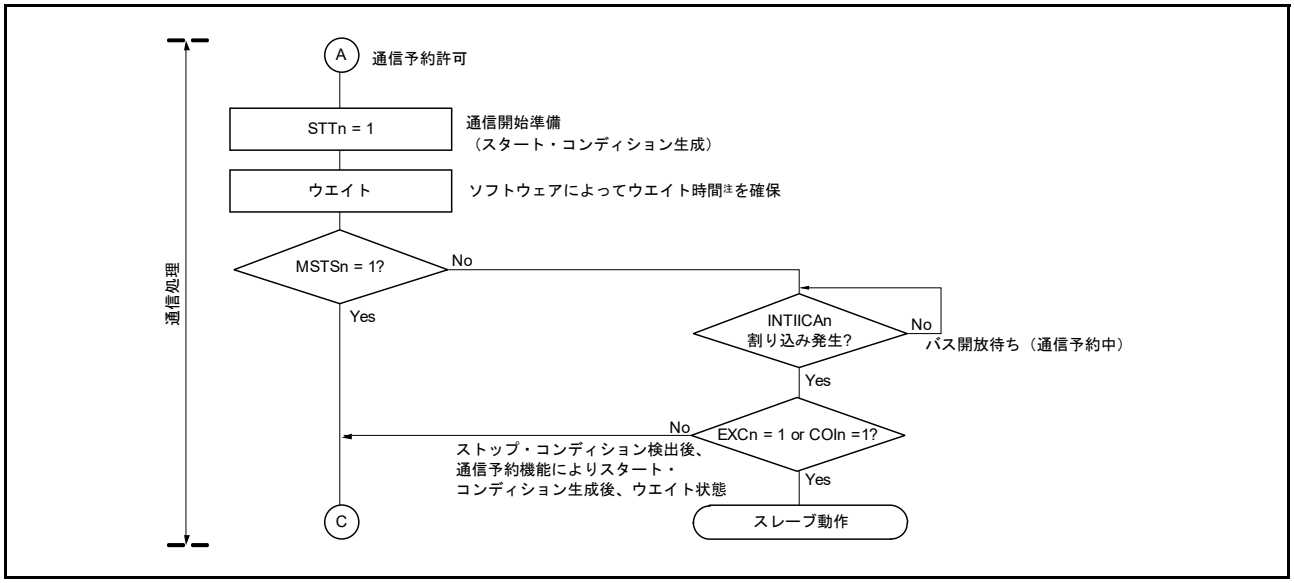
図14 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



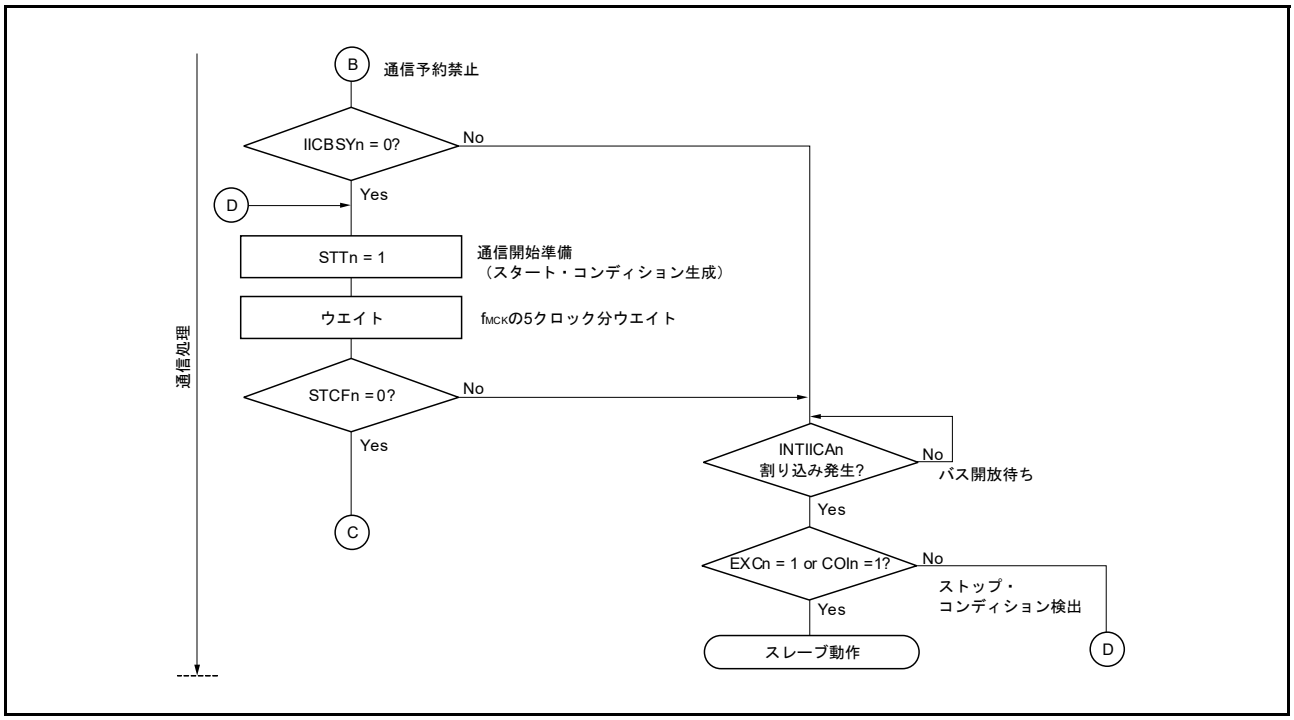
注 一定期間（たとえば1フレーム分）、バス解放状態（CLDn = 1, DADn = 1）であることを確認してください。定常的にSDAAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I2Cバスを解放（SCLAn, SDAAn端子 = ハイ・レベル）するか判断してください。

備考 n = 0

図14 - 29 マルチマスタ・システムでのマスタ動作 (2/3)



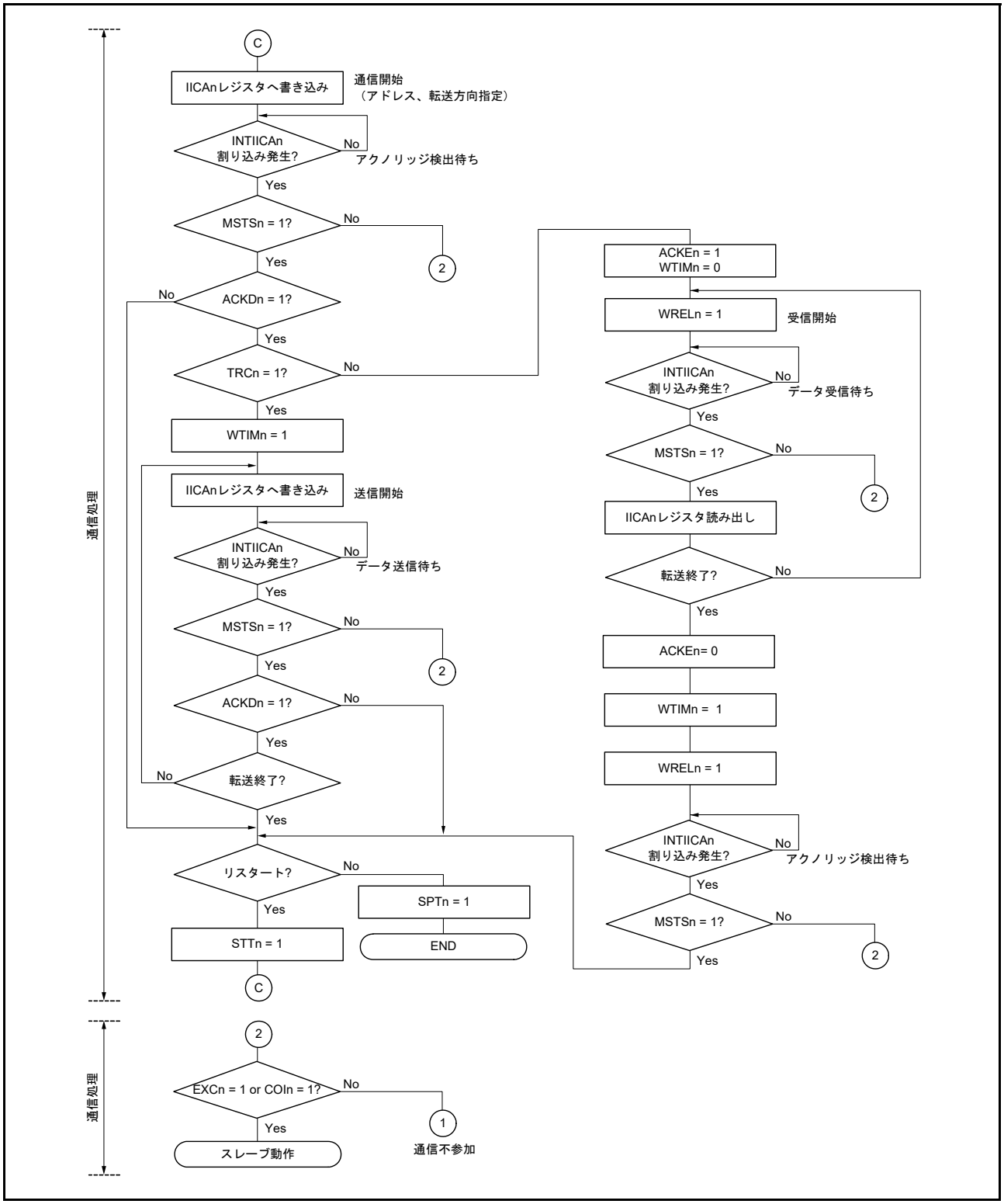
注 ウエイト時間は次のようになります。
（IICWLnの設定値 + IICWHnの設定値 + 4）/ f_{MCK} + t_F × 2



備考1. IICWLn : IICAロウ・レベル幅設定レジスタn
IICWHn : IICAハイ・レベル幅設定レジスタn
t_F : SDAAn, SCLAn信号の立ち下がり時間
f_{MCK} : IICA動作クロック周波数

備考2. n = 0

図14 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み発生ごとにMSTSnフラグを読み出し、アービトレーション結果を確認してください。

備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn割り込み発生ごとにIICAステータス・レジスタn（IICSn）、IICAフラグ・レジスタn（IICFn）でステータスを確認して次に行う処理を決定してください。

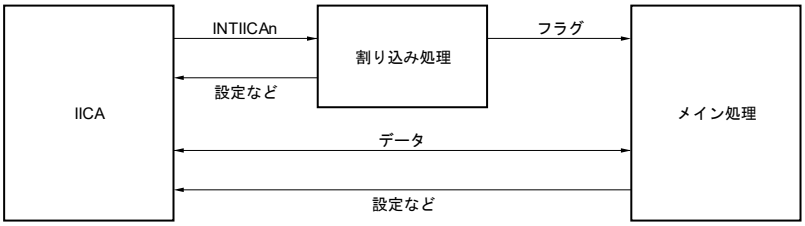
備考4. n = 0

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICAn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、全アドレス一致機能は無効状態で、データ通信は拡張コードには対応しないものとします。またINTIICAn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAnの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- クリア・モード：データ通信を行っていない状態
- 通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICAn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

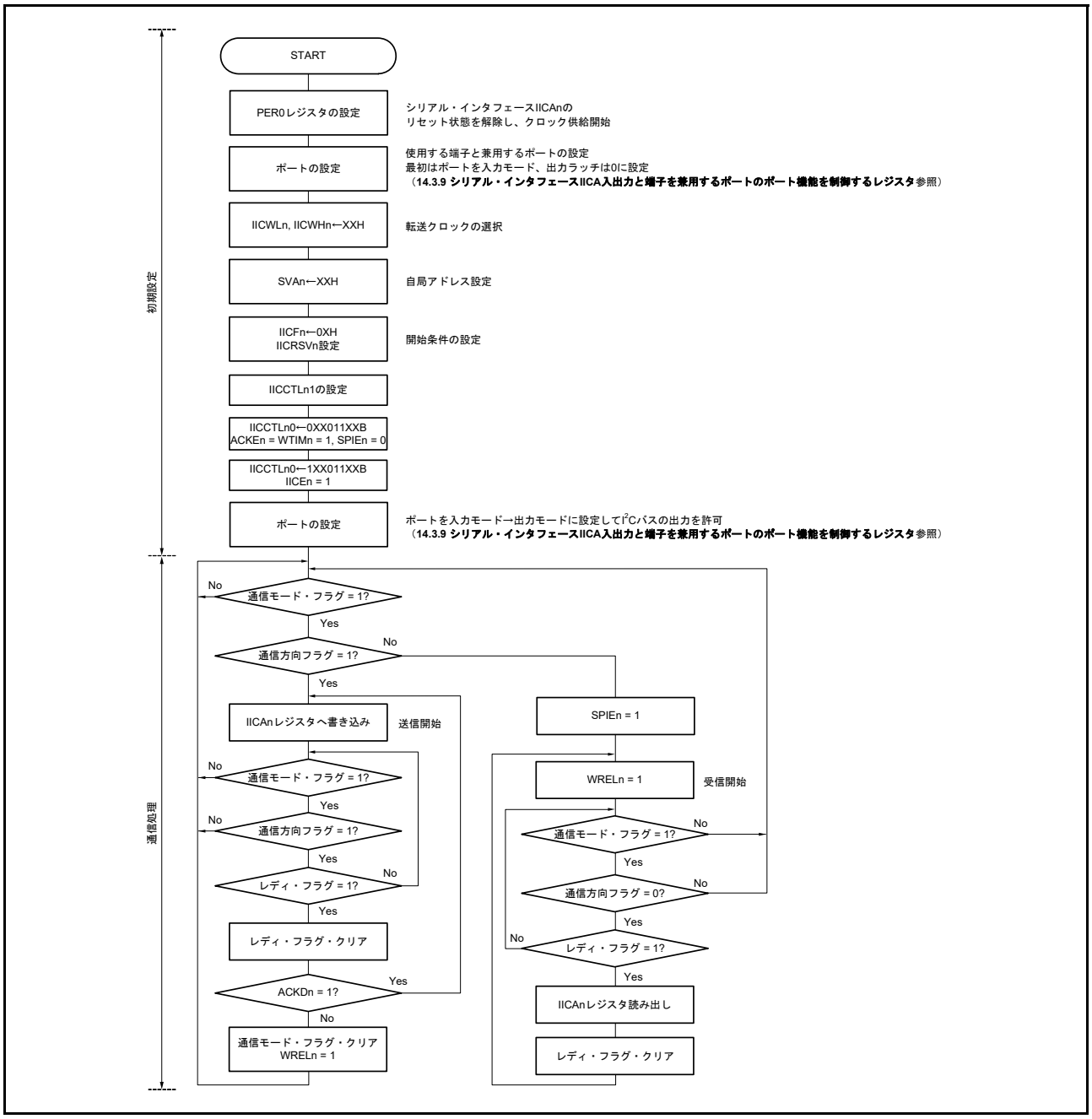
③ 通信方向フラグ

通信の方向を示します。TRCnフラグの値と同じです。

備考　n = 0

次にスレーブ動作でのメイン処理部の動作を示します。
シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。
送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。
受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図14 - 30　スレーブ動作手順（1）



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。
備考2. n = 0

スレーブのINTIICAn割り込みでの処理手順例を示します（ここでは全アドレス一致機能は無効状態で、拡張コードはないものとして処理します）。INTIICAn割り込みではステータスを確認して、次のように行います。

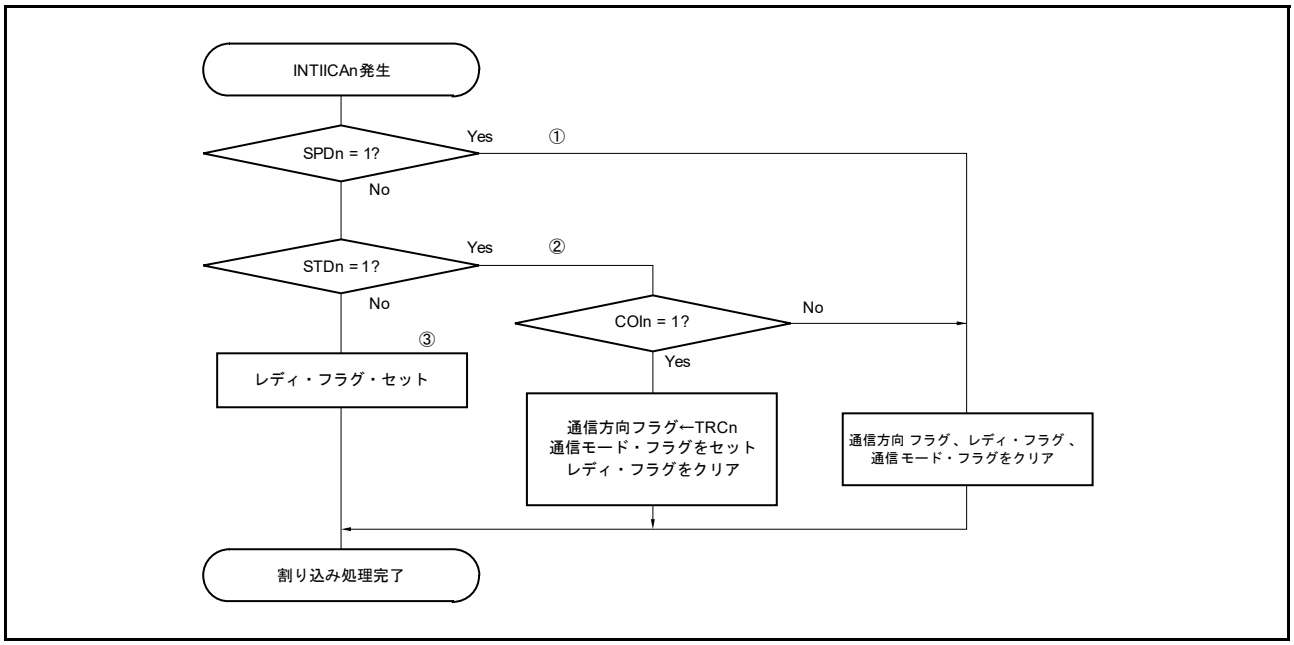
① ストップ・コンディションの場合、通信を終了します。

② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウエイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。

③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウエイト状態のまま、割り込みから戻ります。

備考　上述の①～③は、**図14 - 31　スレーブ動作手順（2）**の①～③と対応しています。

図14 - 31　スレーブ動作手順（2）



備考　n = 0

14.5.17　I²C割り込み要求信号（INTIICAn）の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n（IICSn）の値を示します。

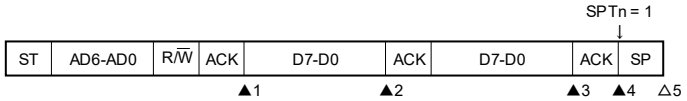
備考1. ST　：スタート・コンディション
AD6-AD0　：アドレス
R/$\overline{W}$　：転送方向指定
ACK　：アクノリッジ
D7-D0　：データ
SP　：ストップ・コンディション

備考2. n = 0

(1)　マスタ動作

(a) Start～Address～Data～Data～Stop（送受信）

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B

▲3：IICSn = 1000×000B（WTIMnビットを1にセット）注

▲4：IICSn = 1000××00B（SPTnビットを1にセット）

△5：IICSn = 00000001B

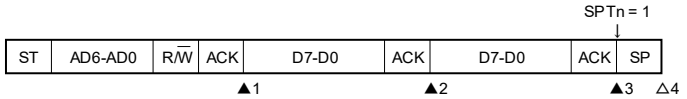
注　ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B

▲3：IICSn = 1000××00B（SPTnビットを1にセット）

△4：IICSn = 00000001B

備考　▲　必ず発生

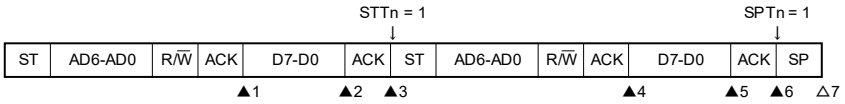
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(b) Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット注1）

▲3：IICSn = 1000××00B（WTIMnビットを0にクリア注2、STTnビットを1にセット）

▲4：IICSn = 1000×110B

▲5：IICSn = 1000×000B（WTIMnビットを1にセット注3）

▲6：IICSn = 1000××00B（SPTnビットを1にセット）

△7：IICSn = 00000001B

注1. スタート・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

注2. 設定を元に戻すために、WTIMnビットを0にクリアしてください。

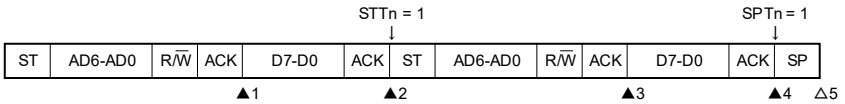
注3. ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考 ▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットを1にセット）

▲3：IICSn = 1000×110B

▲4：IICSn = 1000××00B（SPTnビットを1にセット）

△5：IICSn = 00000001B

備考 ▲　必ず発生

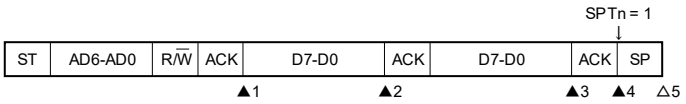
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIMn = 0のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×000B

▲3：IICSn = 1010×000B（WTIMnビットを1にセット注）

▲4：IICSn = 1010××00B（SPTnビットを1にセット）

△5：IICSn = 00000001B

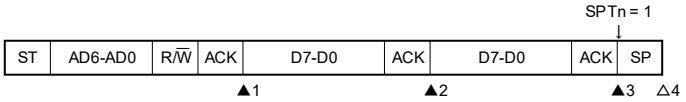
注　ストップ・コンディションを生成するために、WTIMnビットを1にセットし、INTIICAn割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1010×110B

▲2：IICSn = 1010×100B

▲3：IICSn = 1010××00B（SPTnビットを1にセット）

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

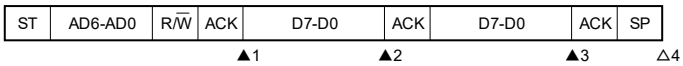
×　任意

備考　n = 0

(2)　スレーブ動作（スレーブ・アドレス受信時）

(a) Start～Address～Data～Data～Stop

（i）WTIMn = 0のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

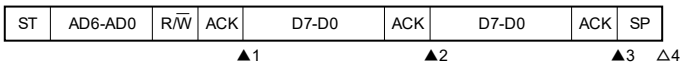
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考　▲　必ず発生

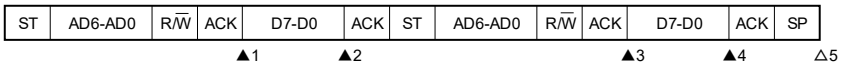
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(b) Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

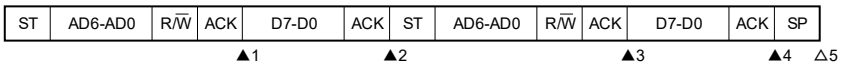
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

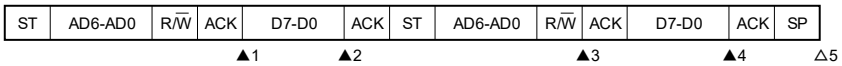
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) Start～Address～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後、アドレス不一致（拡張コード、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

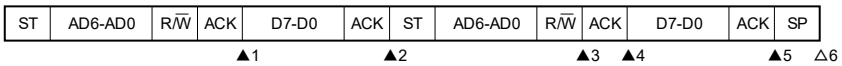
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、アドレス不一致（拡張コード、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×110B

▲5：IICSn = 0010××00B

△6：IICSn = 00000001B

備考　▲　必ず発生

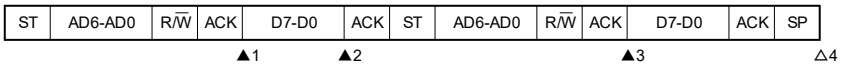
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(d) Start～Address～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 00000×10B

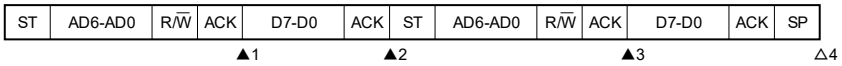
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0001×110B

▲2：IICSn = 0001××00B

▲3：IICSn = 00000×10B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

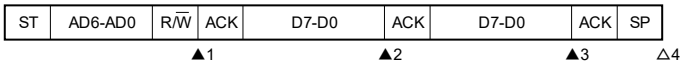
備考　n = 0

(3)　スレーブ動作（拡張コード受信時、全アドレス一致機能停止）

拡張コード受信時は、常に通信に参加しています。

(a) Start～Code～Data～Data～Stop

（i）WTIMn = 0のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

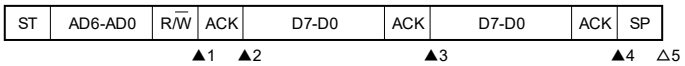
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

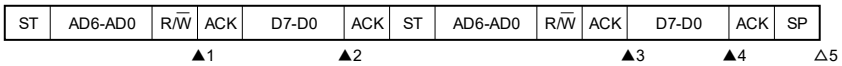
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(b) Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0001×110B

▲4：IICSn = 0001×000B

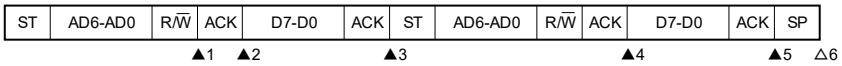
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、SVAn一致、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0001×110B

▲5：IICSn = 0001××00B

△6：IICSn = 00000001B

備考　▲　必ず発生

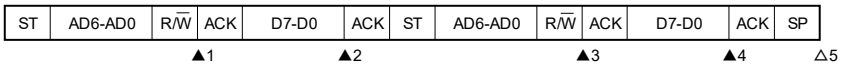
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) Start～Code～Data～Start～Code～Data～Stop

（i）WTIMn = 0のとき（リスタート後、拡張コード受信、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×010B

▲4：IICSn = 0010×000B

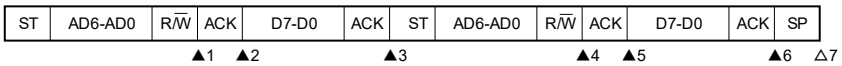
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、拡張コード受信、全アドレス一致機能停止）



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 0010×010B

▲5：IICSn = 0010×110B

▲6：IICSn = 0010××00B

△7：IICSn = 00000001B

備考　▲　必ず発生

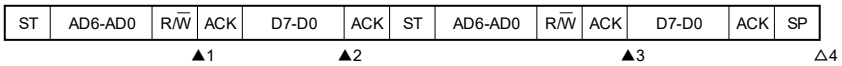
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(d) Start～Code～Data～Start～Address～Data～Stop

（i）WTIMn = 0のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 00000×10B

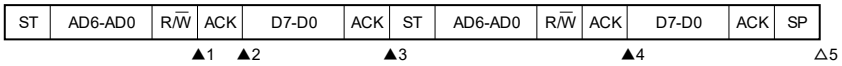
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき（リスタート後、アドレス不一致（拡張コード以外、全アドレス一致機能停止））



▲1：IICSn = 0010×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010××00B

▲4：IICSn = 00000×10B

△5：IICSn = 00000001B

備考　▲　必ず発生

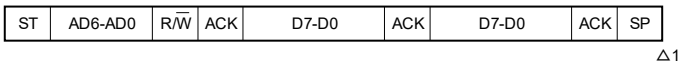
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(4)　通信不参加の動作

(a) Start～Code～Data～Data～Stop



△1：IICSn = 00000001B

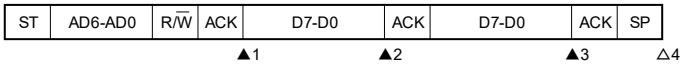
備考　△　SPIEn = 1のときだけ発生

(5)　アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとにMSTSnフラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 0101×110B

▲2：IICSn = 0001×000B

▲3：IICSn = 0001×000B

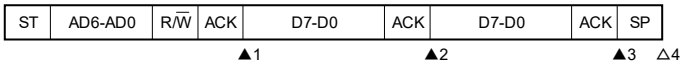
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0101×110B

▲2：IICSn = 0001×100B

▲3：IICSn = 0001××00B

△4：IICSn = 00000001B

備考　▲　必ず発生

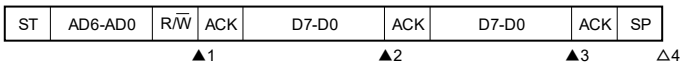
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(b) 拡張コード送信中にアービトレーションに負けた場合（全アドレス一致機能停止）

（i）WTIMn = 0のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×000B

▲3：IICSn = 0010×000B

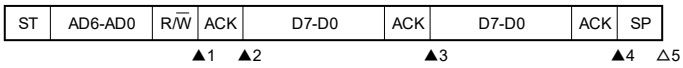
△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 0110×010B

▲2：IICSn = 0010×110B

▲3：IICSn = 0010×100B

▲4：IICSn = 0010××00B

△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

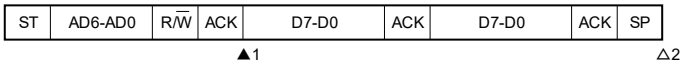
×　任意

備考　n = 0

(6) アービトレーション負けの動作（アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn割り込み要求信号の発生ごとにMSTSnフラグを読み出し、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIMn = 1のとき）



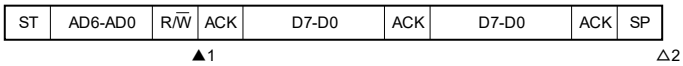
▲1：IICSn = 01000110B

△2：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合（全アドレス一致機能停止）



▲1：IICSn = 0110×010B

ソフトウェアでLRELn = 1を設定

△2：IICSn = 00000001B

備考　▲　必ず発生

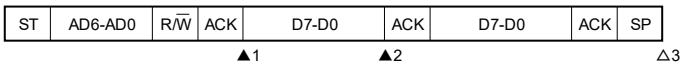
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(c) データ転送時にアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 10001110B

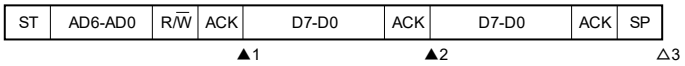
▲2：IICSn = 01000000B

△3：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

（ii）WTIMn = 1のとき



▲1：IICSn = 10001110B

▲2：IICSn = 01000100B

△3：IICSn = 00000001B

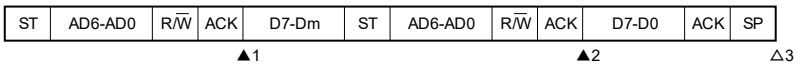
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

備考　n = 0

(d) データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVAn不一致、全アドレス一致機能停止）



▲1：IICSn = 1000×110B

▲2：IICSn = 01000110B

△3：IICSn = 00000001B

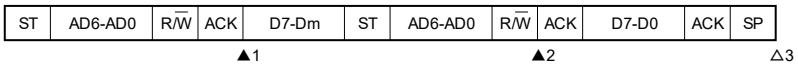
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

m = 6-0

（ii）拡張コード（全アドレス一致機能停止）



▲1：IICSn = 1000×110B

▲2：IICSn = 01100010B

ソフトウェアでLRELn = 1を設定

△3：IICSn = 00000001B

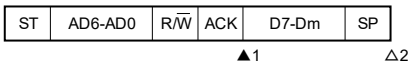
備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

m = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



▲1：IICSn = 10000110B

△2：IICSn = 01000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

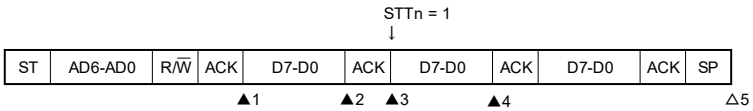
×　任意

m = 6-0

備考　n = 0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット）

▲3：IICSn = 1000×100B（WTIMnビットを0にクリア）

▲4：IICSn = 01000000B

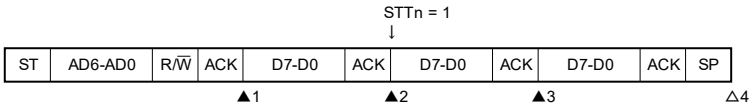
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B（STTnビットを1にセット）

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

（i）WTIMn = 0のとき

▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット）

▲3：IICSn = 1000××00B（STTnビットを1にセット）

△4：IICSn = 01000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき

▲1：IICSn = 1000×110B

▲2：IICSn = 1000××00B（STTnビットを1にセット）

△3：IICSn = 01000001B

備考　▲　必ず発生

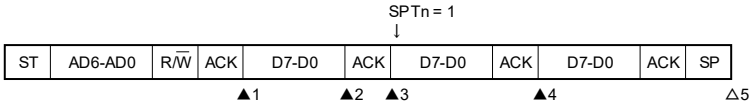
△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

（i）WTIMn = 0のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×000B（WTIMnビットを1にセット）

▲3：IICSn = 1000×100B（WTIMnビットを0にクリア）

▲4：IICSn = 01000100B

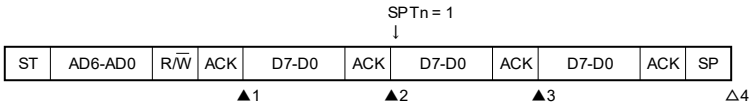
△5：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

（ii）WTIMn = 1のとき



▲1：IICSn = 1000×110B

▲2：IICSn = 1000×100B（SPTnビットを1にセット）

▲3：IICSn = 01000100B

△4：IICSn = 00000001B

備考　▲　必ず発生

△　SPIEn = 1のときだけ発生

×　任意

備考　n = 0

14.6　タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを 1 つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す IICA ステータス・レジスタ n（IICSn）の TRCn フラグを送信し、スレーブとのシリアル通信を開始します。

図 14 - 32 および**図 14 - 33** にデータ通信のタイミング・チャートを示します。

シリアル・クロック（SCLAn）の立ち下がりに同期して IICA シフト・レジスタ n（IICAn）のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

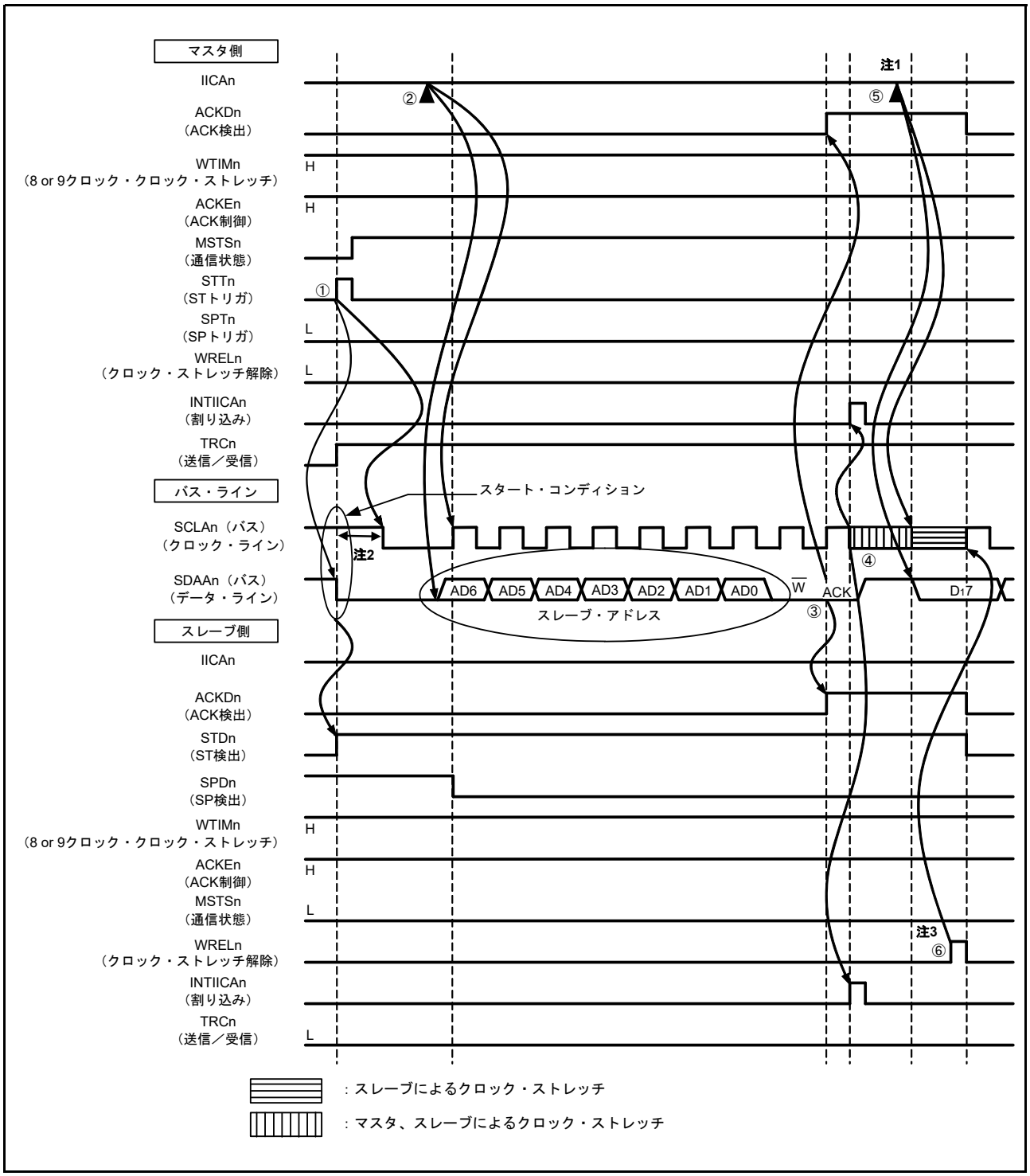
また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

本節で示すタイミング・チャートは、全アドレス一致機能は停止状態です。

備考　n = 0

図14 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(1/4)

(1)　スタート・コンディション～アドレス～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 14 - 32 (1)　スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると、バス・データ・ライン（SDAAn）が立ち下がり、スタート・コンディション（SCLAn = 1 で SDAAn = 1 → 0）が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態（MSTSn = 1）となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり（SCLAn = 0）、通信準備が完了となります。

② マスタ側で IICA シフト・レジスタ n（IICAn）にアドレス + W（送信）が書き込まれると、スレーブ・アドレスが送信されます。

③ スレーブ側では、受信したアドレスと自局のアドレス（SVAn の値）が一致した場合注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは、クロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します注。

⑤ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

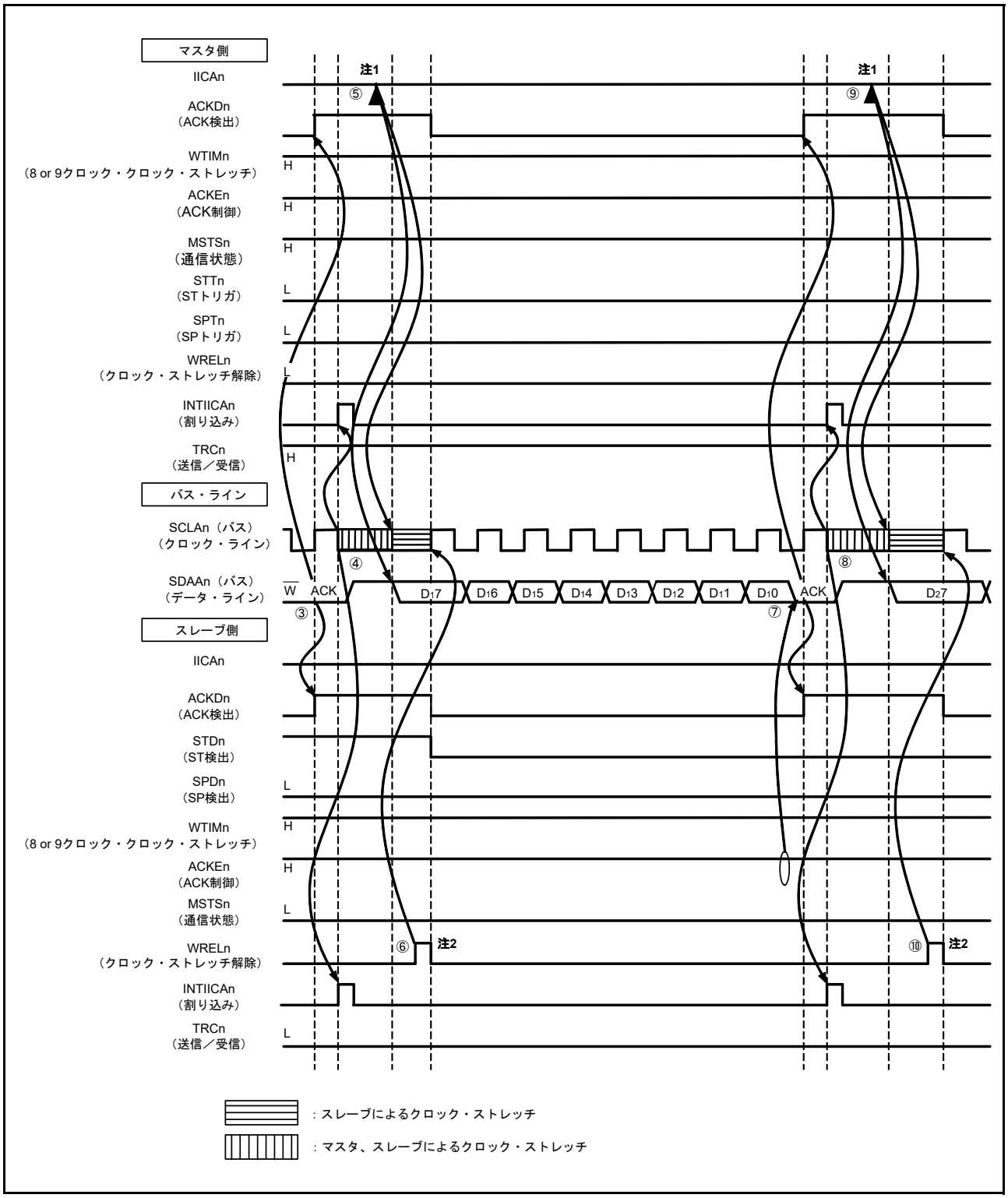
注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考1. **図14 - 32**の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図 14 - 32 (1)　スタート・コンディション～アドレス～データ：手順①～⑥
図 14 - 32 (2)　アドレス～データ～データ：手順③～⑩
図 14 - 32 (3)　データ～データ～ストップ・コンディション：手順⑦～⑮

備考2. n = 0

図14 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(2/4)
(2)　アドレス～データ～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 14 - 32 (2)　アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側では、受信したアドレスと自局のアドレス（SVAn の値）が一致した場合注、ハードウェアにより ACK がマスタ側へ送信されます。9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します注。

⑤ マスタ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側が IICAn レジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

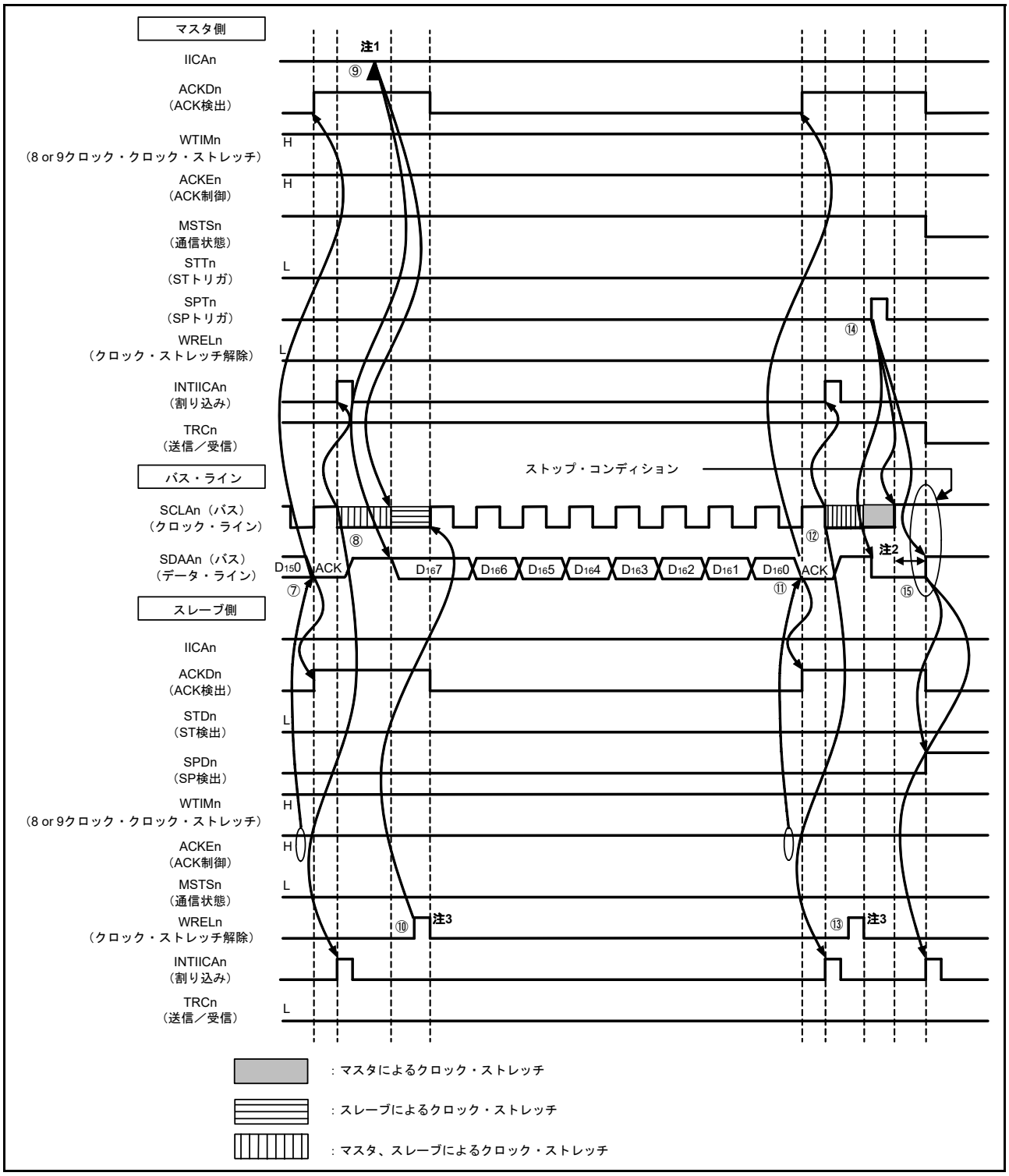
注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考1.　**図14 - 32**の①～⑮は、I^2Cバスによるデータ通信の一連の操作手順です。

図 14 - 32 (1)　スタート・コンディション～アドレス～データ：手順①～⑥
図 14 - 32 (2)　アドレス～データ～データ：手順③～⑩
図 14 - 32 (3)　データ～データ～ストップ・コンディション：手順⑦～⑮

備考2.　n = 0

図14 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(3/4)
(3)　データ～データ～ストップ・コンディション



注1.　マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注2.　ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 14 - 32 (3)　データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑨ マスタ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除（WRELn = 1）すると、マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後、スレーブ側（ACKEn = 1）のハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑫ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除（WRELn = 1）します。

⑭ マスタ側でストップ・コンディション・トリガをセット（SPTn = 1）すると、バス・データ・ラインがクリア（SDAAn = 0）され、バス・クロック・ラインがセット（SCLAn = 1）され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット（SDAAn = 1）されることでストップ・コンディション（SCLAn = 1 で SDAAn = 0 → 1）が生成されます。

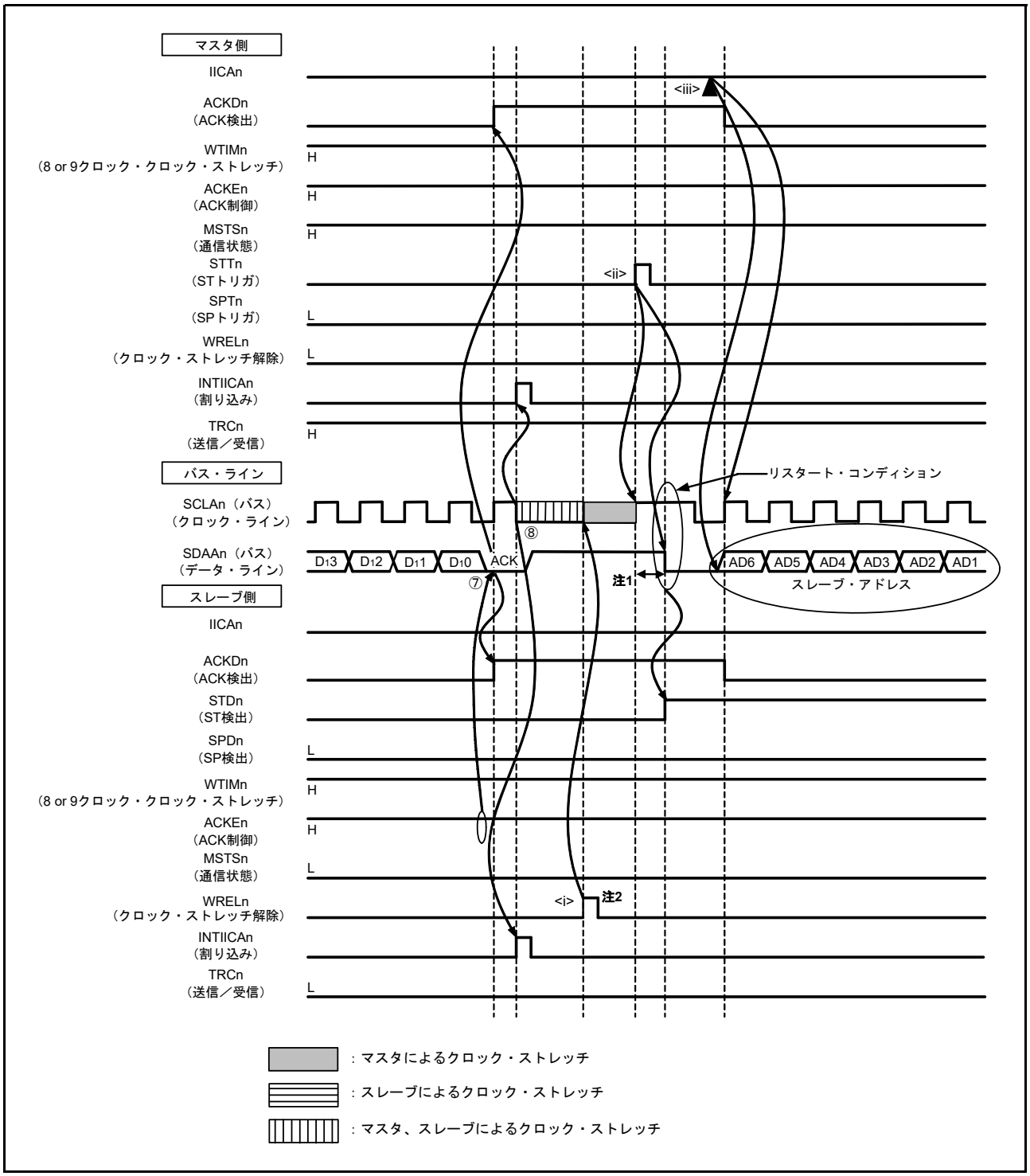
⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考1. **図14 - 32**の①～⑮は、I^2Cバスによるデータ通信の一連の操作手順です。

図 14 - 32 (1)　スタート・コンディション～アドレス～データ：手順①～⑥
図 14 - 32 (2)　アドレス～データ～データ：手順③～⑩
図 14 - 32 (3)　データ～データ～ストップ・コンディション：手順⑦～⑮

備考2. n = 0

図14 - 32　マスタ→スレーブ通信例（マスタ：9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(4/4)
(4)　データ～リスタート・コンディション～アドレス



注1.　リスタート・コンディションの発行後、SCLAn端子信号が立ち上がってからスタート・コンディションが生成される時間は、標準モード設定時は4.7 μs以上、ファースト・モード設定時は0.6 μs以上です。

注2.　スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

備考　n = 0

図 14 - 32 (4)　データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦、⑧の動作後、<i> ～ <iii> の動作を行います。それにより、手順③のデータの送信手順に戻ります。

⑦ データ転送完了後、スレーブ側は ACKEn = 1 なのでハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

⑧ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

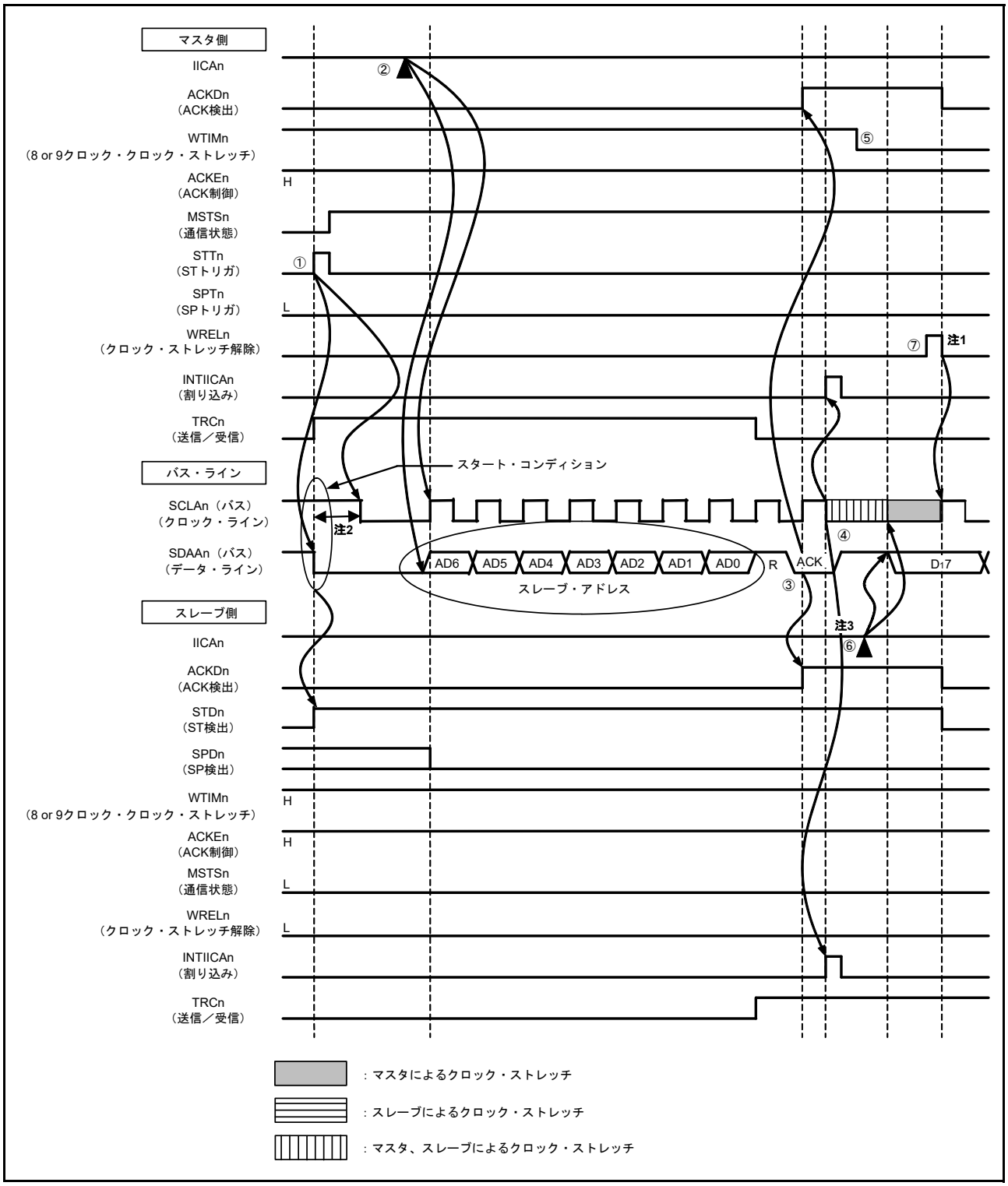
<i> スレーブ側が受信データを読み出して、クロック・ストレッチを解除（WRELn = 1）します。

<ii> マスタ側で再度スタート・コンディション・トリガがセット（STTn = 1）されると、バス・クロック・ラインが立ち上がり（SCLAn = 1）、リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAAn = 0）が立ち下がり、スタート・コンディション（SCLAn = 1でSDAAn = 1→0）が生成されます。その後、スタート・コンディションを検出すると、ホールド時間経過後、バス・クロック・ラインが立ち下がり（SCLAn = 0）、通信準備が完了となります。

<iii> マスタ側がIICAシフト・レジスタn（IICAn）にアドレス + R/W（送信）を書き込むと、スレーブ・アドレスが送信されます。

備考　n = 0

図14 - 33　スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択）(1/3)
(1)　スタート・コンディション～アドレス～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2.　SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考　n = 0

図 14 - 33 (1)　スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STTn = 1）されると、バス・データ・ライン（SDAAn）が立ち下がり、スタート・コンディション（SCLAn = 1 で SDAAn = 1 → 0）が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態（MSTSn = 1）となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり（SCLAn = 0）、通信準備が完了となります。

② マスタ側で IICA シフト・レジスタ n（IICAn）にアドレス + R（受信）が書き込まれると、スレーブ・アドレスが送信されます。

③ スレーブ側で、受信したアドレスと自局のアドレス（SVAn の値）が一致した場合注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します注。

⑤ マスタ側のクロック・ストレッチ・タイミングを 8 クロック目（WTIMn = 0）に変更します。

⑥ スレーブ側が IICAn レジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して、スレーブからのデータ転送を開始します。

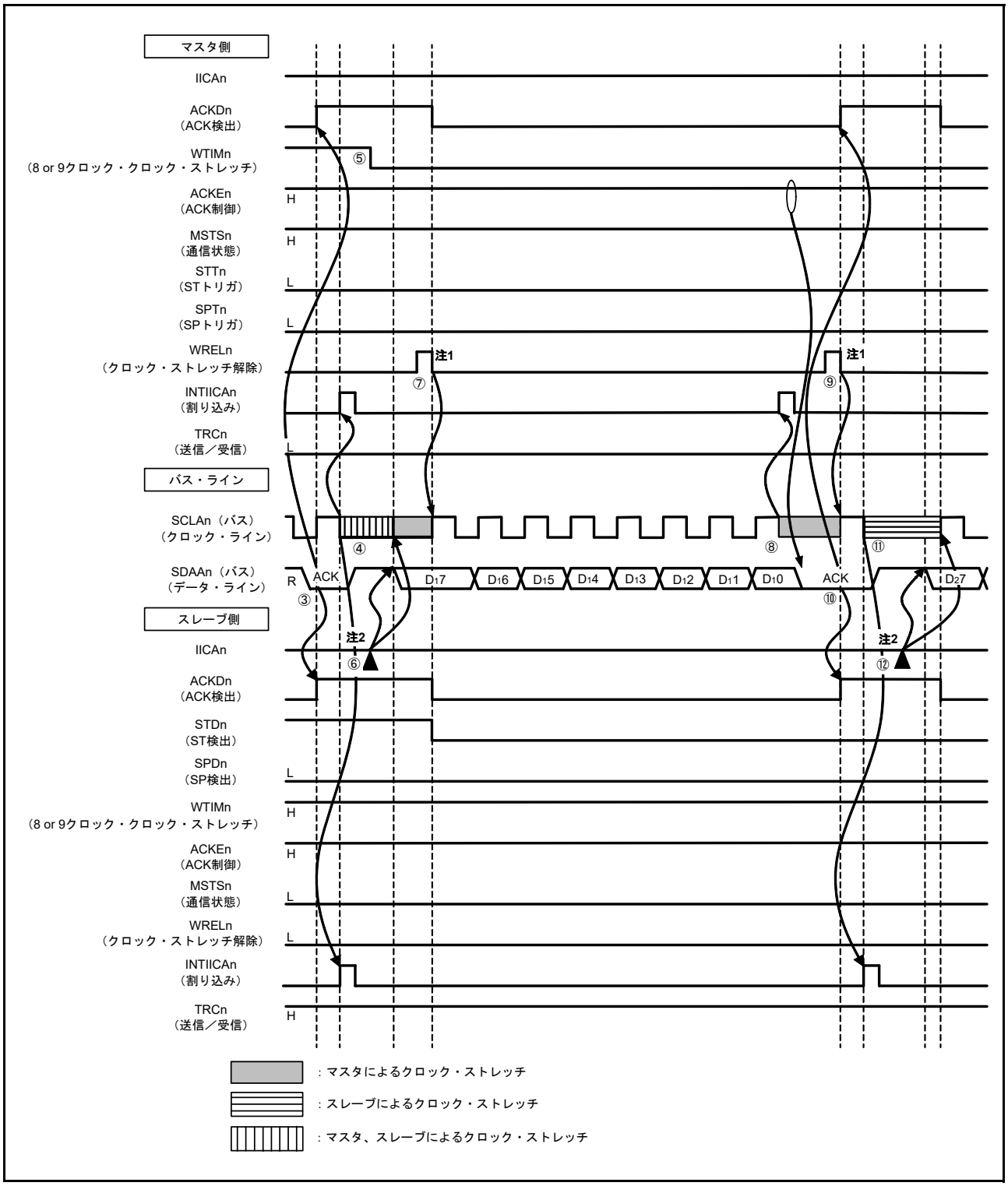
注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

備考1. **図14 - 33**の①～⑲は、I²Cバスによるデータ通信の一連の操作手順です。

図 14 - 33 (1)　スタート・コンディション～アドレス～データ：手順①～⑦
図 14 - 33 (2)　アドレス～データ～データ：手順③～⑫
図 14 - 33 (3)　データ～データ～ストップ・コンディション：手順⑧～⑲

備考2. n = 0

図14 - 33　スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでクロック・ストレッチ選択）(2/3)
(2)　アドレス～データ～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2.　スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

備考　n = 0

図 14 - 33 (2)　アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で、受信したアドレス自局のアドレス（SVAn の値）が一致した場合注、ハードウェアにより ACK がマスタ側へ送信され、9 クロック目の立ち上がり時に、マスタ側で ACK が検出（ACKDn = 1）されます。

④ 9 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLAn = 0）をかけ、割り込み（INTIICAn：アドレス一致割り込み）が発生します注。

⑤ マスタ側はクロック・ストレッチ・タイミングを 8 クロック目（WTIMn = 0）に変更します。

⑥ スレーブ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WRELn = 1）して、スレーブからのデータ転送を開始します。

⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し、マスタ側 ACKEn = 1 なのでハードウェアにより ACK がスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出（ACKDn = 1）されます。

⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側が IICAn レジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注　送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しません（NACK：SDAAn = 1）。また、スレーブ側のINTIICAn割り込み（アドレス一致割り込み）は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み（アドレス送信完了割り込み）が発生します。

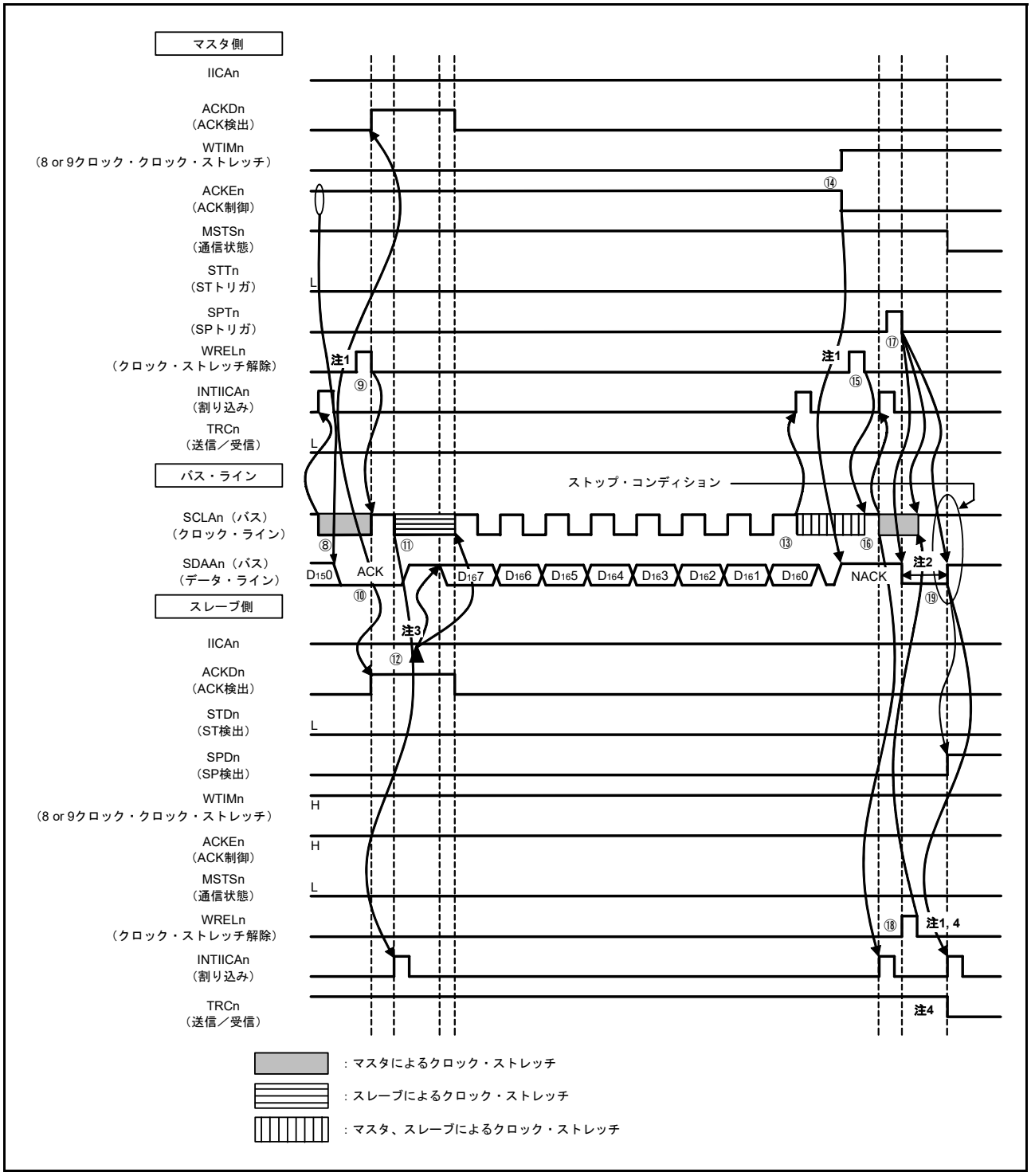
備考1. **図14 - 33**の①～⑲は、I^2Cバスによるデータ通信の一連の操作手順です。

図 14 - 33 (1)　スタート・コンディション～アドレス～データ：手順①～⑦
図 14 - 33 (2)　アドレス～データ～データ：手順③～⑫
図 14 - 33 (3)　データ～データ～ストップ・コンディション：手順⑧～⑲

備考2. n = 0

図14 - 33　スレーブ→マスタ通信例（マスタ：8→9クロック、スレーブ：9クロックでクロック・ストレッチ選択）(3/3)

(3)　データ～データ～ストップ・コンディション



注1.　クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2.　ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3.　スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnレジスタへのデータ書き込みで行ってください。

注4.　スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnフラグはクリアされます。

備考　n = 0

図 14 - 33 (3)　データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8 クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し、マスタ側は ACKEn = 0 なので、ハードウェアにより ACK がスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除（WRELn = 1）します。

⑩ 9 クロック目の立ち上がり時に、スレーブ側で ACK が検出（ACKDn = 1）されます。

⑪ 9 クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、スレーブ側は割り込み（INTIICAn：転送完了割り込み）が発生します。

⑫ スレーブ側が IICA シフト・レジスタ n（IICAn）に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

⑬ 8 クロック目の立ち下がりで、マスタ側の割り込み（INTIICAn：転送完了割り込み）が発生し、マスタ側によるクロック・ストレッチ（SCLAn = 0）がかかります。ACK 制御（ACKEn = 1）されているので、この段階でのバス・データ・ラインはロウ・レベル（SDAAn = 0）となります。

⑭ マスタ側は NACK 応答に設定（ACKEn = 0）し、クロック・ストレッチ・タイミングを 9 クロック目（WTIMn = 1）に変更します。

⑮ マスタ側がクロック・ストレッチを解除（WRELn = 1）すると、スレーブ側は 9 クロック目の立ち上がりで NACK を検出（ACKDn = 0）します。

⑯ 9 クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ（SCLAn = 0）がかかり、マスタ側、スレーブ側で割り込み（INTIICAn：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPTn = 1）すると、バス・データ・ラインがクリア（SDAAn = 0）され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されるまで待機します。

⑱ スレーブ側は NACK を確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除（WRELn = 1）します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット（SCLAn = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLAn = 1）されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット（SDAAn = 1）してストップ・コンディション（SCLAn = 1 で SDAAn = 0 → 1）を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み（INTIICAn：ストップ・コンディション割り込み）が発生します。

備考1. **図14 - 33**の①～⑲は、I²Cバスによるデータ通信の一連の操作手順です。

図 14 - 33 (1)　スタート・コンディション～アドレス～データ：手順①～⑦
図 14 - 33 (2)　アドレス～データ～データ：手順③～⑫
図 14 - 33 (3)　データ～データ～ストップ・コンディション：手順⑧～⑲

備考2. n = 0

第15章　シリアル・インタフェースUARTA（UARTA）

シリアル・インタフェース UARTA のチャネル数は、製品によって異なります。

	16～32ピン	36～48ピン
チャネル数	－	1チャネル

15.1　概要

シリアル・インタフェース UARTAn には、次の 2 種類のモードがあります。

(1)　動作停止モード
　シリアル通信を行わないときに使用するモードです。消費電力を低減できます。

(2)　UARTモード
　連続送信機能対応のUARTモードです。機能の概要を次に示します。

シリアル・インタフェース UARTAn は非同期通信です。以下に機能概要を示します。

- 最大転送速度：153.6 kbps
- 送受信は2端子構成
  TxDAn：送信データ出力端子
  RxDAn：受信データ入力端子
- 転送データのキャラクタ長は、5ビット／7ビット／8ビット可変
- 専用の8ビット・ボー・レート・ジェネレータ内蔵で任意のボー・レートの設定が可能
- 送信動作と受信動作は独立して動作可能（全二重動作）
- MSB/LSBファースト転送選択可能
- 通信論理レベル反転制御が可能
- CPU／周辺ハードウェア・クロック（fCLK）と同期せずに独自に動作クロックを選択可能

備考　n：ユニット番号（n = 0）

図 15 - 1 にシリアル・インタフェース UARTAn のブロック図、**表 15 - 1** にシリアル・インタフェース UARTAn の端子構成を示します。

図15 - 1　　シリアル・インタフェースUARTAnのブロック図

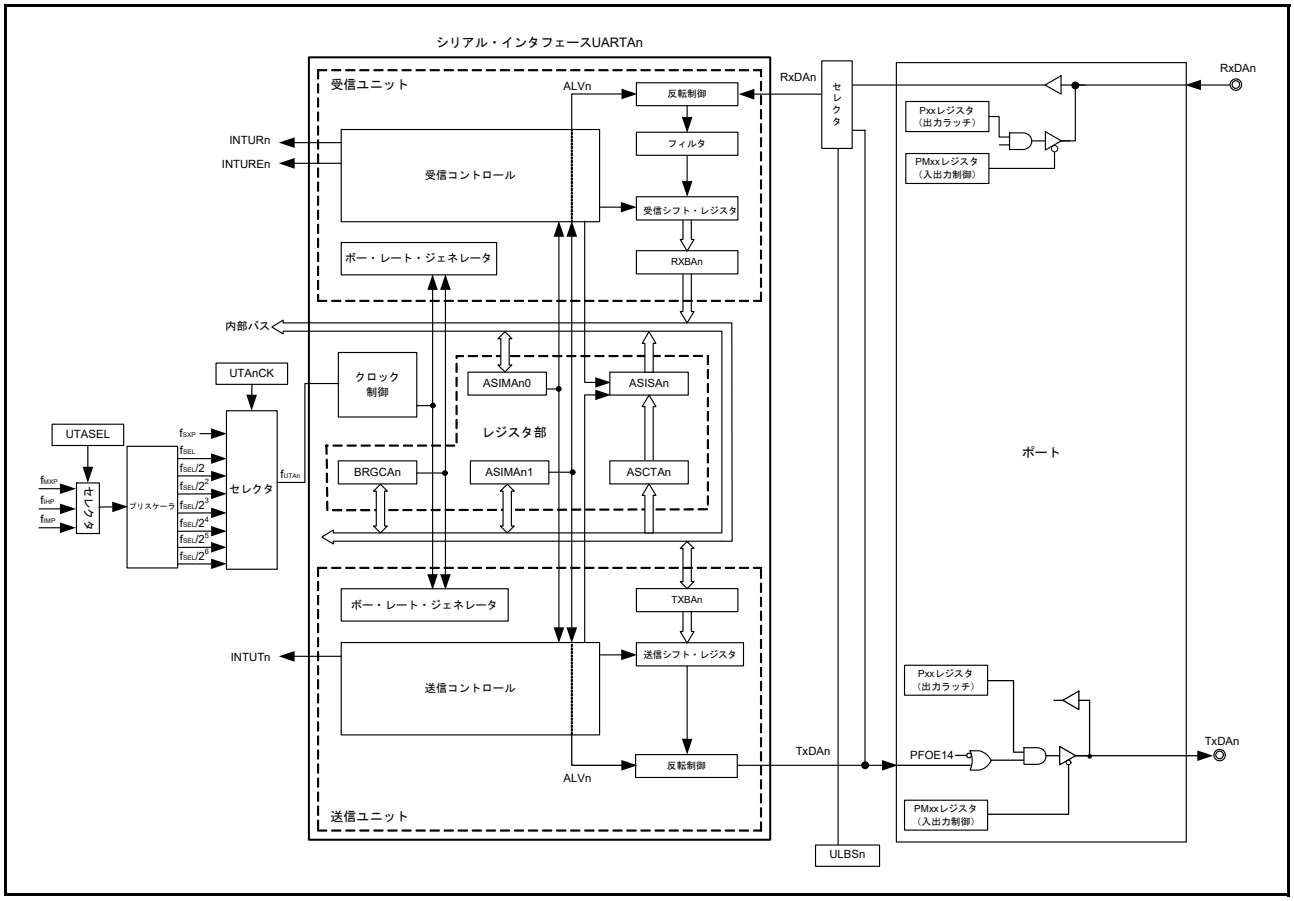


表15 - 1　　シリアル・インタフェースUARTAnの端子構成

端子名	入出力	機能
RxDAn	入力	シリアル・データ入力信号
TxDAn	出力	シリアル・データ出力信号

備考1. f_{MXP} ：高速周辺クロック周波数
f_{IHP} ：高速オンチップ・オシレータ周辺クロック周波数
f_{IMP} ：中速オンチップ・オシレータ周辺クロック周波数
f_{SXP} ：低速周辺クロック周波数
f_{SEL} ：UARTA分周選択クロック
f_{UTAn} ：シリアル・インタフェースUARTAn動作クロック

備考2. n = 0

15.2　シリアル・インタフェースUARTAを制御するレジスタ

シリアル・インタフェース UARTA を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- 送信バッファ・レジスタn（TXBAn）
- 受信バッファ・レジスタn（RXBAn）
- 動作モード設定レジスタn0（ASIMAn0）
- 動作モード設定レジスタn1（ASIMAn1）
- ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）
- ステータス・レジスタn（ASISAn）
- ステータス・クリア・トリガ・レジスタn（ASCTAn）
- UARTAクロック選択レジスタ0（UTA0CK）
- UARTループバック選択レジスタ（ULBS）
- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・ファンクション出力許可レジスタ1（PFOE1）

備考　n：ユニット番号（n = 0）

15.2.1　周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース UARTAn を使用する場合は、必ず UTAEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15 - 2　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス　：F00FAH
リセット時：00H
R/W属性　：R/W

略号	7	<6>	5	<4>	<3>	<2>	1	<0>
PER1	0	SMSEN	0	TML32EN	DTCEN	UTAEN 注1	0	CTSUEN

UTAEN	シリアル・インタフェースUARTAnの入力クロック供給の制御
0	入力クロック供給停止 • シリアル・インタフェースUARTAnで使用するSFRへのライト不可注2
1	入力クロック供給 • シリアル・インタフェースUARTAnで使用するSFRへのリード／ライト可

注1.　36～48ピン製品のみ

注2.　リードした場合は、設定値にかかわらず00Hが読めます。

注意1.　ビット7, 5, 1には、必ず0を設定してください。

注意2.　次のビットには、必ず0を設定してください。
16～32ピン製品：ビット2

注意3.　シリアル・インタフェースUARTAnを使用する際には、必ず最初にUTAEN = 1の設定を行ってください。
UTAEN = 0の場合は、シリアル・インタフェースUARTAnの制御レジスタへの書き込みは無視されます。

備考　n：ユニット番号（n = 0）

15.2.2　送信バッファ・レジスタn（TXBAn）

TXBAn レジスタは、送信データを設定するバッファ・レジスタです。
TXBAn レジスタに送信データを書き込むことにより、送信動作が開始されます。
TXBAn レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFH になります。

図15 - 3　送信バッファ・レジスタn（TXBAn）のフォーマット

アドレス　：F0300H (TXBA0)
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
TXBAn								

ビット 7-0	機能
ー	• キャラクタ長を8ビット指定した場合： 送信データはTXBAnのビット7-0が転送されます。 • キャラクタ長を7ビット指定した場合： MSB/LSBファーストどちらの設定でも送信データはTXBAnのビット6-0が転送され、ビット7は無効になります。 • キャラクタ長を5ビット指定した場合： MSB/LSBファーストどちらの設定でも送信データはTXBAnのビット4-0が転送され、ビット7-5は無効になります。

注意1. ASISAn レジスタのTXBFAnフラグが1のとき、TXBAn レジスタに送信データを書き込まないでください。

注意2. ASIMAn0 レジスタのTXEAn ビットに1を設定したあと、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）の1クロック以上の期間を待ってから、TXBAn レジスタに最初の送信データを設定してください。TXEAn ビットに1を設定したあと、シリアル・インタフェースUARTAn動作クロックの1クロックを待たずに送信データを設定した場合は、シリアル・インタフェースUARTAn動作クロックで1クロック送信開始が遅れます。

備考1. TXBAn レジスタから転送されたデータをシリアル・データとしてTxDAn端子から送信します。TXBAn レジスタからのデータ転送は、最初の送信時ではTXBAn レジスタの書き込み直後、連続送信時では1フレーム送信後の転送完了割り込み発生直前のタイミングで転送されます。
送信シフト・レジスタはプログラムで直接操作できません。

備考2. n：ユニット番号（n = 0）

15.2.3　受信バッファ・レジスタn（RXBAn）

RXBAn レジスタは、受信シフト・レジスタで変換したパラレル・データを格納するためのレジスタです。データを1バイト受信するごとに受信シフト・レジスタ注から新たな受信データが転送されます。

RXBAn レジスタは、8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、FFH になります。

注　RxDAn端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。
受信シフト・レジスタはプログラムで直接操作できません。

図15 - 4　受信バッファ・レジスタn（RXBAn）のフォーマット

アドレス　：F0301H (RXBA0)
リセット時：FFH
R/W属性　：R

略号	7	6	5	4	3	2	1	0
RXBAn								

ビット 7-0	機能
ー	• キャラクタ長を8ビット指定した場合： 受信データは本レジスタのビット7-0に転送されます。 • キャラクタ長を7ビット指定した場合： MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット6-0に転送され、ビット7は必ず0になります。 • キャラクタ長を5ビット指定した場合： MSB/LSBファーストどちらの設定でも受信データは本レジスタのビット4-0に転送され、ビット7-5は必ず0になります。

注意　**オーバラン・エラー（OVEAn）が発生した場合、そのときの受信データはRXBAnレジスタには格納されません。**

備考　n：ユニット番号（n = 0）

15.2.4　動作モード設定レジスタn0（ASIMAn0）

ASIMAn0 レジスタは、シリアル・インタフェース UARTAn のシリアル通信動作を制御する 8 ビット・レジスタです。
ASIMAn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、01H になります。

図15 - 5　動作モード設定レジスタn0（ASIMAn0）のフォーマット

アドレス　：F0302H (ASIMA00)
リセット時：01H
R/W属性　：R/W

略号	<7>	<6>	<5>	4	3	2	<1>	<0>
ASIMAn0	UARTAENn	TXEAn	RXEAn	0	0	0	ISSMAn	ISRMAn

UARTAENn 注1	UART動作許可
0	UART動作クロック動作禁止、内部回路をリセット注2
1	UART動作クロック動作許可

TXEAn	送信許可
0	送信動作禁止（送信回路をリセットする）
1	送信動作許可

RXEAn	受信許可
0	受信動作禁止（受信回路をリセットする）
1	受信動作許可

ISSMAn	送信割り込みモード選択
0	送信転送完了時、INTUTn割り込みを発生
1	送信バッファ空き時にINTUTn割り込みを発生（連続送信用）

ISRMAn	受信割り込みモード選択
0	受信エラー発生時、INTUREn割り込みを発生（INTURnは発生しない）
1	受信エラー発生時、INTURn割り込みを発生（INTUREnは発生しない）

注1.　UARTAENn = 0にすると、ALVnビットの値によってTxDAn端子の出力レベル、RxDAn端子からの入力レベルは、次のようになります。
- ALVn = 0時は、TxDAn端子の出力はハイ・レベルとなります。
- ALVn = 1時は、TxDAn端子の出力はロウ・レベルとなります。

注2.　UARTAENn = 0でリセットされるレジスタはASISAn, RXBAnレジスタです。

注意1.　ビット4-2には、必ず0を設定してください。
注意2.　送信開始するときは、UARTAENn = 1にしてからTXEAn = 1としてください。
送信停止するときは、TXEAn = 0にしてからUARTAENn = 0にしてください。
注意3.　受信開始するときは、UARTAENn = 1にしてからRXEAn = 1としてください。
受信停止するときは、RXEAn = 0にしてからUARTAENn = 0にしてください。

（注意、備考は次ページに続きます）

注意4. UARTAENn = 1→RXEAn = 1を設定する場合、次のようにしてください。

- **ALVn = 0時は、RxDAn端子にハイ・レベルが入力された状態で実施してください。**
  ロウ・レベル状態でUARTAENn = 1→RXEAn = 1と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。
- **ALVn = 1時は、RxDAn端子にロウ・レベルが入力された状態で実施してください。**
  ハイ・レベル状態でUARTAENn = 1→RXEAn = 1と設定すると、その時点より受信が開始され、フレーミング・エラーが発生する可能性があります。

注意5. TXEAnビットとRXEAnビットは、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）により同期化されています。再度送信動作、または受信動作を許可する場合はTXEAn = 0またはRXEAn = 0に設定してからシリアル・インタフェースUARTAn動作クロックの2クロック以降にTXEAn = 1またはRXEAn = 1を設定してください。シリアル・インタフェースUARTAn動作クロック2クロック以内に設定すると、送信回路または受信回路を初期化できない場合があります。

注意6. TXEAn = 1に設定後、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）1クロック以上まってから、TXBAnレジスタに送信データを設定してください。

注意7. ISRMAnビットを書き換えるときは、RXEAn = 0にしてから行ってください。

備考　n：ユニット番号（n = 0）

15.2.5　動作モード設定レジスタn1（ASIMAn1）

ASIMAn1 レジスタは、シリアル・インタフェース UARTAn のシリアル通信動作を制御する 8 ビット・レジスタです。
ASIMAn1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
ASIMAn1 レジスタは、TXEAn = 0 かつ RXEAn = 0 の状態で書き換えてください。
リセット信号の発生により、1AH になります。

図15 - 6　動作モード設定レジスタn1（ASIMAn1）のフォーマット

アドレス　：F0303H (ASIMA01)
リセット時：1AH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ASIMAn1	0	PSn1	PSn0	CLn1	CLn0	SLn	DIRn	ALVn

PSn1	PSn0	送受信パリティ・ビット指定1、送受信パリティ・ビット指定0	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信注
1	0	奇数パリティを出力	奇数パリティとして判定
1	1	偶数パリティを出力	偶数パリティとして判定

CLn1	CLn0	送受信キャラクタ長指定1、送受信キャラクタ長指定0
0	0	データのキャラクタ長 = 5ビット
0	1	設定禁止
1	0	データのキャラクタ長 = 7ビット
1	1	データのキャラクタ長 = 8ビット

SLn	送信ストップ・ビット長指定
0	ストップ・ビット長 = 1ビット
1	ストップ・ビット長 = 2ビット

DIRn	送受信転送順序指定
0	MSBファースト転送
1	LSBファースト転送

ALVn	送受信レベル指定
0	正論理（待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル、ストップ・ビット = ハイ・レベル）
1	負論理（待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル、ストップ・ビット = ロウ・レベル）

注　「0パリティとして受信」を設定した場合、パリティ判定を行いません。したがって、PEAn（ASISAn レジスタ）はセットされないため、受信エラー割り込みも発生しません。

（注意、備考は次ページに続きます）

注意1. ASIMAn1レジスタを書き換えるときは、TXEAnビットとRXEAnビットを両方とも0にクリアしてから行ってください。

注意2. 受信は常に“ストップ・ビット長 = 1”として動作します。SLnビットの設定値の影響は受けません。

備考　n：ユニット番号（n = 0）

15.2.6　ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）

BRGCAn レジスタは、シリアル・インタフェース UARTAn の 8 ビット・カウンタの分周値を設定するレジスタです。
BRGCAn レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFH になります。

図15 - 7　ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のフォーマット

アドレス　：F0304H (BRGCA0)
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
BRGCAn								

ビット 7-0	機能
－	UARTのボー・レート（シリアル転送スピード）を制御する。 設定値の詳細は、**表15 - 2**を参照してください。

注意　BRGCAn レジスタはTXEAn = 0, RXEAn = 0時（送受信動作停止時）に書き換えてください。

表15 - 2　BRGCAnの設定値

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	k	8ビット・カウンタ出力クロック選択
0	0	0	0	0	0	0	×	×	設定禁止
0	0	0	0	0	0	1	0	2	$f_{UTAn}/2$
0	0	0	0	0	0	1	1	3	$f_{UTAn}/3$
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	$f_{UTAn}/252$
1	1	1	1	1	1	0	1	253	$f_{UTAn}/253$
1	1	1	1	1	1	1	0	254	$f_{UTAn}/254$
1	1	1	1	1	1	1	1	255	$f_{UTAn}/255$

注意　8ビット・カウンタの出力クロックをさらに1/2分周したものが、ボー・レート値になります。

備考1. k：BRGCAn レジスタで設定した値（k = 2, 3, 4, …, 255）
備考2. ×：任意
ボー・レートの設定例については、**15.3.4 (3) (c)　ボー・レート設定例**を参照してください。
備考3. n：ユニット番号（n = 0）

15.2.7　ステータス・レジスタn（ASISAn）

ASISAn レジスタは、シリアル・インタフェース UARTAn の受信終了時のエラー・ステータスおよび送信ステータスを示すレジスタです。3 ビットのエラー・フラグ（PEAn, FEAn, OVEAn）と 2 ビットの送信ステータス・フラグ（TXBFAn, TXSFAn）で構成されています。

ASISAn レジスタは、8 ビット・メモリ操作命令で読み出しのみ可能です。

リセット信号の発生により、00H になります。PEAn, FEAn, OVEAn ビットは、UARTAENn = 0 または RXEAn = 0 により、初期値になります。また、ASCTAn レジスタへの書き込みによって、それぞれ対応するフラグは初期値になります。TXBFAn, TXSFAn ビットは UARTAENn = 0 または TXEAn = 0 により、初期値になります。

図15 - 8　ステータス・レジスタn（ASISAn）のフォーマット (1/2)

アドレス　: F0305H (ASISA0)
リセット時: 00H
R/W属性　: R

略号	7	6	5	4	3	2	1	0
ASISAn	0	0	TXBFAn	TXSFAn	0	PEAn	FEAn	OVEAn

TXBFAn	送信バッファ・データ・フラグ
ー	[1になる条件] ・TXBAn レジスタにデータを書いたとき（TXBAn レジスタにデータが存在するとき） [0になる条件] ・UARTAENn = 0またはTXEAn = 0にしたとき ・送信シフト・レジスタにデータを転送したとき

TXSFAn	送信シフト・レジスタ・データ・フラグ
ー	[1になる条件] ・TXBAn レジスタよりデータが転送されたとき（データ送信中のとき） [0になる条件] ・UARTAENn = 0またはTXEAn = 0にしたとき ・転送完了後にTXBAn レジスタより次のデータ転送がなかったとき

PEAn	パリティ・エラー・フラグ
ー	[1になる条件] ・受信時にデータのパリティとパリティ・ビットが一致しないとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・PECTAn ビットへ1を書いたとき

図15 - 8　ステータス・レジスタn（ASISAn）のフォーマット (2/2)

FEAn	フレーミング・エラー・フラグ
ー	[1になる条件] ・受信時にストップ・ビットが検出されないとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・FECTAnビットへ1を書いたとき

OVEAn	オーバラン・エラー・フラグ
ー	[1になる条件] ・RXBAnレジスタにセットされた受信データを読み出す前に次の受信動作が完了したとき [0になる条件] ・UARTAENn = 0またはRXEAn = 0にしたとき ・OVECTAnビットへ1を書いたとき

★ **注意1. 連続送信を行う場合は、最初の送信データ（1バイト目）をTXBAnレジスタに書き込んだあと、必ずTXBFAnフラグが0であることを確認してから次の送信データ（2バイト目）をTXBAnレジスタに書き込んでください。TXBFAnフラグが1のときにTXBAnレジスタにデータを書き込んだ場合、送信データは不定になります。ただし、ISSMAn = 1に設定し、バッファ空き割り込みを使用して連続送信を行う場合は、TXBFAnフラグの確認は不要です。**

注意2. 連続送信完了時に送信ユニットを初期化（TXEAn = 0）する場合は、転送完了割り込み発生後に、必ずTXSFAnフラグが0であることを確認してから初期化を実行してください。TXSFAnフラグが1のときに初期化を実行した場合、送信データは不定になります。

注意3. PEAnビットの動作は、ASIMAn1レジスタのPSn1, PSn0ビットの設定値により異なります。

注意4. 受信データのストップ・ビットはストップ・ビット長に関係なく最初の1ビットだけをチェックします。

注意5. オーバラン・エラーが発生した場合、次の受信データはRXBAnレジスタには書き込まれず、データは破棄されます。

備考　n：ユニット番号（n = 0）

15.2.8　ステータス・クリア・トリガ・レジスタn（ASCTAn）

ASCTAn レジスタは、シリアル・インタフェース UARTAn の受信終了時のエラー・ステータスをクリアするトリガを設定するレジスタです。3 ビットのエラー・クリア・トリガ・フラグ（PECTAn, FECTAn, OVECTAn）で構成されています。

ASCTAn レジスタは、8 ビット・メモリ操作命令または 1 ビット・メモリ操作命令で書き込みが可能です。

ASCTAn レジスタの読み出し値は常に 00H になります。

リセット信号の発生により、00H になります。PECTAn, FECTAn, OVECTAn ビットへ 1 を書き込むことにより、ASISAn レジスタの PEAn, FEAn, OVEAn ビットがクリアされます。0 を書き込んだビットに対応するエラー・フラグはクリアされません。

図15 - 9　ステータス・クリア・トリガ・レジスタn（ASCTAn）のフォーマット

アドレス　：F0306H (ASCTA0)
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	<2>	<1>	<0>
ASCTAn	0	0	0	0	0	PECTAn	FECTAn	OVECTAn

PECTAn注	パリティ・エラー・フラグ・クリア・トリガ
0	PEAnフラグをクリアしない（保持）
1	PEAnフラグをクリア

FECTAn注	フレーミング・エラー・フラグ・クリア・トリガ
0	FEAnフラグをクリアしない（保持）
1	FEAnフラグをクリア

OVECTAn注	オーバラン・エラー・フラグ・クリア・トリガ
0	OVEAnフラグをクリアしない（保持）
1	OVEAnフラグをクリア

注　本ビットを読み出すと、0が読めます。

注意　**エラー・フラグのクリア動作は、トリガ・ビットへ1を書き込み後、次の動作クロック（fUTAn）の立ち上がりで行われます。したがって、トリガ・ビットへ1を書き込み後すぐにASISAnレジスタを読み出した場合、対応するエラー・フラグがクリアされていない場合があります。**

備考　n：ユニット番号（n = 0）

15.2.9　UARTAクロック選択レジスタ0（UTA0CK）

UTA0CK レジスタは、シリアル・インタフェース UARTA0 の動作クロックを選択するレジスタです。UTASEL1, 0 ビットでシリアル・インタフェース UARTA0 の f_{SEL} としてのクロックソースを f_{MXP}, f_{IH}, f_{IMP} から選択し、UTA0CK3-UTA0CK0 ビットでシリアル・インタフェース UARTA0 の動作クロックとして f_{SEL} の 1 ～ 64 分周、f_{SXP} から選択します。

UTA0CK レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15 - 10　UARTAクロック選択レジスタ0（UTA0CK）のフォーマット

アドレス　：F0310H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
UTA0CK	0	0	UTASEL1	UTASEL0	UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0

UTASEL1	UTASEL0	f_{SEL} クロック選択
0	0	停止
0	1	f_{MXP}
1	0	f_{IHP}
1	1	f_{IMP}

UTA0CK3	UTA0CK2	UTA0CK1	UTA0CK0	シリアル・インタフェースUARTA0 動作クロック選択（f_{UTA0}）
0	0	0	0	f_{SEL}
0	0	0	1	$f_{SEL}/2$
0	0	1	0	$f_{SEL}/4$
0	0	1	1	$f_{SEL}/8$
0	1	0	0	$f_{SEL}/16$
0	1	0	1	$f_{SEL}/32$
0	1	1	0	$f_{SEL}/64$
1	0	0	0	f_{SXP}
上記以外				設定禁止

注意　本レジスタのアクセスは、TXEA0 = 0, RXEA0 = 0時（送受信停止時）に行ってください。

備考　f_{MXP}　：高速周辺クロック
f_{IHP}　：高速オンチップ・オシレータ周辺クロック
f_{IMP}　：中速オンチップ・オシレータ周辺クロック
f_{SXP}　：低速周辺クロック
f_{SEL}　：UARTA分周選択クロック

15.2.10　UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。

UART チャネルごとに制御できるビットを持ち、各チャネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図15 - 11　UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス　：F0079H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	<4>	3	<2>	<1>	<0>
ULBS	0	0	0	ULBS4	0	ULBS2	ULBS1	ULBS0

ULBS4	UARTループバック機能の選択
0	シリアル・インタフェースUARTA0のRxDA0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注意1.　ビット7-5, 3には、必ず0を設定してください。

注意2.　シリアル・インタフェースUARTA0について、ループバック機能を使用する場合は、ポート・ファンクション出力許可レジスタ1（PFOE1）のPFOE14ビットに1を設定してください。

備考　RxDA0端子は36～48ピン製品のみ使用可能

15.2.11　シリアル・インタフェースUARTA入出力と端子を兼用するポートのポート機能を制御するレジスタ

シリアル・インタフェース UARTA 入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・レジスタ（Pxx）
- ポート入力モード・レジスタ（PIMxx）
- ポート出力モード・レジスタ（POMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）
- ポート・ファンクション出力許可レジスタ1（PFOE1）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.2　ポート・レジスタ（Pxx）**、**4.3.4　ポート入力モード・レジスタ（PIMxx）**、**4.3.5　ポート出力モード・レジスタ（POMxx）**、**4.3.8　ポート・モード・コントロール T・レジスタ（PMCTxx）**、**4.3.10　ポート・ファンクション出力許可レジスタ 1（PFOE1）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

異電位（1.8 V 系、2.5 V 系、3 V 系）で動作している外部デバイスと接続する場合は、**4.4.4　入出力バッファによる異電位（1.8 V 系、2.5 V 系、3 V 系）対応**を参照してください。

15.3　動作説明

シリアル・インタフェース UARTAn は、次の 2 種類のモードがあります。

- 動作停止モード
- UART モード

15.3.1　動作停止モード

動作停止モードでは、シリアル通信を行いませんので、消費電力を低減できます。また、動作停止モードでは、端子を通常のポートとして使用できます。動作停止モードにする場合は、ASIMAn0 レジスタのビット 7-5（UARTAENn, TXEAn, RXEAn）に 0 を設定してください。

上記設定ではバス・クロックが停止しません。完全に停止させるためには上記設定後 PER1 レジスタの UTAEN ビットに 0 を設定してください。

15.3.2　UART モード

スタート・ビットに続く 1 バイトのデータを送受信するモードで、全二重動作が可能です。

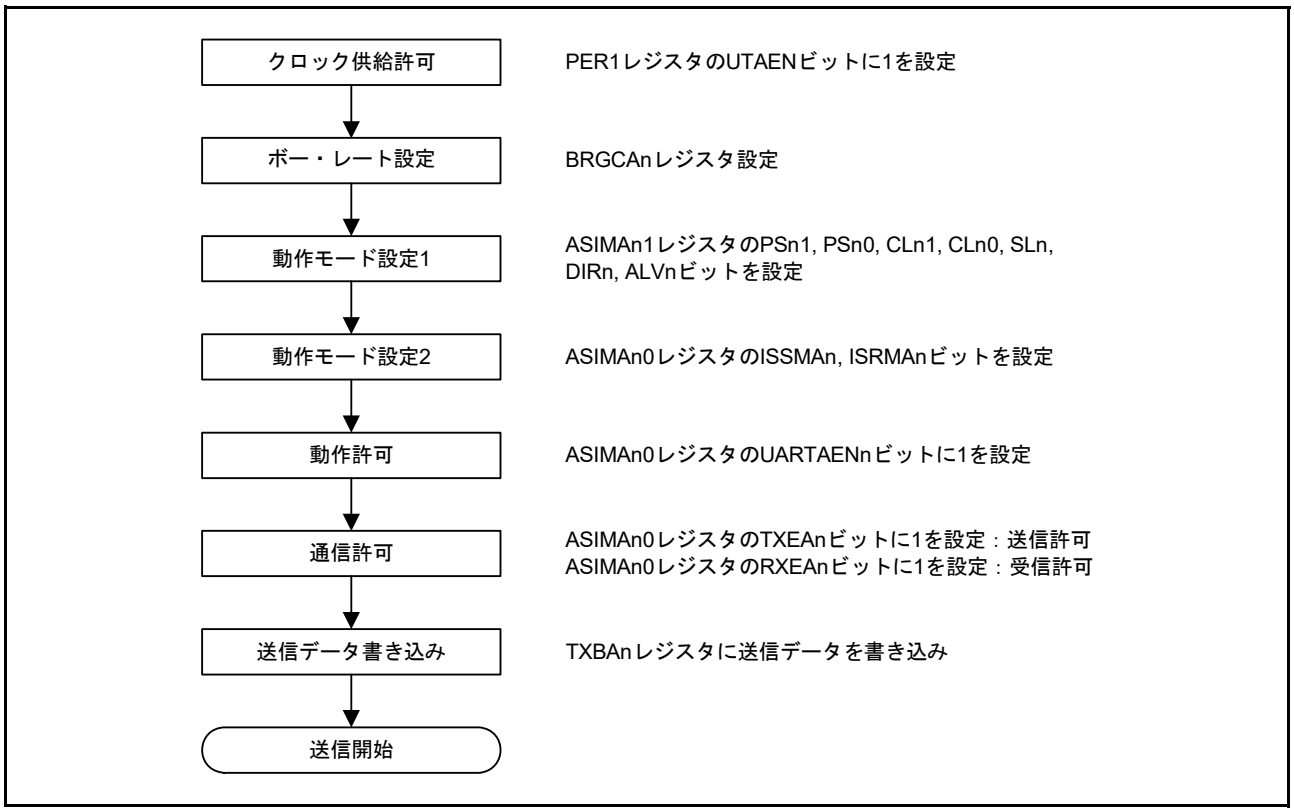
UART 専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

備考　n：ユニット番号（n = 0）

(1)　通信手順

図15 - 12に通信手順フローを示します。

図15 - 12　通信手順フロー



注意　**受信機能を使用する場合は、受信するポートをポート関連のレジスタで入力モードに設定してください。**
送信機能を使用する場合は、送信するポートのポート・レジスタ（Pxx）で初期出力レベルを設定し、次にそのポートをポート関連のレジスタで出力に設定してください。この設定は送信を許可する前に行ってください。
設定するポート関連のレジスタは、使用するチャネルや製品によって異なります。詳細は、4.5　兼用機能使用時のレジスタ設定を参照してください。異電位（1.8 V系、2.5 V系、3 V系）で動作している外部デバイスと接続する場合は、4.4.4　入出力バッファによる異電位（1.8 V系、2.5 V系、3 V系）対応を参照してください。

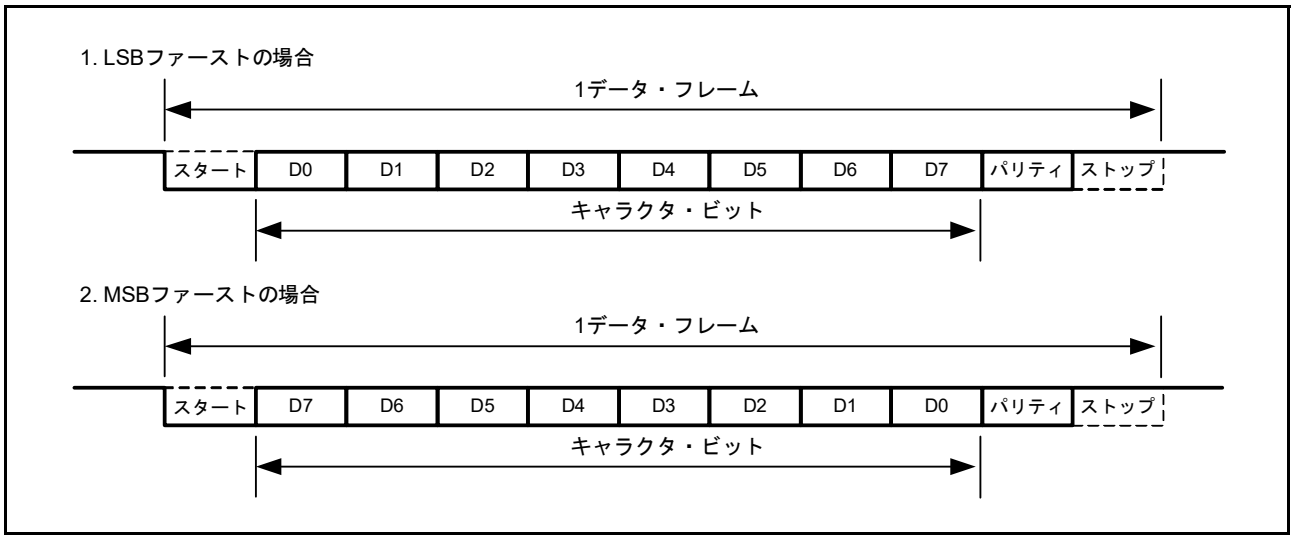
備考　n：ユニット番号（n = 0）

(2)　送信／受信データ・フォーマットと波形例

シリアル・インタフェースUARTAnの通信データ・フォーマットについて以下に説明します。

図15 - 13にデータ・フォーマットを示します。

図15 - 13　送受信データ・フォーマット



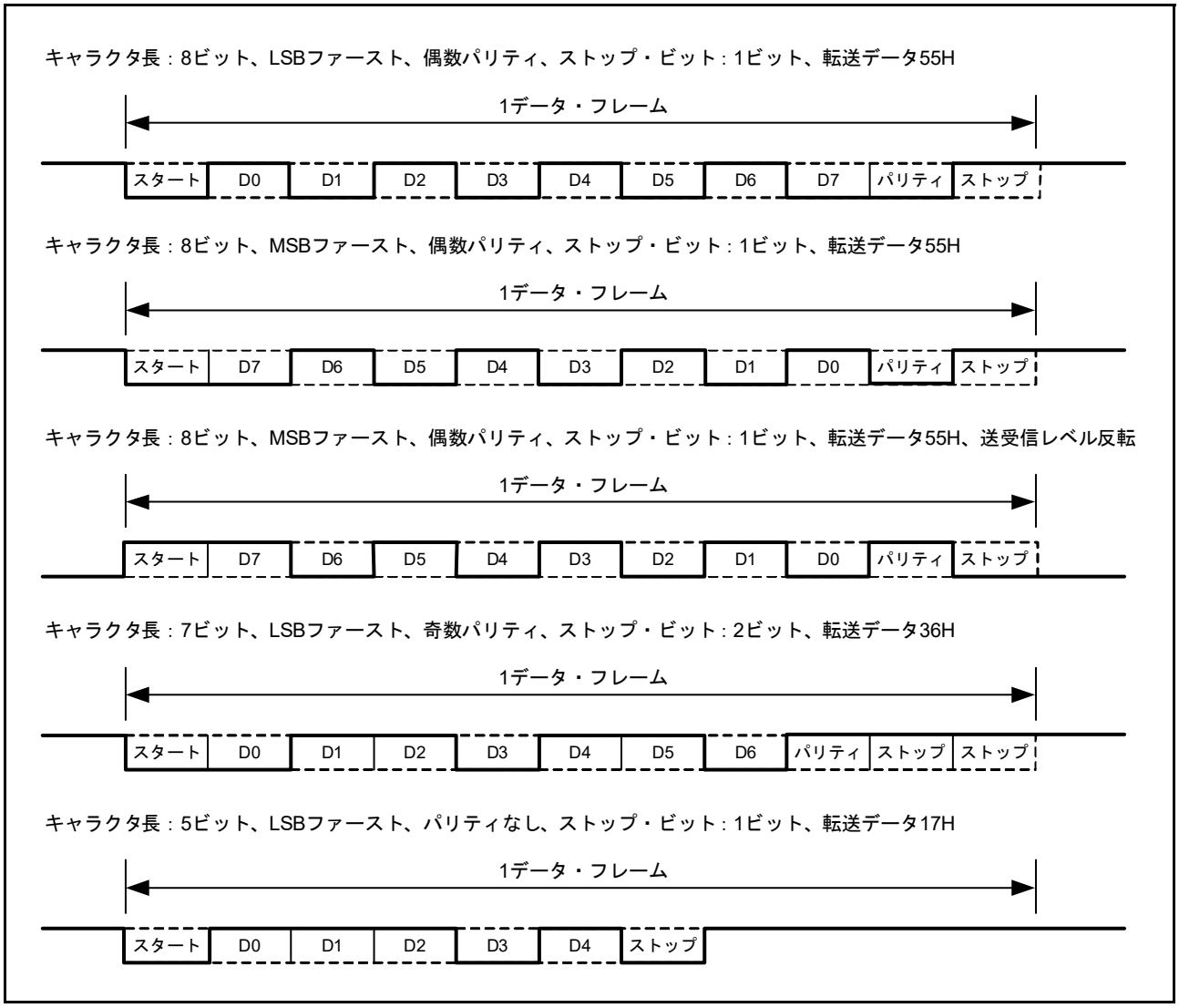
1データ・フレームは次に示すビットで構成されています。

- スタート・ビット　：1ビット
- キャラクタ長　　：5ビット／7ビット／8ビット
- パリティ・ビット　：偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ストップ・ビット　：1ビット／2ビット

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、転送方向（LSB/MSB）の指定、TxDAn端子の通常出力／反転出力の指定はASIMAn1レジスタによって行います。

図15 - 14に送受信データの波形例を示します。

図15 - 14　送受信データの波形例



(3) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のものを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(a) 偶数パリティ

- 送信時

  パリティ・ビットを含めた送信データ中の、値が1のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

  送信データ中に、値が1のビット数が奇数個：1

  送信データ中に、値が1のビット数が偶数個：0

- 受信時

  パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(b) 奇数パリティ

- 送信時

  偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の値に含まれる1のビット数を奇数個になるように制御します。

  送信データ中に、値が1のビット数が奇数個：0

  送信データ中に、値が1のビット数が偶数個：1

- 受信時

  パリティ・ビットを含めた受信データ中の、値が1のビット数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを0にします。

受信時にはパリティ・ビットの検出を行いません。したがって、パリティ・ビットが0でも1でもパリティ・エラーを発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(4) 通常送信

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットに1をセットし、次にASIMAn0レジスタのTXEAnビットに1をセットすると送信許可状態になり、送信バッファ・レジスタn（TXBAn）に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXBAnレジスタ内のデータは送信シフト・レジスタに転送されます。その後、送信データが送信シフト・レジスタより転送方向指定に従って順次、TxDAn端子に出力されます。送信が完了すると、ASIMAn0レジスタで設定したパリティ・ビット、ストップ・ビットが付加され、転送完了割り込み要求信号（INTUTn）が発生します。

次に送信するデータをTXBAnレジスタに書き込むまで、送信動作は中断します。

図15 - 15に転送完了割り込み要求信号（INTUTn）のタイミングを示します。INTUTnは以下のタイミングで出力されます。

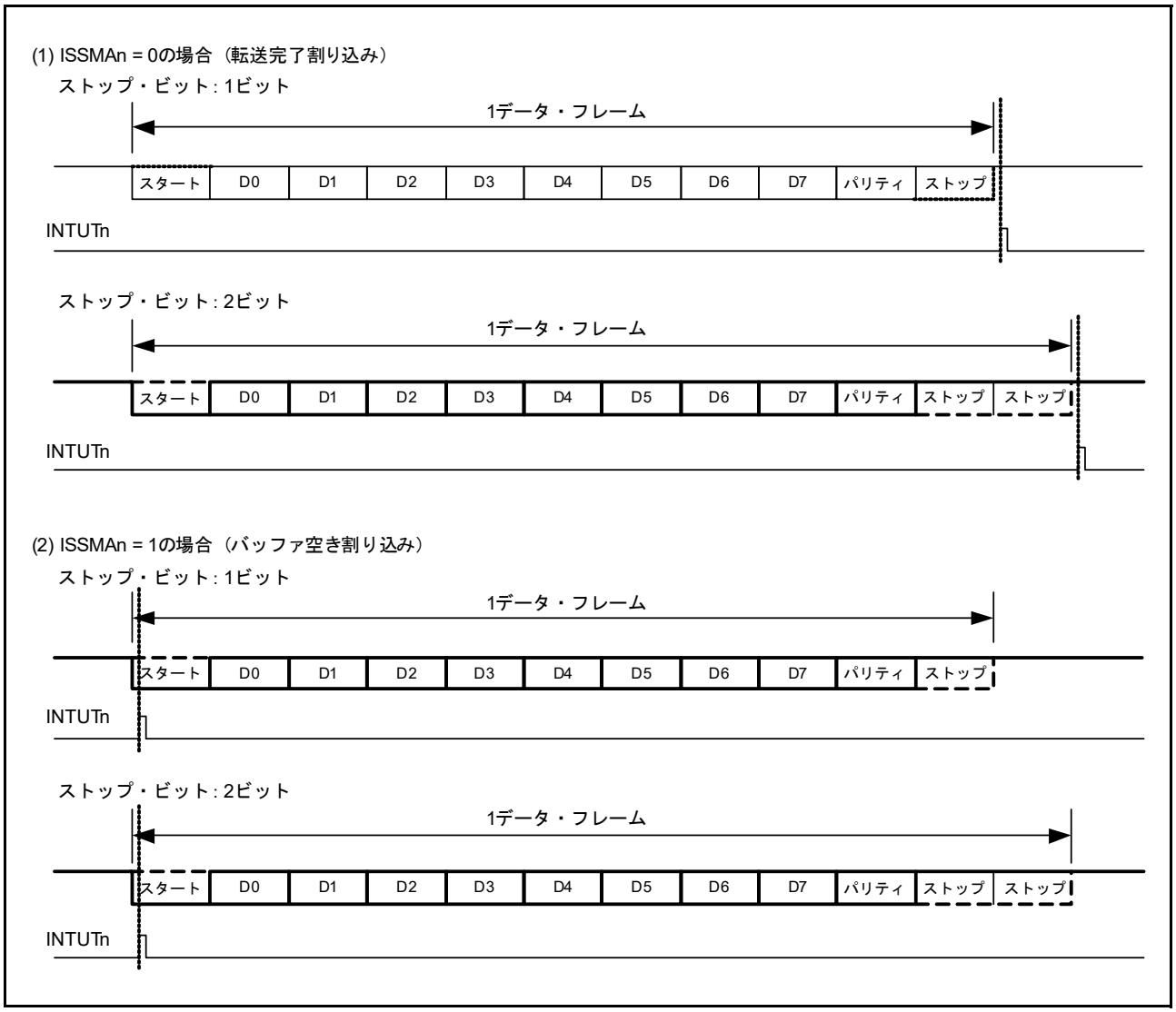
(a) ISSMAn = 0（INTUTnは転送完了割り込み）の場合

INTUTnは最後のストップ・ビット出力後に出力されます。

(b) ISSMAn = 1（INTUTnはバッファ空き割り込み）の場合

スタート・ビット出力時に出力されます。

図15 - 15　割り込み出力タイミング



(5) 連続送信

シリアル・インタフェースUARTAnでは連続送信を実現するために送信バッファ・レジスタn（TXBAn）と送信シフト・レジスタを分離しています。
送信シフト・レジスタがシフト動作を開始した時点で、次の送信データを送信バッファ・レジスタn（TXBAn）へ書き込むことができます。これにより、連続送信することができ、効率的な通信レートを実現できます。
なお、連続送信をする場合、バッファ空き割り込みが発生してから、TXBAnレジスタへデータを書き込みの際に、以下で定義する最大クロック数以内に書き込みが完了していないと連続送信にはなりません。

最大クロック数 = 転送長 × 2K －（2K + 3）
K：BRGCAnで設定した値（k = 2, 3, 4, …, 255）

以下に最大クロック数の算出例を示します。
BRGCAnレジスタに02H（K = 2）
スタート・ビット：1ビット、キャラクタ長：8ビット、パリティあり、ストップ・ビット：1ビットの場合
最大クロック数 = 転送長 × 2K －（2K + 3）= 11 × 2 × 2 －（2 × 2 + 3）= 37
（シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）で37クロック以内の書き込み完了が必要）

連続送信手順には、以下の2つの方法があります。

(a) ポーリングによる連続転送

ステータス・レジスタn（ASISAn）のTXBFAnビットである送信バッファ・データ・フラグとTXSFAnビットである送信シフト・レジスタ・データ・フラグのポーリングにより、連続送信を実現する方法です。
また、本方法で実現する場合、動作モード設定レジスタn0（ASIMAn0）のISSMAnビットは、0に設定してください。

- 連続送信開始、連続送信実行中
  連続送信開始時は、最初（1バイト目）のデータをTXBAnレジスタに書き込んだ後、送信バッファ・データ・フラグ（TXBFAn）が、0であることを確認して、次（2バイト目）のデータをTXBAnレジスタに書き込んでください。同様に続くデータもTXBFAnフラグが0であることを確認して、データをTXBAnレジスタに書き込んでください。

TXBFAn	連続送信開始時のTXBAnへの書き込み可否判断用フラグ
0	書き込み可
1	書き込み不可

注意　連続送信可否は、TXBFAnフラグのみで判断してください。TXSFAnフラグと組み合わせで判断しないでください。

- 連続送信完了
  連続送信で必要数の送信データをTXBAnレジスタに書き込んだ後、送信シフト・レジスタとTXBAnレジスタのデータを送信すると連続送信は完了します。連続送信の完了は送信シフト・レジスタ・データ・フラグ（TXSFAn）の値で確認できます。

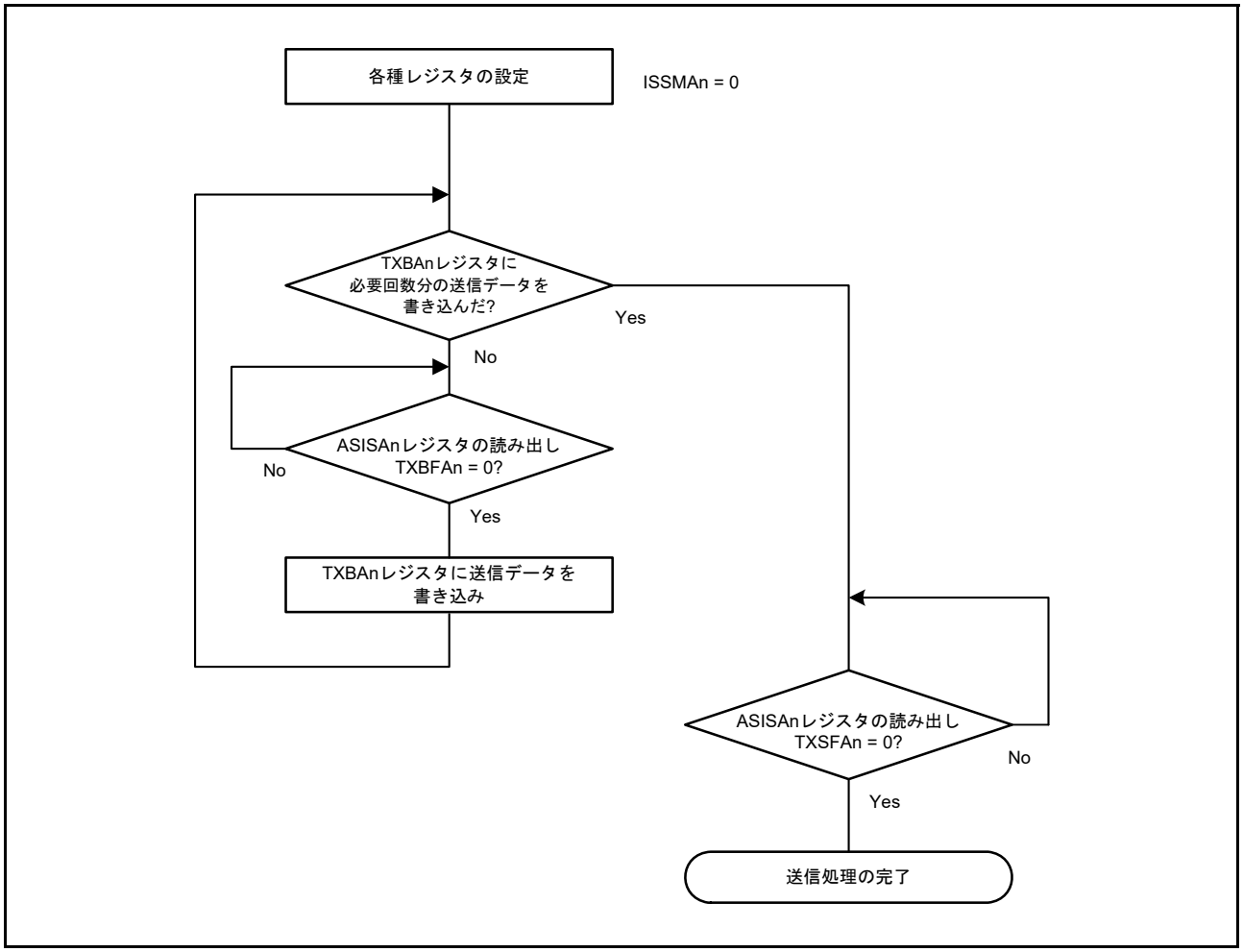
TXSFAn	送信実行中の確認用フラグ
0	送信が完了
1	送信中

注意1. 連続送信完了時に送信ユニットを初期化する場合は、転送完了割り込み後にTXSFAnフラグが0であることを確認して初期化を実行してください。

注意2. 連続送信は、1データ・フレーム送信後のINTUTn割り込み処理を実行する前に次の送信が完了する可能性があります。対策として、送信データ数をカウントできるプログラムを組み込むことと、TXSFAnフラグを参照することで検出できます。

図15 - 16にポーリングによる連続送信処理フロー例を示します。

図15 - 16　ポーリングによる連続送信処理フロー例



(b) 割り込みによる連続転送

割り込み（INTUTn）を使用して、連続送信を実現する方法です。

動作モード設定レジスタn0（ASIMAn0）のISSMAnビットに1を設定することにより、送信バッファ・レジスタn（TXBAn）から送信シフト・レジスタに転送されたタイミングで割り込みを発生させることができます。

これにより、バッファ空き割り込みの発生で、TXBAnレジスタへデータを書き込むことで連続送信が可能となります。

また、連続送信終了時は、最後の送信データをTXBAnレジスタへ書き込んだあとに、ISSMAnビットに0を設定することにより、転送完了割り込みを発生させることが可能です。

図15 - 17に割り込みによる連続送信処理フロー例を示します。

図15 - 17　割り込みによる連続送信処理フロー例

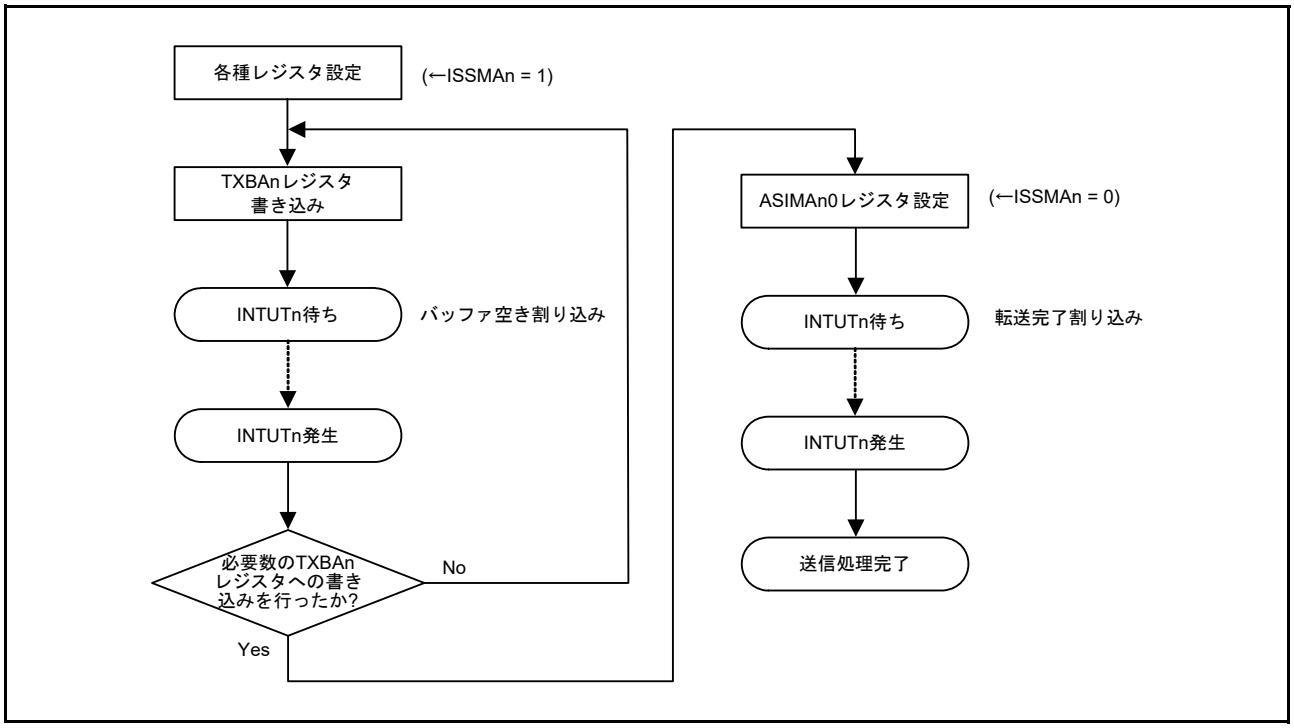
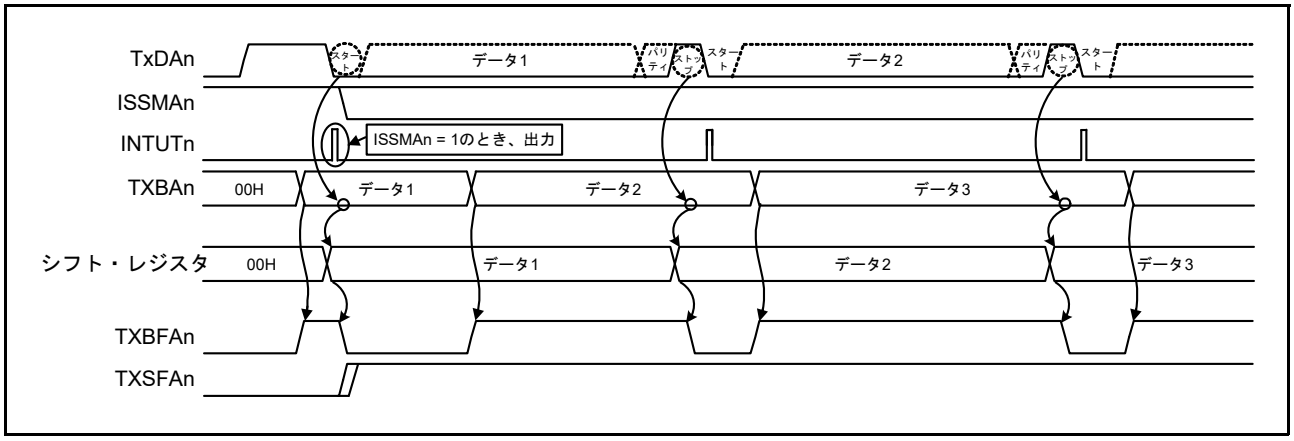


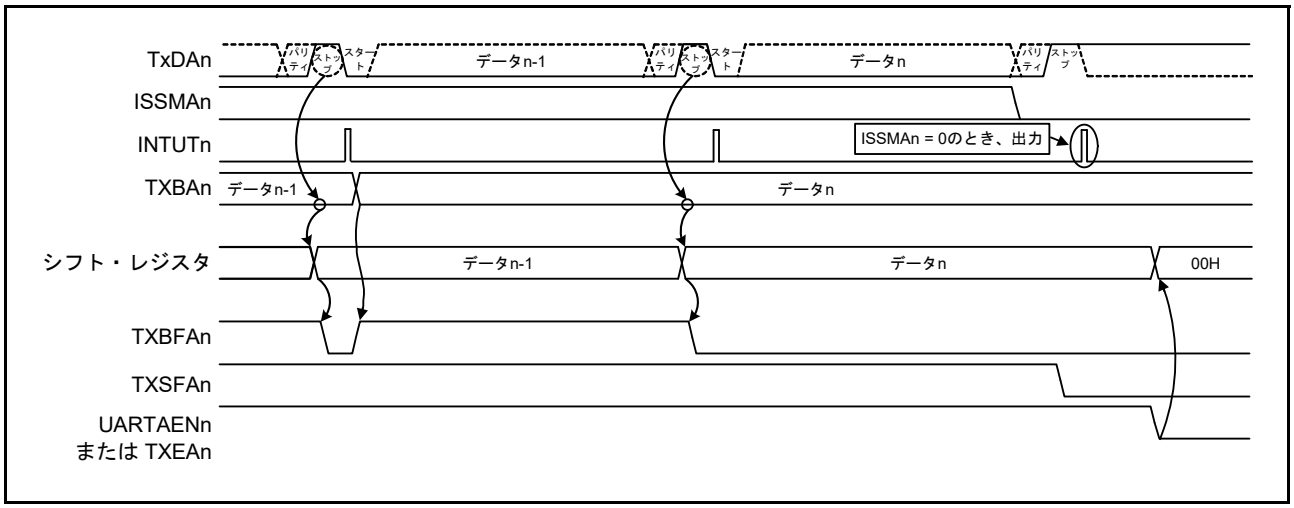
図15 - 18に連続送信開始タイミング、**図15 - 19**に連続送信終了タイミングを示します。

図15 - 18　連続送信開始タイミング



注意　ASISAnレジスタを読み出した場合、TXBFAn, TXSFAn = 11Bの期間が存在します。したがって、書き込み可否の判断はTXBFAnビットの1ビットのみで行ってください。

図15 - 19　連続送信終了タイミング



(6) 通常受信

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットに1を設定し、次にASIMAn0レジスタのRXEAnビットに1を設定すると受信許可状態となり、RxDAn端子入力のサンプリングを行います。

ALVn = 0の場合、RxDAn端子入力の立ち下がりを検出すると、ボー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング（**図15 - 20**の▽印に相当）した結果、RxDAn端子がロウ・レベルであれば、スタート・ビットと認識します。

また、ALVn = 1の場合、RxDAn端子入力の立ち上がりを検出すると、ボー・レート・ジェネレータの8ビットカウンタがカウントを開始し、ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）の設定値をカウントした時点で、再度RxDAn端子入力をサンプリング（**図15 - 20**の▽印に相当）した結果、RxDAn端子がハイ・レベルであれば、スタート・ビットと認識します。

図15 - 20に受信動作のタイミング図を示します。

スタート・ビットを検出すると、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、受信シフト・レジスタに格納していきます。ストップ・ビットを受信すると、転送完了割り込み（INTURn）を発生すると同時に、受信シフト・レジスタのデータは受信バッファ・レジスタn（RXBAn）に書き込まれます。

ただし、オーバラン・エラー（OVEAn）が発生した場合、発生時の受信データはRXBAnに書き込みません。

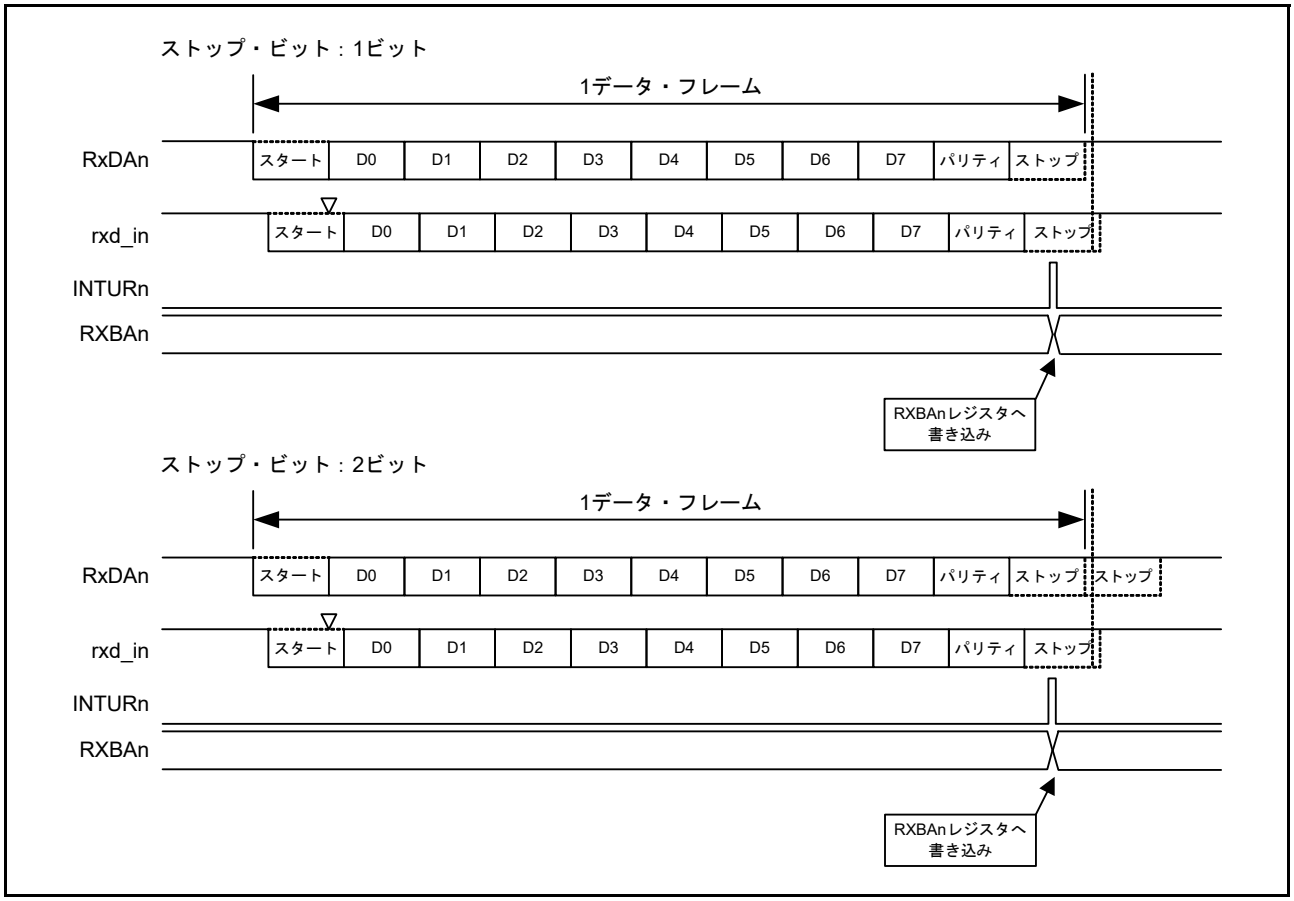
受信途中に、パリティ・エラー（PEAn）、フレーミング・エラー（FEAn）が発生しても、ストップ・ビットの受信位置までは受信を継続し、受信完了後にISRMAnビットで設定した受信エラー割り込み（INTURn/INTUREn）を発生します。

受信エラーが発生した場合はステータス・レジスタn（ASISAn）を読み出したあと、受信バッファ・レジスタn（RXBAn）を読み出し、エラー・フラグをクリアしてください。

受信バッファ・レジスタn（RXBAn）を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が継続します。

受信は常にストップ・ビット長 = 1として動作します。そのため2ビット目のストップ・ビットは無視されます。

図15 - 20　UART受信動作タイミング



備考1. rxd_inは、ノイズ・フィルタによりRXDをラッチした内部信号です（RxDAnよりUART動作クロックで最大3クロック遅延します）。

備考2. 図のINTURの出力タイミングは一例です。BRGCAnレジスタの設定によりRxDAnとの相対的なタイミングは変化します。

(7)　受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。

エラー発生時にはステータス・レジスタn（ASISAn）にエラー・フラグがセットされ、受信エラー割り込み要求信号（INTURnまたはINTUREn）を発生します。

受信エラー割り込み処理ルーチンでステータス・レジスタn（ASISAn）の内容を読み出すことで、エラー・フラグの判別を行うことが可能です。

ステータス・クリア・トリガ・レジスタn（ASCTAn）へ1を設定することによりステータス・レジスタn（ASISAn）の内容は0にクリアされます。

表15 - 3に受信エラー要因を示します。

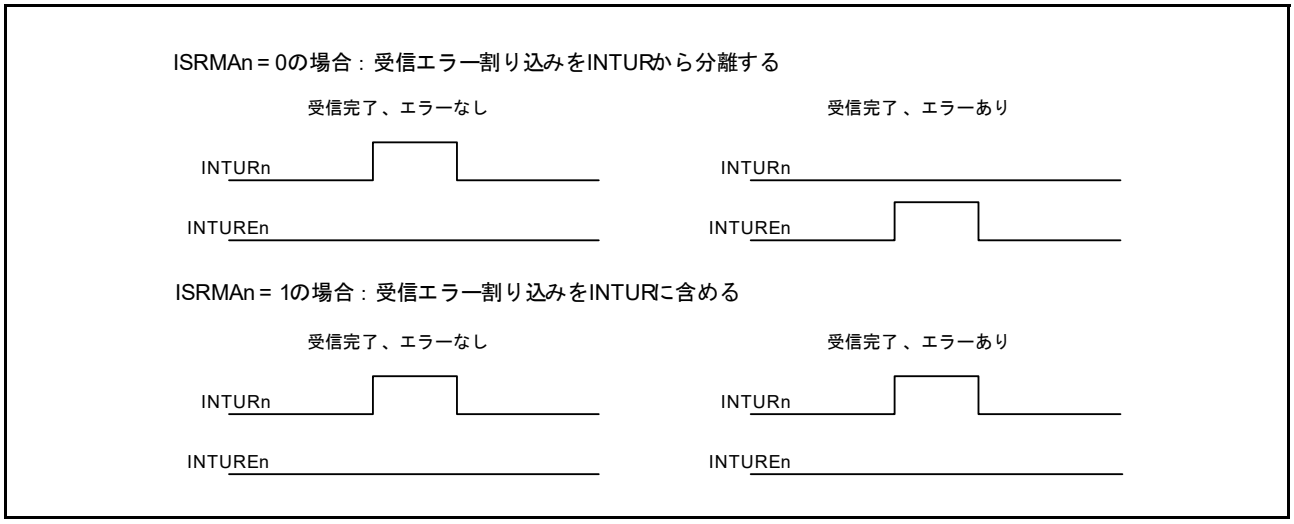
表15 - 3　受信エラー要因

エラー・フラグ	受信エラー	要因
PEAn	パリティ・エラー	受信データと受信パリティが一致しない
FEAn	フレーミング・エラー	ストップ・ビットが検出されない
OVEAn	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了した

動作モード設定レジスタn0（ASIMAn0）のISRMAnビットに0を設定することにより、受信エラー割り込みをINTURnと分離し、INTUREnとして発生させることができます。

図15 - 21にISRMAnビットによる割り込み出力波形を示します。

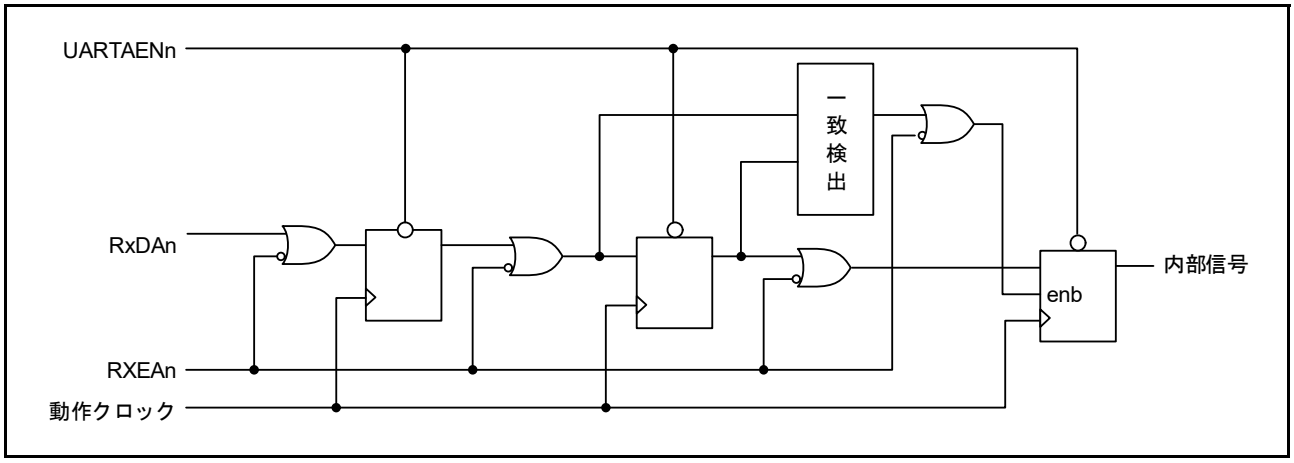
図15 - 21　ISRMAnビットによる割り込み出力波形



15.3.3　受信データのノイズ・フィルタ

受信データ（RxDAn）をサンプリングし、2 回一致するとレベルが確定したとみなします。
回路構成上、受信データは最大 3 動作クロック遅れます。
図 15 - 22 にノイズ・フィルタ回路を示します。

図15 - 22　ノイズ・フィルタ



注意1. ALVn = 0（待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル）の場合、受信データ（RxDAn）の初期値をハイ・レベルとする必要があります。
注意2. ALVn = 1（待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル）の場合、受信データ（RxDAn）の初期値をロウ・レベルとする必要があります。

備考　n：ユニット番号（n = 0）

15.3.4　ボー・レート・ジェネレータ

ボー・レート・ジェネレータは、8ビットのプログラマブル・カウンタにより構成され、シリアル・インタフェースUARTAnにおける送受信時のシリアル・クロックを生成します。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

(a) シリアル・インタフェースUARTAn動作クロック

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットが1のとき、シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）を各モジュールに供給します。UARTAENnビットが0のときは、シリアル・インタフェースUARTAn動作クロックはロウ・レベルに固定となります。

(b) 送信用カウンタ

動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットが0またはTXEAnビットが0のときは0にクリアされた状態で動作を停止します。UARTAENn = 1かつTXEAn = 1でカウントをスタートします。

最初の送信では送信バッファ・レジスタn（TXBAn）への書き込みでカウンタを0にクリアします。

連続送信の場合は1フレーム・データの送信完了で、再びカウンタを0にクリアします。次の送信データがなかった場合、カウンタは0にクリアされず、UARTAENnビットまたはTXEAnビットが0にクリアされるまでカウント動作をそのまま続けます。ASIMAn0レジスタのUARTAENnビットが0またはTXEAnビットが0のときは00Hの状態で動作を停止します。

(c) 受信用カウンタ

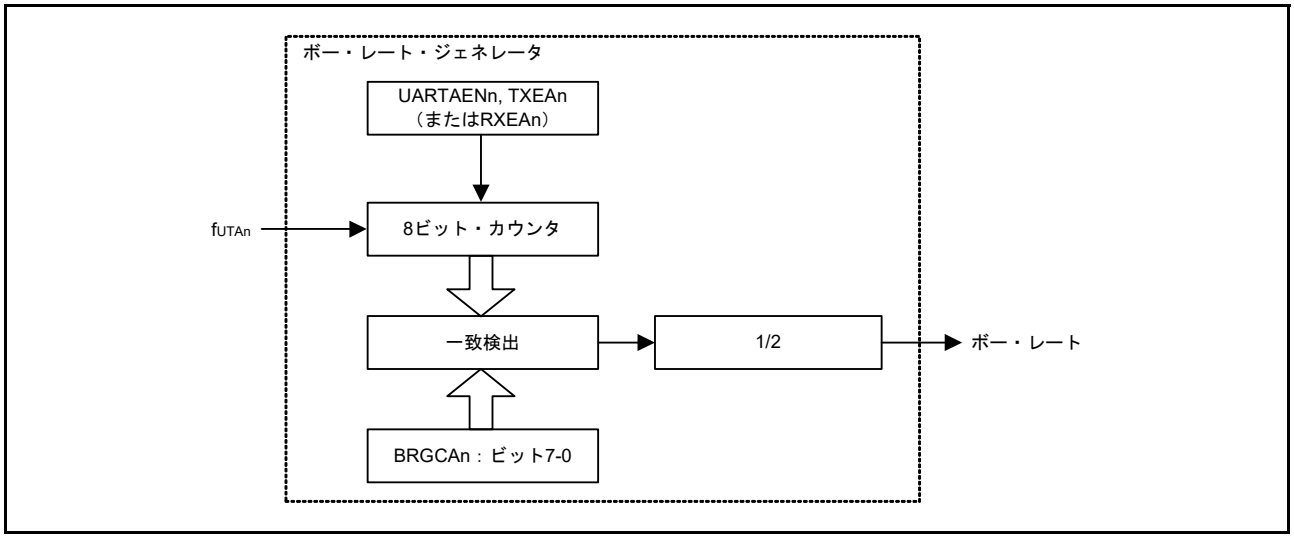
動作モード設定レジスタn0（ASIMAn0）のUARTAENnビットが0またはRXEAnビットが0のときは0にクリアされた状態で動作を停止します。スタート・ビット検出によりカウントをスタートします。

1フレーム受信後は次のスタート・ビット検出まで動作を停止します。ASIMAn0レジスタのUARTAENnビットが0またはRXEAnビットが0のときは00Hの状態で動作を停止します。

備考　n：ユニット番号（n = 0）

図15 - 23にボー・レート・ジェネレータ構成を示します。

図15 - 23　ボー・レート・ジェネレータ構成



(2)　シリアル・クロックの生成

ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）の設定により、生成するシリアル・クロックを設定できます。

8ビットカウンタへの入力クロックを、BRGCAnレジスタのビット7-0により、8ビットカウンタの分周値（$f_{UTA}/2$-$f_{UTA}/255$）を設定できます。

(3)　ボー・レートの算出

(a) ボー・レート計算式

ボー・レートは次の式によって求められます。

ボー・レート = f_{UTAn} ÷（2 × k）[bps]

f_{UTAn}：動作クロックの周波数

k：BRGCAnレジスタのビット7-0で設定した値（k = 2, 3, 4, …, 255）

(b) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差} = \left(\frac{\text{実際のボー・レート（誤差のあるボー・レート）}}{\text{希望するボー・レート（正常なボー・レート）}} - 1 \right) \times 100\ [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内に設定してください。

注意2. 受信時のボー・レート誤差は、受信時の許容ボー・レート誤差範囲を満たすように設定してください。受信時の許容ボー・レート誤差については、15.3.4 (3) (d)　受信時の許容ボー・レート範囲で説明します。

(c) ボー・レート設定例

表15 - 4　ボー・レート・ジェネレータ設定データ (1/4)

目標ボー・レート	fIHP = 32 MHz動作時（UTASEL1, UTASEL0 = 10B）													
	分周なし		2分周		4分周		8分周		16分周		32分周		64分周	
	（UTAnCK3-UTAnCK0 = 0000B）		（UTAnCK3-UTAnCK0 = 0001B）		（UTAnCK3-UTAnCK0 = 0010B）		（UTAnCK3-UTAnCK0 = 0011B）		（UTAnCK3-UTAnCK0 = 0100B）		（UTAnCK3-UTAnCK0 = 0101B）		（UTAnCK3-UTAnCK0 = 0110B）	
	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%
4800 bps	使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%
9600 bps	使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%
19200 bps	使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
38400 bps	使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可	
76800 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可	
115200 bps	139	-0.08%	69	0.64%	35	-0.79%	17	2.12%	使用不可		使用不可		使用不可	
153600 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可	

備考　k ：ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のビット7-0で設定した値
（k = 2, 3, 4, …, 255）

n ：ユニット番号（n = 0）

表15 - 4　　ボー・レート・ジェネレータ設定データ (2/4)

目標ボー・レート	fIMP = 4 MHz動作時（UTASEL1, UTASEL0 = 11B）													
	分周なし（UTAnCK3-UTAnCK0 = 0000B）		2分周（UTAnCK3-UTAnCK0 = 0001B）		4分周（UTAnCK3-UTAnCK0 = 0010B）		8分周（UTAnCK3-UTAnCK0 = 0011B）		16分周（UTAnCK3-UTAnCK0 = 0100B）		32分周（UTAnCK3-UTAnCK0 = 0101B）		64分周（UTAnCK3-UTAnCK0 = 0110B）	
	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		156	0.16%
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%
600 bps	使用不可		使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%
1200 bps	使用不可		使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%
2400 bps	使用不可		使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%
4800 bps	使用不可		208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可	
9600 bps	208	0.16%	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可	
19200 bps	104	0.16%	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可	
38400 bps	52	0.16%	26	0.16%	13	0.16%	使用不可		使用不可		使用不可		使用不可	
76800 bps	26	0.16%	13	0.16%	使用不可		使用不可		使用不可		使用不可		使用不可	
115200 bps	17	2.12%	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
153600 bps	13	0.16%	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	

備考　k ：ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のビット7-0で設定した値
（k = 2, 3, 4, …, 255）
n ：ユニット番号（n = 0）

表15 - 4　　ボー・レート・ジェネレータ設定データ (3/4)

目標ボー・レート	fMXP = 20 MHz動作時（UTASEL1, UTASEL0 = 01B）													
	分周なし		2分周		4分周		8分周		16分周		32分周		64分周	
	（UTAnCK3-UTAnCK0 = 0000B）		（UTAnCK3-UTAnCK0 = 0001B）		（UTAnCK3-UTAnCK0 = 0010B）		（UTAnCK3-UTAnCK0 = 0011B）		（UTAnCK3-UTAnCK0 = 0100B）		（UTAnCK3-UTAnCK0 = 0101B）		（UTAnCK3-UTAnCK0 = 0110B）	
	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差	k値	目標ボー・レートとの誤差
200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
300 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		使用不可	
600 bps	使用不可		使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%
1200 bps	使用不可		使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%
2400 bps	使用不可		使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%
4800 bps	使用不可		使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	-1.36%
9600 bps	使用不可		使用不可		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%
19200 bps	使用不可		255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%
38400 bps	255	2.12%	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%
76800 bps	130	0.16%	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可	
115200 bps	87	-0.22%	43	0.94%	22	-1.36%	11	-1.36%	使用不可		使用不可		使用不可	
153600 bps	65	0.16%	33	-1.36%	16	1.73%	8	1.73%	4	1.73%	使用不可		使用不可	

備考　k ：ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のビット7-0で設定した値
（k = 2, 3, 4, …, 255）
n ：ユニット番号（n = 0）

表15 - 4　　ボー・レート・ジェネレータ設定データ (4/4)

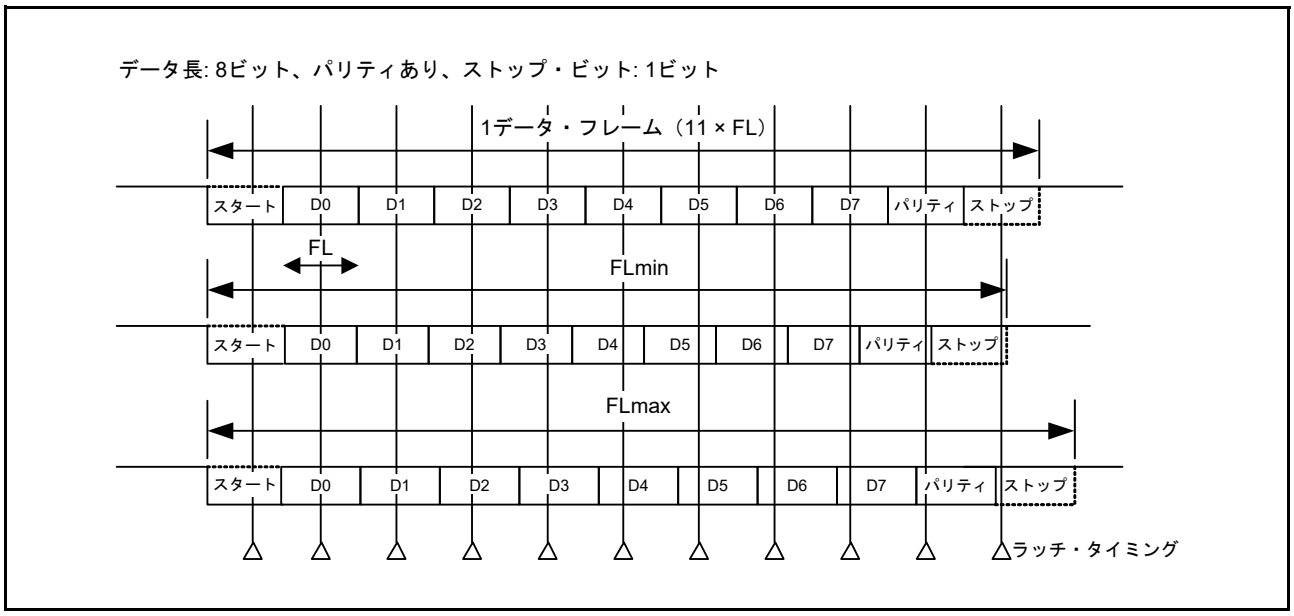
目標ボー・レート	fSXP = 32.768 kHz動作時 （UTAnCK3-UTAnCK0 = 1000B）	
	k値	目標ボー・レートとの誤差
200 bps	82	-0.10%
300 bps	55	-0.70%
600 bps	27	-1.14%
1200 bps	14	-2.48%
2400 bps	7	-2.48%
4800 bps	使用不可	
9600 bps	使用不可	
19200 bps	使用不可	
38400 bps	使用不可	
76800 bps	使用不可	
115200 bps	使用不可	
153600 bps	使用不可	

備考　k ：ボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）のビット7-0で設定した値
（k = 2, 3, 4, …, 255）
n ：ユニット番号（n = 0）

(d) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを**図15 - 24**に示します。

図15 - 24　受信時の許容ボー・レート範囲



注意　**受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定が必要です。**

スタート・ビット検出後はボー・レート・ジェネレータ・コントロール・レジスタn（BRGCAn）で設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。
これを11ビット受信に当てはめると理論上、次のようになります。

- 1ビット・データ長とボー・レートの関係

  FL =（Brate）－1

  Brate：UARTのボー・レート

  k：BRGCAnレジスタの設定値

  FL：1ビット・データ長

★ ラッチ・タイミングのマージンは2クロック

- 許容最小データ・フレーム長（FLmin）

★ k = 3～255のとき：　$FLmin = 11 \times FL - \frac{k-2}{2k} \times FL = \frac{21k+2}{2k} FL$

- 受信可能な送信先の最大ボー・レート（BRmax）

★ k = 2のとき：　$BRmax = Brate + \frac{1}{22k} Brate$

★ k = 3～255のとき：　$BRmax = (FLmin/11)^{-1} = \frac{22k}{21k+2} Brate$

- 許容最大データ・フレーム長（FLmax）

★ k = 3～255のとき：　$FLmax = \frac{21k+2}{20k} FL \times 11$

- 受信可能な送信先の最小ボー・レート（BRmin）

★ k = 2のとき：　$BRmin = Brate - \frac{1}{22k} Brate$

★ k = 3～255のとき：　$BRmin = (FLmax/11)^{-1} = \frac{20k}{21k-2} Brate$

前述の最小／最大ボー・レート値の算出式から求めたUARTと送信先とのボー・レートの許容誤差を**表15 - 5**に示します。

★ 表15 - 5　許容最大／最小ボー・レート誤差

分周比（k）	許容最大ボー・レート誤差	許容最小ボー・レート誤差
2	+2.27%	–2.27%
4	+2.33%	–2.44%
8	+3.53%	–3.61%
20	+4.27%	–4.31%
50	+4.56%	–4.58%
100	+4.66%	–4.67%
255	+4.72%	–4.73%

備考1. 受信の許容誤差は、1フレーム・ビット数、入力クロック周波数、分周比（k）に依存します。入力クロック周波数が高く、分周比（k）が大きくなるほど許容誤差は大きくなります。

備考2. k：BRGCAnレジスタの設定値

n：ユニット番号（n = 0）

15.4　使用時の注意事項

15.4.1　RxDAn端子のポート設定

ALVn = 0（待機時 = ハイ・レベル、スタート・ビット = ロウ・レベル）の場合は、受信データ（RxDAn）の初期値はハイ・レベルとする必要があります。

また、ALVn = 1（待機時 = ロウ・レベル、スタート・ビット = ハイ・レベル）の場合は、受信データ（RxDAn）の初期値はロウ・レベルとする必要があります。

そのため UARTAENn ビットを 1 にする前にポートの設定を行う必要があります。

15.4.2　シリアル・インタフェースUARTAn動作クロック（f_{UTAn}）選択時の注意事項

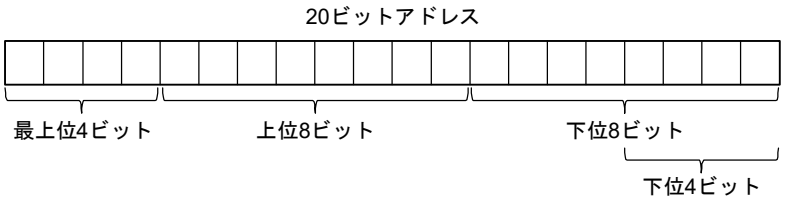
f_{UTAn} に中速オンチップ・オシレータ周辺クロック（f_{IMP}）を選択している場合、中速オンチップ・オシレータの発振周波数の精度が原因で正しく通信できない場合があります。中速オンチップ・オシレータは、中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）を使用して発振周波数精度の補正を行ってください。

f_{UTAn} に低速周辺クロック（f_{SXP}）選択し、かつ f_{SXP} に低速オンチップ・オシレータ周辺クロック（f_{IL}）を選択している場合、低速オンチップ・オシレータの発振周波数精度が原因で正しく通信できない場合があります。低速オンチップ・オシレータは、低速オンチップ・オシレータ・トリミング・レジスタ（LIOTRM）を使用して発振周波数精度の補正を行ってください。

備考　n：ユニット番号（n = 0）

第16章　データ・トランスファ・コントローラ（DTC）

本章の説明で記載されているアドレスの上位 8 ビットとは下記のとおり、20 ビットアドレスのビット（15-8）になります。



また、本章の説明の中で、特に指定がない場合、アドレスの最上位 4 ビットはすべて 1（FxxxxH）になります。

16.1　DTCの機能

データ・トランスファ・コントローラ（DTC）は、CPU を使わずにメモリとメモリの間でデータを転送する機能です。DTC は周辺機能割り込みによって起動し、データ転送します。DTC は CPU と同じデータ・バスを使用し、DTC のバス使用権は CPU よりも優先されます。

表 16 - 1 に DTC の仕様を示します。

表16 - 1　　DTCの仕様 (1/2)

項目		仕様
起動要因		21要因（16ピン製品）／23要因（20ピン製品）／25要因（24, 25ピン製品）／28要因（30, 32ピン製品）／30要因（36ピン製品）／31要因（40, 44ピン製品）／32要因（48ピン製品）
配置可能なコントロール・データ		24通り
転送可能な アドレス空間	アドレス空間	64 Kバイト空間（F0000H-FFFFFH）ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ（SFR）、RAM領域（汎用レジスタを除く）、ミラー領域注、 データ・フラッシュ・メモリ領域注、拡張特殊機能レジスタ（2nd SFR）
	デスティネーション	特殊機能レジスタ（SFR）、RAM領域（汎用レジスタを除く）、拡張特殊機能レジスタ（2nd SFR）
最大転送回数	ノーマル・モード	256回
	リピート・モード	255回
最大転送 ブロック・サイズ	ノーマル・モード （8ビット転送）	256バイト
	ノーマル・モード （16ビット転送）	512バイト
	リピート・モード	255バイト
転送単位		8ビット／16ビット
転送モード	ノーマル・モード	DTCCTj レジスタが1から0になる転送で終了する
	リピート・モード	DTCCTj レジスタが1から0になる転送終了後、リピート・エリアのアドレスを初期化し、DTRLDj レジスタの値がDTCCTj レジスタへリロードして転送を継続する

表16 - 1　DTCの仕様 (2/2)

項目		仕様
アドレス制御	ノーマル・モード	固定または加算
	リピート・モード	リピート・エリアでないアドレスを固定または加算
起動要因優先度		**表16 - 3　DTC起動要因とベクタ・アドレス**参照
割り込み要求	ノーマル・モード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピート・モード	DTCCRjレジスタのRPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求を発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi7-DTCENi0ビットを1（起動許可）にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマル・モード	DTCENi7-DTCENi0ビットを0（起動禁止）にする DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピート・モード	DTCENi7-DTCENi0ビットを0（起動禁止）にする RPTINTビットが1（割り込み発生許可）のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

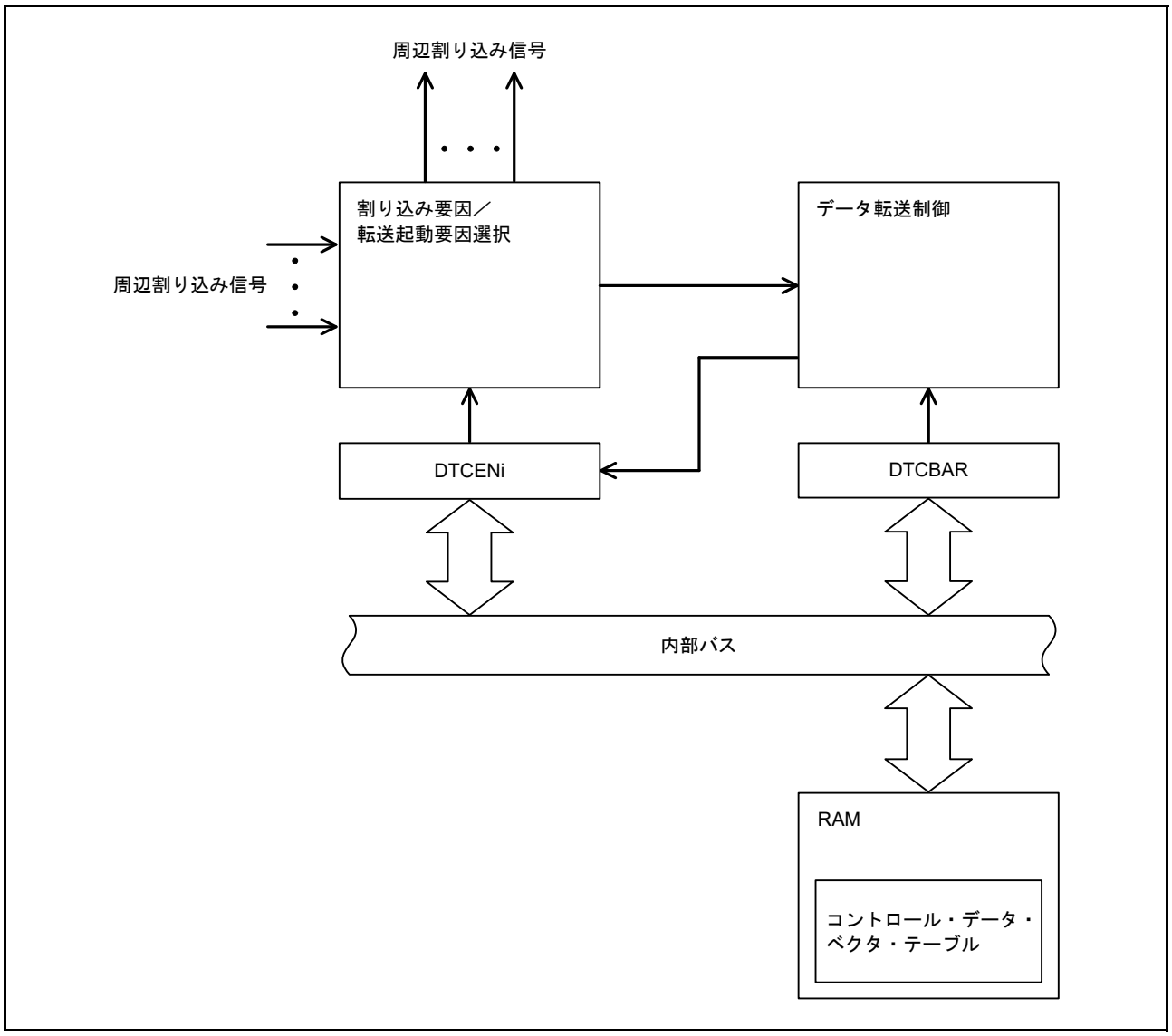
注　HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考　i = 0-4, j = 0-23

16.2　DTCの構成

図 16 - 1 に DTC のブロック図を示します。

図16 - 1　　DTCのブロック図



備考　i = 0-4

16.3　DTCを制御するレジスタ

DTC を制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- DTC起動許可レジスタi（DTCENi）
- DTCベース・アドレス・レジスタ（DTCBAR）

下記に DTC のコントロール・データを示します。
DTC のコントロール・データは RAM の DTC コントロール・データ領域に配置されます。
DTCBAR レジスタで DTC コントロール・データ領域と、コントロール・データの先頭番地を格納する DTC ベクタ・テーブル領域を含めた 256 バイトの領域を設定します。

- DTC制御レジスタj（DTCCRj）
- DTCブロック・サイズ・レジスタj（DTBLSj）
- DTC転送回数レジスタj（DTCCTj）
- DTC転送回数リロード・レジスタj（DTRLDj）
- DTCソース・アドレス・レジスタj（DTSARj）
- DTCデスティネーション・アドレス・レジスタj（DTDARj）

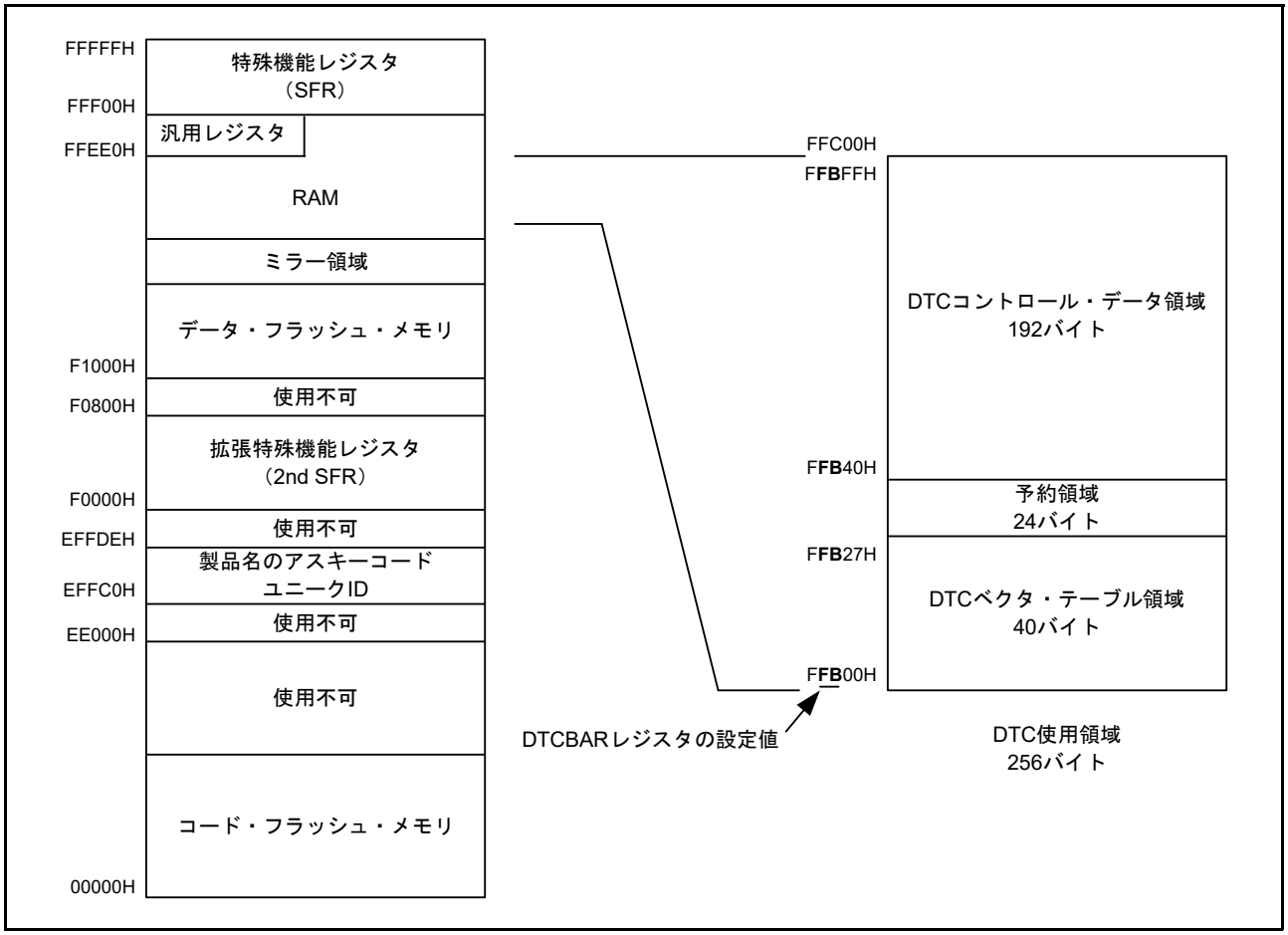
16.3.1　DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCBAR レジスタで、DTC のコントロール・データとベクタ・テーブルを配置する 256 バイトの領域を RAM 領域内に設定します。

図 16 - 2 に DTCBAR レジスタに FBH を設定したときのメモリ・マップ例を示します。

DTC コントロール・データ領域 192 バイトのうち、DTC で使用しない空間は RAM として使用できます。

図16 - 2　DTCBARレジスタにFBHを設定したときのメモリ・マップ例



注意1. 汎用レジスタ（FFEE0H-FFEFFH）の空間は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。

注意2. スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。

16.3.2　コントロール・データの配置

コントロール・データは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタ（j = 0-23）の順に配置します。

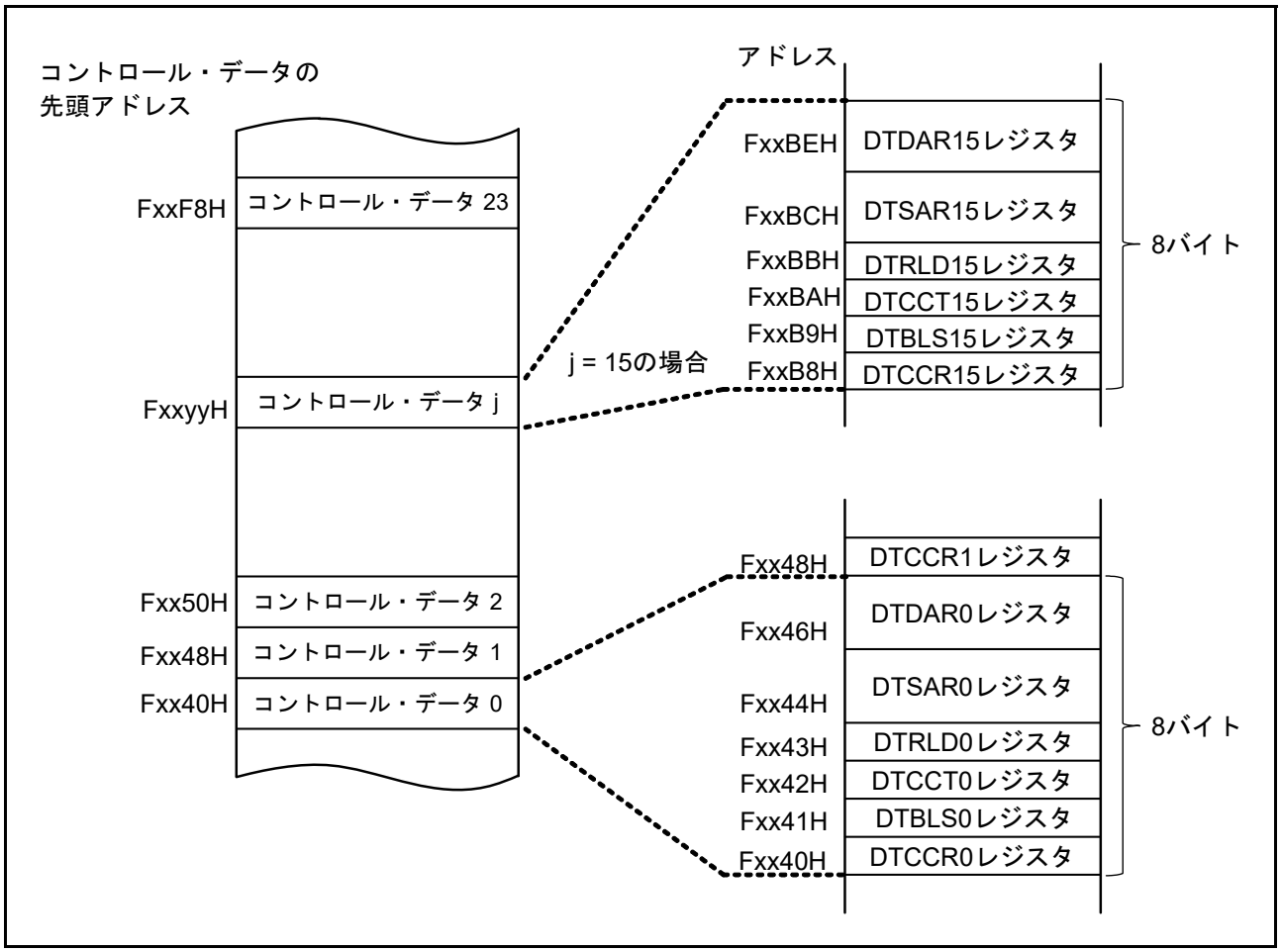
先頭アドレス 0 ～ 23 の上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因ごとに割り当てられているベクタ・テーブルでそれぞれ設定します。

図 16 - 3 にコントロール・データの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは、対応するDTCENi レジスタ（i = 0-4）のDTCENi7-DTCENi0 ビットが0（起動禁止）のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタをアクセスしないでください。

図16 - 3　　コントロール・データの配置



備考　xx：DTCBAR レジスタの設定値

表16 - 2　　コントロール・データjの先頭アドレス

j	アドレス
11	Fxx98H
10	Fxx90H
9	Fxx88H
8	Fxx80H
7	Fxx78H
6	Fxx70H
5	Fxx68H
4	Fxx60H
3	Fxx58H
2	Fxx50H
1	Fxx48H
0	Fxx40H

j	アドレス
23	FxxF8H
22	FxxF0H
21	FxxE8H
20	FxxE0H
19	FxxD8H
18	FxxD0H
17	FxxC8H
16	FxxC0H
15	FxxB8H
14	FxxB0H
13	FxxA8H
12	FxxA0H

備考　xx：DTCBARレジスタの設定値

16.3.3　ベクタ・テーブル

DTC が起動すると、起動要因ごとに割り当てられているベクタ・テーブルから読み出したデータによりコントロール・データを決定し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。

表 16 - 3 に DTC 起動要因とベクタ・アドレスを示します。起動要因ごとにベクタ・テーブルが 1 バイトあり、40H から F8H に格納されている 24 組のコントロール・データから 1 つを選択します。ベクタ・アドレスの上位 8 ビットは DTCBAR レジスタで設定し、下位 8 ビットは起動要因に対応して 00H から 27H までが割り当てられます。

注意　ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は、対応するDTCENiレジスタ（i = 0-4）のDTCENi7-DTCENi0ビットが0（起動禁止）のときに変更してください。

図16 - 4　コントロール・データの先頭アドレスとベクタ・テーブル

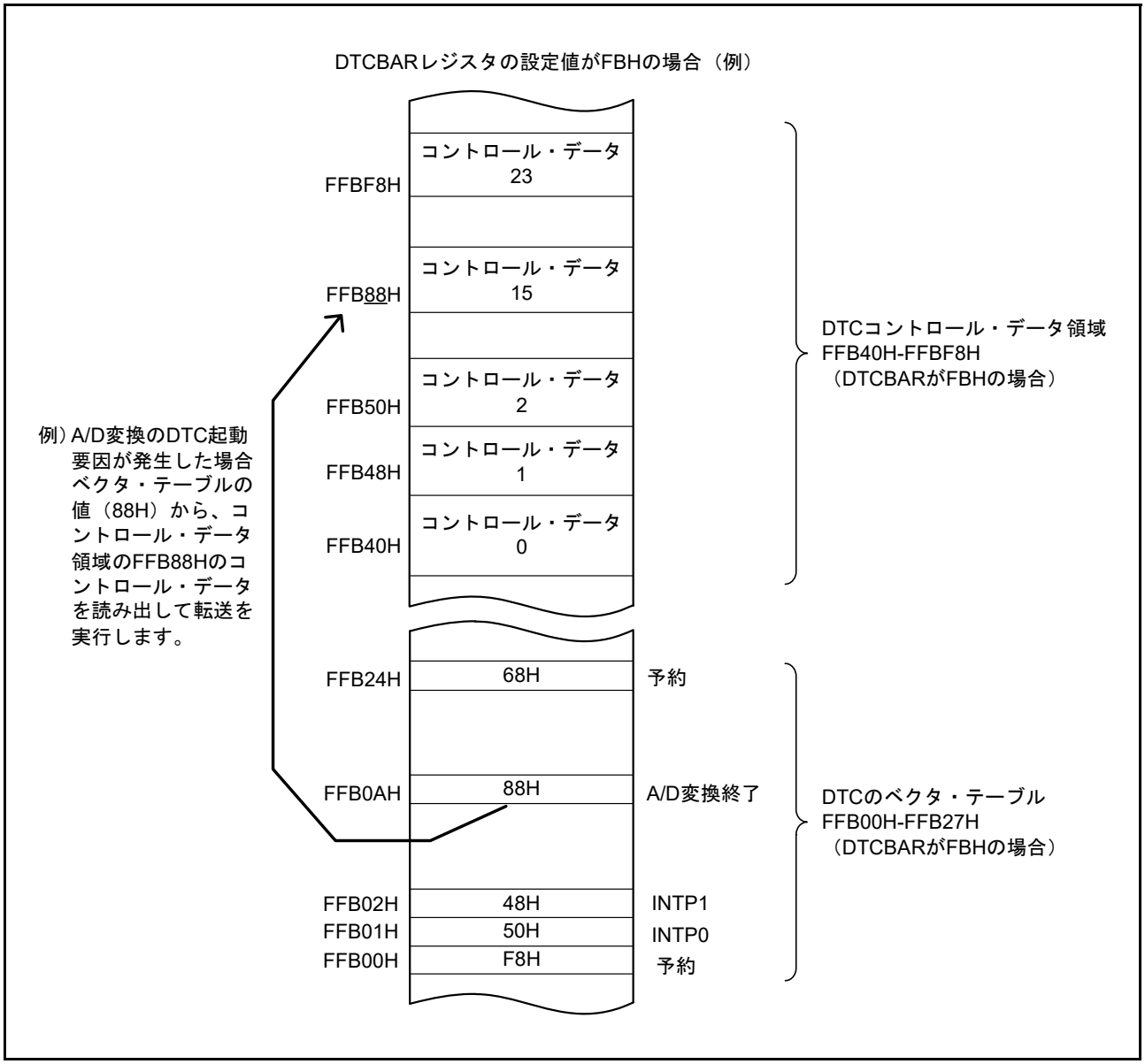


表16 - 3　DTC起動要因とベクタ・アドレス

DTC起動要因（割り込み要因発生元）	要因番号	ベクタ・アドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス + 00H	高
INTP0	1	DTCBARレジスタの設定アドレス + 01H	↑
INTP1注1	2	DTCBARレジスタの設定アドレス + 02H	
INTP2注2	3	DTCBARレジスタの設定アドレス + 03H	
INTP3	4	DTCBARレジスタの設定アドレス + 04H	
INTP4注1	5	DTCBARレジスタの設定アドレス + 05H	
INTP5注3	6	DTCBARレジスタの設定アドレス + 06H	
INTP6注4	7	DTCBARレジスタの設定アドレス + 07H	
予約	8	DTCBARレジスタの設定アドレス + 08H	
キー入力注5	9	DTCBARレジスタの設定アドレス + 09H	
A/D変換終了	10	DTCBARレジスタの設定アドレス + 0AH	
UART0受信の転送完了／CSI01の転送完了またはバッファ空き／IIC01の転送完了	11	DTCBARレジスタの設定アドレス + 0BH	
UART0送信の転送完了／CSI00の転送完了またはバッファ空き／IIC00の転送完了	12	DTCBARレジスタの設定アドレス + 0CH	
UART1受信の転送完了／CSI11の転送完了またはバッファ空き／IIC11の転送完了	13	DTCBARレジスタの設定アドレス + 0DH	
UART1送信の転送完了注3	14	DTCBARレジスタの設定アドレス + 0EH	
UART2受信の転送完了／CSI21の転送完了またはバッファ空き／IIC21の転送完了注2	15	DTCBARレジスタの設定アドレス + 0FH	
UART2送信の転送完了／CSI20の転送完了またはバッファ空き／IIC20の転送完了注2	16	DTCBARレジスタの設定アドレス + 10H	
予約	17	DTCBARレジスタの設定アドレス + 11H	
予約	18	DTCBARレジスタの設定アドレス + 12H	
UARTA0受信の転送完了注6	19	DTCBARレジスタの設定アドレス + 13H	
UARTA0送信の転送完了/バッファ空き注6	20	DTCBARレジスタの設定アドレス + 14H	
予約	21	DTCBARレジスタの設定アドレス + 15H	
予約	22	DTCBARレジスタの設定アドレス + 16H	
タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了	23	DTCBARレジスタの設定アドレス + 17H	
タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	24	DTCBARレジスタの設定アドレス + 18H	
タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	25	DTCBARレジスタの設定アドレス + 19H	
タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	26	DTCBARレジスタの設定アドレス + 1AH	
タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	27	DTCBARレジスタの設定アドレス + 1BH	
タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了	28	DTCBARレジスタの設定アドレス + 1CH	
タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了	29	DTCBARレジスタの設定アドレス + 1DH	
タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了	30	DTCBARレジスタの設定アドレス + 1EH	
リアルタイム・クロックの定周期信号／アラーム一致検出	31	DTCBARレジスタの設定アドレス + 1FH	
32ビット・インターバル・タイマのインターバル信号検出	32	DTCBARレジスタの設定アドレス + 20H	
静電容量センサユニットのチャネルごとの設定レジスタ書き込み要求	33	DTCBARレジスタの設定アドレス + 21H	
★ 静電容量センサユニットの計測データ転送要求	34	DTCBARレジスタの設定アドレス + 22H	
予約	35	DTCBARレジスタの設定アドレス + 23H	
予約	36	DTCBARレジスタの設定アドレス + 24H	
イベント・リンク・コントローラからのイベント出力	37	DTCBARレジスタの設定アドレス + 25H	
SNOOZEモード・シーケンサからのイベント出力	38	DTCBARレジスタの設定アドレス + 26H	↓
電圧検出注7	39	DTCBARレジスタの設定アドレス + 27H	低

注1.　24～48ピン製品のみ
注2.　30～48ピン製品のみ
注3.　20～48ピン製品のみ
注4.　48ピン製品のみ
注5.　40～48ピン製品のみ
注6.　36～48ピン製品のみ
注7.　ユーザ・オプション・バイト（000C1H）のビット6（LVD0SEL）= 0選択時または電圧検出レベル・レジスタ（LVIS）のビット6（LVD1SEL）= 0選択時

16.3.4　周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

DTC を使用する場合は、必ず DTCEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図16 - 5　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス　：F00FAH
リセット時：00H
R/W属性　：R/W

略号	7	<6>	5	<4>	<3>	<2>	1	<0>
PER1	0	SMSEN	0	TML32EN	DTCEN	UTAEN 注	0	CTSUEN

DTCEN	DTCの入力クロック供給の制御
0	入力クロック供給停止 • DTCで使用するSFRへのライト不可
1	入力クロック供給 • DTCは動作可

注　36～48ピン製品のみ

注意1.　ビット7, 5, 1には、必ず0を設定してください。

注意2.　次のビットには、必ず0を設定してください。

16～32ピン製品：ビット2

16.3.5　DTC制御レジスタj（DTCCRj）

DTCCRj レジスタは、DTC の動作モードを制御するレジスタです。

備考　j = 0-23

図16 - 6　DTC制御レジスタj（DTCCRj）のフォーマット (1/2)

アドレス　：**16.3.2　コントロール・データの配置**参照
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE

SZ	転送データサイズの選択
0	8ビット
1	16ビット

RPTINT	リピート・モード割り込みの許可・禁止
0	割り込み発生禁止
1	割り込み発生許可
MODEビットが0（ノーマル・モード）のとき、本ビットの設定は無効です。	

CHNE	チェイン転送の許可・禁止
0	チェイン転送禁止
1	チェイン転送許可
DTCCR23レジスタのCHNEビットは0（チェイン転送禁止）にしてください。	

DAMOD	転送先アドレスの制御
0	固定
1	加算
MODEビットが1（リピート・モード）でRPTSELビットが0（転送先がリピート・エリア）のとき、本ビットの設定は無効です。	

SAMOD	転送元アドレスの制御
0	固定
1	加算
MODEビットが1（リピート・モード）でRPTSELビットが1（転送元がリピート・エリア）のとき、本ビットの設定は無効です。	

RPTSEL	リピート・エリアの選択
0	転送先がリピート・エリア
1	転送元がリピート・エリア
MODEビットが0（ノーマル・モード）のとき、本ビットの設定は無効です。	

図16 - 6　DTC制御レジスタj（DTCCRj）のフォーマット (2/2)

MODE	転送モードの選択
0	ノーマル・モード
1	リピート・モード

注意　DTC転送でDTCCRjレジスタをアクセスしないでください。

備考　j = 0-23

16.3.6　DTCブロック・サイズ・レジスタj（DTBLSj）

DTBLSj レジスタは、1回の起動で転送されるデータのブロック・サイズを設定するレジスタです。

図16 - 7　DTCブロック・サイズ・レジスタj（DTBLSj）のフォーマット

アドレス　：**16.3.2　コントロール・データの配置**参照
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0

DTBLSj	転送ブロック・サイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
・ ・ ・	・ ・ ・	・ ・ ・
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意　**DTC転送でDTBLSjレジスタをアクセスしないでください。**

備考　j = 0-23

16.3.7　DTC転送回数レジスタj（DTCCTj）

DTCCTj レジスタは、DTC のデータ転送回数を設定するレジスタです。DTC 転送が 1 回起動するたびに 1 減算されます。

図16 - 8　DTC転送回数レジスタj（DTCCTj）のフォーマット

アドレス　：**16.3.2　コントロール・データの配置**参照
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
・ ・ ・	・ ・ ・
FDH	253回
FEH	254回
FFH	255回

注意　DTC転送でDTCCTjレジスタをアクセスしないでください。

備考　j = 0-23

16.3.8　DTC転送回数リロード・レジスタj（DTRLDj）

DTRLDj レジスタは、リピート・モードで転送回数レジスタの初期値を設定するレジスタです。リピート・モード時は、本レジスタの値が DTCCTj レジスタにリロードされますので、DTCCTj レジスタの初期値と同じ値を設定してください。

図16 - 9　DTC転送回数リロード・レジスタj（DTRLDj）のフォーマット

アドレス　：**16.3.2　コントロール・データの配置**参照
リセット時：不定
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意　DTC転送でDTRLDjレジスタをアクセスしないでください。

備考　j = 0-23

16.3.9　DTCソース・アドレス・レジスタj（DTSARj）

DTSARj レジスタは、データ転送時の転送元アドレスを指定するレジスタです。

DTCCRj レジスタの SZ ビットが 1（転送サイズが 16 ビット）のとき、最下位ビットは無視され、偶数番地として扱われます。

図16 - 10　DTCソース・アドレス・レジスタj（DTSARj）のフォーマット

アドレス　：**16.3.2　コントロール・データの配置**参照
リセット時：不定
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
DTSARj	DTSARj15	DTSARj14	DTSARj13	DTSARj12	DTSARj11	DTSARj10	DTSARj9	DTSARj8

7	6	5	4	3	2	1	0
DTSARj7	DTSARj6	DTSARj5	DTSARj4	DTSARj3	DTSARj2	DTSARj1	DTSARj0

注意1. 転送元アドレスに汎用レジスタ（FFEE0H-FFEFFH）空間を設定しないでください。
注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

備考　j = 0-23

16.3.10　DTCデスティネーション・アドレス・レジスタj（DTDARj）

DTDARj レジスタは、データ転送時の転送先アドレスを指定するレジスタです。

DTCCRj レジスタの SZ ビットが 1（転送サイズが 16 ビット）のとき、最下位ビットは無視され、偶数番地として扱われます。

図16 - 11　DTCデスティネーション・アドレス・レジスタj（DTDARj）のフォーマット

アドレス　：**16.3.2　コントロール・データの配置**参照
リセット時：不定
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
DTDARj	DTDARj15	DTDARj14	DTDARj13	DTDARj12	DTDARj11	DTDARj10	DTDARj9	DTDARj8

7	6	5	4	3	2	1	0
DTDARj7	DTDARj6	DTDARj5	DTDARj4	DTDARj3	DTDARj2	DTDARj1	DTDARj0

注意1. 転送先アドレスに汎用レジスタ（FFEE0H-FFEFFH）空間を設定しないでください。
注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

備考　j = 0-23

16.3.11　DTC起動許可レジスタi（DTCENi）

DTCENi レジスタは、各割り込み要因による DTC 起動の許可または禁止を制御する 8 ビットレジスタです。**表 16 - 4** に割り込み要因と DTCENi7-DTCENi0 ビットの対応を示します。

DTCENi レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

注意1. DTCENi7-DTCENi0 ビットは、そのビットに対応する起動要因が発生しない箇所で変更してください。

注意2. DTC転送でDTCENi レジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには、必ず0を設定してください。

備考　i = 0-4

図16 - 12　DTC起動許可レジスタi（DTCENi）のフォーマット (1/2)

アドレス　：F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), F02EBH (DTCEN3), F02ECH (DTCEN4)
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
DTCENi	DTCENi7	DTCENi6	DTCENi5	DTCENi4	DTCENi3	DTCENi2	DTCENi1	DTCENi0

DTCENi7	DTC起動許可i7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi7ビットは0（起動禁止）になります。	

DTCENi6	DTC起動許可i6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi6ビットは0（起動禁止）になります。	

DTCENi5	DTC起動許可i5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi5ビットは0（起動禁止）になります。	

DTCENi4	DTC起動許可i4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi4ビットは0（起動禁止）になります。	

DTCENi3	DTC起動許可i3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi3ビットは0（起動禁止）になります。	

図16 - 12　DTC起動許可レジスタi（DTCENi）のフォーマット (2/2)

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0（起動禁止）になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0（起動禁止）になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0（起動禁止）になります。	

備考　i = 0-4

表16 - 4　割り込み要因とDTCENi7-DTCENi0ビットの対応

レジスタ	DTCENi7ビット	DTCENi6ビット	DTCENi5ビット	DTCENi4ビット	DTCENi3ビット	DTCENi2ビット	DTCENi1ビット	DTCENi0ビット
DTCEN0	予約	INTP0	INTP1注1	INTP2注2	INTP3	INTP4注1	INTP5注3	INTP6注4
DTCEN1	予約	キー入力注5	A/D変換終了	UART0受信の転送完了／CSI01の転送完了またはバッファ空き／IIC01の転送完了	UART0送信の転送完了／CSI00の転送完了またはバッファ空き／IIC00の転送完了	UART1受信の転送完了／CSI11の転送完了またはバッファ空き／IIC11の転送完了	UART1送信の転送完了注3	UART2受信の転送完了／CSI21の転送完了またはバッファ空き／IIC21の転送完了注2
DTCEN2	UART2送信の転送完了／CSI20の転送完了またはバッファ空き／IIC20の転送完了注2	予約	予約	UARTA0受信の転送完了注6	UARTA0送信の転送完了／バッファ空き注6	予約	予約	タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了
DTCEN3	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了	タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了	リアルタイム・クロックの定周期信号／アラーム一致検出
★ DTCEN4	32ビット・インターバル・タイマのインターバル信号検出	静電容量センサユニットのチャネルごとの設定レジスタ書き込み要求	静電容量センサユニットの計測データ転送要求	予約	予約	イベント・リンク・コントローラからのイベント出力	SNOOZEモード・シーケンサからのイベント出力	電圧検出注7

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注3.　20～48ピン製品のみ

注4.　48ピン製品のみ

注5.　40～48ピン製品のみ

注6.　36～48ピン製品のみ

注7.　ユーザ・オプション・バイト（000C1H）のビット6（LVD0SEL）= 0選択時または電圧検出レベル・レジスタ（LVIS）のビット6（LVD1SEL）= 0選択時

注意　**機能が割り当てられていないビットには、必ず0を設定してください。**

備考　i = 0-4

16.3.12　DTCベース・アドレス・レジスタ（DTCBAR）

DTCBAR レジスタは、DTC コントロール・データ領域の先頭番地を格納するベクタ・アドレスと、DTC コントロール・データ領域のアドレスを設定する 8 ビットレジスタです。DTCBAR レジスタの値を上位 8 ビットとして 16 ビットのアドレスを生成します。

DTCBAR レジスタは、8 ビット・メモリ操作命令で設定します。

注意1. DTCBARレジスタは、すべてのDTC起動要因を起動禁止に設定した状態で変更してください。

注意2. DTCBARレジスタを2回以上書き換えないでください。

注意3. DTC転送でDTCBARレジスタをアクセスしないでください。

注意4. DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置については、16.3.1　DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置の注意を参照してください。

図16 - 13　DTCベース・アドレス・レジスタ（DTCBAR）のフォーマット

アドレス　：F02E0H
リセット時：FDH
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

16.4　DTCの動作

DTC が起動すると、DTC コントロール・データ領域からコントロール・データを読み出し、このコントロール・データに従ってデータ転送を行い、データ転送後のコントロール・データを DTC コントロール・データ領域へ書き戻します。24 組のコントロール・データを DTC コントロール領域へ格納でき、24 通りのデータ転送ができます。

転送モードにはノーマル・モードとリピート・モードがあり、転送サイズは 8 ビットと 16 ビットがあります。また、★ DTCCRj レジスタ（j = 0-22）の CHNE ビットが 1（チェイン転送許可）のとき、1 つの起動要因に対して複数のコントロール・データを読み出し、連続してデータを転送します（チェイン転送）。

転送元アドレスは 16 ビット長の DTSARj レジスタ、転送先は 16 ビット長の DTDARj レジスタで指定します。DTSARj レジスタと DTDARj レジスタは、データ転送後、コントロール・データに従って加算されるか固定されます。

16.4.1　起動要因

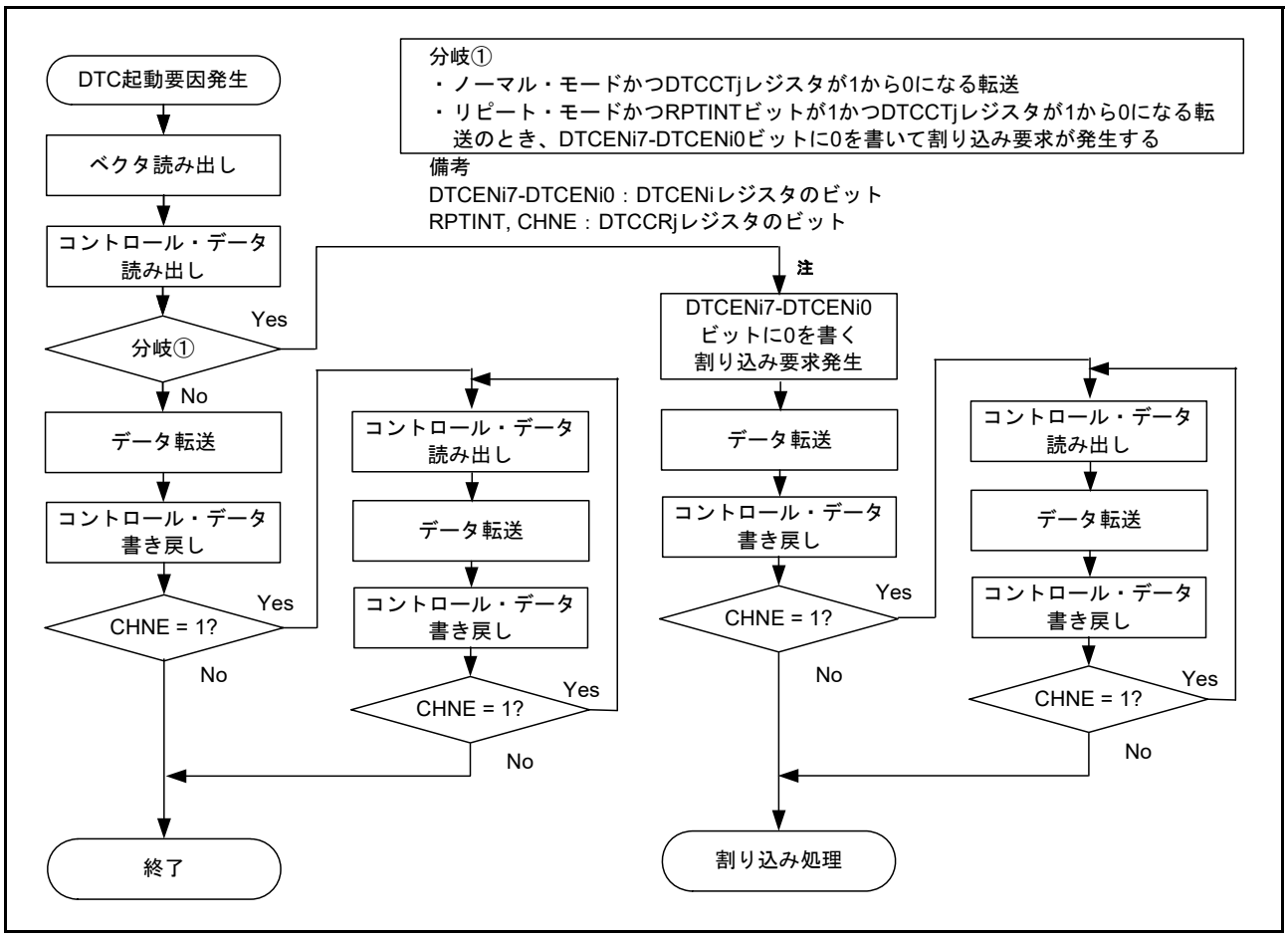
DTC は、周辺機能からの割り込み信号により起動します。DTC を起動する割り込み信号は、DTCENi レジスタ（i = 0-4）で選択します。

データ転送（チェイン転送の場合、連続して行う最初の転送）の設定が、以下のいずれかの状態のとき、DTC は動作中に DTCENi レジスタの対応する DTCENi7-DTCENi0 ビットを 0（起動禁止）にします。

- ノーマル・モードでDTCCTj レジスタ（j = 0-23）が0になる転送
- リピート・モードでDTCCRj レジスタのRPTINT ビットが1（割り込み発生許可）かつDTCCTj レジスタが0になる転送

図 16 - 14 に DTC 内部動作フロー・チャートを示します。

図16 - 14　DTC内部動作フロー・チャート



注　チェイン転送の許可（CHNE ビットが1）の設定により起動されたデータ転送では、DTCENi7-DTCENi0 ビットに0を書きません。また、割り込み要求は発生しません。

備考　i = 0-4, j = 0-23

16.4.2　ノーマル・モード

1 回の起動で、8 ビット転送の場合 1 ～ 256 バイト、16 ビット転送の場合 2 ～ 512 バイトをデータ転送します。転送回数は 1 ～ 256 回です。DTCCTj レジスタ（j = 0-23）が 0 になるデータ転送を行うとき、DTC は動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi レジスタ（i = 0-4）の対応する DTCENi7-DTCENi0 ビットを 0（起動禁止）にします。

表 16 - 5 にノーマル・モードでのレジスタ機能、**図 16 - 15** にノーマル・モードでのデータ転送を示します。

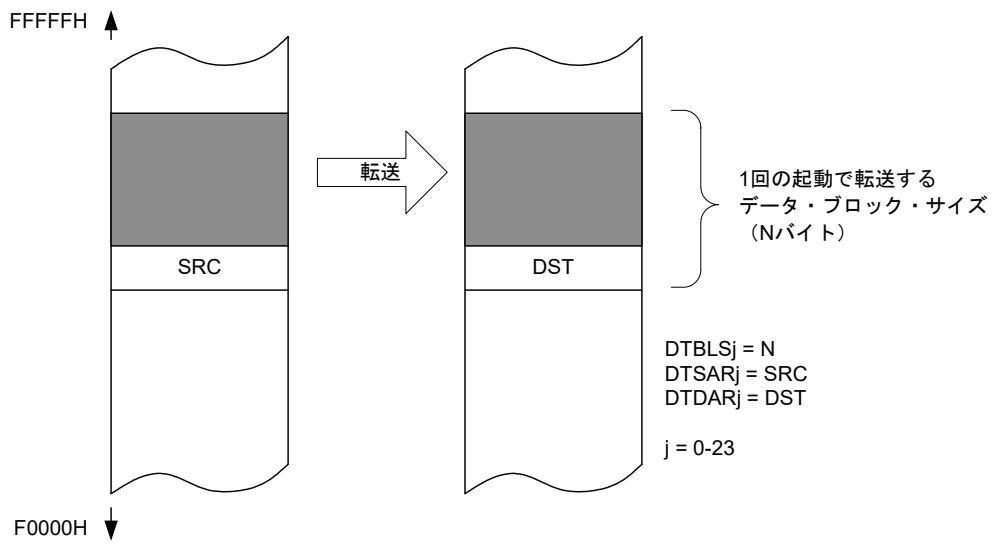
表16 - 5　ノーマル・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	使用しません注
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

注　RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可（RPERDIS = 0）している場合は、初期化（00H）してください。

備考　j = 0-23

図16 - 15　ノーマル・モードでのデータ転送



DTCCRjレジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	×	0	固定	固定	SRC	DST
0	1	×	0	加算	固定	SRC + N	DST
1	0	×	0	固定	加算	SRC	DST + N
1	1	×	0	加算	加算	SRC + N	DST + N

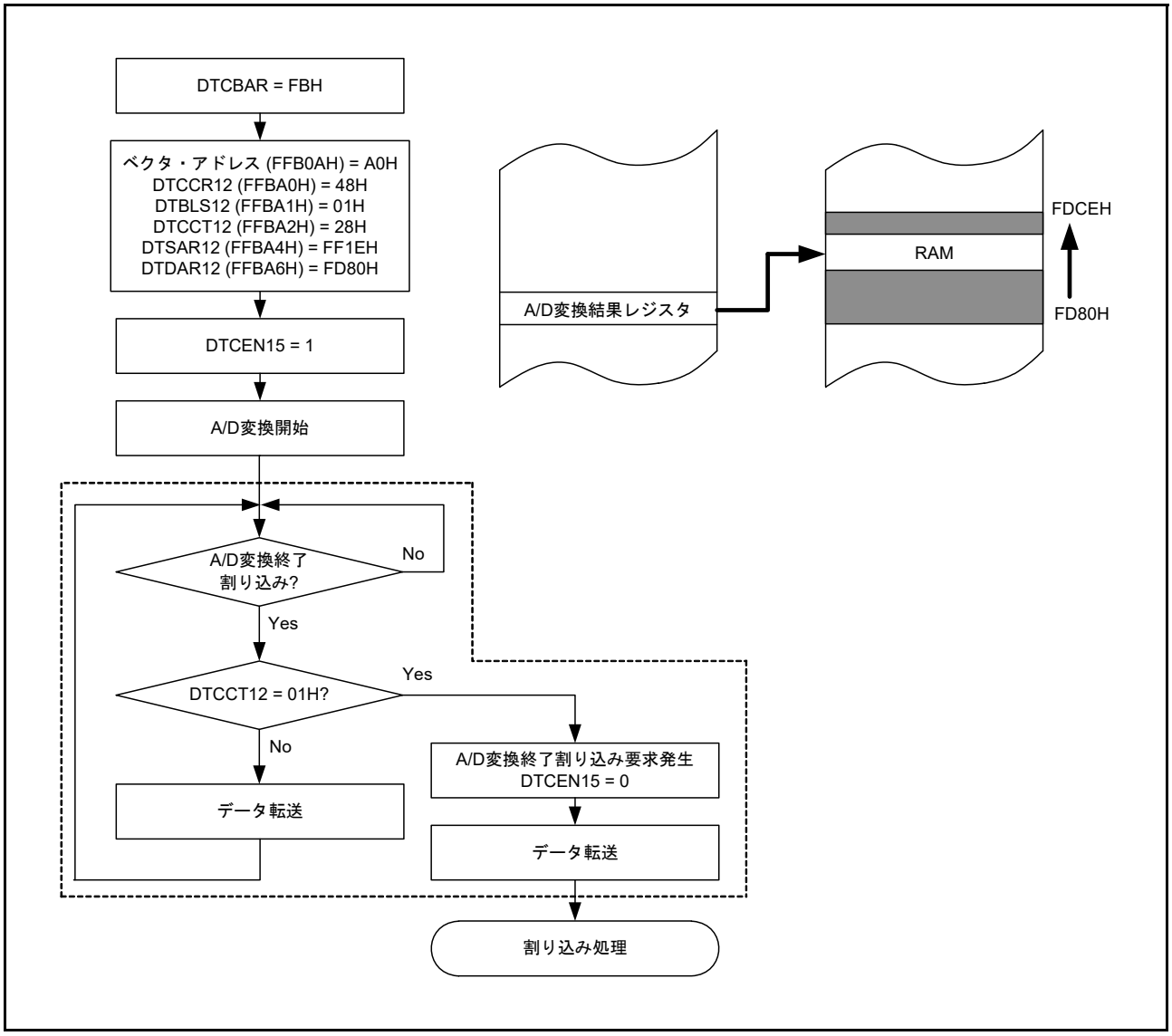
×：0または1

(1)　ノーマル・モードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタ・アドレスはFFB0AH、コントロール・データはFFBA0H-FFBA7Hに配置
- A/D変換結果レジスタ（FFF1EH, FFF1FH）の2バイト・データをRAMのFFD80H-FFDCFHの80バイトへ40回転送

図16 - 16　ノーマル・モードの使用例1：A/D変換結果の連続取り込み



備考　[　] 内の処理はDTCが自動で実行します。

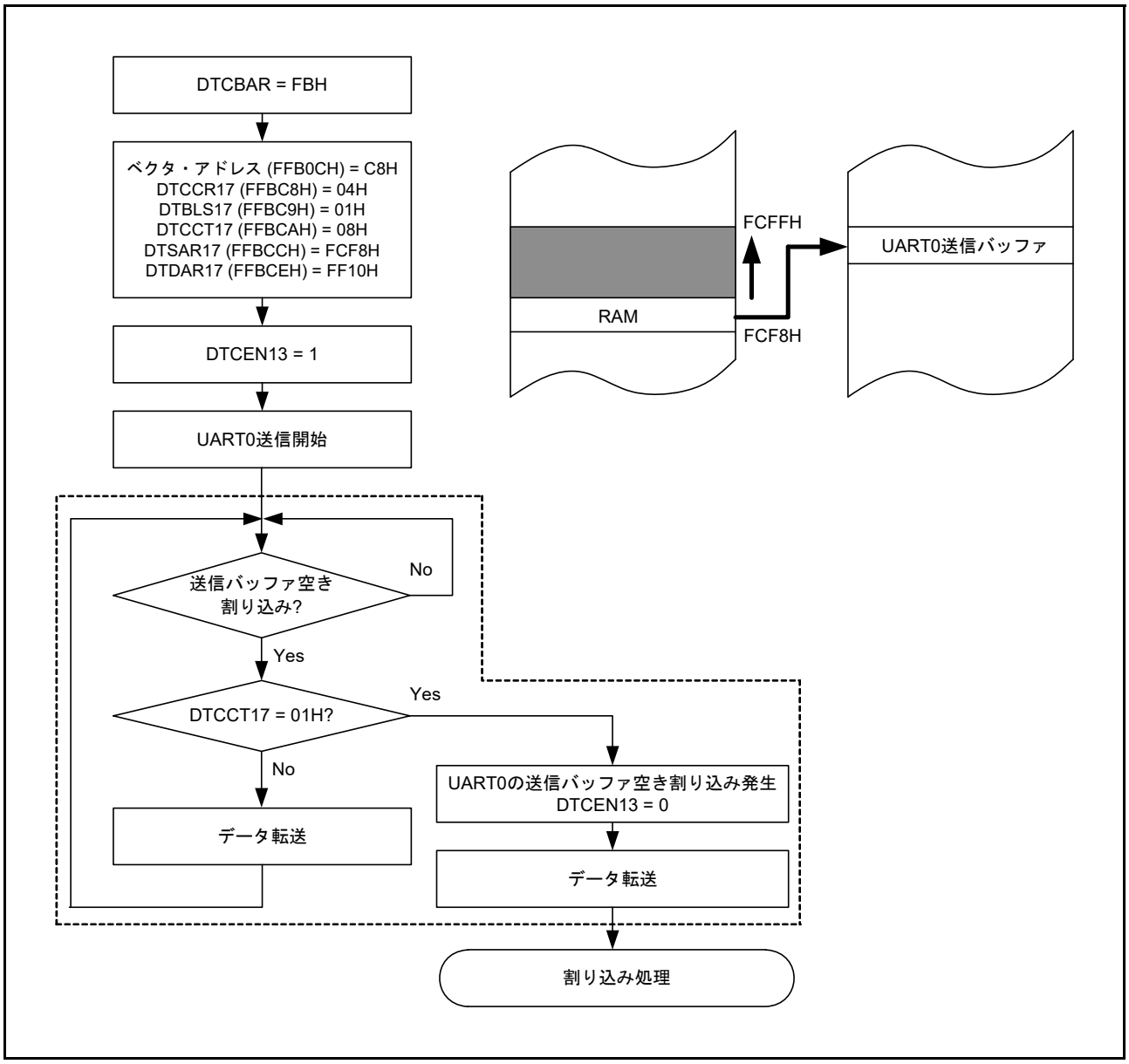
ノーマル・モードのため、DTRLD12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可（RPERDIS = 0）している場合は、DTRLD12レジスタを初期化（00H）してください。

(2)　ノーマル・モードの使用例2：UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し、RAMの値をUART0の送信バッファに転送します。

- ベクタ・アドレスはFFB0CH、コントロール・データはFFBC8H-FFBCFHに配置
- RAMのFFCF8H-FFCFFHの8バイトをUART0の送信バッファ（FFF10H）へ転送

図16 - 17　ノーマル・モードの使用例2：UART0連続送信



備考　[　　] 内の処理はDTCが自動で実行します。

ノーマル・モードのため、DTRLD17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可（RPERDIS = 0）している場合は、DTRLD17レジスタを初期化（00H）してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

16.4.3　リピート・モード

1 回の起動で、1 ～ 255 バイトを転送します。転送元、転送先のいずれか一方をリピート・エリアに指定します。転送回数は 1 ～ 255 回です。指定回数の転送が終了すると、DTCCTj レジスタ（j = 0-23）およびリピート・エリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRj レジスタの RPTINT ビットが 1（割り込み発生許可）で DTCCTj レジスタが 0 になるデータ転送を DTC が行うとき、DTC は動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi レジスタ（i = 0-4）の対応する DTCENi7-DTCENi0 ビットを 0（起動禁止）にします。DTCCRj レジスタの RPTINT ビットが 0（割り込み発生禁止）の場合は、DTCCTj レジスタが 0 になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi7-DTCENi0 ビットは 0 になりません。

表 16 - 6 にリピート・モードでのレジスタ機能、**図 16 - 18** にリピート・モードでのデータ転送を示します。

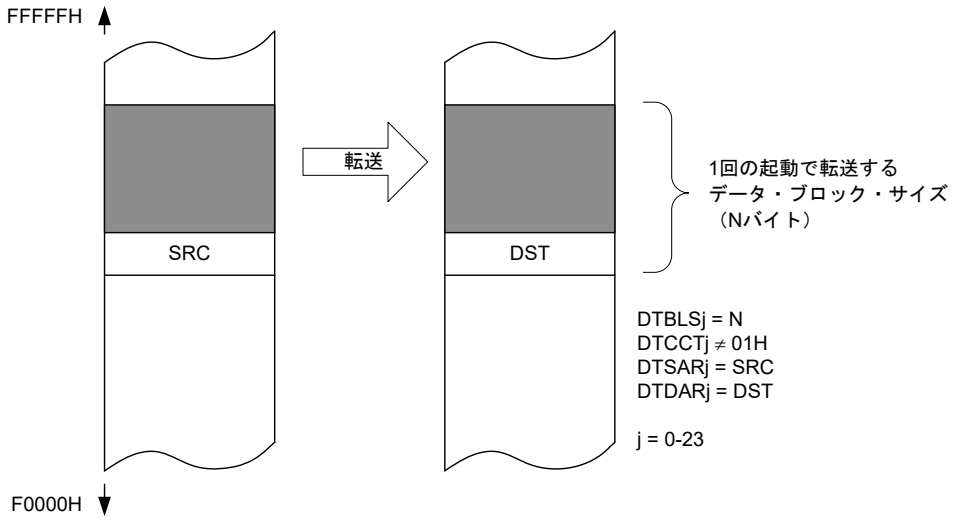
表16 - 6　リピート・モードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロック・サイズ・レジスタj	DTBLSj	1回の起動で転送するデータ・ブロック・サイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロード・レジスタj	DTRLDj	このレジスタの値をDTCCTjレジスタへリロード（データ転送回数を初期化）
DTCソース・アドレス・レジスタj	DTSARj	データの転送元アドレス
DTCデスティネーション・アドレス・レジスタj	DTDARj	データの転送先アドレス

備考　j = 0-23

図16 - 18　リピート・モードでのデータ転送

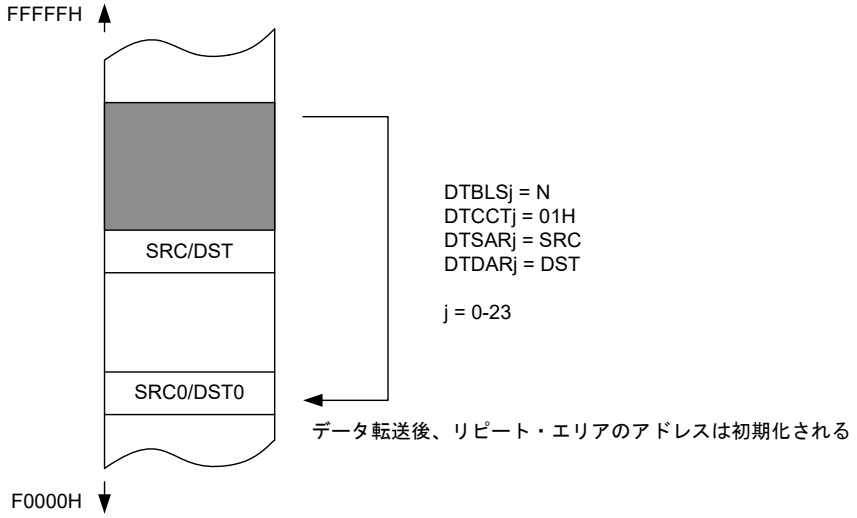
a) DTCCTj ≠ 01H



DTCCRレジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	×	1	1	リピート・エリア	固定	SRC + N	DST
1	×	1	1	リピート・エリア	加算	SRC + N	DST + N
×	0	0	1	固定	リピート・エリア	SRC	DST + N
×	1	0	1	加算	リピート・エリア	SRC + N	DST + N

×：0または1

b) DTCCTj = 01H



DTCCRレジスタ設定				ソース・アドレス制御	デスティネーション・アドレス制御	転送後のソース・アドレス	転送後のデスティネーション・アドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	×	1	1	リピート・エリア	固定	SRC0	DST
1	×	1	1	リピート・エリア	加算	SRC0	DST + N
×	0	0	1	固定	リピート・エリア	SRC	DST0
×	1	0	1	加算	リピート・エリア	SRC + N	DST0

SRC0：ソース・アドレス初期値
DST0：デスティネーション・アドレス初期値
×：0または1

注意1. リピート・モード使用時は、リピート・エリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

注意2. リピート・モード使用時は、リピート・エリアのデータサイズを255バイト以内にしてください。

(1) リピート・モードの使用例：ポートを使ったステッピング・モータ制御パルス出力

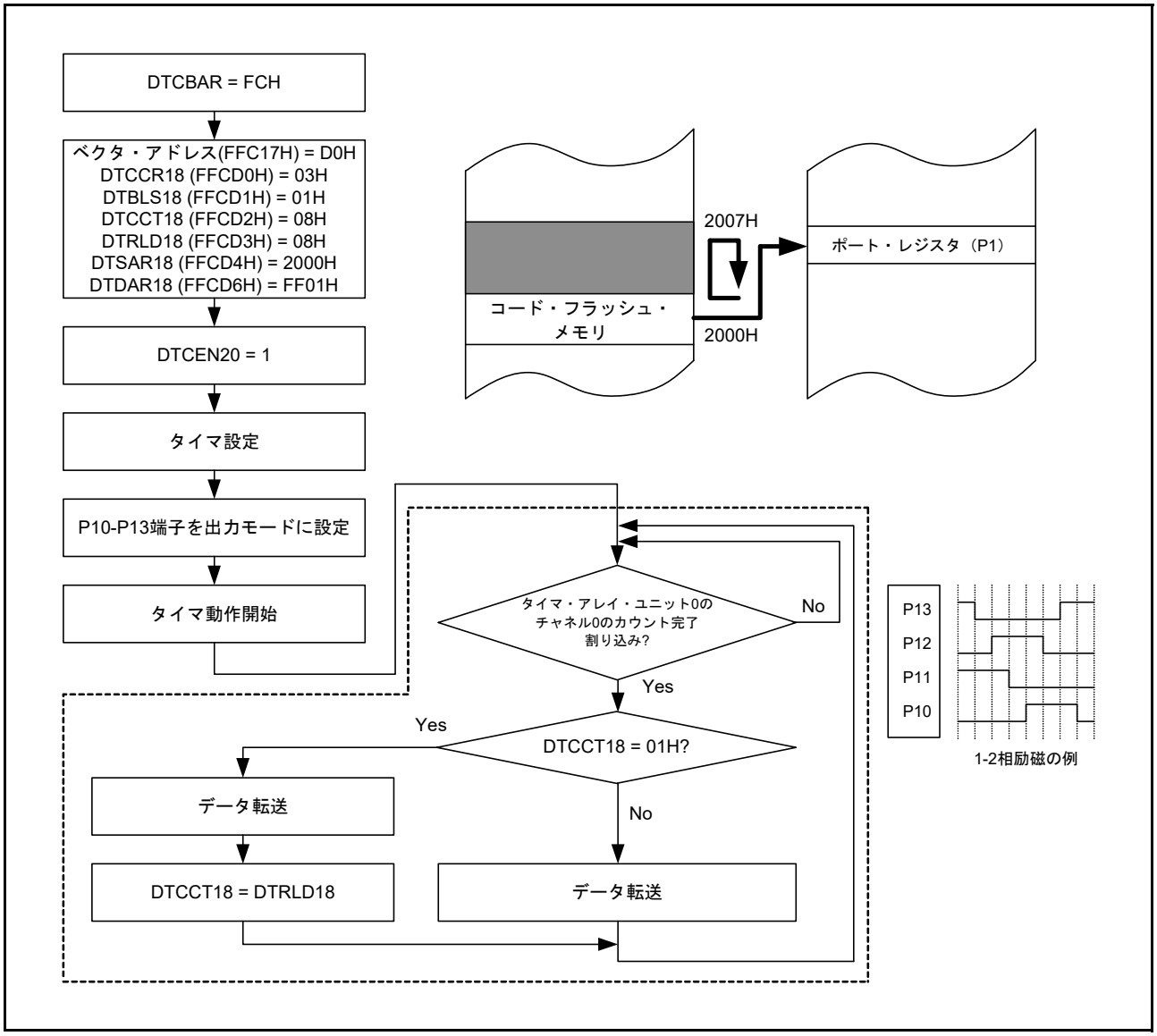
タイマ・アレイ・ユニット0のチャネル0のインターバル・タイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパタンを汎用ポートに転送します。

★ • ベクタ・アドレスはFFC17H、コントロール・データはFFCD0H-FFCD7Hに配置

• コード・フラッシュ・メモリの02000H-02007Hの8バイト・データをミラー領域（F2000H-F2007H）からポート・レジスタ（P1、アドレス：FFF01H）へ転送

• リピート・モード割り込みは禁止

図16 - 19　リピート・モードの使用例：ポートを使ったステッピング・モータ制御パルス出力



備考　[　　] 内の処理はDTCが自動で実行します。

★ **注意**　**出力を停止する場合は、タイマを停止してから、DTCEN20ビットをクリアしてください。**

16.4.4　チェイン転送

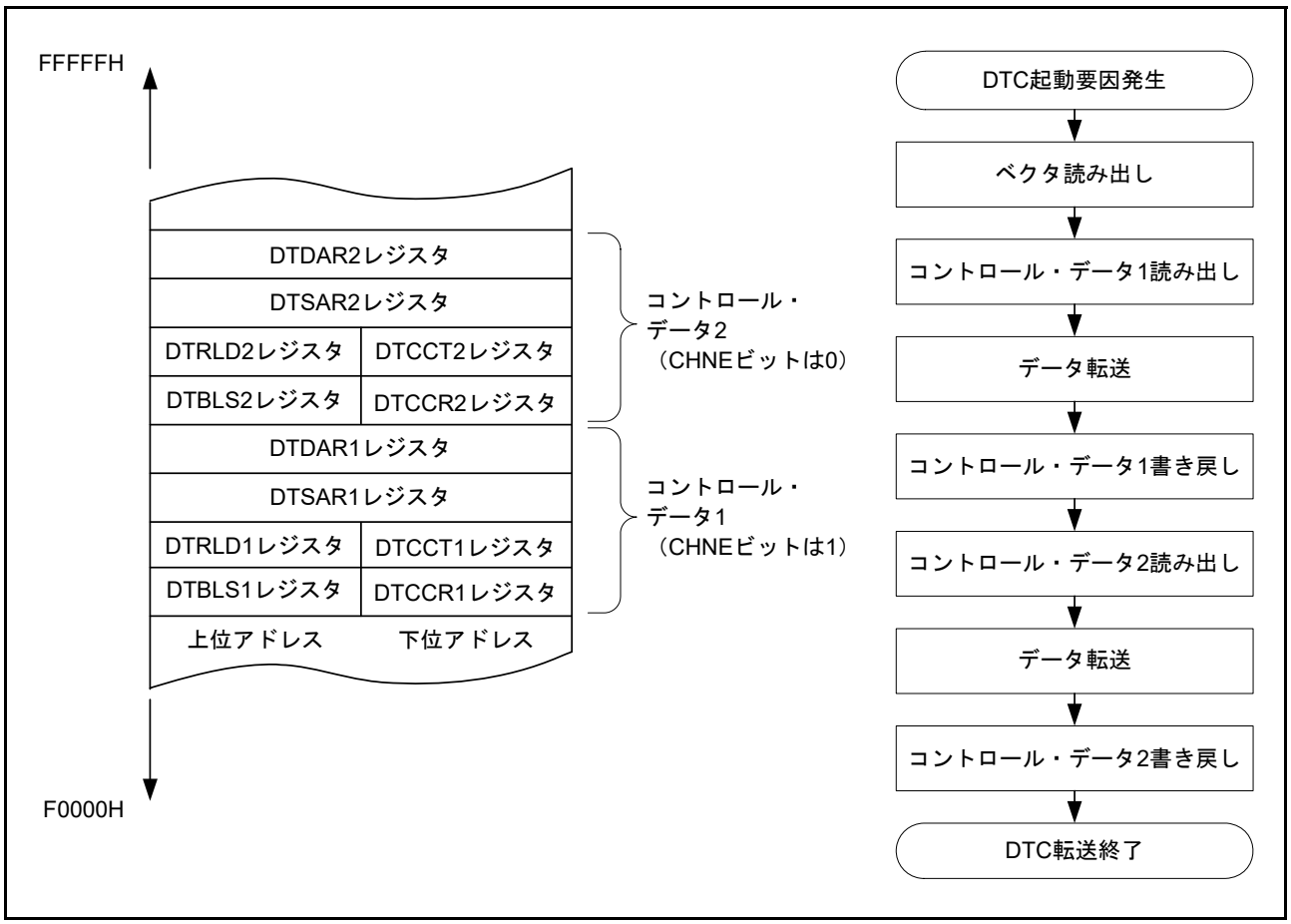
DTCCRj レジスタ（j = 0-22）の CHNE ビットが 1（チェイン転送許可）のとき、1 つの起動要因で複数のデータ転送を連続してできます。

DTC が起動すると、起動要因に対応したベクタ・アドレスから読み出されたデータによりコントロール・データを選択し、DTC コントロール・データ領域上に配置されたコントロール・データを読み出します。読み出したコントロール・データの CHNE ビットが 1（チェイン転送許可）であれば、転送終了後、連続して配置した次のコントロール・データを読み出して転送します。この動作を CHNE ビットが 0（チェイン転送禁止）のコントロール・データのデータ転送が終了するまで続けます。

複数のコントロール・データを用いてチェイン転送を行う場合、2 番目以降のコントロール・データの設定がノーマル・モードのときは、1 番目の転送回数の設定が有効となり、2 番目以降の転送回数の設定は無効となります。また、2 番目以降のコントロール・データの設定がリピート・モードのときは、コントロール・データを書き戻すため、コントロール・データごとに転送回数を設定する必要があります。

図 16 - 20 にチェイン転送でのデータ転送を示します。

図 16 - 20　チェイン転送でのデータ転送



注意1. DTCCR23 レジスタの CHNE ビットは 0（チェイン転送禁止）にしてください。

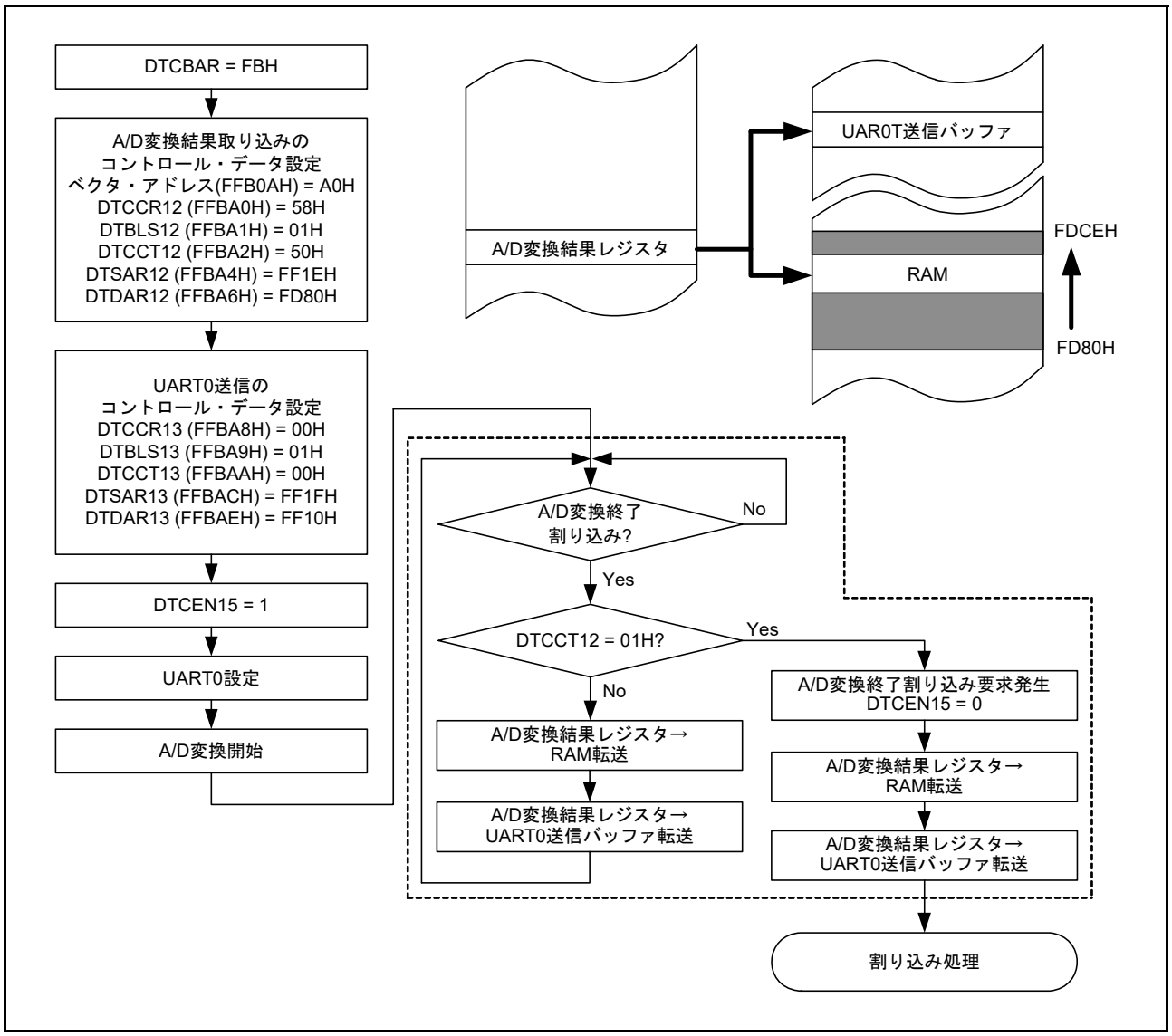
注意2. チェイン転送の場合、2 回目以降のデータ転送では、DTCENi レジスタ（i = 0-4）の DTCENi7-DTCENi0 ビットは 0（起動禁止）になりません。また、割り込み要求は発生しません。

(1)　チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタ・アドレスはFFB0AH
- A/D変換結果取り込みのコントロール・データはFFBA0H-FFBA7Hに配置
- UART0送信のコントロール・データはFFBA8H-FFBAFHに配置
- A/D変換結果レジスタ（FFF1FH, FFF1EH）の2バイト・データをRAMのFFD80H-FFDCFHに転送し、A/D変換結果レジスタの上位1バイト（FFF1FH）をUARTの送信バッファ（FFF10H）へ転送

★ 図16 - 21　チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



備考　[　　] 内の処理はDTCが自動で実行します。

16.5　DTC使用時の注意事項

16.5.1　DTCのコントロール・データおよびベクタ・テーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ（2nd SFR）およびDTCコントロール・データ領域、DTCベクタ・テーブル領域、汎用レジスタ（FFEE0H-FFEFFH）空間をアクセスしないでください。
- DTCベース・アドレス・レジスタ（DTCBAR）は、すべてのDTC起動要因を起動禁止に設定した状態で変更してください。
- DTCベース・アドレス・レジスタ（DTCBAR）を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは、対応するDTCENiレジスタ（i = 0-4）のDTCENi7-DTCENi0ビットが0（起動禁止）のときに変更してください。
- ベクタ・テーブルに設定するDTCコントロール・データ領域の先頭番地は、対応するDTCENiレジスタ（i = 0-4）のDTCENi7-DTCENi0ビットが0（起動禁止）のときに変更してください。

16.5.2　DTCコントロール・データ領域とDTCベクタ・テーブル領域の配置

DTCのコントロール・データとベクタ・テーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ（FFEE0H-FFEFFH）の空間は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域としての使用を禁止します。
- スタック領域とDTCコントロール・データ領域およびDTCベクタ・テーブル領域が重ならないようにしてください。
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可（RPERDIS = 0）している場合は、ノーマル・モード使用時においてもDTRLDjレジスタ（j = 0-23）を初期化（00H）してください。
- オンチップ・デバッグ機能使用時にデバッグ用のモニタ・プログラムが配置される領域は、DTCコントロール・データ領域およびDTCベクタ・テーブル領域として使用できません。詳細は、**31.4　ユーザ資源の確保**を参照してください。

16.5.3　DTC保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の 1 命令の間に DTC が起動されることはありません。

- コール・リターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリード・アクセス命令
- IFxx, MKxx, PRxx, PSWへのビット・メモリ操作命令とオペランドにESレジスタを含んだ8ビット・メモリ操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令（MULU命令を除く）

注意1. DTC転送要求を受け付けると、DTC転送が完了するまで、すべての割り込み要求が保留されます。
注意2. DTC保留命令によるDTC保留中は、すべての割り込み要求が保留されます。

16.5.4　データ・フラッシュ・メモリ領域にアクセスする場合の動作

DTC のデータ転送が起きた 1 命令後にデータ・フラッシュ・メモリ領域にアクセスする場合、間の命令に 3 クロック分のウエイトが入ります。

命令1
DTCのデータ転送
命令2 ← 3クロック分のウエイト発生
MOV A, !データ・フラッシュ・メモリ領域

16.5.5　DTC実行クロック数

表 16 - 7 に DTC 起動時の実行状況と必要なクロック数を示します。

表16 - 7　DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロール・データ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1.　コントロール・データの書き戻しに必要なクロック数は、**表16 - 8　コントロール・データの書き戻しに必要なクロック数**を参照してください。

注2.　データの読み出し／書き込みに必要なクロック数は、**表16 - 9　1データの読み出し／書き込みに必要なクロック数**を参照してください。

表16 - 8　コントロール・データの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロール・レジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLDj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	×	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	×	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	×	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	×	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	×	1	1	リピートエリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	×	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
×	0	0	1	固定	リピートエリア	書き戻す	書き戻す	書き戻さない	書き戻す	2
×	1	0	1	加算		書き戻す	書き戻す	書き戻す	書き戻す	3

備考1.　×：Don't care

備考2.　j = 0-23

表16 - 9　1データの読み出し／書き込みに必要なクロック数

実行状態	RAM	コード・フラッシュ・メモリ	データ・フラッシュ・メモリ	特殊機能レジスタ（SFR）	拡張特殊機能レジスタ（2nd SFR）	
					ウエイトなし	ウエイトあり
データ読み出し	1	2	4	1	1	1 + ウエイト数注
データ書き込み	1	—	—	1	1	1 + ウエイト数注

注　ウエイト数はアクセスする拡張特殊機能レジスタ（2nd SFR）に配置されたレジスタの仕様によって異なります。

16.5.6　DTC応答時間

表 16 - 10 に DTC における応答時間を示します。DTC 応答時間とは DTC 起動要因の検出から DTC 転送開始までの時間です。DTC 応答時間に DTC 実行クロック数は含まれません。

表16 - 10　DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合はさらに DTC の応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合
  最大応答時間：20クロック
- DTC保留命令実行の場合（**16.5.3　DTC保留命令**参照）
  最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック

備考　1クロック：1/f_{CLK}（f_{CLK}：CPU／周辺ハードウェア・クロック）

16.5.7　DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所で、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は**16.3.3　ベクタ・テーブル**を参照してください。

16.5.8　スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能注1
STOPモード	DTC起動要因受付可能注2
SNOOZEモード	動作可能注3, 4, 5, 6

注1. f_{CLK}にサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。

注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元（ソース）にすることはできません。

注3. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックと中速オンチップ・オシレータ・クロックを選択している場合に設定可能です。

注4. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェイン転送を使い、CSIpの受信再設定（STm.STm0ビットに1を書き込み、SSCm.SWCmビットに0を書き込み、SSCmレジスタ設定、SSm.SSm0ビットに1を書き込み）をDTC転送で行ってください。

注5. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェイン転送を使い、UARTqの受信再設定（STm.STm1ビットに1を書き込み、SSCm.SWCmビットに0を書き込み、SSCmレジスタ設定、SSm.SSm1ビットに1を書き込み）を行ってください。

注6. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェイン転送を使い、A/DコンバータのSNOOZEモード機能の再設定（ADM2.AWCビットに0を書き込み、ADM2.AWCビットに1を書き込む）を行ってください。

備考 p = 00, q = 0, m = 0

第17章　イベント・リンク・コントローラ（ELC）

17.1　ELCの機能

イベント・リンク・コントローラ（ELC）は、各周辺機能が出力するイベントを周辺機能間で相互に接続（リンク）します。イベントリンクにより CPU を介さず直接、周辺機能間での連携動作が可能になります。

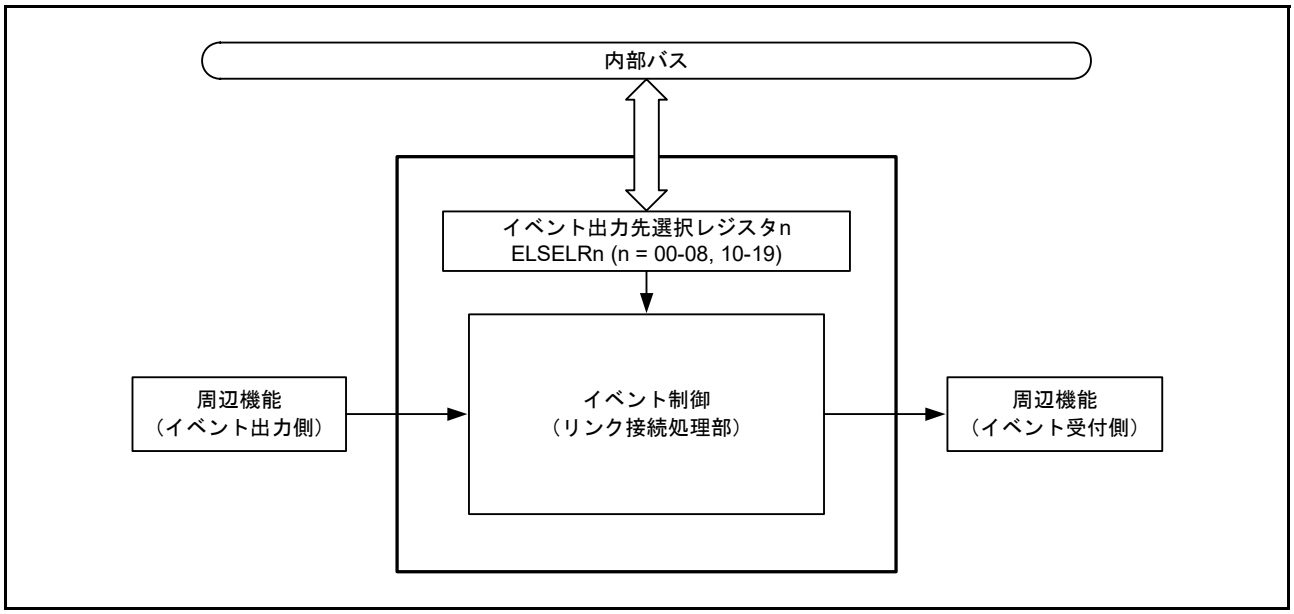
ELC には次の機能があります。

- 20種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 7種類のうちの1つの周辺機能動作の起動要因として、イベント信号を使用可能

17.2　ELCの構成

図 17 - 1 に ELC のブロック図を示します。

図17 - 1　ELCのブロック図



17.3　ELCを制御するレジスタ

ELC を制御するレジスタを次に示します。

- イベント出力先選択レジスタ 00（ELSELR00）
- イベント出力先選択レジスタ 01（ELSELR01）注1
- イベント出力先選択レジスタ 02（ELSELR02）注2
- イベント出力先選択レジスタ 03（ELSELR03）
- イベント出力先選択レジスタ 04（ELSELR04）注1
- イベント出力先選択レジスタ 05（ELSELR05）注3
- イベント出力先選択レジスタ 06（ELSELR06）注4
- イベント出力先選択レジスタ 07（ELSELR07）注5
- イベント出力先選択レジスタ 08（ELSELR08）
- イベント出力先選択レジスタ 10（ELSELR10）
- イベント出力先選択レジスタ 11（ELSELR11）
- イベント出力先選択レジスタ 12（ELSELR12）
- イベント出力先選択レジスタ 13（ELSELR13）
- イベント出力先選択レジスタ 14（ELSELR14）
- イベント出力先選択レジスタ 15（ELSELR15）
- イベント出力先選択レジスタ 16（ELSELR16）
- イベント出力先選択レジスタ 17（ELSELR17）
- イベント出力先選択レジスタ 18（ELSELR18）注6
- イベント出力先選択レジスタ 19（ELSELR19）注6

注1. 24～48ピン製品のみ搭載
注2. 30～48ピン製品のみ搭載
注3. 20～48ピン製品のみ搭載
注4. 48ピン製品のみ搭載
注5. 40～48ピン製品のみ搭載
注6. 36～48ピン製品のみ搭載

17.3.1 イベント出力先選択レジスタn（ELSELRn）

ELSELRn レジスタは、各イベント信号を、イベント受付側周辺機能（リンク先周辺機能）の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先（イベント受付側）にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間かつイベント出力先（イベント受付側）の機能が停止している期間に、ELSELRn レジスタを設定してください。

表 17 - 1 に ELSELRn レジスタ（n = 00-08, 10-19）と周辺機能の対応、**表 17 - 2** に ELSELRn レジスタ（n = 00-08, 10-19）に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

ELSELRn レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図17 - 2 イベント出力先選択レジスタn （ELSELRn）のフォーマット

アドレス ：F0240H (ELSELR00) - F0248H (ELSELR08)
F024AH (ELSELR10) - F0253H (ELSELR19)

リセット時：00H

R/W属性 ：R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	ELSELn3	ELSELn2	ELSELn1	ELSELn0

ELSELn3	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択
0	0	0	0	イベントリンク禁止
0	0	0	1	リンクする周辺機能1の動作を選択注
0	0	1	0	リンクする周辺機能2の動作を選択注
0	0	1	1	リンクする周辺機能3の動作を選択注
0	1	0	0	リンクする周辺機能4の動作を選択注
0	1	0	1	リンクする周辺機能5の動作を選択注
0	1	1	0	リンクする周辺機能6の動作を選択注
0	1	1	1	リンクする周辺機能7の動作を選択注
上記以外				設定禁止

注 **表17 - 2 ELSELRn レジスタ（n = 00-08, 10-19）に設定する値とリンク先周辺機能の受付時の動作の対応**を参照してください。

備考 n = 00-08, 10-19

表17 - 1　ELSELRnレジスタ（n = 00-08, 10-19）と周辺機能の対応

レジスタ名	イベント発生元（イベント入力nの出力元）	イベント内容
ELSELR00	外部割り込みエッジ検出0	INTP0
ELSELR01注1	外部割り込みエッジ検出1	INTP1
ELSELR02注2	外部割り込みエッジ検出2	INTP2
ELSELR03	外部割り込みエッジ検出3	INTP3
ELSELR04注1	外部割り込みエッジ検出4	INTP4
ELSELR05注3	外部割り込みエッジ検出5	INTP5
ELSELR06注4	外部割り込みエッジ検出6	INTP6
ELSELR07注5	キーリターン信号検出	INTKR
ELSELR08	リアルタイム・クロックの定周期信号／アラーム一致検出	INTRTC
ELSELR10	32ビット・インターバル・タイマ0のコンペアマッチ	ELCITL0
ELSELR11	32ビット・インターバル・タイマ1のコンペアマッチ	ELCITL1
ELSELR12	32ビット・インターバル・タイマ2のコンペアマッチ	ELCITL2
ELSELR13	32ビット・インターバル・タイマ3のコンペアマッチ	ELCITL3
ELSELR14	タイマ・アレイ・ユニットのチャネル0カウント完了／キャプチャ完了	INTTM00
ELSELR15	タイマ・アレイ・ユニットのチャネル1カウント完了／キャプチャ完了	INTTM01
ELSELR16	タイマ・アレイ・ユニットのチャネル2カウント完了／キャプチャ完了	INTTM02
ELSELR17	タイマ・アレイ・ユニットのチャネル3カウント完了／キャプチャ完了	INTTM03
ELSELR18注6	UART0送信の転送完了、バッファ空き割り込み／CSI00の転送完了、バッファ空き割り込み／IIC00の転送完了	INTST0/INTCSI00/INTIIC00
ELSELR19注6	UART0受信の転送完了／CSI01の転送完了、バッファ空き割り込み／IIC01の転送完了	INTSR0/INTCSI01/INTIIC01

注1. 24～48ピン製品のみ搭載

注2. 30～48ピン製品のみ搭載

注3. 20～48ピン製品のみ搭載

注4. 48ピン製品のみ搭載

注5. 40～48ピン製品のみ搭載

注6. 36～48ピン製品のみ搭載

表17 - 2　ELSELRnレジスタ（n = 00-08, 10-19）に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRnレジスタの ELSELn3～ELSELn0ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
0001B	1	A/Dコンバータ	A/D変換開始
0010B	2	タイマ・アレイ・ユニットの チャネル0のタイマ入力注1	ディレイ・カウンタ、入力パルス間隔測定、 外部イベント・カウンタ、ワンショット・パル ス出力機能
0011B	3	タイマ・アレイ・ユニットの チャネル1のタイマ入力注2	ディレイ・カウンタ、入力パルス間隔測定、 外部イベント・カウンタ、ワンショット・パル ス出力機能
0100B	4	SNOOZEモード・シーケンサ	動作開始
0101B	5	データ・トランスファ・ コントローラ	動作開始
0110B	6	静電容量センサユニット	動作開始
0111B	7	32ビット・インターバル・ タイマ	動作開始

注1. リンク先周辺機能にタイマ・アレイ・ユニットのチャネル0のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0（TPS0）でチャネル0の動作クロックをf_{CLK}に設定し、ノイズ・フィルタ許可レジスタ1（NFEN1）でTI00端子のノイズ・フィルタをOFF（TNFEN00 = 0）に設定し、タイマ入力選択レジスタ0（TIS0）でチャネル0で使用するタイマ入力をELCからのイベント入力信号に設定してください。

注2. リンク先周辺機能にタイマ・アレイ・ユニットのチャネル1のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0（TPS0）でチャネル1の動作クロックをf_{CLK}に設定し、ノイズ・フィルタ許可レジスタ1（NFEN1）でTI01端子のノイズ・フィルタをOFF（TNFEN01 = 0）に設定し、タイマ入力選択レジスタ0（TIS0）でチャネル1で使用するタイマ入力をELCからのイベント入力信号に設定してください。

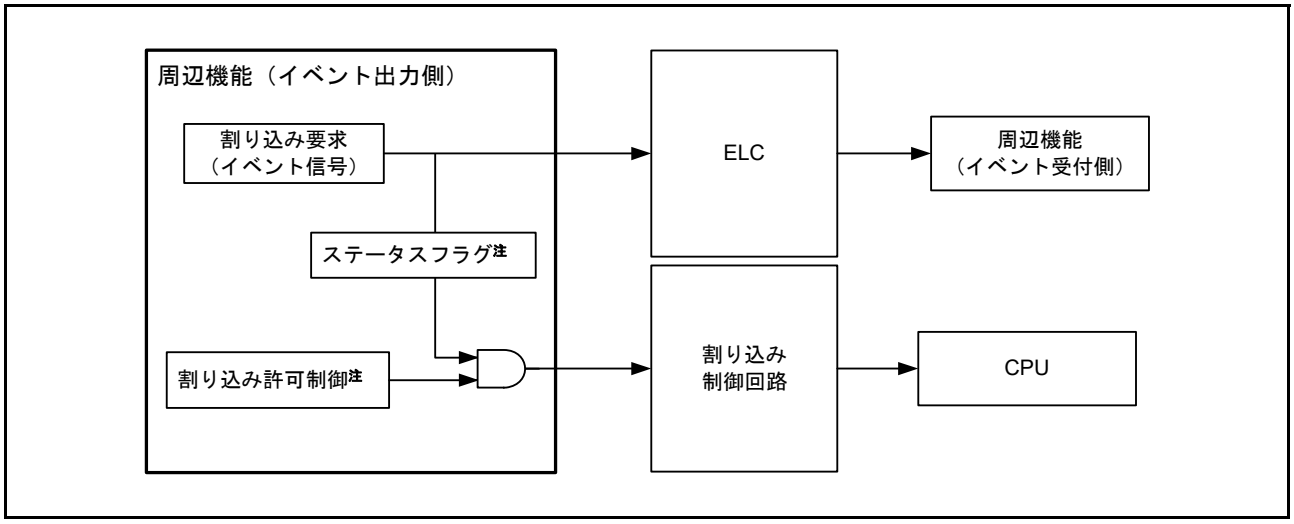
17.4　ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELC のイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図 17 - 3 に割り込み処理と ELC の関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可／禁止を制御する許可ビットを持つ周辺機能を例としています。

ELC によってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします（**表 17 - 2 ELSELRn レジスタ（n = 00-08, 10-19）に設定する値とリンク先周辺機能の受付時の動作の対応**参照）。

図17 - 3　割り込み処理とELCの関係



注　周辺機能によっては、搭載していません。

表 17 - 3 にイベントを受け付ける周辺機能の応答性を示します。

表17 - 3　イベントを受け付ける周辺機能の応答性

イベント受取先No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/Dコンバータ	A/D変換開始	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
2	タイマ・アレイ・ユニットのチャネル0のタイマ入力	ディレイ・カウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニットのチャネル1のタイマ入力	ディレイ・カウンタ 入力パルス幅測定 外部イベント・カウンタ	ELCのイベント発生からf_{CLK}の3, 4サイクル後にエッジの検出を行います。
4	SNOOZEモード・シーケンサ	動作開始	ELCからのイベントが直接、SNOOZEモード・シーケンサの起動トリガになります。
5	データ・トランスファ・コントローラ	動作開始	ELCからのイベントが直接、データ・トランスファ・コントローラの起動要因になります。
6	静電容量センサユニット	動作開始	ELCからのイベントが直接、静電容量センサユニットの外部トリガになります。
7	32ビット・インターバル・タイマのタイマ入力	動作開始	ELCからのイベントが直接、32ビット・インターバル・タイマのキャプチャ・トリガになります。

第18章　割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		16ピン	20ピン	24, 25ピン	30, 32ピン	36ピン	40, 44ピン	48ピン
マスカブル割り込み	外部	2	3	5	6	6	7	10
	内部	23	25	26	29	32	32	32

18.1　割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティに従って処理されます。デフォルト・プライオリティについては、**表18 - 1**を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

18.2　割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります（**表18 - 1**参照）。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64Kアドレスとなります。

表18 - 1　割り込み要因一覧 (1/3)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3（オーバフロー時間の75%＋1/4 fIL）	内部	00004H	(a)	○	○	○	○	○	○	○	○	○	○
	1	INTLVI	電圧検出注4		00006H		○	○	○	○	○	○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(b)	○	○	○	○	○	○	○	○	○	○
	3	INTP1			0000AH		○	○	○	○	○	○	○	○	–	–
	4	INTP2			0000CH		○	○	○	○	○	○	–	–	–	–
	5	INTP3			0000EH		○	○	○	○	○	○	○	○	○	○
	6	INTP4			00010H		○	○	○	○	○	○	○	○	–	–
	7	INTP5			00012H		○	○	○	○	○	○	○	○	○	–
	8	INTST2 /INTCSI20 /INTIIC20	UART2送信の転送完了、バッファ空き割り込み／CSI20の転送完了、バッファ空き割り込み／IIC20の転送完了	内部	00014H	(a)	○	○	○	○	○	○	–	–	–	–
	9	INTSR2 /INTCSI21 /INTIIC21	UART2受信の転送完了／CSI21の転送完了、バッファ空き割り込み／IIC21の転送完了		00016H		○	○	○	○	注5	注5	–	–	–	–
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○	○	○	–	–	–	–
	11	–	予約		0001AH		–	–	–	–	–	–	–	–	–	–
	12	INTSMSE	SNOOZEモード・シーケンサからのイベント出力		0001CH		○	○	○	○	○	○	○	○	○	○
	13	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了、バッファ空き割り込み／CSI00の転送完了、バッファ空き割り込み／IIC00の転送完了		0001EH		○	○	○	○	○	○	○	○	○	○
	14	INTTM00	タイマ・アレイ・ユニット0のチャネル0のカウント完了またはキャプチャ完了		00020H		○	○	○	○	○	○	○	○	○	○
	15	INTSRE0	UART0受信の通信エラー発生		00022H		○	○	○	○	○	○	○	○	○	○
		INTTM01H	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○	○	○	○	○	○	○	○
	16	INTST1	UART1送信の転送完了、バッファ空き割り込み		00024H		○	○	○	○	○	○	○	○	○	–
	17	INTSR1 /INTCSI11 /INTIIC11	UART1受信の転送完了／CSI11の転送完了、バッファ空き割り込み／IIC11の転送完了		00026H		○	○	○	○	○	○	○	○	○	注7
	18	INTSRE1	UART1受信の通信エラー発生		00028H		○	○	○	○	○	○	○	○	○	–
		INTTM03H	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了（上位8ビット・タイマ動作時）				○	○	○	○	○	○	○	○	○	○
	19	INTIICA0	IICA0通信完了		0002AH		○	○	○	○	○	○	○	○	–	–

表18 - 1　割り込み要因一覧 (2/3)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
マスカブル	20	INTSR0 /INTCSI01 /INTIIC01	UART0受信の転送完了／CSI01の転送完了、バッファ空き割り込み／IIC01の転送完了	内部	0002CH	(a)	○	注6	注6	注6	注6	注6	注6	注6	注6	注6
	21	INTTM01	タイマ・アレイ・ユニット0のチャネル1のカウント完了またはキャプチャ完了（16ビット/下位8ビット・タイマ動作時）		0002EH		○	○	○	○	○	○	○	○	○	○
	22	INTTM02	タイマ・アレイ・ユニット0のチャネル2のカウント完了またはキャプチャ完了		00030H		○	○	○	○	○	○	○	○	○	○
	23	INTTM03	タイマ・アレイ・ユニット0のチャネル3のカウント完了またはキャプチャ完了（16ビット/下位8ビット・タイマ動作時）		00032H		○	○	○	○	○	○	○	○	○	○
	24	INTAD	A/D変換終了		00034H		○	○	○	○	○	○	○	○	○	○
	25	INTRTC	リアルタイム・クロックの定周期信号／アラーム一致検出		00036H		○	○	○	○	○	○	○	○	○	○
	26	INTITL	32ビット・インターバル・タイマのインターバル信号検出		00038H		○	○	○	○	○	○	○	○	○	○
	27	INTKR	キー・リターン信号検出	外部	0003AH	(c)	○	○	○	–	–	–	–	–	–	–
	28	–	予約	内部	0003CH	(a)	–	–	–	–	–	–	–	–	–	–
	29	–	予約		0003EH		–	–	–	–	–	–	–	–	–	–
	30	–	予約		00040H		–	–	–	–	–	–	–	–	–	–
	31	INTTM04	タイマ・アレイ・ユニット0のチャネル4のカウント完了またはキャプチャ完了	内部	00042H	(a)	○	○	○	○	○	○	○	○	○	○
	32	INTTM05	タイマ・アレイ・ユニット0のチャネル5のカウント完了またはキャプチャ完了		00044H		○	○	○	○	○	○	○	○	○	○
	33	INTTM06	タイマ・アレイ・ユニット0のチャネル6のカウント完了またはキャプチャ完了		00046H		○	○	○	○	○	○	○	○	○	○
	34	INTTM07	タイマ・アレイ・ユニット0のチャネル7のカウント完了またはキャプチャ完了		00048H		○	○	○	○	○	○	○	○	○	○
	35	INTP6	端子入力エッジ検出	外部	0004AH	(b)	○	–	–	–	–	–	–	–	–	–
	36	–			0004CH		–	–	–	–	–	–	–	–	–	–
	37	INTP8			0004EH		○	–	–	–	–	–	–	–	–	–
	38	INTP9			00050H		○	–	–	–	–	–	–	–	–	–
	39	INTFL	予約		00052H		○	○	○	○	○	○	○	○	○	○
	40	–	予約		00054H		–	–	–	–	–	–	–	–	–	–
	41	–	予約		00056H		–	–	–	–	–	–	–	–	–	–
	42	INTURE0	UARTA0受信の通信エラー発生	内部	00058H	(a)	○	○	○	○	–	–	–	–	–	–
	43	–	予約		0005AH		–	–	–	–	–	–	–	–	–	–
	44	–	予約		0005CH		–	–	–	–	–	–	–	–	–	–
	45	–	予約		0005EH		–	–	–	–	–	–	–	–	–	–
	46	INTCTSUWR	CTSUチャネルごとの設定レジスタ書き込み要求		00060H		○	○	○	○	○	○	○	○	○	○
	47	–	予約		00062H		–	–	–	–	–	–	–	–	–	–

表18 - 1　割り込み要因一覧 (3/3)

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
★ マスカブル	48	INTCTSURD	CTSU計測データ転送要求	内部	00064H	(a)	○	○	○	○	○	○	○	○	○	○
★	49	INTCTSUFN	CTSU計測終了		00066H		○	○	○	○	○	○	○	○	○	○
	50	—	予約		00068H		—	—	—	—	—	—	—	—	—	—
	51	INTUT0	UARTA0送信の転送完了、バッファ空き割り込み		0006AH		○	○	○	○	—	—	—	—	—	—
	52	INTUR0	UARTA0受信の転送完了		0006CH		○	○	○	○	—	—	—	—	—	—
	53	—	予約		0006EH		—	—	—	—	—	—	—	—	—	—
	54	—	予約		00070H		—	—	—	—	—	—	—	—	—	—
	55	—	予約		00072H		—	—	—	—	—	—	—	—	—	—
	56	—	予約		00074H		—	—	—	—	—	—	—	—	—	—
	57	—	予約		00076H		—	—	—	—	—	—	—	—	—	—
	58	—	予約		00078H		—	—	—	—	—	—	—	—	—	—
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(d)	○	○	○	○	○	○	○	○	○	○
リセット	—	RESET	$\overline{\text{RESET}}$端子入力	—	00000H	—	○	○	○	○	○	○	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○	○	○	○	○	○	○
		LVD	電圧検出				○	○	○	○	○	○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○	○	○	○	○	○
		TRAP	不正命令の実行				○	○	○	○	○	○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○	○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○	○	○	○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、58が最低順位です。

注2. 基本構成タイプの(a) - (d)は、それぞれ**図18 - 1　割り込み機能の基本構成**の(a) - (d)に対応しています。

注3. ユーザ・オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時

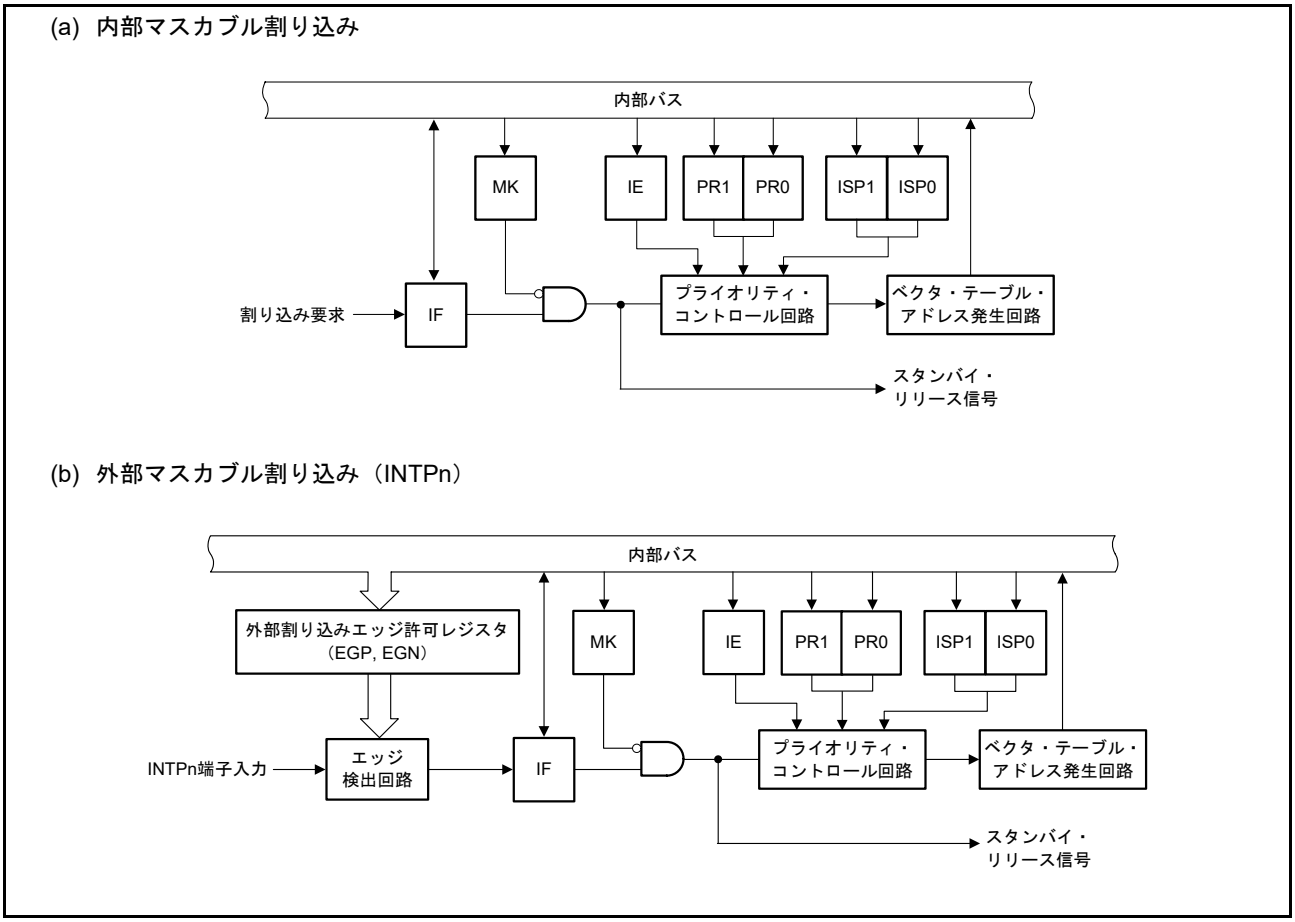
注4. 電圧検出レベル・レジスタ（LVIS）のビット6（LVD1SEL）= 0選択時またはユーザ・オプション・バイト（000C1H）のビット6（LVD0SEL）= 0選択時

注5. INTSR2のみ

注6. INTSR0のみ

注7. INTIIC11のみ

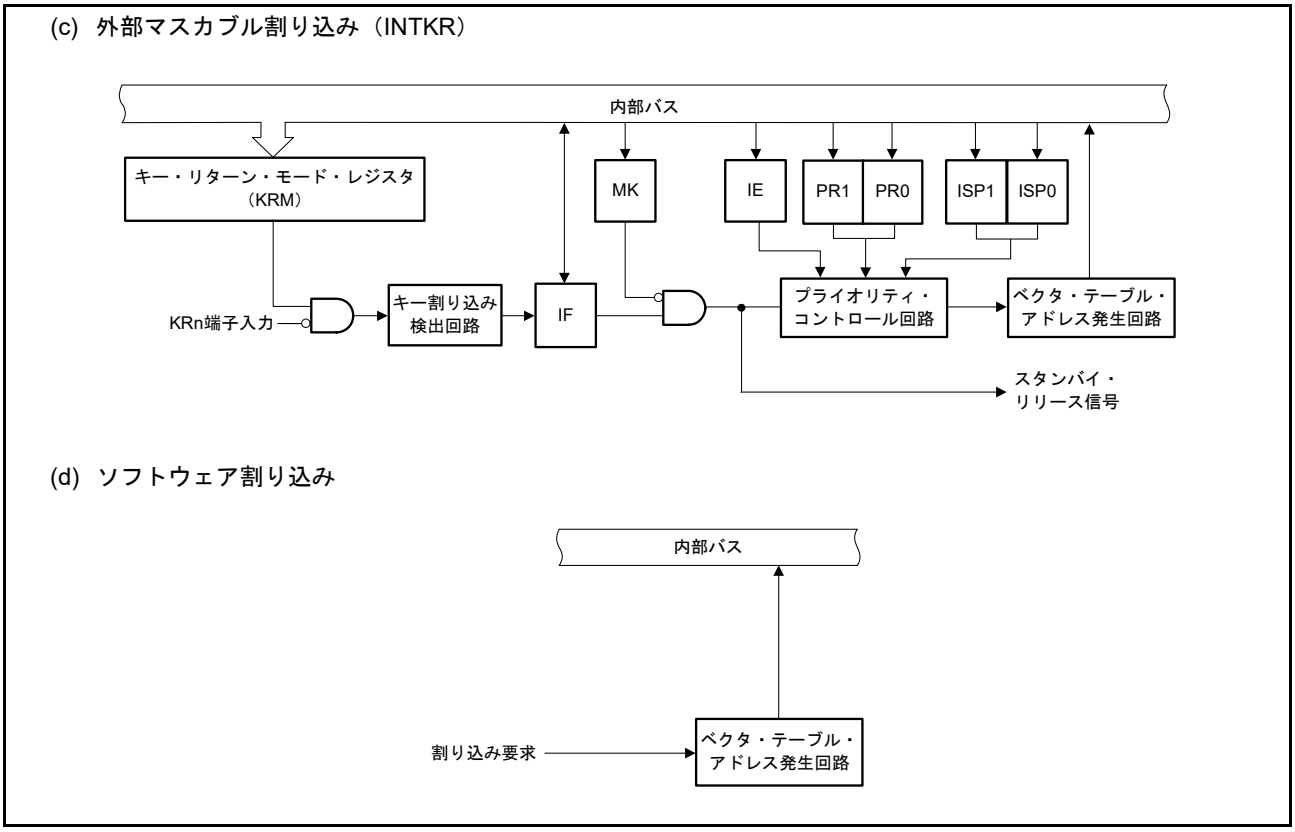
図18 - 1　割り込み機能の基本構成 (1/2)



備考1. IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　：割り込みマスク・フラグ
PR0　：優先順位指定フラグ0
PR1　：優先順位指定フラグ1

備考2. 16ピン製品　：n = 0, 3
20ピン製品　：n = 0, 3, 5
24, 25ピン製品　：n = 0, 1, 3-5
30～44ピン製品　：n = 0-5
48ピン製品　：n = 0-6, 8, 9

図18 - 1　割り込み機能の基本構成 (2/2)



備考1. IF　：割り込み要求フラグ
IE　：割り込み許可フラグ
ISP0　：インサービス・プライオリティ・フラグ0
ISP1　：インサービス・プライオリティ・フラグ1
MK　：割り込みマスク・フラグ
PR0　：優先順位指定フラグ0
PR1　：優先順位指定フラグ1

備考2. 40, 44ピン製品　：n = 0-3
48ピン製品　：n = 0-5

18.3　割り込み機能を制御するレジスタ

割り込み機能を制御するレジスタを次に示します。

- 割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）
- 割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）
- 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）
- 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）
- プログラム・ステータス・ワード（PSW）
- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

表 18 - 2 に各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を示します。

表18 - 2　割り込み要求ソースに対応する各種フラグ (1/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
		レジスタ		レジスタ		レジスタ										
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○	○	○	○	○	○
INTLVI注	LVIIF注		LVIMK注		LVIPR0, LVIPR1注		○	○	○	○	○	○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○	○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○	○	○	○	–	–
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○	○	–	–	–	–
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○	○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○	○	○	○	–	–
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○	○	○	○	○	–

注　LVD0, LVD1どちらの割り込みが発生したかはLVIMレジスタのDLVD0F, DLVD1Fフラグで確認できます。詳細は、**23.3.1 電圧検出レジスタ（LVIM）**を参照してください。

表18 - 2　割り込み要求ソースに対応する各種フラグ (2/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
		レジスタ		レジスタ		レジスタ										
INTST2注1	STIF2注1	IF0H	STMK2注1	MK0H	STPR02, STPR12注1	PR00H, PR10H	○	○	○	○	○	○	−	−	−	−
INTCSI20注1	CSIIF20注1		CSIMK20注1		CSIPR020, CSIPR120注1		○	○	○	○	○	○	−	−	−	−
INTIIC20注1	IICIF20注1		IICMK20注1		IICPR020, IICPR120注1		○	○	○	○	○	○	−	−	−	−
INTSR2注2	SRIF2注2		SRMK2注2		SRPR02, SRPR12注2		○	○	○	○	○	○	−	−	−	−
INTCSI21注2	CSIIF21注2		CSIMK21注2		CSIPR021, CSIPR121注2		○	○	○	○	−	−	−	−	−	−
INTIIC21注2	IICIF21注2		IICMK21注2		IICPR021, IICPR121注2		○	○	○	○	−	−	−	−	−	−
INTSRE2	SREIF2		SREMK2		SREPR02, SREPR12		○	○	○	○	○	○	−	−	−	−
INTSMSE	SMSEIF		SMSEMK		SMSEPR0, SMSEPR1		○	○	○	○	○	○	○	○	○	○
INTST0注3	STIF0注3		STMK0注3		STPR00, STPR10注3		○	○	○	○	○	○	○	○	○	○
INTCSI00注3	CSIIF00注3		CSIMK00注3		CSIPR000, CSIPR100注3		○	○	○	○	○	○	○	○	○	○
INTIIC00注3	IICIF00注3		IICMK00注3		IICPR000, IICPR100注3		○	○	○	○	○	○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○	○	○	○	○	○
INTSRE0注4	SREIF0注4		SREMK0注4		SREPR00, SREPR10注4		○	○	○	○	○	○	○	○	○	○
INTTM01H注4	TMIF01H注4		TMMK01H注4		TMPR001H, TMPR101H 注4		○	○	○	○	○	○	○	○	○	○

注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生すると、IF0Hレジスタのビット0は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTSR2, INTCSI21, INTIIC21のうち、いずれかが発生すると、IF0Hレジスタのビット1は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。

注3. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生すると、IF0Hレジスタのビット5は1にセットされます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

注4. UART0受信のエラー割り込み、TAU0のチャネル1（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。
UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は、UART0, TAU0のチャネル1（上位8ビット・タイマ動作時）を同時に使用できます。
割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生すると、IF0Hレジスタのビット7は1にセットされます。
また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

表18 - 2　割り込み要求ソースに対応する各種フラグ (3/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
		レジスタ		レジスタ		レジスタ										
INTST1	STIF1	IF1L	STMK1	MK1L	STPR01, STPR11	PR01L, PR11L	○	○	○	○	○	○	○	○	○	–
INTSR1 注1	SRIF1 注1		SRMK1 注1		SRPR01, SRPR11 注1		○	○	○	○	○	○	○	○	○	–
INTCSI11 注1	CSIIF11 注1		CSIMK11 注1		CSIPR011, CSIPR111 注1		○	○	○	○	○	○	○	○	○	–
INTIIC11 注1	IICIF11 注1		IICMK11 注1		IICPR011, IICPR111 注1		○	○	○	○	○	○	○	○	○	○
INTSRE1 注2	SREIF1 注2		SREMK1 注2		SREPR01, SREPR11 注2		○	○	○	○	○	○	○	○	○	–
INTTM03H 注2	TMIF03H 注2		TMMK03H 注2		TMPR003H, TMPR103H		○	○	○	○	○	○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○	○	○	–	–
INTSR0 注3	SRIF0 注3		SRMK0 注3		SRPR00, SRPR10 注3		○	○	○	○	○	○	○	○	○	○
INTCSI01 注3	CSIIF01 注3		CSIMK01 注3		CSIPR001, CSIPR101 注3		○	–	–	–	–	–	–	–	–	–
INTIIC01 注3	IICIF01 注3		IICMK01 注3		IICPR001, IICPR101 注3		○	–	–	–	–	–	–	–	–	–
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○	○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○	○	○	○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○	○	○	○	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○	○	○	○	○	○	○
★ INTITL	ITLIF		ITLMK		ITLPR0, ITLPR1		○	○	○	○	○	○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	–	–	–	–	–	–	–
INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		○	○	○	○	○	○	○	○	○	○

注1. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生すると、IF1Lレジスタのビット1は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。

注2. UART1受信のエラー割り込み、TAU0のチャネル3（上位8ビット・タイマ動作時）の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。
UART1受信のエラー割り込みを使用しない（EOC03 = 0）場合は、UART1, TAU0のチャネル3（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生すると、IF1Lレジスタのビット2は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

注3. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生すると、IF1Lレジスタのビット4は1にセットされます。また、MK1L, PR01L, PR11Lレジスタのビット4は、3つすべての割り込み要因に対応しています。

表18 - 2　割り込み要求ソースに対応する各種フラグ (4/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		48ピン	44ピン	40ピン	36ピン	32ピン	30ピン	25ピン	24ピン	20ピン	16ピン
		レジスタ		レジスタ		レジスタ										
INTTM05	TMIF05	IF2L	TMMK05	MK2L	TMPR005, TMPR105	PR02L, PR12L	○	○	○	○	○	○	○	○	○	○
INTTM06	TMIF06		TMMK06		TMPR006, TMPR106		○	○	○	○	○	○	○	○	○	○
INTTM07	TMIF07		TMMK07		TMPR007, TMPR107		○	○	○	○	○	○	○	○	○	○
INTP6	PIF6		PMK6		PPR06, PPR16		○	–	–	–	–	–	–	–	–	–
INTP8	PIF8		PMK8		PPR08, PPR18		○	–	–	–	–	–	–	–	–	–
INTP9	PIF9		PMK9		PPR09, PPR19		○	–	–	–	–	–	–	–	–	–
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○	○	○	○	○	○
INTURE0	UREIF0	IF2H	UREMK0	MK2H	UREPR00, UREPR10	PR02H, PR12H	○	○	○	○	–	–	–	–	–	–
INTCTSUWR	CTSUWRIF		CTSUWRMK		CTSUWRPR0, CTSUWRPR1		○	○	○	○	○	○	○	○	○	○
INTCTSURD	CTSURDIF	IF3L	CTSURDMK	MK3L	CTSURDPR0, CTSURDPR1	PR03L, PR13L	○	○	○	○	○	○	○	○	○	○
INTCTSUFN	CTSUFNIF		CTSUFNMK		CTSUFNPR0, CTSUFNPR1		○	○	○	○	○	○	○	○	○	○
INTUT0	UTIF0		UTMK0		UTPR00, UTPR10		○	○	○	○	–	–	–	–	–	–
INTUR0	URIF0		URMK0		URPR00, URPR10		○	○	○	○	–	–	–	–	–	–

18.3.1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行により 1 にセットされ、割り込み要求受付時、リセット信号発生時または命令の実行により 0 にクリアされるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、IF0L レジスタと IF0H レジスタ、IF1L レジスタと IF1H レジスタ、IF2L レジスタと IF2H レジスタ、IF3L レジスタと 8 ビットの固定値（00H）をあわせて 16 ビット・レジスタ IF0, IF1, IF2, IF3 として使用するときは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

備考　このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18 - 2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット (1/2)

アドレス　: FFFE0H
リセット時: 00H
R/W属性　: R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス　: FFFE1H
リセット時: 00H
R/W属性　: R/W

略号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
IF0H	SREIF0 TMIF01H	TMIF00	STIF0 CSIIF00 IICIF00	SMSEIF	0	SREIF2	SRIF2 CSIIF21 IICIF21	STIF2 CSIIF20 IICIF20

アドレス　: FFFE2H
リセット時: 00H
R/W属性　: R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
IF1L	TMIF03	TMIF02	TMIF01	SRIF0 CSIIF01 IICIF01	IICAIF0	SREIF1 TMIF03H	SRIF1 CSIIF11 IICIF11	STIF1

アドレス　: FFFE3H
リセット時: 00H
R/W属性　: R/W

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
IF1H	TMIF04	0	0	0	KRIF	ITLIF	RTCIF	ADIF

図18 - 2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L）のフォーマット (2/2)

アドレス　: FFFD0H
リセット時: 00H
R/W属性　: R/W

略号	<7>	<6>	<5>	4	<3>	<2>	<1>	<0>
IF2L	FLIF	PIF9	PIF8	0	PIF6	TMIF07	TMIF06	TMIF05

アドレス　: FFFD1H
リセット時: 00H
R/W属性　: R/W

略号	7	<6>	5	4	3	<2>	1	0
IF2H	0	CTSUWRIF	0	0	0	UREIF0	0	0

アドレス　: FFFD2H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	<4>	<3>	2	<1>	<0>
IF3L	0	0	0	URIF0	UTIF0	0	CTSUFNIF	CTSURDIF

xxIFx	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって搭載しているレジスタとビットは異なります。
各製品に搭載しているレジスタとビットについては、表18 - 2　割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため、「IF0L.0 = 0;」や「_asm(“clr1 IF0L.0”);」のようなビット・メモリ操作命令を使用してください。なお、C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ（IF0L）のほかのビットの要求フラグが1にセットされても、「mov IF0L, a」で0にクリアされます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

18.3.2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）

割り込みマスク・フラグは、対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、MK0L レジスタと MK0H レジスタ、MK1L レジスタと MK1H レジスタ、MK2L レジスタと MK2H レジスタ、MK3L レジスタと 8 ビットの固定値（00H）をあわせて 16 ビット・レジスタ MK0, MK1, MK2, MK3 として使用するときは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考　このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図18 - 3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット (1/2)

アドレス　：FFFE4H
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス　：FFFE5H
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
MK0H	SREMK0 TMMK01H	TMMK00	STMK0 CSIMK00 IICMK00	SMSEMK	1	SREMK2	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

アドレス　：FFFE6H
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
MK1L	TMMK03	TMMK02	TMMK01	SRMK0 CSIMK01 IICMK01	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1

アドレス　：FFFE7H
リセット時：FFH
R/W属性　：R/W

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
MK1H	TMMK04	1	1	1	KRMK	ITLMK	RTCMK	ADMK

図18 - 3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L）のフォーマット (2/2)

アドレス　：FFFD4H
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	4	<3>	<2>	<1>	<0>
MK2L	FLMK	PMK9	PMK8	1	PMK6	TMMK07	TMMK06	TMMK05

アドレス　：FFFD5H
リセット時：FFH
R/W属性　：R/W

略号	7	<6>	5	4	3	<2>	1	0
MK2H	1	CTSUWRMK	1	1	1	UREMK0	1	1

アドレス　：FFFD6H
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	<4>	<3>	2	<1>	<0>
MK3L	1	1	1	URMK0	UTMK0	1	CTSUFNMK	CTSURDMK

xxMKx	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　**製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表18 - 2　割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。**

18.3.3 優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせて、優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H, 3L）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。また、PR00L レジスタと PR00H レジスタ、PR01L レジスタと PR01H レジスタ、PR02L レジスタと PR02H レジスタ、PR03L レジスタと 8 ビットの固定値（00H）、PR10L レジスタと PR10H レジスタ、PR11L レジスタと PR11H レジスタ、PR12L レジスタと PR12H レジスタ、PR13L レジスタと 8 ビットの固定値（00H）をあわせて 16 ビット・レジスタ PR00, PR01, PR02, PR03, PR10, PR11, PR12, PR13 として使用するときは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH になります。

備考　このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図 18 - 4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット (1/4)

アドレス　：FFFE8H
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス　：FFFECH
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス　：FFFE9H
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
PR00H	SREPR00 TMPR001H	TMPR000	STPR00 CSIPR000 IICPR000	SMSEPR0	1	SREPR02	SRPR02 CSIPR021 IICPR021	STPR02 CSIPR020 IICPR020

図18 - 4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット (2/4)

アドレス　：FFFEDH
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	3	<2>	<1>	<0>
PR10H	SREPR10 TMPR101H	TMPR100	STPR10 CSIPR100 IICPR100	SMSEPR1	1	SREPR12	SRPR12 CSIPR121 IICPR121	STPR12 CSIPR120 IICPR120

アドレス　：FFFEAH
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR01L	TMPR003	TMPR002	TMPR001	SRPR00 CSIPR001 IICPR001	IICAPR00	SREPR01 TMPR003H	SRPR01 CSIPR011 IICPR011	STPR01

アドレス　：FFFEEH
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	<4>	<3>	<2>	<1>	<0>
PR11L	TMPR103	TMPR102	TMPR101	SRPR10 CSIPR101 IICPR101	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11

アドレス　：FFFEBH
リセット時：FFH
R/W属性　：R/W

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
PR01H	TMPR004	1	1	1	KRPR0	ITLPR0	RTCPR0	ADPR0

アドレス　：FFFEFH
リセット時：FFH
R/W属性　：R/W

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
PR11H	TMPR104	1	1	1	KRPR1	ITLPR1	RTCPR1	ADPR1

図18 - 4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット (3/4)

アドレス　：FFFD8H
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	4	<3>	<2>	<1>	<0>
PR02L	FLPR0	PPR09	PPR08	1	PPR06	TMPR007	TMPR006	TMPR005

アドレス　：FFFDCH
リセット時：FFH
R/W属性　：R/W

略号	<7>	<6>	<5>	4	<3>	<2>	<1>	<0>
PR12L	FLPR1	PPR19	PPR18	1	PPR16	TMPR107	TMPR106	TMPR105

アドレス　：FFFD9H
リセット時：FFH
R/W属性　：R/W

略号	7	<6>	5	4	3	<2>	1	0
PR02H	1	CTSUWRPR0	1	1	1	UREPR00	1	1

アドレス　：FFFDDH
リセット時：FFH
R/W属性　：R/W

略号	7	<6>	5	4	3	<2>	1	0
PR12H	1	CTSUWRPR1	1	1	1	UREPR10	1	1

アドレス　：FFFDAH
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	<4>	<3>	2	<1>	<0>
PR03L	1	1	1	URPR00	UTPR00	1	CTSUFNPR0	CTSURDPR0

アドレス　：FFFDEH
リセット時：FFH
R/W属性　：R/W

略号	7	6	5	<4>	<3>	2	<1>	<0>
PR13L	1	1	1	URPR10	UTPR10	1	CTSUFNPR1	CTSURDPR1

図18 - 4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L）のフォーマット (4/4)

xxPR1x	xxPR0x	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　**製品によって搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表18 - 2　割り込み要求ソースに対応する各種フラグを参照してください。また、搭載していないビットには、必ず初期値を設定してください。**

18.3.4 外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

EGP0, EGP1, EGN0, EGN1 レジスタは、INTP0-INTP6, INTP8, INTP9 の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1 レジスタは、それぞれ 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図18 - 5　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）、外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）のフォーマット

アドレス　：FFF38H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス　：FFF39H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス　：FFF3AH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	0	0	EGP9	EGP8

アドレス　：FFF3BH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	0	0	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり、立ち下がりの両エッジ

備考　n = 0-6, 8, 9

表 18 - 3 に EGPn ビットと EGNn ビットに対応するポート（INTPx 端子）を示します。

表18 - 3　EGPnビットとEGNnビットに対応するポート（INTPx端子）

検出許可ビット		ポート（INTPx端子）	48ピン	30～44ピン	24, 25ピン	20ピン	16ピン
EGP0	EGN0	INTP0	○	○	○	○	○
EGP1	EGN1	INTP1	○	○	○	–	–
EGP2	EGN2	INTP2	○	○	–	–	–
EGP3	EGN3	INTP3	○	○	○	○	○
EGP4	EGN4	INTP4	○	○	○	–	–
EGP5	EGN5	INTP5	○	○	○	○	–
EGP6	EGN6	INTP6	○	–	–	–	–
EGP8	EGN8	INTP8	○	–	–	–	–
EGP9	EGN9	INTP9	○	–	–	–	–

注意　外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。出力モードに切り替える場合は、エッジ検出禁止（EGPn = 0, EGNn = 0）にしてからポート・モード・レジスタ（PMxx）に0を設定してください。

備考1. エッジ検出ポートに関しては、**2.1　ポートの端子機能**を参照してください。

備考2. n = 0-6, 8, 9

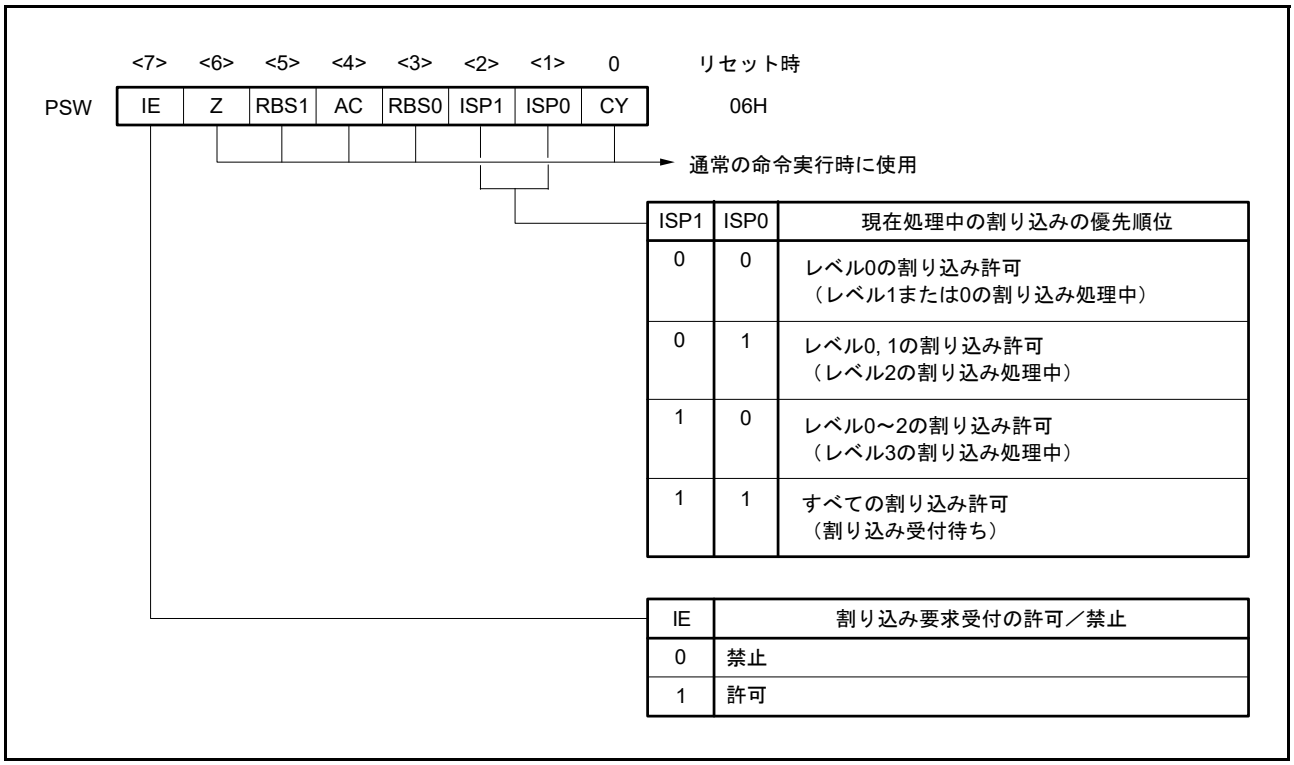
18.3.5　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワード（PSW）は、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定する IE フラグと多重割り込み処理の制御を行う ISP1, ISP0 フラグがマッピングされています。

8 ビット単位で読み出し／書き込み操作ができるほか、ビット・メモリ操作命令や専用命令（EI, DI）により操作ができます。また、ベクタ割り込み要求受付時および BRK 命令実行時には、PSW の内容は自動的にスタックに退避され、IE フラグはリセット（0）されます。また、マスカブル割り込み要求受付時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が 00 以外は、–1 された値が ISP1, ISP0 フラグに転送されます。PUSH PSW 命令によっても PSW の内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、06H になります。

図18 - 6　プログラム・ステータス・ワードの構成



18.3.6　割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.8　ポート・モード・コントロールT・レジスタ（PMCTxx）**を参照してください。

ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

18.4　割り込み処理動作

18.4.1　マスカブル割り込み要求の受付動作

マスカブル割り込み要求は、割り込み要求フラグが 1 にセットされ、その割り込み要求のマスク（MK）フラグが 0 にクリアされていると受付が可能な状態になります。ベクタ割り込み要求は、割り込み許可状態（IE フラグが 1 にセットされているとき）であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

表 18 - 4 にマスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの割り込み要求の受付時間を示します。

割り込み要求の受付タイミングについては、**図 18 - 8** および**図 18 - 9** を参照してください。

表18 - 4　マスカブル割り込み要求発生からベクタ割り込み処理までの時間

	最小時間	最大時間注
割り込み要求の受付時間	9クロック	16クロック

注　内部RAM領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック周波数）

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

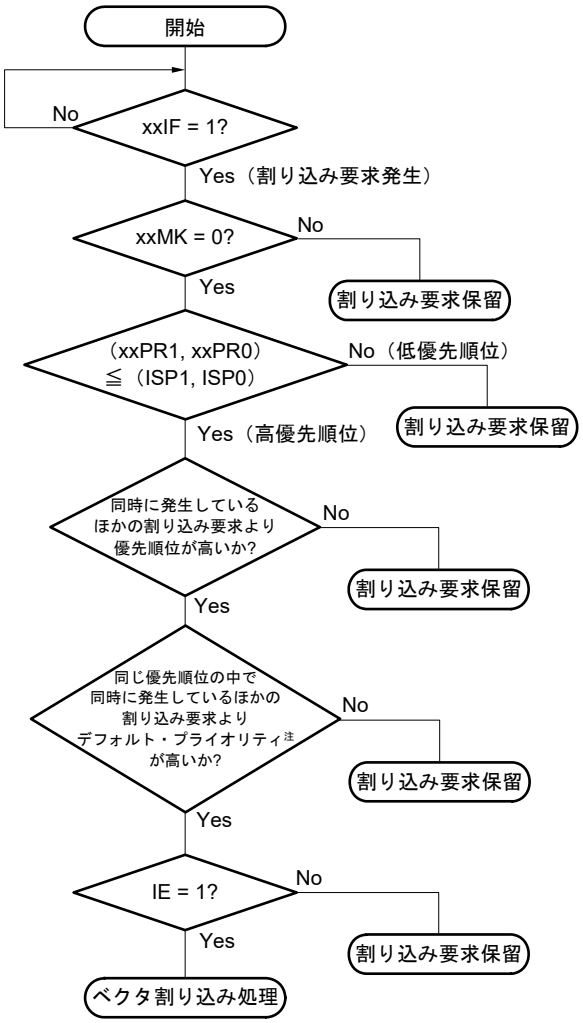
保留された割り込み要求は受付可能な状態になると受け付けられます。

図 18 - 7 に割り込み要求受付のアルゴリズムを示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IE フラグをリセット（0）し、受け付けた割り込みの優先順位指定フラグの内容を ISP1, ISP0 フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータを PC へロードし、分岐します。

RETI 命令によって、割り込みから復帰できます。

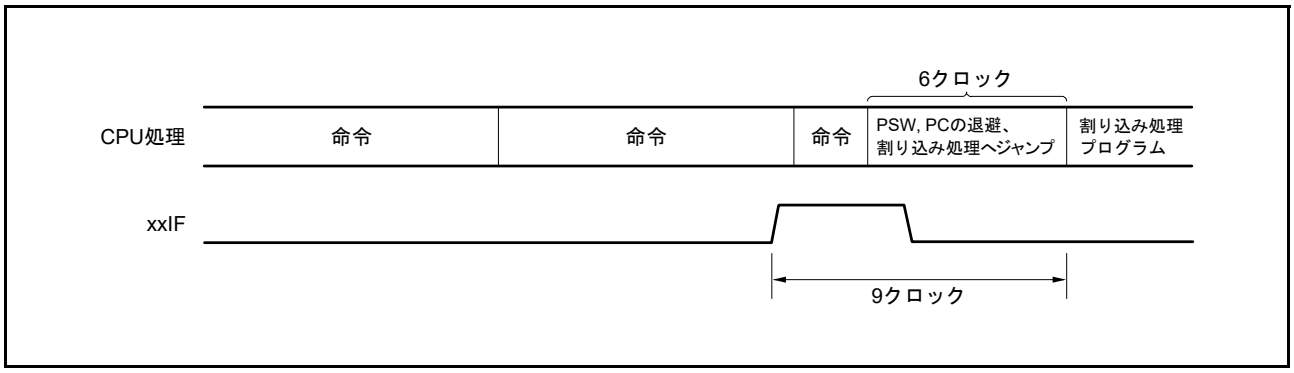
図18 - 7　割り込み要求受付処理アルゴリズム



注　デフォルト・プライオリティは、**表18 - 1　割り込み要因一覧**を参照してください。

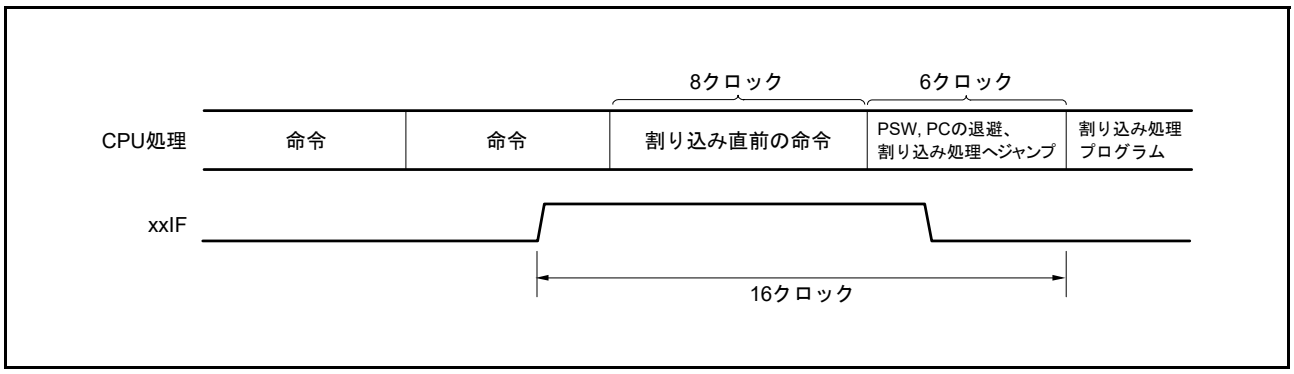
備考　xxIF　：割り込み要求フラグ
xxMK　：割り込みマスク・フラグ
xxPR0　：優先順位指定フラグ0
xxPR1　：優先順位指定フラグ1
IE　：マスカブル割り込み要求の受付を制御するフラグ（1 = 許可、0 = 禁止）
ISP1, ISP0　：現在処理中の割り込みの優先順位を示すフラグ（**図18 - 6　プログラム・ステータス・ワードの構成**参照）

図18 - 8　割り込み要求の受付タイミング（最小時間）



備考　1クロック：1/fCLK（fCLK：CPUクロック）

図18 - 9　割り込み要求の受付タイミング（最大時間）



備考　1クロック：1/fCLK（fCLK：CPUクロック）

18.4.2　ソフトウェア割り込み要求の受付動作

ソフトウェア割り込み要求は BRK 命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード（PSW）、プログラム・カウンタ（PC）の順に内容をスタックに退避し、IE フラグをリセット（0）し、ベクタ・テーブル（0007EH, 0007FH）の内容を PC にロードして分岐します。

RETB 命令によって、ソフトウェア割り込みから復帰できます。

注意　ソフトウェア割り込みからの復帰にRETI命令は使用できません。

18.4.3　多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受付許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受付禁止状態（IE = 0）になります。したがって、多重割り込みを許可するには、割り込み処理中に EI 命令によって IE フラグを 1 にセットして、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の 2 つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただし、レベル 0 の割り込み中に IE フラグを 1 にセットした場合には、レベル 0 のほかの割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも 1 命令実行後に受け付けられます。

表 18 - 5 に割り込み処理中に多重割り込み可能な割り込み要求の関係、**図 18 - 10** に多重割り込みの例を示します。

表18 - 5　割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 ＼ マスカブル割り込み		マスカブル割り込み要求								ソフトウェア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
処理中	ISP1, ISP0 = 00B	○	×	×	×	×	×	×	×	○
	ISP1, ISP0 = 01B	○	×	○	×	×	×	×	×	○
	ISP1, ISP0 = 10B	○	×	○	×	○	×	×	×	○
受付待ち	ISP1, ISP0 = 11B	○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能

備考2. ×：多重割り込み不可能

備考3. ISP1, ISP0, IEはPSWに含まれるフラグです。

ISP1, ISP0 = 00B ：レベル1またはレベル0の割り込み処理中

ISP1, ISP0 = 01B ：レベル2の割り込み処理中

ISP1, ISP0 = 10B ：レベル3の割り込み処理中

ISP1, ISP0 = 11B ：割り込み受付待ち（すべての割り込み許可）

IE = 0 ：割り込み要求受付禁止

IE = 1 ：割り込み要求受付許可

備考4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13Lレジスタに含まれるフラグです。

PR = 00 ：xxPR1x = 0, xxPR0x = 0でレベル0を指定（高優先順位）

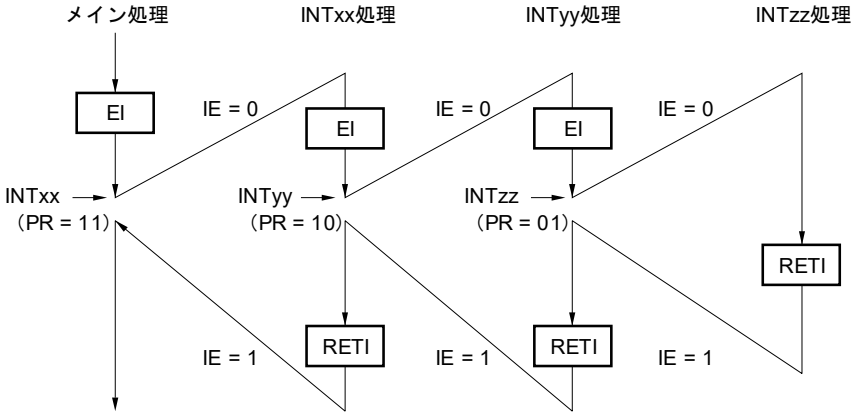
PR = 01 ：xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 ：xxPR1x = 1, xxPR0x = 0でレベル2を指定

PR = 11 ：xxPR1x = 1, xxPR0x = 1でレベル3を指定（低優先順位）

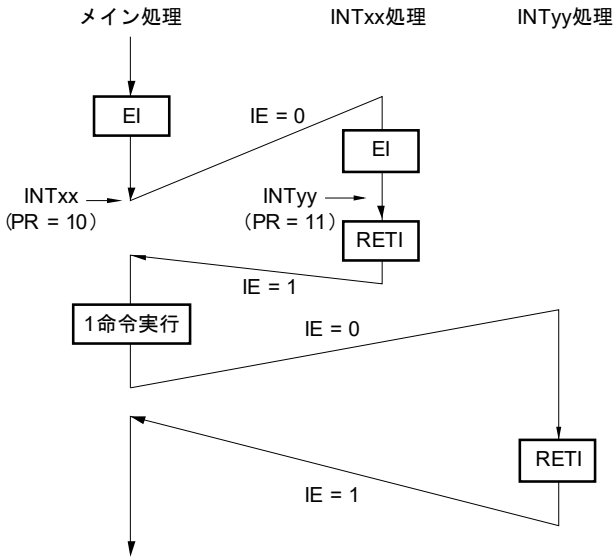
図18 - 10　多重割り込みの例 (1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受付の前には、必ずEI命令を発行し、割り込み要求受付許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例

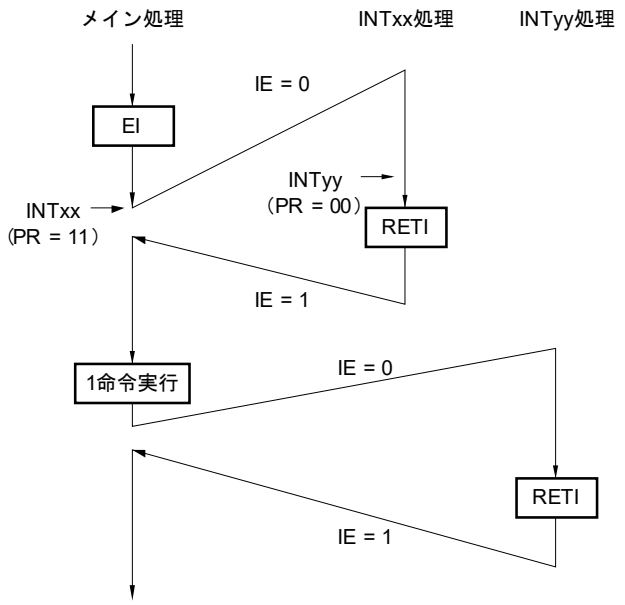


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

備考　PR = 00　：xxPR1x = 0, xxPR0x = 0でレベル0を指定（高優先順位）
PR = 01　：xxPR1x = 0, xxPR0x = 1でレベル1を指定
PR = 10　：xxPR1x = 1, xxPR0x = 0でレベル2を指定
PR = 11　：xxPR1x = 1, xxPR0x = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受付禁止
IE = 1　：割り込み要求受付許可

図18 - 10　多重割り込みの例 (2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

備考　PR = 00　：xxPR1x = 0, xxPR0x = 0でレベル0を指定（高優先順位）
PR = 01　：xxPR1x = 0, xxPR0x = 1でレベル1を指定
PR = 10　：xxPR1x = 1, xxPR0x = 0でレベル2を指定
PR = 11　：xxPR1x = 1, xxPR0x = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受付禁止
IE = 1　：割り込み要求受付許可

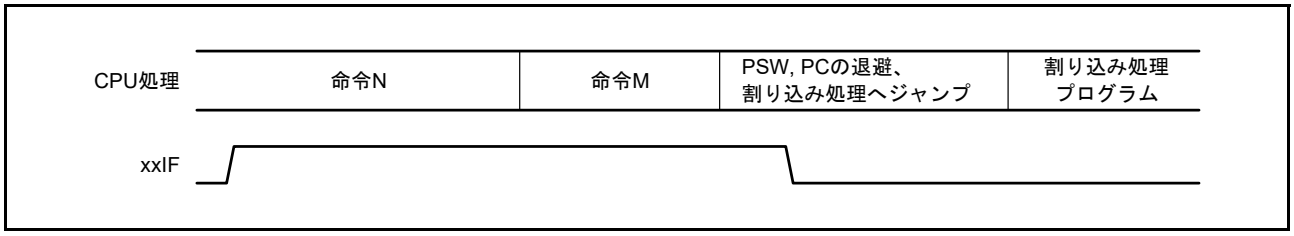
18.4.4　割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受付を保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L レジスタの各レジスタに対する書き込み命令

図 18 - 11 に割り込み要求が保留されるタイミングを示します。

図18 - 11　割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令

備考2. 命令M：割り込み要求の保留命令以外の命令

第19章　キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	16～36ピン	40, 44ピン	48ピン
キー割り込み入力チャネル数	—	4チャネル	6チャネル

19.1　キー割り込みの機能

キー割り込み入力端子（KR0-KR5）に立ち上がり／立ち下がりエッジを入力することによって、キー割り込み（INTKR）を発生させることができます。

表19 - 1　キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ0（KRM0）
KR0	KRM00
KR1	KRM01
KR2	KRM02
KR3	KRM03
KR4	KRM04
KR5	KRM05

備考　KR0-KR3：40, 44ピン製品
KR0-KR5：48ピン製品

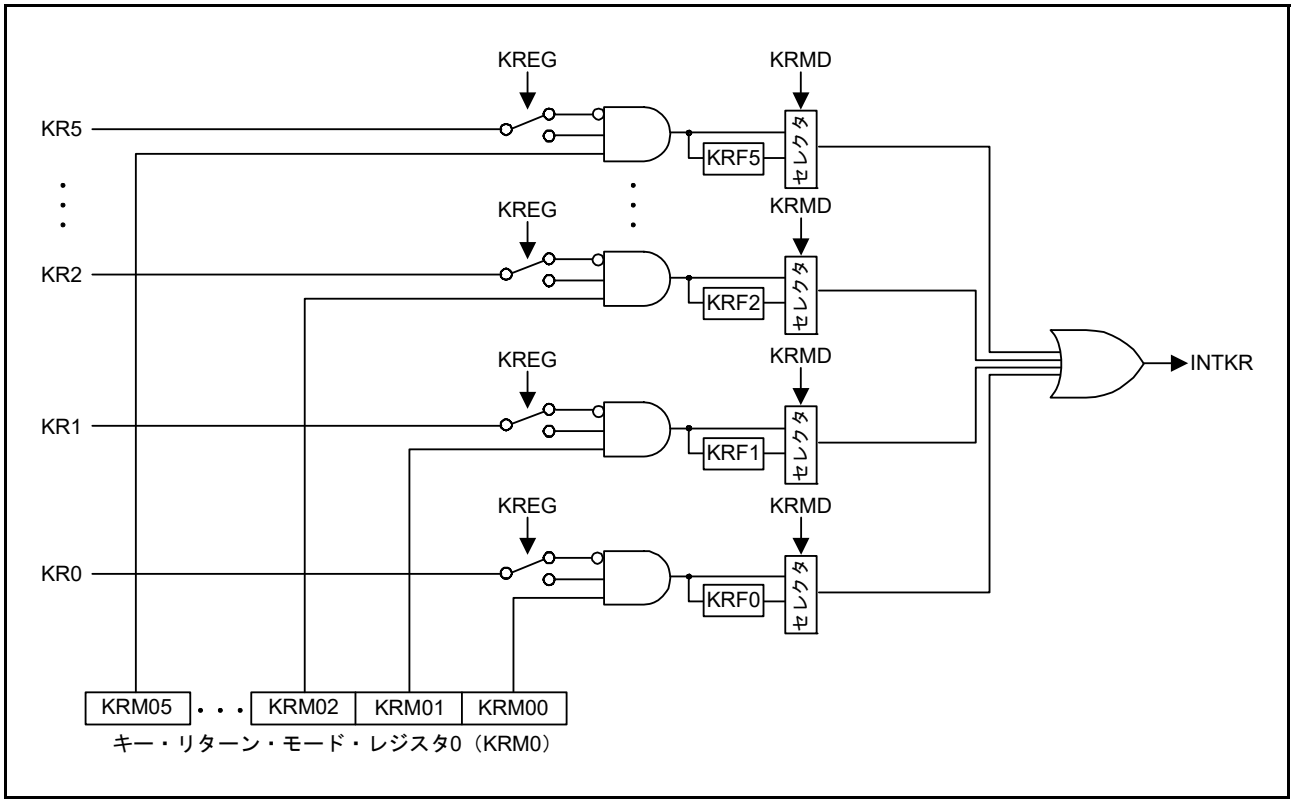
19.2　キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表19 - 2　キー割り込みの構成

項目	制御レジスタ
制御レジスタ	• キー・リターン・コントロール・レジスタ（KRCTL） • キー・リターン・モード・レジスタ0（KRM0） • キー・リターン・フラグ・レジスタ（KRF） • ポート・モード・レジスタ（PMxx）

図19 - 1　キー割り込みのブロック図



備考　KR0-KR3：40, 44ピン製品
KR0-KR5：48ピン製品

19.3　キー割り込みを制御するレジスタ

キー割り込みを制御するレジスタを次に示します。

- キー・リターン・コントロール・レジスタ（KRCTL）
- キー・リターン・モード・レジスタ0（KRM0）
- キー・リターン・フラグ・レジスタ（KRF）
- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

19.3.1　キー・リターン・コントロール・レジスタ（KRCTL）

KRCTL レジスタは、キー・リターン・フラグ（KRF0-KRF5）の使用と検出エッジを設定するレジスタです。
KRCTL レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図19 - 2　キー・リターン・コントロール・レジスタ（KRCTL）のフォーマット

アドレス　: FFF34H
リセット時: 00H
R/W属性　: R/W

略号	<7>	6	5	4	3	2	1	<0>
KRCTL	KRMD	0	0	0	0	0	0	KREG

KRMD	キー・リターン・フラグ（KRF0-KRF5）の使用
0	キー・リターン・フラグを使用しない
1	キー・リターン・フラグを使用する

KREG	検出エッジの選択（KR0-KR5）
0	立ち下がりエッジ
1	立ち上がりエッジ

19.3.2　キー・リターン・モード・レジスタ0（KRM0）

KRM0 レジスタは、KR0-KR5 信号を制御するレジスタです。
KRM0 レジスタは、1 ビット・メモリ操作命令および 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図19 - 3　キー・リターン・モード・レジスタ0（KRM0）のフォーマット

アドレス　: FFF37H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
KRM0	0	0	KRM05	KRM04	KRM03	KRM02	KRM01	KRM00

KRM0n	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. ビット7, 6には、必ず0を設定してください。
注意2. 次のビットには、必ず0を設定してください。
16～36ピン製品： ビット5-0
40, 44ピン製品　： ビット5, 4
注意3. キー割り込み入力端子のプルアップ抵抗オプション・レジスタ（PU7）の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。
注意4. キー割り込み入力端子にロウ・レベル（KREGビットに0を設定時）／ハイ・レベル（KREGビットに1を設定時）が入力されている状態で、KRM0レジスタの対象ビットをセットすると、割り込みが発生します。
この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRM0レジスタをセットしてください。その後、キー割り込み入力ハイ・レベル幅、ロウ・レベル幅（34.4　AC特性参照）を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。
注意5. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考　n = 0-5

19.3.3　キー・リターン・フラグ・レジスタ（KRF）

KRF レジスタは、キー割り込みフラグ（KRF0-KRF5）を制御するレジスタです。
KRF レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図19 - 4　キー・リターン・フラグ・レジスタ（KRF）のフォーマット

アドレス　：FFF35H
リセット時：00H
R/W属性　：R/W注

略号	7	6	5	4	3	2	1	0
KRF	0	0	KRF5	KRF4	KRF3	KRF2	KRF1	KRF0

KRFn	キー割り込みフラグ
0	キー割り込み信号を未検出
1	キー割り込み信号を検出

注　1の書き込みは無効になります。KRFnビットをクリアする場合は、対象ビットに0を、ほかのビットに1を8ビット・メモリ操作命令で書き込んでください。

備考　n = 0-5

19.3.4　キー割り込み入力と端子を兼用するポートのポート機能を制御するレジスタ

キー割り込み入力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.8　ポート・モード・コントロールT・レジスタ（PMCTxx）**を参照してください。
ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

第20章　スタンバイ機能

20.1　スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の 3 種類のモードがあります。

(1) HALTモード
HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード
STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速オンチップ・オシレータ、中速オンチップ・オシレータを停止させ、システム全体が停止するモードです。
CPUの動作電流を、大幅に低減することができます。
さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード
STOPモードを解除し、CPUを動作させることなく以下の周辺を動作させることができます。
詳細については、各章を参照してください。

- **第12章　A/Dコンバータ（ADC）**
- **第13章　シリアル・アレイ・ユニット（SAU）**
- **第16章　データ・トランスファ・コントローラ（DTC）**
- **第26章　SNOOZEモード・シーケンサ（SMS）**
- **第27章　静電容量センサユニット（CTSU2La）**

CPU／周辺ハードウェア・クロック（f_{CLK}）に高速オンチップ・オシレータまたは中速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ移行可能です。CPUがサブシステム・クロックで動作しているときは、STOP命令を実行しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも移行可能です。

注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください（SNOOZEモード機能を使用する周辺機能を除く）。

注意3. 低速オンチップ・オシレータをHALT、STOPモード時に発振継続／停止するかは、オプション・バイトのWDTONとサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットで選択できます。詳細は、6.1　クロック発生回路の機能(2)サブシステム・クロック② 低速オンチップ・オシレータ・クロックを参照してください。

20.2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- サブシステム・クロック供給モード制御レジスタ（OSMC）
- 発振安定時間カウンタ状態レジスタ（OSTC）
- 発振安定時間選択レジスタ（OSTS）
- スタンバイ・モード解除設定レジスタ（WKUPMD）

備考　OSMC, OSTC, OSTSレジスタの詳細は、**第6章　クロック発生回路**を参照してください。
また、SNOOZEモード機能を制御するレジスタは、下記の章を参照してください。

- **第12章　A/Dコンバータ（ADC）**
- **第13章　シリアル・アレイ・ユニット（SAU）**
- **第16章　データ・トランスファ・コントローラ（DTC）**
- **第26章　SNOOZEモード・シーケンサ（SMS）**
- **第27章　静電容量センサユニット（CTSU2La）**

20.2.1　スタンバイ・モード解除設定レジスタ（WKUPMD）

WKUPMD レジスタは、スタンバイ・モード解除時の動作を設定するレジスタです。
WKUPMD レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図20 - 1　スタンバイ・モード解除設定レジスタ（WKUPMD）のフォーマット

アドレス　: F0215H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	<0>
WKUPMD	0	0	0	0	0	0	0	FWKUP

FWKUP	STOPモード解除およびSNOOZEモード遷移時の高速オンチップ・オシレータ起動設定注1, 2
0	通常起動注3
1	高速起動注3

注1.　CPUクロックに高速オンチップ・オシレータを選択しているときのみ設定可能です。

注2.　リセット信号の発生によるSTOPモード解除時には本レジスタは初期化され、高速オンチップ・オシレータは通常起動します。

注3.　各起動時間については、**20.3.2　STOPモード**を参照してください。
なお、通常起動と高速起動により高速オンチップ・オシレータの周波数精度が異なります。**第34章　電気的特性**を参照してください。

20.3　スタンバイ機能の動作

20.3.1　HALTモード

(1) HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

注意　割り込みマスク・フラグが0（割り込み処理許可）でかつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表20 - 1および**表20 - 2**にHALTモード時の動作状態を示します。

表20 - 1　HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合）(1/2)

<table>
<tr><th colspan="3">HALTモードの設定
項目</th><th colspan="4">メイン・システム・クロックでCPU動作中のHALT命令実行時</th></tr>
<tr><th colspan="3"></th><th>高速オンチップ・オシレータ・クロック（fIH）でCPU動作時</th><th>中速オンチップ・オシレータ・クロック（fIM）でCPU動作時</th><th>X1クロック（fX）でCPU動作時</th><th>外部メイン・システム・クロック（fEX）でCPU動作時</th></tr>
<tr><td colspan="3">システム・クロック</td><td colspan="4">CPUへのクロック供給は停止</td></tr>
<tr><td rowspan="4">メイン・システム・クロック</td><td>fIH</td><td>動作継続（停止不可）</td><td colspan="3">動作禁止</td></tr>
<tr><td>fIM</td><td>動作禁止</td><td>動作継続（停止不可）</td><td colspan="2">動作禁止</td></tr>
<tr><td>fX</td><td colspan="2" rowspan="2">動作禁止</td><td>動作継続（停止不可）</td><td>動作不可</td></tr>
<tr><td>fEX</td><td>動作不可</td><td>動作継続（停止不可）</td></tr>
<tr><td rowspan="3">サブシステム・クロック</td><td>fXT</td><td colspan="4" rowspan="2">HALTモード設定前の状態を継続</td></tr>
<tr><td>fEXS</td></tr>
<tr><td>fIL</td><td colspan="4">ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定
WUTMMCK0 = 1またはSELLOSC = 1：発振
（サブシステム・クロックX, XR（fSX, fSXR）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止）
WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止
WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振
WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止</td></tr>
<tr><td colspan="3">CPU</td><td colspan="4" rowspan="3">動作停止</td></tr>
<tr><td colspan="3">コード・フラッシュ・メモリ</td></tr>
<tr><td colspan="3">データ・フラッシュ・メモリ</td></tr>
<tr><td colspan="3">RAM</td><td colspan="4">動作停止（DTC、SMS実行時は動作可能）</td></tr>
<tr><td colspan="3">ポート（ラッチ）</td><td colspan="4">HALTモード設定前の状態を継続（DTC、SMS、ELC実行時は動作可能）</td></tr>
<tr><td colspan="3">タイマ・アレイ・ユニット</td><td colspan="4">動作可能</td></tr>
<tr><td colspan="3">RTC</td><td colspan="4">動作可能</td></tr>
<tr><td colspan="3">32ビット・インターバル・タイマ</td><td colspan="4">動作可能</td></tr>
<tr><td colspan="3">ウォッチドッグ・タイマ</td><td colspan="4">**第11章　ウォッチドッグ・タイマ（WDT）**参照</td></tr>
</table>

表20 - 1　HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合） (2/2)

項目 ＼ HALTモードの設定		メイン・システム・クロックでCPU動作中のHALT命令実行時			
		高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
クロック出力／ブザー出力		動作可能			
A/Dコンバータ					
シリアル・アレイ・ユニット					
シリアル・インタフェースIICA					
シリアル・インタフェースUARTA					
データ・トランスファ・コントローラ（DTC）					
SNOOZEモード・シーケンサ（SMS）					
イベント・リンク・コントローラ（ELC）		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
静電容量センサユニット（CTSU2La）注					
CRC演算機能	高速CRC				
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能			
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能			
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器		動作可能			

★ **注**　静電容量センサユニット（CTSU2La）の計測精度は、動作クロックの精度に依存します。CTSU2Laを使用する場合は、CPU／周辺ハードウェア・クロック（f_{CLK}）として、高速オンチップ・オシレータ・クロック（f_{IH}）または高速システム・クロック（f_{MX}）を選択することを推奨します。

備考1. 動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる

備考2. f_{IH}：高速オンチップ・オシレータ・クロック　f_{IL}：低速オンチップ・オシレータ・クロック
f_{IM}：中速オンチップ・オシレータ・クロック　f_X：X1クロック
f_{EX}：外部メイン・システム・クロック　f_{XT}：XT1クロック
f_{EXS}：外部サブシステム・クロック

表20 - 2　HALTモード時の動作状態（CPUクロックがサブシステム・クロックの場合）(1/2)

項目 ＼ HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時	低速オンチップ・オシレータ・クロック（f_{IL}）でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システム・クロック	f_{IH}	動作禁止		
	f_{IM}			
	f_X			
	f_{EX}			
サブシステム・クロック	f_{XT}	動作継続（停止不可）	動作不可	動作禁止
	f_{EXS}	動作不可	動作継続（停止不可）	動作禁止
	f_{IL}	ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1：発振 （サブシステム・クロックX, XR（f_{SX}, f_{SXR}）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止		動作継続（停止不可）
CPU		動作停止		
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM		動作停止（DTC、SMS実行時は動作可能）		
ポート（ラッチ）		HALTモード設定前の状態を継続（DTC、SMS、ELC実行時は動作可能）		
タイマ・アレイ・ユニット		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
RTC		動作可能		
32ビット・インターバル・タイマ		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
ウォッチドッグ・タイマ		**第11章　ウォッチドッグ・タイマ（WDT）**参照		
クロック出力／ブザー出力		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
A/Dコンバータ		動作禁止		
シリアル・アレイ・ユニット		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
シリアル・インタフェースIICA		動作禁止		
シリアル・インタフェースUARTA		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
データ・トランスファ・コントローラ（DTC）		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
SNOOZEモード・シーケンサ（SMS）		RTCLPC = 0のときは動作可能（それ以外は動作禁止）		動作可能
イベント・リンク・コントローラ（ELC）		動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能		動作可能		
電圧検出機能				
外部割り込み				
キー割り込み機能				
★ 静電容量センサユニット（CTSU2La）		動作禁止		

表20 - 2　HALTモード時の動作状態（CPUクロックがサブシステム・クロックの場合） (2/2)

項目 ＼ HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時		
		XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時	低速オンチップ・オシレータ・クロック（f_{IL}）でCPU動作時
CRC演算機能	高速CRC	動作禁止		
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能		
不正メモリ・アクセス検出機能		DTC、SMS実行時は動作可能		
RAMパリティ・エラー検出機能				
RAMガード機能				
SFRガード機能				
真性乱数発生器		動作可能		

備考1. 動作停止：HALTモード移行時に自動的に動作停止
動作禁止：HALTモード移行前に動作を停止させる

備考2. f_{IH} ：高速オンチップ・オシレータ・クロック
f_{IM} ：中速オンチップ・オシレータ・クロック
f_{EX} ：外部メイン・システム・クロック
f_{EXS}：外部サブシステム・クロック
f_{IL} ：低速オンチップ・オシレータ・クロック
f_{X} ：X1クロック
f_{XT} ：XT1クロック

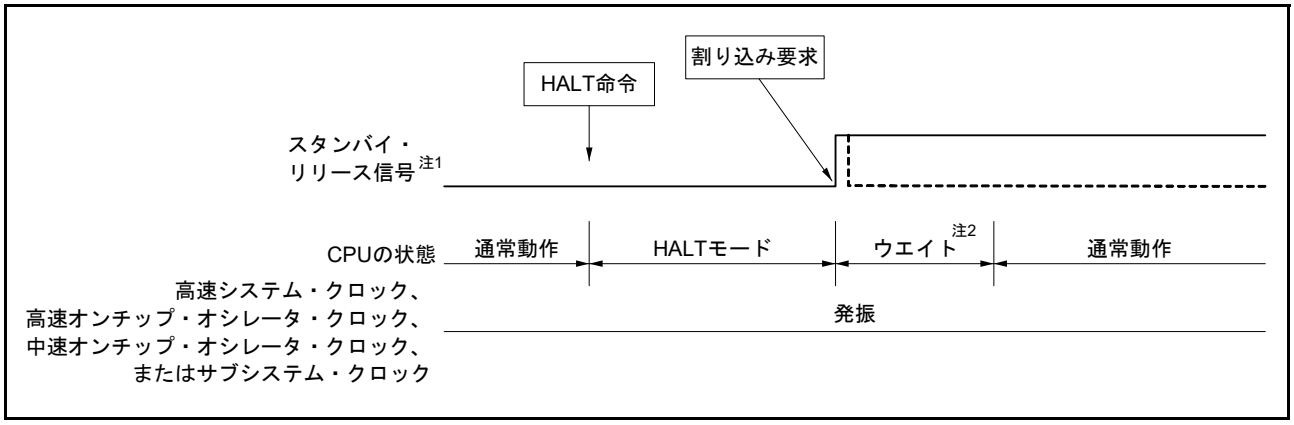
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受付許可状態であれば、ベクタ割り込み処理が行われます。割り込み受付禁止状態であれば、次のアドレスの命令が実行されます。

図20 - 2　HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関しての詳細は、**図18 - 1　割り込み機能の基本構成**を参照してください。

注2. HALTモード解除のウエイト時間

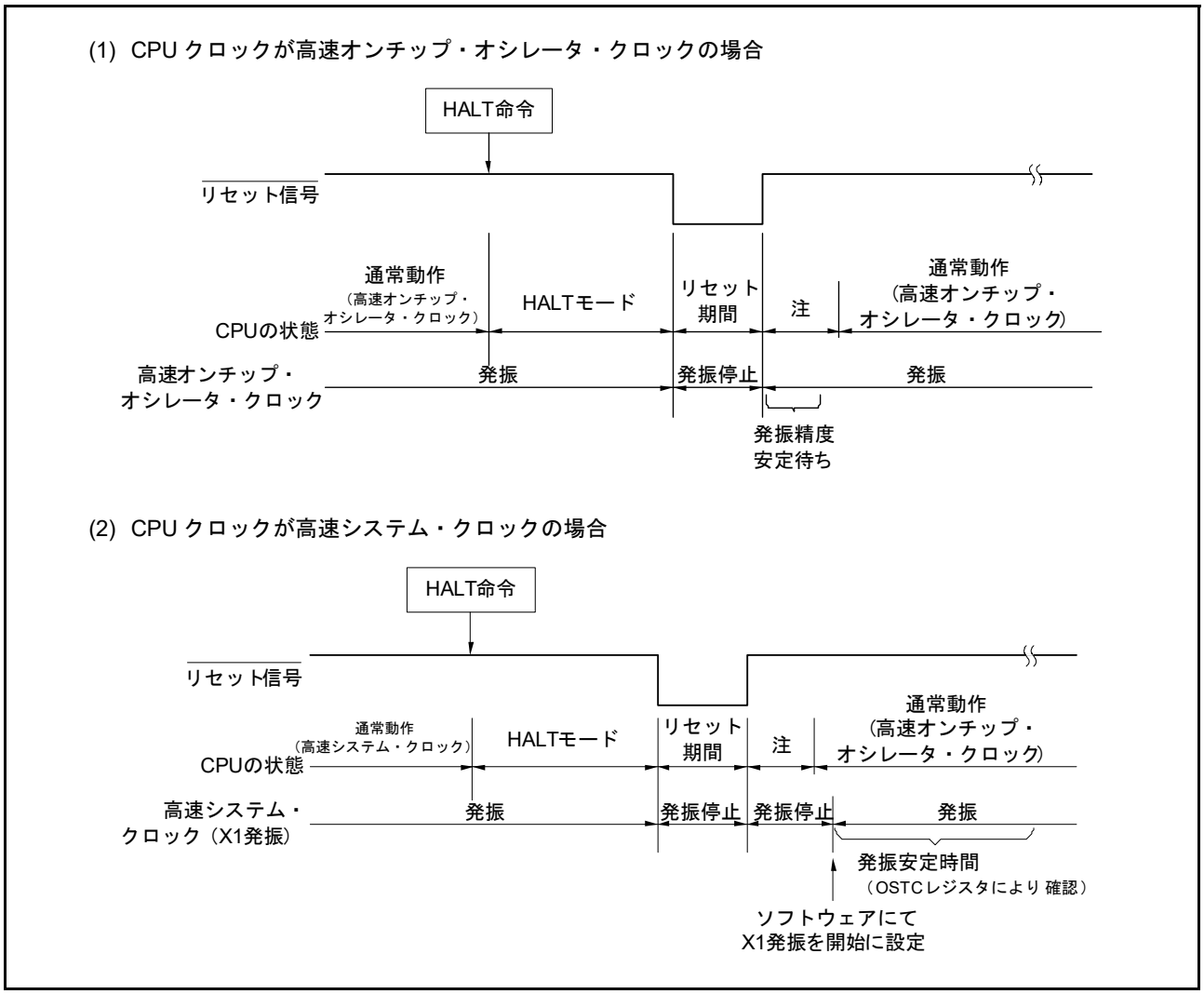
- ベクタ割り込み処理を行う場合
  - メイン・システム・クロック時　：15～16クロック
  - サブシステム・クロック時（RTCLPC = 0）：10～11クロック
  - サブシステム・クロック時（RTCLPC = 1）：11～12クロック
- ベクタ割り込み処理を行わない場合
  - メイン・システム・クロック時　：9～10クロック
  - サブシステム・クロック時（RTCLPC = 0）：4～5クロック
  - サブシステム・クロック時（RTCLPC = 1）：5～6クロック

備考　破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

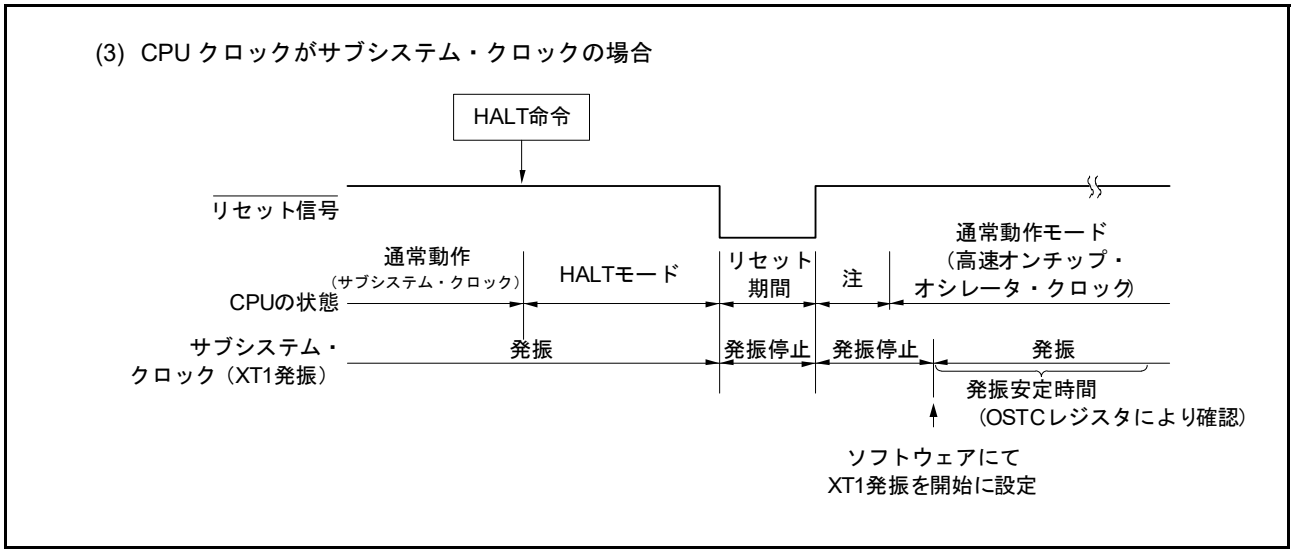
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20 - 3　HALTモードのリセットによる解除 (1/2)



注　リセット処理時間は、**第21章　リセット機能**を参照してください。なお、パワーオン・リセット回路（POR）と電圧検出回路（LVD0, LVD1）のリセット処理時間は、**第22章　パワーオン・リセット回路（POR）**を参照してください。

図20 - 3　HALTモードのリセットによる解除 (2/2)



注　リセット処理時間は、**第21章　リセット機能**を参照してください。なお、パワーオン・リセット回路（POR）と電圧検出回路（LVD0, LVD1）のリセット処理時間は、**第22章　パワーオン・リセット回路（POR）**を参照してください。

20.3.2　STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意　割り込みマスク・フラグが0（割り込み処理許可）かつ割り込み要求フラグが1（割り込み要求信号が発生）の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってただちに解除されます。
したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

表20 - 3にSTOPモード時の動作状態を示します。

表20 - 3　STOPモード時の動作状態 (1/2)

STOPモードの設定 ＼ 項目			メイン・システム・クロックでCPU動作中のSTOP命令実行時			
			高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{IH}	停止			
		f_{IM}	停止			
		f_X	停止			
		f_{EX}				
	サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続			
		f_{EXS}				
		f_{IL}	ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 （サブシステム・クロックX, XR（f_{SX}, f_{SXR}）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止			
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ						
RAM						
ポート（ラッチ）			STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット			動作停止			
RTC			動作可能			
32ビット・インターバル・タイマ			f_{SXP}選択かつRTCLPC = 0のとき動作可能			
ウォッチドッグ・タイマ			**第11章　ウォッチドッグ・タイマ（WDT）**参照			
クロック出力／ブザー出力			f_{SXP}選択かつRTCLPC = 0のとき動作可能			
A/Dコンバータ			ウェイクアップ動作可能（SNOOZEモードへ移行）			
シリアル・アレイ・ユニット			CSIp, UARTqのみウェイクアップ動作可能（SNOOZEモードへ移行） CSIp, UARTq以外は動作禁止			
シリアル・インタフェースIICA			アドレス一致によるウェイクアップ動作可能			
シリアル・インタフェースUARTA			f_{SXP}選択かつRTCLPC = 0のとき動作可能			

表20 - 3　STOPモード時の動作状態 (2/2)

項目 ＼ STOPモードの設定		メイン・システム・クロックでCPU動作中のSTOP命令実行時			
		高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時
データ・トランスファ・コントローラ（DTC）		DTC起動要因受付動作可能（SNOOZEモードへ移行）			
SNOOZEモード・シーケンサ（SMS）		SMS起動要因受付動作可能（SNOOZEモードへ移行）			
イベント・リンク・コントローラ（ELC）		動作可能な機能ブロック間のリンクが可能			
パワーオン・リセット機能		動作可能			
電圧検出機能					
外部割り込み					
キー割り込み機能					
静電容量センサユニット（CTSU2La）注		CTSU2La起動要因受付動作可能（SNOOZEモードへ移行）			
CRC演算機能	高速CRC	動作停止			
	汎用CRC				
不正メモリ・アクセス検出機能					
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					
真性乱数発生器					

★ **注**　静電容量センサユニット（CTSU2La）の計測精度は、動作クロックの精度に依存します。
CTSU2Laを使用する場合は、CPU／周辺ハードウェア・クロック（f_{CLK}）として、高速オンチップ・オシレータ・クロック（f_{IH}）または高速システム・クロック（f_{MX}）を選択することを推奨します。

備考1. 動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる

備考2. f_{IH}：高速オンチップ・オシレータ・クロック　f_{IL}：低速オンチップ・オシレータ・クロック
f_{IM}：中速オンチップ・オシレータ・クロック　f_X：X1クロック
f_{EX}：外部メイン・システム・クロック　f_{XT}：XT1クロック
f_{EXS}：外部サブシステム・クロック　f_{SXP}：低速周辺クロック

備考3. p = 00, q = 0

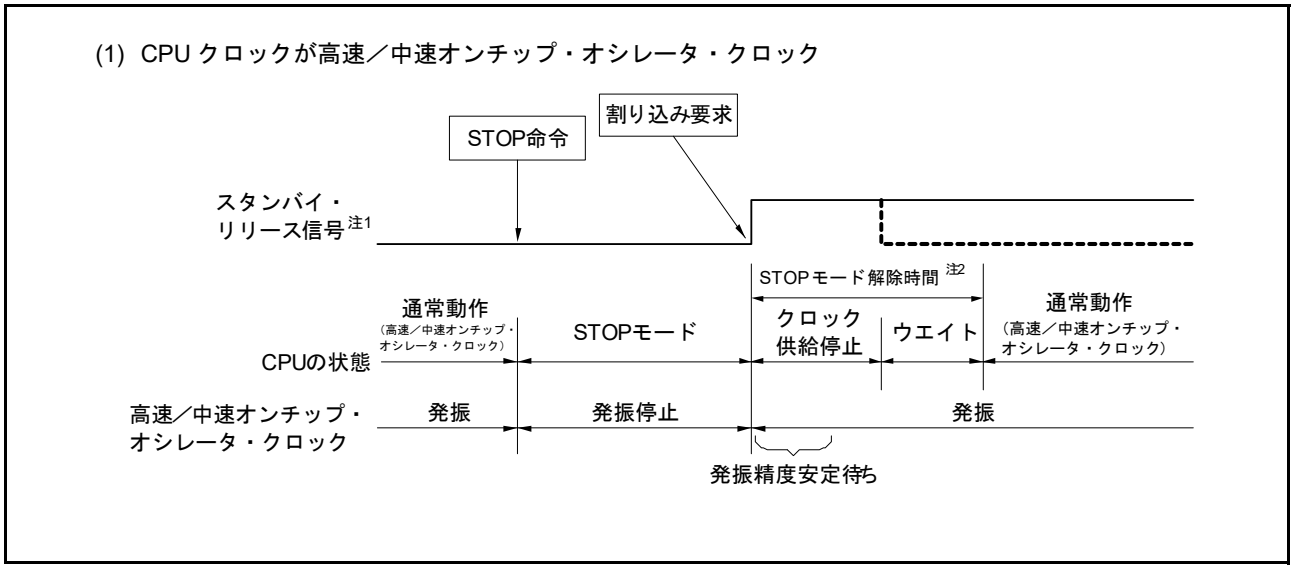
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受付許可状態であれば、ベクタ割り込み処理を行います。割り込み受付禁止状態であれば、次のアドレスの命令を実行します。

図20 - 4　STOPモードの割り込み要求発生による解除 (1/3)



注1. スタンバイ・リリース信号に関しての詳細は、**図18 - 1　割り込み機能の基本構成**を参照してください。

注2. STOPモード解除時間

- クロック供給停止
  - 高速オンチップ・オシレータ・クロックの場合：3.9～5.2 μs + 3～4クロック（通常起動（WKUPMD.FWKUP = 0））
    0.6～0.8 μs + 3～4クロック（高速起動（WKUPMD.FWKUP = 1））
    通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。
    第34章　電気的特性を参照してください。
  - 中速オンチップ・オシレータ・クロックの場合：1.5～2.5 μs + 3～4クロック
- ウエイト
  （高速／中速オンチップ・オシレータ・クロック共通）
  - ベクタ割り込み処理を行う場合　　：7クロック
  - ベクタ割り込み処理を行わない場合：1クロック

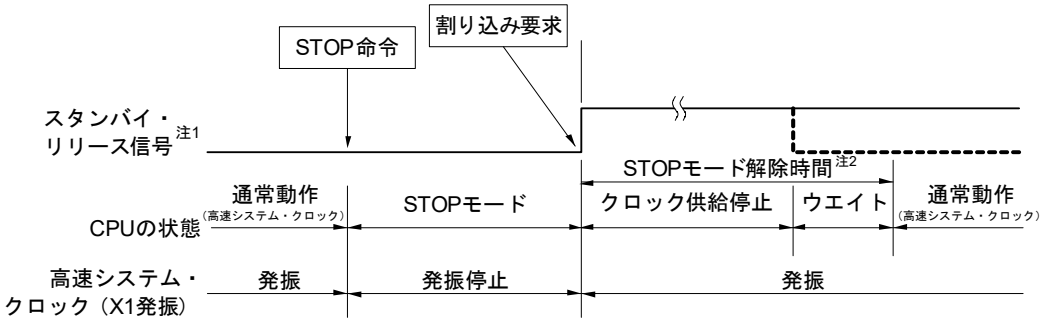
注意　高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図20 - 4　STOPモードの割り込み要求発生による解除 (2/3)

(2) CPU クロックが高速システム・クロック（X1 発振）の場合



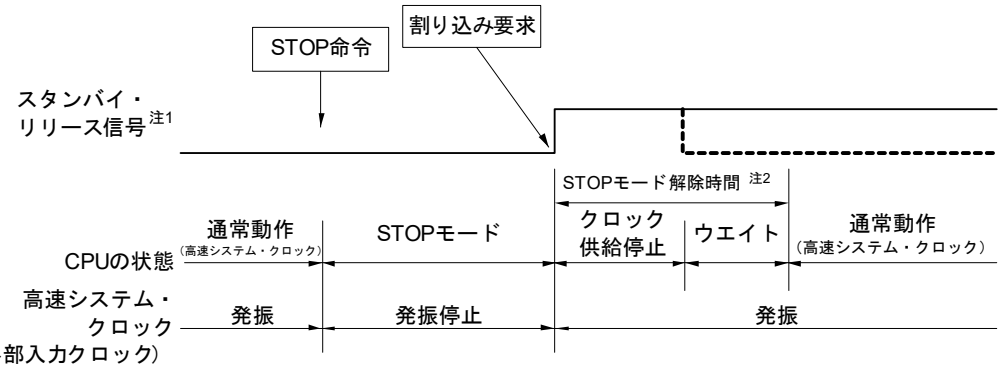
注1.　スタンバイ・リリース信号に関しての詳細は、**図18 - 1　割り込み機能の基本構成**を参照してください。

注2.　STOPモード解除時間

- クロック供給停止
  発振安定時間（OSTSレジスタで設定）＋3～4クロック
- ウエイト
  – ベクタ割り込み処理を行う場合　　：7クロック
  – ベクタ割り込み処理を行わない場合：1クロック

図20 - 4　STOPモードの割り込み要求発生による解除 (3/3)

(3) CPU クロックが高速システム・クロック（外部クロック入力）の場合



注1.　スタンバイ・リリース信号に関しての詳細は、**図18 - 1　割り込み機能の基本構成**を参照してください。

注2.　STOPモード解除時間

- クロック供給停止
  外部クロック　　：50～51クロック
- ウエイト
  – ベクタ割り込み処理を行う場合　　：7クロック
  – ベクタ割り込み処理を行わない場合：1クロック

注意　**高速システム・クロック（X1発振）でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。**

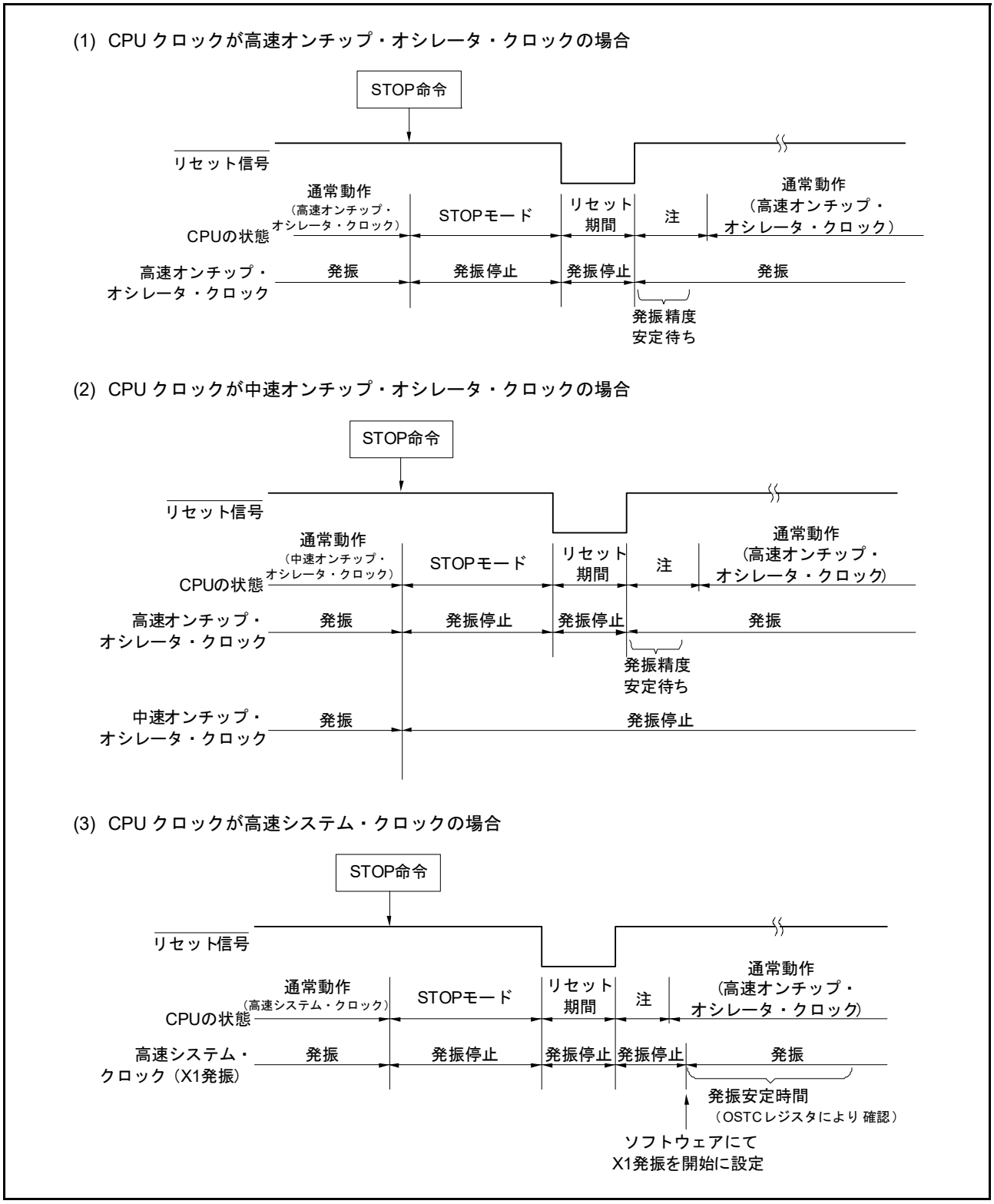
備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図20 - 5　STOPモードのリセットによる解除



注　リセット処理時間は、**第21章　リセット機能**を参照してください。なお、パワーオン・リセット回路（POR）と電圧検出回路（LVD0, LVD1）のリセット処理時間は、**第22章　パワーオン・リセット回路（POR）**を参照してください。

20.3.3 SNOOZEモード

(1) SNOOZEモードの設定および動作状態

以下の周辺によって設定可能です。
詳細については、各章を参照してください。

- **第12章　A/Dコンバータ（ADC）**
- **第13章　シリアル・アレイ・ユニット（SAU）**
- **第16章　データ・トランスファ・コントローラ（DTC）**
- **第26章　SNOOZEモード・シーケンサ（SMS）**
- **第27章　静電容量センサユニット（CTSU2La）**

また、設定前のCPUクロックが、高速オンチップ・オシレータ・クロックまたは中速オンチップ・オシレータ・クロックの場合、設定可能です。

SNOOZEモードの移行では、次の時間だけウエイト状態になります。

(a) STOPモード→SNOOZEモードの遷移時間

- 高速オンチップ・オシレータ・クロックの場合　：3.9 ～ 5.2 μs（通常起動（WKUPMD.FWKUP = 0））
  0.6 ～ 0.8 μs（高速起動（WKUPMD.FWKUP = 1））
  通常起動と高速起動では高速オンチップ・オシレータの周波数精度が異なります。
  第 34 章　電気的特性を参照してください。
- 中速オンチップ・オシレータ・クロックの場合注：1.3 ～ 2.5 μs

(b) SNOOZEモード→通常動作の遷移時間

- 高速オンチップ・オシレータ・クロックの場合
  – ベクタ割り込み処理を行う場合
    “0.3 ～ 0.4 μs” + 10 ～ 11 クロック
  – ベクタ割り込み処理を行わない場合
    “0.3 ～ 0.4 μs” + 4 ～ 5 クロック
- 中速オンチップ・オシレータ・クロックの場合注
  – ベクタ割り込み処理を行う場合
    “0.6 ～ 1.2 μs” + 10 ～ 11 クロック
  – ベクタ割り込み処理を行わない場合
    “0.6 ～ 1.2 μs” + 4 ～ 5 クロック

注　中速オンチップ・オシレータ・トリミング・レジスタ（MIOTRM）が初期値の場合

備考　STOPモード→SNOOZEモードの遷移時間は、温度条件とSTOPモード期間によって変化します。

表20 - 4にSNOOZEモード時の動作状態を示します。

表20 - 4　SNOOZEモード時の動作状態 (1/2)

項目 ＼ STOPモードの設定		STOPモード中にSNOOZEモードに移行可能な要因発生時	
		高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f_{IH}	動作開始	停止
	f_{IM}	停止	動作開始
	f_X	停止	
	f_{EX}		
サブシステム・クロック	f_{XT}	動作可能	
	f_{EXS}		
	f_{IL}	ユーザ・オプション・バイト（000C0H）のWDSTBYON, WDTONビットおよびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 WUTMMCK0 = 1またはSELLOSC = 1：発振 （サブシステム・クロックX, XR（f_{SX}, f_{SXR}）動作時はWUTMMCK0 = 1, SELLOSC = 1の設定禁止） WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 0：停止 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 1のとき：発振 WUTMMCK0 = 0かつSELLOSC = 0かつWDTON = 1かつWDSTBYON = 0のとき：停止	
CPU		動作停止	
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM		動作停止（DTC、SMS実行時は動作可能）	
ポート（ラッチ）		SNOOZEモード遷移前の状態を継続（DTC、SMS、ELC実行時は動作可能）	
タイマ・アレイ・ユニット		DTC、SMS、ELC実行時は動作可能	
RTC		動作可能	
32ビット・インターバル・タイマ		f_{SXP}選択かつRTCLPC = 0のとき動作可能	
ウォッチドッグ・タイマ		**第11章　ウォッチドッグ・タイマ（WDT）**参照	
クロック出力／ブザー出力		f_{SXP}選択かつRTCLPC = 0のとき動作可能	
A/Dコンバータ		動作可能	
シリアル・アレイ・ユニット		CSIp, UARTqのみ動作可能 CSIp, UARTq以外は動作禁止	
シリアル・インタフェースIICA		アドレス一致によるウェイクアップ動作可能	
シリアル・インタフェースUARTA		f_{SXP}選択かつRTCLPC = 0のとき動作可能	
データ・トランスファ・コントローラ（DTC）		動作可能	
SNOOZEモード・シーケンサ（SMS）		動作可能	
イベント・リンク・コントローラ（ELC）		動作可能な機能ブロック間のリンクが可能（A/Dコンバータを除く）	
パワーオン・リセット機能		動作可能	
電圧検出機能			
外部割り込み			
キー割り込み機能			
静電容量センサユニット（CTSU2La）注		動作可能	
CRC演算機能	高速CRC	動作停止	
	汎用CRC	RAM領域の演算で、DTC、SMS実行時は動作可能	

表20 - 4　SNOOZEモード時の動作状態 (2/2)

STOPモードの設定 / 項目	STOPモード中にSNOOZEモードに移行可能な要因発生時	
	高速オンチップ・オシレータ・クロック（f_{IH}）でCPU動作時	中速オンチップ・オシレータ・クロック（f_{IM}）でCPU動作時
不正メモリ・アクセス検出機能	DTC、SMS実行時は動作可能	
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		
真性乱数発生器		

★ **注**　静電容量センサユニット（CTSU2La）の計測精度は、動作クロックの精度に依存します。CTSU2Laを使用する場合は、CPU／周辺ハードウェア・クロック（f_{CLK}）として、高速オンチップ・オシレータ・クロック（f_{IH}）を選択することを推奨します。

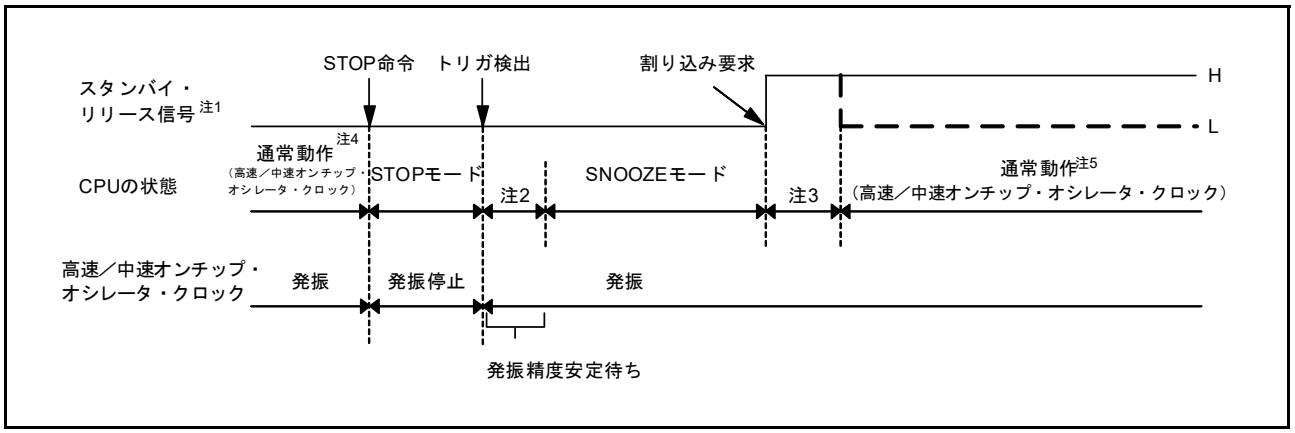
備考1. 動作停止：STOPモード移行時に自動的に動作停止
動作禁止：STOPモード移行前に動作を停止させる

備考2. f_{IH}：高速オンチップ・オシレータ・クロック
f_{IM}：中速オンチップ・オシレータ・クロック
f_{EX}：外部メイン・システム・クロック
f_{EXS}：外部サブシステム・クロック
f_{SXR}：サブシステム・クロックXR
f_{IL}：低速オンチップ・オシレータ・クロック
f_{X}：X1クロック
f_{XT}：XT1クロック
f_{SX}：サブシステム・クロックX
f_{SXP}：低速周辺クロック

備考3. p = 00, q = 0

(2)　SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図20 - 6　SNOOZEモードの割り込み要求が発生する場合



注1.　スタンバイ・リリース信号に関しての詳細は、**図18 - 1　割り込み機能の基本構成**を参照してください。

注2.　STOPモード→SNOOZEモードの遷移時間

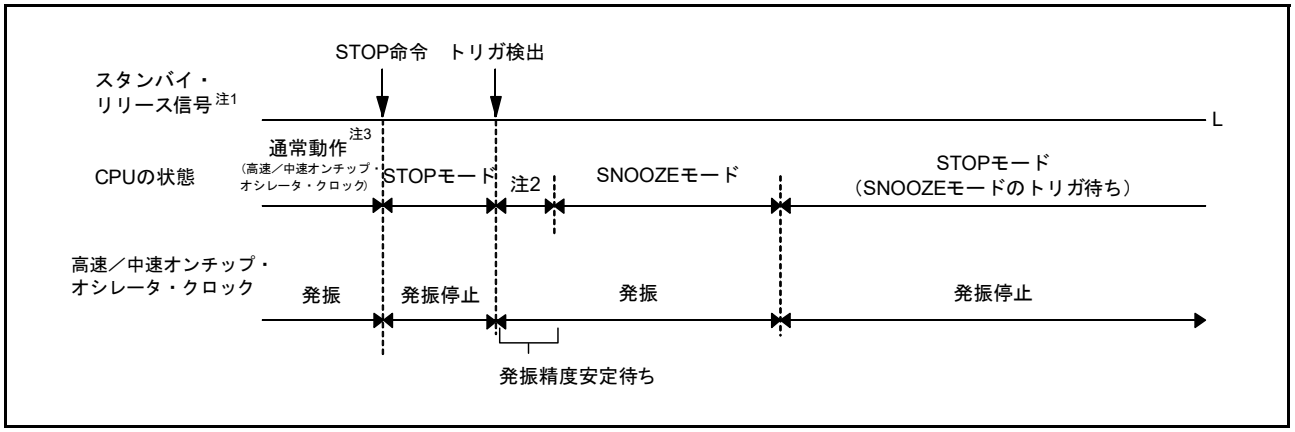
注3.　SNOOZEモード→通常動作の遷移時間

注4.　STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

注5.　通常動作に復帰後すぐに、必ずSNOOZEモード解除に設定してください。

(3)　SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図20 - 7　SNOOZEモードの割り込み要求が発生しない場合



注1.　スタンバイ・リリース信号に関しての詳細は、**図18 - 1　割り込み機能の基本構成**を参照してください。

注2.　STOPモード→SNOOZEモードの遷移時間

注3.　STOPモードへ移行する直前に、SNOOZEモード許可に設定してください。

備考　SNOOZEモード機能の詳細は、下記の章を参照してください。

- **第12章　A/Dコンバータ（ADC）**
- **第13章　シリアル・アレイ・ユニット（SAU）**
- **第16章　データ・トランスファ・コントローラ（DTC）**
- **第26章　SNOOZEモード・シーケンサ（SMS）**
- **第27章　静電容量センサユニット（CTSU2La）**

第21章　リセット機能

リセット信号を発生させる方法には、次の 7 種類があります。

(1) $\overline{\text{RESET}}$端子による外部リセット入力
(2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
(3) パワーオン・リセット回路（POR）の電源電圧と検出電圧との比較による内部リセット
(4) 電圧検出回路（LVD0, LVD1）の電源電圧と検出電圧の比較による内部リセット
(5) 不正命令の実行による内部リセット注
(6) RAMパリティ・エラーによる内部リセット
(7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、パワーオン・リセット回路、LVD0, LVD1 の電圧検出、不正命令の実行注、RAM パリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは**表 21 - 1　リセット期間中の動作状態**に示すような状態になります。

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッギング・エミュレータによるエミュレーションでは発生しません。

注意1. 外部リセットを行う場合、$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。
電源立ち上げ時に外部リセットを行う場合は、$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し、34.4　AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

注意2. リセット信号発生中では、X1クロック、高速オンチップ・オシレータ・クロック、中速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
XT1クロック、外部サブシステム・クロックはPORによるリセット中のみ発振停止または入力無効となります。

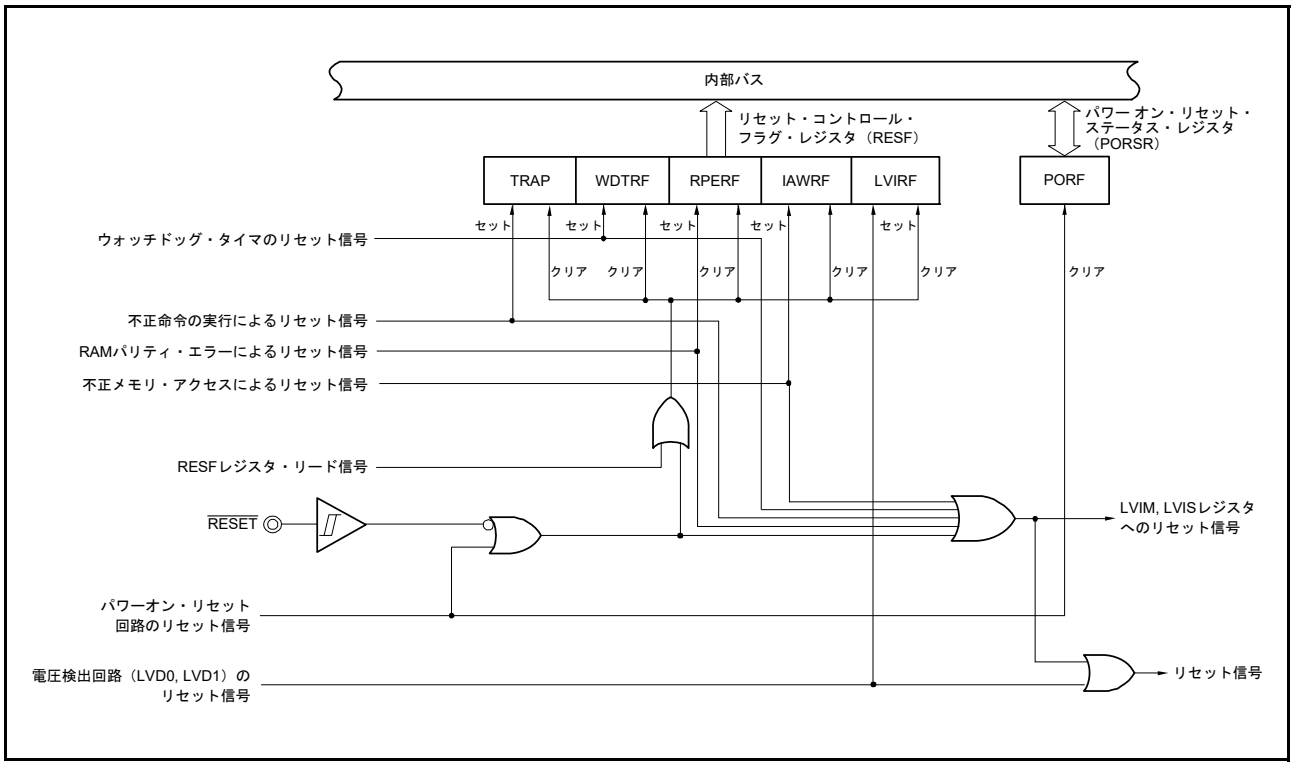
注意3. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子は次の状態になります。

- **P40　：外部リセットか POR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）**
- **P130：リセット期間中およびリセット受付後はロウ・レベル出力**
- **P40, P130 以外のポート：リセット期間中およびリセット受付後はハイ・インピーダンス**

以下のレジスタはPORによるリセットでのみ初期化されます。

- **RTC関連レジスタ**
- **CMC レジスタのEXCLKS, OSCSELS, XTSEL, AMPHS1, AMPHS0ビット**

図21 - 1　　リセット機能のブロック図

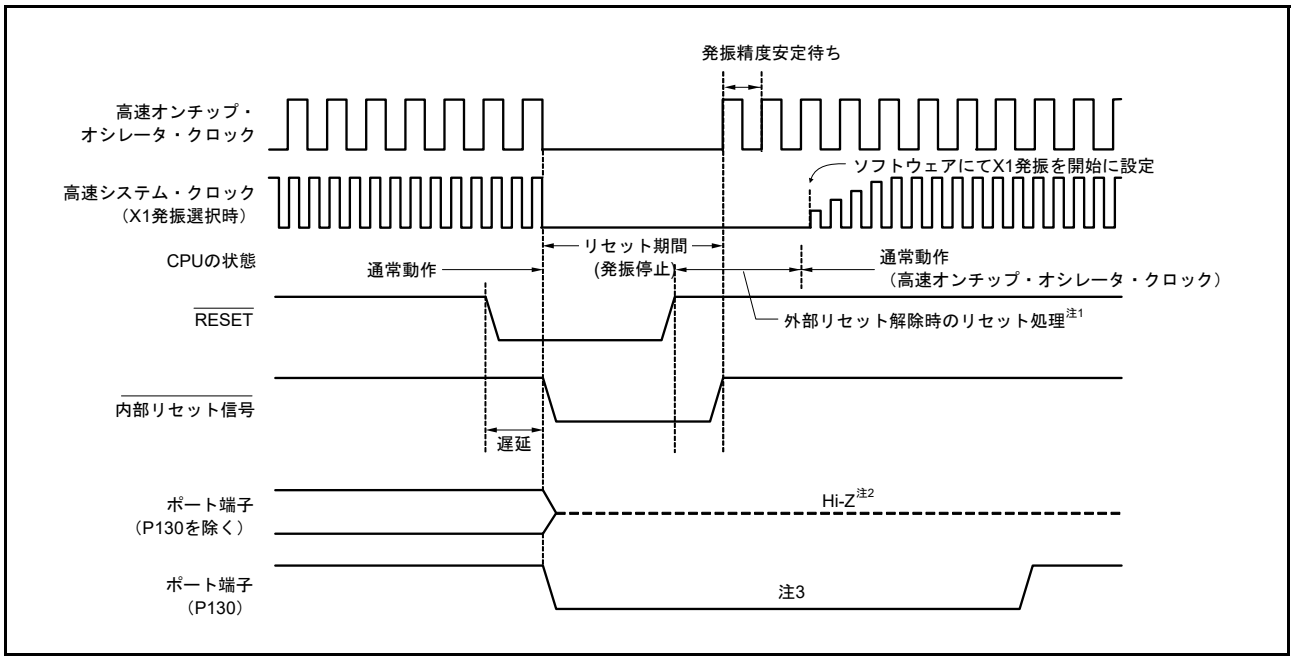


注意　LVD0の内部リセットの場合、LVD0はリセットされません。

21.1　リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるとリセットがかかり、$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されるとリセットが解除され、リセット処理後に高速オンチップ・オシレータ・クロックでプログラムの実行が開始されます。

図21 - 2　$\overline{\text{RESET}}$入力によるリセット・タイミング



注1.　外部リセット解除時のリセット時間：

POR解除後1回目　：0.506 ms (Typ.), 0.694 ms (Max.)（LVD使用時）

0.201 ms (Typ.), 0.335 ms (Max.)（LVD未使用時）

POR解除後2回目以降　：0.476 ms (Typ.), 0.616 ms (Max.)（LVD使用時）

0.170 ms (Typ.), 0.257 ms (Max.)（LVD未使用時）

電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間（4.0 ms (Typ.), 9.9 ms (Max.)）がかかります。

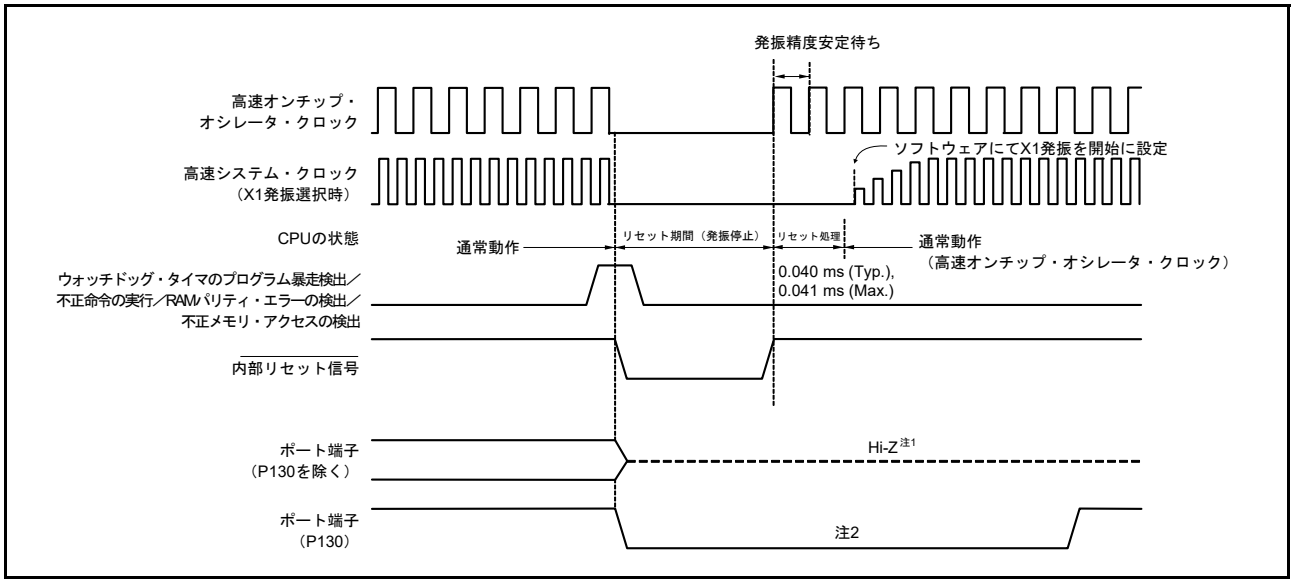
注2.　ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

注3.　リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／ RAM パリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図21 - 3　ウォッチドッグ・タイマのプログラム暴走検出／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



注1.　ポート端子P40は次の状態になります。

- 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
- それ以外のリセット期間中およびリセット受付後はハイ・レベル（内蔵プルアップ抵抗接続）になります。

注2.　リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130をソフトウェアでハイ・レベル出力にしてください。

パワーオン・リセット回路または LVD0 の電圧検出によるリセットは、リセット後 $V_{DD} \geqq V_{POR}$ または $V_{DD} \geqq V_{LVD0}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

詳細は、**第 22 章　パワーオン・リセット回路（POR）**または**第 23 章　電圧検出回路（LVD）**を参照してください。

備考　V_{POR} ：POR 電源立ち上がり検出電圧
V_{LVD0} ：LVD0 検出電圧

表21 - 1　　リセット期間中の動作状態

項目			リセット期間中の動作状態
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{IH}	動作停止
		f_{IM}	
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
	サブシステム・クロック	f_{XT}	動作可能（PORリセットのときは動作停止、XT1, XT2端子は入力ポート・モード）
		f_{EXS}	動作可能（PORリセットのときは動作停止、EXCLKS端子は入力ポート・モード）
		f_{IL}	動作停止
CPU			動作停止
コード・フラッシュ・メモリ			動作停止
データ・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート（ラッチ）			ハイ・インピーダンス注
タイマ・アレイ・ユニット			動作停止
リアルタイム・クロック			PORリセット以外：動作可能 PORリセット：カレンダー系レジスタのみデータ保持
32ビット・インターバル・タイマ			動作停止
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
A/Dコンバータ			
シリアル・アレイ・ユニット			
シリアル・インタフェースIICA			
シリアル・インタフェースUARTA			
データ・トランスファ・コントローラ（DTC）			
SNOOZEモード・シーケンサ（SMS）			
イベント・リンク・コントローラ（ELC）			
パワーオン・リセット機能			検出動作可能
電圧検出機能			LVD0：LVD0リセット時はLVD0は動作可能。それ以外のリセット時は動作停止 LVD1：動作停止
外部割り込み			動作停止
キー割り込み機能			
静電容量センサユニット（CTSU2La）			
CRC演算機能		高速CRC	
		汎用CRC	
不正メモリ・アクセス検出機能			
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			

（注、備考は次ページに続きます）

注　ポート端子P40, P130は次の状態になります。

- P40　：外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内蔵プルアップ抵抗接続）
- P130：リセット期間中はロウ・レベル出力

備考　f_{IH}：高速オンチップ・オシレータ・クロック
f_{IM}：中速オンチップ・オシレータ・クロック
f_{XT}：XT1発振クロック
f_{IL}：低速オンチップ・オシレータ・クロック
f_X　：X1発振クロック
f_{EX}：外部メイン・システム・クロック
f_{EXS}：外部サブシステム・クロック

表21 - 2　各ハードウェアのリセット受付後の状態

ハードウェア		リセット受付後の状態
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（00000H, 00001H）の内容がセットされる注
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

備考　特殊機能レジスタ（SFR：Special Function Register）のリセット受付後の状態は、**3.1.4　特殊機能レジスタ（SFR：Special Function Register）領域**および**3.1.5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域**を参照してください。

21.2　リセット要因を確認するレジスタ

リセット要因を確認するレジスタを次に示します。

- リセット・コントロール・フラグ・レジスタ（RESF）
- パワーオン・リセット・ステータス・レジスタ（PORSR）
- 周辺リセット制御レジスタ0（PRR0）
- 周辺リセット制御レジスタ1（PRR1）

21.2.1　リセット・コントロール・フラグ・レジスタ（RESF）

本製品は、内部リセット発生要因が多数存在します。RESF レジスタは、どの要因から発生したリセット要求かを格納するレジスタです。

RESF レジスタは、8 ビット・メモリ操作命令で、読み出すことができます。

以下のいずれかの条件で TRAP, WDTRF, RPERF, IAWRF, LVIRF フラグはクリアされます。

- $\overline{\text{RESET}}$入力によるリセット
- パワーオン・リセット回路（POR）によるリセット
- RESF レジスタのデータを読み出し

図21 - 4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット (1/2)

アドレス　：FFFA8H
リセット時：不定注1
R/W属性　：R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求注2
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない、またはRESF レジスタをクリアした
1	内部リセット要求は発生した

図21 - 4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット (2/2)

LVIRF	電圧検出回路（LVD0, LVD1）による内部リセット要求
0	内部リセット要求は発生していない、またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。**表21 - 3**を参照してください。

注2.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは、オンチップ・デバッギング・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可（RPECTL.RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は、24.3.4　RAMパリティ・エラー検出機能を参照してください。

表 21 - 3 にリセット要求時の RESF レジスタの状態を示します。

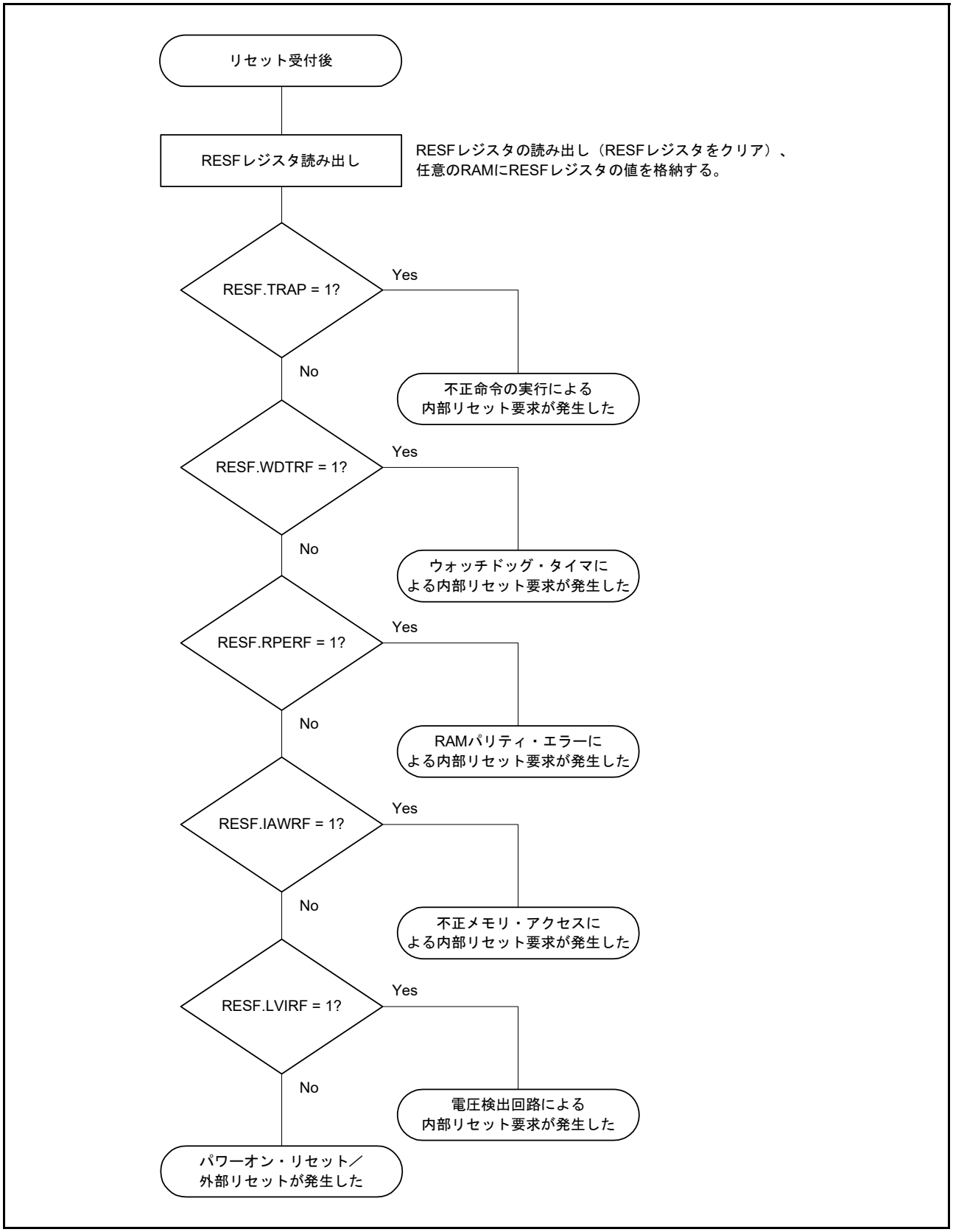
表21 - 3　リセット要求時のRESFレジスタの状態

リセット要因 / フラグ	$\overline{\text{RESET}}$入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVD0, LVD1によるリセット
TRAP	クリア（0）	クリア（0）	セット（1）	保持	保持	保持	保持
WDTRF			保持	セット（1）			
RPERF				保持	セット（1）		
IAWRF					保持	セット（1）	
LVIRF						保持	セット（1）

RESF レジスタは、8 ビット・メモリ操作命令で読み出し後、自動的にクリアされます。

図 21 - 5 にリセット要因の確認手順例を示します。

図21 - 5　　リセット要因の確認手順例



※上記フローは確認手順の一例です。

21.2.2　パワーオン・リセット・ステータス・レジスタ（PORSR）

PORSR レジスタは、パワーオン・リセットの発生を確認するレジスタです。

本レジスタの PORF ビットは 1 書き込みのみ有効であり、0 書き込みは無効です。パワーオン・リセット発生の有無を確認するときは、あらかじめ PORF ビットに 1 を書き込んでおいてください。

PORSR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

パワーオン・リセット信号の発生により、00H になります。

注意1. PORSR レジスタはパワーオン・リセットによるリセット時のみ初期化され、その他のリセット要因では値を保持します。

注意2. PORF フラグが1のとき、パワーオン・リセットが発生していないことは保証されますが、RAM の値が保持されていることを保証するものではありません。

図21 - 6　パワーオン・リセット・ステータス・レジスタ（PORSR）のフォーマット

アドレス　：F00F9H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	<0>
PORSR	0	0	0	0	0	0	0	PORF

PORF	パワーオン・リセット発生確認
0	1書き込みが行われていない、またはパワーオン・リセットが発生
1	パワーオン・リセットは発生していない

21.2.3　周辺リセット制御レジスタ0（PRR0）

PRR0 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR0 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図21 - 7　周辺リセット制御レジスタ0（PRR0）のフォーマット

アドレス　：F00F1H
リセット時：00H
R/W属性　：R/W

略号	7	6	<5>	<4>	<3>	<2>	1	<0>
PRR0	0	0	ADCRES	IICA0RES 注1	SAU1RES 注2	SAU0RES	0	TAU0RES

ADCRES	A/Dコンバータのリセット制御
0	A/Dコンバータのリセット解除
1	A/Dコンバータはリセット状態 • A/Dコンバータで使用するSFRが初期化されます。

IICA0RES	シリアル・インタフェースIICA0のリセット制御
0	シリアル・インタフェースIICA0のリセット解除
1	シリアル・インタフェースIICA0はリセット状態 • シリアル・インタフェースIICA0で使用するSFRが初期化されます。

SAUnRES	シリアル・アレイ・ユニットnのリセット制御
0	シリアル・アレイ・ユニットnのリセット解除
1	シリアル・アレイ・ユニットnはリセット状態 • シリアル・アレイ・ユニットnで使用するSFRが初期化されます。

TAU0RES	タイマ・アレイ・ユニット0のリセット制御
0	タイマ・アレイ・ユニット0のリセット解除
1	タイマ・アレイ・ユニット0はリセット状態 • タイマ・アレイ・ユニット0で使用するSFRが初期化されます。

注1.　24～48ピン製品のみ

注2.　30～48ピン製品のみ

注意1. ビット7, 6, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16, 20ピン製品：ビット 4, 3

24, 25ピン製品：ビット3

備考　n = 0, 1

21.2.4　周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図21 - 8　周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス　: F00FBH
リセット時: 00H
R/W属性　: R/W

略号	7	<6>	5	<4>	3	2	1	<0>
PRR1	0	SMSRES	0	TML32RES	0	0	0	CTSURES

SMSRES	SNOOZEモード・シーケンサのリセット制御
0	SNOOZEモード・シーケンサのリセット解除
1	SNOOZEモード・シーケンサはリセット状態 • SNOOZEモード・シーケンサで使用するSFRが初期化されます。

TML32RES	32ビット・インターバル・タイマのリセット制御
0	32ビット・インターバル・タイマのリセット解除
1	32ビット・インターバル・タイマはリセット状態 • 32ビット・インターバル・タイマで使用するSFRが初期化されます。

CTSURES	静電容量センサユニットのリセット制御
0	静電容量センサユニットのリセット解除
1	静電容量センサユニットはリセット状態 • 静電容量センサユニットで使用するSFRが初期化されます。

注意1.　ビット7, 5, 3-1には、必ず0を設定してください。

注意2.　シリアル・インタフェースUARTAのリセット制御は、ASIMA00レジスタのUARTAENnビットで行います。詳細は、15.2.4　動作モード設定レジスタn0（ASIMAn0）を参照してください。

第22章　パワーオン・リセット回路（POR）

22.1　パワーオン・リセット回路の機能

パワーオン・リセット回路（POR）は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。
  電源電圧（V_{DD}）が検出電圧（V_{POR}）を超えた場合に、リセットを解除します。ただし、**34.4　AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。

- 電源電圧（V_{DD}）と検出電圧（V_{PDR}）を比較し、V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、**34.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意　パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ（RESF）およびパワーオン・リセット・ステータス・レジスタ（PORSR）が00Hにクリアされます。

備考1. 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出回路（LVD）／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、00Hにクリアされずフラグが1にセットされます。RESFレジスタの詳細については、**第21章　リセット機能**を参照してください。

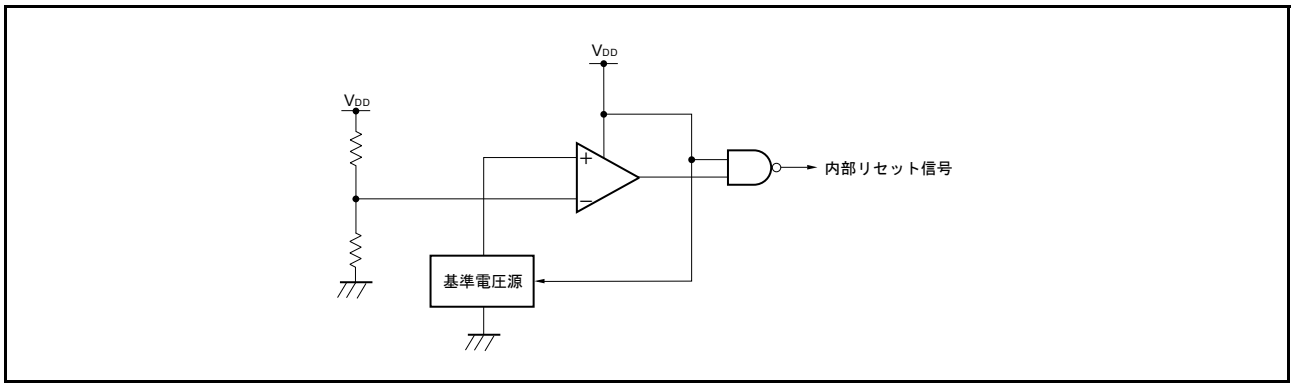
備考2. パワーオン・リセット回路による内部リセットの発生は、パワーオン・リセット・ステータス・レジスタ（PORSR）で確認することができます。PORSRレジスタの詳細については、**第21章　リセット機能**を参照してください。

備考3. V_{POR}：POR電源立ち上がり検出電圧
V_{PDR}：POR電源立ち下がり検出電圧
詳細は、**34.6.4　POR回路特性**を参照してください。

22.2　パワーオン・リセット回路の構成

図 22 - 1 にパワーオン・リセット回路のブロック図を示します。

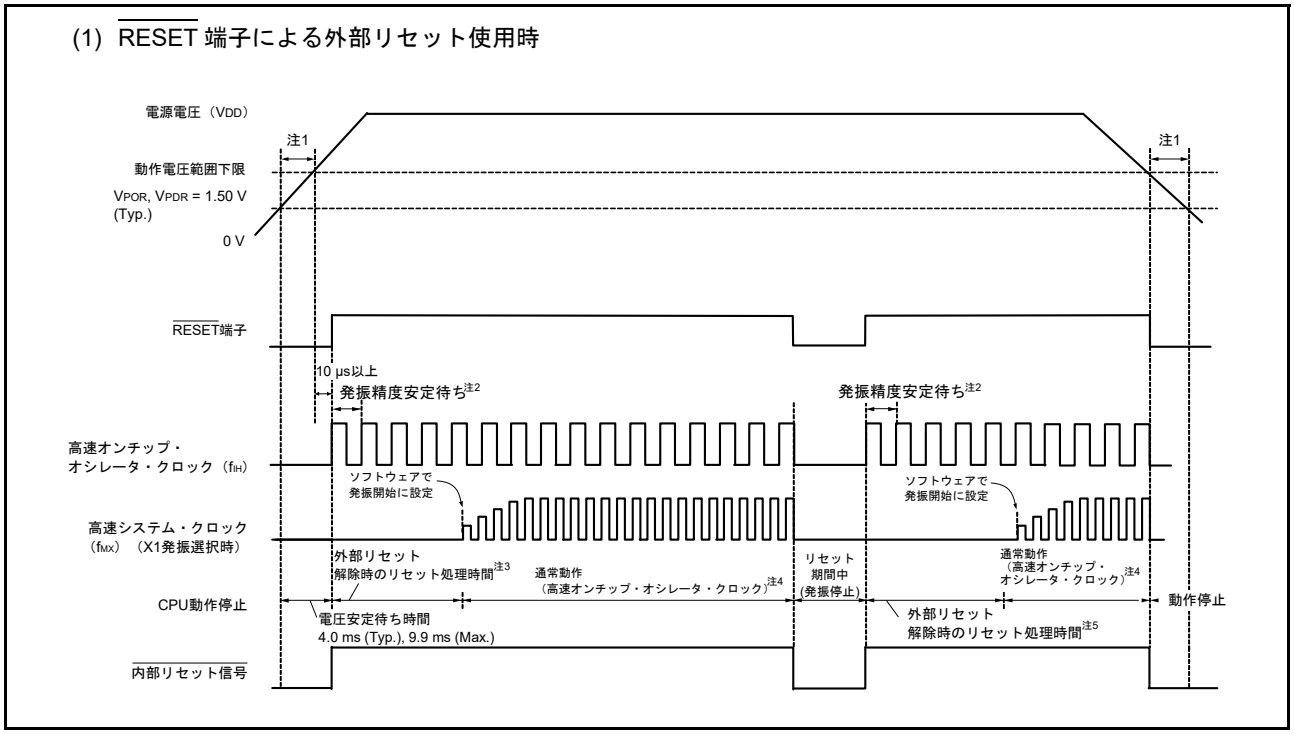
図22 - 1　　パワーオン・リセット回路のブロック図



22.3　パワーオン・リセット回路の動作

図 22 - 2 にパワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを示します。

図22 - 2　　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (1/2)



注1.　電源立ち上がり時は、**34.4　AC特性**に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

注2.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注3.　通常動作が開始されるまでの時間は、VPOR（1.50 V (Typ.)）に達してからの“電圧安定待ち時間”に加えて、RESET信号をハイ・レベルにしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目 ： 0.506 ms (Typ.), 0.694 ms (Max.) （LVD使用時）
0.201 ms (Typ.), 0.335 ms (Max.) （LVDオフ時）

注4.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。
X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。

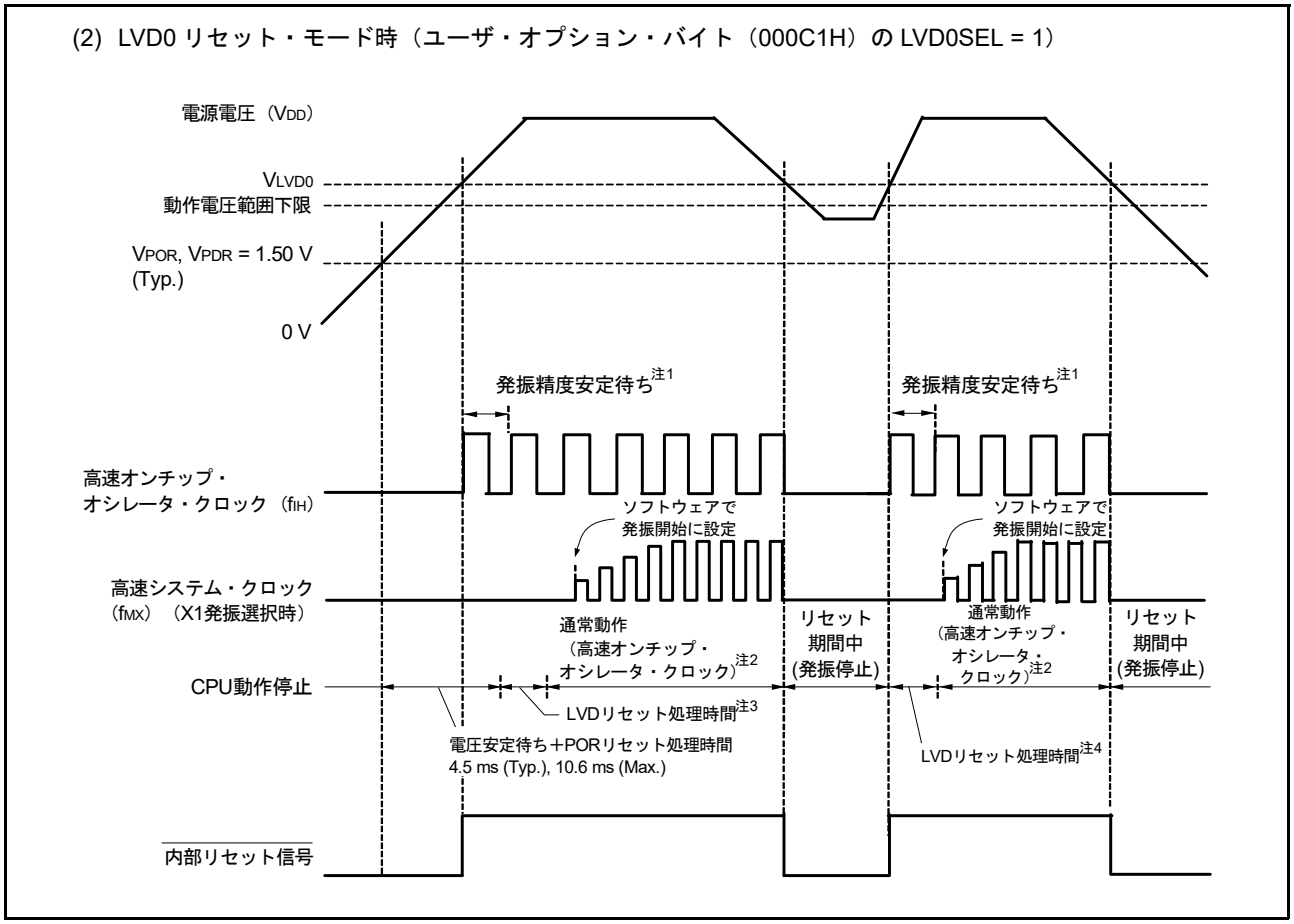
注5.　POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降 ： 0.476 ms (Typ.), 0.616 ms (Max.)（LVD使用時）
0.170 ms (Typ.), 0.257 ms (Max.)（LVDオフ時）

注意　LVD0オフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第23章　電圧検出回路（LVD）を参照してください。

備考　VPOR：POR電源立ち上がり検出電圧
VPDR：POR電源立ち下がり検出電圧

図22 - 2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/2)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ（OSTC）で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。

注3. 通常動作が開始されるまでの時間は、VPOR（1.50 V (Typ.)）に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて、LVD0検出レベル（VLVD0）に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0～0.041 ms (Max.)

注4. 電源電圧降下時、電圧検出回路（LVD0）による内部リセットのみ発生後に電源電圧が復帰した場合、LVD0検出レベル（VLVD0）に達してから次の“LVDリセット処理時間”が掛かります。
LVDリセット処理時間：0.040 ms (Typ.), 0.041 ms (Max.)

備考1. VLVD0：LVD検出電圧
VPOR ：POR電源立ち上がり検出電圧
VPDR ：POR電源立ち下がり検出電圧

備考2. LVD0割り込みモード（ユーザ・オプション・バイト（000C1H）のLVD0SEL = 0）を選択した場合、電源投入後に通常動作が開始されるまでの時間は、**注3**の時間と同じです。

備考3. LVD1は電源投入時、動作停止です。また、内部リセットにより動作停止になります。

第23章　電圧検出回路（LVD）

23.1　電圧検出回路の機能

電圧検出回路 0（LVD0）は、ユーザ・オプション・バイト（000C1H）で動作モードと検出電圧（V_{LVD0}）を設定します。また、電圧検出回路 1（LVD1）は、電圧検出レベル・レジスタで動作モードと検出電圧（V_{LVD1}）を設定します。

電圧検出回路は、次のような機能を持ちます。

- LVD0およびLVD1は、電源電圧（V_{DD}）と検出電圧（V_{LVD0}, V_{LVD1}）を比較し、内部リセットまたは割り込み要求信号を発生します。
- LVD0は、ユーザ・オプション・バイトにて検出電圧（V_{LVD0}）を6段階より選択できます（**第29章　オプション・バイト**参照）。
- LVD1は、電源検出レベル・レジスタにて検出電圧（V_{LVD1}）を18段階より選択できます。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、**34.4　AC特性**に示す動作電圧範囲まで、LVD0か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、LVD0か外部リセットでリセット状態にしてください。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

リセット・モード LVD0	リセット・モード LVD1	割り込みモード LVD0	割り込みモード LVD1
$V_{DD} \geqq V_{LVD0}$を検出して内部リセットを解除します。$V_{DD} < V_{LVD0}$を検出して内部リセットを発生し、$V_{DD} \geqq V_{LVD0}$になるまでリセット状態は継続されます。	LVD1の動作許可後、$V_{DD} < V_{LVD1}$を検出して内部リセットを発生します。	リセット発生直後、LVDの内部リセットは$V_{DD} \geqq V_{LVD0}$になるまでリセット状態を継続します。$V_{DD} \geqq V_{LVD0}$を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、$V_{DD} < V_{LVD0}$または$V_{DD} \geqq V_{LVD0}$を検出して割り込み要求信号（INTLVI）を発生します。	LVD1の動作許可後、$V_{DD} < V_{LVD1}$を検出して割り込み要求信号（INTLVI）を発生します。 1回目の検出後は、$V_{DD} < V_{LVD1}$または$V_{DD} \geqq V_{LVD1}$を検出して割り込み要求信号（INTLVI）を発生します。

LVD0, LVD1 動作時では、電圧検出フラグ（LVDnF：電圧検出レジスタ（LVIM）のビット 0, 1）を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）の LVIRF ビットが 1 にセットされます。RESF レジスタについての詳細は、**第 21 章　リセット機能**を参照してください。

23.2　電圧検出回路の構成

図 23 - 1 および**図 23 - 2** に電圧検出回路のブロック図を示します。

図23 - 1　　LVD0のブロック図

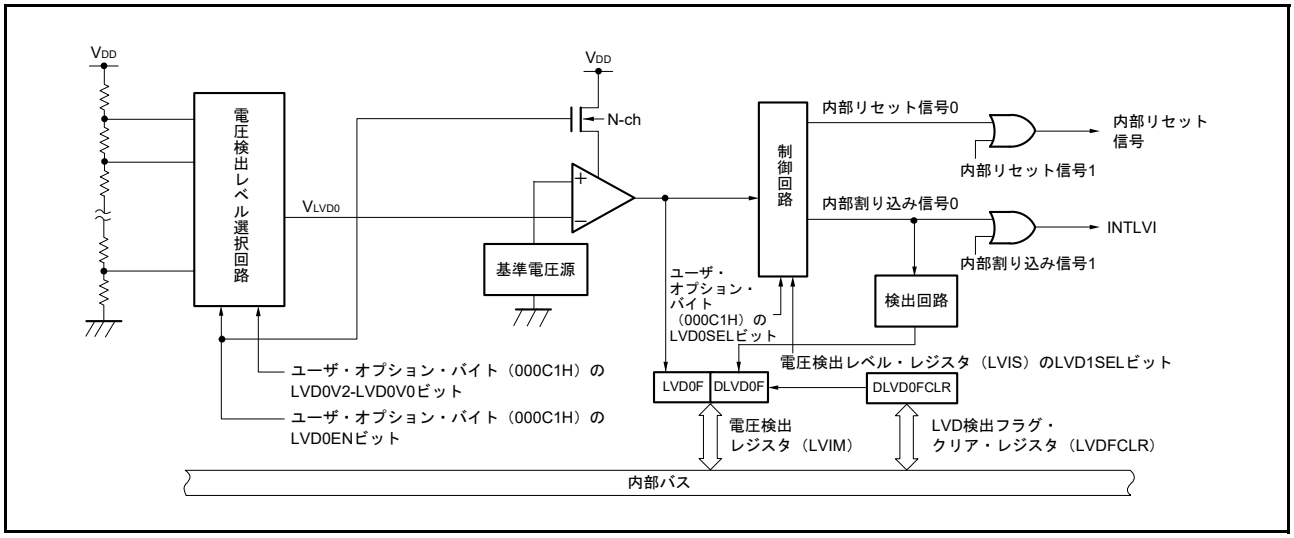
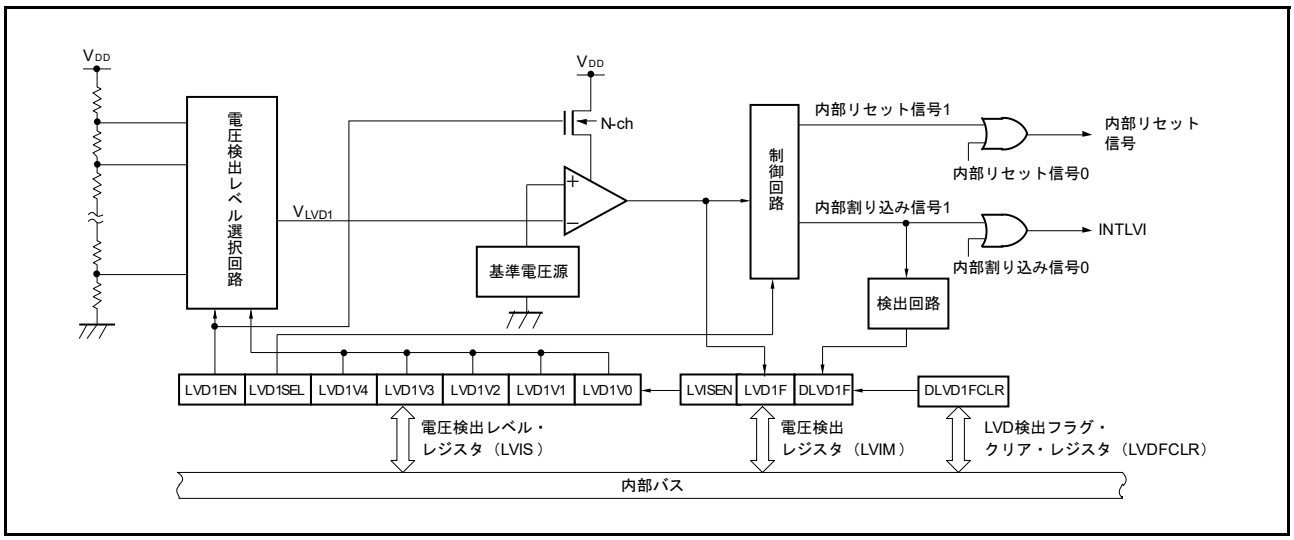


図23 - 2　　LVD1のブロック図



23.3　電圧検出回路を制御するレジスタ

電圧検出回路を制御するレジスタを次に示します。

- ユーザ・オプション・バイト（000C1H/020C1H）：**第29章　オプション・バイト**を参照
- 電圧検出レジスタ（LVIM）
- LVD検出フラグ・クリア・レジスタ（LVDFCLR）
- 電圧検出レベル・レジスタ（LVIS）

23.3.1　電圧検出レジスタ（LVIM）

LVIM レジスタは、電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定、LVD0 および LVD1 の状態を確認するレジスタです。

LVIM レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図23 - 3　電圧検出レジスタ（LVIM）のフォーマット

アドレス　：FFFA9H
リセット時：00H注1
R/W属性　：R/W注2, 3

略号	<7>	6	5	4	<3>	<2>	<1>	<0>
LVIM	LVISEN	0	0	0	DLVD1F	DLVD0F	LVD1F	LVD0F

LVISEN	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	LVIS レジスタの書き換え禁止
1注4	LVIS レジスタの書き換え許可（LVD1によるリセットおよび割り込み発生がマスクされます）

DLVDnF	LVDnの割り込み検出フラグ
0	LVDnの割り込みは未検出
1	LVDnの割り込みを検出

LVDnF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVDn}）、またはLVDオフ時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVDn}）

注1.　LVD0が動作許可かつ電源電圧（V_{DD}）＜検出電圧（V_{LVD0}）の場合、リセット値は01Hになります。

注2.　ビット1, 0は、読み出しのみ可能です。

注3.　ビット3, 2は、読み出しのみ可能です。LVD検出フラグ・クリア・レジスタ（LVDFCLR）でクリア可能です。

注4.　LVISENビットが1の状態では、LVD1によるリセットおよび割り込み発生がマスクされます。このため、LVISレジスタを書き換えた後はLVISENビットを0にしてください。

備考　n = 0, 1

23.3.2　LVD検出フラグ・クリア・レジスタ（LVDFCLR）

LVDFCLR レジスタは、電圧検出レジスタ（LVIM）の割り込み検出フラグ（DLVD0F, DLVD1F）をクリアするレジスタです。

LVDFCLR レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図23 - 4　LVD検出フラグ・クリア・レジスタ（LVDFCLR）のフォーマット

アドレス　: F0218H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	<3>	<2>	1	0
LVDFCLR	0	0	0	0	DLVD1FCLR	DLVD0FCLR	0	0

DLVD1FCLR 注	DLVD1Fクリア
0	無効
1	1を書き込むことにより、DLVD1Fフラグをクリア

DLVD0FCLR 注	DLVD0Fクリア
0	無効
1	1を書き込むことにより、DLVD0Fフラグをクリア

注　1のみ書き込めます。0の書き込みは無効となります。
1書き込み後も0が読めます。

23.3.3　電圧検出レベル・レジスタ（LVIS）

LVIS レジスタは、LVD1 の電圧検出レベルを設定するレジスタです。
LVIS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、19H になります。

図23 - 5　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス　：FFFAAH
リセット時：19H
R/W属性　：R/W

略号	<7>	<6>	5	4	3	2	1	0
LVIS	LVD1EN	LVD1SEL	0	LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0

LVD1EN	LVD1の動作許可
0	動作停止
1	動作許可

LVD1SEL	LVD1の動作モード
0	割り込みモード
1	リセットモード

LVD1V4	LVD1V3	LVD1V2	LVD1V1	LVD1V0	LVD1検出電圧注1, 2, 3		
						立ち上がり	立ち下がり
1	1	1	1	1	V_{LVD117}	1.67 V注4	1.63 V注4
1	1	1	1	0	V_{LVD116}	1.78 V注4	1.74 V注4
1	1	1	0	1	V_{LVD115}	1.88 V注4	1.84 V注4
1	1	1	0	0	V_{LVD114}	1.98 V	1.94 V
1	1	0	1	1	V_{LVD113}	2.09 V	2.04 V
1	1	0	1	0	V_{LVD112}	2.20 V	2.15 V
1	1	0	0	1	V_{LVD111}	2.30 V	2.25 V
1	1	0	0	0	V_{LVD110}	2.40 V	2.35 V
1	0	1	1	1	V_{LVD19}	2.50 V	2.45 V
1	0	1	1	0	V_{LVD18}	2.66 V	2.60 V
1	0	1	0	1	V_{LVD17}	2.82 V	2.76 V
1	0	1	0	0	V_{LVD16}	2.97 V	2.91 V
1	0	0	1	1	V_{LVD15}	3.13 V	3.06 V
1	0	0	1	0	V_{LVD14}	3.35 V	3.27 V
1	0	0	0	1	V_{LVD13}	3.55 V	3.47 V
1	0	0	0	0	V_{LVD12}	3.75 V	3.67 V
0	1	1	1	1	V_{LVD11}	3.96 V	3.88 V
0	1	1	1	0	V_{LVD10}	4.16 V	4.08 V

（注、注意は次ページに続きます）

注1. LVD1V4-LVD1V0ビットは、リセット解除後、1回のみ書き換え可能です。

注2. LVD0をリセット・モードに設定する場合、LVD1の検出電圧は、LVD0の検出電圧よりも高く設定してください。

注3. LVD0を割り込みモードかつLVD0検出電圧＞LVD1検出電圧に設定した場合、リセット解除後のLVD1設定以降はLVD0が不定になります。

注4. LVD0がオフのときに使用できます。

注意　LVISレジスタを書き換える場合は、図23 - 10、図23 - 11の手順で行ってください。

23.4　電圧検出回路の動作

23.4.1　リセット・モードとして使用する場合の設定

LVD0 では、動作モード（リセット・モード（LVD0SEL = 1））と検出電圧（V_{LVD0}）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1 では、動作モード（リセット・モード（LVD1SEL = 1））と検出電圧（V_{LVD1}）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD リセット・モードの動作

  LVD0において、リセット・モード（ユーザ・オプション・バイトのLVD0SEL = 1）は、電源投入時、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を超えるまではLVD0による内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を超えると内部リセットを解除します。

  動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を下回るとLVD0による内部リセットが発生します。

  LVD1は、電源投入時、動作停止になっています。LVD1を動作許可することにより、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回るとLVD1による内部リセットが発生します。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による内部リセットが発生します。なお、LVD1をリセット・モードに設定するとLVD0は割り込みモードになります。また、LVD1による内部リセットが発生することにより、LVD0はリセット・モードになります。

  LVD1検出電圧は、リセット解除後、1回のみ設定可能です。

図 23 - 6 に LVD0 の内部リセット信号発生のタイミング、**図 23 - 7** に LVD1 の内部リセット信号発生のタイミングを示します。

図23 - 6　LVD0の内部リセット信号発生のタイミング

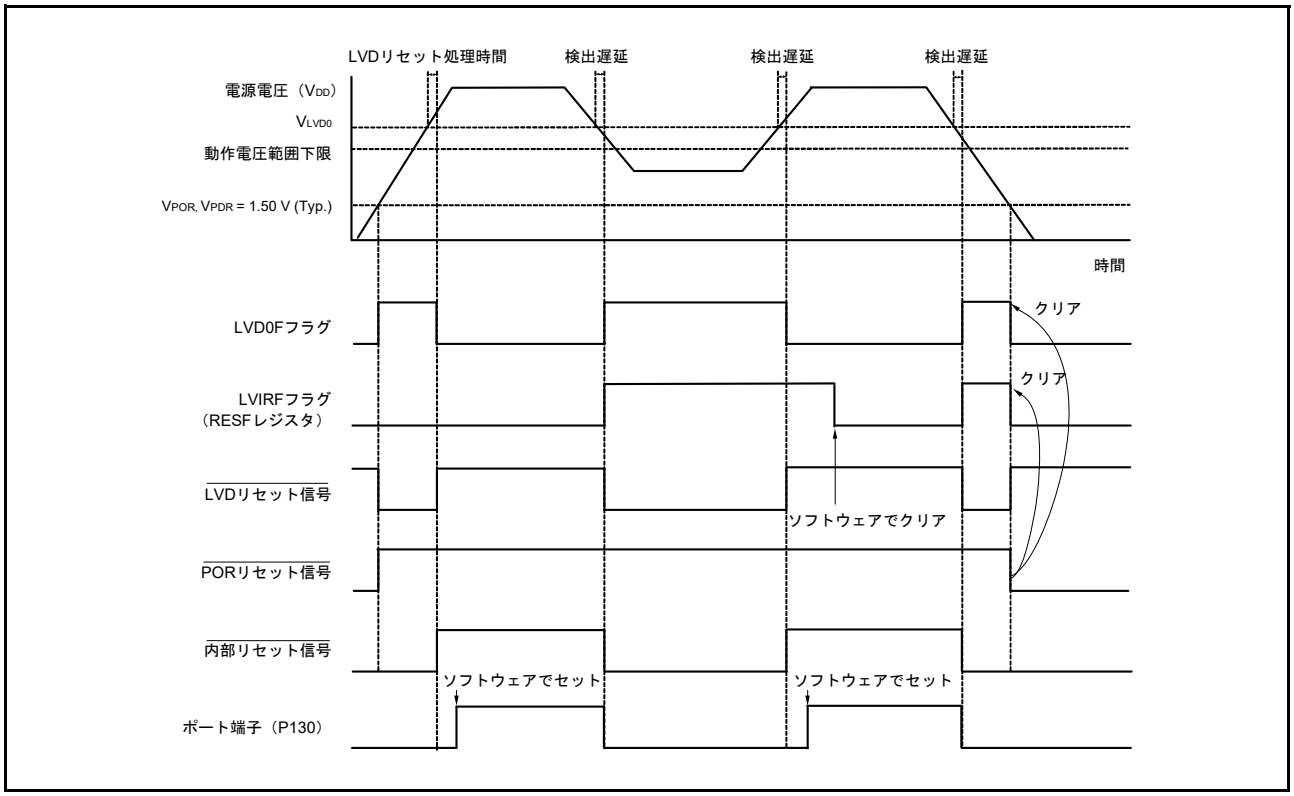
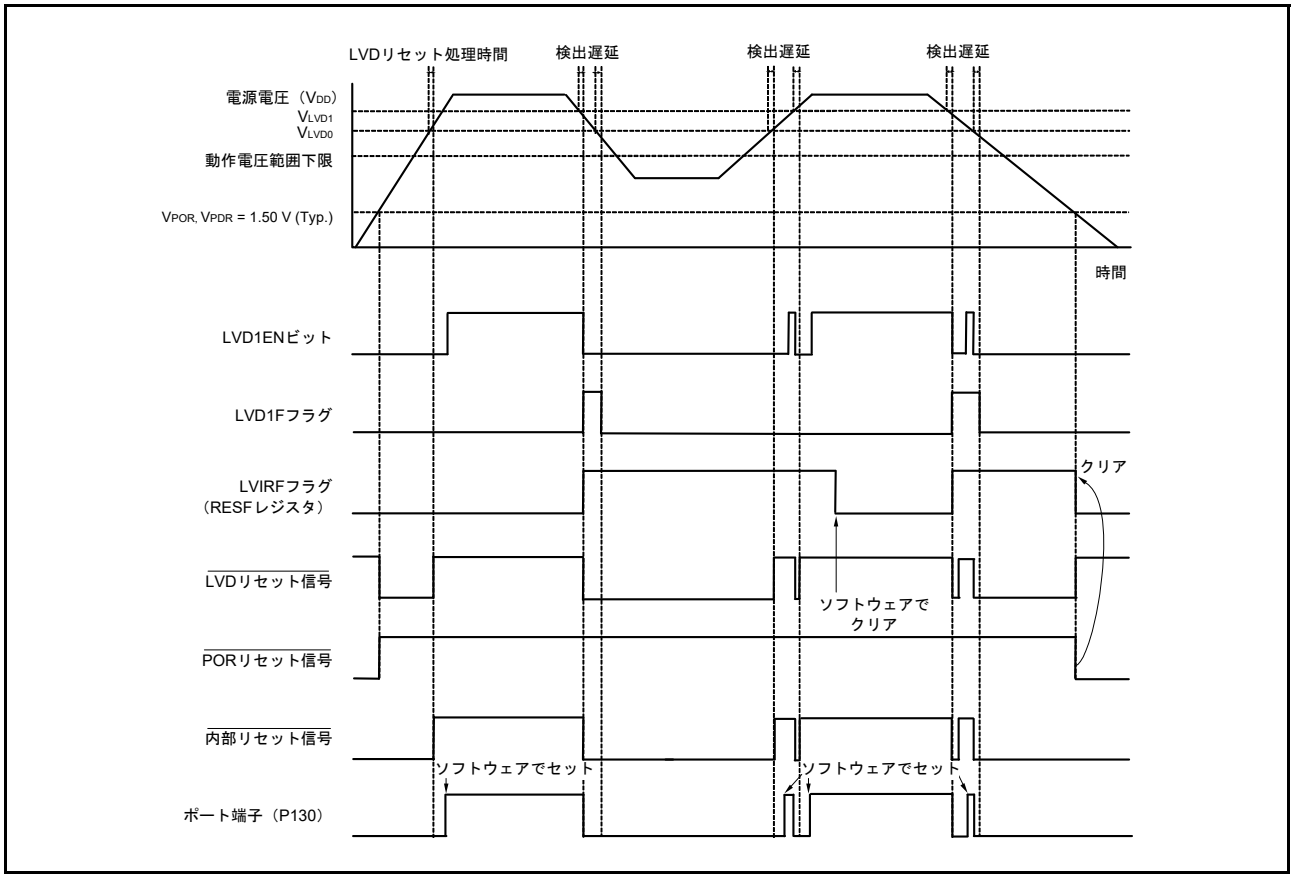


図23 - 7　LVD1の内部リセット信号発生のタイミング



備考　LVD0：リセット・モード

23.4.2　割り込みモードとして使用する場合の設定

LVD0 では、動作モード（割り込みモード（LVD0SEL = 0））と検出電圧（V_{LVD0}）の設定は、ユーザ・オプション・バイト（000C1H）で設定します。

LVD1 では、（割り込みモード（LVD1SEL = 0））と検出電圧（V_{LVD1}）の設定は、電圧検出レベル・レジスタ（LVIS）で設定します。

- LVD割り込みモードの動作

  LVD0において、割り込みモード（ユーザ・オプション・バイトのLVD0SEL = 0）では、リセット発生直後、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を上回るまではLVD0による内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を上回るとLVD0による内部リセットを解除します。

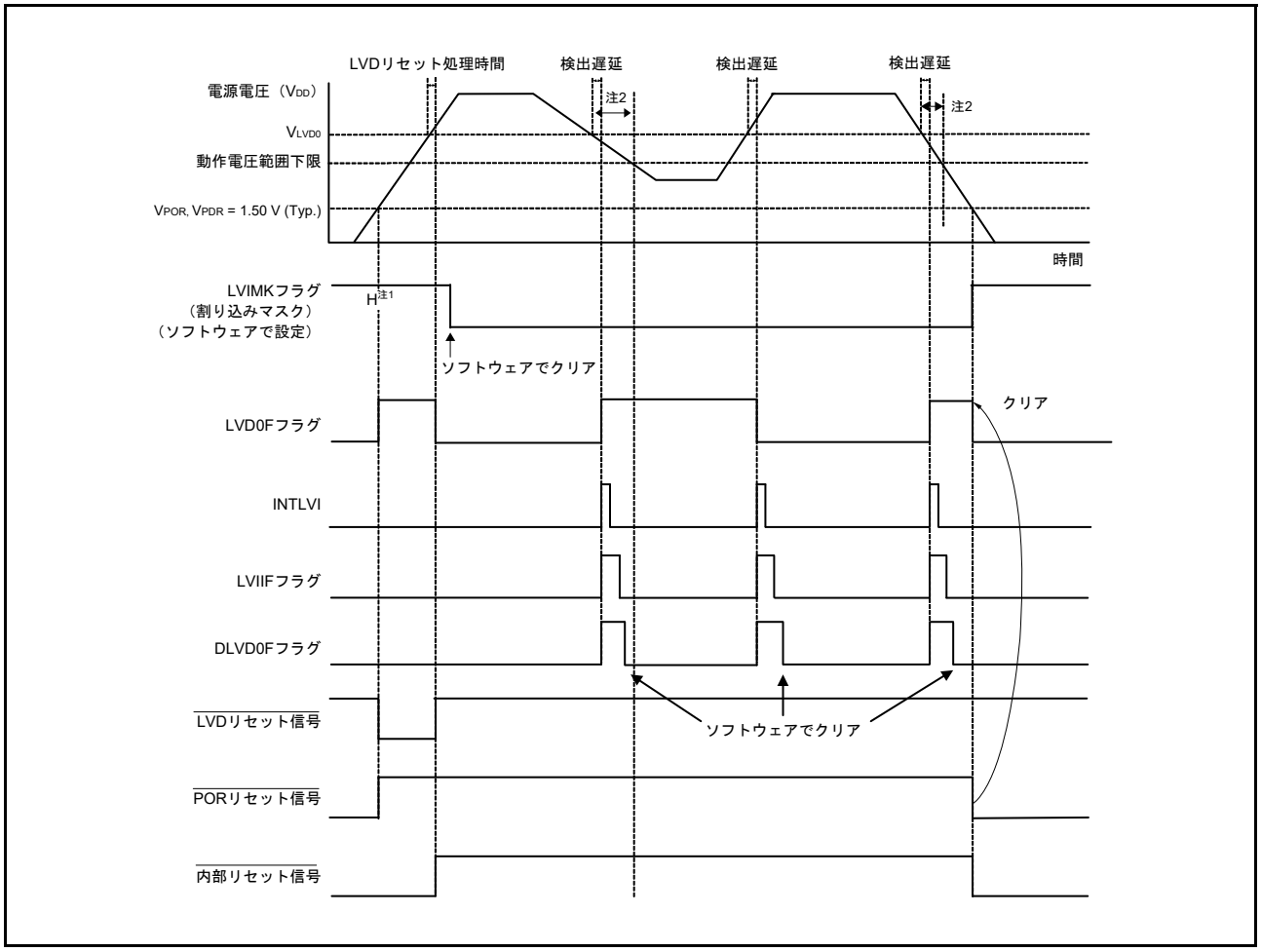
  LVD0の内部リセット解除後は、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を下回るとLVD0による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD0}）を上回るとLVD0による割り込み要求信号（INTLVI）が発生します。電源電圧降下時は、**34.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

  LVD1は、電源投入時、動作停止になっています。LVD1を動作許可にすることにより、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回るとLVD1による割り込み要求信号（INTLVI）が発生します。同様に、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を上回るとLVD1による割り込み要求信号（INTLVI）が発生します。なお、電源電圧（V_{DD}）が電圧検出レベル（V_{LVD1}）を下回っている状態で動作許可すると、動作許可したタイミングでLVD1による割り込み要求信号（INTLVI）が発生します。

  LVD1検出電圧は、リセット解除後、1回のみ設定可能です。

図 23 - 8 に LVD0 の割り込み要求信号発生のタイミング、**図 23 - 9** に LVD1 の割り込み要求信号発生のタイミングを示します。

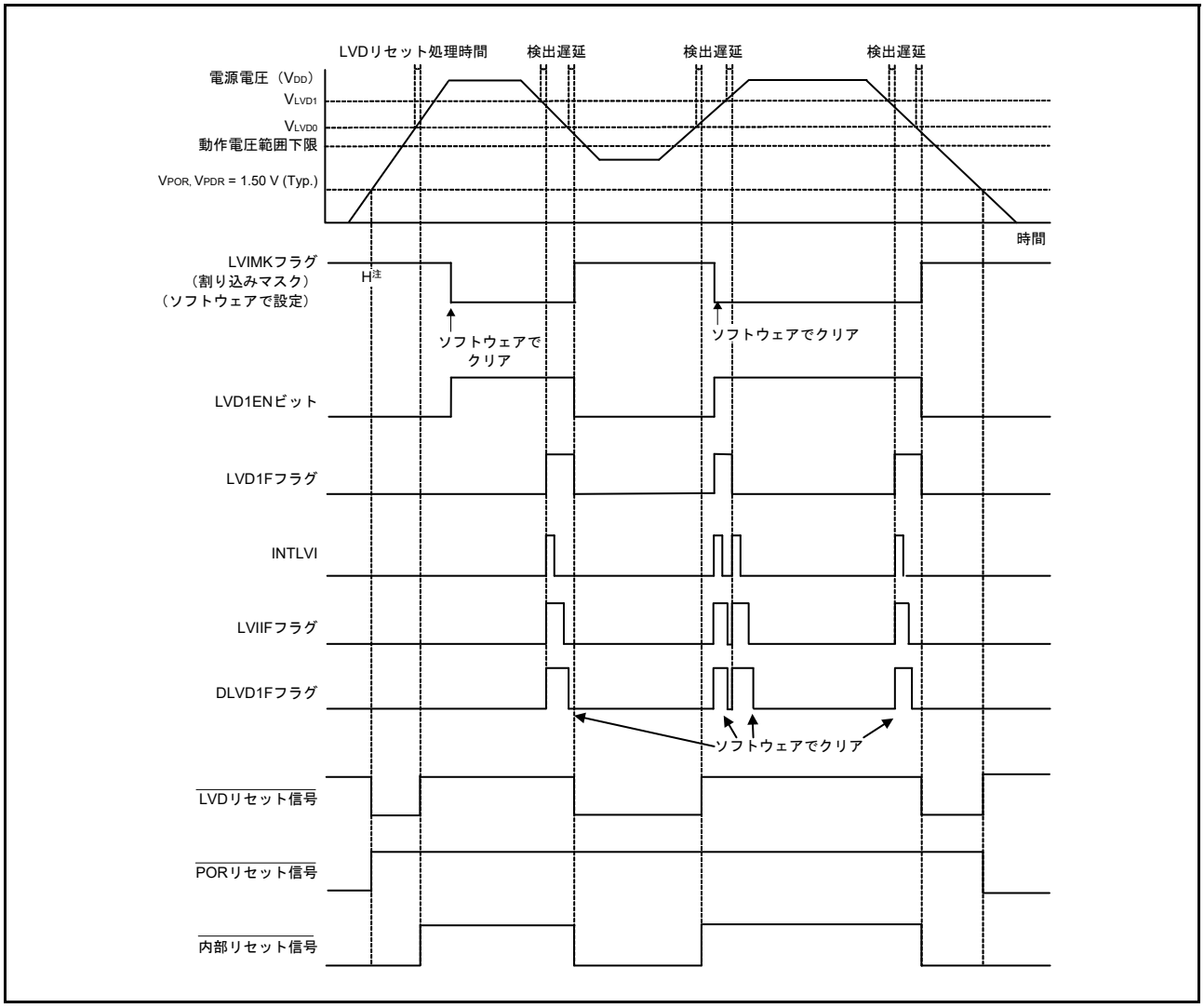
図23 - 8　LVD0の割り込み要求信号発生のタイミング



注1.　LVIMKフラグはリセット信号の発生により、1になっています。

注2.　動作電圧降下時は、**34.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図23 - 9　LVD1の割り込み要求信号発生のタイミング



注　LVIMKフラグはリセット信号の発生により、1になっています。

備考　LVD0：リセット・モード

23.5　電圧検出回路使用時の注意事項

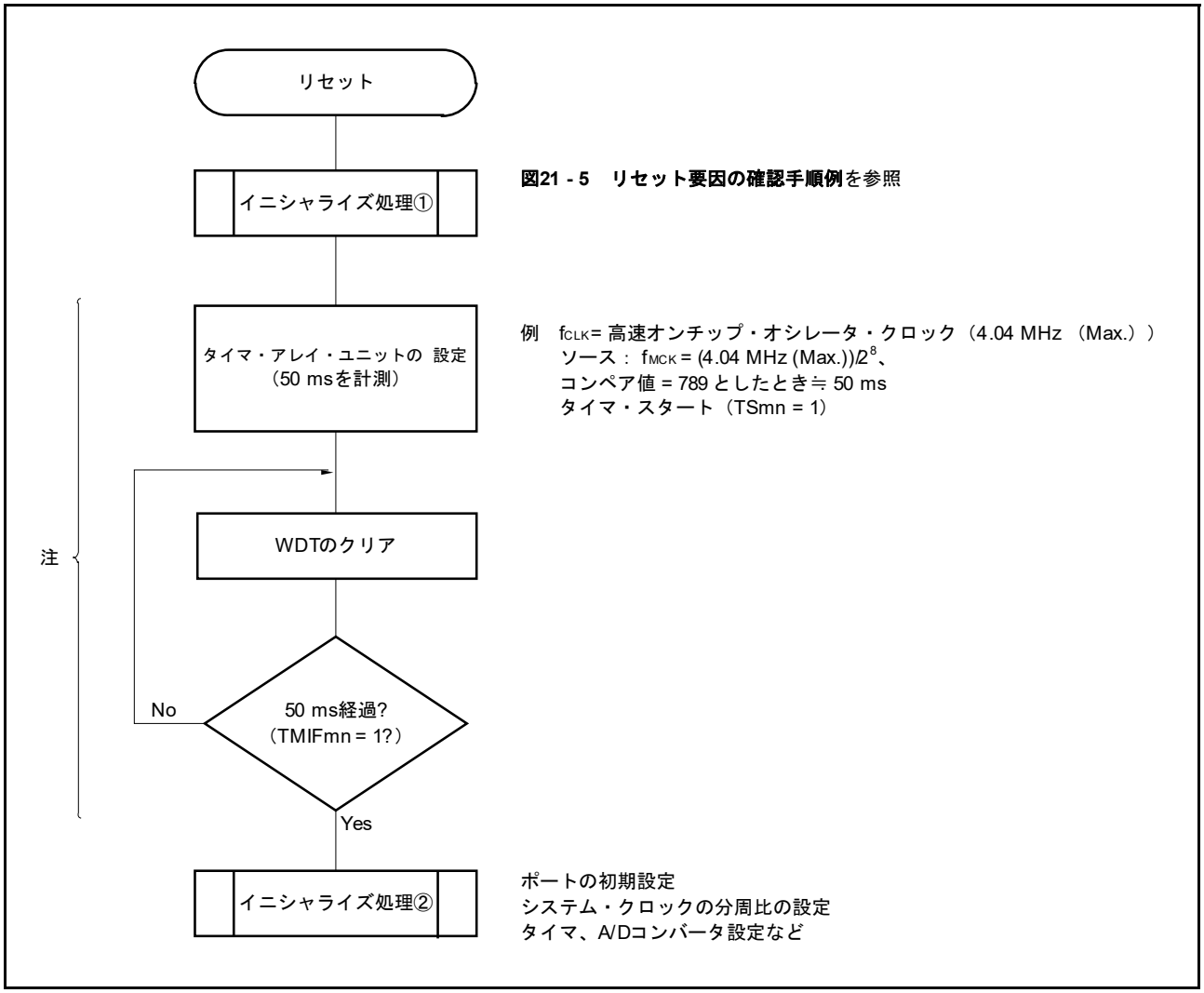
(1)　電源投入時の電圧変動について

電源電圧（VDD）がLVD0, LVD1検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処置＞

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図23 - 10　LVD0, LVD1検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例

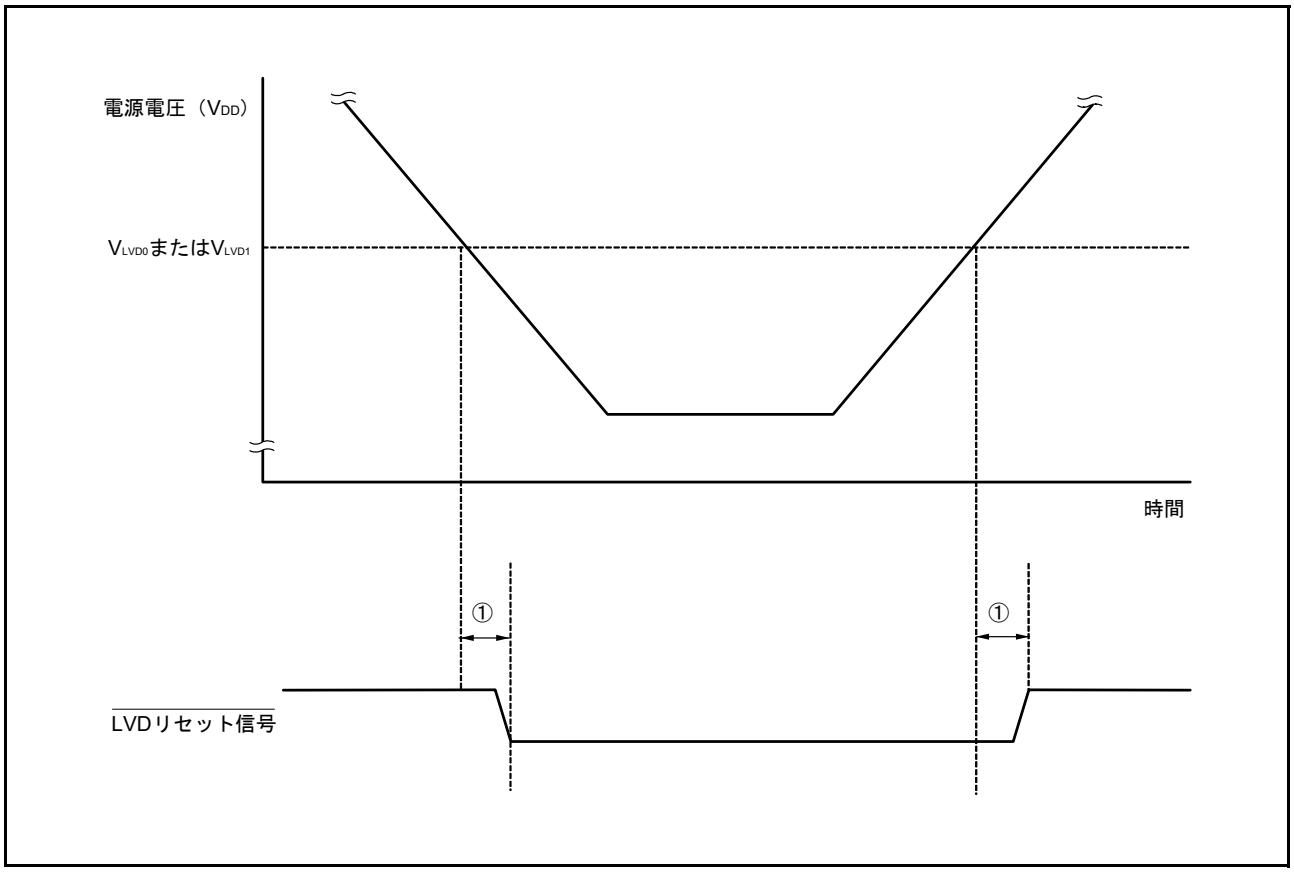


注　この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考　m = 0, n = 0-7

(2) LVD0, LVD1リセット要因発生からLVD0, LVD1リセットが発生または解除されるまでの遅延について
電源電圧（V_{DD}）＜LVD0, LVD1検出電圧（V_{LVD0}, V_{LVD1}）になってから、LVD0, LVD1リセットが発生するまでには遅延が生じます。同じようにLVD0, LVD1検出電圧（V_{LVD0}, V_{LVD1}）≦電源電圧（V_{DD}）になってから、LVD0, LVD1リセットが解除されるまでにも遅延が生じます（**図23 - 11**参照）。

図23 - 11　LVD0, LVD1リセット要因発生からLVD0, LVD1リセット発生または解除までの遅延



備考　①：検出遅延（500 μs (Max.)）

(3) LVD0をオフに設定した場合の電源立ち上げについて
LVD0をオフに設定したときは必ずRESET端子による外部リセットを使用してください。
外部リセットを行う場合、RESET端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、RESET端子にロウ・レベルを入力してから電源を投入し、**34.4　AC特性**に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続したあとに、ハイ・レベルを入力してください。

(4) LVD0をオフまたは割り込みモードに設定した場合の動作電圧降下時について
LVD0をオフまたは割り込みモードに設定したときの動作電圧降下時は、**34.4　AC特性**に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

(5) LVD1の検出電圧の設定手順について
LVD1の検出電圧は下記の手順で設定してください。③を実行したあと、安定待ち時間（500 μs以上）が経過するとLVD1が有効になります。
① LVIMレジスタのLVISENビットに1を設定してください。
② LVISレジスタのLVD1ENビットに1を設定し、LVD1V4-LVD1V0ビットを変更してください。
③ LVIMレジスタのLVISENビットに0を設定してください。

第24章　安全機能

24.1　安全機能の概要

安全規格 IEC60730 に対応するため、本製品では以下の安全機能を搭載しています。
この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリCRC演算機能（高速CRC、汎用CRC）
CRC演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。
- 「高速CRC」: 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
- 「汎用CRC」: CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) フラッシュ・メモリ・ガード機能
CPUの暴走によるフラッシュ・メモリの書き換えを防止します。

(3) RAMパリティ・エラー検出機能
RAMデータを読み出すとき、パリティ・エラーを検出します。

(4) RAMガード機能
CPUの暴走によるRAMデータの書き換えを防止します。

(5) SFRガード機能
CPUの暴走によるSFRの書き換えを防止します。

(6) 不正メモリ・アクセス検出機能
不正メモリ領域（メモリが存在しない、アクセスが制限されている領域）への不正なアクセスを検出します。

(7) 不正メモリ・アクセス検出制御レジスタ（IAWCTL）のガード機能
CPUの暴走による不正メモリ・アクセス検出制御レジスタの書き換えを防止します。

(8) 周波数検出機能
タイマ・アレイ・ユニットを使用して、CPU／周辺ハードウェア・クロック周波数の自己チェックができます。

(9) A/Dテスト機能
A/Dコンバータの＋側基準電圧、－側基準電圧、アナログ入力チャネル（ANIxx）、温度センサ出力電圧および内部基準電圧をA/D変換することにより、A/Dコンバータの自己チェックができます。

(10) 入出力端子のデジタル出力信号レベル検出機能
入出力端子が出力モード時に、端子の出力レベルを読み出すことができます。

(11) UARTループバック機能
UARTnのTxDn端子とRxDn端子、UARTAmのTxDAm端子とRxDAm端子をそれぞれ外部から遮断、MCU内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、送信データが正常に出力していることを確認できます。

備考1. m = 0, n = 0-2

備考2. 安全規格IEC60730に対応する安全機能の使用例は、RL78 MCUシリーズの**IEC60730/60335セルフテスト・ライブラリ アプリケーションノート**を参照してください。

24.2　安全機能で使用するレジスタ

安全機能で使用するレジスタを次に示します。

- フラッシュ・メモリCRC制御レジスタ（CRC0CTL）
- フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）
- CRC入力レジスタ（CRCIN）
- CRCデータ・レジスタ（CRCD）
- コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0）
- データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）
- フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）
- RAMパリティ・エラー制御レジスタ（RPECTL）
- 不正メモリ・アクセス検出制御レジスタ（IAWCTL）
  - RAM ガード機能
  - SFR ガード機能
  - 不正メモリ・アクセス検出機能
- IAWCTLレジスタ・ガードレジスタ（GIAWCTL）
- タイマ入力選択レジスタ0（TIS0）
- A/Dテスト・レジスタ（ADTES）
- アナログ入力チャネル指定レジスタ（ADS）
- ポート・モード選択レジスタ（PMS）
- UARTループバック選択レジスタ（ULBS）

各レジスタの内容については、**24.3　安全機能の動作**の中で説明します。

24.3　安全機能の動作

24.3.1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730 ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段として CRC が推奨されています。この高速 CRC では、初期設定（イニシャライズ）ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM 上のプログラムによるメイン・システム・クロックでの HALT モードでのみ動作可能です。

高速 CRC は、CPU を停止させて、フラッシュ・メモリから 1 クロックで 32 ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です（例　フラッシュ・メモリ 64 KB：512 μs@32 MHz）。

CRC 生成多項式は CRC-16-CCITT の「$X^{16} + X^{12} + X^5 + 1$」に対応しています。

ビット 31 →ビット 0 の MSB ファーストで演算します。

注意　オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため、演算結果は異なります。

24.3.1.1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

CRC0CTL レジスタは、高速 CRC 演算器の動作制御と演算範囲の設定を行うレジスタです。
CRC0CTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図24 - 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス　: F02F0H
リセット時: 00H
R/W属性　: R/W

略号	<7>	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	0000H-03FFBH（16 K−4バイト）
0	0	0	0	0	1	0000H-07FFBH（32 K−4バイト）
0	0	0	0	1	0	0000H-0BFFBH（48 K−4バイト）
0	0	0	0	1	1	0000H-0FFFBH（64 K−4バイト）
上記以外						設定禁止

注意　**ビット6には、必ず0を設定してください。**

備考　フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

24.3.1.2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

PGCRCL レジスタは、高速 CRC 演算結果を格納するレジスタです。
PGCRCL レジスタは、16 ビット・メモリ操作命令で設定します。
リセット信号の発生により、0000H になります。

図24 - 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス　：F02F2H, F02F3H
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8

7	6	5	4	3	2	1	0
PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

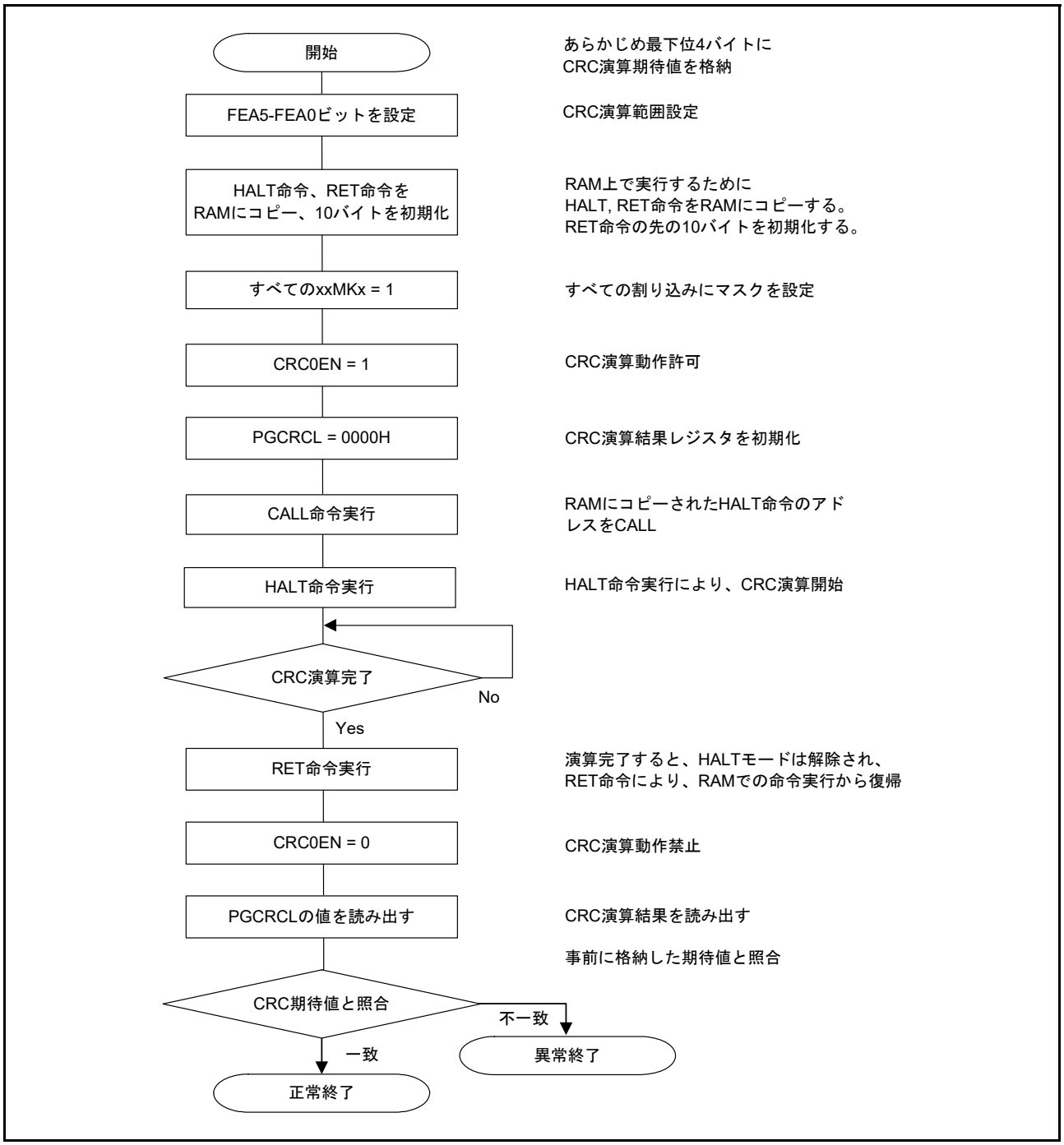
PGCRC15-PGCRC0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　PGCRCL レジスタは、CRC0EN（CRC0CTL レジスタのビット7）= 1の場合のみ書き込み可能です。

図 24 - 3 にフラッシュ・メモリ CRC 演算機能（高速 CRC）のフロー・チャートを示します。

＜動作フロー＞

図24 - 3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1. CRC演算の対象は、コード・フラッシュ・メモリのみです。

注意2. CRC演算の期待値は、コード・フラッシュ・メモリ内の演算範囲の後に格納してください。

注意3. RAM領域にて、HALT命令を実行することで、CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

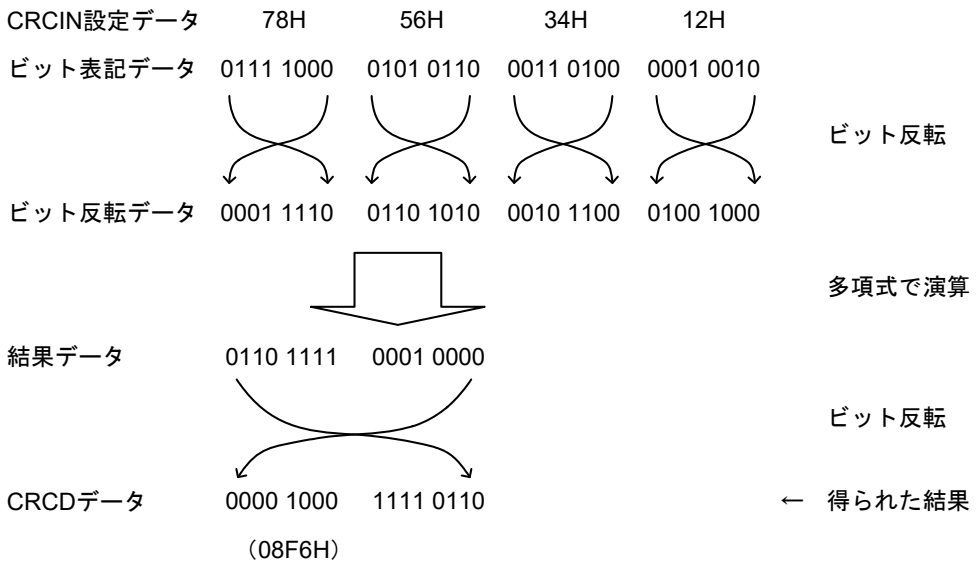
CRC 演算の期待値は、総合開発環境 CS+ を使用して算出することができます。詳細は、CS+ **統合開発環境ユーザーズマニュアル**を参照してください。

24.3.2　CRC演算機能（汎用CRC）

この汎用 CRC では、CPU 動作中に、周辺機能として CRC 演算を実行できます。汎用 CRC は、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア（ユーザ・プログラム）で指定します。HALT モード時の CRC 演算機能は、DMA 転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC 生成多項式は CRC-16-CCITT の「$X^{16} + X^{12} + X^5 + 1$」を使用します。入力するデータは LSB ファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ 12345678H を LSB から送信する場合には 78H, 56H, 34H, 12H の順で CRCIN レジスタに値を書き込むことで、CRCD レジスタから 08F6H の値が得られます。これは、データ 12345678H のビットの並びを反転した以下のビット列に対して CRC 演算を行った結果です。



注意　プログラム実行中、デバッガはソフトウェア・ブレーク設定行をブレーク命令へ書き換えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

24.3.2.1　CRC入力レジスタ（CRCIN）

CRCIN レジスタは、汎用 CRC の CRC 計算するデータを設定する 8 ビットのレジスタです。

設定可能範囲は、00H-FFH です。

CRCIN レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 4　CRC入力レジスタ（CRCIN）のフォーマット

アドレス　：FFFACH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

ビット7-0	機能
00H-FFH	データ入力

24.3.2.2　CRCデータ・レジスタ（CRCD）

CRCD レジスタは、汎用 CRC の CRC 演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFH です。

CRCIN レジスタ書き込みから、CPU ／周辺ハードウェア・クロック（fCLK）の 1 クロック経過後に、CRC 演算結果が CRCD レジスタに格納されます。

CRCD レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図24 - 5　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス　：F02FAH, F02FBH
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CRCD								

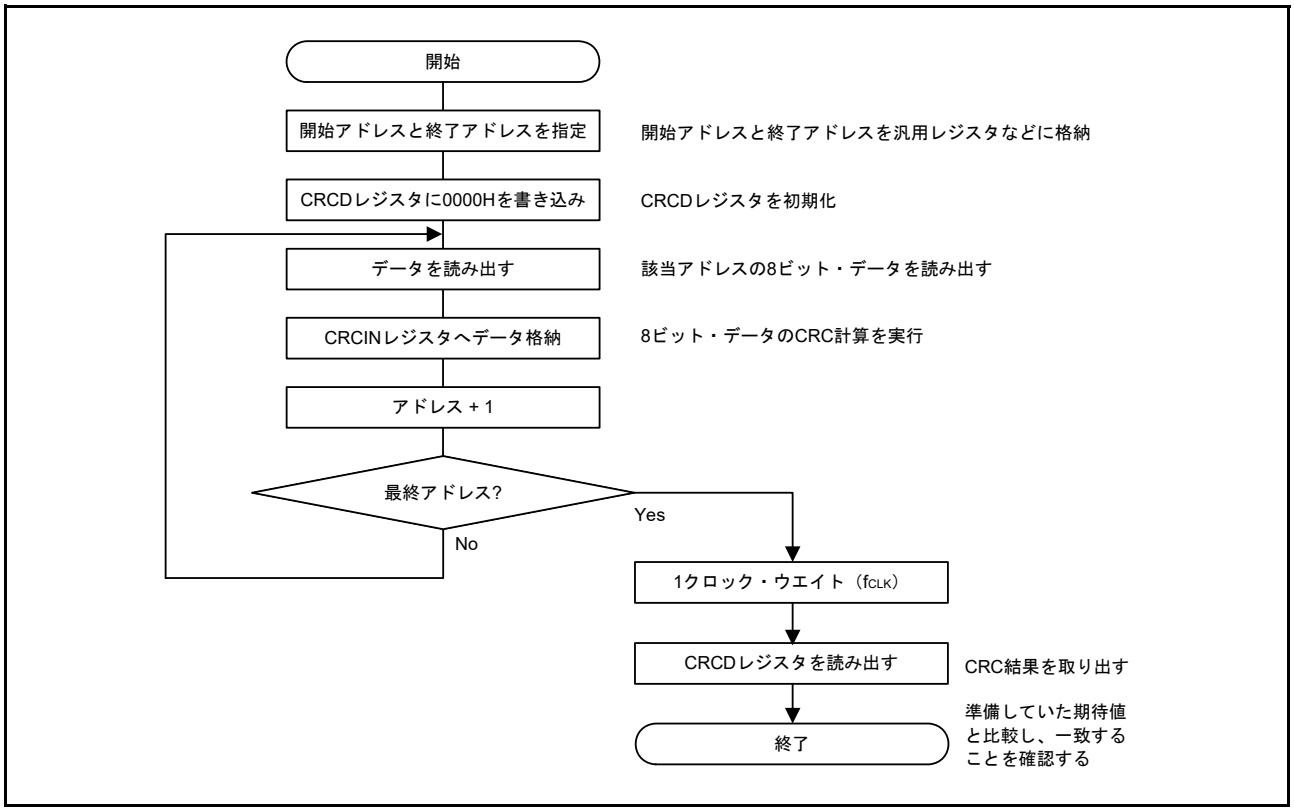
7	6	5	4	3	2	1	0

注意1. CRCD レジスタに書き込まれた値を読み出す場合は、CRCIN レジスタへの書き込みを行う前に読み出してください。

注意2. CRCD レジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

＜動作フロー＞

図24 - 6　CRC演算機能（汎用CRC）のフロー・チャート



24.3.3　フラッシュ・メモリ・ガード機能

IEC60730 では動作中の安全を確保しなければいけないため、CPU が暴走してもフラッシュ・メモリが書き換わってしまわないように保護する必要があります。

フラッシュ・メモリ・ガード機能は、コード・フラッシュ・メモリ、データ・フラッシュ・メモリとフラッシュ・セキュリティ領域を保護するための機能です。フラッシュ・メモリ・ガード機能を設定すると、保護されたフラッシュ・メモリ領域への書き込みは無効になります。保護されたフラッシュ・メモリ領域の読み出しは可能です。

24.3.3.1　コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0）

GFLASH0 レジスタは、コード・フラッシュ・メモリへの書き込みを保護するレジスタです。

コード・フラッシュ・メモリを書き換えるためには、GFLASH0.GFL0 ビットに 0 を設定する必要があります。コード・フラッシュ・メモリをガードするときは、GFLASH0 レジスタを設定したあと、値が 1 になっていることを確認してから、コード・フラッシュ・メモリの読み出しを行ってください。

GFLASH0 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図24 - 7　コード・フラッシュ・メモリ・ガードレジスタ（GFLASH0）のフォーマット

アドレス　: F0488H, F0489H
リセット時: 0000H
R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
GFLASH0	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GFL0

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GFL0ビットを書き換える場合は、RKEY[7:0] = 30Hに設定してください。 本ビットは、読むと00Hが読めます。

GFL0	コード・フラッシュ・メモリの書き換え制御
0	コード・フラッシュ・メモリを保護しない（書き換え許可）
1	コード・フラッシュ・メモリを保護する（書き換え不可）

24.3.3.2　データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）

GFLASH1 レジスタは、データ・フラッシュ・メモリへの書き込みを保護するレジスタです。

データ・フラッシュ・メモリを書き換えるためには、GFLASH1.GFL1 ビットに 0 を設定する必要があります。データ・フラッシュ・メモリをガードするときは、GFLASH1 レジスタを設定したあと、値が 1 になっていることを確認してから、データ・フラッシュ・メモリの読み出しを行ってください。

GFLASH1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図24 - 8　データ・フラッシュ・メモリ・ガードレジスタ（GFLASH1）のフォーマット

アドレス　: F048AH, F048BH
リセット時: 0000H
R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
GFLASH1	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GFL1

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GFL1ビットを書き換える場合は、RKEY[7:0] = C5Hに設定してください。 本ビットは、読むと00Hが読めます。

GFL1	データ・フラッシュ・メモリの書き換え制御
0	データ・フラッシュ・メモリを保護しない（書き換え許可）
1	データ・フラッシュ・メモリを保護する（書き換え不可）

24.3.3.3　フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）

GFLASH2 レジスタは、フラッシュ・メモリのセキュリティ設定を格納しているフラッシュ・セキュリティ領域を保護するレジスタです。

フラッシュ・セキュリティ領域の設定を書き換えるためには、GFLASH2.GFL2 ビットに 0 を設定する必要があります。

GFLASH2 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図24 - 9　フラッシュ・セキュリティ領域ガードレジスタ（GFLASH2）のフォーマット

アドレス　: F048CH, F048DH
リセット時: 0000H
R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
GFLASH2	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GFL2

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GFL2ビットを書き換える場合は、RKEY[7:0] = 9AHに設定してください。 本ビットは、読むと00Hが読めます。

GFL2	フラッシュ・セキュリティ領域の書き換え制御
0	フラッシュ・セキュリティ領域を保護しない（書き換え許可）
1	フラッシュ・セキュリティ領域を保護する（書き換え不可）

24.3.4　RAMパリティ・エラー検出機能

IEC60730 では RAM データ確認が義務付けられています。そのため、本製品の RAM には、8 ビットにつき 1 ビットのパリティが付加されています。この RAM パリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

24.3.4.1　RAMパリティ・エラー制御レジスタ（RPECTL）

RPECTL レジスタは、パリティ・エラーの発生確認と、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 10　RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス　: F00F5H
リセット時: 00H
R/W属性　: R/W

略号	<7>	6	5	4	3	2	1	<0>
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

RPERDIS	パリティ・エラーによるリセット発生の制御
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意　データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。
そのため、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。
また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。

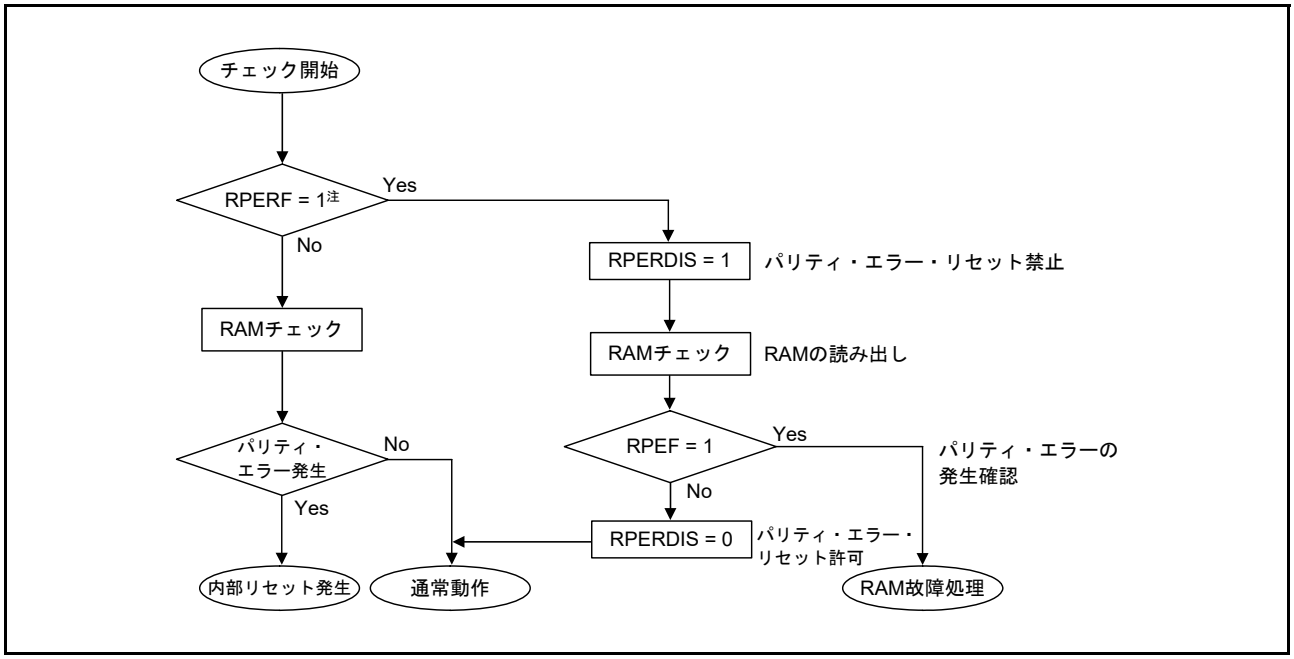
備考1. 初期状態では、パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。

備考2. パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に、パリティ・エラーが発生した場合も、RPEF フラグは1にセットされます。なお、RPEF = 1の状態で、パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると、RPERDIS フラグを0にクリアした時点でパリティ・エラー・リセットが発生します。

備考3. RPEF フラグは、パリティ・エラー発生時に1にセットされ、0の書き込み、またはすべてのリセット要因により0にクリアされます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図24 - 11　RAMパリティ・エラー検出のフロー・チャート



注　RAMパリティ・エラーによる内部リセットの確認は、**第21章　リセット機能**を参照してください。

24.3.5　RAMガード機能

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になります。保護された指定領域の読み出しは可能です。

24.3.5.1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

IAWCTLレジスタは、不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 12　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス　：F0078H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAM保護空間
0	0	無効。RAMへの書き込み可能
0	1	RAM先頭アドレスから128バイト
1	0	RAM先頭アドレスから256バイト
1	1	RAM先頭アドレスから512バイト

備考　本ガード機能は、CPU、データ・トランスファ・コントローラ（DTC）、SNOOZEモード・シーケンサ（SMS）からのアクセスが対象です。

24.3.6　SFRガード機能

SFR ガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAM パリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFR ガード機能を設定すると、保護された SFR への書き込みは無効になります。保護された SFR の読み出しは可能です。

24.3.6.1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。

SFR ガード機能では、GPORT, GINT, GCSC ビットを使用します。

IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 13　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス　：F0078H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタの保護
0	無効。ポート機能の制御レジスタの読み出し／書き込み可能
1	有効。ポート機能の制御レジスタの書き込み無効、読み出し可能 ［保護されるSFR］PMxx, PUxx, PIMxx, POMxx, PMCAxx, PMCTxx, PFOE1, PDIDISxx ポート・レジスタ（Pxx）は保護されません。

GINT	割り込み機能のレジスタの保護
0	無効。割り込み機能の制御レジスタの読み出し／書き込み可能
1	有効。割り込み機能の制御レジスタの書き込み無効、読み出し可能 ［保護されるSFR］IFxx, MKxx, PRxx, EGPx, EGNx

GCSC	クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの保護
0	無効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの読み出し／書き込み可能
1	有効。クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタの書き込み無効、読み出し可能 ［保護されるSFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, CKSEL, PRRx, MOCODIV, WKUPMD

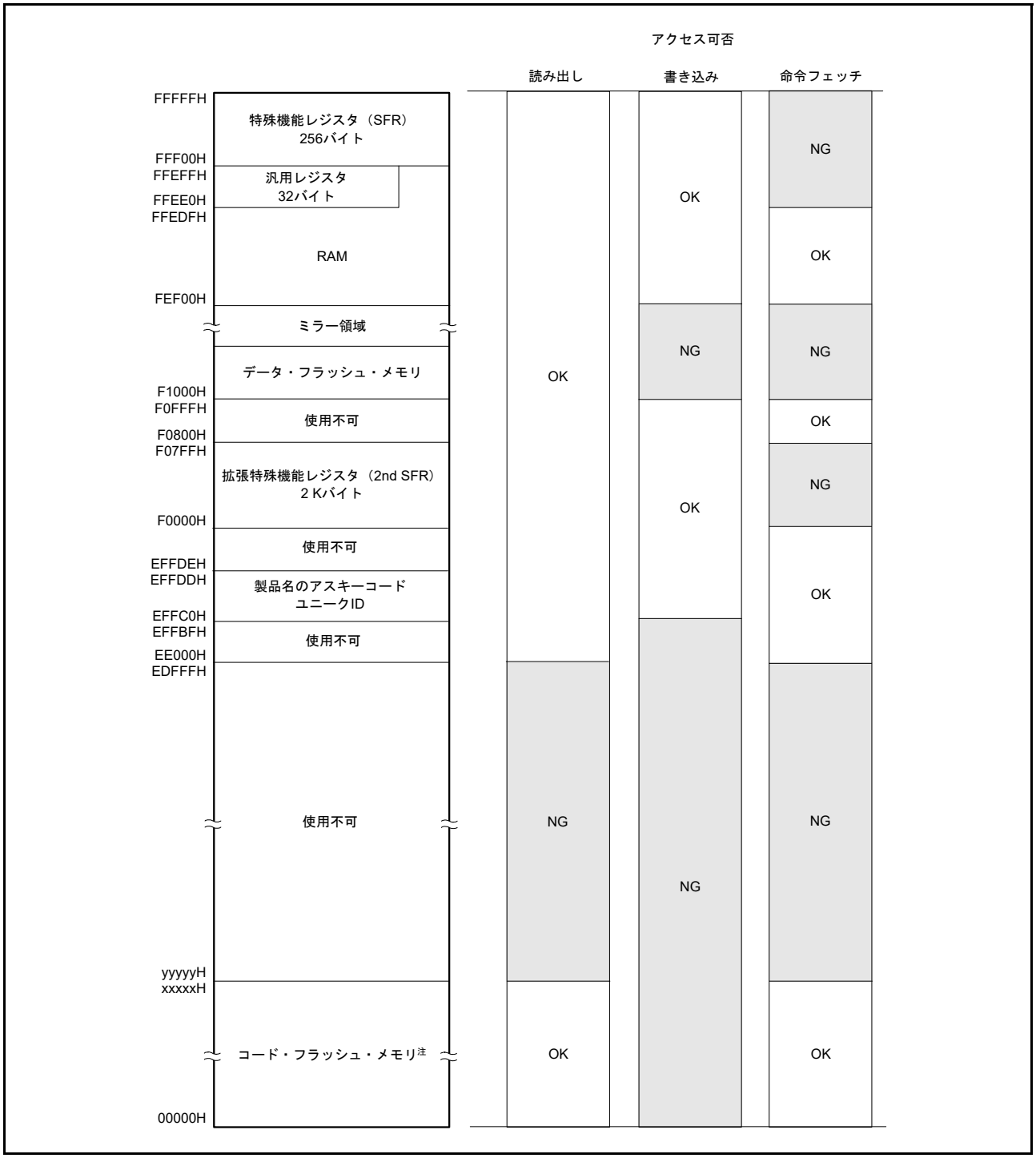
24.3.7　不正メモリ・アクセス検出機能

IEC60730 では CPU と割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、**図 24 - 14** で「NG」と記載した範囲になります。

図24 - 14　不正アクセス検出空間


アクセス可否
読み出し
書き込み
命令フェッチ
FFFFFH
特殊機能レジスタ（SFR）
256バイト
FFF00H
FFEFFH
汎用レジスタ
32バイト
FFEE0H
FFEDFH
RAM
FEF00H
ミラー領域
データ・フラッシュ・メモリ
F1000H
F0FFFH
使用不可
F0800H
F07FFH
拡張特殊機能レジスタ（2nd SFR）
2 Kバイト
F0000H
使用不可
EFFDEH
EFFDDH
製品名のアスキーコード
ユニークID
EFFC0H
EFFBFH
使用不可
EE000H
EDFFFH
使用不可
yyyyyH
xxxxxH
コード・フラッシュ・メモリ注
00000H
OK
NG
OK
NG
OK
NG

注　各製品のコード・フラッシュ・メモリ、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ （00000H-xxxxxH）	読み出し／命令フェッチ 時の検出最下位 アドレス（yyyyyH）
R7F102GxC (x = 4, 6, 7, 8, A, B, C, E, F, G)	32768 × 8 ビット (00000H-07FFFH)	08000H
R7F102GxE (x = 4, 6, 7, 8, A, B, C, E, F, G)	65536 × 8 ビット (00000H-0FFFFH)	10000H

24.3.7.1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

IAWCTL レジスタは、不正メモリ・アクセスの検出可否、RAM/SFR ガード機能を制御するレジスタです。
不正メモリ・アクセス検出機能では、IAWEN ビットを使用します。
IAWCTL レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図24 - 15　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス　：F0078H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注　IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考　ユーザ・オプション・バイト（000C0H）のWDTONビットが1（ウォッチドッグ・タイマ動作許可）のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

24.3.8　不正メモリ・アクセス検出制御レジスタのガード機能

IEC60730 では動作中の安全を保証しなければいけないため、CPU が暴走しても不正メモリ・アクセス検出機能の有効・無効設定が書き換わってしまわないように保護する必要があります。

不正メモリ・アクセス検出制御レジスタのガード機能は、不正メモリ・アクセス検出制御レジスタ（IAWCTL）を保護するための機能です。不正メモリ・アクセス検出制御レジスタのガード機能を設定すると、不正メモリ・アクセス検出制御レジスタへの書き込みは無効になります。保護された不正メモリ・アクセス検出制御レジスタの読み出しは可能です。

24.3.8.1　IAWCTL レジスタ・ガードレジスタ（GIAWCTL）

GIAWCTL レジスタは、不正メモリ・アクセスの検出機能の有効／無効設定を保護するレジスタです。

不正メモリ・アクセス検出制御レジスタ（IAWCTL）を書き換えるためには、GIAWCTL.GIA ビットに 0 を設定して保護を解除する必要があります。

GIAWCTL レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図24 - 16　IAWCTL レジスタ・ガードレジスタ（GIAWCTL）のフォーマット

アドレス　：F048EH, F048FH
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
GIAWCTL	RKEY[7:0]							

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	GIA

RKEY[7:0]	機能
ビット7-0	本レジスタの書き換えを制御するキーコードです。GIA ビットを書き換える場合は、RKEY[7:0] = A4H に設定してください。 本ビットは、読むと 00H が読めます。

GIA	IAWCTL レジスタの書き換え制御
0	IAWCTL レジスタを保護しない（書き換え許可）
1	IAWCTL レジスタを保護する（書き換え不可）

24.3.9　周波数検出機能

IEC60730 では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は、CPU ／周辺ハードウェア・クロック周波数（f_{CLK}）を使用し、タイマ・アレイ・ユニット 0（TAU0）のチャネル 5 の入力パルスを測定することで、2 つのクロックの比率関係が正しいか判定することができます。ただし、片一方のクロックまたは両方のクロックが完全に停止している場合は、クロックの比率関係を判定することができません。

＜比較するクロック＞

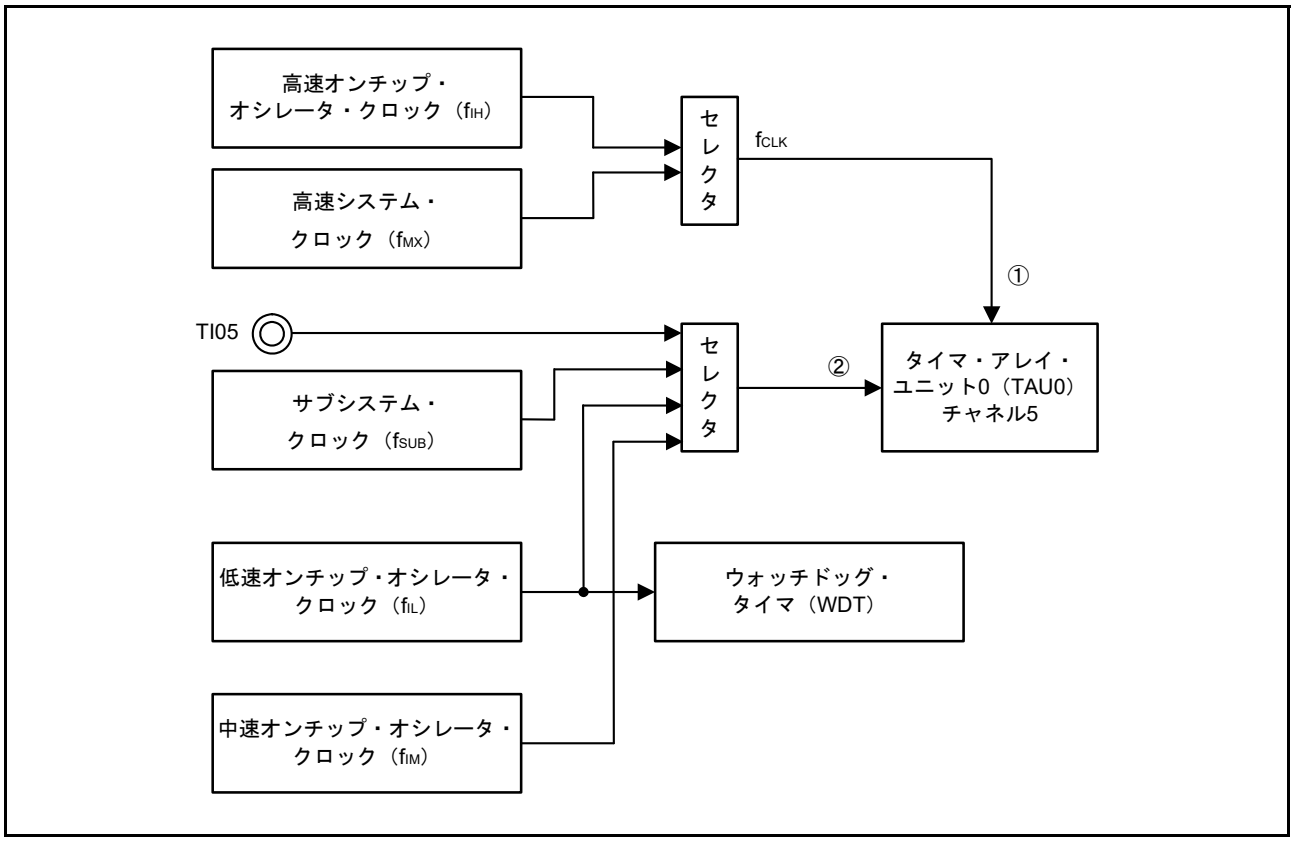
① CPU ／周辺ハードウェア・クロック周波数（f_{CLK}）：

- 高速オンチップ・オシレータ・クロック（f_{IH}）
- 高速システム・クロック（f_{MX}）

②タイマ・アレイ・ユニット 0 のチャネル 5 入力：

- チャネル5のタイマ入力（TI05）
- 低速オンチップ・オシレータ・クロック（f_{IL}）
- サブシステム・クロック（f_{SUB}）
- 中速オンチップ・オシレータ・クロック（f_{IM}）

図24 - 17　周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、**7.8.4　入力パルス間隔測定としての動作**を参照してください。

24.3.9.1　タイマ入力選択レジスタ0（TIS0）

TIS0 レジスタは、タイマ・アレイ・ユニット 0（TAU0）のチャネル 5 のタイマ入力を選択するレジスタです。
TIS0 レジスタは、8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図24 - 18　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス　：F0074H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル5で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI05）の入力信号
0	1	1	中速オンチップ・オシレータ周辺クロック（f_{IMP}）
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

24.3.10　A/Dテスト機能

IEC60730 では A/D コンバータのテストが義務付けられています。この A/D テスト機能では、A/D コンバータの＋側
★ 基準電圧、－側基準電圧、アナログ入力チャネル（ANIxx）、温度センサ出力電圧、内部基準電圧および CTSU TSCAP 電圧の A/D 変換を実施することで、A/D コンバータの正常動作を確認します。確認方法の詳細は、**安全機能（A/D テスト）アプリケーションノート（R01AN5607）**を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

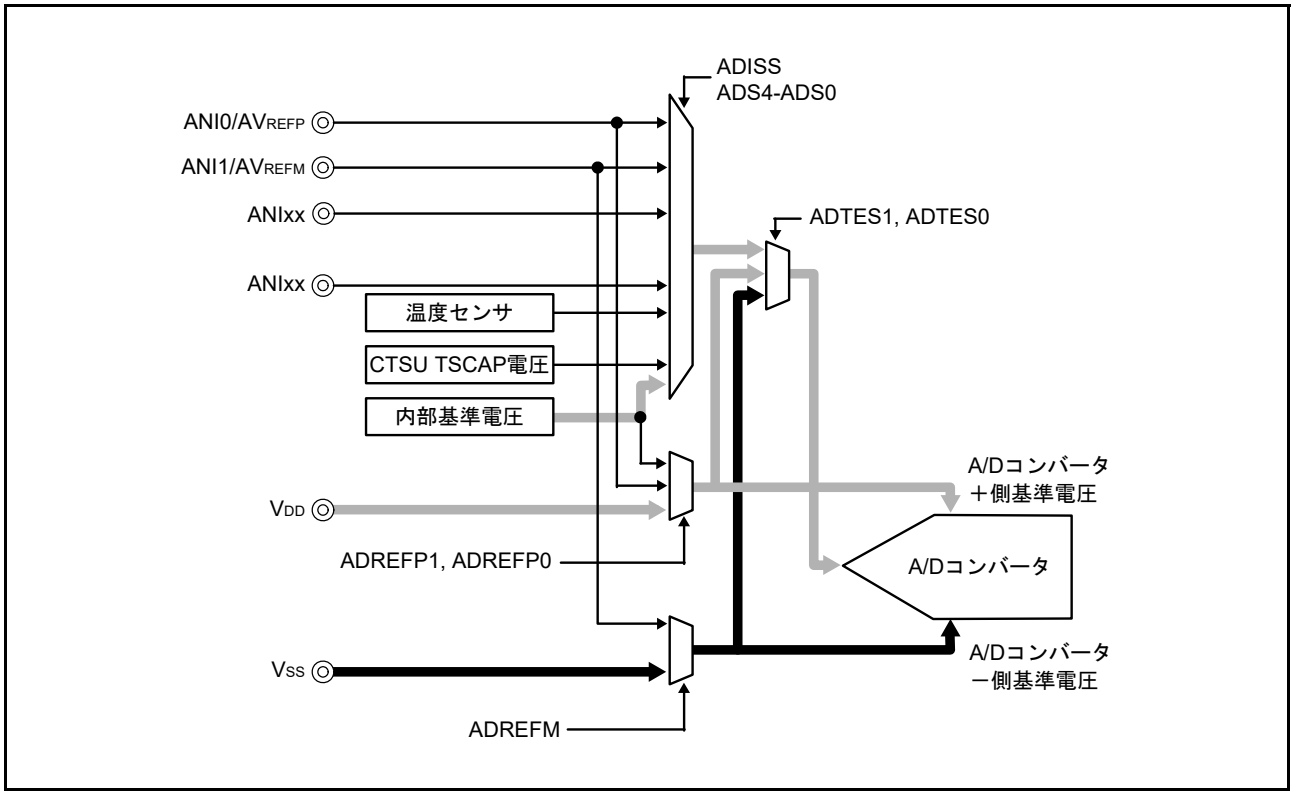
① ADTES レジスタで A/D 変換対象に ANIxx 端子を選択（ADTES1, ADTES0 = 00B）
② ANIxx 端子の A/D 変換を行う（変換結果 1-1）
③ ADTES レジスタで A/D 変換対象に A/D コンバータの－側基準電圧を選択（ADTES1, ADTES0 = 10B）
④ A/D コンバータの－側基準電圧の A/D 変換を行う（変換結果 2-1）
⑤ ADTES レジスタで A/D 変換対象に ANIxx 端子を選択（ADTES1, ADTES0 = 00B）
⑥ ANIxx 端子の A/D 変換を行う（変換結果 1-2）
⑦ ADTES レジスタで A/D 変換対象に A/D コンバータの＋側基準電圧を選択（ADTES1, ADTES0 = 11B）
⑧ A/D コンバータの＋側基準電圧の A/D 変換を行う（変換結果 2-2）
⑨ ADTES レジスタで A/D 変換対象に ANIxx 端子を選択（ADTES1, ADTES0 = 00B）
⑩ ANIxx 端子の A/D 変換を行う（変換結果 1-3）
⑪ 「変換結果 1-1」=「変換結果 1-2」=「変換結果 1-3」であることを確認する
⑫ 「変換結果 2-1」の A/D 変換結果がオール 0、「変換結果 2-2」の A/D 変換結果がオール 1 であることを確認する

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図24 - 19　A/Dテスト機能の構成



24.3.10.1　A/Dテスト・レジスタ（ADTES）

ADTES レジスタは、A/D 変換対象に A/D コンバータの＋側の基準電圧、－側の基準電圧、アナログ入力チャネル
★（ANIxx）／温度センサ出力電圧／内部基準電圧／ CTSU TSCAP 電圧を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ゼロスケールを測定するときは、A/D変換対象に－側の基準電圧を選択
- フルスケールを測定するときは、A/D変換対象に＋側の基準電圧を選択

ADTES レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 20　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス　：F0013H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

★

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx／温度センサ出力電圧／内部基準電圧注／CTSU TSCAP電圧 （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2 レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2 レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注　内部基準電圧値は、**第34章　電気的特性**を参照してください。

注意　ビット7-2には、必ず0を設定してください。

24.3.10.2　アナログ入力チャネル指定レジスタ（ADS）

ADS レジスタは、A/D 変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/D テスト機能で ANIxx ／温度センサ出力電圧／内部基準電圧／ CTSU TSCAP 電圧を測定するときは、A/D テスト・レジスタ（ADTES）を 00H に設定してください。

ADS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 21　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス　: FFF31H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

セレクト・モード（ADM0.ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子
0	0	0	1	1	0	ANI6	P26/ANI6端子
0	0	0	1	1	1	ANI7	P27/ANI7端子
0	1	0	0	0	0	ANI16	P01/ANI16端子注1
0	1	0	0	0	1	ANI17	P00/ANI17端子注2
0	1	0	0	1	0	ANI18	P147/ANI18端子
0	1	0	0	1	1	ANI19	P120/ANI19端子
0	1	1	1	1	0	—	CTSU TSCAP電圧
1	0	0	0	0	0	—	温度センサ出力電圧
1	0	0	0	0	1	—	内部基準電圧注3
上記以外						設定禁止	

注1.　36～48ピン製品の場合は、ANI16として使用できません。

注2.　36～48ピン製品の場合は、ANI17として使用できません。

注3.　内部基準電圧値は、**第34章　電気的特性**を参照してください。

（注意は次ページに続きます）

注意1. ビット6, 5には、必ず0を設定してください。

注意2. PMCAxxレジスタでアナログ入力に設定したポートは、PMxxレジスタ（PM0, PM2, PM12, PM14）で入力モードに選択してください。

注意3. PMCAxxレジスタ（PMCA0, PMCA2, PMCA12, PMCA14）でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ADISSビットを書き換える場合は、必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

注意5. AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。

注意6. AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。

注意7. ADISS = 1を設定した場合、＋側の基準電圧に内部基準電圧は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、12.7.4　温度センサ出力電圧／内部基準電圧／CTSU TSCAP電圧を選択時の設定 （例　ソフトウェア・トリガ・モード、ワンショット変換モード時）を参照してください。

注意8. STOPモードへ移行またはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1のときは、34.3.2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

24.3.11　入出力端子のデジタル出力信号レベル検出機能

IEC60730 では I/O 機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルを読み出すことができます。

24.3.11.1　ポート・モード選択レジスタ（PMS）

PMS レジスタは、端子が出力モード（ポート・モード・レジスタ（PMm）の PMmn ビットが 0）時に、ポートの出力ラッチの値を読み出すか、端子の出力レベルを読み出すかを選択するレジスタです。

PMS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 22　ポート・モード選択レジスタ（PMS）のフォーマット

アドレス　：F007BH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	端子が出力モード時に読み出すデータの選択
0	Pmn レジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

備考　m = 0-7, 12, 14
n = 0-7

注意1. ビット7-1には、必ず0を設定してください。

注意2. PMSレジスタのPMS0ビットに1を設定時は、1ビット・メモリ操作命令でポート・レジスタ（Pxx）を書き換えないでください。ポート・レジスタ（Pxx）を書き換える場合は、8ビット・メモリ操作命令を使用してください。

注意3. 入力ポート（P123, P124, P137）および出力ポート（P130）は、PMS制御は無効です。

注意4. PMCAmnビットおよびPMCTmnビットが1の場合、PMS制御は無効です。
PMCAmnビットおよびPMCTmnビットが1の設定で端子のデジタル出力レベルを読み出す場合は、PMCAmnビットおよびPMCTmnビットに0を設定してからPMS0ビットに1を設定してください。

備考　m = 0-3, 5, 7, 12, 14
n = 0-7

注意5. PDIDISmnビットが1の場合、PMS制御は無効です。
PDIDISmnビットが1の設定で端子のデジタル出力レベルを読み出す場合は、PDIDISmnビットに0を設定してからPMS0ビットに1を設定してください。

備考　m = 0, 1, 5, 7, 12
n = 0-5, 7

24.3.12　UARTループバック機能

IEC60730 では、外部インタフェース（通信）の異常診断ができることを推奨されています。

UART ループバック機能では、RxD 端子を外部から遮断、MCU 内部で接続し、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックすることで、UART の送信データの正常出力を確認することができます。

UART ループバック機能選択時に、TxD 端子からの送信データが通信相手に影響を与えないようにするには、ポート機能を使って制御することができます。

- 負論理での通信の場合
  TxD端子を兼用しているポートを入力モード（PMxx = 1）に設定し、内蔵プルアップ抵抗を接続（PUxx = 1）して、1を保持します。また、TxDA0端子は、ポートから1を出力（PMxx = 0, Pxx = 1）した状態でPFOE1レジスタのPFOE14ビットに0を設定することで、1を保持することもできます。TxD0端子は、ポートから1を出力（PMxx = 0, Pxx = 1）した状態でPFOE1レジスタのPFOE10ビットに0を設定することで、1を保持することもできます。
- 正論理での通信の場合
  TxD端子を兼用しているポートから0を出力（PMxx = 0, Pxx = 0）します。

24.3.12.1　UARTループバック選択レジスタ（ULBS）

ULBS レジスタは、UART ループバック機能を有効にするレジスタです。

UART チャネルごとに制御できるビットを持ち、各チャネルに該当するビットに 1 を設定することで、UART ループバック機能が選択され、送信シフト・レジスタからの出力を受信シフト・レジスタにループバックします。

ULBS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図24 - 23　UARTループバック選択レジスタ（ULBS）のフォーマット

アドレス　: F0079H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	<4>	3	<2>	<1>	<0>
ULBS	0	0	0	ULBS4	0	ULBS2	ULBS1	ULBS0

ULBS4	UARTループバック機能の選択
0	シリアル・インタフェースUARTA0のRxDA0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS2	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART2のRxD2端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS1	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART1のRxD1端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

ULBS0	UARTループバック機能の選択
0	シリアル・アレイ・ユニットUART0のRxD0端子の状態を受信シフト・レジスタに入力
1	送信シフト・レジスタの出力を受信シフト・レジスタにループバック

注意　**ビット7-5, 3には、必ず0を設定してください。**

備考　RxDA0端子は36～48ピン製品のみ使用可能
RxD1端子は20～48ピン製品のみ使用可能
RxD2端子は30～48ピン製品のみ使用可能

第25章　セキュリティ機能

25.1　真性乱数発生器（TRNG）

25.1.1　真性乱数発生器の機能

真性乱数発生器は 32 ビットの乱数シード（真性乱数）を生成します。

25.1.2　真性乱数発生器を制御するレジスタ

真性乱数発生器を制御するレジスタを次に示します。

- 乱数シード・コマンド・レジスタ 0（TRNGSCR0）
- 乱数シード・データ・レジスタ（TRNGSDR）

25.1.2.1　乱数シード・コマンド・レジスタ0（TRNGSCR0）

TRNGSCR0 レジスタは、真性乱数発生器の動作を制御するレジスタです。TRNGEN ビットに 1 を設定したあとに TRNGST ビットに 1 を設定すると乱数シードの生成を開始します。乱数シードの生成が完了すると TRNGRDY フラグが 1 にセットされます。

TRNGST ビットはトリガ・ビットのため、1 を設定したあとはすぐに 0 にクリアされます。

TRNGSCR0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図25 - 1　乱数シード・コマンド・レジスタ0（TRNGSCR0）のフォーマット

アドレス　: F0542H
リセット時: 00H
R/W属性　: R/W

略号	<7>	6	5	4	<3>	<2>	1	0
TRNGSCR0	TRNGRDY	0	0	0	TRNGEN	TRNGST	0	0

TRNGRDY	乱数シード生成状態フラグ
0	乱数シードの生成が完了していない、またはTRNGSDR レジスタを4回読み出し後
1	乱数シードの生成完了

TRNGEN	真性乱数発生器の動作制御
0	真性乱数発生器の動作停止
1	真性乱数発生器の動作許可

TRNGST	乱数シード生成開始トリガ
0	トリガ動作せず
1	乱数シードの生成動作開始

25.1.2.2　乱数シード・データ・レジスタ（TRNGSDR）

TRNGSDR レジスタは、真性乱数発生器で生成された乱数シードを格納する 8 ビットのレジスタです。TRNGRDY フラグが 1 にセットされた後に乱数シードを読み出せます。乱数シードは 32 ビット長ですので 4 回に分けて読み出してください。4 回読み出すと TRNGSCR0 レジスタの TRNGRDY フラグは 0 にクリアされます。

TRNGSDR レジスタは、8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図25 - 2　乱数シード・データ・レジスタ（TRNGSDR）のフォーマット

アドレス　：F0540H
リセット時：00H
R/W属性　：R

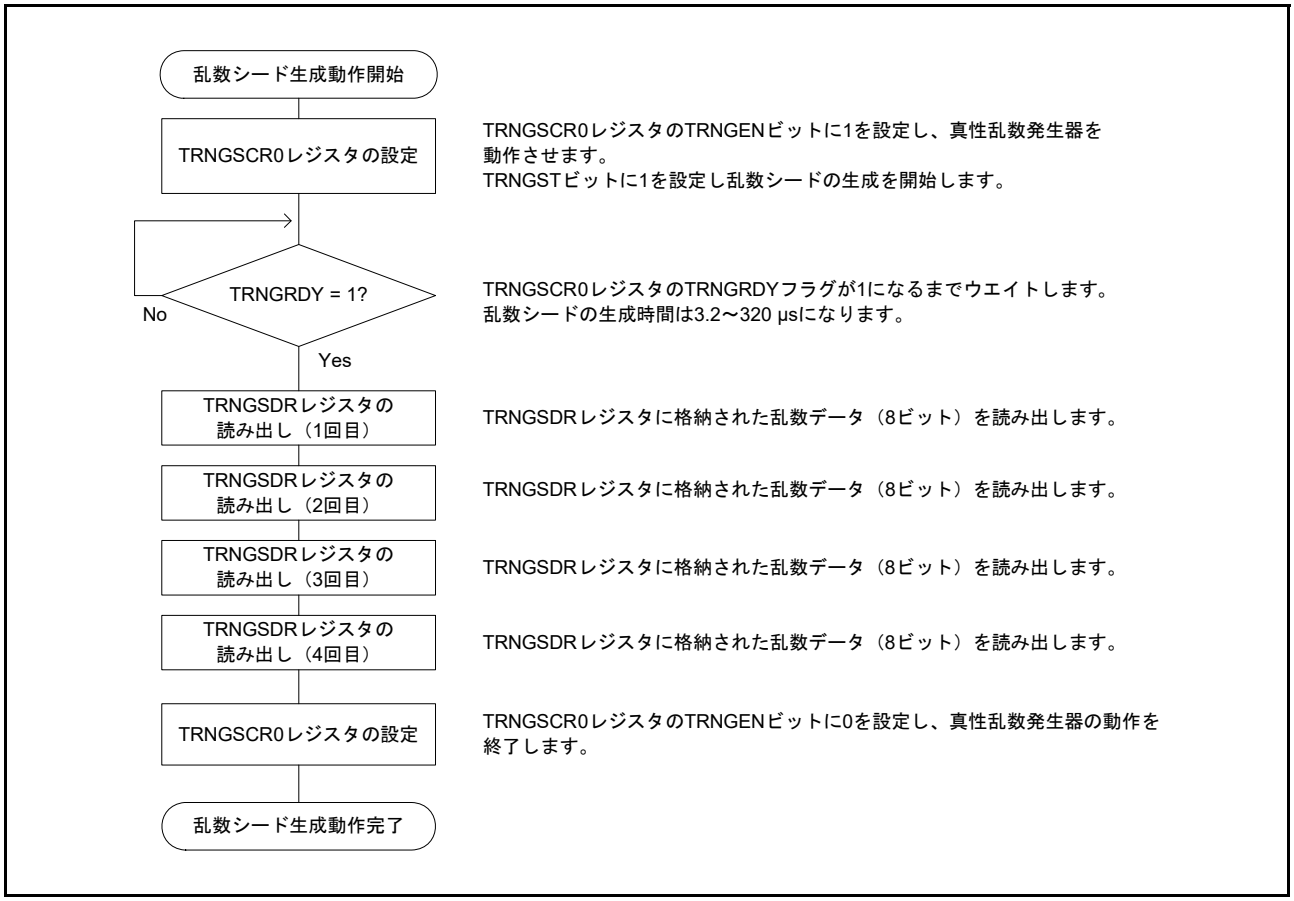
略号	7	6	5	4	3	2	1	0
TRNGSDR								

注意　TRNGRDY = 0の場合、TRNGSDR レジスタは00Hになります。

25.1.3　真性乱数発生器の動作

図 25 - 3 に真性乱数発生器による乱数シードの生成手順を示します。

図25 - 3　真性乱数発生器による乱数シードの生成手順



25.2　フラッシュ・リード・プロテクション

25.2.1　フラッシュ・リード・プロテクションの機能

フラッシュ・リード・プロテクションは、コード・フラッシュ・メモリ領域の指定した領域を CPU、DTC、SMS からの読み出しを不可にする機能です。ただし、指定した領域は CPU による命令フェッチは可能です。また、シリアル・プログラミング・モードでは、フラッシュ・リード・プロテクションの機能で読み出しが不可となったコード・フラッシュ・メモリ領域をベリファイすることも可能です。

25.2.2　フラッシュ・リード・プロテクションの設定

フラッシュ・リード・プロテクションの設定は、フラッシュ・メモリ・プログラマによるシリアル・プログラミングまたはセルフ・プログラミングによってエクストラ領域に設定します。

初期状態ではコード・フラッシュ・メモリの全領域が読み出し可能な状態に設定されています。読み出しを不可にするコード・フラッシュ・メモリの領域をフラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロック
★ クに設定し、フラッシュ・リード・プロテクション設定の変更禁止を有効にしてください。設定された範囲のコード・フラッシュ・メモリ領域の読み出しは不可となります。

また、フラッシュ・リード・プロテクション設定の変更禁止を有効にすると、フラッシュ・リード・プロテクションのスタート・ブロックとエンド・ブロックの設定が固定され、対象の領域を保護することができます。このフラッシュ・リード・プロテクション設定の変更禁止は、フラッシュ・プログラマで解除することができます。ただし、フラッシュ・リード・プロテクション設定の変更禁止を解除する場合は、全フラッシュ・メモリ領域を消去する必要があるため、解除したあとにフラッシュ・リード・プロテクションの領域に書き込まれたデータを読み出すことはできません。**表 25 - 1** にフラッシュ・リード・プロテクションの設定と機能、**表 25 - 2** にフラッシュ・リード・プロテクションの設定方法を示します。

表25 - 1　フラッシュ・リード・プロテクションの設定と機能

設定	機能
フラッシュ・リード・プロテクション・スタート・ブロック	読み出しを不可にする領域のスタート・ブロック番号を指定します。設定値はブロック001Hからコード・フラッシュ・メモリの上限アドレスのブロック番号を設定してください。 スタート・ブロックに指定したブロック番号は読み出し不可領域に含みます。 スタート・ブロックにブロック000Hを設定することは禁止です。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション・エンド・ブロック	読み出しを不可にする領域のエンド・ブロック番号を指定します。設定値はスタート・ブロック番号以上からコード・フラッシュ・メモリの上限アドレスのブロック番号を設定することができます。エンド・ブロックに指定したブロック番号は読み出し不可領域に含まれます。 初期状態は1FFHに設定されています。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックの設定を固定します。この設定が有効の場合はスタート・ブロックとエンド・ブロックの設定を変更できません。

アドレスとブロック番号の関係については、**表 3 - 1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

表25 - 2　フラッシュ・リード・プロテクションの設定方法

設定	設定方法	変更方法
フラッシュ・リード・プロテクション・スタート・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション・エンド・ブロック	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プログラマまたはセルフ・プログラミングによって変更できます。ただし、フラッシュ・リード・プロテクション設定の変更禁止が有効な場合は変更できません。
フラッシュ・リード・プロテクション設定の変更禁止	フラッシュ・プログラマまたはセルフ・プログラミングによって設定してください。	フラッシュ・プラグラマで設定を解除注できます。解除した場合はスタート・ブロックとエンド・ブロックも初期化されます。

注　設定の解除は“ブロック消去禁止”、“ブート領域の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合でのみ可能です。

注意1. エクストラ領域に設定されたフラッシュ・リード・プロテクションの設定値は読み出すことができません。フラッシュ・リード・プロテクションが設定されていることを確認する場合は読み出し不可領域を読み出してFFHであることを確認してください。

注意2. フラッシュ・リード・プロテクションで読み出し不可領域を設定する場合は、必ずスタート・アドレスとエンド・アドレスの両方のブロックを指定してください。

注意3. 読み出し不可領域はオンチップ・デバッガでも読み出すことはできないため、読み出し不可領域に配置されたプログラムのオンチップ・デバッガによるデバッグはできません。したがって、プログラムのデバッグ完了後にフラッシュ・リード・プロテクションを設定してください。

注意4. ブート・クラスタ0または1の一部の領域に読み出し不可領域を設定した場合、ブート・スワップによって読み出し不可領域の内容が読み出し可能な領域にスワップされる可能性があります。ブート・クラスタ0または1に読み出し不可領域を設定する場合は“ブート領域の書き換え禁止”を設定してブート・スワップ自体を禁止にしてください。

注意5. セルフ・プログラミングでフラッシュ・リード・プロテクションを設定した場合は、リセット解除後にその設定が有効となります。

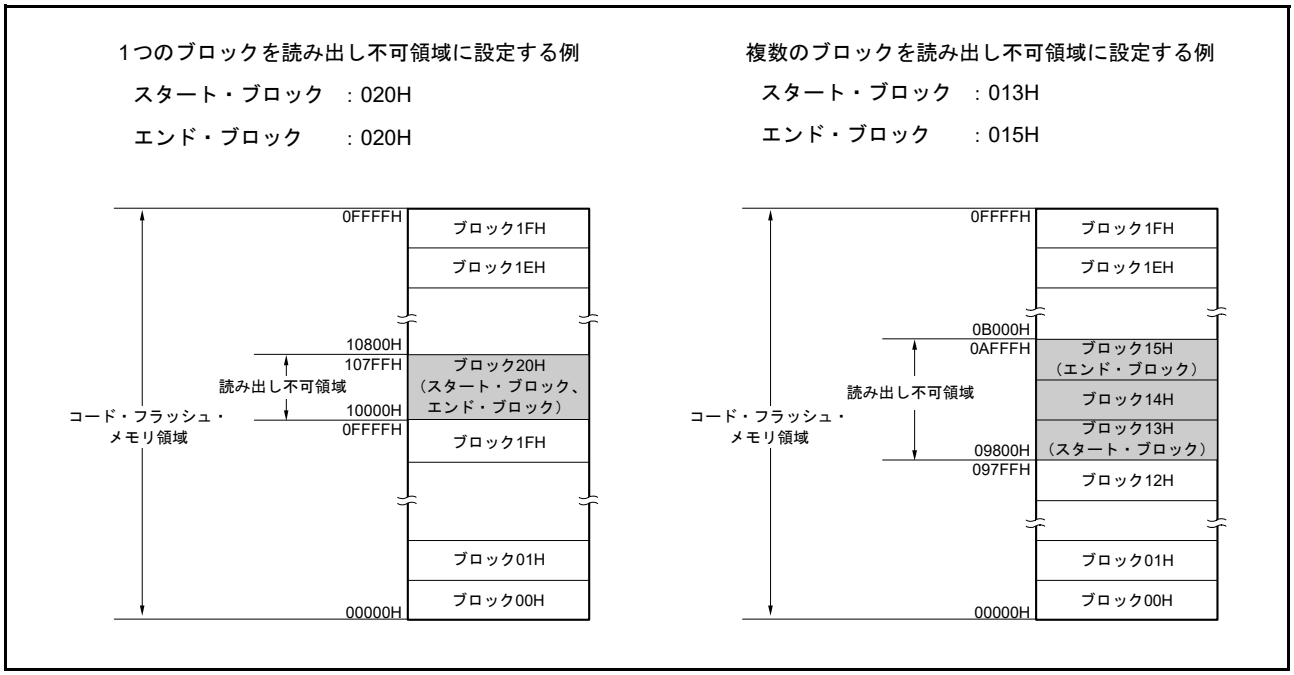
25.2.3　動作説明

フラッシュ・リード・プロテクションで読み出し不可に設定した領域は、CPU、DTC、SMS による読み出し値はすべて FFH になります。

読み出し不可領域での CPU による命令フェッチは可能です。ただし、読み出し不可領域で実行するプログラムでも不可領域のデータの読み出しはできません。読み出し不可領域で実行するプログラムで使用するデータはプロテクトされていない領域に配置してください。

図 25 - 4 にフラッシュ・リード・プロテクションによる読み出し不可領域の設定例を示します。

図25 - 4　フラッシュ・リード・プロテクションによる読み出し不可領域の設定例



読み出し不可領域を設定後にコード・フラッシュ・メモリの全領域を読み出し可能に再設定する場合は、フラッシュ・リード・プロテクション設定の変更禁止が無効の状態で、フラッシュ・リード・プロテクション・スタート・ブロックとエンド・ブロックを 1FFH に設定してください。

25.3　ユニークID

25.3.1　ユニークIDの機能

ユニーク ID はエクストラ領域に格納されている製品個体ごとのユニークな値です。
ユニーク ID は MCU を製造する際に個々の製品に書き込まれます。値の変更はできません。
データ長は 16 バイト（128 ビット）です。

注意　ユニークIDはランダム値ではありません。

25.3.2　製品名のアスキー・コード

製品名のアスキー・コードはエクストラ領域に格納されています。
製品名にはピン数とフラッシュ・メモリ・サイズが含まれますので、製品名による条件分岐ができます。

表 25 - 3 にユニーク ID のメモリ・マップを示します。

表25 - 3　ユニークIDのメモリ・マップ

アドレス	名称	格納値
EFFC0H | EFFCFH	ユニークID	製品個体ごとのユニークな値
EFFD5H	製品名のアスキー・コード	52H “R”
EFFD6H		37H “7”
EFFD7H		46H “F”
EFFD8H		31H “1”
EFFD9H		30H “0”
EFFDAH		32H “2”
EFFDBH		47H “G”
EFFDCH		34H “4”　: 16 ピン 36H “6”　: 20 ピン 37H “7”　: 24 ピン 38H “8”　: 25 ピン 41H “A”　: 30 ピン 42H “B”　: 32 ピン 43H “C”　: 36 ピン 45H “E”　: 40 ピン 46H “F”　: 44 ピン 47H “G”　: 48 ピン
EFFDDH		43H “C”　: フラッシュ・メモリ 32 KB 45H “E”　: フラッシュ・メモリ 64 KB

第26章　SNOOZEモード・シーケンサ（SMS）

SNOOZE モード・シーケンサは、あらかじめ設定した 32 の処理を順次実行する機能です。本機能はスタンバイ状態でもほかの周辺機能の信号をトリガとして起動できるため、CPU から独立した動作が可能です。CPU がスタンバイ中に処理を実行することで低消費電力を実現します。

26.1　SNOOZEモード・シーケンサの機能

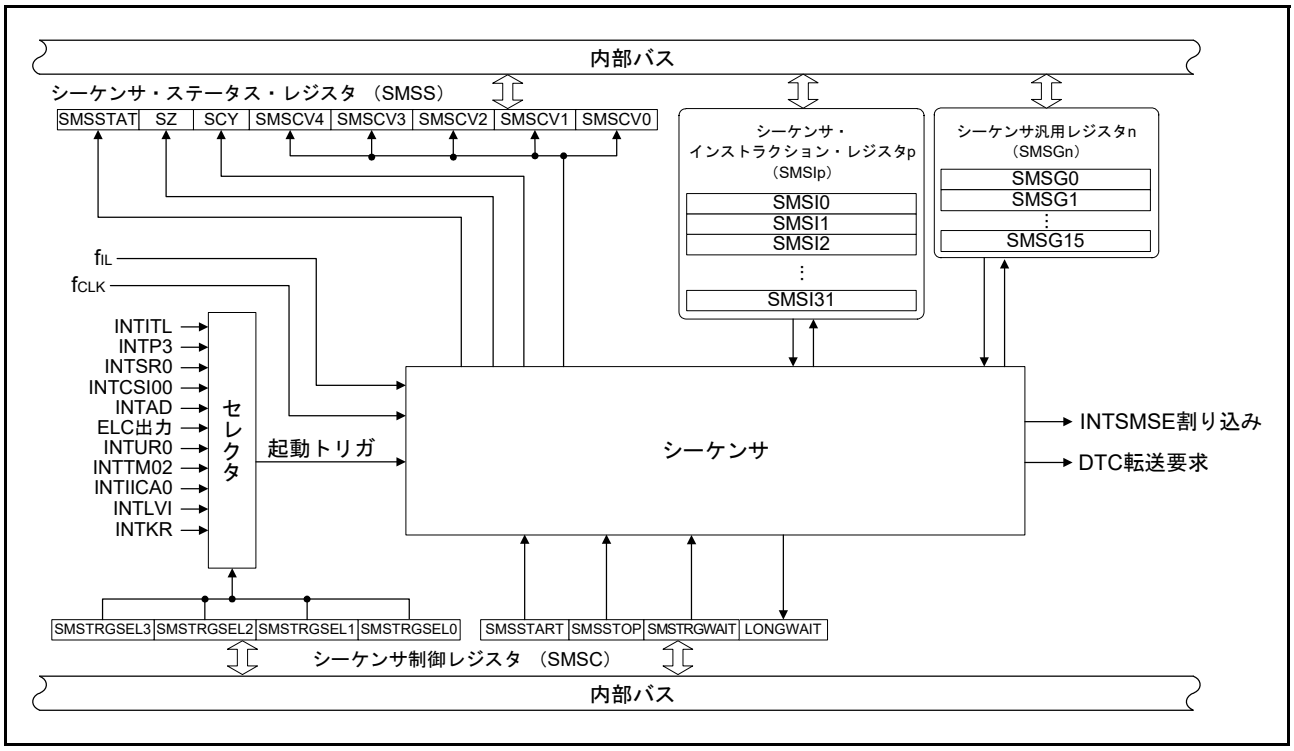
SNOOZE モード・シーケンサは CPU から独立して処理を実行する機能です。SNOOZE モード・シーケンサには次の機能があります。

- 21種類の処理から合計で32個の処理を選択して順次に実行可能
- CPUがスタンバイ状態でも実行可能
- スタンバイ状態にあるCPUのウェイクアップが可能
- データ・トランスファ・コントローラ（DTC）を直接起動可能
- RAM、各周辺機能のSFRにアクセス可能
- 16ビットの加算処理、減算処理が可能
- 分岐処理が可能
- ウエイト処理中のクロックを低速オンチップ・オシレータ・クロックに自動的に切り替えることで長期間のウエイトが可能

26.2 SNOOZEモード・シーケンサの構成

図 26 - 1 に SNOOZE モード・シーケンサのブロック図を示します。

図26 - 1 SNOOZEモード・シーケンサのブロック図



備考 p = 0-31, n = 0-15

26.3 SNOOZEモード・シーケンサを制御するレジスタ

SNOOZE モード・シーケンサを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- 周辺リセット制御レジスタ1（PRR1）
- シーケンサ・インストラクション・レジスタp（SMSIp）
- シーケンサ汎用レジスタn（SMSGn）
- シーケンサ制御レジスタ（SMSC）
- シーケンサ・ステータス・レジスタ（SMSS）

26.3.1 周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

SNOOZE モード・シーケンサを使用する場合は、必ず SMSEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図26 - 2 周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス ：F00FAH
リセット時：00H
R/W属性 ：R/W

略号	7	<6>	5	<4>	<3>	<2>	1	<0>
PER1	0	SMSEN	0	TML32EN	DTCEN	UTAEN 注1	0	CTSUEN

SMSEN	SNOOZEモード・シーケンサの入力クロック供給の制御
0	入力クロック供給停止 • SNOOZEモード・シーケンサで使用するSFRへのライト不可注2
1	入力クロック供給 • SNOOZEモード・シーケンサで使用するSFRへのリード／ライト可

注1. 36～48ピン製品のみ

注2. リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1. ビット7, 5, 1には、必ず0を設定してください。

注意2. 次のビットには、必ず0を設定してください。

16～32ピン製品：ビット2

注意3. SNOOZEモード・シーケンサが動作中の場合、SMSENビットを1から0へ変更しないでください。

26.3.2　周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

SNOOZE モード・シーケンサをリセットする場合は、SMSRES ビットに 1 を設定してください。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図26 - 3　周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス　: F00FBH
リセット時: 00H
R/W属性　: R/W

略号	7	<6>	5	<4>	3	2	1	<0>
PRR1	0	SMSRES	0	TML32RES	0	0	0	CTSURES

SMSRES	SNOOZEモード・シーケンサのリセット制御
0	SNOOZEモード・シーケンサのリセット解除
1	SNOOZEモード・シーケンサはリセット状態 ・SNOOZEモード・シーケンサで使用するSFRが初期化されます。

注意　ビット7, 5, 3-1には、必ず0を設定してください。

26.3.3　シーケンサ・インストラクション・レジスタp（SMSIp）

SMSIp レジスタは、シーケンサの処理コマンドを格納する 16 ビットのレジスタです。

SNOOZE モード・シーケンサは SMSI0 レジスタから SMSI31 レジスタの計 32 のレジスタにシーケンサの処理コマンドを格納し、SMSI0 レジスタから順次に処理を実行します。レジスタは処理の内容を示すシーケンサ・コードとシーケンサ・コードごとに用途が異なる第 1 オペランド、第 2 オペランド、付加バイトで構成されます。シーケンサの各処理の詳細は、**26.5　シーケンサ処理コマンド**を参照してください。また、処理の実行後は次に続く SMSIp レジスタの処理を実行するか、または分岐先の SMSIp レジスタの処理を実行します。実行する SMSIp レジスタは、シーケンサ・ステータス・レジスタ（SMSS）の SMSCV4-SMSCV0 ビットで確認することが可能です。

表 26 - 1 に SMSIp レジスタのメモリ・アドレスと SMSCV4-SMSCV0 ビットの関係、**表 26 - 2** に SMSIp レジスタに設定できる処理の一覧を示します。

SMSIp レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図26 - 4　シーケンサ・インストラクション・レジスタp（SMSIp）のフォーマット

アドレス　：F0380H, F0381H (SMSI0)-F03BEH, F03BFH (SMSI31)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
SMSIp	シーケンサ・コード				第1オペランド			

7	6	5	4	3	2	1	0
第2オペランド				付加バイト			

備考　p = 0-31

表26 - 1　SMSIpレジスタのメモリ・アドレスとSMSCV4-SMSCV0ビットの関係

SMSIp	アドレス	SMSCV4-SMSCV0
SMSI15	F039EH, F039FH	01111B
SMSI14	F039CH, F039DH	01110B
SMSI13	F039AH, F039BH	01101B
SMSI12	F0398H, F0399H	01100B
SMSI11	F0396H, F0397H	01011B
SMSI10	F0394H, F0395H	01010B
SMSI9	F0392H, F0393H	01001B
SMSI8	F0390H, F0391H	01000B
SMSI7	F038EH, F038FH	00111B
SMSI6	F038CH, F038DH	00110B
SMSI5	F038AH, F038BH	00101B
SMSI4	F0388H, F0389H	00100B
SMSI3	F0386H, F0387H	00011B
SMSI2	F0384H, F0385H	00010B
SMSI1	F0382H, F0383H	00001B
SMSI0	F0380H, F0381H	00000B

SMSIp	アドレス	SMSCV4-SMSCV0
SMSI31	F03BEH, F03BFH	11111B
SMSI30	F03BCH, F03BDH	11110B
SMSI29	F03BAH, F03BBH	11101B
SMSI28	F03B8H, F03B9H	11100B
SMSI27	F03B6H, F03B7H	11011B
SMSI26	F03B4H, F03B5H	11010B
SMSI25	F03B2H, F03B3H	11001B
SMSI24	F03B0H, F03B1H	11000B
SMSI23	F03AEH, F03AFH	10111B
SMSI22	F03ACH, F03ADH	10110B
SMSI21	F03AAH, F03ABH	10101B
SMSI20	F03A8H, F03A9H	10100B
SMSI19	F03A6H, F03A7H	10011B
SMSI18	F03A4H, F03A5H	10010B
SMSI17	F03A2H, F03A3H	10001B
SMSI16	F03A0H, F03A1H	10000B

注意1. SMSIp レジスタは、シーケンサが停止している状態で設定してください。シーケンサが処理を実行しているSMSIp レジスタを書き換えるとシーケンサの動作が不定となるためです。

注意2. SMSI31 レジスタの処理の実行後は次に続く SMSIp レジスタはありません。SMSI31 レジスタに終了処理が記述されていない場合または分岐処理を記載していない場合は、SMSI31 レジスタの処理の実行後に終了処理が自動的に実行されます。

表26 - 2　SMSIpレジスタに設定できる処理の一覧

処理名	オペレーション注1	シーケンサ・コード	第1オペランド（4ビット）	第2オペランド（4ビット）	付加バイト（4ビット）
8ビット・データ転送処理1	[SMSGn + byte] ← SMSGm	0000	SMSGnのn注2	SMSGmのm注2	byte注3
8ビット・データ転送処理2	SMSGm ← [SMSGn + byte]	0001	SMSGnのn注2	SMSGmのm注2	byte注3
16ビット・データ転送処理1	[SMSGn + byte] ← SMSGm	0010	SMSGnのn注2	SMSGmのm注2	byte注3
16ビット・データ転送処理2	SMSGm ← [SMSGn + byte]	0011	SMSGnのn注2	SMSGmのm注2	byte注3
1ビット・データ・セット処理	[SMSGn + byte].bit ← 1	0100	SMSGnのn注2	bit注3	byte注3
1ビット・データ・クリア処理	[SMSGn + byte].bit ← 0	0101	SMSGnのn注2	bit注3	byte注3
1ビット・データ転送処理	SCY ← [SMSGn + byte].bit	0110	SMSGnのn注2	bit注3	byte注3
ワード・データ加算処理	SMSGn, SCY ← SMSGn + SMSGm	0111	SMSGnのn注2	SMSGmのm注2	0000
ワード・データ減算処理	SMSGn, SCY ← SMSGn - SMSGm	0111	SMSGnのn注2	SMSGmのm注2	0001
ワード・データ比較処理	SMSGn - SMSGm	0111	SMSGnのn注2	SMSGmのm注2	0010
右方向論理シフト処理	SCY ← SMSGn[0], SMSGm.15 ← 0, SMSGn.m-1 ← SMSGn.m	0111	SMSGnのn注2	0000	0011
分岐処理1（SCY = 1）	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1	1000	$addr5注4		0000
分岐処理2（SCY = 0）	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0	1000	$addr5注4		0001
分岐処理3（SZ = 1）	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1	1000	$addr5注4		0010
分岐処理4（SZ = 0）	SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0	1000	$addr5注4		0011
ウエイト処理	一定期間の処理の保留	1001	IM1		IM2
条件付きウエイト処理1（bit = 1）	SMSS[4:0] ← SMSS[4:0] if [SMSGn + byte].bit = 1	1010	SMSGnのn注2	bit注3	byte注3
条件付きウエイト処理2（bit = 0）	SMSS[4:0] ← SMSS[4:0] if [SMSGn + byte].bit = 0	1011	SMSGnのn注2	bit注3	byte注3
終了処理	SMSSTAT ← 0, SMSS[4:0] ← 0、 シーケンサの動作停止	1111	0000	0000	0000
DTC起動処理	DTC起動要因を出力	1111	0000	0000	0010

注1.　用語の詳細は、**26.5　シーケンサ処理コマンド**を参照してください。

注2.　n, m = 0-15（0000B-1111B）を指定してください。

注3.　byte = 0-7（0000B-0111B）を指定してください。

注4.　8ビットのディスプレースメント値で–31～–1, 1～31の相対アドレス（0000 0001B-0001 1111B, 1111 1111B-1110 0001B）を指定してください。

26.3.4 シーケンサ汎用レジスタn（SMSGn）

SMSGn レジスタは、16 ビットのシーケンサ用の汎用レジスタです。データの格納、演算処理の判定値の格納、データ操作処理のソース・アドレスやデスティネーション・アドレスの格納などに使用します。ただし、SMSG0 レジスタは 0000H で固定、SMSG15 レジスタは FFFFH で固定です。

シーケンサは処理によって SMSGn レジスタを直接アクセスすることが可能です。シーケンサが SMSGn レジスタにアクセスする場合は SMSGn レジスタの “n” をシーケンサの内部のデータ・アドレスとして指定してください。

SMSG0-SMSG15 レジスタは、16 ビット・メモリ操作で読み出します。また、SMSG1-SMSG14 レジスタは 16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMSG1-SMSG14 レジスタは 0000H になります。SMSG0 レジスタは 0000H、SMSG15 レジスタは FFFFH 固定です。

備考 n = 0-15

図26 - 5 シーケンサ汎用レジスタn（SMSGn）のフォーマット

アドレス : F03C0H, F03C1H
リセット時: 0000H
R/W属性 : R

略号	15	14	13	12	11	10	9	8
SMSG0	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

アドレス : F03C2H, F03C3H (SMSG1)-F03DCH, F03DDH (SMSG14)
リセット時: 0000H
R/W属性 : R/W

略号	15	14	13	12	11	10	9	8
SMSGn								

7	6	5	4	3	2	1	0

アドレス : F03DEH, F03DFH
リセット時: FFFFH
R/W属性 : R

略号	15	14	13	12	11	10	9	8
SMSG15	1	1	1	1	1	1	1	1

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

備考 n = 1-14

表26 - 3　SMSGnレジスタのメモリ・アドレスとシーケンサ内部のデータ・アドレスの関係

SMSGn	アドレス	シーケンサ内部のデータ・アドレス
SMSG15	F03DEH, F03DFH	1111B
SMSG14	F03DCH, F03DDH	1110B
SMSG13	F03DAH, F03DBH	1101B
SMSG12	F03D8H, F03D9H	1100B
SMSG11	F03D6H, F03D7H	1011B
SMSG10	F03D4H, F03D5H	1010B
SMSG9	F03D2H, F03D3H	1001B
SMSG8	F03D0H, F03D1H	1000B
SMSG7	F03CEH, F03CFH	0111B
SMSG6	F03CCH, F03CDH	0110B
SMSG5	F03CAH, F03CBH	0101B
SMSG4	F03C8H, F03C9H	0100B
SMSG3	F03C6H, F03C7H	0011B
SMSG2	F03C4H, F03C5H	0010B
SMSG1	F03C2H, F03C3H	0001B
SMSG0	F03C0H, F03C1H	0000B

26.3.5 シーケンサ制御レジスタ（SMSC）

SMSC レジスタは、SNOOZE モード・シーケンサの動作を制御するレジスタです。シーケンサの動作開始と停止、シーケンサの起動トリガの保留、ウエイト処理のウエイト・カウントのソース・クロック、およびシーケンサの動作開始トリガを設定します。

SMSC レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図26 - 6 シーケンサ制御レジスタ（SMSC）のフォーマット (1/2)

アドレス : F03E0H
リセット時: 00H
R/W属性 : R/W

略号	<7>	<6>	<5>	<4>	3	2	1	0
SMSC	SMSSTART	SMSSTOP	SMSTRG WAIT	LONGWAIT	SMSTRGSE L3	SMSTRGSE L2	SMSTRGSE L1	SMSTRGSE L0

SMSSTART 注1	SNOOZEモード・シーケンサの動作制御
0	シーケンサが停止状態 0になる条件：SMSSTOPビットに1を設定
1	シーケンサが起動トリガ待ち状態または動作状態 1になる条件：1の書き込み

SMSSTOP 注1, 2	SNOOZEモード・シーケンサの動作制御
0	—
1	シーケンサの処理を強制終了トリガ シーケンサの処理を終了させシーケンサを強制的に停止状態にします。SMSSTOPビットが1にセットされたタイミングで実行している1つの処理が終了したあとにシーケンサが停止します。

SMSTRG WAIT 注3	起動トリガの保留機能の制御
0	起動トリガ保留機能が無効
1	起動トリガ保留機能が有効 起動トリガが発生した場合はその起動トリガは保留されます。SMSTRGWAITビットを0にクリアすると保留中のトリガ有効となりシーケンサは動作を開始します。

注1. SMSSTART, SMSSTOPビットの0の書き込みは無効になります。

注2. SMSSTOPビットの読み出し値は常に0になります。

注3. SMSTRGWAITビットは、SMSSTART = 0のシーケンサ停止状態で1にセットしてください。

図26 - 6 シーケンサ制御レジスタ（SMSC）のフォーマット (2/2)

LONGWAIT	ウエイト処理コマンド実行時のカウント・クロックの状態フラグ
0	低速オンチップ・オシレータ・クロックを供給停止
1	低速オンチップ・オシレータ・クロックを供給

SMSTRGSEL3	SMSTRGSEL2	SMSTRGSEL1	SMSTRGSEL0	SNOOZEモード・シーケンサの起動トリガの選択注1
0	0	0	0	32ビット・インターバル・タイマのインターバル検出割り込み（INTITL）
0	0	0	1	端子入力エッジ検出割り込み（INTP3）
0	0	1	0	UART0の受信完了割り込み（INTSR0）
0	0	1	1	CSI00の転送完了割り込み（INTCSI00）
0	1	0	0	A/D変換終了割り込み（INTAD）
0	1	0	1	ELC出力信号
0	1	1	0	UARTA0の受信完了割り込み（INTUR0）注2
0	1	1	1	タイマ・チャネル2のカウント完了またはキャプチャ完了割り込み（INTTM02）
1	0	0	0	IICA0の通信完了割り込み（INTIICA0）注3
1	0	0	1	電圧検出割り込み（INTLVI）
1	0	1	0	キー・リターン信号検出割り込み（INTKR）注4
上記以外				設定禁止

注1. SMSTRGSEL3-SMSTRGSEL0ビットは、SMSSTART = 0のシーケンサ停止状態で1にセットしてください。

注2. 36～48ピン製品のみ

注3. 24～48ピン製品のみ

注4. 40～ 48ピン製品のみ

26.3.6 シーケンサ・ステータス・レジスタ（SMSS）

SMSS レジスタは、シーケンサの状態を示すレジスタです。シーケンサの動作／停止とシーケンサのゼロ・フラグ、キャリー・フラグと、シーケンサが実行している SMSIp レジスタを確認できます。

SMSS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図26 - 7 シーケンサ・ステータス・レジスタ（SMSS）のフォーマット

アドレス ：F03E1H
リセット時：00H
R/W属性 ：R

略号	<7>	6	5	4	3	2	1	0
SMSS	SMSSTAT	SZ	SCY	SMSCV4	SMSCV3	SMSCV2	SMSCV1	SMSCV0

SMSSTAT	SNOOZEモード・シーケンサの動作状態
0	シーケンサは停止状態
1	シーケンサは動作状態

SZ	SNOOZEモード・シーケンサのゼロ・フラグ
0	シーケンサの演算結果が0以外
1	シーケンサの演算結果が0

SCY	SNOOZEモード・シーケンサのキャリー・フラグ
0	シーケンサの演算結果でキャリーやボローが発生していない
1	シーケンサの演算結果でキャリーやボローが発生した

SMSCV4	SMSCV3	SMSCV2	SMSCV1	SMSCV0	SNOOZEモード・シーケンサの処理の状態
0～31					シーケンサが処理を行うSMSIpレジスタを示します。 例： SMSCV4-SMSCV0 = 3のときSMSI3の処理を実行中または実行前。

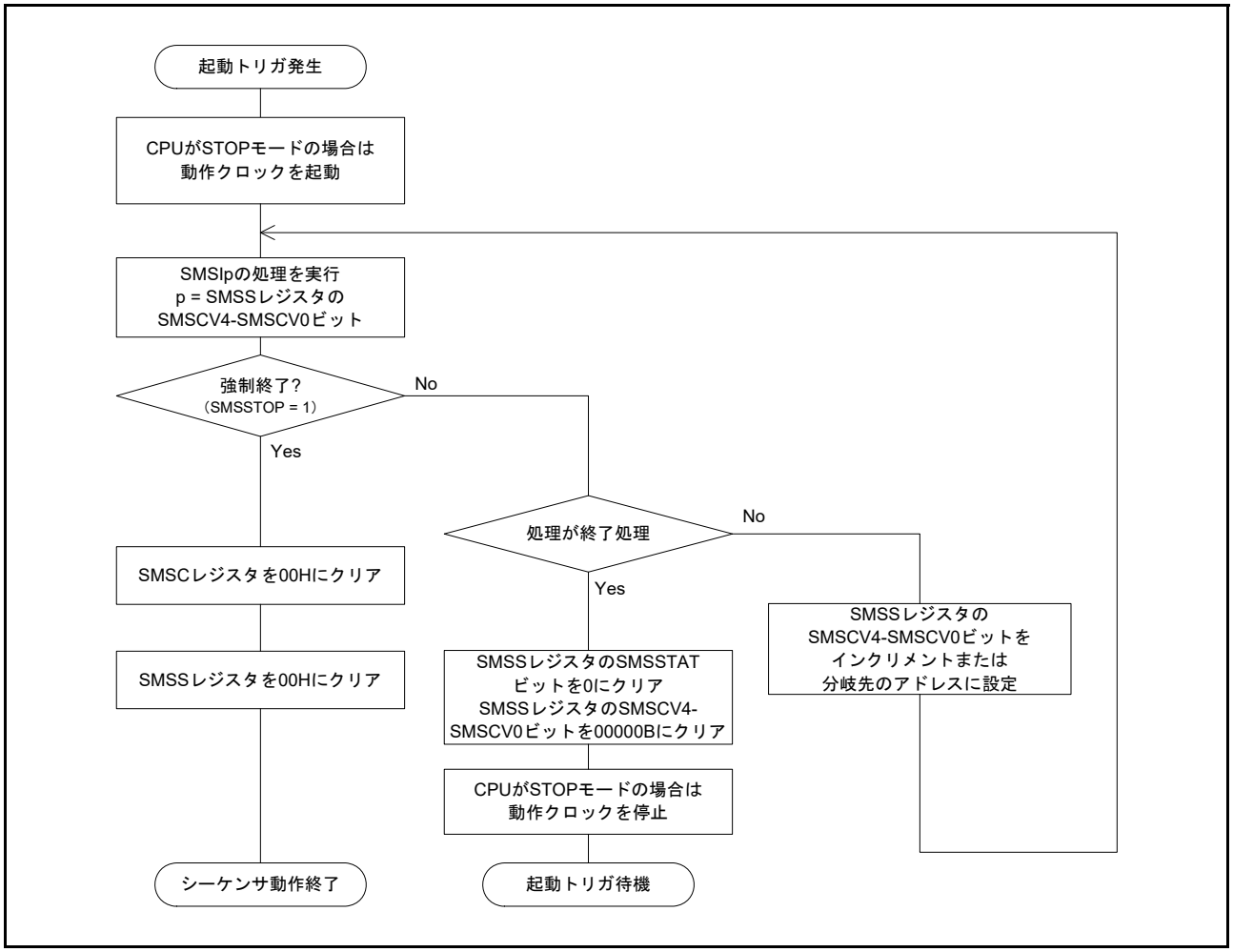
26.4 SNOOZEモード・シーケンサの動作

26.4.1 SNOOZEモード・シーケンサの内部の動作

SNOOZE モード・シーケンサのシーケンサは、SMSC レジスタの SMSTRGSEL3-SMSTRGSEL0 ビットで選択した起動トリガが発生すると起動します。起動直後は SMSI0 レジスタの処理を実行し、その後は SMSS レジスタの SMSCV4-SMSCV0 ビットに対応する SMSIp レジスタの処理を実行します。終了処理の実行によりシーケンサは一連の動作を終了し、起動トリガ待ちになります。また、SMSC レジスタの SMSSTOP ビットの強制停止トリガによりシーケンサの動作を停止します。

図 26 - 8 に SNOOZE モード・シーケンサの内部動作のフローを示します。

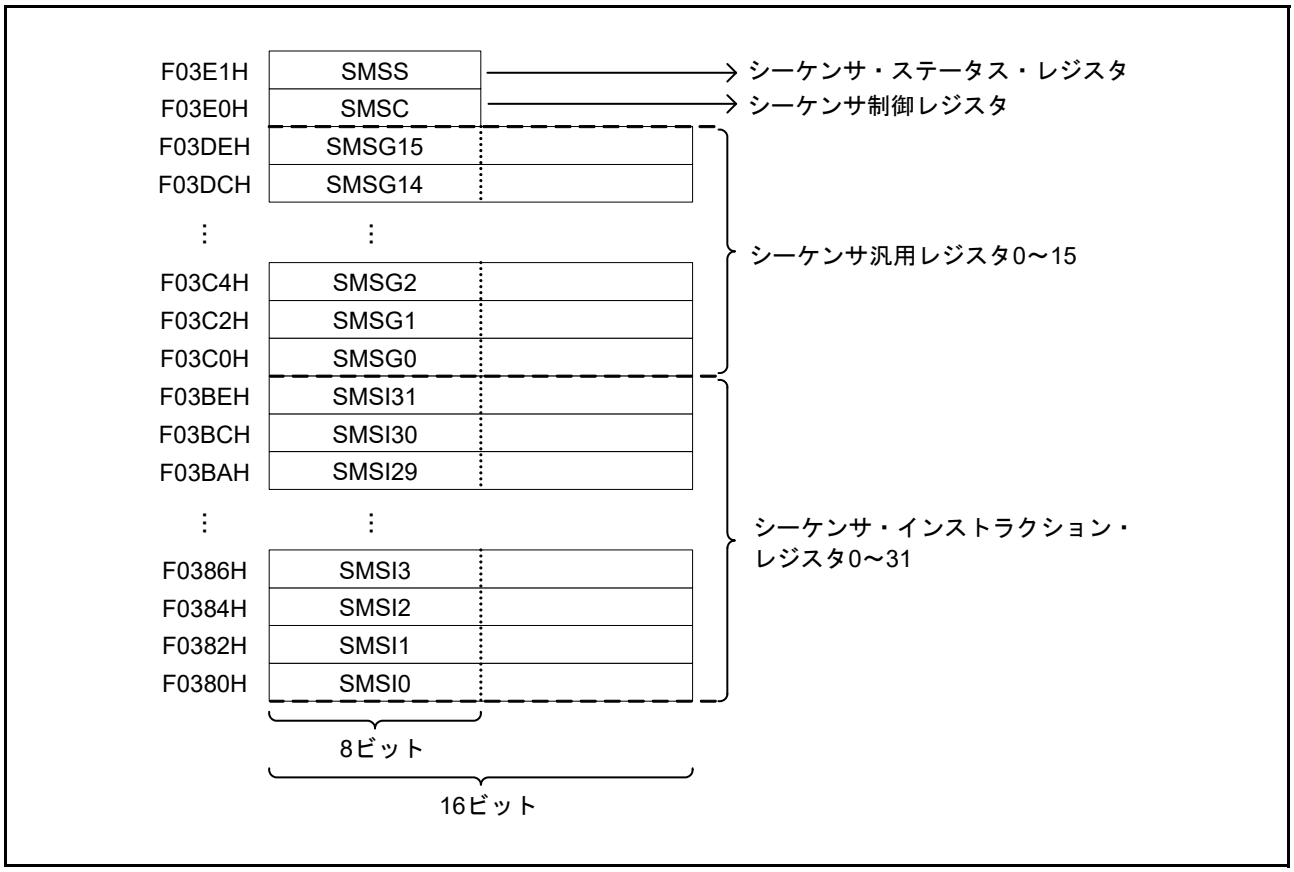
図26 - 8 シーケンサの内部動作フロー



26.4.2　シーケンサのメモリ空間

SNOOZE モード・シーケンサは、**図 26 - 9** に示す 2nd SFR 領域を使用します。シーケンサの処理コードは F0380H-F03BFH の偶数アドレスで示す 16 ビットのデータを 0-31（00000B-11111B）のアドレスとして処理を実行します。また、処理データは F03C0H-F03DFH の偶数アドレスで示す 16 ビットのデータを 0-15（0000B-1111B）のアドレスとしてダイレクト・アクセスが可能です。

図26 - 9　SNOOZEモード・シーケンサのメモリ空間

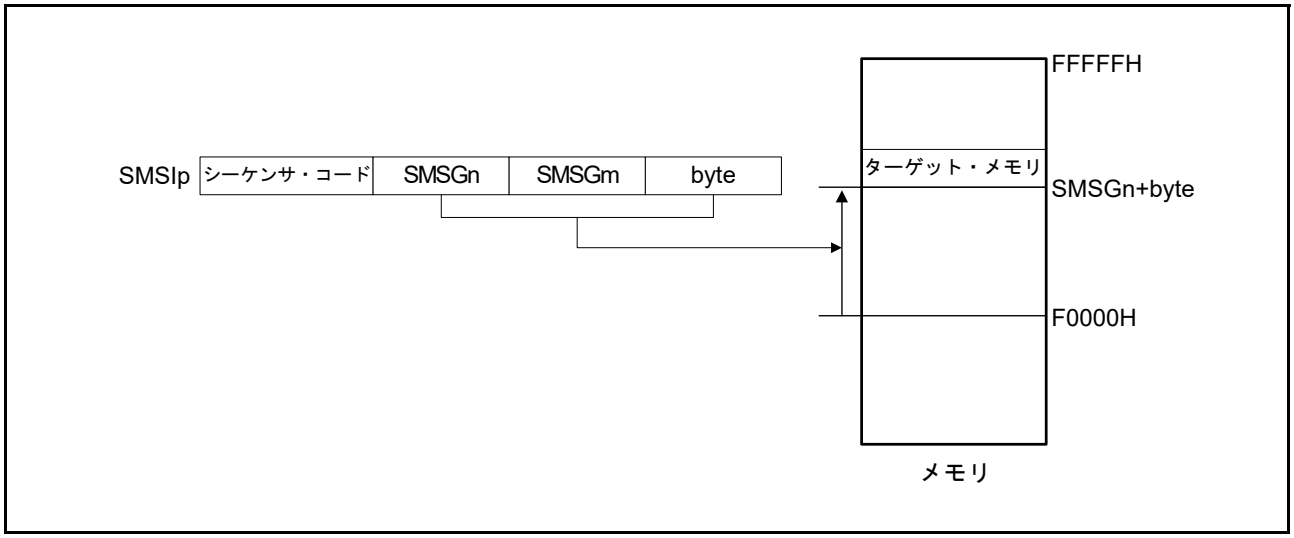


さらに、SMSGn レジスタを用いたレジスタ・インダイレクト・アドレッシングで、F0000H-FFFFFH注のメモリ空間にデータ・アクセスが可能です。

注　SNOOZEモード・シーケンサでは以下の領域へのアクセスは禁止です。

- 汎用レジスタ領域
- ミラー領域
- データ・フラッシュ・メモリ領域
- デバッグ用のモニタ・プログラムが配置される領域（オンチップ・デバッグ機能使用時）
  → 詳細は、**31.4　ユーザ資源の確保**を参照してください。
- シーケンサ・インストラクション・レジスタ0-31（SMSI0-SMSI31）
- シーケンサ制御レジスタ（SMSC）
- シーケンサ・ステータス・レジスタ（SMSS）
- 周辺イネーブル・レジスタ1（PER1）のSMSENビット
- 周辺リセット制御レジスタ1（PRR1）のSMSRESビット

図26 - 10　シーケンサのデータ・アクセス可能なメモリ空間



26.4.3　シーケンサ・フラグ

シーケンサは演算処理の結果によってセットまたはリセットするフラグを搭載しています。

(a) シーケンサ・ゼロ・フラグ（SZ）
加算処理、減算処理、比較処理で結果が0に等しいときに1にセットされ、それ以外では0にクリアされるシーケンサの内部フラグです。シーケンサ内部の処理に使用できます。
詳細は、**26.5　シーケンサ処理コマンド**を参照してください。

(b) シーケンサ・キャリー・フラグ（SCY）
加算処理、減算処理を実行したときのオーバフローおよびアンダフローの内容、論理シフト処理でシフトアウトされたビット、1ビット・データ転送処理の結果が反映されるフラグです。シーケンサ内部の処理に使用できます。
詳細は、**26.5　シーケンサ処理コマンド**を参照してください。

シーケンサの SZ, SCY フラグは、SMSS レジスタのビットとして読み出すことができます。
26.3.6　シーケンサ・ステータス・レジスタ（SMSS）を参照してください。

26.4.4　SNOOZEモード・シーケンサの割り込み

SNOOZE モード・シーケンサの INTSMSE 割り込みは、SMSEMK ビットを制御することで発生させます。

SNOOZE モード・シーケンサの動作を開始（SMSSTART = 1）する前に、CPU の処理で SMSEMK = 1, SMSEIF = 1 を設定してください。SNOOZE モード・シーケンサの処理にて、SMSEMK ビットを 0 に変更することで、SMSEIF = 1, SMSEMK = 0 の状態となり、INTSMSE 割り込みが発生します。

また、割り込み禁止状態（DI）のときは、SMSEMK ビットが 0 になったことでシーケンサの処理終了を判定してください。

注意1. SMSC レジスタの SMSSTART ビットが1のときは、CPU 命令で MK0H レジスタの SMSEMK ビットと IF0H レジスタの SMSEIF ビットに0を設定しないでください。

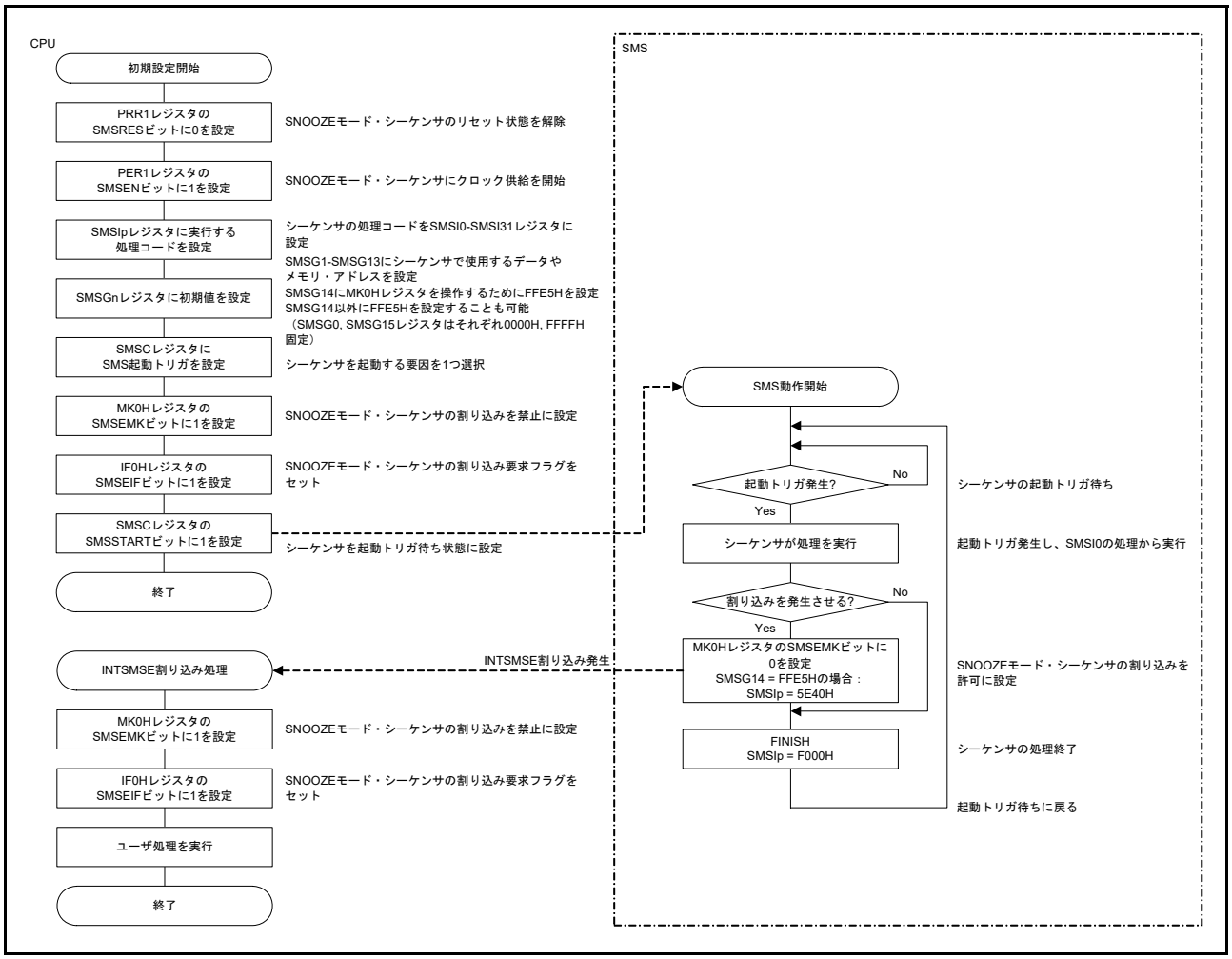
注意2. SNOOZE モード・シーケンサの処理と INTSMSE 割り込みの処理で、SFR や RAM の同じ領域をアクセスする場合は、SNOOZE モード・シーケンサの処理と INTSMSE 割り込みの処理を同時に実行しないようにしてください。

26.4.5 SNOOZEモード・シーケンサの操作手順

(1) SNOOZEモード・シーケンサの初期設定と起動、動作の例

図26 - 11にSNOOZEモード・シーケンサの初期設定から起動、処理終了するまでの処理のフロー例を示します。

図26 - 11 SNOOZEモード・シーケンサの起動のフロー



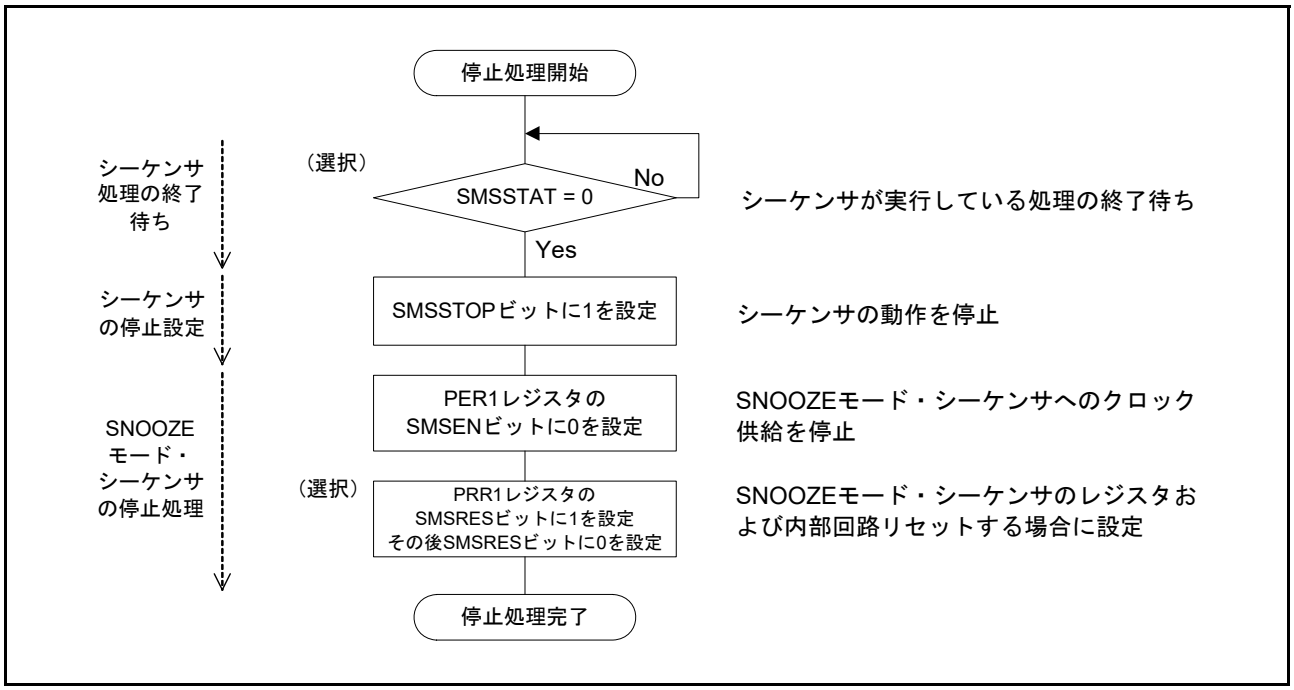
注意1. SMSCレジスタのSMSSTOPビットによる強制終了トリガによってシーケンサの処理が終了した場合は、SMSCレジスタ自体が初期化されますので、シーケンサ処理を再開する場合は再度初期設定のSMSCレジスタ設定から実施してください（SMSIp, SMSGnレジスタはリセットされません）。

注意2. SMSCレジスタのSMSSTARTビットが1のときは、CPU命令でMK0HレジスタのSMSEMKビットとIF0HレジスタのSMSEIFビットに0を設定しないでください。

(2)　SNOOZEモード・シーケンサを停止する場合のフロー例

図26 - 12に動作中のSNOOZEモード・シーケンサの停止処理のフロー例を示します。

図26 - 12　SNOOZEモード・シーケンサの停止のフロー



26.4.6 SNOOZEモード・シーケンサの状態

SNOOZE モード・シーケンサはシーケンサ停止、起動トリガ待ち、起動保留、シーケンサ動作の 4 つの状態を持ちます。レジスタの設定および起動トリガの入力によりそれぞれの状態を遷移します。

【シーケンサ停止状態】

シーケンサ停止状態とは、SNOOZEモード・シーケンサがリセット解除直後またはSMSC レジスタのSMSSTOPビットを1にセットして強制終了した状態です。SMSC レジスタのSMSSTARTビットを1にセットすると起動トリガ待ち状態になります。

【起動トリガ待ち状態】

起動トリガ待ち状態とはSMSC レジスタのSMSSTARTビットを1にセットしてシーケンサの起動トリガの検出を有効にした状態です。この状態でSMSC レジスタのSMSTRGSEL3-SMSTRGSEL0ビットで指定した起動トリガを検出するとシーケンサは動作を開始しシーケンサ動作状態になります。ただし、SMSC レジスタのSMSTRGWAITビットが1にセットされている場合は動作開始せず、起動保留状態になります。また、SMSC レジスタのSMSSTOPビットを1にセットして強制終了した場合はシーケンサ停止状態になります。

【起動保留状態】

起動保留状態とは、SMSC レジスタのSMSTRGWAITビットが1にセットされているときに起動トリガが検出された状態です。この状態でSMSTRGWAITビットを0にクリアすると、シーケンサは動作を開始しシーケンサ動作状態になります。SMSC レジスタのSMSSTOPビットを1にセットして強制終了した場合はシーケンサ停止状態になります。

【シーケンサ動作状態】

シーケンサ動作状態とはシーケンサが動作しておりSMSIp レジスタに設定した処理を実行している状態です。
終了処理を実行した場合は起動トリガ待ち状態になります。SMSC レジスタのSMSSTOPビットを1にセットして強制終了した場合はシーケンサ停止状態になります。

SNOOZEモード・シーケンサの状態は、SMSC レジスタのSMSSTART, SMSTRGWAITビット、SMSS レジスタのSMSSTATビットで確認することができます。

表26 - 4 各ビットとSNOOZEモード・シーケンサの状態

SMSTRGWAIT	SMSSTAT	SMSSTART	SNOOZEモード・シーケンサの状態
0	0	0	シーケンサ停止状態
0	0	1	起動トリガ待ち状態
0	1	1	シーケンサ動作状態
1	0	0	シーケンサ停止状態
1	0	1	起動トリガ待ち状態
1	1	1	禁止状態注

注 シーケンサ動作状態でトリガ保留機能を有効とすることは禁止です。

26.5　シーケンサ処理コマンド

シーケンサは 21 種類の処理を実行できます。詳細は、**26.5.1** から **26.5.20** を参照してください。

26.5.1 から **26.5.20** の説明中の用語は以下のとおりです。

- CPU相当命令：処理をアセンブラ言語で表記した場合に相当する命令
- CPU相当オペレーション：シンボルで表記した処理の内容
- $addr5：5ビット分の8ビット相対アドレス（–31～–1, 1～31）
- jdisp8：符号付き8ビットのディスプレースメント値（0000 0001B-0001 1111B, 1111 1111B-1110 0001B）
- 処理クロック数：処理の開始から実際に処理が反映されるまでにかかるf_{CLK}のクロック数
- SMSIp：シーケンサ・インストラクション・レジスタ（p = 0-31）
- SMSGn：第1オペランドに格納するシーケンサ汎用レジスタのシーケンサ内部データ・アドレス（n = 0-15）
- SMSGm：第2オペランドに格納するシーケンサ汎用レジスタのシーケンサ内部データ・アドレス（m = 0-15）
- 記述例：SMSIpレジスタに設定する値の2進数表記の例
- シーケンサ・コード：SMSIpレジスタのビット15-12に記述される処理を示すコード
- 第1オペランド：SMSIpレジスタのビット11-8に記述されるコード
- 第2オペランド：SMSIpレジスタのビット7-4に記述されるコード
- 付加バイト：SMSIpレジスタのビット3-0に記述されるコード

26.5.1　8ビット・データ転送処理1

8 ビット・データ転送処理 1 は 8 ビットのデータを転送する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送先メモリのアドレスを指定します。第 2 オペランドで指定する SMSGm レジスタに格納されている 8 ビット・データを転送先のメモリに転送します。

付加バイトは 0 ～ 7 の値（0000B-0111B）を指定してください。

転送先に SFR を指定するときは、8 ビット操作が可能な SFR のアドレスを第 1 オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。ただし、シーケンサ汎用レジスタ n（n = 0-15）は転送先に指定することができます。8 ビット・データ転送処理 1 を実行するとシーケンサ汎用レジスタ n（n = 0-15）の下位 8 ビットに値が格納されます。

シーケンサ・コード	: 0000B
処理クロック数	: f_{CLK} × 3
フラグ	: SZ フラグは保持、SCY フラグは保持
CPU 相当命令	: MOV [SMSGn+byte], SMSGm
CPU 相当オペレーション	: [SMSGn+byte] ← SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	0	0	0	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（SMSGm）				付加バイト（byte）			

記述例：0000 0001 0111 0010 B

CPU の相当命令は、MOV [SMSG1+2H], SMSG7

SMSG1 = FE00H, SMSG7 = xx12H の場合、SMSG7 レジスタに格納されている 12H を FFE02H 番地に格納します。

26.5.2　8ビット・データ転送処理2

8 ビット・データ転送処理 2 は 8 ビットのデータを転送する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。転送元の 8 ビット・データを第 2 オペランドで指定する SMSGm レジスタに格納します。

付加バイトは 0 ～ 7 の値（0000B-0111B）を指定してください。

転送元に SFR を指定するときは、8 ビット操作が可能な SFR のアドレスを第 2 オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。ただし、シーケンサ汎用レジスタ n（n = 0-15）は転送元に指定することができます。8 ビット・データ転送処理 2 を実行するとシーケンサ汎用レジスタ n（n = 0-15）の下位 8 ビットの値が読み出されます。

シーケンサ・コード	: 0001B
処理クロック数	: f_{CLK} × 3
フラグ	: SZ フラグは保持、SCY フラグは保持
CPU 相当命令	: MOV SMSGm, [SMSGn+byte]
CPU 相当オペレーション	: SMSGm ← [SMSGn+byte]

略号	15	14	13	12	11	10	9	8
SMSIp	0	0	0	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（SMSGm）				付加バイト（byte）			

記述例：0001 0001 0111 0010 B

CPU の相当命令は、MOV SMSG7, [SMSG1+2H]

SMSG1 = FE00H, FFE02H = xx12H の場合、FFE02H 番地に格納されている 12H を SMSG7 レジスタの下位 8 ビットに格納します。

26.5.3　16ビット・データ転送処理1

16 ビット・データ転送処理 1 は 16 ビットのデータを転送する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送先のメモリのアドレスを指定します。第 2 オペランドで指定する SMSGm レジスタに格納されている 16 ビット・データを転送先のメモリに転送します。

転送先のメモリ・アドレスは偶数アドレスを指定してください。奇数アドレスを指定した場合はアドレスの最下位ビットを 0 として転送されます。

付加バイトは 0 ～ 7 の値（0000B-0111B）を指定してください。

転送先に SFR を指定するときは、16 ビット操作が可能な SFR のアドレスを第 1 オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード　：0010B
処理クロック数　：f_{CLK} × 3
フラグ　：SZ フラグは保持、SCY フラグは保持
CPU 相当命令　：MOVW [SMSGn+byte], SMSGm
CPU 相当オペレーション　：[SMSGn+byte] ← SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	0	1	0	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（SMSGm）				付加バイト（byte）			

記述例：0010 0001 0111 0010 B

CPU の相当命令は、MOVW [SMSG1+2H], SMSG7

SMSG1 = FE00H, SMSG7 = 1234H の場合、SMSG7 に格納されている 1234H を FFE02H, FFE03H 番地に格納します。

26.5.4　16ビット・データ転送処理2

16 ビット・データ転送処理 2 は 16 ビットのデータを転送する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。転送元の 16 ビット・データを第 2 オペランドで指定する SMSGm レジスタに格納します。

転送元のメモリ・アドレスは偶数アドレスを指定してください。奇数アドレスを指定した場合はアドレスの最下位ビットを 0 として転送されます。

付加バイトは 0 ～ 7 の値（0000B-0111B）を指定してください。

転送元に SFR を指定するときは、16 ビット操作が可能な SFR のアドレスを第 2 オペランドと付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード　：0011B
処理クロック数　：f_{CLK} × 3
フラグ　：SZ フラグは保持、SCY フラグは保持
CPU 相当命令　：MOV SMSGm, [SMSGn+byte]
CPU 相当オペレーション　：SMSGm ← [SMSGn+byte]

略号	15	14	13	12	11	10	9	8
SMSIp	0	0	1	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（SMSGm）				付加バイト（byte）			

記述例：0011 0001 0111 0010 B

CPU の相当命令は、MOVW SMSG7, [SMSG1+2H]

SMSG1 = FE00H, FFE02H, FFE03H = 1234H の場合、FFE02H, FFE03H 番地に格納されている 1234H を SMSG7 レジスタに格納します。

26.5.5　1ビット・データ・セット処理

1ビット・データ・セット処理は指定した8ビット・データのビットを1にセットする処理です。第1オペランドで指定するSMSGnレジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで1にセットするビットを指定します。

第2オペランドと付加バイトは0～7の値（0000B-0111B）を指定してください。

SFRを指定するときは、1ビット操作が可能なSFRのアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各SFRの操作可能ビット単位はCPUと同じです。

シーケンサ・コード	：0100B
処理クロック数	：f_{CLK} × 4
フラグ	：SZフラグは保持、SCYフラグは保持
CPU相当命令	：SET1 [SMSGn+byte].bit
CPU相当オペレーション	：[SMSGn+byte].bit ← 1

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	0	0	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（bit）				付加バイト（byte）			

記述例：0100 0001 0011 0010 B

CPUの相当命令は、SET1 [SMSG1+2H].3

SMSG1 = FE00H, FFE02H = 0000 0000Bの場合、FFE02H番地のビット3を1にセットしてFFE02H = 0000 1000Bにします。

26.5.6　1ビット・データ・クリア処理

1ビット・データ・クリア処理は指定した8ビット・データのビットを0にクリアする処理です。第1オペランドで指定するSMSGnレジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第2オペランドで0にクリアするビットを指定します。

第2オペランドと付加バイトは0～7の値（0000B-0111B）を指定してください。

SFRを指定するときは、1ビット操作が可能なSFRのアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各SFRの操作可能ビット単位はCPUと同じです。

シーケンサ・コード	：0101B
処理クロック数	：f_{CLK} × 4
フラグ	：SZフラグは保持、SCYフラグは保持
CPU相当命令	：CLR1 [SMSGn+byte].bit
CPU相当オペレーション	：[SMSGn+byte].bit ← 0

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	0	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（bit）				付加バイト（byte）			

記述例：0101 0001 0011 0010 B

CPUの相当命令は、CLR1 [SMSG1+2H].3

SMSG1 = FE00H, FFE02H = 0000 1000Bの場合、FFE02H番地のビット3を0にクリアしてFFE02H = 0000 0000Bにします。

26.5.7　1ビット・データ転送処理

1ビット・データ転送処理は8ビット・データの指定した1ビット・データをSCYフラグに転送する処理です。第1オペランドで指定するSMSGnレジスタに格納されている値と付加バイトで転送元のメモリのアドレスを指定します。第2オペランドで1ビット・データを転送するビットを指定します。

第2オペランドと付加バイトは0～7の値（0000B-0111B）を指定してください。

SFRを指定するときは、1ビット操作が可能なSFRのアドレスとビットを第1オペランド、第2オペランド、付加バイトに設定してください。各SFRの操作可能ビット単位はCPUと同じです。

シーケンサ・コード　：0110B
処理クロック数　：f_{CLK} × 3
フラグ　：SZフラグは保持、SCYフラグは転送された結果を反映
CPU相当命令　：MOV1 SCY, [SMSGn+byte].bit
CPU相当オペレーション　：SCY ← [SMSGn+byte].bit

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	0	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（bit）				付加バイト（byte）			

記述例：0110 0001 0011 0010 B

CPUの相当命令は、MOV1 SCY, [SMSG1+2H].3

SMSG1 = FE00H, FFE02H = 0000 1000Bの場合、FFE02H番地のビット3の値をSCYに転送しSCY = 1にします。

26.5.8　ワード・データ加算処理

ワード・データ加算処理は 16 ビット・データと 16 ビット・データを加算する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を加算し、結果を第 1 オペランドの示す SMSGn レジスタに格納します。加算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグが 1 にセット、それ以外は 0 にクリアされます。また、ビット 15 からのキャリーが発生した場合は SCY が 1 にセット、それ以外は 0 にクリアされます。

付加バイトは 0000B に設定してください。

シーケンサ・コード	：0111B（付加バイト：0000B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは演算結果を反映、SCY フラグは演算結果を反映
CPU 相当命令	：ADDW SMSGn, SMSGm
CPU 相当オペレーション	：SMSGn, SCY ← SMSGn + SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（SMSGm）				0	0	0	0

記述例：0111 0001 0011 0000 B

CPU の相当命令は、ADDW SMSG1, SMSG3

SMSG1 = FFF0H, SMSG3 = 0010H の場合、結果は SMSG1 = 0000H, SCY = 1, SZ = 1 になります。

26.5.9　ワード・データ減算処理

ワード・データ減算処理は 16 ビット・データと 16 ビット・データを減算する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を減算し、結果を第 1 オペランドの示す SMSGn レジスタに格納します。減算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグが 1 にセット、それ以外は 0 にクリアされます。また、ビット 0 からのボローが発生した場合は SCY が 1 にセット、それ以外は 0 にクリアされます。

付加バイトは 0001B に設定してください。

シーケンサ・コード	：0111B（付加バイト：0001B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは演算結果を反映、SCY フラグは演算結果を反映
CPU 相当命令	：SUBW SMSGn, SMSGm
CPU 相当オペレーション	：SMSGn, SCY ← SMSGn – SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（SMSGm）				0	0	0	1

記述例：0111 0001 0011 0001 B

CPU の相当命令は、SUBW SMSG1, SMSG3

SMSG1 = 1234H, SMSG3 = 1200H の場合、結果は SMSG1 = 0034H, SCY = 0, SZ = 0 になります。

26.5.10　ワード・データ比較処理

ワード・データ比較処理は 16 ビット・データと 16 ビット・データを比較する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と第 2 オペランドで示す SMSGm レジスタに格納されている値を減算します。減算の結果、SMSGn レジスタの値が 0 になった場合は SZ フラグが 1 にセット、それ以外は 0 にクリアされます。また、ビット 0 からのボローが発生した場合は SCY が 1 にセット、それ以外は 0 にクリアされます。

付加バイトは 0010B に設定してください。

シーケンサ・コード	：0111B（付加バイト：0010B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは演算結果を反映、SCY フラグは演算結果を反映
CPU 相当命令	：CMPW SMSGn, SMSGm
CPU 相当オペレーション	：SMSGn – SMSGm

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（SMSGm）				0	0	1	0

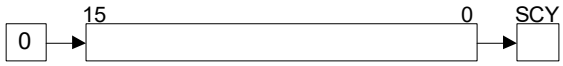
記述例：0111 0001 0011 0010 B

CPU の相当命令は、CMPW SMSG1, SMSG3

SMSG1 = 1234H, SMSG3 = 1200H の場合、結果は SCY = 0, SZ = 0 になります。

26.5.11　右方向論理シフト処理

右方向論理シフト処理は 16 ビット・データを 1 ビット右方向にシフトする処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値を 1 ビット右方向にシフトします。SMSGn レジスタの最上位ビットのビット 15 には 0、最下位ビットであるビット 0 の値は SCY に格納されます。



付加バイトは 0011B に設定してください。第 2 オペランドは使用しませんので 0000B に設定してください。

シーケンサ・コード	：0111B（付加バイト：0011B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは保持、SCY フラグは演算結果を反映
CPU 相当命令	：SHRW SMSGn
CPU 相当オペレーション	：SCY ← SMSGn.0, SMSGn.m-1 ← SMSGn.m, SMSGn.15 ← 0

略号	15	14	13	12	11	10	9	8
SMSIp	0	1	1	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	1

記述例：0111 0001 0000 0011 B

CPU の相当命令は、SHRW SMSG1

SMSG1 = AAF5H の場合、結果は SMSG1 = 557AH, SCY = 1 になります。

26.5.12　分岐処理1（SCY = 1）

分岐処理 1 は SCY = 1 の場合に分岐する処理です。SCY = 1 の場合、第 1、第 2 オペランドで指定された相対アドレスの SMSIp レジスタの処理に分岐します。SCY = 0 の場合は次に続く処理を実行します。

付加バイトは 0000B に設定してください。第 1、第 2 オペランドは –31 ～ –1, 1 ～ 31 の値を設定してください。

シーケンサ・コード	：1000B（付加バイト：0000B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは保持、SCY フラグは保持
CPU 相当命令	：BC $addr5
CPU 相当オペレーション	：SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（$addr5）			

7	6	5	4	3	2	1	0
第1、第2オペランド（$addr5）				0	0	0	0

記述例：1000 0000 0101 0000 B

CPU の相当命令は、BC $05H

SMSS[4:0] = 03H, SCY = 1 の場合、SMSS[4:0] = 08H になり次の処理は SMSI8 レジスタの処理を実行します。

26.5.13　分岐処理2（SCY = 0）

分岐処理 2 は SCY = 0 の場合に分岐する処理です。SCY = 0 の場合、第 1、第 2 オペランドで指定された相対アドレスの SMSIp レジスタの処理に分岐します。SCY = 1 の場合は次に続く処理を実行します。

付加バイトは 0001B に設定してください。第 1、第 2 オペランドは –31 ～ –1, 1 ～ 31 の値を設定してください。

シーケンサ・コード	：1000B（付加バイト：0001B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは保持、SCY フラグは保持
CPU 相当命令	：BNC $addr5
CPU 相当オペレーション	：SMSS[4:0] ← SMSS[4:0] + jdisp8 if SCY = 0

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（$addr5）			

7	6	5	4	3	2	1	0
第1、第2オペランド（$addr5）				0	0	0	1

記述例：1000 1111 1110 0001 B

CPU の相当命令は、BNC $0FEH

SMSS[4:0] = 0EH, SCY = 0 の場合、SMSS[4:0] = 0CH になり次の処理は SMSI12 レジスタの処理を実行します。

26.5.14　分岐処理3（SZ = 1）

分岐処理 3 は SZ = 1 の場合に分岐する処理です。SZ = 1 の場合、第 1、第 2 オペランドで指定された相対アドレスの SMSIp レジスタの処理に分岐します。SZ = 0 の場合は次に続く処理を実行します。

付加バイトは 0010B に設定してください。第 1、第 2 オペランドは –31 ～ –1, 1 ～ 31 の値を設定してください。

シーケンサ・コード	：1000B（付加バイト：0010B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは保持、SCY フラグは保持
CPU 相当命令	：BZ $addr5
CPU 相当オペレーション	：SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（$addr5）			

7	6	5	4	3	2	1	0
第1、第2オペランド（$addr5）				0	0	1	0

記述例：1000 0000 0101 0010B

CPU の相当命令は、BZ $05H

SMSS[4:0] = 03H, SZ = 1 の場合、SMSS[4:0] = 08H になり次の処理は SMSI8 レジスタの処理を実行します。

26.5.15　分岐処理4（SZ = 0）

分岐処理 4 は SZ = 0 の場合に分岐する処理です。SZ = 0 の場合、第 1、第 2 オペランドで指定された相対アドレスの SMSIp レジスタの処理に分岐します。SZ = 1 の場合は次に続く処理を実行します。

付加バイトは 0011B に設定してください。第 1、第 2 オペランドは –31 ～ –1, 1 ～ 31 の値を設定してください。

シーケンサ・コード	：1000B（付加バイト：0011B）
処理クロック数	：f_{CLK} × 1
フラグ	：SZ フラグは保持、SCY フラグは保持
CPU 相当命令	：BNZ $addr5
CPU 相当オペレーション	：SMSS[4:0] ← SMSS[4:0] + jdisp8 if SZ = 0

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	0	第1、第2オペランド（$addr5）			

7	6	5	4	3	2	1	0
第1、第2オペランド（$addr5）				0	0	1	1

記述例：1000 1111 1110 0011 B

CPU の相当命令は、BNZ $0FEH

SMSS[4:0] = 0EH, SZ = 0 の場合、SMSS[4:0] = 0CH になり次の処理は SMSI12 レジスタの処理を実行します。

26.5.16　ウエイト処理

ウエイト処理は一定期間処理を保留する処理です。第 1 オペランド、付加バイトで指定されるクロックとクロックの分周値を用いて、第 2 オペランドで指定されたクロック数の期間の処理を保留します。

第 1 オペランド、第 2 オペランドでウエイトをカウントするソース・クロックの選択とウエイトする期間のカウント値の選択、付加バイトでウエイト・クロックを選択します。

ウエイトするクロックとして低速オンチップ・オシレータ・クロックを利用する場合はあらかじめ SMSC レジスタの LONGWAIT ビット = 1 を設定する必要があります。

シーケンサ・コード　：1001B
処理クロック数　：**(1)　ウエイト処理のクロック数**参照
フラグ　：SZ フラグは保持、SCY フラグは保持
CPU 相当命令　：WAIT IM1, IM2
CPU 相当オペレーション　：一定期間処理の保留

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	0	1	第1、第2オペランド（IM1）			

7	6	5	4	3	2	1	0
第1、第2オペランド（IM1）				付加バイト（IM2）			

IM1[7]	ウエイトのソース・クロック（f_{SMS}）の選択
0	f_{CLK}
1	f_{IL} 注1, 2

IM1[6:0]	ウエイト期間の選択
0000000	128/f_{WAIT}
0000001	1/f_{WAIT}
0000010	2/f_{WAIT}
・ ・ ・	・ ・ ・
1111110	126/f_{WAIT}
1111111	127/f_{WAIT}

IM2	ウエイト・クロック（f_{WAIT}）の選択
0000	f_{SMS}
0001	f_{SMS}/2
0010	f_{SMS}/4
0011	f_{SMS}/8
0100	f_{SMS}/16
0101	f_{SMS}/32
0110	f_{SMS}/64
0111	f_{SMS}/128
上記以外	設定禁止

記述例：

SMSIpレジスタの記述例	ウエイトの ソース・クロック	ウエイト・クロック	ウエイトの カウント数	ウエイト時間[μs] (Typ.)
1001 0 0000001 0000	f_{CLK}	f_{CLK}	1	0.03125
1001 0 0000000 0111	f_{CLK}	f_{CLK}/128	128	512
1001 0 1000000 0110	f_{CLK}	f_{CLK}/64	64	128
1001 1 0000001 0000	f_{IL}	f_{IL}	1	30.51757813
1001 1 0000000 0111	f_{IL}	f_{IL}/128	128	500000
1001 1 1100000 0101	f_{IL}	f_{IL}/32	96	93750

注1. CPU／周辺ハードウェア・クロック周波数（f_{CLK}）に低速オンチップ・オシレータ・クロック（f_{IL}）を選択しているときは、ウエイトのソース・クロックf_{SMS}にf_{CLK}（IM1[7] = 0）を選択してください。

注2. ウエイトのソース・クロックに低速オンチップ・オシレータ・クロック（f_{IL}）を選択するときは、周辺イネーブル・レジスタ0（PER0）を00Hに、周辺イネーブル・レジスタ1（PER1）を40Hに設定してください。

備考 f_{CLK}：CPU／周辺ハードウェア・クロック周波数
f_{IL}　：低速オンチップ・オシレータ・クロック周波数（32.768 kHz）

(1) ウエイト処理のクロック数

ウエイト処理のクロック数は、ウエイト処理コマンドの設定値に応じて可変です。IM1, IM2に設定した値を参考に処理時間は計算してください。

なお、ウエイト処理はウエイトのためのカウンタ動作の前後に、同期化処理を行っているため、別途時間がかかります。以下を参考に計算してください。

ウエイト処理前：

（f_{CLK} × 1）＋（選択後のウエイト処理用クロック × 2[注]）

ウエイト処理後：

（f_{CLK} × 2[注]）

注 同期化用のクロック数でありクロック2サイクル以下の処理時間となります。
タイミング次第では限りなく1サイクルの処理時間に近づく可能性もあります。

26.5.17　条件付きウエイト処理1（bit = 1）

条件付き繰り返しウエイト処理 1 は指定する 8 ビット・データのビットが 1 の期間は処理を保留する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第 2 オペランドで条件となるビットを指定します。指定したビットを読み出し、ビットが 1 の場合は次に続く処理を実行しません。続く処理は条件付きウエイト処理を再度実行し、指定したビットが 1 の期間はこれを繰り返します。指定したビットを読み出し、ビットが 0 の場合は次に続く処理を実行します。

第 2 オペランドは 0 ～ 7 の値（0000B-0111B）を指定してください。

SFR を指定するときは、1 ビット操作が可能な SFR のアドレスとビットを第 1 オペランド、第 2 オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード	: 1010B
処理クロック数	: **(1)　条件付きウエイト処理 1 のクロック数**参照
フラグ	: SZ フラグは保持、SCY フラグは保持
CPU 相当命令	: WHILE1 [SMSGn+byte].bit
CPU 相当オペレーション	: SMSS[4:0] ← SMSS[4:0] if [SMSGn+byte].bit = 1

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	1	0	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（bit）				付加バイト（byte）			

記述例：1010 0011 0101 0010 B

CPU の相当命令は、WHILE1 [SMSG3+2].5

SMSG3 = 02E8H の場合、F02EAH 番地のビット 5 が 1 の間は処理を保留し、0 になると次に続く処理を実行します。

(1)　条件付きウエイト処理1のクロック数

条件付きウエイト処理1は、指定するビットが0になるまでアクセスを繰り返します。

処理開始時にf_{CLK} × 1、レジスタビットの参照と判定を1セット実行するためにf_{CLK} × 2のクロック数がかかります。たとえば、5回参照して5回目に参照先のレジスタビットが0となった場合は、

$f_{CLK} \times 1 + (f_{CLK} \times 2) \times 5 = f_{CLK} \times 11$

となります。

なお、メモリへのアクセスにおいて、CPUとDTC、SNOOZEモード・シーケンサが競合した際はSNOOZEモード・シーケンサが保留状態となる場合があります。その場合はクロック数は増加します。

26.5.18　条件付きウエイト処理2（bit = 0）

条件付き繰り返しウエイト処理 2 は指定する 8 ビット・データのビットが 0 の期間は処理を保留する処理です。第 1 オペランドで指定する SMSGn レジスタに格納されている値と付加バイトでメモリのアドレスを指定します。第 2 オペランドで条件となるビットを指定します。指定したビットを読み出し、ビットが 0 の場合は次に続く処理を実行しません。続く処理は条件付きウエイト処理を再度実行し、指定したビットが 0 の期間はこれを繰り返します。指定したビットを読み出し、ビットが 1 の場合は次に続く処理を実行します。

第 2 オペランドは 0 ～ 7 の値（0000B-0111B）を指定してください。

SFR を指定するときは、1 ビット操作が可能な SFR のアドレスとビットを第 1 オペランド、第 2 オペランド、付加バイトに設定してください。各 SFR の操作可能ビット単位は CPU と同じです。

シーケンサ・コード	: 1011B
処理クロック数	: **(1)　条件付きウエイト処理 2 のクロック数**参照
フラグ	: SZ フラグは保持、SCY フラグは保持
CPU 相当命令	: WHILE0 [SMSGn+byte].bit
CPU 相当オペレーション	: SMSS[4:0] ← SMSS[4:0] if [SMSGn+byte].bit = 0

略号	15	14	13	12	11	10	9	8
SMSIp	1	0	1	1	第1オペランド（SMSGn）			

7	6	5	4	3	2	1	0
第2オペランド（bit）				付加バイト（byte）			

記述例：1011 0011 0101 0010 B

CPU の相当命令は、WHILE0 [SMSG3+2].5

SMSG3 = FFE0H の場合、FFFE2H 番地のビット 5 が 0 の間は処理を保留し、1 になると次に続く処理を実行します。

(1)　条件付きウエイト処理2のクロック数

条件付きウエイト処理2のクロック数は、条件付きウエイト処理1と同じカウント方法なので、**26.5.17 (1)　条件付きウエイト処理1のクロック数**を参照してください。

26.5.19　終了処理

終了処理は SNOOZE モード・シーケンサの動作を終了する処理です。処理を実行すると SNOOZE モード・シーケンサの処理を終了し、SMSS レジスタの SMSSTAT ビットと SMSCV4-SMSCV0 ビットを 0 にクリアし、次の起動トリガ待ちとなります。

付加バイトは 0000B を設定してください。第 1 オペランド、第 2 オペランドはすべて 0 に設定してください。

シーケンサ・コード　：1111B（付加バイト：0000B）
処理クロック数　：f_{CLK} × 1
フラグ　：SZ フラグは保持、SCY フラグは保持
CPU 相当命令　：FINISH
CPU 相当オペレーション　：SMSSTAT ← 0, SMSS[4:0] ← 0、シーケンサの動作停止

略号	15	14	13	12	11	10	9	8
SMSIp	1	1	1	1	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

記述例：1111 0000 0000 0000 B

CPU の相当命令は、FINISH

シーケンサの動作を停止し、SMSS レジスタの SMSSTAT, SMSCV4-SMSCV0 ビットを 0 にクリアして起動トリガ待ちになります。

26.5.20　DTC起動処理

DTC 起動処理は DTC 転送を実行するために DTC の起動要因を発行する処理です。処理を実行すると DTC に起動要因が発行されます。DTC にあらかじめ対応するコントロールデータを設定している場合、指定した DTC の転送が行われます。

付加バイトは 0010B を設定してください。第 1 オペランド、第 2 オペランドはすべて 0 に設定してください。

シーケンサ・コード　：1111B（付加バイト：0010B）
処理クロック数　：f_{CLK} × 1
フラグ　：SZ フラグは保持、SCY フラグは保持
CPU 相当命令　：DTCTRG
CPU 相当オペレーション　：DTC 起動要因を出力

略号	15	14	13	12	11	10	9	8
SMSIp	1	1	1	1	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	0	0	1	0

記述例：1111 0000 0000 0010 B

CPU の相当命令は、DTCTRG

DTC の起動要因を発行します。DTC のコントロールデータに従って DTC 転送が実行されます。

なお、DTC の転送完了までシーケンサの処理をウエイトする場合は、ウエイト処理で DTC が起動するまでウエイトし、その後、条件付きウエイト処理 1 で対応する DTC 起動許可レジスタ i（DTCENi）（i = 0-4）の対象ビットが 0 になるまでウエイトしてください。

26.6　スタンバイ・モード時の動作

状態	SNOOZEモード・シーケンサ動作
HALTモード	動作可能注1
STOPモード	SNOOZEモード・シーケンサ起動要因受付可能注2
SNOOZEモード	動作可能注3, 4, 5, 6

注1. f_{CLK}にサブシステム・クロックを選択しているとき、OSMCレジスタのRTCLPCビットが1の場合は動作禁止です。

注2. STOPモード時にSMS起動要因の検出によりSNOOZEモードに遷移して、SNOOZEモード・シーケンサが動作可能となります。また動作完了後はSTOPモードに戻ります。ただし、SNOOZEモード中でアクセスできないメモリ領域があるため注意してください。詳細は、**26.4.2　シーケンサのメモリ空間**を参照してください。

注3. SNOOZEモードは、f_{CLK}に高速オンチップ・オシレータ・クロックおよび中速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注4. CSI00の転送完了割り込みをSNOOZEモード・シーケンサの起動要因に設定、かつ転送完了割り込みを禁止（CSIMK = 1）に設定した場合は、次の処理を実施してください。
SNOOZEモード・シーケンサで終了処理の前にMK0HレジスタのSMSEMKビットに0を書き込み、SNOOZEモードを解除しCPU処理を開始してください。またはSNOOZEモード・シーケンサで終了処理の前にCSI00の受信再設定（ST00ビットに1を書き込み、SWC0ビットに0を書き込み、SSC0レジスタ設定、SS00ビットに1を書き込み）を行ってください。

注5. UART0の受信完了割り込みをSNOOZEモード・シーケンサの起動要因に設定、かつ受信完了割り込みを禁止（SRMK0 = 1）に設定した場合は、次の処理を実施してください。
SNOOZEモード・シーケンサで終了処理の前にMK0HレジスタのSMSEMKビットに0を書き込み、SNOOZEモードを解除しCPU処理を開始してください。またはSNOOZEモード・シーケンサで終了処理の前にUART0の受信再設定（ST01ビットに1を書き込み、SWC0ビットに0を書き込み、SSC0レジスタ設定、SS01ビットに1を書き込み）を行ってください。

注6. A/DコンバータのA/D変換終了割り込みをSNOOZEモード・シーケンサの起動要因に設定、かつA/D変換終了割り込みを禁止（ADMK = 1）に設定した場合は、次の処理を実施してください。
SNOOZEモード・シーケンサで終了処理の前にMK0HレジスタのSMSEMKビットに0を書き込み、SNOOZEモードを解除しCPU処理を開始してください。またはSNOOZEモード・シーケンサで終了処理の前にA/DコンバータのSNOOZEモード機能の再設定（AWCビットに0を書き込み、AWCビットに1を書き込む）を行ってください。

注意　スタンバイ・モード時は、SNOOZEモード・シーケンサを使用してリアルタイム・クロックに関連するレジスタ（RTCC0, RTCC1, SEC, MIN, HOUR, DAY, WEEK, MONTH, YEAR, SUBCUD, ALARMWM, ALARMWH, ALARMWWレジスタ）へアクセスすることはできません。

第27章　静電容量センサユニット（CTSU2La）

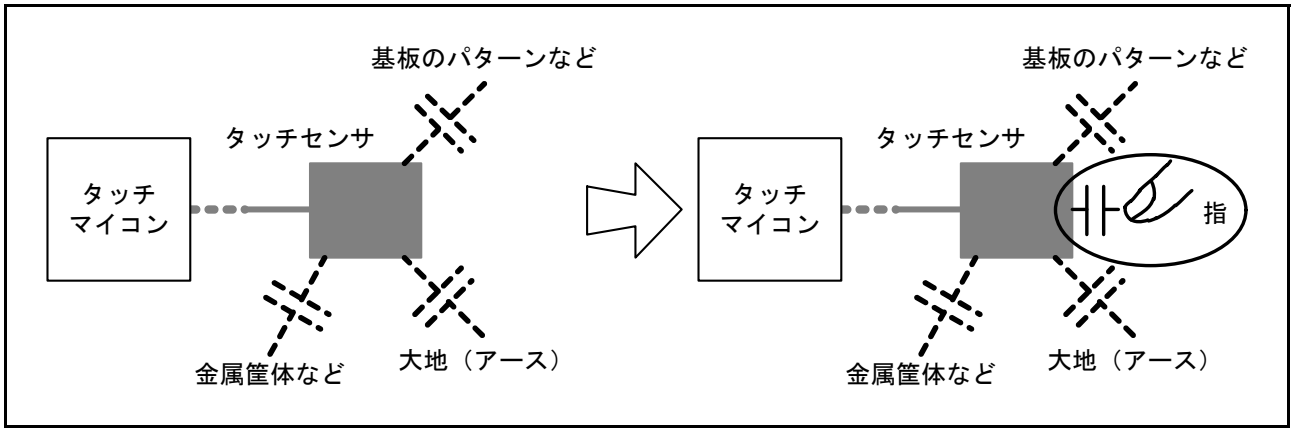
静電容量センサユニットの計測チャネル数は、製品によって異なります。

ROMサイズ	32, 64 KB									
ピン数	16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
CTSU2La 出力 チャネル数	5チャネル TS11-TS13, TS18, TS20	9チャネル TS10-TS13, TS17, TS18, TS20, TS26, TS27	11チャネル TS00, TS01, TS10-TS13, TS17, TS18, TS20, TS26, TS27	12チャネル TS00, TS01, TS10-TS13, TS17-TS20, TS26, TS27	16チャネル TS00, TS01, TS10-TS18, TS20, TS21, TS26-TS28	17チャネル TS00-TS02, TS10-TS18, TS20, TS21, TS26-TS28	21チャネル TS00-TS04, TS10-TS18, TS20-TS23, TS26-TS28	23チャネル TS00-TS05, TS10-TS18, TS20-TS24, TS26-TS28	25チャネル TS00-TS05, TS09-TS18, TS20-TS28	29チャネル TS00-TS28

静電容量センサユニット（CTSU2La）は、静電容量センサの容量を計測します。CTSU2La は、ソフトウェアで静電容量の変化を判定することによって、指などが静電容量センサに接触したことを検出できます。通常、静電容量センサの電極表面は誘電体で覆われており、指が電極に直接接触することはありません。

図 27 - 1 に示すように、電極と周囲の導電体との間には静電容量（寄生容量）が存在します。人体も導電体ですので、電極に指が近づくと静電容量の値が増加します。

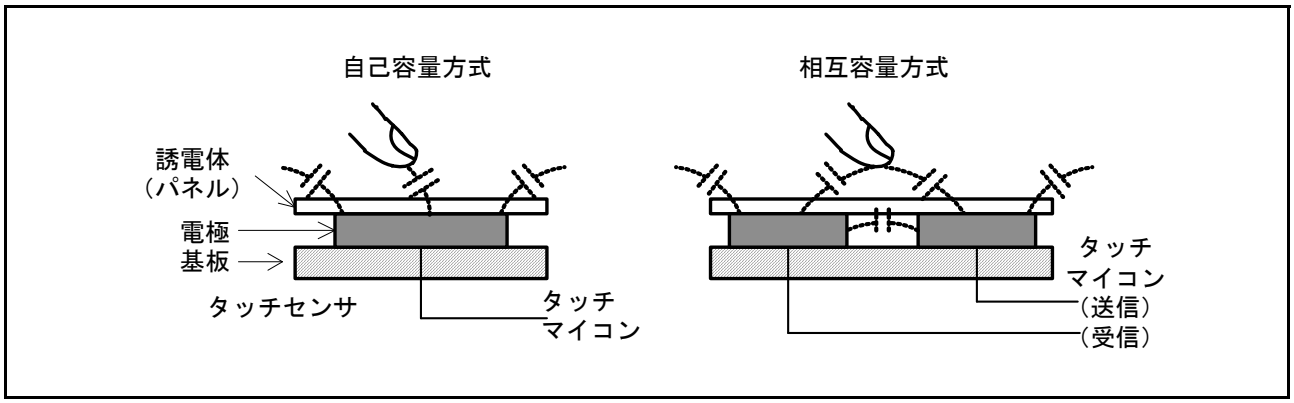
図27 - 1　指による静電容量の増加



CTSU は、自己容量方式と相互容量方式に対応しています。

自己容量方式では、指と 1 つの電極との間に生じる静電容量を検出します。一方、相互容量方式では、2 つの電極を送信電極と受信電極として使用し、指が接近することによって両者の間に生じる静電容量の変化を検出します。

図27 - 2　自己容量方式と相互容量方式



静電容量の計測は、充放電電流の量に応じて周波数が変化するクロック信号を一定の時間カウントすることにより行います。

★　計測動作原理については、**27.3.1　計測動作原理**を参照してください。また、タッチアプリケーションの開発方法については、**RL78 ファミリ QE と SIS を使用した静電容量タッチアプリケーションの開発 アプリケーションノート（R01AN5512）**を参照してください。

27.1　概要

27.1.1　CTSUの機能概要

表 27 - 1 に CTSU の機能概要、**図 27 - 3** に CTSU のブロック図、**図 27 - 4** にセンサドライブパルス出力のクロック構成を示します。

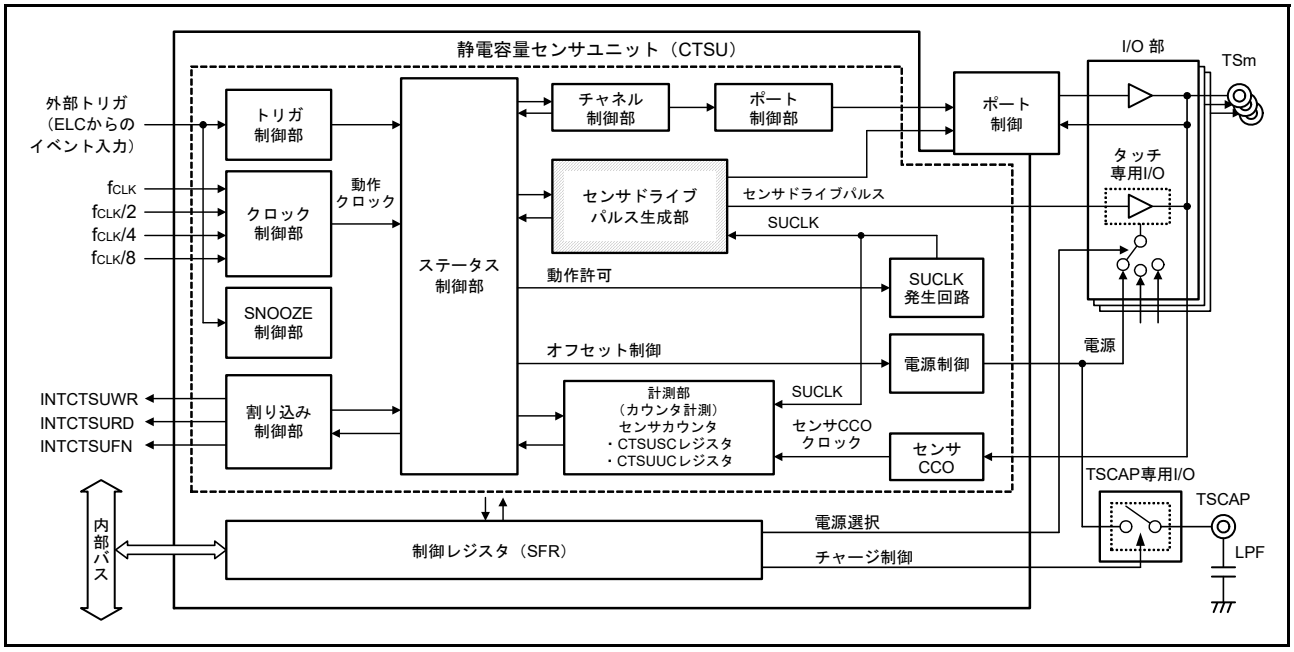
★ 表27 - 1　CTSUの機能概要

項目		構成
モジュール型名		CTSU2La
動作電圧		V_{DD} = 1.8～5.5 V
動作クロック注		f_{CLK} (1 MHz～), f_{CLK}/2, f_{CLK}/4, f_{CLK}/8
端子	静電容量計測	TSm（m = 00-28）、最大29チャネル
	計測用二次電源コンデンサ接続端子	TSCAP（10 nF） 10 nFのコンデンサを接続することを推奨
計測モード	自己容量計測モード	自己容量方式の電極に対する充放電電流から計測
	相互容量計測モード	相互容量方式の送信・受信電極間の容量に対する充放電電流から計測
	電流計測モード	計測端子に流れる電流を計測
キャリブレーションモード		計測用電流制御発振器の特性補正機能
ノイズ対策		• センサドライブパルスのスペクトラム拡散機能 • センサドライブパルスのランダム位相シフト機能 • 複数周波数計測による多数決判定
端子ごとの調整		• オフセット電流調整機能 • センサドライブパルス周波数指定 • 計測時間指定
計測開始条件		• ソフトウェアトリガ • 外部トリガ（ELCからのイベント入力）
低電力機能		SNOOZEモード機能対応
各種要求出力	DTC起動要因	• チャネルごとの設定レジスタ書き込み要求 • 計測データ転送要求
	割り込み要因	• チャネルごとの設定レジスタ書き込み要求割り込み（INTCTSUWR） • 計測データ転送要求割り込み（INTCTSURD） • 計測終了割り込み（INTCTSUFN）
相互容量方式送信電源切り替え		送信時の端子の電源を切り替え可能

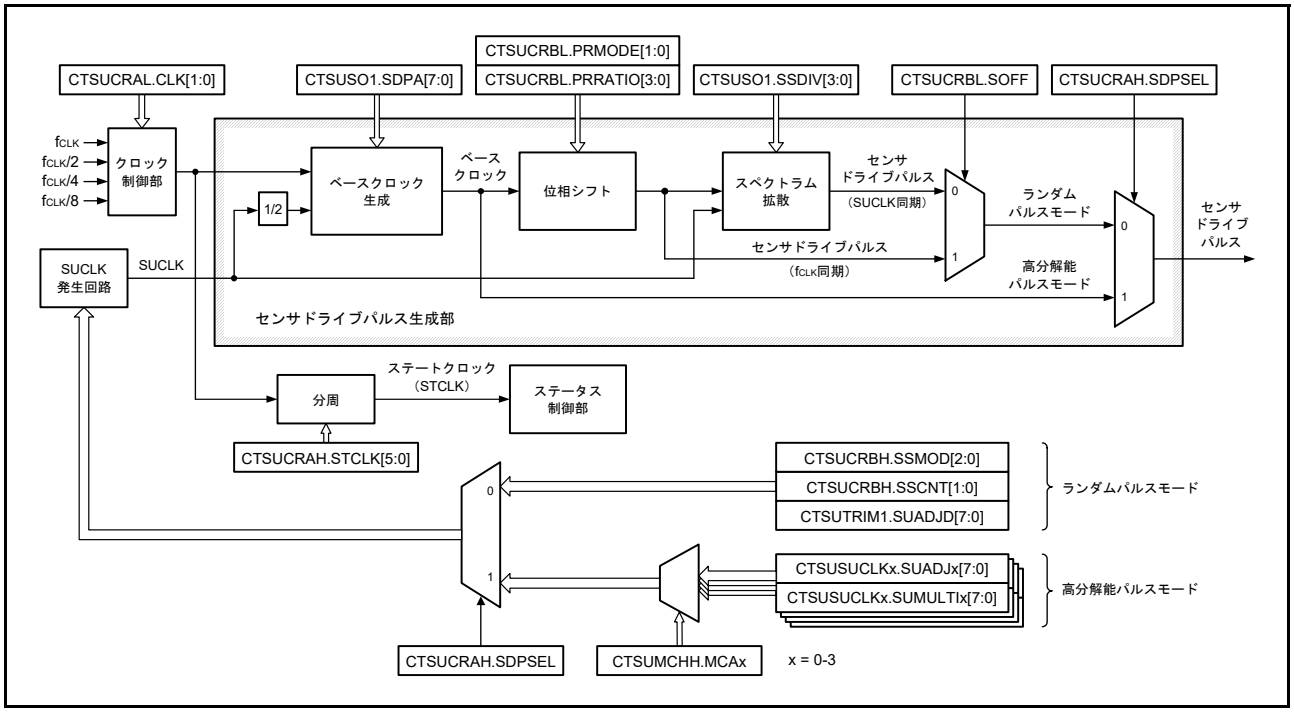
注　静電容量センサユニット（CTSU2La）の計測精度は、動作クロックの精度に依存します。CTSU2Laを使用する場合は、CPU／周辺ハードウェア・クロック（f_{CLK}）として、高速オンチップ・オシレータ・クロック（f_{IH}）または高速システム・クロック（f_{MX}）を選択することを推奨します。また、CPU／周辺ハードウェア・クロック（f_{CLK}）にサブシステム・クロック（f_{SUB}）を選択しないでください。

★　CTSU は、**図 27 - 3** に示すようにステータス制御部、トリガ制御部、クロック制御部、チャネル制御部、ポート制御部、センサドライブパルス生成部、計測部、割り込み制御部、SNOOZE 制御部、制御レジスタで構成されます。

★ 図27 - 3 CTSUのブロック図



★ 図27 - 4 センサドライブパルス出力のクロック構成



★ 表27 - 2 CTSUの入出力端子

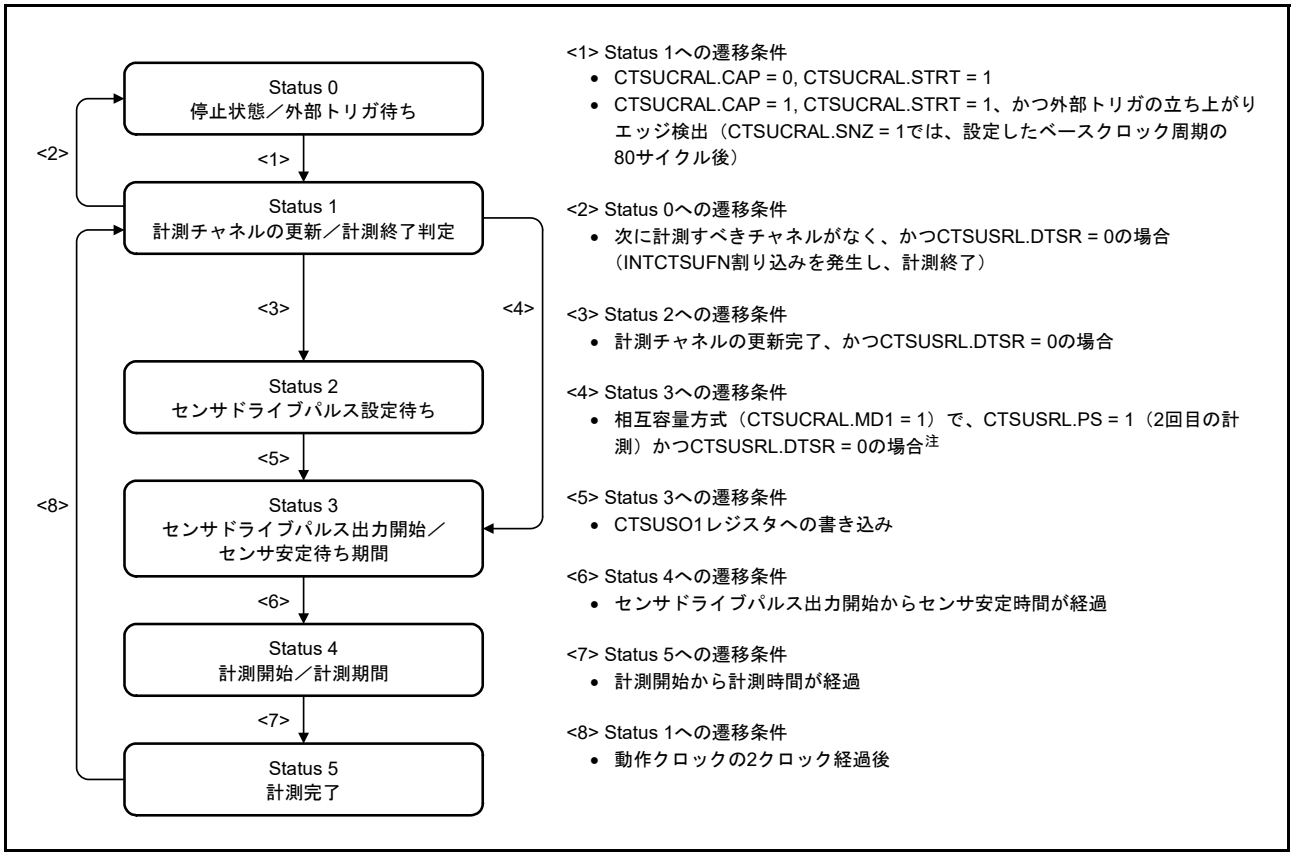
端子名	入出力	機能
TSm（m = 00-28）	入出力	静電容量計測端子（タッチ端子）
TSCAP	—	計測用二次電源コンデンサ接続端子

★ 27.1.2　計測ステータス

CTSU は、ステートコントローラを内蔵しています。計測ステータスはすべての計測方式で共通です。計測ステータスカウンタは、現在の計測ステータスを示し、CTSUSRL.STC[2:0] ビットで読み取ることができます。

図 27 - 5 に計測ステータスの状態遷移図を示します。

図27 - 5　計測ステータスの状態遷移図



注　CTSUSRL.DTSR = 1の場合は、前回の計測結果の読み出し待ちとなります。

指定されたチャネルの計測が完了すると、計測ステータスは Status 0 に遷移します。

CTSUCRAL.STRT ビットは、ソフトウェアトリガを使用する場合、ハードウェアによって 0 になります。外部トリガを使用する場合、STRT ビットは 1 を保持し、CTSU は次のトリガを待ちます。

計測中またはトリガ待ち状態において、強制動作停止（STRT ビットへの 0 と、CTSUCRAL.INIT ビットへの 1 の同時書き込み）が発生すると、計測ステータスが Status 0 に遷移し、計測が停止されます。

CTSUMCHL, CTSUMCHH, CTSUCHACAL, CTSUCHACAH, CTSUCHTRCAL, CTSUCHTRCAH レジスタに計測対象チャネルが設定されていない場合は、Status 1 に遷移した直後に計測終了割り込み（INTCTSUFN）が発生し、計測ステータスが Status 0 に遷移します。

計測するチャネルがない場合は、次のとおりです。

- CTSUCHACAL, CTSUCHACAH レジスタで計測対象チャネルを指定していない場合
- シングルスキャンモードで、CTSUMCHL, CTSUMCHH レジスタで指定したチャネルが、CTSUCHACAL, CTSUCHACAH レジスタで指定した計測対象チャネルではない場合
- 自己容量方式の場合、CTSUCHACAL, CTSUCHACAH レジスタと CTSUCHTRCAL, CTSUCHTRCAH レジスタの組み合わせで、計測対象の受信チャネルが存在しない場合
- 相互容量方式の場合、CTSUCHACAL, CTSUCHACAH レジスタと CTSUCHTRCAL, CTSUCHTRCAH レジスタの組み合わせで、計測対象の送信チャネルまたは受信チャネルが存在しない場合

27.2　静電容量センサユニットを制御するレジスタ

静電容量センサユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ1（PER1）
- 周辺リセット制御レジスタ1（PRR1）
- CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）
- CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH）
- CTSU計測チャネルレジスタL, H（CTSUMCHL, CTSUMCHH）
- CTSUチャネル有効制御レジスタAL, AH, BL, BH（CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH）
- CTSUチャネル送受信制御レジスタAL, AH, BL, BH（CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH）
- CTSUステータスレジスタL（CTSUSRL）
- CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）
- CTSUセンサカウンタレジスタ（CTSUSC, CTSUUC）
- CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）
- CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH（CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3）
- CTSU トリミングレジスタAL, AH（CTSUTRIM0, CTSUTRIM1）
- CTSU トリミングレジスタBL, BH（CTSUTRIM2, CTSUTRIM3）
- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

27.2.1　周辺イネーブル・レジスタ1（PER1）

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへのクロック供給を停止させることで、低消費電力化とノイズ低減をはかります。

静電容量センサユニットを使用する場合は、必ず CTSUEN ビットに 1 を設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図27 - 6　周辺イネーブル・レジスタ1（PER1）のフォーマット

アドレス　：F00FAH
リセット時：00H
R/W属性　：R/W

略号	7	<6>	5	<4>	<3>	<2>	1	<0>
PER1	0	SMSEN	0	TML32EN	DTCEN	UTAEN 注1	0	CTSUEN

CTSUEN	静電容量センサユニットの入力クロック供給の制御
0	入力クロック供給停止 • 静電容量センサユニットで使用するSFRへのライト不可注2
1	入力クロック供給 • 静電容量センサユニットで使用するSFRへのリード／ライト可

注1.　36～48ピン製品のみ

注2.　リードした場合は、設定値にかかわらず00Hまたは0000Hが読めます。

注意1.　ビット7, 5, 1には、必ず0を設定してください。

注意2.　次のビットには、必ず0を設定してください。

16～32ピン製品：ビット2

27.2.2　周辺リセット制御レジスタ1（PRR1）

PRR1 レジスタは、各周辺ハードウェアに対して個別にリセット制御を実施するレジスタです。PRR1 レジスタで対応する各周辺ハードウェアのリセット／リセット解除の制御を行います。

PRR1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図27 - 7　周辺リセット制御レジスタ1（PRR1）のフォーマット

アドレス　: F00FBH
リセット時: 00H
R/W属性　: R/W

略号	7	<6>	5	<4>	3	2	1	<0>
PRR1	0	SMSRES	0	TML32RES	0	0	0	CTSURES

CTSURES	静電容量センサユニットのリセット制御
0	静電容量センサユニットのリセット解除
1	静電容量センサユニットはリセット状態 • 静電容量センサユニットで使用するSFRが初期化されます。

注意　ビット7, 5, 3-1には、必ず0を設定してください。

27.2.3　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）

CTSUCRAL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRAL レジスタは、上位を CTSUCR1 レジスタ、下位を CTSUCR0 レジスタとして、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCRAH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRAH レジスタは、上位を CTSUCR3 レジスタ、下位を CTSUCR2 レジスタとして、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

★　リセット信号の発生により、0000H になります。

図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (1/8)

アドレス　：F0500H, F0501H (CTSUCRAL), F0502H, F0503H (CTSUCRAH)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUCRAH	DCBACK	DCMODE	STCLK[5:0]					

7	6	5	4	3	2	1	0
PCSEL	SDPSEL	POSEL[1:0]		LOAD1	LOAD0	ATUNE2	0

略号	15	14	13	12	11	10	9	8
CTSUCRAL	MD1	MD0	CLK[1:0]		ATUNE1	ATUNE0	CSW	PON

7	6	5	4	3	2	1	0
TXVSEL	TXVSEL2	PUMPON	INIT	0	SNZ	CAP	STRT

DCBACK	電流計測帰還選択
0	TSCAP端子を選択
1	計測端子を選択

DCMODE = 1のときのみ有効、計測電源への帰還端子を切り替えます。

★

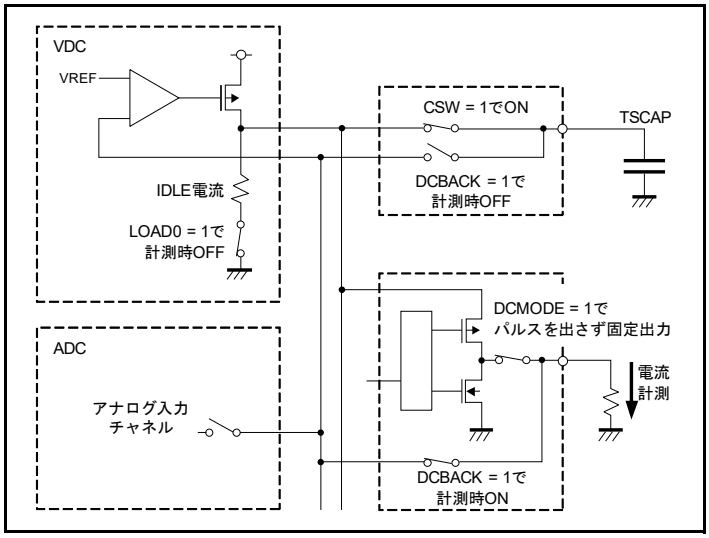


図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (2/8)

★

DCMODE	電流計測モード選択
0	通常モード
1	電流計測モード
本ビットが1のときは、センサドライブパルスを使用せずに電流を計測します。 CTSUDBGR0.IOCビットの値に従って計測受信端子から固定値が出力され、センサドライブパルスは停止します。 CTSUDBGR0.IOC = 0：ハイ・レベル出力 CTSUDBGR0.IOC = 1：ロウ・レベル出力	

STCLK[5:0]						STCLK選択
0	0	0	0	0	0	動作クロックの2分周
0	0	0	0	0	1	動作クロックの4分周
0	0	0	0	1	0	動作クロックの6分周
0	0	0	0	1	1	動作クロックの8分周
:	:	:	:	:	:	:
1	1	1	1	1	0	動作クロックの126分周
1	1	1	1	1	1	動作クロックの128分周
動作クロックに対する分周値（ステートクロック：STCLK）を設定します。STCLKは、計測時間とSUCLKの周波数調整周期に関係します。 分周値は以下の式で決まります。 分周値 =（STCLK[5:0] + 1）× 2（2～128分周） STCLKは、0.5 MHz（2 μs）となるように設定することを推奨します。						

PCSEL	昇圧クロック選択
0	センサドライブパルス
1	STCLK
昇圧回路のクロックを選択します。	

図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (3/8)

SDPSEL	センサドライブパルスおよびSUCLK選択
0	ランダムパルスモード • センサドライブパルス 動作クロックをCTSUSO1.SDPA[7:0]ビットで分周したベースクロックを基準として、疑似乱数を用いてランダムにロウ・レベル幅を延長させることで、f_{CLK}に同期したセンサドライブパルスを生成します。 • SUCLK CTSUCRBH.SSCNT[1:0], CTSUCRBH.SSMOD[2:0], CTSUTRIM1.SUADJD[7:0]ビットの設定に従ってSUCLKを生成します。 SUCLKは、センサドライブパルスのスペクトラム拡散用として使用します。
1	高分解能パルスモード • センサドライブパルス SUCLKをCTSUSO1.SDPA[7:0]ビットで分周したクロック（ベースクロック）をセンサドライブパルスとして使用します。 • SUCLK CTSUSUCLKxレジスタを設定することで、クロックリカバリ制御が行われ、CTSUSUCLKx.SUADJx[7:0]ビットが更新されます。本設定に従ってSUCLKは生成されます。 本ビットに1を設定する前に、CTSUSUCLKxレジスタを設定してください。 本ビットが1の間は、CTSUSUCLKxレジスタの設定を変更しないでください。
本ビットでランダムパルスモードと高分解能パルスモードを切り替えます。この選択により、センサドライブパルスとSUCLKの生成方法が変わります。	

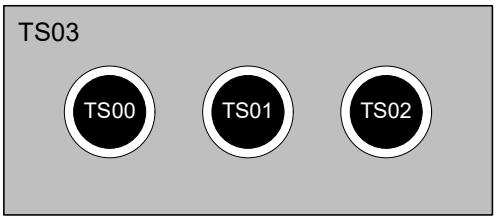
図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (4/8)

POSEL[1:0]		非計測端子出力選択
0	0	ロウ・レベル出力（TXVSEL, TXVSEL2ビットの設定に関係なくI/Oポートから出力）
0	1	Hi-Z
1	0	ロウ・レベル出力（TXVSEL, TXVSEL2ビットの設定で出力）
1	1	送信チャネルと同相のパルスを出力（TXVSEL, TXVSEL2ビットの設定で出力）

★

非計測端子の出力を選択します。

（例）下図のような電極で、自己容量方式による計測を行い、アクティブシールド機能を有効にする場合
- シールド端子：TS03
  送受信制御レジスタに1を設定すると送信パルスが出力され、TS03がシールド端子として使用されます。
- 計測端子：TS00～TS02
  POSEL[1:0] = 11Bに設定してください。非計測端子からは、シールド端子と同相のパルスが出力されます。



★

LOAD1	LOAD0	計測用負荷制御
0	0	2.5 μA定電流負荷モード（通常計測用）
0	1	無負荷モード
1	0	20 μA定電流負荷モード（キャリブレーション用）
1	1	抵抗負荷モード（キャリブレーション用）

計測用負荷を抵抗負荷モードに設定するときは、01Bに設定してから11Bに設定してください。
抵抗負荷モード時は、ATUNE2, ATUNE1ビットの設定により抵抗負荷量が変化します。

★

ATUNE2	電流レンジ切り替え2
0	ATUNE1ビットが0のとき：80 μA ATUNE1ビットが1のとき：40 μA
1	ATUNE1ビットが0のとき：20 μA ATUNE1ビットが1のとき：160 μA

ATUNE1ビットとあわせて、計測電源の抵抗負荷量を変化させ、最大供給電流（計測レンジ）を設定します。

CTSUCRAH.ATUNE2	CTSUCRAL.ATUNE1	計測レンジ
0	0	80 μA
0	1	40 μA
1	0	20 μA
1	1	160 μA

図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (5/8)

★

MD1	計測モード選択1
0	自己容量方式 計測対象の端子は受信（CTSUCHTRCAL.CHTRCm = 0, CTSUCHTRCAH.CHTRCm = 0）に設定してください。アクティブシールドとして使用する端子は送信（CHTRCm = 1）に設定してください。 送信に設定した端子が存在する場合は、送信端子は計測中のチャネルと同相のパルスを出力します。 すべてのTSm端子が受信に設定されているときは、受信端子の計測のみ実施します。
1	相互容量方式 送信（CHTRCm = 1）に設定されたTSm端子と、受信（CHTRCm = 0）に設定されたTSm端子で計測します。 CHTRCmビットがすべて0に設定されているときは、計測は行いません。
自己容量方式と相互容量方式を選択します。	

MD0	計測モード選択0
0	シングルスキャンモード
1	マルチスキャンモード
シングルスキャン、マルチスキャンを選択します。	

CLK[1:0]		動作クロック選択
0	0	f_{CLK}
0	1	$f_{CLK}/2$
1	0	$f_{CLK}/4$
1	1	$f_{CLK}/8$
プリスケーラを使用して、CPU／周辺ハードウェア・クロック（f_{CLK}）を分周します。		

★

ATUNE1	電流レンジ切り替え1
0	ATUNE2ビットが0のとき：80 μA ATUNE2ビットが1のとき：20 μA
1	ATUNE2ビットが0のとき：40 μA ATUNE2ビットが1のとき：160 μA
ATUNE2ビットとあわせて、計測電源の抵抗負荷量を変化させ、最大供給電流（計測レンジ）を設定します。詳細は、ATUNE2ビットを参照してください。	

★

ATUNE0	電源電圧設定
0	計測電源電圧 = 1.5 V
1	計測電源電圧 = 1.2 V注1
CTSUの電源電圧を制御します。 V_{DD}＜2.4 Vの場合は1に設定してください。 2.4 V≦V_{DD}の場合は0, 1いずれも設定可能です。	

図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (6/8)

★

CSW	計測用二次電源コンデンサ接続
0	外部容量接続スイッチOFF
1	外部容量接続スイッチON

TSCAP端子に接続される計測用二次電源コンデンサの充電制御（容量接続スイッチのON／OFF）を行います。
容量接続スイッチをONにしてからTSCAP端子に接続しているコンデンサが充電されるまで、一定時間経過したあとに計測を開始（STRT = 1）してください。本ビットに1を設定する前に、TSCAPに割り当てた入出力ポート（P30）からロウ・レベルを出力し、端子に接続された計測用二次電源コンデンサの電荷を完全に放電してください。
PON = 1を書き込む前に、本ビットに1を設定してください。
V_{DD}＜4.5 Vのときは、PUMPON = 1を設定してから、本ビットに1を設定してください。

★

PON	計測電源起動
0	電源OFF
1	電源ON

計測電源（1.5 V）の供給を制御します。
本ビットを1にする前に、PUMPONビットを設定し、CSWビットを1にしてください。
CSWビットが0のときは、本ビットに1を設定しないでください。

★

TXVSEL	TXVSEL2	送信端子電源切り替え
0	0	I/O電源
1	0	内部ロジック電源 アクティブシールド機能を使用する場合に設定してください。
0	1	CTSU専用電源 相互容量方式を使用する場合に設定してください。
1	1	

★

PUMPON	昇圧回路起動
0	昇圧電源OFF
1	昇圧電源ON

昇圧電源を制御します。
V_{DD}が4.5 V未満の場合、本ビットを1にしてください。

★

INIT	制御部初期化
0	—
1	1を書き込むことで内部制御レジスタを初期化できます。

本ビットに1を設定すると、以下のレジスタが初期化されます。
- CTSUSC, CTSUUC
- CTSUMCHL, CTSUMCHH
- CTSUSRL（ICOMP0, ICOMP1ビットを除く）

動作中に強制終了させる場合には、必ずSTRT = 0と同時にINIT = 1を書き込んでください。この場合、計測動作が停止し、内部制御レジスタが初期化されます。
STRT = 1（計測動作開始）と同時に本ビットに1を書き込むことは禁止です。
本ビットを読み出すと、0が読めます。

図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (7/8)

★

SNZ	SNOOZE有効
0	SNOOZEモード機能無効
1	SNOOZEモード機能有効

本ビットを1にすると、CTSUをサスペンド状態にして、計測待機時の消費電力を抑えることが可能です。また、計測開始条件に外部トリガを選択した場合（CAP = 1）は、SNOOZEモードでの計測が有効になります。

- 計測開始条件に外部トリガを選択した場合（CAP = 1）
  SNOOZEモード機能を使用するときは、本ビットに1を設定したあと、STRT = 1（計測動作開始）に設定して、CPUをSTOPモードへ遷移させてください。
  STOPモード中に外部トリガを検出すると、CTSUはSNOOZEモードに遷移して計測を開始します。
  計測終了割り込み後は、ソフトウェアで本ビットを0にクリアしてください。
- 計測開始条件にソフトウェアトリガを選択した場合（CAP = 0）
  下表のサスペンド状態（低消費モード）に該当。サスペンド状態（低消費モード）でSTOPモードから復帰する際は割り込みが使用されます。その後、計測を開始する場合は、本ビットに0を書き込んでからSTRT = 1（計測動作開始）を設定してください。

PON	SNZ	CAP	STRT	外部トリガ	CTSUハードウェアの状態
0	0	0	0	–	停止
1	0	0	0	–	計測開始待ち
1	0	0	1	–	通常動作モード計測中
1	1	1	0	–	外部トリガ計測設定準備中
1	1	1	1	なし（待ち）	サスペンド状態（外部トリガ待ち）
1	1	1	1	あり（動作）	SNOOZEモード計測中
1	1	0	0	–	サスペンド状態（低消費モード）
上記以外					設定禁止

センサドライブパルスに高分解能パルスモードを選択（SDPSEL = 1）してSNOOZEモード機能を使用する場合、昇圧回路のクロックにセンサドライブパルスを選択する（PCSEL = 0）ことはできません。

CAP	計測開始トリガ選択
0	ソフトウェアトリガ
1	外部トリガ（ELCからのイベント入力）

計測開始条件を指定します。
詳細は、STRTビットを参照してください。

図27 - 8　CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット (8/8)

★

STRT	計測動作開始
0	計測動作停止
1	計測動作状態（計測中／外部トリガ待ち）

CTSUの計測動作開始／停止を指定します。

- 計測開始条件にソフトウェアトリガを選択した場合（CAP = 0）
  本ビットに1を書き込むことで計測を開始します。本ビットは、計測終了時にハードウェアで0にクリアされます。
- 計測開始条件に外部トリガを選択した場合（CAP = 1）
  本ビットに1を書き込むことで外部トリガの待機状態となり、外部トリガの検出で計測を開始します。計測終了時は次の外部トリガ待機状態となります。外部トリガ待ち状態を解除する場合は、本ビットに0、INITビットに1を同時に設定してください。

下表にCTSUの状態を示します。

STRT	CAP	CTSUの状態
0	0	停止
0	1	停止
1	0	計測中
1	1	計測中／外部トリガ待ち[注2]

本ビットが1のときに、ソフトウェアで本ビットに1を書き込んだ場合は、書き込みは無視され、動作が継続されます。また、本ビットが1のときに、ソフトウェアで動作を強制的に終了させたい場合は、本ビットに0、INITビットに1を同時に書き込んでください。

注1.　ATUNE0 = 1のとき、アクティブシールド機能は使用できません。

注2.　CTSUSRL.STC[2:0]ビットにて状態を判断できます。

- CTSUSRL.STC[2:0] ≠ 000B：計測中
- CTSUSRL.STC[2:0] = 000B：外部トリガ待ち

注意　STRT, INITビット以外のビットは、STRT = 0（計測動作停止）のときに設定してください。

備考1. x = 0-3

備考2. m = 00-28

27.2.4　CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH）

CTSUCRBL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRBL レジスタは、上位を CTSUSST レジスタとして 8 ビット・メモリ操作命令で設定、下位を CTSUSDPRS レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCRBH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCRBH レジスタは、上位を CTSUDCLKC レジスタとして 8 ビット・メモリ操作命令で設定できます。

★ リセット信号の発生により、0000H になります。

★ 図27 - 9　CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH）のフォーマット (1/3)

アドレス　：F0504H, F0505H (CTSUCRBL), F0506H, F0507H (CTSUCRBH)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUCRBH	0	0	SSCNT[1:0]		0	SSMOD[2:0]		

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

略号	15	14	13	12	11	10	9	8
CTSUCRBL	SST[7:0]							

7	6	5	4	3	2	1	0
PROFF	SOFF	PRMODE[1:0]		PRRATIO[3:0]			

★

SSCNT[1:0]		SUCLKスペクトラム拡散制御
0	0	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 00H
		CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 00H
0	1	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 10H
		CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 20H
1	0	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 20H
		CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 40H
1	1	CTSUCRAH.SDPSEL = 0の場合：CTSUTRIMx.SUADJD[7:0] + 30H
		CTSUCRAH.SDPSEL = 1の場合：CTSUSUCLKx.SUADJx[7:0] + 60H
SUCLKの周波数を調整します。		

★ 図27 - 9 CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH）のフォーマット (2/3)

SSMOD[2:0]			SUCLK拡散モード選択
0	0	0	256周期
0	0	1	384周期
0	1	0	512周期
0	1	1	1024周期
1	1	1	拡散なし
上記以外			設定禁止

SUCLKのスペクトラム拡散周期を設定します。
CTSUTRIM1.SUADJD[7:0]ビットとSSCNT[1:0]ビットで指定した周波数、および本ビットの設定でSUCLKの発振周波数は決まります。

SST[7:0]	センサ安定待ち時間制御

センサドライブパルス出力開始から、TSCAP端子の電圧が安定するまでの期間を設定します。
TSCAP端子の電圧は、センサドライブパルスが供給されることにより安定します。本ビットの値とサイクル数の関係は以下のとおりです。

• ランダムパルスモード（CTSUCRAH.SDPSEL = 0）の場合
安定待ち時間は、センサドライブパルスのサイクル数を基準として指定します。

0	0	0	0	0	0	0	0	2サイクル
0	0	0	0	0	0	0	1	4サイクル
0	0	0	0	0	0	1	0	6サイクル
0	0	0	0	0	0	1	1	8サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	510サイクル
1	1	1	1	1	1	1	1	512サイクル

サイクル数 = 2 ×（本ビットの値 + 1）
安定待ち時間は、以下の範囲で設定してください。
本ビットで設定したサイクル数 ≧（PRRATIO[3:0] + 1）

• 高分解能パルスモード（CTSUCRAH.SDPSEL = 1）の場合
安定待ち時間は、STCLKのサイクル数を基準として指定します。

0	0	0	0	0	0	0	0	設定禁止[注1]
0	0	0	0	0	0	0	1	2サイクル
0	0	0	0	0	0	1	0	3サイクル
0	0	0	0	0	0	1	1	4サイクル
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	255サイクル
1	1	1	1	1	1	1	1	256サイクル

サイクル数 = 1 ×（本ビットの値 + 1）

PROFF	疑似乱数OFF制御
0	疑似乱数制御を行う
1	疑似乱数制御を行わない

疑似乱数制御をOFFにします。
1周期ごとに疑似乱数生成を行い、1/0を出力します（乱数生成1ビット）。

★ 図27 - 9　CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH）のフォーマット (3/3)

SOFF注2	スペクトラム拡散機能OFF制御
0	スペクトラム拡散機能ON
1	スペクトラム拡散機能OFF
同期系ノイズ対策のためのスペクトラム拡散機能のON/OFFを設定します。 センサドライブパルス（fCLK同期）を使用する場合、本ビットに1を設定してください。 本ビットは、CTSUCRAH.SDPSEL = 0（ランダムパルスモード）のときに有効です。	

PRMODE[1:0]注2		疑似乱数生成周期設定
0	0	255周期
0	1	63周期
1	0	31周期
1	1	3周期
疑似乱数生成を更新する周期を設定します。 基本パルス数は、本ビットで選択した周期の2倍です。 本ビットは、CTSUCRAH.SDPSEL = 0（ランダムパルスモード）のときに有効です。		

PRRATIO[3:0]注2	位相シフト頻度設定
疑似乱数生成の位相シフト周期を設定します。 本ビットの設定により、計測パルス数や計測時間は以下のように変化します。 計測パルス数 = 基本パルス数（PRMODE[1:0]ビットで設定）×（PRRATIO[3:0]ビットの値 + 1） 計測時間 =（計測パルス数 +（基本パルス数 − 2）× 0.25）× ベースクロック周期 本ビットは、CTSUCRAH.SDPSEL = 0（ランダムパルスモード）のときに有効です。	

注1.　CTSUCRAH.SDPSEL = 1の場合、SST[7:0]ビットに00Hを設定しないでください。

注2.　SOFF, PRMODE[1:0], PRRATIO[3:0]ビットは、CTSUCRAH.SDPSELビットが0（ランダムパルスモード）のときのみ有効です。

注意　**CTSUCRBL, CTSUCRBHレジスタは、CTSUCRAL.STRTビットが0のときに設定してください。**

備考　x = 0-3

27.2.5　CTSU計測チャネルレジスタL, H（CTSUMCHL, CTSUMCHH）

CTSUMCHL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUMCHL レジスタは、上位を CTSUMCH1 レジスタと下位を CTSUMCH0 レジスタとして 8 ビット・メモリ操作命令で設定できます。

CTSUMCHH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUMCHH レジスタは、下位を CTSUMFAF レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

★ リセット信号の発生により、CTSUMCHL レジスタは 3F3FH、CTSUMCHH レジスタは 0000H になります。

★ 図27 - 10　CTSU計測チャネルレジスタL, H（CTSUMCHL, CTSUMCHH）のフォーマット (1/2)

アドレス　：F0508H, F0509H (CTSUMCHL), F050AH, F050BH (CTSUMCHH)
リセット時：3F3FH (CTSUMCHL), 0000H (CTSUMCHH)
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUMCHH	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	MCA3	MCA2	MCA1	MCA0

略号	15	14	13	12	11	10	9	8
CTSUMCHL	0	0	MCH1[5:0]					

7	6	5	4	3	2	1	0
0	0	MCH0[5:0]					

MCAx	マルチクロックx有効
0	無効
1	有効

周波数の異なる複数のSUCLKを使用して計測（マルチクロック計測）する場合に、使用するクロックを設定します。3種類の周波数で計測する場合は、4ビットのうち3ビットに1を設定してください。
MCAxビットを複数有効にして計測を開始すると、MCA0（SUCLK0）から昇順で有効チャネルをスキャンします。1つの計測チャネルの計測終了後に、次の有効クロック（SUCLKx）があれば、そのクロックで同チャネルの計測を行います。有効なクロックがなければ次の計測チャネルに移ります。
SUCLKの周波数は、CTSUSUCLKxレジスタで設定します。MCAxビットとの関係を以下に示します。
- MCA0：CTSUSUCLK0レジスタで設定したSUCLK0
- MCA1：CTSUSUCLK1レジスタで設定したSUCLK1
- MCA2：CTSUSUCLK2レジスタで設定したSUCLK2
- MCA3：CTSUSUCLK3レジスタで設定したSUCLK3

★ 図27 - 10　CTSU計測チャネルレジスタL, H（CTSUMCHL, CTSUMCHH）のフォーマット (2/2)

MCH1[5:0]	計測チャネル1

• シングルスキャンモード（CTSUCRAL.MD0 = 0）の場合
計測する送信チャネルを設定します。CTSUCHACAH, CTSUCHACAL レジスタで計測対象外に設定したチャネルを指定しないでください。設定した場合は、計測開始後すぐに終了します。
• マルチスキャンモード（CTSUCRAL.MD0 = 1）の場合
本ビットは計測中の送信チャネル値を示し、本ビットへの書き込みは無効です。

0	0	0	0	0	0	TS00
0	0	0	0	0	1	TS01
0	0	0	0	1	0	TS02
0	0	0	0	1	1	TS03
:	:	:	:	:	:	:
0	1	1	0	1	1	TS27
0	1	1	1	0	0	TS28
0	1	1	1	0	1	設定禁止
:	:	:	:	:	:	
1	1	1	1	1	1	

MCH0[5:0]	計測チャネル0

• シングルスキャンモード（CTSUCRAL.MD0 = 0）の場合
計測する受信チャネルを設定します。CTSUCHACAH, CTSUCHACAL レジスタで計測対象外に設定したチャネルを指定しないでください。設定した場合は、計測開始後すぐに終了します。
• マルチスキャンモード（CTSUCRAL.MD0 = 1）の場合
本ビットは計測中の受信チャネル値を示し、本ビットへの書き込みは無効です。

0	0	0	0	0	0	TS00
0	0	0	0	0	1	TS01
0	0	0	0	1	0	TS02
0	0	0	0	1	1	TS03
:	:	:	:	:	:	:
0	1	1	0	1	1	TS27
0	1	1	1	0	0	TS28
0	1	1	1	0	1	設定禁止
:	:	:	:	:	:	
1	1	1	1	1	1	

注意　**MCH1[5:0], MCH0[5:0] ビットは、計測中（CTSUCRAL.STRT = 1）に書き換えないでください。書き換えた場合の動作は保証しません。**
また、計測停止時の値は111111Bとなります。

備考　x = 0-3

27.2.6 CTSUチャネル有効制御レジスタAL, AH, BL, BH（CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH）

CTSUCHACAL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHACAL レジスタは、上位を CTSUCHAC1 レジスタと下位を CTSUCHAC0 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHACAH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHACAH レジスタは、上位を CTSUCHAC3 レジスタと下位を CTSUCHAC2 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHACBL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHACBL レジスタは、上位を CTSUCHAC5 レジスタと下位を CTSUCHAC4 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHACBH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHACBH レジスタは、上位を CTSUCHAC7 レジスタと下位を CTSUCHAC6 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

★ リセット信号の発生により、0000H になります。

★ 図27 - 11　CTSUチャネル有効制御レジスタAL, AH, BL, BH（CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH）のフォーマット

アドレス　：F050CH, F050DH (CTSUCHACAL), F050EH, F050FH (CTSUCHACAH),
F0510H, F0511H (CTSUCHACBL), F0512H, F0513H (CTSUCHACBH)

リセット時：0000H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUCHACAH	CHAC31	CHAC30	CHAC29	CHAC28	CHAC27	CHAC26	CHAC25	CHAC24
	7	6	5	4	3	2	1	0
	CHAC23	CHAC22	CHAC21	CHAC20	CHAC19	CHAC18	CHAC17	CHAC16

略号	15	14	13	12	11	10	9	8
CTSUCHACAL	CHAC15	CHAC14	CHAC13	CHAC12	CHAC11	CHAC10	CHAC09	CHAC08
	7	6	5	4	3	2	1	0
	CHAC07	CHAC06	CHAC05	CHAC04	CHAC03	CHAC02	CHAC01	CHAC00

略号	15	14	13	12	11	10	9	8
CTSUCHACBH	CHAC63	CHAC62	CHAC61	CHAC60	CHAC59	CHAC58	CHAC57	CHAC56
	7	6	5	4	3	2	1	0
	CHAC55	CHAC54	CHAC53	CHAC52	CHAC51	CHAC50	CHAC49	CHAC48

略号	15	14	13	12	11	10	9	8
CTSUCHACBL	CHAC47	CHAC46	CHAC45	CHAC44	CHAC43	CHAC42	CHAC41	CHAC40
	7	6	5	4	3	2	1	0
	CHAC39	CHAC38	CHAC37	CHAC36	CHAC35	CHAC34	CHAC33	CHAC32

CHACm	チャネル有効制御
0	計測対象外
1	計測対象
CHACmビットの値に応じて、TSm端子を計測対象にするか否かを設定します。 CHACmビットに1を設定すると、TSm端子（送信／受信の両方）の容量計測が有効になります。	

注意1. 計測端子を割り当てていないビットには、必ず0を設定してください。

注意2. CTSUCHACAH, CTSUCHACAL, CTSUCHACBH, CTSUCHACBLレジスタは、CTSUCRAL.STRT = 0のときに設定してください。

備考　m = 00-28

27.2.7 CTSUチャネル送受信制御レジスタAL, AH, BL, BH（CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH）

CTSUCHTRCAL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHTRCAL レジスタは、上位を CTSUCHTRC1 レジスタと下位を CTSUCHTRC0 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHTRCAH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHTRCAH レジスタは、上位を CTSUCHTRC3 レジスタと下位を CTSUCHTRC2 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHTRCBL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHTRCBL レジスタは、上位を CTSUCHTRC5 レジスタと下位を CTSUCHTRC4 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

CTSUCHTRCBH レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUCHTRCBH レジスタは、上位を CTSUCHTRC7 レジスタと下位を CTSUCHTRC6 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

★ リセット信号の発生により、0000H になります。

★ 図27 - 12　CTSUチャネル送受信制御レジスタAL, AH, BL, BH（CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH）のフォーマット

アドレス　：F0514H, F0515H (CTSUCHTRCAL), F0516H, F0517H (CTSUCHTRCAH), F0518H, F0519H (CTSUCHTRCBL), F051AH, F051BH (CTSUCHTRCBH)

リセット時：0000H

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUCHTRCAH	CHTRC31	CHTRC30	CHTRC29	CHTRC28	CHTRC27	CHTRC26	CHTRC25	CHTRC24
	7	6	5	4	3	2	1	0
	CHTRC23	CHTRC22	CHTRC21	CHTRC20	CHTRC19	CHTRC18	CHTRC17	CHTRC16

略号	15	14	13	12	11	10	9	8
CTSUCHTRCAL	CHTRC15	CHTRC14	CHTRC13	CHTRC12	CHTRC11	CHTRC10	CHTRC09	CHTRC08
	7	6	5	4	3	2	1	0
	CHTRC07	CHTRC06	CHTRC05	CHTRC04	CHTRC03	CHTRC02	CHTRC01	CHTRC00

略号	15	14	13	12	11	10	9	8
CTSUCHTRCBH	CHTRC63	CHTRC62	CHTRC61	CHTRC60	CHTRC59	CHTRC58	CHTRC57	CHTRC56
	7	6	5	4	3	2	1	0
	CHTRC55	CHTRC54	CHTRC53	CHTRC52	CHTRC51	CHTRC50	CHTRC49	CHTRC48

略号	15	14	13	12	11	10	9	8
CTSUCHTRCBL	CHTRC47	CHTRC46	CHTRC45	CHTRC44	CHTRC43	CHTRC42	CHTRC41	CHTRC40
	7	6	5	4	3	2	1	0
	CHTRC39	CHTRC38	CHTRC37	CHTRC36	CHTRC35	CHTRC34	CHTRC33	CHTRC32

CHTRCm	チャネル送受信制御
0	受信
1	送信
CHTRCmビットの値に応じて、TSm端子を送信または受信端子として割り当てます。 自己容量方式（CTSUCRAL.MD1 = 0）のとき、本ビットを1（送信）に設定すると、対応する端子をアクティブシールド信号出力として使用できます。注	

注　アクティブシールド出力を使用する場合は、複数ビットに同時に1を設定しないでください。

注意1. 計測端子を割り当てていないビットには、必ず0を設定してください。

注意2. CTSUCHTRCAH, CTSUCHTRCAL, CTSUCHTRCBH, CTSUCHTRCBLレジスタは、CTSUCRAL.STRT = 0のときに設定してください。

備考　m = 00-28

27.2.8　CTSUステータスレジスタL（CTSUSRL）

CTSUSRL レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUSRL レジスタは、上位を CTSUST レジスタと下位を CTSUST1 レジスタとして 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

★ リセット信号の発生により、0000H になります。

★ 図27 - 13　CTSUステータスレジスタL（CTSUSRL）のフォーマット (1/3)

アドレス　：F051CH, F051DH
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUSRL	PS	SUCKOVF	SENSOVF	DTSR	0	STC[2:0]		

7	6	5	4	3	2	1	0
ICOMP0	ICOMP1	ICOMPRST	0	0	0	MFC[1:0]	

PS注1	相互容量計測状態
0	1回目の計測
1	2回目の計測
2回計測を行う相互容量方式（CTSUCRAL.MD1 = 1）において、各チャネルの計測が1回目か2回目かを示します。 計測停止中または自己容量方式（CTSUCRAL.MD1 = 0）のときは、本ビットは0になります。	

SUCKOVF	SUCLKカウンタオーバフロー
0	オーバフローなし
1	オーバフローあり
SUCLKカウンタがオーバフローしたか否かを示します。オーバフローが発生した場合、CTSUUCレジスタはFFFFHが読み出されます。 オーバフローが発生しても設定された期間まで計測処理は継続されます。 オーバフロー発生時でも割り込みは発生しません。そのため、どのチャネルでオーバフローが発生したかは、計測完了後（計測終了割り込み発生後）、各チャネルの計測結果により判定してください。 ＜クリア条件＞ • 本ビットが1であることを読み出したあと、0を書いたとき • CTSUCRAL.INITビットを1にしたとき注2 ＜セット条件＞ • 計測中にCTSUUCレジスタがオーバフローしたとき	

★ 図27 - 13　CTSUステータスレジスタL（CTSUSRL）のフォーマット (2/3)

SENSOVF	センサカウンタオーバフロー
0	オーバフローなし
1	オーバフローあり

センサカウンタがオーバフローしたか否かを示します。オーバフローが発生した場合、計測結果（CTSUSCレジスタ）はFFFFHが読み出されます。
オーバフローが発生しても設定された期間まで計測処理は継続されます。
オーバフロー発生時でも割り込みは発生しません。そのため、どのチャネルでオーバフローが発生したかは、計測完了後（計測終了割り込み発生後）、各チャネルの計測結果により判定してください。

＜クリア条件＞
- 本ビットが1であることを読み出したあと、0を書いたとき
- CTSUCRAL.INITビットを1にしたとき注2

＜セット条件＞
- 計測中にCTSUSCレジスタがオーバフローしたとき

DTSR注1	データ転送ステータス
0	計測結果が読み出されている
1	計測結果が読み出されていない

センサカウンタに格納された計測結果を読み出したか否かを示します。

＜クリア条件＞
- ソフトウェアまたはDTCで、CTSUSCまたはCTSUUCレジスタからデータを読み出したとき
- CTSUCRAL.INITビットを1にしたとき

＜セット条件＞
- 計測完了後、CTSUSCおよびCTSUUCレジスタに計測結果が格納されたとき

STC[2:0]注1			計測ステータスカウンタ
0	0	0	Status 0
0	0	1	Status 1
0	1	0	Status 2
0	1	1	Status 3
1	0	0	Status 4
1	0	1	Status 5

現在の計測ステータスを示します。
詳細は、**27.1.2　計測ステータス**を参照してください。

ICOMP0注1	電圧異常フラグ
0	正常
1	TSCAP電圧異常

計測用電源の出力電圧異常を示すフラグです。
CTSUCRAL.PONビットに0またはICOMPRSTビットに1を書き込むと、本ビットは0にクリアされます。
本ビットが1（電圧異常検出）の場合、CTSUSCレジスタの値は0000Hになります。

★ 図27 - 13　CTSUステータスレジスタL（CTSUSRL）のフォーマット (3/3)

ICOMP1注1	電流異常フラグ
0	正常
1	電流異常
計測用電源の出力電流異常を示すフラグです。 CTSUCRAL.PONビットに0またはICOMPRSTビットに1を書き込むと、本ビットは0にクリアされます。	

ICOMPRST	ICOMP0, ICOMP1リセット
1を書き込むと、ICOMP0, ICOMP1ビットが0にクリアされます。読むと0が読めます。	

MFC[1:0]		マルチクロックカウンタ
0	0	MCA0（SUCLK0）
0	1	MCA1（SUCLK1）
1	0	MCA2（SUCLK2）
1	1	MCA3（SUCLK3）
マルチクロック計測（CTSUCRAH.SDPSEL = 1かつCTSUCRAH.PCSEL = 1かつCTSUMCH.MCAnビット (n = 0-3) の2ビット以上が1のとき）での計測中クロックを示します。00B以外の書き込みは禁止です。		

注1.　本ビットは、読み出しのみ可能です。

注2.　CTSUCRAL.INITビットを1にしてSUCKOVFビットおよびSENSOVFビットをクリアする場合は、CTSUCRAL.STRTビットが0のときに実施してください。

注意　CTSUSRLレジスタへの書き込みは、CTSUCRAL.STRTビットが0のときに実施してください。

27.2.9　CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）

CTSUSO0, CTSUSO1 レジスタは、16 ビット・メモリ操作命令で設定します。

★ リセット信号の発生により、0000H になります。

図27 - 14　CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）のフォーマット (1/3)

アドレス　：F0520H, F0521H (CTSUSO0), F0522H, F0523H (CTSUSO1)
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUSO1	SDPA[7:0]							

7	6	5	4	3	2	1	0
SSDIV[3:0]				0	0	SNUM[7:6]	

略号	15	14	13	12	11	10	9	8
CTSUSO0	SNUM[5:0]						SO[9:8]	

7	6	5	4	3	2	1	0
SO[7:0]							

★ CTSUSO0, CTSUSO1 レジスタへの書き込みは、INTCTSUWR 割り込みが発生したあとに行ってください。

CTSUSO1 レジスタへの書き込み操作により、Status 3 に遷移します。そのため、必ず CTSUSO0 レジスタに書き込んでから CTSUSO1 レジスタに書き込んでください。また、CTSUSO1 レジスタには一度に 16 ビットすべての値を設定してください。

図27 - 14　CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）のフォーマット (2/3)

SDPA[7:0]	ベースクロック（センサドライブパルス分周）設定

• ランダムパルスモード（CTSUCRAH.SDPSEL = 0）の場合
動作クロックを分周して、センサドライブパルスの元となるベースクロックを生成します。
また、本ビットは、CTSUハードマクロの電圧安定時間の設定にも使用します。
本ビットの設定値をnとすると、ベースクロックは動作クロックの2 (n+1)分周になります。

0	0	0	0	0	0	0	0	動作クロックの2分周[注1]
0	0	0	0	0	0	0	1	動作クロックの4分周
0	0	0	0	0	0	1	0	動作クロックの6分周
0	0	0	0	0	0	1	1	動作クロックの8分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	動作クロックの510分周
1	1	1	1	1	1	1	1	動作クロックの512分周

• 高分解能パルスモード（CTSUCRAH.SDPSEL = 1）の場合
SUCLKを分周して、センサドライブパルスを生成します。
SUCLKの周波数は、下記の式にて算出できます。
SUCLK = STCLK × CTSUSUCLKx.SUMULTIx[7:0]ビットでのSUCLK逓倍率設定
本ビットの設定値をnとすると、センサドライブパルスはSUCLKの2 (n+1)分周になります。

0	0	0	0	0	0	0	0	SUCLKの2分周
0	0	0	0	0	0	0	1	SUCLKの4分周
0	0	0	0	0	0	1	0	SUCLKの6分周
0	0	0	0	0	0	1	1	SUCLKの8分周
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	0	SUCLKの510分周
1	1	1	1	1	1	1	1	SUCLKの512分周

図27 - 14　CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）のフォーマット (3/3)

SSDIV[3:0]注2				スペクトラム拡散サンプリング周期制御
0	0	0	0	1分周
0	0	0	1	2分周
:	:	:	:	:
1	1	1	0	15分周
1	1	1	1	16分周

スペクトラム拡散機能のサンプリング周期を設定します。
f_{CLK}同期のセンサドライブパルスをSUCLKでリサンプリングするときに、何分周のクロックでリサンプリングするかを設定します。
サンプリング周期は、センサドライブパルス周期の1/4未満の周期となるように設定してください。
INTCTSUWR割り込みの発生後に、次に計測する端子の設定を行ってください。

SNUM[7:0]	計測期間設定

- ランダムパルスモード（CTSUCRAH.SDPSEL = 0）の場合
  計測回数を設定します。
  CTSUCRBL.PRRATIO[3:0], CTSUCRBL.PRMODE[1:0]ビットで設定した計測パルス（基本計測単位）を計測時に何回繰り返すかを設定します。
  計測回数 =（SNUM[5:0] + 1）× 2回
  SNUM[7:6]ビットには00Bを設定してください。
- 高分解能パルスモード（CTSUCRAH.SDPSEL = 1）の場合
  STCLKの周期を基準として計測時間を設定します。
  計測時間 = 8 ×（SNUM[7:0] + 1）× STCLK周期

INTCTSUWR割り込み発生後に、次に計測する端子の設定を行ってください。

SO[9:0]	センサCCOオフセット調整

センサCCOの入力電流オフセットを調整します。
非タッチ状態の静電容量により発生するセンサCCOの入力電流をオフセットとして設定し、計測時にセンサカウンタがオーバフローすることを防ぎます。
INTCTSUWR割り込み発生後に、次に計測する端子の入力電流オフセットを設定してください。

★ **注1.**　相互容量方式選択時（CTSUCRAL.MD1 = 1）やスペクトラム拡散機能がOFF（CTSUCRBL.SOFF = 1）の場合、SDPA[7:0] = 00000000Bは設定禁止です。

注2.　SSDIV[3:0]ビットはCTSUCRAH.SDPSELビットが0（ランダムパルスモード）のときのみ有効です。

★ 27.2.10　CTSUセンサカウンタレジスタ（CTSUSC, CTSUUC）

CTSUSC, CTSUUC レジスタは、16 ビット・メモリ操作命令で読み出します。
リセット信号の発生により、0000H になります。

図27 - 15　CTSUセンサカウンタレジスタ（CTSUSC, CTSUUC）のフォーマット

アドレス　：F0524H, F0525H (CTSUSC), F0526H, F0527H (CTSUUC)
リセット時：0000H
R/W属性　：R

略号	15	14	13	12	11	10	9	8
CTSUUC	UC[15:8]							
	7	6	5	4	3	2	1	0
	UC[7:0]							

略号	15	14	13	12	11	10	9	8
CTSUSC	SC[15:8]							
	7	6	5	4	3	2	1	0
	SC[7:0]							

UC[15:0]	SUCLKカウンタ
クロック（SUCLKの2倍の周波数）のカウント値を示します。 オーバフロー発生時はFFFFHを示します。	

SC[15:0]	センサカウンタ
計測結果を示します。 オーバフロー発生時はFFFFHを示します。	

INTCTSURD 割り込みが発生したあとに、本レジスタを読み出します。

本レジスタを CTSUDBGR0.CNTRDSEL ビットで指定した回数読み出すと、計測ステータスが Status 0 または Status 2 に遷移します。

レジスタの値は、次の計測で Status 4（CTSUSRL.STC[2:0] = 100B）に計測状態が遷移する直前にクリアされます。また、本レジスタは、CTSUCRAL.INIT ビットに 1 を書き込むことによってもクリアされます。

- CTSUDBGR0.CNTRDSEL = 0の場合
  CTSUSC レジスタまたはCTSUUC レジスタを1回読み出すと、計測ステータスが進み、Status 4に遷移する前に両方のレジスタがクリアされます。計測結果が必要な場合は、必ずCTSUSC レジスタを読み出してください。
- CTSUDBGR0.CNTRDSEL = 1の場合
  CTSUSC レジスタまたはCTSUUC レジスタのいずれかを計2回読み取ると、計測ステータスが進みます。
  16ビット・アクセスでCTSUSC レジスタとCTSUUC レジスタの両方の結果が必要な場合は、本設定を使用してください。

27.2.11 CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）

CTSUDBGR0, CTSUDBGR1 レジスタは、16 ビット・メモリ操作命令で設定します。

★ リセット信号の発生により、0000H になります。

★ 図27 - 16 CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）のフォーマット (1/4)

アドレス ：F0528H, F0529H (CTSUDBGR0), F052AH, F052BH (CTSUDBGR1)
リセット時：0000H
R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
CTSUDBGR1	TXREV	CCOCALIB	CCOCLK	DACCLK	SUCARRY	SUMSEL	DACCARRY	DACMSEL

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

略号	15	14	13	12	11	10	9	8
CTSUDBGR0	0	0	0	IOCSEL	DCOFF	0	IOC	CNTRDSEL

7	6	5	4	3	2	1	0
TSOC	SUCLKEN	CLKSEL0[1:0]		DRV	TSOD	0	0

TXREV	送信端子反転出力
0	送信端子からのパルス出力を反転しない
1	送信端子からのパルス出力を反転する

送信端子からの出力を反転するためのビットです。
- 自己容量方式（CTSUCRAL.MD1 = 0）の場合
  0：受信端子と同相の信号を出力
  1：受信端子と逆相の信号を出力
- 相互容量方式（CTSUCRAL.MD1 = 1）の場合
  0：1回目：受信端子と同相の信号を出力、2回目：受信端子と逆相の信号を出力
  1：1回目：受信端子と逆相の信号を出力、2回目：受信端子と同相の信号を出力

通常計測時は0を設定してください（1の設定はデバッグ用途での使用を想定しています）。

CCOCALIB	CCOキャリブレーションモード選択
0	通常モード
1	発振器キャリブレーションモード 外部電流と電流オフセットDACの出力を比較し、発振器特性をソフトウェアで補正するときに使用します。

CCOCLK	CCO変調回路用クロック選択
0	動作クロック（CTSUCRAL.CLK[1:0]ビットで指定されたクロック）
1	SUCLK

DACCLK	DAC変調回路用クロック選択
0	動作クロック（CTSUCRAL.CLK[1:0]ビットで指定されたクロック）
1	SUCLK

★ 図27 - 16　CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）のフォーマット (2/4)

SUCARRY	CCO繰り上がり入力
0	通常動作
1	入力データに32を加算する
本ビットは、電流発振器入力電流テストモードで使用します。静電容量を計測する場合は、0を設定してください。	

SUMSEL	電流発振器入力電流マトリクステスト
0	通常動作
1	電流発振器入力電流テストモード
本ビットは、電流発振器入力電流テストモードで使用します。静電容量を計測する場合は、0を設定してください。	

DACCARRY	DAC上位電流源繰り上がり入力
0	通常動作
1	入力データに64を加算する
本ビットは、電流オフセットDAC電流テストモードで使用します。静電容量を計測する場合は、0を設定してください。	

DACMSEL	電流オフセットDAC電流マトリクステスト
0	通常動作
1	電流オフセットDAC電流テストモード
電流オフセットDACの電流を制御するビットです。静電容量を計測する場合は、0を設定してください。	

IOCSEL	TSm端子固定出力選択（m = 00-28）
0	センサドライブパルスを出力
1	IOCビットで選択した固定レベルを出力
CTSUキャリブレーションに使用します。 TSODビットが1で、本ビットが0の場合、CTSUCHACAL, CTSUCHACAHレジスタで計測対象（CHACm = 1）で、CTSUCHTRCAL, CTSUCHTRCAHレジスタが受信（CHTRCm = 0）に設定されているTSm端子からセンサドライブパルスが出力されます。複数電極接続（MEC）機能で使用します。 TSODビットが1で、本ビットが1の場合、IOCビットで指定されたレベルがすべてのTSm端子から出力されます。	

DCOFF	ダウンコンバートOFF
0	通常動作モード
1	ダウンコンバートOFF
LDOの出力をOFFにするビットです。静電容量を計測する場合は、0を設定してください。	

★ 図27 - 16　CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）のフォーマット (3/4)

IOC	送信端子制御
TSODビットまたはCTSUCRAL.DCMODEビットを1にした場合に、TSm端子から出力されるレベルを選択します。 • TSOD = 1の場合 0：TSm端子からロウ・レベル出力 1：TSm端子からハイ・レベル出力 • CTSUCRAL.DCMODE = 1の場合 0：TSm端子からハイ・レベル出力 1：TSm端子からロウ・レベル出力 TSODビットおよびCTSUCRAL.DCMODEビットが0の場合、本ビットは無視されます。	

CNTRDSEL	センサカウンタレジスタリード回数選択
0	1回リードで次ステートへ進む
1	2回リードで次ステートへ進む
CTSUSCレジスタとCTSUUCレジスタの両方を読み出すには、本ビットに1を設定してください。	

TSOC	キャリブレーション設定2
0	静電容量計測モード
1	キャリブレーション設定2
CTSUのキャリブレーションを行う場合に使用します。静電容量を計測する場合は、0を設定してください。	

SUCLKEN	SUCLK許可
0	SUCLK停止
1	SUCLK動作

CLKSEL0[1:0]		観測クロック選択0
0	0	ロウ・レベル固定出力
0	1	センサICOクロックの8分周
1	0	設定禁止
1	1	SUCLKの8分周
CTSU内で生成される2つのクロックのうち、波形を観測したいクロックを選択します。		

★ 図27 - 16　CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）のフォーマット (4/4)

DRV	キャリブレーション設定1
0	静電容量計測モード
1	キャリブレーション設定1

CTSUのキャリブレーションを行う場合に使用します。静電容量を計測する場合は、0を設定してください。
本ビットを1にすると、疑似的に計測ステータスがStatus 3またはStatus 4になります。通常計測中のStatus 3, Status 4とは以下が異なります。
• センサドライブパルスを出力しない
• 計測カウンタのイネーブル、リセット信号を出力しない

TSOD	TSm全端子出力制御ビット
0	静電容量計測モード
1	TSm端子からIOCSELビットで選択した信号を出力 （複数電極接続（MEC: Multiple Electrode Connection）機能用またはキャリブレーション用）

複数電極接続（MEC）機能またはCTSUのキャリブレーションを行う場合に使用します。
本ビットを1にした場合、IOCSELビットで指定した信号がTSm端子から出力されます。

TSOD	IOCSEL	計測端子のモード選択
0	0	静電容量計測モード
0	1	–
1	0	MEC機能を選択した場合、計測に設定した全TSm端子から センサドライブパルスが出力されます。 MEC機能を使用する場合は、CTSUCRAL.MD0ビットを0 （シングルスキャンモード）に設定してください。
1	1	IOCビットで指定したレベルがTSm端子から出力されます。

27.2.12 CTSUセンサユニットクロック制御レジスタ AL, AH, BL, BH（CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3）

★ CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000H になります。

図27 - 17 CTSUセンサユニットクロック制御レジスタ AL, AH, BL, BH（CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3）のフォーマット (1/2)

アドレス ：F052CH, F052DH (CTSUSUCLK0), F052EH, F052FH (CTSUSUCLK1), F0530H, F0531H (CTSUSUCLK2), F0532H, F0533H (CTSUSUCLK3)

リセット時：0000H

R/W属性 ：R/W

略号	15	14	13	12	11	10	9	8
CTSUSUCLK1	SUMULTI1[7:0]							
	7	6	5	4	3	2	1	0
	SUADJ1[7:0]							
略号	15	14	13	12	11	10	9	8
CTSUSUCLK0	SUMULTI0[7:0]							
	7	6	5	4	3	2	1	0
	SUADJ0[7:0]							
略号	15	14	13	12	11	10	9	8
CTSUSUCLK3	SUMULTI3[7:0]							
	7	6	5	4	3	2	1	0
	SUADJ3[7:0]							
略号	15	14	13	12	11	10	9	8
CTSUSUCLK2	SUMULTI2[7:0]							
	7	6	5	4	3	2	1	0
	SUADJ2[7:0]							

図27 - 17　CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH（CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3）のフォーマット (2/2)

SUMULTIx[7:0]	STCLK逓倍率設定

SUCLKを生成するために、STCLK（f_{CLK}から分周した0.5 MHzを想定）に対する逓倍率を設定します。
本設定で生成されるSUCLKに応じてSUADJx[7:0]ビットが更新されます。
SUCLKの周波数は、16 MHz～32 MHzに設定する必要があります。
SUCLKの周波数は、下記の式にて算出できます。
SUCLK = STCLK × SUMULTIx[7:0]ビットでのSUCLK逓倍率設定

0	0	0	0	0	0	0	0	1逓倍
:	:	:	:	:	:	:	:	:
0	0	1	1	1	1	1	1	64逓倍
:	:	:	:	:	:	:	:	:
0	1	1	1	1	1	1	1	128逓倍
:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	1	1	256逓倍

SUADJx[7:0]	SUCLK周波数調整

SUCLK周波数の初期値が設定されます。
SUCLKはクロックリカバリ機能によりドリフト調整され、本レジスタ値が更新されます。
更新された値は書き換えないでください。

27.2.13　CTSU トリミングレジスタ AL, AH（CTSUTRIM0, CTSUTRIM1）

CTSUTRIM0 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM0 レジスタは、上位を DACTRIM レジスタと下位を RTRIM レジスタとして 8 ビット・メモリ操作命令で設定できます。

CTSUTRIM1 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM1 レジスタは、上位を TRESULT4 レジスタと下位を SUADJD レジスタとして 8 ビット・メモリ操作命令で設定できます。

★ 図27 - 18　CTSU トリミングレジスタ AL, AH（CTSUTRIM0, CTSUTRIM1）のフォーマット

アドレス　：F0600H, F0601H (CTSUTRIM0), F0602H, F0603H (CTSUTRIM1)
リセット時：注
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUTRIM1	TRESULT4[7:0]							

7	6	5	4	3	2	1	0
SUADJD[7:0]							

略号	15	14	13	12	11	10	9	8
CTSUTRIM0	DACTRIM[7:0]							

7	6	5	4	3	2	1	0
RTRIM[7:0]							

TRESULT4[7:0]	テスト結果4
120 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

SUADJD[7:0]	SUCLKの周波数調整
ランダムパルスモード（CTSUCRAH.SDPSEL = 0）で、SUCLK周波数を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

DACTRIM[7:0]	オフセット電流調整
オフセット電流に対するDACの係数を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

RTRIM[7:0]	基準抵抗調整入力
内部基準抵抗の抵抗値を調整するために使用します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

注　リセット値は、出荷時に調整した値です。

27.2.14　CTSU トリミングレジスタ BL, BH（CTSUTRIM2, CTSUTRIM3）

CTSUTRIM2 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM2 レジスタは、上位を TRESULT1 レジスタと下位を TRESULT0 レジスタとして 8 ビット・メモリ操作命令で設定できます。

CTSUTRIM3 レジスタは、16 ビット・メモリ操作命令で設定します。また、CTSUTRIM3 レジスタは、上位を TRESULT3 レジスタと下位を TRESULT2 レジスタとして 8 ビット・メモリ操作命令で設定できます。

図27 - 19　CTSU トリミングレジスタ BL, BH（CTSUTRIM2, CTSUTRIM3）のフォーマット

アドレス　：F0604H, F0605H (CTSUTRIM2), F0606H, F0607H (CTSUTRIM3)

★ リセット時：注

R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
CTSUTRIM3	TRESULT3[7:0]							

7	6	5	4	3	2	1	0
TRESULT2[7:0]							

略号	15	14	13	12	11	10	9	8
CTSUTRIM2	TRESULT1[7:0]							

7	6	5	4	3	2	1	0
TRESULT0[7:0]							

TRESULT3[7:0]	テスト結果3
60 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

TRESULT2[7:0]	テスト結果2
30 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

TRESULT1[7:0]	テスト結果1
15 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

TRESULT0[7:0]	テスト結果0
7.5 kΩ基準負荷抵抗変動係数を格納します。 出荷時に設定された初期値が書かれています。値を書き換えないでください。	

注　リセット値は、出荷時に調整した値です。

27.2.15 静電容量センサユニット入出力と端子を兼用するポートのポート機能を制御するレジスタ

静電容量センサユニット入出力と端子を兼用するポートのポート機能を制御するために、以下のレジスタを設定してください。

- ポート・モード・レジスタ（PMxx）
- ポート・モード・コントロールA・レジスタ（PMCAxx）
- ポート・モード・コントロールT・レジスタ（PMCTxx）

詳細は、**4.3.1　ポート・モード・レジスタ（PMxx）**、**4.3.7　ポート・モード・コントロールA・レジスタ（PMCAxx）**、**4.3.8　ポート・モード・コントロールT・レジスタ（PMCTxx）**を参照してください。

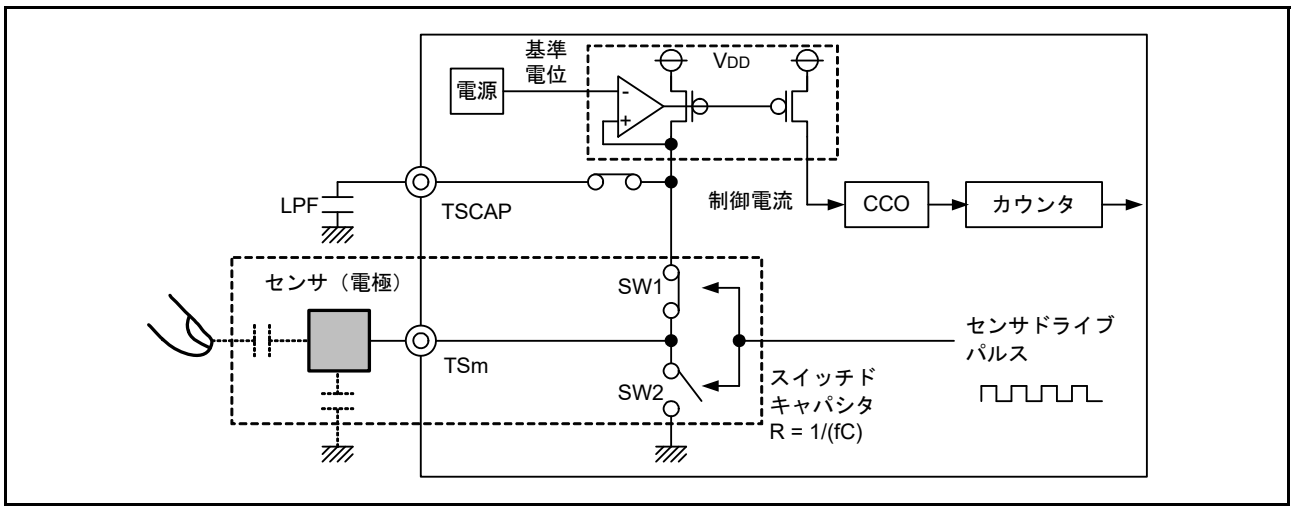
ポート機能を制御するレジスタの設定例は、**4.5.4　使用するポート機能および兼用機能のレジスタ設定例**を参照してください。

★ 27.3　動作説明

27.3.1　計測動作原理

図 27 - 20 に計測部の回路を示します。

図27 - 20　計測部の回路



備考　m = 00-28

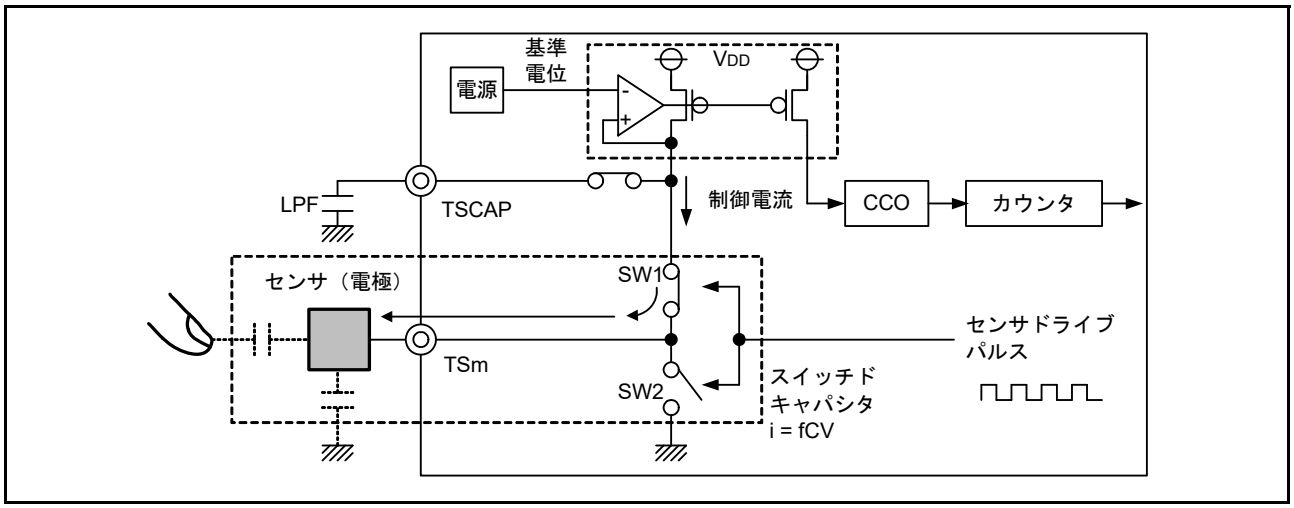
CTSU の電流周波数変換方式の静電容量計測動作の原理を、**図 27 - 21** ～**図 27 - 23** を用いて説明します。

(1)　SW1：ON、SW2：OFFにすることで、電極の静電容量が充電されます（**図27 - 21**）。

(2)　SW1：OFF、SW2：ONにすることで、充電された容量は放電されます（**図27 - 22**）。

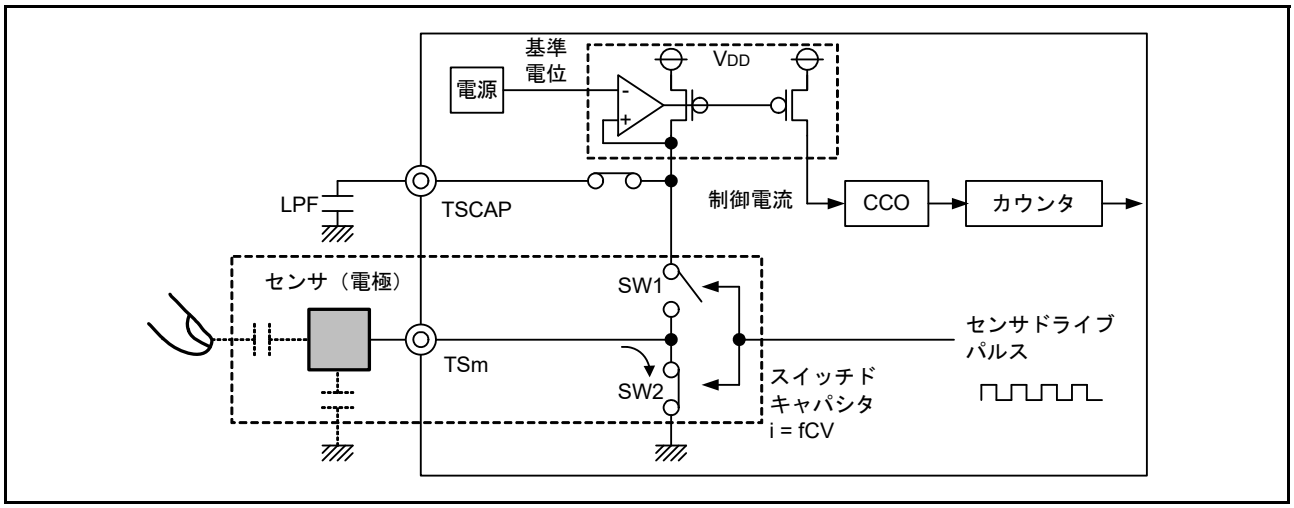
(1) と (2) の充放電を早いタイミングで切り替えることにより、スイッチドキャパシタに電流が流れます。このとき人体の接近により静電容量値が変わるため、流れる電流が変化します。TSCAP 電源を生成する電源（LDO）から、スイッチドキャパシタに流れる電流に比例した制御電流を電流制御発振器（Current Controlled Oscillator：以下 CCO）に供給することでクロックを生成します。人体の接近によって変化するクロック周波数をカウンタで計測し、読み出したカウンタ値を用いて、ソフトウェアで人体の接近を判定します（**図 27 - 23**）。

図27 - 21　充電動作



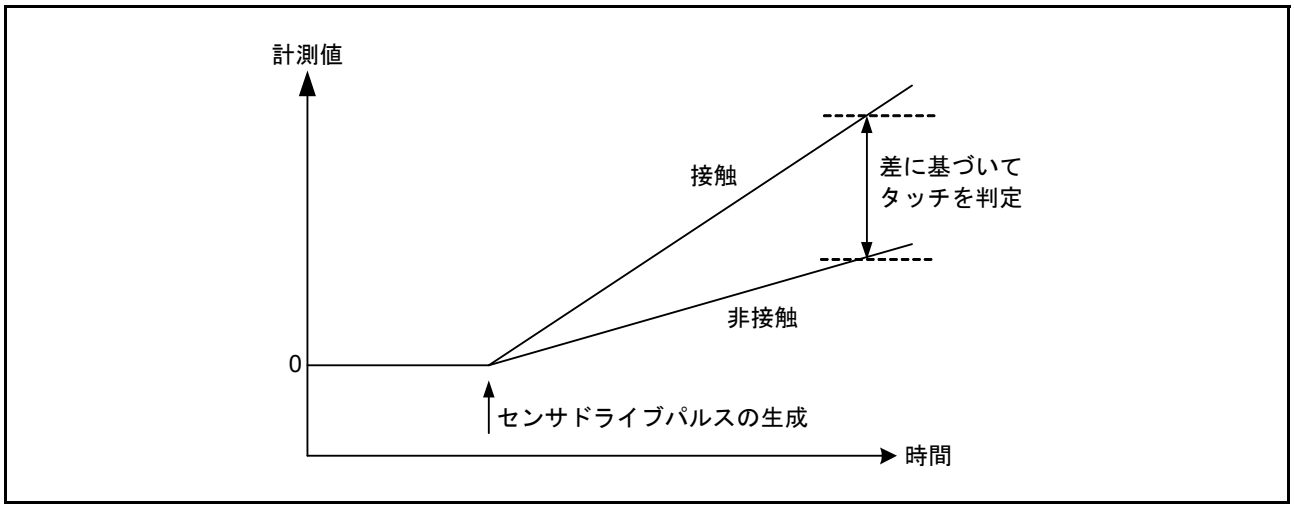
備考　m = 00-28

図27 - 22　放電動作



備考　m = 00-28

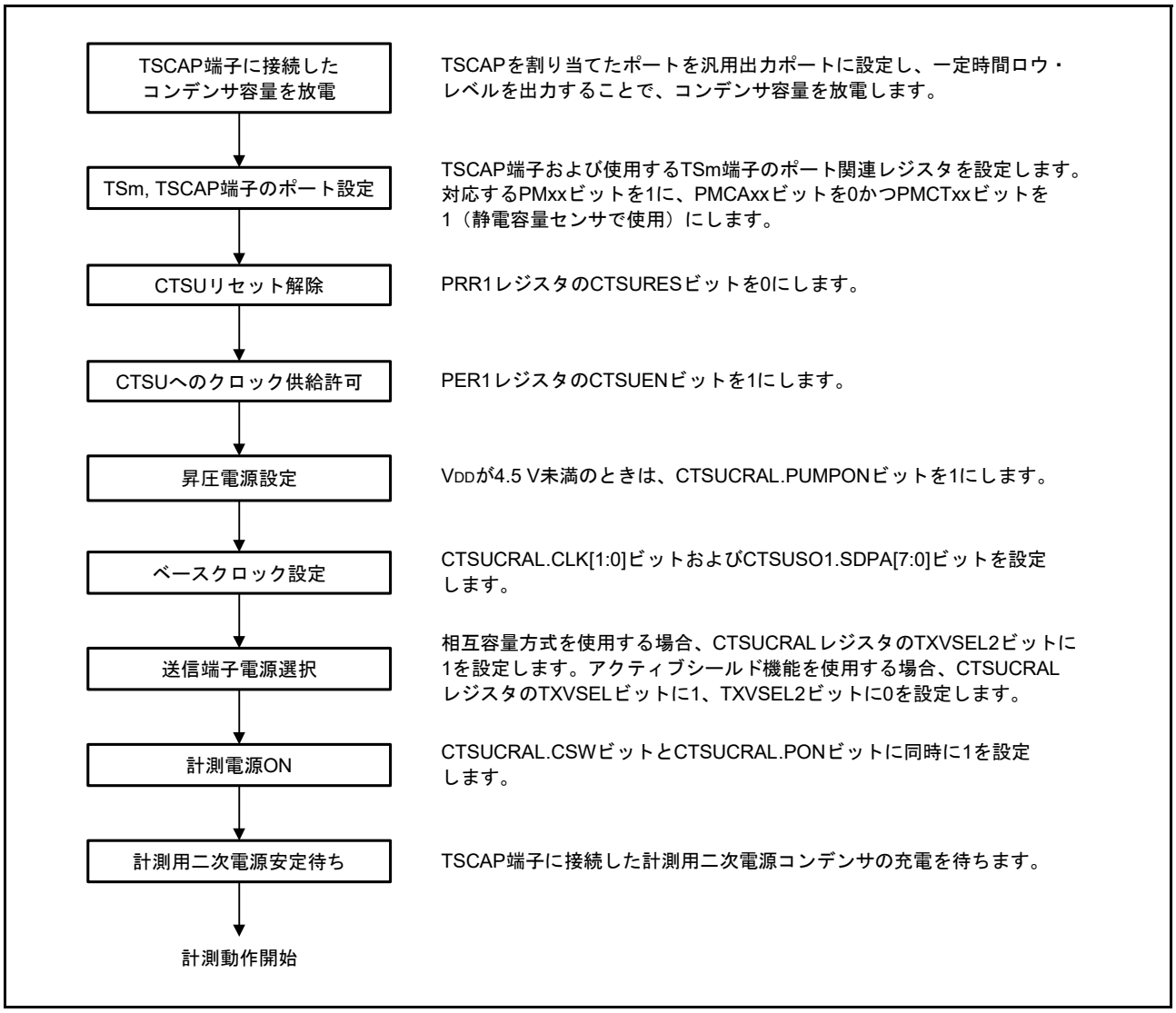
図27 - 23　接触／非接触による計測値の変化



27.3.2　初期設定手順

図 27 - 24 に CTSU の初期設定手順を示します。

図27 - 24　CTSU初期設定手順



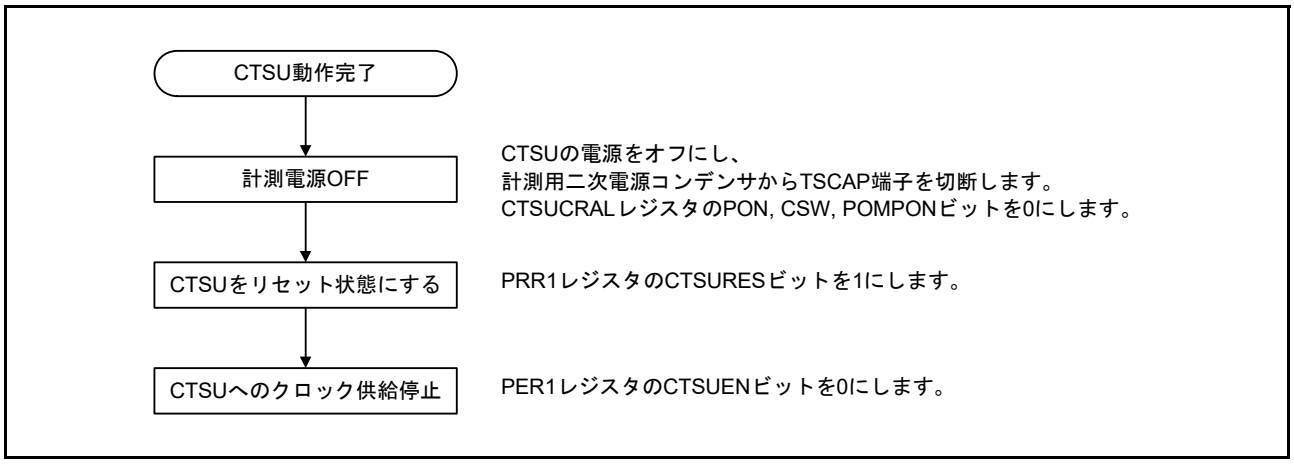
備考1. m = 00-28

備考2. xx = 0-3, 5, 7, 13, 14

ただし、PMCA1, PMCA3, PMCA5, PMCA7, PMCA13 レジスタは搭載していません。

図 27 - 25 に、CTSU の動作を停止してスタンバイ状態にするフローを示します。

図27 - 25　CTSU停止フロー

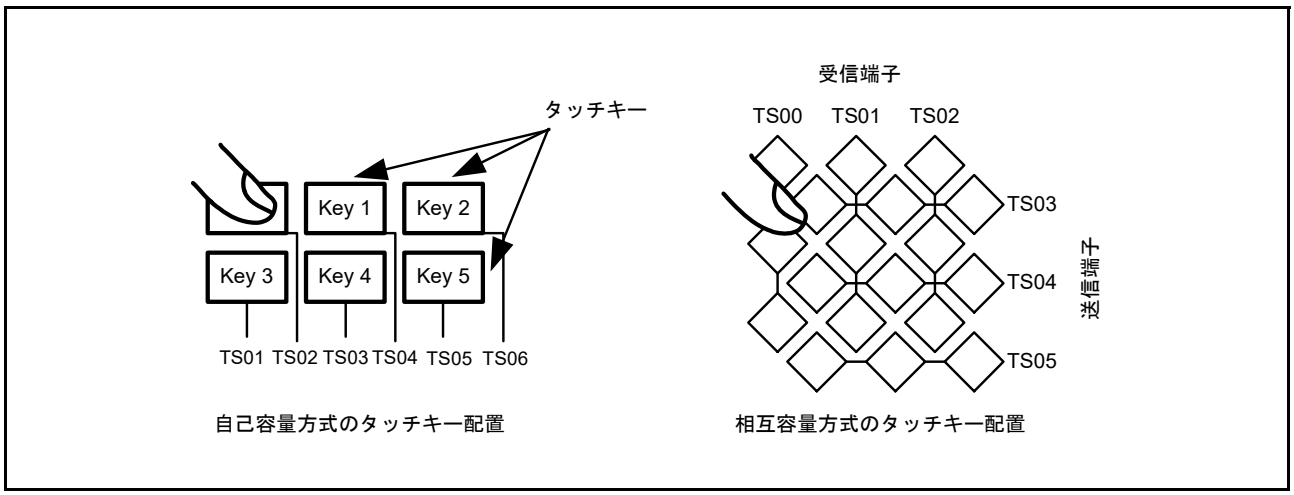


停止から再開する場合は、**図 27 - 24** の CTSU 初期設定手順に従ってください。

27.3.3　計測方式

CTSU は、自己容量方式と相互容量方式に対応しています。**図 27 - 26** に自己容量方式と相互容量方式の概要を示します。

図27 - 26　自己容量方式と相互容量方式の概要



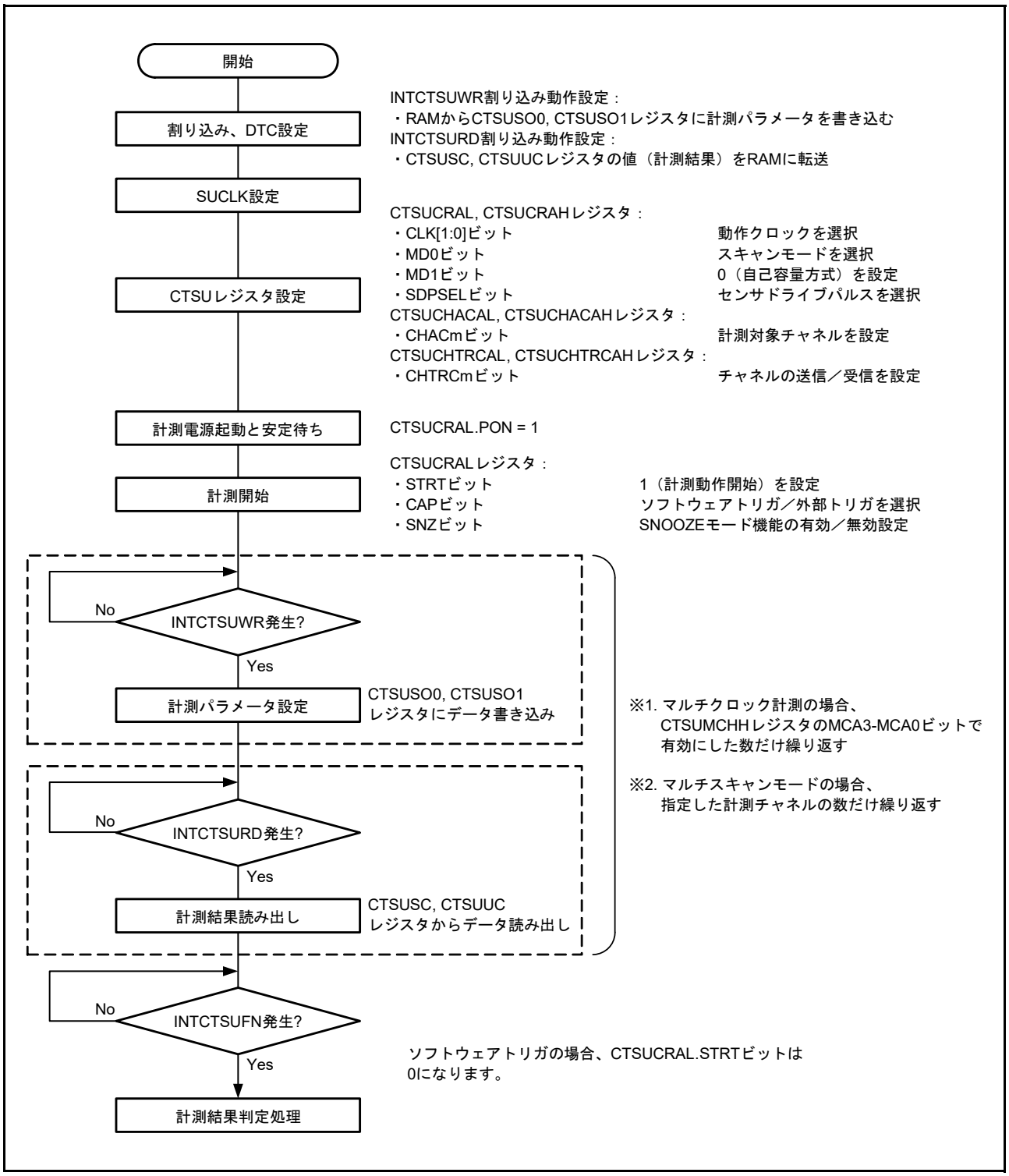
自己容量方式では、1 つのタッチキーに 1 つのタッチ端子（TSm）を割り当て、それぞれの人体の接近による静電容量を計測します。

相互容量方式では、対向する 2 つの電極（送信端子、受信端子）間の容量を計測します。

(1)　自己容量方式の動作

図27 - 27に自己容量方式の制御手順を示します。

図27 - 27　自己容量方式の制御手順



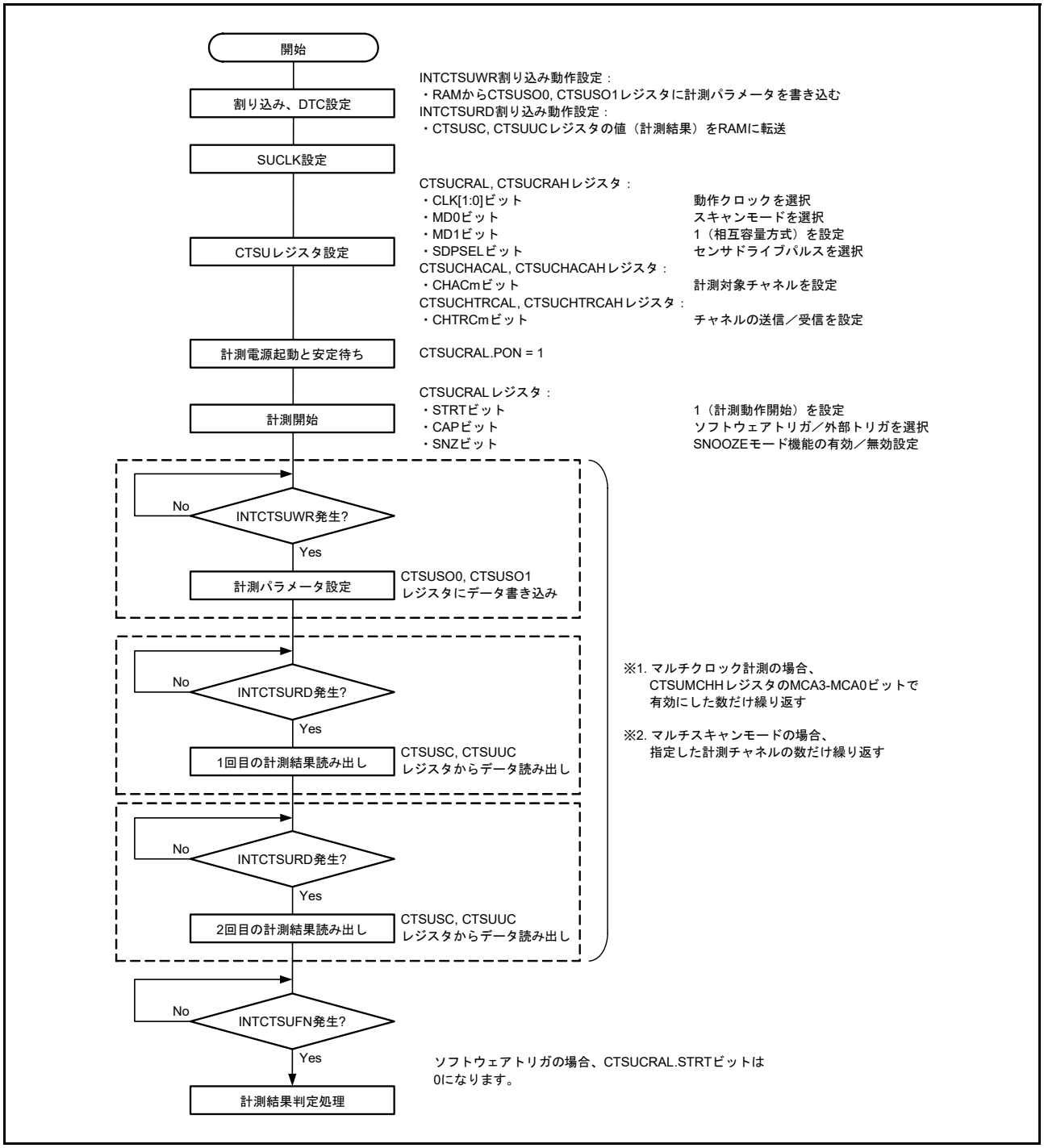
備考　m = 00-28

(2)　相互容量方式の動作

相互容量方式は受信チャネルのセンサドライブパルスがハイ・レベルの期間に、計測対象の送信チャネルにエッジを印加して計測を行います。1つの計測対象に対して立ち上がりエッジと立ち下がりエッジの2回の計測を行います。この2回の計測データの差異からタッチ判定を行います。設定した送信端子と受信端子のすべての組み合わせで静電容量を計測します。

図27 - 28に相互容量方式の制御手順を示します。

図27 - 28　相互容量方式の制御手順



備考　m = 00-28

27.3.4　スキャンモード

スキャンモードは、シングルスキャンモードとマルチスキャンモードの 2 つのモードがあります。CTSUCRAL.MD0 ビットでスキャンモードを選択します。

(1) シングルスキャンモード
CTSUMCHL レジスタのMCH0[5:0] ビットで指定した受信チャネル、MCH1[5:0] ビットで指定した送信チャネルの組み合わせで、1回だけ計測を行います。

(2) マルチスキャンモード
CTSUCHACAL, CTSUCHACAH レジスタで計測対象としたチャネルのうち、CTSUCHTRCAL, CTSUCHTRCAH レジスタで選択した受信チャネル、送信チャネルのすべての組み合わせに対して、それぞれ1回ずつ計測を行います。
受信チャネル、送信チャネルともにチャネル番号の小さい方から順に選択します。1つの送信チャネルに対してすべての受信チャネルの組み合わせによる計測が完了すると、送信チャネルが切り替わります。

27.3.5　マルチクロック計測

周波数の異なる複数のクロックを順次切り替えて計測を行います。高分解能パルスモード（CTSUCRAH.SDPSEL = 1）のときに有効です。

計測に使用するクロック（SUCLKx）は、CTSUMCHH レジスタの MCAx ビット（x = 3-0）で指定してください。また、各クロックの周波数は CTSUSUCLKx レジスタで設定してください。

計測は SUCLK0 から昇順に行います。指定されたすべてのクロックによる計測が完了すると、次のチャネルの計測を開始します。

27.3.6　複数電極接続機能

複数電極接続（MEC: Multiple Electrode Connection）機能では、複数の電極を 1 つの電極として扱います。この機能を使用すると、複数の電極を一度にまとめて計測することができます。

CTSUCRAL.MD1 = 0（自己容量方式）、CTSUCRAL.MD0 = 0（シングルスキャンモード）、CTSUDBGR0.TSOD = 1 かつ CTSUDBGR0.IOCSEL = 0（複数電極接続機能）に設定した場合、CTSUCHACAL, CTSUCHACAH レジスタの CHACm ビットを 1（計測対象）、CTSUCHTRCAL, CTSUCHTRCAH レジスタの CHTRCm ビットを 0（受信）に設定したすべての TSm 端子からセンサドライブパルスを出力します。この機能を使用することで、選択した TSm 端子に接続された全電極の静電容量の合計値を計測することができます。

この機能を使用してタッチ検出をした場合、計測を許可したどの電極の静電容量が変化したかは判別できません。タッチ判定された電極を判別したい場合は、TSOD ビットを 0 かつ IOCSEL ビットを 0（静電容量計測モード）にして、各電極の静電容量を計測してください。

備考　m = 00-28

27.3.7　割り込み

CTSU には、以下の 3 種類の割り込みがあります。

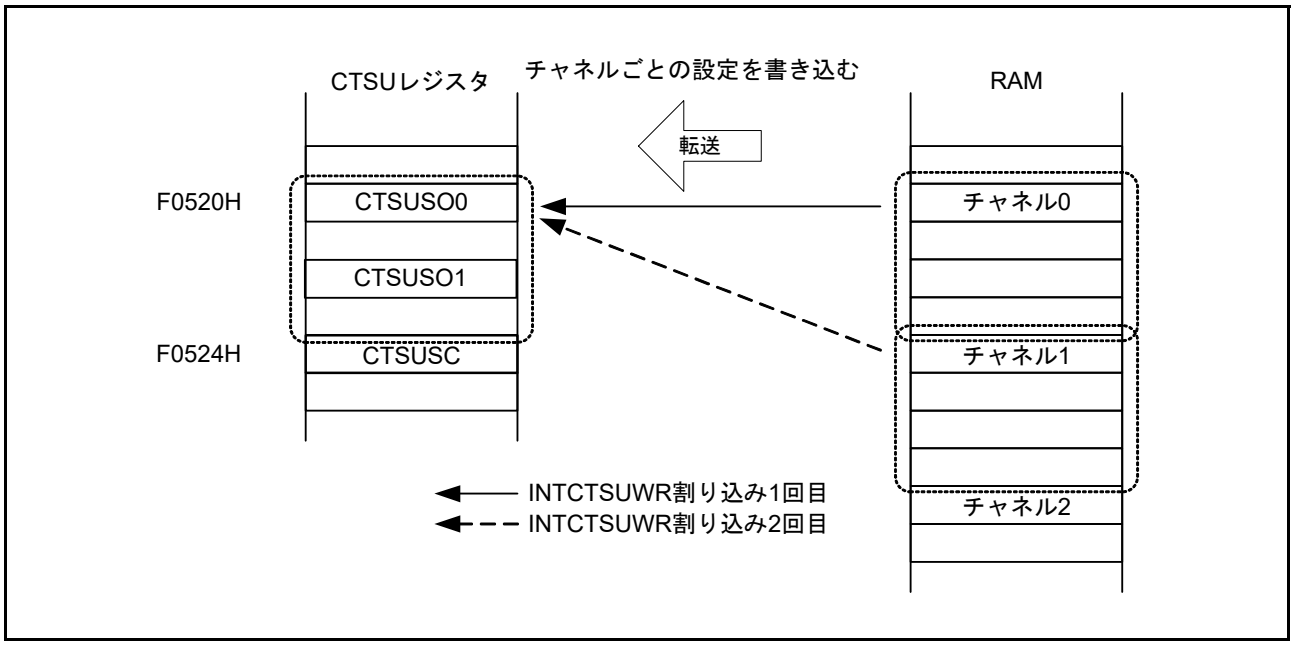
- CTSUチャネルごとの設定レジスタ書き込み要求割り込み（INTCTSUWR）
- CTSU計測データ転送要求割り込み（INTCTSURD）
- CTSU計測終了割り込み（INTCTSUFN）

(1)　INTCTSUWR割り込み

計測チャネルごとの設定データをRAM上に用意し、あらかじめINTCTSUWR割り込みに対応した転送設定を行います。INTCTSUWR割り込みは計測ステータスがStatus 1からStatus 2に遷移したときに発生します。

本割り込み要求では、設定データをCTSUSO0, CTSUSO1 レジスタに書き込んでください。CTSUSO1 レジスタにデータを書き込むと、計測ステータスはStatus 3に遷移します。

図27 - 29　INTCTSUWR割り込み時のデータ転送動作



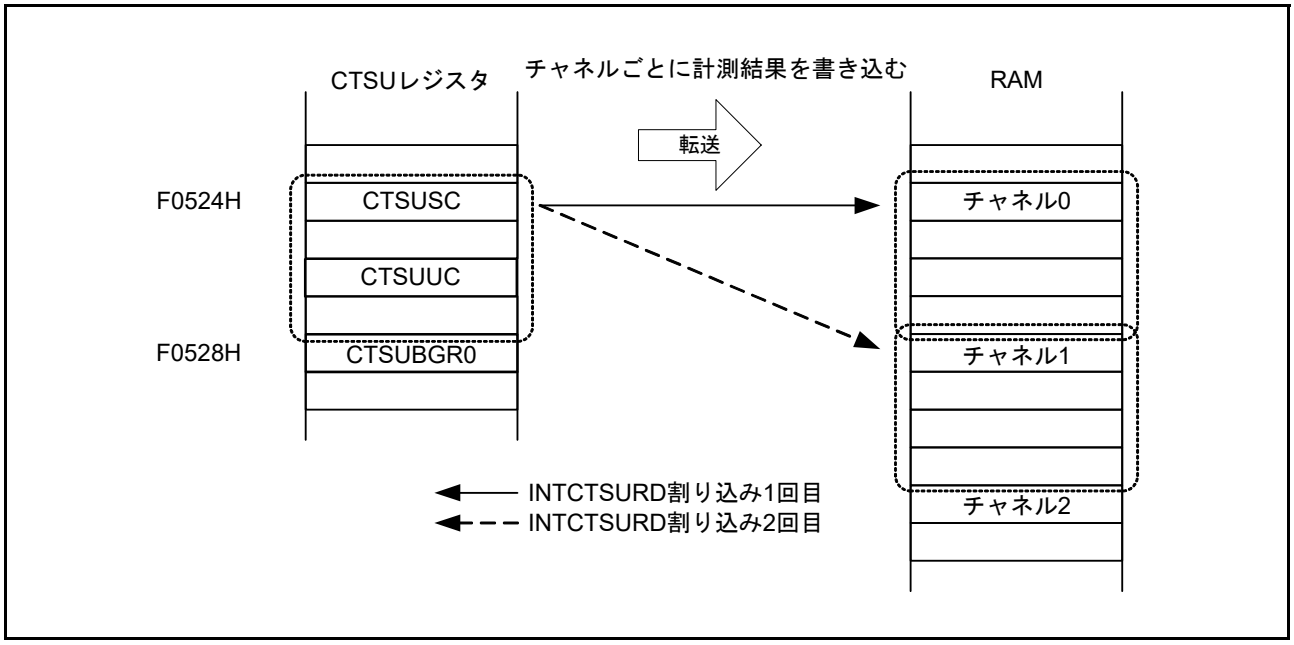
(2) INTCTSURD割り込み

INTCTSURD割り込みは、1チャネルの計測が終了し、計測ステータスがStatus 5からStatus 1に遷移したときに発生します。

計測結果（センサカウンタ値）をCTSUSCレジスタから読み出してください。CTSUUCレジスタの読み出しが必要な場合は、CTSUDBGR0.CNTRDSEL = 1（2回読み出しで次のステートに遷移）にしてください。

CTSUSC, CTSUUCレジスタをCNTRDSELビットで指定した回数読み出すと、計測ステータスはStatus 0またはStatus 2に遷移します。

図27 - 30　INTCTSURD割り込み時のデータ転送動作



(3) INTCTSUFN割り込み

INTCTSUFN割り込みは、指定したすべてのチャネルの計測が終了し、計測ステータスがStatus 1からStatus 0に遷移したときに発生します。

★ 27.4 静電容量センサユニット使用時の注意事項

27.4.1 静電容量センサユニットによる検出動作の評価について

製品開発の最終工程では、製品出荷時に近い条件でシステムを動作させ、タッチセンサの検出結果の妥当性を判断する必要があります。評価には「QE for Capacitive Touch」（静電容量式タッチセンサ開発支援ツール）を用意しています。静電容量の計測状況を監視し、十分な評価をしてください。期待した結果が得られない場合は、「QE for Capacitive Touch」を使用して CapTouch パラメータ（主にタッチしきい値）を調整し、再評価してください。

特に CTSU を相互容量方式で使用する場合、マイコンのポート出力状態によっては送信電極の出力電圧が変動することにより、静電容量計測値（カウント値）が変動する可能性があります。

このような現象が発生する場合は、QE for Capacitive Touch でタッチしきい値の調整を行い、カウント値の変動を考慮したタッチしきい値を設定してください。自己容量方式では、このような変動は起こりません。

27.4.2 TSCAP端子

TSCAP 端子には、CTSU の内部電圧を安定させるためのコンデンサを接続する必要があります。TSCAP 端子とコンデンサ間、およびコンデンサと GND 間の配線は、できるだけ太く、短くしてください。

表 27 - 3 に TSCAP 端子に接続するコンデンサの条件を示します。

表27 - 3 TSCAP端子に接続するコンデンサの条件

項目	記号	条件
TSCAP端子外付け平滑コンデンサ容量	C_{TSCAP}	10 nF ±10%注

注 静電容量の公称値が10 nF、静電容量許容差が±10%以下の積層セラミックコンデンサを使用してください。温度特性はX7R(EIA)等、±15%以下のものから使用環境にあわせて選択してください。

TSCAP 端子に接続されたコンデンサは、CTSUCRAL.CSW = 1（外部容量接続スイッチ ON）にする前に、TSCAP 機能が割り当てられたポートからロウ・レベルを出力し、完全に放電させてください。

27.4.3 計測動作中のクロック、ポート設定の変更

計測動作中（CTSUCRAL.STRT = 1）に、CPU ／周辺ハードウェア・クロック（f_{CLK}）を変更／停止しないでください。また、計測端子（TSm, TSCAP）のポート設定を変更しないでください。変更する場合は、CTSU の強制停止（CTSUCRAL.INIT = 1 と STRT = 0 を同時に書き込む）を行ってください。CTSU の再計測を行う場合は、以下のいずれかの手順で初期化してください。

- PRR1.CTSURES = 1, PER1.CTSUEN = 0を書いたあとで、**27.3.2 初期設定手順**に従って初期設定を行う
- CTSUCRAL.PON, CTSUCRAL.CSW = 00B, CTSUCRAL.SNZ = 0を書いたあとで、**27.3.2 初期設定手順**に従って初期設定を行う

27.4.4 ソフトウェアトリガ

CTSUCRAL.CLK[1:0] ビットに 10B（f_{CLK}/4）または 11B（f_{CLK}/8）を設定した場合、計測終了後すぐに計測を再開させるときは、割り込み発生から以下の時間が経過してから CTSUCRAL.STRT ビットに 1 を書いてください。

- CLK[1:0] = 10B（f_{CLK}/4）の場合：3サイクル以上
- CLK[1:0] = 11B（f_{CLK}/8）の場合：7サイクル以上

27.4.5　外部トリガ

計測期間中に外部トリガ（ELC からのイベント）が入力された場合、そのトリガは無視されます。外部トリガ入力は、INTCTSUFN 割り込みが発生してから、動作クロックの 1 サイクル後に有効になります。

外部トリガモードを解除（強制停止）するには、CTSUCRAL.STRT ビットに 0、CTSUCRAL.INIT ビットに 1 を同時に書き込んでください。

外部トリガを使用する場合は、以下の手順で設定を行ってください。

① CTSU の初期設定

② CTSUCRAL.STRT = 0（計測動作停止）の状態で、ELC のイベントリンク先の機能に静電容量センサユニットを選択

③ CTSUCRAL.CAP = 1（外部トリガ）に設定したあと、CTSUCRAL.STRT = 1（計測動作開始）に設定

④ 外部トリガ要因を発生させる周辺機能の動作を開始

27.4.6　CTSUセンサカウンタレジスタ（CTSUSC, CTSUUC）読み出し

計測中（計測ステータスが Status 3 ～ Status 5）の期間に CTSU センサカウンタレジスタ（CTSUSC, CTSUUC）を読み出さないでください。読み出した場合、その値は保証できません。

27.4.7　強制停止

計測中に強制停止させる場合は、CTSUCRAL.STRT ビットに 0 を書くのと同時に CTSUCRAL.INIT ビットに 1 を書いてください。INIT ビットに 1 を書くことで、内部計測状態の初期化に加え、以下のレジスタが初期化されます。

- CTSUSC, CTSUUC レジスタ
- CTSUMCHL, CTSUMCHH レジスタ
- CTSUSRL レジスタ（ICOMP0, ICOMP1 ビットを除く）

強制停止させた場合、内部状態によっては割り込み要求が発生することがあります。強制停止を要求するタイミングで割り込みや DTC の停止／無効処理を行ってください。

また、DTC を使用して CTSU の制御を行っていた場合に DTC 転送を停止させるときは、CTSU も強制停止を行い、初期化処理を行ってください。

27.4.8　スペクトラム拡散機能使用時のサンプリング周期

スペクトラム拡散機能が ON（CTSUCRBL.SOFF = 0）の場合、センサドライブパルスのサンプリング周期は、センサドライブパルス周期の 1/4 未満となるように、CTSUCRAL.CLK[1:0] ビットと CTSUSO1.SDPA[7:0] ビットで設定してください。

27.4.9　自己容量方式使用時の送信端子設定

自己容量方式時の送信端子は、計測には使用できません。送信端子から計測パルスと同相のパルスが出力されます。基板上のアクティブシールドとして使用してください。ただし、CTSUCRAL.ATUNE0 = 1（計測電源電圧 = 1.2 V）のときは、アクティブシールド機能を使用することはできません。また、自己容量方式では、同時に複数の TSm 端子を送信端子として割り当てないでください。

27.4.10　ノイズ対策上の注意点

VDD 電源がノイズ等により変動すると計測結果が変動する場合があります。また、VDD 電源にリップルノイズが印加されている場合、リップルノイズの周波数帯域によっては、静電容量センサユニットの制御電流が変化（減少）し、静電容量の計測値が減少する場合があります。詳細は、**静電容量タッチリップル対策ガイド アプリケーションノート（R30AN0453）**を参照してください。

これらの点に注意して、電源回路を設計してください。

表 27 - 4 に VDD 電源リップルノイズによる計測静電容量減少特性（参考値）、**図 27 - 31** に計測静電容量の減少量（参考値）を示します。

表27 - 4　VDD電源リップルノイズによる計測静電容量減少特性（参考値）

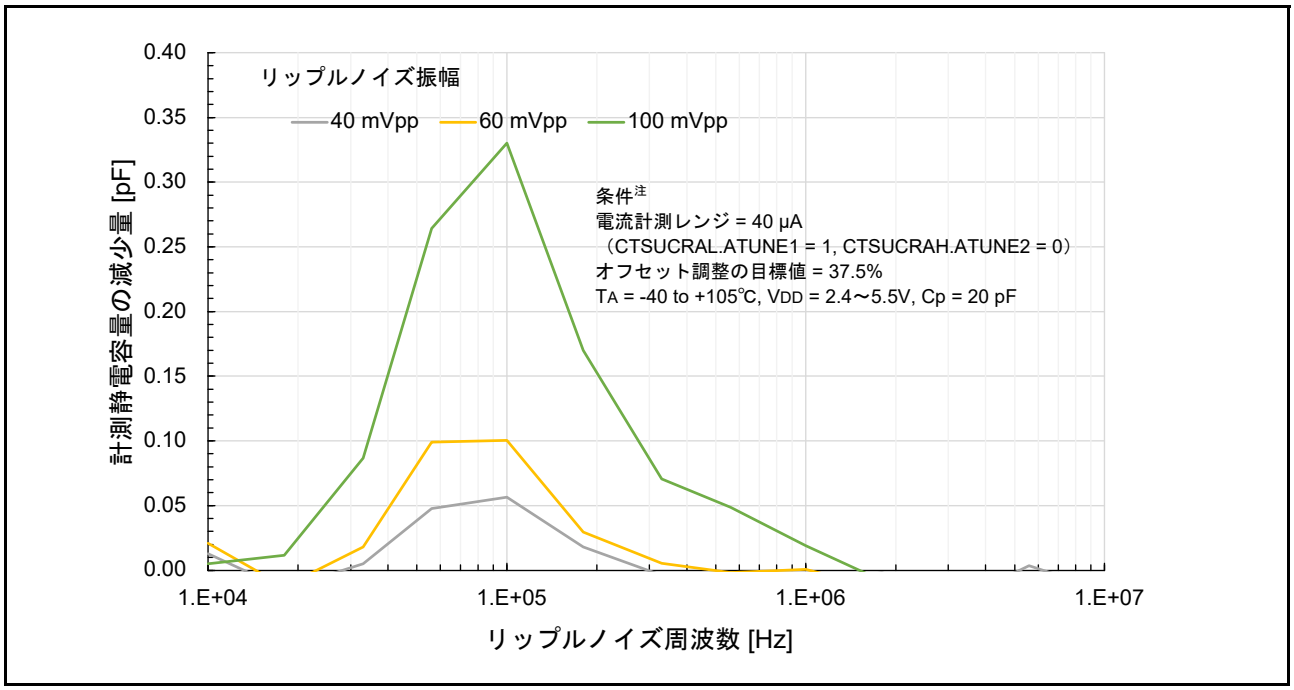
（TA = –40～+105°C, 2.4 V≦VDD≦5.5 V, VSS = 0 V, Cp = 20 pF）

項目	略号	条件		Min.	Typ.	Max.	単位
計測静電容量減少特性注	Cdown	リップルノイズ周波数 ＜ 20 kHz	リップルノイズ振幅 100 mVpp	–	–	0.02	pF
		20 kHz ≦リップルノイズ周波数 ≦ 2 MHz	リップルノイズ振幅 40 mVpp	–	–	0.06	
			リップルノイズ振幅 60 mVpp	–	–	0.10	
			リップルノイズ振幅 100 mVpp	–	–	0.33	
		2 MHz ＜ リップルノイズ周波数	リップルノイズ振幅 100 mVpp	–	–	0.01	

注　下記条件の場合の値です。
- 自己容量方式（CTSUCRAL.MD1 = 0）に設定
- 電流計測レンジを40 μA（CTSUCRAL.ATUNE1 = 1, CTSUCRAH.ATUNE2 = 0）に設定
- オフセット調整の目標値を37.5%に設定

備考　Cp: 寄生容量

図27 - 31　計測静電容量の減少量（参考値）



注　条件の詳細は、**静電容量センサマイコン QE for Capacitive Touch アドバンスドモード (高度な設定) パラメータガイド アプリケーションノート（R30AN0428）**を参照してください。

27.4.11　メモリ占有量

タッチボタンの構成によって、静電容量センサユニットを動作させるために必要なメモリ容量が異なります。詳細は、下記アプリケーションノートを参照してください。

– **RL78 ファミリ CTSU モジュール Software Integration System（R11AN0484）**

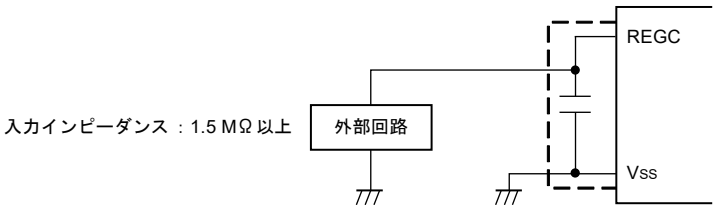
– **RL78 ファミリ TOUCH モジュール Software Integration System（R11AN0485）**

第28章　レギュレータ

28.1　レギュレータの概要

本製品は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定として、コンデンサ（0.47 ～ 1 μF）を介し、Vss に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

REGC 端子を外部回路の基準電圧として使用することができます。REGC 端子に接続する外部回路の入力インピーダンスは 1.5 MΩ 以上にしてください。REGC 端子の電圧は 1.5 V（Typ.）、電圧範囲は 1.38 ～ 1.60 V になります。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、1.5 V です。

第29章　オプション・バイト

29.1　オプション・バイトの機能

本製品のフラッシュ・メモリの 000C0H-000C3H は、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3H は 020C0H-020C3H と切り替わるので、020C0H-020C3H にも 000C0H-000C3H と同じ値を設定してください。

注意　オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

29.1.1　ユーザ・オプション・バイト（000C0H-000C2H/020C0H-020C2H）

(1)　000C0H/020C0H

- ウォッチドッグ・タイマの動作
  - カウンタの動作許可／禁止
  - HALT/STOP モード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウィンドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
  - インターバル割り込みを使用する／使用しない

注意　ブート・スワップ時は、000C0H と 020C0H が切り替わるので、020C0H にも 000C0H と同じ値を設定してください。

(2)　000C1H/020C1H

- LVD0 の動作モード設定
  - リセット・モード
  - 割り込みモード
  - LVD0 オフ（$\overline{\text{RESET}}$ 端子による外部リセット入力を使用）
- LVD0 検出レベル（V_{LVD0}）の設定

注意 1. 電源立ち上がり時は、34.4　AC 特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に STOP モードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は、ユーザ・オプション・バイト（000C2H/020C2H）の設定により変わります。

注意 2. ブート・スワップ時は、000C1H と 020C1H が切り替わるので、020C1H にも 000C1H と同じ値を設定してください。

(3)　000C2H/020C2H

- フラッシュ動作モードの設定
  使用するメイン・システム・クロック周波数（f_{MAIN}）、電源電圧（V_{DD}）に応じて設定
  – LS（低速メイン）モード
  – HS（高速メイン）モード
  – LP（低電力メイン）モード
- 高速オンチップ・オシレータの周波数設定
  – 1 ～ 32 MHz から選択

注意　ブート・スワップ時は、000C2Hと020C2Hが切り替わるので、020C2Hにも000C2Hと同じ値を設定してください。

29.1.2　オンチップ・デバッグ・オプション・バイト（000C3H/020C3H）

- オンチップ・デバッグ動作制御
  – オンチップ・デバッグ動作禁止／許可
- セキュリティ ID認証失敗時のフラッシュ・メモリ・データの処理
  – オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は、000C3Hと020C3Hが切り替わるので、020C3Hにも000C3Hと同じ値を設定してください。

29.2　ユーザ・オプション・バイトのフォーマット

図29 - 1　ユーザ・オプション・バイト（000C0H/020C0H）のフォーマット

アドレス　：000C0H/020C0H注1

略号	7	6	5	4	3	2	1	0
	WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/4 fIL到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウィンドウ・オープン期間注2
0	0	設定禁止
0	1	50%
1	0	設定禁止
1	1	100%

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後、カウント停止）
1	カウンタ動作許可（リセット解除後、カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （fIL = 37.683 kHz (Max.)の場合）
0	0	0	2^7/fIL (3.39 ms)
0	0	1	2^8/fIL (6.79 ms)
0	1	0	2^9/fIL (13.58 ms)
0	1	1	2^{10}/fIL (27.17 ms)
1	0	0	2^{12}/fIL (108.69 ms)
1	0	1	2^{14}/fIL (434.78 ms)
1	1	0	2^{15}/fIL (869.56 ms)
1	1	1	2^{17}/fIL (3478.26 ms)

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時、カウンタ動作停止注2
1	HALT/STOPモード時、カウンタ動作許可

注1.　ブート・スワップ時は、000C0Hと020C0Hが切り替わるので、020C0Hにも000C0Hと同じ値を設定してください。

注2.　WDSTBYON = 0のときは、WINDOW1, WINDOW0ビットの値にかかわらず、ウィンドウ・オープン期間100%となります。

備考　WDTON = 1のとき、IAWCTLレジスタのIAWENビットが0（不正メモリ・アクセスの検出無効）でも不正メモリ・アクセスの検出機能は有効となります。

図29 - 2　ユーザ・オプション・バイト（000C1H/020C1H）のフォーマット

アドレス　：000C1H/020C1H注

略号	7	6	5	4	3	2	1	0
	LVD0EN	LVD0SEL	1	1	1	LVD0V2	LVD0V1	LVD0V0

LVD0の設定（リセット・モード）

検出電圧		オプション・バイト設定値				
V_{LVD0}		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	1	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—		上記以外は設定禁止				

LVD0の設定（割り込みモード）

検出電圧		オプション・バイト設定値				
V_{LVD0}		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
1.69 V	1.65 V	1	0	1	1	1
1.90 V	1.86 V			1	1	0
2.38 V	2.33 V			1	0	1
2.67 V	2.62 V			1	0	0
2.97 V	2.91 V			0	1	1
3.96 V	3.88 V			0	1	0
—		上記以外は設定禁止				

LVD0オフ（$\overline{\text{RESET}}$端子により外部リセットを使用）

検出電圧		オプション・バイト設定値				
V_{LVD0}		LVD0EN	モード設定	LVD0V2	LVD0V1	LVD0V0
立ち上がり	立ち下がり		LVD0SEL			
—	—	0	×	0	1	0
—		上記以外は設定禁止				

注　ブート・スワップ時は、000C1Hと020C1Hが切り替わるので、020C1Hにも000C1Hと同じ値を設定してください。

（注意、備考は次ページに続きます）

注意1. **ビット5-3には、必ず1を書き込んでください。**

注意2. **電源立ち上がり時は、34.4　AC特性に示す動作電圧範囲まで電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前にSTOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。**
動作電圧範囲は、ユーザ・オプション・バイト（000C2H/020C2H）の設定により変わります。

備考1. ×：Don't care

備考2. LVD0の詳細は、**第23章　電圧検出回路（LVD）**を参照してください。

備考3. 検出電圧はTyp.値です。詳細は、**34.6.5　LVD回路特性**を参照してください。

図29 - 3　ユーザ・オプション・バイト（000C2H/020C2H）のフォーマット

アドレス　：000C2H/020C2H注

略号	7	6	5	4	3	2	1	0
	CMODE1	CMODE0	1	0	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュ動作モード	動作周波数範囲	動作電圧範囲
0	1	LP（低電力メイン）モード	1～2 MHz（フラッシュ・メモリ書き換え不可）	1.6～5.5 V
1	0	LS（低速メイン）モード	1～4 MHz（フラッシュ・メモリ書き換え不可）	1.6～5.5 V
			1～24 MHz	1.8～5.5 V
1	1	HS（高速メイン）モード	1～4 MHz（フラッシュ・メモリ書き換え不可）	1.6～5.5 V
			1～32 MHz	1.8～5.5 V
上記以外		設定禁止		

FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数
1	0	0	0	32 MHz
0	0	0	0	24 MHz
1	0	0	1	16 MHz
0	0	0	1	12 MHz
1	0	1	0	8 MHz
0	0	1	0	6 MHz
1	0	1	1	4 MHz
0	0	1	1	3 MHz
1	1	0	0	2 MHz
1	1	0	1	1 MHz
上記以外				設定禁止

注　ブート・スワップ時は、000C2Hと020C2Hが切り替わるので、020C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5, 4には、必ず10Bを書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュ動作モードによって異なります。詳細は、34.4　AC特性を参照してください。

29.3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図29 - 4　オンチップ・デバッグ・オプション・バイト（000C3H/020C3H）のフォーマット

アドレス　：000C3H/020C3H注

略号	7	6	5	4	3	2	1	0
	OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID認証失敗時にフラッシュ・メモリのデータを消去しない

注　ブート・スワップ時は、000C3Hと020C3Hが切り替わるので、020C3Hにも000C3Hと同じ値を設定してください。

注意　**ビット7, 0（OCDENSET, OCDERSD）のみ、値を指定できます。**
ビット6-1には、必ず000010Bを書き込んでください。

備考　ビット3-1は、オンチップ・デバッグ機能使用時に値が書き換わるので、設定後は不定となります。ただし、設定時にはビット3-1にも、必ず初期値（010B）を設定してください。

29.4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定のほかにリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

```
        .CSEG   OPT_BYTE
        .DB     0x36    ; ウォッチドッグ・タイマのインターバル割り込みを使用しない、
                        ; ウォッチドッグ・タイマ動作許可、
                        ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、
                        ; ウォッチドッグ・タイマのオーバフロー時間2^10/fIL、
                        ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
        .DB     0xBF    ; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択
                        ; LVD0の動作モードに割り込みモードを選択
        .DB     0x6D    ; フラッシュ動作モードにLP（低電力メイン）モード、
                        ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
        .DB     0x85    ; オンチップ・デバッグ動作許可、セキュリティ ID認証失敗時に
                        ; フラッシュ・メモリのデータを消去しない。
```

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3H は 020C0H-020C3H と切り替わります。そのため 020C0H-020C3H にも 000C0H-000C3H と同じ値を、次のように記述してください。

```
OPT2    .CSEG   AT      0x020C0
        .DB             0x36    ; ウォッチドッグ・タイマのインターバル割り込みを使用しない、
                                ; ウォッチドッグ・タイマ動作許可、
                                ; ウォッチドッグ・タイマのウィンドウ・オープン期間50%、
                                ; ウォッチドッグ・タイマのオーバフロー時間2^10/fIL、
                                ; HALT/STOPモード時、ウォッチドッグ・タイマの動作停止
        .DB             0xBF    ; VLVD0に立ち上がり1.69 V、立ち下がり1.65 Vを選択
                                ; LVD0の動作モードに割り込みモードを選択
        .DB             0x6D    ; フラッシュ動作モードにLP（低電力メイン）モード、
                                ; 高速オンチップ・オシレータ・クロック周波数1 MHzを選択
        .DB             0x85    ; オンチップ・デバッグ動作許可、セキュリティ ID認証失敗時に
                                ; フラッシュ・メモリのデータを消去しない。
```

注意　オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために020C0H-020C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第30章　フラッシュ・メモリ

本製品は、プログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能なコード・フラッシュ・メモリ領域、データの格納に最適なデータ・フラッシュ・メモリ領域、フラッシュ・メモリの動作設定やセキュリティ設定を格納するエクストラ領域があります。

フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス（UART 通信）によるシリアル・プログラミングまたはセルフ・プログラミングで書き換えることができます。

- フラッシュ・メモリ・プログラマによるシリアル・プログラミング（**30.1**参照）
  専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。
- 外部デバイス（UART内蔵）によるシリアル・プログラミング（**30.2**参照）
  外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。
- セルフ・プログラミング（**30.6**参照）
  ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

注意　フラッシュ・メモリを書き換える際、中速オンチップ・オシレータは停止（MIOEN = 0）させ、メイン・オンチップ・オシレータ・クロック（foco）は高速オンチップ・オシレータを選択（MCM1 = 0）してください。フラッシュ動作モード選択レジスタ（FLMODE）は変更しないでください。

データ・フラッシュ・メモリは、セルフ・プログラミングを利用して、ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュ・メモリへのアクセスや書き込みについては、**30.6　セルフ・プログラミング**および**30.10　データ・フラッシュ・メモリ**を参照してください。

コード・フラッシュ・メモリとデータ・フラッシュ・メモリには書き換わりを保護する機能があります。詳細は、**24.3.3　フラッシュ・メモリ・ガード機能**を参照してください。

30.1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

本製品の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP6
- E2, E2 Liteオンチップ・デバッギング・エミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング
ターゲット・システム上に本製品を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング
ターゲット・システム上に本製品を実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表30 - 1　RL78/G22と専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号						
					16ピン	20ピン	24ピン	25ピン	30ピン	32ピン	36ピン
信号名		入出力	端子機能								
PG-FP6	E2, E2 Lite オンチップ・デバッギング・エミュレータ				HWQFN (3.0 × 3.0)	LSSOP (4.4 × 6.5)	HWQFN (4 × 4)	WFLGA (3 × 3)	LSSOP (300 mil)	HWQFN (5 × 5) LQFP (7 × 7)	WFLGA (4 × 4)
—	TOOL0	入出力	送受信信号	TOOL0/P40	16	3	23	A5	5	1	F6
SI/RxD	—	入出力									
—	RESET_OUT	出力	リセット信号	$\overline{\text{RESET}}$	7	4	24	B5	6	2	E5
$\overline{\text{RESET}}$	—	出力									
VCC	VDD	入出力	VDD電圧生成／電源監視	VDD	5	10	6	B3	12	8	B6
GND		—	グランド	VSS	4	9	5	B2	11	7	C5
				REGC注	3	8	4	A2	10	6	D5
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD	5	10	6	B3	12	8	B6

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号		
					40ピン	44ピン	48ピン
信号名		入出力	端子機能				
PG-FP6	E2, E2 Lite オンチップ・デバッギング・エミュレータ				HWQFN (6 × 6)	LQFP (10 × 10)	LFQFP (7 × 7) HWQFN (7 × 7)
—	TOOL0	入出力	送受信信号	TOOL0/P40	1	2	39
SI/RxD	—	入出力					
—	RESET_OUT	出力	リセット信号	$\overline{\text{RESET}}$	2	3	40
$\overline{\text{RESET}}$	—	出力					
VCC	VDD	入出力	VDD電圧生成／電源監視	VDD	10	11	48
GND		—	グランド	VSS	9	10	47
				REGC注	8	9	46
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD	10	11	48

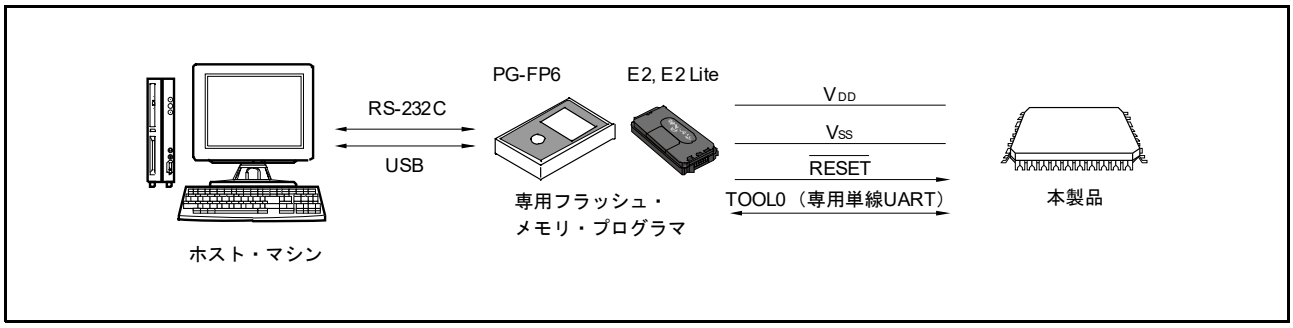
注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考　この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンでかまいません。

30.1.1　プログラミング環境

本製品のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30 - 1　フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

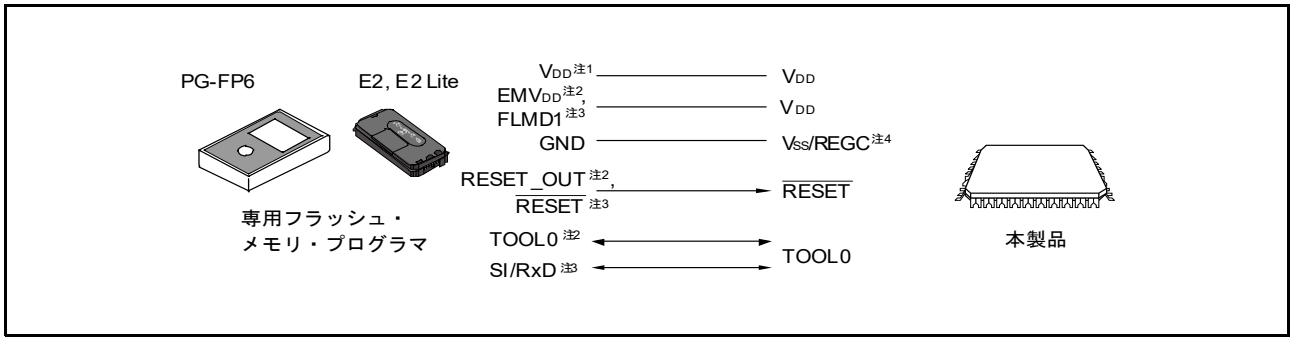
また、専用フラッシュ・メモリ・プログラマと本製品とのインタフェースは TOOL0 端子を使用して、専用の単線 UART で書き込み／消去の操作を行います。

30.1.2　通信方式

専用フラッシュ・メモリ・プログラマと本製品との通信は、本製品の TOOL0 端子を使用して、専用の単線 UART によるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図30 - 2　専用フラッシュ・メモリ・プログラマとの通信



注1.　PG-FP6の信号名はVCCです。

注2.　E2, E2 Liteオンチップ・デバッギング・エミュレータ使用時

注3.　PG-FP6使用時

注4.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマは本製品に対して次の信号を生成します。詳細は、PG-FP6 または E2, E2 Lite オンチップ・デバッギング・エミュレータのマニュアルを参照してください。

表30 - 2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				本製品
信号名		入出力	端子機能	端子名注1
PG-FP6	E2, E2 Liteオンチップ・デバッギング・エミュレータ			
VCC	VDD	入出力	VDD電圧生成／電圧監視	VDD
GND		—	グランド	VSS, REGC注2
FLMD1	EMVDD	—	TOOL0端子駆動電源	VDD
$\overline{\text{RESET}}$	—	出力	リセット信号	$\overline{\text{RESET}}$
—	RESET_OUT	出力		
—	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	—	入出力	送受信信号	

注1.　接続先端子は、製品によって異なります。詳細は、**表30 - 1**を参照してください。

注2.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

30.2　外部デバイス（UART内蔵）によるシリアル・プログラミング

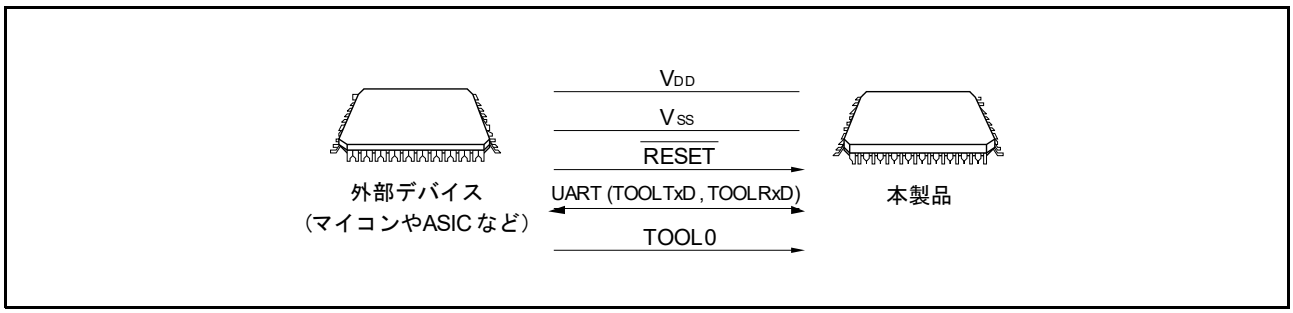
オンボード上で本製品と UART 接続されている外部デバイス（マイコンや ASIC）を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、**RL78 マイクロコントローラ（RL78 プロトコル C）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

30.2.1　プログラミング環境

本製品のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30 - 3　フラッシュ・メモリにプログラムを書き込むための環境

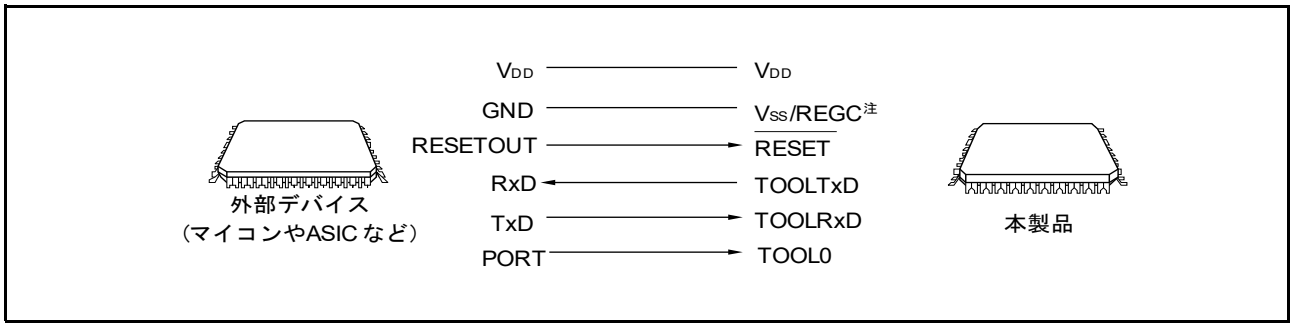


30.2.2　通信方式

外部デバイスと本製品との通信は、本製品の TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図30 - 4　外部デバイスとの通信



注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスは本製品に対して次の信号を生成します。

表30 - 3　端子接続一覧

外部デバイス			本製品
信号名	入出力	端子機能	端子名
VDD	入出力	VDD電圧生成／電圧監視	VDD
GND	—	グランド	VSS, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

30.3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては、**30.4.2　フラッシュ・メモリ・プログラミング・モード**を参照してください。

30.3.1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で 1 kΩ の抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時：外部リセット解除時から t_{HD} の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ 以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は、500 kΩ 以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部／内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。詳細は、**34.10　フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

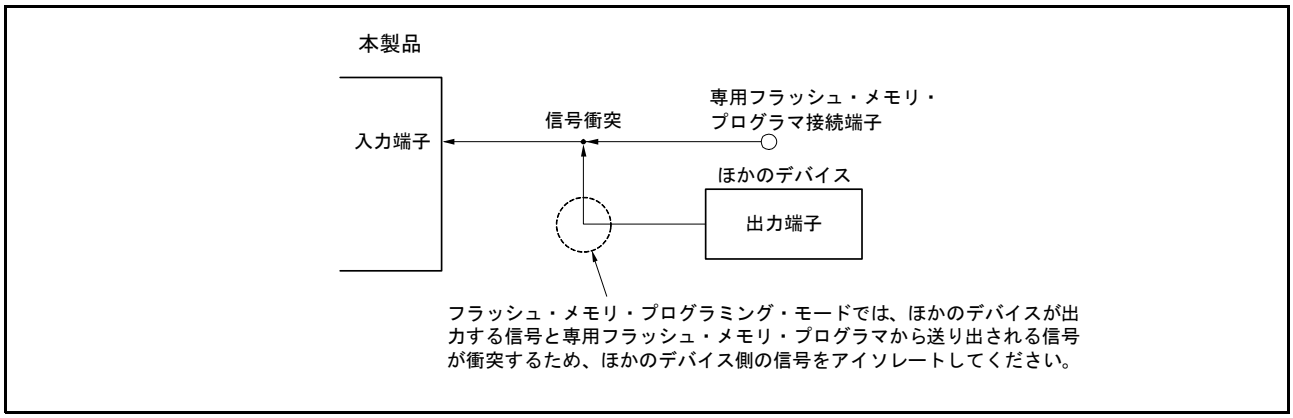
備考2. 本製品と専用フラッシュ・メモリ・プログラマとの通信には、単線UART（TOOL0端子）を使用するので、SAUやIICAの端子は使用しません。

30.3.2 $\overline{\text{RESET}}$端子

オンボード上で、リセット信号生成回路と接続している $\overline{\text{RESET}}$ 端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図30 - 5　信号の衝突（$\overline{\text{RESET}}$端子）



30.3.3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介して VDD に接続するか、抵抗を介して VSS に接続するなどの端子処理が必要です。

30.3.4　REGC端子

REGC 端子は、通常動作時と同様に、特性の良いコンデンサ（0.47 ～ 1 μF）を介し、GND に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

30.3.5　電源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は、VDD 端子はフラッシュ・メモリ・プログラマの VDD 注に、VSS 端子はフラッシュ・メモリ・プログラマの GND に、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、フラッシュ・メモリ・プログラマによる書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラマで電圧監視をするため、VDD, VSS 端子はフラッシュ・メモリ・プログラマの VDD 注、GND と必ず接続してください。

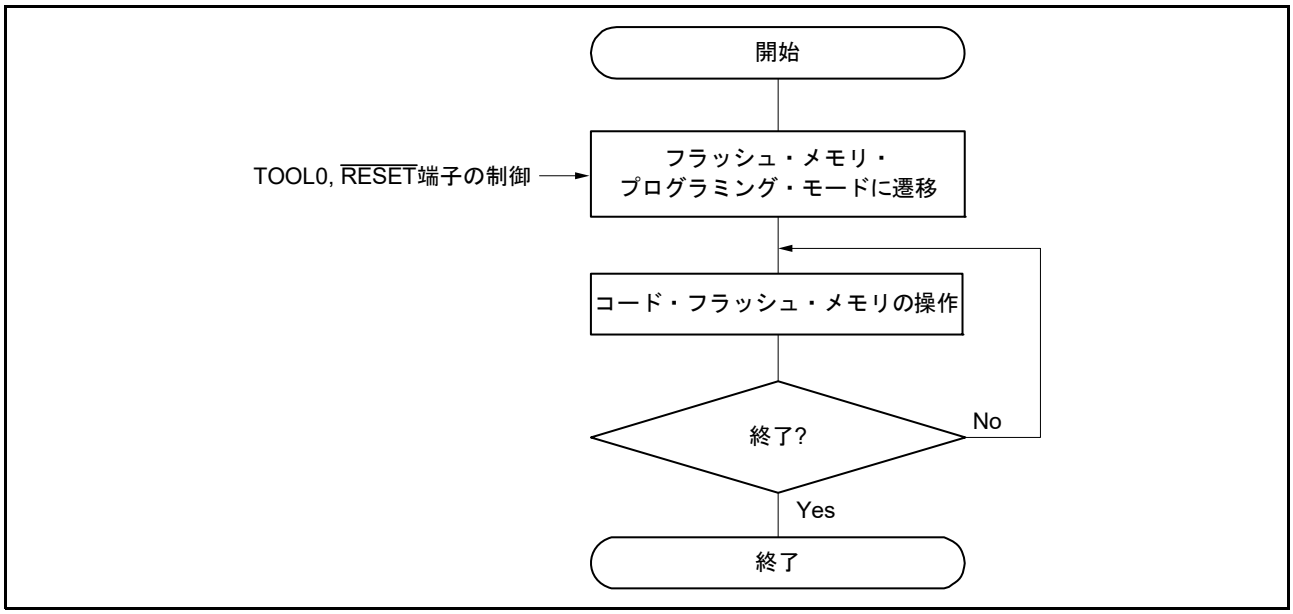
注　PG-FP6の信号名はVCCです。

30.4　プログラミング方法

30.4.1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図30 - 6　コード・フラッシュ・メモリの操作手順



30.4.2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

本製品を専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

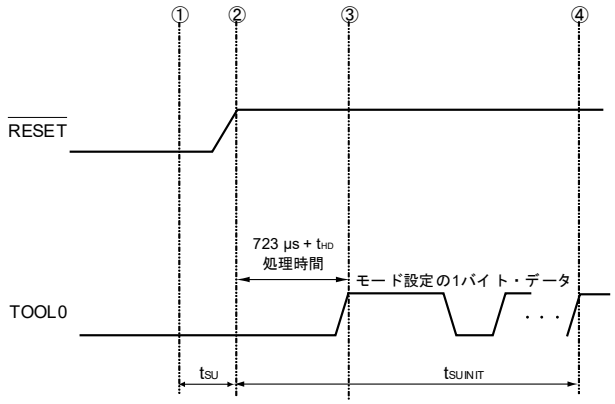
＜外部デバイス（UART 通信）を使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後、リセットを解除します（**表30 - 4**参照）。その後、**図30 - 7**に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、**RL78マイクロコントローラ（RL78プロトコルC）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

表30 - 4　リセット解除時のTOOL0端子への印加電圧と動作モードの関係

TOOL0	動作モード
VDD	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図30 - 7　フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力
② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるボー・レート設定完了

備考　t_{SUINIT} ：この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。
t_{SU} ：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
t_{HD} ：外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は、**34.10　フラッシュ・メモリ・プログラミング・モードの引き込みタイミング**を参照してください。

30.4.3　通信方式

本製品の通信方式は、次のようになります。

表30 - 5　通信方式

通信方式	Standard設定注1				使用端子
	Port	Speed注2	Frequency	Multiply Rate	
単線UART （フラッシュ・メモリ・プログラマ使用時、または外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用UART （外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1.　フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2.　UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

30.4.4　通信コマンド

本製品は、**表 30 - 6** に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスから本製品へ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、**RL78 マイクロコントローラ（RL78 プロトコル C）シリアルプログラミング編 アプリケーションノート（R01AN5756）**を参照してください。

表30 - 6　フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78マイクロコントローラ情報（品名、フラッシュ・メモリ構成、プログラミング用ファームウェア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注　書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報（品名、ファームウェア・バージョンなど）を取得することができます。

表 30 - 7 にシグネチャ・データ一覧、**表 30 - 8** にシグネチャ・データ例を示します。

表30 - 7　シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例. 00000H-0FFFFH（64 Kバイト）→ FFH, FFH, 00H）	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例. F1000H-F17FFH（2 Kバイト）→ FFH, 17H, 0FH）	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 （バージョンの上位から送信されます。 例. Ver.1.02 → 01H, 00H, 02H）	3バイト

表30 - 8　シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78 プロトコルC	3バイト	10　00　0A
デバイス名	R7F102GGE	10バイト	52 = “R” 37 = “7” 46 = “F” 31 = “1” 30 = “0” 32 = “2” 47 = “G” 47 = “G” 45 = “E” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-0FFFFH（64 Kバイト）	3バイト	FF　FF　00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F17FFH（2 Kバイト）	3バイト	FF　17　0F
ファームウェア・バージョン	Ver.1.02	3バイト	01　00　02

30.5　専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとして PG-FP6 を使用した場合の各コマンド処理時間（参考値）を次に示します。

表30 - 9　PG-FP6使用時の各コマンド処理時間（参考値）

PG-FP6のコマンド	コード・フラッシュ・メモリ	
	32 Kバイト	64 Kバイト
消去	0.8 s	1.0 s
書き込み	1.1 s	1.6 s
ベリファイ	0.8 s	1.2 s
消去後、書き込み	1.5 s	2.3 s

備考　コマンド処理時間（参考値）はTyp.値です。次に条件を示します。

Port　：TOOL0（単線UART）

Speed　：1,000,000 bps

30.6　セルフ・プログラミング

本製品は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップデートなどができるようになります。詳細は、**RL78 ファミリ Renesas Flash Driver RL78 Type01 ユーザーズマニュアル（R20UT4830JJ）**を参照してください。

注意1. CPUがサブシステム・クロック（f_{SUB}）動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグが0にクリアされている状態でセルフ・プログラミングを実行してください。割り込みを許可する場合は、EI命令によりIEフラグが1にセットされている状態で、受け付ける割り込みの割り込みマスク・フラグを0にクリアして、セルフ・プログラミングを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作（HIOSTOP = 0）させ、5 μs経過後にセルフ・プログラミングを実行してください。また、中速オンチップ・オシレータは停止（MIOEN = 0）させ、メイン・オンチップ・オシレータ・クロック（foco）は高速オンチップ・オシレータを選択（MCM1 = 0）してください。

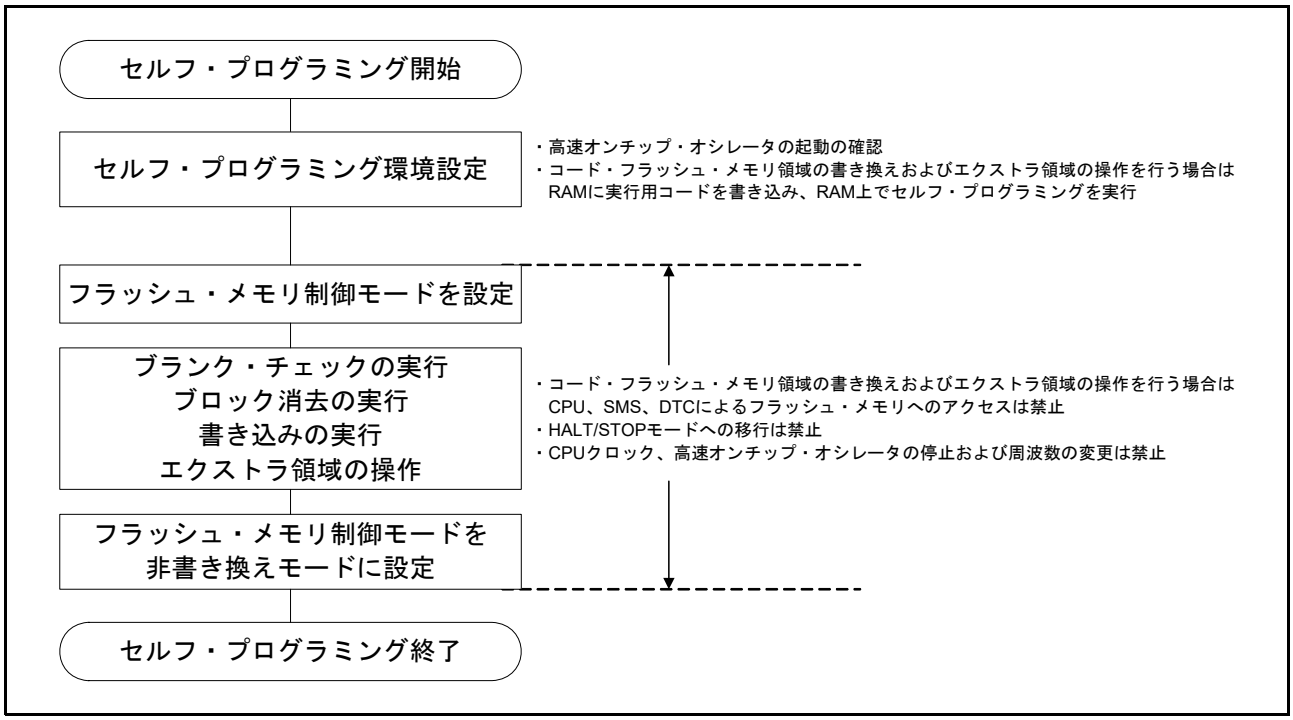
注意4. フラッシュ・メモリの書き換え中は、フラッシュ動作モード選択レジスタ（FLMODE）は変更しないでください。

30.6.1　セルフ・プログラミング手順

セルフ・プログラミングを利用してフラッシュ・メモリの書き換えを行う流れを示します。

セルフ・プログラミングで使用するレジスタの詳細は、**30.6.2　フラッシュ・メモリを制御するレジスタ**を参照してください。

図30 - 8　セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



30.6.2　フラッシュ・メモリを制御するレジスタ

フラッシュ・メモリを制御するレジスタを次に示します。

- フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL）
- フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL）
- フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL）
- フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）
- フラッシュ・ステータス・レジスタ（PFS）
- フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）
- フラッシュ領域選択レジスタ（FLARS）
- フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）
- フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）
- フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）
- フラッシュ・レジスタ初期化レジスタ（FLRST）
- フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）
- フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）
- フラッシュ FSWモニタ・レジスタE（FLFSWE）
- フラッシュ FSWモニタ・レジスタS（FLFSWS）
- データ・フラッシュ・コントロール・レジスタ（DFLCTL）
- 割り込みベクタ移動許可レジスタ（VECTCTRL）
- 割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1）

30.6.2.1　フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL）

FLAPH, FLAPL レジスタは、フラッシュ・メモリ・プログラミング時の先頭アドレスを指定するレジスタです。
FLAPH レジスタは、8 ビット・メモリ操作命令、FLAPL レジスタは、16 ビット・メモリ操作命令で設定します。
以下のいずれかの条件で FLAPH レジスタは 00H、FLAPL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタのFLRST = 1

図30 - 9　フラッシュ・アドレス・ポインタ・レジスタH, L（FLAPH, FLAPL）のフォーマット

アドレス　: F02C4H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
FLAPH	0	0	0	0	FLAP19	FLAP18	FLAP17	FLAP16

アドレス　: F02C2H, F02C3H
リセット時: 0000H
R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
FLAPL	FLAP15	FLAP14	FLAP13	FLAP12	FLAP11	FLAP10	FLAP9	FLAP8

7	6	5	4	3	2	1	0
FLAP7	FLAP6	FLAP5	FLAP4	FLAP3	FLAP2	FLAP1	FLAP0

注意1. FLAPH, FLAPL レジスタは以下のいずれかの条件のときに書き換え可能です。
- **FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0）のときに書き換えと読み出しを実行してください。

30.6.2.2 フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL）

FLSEDH, FLSEDL レジスタは、フラッシュ・メモリ・プログラミング時の最終アドレスを指定するレジスタです。FLSEDH レジスタは、8 ビット・メモリ操作命令、FLSEDL レジスタは、16 ビット・メモリ操作命令で設定します。以下のいずれかの条件で FLSEDH レジスタは 00H、FLSEDL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタのFLRST = 1

図30 - 10　フラッシュ・エンド・アドレス・ポインタ・レジスタH, L（FLSEDH, FLSEDL）のフォーマット

アドレス　: F02C8H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
FLSEDH	0	0	0	0	EWA19	EWA18	EWA17	EWA16

アドレス　: F02C6H, F02C7H
リセット時: 0000H
R/W属性　: R/W

略号	15	14	13	12	11	10	9	8
FLSEDL	EWA15	EWA14	EWA13	EWA12	EWA11	EWA10	EWA9	EWA8

7	6	5	4	3	2	1	0
EWA7	EWA6	EWA5	EWA4	EWA3	EWA2	EWA1	EWA0

注意1. FLSEDH, FLSEDL レジスタは以下のいずれかの条件のときに書き換え可能です。
- **FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0）のときに書き換えと読み出しを実行してください。

注意3. コード・フラッシュ・メモリへのプログラミングでは、EWA1およびEWA0 ビットの設定は無効です。

表30 - 10　FLAPH, FLAPL, FLSEDH, FLSEDLレジスタの設定方法

<table>
<tr><th colspan="2">コード／データ・フラッシュ領域シーケンサの専用コマンド</th><th colspan="2">FLAP, FLSED レジスタの設定</th></tr>
<tr><td rowspan="6">FSSQ</td><td>書き込み</td><td colspan="2">FLAPH, FLAPL　：書き込み対象アドレス
FLSEDH, FLSEDL　：ALL 0</td></tr>
<tr><td>ブランク・チェック</td><td colspan="2">1ワードの場合　：FLAPH, FLAPL設定値 = FLSEDH, FLSEDL設定値
2ワード以上の場合：FLAPH, FLAPL設定値 < FLSEDH, FLSEDL設定値</td></tr>
<tr><td rowspan="4">ブロック消去注</td><td rowspan="2">コード・フラッシュ・メモリ</td><td>FLAPH, FLAPL　：FLAP19-FLAP11ビットに先頭アドレス、FLAP10-FLAP2ビットにALL 0</td></tr>
<tr><td>FLSEDH, FLSEDL：EWA19-EWA11ビットに最終アドレス、EWA10-EWA2ビットにALL 1</td></tr>
<tr><td rowspan="2">データ・フラッシュ・メモリ</td><td>FLAPH, FLAPL　：FLAP19-FLAP8ビットに先頭アドレス、FLAP7-FLAP0ビットにALL 0</td></tr>
<tr><td>FLSEDH, FLSEDL：EWA19-EWA8ビットに最終アドレス、EWA7-EWA0ビットにALL 1</td></tr>
<tr><td>FSSE</td><td>すべてのコマンド</td><td colspan="2">FLAPH, FLAPL設定値　：ALL 0
FLSEDH, FLSEDL設定値：ALL 0</td></tr>
</table>

注　FLAPH, FLAPLレジスタとFLSEDH, FLSEDLレジスタは以下の条件を満たすよう設定してください。
FLAPH, FLAPL設定値 ≦ FLSEDH, FLSEDL設定値

30.6.2.3　フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL）

FLWH, FLWL レジスタは、フラッシュ・メモリ・プログラミング時の書き込みデータを格納するレジスタです。
FLWH, FLWL レジスタは、16 ビット・メモリ操作命令で設定します。
以下のいずれかの条件で FLWH, FLWL レジスタは 0000H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1
- フラッシュ・メモリ・シーケンサの動作完了

データ・フラッシュ・メモリの書き込みデータは FLWL レジスタの下位 8 ビットに設定します。

図30 - 11　フラッシュ・ライト・バッファ・レジスタH, L（FLWH, FLWL）のフォーマット

アドレス　：F02CEH, F02CFH
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
FLWH	FLW31	FLW30	FLW29	FLW28	FLW27	FLW26	FLW25	FLW24

7	6	5	4	3	2	1	0
FLW23	FLW22	FLW21	FLW20	FLW19	FLW18	FLW17	FLW16

アドレス　：F02CCH, F02CDH
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
FLWL	FLW15	FLW14	FLW13	FLW12	FLW11	FLW10	FLW9	FLW8

7	6	5	4	3	2	1	0
FLW7	FLW6	FLW5	FLW4	FLW3	FLW2	FLW1	FLW0

注意1. FLWH, FLWL レジスタは以下のいずれかの条件のときに書き換え可能です。
- **FLPMC レジスタの FLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタの EEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0）のときに書き換えと読み出しを実行してください。

注意3. データ・フラッシュ・メモリへの書き込みは、FLWL レジスタの下位8ビットに書き込みデータを設定してください。それ以外のビットは0を設定してください。

30.6.2.4　フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）

PFCMD レジスタは、フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）への書き込み動作に対して、プロテクションを施すためレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスに従って A5H を書き込む必要があります。特定シーケンスの実行手順については、**30.6.3　フラッシュ・メモリ制御モードの設定**を参照してください。

PFCMD レジスタは、8 ビット・メモリ操作命令で設定します。

図30 - 12　フラッシュ・プロテクト・コマンド・レジスタ（PFCMD）のフォーマット

アドレス　: F00C0H
リセット時: 不定
R/W属性　: W

略号	7	6	5	4	3	2	1	0
PFCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

30.6.2.5　フラッシュ・ステータス・レジスタ（PFS）

PFS レジスタは、フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）への書き込み動作に対して、プロテクション・エラーの発生を示すレジスタです。

FPRERR ビットのセット／クリア条件は、**30.6.3.1　特定シーケンス実行手順**を参照してください。

PFS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00H になります。

図30 - 13　フラッシュ・ステータス・レジスタ（PFS）のフォーマット

アドレス　: F00C1H
リセット時: 00H
R/W属性　: R

略号	7	6	5	4	3	2	1	0
PFS	0	0	0	0	0	0	0	FPRERR

FPRERR	プロテクション・エラー・フラグ
0	エラー発生なし
1	エラー発生あり

30.6.2.6　フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）

FLPMC レジスタは、フラッシュ・メモリへの書き込みの禁止／許可やプログラミング・モードを選択するレジスタです。

FLPMC レジスタへの書き込みを有効にするには、特定シーケンスの実行が必要です。特定シーケンスの実行手順については、**30.6.3　フラッシュ・メモリ制御モードの設定**を参照してください。

FLPMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、08H になります。

図30 - 14　フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）のフォーマット

アドレス　：F02C0H
リセット時：08H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
FLPMC	0	0	0	EEEMD	FWEDIS	0	FLSPM	0

EEEMD	データ・フラッシュ・メモリのプログラミング・モード選択
0	非書き換えモード
1	プログラミング・モード

FWEDIS	コード・フラッシュ・メモリの消去／書き込み許可／禁止のソフトウェア制御注
0	消去／書き込み許可
1	消去／書き込み禁止

FLSPM	コード・フラッシュ・メモリのプログラミング・モード選択
0	非書き換えモード
1	プログラミング・モード

注　コード・フラッシュ・メモリの消去終了時または書き込み終了時まで、必ず0を設定してください。

注意　**エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタの SQEND = 0, ESQEND = 0、FSSQ レジスタの SQST = 0、FSSE レジスタの ESQST = 0）のときに FLPMC レジスタへの書き換えは有効になります。**

30.6.2.7　フラッシュ領域選択レジスタ（FLARS）

FLARS レジスタは、セルフ・プログラミングの対象とするフラッシュ・メモリの領域を選択するレジスタです。
FLARS レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図30 - 15　フラッシュ領域選択レジスタ（FLARS）のフォーマット

アドレス　: F02C1H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	0
FLARS	0	0	0	0	0	0	0	EXA

EXA	セルフ・プログラミングの対象とするフラッシュ・メモリ領域の選択
0	コード／データ・フラッシュ・メモリ領域
1	エクストラ領域

注意　FLARS レジスタは以下のいずれかの条件のときに書き換え可能です。

- **FLPMC レジスタの FLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMC レジスタの EEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

30.6.2.8　フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）

FSSET レジスタは、フラッシュ・メモリ・シーケンサの動作周波数設定、ブート・スワップ機能の初期設定をするレジスタです。

FSSET レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30 - 16　フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）のフォーマット

アドレス　：F00B6H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
FSSET	TMSPMD	TMBTSEL	0	FSET4	FSET3	FSET2	FSET1	FSET0

TMSPMD	ブート領域設定の選択注
0	エクストラ領域のセキュリティ・フラグとブート・スワップ機能の設定領域のEX bit8（BTFLG）の値に従ってブート領域を指定 BTFLG = 0：ブート領域はブート・クラスタ1 BTFLG = 1：ブート領域はブート・クラスタ0
1	TMBTSELビットに従ってブート領域を指定

TMBTSEL	TMSPMD = 1のときのブート領域の指定
0	ブート領域にブート・クラスタ0を指定
1	ブート領域にブート・クラスタ1を指定

FSET4-FSET0	フラッシュ・メモリ・シーケンサの動作周波数の設定
—	フラッシュ・メモリ・シーケンサの動作周波数を設定。 フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0ビットの設定値の関係は、**表30 - 11**を参照してください。

注　FLSECレジスタのBTPRビットが0（ブート領域書き換え禁止）の場合、TMSPMD, TMBTSELビットは設定できません。

注意1. FSSETレジスタは以下のいずれかの条件のときに書き換え可能です。

- **FLPMCレジスタのFLSPMビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）**
- **FLPMCレジスタのEEEMDビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

注意2. BTFLGビットによるブート領域の設定は設定後ただちに反映されます。リセット解除後にブート領域を変更したい場合は、TMSPMDビットが0の状態でFSASTLレジスタのMBTSELビットを読み出して、同じ値をTMBTSELビットに設定してください。その後、TMSPMDビットに1を設定し、エクストラ領域シーケンサでBTFLGビットにリセット解除時にブート領域として起動するブート・クラスタを指定してください。次のリセット解除時にBTFLGビットに設定したブート・クラスタをブート領域として起動します。

表30 - 11　フラッシュ・メモリ・シーケンサの動作周波数とFSET4-FSET0ビットの設定値の関係

動作周波数（MHz）	FSET4-FSET0ビットの設定値	動作周波数（MHz）	FSET4-FSET0ビットの設定値	動作周波数（MHz）	FSET4-FSET0ビットの設定値
32	11111B	31	11110B	30	11101B
29	11100B	28	11011B	27	11010B
26	11001B	25	11000B	24	10111B
23	10110B	22	10101B	21	10100B
20	10011B	19	10010B	18	10001B
17	10000B	16	01111B	15	01110B
14	01101B	13	01100B	12	01011B
11	01010B	10	01001B	9	01000B
8	00111B	7	00110B	6	00101B
5	00100B	4	00011B	3	00010B
2	00001B	1	00000B	—	—

注意　CPUが動作する周波数の小数点以下を切り上げた動作周波数に対する設定値を設定してください。
（例：CPUが動作する周波数が4.5 MHzの場合は、5 MHzに対する設定値（00100B）を設定してください）
ただし、CPUが動作する周波数が4 MHz未満の場合は、整数値ではない1.5 MHzなどの周波数は使用できません。

30.6.2.9　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）

FSSQ レジスタは、コード／データ・フラッシュ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

コード／データ・フラッシュ領域シーケンサは、FSSQ レジスタの SQST ビットに 1 を設定すると MDCH, SQMD2-SQMD0 ビットに設定されたコマンドを実行します。

FSSQ レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図30 - 17　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット (1/2)

アドレス　: F02C5H
リセット時: 00H
R/W属性　: R/W

略号	<7>	<6>	5	4	3	2	1	0
FSSQ	SQST	FSSTP	0	0	MDCH	SQMD2	SQMD1	SQMD0

SQST	コード／データ・フラッシュ領域シーケンサの動作制御
0	動作停止注1
1	動作開始

FSSTP	コード／データ・フラッシュ領域シーケンサの強制停止制御
0	強制停止しない
1	強制停止する

図30 - 17　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）のフォーマット (2/2)

MDCH	SQMD2	SQMD1	SQMD0	コード／データ・フラッシュ領域シーケンサのコマンド
0	0	0	1	• 書き込み FLWH, FLWHL レジスタに格納したデータをFLAPH, FLAPL レジスタで指定されるアドレスに書き込みます注2。 コード・フラッシュ・メモリ領域のアドレス指定した場合は4バイトのデータを書き込みます。データ・フラッシュ・メモリ領域のアドレスを指定した場合はFLWL レジスタの下位8ビット（FLW7-FLW0）に格納された1バイトを指定したアドレスに書き込みます。
0	0	1	1	• コード・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPL レジスタで指定されるアドレスから、FLSEDH, FLSEDL レジスタで指定されるアドレスまでのコード・フラッシュ・メモリ領域が1であるかチェックを行います注3。
1	0	1	1	• データ・フラッシュ・メモリ領域のブランク・チェック FLAPH, FLAPL レジスタで指定されるアドレスから、FLSEDH, FLSEDL レジスタで指定されるアドレスまでのデータ・フラッシュ・メモリ領域が1であるかチェックを行います。
0	1	0	0	• ブロック消去 FLAPH, FLAPL レジスタで指定されるアドレスからFLSEDH, FLSEDL レジスタで指定されるアドレスまでのブロックを消去します注4。
上記以外				設定禁止

注1. FSASTH レジスタのSQEND = 1（シーケンサの動作終了）を確認したあとに、SQST ビットに0を設定してコード／データ・フラッシュ領域シーケンサの動作を停止してください。

注2. コード・フラッシュ・メモリ領域へ書き込み単位は4バイトです。したがって、FLAPL レジスタが4の倍数になるように下位2ビットには00Bを設定してください。詳細は、**30.6.6.4　コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

注3. コード・フラッシュ・メモリ領域のブランクチェックは4バイトごとの先頭アドレスを指定します。したがって、FLAPL レジスタが4の倍数になるように下位2ビットには00Bを設定してください。詳細は、**30.6.6.4　コード・フラッシュ・メモリ領域書き換えの操作**を参照してください。

注4. コード・フラッシュ・メモリ領域の消去ブロック単位は2 Kバイトです。また、データ・フラッシュ・メモリの消去ブロック単位は256バイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスから終了アドレスを指定してください。詳細は、**30.6.6.4　コード・フラッシュ・メモリ領域書き換えの操作**、**30.6.6.5　データ・フラッシュ・メモリ領域書き換えの操作**を参照してください。また、アドレスとブロック番号の関係については、**表3 - 1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

注意　FSSQ レジスタは以下のいずれかの条件のときに書き換え可能です。

- **FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）かつFWEDIS ビットが0（コード・フラッシュ・メモリの消去／書き込み許可）**
- **FLPMC レジスタのEEEMD ビットが1（データ・フラッシュ・メモリ領域はプログラミング・モード）**

30.6.2.10　フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）

FSSE レジスタは、エクストラ領域シーケンサの動作制御およびコマンドを設定するレジスタです。

フラッシュ・エクストラ領域シーケンサは、FSSE レジスタの ESQST ビットに 1 を設定すると ESQMD3-ESQMD0 ビットに設定されたコマンドを実行します。

FSSE レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

以下のいずれかの条件で 00H になります。

- リセット信号の発生
- FLRST レジスタの FLRST = 1

図30 - 18　フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）のフォーマット (1/2)

アドレス　: F00B7H
リセット時: 00H
R/W属性　: R/W

略号	<7>	6	5	4	3	2	1	0
FSSE	ESQST	0	0	0	ESQMD3	ESQMD2	ESQMD1	ESQMD0

ESQST	エクストラ領域シーケンサの動作制御
0	動作停止注
1	動作開始

図30 - 18　フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）のフォーマット (2/2)

ESQMD3	ESQMD2	ESQMD1	ESQMD0	エクストラ領域シーケンサのコマンド
0	0	0	1	• フラッシュ・シールド・ウィンドウの設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・シールド・ウィンドウの設定領域に書き込みます。フラッシュ・シールド・ウィンドウ・モード制御、スタート・ブロック、エンド・ブロックを設定します。 フラッシュ・シールド・ウィンドウの設定領域のEX bit15（FSPR）に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ（ESEQER）が1になります。
0	1	1	0	• フラッシュ・リード・プロテクションの設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・リード・プロテクションの設定領域に書き込みます。フラッシュ・リード・プロテクション設定の変更禁止、スタート・ブロック、エンド・ブロックを設定します。 フラッシュ・リード・プロテクションの設定領域のEX bit31（SWPR）に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ（ESEQER）が1になります。
0	1	1	1	• セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み FLWH, FLWL レジスタで指定した4バイトのデータをエクストラ領域のフラッシュ・メモリのセキュリティ・フラグとブート・スワップ機能の設定領域に書き込みます。ブロック消去禁止、書き込み禁止、ブート領域の書き換え禁止、ブート領域の選択を設定します。 セキュリティ・フラグとブート・スワップ機能の設定領域のEX bit9（BTPR）に0が設定されている場合は値が書き込まれず、エクストラ領域シーケンサ・エラー・フラグ（ESEQER）が1になります。
上記以外				設定禁止

注　FSASTH レジスタのESQEND = 1（シーケンサの動作終了）を確認したあとに、ESQST ビットに0を設定してエクストラ領域シーケンサの動作を停止してください。

注意1. FSSE レジスタは以下の条件のときに書き換え可能です。
FLPMC レジスタのFLSPM ビットが1（コード・フラッシュ・メモリ領域はプログラミング・モード）かつFWEDIS ビットが0（コード・フラッシュ・メモリの消去／書き込み許可）

注意2. エクストラ領域に書き込みをする場合は、エクストラ領域シーケンサを起動する前にFLARS レジスタのEXA ビットに1を設定し、FLWH, FLWL レジスタに書き込みデータを設定してください。

注意3. ESQMD3-ESQMD0 ビットは、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0）のときに書き換えてください。

30.6.2.11　フラッシュ・レジスタ初期化レジスタ（FLRST）

FLRST レジスタは、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサで使用するレジスタを初期化するレジスタです。

FLRST レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

FLRST レジスタの操作方法の詳細は、**30.6.4　フラッシュ・メモリ・シーケンサ用レジスタの初期化**を参照してください。

リセット信号の発生により、00H になります。

図30 - 19　フラッシュ・レジスタ初期化レジスタ（FLRST）のフォーマット

アドレス　：F02C9H
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
FLRST	0	0	0	0	0	0	0	FLRST

FLRST	レジスタの初期化制御
0	リセット動作しない
1	FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタをリセットする

注意1.　FLRST = 1にしてレジスタを初期化は、エクストラ領域シーケンサおよびコード／データ・フラッシュ領域シーケンサが停止状態（FSASTH レジスタのSQEND = 0, ESQEND = 0、FSSQ レジスタのSQST = 0、FSSE レジスタのESQST = 0のとき）でのみ可能です。

注意2.　シーケンサを使用するときは、FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE レジスタを設定する前に必ずFLRST ビットを0にしてください。また、シーケンサ動作中はFLRSTに1を設定しないでください。

30.6.2.12　フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）

FSASTH, FSASTL レジスタは、フラッシュ・メモリ・シーケンサの動作結果を確認するレジスタです。
FSASTH, FSASTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で読み出します。

図30 - 20　フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）のフォーマット (1/2)

アドレス　：F02CBH
リセット時：00H/04H
R/W属性　：R

略号	7	6	5	4	3	2	1	0
FSASTH	ESQEND	SQEND	0	0	0	×	0	0

アドレス　：F02CAH
リセット時：00H/80H注1
R/W属性　：R

略号	7	6	5	4	3	2	1	0
FSASTL	MBTSEL	MOPEN	ESEQER	SEQER	BLER	0	WRER	ERER

ESQEND	エクストラ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはESQSTビットに0を設定して動作停止
1	動作終了

SQEND	コード／データ・フラッシュ領域シーケンサの動作終了ステータス・フラグ
0	動作中、またはSQSTビットに0を設定して動作停止
1	動作終了

MBTSEL	ブート・フラグ・モニタ・ビット注2
0	BTFLG = 1（ブート領域はブート・クラスタ0）
1	BTFLG = 0（ブート領域はブート・クラスタ1）

MOPEN	コード／データ・フラッシュ領域シーケンサの動作ステータス・フラグ
0	動作停止
1	動作中

ESEQER	エクストラ領域シーケンサ・エラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサを起動するとクリアされます。	

図30 - 20　フラッシュ・メモリ・シーケンサ・ステータス・レジスタH, L（FSASTH, FSASTL）のフォーマット (2/2)

SEQER	フラッシュ・メモリ・シーケンサのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。	

BLER	ブランク・チェック・コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。	

WRER	書き込みコマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。また、書き込み中に強制終了すると読み出し値は不定になります。	

ERER	ブロック消去コマンドのエラー・フラグ
0	エラー未発生
1	エラー発生
エクストラ領域シーケンサまたはコード／データ・フラッシュ領域シーケンサを起動するとクリアされます。また、ブロック消去中に強制終了すると読み出し値は不定になります。	

注1.　MBTSELビットの初期値は、エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の値に依存するため、不定です。

注2.　エクストラ領域に格納しているBTFLG（ブート領域切り替えフラグ）の反転値を示します。

30.6.2.13　フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）

FLSEC レジスタは、エクストラ領域に設定されたセキュリティ・フラグとブート・スワップ機能の設定情報をモニタするレジスタです。

FLSEC レジスタは、16 ビット・メモリ操作命令で読み出します。

図30 - 21　フラッシュ・セキュリティ・フラグ・モニタ・レジスタ（FLSEC）のフォーマット

アドレス　: F00B0H, F00B1H
リセット時: 不定
R/W属性　: R

略号	15	14	13	12	11	10	9	8
FLSEC	0	0	0	WRPR	0	SEPR	BTPR	BTFLG

7	6	5	4	3	2	1	0
0	0	0	0	SWPR	0	IFPR	IDEN

WRPR	書き込み禁止フラグ
0	書き込み禁止
1	書き込み許可

SEPR	ブロック消去禁止フラグ
0	ブロック消去禁止
1	ブロック消去許可

BTPR	ブート領域書き換え禁止フラグ
0	ブート領域の書き換えを禁止
1	ブート領域の書き換えを許可

BTFLG	ブート領域切り替えフラグ
0	ブート領域はブート・クラスタ1
1	ブート領域はブート・クラスタ0

SWPR	フラッシュ・リード・プロテクション設定の変更禁止フラグ
0	禁止状態
1	許可状態

IFPR	プログラマ・オンチップ・デバッガ接続禁止フラグ
0	接続禁止
1	接続許可

IDEN	プログラマ接続ID認証の有効フラグ
0	ID認証有効
1	ID認証無効

30.6.2.14　フラッシュ FSWモニタ・レジスタE（FLFSWE）

FLFSWE レジスタは、フラッシュ・シールド領域のエンド・ブロック番号およびシールド領域がウィンドウ範囲の内側か外側かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWE レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**30.8　フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWE レジスタは、16 ビット・メモリ操作命令で読み出します。

図30 - 22　フラッシュ FSWモニタ・レジスタE（FLFSWE）のフォーマット

アドレス　：F00B4H, F00B5H
リセット時：不定
R/W属性　：R

略号	15	14	13	12	11	10	9	8
FLFSWE	FSWC	0	0	0	0	0	0	FSWE8

7	6	5	4	3	2	1	0
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

FSWC	シールド領域設定
0	インサイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の内側
1	アウト・サイド・シールド・モード フラッシュ・シールド領域がウィンドウ範囲の外側

FSWE8-FSWE0	フラッシュ・シールド領域のエンド・ブロック番号
—	エンド・ブロック＋1注

注　エクストラ領域に設定された値が示されます。実際のエンド・ブロックのブロック番号はFSWE8-FSWE0ビットの値から1を引いたブロック番号になります。また、シリアル・プログラミング時ではエンド・ブロックのブロック番号を指定しますが、エクストラ領域にはエンド・ブロック＋1で設定されます。詳細は、**表30 - 12**を参照してください。

30.6.2.15　フラッシュ FSWモニタ・レジスタS（FLFSWS）

FLFSWS レジスタは、フラッシュ・シールド領域のスタート・ブロック番号およびフラッシュ・シールド・ウィンドウ設定が書き換え禁止か許可かをモニタするレジスタです。

リセット時、またはエクストラ領域書き込み時にエクストラ領域の値が FLFSWS レジスタに反映されます。

フラッシュ・シールド・ウィンドウ機能の詳細は、**30.8　フラッシュ・シールド・ウィンドウ機能**を参照してください。

FLFSWS レジスタは、16 ビット・メモリ操作命令で読み出します。

図30 - 23　フラッシュ FSWモニタ・レジスタS（FLFSWS）のフォーマット

アドレス　：F00B2H, F00B3H
リセット時：不定
R/W属性　：R

略号	15	14	13	12	11	10	9	8
FLFSWS	FSPR	0	0	0	0	0	0	FSWS8

7	6	5	4	3	2	1	0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止フラグ
0	禁止状態
1	許可状態

FSWS8-FSWS0	フラッシュ・シールド領域のスタート・ブロック番号
—	スタート・ブロック

30.6.2.16　データ・フラッシュ・コントロール・レジスタ（DFLCTL）

DFLCTL レジスタは、データ・フラッシュ・メモリ領域へのアクセス許可／禁止を設定するレジスタです。
DFLCTL レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図30 - 24　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス　: F0090H
リセット時: 00H
R/W属性　: R/W

略号	7	6	5	4	3	2	1	<0>
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュ・メモリ領域のアクセス制御
0	データ・フラッシュ・メモリ領域のアクセス禁止
1	データ・フラッシュ・メモリ領域のアクセス許可

30.6.2.17　割り込みベクタ移動許可レジスタ（VECTCTRL）

VECTCTRL レジスタは、セルフ・プログラミング実行中に発生した割り込みに対し、分岐先を設定するレジスタです。

VECTCTRL レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図30 - 25　割り込みベクタ移動許可レジスタ（VECTCTRL）のフォーマット

アドレス　：F00FFH
リセット時：00H
R/W属性　：R/W

略号	7	6	5	4	3	2	1	0
VECTCTRL	0	0	0	0	0	0	0	VECTCTRL

VECTCTRL	割り込みの分岐先設定
0	ROM上の割り込みベクタ・アドレス
1	RAMの指定アドレス注

注　RAMの分岐先アドレスは、FLSIVC1, FLSIVC0 レジスタで指定します。詳細は、**30.6.2.18　割り込みベクタ変更レジスタ 0, 1（FLSIVC0, FLSIVC1）**を参照してください。

30.6.2.18　割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1）

FLSIVC0, FLSIVC1 レジスタは、セルフ・プログラミング実行中に発生した割り込みの分岐先アドレスを指定するレジスタです。

セルフ・プログラミング中の割り込み処理の実行方法については、**30.6.7　コード・フラッシュ・プログラミング・モード中の割り込み**を参照してください。

FLSIVC0, FLSIVC1 レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、FLSIVC0 レジスタは 0000H、FLSIVC1 レジスタは 000FH になります。

図30 - 26　割り込みベクタ変更レジスタ0, 1（FLSIVC0, FLSIVC1）のフォーマット

アドレス　：F0480H, F0481H
リセット時：0000H
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
FLSIVC0	FLSIV15	FLSIV14	FLSIV13	FLSIV12	FLSIV11	FLSIV10	FLSIV9	FLSIV8

7	6	5	4	3	2	1	0
FLSIV7	FLSIV6	FLSIV5	FLSIV4	FLSIV3	FLSIV2	FLSIV1	FLSIV0

アドレス　：F0482H, F0483H
リセット時：000FH
R/W属性　：R/W

略号	15	14	13	12	11	10	9	8
FLSIVC1	0	0	0	0	0	0	0	0

7	6	5	4	3	2	1	0
0	0	0	0	FLSIV19	FLSIV18	FLSIV17	FLSIV16

注意　FLSIVC1 レジスタには上位4ビットを、FLSIVC0 レジスタにはアドレスの下位16ビットを設定してください。

30.6.3　フラッシュ・メモリ制御モードの設定

フラッシュ・メモリには以下のフラッシュ制御モードがあります。

- コード・フラッシュ・プログラミング・モード
  コード・フラッシュ・メモリ領域およびエクストラ領域が書き換え可能なモードです。
- データ・フラッシュ・プログラミング・モード
  データ・フラッシュ・メモリ領域が書き換え可能なモードです。
- 非書き換えモード
  フラッシュ・メモリ（コード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域、エクストラ領域）が書き換え不可のモードです。

フラッシュ・メモリを書き換える場合は、フラッシュ制御モードをコード・フラッシュ・プログラミング・モードまたはデータ・フラッシュ・プログラミング・モードに設定します。フラッシュ制御モードの設定はフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に特定シーケンスを実行します。

注意　データ・フラッシュ・メモリ領域を操作する場合は、データ・フラッシュ・メモリのアクセス許可（DFLCTL レジスタの DFLEN = 1）の状態で行ってください。

30.6.3.1　特定シーケンス実行手順

以下の①～④の手順でフラッシュ・プロテクト・コマンド・レジスタ（PFCMD）とフラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）に書き込むことで、各モードへ移行します。

① PFCMD レジスタに A5H を書き込む
② FLPMC レジスタに設定したい値を書き込む
③ FLPMC レジスタに設定したい値の反転値を書き込む
④ FLPMC レジスタに設定したい値を書き込む

- 特定シーケンスは、FLRST レジスタの FLRST = 0 かつフラッシュ・メモリ・シーケンサが停止中の場合に実行可能です。
- 特定シーケンスでは、手順①、②、③、④の間でほかのメモリやレジスタへの書き込み動作を行った場合、特定レジスタへの書き込みは行われず、プロテクション・エラーが発生し、フラッシュ・ステータス・レジスタ（PFS）の FPRERR フラグが 1 にセットされます。FPRERR フラグは、リセット、または次の特定シーケンス開始時にクリアされます。

30.6.3.2　コード・フラッシュ・プログラミング・モード移行手順

コード・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

① PFCMD レジスタに A5H を書き込む
② FLPMC レジスタに 02H を書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 1）
③ FLPMC レジスタに FDH を書き込む（02H の反転値）
④ FLPMC レジスタに 02H を書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 1）

30.6.3.3　データ・フラッシュ・プログラミング・モード移行手順

データ・フラッシュ・プログラミング・モードへの移行手順を以下に示します。

① PFCMD レジスタに A5H を書き込む
② FLPMC レジスタに 10H を書き込む（EEEMD = 1, FWEDIS = 0, FLSPM = 0）
③ FLPMC レジスタに EFH を書き込む（10H の反転値）
④ FLPMC レジスタに 10H を書き込む（EEEMD = 1, FWEDIS = 0, FLSPM = 0）

30.6.3.4　非書き換えモード移行手順

コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードから非書き換えモード移行手順を実施し、ウエイト注後にプログラミング・モード対象のフラッシュ・メモリの読み出しが可能になります。

注　ウエイト時間は10 μsです。

＜割り込みベクタを RAM アドレスへ変更していない場合＞

割り込み発生時にROM上の割り込みベクタが示すアドレスへ分岐する場合の移行手順を以下に示します。

① PFCMD レジスタにA5Hを書き込む
② FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
③ FLPMC レジスタにF7Hを書き込む（08Hの反転値）
④ FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
⑤ 10 μsウエイト後、対象のフラッシュ・メモリの読み出しが可能になります。

＜割り込みベクタを RAM アドレスへ変更している場合＞

割り込みの分岐先がRAM上の指定アドレスへ変更されている場合の移行手順を以下に示します。

① PFCMD レジスタにA5Hを書き込む
② FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
③ FLPMC レジスタにFFHを書き込む（00Hの反転値）
④ FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
⑤ 10 μsウエイト後、対象のフラッシュ・メモリの読み出しが可能になります。

30.6.4　フラッシュ・メモリ・シーケンサ用レジスタの初期化

フラッシュ・レジスタ初期化レジスタ（FLRST）の FLRST ビットをセットすることで、対象レジスタをリセットして初期化します。

対象レジスタ：FLAPH, FLAPL, FLSEDH, FLSEDL, FLWH, FLWL, FLARS, FSSQ, FSSE

対象レジスタのクリア手順を以下に示します。

① FLRST ビットをセット
② CPU クロックで 1 サイクル以上をソフトウェアでウエイト
③ FLRST ビットをクリア

30.6.5　フラッシュ・メモリ・シーケンサの動作周波数設定

CPU の動作周波数 [1 ～ 32 (MHz)] の値をフラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）の FSET4-FSET0 ビットに設定します。CPU が動作する周波数の小数点以下を切り上げた動作周波数に対する設定値を設定してください。

（例：4.5 MHz の場合は、5 MHz に対する設定値（00100B）を設定）

フラッシュ・メモリ・シーケンサの動作周波数の設定方法を以下に示します。

① コード・フラッシュ・プログラミング・モード、またはデータ・フラッシュ・プログラミング・モードへ移行します。
移行手順は、**30.6.3.1　特定シーケンス実行手順**、**30.6.3.2　コード・フラッシュ・プログラミング・モード移行手順**および**30.6.3.3　データ・フラッシュ・プログラミング・モード移行手順**を参照してください。
② フラッシュ・メモリ・シーケンサ初期設定レジスタ（FSSET）を読み出し、TMSPMD, TMBTSEL ビットに読み出した値と同じ値を、FSET4-FSET0 ビットに CPU の動作周波数を設定します。

注意　コード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサを使用して、コード／データ・フラッシュ・メモリまたはエクストラ領域へ書き換えなどの操作を実行する場合、FSSET レジスタの FSET4-FSET0 ビットへ CPU の動作周波数を設定しておく必要があります。
CPU の動作周波数が正しく設定されていない状態での書き換え動作は不定となり、書かれたデータは保証されませんのでご注意ください（書き込み直後のフラッシュ・メモリのデータ値が期待値通りであっても、その値の保持期間を保証できません）。

30.6.6　フラッシュ・メモリの書き換え

30.6.6.1　概要

フラッシュ・メモリ・シーケンサは、コード・フラッシュ・メモリ領域またはデータ・フラッシュ・メモリ領域を書き換えるコード／データ・フラッシュ領域シーケンサと、エクストラ領域を書き換えるエクストラ領域シーケンサがあります。それぞれの領域を書き換えるには、各シーケンサのコマンドを実行します。

30.6.6.2　書き換え領域の選択

フラッシュ領域選択レジスタ（FLARS）により、書き換える領域としてコード／データ・フラッシュ・メモリ領域、またはエクストラ領域のいずれかを選択します。

30.6.6.3　コード／データ・フラッシュ領域シーケンサ・コマンド

コード／データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサの専用コマンドを使用します。コマンドの実行は、フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）の SQMD2-SQMD0 ビットに実行するコマンドを設定し、SQST ビットに 1 を設定します。SQMD2-SQMD0 ビットと SQST ビットは同時に設定することもできます。

コード／データ・フラッシュ領域シーケンサの専用コマンドについては、**30.6.2.9　フラッシュ・メモリ・シーケンサ制御レジスタ（FSSQ）**を参照してください。

30.6.6.4　コード・フラッシュ・メモリ領域書き換えの操作

コード・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。なお、コード・フラッシュ・メモリ領域の書き換え処理ソフトウェアは RAM に配置し、RAM 上で実行してください。

コード・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位　：2 K バイト
- 書き込み単位　　：4 バイト

＜操作方法＞

① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**30.6.3.1　特定シーケンス実行手順**および **30.6.3.2　コード・フラッシュ・プログラミング・モード移行手順**を参照してください。

② FLARS レジスタの EXA ビットに 0（コード／データ・フラッシュ・メモリ領域）を設定します。

③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。

- ブロック消去
  FLAPH, FLAPL レジスタに消去するコード・フラッシュ・メモリのブロック先頭アドレス[注1]（例：002000H）を設定します。
  FLSEDH, FLSEDL レジスタに消去するコード・フラッシュ・メモリのブロック終了アドレス[注1]（例：0027FFH）を設定します。
- 書き込み
  FLAPH, FLAPL レジスタに書き込むフラッシュ・メモリの先頭アドレス[注2]（例：002000H）を設定します。
  FLWH, FLWL レジスタに書き込むデータ（4バイト）を設定します。
- ブランク・チェック
  FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス[注2]（例：002000H）を設定します。
  FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス（例：0027FFH）を設定します。
  なお、4バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。

④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。

- ブロック消去：84H
- 書き込み：81H
- コード・フラッシュ・メモリ領域のブランク・チェック：83H

⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**30.6.6.9　フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

＜コマンド処理を継続する場合＞

コード・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。

＜コマンド処理を完了する場合＞

非書き換えモードに移行します。移行手順は、**30.6.3.1　特定シーケンス実行手順**および**30.6.3.4　非書き換えモード移行手順**を参照してください。

注1. コード・フラッシュ・メモリ領域の消去ブロック単位は2 Kバイトです。消去アドレスの指定は、消去するブロックがすべて含まれるように先頭アドレスと終了アドレスを指定してください。アドレスとブロック番号の関係については、**表3 - 1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

注2. コード・フラッシュ・メモリ領域の書き込み、ブランク・チェックは4バイト単位です。したがって、アドレスを示すFLAPLレジスタの下位2ビットには4の倍数である00Bを設定してください。

30.6.6.5　データ・フラッシュ・メモリ領域書き換えの操作

データ・フラッシュ・メモリ領域の書き換えは、コード／データ・フラッシュ領域シーケンサのコマンドを実行します。各コマンド実行に必要な指定アドレスやデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

データ・フラッシュ・メモリ領域書き換え時の消去ブロック単位／書き込み単位

- 消去ブロック単位　：256 バイト
- 書き込み単位　　：1 バイト

＜操作方法＞

① データ・フラッシュ・プログラミング・モードに移行します。移行手順は、**30.6.3.1　特定シーケンス実行手順**および **30.6.3.3　データ・フラッシュ・プログラミング・モード移行手順**を参照してください。

② FLARS レジスタの EXA ビットに 0（コード／データ・フラッシュ・メモリ領域）を設定します。

③ 各コマンド実行前に、所定のレジスタへアドレス・データ、書き込むデータ、コマンドを設定します。

- ブロック消去
  FLAPH, FLAPL レジスタに消去するデータ・フラッシュ・メモリのブロック先頭アドレス注（例：0F1100H）を設定します。
  FLSEDH, FLSEDL レジスタに消去するデータ・フラッシュ・メモリのブロック終了アドレス注（例：0F11FFH）を設定します。
- 書き込み
  FLAPH, FLAPL レジスタに書き込む対象のフラッシュ・メモリの先頭アドレス（例：0F1101H）を設定します。
  FLWL レジスタの下位 8 ビットに書き込むデータを設定してください。
- ブランク・チェック
  FLAPH, FLAPL レジスタにブランク・チェックをするフラッシュ・メモリの先頭アドレス（例：0F1100H）を設定します。
  FLSEDH, FLSEDL レジスタにブランク・チェックをするフラッシュ・メモリの終了アドレス（例：0F11FFH）を設定します。
  なお、1バイトのみブランク・チェックする場合は、FLAPH, FLAPL = FLSEDH, FLSEDL を設定します。

④ FSSQ レジスタの MDCH, SQMD2-SQMD0 ビットに実行するコマンドの値、SQST ビットに 1 を設定するとコード／データ・フラッシュ領域シーケンサは指定されたコマンドを実行します。MDCH, SQMD2-SQMD0, SQST ビットは同時に設定可能です。同時に設定する場合の FSSQ レジスタの設定値は以下になります。

- ブロック消去：84H
- 書き込み：81H
- データ・フラッシュ・メモリ領域のブランク・チェック：8BH

⑤ コード／データ・フラッシュ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**30.6.6.9　フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のコード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

＜コマンド処理を継続する場合＞

データ・フラッシュ・プログラミング・モードに移行したまま、③のアドレス・データ、書き込みデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。

＜コマンド処理を完了する場合＞

非書き換えモードに移行します。移行手順は、**30.6.3.1　特定シーケンス実行手順**および**30.6.3.4　非書き換えモード移行手順**を参照してください。

注　データ・フラッシュ・メモリ領域のブロック消去は256バイト単位です。したがって、先頭アドレスを示すFLAPLレジスタの下位8ビットには256の倍数である0000 0000Bを設定してください。また、終了アドレスを示すFLSEDLレジスタの下位8ビットには1111 1111Bを設定してください。

30.6.6.6　エクストラ領域シーケンサ・コマンド

エクストラ領域に配置されているフラッシュ・シールド・ウィンドウ、フラッシュ・リード・プロテクション、フラッシュ・メモリのセキュリティ、ブート・スワップ機能の設定値の書き換えは、エクストラ領域シーケンサのコマンドを使用します。コマンドの実行は、フラッシュ・エクストラ領域シーケンサ制御レジスタ（FSSE）の ESQMD3-ESQMD0 ビットに実行するコマンドを設定し、ESQST ビットに 1 を設定します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定することもできます。なお、エクストラ領域シーケンサ・コマンド処理ソフトウェアは RAM に配置し、RAM 上で実行してください。

30.6.6.7　エクストラ領域の書き換えの操作

エクストラ領域の書き換えは、コード・フラッシュ・プログラミング・モードに移行後、エクストラ領域シーケンサのコマンドを実行します。各コマンドの実行に必要なデータをあらかじめ該当レジスタに設定してから、コマンドを開始します。

＜操作方法＞

① コード・フラッシュ・プログラミング・モードに移行します。移行手順は、**30.6.3.1　特定シーケンス実行手順**および **30.6.3.2　コード・フラッシュ・プログラミング・モード移行手順**を参照してください。

② FLARS レジスタの EXA ビットに 1（エクストラ領域）を設定します。

③ コマンド実行前に FLWH, FLWL レジスタへ 4 バイトのデータを設定します。FLWH, FLWL レジスタの各ビット（FLW31-FLW0）は、対象のエクストラ領域データの EX bit31-EX bit0 に対応します。各コマンドの設定データの詳細は、**30.6.6.8　エクストラ領域シーケンサのコマンドの設定データ**を参照してください。

④ FSSE レジスタの ESQMD3-ESQMD0 ビットに実行するコマンドの値、ESQST ビットに 1 を設定するとエクストラ領域シーケンサは指定されたコマンドを実行します。ESQMD3-ESQMD0 ビットと ESQST ビットは同時に設定可能です。同時に設定する場合の FSSE レジスタに書き込む値は以下になります。

- フラッシュ・シールド・ウィンドウの設定領域への書き込み：81H
- フラッシュ・リード・プロテクションの設定領域への書き込み：86H
- セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み：87H

⑤ エクストラ領域シーケンサのコマンドの完了を待ちます。コマンドの完了待ち手順は、**30.6.6.9　フラッシュ・メモリ・シーケンサのコマンドの終了判定手順**のエクストラ領域シーケンサのコマンドの終了判定手順を参照してください。

⑥ コマンド実行後の処理

＜コマンド処理を継続する場合＞

コード・フラッシュ・プログラミング・モードに移行したまま、③のエクストラ領域に設定する FLWH, FLWL レジスタのデータを更新して続けて同じコマンドまたはほかのコマンドを実行することが可能です。

＜コマンド処理を完了する場合＞

非書き換えモードに移行します。移行手順は、**30.6.3.1　特定シーケンス実行手順**および**30.6.3.4　非書き換えモード移行手順**を参照してください。

30.6.6.8　エクストラ領域シーケンサのコマンドの設定データ

エクストラ領域の書き込みは、4 バイト単位で行います。

エクストラ領域シーケンサの各コマンドは、FLWH, FLWL レジスタの FLW31-FLW0 ビットに設定したデータを各コマンドに対応したエクストラ領域の EX bit31-EX bit0 に書き込みます。

(1) フラッシュ・シールド・ウィンドウの設定領域への書き込み

フラッシュ・シールド・ウィンドウの設定領域にFLWH, FLWL レジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
FSWC	1	1	1	1	1	1	FSWE8

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
FSWE7	FSWE6	FSWE5	FSWE4	FSWE3	FSWE2	FSWE1	FSWE0

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
FSPR	1	1	1	1	1	1	FSWS8

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
FSWS7	FSWS6	FSWS5	FSWS4	FSWS3	FSWS2	FSWS1	FSWS0

ビット名称	設定内容
FSWC	フラッシュ・シールド領域の範囲を指定するビットです。 0：フラッシュ・シールド領域はウィンドウ範囲の内側 1：フラッシュ・シールド領域はウィンドウ範囲の外側（デフォルト）
FSPR	フラッシュ・シールド・ウィンドウ設定の変更禁止を指定するビットです。 0：フラッシュ・シールド・ウィンドウ設定領域の変更禁止 1：フラッシュ・シールド・ウィンドウ設定領域の変更許可（デフォルト）
FSWE8-FSWE0	フラッシュ・シールド・ウィンドウのエンド・ブロックの設定領域です。 エンド・ブロック ＋1 のブロック番号を指定してください。注
FSWS8-FSWS0	フラッシュ・シールド・ウィンドウのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

注　アドレスとブロック番号の関係については、**表3 - 1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。

注意　**専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、FSPR = 0（禁止）からFSPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。**

- **SEPR = 0（ブロック消去禁止）**
- **BTPR = 0（ブート領域書き換え禁止）**

また、プログラマ・オンチップ・デバッガ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、FSPR = 1（許可）に設定できません。

(2) フラッシュ・リード・プロテクションの設定領域への書き込み

フラッシュ・リード・プロテクションの設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
SWPR	1	1	1	1	1	1	UPAddr8

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
UPAddr7	UPAddr6	UPAddr5	UPAddr4	UPAddr3	UPAddr2	UPAddr1	UPAddr0

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	1	1	1	1	LOWAddr8

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
LOWAddr7	LOWAddr6	LOWAddr5	LOWAddr4	LOWAddr3	LOWAddr2	LOWAddr1	LOWAddr0

ビット名称	設定内容
SWPR	フラッシュ・リード・プロテクション設定領域の変更禁止を指定するビットです。 0：フラッシュ・リード・プロテクション設定領域の変更禁止 1：フラッシュ・リード・プロテクションの設定領域の変更許可（デフォルト）
UPAddr8-UPAddr0	フラッシュ・リード・プロテクションのエンド・ブロックの設定領域です。 エンドブロックのブロック番号を指定してください。注
LOWAddr8-LOWAddr0	フラッシュ・リード・プロテクションのスタート・ブロックの設定領域です。 スタート・ブロックのブロック番号を指定してください。注

注　アドレスとブロック番号の関係については、**表3-1　フラッシュ・メモリのアドレス値とブロック番号の対応**を参照してください。また、フラッシュ・リード・プロテクションの設定領域はリセット解除後に設定領域の読み出しが不可となります。

注意　専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、SWPR = 0（禁止）からSWPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- **SEPR = 0（ブロック消去禁止）**
- **BTPR = 0（ブート領域書き換え禁止）**

また、プログラマ・オンチップ・デバッガ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、SWPR = 1（許可）に設定できません。

(3) セキュリティ・フラグとブート・スワップ機能の設定領域への書き込み

セキュリティ・フラグとブート・スワップ機能の設定領域にFLWH, FLWLレジスタに設定したデータを書き込みます。セキュリティ設定の詳細は、**30.9　セキュリティ設定**を参照してください。

EX bit31	EX bit30	EX bit29	EX bit28	EX bit27	EX bit26	EX bit25	EX bit24
1	1	1	1	1	1	1	1

EX bit23	EX bit22	EX bit21	EX bit20	EX bit19	EX bit18	EX bit17	EX bit16
1	1	1	1	1	1	1	1

EX bit15	EX bit14	EX bit13	EX bit12	EX bit11	EX bit10	EX bit9	EX bit8
1	1	1	WRPR	1	SEPR	BTPR	BTFLG

EX bit7	EX bit6	EX bit5	EX bit4	EX bit3	EX bit2	EX bit1	EX bit0
1	1	1	1	1	IFPR	1	IDEN

ビット名称	設定内容
WRPR	シリアル・プログラミング・モードでの書き込み禁止を指定するビットです。シリアル・プログラミング・モードでの書き込みを禁止します。 0：シリアル・プログラミング・モードでの書き込み禁止 1：シリアル・プログラミング・モードでの書き込み許可（デフォルト）
SEPR	ブロック消去禁止を指定するビットです。シリアル・プログラミング・モードでのブロック消去を禁止します。 0：シリアル・プログラミング・モードでのブロック消去禁止 1：シリアル・プログラミング・モードでのブロック消去許可（デフォルト）
BTPR	ブート領域の書き換え禁止を指定するビットです。ブート・スワップ動作およびブート領域の書き換えを禁止します。 0：ブート領域の書き換え禁止、ブート・スワップ禁止 1：ブート領域の書き換え許可、ブート・スワップ許可（デフォルト）
BTFLG	FSSETレジスタのTMSPMD = 0の場合にブート領域を指定するビットです。 0：ブート領域はブート・クラスタ1 1：ブート領域はブート・クラスタ0（デフォルト）
IFPR	プログラマ・オンチップ・デバッガ接続禁止を指定するビットです。シリアル・プログラミング・モードおよびオンチップ・デバッガの接続禁止します。 0：シリアル・プログラミング・モードおよびオンチップ・デバッガの接続禁止 1：シリアル・プログラミング・モードおよびオンチップ・デバッガの接続許可（デフォルト）
IDEN	プログラマ接続ID認証の有効化を指定するビットです。シリアル・プログラミング・モードで接続するときにID認証を行います。 0：シリアル・プログラミング・モード接続時のID認証は有効 1：シリアル・プログラミング・モード接続時のID認証は無効（デフォルト）

（注意は次ページに続きます）

注意1. BTFLGビットを書き換える場合、その他のすべてのビットは1を設定してください。

注意2. BTFLGビット以外のセキュリティ・フラグを0（禁止）に書き換える場合、BTFLGビット（読み込んだ値と同じ値を設定）を除き、その他のすべてのビットは1を設定してください。

注意3. 専用フラッシュ・メモリ・プログラマのチップ消去コマンド、または全フラッシュ・メモリが消去状態でシリアル・プログラミング・モードのSecurity Releaseコマンドを実行することで、WRPR = 0（禁止）からWRPR = 1（許可）になります。ただし、以下のいずれかの禁止が設定されている場合は、専用フラッシュ・メモリ・プログラマのチップ消去コマンドおよびシリアル・プログラミング・モードのSecurity Releaseコマンドを実行できません。

- SEPR = 0（ブロック消去禁止）
- BTPR = 0（ブート領域書き換え禁止）

また、プログラマ・オンチップ・デバッガ接続禁止設定、プログラマ接続ID認証の有効化設定によってシリアル・プログラミング・モードで接続できない場合も、コマンドを送信できなくなるため、WRPR = 1（許可）に設定できません。

注意4. SEPR, BTPR, IFPR, IDENビットは、0を設定したあとに1に戻すことはできません。

30.6.6.9　フラッシュ・メモリ・シーケンサのコマンドの終了判定手順

起動したコード／データ・フラッシュ領域シーケンサおよびエクストラ領域シーケンサのコマンドを終了する場合、以下に示す終了判定手順を実行します。

- コード／データ・フラッシュ領域シーケンサのコマンドの終了判定手順
  ① コード／データ・フラッシュ領域シーケンサのコマンド起動後、FSASTH レジスタのSQENDフラグがセットされるまで待ちます。
  ② FSASTH レジスタのSQENDフラグのセット確認後、FSSQ レジスタのSQSTビットをクリアします。
  ③ FSASTH レジスタのSQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

- エクストラ領域シーケンサのコマンドの終了判定手順
  ① エクストラ領域シーケンサのコマンド起動後、FSASTH レジスタのESQENDフラグセットされるまで待ちます。
  ② FSASTH レジスタのESQENDフラグのセット確認後、FSSE レジスタのESQSTビットをクリアします。
  ③ FSASTH レジスタのESQENDフラグがクリアされるまで待ち、クリアされたらコマンドが終了しシーケンサは停止します。

30.6.6.10　コード／データ・フラッシュ領域シーケンサのコマンドの強制終了手順

コード／データ・フラッシュ領域シーケンサのコマンド実行中にコマンドを強制停止することができます。ただし、エクストラ領域シーケンサのコマンド実行中は、コマンドを強制終了することができません。

＜強制終了手順＞

① コード／データ・フラッシュ領域シーケンサのコマンド起動後から②の FSSQ レジスタの SQST ビットをクリアする前までに、FSSQ レジスタの FSSTP ビットに 1 を設定します。
② FSASTH レジスタの SQEND フラグのセット確認後、FSSQ レジスタの SQST ビットと FSSTP ビットをクリアします。
③ FSASTH レジスタの SQEND フラグが自動的にクリアされるまで待ち、クリアされたら強制終了が完了します。

30.6.7　コード・フラッシュ・プログラミング・モード中の割り込み

30.6.7.1　概要

割り込みが発生すると ROM 上の割り込みベクタを参照し、割り込みベクタ（16 ビット）で分岐可能な 64 KB までの ROM 空間に配置されている割り込み処理へ分岐して、割り込みを実行します。しかし、コード・フラッシュやエクストラ領域の書き換えが可能なコード・フラッシュ・プログラミング・モードでは、ROM を参照できないため、割り込み処理を実行することができません。ただし、割り込み分岐先を変更することで、ROM を参照できない場合でも、ROM 上の割り込みベクタ、および ROM 上の割り込み処理を使用せず、すべての割り込みの分岐先を RAM 上の指定アドレスへ変更し、RAM 上で割り込み処理を実行することが可能です。

30.6.7.2　割り込み分岐先を変更した場合の動作

割り込み分岐先の変更は、割り込みベクタ変更レジスタ 1, 0（FLSIVC1, FLSIVC0）と割り込みベクタ移動許可レジスタ（VECTCTRL）を設定することで、すべての割り込みを RAM 上のアドレスへ分岐するように変更できます。この操作により、コード・フラッシュ・プログラミング・モード中に割り込みが発生した場合でも、ROM 上の割り込みベクタを参照せずに、RAM 上の割り込み処理を実行することが可能です。

FLSIVC1, FLSIVC0 レジスタは、コード・フラッシュやエクストラ領域を書き換え中に発生したすべての割り込み機能の飛び先のアドレスを指定するレジスタです。FLSIVC0 レジスタにはアドレスの下位 16 ビットを、FLSIVC1 レジスタには上位 4 ビットを設定します。

セルフ・プログラミング実行中に発生した割り込みの分岐先制御の設定を以下に示します。

- ROM上のベクタ・アドレスへ分岐する場合　：VECTCTRL = 0 または FLPMC レジスタの FWEDIS = 1
- RAMアドレスへ分岐する場合　：VECTCTRL = 1（FLPMC レジスタの FWEDIS = 0 の状態）

注意1. 割り込みの種類はユーザ側で割り込みフラグにより確認する必要があります。また、VECTCTRL レジスタ設定後は、割り込みフラグは自動的にクリアされません。

注意2. 割り込み変更先をROM側に設定することは出来ません。

注意3. VECTCTRL レジスタで変更した割り込みの分岐先はセルフ・プログラミング実行中のみ有効です。

注意4. 割り込みの分岐先をRAMに変更する場合は、割り込み禁止にしてください。

30.6.7.3　割り込み分岐先を変更する場合の操作

RAM 上の割り込み処理を指定するためには、フラッシュ・プログラミング・モード・コントロール・レジスタ（FLPMC）の FWEDIS ビットに 0 を設定した状態で、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを更新します。特定シーケンスを実行して、FLPMC レジスタの FWEDIS ビットを操作し、FLSIVC1, FLSIVC0 レジスタと VECTCTRL レジスタを設定して、割り込み分岐先を RAM のアドレスに変更します。

＜割り込み分岐先を RAM アドレスへ変更する場合＞

すべての割り込みの分岐先をRAM上の指定アドレスへ変更する場合の操作方法を以下に示します。

① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
② 特定シーケンスを実行し、FLPMC レジスタのFWEDISビットに0を設定します。
  1. PFCMD レジスタにA5Hを書き込む
  2. FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
  3. FLPMC レジスタにFFHを書き込む（00Hの反転値）
  4. FLPMC レジスタに00Hを書き込む（EEEMD = 0, FWEDIS = 0, FLSPM = 0）
③ FLSIVC1, FLSIVC0 レジスタにRAMアドレスを指定します。
④ VECTCTRL レジスタに01Hを設定し、割り込みをRAMアドレスへ分岐する設定にします。
⑤ 退避していた割り込み許可／禁止の設定を復帰します。

注意1. RAM上の割り込み処理を指定している間は、FWEDIS = 0のままにしてください。
注意2. 割り込みの分岐先をsaddr空間（FFE20H-FFEFFH）に設定しないでください。
注意3. RAM領域から命令を実行し、RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合、「使用するRAM領域 + 10バイト」の領域を初期化してください。

＜割り込み分岐先を RAM アドレスから ROM 上のベクタへ戻す場合＞

割り込みの分岐先をROM上の割り込みベクタが示すアドレスへ戻す場合（初期状態）の操作方法を以下に示します。

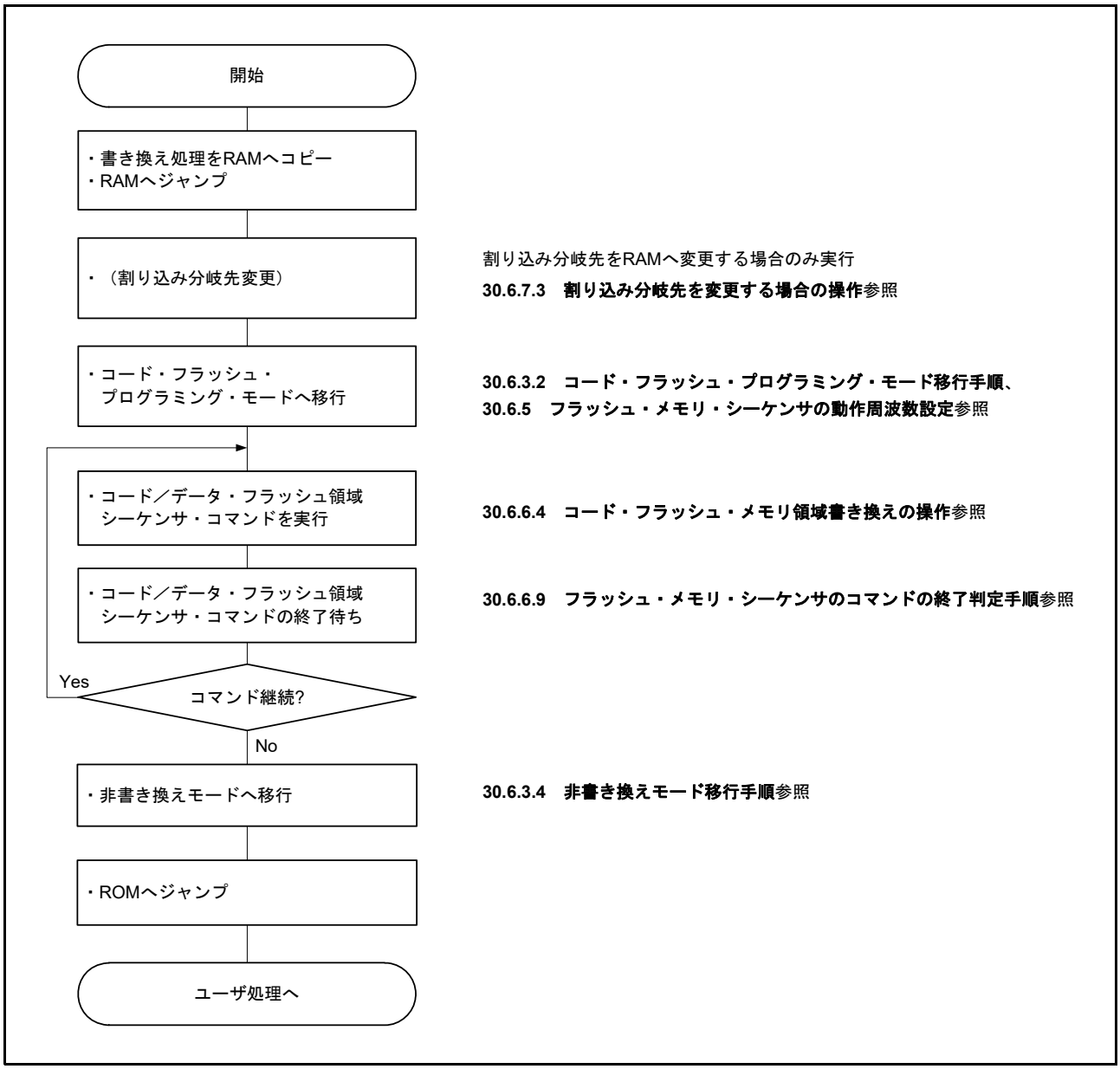
① それまでの割り込み許可／禁止の設定を退避し、割り込みを禁止に設定します。
② 特定シーケンスを実行し、FLPMC レジスタのFWEDISビットに1を設定します。
  1. PFCMD レジスタにA5Hを書き込む
  2. FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
  3. FLPMC レジスタにF7Hを書き込む（08Hの反転値）
  4. FLPMC レジスタに08Hを書き込む（EEEMD = 0, FWEDIS = 1, FLSPM = 0）
③ VECTCTRL レジスタに00Hを設定し、割り込みをROM上のベクタ・アドレスへ分岐する設定にします。
④ 退避していた割り込み許可／禁止の設定を復帰します。

30.6.8　フラッシュ・メモリ領域書き換え時のコマンドの実行例

30.6.8.1　コード・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 30 - 27 にコード・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

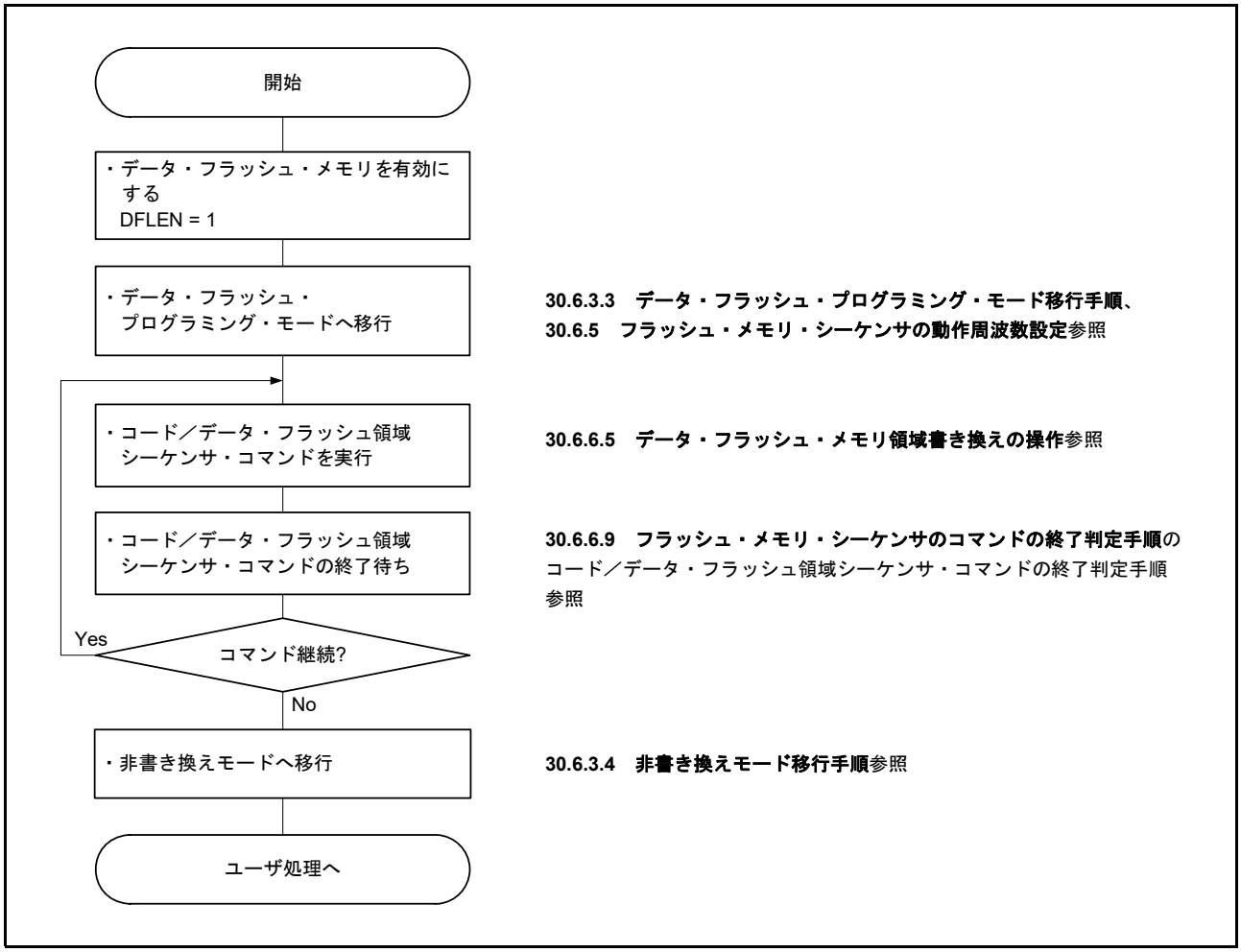
図30 - 27　コード・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



30.6.8.2　データ・フラッシュ・メモリ領域書き換え時のコマンド実行例

図 30 - 28 にデータ・フラッシュ・メモリ領域書き換え時のコマンド実行フローを示します。

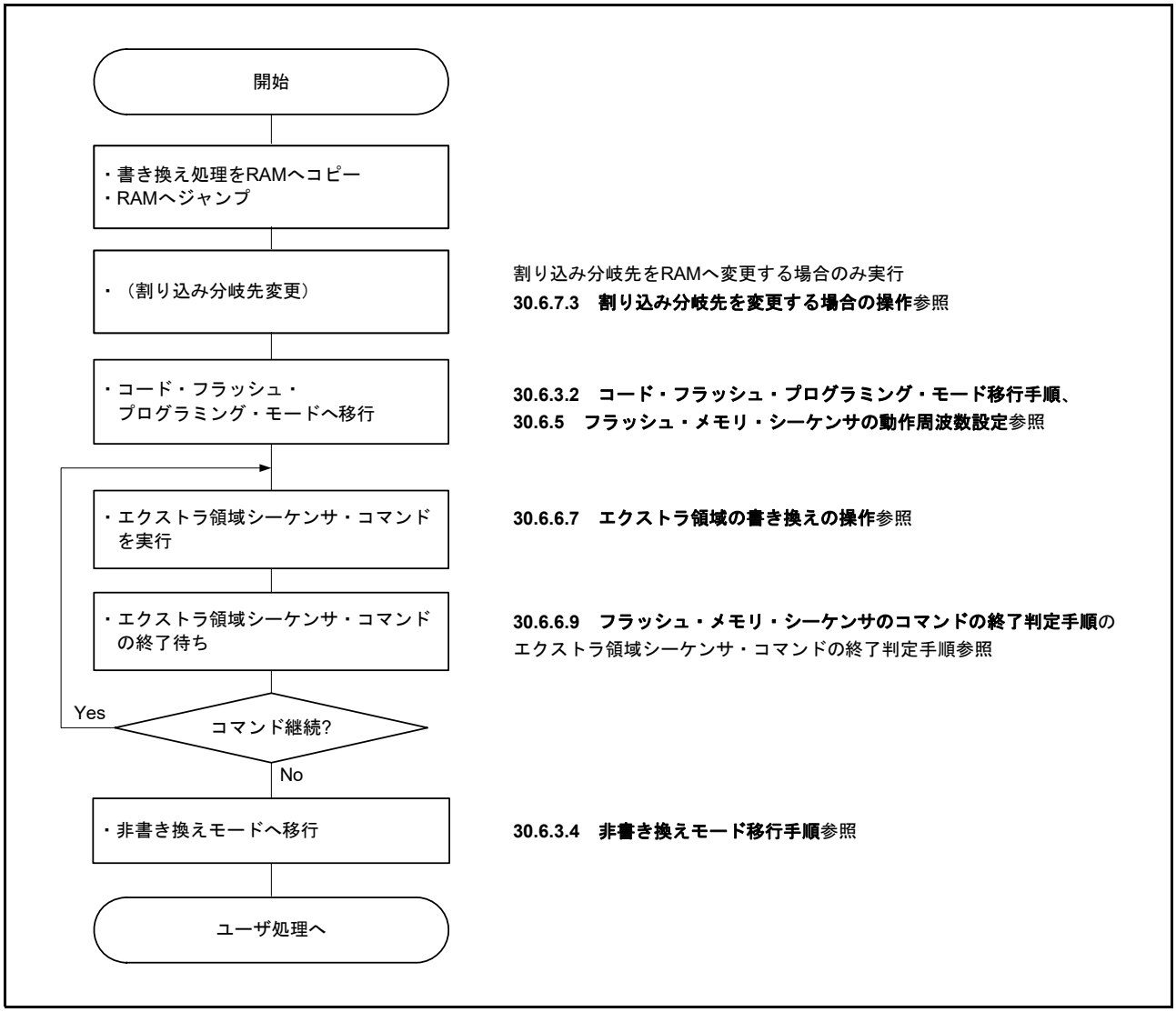
図30 - 28　データ・フラッシュ・メモリ領域書き換え時のコマンド実行フロー



30.6.8.3　エクストラ領域書き換え時のコマンド実行例

図 30 - 29 にエクストラ領域書き換え時のコマンド実行フローを示します。

図30 - 29　エクストラ領域書き換え時のコマンド実行フロー



30.6.9　セルフ・プログラミング時の注意事項

(1) コード・フラッシュ・メモリ／エクストラ領域の書き換え操作
コード・フラッシュ・メモリ／エクストラ領域を書き換える場合はRAMに配置してください。

(2) データ・フラッシュ・メモリ領域を操作する場合の前提条件
データ・フラッシュ・メモリ領域を操作する前に、データ・フラッシュ・コントロール・レジスタ（DFLCTL）のDFLEN = 1（データ・フラッシュ・メモリのアクセス許可）に設定してください。

(3) フラッシュ・メモリ書き換え操作中のプログラム実行
セルフ・プログラミングはフラッシュ・メモリ・シーケンサを使用し、フラッシュ・メモリの書き換えを制御します。
フラッシュ・メモリの書き換えが可能なフラッシュ・メモリ制御モードでは、操作対象のフラッシュ・メモリは参照できなくなります。

- コード・フラッシュ・プログラミング・モードでは、コード・フラッシュ・メモリを参照することができません。コード・フラッシュ・プログラミング・モード中に実行するROM（コード・フラッシュ・メモリ）上のユーザ・プログラム、および参照データは、事前にRAMへコピーして、RAM上で実行、参照してください。
- データ・フラッシュ・プログラミング・モードでは、データ・フラッシュ・メモリを参照することができません。データ・フラッシュ・プログラミング・モード中に参照するデータは、事前にRAMへコピーして、RAM上で参照してください。

(4) 使用不可領域の範囲の指定
ブランク・チェックおよびブロック消去の範囲の指定は、コード・フラッシュ・メモリ領域の範囲内またはデータ・フラッシュ・メモリ領域を範囲内で指定してください。使用不可領域を指定したり、使用不可領域を含めてコード・フラッシュ・メモリ領域とデータ・フラッシュ・メモリ領域の両方を指定したりしないでください。

30.7　ブート・スワップ機能

ブート領域は、ベクタ・テーブル領域、CALLT テーブル領域、オプション・バイト領域、オンチップ・デバッグ・セキュリティ ID およびプログラマ接続 ID の設定領域、プログラム領域で構成されています。これらの領域には、プログラムのスタートに必要な設定やオンチップ・デバッガおよびプログラマとの接続に必要な情報が格納されています。したがって、セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

この問題を回避するために、ブート・スワップ機能があります。

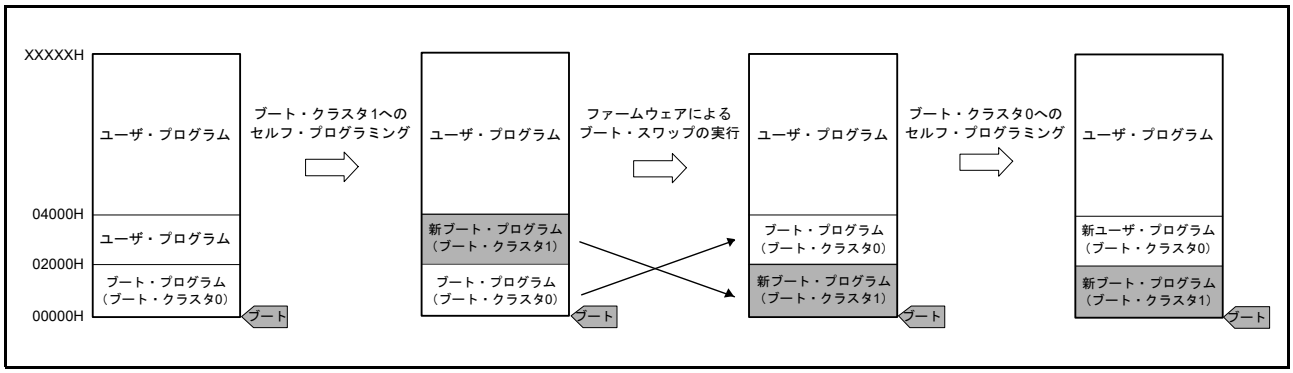
ブート領域がブート・クラスタ 0 に設定されている場合、セルフ・プログラミングにてブート・クラスタ 0 の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ 1 に書き込んでおきます注。ブート・クラスタ 1 への書き込みの正常終了後、セルフ・プログラミングでブート領域をブート・クラスタ 0 からブート・クラスタ 1 に変更し、ブート・クラスタ 1 をブート領域にします。このあと、ブート・クラスタ 0 へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、ブート・クラスタ 1 からブートを行うため、正常にプログラムが動作します。

ブート・クラスタは 8 K バイトの領域です。

注　新ブート・プログラムの02000H-0207FH（128バイト）にはベクタ・テーブル領域、02080H-020BFH（64バイト）にはCALLTテーブル、020C0H-020C3H（4バイト）にはオプション・バイト領域、020C4H-020CDH（10バイト）にはオンチップ・デバッグ・セキュリティ ID設定領域を設定してください。

図30 - 30　ブート・スワップ機能

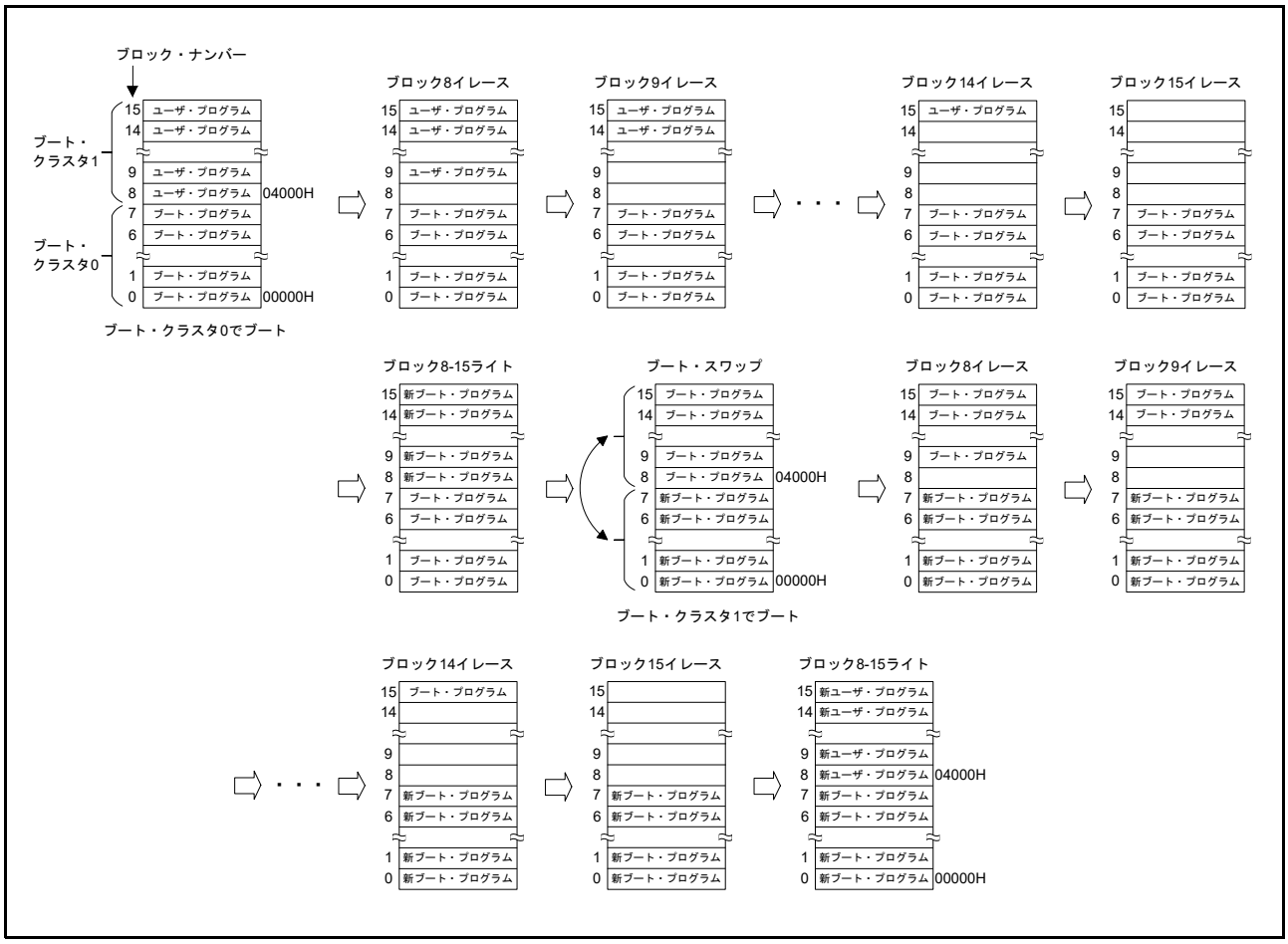


この図の例では、次のようになっています。

ブート・クラスタ 0：ブート・スワップ前のブート領域です。

ブート・クラスタ 1：ブート・スワップ後のブート領域です。

図30 - 31　ブート・スワップの実行例



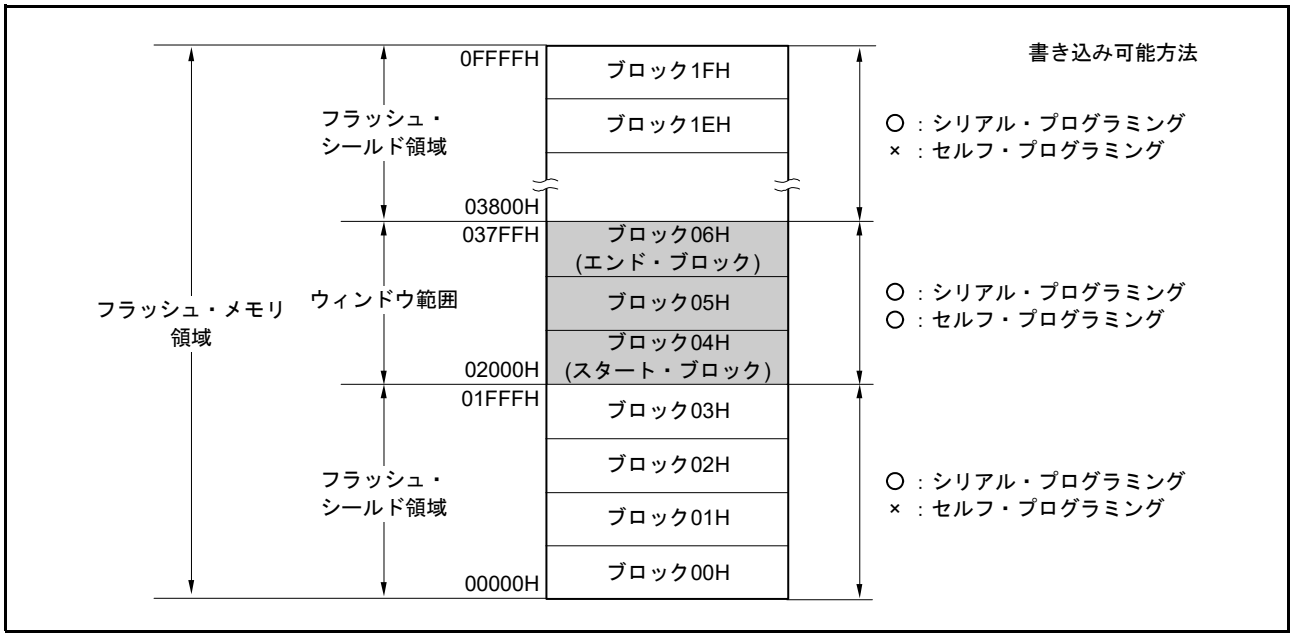
30.8　フラッシュ・シールド・ウィンドウ機能

フラッシュ・シールド・ウィンドウ機能は、指定したフラッシュ・シールド領域の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

フラッシュ・シールド領域は指定したウィンドウ範囲内または範囲外を設定できます。ウィンドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。フラッシュ・シールド領域は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

フラッシュ・シールド領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはフラッシュ・シールド領域も書き込み／消去可能です。

図30 - 32　フラッシュ・シールド・ウィンドウの設定例
（対象デバイス：R7F102GGE、先頭ブロック：04H、終了ブロック：06H、FSWC：1の場合）



注意1.　フラッシュ・シールド・ウィンドウのウィンドウ範囲内にブート領域の書き換え禁止領域が重なる場合は、ブート領域の書き換え禁止が優先されます。

注意2.　フラッシュ・シールド・ウィンドウはコード・フラッシュ・メモリのみ設定可能です（データ・フラッシュ・メモリは対応していません）。

表30 - 12　フラッシュ・シールド・ウィンドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウィンドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セルフ・プログラミングでフラッシュ・シールド・ウィンドウの設定領域に、ウィンドウのスタート・ブロックのブロック番号、エンド・ブロック＋1のブロック番号（エンド・ブロックの次のブロック番号）を指定する	フラッシュ・シールド領域内はブロック消去できない	フラッシュ・シールド領域内は書き込みできない
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウィンドウのスタート・ブロック、エンド・ブロックを指定する	フラッシュ・シールド領域内もブロック消去可能	フラッシュ・シールド領域内も書き込み可能

30.9　セキュリティ設定

本製品は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

シリアル・プログラミングまたはセルフ・プログラミングで、次の操作をすることができます。

- ブロック消去禁止
  ★ シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止
  ★ シリアル・プログラミング時に、コード・フラッシュ・メモリおよびデータ・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。
  書き込み禁止を設定後、Security Releaseコマンドによる解除はリセットで有効になります。

- ブート領域の書き換え禁止
  コード・フラッシュ・メモリ内のブート領域（00000H-01FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

- プログラマ・オンチップ・デバッガ接続禁止
  専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッガとの接続を禁止にします。
  専用フラッシュ・メモリ・プログラマおよびオンチップ・デバッガによるフラッシュ・メモリの操作はできません。

- プログラマ接続ID認証の有効化
  専用フラッシュ・メモリ・プログラマとの接続時に10バイトの任意のIDコードとの認証を有効にします。10バイトのIDの領域は000C4H-000CDH注です。シリアル・プログラミングでIDが一致しない場合は、専用フラッシュ・メモリ・プログラマでフラッシュ・メモリの操作はできません。

出荷時の初期状態では、ブロック消去／書き込み／ブート領域の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表 30 - 13 に本製品のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を示します。

注　プログラマ接続IDの10バイトのIDコード領域はオンチップ・デバッグ・セキュリティ IDと共用しています。

注意　**専用フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。**

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、**30.8　フラッシュ・シールド・ウィンドウ機能**を参照してください）。

表30 - 13　セキュリティ機能有効時とコマンドの関係

(1)　シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッガ接続禁止	ブロック消去できない	書き込みできない
プログラマ接続ID認証が有効で認証成功	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効で認証失敗	ブロック消去できない	書き込みできない

注　書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2)　セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート領域書き換え禁止	ブート領域は消去できない	ブート領域は書き込みできない
プログラマ・オンチップ・デバッガ接続禁止	ブロック消去できる	書き込みできる
プログラマ接続ID認証が有効	ブロック消去できる	書き込みできる

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は、**30.8　フラッシュ・シールド・ウィンドウ機能**を参照してください）。

表30 - 14　各プログラミング・モード時のセキュリティ設定方法

(1)　シリアル・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定
ブート領域書き換え禁止		設定後、無効にできない
プログラマ・オンチップ・デバッガ接続禁止		
プログラマ接続ID認証の有効化		

注意　「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート領域の書き換え禁止」に設定されていない状態、かつコード・フラッシュ・メモリ領域、データ・フラッシュ・メモリ領域がブランクの場合にのみ可能です。ただし、「プログラマ・オンチップ・デバッガ接続禁止」または「プログラマ接続ID認証が有効化」によってシリアル・プログラミングが接続禁止の場合は、シリアル・プログラミングが実行できないため、「書き込み禁止」の解除を実行できません。

(2)　セルフ・プログラミング時

セキュリティ	セキュリティの設定方法	セキュリティを無効にする方法
ブロック消去禁止	セルフ・プログラミングで設定	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない。専用フラッシュ・メモリ・プログラマのGUI上などで設定
ブート領域書き換え禁止		設定後、無効にできない
プログラマ・オンチップ・デバッガ接続禁止		
プログラマ接続ID認証の有効化		

30.10 データ・フラッシュ・メモリ

30.10.1　データ・フラッシュ・メモリの概要

データ・フラッシュ・メモリの概要は次のとおりです。

- セルフ・プログラミングを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、**RL78ファミリRenesas Flash Driver RL78 Type01 ユーザーズマニュアル（R20UT4830JJ）**を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュ・メモリは、1ブロック = 256バイト単位で消去
- データ・フラッシュ・メモリは、8ビット単位でのみアクセス可能
- データ・フラッシュ・メモリは、CPU命令で直接読み出し可能
- データ・フラッシュ・メモリの書き換え中に、コード・フラッシュ・メモリからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
- データ・フラッシュ・メモリは、データ専用領域のため、データ・フラッシュ・メモリからの命令実行は禁止
- コード・フラッシュ・メモリの書き換え中（セルフ・プログラミング時）に、データ・フラッシュ・メモリにアクセスすることは禁止
- データ・フラッシュ・メモリの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュ・メモリの書き換え中に、HALT/STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュ・メモリは停止状態です。データ・フラッシュ・メモリ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

注意2. データ・フラッシュ・メモリの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ、5 μs経過後にセルフ・プログラミングを実行してください。

備考　ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては、**30.6　セルフ・プログラミング**を参照してください。

30.10.2　データ・フラッシュ・メモリへのアクセス手順

リセット解除後、データ・フラッシュ・メモリは停止状態です。データ・フラッシュ・メモリへアクセスするには、以下の手順で初期設定を行う必要があります。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）の DFLEN ビットに 1 を設定する。

② ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はフラッシュ動作モードによって異なります。
＜各フラッシュ動作モードのセットアップ時間＞
- HS（高速メイン）モード時　：250 ns
- LS（低速メイン）モード時　：250 ns
- LP（低電力メイン）モード時：0 ns

③ セットアップ時間のウエイト完了後、データ・フラッシュ・メモリへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュ・メモリへのアクセスは禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュ・メモリの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作（CSC.HIOSTOP = 0）させ、5 μs経過後にセルフ・プログラミングを実行してください。

注意4. CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック）時、CSSビットにてクロックの選択後、CLSビットが切り替わるまでは、データ・フラッシュ・メモリへのアクセスは禁止です。

第31章　オンチップ・デバッグ機能

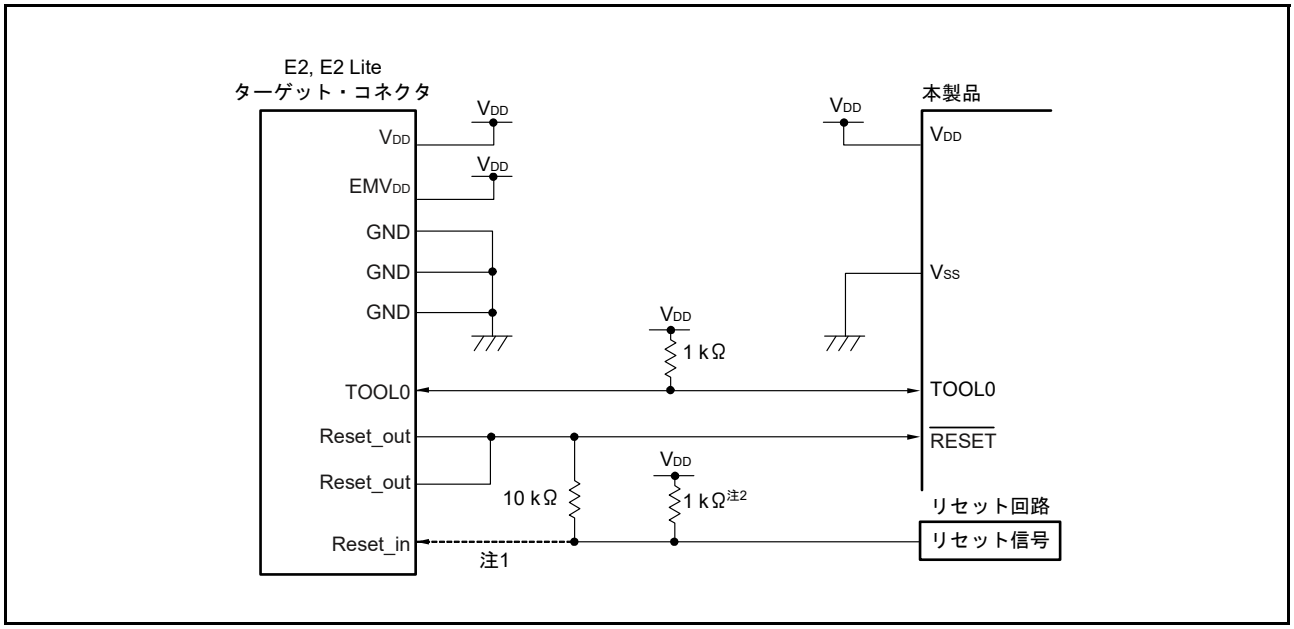
31.1　E2, E2 Liteオンチップ・デバッギング・エミュレータとの接続

本製品は、オンチップ・デバッグ対応の E2, E2 Lite オンチップ・デバッギング・エミュレータを介して、ホスト・マシンとの通信を行う場合、VDD, RESET, TOOL0, VSS 端子を使用します。シリアル通信としては、TOOL0 端子を使用した単線 UART を使用します。

接続回路の詳細や注意事項については、**E1/E20/E2 エミュレータ , E2 エミュレータ Lite ユーザーズマニュアル別冊 (RL78 接続時の注意事項)（R20UT1994）**を参照してください。

注意　本製品には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

図31 - 1　E2, E2 Liteオンチップ・デバッギング・エミュレータとの接続例



注1.　シリアル・プログラミング時、点線部の接続は必要ありません。

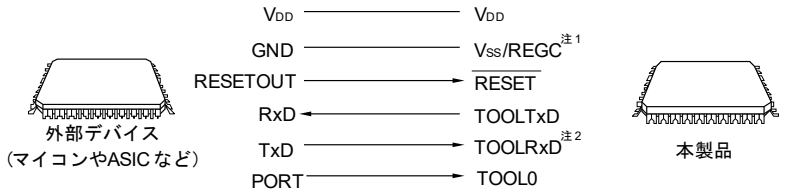
注2.　ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意　リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100 Ω以下）を想定した回路例です。

31.2　外部デバイス（UART内蔵）との接続

オンボード上で本製品と UART 接続されている外部デバイス（マイコンや ASIC）を介して、ホスト・マシンとの通信を行う場合、VDD, RESET, TOOL0, VSS, TOOLTxD, TOOLRxD 端子を使用します。外部デバイスと本製品との通信は、本製品の TOOLTxD, TOOLRxD 端子を使用して、専用の UART によるシリアル通信で行います。

接続回路の詳細や注意事項については、**シリアルポートを使用した RL78 デバッグ機能（R20AN0632）**を参照してください。



注1.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

注2.　TOOLRxDを兼用するポートを入力モードに設定してください。また、PDIDISxxレジスタで入力バッファの入力を許可に設定してください。

31.3　オンチップ・デバッグのセキュリティ設定

第三者からメモリの内容を読み取られないようにするために、以下のオンチップ・デバッグ機能を用意しています。

- プログラマ・オンチップ・デバッガ接続禁止設定（**30.9　セキュリティ設定**参照）
- フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（**第29章　オプション・バイト**参照）
- 000C4H-000CDH注にオンチップ・デバッグ・セキュリティ ID設定領域

注　オンチップ・デバッグ・セキュリティ ID設定領域は、プログラマ接続ID認証のIDコード設定領域と共用しています。

表31 - 1　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード注1, 2
020C4H-020CDH	

注1.　FFFFFFFFFFFFFFFFFFFFFHは設定できません。

注2.　ブート・スワップ使用時およびFLSECレジスタのBTFLGビットが0の状態のときには000C4H-000CDHと020C4H-020CDHに10バイトのオンチップ・デバッグ・セキュリティ IDを設定してください。

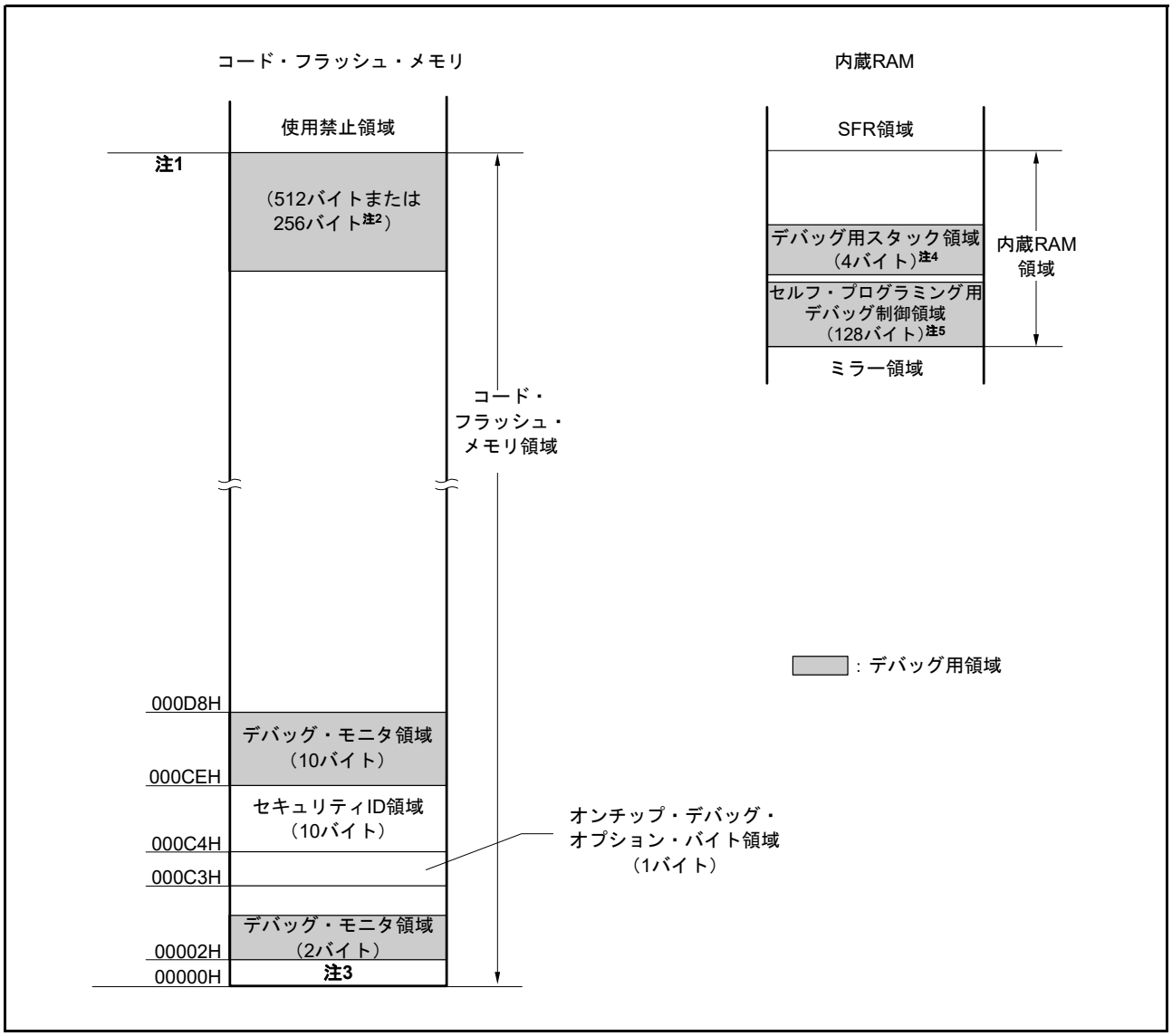
31.4　ユーザ資源の確保

本製品と E2, E2 Lite オンチップ・デバッギング・エミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1)　メモリ空間の確保

図31 - 2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図31 - 2　デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名	注1のアドレス
R7F102GxC（x = 4, 6, 7, 8, A-C, E-G）	07FFFH
R7F102GxE（x = 4, 6, 7, 8, A-C, E-G）	0FFFFH

注2. リアルタイムRAMモニタ（RRM）機能、Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。
セルフ・プログラミングを行う場合は、12バイト余分に消費します。

注5. セルフ・プログラミング中にブレークする場合、オンチップ・デバッガは次のRAM領域（128バイト）を使用します。
- FEF00H-FEF7FH

オンチップ・デバッガでセルフ・プログラミング中にデバッグを行わない設定にした場合は、上記RAM領域を使用しません。セルフ・プログラミングのデバッギングの設定は、各統合開発環境のユーザーズマニュアルを参照してください。

第32章　10進補正（BCD）回路

32.1　10進補正回路の機能

BCD コード（2 進化 10 進数）と BCD コード（2 進化 10 進数）の加減算結果を、BCD コード（2 進化 10 進数）で求めることができます。

A レジスタをオペランドに持つ加減算命令を行ったあと、さらに BCD 補正結果レジスタ（BCDADJ）を加減算することで 10 進補正演算結果が求められます。

32.2　10進補正回路で使用するレジスタ

10 進補正回路で使用するレジスタを次に示します。

- BCD補正結果レジスタ（BCDADJ）

32.2.1　BCD補正結果レジスタ（BCDADJ）

BCDADJ レジスタには、A レジスタをオペランドにもつ加減算命令によって、BCD コードで加減算結果を求めるための補正値が格納されます。

また、BCDADJ レジスタの読み出し値は、読み出し時の A レジスタと CY フラグおよび AC フラグの値によって変わります。

BCDADJ レジスタは、8 ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図32 - 1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス　：F00FEH
リセット時：不定
R/W属性　：R

略号	7	6	5	4	3	2	1	0
BCDADJ								

32.3　10進補正回路の動作

10 進補正回路の基本動作を次に示します。

(1)　加算：BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値、加算値）を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CY, ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例 1　99 + 89 = 188

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #99H ; ①	99H	—	—	—
ADD A, #89H ; ②	22H	1	1	66H
ADD A, !BCDADJ ; ③	88H	1	0	—

例 2　85 + 15 = 100

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #85H ; ①	85H	—	—	—
ADD A, #15H ; ②	9AH	0	0	66H
ADD A, !BCDADJ ; ③	00H	1	1	—

例 3　80 + 80 = 160

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #80H ; ①	80H	—	—	—
ADD A, #80H ; ②	00H	1	0	60H
ADD A, !BCDADJ ; ③	60H	1	0	—

(2) 減算：BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値、減算値）を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、ほかの命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW（CY, ACフラグ）は、RETI命令によって復帰されます。

例を次に示します。

例　91 – 52 = 39

命令	Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV A, #91H ; ①	91H	—	—	—
SUB A, #52H ; ②	3FH	0	1	06H
SUB A, !BCDADJ ; ③	39H	0	0	—

第33章　命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、**RL78 ファミリ　ユーザーズマニュアル　ソフトウェア編（R01US0015）**を参照してください。

33.1　凡例

33.1.1　オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の 1 つを選択します。大文字で書かれた英字および #, !, !!, $, $!, [ ], ES: の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #　：イミーディエト・データ指定
- !　：16 ビット絶対アドレス指定
- !!　：20 ビット絶対アドレス指定
- $　：8 ビット相対アドレス指定
- $!　：16 ビット相対アドレス指定
- [ ]　：間接アドレス指定
- ES　：拡張アドレス指定

イミーディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も #, !, !!, $, $!, [ ], ES: 記号は必ず記述してください。

また、オペランドのレジスタの記述形式 r, rp には、機能名称（X, A, C など）、絶対名称（**表 33 - 1** の中のカッコ内の名称、R0, R1, R2 など）のいずれの形式でも記述可能です。

表33 - 1　オペランドの表現形式と記述方法

表現形式	記述方法
r rp sfr sfrp	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7) AX(RP0), BC(RP1), DE(RP2), HL(RP3) 特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH 特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ注）FFF00H-FFFFFH
saddr saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ注）
addr20 addr16 addr5	00000H-FFFFFH イミーディエト・データまたはラベル 0000H-FFFFH イミーディエト・データまたはラベル（16ビット・データ時は偶数アドレスのみ注） 0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word byte bit	16ビット・イミーディエト・データまたはラベル 8ビット・イミーディエト・データまたはラベル 3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が0になります。

備考　特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は、**表3 - 5　SFR一覧**を参照してください。
拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は、**表3 - 6　2nd SFR一覧**を参照してください。

33.1.2　オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表33 - 2　オペレーション欄の記号

記号	機能
A	A レジスタ：8ビット・アキュムレータ
X	X レジスタ
B	B レジスタ
C	C レジスタ
D	D レジスタ
E	E レジスタ
H	H レジスタ
L	L レジスタ
ES	ES レジスタ
CS	CS レジスタ
AX	AX レジスタ・ペア：16ビット・アキュムレータ
BC	BC レジスタ・ペア
DE	DE レジスタ・ペア
HL	HL レジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	( )内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H, X_L X_S, X_H, X_L	16ビット・レジスタの場合はX_H = 上位8ビット、X_L = 下位8ビット 20ビット・レジスタの場合はX_S（ビット19-16）、X_H（ビット15-8）、X_L（ビット7-0）
∧	論理積（AND）
∨	論理和（OR）
∨̄	排他的論理和（exclusive OR）
‾	反転データ
addr5	16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ）
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

33.1.3　フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表します。

表33 - 3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果に従ってセット／リセットされる
R	以前に退避した値がリストアされる

33.1.4　PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFH の 64 K バイト空間から、ES レジスタの値を付加した 00000H-FFFFFH の 1 M バイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表33 - 4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意　ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, A などで事前に設定しておいてください。

33.2　オペレーション一覧

表33 - 5　オペレーション一覧 (1/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	1	—	r ← byte			
		PSW, #byte	3	3	—	PSW ← byte	×	×	×
		CS, #byte	3	1	—	CS ← byte			
		ES, #byte	2	1	—	ES ← byte			
		!addr16, #byte	4	1	—	(addr16) ← byte			
		ES:!addr16, #byte	5	2	—	(ES, addr16) ← byte			
		saddr, #byte	3	1	—	(saddr) ← byte			
		sfr, #byte	3	1	—	sfr ← byte			
		[DE+byte], #byte	3	1	—	(DE + byte) ← byte			
		ES:[DE+byte], #byte	4	2	—	((ES, DE) + byte) ← byte			
		[HL+byte], #byte	3	1	—	(HL + byte) ← byte			
		ES:[HL+byte], #byte	4	2	—	((ES, HL) + byte) ← byte			
		[SP+byte], #byte	3	1	—	(SP + byte) ← byte			
		word[B], #byte	4	1	—	(B + word) ← byte			
		ES:word[B], #byte	5	2	—	((ES, B) + word) ← byte			
		word[C], #byte	4	1	—	(C + word) ← byte			
		ES:word[C], #byte	5	2	—	((ES, C) + word) ← byte			
		word[BC], #byte	4	1	—	(BC + word) ← byte			
		ES:word[BC], #byte	5	2	—	((ES, BC) + word) ← byte			
		A, r注3	1	1	—	A ← r			
		r注3, A	1	1	—	r ← A			
		A, PSW	2	1	—	A ← PSW			
		PSW, A	2	3	—	PSW ← A	×	×	×
		A, CS	2	1	—	A ← CS			
		CS, A	2	1	—	CS ← A			
		A, ES	2	1	—	A ← ES			
		ES, A	2	1	—	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	—	(addr16) ← A			
		ES:!addr16, A	4	2	—	(ES, addr16) ← A			
		A, saddr	2	1	—	A ← (saddr)			
		saddr, A	2	1	—	(saddr) ← A			

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (2/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	A, sfr	2	1	—	A ← sfr			
		sfr, A	2	1	—	sfr ← A			
		A, [DE]	1	1	4	A ← (DE)			
		[DE], A	1	1	—	(DE) ← A			
		A, ES:[DE]	2	2	5	A ← (ES, DE)			
		ES:[DE], A	2	2	—	(ES, DE) ← A			
		A, [HL]	1	1	4	A ← (HL)			
		[HL], A	1	1	—	(HL) ← A			
		A, ES:[HL]	2	2	5	A ← (ES, HL)			
		ES:[HL], A	2	2	—	(ES, HL) ← A			
		A, [DE+byte]	2	1	4	A ← (DE + byte)			
		[DE+byte], A	2	1	—	(DE + byte) ← A			
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	—	((ES, DE) + byte) ← A			
		A, [HL+byte]	2	1	4	A ← (HL + byte)			
		[HL+byte], A	2	1	—	(HL + byte) ← A			
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	—	((ES, HL) + byte) ← A			
		A, [SP+byte]	2	1	—	A ← (SP + byte)			
		[SP+byte], A	2	1	—	(SP + byte) ← A			
		A, word[B]	3	1	4	A ← (B + word)			
		word[B], A	3	1	—	(B + word) ← A			
		A, ES:word[B]	4	2	5	A ← ((ES, B) + word)			
		ES:word[B], A	4	2	—	((ES, B) + word) ← A			
		A, word[C]	3	1	4	A ← (C + word)			
		word[C], A	3	1	—	(C + word) ← A			
		A, ES:word[C]	4	2	5	A ← ((ES, C) + word)			
		ES:word[C], A	4	2	—	((ES, C) + word) ← A			
		A, word[BC]	3	1	4	A ← (BC + word)			
		word[BC], A	3	1	—	(BC + word) ← A			
		A, ES:word[BC]	4	2	5	A ← ((ES, BC) + word)			
		ES:word[BC], A	4	2	—	((ES, BC) + word) ← A			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (3/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL + B)			
		[HL+B], A	2	1	—	(HL + B) ← A			
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL) + B)			
		ES:[HL+B], A	3	2	—	((ES, HL) + B) ← A			
		A, [HL+C]	2	1	4	A ← (HL + C)			
		[HL+C], A	2	1	—	(HL + C) ← A			
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL) + C)			
		ES:[HL+C], A	3	2	—	((ES, HL) + C) ← A			
		X, !addr16	3	1	4	X ← (addr16)			
		X, ES:!addr16	4	2	5	X ← (ES, addr16)			
		X, saddr	2	1	—	X ← (saddr)			
		B, !addr16	3	1	4	B ← (addr16)			
		B, ES:!addr16	4	2	5	B ← (ES, addr16)			
		B, saddr	2	1	—	B ← (saddr)			
		C, !addr16	3	1	4	C ← (addr16)			
		C, ES:!addr16	4	2	5	C ← (ES, addr16)			
		C, saddr	2	1	—	C ← (saddr)			
		ES, saddr	3	1	—	ES ← (saddr)			
	XCH	A, r注3	1 (r = X) 2 (r = X 以外)	1	—	A ↔ r			
		A, !addr16	4	2	—	A ↔ (addr16)			
		A, ES:!addr16	5	3	—	A ↔ (ES, addr16)			
		A, saddr	3	2	—	A ↔ (saddr)			
		A, sfr	3	2	—	A ↔ sfr			
		A, [DE]	2	2	—	A ↔ (DE)			
		A, ES:[DE]	3	3	—	A ↔ (ES, DE)			
		A, [HL]	2	2	—	A ↔ (HL)			
		A, ES:[HL]	3	3	—	A ↔ (ES, HL)			
		A, [DE+byte]	3	2	—	A ↔ (DE + byte)			
		A, ES:[DE+byte]	4	3	—	A ↔ ((ES, DE) + byte)			
		A, [HL+byte]	3	2	—	A ↔ (HL + byte)			
		A, ES:[HL+byte]	4	3	—	A ↔ ((ES, HL) + byte)			

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (4/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	A ↔ (HL + B)			
		A, ES:[HL+B]	3	3	—	A ↔ ((ES, HL) + B)			
		A, [HL+C]	2	2	—	A ↔ (HL + C)			
		A, ES:[HL+C]	3	3	—	A ↔ ((ES, HL) + C)			
	ONEB	A	1	1	—	A ← 01H			
		X	1	1	—	X ← 01H			
		B	1	1	—	B ← 01H			
		C	1	1	—	C ← 01H			
		!addr16	3	1	—	(addr16) ← 01H			
		ES:!addr16	4	2	—	(ES, addr16) ← 01H			
		saddr	2	1	—	(saddr) ← 01H			
	CLRB	A	1	1	—	A ← 00H			
		X	1	1	—	X ← 00H			
		B	1	1	—	B ← 00H			
		C	1	1	—	C ← 00H			
		!addr16	3	1	—	(addr16) ← 00H			
		ES:!addr16	4	2	—	(ES, addr16) ← 00H			
		saddr	2	1	—	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	—	(HL + byte) ← X	×		×
		ES:[HL+byte], X	4	2	—	(ES, HL + byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	—	rp ← word			
		saddrp, #word	4	1	—	(saddrp) ← word			
		sfrp, #word	4	1	—	sfrp ← word			
		AX, rp注3	1	1	—	AX ← rp			
		rp注3, AX	1	1	—	rp ← AX			
		AX, !addr16	3	1	4	AX ← (addr16)			
		!addr16, AX	3	1	—	(addr16) ← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	—	(ES, addr16) ← AX			
		AX, saddrp	2	1	—	AX ← (saddrp)			
		saddrp, AX	2	1	—	(saddrp) ← AX			
		AX, sfrp	2	1	—	AX ← sfrp			
		sfrp, AX	2	1	—	sfrp ← AX			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. rp = AXを除く。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (5/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (6/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	×	×	×
		A, r注4	2	1	—	A, CY ← A + r	×	×	×
		r, A	2	1	—	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	×	×	×

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3.　rp = AXを除く。

注4.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	ADDC	A, #byte	2	1	—	A, CY ← A + byte + CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte + CY	×	×	×
		A, r注3	2	1	—	A, CY ← A + r + CY	×	×	×
		r, A	2	1	—	r, CY ← r + A + CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16) + CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16) + CY	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr) + CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL) + CY	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL) + CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte) + CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte) + CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B) + CY	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B) + CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C) + CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C) + CY	×	×	×
	SUB	A, #byte	2	1	—	A, CY ← A – byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) – byte	×	×	×
		A, r注3	2	1	—	A, CY ← A – r	×	×	×
		r, A	2	1	—	r, CY ← r – A	×	×	×
		A, !addr16	3	1	4	A, CY ← A – (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A – (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A – (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A – (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A – (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A – (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A – ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A – (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A – ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A – (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A – ((ES, HL) + C)	×	×	×

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (8/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	SUBC	A, #byte	2	1	—	A, CY ← A – byte – CY	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) – byte – CY	×	×	×
		A, r注3	2	1	—	A, CY ← A – r – CY	×	×	×
		r, A	2	1	—	r, CY ← r – A – CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A – (addr16) – CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A – (ES, addr16) – CY	×	×	×
		A, saddr	2	1	—	A, CY ← A – (saddr) – CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A – (HL) – CY	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A – (ES, HL) – CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A – (HL + byte) – CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A – ((ES, HL) + byte) – CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A – (HL + B) – CY	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A – ((ES, HL) + B) – CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A – (HL + C) – CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A – ((ES:HL) + C) – CY	×	×	×
	AND	A, #byte	2	1	—	A ← A ∧ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∧ byte	×		
		A, r注3	2	1	—	A ← A ∧ r	×		
		r, A	2	1	—	r ← r ∧ A	×		
		A, !addr16	3	1	4	A ← A ∧ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∧ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∧ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∧ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∧ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∧ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∧ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∧ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∧ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∧ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∧ ((ES:HL) + C)	×		

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (9/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	OR	A, #byte	2	1	—	A ← A ∨ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∨ byte	×		
		A, r注3	2	1	—	A ← A ∨ r	×		
		r, A	2	1	—	r ← r ∨ A	×		
		A, !addr16	3	1	4	A ← A ∨ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∨ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∨ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∨ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∨ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∨ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∨ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∨ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∨ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∨ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∨ ((ES:HL) + C)	×		
	XOR	A, #byte	2	1	—	A ← A ∨̸ byte	×		
		saddr, #byte	3	2	—	(saddr) ← (saddr) ∨̸ byte	×		
		A, r注3	2	1	—	A ← A ∨̸ r	×		
		r, A	2	1	—	r ← r ∨̸ A	×		
		A, !addr16	3	1	4	A ← A ∨̸ (addr16)	×		
		A, ES:!addr16	4	2	5	A ← A ∨̸ (ES:addr16)	×		
		A, saddr	2	1	—	A ← A ∨̸ (saddr)	×		
		A, [HL]	1	1	4	A ← A ∨̸ (HL)	×		
		A, ES:[HL]	2	2	5	A ← A ∨̸ (ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A ∨̸ (HL + byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A ∨̸ ((ES:HL) + byte)	×		
		A, [HL+B]	2	1	4	A ← A ∨̸ (HL + B)	×		
		A, ES:[HL+B]	3	2	5	A ← A ∨̸ ((ES:HL) + B)	×		
		A, [HL+C]	2	1	4	A ← A ∨̸ (HL + C)	×		
		A, ES:[HL+C]	3	2	5	A ← A ∨̸ ((ES:HL) + C)	×		

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (10/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	CMP	A, #byte	2	1	—	A – byte	×	×	×
		!addr16, #byte	4	1	4	(addr16) – byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16) – byte	×	×	×
		saddr, #byte	3	1	—	(saddr) – byte	×	×	×
		A, r注3	2	1	—	A – r	×	×	×
		r, A	2	1	—	r – A	×	×	×
		A, !addr16	3	1	4	A – (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A – (ES:addr16)	×	×	×
		A, saddr	2	1	—	A – (saddr)	×	×	×
		A, [HL]	1	1	4	A – (HL)	×	×	×
		A, ES:[HL]	2	2	5	A – (ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A – (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A – ((ES:HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A – (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A – ((ES:HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A – (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A – ((ES:HL) + C)	×	×	×
	CMP0	A	1	1	—	A – 00H	×	0	0
		X	1	1	—	X – 00H	×	0	0
		B	1	1	—	B – 00H	×	0	0
		C	1	1	—	C – 00H	×	0	0
		!addr16	3	1	4	(addr16) – 00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16) – 00H	×	0	0
		saddr	2	1	—	(saddr) – 00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X – (HL + byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X – ((ES:HL) + byte)	×	×	×

注1.　内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2.　コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (11/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX – word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX – BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX – DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX – HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX – (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX – (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX – (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX – (HL + byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX, CY ← AX – ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX – word	×	×	×
		AX, BC	1	1	—	AX – BC	×	×	×
		AX, DE	1	1	—	AX – DE	×	×	×
		AX, HL	1	1	—	AX – HL	×	×	×
		AX, !addr16	3	1	4	AX – (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX – (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX – (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX – (HL + byte)	×	×	×
		AX, ES:[HL+byte]	4	2	5	AX – ((ES:HL) + byte)	×	×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (12/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
乗除積和算	MULU	X	1	1	—	AX ← A × X			
	MULHU		3	2	—	BCAX ← AX × BC（符号なし）			
	MULH		3	2	—	BCAX ← AX × BC（符号付き）			
	DIVHU		3	9	—	AX（商）、DE（余り）← AX ÷ DE（符号なし）			
	DIVWU		3	17	—	BCAX（商）、HLDE（余り） ← BCAX ÷ HLDE（符号なし）			
	MACHU		3	3	—	MACR ← MACR + AX × BC（符号なし）		×	×
	MACH		3	3	—	MACR ← MACR + AX × BC（符号付き）		×	×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注意　割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態（DI）で実行してください。
ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

★
- **CC-RL（ルネサスエレクトロニクス社コンパイラ製品）V1.01.00以降のC言語ソースおよびアセンブリ言語ソース**
- **EWRL78（IAR社コンパイラ製品）Service pack 1.40.3以降のC言語ソース**
- **LLVM RL78（CyberTHOR社コンパイラ）のC言語ソースおよびC++言語ソース**
- **GNURL78（CyberTHOR社コンパイラ）のC言語ソースおよびC++言語ソース**

備考1. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. MACR：積和演算累計レジスタ（MACRH, MACRL）

表33 - 5　オペレーション一覧 (13/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
増減	INC	r	1	1	—	r ← r + 1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16) + 1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) + 1	×	×	
		saddr	2	2	—	(saddr) ← (saddr) + 1	×	×	
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) + 1	×	×	
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) + 1	×	×	
	DEC	r	1	1	—	r ← r – 1	×	×	
		!addr16	3	2	—	(addr16) ← (addr16) – 1	×	×	
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) – 1	×	×	
		saddr	2	2	—	(saddr) ← (saddr) – 1	×	×	
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) – 1	×	×	
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) – 1	×	×	
	INCW	rp	1	1	—	rp ← rp + 1			
		!addr16	3	2	—	(addr16) ← (addr16) + 1			
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) + 1			
		saddrp	2	2	—	(saddrp) ← (saddrp) + 1			
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) + 1			
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) + 1			
	DECW	rp	1	1	—	rp ← rp – 1			
		!addr16	3	2	—	(addr16) ← (addr16) – 1			
		ES:!addr16	4	3	—	(ES, addr16) ← (ES, addr16) – 1			
		saddrp	2	2	—	(saddrp) ← (saddrp) – 1			
		[HL+byte]	3	2	—	(HL + byte) ← (HL + byte) – 1			
		ES:[HL+byte]	4	3	—	((ES:HL) + byte) ← ((ES:HL) + byte) – 1			
シフト	SHR	A, cnt	2	1	—	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) × cnt			×
	SHRW	AX, cnt	2	1	—	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) × cnt			×
	SHL	A, cnt	2	1	—	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) × cnt			×
		B, cnt	2	1	—	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) × cnt			×
		C, cnt	2	1	—	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) × cnt			×
	SHLW	AX, cnt	2	1	—	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) × cnt			×
		BC, cnt	2	1	—	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) × cnt			×
	SAR	A, cnt	2	1	—	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) × cnt			×
	SARW	AX, cnt	2	1	—	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) × cnt			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考1. クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

備考2. cntはビット・シフト数です。

表33 - 5　オペレーション一覧 (14/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ローテート	ROR	A, 1	2	1	—	(CY, A_7 ← A_0, A_{m-1} ← A_m) × 1			×
	ROL	A, 1	2	1	—	(CY, A_0 ← A_7, A_{m+1} ← A_m) × 1			×
	RORC	A, 1	2	1	—	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m) × 1			×
	ROLC	A, 1	2	1	—	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m) × 1			×
	ROLWC	AX, 1	2	1	—	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) × 1			×
		BC, 1	2	1	—	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) × 1			×
ビット操作	MOV1	CY, A.bit	2	1	—	CY ← A.bit			×
		A.bit, CY	2	1	—	A.bit ← CY			
		CY, PSW.bit	3	1	—	CY ← PSW.bit			×
		PSW.bit, CY	3	4	—	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	—	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	—	(saddr).bit ← CY			
		CY, sfr.bit	3	1	—	CY ← sfr.bit			×
		sfr.bit, CY	3	2	—	sfr.bit ← CY			
		CY, [HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	—	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	—	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	—	CY ← CY ∧ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∧ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∧ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∧ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∧ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∧ (ES, HL).bit			×
	OR1	CY, A.bit	2	1	—	CY ← CY ∨ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ∨ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ∨ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ∨ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ∨ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ∨ (ES, HL).bit			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (15/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ビット操作	XOR1	CY, A.bit	2	1	—	CY ← CY ⊻ A.bit			×
		CY, PSW.bit	3	1	—	CY ← CY ⊻ PSW.bit			×
		CY, saddr.bit	3	1	—	CY ← CY ⊻ (saddr).bit			×
		CY, sfr.bit	3	1	—	CY ← CY ⊻ sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY ⊻ (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY ⊻ (ES, HL).bit			×
	SET1	A.bit	2	1	—	A.bit ← 1			
		PSW.bit	3	4	—	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 1			
		saddr.bit	3	2	—	(saddr).bit ← 1			
		sfr.bit	3	2	—	sfr.bit ← 1			
		[HL].bit	2	2	—	(HL).bit ← 1			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	—	A.bit ← 0			
		PSW.bit	3	4	—	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	—	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	—	(ES, addr16).bit ← 0			
		saddr.bit	3	2	—	(saddr).bit ← 0			
		sfr.bit	3	2	—	sfr.bit ← 0			
		[HL].bit	2	2	—	(HL).bit ← 0			
		ES:[HL].bit	3	3	—	(ES, HL).bit ← 0			
	SET1	CY	2	1	—	CY ← 1			1
	CLR1	CY	2	1	—	CY ← 0			0
	NOT1	CY	2	1	—	CY ← $\overline{CY}$			×

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍＋3クロックになります。

表33 - 5　オペレーション一覧 (16/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
コール・リターン	CALL	rp	2	3	—	(SP – 2) ← (PC + 2)S, (SP – 3) ← (PC + 2)H, (SP – 4) ← (PC + 2)L, PC ← CS, rp, SP ← SP – 4			
		$!addr20	3	3	—	(SP – 2) ← (PC + 3)S, (SP – 3) ← (PC + 3)H, (SP – 4) ← (PC + 3)L, PC ← PC + 3 + jdisp16, SP ← SP – 4			
		!addr16	3	3	—	(SP – 2) ← (PC + 3)S, (SP – 3) ← (PC + 3)H, (SP – 4) ← (PC + 3)L, PC ← 0000, addr16, SP ← SP – 4			
		!!addr20	4	3	—	(SP – 2) ← (PC + 4)S, (SP – 3) ← (PC + 4)H, (SP – 4) ← (PC + 4)L, PC ← addr20, SP ← SP – 4			
	CALLT	[addr5]	2	5	—	(SP – 2) ← (PC + 2)S, (SP – 3) ← (PC + 2)H, (SP – 4) ← (PC + 2)L, PCS ← 0000, PCH ← (0000, addr5 + 1), PCL ← (0000, addr5), SP ← SP – 4			
	BRK	—	2	5	—	(SP – 1) ← PSW, (SP – 2) ← (PC + 2)S, (SP – 3) ← (PC + 2)H, (SP – 4) ← (PC + 2)L, PCS ← 0000, PCH ← (0007FH), PCL ← (0007EH), SP ← SP – 4, IE ← 0			
	RET	—	1	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PCL ← (SP), PCH ← (SP + 1), PCS ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (17/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	—	(SP – 1) ← PSW, (SP – 2) ← 00H, SP ← SP – 2			
		rp	1	1	—	(SP – 1) ← rp_H, (SP – 2) ← rp_L, SP ← SP – 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rp_L ← (SP), rp_H ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
	ADDW	SP, #byte	2	1	—	SP ← SP + byte			
	SUBW	SP, #byte	2	1	—	SP ← SP – byte			
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4 注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	$addr20	2	2/4 注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	$addr20	2	2/4 注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4 注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	$addr20	3	2/4 注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 0			
	BNH	$addr20	3	2/4 注3	—	PC ← PC + 3 + jdisp8 if (Z ∨ CY) = 1			
	BT	saddr.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5 注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5 注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5 注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6 注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. クロック数は“条件不成立時／条件成立時”を表しています。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33 - 5　オペレーション一覧 (18/18)

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL	RBn注4	2	1	—	RBS1, RBS0 ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および2nd SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

注2. コード・フラッシュ・メモリ領域および8ビット命令でデータ・フラッシュ・メモリ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

注3. クロック数は“条件不成立時／条件成立時”を表しています。

注4. nはレジスタ・バンク番号です（n = 0-3）。

備考 クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

第34章　電気的特性

本章では、以下の対象製品の電気的特性を示します。

- 対象製品 2D ：民生用途 T_A = –40 ～ +85°C
  R7F102Gxx2Dxx
- 対象製品 3C ：産業用途 T_A = –40 ～ +105°C
  R7F102Gxx3Cxx

注意1. 本製品には開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受付対象外となります。

注意2. 2D：民生用途の製品は、T_A = –40～+105°CをT_A = –40～+85°Cに置き換えてください。
ただし、A/Dコンバータ特性は下記のとおり、動作周囲温度（T_A）条件ごとに特性を記載しております。
34.6.1　A/Dコンバータ特性（T_A = –40～+85℃）
34.6.2　A/Dコンバータ特性（T_A = –40～+105℃）

注意3. 製品により搭載している端子が異なります。2.1　ポートの端子機能～2.2.1　製品別の搭載機能を参照してください。

34.1　絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	V_{DD}		–0.5～+6.5	V
REGC端子入力電圧	V_{IREGC}	REGC	–0.3～+2.1 かつ–0.3～V_{DD} +0.3注1	V
入力電圧	V_{I1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140, P146, P147	–0.3～V_{DD} +0.3注2	V
	V_{I2}	P60-P63（N-chオープン・ドレイン）	–0.3～+6.5	V
	V_{I3}	P20-P27, P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$	–0.3～V_{DD} +0.3注2	V
出力電圧	V_{O1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P130, P140, P146, P147	–0.3～V_{DD} +0.3注2	V
	V_{O2}	P20-P27, P121, P122	–0.3～V_{DD} +0.3注2	V
アナログ入力電圧	V_{AI1}	ANI16-ANI19	–0.3～V_{DD} +0.3 かつ–0.3～AV_{REFP} +0.3注2, 3	V
	V_{AI2}	ANI0-ANI7	–0.3～V_{DD} +0.3 かつ–0.3～AV_{REFP} +0.3注2, 3	V

注1. REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V以下であること。

注3. A/D変換対象の端子は、AV_{REFP} +0.3を超えないでください。

注意　各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AV_{REFP}：A/Dコンバータの＋側基準電圧

備考3. V_{SS}を基準電圧とします。

(2/2)

項目	略号	条件			定格	単位
ハイ・レベル出力電流	I_{OH1}	1端子	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140, P146, P147		–40	mA
		端子合計 –170 mA	P00, P01, P40, P41, P120, P130, P140		–70	mA
			P10-P17, P30, P31, P50, P51, P70-P75, P146, P147		–100	mA
	I_{OH2}	1端子	P20-P27, P121, P122		–5	mA
		端子合計			–20	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P130, P140, P146, P147		40	mA
		端子合計 170 mA	P00, P01, P40, P41, P120, P130, P140		70	mA
			P10-P17, P30, P31, P50, P51, P60-P63, P70-P75, P146, P147		100	mA
	I_{OL2}	1端子	P20-P27, P121, P122		10	mA
		端子合計			20	mA
動作周囲温度	T_A	通常動作時		3C：産業用途	–40～+105	°C
				2D：民生用途	–40～+85	
		フラッシュ・メモリ・プログラミング時		3C：産業用途	–40～+105	
				2D：民生用途	–40～+85	
保存温度	T_{stg}				–65～+150	°C

注意　**各項目のうち1項目でも、また一瞬でも絶対最大定格を超えると、製品の品質を損なうおそれがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を超えない状態で、製品をご使用ください。**

備考　特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.2　発振回路特性

34.2.1　X1発振回路特性

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
X1クロック発振許容入力周期注	セラミック発振子／水晶振動子		0.05		1	μs

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、**34.4　AC特性**を参照してください。

注意　**リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。**

34.2.2　XT1発振回路特性

（T_A = –40～+105°C, 2.4 V≦V_{DD}≦5.5 V（16～36ピン製品）, 1.6 V≦V_{DD}≦5.5 V（40～48ピン製品）, V_{SS} = 0 V）

項目	発振子	条件	Min.	Typ.	Max.	単位
XT1クロック発振周波数（f_{XT}）注	水晶振動子			32.768		kHz

注　発振回路の許容範囲を示すものです。必ず実装回路上での評価を発振子メーカに依頼し、発振特性を確認してご使用ください。また、命令実行時間は、**34.4　AC特性**を参照してください。

34.2.3　オンチップ・オシレータ特性

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件			Min.	Typ.	Max.	単位
高速オンチップ・オシレータ・クロック周波数	f_{IH}				1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度注1		HIPREC = 1	+85～+105°C	1.8 V≦V_{DD}≦5.5 V	–2.0		+2.0	%
				1.6 V≦V_{DD}≦5.5 V	–6.0		+6.0	%
			–20～+85°C	1.8 V≦V_{DD}≦5.5 V	–1.0		+1.0	%
				1.6 V≦V_{DD}≦5.5 V	–5.0		+5.0	%
			–40～–20°C	1.8 V≦V_{DD}≦5.5 V	–1.5		+1.5	%
				1.6 V≦V_{DD}≦5.5 V	–5.5		+5.5	%
		HIPREC = 0注2			–15		0	%
高速オンチップ・オシレータ・クロック補正分解能						0.05		%
中速オンチップ・オシレータ・クロック周波数注3	f_{IM}				1		4	MHz
中速オンチップ・オシレータ・クロック周波数精度注1					–12		+12	%
中速オンチップ・オシレータ・クロック補正分解能						0.15		%
中速オンチップ・オシレータ周波数温度係数							±0.17注4	%/°C
低速オンチップ・オシレータ・クロック周波数注3	f_{IL}					32.768		kHz
低速オンチップ・オシレータ・クロック周波数精度注1					–15		+15	%
低速オンチップ・オシレータ・クロック補正分解能						0.3		%
低速オンチップ・オシレータ周波数温度係数							±0.21注4	%/°C

注1.　テスト時の精度です。

注2.　ユーザ・オプション・バイトのFRQSEL3 = 1に設定時

注3.　発振回路の特性だけを示すものです。命令実行時間は、**34.4　AC特性**を参照してください。

注4.　この値は特性評価結果による値であり、出荷検査は行っていません。

34.3　DC特性

34.3.1　端子特性

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(1/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル許容出力電流注1	I_{OH1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140, P146, P147 1端子	1.6 V≦V_{DD}≦5.5 V			–10.0注2	mA
		P00, P01, P40, P41, P120, P130, P140　合計（デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			–55.0注4	mA
			2.7 V≦V_{DD}＜4.0 V			–10.0	mA
			1.8 V≦V_{DD}＜2.7 V			–5.0	mA
			1.6 V≦V_{DD}＜1.8 V			–2.5	mA
		P10-P17, P30, P31, P50, P51, P70-P75, P146, P147　合計（デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			–80.0注5	mA
			2.7 V≦V_{DD}＜4.0 V			–19.0	mA
			1.8 V≦V_{DD}＜2.7 V			–10.0	mA
			1.6 V≦V_{DD}＜1.8 V			–5.0	mA
		全端子合計（デューティ≦70%時注3）	1.6 V≦V_{DD}≦5.5 V			–135.0注6	mA
	I_{OH2}	P20-P27, P121, P122 1端子	4.0 V≦V_{DD}≦5.5 V			–3.0注2	mA
			2.7 V≦V_{DD}＜4.0 V			–1.0注2	mA
			1.8 V≦V_{DD}＜2.7 V			–1.0注2	mA
			1.6 V≦V_{DD}＜1.8 V			–0.5注2	mA
		全端子合計（デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			–20.0	mA
			2.7 V≦V_{DD}＜4.0 V			–10.0	mA
			1.8 V≦V_{DD}＜2.7 V			–5.0	mA
			1.6 V≦V_{DD}＜1.8 V			–5.0	mA

注1.　V_{DD}端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2.　ただし、合計の電流値を超えないでください。

注3.　デューティ≦70%の条件での出力電流の値です。

デューティ＞70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

- 端子合計の出力電流 = (I_{OH} × 0.7) / (n × 0.01)

　＜計算例＞ I_{OH} = –10.0 mAの場合、n = 80%

　　端子合計の出力電流 = (–10.0 × 0.7) / (80 × 0.01) ≒ –8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4.　産業用途向け（R7F102Gxx3xxxC）の+85～+105°Cは–30 mAです。

注5.　産業用途向け（R7F102Gxx3xxxC）の+85～+105°Cは–50 mAです。

注6.　産業用途向け（R7F102Gxx3xxxC）の–40～+85°Cは–100 mA、+85～+105°Cは–60 mAです。

注意　**P00, P10-P15, P17, P50, P71, P72, P74, P120は、N-chオープン・ドレイン出力モード時には、ハイ・レベル出力しません。**

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ロウ・レベル許容出力電流注1	I_{OL1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140, P146, P147 1端子				20.0 注2	mA
		P60-P63　1端子				15.0注2	mA
		P00, P01, P40, P41, P120, P130, P140　合計（デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			70.0注4	mA
			2.7 V≦V_{DD}＜4.0 V			15.0	mA
			1.8 V≦V_{DD}＜2.7 V			9.0	mA
			1.6 V≦V_{DD}＜1.8 V			4.5	mA
		P10-P17, P30, P31, P50, P51, P60-P63, P70-P75, P146, P147　合計（デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			80.0注4	mA
			2.7 V≦V_{DD}＜4.0 V			35.0	mA
			1.8 V≦V_{DD}＜2.7 V			20.0	mA
			1.6 V≦V_{DD}＜1.8 V			10.0	mA
		全端子合計（デューティ≦70%時注3）				150.0 注5	mA
	I_{OL2}	P20-P27, P121, P122 1端子	4.0 V≦V_{DD}≦5.5 V			8.5注2	mA
			2.7 V≦V_{DD}＜4.0 V			1.5注2	mA
			1.8 V≦V_{DD}＜2.7 V			0.6注2	mA
			1.6 V≦V_{DD}＜1.8 V			0.4注2	mA
		全端子合計（デューティ≦70%時注3）	4.0 V≦V_{DD}≦5.5 V			20	mA
			2.7 V≦V_{DD}＜4.0 V			20	mA
			1.8 V≦V_{DD}＜2.7 V			15	mA
			1.6 V≦V_{DD}＜1.8 V			10	mA

注1.　出力端子からV_{SS}端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2.　合計の電流値を超えないでください。

注3.　デューティ≦70%の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は、次の計算式で求めることができます（デューティ比をn%に変更する場合）。

- 端子合計の出力電流 = (I_{OL} × 0.7) / (n × 0.01)

＜計算例＞ I_{OL} = 10.0 mAの場合、n = 80%

端子合計の出力電流 = (10.0 × 0.7) / (80 × 0.01) ≒ 8.7 mA

ただし、1端子当たりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4.　産業用途向け（R7F102Gxx3xxxC）の+85～+105°Cは40 mAです。

注5.　産業用途向け（R7F102Gxx3xxxC）の+85～+105°Cは80 mAです。

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(3/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル入力電圧	V_{IH1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140, P146, P147	通常入力バッファ	0.8 V_{DD}		V_{DD}	V
	V_{IH2}	P01, P10, P11, P13-P17, P41, P71	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	2.2		V_{DD}	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	2.0		V_{DD}	V
			TTL入力バッファ 1.6 V≦V_{DD}＜3.3 V	1.5		V_{DD}	V
	V_{IH3}	P20-P27		0.7 V_{DD}		V_{DD}	V
	V_{IH4}	P60-P63		0.7 V_{DD}		6.0	V
	V_{IH5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8 V_{DD}		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140, P146, P147	通常入力バッファ	0		0.2 V_{DD}	V
	V_{IL2}	P01, P10, P11, P13-P17, P41, P71	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	0		0.5	V
			TTL入力バッファ 1.6 V≦V_{DD}＜3.3 V	0		0.32	V
	V_{IL3}	P20-P27		0		0.3 V_{DD}	V
	V_{IL4}	P60-P63		0		0.3 V_{DD}	V
	V_{IL5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2 V_{DD}	V

注意　**P00, P10-P15, P17, P50, P71, P72, P74, P120は、N-chオープン・ドレイン出力モード時でもV_{IH}の最大値（Max.）はV_{DD}です。**

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(4/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル出力電圧	V_{OH1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140, P146, P147	4.0 V≦V_{DD}≦5.5 V, I_{OH1} = –10.0 mA	V_{DD} –1.5			V
			4.0 V≦V_{DD}≦5.5 V, I_{OH1} = –3.0 mA	V_{DD} –0.7			V
			2.7 V≦V_{DD}≦5.5 V, I_{OH1} = –2.0 mA	V_{DD} –0.6			V
			1.8 V≦V_{DD}≦5.5 V, I_{OH1} = –1.5 mA	V_{DD} –0.5			V
			1.6 V≦V_{DD}＜5.5 V, I_{OH1} = –1.0 mA	V_{DD} –0.5			V
	V_{OH2}	P20-P27, P121, P122	4.0 V≦V_{DD}≦5.5 V, I_{OH2} = –3.0 mA	V_{DD} –0.7			V
			2.7 V≦V_{DD}＜4.0 V, I_{OH2} = –1.0 mA	V_{DD} –0.5			V
			1.8 V≦V_{DD}＜2.7 V, I_{OH2} = –1.0 mA	V_{DD} –0.5			V
			1.6 V≦V_{DD}＜1.8 V, I_{OH2} = –0.5 mA	V_{DD} –0.5			V

注意　**P00, P10-P15, P17, P50, P71, P72, P74, P120は、N-chオープン・ドレイン出力モード時には、ハイ・レベル出力しません。**

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(5/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ロウ・レベル出力電圧	V_{OL1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140, P146, P147	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 20.0 mA			1.3	V
			4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 3.0 mA			0.6	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
			1.8 V≦V_{DD}≦5.5 V, I_{OL1} = 0.6 mA			0.4	V
			1.6 V≦V_{DD}≦5.5 V, I_{OL1} = 0.3 mA			0.4	V
	V_{OL2}	P20-P27, P121, P122	4.0 V≦V_{DD}≦5.5 V, I_{OL2} = 8.5 mA			0.7	V
			2.7 V≦V_{DD}＜4.0 V, I_{OL2} = 1.5 mA			0.5	V
			1.8 V≦V_{DD}＜2.7 V, I_{OL2} = 0.6 mA			0.4	V
			1.6 V≦V_{DD}＜1.8 V, I_{OL2} = 0.4 mA			0.4	V
	V_{OL3}	P60-P63	4.0 V≦V_{DD}≦5.5 V, I_{OL3} = 15.0 mA			2.0	V
			4.0 V≦V_{DD}≦5.5 V, I_{OL3} = 5.0 mA			0.4	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL3} = 3.0 mA			0.4	V
			1.8 V≦V_{DD}≦5.5 V, I_{OL3} = 2.0 mA			0.4	V
			1.6 V≦V_{DD}≦5.5 V, I_{OL3} = 1.0 mA			0.4	V

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(6/6)

項目	略号	条件		Min.	Typ.	Max.	単位
ハイ・レベル入力リーク電流	I_{LIH1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P130, P140, P146, P147	V_I = V_{DD}			0.5	μA
	I_{LIH2}	P20-P27, P137, $\overline{RESET}$	V_I = V_{DD}			0.5	μA
	I_{LIH3}	P121-P124 （X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{DD}			0.5	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P130, P140, P146, P147	V_I = V_{SS}			–0.5	μA
	I_{LIL2}	P20-P27, P137, $\overline{RESET}$	V_I = V_{SS}			–0.5	μA
	I_{LIL3}	P121-P124 （X1, X2, XT1, XT2, EXCLK, EXCLKS）	V_I = V_{SS}			–0.5	μA
内蔵プルアップ抵抗	R_U	P00, P01, P10-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120-P122, P140, P146, P147	V_I = V_{SS}、入力ポート時	10	20	100	kΩ

備考　特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.3.2 電源電流特性

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） (1/4)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流注1	I_{DD1}	動作モード	HS（高速メイン）モード	f_{IH} = 32 MHz注2	基本動作	V_{DD} = 5.0 V		1.2		mA
						V_{DD} = 1.8 V		1.2		
					通常動作	V_{DD} = 5.0 V		2.7	4.6	mA
						V_{DD} = 1.8 V		2.7	4.6	
			LS（低速メイン）モード	f_{IH} = 24 MHz注2	通常動作	V_{DD} = 5.0 V		2.0	3.5	mA
						V_{DD} = 1.8 V		2.0	3.5	
				f_{IH} = 16 MHz注2	通常動作	V_{DD} = 5.0 V		1.5	2.5	mA
						V_{DD} = 1.8 V		1.5	2.5	
				f_{IM} = 4 MHz注3	通常動作	V_{DD} = 5.0 V		0.4	0.7	mA
						V_{DD} = 1.6 V		0.4	0.7	
			LP（低電力メイン）モード	f_{IM} = 2 MHz注3	通常動作	V_{DD} = 5.0 V		179	300	μA
						V_{DD} = 1.6 V		179	300	
				f_{IM} = 1 MHz注3	通常動作	V_{DD} = 5.0 V		100	163	μA
						V_{DD} = 1.6 V		100	163	
			HS（高速メイン）モード	f_{MX} = 20 MHz注4、方形波入力	通常動作	V_{DD} = 5.0 V		1.7	2.9	mA
						V_{DD} = 1.8 V		1.6	2.8	
			LS（低速メイン）モード	f_{MX} = 20 MHz注4、方形波入力	通常動作	V_{DD} = 5.0 V		1.5	2.7	mA
						V_{DD} = 1.8 V		1.5	2.7	
				f_{MX} = 20 MHz注4、発振子接続	通常動作	V_{DD} = 5.0 V		1.7	3.0	mA
						V_{DD} = 1.8 V		1.7	3.0	
				f_{MX} = 10 MHz注4、方形波入力	通常動作	V_{DD} = 5.0 V		0.8	1.5	mA
						V_{DD} = 1.8 V		0.8	1.4	
				f_{MX} = 10 MHz注4、発振子接続	通常動作	V_{DD} = 5.0 V		0.9	1.6	mA
						V_{DD} = 1.8 V		0.9	1.6	
				f_{MX} = 8 MHz注4、方形波入力	通常動作	V_{DD} = 5.0 V		0.7	1.2	mA
						V_{DD} = 1.8 V		0.7	1.2	
				f_{MX} = 8 MHz注4、発振子接続	通常動作	V_{DD} = 5.0 V		0.8	1.3	mA
						V_{DD} = 1.8 V		0.8	1.3	

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。

★ Max.値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

★ **注2.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックXは停止時。

★ **注3.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックXは停止時。

★ **注4.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックXは停止時。

（備考は次ページに続きます）

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM}：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTyp.値の温度条件は、T_A = +25°Cです。

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/4)

項目	略号	条件					Min.	Typ.	Max.	単位
電源電流注1	I_{DD1}	動作モード	サブシステム・クロック動作モード	f_{SUB} = 32.768 kHz注2、低速オンチップ・オシレータ動作	通常動作	T_A = –40°C		2.9	4.7	μA
						T_A = +25°C		3.1	4.9	
						T_A = +50°C		3.3	6.3	
						T_A = +70°C		3.6	9.6	
						T_A = +85°C		4.1	15.2	
						T_A = +105°C		5.4	32.2	
				f_{SUB} = 32.768 kHz注3、方形波入力	通常動作	T_A = –40°C		2.9	4.9	μA
						T_A = +25°C		3.0	5.0	
						T_A = +50°C		3.2	6.4	
						T_A = +70°C		3.5	9.7	
						T_A = +85°C		4.0	15.3	
						T_A = +105°C		5.4	32.4	
				f_{SUB} = 32.768 kHz注3、発振子接続	通常動作	T_A = –40°C		2.9	4.9	μA
						T_A = +25°C		3.1	5.3	
						T_A = +50°C		3.3	6.7	
						T_A = +70°C		3.6	10.2	
						T_A = +85°C		4.1	15.8	
						T_A = +105°C		5.5	33.3	

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

★ **注2.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックXは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注3. 高速オンチップ・オシレータ、高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータは停止時。
低消費発振3（AMPHS1, AMPHS0 = 11B）設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

★ **備考2.** f_{SUB}：サブシステム・クロック周波数

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(3/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	I_{DD2}注2	HALTモード	HS（高速メイン）モード	f_{IH} = 32 MHz注3	V_{DD} = 5.0 V		0.49	1.87	mA
					V_{DD} = 1.8 V		0.49	1.87	
			LS（低速メイン）モード	f_{IH} = 24 MHz注3	V_{DD} = 5.0 V		0.41	1.46	mA
					V_{DD} = 1.8 V		0.40	1.45	
				f_{IH} = 16 MHz注3	V_{DD} = 5.0 V		0.42	1.15	mA
					V_{DD} = 1.8 V		0.41	1.14	
				f_{IM} = 4 MHz注4	V_{DD} = 5.0 V		0.08	0.26	mA
					V_{DD} = 1.6 V		0.07	0.25	
			LP（低電力メイン）モード	f_{IM} = 2 MHz注4	V_{DD} = 5.0 V		29	115	μA
					V_{DD} = 1.6 V		29	115	
				f_{IM} = 1 MHz注4	V_{DD} = 5.0 V		25	71	μA
					V_{DD} = 1.6 V		25	71	
			HS（高速メイン）モード	f_{MX} = 20 MHz注5、方形波入力	V_{DD} = 5.0 V		0.19	1.03	mA
					V_{DD} = 1.8 V		0.16	0.99	
			LS（低速メイン）モード	f_{MX} = 20 MHz注5、方形波入力	V_{DD} = 5.0 V		0.19	1.03	mA
					V_{DD} = 1.8 V		0.16	0.99	
				f_{MX} = 20 MHz注5、発振子接続	V_{DD} = 5.0 V		0.38	1.26	mA
					V_{DD} = 1.8 V		0.37	1.25	
				f_{MX} = 10 MHz注5、方形波入力	V_{DD} = 5.0 V		0.12	0.54	mA
					V_{DD} = 1.8 V		0.10	0.52	
				f_{MX} = 10 MHz注5、発振子接続	V_{DD} = 5.0 V		0.22	0.67	mA
					V_{DD} = 1.8 V		0.22	0.66	
				f_{MX} = 8 MHz注5、方形波入力	V_{DD} = 5.0 V		0.10	0.45	mA
					V_{DD} = 1.8 V		0.09	0.43	
				f_{MX} = 8 MHz注5、発振子接続	V_{DD} = 5.0 V		0.20	0.57	mA
					V_{DD} = 1.8 V		0.20	0.56	

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード、LS（低速メイン）モード、LP（低電力メイン）モード時、電源電流のTyp.値は周辺動作電流を含みません。

★ Max.値にはPCLBUZ, TAU, SAU, IICA機能の動作電流を含みます。その他の周辺機能の動作電流は含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

★ **注3.** 高速システム・クロック、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックXは停止時。

★ **注4.** 高速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータ、サブシステム・クロックXは停止時。

★ **注5.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、低速オンチップ・オシレータ、サブシステム・クロックXは停止時。

備考1. f_{IH}：高速オンチップ・オシレータ・クロック周波数

備考2. f_{IM}：中速オンチップ・オシレータ・クロック周波数

備考3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）

備考4. 特に指定がない場合のTyp.値の温度条件は、T_A = +25°Cです。

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(4/4)

項目	略号	条件				Min.	Typ.	Max.	単位
電源電流注1	I_{DD2}注2	HALTモード	サブシステム・クロック動作モード	f_{SUB} = 32.768 kHz注3、低速オンチップ・オシレータ動作	T_A = –40°C		0.48	1.84	μA
					T_A = +25°C		0.57	1.89	
					T_A = +50°C		0.67	3.19	
					T_A = +70°C		0.91	6.33	
					T_A = +85°C		1.69	12.66	
					T_A = +105°C		3.04	29.93	
				f_{SUB} = 32.768 kHz、方形波入力注4	T_A = –40°C		0.20	1.72	μA
					T_A = +25°C		0.29	1.75	
					T_A = +50°C		0.49	3.75	
					T_A = +70°C		0.90	8.16	
					T_A = +85°C		1.41	14.55	
					T_A = +105°C		2.79	32.65	
				f_{SUB} = 32.768 kHz、発振子接続注5	T_A = –40°C		0.21	1.79	μA
					T_A = +25°C		0.33	2.03	
					T_A = +50°C		0.44	3.40	
					T_A = +70°C		0.97	8.65	
					T_A = +85°C		1.48	15.04	
					T_A = +105°C		2.92	33.56	
	I_{DD3}	STOPモード注6	T_A = –40°C				0.15	1.10	μA
			T_A = +25°C				0.20	1.10	
			T_A = +50°C				0.40	2.40	
			T_A = +70°C				0.80	5.50	
			T_A = +85°C				1.30	11.00	
			T_A = +105°C				2.70	28.00	

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。サブシステム・クロック動作モードおよびSTOPモード時、電源電流のTyp.値とMax.値は周辺動作電流を含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

★ **注3.** 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、サブシステム・クロックXは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注4. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

注5. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロック、低速オンチップ・オシレータは停止時。
RTCLPC = 1、かつ低消費発振3（AMPHS1, AMPHS0 = 11B）設定時。RTC、32ビット・インターバル・タイマ、ウォッチドッグ・タイマに流れる電流は含みません。

★ **注6.** すべてのクロックが停止している状態の電流値です。STOPモード時に低速オンチップ・オシレータまたはサブシステム・クロックXを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

★ **備考2.** f_{SUB}：サブシステム・クロック周波数

周辺機能

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件			Min.	Typ.	Max.	単位
高速オンチップ・オシレータ動作電流	I_{FIH} 注1					380		μA
中速オンチップ・オシレータ動作電流	I_{FIM} 注1					20		μA
低速オンチップ・オシレータ動作電流	I_{FIL} 注1					0.3		μA
RTC動作電流	I_{RTC} 注1, 2, 3	f_{RTCCLK} = 32.768 kHz				0.005		μA
		f_{RTCCLK} = 128 Hz				0.002		μA
32ビット・インターバル・タイマ動作電流	I_{IT} 注1, 2, 4					0.04		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1, 2, 5	f_{IL} = 32.768 kHz (Typ.)				0.32		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 6	最高速変換時	標準モード、AV_{REFP} = V_{DD} = 5.0 V			1.3	1.7	mA
			低電圧モード、AV_{REFP} = V_{DD} = 3.0 V			0.5	0.7	mA
A/Dコンバータ基準電圧電流	I_{ADREF} 注1					100		μA
温度センサ動作電流	I_{TMPS} 注1					110		μA
★ シリアル・インタフェースUARTA動作電流	I_{UARTA} 注1, 2, 7	f_{SXP} = 32.768 kHz	1チャネル：2400 bps受信			0.14		μA
LVD動作電流	I_{LVD0} 注1, 8					0.02		μA
	I_{LVD1} 注1, 8					0.02		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 9					2.5	12.2	mA
データ・フラッシュ・メモリ書き換え動作電流	I_{BGO} 注1, 10					2.5	12.2	mA
SNOOZEモード・シーケンサ動作電流	I_{SMS} 注1, 11	f_{IH} = 32 MHz				0.93		mA
		f_{IL} = 32.768 kHz				0.97		μA
SNOOZE動作電流	I_{SNOZ} 注1	f_{IH}=32 MHz	ADC動作	モード遷移中 注12		0.5	0.7	mA
				変換動作中、低電圧モード、AV_{REFP} = V_{DD} = 3.0 V		0.9	1.4	mA
			簡易SPI（CSI）／UART動作			0.6	0.79	mA
			SMS 注13			1.4		mA
低速周辺クロック供給電流	I_{SXP} 注1, 14	RTCLPC = 0				0.22		μA
真性乱数発生器動作電流	I_{TRNG} 注1					1.1		mA

注1. V_{DD}に流れる電流です。

注2. 高速オンチップ・オシレータ、中速オンチップ・オシレータ、高速システム・クロックは停止時。

注3. リアルタイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は、I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が、本製品の電流値となります。また、低速オンチップ・オシレータ選択時はIFILを加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 32ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの32ビット・インターバル・タイマの動作時は、I_{DD1}またはI_{DD2}にI_{IT}を加算した値が、本製品の電流値となります。また、低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。

（注、備考は次ページに続きます）

注5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は、I_{DD1}、I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が、本製品の電流値となります。

注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が、本製品の電流値となります。

★ **注7.** シリアル・インタフェースUARTAにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのシリアル・インタフェースUARTAの動作時は、I_{DD1}またはI_{DD2}にI_{UARTA}を加算した値が、本製品の電流値となります。なお、CPU／周辺ハードウェア・クロック（f_{CLK}）にサブシステム・クロックX（f_{SX}）を選択した状態のHALTモード時は、低速周辺クロック供給電流（I_{SXP}）も加算されます。

注8. LVDにのみ流れる電流です。LVDの動作時は、I_{DD1}、I_{DD2}またはI_{DD3}にI_{LVD}を加算した値が本製品の電流値となります。

注9. セルフ・プログラミング動作に流れる電流です。

注10. データ・フラッシュ・メモリ書き換え動作に流れる電流です。

注11. SNOOZEモード・シーケンサにのみ流れる電流です（低速オンチップ・オシレータ、XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのSNOOZEモード・シーケンサ動作時は、I_{DD1}またはI_{DD2}を加算した値が本製品の電流値となります。

注12. SNOOZEモードへの移行時間は、**20.3.3　SNOOZEモード**を参照してください。

注13. SNOOZEモード・シーケンサがI_{DD1}の通常動作に相当する動作を実行したときの電流です。また、SNOOZEモード・シーケンサ以外の周辺機能に流れる電流は含みません。

注14. サブシステム・クロックX（f_{SX}）が発振している状態でRTCLPC = 0かつSTOPモード時、RTCLPC = 0かつCPUクロックにサブシステム・クロックX（f_{SX}）を選択した状態でのHALTモード時に加算される電流です。

備考1. f_{IL}：低速オンチップ・オシレータ・クロック周波数

備考2. f_{SX}：サブシステム・クロックX周波数

備考3. f_{CLK}：CPU／周辺ハードウェア・クロック周波数

備考4. Typ.値の温度条件は、T_A = +25°Cです。

34.4 AC特性

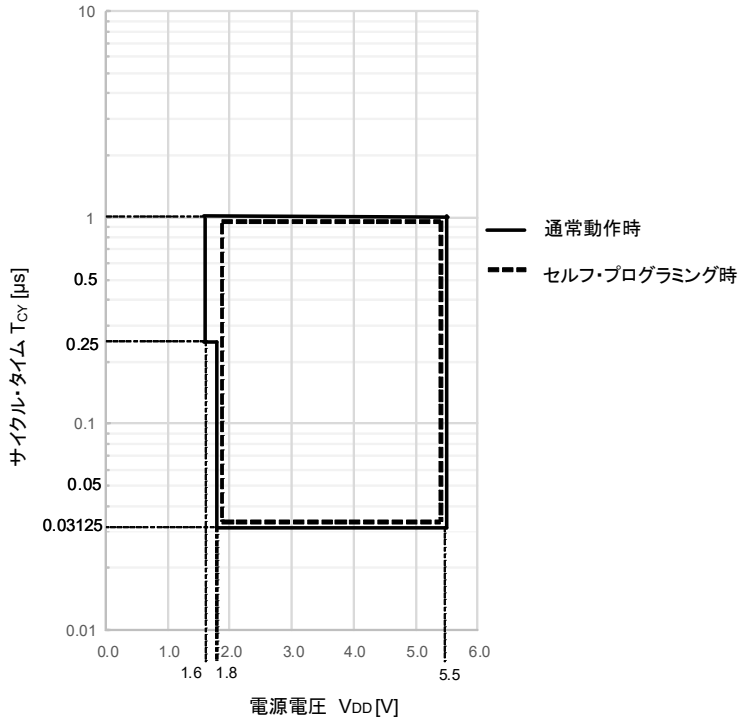
（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件			Min.	Typ.	Max.	単位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.03125		1	μs
				1.6 V≦V_{DD}≦1.8 V	0.25		1	μs
			LS（低速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.04167		1	μs
				1.6 V≦V_{DD}≦1.8 V	0.25		1	μs
			LP（低電力メイン）モード	1.6 V≦V_{DD}≦5.5 V	0.5		1	μs
		サブシステム・クロック（f_{SUB}）動作		1.6 V≦V_{DD}≦5.5 V	26.041	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.03125		1	μs
			LS（低速メイン）モード	1.8 V≦V_{DD}≦5.5 V	0.04167		1	μs
外部システム・クロック周波数	f_{EX}	1.8 V≦V_{DD}≦5.5 V			1.0		20.0	MHz
		1.6 V≦V_{DD}＜1.8 V			1.0		4.0	MHz
	f_{EXS}				32		38.4	kHz
外部システム・クロック入力ハイ・レベル幅、ロウ・レベル幅	t_{EXH}, t_{EXL}	1.8 V≦V_{DD}≦5.5 V			24			ns
		1.6 V≦V_{DD}＜1.8 V			120			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI00-TI07入力ハイ・レベル幅、ロウ・レベル幅	t_{TIH}, t_{TIL}				1/f_{MCK} +10			ns
TO00-TO07出力周波数	f_{TO}	HS（高速メイン）モード LS（低速メイン）モード		4.0 V≦V_{DD}≦5.5 V			16	MHz
				2.7 V≦V_{DD}＜4.0 V			8	MHz
				1.8 V≦V_{DD}＜2.7 V			4	MHz
				1.6 V≦V_{DD}＜1.8 V			2	MHz
		LP（低電力メイン）モード		1.6 V≦V_{DD}≦5.5 V			2	MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	HS（高速メイン）モード LS（低速メイン）モード		4.0 V≦V_{DD}≦5.5 V			16	MHz
				2.7 V≦V_{DD}＜4.0 V			8	MHz
				1.8 V≦V_{DD}＜2.7 V			4	MHz
				1.6 V≦V_{DD}＜1.8 V			2	MHz
		LP（低電力メイン）モード		1.6 V≦V_{DD}＜1.8 V			2	MHz
割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP6, INTP8, INTP9		1.6 V≦V_{DD}≦5.5 V	1			μs
キー割り込み入力ハイ・レベル幅、ロウ・レベル幅	t_{KRH}, t_{KRL}	KR0-KR5		1.8 V≦V_{DD}≦5.5 V	250			ns
				1.6 V≦V_{DD}＜1.8 V	1			μs
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

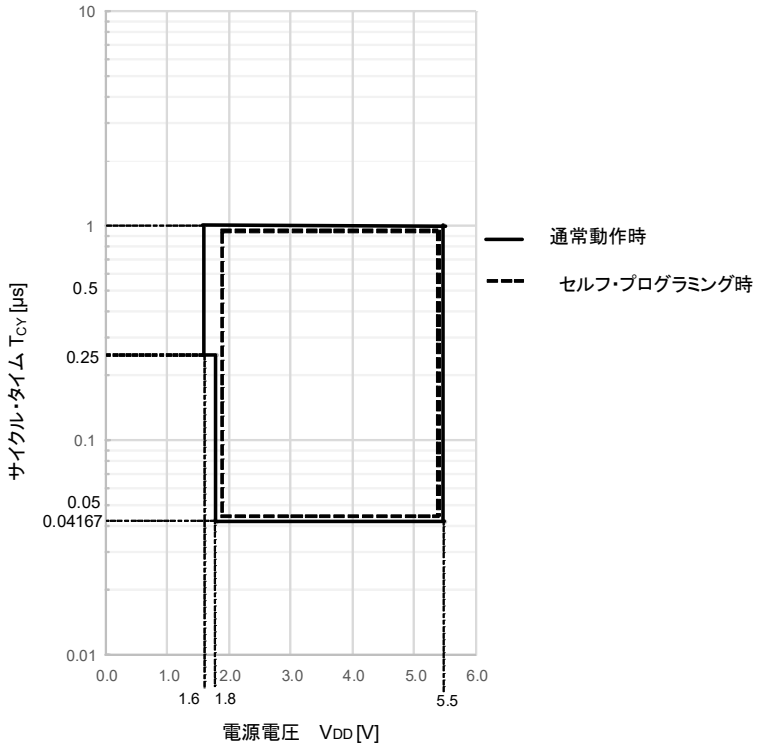
備考 f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。
（タイマ・モード・レジスタmn（TMRmn）CKSmn0, CKSmn1ビットで設定する動作クロック。
m：ユニット番号（m = 0）、n：チャネル番号（n = 0-3））

メイン・システム・クロック動作時の最小命令実行時間

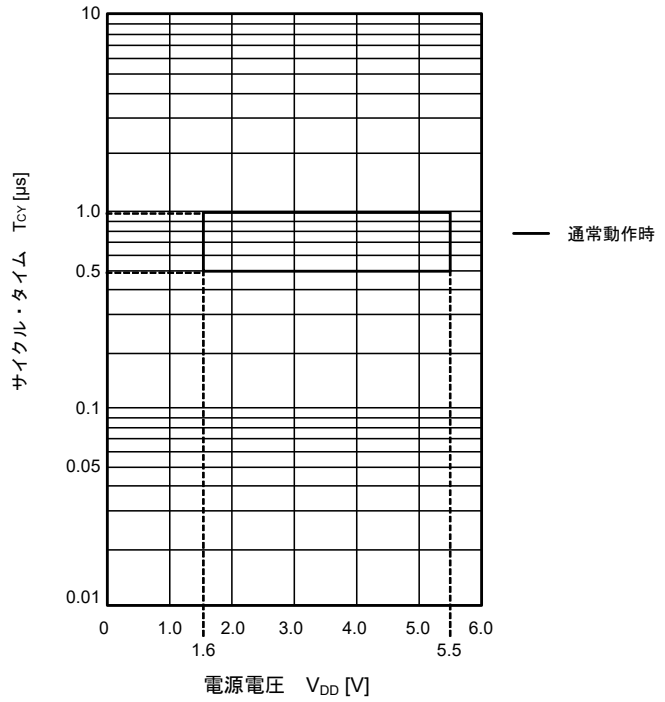
TCY vs VDD（HS（高速メイン）モード）



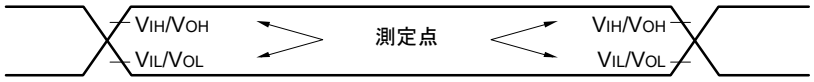
TCY vs VDD（LS（低速メイン）モード）



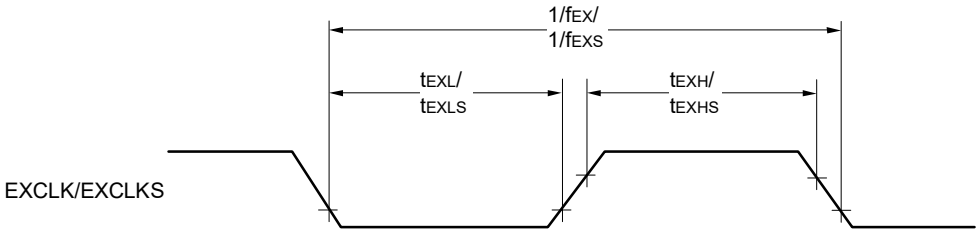
TCY vs VDD（LP（低電力メイン）モード）



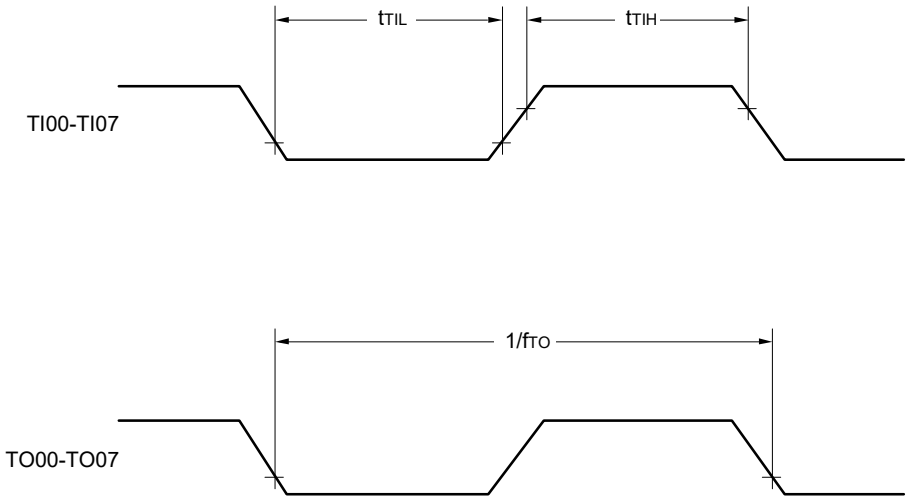
ACタイミング測定点



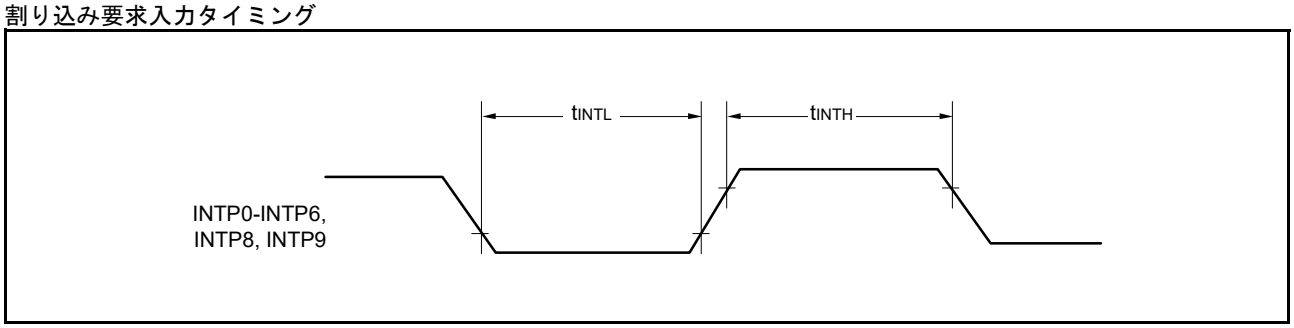
外部システム・クロック・タイミング



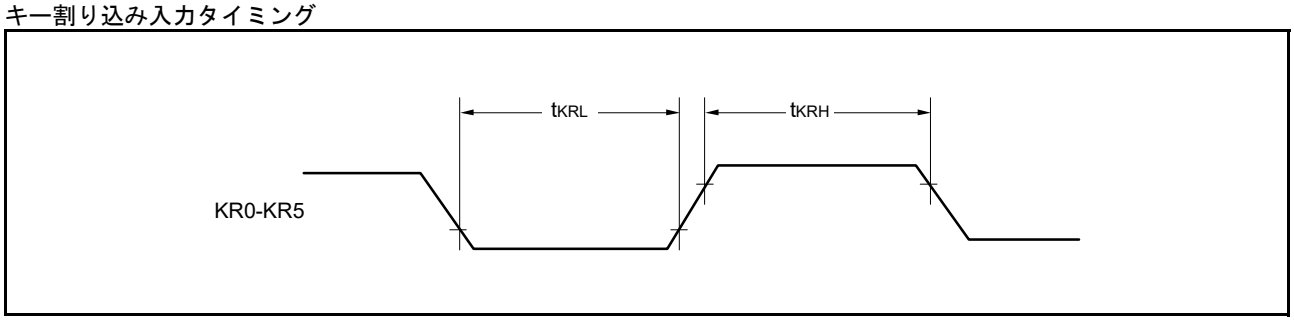
TI/TOタイミング



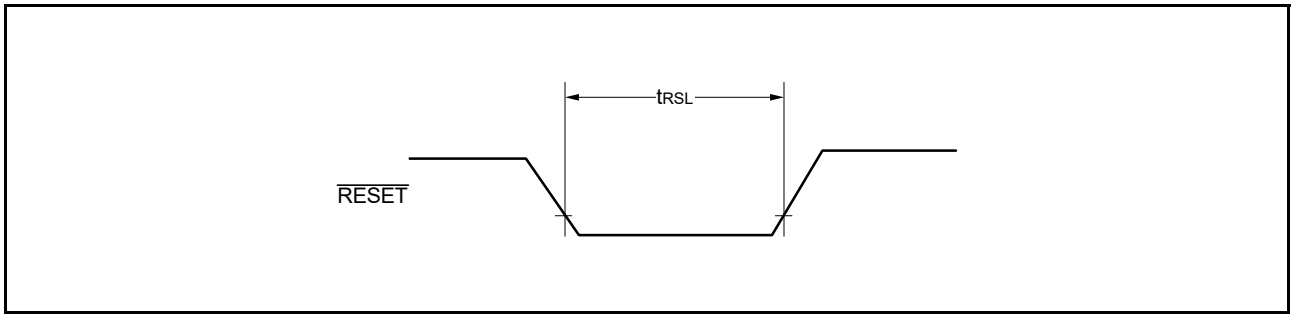
割り込み要求入力タイミング



キー割り込み入力タイミング

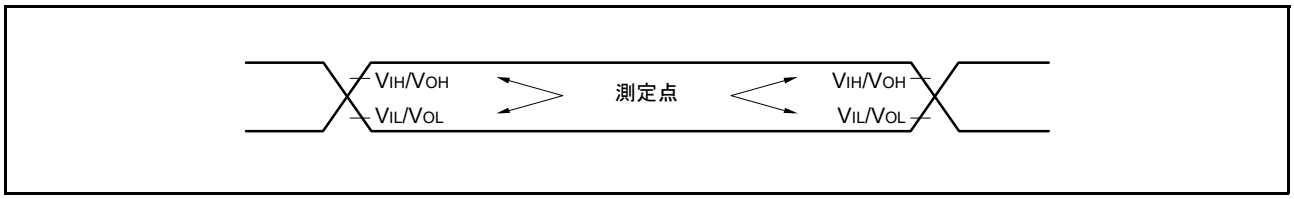


$\overline{\text{RESET}}$入力タイミング



34.5　周辺機能特性

ACタイミング測定点



34.5.1　シリアル・アレイ・ユニット

(1)　同電位通信、UARTモード時

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
転送レート注1		1.6 V≦V_{DD}≦5.5 V		f_{MCK}/6		f_{MCK}/6		f_{MCK}/6	bps
		最大転送レート理論値 f_{MCK} = f_{CLK}注2		5.3		4		0.33	Mbps

注1.　SNOOZEモードでの転送レートは、4800～9600 bpsとなります。

注2.　CPU／周辺ハードウェア・クロック（f_{CLK}）の最高動作周波数を次に示します。

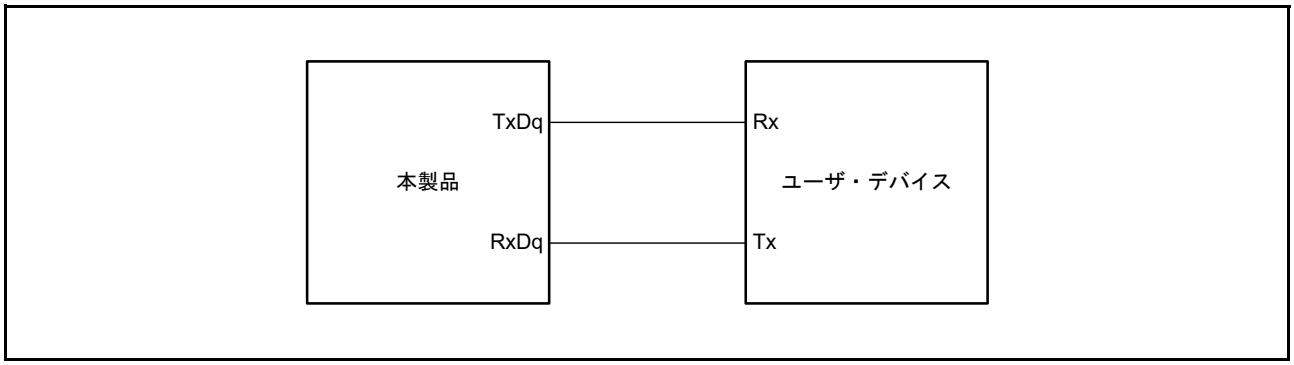
HS（高速メイン）モード　：32 MHz（1.8 V≦V_{DD}≦5.5 V）
4 MHz（1.6 V≦V_{DD}≦5.5 V）

LS（低速メイン）モード　：24 MHz（1.8 V≦V_{DD}≦5.5 V）
4 MHz（1.6 V≦V_{DD}≦5.5 V）

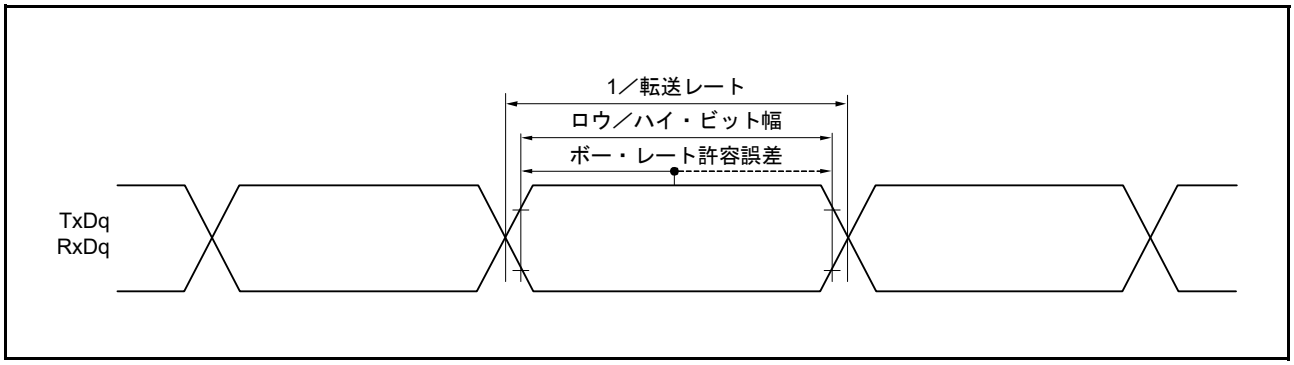
LP（低電力メイン）モード　：2 MHz（1.6 V≦V_{DD}≦5.5 V）

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1. q：UART番号（q = 0-2）、g：PIM, POM番号（g = 0, 1）

備考2. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11）

(2)　同電位通信、簡易SPI（CSI）モード時（マスタ・モード、SCKp：内部クロック出力、CSI00のみ対応）

（T_A = –40～+85°C, 2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦V_{DD}≦5.5 V	62.5		83.3		1000		ns
			2.7 V≦V_{DD}≦5.5 V	83.3		125		1000		ns
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦V_{DD}≦5.5 V		t_{KCY1}/2 –7		t_{KCY1}/2 –10		t_{KCY1}/2 –50		ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2 –10		t_{KCY1}/2 –15		t_{KCY1}/2 –50		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V		23		33		110		ns
		2.7 V≦V_{DD}≦5.5 V		33		50		110		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	2.7 V≦V_{DD}≦5.5 V		10		10		10		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 20 pF注3			10		10		10	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3.　Cは、SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1. この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

備考2. p：CSI番号（p = 00）、m：ユニット番号（m = 0）、n：チャネル番号（n = 0）、g：PIM, POM番号（g = 1）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00））

(3)　同電位通信、簡易SPI（CSI）モード時（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦V_{DD}≦5.5 V	125		166		2000		ns
			2.4 V≦V_{DD}≦5.5 V	250		250		2000		ns
			1.8 V≦V_{DD}≦5.5 V	500		500		2000		ns
			1.6 V≦V_{DD}≦5.5 V	1000		1000		2000		ns
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦V_{DD}≦5.5 V		t_{KCY1}/2 –12		t_{KCY1}/2 –21		t_{KCY1}/2 –50		ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2 –18		t_{KCY1}/2 –25		t_{KCY1}/2 –50		ns
		2.4 V≦V_{DD}≦5.5 V		t_{KCY1}/2 –38		t_{KCY1}/2 –38		t_{KCY1}/2 –50		ns
		1.8 V≦V_{DD}≦5.5 V		t_{KCY1}/2 –50		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		1.6 V≦V_{DD}≦5.5 V		t_{KCY1}/2 –100		t_{KCY1}/2 –100		t_{KCY1}/2 –100		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V		44		54		110		ns
		2.7 V≦V_{DD}≦5.5 V		44		54		110		ns
		2.4 V≦V_{DD}≦5.5 V		75		75		110		ns
		1.8 V≦V_{DD}≦5.5 V		110		110		110		ns
		1.6 V≦V_{DD}≦5.5 V		220		220		220		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	1.6 V≦V_{DD}≦5.5 V		19		19		19		ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	1.6 V≦V_{DD}≦5.5 V C = 30 pF注3			25		25		25	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注3.　Cは、SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子は通常入力バッファを選択し、SOp端子とSCKp端子は通常出力モードを選択します。

備考1.　p：CSI番号（p = 00, 01, 11, 20, 21）、m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、g：PIM, POM番号（g = 0, 1, 5, 7）

備考2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01, 11））

(4)　同電位通信、簡易SPI（CSI）モード時（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム注1	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V	20 MHz＜f_{MCK}	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦20 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.7 V≦V_{DD}≦5.5 V	16 MHz＜f_{MCK}	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦16 MHz	6/f_{MCK}		6/f_{MCK}		6/f_{MCK}		ns
		2.4 V≦V_{DD}≦5.5 V		6/f_{MCK} かつ500		6/f_{MCK} かつ500		6/f_{MCK} かつ500		ns
		1.8 V≦V_{DD}≦5.5 V		6/f_{MCK} かつ750		6/f_{MCK} かつ750		6/f_{MCK} かつ750		ns
		1.6 V≦V_{DD}≦5.5 V		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		6/f_{MCK} かつ1500		ns
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦V_{DD}≦5.5 V		t_{KCY2}/2–7		t_{KCY2}/2–7		t_{KCY2}/2–7		ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY2}/2–8		t_{KCY2}/2–8		t_{KCY2}/2–8		ns
		1.8 V≦V_{DD}≦5.5 V		t_{KCY2}/2 –18		t_{KCY2}/2 –18		t_{KCY2}/2 –18		ns
		1.6 V≦V_{DD}≦5.5 V		t_{KCY2}/2 –66		t_{KCY2}/2 –66		t_{KCY2}/2 –66		ns

（注、注意、備考は次ページに続きます）

(4)　同電位通信、簡易SPI（CSI）モード時（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↑）注2	t_{SIK2}	2.7 V≦V_{DD}≦5.5 V		1/f_{MCK} +20		1/f_{MCK} +30		1/f_{MCK} +30		ns
		1.8 V≦V_{DD}≦5.5 V		1/f_{MCK} +30		1/f_{MCK} +30		1/f_{MCK} +30		ns
		1.6 V≦V_{DD}≦5.5 V		1/f_{MCK} +40		1/f_{MCK} +40		1/f_{MCK} +40		ns
SIpホールド時間（対SCKp↑）注2	t_{KSI2}	1.8 V≦V_{DD}≦5.5 V		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
		1.6 V≦V_{DD}≦5.5 V		1/f_{MCK} +250		1/f_{MCK} +250		1/f_{MCK} +250		ns
SCKp↓→SOp出力遅延時間注3	t_{KSO2}	C = 30 pF 注4	2.7 V≦V_{DD}≦5.5 V		2/f_{MCK} +44		2/f_{MCK} +110		2/f_{MCK} +110	ns
			2.4 V≦V_{DD}≦5.5 V		2/f_{MCK} +75		2/f_{MCK} +110		2/f_{MCK} +110	ns
			1.8 V≦V_{DD}≦5.5 V		2/f_{MCK} +110		2/f_{MCK} +110		2/f_{MCK} +110	ns
			1.6 V≦V_{DD}≦5.5 V		2/f_{MCK} +220		2/f_{MCK} +220		2/f_{MCK} +220	ns

注1.　SNOOZEモードでの転送レートは、Max. 1 Mbpsです。

注2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注3.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

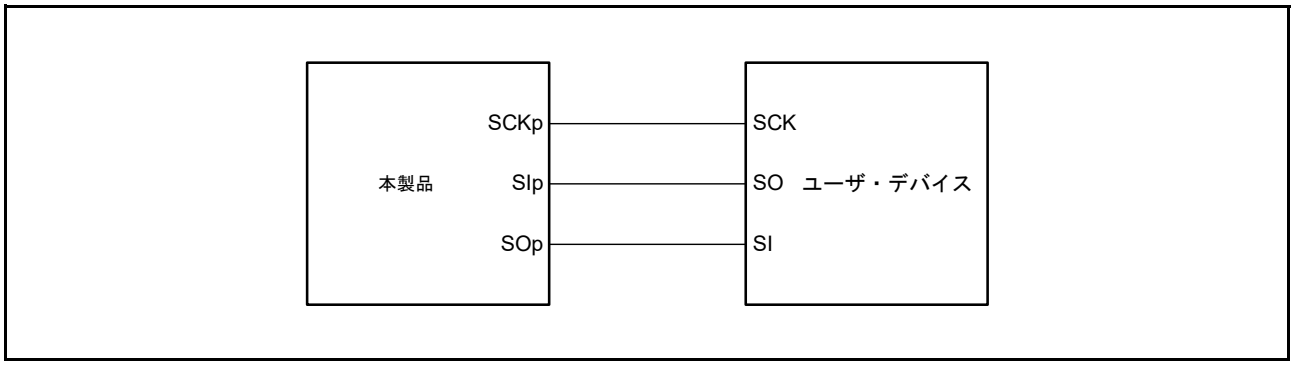
注4.　Cは、SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子とSCKp端子は通常入力バッファを選択し、SOp端子は通常出力モードを選択します。

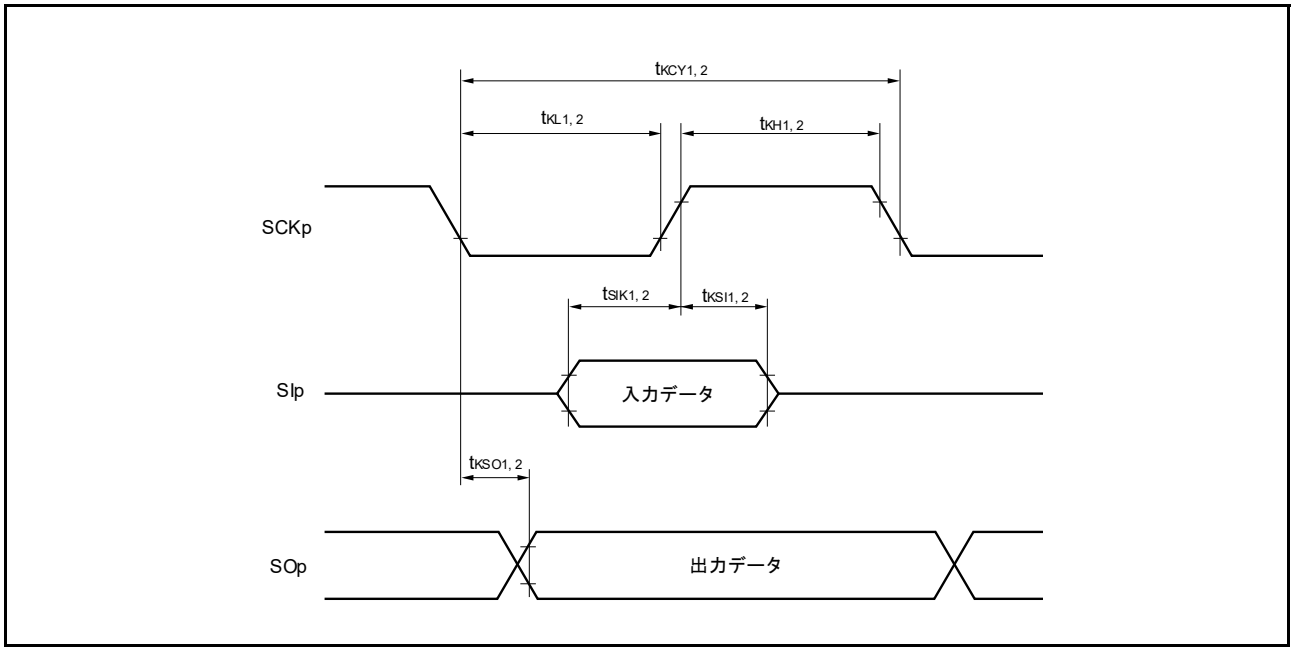
備考1.　p：CSI番号（p = 00, 01, 11, 20, 21）、m：ユニット番号（m = 0, 1）、n：チャネル番号（n = 0, 1, 3）、g：PIM, POM番号（g = 0, 1, 5, 7）

備考2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11））

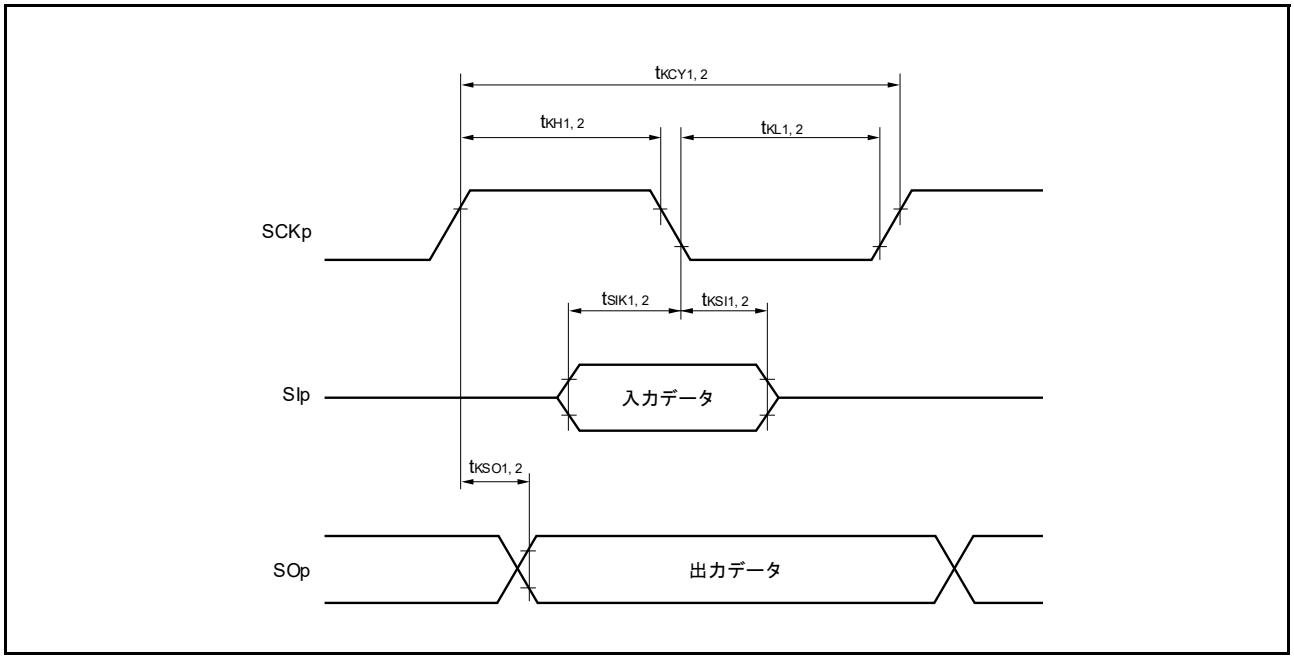
簡易SPI（CSI）モード接続図（同電位通信時）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 01, 11, 20, 21）

備考2. m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11）

(5)　同電位通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(1/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	f_{SCL}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		1000注1		400注1	kHz
		1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		400注1		400注1		400注1	kHz
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ		300注1		300注1		300注1	kHz
		1.6 V≦V_{DD}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ		250注1		250注1		250注1	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1150		ns
		1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		ns
		1.6 V≦V_{DD}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		ns
SCLr = “H”のホールド・タイム	t_{HIGH}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1150		ns
		1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		1150		1150		ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		1550		1550		ns
		1.6 V≦V_{DD}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1850		1850		1850		ns

（注、注意は次ページに、備考は1211ページにあります）

(5)　同電位通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK} +85注2		1/f_{MCK} +85注2		1/f_{MCK} +145注2		ns
		1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK} +145注2		1/f_{MCK} +145注2		1/f_{MCK} +145注2		ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK} +230注2		1/f_{MCK} +230注2		1/f_{MCK} +230注2		ns
		1.6 V≦V_{DD}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK} +290注2		1/f_{MCK} +290注2		1/f_{MCK} +290注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V≦V_{DD}＜1.8 V, C_b = 100 pF, R_b = 5 kΩ	0	405	0	405	0	405	ns

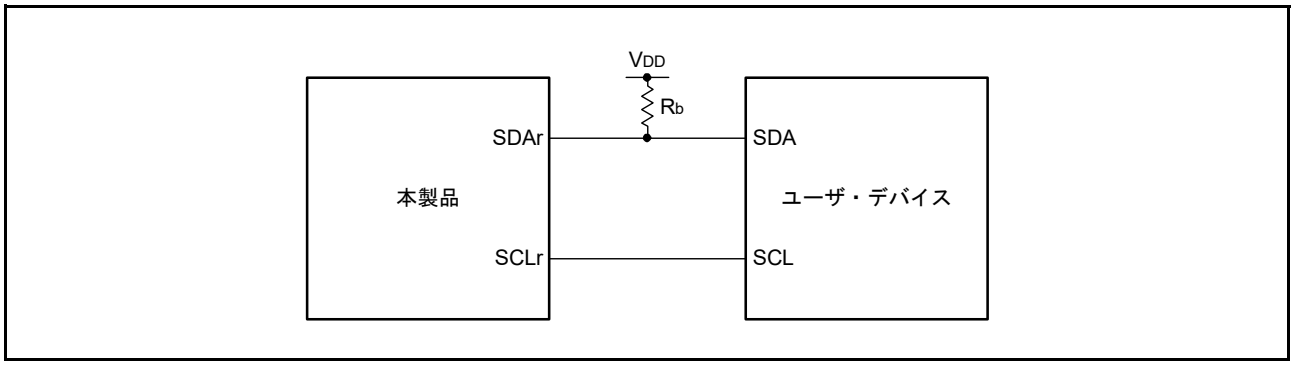
注1.　f_{MCK}/4以下に設定してください。

注2.　f_{MCK}値は、SCLr = “L”とSCLr = “H”のホールド・タイムを超えない値に設定してください。

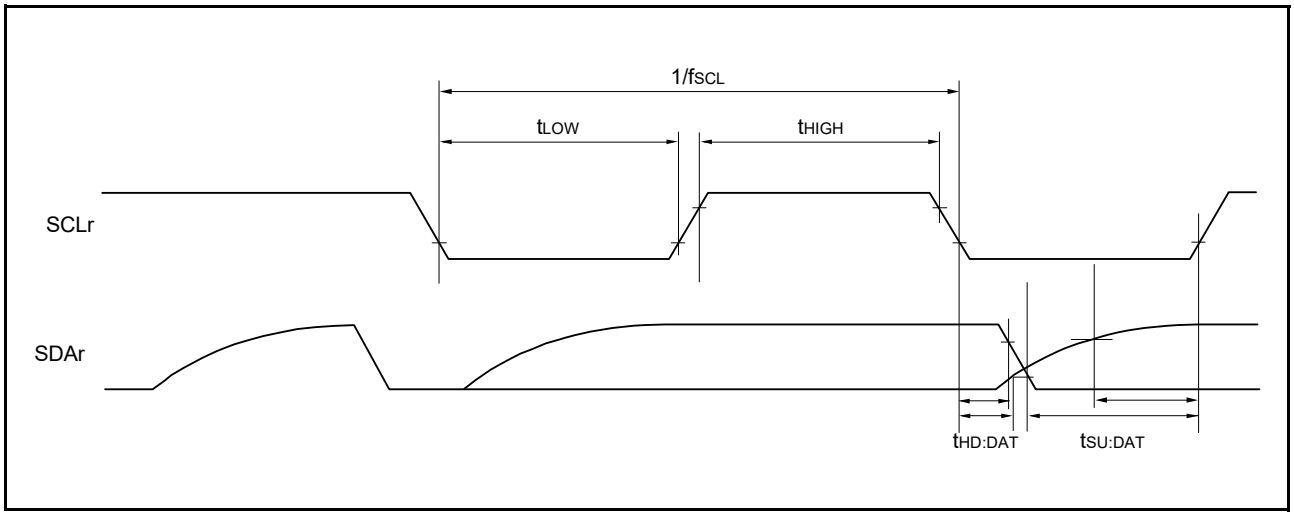
注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMh）で、SDArは通常入力バッファ、N-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択し、SCLrは通常出力モードを選択します。

（備考は次ページに続きます）

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）



備考1. R_b [Ω]：通信ライン（SDAr）プルアップ抵抗値、C_b [F]：通信ライン（SCLr, SDAr）負荷容量値

備考2. r：IIC番号（r = 00, 01, 11, 20, 21）、g：PIM番号（g = 0, 1, 3, 7）、
h：POM番号（h = 1, 5, 7）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11））

(6)　異電位（1.8 V系、2.5 V系、3 V系）通信、UARTモード時

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
転送レート		受信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		f_{MCK}/6 注1		f_{MCK}/6 注1		f_{MCK}/6 注1	bps
			最大転送レート理論値 f_{MCK} = f_{CLK} 注3		5.3		4		0.33	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		f_{MCK}/6 注1		f_{MCK}/6 注1		f_{MCK}/6 注1	bps
			最大転送レート理論値 f_{MCK} = f_{CLK} 注3		5.3		4		0.33	Mbps
			1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V		f_{MCK}/6 注1, 2		f_{MCK}/6 注1, 2		f_{MCK}/6 注1, 2	bps
			最大転送レート理論値 f_{MCK} = f_{CLK} 注3		5.3		4		0.33	Mbps

注1.　SNOOZEモードでの転送レートは、4800～9600 bpsとなります。

注2.　V_{DD}≧V_bで使用してください。

注3.　CPU／周辺ハードウェア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード　：32 MHz（1.8 V≦V_{DD}≦5.5 V）
4 MHz（1.6 V≦V_{DD}≦5.5 V）

LS（低速メイン）モード　：24 MHz（1.8 V≦V_{DD}≦5.5 V）
4 MHz（1.6 V≦V_{DD}≦5.5 V）

LP（低電力メイン）モード　：2 MHz（1.6 V≦V_{DD}≦5.5 V）

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。

備考1.　V_b [V]：通信ライン電圧

備考2.　q：UART番号（q = 0-2）、g：PIM, POM番号（g = 0, 1）

備考3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01））

備考4.　周辺I/Oリダイレクション・レジスタ（PIOR）のPIOR1ビットが1のとき、UART2の異電位通信は使用できません。

(6)　異電位（1.8 V系、2.5 V系、3 V系）通信、UARTモード時

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
転送レート		送信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		**注1**		**注1**		**注1**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V		2.8 **注2**		2.8 **注2**		2.8 **注2**	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		**注3**		**注3**		**注3**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V		1.2 **注4**		1.2 **注4**		1.2 **注4**	Mbps
			1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V		**注5, 注6**		**注5, 注6**		**注5, 注6**	bps
			最大転送レート理論値 C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V		0.43 **注7**		0.43 **注7**		0.43 **注7**	Mbps

注1.　f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注2.　この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3.　f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

注4.　この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. $V_{DD} \geqq V_b$で使用してください。

注6. $f_{MCK}/6$または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

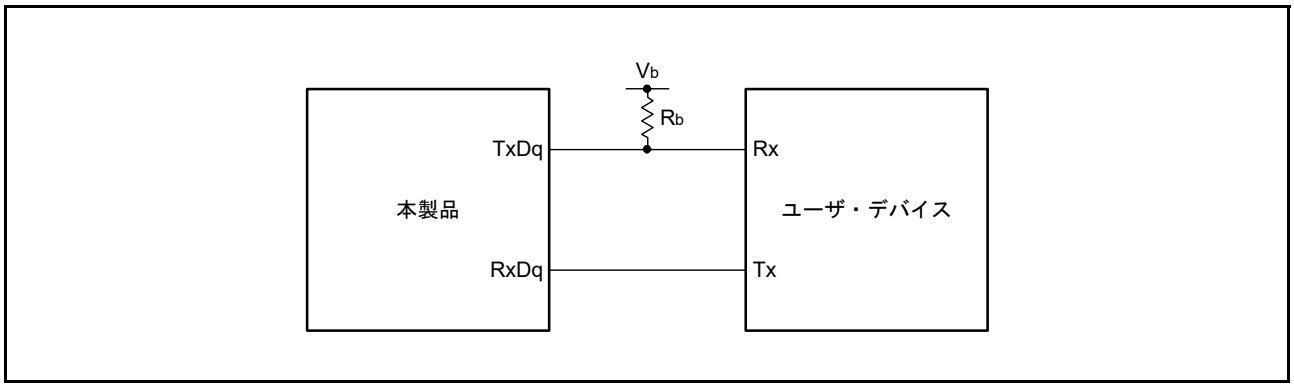
$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [\%]}$$

※この値は送信側と受信側の相対差の理論値となります。

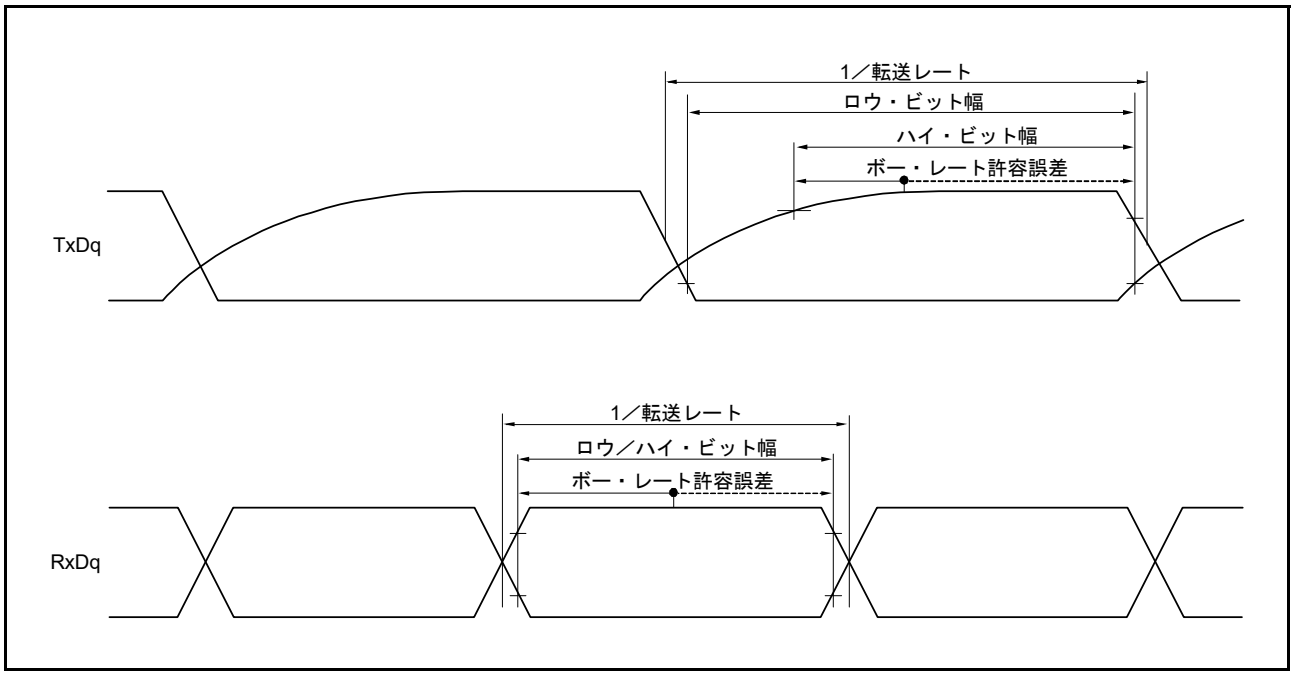
注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1. R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値、C_b [F]：通信ライン（TxDq）負荷容量値、V_b [V]：通信ライン電圧

備考2. q：UART番号（q = 0-2）、g：PIM, POM番号（g = 0, 1）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01））

備考4. 周辺I/Oリダイレクション・レジスタ（PIOR）のPIOR1ビットが1のとき、UART2の異電位通信は使用できません。

(7)　異電位（2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力、CSI00のみ対応）

（T_A = –40～+105°C, 2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	200		200		2300		ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	300		300		2300		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –50		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –120		t_{KCY1}/2 –120		t_{KCY1}/2 –120		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –7		t_{KCY1}/2 –7		t_{KCY1}/2 –50		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –10		t_{KCY1}/2 –10		t_{KCY1}/2 –50		ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		58		58		479		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		121		121		479		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10		ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ			60		60		60	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ			130		130		130	ns

（注、注意、備考は次ページに続きます）

(7)　異電位（2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力、CSI00のみ対応）

（T_A = –40～+105°C, 2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	23		23		110		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	33		33		110		ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	10		10		10		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	10		10		10		ns
SCKp↑→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10		10		10	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10		10		10	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。

備考1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値、C_b [F]：通信ライン（SCKp, SOp）負荷容量値、V_b [V]：通信ライン電圧

備考2.　p：CSI番号（p = 00）、m：ユニット番号（m = 0）、n：チャネル番号（n = 0）、g：PIM, POM番号（g = 1）

備考3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00））

備考4.　この値は、CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8)　異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(1/3)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	300		300		2300		ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	500		500		2300		ns
			1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ	1150		1150		2300		ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –75		t_{KCY1}/2 –75		t_{KCY1}/2 –75		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –170		t_{KCY1}/2 –170		t_{KCY1}/2 –170		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2 –458		t_{KCY1}/2 –458		t_{KCY1}/2 –458		ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2 –12		t_{KCY1}/2 –12		t_{KCY1}/2 –50		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2 –18		t_{KCY1}/2 –18		t_{KCY1}/2 –50		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2 –50		t_{KCY1}/2 –50		t_{KCY1}/2 –50		ns

注　V_{DD}≧V_bで使用してください。

注意　**ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。**

（備考は1221ページにあります）

(8)　異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	81		81		479		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	177		177		479		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	479		479		479		ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		100		100		100	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		195		195		195	ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		483		483		483	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2.　V_{DD}≧V_bで使用してください。

注意　**ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。**

（備考は1221ページにあります）

(8)　異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（マスタ・モード、SCKp：内部クロック出力）

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(3/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SIpセットアップ時間（対SCKp↓）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	44		44		110		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	44		44		110		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	110		110		110		ns
SIpホールド時間（対SCKp↓）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19		19		19		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19		19		19		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ	19		19		19		ns
SCKp↑→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		25		25		25	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		25		25		25	ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		25		25		25	ns

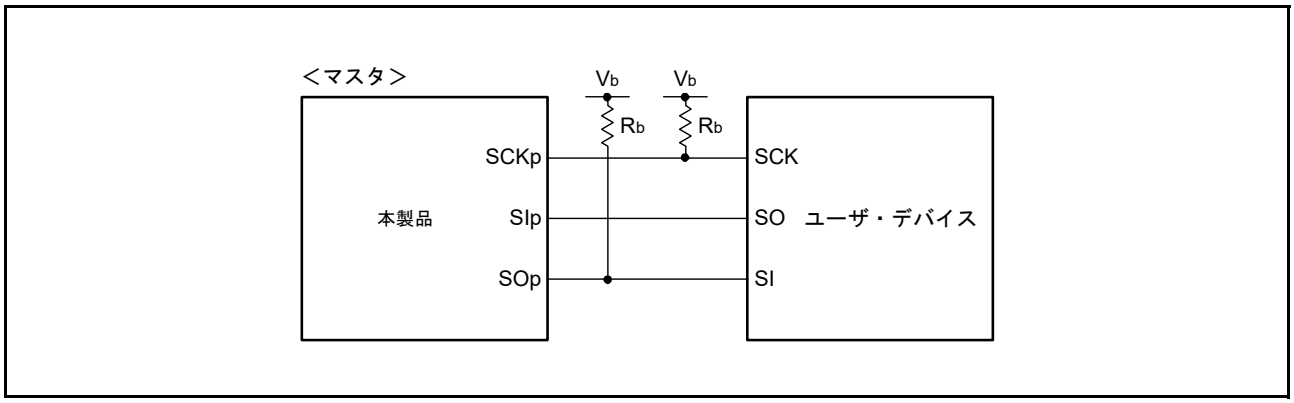
注1.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注2.　V_{DD}≧V_bで使用してください。

注意　**ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子はTTL入力バッファを選択し、SOp端子とSCKp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。**

（備考は次ページに続きます）

簡易SPI（CSI）モード接続図（異電位通信時）



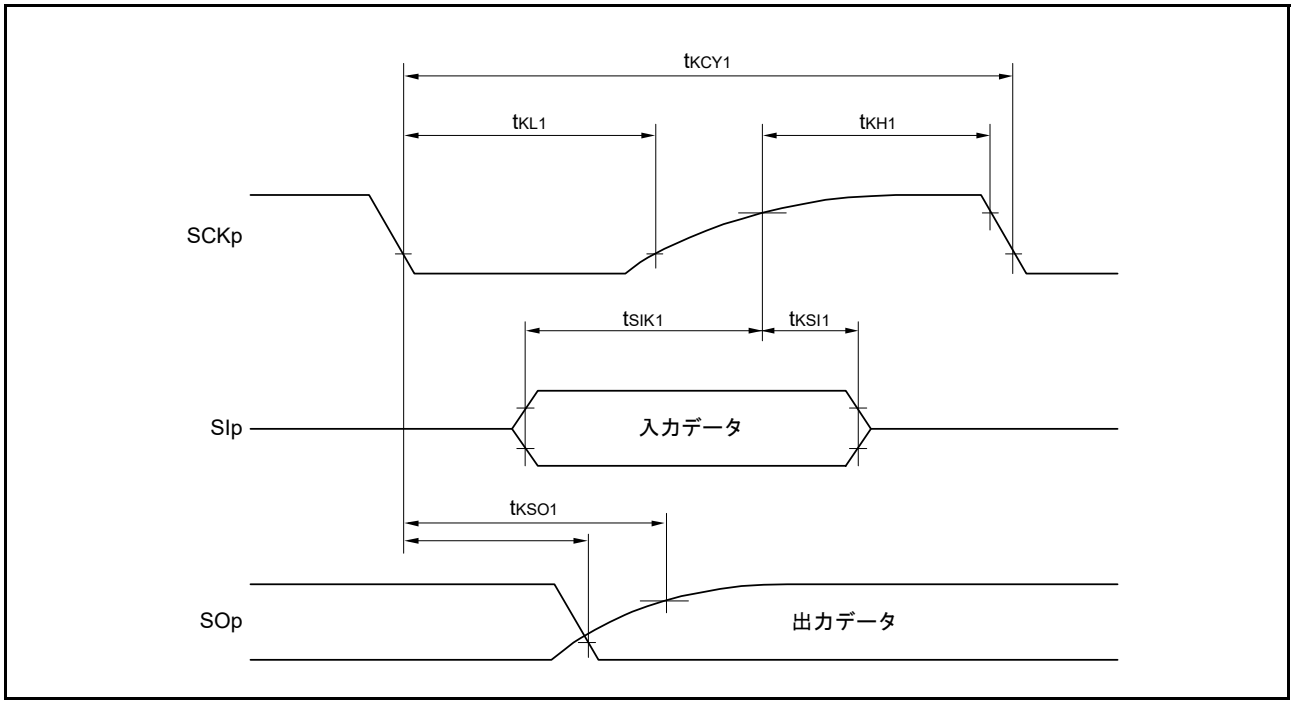
備考1. R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値、C_b [F]：通信ライン（SCKp, SOp）負荷容量値、V_b [V]：通信ライン電圧

備考2. p：CSI番号（p = 00, 01, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11）、g：PIM, POM番号（g = 1, 3, 7）

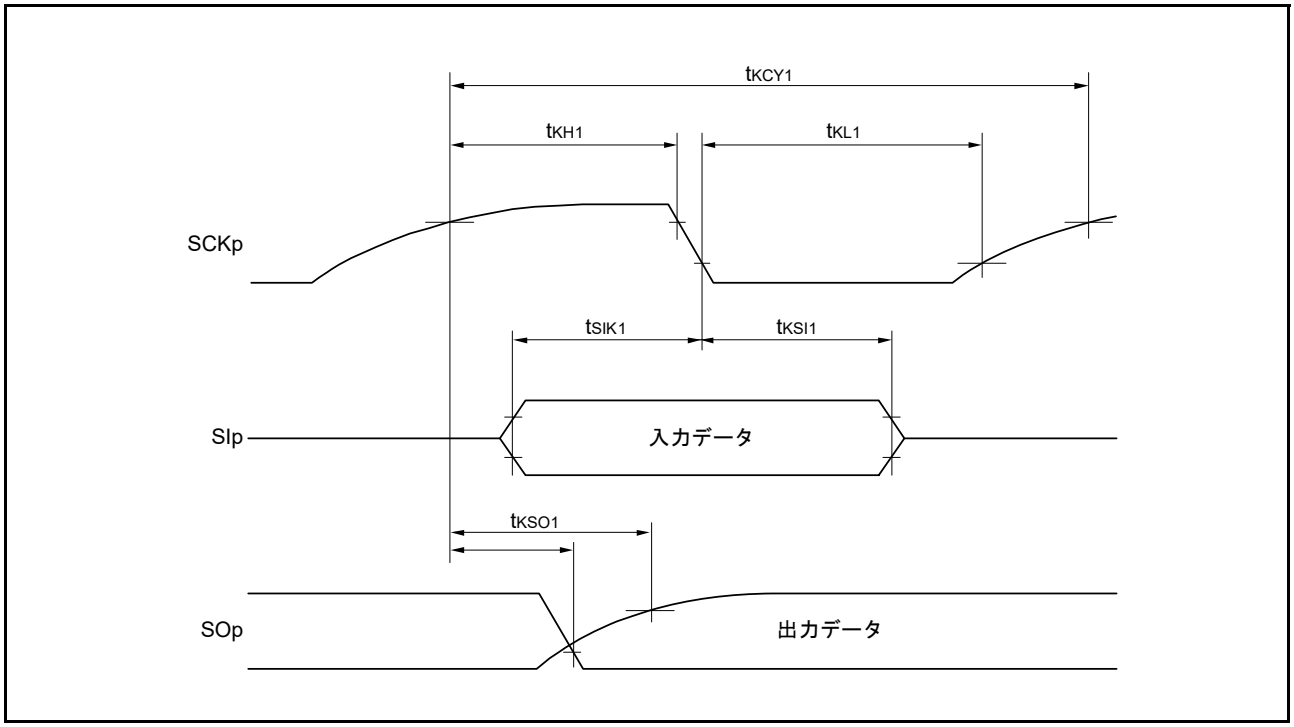
備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00））

備考4. CSI11, CSI21と、48ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）
（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 01, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11）、g：PIM, POM番号（g = 1, 3, 7）

備考2. CSI11, CSI21と、48ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(9)　異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(1/2)

項目	略号	条件		HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
				Min.	Max.	Min.	Max.	Min.	Max.	
SCKp サイクル・タイム注1	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	24 MHz＜f_{MCK}	14/f_{MCK}		—		—		ns
			20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}		12/f_{MCK}		—		ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}		10/f_{MCK}		—		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		6/f_{MCK}		10/f_{MCK}		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V,	24 MHz＜f_{MCK}	20/f_{MCK}		—		—		ns
			20 MHz＜f_{MCK}≦24 MHz	16/f_{MCK}		16/f_{MCK}		—		ns
			16 MHz＜f_{MCK}≦20 MHz	14/f_{MCK}		14/f_{MCK}		—		ns
			8 MHz＜f_{MCK}≦16 MHz	12/f_{MCK}		12/f_{MCK}		—		ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}		8/f_{MCK}		—		ns
			f_{MCK}≦4 MHz	6/f_{MCK}		6/f_{MCK}		10/f_{MCK}		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2	24 MHz＜f_{MCK}	48/f_{MCK}		—		—		ns
			20 MHz＜f_{MCK}≦24 MHz	36/f_{MCK}		36/f_{MCK}		—		ns
			16 MHz＜f_{MCK}≦20 MHz	32/f_{MCK}		32/f_{MCK}		—		ns
			8 MHz＜f_{MCK}≦16 MHz	26/f_{MCK}		26/f_{MCK}		—		ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}		16/f_{MCK}		—		ns
			f_{MCK}≦4 MHz	10/f_{MCK}		10/f_{MCK}		10/f_{MCK}		ns

（注、注意は次ページに、備考は1225ページにあります）

(9)　異電位（1.8 V系、2.5 V系、3 V系）通信、簡易SPI（CSI）モード時
（スレーブ・モード、SCKp：外部クロック入力）

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　(2/2)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCKp ハイ・レベル幅、ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	t_{KCY2}/2 –12		t_{KCY2}/2 –12		t_{KCY2}/2 –50		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V	t_{KCY2}/2 –18		t_{KCY2}/2 –18		t_{KCY2}/2 –50		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2	t_{KCY2}/2 –50		t_{KCY2}/2 –50		t_{KCY2}/2 –50		ns
SIpセットアップ時間（対SCKp↑）注3	t_{SIK2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	1/f_{MCK} +20		1/f_{MCK} +20		1/f_{MCK} +30		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V	1/f_{MCK} +20		1/f_{MCK} +20		1/f_{MCK} +30		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2	1/f_{MCK} +30		1/f_{MCK} +30		1/f_{MCK} +30		ns
SIpホールド時間（対SCKp↑）注3	t_{KSI2}		1/f_{MCK} +31		1/f_{MCK} +31		1/f_{MCK} +31		ns
SCKp↓→SOp出力遅延時間注4	t_{KSO2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		2/f_{MCK} +120		2/f_{MCK} +120		2/f_{MCK} +573	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		2/f_{MCK} +214		2/f_{MCK} +214		2/f_{MCK} +573	ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ		2/f_{MCK} +573		2/f_{MCK} +573		2/f_{MCK} +573	ns

注1.　SNOOZEモードでの転送レートは、Max.：1 Mbpsです。

注2.　V_{DD}≧V_bで使用してください。

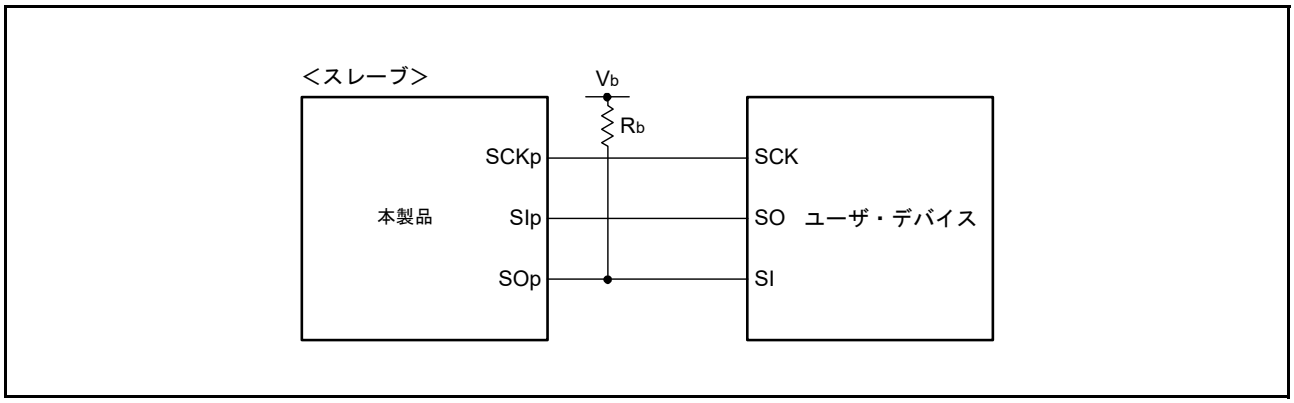
注3.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

注4.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SIp端子とSCKp端子はTTL入力バッファを選択し、SOp端子はN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページに続きます）

簡易SPI（CSI）モード接続図（異電位通信時）



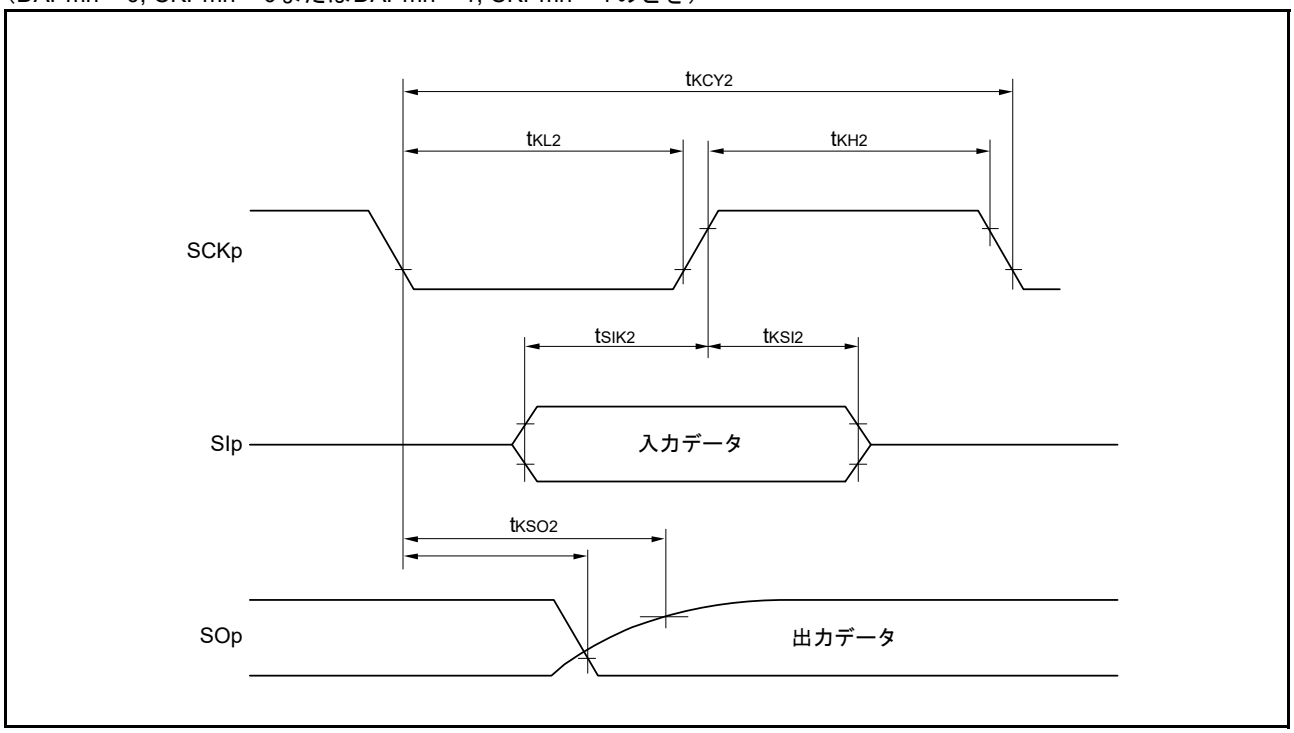
備考1. Rb [Ω]：通信ライン（SOp）プルアップ抵抗値、Cb [F]：通信ライン（SOp）負荷容量値、Vb [V]：通信ライン電圧

備考2. p：CSI番号（p = 00, 01, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11）、
g：PIM, POM番号（g = 1, 3, 7）

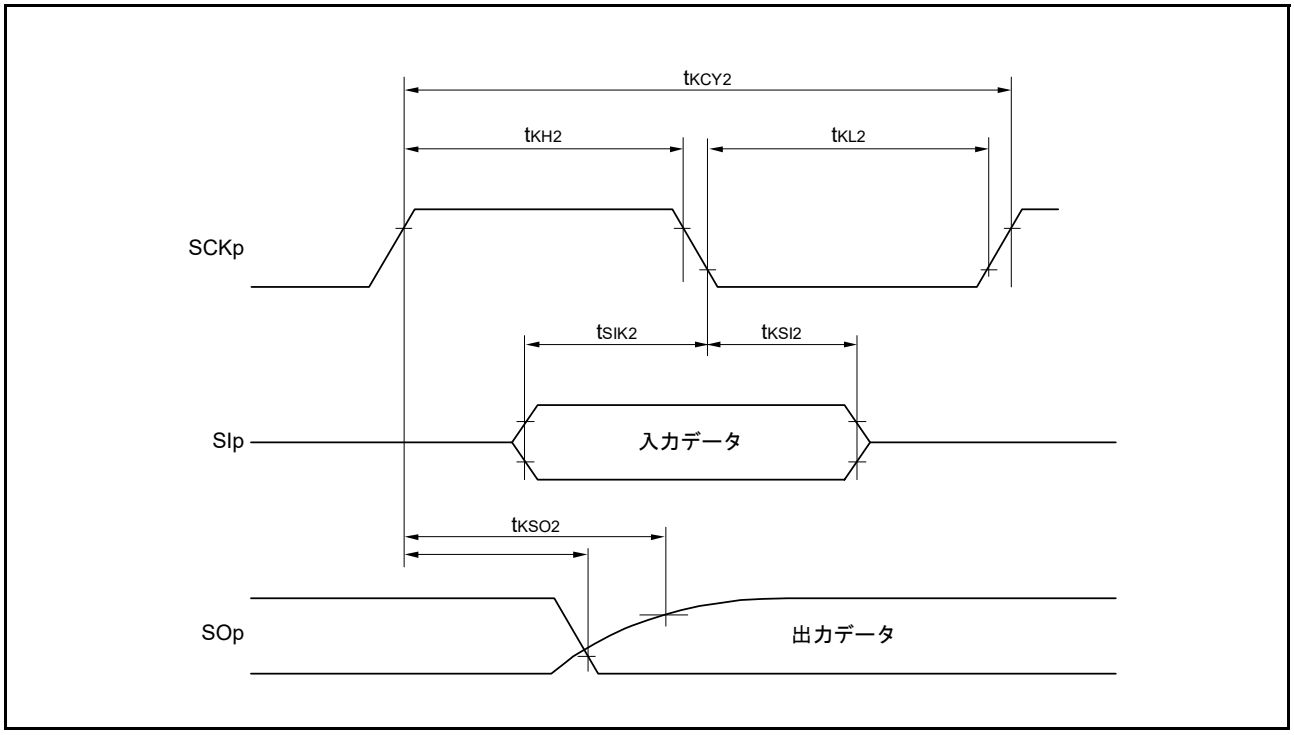
備考3. fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11）

備考4. CSI11, CSI21と、48ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1. p：CSI番号（p = 00, 01, 20）、m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11）、g：PIM, POM番号（g = 1, 3, 7）

備考2. CSI11, CSI21と、48ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） (1/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLrクロック周波数	f_{SCL}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		1000注1		300注1	kHz
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1		1000注1		300注1	kHz
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ		400注1		400注1		300注1	kHz
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ		400注1		400注1		300注1	kHz
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ		300注1		300注1		300注1	kHz
SCLr = “L”のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1550		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	475		475		1550		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1150		1550		1550		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1150		1550		1550		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	1550		1550		1550		ns

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） (2/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
SCLr = “H”のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	245		245		610		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	200		200		610		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	675		675		610		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	600		600		610		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	610		610		610		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK} +135注3		1/f_{MCK} +135注3		1/f_{MCK} +190注3		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK} +135注3		1/f_{MCK} +135注3		1/f_{MCK} +190注3		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	1/f_{MCK} +190注3		1/f_{MCK} +190注3		1/f_{MCK} +190注3		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	1/f_{MCK} +190注3		1/f_{MCK} +190注3		1/f_{MCK} +190注3		ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	1/f_{MCK} +190注3		1/f_{MCK} +190注3		1/f_{MCK} +190注3		ns

(10) 異電位（1.8 V系、2.5 V系、3 V系）通信、簡易I²Cモード時

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V） (3/3)

項目	略号	条件	HS（高速メイン）モード		LS（低速メイン）モード		LP（低電力メイン）モード		単位
			Min.	Max.	Min.	Max.	Min.	Max.	
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF, R_b = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 100 pF, R_b = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF, R_b = 5.5 kΩ	0	405	0	405	0	405	ns

注1. f_{MCK}/4以下に設定してください。

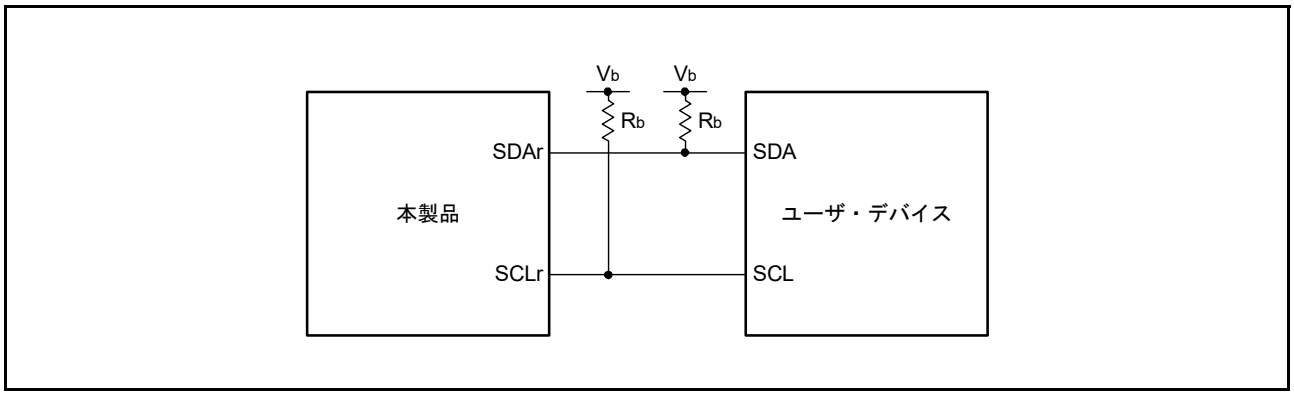
注2. V_{DD}≧V_bで使用してください。

注3. f_{MCK}値は、SCLr = “L”とSCLr = “H”のホールド・タイムを超えない値に設定してください。

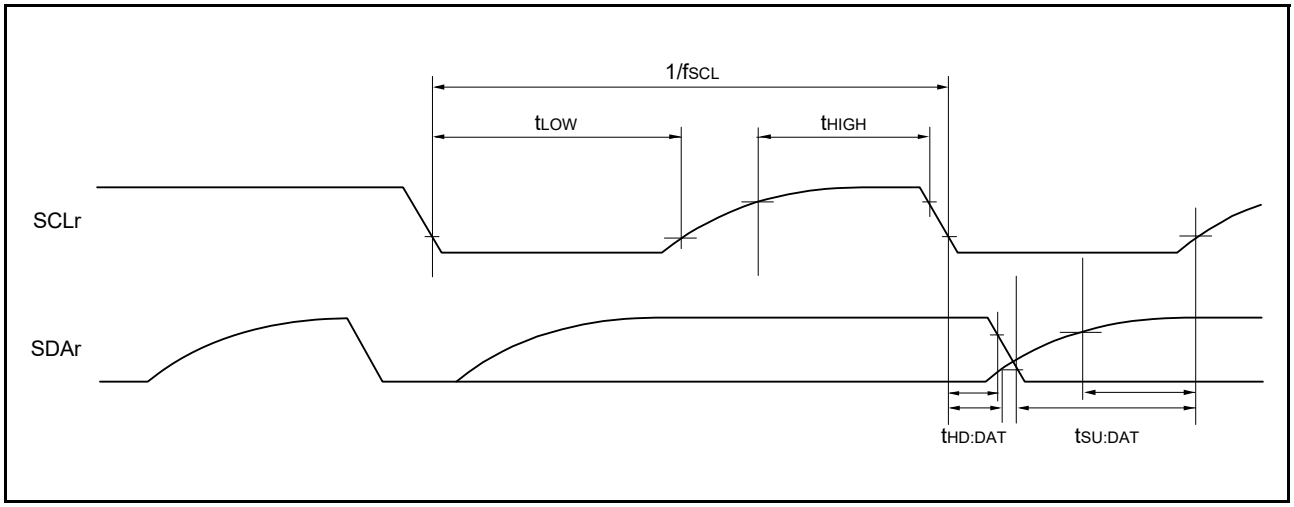
注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択し、SCLrはN-chオープン・ドレイン出力[V_{DD}耐圧]モードを選択します。なお、V_{IH}, V_{IL}はTTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページに続きます）

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



備考1. R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値、C_b [F]：通信ライン（SDAr, SCLr）負荷容量値、V_b [V]：通信ライン電圧

備考2. r：IIC番号（r = 00, 01, 11, 20, 21）、g：PIM番号（g = 0, 1, 3, 7）、h：POM番号（h = 1, 5, 7）

備考3. f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号、n：チャネル番号（mn = 00, 01, 03, 10, 11））

34.5.2　シリアル・インタフェースUARTA

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート			200	0	153600	Bps

注意　ポート入力モード・レジスタ（PIMg）とポート出力モード・レジスタ（POMg）で、RxDAn端子は通常入力バッファを選択し、TxDAn端子は通常出力モードを選択します。

備考1. g：PIM, POM番号（g = 7）

備考2. n：ユニット番号（n = 0）

34.5.3　シリアル・インタフェースIICA

(1)　I²C 標準モード

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	0		100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7			μs
ホールド時間注1	$t_{HD:STA}$		4.0			μs
SCLA0 = “L”のホールド・タイム	t_{LOW}		4.7			μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}		4.0			μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250			ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$		0		3.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0			μs
バス・フリー時間	t_{BUF}		4.7			μs

注1.　スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2.　$t_{HD:DAT}$の最大値（Max.）は、通常転送時の数値であり、ACK（アクノリッジ）タイミングでは、クロック・ストレッチが発生します。

注意　**周辺I/Oリダイレクション・レジスタ（PIOR）のPIOR2ビットが1の場合も、上記の値を適用できます。ただし、端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。**

備考　C_b（通信ライン容量）のMax.値と、R_b（通信ライン・プルアップ抵抗値）のMax.値は次のとおりです。
C_b = 400 pF, R_b = 2.7 kΩ

(2)　I²C ファースト・モード

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz 1.8 V≦V_{DD}≦5.5 V	0		400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	1.8 V≦V_{DD}≦5.5 V	0.6			μs
ホールド時間注1	$t_{HD:STA}$	1.8 V≦V_{DD}≦5.5 V	0.6			μs
SCLA0 = “L”のホールド・タイム	t_{LOW}	1.8 V≦V_{DD}≦5.5 V	1.3			μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}	1.8 V≦V_{DD}≦5.5 V	0.6			μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	1.8 V≦V_{DD}≦5.5 V	100			ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$	1.8 V≦V_{DD}≦5.5 V	0		0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	1.8 V≦V_{DD}≦5.5 V	0.6			μs
バス・フリー時間	t_{BUF}	1.8 V≦V_{DD}≦5.5 V	1.3			μs

注1.　スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2.　$t_{HD:DAT}$の最大値（Max.）は、通常転送時の数値であり、ACK（アクノリッジ）タイミングでは、クロック・ストレッチが発生します。

注意　**周辺I/Oリダイレクション・レジスタ（PIOR）のPIOR2ビットが1の場合も、上記の値を適用できます。ただし、端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。**

備考　C_b（通信ライン容量）のMax.値と、R_b（通信ライン・プルアップ抵抗値）のMax.値は次のとおりです。
C_b = 320 pF, R_b = 1.1 kΩ

(3)　I²C ファースト・モード・プラス

（T_A = –40～+105°C, 1.6 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス： f_{CLK}≧10 MHz 2.7 V≦V_{DD}≦5.5 V	0		1000	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦V_{DD}≦5.5 V	0.26			μs
ホールド時間注1	$t_{HD:STA}$	2.7 V≦V_{DD}≦5.5 V	0.26			μs
SCLA0 = “L”のホールド・タイム	t_{LOW}	2.7 V≦V_{DD}≦5.5 V	0.5			μs
SCLA0 = “H”のホールド・タイム	t_{HIGH}	2.7 V≦V_{DD}≦5.5 V	0.26			μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_{DD}≦5.5 V	50			ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$	2.7 V≦V_{DD}≦5.5 V	0		0.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦V_{DD}≦5.5 V	0.26			μs
バス・フリー時間	t_{BUF}	2.7 V≦V_{DD}≦5.5 V	0.5			μs

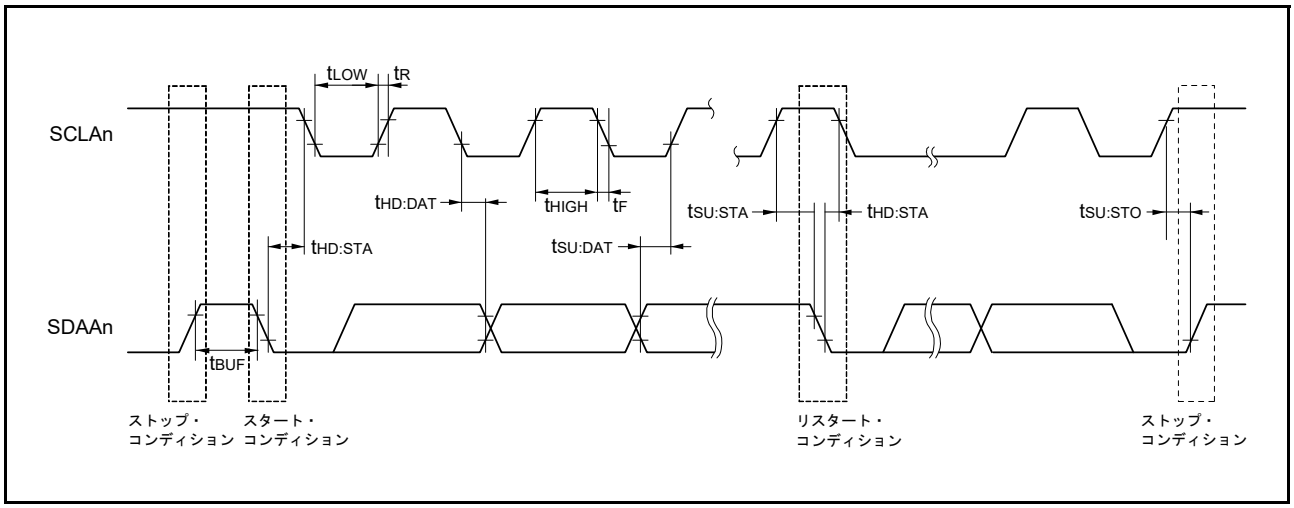
注1.　スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

注2.　$t_{HD:DAT}$の最大値（Max.）は、通常転送時の数値であり、ACK（アクノリッジ）タイミングでは、クロック・ストレッチが発生します。

注意　**周辺I/Oリダイレクション・レジスタ（PIOR）のPIOR2ビットが1の場合も、上記の値を適用できます。ただし、端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。**

備考　C_b（通信ライン容量）のMax.値と、R_b（通信ライン・プルアップ抵抗値）のMax.値は次のとおりです。
C_b = 120 pF, R_b = 1.1 kΩ

IICAシリアル転送タイミング



備考　n = 0

34.6 アナログ特性

34.6.1 A/Dコンバータ特性（T_A = –40～+85℃）

A/D コンバータ特性の区分

基準電圧 入力チャネル	基準電圧（+）= AV_{REFP} 基準電圧（–）= AV_{REFM}	基準電圧（+）= V_{DD} 基準電圧（–）= V_{SS}	基準電圧（+）= V_{BGR} 基準電圧（–）= AV_{REFM}
ANI0-ANI7	**34.6.1 (1)**参照	**34.6.1 (3)**参照	**34.6.1 (4)**参照
ANI16-ANI19	**34.6.1 (2)**参照		
内部基準電圧 温度センサ出力電圧 CTSU TSCAP電圧	**34.6.1 (1)**参照		–

(1) 基準電圧（+）= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AV_{REFM}/ANI1（ADREFM = 1）選択時、変換対象：ANI2-ANI7、内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧

（T_A = –40～+85°C, 1.6 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V, 基準電圧（+）= AV_{REFP}, 基準電圧（–）= AV_{REFM} = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AV_{REFP} = V_{DD}注2	1.8 V≦AV_{REFP}≦5.5 V		1.2	±3.5	LSB
			1.6 V≦AV_{REFP}≦5.5 V注3		1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象： ANI2-ANI7	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			1.8 V≦V_{DD}≦5.5 V	17		39	μs
			1.6 V≦V_{DD}≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			1.8 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 4	E_{ZS}	10ビット分解能 AV_{REFP} = V_{DD}注2	1.8 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
			1.6 V≦AV_{REFP}≦5.5 V注3			±0.50	%FSR
フルスケール誤差注1, 4	E_{FS}	10ビット分解能 AV_{REFP} = V_{DD}注2	1.8 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
			1.6 V≦AV_{REFP}≦5.5 V注3			±0.50	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AV_{REFP} = V_{DD}注2	1.8 V≦AV_{REFP}≦5.5 V			±2.5	LSB
			1.6 V≦AV_{REFP}≦5.5 V注3			±5.0	LSB
微分直線性誤差注1	DLE	10ビット分解能 AV_{REFP} = V_{DD}注2	1.8 V≦AV_{REFP}≦5.5 V			±1.5	LSB
			1.6 V≦AV_{REFP}≦5.5 V注3			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI2-ANI7		0		AV_{REFP}	V
		内部基準電圧（1.8 V≦V_{DD}≦5.5 V）		V_{BGR}注5			V
		温度センサ出力電圧（1.8 V≦V_{DD}≦5.5 V）		V_{TMPS25}注5			V
		CTSU TSCAP電圧（1.8 V≦V_{DD}≦5.5 V）		V_{TSCAP}			V

（注は次ページに続きます）

注1. 量子化誤差（±1/2 LSB）を含みません。

注2. AV_{REFP} < V_{DD}の場合、Max.値は次のようになります。

総合誤差 ：AV_{REFP} = V_{DD}のMax.値に±1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AV_{REFP} = V_{DD}のMax.値に±0.05 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AV_{REFP} = V_{DD}のMax.値に±0.5 LSBを加算してください

注3. 変換時間をMin.：57 μs、Max.：95 μsに設定した場合の値です。

注4. フルスケール値に対する比率（%FSR）で表します。

注5. **34.6.3　温度センサ／内部基準電圧特性**を参照してください。

(2) 基準電圧（+）= AVREFP/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI16-ANI19

（TA = –40～+85°C, 1.6 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V, 基準電圧（+）= AVREFP, 基準電圧（–）= AVREFM = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V		1.2	±5.0	LSB
			1.6 V≦AVREFP≦5.5 V注3		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象： ANI16-ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
ゼロスケール誤差注1, 4	EZS	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±0.35	%FSR
			1.6 V≦AVREFP≦5.5 V注3			±0.60	%FSR
フルスケール誤差注1, 4	EFS	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±0.35	%FSR
			1.6 V≦AVREFP≦5.5 V注3			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±3.5	LSB
			1.6 V≦AVREFP≦5.5 V注3			±6.0	LSB
微分直線性誤差注1	DLE	10ビット分解能 AVREFP = VDD注2	1.8 V≦AVREFP≦5.5 V			±2.0	LSB
			1.6 V≦AVREFP≦5.5 V注3			±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI19		0		AVREFP	V

注1. 量子化誤差（±1/2 LSB）を含みません。

★ **注2.** AVREFP＜VDDの場合、Max.値は次のようになります。

総合誤差 ：AVREFP = VDDのMax.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AVREFP = VDDのMax.値に±0.20 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AVREFP = VDDのMax.値に±2.0 LSBを加算してください

注3. 変換時間をMin.：57 μs、Max.：95 μsに設定した場合の値です。

注4. フルスケール値に対する比率（%FSR）で表します。

(3)　基準電圧（+）= VDD（ADREFP1 = 0, ADREFP0 = 0）、基準電圧（–）= VSS（ADREFM = 0）選択時、変換対象：ANI0-ANI7, ANI16-ANI19、内部基準電圧注1、温度センサ出力電圧注1、CTSU TSCAP電圧

（TA = –40～+85°C, 1.6 V≦VDD≦5.5 V, VSS = 0 V, 基準電圧（+）= VDD, 基準電圧（–）= VSS）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注2	AINL	10ビット分解能	1.8 V≦VDD≦5.5 V		1.2	±7.0	LSB
			1.6 V≦VDD≦5.5 V注3		1.2	±10.5	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI0-ANI7, ANI16-ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
			1.6 V≦VDD≦5.5 V	57		95	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			1.8 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注2, 4	EZS	10ビット分解能	1.8 V≦VDD≦5.5 V			±0.60	%FSR
			1.6 V≦VDD≦5.5 V注3			±0.85	%FSR
フルスケール誤差注2, 4	EFS	10ビット分解能	1.8 V≦VDD≦5.5 V			±0.60	%FSR
			1.6 V≦VDD≦5.5 V注3			±0.85	%FSR
積分直線性誤差注2	ILE	10ビット分解能	1.8 V≦VDD≦5.5 V			±4.0	LSB
			1.6 V≦VDD≦5.5 V注3			±6.0	LSB
微分直線性誤差注2	DLE	10ビット分解能	1.8 V≦VDD≦5.5 V			±2.0	LSB
			1.6 V≦VDD≦5.5 V注3			±2.5	LSB
アナログ入力電圧	VAIN	ANI0-ANI7, ANI16-ANI19		0		VDD	V
		内部基準電圧（1.8 V≦VDD≦5.5 V）		VBGR注5			V
		温度センサ出力電圧（1.8 V≦VDD≦5.5 V）		VTMPS25注5			V
		CTSU TSCAP電圧（1.8 V≦VDD≦5.5 V）		VTSCAP			V

注1.　内部基準電圧、温度センサ出力電圧を変換対象にする場合は、1.8 V≦VDDで使用してください。

注2.　量子化誤差（±1/2 LSB）を含みません。

注3.　変換時間をMin.：57 μs、Max.：95 μsに設定した場合の値です。

注4.　フルスケール値に対する比率（%FSR）で表します。

注5.　**34.6.3　温度センサ／内部基準電圧特性**を参照してください。

(4) 基準電圧（+）= 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0）、基準電圧（–）= AV_{REFM}/ANI1（ADREFM = 1）選択時、変換対象：ANI0, ANI2-ANI7, ANI16-ANI19

（T_A = –40～+85°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V, 基準電圧（+）= V_{BGR}注1, 基準電圧（–）= AV_{REFM}注2 = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES			8		bit
変換時間	t_{CONV}		17		39	μs
ゼロスケール誤差注3, 4	E_{ZS}				±0.60	%FSR
積分直線性誤差注3	ILE				±2.0	LSB
微分直線性誤差注3	DLE				±1.0	LSB
アナログ入力電圧	V_{AIN}		0		V_{BGR}注1	V

注1. **34.6.3 温度センサ／内部基準電圧特性**を参照してください。

注2. 基準電圧（–）= V_{SS}の場合、Max.値は次のようになります。

ゼロスケール誤差　：基準電圧（–）= AV_{REFM}時のMax.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（–）= AV_{REFM}時のMax.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（–）= AV_{REFM}時のMax.値に±0.2 LSBを加算してください

注3. 量子化誤差（±1/2 LSB）を含みません。

注4. フルスケール値に対する比率（%FSR）で表します。

34.6.2 A/Dコンバータ特性（TA = –40～+105℃）

A/D コンバータ特性の区分

基準電圧 入力チャネル	基準電圧（+）= AVREFP 基準電圧（–）= AVREFM	基準電圧（+）= VDD 基準電圧（–）= VSS	基準電圧（+）= VBGR 基準電圧（–）= AVREFM
ANI0-ANI7	**34.6.2 (1)**参照	**34.6.2 (3)**参照	**34.6.2 (4)**参照
ANI16-ANI19	**34.6.2 (2)**参照		
内部基準電圧 温度センサ出力電圧 CTSU TSCAP電圧	**34.6.2 (1)**参照		–

(1) 基準電圧（+）= AVREFP/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI2-ANI7、内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧

（TA = –40～+105°C, 2.4 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V, 基準電圧（+）= AVREFP, 基準電圧（–）= AVREFM = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V		1.2	±3.5	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI2-ANI7	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧	3.6 V≦VDD≦5.5 V	2.375		39	μs
			2.7 V≦VDD≦5.5 V	3.5625		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 3	EZS	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±0.25	%FSR
フルスケール誤差注1, 3	EFS	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±0.25	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±2.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±1.5	LSB
アナログ入力電圧	VAIN	ANI2-ANI7		0		AVREFP	V
		内部基準電圧		VBGR注4			V
		温度センサ出力電圧		VTMPS25注4			V
		CTSU TSCAP電圧		VTSCAP			V

注1. 量子化誤差（±1/2 LSB）を含みません。

注2. AVREFP < VDDの場合、Max.値は次のようになります。

総合誤差 ：AVREFP = VDDのMax.値に±1.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AVREFP = VDDのMax.値に±0.05 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AVREFP = VDDのMax.値に±0.5 LSBを加算してください

注3. フルスケール値に対する比率（%FSR）で表します。

注4. **34.6.3 温度センサ／内部基準電圧特性**を参照してください。

(2) 基準電圧（+）= AVREFP/ANI0（ADREFP1 = 0, ADREFP0 = 1）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI16-ANI19

（TA = –40～+105°C, 2.4 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V, 基準電圧（+）= AVREFP, 基準電圧（–）= AVREFM = 0 V）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象：ANI16-ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 3	EZS	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±0.35	%FSR
フルスケール誤差注1, 3	EFS	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AVREFP = VDD注2	2.4 V≦AVREFP≦5.5 V			±2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI19		0		AVREFP	V

注1. 量子化誤差（±1/2 LSB）を含みません。

★ **注2.** AVREFP＜VDDの場合、Max.値は次のようになります。

総合誤差 ：AVREFP = VDDのMax.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差 ：AVREFP = VDDのMax.値に±0.20 %FSRを加算してください

積分直線性誤差／微分直線性誤差 ：AVREFP = VDDのMax.値に±2.0 LSBを加算してください

注3. フルスケール値に対する比率（%FSR）で表します。

(3) 基準電圧（+）= V_{DD}（ADREFP1 = 0, ADREFP0 = 0）、基準電圧（–）= V_{SS}（ADREFM = 0）選択時、変換対象：ANI0-ANI7, ANI16-ANI19、内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧

（T_A = –40～+105°C, 2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V, 基準電圧（+）= V_{DD}, 基準電圧（–）= V_{SS}）

項目	略号	条件		Min.	Typ.	Max.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能	2.4 V≦V_{DD}≦5.5 V		1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI7, ANI16-ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧、温度センサ出力電圧、CTSU TSCAP電圧	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	E_{ZS}	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
フルスケール誤差注1, 2	E_{FS}	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI7, ANI16-ANI19		0		V_{DD}	V
		内部基準電圧		V_{BGR}注3			V
		温度センサ出力電圧		V_{TMPS25}注3			V
		CTSU TSCAP電圧		V_{TSCAP}			V

注1. 量子化誤差（±1/2 LSB）を含みません。

注2. フルスケール値に対する比率（%FSR）で表します。

注3. **34.6.3 温度センサ／内部基準電圧特性**を参照してください。

(4) 基準電圧（+）= 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0）、基準電圧（–）= AVREFM/ANI1（ADREFM = 1）選択時、変換対象：ANI0, ANI2-ANI7, ANI16-ANI19

（TA = –40～+105°C, 2.4 V≦VDD≦5.5 V, VSS = 0 V, 基準電圧（+）= VBGR注1, 基準電圧（–）= AVREFM注2 = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
分解能	RES			8		bit
変換時間	tCONV		17		39	μs
ゼロスケール誤差注3, 4	EZS				±0.60	%FSR
積分直線性誤差注3	ILE				±2.0	LSB
微分直線性誤差注3	DLE				±1.0	LSB
アナログ入力電圧	VAIN		0		VBGR注1	V

注1. **34.6.3 温度センサ／内部基準電圧特性**を参照してください。

注2. 基準電圧（–）= VSSの場合、Max.値は次のようになります。

ゼロスケール誤差　：基準電圧（–）= AVREFM時のMax.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（–）= AVREFM時のMax.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（–）= AVREFM時のMax.値に±0.2 LSBを加算してください

注3. 量子化誤差（±1/2 LSB）を含みません。

注4. フルスケール値に対する比率（%FSR）で表します。

34.6.3　温度センサ／内部基準電圧特性

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

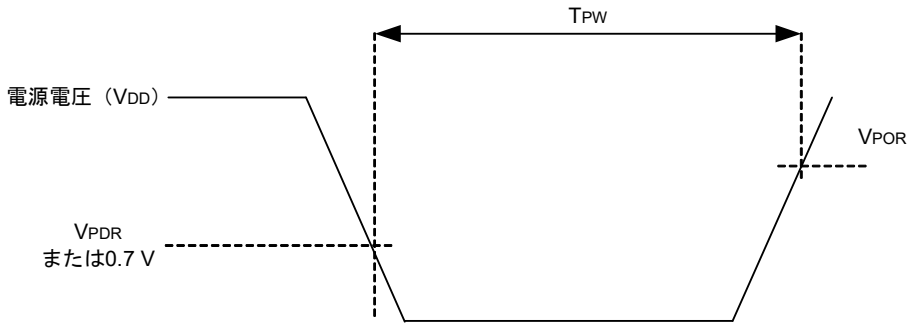
項目	略号	条件	Min.	Typ.	Max.	単位
温度センサ出力電圧	V_{TMPS25}	ADS レジスタ = 80H 設定、T_A = +25°C		1.05		V
内部基準電圧	V_{BGR}	ADS レジスタ = 81H 設定	1.42	1.48	1.54	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		–3.3		mV/°C
動作安定待ち時間	t_{AMP}		5			μs

34.6.4　POR回路特性

（T_A = –40～+105°C, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
検出電圧	V_{POR}, V_{PDR}		1.43	1.50	1.57	V
最小パルス幅注	T_{PW}		300			μs

注　V_{DD}がV_{PDR}を下回った場合に、PORによるリセット動作に必要な時間です。また、STOPモード時およびクロック動作ステータス制御レジスタ（CSC）のHIOSTOP, MSTOPビットの設定により、メイン・システム・クロック（f_{MAIN}）を停止時は、V_{DD}が0.7 Vを下回ってからV_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



34.6.5　LVD回路特性

(1)　LVD0リセット・モード、割り込みモードのLVD検出電圧

（T_A = –40～+105°C, V_{PDR}≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目		略号	条件	Min.	Typ.	Max.	単位
検出電圧	電源電圧レベル	V_{LVD00}	電源立ち上がり時	3.84	3.96	4.08	V
			電源立ち下がり時	3.76	3.88	4.00	V
		V_{LVD01}	電源立ち上がり時	2.88	2.97	3.06	V
			電源立ち下がり時	2.82	2.91	3.00	V
		V_{LVD02}	電源立ち上がり時	2.59	2.67	2.75	V
			電源立ち下がり時	2.54	2.62	2.70	V
		V_{LVD03}	電源立ち上がり時	2.31	2.38	2.45	V
			電源立ち下がり時	2.26	2.33	2.40	V
		V_{LVD04}	電源立ち上がり時	1.84	1.90	1.95	V
			電源立ち下がり時	1.80	1.86	1.91	V
		V_{LVD05}	電源立ち上がり時	1.64	1.69	1.74	V
			電源立ち下がり時	1.60	1.65	1.70	V
最小パルス幅		t_{LW}		500			μs
検出遅延						500	μs

(2) LVD1リセット・モード、割り込みモードのLVD検出電圧

（T_A = –40～+105°C, V_{PDR}≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目		略号	条件	Min.	Typ.	Max.	単位
検出電圧	電源電圧レベル	V_{LVD10}	電源立ち上がり時	4.08	4.16	4.24	V
			電源立ち下がり時	4.00	4.08	4.16	V
		V_{LVD11}	電源立ち上がり時	3.88	3.96	4.04	V
			電源立ち下がり時	3.80	3.88	3.96	V
		V_{LVD12}	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		V_{LVD13}	電源立ち上がり時	3.48	3.55	3.62	V
			電源立ち下がり時	3.40	3.47	3.54	V
		V_{LVD14}	電源立ち上がり時	3.28	3.35	3.42	V
			電源立ち下がり時	3.20	3.27	3.34	V
		V_{LVD15}	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		V_{LVD16}	電源立ち上がり時	2.91	2.97	3.03	V
			電源立ち下がり時	2.85	2.91	2.97	V
		V_{LVD17}	電源立ち上がり時	2.76	2.82	2.87	V
			電源立ち下がり時	2.70	2.76	2.81	V
		V_{LVD18}	電源立ち上がり時	2.61	2.66	2.71	V
			電源立ち下がり時	2.55	2.60	2.65	V
		V_{LVD19}	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		V_{LVD110}	電源立ち上がり時	2.35	2.40	2.45	V
			電源立ち下がり時	2.30	2.35	2.40	V
		V_{LVD111}	電源立ち上がり時	2.25	2.30	2.34	V
			電源立ち下がり時	2.20	2.25	2.29	V
		V_{LVD112}	電源立ち上がり時	2.15	2.20	2.24	V
			電源立ち下がり時	2.10	2.15	2.19	V
		V_{LVD113}	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		V_{LVD114}	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		V_{LVD115}注	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		V_{LVD116}注	電源立ち上がり時	1.74	1.78	1.81	V
			電源立ち下がり時	1.70	1.74	1.77	V
		V_{LVD117}注	電源立ち上がり時	1.64	1.67	1.70	V
			電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅		t_{LW}		500			μs
検出遅延						500	μs

注 LVD0がオフのときに使用できます。

34.6.6　電源電圧立ち上がり特性

（T_A = –40～+105°C, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
電源電圧立ち上がり傾き	S_{VDD}				54	V/ms

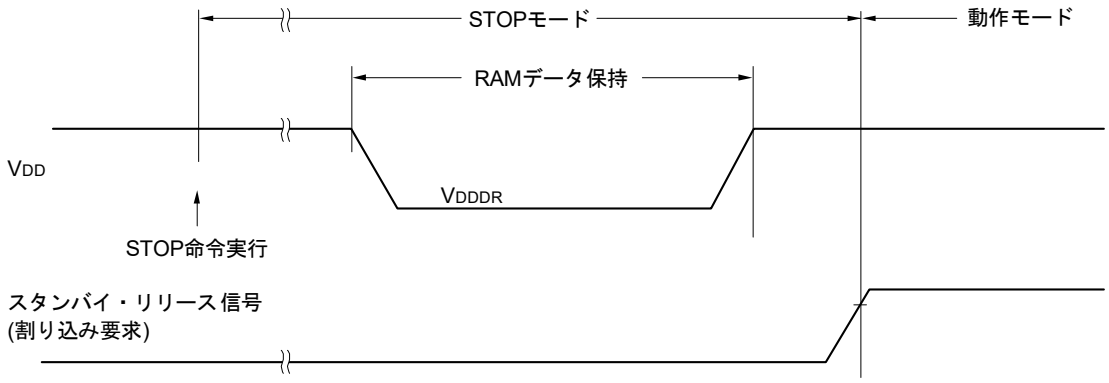
注意　V_{DD}がAC特性に示す動作電圧範囲内に達するまで、LVD0か外部リセットで内部リセット状態を保ってください。

34.7　RAMデータ保持特性

（T_A = –40～+105°C, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
データ保持電源電圧	V_{DDDR}		1.43注		5.5	V

注　POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



34.8　フラッシュ・メモリ・プログラミング特性

（T_A = –40～+105°C, 1.8 V ≦ V_{DD} ≦ 5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
CPU／周辺ハードウェア・クロック周波数	f_{CLK}		1		32	MHz
コード・フラッシュ・メモリの書き換え回数注1, 2, 3	C_{erwr}	保持年数：20年 T_A = +85°C	1,000			回
データ・フラッシュ・メモリの書き換え回数注1, 2, 3		保持年数：1年 T_A = +25°C		1,000,000		
		保持年数：5年 T_A = +85°C	100,000			
		保持年数：20年 T_A = +85°C	10,000			

注1.　消去1回 + 消去後の書き込み1回を書き換え回数1回とします。保持年数は、一度書き換えたあと、次に書き換えを行うまでの期間とします。

注2.　フラッシュ・メモリ・プログラマ使用時およびセルフ・プログラミング機能を使用時

注3.　この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

(1)　コード・フラッシュ・メモリ

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目		略号	f_{CLK} = 1 MHz			f_{CLK} = 2 MHz, 3 MHz			4 MHz≦f_{CLK}＜8 MHz			8 MHz≦f_{CLK}＜32 MHz			f_{CLK} = 32 MHz			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
プログラム時間	4バイト	t_{P4}	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	2Kバイト	t_{E2K}	—	10.4	312.2	—	7.7	258.5	—	6.4	231.8	—	5.8	218.4	—	5.6	214.4	ms
ブランクチェック時間	4バイト	t_{BC4}	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	2Kバイト	t_{BC2K}	—	—	2618.9	—	—	1309.5	—	—	658.3	—	—	332.8	—	—	234.1	μs
イレース処理強制停止時間		t_{SED}	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
セキュリティ設定時間		t_{AWSSAS}	—	18.2	526.2	—	14.4	469.2	—	12.5	441.1	—	11.6	427.1	—	11.3	422.6	ms
STOP命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

(2)　データ・フラッシュ・メモリ

（T_A = –40～+105°C, 1.8 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項目		略号	f_{CLK} = 1 MHz			f_{CLK} = 2 MHz, 3 MHz			4 MHz≦f_{CLK}＜8 MHz			8 MHz≦f_{CLK}＜32 MHz			f_{CLK} = 32 MHz			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	Min.	Typ.	Max.	
プログラム時間	1バイト	t_{P4}	—	74.7	656.5	—	51.0	464.6	—	41.7	384.8	—	37.1	346.2	—	34.2	321.9	μs
イレース時間	256バイト	t_{E2K}	—	7.8	259.2	—	6.4	232.0	—	5.8	218.5	—	5.5	211.8	—	5.4	209.7	ms
ブランクチェック時間	1バイト	t_{BC4}	—	—	38.4	—	—	19.2	—	—	13.1	—	—	10.2	—	—	8.3	μs
	256バイト	t_{BC2K}	—	—	1326.1	—	—	663.1	—	—	335.1	—	—	171.2	—	—	121.0	μs
イレース処理強制停止時間		t_{SED}	—	—	18.0	—	—	14.0	—	—	12.0	—	—	11.0	—	—	10.3	μs
STOP命令解除後プログラミング開始待ち時間		—	20	—	—	20	—	—	20	—	—	20	—	—	20	—	—	μs
DFLCTL.DFLEN = 1設定後のリード開始待ち時間		—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	0.25	—	—	μs

注意　ソフトウェアによる命令実行からフラッシュ・メモリの各動作が起動するまでの時間は含みません。

34.9　専用フラッシュ・メモリ・プログラマ通信（UART）

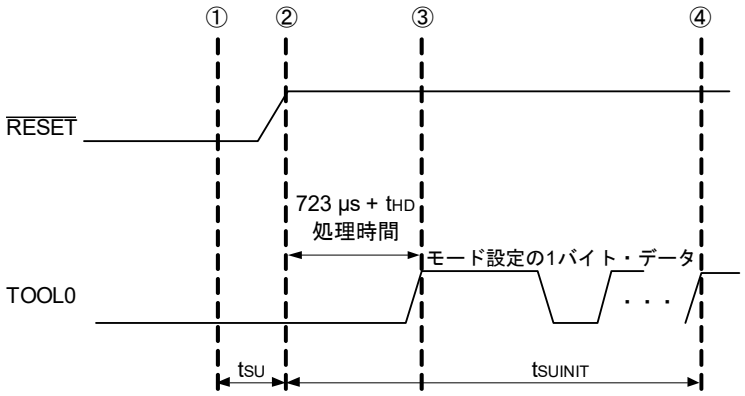
（T_A = –40～+105°C, 1.8 V ≦ V_{DD} ≦ 5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

（T_A = –40～+105°C, 1.8 V ≦ V_{DD} ≦ 5.5 V, V_{SS} = 0 V）

項目	略号	条件	Min.	Typ.	Max.	単位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前に POR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前に POR, LVDリセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルにホールドする時間 （フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前に POR, LVDリセットは解除	1			ms



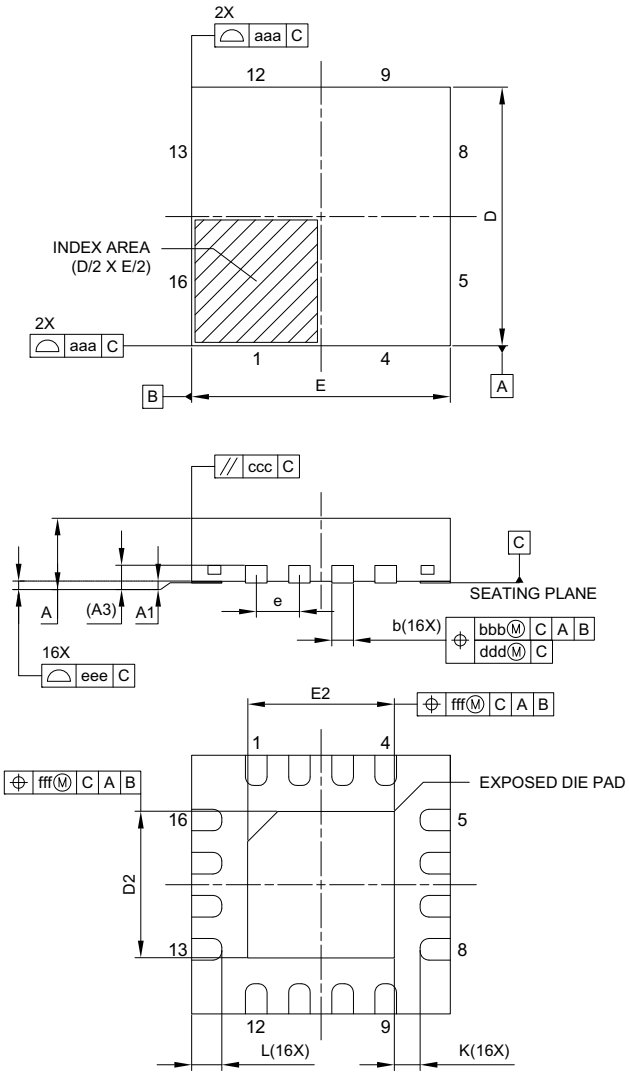
① TOOL0端子にロウ・レベルを入力
② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるボー・レート設定完了

備考　t_{SUINIT} ：この区間では、リセット解除から100 ms以内に初期設定通信を完了してください。
t_{SU} ：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
t_{HD} ：外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第35章　外形図

35.1　16ピン製品

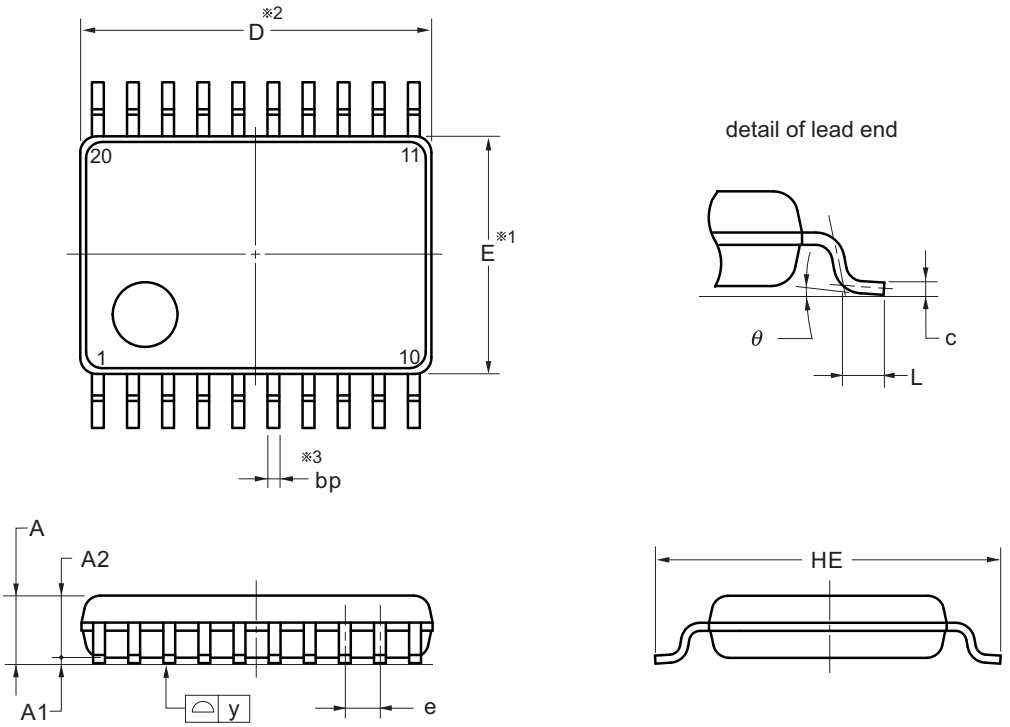
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN016-3x3-0.50	PWQN0016KD-A	0.02



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.20	0.25	0.30
D	3.00 BSC		
E	3.00 BSC		
e	0.50 BSC		
L	0.30	0.35	0.40
K	0.20	—	—
D2	1.65	1.70	1.75
E2	1.65	1.70	1.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

35.2　20ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP20-4.4x6.5-0.65	PLSP0020JB-A	P20MA-65-NAA-1	0.1



NOTE

1.Dimensions “※1” and “※2” do not include mold flash.

2.Dimension “※3” does not include trim offset.

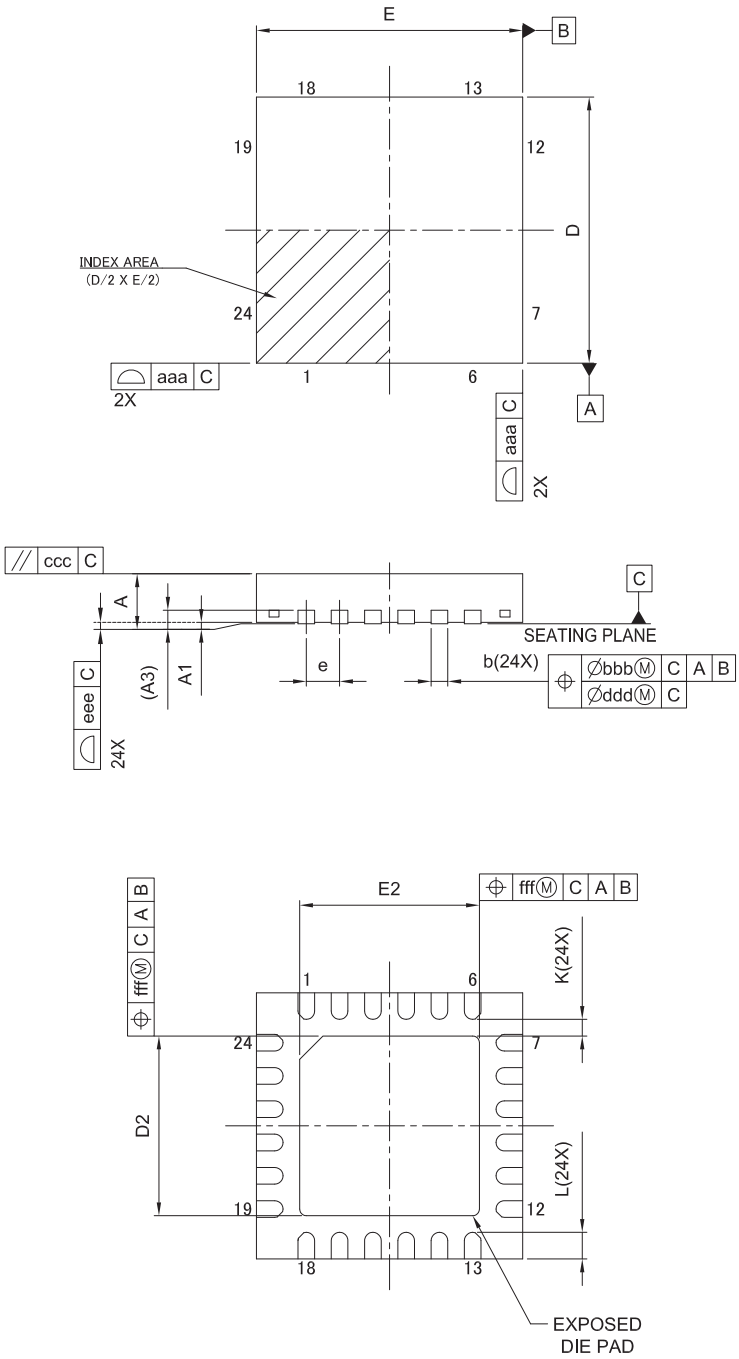
(UNIT:mm)

ITEM	DIMENSIONS
D	6.50±0.10
E	4.40±0.10
HE	6.40±0.20
A	1.45 MAX.
A1	0.10±0.10
A2	1.15
e	0.65±0.12
bp	$0.22^{+0.10}_{-0.05}$
c	$0.15^{+0.05}_{-0.02}$
L	0.50±0.20
y	0.10
θ	0° to 10°

©2012 Renesas Electronics Corporation. All rights reserved.

35.3　24ピン製品

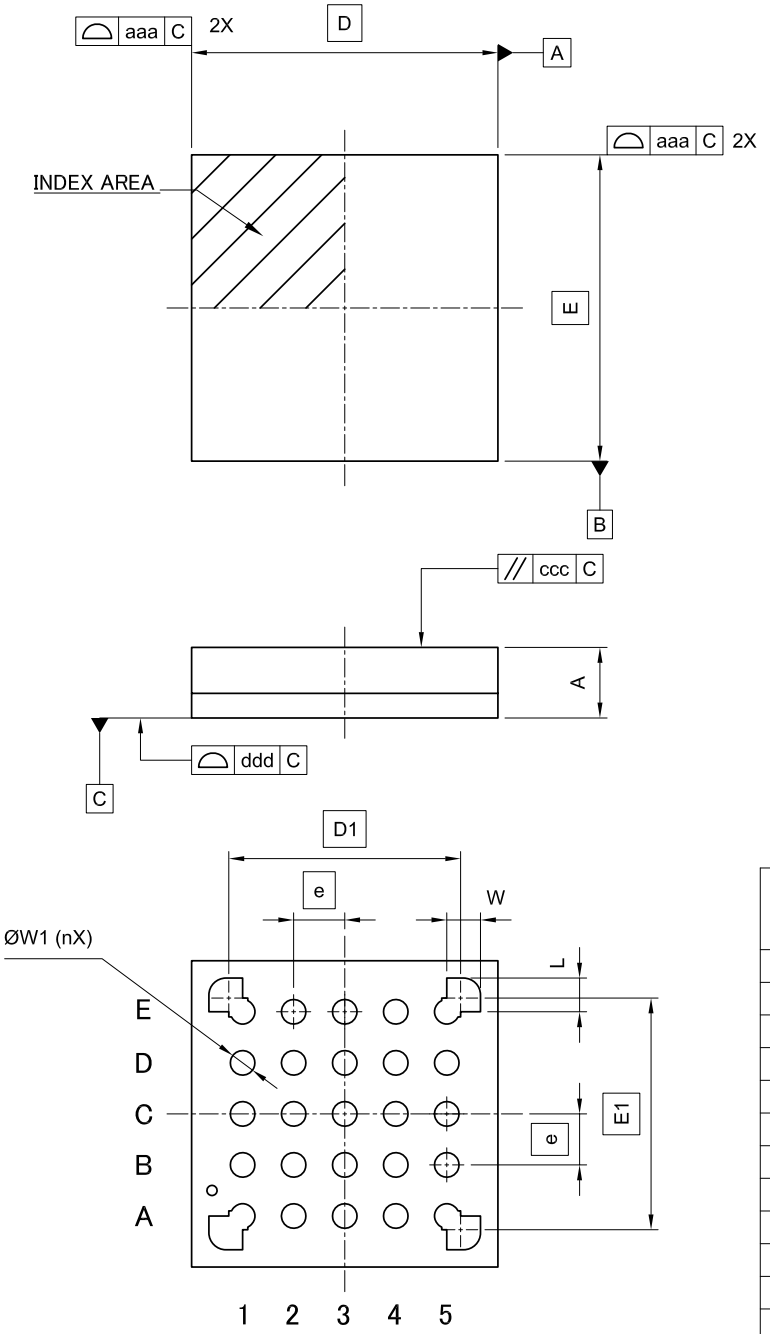
JEITA Package Code	RENESAS Code	MASS(Typ.) [g]
P-HWQFN24-4x4-0.50	PWQN0024KG-A	0.04



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	4.00 BSC		
E	4.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	2.65	2.70	2.75
E_2	2.65	2.70	2.75
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

35.4　25ピン製品

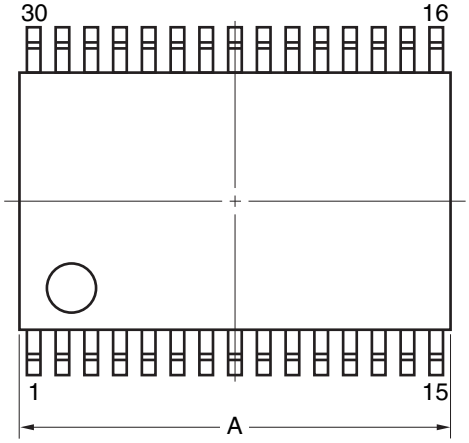
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-WLGA25-3x3-0.50	PWLG0025KB-A	0.01



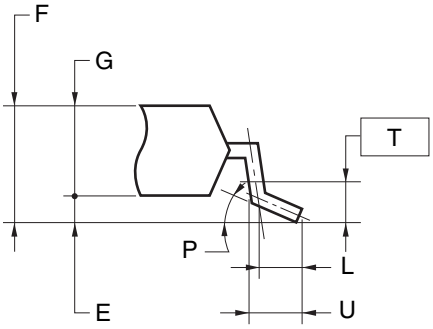
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	3.00	—
E	—	3.00	—
D1		2.27	
E1		2.27	
A	—	—	0.76
W1	0.19	0.24	0.29
W	—	0.330	—
L	—	0.330	—
e		0.50	
aaa	—	—	0.10
ccc	—	—	0.20
ddd	—	—	0.08
n	—	25	—

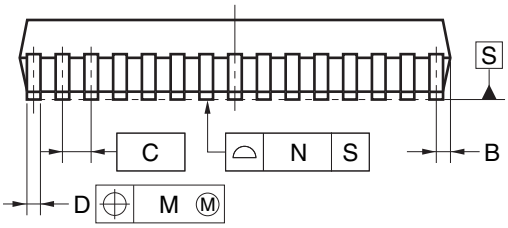
35.5　30ピン製品

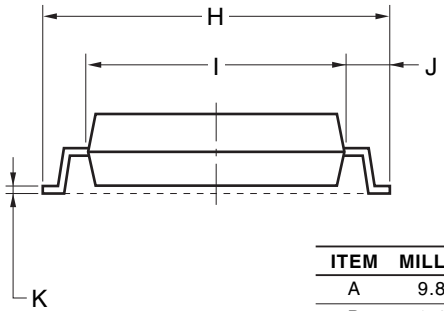
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



detail of lead end







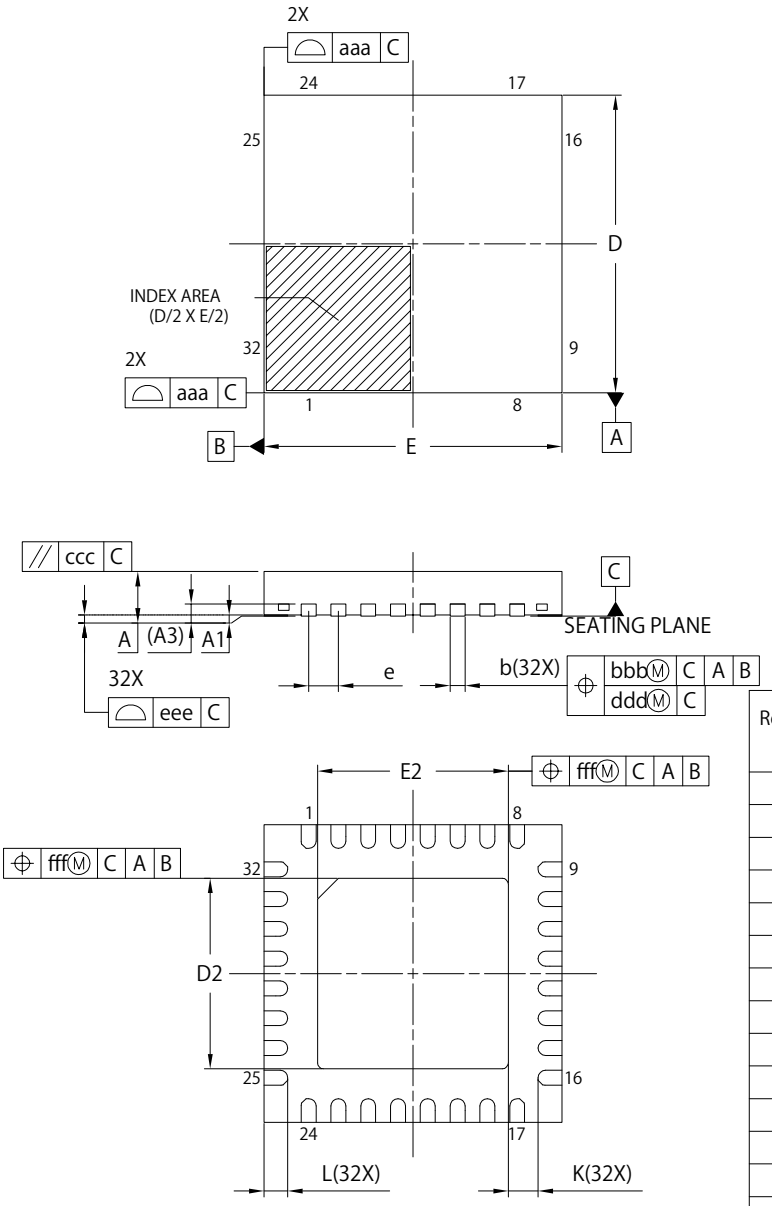
NOTE
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	$0.24^{+0.08}_{-0.07}$
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
T	0.25
U	0.6±0.15

©2012 Renesas Electronics Corporation. All rights reserved.

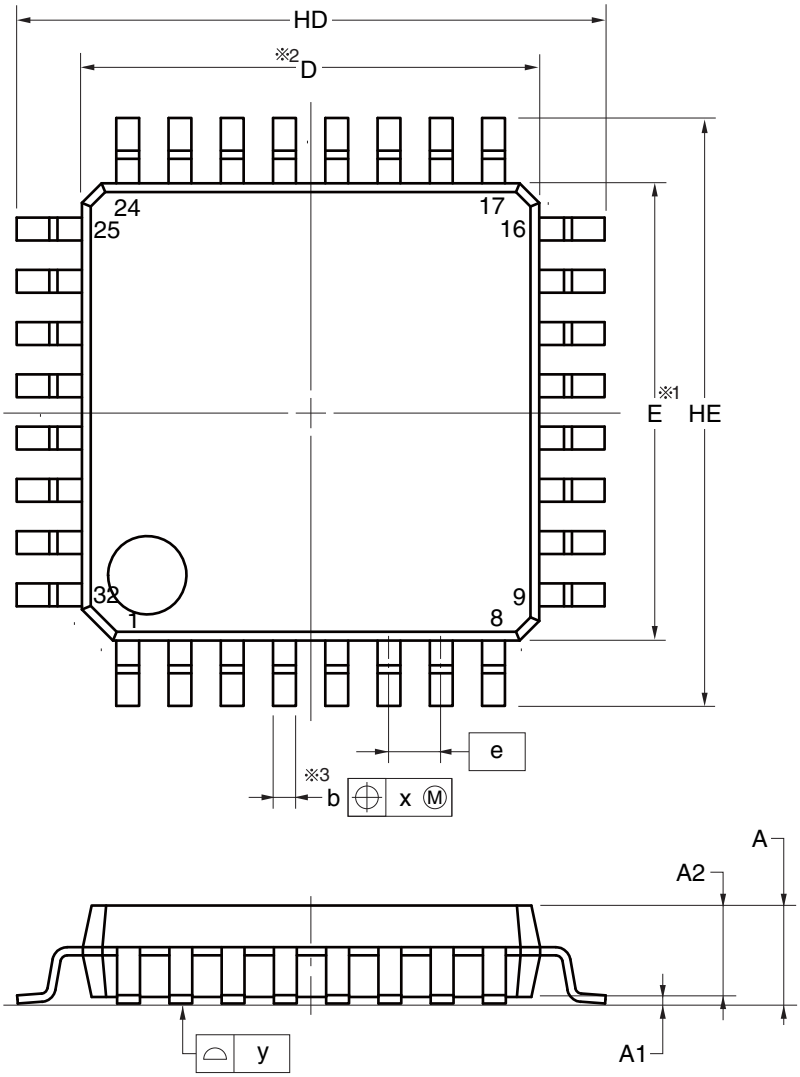
35.6 32ピン製品

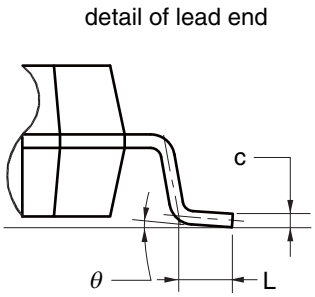
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2





(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

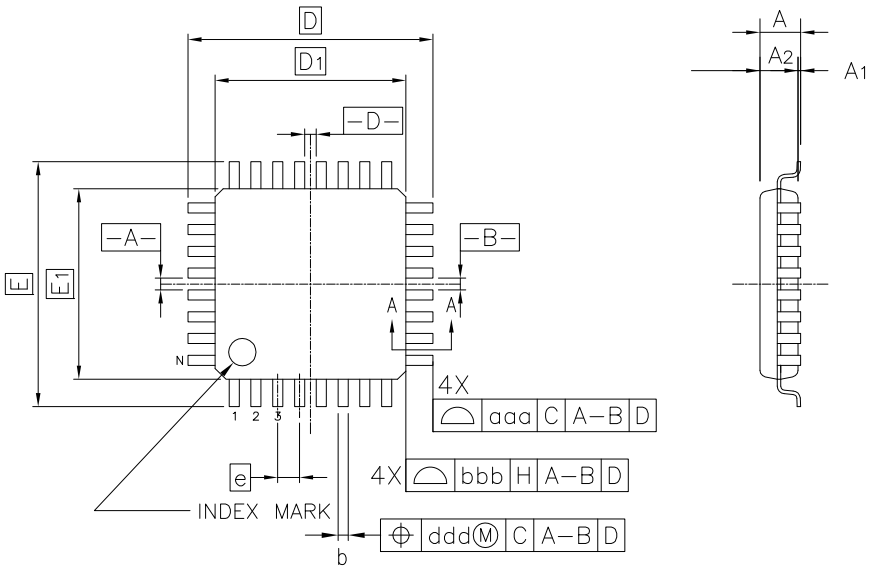
NOTE

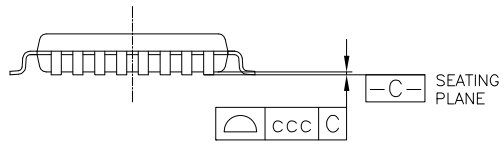
1.Dimensions “※1” and “※2” do not include mold flash.

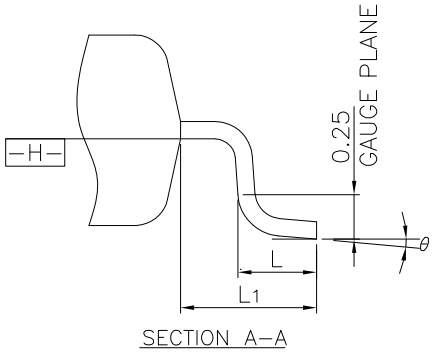
2.Dimension “※3” does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP32-7x7-0.80	PLQP0032GE-A	0.18



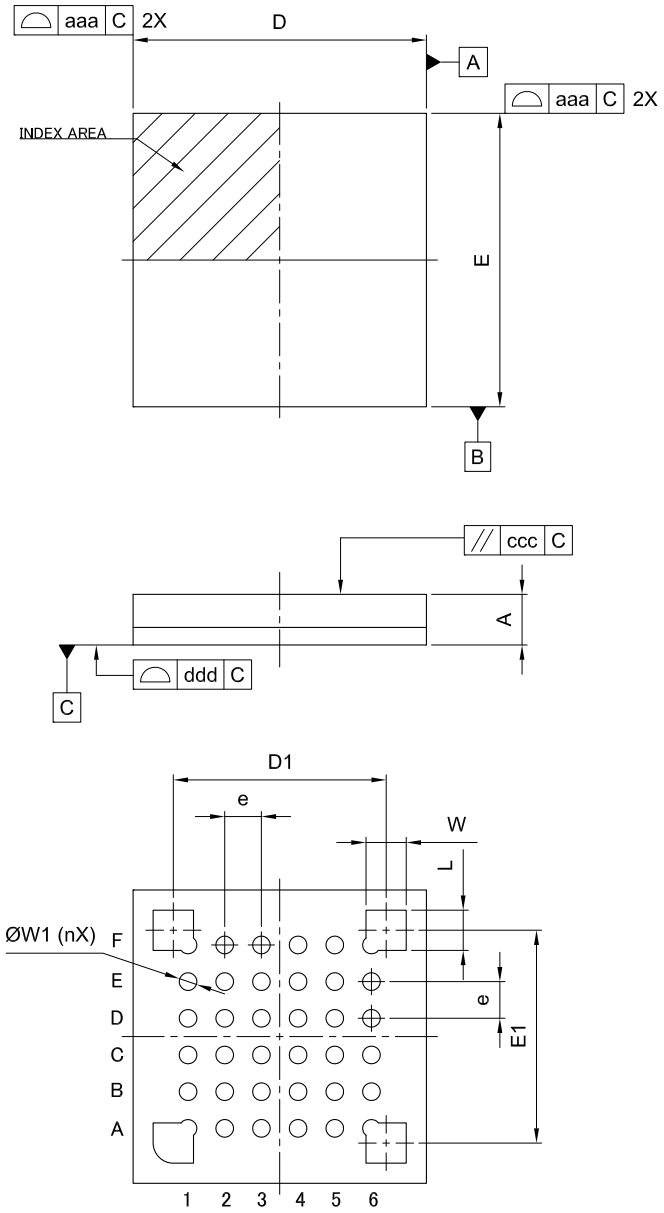




Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	9.00	–
D_1	–	7.00	–
E	–	9.00	–
E_1	–	7.00	–
N	–	32	–
e	–	0.80	–
b	0.30	0.37	0.45
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.10
ddd	–	–	0.20

35.7　36ピン製品

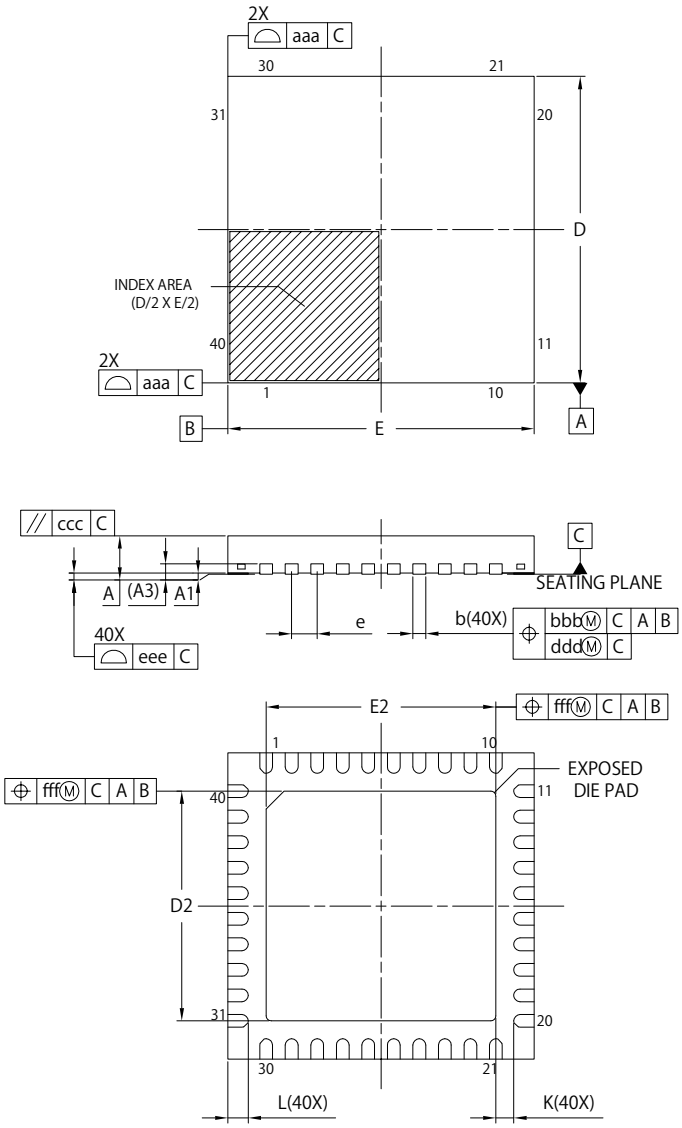
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-WFLGA36-4×4-0.50	PWLG0036KB-A	0.02



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	—	4.00	—
E	—	4.00	—
D1	2.90 BSC		
E1	2.90 BSC		
A	—	—	0.76
W1	0.19	0.24	0.29
W	—	0.55	—
L	—	0.55	—
e	0.50 BSC		
aaa	0.10		
ccc	0.20		
ddd	0.08		
n	—	36	—

35.8 40ピン製品

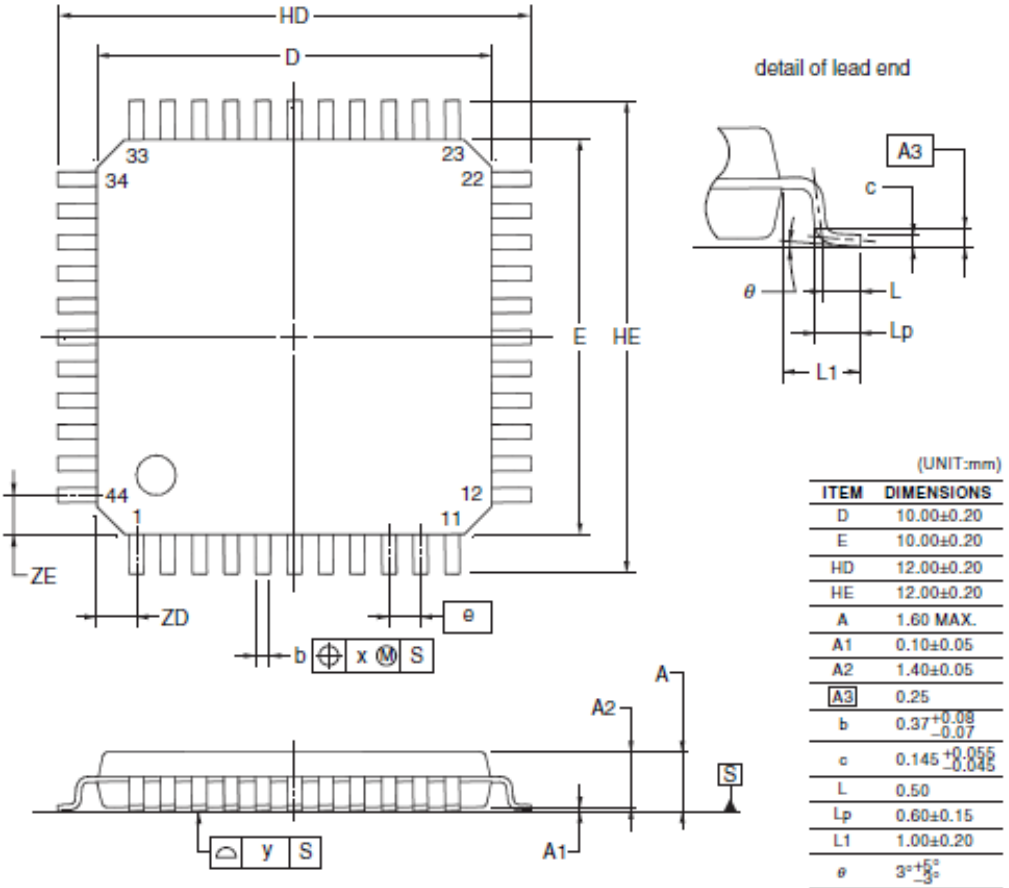
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	4.45	4.50	4.55
E_2	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

35.9　44ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP44-10x10-0.80	PLQP0044GC-A	P44GB-80-UES-2	0.36



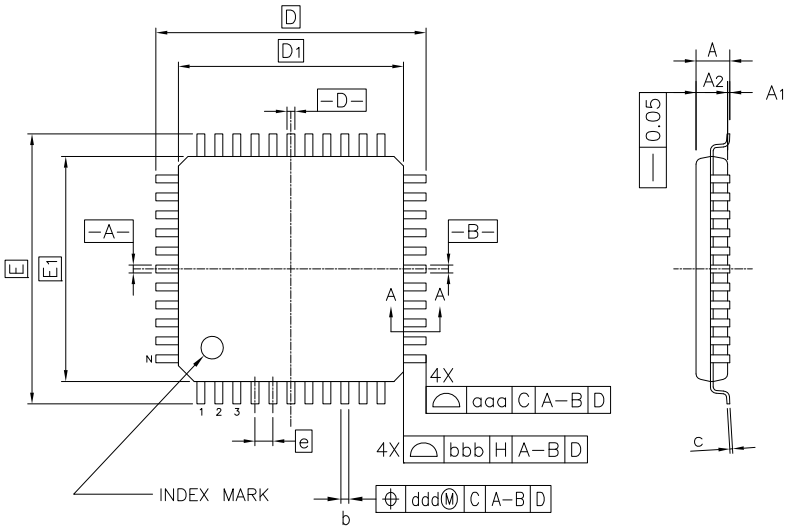
(UNIT:mm)

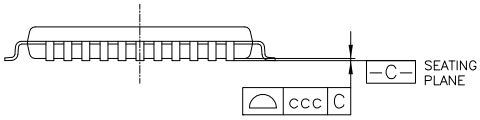
ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	$0.37^{+0.08}_{-0.07}$
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.80
x	0.20
y	0.10
ZD	1.00
ZE	1.00

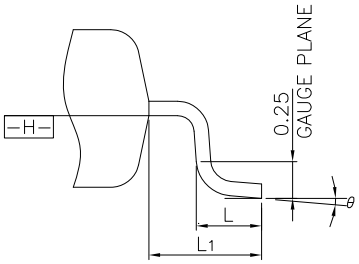
NOTE
Each lead centerline is located within 0.20 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP044-10x10-0.80	PLQP0044GE-A	0.34





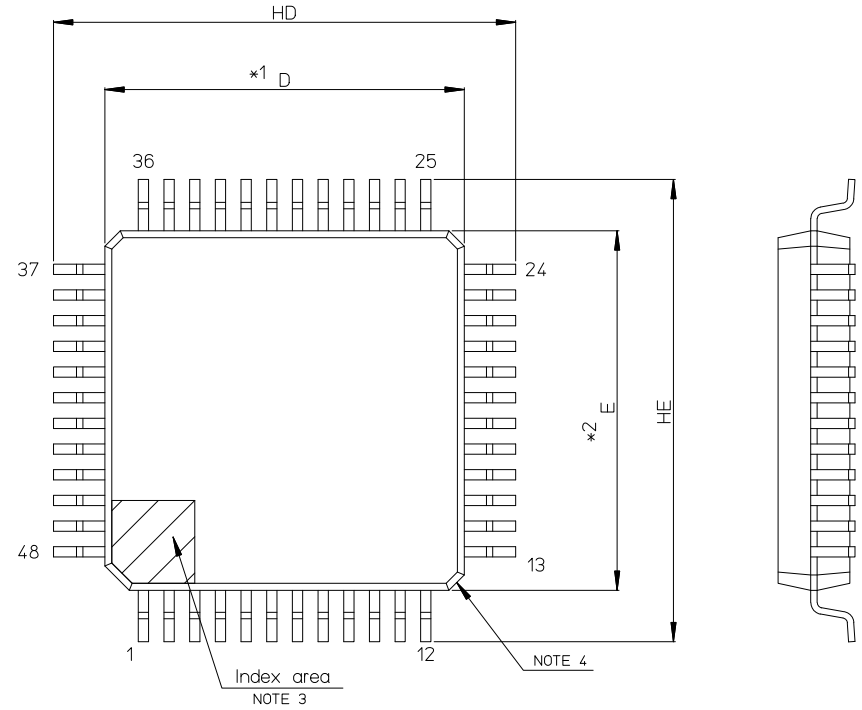


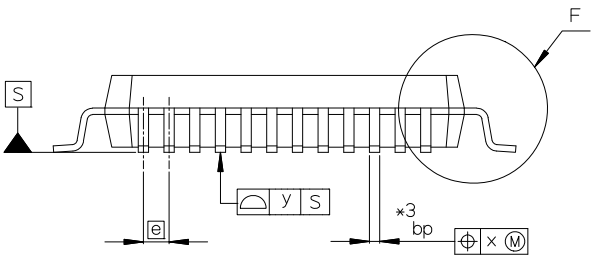
SECTION A–A

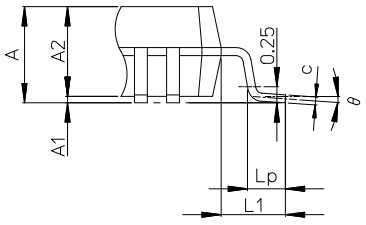
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	12.00	–
D_1	–	10.00	–
E	–	12.00	–
E_1	–	10.00	–
N	–	44	–
e	–	0.80	–
b	0.30	0.37	0.45
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.10
ddd	–	–	0.20

35.10 48ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	——	0.2g





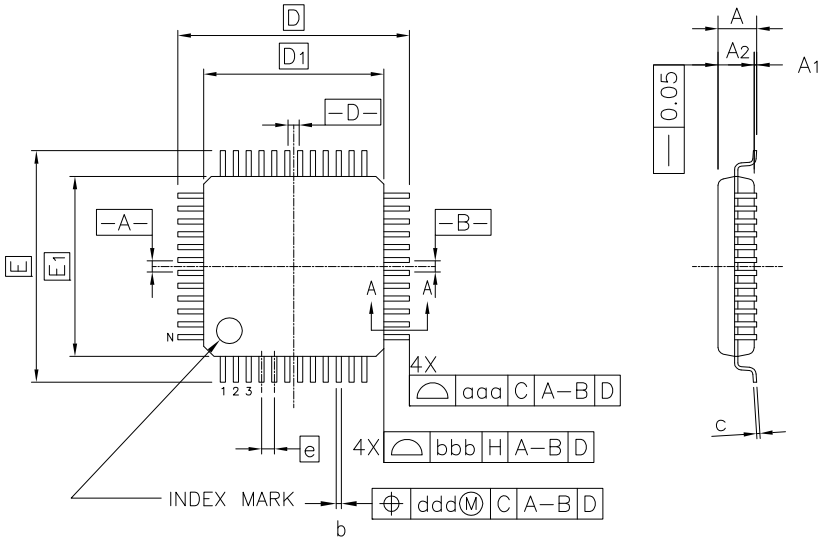


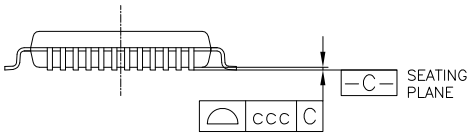
Detail F

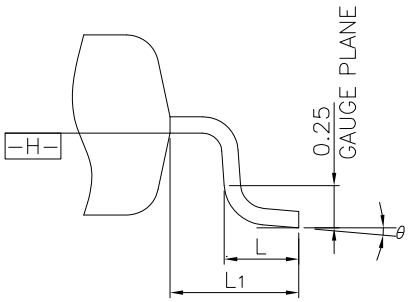
NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL; SIZE MAY VARY.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A2	——	1.4	——
HD	8.8	9.0	9.2
HE	8.8	9.0	9.2
A	——	——	1.7
A1	0.05	——	0.15
bp	0.17	0.20	0.27
c	0.09	——	0.20
θ	0°	3.5°	8°
e	——	0.5	——
x	——	——	0.08
y	——	——	0.08
Lp	0.45	0.6	0.75
L1	——	1.0	——

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP48-7x7-0.50	PLQP0048KL-A	0.18



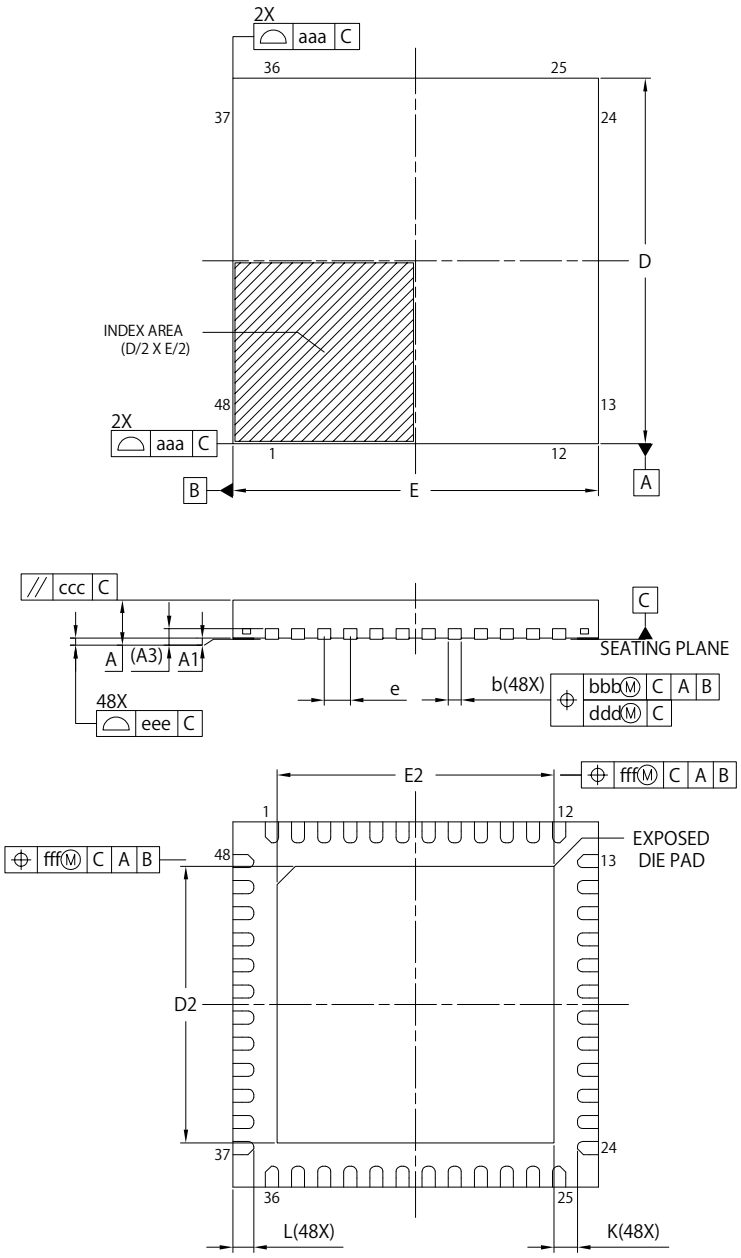




SECTION A–A

Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	–	–	1.60
A_1	0.05	–	0.15
A_2	1.35	1.40	1.45
D	–	9.00	–
D_1	–	7.00	–
E	–	9.00	–
E_1	–	7.00	–
N	–	48	–
e	–	0.50	–
b	0.17	0.22	0.27
c	0.09	–	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L_1	–	1.00	–
aaa	–	–	0.20
bbb	–	–	0.20
ccc	–	–	0.08
ddd	–	–	0.08

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KC-A	0.13 g



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.25	5.30	5.35
E_2	5.25	5.30	5.35
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

付録A　改版履歴

A.1　本版で改訂された主な箇所

(1/5)

箇所	内容	分類
第1章　概説		
p.25	表1 - 9 40ピン製品の兼用機能 (1/2) を変更	(a)
p.28	表1 - 10 44ピン製品の兼用機能 (1/2) を変更	(a)
第2章　端子機能		
p.62	2.2.2 機能説明 を変更	(a)
p.64	図2 - 1 VBAT端子の接続例 を変更	(c)
p.65	2.2.3.3 VBAT端子の使用方法 を変更	(a)
p.79	図2 - 17 端子タイプ 8-1-3の端子ブロック図 を変更	(a)
p.80	図2 - 18 端子タイプ 8-1-11の端子ブロック図 を変更	(a)
p.82	図2 - 19 端子タイプ 8-6-9の端子ブロック図 を変更	(a)
P.83	図2 - 20 端子タイプ 8-31-1の端子ブロック図 を変更	(a)
p.84	図2 - 21 端子タイプ 8-31-2の端子ブロック図 を変更	(a)
P.85	図2 - 22 端子タイプ 8-33-2の端子ブロック図 を変更	(a)
P.86	図2 - 23 端子タイプ 8-38-1の端子ブロック図 を変更	(a)
P.87	図2 - 24 端子タイプ 8-38-2の端子ブロック図 を変更	(a)
第3章　CPUアーキテクチャ		
p.92	図3 - 1 メモリ・マップ（R7F102GxC（x = 4, 6, 7, 8, A, B, C, E, F, G））を変更	(c)
p.93	図3 - 2 メモリ・マップ（R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G））を変更	(c)
p.99	例 R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G）（フラッシュ・メモリ：64 K バイト、RAM：4 K バイト）の場合を変更	(c)
p.103	図3 - 4 データ・メモリとアドレッシングの対応 を変更	(c)
p.113	表3 - 6 拡張SFR（2nd SFR）一覧 (1/11) の変更	(c)
p.123	表3 - 6 拡張SFR（2nd SFR）一覧 (11/11) の変更	(c)
p.138	図3 - 35 CALL, CALLTの例 の変更	(a)
第4章　ポート機能		
p.143	4.2.7 ポート6 を変更	(a)
p.156	図4 - 7 ポート・モード・コントロールA・レジスタ（PMCAxx）のフォーマット を変更	(a)
p.179	表4 - 5 端子機能使用時のレジスタ、出力ラッチの設定例（13/15）を変更	(a)

備考　表中の「分類」により、改訂内容を次のように区分しています。

(a)：誤記訂正、(b)：仕様(スペック含む)の追加／変更、(c)：説明、注意事項の追加／変更、

(d)：パッケージ、オーダ名称、管理区分の追加／変更、(e)：関連資料の追加／変更

(2/5)

箇所	内容	分類
第5章 オペレーション・ステート・コントロール		
p.183	図5 - 1 オペレーション・ステート・コントロールの概略図 を変更	(a)
第6章 クロック発生回路		
p.218	図6 - 11 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット 注意3を変更	(c)
p.235	6.6.3 XT1発振回路の設定例 ①を変更	(a)
p.238	表6 - 2 CPUクロックの移行とSFRレジスタの設定例（2/3）(5)を変更	(a)
第7章 タイマ・アレイ・ユニット（TAU）		
p.268	7.3.3 タイマ・クロック選択レジスタm（TPSm）説明を変更	(a)
第8章 リアルタイム・クロック（RTC）		
p.370	8.1 リアルタイム・クロックの機能 を変更	(a)
p.375	図8 - 3 サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット を変更	(c)
p.377	図8 - 4 リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット（2/2）を変更	(a)
p.393	図8 - 19 リアルタイム・クロックの読み出し手順 注を変更	(a)
p.394	図8 - 20 リアルタイム・クロックの読み出し手順（アラーム割り込み機能使用時）注を変更	(a)
p.395	図8 - 21 リアルタイム・クロックの書き込み手順 注を変更	(a)
p.396	図8 - 22 リアルタイム・クロックの書き込み手順（アラーム割り込み機能使用時）注を変更	(a)
第9章 32ビット・インターバル・タイマ（TML32）		
p.429	図9 - 14 タイマ動作例（8ビット・カウンタ・モード時）の変更	(a)
p.430	図9 - 15 キャプチャ動作例 の変更	(a)
第12章 A/Dコンバータ（ADC）		
p.489	12.6.7 ハードウェア・トリガ・ノーウエイト・モード（スキャン・モード、連続変換モード）を変更	(a)
p.491	12.6.9 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、連続変換モード）を変更	(a),(c)
p.492	12.6.10 ハードウェア・トリガ・ウエイト・モード（セレクト・モード、ワンショット変換モード）を変更	(a),(c)
p.493	12.6.11 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、連続変換モード）を変更	(a),(c)
p.494	12.6.12 ハードウェア・トリガ・ウエイト・モード（スキャン・モード、ワンショット変換モード）を変更	(a),(c)
p.503	図12 - 38 SNOOZEモード設定（ハードウェア・トリガ）のフロー・チャート を変更	(a)
第13章 シリアル・アレイ・ユニット（SAU）		
p.519	図13 - 1 シリアル・アレイ・ユニット0のブロック図 を変更	(a)
p.520	図13 - 2 シリアル・アレイ・ユニット1のブロック図 を変更	(a)
p.543	図13 - 17 シリアル出力レジスタm（SOm）のフォーマット 注意を変更	(a)

備考 表中の「分類」により、改訂内容を次のように区分しています。

(a)：誤記訂正、(b)：仕様(スペック含む)の追加／変更、(c)：説明、注意事項の追加／変更、

(d)：パッケージ、オーダ名称、管理区分の追加／変更、(e)：関連資料の追加／変更

(3/5)

箇所	内容	分類
p.595	図13 - 58 簡易SPI（CSI00, CSI01, CSI11, CSI20, CSI21）のスレーブ受信時のレジスタ設定内容例 備考2を変更	(a)
第14章　シリアル・インタフェースIICA（IICA）		
p.681	第14章　シリアル・インタフェースIICA（IICA）を変更	(c)
p.693	図14 - 7 IICAコントロール・レジスタn0（IICCTLn0）のフォーマット 注1を変更	(a)
p.714	表14 - 2 INTIICAn発生タイミングおよびクロック・ストレッチ制御 を変更	(c)
第15章　シリアル・インタフェースUARTA（UARTA）		
p.782	図15 - 8 ステータス・レジスタn（ASISAn）のフォーマット（2/2）旧注意1を削除	(c)
p.797	図15 - 18 連続送信開始タイミング の変更	(a)
p.797	図15 - 19 連続送信終了タイミング の変更	(a)
p.809	15.3.4 ボー・レート・ジェネレータ (d) 受信時の許容ボー・レート範囲 を変更	(a)
p.809	表15 - 5 許容最大／最小ボー・レート誤差 を変更	(a)
第16章　データ・トランスファ・コントローラ（DTC）		
p.815	図16 - 2 DTCBARレジスタにFBHを設定したときのメモリ・マップ例 の変更	(c)
p.819	表16 - 3 DTC起動要因とベクタ・アドレス の変更	(a)
p.828	表16 - 4 割り込み要因とDTCENi0-DTCENi7ビットの対応 の変更	(a)
p.830	16.4 DTCの動作 の変更	(a)
p.837	16.4.3 リピート・モード の変更	(a)
p.837	図16 - 19 リピート・モードの使用例1：ポートを使ったステッピング・モータ制御パルス出力 の変更	(a)
p.839	図16 - 21 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信 を変更	(c)
第18章　割り込み機能		
p.855	表18 - 1 割り込み要因一覧 (3/3) を変更	(a)
p.860	表18 - 2 割り込み要求ソースに対応する各種フラグ（3/4）を変更	(a)
第20章　スタンバイ機能		
p.891	表20 - 1 HALTモード時の動作状態（CPUクロックがメイン・システム・クロックの場合）注を追加	(c)
p.892	表20 - 2 HALTモード時の動作状態（CPUクロックがサブシステム・クロックの場合）を変更	(a)
P.898	表20 - 3 STOPモード時の動作状態 注を追加	(c)
p.904	表20 - 4 SNOOZEモード時の動作状態 注を追加	(c)
第24章　安全機能		
p.951	図24 - 14 不正アクセス検出空間 の変更	(c)
p.956	24.3.10 A/Dテスト機能 説明を変更	(a)
p.958	24.3.10.1 A/Dテスト・レジスタ（ADTES）説明を変更	(a)
p.958	図24 - 20 A/Dテスト・レジスタ（ADTES）のフォーマット を変更	(a)

備考　表中の「分類」により、改訂内容を次のように区分しています。

(a)：誤記訂正、(b)：仕様(スペック含む)の追加／変更、(c)：説明、注意事項の追加／変更、

(d)：パッケージ、オーダ名称、管理区分の追加／変更、(e)：関連資料の追加／変更

(4/5)

箇所	内容	分類
第25章 セキュリティ機能		
p.968	25.2.2 フラッシュ・リード・プロテクションの設定 を変更	(c)
第27章 静電容量センサユニット（CTSU2La）		
p.1016	27章 静電容量センサユニット（CTSU2La）説明を変更	(c)
p.1017	表27 - 1 CTSUの機能概要 を変更	(a),(c)
p.1017	27.1.1 CTSUの機能概要 説明を変更	(a)
p.1018	図27 - 3 CTSUのブロック図 を変更	(a)
p.1018	図27 - 4 センサドライブパルス出力のクロック構成 を変更	(a)
p.1018	表27 - 2 CTSUの入出力端子 を変更	(a)
p.1019, p.1020	27.1.2 計測ステータス を追加	(c)
p.1024	27.2.3 CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）説明を変更	(c)
p.1024～p.1031	図27 - 8 CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット を変更	(a),(c)
p.1032	27.2.4 CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH）説明を変更	(c)
p.1032～p.1034	図27 - 9 CTSU制御レジスタBL, BH（CTSUCRBL, CTSUCRBH）のフォーマット を変更	(a),(c)
p.1035	27.2.5 CTSU計測チャネルレジスタL, H（CTSUMCHL, CTSUMCHH）説明を変更	(c)
p.1035, p.1036	図27 - 10 CTSU計測チャネルレジスタL, H（CTSUMCHL, CTSUMCHH）のフォーマット を変更	(a)
p.1037	27.2.6 CTSUチャネル有効制御レジスタAL, AH, BL, BH（CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH）説明を変更	(c)
p.1038	図27 - 11 CTSUチャネル有効制御レジスタAL, AH, BL, BH（CTSUCHACAL, CTSUCHACAH, CTSUCHACBL, CTSUCHACBH）のフォーマット を変更	(a)
p.1039	27.2.7 CTSUチャネル送受信制御レジスタAL, AH, BL, BH（CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH）説明を変更	(c)
p.1040	図27 - 12 CTSUチャネル送受信制御レジスタAL, AH, BL, BH （CTSUCHTRCAL, CTSUCHTRCAH, CTSUCHTRCBL, CTSUCHTRCBH）のフォーマット を変更	(a)
p.1041	27.2.8 CTSUステータスレジスタL（CTSUSRL）説明を変更	(c)
p.1041～p.1043	図27 - 13 CTSUステータスレジスタL（CTSUSRL）のフォーマット を変更	(a),(c)
p.1044	27.2.9 CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）説明を変更	(a)
p.1044, p.1046	図27 - 14 CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）のフォーマット を変更	(a),(c)
p.1047	27.2.10 CTSUセンサカウンタレジスタ（CTSUSC, CTSUUC）説明を変更	(a),(c)
p.1048	27.2.11 CTSUキャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）説明を変更	(c)
p.1048～p.1051	図27 - 16 CTSU キャリブレーションレジスタL, H（CTSUDBGR0, CTSUDBGR1）のフォーマット を変更	(a),(c)
p.1052	27.2.12 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH（CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3）説明を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

(a)：誤記訂正、(b)：仕様(スペック含む)の追加／変更、(c)：説明、注意事項の追加／変更、

(d)：パッケージ、オーダ名称、管理区分の追加／変更、(e)：関連資料の追加／変更

(5/5)

箇所	内容	分類
p.1054	図27 - 18 CTSUトリミングレジスタAL, AH（CTSUTRIM0, CTSUTRIM1）のフォーマット を変更	(a)
p.1055	図27 - 19 CTSUトリミングレジスタBL, BH（CTSUTRIM2, CTSUTRIM3）のフォーマット 注を追加	(a)
p.1057～p.1066	27.3 動作説明 を追加	(c)
p.1067～p.1070	27.4 静電容量センサユニット使用時の注意事項 を変更	(a),(c)
第30章　フラッシュ・メモリ		
p.1144	30.9 セキュリティ設定 を変更	(a)
第33章　命令セットの概要		
p.1171	表33 - 5 オペレーション一覧（12/18）注意の変更	(a)
第34章　電気的特性		
p.1189	34.3.2 電源電流特性 注1～注4を変更	(a)
p.1191	34.3.2 電源電流特性 注2および備考2を変更	(a)
p.1192	34.3.2 電源電流特性 注1, 注3～注5を変更	(a)
p.1193	34.3.2 電源電流特性 注3, 注6および備考2を変更	(a),(b)
p.1194, p.1195	34.3.2 電源電流特性 周辺機能を変更、注7を追加	(b)
p.1237	34.6.1 A/Dコンバータ特性（T_A = –40～+85°C）注2を変更	(a)
p.1241	34.6.2 A/Dコンバータ特性（T_A = –40～+105°C）注2を変更	(a)

備考　表中の「分類」により、改訂内容を次のように区分しています。

(a)：誤記訂正、(b)：仕様(スペック含む)の追加／変更、(c)：説明、注意事項の追加／変更、

(d)：パッケージ、オーダ名称、管理区分の追加／変更、(e)：関連資料の追加／変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/2)

版数	内容	適用箇所
Rev.1.00	初版発行	全般
Rev.1.10	図1 - 1 RL78/G22の型名とメモリ・サイズ、パッケージ を変更	第1章 概説
	表1 - 1 発注型名一覧 を変更	
	図3 - 1 メモリ・マップ（R7F102GxC（x = 4, 6, 7, 8, A, B, C, E, F, G））および 注2を変更	第3章 CPUアーキテクチャ
	図3 - 2 メモリ・マップ（R7F102GxE（x = 4, 6, 7, 8, A, B, C, E, F, G））および 注2を変更	
	3.1.1 内部プログラム・メモリ空間 (3) オプション・バイト領域 説明を変更	
	3.1.1 内部プログラム・メモリ空間 (4) オンチップ・デバッグ・セキュリティ ID設定領域 説明を変更	
	24.1 安全機能の概要 説明および備考2を変更	第24章 安全機能
	24.3.2 CRC演算機能（汎用CRC）説明を変更	
	24.3.5 RAMガード機能 説明を変更	
	24.3.6 SFRガード機能 説明を変更	
	表26 - 1 SMSIpレジスタのメモリ・アドレスとSMSCV[4:0]ビットの関係 注意2を変更	第26章 SNOOZEモード・シーケンサ（SMS）
	表26 - 2 SMSIpレジスタに設定できる処理の一覧 を変更	
	26.4.1 SNOOZEモード・シーケンサの内部の動作 説明を変更	
	図26 - 8 シーケンサの内部動作フロー を変更	
	26.4.4 SNOOZEモード・シーケンサの割り込み を追加	
	図26 - 11 SNOOZEモード・シーケンサの起動のフロー および注意1を変更、注意2を追加	
	26.4.6 SNOOZEモード・シーケンサの状態 説明を変更	
	旧26.5.20 割り込み＆終了処理 を削除	
	26.6 スタンバイ・モード時の動作 注4 ～ 6を変更	
	図27 - 4 センサドライブパルス出力のクロック構成 を変更	第27章 静電容量センサユニット（CTSU2La）
	図27 - 7 CTSU制御レジスタAL, AH（CTSUCRAL, CTSUCRAH）のフォーマット を変更	
	図27 - 12 CTSUステータスレジスタL（CTSUSRL）のフォーマット を変更	
	図27 - 13 CTSUセンサオフセットレジスタ0, 1（CTSUSO0, CTSUSO1）のフォーマット を変更	
	図27 - 16 CTSUセンサユニットクロック制御レジスタAL, AH, BL, BH（CTSUSUCLK0, CTSUSUCLK1, CTSUSUCLK2, CTSUSUCLK3）のフォーマット を変更	
	図27 - 17 CTSUトリミングレジスタAL, AH（CTSUTRIM0, CTSUTRIM1）のフォーマット を変更	

(2/2)

版数	内容	適用箇所
Rev.1.10	28.1 レギュレータの概要 図を変更	第28章 レギュレータ
	図30 - 8 セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ を変更	第30章 フラッシュ・メモリ
	30.7 ブート・スワップ機能 説明を変更	
	30.10.1 データ・フラッシュの概要 説明を変更	
	31.3 オンチップ・デバッグのセキュリティ設定 説明記載箇所を変更	第31章 オンチップ・デバッグ機能
	表31 - 1 オンチップ・デバッグ・セキュリティ ID 注2を追加	
	34.4 AC特性 を変更	第34章 電気的特性
	35.6 32ピン製品 図を追加	第35章 外形図
	35.9 44ピン製品 図を追加	
	35.10 48ピン製品 図を追加	

RL78/G22 ユーザーズマニュアル
ハードウェア編

発行年月日　2022年12月28日　Rev.1.00
　　2026年6月30日　Rev.1.20

発行　　ルネサス エレクトロニクス株式会社
　　〒135-0061　東京都江東区豊洲3-2-24（豊洲フォレシア）

RL78/G22

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0978JJ0120