User's Manual

16

RL78/G1C

ユーザーズマニュアル　ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.40　2024.04

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

   高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

   当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因しまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものといたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒 135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

© 2024 Renesas Electronics Corporation. All rights reserved.

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策
   CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。
2. 電源投入時の処置
   電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。
3. 電源オフ時における入力信号
   当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。
4. 未使用端子の処理
   未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。
5. クロックについて
   リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。
6. 入力端子の印加波形
   入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、V_{IL}（Max.）から V_{IH}（Min.）までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、V_{IL}（Max.）から V_{IH}（Min.）までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。
7. リザーブアドレス（予約領域）のアクセス禁止
   リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。
8. 製品間の相違について
   型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違うと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対 象 者　このマニュアルはRL78/G1Cの機能を理解し，その応用システムや応用プログラムを設計，開発するユーザのエンジニアを対象としています。
対象製品は，次に示す各製品です。

・32ピン：R5F10JBxxxx（xxxx =, CANA, CAFP, CGNA, CGFP）
R5F10KBxxxx（xxxx =, CANA, CAFP, CGNA, CGFP）
・48ピン：R5F10JGxxxx（xxxx =, CANA, CAFB, CGNA, CGFB）
R5F10KGxxxx（xxxx =, CANA, CAFB, CGNA, CGFB）

目　　的　このマニュアルは，次の構成に示す機能をユーザに理解していただくことを目的としています。

構　　成　RL78/G1Cのマニュアルは，このマニュアルとソフトウェア編（RL78ファミリ共通）の2冊に分かれています。

RL78/G1C ユーザーズ・マニュアル ハードウェア編	RL78ファミリ ユーザーズ・マニュアル ソフトウェア編
●端子機能 ●内部ブロック機能 ●割り込み ●その他の内蔵周辺機能 ●電気的特性	●CPU機能 ●命令セット ●命令の説明

読 み 方　このマニュアルを読むにあたっては，電気，論理回路，マイクロコントローラの一般知識を必要とします。

□一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は，本版で改訂された主な箇所を示しています。この"★"をPDF上でコピーして「検索する文字列」に指定することによって，改版箇所を容易に検索できます。

□レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは，そのビット名称がアセンブラでは予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。

□RL78/G1Cマイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編（R01US0015J）を参照してください。

凡　　例

データ表記の重み	：左が上位桁，右が下位桁
アクティブ・ロウの表記	：$\overline{\times\times\times}$（端子，信号名称に上線）
注	：本文中につけた注の説明
注意	：気をつけて読んでいただきたい内容
備考	：本文の補足説明
数の表記	：2進数…××××または××××B 10進数…×××× 16進数…××××H

関連資料

関連資料は暫定版の場合がありますが，この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資　料　名	資料番号	
	和　　文	英　　文
RL78/G1C　ユーザーズ・マニュアル　ハードウェア編	このマニュアル	R01UH0348E
RL78ファミリ　ユーザーズ・マニュアル　ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料（ユーザーズ・マニュアル）

資　料　名	資料番号	
	和　　文	英　　文
PG-FP5　フラッシュ・メモリ・プログラマ	R20UT0008J	R20UT0008E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資　料　名	資料番号	
	和　　文	英　　文
ルネサス マイクロコンピュータ RL78ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
NEC半導体デバイスの品質水準	C11531J	C11531E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意　上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは，ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlashは，米国Silicon Storage Technology, Inc.の米国，日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

第1章　概　　説 1

1. 1　特　　徴 1
1. 2　型名一覧 3
1. 3　端子接続図（Top View） 5
1. 3. 1　32ピン製品 5
1. 3. 2　48ピン製品 9
1. 4　端子名称 13
1. 5　ブロック図 14
1. 5. 1　32ピン製品 14
1. 5. 2　48ピン製品 15
1. 6　機能概要 16

第2章　端子機能 18

2. 1　ポート機能 18
2. 1. 1　32ピン製品 19
2. 1. 2　48ピン製品 21
2. 2　ポート以外の機能 24
2. 3　未使用端子の処理 26
2. 4　端子ブロック図 27

第3章　CPUアーキテクチャ 39

3. 1　メモリ空間 39
3. 1. 1　内部プログラム・メモリ空間 43
3. 1. 2　ミラー領域 46
3. 1. 3　内部データ・メモリ空間 49
3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域 50
3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域 50
3. 1. 6　データ・メモリ・アドレッシング 51
3. 2　プロセッサ・レジスタ 52
3. 2. 1　制御レジスタ 52
3. 2. 2　汎用レジスタ 54
3. 2. 3　ES, CSレジスタ 55
3. 2. 4　特殊機能レジスタ（SFR：Special Function Register） 56
3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register） 61
3. 3　命令アドレスのアドレッシング 70
3. 3. 1　レラティブ・アドレッシング 70
3. 3. 2　イミーディエト・アドレッシング 70
3. 3. 3　テーブル・インダイレクト・アドレッシング 71
3. 3. 4　レジスタ・ダイレクト・アドレッシング 72
3. 4　処理データ・アドレスに対するアドレッシング 73
3. 4. 1　インプライド・アドレッシング 73
3. 4. 2　レジスタ・アドレッシング 73
3. 4. 3　ダイレクト・アドレッシング 74
3. 4. 4　ショート・ダイレクト・アドレッシング 75
3. 4. 5　SFRアドレッシング 76

3.4.6　レジスタ・インダイレクト・アドレッシング 77
3.4.7　ベースト・アドレッシング 78
3.4.8　ベースト・インデクスト・アドレッシング 82
3.4.9　スタック・アドレッシング 84

第4章　ポート機能 87

4.1　ポートの機能 87
4.2　ポートの構成 88
4.2.1　ポート0 89
4.2.2　ポート1 89
4.2.3　ポート2 89
4.2.4　ポート3 90
4.2.5　ポート4 90
4.2.6　ポート5 90
4.2.7　ポート6 90
4.2.8　ポート7 90
4.2.9　ポート12 91
4.2.10　ポート13 91
4.2.11　ポート14 91
4.3　ポート機能を制御するレジスタ 92
4.3.1　ポート・モード・レジスタ（PMxx） 95
4.3.2　ポート・レジスタ（Pxx） 96
4.3.3　プルアップ抵抗オプション・レジスタ（PUxx） 97
4.3.4　ポート入力モード・レジスタ（PIM0, PIM3, PIM5） 98
4.3.5　ポート出力モード・レジスタ（POM0, POM3, POM5, POM7） 99
4.3.6　ポート・モード・コントロール・レジスタ0, 12（PMC0, PMC12） 100
4.3.7　A/Dポート・コンフィギュレーション・レジスタ（ADPC） 101
4.3.8　周辺I/Oリダイレクション・レジスタ（PIOR） 102
4.4　ポート機能の動作 103
4.4.1　入出力ポートへの書き込み 103
4.4.2　入出力ポートからの読み出し 103
4.4.3　入出力ポートでの演算 103
4.4.4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応 104
4.5　兼用機能使用時のレジスタ設定 106
4.5.1　兼用機能使用時の基本的な考え方 106
4.5.2　出力機能を使用しない兼用機能のレジスタ設定 107
4.5.3　使用するポート機能および兼用機能のレジスタ設定例 108
4.6　ポート機能使用時の注意事項 117
4.6.1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項 117
4.6.2　端子設定に関する注意事項 118

第5章　クロック発生回路 119

5.1　クロック発生回路の機能 119
5.2　クロック発生回路の構成 122
5.3　クロック発生回路を制御するレジスタ 124
5.3.1　クロック動作モード制御レジスタ（CMC） 124
5.3.2　システム・クロック制御レジスタ（CKC） 127
5.3.3　クロック動作ステータス制御レジスタ（CSC） 128
5.3.4　発振安定時間カウンタ状態レジスタ（OSTC） 129

5. 3. 5　発振安定時間選択レジスタ（OSTS）.....131
5. 3. 6　周辺イネーブル・レジスタ0（PER0）.....133
5. 3. 7　サブシステム・クロック供給モード制御レジスタ（OSMC）.....135
5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）.....136
5. 3. 9　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）.....137
5. 3. 10　PLL制御レジスタ（DSCCTL）.....138
5. 3. 11　メイン・クロック制御レジスタ（MCKC）.....140
5. 4　システム・クロック発振回路.....141
5. 4. 1　X1発振回路.....141
5. 4. 2　XT1発振回路.....141
5. 4. 3　高速オンチップ・オシレータ.....145
5. 4. 4　低速オンチップ・オシレータ.....145
5. 4. 5　PLL（Phase Locked Loop）.....145
5. 5　クロック発生回路の動作.....146
5. 6　クロックの制御.....148
5. 6. 1　高速オンチップ・オシレータの設定例.....148
5. 6. 2　X1発振回路の設定例.....149
5. 6. 3　XT1発振回路の設定例.....150
5. 6. 4　PLL回路の設定例.....151
5. 6. 5　CPUクロック状態移行図.....152
5. 6. 6　CPUクロックの移行前の条件と移行後の処理.....160
5. 6. 7　CPUクロックの切り替えとシステム・クロックの切り替えに要する時間.....163
5. 6. 8　クロック発振停止前の条件.....164
5. 7　発振子と発振回路定数.....165

第6章　タイマ・アレイ・ユニット.....169

6. 1　タイマ・アレイ・ユニットの機能.....170
6. 1. 1　単独チャネル動作機能.....170
6. 1. 2　複数チャネル連動動作機能.....171
6. 1. 3　8ビット・タイマ動作機能（チャネル1, 3のみ）.....172
6. 2　タイマ・アレイ・ユニットの構成.....173
6. 2. 1　タイマ・カウンタ・レジスタmn（TCRmn）.....177
6. 2. 2　タイマ・データ・レジスタmn（TDRmn）.....179
6. 3　タイマ・アレイ・ユニットを制御するレジスタ.....180
6. 3. 1　周辺イネーブル・レジスタ0（PER0）.....181
6. 3. 2　タイマ・クロック選択レジスタm（TPSm）.....182
6. 3. 3　タイマ・モード・レジスタmn（TMRmn）.....185
6. 3. 4　タイマ・ステータス・レジスタmn（TSRmn）.....190
6. 3. 5　タイマ・チャネル許可ステータス・レジスタm（TEm）.....191
6. 3. 6　タイマ・チャネル開始レジスタm（TSm）.....192
6. 3. 7　タイマ・チャネル停止レジスタm（TTm）.....194
6. 3. 8　タイマ入力選択レジスタ0（TIS0）.....195
6. 3. 9　タイマ出力許可レジスタm（TOEm）.....196
6. 3. 10　タイマ出力レジスタm（TOm）.....197
6. 3. 11　タイマ出力レベル・レジスタm（TOLm）.....198
6. 3. 12　タイマ出力モード・レジスタm（TOMm）.....199
6. 3. 13　ノイズ・フィルタ許可レジスタ1（NFEN1）.....200
6. 3. 14　タイマ入出力端子のポート機能を制御するレジスタ.....201
6. 4　タイマ・アレイ・ユニットの基本ルール.....202
6. 4. 1　複数チャネル連動動作機能の基本ルール.....202
6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）.....204

6.5　カウンタの動作 205
6.5.1　カウント・クロック（f_{TCLK}） 205
6.5.2　カウンタのスタート・タイミング 207
6.5.3　カウンタの動作 208
6.6　チャネル出力（TOmn端子）の制御 213
6.6.1　TOmn端子の出力回路の構成 213
6.6.2　TOmn端子の出力設定 214
6.6.3　チャネル出力操作時の注意事項 215
6.6.4　TOmnビットの一括操作 220
6.6.5　カウント動作開始時のタイマ割り込みとTOmn端子出力について 221
6.7　タイマ入力（TImn）の制御 222
6.7.1　TImnの入力回路構成 222
6.7.2　ノイズ・フィルタ 222
6.7.3　チャネル入力操作時の注意事項 223
6.8　タイマ・アレイ・ユニットの単独チャネル動作機能 224
6.8.1　インターバル・タイマ／方形波出力としての動作 224
6.8.2　外部イベント・カウンタとしての動作 229
6.8.3　分周器としての動作（チャネル0のみ） 233
6.8.4　入力パルス間隔測定としての動作 237
6.8.5　入力信号のハイ／ロウ・レベル幅測定としての動作 241
6.8.6　ディレイ・カウンタとしての動作 245
6.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能 249
6.9.1　ワンショット・パルス出力機能としての動作 249
6.9.2　PWM機能としての動作 256
6.9.3　多重PWM出力機能としての動作 263
6.10　タイマ・アレイ・ユニット使用時の注意事項 271
6.10.1　タイマ出力使用時の注意事項 271

第7章　リアルタイム・クロック 272

7.1　リアルタイム・クロックの機能 272
7.2　リアルタイム・クロックの構成 273
7.3　リアルタイム・クロックを制御するレジスタ 275
7.3.1　周辺イネーブル・レジスタ0（PER0） 276
7.3.2　サブシステム・クロック・供給モード制御レジスタ（OSMC） 277
7.3.3　リアルタイム・クロック・コントロール・レジスタ0（RTCC0） 278
7.3.4　リアルタイム・クロック・コントロール・レジスタ1（RTCC1） 279
7.3.5　秒カウント・レジスタ（SEC） 281
7.3.6　分カウント・レジスタ（MIN） 281
7.3.7　時カウント・レジスタ（HOUR） 282
7.3.8　日カウント・レジスタ（DAY） 284
7.3.9　曜日カウント・レジスタ（WEEK） 285
7.3.10　月カウント・レジスタ（MONTH） 286
7.3.11　年カウント・レジスタ（YEAR） 286
7.3.12　時計誤差補正レジスタ（SUBCUD） 287
7.3.13　アラーム分レジスタ（ALARMWM） 288
7.3.14　アラーム時レジスタ（ALARMWH） 288
7.3.15　アラーム曜日レジスタ（ALARMWW） 289
7.3.16　ポート・モード・レジスタ3（PM3） 290
7.3.17　ポート・レジスタ3（P3） 290
7.4　リアルタイム・クロックの動作 291
7.4.1　リアルタイム・クロックの動作開始 291

7. 4. 2　動作開始後のHALT/STOPモードへの移行 292
7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込み 293
7. 4. 4　リアルタイム・クロックのアラーム設定 295
7. 4. 5　リアルタイム・クロックの1 Hz出力 296
7. 4. 6　リアルタイム・クロックの時計誤差補正例 297

第8章　12ビット・インターバル・タイマ 302

8. 1　12ビット・インターバル・タイマの機能 302
8. 2　12ビット・インターバル・タイマの構成 302
8. 3　12ビット・インターバル・タイマを制御するレジスタ 303
8. 3. 1　周辺イネーブル・レジスタ0（PER0） 304
8. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC） 305
8. 3. 3　インターバル・タイマ・コントロール・レジスタ（ITMC） 306
8. 4　12ビット・インターバル・タイマの動作 307
8. 4. 1　12ビット・インターバル・タイマの動作タイミング 307
8. 4. 2　HALT/STOPモードから復帰後にカウンタ動作開始し，
再度HALT/STOPモードへの移行 308

第9章　クロック出力／ブザー出力制御回路 309

9. 1　クロック出力／ブザー出力制御回路の機能 309
9. 2　クロック出力／ブザー出力制御回路の構成 311
9. 3　クロック出力／ブザー出力制御回路を制御するレジスタ 311
9. 3. 1　クロック出力選択レジスタn（CKSn） 311
9. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ 313
9. 4　クロック出力／ブザー出力制御回路の動作 314
9. 4. 1　出力端子の動作 314
9. 5　クロック出力／ブザー出力制御回路の注意事項 314

第10章　ウォッチドッグ・タイマ 315

10. 1　ウォッチドッグ・タイマの機能 315
10. 2　ウォッチドッグ・タイマの構成 316
10. 3　ウォッチドッグ・タイマを制御するレジスタ 317
10. 3. 1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE） 317
10. 4　ウォッチドッグ・タイマの動作 318
10. 4. 1　ウォッチドッグ・タイマの動作制御 318
10. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定 320
10. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定 321
10. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定 323

第11章　A/Dコンバータ 324

11. 1　A/Dコンバータの機能 324
11. 2　A/Dコンバータの構成 327
11. 3　A/Dコンバータを制御するレジスタ 329
11. 3. 1　周辺イネーブル・レジスタ0（PER0） 330
11. 3. 2　A/Dコンバータ・モード・レジスタ0（ADM0） 331
11. 3. 3　A/Dコンバータ・モード・レジスタ1（ADM1） 340
11. 3. 4　A/Dコンバータ・モード・レジスタ2（ADM2） 341

11. 3. 5　10ビットA/D変換結果レジスタ（ADCR）.....343
11. 3. 6　8ビットA/D変換結果レジスタ（ADCRH）.....343
11. 3. 7　アナログ入力チャネル指定レジスタ（ADS）.....344
11. 3. 8　変換結果比較上限値設定レジスタ（ADUL）.....346
11. 3. 9　変換結果比較下限値設定レジスタ（ADLL）.....346
11. 3. 10　A/Dテスト・レジスタ（ADTES）.....347
11. 3. 11　アナログ入力端子のポート機能を制御するレジスタ.....348
11. 4　A/Dコンバータの変換動作.....349
11. 5　入力電圧と変換結果.....351
11. 6　A/Dコンバータの動作モード.....352
11. 6. 1　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）.....352
11. 6. 2　ソフトウエア・トリガ・モード
（セレクト・モード，ワンショット変換モード）.....353
11. 6. 3　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）.....354
11. 6. 4　ソフトウエア・トリガ・モード
（スキャン・モード，ワンショット変換モード）.....355
11. 6. 5　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，連続変換モード）.....356
11. 6. 6　ハードウエア・トリガ・ノーウエイト・モード
（セレクト・モード，ワンショット変換モード）.....357
11. 6. 7　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，連続変換モード）.....358
11. 6. 8　ハードウエア・トリガ・ノーウエイト・モード
（スキャン・モード，ワンショット変換モード）.....359
11. 6. 9　ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，連続変換モード）.....360
11. 6. 10 ハードウエア・トリガ・ウエイト・モード
（セレクト・モード，ワンショット変換モード）.....361
11. 6. 11 ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，連続変換モード）.....362
11. 6. 12 ハードウエア・トリガ・ウエイト・モード
（スキャン・モード，ワンショット変換モード）.....363
11. 7　A/Dコンバータの設定フロー・チャート.....364
11. 7. 1　ソフトウエア・トリガ・モード設定.....364
11. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定.....365
11. 7. 3　ハードウエア・トリガ・ウエイト・モード設定.....366
11. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定
（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）.....367
11. 7. 5　テスト・モード設定.....368
11. 8　SNOOZEモード機能.....369
11. 9　A/Dコンバータ特性表の読み方.....373
11. 10　A/Dコンバータの注意事項.....376

第12章　シリアル・アレイ・ユニット.....380

12. 1　シリアル・アレイ・ユニットの機能.....381
12. 1. 1　簡易SPI（CSI00, CSI01）.....381
12. 1. 2　UART（UART0）.....382
12. 1. 3　簡易I²C（IIC00, IIC01）.....383
12. 2　シリアル・アレイ・ユニットの構成.....384
12. 2. 1　シフト・レジスタ.....387
12. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット.....387

12. 3　シリアル・アレイ・ユニットを制御するレジスタ 389
12. 3. 1　周辺イネーブル・レジスタ0（PER0） 390
12. 3. 2　シリアル・クロック選択レジスタm（SPSm） 391
12. 3. 3　シリアル・モード・レジスタmn（SMRmn） 392
12. 3. 4　シリアル通信動作設定レジスタmn（SCRmn） 393
12. 3. 5　シリアル・データ・レジスタmn（SDRmn） 396
12. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn） 397
12. 3. 7　シリアル・ステータス・レジスタmn（SSRmn） 398
12. 3. 8　シリアル・チャネル開始レジスタm（SSm） 400
12. 3. 9　シリアル・チャネル停止レジスタm（STm） 401
12. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm） 402
12. 3. 11　シリアル出力許可レジスタm（SOEm） 403
12. 3. 12　シリアル出力レジスタm（SOm） 404
12. 3. 13　シリアル出力レベル・レジスタm（SOLm） 405
12. 3. 14　シリアル・スタンバイ・コントロール・レジスタm（SSCm） 407
12. 3. 15　ノイズ・フィルタ許可レジスタ0（NFEN0） 408
12. 3. 16　シリアル入出力端子のポート機能を制御するレジスタ 409
12. 4　動作停止モード 410
12. 4. 1　ユニット単位で動作停止とする場合 410
12. 4. 2　チャネルごとに動作停止とする場合 411
12. 5　簡易SPI（CSI00, CSI01）通信の動作 412
12. 5. 1　マスタ送信 414
12. 5. 2　マスタ受信 422
12. 5. 3　マスタ送受信 430
12. 5. 4　スレーブ送信 438
12. 5. 5　スレーブ受信 446
12. 5. 6　スレーブ送受信 452
12. 5. 7　SNOOZEモード機能 460
12. 5. 8　転送クロック周波数の算出 464
12. 5. 9　簡易SPI（CSI00, CSI01）通信時におけるエラー発生時の処理手順 466
12. 6　UART（UART0）通信の動作 467
12. 6. 1　UART送信 469
12. 6. 2　UART受信 478
12. 6. 3　ボー・レートの算出 485
12. 6. 4　UART（UART0）通信時におけるエラー発生時の処理手順 489
12. 7　簡易I²C（IIC00, IIC01）通信の動作 490
12. 7. 1　アドレス・フィールド送信 492
12. 7. 2　データ送信 497
12. 7. 3　データ受信 500
12. 7. 4　ストップ・コンディション発生 504
12. 7. 5　転送レートの算出 505
12. 7. 6　簡易I²C（IIC00, IIC01）通信時におけるエラー発生時の処理手順 508

第13章　シリアル・インタフェースIICA 509

13. 1　シリアル・インタフェースIICAの機能 509
13. 2　シリアル・インタフェースIICAの構成 512
13. 3　シリアル・インタフェースIICAを制御するレジスタ 515
13. 3. 1　周辺イネーブル・レジスタ0（PER0） 515
13. 3. 2　IICAコントロール・レジスタ00（IICCTL00） 516
13. 3. 3　IICAステータス・レジスタ0（IICS0） 521
13. 3. 4　IICAフラグ・レジスタ0（IICF0） 523

13. 3. 5　IICAコントロール・レジスタ01（IICCTL01）.....525
13. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0）.....527
13. 3. 7　IICAハイ・レベル幅設定レジスタ0（IICWH0）.....527
13. 3. 8　ポート・モード・レジスタ6（PM6）.....528
13. 4　I²Cバス・モードの機能.....529
13. 4. 1　端子構成.....529
13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法.....530
13. 5　I²Cバスの定義および制御方法.....532
13. 5. 1　スタート・コンディション.....532
13. 5. 2　アドレス.....533
13. 5. 3　転送方向指定.....533
13. 5. 4　アクノリッジ（ACK）.....534
13. 5. 5　ストップ・コンディション.....535
13. 5. 6　クロック・ストレッチ.....536
13. 5. 7　クロック・ストレッチ解除方法.....538
13. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御.....539
13. 5. 9　アドレスの一致検出方法.....540
13. 5. 10　エラーの検出.....540
13. 5. 11　拡張コード.....541
13. 5. 12　アービトレーション.....542
13. 5. 13　ウエイク・アップ機能.....544
13. 5. 14　通信予約.....547
13. 5. 15　その他の注意事項.....551
13. 5. 16　通信動作.....552
13. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミング.....560
13. 6　タイミング・チャート.....581

第14章　USB2.0ホスト／ファンクション・モジュール（USB）.....596

14. 1　USB2.0ホスト／ファンクション・モジュールの機能.....596
14. 2　USB2.0ホスト／ファンクション・モジュールの構成.....598
14. 3　USB2.0ホスト／ファンクション・モジュールで使用するレジスタの説明.....601
14. 3. 1　システム・コンフィグレーション・コントロール・レジスタ（SYSCFG）
システム・コンフィグレーション・コントロール・レジスタ1（SYSCFG1）.....605
14. 3. 2　システム・コンフィグレーション・ステータス・レジスタn
（SYSSTSn）（n = 0, 1）.....608
14. 3. 3　デバイス・ステート・コントロール・レジスタn（DVSTCTRn）（n = 0, 1）.....609
14. 3. 4　DMAn-FIFOピン・コンフィグレーション・レジスタ
（DMAnPCFG）（n = 0, 1）.....615
14. 3. 5　CFIFOポート・レジスタ（CFIFOM）
DnFIFOポート・レジスタ（DnFIFOM）（n = 0, 1）.....616
14. 3. 6　DMA転送用DnFIFOポート・レジスタ（DnFIFO）（n = 0, 1）.....618
14. 3. 7　CFIFOポート選択レジスタ（CFIFOSEL）
DnFIFOポート選択レジスタ（DnFIFOSEL）（n = 0, 1）.....619
14. 3. 8　CFIFOポート・コントロール・レジスタ（CFIFOCTR）
DnFIFOポート・コントロール・レジスタ（DnFIFOCTR）（n = 0, 1）.....623
14. 3. 9　割り込み許可レジスタ0（INTENB0）.....627
14. 3. 10　割り込み許可レジスタn（INTENBn）（n = 1, 2）.....629
14. 3. 11　BRDY割り込み許可レジスタ（BRDYENB）.....632
14. 3. 12　NRDY割り込み許可レジスタ（NRDYENB）.....632
14. 3. 13　BEMP割り込み許可レジスタ（BEMPENB）.....633

14. 3. 14　SOF出力コンフィグレーション・レジスタ（SOFCFG）.....634
14. 3. 15　割り込みステータス・レジスタ0（INTSTS0）.....635
14. 3. 16　割り込みステータス・レジスタn　（INTSTSn）（n = 1, 2）.....639
14. 3. 17　BRDY割り込みステータス・レジスタ（BRDYSTS）.....645
14. 3. 18　NRDY割り込みステータス・レジスタ（NRDYSTS）.....645
14. 3. 19　BEMP割り込みステータス・レジスタ（BEMPSTS）.....646
14. 3. 20　フレーム・ナンバー・レジスタ（FRMNUM）.....646
14. 3. 21　USBアドレス・レジスタ（USBADDR）.....647
14. 3. 22　USBリクエスト・タイプ・レジスタ（USBREQ）.....648
14. 3. 23　USBリクエスト・バリュー・レジスタ（USBVAL）.....649
14. 3. 24　USBリクエスト・インデックス・レジスタ（USBINDX）.....650
14. 3. 25　USBリクエスト・レングス・レジスタ（USBLENG）.....650
14. 3. 26　DCPコンフィグレーション・レジスタ（DCPCFG）.....651
14. 3. 27　DCPマックス・パケット・サイズ・レジスタ（DCPMAXP）.....652
14. 3. 28　DCPコントロール・レジスタ（DCPCTR）.....653
14. 3. 29　パイプ・ウィンドウ選択レジスタ（PIPESEL）.....657
14. 3. 30　パイプ・コンフィグレーション・レジスタ（PIPECFG）.....658
14. 3. 31　パイプマックス・パケット・サイズ・レジスタ（PIPEMAXP）.....660
14. 3. 32　パイプ周期制御レジスタ（PIPEPERI）.....662
14. 3. 33　パイプnコントロール・レジスタ（PIPEnCTR）（n = 4～7）.....663
14. 3. 34　パイプnトランザクション・カウンタ・イネーブル・レジスタ（PIPEnTRE）
（n = 4，5）.....672
14. 3. 35　パイプnトランザクション・カウンタ・レジスタ（PIPEnTRN）（n = 4，5）..673
14. 3. 36　BCコントロール・レジスタn（USBBCCTRLn）（n = 0, 1）.....674
14. 3. 37　BCオプション・コントロール・レジスタn（USBBCOPTn）（n = 0, 1）.....678
14. 3. 38　USBモジュール制御レジスタ（USBMC）.....684
14. 3. 39　デバイス・アドレスnコンフィグレーション・レジスタ（DEVADDn）
（n = 0～5）.....685
14. 4　動作説明.....686
14. 4. 1　システム制御.....686
14. 4. 1. 1　動作開始.....686
14. 4. 1. 2　コントローラ機能の選択設定.....688
14. 4. 1. 3　USBデータ・バス抵抗制御.....689
14. 4. 2　割り込み要因.....693
14. 4. 3　割り込みの説明.....697
14. 4. 3. 1　BRDY割り込み.....697
14. 4. 3. 2　NRDY割り込み.....700
14. 4. 3. 3　BEMP割り込み.....703
14. 4. 3. 4　デバイス・ステート遷移割り込み.....705
14. 4. 3. 5　コントロール転送ステージ遷移割り込み.....706
14. 4. 3. 6　フレーム番号更新割り込み.....707
14. 4. 3. 7　VBUS割り込み.....707
14. 4. 3. 8　レジューム割り込み.....707
14. 4. 3. 9　オーバカレント変化割り込み.....708
14. 4. 3. 10　バス変化割り込み.....708
14. 4. 3. 11　USB切断検出割り込み.....708
14. 4. 3. 12　セットアップ・トランザクション正常応答割り込み.....708
14. 4. 3. 13　セットアップ・トランザクション・エラー割り込み.....708
14. 4. 3. 14　アタッチ割り込み.....709
14. 4. 3. 15　EOFエラー割り込み.....709
14. 4. 3. 16　PortableDevice検知割り込み.....709

14. 4. 4　パイプ・コントロール 710
14. 4. 4. 1　パイプ・コントロール・レジスタの切り替え手順 711
14. 4. 4. 2　転送タイプ 711
14. 4. 4. 3　エンド・ポイント番号 712
14. 4. 4. 4　マックス・パケット・サイズ設定 712
14. 4. 4. 5　トランザクション・カウンタ（パイプ4，5読み出し方向） 712
14. 4. 4. 6　応答PID 712
14. 4. 4. 7　データPIDシーケンス・ビット 714
14. 4. 4. 8　応答PID = NAK機能 714
14. 4. 4. 9　自動応答モード 714
14. 4. 4. 10　OUT-NAKモード 714
14. 4. 4. 11　Null自動応答モード 715
14. 4. 5　FIFOバッファ・メモリ 716
14. 4. 5. 1　FIFOバッファ・メモリ 716
14. 4. 5. 2　FIFOポートの機能 718
14. 4. 5. 3　DMA転送（D0FIFO/D1FIFOポート） 719
14. 4. 6　コントロール転送（DCP） 720
14. 4. 6. 1　ホスト・コントローラ機能選択時のコントロール転送 720
14. 4. 6. 2　ファンクション・コントローラ機能選択時のコントロール転送 721
14. 4. 7　バルク転送（パイプ4，5） 722
14. 4. 8　インタラプト転送（パイプ6，7） 723
14. 4. 8. 1　ホスト・コントローラ機能選択時のインタラプト転送時のインターバル・カウンタ 723
14. 4. 9　SOF補間機能 724
14. 4. 10　パイプ・スケジュール 725
14. 4. 10. 1　トランザクション発行条件 725
14. 4. 10. 2　転送スケジュール 725
14. 4. 10. 3　USB通信許可 725
14. 4. 11　Battery Charging接続検知制御 726
14. 4. 12　Battery Charging接続検知オプション機能 728
14. 4. 13　Battery Charging検知処理 731
14. 4. 13. 1　ファンクション・コントローラ時の処理 731
14. 4. 13. 2　ホスト・コントローラ時の処理 733

第15章　乗除積和算器 736

15. 1　乗除積和算器の機能 736
15. 2　乗除積和算器の構成 736
15. 2. 1　乗除算データ・レジスタA（MDAH, MDAL） 738
15. 2. 2　乗除算データ・レジスタB（MDBL, MDBH） 739
15. 2. 3　乗除算データ・レジスタC（MDCL, MDCH） 740
15. 3　乗除積和算器を制御するレジスタ 742
15. 3. 1　乗除算コントロール・レジスタ0（MDUC） 742
15. 4　乗除積和算器の動作 744
15. 4. 1　乗算（符号なし）動作 744
15. 4. 2　乗算（符号付）動作 745
15. 4. 3　積和演算（符号なし）動作 746
15. 4. 4　積和演算（符号付）動作 748
15. 4. 5　除算動作 750

第16章　DMAコントローラ.....752

16. 1　DMAコントローラの機能.....752
16. 2　DMAコントローラの構成.....753
16. 2. 1　DMA SFRアドレス・レジスタn（DSAn）.....753
16. 2. 2　DMA RAMアドレス・レジスタn（DRAn）.....754
16. 2. 3　DMAバイト・カウント・レジスタn（DBCn）.....755
16. 3　DMAコントローラを制御するレジスタ.....756
16. 3. 1　DMAモード・コントロール・レジスタn（DMCn）.....757
16. 3. 2　DMA動作コントロール・レジスタn（DRCn）.....759
16. 4　DMAコントローラの動作.....760
16. 4. 1　動作手順.....760
16. 4. 2　転送モード.....761
16. 4. 3　DMA転送の終了.....761
16. 5　DMAコントローラの設定例.....762
16. 5. 1　簡易SPI（CSI）連続送信.....762
16. 5. 2　A/D変換結果の連続取り込み.....764
16. 5. 3　UART連続受信＋ACK送信.....766
16. 5. 4　DWAITnビットによるDMA転送保留.....768
16. 5. 5　ソフトウエアでの強制終了.....769
16. 6　DMAコントローラの注意事項.....771

第17章　割り込み機能.....774

17. 1　割り込み機能の種類.....774
17. 2　割り込み要因と構成.....774
17. 3　割り込み機能を制御するレジスタ.....780
17. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）.....783
17. 3. 2　割り込みマスク・フラグ・レジスタ
（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）.....785
17. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L,
PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）.....787
17. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）,
外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）.....789
17. 3. 5　プログラム・ステータス・ワード（PSW）.....791
17. 4　割り込み処理動作.....792
17. 4. 1　マスカブル割り込み要求の受け付け動作.....792
17. 4. 2　ソフトウエア割り込み要求の受け付け動作.....795
17. 4. 3　多重割り込み処理.....795
17. 4. 4　割り込み要求の保留.....799

第18章　キー割り込み機能.....800

18. 1　キー割り込みの機能.....800
18. 2　キー割り込みの構成.....800
18. 3　キー割り込みを制御するレジスタ.....802
18. 3. 1　キー・リターン・モード・レジスタ（KRM）.....802
18. 3. 2　ポート・モード・レジスタ7（PM7）.....803

第19章　スタンバイ機能.....804

19. 1　スタンバイ機能 804
19. 2　スタンバイ機能を制御するレジスタ 805
19. 3　スタンバイ機能の動作 806
19. 3. 1　HALTモード 806
19. 3. 2　STOPモード 811
19. 3. 3　SNOOZEモード 817

第20章　リセット機能 820

20. 1　リセット動作のタイミング 822
20. 2　リセット期間中の動作状態 824
20. 3　リセット要因を確認するレジスタ 826
20. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF） 826

第21章　パワーオン・リセット回路 829

21. 1　パワーオン・リセット回路の機能 829
21. 2　パワーオン・リセット回路の構成 830
21. 3　パワーオン・リセット回路の動作 830

第22章　電圧検出回路 834

22. 1　電圧検出回路の機能 834
22. 2　電圧検出回路の構成 835
22. 3　電圧検出回路を制御するレジスタ 835
22. 3. 1　電圧検出レジスタ（LVIM） 836
22. 3. 2　電圧検出レベル・レジスタ（LVIS） 837
22. 4　電圧検出回路の動作 840
22. 4. 1　リセット・モードとして使用する場合の設定 840
22. 4. 2　割り込みモードとして使用する場合の設定 842
22. 4. 3　割り込み＆リセット・モードとして使用する場合の設定 844
22. 5　電圧検出回路の注意事項 849

第23章　安全機能 851

23. 1　安全機能の概要 851
23. 2　安全機能で使用するレジスタ 852
23. 3　安全機能の動作 852
23. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC） 852
23. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL） 853
23. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL） 854
23. 3. 2　CRC演算機能（汎用CRC） 856
23. 3. 2. 1　CRC入力レジスタ（CRCIN） 856
23. 3. 2. 2　CRCデータ・レジスタ（CRCD） 857
23. 3. 3　RAMパリティ・エラー検出機能 858
23. 3. 3. 1　RAMパリティ・エラー制御レジスタ（RPECTL） 858
23. 3. 4　RAMガード機能 859
23. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL） 859
23. 3. 5　SFRガード機能 860
23. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL） 860
23. 3. 6　不正メモリ・アクセス検出機能 861

23. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL） 862
23. 3. 7　周波数検出機能 863
23. 3. 7. 1　タイマ入力選択レジスタ0（TIS0） 864
23. 3. 8　A/Dテスト機能.....865
23. 3. 8. 1　A/Dテスト・レジスタ（ADTES） 867
23. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS） 868
23. 3. 9　入出力ポートのデジタル出力信号レベル検出機能 870
23. 3. 9. 1　ポート・モード選択レジスタ（PMS） 870

第24章　レギュレータ 871

24. 1　レギュレータの概要.....871

第25章　オプション・バイト 872

25. 1　オプション・バイトの機能 872
25. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H） 872
25. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H） 873
25. 2　ユーザ・オプション・バイトのフォーマット 874
25. 3　オンチップ・デバッグ・オプション・バイトのフォーマット.....878
25. 4　オプション・バイトの設定 879

第26章　フラッシュ・メモリ 880

26. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング 882
26. 1. 1　プログラミング環境 884
26. 1. 2　通信方式 884
26. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング 885
26. 2. 1　プログラミング環境 885
26. 2. 2　通信方式 886
26. 3　オンボード上の端子処理.....887
26. 3. 1　P40/TOOL0端子 887
26. 3. 2　$\overline{\text{RESET}}$端子 887
26. 3. 3　ポート端子.....888
26. 3. 4　REGC端子 888
26. 3. 5　X1, X2端子.....888
26. 3. 6　電　　源 888
26. 4　シリアル・プログラミング方法.....889
26. 4. 1　シリアル・プログラミング手順 889
26. 4. 2　フラッシュ・メモリ・プログラミング・モード.....890
26. 4. 3　通信方式 892
26. 4. 4　通信コマンド 893
26. 5　PG-FP5使用時の各コマンド処理時間（参考値） 895
26. 6　セルフ・プログラミング.....896
26. 6. 1　セルフ・プログラミング手順.....897
26. 6. 2　ブート・スワップ機能 898
26. 6. 3　フラッシュ・シールド・ウインドウ機能 900
26. 7　セキュリティ設定 901
26. 8　データ・フラッシュ.....903
26. 8. 1　データ・フラッシュの概要 903
26. 8. 2　データ・フラッシュを制御するレジスタ 904
26. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL） 904

26. 8. 3　データ・フラッシュへのアクセス手順 905

第27章　オンチップ・デバッグ機能 907

27. 1　E1オンチップデバッギングエミュレータとRL78/G1Cの接続 907
27. 2　オンチップ・デバッグ・セキュリティID 908
27. 3　ユーザ資源の確保 908

第28章　10進補正（BCD）回路 910

28. 1　10進補正回路の機能 910
28. 2　10進補正回路で使用するレジスタ 910
28. 2. 1　BCD補正結果レジスタ（BCDADJ） 910
28. 3　10進補正回路の動作 911

第29章　命令セットの概要 913

29. 1　凡　　例 914
29. 1. 1　オペランドの表現形式と記述方法 914
29. 1. 2　オペレーション欄の説明 915
29. 1. 3　フラグ動作欄の説明 916
29. 1. 4　PREFIX命令 916
29. 2　オペレーション一覧 917

第30章　電気的特性（A：TA = –40～＋85℃） 934

30. 1　絶対最大定格 935
30. 2　発振回路特性 937
30. 2. 1　X1, XT1発振回路特性 937
30. 2. 2　オンチップ・オシレータ特性 937
30. 2. 3　PLL発振回路特性 938
30. 3　DC特性 939
30. 3. 1　端子特性 939
30. 3. 2　電源電流特性 944
30. 4　AC特性 951
30. 4. 1　基本動作 951
30. 5　周辺機能特性 954
30. 5. 1　シリアル・アレイ・ユニット 954
30. 5. 2　シリアル・インタフェースIICA 977
30. 5. 3　USB 980
30. 6　アナログ特性 984
30. 6. 1　A/Dコンバータ特性 984
30. 6. 2　温度センサ／内部基準電圧特性 989
30. 6. 3　POR回路特性 989
30. 6. 4　LVD回路特性 990
30. 6. 5　電源電圧立ち上がり傾き特性 991
30. 7　RAMデータ保持特性 992
30. 8　フラッシュ・メモリ・プログラミング特性 992
30. 9　専用フラッシュ・メモリ・プログラマ通信（UART） 992
30. 10　フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング 993

第31章　電気的特性（G：TA = –40~＋105℃）.....994

31. 1　絶対最大定格.....995
31. 2　発振回路特性.....997
31. 2. 1　X1, XT1発振回路特性.....997
31. 2. 2　オンチップ・オシレータ特性.....997
31. 2. 3　PLL発振回路特性.....998
31. 3　DC特性.....999
31. 3. 1　端子特性.....999
31. 3. 2　電源電流特性.....1004
31. 4　AC特性.....1011
31. 4. 1　基本動作.....1011
31. 5　周辺機能特性.....1014
31. 5. 1　シリアル・アレイ・ユニット.....1014
31. 5. 2　シリアル・インタフェースIICA.....1034
31. 5. 3　USB.....1035
31. 6　アナログ特性.....1039
31. 6. 1　A/Dコンバータ特性.....1039
31. 6. 2　温度センサ／内部基準電圧特性.....1044
31. 6. 3　POR回路特性.....1044
31. 6. 4　LVD回路特性.....1045
31. 6. 5　電源電圧立ち上がり傾き特性.....1046
31. 7　RAMデータ保持特性.....1047
31. 8　フラッシュ・メモリ・プログラミング特性.....1047
31. 9　専用フラッシュ・メモリ・プログラマ通信（UART）.....1047
31. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング.....1048

第32章　外 形 図.....1049

32. 1　32ピン製品.....1049
32. 2　48ピン製品.....1053

付録A　改版履歴.....1057

A. 1　本版で改訂された主な箇所.....1057
A. 2　前版までの改版履歴.....1058

第1章　概　　説

1.1　特　　徴

超低消費電力テクノロジー

- V_{DD} = 2.4～5.5 Vの単一電源
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速（0.04167 μs：高速オンチップ・オシレータ・クロックまたはPLLクロック24 MHz動作時）から超低速（30.5 μs：サブシステム・クロック32.768 kHz動作時）までを変更可能
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ×8×4バンク
- 内蔵RAM：5.5 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：32 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止，書き換え禁止（セキュリティ機能）
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング：ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：2 KB
- バックグランド・オペレーション（BGO），データ・フラッシュの書き換え動作中に，プログラム・メモリ内の命令実行
- 書き換え回数：1,000,000回（TYP.）
- 書き換え電圧：V_{DD} = 2.4～5.5 V

高速オンチップ・オシレータ

- 48 MHz/24 MHz/12 MHz/6 MHzから選択
- 高精度±1.0 %（V_{DD} = 2.4～5.5 V，T_A = －20～＋85 ℃）

動作周囲温度

- T_A = －40～＋85 ℃（A：民生用途）
- T_A = －40～＋105 ℃（G：産業用途）

電源管理とリセット機能

- パワーオン・リセット（POR）回路内蔵
- 電圧検出（LVD）回路内蔵（割り込み，リセットを9段階で選択）

DMA（Direct Memory Access）コントローラ

- 2チャネル搭載
- 8ビット/16ビットのSFR⇔内蔵RAM間の転送が2クロック

乗除・積和演算器

- 16ビット×16ビット ＝32ビット（符号付／符号なし）
- 32ビット÷32ビット ＝32ビット（符号なし）
- 16ビット×16ビット＋32ビット ＝32ビット（符号付／符号なし）

USB

- USBバージョン2.0準拠，ホスト・ファンクション機能搭載
- フル・スピード転送（12 Mbps），ロウ・スピード（1.5 Mbps）に対応
- USB Battery Charging Specification Revision 1.2準拠
- Apple社MFi仕様，USB power supply component specification 2.1A/1.0A充電モードに対応[注1]

シリアル・インタフェース

- 簡易SPI (CSI[注2])　：2チャネル
- UART　：1チャネル
- I^2C／簡易I^2C　：1チャネル／2チャネル

タイマ

- 16ビット・タイマ　：4チャネル
- 12ビット・インターバル・タイマ　：1チャネル
- リアルタイム・クロック　：1チャネル（99年カレンダ，アラーム機能，時計補正機能）
- ウォッチドッグ・タイマ　：1チャネル（専用の低速オンチップ・オシレータ・クロックで動作可能）

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ（V_{DD} = 2.4～5.5 V）
- アナログ入力：8～9チャネル
- 内部基準電圧（1.45 V）と温度センサ搭載

入出力ポート

- I/Oポート：22～38本（N-chオープン・ドレイン入出力 [6 V耐圧]：3, 4本，
  N-chオープン・ドレイン入出力 [V_{DD}耐圧]：5, 6本）
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
- キー割り込み機能内蔵
- クロック出力／ブザー出力制御回路内蔵

注1　Apple社充電モードの導入に当たって，Apple社のMade for iPod/iPhone/iPad (MFi) ライセンスプログラムに登録する必要があります。
本仕様を請求する場合，先にApple社のMFiに加入した上でお問い合わせください。

注2　一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

備考　製品によって，搭載している機能が異なります。1. 6　機能概要を参照してください。

その他

- 10進補正（BCD）回路内蔵

ROM, RAM容量

フラッシュROM	データ・フラッシュ	RAM	RL78/G1C	
			32ピン	48ピン
32 KB	2 KB	5.5 KB注	R5F10JBC, R5F10KBC	R5F10JGC, R5F10KGC

注　5.5 Kバイトの場合，セルフ・プログラミング機能使用時は約4.5 Kバイト（詳細は，**第3章　CPUアーキテクチャ**参照）。

備考　製品により，搭載している機能が異なります。1. 6　機能概要を参照してください。

1. 2　型名一覧

★

図1－1　RL78/G1Cの型名とメモリサイズ・パッケージ

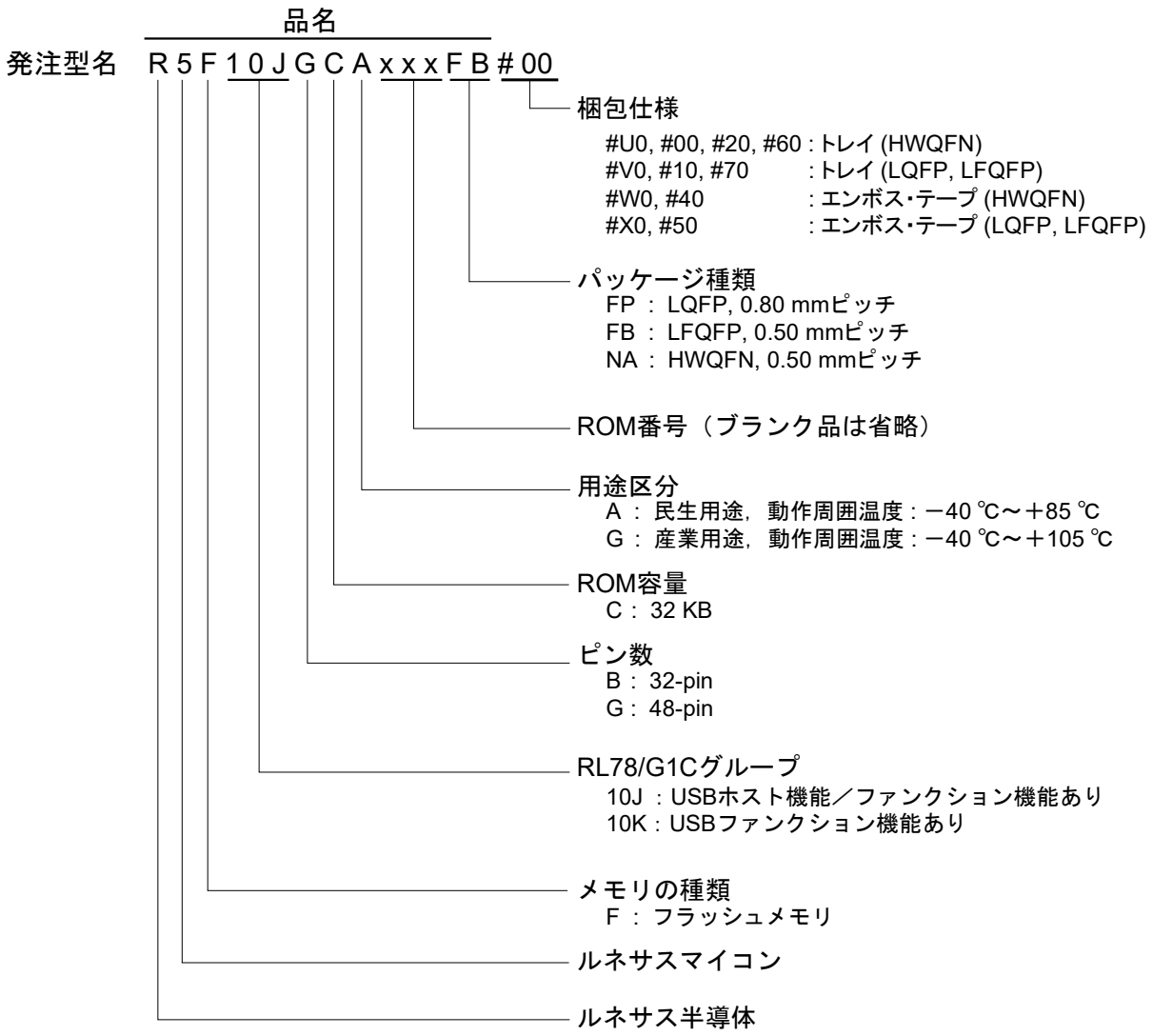


表1－1　発注型名一覧

	ピン数	パッケージ	USB機能	用途区分[注]	発注型名 品名	発注型名 梱包仕様	ルネサス・コード
	32ピン	32ピン・プラスチックHWQFN (5 x 5 mm, 0.5 mm ピッチ)	ホスト／ファンクション機能	A	R5F10JBCANA	#U0, #W0	PWQN0032KB-A
★						#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
				G	R5F10JBCGNA	#U0, #W0	PWQN0032KB-A
★						#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
			ファンクション機能のみ	A	R5F10KBCANA	#U0, #W0	PWQN0032KB-A
★						#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
				G	R5F10KBCGNA	#U0, #W0	PWQN0032KB-A
★						#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
★		32ピン・プラスチックLQFP (7 x 7 mm, 0.5 mm ピッチ)	ホスト／ファンクション機能	A	R5F10JBCAFP	#V0, #X0, #10, #50, #70	PLQP0032GB-A
				G	R5F10JBCGFP		
			ファンクション機能のみ	A	R5F10KBCAFP		
				G	R5F10KBCGFP		
★	48ピン	48ピン・プラスチックLFQFP (7 x 7 mm, 0.5 mm ピッチ)	ホスト／ファンクション機能	A	R5F10JGCAFB	#V0, #X0, #10, #50, #70	PLQP0048KF-A
				G	R5F10JGCGFB		
			ファンクション機能のみ	A	R5F10KGCAFB		
				G	R5F10KGCGFB		
		48ピン・プラスチックHWQFN (7 x 7 mm, 0.5 mm ピッチ)	ホスト／ファンクション機能	A	R5F10JGCANA	#U0, #W0	PWQN0048KB-A
★						#00, #20, #40, #60	PWQN0048KE-A PWQN0048KG-A
★							
				G	R5F10JGCGNA	#U0, #W0	PWQN0048KB-A
★						#00, #20, #40, #60	PWQN0048KE-A PWQN0048KG-A
★							
			ファンクション機能のみ	A	R5F10KGCANA	#U0, #W0	PWQN0048KB-A
★						#00, #20, #40, #60	PWQN0048KE-A PWQN0048KG-A
★							
				G	R5F10KGCGNA	#U0, #W0	PWQN0048KB-A
★						#00, #20, #40, #60	PWQN0048KE-A PWQN0048KG-A
★							

注　用途区分は，図1－1　RL78/G1Cの型名とメモリサイズ，パッケージを参照してください。

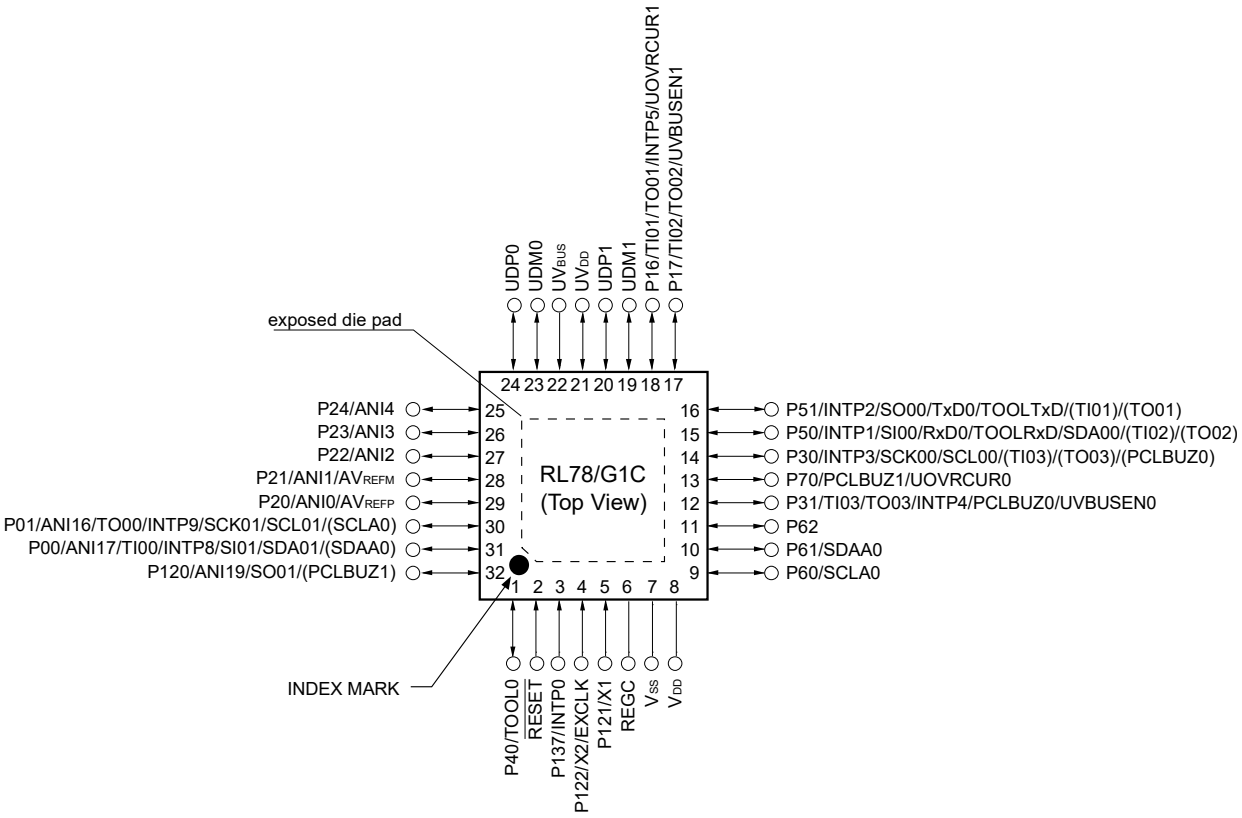
注意　発注型名は，本マニュアル発行時のものです。最新の発注型名は，当社ホームページの対象製品ページを必ず参照してください。

1. 3　端子接続図（Top View）

1. 3. 1　32ピン製品

・32ピン・プラスチックHWQFN（5×5mm，0.5mmピッチ）

（1）USB機能：ホスト／ファンクション機能（R5F10JBC）



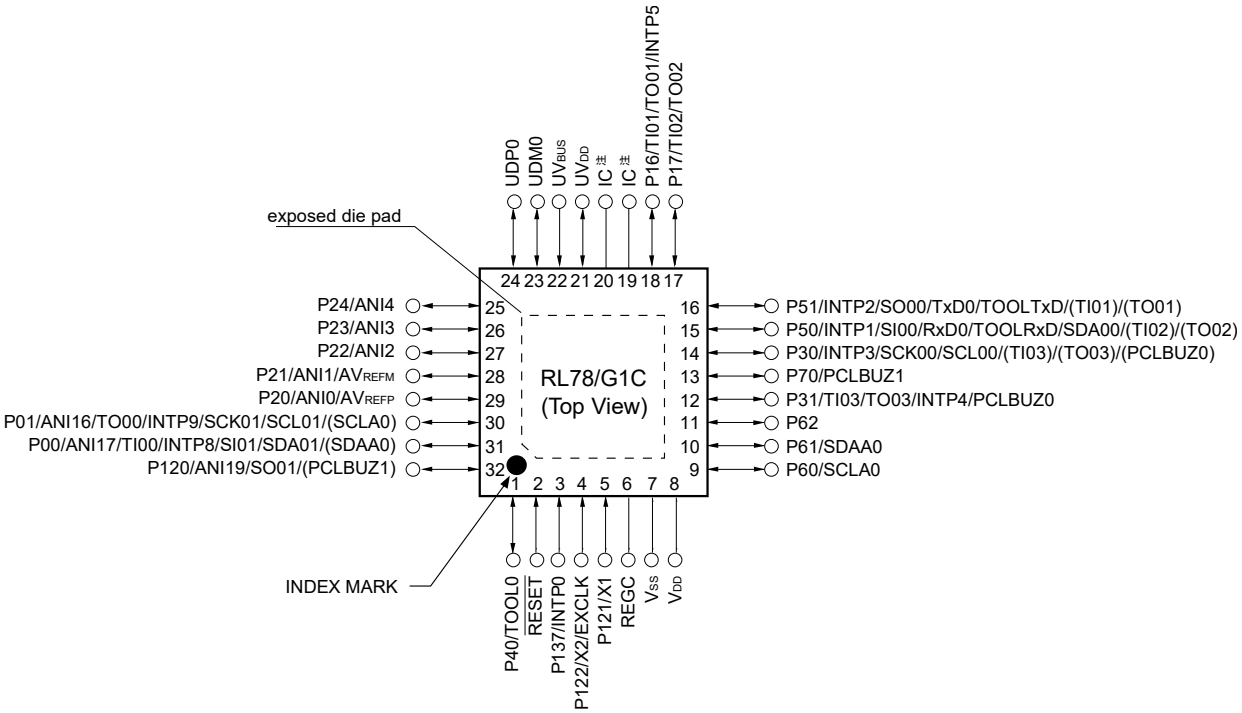
注意　REGC端子はコンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

3.　exposed die padは，Vssに接続することを推奨します。

（2）USB機能：ファンクション機能のみ（R5F10KBC）



注　IC：Internal Connection Pin（内部接続端子）。端子をオープンにしてください。

注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

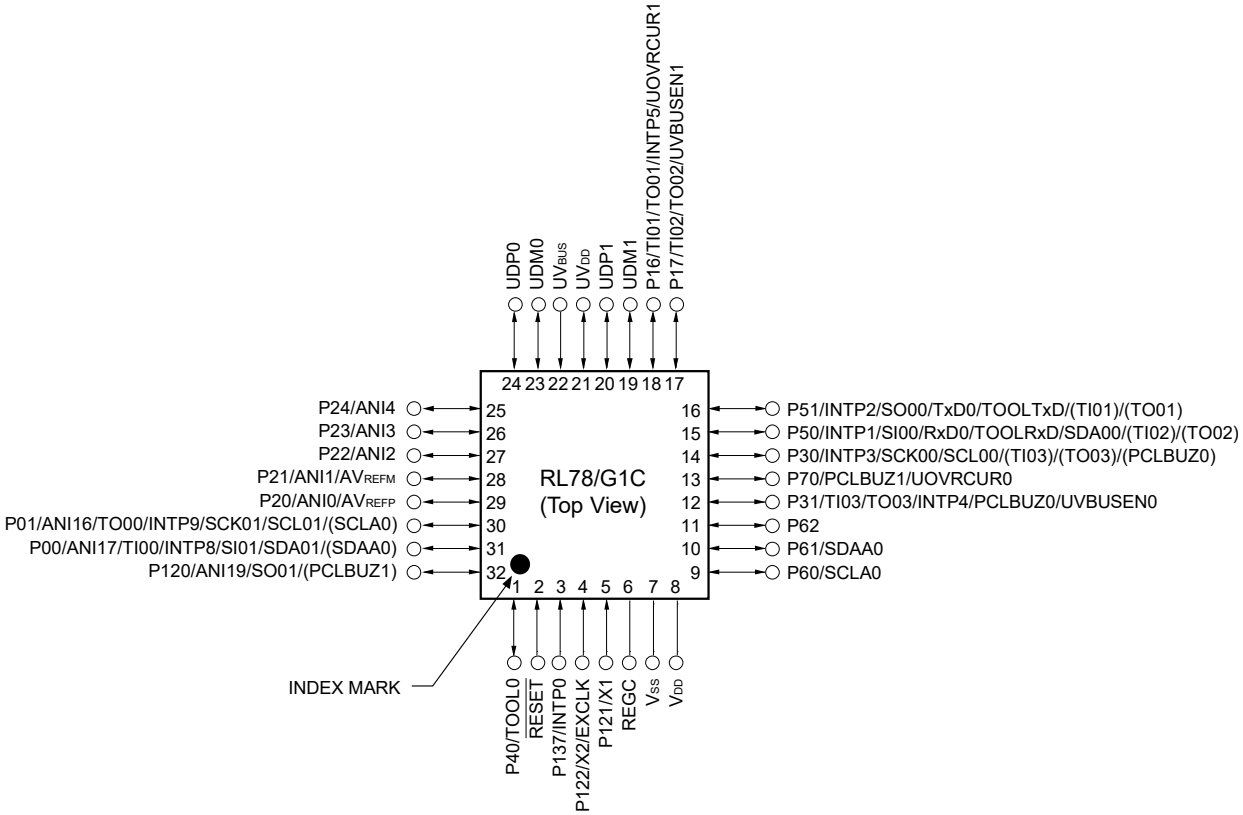
備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

3.　exposed die padは，Vssに接続することを推奨します。

・32ピン・プラスチックLQFP（7×7mm，0.8mmピッチ）

（1）USB機能：ホスト／ファンクション機能（R5F10JBC）

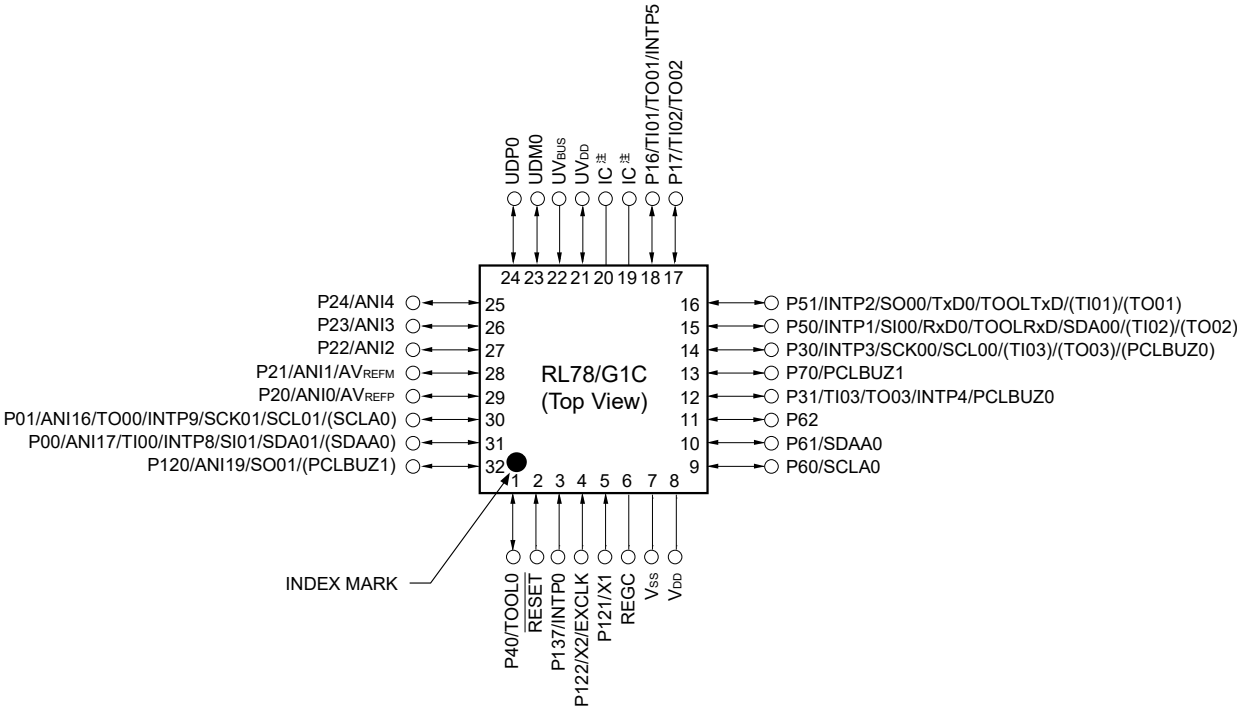


注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2）USB機能：ファンクション機能のみ（R5F10KBC）



注　IC：Internal Connection Pin（内部接続端子）。端子をオープンにしてください。

注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

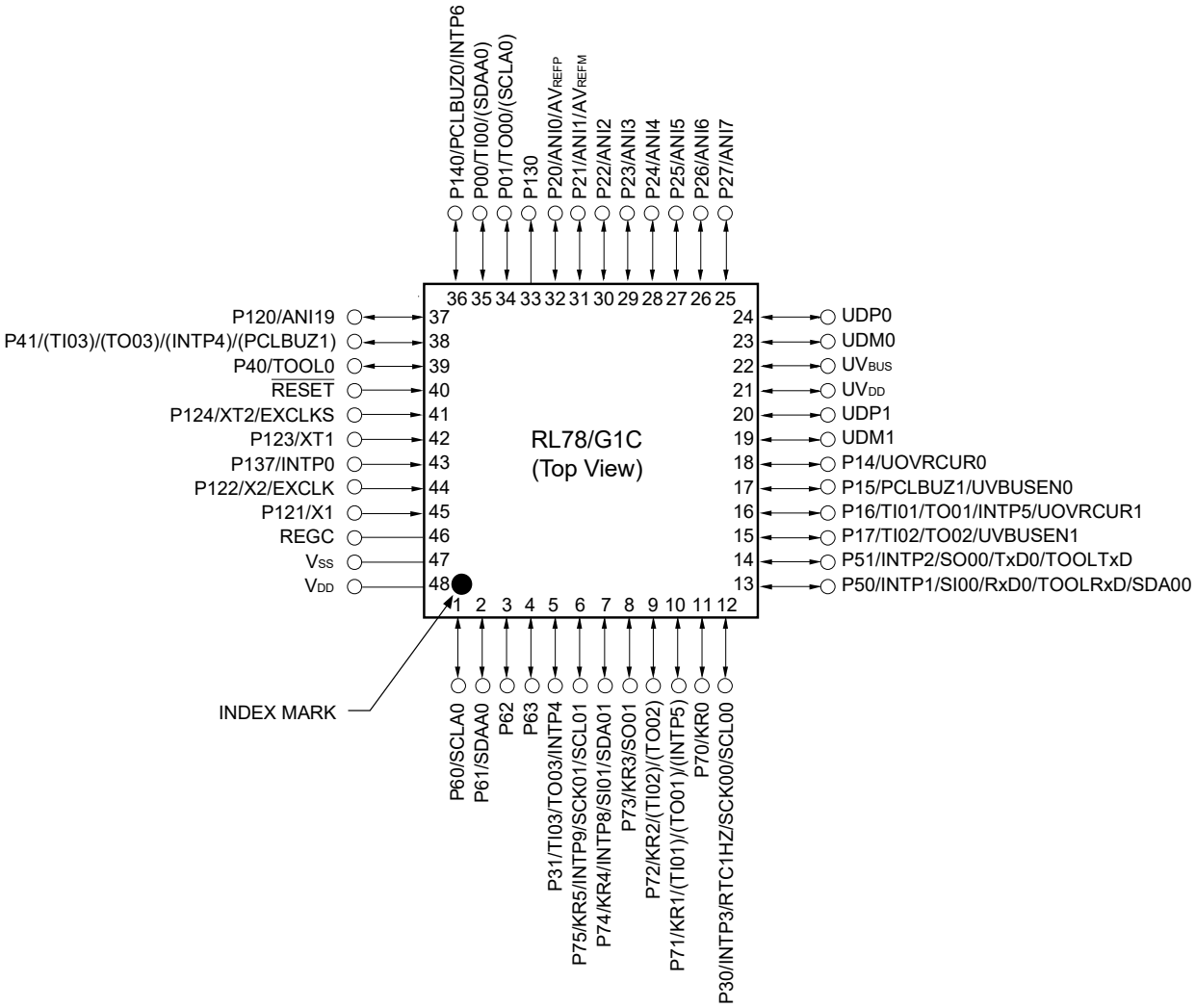
備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

1. 3. 2　48ピン製品

・48ピン・プラスチックLFQFP（7×7mm，0.5mmピッチ）

（1）USB機能：ホスト／ファンクション機能（R5F10JGC）

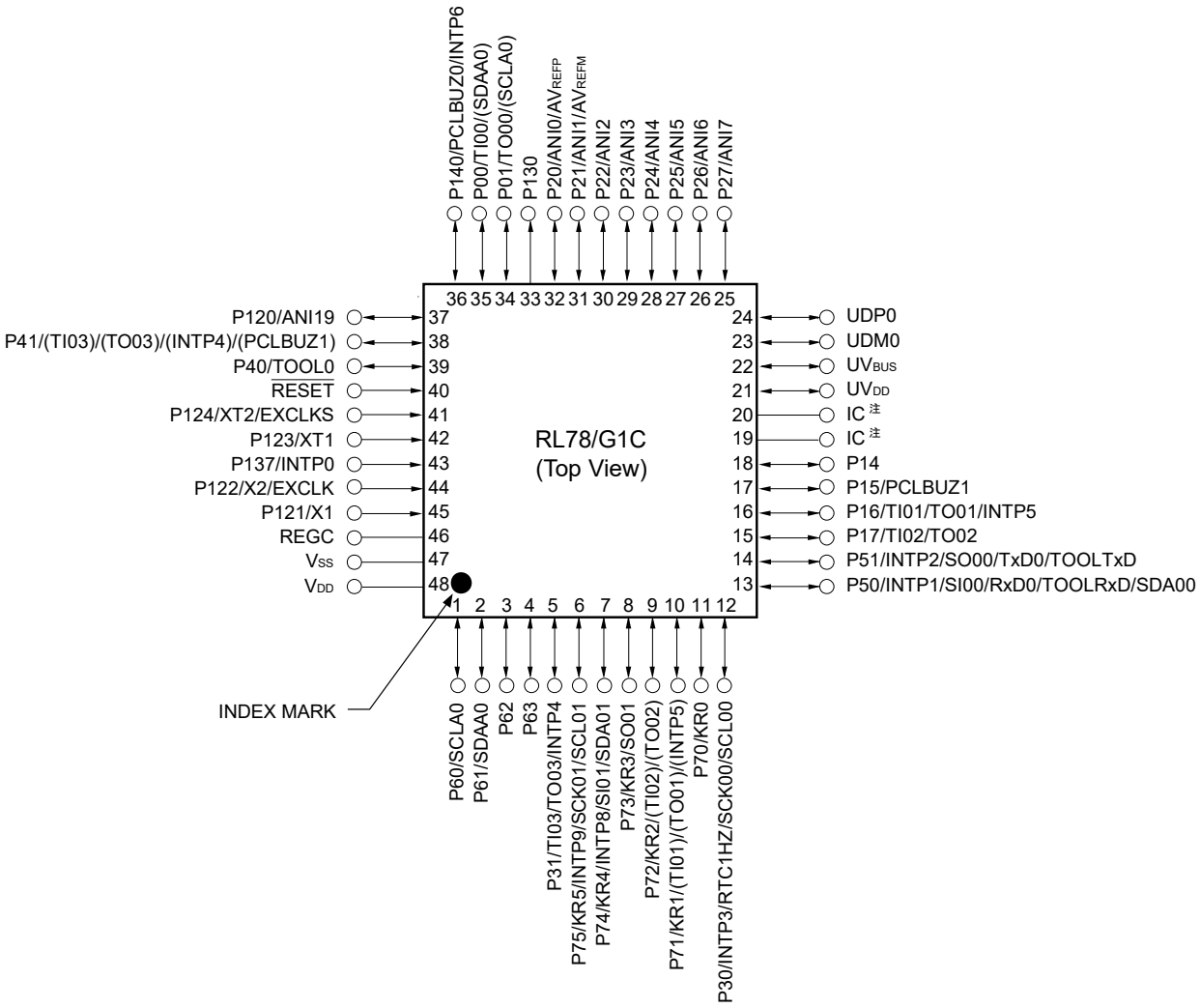


注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2）USB機能：ファンクション機能のみ（R5F10KGC）



注　IC：Internal Connection Pin（内部接続端子）。端子をオープンにしてください。

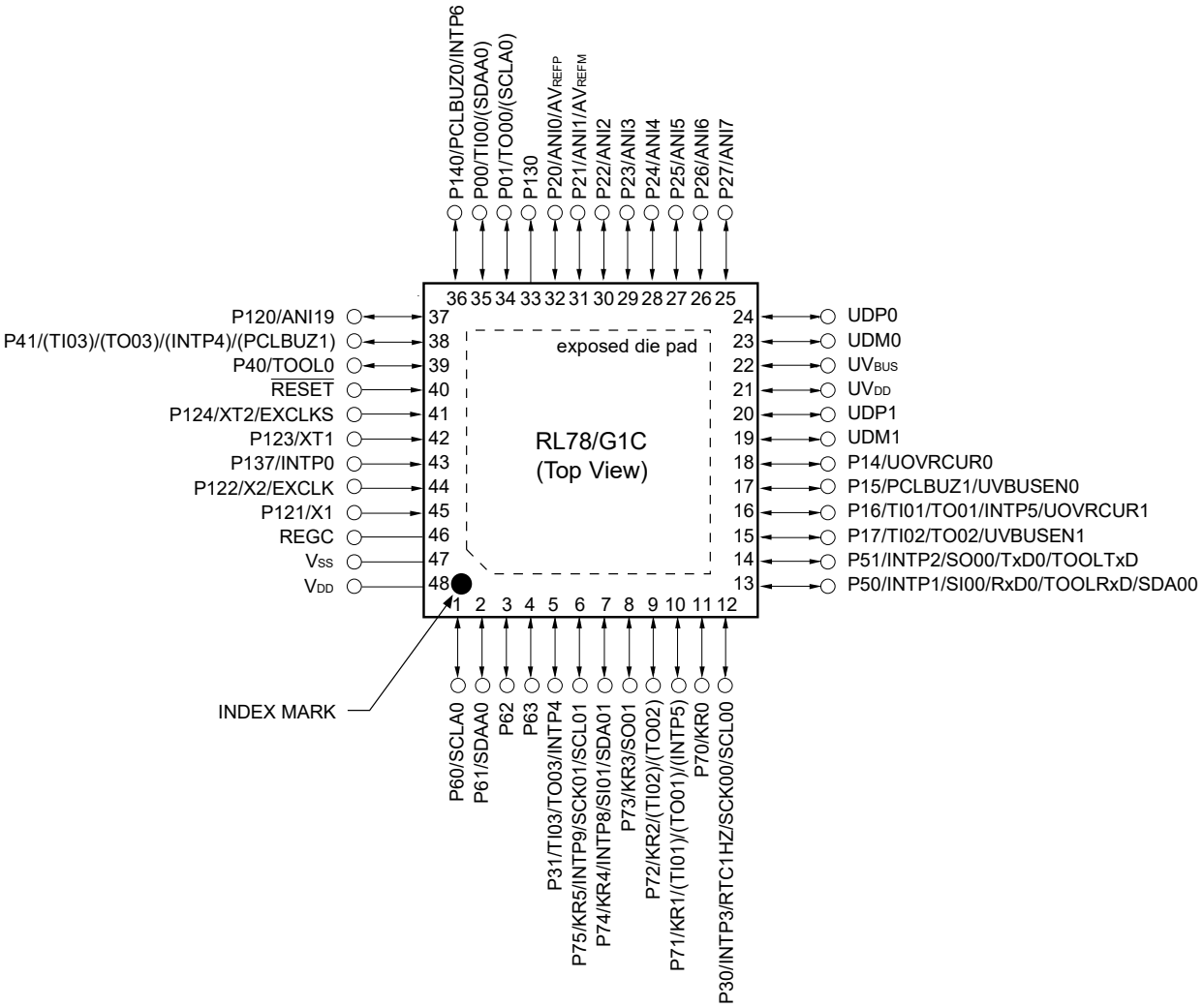
注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

・48ピン・プラスチックHWQFN（7×7mm，0.5mmピッチ）

（1）USB機能：ホスト／ファンクション機能（R5F10JGC）



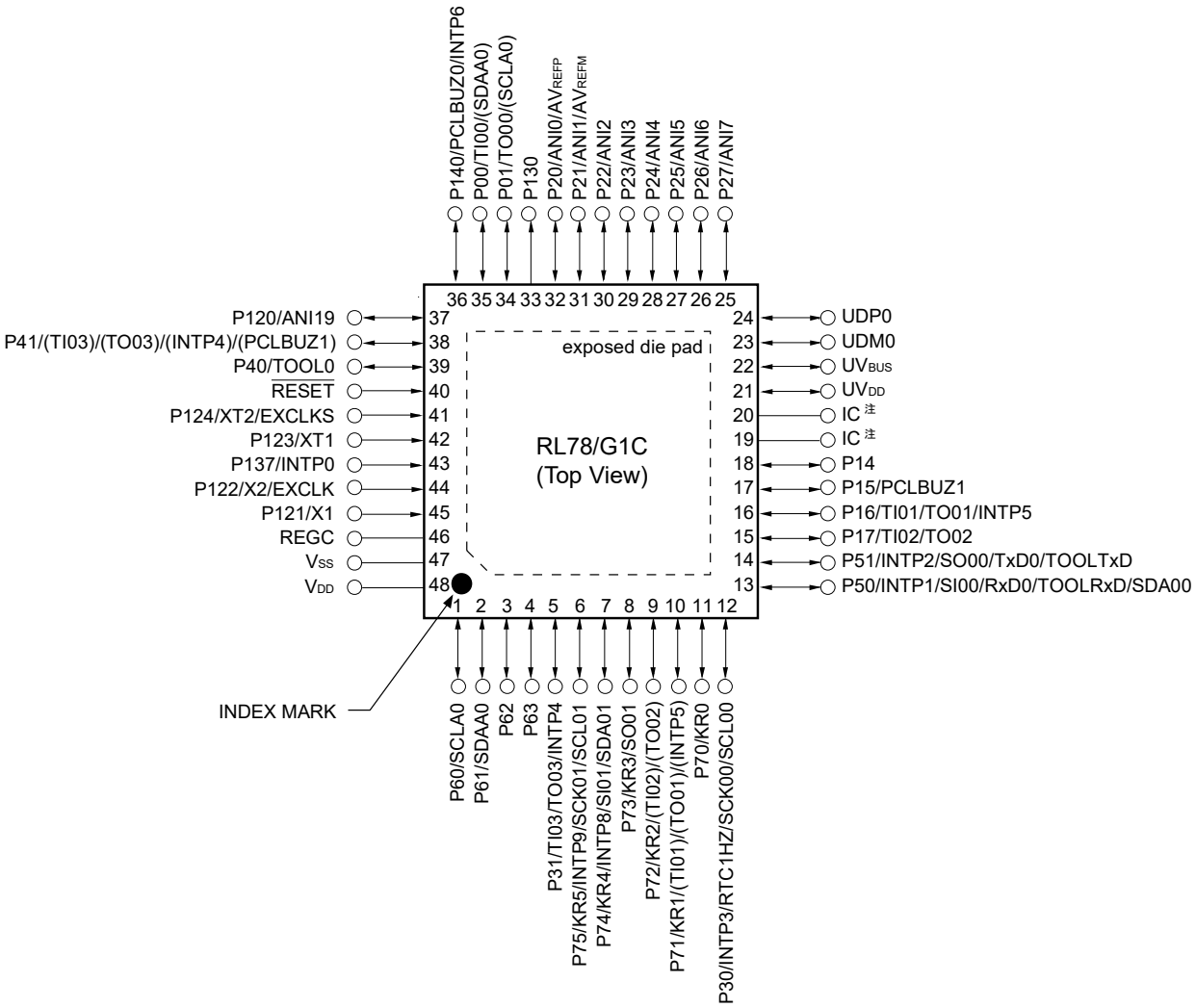
注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

3.　exposed die padは，Vssに接続することを推奨します。

（2）USB機能：ファンクション機能のみ（R5F10KGC）



注　IC：Internal Connection Pin（内部接続端子）。端子をオープンにしてください。

注意　REGC端子はコンデンサ（0.47～1 μF）を介し，VSSに接続してください。

備考1.　端子名称は，1. 4　端子名称を参照してください。

2.　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

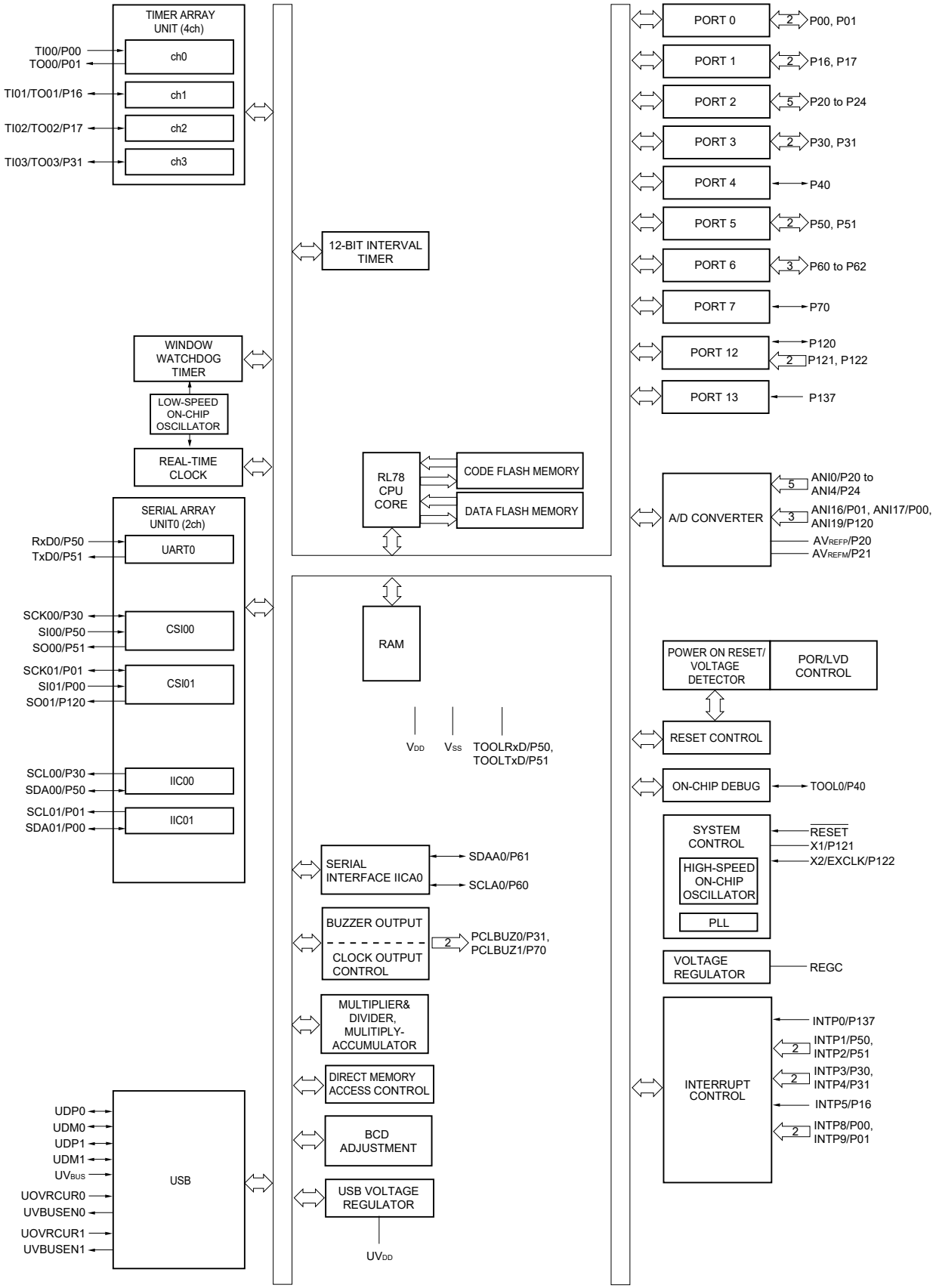
3.　exposed die padは，Vssに接続することを推奨します。

1.4 端子名称

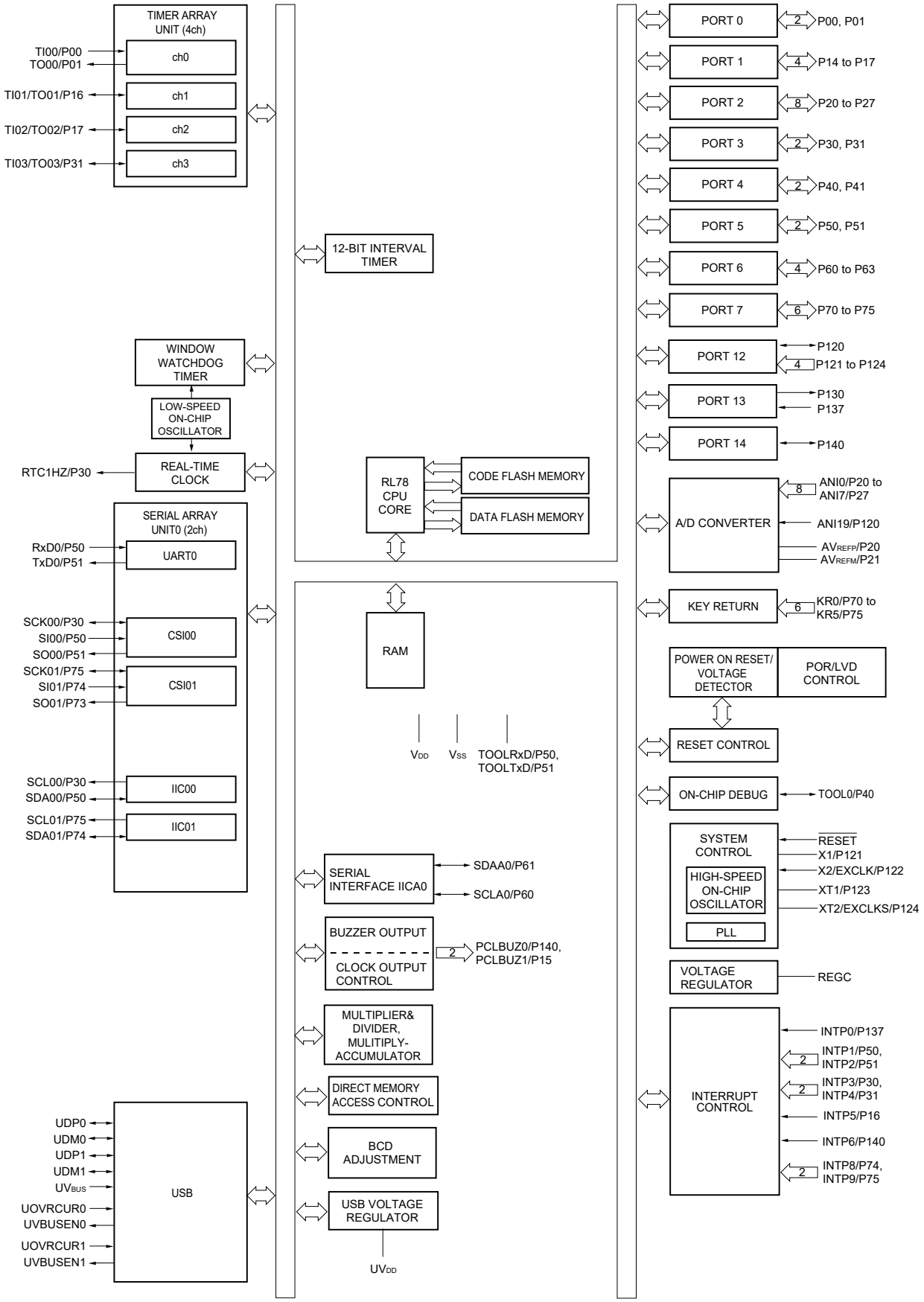
ANI0-ANI7, ANI16, ANI17, ANI19	: Analog Input
AV_{REFM}	: Analog Reference Voltage Minus
AV_{REFP}	: Analog Reference Voltage Plus
EXCLK	: External Clock Input(Main System Clock)
EXCLKS	: External Clock Input(Sub System Clock)
INTP0-INTP6, INTP8, INTP9	: External Interrupt Input
KR0-KR5	: Key Return
P00, P01	: Port 0
P14-P17	: Port 1
P20-P27	: Port 2
P30, P31	: Port 3
P40, P41	: Port 4
P50, P51	: Port 5
P60-P63	: Port 6
P70-P75	: Port 7
P120-P124	: Port 12
P130, P137	: Port 13
P140	: Port 14
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/Buzzer Output
REGC	: Regulator Capacitance
$\overline{\text{RESET}}$	: Reset
RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output
RxD0	: Receive Data
SCK00, SCK01	: Serial Clock Input/Output
SCLA0, SCL00, SCL01	: Serial Clock Input/Output
SDAA0, SDA00, SDA01	: Serial Data Input/Output
SI00, SI01	: Serial Data Input
SO00, SO01	: Serial Data Output
TI00-TI03	: Timer Input
TO00-TO03	: Timer Output
TOOL0	: Data Input/Output for Tool
TOOLRxD, TOOLTxD	: Data Input/Output for External Device
TxD0	: Transmit Data
UDM0, UDM1, UDP0, UDP1	: USB Input/Output
UOVRCUR0, UOVRCUR1	: USB Input
UVBUSEN0, UVBUSEN1	: USB Output
UV_{DD}	: USB Power Supply/USB Regulator Capacitance
UV_{BUS}	: USB Input/USB Power Supply(USB Optional BC)
V_{DD}	: Power Supply
V_{SS}	: Ground
X1, X2	: Crystal Oscillator (Main System Clock)
XT1, XT2	: Crystal Oscillator (Subsystem Clock)

1.5　ブロック図

1.5.1　32ピン製品



1. 5. 2　48ピン製品


TIMER ARRAY UNIT (4ch)
ch0
ch1
ch2
ch3
TI00/P00
TO00/P01
TI01/TO01/P16
TI02/TO02/P17
TI03/TO03/P31
12-BIT INTERVAL TIMER
WINDOW WATCHDOG TIMER
LOW-SPEED ON-CHIP OSCILLATOR
REAL-TIME CLOCK
RTC1HZ/P30
RL78 CPU CORE
CODE FLASH MEMORY
DATA FLASH MEMORY
SERIAL ARRAY UNIT0 (2ch)
UART0
RxD0/P50
TxD0/P51
CSI00
SCK00/P30
SI00/P50
SO00/P51
CSI01
SCK01/P75
SI01/P74
SO01/P73
IIC00
SCL00/P30
SDA00/P50
IIC01
SCL01/P75
SDA01/P74
RAM
VDD
VSS
TOOLRxD/P50, TOOLTxD/P51
SERIAL INTERFACE IICA0
SDAA0/P61
SCLA0/P60
BUZZER OUTPUT
CLOCK OUTPUT CONTROL
PCLBUZ0/P140, PCLBUZ1/P15
MULTIPLIER& DIVIDER, MULITIPLY-ACCUMULATOR
DIRECT MEMORY ACCESS CONTROL
BCD ADJUSTMENT
USB VOLTAGE REGULATOR
UVDD
USB
UDP0
UDM0
UDP1
UDM1
UVBUS
UOVRCUR0
UVBUSEN0
UOVRCUR1
UVBUSEN1
PORT 0
P00, P01
PORT 1
P14 to P17
PORT 2
P20 to P27
PORT 3
P30, P31
PORT 4
P40, P41
PORT 5
P50, P51
PORT 6
P60 to P63
PORT 7
P70 to P75
PORT 12
P120
P121 to P124
PORT 13
P130
P137
PORT 14
P140
A/D CONVERTER
ANI0/P20 to ANI7/P27
ANI19/P120
AVREFP/P20
AVREFM/P21
KEY RETURN
KR0/P70 to KR5/P75
POWER ON RESET/ VOLTAGE DETECTOR
POR/LVD CONTROL
RESET CONTROL
ON-CHIP DEBUG
TOOL0/P40
SYSTEM CONTROL
HIGH-SPEED ON-CHIP OSCILLATOR
PLL
RESET
X1/P121
X2/EXCLK/P122
XT1/P123
XT2/EXCLKS/P124
VOLTAGE REGULATOR
REGC
INTERRUPT CONTROL
INTP0/P137
INTP1/P50, INTP2/P51
INTP3/P30, INTP4/P31
INTP5/P16
INTP6/P140
INTP8/P74, INTP9/P75

1. 6　機能概要

【32ピン，48ピン製品】

（1/2）

項　　目		32ピン		48ピン	
		R5F10JBC	R5F10KBC	R5F10JGC	R5F10KGC
コード・フラッシュ・メモリ		32 KB		32 KB	
データ・フラッシュ・メモリ		2 KB		2 KB	
RAM		5.5 KB注1		5.5 KB注1	
メモリ空間		1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1（水晶／セラミック）発振，外部メイン・システム・クロック入力（EXCLK） HS（高速メイン）モード：1～20 MHz（V_{DD} = 2.7～5.5 V）， HS（高速メイン）モード：1～16 MHz（V_{DD} = 2.4～5.5 V）			
	高速オンチップ・オシレータ・クロック	1～24 MHz（V_{DD} = 2.7～5.5 V），1～16 MHz（V_{DD} = 2.4～5.5 V）			
	PLLクロック	6, 12, 24 MHz注2：V_{DD} = 2.4～5.5 V			
サブシステム・クロック		－		XT1 (水晶)発振 32.768 kHz (TYP.)：V_{DD} = 2.4～5.5 V	
低速オンチップ・オシレータ・クロック		内蔵発振（ウォッチドッグ・タイマ／リアルタイム・クロック／12ビット・インターバル・タイマ用クロック） 15 kHz（TYP.）：V_{DD} = 2.4～5.5 V			
汎用レジスタ		8ビット×32レジスタ（8ビット×8レジスタ×4バンク）			
最小命令実行時間		0.04167 μs（高速オンチップ・オシレータ・クロック：f_{HOCO} = 48 MHz /f_{IH} = 24 MHz動作時）			
		0.04167 μs（PLLクロック：f_{PLL} = 48 MHz/f_{IH} = 24 MHz注2動作時）			
		0.05 μs（高速システム・クロック：f_{MX} = 20 MHz動作時）			
		－		30.5 μs（サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）	
命令セット		・データ転送（8/16ビット） ・加減／論理演算（8/16ビット） ・乗算（8ビット×8ビット） ・ローテート，バレル・シフト，ビット操作（セット，リセット，テスト，ブール演算）など			
I/Oポート	合計	22		38	
	CMOS入出力	16 (N-ch O.D.入出力[V_{DD}耐圧]：5)		28 (N-ch O.D.入出力[V_{DD}耐圧]：6)	
	CMOS入力	3		5	
	CMOS出力	－		1	
	N-ch O.D入出力（6 V耐圧）	3		4	
タイマ	16ビット・タイマ	4チャネル			
	ウォッチドッグ・タイマ	1チャネル			
	リアルタイム・クロック（RTC）	1チャネル注3			
	12ビット・インターバル・タイマ（IT）	1チャネル			
	タイマ出力	4本（PWM出力：3本）注4			
	RTC出力	－		1本 ・1 Hz（サブシステム・クロック：f_{SUB} =32.768 kHz）	

注1.　5.5 Kバイトの場合，セルフ・プログラミング機能使用時は約4.5 Kバイトになります（詳細は，**第3章　CPUアーキテクチャ**参照）。

2.　PLLクロック48 MHz動作時。システム・クロックは2/4/8分周になります。

3.　32ピン製品は低速オンチップ・オシレータ・クロック（f_{IL}）を利用した定周期割り込み機能のみ。

4.　使用チャネルの設定(マスタとスレーブの数）によって，PWM出力数は変わります（6. 9. 3　多重PWM出力機能としての動作参照）。

注意　周辺I/Oリダイレクション・レジスタ（PIOR）を00Hに設定時の機能概要です。

（2/2）

項　　目		32ピン		48ピン	
		R5F10JBC	R5F10KBC	R5F10JGC	R5F10KGC
クロック出力／ブザー出力		2本		2本	
		・2.93 kHz, 5.86 kHz, 11.7 kHz, 1.5 MHz, 3 MHz, 6 MHz, 12 MHz （メイン・システム・クロック：f_{MAIN} = 24 MHz動作時） ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz （サブシステム・クロック：f_{SUB} = 32.768 kHz動作時）			
8/10ビット分解能A/Dコンバータ		8チャネル		9チャネル	
シリアル・インタフェース		簡易SPI (CSI)：2チャネル／UART：1チャネル／簡易I^2C：2チャネル			
	I^2Cバス	1チャネル			
USB	ホスト	2チャネル	―	2チャネル	―
	ファンクション	1チャネル			
乗除・積和演算器		乗算　　：16ビット×16ビット ＝32ビット（符号付／符号なし） 除算　　：32ビット÷32ビット ＝32ビット（符号なし） 積和演算　：16ビット×16ビット＋32ビット ＝32ビット（符号付／符号なし）			
DMAコントローラ		2チャネル			
ベクタ割り込み要因	内部	20		20	
	外部	8		10	
キー割り込み		―		6	
リセット		・$\overline{\text{RESET}}$端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット			
パワーオン・リセット回路		・パワーオン・リセット　：1.51 V（TYP.） ・パワーダウン・リセット：1.50 V（TYP.）			
電圧検出回路		2.45 V～4.06 V（9段階）			
オンチップ・デバッグ機能		あり			
電源電圧		V_{DD} = 2.4～5.5 V			
動作周囲温度		T_A = －40～＋85 ℃（A：民生用途），T_A = －40～＋105 ℃（G：産業用途）			

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章　端子機能

2. 1　ポート機能

端子の入出力バッファ電源は，製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2－1　各端子の入出力バッファ電源

電源	対応する端子
V_{DD}	UDP0, UDM0, UDP1, UDM1以外のすべての端子
UV_{DD}	UDP0, UDM0, UDP1, UDM1

2. 1. 1　32ピン製品

（1/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P00	8-3-4	入出力	アナログ入力	ANI17/TI00/INTP8/ SI01/SDA01/ (SDAA0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能注。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00, P01の出力は，N-chオープン･ドレイン出力（V_{DD}耐圧）に設定可能。 P00, P01はアナログ入力に設定可能[注1]。
P01				ANI16/TO00/ INTP9/SCK01/ SCL01/(SCLA0)	
P16	7-1-3	入出力	入力ポート	TI01/TO01/INTP5/ UOVRCUR1[注2]	ポート1。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P17				TI02/TO02/ UVBUSEN1[注2]	
P20	4-3-3	入出力	アナログ入力	ANI0/AV_{REFP}	ポート2。 5ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注3]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/ (Ti03)/(TO03)/ (PCLBUZ0)	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン･ドレイン出力（V_{DD}耐圧）に設定可能。
P31	7-1-3			TI03/TO03/INTP4/ PCLBUZ0/UVBUSEN0[注2]	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。

注 1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　R5F10K製品には，搭載されていません。

3.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2/2）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/ TOOLRxD/SDA00/ (TI02)/(TO02)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50，P51の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/ TOOLTxD/(TI01)/ (TO01)	
P60	12-1-3	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62	12-1-2			－	
P70	7-1-3	入出力	入力ポート	PCLBUZ1/ UOVRCUR0[注1]	ポート7。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ入力ポート	ANI19/SO01/ (PCLBUZ1)	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120はアナログ入力に設定可能[注2]。 P120のみ，入力／出力の指定が可能。 P120のみ，入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。
UDP0	18-11-1	入出力	－	－	USBポート0のD+入出力端子です。 USBバスのD+端子に接続してください。
UDM0	18-11-1	入出力	－	－	USBポート0のD-入出力端子です。 USBバスのD-端子に接続してください。
UV_{BUS}	17-11-1	入力	－	－	USBケーブル接続モニタ端子です。 USBバスのVBUSに接続してください。 ファンクション動作時のVBUSの接続/切断を検出することができます。
UDP1[注1]	18-11-1	入出力	－	－	USBポート1のD+入出力端子です。 USBバスのD+端子に接続してください。
UDM1[注1]	18-11-1	入出力	－	－	USBポート1のD-入出力端子です。 USBバスのD-端子に接続してください。

注 1.　R5F10K製品には，搭載されていません。

2.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

2. 1. 2　48ピン製品

（1/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P00	8-3-4	入出力	入力ポート	TI00/(SDAA0)	ポート0。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P00, P01の入力はTTL入力バッファに設定可能。 P00，P01の出力はN-chオープン･ドレイン出力（V_{DD}耐圧）に設定可能。 P00, P01はアナログ入力に設定可能[注1]。
P01				TO00/(SCLA0)	
P14	7-1-3	入出力	入力ポート	UOVRCUR0[注2]	ポート1。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P15				PCLBUZ1/ UVBUSEN0[注2]	
P16				TI01/TO01/INTP5/ UOVRCUR1[注2]	
P17				TI02/TO02/UVBUSEN1[注2]	
P20	4-3-3	入出力	アナログ入力ポート	ANI0/AV_{REFP}	ポート2。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 アナログ入力に設定可能[注3]。
P21				ANI1/AV_{REFM}	
P22				ANI2	
P23				ANI3	
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/ SCL00	ポート3。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン･ドレイン出力（V_{DD}耐圧）に設定可能。
P31	7-1-3			TI03/TO03/INTP4	
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
P41				(TI03)/(TO03)/(INTP4)/ (PCLBUZ1)	

注 1.　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

2.　R5F10K製品には，搭載されていません。

3.　各端子をデジタル／アナログのいずれにするかは，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で設定します。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（2/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P50の入力はTTLに設定可能。 P50，P51の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD	
P60	12-1-3	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 N-chオープン・ドレイン出力（6 V耐圧）
P61				SDAA0	
P62	12-1-2			－	
P63				－	
P70	7-1-3	入出力	入力ポート	KR0	ポート7。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P74の出力はN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能。
P71				KR1/(TI01)/(TO01)/(INTP5)	
P72				KR2/(TI02)/(TO02)	
P73				KR3/SO01	
P74	7-1-4			KR4/INTP8/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P120	7-3-3	入出力	アナログ入力ポート	ANI19	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ，入力／出力の指定が可能。 P120のみ，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。 P120はアナログ入力に設定可能[注]。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	－	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 1ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは，ソフトウエアの設定により，内蔵プルアップ抵抗を使用可能。
$\overline{\text{RESET}}$	2-1-1	入力	－	－	外部リセット用の入力専用端子。 外部リセットを使用しない場合は，直接または抵抗を介してV_{DD}に接続してください。

注　各端子をデジタル／アナログのいずれにするかは，ポート・モード・コントロール・レジスタx（PMCx）で設定します。（1ビット単位で設定可能）

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。詳細は，図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマットを参照してください。

（3/3）

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機　　能
UDP0	18-11-1	入出力	－	－	USBポート0のD+入出力端子です。 USBバスのD+端子に接続してください。
UDM0	18-11-1	入出力	－	－	USBポート0のD-入出力端子です。 USBバスのD-端子に接続してください。
UV_{BUS}	17-11-1	入力	－	－	USBケーブル接続モニタ端子です。 USBバスのVBUSに接続してください。 ファンクション動作時のVBUSの接続/切断を検出することができます。
UDP1[注]	18-11-1	入出力	－	－	USBポート1のD+入出力端子です。 USBバスのD+端子に接続してください。
UDM1[注]	18-11-1	入出力	－	－	USBポート1のD-入出力端子です。 USBバスのD-端子に接続してください。

注　R5F10K製品には，搭載されていません。

2. 2　ポート以外の機能

（1/2）

機能名称	入出力	機　　能	48-pin	32-pin
ANI0	入力	A/Dコンバータのアナログ入力	○	○
ANI1			○	○
ANI2			○	○
ANI3			○	○
ANI4			○	○
ANI5			○	−
ANI6			○	−
ANI7			○	−
ANI16			−	○
ANI17			−	○
ANI19			○	○
EXCLK	入力	メイン・システム・クロック用外部クロック入力	○	○
EXCLKS	入力	サブシステム・クロック用外部クロック入力	○	−
INTP0	入力	外部割り込み入力	○	○
INTP1			○	○
INTP2			○	○
INTP3			○	○
INTP4			○	○
INTP5			○	○
INTP6			○	−
INTP8			○	○
INTP9			○	○
KR0	入力	キー割り込み入力	○	−
KR1			○	−
KR2			○	−
KR3			○	−
KR4			○	−
KR5			○	−
PCLBUZ0	出力	クロック出力／ブザー出力	○	○
PCLBUZ1			○	○
REGC	−	内部動作用レギュレータ出力安定容量接続。 コンデンサ（0.47～1 μF）を介し，V_{SS}に接続してください。	○	○
RTC1HZ	出力	リアルタイム・クロック補正クロック（1 Hz）出力	○	−
$\overline{\text{RESET}}$	入力	外部リセット入力	○	○
RxD0	入力	UART0のシリアル・データ入力	○	○
SCK00	入出力	CSI00のクロック入力／出力	○	○
SCK01			○	○
SCLA0	入出力	IICA0のクロック入力／出力	○	○
SCL00	出力	IIC00, IIC01簡易I^2Cのクロック出力	○	○
SCL01			○	○
SDAA0	入出力	IICA0のシリアル・データ入出力	○	○
SDA00	入出力	IIC00, IIC01のシリアル・データ入出力	○	○
SDA01			○	○

（2/2）

機能名称	入出力	機　　能	48-pin	32-pin
SI00	入力	CSI00, CSI01のシリアル・データ入力	○	○
SI01			○	○
SO00	出力	CSI00, CSI01のシリアル・データ出力	○	○
SO01			○	○
TI00	入力	16ビット・タイマ00への外部カウント・クロック入力	○	○
TI01		16ビット・タイマ01への外部カウント・クロック入力	○	○
TI02		16ビット・タイマ02への外部カウント・クロック入力	○	○
TI03		16ビット・タイマ03への外部カウント・クロック入力	○	○
TO00	出力	16 ビット・タイマ00出力	○	○
TO01		16 ビット・タイマ01出力	○	○
TO02		16 ビット・タイマ02出力	○	○
TO03		16 ビット・タイマ03出力	○	○
TxD0	出力	UART0のシリアル・データ出力	○	○
X1	－	メイン・システム・クロック用発振子接続	○	○
X2	－		○	○
XT1	－	サブシステム・クロック用発振子接続	○	－
XT2	－		○	－
V_{DD}	－	すべての端子の正電源	○	○
AV_{REFP}	入力	A/Dコンバータの基準電位（＋側）入力	○	○
AV_{REFM}	入力	A/Dコンバータの基準電位（－側）入力	○	○
V_{SS}	－	すべての端子のグランド電位	○	○
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART受信端子	○	○
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UART送信端子	○	○
TOOL0	入出力	フラッシュ・メモリ・プログラマ／デバッガ用データ入出力	○	○
UV_{DD}	－	USB用電源	○	○
UV_{BUS}	入力	VBUS入力	○	○
UDP0	入出力	USBデータ入出力（＋側）（USBポート0）	○	○
UDM0	入出力	USBデータ入出力（－側）（USBポート0）	○	○
UDP1	入出力	USBデータ入出力（＋側）（USBポート1）	○注	○注
UDM1	入出力	USBデータ入出力（－側）（USBポート1）	○注	○注
UVBUSEN0	出力	VBUS供給許可出力（USBポート0用）	○注	○注
UOVRCUR0	入力	オーバカレント検出入力（USBポート0用）	○注	○注
UVBUSEN1	出力	VBUS供給許可出力（USBポート1用）	○注	○注
UOVRCUR1	入力	オーバカレント検出入力（USBポート1用）	○注	○注

注　R5F10K製品には，搭載されていません。

2. 3　未使用端子の処理

各端子の未使用端子の処理を表2－3に示します。

備考　製品により，搭載している端子が異なります。1. 3　端子接続図（Top View），2. 1　ポート機能を参照してください。

表2－3　各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00, P01	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続 出力時：オープン
P14-P17	入出力	
P20-P27	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続 出力時：オープン
P30, P31	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続 出力時：オープン
P40	入出力	入力時：個別に抵抗を介して，V_{DD}接続またはオープン 出力時：オープン
P41	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続 出力時：オープン
P50, P51	入出力	
P60-P63	入出力	
P70-P75	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続 出力時：オープン
P120	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続 出力時：オープン
P121-P124	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続
P130	出力	オープン
P137	入力	個別に抵抗を介して，V_{DD}またはV_{SS}に接続
P140	入出力	入力時：個別に抵抗を介して，V_{DD}またはV_{SS}に接続 出力時：オープン
$\overline{\text{RESET}}$	入力	V_{DD}に直接接続または抵抗を介して接続
REGC	－	コンデンサ（0.47～1.0 μF）を介して，V_{SS}に接続
UV_{DD}	－	USB電源未使用時はV_{DD}に直接接続または，外部から3.3 Vを入力 USB電源を内部で生成する場合は，コンデンサ（0.33 μF）を介してV_{SS}に接続
UV_{BUS}	入力	個別に抵抗を介して，V_{SS}に接続
★ UDM0, UDP0	入出力	オープン
UDM1[注], UDP1[注]	入出力	

注　R5F10K製品には，搭載されていません。

備考　上図の（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

2.4　端子ブロック図

2.1.1　32ピン製品，2.1.2　48ピン製品に記載した端子タイプについて，端子ブロック図を図2－1～図2－13に示します。

図2－1　端子タイプ　1-1-1の端子ブロック図

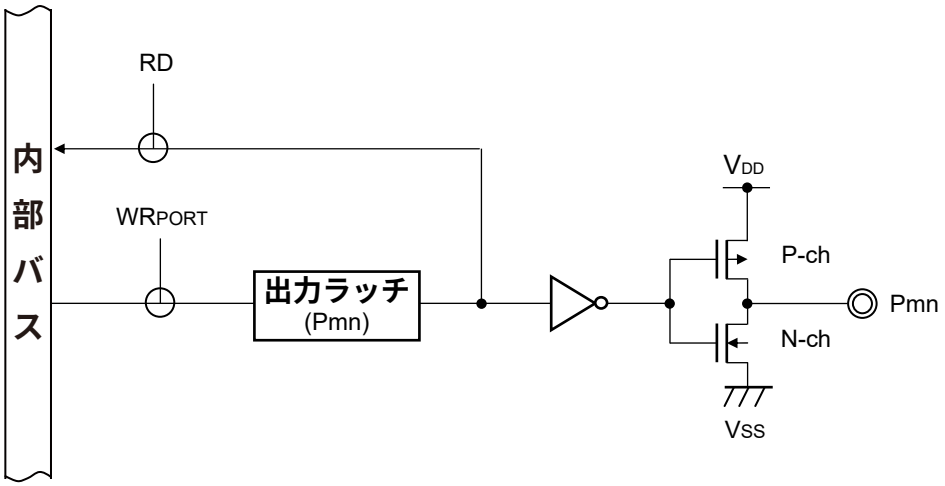


図2－2　端子タイプ　2-1-1の端子ブロック図

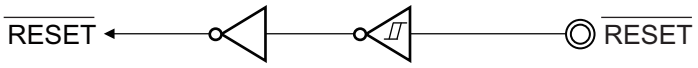
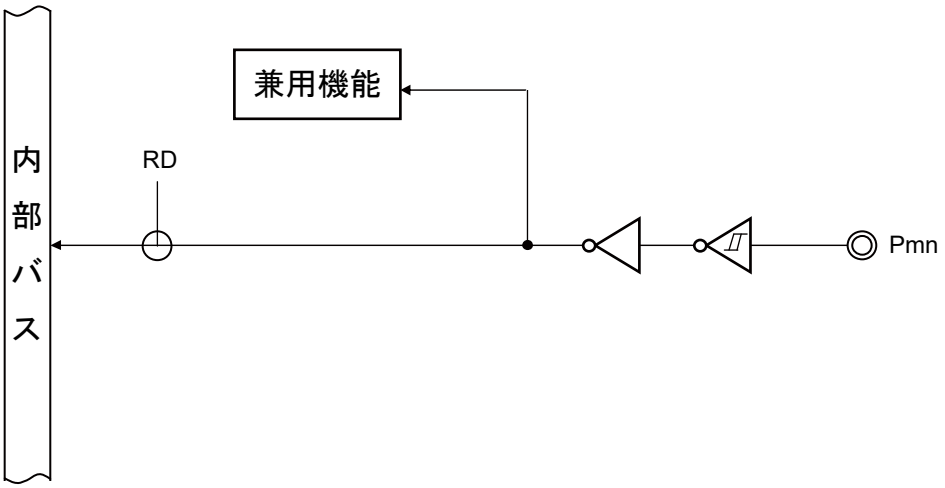
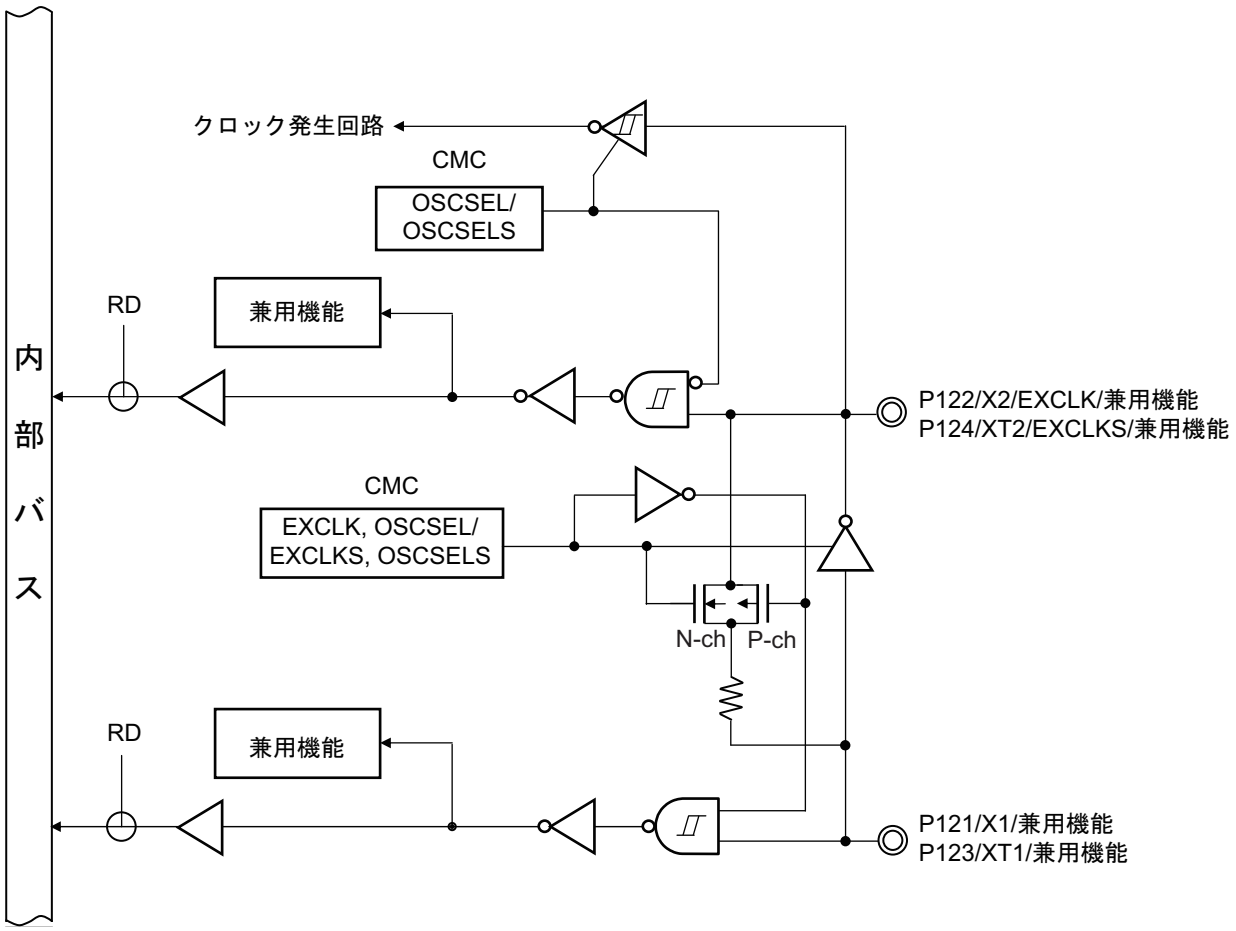


図2－3　端子タイプ　2-1-2の端子ブロック図



備考　兼用機能は，2.1　ポート機能を参照してください。

図2－4　端子タイプ　2-2-1の端子ブロック図



備考　兼用機能は，2. 1　ポート機能を参照してください。

図2－5　端子タイプ　4-3-3の端子ブロック図

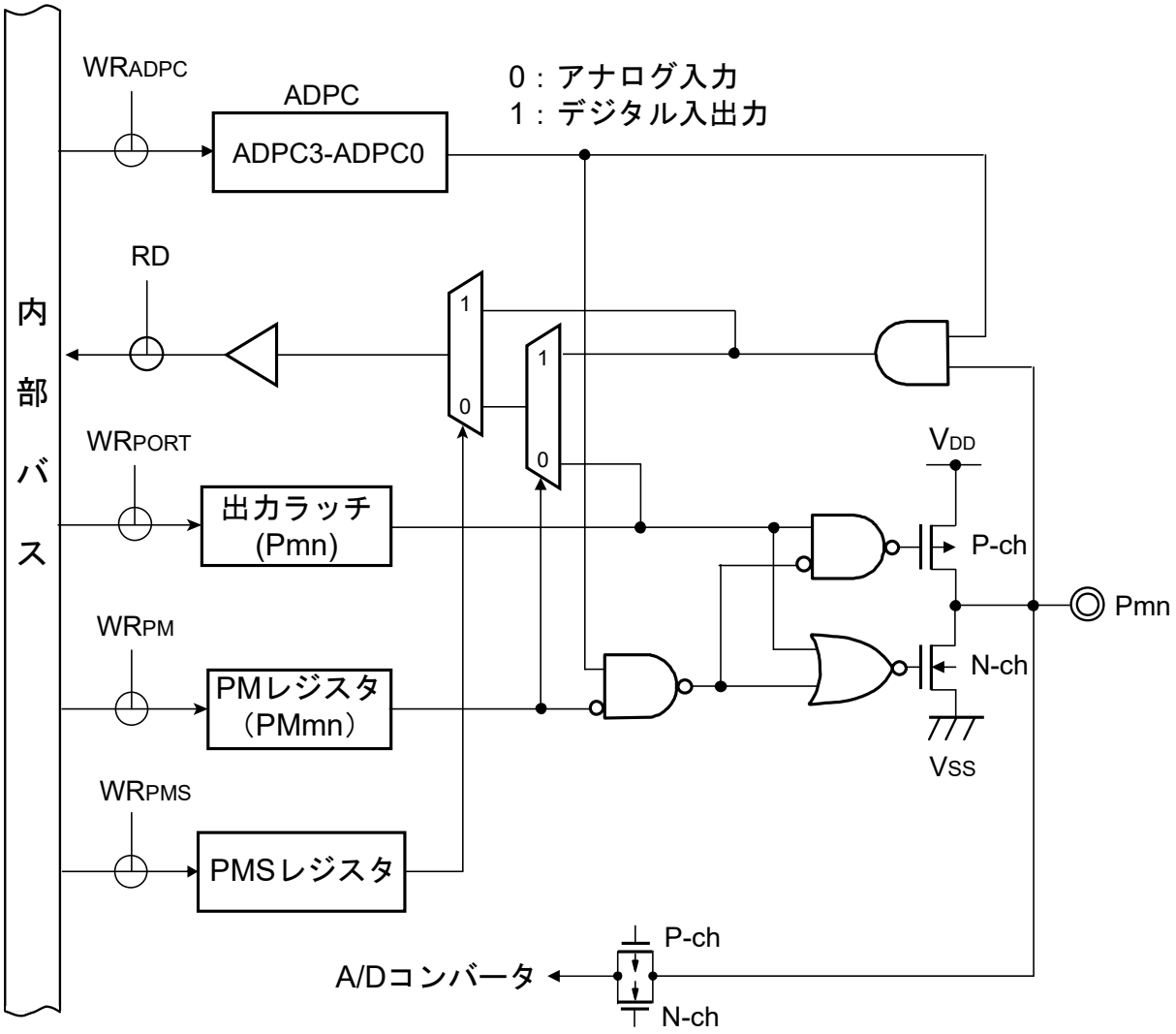
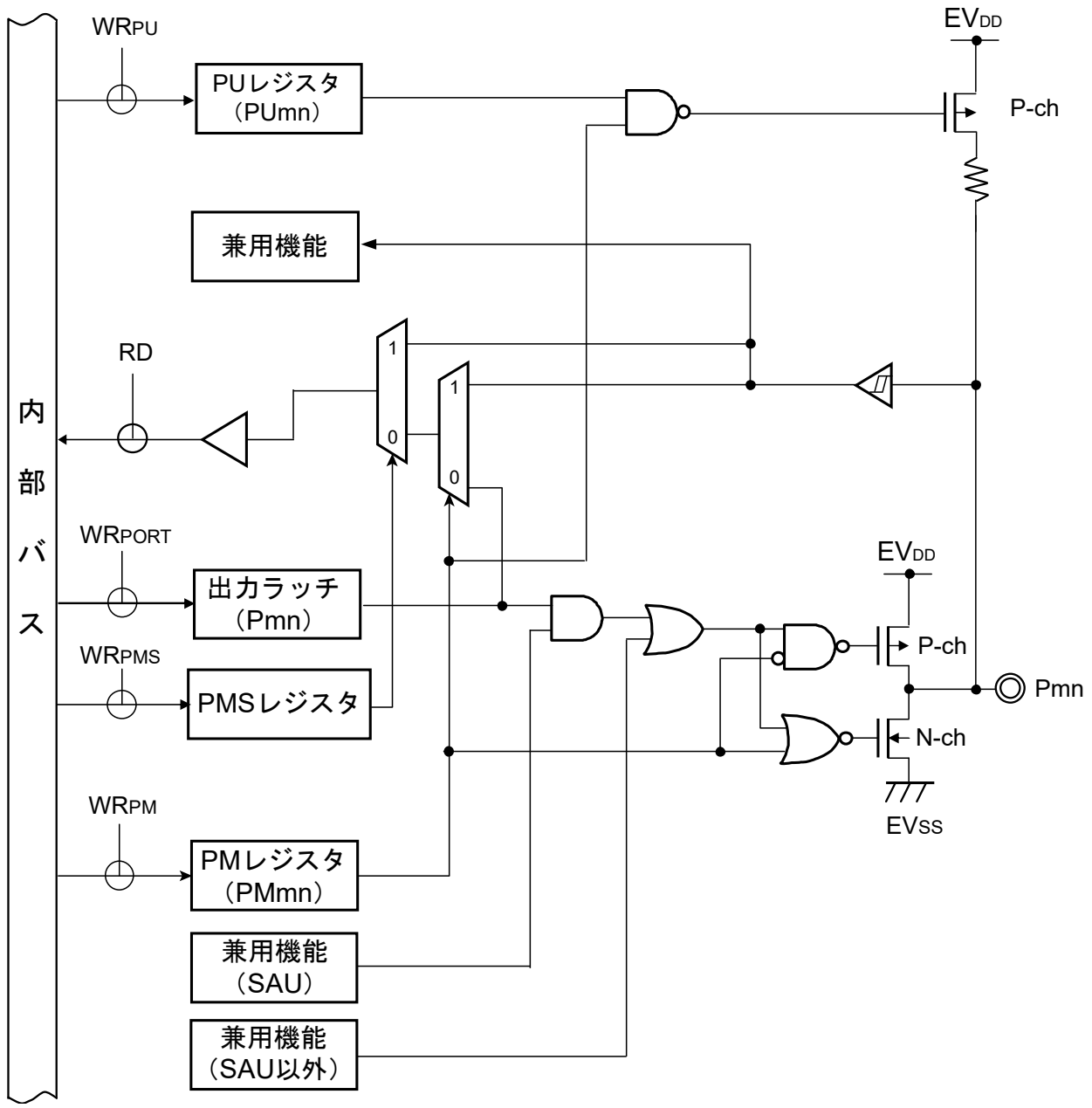


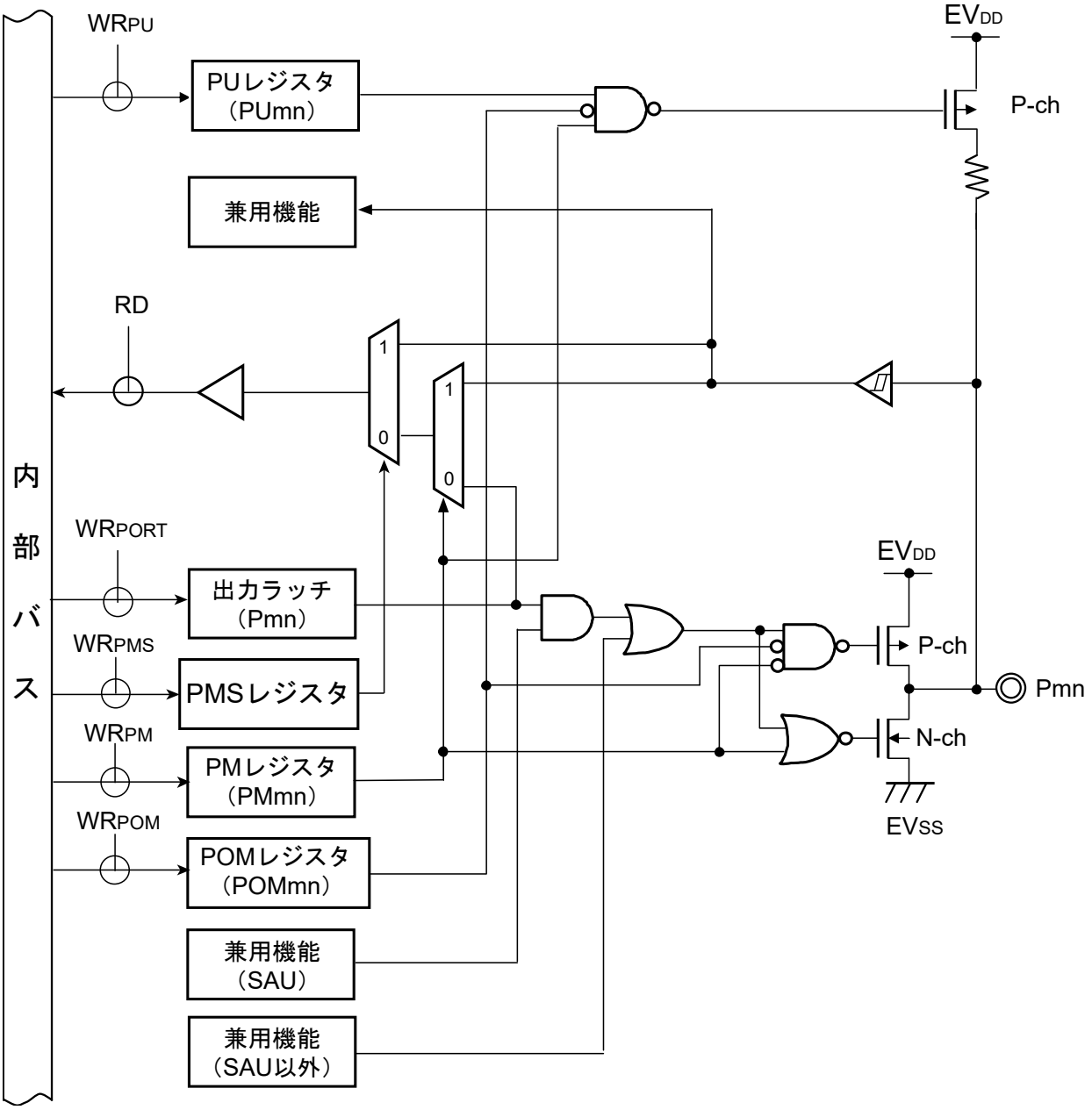
図2－6　端子タイプ　7-1-3の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－7　端子タイプ　7-1-4の端子ブロック図

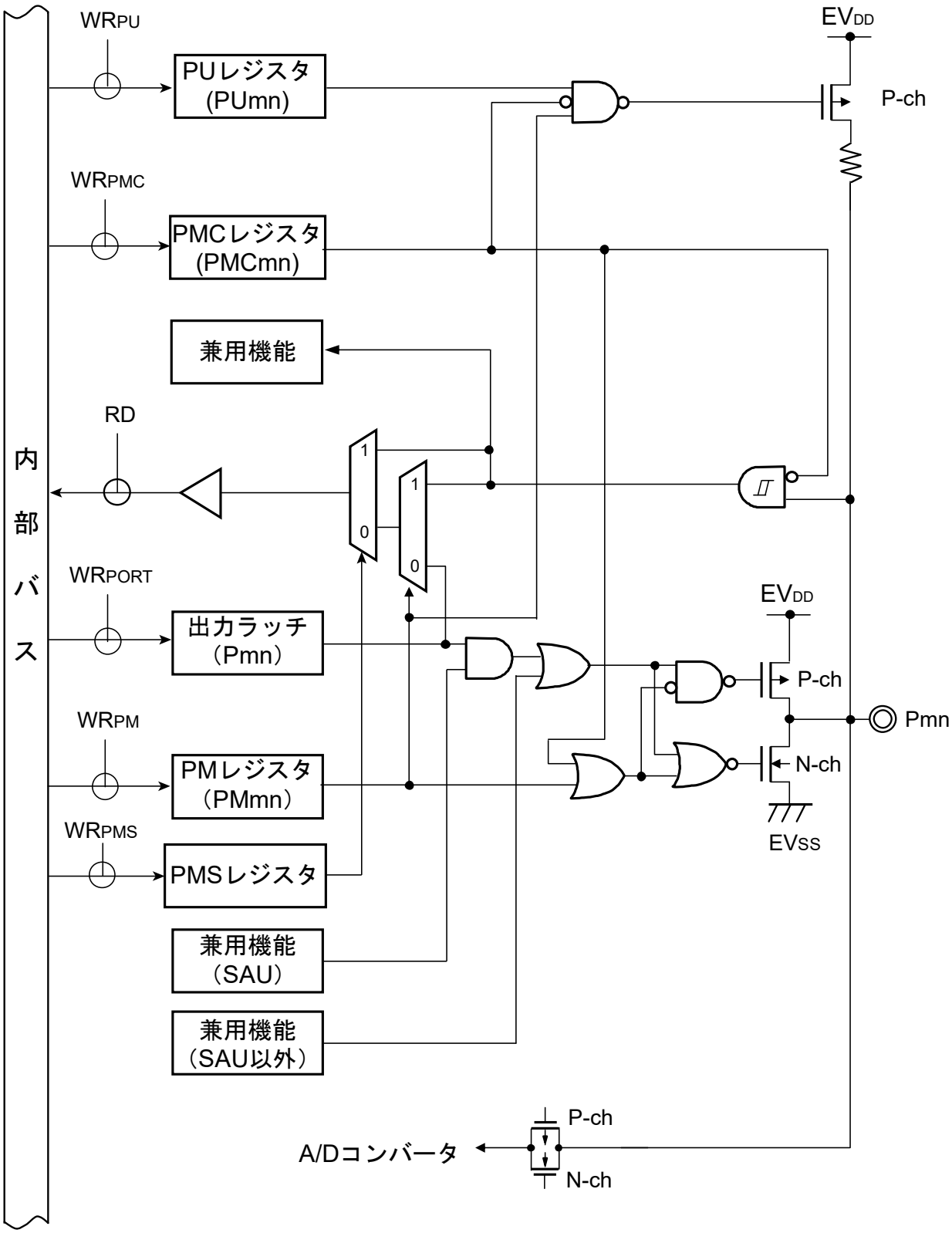


注意　ポート出力モード・レジスタ(POMx)でN-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

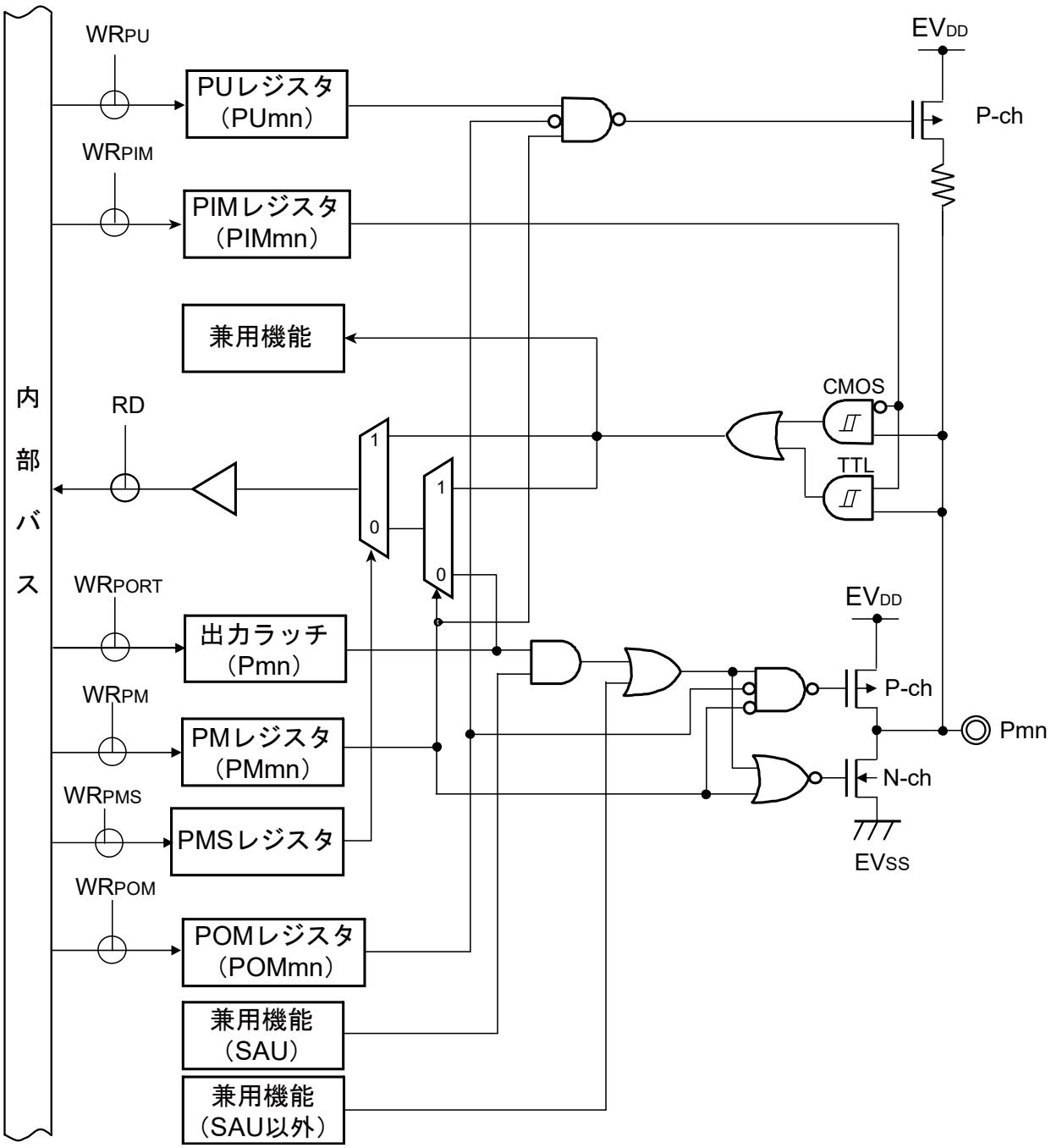
図2－8　端子タイプ　7-3-3の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－9　端子タイプ　8-1-4の端子ブロック図



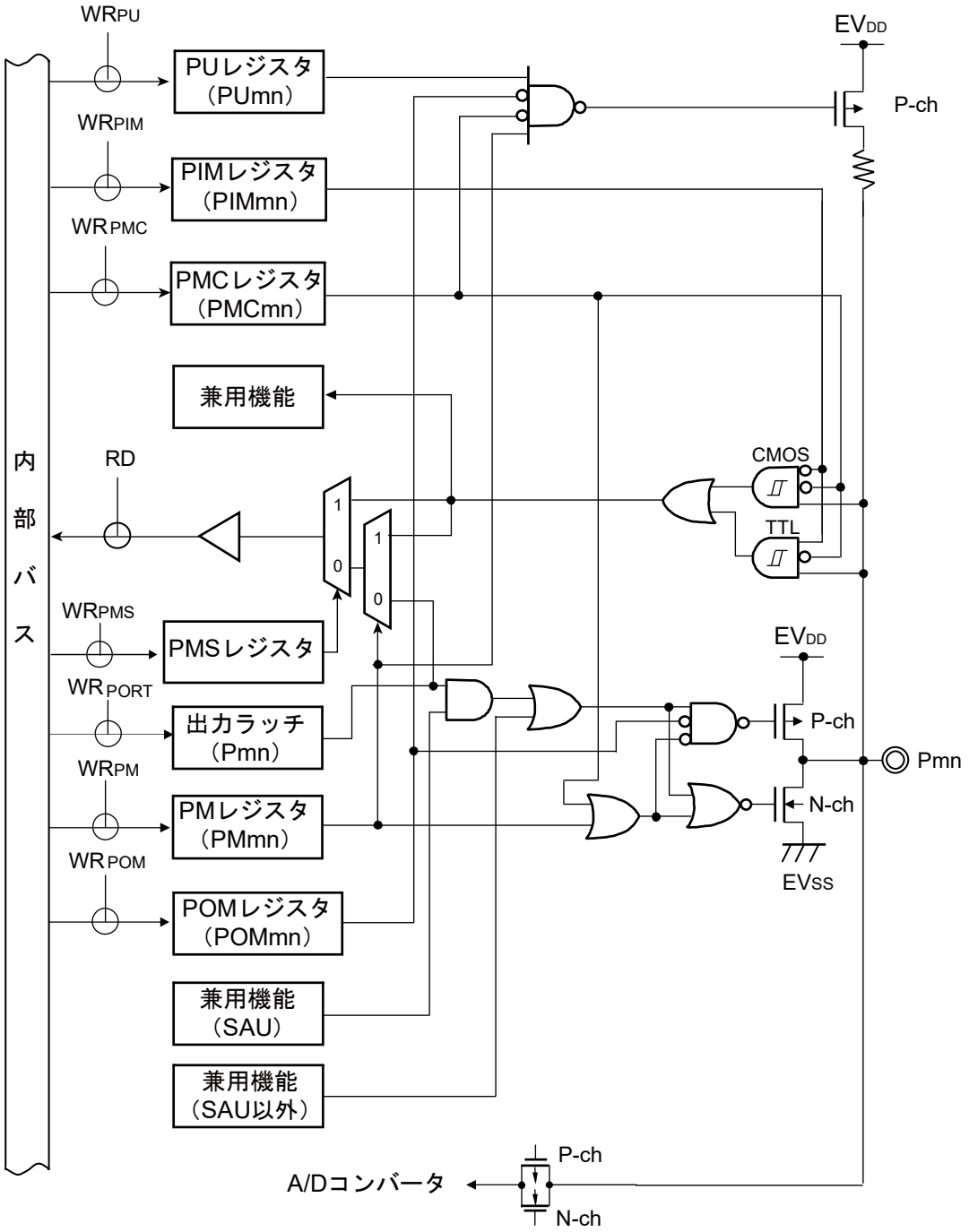
注意1.　ポート出力モード・レジスタ(POMx)でN-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

2.　ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－10　端子タイプ　8-3-4の端子ブロック図



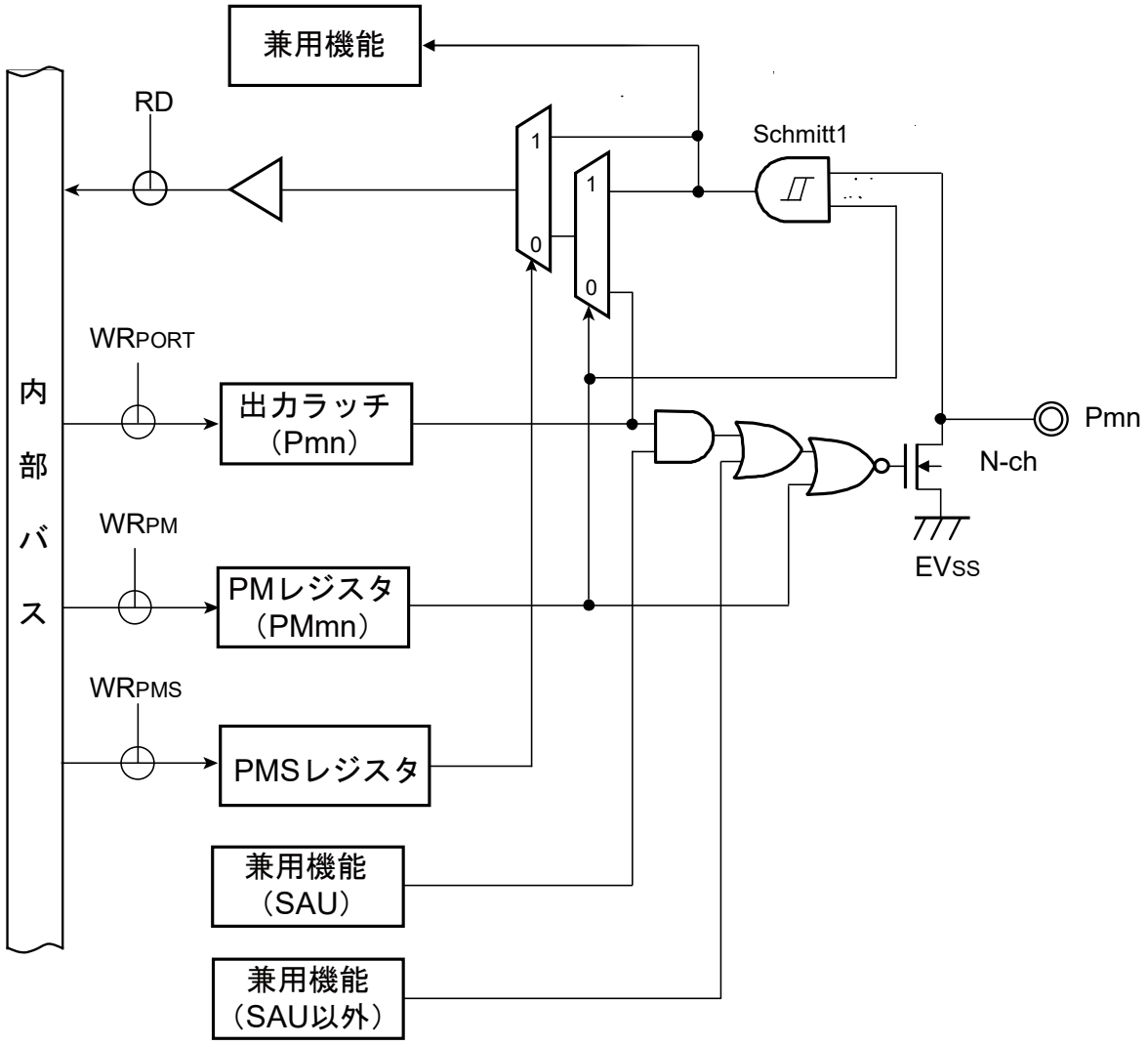
注意1.　ポート出力モード・レジスタ(POMx)でN-ch オープン・ドレイン出力モード設定時は，出力モード時においても，入力バッファがオンになっているため，中間電位となった場合，貫通電流が流れることがあります。

2.　ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイレベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ローレベルを入力してください。

備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

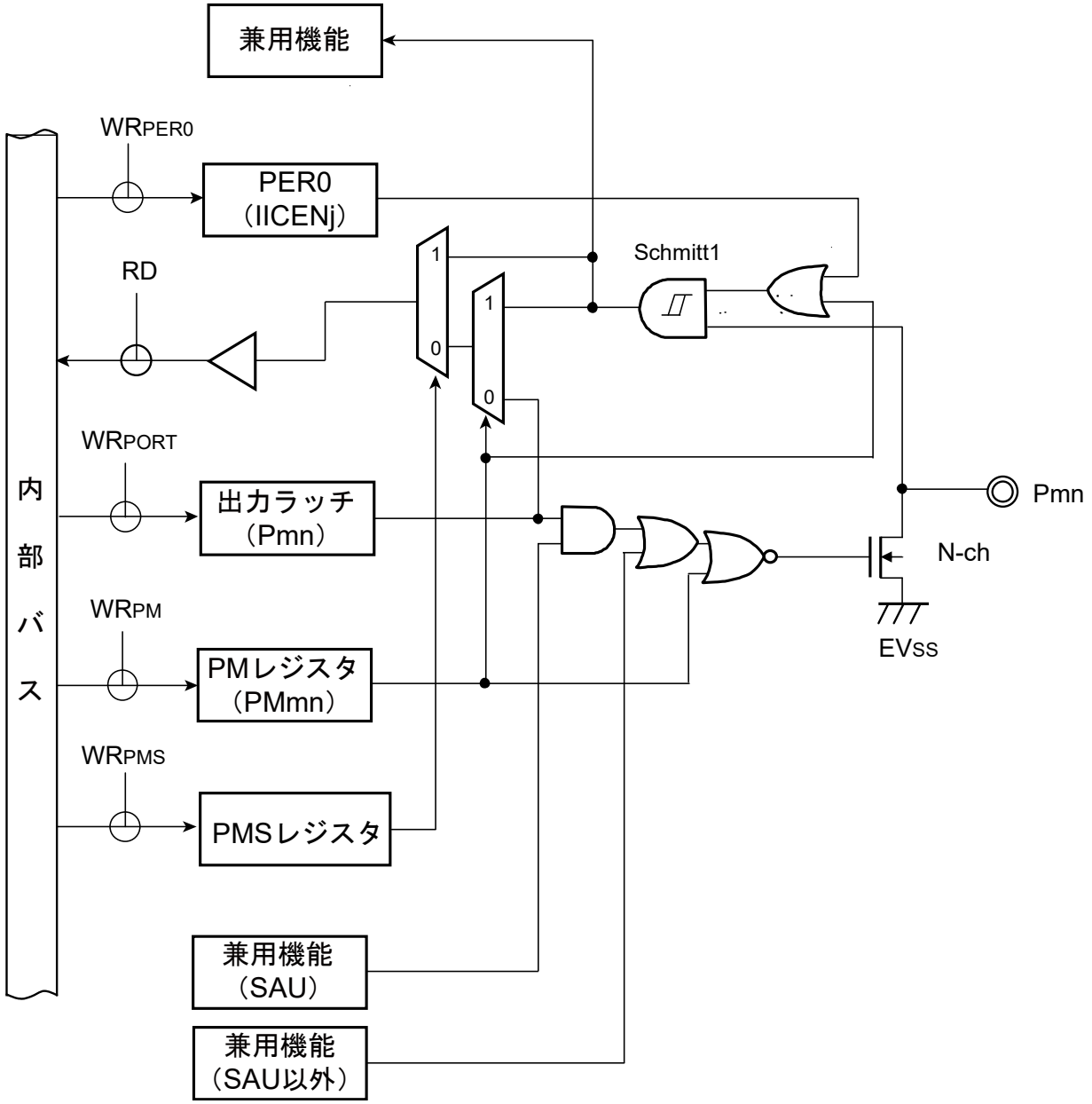
図2－11　端子タイプ　12-1-2の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－12　端子タイプ　12-1-3の端子ブロック図



備考1.　兼用機能は，2. 1　ポート機能を参照してください。

2.　SAU：シリアル・アレイ・ユニット

図2－13　端子タイプ　17-11-1の端子ブロック図

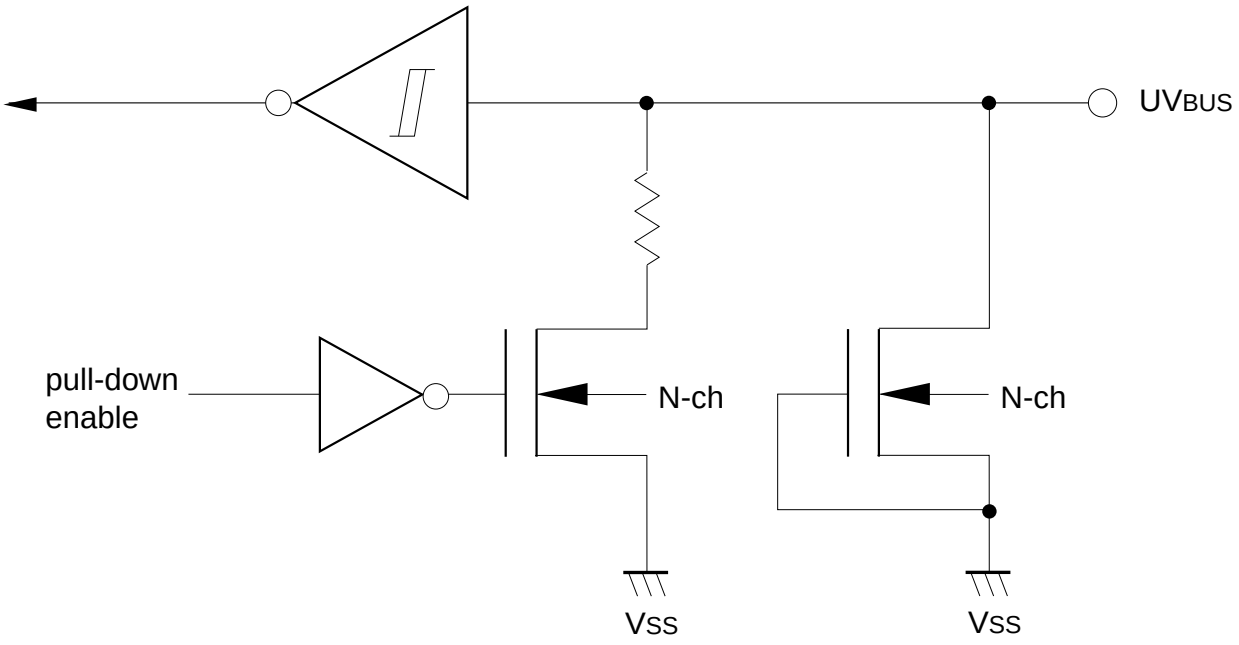
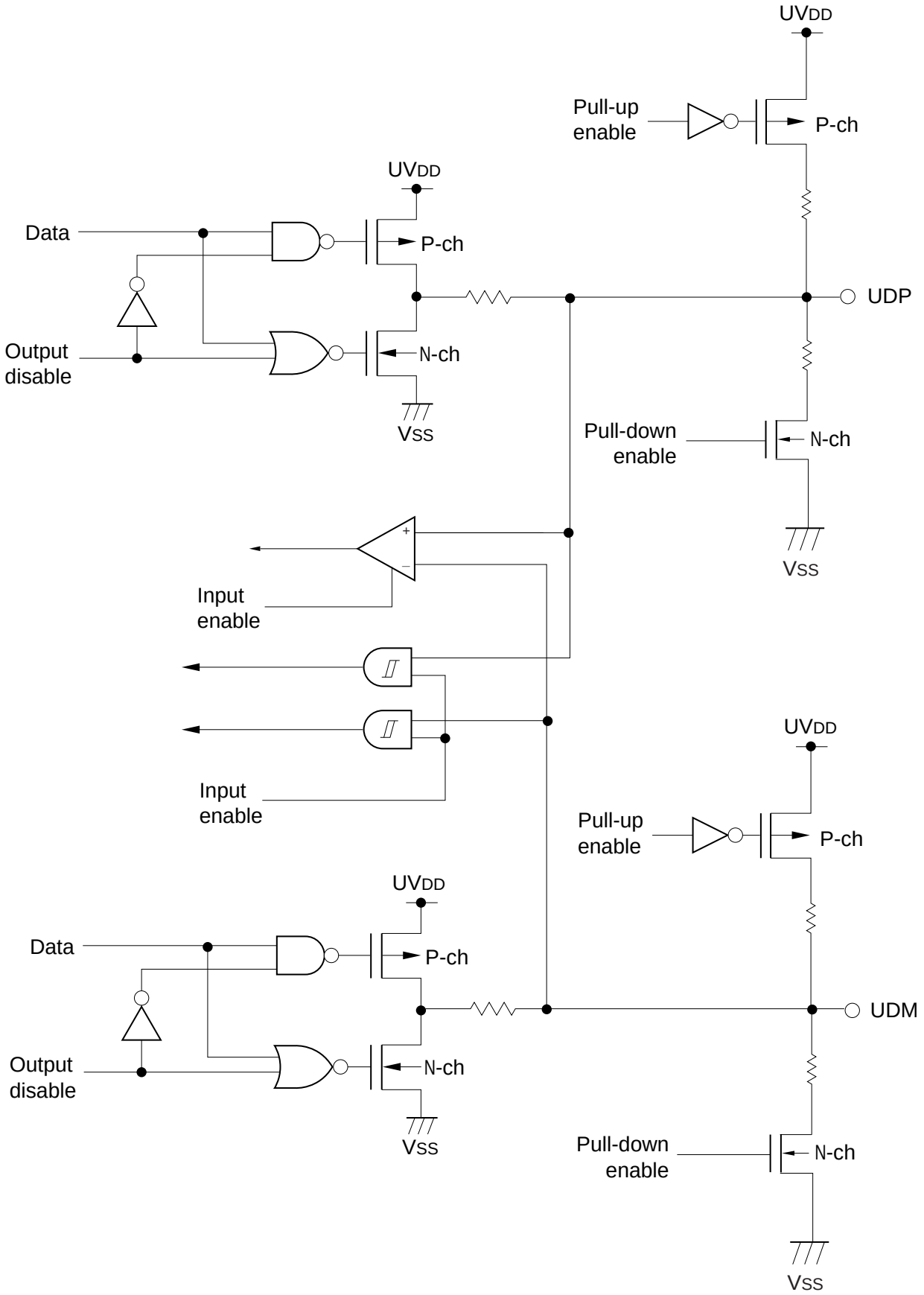


図2－14　端子タイプ　18-11-1の端子ブロック図

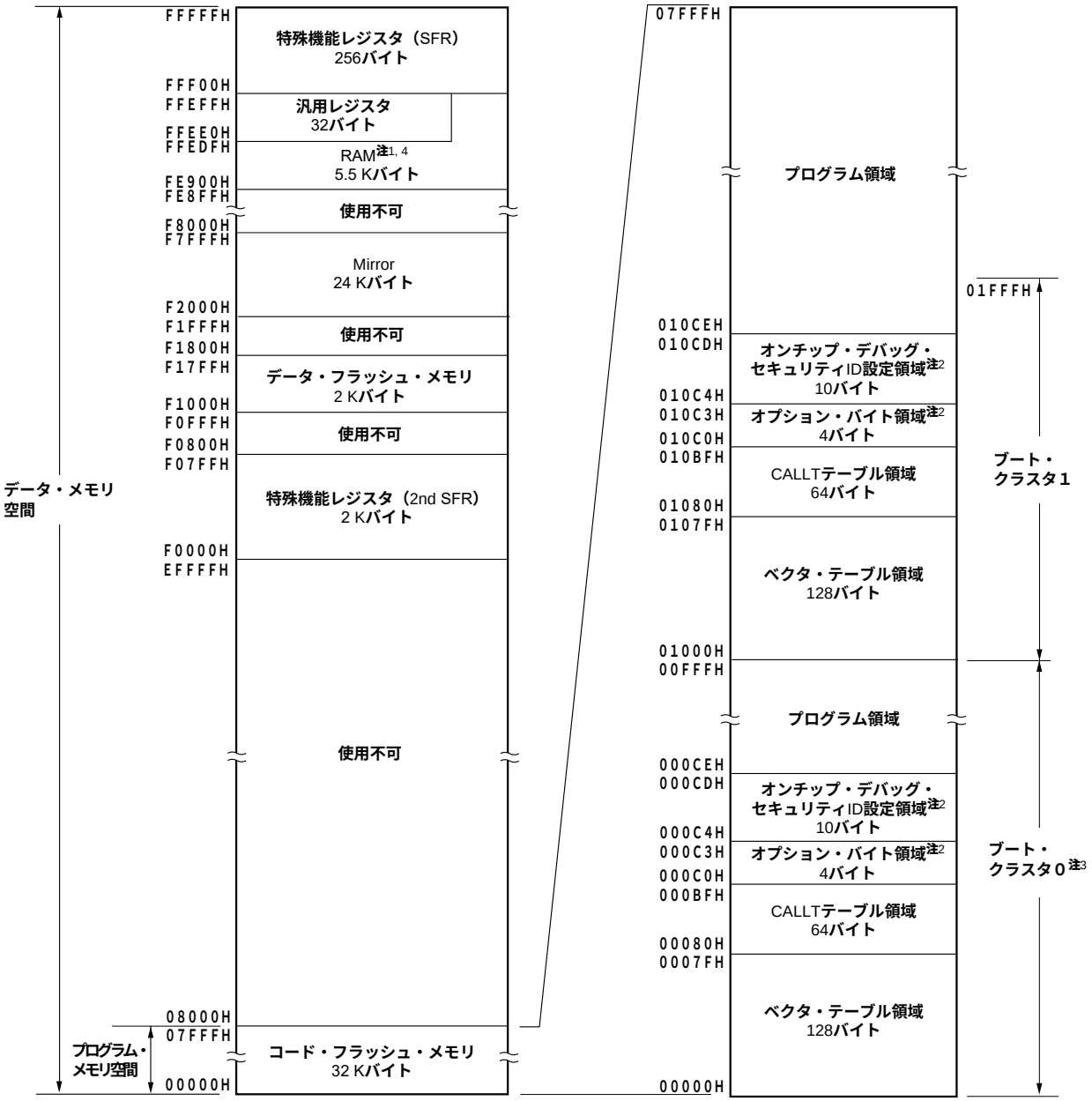


第3章　CPUアーキテクチャ

3. 1　メモリ空間

RL78/G1Cは，1 Mバイトのアドレス空間をアクセスできます。図3－1に，メモリ・マップを示します。

図3－1　メモリ・マップ



注1.　汎用レジスタを除いたRAM領域から命令実行をすることができます。

2.　ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定

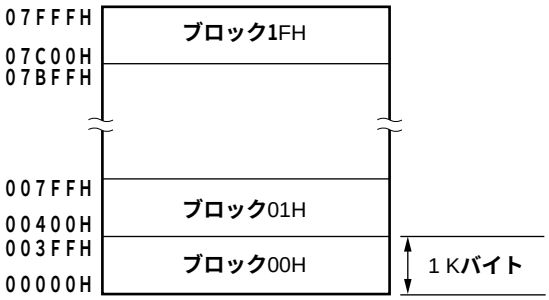
ブート・スワップ使用時　：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

3.　セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます（26. 6　セキュリティ設定を参照）。

4.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注意　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合，データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，23. 3. 3　RAMパリティ・エラー検出機能を参照してください。

備考　フラッシュ・メモリはブロックごとに分かれています（1ブロック ＝1 Kバイト）。アドレス値とブロック番号については，表3－1　フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3－1　フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号
00000H-003FFH	00H
00400H-007FFH	01H
00800H-00BFFH	02H
00C00H-00FFFH	03H
01000H-013FFH	04H
01400H-017FFH	05H
01800H-01BFFH	06H
01C00H-01FFFH	07H
02000H-023FFH	08H
02400H-027FFH	09H
02800H-02BFFH	0AH
02C00H-02FFFH	0BH
03000H-033FFH	0CH
03400H-037FFH	0DH
03800H-03BFFH	0EH
03C00H-03FFFH	0FH
04000H-043FFH	10H
04400H-047FFH	11H
04800H-04BFFH	12H
04C00H-04FFFH	13H
05000H-053FFH	14H
05400H-057FFH	15H
05800H-05BFFH	16H
05C00H-05FFFH	17H
06000H-063FFH	18H
06400H-067FFH	19H
06800H-06BFFH	1AH
06C00H-06FFFH	1BH
07000H-073FFH	1CH
07400H-077FFH	1DH
07800H-07BFFH	1EH
07C00H-07FFFH	1FH

3. 1. 1　内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G1Cは，次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3－2　内部ROM容量

製　　品	内部ROM	
	構　　造	容　　量
R5F10JBxxxx（xxxx = CANA, CAFP, CGNA, CGFP）， R5F10KBxxxx（xxxx = CANA, CAFP, CGNA, CGFP）， R5F10JGxxxx（xxxx = CANA, CAFB, CGNA, CGFB）， R5F10KGxxxx（xxxx = CANA, CAFB, CGNA, CGFB）	フラッシュ・メモリ	32768×8ビット（00000H-07FFFH）

内部プログラム・メモリ空間には，次に示す領域を割り付けています。

（1）ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には，リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また，ベクタ・コードは2バイトで，かつ08000H-0FFFFHは使用不可のため，割り込みのとび先アドレスは，00000H-07FFFHの32 Kアドレスとなります。

16ビット･アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には，01000H-0107FHにもベクタ・テーブルを設定してください。

表3－3　ベクタ・テーブル（1/2）

ベクタ・テーブル・アドレス	割り込み要因	48ピン	32ピン
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RAMTOP	○	○
00004H	INTWDTI	○	○
00006H	INTLVI	○	○
00008H	INTP0	○	○
0000AH	INTP1	○	○
0000CH	INTP2	○	○
0000EH	INTP3	○	○
00010H	INTP4	○	○
00012H	INTP5	○	○
0001AH	INTDMA0	○	○
0001CH	INTDMA1	○	○
0001EH	INTST0/INTCSI00/INTIIC00	○	○
00020H	INTTM00	○	○
00022H	INTSR0/INTCSI01/INTIIC01	○	○
00024H	INTSRE0	○	○
	INTTM01H	○	○
0002AH	INTTM03H	○	○
0002CH	INTIICA0	○	○
0002EH	INTTM01	○	○
00030H	INTTM02	○	○
00032H	INTTM03	○	○
00034H	INTAD	○	○
00036H	INTRTC	○	○
00038H	INTIT	○	○
0003AH	INTKR	○	－
0003CH	INTUSB	○	○
0003EH	INTRSUM	○	○

表3－3　ベクタ・テーブル（2/2）

ベクタ・テーブル・アドレス	割り込み要因	48ピン	32ピン
0004AH	INTP6	○	－
0004EH	INTP8	○	○
00050H	INTP9	○	○
0005EH	INTMD	○	○
00062H	INTFL	○	○
0007EH	BRK	○	○

（2）CALLT命令テーブル領域

00080H-000BFHの64バイト領域には，2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-07FFFH内の値を設定してください（アドレス・コードは2バイト，かつ08000H-0FFFFHは使用不可のため）。

ブート・スワップを使用する際には，01080H-010BFHにもCALLT命令テーブルを設定してください。

（3）オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第25章　オプション・バイトを参照してください。

（4）オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH，010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに，ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は第27章　オンチップ・デバッグ機能を参照してください。

3. 1. 2　ミラー領域

RL78/G1Cでは，02000H-07FFFHのコード・フラッシュ・エリアをF2000H-F7FFFHへミラーさせています。

ミラー先のF2000H-F7FFFHからデータを読み出すことにより，オペランドにESレジスタを持たない命令を使用することができるため，短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし，SFR，拡張SFR，RAM領域，使用不可領域にはミラーされません。

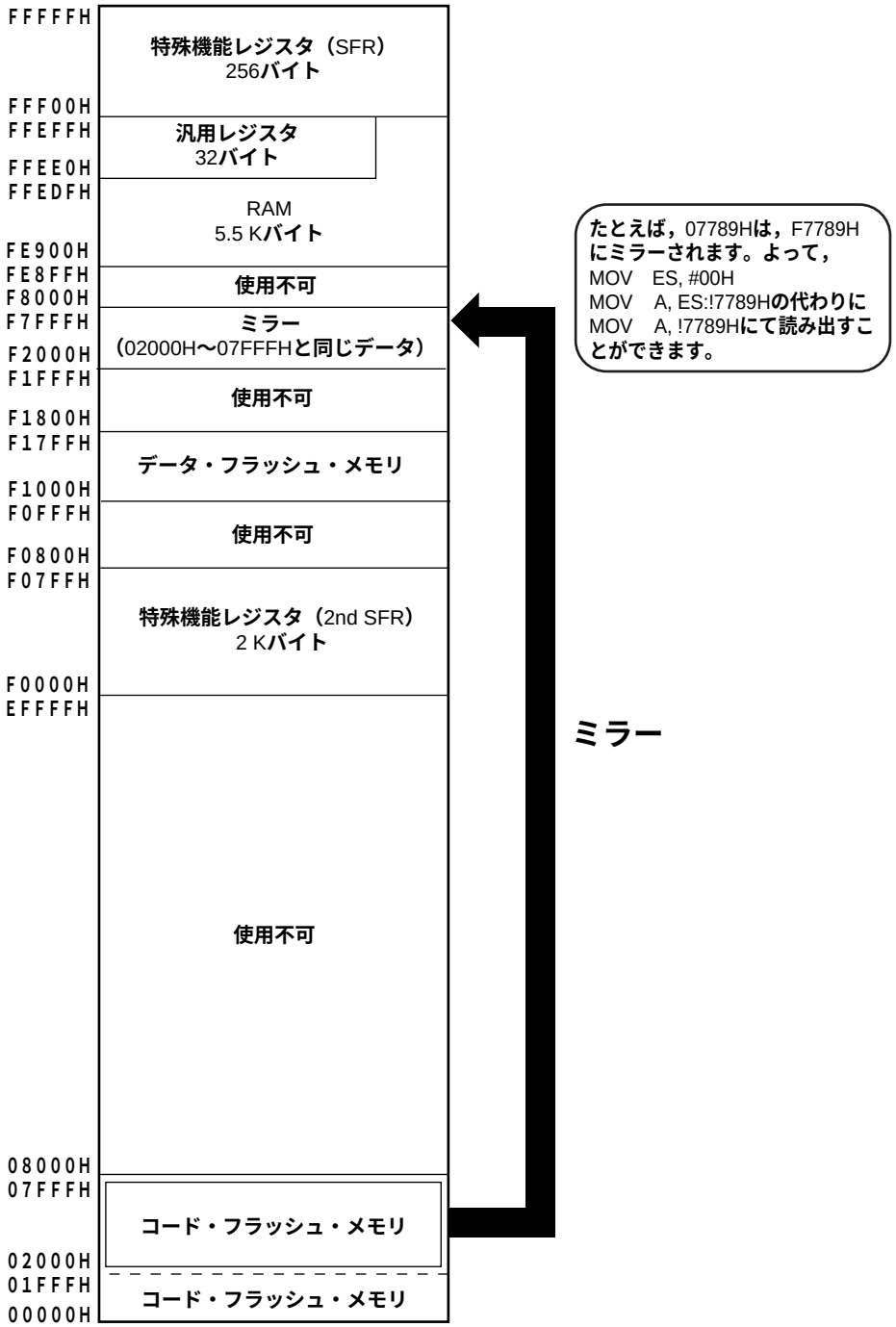
ミラー領域は，3. 1　メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で，命令フェッチはできません。

次に例を示します。

例　R5F10JBxxxx　（xxxx = CANA, CAFP, CGNA, CGFP）

（フラッシュ・メモリ 32 Kバイト，RAM 5.5 Kバイト）の場合



次に，PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ（PMC）

F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。

PMCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図3－2　プロセッサ・モード・コントロール・レジスタ（PMC）のフォーマット

アドレス：FFFFEH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFHへミラー
1	設定禁止

注意　必ずビット0（MAA）を0（初期値）でご使用ください。

3. 1. 3　内部データ・メモリ空間

RL78/G1Cは，次に示すRAMを内蔵しています。

表3－4　内部RAM容量

製　　品	内部RAM
R5F10JBxxxx（xxxx = CANA, CAFP, CGNA, CGFP）， R5F10KBxxxx（xxxx = CANA, CAFP, CGNA, CGFP）， R5F10JGxxxx（xxxx = CANA, CAFB, CGNA, CGFB）， R5F10KGxxxx（xxxx = CANA, CAFB, CGNA, CGFB）	5632×8ビット（FE900H-FFEFFH）

内部RAMは，データ領域として使用できるほか，プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には，8ビット・レジスタ8個を1バンクとする汎用レジスタが，4バンク割り付けられます。

また，スタック・メモリは内部RAMを使用します。

注意1.　汎用レジスタが割り当てられている空間（FFEE0H-FFEFFH）は，命令フェッチやスタックの領域に使用できません。

2.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

3.　セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，RAMアドレスFE900H-FED09Hの領域は，各ライブラリで使用するため使用禁止になります。

3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域

FFF00H-FFFFFHの領域には，オン・チップ周辺ハードウエアの特殊機能レジスタ（SFR）が割り付けられています（3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）の表3－5参照）。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域

F0000H-F07FFHの領域には，オン・チップ周辺ハードウエアの拡張特殊機能レジスタ（2nd SFR）が割り付けられています（3. 2. 5　拡張特殊機能レジスタ（2nd SFR : 2nd Special Function Register）の表3－6参照）。

SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

注意1.　拡張SFRが割り付けられていないアドレスにアクセスしないでください。

2.　2nd SFRのF0400H-F04FFHに配置しているレジスタへのアクセス時に，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。

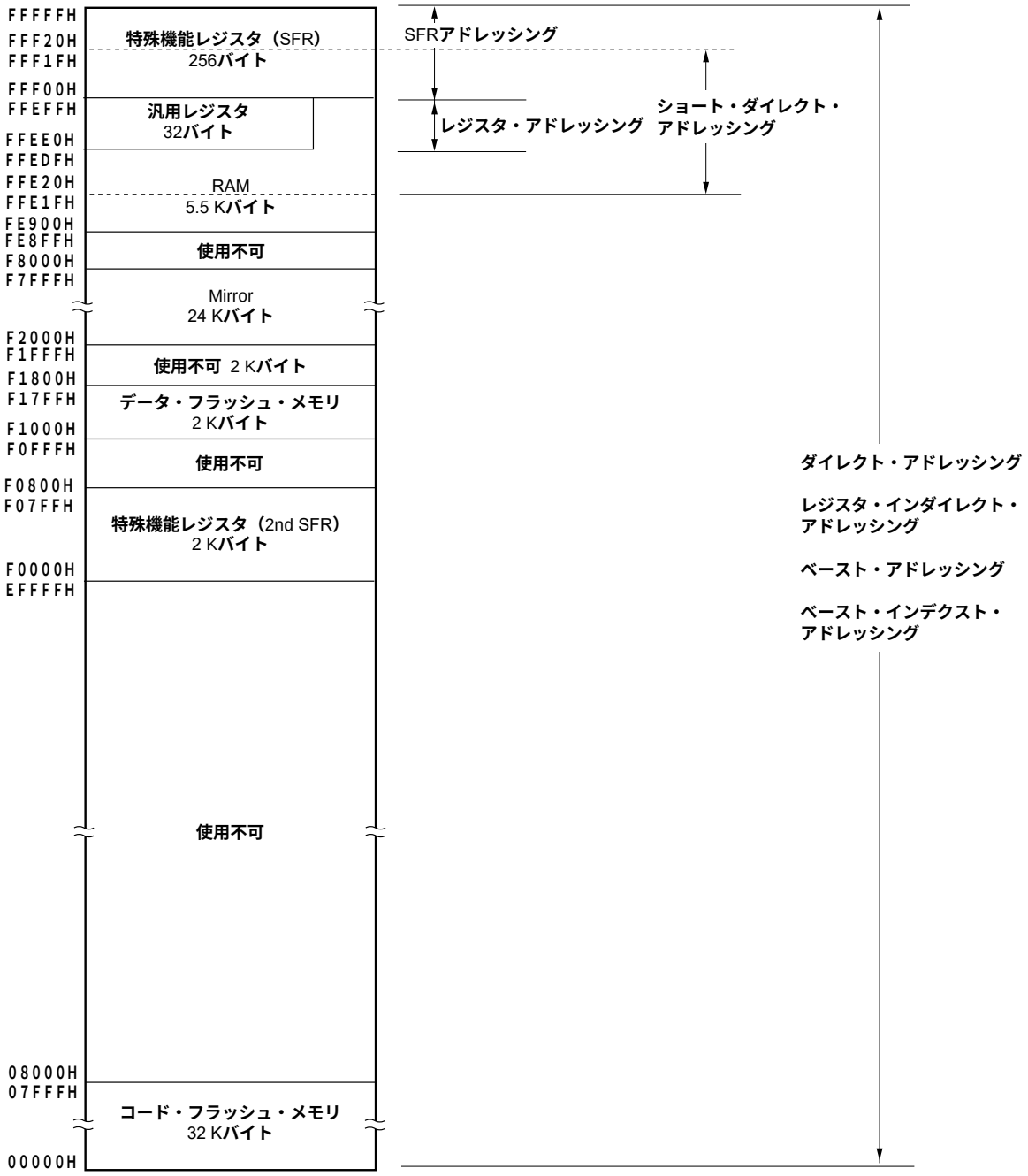
3. 1. 6　データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり，命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて，RL78/G1Cでは，その操作性などを考慮して豊富なアドレッシング・モードを備えました。特に，特殊機能レジスタ（SFR）や汎用レジスタなど，それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3－3にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については，「3. 4　処理データ・アドレスに対するアドレッシング」を参照してください。

図3－3　データ・メモリとアドレッシングの対応



3. 2　プロセッサ・レジスタ

RL78/G1Cは，次のプロセッサ・レジスタを内蔵しています。

3. 2. 1　制御レジスタ

プログラム・シーケンス，ステータス，スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには，プログラム・カウンタ（PC），プログラム・ステータス・ワード（PSW），スタック・ポインタ（SP）があります。

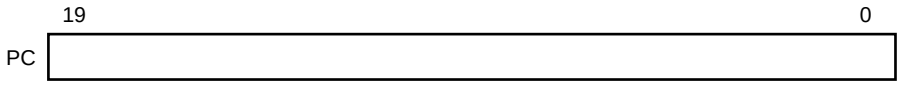
（1）プログラム・カウンタ（PC）

プログラム・カウンタは，次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には，フェッチする命令のバイト数に応じて，自動的にインクリメントされます。分岐命令実行時には，イミーディエト・データやレジスタの内容がセットされます。

リセット信号の発生により，00000H, 00001H番地のリセット・ベクタ・テーブルの値が，下位16ビットにセットされます。上位4ビットは0000にクリアされます。

図3－4　プログラム・カウンタの構成



（2）プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行によってセット，リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は，ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され，RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により，06Hになります。

図3－5　プログラム・ステータス・ワードの構成

	7							0
PSW	IE	Z	RBS1	AC	RBS0	ISP1	ISP0	CY

（a）割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり，マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このときマスカブル割り込み要求の受け付けは，インサービス・プライオリティ・フラグ（ISP1，ISP0），各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは，DI命令の実行または割り込みの受け付けでリセット（0）され，EI命令の実行によりセット（1）されます。

（b）ゼロ・フラグ（Z）

演算や比較で結果がゼロまたは等しいときセット（1）され，それ以外のときにリセット（0）されるフラグです。

(c) レジスタ・バンク選択フラグ（RBS0, RBS1）

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ（AC）

演算結果で，ビット3からキャリーがあったとき，またはビット3へのボローがあったときセット（1）され，それ以外のときリセット（0）されるフラグです。

(e) インサービス・プライオリティ・フラグ（ISP1, ISP0）

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ（PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H）（17. 3. 3参照）でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお，実際に割り込み要求が受け付けられるかどうかは，割り込み許可フラグ（IE）の状態により制御されます。

備考　n = 0, 1

(f) キャリー・フラグ（CY）

加減算命令実行時のオーバフロー，アンダフローを記憶するフラグです。また，ローテート命令実行時はシフト・アウトされた値を記憶し，ビット演算命令実行時には，ビット・アキュームレータとして機能します。

(3) スタック・ポインタ（SP）

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3－6　スタック・ポインタの構成

	15															0
SP	SP15	SP14	SP13	SP12	SP11	SP10	SP9	SP8	SP7	SP6	SP5	SP4	SP3	SP2	SP1	0

スタック・ポインタを用いたスタック・アドレッシングでは，スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ，スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

注意1. SPの内容はリセット信号の発生により，不定になりますので，必ずスタック使用前にイニシャライズしてください。

2. 汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

3. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，スタック，データ・バッファ，ベクタ割り込み処理の分岐先やDMAによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

4. セルフ・プログラミング時およびデータ・フラッシュ書き換え時は，RAMアドレスFE900H-FED09Hの領域は，各ライブラリで使用するため使用禁止になります。

3. 2. 2　汎用レジスタ

汎用レジスタは，データ・メモリの特定番地（FFEE0H-FFEFFH）にマッピングされており，8ビット・レジスタ8個（X, A, C, B, E, D, L, H）を1バンクとして4バンクのレジスタで構成されています。

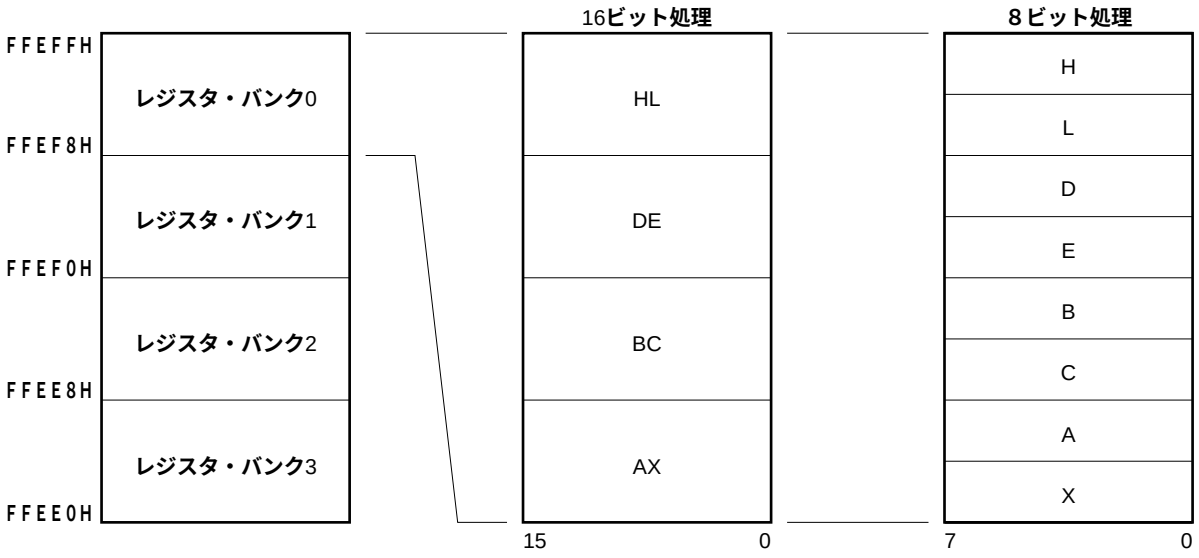
各レジスタは，それぞれ8ビット・レジスタとして使用できるほか，2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

命令実行時に使用するレジスタ・バンクは，CPU制御命令（SEL RBn）によって設定します。4レジスタ・バンク構成になっていますので，通常処理で使用するレジスタと割り込み処理で使用するレジスタをバンク切り替えすれば，効率のよいプログラムを作成できます。

注意　汎用レジスタ（FFEE0H-FFEFFH）の空間は，命令フェッチやスタック領域としての使用を禁止します。

図3－7　汎用レジスタの構成

（a）機能名称



3. 2. 3　ES, CSレジスタ

ESレジスタでデータ・アクセス，CSレジスタで(レジスタ・ダイレクト・アドレシング）分岐命令実行時の，それぞれ上位アドレスを指定できます。

ESレジスタのリセット後の初期値は0FH，CSレジスタのリセット後の初期値は00Hです。

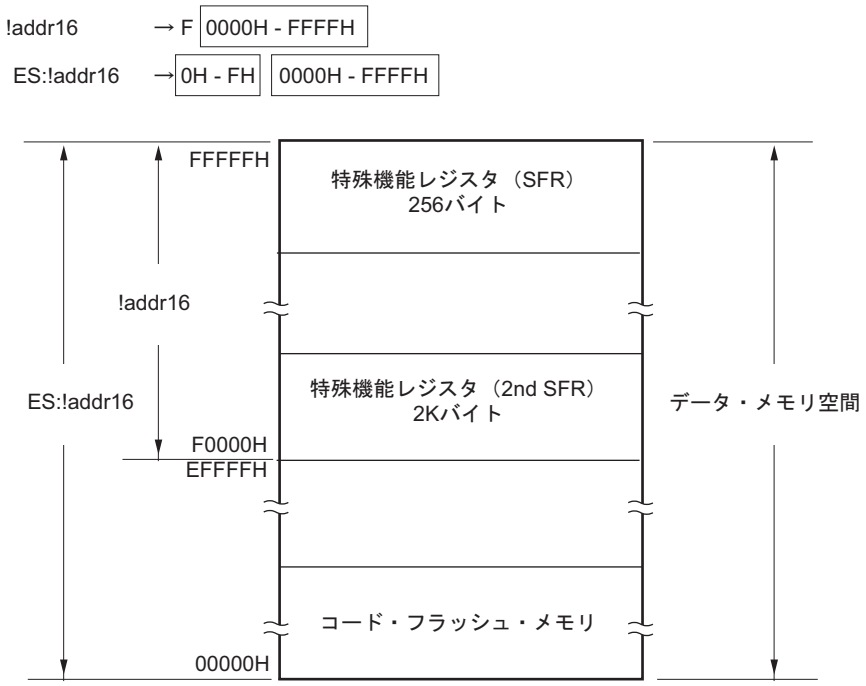
図3－8　ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0

	7	6	5	4	3	2	1	0
CS	0	0	0	0	CS3	CS2	CS1	CS0

16ビット・アドレスでアクセスできるデータ領域は，F0000H-FFFFFHの64 Kバイト空間ですが，ES:を付加すると00000H-FFFFFHの1 Mバイト空間に拡張できます。

図3－9　データ・アクセス領域の拡張



3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）

SFRは，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

SFR空間は，FFF00H-FFFFFHの領域に割り付けられています。

SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（sfr.bit）には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

・8ビット操作

8ビット操作命令のオペランド（sfr）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド（sfrp）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W　：読み出し／書き込みがともに可能

R　：読み出しのみ可能

W　：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意　SFRが割り付けられていないアドレスにアクセスしないでください。

備考　拡張SFR（2nd SFR）については，3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）を参照してください。

表3－5　SFR一覧（1/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0		R/W	○	○	－	00H
FFF01H	ポート・レジスタ1	P1		R/W	○	○	－	00H
FFF02H	ポート・レジスタ2	P2		R/W	○	○	－	00H
FFF03H	ポート・レジスタ3	P3		R/W	○	○	－	00H
FFF04H	ポート・レジスタ4	P4		R/W	○	○	－	00H
FFF05H	ポート・レジスタ5	P5		R/W	○	○	－	00H
FFF06H	ポート・レジスタ6	P6		R/W	○	○	－	00H
FFF07H	ポート・レジスタ7	P7		R/W	○	○	－	00H
FFF0CH	ポート・レジスタ12	P12		R/W	○	○	－	不定
FFF0DH	ポート・レジスタ13	P13		R/W	○	○	－	不定
FFF0EH	ポート・レジスタ14	P14		R/W	○	○	－	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/SIO00	SDR00	R/W	－	○	○	0000H
FFF11H		－			－	－	○	
FFF12H	シリアル・データ・レジスタ01	RXD0/SIO01	SDR01	R/W	－	○	○	0000H
FFF13H		－			－	－	○	
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	－	－	○	0000H
FFF19H								
FFF1AH	タイマ・データ・レジスタ01	TDR01L	TDR01	R/W	－	○	○	00H
FFF1BH		TDR01H			－	○		00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	－	－	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	－	○	－	00H
FFF20H	ポート・モード・レジスタ0	PM0		R/W	○	○	－	FFH
FFF21H	ポート・モード・レジスタ1	PM1		R/W	○	○	－	FFH
FFF22H	ポート・モード・レジスタ2	PM2		R/W	○	○	－	FFH
FFF23H	ポート・モード・レジスタ3	PM3		R/W	○	○	－	FFH
FFF24H	ポート・モード・レジスタ4	PM4		R/W	○	○	－	FFH
FFF25H	ポート・モード・レジスタ5	PM5		R/W	○	○	－	FFH
FFF26H	ポート・モード・レジスタ6	PM6		R/W	○	○	－	FFH
FFF27H	ポート・モード・レジスタ7	PM7		R/W	○	○	－	FFH
FFF2CH	ポート・モード・レジスタ12	PM12		R/W	○	○	－	FFH
FFF2EH	ポート・モード・レジスタ14	PM14		R/W	○	○	－	FFH
FFF30H	A/Dコンバータ・モード・レジスタ0	ADM0		R/W	○	○	－	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS		R/W	○	○	－	00H
FFF32H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W	○	○	－	00H
FFF37H	キー・リターン・モード・レジスタ	KRM		R/W	○	○	－	00H

表3－5　SFR一覧（2/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W	○	○	－	00H
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W	○	○	－	00H
FFF3AH	外部割り込み立ち上がりエッジ許可レジスタ1	EGP1		R/W	○	○	－	00H
FFF3BH	外部割り込み立ち下がりエッジ許可レジスタ1	EGN1		R/W	○	○	－	00H
FFF50H	IICAシフト・レジスタ0	IICA0		R/W	－	○	－	00H
FFF51H	IICAステータス・レジスタ0	IICS0		R	○	○	－	00H
FFF52H	IICAフラグ・レジスタ0	IICF0		R/W	○	○	－	00H
FFF58H	DMA転送用D0FIFOポート・レジスタ	D0FIFOL	D0FIFO	R/W	－	○	○	0000H
FFF59H		－			－	－		
FFF5CH	DMA転送用D1FIFOポート・レジスタ	D1FIFOL	D1FIFO	R/W	－	○	○	0000H
FFF5DH		－			－	－		
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	－	－	○	0000H
FFF65H								
FFF66H	タイマ・データ・レジスタ03	TDR03L	TDR03	R/W	－	○	○	00H
FFF67H		TDR03H			－	○		00H
FFF90H	インターバル・タイマ・コントロール・レジスタ	ITMC		R/W	－	－	○	0FFFH
FFF91H								
FFF92H	秒カウント・レジスタ	SEC		R/W	－	○	－	00H
FFF93H	分カウント・レジスタ	MIN		R/W	－	○	－	00H
FFF94H	時カウント・レジスタ	HOUR		R/W	－	○	－	12H注
FFF95H	曜日カウント・レジスタ	WEEK		R/W	－	○	－	00H
FFF96H	日カウント・レジスタ	DAY		R/W	－	○	－	01H
FFF97H	月カウント・レジスタ	MONTH		R/W	－	○	－	01H
FFF98H	年カウント・レジスタ	YEAR		R/W	－	○	－	00H
FFF99H	時計誤差補正レジスタ	SUBCUD		R/W	－	○	－	00H
FFF9AH	アラーム分レジスタ	ALARMWM		R/W	－	○	－	00H
FFF9BH	アラーム時レジスタ	ALARMWH		R/W	－	○	－	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW		R/W	－	○	－	00H
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0		R/W	○	○	－	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1		R/W	○	○	－	00H

注　リセット後に，AMPMビット（リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3）に1をセットした場合は00Hとなります。

表3－5　SFR一覧（3/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFA0H	クロック動作モード制御レジスタ	CMC		R/W	－	○	－	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC		R/W	○	○	－	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC		R	○	○	－	00H
FFFA3H	発振安定時間選択レジスタ	OSTS		R/W	－	○	－	07H
FFFA4H	システム・クロック制御レジスタ	CKC		R/W	○	○	－	00H
FFFA5H	クロック出力選択レジスタ0	CKS0		R/W	○	○	－	00H
FFFA6H	クロック出力選択レジスタ1	CKS1		R/W	○	○	－	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF		R	－	○	－	注1
FFFA9H	電圧検出レジスタ	LVIM		R/W	○	○	－	00H注1
FFFAAH	電圧検出レベル・レジスタ	LVIS		R/W	○	○	－	00H/01H/81H注1
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE		R/W	－	○	－	1AH/9AH注2
FFFACH	CRC入力レジスタ	CRCIN		R/W	－	○	－	00H
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0		R/W	－	○	－	00H
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1		R/W	－	○	－	00H
FFFB2H	DMA RAMアドレス・レジスタ0	DRA0L	DRA0	R/W	－	○	○	00H
FFFB3H		DRA0H		R/W	－	○		00H
FFFB4H	DMA RAMアドレス・レジスタ1	DRA1L	DRA1	R/W	－	○	○	00H
FFFB5H		DRA1H		R/W	－	○		00H
FFFB6H	DMAバイト・カウント・レジスタ0	DBC0L	DBC0	R/W	－	○	○	00H
FFFB7H		DBC0H		R/W	－	○		00H
FFFB8H	DMAバイト・カウント・レジスタ1	DBC1L	DBC1	R/W	－	○	○	00H
FFFB9H		DBC1H		R/W	－	○		00H
FFFBAH	DMAモード・コントロール・レジスタ0	DMC0		R/W	○	○	－	00H
FFFBBH	DMAモード・コントロール・レジスタ1	DMC1		R/W	○	○	－	00H
FFFBCH	DMA 動作コントロール・レジスタ0	DRC0		R/W	○	○	－	00H
FFFBDH	DMA 動作コントロール・レジスタ1	DRC1		R/W	○	○	－	00H

注1.　リセット要因により，次のように異なります。

レジスタ ＼ リセット要因		RESET入力	PORによるリセット	不正命令の実行によるリセット	WDTによるリセット	RAMパリティ・エラーによるリセット	不正メモリ・アクセスによるリセット	LVDによるリセット
RESF	TRAP	クリア（0）		セット（1）	保持			保持
	WDTRF			保持	セット（1）	保持		
	RPERF			保持		セット（1）	保持	
	IAWRF			保持			セット（1）	
	LVIRF			保持				セット（1）
LVIM	LVISEN	クリア（0）						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						

2.　WDTEレジスタのリセット値は，オプション・バイトの設定で決定します。

表3－5　SFR一覧（4/4）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W	○	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W	○	○		00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W	○	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W	○	○		FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W	○	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W	○	○		FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W	○	○	○	FFH
FFFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W	○	○		FFH
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W	○	○		FFH
FFFF0H	乗除算データ・レジスタA（L）	MDAL		R/W	－	－	○	0000H
FFFF1H								
FFFF2H	乗除算データ・レジスタA（H）	MDAH		R/W	－	－	○	0000H
FFFF3H								
FFFF4H	乗除算データ・レジスタB（H）	MDBH		R/W	－	－	○	0000H
FFFF5H								
FFFF6H	乗除算データ・レジスタB（L）	MDBL		R/W	－	－	○	0000H
FFFF7H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	－	00H

備考　拡張SFR（2nd SFR）については，表3－6　拡張SFR（2nd SFR）一覧を参照してください。

3. 2. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）

拡張SFR（2nd SFR）は，汎用レジスタとは異なり，それぞれ特別な機能を持つレジスタです。

拡張SFR空間は，F0000H-F07FFHの領域です。SFR領域（FFF00H-FFFFFH）以外のSFRが割り付けられています。ただし，拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは，演算命令，転送命令，ビット操作命令などにより，汎用レジスタと同じように操作できます。操作可能なビット単位（1, 8, 16）は，各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド（!addr16.bit）には，次のような記述をしてください。

ビット名称が定義されている場合：<ビット名称>

ビット名称が定義されていない場合：<レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

・8ビット操作

8ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド（!addr16）にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3－6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に，コンパイラでは#pragma sfr指令で，sfr変数として定義されているものです。アセンブラ，デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

・R/W

該当する拡張SFRが読み出し（Read）／書き込み（Write）可能かどうかを示します。

R/W　：読み出し／書き込みがともに可能

R　：読み出しのみ可能

W　：書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位（1, 8, 16）を○で示します。－は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意1.　拡張SFR（2nd SFR）が割り付けられていないアドレスにアクセスしないでください。

2.　2nd SFRのF0400H-F04FFHに配置しているレジスタへのアクセス時に，CPUは次の命令処理に移行せず，CPU処理としてウエイト状態となります。このため，このウエイトが発生した場合，命令の実行クロック数がウエイト・クロック数分長くなります。

備考　SFR領域のSFRについては，3. 2. 4　特殊機能レジスタ（SFR：Special Function Register）を参照してください。

表3－6 拡張SFR（2nd SFR）一覧（1/8）

アドレス	特殊機能レジスタ（SFR）名称	略 号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	－	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	－	○	－	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	－	○	－	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	－	○	－	00H
F0018H	ポート・モード選択レジスタ	PMS	R/W	○	○	－	00H
F001AH	周辺I/Oリダイレクション・レジスタ	PIOR	R/W	－	○	－	00H
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○	－	00H
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○	－	00H
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○	－	00H
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○	－	01H
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○	－	00H
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W	○	○	－	00H
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W	○	○	－	00H
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W	○	○	－	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	－	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	－	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	－	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	－	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	－	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	－	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W	○	○	－	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	－	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	－	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	－	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	－	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	－	○	－	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	－	○	－	00H
F0077H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	－	○	－	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	－	00H

表3－6　拡張SFR（2nd SFR）一覧（2/8）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM		R/W	－	○	－	不定[注1]
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV		R/W	－	○	－	不定[注2]
F00E0H	乗除算データ・レジスタC（L）	MDCL		R/W	－	－	○	0000H
F00E2H	乗除算データ・レジスタC（H）	MDCH		R/W	－	－	○	0000H
F00E8H	乗除算コントロール・レジスタ	MDUC		R/W	○	○	－	00H
F00F0H	周辺イネーブル・レジスタ0	PER0		R/W	○	○	－	00H
F00F3H	動作スピード・モード制御レジスタ	OSMC		R/W	－	○	－	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL		R/W	○	○	－	00H
F00FEH	BCD補正結果レジスタ	BCDADJ		R	－	○	－	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	－	○	○	0000H
F0101H		－			－	－		
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	－	○	○	0000H
F0103H		－			－	－		
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	－	○	○	0000H
F0109H		－			－	－		
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	－	○	○	0000H
F010BH		－			－	－		
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	－	－	○	0020H
F0111H								
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	－	－	○	0020H
F0113H								
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	－	－	○	0087H
F0119H								
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	－	－	○	0087H
F011BH								
F0120H	シリアル・チャネル許可ステータス・レジスタ0	SE0L	SE0	R	○	○	○	0000H
F0121H		－			－	－		
F0122H	シリアル・チャネル開始レジスタ0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		－			－	－		
F0124H	シリアル・チャネル停止レジスタ0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		－			－	－		
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	－	○	○	0000H
F0127H		－			－	－		

注1.　リセット値は出荷時に調整した値です。

2.　オプション・バイト000C2HのFRQSEL2-FRQSEL0で設定した値になります。

表3－6　拡張SFR（2nd SFR）一覧（3/8）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0128H	シリアル出力レジスタ0	SO0		R/W	－	－	○	0303H
F0129H								
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		－			－	－		
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	－	○	○	0000H
F0135H		－			－	－		
F0138H	シリアル・スタンバイ・コントロール・レジスタ0	SSC0L	SSC0	R/W	－	○	○	0000H
		－			－	－		
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	－	－	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	－	－	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	－	－	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	－	－	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	－	－	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	－	－	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	－	－	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	－	－	○	0000H
F0197H								
F01A0H	タイマ・ステータス・レジスタ00	TSR00L	TSR00	R	－	○	○	0000H
F01A1H		－			－	－		
F01A2H	タイマ・ステータス・レジスタ01	TSR01L	TSR01	R	－	○	○	0000H
F01A3H		－			－	－		
F01A4H	タイマ・ステータス・レジスタ02	TSR02L	TSR02	R	－	○	○	0000H
F01A5H		－			－	－		
F01A6H	タイマ・ステータス・レジスタ03	TSR03L	TSR03	R	－	○	○	0000H
F01A7H		－			－	－		
F01B0H	タイマ・チャネル許可ステータス・レジスタ0	TE0L	TE0	R	○	○	○	0000H
F01B1H		－			－	－		
F01B2H	タイマ・チャネル開始レジスタ0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		－			－	－		
F01B4H	タイマ・チャネル停止レジスタ0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		－			－	－		

表3－6　拡張SFR（2nd SFR）一覧（4/8）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F01B6H	タイマ・クロック選択レジスタ0	TPS0		R/W	－	－	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ0	TO0L	TO0	R/W	－	○	○	0000H
F01B9H		－			－	－		
F01BAH	タイマ出力許可レジスタ0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		－			－	－		
F01BCH	タイマ出力レベル・レジスタ0	TOL0L	TOL0	R/W	－	○	○	0000H
F01BDH		－			－	－		
F01BEH	タイマ出力モード・レジスタ0	TOM0L	TOM0	R/W	－	○	○	0000H
F01BFH		－			－	－		
F0230H	IICAコントロール・レジスタ00	IICCTL00		R/W	○	○	－	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01		R/W	○	○	－	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0		R/W	－	○	－	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0		R/W	－	○	－	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0		R/W	－	○	－	00H
F02E5H	PLL制御レジスタ	DSCCTL		R/W	○	○	－	00H
F02E6H	メイン・クロック制御レジスタ	MCKC		R/W	○	○	－	00H
F02F0H	フラッシュ・メモリCRC制御レジスタ	CRC0CTL		R/W	○	○	－	00H
F02F2H	フラッシュ・メモリCRC演算結果レジスタ	PGCRCL		R/W	－	－	○	0000H
F02F3H								
F02FAH	CRCデータ・レジスタ	CRCD		R/W	－	－	○	0000H
F02FBH								
F0400H	システム・コンフィギュレーション・コントロール・レジスタ	SYSCFG		R/W	－	－	○	0000H
F0401H								
F0402H	システム・コンフィギュレーション・コントロール・レジスタ1	SYSCFG1		R/W	－	－	○	0000H
F0403H								
F0404H	システム・コンフィギュレーション・ステータス・レジスタ0	SYSSTS0		R	－	－	○	XX000000
F0405H								00000000B

表3－6　拡張SFR（2nd SFR）一覧（5/8）

アドレス	特殊機能レジスタ（SFR）名称	略　号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0406H	システム・コンフィギュレーション・ステータス・レジスタ1	SYSSTS1		R	－	－	○	X0000000
F0407H								00000000B
F0408H	デバイス・ステート・コントロール・レジスタ0	DVSTCTR0		R/W	－	－	○	0000H
F0409H								
F040AH	デバイス・ステート・コントロール・レジスタ1	DVSTCTR1		R/W	－	－	○	0000H
F040BH								
F0410H	DMA0-FIFOピン・コンフィギュレーション・レジスタ	DMA0PCFG		R/W	－	－	○	0000H
F0411H								
F0412H	DMA1-FIFOピン・コンフィギュレーション・レジスタ	DMA1PCFG		R/W	－	－	○	0000H
F0413H								
F0414H	CFIFOポート・レジスタ	CFIFOML	CFIFOM	R/W	－	○	○	00H
F0415H		－			－	－		00H
F0418H	D0FIFOポート・レジスタ	D0FIFOML	D0FIFOM	R/W	－	○	○	00H
F0419H		－			－	－		00H
F041CH	D1FIFOポート・レジスタ	D1FIFOML	D1FIFOM	R/W	－	○	○	00H
F041DH		－			－	－		00H
F0420H	CFIFOポート選択レジスタ	CFIFOSEL		R/W	－	－	○	0000H
F0421H								
F0422H	CFIFOポート・コントロール・レジスタ	CFIFOCTR		R/W	－	－	○	0000H
F0423H								
F0428H	D0FIFOポート選択レジスタ	D0FIFOSEL		R/W	－	－	○	0000H
F0429H								
F042AH	D0FIFOポート・コントロール・レジスタ	D0FIFOCTR		R/W	－	－	○	0000H
F042BH								
F042CH	D1FIFOポート選択レジスタ	D1FIFOSEL		R/W	－	－	○	0000H
F042DH								
F042EH	D1FIFOポート・コントロール・レジスタ	D1FIFOCTR		R/W	－	－	○	0000H
F042FH								

表3－6　拡張SFR（2nd SFR）一覧（6/8）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0430H F0431H	割り込み許可レジスタ0	INTENB0	R/W	－	－	○	0000H
F0432H F0433H	割り込み許可レジスタ1	INTENB1	R/W	－	－	○	0000H
F0434H F0435H	割り込み許可レジスタ2	INTENB2	R/W	－	－	○	0000H
F0436H F0437H	BRDY割り込み許可レジスタ	BRDYENB	R/W	－	－	○	0000H
F0438H F0439H	NRDY割り込み許可レジスタ	NRDYENB	R/W	－	－	○	0000H
F043AH F043BH	BEMP割り込みレジスタ	BEMPENB	R/W	－	－	○	0000H
F043CH F043DH	SOF出力コンフィギュレーション・レジスタ	SOFCFG	R/W	－	－	○	0000H
F0440H F0441H	割り込みステータス・レジスタ0	INTSTS0	R/W	－	－	○	00000000 X0000000B
F0442H F0443H	割り込みステータス・レジスタ1	INTSTS1	R/W	－	－	○	XX0X0000 00000000B
F0444H F0445H	割り込みステータス・レジスタ2	INTSTS2	R/W	－	－	○	X00X0000 00000000B
F0446H F0447H	BRDY割り込みステータス・レジスタ	BRDYSTS	R/W	－	－	○	0000H
F0448H F0449H	NRDY割り込みステータス・レジスタ	NRDYSTS	R/W	－	－	○	0000H

表3－6　拡張SFR（2nd SFR）一覧（7/8）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F044AH F044BH	BEMP割り込みステータス・レジスタ	BEMPSTS	R/W	－	－	○	0000H
F044CH F044DH	フレームナンバー・レジスタ	FRMNUM	R/W	－	－	○	0000H
F0450H F0451H	USB アドレス・レジスタ	USBADDR	R	－	－	○	0000H
F0454H F0455H	USBリクエスト・タイプ・レジスタ	USBREQ	注	－	－	○	0000H
F0456H F0457H	USBリクエスト・バリュー・レジスタ	USBVAL	注	－	－	○	0000H
F0458H F0459H	USBリクエスト・インデックス・レジスタ	USBINDX	注	－	－	○	0000H
F045AH F045BH	USBリクエスト・レングス・レジスタ	USBLENG	注	－	－	○	0000H
F045CH F045DH	DCPコンフィギュレーション・レジスタ	DCPCFG	R/W	－	－	○	0000H
F045EH F045FH	DCPマックス・パケット・サイズ・レジスタ	DCPMAXP	R/W	－	－	○	0040H
F0460H F0461H	DCPコントロール・レジスタ	DCPCTR	R/W	－	－	○	0000H
F0464H F0465H	パイプウィンドウ選択レジスタ	PIPESEL	R/W	－	－	○	0000H
F0468H F0469H	パイプ・コンフィギュレーション・レジスタ	PIPECFG	R/W	－	－	○	0000H
F046CH F046DH	パイプ・マックス・パケット・サイズ・レジスタ	PIPEMAXP	R/W	－	－	○	0000H/ 0040H
F046EH F046FH	パイプ周期制御レジスタ	PIPEPERI	R/W	－	－	○	0000H
F0476H F0477H	パイプ4コントロール・レジスタ	PIPE4CTR	R/W	－	－	○	0000H
F0478H F0479H	パイプ5コントロール・レジスタ	PIPE5CTR	R/W	－	－	○	0000H
F047AH F047BH	パイプ6コントロール・レジスタ	PIPE6CTR	R/W	－	－	○	0000H
F047CH F047DH	パイプ7コントロール・レジスタ	PIPE7CTR	R/W	－	－	○	0000H

注　ファンクションコントローラ機能を選択したときは，読み出しのみ可能で書き込みは無効です。
　　一方，ホストコントローラ機能を選択したときは，読み出し/書き込み可能です。

表3－6　拡張SFR（2nd SFR）一覧（8/8）

アドレス	特殊機能レジスタ（SFR）名称	略　号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F049CH F049DH	パイプ4トランザクション・カウンタ・イネーブル・レジスタ	PIPE4TRE	R/W	－	－	○	0000H
F049EH F049FH	パイプ4トランザクション・カウンタ・レジスタ	PIPE4TRN	R/W	－	－	○	0000H
F04A0H F04A1H	パイプ5トランザクション・カウンタ・イネーブル・レジスタ	PIPE5TRE	R/W	－	－	○	0000H
F04A2H F04A3H	パイプ5トランザクション・カウンタ・レジスタ	PIPE5TRN	R/W	－	－	○	0000H
F04B0H F04B1H	BCコントロール・レジスタ0	USBBCCTRL0	R/W	－	－	○	0000H
F04B4H F04B5H	BCコントロール・レジスタ1	USBBCCTRL1	R/W	－	－	○	0000H
F04B8H F04B9H	BCオプション・コントロール・レジスタ0	USBBCOPT0	R/W	－	－	○	0000H
F04BCH F04BDH	BCオプション・コントロール・レジスタ1	USBBCOPT1	R/W	－	－	○	0000H
F04CCH F04CDH	USBモジュール制御レジスタ	USBMC	R/W	－	－	○	0002H
F04D0H F04D1H	デバイス・アドレス0コンフィギュレーション・レジスタ	DEVADD0	R/W	－	－	○	0000H
F04D2H F04D3H	デバイス・アドレス1コンフィギュレーション・レジスタ	DEVADD1	R/W	－	－	○	0000H
F04D4H F04D5H	デバイス・アドレス2コンフィギュレーション・レジスタ	DEVADD2	R/W	－	－	○	0000H
F04D6H F04D7H	デバイス・アドレス3コンフィギュレーション・レジスタ	DEVADD3	R/W	－	－	○	0000H
F04D8H F04D9H	デバイス・アドレス4コンフィギュレーション・レジスタ	DEVADD4	R/W	－	－	○	0000H
F04DAH F04DBH	デバイス・アドレス5コンフィギュレーション・レジスタ	DEVADD5	R/W	－	－	○	0000H

備考　SFR領域のSFRについては，表3－5　SFR一覧を参照してください。

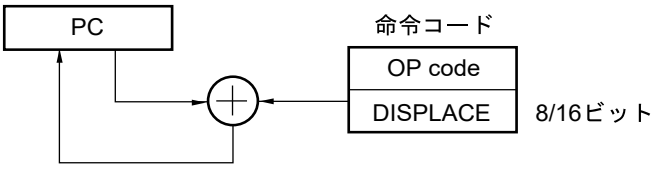
3. 3　命令アドレスのアドレッシング

3. 3. 1　レラティブ・アドレッシング

【機　　能】

プログラム・カウンタ（PC）の値（次に続く命令の先頭アドレス）に対し，命令語に含まれるディスプレースメント値（符号付きの補数データ：－128～＋127または－32768～＋32767）を加算した結果を，プログラム・カウンタ（PC）に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3－10　レラティブ・アドレッシングの概略



3. 3. 2　イミーディエト・アドレッシング

【機　　能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し，分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と，16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3－11　CALL !!addr20/BR !!addr20の例

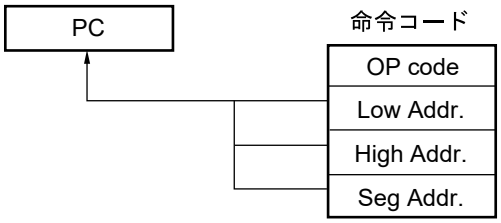
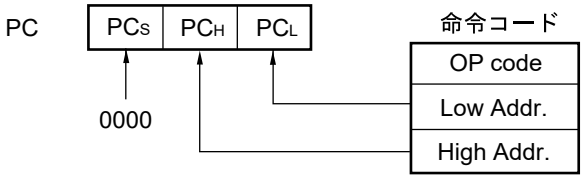


図3－12　CALL !addr16/BR !addr16の例



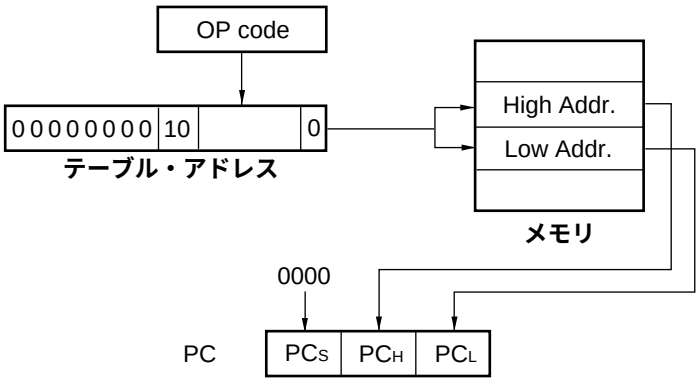
3. 3. 3　テーブル・インダイレクト・アドレッシング

【機　　能】

命令語中の5ビット・イミーディエト・データによりCALLTテーブル領域（0080H-00BFH）内のテーブル・アドレスを指定し，その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは，00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3－13　テーブル・インダイレクト・アドレッシングの概略

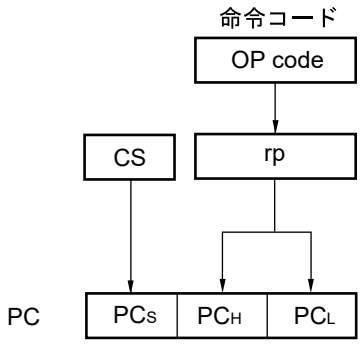


3. 3. 4　レジスタ・ダイレクト・アドレッシング

【機　　能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア（AX/BC/DE/HL）とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ（PC）に格納し，プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3－14　レジスタ・ダイレクト・アドレッシングの概略



3. 4　処理データ・アドレスに対するアドレッシング

3. 4. 1　インプライド・アドレッシング

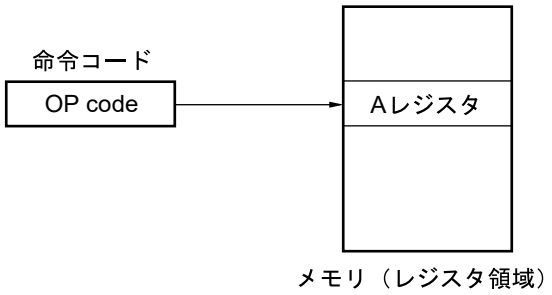
【機　　能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は，命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3－15　インプライド・アドレッシングの概略



3. 4. 2　レジスタ・アドレッシング

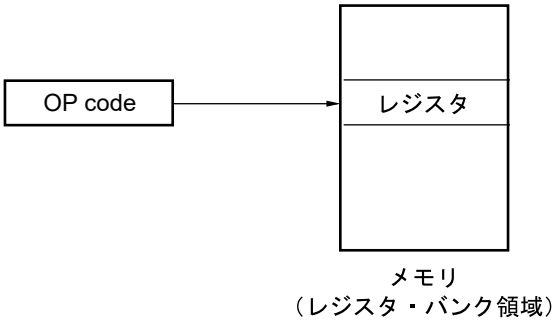
【機　　能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット，16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X，A，C，B，E，D，L，H
rp	AX，BC，DE，HL

図3－16　レジスタ・アドレッシングの概略



3. 4. 3　ダイレクト・アドレッシング

【機　　能】

命令語中のイミーディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミーディエト・データ （F0000H-FFFFFH空間のみ指定可能）
ES:!addr16	ラベルまたは16ビット・イミーディエト・データ （ESレジスタにて上位4ビット・アドレス指定）

図3－17　!addr16の例

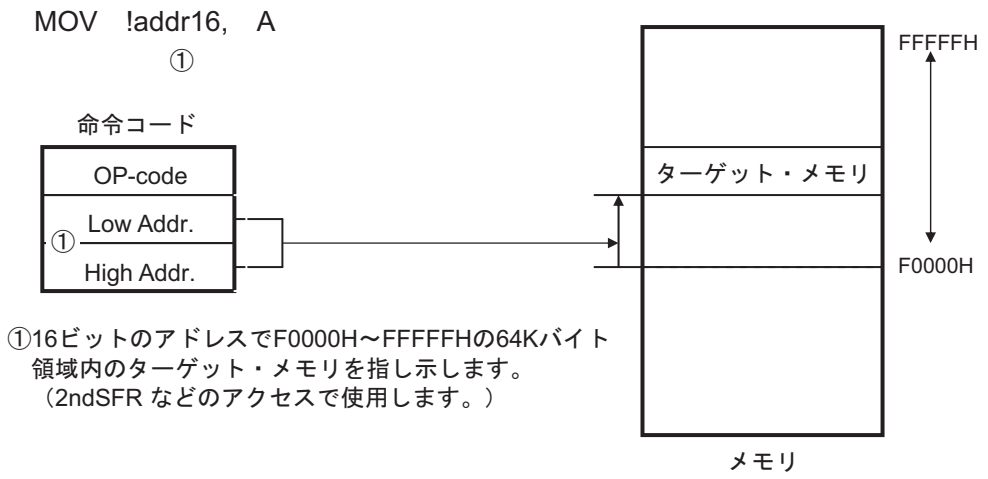
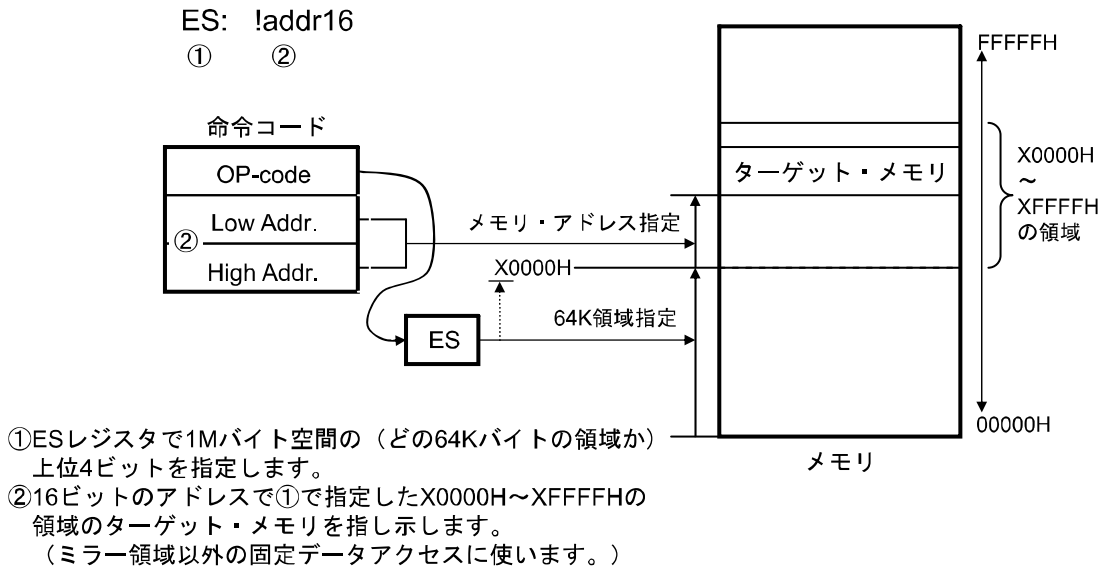


図3－18　ES:!addr16の例



3. 4. 4　ショート・ダイレクト・アドレッシング

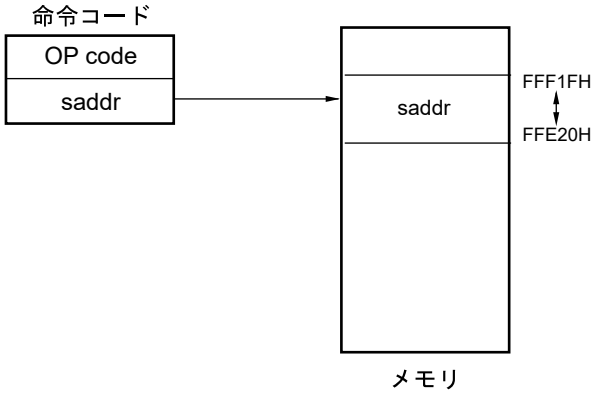
【機　　能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ （FFE20H-FFF1FH空間のみ指定可能）
SADDRP	ラベルまたはFFE20H-FFF1FHのイミーディエト・データまたは0FE20H-0FF1FHのイミーディエト・データ（偶数アドレスのみ） （FFE20H-FFF1FH空間のみ指定可能）

図3－19　ショート・ダイレクト・アドレッシングの概略



備考　SADDR, SADDRPは，（実アドレスの上位4ビット・アドレスを省略した）16ビットのイミーディエト・データでFE20H-FF1FHの値を記述することができます。また，20ビットのイミーディエト・データでFFE20H-FFF1FHの値を記述することもできます。
ただし，どちらの形式で書いても，メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3. 4. 5　SFRアドレッシング

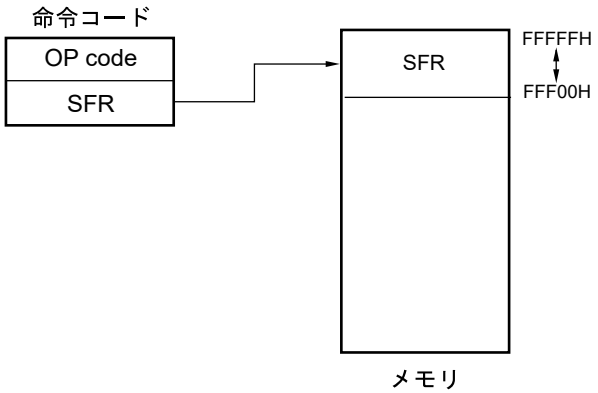
【機　　能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3－20　SFRアドレッシングの概略



3. 4. 6　レジスタ・インダイレクト・アドレッシング

【機　　能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[DE]，[HL] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[DE]，ES:[HL] （ESレジスタにて上位4ビット・アドレス指定）

図3－21　[DE]，[HL]の例

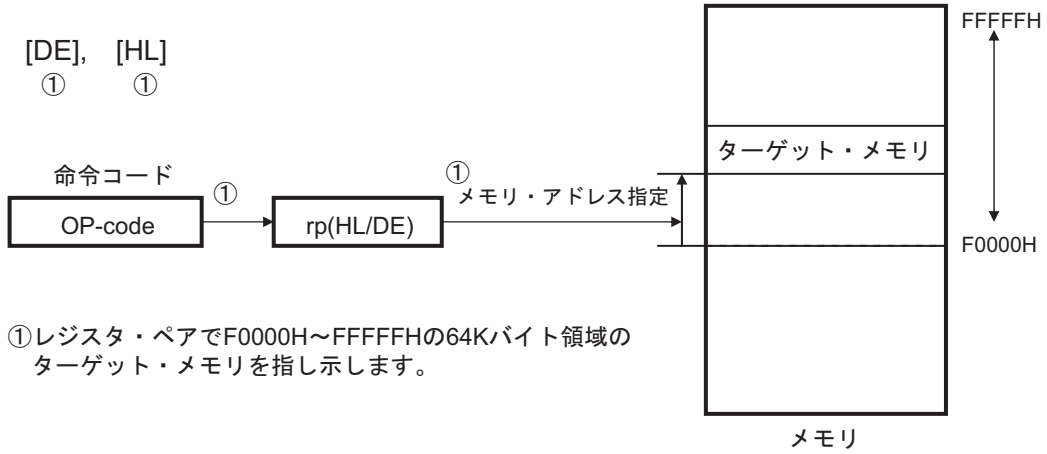
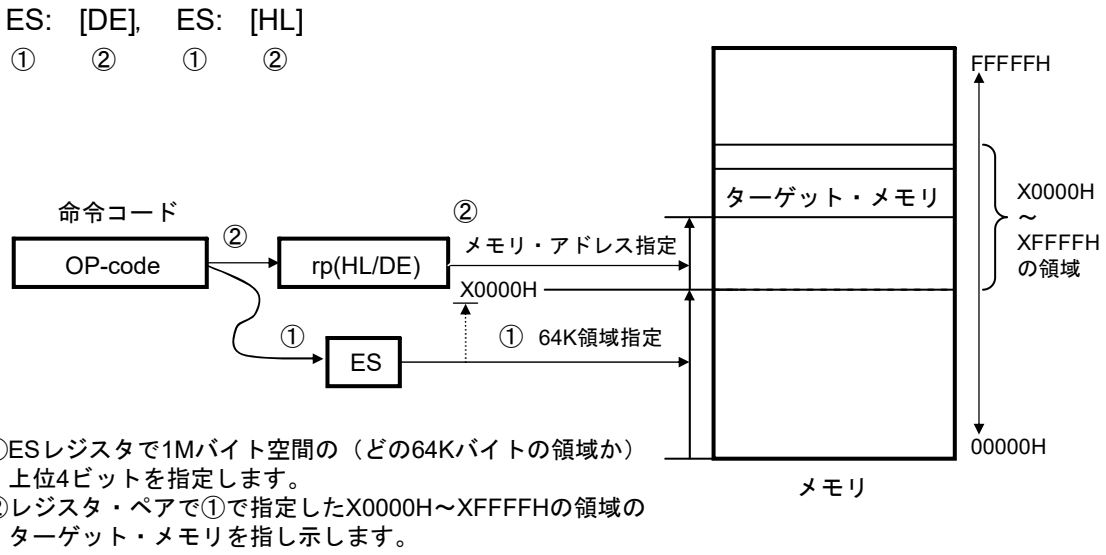


図3－22　ES:[DE]，ES:[HL]の例



3. 4. 7　ベースト・アドレッシング

【機　　能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミーディエト・データをベース・アドレスとし，8ビット・イミーディエト・データまたは16ビット・イミーディエト・データをオフセット・データとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
－	[HL＋byte]，[DE + byte]，[SP + byte] （F0000H-FFFFFH空間のみ指定可能）
－	word[B]，word[C] （F0000H-FFFFFH空間のみ指定可能）
－	word[BC] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋byte]，ES:[DE + byte] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[B]，ES:word[C] （ESレジスタにて上位4ビット・アドレス指定）
－	ES:word[BC] （ESレジスタにて上位4ビット・アドレス指定）

図3－23　[SP+byte]の例

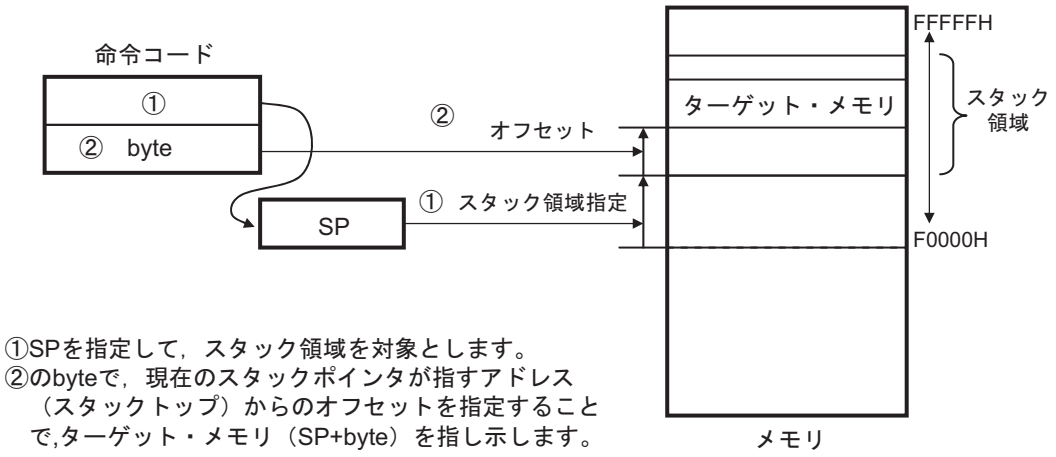


図3－24　[HL+byte]，[DE+byte]の例

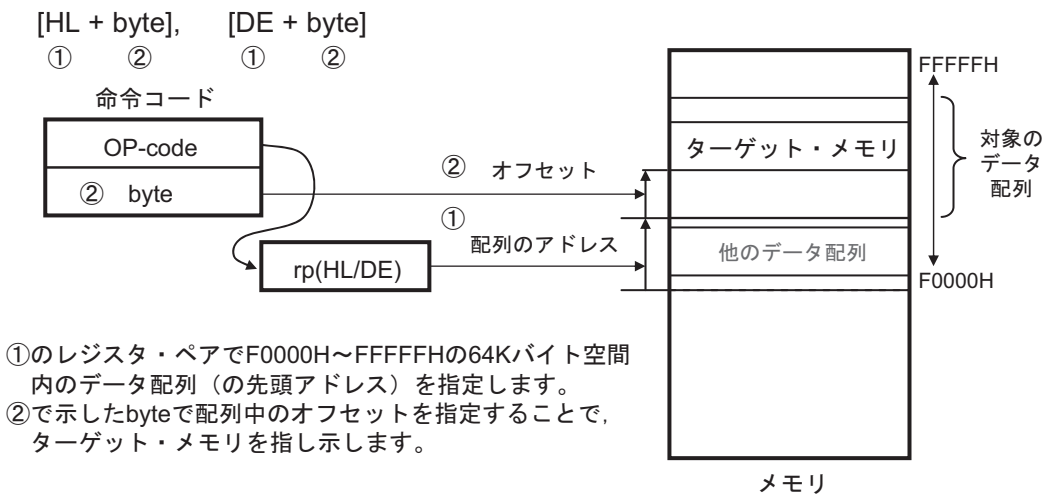


図3－25　word[B]，word[C]の例

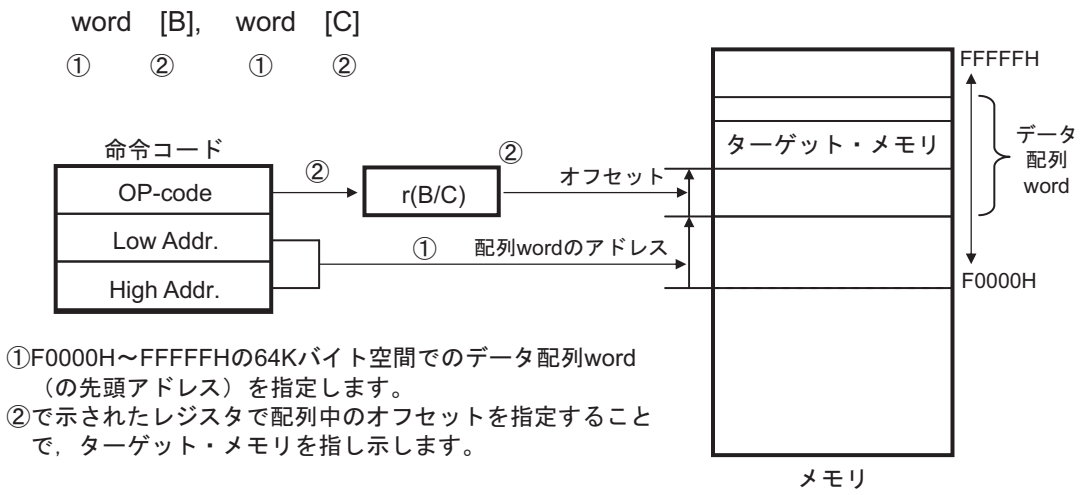


図3－26　word[BC]の例

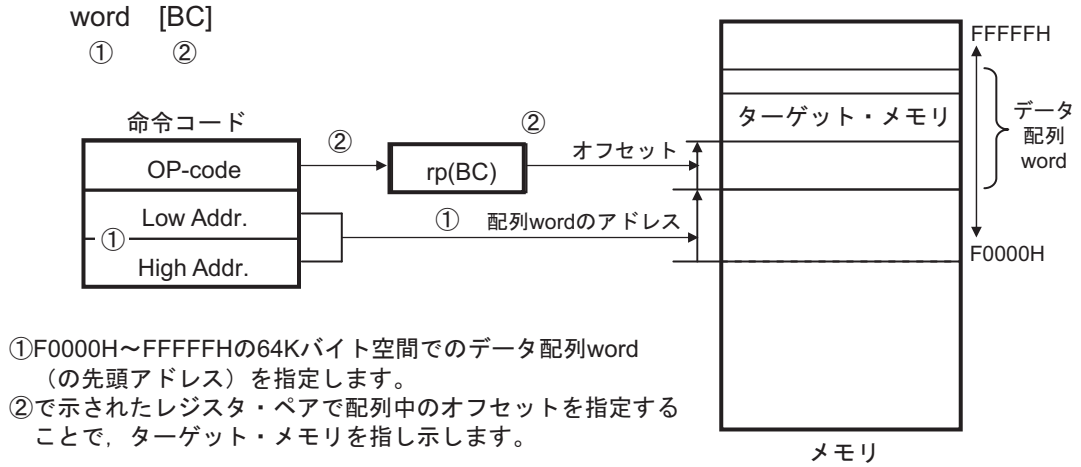
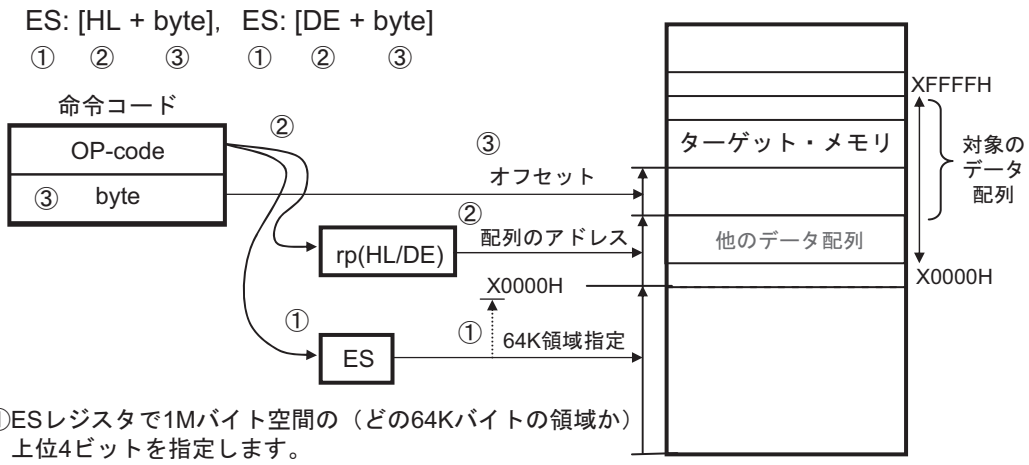
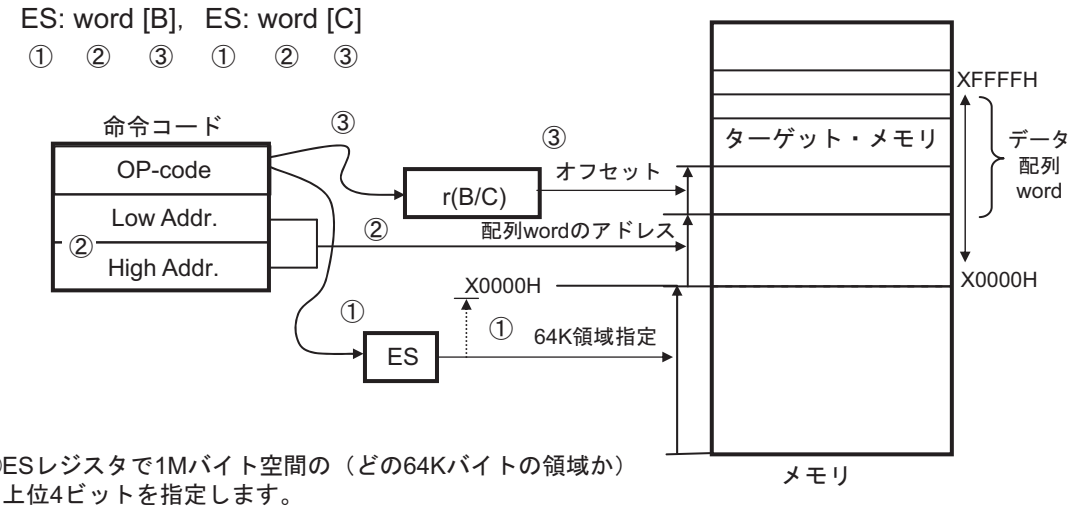


図3－27　ES:[HL+byte]，ES:[DE+byte]の例



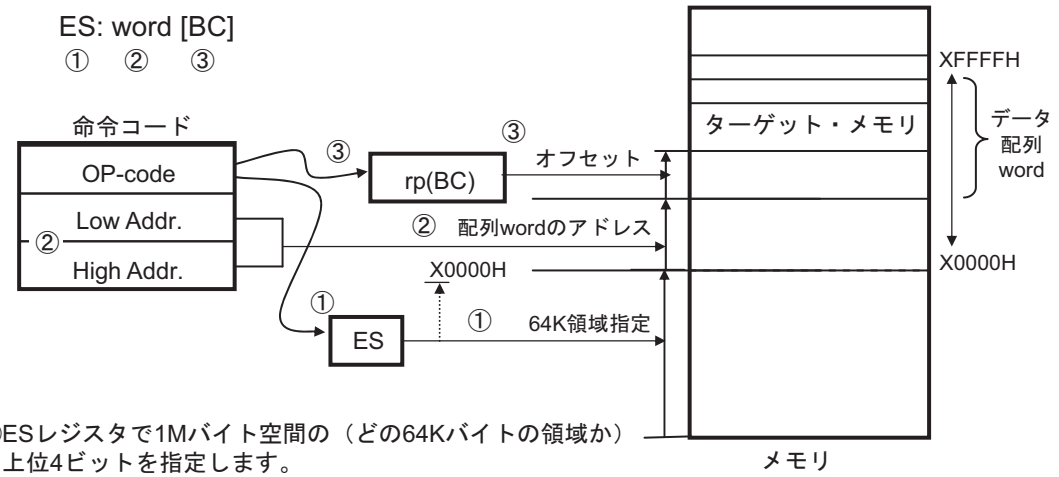
①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したbyteで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－28　ES:word[B]，ES:word[C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－29　ES:word[BC]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間でのデータ配列word（の先頭アドレス）を指定します。
③で示したレジスタ・ペアで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3. 4. 8　ベースト・インデクスト・アドレッシング

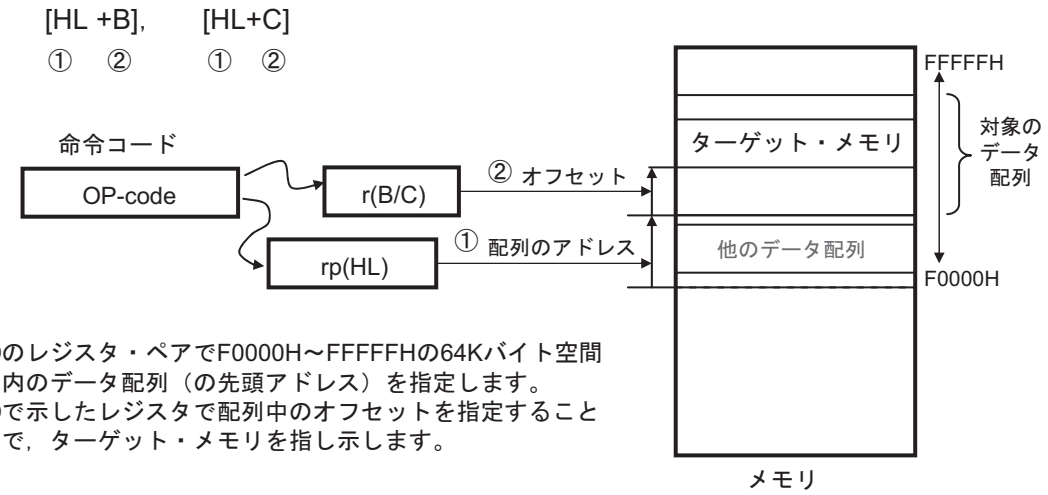
【機　　能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし，同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

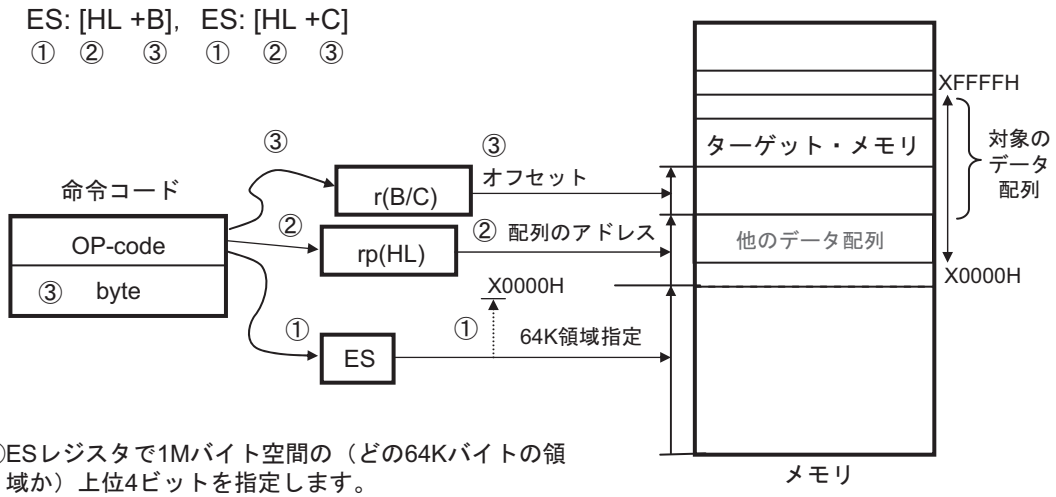
表現形式	記述方法
－	[HL＋B]，[HL＋C] （F0000H-FFFFFH空間のみ指定可能）
－	ES:[HL＋B]，ES:[HL＋C] （ESレジスタにて上位4ビット・アドレス指定）

図3－30　[HL+B]，[HL+C]の例



①のレジスタ・ペアでF0000H～FFFFFHの64Kバイト空間内のデータ配列（の先頭アドレス）を指定します。
②で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

図3－31　ES:[HL+B]，ES:[HL+C]の例



①ESレジスタで1Mバイト空間の（どの64Kバイトの領域か）上位4ビットを指定します。
②①で指定された64Kバイト空間内のデータ配列（の先頭アドレス）をレジスタ・ペアで指定します。
③で示したレジスタで配列中のオフセットを指定することで，ターゲット・メモリを指し示します。

3. 4. 9　スタック・アドレッシング

【機　　能】

スタック・ポインタ（SP）の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール，リターン命令の実行時，および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

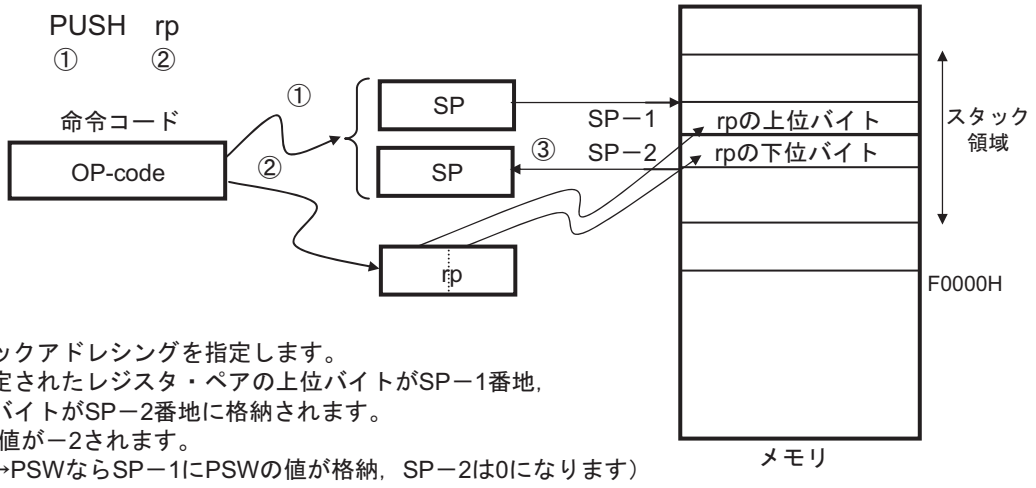
スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
－	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

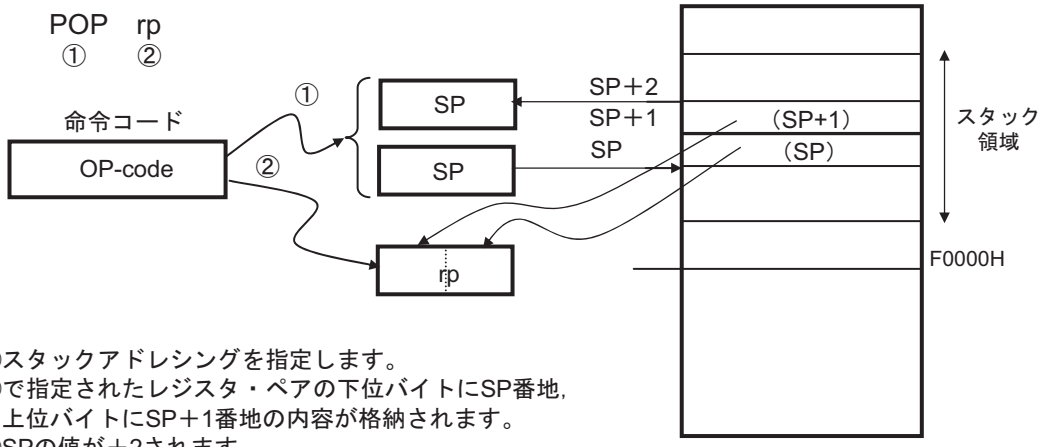
各スタック動作によって退避／復帰されるデータは図3－32～図3－37のようになります。

図3－32　PUSH rpの例



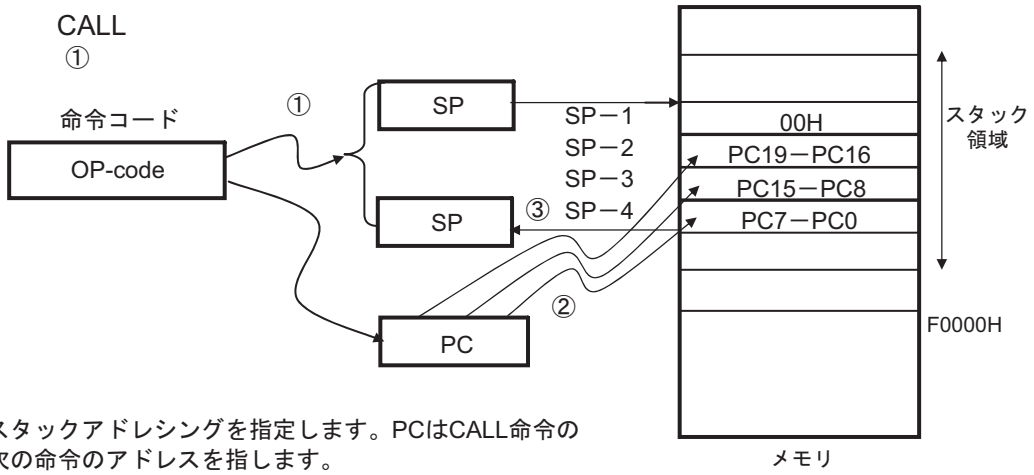
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの上位バイトがSP－1番地，
　下位バイトがSP－2番地に格納されます。
③SPの値が－2されます。
　（rp→PSWならSP－1にPSWの値が格納，SP－2は0になります）

図3－33　POPの例



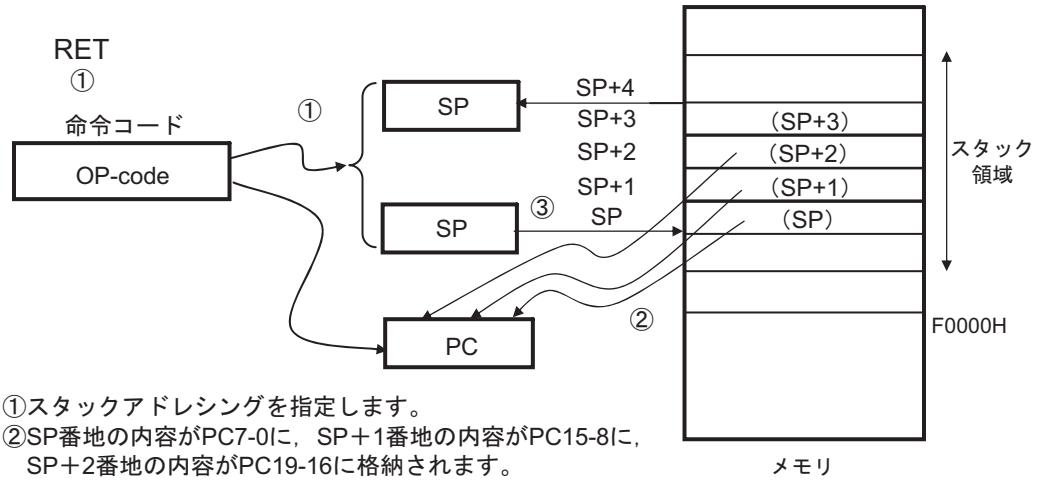
①スタックアドレシングを指定します。
②で指定されたレジスタ・ペアの下位バイトにSP番地，
　上位バイトにSP＋1番地の内容が格納されます。
③SPの値が＋2されます。
　（rp→PSWならSP＋1番地の内容がPSWに格納されます）

図3－34　CALL，CALLTの例



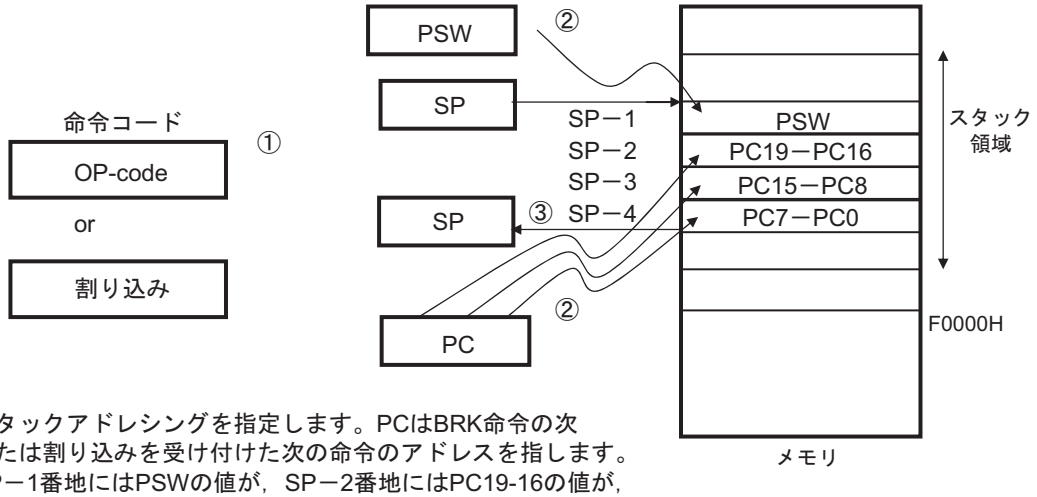
①スタックアドレシングを指定します。PCはCALL命令の
　次の命令のアドレスを指します。
②SP－1番地には00Hが，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の
　値が格納されます。
③SPの値が－4されます。

図3－35　RETの例



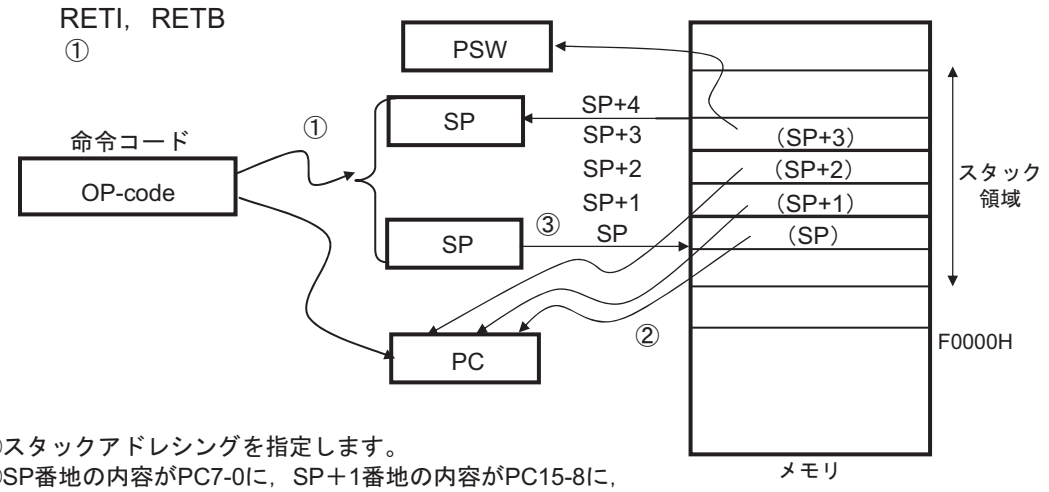
①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に格納されます。
③SPの値が＋4されます。

図3－36　割り込み，BRKの例



①スタックアドレシングを指定します。PCはBRK命令の次
　または割り込みを受け付けた次の命令のアドレスを指します。
②SP－1番地にはPSWの値が，SP－2番地にはPC19-16の値が，
　SP－3番地にはPC15-8の値が，SP－4番地にはPC7-0の値が
　格納されます。
③SPの値が－4されます。

図3－37　RETI，RETBの例



①スタックアドレシングを指定します。
②SP番地の内容がPC7-0に，SP＋1番地の内容がPC15-8に，
　SP＋2番地の内容がPC19-16に，SP＋3番地の内容がPSW
　格納されます。
③SPの値が＋4されます。

第4章　ポート機能

4.1　ポートの機能

RL78/G1Cは，デジタル入出力ポートを備えており，多様な制御を行うことができます。

また，デジタル入出力ポートとしての機能以外に，各種兼用機能を備えています。兼用機能については，第2章端子機能を参照してください。

4. 2　ポートの構成

ポートは，次のハードウエアで構成しています。

表4－1　ポートの構成

項　　目	構　　成
制御レジスタ	ポート・モード・レジスタ（PM0-PM7, PM12, PM14） ポート・レジスタ（P0 -P7, P12-P14） プルアップ抵抗オプション・レジスタ（PU0, PU1, PU3- PU5, PU7, PU12, PU14） ポート入力モード・レジスタ（PIM0, PIM3, PIM5） ポート出力モード・レジスタ（POM0, POM3, POM5, POM7） ポート・モード・コントロール・レジスタ（PMC0, PMC12） A/Dポート・コンフィギュレーション・レジスタ（ADPC） 周辺I/Oリダイレクション・レジスタ（PIOR）
ポート	・32ピン製品： 合計：26本（CMOS入出力：20本，CMOS入力：3本，N-chオープン・ドレイン入出力：3本） ・32ピン製品： 合計：24本（CMOS入出力：18本，CMOS入力：3本，N-chオープン・ドレイン入出力：3本） ・48ピン製品： 合計：42本（CMOS入出力：32本，CMOS入力：5本，CMOS出力：1本，N-chオープン・ドレイン入出力：4本） ・48ピン製品： 合計：40本（CMOS入出力：30本，CMOS入力：5本，CMOS出力：1本，N-chオープン・ドレイン入出力：4本）
プルアップ抵抗	・32ピン製品　　：合計：11本 ・48ピン製品　　：合計：20本

注意　この章では，以降の主な説明を48ピン製品で，周辺I/Oリダイレクション・レジスタ（PIOR）に00H設定時の場合で説明しています。

4.2.1　ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0（PM0）により1ビット単位で入力モード／出力モードの指定ができます。P00, P01端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ0（PU0）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P00, P01端子の入力は，ポート入力モード・レジスタ0（PIM0）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

32ピン製品でP00, P01端子をデジタル入出力ポートとして使用する場合，ポート・モード・コントロール・レジスタ0（PMC0）で“デジタル入出力”を設定してください（1ビット単位で設定可能）。

また，兼用機能としてタイマの入出力機能があります。

リセット信号の発生により，以下のようになります。

・32ピン製品のP00, P01端子　…　アナログ入力

・48ピン製品のP00, P01端子　…　入力モード

4.2.2　ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1（PM1）により1ビット単位で入力モード／出力モードの指定ができます。P14-P17を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ1（PU1）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてタイマの入出力，クロック／ブザー出力，外部割り込み要求入力，USBコネクタとのインタフェース機能があります。

リセット信号の発生により，入力モードになります。

4.2.3　ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2（PM2）により1ビット単位で入力モード／出力モードの指定ができます。

また，兼用機能としてA/Dコンバータのアナログ入力，A/Dコンバータの基準電位（＋側）入力，A/Dコンバータの基準電位（－側）入力があります。

P20/ANI0-P27/ANI7をデジタル入出力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）で“デジタル入出力”に設定して，上位ビットから使用してください。

P20/ANI0-P27/ANI7をアナログ入力として使用する場合は，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に，かつPM2レジスタで入力モードに設定して，下位ビットから使用してください。

表4－2　P20/ANI0-P27/ANI7端子機能の設定

ADPCレジスタ	PM2レジスタ	ADSレジスタ	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	－	デジタル入力
	出力モード	－	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により，P20/ANI0-P27/ANI7はすべてアナログ入力になります。

4. 2. 4　ポート3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3（PM3）により1ビット単位で入力モード／出力モードの指定ができます。P30, P31端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ3（PU3）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能として外部割り込み要求入力，リアルタイム・クロックの補正クロック出力，シリアル・インタフェースのクロック入出力，タイマの入出力があります。

リセット信号の発生により，P30, P31は入力モードになります。

4. 2. 5　ポート4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4（PM4）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ4（PU4）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 6　ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5（PM5）により1ビット単位で入力モード／出力モードの指定ができます。P50, P51端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ5（PU5）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50端子の入力は，ポート入力モード・レジスタ5（PIM5）の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50, P51端子の出力は，ポート出力モード・レジスタ5（POM5）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また，兼用機能として外部割り込み要求入力，シリアル・インタフェースのデータ入出力，フラッシュ・メモリ・プログラミング時のUARTのシリアル・データ入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 7　ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6（PM6）により1ビット単位で入力モード／出力モードの指定ができます。

P60-P63端子の出力は，N-chオープン・ドレイン出力（6 V耐圧）です。

また，兼用機能としてシリアル・インタフェースのデータ入出力，クロック入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 8　ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7（PM7）により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用できます。

P74端子の出力は，ポート出力モード・レジスタ7（POM7）により1ビット単位でN-chオープン・ドレイン出力（V_{DD}耐圧）に設定可能です。

また，兼用機能としてキー割り込み入力，シリアル・インタフェースのデータ入出力，クロック入出力，外部割り込み要求入力，タイマ入出力があります。

リセット信号の発生により，入力モードになります。

4. 2. 9　ポート12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ12（PM12）により，入力モード／出力モードの指定ができます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ12（PU12）により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力専用ポートです。

P120端子は，ポート・モード・コントロール・レジスタ12（PMC12）の設定によりデジタル入出力／アナログ入力の指定ができます。

また兼用機能としてA/Dコンバータのアナログ入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力，サブシステム・クロック用外部クロック入力があります。

リセット信号の発生により，P120はアナログ入力になります。P121-P124は入力モードになります。

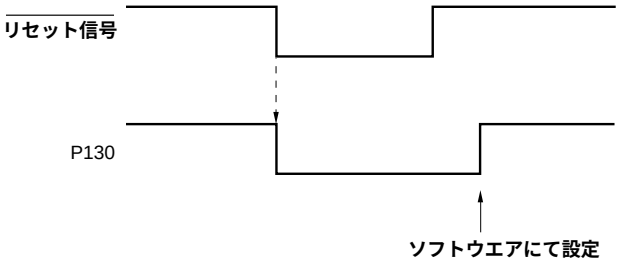
4. 2. 10　ポート13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード，P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

備考　リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4. 2. 11　ポート14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14（PM14）により1ビット単位で入力モード／出力モードの指定ができます。P140端子を入力ポートとして使用する場合は，プルアップ抵抗オプション・レジスタ14（PU14）により1ビット単位で内蔵プルアップ抵抗を使用できます。

また，兼用機能としてクロック／ブザー出力，外部割り込み要求入力があります。

リセット信号の発生により，P140は入力モードになります。

4.3　ポート機能を制御するレジスタ

ポートは，次のレジスタで制御します。

・ポート・モード・レジスタ（PMxx）
・ポート・レジスタ（Pxx）
・プルアップ抵抗オプション・レジスタ（PUxx）
・ポート入力モード・レジスタ（PIMx）
・ポート出力モード・レジスタ（POMx）
・ポート・モード・コントロール・レジスタ（PMCxx）
・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・周辺I/Oリダイレクション・レジスタ（PIOR）

注意　製品によって，搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては，表4－4，表4－5を参照してください。また，搭載していないビットには必ず初期値を設定してください。

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（1/3）

ポート		ビット名						48 pin	32 pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート0	0	PM00	P00	PU00	PIM00	POM00	PMC00注	○	○
	1	PM01	P01	PU01	PIM01	POM01	PMC01注	○	○
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート1	0	－	－	－	－	－	－	－	－
	1	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	PM14	P14	PU14	－	－	－	○	－
	5	PM15	P15	PU15	－	－	－	○	－
	6	PM16	P16	PU16	－	－	－	○	○
	7	PM17	P17	PU17	－	－	－	○	○
ポート2	0	PM20	P20	－	－	－	－	○	○
	1	PM21	P21	－	－	－	－	○	○
	2	PM22	P22	－	－	－	－	○	○
	3	PM23	P23	－	－	－	－	○	○
	4	PM24	P24	－	－	－	－	○	○
	5	PM25	P25	－	－	－	－	○	－
	6	PM26	P26	－	－	－	－	○	－
	7	PM27	P27	－	－	－	－	○	－

注　32ピン製品のみ

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（2/3）

ポート		ビット名						48 pin	32 pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート3	0	PM30	P30	PU30	PIM30	POM30	－	○	○
	1	PM31	P31	PU31	－	－	－	○	○
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート4	0	PM40	P40	PU40	－	－	－	○	○
	1	PM41	P41	PU41	－	－	－	○	－
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート5	0	PM50	P50	PU50	PIM50	POM50	－	○	○
	1	PM51	P51	PU51	－	POM51	－	○	○
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート6	0	PM60	P60	－	－	－	－	○	○
	1	PM61	P61	－	－	－	－	○	○
	2	PM62	P62	－	－	－	－	○	○
	3	PM63	P63	－	－	－	－	○	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート7	0	PM70	P70	PU70	－	－	－	○	○
	1	PM71	P71	PU71	－	－	－	○	－
	2	PM72	P72	PU72	－	－	－	○	－
	3	PM73	P73	PU73	－	－	－	○	－
	4	PM74	P74	PU74	－	POM74	－	○	－
	5	PM75	P75	PU75	－	－	－	○	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－

表4－3　各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビット（3/3）

ポート		ビット名						48 pin	32 pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート12	0	PM120	P120	PU120	－	－	PMC120	○	○
	1	－	P121	－	－	－	－	○	○
	2	－	P122	－	－	－	－	○	○
	3	－	P123	－	－	－	－	○	－
	4	－	P124	－	－	－	－	○	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－
ポート13	0	－	P130	－	－	－	－	○	－
	1	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	P137	－	－	－	－	○	○
ポート14	0	PM140	P140	PU140	－	－	－	○	－
	1	－	－	－	－	－	－	－	－
	2	－	－	－	－	－	－	－	－
	3	－	－	－	－	－	－	－	－
	4	－	－	－	－	－	－	－	－
	5	－	－	－	－	－	－	－	－
	6	－	－	－	－	－	－	－	－
	7	－	－	－	－	－	－	－	－

4. 3. 1　ポート・モード・レジスタ（PMxx）

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

ポート端子を兼用機能の端子として使用する場合，4. 5　兼用機能使用時のレジスタ設定を参照し，設定してください。

図4－1　ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	1	1	1	1	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	1	1	1	1	1	1	1	PM140	FFF2EH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 （m = 0-7, 12, 14; n = 0-7）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 2　ポート・レジスタ（Pxx）

ポートの出力ラッチの値を設定するレジスタです。

リードする場合，入力モード時は端子レベルが，出力モード時はポートの出力ラッチの値が読み出されます[注]。

ポート・レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注　P00，P01，P20-P27，P120をA/Dコンバータのアナログ入力機能として設定した場合に，ポートが入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4－2　ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H（出力ラッチ）	R/W
P1	P17	P16	P15	P14	0	0	0	0	FFF01H	00H（出力ラッチ）	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H（出力ラッチ）	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H（出力ラッチ）	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H（出力ラッチ）	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H（出力ラッチ）	R/W
P6	0	0	0	0	P63	P62	P61	P60	FFF06H	00H（出力ラッチ）	R/W
P7	0	0	P75	P74	P73	P72	P71	P70	FFF07H	00H（出力ラッチ）	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W[注1]
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W[注1]
P14	0	0	0	0	0	0	0	P140	FFF0EH	00H（出力ラッチ）	R/W

Pmn	出力データの制御（出力モード時）	入力データの読み出し（入力モード時）
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 1.　P121-P124，P137はRead Onlyです。

2.　P137：不定

P130：0（出力ラッチ）

注意　搭載していないビットには必ず初期値を設定してください。

備考　m = 0-7，12-14；n = 0-7

4. 3. 3　プルアップ抵抗オプション・レジスタ（PUxx）

内蔵プルアップ抵抗を使用するか，しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で，通常出力モード（POMmn = 0）かつ入力モード（PMmn = 1）に設定したビットにのみ，ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは，プルアップ抵抗オプション・レジスタの設定にかかわらず，内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H（PU4のみ01H）になります。

図4－3　プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	0	0	0	0	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	01H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU7	0	0	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	0	0	0	0	0	0	0	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 （m = 0, 1, 3-7, 12, 14 ; n = 0-7）
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 4　ポート入力モード・レジスタ（PIM0, PIM3, PIM5）

P00, P01, P30, P50の入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

PIM0, PIM3, PIM5レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－4　ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	0	0	0	PIM01	PIM00	F0040H	00H	R/W
PIM3	0	0	0	0	0	0	0	PIM30	F0043H	00H	R/W
PIM5	0	0	0	0	0	0	0	PIM50	F0045H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 （m = 0, 3, 5 ; n = 0-7）
0	通常入力バッファ
1	TTL入力バッファ

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 5　ポート出力モード・レジスタ（POM0, POM3, POM5, POM7）

P00, P01, P30, P50, P51, P74の出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I^2C通信時のSDA00, SDA01端子にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択できます。

POM0, POM3, POM5, POM7レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　N-chオープン・ドレイン出力（V_{DD}耐圧）モード（POMmn = 1）を設定したビットは，内蔵プルアップ抵抗が接続されません。

図4－5　ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	0	0	0	POM01	POM00	F0050H	00H	R/W
POM3	0	0	0	0	0	0	0	POM30	F0053H	00H	R/W
POM5	0	0	0	0	0	0	POM51	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	0	0	0	F0057H	00H	R/W

POMmn	Pmn端子の出力モードの選択（m = 0, 3, 5, 7 ; n = 0-7）
0	通常出力モード
1	N-chオープン・ドレイン出力（V_{DD}耐圧）モード

注意　搭載していないビットには必ず初期値を設定してください。

4. 3. 6　ポート・モード・コントロール・レジスタ0, 12（PMC0, PMC12）

P00, P01, P120のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

PMC0, PMC120レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図4－6　ポート・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	1	1	PMC01 注1	PMC00 注1	F0060H	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120 注2	F006CH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択（m = 0, 12；n = 0, 1）
0	デジタル入出力（アナログ入力以外の兼用機能）
1	アナログ入力

注 1.　32ピン製品のみ

2.　全製品に搭載

注意 1.　PMCxxレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 12（PM0, PM12）で入力モードに選択してください。

2.　PMCxxレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　搭載していないビットには必ず初期値を設定してください。

4.3.7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）

ANI0/P20-ANI7/P27端子を，A/Dコンバータのアナログ入力／ポートのデジタル入出力に切り替えるレジスタです。

ADPCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）のフォーマット

アドレス：F0076H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力（A）／デジタル入出力（D）の切り替え							
				ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	A	A
0	1	0	0	D	D	D	D	D	A	A	A
0	1	0	1	D	D	D	D	A	A	A	A
0	1	1	0	D	D	D	A	A	A	A	A
0	1	1	1	D	D	A	A	A	A	A	A
1	0	0	0	D	A	A	A	A	A	A	A
上記以外				設定禁止							

注意1.　ADPCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ2（PM2）で入力モードに選択してください。

2.　ADPCレジスタでデジタル入出力として設定する端子を，アナログ入力チャネル指定レジスタ（ADS）で設定しないでください。

3.　AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

4. 3. 8　周辺I/Oリダイレクション・レジスタ（PIOR）

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は，兼用機能を割り当てるポートを切り替える機能です。

リダイレクトさせる機能は，PIORレジスタでポートを割り当ててから，動作許可にしてください。

なお，リダイレクトの設定を変更できるのは，その機能を動作許可にするまでです。

PIORレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図4－8　周辺I/Oリダイレクション・レジスタ（PIOR）のフォーマット

アドレス：F001AH　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PIOR	0	0	0	0	0	0	PIOR1	PIOR0

ビット	機能	48ピン 設定値	
		0	1
PIOR1	SCLA0	P60	P01
	SDAA0	P61	P00
	TI03/TO03/ INTP4	P31	P41
PIOR0	TI02/TO02	P17	P72
	TI01/TO01/INTP5	P16	P71
	PCLBUZ1	P15	P41

ビット	機能	32ピン 設定値	
		0	1
PIOR1	SCLA0	P60	P01
	SDAA0	P61	P00
PIOR0	TI02/TO02	P17	P50
	TI01/TO01	P16	P51
	PCLBUZ1	P70	P120
	TI03/TO03/PCLBUZ0	P31	P30

4.4　ポート機能の動作

ポートの動作は，次に示すように入出力モードの設定によって異なります。

4.4.1　入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により，出力ラッチに値を書き込めます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により，出力ラッチに値を書き込めます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4.4.2　入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により，出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により，端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3　入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い，結果を出力ラッチに書き込みます。また，出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは，もう一度出力ラッチにデータを書き込むまで保持されます。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし，その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし，出力バッファがオフしていますので，端子の状態は変化しません。

また，リセット信号が発生したときに，出力ラッチのデータはクリアされます。

4. 4. 4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応

ポート入力モード・レジスタ（PIMxx），ポート出力モード・レジスタ（POMxx）で入出力バッファを切り換えることにより，異電位（1.8 V系, 2.5 V系, 3 V系）で動作している外部デバイスとの接続が可能になります。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスからの入力を受ける場合，ポート入力モード・レジスタ0, 3, 5（PIM0, PIM3, PIM5）をビットごとに設定して，通常入力（CMOS）/TTL入力バッファを切り換えます。

異電位（1.8 V系, 2.5 V系, 3 V系）の外部デバイスへ出力する場合，ポート出力モード・レジスタ0, 3, 5（POM0, POM3, POM5）をビットごとに設定して，通常出力（CMOS）/N-chオープン・ドレイン（V_{DD}耐圧）を切り換えます。

以下，シリアル・インタフェースでの接続について説明します。

（1）　UART0, CSI00機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合　：P50（RxD0）
CSI00の場合　：P50（SI00），P30（SCK00）

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② PIM0, PIM3, PIM5レジスタの該当ビットを1に設定し，TTL入力バッファに切り換えます。なお，V_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。
③ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI（CSI[注]）モードに設定します。

注　一般的にはSPI と呼ばれる機能ですが、本製品ではCSI とも呼称しているため、本マニュアルでは併記します。

（2）UART0, CSI00機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合の設定手順

UART0の場合　：P50（TxD0）
CSI00の場合　：P50（SO00），P30（SCK00）

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する出力端子を外部抵抗を介して対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM0, POM3, POM5レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。
⑤ シリアル・アレイ・ユニットを動作許可し，UART/簡易SPI（CSI）モードに設定します。
⑥ PM0, PM3, PM5レジスタを操作して出力モードに設定します。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

（3） IIC00機能の入出力ポートを，異電位（1.8 V系, 2.5 V系, 3 V系）で使用する場合の設定手順

IIC00の場合　：P50（SDA00）, P30（SCL00）

備考　（ ）内の端子は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

① 使用する入力端子を外部抵抗を介して，対象デバイスの電源にプルアップします（内蔵プルアップ抵抗は使用不可）。
② リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
③ 該当するポートの出力ラッチに1を設定します。
④ POM3, POM5レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。
⑤ PIM3, PIM5レジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。なお, V_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。
⑥ シリアル・アレイ・ユニットを動作許可し，簡易I^2Cモードに設定します。
⑦ PM3, PM5レジスタの該当ビットを出力モードに設定します（出力モードのままでデータ入出力可能）。この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。

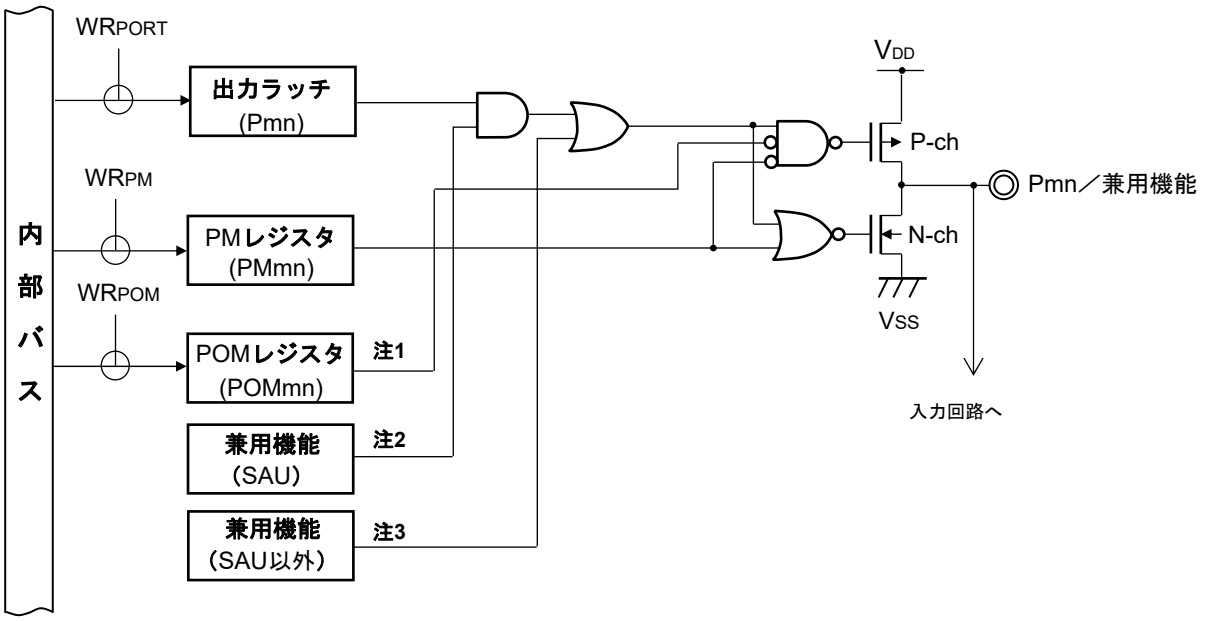
4.5　兼用機能使用時のレジスタ設定

4.5.1　兼用機能使用時の基本的な考え方

最初に，アナログ入力と兼用している端子については，アナログ入力で使用するかデジタル入出力で使用するかをADPCレジスタまたはポート・モード・コントロール・レジスタ（PMCxx）で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4－9に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には，兼用しているSAU以外の機能（TAU，RTC，クロック／ブザー出力，IICA等）の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には，使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4－4に示します。

図4－9　端子の出力回路の基本的な構成



注1.　POMレジスタがない場合には，この信号はLow（0）と考えてください。
　2.　兼用機能がない場合には，この信号はHigh（1）と考えてください。
　3.　兼用機能がない場合には，この信号はLow（0）と考えてください。

備考　m：ポート番号（m = 0-7, 12-14），n：ビット番号（n = 0-7）

表4－4　基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	－	出力はHigh（1）	出力はLow（0）
SAUの出力機能	High（1）	－	出力はLow（0）
SAU以外の出力機能	Low（0）	出力はHigh（1）	出力はLow（0）注

注　1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので，使用しない兼用機能の出力はLow（0）にしておく必要があります。具体的な設定方法については，「4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定」を参照してください。

4. 5. 2　出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には，次に示す設定を行ってください。なお，周辺I/Oリダイレクト機能の対象になっている場合には，周辺I/Oリダイレクション・レジスタ（PIOR）を設定することで，出力を他の端子に切り替えることもできます。これにより，対象の端子に割り当てられたポート機能または他の兼用機能を使用することが可能となります

(1)　SOp = 1/TxDq = 1（SAUのシリアル出力（SOp/TxDq）を使用しない場合の設定）
SAUをシリアル入力のみで使用するなど，シリアル出力（SOp/TxDq）を使用しない場合は，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタ（SOm）のSOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(2)　SCKp = 1/SDAr = 1/SCLr = 1（SAUのチャネルnを使用しない場合の設定）
SAUを使用しない場合は，シリアル・チャネル許可ステータス・レジスタm（SEm）のビットn（SEmn）を0（動作停止状態）に設定し，使用しない出力に対応したシリアル出力許可レジスタm（SOEm）のビットを0（出力禁止）に設定し，シリアル出力レジスタ（SOm）のSOmnビットとCKOmnビットを1（High）に設定してください。これは初期状態と同じ設定です。

(3)　TOmn = 0（TAUのチャネルnの出力を使用しない場合の設定）
TAUのTOmn出力を使用しない場合は，使用しない出力に対応したタイマ出力許可レジスタ0（TOE0）のビットを0（出力禁止），タイマ出力レジスタ0（TO0）のビットを0（Low）に設定してください。これは初期状態と同じ設定です。

(4)　SDAAn = 0/SCLAn = 0（IICAを使用しない場合の設定）
IICAを使用しない場合は，IICAコントロール・レジスタn0（IICCTLn0）のIICEnビットを0（動作停止）にしてください。これは初期状態と同じ設定です。

(5)　PCLBUZn = 0（クロック出力/ブザー出力を使用しない場合の設定）
クロック出力/ブザー出力を使用しない場合は，クロック出力選択レジスタn（CKSn）のPCLOEnビットを0（出力禁止）にしてください。これは初期状態と同じ設定です。

4. 5. 3　使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4－5に示します。ポート機能を制御するレジスタを表4－5のように設定してください。なお，表4－5の表記については次の備考を参照してください。

備考　－　　：対象外
　　×　　：don't care
　　PIOR×　：周辺I/Oリダイレクション・レジスタ
　　POM××：ポート出力モード・レジスタ
　　PMC××：ポート・モード・コントロール・レジスタ
　　PM××　：ポート・モード・レジスタ
　　P××　　：ポートの出力ラッチ
　　（ ）内の機能は，周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当て可能です。

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（1/8）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		32ピン	48ピン
	機能名称	入出力						SAUの出力機能	SAU以外		
P00	P00	入力	－	×	0注	1	×	×	×	○	○
		出力	－	0	0注	0	0/1	SDA01 = 1	(SDAA0) = 0	○	×
		N-chOD出力	－	1	0注	0	0/1				
	ANI17	アナログ入力	－	×	1	1	×	×	×	○	×
	TI00	入力	－	×	0注	1	×	×	×	○	○
	INTP8	入力	－	×	0	1	×	×	×	○	×
	SI01	入力	－	×	0	1	×	×	×	○	×
	SDA01	入出力	－	1	0	0	1	×	×	○	×
	(SDAA0)	入出力	PIOR1 = 1	1	0	0	1	×	×	×	○
P01	P01	入力	－	×	0注	1	×	×	×	○	○
		出力	－	0	0注	0	0/1	SCK01 = 1 SCL01 = 1注	TO00 = 0 SCLA0 = 0		
		N-chOD出力	－	1	0	0	0/1				
	ANI16	アナログ入力	－	×	1	1	×	×	×	○	×
	TO00	出力	－	0	0注	0	0	×	×	○	○
	INTP9	入力	－	×	0	1	×	×	×	○	×
	SCK01	入力	－	×	0	1	×	×	×	○	×
		出力	－	0/1	0	0	1	×	×		
	SCL01	出力	－	0/1	0	0	1	×	×	○	×
	(SCLA0)	出力	PIOR1 = 1	1	0	0	1	×	×	○	○

注　32ピン製品のみ

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（2/8）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		32ピン	48ピン
	機能名称	入出力						SAU系	それ以外		
P14	P14	入力	－	－	－	1	×	－	×	×	○
		出力	－	－	－	0	0/1	－	×		
	UOVRCUR0注	入力	－	－	－	1	×	－	×	×	○
P15	P15	入力	－	－	－	1	×	－	×	×	○
		出力	－	－	－	0	0/1	－	UVBUSEN0 = 0注 PCLBUZ1 = 0		
	PCLBUZ1	出力	PIOR0 = 0	－	－	0	0	－	UVBUSEN0 = 0注	×	○
	UVBUSEN0注	出力	－	－	－	0	0	－	PCLBUZ1 = 0	×	○
P16	P16	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	TO01 = 0		
	TI01	入力	PIOR0 = 0	－	－	1	×	－	×	○	○
	TO01	出力	PIOR0 = 0	－	－	0	0	－	×	○	○
	INTP5	入力	PIOR0 = 0	－	－	1	×	－	×	○	○
	UOVRCUR1注	入力	－	－	－	1	×	－	×	○	○
P17	P17	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	UVBUSEN1 = 0注 TO02 = 0		
	TI02	入力	PIOR0 = 0	－	－	1	×	－	×	○	○
	TO02	出力	PIOR0 = 0	－	－	0	0	－	UVBUSEN1 = 0注	○	○
	UVBUSEN1注	出力	－	－	－	0	0	－	TO02 = 0	○	○

注　R5F10K製品には，搭載されていません。

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（3/8）

端子名称	使用機能		ADPC	ADM2	PM××	P××	32ピン	48ピン
	機能名称	入出力						
P20	P20	入力	ADPC = 01H	×	1	×	○	○
		出力	ADPC = 01H	×	0	0/1		
	ANI0	アナログ入力	ADPC = 00H/ 02H～0FH	00x0xx0x, 10x0xx0x	1	×	○	○
	AV_{REFP}	基準電圧	ADPC = 00H/ 02H～0FH	01x0xx0x	1	×	○	○
P21	P21	入力	ADPC = 01H/02H	×	1	×	○	○
		出力	ADPC = 01H/02H	×	0	0/1		
	ANI1	アナログ入力	ADPC = 00H/ 3～0FH	xx00xx0x	1	×	○	○
	AV_{REFM}	基準電圧	ADPC = 00H/ 3～0FH	xx10xx0x	1	×	○	○
P22	P22	入力	ADPC = 01H～03H	×	1	×	○	○
		出力	ADPC = 01H～03H	×	0	0/1		
	ANI2	アナログ入力	ADPC = 00H/ 04H～0FH	×	1	×	○	○
P23	P23	入力	ADPC = 01～04H	×	1	×	○	○
		出力	ADPC = 01～04H	×	0	0/1		
	ANI3	アナログ入力	ADPC = 00H/ 5H～0FH	×	1	×	○	○
P24	P24	入力	ADPC = 01H～05H	×	1	×	×	○
		出力	ADPC = 01H～05H	×	0	0/1		
	ANI4	アナログ入力	ADPC = 00H/ 06H～0FH	×	1	×	×	○
P25	P25	入力	ADPC = 01H～06H	×	1	×	×	○
		出力	ADPC = 01H～06H	×	0	0/1		
	ANI5	アナログ入力	ADPC = 00H/ 07H～0FH	×	1	×	×	○
P26	P26	入力	ADPC = 01H～07H	×	1	×	×	○
		出力	ADPC = 01H～07H	×	0	0/1		
	ANI6	アナログ入力	ADPC = 00H/ 08H～0FH	×	1	×	×	○
P27	P27	入力	ADPC = 01H～08H	×	1	×	×	○
		出力	ADPC = 01H～08H	×	0	0/1		
	ANI7	アナログ入力	ADPC = 00H/ 09H～0FH	×	1	×	×	○

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（4/8）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		32ピン	48ピン
	機能名称	入出力						SAU系	それ以外		
P30	P30	入力	－	×	－	1	×	×	×	○	○
		出力	－	0	－	0	0/1	SCK00/ SCL00 = 1	RTC1HZ = 0注2 (TO03) = 0注1 (PCLBUZ0) = 0注1		
		N-chOD出力	－	1	－	0	0/1			○	○
	INTP3	入力	－	×	－	1	×	×	×	○	×
	RTC1HZ	出力	－	0	－	0	0	SCK00/ SCL00 = 1	×	○	×
	SCK00	入力	－	×	－	1	×	×	×	○	×
		出力	－	0/1	－	0	1	×	RTC1HZ = 0注2 (TO03) = 0注1 (PCLBUZ0) = 0注1	○	×
	SCL00	出力	－	0/1	－	0	1	×		○	×
	(TI03)	入力	PIOR0 = 1注2	×	－	1	×	×	×	○	×
	(TO03)	出力	PIOR0 = 1注2	0	－	0	0	SCK00/ SCL00 = 1	(PCLBUZ0) = 0注1	○	×
	(PCLBUZ0)	出力	PIOR0 = 1注2	0	－	0	0		(TO03) = 0注1	○	×
P31	P31	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	TO03 = 0 PCLBUZ0 = 0注1 UVBUSEN0 = 0注1		
	TI03	入力	PIOR0 = 0 PIOR1 = 0	－	－	1	×	－	×	○	○
	TO03	出力	PIOR0 = 0 PIOR1 = 0	－	－	0	0	－	PCLBUZ0 = 0注1 UVBUSEN0 = 0注1	○	○
	INTP4	入力	PIOR1 = 0注2	－	－	1	×	－	×	○	○
	PCLBUZ0	出力	PIOR0 = 0注1	－	－	0	0	－	TO03 = 0 UVBUSEN0 = 0注1	○	×
	UVBUSEN0注3	出力	－	－	－	0	0	－	TO03 = 0 PCLBUZ0 = 0注1	○	×

注 1.　32ピン製品のみ

2.　48ピン製品のみ

3.　R5F10K製品には搭載されません。

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（5/8）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		32ピン	48ピン
	機能名称	入出力						SAU系	それ以外		
P40	P40	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	×		
P41	P41	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	(TO03) = 0 (PCLBUZ1) = 0注2		
	(TI03)	入力	PIOR1 = 1注2	－	－	1	×	－	×	×	○
	(TO03)	出力	PIOR1 = 1注2	－	－	0	0	－	(PCLBUZ1) = 0注2	×	○
	(INTP4)	入力	PIOR1 = 1注2	－	－	1	×	－	×	×	○
	(PCLBUZ1)	出力	PIOR0 = 1注2	－	－	0	0	－	(TO03) = 0注2	×	○
P50	P50	入力	－	×	－	1	×	×	×	○	○
		出力	－	0	－	0	0/1	SDA00 = 1	(TO02) = 0注2		
		N-chOD 出力	－	1	－	0	0/1		×		
	INTP1	入力	－	×	－	1	×	×	×	○	○
	SI00	入力	－	×	－	1	×	×	×	○	○
	RxD0	入力	－	×		1	×	×	×	○	○
	SDA00	入出力	－	1	－	0	1	×	(TO02) = 0注2	○	○
	(TI02)	入力	PIOR0 = 1注1	×	－	1	×	×	×	○	×
	(TO02)	出力	PIOR0 = 1注1	0	－	0	1	SDA00 = 1	×	○	×
P51	P51	入力	－	×	－	1	×	×	×	○	○
		出力	－	0	－	0	0/1	SO00/ TxD00 = 1	(TO01) = 0注1		
		N-chOD 出力	－	1	－	0	0/1				
	INTP2	入力	－	×	－	1	×	×	×	○	○
	SO00	出力	－	0/1	－	0	1	×	(TO01) = 0注1	○	○
	TxD0	出力	－	0/1	－	0	1	×		○	○
	(TI01)	入力	PIOR0 = 1注1	×	－	1	×	×	×	○	×
	(TO01)	出力	PIOR0 = 1注1	0	－	0	0	SO00/ TxD00 = 1	×	○	×
P60	P60	入力	－	－	－	1	×	－	×	○	○
		N-chOD 出力 (6V耐圧)	－	－	－	0	0/1	－	SCLA0 = 0		
	SCLA0	入出力	PIOR1 = 0	－	－	0	0	－	×	○	○
P61	P61	入力	－	－	－	1	×	－	×	○	○
		N-chOD 出力 (6V耐圧)	－	－	－	0	0/1	－	SDAA0 = 0		
	SDAA0	入出力	PIOR1 = 0	－	－	0	0	－	×	○	○
P62	P62	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	×		
P63	P63	入力	－	－	－	1	×	－	×	×	○
		出力	－	－	－	0	0/1	－	×		

注 1.　32ピン製品のみ

　　2.　48ピン製品のみ

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（6/8）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		32ピン	48ピン
	機能名称	入出力						SAU系	それ以外		
P70	P70	入力	－	－	－	1	×	－	×	○	○
		出力	－	－	－	0	0/1	－	PCLBUZ1 = 0		
	KR0	入力	－	－	－	1	×	－	×	×	○
	PCLBUZ1	出力	PIOR0 = 0[注1]	－	－	0	0	－	×	○	×
	UOVRCUR0[注3]	入力	－	－	－	1	×	－	×	○	×
P71	P71	入力	－	－	－	1	×	－	×	×	○
		出力	－	－	－	0	0/1	－	TO01 = 0		
	KR1	入力	－	－	－	1	×	－	×	×	○
	(TI01)	入力	PIOR0 = 1	－	－	1	×	－	×	×	○
	(TO01)	出力	PIOR0 = 1	－	－	0	0	－	×	×	○
	(INTP5)	入力	PIOR0 = 1	－	－	1	×	－	×	×	○
P72	P72	入力	－	－	－	1	×	－	×	×	○
		出力	－	－	－	0	0/1	－	TO02 = 0		
	KR2	入力	－	－	－	1	×	－	×	×	○
	(TI02)	入力	PIOR0 = 1	－	－	1	×	－	×	×	○
	(TO02)	出力	PIOR0 = 1	－	－	0	0	－	×	×	○
P73	P73	入力	－	－	－	1	×	－	－	×	○
		出力	－	－	－	0	0/1	SO01 = 1[注2]	－		
	KR3	入力	－	－	－	1	×	×	－	×	○
	SO01	出力	－	－	－	0	1	－	－	×	○
P74	P74	入力	－	×	－	1	×	×	－	×	○
		出力	－	0	－	0	0/1	SDA01 = 1[注2]	－		
		N-chOD 出力	－	1	－	0	0/1				
	KR4	入力	－	×	－	1	×	×	－	×	○
	INTP8	入力	－	×	－	1	×	×	－	×	○
	SI01	入力	－	×	－	1	×	×	－	×	○
	SDA01	入出力	－	1	－	0	1	×	－	×	○
P75	P75	入力	－	－	－	1	×	×	－	×	○
		出力	－	－	－	0	0/1	SCK01/ SCL01 = 1[注2]	－		
	KR5	入力	－	－	－	1	×	×	－	×	○
	INTP9	入力	－	－	－	1	×	×	－	×	○
	SCK01	入力	－	－	－	1	×	×	－	×	○
		出力	－	－	－	0	1	×	－	×	○
	SCL01	出力	－	－	－	0	1	×	－	×	○
P120	P120	入力	－	－	0	1	×	×	×	○	○
		出力	－	－	0	0	0/1	SO01 = 1[注1]	(PCLBUZ1) = 0[注1]		
	ANI19	アナログ入力	－	－	1	1	×	×	×	○	○
	SO01	出力	－	－	0	0	1	×	(PCLBUZ1) = 0[注1]	○	×
	(PCLBUZ1)	出力	PIOR0 = 1[注1]	－	0	0	0	SO01 = 1[注1]	×	○	×

注 1.　32ピン製品のみ

2.　48ピン製品のみ

3.　R5F10K製品には搭載されません。

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（7/8）

端子名称	使用機能		CMC (EXCLK,OSCSEL, EXCLKS, OSCSELS)	P××	32ピン	48ピン
	機能名称	入出力				
P121	P121	入力	00xx/10 xx/11 xx	×	○	○
	X1	－	01 xx	－	○	○
P122	P122	入力	00 xx/10 xx	×	○	○
	X2	－	01 xx	－	○	○
	EXCLK	入力	11 xx	－	○	○
P123	P123	入力	xx 00/xx 10/xx11	×	×	○
	XT1	－	xx 01	－	×	○
P124	P123	入力	xx 00/xx 10	×	×	○
	XT2	－	xx 01	－	×	○
	EXCLKS	入力	xx 11	－	×	○

表4－5　端子機能使用時のレジスタ，出力ラッチの設定例（8/8）

端子名称	使用機能		PIOR×	POM××	PMC××	PM××	P××	兼用機能出力		32ピン	48ピン
	機能名称	入出力						SAU系	それ以外		
P130	P130	出力	－	－	－	－	0/1	－	－	×	○
P137	P137	入力	－	－	－	－	×	－	－	○	○
	INTP0	入力	－	－	－	－	×	－	－	○	○
P140	P140	入力	－	－	－	1	×	－	×	×	○
		出力	－	－	－	0	0/1	－	PCLBUZ0 = 0注		
	PCLBUZ0	出力	－	－	－	0	0	－	×	×	○
	INTP6	入力	－	－	－	1	×	－	×	×	○

注　48ピン製品のみ

4.6　ポート機能使用時の注意事項

4.6.1　ポート・レジスタn（Pn）に対する1ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して1ビット・メモリ操作命令を行った場合，操作対象のビットだけでなく，操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため，任意のポートを入力モードから出力モードに切り替える前には，出力ラッチの値を書き直すことを推奨します。

＜例＞ P20は出力ポート，P21-P27は入力ポート（端子状態はすべてハイ・レベル）で，かつポート2の出力ラッチの値が“00H”のとき，出力ポートP20の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると，ポート2の出力ラッチの値は，“FFH”になります。

説明： PMnmビット ＝1であるポートのPnレジスタへの書き込みの対象は出力ラッチ，読み出しの対象は端子状態です。

1ビット・メモリ操作命令はRL78/G1C内部で，次の順序で行われます。

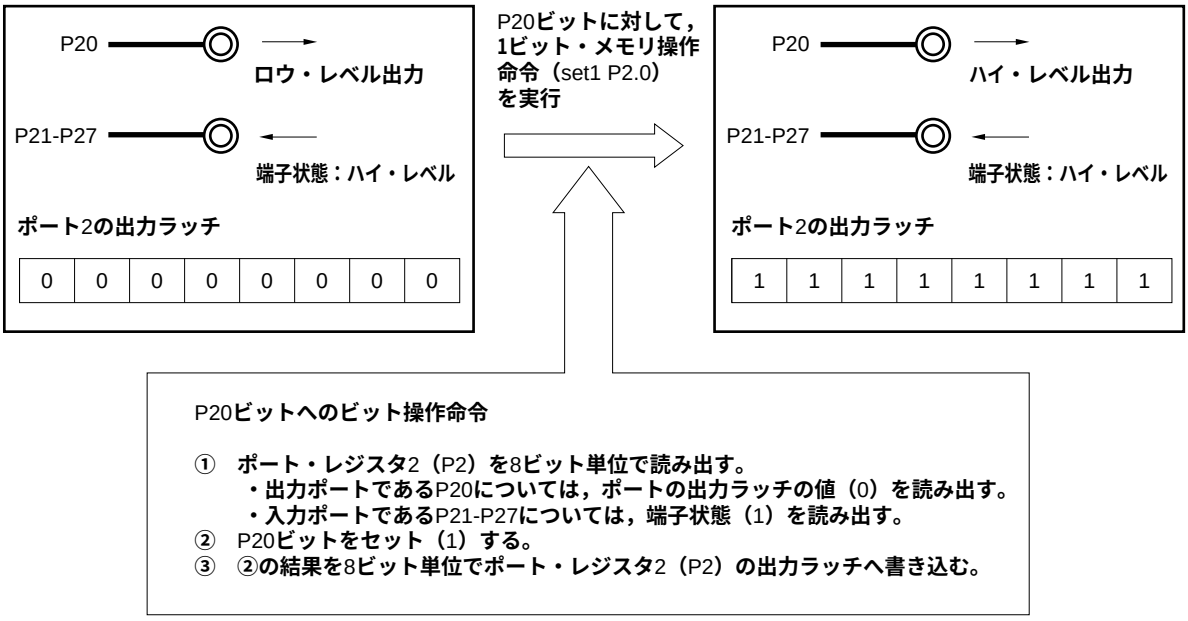
<1> Pnレジスタを8ビット単位で読み出し
<2> 対象の1ビットを操作
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき，出力ポートであるP20は出力ラッチの値（0）を読み出し，入力ポートであるP21-P27は端子状態を読み出します。このときP21-P27の端子状態が“ハイ･レベル”とすると，読み出し値は“FEH”となります。

<2> の操作で，値は“FFH”となります。

<3> の操作で，出力ラッチに“FFH”が書き込まれます。

図4－10　1ビット・メモリ操作命令（P20の場合）



4. 6. 2　端子設定に関する注意事項

複数の機能が割り当てられている出力端子については，使用しない兼用機能の出力を初期状態と同じにする必要があります（出力の衝突を回避）。周辺I/Oリダイレクション・レジスタ（PIOR）の設定により，割り当てられた機能も同様です。兼用出力については，4. 5　兼用機能使用時のレジスタ設定を参照してください。

入力として使用する端子では，兼用機能の出力が無効（バッファ出力がHi-Z）となるので，処理不要です。

なお，入力だけや入出力のないブロックを含めて，低消費電力化のために，使用しない機能は停止させることをおすすめします。

第5章　クロック発生回路

メイン・システム・クロック用発振子接続端子／外部クロック入力端子，サブシステム・クロック用発振子接続端子／外部クロック入力端子の有無は，製品によって異なります。

	32ピン製品	48ピン製品
X1, X2端子	○	○
EXCLK端子	○	○
XT1, XT2端子	－	○
EXCLKS端子	－	○

注意　32ピン製品には，サブシステム・クロックがありません。

5. 1　クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウエアに供給するクロックを発生する回路です。
システム・クロックおよびクロック発振回路には，次の種類があります。

（1）メイン・システム・クロック

① X1発振回路

X1端子, X2端子に発振子を接続することにより，f_X = 1～20 MHzのクロックを発振させることができます。STOP命令の実行またはMSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ

オプションバイト（000C2H）により，f_{HOCO} = 48 MHz (TYP.) /24 MHz (TYP.)から周波数を選択し，発振させることができます。CKSELRビット(MCKCレジスタのビット0）を"0"に設定すると，周波数f_{HOCO}をRDIV0, 1ビット（MCKCレジスタのビット1, 2）の設定によって，2/4/8分周（2分周がデフォルト）したクロックがメイン・システム・クロック・ソース（f_{IH}）として選択されます。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。

USBクロックとして高速オンチップ・オシレータ・クロックをソースクロックとして選択（USBファンクション・コントローラ機能のロウ・スピード転送時のみ使用可能）する場合は，f_{HOCO}の周波数選択を48 MHzとした上で，メイン・システム・クロック（f_{MAIN}）に必ずf_{HOCO}を分周したメイン・システム・クロック・ソース（f_{IH}）を選択して使用してください。

STOP命令の実行またはHIOSTOPビット（CSCレジスタのビット0）の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）で変更できます。周波数は，図5－9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマットを参照してください。

③　PLL（Phase Locked Loop）による高速システム・クロックの逓倍機能

USBホスト／ファンクション・コントローラ用のクロック供給を主目的としたクロック機能で，PLL発振周波数（f_{PLL}）が48MHzとなるようにDSCCTLレジスタを設定して使用します。また，CKSELRビットを"1"に設定すると，周波数f_{PLL}をRDIV0，1ビットの設定によって，2/4/8分周したクロックがメイン・システム・クロック・ソース（f_{IH}）として選択されます。USBクロックとしてPLLクロックをソースクロックとして選択する場合はメイン・システム・クロック（f_{MAIN}）として必ずf_{PLL}を分周したメイン・システム・クロック・ソース（f_{IH}）を選択して使用してください。

DSCONビット（DSCCTLレジスタのビット0）の設定により，PLLを動作，停止させることができます。なお，PLLの設定の詳細およびUSBクロックとの接続関係に関しては図5－12，表5－3を参照してください。

また，EXCLK/X2/P122端子から外部メイン・システム・クロック（f_{EX} = 1～20 MHz）を供給することができます。STOP命令の実行またはMSTOPビットの設定により，外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは，MCM0ビット（システム・クロック制御レジスタ（CKC）のビット4）の設定により，高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速オンチップ・オシレータ・クロックまたはPLLクロックを切り替えられます。

なお，メイン・システム・クロックは，電源電圧V_{DD}によって使用可能な周波数範囲が異なり，オプション・バイト（000C2H）のCMODE0, CMODE1 によりフラッシュの動作電圧モードの設定（第25章　オプション・バイト参照）が必要です。

（2）サブシステム・クロック

・XT1発振回路

XT1端子, XT2端子に32.768 kHzの発振子を接続することにより，f_{XT} = 32.768 kHzのクロックを発振させることができます。XTSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット6）の設定により，発振を停止することができます。

また，EXCLKS/XT2/P124端子から外部サブシステム・クロック（f_{EXS} = 32.768 kHz）を供給することができます。XTSTOPビットの設定により，外部サブシステム・クロック入力を無効にすることができます。

（3）低速オンチップ・オシレータ・クロック（低速オンチップ・オシレータ）

f_{IL} = 15 kHz（TYP.）のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは，次の周辺ハードウエアのみです。

・ウォッチドッグ・タイマ
・リアルタイム・クロック
・12ビット・インターバル・タイマ

オプション・バイト（000C0H）のビット4（WDTON）または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ただし，WDTON = 1, WUTMMCK0 = 0かつオプション・バイト（000C0H）のビット0（WDSTBYON）が0 のときに，HALT命令またはSTOP命令を実行した場合，低速オンチップ・オシレータは発振を停止します。

注意　リアルタイム・クロックのカウント・クロックに低速オンチップ・オシレータ・クロック（f_{IL}）を選択できるのは，定周期割り込み機能使用時のみです。

備考　f_X　：X1クロック発振周波数

f_{IH}　：高速オンチップ・オシレータ・クロックもしくはPLLクロックを選択して2/4/8分周したメイン・システム・クロック・ソースの周波数（最大24 MHz）

f_{HOCO}：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

f_{EX}　：外部メイン・システム・クロック周波数

f_{XT}　：XT1クロック発振周波数

f_{EXS}　：外部サブシステム・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック周波数

f_{PLL}　：PLL発振周波数

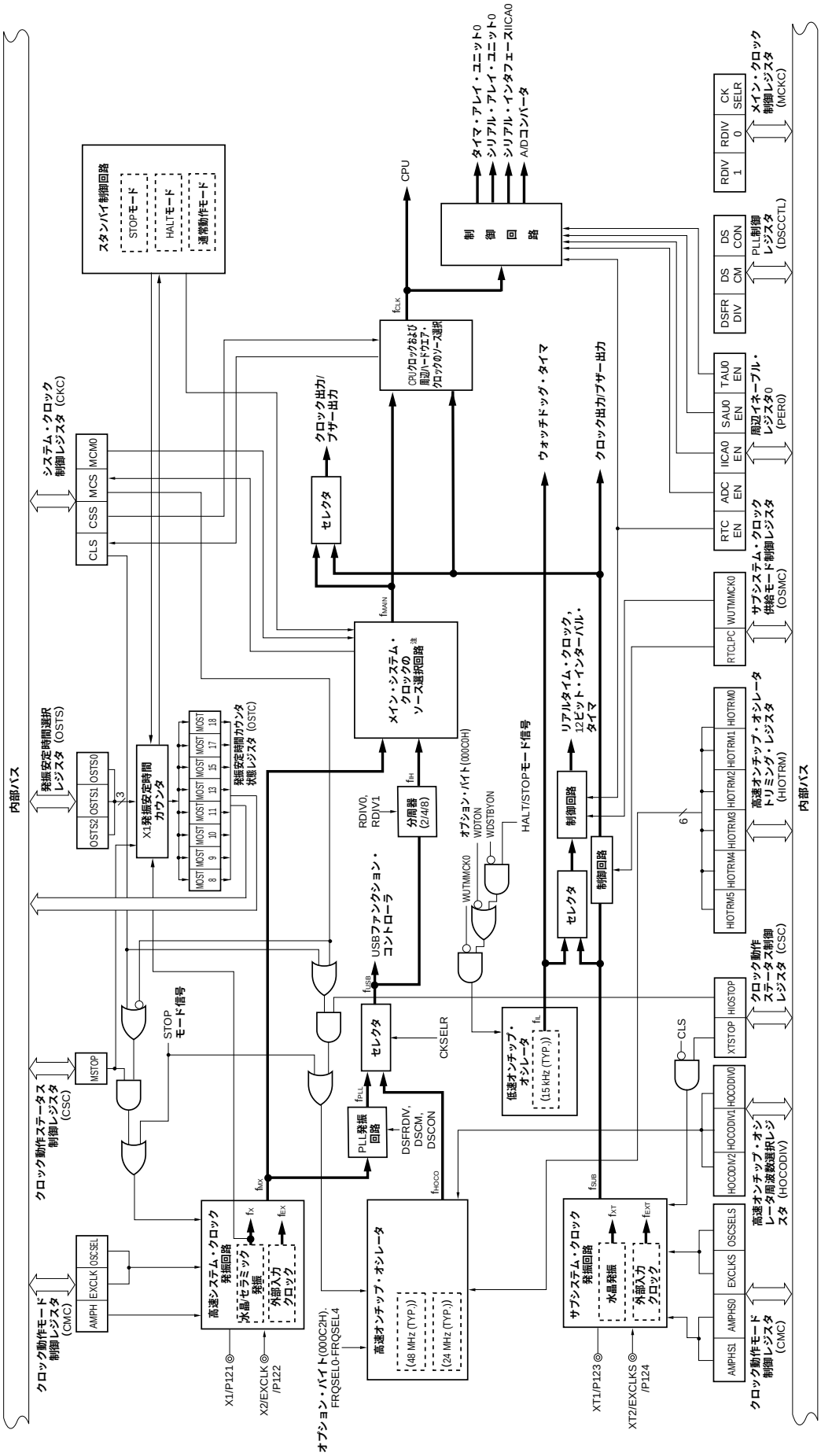
5. 2　クロック発生回路の構成

クロック発生回路は，次のハードウエアで構成しています。

表5－1　クロック発生回路の構成

項　　目	構　　成
制御レジスタ	クロック動作モード制御レジスタ（CMC） システム・クロック制御レジスタ（CKC） クロック動作ステータス制御レジスタ（CSC） 発振安定時間カウンタ状態レジスタ（OSTC） 発振安定時間選択レジスタ（OSTS） 周辺イネーブル・レジスタ0（PER0） サブシステム・クロック供給モード制御レジスタ（OSMC） 高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV） 高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM） PLL制御レジスタ（DSCCTL） メイン・クロック制御レジスタ（MCKC）
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ PLL発振回路

図5−1　クロック発生回路のブロック図



注　USBホスト/ファンクション・コントローラを使用する場合は必ずf_{IH}を選択してください。
（備考は次ページにあります。）

備考 f_X ：X1クロック発振周波数

f_{IH} ：高速オンチップ・オシレータ・クロックもしくはPLLクロックを選択して2/4/8分周したメイン・システム・クロック・ソースの周波数（最大24 MHz）

f_{HOCO} ：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）

f_{EX} ：外部メイン・システム・クロック周波数

f_{MX} ：高速システム・クロック周波数

f_{MAIN} ：メイン・システム・クロック周波数

f_{XT} ：XT1クロック発振周波数

f_{EXS} ：外部サブシステム・クロック周波数

f_{SUB} ：サブシステム・クロック周波数

f_{CLK} ：CPU／周辺ハードウエア・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

f_{PLL} ：PLL発振周波数

f_{USB} ：USBクロック周波数

5. 3　クロック発生回路を制御するレジスタ

クロック発生回路は，次の11種類のレジスタで制御します。

・クロック動作モード制御レジスタ（CMC）
・システム・クロック制御レジスタ（CKC）
・クロック動作ステータス制御レジスタ（CSC）
・発振安定時間カウンタ状態レジスタ（OSTC）
・発振安定時間選択レジスタ（OSTS）
・周辺イネーブル・レジスタ0（PER0）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）
・高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）
・PLL制御レジスタ（DSCCTL）
・メイン・クロック制御レジスタ（MCKC）

5. 3. 1　クロック動作モード制御レジスタ（CMC）

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と，発振回路のゲインを選択するレジスタです。

CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は，8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により，00Hになります。

図5－2　クロック動作モード制御レジスタ（CMC）のフォーマット

アドレス：FFFA0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶／セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

EXCLKS	OSCSELS	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/EXCLKS/P124端子
0	0	入力ポート・モード	入力ポート	
0	1	XT1発振モード	水晶振動子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

AMPHS1	AMPHS0	XT1発振回路の発振モード選択
0	0	低消費発振（デフォルト）
0	1	通常発振
1	0	超低消費発振
1	1	設定禁止

AMPH	X1クロック発振周波数の制御
0	1 MHz≦f_X≦10 MHz
1	10 MHz＜f_X≦20 MHz

注意 1.　CMCレジスタは，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値（00H）のまま使用する場合，暴走時の誤動作（00H）以外の誤書き込みで復帰不可）を防止するために，リセット解除後は必ず00Hに設定してください。

2.　リセット解除後，クロック動作ステータス制御レジスタ（CSC）の設定でX1発振またはXT1発振を開始する前に，CMCレジスタを設定してください。

3.　X1クロック発振周波数が10 MHzを越える場合は，必ずAMPHビットに1を設定してください。

4.　AMPH, AMPHS1, AMPHS0ビットは，リセット解除後f_{CLK}にf_{IH}を選択した状態（f_{CLK}をf_{MX}やf_{SUB}に切り替える前の状態）で設定してください。

5.　f_{XT}の発振安定時間は，ソフトウエアでカウントしてください。

（注意，備考は次ページに続きます。）

注意 6.　システム・クロックの周波数上限は24 MHzですが，X1発振回路の周波数上限は20 MHzになります。

7.　XT1発振回路は低消費電力を実現するために，増幅度が低い回路になっています。設計の際は，次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は, 5. 7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
- 回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。
- XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

備考　f_X：X1クロック発振周波数

5. 3. 2　システム・クロック制御レジスタ（CKC）

CPU／周辺ハードウエア・クロックやメイン・システム・クロックを選択するレジスタです。
CKCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図5－3　システム・クロック制御レジスタ（CKC）のフォーマット

アドレス：FFFA4H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0

CLS	CPU／周辺ハードウエア・クロック（f_{CLK}）のステータス
0	メイン・システム・クロック（f_{MAIN}）
1	サブシステム・クロック（f_{SUB}）

CSS	CPU／周辺ハードウエア・クロック（f_{CLK}）の選択
0	メイン・システム・クロック（f_{MAIN}）
1 [注2]	サブシステム・クロック（f_{SUB}）

MCS	メイン・システム・クロック（f_{MAIN}）のステータス
0	高速オンチップ・オシレータ・クロック／PLLクロック（f_{IH}）
1	高速システム・クロック（f_{MX}）

MCM0[注2]	メイン・システム・クロック（f_{MAIN}）の動作制御
0	メイン・システム・クロック（f_{MAIN}）に高速オンチップ・オシレータ・クロック／PLLクロック（f_{IH}）を選択[注3]
1	メイン・システム・クロック（f_{MAIN}）に高速システム・クロック（f_{MX}）を選択

注1.　ビット7, 5は，Read Onlyです。
　2.　CSS = 1を設定した状態で，MCM0ビットの値を変更することは禁止です。
　3.　高速オンチップ・オシレータ・クロックとPLLクロックの選択は，MCKCレジスタのCKSELRビットで選択します。

備考　f_{IH}　：高速オンチップ・オシレータ・クロックもしくはPLLクロックを選択して2/4/8分周したメイン・システム・クロック・ソースの周波数（最大24 MHz）
　　f_{MX}　：高速システム・クロック周波数
　　f_{MAIN}　：メイン・システム・クロック周波数
　　f_{SUB}　：サブシステム・クロック周波数

注意1.　ビット0-3には，必ず0を設定してください。
　2.　CSSビットで設定したクロックは，CPUと周辺ハードウエアに供給されます。したがって，CPUクロックを変更すると，周辺ハードウエア・クロックも同時に変更されます（リアルタイム・クロック，12ビット・インターバル・タイマ，クロック出力／ブザー出力，およびウォッチドッグ・タイマは除く）。よって，CPU／周辺ハードウエア・クロックを変更する場合は，各周辺機能を停止してください。
　3.　周辺ハードウエア・クロックとしてサブシステム・クロックが使われている場合，A/Dコンバータ，IICAの動作は保証できません。周辺ハードウエアの動作特性については，各周辺ハードウエアの章および第30章または第31章　電気的特性を参照してください。

5. 3. 3　クロック動作ステータス制御レジスタ（CSC）

高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックの動作を制御するレジスタです（低速オンチップ・オシレータ・クロックは除く）。

CSCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，C0Hになります。

図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマット

アドレス：FFFA1H　　リセット時：C0H　　R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP	サブシステム・クロックの動作制御		
	XT1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	XT1発振回路動作	EXCLKS端子からの外部クロック有効	入力ポート
1	XT1発振回路停止	EXCLKS端子からの外部クロック無効	

HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御
0	高速オンチップ・オシレータ動作
1	高速オンチップ・オシレータ停止

注意1.　リセット解除後は，クロック動作モード制御レジスタ（CMC）を設定してからCSCレジスタを設定してください。

2.　リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ（OSTS）を設定してください。ただしOSTSレジスタを初期値のまま使用する場合は，OSTSレジスタを設定する必要はありません。

3.　MSTOPビットの設定でX1発振を開始する場合は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。

4.　XTSTOPビットの設定でXT1発振を開始する場合は，サブシステム・クロックに必要な発振安定時間をソフトウエアにてウエイトしてください。

5.　CPU／周辺ハードウエア・クロック（f_{CLK}）に選択しているクロックは，CSCレジスタで停止させないでください。

6.　クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件は，表5－2のようになります。
クロックを停止する場合は，クロック停止前条件を確認した後に停止してください。

表5－2　クロック停止方法

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック 外部メイン・システム・クロック	CPU／周辺ハードウエア・クロックが高速システム・クロック以外で動作 （CLS = 0かつMCS = 0，またはCLS = 1）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CPU／周辺ハードウエア・クロックがサブシステム・クロック以外で動作 （CLS = 0）	XTSTOP = 1
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウエア・クロックが高速オンチップ・オシレータ・クロック以外で動作 （CLS = 0かつMCS = 1，またはCLS = 1）	HIOSTOP = 1

5. 3. 4　発振安定時間カウンタ状態レジスタ（OSTC）

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに，X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始した場合
- CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除した場合

OSTCレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生，STOP命令，MSTOPビット（クロック動作ステータス制御レジスタ（CSC）のビット7）= 1により，00Hになります。

備考　発振安定時間カウンタは，次の場合にカウントを開始します。

- X1クロック発振開始時（EXCLK, OSCSEL = 0, 1 → MSTOP = 0）
- STOPモードを解除したとき

図5－5　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマット

アドレス：FFFA2H　　リセット時：00H　　R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

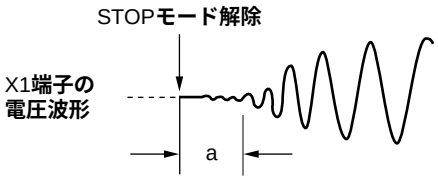
MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	2^8/fx未満	25.6 μs未満	12.8 μs未満
1	0	0	0	0	0	0	0	2^8/fx以上	25.6 μs以上	12.8 μs以上
1	1	0	0	0	0	0	0	2^9/fx以上	51.2 μs以上	25.6 μs以上
1	1	1	0	0	0	0	0	2^{10}/fx以上	102 μs以上	51.2 μs以上
1	1	1	1	0	0	0	0	2^{11}/fx以上	204 μs以上	102 μs以上
1	1	1	1	1	0	0	0	2^{13}/fx以上	819 μs以上	409 μs以上
1	1	1	1	1	1	0	0	2^{15}/fx以上	3.27 ms以上	1.63 ms以上
1	1	1	1	1	1	1	0	2^{17}/fx以上	13.1 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	2^{18}/fx以上	26.2 ms以上	13.1 ms以上

注意1. 上記時間経過後，MOST8ビットから順番に“1”となっていき，そのまま“1”を保持します。

2. 発振安定時間カウンタは発振安定時間選択レジスタ（OSTS）で設定した発振安定時間までしかカウントしません。
次のときには，OSTSレジスタの発振安定時間を，OSTCレジスタで確認したいカウント値より大きい値に設定してください。

・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合
・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合
（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3. X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

5. 3. 5　発振安定時間選択レジスタ（OSTS）

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は，X1発振回路動作（MSTOP=0）後，OSTSレジスタで設定した時間を自動でウエイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから，X1クロックに切り換える場合や，CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後STOPモードを解除した場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間が経過したかを確認してください。OSTCレジスタでは，あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，07Hになります。

図5－6　発振安定時間選択レジスタ（OSTS）のフォーマット

アドレス：FFFA3H　　リセット時：07H　　R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択		
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	2^8/fx	25.6 μs	12.8 μs
0	0	1	2^9/fx	51.2 μs	25.6 μs
0	1	0	2^{10}/fx	102 μs	51.2 μs
0	1	1	2^{11}/fx	204 μs	102 μs
1	0	0	2^{13}/fx	819 μs	409 μs
1	0	1	2^{15}/fx	3.27 ms	1.63 ms
1	1	0	2^{17}/fx	13.6 ms	6.55 ms
1	1	1	2^{18}/fx	26.2 ms	13.1 ms

注意1.　OSTSレジスタの設定を変更する場合は，クロック動作ステータス制御レジスタ（CSC）のMSTOPビットを0に設定する前に行ってください。

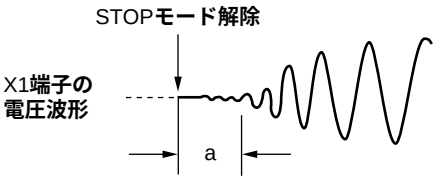
2.　発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次のときには，OSTSレジスタの発振安定時間を，発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

・CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで，X1クロックの発振を開始したい場合

・CPUクロックが高速オンチップ・オシレータ・クロックで，X1クロックも発振している状態でSTOPモードに移行し，その後，STOPモードを解除したい場合（したがって，STOPモード解除後のOSTCレジスタは，OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください）

3.　X1クロックの発振安定時間は，クロック発振を開始するまでの時間（下図a）は含みません。



備考　fx：X1クロック発振周波数

5. 3. 6　周辺イネーブル・レジスタ0（PER0）

各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は，周辺機能の初期設定前に対応するビットをセット（1）してください。

- ・リアルタイム・クロック，12ビット・インターバル・タイマ
- ・A/Dコンバータ
- ・シリアル・インタフェースIICA0
- ・シリアル・アレイ・ユニット0
- ・タイマ・アレイ・ユニット0

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（1/2）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入力クロック供給の制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注意　ビット1, 3, 6には必ず“0”を設定してください。

図5－7　周辺イネーブル・レジスタ0（PER0）のフォーマット（2/2）

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICA0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入力クロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入力クロック供給の制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意　ビット1, 3, 6には必ず“0”を設定してください。

5. 3. 7　サブシステム・クロック供給モード制御レジスタ（OSMC）

OSMCレジスタは，不要なクロック機能を停止させることにより，低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると，STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止するので，消費電力を低減することが可能です。

また，OSMCレジスタではリアルタイム・クロック，12ビット・インターバル・タイマのカウント・クロックを選択できます。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－8　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 （動作許可となる周辺機能については，表19－1，表19－2，表19－3参照）
1	リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマのカウント・クロックの選択
0	サブシステム・クロック
1	低速オンチップ・オシレータ・クロック

5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）

オプション・バイト（000C2H）で設定した高速オンチップ・オシレータの周波数を変更するレジスタです。

HOCODIVは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，オプション・バイト（000C2H）のFRQSEL2-FRQSEL0で設定した値になります。

図5－9　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）のフォーマット

アドレス：F00A8H　　リセット時：オプション・バイト（000C2H）FRQSEL2 - FRQSEL0の設定値　　R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択注
0	0	0	f_{HOCO} = 48 MHz, f_{IH} = 24/12/6 MHz
0	0	1	f_{HOCO} = 24 MHz, f_{IH} = 12/6/3 MHz
0	1	0	f_{HOCO} = 12 MHz, f_{IH} = 6/3 MHz
0	1	1	f_{HOCO} = 6 MHz, f_{IH} = 3 MHz
上記以外			設定禁止

注　システム･クロックには，MCKCレジスタのRDIV1ビット，RDIV0ビットで設定した2/4/8分周後のクロックが供給されます。ただし，f_{CLK}≧1 MHzとなるように設定してください。

注意 1.　HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト（000C2H）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト（000C2H）の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	1	HS（高速メイン）モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V

2. HOCODIVレジスタの設定は，高速オンチップ・オシレータ・クロック（f_{HOCO}）をCPU／周辺ハードウエア・クロック（f_{CLK}）に選択している状態で行ってください。
3. HOCODIVレジスタで周波数を変更後，次の遷移時間経過して周波数が切り替わります。
   - 変更前の周波数で最大3クロック動作
   - 変更後の周波数で最大3クロックのCPU／周辺ハードウエア・クロックウエイト

5. 3. 9　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマ（タイマ・アレイ・ユニット）を使用するなどして高速オンチップ・オシレータの周波数を自己測定し，精度補正することができます。

HIOTRMレジスタは，8ビット・メモリ操作命令で設定します。

注意　精度補正後に温度，V_{DD}端子電圧に変化があった場合，周波数は変動します。
温度，V_{DD}電圧が変動する場合は，周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5－10　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマット

アドレス：F00A0H　　リセット時：注　　R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0

HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ
0	0	0	0	0	0	最低速
0	0	0	0	0	1	↑
0	0	0	0	1	0	
0	0	0	0	1	1	
0	0	0	1	0	0	
・ ・ ・						
1	1	1	1	1	0	↓
1	1	1	1	1	1	最高速

注　リセット値は出荷時に調整した値です。

備考 1.　HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

2　HIOTRMレジスタの使用例は，RL78 MCUシリーズ 高速オンチップ・オシレータ・クロック周波数補正　アプリケーションノート（R01AN0464）を参照してください。

5. 3. 10　PLL制御レジスタ（DSCCTL）

PLL発振回路の動作を制御するレジスタです。

DSCCTLは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－11　PLL制御レジスタ（DSCCTL）のフォーマット

アドレス：F02E5H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV	DSCM	DSCON

DSFRDIV	PLLリファレンス・クロック分周制御
0	分周なし
1	2分周

備考　PLLリファレンス・クロックは，高速システム・クロック（f_{MX}）です。

DSCM	PLL逓倍選択
0	12逓倍（6倍）
1	16逓倍（8倍）

備考　PLL発振回路の最終段にて2分周されるため，（）内の倍数となります。

DSCON	PLL発振，出力制御
0	停止
1	発振，出力

注意1.　ビット3-7には必ず“0”を設定してください。

2.　DSFRDIVとDSCMを変更する場合は，DSCON=0にしてください。

3.　システム・クロックにPLLクロックを選択している場合は，DSCON=0にしないでください。

PLL使用時，USBクロックとしてユーザが選択できる組み合わせを以下に示します。

図5－12　PLLとUSBクロックの関係

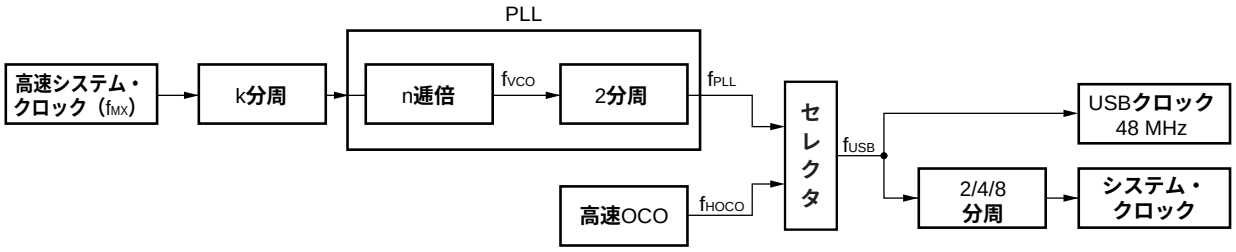


表5－3　USBクロックの周波数設定例

高速システム・クロック（fMX）	k 分周 DSFRDIV	n逓倍 DSCM		n逓倍後の周波数（fVCO）	USBクロック（fUSB）
16 MHz	2分周	0	12逓倍	96 MHz	48 MHz
12 MHz	2分周	1	16逓倍	96 MHz	48 MHz
8 MHz	分周なし	0	12逓倍	96 MHz	48 MHz
6 MHz	分周なし	1	16逓倍	96 MHz	48 MHz

5. 3. 11　メイン・クロック制御レジスタ（MCKC）

メイン・クロックの動作を制御するレジスタです。

MCKCは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図5－13　メイン・クロック制御レジスタ（MCKC）のフォーマット

アドレス：F02E6H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1	RDIV0	CKSELR

RDIV1	RDIV0	高速オンチップ・オシレータ・クロック/PLLクロック分周比（2/4/8分周）選択
0	0	2分周
0	1	4分周
1	0	8分周
1	1	

CKSELR	高速オンチップ・オシレータ・クロック/PLLクロック選択
0	高速オンチップ・オシレータ・クロック（f_{HOCO}）
1	PLLクロック（f_{PLL}）

注意 1.　USB使用時は，このビットで選択したクロックをUSBクロックとして使用（高速オンチップ・オシレータ・クロックはUSBファンクション・コントローラ機能のロウ・スピード転送の場合のみ使用可能）してください。その際，MCM0ビットは必ず0に設定してください。

2.　PLLクロック（f_{PLL}）と高速オンチップ・オシレータ・クロック（f_{HOCO}）を切り替えるときは，両方のクロックが発振している必要があります。

3.　ビット3-7には必ず“0”を設定してください。

備考　MCM0ビットが0のときにこのビットで選択したクロックが，メイン・クロックになります。

5.4　システム・クロック発振回路

5.4.1　X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（1～20 MHz）によって発振します。

また, 外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット7, 6（EXCLK, OSCSEL）を次のように設定してください。

・水晶，セラミック発振　：EXCLK, OSCSEL = 0, 1

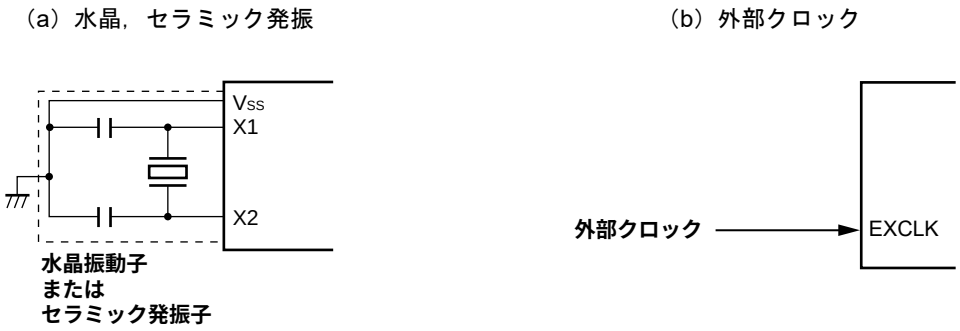
・外部クロック入力　　：EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は，入力ポート・モード（EXCLK, OSCSEL = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－3　各端子の未使用端子処理を参照してください。

図5－14にX1発振回路の外付け回路例を示します。

図5－14　X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2　XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子（32.768 kHz (TYP.)）によって発振します。

XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット4（OSCSELS）に1を設定してください。

また，外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合，クロック動作モード制御レジスタ（CMC）のビット5, 4（EXCLKS, OSCSELS）を次のように設定してください。

・水晶発振　　：EXCLKS, OSCSELS = 0, 1

・外部クロック入力　　：EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は，入力ポート・モード（EXCLKS, OSCSELS = 0, 0）に設定してください。

さらに，入力ポートとしても使用しない場合は，表2－3　各端子の未使用端子処理を参照してください。

図5－15にXT1発振回路の外付け回路例を示します。

図5－15　XT1発振回路の外付け回路例

注意　X1発振回路およびXT1発振回路を使用する場合は，配線容量などの影響を避けるために，図5－14, 5－15の破線の部分を次のように配線してください。

・配線は極力短くしてください。
・他の信号線と交差させない，変化する大電流が流れる線と接近させないでください。
・発振回路のコンデンサの接地点は，常にVssと同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
・発振回路から信号を取り出さないでください。

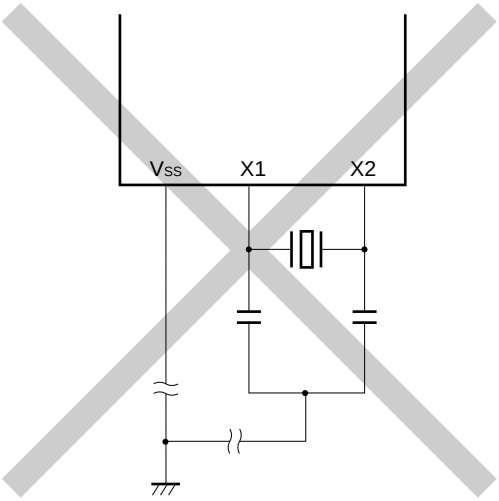
特に，XT1発振回路は，低消費電力にするために増幅度の低い回路になっています。設計の際は，次の点に注意してください。

・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い，問題がないことを確認してください。
・XT1発振回路のモードを超低消費発振（AMPHS1, AMPHS0 = 1, 0）で使用する場合は5. 7　発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
・XT1端子，XT2端子と発振子との配線は極力短くし，寄生容量，配線抵抗を小さくしてください。特に超低消費発振（AMPHS1, AMPHS0 = 1, 0）を選択している場合はご注意ください。
・回路基板は寄生容量，配線抵抗の少ない材質で回路を構成してください。
・XT1発振回路の周辺には，できるかぎりVssと同電位のグランド・パターンを配置してください。
・XT1端子，XT2端子と発振子の信号線は他の信号と交差させないでください。また，変化する大電流が流れる線と接近させないでください。
・高湿度環境における回路基板の吸湿や，基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。この様な環境でご使用される場合は，回路基板をコーティングするなどの防湿対策を行ってください。
・回路基板上をコーティングする場合は，XT1端子，XT2端子間に容量やリークが生じない材料をご使用ください。

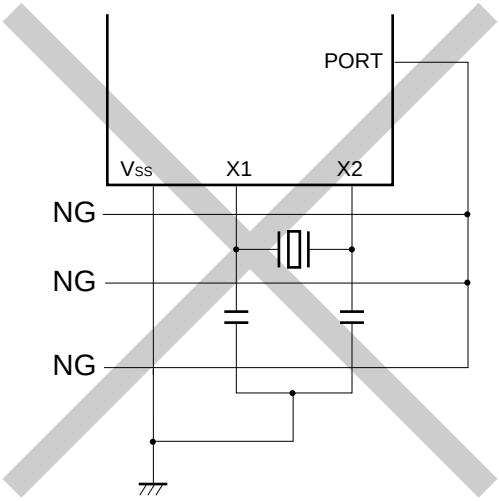
図5－16に発振子の接続の悪い例を示します。

図5－16　発振子の接続の悪い例（1/2）

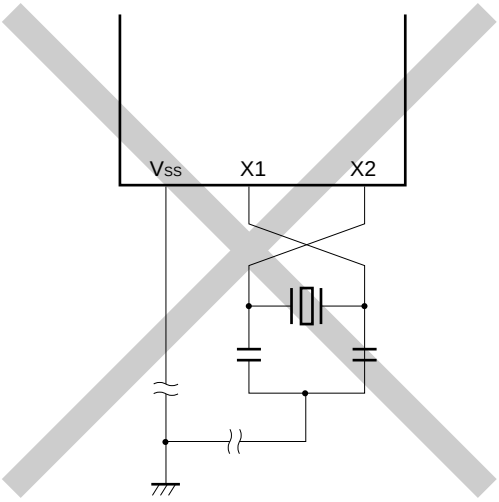
（a）接続回路の配線が長い



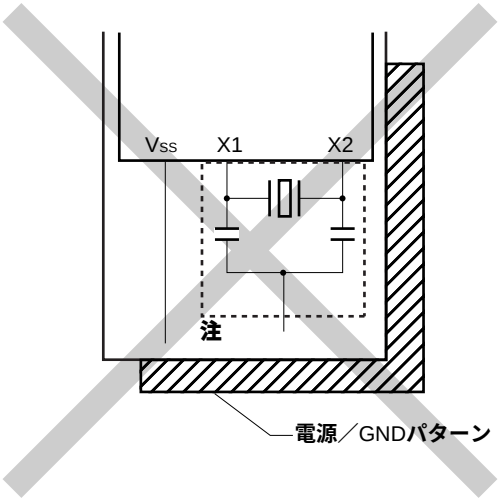
（b）信号線が交差している



（c）X1, X2の信号線の配線が交差している



（d）X1, X2配線の下に電源／GNDパターンがある

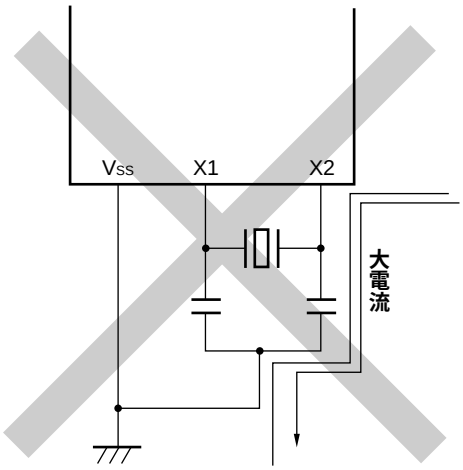


注　多層基板や両面基板において，X1，X2端子と発振子の配線部（図中の点線部分）の下には，電源／GNDパターンを配置しないでください。
容量成分の原因となり，発振特性に影響を与える配置はしないでください。

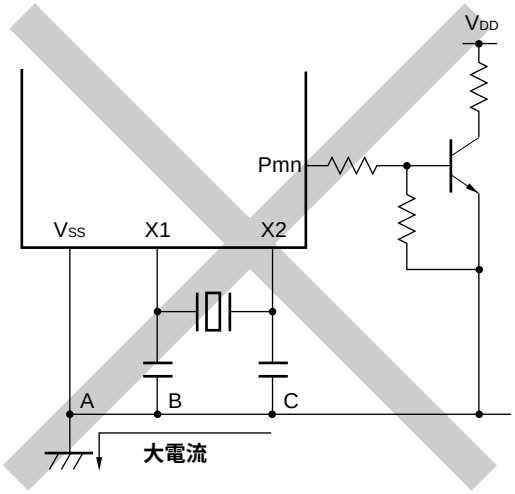
備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

図5－16　発振子の接続の悪い例（2/2）

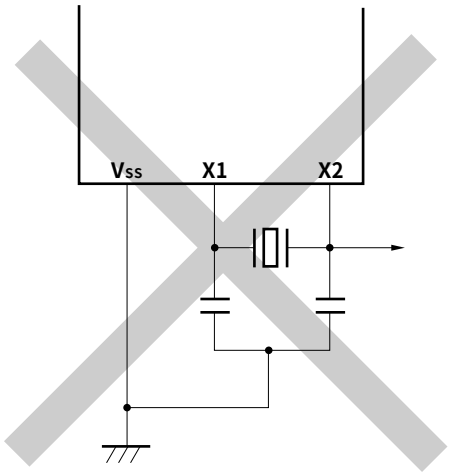
（e）変化する大電流が信号線に近接している



（f）発振回路部のグランド・ライン上に電流が流れる（A点，B点，C点の電位が変動する）



（g）信号を取り出している



注意　X2とXT1が平行に配線されている場合，X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考　サブシステム・クロックをご使用の場合は，X1, X2をXT1, XT2と読み替えてください。また，XT2側に直列に抵抗を挿入してください。

5. 4. 3　高速オンチップ・オシレータ

RL78/G1Cは，高速オンチップ・オシレータを内蔵しています。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）にて発振を制御できます。

リセット解除後，高速オンチップ・オシレータは自動的に発振を開始します。

5. 4. 4　低速オンチップ・オシレータ

RL78/G1Cは，低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは，ウォッチドッグ・タイマ，リアルタイム・クロック，12ビット・インターバル・タイマのクロックとして使用します。CPUクロックとして使用できません。

オプション・バイト（000C0H）のビット4（WDTON）または，サブシステム・クロック供給モード制御レジスタ（OSMC）のビット4（WUTMMCK0）のどちらか，または両方が1のときに動作します。

ウォッチドッグ・タイマ停止時かつ，WUTMMCK0 = 0以外では，低速オンチップ・オシレータの発振は継続します。ただし，ウォッチドック・タイマ動作時でWUTMMCK0 = 0の場合のみ，WDSTBYON = 0かつHALTおよびSTOP, SNOOZEモードの状態で低速オンチップ・オシレータの発振が停止します。

ウォッチドッグ・タイマ動作時に，プログラムが暴走する場合においても，低速オンチップ・オシレータ・クロックが停止することはありません。

5. 4. 5　PLL（Phase Locked Loop）

RL78/G1Cは，PLL回路を内蔵しています。

PLLによって，高速システム・クロックを逓倍することができます。

PLL制御レジスタ（DSCCTL）のビット0（DSCON）にて動作を制御できます。

注意1.　PLLモードから，高速オンチップ・オシレータ・クロック，高速システム・クロックに移行する場合は，PLL出力クロック（f_{PLL}）が供給される機能（USBファンクション・コントローラ）を停止させてください。

2.　CPUがサブシステム・クロック動作中は，PLL動作開始（DSCON=1）にしないでください。

5.5　クロック発生回路の動作

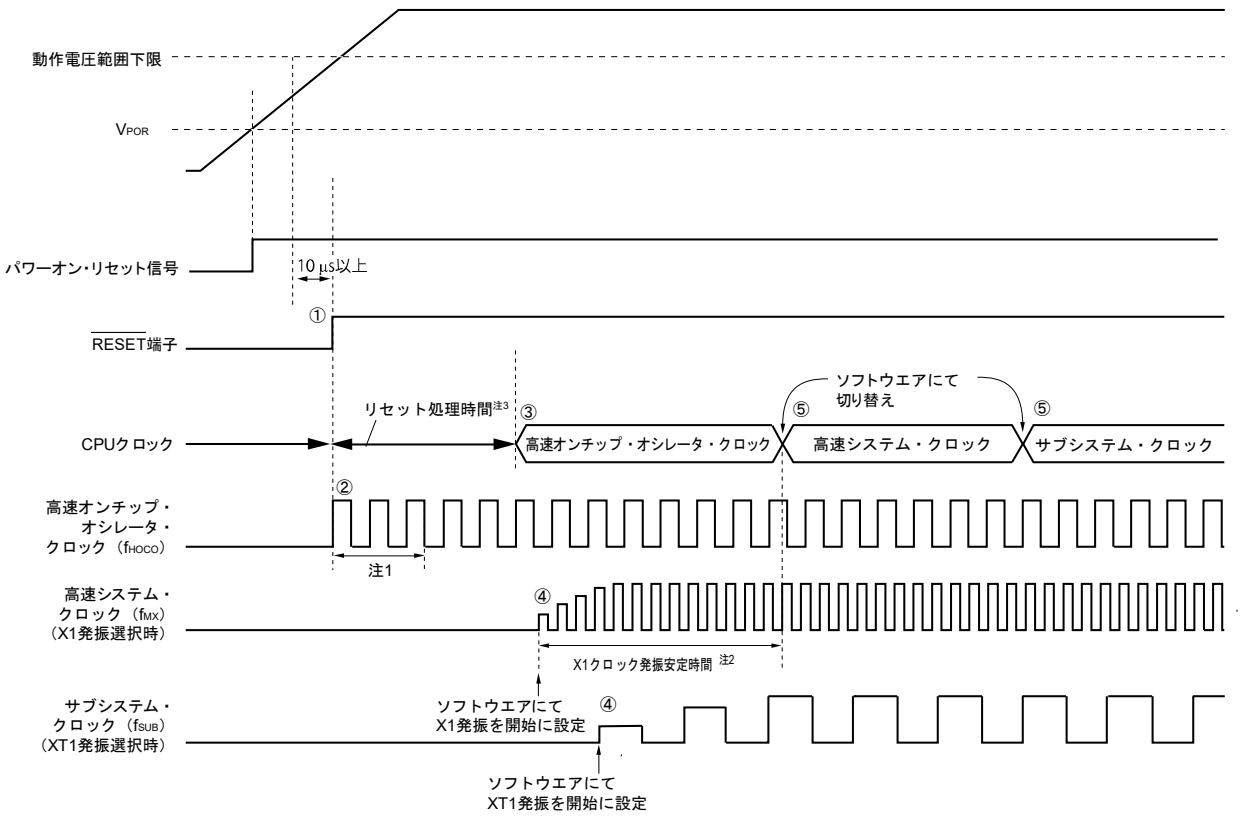
クロック発生回路は次に示す各種クロックを発生し，かつ，スタンバイ・モードなどのCPUの動作モードを制御します（図5－1を参照）。

○メイン・システム・クロック　f_{MAIN}
　・高速システム・クロック　f_{MX}
　　X1クロック　f_X
　　外部メイン・システム・クロック　f_{EX}
　・高速オンチップ・オシレータ・クロック　f_{IH}注（= f_{HOCO}/n ; n = 2, 4, 8）
　・PLLクロック　f_{IH}注（= f_{PLL}/n ; n = 2, 4, 8）
○サブシステム・クロック　f_{SUB}
　・XT1クロック　f_{XT}
　・外部サブシステム・クロック　f_{EXS}
○低速オンチップ・オシレータ・クロック　f_{IL}
○CPU／周辺ハードウエア・クロック　f_{CLK}

注　f_{IH}は高速オンチップ・オシレータ・クロックもしくはPLLクロックを選択して2/4/8分周したメイン・システム・クロック・ソースの周波数です。

RL78/G1Cでは，リセット解除後，CPUは高速オンチップ・オシレータの出力により動作を開始します。
電源電圧投入時のクロック発生回路の動作を，図5－17に示します。

図5－17　電源電圧投入時のクロック発生回路の動作



① 電源投入後，パワーオン・リセット（POR）回路による内部リセット信号が発生します。
ただし，30. 4または31. 4　AC特性に示す動作電圧範囲に達するまで，電圧検出回路か外部リセットでリセット状態を保ちます（上図は，外部リセット使用時の例）。

② リセットが解除されると，高速オンチップ・オシレータが自動的に発振開始されます。

③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに，CPUが高速オンチップ・オシレータ・クロックで動作開始します。

④ X1クロックまたはXT1クロックは，ソフトウエアにて発振開始を設定してください（5. 6. 2　X1発振回路の設定例，5. 6. 3　XT1発振回路の設定例を参照）。

⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は，クロックの発振安定待ち後に，ソフトウエアにて切り替えを設定してください（5. 6. 2　X1発振回路の設定例，5. 6. 3　XT1発振回路の設定例を参照）。

注 1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，リセット処理時間に含まれます。
2. リセット解除時は，X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ（OSTC）で確認してください。
3. リセット処理時間は，第21章　パワーオン・リセット回路を参照してください。

注意　EXCLK端子からの外部クロック入力を使用する場合，発振安定待ち時間は不要です。

5. 6　クロックの制御

5. 6. 1　高速オンチップ・オシレータの設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は，オプション・バイト（000C2H）のFRQSEL0-FRQSEL4により，48MHz，24MHzから選択可能です。また，高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）により，周波数を変更することもできます。

【オプション・バイト設定】

アドレス：000C2H

オプション・バイト（000C2H）	7	6	5	4	3	2	1	0
	CMODE1	CMODE0		FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0
	1	1	1	1	0	0	0	0/1

CMODE1	CMODE0	フラッシュの動作モード設定
1	1	HS（高速メイン）モード　V_{DD} = 2.4 V～5.5 V@1 MHz～16 MHz V_{DD} = 2.7 V～5.5 V@1 MHz～24 MHz
上記以外		設定禁止

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					f_{HOCO}	f_{IH}
1	0	0	0	0	48 MHz	24 MHz
1	0	0	0	1	24 MHz	12 MHz
上記以外					設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）設定】

アドレス：F00A8H

	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV 2	HOCODIV 1	HOCODIV 0	高速オンチップ・オシレータ・クロック周波数の選択
0	0	0	f_{HOCO} = 48 MHz, f_{IH} = 24/12/6 MHz
0	0	1	f_{HOCO} = 24 MHz, f_{IH} = 12/6/3 MHz
0	1	0	f_{HOCO} = 12 MHz, f_{IH} = 6/3 MHz
0	1	1	f_{HOCO} = 6 MHz, f_{IH} = 3 MHz
上記以外			設定禁止

5. 6. 2　X1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，X1発振クロックに変更する場合，発振安定時間選択レジスタ（OSTS），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，発振安定時間カウンタ状態レジスタ（OSTC）で発振の安定待ちを行います。発振安定待ちが終了したあと，システム・クロック制御レジスタ（CKC）でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① CMCレジスタのOSCSELビットをセット（1），fx＞10 MHzの場合はAMPHビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 1	EXCLKS 0	OSCSELS 0	0	AMPHS1 0	AMPHS0 0	AMPH 0/1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。
例）10 MHzの発振子で102 μs以上までウエイトする場合は，以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2 0	OSTS1 1	OSTS0 0

③ CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 0	XTSTOP 1	0	0	0	0	0	HIOSTOP 0

④ OSTCレジスタでX1発振回路の発振安定待ちを行います。
例）10 MHzの発振子で102.4 μs以上までウエイトする場合は，以下の値になるまでウエイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8 1	MOST9 1	MOST10 1	MOST11 0	MOST13 0	MOST15 0	MOST17 0	MOST18 0

⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	0	0

注意　HOCODIVレジスタの設定は，周波数の変更前，変更後ともにオプション・バイト（000C2H）で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト（000C2H）の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
1	1	HS（高速メイン）モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V

5. 6. 3　XT1発振回路の設定例

CPU／周辺ハードウエア・クロック（f_{CLK}）はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後，XT1発振クロックに変更する場合，サブシステム・クロック供給モード制御レジスタ（OSMC），クロック動作モード制御レジスタ（CMC），クロック動作ステータス制御レジスタ（CSC）で発振回路の設定と発振開始を行い，システム・クロック制御レジスタ（CKC）でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】①～⑤の順に設定してください。

① STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時にリアルタイム・クロック，12ビット・インターバル・タイマのみサブシステム・クロックで動作（超低消費電流）させる場合はRTCLPCビットを1に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

② CMCレジスタのOSCSELSビットをセット（1）してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1ビット：XT1発振回路の発振モードを設定します。

③ CSCレジスタのXTSTOPビットをクリア（0）してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

④ タイマ機能などを用いて，サブシステム・クロックに必要な発振安定時間をソフトウエアでウエイトしてください。

⑤ CKCレジスタのCSSビットでXT1発振クロックをCPU／周辺ハードウエア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

5. 6. 4　PLL回路の設定例

高速システム・クロックを設定後（5. 6. 2　X1発振回路の設定例参照），PLL制御レジスタ（DSCCTL）でPLL回路の制御を行います。

【レジスタ設定】①～⑧の順に設定してください。

① CSCレジスタのHIOSTOPビットを設定して，高速オンチップ・オシレータを動作させます。

	7	6	5	4	3	2	1	0
CSC	0/1	0/1	0	0	0	0	0	HIOSTOP 0注1

② DSCCTLレジスタのDSFRDIVビット，DSCMビットを設定して，PLLの逓倍，分周を設定します。

	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV 0/1	DSCM 0/1	DSCON 0

③ MCKCレジスタのRDIV1, RDIV0ビットを設定して，システム・クロックの分周を設定します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 0注1

④ 1 μs以上のウエイトのあと，DSCCTLレジスタのDSCONビットをセット（1）して，PLL回路を動作させます。注2

	7	6	5	4	3	2	1	0
DSCCTL	0	0	0	0	0	DSFRDIV 0/1	DSCM 0/1	DSCON 1

⑤ MCKCレジスタのCKSELRビットをセット（1）して，システム・クロックにPLL出力を選択します。

	7	6	5	4	3	2	1	0
MCKC	0	0	0	0	0	RDIV1 0/1	RDIV0 0/1	CKSELR 1

⑥ ソフトウエアで135 μsウエイトします。注3

⑦ CSCレジスタのHIOSTOPビットを設定して，高速オンチップ・オシレータを停止させます。注2

	7	6	5	4	3	2	1	0
CSC	0/1	0/1	0	0	0	0	0	HIOSTOP 1注1

⑧ CKCレジスタのMCM0ビットを設定して，メイン・システム・クロック(f_{MAIN})にPLLクロックの2/4/8分周を選択したメイン・システム・クロック・ソースの周波数(最大24 MHz) (f_{IH})を選択します。

	7	6	5	4	3	2	1	0
CKC	CLS 0/1	CSS 0/1	MCS 0	MCM0 0	0	0	0	0

注 1. CKSELR=1の状態からPLLに切り替える時には設定の必要はありません。
CKSELR=1に変更する時は必ず高速オンチップ・オシレータを動作させてください。

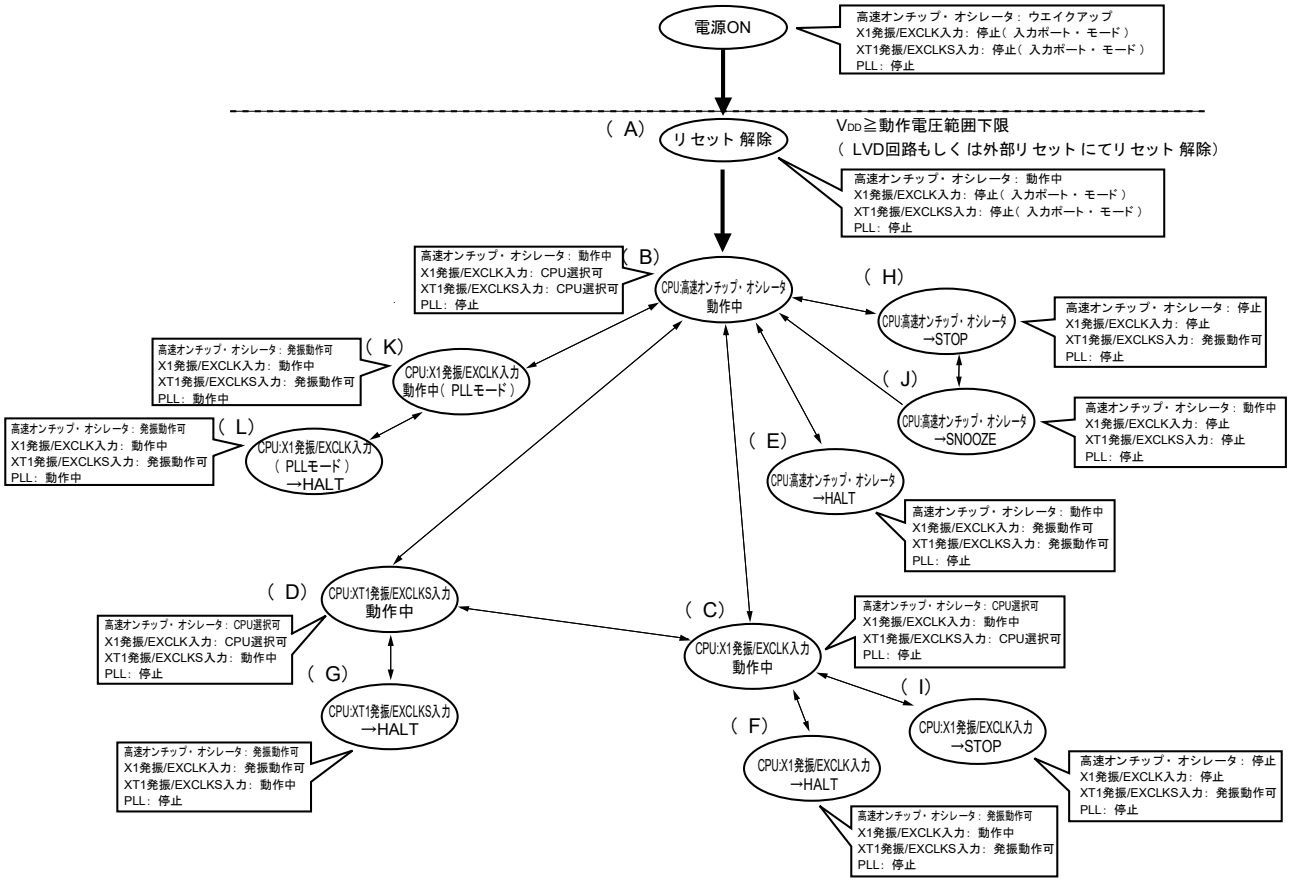
2. X1発振クロックが発振安定してから1 μs以降にPLLを動作させてください。またPLL停止後，再び動作させる場合は4 μs以上待ってから動作させてください。

3. HIOSTOP=0の設定を行わない場合は40 μsの発振安定待ちとなります。

5. 6. 5　CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5－18に示します。

図5－18　CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5－4に示します。

表5－4　CPUクロックの移行とSFRレジスタの設定例（1/7）

（1）リセット解除後 (A) に，CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要（リセット解除後の初期状態）

（2）リセット解除後 (A) に，CPUを高速システム・クロック動作 (C) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	**注2**	0	確認必要	1
(A) → (B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	1	**注2**	0	確認必要	1
(A) → (B) → (C) （外部メイン・クロック）	1	1	×	**注2**	0	確認不要	1

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。
2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。
・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第30章または第31章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

（3）リセット解除後 (A) に，CPUをサブシステム・クロック動作 (D) へ移行
（リセット解除直後，CPUは高速オンチップ・オシレータ・クロックで動作 (B) ）

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CMCレジスタ注				CSCレジスタ	発振安定待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D) （XT1クロック）	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D) （外部サブ・クロック）	1	1	×	×	0	必要	1

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1.　×：don’t care
2.　表5－4の (A) – (L) は，図5－18の(A) – (L) と対応しています。

表5－4　CPUクロックの移行とSFRレジスタの設定例（2/7）

（4）CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) （X1クロック：1 MHz≦fx≦10 MHz）	0	1	0	注2	0	確認必要	1
(B) → (C) （X1クロック：10 MHz＜fx≦20 MHz）	0	1	1	注2	0	確認必要	1
(B) → (C) （外部メイン・クロック）	1	1	×	注2	0	確認不要	1

設定済みの場合は不要　　高速システム・クロック動作中の場合は不要

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第30章または第31章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

（5）CPUを高速オンチップ・オシレータ・クロック動作 (B) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	CMCレジスタ注			CSCレジスタ	発振安定待ち	CKCレジスタ
	EXCLKS	OSCSELS	AMPHS1, AMPHS0	XTSTOP		CSS
(B) → (D) （XT1クロック）	0	1	00：低消費発振 01：通常発振 10：超低消費発振	0	必要	1
(B) → (D) （外部サブ・クロック）	1	1	×	0	必要	1

設定済みの場合は不要　　サブシステム・クロック動作中の場合は不要

注　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

設定済みの場合は不要です。

備考1.　×：don’t care

2.　表5－4の (A) – (L) は，図5－18の(A) – (L) と対応しています。

表5－4　CPUクロックの移行とSFRレジスタの設定例（3/7）

（6）CPUを高速システム・クロック動作 (C) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	18 μs～135 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件とSTOPモード期間によって変化します。

（7）CPUを高速システム・クロック動作 (C) から，サブシステム・クロック動作 (D) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ	発振安定待ち	CKCレジスタ
	XTSTOP		CSS
(C) → (D)	0	必要	1

サブシステム･クロック動作中の場合は不要

（8）CPUをサブシステム・クロック動作 (D) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ／ 状態遷移	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		CSS
(D) → (B)	0	18 μs～135 μs	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

備考 1.　表5－4の (A) – (L) は，図5－18の(A) – (L) と対応しています。
2.　高速オンチップ・オシレータ・クロックの発振精度安定待ちは，温度条件とSTOPモード期間によって変化します。

表5－4　CPUクロックの移行とSFRレジスタの設定例（4/7）

（9）CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
		MSTOP		CSS
(D) → (C)（X1クロック：1 MHz≦fx≦10 MHz）	注	0	確認必要	0
(D) → (C)（X1クロック：10 MHz＜fx≦20 MHz）	注	0	確認必要	0
(D) → (C)（外部メイン・クロック）	注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　設定するクロックの動作可能電圧（第30章または第31章　電気的特性を参照）に電源電圧が達してから，クロックを設定してください。

備考　表5－4の (A) – (L) は，図5－18の(A) – (L) と対応しています。

表5－4　CPUクロックの移行とSFRレジスタの設定例（5/7）

（10）・CPUを高速オンチップ・オシレータ・クロック動作 (B) から，高速システム・クロック（PLLモード）動作 (K) へ移行

（SFRレジスタの設定順序）→

SFRレジスタの設定フラグ ＼ 状態遷移	CMCレジスタ注1			OSTSレジスタ	CSCレジスタ	OSTCレジスタ	DSCCTLレジスタ		MCKCレジスタ		発振安定待ち	DSCCTLレジスタ	発振安定待ち	MCKCレジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		DSFRDIV	DSCM	RDIV1	RDIV0		DSCON		CKSELR
(B) → (K)　2分周	0/1	1	0/1	**注2**	0	確認必要	0/1	0/1	0	0	1μs	1	40μs	1
(B) → (K)　4分周	0/1	1	0/1	**注2**	0	確認必要	0/1	0/1	0	1		1		1
(B) → (K)　8分周	0/1	1	0/1	**注2**	0	確認不要	0/1	0/1	1	0		1		1

注1.　クロック動作モード制御レジスタ（CMC）は，リセット解除後，8ビット・メモリ操作命令で1回のみ書き込み可能です。

2.　発振安定時間選択レジスタ（OSTS）の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ（OSTC）の発振安定時間≦OSTSレジスタで設定する発振安定時間

注意　CKSELR=1に設定後クロックの切り替えが完了するにはFRQSEL4=1の時は最大2クロック，FRQSEL4=0の時は最大10クロックかかります。切り替えが完了するまで高速・オンチップ・オシレータは停止しないでください。

備考　表5－4の (A) – (L) は，図5－18の(A) – (L) と対応しています。

表5－4　CPUクロックの移行とSFRレジスタの設定例（6/7）

（11）・CPUを高速システム・クロック（PLLモード）動作 (K) から，高速オンチップ・オシレータ・クロック動作 (B) へ移行

（SFRレジスタの設定順序）→

状態遷移＼SFRレジスタの設定フラグ	CSCレジスタ HIOSTOP	発振精度安定待ち	MCKCレジスタ CKSELR	クロック切り替え待ち	DSCCTLレジスタ DSCON
(K) → (B)　FRQSEL4=0	0	18 μs～65 μs	0	256クロック	
(K) → (B)　FRQSEL4=1		18 μs～135 μs		16クロック	

（12）・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にHALTモード（E）へ移行
・CPUが高速システム・クロック動作中 (C) にHALTモード（F）へ移行
・CPUがサブシステム・クロック動作中 (D) にHALTモード（G）へ移行
・CPUが高速システム・クロック（PLLモード）動作中 (K) にHALTモード（L）へ移行

状態遷移	設定内容
(B) → (E) (C) → (F) (D) → (G) (K) → (L)	HALT命令を実行する

（13）・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード（H）へ移行
・CPUが高速システム・クロック動作中 (C) にSTOPモード（I）へ移行

（設定順序）→

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作できない周辺機能を停止する	－	STOP命令を実行する
(C) → (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		－	

備考　表5－4の (A) – (L) は，図5－18の(A) – (L) と対応しています。

表5－4　CPUクロックの移行とSFRレジスタの設定例（7/7）

（14）・STOPモード (H) からSNOOZEモード (J) へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については，11. 8　SNOOZEモード機能，12. 5. 7　SNOOZEモード機能を参照してください。

（15）・CPUが高速システム・クロック（PLLモード）動作中 (K) にSTOPモード（I）へ移行

PLLモード動作から，高速オンチップ・オシレータ・クロック動作に移行し，PLLを停止後（DSCON = 0），STOP命令を実行してください。

備考　表5－4の (A) – (L) は，図5－18の(A) – (L) と対応しています。

5. 6. 6　CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について，次に示します。

表5－5　CPUクロックの移行について（1/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，高速オンチップ・オシレータを停止（HIOSTOP = 1）すると，動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
	PLLクロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 もしくは，EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 PLLが発振されていること ・DSCON = 1	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能（MSTOP = 1）
	外部メイン・システム・クロック	移行不可	－
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後，X1発振停止可能（MSTOP = 1）
	PLLクロック	PLLが発振されていること ・DSCON = 1 高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	－

表5－5　CPUクロックの移行について（2/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	X1クロック	移行不可	－
	XT1クロック	XT1発振が安定していること ・OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能（MSTOP = 1）
	PLLクロック	PLLが発振されていること ・DSCON = 1 高速オンチップ・オシレータの発振を許可していること ・HIOSTOP = 0 ・発振精度安定時間経過後	－
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能（XTSTOP = 1）
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	外部サブシステム・クロック	移行不可	－
	PLLクロック	移行不可	－

表5－5　CPUクロックの移行について（3/3）

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され，メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・HIOSTOP = 0, MCS = 0	外部サブシステム・クロック入力を無効に設定可能（XTSTOP = 1）
	X1クロック	X1発振が安定，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後 ・MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効，かつメイン・システム・クロックに高速システム・クロックが選択されていること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・MCS = 1	
	XT1クロック	移行不可	－
	PLLクロック	移行不可	－
PLLクロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振されていること ・HIOSTOP = 0	PLLを停止（DSCON = 0）すると，動作電流を低減可能
	X1クロック	X1発振が安定していること ・OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・発振安定時間経過後	
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	移行不可	－
	外部サブシステム・クロック	移行不可	－

5. 6. 7　CPUクロックの切り替えとシステム・クロックの切り替えに要する時間

システム・クロック制御レジスタ（CKC）のビット4, 6（MCM0, CSS）の設定により，CPUクロックの切り替え（メイン・システム・クロック⇔サブシステム・クロック），メイン・システム・クロックの切り替え（高速オンチップ・オシレータ・クロック⇔高速システム・クロック）をすることができます。

実際の切り替え動作は，CKCレジスタを書き換えた直後ではなく，CKCレジスタを変更したのち，数クロックは切り替え前のクロックで動作します（表5－6～表5－8参照）。

CPUクロックがメイン・システム・クロックで動作しているか，サブシステム・クロックで動作しているかは，CKCレジスタのビット7（CLS）で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか，高速オンチップ・オシレータ・クロックで動作しているかは，CKCレジスタのビット5（MCS）で判定できます。

CPUクロックを切り替えると，周辺ハードウエア・クロックも同時に切り替わります。

表5－6　システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{IH}	←→	f_{MX}	表5－7参照
f_{MAIN}	←→	f_{SUB}	表5－8参照

表5－7　f_{IH} ↔ f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 （f_{MAIN} ＝ f_{IH}）	1 （f_{MAIN} ＝ f_{MX}）
0 （f_{MAIN} ＝ f_{IH}）	f_{MX}≧f_{IH}		2クロック
	f_{MX}＜f_{IH}		2f_{IH}/f_{MX}クロック
1 （f_{MAIN} ＝ f_{MX}）	f_{MX}≧f_{IH}	2f_{MX}/f_{IH}クロック	
	f_{MX}＜f_{IH}	2クロック	

表5－8　f_{MAIN} ↔ f_{SUB}で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
CSS	CSS	
	0 （f_{CLK} ＝ f_{MAIN}）	1 （f_{CLK} ＝ f_{SUB}）
0 （f_{CLK} ＝ f_{MAIN}）		1＋2f_{MAIN}/f_{SUB}クロック
1 （f_{CLK} ＝ f_{SUB}）	3クロック	

備考1.　表5－7，表5－8のクロック数は，切り替え前のCPUクロックのクロック数です。

2.　表5－7，表5－8のクロック数は，小数点以下を切り上げてください。

例　メイン・システム・クロックを高速オンチップ・オシレータ・クロック（12 MHz選択時）から高速システム・クロックに切り替える場合（f_{IH} = 12 MHz, f_{MX} =10 MHz発振時）

1＋f_{IH}/f_{MX} = 1＋12/10 = 1＋1.2 = 2.2 → 2クロック

5. 6. 8　クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は，クロック停止前条件を確認した後に停止してください。

表5－9　クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1またはCLS = 1 （CPUクロックが高速オンチップ・オシレータ・クロック以外で動作）	HIOSTOP = 1
X1クロック 外部メイン・システム・クロック	MCS = 0またはCLS = 1 （CPUクロックが高速システム・クロック以外で動作）	MSTOP = 1
XT1クロック 外部サブシステム・クロック	CLS = 0 （CPUクロックがサブシステム・クロック以外で動作）	XTSTOP = 1

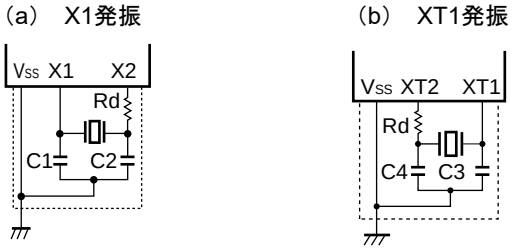
5.7　発振子と発振回路定数

動作確認済みの発振子と，その発振回路定数(参考)は，当社ホームページの対象製品ページを参照してください。

注意1.　この発振回路定数は，発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションでは，実装回路上での評価を発振子メーカに依頼してください。
また，別製品からのマイコンの変更，基板の変更の際には，再度，実装回路上での評価を発振子メーカに依頼してください。

2.　発振電圧，発振周波数は，あくまでも発振回路特性を示すものです。RL78マイクロコントローラの内部動作条件については，DC, AC特性の規格内で使用してください。

図5－19　外付け発振回路例



（1）X1発振　　2013年3月現在（1/2）

メーカ	発振子	品　名[注3]	SMD/リード	周波数 (MHz)	フラッシュ動作モード[注1]	発振回路定数[注2]（参考）			電圧範囲 (V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社村田製作所	セラミック発振子	CSTCC2M00G56-R0	SMD	2.0	LV	(47)	(47)	0	1.6	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCC2M00G56-R0	SMD	2.0	LS	(47)	(47)	0	1.8	5.5
		CSTCR4M00G55-R0	SMD	4.0		(39)	(39)	0		
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR4M19G55-R0	SMD	4.194		(39)	(39)	0		
		CSTLS4M19G53-B0	リード			(15)	(15)	0		
		CSTCR4M91G53-R0	SMD	4.915		(15)	(15)	0		
		CSTLS4M91G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M38G52-R0	SMD	8.388	HS	(10)	(10)	0	2.4	5.5
		CSTLS8M38G53-B0	リード			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0		(10)	(10)	0		
		CSTLS10M0G53-B0	リード			(15)	(15)	0		
		CSTCE12M0G52-R0	SMD	12.0		(10)	(10)	0		
		CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0		
		CSTLS16M0X51-B0	リード			(5)	(5)	0		
		CSTCE20M0V51-R0	SMD	20.0		(5)	(5)	0	2.7	5.5
		CSTLS20M0X51-B0	リード			(5)	(5)	0		

注 1.　フラッシュ動作モードは，オプション・バイト（000C2H）のCMODE1, CMODE0ビットで設定します。

2.　C1, C2の欄の（ ）内は，内蔵容量値を示しています。

3.　105℃対応の製品は品名が異なります。詳細は，株式会社村田製作所（http://www.murata.co.jp）へお問い合わせください。

備考　動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz

2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

2013年3月現在（2/2）

メーカ	発振子	品　名[注2]	SMD/リード	周波数 (MHz)	ﾌﾗｯｼｭ動作ﾓｰﾄﾞ[注1]	発振回路定数（参考） C1 (pF)	C2 (pF)	Rd (kΩ)	電圧範囲 (V) MIN.	MAX
日本電波工業株式会社	水晶振動子	NX8045GB[注3]	SMD	8.0	注3					
		NX5032GA[注3]	SMD	16.0						
		NX3225HA[注3]	SMD	20.0						
京セラクリスタルデバイス株式会社	水晶振動子	CX8045GB04000D0PPTZ1[注4]	SMD	4.0	LV	12	12	0	1.6	5.5
					LS				1.8	5.5
		CX8045GB04915D0PPTZ1[注4]	SMD	4.915	LS	12	12	0	1.8	5.5
		CX8045GB08000D0PPTZ1[注4]	SMD	8.0		12	12	0		
		CX8045GB10000D0PPTZ1[注4]	SMD	10.0	HS	12	12	0	2.4	5.5
		CX3225GB12000B0PPTZ1[注4]	SMD	12.0		5	5	0		
		CX3225GB16000B0PPTZ1[注4]	SMD	16.0		5	5	0		
		CX3225SB20000B0PPTZ1[注4]	SMD	20.0		5	5	0	2.7	5.5
リバーエレテック株式会社	水晶振動子	FCX-03 - 8.000MHZ - J21140[注5]	SMD	8.0	HS	3	3	0	2.4	5.5
		FCX-04C - 10.000MHZ - J21139[注5]	SMD	10.0		4	4	0		
		FCX-05 - 12.000MHZ - J21138[注5]	SMD	12.0		6	6	0		
		FCX-06 - 16.000MHZ - J21137[注5]	SMD	16.0		4	4	0		

注 1.　フラッシュ動作モードは，オプション・バイト（000C2H）のCMODE1, CMODE0ビットで設定します。

2.　この振動子は85℃まで対応しています。105℃対応の製品に関しては，発振子メーカへお問い合わせください。

3.　この振動子を使用する場合，マッチングの詳細については，日本電波工業株式会社（http://www.ndk.com）にお問い合わせください。

4.　この振動子を使用する場合，マッチングの詳細については，京セラクリスタルデバイス株式会社（http://www.kyocera-crystal.jp，http://www.kyocera.co.jp）にお問い合わせください。

5.　この振動子を使用する場合，マッチングの詳細については，リバーエレテック株式会社（http://www.river-ele.co.jp）にお問い合わせください。

備考　動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz

2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

（2）XT1発振（水晶振動子）　　2013年3月現在

メーカ	品　名[注2]	SMD/リード	周波数 (kHz)	負荷容量 CL (pF)	XT1発振モード[注1]	発振回路定数（参考） C3 (pF)	C4 (pF)	Rd (kΩ)	電圧範囲 (V) MIN.	MAX
セイコーインスツル株式会社	SSP-T7-F[注3]	SMD	32.768	7	通常発振	11	11	0	1.6	5.5
	SSP-T7-FL[注3]			6		9	9	0		
				6	低消費発振	9	9	0		
				4.4		6	5	0		
				4.4	超低消費発振	6	5	0		
				3.7		4	4	0		
	VT-200-FL[注3]	リード		6	通常発振	9	9	0		
				6	低消費発振	9	9	0		
				4.4		6	5	0		
				4.4	超低消費発振	6	5	0		
				3.7		4	4	0		
日本電波工業株式会社	NX3215SA[注4]	SMD	32.768	6	通常発振	7	7	0	1.6	5.5
					低消費発振					
					超低消費発振					
	NX2012SA[注4]	SMD	32.768	6	通常発振	7	7	0		
					低消費発振					
					超低消費発振					
京セラクリスタルデバイス株式会社	ST3215SB[注5]	SMD	32.768	7	通常発振	10	10	0	1.6	5.5
					低消費発振					
					超低消費発振					
リバーエレテック株式会社	TFX-02 - 32.768KHZ - J20986[注6]	SMD	32.768	9	通常発振	12	10	0	1.6	5.5
					低消費発振					
	TFX-03 - 32.768KHZ - J13375[注6]	SMD	32.768	7	通常発振	12	10	0		

注 1.　XT1発振モードは，クロック動作モード制御レジスタ（CMC）のAMPHS0, AMPHS1ビットで設定します。

2.　この振動子は85℃まで対応しています。105℃対応の製品に関しては，発振子メーカへお問い合わせください。

3.　この振動子は，低消費電力用製品です。使用する場合，マッチングの詳細については，セイコーインスツル株式会社（http://www.sii-crystal.com）にお問い合わせください。

4.　この振動子を使用する場合，マッチングの詳細については，日本電波工業株式会社（http://www.ndk.com/）にお問い合わせください。

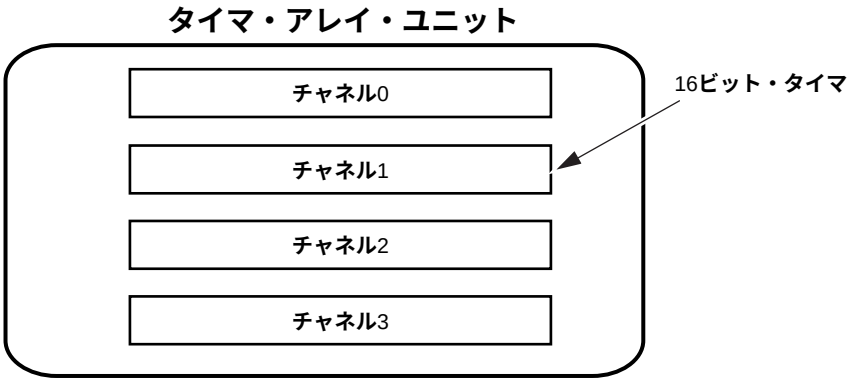
5.　この振動子を使用する場合，マッチングの詳細については，京セラクリスタルデバイス株式会社（http://www.kyocera-crystal.jp，http://www.kyocera.co.jp）にお問い合わせください。

6.　この振動子を使用する場合，マッチングの詳細については，リバーエレテック株式会社（http://www.river-ele.co.jp）にお問い合わせください。

第6章　タイマ・アレイ・ユニット

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャネル」と呼び，それぞれを単独のタイマとして使用することはもちろん，複数のチャネルを組み合わせて高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照下さい。

単独チャネル動作機能	複数チャネル連動動作機能
・インターバル・タイマ（→6. 8. 1参照） ・方形波出力（→6. 8. 1参照） ・外部イベント・カウンタ（→6. 8. 2参照） ・分周器注（→6. 8. 3参照） ・入力パルス間隔測定（→6. 8. 4参照） ・入力信号のハイ／ロウ・レベル幅測定（→6. 8. 5参照） ・ディレイ・カウンタ（→6. 8. 6参照）	・ワンショット・パルス出力（→6. 9. 1参照） ・PWM出力（→6. 9. 2参照） ・多重PWM出力（→6. 9. 3参照）

注　チャネル0のみ

チャネル1, 3の16ビット・タイマを2つの8ビット・タイマ（上位／下位）として使用することもできます。チャネル1, 3が8ビット・タイマとして使用できる機能は，次の機能です。

・インターバル・タイマ（上位／下位8ビット・タイマ）／方形波出力（下位8ビット・タイマのみ）
・外部イベント・カウンタ（下位8ビット・タイマのみ）
・ディレイ・カウンタ（下位8ビット・タイマのみ）

6.1　タイマ・アレイ・ユニットの機能

タイマ・アレイ・ユニットには，次のような機能があります。

6.1.1　単独チャネル動作機能

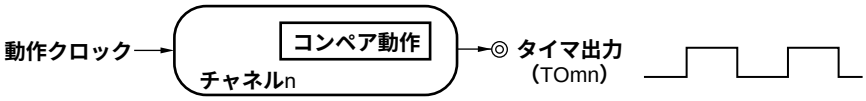
単独チャネル動作機能は，他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

（1）インターバル・タイマ

一定間隔で割り込み（INTTMmn）を発生する基準タイマとして利用できます。

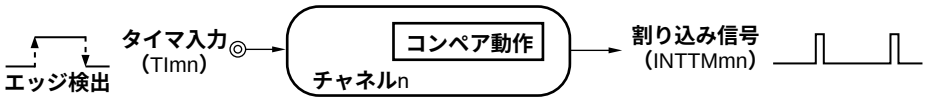
（2）方形波出力

INTTMmn割り込みの発生ごとにトグル動作を行い，デューティ50%の方形波をタイマ出力端子（TOmn）より出力します。



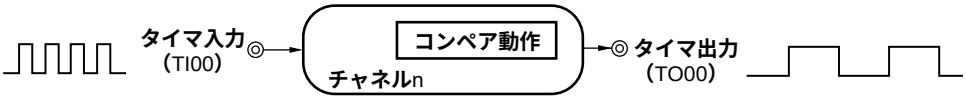
（3）外部イベント・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジをカウントし，規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



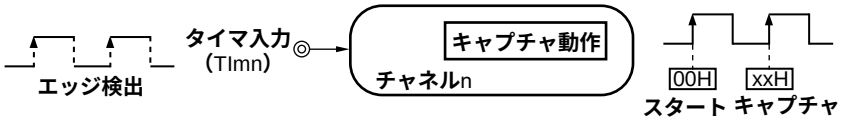
（4）分周器機能（チャネル0のみ）

タイマ入力端子（TI00）から入力されたクロックを分周して出力端子（TO00）より出力します。



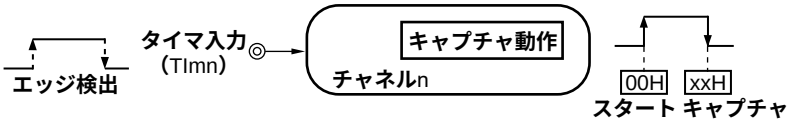
（5）入力パルス間隔測定

タイマ入力端子（TImn）に入力されるパルス信号の有効エッジでカウントをスタートし，次のパルスの有効エッジでカウント値をキャプチャすることで，入力パルスの間隔を測定します。



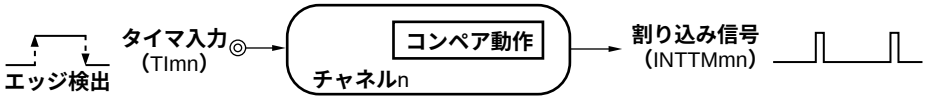
（6）入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子（TImn）に入力される信号の片エッジでカウントをスタートし，もう一方の片エッジでカウント値をキャプチャすることで，入力信号のハイ・レベル幅，ロウ・レベル幅を測定します。



（7）ディレイ・カウンタ

タイマ入力端子（TImn）に入力される信号の有効エッジでカウントをスタートし，任意のディレイ期間後，割り込みを発生します。



備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

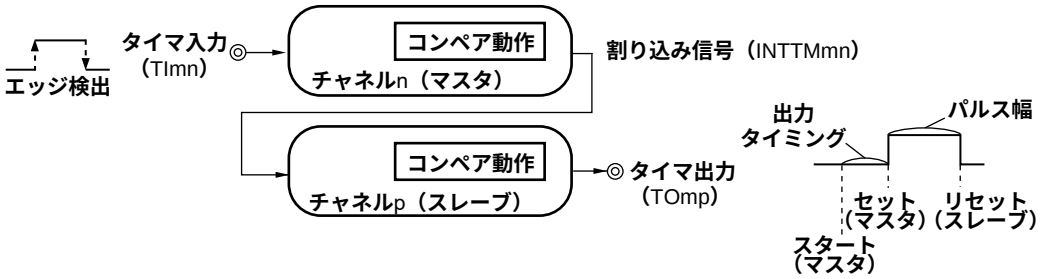
6. 1. 2　複数チャネル連動動作機能

複数チャネル連動動作機能は，マスタ・チャネル（主に周期を制御する基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組み合せて実現する機能です。

複数チャネル連動動作機能は，次に示すモードとして利用できます。

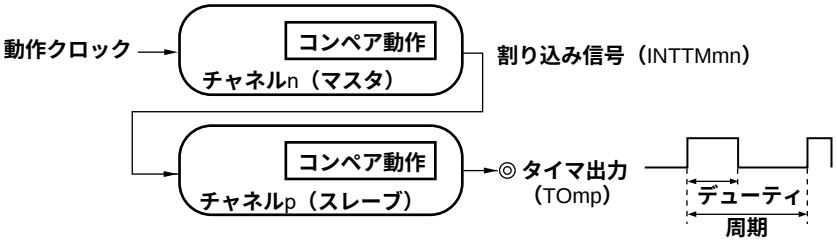
（1）ワンショット・パルス出力

2チャネルをセットで使用し，出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



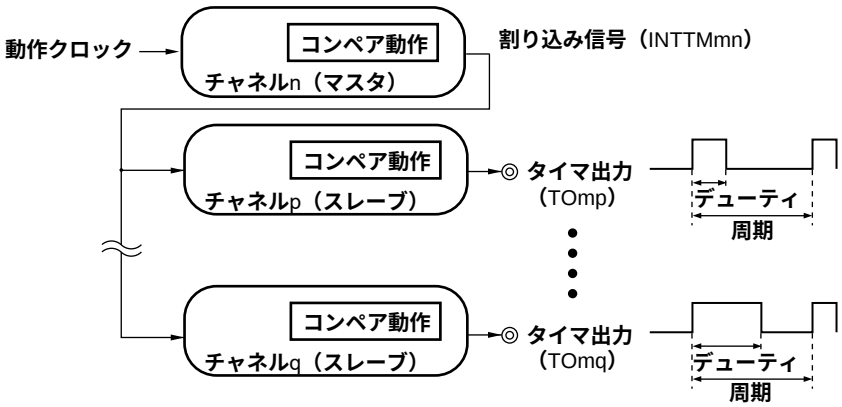
（2）PWM（Pulse Width Modulation）出力

2チャネルをセットで使用し，周期とデューティを任意に設定できるパルスを生成します。



（3）多重PWM（Pulse Width Modulation）出力

PWM機能を拡張し，1つのマスタ・チャネルと複数のスレーブ・チャネルを使用することで，周期一定で，任意のデューティのPWM信号を最大3種類生成することができます。



注意　複数チャネル連動動作機能のルールの詳細については，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3），
p, q：スレーブ・チャネル番号（n＜p＜q≦3）

6. 1. 3　8ビット・タイマ動作機能（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。チャネル1, 3のみが使用できます。

注意　8ビット・タイマ動作機能の使用にあたっては，いくつかのルールがあります。
詳細は，6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）を参照してください。

6.2　タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは，次のハードウエアで構成されています。

表6－1　タイマ・アレイ・ユニットの構成

項　　目	構　　成
タイマ／カウンタ	タイマ・カウンタ・レジスタmn（TCRmn）
レジスタ	タイマ・データ・レジスタmn（TDRmn）
タイマ入力	TI00-TI03
タイマ出力	TO00-TO03，出力制御回路
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・タイマ・クロック選択レジスタm（TPSm） ・タイマ・チャネル許可ステータス・レジスタm（TEm） ・タイマ・チャネル開始レジスタm（TSm） ・タイマ・チャネル停止レジスタm（TTm） ・タイマ入力選択レジスタ0（TIS0） ・タイマ出力許可レジスタm（TOEm） ・タイマ出力レジスタm（TOm） ・タイマ出力レベル・レジスタm（TOLm） ・タイマ出力モード・レジスタm（TOMm）
	＜各チャネル部のレジスタ＞ ・タイマ・モード・レジスタmn（TMRmn） ・タイマ・ステータス・レジスタmn（TSRmn） ・ノイズ・フィルタ許可レジスタ1（NFEN1） ・ポート・モード・コントロール・レジスタ（PMC0) ・ポート・モード・レジスタ（PM0, PM1, PM3） ・ポート・レジスタ（P0, P1, P3）

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

表6－2　各製品に搭載しているタイマ入出力端子

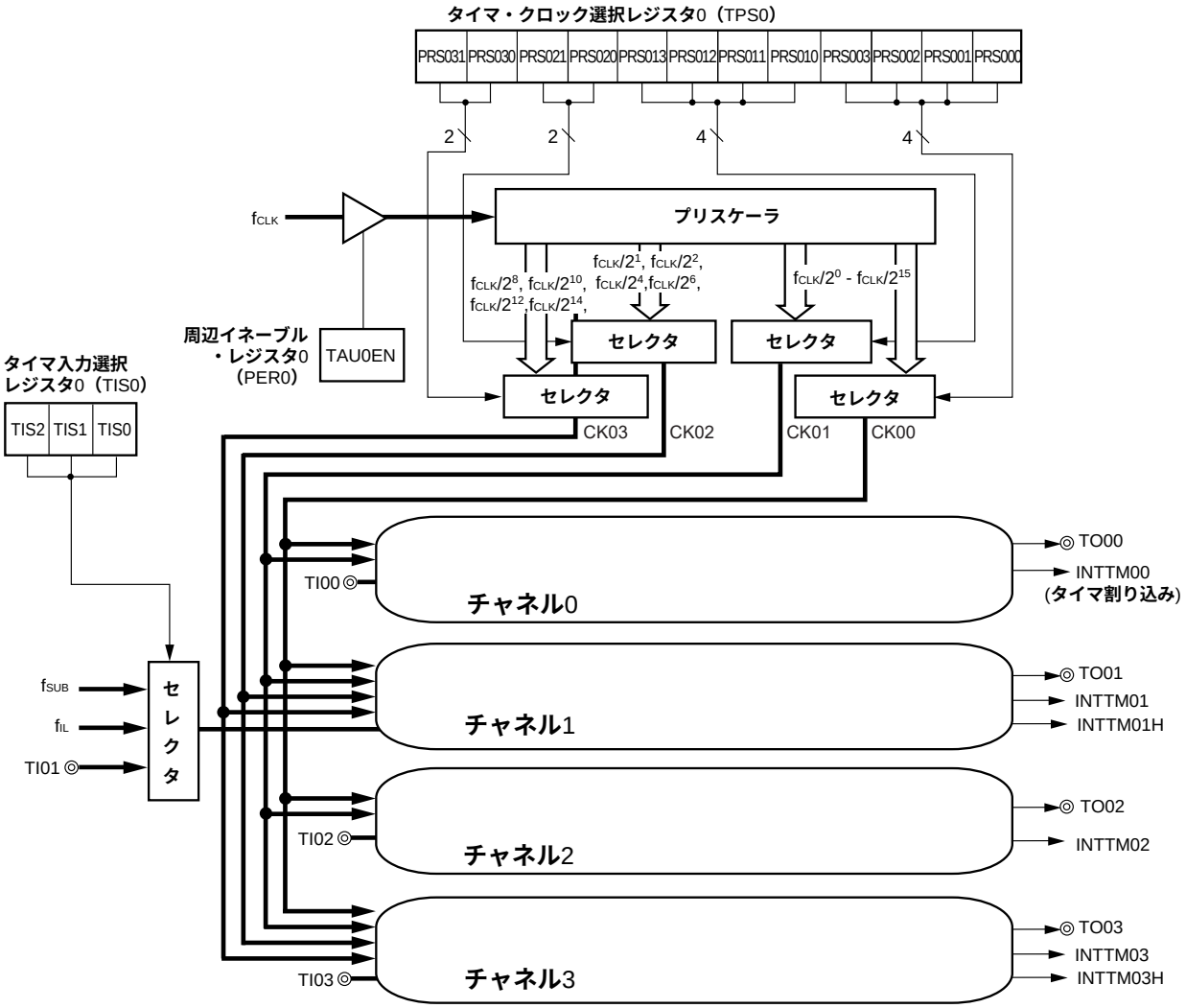
タイマ・アレイ・ユニット・チャネル	各製品の入出力端子の有無	
	48ピン	32ピン
チャネル0	P00/TI00, P01/TO00	
チャネル1	P16/TI01/TO01（P71）	P16/TI01/TO01（P51）
チャネル2	P17/TI02/TO02（P72）	P17/TI02/TO02（P50）
チャネル3	P31/TI03/TO03（P41）	P31/TI03/TO03（P30）

備考1.　タイマ入力とタイマ出力が同一端子で兼用されている場合は, タイマ入力かタイマ出力のどちらかのみ使用可能です。

2.　(Pxx) は周辺I/Oリダイレクション・レジスタ（PIOR）のビット0を“1”に設定したときの兼用ポート

図6－1，図6－2にタイマ・アレイ・ユニットのブロック図を示します。

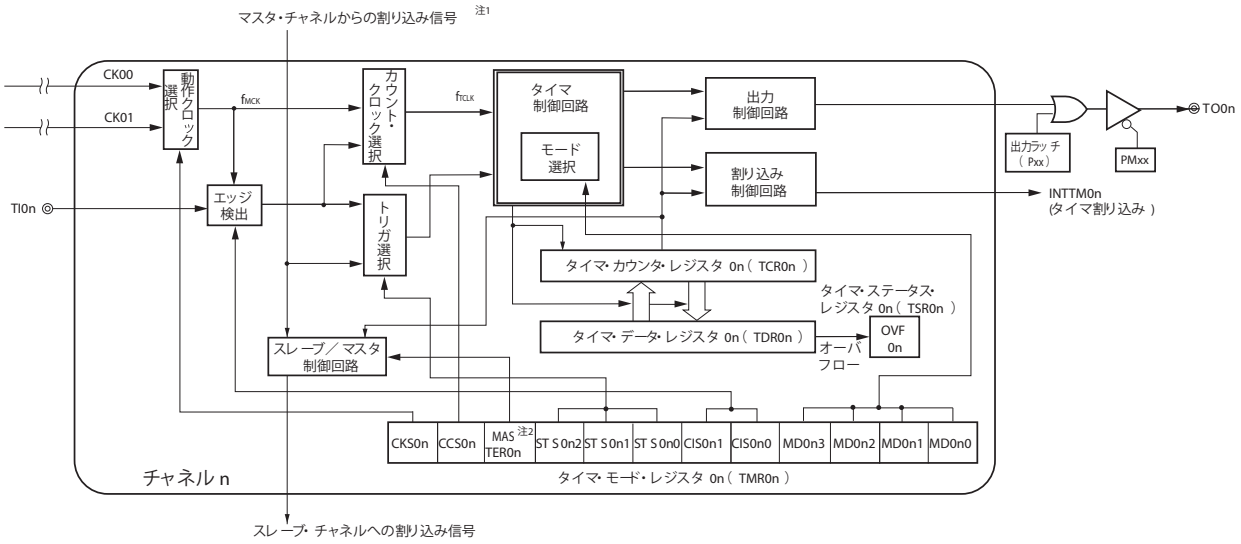
図6－1　タイマ・アレイ・ユニットの全体ブロック図



備考 f_{SUB} ：サブシステム・クロック周波数

f_{IL} ：低速オンチップ・オシレータ・クロック周波数

図6－2 タイマ・アレイ・ユニットのチャネル0, 2内部ブロック図



注 1. チャネル2のみ

2. n = 2のみ

備考 n = 0, 2

図6－3 タイマ・アレイ・ユニットのチャネル1内部ブロック図

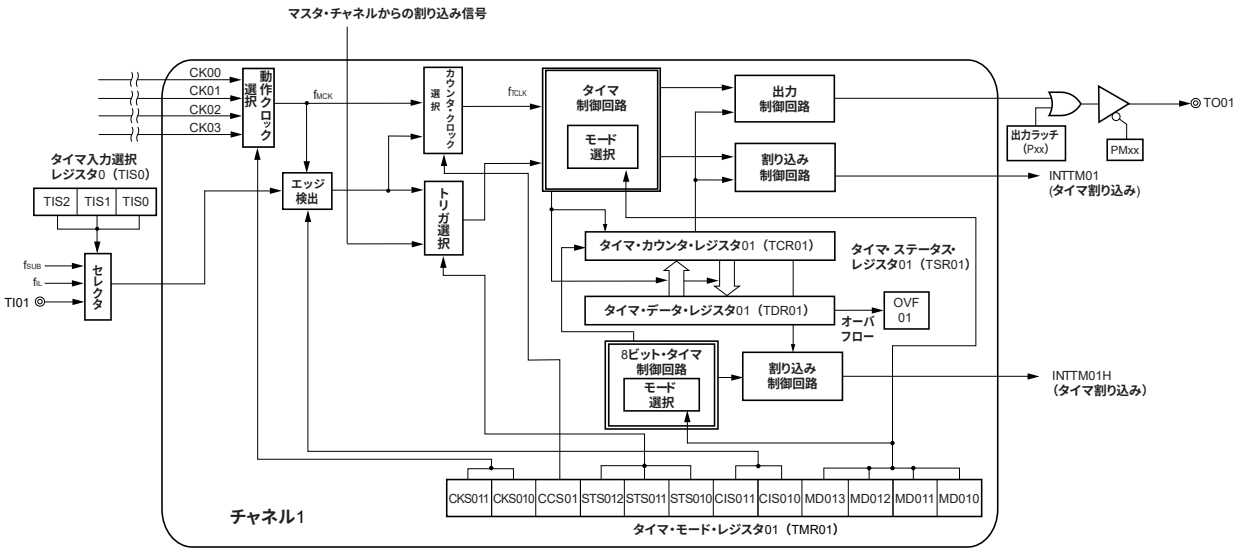
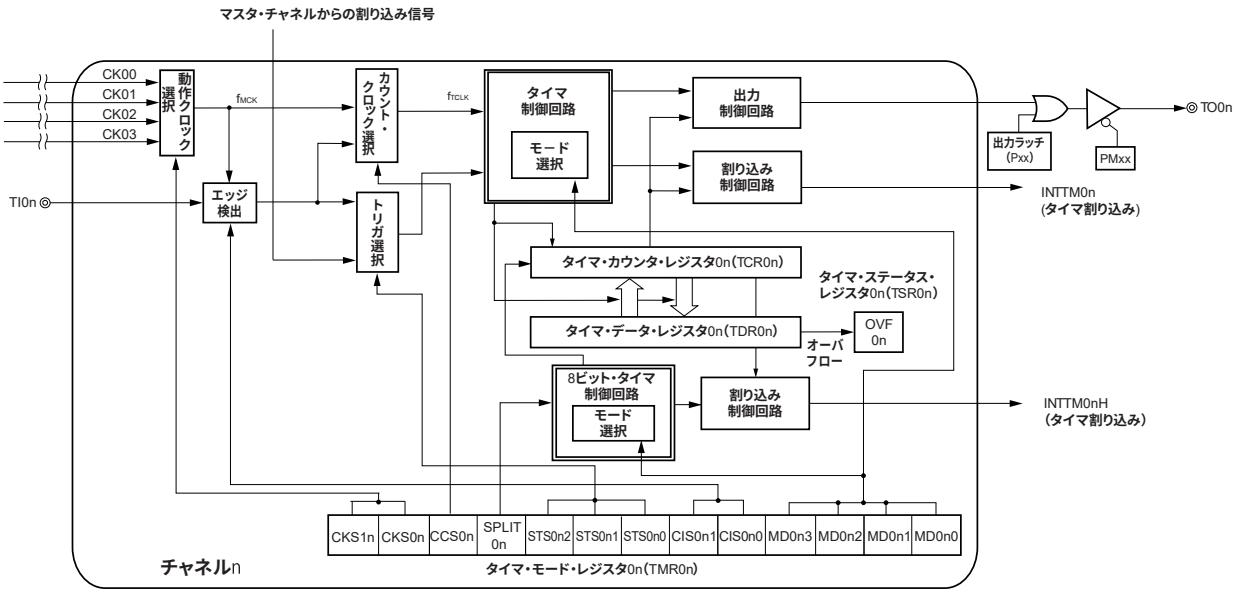


図6－4　タイマ・アレイ・ユニットのチャネル3内部ブロック図



備考　n = 3

6. 2. 1　タイマ・カウンタ・レジスタmn（TCRmn）

TCRmnレジスタは，カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がりに同期して，カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります（6. 3. 3　タイマ・モード・レジスタmn（TMRmn）参照）。

図6－5　タイマ・カウンタ・レジスタmn（TCRmn）のフォーマット

アドレス：F0180H, F0181H（TCR00）- F0186H, F0187H（TCR03）　　リセット時：FFFFH　　R

	F0181H（TCR00の場合）								F0180H（TCR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCRmn																

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

タイマ・カウンタ・レジスタmn（TCRmn）をリードすることにより，カウント値をリードできます。

次の場合，カウント値はFFFFHになります。

・リセット信号の発生時
・周辺イネーブル・レジスタ0（PER0）のTAUmENビットをクリアしたとき
・PWM出力モードで，スレーブ・チャネルのカウント完了時
・ディレイ・カウント・モードで，スレーブ・チャネルのカウント完了時
・ワンショット・パルス出力モードで，マスタ／スレーブ・チャネルのカウント完了時
・多重PWM出力モードで，スレーブ・チャネルのカウント完了時

また，次の場合には，カウント値は0000Hになります。

・キャプチャ・モード時に，スタート・トリガが入力されたとき
・キャプチャ・モード時で，キャプチャ完了時

注意　TCRmnレジスタをリードしても，タイマ・データ・レジスタmn（TDRmn）にはキャプチャしません。

TCRmnレジスタ読み出し値は，動作モード変更や動作状態により次のように異なります。

表6－3　各動作モード時のタイマ・カウンタ・レジスタmn（TCRmn）読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ（TCRmn）の読み出し値注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）後，動作モード変更した場合の値	カウント動作を一時停止（TTmn = 1）後，動作再開した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	－
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	－
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	－
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDRmnレジスタのキャプチャ値＋1

注　チャネルnがタイマ動作停止状態（TEmn = 0）かつカウント動作許可状態（TSmn = 1）にした時点の，TCRmnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRmnレジスタに保持されます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 2. 2　タイマ・データ・レジスタmn（TDRmn）

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは，タイマ・モード・レジスタmn（TMRmn）のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード／ライト可能です。

また，TDRm1, TDRm3レジスタは，8ビット・タイマ・モード時（タイマ・モード・レジスタm1, m3（TMRm1, TMRm3）のSPLITm1, SPLITm3ビットが1）に，上位8ビットをTDRm1H, TDRm3H，下位8ビットをTDRm1L, TDRm3Lとして，8ビット単位でリード／ライト可能になります。

リセット信号の発生により，TDRmnレジスタは0000Hになります。

図6－6　タイマ・データ・レジスタmn（TDRmn）（n = 0, 2）のフォーマット

アドレス：FFF18H, FFF19H（TDR00）, FFF64H, FFF65H（TDR02）　　リセット時：0000H　　R/W

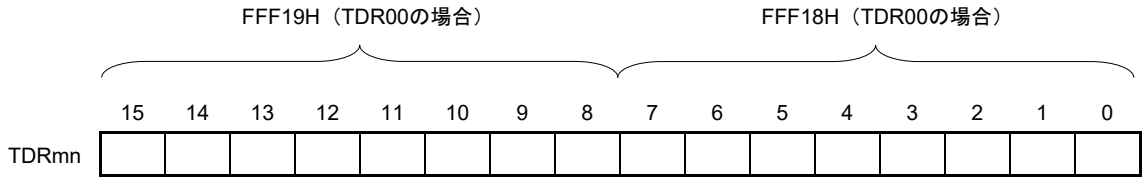
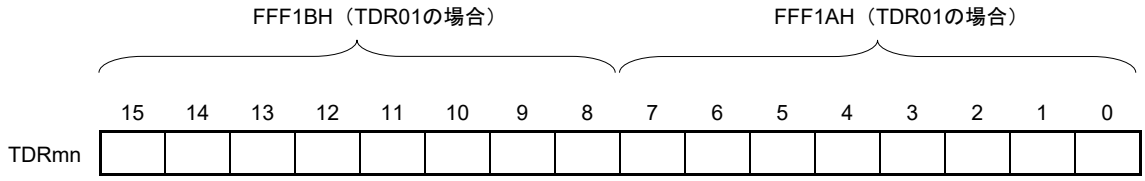


図6－7　タイマ・データ・レジスタmn（TDRmn）（n = 1, 3）のフォーマット

アドレス：FFF1AH, FFF1BH（TDR01）, FFF66H, FFF67H（TDR03）　　リセット時：0000H　　R/W



（ｉ）タイマ・データ・レジスタmn（TDRmn）をコンペア・レジスタとして使用するとき

TDRmnレジスタに設定した値からダウン・カウントをスタートして，0000Hになったときに割り込み信号（INTTMmn）を発生します。TDRmnレジスタは書き換えられるまで値を保持します。

注意　コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても，キャプチャ動作を行いません。

（ii）タイマ・データ・レジスタmn（TDRmn）をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により，タイマ・カウンタ・レジスタmn（TCRmn）のカウント値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして，TImn端子の有効エッジの選択ができます。キャプチャ・トリガの選択は，タイマ・モード・レジスタmn（TMRmn）で設定します。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6.3　タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・タイマ・クロック選択レジスタm（TPSm）
・タイマ・モード・レジスタmn（TMRmn）
・タイマ・ステータス・レジスタmn（TSRmn）
・タイマ・チャネル許可ステータス・レジスタm（TEm）
・タイマ・チャネル開始レジスタm（TSm）
・タイマ・チャネル停止レジスタm（TTm）
・タイマ入力選択レジスタ0（TIS0）
・タイマ出力許可レジスタm（TOEm）
・タイマ出力レジスタm（TOm）
・タイマ出力レベル・レジスタm（TOLm）
・タイマ出力モード・レジスタm（TOMm）
・ノイズ・フィルタ許可レジスタ1（NFEN1）
・ポート・モード・レジスタ（PM0, PM1, PM3）
・ポート・レジスタ（P0, P1, P3）

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットを使用する場合は，必ずビット0（TAU0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図6－8　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

TAU0EN	タイマ・アレイ・ユニットの入力クロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットはリセット状態
1	入力クロック供給 ・タイマ・アレイ・ユニットで使用するSFRへのリード／ライト可

注意　タイマ・アレイ・ユニットの設定をする際には，必ず最初にTAU0EN = 1の状態で，下記のレジスタの設定を行ってください。

TAU0EN = 0の場合は，タイマ・アレイ・ユニットの制御レジスタは初期値となり，書き込みは無視されます（タイマ入力選択レジスタ0（TIS0），ノイズ・フィルタ許可レジスタ1（NFEN1），ポート・モード・コントロール・レジスタ0（PMC0），ポート・モード・レジスタ0, 1, 3（PM0, PM1, PM3），ポート・レジスタ0, 1, 3（P0, P1, P3）は除く）。

- タイマ・クロック選択レジスタm（TPSm）
- タイマ・モード・レジスタmn（TMRmn）
- タイマ・ステータス・レジスタmn（TSRmn）
- タイマ・チャネル許可ステータス・レジスタm（TEm）-
- タイマ・チャネル開始レジスタm（TSm）
- タイマ・チャネル停止レジスタm（TTm）
- タイマ出力許可レジスタm（TOEm）
- タイマ出力レジスタm（TOm）
- タイマ出力レベル・レジスタm（TOLm）
- タイマ出力モード・レジスタm（TOMm）

6. 3. 2　タイマ・クロック選択レジスタm（TPSm）

TPSmレジスタは, 各チャネルに共通して供給される2種類または4種類の動作クロック（CKm0, CKm1, CKm2, CKm3）を選択する16ビット・レジスタです。CKm0はTPSmレジスタのビット3-0で，CKm1はTPSmレジスタのビット7-4で選択します。さらにチャネル1, 3のみ，CKm2, CKm3も選択できます。CKm2はTPSmレジスタのビット9, 8で，CKm3はTPSmレジスタのビット13, 12で選択できます。

タイマ動作中のTPSmレジスタの書き換えは，次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合（n = 0-3）：

動作クロックにCKm0を選択（CKSmn1, CKSmn0 = 0, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm10-PRSm13ビットが書き換え可能な場合（n = 0-3）：

動作クロックにCKm1を選択（CKSmn1, CKSmn0 = 0, 1）しているチャネルがすべて停止状態（TEmn = 0）

PRSm20, PRSm21ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm2を選択（CKSmn1, CKSmn0 = 1, 0）しているチャネルがすべて停止状態（TEmn = 0）

PRSm30, PRSm31ビットが書き換え可能な場合（n = 1, 3）：

動作クロックにCKm3を選択（CKSmn1, CKSmn0 = 1, 1）しているチャネルがすべて停止状態（TEmn = 0）

TPSmレジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TPSmレジスタは0000Hになります。

図6－9　タイマ・クロック選択レジスタm（TPSm）のフォーマット（1/2）

アドレス：F01B6H, F01B7H（TPS0）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注]（k = 0, 1）					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156.2 kHz	312.5 kHz	625 kHz	750 kHz
0	1	1	0	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	375 kHz
0	1	1	1	$f_{CLK}/2^7$	15.62 kHz	39.1 kHz	78.1 kHz	156.2 kHz	187.5 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.76 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	23.4 kHz
1	0	1	1	$f_{CLK}/2^{11}$	976 Hz	2.44 kHz	4.88 kHz	9.76 kHz	11.7 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 000FH）させてください。

注意 1.　ビット15, 14, 11, 10には，必ず0を設定してください。

2.　動作クロック（CKmk）にf_{CLK}（分周なし）を選択し，TDRmn = 0000H（m = 0, n = 0-3）を設定すると，タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPSmレジスタで選択するクロックの波形は，立ち上がりからf_{CLK}の1周期分だけハイ・レベルになります。詳しくは，6. 5. 1　カウント・クロック（f_{TCLK}）を参照してください。

図6－9　タイマ・クロック選択レジスタm（TPSm）のフォーマット（2/2）

アドレス：F01B6H, F01B7H（TPS0）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック（CKm2）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	1	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
1	0	$f_{CLK}/2^4$	125 kHz	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
1	1	$f_{CLK}/2^6$	31.25 kHz	78.1 kHz	156.2 kHz	312.5 kHz	375 kHz

PRS m31	PRS m30	動作クロック（CKm3）の選択注					
			f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
0	1	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.76 kHz	19.5 kHz	23.4 kHz
1	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm = 00FFH）させてください。
動作クロック（f_{MCK}），TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意　ビット15, 14, 11, 10には，必ず0を設定してください。

チャネル1, 3を8ビット・タイマ・モードで使用し，CKm2, CKm3を動作クロックとすることにより，インターバル・タイマ機能で，表6－4に示すインターバル時間を実現することが可能です。

表6－4　動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間（f_{CLK} = 24 MHz）			
		10 μs	100 μs	1 ms	10 ms
CKm2	$f_{CLK}/2$	○	－	－	－
	$f_{CLK}/2^2$	○	－	－	－
	$f_{CLK}/2^4$	○	○	－	－
	$f_{CLK}/2^6$	○	○	－	－
CKm3	$f_{CLK}/2^8$	－	○	○	－
	$f_{CLK}/2^{10}$	－	○	○	－
	$f_{CLK}/2^{12}$	－	－	○	○
	$f_{CLK}/2^{14}$	－	－	○	○

注　○には5%以下の誤差が含まれます。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　TPSmレジスタで選択する$f_{CLK}/2^r$の波形の詳細は，6. 5. 1　カウント・クロック（f_{TCLK}）を参照してください。

6. 3. 3　タイマ・モード・レジスタmn（TMRmn）

TMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，カウント・クロックの選択，マスタ／スレーブの選択，16ビット／8ビット・タイマの選択（チャネル1, 3のみ），スタート・トリガとキャプチャ・トリガの設定，タイマ入力の有効エッジ選択，動作モード（インターバル，キャプチャ，イベント・カウンタ，ワンカウント，キャプチャ＆ワンカウント）設定を行います。

TMRmnレジスタは，動作中（TEmn = 1のとき）の書き換えは禁止です。ただし，ビット7, 6（CISmn1, CISmn0）は，一部の機能で動作中（TEmn = 1のとき）の書き換えが可能です（詳細は6. 7　タイマ・アレイ・ユニットの単独チャネル動作機能，6. 8　タイマ・アレイ・ユニットの複数チャネル連動動作機能を参照）。

TMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，TMRmnレジスタは0000Hになります。

注意　TMRmnレジスタのビット11は，チャネルによって搭載するビットが異なります。

TMRm2：MASTERmnビット（n = 2）

TMRm1, TMRm3：SPLITmnビット（n = 1, 3）

TMRm0：0固定

図6－10　タイマ・モード・レジスタmn（TMRmn）のフォーマット（1/4）

アドレス：F0190H, F0191H（TMR00）-F0196H, F0197H（TMR03）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0）	CKS mn1	CKS mn0	0	CCS mn	0注	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャネルnの動作クロック（f_{MCK}）の選択
0	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm0
0	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm2
1	0	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm1
1	1	タイマ・クロック選択レジスタm（TPSm）で設定した動作クロックCKm3
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック（f_{TCLK}）を生成します。 動作クロックCKm2, CKm3は，チャネル1, 3のみ選択可能です。		

CCS mn	チャネルnのカウント・クロック（f_{TCLK}）の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
1	TImn端子からの入力信号の有効エッジ チャネル1では，TIS0で選択した入力信号の有効エッジ
カウント・クロック（f_{TCLK}）は，カウンタ，出力制御回路，割り込み制御回路に使用されます。	

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

注意1.　ビット13, 5, 4には，必ず0を設定してください。

2.　カウント・クロック（f_{TCLK}）にCKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}），TImn端子からの入力信号の有効エッジのどれを選択していても，f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，タイマ・アレイ・ユニットを停止（TTm＝000FH）させてください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－10　タイマ・モード・レジスタmn（TMRmn）のフォーマット（2/4）

アドレス：F0190H, F0191H（TMR00）-F0196H, F0197H（TMR03）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2）	CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0）	CKSmn1	CKSmn0	0	CCSmn	0注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

（TMRmn（n = 2）のビット11）

MASTERmn	チャネルnの単独チャネル動作／複数チャネル連動動作（スレーブ／マスタ）の選択
0	単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作
1	複数チャネル連動動作機能でマスタ・チャネルとして動作

チャネル2のみマスタ・チャネル（MASTERmn = 1）に設定できます。
チャネル0は0固定となります（チャネル0は最上位チャネルのため，このビットの設定によらずマスタとして動作します）。
また，単独チャネル動作機能として使用するチャネルは，MASTERmn = 0 にします。

（TMRmn（n = 1, 3）のビット11）

SPLITmn	チャネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 （単独チャネル動作機能，または複数チャネル連動動作機能でスレーブ・チャネルとして動作）
1	8ビット・タイマとして動作

STSmn2	STSmn1	STSmn0	チャネルnのスタート・トリガ，キャプチャ・トリガの設定
0	0	0	ソフトウエア・トリガ・スタートのみ有効（他のトリガ要因を非選択にする）
0	0	1	TImn端子入力の有効エッジを，スタート・トリガ，キャプチャ・トリガの両方に使用
0	1	0	TImn端子入力の両エッジを，スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャネルの割り込み信号を使用（複数チャネル連動動作機能のスレーブ・チャネル時）
上記以外			設定禁止

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－10　タイマ・モード・レジスタmn（TMRmn）のフォーマット（3/4）

アドレス：F0190H, F0191H（TMR00）-F0196H, F0197H（TMR03）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2）	CKSmn1	CKSmn0	0	CCSmn	MASTERmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKSmn1	CKSmn0	0	CCSmn	SPLITmn	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0）	CKSmn1	CKSmn0	0	CCSmn	0注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0	0	0	MDmn3	MDmn2	MDmn1	MDmn0

CISmn1	CISmn0	TImn端子の有効エッジ選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	両エッジ（ロウ・レベル幅測定時） スタート・トリガ：立ち下がりエッジ，キャプチャ・トリガ：立ち上がりエッジ
1	1	両エッジ（ハイ・レベル幅測定時） スタート・トリガ：立ち上がりエッジ，キャプチャ・トリガ：立ち下がりエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は，CISmn1-CISmn0ビット = 10Bに設定してください。		

注　ビット11はRead onlyの0固定で，書き込みは無視されます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－10　タイマ・モード・レジスタmn（TMRmn）のフォーマット（4/4）

アドレス：F0190H, F0191H（TMR00）-F0196H, F0197H（TMR03）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 2）	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 1, 3）	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn（n = 0）	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	MD mn0	チャネルnの動作モードの設定	対応する機能	TCRのカウント動作
0	0	0	1/0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力（マスタ）	ダウン･カウント
0	1	0	1/0	キャプチャ・モード	入力パルス間隔測定	アップ･カウント
0	1	1	0	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン･カウント
1	0	0	1/0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力（スレーブ）	ダウン･カウント
1	1	0	0	キャプチャ＆ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ･カウント
上記以外				設定禁止		
各モードの動作は，MDmn0ビットによって変わります（下表を参照）。						

動作モード（MDmn3-MDmn1で設定（上表参照））	MD mn0	カウント・スタートと割り込みの設定
・インターバル・タイマ・モード（0, 0, 0） ・キャプチャ・モード（0, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
	1	カウント開始時にタイマ割り込みを発生する（タイマ出力も変化させる）。
・イベント・カウンタ・モード（0, 1, 1）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。
・ワンカウント・モード注2（1, 0, 0）	0	カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。 その際に割り込みは発生しない。
・キャプチャ＆ワンカウント・モード（1, 1, 0）	0	カウント開始時にタイマ割り込みを発生しない（タイマ出力も変化しない）。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。
上記以外		設定禁止

注1.　ビット11はRead onlyの0固定で，書き込みは無視されます。
　2.　ワンカウント・モードでは，カウント動作開始時の割り込み出力（INTTMmn），TOmn出力は制御しません。
　3.　動作中にスタート・トリガ（TSmn = 1）が掛かると，カウンタを初期化し，再カウント・スタートします（割り込み要求は発生せず）。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 3. 4　タイマ・ステータス・レジスタmn（TSRmn）

TSRmnレジスタは，チャネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは，キャプチャ・モード（MDmn3-MDmn1 = 010B）とキャプチャ＆ワンカウント・モード（MDmn3-MDmn1 = 110B）のみ有効です。各動作モードでのOVFビットの動作とセット／クリア条件は表6－5を参照してください。

TSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは，TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TSRmnレジスタは0000Hになります。

図6－11　タイマ・ステータス・レジスタmn（TSRmn）のフォーマット

アドレス：F01A0H, F01A1H（TSR00）- F01A6H, F01A7H（TSR03）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき，次にオーバフローなしでキャプチャしたときにクリア（OVF = 0）されます。	

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

表6－5　各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード ・キャプチャ＆ワンカウント・モード	クリア	キャプチャ時にオーバフローが発生していない場合
	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード	クリア	－ （使用不可）
	セット	

備考　OVFビットは，カウンタがオーバフローしてもすぐには変化せず，その後のキャプチャ時に変化します。

6.3.5　タイマ・チャネル許可ステータス・レジスタm（TEm）

TEmレジスタは，各チャネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは，タイマ・チャネル開始レジスタm（TSm）とタイマ・チャネル停止レジスタm（TTm）の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると，TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると，その対応ビットが0にクリアされます。

TEmレジスタは，16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは，TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，TEmレジスタは0000Hになります。

図6－12　タイマ・チャネル許可ステータス・レジスタm（TEm）のフォーマット

アドレス：F01B0H, F01B1H　　リセット時：0000H　　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEm	0	0	0	0	TEHm3	0	TEHm1	0	0	0	0	0	TEm3	TEm2	TEm1	TEm0

TEHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャネル1，3が8ビット・タイマ・モード時は，TEm1，TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 3. 6　タイマ・チャネル開始レジスタm（TSm）

TSmレジスタは，タイマ・カウンタ・レジスタmn（TCRmn）を初期化し，カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3ビットはトリガ・ビットなので，動作許可状態（TEmn, TEHm1, TEHm3 = 1）になるとすぐTSmn, TSHm1, TSHm3ビットはクリアされます。

TSmレジスタは，16ビット・メモリ操作命令で設定します。

またTSmレジスタの下位8ビットは，TSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TSmレジスタは0000Hになります。

図6－13　タイマ・チャネル開始レジスタm（TSm）のフォーマット

アドレス：F01B2H, F01B3H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSm	0	0	0	0	TSHm3	0	TSHm1	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0

TSHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm3ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm3レジスタのカウント動作開始は，インターバル・タイマ・モードになります（6. 5. 2　カウンタのスタート・タイミングの表6－6参照）。

TSHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEHm1ビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRm1レジスタのカウント動作開始は，インターバル・タイマ・モードになります（6. 5. 2　カウンタのスタート・タイミングの表6－6参照）。

TSmn	チャネルnの動作許可（スタート）トリガ
0	トリガ動作しない
1	TEmnビットを1にセットし，カウント動作許可状態になる。 カウント動作許可状態におけるTCRmnレジスタのカウント動作開始は，各動作モードにより異なります（6. 5. 2　カウンタのスタート・タイミングの表6－6参照）。 チャネル1, 3が8ビット・タイマ・モード時は，TSm1, TSm3が下位側8ビット・タイマの動作許可（スタート）トリガになります。

（注意，備考は次ページにあります。）

注意1.　ビット15-12, 10, 8-4には必ず0を設定してください。

2.　TImn端子入力を使用しない機能から，TImn端子入力を使用する機能に切り替える場合，タイマ・モード・レジスタmn（TMRmn）設定後，TSmn（TSHm1, TSHm3）ビットを1に設定するまでに，次の期間ウエイトが必要になります。

TImn端子のノイズ・フィルタ有効時（TNFENmn = 1）：動作クロック（f_{MCK}）の4クロック

TImn端子のノイズ・フィルタ無効時（TNFENmn = 0）：動作クロック（f_{MCK}）の2クロック

備考1.　TSmレジスタの読み出し値は常に0となります。

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6.3.7　タイマ・チャネル停止レジスタm（TTm）

TTmレジスタは，カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると，タイマ・チャネル許可ステータス・レジスタm（TEm）の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので，動作停止状態（TEmn, TTHm1, TTHm3 = 0）になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは，16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは，TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TTmレジスタは0000Hになります。

図6－14　タイマ・チャネル停止レジスタm（TTm）のフォーマット

アドレス：F01B4H, F01B5H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	0	0	0	0	TTm3	TTm2	TTm1	TTm0

TTHm3	チャネル3が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし，カウント動作停止状態になる。

TTHm1	チャネル1が8ビット・タイマ・モード時，上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし，カウント動作停止状態になる。

TTmn	チャネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし，カウント動作停止状態になる。 チャネル1，3が8ビット・タイマ・モード時は，TTm1，TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意　ビット15-12, 10, 8-4には必ず0を設定してください。

備考1.　TTmレジスタの読み出し値は常に0となります。

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 3. 8　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，チャネル1のタイマ入力を選択するレジスタです。

TIS0レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，TIS0レジスタは00Hになります。

図6－15　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI01）の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

注意　選択するタイマ入力のハイ・レベル幅，ロウ・レベル幅は，1/f_{MCK}+10 ns以上必要となります。そのため，f_{CLK}にf_{SUB}を選択時（CKCレジスタのCSS = 1）は，TIS02ビットに1を設定できません。

6. 3. 9　タイマ出力許可レジスタm（TOEm）

TOEmレジスタは，各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネルnは，後述のタイマ出力レジスタm（TOm）のTOmnビットの値をソフトウエアによって書き換えできなくなり，カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子（TOmn）から出力されます。

TOEmレジスタは，16ビット・メモリ操作命令で設定します。

またTOEmレジスタの下位8ビットは，TOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOEmレジスタは0000Hになります。

図6－16　タイマ出力許可レジスタm（TOEm）のフォーマット

アドレス：F01BAH, F01BBH　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOEm3	TOEm2	TOEm1	TOEm0

TOEmn	チャネルnのタイマ出力許可／禁止
0	タイマの出力を禁止 タイマ動作をTOmnビットに反映せず，出力を固定します。 TOmnビットへの書き込みが可能となり，TOmnビットに設定したレベルがTOmn端子から出力されます。
1	タイマの出力を許可 タイマ動作をTOmnビットに反映し，出力波形を生成します。 TOmnビットへの書き込みは無視されます。

注意　ビット15-4には必ず0を設定してください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 3. 10　タイマ出力レジスタm（TOm）

TOmレジスタは，各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が，各チャネルのタイマ出力端子（TOmn）から出力されます。

このレジスタのTOmnビットのソフトウエアによる書き換えは，タイマ出力禁止時（TOEmn = 0）のみ可能です。タイマ出力許可時（TOEmn = 1）は，ソフトウエアによる書き換えは無視され，タイマ動作によってのみ値が変更されます。

また，P00/TI00, P01/TO00, P16/TI01/TO01, P17/TI02/TO02, P31/TI03/TO03をポート機能として使用する場合は，該当するTOmnビットに“0”を設定してください。

TOmレジスタは，16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは，TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOmレジスタは0000Hになります。

図6－17　タイマ出力レジスタm（TOm）のフォーマット

アドレス：F01B8H, F01B9H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm3	TOm2	TOm1	TOm0

TOmn	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意　ビット15-4には必ず0を設定してください。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 3. 11　タイマ出力レベル・レジスタm（TOLm）

TOLmレジスタは，各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネルnの反転設定は，タイマ出力許可（TOEmn = 1），複数チャネル連動動作機能（TOMmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。マスタ・チャネル出力モード（TOMmn = 0）時には，このレジスタの設定は無効となります。

TOLmレジスタは，16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは，TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOLmレジスタは0000Hになります。

図6－18　タイマ出力レベル・レジスタm（TOLm）のフォーマット

アドレス：F01BCH, F01BDH　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOLm3	TOLm2	TOLm1	0

TOLmn	チャネルnのタイマ出力レベルの制御
0	正論理出力（アクティブ・ハイ）
1	負論理出力（アクティブ・ロウ）

注意　ビット15-4, 0には必ず0を設定してください。

備考1.　タイマ動作中にこのレジスタの値を書き換えた場合，書き換えた直後のタイミングではなく，次にタイマ出力信号が変化するタイミングで，タイマ出力の論理が反転します。

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 3. 12　タイマ出力モード・レジスタm（TOMm）

TOMmレジスタは，各チャネルのタイマ出力モードを制御するレジスタです。

単独チャネル動作機能として使用する場合，使用するチャネルの対応ビットを0に設定します。

複数チャネル連動動作機能（PWM出力，ワンショット・パルス出力，多重PWM出力）として使用する場合，マスタ・チャネルの対応ビットを0に設定し，スレーブ・チャネルの対応ビットを1に設定します。

このレジスタによる各チャネルnの設定は，タイマ出力許可（TOEmn = 1）時にタイマ出力信号がセット，リセットされるタイミングで反映されます。

TOMmレジスタは，16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは，TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，TOMmレジスタは0000Hになります。

図6－19　タイマ出力モード・レジスタm（TOMm）のフォーマット

アドレス：F01BEH, F01BFH　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOMm3	TOMm2	TOMm1	0

TOMmn	チャネルnのタイマ出力モードの制御
0	マスタ・チャネル出力モード（タイマ割り込み要求信号（INTTMmn）によりトグル出力を行う）
1	スレーブ・チャネル出力モード （マスタ・チャネルのタイマ割り込み要求信号（INTTMmn）で出力がセット，スレーブ・チャネルのタイマ割り込み要求信号（INTTMmp）で出力がリセットされる）

注意　ビット15-4, 0には必ず0を設定してください。

備考　m：ユニット番号（m = 0）

n：チャネル番号

n = 0-3（マスタ・チャネル時：n = 0, 2）

p：スレーブ・チャネル番号

n＜p≦3

（マスタ・チャネル，スレーブ・チャネルの関係についての詳細は，6. 4. 1　複数チャネル連動動作機能の基本ルールを参照してください）

6. 3. 13　ノイズ・フィルタ許可レジスタ1（NFEN1）

NFEN1レジスタは，タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

ノイズ除去が必要な端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います[注]。

NFEN1レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN1レジスタは00Hになります。

注　詳細は，6. 5. 1（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1），6. 5. 2　カウンタのスタート・タイミング，6. 7　タイマ入力（TImn）の制御を参照してください。

図6－20　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマット

アドレス：F0071H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

TNFEN03	TI03端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN02	TI02端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN01	TI01端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

6. 3. 14　タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート・モード・コントロール・レジスタ（PMCxx））を設定してください詳細は，4. 3. 1　ポート・モード・レジスタ，4. 3. 2　ポート・レジスタ，4. 3. 6　ポート・モード・コントロール・レジスタを参照してください。

タイマ出力端子を兼用するポート（P00/TI00, P01/TO00など）をタイマ出力として使用するとき，各ポートに対応するポート・モード・コントロール・レジスタ（PMCxx）のビット，ポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P01/TO00をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート（P00/TI00など）をタイマ入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

例）P00/TI00をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定

ポート・モード・レジスタ0のPM00ビットを1に設定

ポート・レジスタ1のP00ビットを0または1に設定

6.4　タイマ・アレイ・ユニットの基本ルール

6.4.1　複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は，マスタ・チャネル（主に周期をカウントする基準タイマ）とスレーブ・チャネル（マスタ・チャネルに従い動作するタイマ）を組合せて実現する機能で，使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

(1) マスタ・チャネルには，偶数チャネル（チャネル0，チャネル2）のみ設定できます。
(2) スレーブ・チャネルには，チャネル0を除くすべてのチャネルを設定できます。
(3) スレーブ・チャネルには，マスタ・チャネルの下位チャネルのみ設定できます。
　例　チャネル2をマスタ・チャネルにした場合，チャネル3をスレーブ・チャネルに設定できます。

(4) 1つのマスタ・チャネルに対し，スレーブ・チャネルは複数設定できます。
(5) マスタ・チャネルを複数使用する場合，マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
　例　チャネル0，チャネル2をマスタ・チャネルにした場合，マスタ・チャネル0は，チャネル1をスレーブ・チャネルとして設定できます。マスタ・チャネル0は，チャネル3をスレーブ・チャネルとして設定できません。

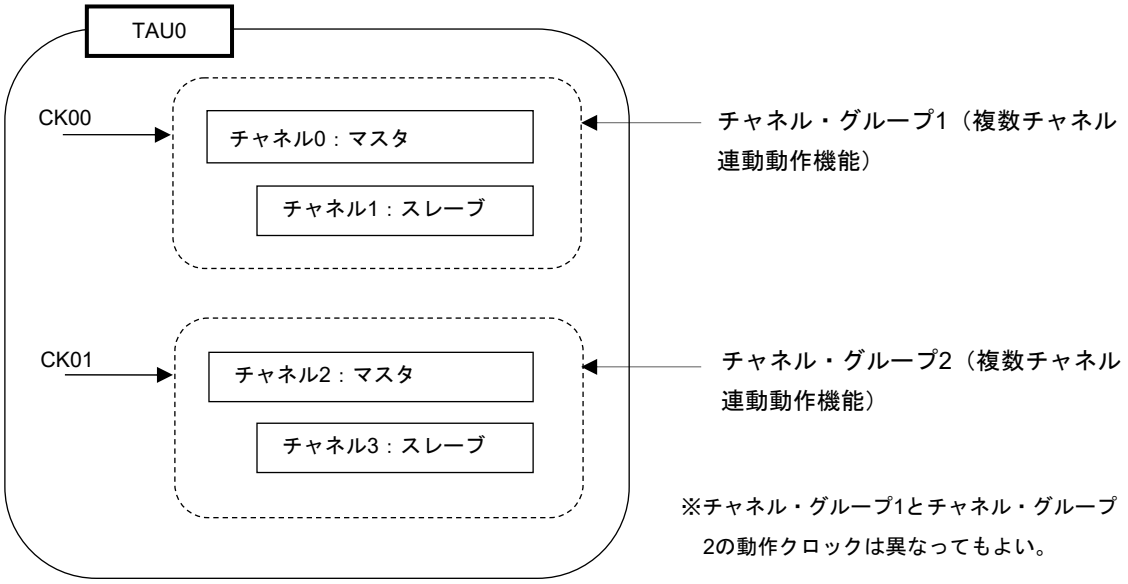
(6) マスタ・チャネルと連動するスレーブ・チャネルは，同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット（タイマ・モード・レジスタmn（TMRmn）のビット15, 14）が同じ設定値になっている必要があります。
(7) マスタ・チャネルはINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを下位チャネルに伝えることができます。
(8) スレーブ・チャネルはマスタ・チャネルのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用できますが，下位チャネルに自身のINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックを伝えることはできません。
(9) マスタ・チャネルは，他の上位のマスタ・チャネルからのINTTMmn（割り込み）／スタート・ソフトウエア・トリガ／カウント・クロックをソース・クロックとして使用することはできません。
(10) 連動させるチャネルを同時スタートさせるため，連動させるチャネルのチャネル・スタート・トリガ・ビット（TSmn）を同時に設定する必要があります。
(11) カウント動作中のTSmビットの設定は，連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmビットのみの設定では使用できません。
(12) 連動させるチャネルを同時に停止させるため，連動させるチャネルのチャネル・ストップ・トリガ・ビット（TTmn）を同時に設定する必要があります。
(13) 連動動作時は，マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため，CKm2/CKm3は選択できません。
(14) タイマ・モード・レジスタ0n（TMR0n）は，マスタ・ビットがなく，”0”に固定されています。しかし，チャネル0は最上位チャネルなので，連動動作時は，チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは，チャネル・グループ（1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャネル・グループを設定した場合，チャネル・グループ間には上記の基本ルールは適用されません。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

例


TAU0
CK00
チャネル0：マスタ
チャネル1：スレーブ
チャネル・グループ1（複数チャネル連動動作機能）
CK01
チャネル2：マスタ
チャネル3：スレーブ
チャネル・グループ2（複数チャネル連動動作機能）
※チャネル・グループ1とチャネル・グループ2の動作クロックは異なってもよい。

6.4.2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）

8ビット・タイマ動作機能は，16ビット・タイマのチャネルを8ビット・タイマの2チャネル構成として使用する機能です。

8 ビットタイマ動作機能は，チャネル1, 3のみ使用できる機能で，使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

(1) 8ビット・タイマ動作機能が適用されるチャネルは，チャネル1, 3のみです。
(2) 8ビット・タイマとして使用する場合には，タイマ・モード・レジスタmn（TMRmn）のSPLITmnビットを“1”に設定します。
(3) 上位8ビットは，インターバル・タイマ機能として動作することができます。
(4) 上位8ビットは，動作開始時にINTTMm1H/INTTMm3H（割り込み）を出力します（MDmn0 =1 設定と同じ動作）。
(5) 上位8ビットの動作クロック選択は，下位ビットのTMRmnレジスタのCKSmn1, CKSmn0ビットにしたがって動作します。
(6) 上位8ビットは，TSHm1/TSHm3ビットを操作することでチャネル動作を開始し，TTHm1/TTHm3 ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEHm1/TEHm3ビットで確認できます。
(7) 下位8ビットは，TMRmnレジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は，以下の3機能です。
　・インターバル・タイマ機能/方形波機能
　・外部イベント・カウンタ機能
　・ディレイ・カウント機能

(8) 下位8ビットは，TSm1/TSm3 ビットを操作することでチャネル動作を開始し，TTm1/TTm3ビットを操作することでチャネル動作を停止します。チャネルのステータスは，TEm1/TEm3ビットで確認できます。
(9) 16ビットで動作させる場合には，TSHm1/TSHm3/TTHm1/TTHm3ビットの操作は無効となります。TSm1/TSm3, TTm1/TTm3ビットを操作することでチャネル1, 3が動作します。TEHm3ビットとTEHm1ビットは変化しません。
(10) 8ビット・タイマ機能で，連動動作機能（ワンショット・パルス，PWM，多重PWM）を使用することはできません。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 1, 3）

6.5　カウンタの動作

6.5.1　カウント・クロック（f_{TCLK}）

タイマ・アレイ・ユニットのカウント・クロック（f_{TCLK}）は，タイマ・モード・レジスタmn（TMRmn）のCCSmnビットにより，以下のどちらかを選択することができます。

・CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）
・TImn端子からの入力信号の有効エッジ

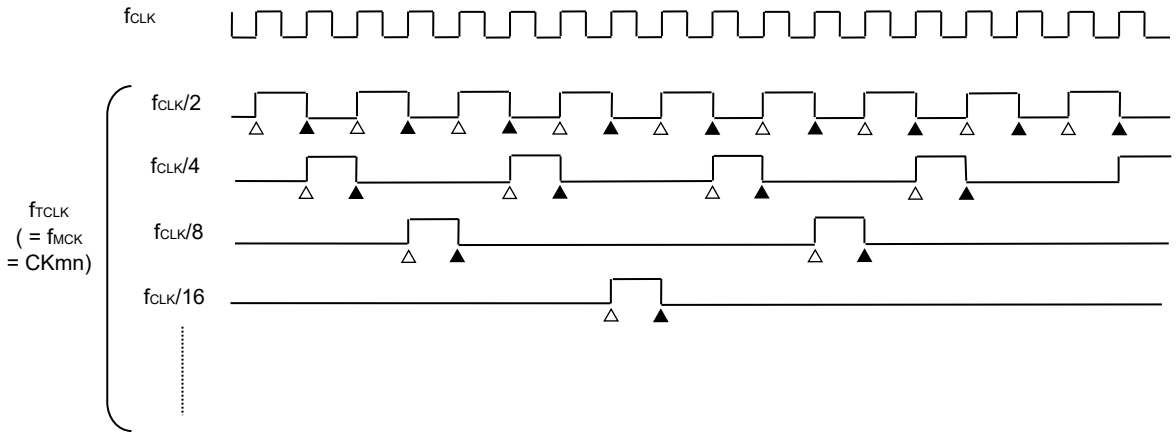
タイマ・アレイ・ユニットは，f_{CLK}との同期をとって動作するよう設計されているため，カウント・クロック（f_{TCLK}）のタイミングは次のようになります。

（1）CKSmn0, CKSmn1ビットで指定した動作クロック（f_{MCK}）を選択した場合（CCSmn = 0）

カウント・クロック（f_{TCLK}）は，タイマ・クロック選択レジスタm（TPSm）の設定により，f_{CLK} ～ $f_{CLK}/2^{15}$となります。ただしf_{CLK}の分周を選んだ場合は，カウント・クロックは単純に2^r分周した波形ではなく，その立ち上がりでf_{CLK}の１周期分ハイ・レベルになる信号となります（r = 1-15）。

タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるため，カウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6－21　f_{CLK}とカウント・クロック（f_{TCLK}）のタイミング（CCSmn = 0時）



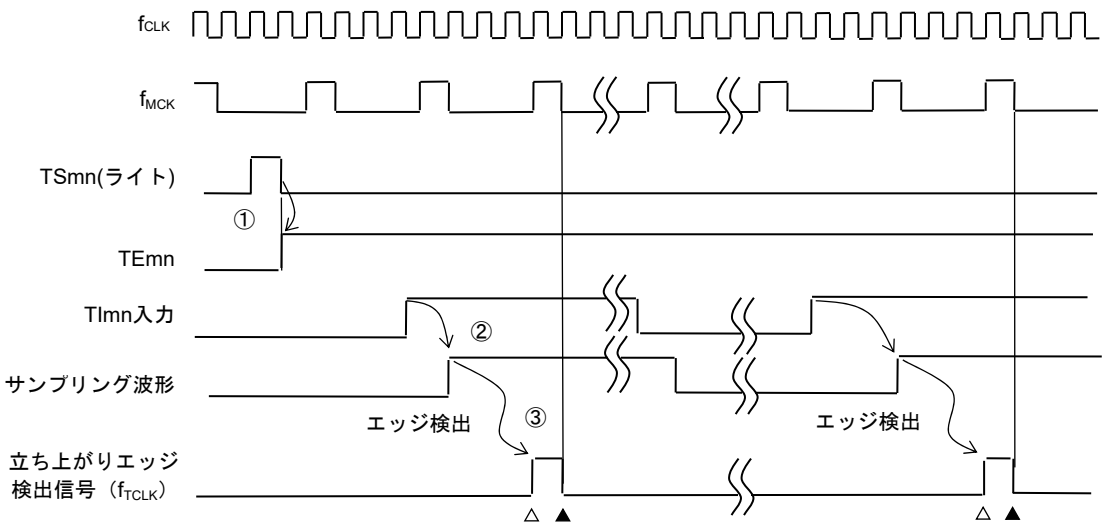
備考1.　△：カウント･クロックの立ち上がり
　　▲：同期化，カウンタのインクリメント／デクリメント
　　2.　f_{CLK}：CPU／周辺ハードウエア・クロック

（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1）

カウント・クロック（f_{TCLK}）は，TImn端子からの入力信号の有効エッジを検出し，次のf_{MCK}の立ち上がりに同期した信号になります。これは，実際のTImn端子からの入力信号よりf_{MCK}の1～2クロック分遅れた信号になります（ノイズ・フィルタ使用時は，f_{MCK}の3～4クロック分遅れます）。

また，タイマ・カウンタ・レジスタmn（TCRmn）は，f_{CLK}との同期をとるためにカウント・クロックの立ち上がりからf_{CLK}の1クロック分遅れてカウントしますが，このことを便宜上“TImn端子からの入力信号の有効エッジでカウントする”と表現します。

図6－22　カウント・クロック（f_{TCLK}）のタイミング（CCSmn = 1，ノイズ・フィルタ未使用時）



①TSmnビットをセットすることでタイマが動作を開始し，TImn入力の有効エッジ待ちになります。

②TImn入力の立ち上がりがf_{MCK}でサンプリングされます。

③サンプリングした信号の立ち上がりでエッジ検出がおこなわれ，検出信号（カウント・クロック）が出力されます。

備考1. △：カウント･クロックの立ち上がり

▲：同期化，カウンタのインクリメント／デクリメント

2. f_{CLK}：CPU／周辺ハードウエア・クロック

f_{MCK}：チャネルnの動作クロック

3. 入力パルス間隔測定，入力信号のハイ／ロウ・レベル幅測定，ディレイ・カウンタ，ワンショット・パルス出力機能のTImn入力も同様の波形になります。

6. 5. 2　カウンタのスタート・タイミング

タイマ・カウント・レジスタmn（TCRmn）は，タイマ・チャネル開始レジスタm（TSm）のTSmnビットをセットすることにより，動作許可状態になります。

カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作を，表6－6に示します。

表6－6　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（1）インターバル・タイマ・モードの動作参照）。
・イベント・カウンタ・モード	TSmnビットに1を書き込むことにより， TDRmnレジスタの値をTCRmnレジスタにロードします。 TImn入力のエッジを検出すると，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（2）イベント・カウンタ・モードの動作参照）。
・キャプチャ・モード	スタート・トリガ検出（TSmn = 1）後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 5. 3（3）キャプチャ・モードの動作（入力パルス間隔測定）参照）。
・ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRmnレジスタの値をTCRmnレジスタにロードし，以降のカウント・クロックでダウン・カウント動作を行います（6. 5. 3（4）ワンカウント・モードの動作参照）。
・キャプチャ＆ワンカウント・モード	タイマ動作停止（TEmn = 0）の状態で，TSmnビットに1を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後，カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRmnレジスタにロードし，以降のカウント・クロックでアップ・カウント動作を行います（6. 5. 3（5）キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）参照）。

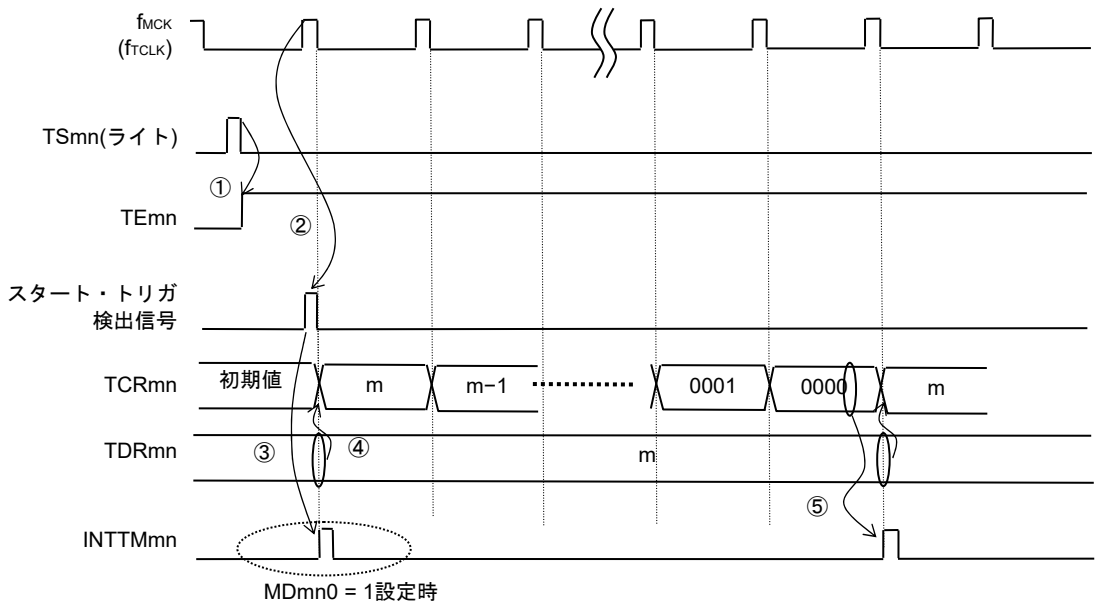
6.5.3　カウンタの動作

各モードでのカウンタ動作を説明します。

（1）インターバル・タイマ・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。
② 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。
③ MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。
④ 動作許可後の最初のカウント・クロックにより，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードし，インターバル・タイマ・モードでのカウントを開始します。
⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると，次のカウント・クロック（f_{MCK}）でINTTMmnを発生し，タイマ・データ・レジスタmn（TDRmn）の値をTCRmnレジスタにロードしてカウントを継続します。

図6－23　動作タイミング（インターバル・タイマ・モード）



注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　f_{MCK}，スタート・トリガ検出信号，INTTMmnは，f_{CLK}に同期して1クロック間アクティブとなります。

（2）イベント・カウンタ・モードの動作

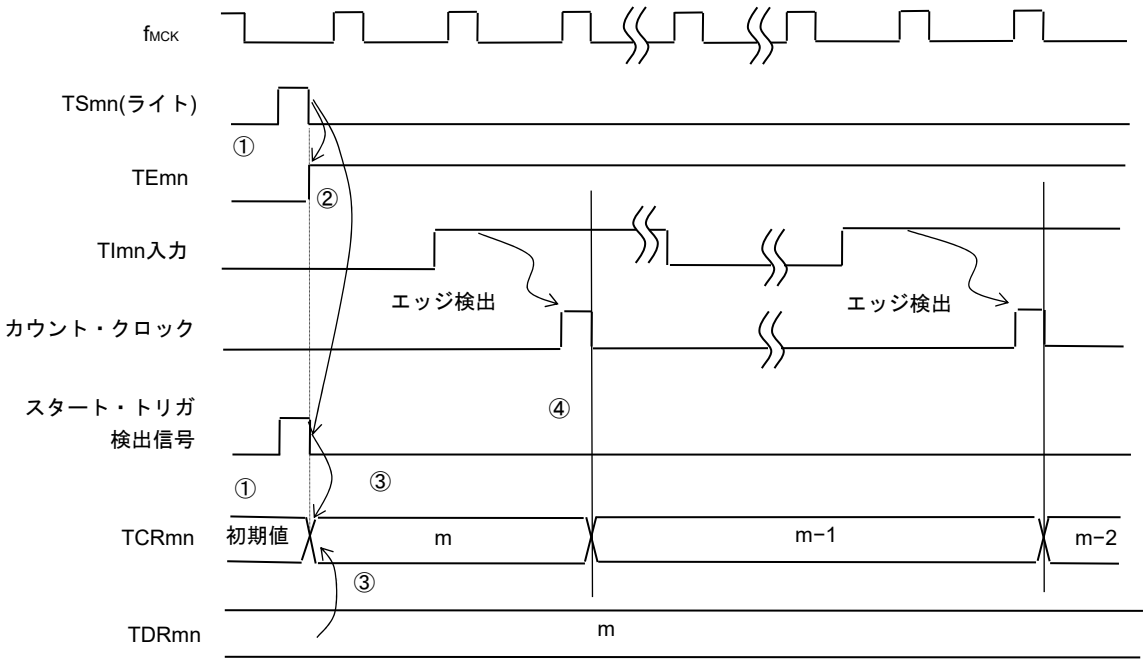
① 動作停止状態（TEmn = 0）の期間，タイマ・カウンタ・レジスタmn（TCRmn）は，初期値を保持します。

② TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。

③ TSmn = 1→TEmn = 1と同時に，TCRmnレジスタにタイマ・データ・レジスタmn（TDRmn）の値をロードし，カウントを開始します。

④ 以降はTImn入力の有効エッジでのカウント・クロックに従い，TCRmnレジスタの値をダウン・カウントします。

図6－24　動作タイミング（イベント・カウンタ・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

（3）キャプチャ・モードの動作（入力パルス間隔測定）

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。

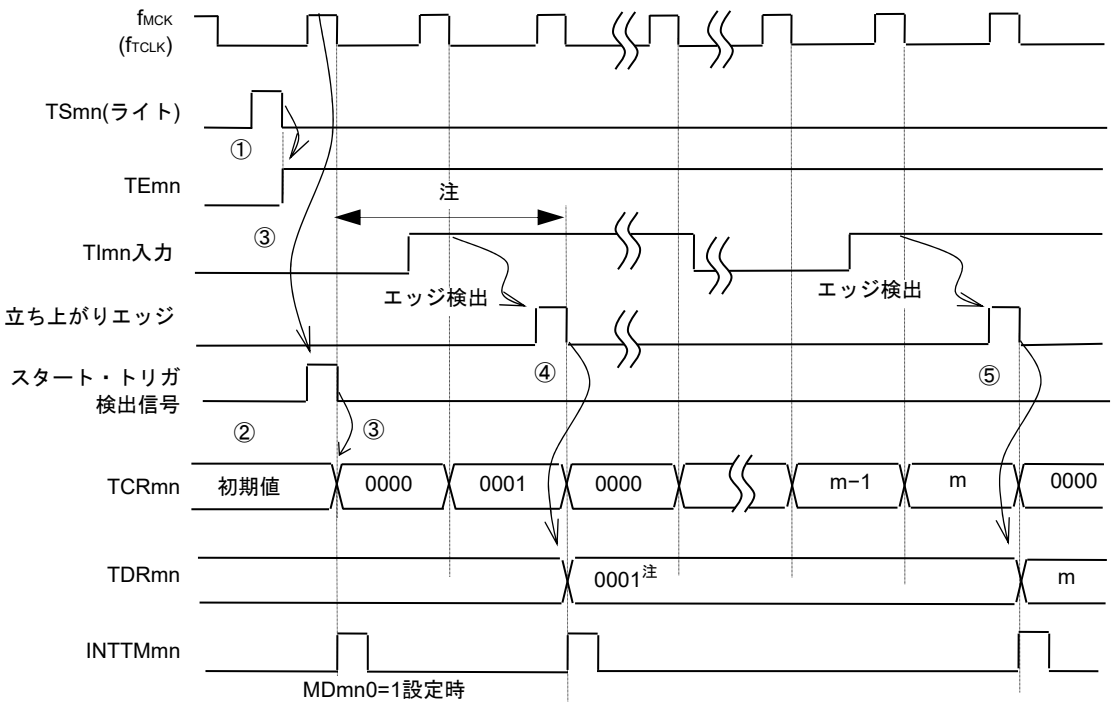
② タイマ・カウンタ・レジスタmn（TCRmn）は，カウント・クロック発生まで初期値を保持しています。

③ 動作許可後の最初のカウント・クロック（f_{MCK}）で，スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし，キャプチャ・モードでのカウントを開始します。（MDmn0ビットが1に設定されている場合には，スタート・トリガにより，INTTMmnが発生します。）

④ TImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生しますが，このときのキャプチャ値は意味をもちません。TCRmnレジスタは0000Hからカウントを継続します。

⑤ 次のTImn入力の有効エッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－25　動作タイミング（キャプチャ・モード：入力パルス間隔測定）



注　スタート前からTImnにクロックが入力されている（トリガがある）場合，エッジ検出をしなくても，トリガ検出でカウントを開始するため，最初のキャプチャ（④）でのキャプチャ値はパルス間隔とならない（この例では0001：2クロック分の間隔）ので，無視してください。

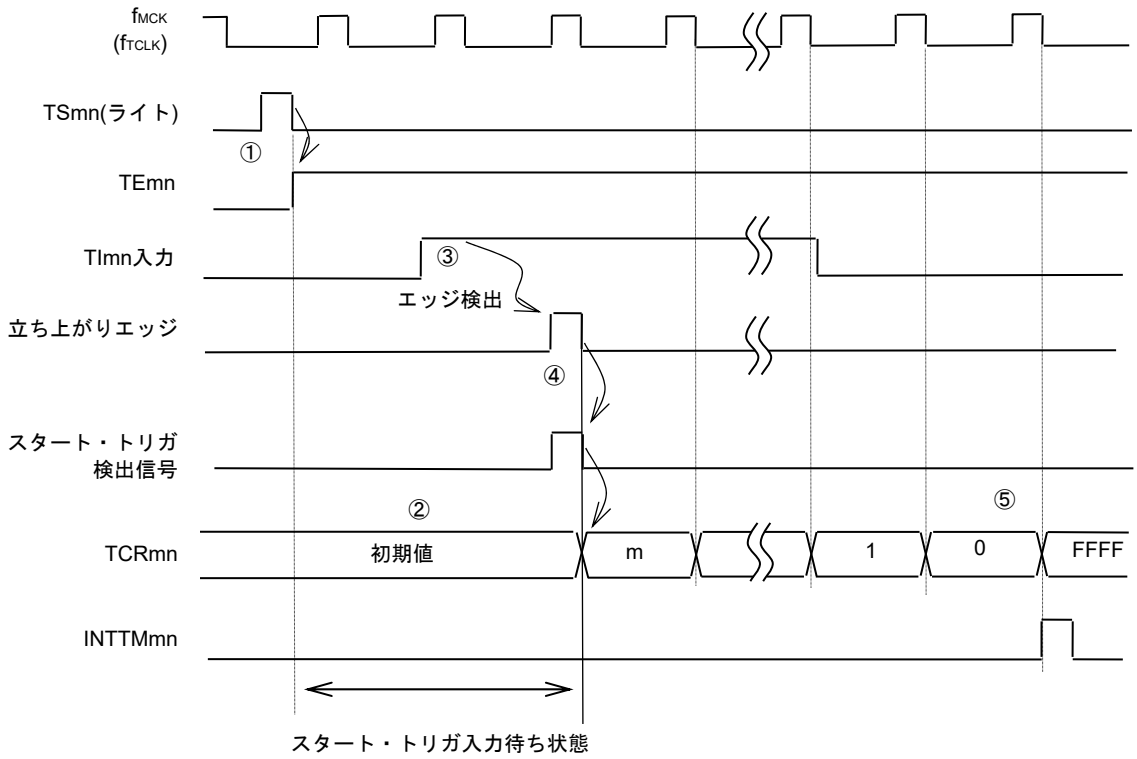
注意　カウント・クロックの1周期目の動作はTSmnビット書き込み後，カウント・クロックが発生するまでカウント開始が遅れるため，1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また，カウント開始タイミングの情報が必要な場合は，MDmn0 = 1に設定することで，カウント開始時に割り込みを発生させることができます。

備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f_{MCK}）が非同期なためです。

（4）ワンカウント・モードの動作

① TSmnビットへ1を書き込むことにより，動作許可状態（TEmn = 1）となります。
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持しています。
③ TImn入力の立ち上がりエッジを検出します。
④ スタート・トリガが発生して，TDRmnレジスタの値（m）をTCRmnレジスタにロードし，カウントを開始します。
⑤ TCRmnレジスタがカウント･ダウンしてカウント値が0000Hになると，INTTMmn割り込みを発生し，TCRmnレジスタはFFFFHで停止します。

図6－26　動作タイミング（ワンカウント・モード）



備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンすると，エッジ検出はTImn入力からさらにf_{MCK}の2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（f_{MCK}）が非同期なためです。

（5）キャプチャ&ワンカウント・モードの動作（ハイ・レベル幅測定）

① タイマ・チャネル開始レジスタm（TSm）のTSmnビットに1を書き込むことにより，動作許可状態（TEmn = 1）となります。

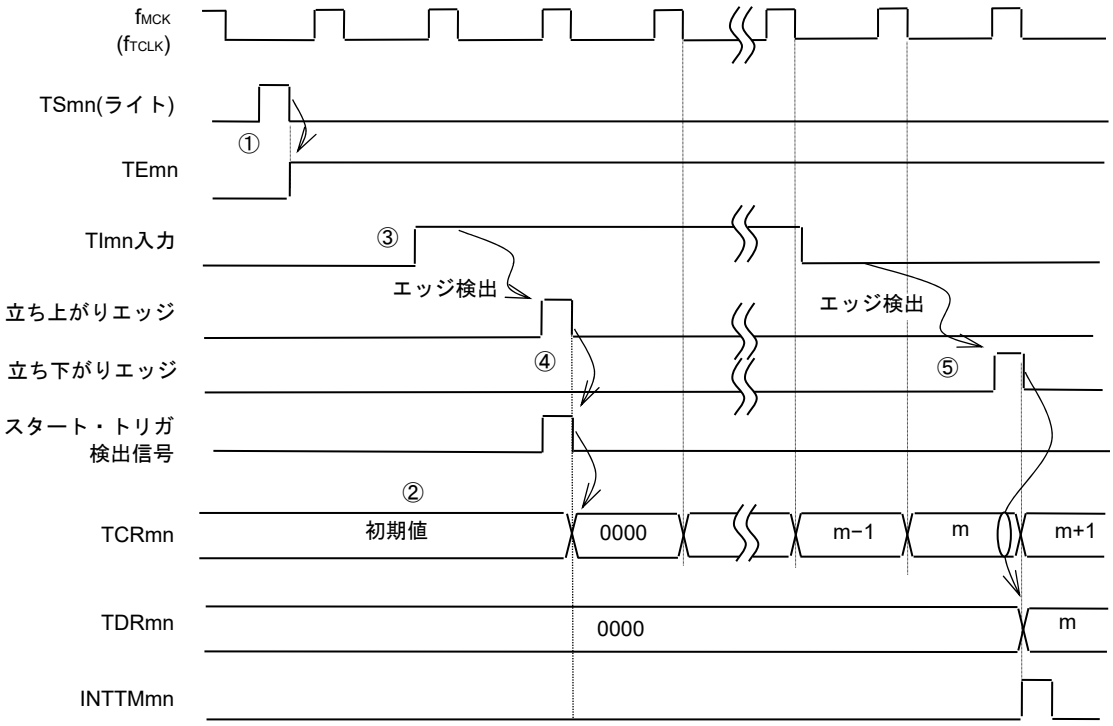
② タイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ発生まで初期値を保持します。

③ TImn入力の立ち上がりエッジを検出します。

④ スタート・トリガが発生して，0000HをTCRmnレジスタにロードし，カウントを開始します。

⑤ TImn入力の立ち下がりエッジを検出すると，TCRmnレジスタの値をTDRmnレジスタにキャプチャし，INTTMmn割り込みが発生します。

図6－27　動作タイミング（キャプチャ&ワンカウント・モード：ハイ・レベル幅測定）

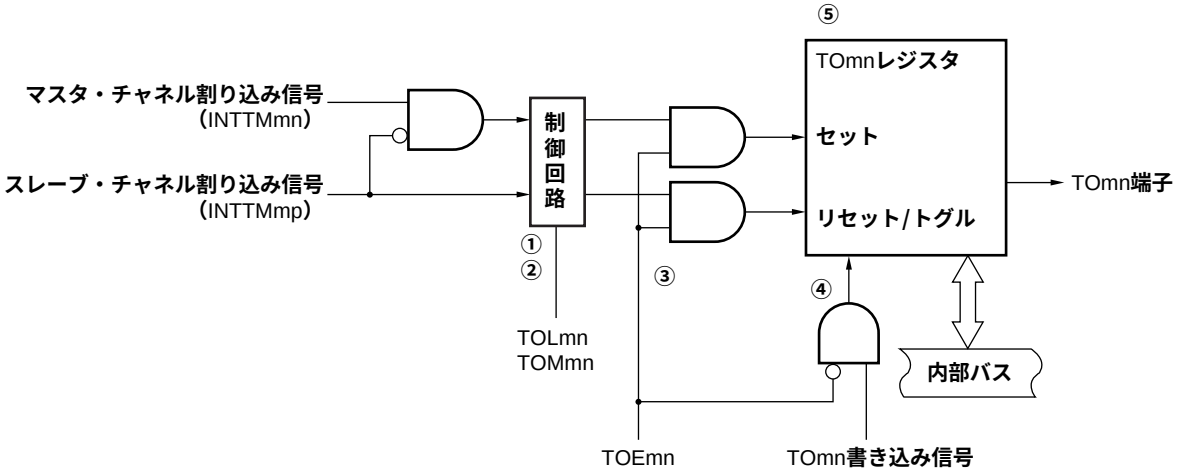


備考　このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると，エッジ検出はTImn入力からさらにfMCKの2周期分（合計で3～4周期分）遅くなります。1周期分の誤差はTImn入力とカウント・クロック（fMCK）が非同期なためです。

6.6　チャネル出力（TOmn端子）の制御

6.6.1　TOmn端子の出力回路の構成

図6－28　出力回路構成図



TOmn端子の出力回路の説明を次に示します。

① TOMmn = 0（マスタ・チャネル出力モード）のときは，タイマ出力レベル・レジスタm（TOLm）の設定値は無視され，INTTMmp（スレーブ・チャネル・タイマ割り込み）のみがタイマ出力レジスタm（TOm）に伝えられます。

② TOMmn = 1（スレーブ・チャネル出力モード）のときは，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。
このとき，TOLmレジスタが有効となり，次のように信号を制御します。

TOLmn = 0の場合　：正転動作（INTTMmn→セット，INTTMmp→リセット）
TOLmn = 1の場合　：反転動作（INTTMmn→リセット，INTTMmp→セット）

また，INTTMmnとINTTMmpが同時に発生した場合（PWM出力の0%出力時）は，INTTMmp（リセット信号）が優先され，INTTMmn（セット信号）はマスクされます。

③ タイマ出力許可状態（TOEmn = 1）で，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）がTOmレジスタに伝えられます。TOmレジスタへの書き込み（TOmnライト信号）は無効となります。
また，TOEmn = 1のとき，割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は，タイマ動作停止（TOEmn = 0）に設定しTOmレジスタに値を書き込む必要があります。

④ タイマ出力禁止状態（TOEmn = 0）で，対象チャネルのTOmnビットへの書き込み（TOmnライト信号）が有効となります。 タイマ出力禁止状態（TOEmn = 0）のとき，INTTMmn（マスタ・チャネル・タイマ割り込み）とINTTMmp（スレーブ・チャネル・タイマ割り込み）はTOmレジスタに伝えられません。

⑤ TOmレジスタは常に読み出し可能であり，TOmn端子の出力レベルを確認することができます。

（備考は次ページにあります。）

備考　m：ユニット番号（m = 0）

n：チャネル番号

n = 0-3

（マスタ・チャネル時：n = 0, 2）

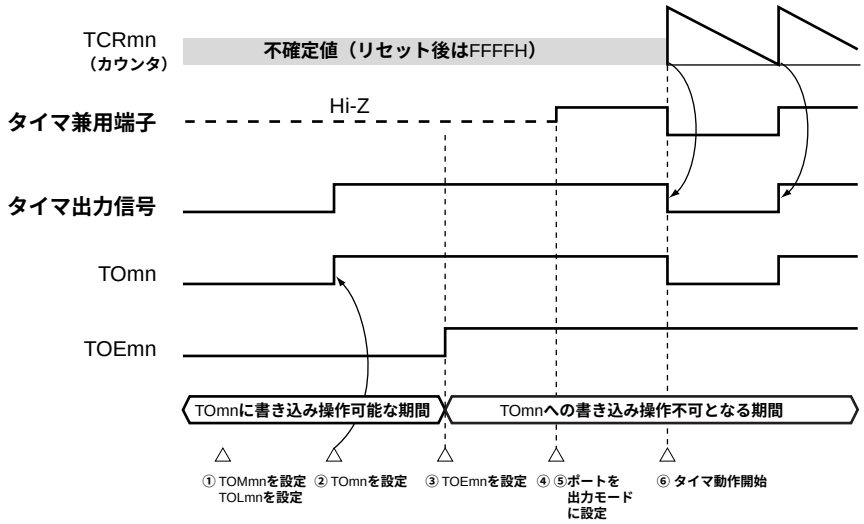
p：スレーブ・チャネル番号

n＜p≦3

6. 6. 2　TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6－29　タイマ出力設定から動作開始までの状態変化



① タイマ出力の動作モードを設定します。

・TOMmnビット（0：マスタ・チャネル出力モード，1：スレーブ・チャネル出力モード）

・TOLmnビット（0：正論理出力，1：負論理出力）

②タイマ出力レジスタm（TOm）を設定することにより，タイマ出力信号が初期状態に設定されます。

③ TOEmnビットに1を書き込み，タイマ出力動作を許可します（TOmレジスタへの書き込みは不可となります）。

④ ポート・モード・コントロール・レジスタ（PMCxx）でポートをデジタル入出力に設定します（6. 3. 14　ポートを制御するレジスタ参照）。

⑤ ポートの入出力設定を出力に設定します（6. 3. 14　ポートを制御するレジスタ参照）。

⑥ タイマを動作許可にします（TSmn = 1）。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 6. 3　チャネル出力操作時の注意事項

（1）タイマ動作中のTOm, TOEm, TOLmレジスタの設定値変更について

タイマ動作（タイマ・カウンタ・レジスタmn（TCRmn）,タイマ・データ・レジスタmn（TDRmn）の動作）は，TOmn出力回路とは独立しています。よって，タイマ出力レジスタm（TOm），タイマ出力許可レジスタm（TOEm），タイマ出力レベル・レジスタm（TOLm）の設定値変更はタイマ動作に影響しないため，タイマ動作中に設定値の変更が可能です。ただし，各タイマ動作において期待する波形をTOmn端子から出力するためには，6. 7, 6. 8節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み（INTTMmn）近辺で，TOmレジスタを除くTOEmレジスタ，TOLmレジスタの設定値変更を行うと，タイマ割り込み（INTTMmn）信号発生タイミング直前に設定値変更が実施された場合と，タイマ割り込み（INTTMmn）信号発生タイミング直後に設定値変更が実施された場合とでは，TOmn端子に出力される波形が異なる場合があります。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

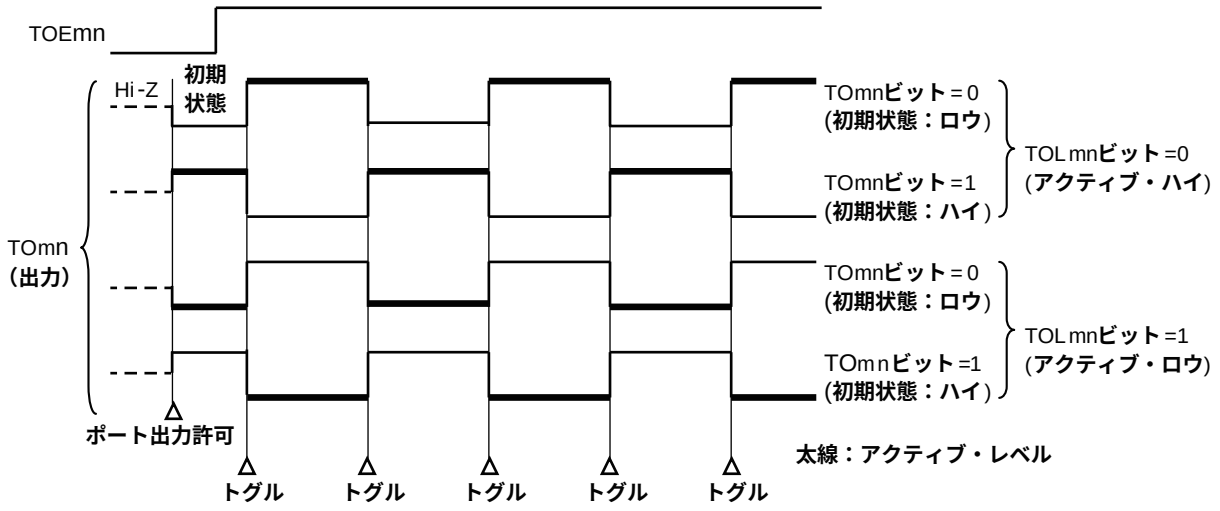
（2）TOmn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に，タイマ出力禁止（TOEmn = 0）の状態でタイマ出力レジスタm（TOm）に書き込みを行い，初期レベル変更後，タイマ出力許可状態（TOEmn = 1）に設定した場合のTOmn端子出力レベルの変化を次に示します。

（a）マスタ・チャネル出力モード（TOMmn= 0）設定で動作を開始した場合

マスタ・チャネル出力モード（TOMmn= 0）の時，タイマ出力レベル・レジスタm（TOLm）の設定は無効となります。初期レベル設定後，タイマ動作を開始するとトグル信号発生によりTOmn端子の出力レベルを反転します。

図6－30　トグル出力時（TOMmn = 0）のTOmn端子出力状態



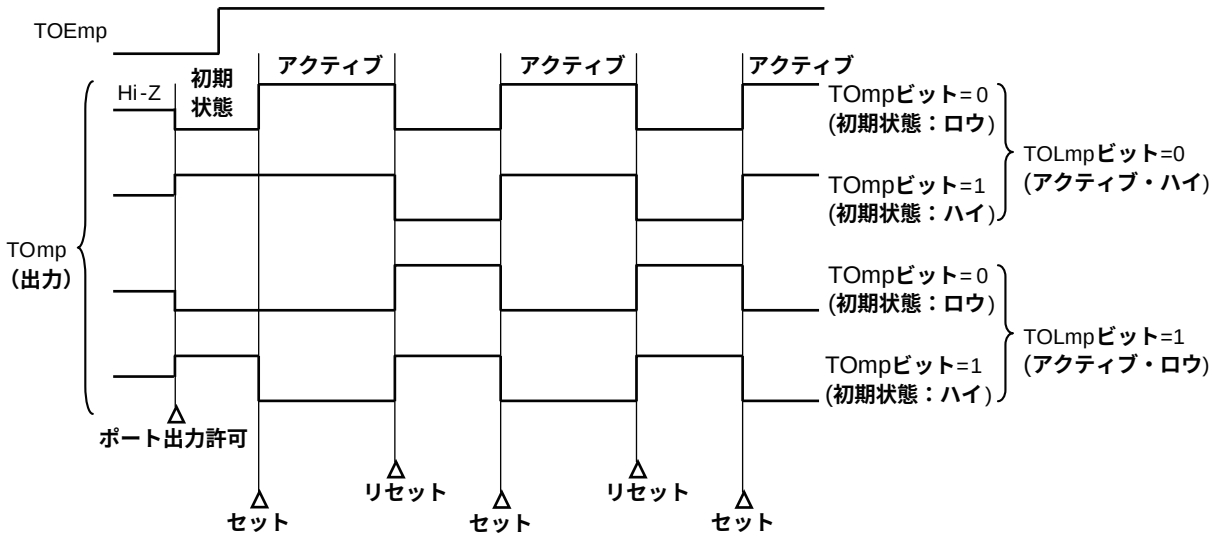
備考1.　トグル：TOmn端子の出力状態を反転

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

（b）スレーブ・チャネル出力モード（TOMmp = 1）設定で動作を開始した場合（PWM出力）

スレーブ・チャネル出力モード（TOMmp = 1）の時，タイマ出力レベル・レジスタm（TOLm）の設定によりアクティブ・レベルを決定します。

図6－31　PWM出力時（TOMmp = 1）のTOmp端子出力状態



備考1.　セット　　：TOmp端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TOmp端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

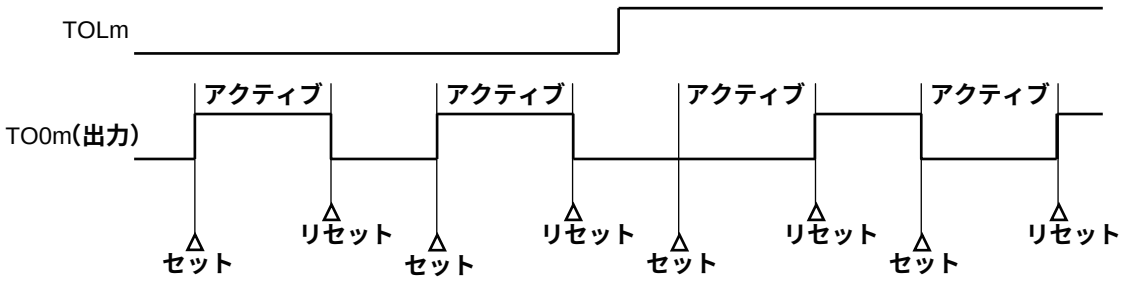
（3）TOmn端子のスレーブ・チャネル出力モード（TOMmn = 1）での動作について

（a）タイマ動作中にタイマ出力レベル・レジスタm（TOLm）の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合，設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは，TOmn端子の出力レベルは変化しません。

TOMmn = 1で，タイマ動作中（TEmn = 1）にTOLmレジスタの値を変更した場合の動作を次に示します。

図6－32　タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1.　セット　　：TOmn端子の出力信号が，インアクティブ・レベルからアクティブ・レベルに変化

リセット　：TOmn端子の出力信号が，アクティブ・レベルからインアクティブ・レベルに変化

2.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

（b）セット／リセット・タイミング

PWM出力時に，0%／100%出力を実現するため，マスタ・チャネル・タイマ割り込み（INTTMmn）発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合，リセット条件が優先されます。

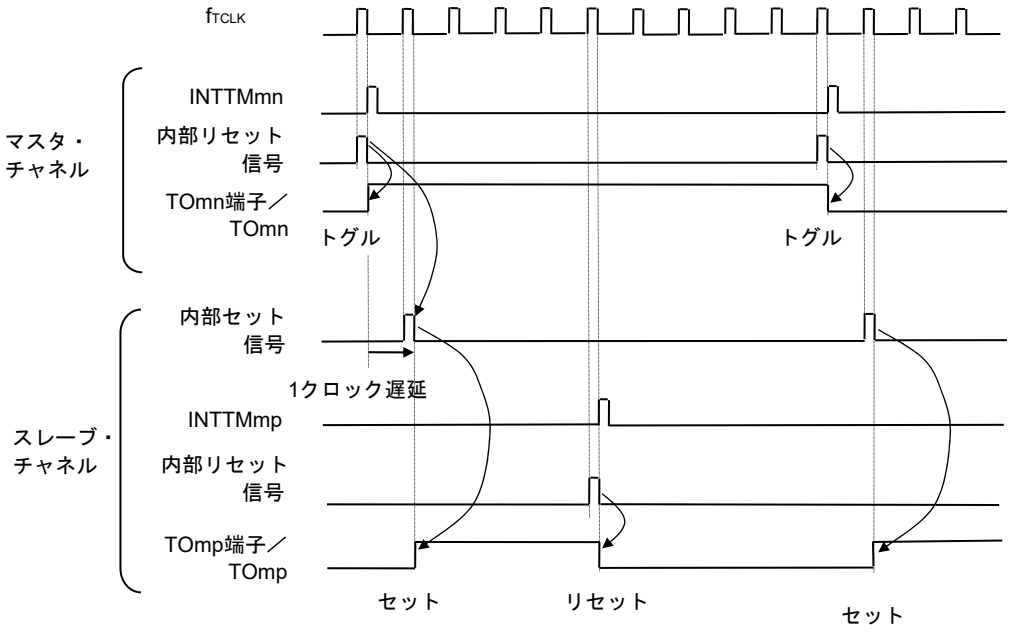
マスタ／スレーブ・チャネルを次のように設定した場合のセット／リセット動作状態を図6－33に示します。

マスタ・チャネル　：TOEmn = 1, TOMmn = 0, TOLmn = 0

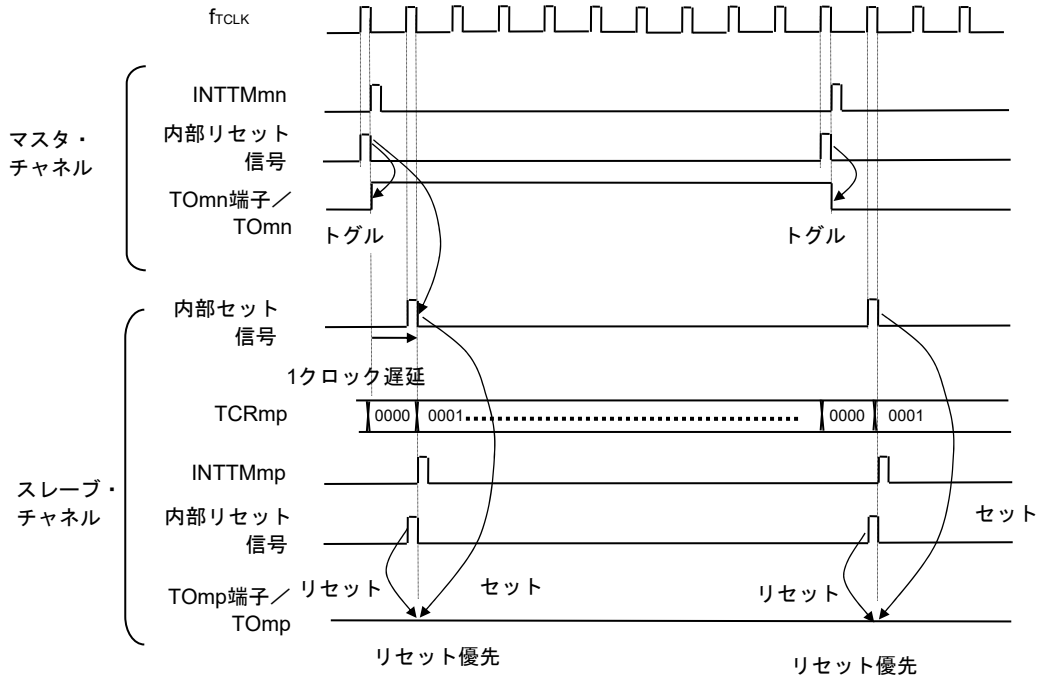
スレーブ・チャネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6－33　セット／リセット・タイミング動作状態

（1）基本動作タイミング



（2）0 %デューティ時の動作タイミング



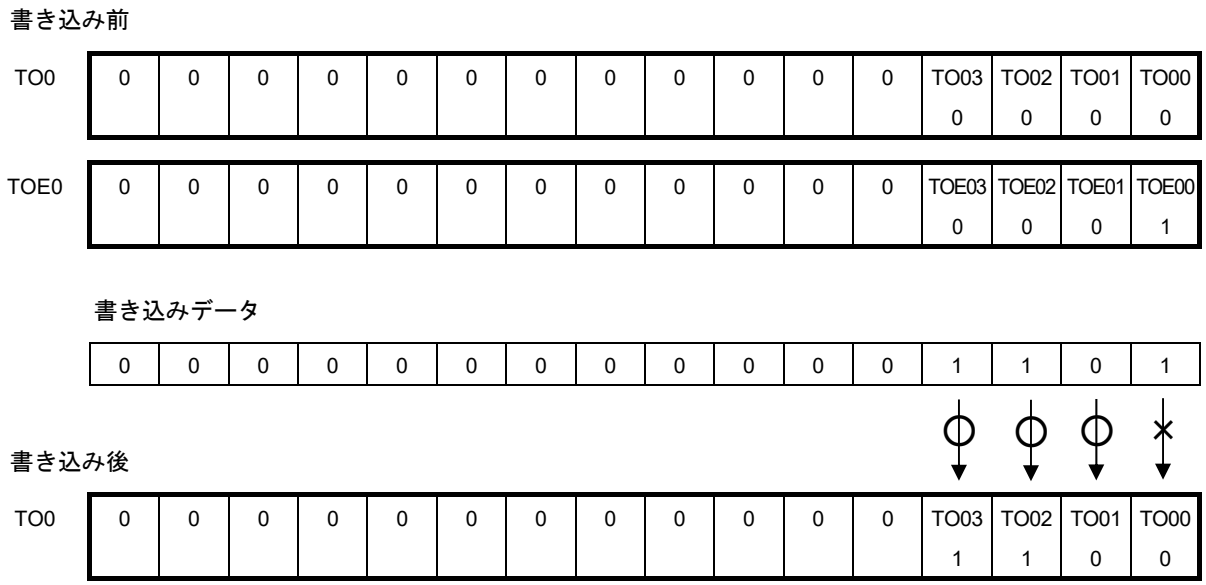
備考1.　内部リセット信号：TOmn端子のリセット／トグル信号
　　内部セット信号　：TOmn端子のセット信号

2.　m：ユニット番号（m = 0）
　　n：チャネル番号
　　n = 0-3（マスタ・チャネル時：n = 0, 2）
　　p：スレーブ・チャネル番号
　　n＜p≦3

6. 6. 4　TOmnビットの一括操作

タイマ出力レジスタm（TOm）には，タイマ・チャネル開始レジスタm（TSm）と同様に，1レジスタに全チャネル分の設定ビット（TOmn）が配置されています。よって，全チャネルのTOmnビットを一括で操作することが可能です。また，操作対象としたいチャネル出力（TOmn）のみTOmnビットへの書き込み可能（TOEmn = 0）とすることによって任意のビットのみ操作することが可能です。

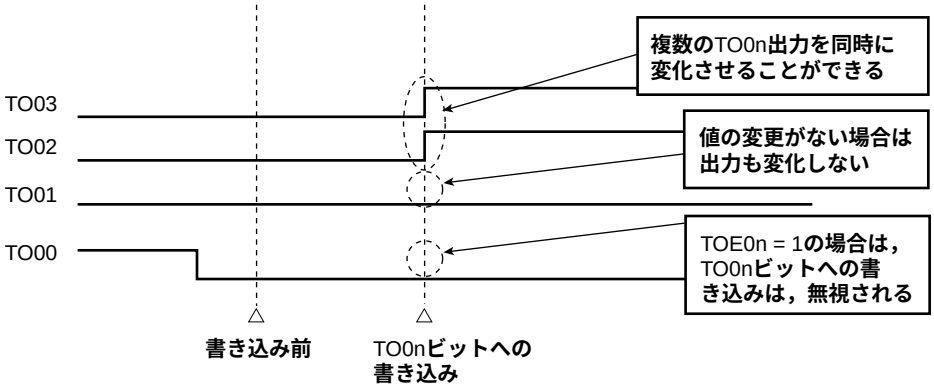
図6－34　TO0nビットの一括操作例



TOEmn = 0のTOmnビットのみ書き込みが行われます。TOEmn = 1のTOmnビットへの書き込みは無視されます。

TOEmn = 1に設定されているTOmn（チャネル出力）は，書き込み操作による影響は受けません。TOmnビットに書き込み操作が行われても無視し，タイマ動作による出力変化は正常に行われます。

図6－35　TO0nビットの一括操作によるTO0nの端子状態



備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 6. 5　カウント動作開始時のタイマ割り込みとTOmn端子出力について

インターバル・タイマ・モード／キャプチャ・モードの場合，タイマ・モード・レジスタmn（TMRmn）のMDmn0ビットは，「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

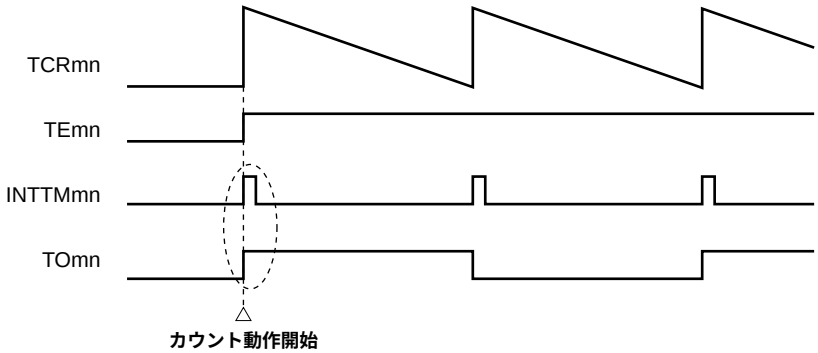
MDmn0 = 1に設定することで，タイマ割り込み（INTTMmn）の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは，カウント動作開始時のタイマ割り込み，TOmn出力は制御しません。

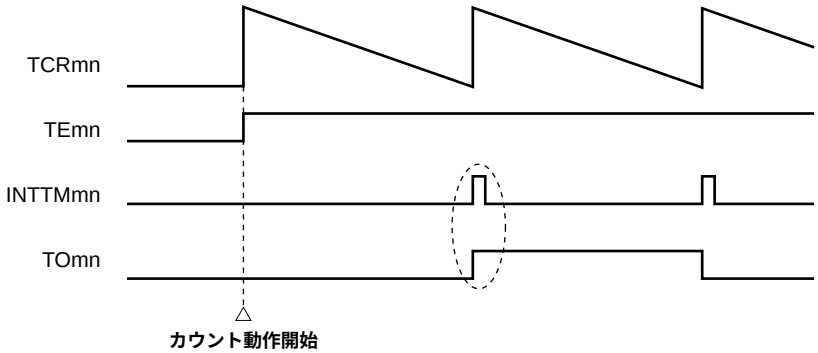
インターバル・タイマ・モード（TOEmn = 1, TOMmn = 0）に設定した場合の動作例を次に示します。

図6－36　カウント動作開始時のタイマ割り込み，TOmn出力の動作例

（a）MDmn0 = 1に設定した場合



（b）MDmn0 = 0に設定した場合



MDmn0 = 1に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）が出力され，TOmnがトグル動作します。

MDmn0 = 0に設定した場合，カウント動作開始時にタイマ割り込み（INTTMmn）を出力しません。TOmnも変化しません。1周期をカウント後，INTTMmnを出力し，TOmnがトグル動作します。

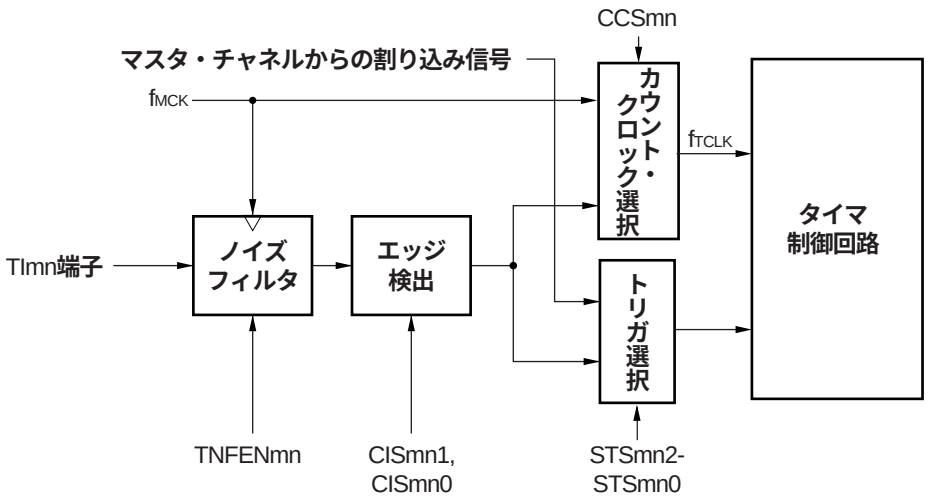
備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6.7　タイマ入力（TImn）の制御

6.7.1　TImnの入力回路構成

タイマ入力端子から信号は，ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。ノイズ除去が必要な端子は，対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

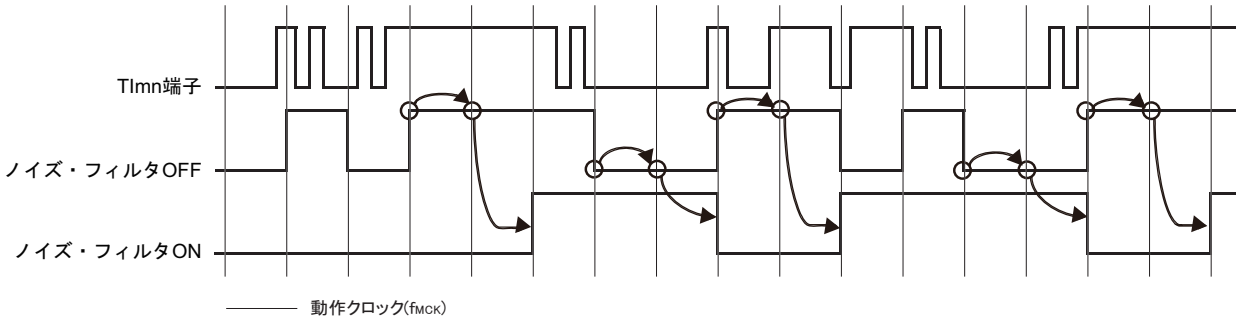
図6－37　入力回路構成図



6.7.2　ノイズ・フィルタ

ノイズ・フィルタ無効時は，チャネルnの動作クロック（f_{MCK}）で同期化だけ行います。ノイズ・フィルタ有効時は，チャネルnの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。以下に，TImn入力端子に対するノイズ・フィルタON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6－38　TImn入力端子に対するノイズ・フィルタON/OFFによるサンプリング波形



6.7.3　チャネル入力操作時の注意事項

タイマ入力端子を使用しない設定において，ノイズ・フィルタ回路へ動作クロックは供給されません。そのため，タイマ入力端子を使用する設定をしてから，タイマ入力端子に対応するチャネルの動作許可トリガを設定するまで，以下の待ち時間が必要になります。

(1) ノイズ・フィルタOFFの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の2サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

(2) ノイズ・フィルタONの場合

タイマ・モード・レジスタmn（TMRmn）のビット12（CCSmn），ビット9（STSmn1），ビット8（STSmn0）がすべて0の状態から，いずれかのビットをセットした場合は，動作クロック（f_{MCK}）の4サイクル以上経過してから，タイマ・チャネル開始レジスタ（TSm）の動作許可トリガをセットしてください。

6.8　タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1　インターバル・タイマ／方形波出力としての動作

（1）インターバル・タイマ

一定間隔でINTTMmn（タイマ割り込み）を発生する基準タイマとして利用することができます。

割り込み発生周期は，次の式で求めることができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）

（2）方形波出力としての動作

TOmnは，INTTMmn発生と同時にトグル動作を行い，デューティ50%の方形波を出力します。

TOmn出力波形の周期と周波数は，次の式で求めることができます。

・TOmnからの出力方形波の周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）×2
・TOmnからの出力方形波の周波数 ＝ カウント・クロックの周波数／｛（TDRmnの設定値＋1）×2｝

タイマ・カウンタ・レジスタmn（TCRmn）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定後，最初のカウント・クロックでTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。このときタイマ・モード・レジスタmn（TMRmn）のMDmn0 = 0ならば，INTTMmnを出力せず，TOmnはトグルしません。TMRmnレジスタのMDmn0 = 1ならば，INTTMmnを出力して，TOmnをトグルします。

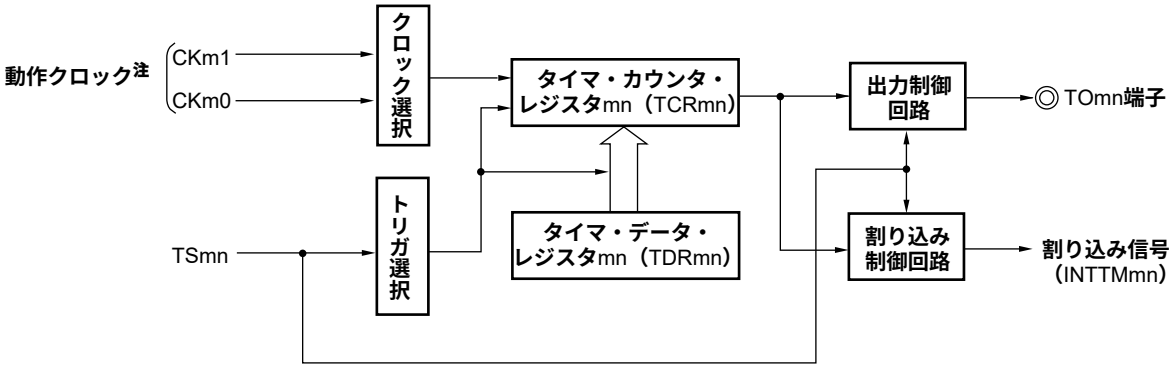
その後，　TCRmnレジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000Hとなったら，次のカウント・クロックでINTTMmnを出力しTOmnをトグルします。また，同タイミングで再びTCRmnレジスタはTDRmnレジスタの値をロードします。以降，同様の動作を継続します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

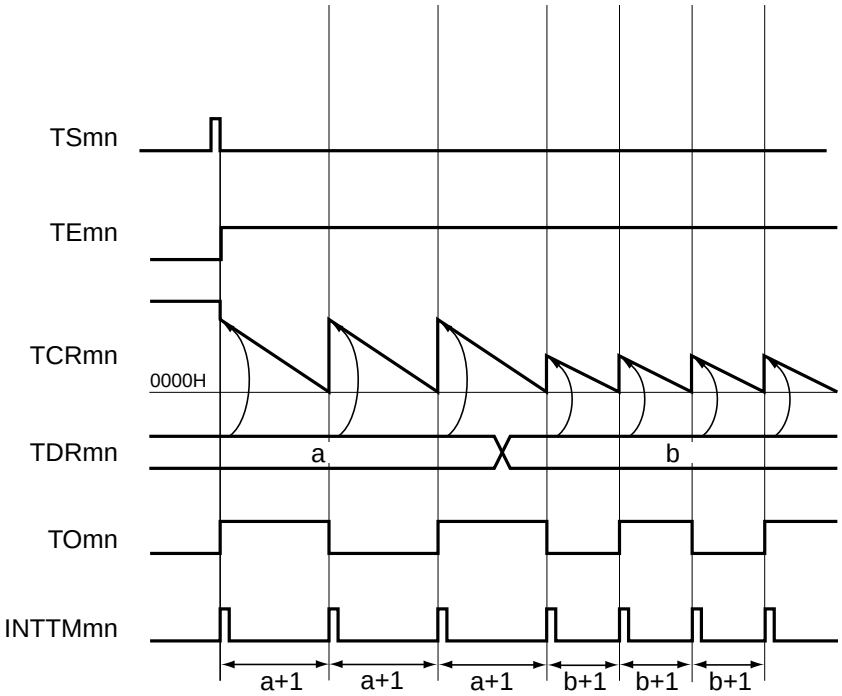
備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－39　インターバル・タイマ／方形波出力としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6－40　インターバル・タイマ／方形波出力としての動作の基本タイミング例（MDmn0 = 1）



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

TOmn　：TOmn端子出力信号

図6－41　インターバル・タイマ／方形波出力時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	0	0	0	0	0	0	0	0	1/0

チャネルnの動作モード
000B:インターバル・タイマ

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず，タイマ出力反転せず
1：カウント開始時にINTTMmn発生し，タイマ出力反転する

TImn端子入力のエッジ選択
00B:使用しないので00を設定

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmn／SPLITmnビットの設定
0：単独チャネル動作機能
（チャネル1, 3（TMRm1, TMRm3）で8ビット・タイマ使用時は1に設定）

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	1/0

0：TOmnより0を出力する
1：TOmnより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	1/0

0：カウント動作によるTOmn出力動作停止
1：カウント動作によるTOmn出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2の場合　　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0の場合　　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－42　インターバル・タイマ／方形波出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	TOmn出力を使用する場合， タイマ出力モード・レジスタm（TOMm）のTOMmnビットに0（マスタ・チャネル出力モード）を設定する TOLmnビットに0を設定する TOmnビットを設定し，TOmn出力の初期レベルを確定する →	TOmn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmn初期設定レベルが出力される。
	TOEmnビットに1を設定し，TOmnの動作を許可 →	チャネルは動作停止状態なので，TOmnは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmn端子はTOmn設定レベルを出力
動作開始	（TOmn出力を使用する場合で，かつ動作再開時のみTOEmnビットに1を設定する） TSmn（TSHm1, TSHm3）ビットに1を設定する →	TEmn（TEHm1, TEHm3）＝1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生し，TOmnもトグル動作する。
	TSmn（TSHm1, TSHm3）ビットはトリガ・ビットなので，自動的に0に戻る	
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TOm, TOEmレジスタは，設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは，設定値変更禁止	カウンタ（TCRmn）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn ＝ 0000H検出でINTTMmnを発生し，TOmnはトグル動作する。以降，この動作を繰り返す。
動作停止	TTmn（TTHm1, TTHm3）ビットに1を設定する →	TEmn（TEHm1, TEHmn）＝0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず，状態保持
	TOEmnビットに0を設定し，TOmnビットに値を設定する →	TOmn端子はTOmnビットに設定したレベルを出力

動作再開

（備考は次ページにあります。）

図6－42　インターバル・タイマ／方形波出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmnビットに0を設定する →	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmnビットが0になり，TOmn端子はポート機能となる）

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 8. 2　外部イベント・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）をカウントし，規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

規定カウント数 ＝ TDRmnの設定値＋1

タイマ・カウンタ・レジスタmn（TCRmn）はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）の任意のチャネル・スタート・トリガ・ビット（TSmn）に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタmn（TDRmn）の値をロードします。

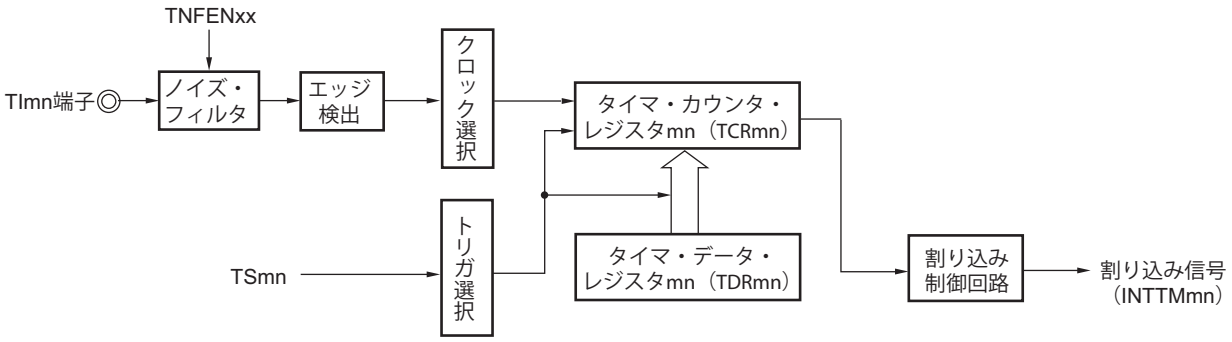
TCRmnレジスタはTImn端子入力の有効エッジ検出に合わせてダウン・カウントを行い，　TCRmn ＝ 0000Hとなったら，再びTDRmnレジスタの値をロードして，INTTMmnを出力します。

以降，同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため，タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定して出力動作を停止するようにしてください。

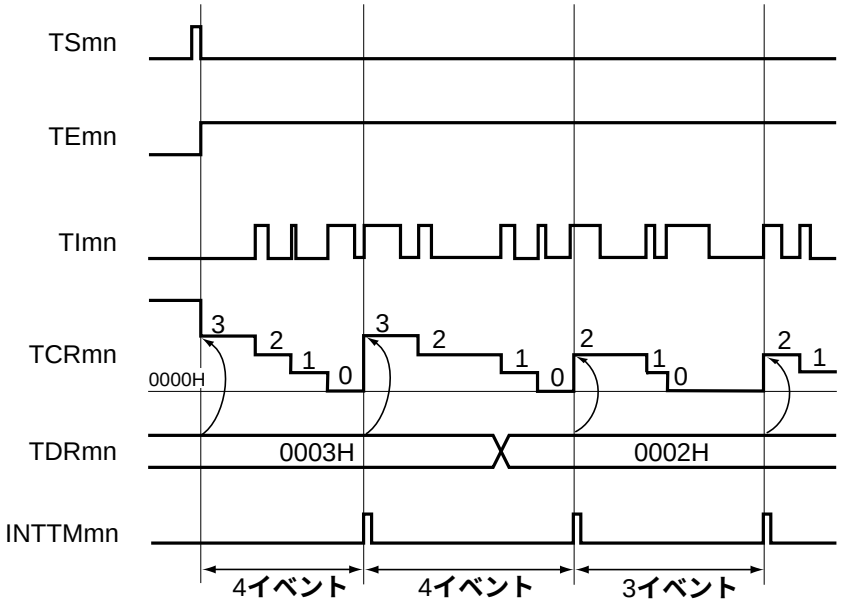
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図6－43　外部イベント・カウンタとしての動作のブロック図



備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－44　外部イベント・カウンタとしての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

図6－45　外部イベント・カウンタ・モード時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	1	0/1	0	0	0	1/0	1/0	0	0	0	1	1	0

チャネルnの動作モード
011B：イベント・カウント・モード

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生せず，タイマ出力反転せず

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
000B：ソフトウエア・スタートのみを選択

MASTERmnビットの設定（チャネル2）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
1：TImn端子入力の有効エッジを選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2の場合　　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0の場合　　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－46　外部イベント・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） タイマ・データ・レジスタmn（TDRmn）にカウント数を設定する タイマ出力許可レジスタm（TOEm）のTOEmnビットに0を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，TImn端子入力のエッジ検出待ち状態になる
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子入力のエッジが検出されるごとに，カウンタ（TCRmn）はダウン・カウント動作を行う。0000Hまでカウントしたら，再びTCRmnレジスタはTDRmnレジスタの値をロードし，カウント動作を継続する。TCRmn = 0000H検出でINTTMmn出力を発生する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6.8.3　分周器としての動作（チャネル0のみ）

TI00端子に入力されたクロックを分周し，TO00端子から出力する分周器として利用することができます。

TO00出力の分周クロック周波数は次の式で求めることができます。

・立ち上がりエッジ／立ち下がりエッジ選択時：

分周クロック周波数 ＝ 入力クロック周波数／{（TDR00 の設定値＋1）×2}

・両エッジ選択時：

分周クロック周波数 ≒ 入力クロック周波数／（TDR00の設定値＋1）

タイマ・カウンタ・レジスタ00（TCR00）はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ0（TS0）のチャネル・スタート・トリガ・ビット（TS00）に1を設定後，TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00（TDR00）の値をロードします。このときタイマ・モード・レジスタ00（TMR00）のMD000 = 0ならば，INTTM00を出力せず，TO00はトグルしません。TMR00レジスタのMD000 = 1ならば，INTTM00を出力して，TO00をトグルします。

その後，TI00端子入力の有効エッジに合わせてダウン・カウントを行い， TCR00 = 0000Hとなったら，TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして，カウントを継続します。

TI00端子入力の両エッジ検出を選択すると，入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出力クロックの周期には，動作クロック1周期分のサンプリング誤差が含まれます。

TO00出力のクロック周期 ＝ 理想のTO00出力クロック周期±動作クロック周期（誤差）

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図6－47　分周器としての動作のブロック図

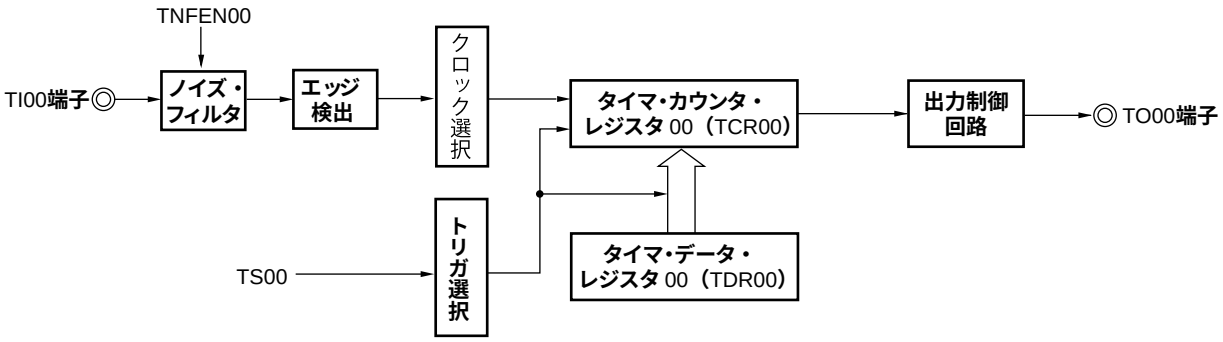
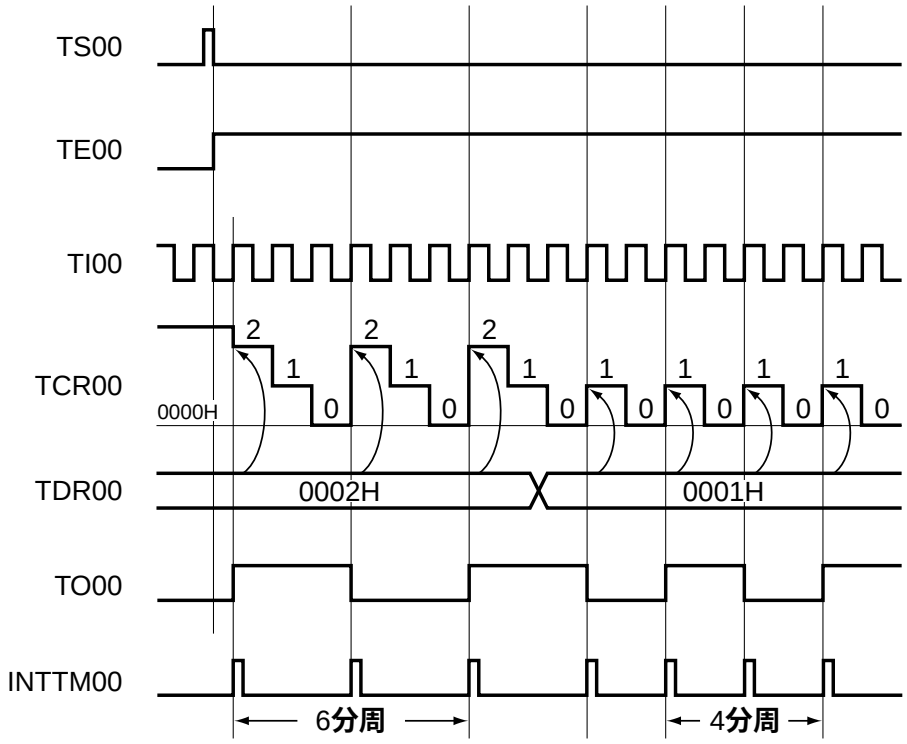


図6－48　分周器としての動作の基本タイミング例（MD000 = 1）



備考　TS00　：タイマ・チャネル開始レジスタ0（TS0）のビット0

TE00　：タイマ・チャネル許可ステータス・レジスタ0（TE0）のビット0

TI00　：TI00端子入力信号

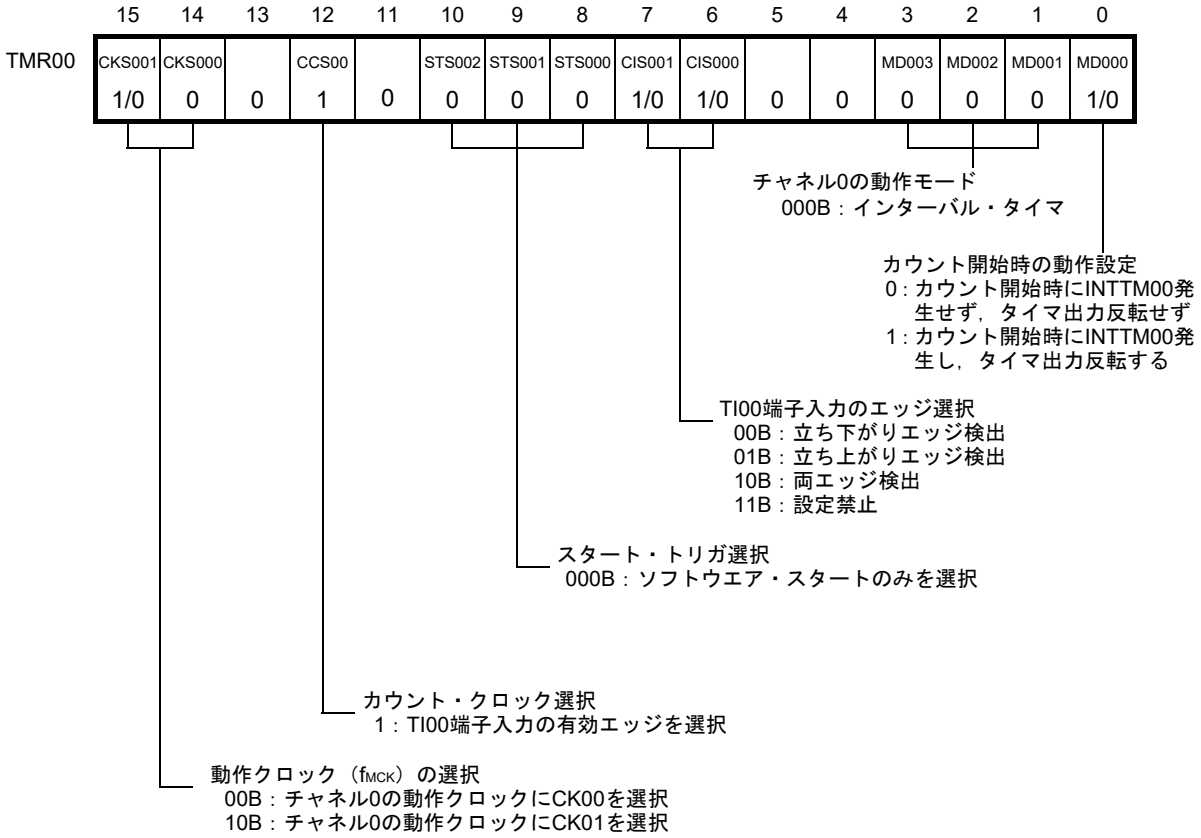
TCR00：タイマ・カウンタ・レジスタ00（TCR00）

TDR00：タイマ・データ・レジスタ00（TDR00）

TO00　：TO00端子出力信号

図6－49　分周器として動作時のレジスタ設定内容例

（a）タイマ・モード・レジスタ00（TMR00）



（b）タイマ出力レジスタ0（TO0）

	ビット0	
TO0	TO00 1/0	0：TO00より0を出力する 1：TO00より1を出力する

（c）タイマ出力許可レジスタ0（TOE0）

	ビット0	
TOE0	TOE00 1/0	0：カウント動作によるTO00出力動作停止 1：カウント動作によるTO00出力動作許可

（d）タイマ出力レベル・レジスタ0（TOL0）

	ビット0	
TOL0	TOL00 0	0：TOM00 = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタ0（TOM0）

	ビット0	
TOM0	TOM00 0	0：マスタ・チャネル出力モードを設定

図6－50　分周器機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU 初期 設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタ0（TPS0）を設定する CK00とCK01のクロック周波数を確定する	
チャネル 初期 設定	タイマ・モード・レジスタ00（TMR00）を設定する（チャネルの動作モード確定，検出エッジの選択） タイマ・データ・レジスタ00（TDR00）にインターバル（周期）値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	タイマ出力モード・レジスタ0（TOM0）のTOM00ビットに0（マスタ・チャネル出力モード）を設定する TOL00ビットに0を設定する TO00ビットを設定し，TO00出力の初期レベルを確定する →	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TO00初期設定レベルが出力される。
	TOE00ビットに1を設定し，TO00の動作を許可 →	チャネルは動作停止状態なので，TO00は変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TO00端子はTO00設定レベルを出力
動作 開始	TOE00ビットに1を設定する（動作再開時のみ） TS00ビットに1を設定する → TS00ビットはトリガ・ビットなので，自動的に0に戻る	TE00 = 1になり，カウント動作開始 カウント・クロック入力でタイマ・カウンタ・レジスタ00（TCR00）はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は，INTTM00を発生し，TO00もトグル動作する。
動作 中	TDR00レジスタは，任意に設定値変更が可能 TCR00レジスタは，常に読み出し可能 TSR00レジスタは，使用しない TO0, TOE0レジスタは，設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは，設定値変更禁止	カウンタ（TCR00）はダウン・カウント動作を行い，0000Hまでカウントしたら，再びTCR00レジスタはTDR00レジスタの値をロードし，カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し，TO00はトグル動作する。 以降，この動作を繰り返す。
動作 停止	TT00ビットに1を設定する → TT00ビットはトリガ・ビットなので，自動的に0に戻る	TE00 = 0になり，カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず，状態保持
	TOE00ビットに0を設定し，TO00ビットに値を設定する →	TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TO00ビットに0を設定する → TO00端子の出力レベルを保持不要の場合 設定不要	TO00端子出力レベルはポート機能により保持される。
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TO00ビットが0になり，TO00端子はポート機能となる）

動作再開

6. 8. 4　入力パルス間隔測定としての動作

TImn有効エッジでカウント値をキャプチャし，TImn入力パルスの間隔を測定することができます。また，TEmn = 1の期間中に，ソフトウェア操作（TSmn = 1）をキャプチャ・トリガにして，カウント値をキャプチャすることもできます。パルス間隔は次の式で求めることができます。

TImn入力パルス間隔 = カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ·レジスタmn（TCRmn）はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定するとTCRmnレジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

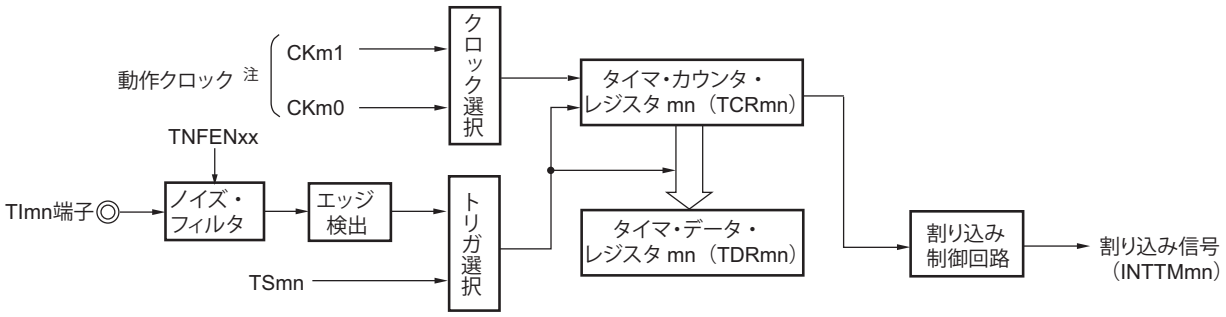
TImn端子入力の有効エッジを検出すると，TCRmnレジスタのカウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）すると同時に，TCRmnレジスタを0000Hにクリアして，INTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットが1にセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。以降，同様の動作を継続します。

カウント値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

TMRmnレジスタのSTSmn2-STSmn0 = 001Bに設定して，TImn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

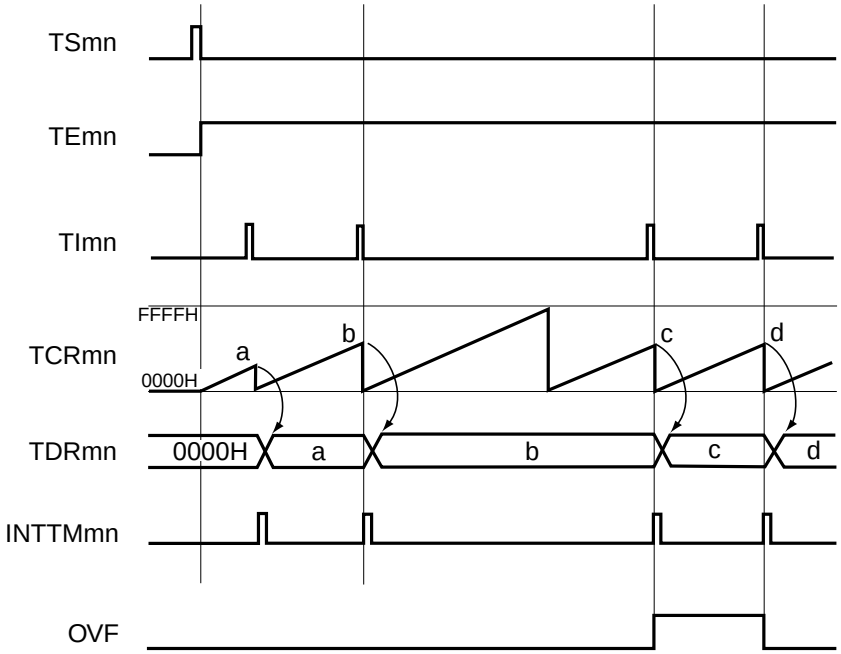
図6－51　入力パルス間隔測定としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－52　入力パルス間隔測定としての動作の基本タイミング例（MDmn0 = 0）



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図6－53　入力パルス間隔測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	0	0	0	1	1/0	1/0	0	0	0	1	0	1/0

チャネルnの動作モード
010B：キャプチャ・モード

カウント開始時の動作設定
0：カウント開始時にINTTMmn発生しない
1：カウント開始時にINTTMmn発生する

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

キャプチャ・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2の場合　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0の場合　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－54　入力パルス間隔測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタmのTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定）	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，カウント動作開始 タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアする。TMRmnレジスタのMDmn0ビットが1の場合は，INTTMmnを発生する。
動作中	TMRmnレジスタは，CISmn1，CISmn0ビットのみ設定値変更可能 TDRmnレジスタは，常に読み出し可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，常に読み出し可能 TOMmn, TOLmn, TOmn, TOEmnビットは，設定値変更禁止	カウンタ（TCRmn）は0000Hからアップ・カウント動作を行い，TImn端子入力の有効エッジの検出または，TSｍｎビットに１を設定すると，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送（キャプチャ）する。同時に，TCRmnレジスタを0000Hにクリアし，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6.8.5　入力信号のハイ／ロウ・レベル幅測定としての動作

TImn端子入力の片方のエッジでカウントをスタートし，もう片方のエッジでカウント数をキャプチャすることで，TImnの信号幅（ハイ・レベル幅／ロウ・レベル幅）を測定することができます。TImnの信号幅は次の式で求めることができます。

TImn入力の信号幅 = カウント・クロックの周期×（（10000H×TSRmn:OVF）＋（TDRmnのキャプチャ値＋1））

注意　TImn端子入力は，タイマ・モード・レジスタmn（TMRmn）のCKSmnビットで選択した動作クロックでサンプリングされるため，動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタmn（TCRmn）はキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，TEmn = 1となりTImn端子のスタート・エッジ検出待ち状態となります。

TImn端子入力のスタート・エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち上がりエッジ）を検出すると，カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後，キャプチャ有効エッジ（ハイ・レベル幅測定ならTImn端子入力の立ち下がりエッジ）を検出すると，カウンタ値をタイマ・データ・レジスタmn（TDRmn）に転送すると同時にINTTMmnを出力します。このとき，カウンタのオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットはクリアされます。TCRmnレジスタは，「TDRmnレジスタに転送した値＋1」の値で停止し，TImn端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRmnレジスタにキャプチャされると同時に，測定期間のオーバフロー有無に応じて，TSRmnレジスタのOVFビットが更新され，キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ，TSRmnレジスタのOVFビットがセット（1）されます。しかし，OVFビットは，2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

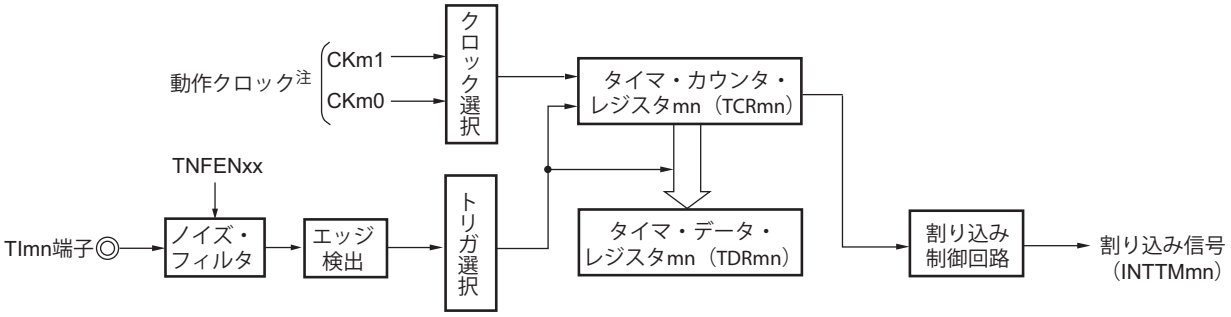
TImn端子入力のハイ・レベル幅を測定するか，ロウ・レベル幅を測定するかは，TMRmnレジスタのCISmn1, CISmn0ビットにて設定することができます。

この機能は，TImn端子入力の信号幅測定を目的とするため，TEmn = 1期間中のTSmnビットのセット（1）は使用できません。

TMRmnレジスタのCISmn1, CISmn0 = 10B：ロウ・レベル幅を測定する

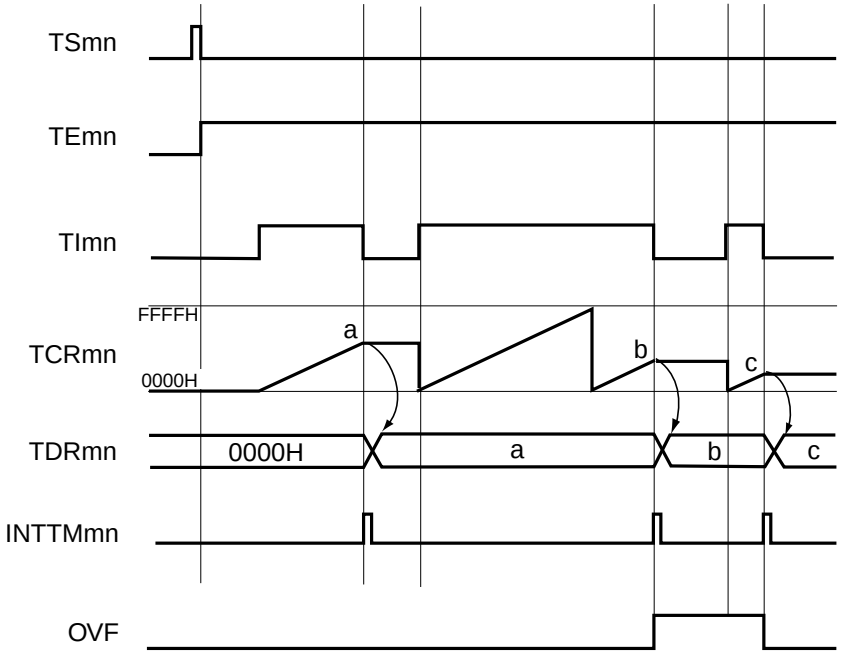
TMRmnレジスタのCISmn1, CISmn0 = 11B：ハイ・レベル幅を測定する

図6－55　入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6－56　入力信号のハイ／ロウ・レベル幅測定としての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn　：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn　：タイマ・データ・レジスタmn（TDRmn）

OVF　：タイマ・ステータス・レジスタmn（TSRmn）のビット0

図6－57　入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSn0	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	0	0	1	0	1	1/0	0	0	1	1	0	0

チャネルnの動作モード
110B：キャプチャ＆ワンカウント

カウント開始時の動作設定
0：カウント開始時にINTTMmn
発生しない

TImn端子入力のエッジ選択
10B：両エッジ選択（ロウ幅測定）
11B：両エッジ選択（ハイ幅測定）

スタート・トリガ選択
010B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2の場合　　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0の場合　　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－58　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルの動作モード確定） TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出 →	タイマ・カウンタ・レジスタmn（TCRmn）を0000Hにクリアし，カウント・アップ動作を開始する
動作中	TDRmnレジスタは，常に読み出し可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，常に読み出し可能 TMRmnレジスタ，TOMmn，TOLmn，TOmn，TOEmnビットは，設定値変更禁止	TImn端子のスタート・エッジ検出後，カウンタ（TCRmn）は0000Hからアップ・カウント動作を行う。TImn端子のキャプチャ・エッジが検出されたら，カウント値をタイマ・データ・レジスタmn（TDRmn）に転送し，INTTMmnを発生する。 このときオーバフローが発生していたら，タイマ・ステータス・レジスタmn（TSRmn）のOVFビットがセットされ，オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは，次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6. 8. 6　ディレイ・カウンタとしての動作

TImn端子入力の有効エッジ検出（外部イベント）でダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することができます。

また，TEmn = 1の期間中に，ソフトウエアでTSmn = 1に設定してダウン・カウントをスタートし，任意の設定間隔でINTTMmn（タイマ割り込み）を発生することもできます。

割り込み発生周期は，次の式で求める事ができます。

INTTMmn（タイマ割り込み）の発生周期 ＝ カウント・クロックの周期×（TDRmnの設定値＋1）

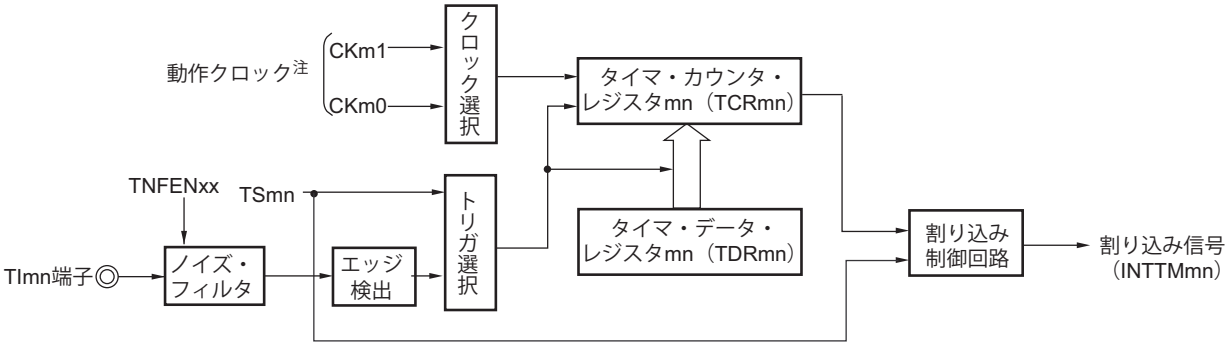
タイマ・カウンタ・レジスタmn（TCRmn）はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn, TSHm1, TSHm3）に1を設定すると，TEmn, TEHm1, TEHm3 = 1となりTImn端子の有効エッジ検出待ち状態となります。

TCRmnレジスタは，TImn端子入力の有効エッジ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い， TCRmn = 0000Hとなったら INTTMmnを出力し，次のTImn端子入力の有効エッジがあるまで，カウントを停止します。

TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は，次の周期から有効となります。

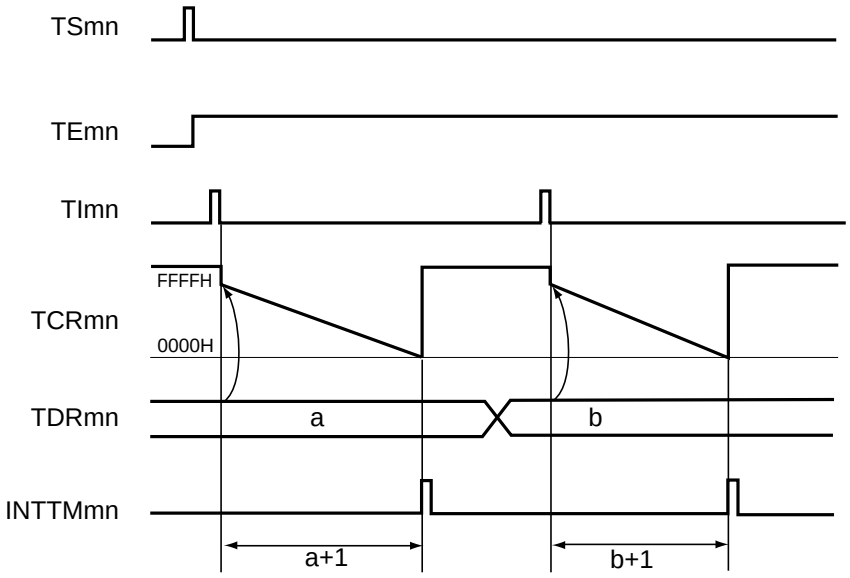
図6－59　ディレイ・カウンタとしての動作のブロック図



注　チャネル1, 3の場合は，CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－60　ディレイ・カウンタとしての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

2.　TSmn　：タイマ・チャネル開始レジスタm（TSm）のビットn

TEmn　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn

TImn　：TImn端子入力信号

TCRmn：タイマ・カウンタ・レジスタmn（TCRmn）

TDRmn：タイマ・データ・レジスタmn（TDRmn）

図6－61　ディレイ・カウンタ機能時のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	M/S注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	1/0	0	0	0/1	0	0	1	1/0	1/0	0	0	1	0	0	1/0

チャネルnの動作モード
100B:ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効
1：トリガ入力は有効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn端子入力の有効エッジを選択

MASTERmnビットの設定（チャネル2）
0：単独チャネル動作
SPLITmnビットの設定（チャネル1, 3）
0：16ビット・タイマ
1：8ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択
01B：チャネル1, 3の動作クロックにCKm2を選択（チャネル1, 3のみ選択可）
11B：チャネル1, 3の動作クロックにCKm3を選択（チャネル1, 3のみ選択可）

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

注　TMRm2の場合　　：MASTERmnビット
　　TMRm1, TMRm3の場合　：SPLITmnビット
　　TMRm0の場合　　：0固定

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

図6－62　ディレイ・カウンタ機能時の操作手順

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0-CKm3のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに0（オフ），1（オン）を設定する タイマ・モード・レジスタmn（TMRmn）を設定する（チャネルnの動作モード確定） タイマ・データ・レジスタmn（TDRmn）に遅延時間を設定する TOEmnビットに0を設定し，TOmnの動作を停止	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
動作開始	TSmnビットに1を設定する → TSmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1になり，スタート・トリガ検出（TImn端子入力の有効エッジの検出，または，TSmnビットに1を設定）待ち状態となる
	次のスタート・トリガ検出によって，ダウン・カウントを開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでTSmnビットに1を設定 →	タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードする。
動作中	TDRmnレジスタは，任意に設定値変更が可能 TCRmnレジスタは，常に読み出し可能 TSRmnレジスタは，使用しない	カウンタ（TCRmn）はダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し，次のスタート・トリガ検出（TImn端子入力の有効エッジの検出または，TSmnビットに1を設定）までTCRmn = 0000Hでカウント動作を停止する。
動作停止	TTmnビットに1を設定する → TTmnビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 0になり，カウント動作停止 TCRmnレジスタはカウント値を保持して停止
TAU停止	PER0レジスタのTAUmENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される

動作再開

備考　m：ユニット番号（m = 0），n：チャネル番号（n = 0-3）

6.9　タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1　ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して，TImn端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

ディレイ ＝｛TDRmn（マスタ）の設定値＋2｝×カウント・クロック周期
パルス幅 ＝｛TDRmp（スレーブ）の設定値｝×カウント・クロック周期

マスタ・チャネルは，ワンカウント・モードで動作し，ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，スタート・トリガ検出により動作を開始し，タイマ・データ・レジスタmn（TDRmn）から値をロードします。TCRmnレジスタはロードしたTDRmnレジスタの値からカウント・クロックに合わせてダウン・カウントを行い， TCRmn = 0000Hとなったら INTTMmnを出力し，次のスタート・トリガ検出があるまで，カウントを停止します。

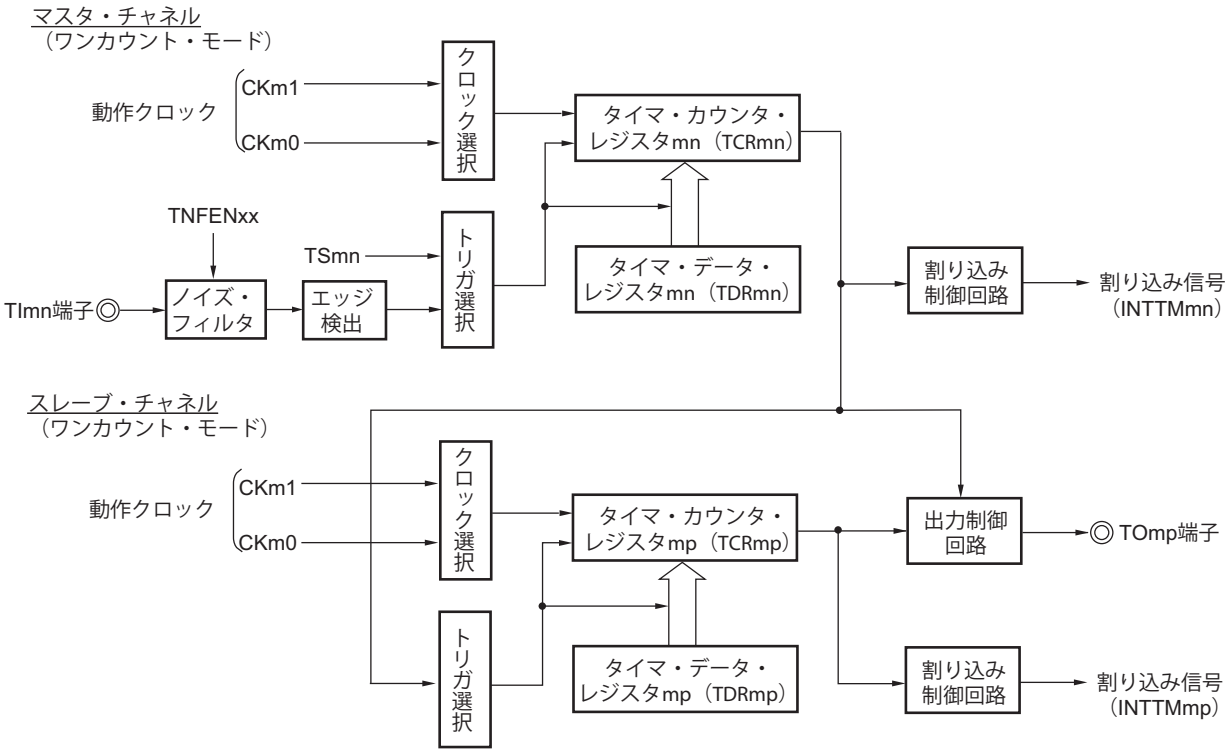
スレーブ・チャネルは，ワンカウント・モードで動作し，パルス幅をカウントします。スレーブ・チャネルのTCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして動作を開始し，TDRmpレジスタから値をロードします。TCRmpレジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000Hとなったら INTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルのINTTMmn）検出があるまで，カウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり， TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

ワンショット・パルス出力は，TImn端子入力を使用せず，ソフトウエア操作（TSmn = 1）をスタート・トリガにすることもできます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタでは，ロード・タイミングが異なるため，動作中にTDRmnレジスタ，TDRmpレジスタを書き換えるとロード・タイミングと競合して不正波形が出力される場合があります。TDRmnレジスタはINTTMmn発生後に，TDRmpレジスタはINTTMmp発生後に書き換えてください。

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n＜p≦3）

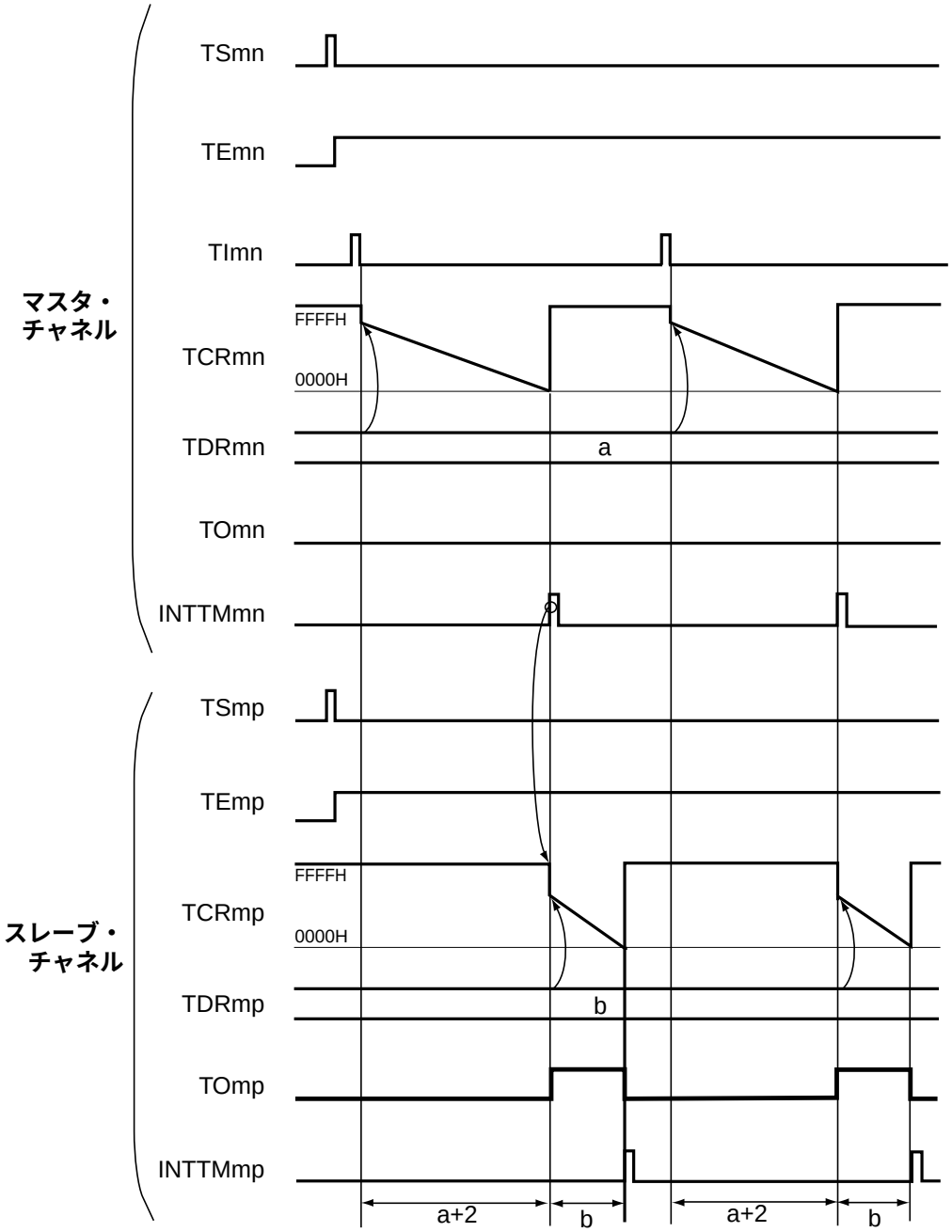
図6－63　ワンショット・パルス出力機能としての動作のブロック図



備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n＜p≦3）

図6－64　ワンショット・パルス出力機能としての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n＜p≦3）

2.　TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p

TImn, TImp　：TImn, TImp端子入力信号

TCRmn, TCRmp：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）

TDRmn, TDRmp：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）

TOmn, TOmp　：TOmn, TOmp端子出力信号

図6－65　ワンショット・パルス出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn	CKSmn1	CKSmn0		CCSmn	MASTERmn注	STSmn2	STSmn1	STSmn0	CISmn1	CISmn0			MDmn3	MDmn2	MDmn1	MDmn0
	1/0	0	0	0	1	0	0	1	1/0	1/0	0	0	1	0	0	0

チャネルnの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
0：トリガ入力は無効

TImn端子入力のエッジ選択
00B：立ち下がりエッジ検出
01B：立ち上がりエッジ検出
10B：両エッジ検出
11B：設定禁止

スタート・トリガ選択
001B：TImn入力の有効エッジを選択

MASTERmnビットの設定（チャネル2）
1：マスタ・チャネル

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルnの動作クロックにCKm0を選択
10B：チャネルnの動作クロックにCKm1を選択

注　TMRm2の場合：MASTERmn = 1
　　TMRm0の場合：0固定

（b）タイマ出力レジスタm（TOm）

	ビットn
TOm	TOmn
	0

0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn
TOEm	TOEmn
	0

0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn
TOLm	TOLmn
	0

0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）

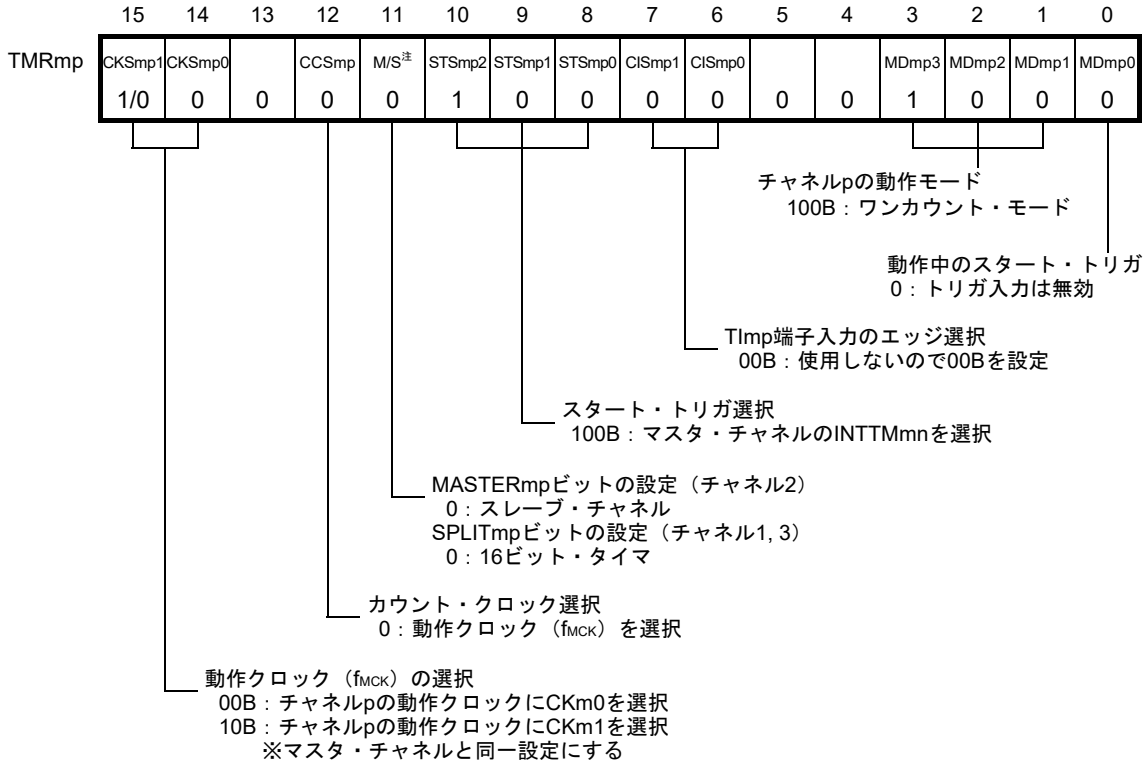
	ビットn
TOMm	TOMmn
	0

0：マスタ・チャネル出力モードを設定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）

図6－66　ワンショット・パルス出力機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）



（b）タイマ出力レジスタm（TOm）

	ビットp	
TOm	TOmp 1/0	0：TOmpより0を出力する 1：TOmpより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットp	
TOEm	TOEmp 1/0	0：カウント動作によるTOmp出力動作停止 1：カウント動作によるTOmp出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットp	
TOLm	TOLmp 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットp	
TOMm	TOMmp 1	1：スレーブ・チャネル出力モードを設定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n＜p≦3）

図6－67　ワンショット・パルス出力機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAUmENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	ノイズ・フィルタ許可レジスタ1（NFEN1）の対応するビットに1を設定する 使用する2チャネルのタイマ・モード・レジスタmn，mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）に出力遅延時間，スレーブ・チャネルのTDRmpレジスタにパルス幅を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

（注，備考は次ページにあります。）

図6－67　ワンショット・パルス出力機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn，TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となり，マスタ・チャネルはスタート・トリガ検出（TImn端子入力の有効エッジの検出，または，マスタ・チャネルのTSmnビットに1を設定）待ち状態となる カウンタはまだ停止状態のまま
	マスタ・チャネルのスタート・トリガ検出によって，マスタ・チャネルのカウント動作を開始します。 ・TImn端子入力の有効エッジ検出 ・ソフトウェアでマスタ・チャネルのTSmnビットに1を設定注 注　スレーブ・チャネルのTSmnビットには1を設定しないでください	マスタ・チャネルがカウント動作開始
動作中	TMRmnレジスタは，CISmn1, CISmn0ビットのみ設定値変更可能 TMRmp，TDRmn，TDRmpレジスタ，TOMmn，TOMmp，TOLmn, TOLmpビットは，設定値変更禁止 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない スレーブ・チャネルのTOm，TOEmレジスタは，設定値変更可能	マスタ・チャネルでは，スタート・トリガ検出（TImn端子入力の有効エッジの検出または，マスタ・チャネルのTSmnビットに1を設定）により，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。 TCRmn ＝ 0000HまでカウントしたらINTTMmn出力を発生し，次のスタート・トリガ検出までカウント動作を停止する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp ＝ 0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn，TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAUmENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される （TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n＜p≦3）

6. 9. 2　PWM機能としての動作

2チャネルをセットで使用し，任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 ={TDRmn（マスタ）の設定値＋1}×カウント・クロック周期
デューティ [%] ={TDRmp（スレーブ）の設定値}／{TDRmn（マスタ）の設定値＋1}×100
0 %出力　　：TDRmp（スレーブ）の設定値 = 0000H
100 %出力　：TDRmp（スレーブ）の設定値≧{TDRmn（マスタ）の設定値＋1}

備考　TDRmp（スレーブの設定値）＞{TDRmn（マスタ）の設定値＋1}の場合は，デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルはインターバル・タイマ・モードとして動作させます。タイマ・チャネル開始レジスタm（TSm）のチャネル・スタート・トリガ・ビット（TSmn）に1を設定すると，割り込み（INTTMmn）を出力して，タイマ・データ・レジスタmn（TDRmn）に設定した値をタイマ・カウンタ・レジスタmn（TCRmn）にロードし，カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで，INTTMmnを出力して，再びTDRmnレジスタからTCRmnレジスタに値をロードしてダウン・カウントを行います。以降，タイマ・チャネル停止レジスタm（TTm）のチャネル・ストップ・トリガ・ビット（TTmn）に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では，マスタ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）の周期となります。

スレーブ・チャネルはワンカウント・モードとして動作させます。マスタ・チャネルからのINTTMmnをスタート・トリガとして，TDRmpレジスタからTCRmpレジスタに値をロードし，0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して，次のスタート・トリガ（マスタ・チャネルからのINTTMmn）が来るまで待機します。

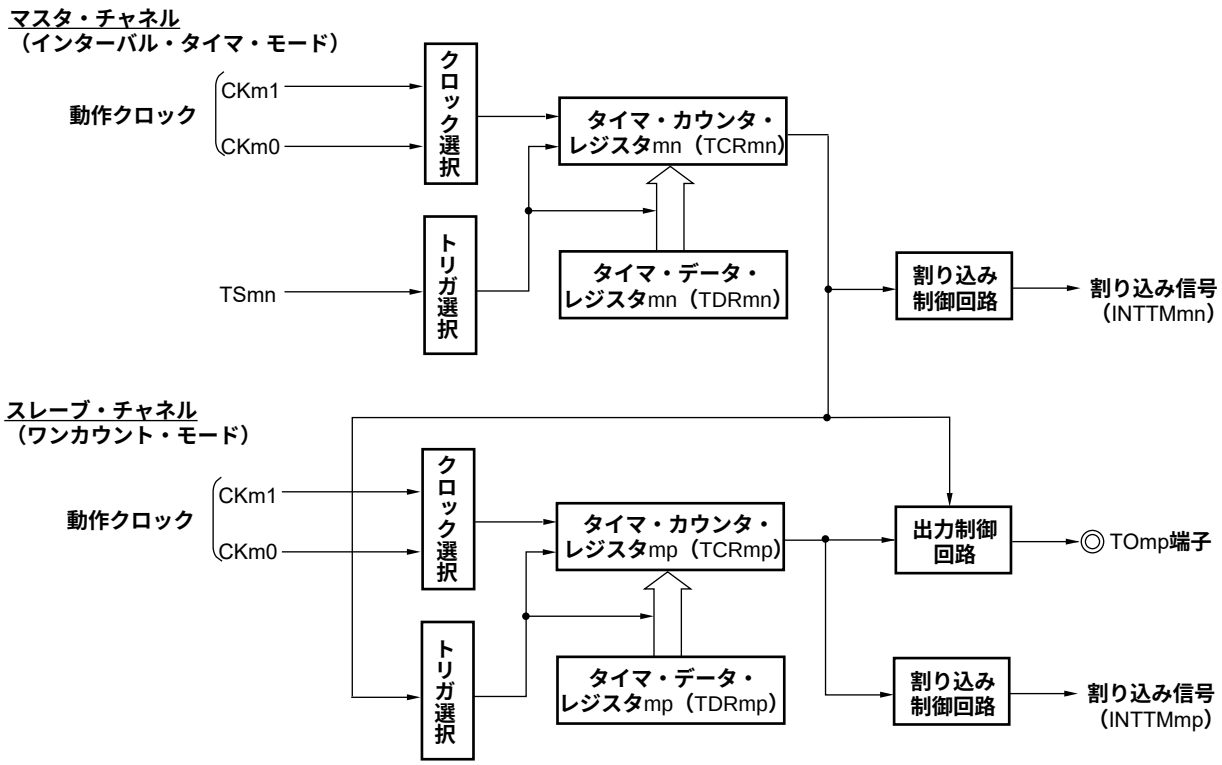
PWM機能としての動作では，スレーブ・チャネルがダウン・カウントして0000Hになるまでの期間がPWM出力（TOmp）のデューティとなります。

PWM出力（TOmp）は，マスタ・チャネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり，スレーブ・チャネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネルのTDRmpレジスタを両方とも書き換える場合，2回のライト・アクセスが必要となります。TCRmn，TCRmpレジスタにTDRmn，TDRmpレジスタの値がロードされるのは，マスタ・チャネルのINTTMmn発生時となります。そのため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は期待通りの波形を出力できません。したがって，マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n＜p≦3）

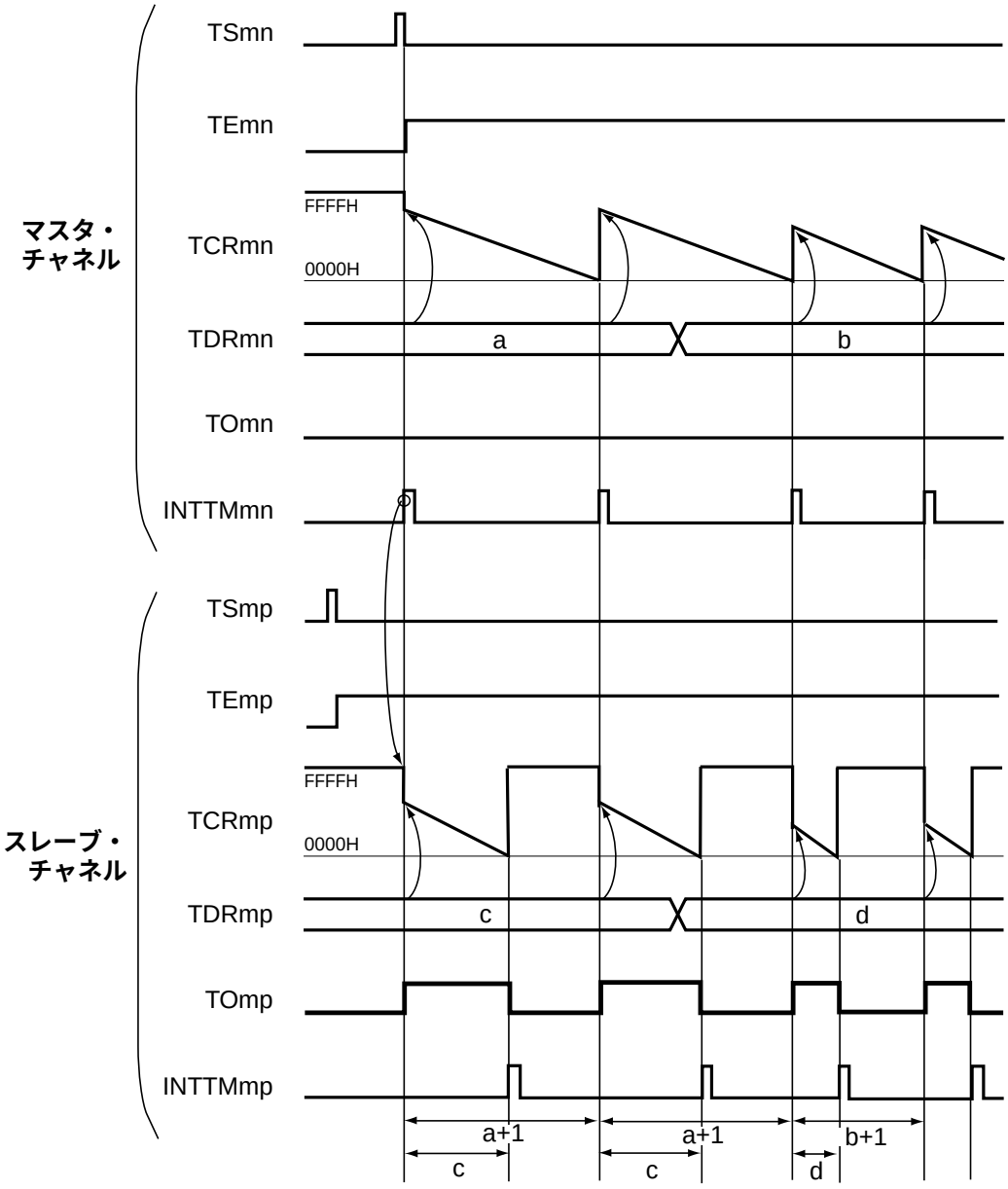
図6－68　PWM機能としての動作のブロック図



備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n＜p≦3）

図6－69　PWM機能としての動作の基本タイミング例



備考1.　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）

p：スレーブ・チャネル番号（n＜p≦3）

2.　TSmn, TSmp　：タイマ・チャネル開始レジスタm（TSm）のビットn, p

TEmn, TEmp　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p

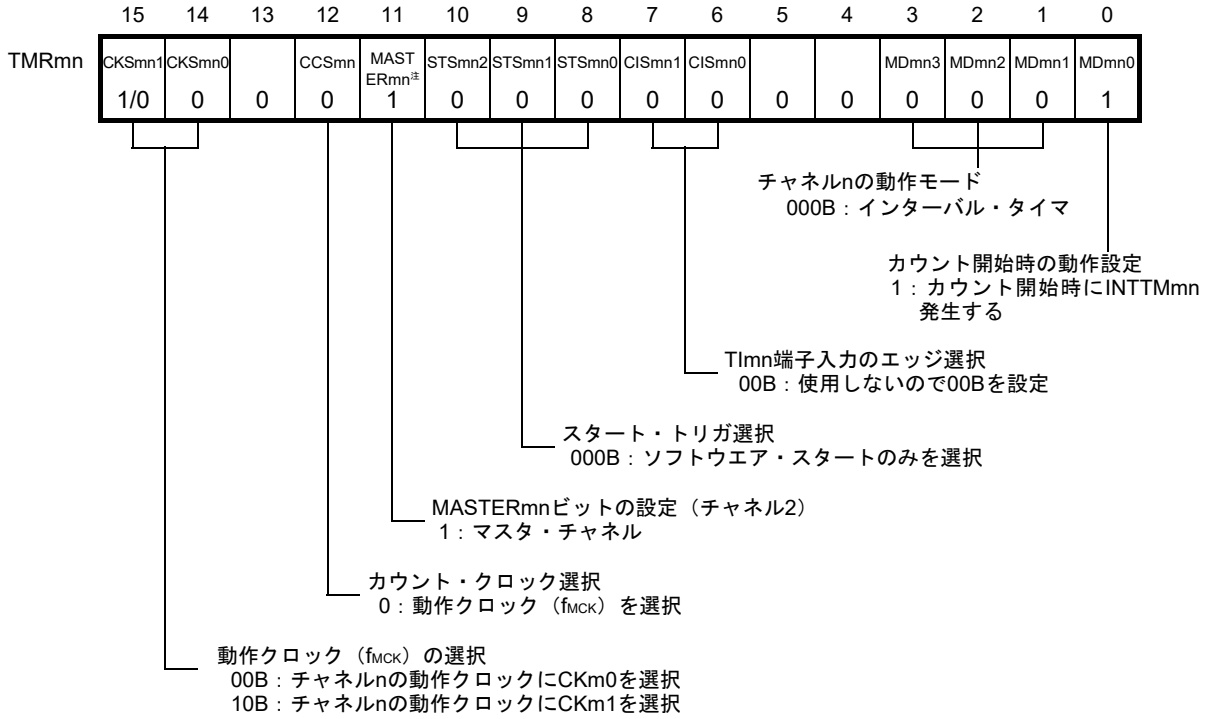
TCRmn, TCRmp　：タイマ・カウンタ・レジスタmn, mp（TCRmn, TCRmp）

TDRmn, TDRmp　：タイマ・データ・レジスタmn, mp（TDRmn, TDRmp）

TOmn, TOmp　：TOmn, TOmp端子出力信号

図6－70　PWM機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）



注　TMRm2の場合：MASTERmn = 1
　　TMRm0の場合：0固定

（b）タイマ出力レジスタm（TOm）

	ビットn	
TOm	TOmn 0	0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットn	
TOEm	TOEmn 0	0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットn	
TOLm	TOLmn 0	0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

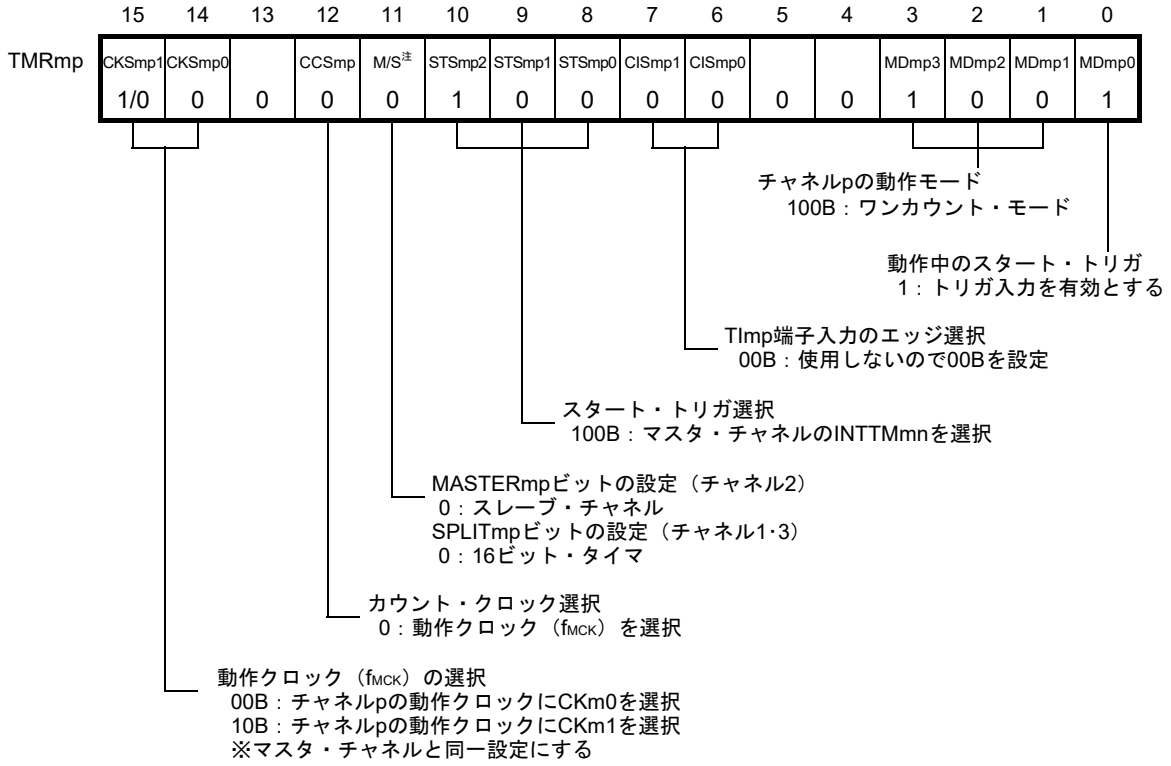
（e）タイマ出力モード・レジスタm（TOMm）

	ビットn	
TOMm	TOMmn 0	0：マスタ・チャネル出力モードを設定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）

図6－71　PWM機能時（スレーブ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmp（TMRmp）



（b）タイマ出力レジスタm（TOm）

	ビットp	
TOm	TOmp 1/0	0：TOmpより0を出力 1：TOmpより1を出力

（c）タイマ出力許可レジスタm（TOEm）

	ビットp	
TOEm	TOEmp 1/0	0：カウント動作によるTOmp出力動作停止 1：カウント動作によるTOmp出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットp	
TOLm	TOLmp 1/0	0：正論理出力（アクティブ・ハイ） 1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットp	
TOMm	TOMmp 1	1：スレーブ・チャネル出力モードを設定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n＜p≦3）

図6－72　PWM機能時の操作手順（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する2チャネルのタイマ・モード・レジスタmn，mp（TMRmn, TMRmp）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmpビットに1（スレーブ・チャネル出力モード）を設定する TOLmpビットを設定する TOmpビットを設定し，TOmp出力の初期レベルを確定する →	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp初期設定レベルが出力される。
	TOEmpビットに1を設定し，TOmpの動作を許可 →	チャネルは動作停止状態なので，TOmpは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp端子はTOmp設定レベルを出力

（注，備考は次ページにあります。）

図6－72　PWM機能時の操作手順（2/2）

	ソフトウエア操作	ハードウエアの状態
動作開始	TOEmp（スレーブ）ビットに1を設定する（動作再開時のみ） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp（スレーブ）ビットに同時に1を設定する TSmn, TSmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn = 1, TEmp = 1となる マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
動作中	TMRmn，TMRmpレジスタ，TOMmn，TOMmp，TOLmn，TOLmpビットは，設定値変更禁止 TDRmn，TDRmpレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmpレジスタは，常に読み出し可能 TSRmn, TSRmpレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn = 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネルでは，マスタ・チャネルのINTTMmnをトリガとして，TCRmpレジスタはTDRmpレジスタの値をロードし，カウンタはダウン・カウント動作を行う。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そしてTCRmp = 0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 以降，この動作を繰り返す。
動作停止	TTmn（マスタ），TTmp（スレーブ）ビットに同時に1を設定する TTmn, TTmpビットはトリガ・ビットなので，自動的に0に戻る	TEmn, TEmp = 0になり，カウント動作停止 TCRmn, TCRmpレジスタはカウント値を保持して停止 TOmp出力は初期化されず，状態保持
	スレーブ・チャネルのTOEmpビットに0を設定し，TOmpビットに値を設定する	TOmp端子はTOmp設定レベルを出力
TAU停止	TOmp端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmpビットに0を設定する TOmp端子の出力レベルを保持不要の場合 設定不要	TOmp端子出力レベルはポート機能により保持される。
	PER0レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmpビットが0になり，TOmp端子はポート機能となる）

動作再開

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0, 2）
　　p：スレーブ・チャネル番号（n＜p≦3）

6.9.3　多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャネルを複数使用することで，デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャネルを2個使う場合は，出力パルスの周期，デューティは次の式で求めることができます。

パルス周期 ＝｛TDRmn（マスタ）の設定値＋1｝×カウント・クロック周期
デューティ1 [%] ＝｛TDRmp（スレーブ1）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100
デューティ2 [%] ＝｛TDRmq（スレーブ2）の設定値｝／｛TDRmn（マスタ）の設定値＋1｝×100

備考　TDRmp（スレーブ1）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合
または TDRmq（スレーブ2）の設定値＞｛TDRmn（マスタ）の設定値＋1｝の場合は，
デューティ値が100 %を越えますが，集約して100 %出力となります。

マスタ・チャネルのタイマ・カウンタ・レジスタmn（TCRmn）は，インターバル・タイマ・モードで動作して，周期をカウントします。

スレーブ・チャネル1のTCRmpレジスタは，ワンカウント・モードで動作して，デューティをカウントし，TOmp端子よりPWM波形を出力します。TCRmpレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして，タイマ・データ・レジスタmp（TDRmp）の値をロードし，ダウン・カウントを行います。TCRmp = 0000Hとなったら，INTTMmpを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmpの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmp = 0000Hとなったらインアクティブ・レベルとなります。

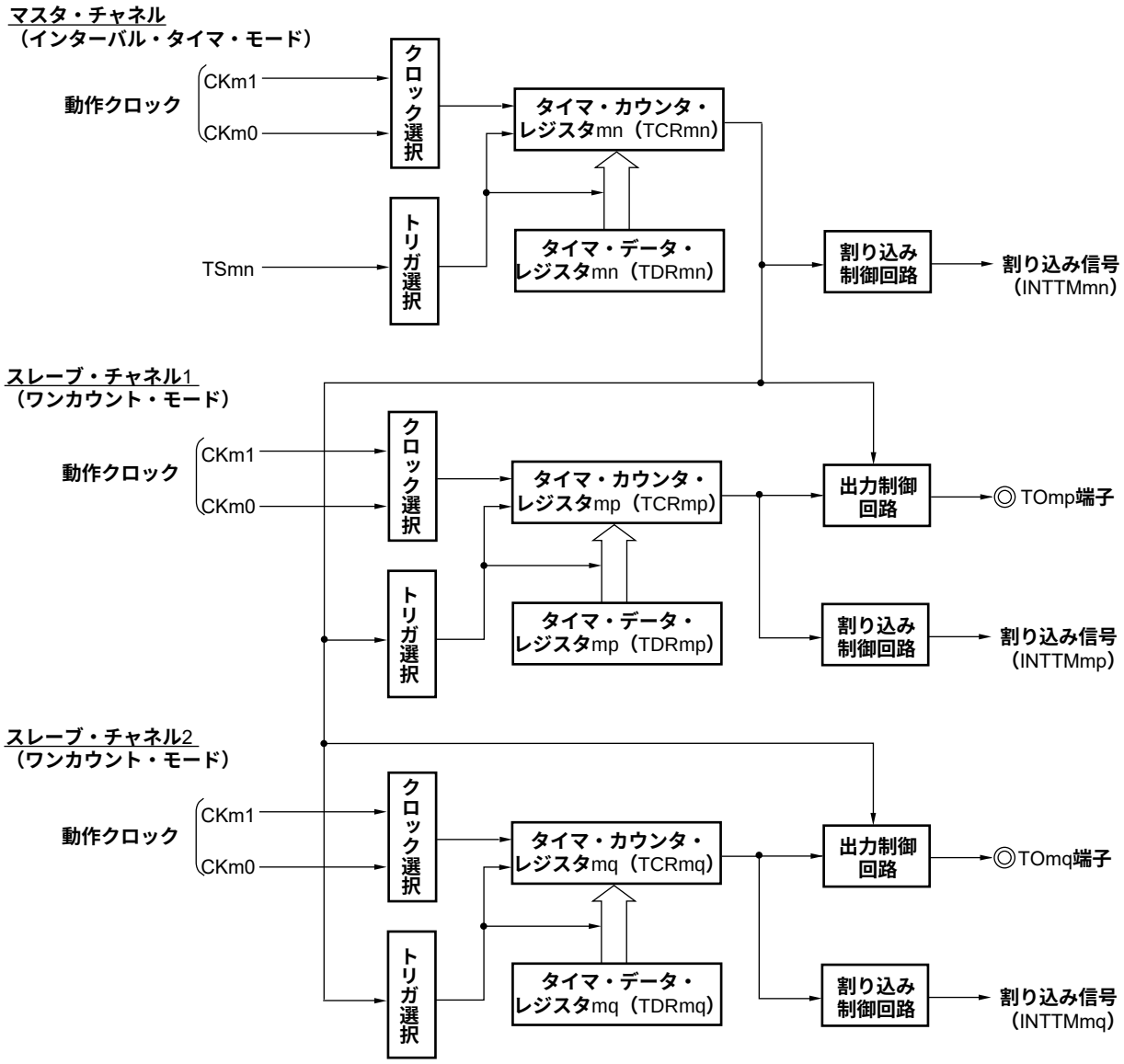
スレーブ・チャネル2のTCRmqレジスタも，スレーブ・チャネル1のTCRmpレジスタと同様に，ワンカウント・モードで動作して，デューティをカウントし，TOmq端子よりPWM波形を出力します。TCRmqレジスタは，マスタ・チャネルのINTTMmnをスタート・トリガとして，TDRmqレジスタの値をロードし，ダウン・カウントを行います。TCRmq = 0000Hとなったら，INTTMmqを出力し，次のスタート・トリガ（マスタ・チャネルのINTTMmn）が入力されるまでカウントを停止します。TOmqの出力レベルは，マスタ・チャネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり，TCRmq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして，チャネル0をマスタ・チャネルとした場合は，最大3種のPWMを同時に出力できます。

注意　マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）とスレーブ・チャネル1のTDRmpレジスタを両方とも書き換える場合，最低2回のライト・アクセスが必要となります。TCRmn，TCRmpレジスタにTDRmn，TDRmpレジスタの値をロードするのは，マスタ・チャネルのINTTMmn発生後となるため，書き換えがマスタ・チャネルのINTTMmn発生前と発生後に分かれて行われると，TOmp端子は，期待通りの波形を出力できません。したがって，TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は，必ずマスタ・チャネルのINTTMmn発生直後に両方のレジスタを書き換えてください。（スレーブ・チャネル2のTDRmqレジスタの場合も同様です。）

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦3（ただしp, qは，n以降の連続した整数）

図6－73　多重PWM出力機能としての動作のブロック図（2種類のPWMを出力する場合）

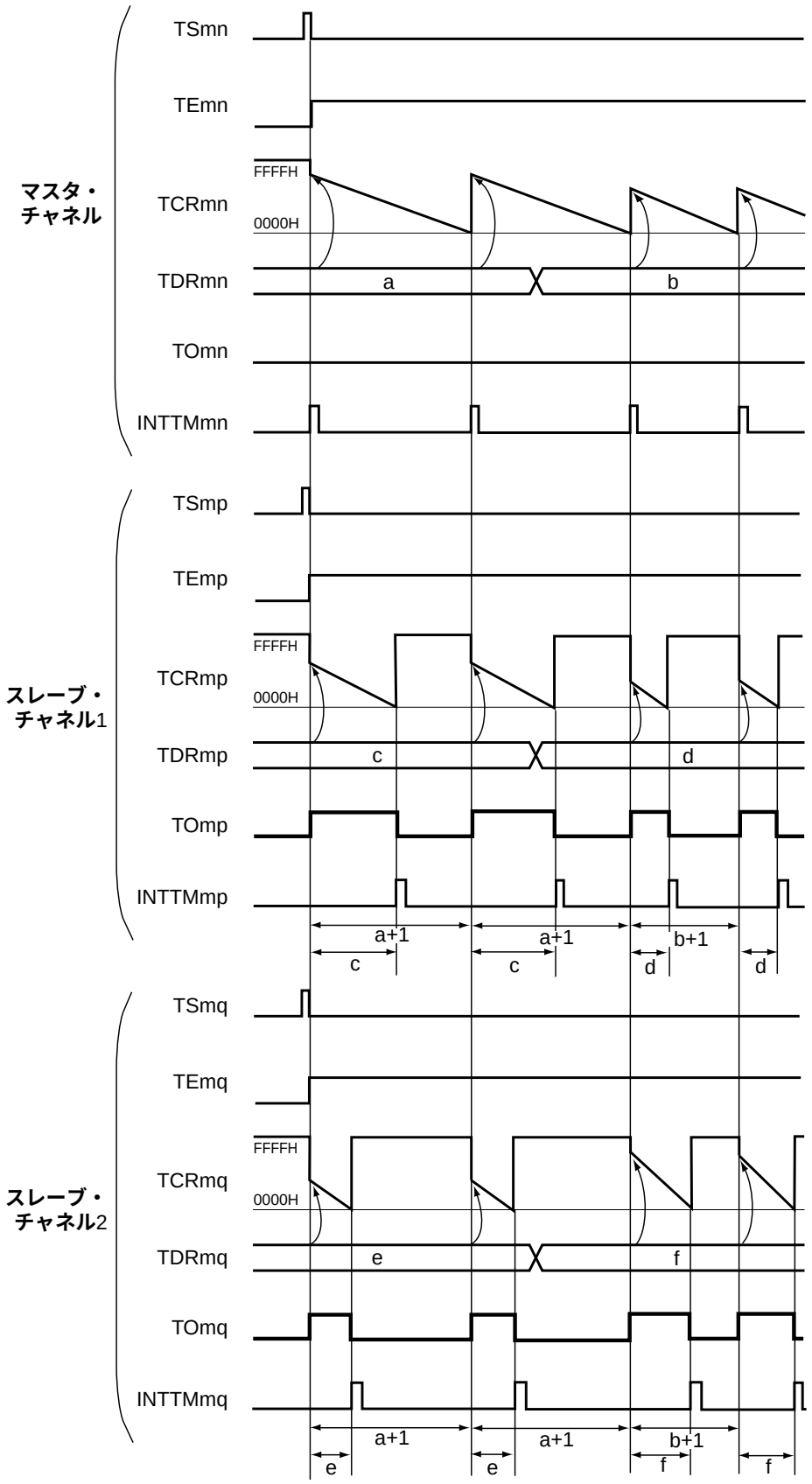


備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0）

p：スレーブ・チャネル番号，q：スレーブ・チャネル番号

n＜p＜q≦3（ただしp, qは，n以降の連続した整数）

図6－74　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）（1/2）



（備考は次ページにあります。）

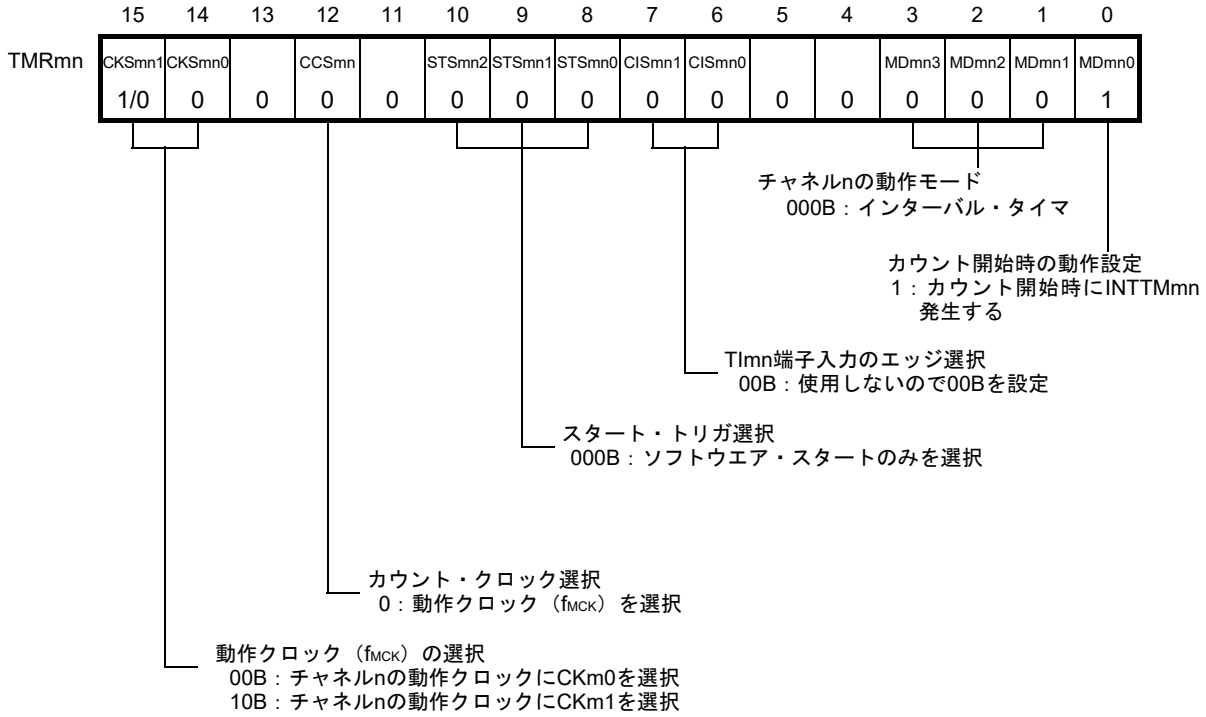
図6－74　多重PWM出力機能としての動作の基本タイミング例（2種類のPWMを出力する場合）（2/2）

備考1.　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0）
p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
n＜p＜q≦3（ただしp, qは，n以降の連続した整数）

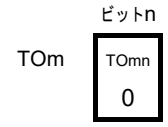
2.　TSmn, TSmp, TSmq　：タイマ・チャネル開始レジスタm（TSm）のビットn, p, q
TEmn, TEmp, TEmq　：タイマ・チャネル許可ステータス・レジスタm（TEm）のビットn, p, q
TCRmn, TCRmp, TCRmq　：タイマ・カウンタ・レジスタmn, mp, mq（TCRmn, TCRmp, TCRmq）
TDRmn, TDRmp, TDRmq　：タイマ・データ・レジスタmn, mp, mq（TDRmn, TDRmp, TDRmq）
TOmn, TOmp, TOmq　：TOmn, TOmp, TOmq端子出力信号

図6－75　多重PWM出力機能時（マスタ・チャネル）のレジスタ設定内容例

（a）タイマ・モード・レジスタmn（TMRmn）

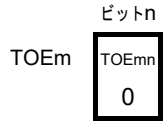


（b）タイマ出力レジスタm（TOm）



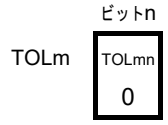
0：TOmnより0を出力する

（c）タイマ出力許可レジスタm（TOEm）



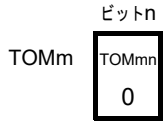
0：カウント動作によるTOmn出力動作停止

（d）タイマ出力レベル・レジスタm（TOLm）



0：TOMmn = 0（マスタ・チャネル出力モード）では0を設定

（e）タイマ出力モード・レジスタm（TOMm）



0：マスタ・チャネル出力モードを設定

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0）

図6－76　多重PWM出力機能時（スレーブ・チャネル）のレジスタ設定内容例（2種類のPWMを出力する場合）

（a）タイマ・モード・レジスタmp, mq（TMRmp, TMRmq）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmp	CKSmp1	CKSmp0		CCSmp	M/S注	STSmp2	STSmp1	STSmp0	CISmp1	CISmp0			MDmp3	MDmp2	MDmp1	MDmp0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
TMRmq	CKSmq1	CKSmq0		CCSmq	M/S注	STSmq2	STSmq1	STSmq0	CISmq1	CISmq0			MDmq3	MDmq2	MDmq1	MDmq0
	1/0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1

チャネルp, qの動作モード
100B：ワンカウント・モード

動作中のスタート・トリガ
1：トリガ入力を有効とする

TImp, TImq端子入力のエッジ選択
00B：使用しないので00Bを設定

スタート・トリガ選択
100B：マスタ・チャネルのINTTMmnを選択

MASTERmp, MASTERmqビットの設定（チャネル2）
0：スレーブ・チャネル
SPLITmp, SPLITmqビットの設定（チャネル1, 3）
0：16ビット・タイマ

カウント・クロック選択
0：動作クロック（f_{MCK}）を選択

動作クロック（f_{MCK}）の選択
00B：チャネルp, qの動作クロックにCKm0を選択
10B：チャネルp, qの動作クロックにCKm1を選択
※マスタ・チャネルと同一設定にする

（b）タイマ出力レジスタm（TOm）

	ビットq	ビットp	
TOm	TOmq	TOmp	0：TOmp, TOmqより0を出力する
	1/0	1/0	1：TOmp, TOmqより1を出力する

（c）タイマ出力許可レジスタm（TOEm）

	ビットq	ビットp	
TOEm	TOEmq	TOEmp	0：カウント動作によるTOmp, TOmq出力動作停止
	1/0	1/0	1：カウント動作によるTOmp, TOmq出力動作許可

（d）タイマ出力レベル・レジスタm（TOLm）

	ビットq	ビットp	
TOLm	TOLmq	TOLmp	0：正論理出力（アクティブ・ハイ）
	1/0	1/0	1：負論理出力（アクティブ・ロウ）

（e）タイマ出力モード・レジスタm（TOMm）

	ビットq	ビットp	
TOMm	TOMmq	TOMmp	1：スレーブ・チャネル出力モードを設定
	1	1	

注　TMRm1, TMRm3の場合　　：SPLITmp, SPLITmqビット
　　TMRm2の場合　　：MASTERmp, MASTERmqビット

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0）
　　p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
　　n＜p＜q≦3（ただしp, qは，n以降の連続した整数）

図6－77　多重PWM出力機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウエア操作	ハードウエアの状態
TAU初期設定		パワーオフ状態 （クロック供給停止，各レジスタへの書き込み不可）
	周辺イネーブル・レジスタ0（PER0）のTAU0ENビットに1を設定する →	パワーオン状態，各チャネルは動作停止状態 （クロック供給開始，各レジスタへの書き込み可能）
	タイマ・クロック選択レジスタm（TPSm）を設定する CKm0とCKm1のクロック周波数を確定する	
チャネル初期設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq（TMRmn, TMRmp, TMRmq）を設定する（チャネルの動作モード確定） マスタ・チャネルのタイマ・データ・レジスタmn（TDRmn）にインターバル（周期）値，スレーブ・チャネルのTDRmp，TDRmqレジスタにデューティ値を設定する	チャネルは動作停止状態 （クロック供給されており，多少の電力を消費する）
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm（TOMm）のTOMmp, TOMmqビットに1（スレーブ・チャネル出力モード）を設定する TOLmp, TOLmqビットに0を設定する	TOmp, TOmq端子はHi-Z出力状態
	TOmp, TOmqビットを設定し，TOmp, TOmq出力の初期レベルを確定する →	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は，TOmp, TOmq初期設定レベルが出力される。
	TOEmp, TOEmqビットに1を設定し，TOmp, TOmqの動作を許可 →	チャネルは動作停止状態なので，TOmp, TOmqは変化しない
	ポート・レジスタとポート・モード・レジスタに0を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作開始	（動作再開時のみTOEmp, TOEmq（スレーブ）ビットに1を設定する） タイマ・チャネル開始レジスタm（TSm）のTSmn（マスタ），TSmp，TSmq（スレーブ）ビットに同時に1を設定する →	TEmn = 1, TEmp, TEmq = 1となる マスタ・チャネルがカウント動作開始し，INTTMmnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。
	TSmn, TSmp, TSmqビットはトリガ・ビットなので，自動的に0に戻る	

（注，備考は次ページにあります。）

動作再開（次ページへ）

図6－77　多重PWM出力機能時の操作手順（2種類のPWMを出力する場合）（2/2）

動作再開（前ページへ）

	ソフトウエア操作	ハードウエアの状態
動　作 中	TMRmn, TMRmp, TMRmqレジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmqビットは, 設定値変更禁止 TDRmn, TDRmp, TDRmqレジスタは，マスタ・チャネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmqレジスタは，常に読み出し可能 TSRmn, TSRmp, TSRmqレジスタは，使用しない	マスタ・チャネルでは，タイマ・カウンタ・レジスタmn（TCRmn）はTDRmnレジスタの値をロードし，ダウン・カウント動作を行う。TCRmn ＝ 0000Hまでカウントしたら INTTMmnを発生する。同時に，TCRmnレジスタはTDRmnレジスタの値をロードし，再びダウン・カウントを開始する。 スレーブ・チャネル1では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmpレジスタ値をTCRmpレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmp出力レベルをインアクティブ・レベルにして，カウント動作を停止する。 スレーブ・チャネル2では，マスタ・チャネルのINTTMmn信号をトリガとして，TDRmqレジスタ値をTCRmqレジスタに転送し，カウンタはダウン・カウントを開始する。マスタ・チャネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000Hまでカウントしたら TOmq出力レベルをインアクティブ・レベルにして，カウント動作を停止する。以降，この動作を繰り返す。
動　作 停止	TTmn（マスタ），TTmp，TTmq（スレーブ）ビットに同時に1を設定する →	TEmn, TEmp, TEmq = 0になり，カウント動作停止 TCRmn，TCRmp，TCRmqレジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず，状態保持
	TTmn, TTmp, TTmqビットはトリガ・ビットなので，自動的に0に戻る	
	スレーブ・チャネルのTOEmp, TOEmqビットに0を設定し，TOmp, TOmqビットに値を設定する →	TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU 停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後，TOmp, TOmqビットに0を設定する →	TOmp，TOmq端子出力レベルはポート機能により保持される。
	TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要	
	PER0レジスタのTAU0ENビットに0を設定する →	パワーオフ状態 全回路が初期化され，各チャネルのSFRも初期化される（TOmp, TOmqビットが0になり, TOmp, TOmq端子はポート 機能となる）

備考　m：ユニット番号（m = 0），n：マスタ・チャネル番号（n = 0）
　　p：スレーブ・チャネル番号，q：スレーブ・チャネル番号
　　n＜p＜q≦3（ただしp, qは，n以降の連続した整数）

6. 10　タイマ・アレイ・ユニット使用時の注意事項

6. 10. 1　タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられている事があります。このような場合にタイマ出力を使用するには，他方の兼用機能の出力を初期状態にする必要があります。

詳細は，4. 5　兼用機能使用時のレジスタ設定を参照してください。

第7章　リアルタイム・クロック

7.1　リアルタイム・クロックの機能

リアルタイム・クロックには，次のような機能があります。

・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
・定周期割り込み機能（周期：0.5秒，1秒，1分，1時間，1日，1月）
・アラーム割り込み機能（アラーム：曜日・時・分）
・1 Hzの端子出力機能（48ピン製品のみ）

リアルタイム・クロック割り込み信号（INTRTC）を，STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

注意　リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL}）を選択時は，定周期割り込み機能のみ使用できます。32ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。
ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。

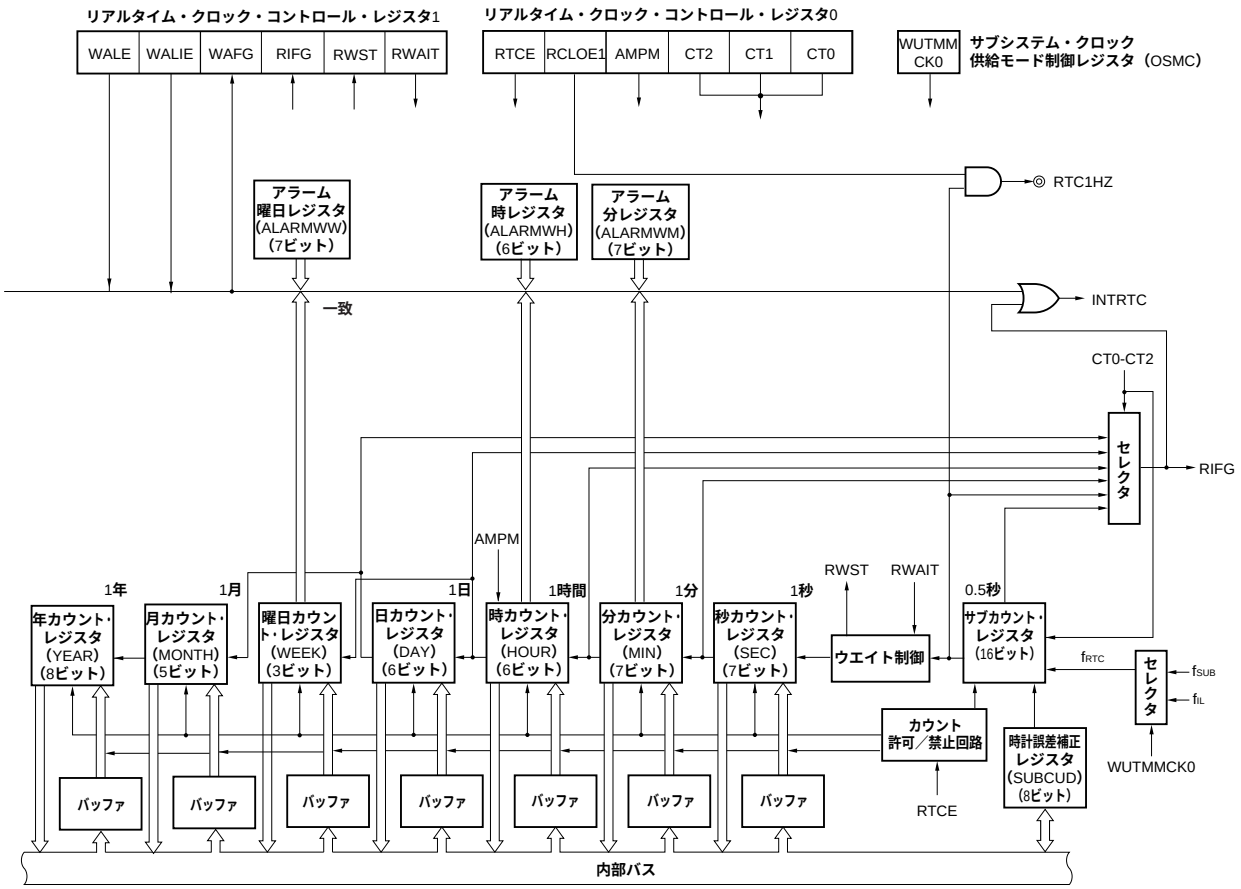
7.2　リアルタイム・クロックの構成

リアルタイム・クロックは，次のハードウエアで構成されています。

表7－1　リアルタイム・クロックの構成

項　　目	構　　成
カウンタ	内部カウンタ（16ビット）
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
	リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
	秒カウント・レジスタ（SEC）
	分カウント・レジスタ（MIN）
	時カウント・レジスタ（HOUR）
	日カウント・レジスタ（DAY）
	曜日カウント・レジスタ（WEEK）
	月カウント・レジスタ（MONTH）
	年カウント・レジスタ（YEAR）
	時計誤差補正レジスタ（SUBCUD）
	アラーム分レジスタ（ALARMWM）
	アラーム時レジスタ（ALARMWH）
	アラーム曜日レジスタ（ALARMWW）

図7－1　リアルタイム・クロックのブロック図



注意　リアルタイム・クロックの動作クロックにサブシステム・クロック（f_{SUB} = 32.768 kHz）を選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL}）を選択時は，定周期割り込み機能のみ使用できます。32ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。

ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。

7.3　リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
・リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
・秒カウント・レジスタ（SEC）
・分カウント・レジスタ（MIN）
・時カウント・レジスタ（HOUR）
・日カウント・レジスタ（DAY）
・曜日カウント・レジスタ（WEEK）
・月カウント・レジスタ（MONTH）
・年カウント・レジスタ（YEAR）
・時計誤差補正レジスタ（SUBCUD）
・アラーム分レジスタ（ALARMWM）
・アラーム時レジスタ（ALARMWH）
・アラーム曜日レジスタ（ALARMWW）
・ポート・モード・レジスタ3（PM3）
・ポート・レジスタ3（P3）

7.3.1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは，必ずビット7（RTCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット･インターバル・タイマの入力クロック供給の制御
0	入力クロック供給停止 ・リアルタイム・クロック（RTC），12ビット･インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット･インターバル・タイマはリセット状態
1	入力クロック供給 ・リアルタイム・クロック（RTC），12ビット･インターバル・タイマで使用するSFRへのリード／ライト可

注意1.　リアルタイム・クロックを使用する際には，カウント・クロック（f_{RTC}）が発振安定した状態で，必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。
RTCEN = 0の場合は，リアルタイム・クロックの制御レジスタへの書き込みは無視され，読み出し値は初期値となります（サブシステム･クロック供給モード制御レジスタ（OSMC），ポート・モード・レジスタ3（PM3），ポート・レジスタ3（P3）は除く）。

- ・リアルタイム・クロック・コントロール・レジスタ0（RTCC0）
- ・リアルタイム・クロック・コントロール・レジスタ1（RTCC1）
- ・秒カウント・レジスタ（SEC）
- ・分カウント・レジスタ（MIN）
- ・時カウント・レジスタ（HOUR）
- ・日カウント・レジスタ（DAY）
- ・曜日カウント・レジスタ（WEEK）
- ・月カウント・レジスタ（MONTH）
- ・年カウント・レジスタ（YEAR）
- ・時計誤差補正レジスタ（SUBCUD）
- ・アラーム分レジスタ（ALARMWM）
- ・アラーム時レジスタ（ALARMWH）
- ・アラーム曜日レジスタ（ALARMWW）

2.　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，STOPモード時およびサブシステム・クロック時HALTモードで，リアルタイム・クロック，12ビット･インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

3.　ビット1, 3, 6には必ず“0”を設定してください。

7.3.2　サブシステム・クロック・供給モード制御レジスタ（OSMC）

WUTMMCK0ビットでリアルタイム・クロックの動作クロック（f_{RTC}）を選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章　クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック，12ビット･インターバル・タイマの動作クロック（f_{RTC}）の選択
0	サブシステム・クロック（f_{SUB}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）

注意　リアルタイム・クロックの動作クロックにサブシステム・クロックを選択時のみ，年，月，曜日，日，時，分，秒のカウントができます。低速オンチップ・オシレータ・クロック（f_{IL}）を選択時は，定周期割り込み機能のみ使用できます。32ピン製品は，サブシステム・クロックを搭載していないため，定周期割り込み機能のみ使用できます。

ただし，f_{IL}選択時の定周期割り込み間隔は，定周期（RTCC0レジスタで選択した値）×f_{SUB}/f_{IL}で算出される値になります。

7.3.3　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）

リアルタイム・クロック動作の開始／停止，RTC1HZ端子の制御，12/24時間制，定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット

アドレス：FFF9DH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	RCLOE1注	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・クロックの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

RCLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力（1 Hz）禁止
1	RTC1HZ端子の出力（1 Hz）許可

AMPM	12時間制／24時間制の選択
0	12時間制（午前／午後を表示）
1	24時間制
・AMPMビットの値を変更する場合は，RWAITビット（リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のビット0）＝1にしてから書き換えてください。AMPMレジスタの値を変更すると，時カウント・レジスタ（HOUR）の値は設定した時間制に対応した値に変更されます。 ・時間桁表示表を表7－2に示します。	

CT2	CT1	CT0	定周期割り込み（INTRTC）の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度（秒カウントアップに同期）
0	1	0	1秒に1度（秒カウントアップと同時）
0	1	1	1分に1度（毎分00秒）
1	0	0	1時間に1度（毎時00分00秒）
1	0	1	1日に1度（毎日00時00分00秒）
1	1	×	1月に1度（毎月1日午前00時00分00秒）
カウンタ動作中（RTCE = 1）にCT2-CT0ビットの値を変更する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後は，RIFGフラグ，RTCIFフラグをクリアしてから割り込み処理許可にしてください。			

注　32ピン製品はRCLOE1ビットに0を設定してください。

注意1.　RTCE = 1のときにRCLOE1ビットを変更しないでください。

2.　RTCE = 0のときに，RCLOE1 = 1に設定しても1 Hz出力はされません。

備考　×：don’t care

7.3.4　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）

アラーム割り込み機能，カウンタのウエイトを制御する8ビットのレジスタです。

RTCC1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（1/2）

アドレス：FFF9EH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中（RTCE = 1）かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ（RTCC1レジスタのWALIEフラグ，アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW））を設定する場合，WALEビットを一致動作無効“0”にしてください。	

WALIE	アラーム割り込み（INTRTC）機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，f_{RTC}の1クロック（32.768 kHz）後に“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

図7－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ，“1”の書き込みは無効となります。	

RWST	リアルタイム・クロックのウエイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し，書き込みは，このフラグの値が1になっていることを確認したあとに行ってください。	

RWAIT	リアルタイム・クロックのウエイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し，書き込みモード。
カウンタの動作を制御します。 カウンタ値を読み出し，書き込みを行う際は必ず“1”を書き込んでください。 内部カウンタ（16ビット）は動作を継続するので，1秒以内に読み出しや書き込みを終了し，0に戻してください。アラーム割り込みを使用するときに，カウンタの読み出し／書き込みを行う場合は，RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定期周期割り込み発生）にして，RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。 RWAIT = 1に設定後，カウンタ値の読み出し，書き込みが可能（RWST = 1）となるまで最大でf_{RTC}の1クロックの時間がかかります。（注1，注2） 内部カウンタ（16ビット）のオーバフローがRWAIT = 1のときに起きた場合は，オーバフローが起きたことを保持してRWAIT = 0になったあと，カウント・アップします。 ただし，秒カウント・レジスタへの書き込みを行った場合は，オーバフローが起きたことを保持しません。	

注1.　RTCE＝1に設定した後，f_{RTC} の1クロック時間内でRWAIT=1とした場合，RWSTビットが“1”になるまで動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

2.　スタンバイ（HALTモード，STOPモード，SNOOZEモード）から復帰した後，f_{RTC} の1クロック時間内で，RWAIT＝1とした場合，RWSTビットが”1”になるまでに，動作クロック（f_{RTC}）の2クロック時間がかかる場合があります。

注意　RTCC1レジスタに1ビット操作命令で書き込みを行うと，RIFGフラグ，WAFGフラグがクリアされることがあります。そのため，RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に，RIFGフラグ，WAFGフラグをクリアしないようにするためには，該当ビットに書き込みが無効となる“1”を設定してください。なお，RIFGフラグ，WAFGフラグを使用せず値が書き換わっても問題ない場合は，RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 1.　定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

2.　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

7.3.5　秒カウント・レジスタ（SEC）

0-59（10進）までの値を取り，秒のカウント値を示す8ビットのレジスタです。

サブカウント・レジスタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ，最大f_{RTC}の2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－6　秒カウント・レジスタ（SEC）のフォーマット

アドレス：FFF92H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

備考　秒カウント・レジスタ（SEC）へ書き込みを行うと内部カウンタ（16ビット）はクリアされます。

7.3.6　分カウント・レジスタ（MIN）

0-59（10進）までの値を取り，分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後に，カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-59をBCDコードで設定してください。

MINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－7　分カウント・レジスタ（MIN）のフォーマット

アドレス：FFF93H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7.4.3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 7　時カウント・レジスタ（HOUR）

00-23または01-12, 21-32（10進）までの値を取り，時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また，リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のビット3（AMPM）で設定した時間制に応じて，10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると，HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

図7－8　時カウント・レジスタ（HOUR）のフォーマット

アドレス：FFF94H　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1.　HOURレジスタのビット5（HOUR20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表7－2に示します。

表7－2　時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

7. 3. 8　日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

- 01-31（1, 3, 5, 7, 8, 10, 12月）
- 01-30（4, 6, 9, 11月）
- 01-29（2月 うるう年）
- 01-28（2月 通常年）

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-31をBCDコードで設定してください。

DAYレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図7－9　日カウント・レジスタ（DAY）のフォーマット

アドレス：FFF96H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 9　曜日カウント・レジスタ（WEEK）

0-6（10進）までの値を取り，曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。また設定する値は，10進の00-06をBCDコードで設定してください。

WEEKレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－10　曜日カウント・レジスタ（WEEK）のフォーマット

アドレス：FFF95H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1.　曜日カウント・レジスタ（WEEK）には，月カウント・レジスタ（MONTH）および日カウント・レジスタ（DAY）に対応した値が自動的に格納されるわけではありません。
リセット解除後，次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

2.　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 10　月カウント・レジスタ（MONTH）

MONTHレジスタは1-12（10進）までの値を取り，月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の01-12をBCDコードで設定してください。

MONTHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，01Hになります。

図7－11　月カウント・レジスタ（MONTH）のフォーマット

アドレス：FFF97H　リセット時：01H　R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 11　年カウント・レジスタ（YEAR）

0-99（10進）までの値を取り，年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ（MONTH）からのオーバフローによりカウント・アップします。

00, 04, 08, ･･･, 92, 96がうるう年となります。

書き込みを行った場合は，バッファに書き込まれ最大f_{RTC}の2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し，書き込みをした値に設定されます。また設定する値は，10進の00-99をBCDコードで設定してください。

YEARレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－12　年カウント・レジスタ（YEAR）のフォーマット

アドレス：FFF98H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意　カウンタ動作中（RTCE = 1）にこのレジスタの読み出し／書き込みをする場合は，7. 4. 3　リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

7. 3. 12　時計誤差補正レジスタ（SUBCUD）

内部カウンタ（16ビット）から秒カウンタ・レジスタ（SEC）へオーバフローする値（基準値：7FFFH）を変化させることにより，時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－13　時計誤差補正レジスタ（SUBCUD）のフォーマット

アドレス：FFF99H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時（20秒ごと）に時計誤差補正
1	秒桁が00秒時のみ（60秒ごと）に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。 ・DEV = 0設定時：SEC = 00H, 20H, 40Hの期間 ・DEV = 1設定時：SEC = 00Hの期間	

F6	時計誤差補正値の設定
0	{（F5, F4, F3, F2, F1, F0）－1} ×2だけ増加
1	{（/F5, /F4, /F3, /F2, /F1, /F0）＋1）×2だけ減少
（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。 /F5～/F0は，ビット反転した値（111100のときは000011）となります。 補正値の範囲：（F6=0のとき）　2, 4, 6, 8,・・・120, 122, 124 （F6=1のとき）　－2，－4，－6，－8,・・・－120，－122，－124	

次に，時計誤差補正レジスタ（SUBCUD）による補正可能範囲を示します。

	DEV = 0（20秒ごとの補正）	DEV = 1（60秒ごとの補正）
補正可能範囲	－189.2 ppm～189.2 ppm	－63.1 ppm～63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考　補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

7. 3. 13　アラーム分レジスタ（ALARMWM）

アラームの分を設定するレジスタです。

ALARMWMレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

注意　設定する値は，10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図7－14　アラーム分レジスタ（ALARMWM）のフォーマット

アドレス：FFF9AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

7. 3. 14　アラーム時レジスタ（ALARMWH）

アラームの時を設定するレジスタです。

ALARMWHレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，12Hになります。

ただし，リセット後に，AMPMビットに1をセットした場合は00Hとなります。

注意　設定する値は，10進の00～23または，01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合，アラームは検出されません。

図7－15　アラーム時レジスタ（ALARMWH）のフォーマット

アドレス：FFF9BH　リセット時：12H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意　ALARMWHレジスタのビット5（WH20）は，AMPM = 0（12時間制）を選択した場合，AM（0）／PM（1）を示します。

7. 3. 15　アラーム曜日レジスタ（ALARMWW）

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図7－16　アラーム曜日レジスタ（ALARMWW）のフォーマット

アドレス：FFF9CH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜　日							12時間表示				24時間表示			
	日 WW0	月 WW1	火 WW2	水 WW3	木 WW4	金 WW5	土 WW6	10時	1時	10分	1分	10時	1時	10分	1分
毎日　午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日　午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日　午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金　午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜　午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金　午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

7. 3. 16　ポート・モード・レジスタ3（PM3）

PM3レジスタは，1ビット・メモリ・操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

RTC1HZ端子の1 Hz出力として使用する時は，PM30ビットに”0”を設定してください。

図7－17　ポート・モード・レジスタ3（PM3）のフォーマット

アドレス：FFF23H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

7. 3. 17　ポート・レジスタ3（P3）

P3レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

RTC1Hz端子へ1 Hz出力として使用する時は，P30ビットに”0”を設定してください。

図7－18　ポート3（P3）のフォーマット

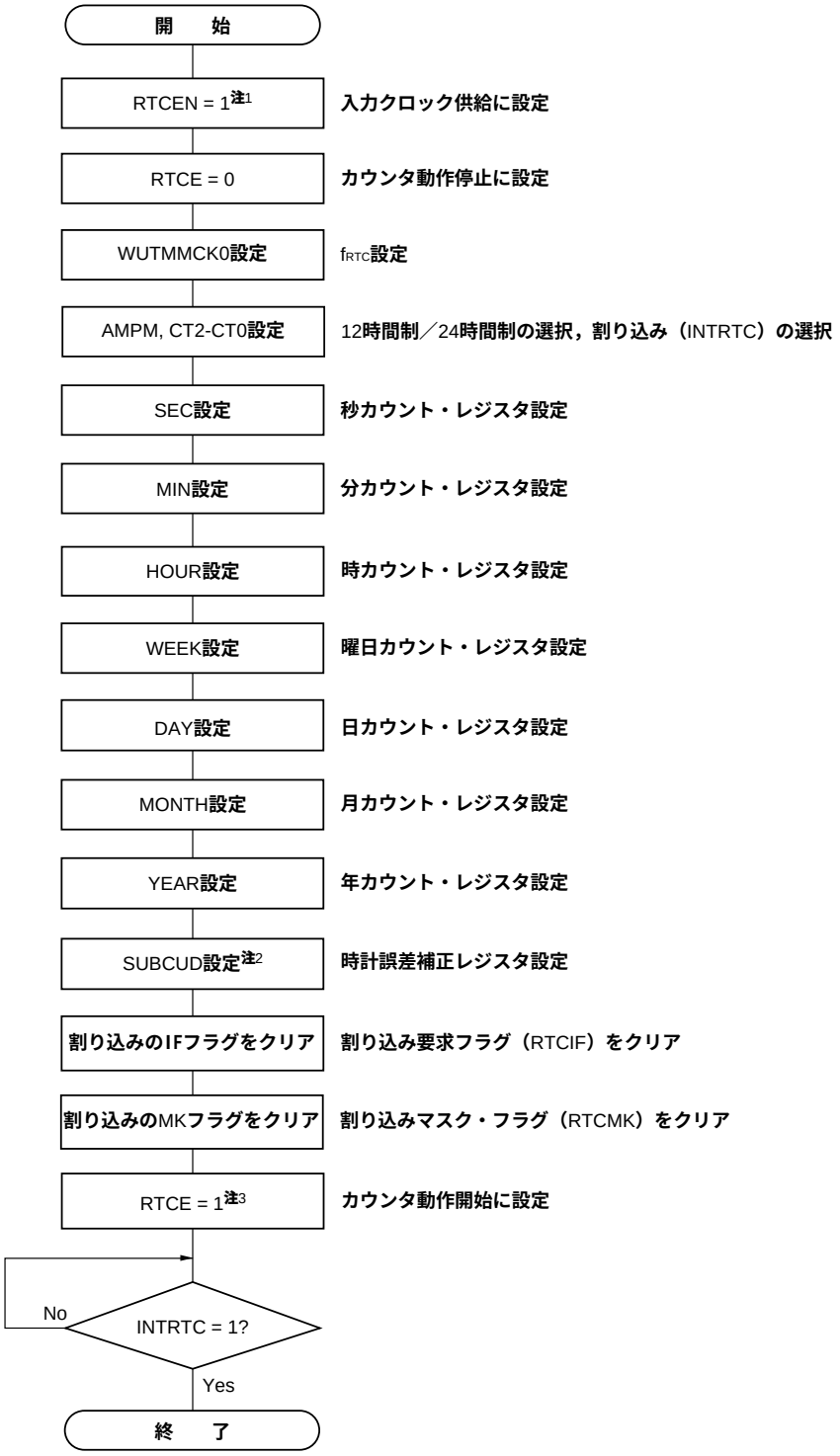
アドレス：FFF03H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
P3	0	0	0	0	0	0	P31	P30

7.4　リアルタイム・クロックの動作

7.4.1　リアルタイム・クロックの動作開始

図7－19　リアルタイム・クロックの動作開始手順



注1.　カウント・クロック（f_{RTC}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

2.　時計誤差補正する必要がある場合のみ。補正値の算出方法は，7.4.6　リアルタイム・クロックの時計誤差補正例を参照してください。

3.　RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は，7.4.2　動作開始後のHALT/STOPモードへの移行の手順を確認してください。

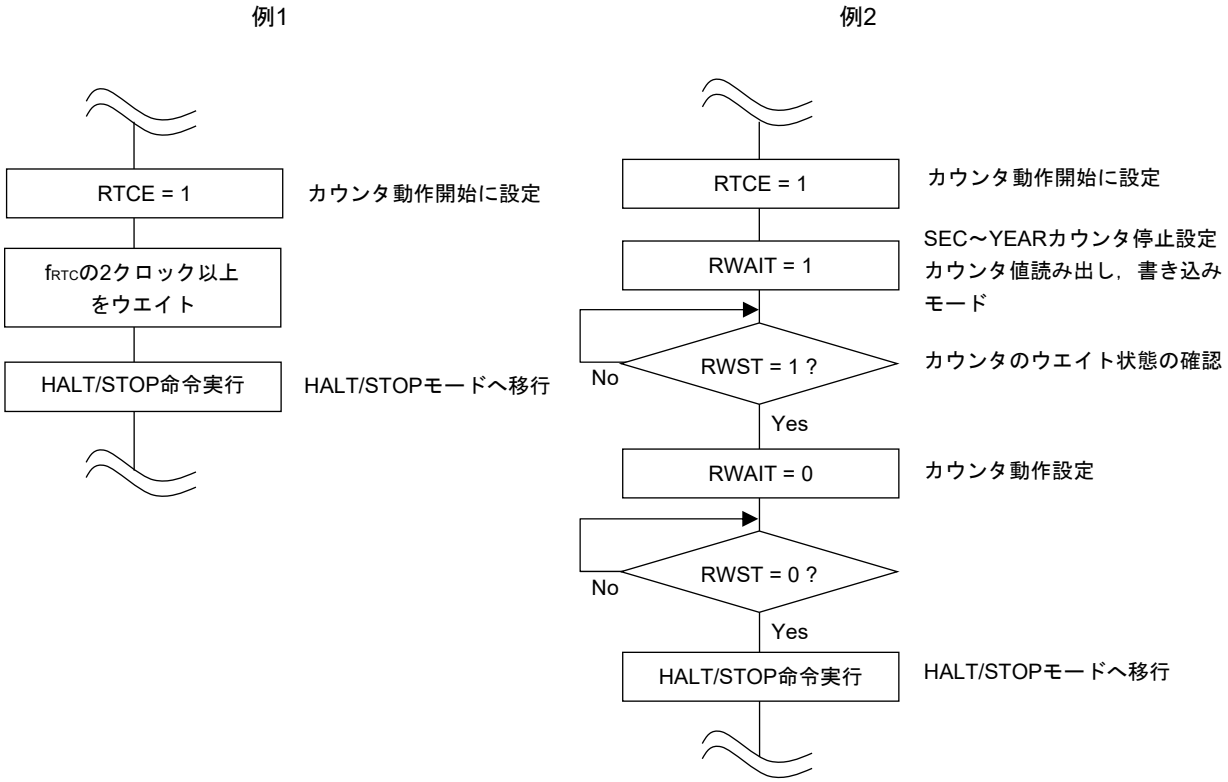
7. 4. 2　動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は，次のどちらかの処理をしてください。

ただし，RTCE = 1に設定後，INTRTC割り込みの発生以降にHALT/STOPモードへ移行する場合は，これらの処理は必要ありません。

- RTCE = 1に設定してから，カウント・クロック（f_{RTC}）の2クロック分以上経過後にHALT/STOPモードへ移行する（図7－20 例1参照）。
- RTCE = 1に設定後，RWAIT = 1に設定し，RWSTビットが1になるのをポーリングで確認する。
  それから，RWAIT = 0に設定し，RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する（図7－20 例2参照）。

図7－20　RTCE = 1に設定後のHALT/STOPモードへの移行手順

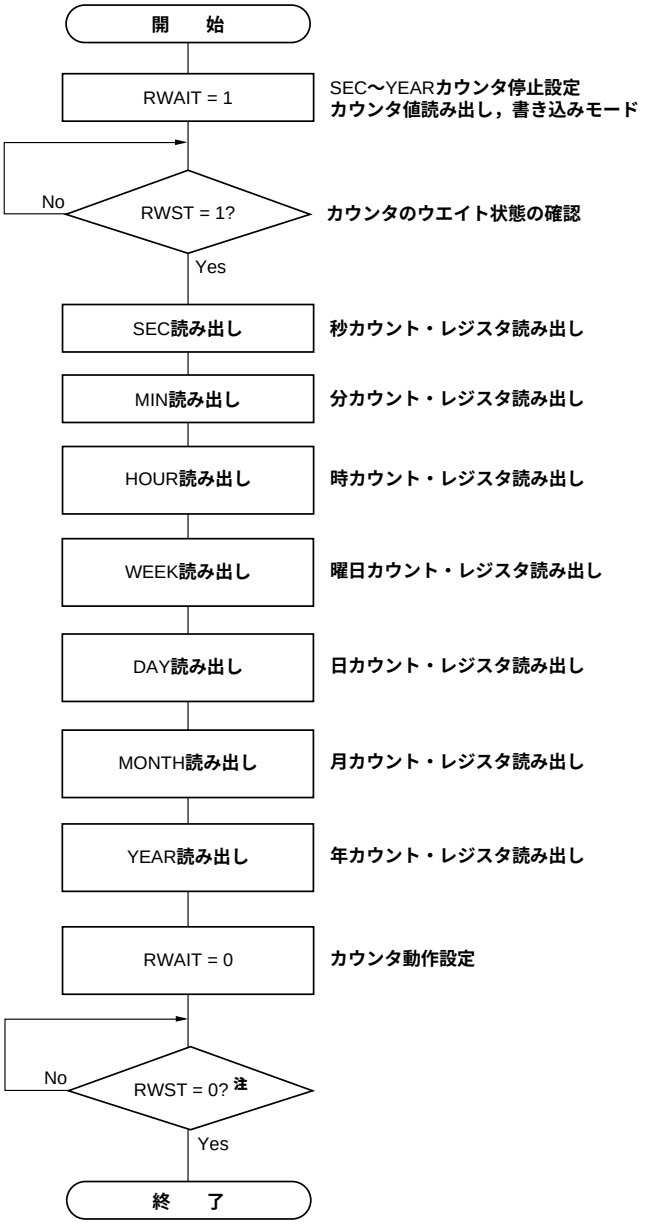


7.4.3　リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは，最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し／書き込み終了後は，RWAIT = 0にしてください。

図7－21　リアルタイム・クロックの読み出し手順



注　HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意　RWAIT = 1 からRWAIT = 0までの処理を1秒以内で行ってください。アラーム割り込みを使用するときに，カウンタ読み出しを行う場合は，RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定周期割り込み発生）にして，RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の読み出しの順番に制限はありません。

また，すべてのレジスタを読み出す必要はなく，一部のレジスタのみを読み出しても構いません。

図7－22　リアルタイム・クロックの書き込み手順

注　HALT/STOPモードに移行する前には，必ずRWST = 0であることを確認してください。

注意 1.　RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。アラーム割り込みを使用するときに，カウンタ書き込みを行う場合は，RTCC0レジスタのCT2～CT0ビットを010B（1秒毎に定期割り込み発生）にして，RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

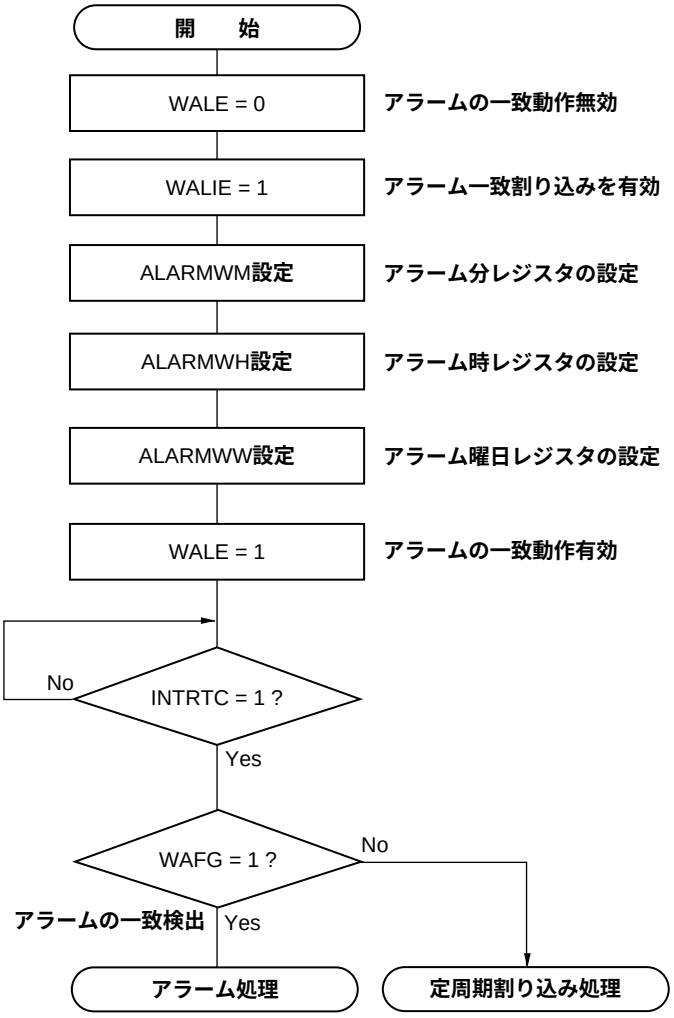
2.　カウンタ動作中（RTCE = 1）にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RIFGフラグ，RTCIFフラグをクリアしてください。

備考　秒カウント・レジスタ（SEC），分カウント・レジスタ（MIN），時カウント・レジスタ（HOUR），曜日カウント・レジスタ（WEEK），日カウント・レジスタ（DAY），月カウント・レジスタ（MONTH），年カウント・レジスタ（YEAR）の書き込みの順番に制限はありません。
また，すべてのレジスタを設定する必要はなく，一部のレジスタのみを書き換えても構いません。

7.4.4　リアルタイム・クロックのアラーム設定

アラーム時刻設定は，最初にWALE = 0（アラーム動作無効）にしてから行ってください。

図7－23　アラーム処理手順

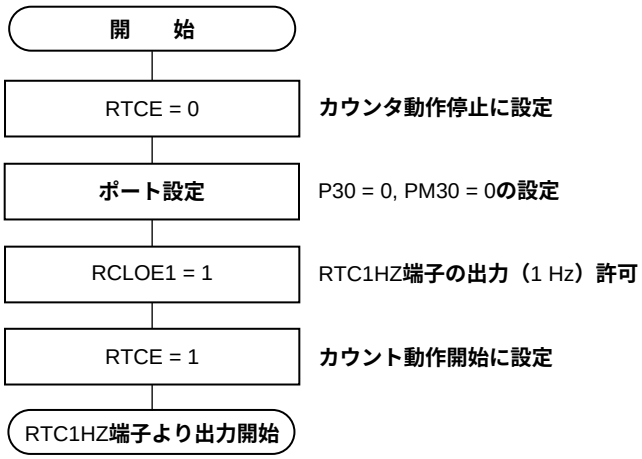


備考1.　アラーム分レジスタ（ALARMWM），アラーム時レジスタ（ALARMWH），アラーム曜日レジスタ（ALARMWW）の書き込みの順番に制限はありません。

2.　定周期割り込みとアラーム一致割り込みは，同一割り込み要因（INTRTC）を使用しています。この2つの割り込みを同時に使用する場合は，INTRTCが発生した時点で，定周期割り込みステータス・フラグ（RIFG）とアラーム検出ステータス・フラグ（WAFG）を確認することで，どちらの割り込みが発生したかを判断することができます。

7.4.5　リアルタイム・クロックの1 Hz出力

図7－24　1 Hz出力の設定手順



注意1.　カウント・クロック（f_{SUB}）が発振安定状態において，最初にRTCEN = 1の設定を行ってください。

2.　32ピンの製品はリアルタイム・クロックの1 Hz出力機能はありません。

7.4.6　リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより，時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ（16ビット）のカウント値を補正する際の補正値は，次の式で算出できます。

補正範囲が，－63.1 ppm以下または63.1 ppm以上のときは，DEV = 0を設定してください。

（DEV = 0の場合）

補正値[注] = 1分間の補正カウント数÷3 =（発振周波数÷ターゲット周波数－1）×32768×60÷3

（DEV = 1の場合）

補正値[注] = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

注　補正値とは，時計誤差補正レジスタ（SUBCUD）のビット6-0の値により求められる時計誤差補正値です。

（F6 = 0の場合）補正値 = {（F5, F4, F3, F2, F1, F0）－1} ×2

（F6 = 1の場合）補正値 = －{（/F5, /F4, /F3, /F2, /F1, /F0）＋1} ×2

（F6, F5, F4, F3, F2, F1, F0）=（*, 0, 0, 0, 0, 0, *）のときは，時計誤差補正を行いません。*は0または1です。

/F5～/F0は，ビット反転した値（111100のときは000011）となります。

備考1.　補正値は，2, 4, 6, 8,・・・120, 122, 124，または－2，－4，－6，－8・・・－120，－122，－124です。

2.　発振周波数とは，カウント・クロック（f_{RTC}）の値です。
時計誤差補正レジスタが初期値（00H）時のRTC1HZ端子の出力周波数×32768で求めることができます。

3.　ターゲット周波数とは，時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hzから32768 Hz（32772.3 Hz－131.2 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数[注]はPCLBUZ0端子から約32.768 kHzを出力するか，時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注　RTC1Hz出力の設定手順は，7. 4. 5　リアルタイム・カウンタの1 Hz出力を，PCLBUZ0端子から約32 kHzの出力の設定手順は，7. 4. 6　リアルタイム・カウンタの32.768 kHz出力を参照してください。

【補正値の算出】

（PCLBUZ0端子からの出力周波数が32772.3 Hzの場合）

ターゲット周波数を32768 Hz（32772.3 Hz－131.2 ppm）とすると，－131.2 ppmは補正範囲が－63.1 ppm以下なので，DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数÷3 = （発振周波数÷ターゲット周波数– 1）×32768×60÷3

= （32772.3÷32768 – 1）×32768×60÷3

= 86

【（F6～F0）への設定値の算出】

（補正値 = 86の場合）

補正値が0以上（遅くする場合）では，F6 = 0とします。

（F5, F4, F3, F2, F1, F0）は，補正値から算出します。

{（F5, F4, F3, F2, F1, F0）－1} ×2 = 86

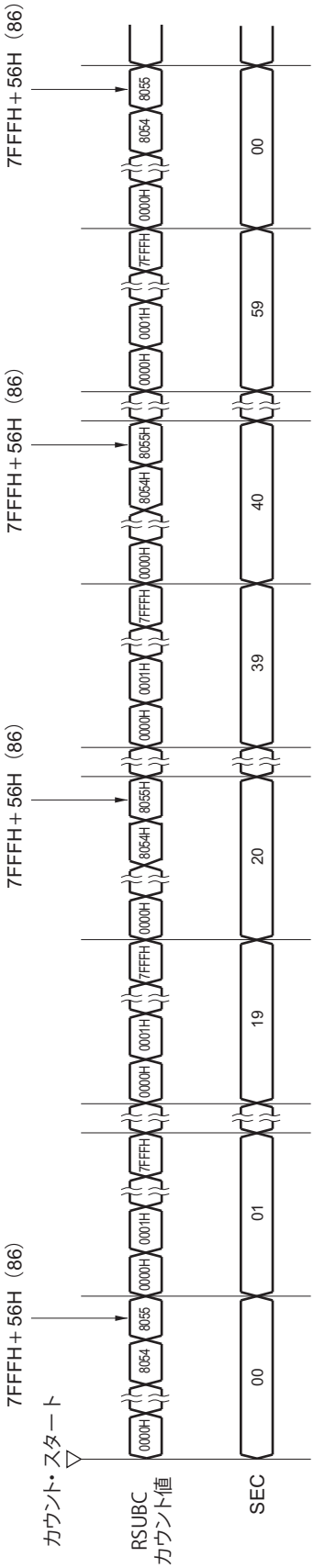
（F5, F4, F3, F2, F1, F0） = 44

（F5, F4, F3, F2, F1, F0） =（1, 0, 1, 1, 0, 0）

したがって，32772.3 Hzから32768 Hz（32772.3 Hz－131.2 ppm）への補正の場合，DEV = 0，補正値 = 86（SUBCUDレジスタのビット6-0：0101100）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F6, F5, F4, F3, F2, F1, F0）=（0, 0, 1, 0, 1, 1, 0, 0）の場合の補正動作を図7－25に示します。

図7－25　（DEV, F6, F5, F4, F3, F2, F1, F0）＝（0, 0, 1, 0, 1, 1, 0, 0）の場合の補正動作



補正例②

32767.4 Hzから32768 Hz（32767.4 Hz＋18.3 ppm）への補正例

【発振周波数の測定】

各製品の発振周波数[注]を，時計誤差補正レジスタ（SUBCUD）が初期値（00H）時にRTC1HZ端子から約1 Hzを出力して測定します。

注　RTC1Hz出力の設定手順は，7. 4. 5　リアルタイム・クロックの1 Hz出力を参照してください。

【補正値の算出】

（RTC1HZ端子からの出力周波数が0.9999817 Hzの場合）

発振周波数 = 32768×0.9999817 ≒ 32767.4 Hz

ターゲット周波数を32768 Hz（32767.4 Hz＋18.3 ppm）とし，DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

補正値 = 1分間の補正カウント数 =（発振周波数÷ターゲット周波数－1）×32768×60

=（32767.4÷32768 – 1）×32768×60

= －36

【（F6～F0）への設定値の算出】

（補正値 = －36の場合）

補正値が0以下（速くする場合）では，F6 = 1とします。

（F5, F4, F3, F2, F1, F0）は，補正値から算出します。

－｛（/F5, /F4, /F3, /F2, /F1, /F0）＋1｝×2 = －36

（/F5, /F4, /F3, /F2, /F1, /F0） = 17

（/F5, /F4, /F3, /F2, /F1, /F0） =（0, 1, 0, 0, 0, 1）

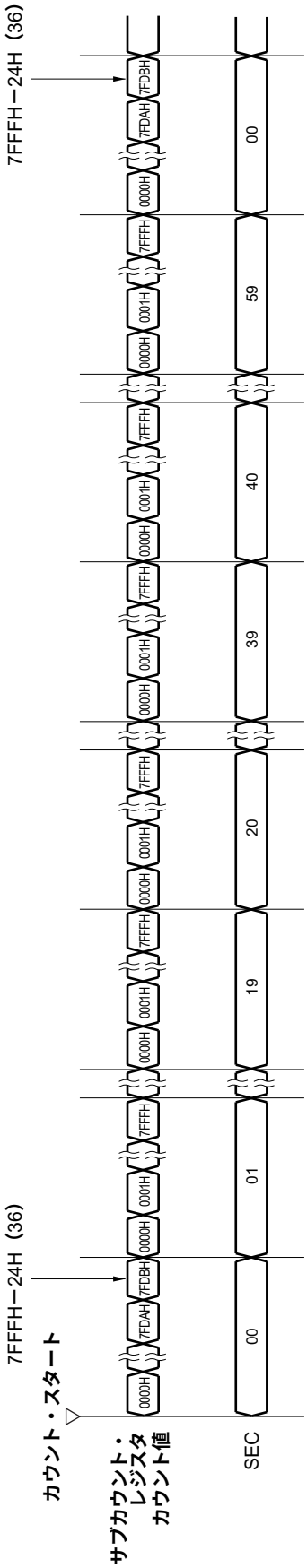
（F5,F4,F3,F2,F1,F0） =（1, 0, 1, 1, 1, 0）

したがって，32767.4 Hzから32768 Hz（32767.4Hz＋18.3 ppm）への補正の場合，

DEV = 1，補正値 = －36（SUBCUDレジスタのビット6-0：1101110）と補正レジスタを設定すると，32768 Hz（0 ppm）となります。

（DEV, F6, F5, F4, F3, F2, F1, F0）=（1, 1, 1, 0, 1, 1, 1, 0）の場合の動作を図7－26に示します。

図7－26　（DEV, F6, F5, F4, F3, F2, F1, F0）＝（1, 1, 1, 0, 1, 1, 1, 0）の場合の補正動作



第8章　12ビット・インターバル・タイマ

8.1　12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み（INTIT）を発生します。STOPモードからのウエイク･アップや，A/DコンバータのSNOOZEモードのトリガに使えます。

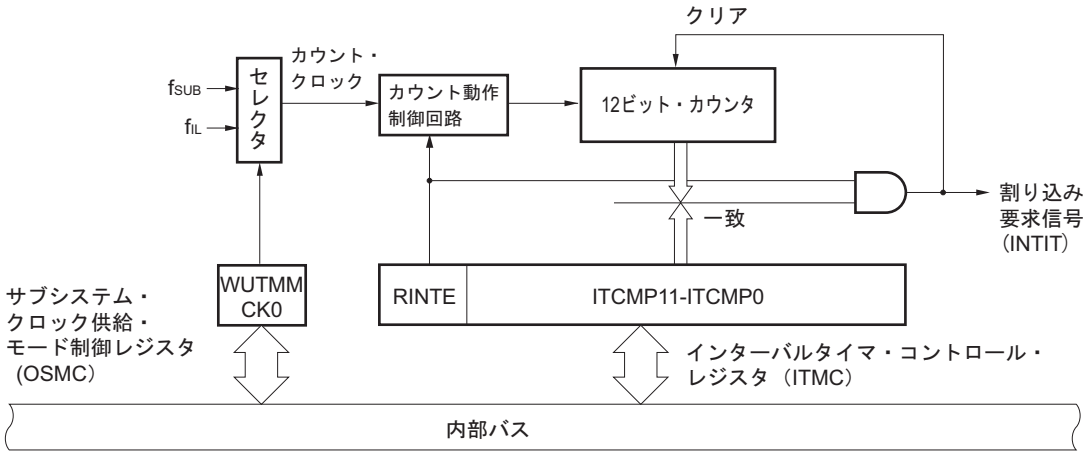
8.2　12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは，次のハードウエアで構成されています。

表8－1　12ビット・インターバル・タイマの構成

項　　目	構　　成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ0（PER0）
	サブシステム・クロック供給モード制御レジスタ（OSMC）
	インターバル・タイマ・コントロール・レジスタ（ITMC）

図8－1　12ビット・インターバル・タイマのブロック図



注意　カウント・クロックにサブシステム・クロック（f_{SUB}）を選択できるのは、48ピン製品です。

8.3　12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは，次のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・サブシステム・クロック供給モード制御レジスタ（OSMC）
・インターバル・タイマ・コントロール・レジスタ（ITMC）

8. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは，必ずビット7（RTCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－2　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

RTCEN	リアルタイム・クロック（RTC），12ビット・インターバル・タイマへのクロック供給の制御
0	クロック供給停止 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマはリセット状態
1	クロック供給 ・リアルタイム・クロック（RTC），12ビット・インターバル・タイマで使用するSFRへのリード／ライト可

注意1.　12ビット・インターバル・タイマを使用する際には，カウント・クロックが発振安定した状態で，必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は，12ビット・インターバル・タイマの制御レジスタへの書き込みは無視され，読み出し値は初期値となります（サブシステム・クロック供給モード制御レジスタ（OSMC）は除く）

・インターバル・タイマ・コントロール・レジスタ（ITMC）

2.　サブシステム・クロック供給・モード制御レジスタ（OSMC）のRTCLPC = 1に設定することにより，STOPモード時およびサブシステム・クロック時HALTモードで，リアルタイム・クロック，12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止することが可能です。

3.　ビット1, 3, 6には必ず“0”を設定してください。

8. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）

WUTMMCK0ビットで12ビット・インターバル・タイマ，リアルタイム・クロックの動作クロックを選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章　クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8－3　サブシステム・クロック供給モード制御レジスタ（OSMC）のフォーマット

アドレス：F00F3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

WUTMMCK0	リアルタイム・クロック，12ビット・インターバル・タイマの動作クロックの選択
0	サブシステム・クロック（f_{SUB}）
1	低速オンチップ・オシレータ・クロック（f_{IL}）

8. 3. 3　インターバル・タイマ・コントロール・レジスタ（ITMC）

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。

ITMCレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0FFFHになります。

図8－4　インターバル・タイマ・コントロール・レジスタ（ITMC）のフォーマット

アドレス：FFF90H　リセット時：0FFFH　R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0

RINTE	12ビット・インターバル・タイマの動作制御
0	カウンタ動作停止（カウント・クリア）
1	カウンタ動作開始

ITCMP11-ITCMP0	12ビット・インターバル・タイマのコンペア値設定
001H	「カウント・クロック周期×（ITCMP設定値＋1）」の定期周期割り込みを発生します。
・ ・ ・	
FFFH	
000H	設定禁止

ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例

・ITCMP11-ITCMP0 = 001H，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（1＋1）= 0.06103515625 [ms] ≒ 61.03 [μs]

・ITCMP11-ITCMP0 = FFFH，カウント・クロック：f_{SUB} = 32.768 kHz時

1/32.768 [kHz]×（4095＋1）= 125 [ms]

注意1.　RINTEビットを1→0に変更する場合は，INTITを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始（0→1）する場合は，ITIFフラグをクリアしてから割り込み処理許可にしてください。

2.　RINTEビットのリード値は，RINTEビット設定後，カウント・クロックの1クロック後に反映されます。

3.　スタンバイ・モードから復帰後にRINTEビット設定して，再度スタンバイ･モードに移行する場合は，RINTEビットの書き込み値が反映されたことを確認するか，スタンバイ・モードの復帰からカウント・クロックの1クロック分の時間以上経過後に移行してください。

4.　ITCMP11-ITCMP0ビットの設定を変更する場合は，必ずRINTE = 0のときに行ってください。ただし，RINTE = 0→1または1→0に変更するのと同時にITCMP11-ITCMP0ビットの設定を変更することは可能です。

8.4　12ビット・インターバル・タイマの動作

8.4.1　12ビット・インターバル・タイマの動作タイミング

ITCMP11-ITCMP0ビットに設定したカウント値をインターバルとし，繰り返し割り込み要求（INTIT）を発生する12ビット・インターバル・タイマとして動作します。

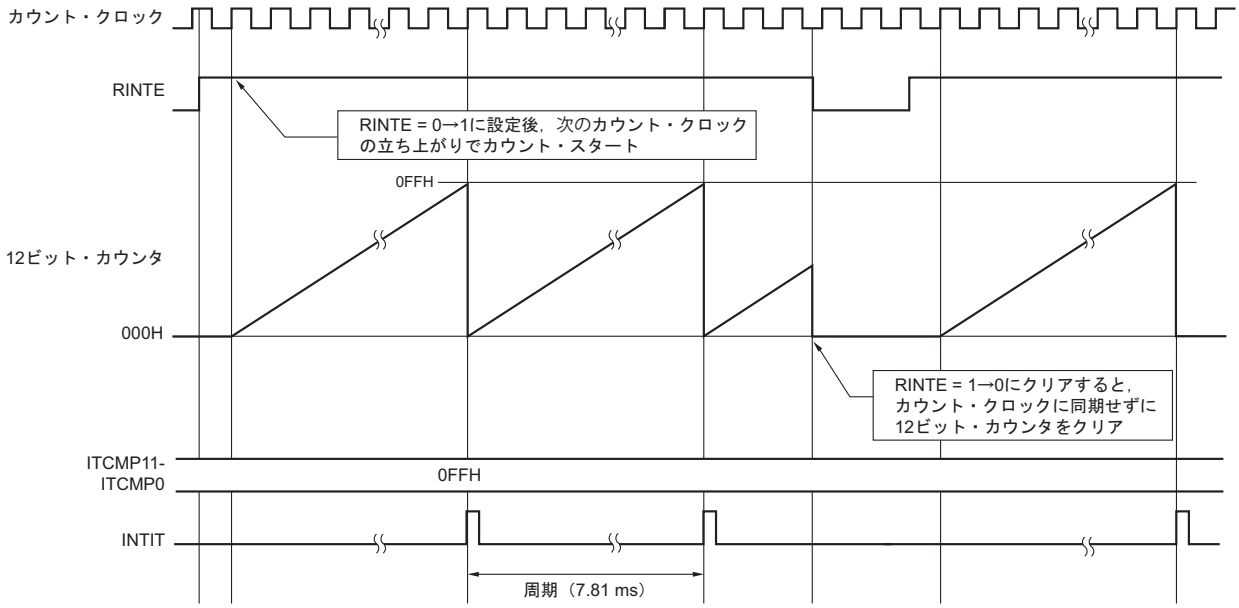
RINTEビットを1に設定すると，12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0ビットに設定した値と一致したとき，12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に，割り込み要求信号（INTIT）を発生します。

12ビット・インターバル・タイマの基本動作を図8－5に示します。

図8－5　12ビット・インターバル・タイマ動作のタイミング

（ITCMP11-ITCMP00 = 0FFH，カウント・クロック：f_{SUB} = 32.768 kHz）

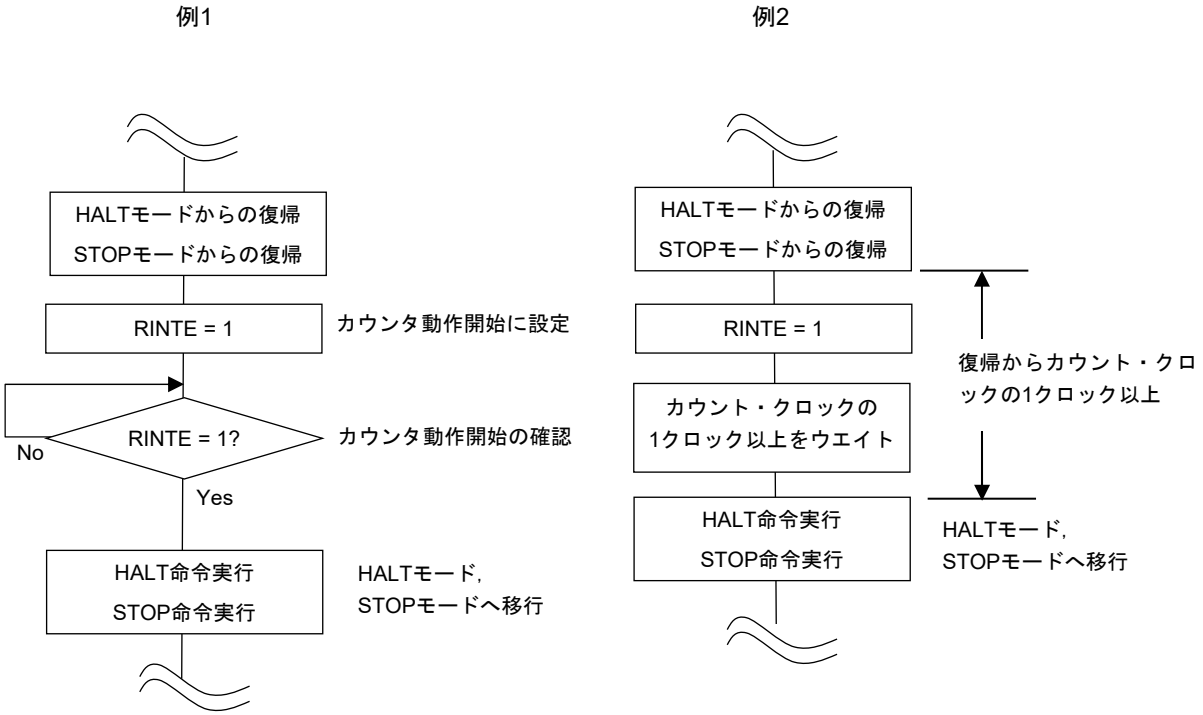


8. 4. 2　HALT/STOPモードから復帰後にカウンタ動作開始し，再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し，再度HALTモード，STOPモードへ移行する場合は，RINTE = 1に設定してから，RINTEビットの書き込み値が反映されたことを確認するか，復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後，RINTEビットが1になるのをポーリングで確認後にHALTモード，STOPモードへ移行する（図8－6　例1参照）。
- RINTE = 1に設定してから，カウント・クロックの1クロック分以上経過後にHALTモード，STOPモードへ移行する（図8－6　例2参照）。

図8－6　RINTE = 1に設定後のHALTモード，STOPモードへの移行手順



第9章　クロック出力／ブザー出力制御回路

注意　この章では，以降の主な説明を48ピン製品の場合で説明しています。

9.1　クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また，ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

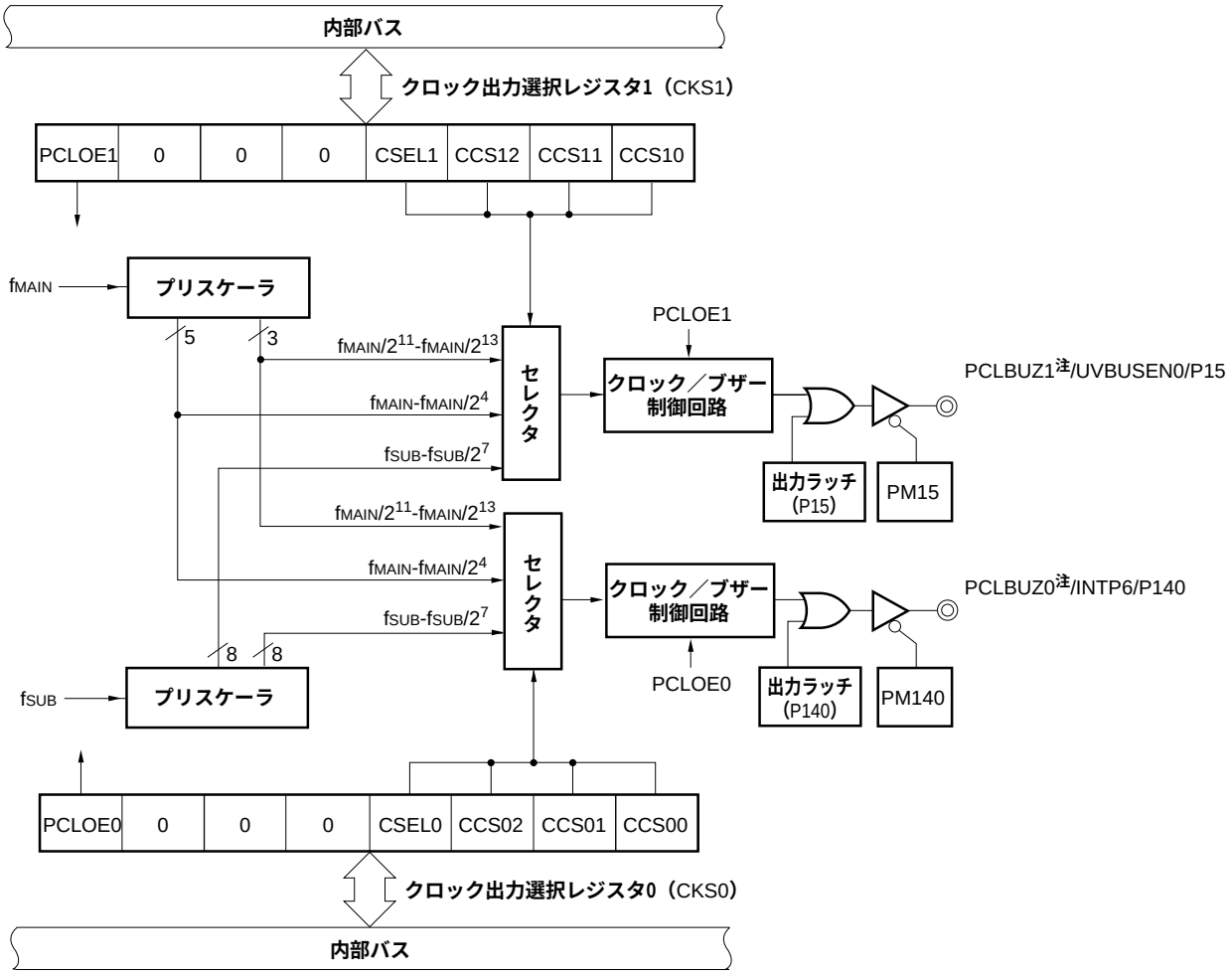
PCLBUZn端子は，クロック出力選択レジスタn（CKSn）で選択したクロックを出力します。

図9－1にクロック出力／ブザー出力制御回路のブロック図を示します。

注意　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモード時は，PCLBUZn端子から，サブシステム・クロック（f_{SUB}）を出力することはできません。

備考　n = 0, 1

図9－1　クロック出力／ブザー出力制御回路のブロック図



注　PCLBUZ0, PCLBUZ1端子から出力可能な周波数は，30. 4または31. 4　AC特性を参照してください。

備考　この図のクロック出力／ブザー出力端子は，48ピン製品でPIOR0 = 0の場合です。
その他の場合は，端子名，出力ラッチ（Pxx），PMxxが異なりますので読み替えてください（xx = 15, 30, 31, 41, 70, 120, 140）。

9.2　クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は，次のハードウエアで構成されています。

表9－1　クロック出力／ブザー出力制御回路の構成

項　　目	構　　成
制御レジスタ	クロック出力選択レジスタn（CKSn） ポート・モード・レジスタ1, 3, 4, 7, 12, 14（PM1, PM3, PM4, PM7, PM12, PM14） ポート・レジスタ1, 3, 4, 7, 12, 14（P1, P3, P4, P7, P12, P14）

9.3　クロック出力／ブザー出力制御回路を制御するレジスタ

クロック出力／ブザー出力制御回路は，次のレジスタで制御します。

・クロック出力選択レジスタn（CKSn）

・ポート・モード・レジスタ1, 3, 4, 7, 12, 14（PM1, PM3, PM4, PM7, PM12, PM14）

・ポート・レジスタ1, 3, 4, 7, 12, 14（P1, P3, P4, P7, P12, P14）

9.3.1　クロック出力選択レジスタn（CKSn）

クロック出力またはブザー周波数出力の端子（PCLBUZn）の出力許可／禁止，および出力クロックを設定するレジスタです。

CKSnレジスタで，PCLBUZn端子の出力するクロックを選択します。

CKSnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図9－2　クロック出力選択レジスタn（CKSn）のフォーマット

アドレス：FFFA5H（CKS0），FFFA6（CKS1）　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止（デフォルト）
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZn端子の出力クロックの選択				
					f_{MAIN} = 5 MHz	f_{MAIN} = 10 MHz	f_{MAIN} = 20 MHz	f_{MAIN} = 24 MHz
0	0	0	0	f_{MAIN}	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	$f_{MAIN}/2$	2.5 MHz	5 MHz	10 MHz注	12 MHz注
0	0	1	0	$f_{MAIN}/2^2$	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{MAIN}/2^3$	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{MAIN}/2^4$	312.5 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{MAIN}/2^{11}$	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
0	1	1	0	$f_{MAIN}/2^{12}$	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
0	1	1	1	$f_{MAIN}/2^{13}$	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	0	0	0	f_{SUB}	32.768 kHz			
1	0	0	1	$f_{SUB}/2$	16.384 kHz			
1	0	1	0	$f_{SUB}/2^2$	8.192 kHz			
1	0	1	1	$f_{SUB}/2^3$	4.096 kHz			
1	1	0	0	$f_{SUB}/2^4$	2.048 kHz			
1	1	0	1	$f_{SUB}/2^5$	1.024 kHz			
1	1	1	0	$f_{SUB}/2^6$	512 Hz			
1	1	1	1	$f_{SUB}/2^7$	256 Hz			

注　出力クロックは，16 MHz以内の範囲で使用してください。詳しくは，30. 4または31. 4　AC特性を参照してください。

注意1.　出力クロックの切り替えは，出力禁止（PCLOEn = 0）にしてから行ってください。

2.　メイン・システム・クロック選択時（CSELn = 0）にSTOPモードに移行する場合は，STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時（CSELn = 1）は，サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 0かつSTOPモード時にクロック出力が可能なためPCLOEn = 1に設定可能です。

3.　サブシステム・クロック供給モード制御レジスタ（OSMC）のRTCLPC = 1かつサブシステム・クロック（f_{SUB}）でCPU動作中のHALTモード時は，PCLBUZn端子から，サブシステム・クロック（f_{SUB}）を出力することはできません。

備考1.　n = 0, 1

2.　f_{MAIN} ：メイン・システム・クロック周波数

f_{SUB} ：サブシステム・クロック周波数

9. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は，対象チャネルと兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx））を設定してください。詳細は，4. 3. 1 ポート・モード・レジスタ，4. 3. 2　ポート・レジスタを参照してください。

クロック出力／ブザー出力端子を兼用するポート（P140/INTP6/PCLBUZ0，P15/PCLBUZ1/UVBUSEN0など）をクロック出力／ブザー出力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットおよびポート・レジスタ（Pxx）のビットに0を設定してください。

例）P140/INTP6/PCLBUZ0をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ14のPM140ビットを0に設定

ポート・レジスタ14のP140ビットを0に設定

9.4　クロック出力／ブザー出力制御回路の動作

1つの端子で，クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は，クロック出力選択レジスタ0（CKS0）で選択したクロック／ブザーを出力します。

PCLBUZ1端子は，クロック出力選択レジスタ1（CKS1）で選択したクロック／ブザーを出力します。

9.4.1　出力端子の動作

PCLBUZn端子は，次の手順で出力します。

① PCLBUZn端子として使用するポートに対応するポート・モード・レジスタ（PMxx）およびポート・レジスタ（Pxx）のビットに0を設定する。

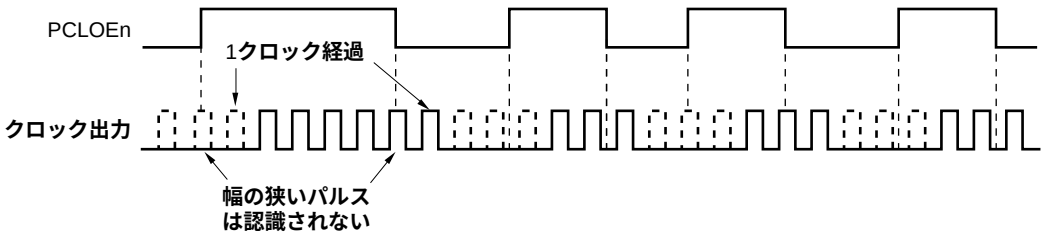
② PCLBUZn端子のクロック出力選択レジスタ（CKSn）のビット0-3（CCSn0-CCSn2，CSELn）で出力周波数を選択する（出力は禁止の状態）。

③ CKSnレジスタのビット7（PCLOEn）に1を設定し，クロック出力／ブザー出力を許可する。

備考1.　クロック出力用として使用するときの制御回路は，クロック出力の出力許可／禁止（PCLOEnビット）を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEnビットによる出力の許可／停止とクロック出力のタイミングを図9－4に示します。

2.　n = 0, 1

図9－4　PCLBUZn端子からのクロック出力のタイミング



9.5　クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択（CSELn = 0）している場合は，出力停止設定（PCLOEn = 0）にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると，PCLBUZnの出力幅が短くなります。

第10章　ウォッチドッグ・タイマ

10.1　ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは，オプション・バイト（000C0H）でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック（f_{IL}）で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時，内部リセット信号を発生します。

次の場合，プログラムの暴走と判断します。

・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合
・ウインドウ・クローズ期間中にWDTEレジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）のビット4（WDTRF）がセット（1）されます。RESFレジスタの詳細については第20章　リセット機能を参照してください。

また，オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生することもできます。

10.2　ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは，次のハードウエアで構成されています。

表10－1　ウォッチドッグ・タイマの構成

項　　目	構　　成
カウンタ	内部カウンタ（17ビット）
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

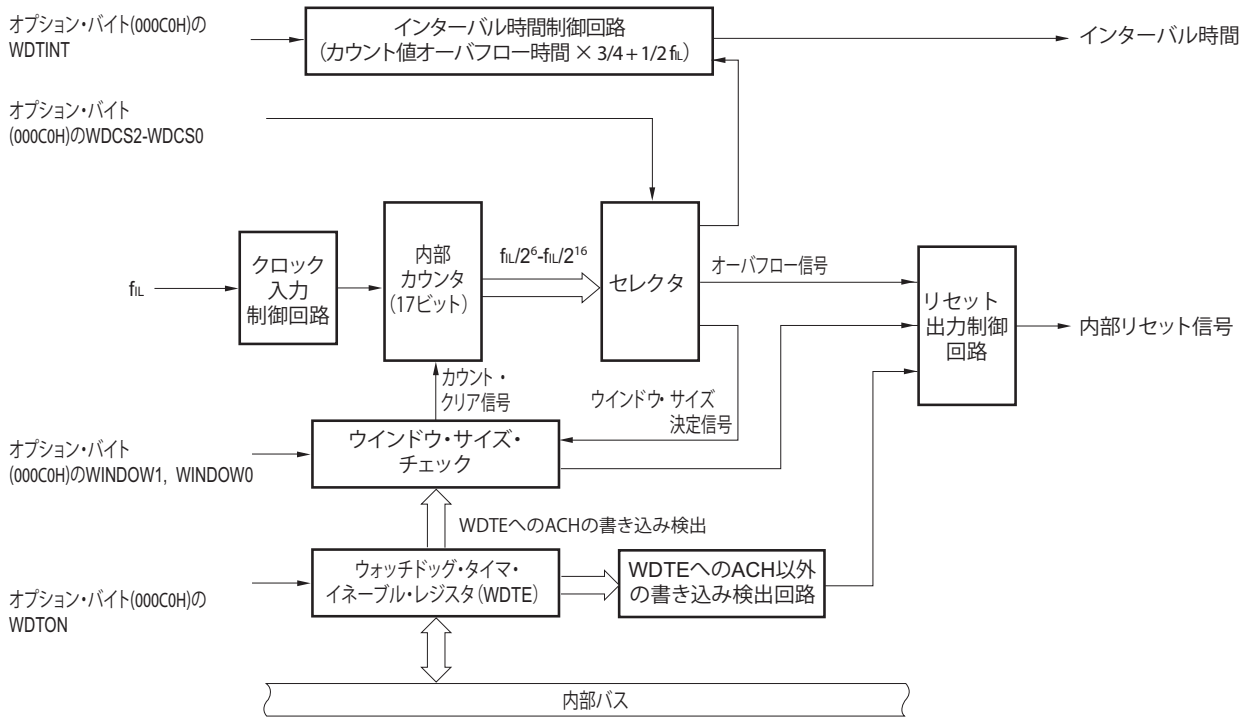
また，オプション・バイトで，カウンタの動作制御，オーバフロー時間の設定，ウインドウ・オープン期間の設定，インターバル割り込みの設定を行います。

表10－2　オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト（000C0H）
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7（WDTINT）
ウインドウ・オープン期間設定	ビット6, 5（WINDOW1, WINDOW0）
ウォッチドッグ・タイマのカウンタ動作制御	ビット4（WDTON）
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1（WDCS2- WDCS0）
ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）	ビット0（WDSTBYON）

備考　オプション・バイトについては，第25章　オプション・バイトを参照してください。

図10－1　ウォッチドッグ・タイマのブロック図



備考　fIL：低速オンチップ・オシレータ・クロック

10.3　ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）で制御します。

10.3.1　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）

WDTEレジスタに“ACH”を書き込むことにより，ウォッチドッグ・タイマのカウンタをクリアし，再びカウント開始します。

WDTEレジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により，9AHまたは1AH注になります。

図10－2　ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）のフォーマット

アドレス：FFFABH　リセット時：9AH／1AH注　R/W

略号	7	6	5	4	3	2	1	0
WDTE								

注　WDTEレジスタのリセット値は，オプション･バイト（000C0H）のWDTONビットの設定値によって，異なります。ウォッチドッグ・タイマを動作する場合は，WDTONビットに1を設定してください。

WDTONビットの設定値	WDTEレジスタのリセット値
0（ウォッチドッグ・タイマのカウント動作禁止）	1AH
1（ウォッチドッグ・タイマのカウント動作許可）	9AH

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合，内部リセット信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合，内部リセット信号を発生します。

3. WDTEレジスタのリード値は，“9AH／1AH”（書き込んだ値（“ACH”）とは異なる値）になります。

10. 4　ウォッチドッグ・タイマの動作

10. 4. 1　ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合，オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し，ウォッチドッグ・タイマのカウント動作を許可（リセット解除後，カウンタは動作開始）にしてください（詳細は，第25章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後，カウント停止）
1	カウント動作許可（リセット解除後，カウント開始）

・オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で，オーバフロー時間を設定してください（詳細は，10. 4. 2および第25章を参照）。
・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で，ウインドウ・オープン期間を設定してください（詳細は，10. 4. 3および第25章を参照）。

2. リセット解除後，ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと，オプション・バイトで設定したオーバフロー時間前に，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，ウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
4. 以後，リセット解除後2回目以降のWDTEレジスタへの書き込みについては，ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合，内部リセット信号を発生します。
5. WDTEレジスタに“ACH”を書き込まずに，オーバフロー時間を越えてしまった場合は，内部リセット信号を発生します。
   また，次の場合も，内部リセット信号を発生します。

・WDTEレジスタに1ビット操作命令を使用した場合
・WDTEレジスタに“ACH”以外のデータを書き込んだ場合

注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）への書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。
2. WDTEレジスタに“ACH”を書き込んでから，ウォッチドッグ・タイマのカウンタがクリアされるまで，最大f_{IL}の2クロックの誤差が生じる場合があります。
3. ウォッチドッグ・タイマのクリアは，カウント値がオーバフローする直前まで有効です。

注意4.　オプション・バイト（000C0H）のビット0（WDSTBYON）の設定値により，ウォッチドッグ・タイマのHALTおよびSTOPおよびSNOOZEモード時の動作は，次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合，HALTおよびSTOPモード解除後は，ウォッチドッグ・タイマのカウントを再開します。このとき，カウンタはクリア（0）して，カウント開始します。
STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

10. 4. 2　ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は，オプション・バイト（000C0H）のビット3-1（WDCS2-WDCS0）で設定します。

オーバフロー時は，内部リセット信号を発生します。オーバフロー時間前の，ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むことにより，カウントはクリアされ，再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表10－3　ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
★ 1	0	1	$2^{13}/f_{IL}$（474.89 ms）注
★ 1	1	0	$2^{14}/f_{IL}$（949.79 ms）注
★ 1	1	1	$2^{16}/f_{IL}$（3799.18 ms）注

★ **注**　下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

- ウォッチドッグ・タイマのオーバフローの時間を$2^{13}/f_{IL}$，$2^{14}/f_{IL}$または$2^{16}/f_{IL}$ に設定
- ウォッチドッグ・タイマのインターバル割り込みを使用
- ウォッチドッグ・タイマのカウンタ値がオーバフロー時間で75% 以上の時にWDTE レジスタ(FFFABH)にACH を書き込み

① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット
② ウォッチドッグ・タイマのカウンタをクリア
③ 80 μs 以上ウエイト
④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア
⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

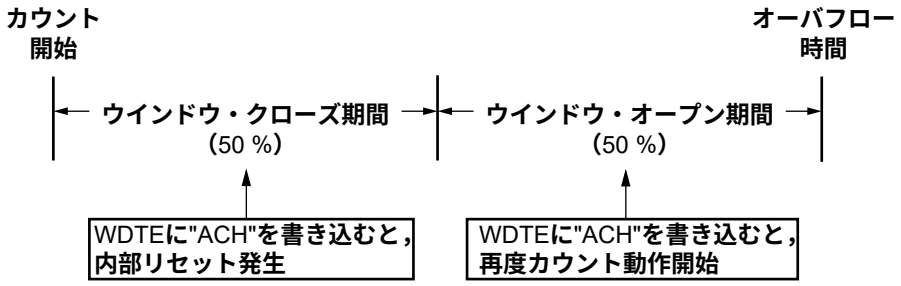
備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

10. 4. 3　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は，オプション・バイト（000C0H）のビット6，5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

・ウインドウ・オープン期間中は，ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に“ACH”を書き込むと，ウォッチドッグ・タイマをクリアし，再度カウント動作を開始します。
・ウインドウ・クローズ期間中は，WDTEレジスタに“ACH”を書き込んでも，異常検出され，内部リセットを発生します。

例　ウインドウ・オープン期間が50 %の場合



注意　リセット解除後1回目のWDTEレジスタへの書き込みだけは，ウインドウ・オープン時間に関係なく，オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ，再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表10－4　ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

★　**注**　ウインドウ・オープン期間を75%に設定した時に，ウォッチドッグ・タイマのカウンタ・クリア（WDTEへのACHの書き込み）を行う場合，ウォッチドッグ・タイマのインターバル割り込み要求フラグ（WDTIIF）を確認する等，下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間(f_{IL} = 17.25 kHz (MAX.)の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/f_{IL}$ (3.71 ms)	1.85 ms～2.51 ms
0	0	1	$2^7/f_{IL}$ (7.42 ms)	3.71 ms～5.02 ms
0	1	0	$2^8/f_{IL}$ (14.84 ms)	7.42 ms～10.04 ms
0	1	1	$2^9/f_{IL}$ (29.68 ms)	14.84 ms～20.08 ms
1	0	0	$2^{11}/f_{IL}$ (118.72 ms)	56.36 ms～80.32 ms
1	0	1	$2^{13}/f_{IL}$ (474.89 ms)	237.44 ms～321.26 ms
1	1	0	$2^{14}/f_{IL}$ (949.79 ms)	474.89 ms～642.51 ms
1	1	1	$2^{16}/f_{IL}$ (3799.18 ms)	1899.59 ms～2570.04 ms

注意　オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは，WINDOW1，WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　オーバフロー時間を$2^9/f_{IL}$に設定した場合，ウインドウ・クローズ時間とオープン時間は，次のようになります。

	ウインドウ・オープン期間の設定		
	50 %	75 %	100 %
ウインドウ・クローズ時間	0～20.08 ms	0～10.04 ms	なし
ウインドウ・オープン時間	20.08～29.68 ms	10.04～29.68 ms	0～29.68 ms

<ウインドウ・オープン期間50 %のとき>

・オーバフロー時間：

$2^9/f_{IL}$ (MAX.) = 2^9 /17.25 kHz = 29.68 ms

・ウインドウ・クローズ時間：

0～$2^9/f_{IL}$ (MIN.) ×（1－0.5）= 0～2^9/12.75 kHz ×0.5 = 0～20.08 ms

・ウインドウ・オープン時間：

$2^9/f_{IL}$ (MIN.) ×（1－0.5）～$2^9/f_{IL}$ (MAX.) = 2^9/12.75 kHz ×0.5～2^9 /17.25 kHz

= 20.08～29.68 ms

10. 4. 4　ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト（000C0H）のビット7（WDTINT）の設定により，オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込み（INTWDTI）を発生することができます。

表10－5　ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%＋1/2f_{IL}到達時にインターバル割り込みを発生する

注意　STOPモード解除後にX1発振クロックで動作する場合は，CPUは発振安定時間経過後に動作を開始します。
そのため，STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと，発振安定時間中にオーバフローしてリセットが発生します。
よって，インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し，ウォッチドッグ・タイマをクリアする場合は，発振安定時間経過後にクリアすることになるため，その時間を考慮してオーバフロー時間を設定してください。

備考　INTWDTI発生後も（ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）にACHを書き込むまで）カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は，内部リセット信号を発生します。

第11章　A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は，製品によって異なります。

	32ピン	48ピン
アナログ 入力チャネル	8ch (ANI0-ANI4, ANI16, ANI17, ANI19)	9ch (ANI0-ANI7, ANI19)

注意　この章では，以降の主な説明を48ピン製品の場合で説明しています。

11. 1　A/Dコンバータの機能

A/Dコンバータは，アナログ入力をデジタル値に変換するコンバータで，最大9チャネルのA/Dコンバータ・アナログ入力（ANI0-ANI7, ANI19）を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2（ADM2）のADTYPビットにより，10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには，次のような機能があります。

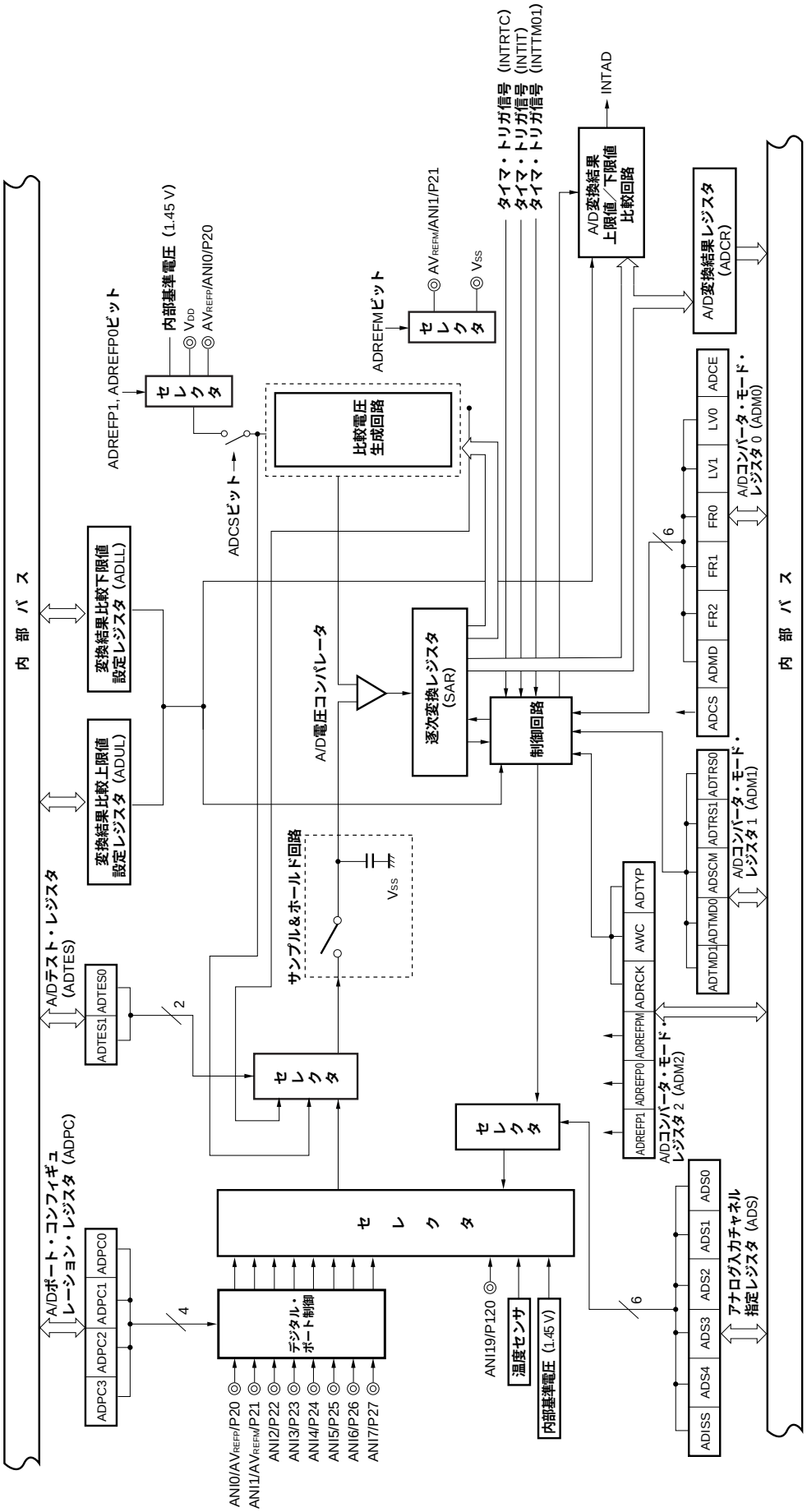
・10ビット／8ビット分解能 A/D変換

ANI0-ANI7，ANI19からアナログ入力を1チャネル選択し，10ビット／8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに，割り込み要求（INTAD）を発生します（セレクト・モード時の場合）。

下記のモードの組み合わせにより，様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウエア・トリガ	ソフトウエア操作で，変換動作を開始します。
	ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガを検出することにより，変換動作を開始します。
	ハードウエア・トリガ・ウエイト・モード	パワー・オフでの変換待機状態でハードウエア・トリガを検出することにより，パワー・オンとなり，A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は，ハードウエア・トリガ・ウエイト・モードを選択してください。
チャネル選択モード	セレクト・モード	アナログ入力を1チャネル選択し，A/D変換します。
	スキャン・モード	4チャネルのアナログ入力を順番にA/D変換します。ANI0-ANI7のうち連続した4チャネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャネルを1回A/D変換します。
	連続変換モード	選択したチャネルをソフトウエアで停止するまで，連続してA/D変換します。
動作電圧モード	標準1／標準2 モード	2.7 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	2.4 V ≦ V_{DD} ≦ 5.5 Vの動作電圧範囲で変換動作が可能です。 低電圧時に変換動作する時に選択します。低電圧動作のため，変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数：7 f_{AD}	標準1／低電圧1モードのサンプリング時間は，変換クロック（f_{AD}）の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数：5 f_{AD}	標準2／低電圧2モードのサンプリング時間は，変換クロック（f_{AD}）の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図11－1　A/Dコンバータのブロック図



備考　この図のアナログ入力端子は，48ピン製品の場合です。

11. 2　A/Dコンバータの構成

A/Dコンバータは，次のハードウエアで構成しています。

（1）ANI0-ANI7, ANI19端子

A/Dコンバータの9チャネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は，入出力ポートとして使用できます。

（2）サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし，A/D電圧コンパレータに送ります。A/D変換動作中は，サンプリングしたアナログ入力電圧を保持します。

（3）A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と，アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果，アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より大きい場合には，逐次変換レジスタ（SAR）の最上位ビット（MSB）をセットします。アナログ入力電圧がリファレンス電圧（1/2 AV_{REF}）より小さい場合には，SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ，次の比較に移ります。ここではすでに結果がセットされているビット9の値によって，比較電圧生成回路の電圧タップが選択されます。

ビット9 = 0：（1/4 AV_{REF}）
ビット9 = 1：（3/4 AV_{REF}）

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し，その結果でSARレジスタのビット8を操作します。

アナログ入力電圧≧比較電圧生成回路の電圧タップ：ビット8 = 1
アナログ入力電圧≦比較電圧生成回路の電圧タップ：ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。
8ビット分解能でA/D変換する場合は，SARレジスタのビット2まで続けます。

備考　AV_{REF} : A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

（4）比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

（5）逐次変換レジスタ（SAR：Successive Approximation Register）

SARレジスタは，比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを，最上位ビット（MSB）から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット（LSB）まで設定すると（A/D変換終了），そのSARレジスタの内容（変換結果）は，A/D変換結果レジスタ（ADCR）に保持されます。また，指定されたすべてのA/D変換が終了すると，A/D変換終了割り込み要求信号（INTAD）が発生します。

（6）10ビットA/D変換結果レジスタ（ADCR）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果を上位10ビットに保持します（下位6ビットは0に固定）。

（7）8ビットA/D変換結果レジスタ（ADCRH）

A/D変換が終了するたびに，逐次変換レジスタから変換結果がロードされ，A/D変換結果の上位8ビットを格納します。

（8）制御回路

A/D変換するアナログ入力の変換時間，変換動作の開始／停止などを制御します。A/D変換が終了した場合，A/D変換結果上限値／下限値比較回路を通りINTADを発生します。

（9）AV_{REFP}端子

外部から基準電圧（AV_{REFP}）を入力する端子です。

AV_{REFP}をA/Dコンバータの＋側基準電圧として使用する場合は，A/Dコンバータ・モード・レジスタ2（ADM2）のADREFP1ビットに0を，ADREFP0ビットに1を設定してください。

AV_{REFP}と－側基準電圧（AV_{REFM}/V_{SS}）間にかかる電圧に基づいて，ANI0-ANI7, ANI19に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの＋側基準電圧には，AV_{REFP}のほかにV_{DD}と内部基準電圧（1.45 V）を選択することが可能です。

（10）AV_{REFM}端子

外部から基準電圧（AV_{REFM}）を入力する端子です。AV_{REFM}をA/Dコンバータの－側基準電圧として使用する場合は，ADM2レジスタのADREFMビットをセット（1）してください。

A/Dコンバータの－側基準電圧には，AV_{REFM}のほかにV_{SS}を選択することが可能です。

11.3　A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ1（ADM1）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・10ビットA/D変換結果レジスタ（ADCR）
・8ビットA/D変換結果レジスタ（ADCRH）
・アナログ入力チャネル指定レジスタ（ADS）
・変換結果比較上限値設定レジスタ（ADUL）
・変換結果比較下限値設定レジスタ（ADLL）
・A/Dテスト・レジスタ（ADTES）
・A/Dポート・コンフィギュレーション・レジスタ（ADPC）
・ポート・モード・コントロール・レジスタ0, 12（PMC0, PMC12）
・ポート・モード・レジスタ0, 2, 12（PM0, PM2, PM12）

11. 3. 1 周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは，必ずビット5（ADCEN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－2 周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入力クロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

注意1. A/Dコンバータの設定をする際には，必ず最初にADCEN = 1の状態で，下記のレジスタの設定を行ってください。

ADCEN = 0の場合は，A/Dコンバータの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ0, 2, 12（PM0, PM2, PM12），ポート・モード・コントロール・レジスタ0，12（PMC0，PMC12），A/Dポート・コンフィギュレーション・レジスタ（ADPC）は除く）。

・A/Dコンバータ・モード・レジスタ0（ADM0）
・A/Dコンバータ・モード・レジスタ1（ADM1）
・A/Dコンバータ・モード・レジスタ2（ADM2）
・10ビットA/D変換結果レジスタ（ADCR）
・8ビットA/D変換結果レジスタ（ADCRH）
・アナログ入力チャネル指定レジスタ（ADS）
・変換結果比較上限値設定レジスタ（ADUL）
・変換結果比較下限値設定レジスタ（ADLL）
・A/Dテスト・レジスタ（ADTES）

2. ビット1, 3, 6には必ず“0”を設定してください。

11. 3. 2 A/Dコンバータ・モード・レジスタ0（ADM0）

A/D変換するアナログ入力の変換時間，変換動作の開始／停止を設定するレジスタです。

ADM0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－3 A/Dコンバータ・モード・レジスタ0（ADM0）のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止 ［リード時］ 変換動作停止／待機状態
1	変換動作許可 ［リード時］ ソフトウエア・トリガ・モード時：変換動作状態 ハードウエア・トリガ・ウエイト・モード時：A/D電源安定待ち状態＋変換動作状態

ADMD	A/D変換チャネル選択モードを設定
0	セレクト・モード
1	スキャン・モード

ADCE	A/D電圧コンパレータの動作制御注2
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

注1. FR2-FR0, LV1, LV0ビットおよびA/D変換に関する詳細は，表11－3 A/D変換時間の選択を参照してください。

2. ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，A/D電圧コンパレータはADCSビットとADCEビットで動作制御され，動作開始から安定するまでに，1 μsかかります。このため，ADCEビットに1を設定してから1 μs以上経過したあとに，ADCSビットに1を設定することで，最初の変換データより有効となります。1 μs以上ウエイトしないでADCSビットに1を設定した場合は，最初の変換データを無視してください。

注意 1. ADMD, FR2-FR0, LV1, LV0ビットの変更は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

2. ADCS = 1, ADCE = 0の設定は禁止です。

3. ADCS = 0, ADCE = 0設定状態から8ビット操作命令でADCS = 1, ADCE = 1に設定することは禁止します。必ず11. 7 A/Dコンバータの設定フローチャートの手順に従ってください。

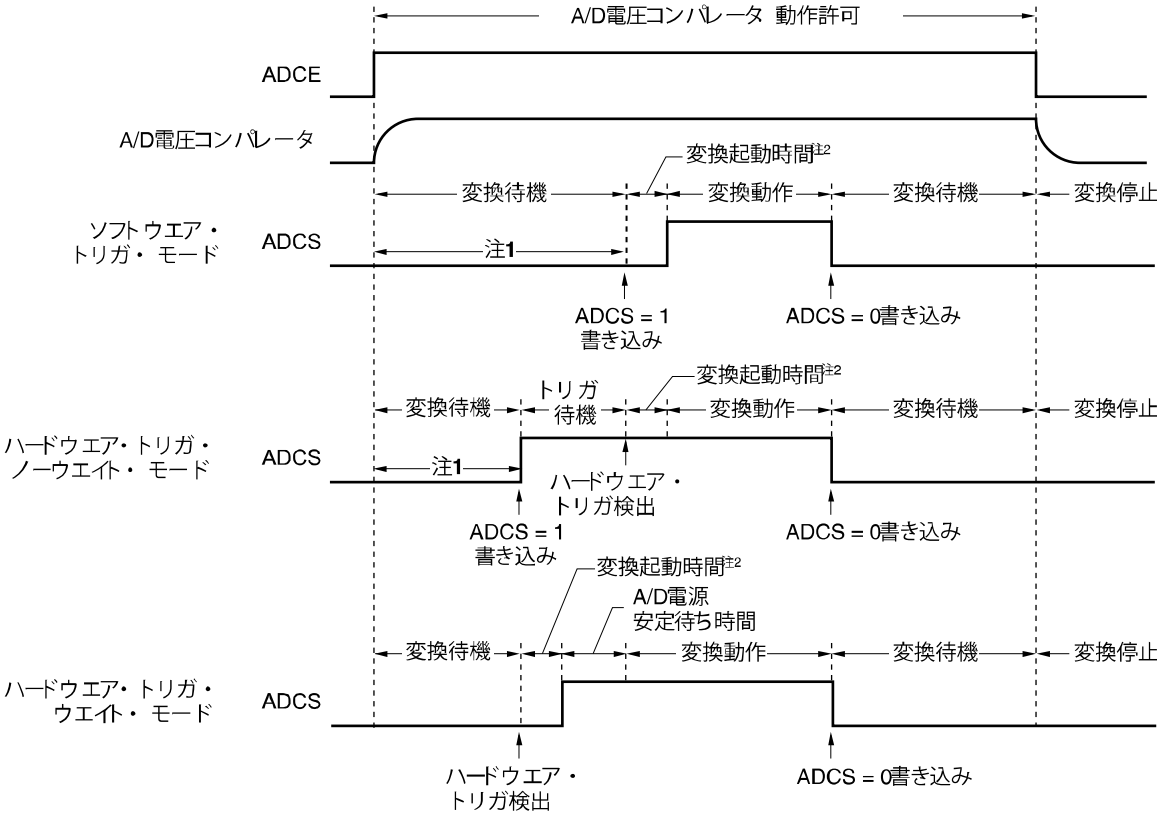
表11－1　ADCSビットとADCEビットの設定

ADCS	ADCE	A/D変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表11－2　ADCSビットのセット／クリア条件

A/D変換モード			セット条件	クリア条件
ソフトウエア・トリガ	セレクト・モード	連続変換モード	ADCS = 1ライトした場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア
ハードウエア・トリガ・ノーウエイト・モード	セレクト・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		ADCS = 0ライトした場合
ハードウエア・トリガ・ウエイト・モード	セレクト・モード	連続変換モード	ハードウエア・トリガが入力された場合	ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・AD変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0ライトした場合
		ワンショット変換モード		・ADCS = 0ライトした場合 ・設定した4チャネル分の変換が終了すると，自動的に“0”にクリア

図11－4　A/D電圧コンパレータ使用時のタイミング・チャート



注1.　ソフトウエア・トリガ・モード時およびハードウエア・トリガ・ノーウエイト・モード時，ADCEビットの立ち上がりから，ADCSビットの立ち上がりまでの時間は，内部回路安定のため，1 μs以上必要です。

2.　変換起動には，最大で次の時間がかかります。

ADM0			変換クロック	起動時間（f_{CLK}クロック数）	
FR2	FR1	FR0	（f_{AD}）	ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード	ハードウエア・トリガ・ウエイト・モード
0	0	0	f_{CLK}/64	63	1
0	0	1	f_{CLK}/32	31	
0	1	0	f_{CLK}/16	15	
0	1	1	f_{CLK}/8	7	
1	0	0	f_{CLK}/6	5	
1	0	1	f_{CLK}/5	4	
1	1	0	f_{CLK}/4	3	
1	1	1	f_{CLK}/2	1	

ただし，連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

（注意は次ページにあります。）

注意1. ハードウエア・トリガ・ウエイト・モードで使用する場合，ADCSビットに1を設定するのは禁止です（ハードウエア・トリガ信号検出時に，自動的に1に切り替わります)。ただし，AD変換待機状態にするために，ADCSビットに0を設定することは可能です。

2. ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時，AD変換終了時にADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

3. ADCEビットの書き換えは，ADCS = 0（変換停止／変換待機状態）のときに行ってください。

4. A/D変換を完了させるためには，ハード・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時：

f_{CLK}の2クロック＋変換起動時間＋A/D変換時間

ハードウエア・トリガ・ウエイト・モード時：

f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表11－3　A/D変換時間の選択（1/4）

（1）A/D電源安定待ち時間なし　標準モード1, 2

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数[注1]	変換時間	10ビット分解能時の変換時間 2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	0	0	標準1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32		608/f_{CLK}				38 μs	25.3333 μs
0	1	0				f_{CLK}/16		304/f_{CLK}			38 μs	19 μs	12.6667 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs	6.3333 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs	7.125 μs	4.7500 μs
1	0	1				f_{CLK}/5		95/f_{CLK}		23.75 μs	11.875 μs	5.9375 μs	3.9583 μs
1	1	0				f_{CLK}/4		76/f_{CLK}		19 μs	9.5 μs	4.75 μs	3.1667 μs 注2, 3
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs[注2,3]	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32		544/f_{CLK}				34 μs	22.6667 μs
0	1	0				f_{CLK}/16		272/f_{CLK}			34 μs	17 μs	11.3333 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs	5.6667 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs	6.375 μs	4.2500 μs
1	0	1				f_{CLK}/5		85/f_{CLK}		21.25 μs	10.625 μs	5.3125 μs	3.5417 μs[注2]
1	1	0				f_{CLK}/4		68/f_{CLK}		17 μs	8.5 μs	4.25 μs	2.8333 μs 注2, 3
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs	4.25 μs	2.125 μs[注2,3]	設定禁止

注 1.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

2.　温度センサ使用時は設定禁止。

3.　V_{DD}＜3.6 Vでは設定禁止。

注意 1.　A/D変換時間は，30. 6. 1および31. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内でご使用ください。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表11－3　A/D変換時間の選択（2/4）

（2）A/D電源安定待ち時間なし　低電圧**モード**1, 2[注1]

（ソフトウエア・トリガ・モード／ハードウエア・トリガ・ノーウエイト・モード）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	変換クロック数[注2]	変換時間	10ビット分解能時の変換時間				
									2.4 V≦V_{DD}≦5.5 V				注3
FR2	FR1	FR0	LV1	LV0					f_{CLK} = 1 MHz	f_{CLK} = 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32		608/f_{CLK}				38 μs	25.3333 μs
0	1	0				f_{CLK}/16		304/f_{CLK}			38 μs	19 μs	12.6667 μs
0	1	1				f_{CLK}/8		152/f_{CLK}		38 μs	19 μs	9.5 μs[注4]	6.3333 μs
1	0	0				f_{CLK}/6		114/f_{CLK}		28.5 μs	14.25 μs[注4]	7.125 μs[注4]	4.7500 μs
1	0	1				f_{CLK}/5		95/f_{CLK}		23.75 μs	11.875 μs[注4]	5.9375 μs[注4]	3.9583 μs
1	1	0				f_{CLK}/4		76/f_{CLK}		19 μs	9.5 μs[注4]	4.75 μs[注4]	3.1667 μs[注5]
1	1	1				f_{CLK}/2		38/f_{CLK}	38 μs	9.5 μs[注4]	4.75 μs[注4]	2.375 μs[注5]	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1088/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32		544/f_{CLK}				34 μs	22.6667 μs
0	1	0				f_{CLK}/16		272/f_{CLK}			34 μs	17 μs	11.3333 μs
0	1	1				f_{CLK}/8		136/f_{CLK}		34 μs	17 μs	8.5 μs[注4]	5.6667 μs
1	0	0				f_{CLK}/6		102/f_{CLK}		25.5 μs	12.75 μs[注4]	6.375 μs[注4]	4.2500 μs
1	0	1				f_{CLK}/5		85/f_{CLK}		21.25 μs	10.625 μs[注4]	5.3125 μs[注4]	3.5417 μs
1	1	0				f_{CLK}/4		68/f_{CLK}		17 μs	8.5 μs[注4]	4.25 μs[注4]	2.8333 μs[注5]
1	1	1				f_{CLK}/2		34/f_{CLK}	34 μs	8.5 μs[注4]	4.25 μs[注4]	2.125 μs[注5]	設定禁止

注 1.　温度センサ使用時は設定禁止。

2.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

3.　2.7 V≦V_{DD}≦5.5 V

4.　V_{DD}＜2.7 Vでは設定禁止。

5.　V_{DD}＜3.6 Vでは設定禁止。

注意 1.　A/D変換時間は，30. 6. 1および31. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内でご使用ください。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表11－3　A/D変換時間の選択（3/4）

（3）A/D電源安定待ち時間あり　標準モード1, 2

（ハードウエア・トリガ・ウエイト・モード[注1]）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数[注2]	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時の変換時間 2.7 V≦V_{DD}≦5.5 V				
FR2	FR1	FR0	LV1	LV0						f_{CLK}= 1 MHz	f_{CLK}= 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	0	0	標準1	f_{CLK}/64	8 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1728/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			864/f_{CLK}				54 μs	36.0μs
0	1	0				f_{CLK}/16			432/f_{CLK}			54 μs	27 μs	18.0 μs
0	1	1				f_{CLK}/8			216/f_{CLK}		54 μs	27 μs	13.5 μs	9.0 μs
1	0	0				f_{CLK}/6			162/f_{CLK}		40.5 μs	20.25 μs	10.125 μs	6.8 μs
1	0	1				f_{CLK}/5			135/f_{CLK}		33.75 μs	16.875 μs	8.4375 μs	5.6 μs
1	1	0				f_{CLK}/4			108/f_{CLK}		27 μs	13.5 μs	6.75 μs	4.5 μs[注3,4]
1	1	1				f_{CLK}/2			54/f_{CLK}	54 μs	13.5 μs	6.75 μs	3.375 μs 注3, 4	設定禁止
0	0	0	0	1	標準2	f_{CLK}/64	8 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1600/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			800/f_{CLK}				50 μs	33.3333 μs
0	1	0				f_{CLK}/16			400/f_{CLK}			50 μs	25 μs	16.6667 μs
0	1	1				f_{CLK}/8			200/f_{CLK}		50 μs	25 μs	12.5 μs	8.3333 μs
1	0	0				f_{CLK}/6			150/f_{CLK}		37.5 μs	18.75 μs	9.375 μs	6.2500 μs
1	0	1				f_{CLK}/5			125/f_{CLK}		31.25 μs	15.625 μs	7.8125 μs	5.2083 μs 注3
1	1	0				f_{CLK}/4			100/f_{CLK}		25 μs	12.5 μs	6.25 μs	4.1667 μs 注3, 4
1	1	1				f_{CLK}/2			50/f_{CLK}	50 μs	12.5 μs	6.25 μs	3.125 μs 注3, 4	設定禁止

注1.　連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表11－3（1/4）参照）。

2.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

3.　温度センサ使用時は設定禁止。

4.　V_{DD}＜3.6 Vでは設定禁止。

注意1.　A/D変換時間は，30. 6. 1および31. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内でご使用ください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4.　ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

表11－3　A/D変換時間の選択（4/4）

（4）A/D電源安定待ち時間あり　低電圧モード1, 2[注1]

（ハードウエア・トリガ・ウエイト・モード[注2]）

A/Dコンバータ・モード・レジスタ0（ADM0）					モード	変換クロック（f_{AD}）	A/D電源安定待ちクロック数	変換クロック数[注3]	A/D電源安定待ち時間＋変換時間	A/D電源安定待ち時間＋10ビット分解能時の変換時間				
										2.4 V≦V_{DD}≦5.5 V				注4
FR2	FR1	FR0	LV1	LV0						f_{CLK}= 1 MHz	f_{CLK}= 4 MHz	f_{CLK} = 8 MHz	f_{CLK} = 16 MHz	f_{CLK} = 24 MHz
0	0	0	1	0	低電圧1	f_{CLK}/64	2 f_{AD}	19 f_{AD}（サンプリング・クロック数：7 f_{AD}）	1344/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			672/f_{CLK}				42 μs	28 μs
0	1	0				f_{CLK}/16			336/f_{CLK}			42 μs	21 μs	14 μs
0	1	1				f_{CLK}/8			168/f_{CLK}		42 μs	21 μs	10.5 μs[注5]	7 μs
1	0	0				f_{CLK}/6			126/f_{CLK}		31.5 μs	15.75 μs[注5]	7.875 μs[注5]	5.25 μs
1	0	1				f_{CLK}/5			105/f_{CLK}		26.25 μs	13.125 μs[注5]	6.5625 μs[注5]	4.375 μs
1	1	0				f_{CLK}/4			84/f_{CLK}		21 μs	10.5 μs[注5]	5.25 μs[注5]	3.5 μs[注6]
1	1	1				f_{CLK}/2			42/f_{CLK}	42 μs	10.5 μs[注5]	5.25 μs[注5]	2.625 μs[注6]	設定禁止
0	0	0	1	1	低電圧2	f_{CLK}/64	2 f_{AD}	17 f_{AD}（サンプリング・クロック数：5 f_{AD}）	1216/f_{CLK}	設定禁止	設定禁止	設定禁止	設定禁止	設定禁止
0	0	1				f_{CLK}/32			608/f_{CLK}				38 μs	25.3333 μs
0	1	0				f_{CLK}/16			304/f_{CLK}			38 μs	19 μs	12.6667 μs
0	1	1				f_{CLK}/8			152/f_{CLK}		38 μs	19 μs	9.5 μs[注5]	6.3333 μs
1	0	0				f_{CLK}/6			114/f_{CLK}		28.5 μs	14.25 μs[注5]	7.125 μs[注5]	4.7500 μs
1	0	1				f_{CLK}/5			95/f_{CLK}		23.75 μs	11.875 μs[注5]	5.9375 μs[注5]	3.9583 μs
1	1	0				f_{CLK}/4			76/f_{CLK}		19 μs	9.5 μs[注5]	4.75 μs[注5]	3.1667 μs[注6]
1	1	1				f_{CLK}/2			38/f_{CLK}	38 μs	9.5 μs[注5]	4.75 μs[注5]	2.375 μs[注6]	設定禁止

注1.　温度センサ使用時は設定禁止。

2.　連続変換モードの2回目以降と，スキャン・モードのスキャン1以降の変換では，ハードウエア・トリガ検出後に，変換起動時間やA/D電源安定待ち時間は発生しません（表11－3（2/4）参照）。

3.　10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は，変換クロック（f_{AD}）の2クロック分短くなります。

4.　2.7 V≦V_{DD}≦5.5 V

5.　V_{DD}＜2.7 Vでは設定禁止。

6.　V_{DD}＜3.6 Vでは設定禁止。

注意1.　A/D変換時間は，30. 6. 1および31. 6. 1　A/Dコンバータ特性に示す変換時間（t_{CONV}）の範囲内でご使用ください。なお，変換時間（t_{CONV}）はA/D電源安定待ち時間を含みません。

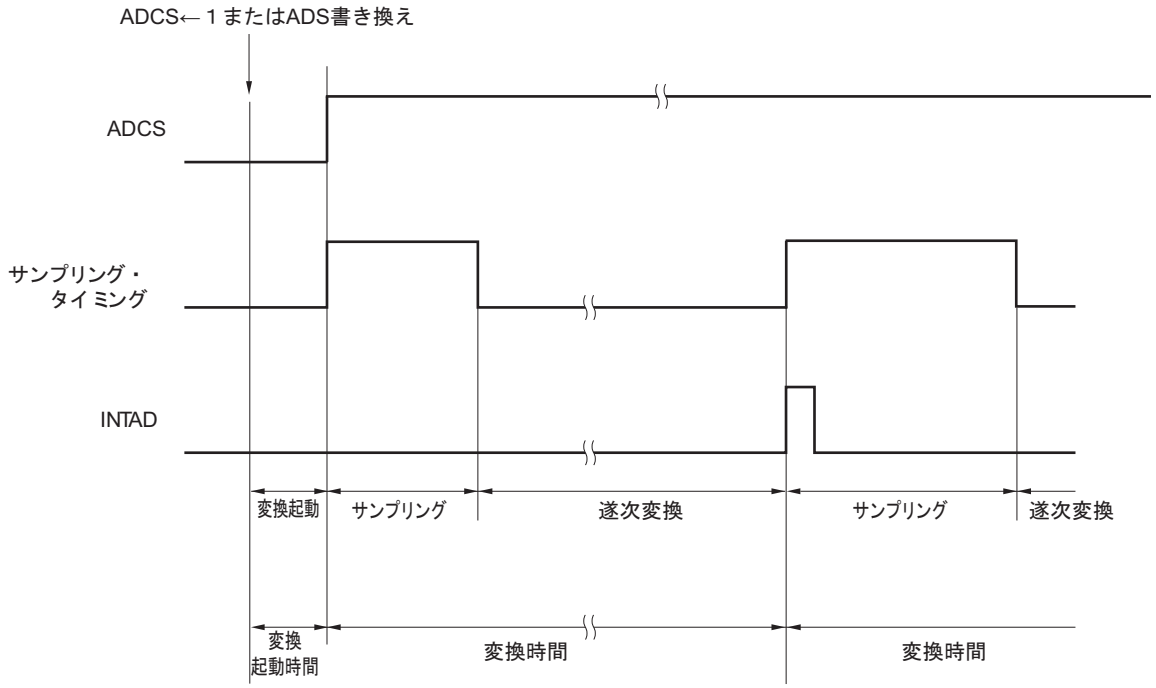
2.　FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は，変換停止状態（ADCS = 0, ADCE = 0）で行ってください。

3.　変換時間は変換起動時間を含みません。1回目の変換では，変換起動時間を加算してください。
また変換時間は，クロック周波数の誤差を含みません。誤差を考慮して，変換時間を選択してください。

4.　ハードウエア・トリガ・ウエイト・モード時の変換時間は，ハードウエア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

図11－5　A/Dコンバータのサンプリングと A/D変換のタイミング（例　ソフトウエア・トリガ・モードの場合）



11. 3. 3 A/Dコンバータ・モード・レジスタ1（ADM1）

A/D変換トリガ，変換モード，ハードウエア・トリガ信号を設定するレジスタです。

ADM1レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－6 A/Dコンバータ・モード・レジスタ1（ADM1）のフォーマット

アドレス：FFF32H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0

ADTMD1	ADTMD0	A/D変換トリガ・モードの選択
0	－	ソフトウエア・トリガ・モード
1	0	ハードウエア・トリガ・ノーウエイト・モード
1	1	ハードウエア・トリガ・ウエイト・モード

ADSCM	A/D変換動作モードの設定
0	連続変換モード
1	ワンショット変換モード

ADTRS1	ADTRS0	ハードウエア・トリガ信号の選択
0	0	タイマ・チャネル1のカウント完了またはキャプチャ完了割り込み信号（INTTM01）
0	1	設定禁止
1	0	リアルタイム・クロック割り込み信号（INTRTC）
1	1	12ビット・インターバル・タイマ割り込み信号（INTIT）

注意1. ADM1レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2. A/D変換を完了させるためには，ハードウエア・トリガ間隔を次の時間以上としてください。

ハードウエア・トリガ・ノーウエイト・モード時：

f_{CLK}の2クロック＋変換起動時間＋A/D変換時間

ハードウエア・トリガ・ウエイト・モード時：

f_{CLK}の2クロック＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間

3. SNOOZE機能以外のモードにおいて，INTRTC，INTIT入力後最大f_{CLK}の4クロック間は，次のINTRTC, INTIT入力がトリガとして有効になりません。

11. 3. 4 A/Dコンバータ・モード・レジスタ2（ADM2）

A/Dコンバータの＋側基準電圧および－側基準電圧の選択，A/D変換結果の上限値／下限値のチェック，分解能の選択，およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－7 A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（1/2）

アドレス：F0010H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの＋側の基準電圧の選択
0	0	V_{DD}から供給
0	1	P20/AV_{REFP}/ANI0から供給
1	0	内部基準電圧（1.45 V）から供給注
1	1	設定禁止

・ADREFP1, ADREFP0ビットを書き換える場合，次の手順で設定してください。

① ADCE = 0に設定
② ADREFP1, ADREFP0の値を変更
③ 基準電圧安定待ち時間ウエイト（A）
④ ADCE = 1に設定
⑤ 基準電圧安定待ち時間ウエイト（B）

ADREFP1, ADREFP0 = 1, 0に変更する場合： A = 5 μs， B = 1 μs
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合： Aはウエイト不要，B = 1 μs
⑤のウエイトのあとに，A/D変換開始してください。

・ADREFP1, ADREFP 0 = 1, 0に設定した場合，温度センサ出力と内部基準電圧出力をA/D変換することはできません。
必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの－側の基準電圧の選択
0	V_{SS}から供給
1	P21/AV_{REFM}/ANI1から供給

注 HS（高速メイン）モードでのみ選択可能です。

注意1. ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADREFP1 = 1に設定しないでください。内部基準電圧（ADREFP1, ADREFP0 = 1, 0）選択時は，30. 4. 2または31. 4 .2 電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

3. AV_{REFP}とAV_{REFM}を使用する場合は，ANI0とANI1をアナログ入力に設定し，ポート・モード・レジスタは入力モードに設定してください。

図11－7　A/Dコンバータ・モード・レジスタ2（ADM2）のフォーマット（2/2）

アドレス：F0010H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限／下限値チェック
0	ADLLレジスタ≦ADCRレジスタ≦ADULレジスタ（AREA1）のとき割り込み信号（INTAD）が発生。
1	ADCRレジスタ＜ADLLレジスタ（AREA2），ADULレジスタ＜ADCRレジスタ（AREA3）のとき割り込み信号（INTAD）が発生。
①～③の割り込み信号（INTAD）発生範囲を図11－8に示します。	

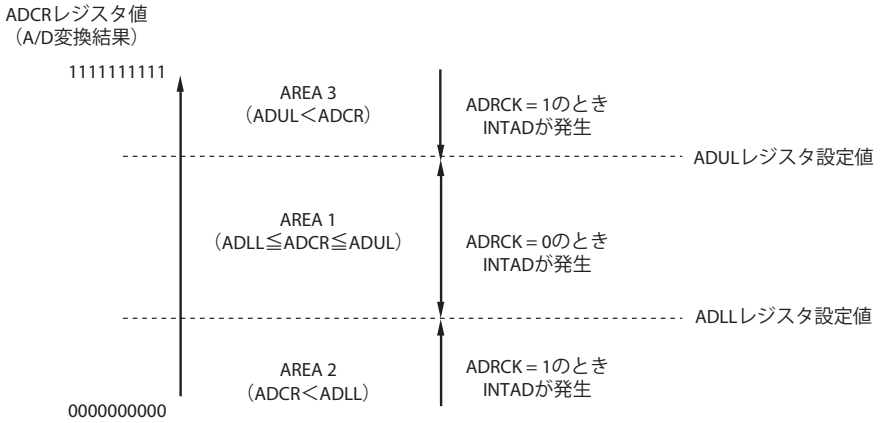
AWC	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する
STOPモード中のハードウエア・トリガ信号で，STOPモードを解除し，CPUを動作させることなくA/D変換を行います（SNOOZEモード）。 ・SNOOZEモード機能は，CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。 ・ソフトウエア・トリガ・モード，およびハードウエア・トリガ・ノー・ウエイト・モードでのSNOOZEモード機能は使用禁止です。 ・連続変換モードでのSNOOZEモード機能は使用禁止です。 ・SNOOZEモード機能を使用するとき，ハードウエア・トリガ間隔は，「SNOOZEモードの遷移時間[注]＋変換起動時間＋A/D電源安定待ち時間＋A/D変換時間＋f_{CLK}の2クロック」以上の間隔を空けて設定してください。 ・SNOOZE機能を使用する場合でも，通常動作モード時はAWCを0に設定し，STOPモードへ移行する直前にAWCを1に変更してください。 またSTOPモードから通常動作モードへ復帰後，必ずAWCを0に変更してください。 AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。	

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注　19. 3. 3　SNOOZEモードの「STOP→SNOOZE」を参照してください。

注意　ADM2レジスタを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

図11－8　ADRCKビットによる割り込み信号発生範囲



備考　INTADが発生しない場合は，A/D変換結果がADCR, ADCRHレジスタに格納されません。

11. 3. 5　10ビットA/D変換結果レジスタ（ADCR）

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに，逐次変換レジスタ（SAR）から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに，下位2ビットがFFF1EHの上位2ビットに格納されます[注]。

ADCRレジスタは，16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，0000Hになります。

注　A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図11－8参照））で設定した値の範囲外の場合は格納されません。

図11－9　10ビットA/D変換結果レジスタ（ADCR）のフォーマット

アドレス：FFF1FH，FFF1EH　リセット値：0000H　R

略号	FFF1FH								FFF1EH							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR											0	0	0	0	0	0

注意1.　8ビット分解能A/D変換を選択時（A/Dコンバータ・モード・レジスタ2（ADM2）のADTYP = 1）にADCRレジスタをリードした場合，下位2ビット（ADCRレジスタのビット7，ビット6）は，0が読み出されます。

2.　ADCRレジスタへ16ビット・アクセスした場合，変換結果上位10ビットがADCRレジスタのビット15から順に読み出せます。

11. 3. 6　8ビットA/D変換結果レジスタ（ADCRH）

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します[注]。

ADCRHレジスタは，8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，00Hになります。

注　A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定（図11－8参照））で設定した値の範囲外の場合は格納されません。

図11－10　8ビットA/D変換結果レジスタ（ADCRH）のフォーマット

アドレス：FFF1FH　**リセット時：**00H　R

略号	7	6	5	4	3	2	1	0
ADCRH								

注意　A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC）に対して書き込み動作を行ったとき，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0, ADS, ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

11. 3. 7 アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－11 アナログ入力チャネル指定レジスタ（ADS）のフォーマット（1/2）

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子注1
0	0	0	1	1	0	ANI6	P26/ANI6端子注1
0	0	0	1	1	1	ANI7	P27/ANI7端子注1
0	1	0	0	0	0	ANI16	P01/ANI16端子注2
0	1	0	0	0	1	ANI17	P00/ANI17端子注2
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	－	温度センサ出力注3
1	0	0	0	0	1	－	内部基準電圧出力（1.45 V）注3
上記以外						設定禁止	

注 1. 48ピン製品のみ。

2. 32ピン製品のみ。

3. HS (高速メイン)モードでのみ選択可能です。

図11－11　アナログ入力チャネル指定レジスタ（ADS）のフォーマット（2/2）

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○スキャン・モード（ADMD = 1）

	ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
							スキャン0	スキャン1	スキャン2	スキャン3
	0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
	0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
注	0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
注	0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
注	0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
上記以外							設定禁止			

注　48ピン製品のみ。

注意1.　ビット5, 6には必ず0を設定してください。

2. A/D変換で使用するチャネルは，ポート・モード・レジスタ0, 2, 3, 10-12, 14, 15（PM0, PM2, PM3, PM10-PM12, PM14, PM15）で入力モードに選択してください。
3. A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。
4. ポート・モード・コントロール・レジスタ0, 3, 10-12, 14（PMC0, PMC3, PMC10-PMC12, PMC14）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。
5. ADISSビットを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。
6. AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。
7. AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。
8. ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧出力（1.45 V）は使用できません。また，ADISS=1に設定後，1回目の変換結果は使用できません。詳細設定フローは，11. 7. 4　温度センサ出力／内部基準電圧出力を選択時の設定を参照してください。
9. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，30. 3. 2または31. 3. 2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

11. 3. 8 変換結果比較上限値設定レジスタ（ADUL）

A/D変換結果対し，上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図11－8参照）で割り込み信号（INTAD）の発生を制御します。

ADULレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

注意 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタと比較します。

図11－12 変換結果比較上限値設定レジスタ（ADUL）のフォーマット

アドレス：F0011H リセット時：FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

11. 3. 9 変換結果比較下限値設定レジスタ（ADLL）

A/D変換結果対し，下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い，A/Dコンバータ・モード・レジスタ2（ADM2）のADRCKビットの設定範囲（図11－8参照）で割り込み信号（INTAD）の発生を制御します。

ADLLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－13 変換結果比較下限値設定レジスタ（ADLL）のフォーマット

アドレス：F0012H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意 1. 10ビット分解能A/D変換選択時は，10ビットA/D変換結果レジスタ（ADCR）の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

2. ADULレジスタおよびADLLレジスタの書き換えは，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

3. ADULレジスタおよびADLLレジスタは，ADUL＞ADLLになるように設定を行ってください。

11. 3. 10　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力，内部基準電圧出力（1.45V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図11－14　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx/温度センサ出力[注]／内部基準電圧出力（1.45 V）[注]（アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）
上記以外		設定禁止

注　温度センサ出力，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です。

11. 3. 11　アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ（ポート・モード・レジスタ（PMxx），ポート・モード・コントロール・レジスタ（PMCxx），A/Dポート・コンフィギュレーション・レジスタ（ADPC））を設定してください。詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx），4. 3. 7　A/Dポート・コンフィギュレーション・レジスタ（ADPC）を参照してください。

ANI0-ANI7端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定し，A/Dポート・コンフィギュレーション・レジスタ（ADPC）でアナログ入力に設定してください。

ANI19端子をA/Dコンバータのアナログ入力として使用するときは，各ポートに対応するポート・モード・レジスタ（PMxx）とポート・モード・コントロール・レジスタ（PMCxx）のビットに1を設定してください。

11.4　A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

① 選択したアナログ入力チャネルに入力している電圧を，サンプル＆ホールド回路でサンプリングします。

② 一定時間サンプリングを行うとサンプル＆ホールド回路はホールド状態となり，サンプリングされた電圧をA/D変換が終了するまで保持します。

③ 逐次変換レジスタ（SAR）のビット9をセットし，タップ・セレクタは直列抵抗ストリングの電圧タップを（1/2）AV_{REF}にします。

④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし，アナログ入力が（1/2）AV_{REF}よりも大きければ，SARレジスタのMSBビットをセットしたままです。また，（1/2）AV_{REF}よりも小さければ，MSBビットはリセットします。

⑤ 次にSARレジスタのビット8が自動的にセットし，次の比較に移ります。ここではすでに結果がセットしているビット9の値によって，次に示すように直列抵抗ストリングの電圧タップを選択します。

・ビット9 = 1：（3/4）AV_{REF}

・ビット9 = 0：（1/4）AV_{REF}

この電圧タップとサンプリングされた電圧を比較し，その結果でSARレジスタのビット8を次のように操作します。

・サンプリングされた電圧≧電圧タップ：ビット8 = 1

・サンプリングされた電圧＜電圧タップ：ビット8 = 0

⑥ このような比較をSARレジスタのビット0まで続けます。

⑦ 10ビットの比較が終了したとき，SARレジスタには有効なデジタルの結果が残り，その値がA/D変換結果レジスタ（ADCR, ADCRH）に転送され，ラッチします。
同時に，A/D変換終了割り込み要求（INTAD）を発生させることができます。

⑧ 以降①から⑦までの動作をADCS = 0になるまで繰り返します[注]。
A/Dコンバータを停止する場合は，ADCS = 0にしてください。

注　連続変換モード時は，ADCSフラグは自動的に“0”にクリアされません。また，ハードウエア・トリガ・ノーウエイト・モードでのワンショット変換モード時でも，ADCSフラグは，自動的に“0”にクリアされません。“1”のまま保持されます。

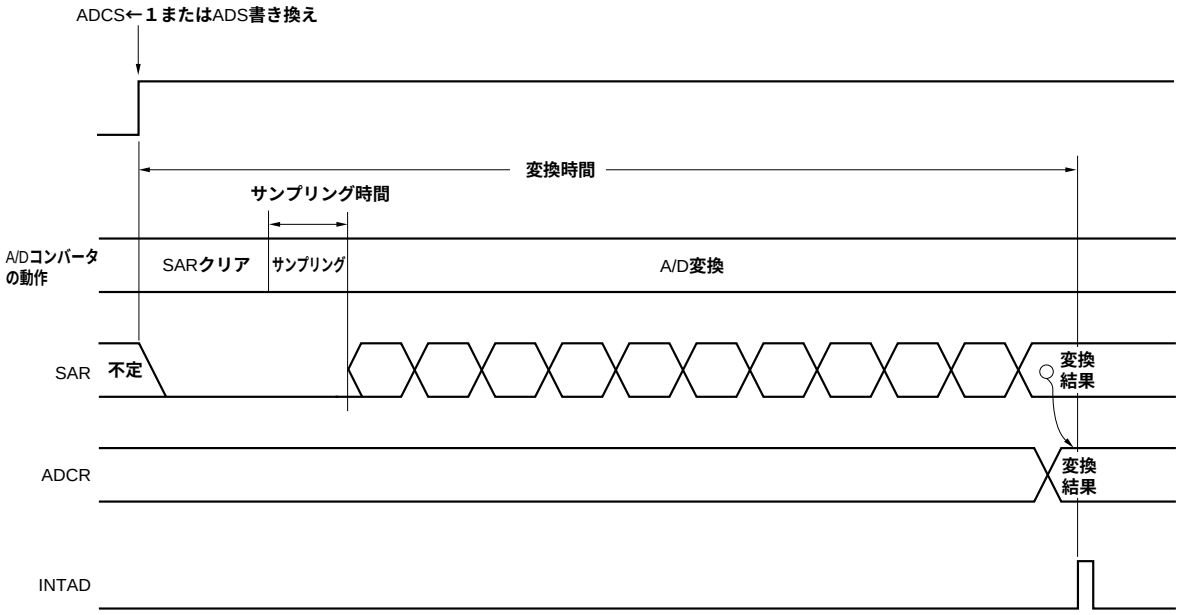
備考1.　A/D変換結果レジスタは2種類あります。

・ADCRレジスタ（16ビット）　：10ビットのA/D変換値を格納します。

・ADCRHレジスタ（8ビット）　：8ビットのA/D変換値を格納します。

2.　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

図11－15　A/Dコンバータの変換動作（ソフトウエア・トリガ・モードの場合）



ワンショット変換モード時のA/D変換動作は, A/D変換終了後にADCSビットが自動的にクリア（0）されます。連続変換モード時のA/D変換動作は，ソフトウエアによりA/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）をクリア（0）するまで連続的に行われます。

A/D変換動作中に，アナログ入力チャネル指定レジスタ（ADS）に対して書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ（ADCR, ADCRH）は，リセット信号の発生により0000Hまたは00Hとなります。

11.5　入力電圧と変換結果

アナログ入力端子（ANI0-ANI7, ANI19）に入力されたアナログ入力電圧と理論上のA/D変換結果（10ビットA/D変換結果レジスタ（ADCR））には次式に示す関係があります。

$$SAR = INT\left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5\right)$$

$$ADCR = SAR \times 64$$

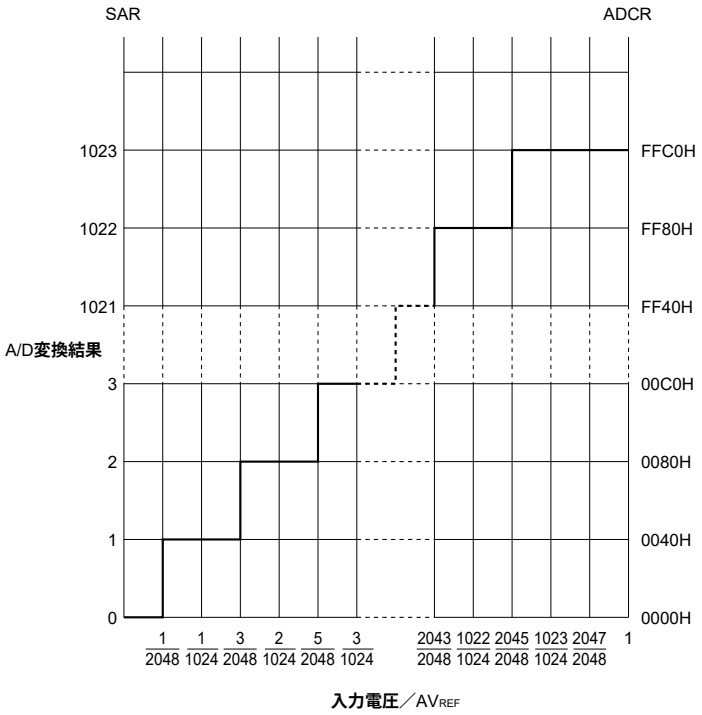
または,

$$\left(\frac{ADCR}{64} - 0.5\right) \times \frac{AV_{REF}}{1024} \leqq V_{AIN} < \left(\frac{ADCR}{64} + 0.5\right) \times \frac{AV_{REF}}{1024}$$

INT（　）　：（　）内の値の整数部を返す関数
V_{AIN}　：アナログ入力電圧
AV_{REF}　：AV_{REF}端子電圧
ADCR　：A/D変換結果レジスタ（ADCR）の値
SAR　：逐次変換レジスタ

図11－16にアナログ入力電圧とA/D変換結果の関係を示します。

図11－16　アナログ入力電圧とA/D変換結果の関係



備考　AV_{REF}：A/Dコンバータの＋側基準電圧。AV_{REFP}, 内部基準電圧（1.45 V），V_{DD}から選択可能です。

11. 6　A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また，各モードの設定手順を11. 7　A/Dコンバータの設定フロー・チャートに示します。

11. 6. 1　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

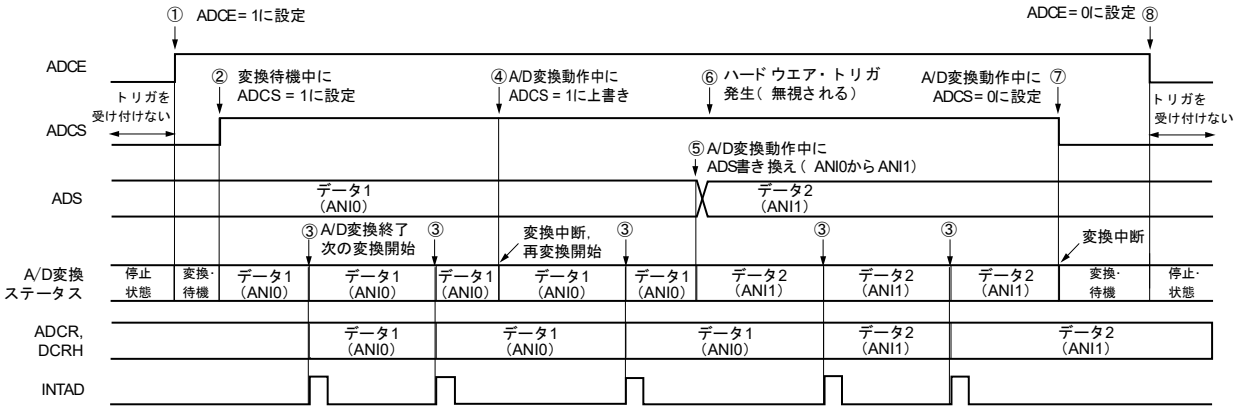
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図11－17　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例



11. 6. 2 ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

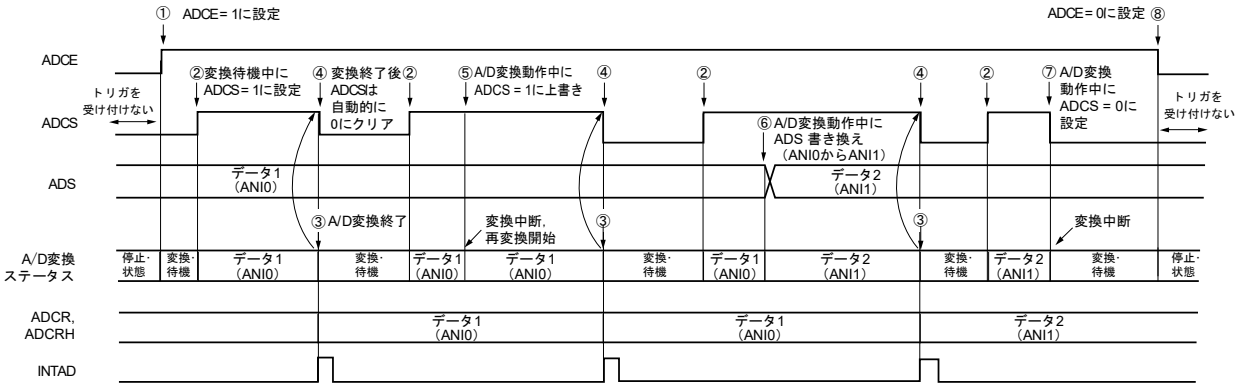
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図11－18 ソフトウエア・セレクト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



11. 6. 3　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます（4チャネル分）。

④ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

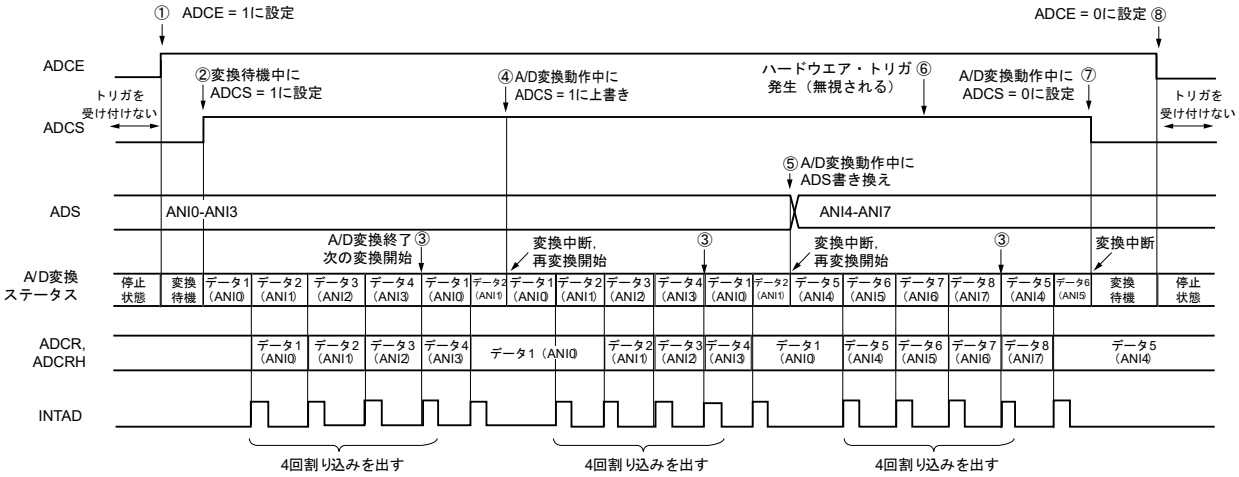
⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にハードウエア・トリガが入力されても，A/D変換は開始しません。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図11－19　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例



11. 6. 4　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ 4チャネルのA/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/D変換待機状態となります。

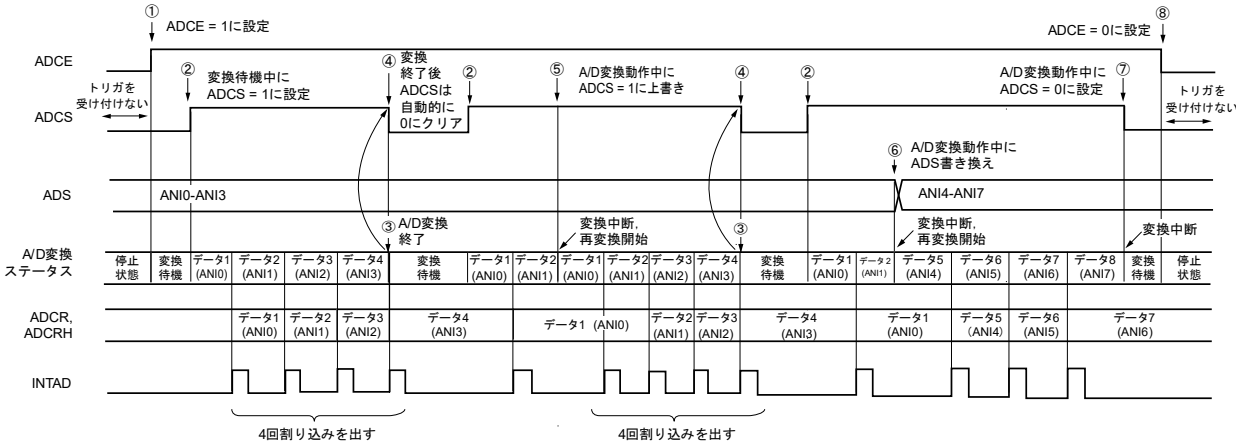
⑤ 変換動作中にADCS = 1を上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。

⑧ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。A/D変換待機中にハードウエア・トリガが入力されても，A/D変換は開始しません。

図11－20　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



11. 6. 5　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

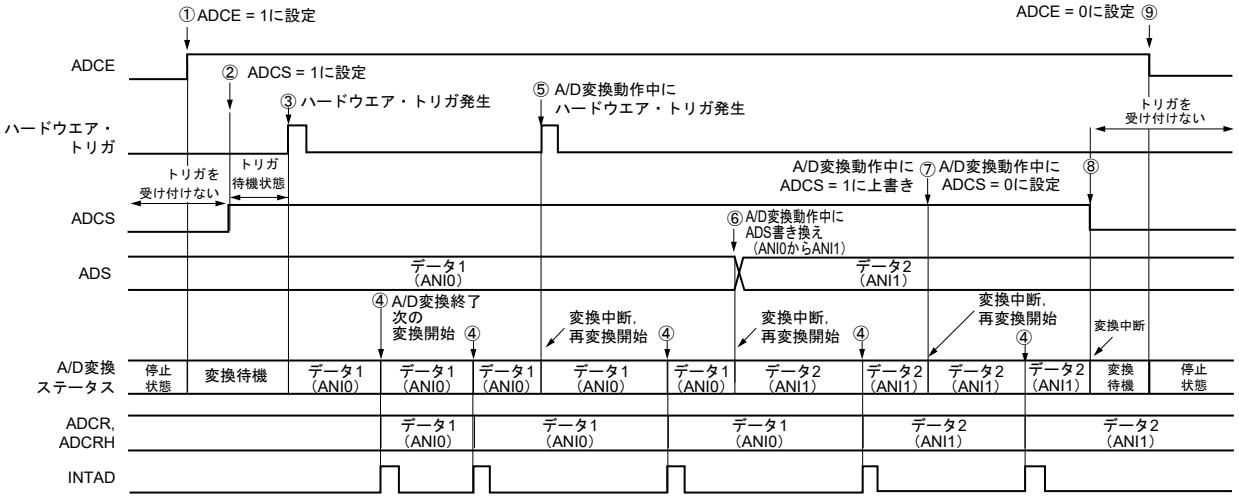
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－21　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



11. 6. 6　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。

④ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ A/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

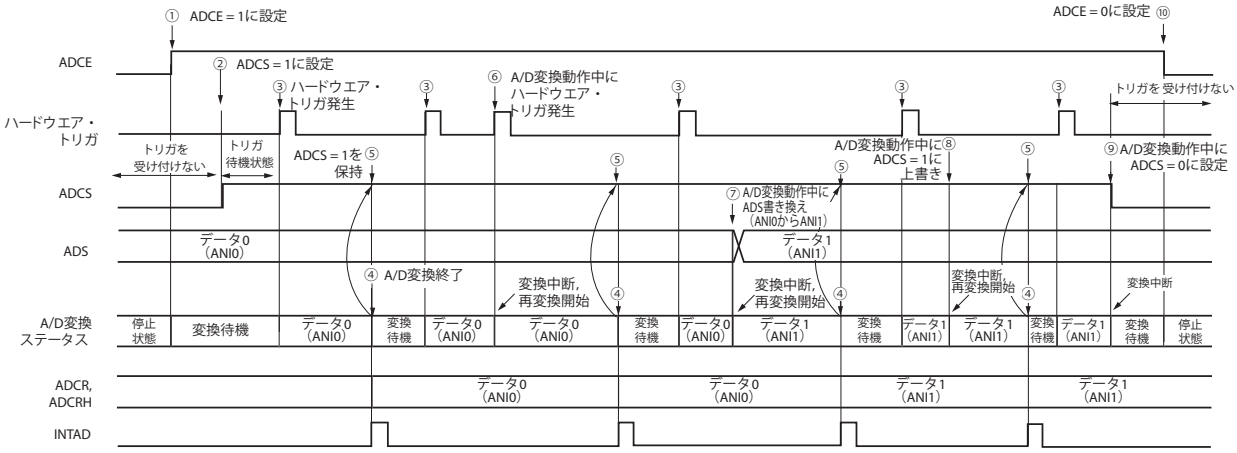
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－22　ハードウエア・トリガ・ノーウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



11. 6. 7　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

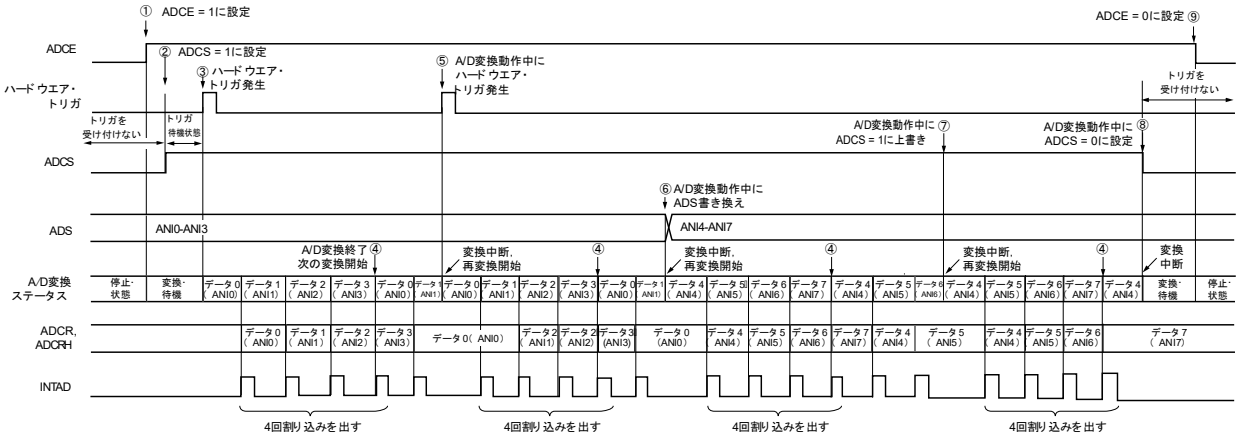
⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態でA/Dコンバータは停止状態になりません。

⑨ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCE = 0のとき，ADCS = 1に設定しても無視され，A/D変換は開始しません。

図11－23　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



11. 6. 8　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ソフトウエアで安定待ち時間（1 μs）をカウント後，ADM0レジスタのADCS = 1に設定することで，ハードウエア・トリガ待機状態となります（この段階では変換を開始しません）。なお，ハードウエア・トリガ待機状態のとき，ADCS = 1に設定しても，A/D変換は開始しません。

③ ADCS = 1の状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

④ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

⑤ 4チャネルのA/D変換が終了後，ADCSビットは1の設定のまま，A/D変換待機状態となります。

⑥ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

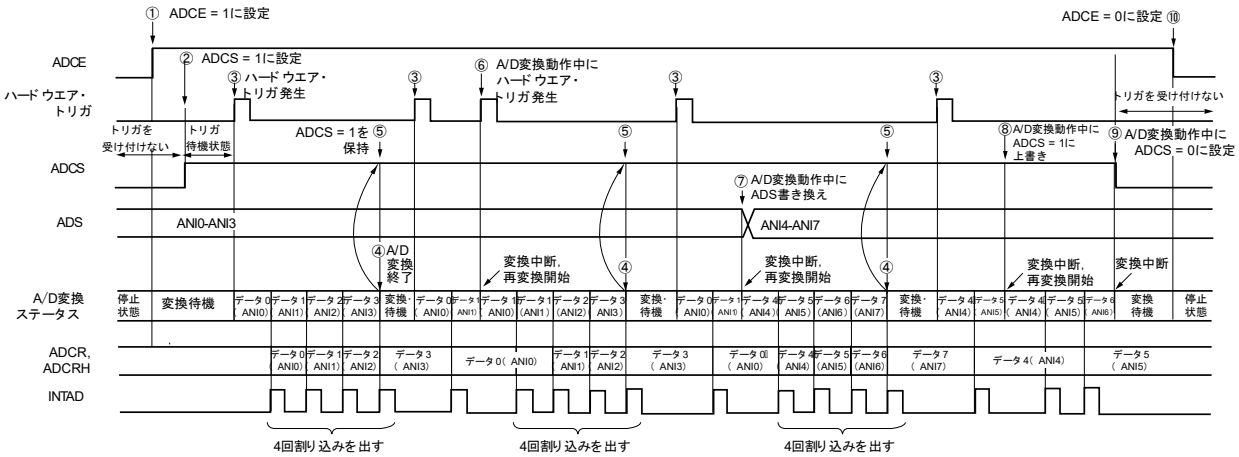
⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。

⑨ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，A/D変換待機状態となります。ただし，この状態ではA/Dコンバータは停止状態になりません。

⑩ A/D変換待機中にADCE = 0に設定すると，A/Dコンバータは停止状態になります。ADCS = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－24　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例



11. 6. 9 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。A/D変換終了後は，すぐに次のA/D変換を開始します（このとき，ハードウエア・トリガは不要です）。

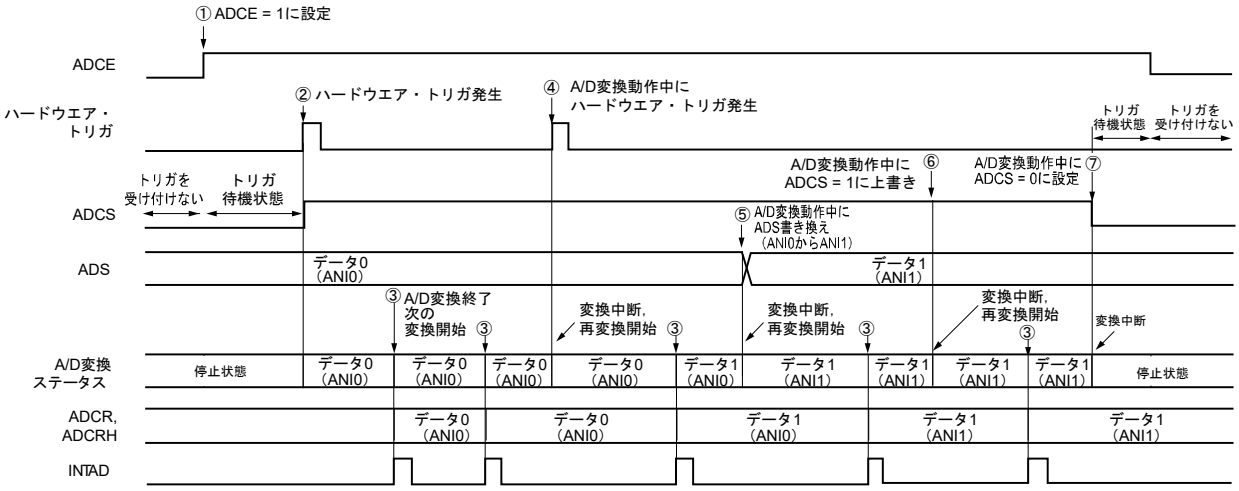
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－25 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例



11. 6. 10 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，ハードウエア・トリガ待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたアナログ入力のA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。

③ A/D変換が終了すると，変換結果をA/D変換結果レジスタ（ADCR，ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

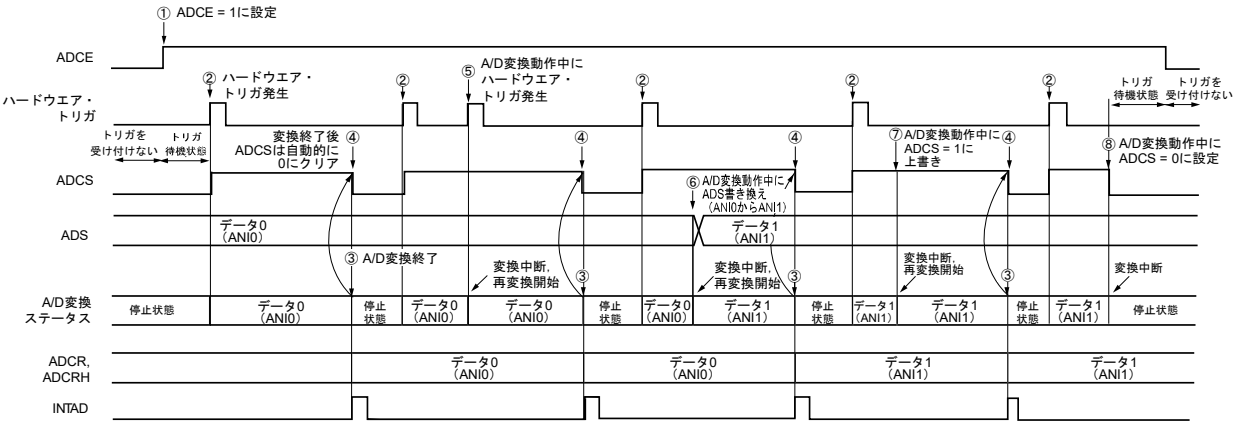
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS= 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは初期化されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－26 ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例



11. 6. 11　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。4チャネルのA/D変換終了後は，設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。

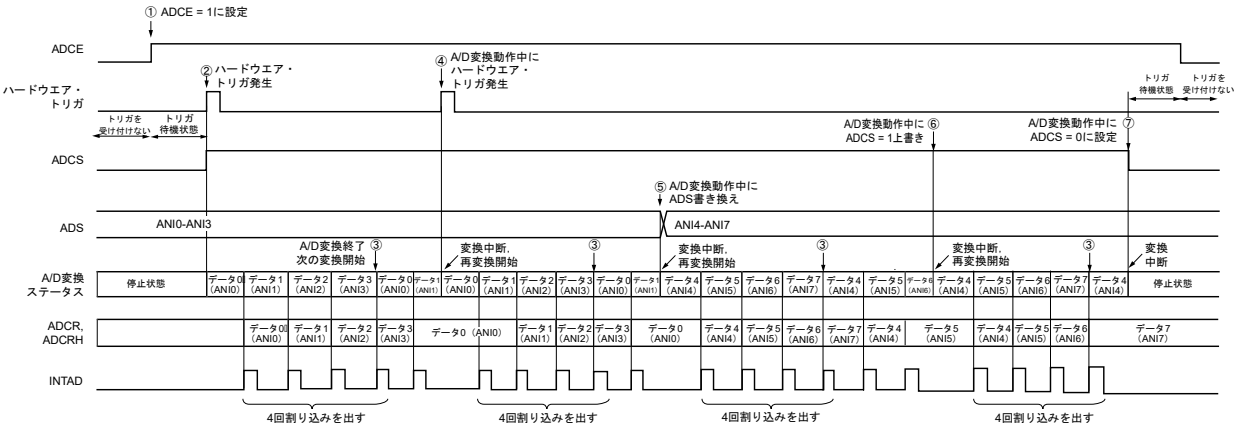
④ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－27　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例



11. 6. 12　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

① 停止状態で，A/Dコンバータ・モード・レジスタ0（ADM0）のADCE = 1に設定し，A/D変換待機状態となります。

② ハードウエア・トリガ待機状態で，ハードウエア・トリガが入力されると，アナログ入力チャネル指定レジスタ（ADS）で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウエア・トリガの入力に合わせて，自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。

③ 4つのアナログ入力チャネルのA/D変換は連続して行われ，変換が完了するごとに変換結果をA/D変換結果レジスタ（ADCR, ADCRH）に格納し，A/D変換終了割り込み要求信号（INTAD）を発生します。

④ A/D変換が終了後，ADCSビットは自動的に0にクリアされ，A/Dコンバータは停止状態になります。

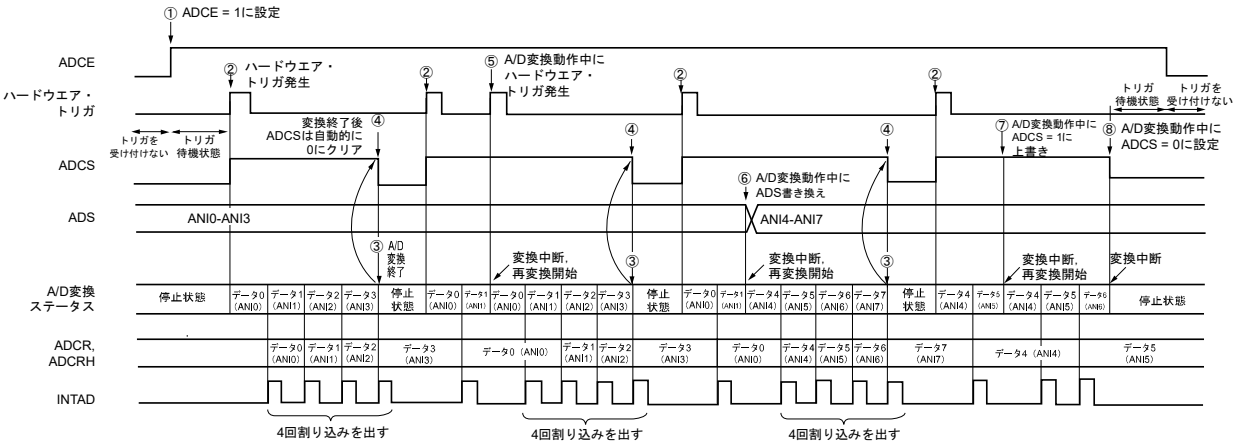
⑤ 変換動作中にハードウエア・トリガが入力された場合，現在のA/D変換は中断され，最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。

⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると，現在のA/D変換は中断され，ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。

⑦ 変換動作中にADCS = 1に上書きすると，現在のA/D変換は中断され，再変換を行います。変換動作途中のデータは破棄されます。

⑧ 変換動作中にADCS = 0に設定すると，現在のA/D変換は中断され，ハードウエア・トリガ待機状態となり，A/Dコンバータは停止状態になります。ADCE = 0のとき，ハードウエア・トリガが入力されても無視され，A/D変換は開始しません。

図11－28　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例

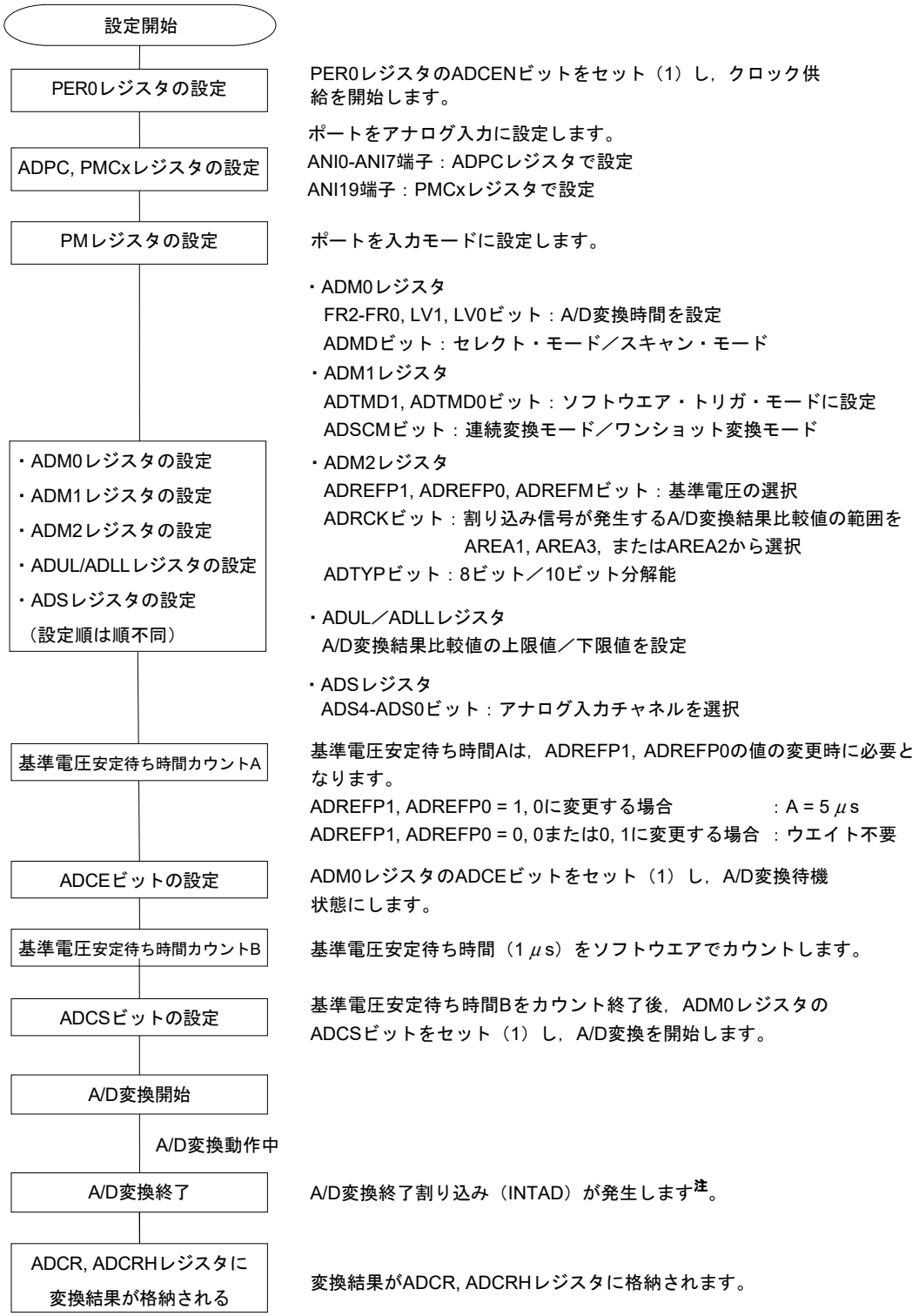


11.7　A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

11.7.1　ソフトウエア・トリガ・モード設定

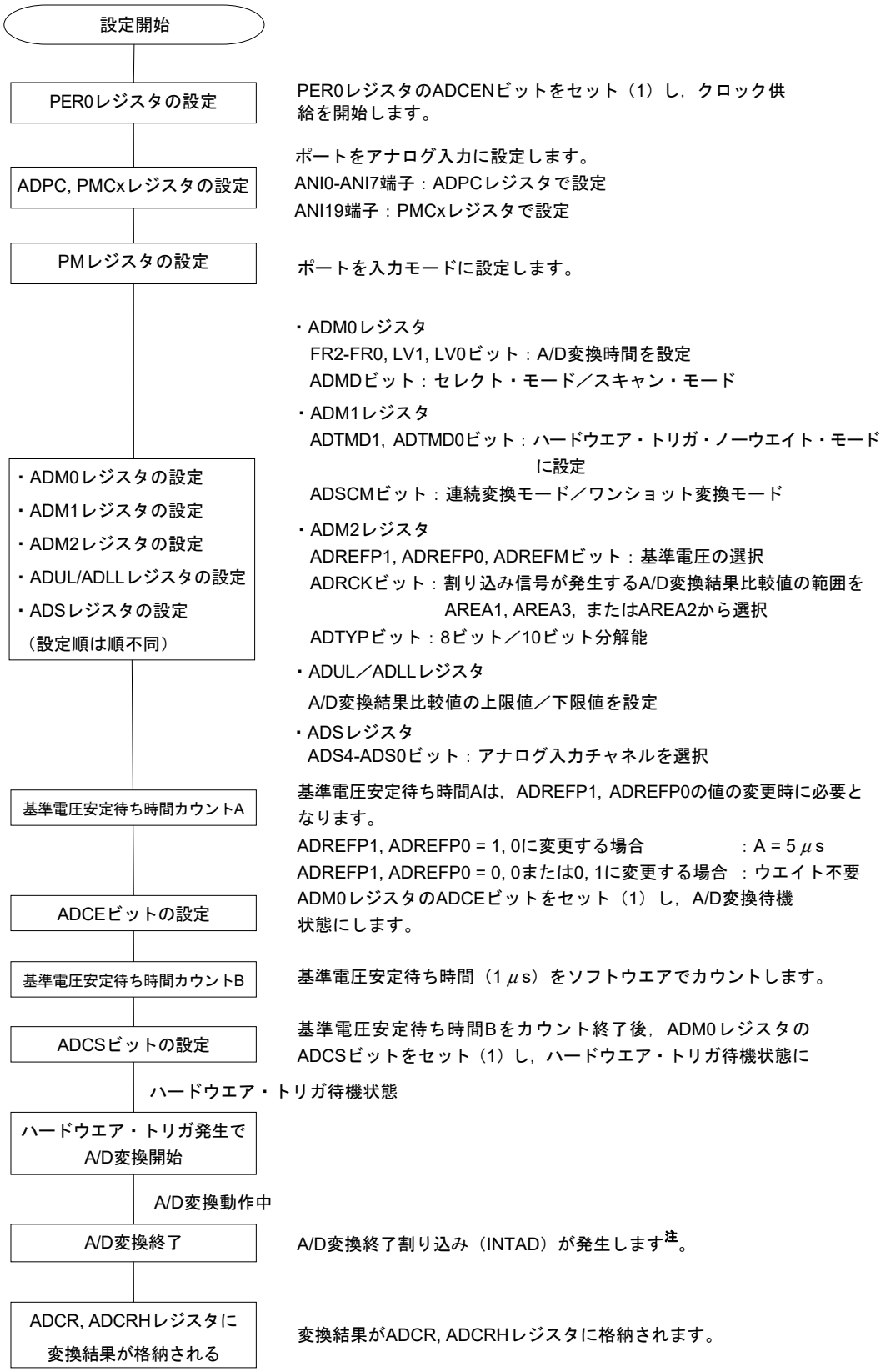
図11－29ソフトウエア・トリガ・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

11. 7. 2　ハードウエア・トリガ・ノーウエイト・モード設定

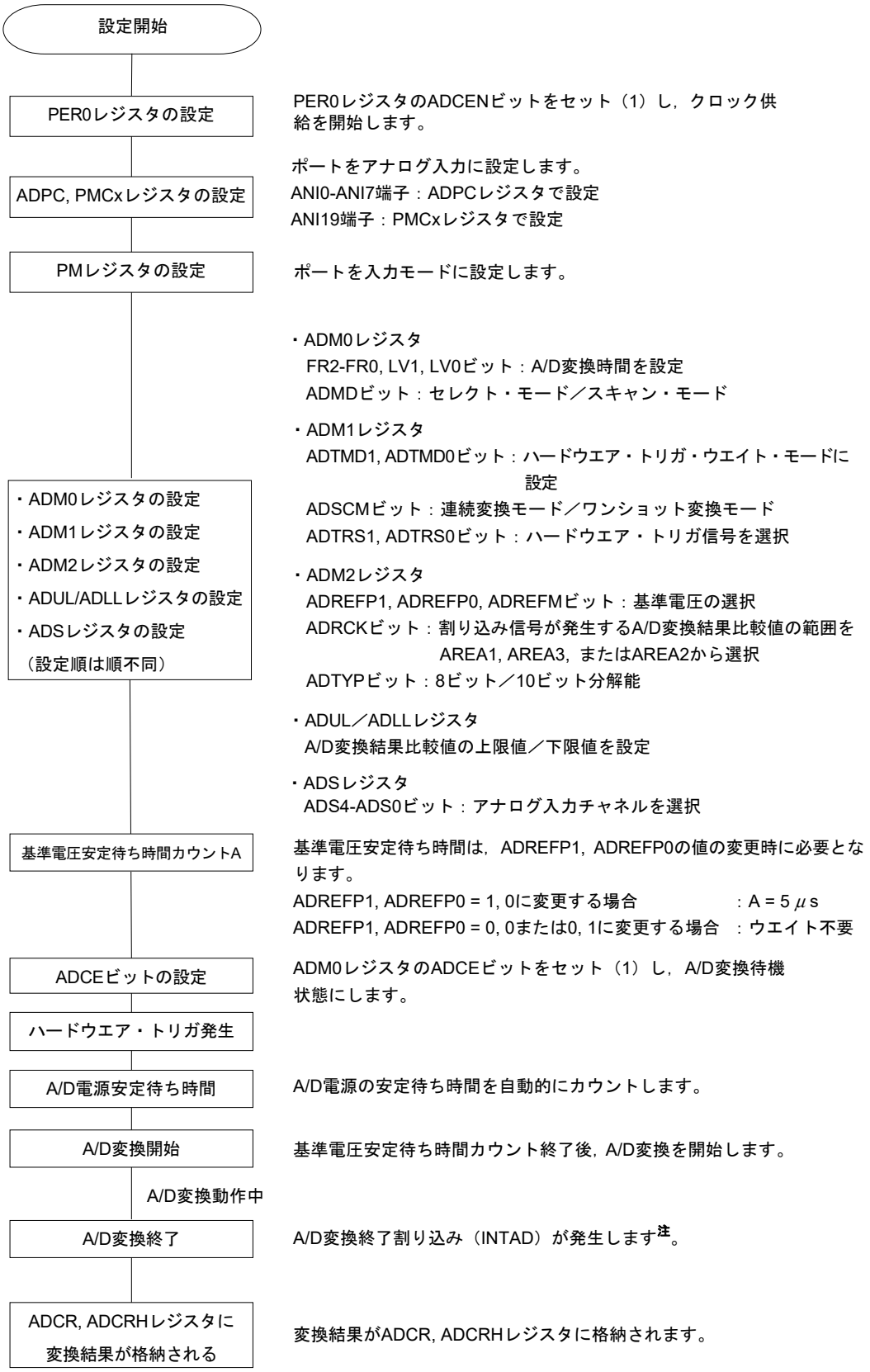
図11－30　ハードウエア・トリガ・ノーウエイト・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

11. 7. 3　ハードウエア・トリガ・ウエイト・モード設定

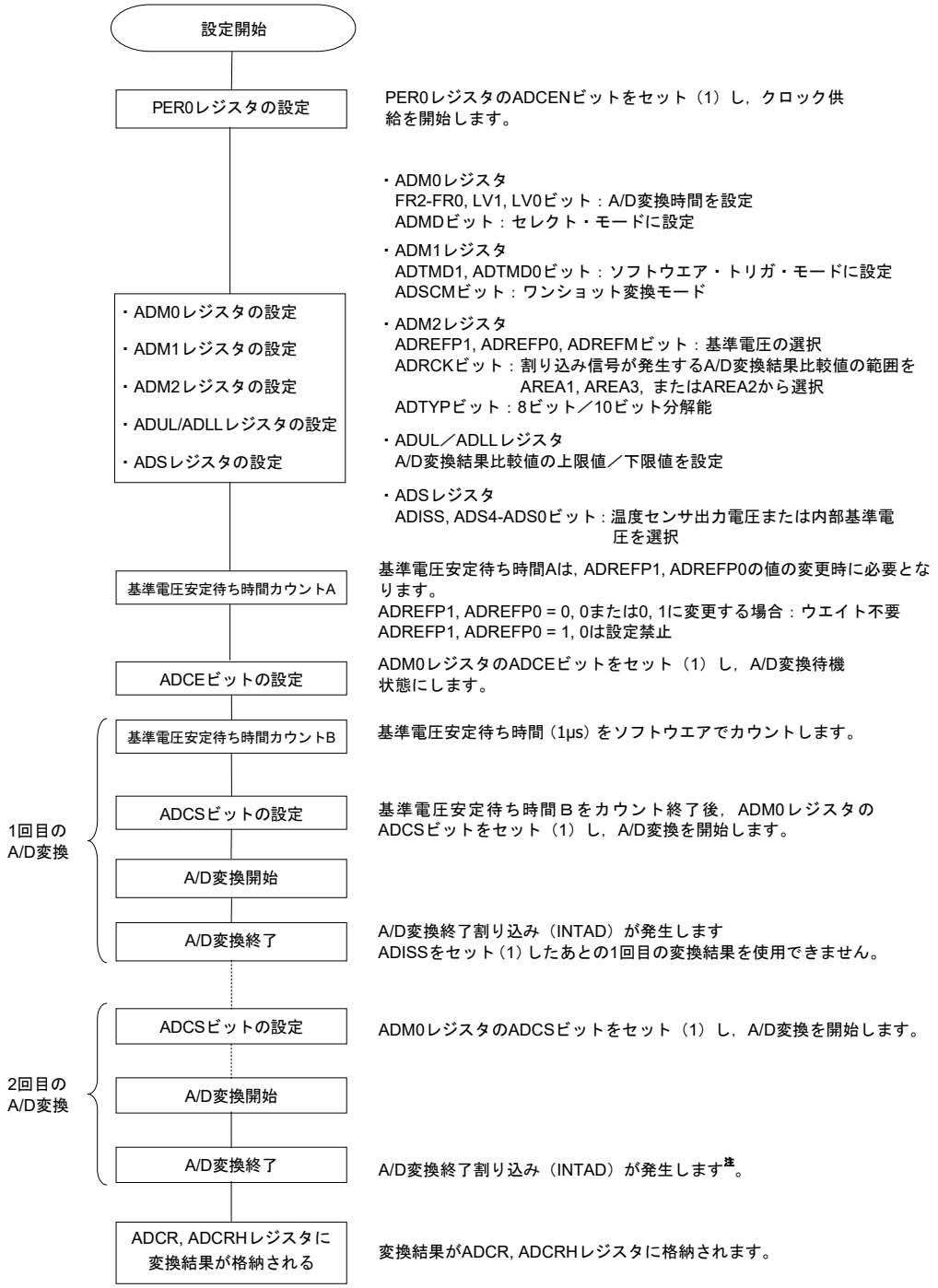
図11－31　ハードウエア・トリガ・ウエイト・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

11.7.4　温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）

図11－32　温度センサ出力電圧／内部基準電圧を選択時の設定

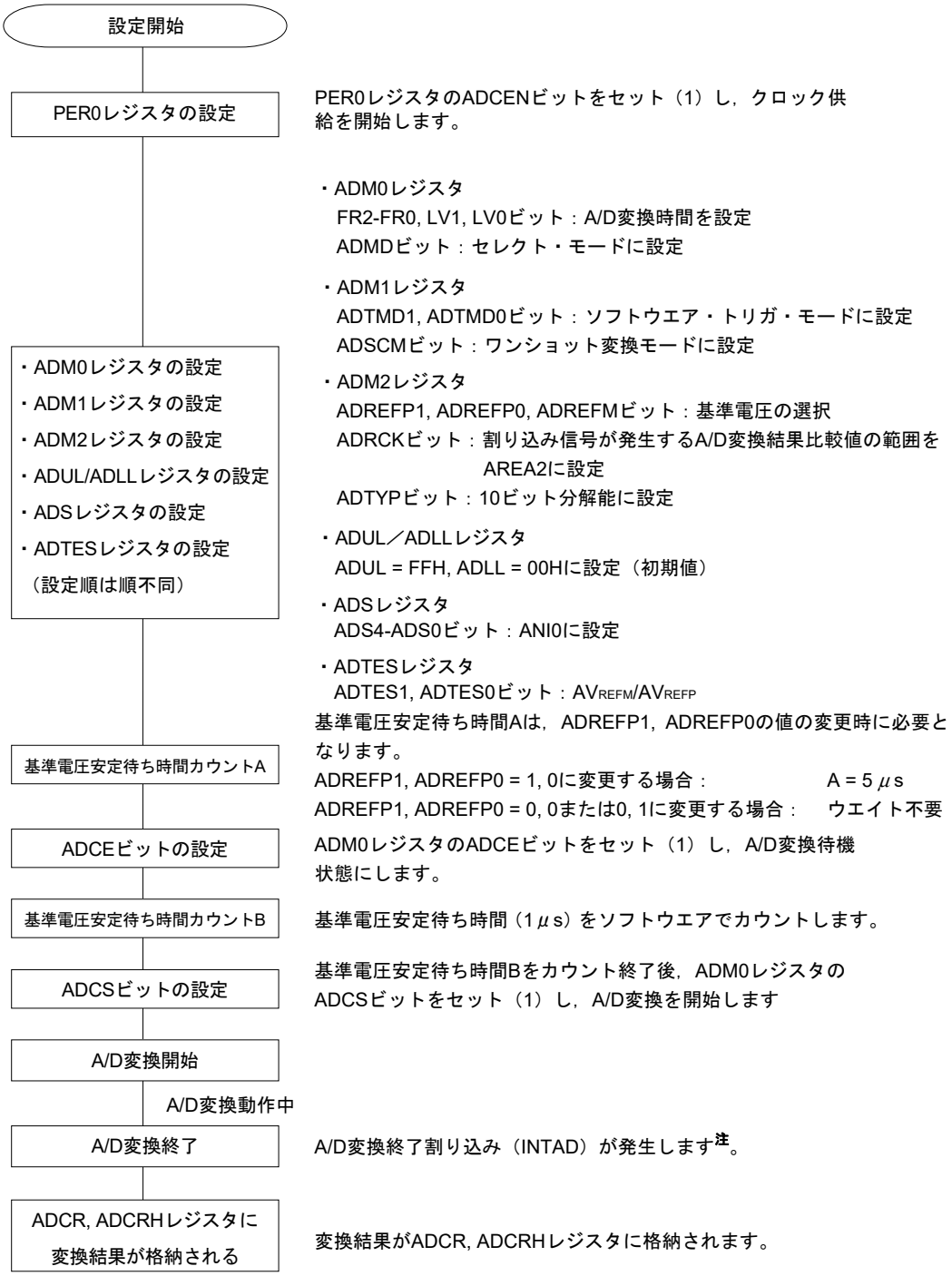


注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

注意　HS（高速メイン）モードでのみ選択可能です。

11. 7. 5　テスト・モード設定

図11－33　テスト・モード設定



注　ADRCKビット，ADUL/ADLLレジスタの設定により，割り込み信号が発生しない場合があります。この場合，ADCR, ADCRHレジスタに結果は格納されません。

注意　A/Dコンバータのテスト方法については，23. 3. 8　A/Dテスト機能を参照してください。

11. 8　SNOOZEモード機能

STOPモード時にハードウエア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時はA/D変換動作を停止しますが，SNOOZEモード機能を使用することで，CPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

SNOOZEモードでは，ADUL, ADLLで変換結果の範囲を指定すれば，一定時間ごとにA/D変換結果の判断ができます。これにより，電源電圧監視やA/D入力による入力キーの判定などができます。

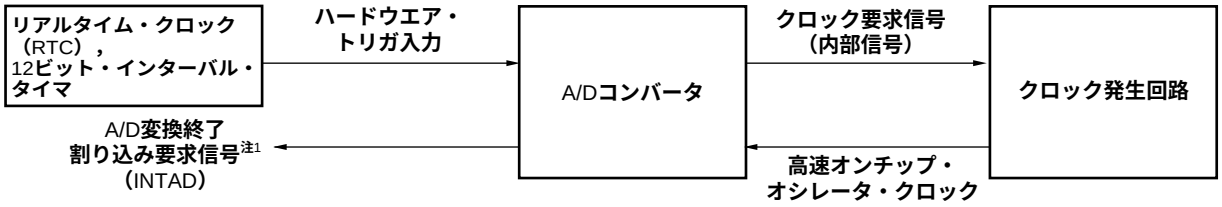
SNOOZEモードでは，次の2つの変換モードのみ使用可能です。

・ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）

・ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）

注意　SNOOZEモードは, f_{CLK}に高速オンチップ･オシレータ･クロックを選択している場合のみ設定可能です。

図11－34　SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は，STOPモードに移行する前に各レジスタの初期設定を行います（11. 7. 3　ハードウエア・トリガ・ウエイト・モード設定を参照注2）。STOPモードへ移行する直前に，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2（AWC）に1を設定します。初期設定完了後，A/Dコンバータ・モード・レジスタ0（ADM0）のビット0（ADCE）に1を設定します。

STOPモードに移行後，ハードウエア・トリガが入力されると，高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後，A/D電源安定待ち時間が自動的にカウントされ，A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は，割り込み信号発生の有無によって異なります注1。

注1.　A/D変換結果比較機能の設定（ADRCKビット，ADUL/ADLLレジスタ）により，割り込み信号が発生しない場合があります。

2.　ADM1レジスタは必ずE2HまたはE3Hに設定してください。

備考　ハードウエア・トリガは，INTRTCまたはINTITです。

ハードウエア・トリガは，A/Dコンバータ・モード・レジスタ1（ADM1）で設定してください。

（1）A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲内の場合，A/D変換終了割り込み要求信号（INTAD）は発生します。

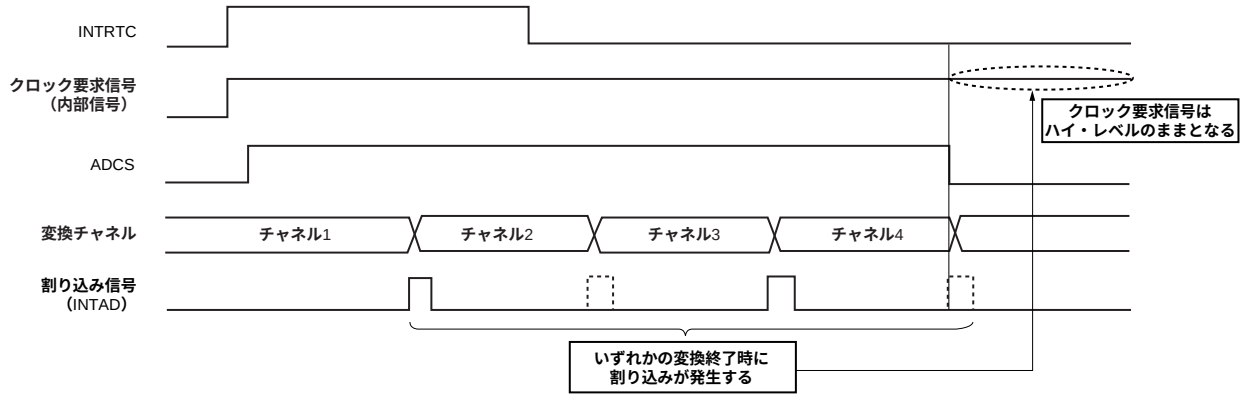
● セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号（INTAD）が発生すると，A/Dコンバータは SNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0 : SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

● スキャン・モード時

4チャネル分のA/D変換で1回でもA/D変換終了割り込み要求信号（INTAD）が発生した場合， A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで，A/Dコンバータ・モード・レジスタ2（ADM2）のビット2を必ずクリア（AWC = 0 : SNOOZE解除）してください。AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。

図11－35　A/D変換終了後に割り込みが発生する場合の動作例（スキャン・モード時）



（2）A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能（ADRCKビット，ADUL/ADLLレジスタで設定）で設定した値の範囲外の場合，A/D変換終了割り込み要求信号（INTAD）は発生しません。

● セレクト・モード時

A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，A/D変換終了後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

● スキャン・モード時

4チャネル分のA/D変換で1回もA/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，4チャネル分のA/D変換が終了した後にクロック要求信号（内部信号）は自動的にロウ・レベルとなり，高速オンチップ・オシレータ・クロックの供給は停止されます。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換作業を行います。

図11－36　A/D変換終了後に割り込みが発生しない場合の動作例（スキャン・モード時）

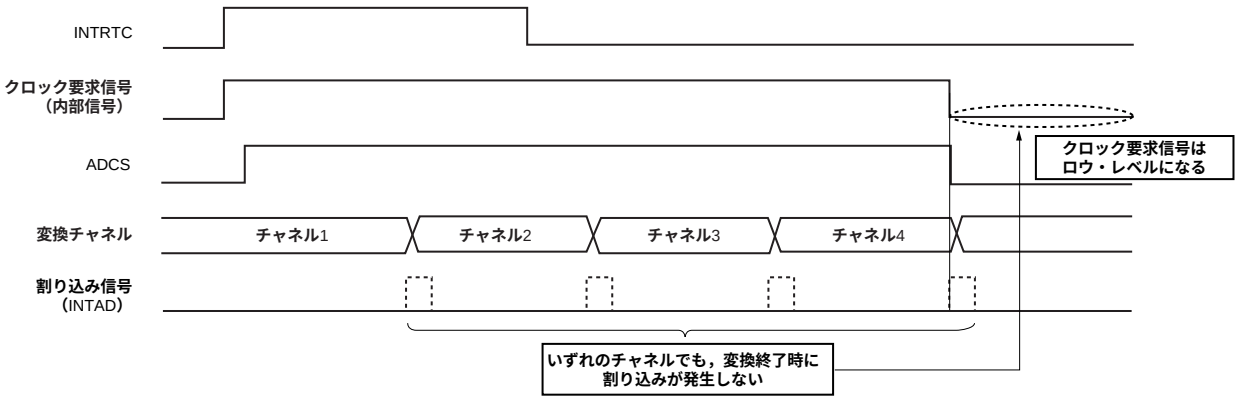
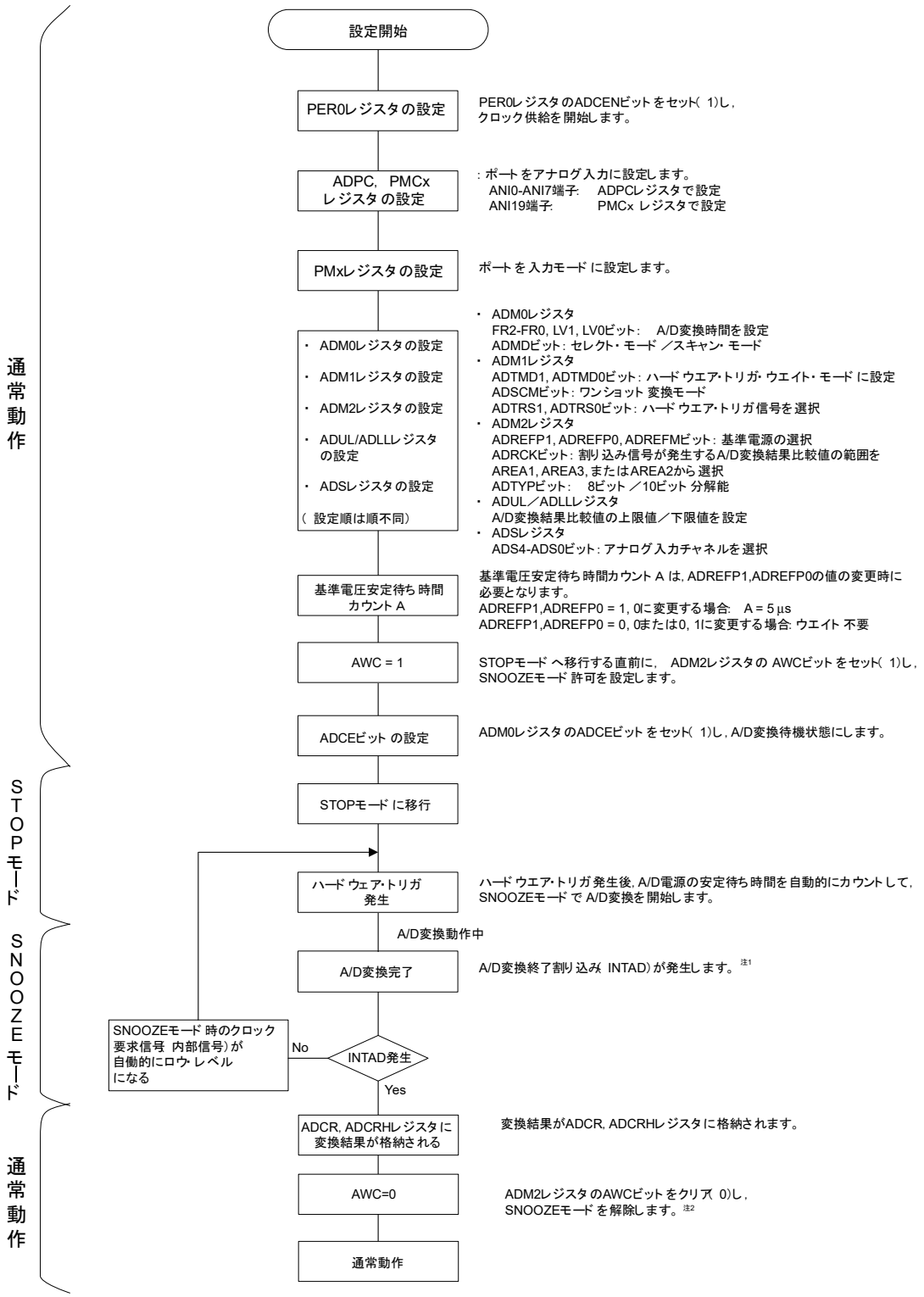


図11－37 SNOOZEモード設定のフロー・チャート



注 1. ADRCKビット，ADUL/ADLLレジスタの設定により，A/D変換終了割り込み要求信号（INTAD）が発生しなかった場合，ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後，ハードウエア・トリガが入力された場合は，再度SNOOZEモードでA/D変換動作を行います。

2. AWC = 1のままでは，その後のSNOOZEモード，通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

11.9　A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

（1）分 解 能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB（Least Significant Bit）といいます。1 LSBのフルスケールに対する比率を%FSR（Full Scale Range）で表します。

分解能10ビットのとき

$$1\ \mathrm{LSB} = 1/2^{10} = 1/1024$$
$$= 0.098\ \%\mathrm{FSR}$$

精度は分解能とは関係なく，総合誤差によって決まります。

（2）総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

（3）量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる±1/2 LSBの誤差です。A/Dコンバータでは，±1/2 LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図11－38　総合誤差

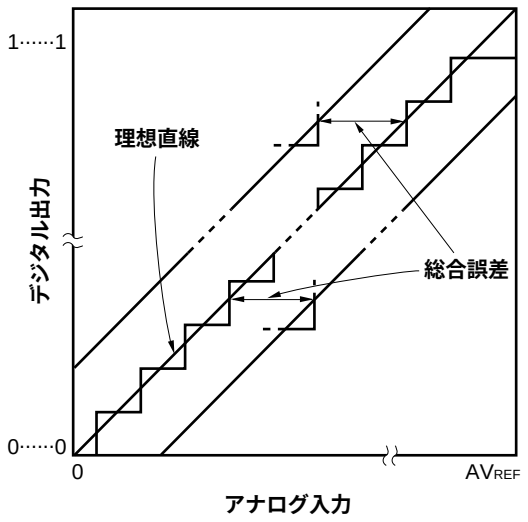
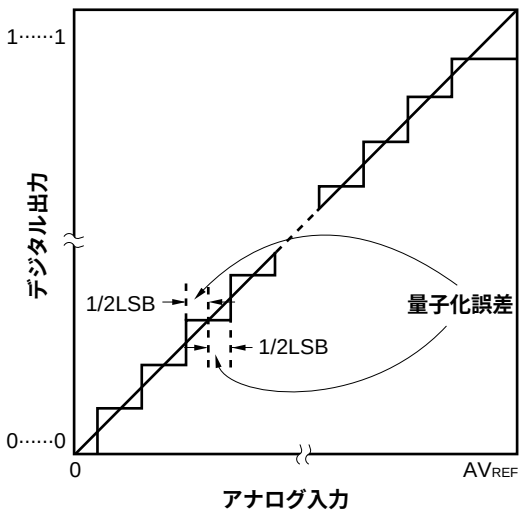


図11－39　量子化誤差



（4）ゼロスケール誤差

デジタル出力が0……000から0……001に変化するときの，アナログ入力電圧の実測値と理論値（1/2 LSB）との差を表します。実測値が理論値よりも大きい場合は，デジタル出力が0……001から0……010に変化するときの，アナログ入力電圧の実測値と理論値（3/2 LSB）との差を表します。

（5）フルスケール誤差

デジタル出力が1……110から1……111に変化するときの，アナログ入力電圧の実測値と理論値（フルスケール－3/2 LSB）との差を表します。

（6）積分直線性誤差

変換特性が，理想的な直線関係から外れている程度を表します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

（7）微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが，あるコードを出力する幅の実測値と理想値との差を表します。

図11－40　ゼロスケール誤差

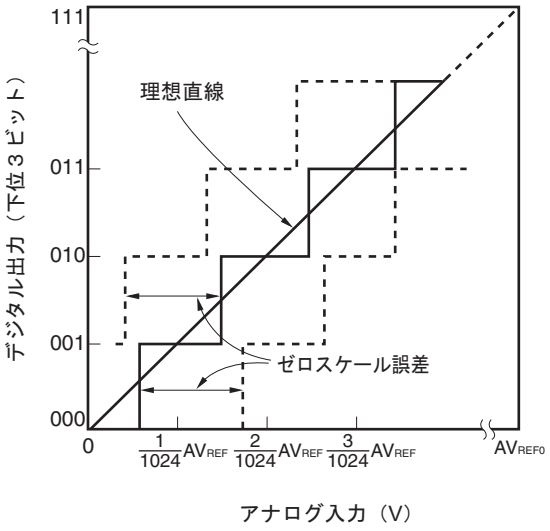


図11－41　フルスケール誤差

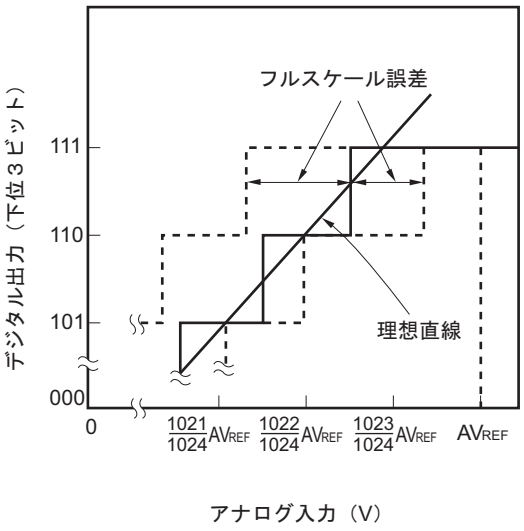


図11－42　積分直線性誤差

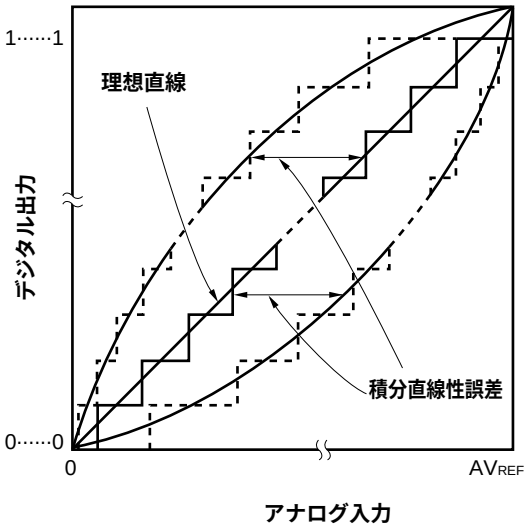
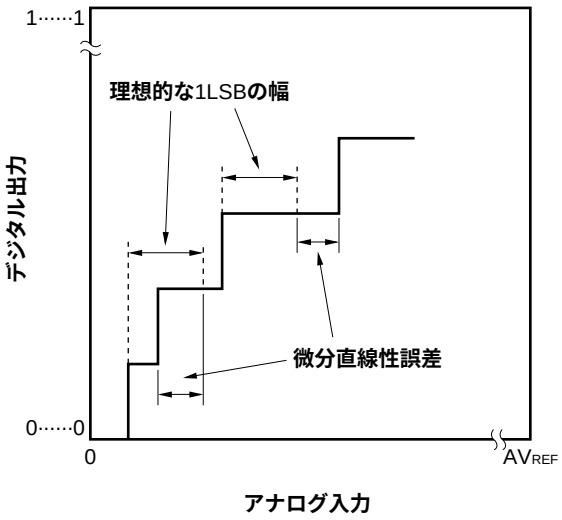


図11－43　微分直線性誤差



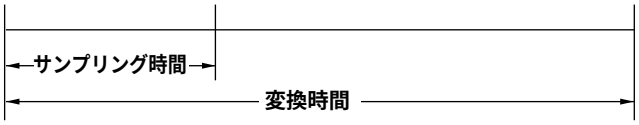
（8）変換時間

サンプリングを開始してから，デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

（9）サンプリング時間

アナログ電圧をサンプル＆ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。



11. 10　A/Dコンバータの注意事項

（1）STOPモード時の動作電流について

STOPモードに移行する場合は，A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）を0）させてから移行してください。このときADM0レジスタのビット0（ADCE）も0にすることにより，動作電流を低減させることができます。

スタンバイ状態から再度動作する場合，割り込み要求フラグ・レジスタ1H（IF1H）のビット0（ADIF）をクリア（0）してから，動作開始してください。

（2）ANI0-ANI7, ANI19端子入力範囲について

ANI0-ANI7, ANI19端子入力電圧は規格の範囲内でご使用ください。特にV_{DD}, AV_{REFP}を超える電圧，V_{SS}, AV_{REFM}未満（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャネルの変換値が不定となります。また，ほかのチャネルの変換値にも影響を与えることがあります。

内部基準電圧（1.45 V）をA/Dコンバータの＋側の基準電圧に選択した場合は，ADSレジスタで選択されている端子には内部基準電圧（1.45 V）を超える電圧を入れないでください。ただし，ADSレジスタで選択されていない端子が内部基準電圧（1.45 V）を超える電圧になっていても問題ありません

注意　内部基準電圧（1.45 V）は，HS（高速メイン）モードでのみ選択可能です。

（3）競合動作について

① 変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと，命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCR, ADCRHレジスタにライトされます。

② 変換終了時のADCR，ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0（ADM0）へのライト，アナログ入力チャネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また，変換終了割り込み信号（INTAD）も発生しません。

（4）ノイズ対策について

10ビット分解能を保つためには，AV_{REFP}, V_{DD}, ANI0-ANI7, ANI19端子へのノイズに注意する必要があります。

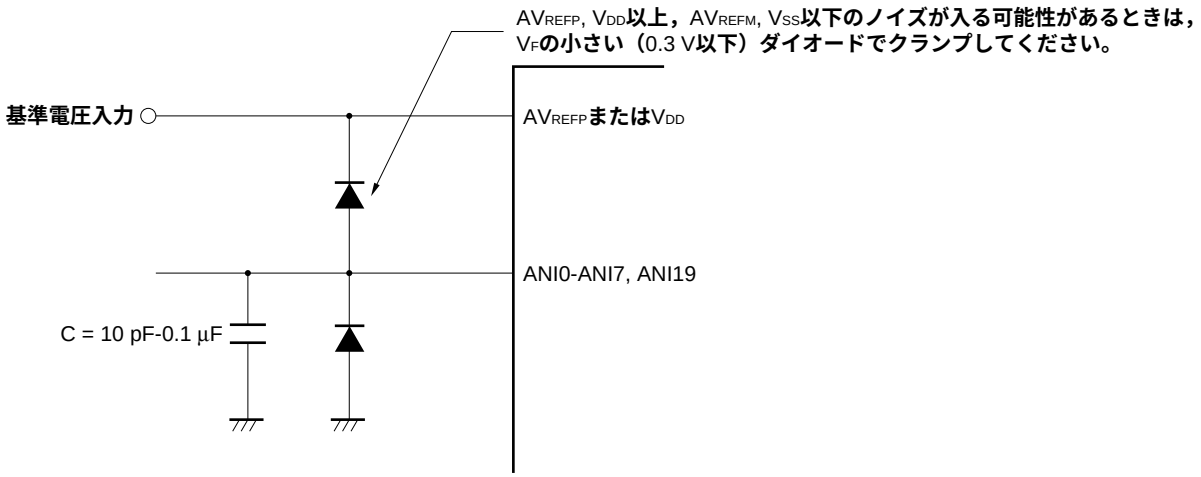
① 電源には等価抵抗が小さく，周波数応答のよいコンデンサを接続してください。

② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので，ノイズを低減するために図11－44のようにコンデンサを外付けすることを推奨します。

③ 変換中においては，他の端子とスイッチングしないようにしてください。

④ 変換開始直後にHALTモードに設定すると，精度が向上します。

図11－44　アナログ入力端子の処理



（5）アナログ入力（ANIn）端子

① アナログ入力（ANI0-ANI7, ANI19）端子は入力ポート（P20-P27, P120）端子と兼用になっています。ANI0-ANI7, ANI19端子のいずれかを選択してA/D変換をする場合，変換中にP20-P27, P120に対してアクセスしないでください。変換分解能が低下することがあります。

② A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると，カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって，A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

（6）アナログ入力（ANIn）端子の入力インピーダンスについて

このA/Dコンバータでは，サンプリング時間で内部のサンプリング・コンデンサに充電して，サンプリングを行っています。

したがって，サンプリング中以外はリーク電流だけであり，サンプリング中にはコンデンサに充電するための電流も流れるので，入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし，十分にサンプリングするためには，アナログ入力源の出力インピーダンスを1 kΩ以下にし，出力インピーダンスが高いときはANI0-ANI7, ANI19端子に100 pF程度のコンデンサを付けることを推奨します（図11－44参照）。

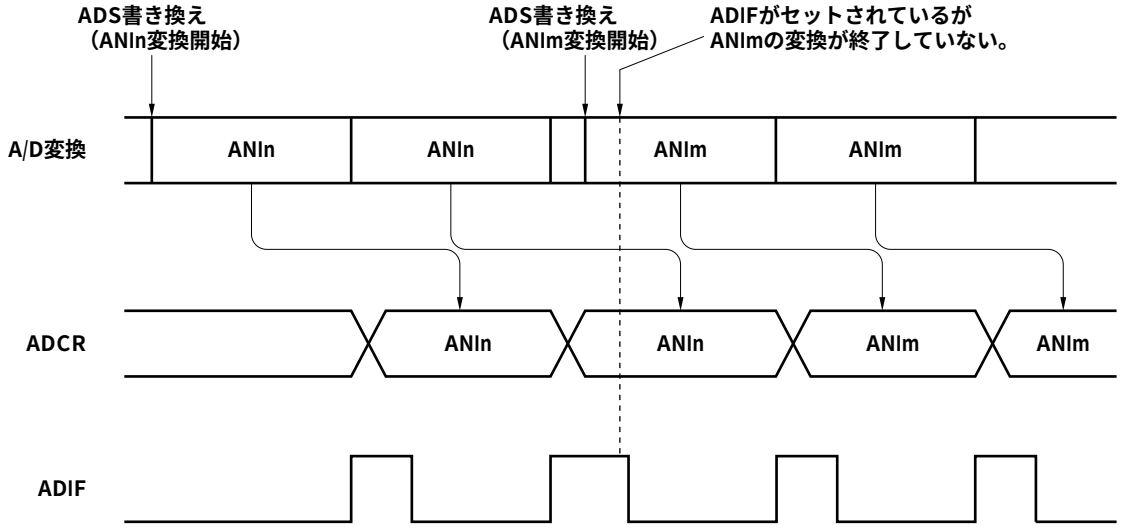
（7）割り込み要求フラグ（ADIF）について

アナログ入力チャネル指定レジスタ（ADS）を変更しても割り込み要求フラグ（ADIF）はクリア（0）されません。

したがって，A/D変換中にアナログ入力端子の変更を行った場合，ADSレジスタ書き換え直前に，変更前のアナログ入力に対するA/D変換結果およびADIFフラグがセットされている場合があります。ADSレジスタ書き換え直後にADIFフラグを読み出すと，変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセットされていることになりますので注意してください。

また，A/D変換を一度停止させて再開する場合は，再開する前にADIFフラグをクリア（0）してください。

図11－45　A/D変換終了割り込み要求発生タイミング



（8）A/D変換スタート直後の変換結果について

ソフトウエア・トリガ・モード，ハードウエア・トリガ・ノーウエイト・モードでADCEビット ＝1にしてから，1 μs以内にADCSビット ＝1にした場合，A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求（INTAD）をポーリングし，最初の変換結果を廃棄するなどの対策を行ってください。

（9）A/D変換結果レジスタ（ADCR, ADCRH）の読み出しについて

A/Dコンバータ・モード・レジスタ0（ADM0），アナログ入力チャネル指定レジスタ（ADS），A/Dポート・コンフィギュレーション・レジスタ（ADPC），ポート・モード・コントロール・レジスタ（PMC）に対して書き込み動作を行ったとき，ADCR，ADCRHレジスタの内容は不定となることがあります。変換結果は，変換動作終了後，ADM0，ADS，ADPC，PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは，正しい変換結果が読み出されないことがあります。

（10）内部等価回路について

アナログ入力部の等価回路を次に示します。

図11－46　ANIn端子内部等価回路

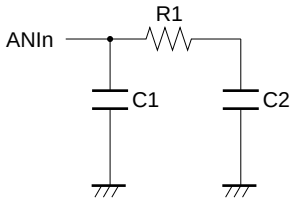


表11－4　等価回路の各抵抗と容量値（参考値）

AV_{REFP}, V_{DD}	ANIn端子	R1 [kΩ]	C1 [pF]	C2 [pF]
3.6 V≦V_{DD}≦5.5 V	ANI0-ANI7	14	8	2.5
	ANI19	18	8	7.0
2.4 V≦V_{DD}＜3.6 V	ANI0-ANI7	632	8	2.5
	ANI19	902	8	7.0

備考　表11－4の各抵抗と容量値は保証値ではありません。

（11）A/Dコンバータの動作開始について

A/Dコンバータの動作は，AV_{REFP}, V_{DD}の電圧が安定してから開始してください。

第12章　シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに2つのシリアル・チャネルを持ちます。各チャネルは簡易SPI（CSI注），UART，簡易I²Cの通信機能を実現できます。

RL78/G1Cで対応している各チャネルの機能割り当ては，次のようになっています。

注　一般的にはSPIと呼ばれる機能ですが，本製品ではCSIとも呼称しているため，本マニュアルでは併記します。

チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	CSI00	UART0	IIC00
1	CSI01		IIC01

12. 1　シリアル・アレイ・ユニットの機能

RL78/G1Cで対応している各シリアル・インタフェースの特徴を示します。

12. 1. 1　簡易SPI（CSI00, CSI01）

マスタから出力されるシリアル・クロック（SCK）に同期してデータの送信／受信を行います。

シリアル・クロック（SCK）1本と送信，受信のシリアル・データ（SO, SI）2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は，「12. 5　簡易SPI（CSI00, CSI01）通信の動作」を参照してください。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート[注]　マスタ通信時：Max. $f_{CLK}/2$（CSI00のみ）

Max. $f_{CLK}/4$

スレーブ通信時：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，CSI00のみ設定可能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，第30章または第31章　電気的特性を参照してください。

12. 1. 2　UART（UART0）

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して）データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。

［データ送受信］

・7, 8, 9ビットのデータ長

・MSB/LSBファーストの選択

・送受信データのレベル設定，反転の選択

・パリティ・ビット付加，パリティ・チェック機能

・ストップ・ビット付加

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

・フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

12. 1. 3　簡易I²C（IIC00, IIC01）

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

具体的な設定例は，「12. 7　簡易I²C（IIC00, IIC01）通信の動作」を参照してください。

［データ送受信］

・マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）

・ACK出力機能[注]，ACK検出機能

・8ビットのデータ長

（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）

・スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

・転送完了割り込み

［エラー検出フラグ］

・パリティ・エラー（ACKエラー），オーバラン・エラー

※［簡易I²Cでサポートしていない機能］

・スレーブ送信，スレーブ受信

・アービトレーション負け検出機能

・クロック・ストレッチ検出機能

注　最終データの受信時は，SOEmnビット（シリアル出力許可レジスタm（SOEm））ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，12. 7. 3（2）処理フローを参照してください。

備考　フル機能のI²Cバスをご使用の場合は，第13章　シリアル・インタフェースIICAを参照してください。

12. 2　シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは，次のハードウエアで構成されています。

表12－1　シリアル・アレイ・ユニットの構成

項　　目	構　　成
シフト・レジスタ	9ビット
バッファ・レジスタ	シリアル・データ・レジスタmn（SDRmn）の下位9ビット注
シリアル・クロック入出力	SCK00, SCK01端子（簡易SPI用），SCL00, SCL01端子（簡易I^2C用）
シリアル・データ入力	SI00, SI01端子（簡易SPI用），RxD0端子（UART用）
シリアル・データ出力	SO00, SO01端子（簡易SPI用），TxD0端子（UART用）
シリアル・データ入出力	SDA00, SDA01端子（簡易I^2C用）
制御レジスタ	＜ユニット設定部のレジスタ＞ ・周辺イネーブル・レジスタ0（PER0） ・シリアル・クロック選択レジスタm（SPSm） ・シリアル・チャネル許可レジスタm（SEm） ・シリアル・チャネル開始レジスタm（SSm） ・シリアル・チャネル停止レジスタm（STm） ・シリアル出力許可レジスタm（SOEm） ・シリアル出力レジスタm（SOm） ・シリアル出力レベル・レジスタm（SOLm） ・シリアル・スタンバイ・コントロール・レジスタm（SSCm） ・ノイズ・フィルタ許可レジスタ0（NFEN0）
	＜各チャネル部のレジスタ＞ ・シリアル・データ・レジスタmn（SDRmn） ・シリアル・モード・レジスタmn（SMRmn） ・シリアル通信動作設定レジスタmn（SCRmn） ・シリアル・ステータス・レジスタmn（SSRmn） ・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
	・ポート入力モード・レジスタ3, 5（PIM3, PIM5） ・ポート出力モード・レジスタ0, 3, 5, 7（POM0, POM3, POM5, POM7） ・ポート・モード・レジスタ0, 3, 5, 7（PM0, PM3, PM5, PM7） ・ポート・レジスタ0, 3, 5, 7（P0, P3, P5, P7）

（注，備考は次ページにあります。）

注　シリアル・データ・レジスタmn（SDRmn）の下位8ビットは，通信方式により，次のSFR名称でリード／ライト可能です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）

・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）

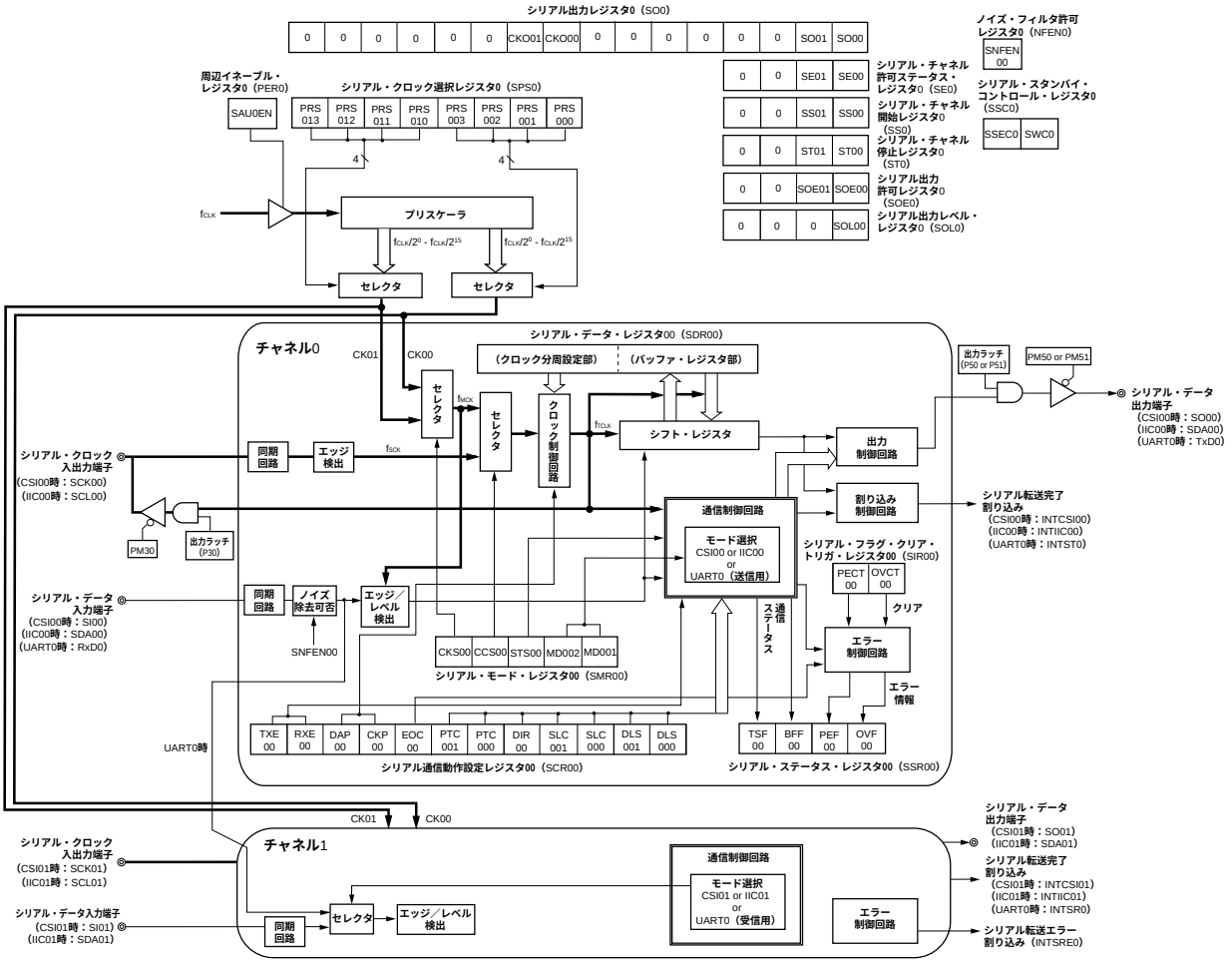
・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）

・IICr通信時・・・SIOr（IICrデータ・レジスタ）

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）
q：UART番号（q = 0）　r：IIC番号（r = 00, 01）

図12－1にシリアル・アレイ・ユニットのブロック図を示します。

図12－1　シリアル・アレイ・ユニットのブロック図



12. 2. 1　シフト・レジスタ

パラレル⇔シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は，9ビット（ビット0～8）を使用します。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには，シリアル・データ・レジスタmn（SDRmn）の下位9ビットを使用します。

	8	7	6	5	4	3	2	1	0
シフト・レジスタ									

12. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビット

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

ビット8-0（下位9ビット）[注1]，またはビット7-0（下位8ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

受信時には，シフト・レジスタで変換したパラレル・データを下位9ビットに格納します。送信時は，シフト・レジスタに転送する送信データを下位9ビットに設定します。

下位9ビットに格納するデータは，データ出力順序に関わらず，シリアル通信動作設定レジスタmn（SCRmn）のビット0, 1（DLSmn0, DLSmn1）の設定によって，次のようになります。

・7ビット・データ長（SDRmnレジスタのビット0-6に格納）
・8ビット・データ長（SDRmnレジスタのビット0-7に格納）
・9ビット・データ長（SDRmnレジスタのビット0-8に格納）

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8ビットは，通信方式により，次のSFR名称で8ビット単位でリード／ライト可能[注2]です。

・CSIp通信時・・・SIOp（CSIpデータ・レジスタ）
・UARTq受信時・・・RXDq（UARTq受信データ・レジスタ）
・UARTq送信時・・・TXDq（UARTq送信データ・レジスタ）
・IICr通信時・・・SIOr（IICrデータ・レジスタ）

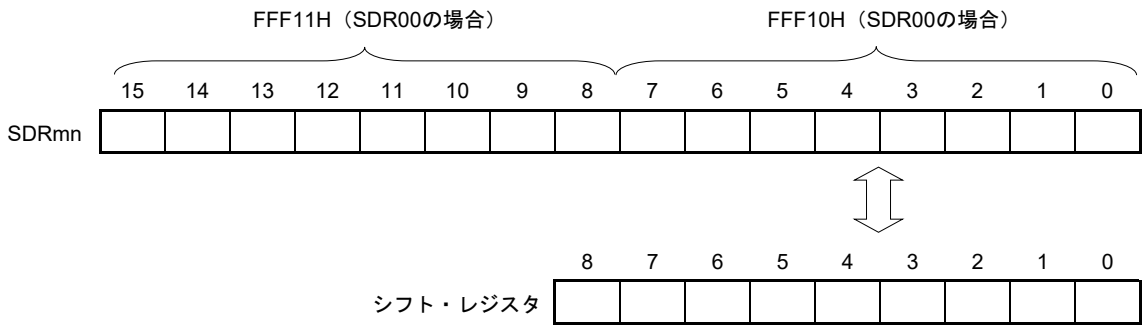
リセット信号の発生により，SDRmnレジスタは0000Hになります。

注 1.　9ビット・データ長は，UART0のみ対応しています。
　　2.　動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考 1.　受信完了後，ビット0-8内でデータ長を越える部分のビットには，“0”が格納されます。
　　2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）
　　q：UART番号（q = 0）　r：IIC番号（r = 00, 01）

図12－2　シリアル・データ・レジスタmn（SDRmn）（mn = 00, 01）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　　リセット時：0000H　　R/W



備考　SDRmnレジスタの上位7ビットの機能については，12. 3　シリアル・アレイ・ユニットを制御するレジスタを参照してください。

12. 3　シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

・周辺イネーブル・レジスタ0（PER0）
・シリアル・クロック選択レジスタm（SPSm）
・シリアル・モード・レジスタmn（SMRmn）
・シリアル通信動作設定レジスタmn（SCRmn）
・シリアル・データ・レジスタmn（SDRmn）
・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
・シリアル・ステータス・レジスタmn（SSRmn）
・シリアル・チャネル開始レジスタm（SSm）
・シリアル・チャネル停止レジスタm（STm）
・シリアル・チャネル許可ステータス・レジスタm（SEm）
・シリアル出力許可レジスタm（SOEm）
・シリアル出力レベル・レジスタm（SOLm）
・シリアル出力レジスタm（SOm）
・シリアル・スタンバイ・コントロール・レジスタm（SSCm）
・ノイズ・フィルタ許可レジスタ0（NFEN0）
・ポート入力モード・レジスタ3, 5（PIM3, PIM5）
・ポート出力モード・レジスタ0, 3, 5, 7（POM0, POM3, POM5, POM7）
・ポート・モード・レジスタ0, 3, 5, 7（PM0, PM3, PM5, PM7）
・ポート・レジスタ0, 3, 5, 7（P0, P3, P5, P7）

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニットを使用するときは，必ずビット2（SAU0EN）に1を設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，PER0レジスタは00Hになります。

図12－3　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

SAU0EN	シリアル・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットで使用するSFRへのリード／ライト可

注意1.　シリアル・アレイ・ユニットの設定をする際には，必ず最初にSAU0EN = 1の設定を行ってください。SAU0EN = 0の場合は，シリアル・アレイ・ユニットの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります（ノイズ・フィルタ許可レジスタ0（NFEN0），ポート入力モード・レジスタ3, 5（PIM3, PIM5），ポート出力モード・レジスタ0, 3, 5, 7（POM0, POM3, POM5, POM7），ポート・モード・レジスタ0, 3, 5, 7（PM0, PM3, PM5, PM7），ポート・レジスタ0, 3, 5, 7（P0, P3, P5, P7）は除く）。

・シリアル・クロック選択レジスタm（SPSm）
・シリアル・モード・レジスタmn（SMRmn）
・シリアル通信動作設定レジスタmn（SCRmn）
・シリアル・データ・レジスタmn（SDRmn）
・シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）
・シリアル・ステータス・レジスタmn（SSRmn）
・シリアル・チャネル開始レジスタm（SSm）
・シリアル・チャネル停止レジスタm（STm）
・シリアル・チャネル許可ステータス・レジスタm（SEm）
・シリアル出力許可レジスタm（SOEm）
・シリアル出力レベル・レジスタm（SOLm）
・シリアル出力レジスタm（SOm）
・シリアル・スタンバイ・コントロール・レジスタm（SSCm）

2.　ビット1, 3, 6には必ず“0”を設定してください。

12. 3. 2　シリアル・クロック選択レジスタm（SPSm）

SPSmレジスタは，各チャネルに共通して供給される2種類の動作クロック（CKm0, CKm1）を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を，ビット3-0でCKm0を選択します。

SPSmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは，SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SPSmレジスタは0000Hになります。

図12－4　シリアル・クロック選択レジスタm（SPSm）のフォーマット

アドレス：F0126H, F0127H　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0	動作クロック（CKmk）の選択[注1]					
					f_{CLK} = 2 MHz	f_{CLK} = 5 MHz	f_{CLK} = 10 MHz	f_{CLK} = 20 MHz	f_{CLK} = 24 MHz
0	0	0	0	f_{CLK}	2 MHz	5 MHz	10 MHz	20 MHz	24 MHz
0	0	0	1	$f_{CLK}/2$	1 MHz	2.5 MHz	5 MHz	10 MHz	12 MHz
0	0	1	0	$f_{CLK}/2^2$	500 kHz	1.25 MHz	2.5 MHz	5 MHz	6 MHz
0	0	1	1	$f_{CLK}/2^3$	250 kHz	625 kHz	1.25 MHz	2.5 MHz	3 MHz
0	1	0	0	$f_{CLK}/2^4$	125 kHz	313 kHz	625 kHz	1.25 MHz	1.5 MHz
0	1	0	1	$f_{CLK}/2^5$	62.5 kHz	156 kHz	313 kHz	625 kHz	750 kHz
0	1	1	0	$f_{CLK}/2^6$	31.3 kHz	78.1 kHz	156 kHz	313 kHz	375 kHz
0	1	1	1	$f_{CLK}/2^7$	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	187.5 kHz
1	0	0	0	$f_{CLK}/2^8$	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	93.8 kHz
1	0	0	1	$f_{CLK}/2^9$	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	46.9 kHz
1	0	1	0	$f_{CLK}/2^{10}$	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	23.4 kHz
1	0	1	1	$f_{CLK}/2^{11}$	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	11.7 kHz
1	1	0	0	$f_{CLK}/2^{12}$	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	5.86 kHz
1	1	0	1	$f_{CLK}/2^{13}$	244 Hz	610 Hz	1.22 kHz	2.44 kHz	2.93 kHz
1	1	1	0	$f_{CLK}/2^{14}$	122 Hz	305 Hz	610 Hz	1.22 kHz	1.46 kHz
1	1	1	1	$f_{CLK}/2^{15}$	61 Hz	153 Hz	305 Hz	610 Hz	732 Hz

注　シリアル・アレイ・ユニット（SAU）動作中にf_{CLK}で選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，SAUの動作を停止（シリアル・チャネル停止レジスタm（STm）　= 0003H）させてから変更してください。

注意　ビット15-8には，必ず0を設定してください。

備考1.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

2.　m：ユニット番号（m = 0）

3.　k = 0, 1

12. 3. 3　シリアル・モード・レジスタmn（SMRmn）

SMRmnレジスタは，チャネルnの動作モード設定レジスタです。動作クロック（f_{MCK}）の選択，シリアル・クロック（f_{SCK}）入力の使用可否，スタート・トリガ設定，動作モード（簡易SPI（CSI），UART，簡易I^2C）設定，割り込み要因の選択を行います。またUARTモード時のみ，受信データのレベル反転の設定を行います。

SMRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。ただしMDmn0ビットは，動作中でも書き換えをすることができます。

SMRmnレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SMRmnレジスタは0020Hになります。

図12－5　シリアル・モード・レジスタmn（SMRmn）のフォーマット（1/2）

アドレス：F0110H, F0111H（SMR00），F0112H, F0113H（SMR01）　　リセット時：0020H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャネルnの動作クロック（f_{MCK}）の選択
0	SPSmレジスタで設定した動作クロックCKm0
1	SPSmレジスタで設定した動作クロックCKm1
動作クロック（f_{MCK}）は，エッジ検出回路に使用されます。また，CCSmnビットとSDRmnレジスタの上位7ビットの設定により，転送クロック（f_{TCLK}）を生成します。	

CCS mn	チャネルnの転送クロック（f_{TCLK}）の選択
0	CKSmnビットで指定した動作クロックf_{MCK}の分周クロック
1	SCKp端子からの入力クロックf_{SCK}（簡易SPI（CSI）モードのスレーブ転送）
転送クロックf_{TCLK}は，シフト・レジスタ，通信制御回路，出力制御回路，割り込み制御回路，エラー制御回路に使用されます。CCSmn = 0の場合は，SDRmnレジスタの上位7ビットで動作クロック（f_{MCK}）の分周設定を行います。	

STS mn注	スタート・トリガ要因の選択
0	ソフトウエア・トリガのみ有効（簡易SPI（CSI），UART送信，簡易I^2C時に選択）
1	RxDq端子の有効エッジ（UART受信時に選択）
SSmレジスタに1を設定後，上記の要因が満たされてから転送開始となります。	

注　SMR01レジスタのみ。

注意　ビット13-9, 7, 4, 3（SMR00レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）
q：UART番号（q = 0）　r：IIC番号（r = 00, 01）

図12－5　シリアル・モード・レジスタmn（SMRmn）のフォーマット（2/2）

アドレス：F0110H, F0111H（SMR00）, F0112H, F0113H（SMR01）　　リセット時：0020H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注	0	SIS mn0注	1	0	0	MD mn2	MD mn1	MD mn0

SIS mn0 注	UARTモードでのチャネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは，そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは，反転して取り込まれます。

MD mn2	MD mn1	チャネルnの動作モードの設定
0	0	簡易SPI（CSI）モード
0	1	UARTモード
1	0	簡易I^2Cモード
1	1	設定禁止

MD mn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み （転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生）
連続送信時はMDmn0 = 1として，SDRmnデータが空になったら次送信データの書き込みを行う。	

注　SMR01レジスタのみ。

注意　ビット13-9, 7, 4, 3（SMR00レジスタの場合は，ビット13-6, 4, 3）には，必ず0を設定してください。ビット5には，必ず1を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）
q：UART番号（q = 0）　r：IIC番号（r = 00, 01）

12. 3. 4　シリアル通信動作設定レジスタmn（SCRmn）

チャネルnの通信動作設定レジスタです。データ送受信モード，データとクロックの位相，エラー信号のマスク可否，パリティ・ビット，先頭ビット，ストップ・ビット，データ長などの設定を行います。

SCRmnレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SCRmnレジスタは，16ビット・メモリ操作命令で設定します。

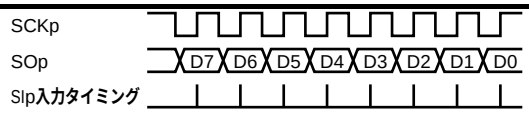
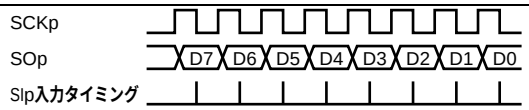
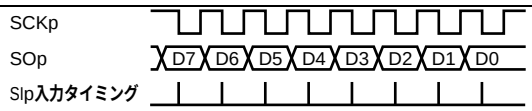
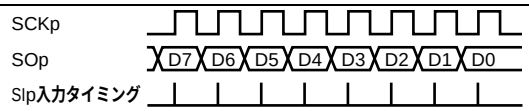
リセット信号の発生により，SCRmnレジスタは0087Hになります。

図12－6　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（1/2）

アドレス：F0118H, F0119H（SCR00）, F011AH, F011BH（SCR01）　　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1	DLSmn0

TXEmn	RXEmn	チャネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAPmn	CKPmn	簡易SPI（CSI）モードでのデータとクロックの位相選択	タイプ
0	0		1
0	1		2
1	0		3
1	1		4
UARTモード，簡易I²Cモード時には，必ずDAPmn, CKPmn = 0, 0に設定してください。			

EOCmn	エラー割り込み信号（INTSRE0）のマスク可否の選択
0	エラー割り込みINTSRE0をマスクする（INTSR0はマスクされない）
1	エラー割り込みINTSRE0の発生を許可する（エラー発生時にINTSR0はマスクされる）
簡易SPI（CSI）モード，簡易I²Cモード，UART送信時には，EOCmn = 0に設定してください注2。 UART受信時には，EOCmn = 1に設定してください。	

注1.　SCR00レジスタのみ。

2.　CSI01をEOC01 = 0で使用しない場合，エラー割り込みINTSRE0が発生する場合があります。

注意　ビット3, 6, 11には，必ず0を設定してください（SCR01レジスタはビット5も0に設定してください。）。ビット2には，必ず1を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－6　シリアル通信動作設定レジスタmn（SCRmn）のフォーマット（2/2）

アドレス：F0118H, F0119H（SCR00）, F011AH, F011BH（SCR01）　　リセット時：0087H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn	0	EOCmn	PTCmn1	PTCmn0	DIRmn	0	SLCmn1注1	SLCmn0	0	1	DLSmn1	DLSmn0

PTCmn1	PTCmn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力注2	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う
簡易SPI（CSI）モード，簡易I²Cモード時には，必ずPTCmn1, PTCmn0 = 0, 0に設定してください。			

DIRmn	簡易SPI（CSI）, UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う
簡易I²Cモード時には，必ずDIRmn = 0に設定してください。	

SLCmn1注1	SLCmn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット（mn = 00, 02, 10, 12のみ）
1	1	設定禁止
転送完了割り込みを選択している場合は，全部のストップ・ビットが完了してから割り込みを発生します。 UART受信時，簡易I²Cモード時には，1ビット（SLCmn1, SLCmn0 = 0, 1）に設定してください。 簡易SPI（CSI）モード時には，ストップ・ビットなし（SLCmn1, SLCmn0 = 0, 0）に設定してください。 UART送信時は，1ビット（SLCmn1, SLCmn0 = 0, 1）又は2ビット（SLCmn1, SLCmn0 = 1, 0）に設定してください。		

DLSmn1	DLSmn0	簡易SPI（CSI）, UARTモードでのデータ長の設定
0	1	9ビット・データ長（SDRmnレジスタのビット0-8に格納） （UARTモード時のみ選択可）
1	0	7ビット・データ長（SDRmnレジスタのビット0-6に格納）
1	1	8ビット・データ長（SDRmnレジスタのビット0-7に格納）
その他		設定禁止
簡易I²Cモード時には，必ずDLSmn1, DLSmn0 = 1, 1に設定してください。		

注1.　SCR00レジスタのみ。

2.　データの内容にかかわらず必ず0が付加されます。

注意　ビット3, 6, 11には，必ず0を設定してください（SCR01レジスタはビット5も0に設定してください。）。ビット2には，必ず1を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

12. 3. 5　シリアル・データ・レジスタmn（SDRmn）

SDRmnレジスタは，チャネルnの送受信データ・レジスタ（16ビット）です。

SDR00，SDR01のビット8-0（下位9ビット）は，送受信バッファ・レジスタとして機能し，ビット15-9の部分は動作クロック（f_{MCK}）の分周設定レジスタとして使われます。

シリアル・モード・レジスタmn（SMRmn）でCCSmnビットを0に設定した場合は，動作クロックをこのSDRmnレジスタの上位7ビットで分周設定したクロックが，転送クロックとして使用されます。

また，CCSmnビットを1に設定した場合は，SDR00, SDR01のビット15-9（上位7ビット）に”0000000B”を設定してください。SCKp端子からの入力クロックf_{SCK}（簡易SPI（CSI）モードのスレーブ転送）が転送クロックとなります。

SDRmnレジスタの下位9ビットは，送受信バッファ・レジスタとして機能します。受信時には，シフト・レジスタで変換したパラレル・データを下位9ビットに格納し，送信時には，シフト・レジスタに転送する送信データを下位9ビット設定します。

SDRmnレジスタは16ビット単位でリード／ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（SEmn = 0）のときのみ有効です。動作中（SEmn = 1）にSDRmnレジスタに書き込みを行ったときは，下位9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行ったときは，常に0が読み出されます。

リセット信号の発生により，SDRmnレジスタは0000Hになります。

図12－7　シリアル・データ・レジスタmn（SDRmn）のフォーマット

アドレス：FFF10H, FFF11H（SDR00）, FFF12H, FFF13H（SDR01）　　リセット時：0000H　　R/W

	FFF11H（SDR00の場合）								FFF10H（SDR00の場合）							
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn																

SDRmn[15:9]							動作クロック（f_{MCK}）の分周による転送クロック設定
0	0	0	0	0	0	0	$f_{MCK}/2$
0	0	0	0	0	0	1	$f_{MCK}/4$
0	0	0	0	0	1	0	$f_{MCK}/6$
0	0	0	0	0	1	1	$f_{MCK}/8$
・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・	・ ・ ・
1	1	1	1	1	1	0	$f_{MCK}/254$
1	1	1	1	1	1	1	$f_{MCK}/256$

注意1.　UART使用時は，SDRmn[15:9] =（0000000B, 0000001B）は設定禁止です。

2.　簡易I^2C使用時は，SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

3.　動作停止（SEmn = 0）時は，8ビット・メモリ操作命令によるSDRmn[7:0]の書き換えは禁止です（SDRmn[15:9]がすべてクリア（0）されます）。

備考1.　SDRmnレジスタの下位9ビットの機能については，12. 2　シリアル・アレイ・ユニットの構成を参照してください。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 3. 6　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）

チャネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット（FECTmn, PECTmn, OVCTmn）を1にセットすると，シリアル・ステータス・レジスタmn（SSRmn）の対応ビット（FEFmn, PEFmn, OVFmn）が0にクリアされます。SIRmnレジスタはトリガ・レジスタなので，SSRmnレジスタの対応ビットをクリアするとすぐSIRmnレジスタもクリアされます。

SIRmnレジスタは，16ビット・メモリ操作命令で設定します。

またSIRmnレジスタの下位8ビットは，SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SIRmnレジスタは0000Hになります。

図12－8　シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）のフォーマット

アドレス：F0108H, F0109H（SIR00）, F010AH, F010BH（SIR01）　　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn注	PECTmn	OVCTmn

FECTmn	チャネルnのフレーミング・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのFEFmnビットを0にクリアする

PECTmn	チャネルnのパリティ・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのPEFmnビットを0にクリアする

OVCTmn	チャネルnのオーバーラン・エラー・フラグのクリア・トリガ
0	クリアしない
1	SSRmnレジスタのOVFmnビットを0にクリアする

注　SIR01レジスタのみ。

注意　ビット15-3（SIR00レジスタの場合は，ビット15-2）には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

2.　SIRmnレジスタの読み出し値は常に0000Hとなります。

12. 3. 7　シリアル・ステータス・レジスタmn（SSRmn）

SSRmnレジスタは，チャネルnの通信ステータス，エラー発生状況を表示するレジスタです。表示するエラーは，フレーミング・エラー，パリティ・エラー，オーバラン・エラーです。

SSRmnレジスタは，16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは，SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SSRmnレジスタは0000Hになります。

図12－9　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（1/2）

アドレス：F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

TSFmn	チャネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態

＜クリア条件＞
- STmレジスタのSTmnビットに1を設定時（通信停止状態），もしくはSSmレジスタのSSmnビットに1を設定時（通信待機状態）
- 通信動作が終了時

＜セット条件＞
- 通信動作を開始時

BFFmn	チャネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている

＜クリア条件＞
- 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき
- 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき
- STmレジスタのSTmnビットに1を設定時（通信停止状態），SSmレジスタのSSmnビットに1を設定時（通信許可状態）。

＜セット条件＞
- SCRmnレジスタのTXEmnビット ＝1（各通信モードでの送信，送受信モード時）の状態でSDRmnレジスタに送信データを書き込んだとき
- SCRmnレジスタのRXEmnビット ＝1（各通信モードでの受信，送受信モード時）の状態でSDRmnレジスタに受信データが格納されたとき
- 受信エラー時

注　SSR01レジスタのみ。

注意　SNOOZEモード（SWCm ＝ 1）で簡易SPI（CSI）の受信動作を行う場合，BFFmnフラグは動作しません。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

図12－9　シリアル・ステータス・レジスタmn（SSRmn）のフォーマット（2/2）

アドレス：F0100H, F0101H（SSR00）, F0102H, F0103H（SSR01）　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSFmn	BFFmn	0	0	FEFmn注	PEFmn	OVFmn

FEFmn注	チャネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時）

＜クリア条件＞
・SIRmnレジスタのFECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，ストップ・ビットが検出されないとき

PEFmn	チャネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生（UART受信時），またはACK未検出発生（I²C送信時）

＜クリア条件＞
・SIRmnレジスタのPECTmnビットに1を書き込んだとき
＜セット条件＞
・UART受信完了時に，送信データのパリティとパリティ・ビットが一致しないとき（パリティ・エラー）
・I²C送信時に，ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき（ACK未検出）

OVFmn	チャネルnのオーバラン・エラー検出フラグ
0	エラーなし
1	エラー発生

＜クリア条件＞
・SIRmnレジスタのOVCTmnビットに1を書き込んだとき
＜セット条件＞
・SCRmnレジスタのRXEmnビット ＝ 1（各通信モードでの受信，送受信モード時）の状態で，受信データがSDRmnレジスタに格納されているのに，読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき
・簡易SPI（CSI）モードのスレーブ送信／送受信で，送信データが準備できていないとき

注　SSR01レジスタのみ。

注意1.　BFFmn = 1のときにSDRmnレジスタに書き込みをすると，格納されている送信／受信データが破壊され、オーバラン・エラー（OVEmn = 1）と検出されます。

2.　SNOOZEモード（SWCm ＝ 1）で簡易SPI（CSI）の受信動作を行う場合，OVFmnフラグは動作しません。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 3. 8　シリアル・チャネル開始レジスタm（SSm）

SSmレジスタは，通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（SSmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が1にセット（動作許可状態）されます。SSmnビットはトリガ・ビットなので，SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは，16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは，SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSmレジスタは0000Hになります。

図12－10　シリアル・チャネル開始レジスタm（SSm）のフォーマット

アドレス：F0122H, F0123H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS01	SS00

SSmn	チャネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし，通信待機状態に遷移する[注]

注　通信動作中にSSmn = 1を設定すると，通信を停止して待機状態になります。このとき，制御レジスタ，シフト・レジスタの値，SCKmn, SOmn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1.　ビット15-2には，必ず0を設定してください。

2.　UART受信の場合は，SCRmnレジスタのRXEmnビットを“1”に設定後に，f_{CLK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

2.　SSmレジスタの読み出し値は常に0000Hとなります。

12. 3. 9　シリアル・チャネル停止レジスタm（STm）

STmレジスタは，通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット（STmn）に1を書き込むと，シリアル・チャネル許可ステータス・レジスタm（SEm）の対応ビット（SEmn）が0にクリア（動作停止状態）されます。STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

STmレジスタは，16ビット・メモリ操作命令で設定します。

またSTmレジスタの下位8ビットは，STmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，STmレジスタは0000Hになります。

図12－11　シリアル・チャネル停止レジスタm（STm）のフォーマット

アドレス：F0124H, F0125H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	ST01	ST00

STmn	チャネルnの動作停止トリガ
0	トリガ動作せず
1	SEmnビットを0にクリアし，通信動作を停止する[注]

注　制御レジスタ，シフト・レジスタの値，およびシリアル・クロック入出力端子，シリアル・データ出力端子，各エラー・フラグ（FEFmn：フレーミング・エラー・フラグ, PEFmn：パリティ・エラー・フラグ, OVFmn：オーバーラン・エラー・フラグ）は，状態を保持したまま停止します。

注意　ビット15-2には，必ず0を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

2.　STmレジスタの読み出し値は常に0000Hとなります。

12. 3. 10　シリアル・チャネル許可ステータス・レジスタm（SEm）

SEmレジスタは，各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタm（SSm）の各ビットに1を書き込むと，その対応ビットが1にセットされます。シリアル・チャネル停止レジスタm（STm）の各ビットに1を書き込むと，その対応ビットが0にクリアされます。

動作を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のCKOmnビット（チャネルnのシリアル・クロック出力）の値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは，SOmレジスタのCKOmnビットの値をソフトウエアで設定することができ，その値をシリアル・クロック端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SEmレジスタは，16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは，SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により，SEmレジスタは0000Hになります。

図12－12　シリアル・チャネル許可ステータス・レジスタm（SEm）のフォーマット

アドレス：F0120H, F0121H　　リセット時：0000H　R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SE01	SE00

SEmn	チャネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 3. 11　シリアル出力許可レジスタm（SOEm）

SOEmレジスタは，各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャネルnは，後述のシリアル出力レジスタm（SOm）のSOmnビットの値をソフトウエアによって書き換えできなくなり，通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャネルnは，SOmレジスタのSOmnビットの値をソフトウエアで設定することができ，その値をシリアル・データ出力端子から出力できます。これにより，スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウエアで作成することができます。

SOEmレジスタは，16ビット・メモリ操作命令で設定します。

またSOEmレジスタの下位8ビットは，SOEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOEmレジスタは0000Hになります。

図12－13　シリアル出力許可レジスタm（SOEm）のフォーマット

アドレス：F012AH, F012BH　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE01	SOE00

SOEmn	チャネルnのシリアル出力許可／停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注意　ビット15-2には，必ず0を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 3. 12　シリアル出力レジスタm（SOm）

SOmレジスタは，各チャネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmnビットの値が，チャネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmnビットの値が，チャネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmnビットのソフトウエアによる書き換えは，シリアル出力禁止（SOEmn = 0）時のみ可能です。シリアル出力許可（SOEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmnビットのソフトウエアによる書き換えは，チャネル動作停止（SEmn = 0）時のみ可能です。チャネル動作許可（SEmn = 1）時は，ソフトウエアによる書き換えは無視され，シリアル通信動作によってのみ値が変更されます。

また，シリアル・インタフェース用端子をポート機能として使用する場合は，該当するCKOmn，SOmnビットに“1”を設定してください。

SOmレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，SOmレジスタは0303Hになります。

図12－14　シリアル出力レジスタm（SOm）のフォーマット

アドレス：F0128H, F0129H　リセット時：0303H　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	0	0	CKO01	CKO00	0	0	0	0	0	0	SO01	SO00

CKOmn	チャネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SOmn	チャネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注意　ビット15-10, 7-2には，必ず0を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 3. 13　シリアル出力レベル・レジスタm（SOLm）

SOLmレジスタは，各チャネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI（CSI）モード，簡易I^2Cモード時は，必ず対応するビットに0を設定してください。

このレジスタによる各チャネルnの反転設定は，シリアル出力許可（SOEmn = 1）時のみ端子出力に反映されます。シリアル出力禁止（SOEmn = 0）時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは，動作中（SEmn = 1のとき）の書き換えは禁止です。

SOLmレジスタは，16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは，SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SOLmレジスタは0000Hになります。

図12－15　シリアル出力レベル・レジスタm（SOLm）のフォーマット

アドレス：F0134H, F0135H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL00

SOLmn	UARTモードでのチャネルnの送信データのレベル反転の選択
0	通信データは，そのまま出力されます。
1	通信データは，反転して出力されます。

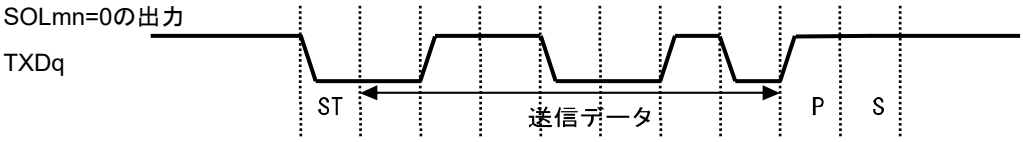
注意　ビット15-1には，必ず0を設定してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

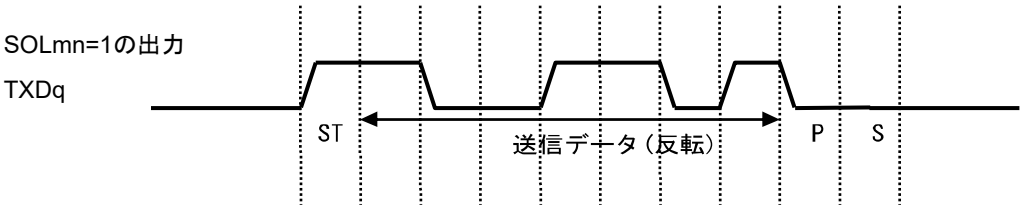
UART送信時，送信データのレベル反転例を図12－16に示します。

図12－16　送信データのレベル反転例

（ａ）非反転出力（SOLmｎ ＝0）



（b）反転出力（SOLmｎ ＝1）



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

12. 3. 14　シリアル・スタンバイ・コントロール・レジスタm（SSCm）

SSCmレジスタは，CSI00のシリアル・データ受信による，STOPモード状態からの受信動作起動（SNOOZEモード）を制御するレジスタです。

SSCmレジスタは，16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは，SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により，SSCmレジスタは0000Hになります。

注意　SNOOZEモード時の最大転送レートは，次のようになります。

・CSI00の場合：　1 Mbps

図12－17　シリアル・スタンバイ・コントロール・レジスタm（SSCm）のフォーマット

アドレス：F0138H　　リセット時：0000H　　R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み（INTSRE0）発生許可
1	エラー割り込み（INTSRE0）発生停止
RL78/G1Cでは，SSECmビットは0に設定してください。	

SWCm	STOPモード状態からのCSI00受信動作起動許可／停止の選択
0	STOPモードからの受信動作起動停止
1	STOPモードからの受信動作起動許可 （CSI00の非同期受信を有効化）

注意　SSECm, SWCm = 1, 0は設定禁止です。

12. 3. 15　ノイズ・フィルタ許可レジスタ0（NFEN0）

NFEN0レジスタは，シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャネルごとに設定するレジスタです。

簡易SPI（CSI），簡易I^2C通信に使用する端子は，対応するビットに0を設定して，ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は，対応するビットに1を設定して，ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は，対象チャネルの動作クロック（f_{MCK}）で同期化のあと，2クロックの一致検出を行います。ノイズ・フィルタ無効時は，対象チャネルの動作クロック（f_{MCK}）で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，NFEN0レジスタは00Hになります。

注　詳細は，6. 5. 1（2）TImn端子からの入力信号の有効エッジを選択した場合（CCSmn = 1），6. 5. 2 カウンタのスタート・タイミングを参照。

図12－18　ノイズ・フィルタ許可レジスタ0（NFEN0）のフォーマット

アドレス：F0070H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	0	0	SNFEN00

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは，SNFEN00 = 1に設定してください。 RxD0以外の機能として使用するときは，SNFEN00 = 0に設定してください。	

注意　ビット7-1に必ず0を設定してください。

12. 3. 16　シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は，対象チャネルと兼用するポートに関するレジスタ（ポート・モード・レジスタ（PMxx），ポート・レジスタ（Pxx），ポート入力モード・レジスタ(PIMxx)，ポート出力モード・レジスタ（POMxx）を設定してください。

詳細は，4. 3. 1　ポート・モード・レジスタ（PMxx），4. 3. 2　ポート・レジスタ（Pxx），4. 3. 4　ポート入力モード・レジスタ（PIMxx），4. 3. 5　ポート出力モード・レジスタ（POMxx），4. 3. 6　ポート・モード・コントロール・レジスタ（PMCxx）を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート（P51/INTP2/SO00/TXD0/TOOLTxD/TI01/TO01など）をシリアル・データ出力またはシリアル・クロック出力として使用するとき，各ポートに対応するポート出力モード・レジスタ（POMxx）のビットおよびポート・モード・レジスタ（PMxx）のビットに0を，ポート・レジスタ（Pxx）のビットに1を設定してください。

なお，N-chオープン・ドレイン出力（V_{DD}耐圧）モードで使用する場合は，各ポートに対応するポート出力モード・レジスタ（POMxx）のビットに1を設定してください。異電位（1.8 V系，2.5 V系，3 V系）で動作している外部デバイスと接続する場合は，4. 4. 4　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応を参照してください。

例）P51/INTP2/SO00/TXD0/TOOLTx/TI01/TO01をシリアル・データ出力として使用する場合
　　ポート出力モード・レジスタ5のPOM51ビットを0に設定
　　ポート・モード・レジスタ5のPM51ビットを0に設定
　　ポート・レジスタ5のP51ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート（P50/INTP1/SI00/RXD0/TOOLRxD/SDA00/(TI02)/(TO02)など）をシリアル・データ入力またはシリアル・クロック入力として使用するとき，各ポートに対応するポート・モード・レジスタ（PMxx）のビットに1を設定してください。また，ポート・モード・コントロール・レジスタ（PMCxx）のビットに0を設定してください。このときポート・レジスタ（Pxx）のビットは，0または1のどちらでもかまいません。

なお，TTL入力バッファで使用する場合は，各ポートに対応するポート入力モード・レジスタ（PIMxx）のビットに1を設定してください。異電位（1.8 V系，2.5 V系，3 V系）で動作している外部デバイスと接続する場合は，4. 4. 4　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応を参照してください。

例）P50/INTP1/SI00/RXD0/TOOLRxD/SDA00/(TI02)/(TO02)をシリアル・データ入力として使用する場合
　　ポート・モード・レジスタ5のPM50ビットを1に設定

12.4　動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには，動作停止モードがあります。
動作停止モードでは，シリアル通信を行いません。したがって，消費電力を低減できます。
また動作停止モードでは，シリアル・インタフェース用端子をポート機能として使用できます。

12.4.1　ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は，周辺イネーブル・レジスタ0（PER0）で行います。

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニットを停止するときは，ビット2（SAU0EN）に0を設定してください。

図12－19　ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0（PER0）の設定

（a）周辺イネーブル・レジスタ0（PER0）　・・・停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	RTCEN ×	0	ADCEN ×	IICA0EN ×	0	SAU0EN 0/1	0	TAU0EN ×

SAU0の入力クロックの制御
0：入力クロック供給停止
1：入力クロック供給

注意1.　SAU0EN = 0の場合は，シリアル・アレイ・ユニットの制御レジスタへの書き込みは無視され，読み出しても値はすべて初期値となります。
ただし，次のレジスタは除きます。
- ・ノイズ・フィルタ許可レジスタ0（NFEN0）
- ・シリアル・スタンバイ・コントロール・レジスタm（SSCm）
- ・ポート入力モード・レジスタ3, 5（PIM3, PIM5）
- ・ポート出力モード・レジスタ0, 3, 5, 7（POM0, POM3, POM5, POM7）
- ・ポート・モード・レジスタ0, 3, 5, 7（PM0, PM3, PM5, PM7）
- ・ポート・レジスタ0, 3, 5, 7（P0, P3, P5, P7）

2.　ビット1, 3, 6は必ず“0”にしてください。

備考　×：シリアル・アレイ・ユニットでは使用しないビット（他の周辺機能の設定による）
0/1：ユーザの用途に応じて0または1に設定

12. 4. 2　チャネルごとに動作停止とする場合

チャネルごとに動作停止とする場合の設定は，次の各レジスタで行います。

図12－20　チャネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャネル停止レジスタm（STm）

・・・各チャネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	STm1 0/1	STm0 0/1

1：SEmnビットを0にクリアし，通信動作を停止

※ STmnビットはトリガ・ビットなので，SEmn = 0になるとすぐSTmnビットはクリアされます。

(b) シリアル・チャネル許可ステータス・レジスタm（SEm）

・・・各チャネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SEm1 0/1	SEm0 0/1

0：動作停止状態

※SEmレジスタはRead Onlyのステータス・レジスタであり，STmレジスタにて動作停止にします。
動作を停止したチャネルは，SOmレジスタのCKOmnビットの値をソフトウエアで設定できます。

(c) シリアル出力許可レジスタm（SOEm）

・・・各チャネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

0：シリアル通信動作による出力停止

※ シリアル出力を停止したチャネルは，SOmレジスタのSOmnビットの値をソフトウエアで設定できます。

(d) シリアル出力レジスタm（SOm）

・・・各チャネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

1：シリアル・クロック出力値が“1”　　1：シリアル・データ出力値が“1”

※ 各チャネルに対応した端子をポート機能として使用する場合は，該当するCKOmn, SOmnビットに“1”を設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

2.　□：設定不可（初期値を設定）　0/1：ユーザの用途に応じて0または1に設定

12. 5　簡易SPI（CSI00, CSI01）通信の動作

シリアル・クロック（SCK）とシリアル・データ（SI, SO）の3本のラインによる，クロック同期式通信機能です。

［データ送受信］

・7, 8ビットのデータ長

・送受信データの位相制御

・MSB/LSBファーストの選択

［クロック制御］

・マスタ／スレーブの選択

・入出力クロックの位相制御

・プリスケーラとチャネル内カウンタによる転送周期の設定

・最大転送レート注　マスタ通信時：Max. $f_{CLK}/2$（CSI00のみ）

Max. $f_{CLK}/4$

スレーブ通信時：Max. $f_{MCK}/6$

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み

［エラー検出フラグ］

・オーバラン・エラー

また，CSI00は，SNOOZEモードに対応しています。SNOOZEモードとは，STOPモード状態でSCK入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。非同期受信動作に対応している，CSI00のみ設定可能です。

注　SCKサイクル・タイム（t_{KCY}）の特性を満たす範囲内で使用してください。詳細は，第30章または第31章　電気的特性を参照してください。

簡易SPI（CSI00, CSI01）に対応しているチャネルは，チャネル0, 1です。

チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	CSI00	UART0	IIC00
1	CSI01		IIC01

簡易SPI（CSI00, CSI01）の通信動作は，以下の7種類があります。

- マスタ送信　（12. 5. 1項を参照）
- マスタ受信　（12. 5. 2項を参照）
- マスタ送受信　（12. 5. 3項を参照）
- スレーブ送信　（12. 5. 4項を参照）
- スレーブ受信　（12. 5. 5項を参照）
- スレーブ送受信　（12. 5. 6項を参照）
- SNOOZEモード機能（12. 5. 7項を参照）

12. 5. 1　マスタ送信

マスタ送信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. f_{CLK}/2 [Hz]（CSI00のみ），f_{CLK}/4 [Hz] Min. f_{CLK}/（2×2^{15}×128）[Hz]　　f_{CLK}：システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注　この条件を満たし，かつ電気的特性のAC特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－21　簡易SPI（CSI00, CSI01）のマスタ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0 0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ（送信データを設定）							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1	CKOm0							SOm1	SOm0
	0	0	0	0	0	0	0/1	0/1	0	0	0	0	0	0	0/1	0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

2.　□：簡易SPI（CSI）マスタ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－22　マスタ送信の初期設定手順

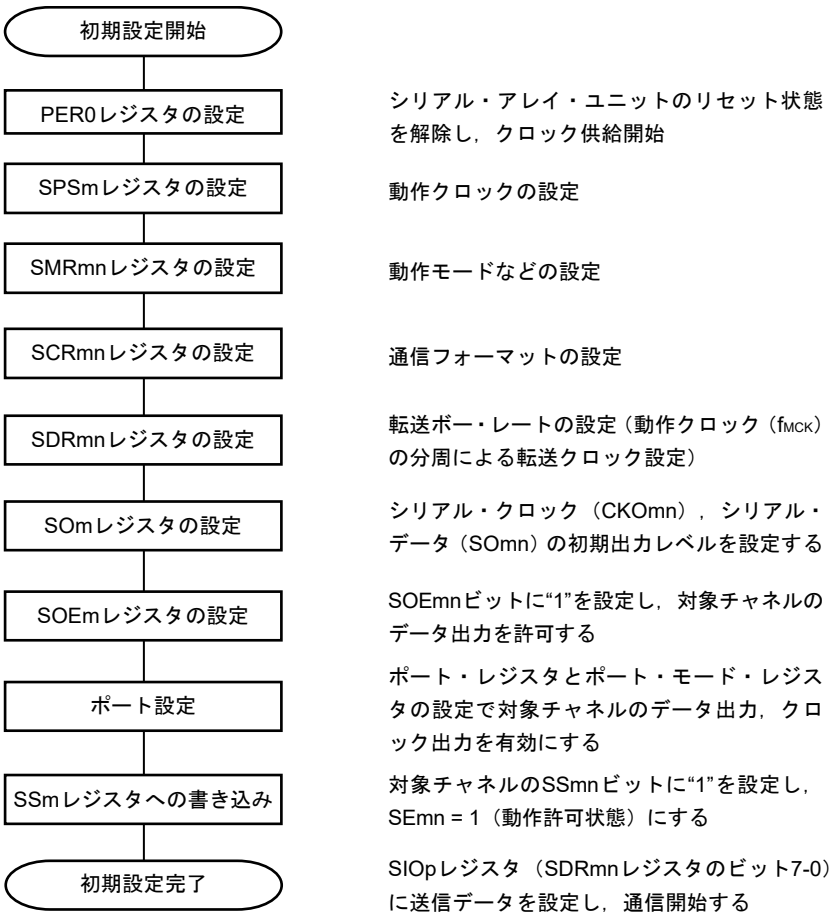


図12－23　マスタ送信の中断手順

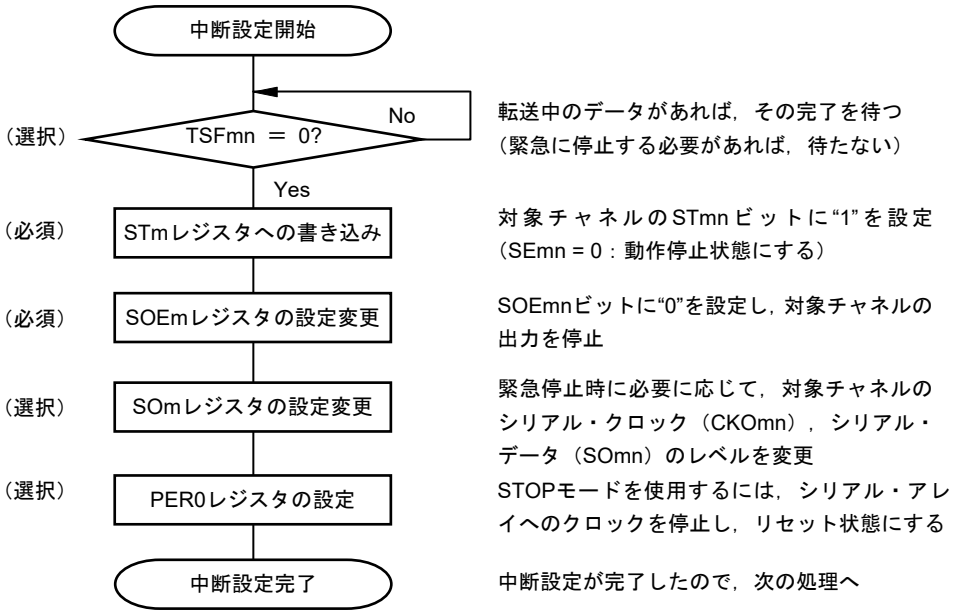
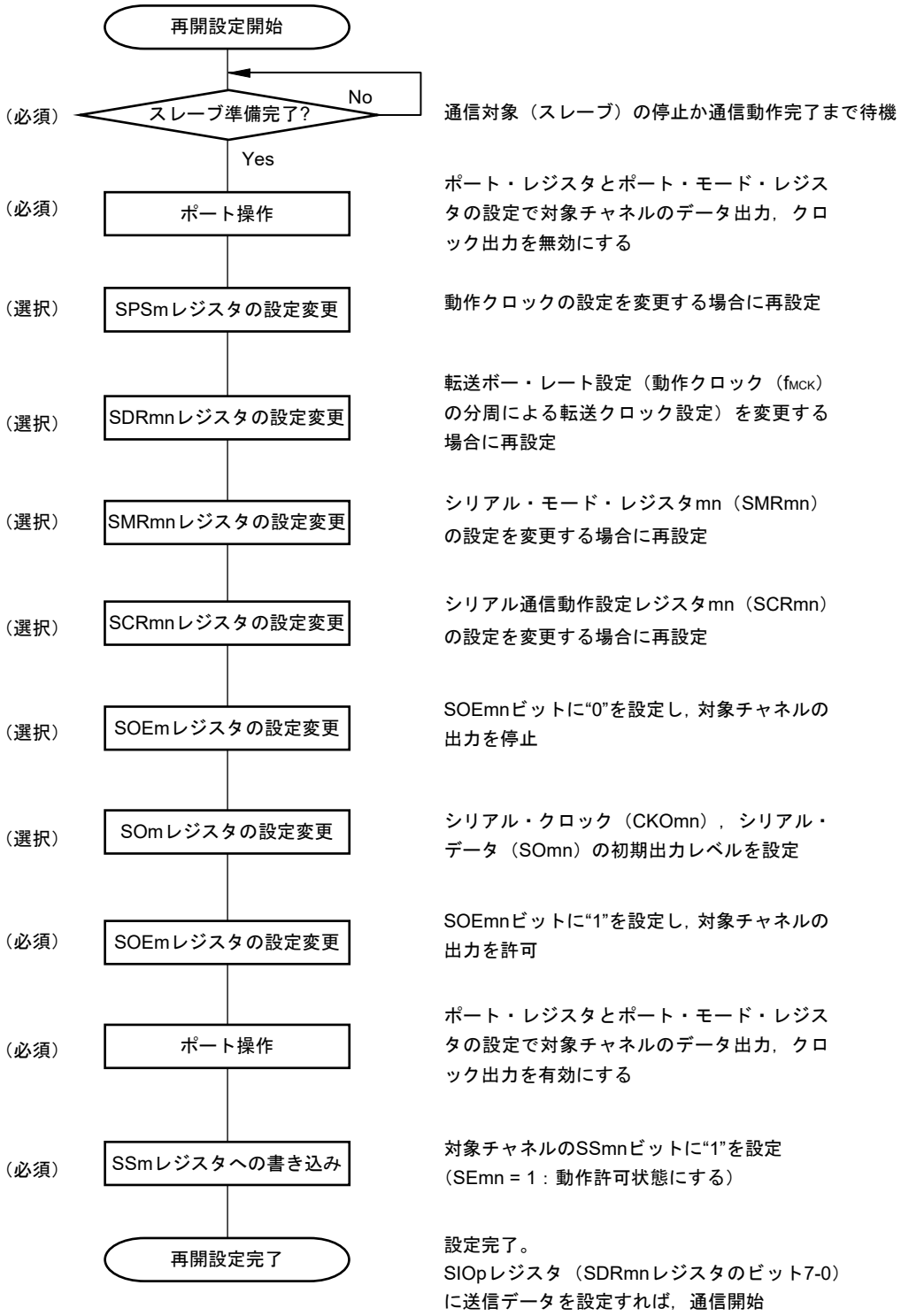


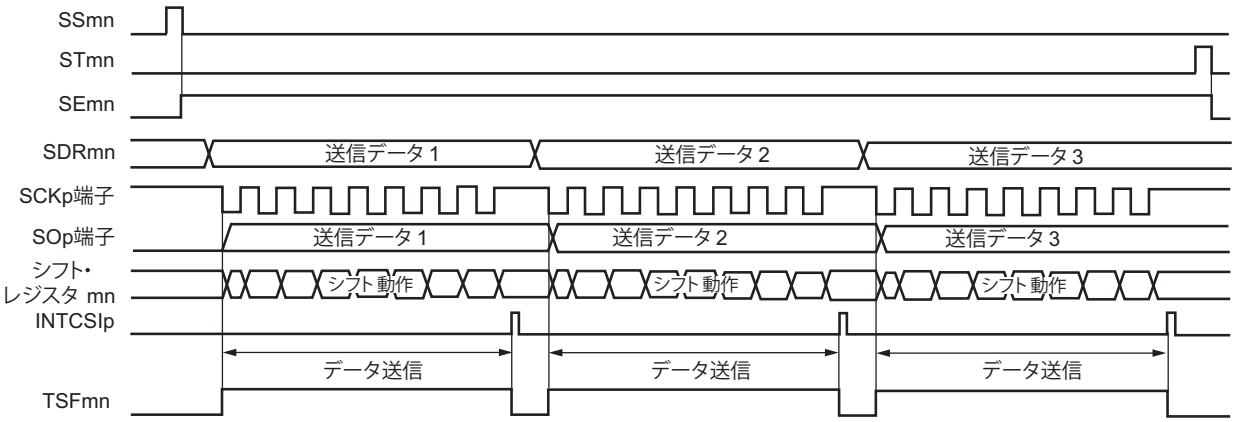
図12－24　マスタ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

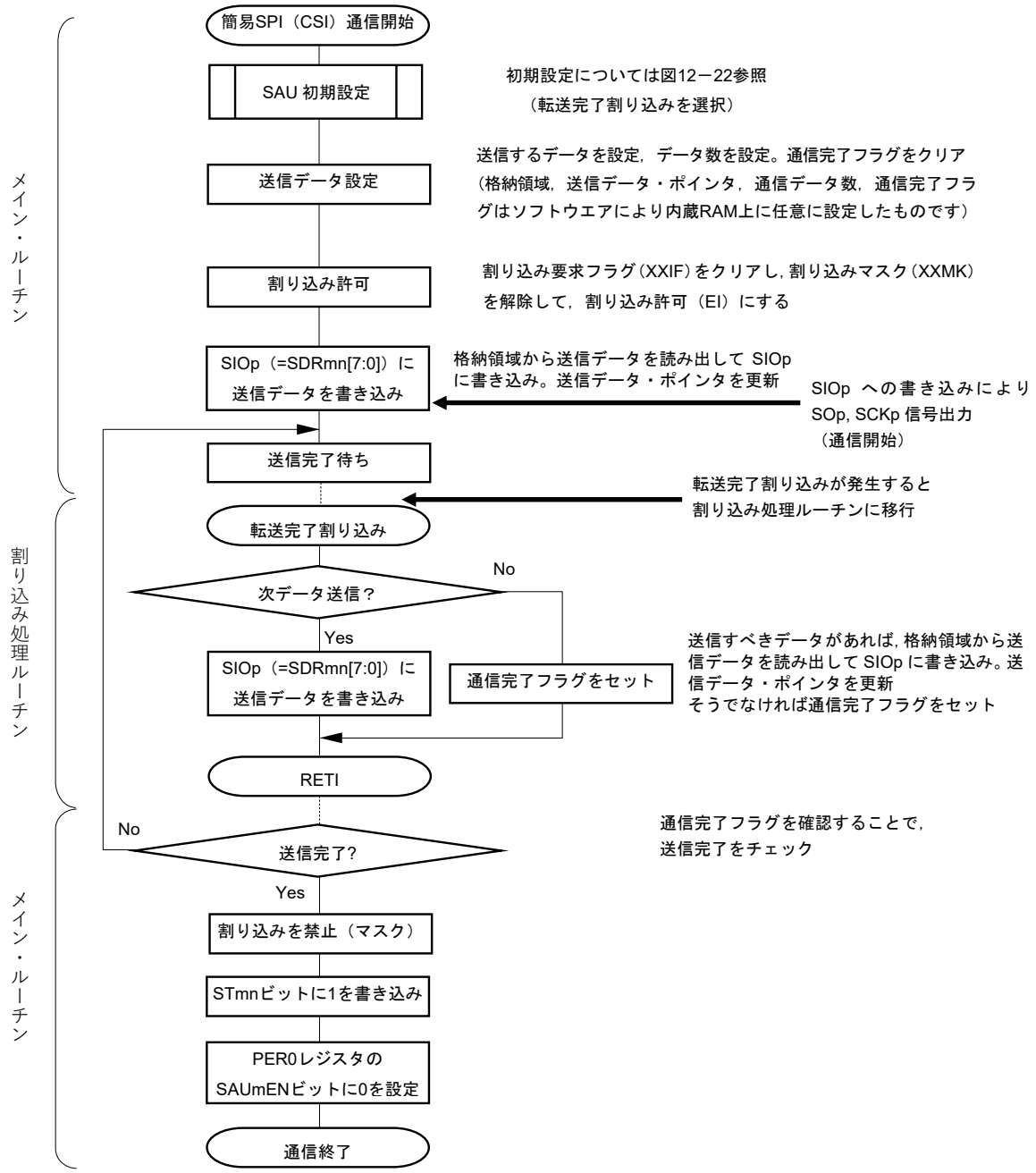
（3）処理フロー（シングル送信モード時）

図12－25　マスタ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



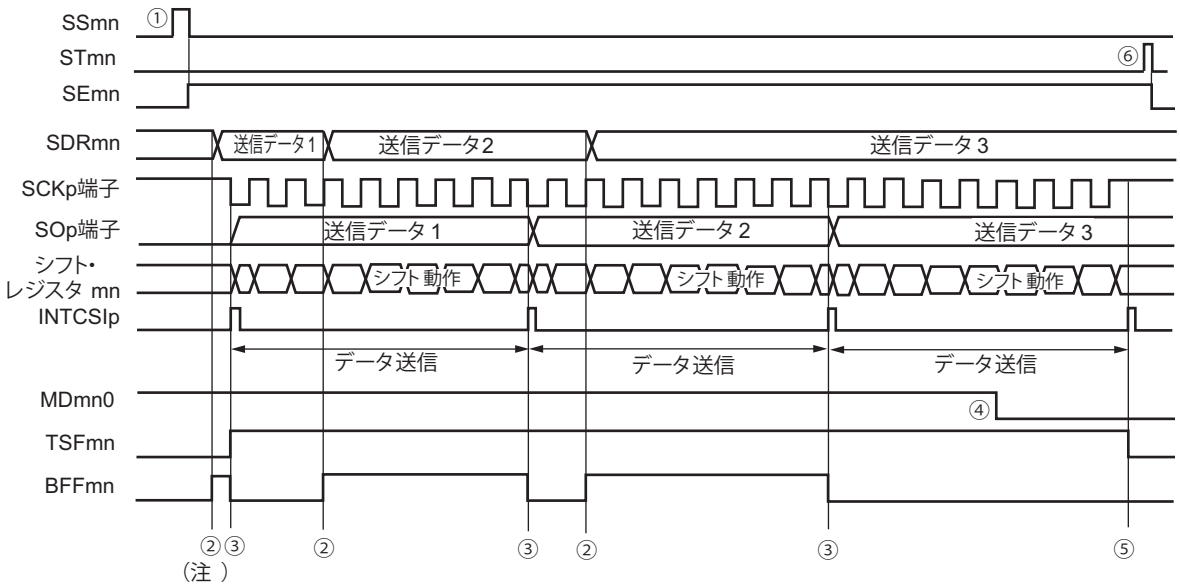
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－26　マスタ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－27　マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

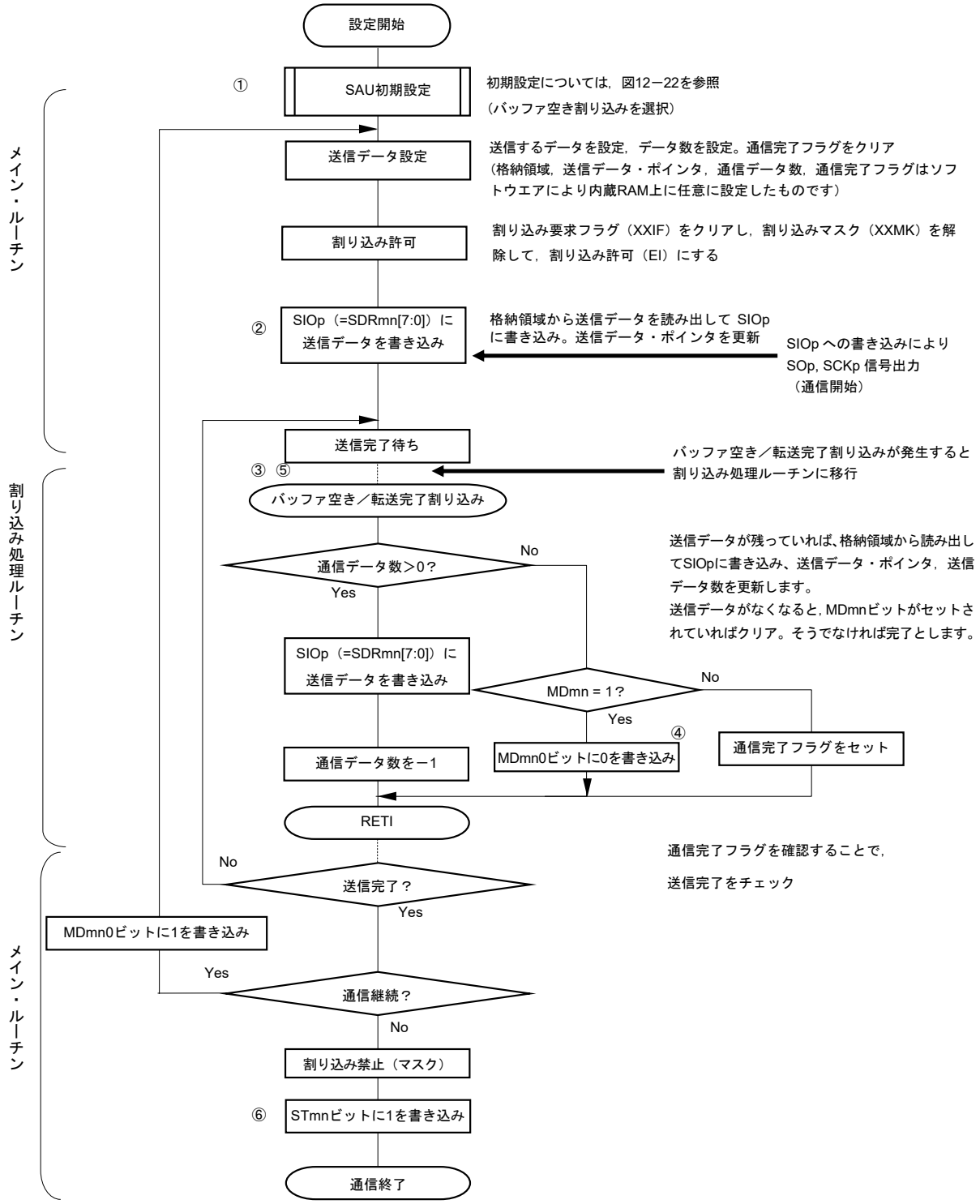


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－28　マスタ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，図12－27　マスタ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

12. 5. 2　マスタ受信

マスタ受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. $f_{CLK}/2$ [Hz]（CSI00のみ），$f_{CLK}/4$ [Hz] Min. $f_{CLK}/(2\times2^{15}\times128)$ [Hz]　　f_{CLK}：システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注　この条件を満たし，かつ電気的特性のAC特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－29　簡易SPI（CSI00, CSI01）のマスタ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 0	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn 0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	受信データ（ダミー・データとしてFFHを書き込む）							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 ×	SOm0 ×

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

2.　□：簡易SPI（CSI）マスタ受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－30　マスタ受信の初期設定手順

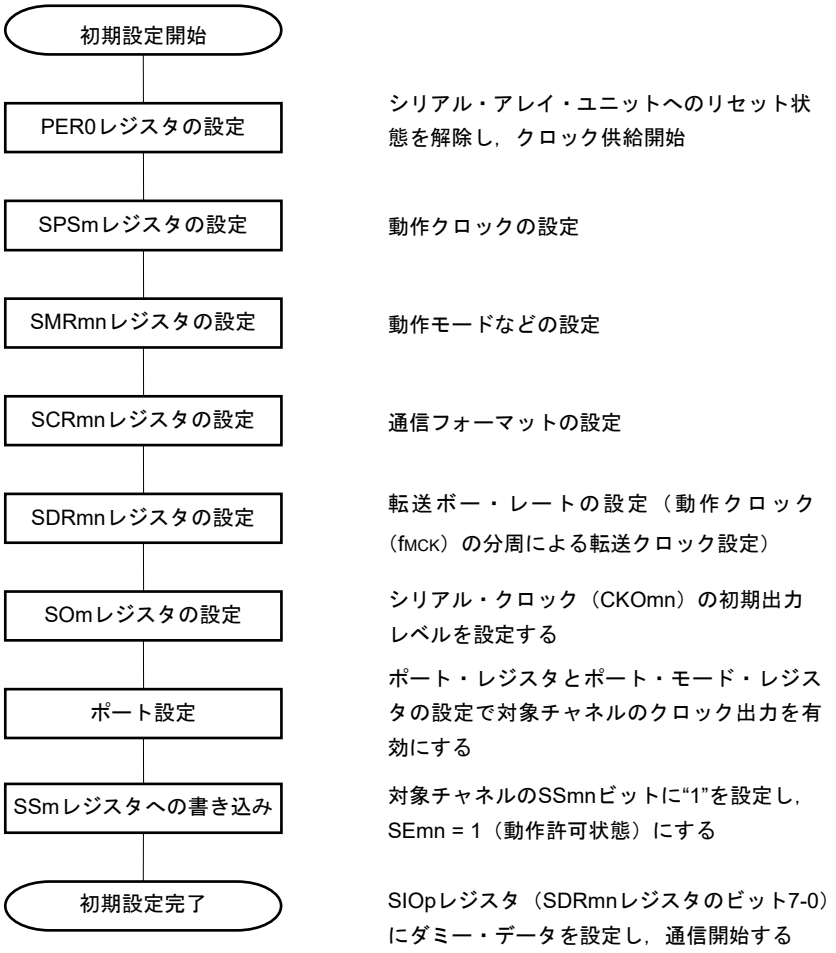


図12－31　マスタ受信の中断手順

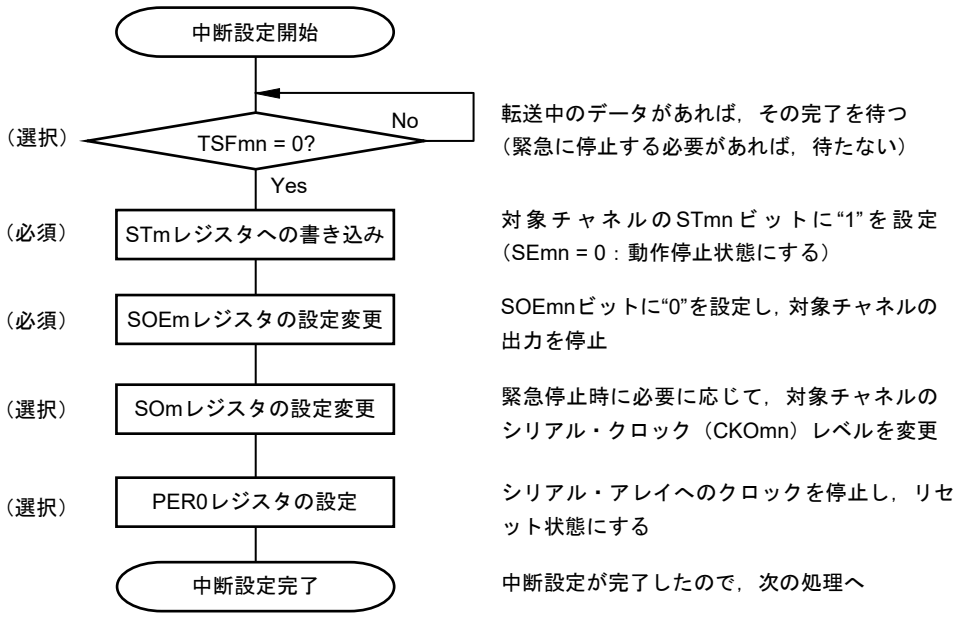
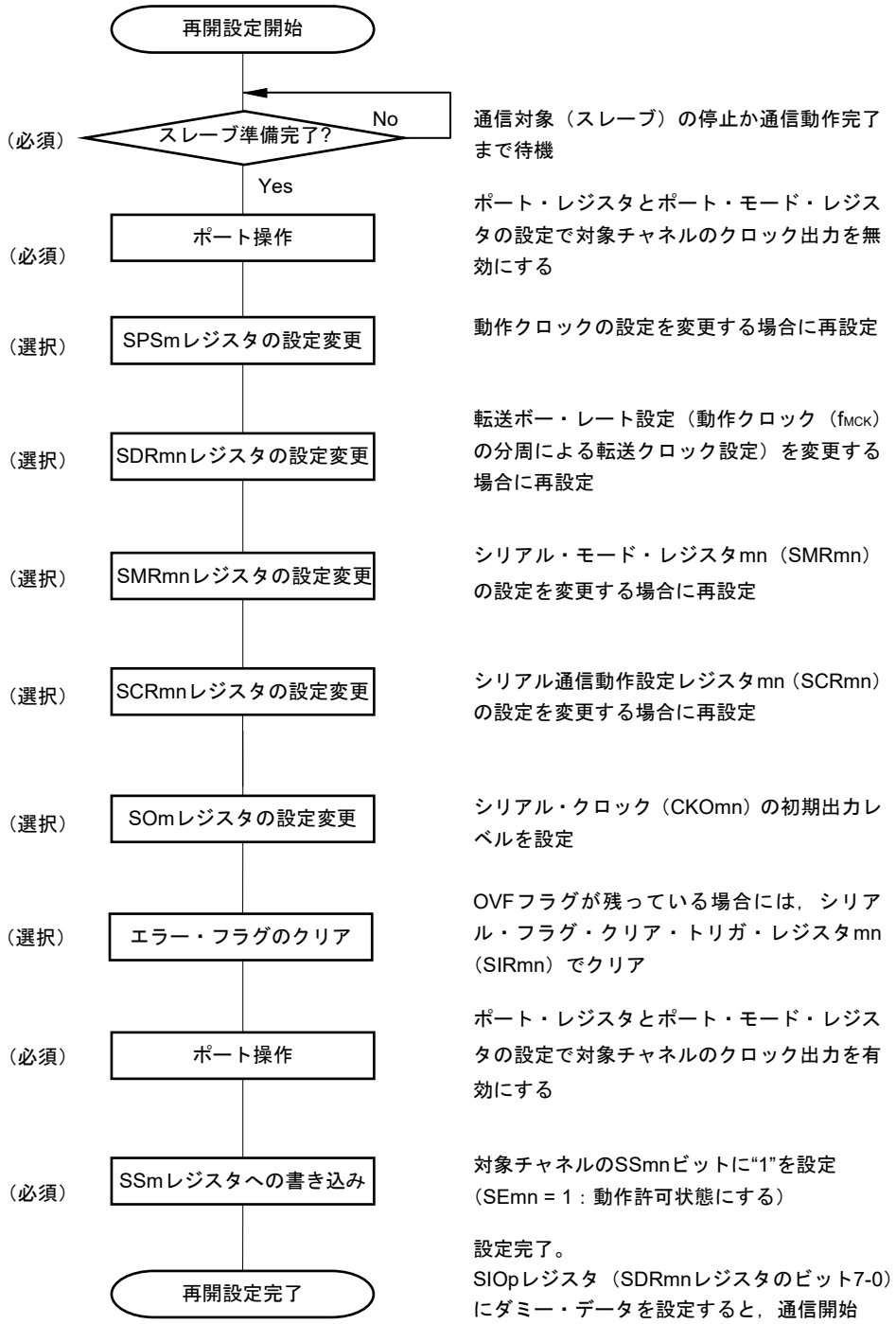


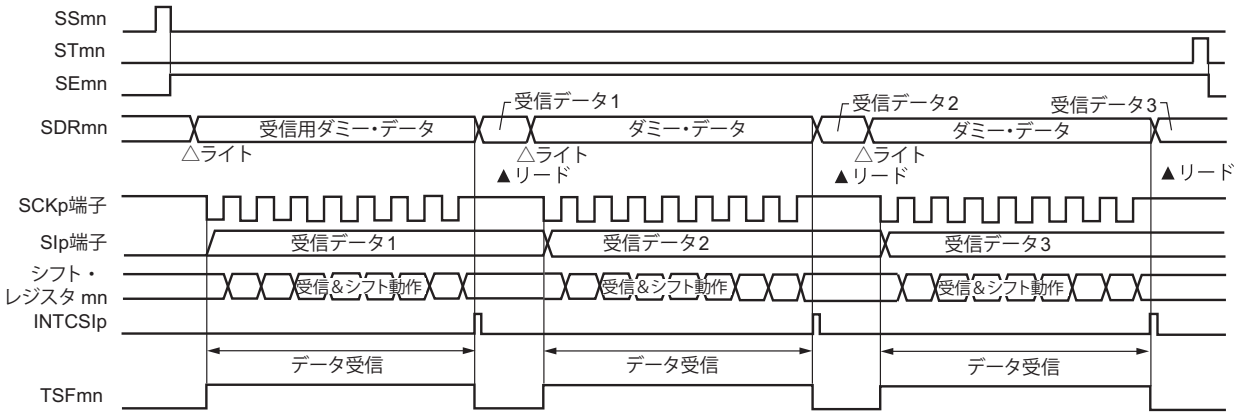
図12－32　マスタ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合は，通信対象（スレーブ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

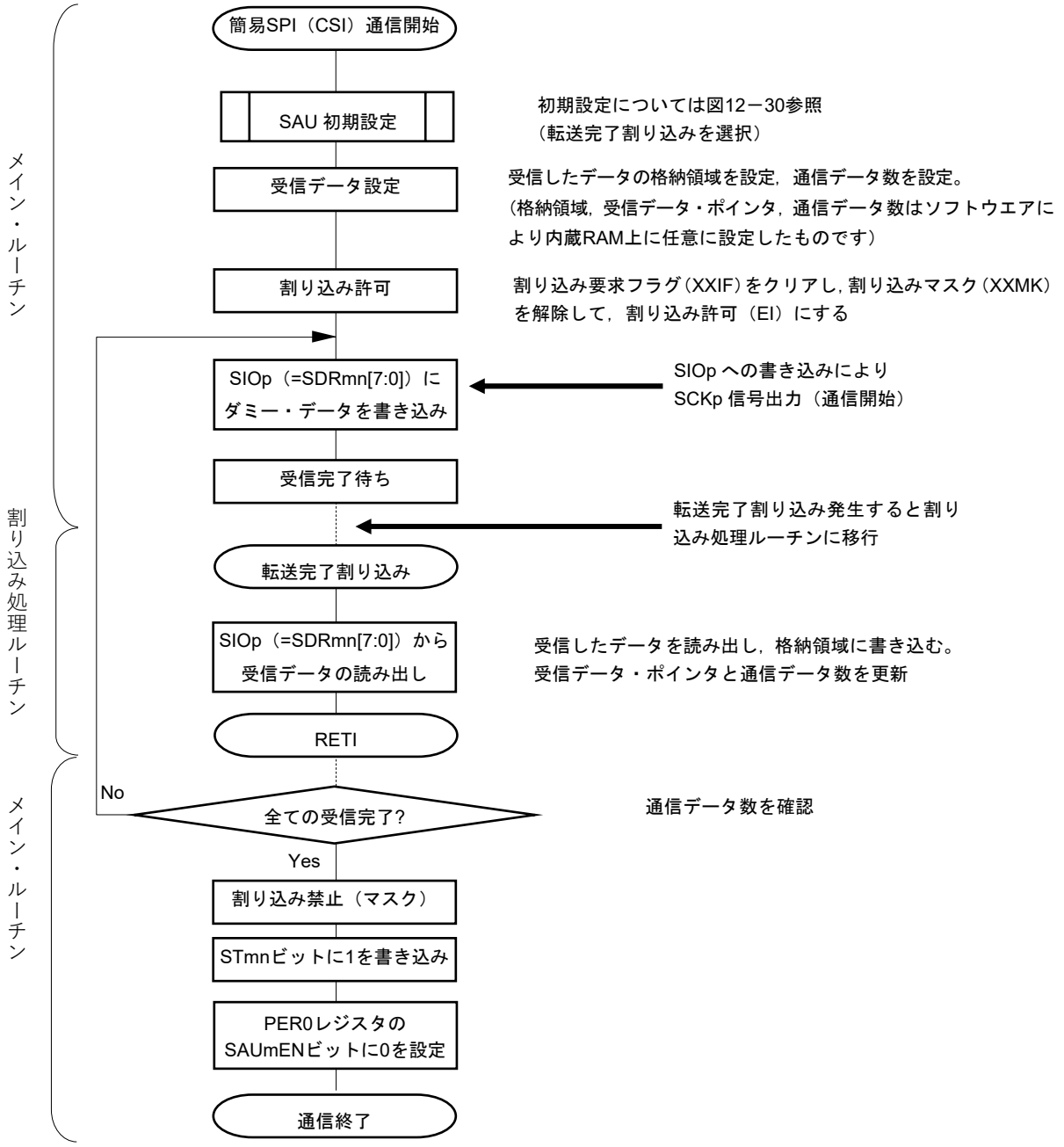
（3）処理フロー（シングル受信モード時）

図12－33　マスタ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



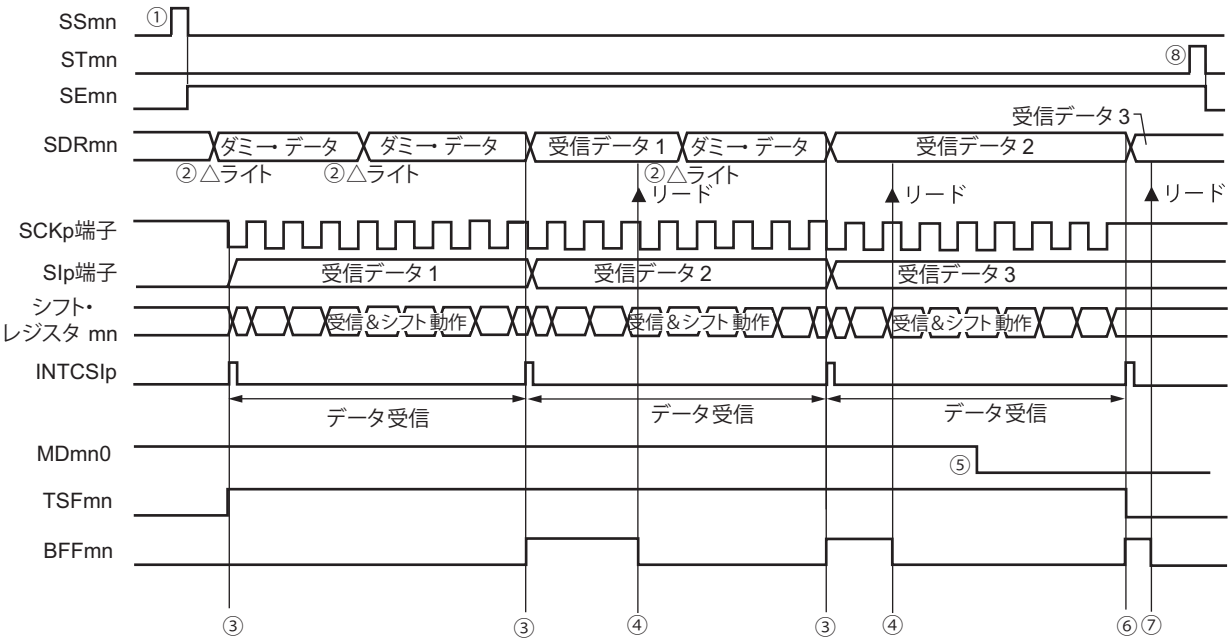
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－34　マスタ受信（シングル受信モード時）のフロー・チャート



（4）処理フロー（連続受信モード時）

図12－35　マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

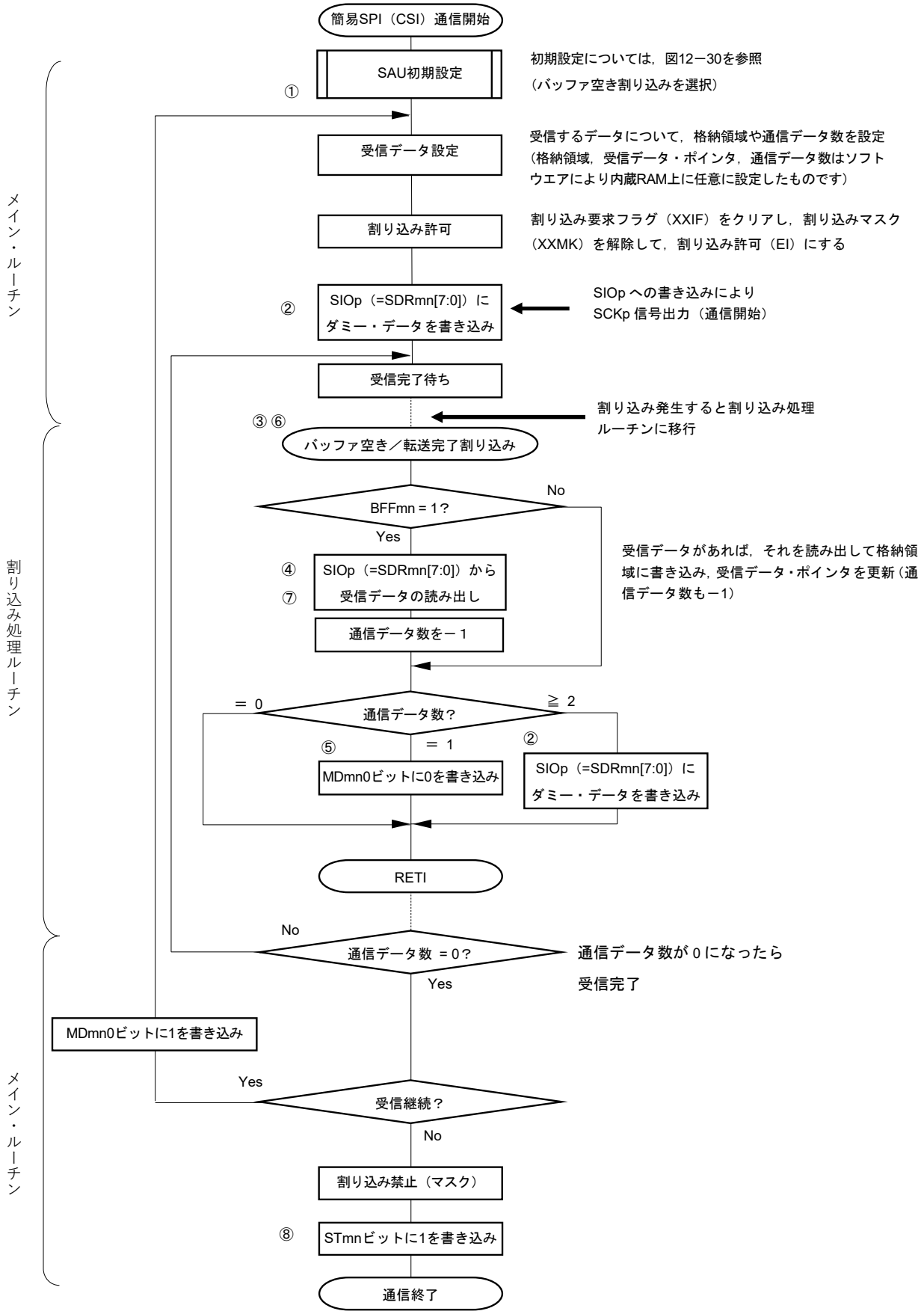


注意　MDmn0ビットは，動作中でも書き換えることができます。
ただし，最後の受信データの転送完了割り込みに間に合わせるために，最終ビットの受信開始前までに書き換えてください。

備考1.　図中の①~⑧は，図12－36　マスタ受信（連続受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－36　マスタ受信（連続受信モード時）のフロー・チャート



備考　図中の①~⑧は，図12－35　マスタ受信（連続受信モード時）のタイミング・チャートの①~⑧に対応しています。

12. 5. 3　マスタ送受信

マスタ送受信とは，このRL78マイクロコントローラが転送クロックを出力し，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7ビットまたは8ビット	
転送レート注	Max. f_{CLK}/2 [Hz]（CSI00のみ），f_{CLK}/4 [Hz] Min. f_{CLK}/（2×2^{15}×128）[Hz]　　f_{CLK}：システム・クロック周波数	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注　この条件を満たし，かつ電気的特性のAC特性（第30章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－37　簡易SPI（CSI00, CSI01）のマスタ送受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn 0/1	CCSmn 0	0	0	0	0	0	STSmn 0	0	SISmn0 0	1	0	0	MDmn2 0	MDmn1 0	MDmn0 0/1

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの割り込み要因
0：転送完了割り込み
1：バッファ空き割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn 1	RXEmn 1	DAPmn 0/1	CKPmn 0/1	0	EOCmn 0	PTCmn1 0	PTCmn 0 0	DIRmn 0/1	0	SLCmn1 0	SLCmn0 0	0	1	DLSmn1 1	DLSmn0 0/1

データとクロックの位相選択
（設定内容詳細は「12. 3 シリアル・アレイ・ユニットを制御するレジスタ」参照）

データ転送順序の選択
0：MSBファーストで入出力を行う
1：LSBファーストで入出力を行う

データ長の設定
0：7ビット・データ長
1：8ビット・データ長

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOp）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定（動作クロック（f_{MCK}）の分周設定）							0	送信データ設定／受信データ・レジスタ							

SIOp

（d）シリアル出力レジスタm（SOm）・・・対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 0/1	CKOm0 0/1	0	0	0	0	0	0	SOm1 0/1	SOm0 0/1

クロック位相が“非反転”（SCRmnレジスタのCKPmnビット = 0）のときは“1”で通信開始し，クロック位相が“反転”（CKPmnビット = 1）のときは“0”で通信開始する。

（e）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 0/1	SOEm0 0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 0/1

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

2.　□：簡易SPI（CSI）マスタ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－38　マスタ送受信の初期設定手順

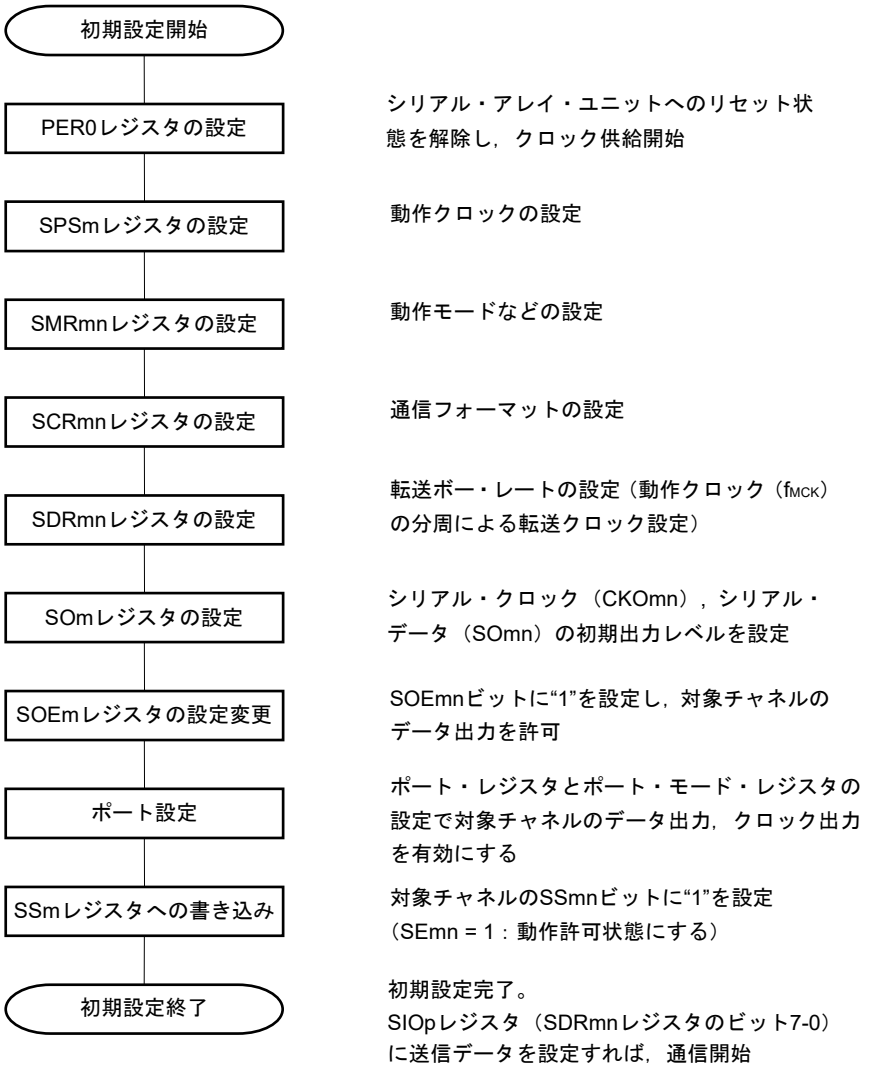


図12－39　マスタ送受信の中断手順

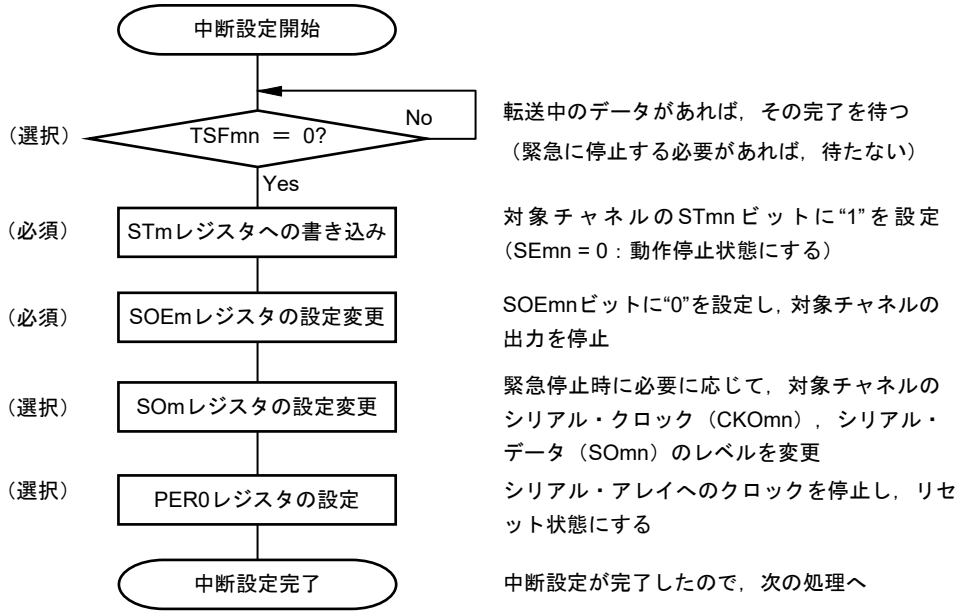
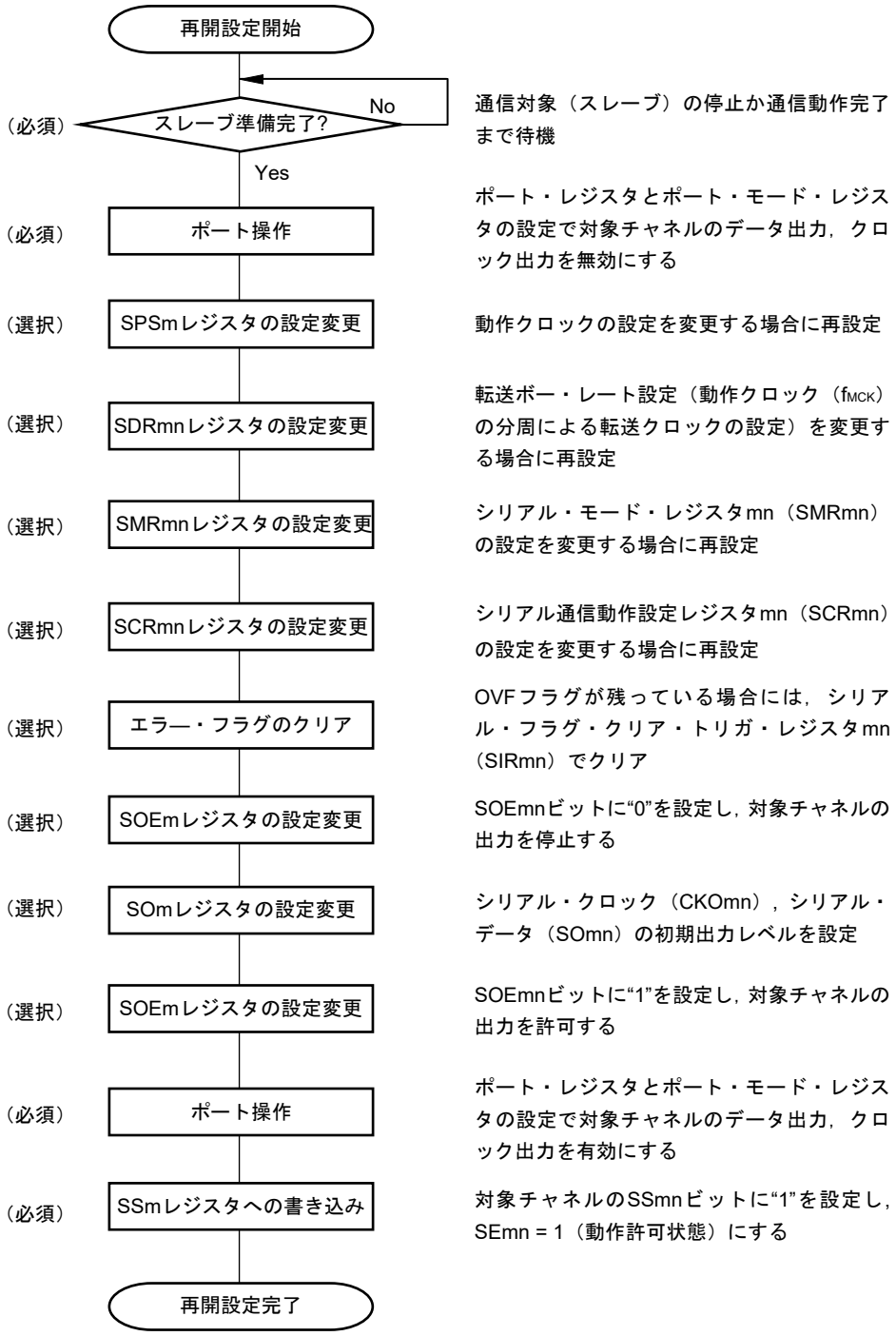
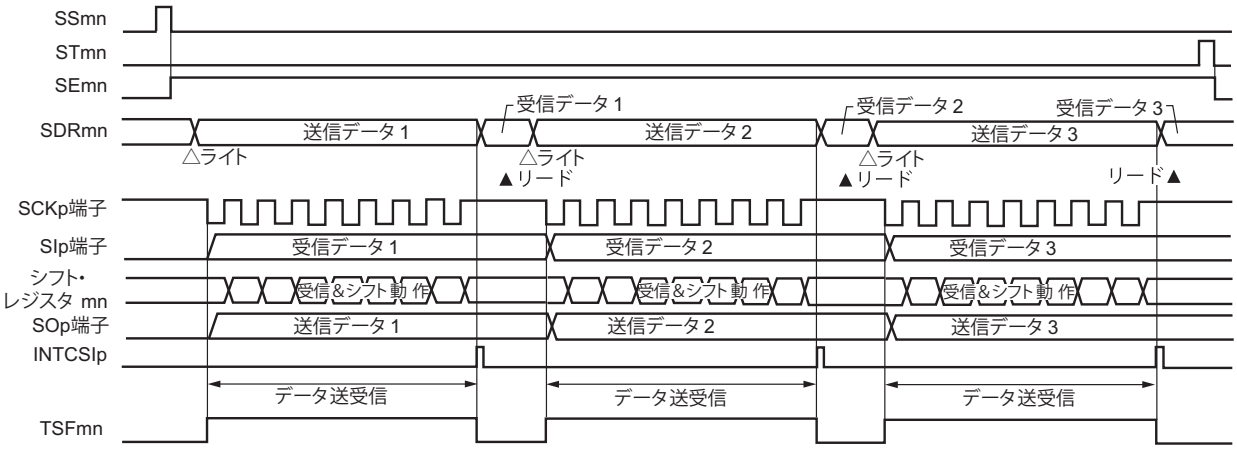


図12－40　マスタ送受信の再開設定手順



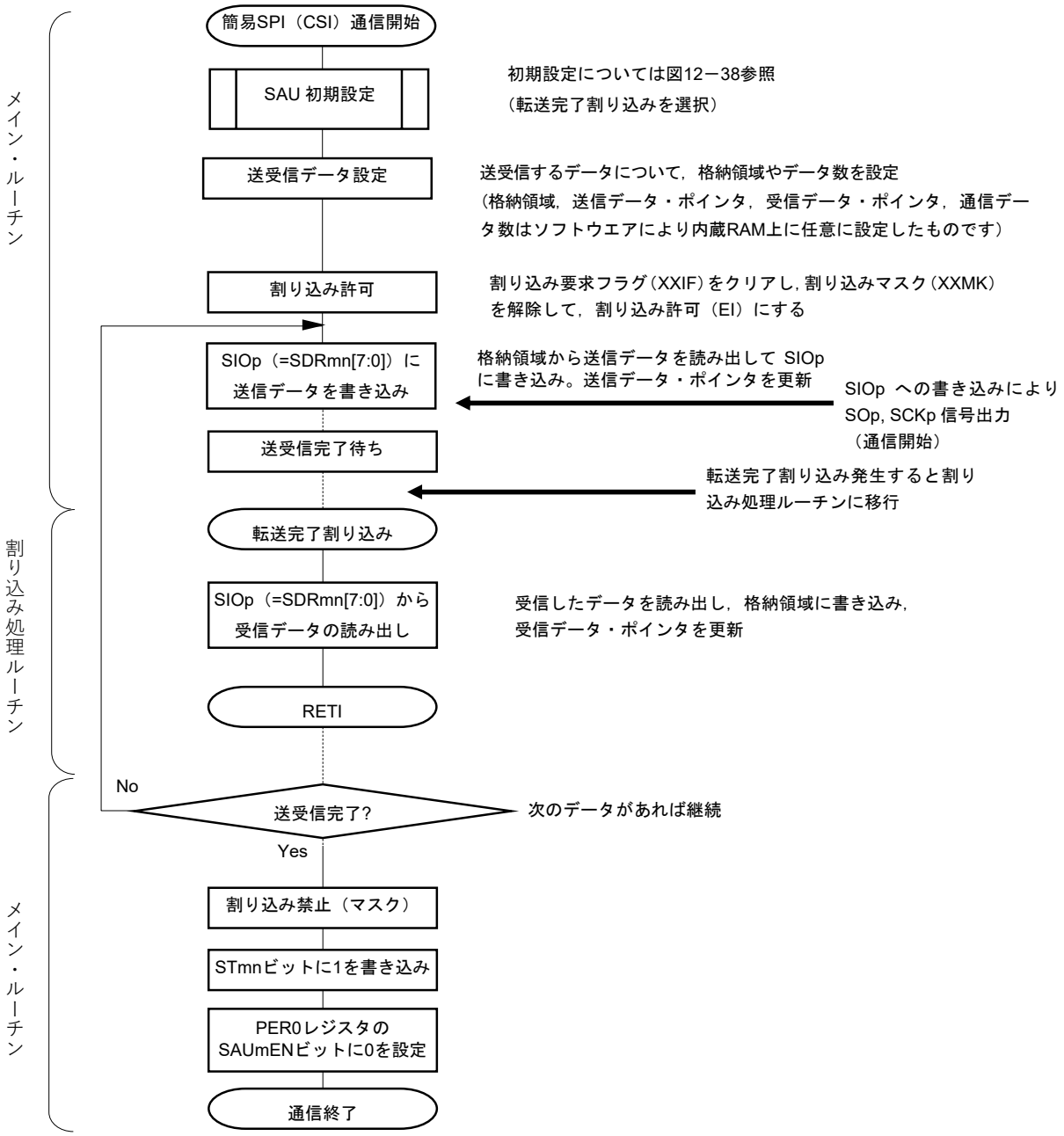
（3）処理フロー（シングル送受信モード時）

図12－41　マスタ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



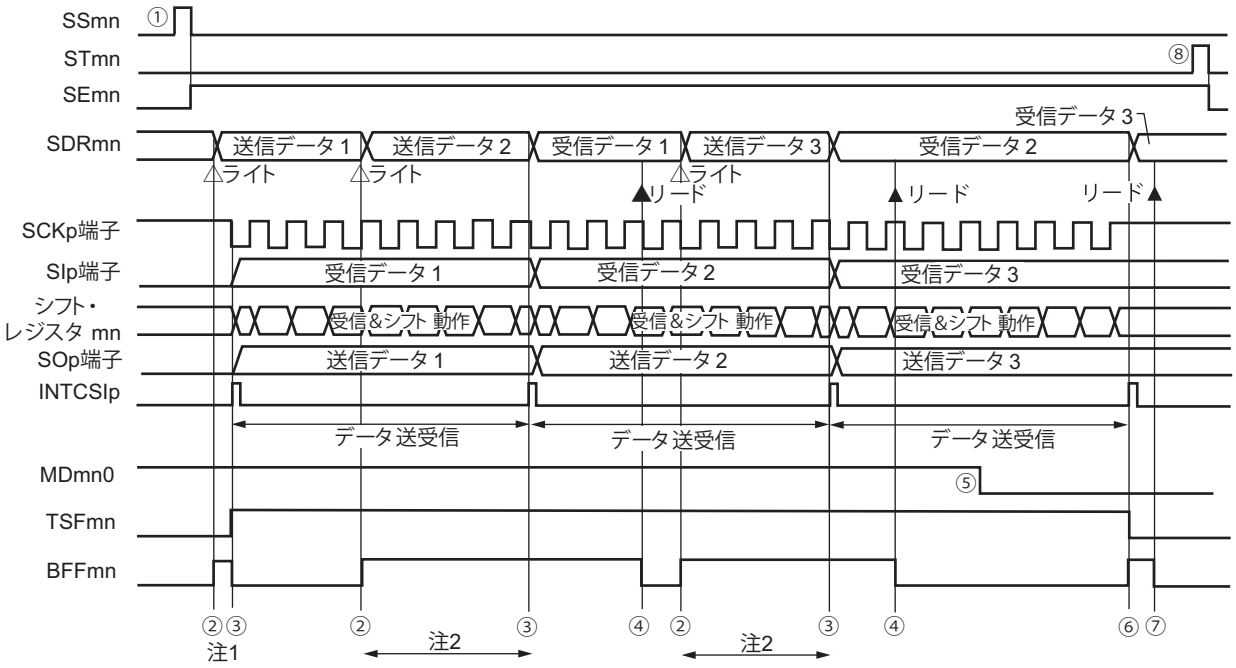
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－42　マスタ送受信（シングル送受信モード時）のフロー・チャート



（4）処理フロー（連続送受信モード時）

図12－43　マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1. シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

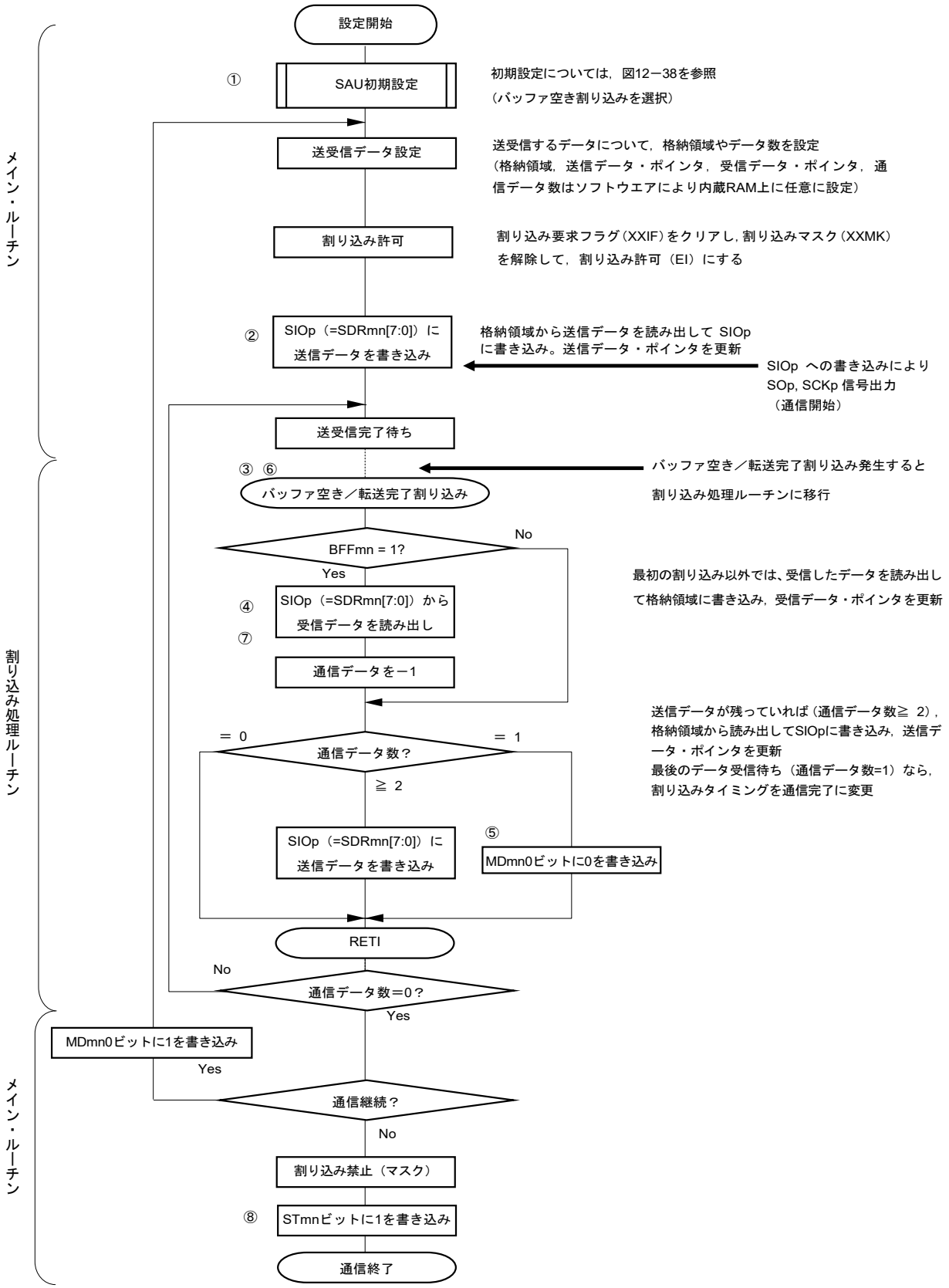
2. この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①~⑧は，図12－44　マスタ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2. m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－44　マスタ送受信（連続送受信モード時）のフロー・チャート



備考　図中の①~⑧は，図12－43　マスタ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

12. 5. 4　スレーブ送信

スレーブ送信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラから他デバイスへデータを送信する動作です。

簡易SPI	CSI00	CSI01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SO00	SCK01, SO01
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. f_{MCK}/6[Hz]注1, 2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1.　SCK00, SCK01端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

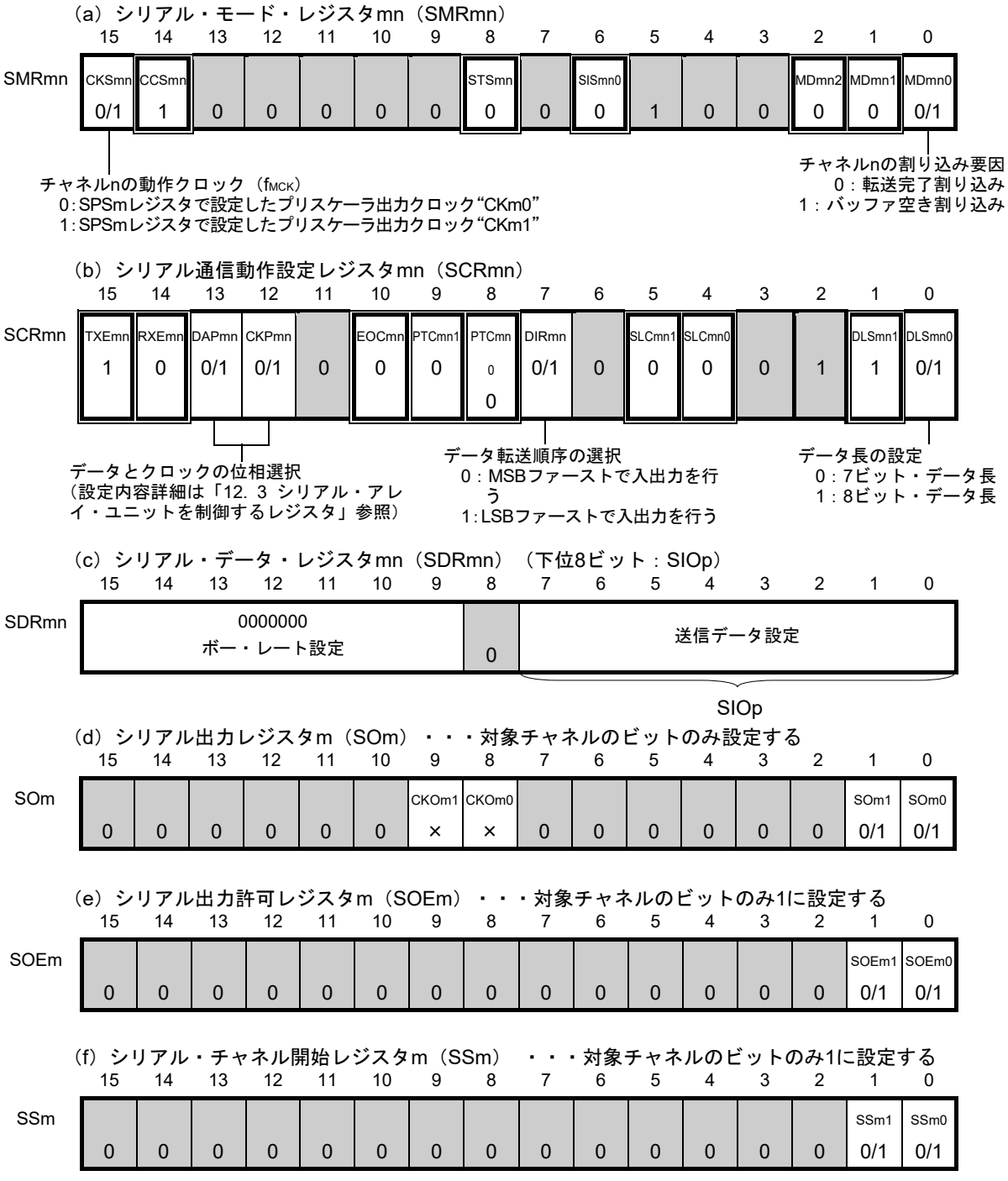
2.　この条件を満たし，かつ電気的特性のAC特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－45　簡易SPI（CSI00, CSI01）のスレーブ送信時のレジスタ設定内容例



備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

2.　□：簡易SPI（CSI）スレーブ送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－46　スレーブ送信の初期設定手順

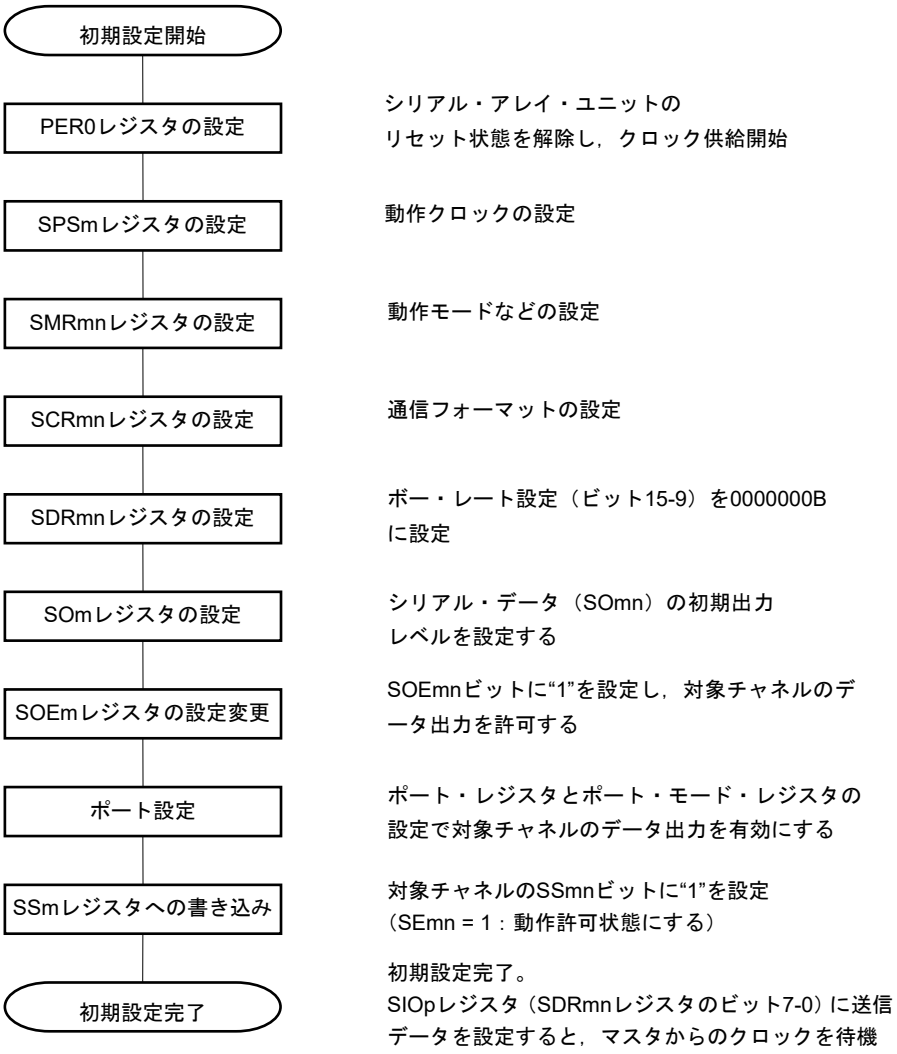


図12－47　スレーブ送信の中断手順

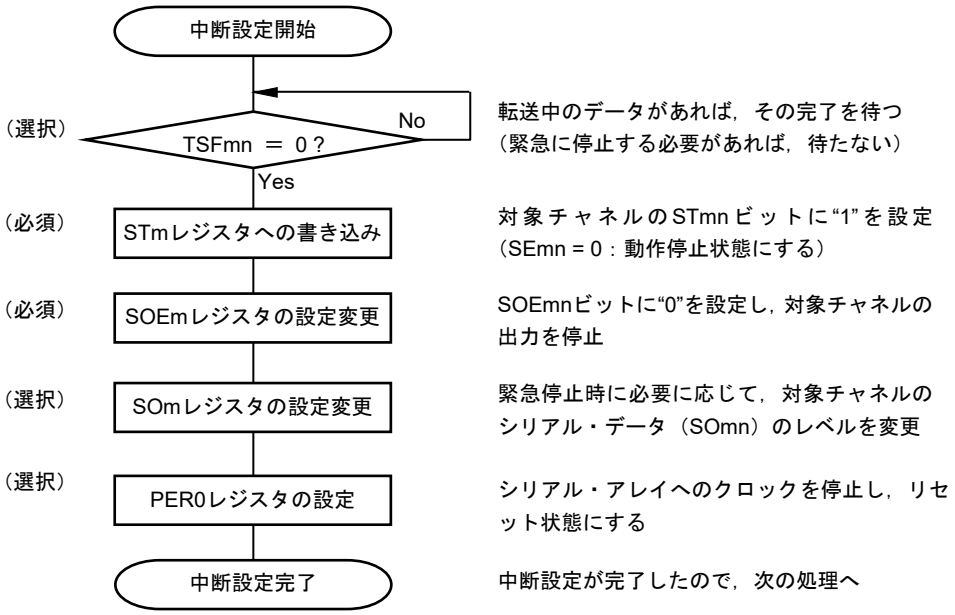
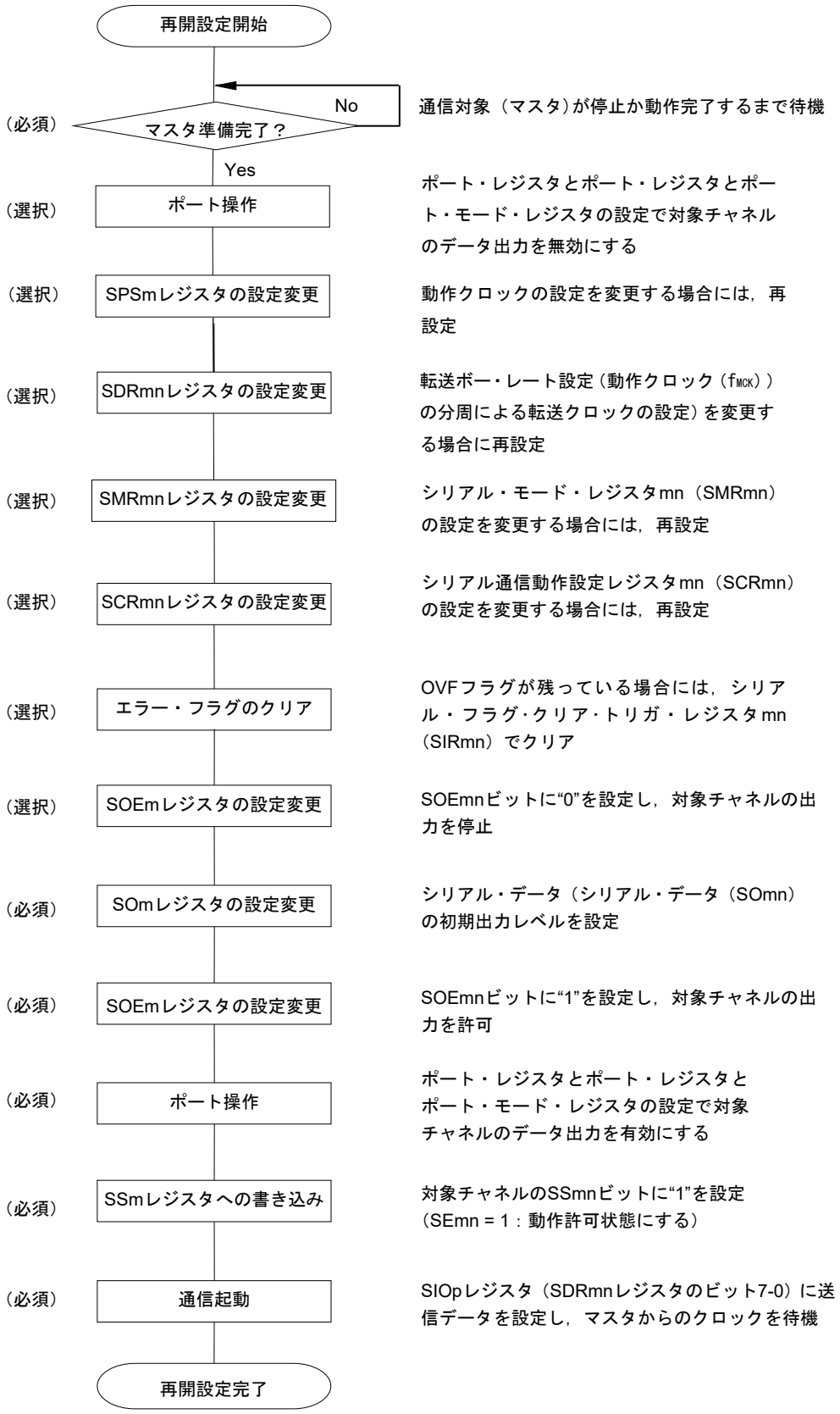


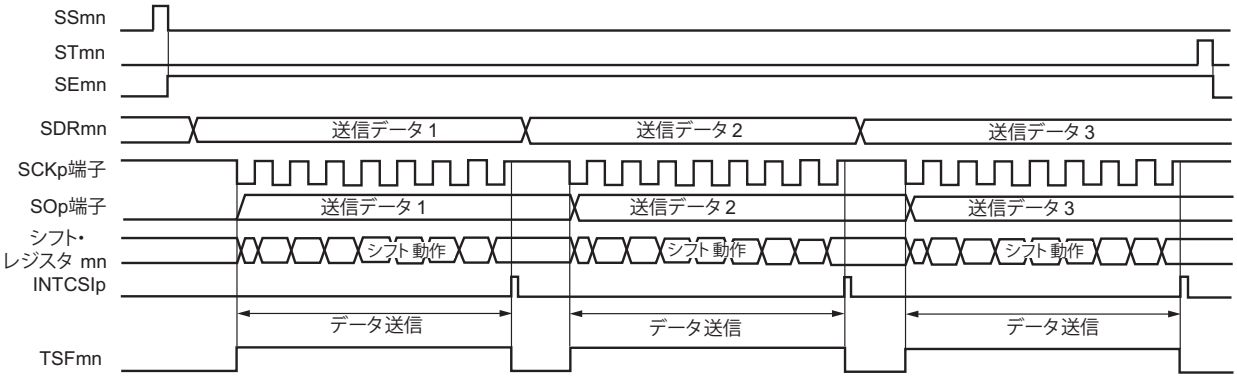
図12－48　スレーブ送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

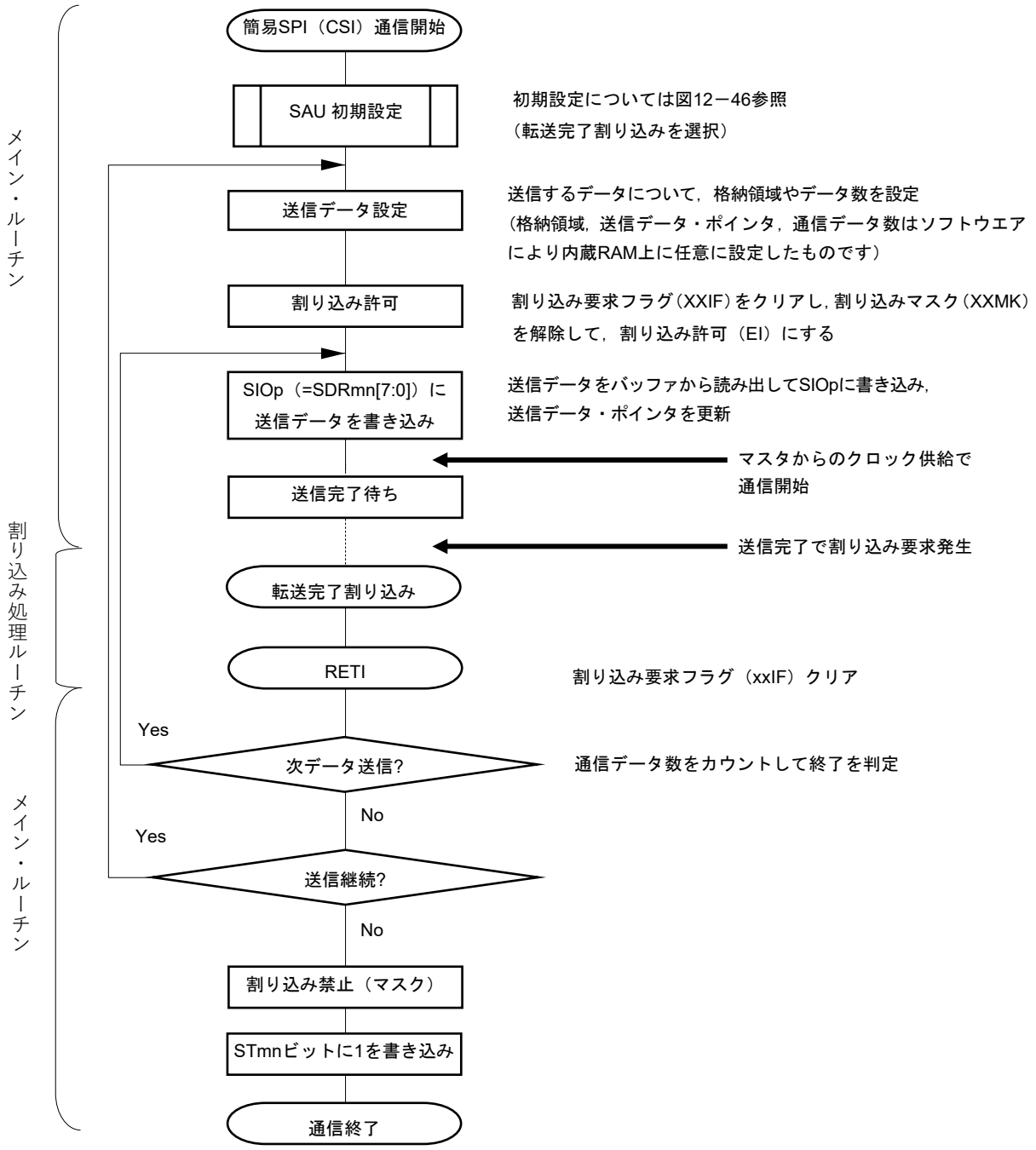
（3）処理フロー（シングル送信モード時）

図12－49　スレーブ送信（シングル送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



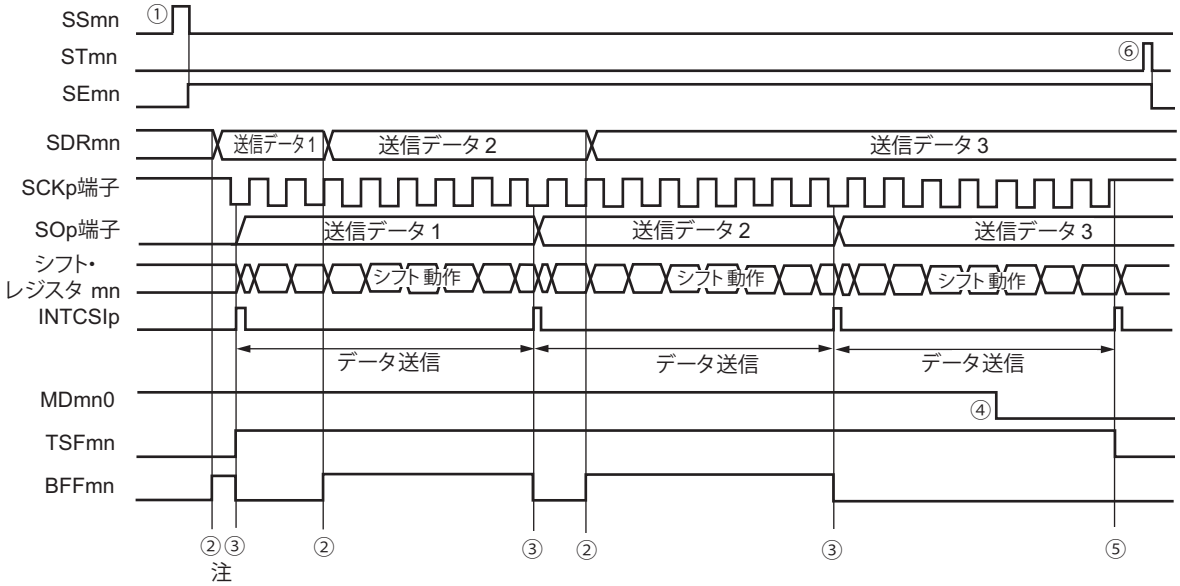
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－50　スレーブ送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－51　スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）

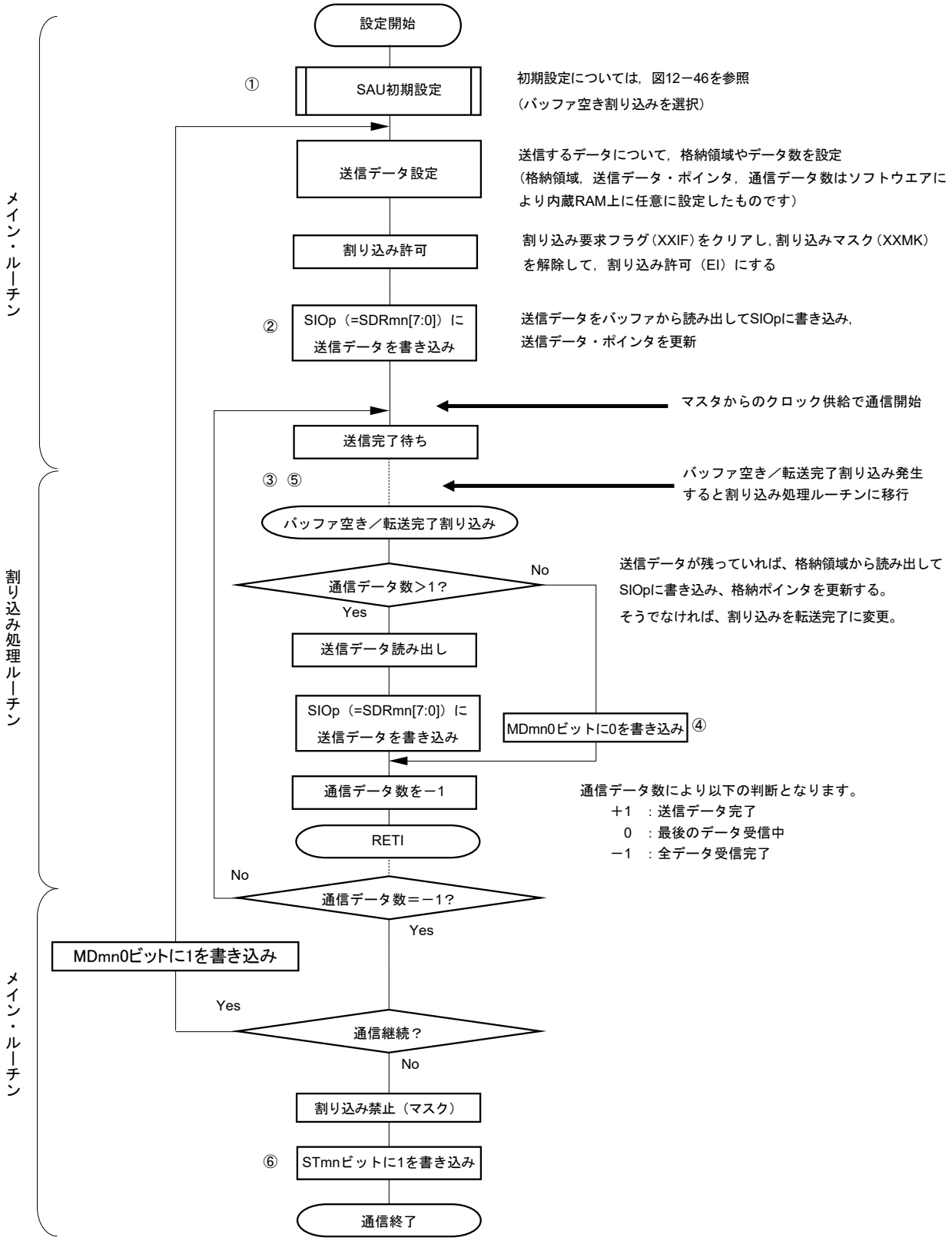


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－52　スレーブ送信（連続送信モード時）のフロー・チャート



備考　図中の①~⑥は，図12－51　スレーブ送信（連続送信モード時）のタイミング・チャートの①~⑥に対応しています。

12. 5. 5　スレーブ受信

スレーブ受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00	SCK01, SI01
割り込み	INTCSI00	INTCSI01
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. f_{MCK}/6 [Hz]注1, 2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1.　SCK00, SCK01端子に入力された外部シリアル･クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

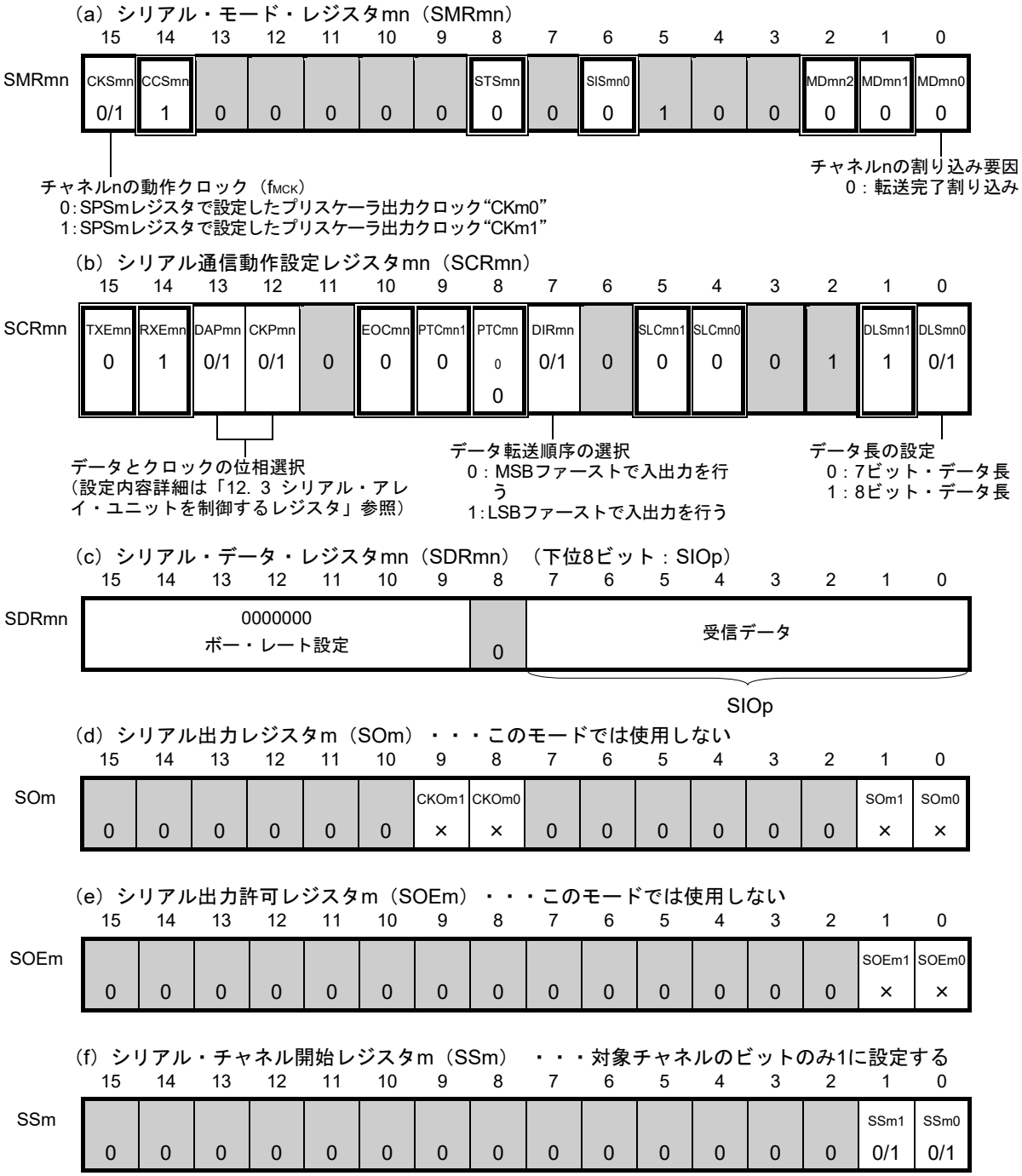
2.　この条件を満たし，かつ電気的特性のAC特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－53　簡易SPI（CSI00, CSI01）のスレーブ受信時のレジスタ設定内容例



備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

2.　□：簡易SPI（CSI）スレーブ受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－54　スレーブ受信の初期設定手順

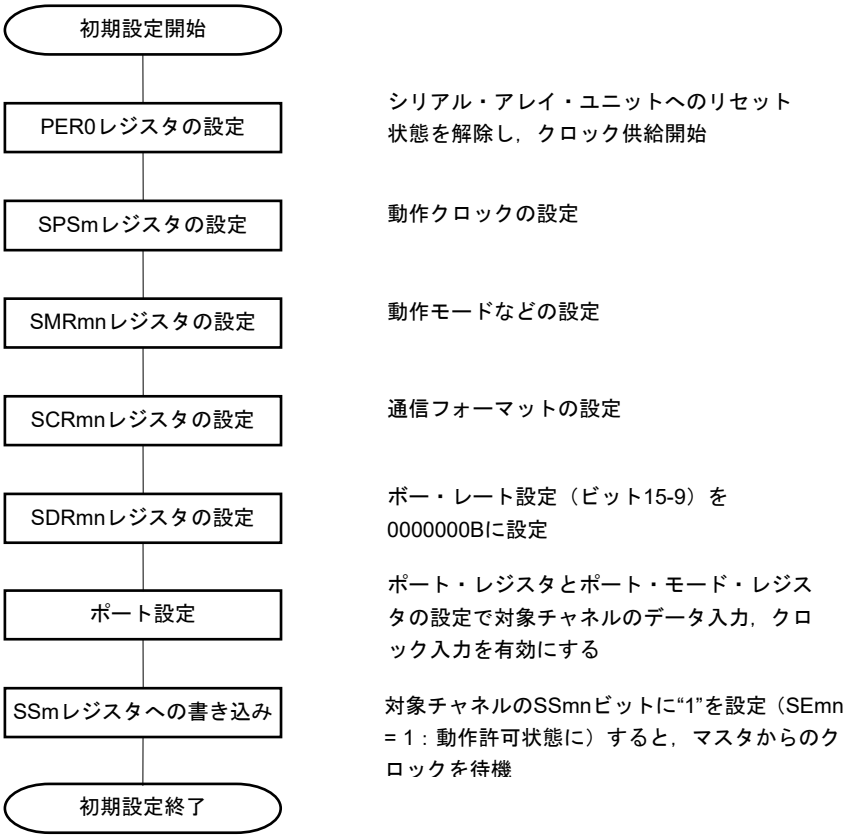


図12－55　スレーブ受信の中断手順

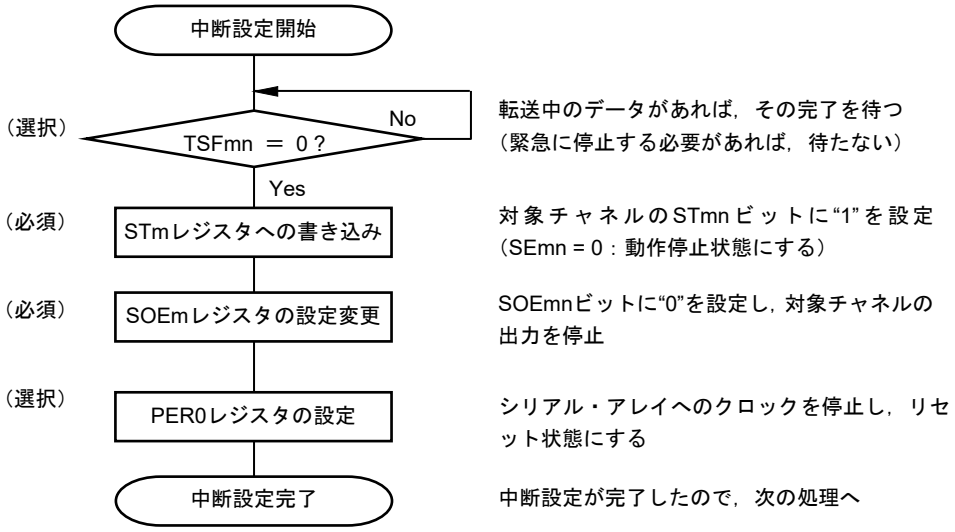
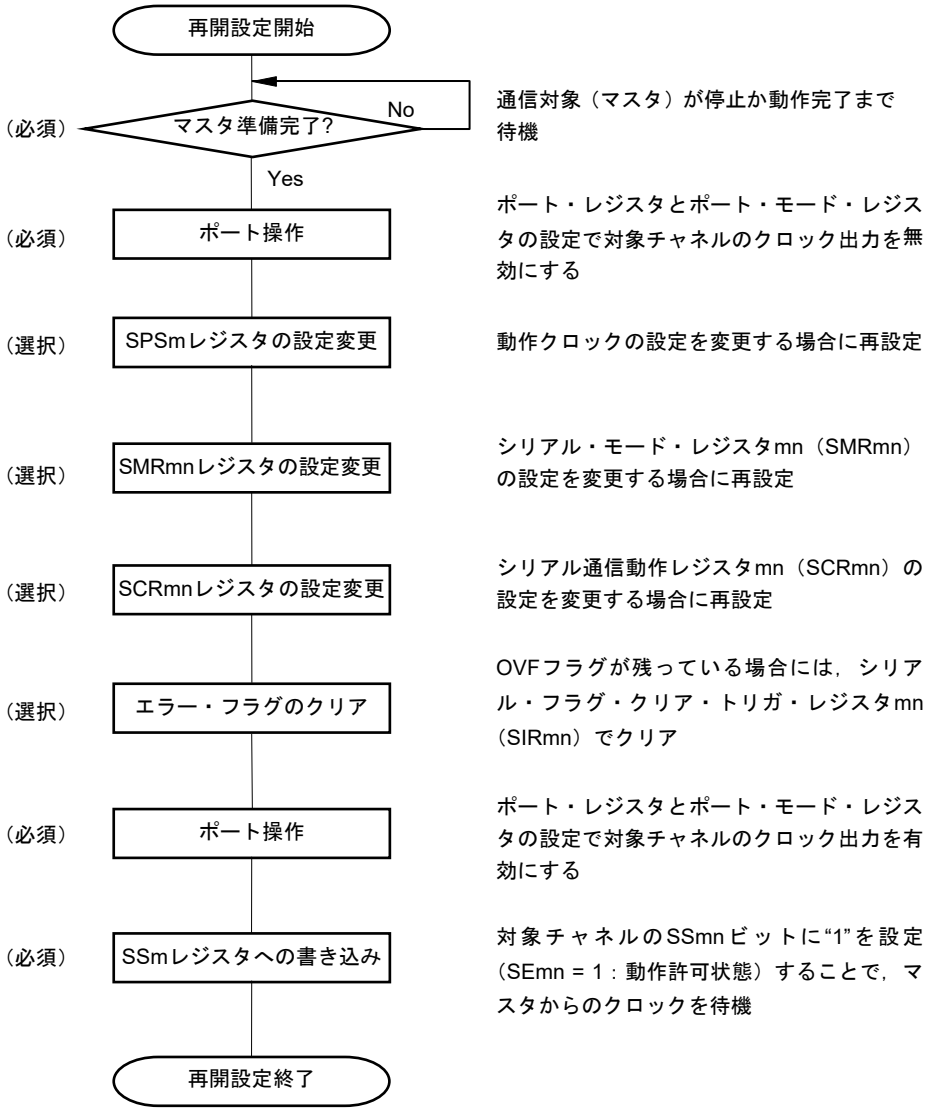


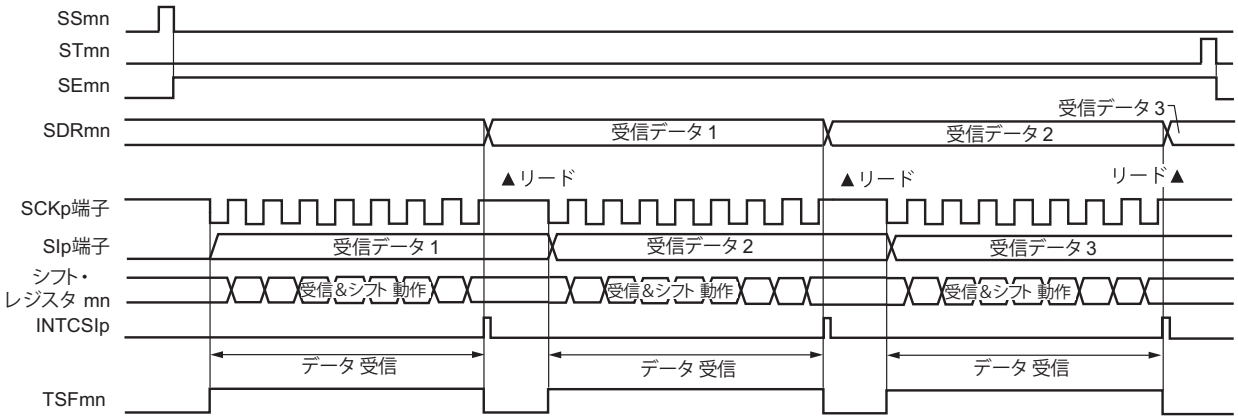
図12－56　スレーブ受信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

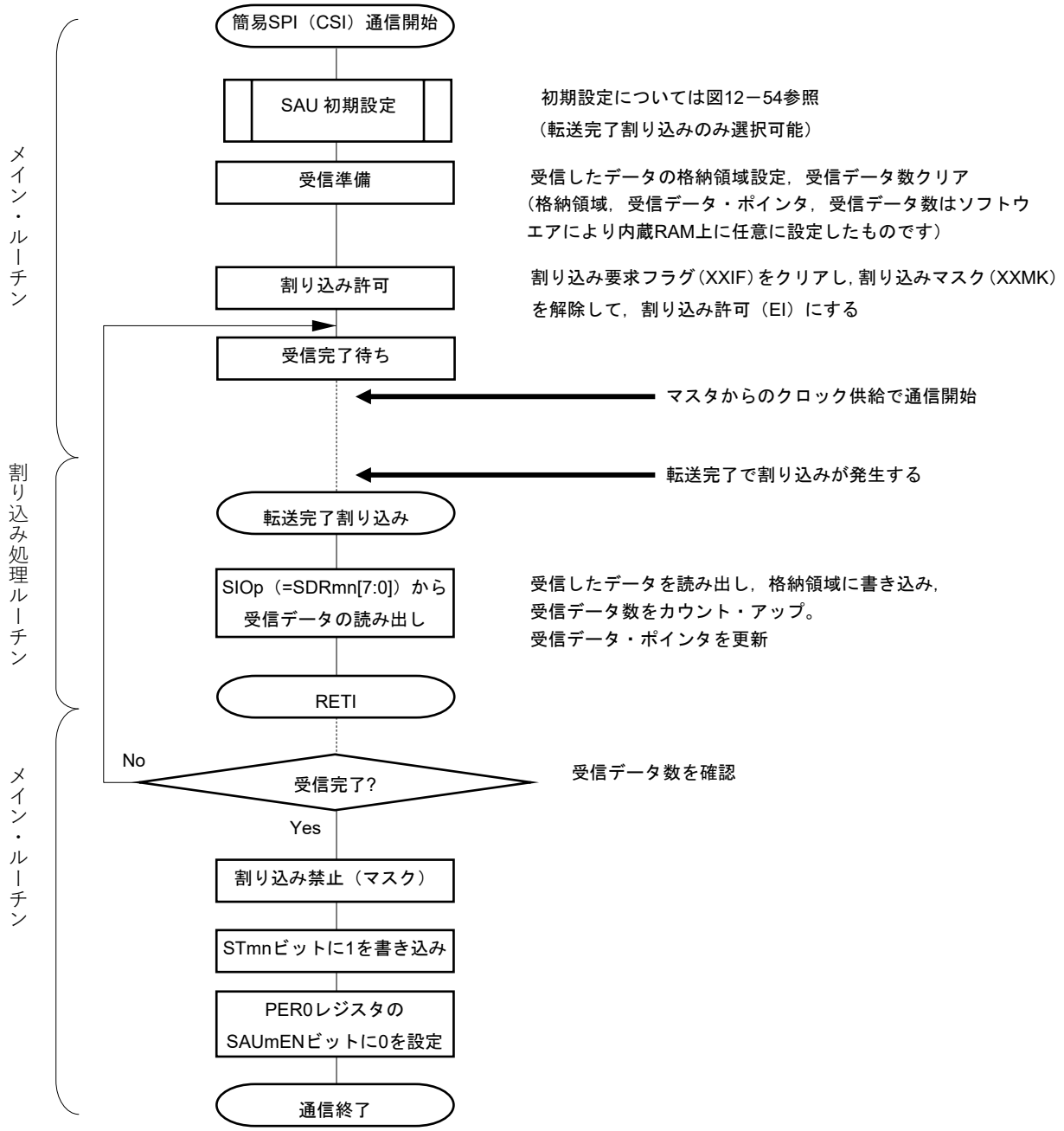
（3）処理フロー（シングル受信モード時）

図12－57　スレーブ受信（シングル受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－58　スレーブ受信（シングル受信モード時）のフロー・チャート



12. 5. 6　スレーブ送受信

スレーブ送受信とは，他デバイスから転送クロックを入力される状態で，RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCK00, SI00, SOm0	SCK01, SI01, Som1
割り込み	INTCSI00	INTCSI01
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	7ビットまたは8ビット	
転送レート	Max. f_{MCK}/6 [Hz]注1, 2	
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始	
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・CKPmn = 0の場合：非反転 ・CKPmn = 1の場合：反転	
データ方向	MSBファーストまたはLSBファースト	

注1.　SCK00, SCK01端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートはf_{MCK}/6 [Hz]となります。

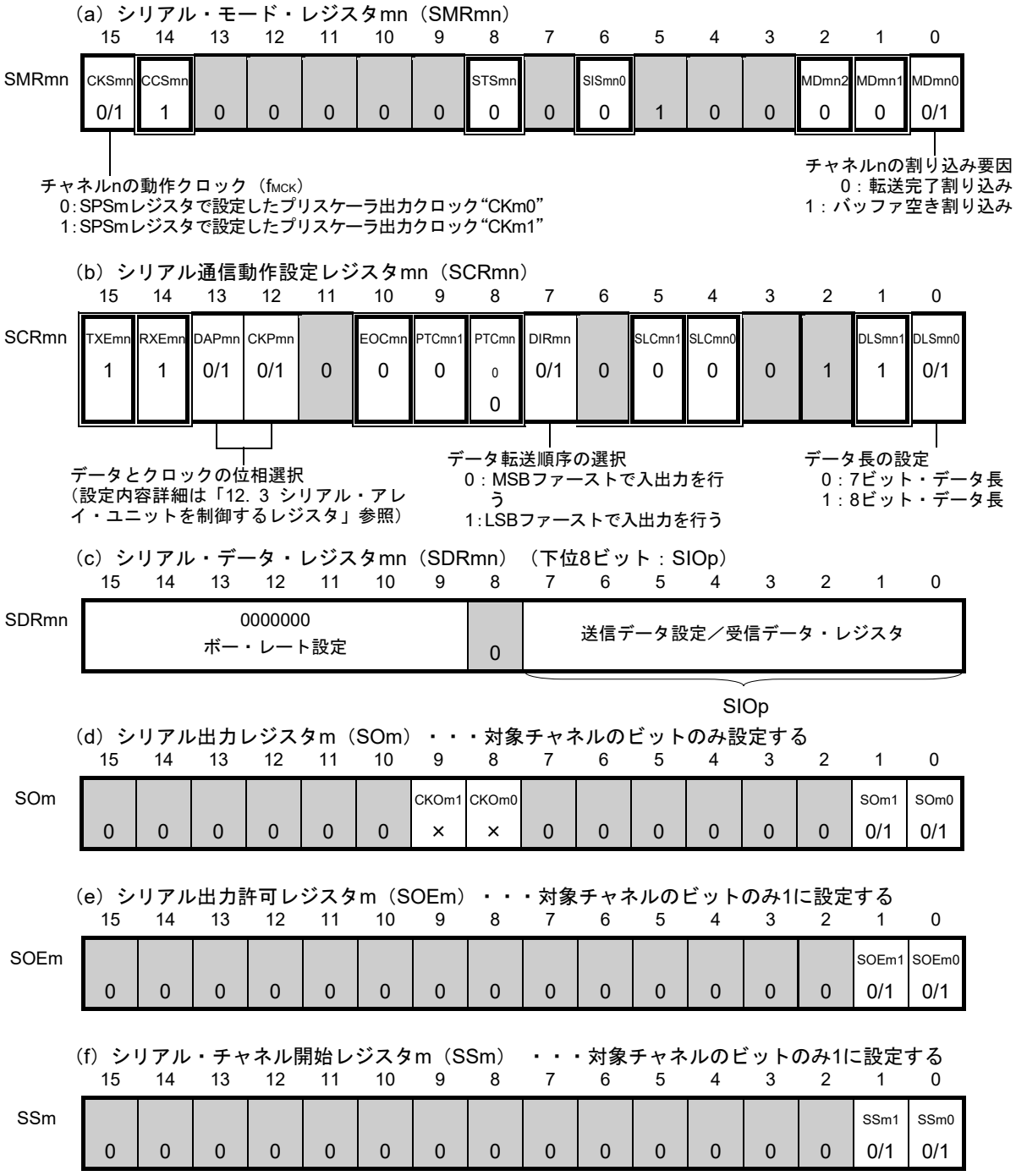
2.　この条件を満たし，かつ電気的特性のAC特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－59　簡易SPI（CSI00, CSI01）のスレーブ送受信時のレジスタ設定内容例



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考1.　m：ユニット番号（m = 0,）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

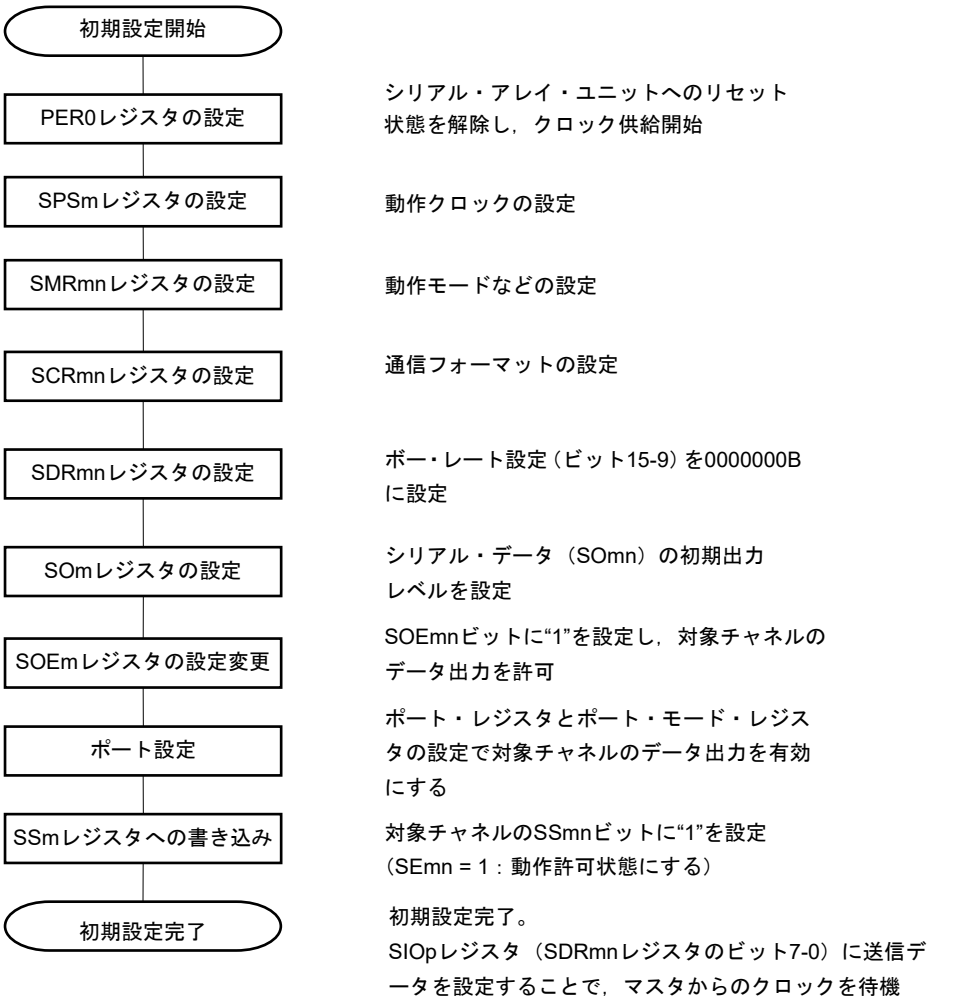
2.　□：簡易SPI（CSI）スレーブ送受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－60　スレーブ送受信の初期設定手順



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

図12－61　スレーブ送受信の中断手順

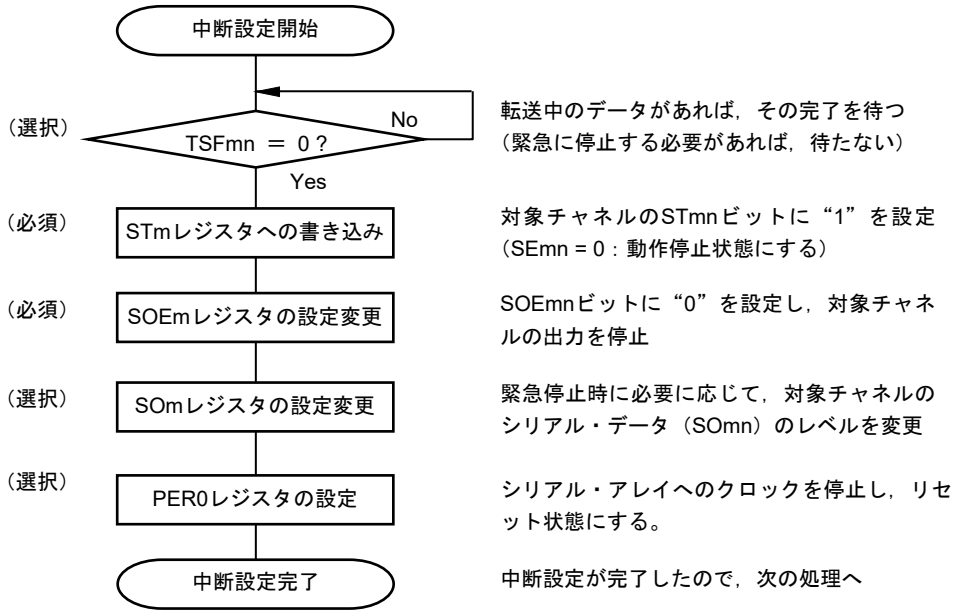
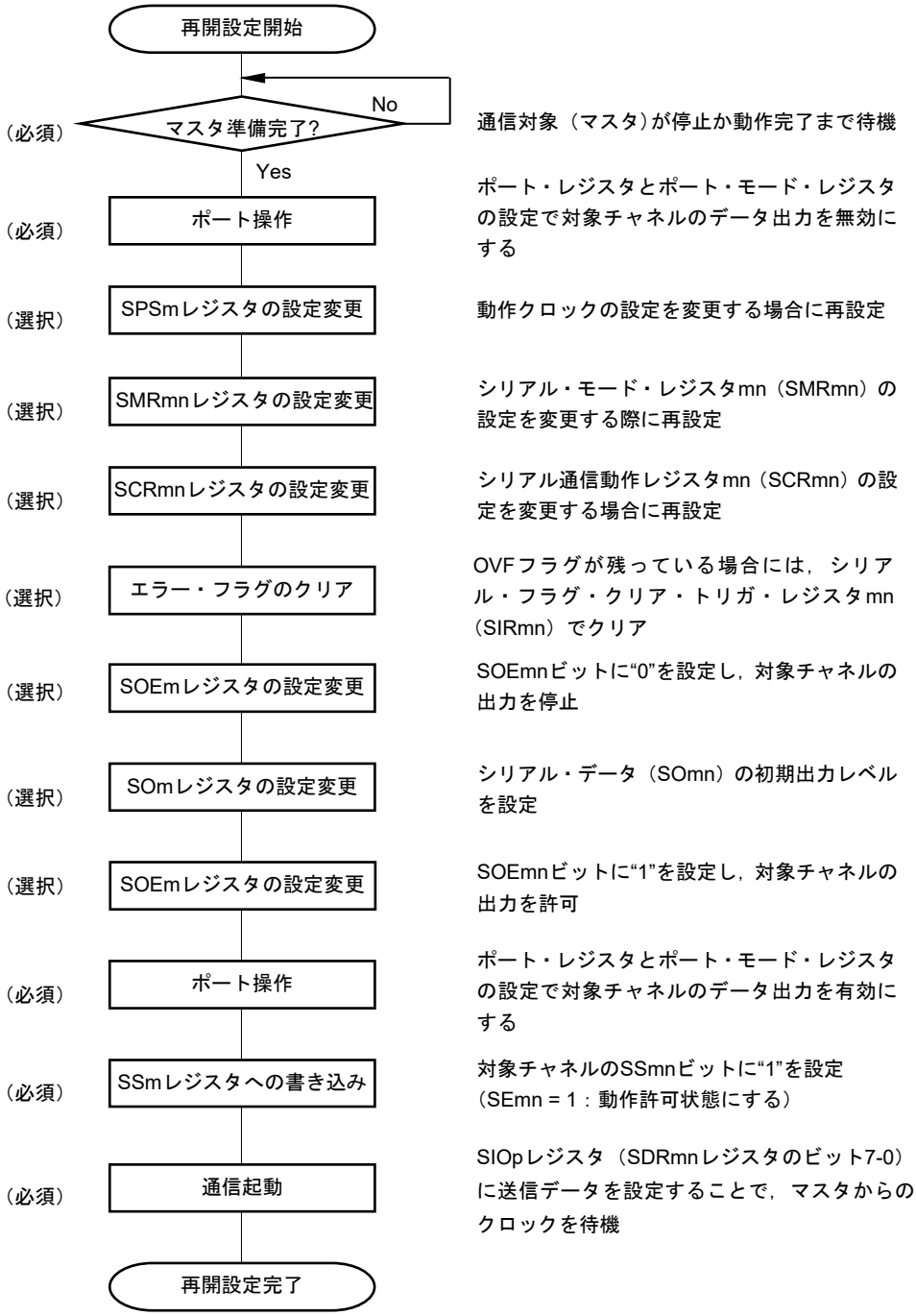


図12－62　スレーブ送受信の再開設定手順

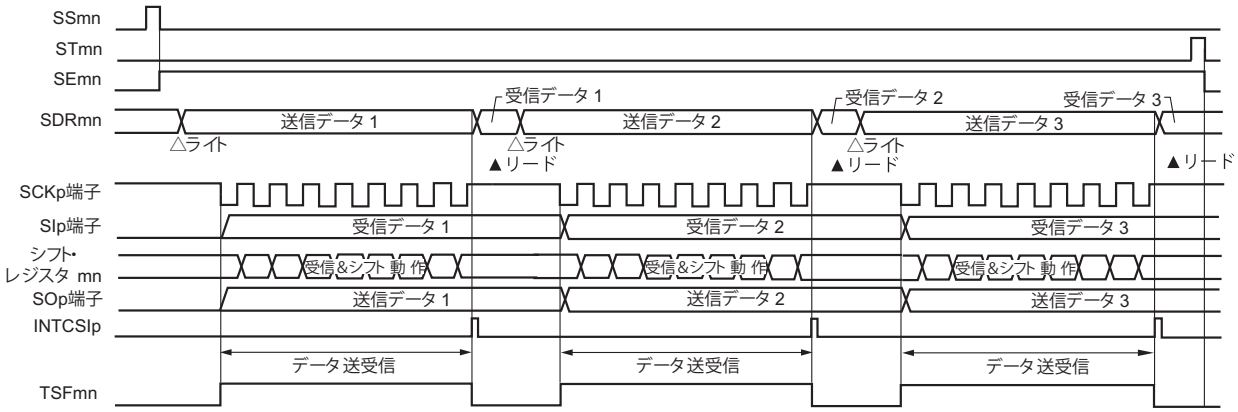


注意 1.　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

2.　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象（マスタ）の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

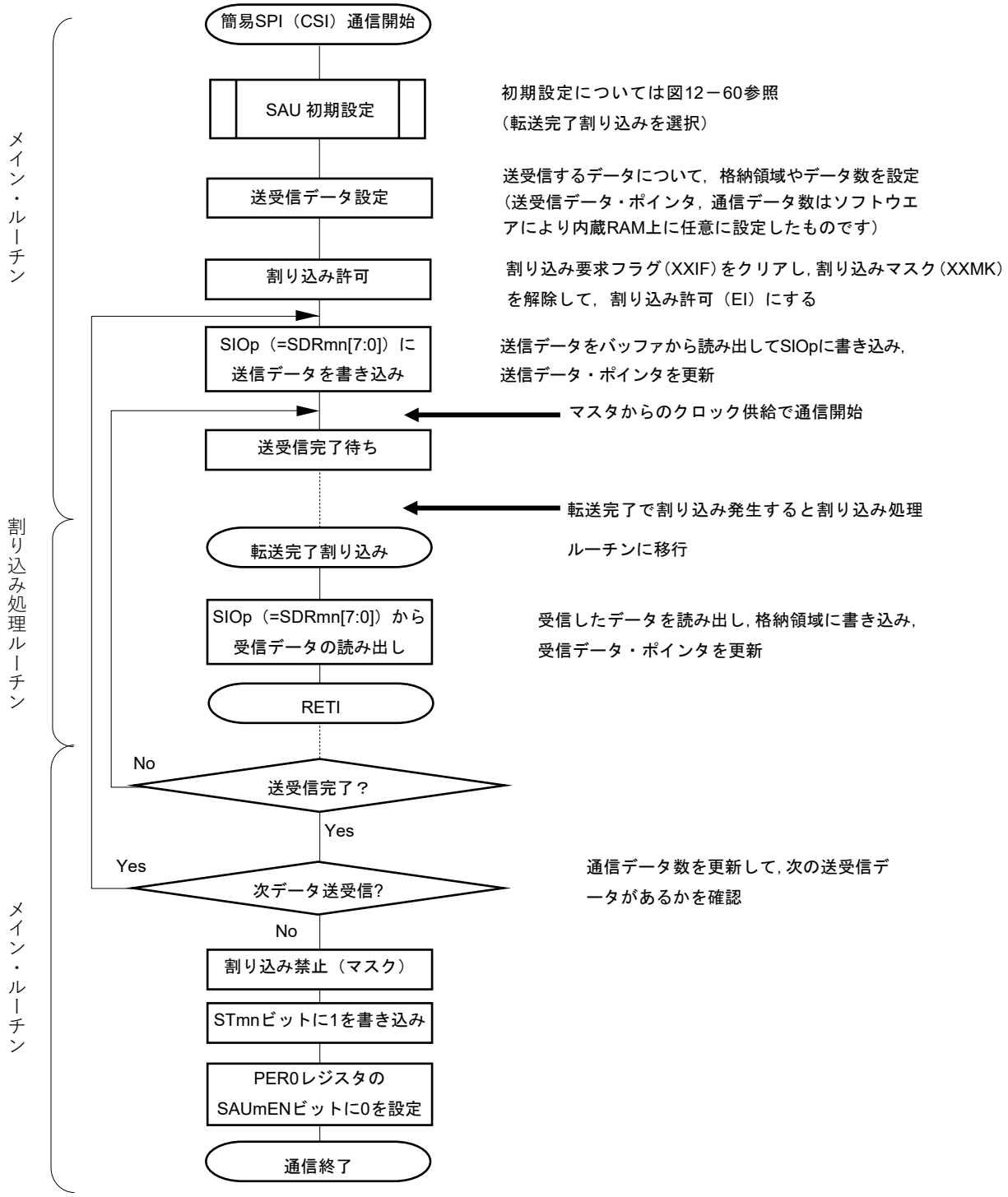
（3）処理フロー（シングル送受信モード時）

図12－63　スレーブ送受信（シングル送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

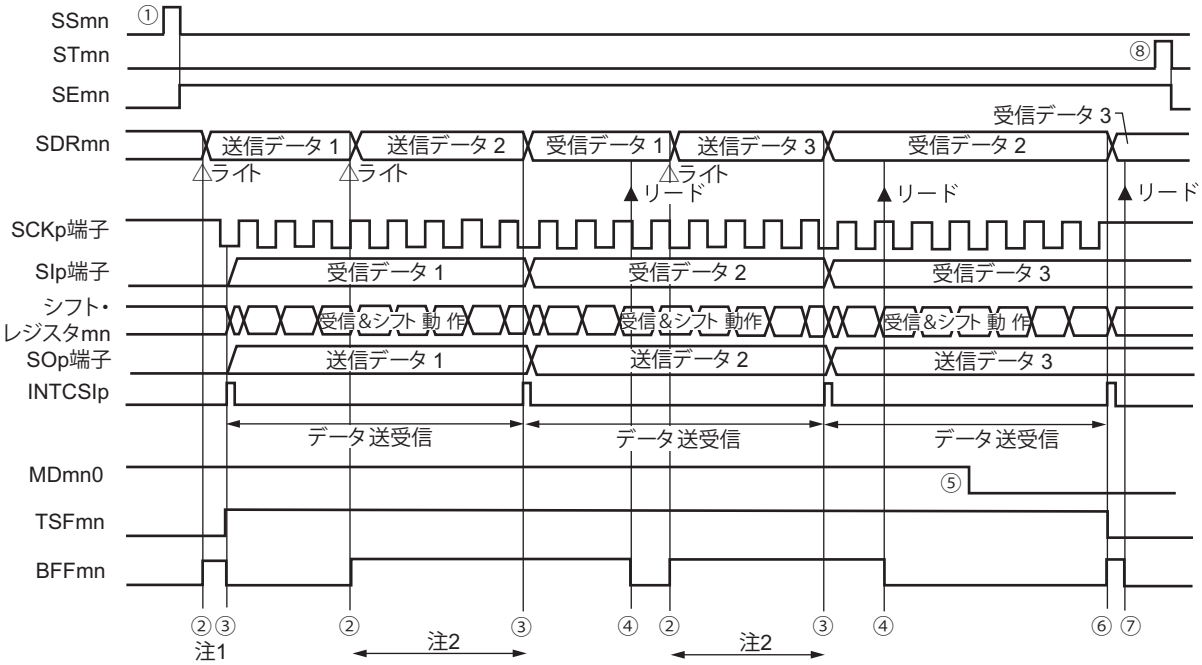
図12－64　スレーブ送受信（シングル送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

（4）処理フロー（連続送受信モード時）

図12－65　スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注1.　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されている時）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

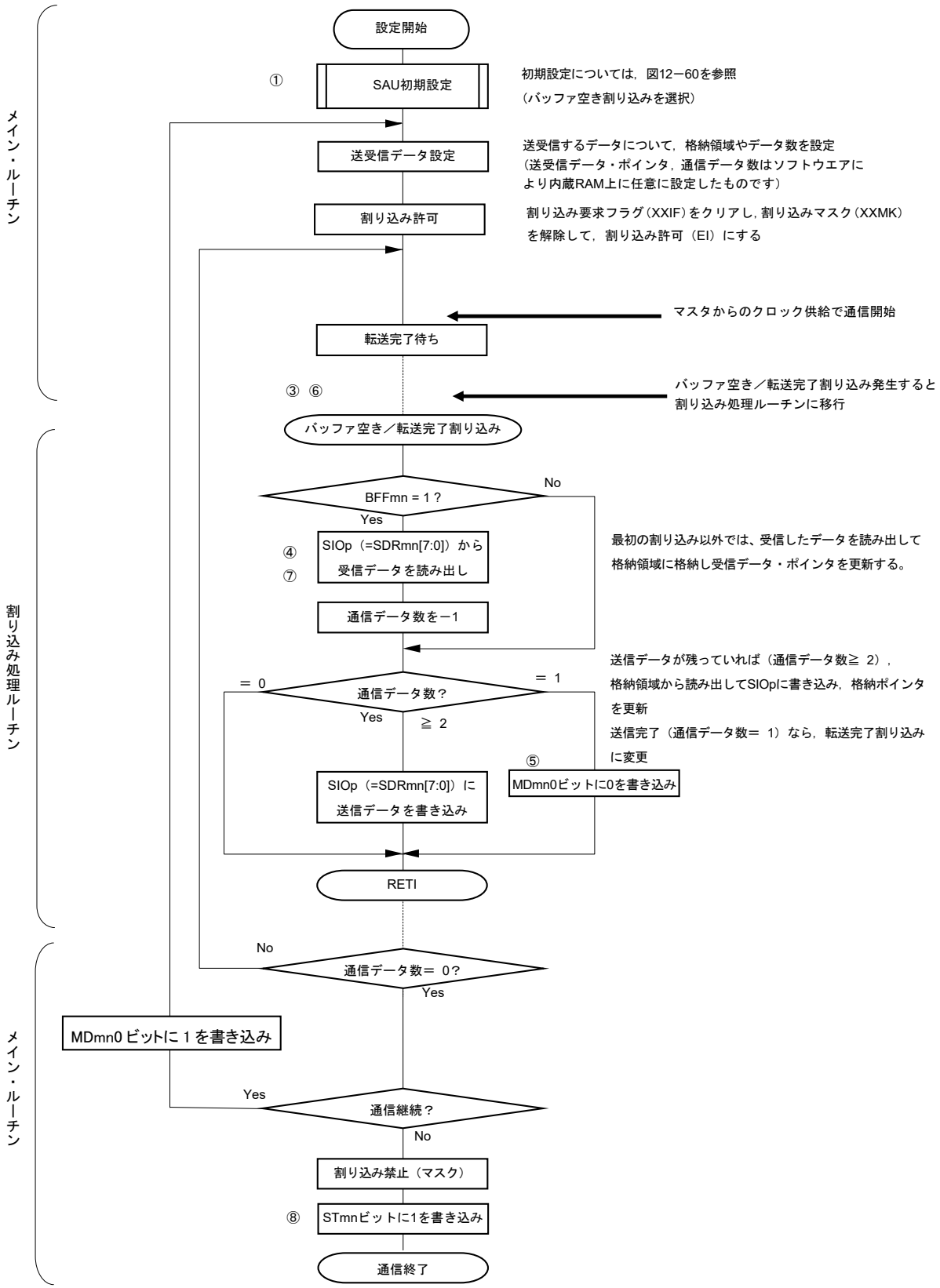
2.　この期間にSDRmnレジスタをリードすると，送信データを読み出すことができます。その際，転送動作には影響はありません。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考1.　図中の①~⑧は，図12－66　スレーブ送受信（連続送受信モード時）のフロー・チャートの①~⑧に対応しています。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　p：CSI番号（p = 00, 01）

図12－66　スレーブ送受信（連続送受信モード時）のフロー・チャート



注意　マスタからのクロックが開始される前に，必ず送信データをSIOpレジスタへ設定してください。

備考　図中の①~⑧は，図12－65　スレーブ送受信（連続送受信モード時）のタイミング・チャートの①~⑧に対応しています。

12. 5. 7　SNOOZEモード機能

SNOOZEモードとは，STOPモード状態でSCKp端子入力を検出すると，CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは，CSI00のみ設定可能です。

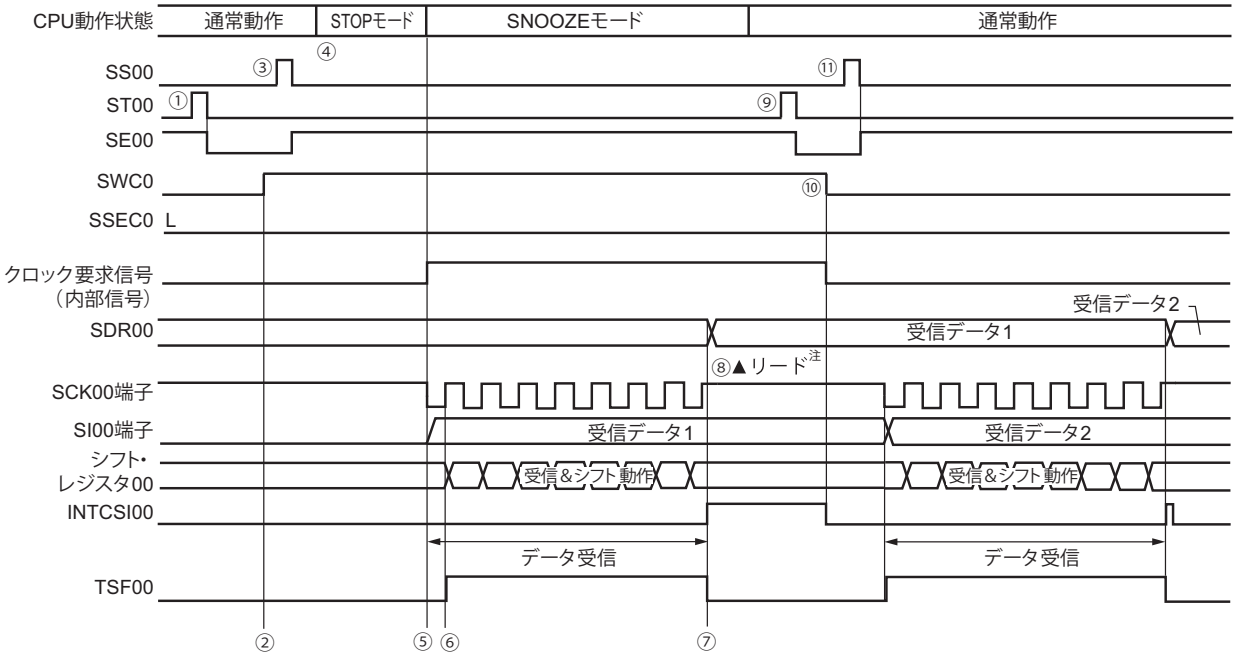
SNOOZEモード機能を使用する場合は，STOPモードに移行する前にシリアル・スタンバイ・コントロール・レジスタm（SSCm）のSWCmビットを1に設定しておきます。

注意1.　SNOOZEモードは，f_{CLK}に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

2.　SNOOZEモードで使用するときの最大転送レートは1 Mbpsです。

（1）SNOOZEモード動作（1回起動）

図12－67　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください

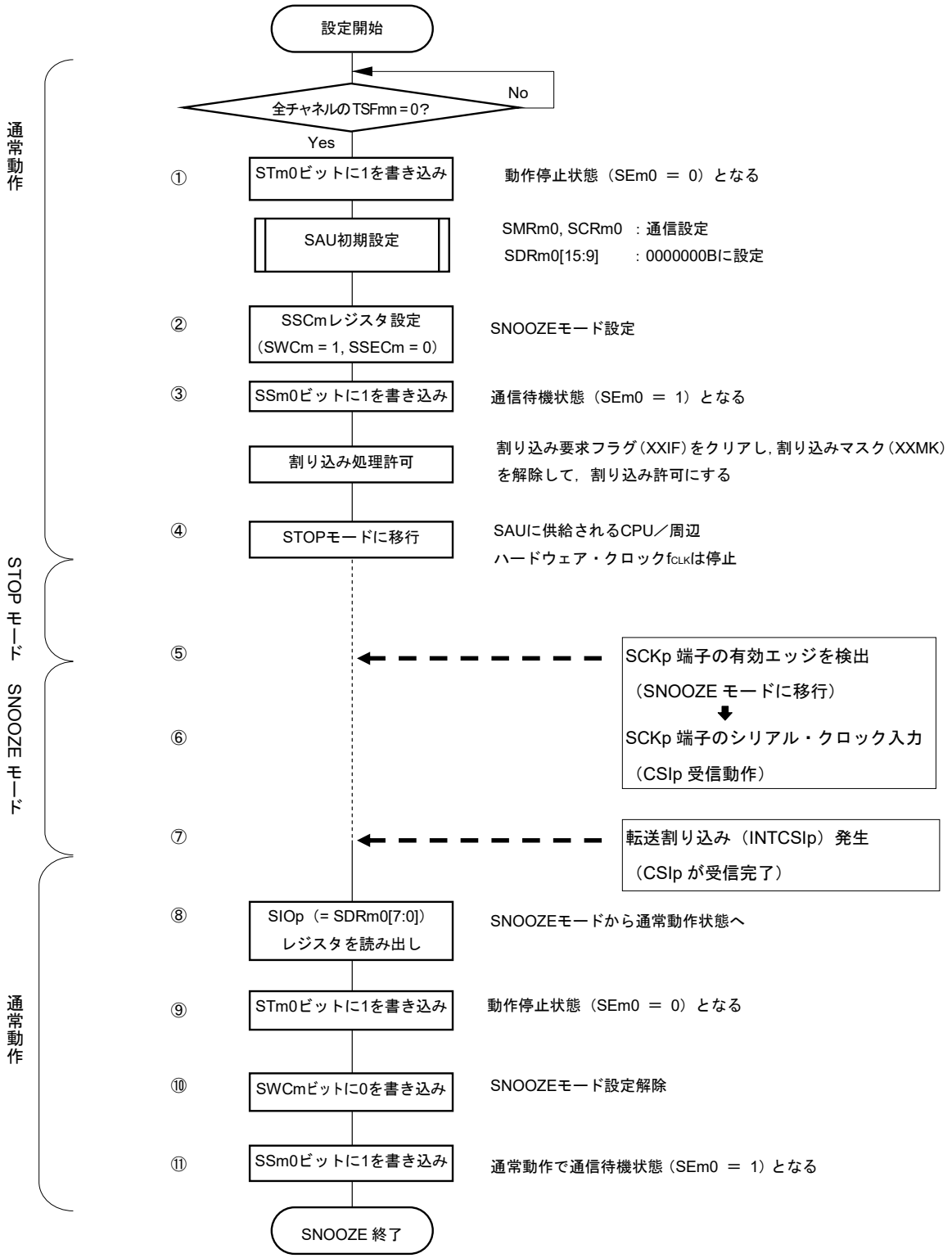
注意 1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

2.　SWCm = 1のときは，BFFm1, OVFm1フラグは動作しません。

備考 1.　図中の①~⑪は，図12－68　SNOOZEモード動作（1回起動）時のフロー・チャートの①~⑪に対応しています。

2.　m = 0; p = 00

図12－68　SNOOZEモード動作（1回起動）時のフロー・チャート

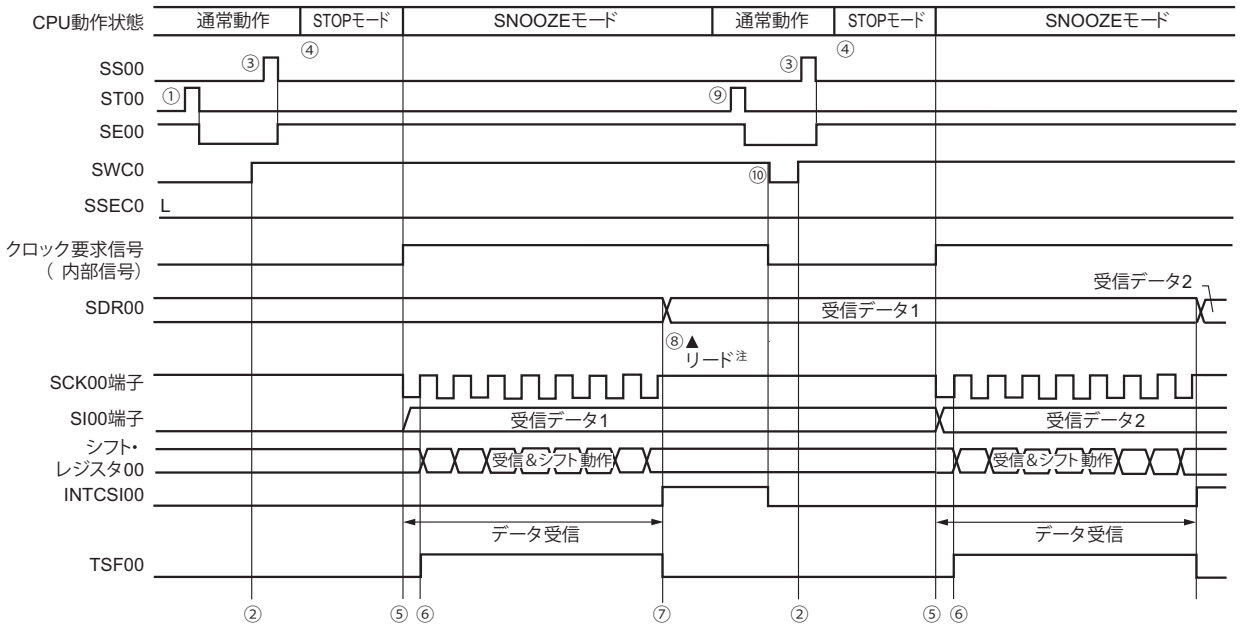


備考1.　図中の①~⑪は，図12－67　SNOOZEモード動作（1回起動）時のタイミング・チャートの①~⑪に対応しています。

2.　m = 0; p = 00

（2）SNOOZEモード動作（連続起動）

図12－69　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn =0, CKPmn = 0）



注　受信データの読み出しは，SWCm = 1の状態，次のSCKp端子の有効エッジ検出前に行ってください

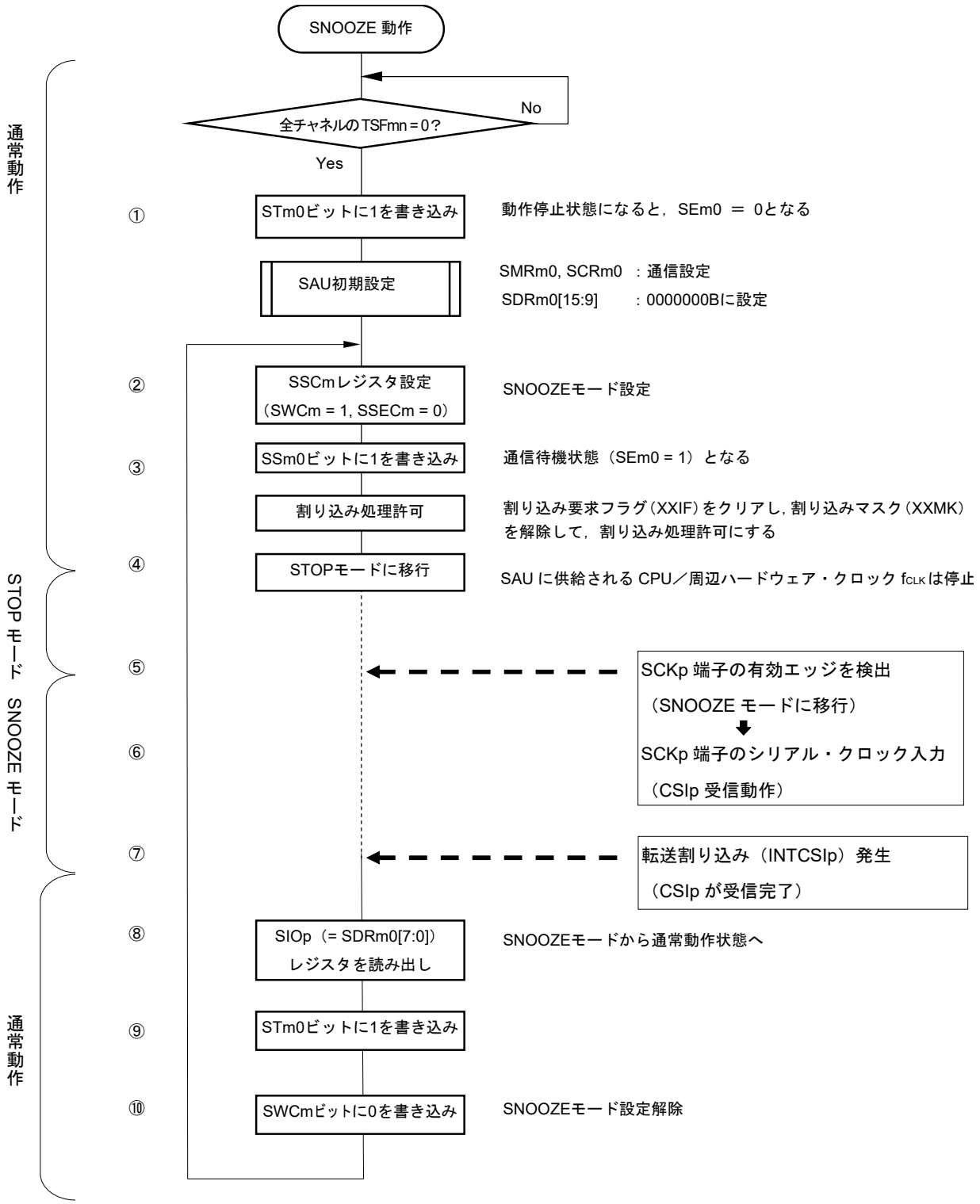
注意1.　SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは，STm0ビットを1に設定してください（SEm0ビットがクリアされ動作停止）。また，受信動作を完了したあとは，SWCmビットもクリアしてください（SNOOZE解除）。

2.　SWCm = 1のときは，BFFm1，OVFm1フラグは動作しません。

備考1.　図中の①~⑩は，図12－74　SNOOZEモード動作（連続起動）時のフロー・チャートの①~⑩に対応しています。

2.　m = 0; p = 00

図12－70　SNOOZEモード動作（連続起動）時のフロー・チャート



備考1.　図中の①~⑩は，図12－69　SNOOZEモード動作（連続起動）時のタイミング・チャートの①~⑩に対応しています。

2.　m = 0; p = 00

12. 5. 8　転送クロック周波数の算出

簡易SPI（CSI00, CSI01）通信での転送クロック周波数は下記の計算式にて算出できます。

（1）マスタの場合

（転送クロック周波数）＝｛対象チャネルの動作クロック（f_{MCK}）周波数｝÷（SDRmn[15:9]＋1）÷ 2 [Hz]

（2）スレーブの場合

（転送クロック周波数）＝｛マスタが供給するシリアル・クロック（SCK）周波数｝注 [Hz]

注　ただし，許容最大転送クロック周波数はf_{MCK}/6となります。

備考　SDRmn[15:9] は，シリアル・データ・レジスタ mn（SDRmn）のビット 15-9 の値（0000000B-1111111B）なので，0-127になります。

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmn）で決まります。

表12－2　簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 0003H）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 5. 9　簡易SPI（CSI00, CSI01）通信時におけるエラー発生時の処理手順

簡易SPI（CSI00, CSI01）通信時にエラーが発生した場合の処理手順を図12－71に示します。

図12－71　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 6　UART（UART0）通信の動作

シリアル・データ送信（TxD）とシリアル・データ受信（RxD）の2本のラインによる，調歩同期式通信機能です。この2本の通信ラインを使用し，スタート・ビット，データ，パリティ・ビット，ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で（内部ボー・レートを使用して），データを送受信します。送信専用（偶数チャネル）と受信専用（奇数チャネル）の2チャネルを使用することで，全2重UART通信が実現できます。

［データ送受信］

・7, 8, 9ビットのデータ長
・MSB/LSBファーストの選択
・送受信データのレベル設定，反転の選択
・パリティ・ビット付加，パリティ・チェック機能
・ストップ・ビット付加

［割り込み機能］

・転送完了割り込み／バッファ空き割り込み
・フレーミング・エラー，パリティ・エラー，オーバラン・エラーによるエラー割り込み

［エラー検出フラグ］

・フレーミング・エラー，パリティ・エラー，オーバラン・エラー

UART0では，チャネル0, 1を使用します。

チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	CSI00	UART0	IIC00
1	CSI01		IIC01

注意　UARTとして使用する場合は，送信側（偶数チャネル）と受信側（奇数チャネル）のどちらのチャネルもUARTとしてしか使用することはできません。

UARTの通信動作は，以下の2種類があります。

・UART送信　　（12. 6. 1項を参照）
・UART受信　　（12. 6. 2項を参照）

12. 6. 1　UART送信

UART送信は，RL78マイクロコントローラから他デバイスへ，非同期（調歩同期）でデータを送信する動作です。

UART送信では，そのUARTに使用する2チャネルのうち，偶数チャネルのほうを使用します。

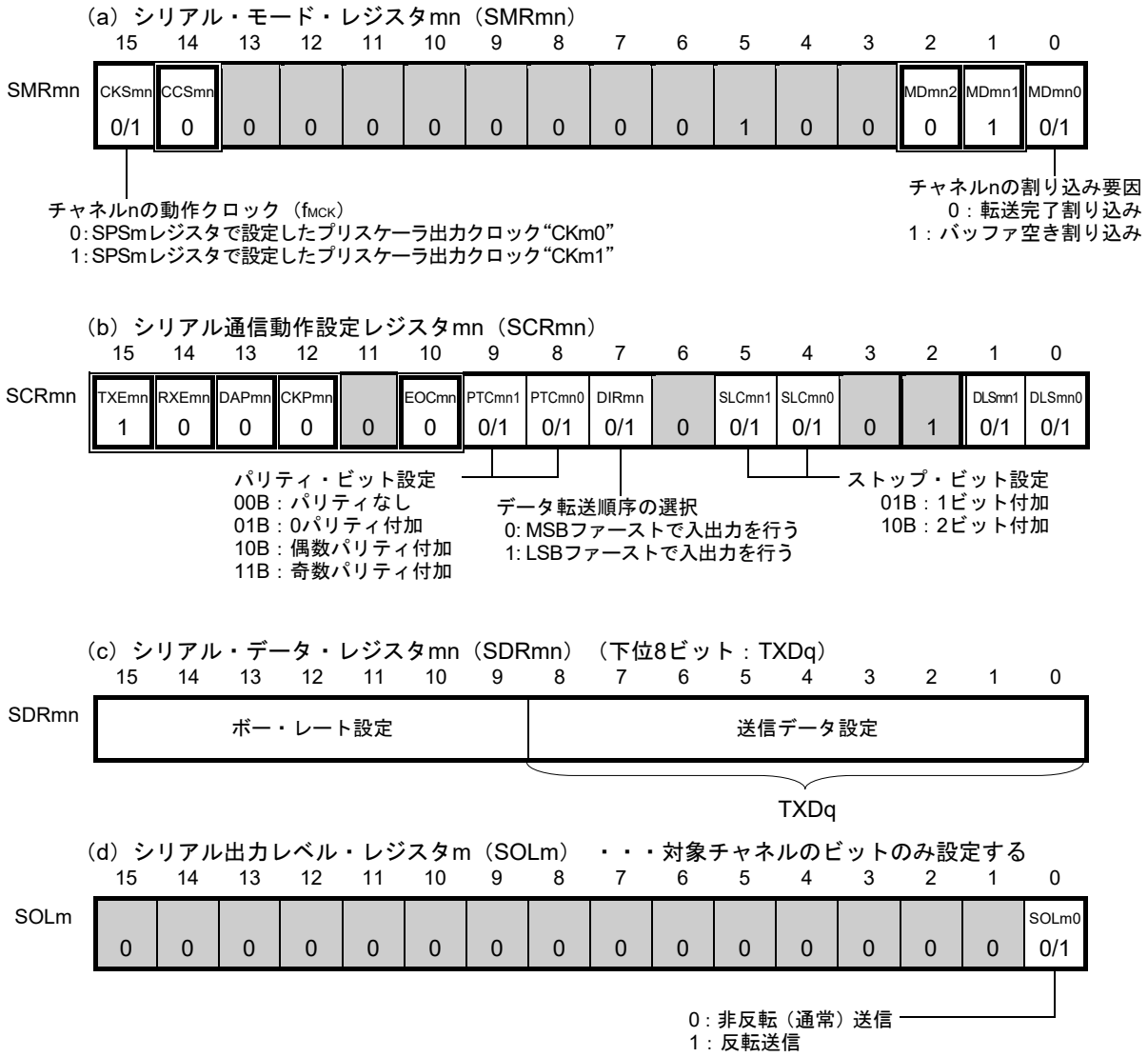
UART	UART0
対象チャネル	SAU0のチャネル0
使用端子	TxD0
割り込み	INTST0
	転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能
エラー検出フラグ	なし
転送データ長	7ビットまたは8ビットまたは9ビット
転送レート	Max. f_{MCK}/6 [bps]（SDRmn[15:9] = 3以上），Min. f_{CLK}/（2×2^{15}×128）[bps] 注
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加
データ方向	MSBファーストまたはLSBファースト

注　この条件を満たし，かつ電気的特性のAC特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考1.　f_{MCK}：対象チャネルの動作クロック周波数
　　f_{CLK}：システム・クロック周波数
　2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

（1）レジスタ設定

図12－72　UART（UART0）のUART送信時のレジスタ設定内容例（1/2）



注　9ビット・データ長での通信を行う場合は，SDRm0レジスタのビット0-8が送信データ設定領域になります。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　q：UART番号（q = 0）

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図12－72　UART（UART0）のUART送信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）　・・・対象チャネルのビットのみ設定する

SOm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
						CKOm1	CKOm0							SOm1	SOm0
0	0	0	0	0	0	×	×	0	0	0	0	0	0	×	0/1注

0：シリアル・データ出力値が“0”
1：シリアル・データ出力値が“1”

（f）シリアル出力許可レジスタm（SOEm）・・・対象チャネルのビットのみ1に設定する

SOEm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														SOEm1	SOEm0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

SSm

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
														SSm1	SSm0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	×	0/1

注　該当するチャネルのSOLmnビットに0を設定している場合は“1”に，SOLmnビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　q：UART番号（q = 0）

2.　□：UART送信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－73　UART送信の初期設定手順

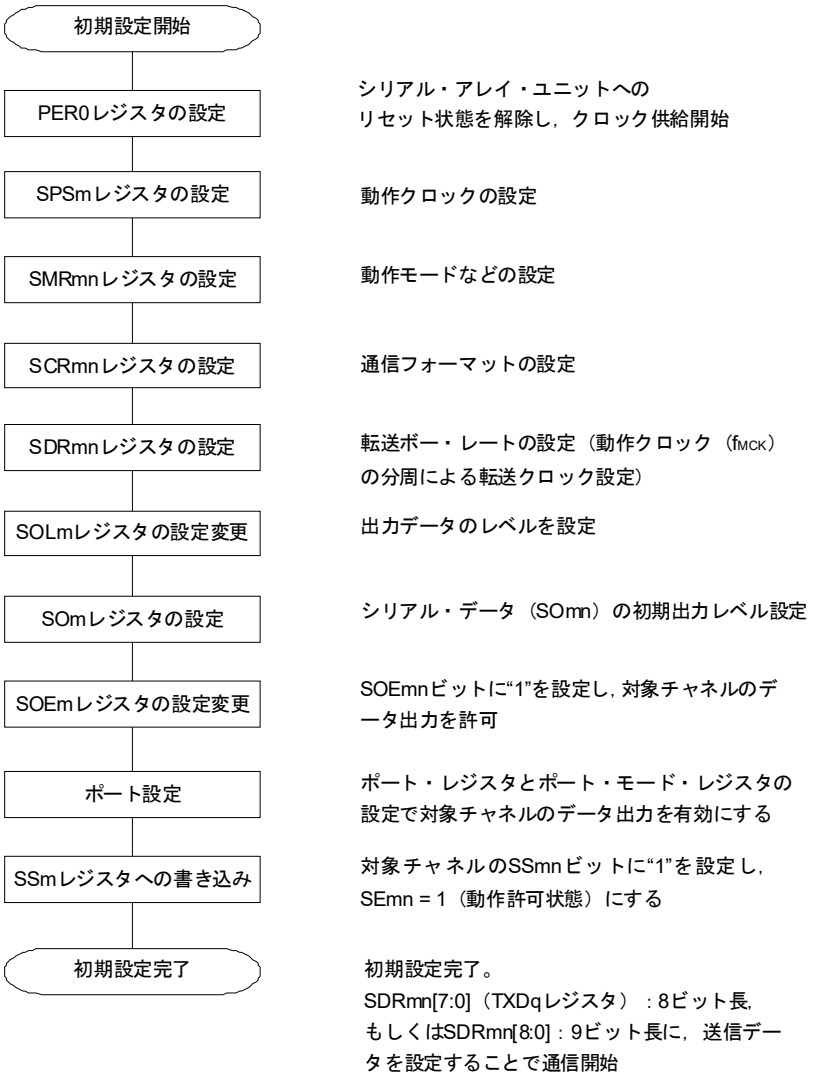


図12－74　UART送信の中断手順

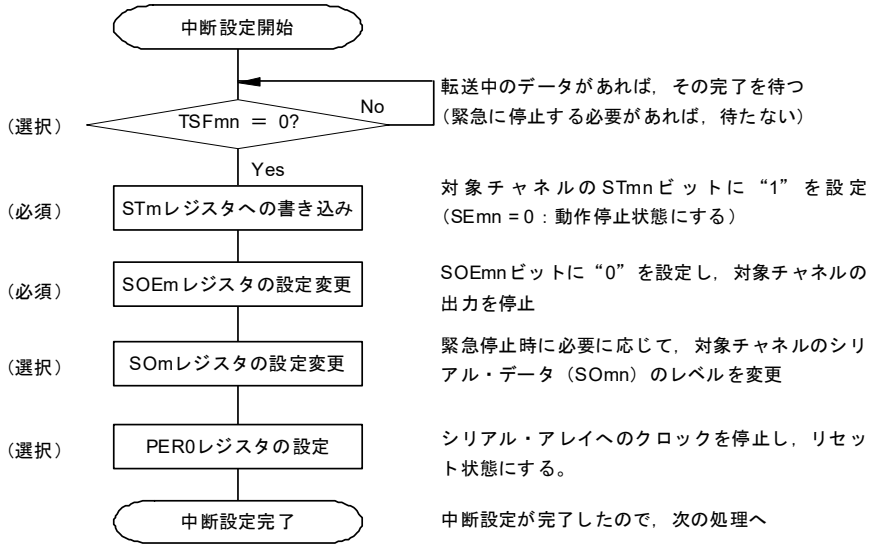
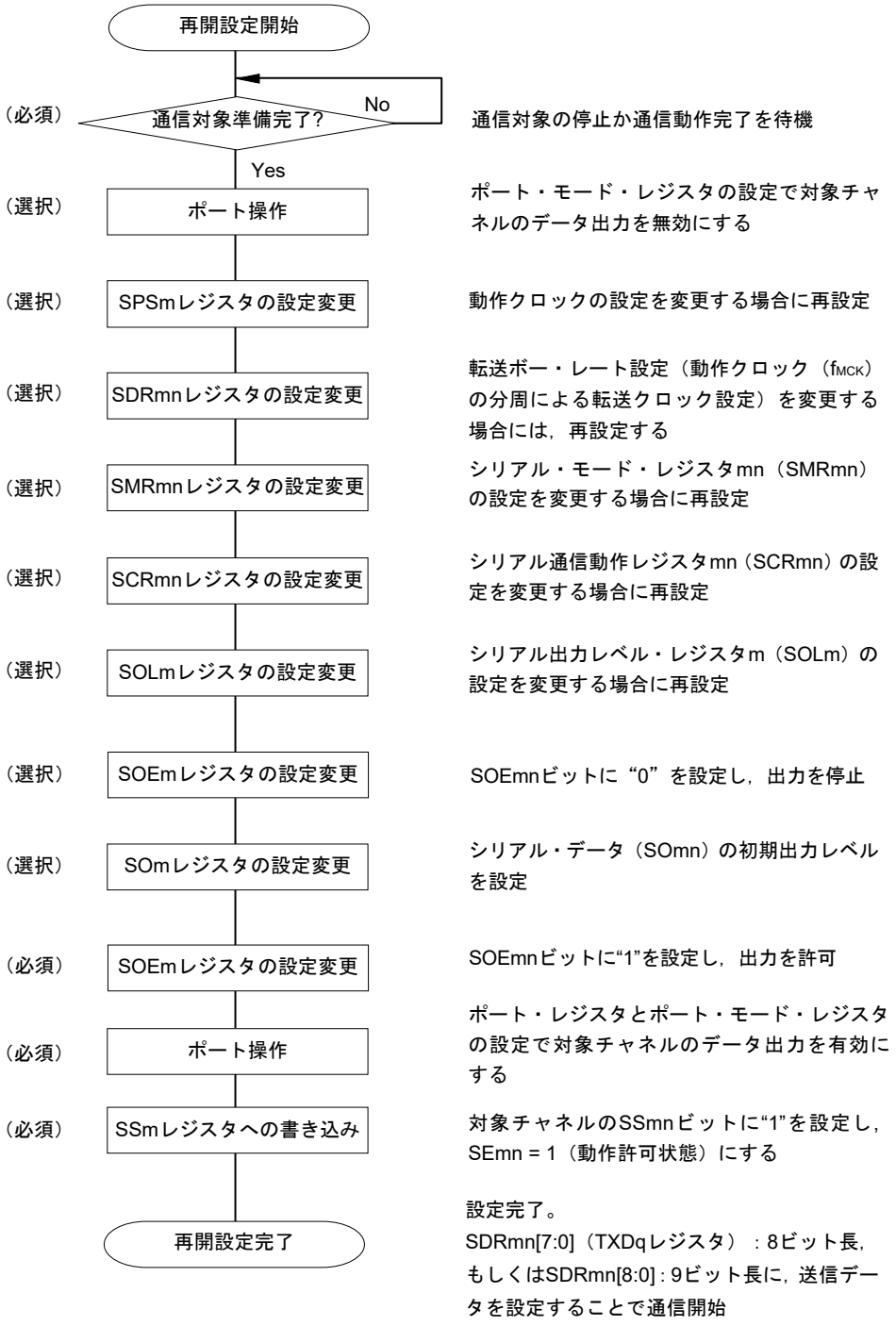


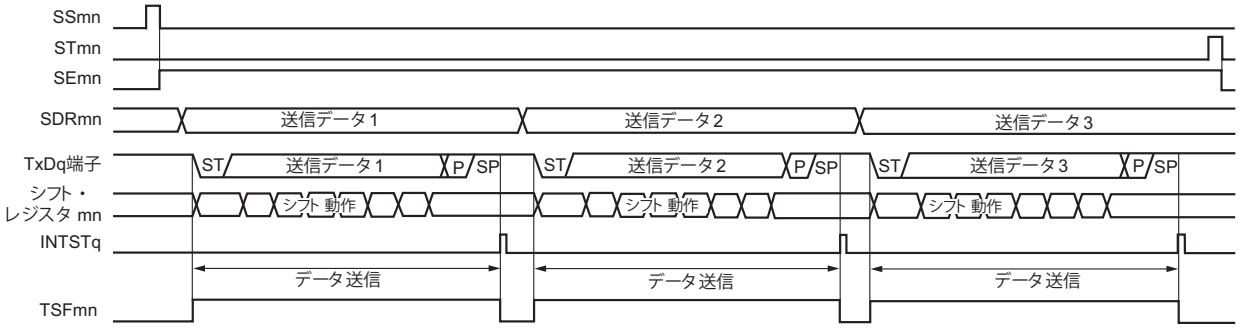
図12－75　UART送信の再開設定手順



備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

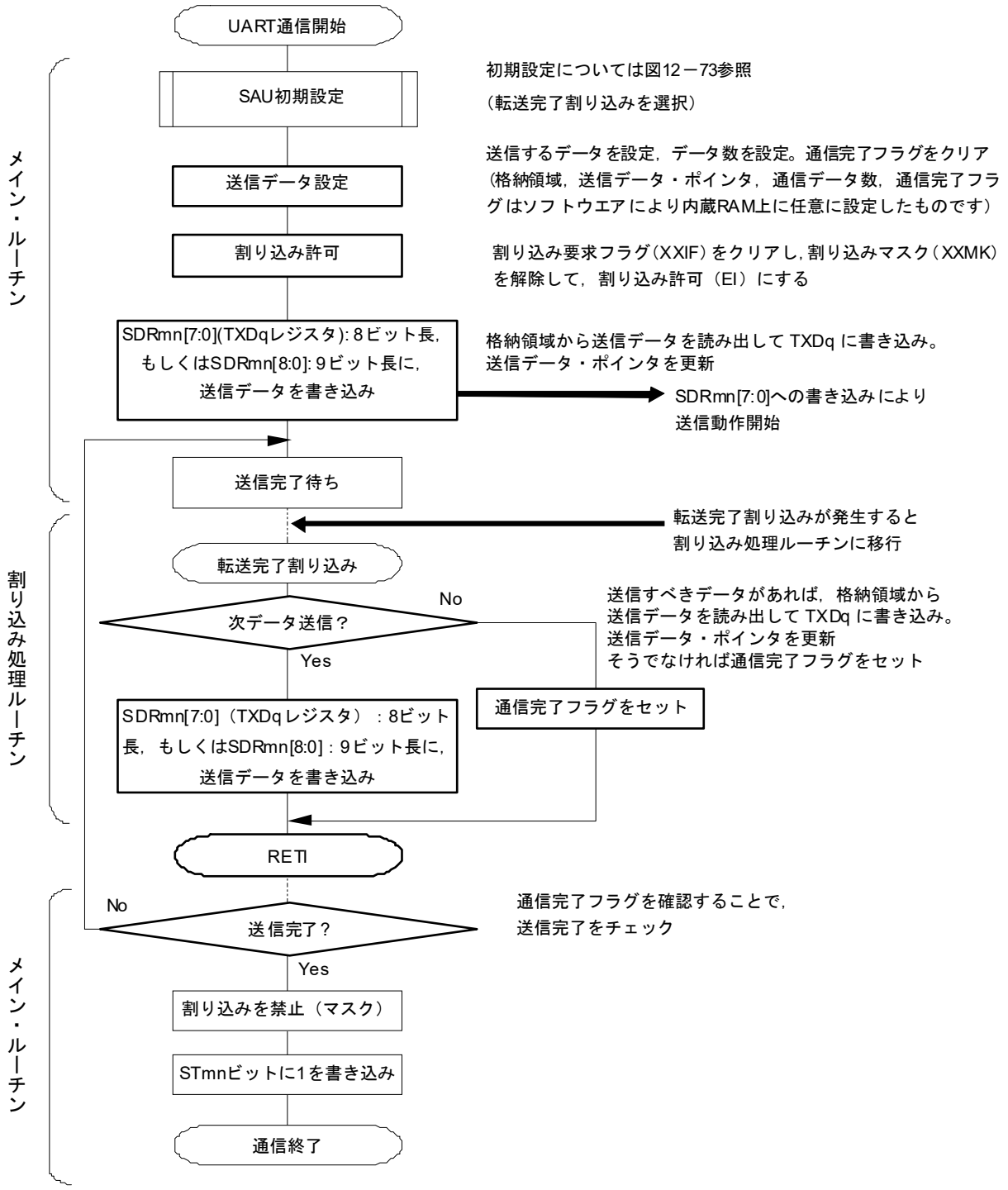
（3）処理フロー（シングル送信モード時）

図12－76　UART送信（シングル送信モード時）のタイミング・チャート



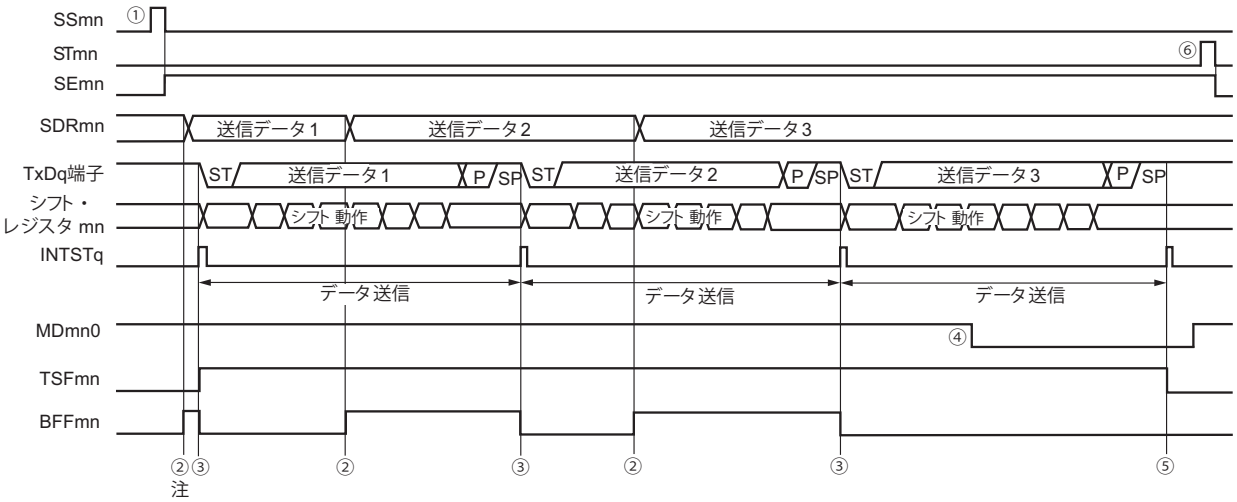
備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　q：UART番号（q = 0）

図12－77　UART送信（シングル送信モード時）のフロー・チャート



（4）処理フロー（連続送信モード時）

図12－78　UART送信（連続送信モード時）のタイミング・チャート

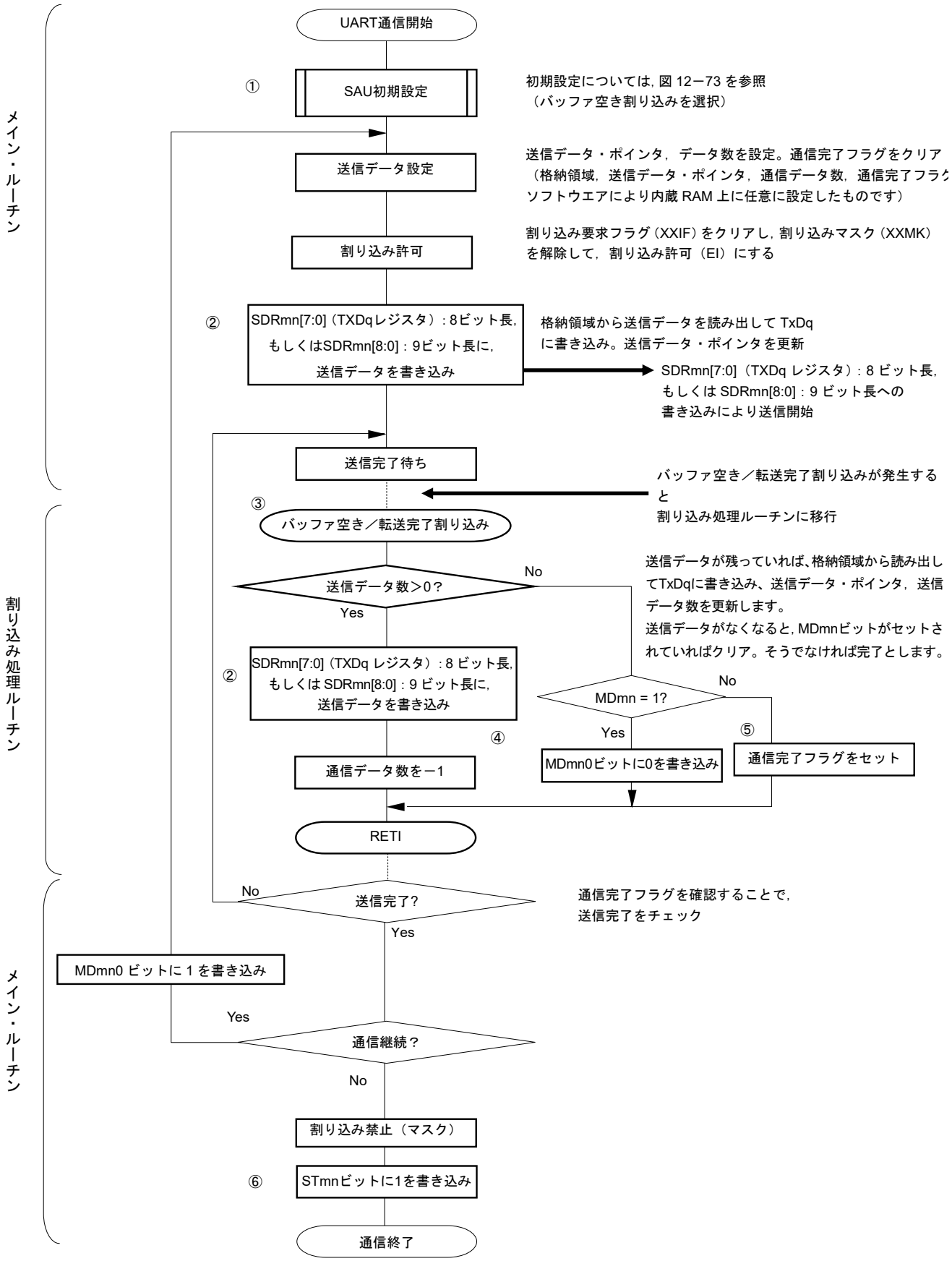


注　シリアル・ステータス・レジスタmn（SSRmn）のBFFmnビットが“1”の期間（有効なデータがシリアル・データ・レジスタmn（SDRmn）に格納されているとき）にSDRmnレジスタに送信データを書き込むと，送信データが上書きされます。

注意　シリアル・モード・レジスタmn（SMRmn）のMDmn0ビットは，動作中でも書き換えることができます。ただし，最後の送信データの転送完了割り込みに間に合わせるために，最終ビットの転送開始前までに書き換えてください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）　q：UART番号（q = 0）

図12－79　UART送信（連続送信モード時）のフロー・チャート



備考　図中の①～⑥は，図12－78　UART送信（連続送信モード時）のタイミング・チャートの①～⑥に対応しています。

12. 6. 2　UART受信

UART受信は，他デバイスからRL78マイクロコントローラが非同期（調歩同期）でデータを受信する動作です。

UART受信では，そのUARTに使用する2チャネルのうち，奇数チャネルのほうを使用します。ただし，SMRレジスタは，偶数チャネルと奇数チャネルの両方のレジスタを設定する必要があります。

UART	UART0
対象チャネル	SAU0のチャネル1
使用端子	RxD0
割り込み	INTSR0
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）
エラー割り込み	INTSRE0
エラー検出フラグ	・フレーミング・エラー検出フラグ（FEFmn） ・パリティ・エラー検出フラグ（PEFmn） ・オーバラン・エラー検出フラグ（OVFmn）
転送データ長	7ビットまたは8ビットまたは9ビット
転送レート	Max. $f_{MCK}/6$ [bps]（SDRmn[15:9] = 3以上），Min. $f_{CLK}/(2\times2^{15}\times128)$ [bps] 注
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし（パリティ・チェックなし） ・0パリティ・ビット付加（パリティ・チェックなし） ・偶数パリティ・チェック ・奇数パリティ・チェック
ストップ・ビット	1ビット付加
データ方向	MSBファーストまたはLSBファースト

注　この条件を満たし，かつ電気的特性のAC特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

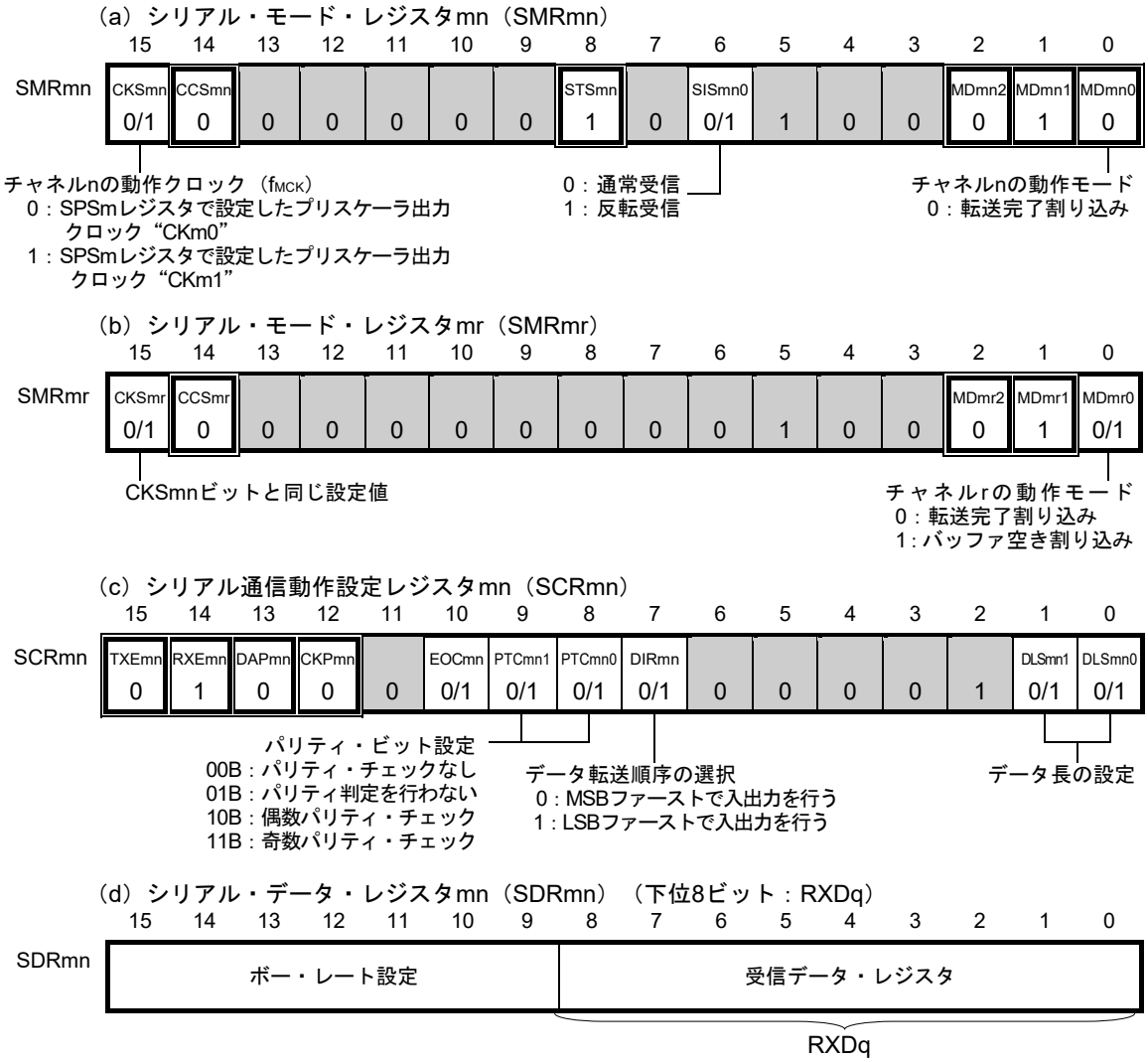
備考1.　f_{MCK}：対象チャネルの動作クロック周波数

f_{CLK}：システム・クロック周波数

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 1）

（1）レジスタ設定

図12－80　UART（UART0）のUART受信時のレジスタ設定内容例（1/2）



注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 1）

r：チャネル番号（r = 0）　q：UART番号（q = 0）

2.　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

図12－80　UART（UART0）のUART受信時のレジスタ設定内容例（2/2）

（e）シリアル出力レジスタm（SOm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	0	0	CKOm1 ×	CKOm0 ×	0	0	0	0	0	0	SOm1 ×	SOm0 ×

（f）シリアル出力許可レジスタm（SOEm）・・・このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOEm1 ×	SOEm0 ×

（g）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSm1 0/1	SSm0 ×

注意　UART受信時は，チャネルnとペアになるチャネルrのSMRmrレジスタも必ずUART送信モードに設定してください。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 1）

r：チャネル番号（r = 0）　q：UART番号（q = 0）

2.　□：UART受信モードでは設定固定　■：設定不可（初期値を設定）

×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

図12－81　UART受信の初期設定手順

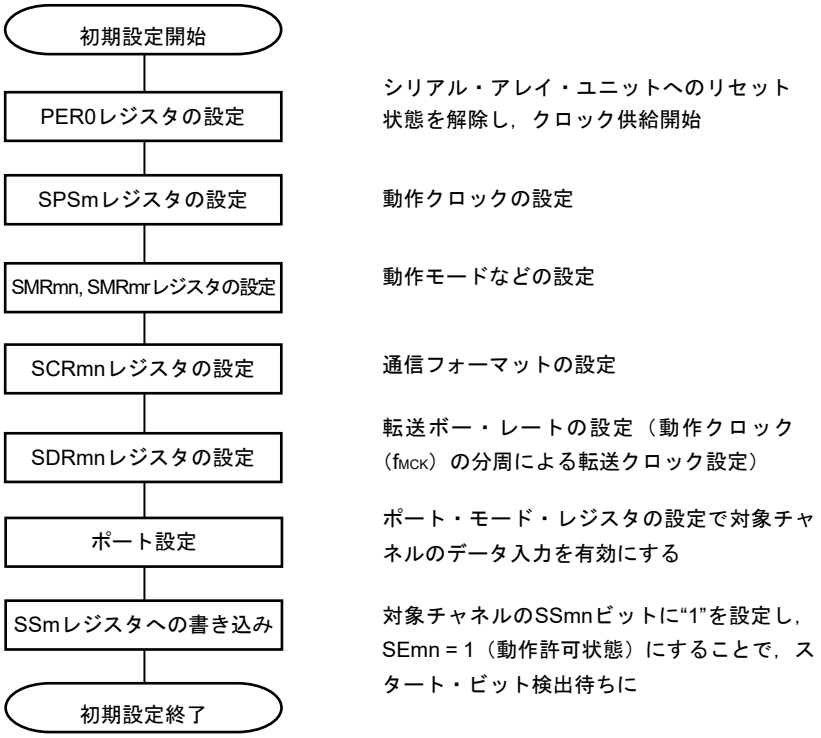


図12－82　UART受信の中断手順

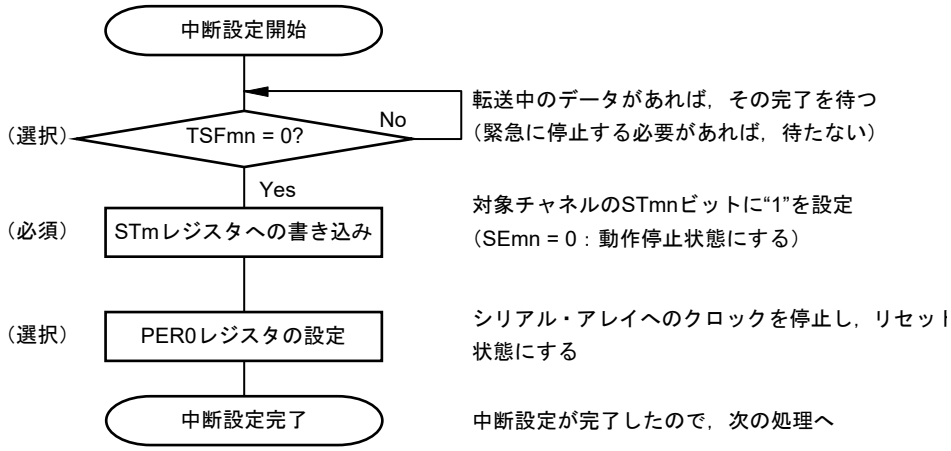
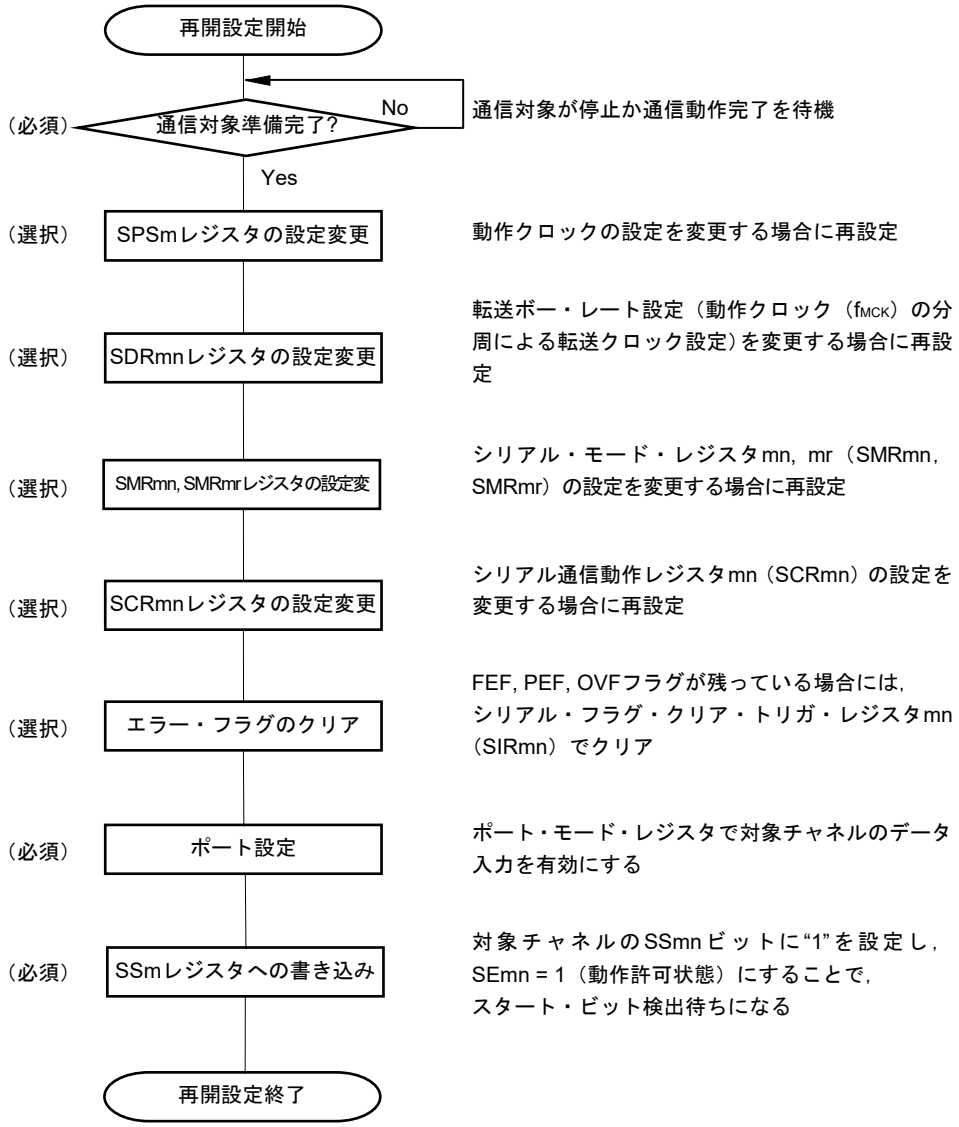


図12－83　UART受信の再開設定手順

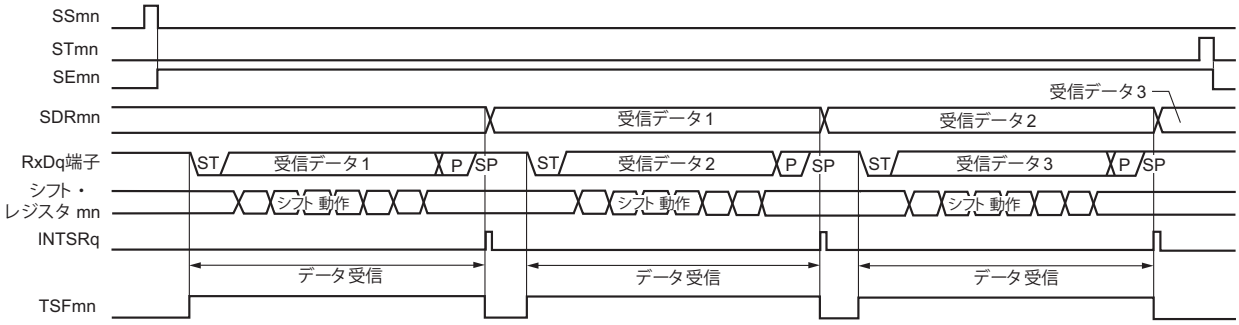


注意　SCRmnレジスタのRXEmnビットを“1”に設定後に，f_{MCK}の4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考　中断設定でPER0を書き換えてクロック供給を停止した場合には，通信対象の停止か通信動作完了を待って，再開設定ではなく初期設定をしてください。

（3）処理フロー

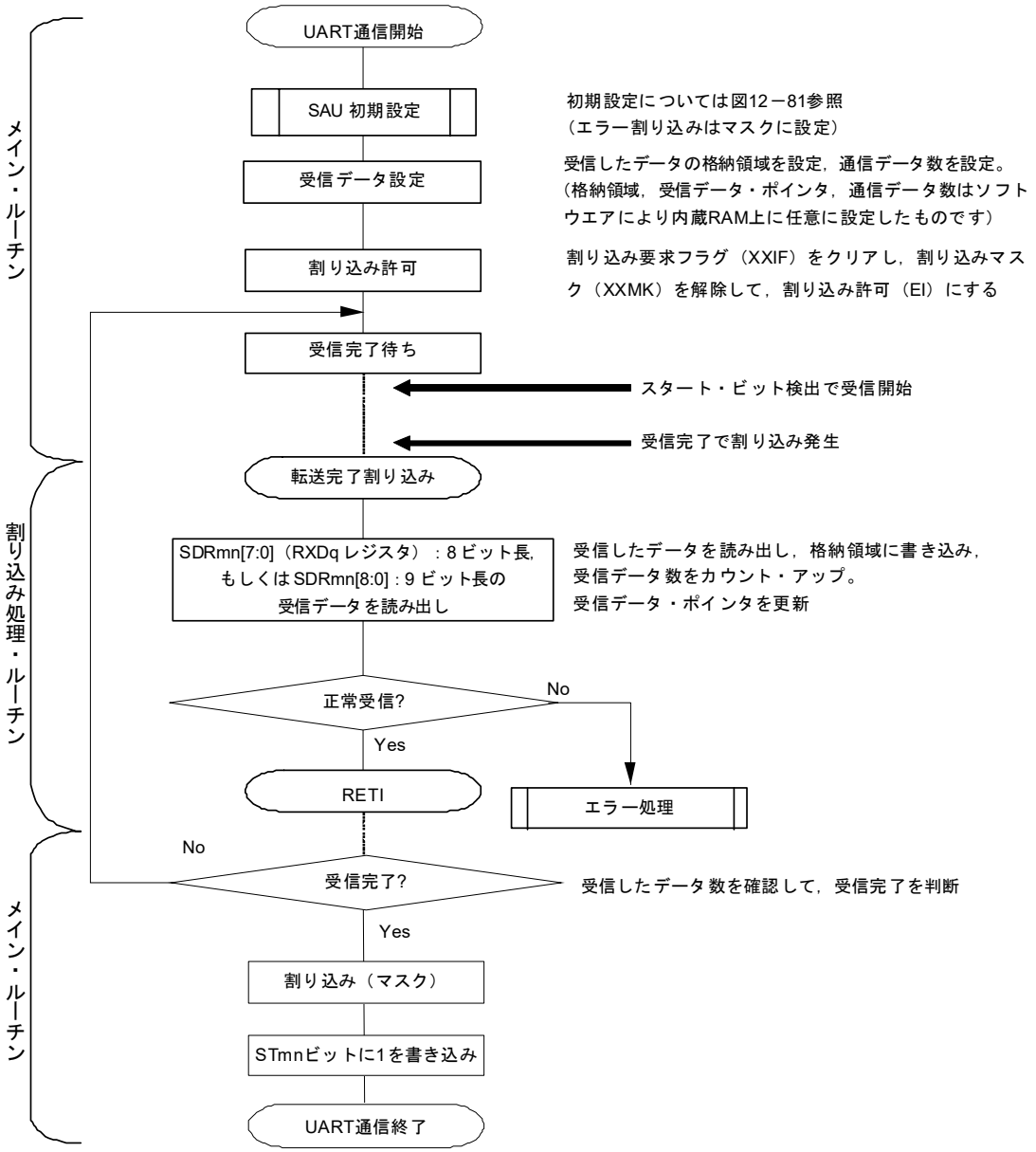
図12－84　UART受信のタイミング・チャート



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 1）

r：チャネル番号（r = 0）　q：UART番号（q = 0）

図12－85　UART受信のフロー・チャート



12. 6. 3　ボー・レートの算出

（1）ボー・レート算出式

UART（UART0）通信でのボー・レートは下記の計算式にて算出できます。

（ボー・レート） ＝ {対象チャネルの動作クロック（f_{MCK}）周波数} ÷（SDRmn[15:9]＋1）÷ 2 [bps]

注意　シリアル・データ・レジスタmn（SDRmn）SDRmn[15:9] =（0000000B，0000001B）は設定禁止です。

備考1.　UART使用時は，SDRmn[15:9]はSDRmnレジスタのビット15-9の値（0000010B-1111111B）なので，2-127になります。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表12－3　UART動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 0003H）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（2）送信時のボー・レート誤差

UART（UART0）通信での，送信時のボー・レート誤差は，下記の計算式にて算出できます。送信側のボー・レートが，受信側の許容ボー・レート範囲内に収まるように設定してください。

（ボー・レート誤差）　=　（算出ボー・レート値）÷（目標ボー・レート値）×　100　－　100 [%]

f_{CLK} = 24 MHzの場合のUARTボー・レート設定例を示します。

UARTボー・レート（目標ボー・レート）	f_{CLK} = 24 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出ボー・レート	目標ボー・レートとの誤差
300 bps	$f_{CLK}/2^9$	77	300.48 bps	+0.16 %
600 bps	$f_{CLK}/2^8$	77	600.96 bps	+0.16 %
1200 bps	$f_{CLK}/2^7$	77	1201.92 bps	+0.16 %
2400 bps	$f_{CLK}/2^6$	77	2403.85 bps	+0.16 %
4800 bps	$f_{CLK}/2^5$	77	4807.69 bps	+0.16 %
9600 bps	$f_{CLK}/2^4$	77	9615.38 bps	+0.16 %
19200 bps	$f_{CLK}/2^3$	77	19230.8 bps	+0.16 %
31250 bps	$f_{CLK}/2^3$	47	31250.0 bps	±0.0 %
38400 bps	$f_{CLK}/2^2$	77	38461.5 bps	+0.16 %
76800 bps	$f_{CLK}/2$	77	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	77	153846 bps	+0.16 %
312500 bps	f_{CLK}	37	315789 bps	+1.05 %

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0）

（3）受信時のボー・レート許容範囲

UART（UART0）通信での，受信時のボー・レート許容範囲は，下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$（受信可能な最大ボー・レート）= \frac{2 \times k \times Nfr}{2 \times k \times Nfr - k + 2} \times Brate$$

$$（受信可能な最小ボー・レート）= \frac{2 \times k \times (Nfr - 1)}{2 \times k \times Nfr - k - 2} \times Brate$$

Brate　：受信側の算出ボー・レート値（12. 6. 4（1）ボー・レート算出式参照）

k　　：SDRmn[15:9] ＋1

Nfr　　：1データ・フレーム長［ビット］

　　=（スタート・ビット）＋（データ長）＋（パリティ・ビット）＋（ストップ・ビット）

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 1）

図12－86　受信時の許容ボー・レート範囲（1データ・フレーム長 = 11ビットの場合）

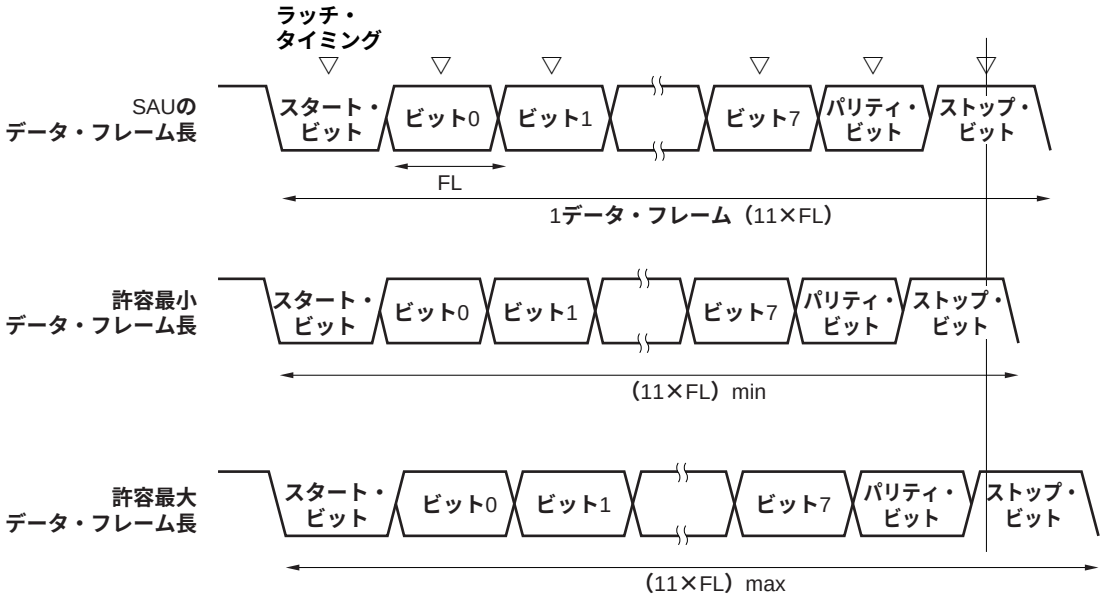


図12－86に示すように，スタート・ビット検出後はシリアル・データ・レジスタmn（SDRmn）のビット15-9で設定した分周比により，受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

12. 6. 4　UART（UART0）通信時におけるエラー発生時の処理手順

UART（UART0）通信時にエラーが発生した場合の処理手順を図12－87，図12－88に示します。

図12－87　パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする	→ SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする	→ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図12－88　フレーミング・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする	→ SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする	→ エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため，通信相手との同期を取り直して通信を再開する
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する	→ シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

12. 7　簡易I²C（IIC00, IIC01）通信の動作

シリアル・クロック（SCL）とシリアル・データ（SDA）の2本のラインによる，複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは，EEPROM，フラッシュ・メモリ，A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので，マスタとしてのみ機能します。

スタート・コンディション，ストップ・コンディションは，制御レジスタの操作とともに，ACスペックを守るようにソフトウエアで処理してください。

［データ送受信］

・マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）

・ACK出力機能[注]，ACK検出機能

・8ビットのデータ長

（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）

・スタート・コンディション，ストップ・コンディション手動発生

［割り込み機能］

・転送完了割り込み

［エラー検出フラグ］

・オーバラン・エラー

・パリティ・エラー（ACKエラー）

※［簡易I²Cでサポートしていない機能］

・スレーブ送信，スレーブ受信

・アービトレーション負け検出機能

・クロック・ストレッチ検出機能

注　最終データの受信時は，SOEmn（SOEmレジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，12. 7. 3（2）処理フローを参照してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

簡易I²C（IIC00, IIC01）に対応しているチャネルは，チャネル0, 1です。

チャネル	簡易SPI（CSI）として使用	UARTとして使用	簡易I²Cとして使用
0	CSI00	UART0	IIC00
1	CSI01		IIC01

簡易I²C（IIC00, IIC01）の通信動作は，以下の4種類があります。

・アドレス・フィールド送信　（12. 7. 1項を参照）
・データ送信　（12. 7. 2項を参照）
・データ受信　（12. 7. 3項を参照）
・ストップ・コンディション発生　（12. 7. 4項を参照）

12. 7. 1　アドレス・フィールド送信

アドレス・フィールド送信は，転送対象（スレーブ）を特定するために，I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに，アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易I²C	IIC00	IIC01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）	
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）	
転送レート注2	Max.f_{MCK}/2 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POMxx = 1）してください（詳細は4. 3　ポート機能を制御するレジスタを参照）。IIC00を異電位外部デバイスと通信する場合は，クロック入力／出力端子（SCL00）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POMxx = 1）してください（詳細は，4. 4. 4　異電位（1.8 V系, 2.5 V系, 3 V系）外部デバイスとの接続方法を参照）。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－89　簡易I²C（IIC00, IIC01）のアドレス・フィールド送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn注1		SISmn0注1				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

チャネルnの動作クロック（f_{MCK}）
0：SPSmレジスタで設定したプリスケーラ出力クロック“CKm0”
1：SPSmレジスタで設定したプリスケーラ出力クロック“CKm1”

チャネルnの動作モード
0：転送完了割り込み

（b）シリアル通信動作設定レジスタmn（SCRmn）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1注2	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

パリティ・ビット設定
00B：パリティなし

ストップ・ビット設定
01B：1ビット付加（ACK）

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定（アドレス＋R/W）							

SIOr

（d）シリアル出力レジスタm（SOm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1	CKOm0							SOm1	SOm0
	0	0	0	0	0	0	0/1	0/1	0	0	0	0	0	0	0/1	0/1

SOmnビットを操作して，スタート・コンディションを発生する

（e）シリアル出力許可レジスタm（SOEm）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

スタート・コンディションを発生まではSOEmn = 0とし，
発生後はSOEmn = 1とする

（f）シリアル・チャネル開始レジスタm（SSm）　・・・対象チャネルのビットのみ1に設定する

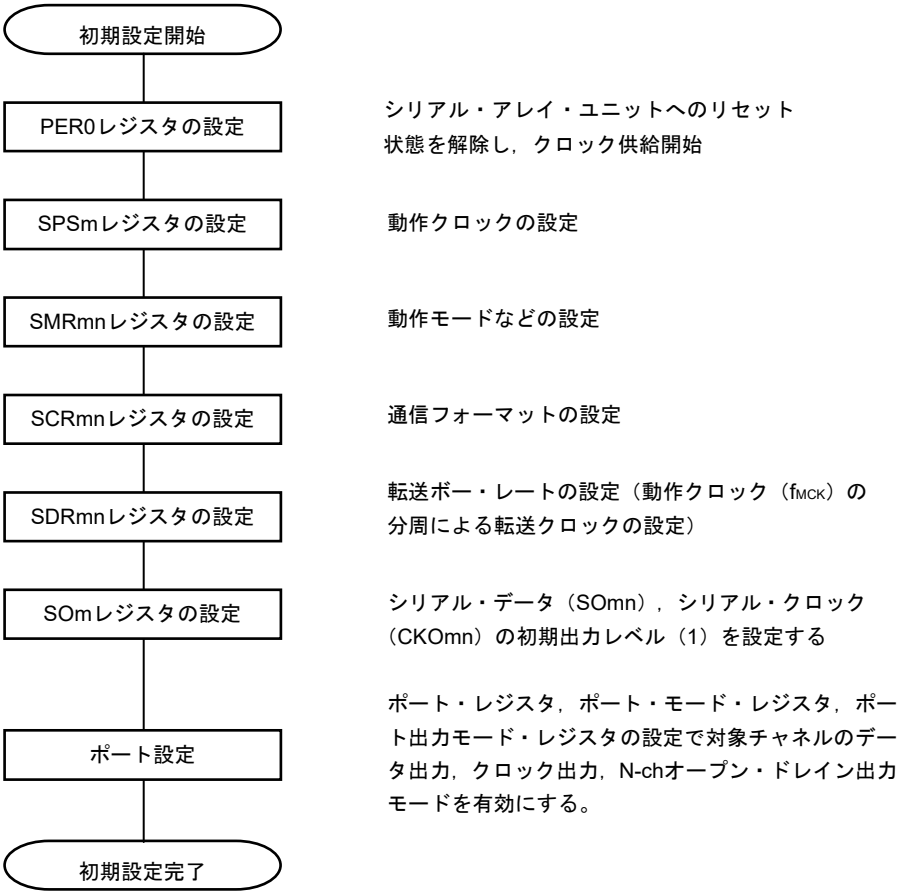
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

注1.　SMR01レジスタのみ
　2.　SCR00レジスタのみ

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01）
　2.　□：IICモードでは設定固定　■：設定不可（初期値を設定）
　　×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
　　0/1：ユーザの用途に応じて0または1に設定

（2）操作手順

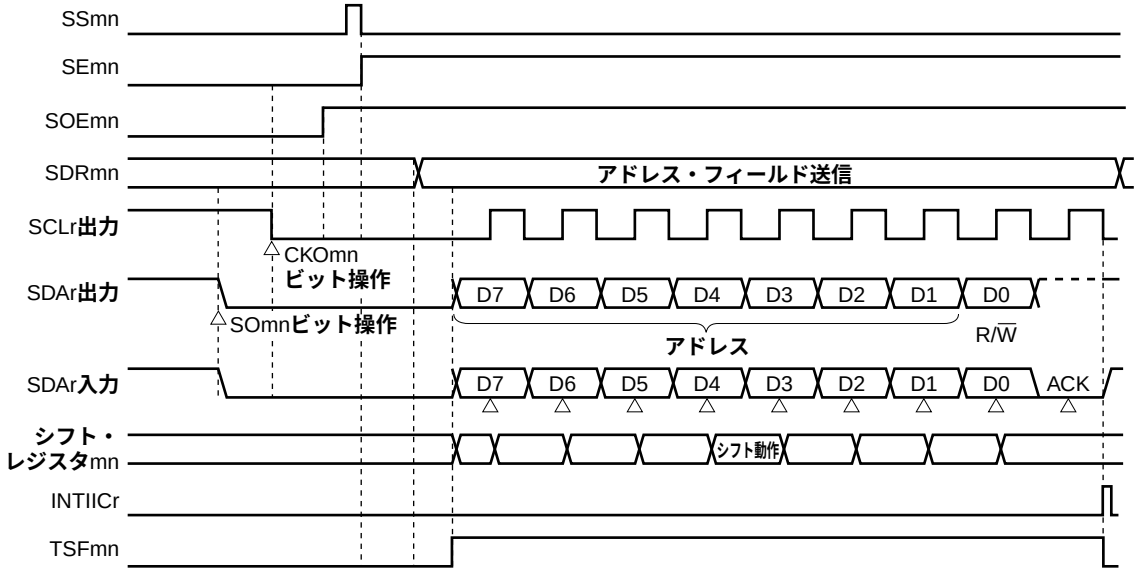
図12－90　簡易I²Cアドレス・フィールド送信の初期設定手順



備考　初期設定完了時点では，簡易I²C（IIC00, IIC01）は出力禁止，動作停止状態としておきます。

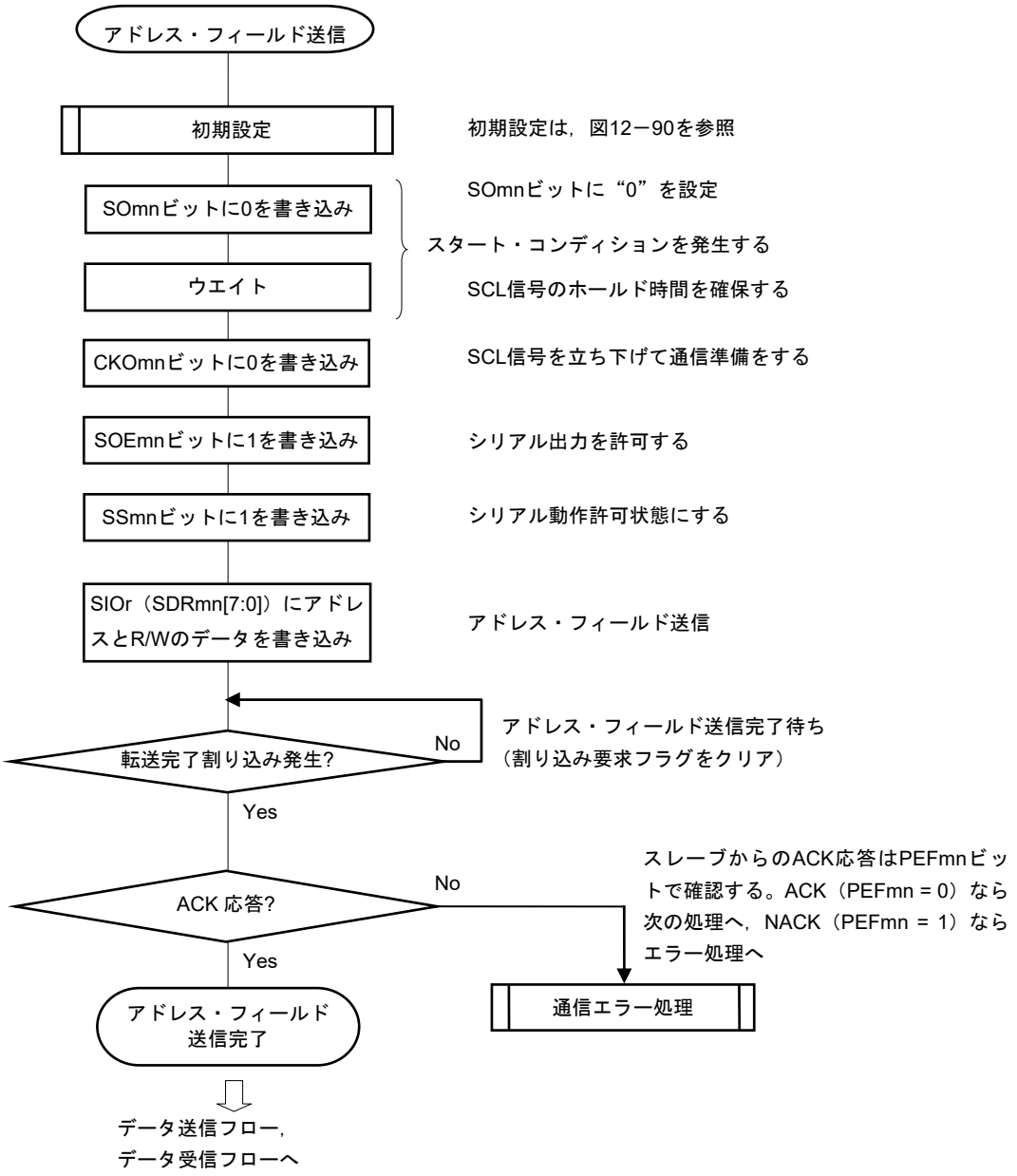
（3）処理フロー

図12－91　アドレス・フィールド送信のタイミング・チャート



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01）

図12－92　簡易I²Cアドレス・フィールド送信のフロー・チャート



12. 7. 2　データ送信

データ送信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	パリティ・エラー検出フラグ（PEFmn）	
転送データ長	8ビット	
転送レート注2	Max.f_{MCK}/2 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK受信タイミング用）	
データ方向	MSBファースト	

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（POMxx = 1）。詳細は，4. 3　ポート機能を制御するレジスタ，4. 5　兼用機能使用時のレジスタ設定を参照してください。
IIC00を異電位の外部デバイスと通信する場合は，クロック入力／出力端子（SCL00）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（POMxx = 1）。
詳細は，4. 4. 4　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応を参照してください。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－93　簡易I²C（IIC00, IIC01）のデータ送信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn 注1		SISmn0 注1				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1 注2	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	送信データ設定							

SIOr

（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1	CKOm0							SOm1	SOm0
	0	0	0	0	0	0	0/1 注3	0/1 注3	0	0	0	0	0	0	0/1 注	0/1 注

（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

注1.　SMR01レジスタのみ。
　2.　SCR00レジスタのみ。
　3.　通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01）
　2.　□：IICモードでは設定固定　■：設定不可（初期値を設定）
　　×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）
　　0/1：ユーザの用途に応じて0または1に設定

（2）処理フロー

図12－94　データ送信のタイミング・チャート

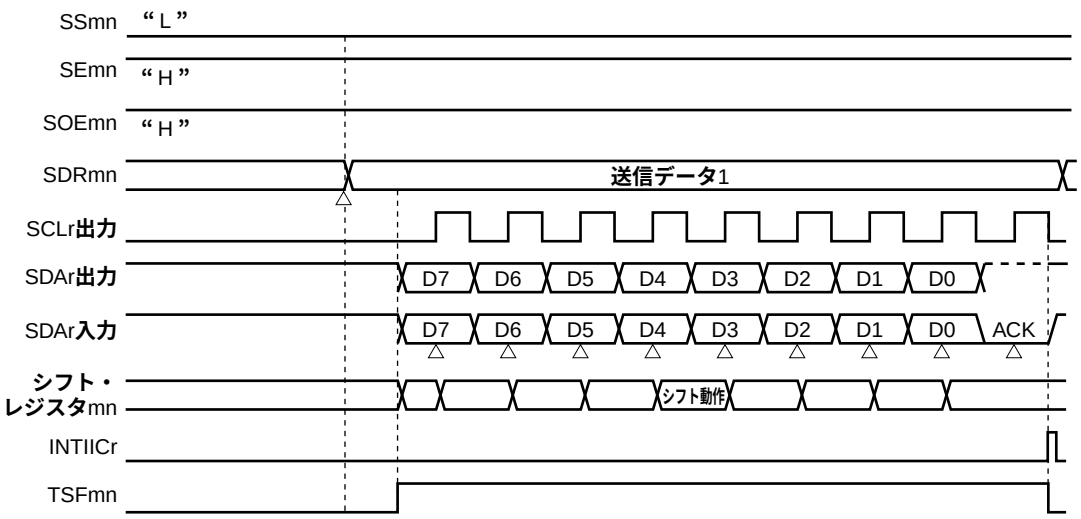
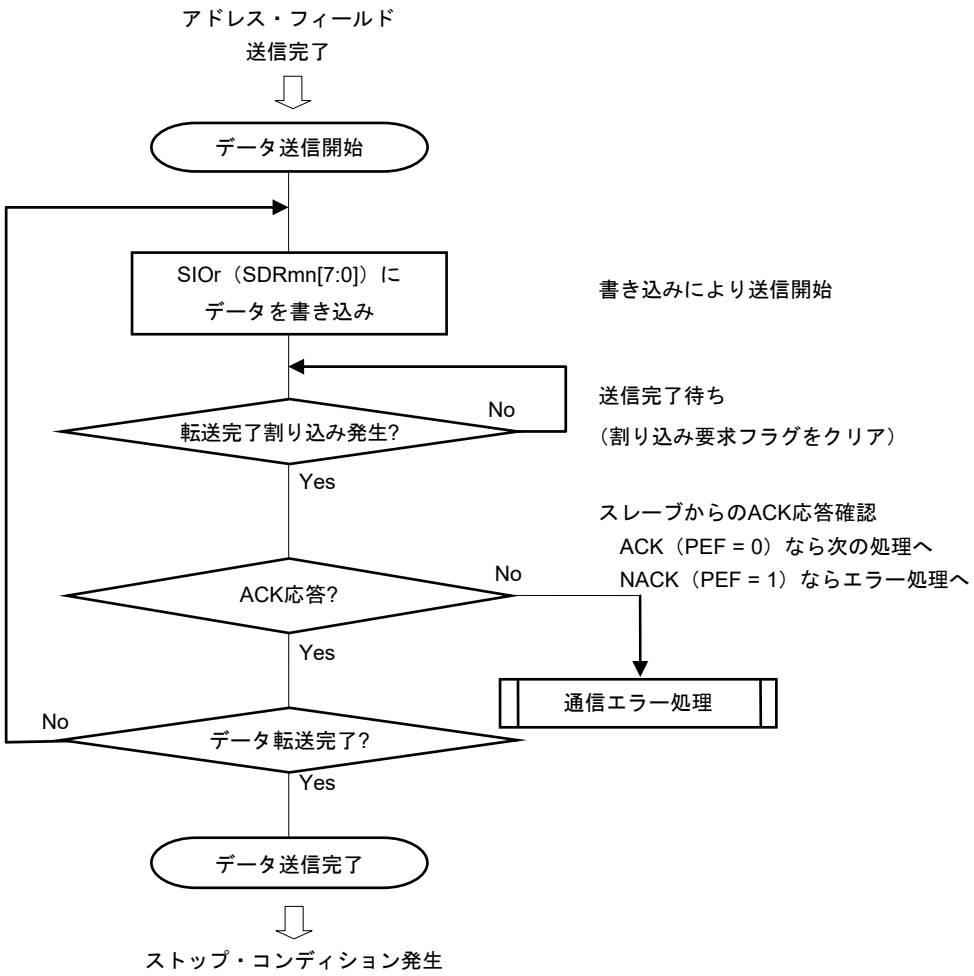


図12－95　データ送信のフロー・チャート



12. 7. 3　データ受信

データ受信は，アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は，ストップ・コンディションを発生し，バスを開放します。

簡易I²C	IIC00	IIC01
対象チャネル	SAU0のチャネル0	SAU0のチャネル1
使用端子	SCL00, SDA00注1	SCL01, SDA01注1
割り込み	INTIIC00	INTIIC01
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）	
エラー検出フラグ	オーバラン・エラー検出フラグ（OVFmn）のみ	
転送データ長	8ビット	
転送レート注2	Max.f_{MCK}/2 [Hz]（SDRmn[15:9] = 1以上）　f_{MCK}：対象チャネルの動作クロック周波数 ただし，I²Cの各モードにより，以下の条件を満たしてください。 ・Max. 1 MHz（ファースト・モード・プラス） ・Max. 400 kHz（ファースト・モード） ・Max. 100 kHz（標準モード）	
データ・レベル	正転出力（デフォルト：ハイ・レベル）	
パリティ・ビット	パリティ・ビットなし	
ストップ・ビット	1ビット付加（ACK送信）	
データ方向	MSBファースト	

注1.　簡易I²Cによる通信を行う場合は，ポート出力モード・レジスタ（POMxx）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（POMxx = 1）。詳細は，4. 3　ポート機能を制御するレジスタ，4. 5　兼用機能使用時のレジスタ設定を参照してください。
IIC00を異電位の外部デバイスと通信する場合は，クロック入力／出力端子（SCL00）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定してください（POMxx = 1）。
詳細は，4. 4. 4　入出力バッファによる異電位（1.8 V系，2.5 V系，3 V系）対応を参照してください。

2.　この条件を満たし，かつ電気的特性の周辺機能特性（第30章または第31章　電気的特性参照）を満たす範囲内で使用してください。

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

（1）レジスタ設定

図12－96　簡易I²C（IIC00, IIC01）のデータ受信時のレジスタ設定内容例

（a）シリアル・モード・レジスタmn（SMRmn）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn注1		SISmn0注1				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	1	0	0

（b）シリアル通信動作設定レジスタmn（SCRmn）・・・TXEmn, RXEmnビット以外はデータ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1注2	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	0	0	0	0	0	0	1	0	1	1	1

（c）シリアル・データ・レジスタmn（SDRmn）（下位8ビット：SIOr）

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0	ダミー送信データ設定（FFH）							

SIOr

（d）シリアル出力レジスタm（SOm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm							CKOm1	CKOm0							SOm1	SOm0
	0	0	0	0	0	0	0/1注3	0/1注3	0	0	0	0	0	0	0/1注3	0/1注3

（e）シリアル出力許可レジスタm（SOEm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm															SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

（f）シリアル・チャネル開始レジスタm（SSm）　・・・データ送受信中は操作しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm															SSm1	SSm0
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1

注 1.　SMR01レジスタのみ

2.　SCR00レジスタのみ

3.　通信動作中は通信データにより値が変わります。

備考1.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01）

2.　□：IICモードでは設定固定　■：設定不可（初期値を設定）

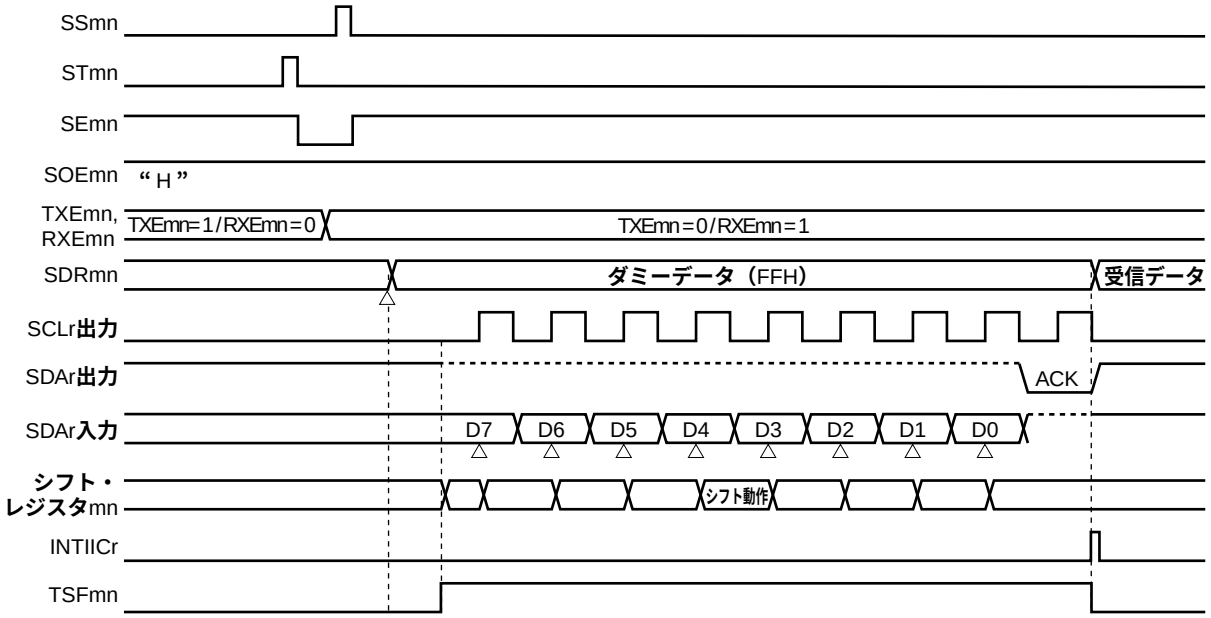
×：このモードでは使用できないビット（他のモードでも使用しない場合は初期値を設定）

0/1：ユーザの用途に応じて0または1に設定

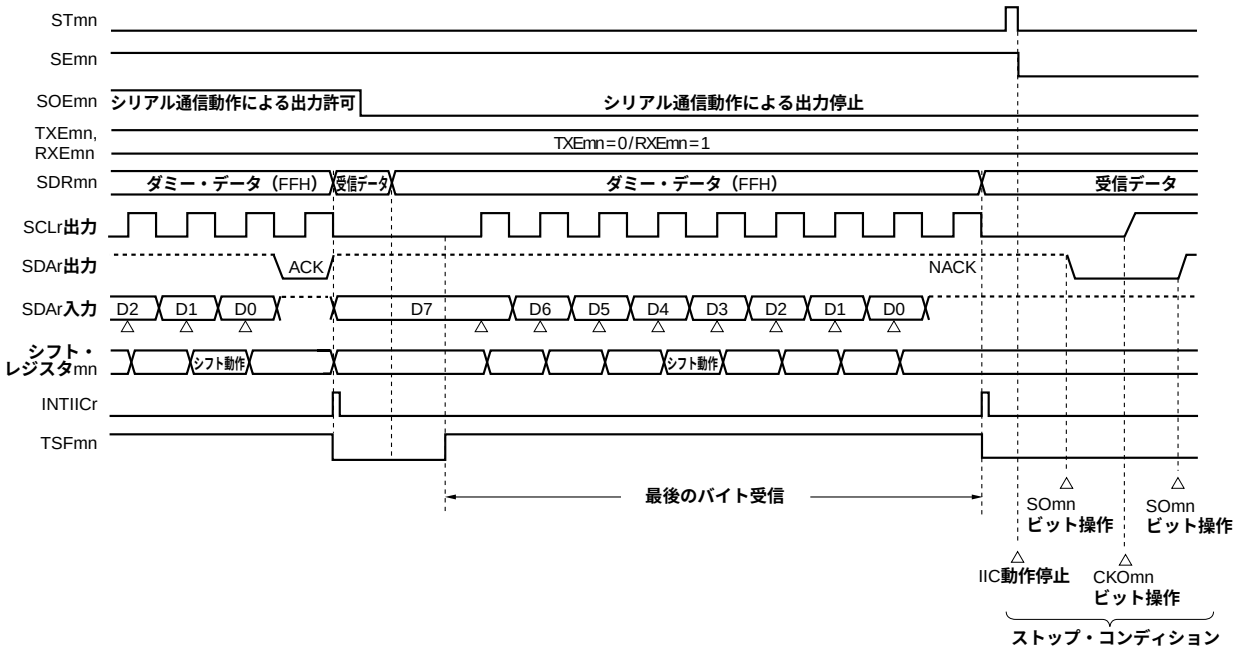
（2）処理フロー

図12－97　データ受信のタイミング・チャート

（a）データ受信開始時

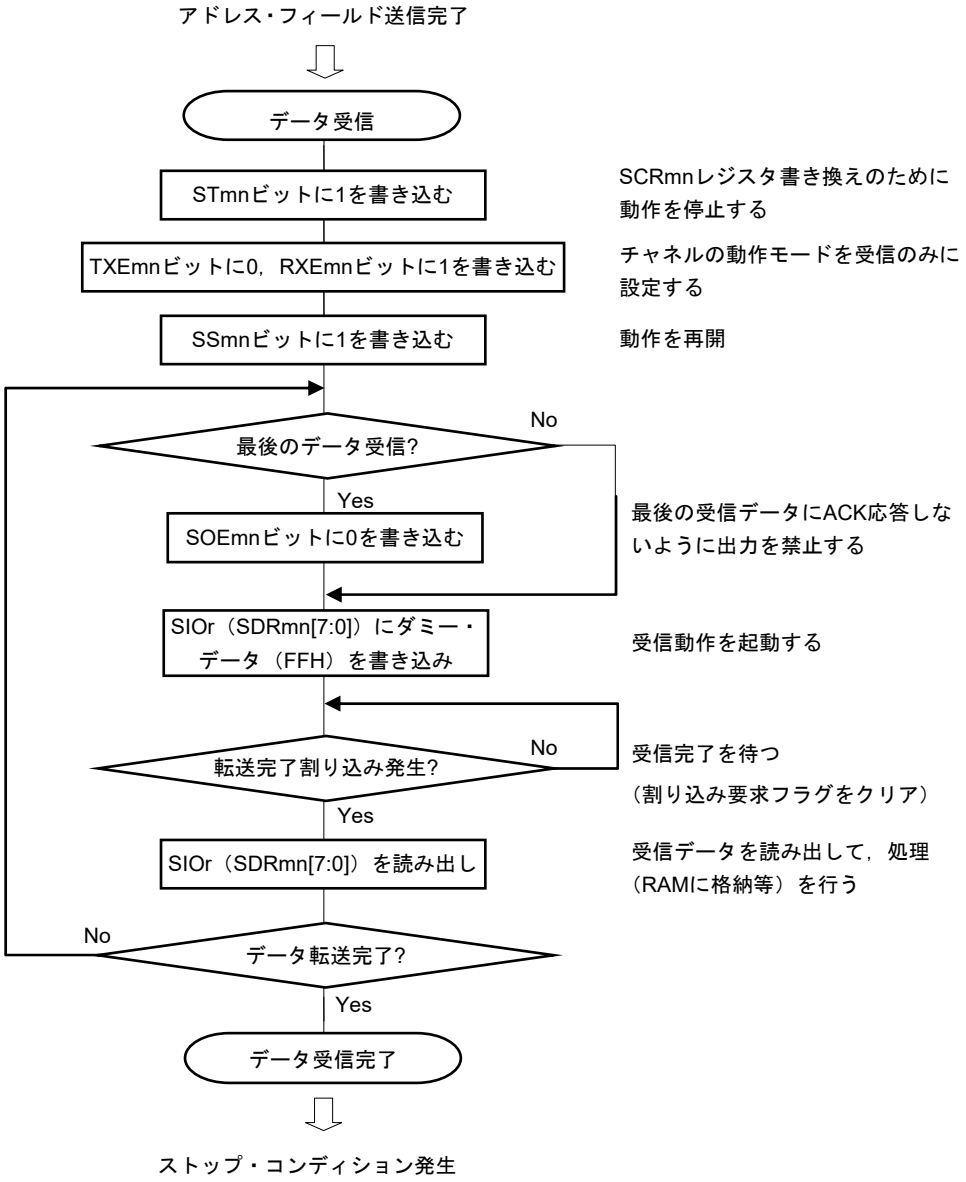


（b）最終データ受信時



備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01）

図12－98　データ受信のフロー・チャート



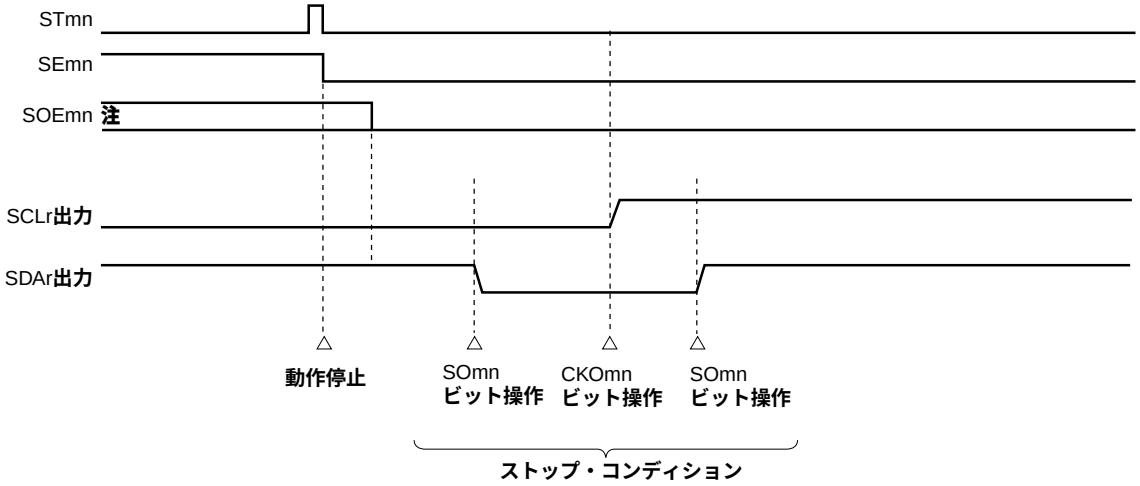
注意　最終データの受信時はACKを出力しません（NACK）。その後，シリアル・チャンネル停止レジスタm（STm）のSTmnビットに“1”を設定して動作停止としてから，ストップ・コンディションを発生することにより通信完了します。

12. 7. 4　ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は，ストップ・コンディションを発生し，バスを開放します。

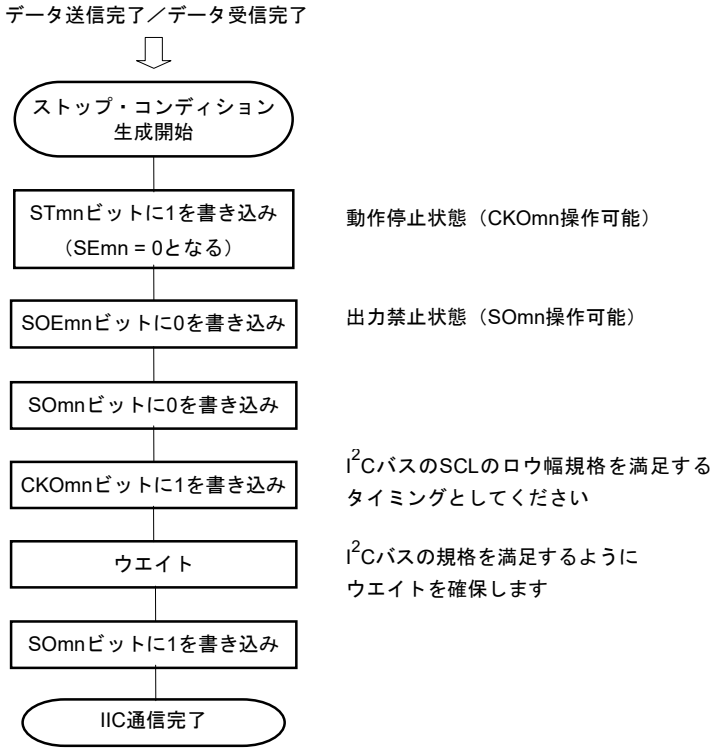
（1）処理フロー

図12－99　ストップ・コンディション発生のタイミング・チャート



注　受信動作時は最終データを受信する前に，シリアル出力許可レジスタm（SOEm）のSOEmnビットを“0”に設定しています。

図12－100　ストップ・コンディション発生のフロー・チャート



12. 7. 5　転送レートの算出

簡易I²C（IIC00, IIC01）通信での転送レートは下記の計算式にて算出できます。

（転送レート）　=　{対象チャネルの動作クロック（f_{MCK}）周波数}　÷（SDRmn[15:9]＋1）÷ 2

注意　SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

備考1.　（SDRmn[15:9]）は，シリアル・データ・レジスタmn（SDRmn）のビット15-9の値（0000001B-1111111B）なので，1-127になります。

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

動作クロック（f_{MCK}）は，シリアル・クロック選択レジスタm（SPSm）とシリアル・モード・レジスタmn（SMRmn）のビット15（CKSmnビット）で決まります。

表12－4　簡易I²C動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック（f_{MCK}）注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		f_{CLK} = 24 MHz 動作時
0	X	X	X	X	0	0	0	0	f_{CLK}	24 MHz
	X	X	X	X	0	0	0	1	$f_{CLK}/2$	12 MHz
	X	X	X	X	0	0	1	0	$f_{CLK}/2^2$	6 MHz
	X	X	X	X	0	0	1	1	$f_{CLK}/2^3$	3 MHz
	X	X	X	X	0	1	0	0	$f_{CLK}/2^4$	1.5 MHz
	X	X	X	X	0	1	0	1	$f_{CLK}/2^5$	750 kHz
	X	X	X	X	0	1	1	0	$f_{CLK}/2^6$	375 kHz
	X	X	X	X	0	1	1	1	$f_{CLK}/2^7$	187.5 kHz
	X	X	X	X	1	0	0	0	$f_{CLK}/2^8$	93.8 kHz
	X	X	X	X	1	0	0	1	$f_{CLK}/2^9$	46.9 kHz
	X	X	X	X	1	0	1	0	$f_{CLK}/2^{10}$	23.4 kHz
	X	X	X	X	1	0	1	1	$f_{CLK}/2^{11}$	11.7 kHz
	X	X	X	X	1	1	0	0	$f_{CLK}/2^{12}$	5.86 kHz
	X	X	X	X	1	1	0	1	$f_{CLK}/2^{13}$	2.93 kHz
	X	X	X	X	1	1	1	0	$f_{CLK}/2^{14}$	1.46 kHz
	X	X	X	X	1	1	1	1	$f_{CLK}/2^{15}$	732 Hz
1	0	0	0	0	X	X	X	X	f_{CLK}	24 MHz
	0	0	0	1	X	X	X	X	$f_{CLK}/2$	12 MHz
	0	0	1	0	X	X	X	X	$f_{CLK}/2^2$	6 MHz
	0	0	1	1	X	X	X	X	$f_{CLK}/2^3$	3 MHz
	0	1	0	0	X	X	X	X	$f_{CLK}/2^4$	1.5 MHz
	0	1	0	1	X	X	X	X	$f_{CLK}/2^5$	750 kHz
	0	1	1	0	X	X	X	X	$f_{CLK}/2^6$	375 kHz
	0	1	1	1	X	X	X	X	$f_{CLK}/2^7$	187.5 kHz
	1	0	0	0	X	X	X	X	$f_{CLK}/2^8$	93.8 kHz
	1	0	0	1	X	X	X	X	$f_{CLK}/2^9$	46.9 kHz
	1	0	1	0	X	X	X	X	$f_{CLK}/2^{10}$	23.4 kHz
	1	0	1	1	X	X	X	X	$f_{CLK}/2^{11}$	11.7 kHz
	1	1	0	0	X	X	X	X	$f_{CLK}/2^{12}$	5.86 kHz
	1	1	0	1	X	X	X	X	$f_{CLK}/2^{13}$	2.93 kHz
	1	1	1	0	X	X	X	X	$f_{CLK}/2^{14}$	1.46 kHz
	1	1	1	1	X	X	X	X	$f_{CLK}/2^{15}$	732 Hz
上記以外									設定禁止	

注　f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は，シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャネル停止レジスタm（STm）　= 0003H）させてから変更してください。

備考1.　X：Don’t care

2.　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）

f_{MCK} = f_{CLK} = 24 MHzの場合のI^2C転送レート設定例を示します。

I^2C転送モード（希望転送レート）	f_{CLK} = 24 MHz時			
	動作クロック（f_{MCK}）	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	f_{CLK}/2	59	100 kHz	0.0%
400 kHz	f_{CLK}	31	375 kHz	6.25%注
1 MHz	f_{CLK}	14	0.80 MHz	20.0%注

注　SCL信号がデューティ比50%なので，誤差を0%程度に設定することはできません。

12. 7. 6　簡易I²C（IIC00, IIC01）通信時におけるエラー発生時の処理手順

簡易I²C（IIC00, IIC01）通信時にエラーが発生した場合の処理手順を図12－101，図12－102に示します。

図12－101　オーバラン・エラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・データ・レジスタmn（SDRmn）をリードする →	SSRmnレジスタのBFFmnビットが“0”となり，チャネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）に“1”をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる

図12－102　簡易I²Cモード時のACKエラー発生時の処理手順

ソフトウエア操作	ハードウエアの状態	備考
シリアル・ステータス・レジスタmn（SSRmn）をリードする		エラーの種類の判別を行い，リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn（SIRmn）をライトする →	エラー・フラグがクリアされる	SSRmnレジスタのリード値をそのままSIRmnレジスタに書き込むことで，読み出し時のエラーのみをクリアできる
シリアル・チャネル停止レジスタm（STm）のSTmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“0”となり，チャネルnは動作停止状態になる	ACKが返信されていないので，スレーブの受信準備ができていない。そのため，ストップ・コンディションを作成してバスを開放し，再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し，アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャネル開始レジスタm（SSm）のSSmnビットに“1”を設定する →	シリアル・チャネル許可ステータス・レジスタm（SEm）のSEmnビットが“1”となり，チャネルnは動作許可状態になる	

備考　m：ユニット番号（m = 0）　n：チャネル番号（n = 0, 1）　r：IIC番号（r = 00, 01）

第13章　シリアル・インタフェースIICA

13. 1　シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには，次の3種類のモードがあります。

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

（2）I²Cバス・モード（マルチマスタ対応）

シリアル・クロック（SCLA0）とシリアル・データ・バス（SDAA0）の2本のラインより，複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており，マスタはスレーブに対して，シリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは，受信したこれらの状態およびデータをハードウエアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは，SCLA0端子とSDAA0端子はオープン・ドレイン出力で使用するため，シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

（3）ウエイクアップ・モード

STOPモード状態で，マスタからの拡張コードもしくは自局アドレスを受信した場合に，割り込み要求信号（INTIICA0）を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ01（IICCTL01）のWUP0ビットにより設定します。

図13－1に，シリアル・インタフェースIICAのブロック図を示します。

図13－1　シリアル・インタフェースIICAのブロック図

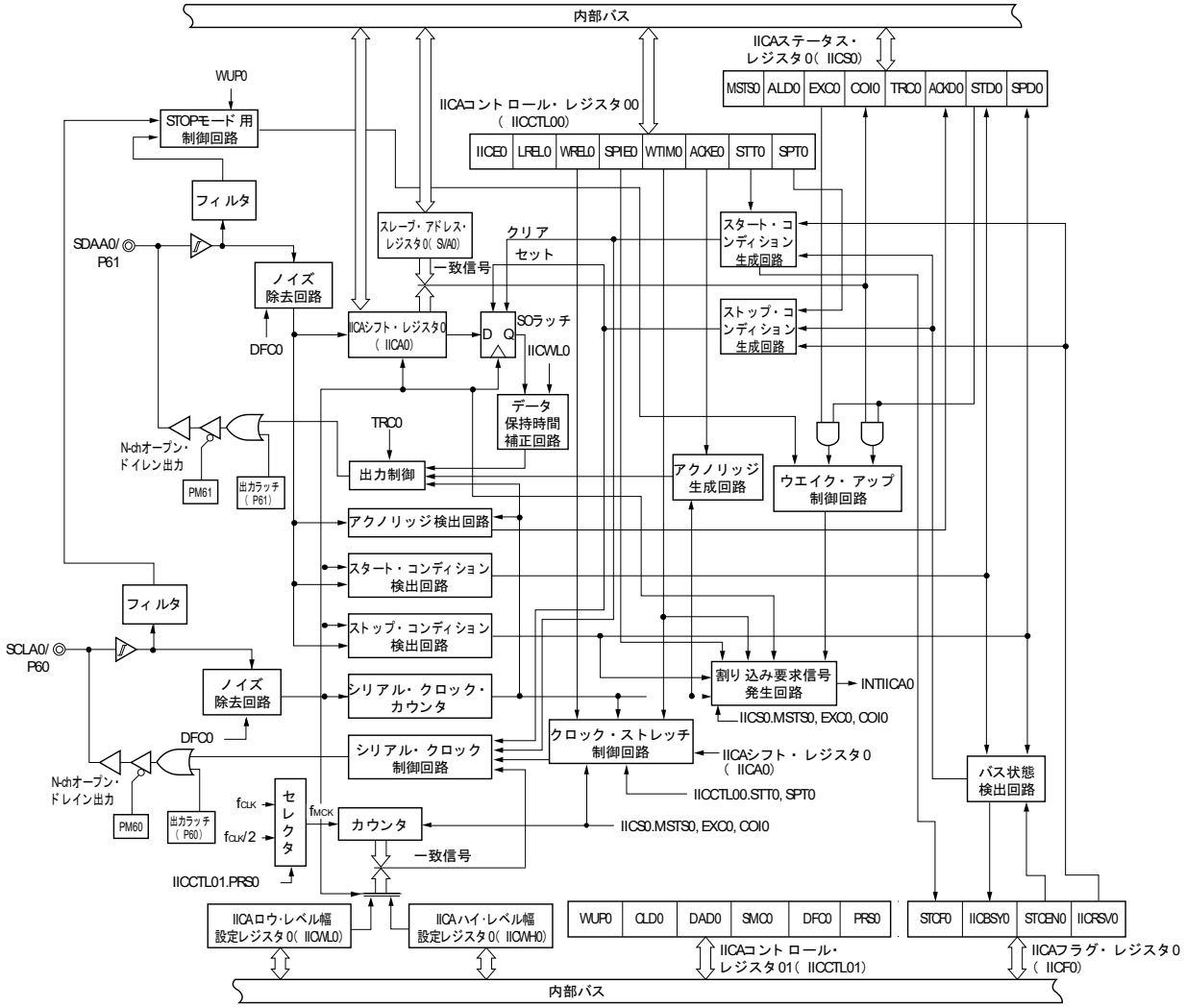
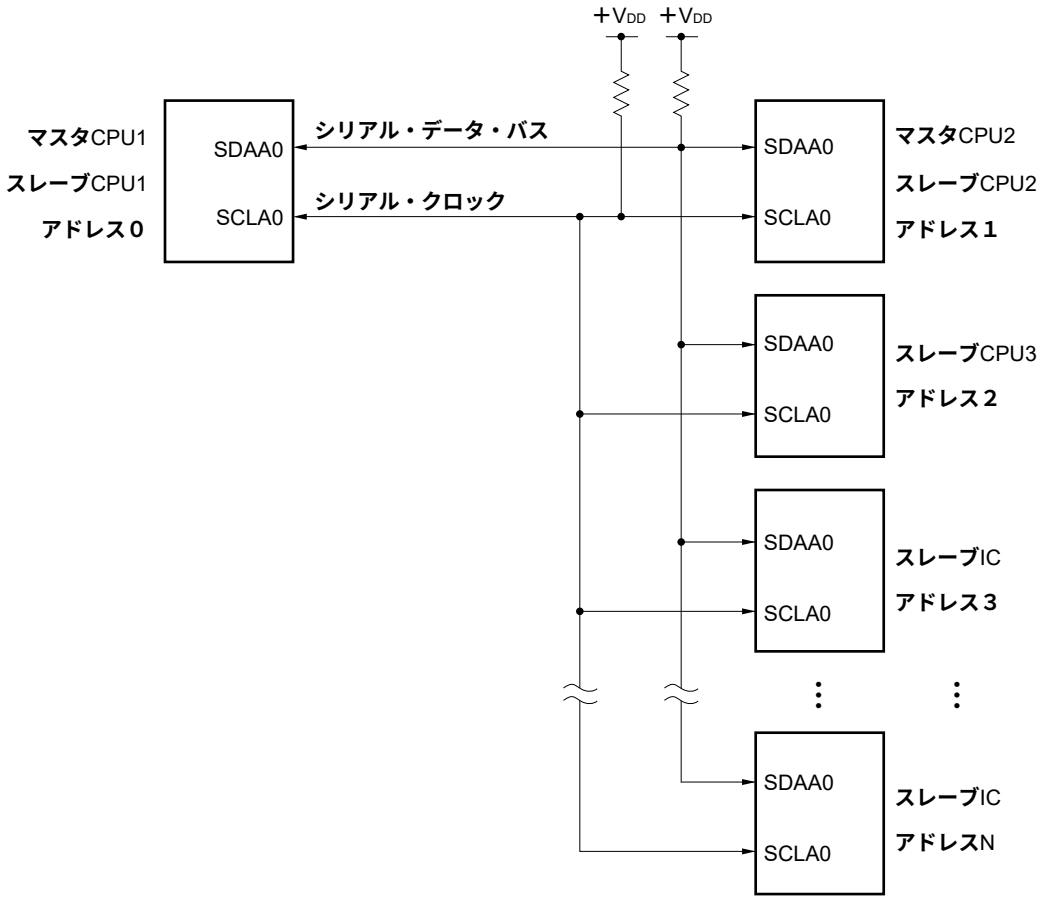


図13－2にシリアル・バス構成例を示します。

図13－2　I²Cバスによるシリアル・バス構成例



13. 2　シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは，次のハードウエアで構成されています。

表13－1　シリアル・インタフェースIICAの構成

項　　目	構　　成
レジスタ	IICAシフト・レジスタ0（IICA0） スレーブ・アドレス・レジスタ0（SVA0）
制御レジスタ	周辺イネーブル・レジスタ0（PER0） IICAコントロール・レジスタ00（IICCTL00） IICAステータス・レジスタ0（IICS0） IICAフラグ・レジスタ0（IICF0） IICAコントロール・レジスタ01（IICCTL01） IICAロウ･レベル幅設定レジスタ0（IICWL0） IICAハイ･レベル幅設定レジスタ0（IICWH0） ポート・モード・レジスタ6（PM6） ポート・レジスタ6（P6）

（1）IICAシフト・レジスタ0（IICA0）

IICA0レジスタは，シリアル・クロックに同期して，8ビットのシリアル・データを8ビットのパラレル・データに，8ビットのパラレル・データを8ビットのシリアル・データに変換するレジスタです。IICA0レジスタは送信および受信の両方に使用されます。

IICA0レジスタに対する書き込み／読み出しにより，実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICA0レジスタへの書き込みにより，クロック・ストレッチを解除し，データ転送を開始します。

IICA0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－3　IICA0シフト・レジスタ0（IICA0）のフォーマット

アドレス：FFF50H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICA0								

注意1.　データ転送中はIICA0レジスタにデータを書き込まないでください。

2.　IICA0レジスタには，クロック・ストレッチ期間中にだけ，書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICA0レジスタへのアクセスは禁止です。ただし，マスタになる場合は，通信トリガ・ビット（STT0）をセット（1）したあと，1回書き込みできます。

3.　通信予約時は，ストップ・コンディションによる割り込み検出のあとにIICA0レジスタにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ0（SVA0）

スレーブとして使用する場合に，自局アドレスの7ビット｛A6, A5, A4, A3, A2, A1, A0｝を格納するレジスタです。

SVA0レジスタは，8ビット・メモリ操作命令で設定します。

ただし，STD0 = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセット信号の発生により，00Hになります。

図13－4　スレーブ・アドレス・レジスタ0（SVA0）のフォーマット

アドレス：F0234H　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
SVA0	A6	A5	A4	A3	A2	A1	A0	0注

注　ビット0は0固定です。

(3) SOラッチ

SOラッチは，SDAA0端子出力レベルを保持するラッチです。

(4) ウエイク・アップ制御回路

スレーブ・アドレス・レジスタ0（SVA0）に設定したアドレス値と受信アドレスが一致した場合，または拡張コードを受信した場合に割り込み要求（INTIICA0）を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する，または入力されるシリアル・クロックをカウントし，8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号（INTIICA0）の発生を制御します。

I^2C割り込み要求は，次の2つのトリガで発生します。

・シリアル・クロックの8クロック目または9クロック目の立ち下がり（WTIM0ビットで設定）

・ストップ・コンディション検出による割り込み要求発生（SPIE0ビットで設定）

備考　WTIM0ビット　：IICAコントロール・レジスタ00（IICCTL00）のビット3

SPIE0ビット　：　〃　のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に，SCLA0端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

（9）アクノリッジ生成回路，ストップ・コンディション検出回路，スタート・コンディション検出回路，アクノリッジ検出回路

各状態の生成および検出を行います。

（10）データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

（11）スタート・コンディション生成回路

STT0ビットがセット（1）されるとスタート・コンディションを生成します。

ただし通信予約禁止状態（IICRSV0ビット ＝1）で，かつバスが解放されていない（IICBSY0ビット ＝1）場合には，スタート・コンディション要求は無視し，STCF0ビットをセット（1）します。

（12）ストップ・コンディション生成回路

SPT0ビットがセット（1）されるとストップ・コンディションを生成します。

（13）バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により，バスが解放されているか，解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため，STCEN0ビットにより，バス状態検出回路の初期状態を設定してください。

備考	STT0ビット	：IICAコントロール・レジスタ00（IICCTL00）	のビット1
	SPT0ビット	：〃	のビット0
	IICRSV0ビット	：IICAフラグ・レジスタ0（IICF0）	のビット0
	IICBSY0ビット	：〃	のビット6
	STCF0ビット	：〃	のビット7
	STCEN0ビット	：〃	のビット1

13. 3　シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは，次の9種類のレジスタで制御します。

・周辺イネーブル・レジスタ0（PER0）
・IICAコントロール・レジスタ00（IICCTL00）
・IICAフラグ・レジスタ0（IICF0）
・IICAステータス・レジスタ0（IICS0）
・IICAコントロール・レジスタ01（IICCTL01）
・IICAロウ・レベル幅設定レジスタ0（IICWL0）
・IICAハイ・レベル幅設定レジスタ0（IICWH0）
・ポート・モード・レジスタ6（PM6）
・ポート・レジスタ6（P6）

13. 3. 1　周辺イネーブル・レジスタ0（PER0）

PER0レジスタは，各周辺ハードウエアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウエアへはクロック供給も停止させることで，低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは，必ずビット4（IICA0EN）を1に設定してください。

PER0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図13－5　周辺イネーブル・レジスタ0（PER0）のフォーマット

アドレス：F00F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICA0EN	0	SAU0EN	0	TAU0EN

IICA0EN	シリアル・インタフェースIICAの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード／ライト可

注意1.　シリアル・インタフェースIICAの設定をする際には，必ず最初にIICA0EN = 1の状態で，下記のレジスタの設定を行ってください。IICA0EN = 0の場合は，シリアル・インタフェースIICAの制御レジスタは初期値となり，書き込みは無視されます（ポート・モード・レジスタ6（PM6），ポート・レジスタ6（P6）は除く）。
・IICAコントロール・レジスタ00（IICCTL00）
・IICAフラグ・レジスタ0（IICF0）
・IICAステータス・レジスタ0（IICS0）
・IICAコントロール・レジスタ01（IICCTL01）
・IICAロウ・レベル幅設定レジスタ0（IICWL0）
・IICAハイ・レベル幅設定レジスタ0（IICWH0）

2.　ビット1, 3, 6には必ず“0”を設定してください。

13. 3. 2　IICAコントロール・レジスタ00（IICCTL00）

I²Cの動作許可／停止，クロック・ストレッチ・タイミングの設定，その他I²Cの動作を設定するレジスタです。

IICCTL00レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，SPIE0, WTIM0, ACKE0ビットは，IICE0 = 0のとき，またはクロック・ストレッチ期間中に設定してください。またIICE0ビットを”0”から”1”に設定するときに，これらのビットを同時に設定できます。

リセット信号の発生により，00Hになります。

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（1/4）

アドレス：F0230H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IICCTL00	IICE0	LREL0	WREL0	SPIE0	WTIM0	ACKE0	STT0	SPT0

IICE0	I²Cの動作許可
0	動作停止。IICAステータス・レジスタ0（IICS0）をリセット[注1]。内部動作も停止。
1	動作許可。
このビットのセット（1）は，必ずSCLA0, SDAA0ラインがハイ･レベルの状態で行ってください。	
クリアされる条件（IICE0 = 0）	セットされる条件（IICE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

LREL0[注2, 3]	通信退避
0	通常動作。
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLA0, SDAA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ00（IICCTL00），IICAステータス・レジスタ0（IICS0）のうち，次のフラグがクリア（0）される。 ・STT0　・SPT0　・MSTS0　・EXC0　・COI0　・TRC0　・ACKD0　・STD0
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ・ストップ・コンディション検出後，マスタとしての起動 ・スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LREL0 = 0）	セットされる条件（LREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

WREL0[注2, 3]	クロック・ストレッチ解除
0	クロック・ストレッチを解除しない。
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後，自動的にクリアされる。
送信状態（TRC0 = 1）で，9クロック目のクロック・ストレッチ期間中にWREL0ビットをセット（クロック・ストレッチを解除）した場合，SDAA0ラインをハイ・インピーダンス（TRC0 = 0）にします。	
クリアされる条件（WREL0 = 0）	セットされる条件（WREL0 = 1）
・実行後，自動的にクリア ・リセット時	・命令によるセット

注1.　リセットされるのは，IICAステータス・レジスタ0（IICA0），IICAフラグ・レジスタ0（IICF0）のSTCF0，IICBSY0ビット，IICAコントロール・レジスタ01（IICCTL01）レジスタのCLD0，DAD0ビットです。

2.　IICE0 = 0の状態では，このビットの信号は無効になります。

3.　LREL0, WREL0ビットの読み出し値は常に0になります。

注意　SCLA0ラインがハイ･レベル，SDAA0ラインがロウ・レベルの状態かつ，デジタル・フィルタ・オン（IICCTL01レジスタのDFC0 = 1）のときにI²Cを動作許可（IICE0 = 1）した場合，直後にスタート・コンディションを検出してしまいます。この場合は，I²Cを動作許可（IICE0 = 1）したあと，連続して1ビット・メモリ操作命令により，LREL0ビットをセット（1）してください。

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（2/4）

SPIE0[注1]	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタ01（IICCTL01）のWUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（SPIE0 = 0）	セットされる条件（SPIE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

WTIM0[注1]	クロック・ストレッチおよび割り込み要求発生の制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：8クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：8クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合　：9クロック出力後，クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合：9クロック入力後，クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず，9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時，アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは，アクノリッジ（ACK）発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは，8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件（WTIM0 = 0）	セットされる条件（WTIM0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

ACKE0 注1,2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAA0ラインをロウ・レベルにする。
クリアされる条件（ACKE0 = 0）	セットされる条件（ACKE0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注1.　IICE0 = 0の状態では，このビットの信号は無効になります。その期間にビットの設定を行ってください。

2.　アドレス転送中で，かつ拡張コードでない場合，設定値は無効です。
スレーブかつアドレスが一致した場合は，設定値に関係なくアクノリッジを生成します。

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（3/4）

<table>
<tr><th>STT0[注1, 2]</th><th>スタート・コンディション・トリガ</th></tr>
<tr><td>0</td><td>スタート・コンディションを生成しない。</td></tr>
<tr><td>1</td><td>バスが解放されているとき（待機状態，IICBSY0が0のとき）：
セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。
第三者が通信中のとき：
・通信予約機能許可の場合（IICRSV0 = 0）
スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。
・通信予約機能禁止の場合（IICRSV0 = 1）
セット（1）してもSTT0ビットはクリアされ，STT0クリア・フラグ（STCF0）がセット（1）される。スタート・コンディションは生成しない。
クロック・ストレッチ状態（マスタ時）：
クロック・ストレッチを解除してリスタート・コンディションを生成する。</td></tr>
<tr><td colspan="2">セット・タイミングに関する注意
・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。
・マスタ送信の場合：アクノリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のクロック・ストレッチ期間中にセット（1）してください。
・ストップ・コンディション・トリガ（SPT0）と同時セット（1）することは禁止です。
・STT0ビットをセット（1）後，クリア条件になる前に再度セット（1）することは禁止です。</td></tr>
<tr><td>クリアされる条件（STT0 = 0）</td><td>セットされる条件（STT0 = 1）</td></tr>
<tr><td>・通信予約禁止状態でのSTT0ビットのセット（1）
・アービトレーションに負けたとき
・マスタでのスタート・コンディション生成
・LREL0 = 1（通信退避）によるクリア
・IICE0 = 0（動作停止）のとき
・リセット時</td><td>・命令によるセット</td></tr>
</table>

注 1.　IICE0 = 0の状態では，このビットの信号は無効になります。

2.　STT0ビットの読み出し値は，常に0になります。

備考1.　ビット1（STT0）は，データ設定後に読み出すと0になっています。

2.　IICRSV0　：IICフラグ・レジスタ0（IICF0）のビット0

STCF0　：　〃　のビット7

図13－6　IICAコントロール・レジスタ00（IICCTL00）のフォーマット（4/4）

SPT0[注]	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する（マスタとしての転送終了）。

セット・タイミングに関する注意

・マスタ受信の場合：転送中のセット（1）は禁止です。
ACKE0 = 0に設定し，受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット（1）可能です。

・マスタ送信の場合：アクノリッジ期間中は，正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。

・スタート・コンディション・トリガ（STT0）と同時にセット（1）することは禁止です。

・SPT0ビットのセット（1）は，マスタのときのみ行ってください。

・WTIM0 = 0設定時に，8クロック出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）すると，クロック・ストレッチ解除後，9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIM0 = 0→1に設定し，9クロック目出力後のクロック・ストレッチ期間中にSPT0ビットをセット（1）してください。

・SPT0ビットをセット（1）後，クリア条件になる前に，再度セット（1）することは禁止です。

クリアされる条件（SPT0 = 0）	セットされる条件（SPT0 = 1）
・アービトレーションに負けたとき ・ストップ・コンディション検出後，自動的にクリア ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・命令によるセット

注　SPT0ビットの読み出し値は，常に0になります。

注意　IICAステータス・レジスタ0（IICS0）のビット3（TRC0）＝1（送信状態）のとき，9クロック目にIICCTL00レジスタのビット5（WREL0）をセット（1）してクロック・ストレッチ解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 ＝ 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考　ビット0（SPT0）は，データ設定後に読み出すと0になっています。

13. 3. 3　IICAステータス・レジスタ0（IICS0）

I²Cのステータスを表すレジスタです。

IICS0レジスタは，STT0 = 1およびクロック・ストレッチ期間中のみ，1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，00Hになります。

注意　STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可（WUP0=1）状態でのIICS0レジスタの読み出しは禁止です。WUP0 = 1の状態から，INTIICA0割り込み要求と関係なくWUP0ビットを1→0（ウエイク・アップ動作停止）に変更した場合には，次のスタート・コンディション／ストップ・コンディション検出までは状態が反映されません。そのため，ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可（SPIE0 = 1）して割り込み検出後にIICS0レジスタを読み出してください。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1
　　WUP0　：IICAコントロール・レジスタ01（IICCTL01）のビット7

図13－7　IICAステータス・レジスタ0（IICS0）のフォーマット（1/3）

アドレス：FFF51H　　リセット時：00H　R

略号	7	6	5	4	3	2	1	0
IICS0	MSTS0	ALD0	EXC0	COI0	TRC0	ACKD0	STD0	SPD0

MSTS0	マスタ状態確認フラグ
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。

クリアされる条件（MSTS0 = 0）	セットされる条件（MSTS0 = 1）
・ストップ・コンディション検出時 ・ALD0 = 1（アービトレーション負け）のとき ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション生成時

ALD0	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS0ビットがクリアされる。

クリアされる条件（ALD0 = 0）	セットされる条件（ALD0 = 1）
・IICS0レジスタ読み出し後，自動的にクリア注 ・IICE0 = 1→0（動作停止）のとき ・リセット時	・アービトレーションに負けたとき

注　IICS0レジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって，ALD0ビット使用時は，ほかのビットよりも先にデータをリードしてください。

備考　LREL0　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　：　〃　のビット7

図13－7　IICAステータス・レジスタ0（IICS0）のフォーマット（2/3）

EXC0	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。

クリアされる条件（EXC0 = 0）	セットされる条件（EXC0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき（8クロック目の立ち上がりでセット）

COI0	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。

クリアされる条件（COI0 = 0）	セットされる条件（COI0 = 1）
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・受信アドレスが自局アドレス（スレーブ・アドレス・レジスタ0（SVA0））と一致したとき（8クロック目の立ち上がりでセット）

TRC0	送信／受信状態検出
0	受信状態（送信状態以外）。SDAA0ラインをハイ・インピーダンスにする。
1	送信状態。SDAA0ラインにSO0ラッチの値が出力できるようにする（1バイト目の9クロック目の立ち下がり以降有効）。

クリアされる条件（TRC0 = 0）	セットされる条件（TRC0 = 1）
＜マスタ，スレーブ共通＞ ・ストップ・コンディション検出時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・WREL0 = 1（クロック・ストレッチ解除）によるクリア注 ・ALD0 = 0→1（アービトレーション負け）のとき ・リセット時 ・通信不参加の場合（MSTS0, EXC0, COI0 = 0） ＜マスタの場合＞ ・1バイト目のLSB（転送方向指定ビット）に“1”を出力したとき ＜スレーブの場合＞ ・スタート・コンディション検出時 ・1バイト目のLSB（転送方向指定ビット）に“0”を入力したとき	＜マスタの場合＞ ・スタート・コンディション生成時 ・1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“0”（マスタ送信）を出力したとき ＜スレーブの場合＞ ・マスタからの1バイト目（アドレス転送時）のLSB（転送方向指定ビット）に“1”（スレーブ送信）が入力されたとき

注　IICAステータス・レジスタ0（IICS0）のビット3（TRC0）= 1（送信状態）のとき，9クロック目にIICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）をセット（1）してクロック・ストレッチを解除すると，TRC0ビットをクリア（受信状態）してSDAA0ラインをハイ・インピーダンスにします。TRC0 = 1（送信状態）におけるクロック・ストレッチ解除は，IICAシフト・レジスタ0への書き込みで行ってください。

備考　LREL0　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　：　　〃　　のビット7

図13－7　IICAステータス・レジスタ0（IICS0）のフォーマット（3/3）

ACKD0	アクノリッジ（$\overline{\text{ACK}}$）検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。

クリアされる条件（ACKD0 = 0）	セットされる条件（ACKD0 = 1）
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・SCLA0ラインの9クロック目の立ち上がり時にSDAA0ラインがロウ・レベルであったとき

STD0	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。

クリアされる条件（STD0 = 0）	セットされる条件（STD0 = 1）
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL0 = 1（通信退避）によるクリア ・IICE0 = 1→0（動作停止）のとき ・リセット時	・スタート・コンディション検出時

SPD0	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し，バスが解放されている。

クリアされる条件（SPD0 = 0）	セットされる条件（SPD0 = 1）
・このビットのセット後で，スタート・コンディション検出後の，アドレス転送バイトの1クロック目の立ち上がり時 ・WUP0 = 1→0のとき ・IICE0 = 1→0（動作停止）のとき ・リセット時	・ストップ・コンディション検出時

備考　LREL0　　：IICAコントロール・レジスタ00（IICCTL00）のビット6
　　IICE0　　：　　〃　　のビット7

13. 3. 4　IICAフラグ・レジスタ0（IICF0）

I²Cの動作モードの設定と，I²Cバスの状態を表すレジスタです。

IICF0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，STT0クリア・フラグ（STCF0），I²Cバス状態フラグ（IICBSY0）は読み出しのみ可能です。

IICRSV0ビットにより，通信予約機能の禁止／許可を設定します。

またSTCEN0ビットにより，IICBSY0ビットの初期値を設定します。

IICRSV0，STCEN0ビットはI²Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときのみ書き込み可能です。動作許可後，IICF0レジスタは読み出しのみ可能となります。

リセット信号の発生により，00Hになります。

図13－8　IICAフラグ・レジスタ0（IICF0）のフォーマット

アドレス：FFF52H　リセット時：00H　R/W注

略号	7	6	5	4	3	2	1	0
IICF0	STCF0	IICBSY0	0	0	0	0	STCEN0	IICRSV0

STCF0	STT0クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STT0フラグ・クリア。

クリアされる条件（STCF0 = 0）	セットされる条件（STCF0 = 1）
・STT0 = 1によるクリア ・IICE0 = 0（動作停止）のとき ・リセット時	・通信予約禁止（IICRSV0 = 1）設定時にスタート・コンディション発行できず，STT0ビットがクリア（0）されたとき

IICBSY0	I^2Cバス状態フラグ
0	バス解放状態（STCEN0 = 1時の通信初期状態）。
1	バス通信状態（STCEN0 = 0時の通信初期状態）。

クリアされる条件（IICBSY0 = 0）	セットされる条件（IICBSY0 = 1）
・ストップ・コンディション検出時 ・IICE0 = 0（動作停止）のとき ・リセット時	・スタート・コンディション検出時 ・STCEN0 = 0時のIICE0ビットのセット

STCEN0	初期スタート許可トリガ
0	動作許可（IICE0 = 1）後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可（IICE0 = 1）後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。

クリアされる条件（STCEN0 = 0）	セットされる条件（STCEN0 = 1）
・命令によるクリア ・スタート・コンディション検出時 ・リセット時	・命令によるセット

IICRSV0	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。

クリアされる条件（IICRSV0 = 0）	セットされる条件（IICRSV0 = 1）
・命令によるクリア ・リセット時	・命令によるセット

注　ビット6, 7はRead onlyです。

注意1.　STCEN0ビットへの書き込みは動作停止（IICE0 = 0）時のみ行ってください。

2.　STCEN0 = 1とした場合，実際のバス状態にかかわらずバス解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを発行（STT0 = 1）する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3.　IICRSV0への書き込みは動作停止（IICE0 = 0）時のみ行ってください。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1
　　IICE0　：　〃　のビット7

13. 3. 5　IICAコントロール・レジスタ01（IICCTL01）

I²Cの動作モードの設定やSCLA0, SDAA0端子状態を検出するためのレジスタです。

IICCTL01レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし，CLD0, DAD0ビットは読み出しのみ可能です。

IICCTL01レジスタは，WUP0ビットを除きI²Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）＝0）のときに設定してください。

リセット信号の発生により，00Hになります。

図13－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（1/2）

アドレス：F0231H　　リセット時：00H　R/W注1

略号	7	6	5	4	3	2	1	0
IICCTL01	WUP0	0	CLD0	DAD0	SMC0	DFC0	0	PRS0

WUP0	アドレス一致ウエイク・アップの制御
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可
WUP0 = 1でSTOPモードに移行する場合は，WUP0ビットをセット（1）してfMCKの3クロック以上経過後にSTOP命令を実行してください（図13－22　WUP0 = 1を設定する場合のフロー参照）。 アドレス一致，または拡張コード受信後はWUP0ビットをクリア（0）してください。WUP0ビットをクリア（0）することで，その後の通信に参加する事ができます（クロック・ストレッチ解除および送信データ書き込みは，WUP0ビットをクリア（0）したあとに行う必要があります）。 WUP0 = 1の状態における，アドレス一致および拡張コード受信時の割り込みタイミングは，WUP0 = 0の場合の割り込みタイミングと同じです（クロックによるサンプリング誤差分の遅延差は生じます）。また，WUP0 = 1の場合には，SPIE0 = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件（WUP0 = 0）	セットされる条件（WUP0 = 1）
・命令によるクリア（アドレス一致もしくは拡張コード受信後）	・命令によるセット（MSTS0, EXC0, COI0 = 0であり，STD0 = 0（通信に不参加である事）のとき）注2

注1.　ビット4, 5はRead Onlyです。

2.　次に示す期間に，IICAステータス・レジスタ0（IICS0）の状態を確認しセットする必要があります。

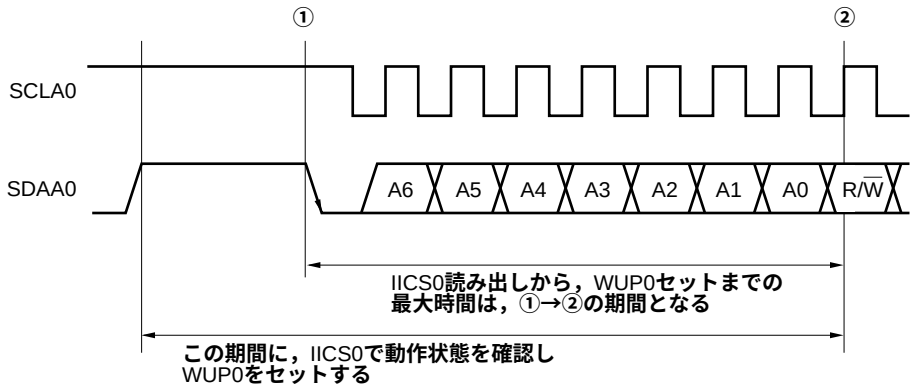


図13－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマット（2/2）

CLD0	SCLA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SCLA0端子がロウ・レベルであることを検出
1	SCLA0端子がハイ・レベルであることを検出
クリアされる条件（CLD0 = 0）	セットされる条件（CLD0 = 1）
・SCLA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SCLA0端子がハイ・レベルのとき

DAD0	SDAA0端子のレベル検出（IICE0 = 1のときのみ有効）
0	SDAA0端子がロウ・レベルであることを検出
1	SDAA0端子がハイ・レベルであることを検出
クリアされる条件（DAD0 = 0）	セットされる条件（DAD0 = 1）
・SDAA0端子がロウ・レベルのとき ・IICE0 = 0（動作停止）のとき ・リセット時	・SDAA0端子がハイ・レベルのとき

SMC0	動作モードの切り替え
0	標準モードで動作（最大転送レート：100 kbps）
1	ファースト・モード（最大転送レート：400 kbps）またはファースト・モード・プラス（最大転送レート：1 Mbps）で動作

DFC0	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは，ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは，ノイズ除去のために使用します。 DFC0ビットのセット（1）／クリア（0）により，転送クロックが変化することはありません。	

PRS0	IICA動作クロック(f_{MCK})の制御
0	f_{CLK}を選択（1 MHz≦f_{CLK}≦20 MHz）
1	f_{CLK}/2を選択（20MHz＜f_{CLK}）

注意 1.　IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。
f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタn1（IICCTLn1）のビット0（PRSn）に"1"を設定してください。

2.　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。
シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。
ファースト・モード時　：f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時　：f_{CLK} = 10 MHz（Min.）
標準モード時　：f_{CLK} = 1 MHz（Min.）

3.　ファースト・モード・プラスは，A:民生用途（T_A=-40～+85℃）のみです。

備考　IICE0：IICAコントロール・レジスタ00（IICCTL00）のビット7

13. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0）

シリアル・インタフェースIICAが，出力するSCLA0端子信号のロウ・レベル幅（t_{LOW}）とSDAA0端子信号を制御するレジスタです。

IICWL0レジスタは，8ビット・メモリ操作命令で設定します。

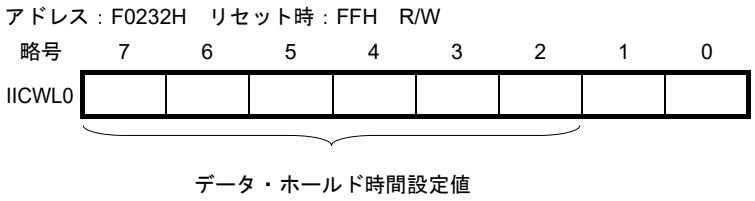
IICWL0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

IICWL0の設定方法については，13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法を参照してください。

また，データ・ホールド時間はIICWL0で設定した時間の1/4になります。

図13－10　IICAロウ･レベル幅設定レジスタ0（IICWL0）のフォーマット



13. 3. 7　IICAハイ・レベル幅設定レジスタ0（IICWH0）

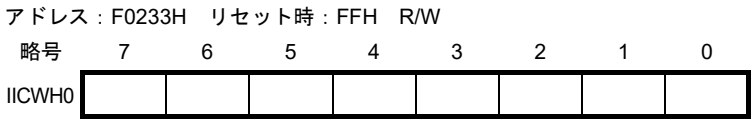
シリアル・インタフェースIICAが，出力するSCLA0端子信号のハイ・レベル幅とSDAA0端子信号を制御するレジスタです。

IICWH0レジスタは，8ビット・メモリ操作命令で設定します。

IICWH0レジスタは，I^2Cが動作禁止（IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）= 0）のときに設定してください。

リセット信号の発生により，FFHになります。

図13－11　IICAハイ･レベル幅設定レジスタ0（IICWH0）のフォーマット



備考　マスタ側の転送クロックの設定方法は13. 4. 2. (1)を，スレーブ側のIICWL0, IICWH0レジスタの設定方法は，13. 4. 2. (2)を参照してください。

13. 3. 8　ポート・モード・レジスタ6（PM6）

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力，P61/SDAA0端子をシリアル・データ入出力として使用するとき，PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE0（IICAコントロール・レジスタ00（IICCTL00）のビット7）が0の場合，P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力（固定）となるため，出力モードへの切り替えは，IICE0ビットに1を設定してから，行ってください。

PM6レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

図13－12　ポート・モード・レジスタ6（PM6）のフォーマット

アドレス：FFF26H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択（n = 0, 1）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

13. 4　I²Cバス・モードの機能

13. 4. 1　端子構成

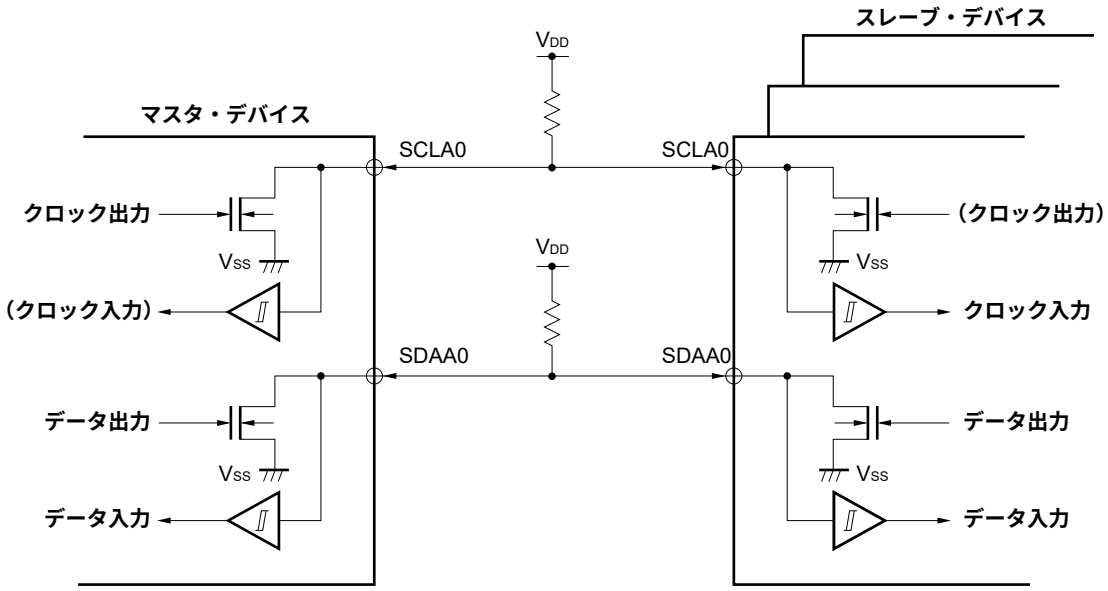
シリアル・クロック端子（SCLA0）と，シリアル・データ・バス端子（SDAA0）の構成は，次のようになっています。

（1）SCLA0……シリアル・クロックを入出力するための端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

（2）SDAA0……シリアル・データの入出力兼用端子。
　　マスタ，スレーブともに，出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは，出力がN-chオープン・ドレインのため，外部にプルアップ抵抗が必要となります。

図13－13　端子構成図



13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法

（1）マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL0 + IICWH0 + f_{MCK}(t_R + t_F)}$$

このとき，最適なIICWL0レジスタとIICWH0レジスタの設定値は次のようになります。
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$$IICWL0 = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

・標準モード時

$$IICWL0 = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

・ファースト･モード･プラス時

$$IICWL0 = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH0 = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F\right) \times f_{MCK}$$

（2）スレーブ側のIICWL0, IICWH0レジスタ設定方法
（設定値はすべて小数点以下切り上げ）

・ファースト･モード時

$IICWL0 = 1.3\ \mu s \times f_{MCK}$

$IICWH0 = (1.2\ \mu s - t_R - t_F) \times f_{MCK}$

・標準モード時

$IICWL0 = 4.7\ \mu s \times f_{MCK}$

$IICWH0 = (5.3\ \mu s - t_R - t_F) \times f_{MCK}$

・ファースト･モード･プラス時

$IICWL0 = 0.50\ \mu s \times f_{MCK}$

$IICWH0 = (0.50\ \mu s - t_R - t_F) \times f_{MCK}$

注意1.　IICA動作クロック（f_{MCK}）の最高動作周波数は20 MHz（Max.）です。
f_{CLK}が20 MHzを越える場合のみ，IICAコントロール・レジスタn1（IICCTLn1）のビット0（PRSn）に"1"を設定してください。

2.　転送クロックを設定する場合は，f_{CLK}の最低動作周波数に注意してください。
シリアル・インタフェースIICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時	: f_{CLK} = 3.5 MHz（Min.）
ファースト・モード・プラス時	: f_{CLK} = 10 MHz（Min.）
標準モード時	: f_{CLK} = 1 MHz（Min.）

（備考は，次ページにあります。）

備考1.　SDAA0, SCLA0信号の立ち上がり時間（t_R）と立ち下がり時間（t_F）は，プルアップ抵抗と配線容量によって異なるため，各自で算出してください。

2.　IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

t_R　：SDAA0, SCLA0信号の立ち上がり時間

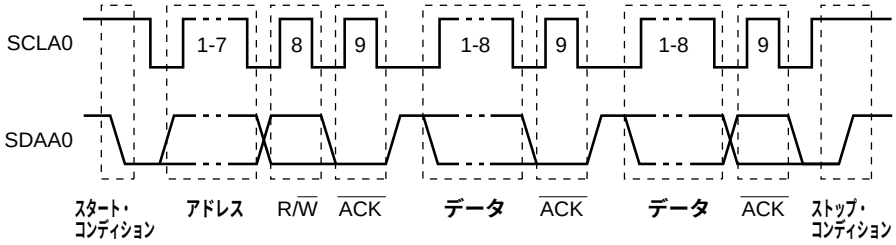
f_{MCK}　：IICA動作クロック周波数

13. 5　I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび，使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“データ”および“ストップ・コンディション”の各転送タイミングを図13－14に示します。

図13－14　I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

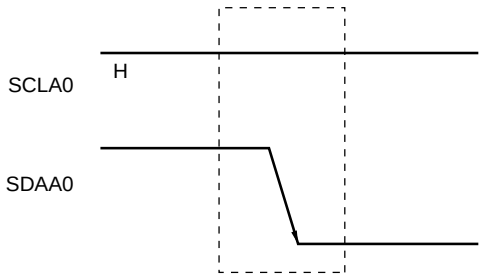
アクノリッジ（$\overline{\text{ACK}}$）は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が出力します）。

シリアル・クロック（SCLA0）は，マスタが出力し続けます。ただし，スレーブはSCLA0端子のロウ・レベル期間を延長し，クロック・ストレッチを挿入できます。

13. 5. 1　スタート・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLA0端子，SDAA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は，スタート・コンディションを検出できます。

図13－15　スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態（SPD0：IICAステータス・レジスタ0（IICS0）のビット0 = 1）のときにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると出力されます。また，スタート・コンディションを検出すると，IICS0レジスタのビット1（STD0）がセット（1）されます。

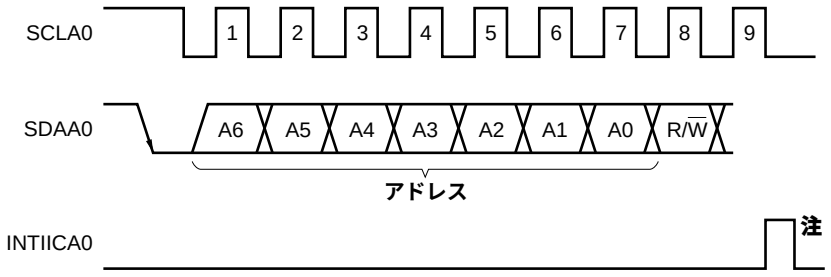
13. 5. 2　アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは，マスタがバス・ラインに接続されている複数のスレーブの中から，特定のスレーブを選択するために出力する7ビット・データです。したがって，バス・ライン上のスレーブは，すべて異なるアドレスにしておく必要があります。

スレーブは，ハードウエアでこの条件を検出し，さらに，7ビット・データがスレーブ・アドレス・レジスタ0（SVA0）と一致しているかを調べます。このとき，7ビット・データとSVA0レジスタの値が一致すると，そのスレーブが選択されたことになり，以後，マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図13－16　アドレス



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

アドレスは，スレーブのアドレスと13. 5. 3　転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ0（IICA0）に書き込むと出力します。また，受信したアドレスはIICA0レジスタに書き込まれます。

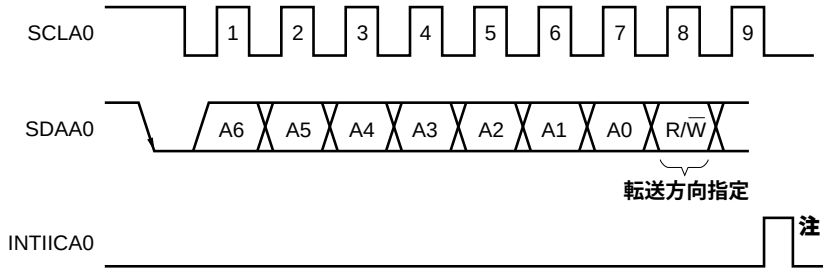
なお，スレーブのアドレスは，IICA0レジスタの上位7ビットに割り当てられます。

13. 5. 3　転送方向指定

マスタは，7ビットのアドレスに続いて，転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき，マスタがスレーブにデータを送信することを示します。また，転送方向指定ビットが1のとき，マスタがスレーブからデータを受信することを示します。

図13－17　転送方向指定



注　スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は，INTIICA0は発生しません。

13. 5. 4　アクノリッジ（$\overline{\text{ACK}}$）

アクノリッジ（$\overline{\text{ACK}}$）によって，送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は，8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常，8ビット・データ送信後，アクノリッジを受信します。受信側からアクノリッジが返されたとき，受信が正しく行われたものとして処理を続けます。アクノリッジの検出は，IICAステータス・レジスタ0（IICS0）のビット2（ACKD0）で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず，ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき，マスタはストップ・コンディションまたはリスタート・コンディションを出力し，送信を中止します。アクノリッジが返らない場合，次の要因が考えられます。

① 受信が正しく行われていない。
② 最終データの受信が終わっている。
③ アドレス指定した受信側が存在しない。

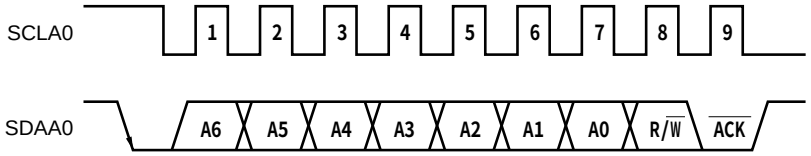
アクノリッジ生成は，受信側が9クロック目にSDAA0ラインをロウ・レベルにすることによって行われます（正常受信）。

IICAコントロール・レジスタ00（IICCTL00）のビット2（ACKE0）をセット（1）することによって，アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICS0レジスタのビット3（TRC0）が設定されます。受信（TRC0 = 0）の場合は，通常，ACKE0ビットをセット（1）してください。

スレーブ受信動作時（TRC0 = 0）にデータを受信できなくなったとき，または次のデータを必要としないときには，ACKE0ビットをクリア（0）し，マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRC0 = 0）に，次のデータを必要としない場合，アクノリッジを生成しないようにACKE0ビットをクリア（0）してください。これによって，スレーブ送信側にデータの終わりを知らせます（送信停止）。

図13－18　アクノリッジ



自局アドレス受信時は，ACKE0ビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は，アクノリッジを生成しません（NACK）。

拡張コード受信時は，あらかじめACKE0ビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は，クロック・ストレッチ・タイミングの設定により次のように異なります。

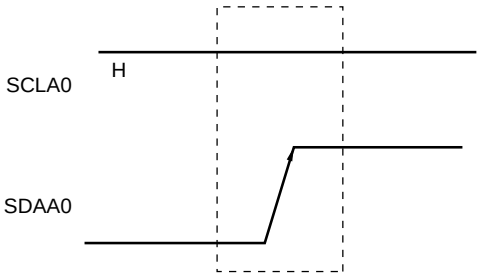
・8クロック・クロック・ストレッチ選択時（IICCTL00レジスタのビット3（WTIM0）　= 0）：
　クロック・ストレッチ解除を行う前にACKE0ビットをセット（1）することによって，SCLA0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
・9クロック・クロック・ストレッチ選択時（IICCTL00レジスタのビット3（WTIM0）　= 1）：
　あらかじめACKE0ビットをセット（1）することによって，アクノリッジを生成します。

13. 5. 5　ストップ・コンディション

SCLA0端子がハイ・レベルのときに，SDAA0端子がロウ・レベルからハイ・レベルに変化すると，ストップ・コンディションとなります。

ストップ・コンディションは，マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は，ストップ・コンディションを検出できます。

図13－19　ストップ・コンディション



ストップ・コンディションは，IICAコントロール・レジスタ00（IICCTL00）のビット0（SPT0）をセット（1）すると発生します。また，ストップ・コンディションを検出するとIICAステータス・レジスタ0（IICS0）のビット0（SPD0）がセット（1）され，IICCTL00レジスタのビット4（SPIE0）がセット（1）されている場合にはINTIICA0が発生します。

13. 5. 6　クロック・ストレッチ

クロック・ストレッチによっては，マスタまたはスレーブがデータの送受信のための準備中（クロック・ストレッチ状態）であることを相手に知らせます。

SCLA0端子をロウ・レベルにすることにより，相手にクロック・ストレッチ状態を知らせます。マスタ，スレーブ両方のクロック・ストレッチ状態が解除されると，次の転送を開始できます。

図13－20　クロック・ストレッチ（1/2）

（1）マスタは9クロック・クロック・ストレッチ，スレーブは8クロック・クロック・ストレッチ時
（マスタ：送信，スレーブ：受信，ACKE0 = 1）

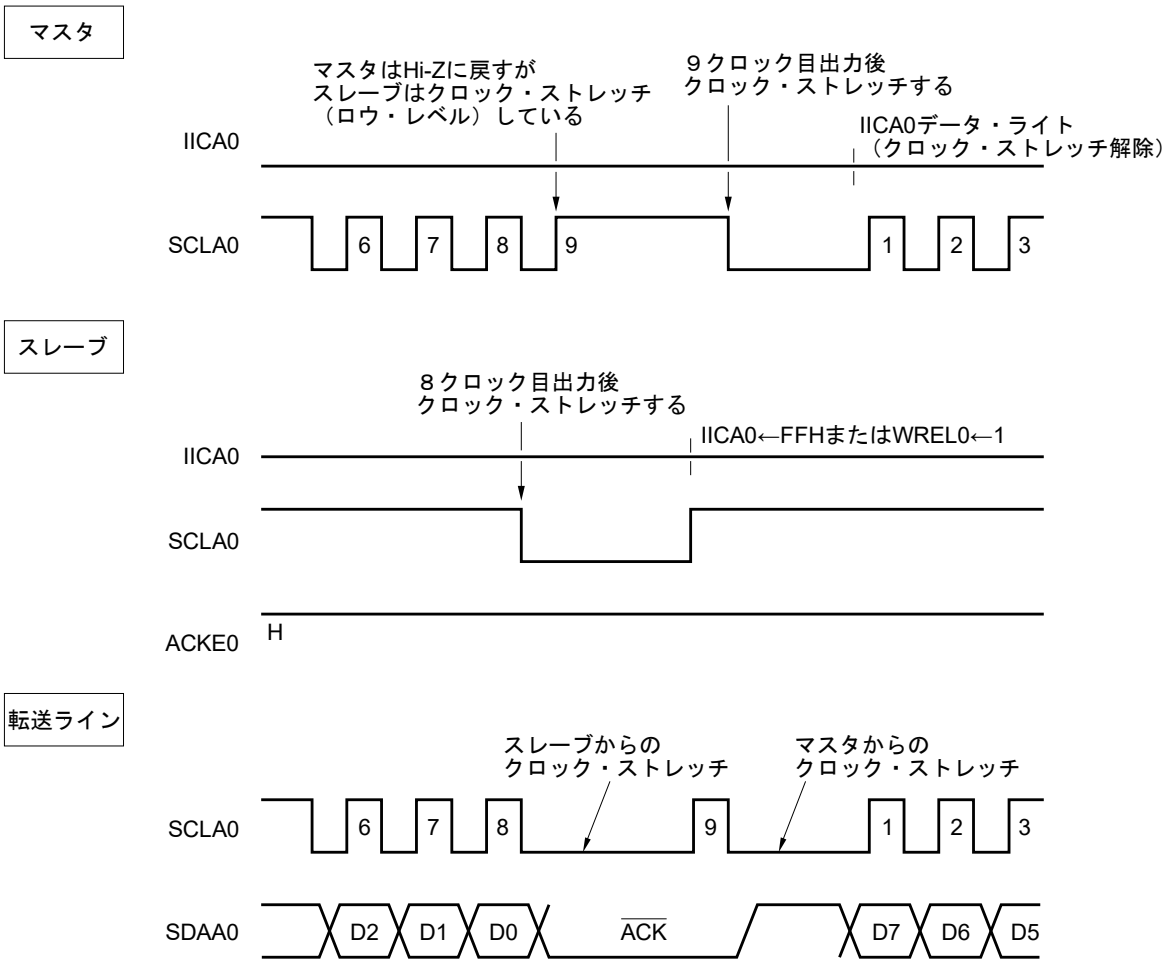
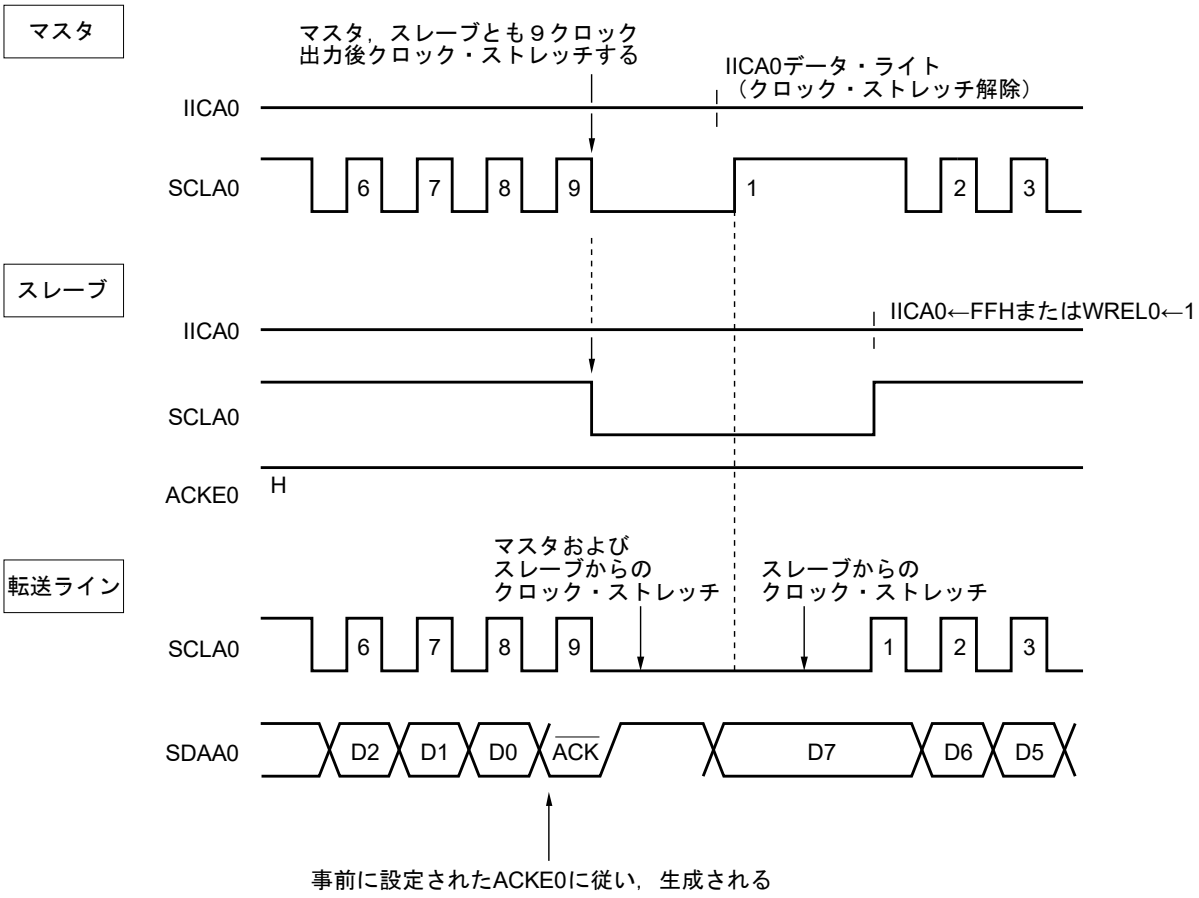


図13－20　クロック・ストレッチ（2/2）

（2）マスタ，スレーブとも9クロック・クロック・ストレッチ時

（マスタ：送信，スレーブ：受信，ACKE0 = 1）



備考　ACKE0　：IICAコントロール・レジスタ00（IICCTL00）のビット2

　　WREL0　：　　〃　　のビット5

クロック・ストレッチは，IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定により自動的に発生します。

通常，受信側はIICCTL00レジスタのビット5（WREL0ビット）＝1またはIICAシフト・レジスタ0（IICA0）にFFHを書き込むとクロック・ストレッチを解除し，送信側はIICA0レジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は，次の方法でもクロック・ストレッチを解除できます。

・IICCTL00レジスタのビット1（STT0）＝1

・IICCTL00レジスタのビット0（SPT0）＝1

13. 5. 7　クロック・ストレッチ解除方法

I²Cでは，通常，次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ0（IICA0）へのデータ書き込み
- IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（クロック・ストレッチ解除）
- IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注
- IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合，I²Cはクロック・ストレッチを解除し，通信が再開されます。

クロック・ストレッチを解除してデータ（アドレスを含む）を送信する場合には，IICA0レジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合，またはデータ送信を完了する場合には，IICCTL00レジスタのビット5（WREL0）をセット（1）してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には，IICCTL00レジスタのビット1（STT0）をセット（1）してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には，IICCTL00レジスタのビット0（SPT0）をセット（1）してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば，WREL0ビットにセット（1）によるクロック・ストレッチ解除後，IICA0レジスタへのデータ書き込みを実施した場合には，SDAA0ラインの変化タイミングとIICA0レジスタへの書き込みタイミングの競合により，SDAA0ラインへの出力データが間違った値になる可能性があります。

このような処理以外でも，通信を途中で中止した場合には，IICE0ビットをクリア（0）すると通信を停止するので，クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には，IICCTL00レジスタのビット6（LREL0）をセット（1）すると通信から退避するので，クロック・ストレッチを解除できます。

注意　WUP0 = 1のときにクロック・ストレッチ解除処理を実行した場合，クロック・ストレッチは解除されません。

13. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御

IICAコントロール・レジスタ00（IICCTL00）のビット3（WTIM0）の設定で，表13－2に示すタイミングでINTIICA0が発生し，また，クロック・ストレッチ制御を行います。

表13－2　INTIICA0発生タイミングおよびクロック・ストレッチ制御

WTIM0	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1.　スレーブのINTIICA0信号およびクロック・ストレッチは，スレーブ・アドレス・レジスタ0（SVA0）に設定しているアドレスと一致したときにのみ，9クロック目の立ち下がりで発生します。
また，このとき，IICCTL00レジスタのビット2（ACKE0）の設定にかかわらず，アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICA0を発生します。
ただし，リスタート後にアドレス不一致になった場合には，9クロック目の立ち下がりでINTIICA0を発生しますが，クロック・ストレッチは発生しません。

2.　スレーブ・アドレス・レジスタ0（SVA0）と受信したアドレスが一致せず，かつ拡張コードを受信していない場合は，INTIICA0もクロック・ストレッチも発生しません。

備考　表中の数字は，シリアル・クロックのクロック数を示しています。また，割り込み要求，クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

（1）アドレス送受信時

・スレーブ動作時：WTIM0ビットにかかわらず，上記の注1, 2の条件により，割り込みおよびクロック・ストレッチ・タイミングが決まります。
・マスタ動作時　：WTIM0ビットにかかわらず，割り込みおよびクロック・ストレッチ・タイミングは，9クロック目の立ち下がりで発生します。

（2）データ受信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（3）データ送信時

・マスタ／スレーブ動作時：WTIM0ビットにより，割り込みおよびクロック・ストレッチ・タイミングが決まります。

（4）クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

・IICAシフト・レジスタ0（IICA0）へのデータ書き込み
・IICAコントロール・レジスタ00（IICCTL00）のビット5（WREL0）のセット（クロック・ストレッチ解除）
・IICCTL00レジスタのビット1（STT0）のセット（スタート・コンディションの生成）注
・IICCTL00レジスタのビット0（SPT0）のセット（ストップ・コンディションの生成）注

注　マスタのみ。

8クロック・クロック・ストレッチ選択（WTIM0 = 0）時は，クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

（5）ストップ・コンディション検出

INTIICA0は，ストップ・コンディションを検出すると発生します（SPIE0 = 1のときのみ）。

13. 5. 9　アドレスの一致検出方法

I²Cバス・モードでは，マスタがスレーブ・アドレスを送信することにより，特定のスレーブ・デバイスを選択できます。

アドレス一致は，ハードウエアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ0（SVA0）に設定したアドレスが一致したとき，または拡張コードを受信した場合だけ，INTIICA0割り込み要求が発生します。

13. 5. 10　エラーの検出

I²Cバス・モードでは，送信中のシリアル・バス（SDAA0）の状態が，送信しているデバイスのIICAシフト・レジスタ0（IICA0）にも取り込まれるため，送信開始前と送信終了後のIICAデータを比較することにより，送信エラーを検出できます。この場合，2つのデータが異なっていれば送信エラーが発生したものと判断します。

13. 5. 11　拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として，拡張コード受信フラグ（EXC0）をセット（1）し，8クロック目の立ち下がりで割り込み要求（INTIICA0）を発生します。
スレーブ・アドレス・レジスタ0（SVA0）に格納された自局アドレスは影響しません。

(2) SVA0レジスタに“11110xx0”を設定されているときに，10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は，次のようになります。ただし割り込み要求（INTIICA0）は，8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 ：EXC0 = 1
・7ビット・データの一致　　：COI0 = 1

備考　EXC0　　：IICAステータス・レジスタ0（IICS0）のビット5
　　COI0　　：　　〃　　のビット4

(3) 割り込み要求発生後の処理は，拡張コードに続くデータによって異なるため，ソフトウエアで行います。
スレーブ動作時に，拡張コードを受信した場合は，アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後，スレーブとして動作したくない場合は，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1に設定してください。次の通信待機状態にします。

表13－3　主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説　　明
0000　000	0	ジェネラル・コール・アドレス
1111　0xx	0	10ビット・スレーブ・アドレス指定（アドレス認証時）
1111　0xx	1	10ビット・スレーブ・アドレス指定（アドレス一致後、リード・コマンド発行時）

備考　上記以外の拡張コードについては，NXP社発行のI^2Cバスの仕様書を参照してください。

13. 5. 12　アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（STD0 = 1になる前にSTT0 = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，IICAステータス・レジスタ0（IICS0）のアービトレーション負けフラグ（ALD0）をセット（1）し，SCLA0, SDAA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウエアでALD0 = 1になっていることで検出します。

割り込み要求発生タイミングについては，13. 5. 8　割り込み要求（INTIICA0）発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考　STD0　：IICAステータス・レジスタ0（IICS0）のビット1
　　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

図13－21　アービトレーション・タイミング例

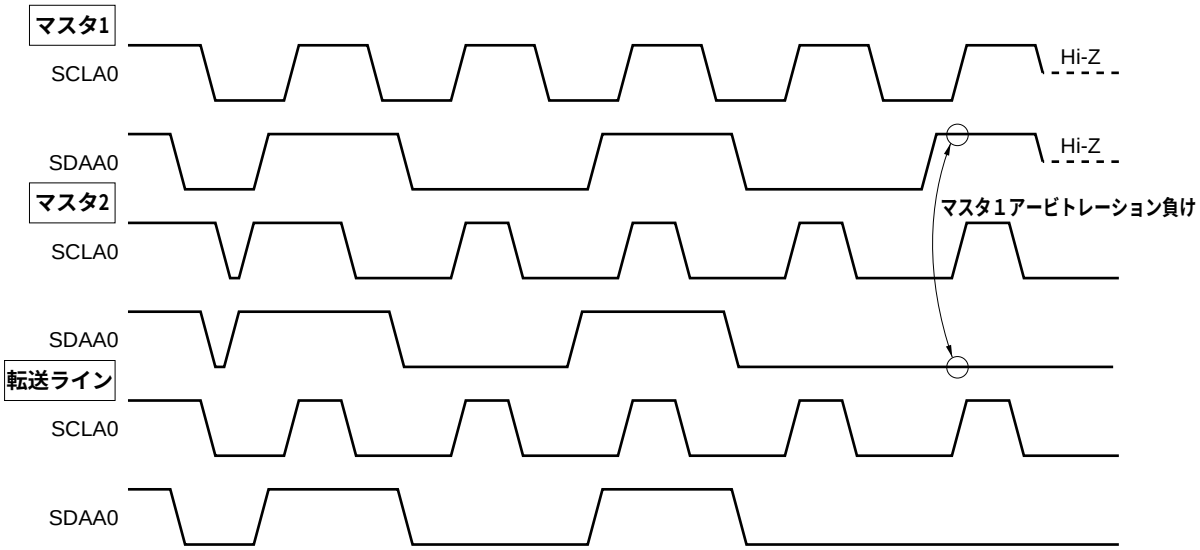


表13－4　アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中，リスタート・コンディション検出	
データ転送中，ストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時（SPIE0 = 1時）注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLA0がロウ・レベル	

注1.　WTIM0ビット（IICAコントロール・レジスタ00（IICCTL00）のビット3）= 1の場合には，9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM0 = 0および拡張コードのスレーブ・アドレス受信時には，8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2.　アービトレーションが起こる可能性がある場合，マスタ動作ではSPIE0 = 1に設定してください。

備考　SPIE0：IICAコントロール・レジスタ00（IICCTL00）のビット 4

13. 5. 13　ウエイク・アップ機能

I²Cのスレーブ機能で，自局アドレスと拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生する機能です。

アドレスが一致しないときは不要なINTIICA0信号を発生せず，効率よく処理できます。

スタート・コンディションを検出すると，ウエイク・アップ待機状態となります。マスタ（スタート・コンディションを生成した場合）でも，アービトレーション負けでスレーブになる可能性があるため，アドレスを送信しながらウエイク・アップ待機状態になります。

STOPモード状態時にウエイク・アップ機能を使用する場合には，WUP0 = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も，自局アドレスおよび拡張コードを受信したときに割り込み要求信号（INTIICA0）を発生します。この割り込み発生後に命令でWUP0ビットをクリア（0）することで通常動作に戻ります。

WUP0 = 1に設定する場合のフローを図13－22に，アドレス一致によりWUP0 = 0に設定する場合のフローを図13－23に示します。

図13－22　WUP0 = 1を設定する場合のフロー

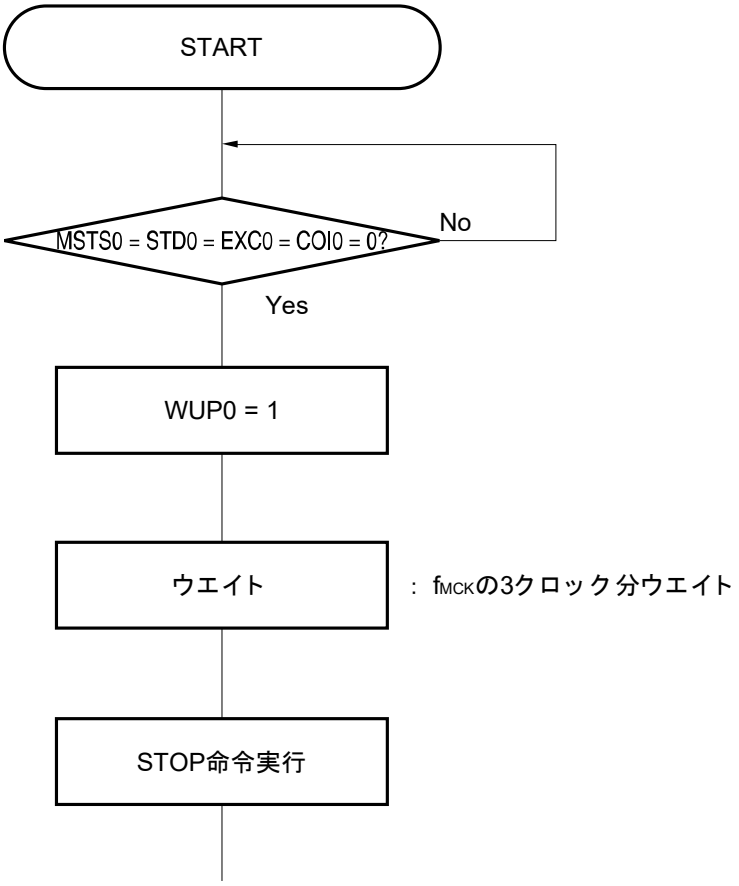
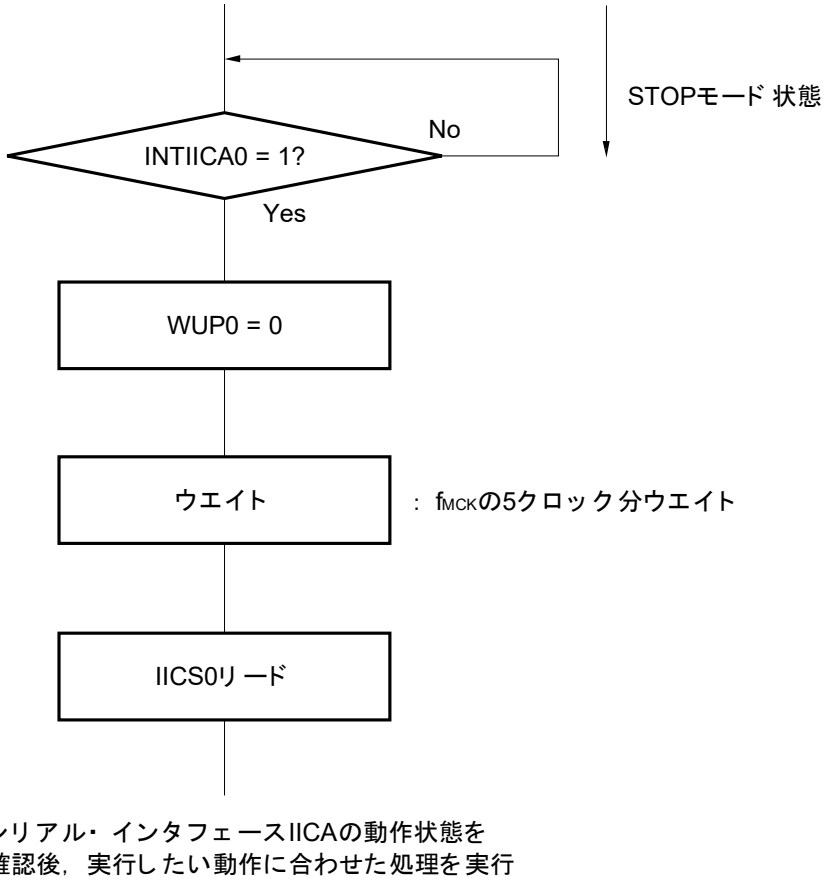


図13－23　アドレス一致によりWUP0 = 0に設定する場合のフロー（拡張コード受信含む）



また，シリアル・インタフェースIICAからの割り込み要求（INTIICA0）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

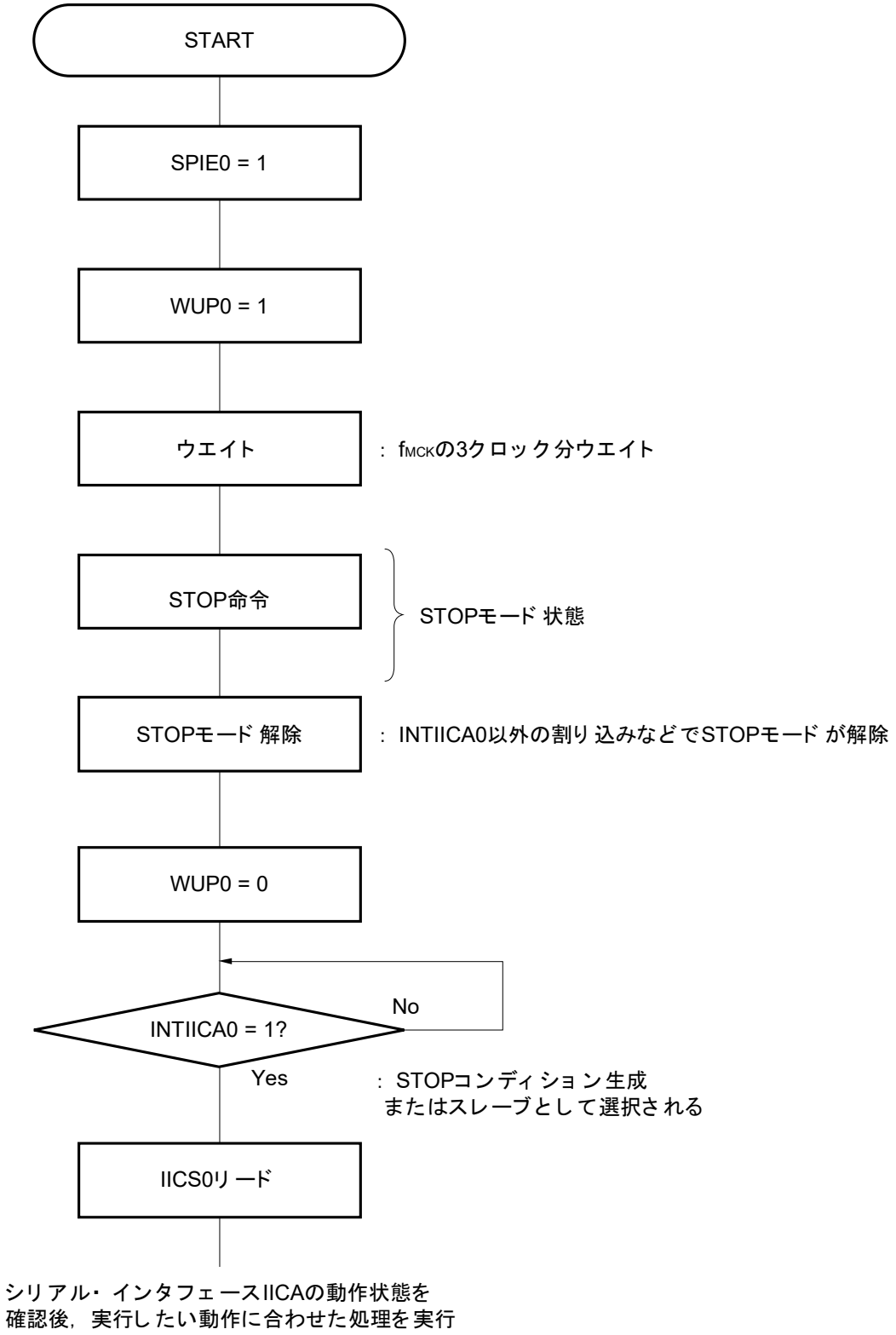
・次のIIC通信をマスタとして動作させる場合　：図13－24のフロー

・次のIIC通信をスレーブとして動作させる場合：

INTIICA0割り込みで復帰した場合：図13－23のフローと同じになります。

INTIICA0割り込み以外の割り込みで復帰した場合：INTIICA0割り込みが発生するまでWUP0=1のまま動作を継続してください。

図13－24　INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合



13. 5. 14　通信予約

（1）通信予約機能許可の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 0）

バスに不参加の状態で，次にマスタ通信を行いたい場合は，通信予約を行うことにより，バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICAコントロール・レジスタ00（IICCTL00）のビット6（LREL0）　= 1で通信退避してバスを解放した）とき

バスに不参加の状態で，IICCTL00レジスタのビット1（STT0）をセット（1）すると，バスが解放されたあと（ストップ・コンディション検出時）に，自動的にスタート・コンディションを生成し，ウエイト状態になります。

IICCTL00レジスタのビット4（SPIE0）をセット（1）し，割り込み要求信号（INTIICA0）発生でバスの解放を検出（ストップ・コンディション検出）したあと，IICAシフト・レジスタ0（IICA0）にアドレスを書き込むと，自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に，IICA0レジスタに書き込まれたデータは，無効です。

STT0ビットをセット（1）したとき，スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

・バスが解放されているとき……スタート・コンディション生成
・バスが解放されていないとき（待機状態）……通信予約

通信予約として動作するのかどうかは，STT0ビットをセット（1）し，ウエイト時間をとったあと，MSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）で確認します。

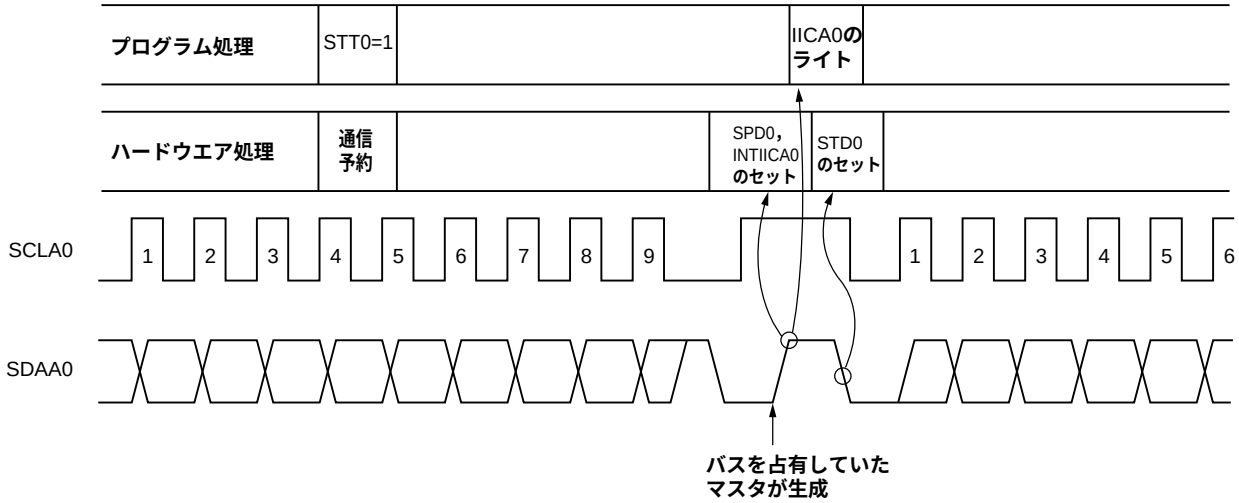
ウエイト時間は，次の式から算出した時間をソフトウエアにより確保してください。

STT0 = 1からMSTS0フラグ確認までのウエイト時間： （IICWL0の設定値＋IICWH0の設定値＋4）/f_{MCK}＋t_F×2

備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0
　　IICWH0　：IICAハイ・レベル幅設定レジスタ0
　　t_F　　：SDAA0, SCLA0信号の立ち下がり時間
　　f_{MCK}　：IICA動作クロック周波数

通信予約のタイミングを図13－25に示します。

図13－25　通信予約のタイミング



備考　IICA0 ：IICAシフト・レジスタ0

STT0 ：IICAコントロール・レジスタ00（IICCTL00）のビット1

STD0 ：IICAステータス・レジスタ0（IICS0）のビット1

SPD0 ：　　〃　　のビット0

通信予約は図13－26に示すタイミングで受け付けられます。IICAステータス・レジスタ0（IICS0）のビット1（STD0） = 1になったあと，ストップ・コンディション検出までにIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0） = 1で通信予約をします。

図13－26　通信予約受け付けタイミング

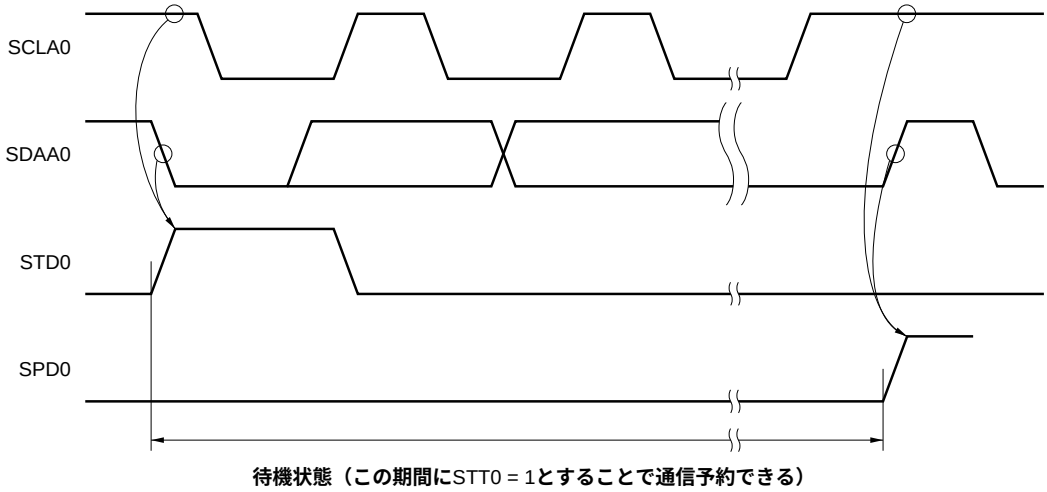
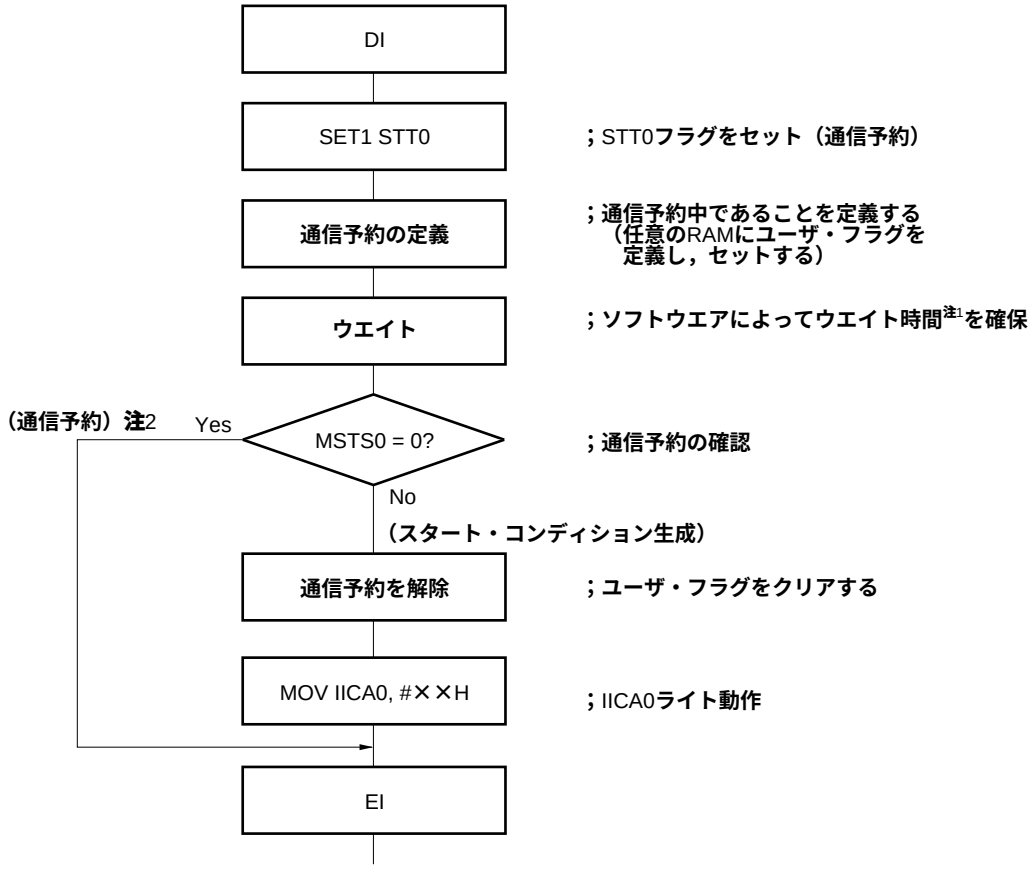


図13－27に通信予約の手順を示します。

図13－27　通信予約の手順



注1.　ウエイト時間は次のようになります。

（IICWL0の設定値＋IICWH0の設定値＋4）/f_{MCK}＋t_F×2

2.　通信予約動作時は，ストップ・コンディション割り込み要求でIICAシフト・レジスタ0（IICA0）への書き込みを実行します。

備考　STT0　：IICAコントロール・レジスタ00（IICCTL00）のビット1

MSTS0：IICAステータス・レジスタ0（IICS0）のビット7

IICA0　：IICAシフト・レジスタ0

IICWL0：IICAロウ・レベル幅設定レジスタ0

IICWH0：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

（2）通信予約機能禁止の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）　= 1）

バスが通信中で，この通信に不参加の状態でIICAコントロール・レジスタ00（IICCTL00）のビット1（STT0）をセット（1）すると，この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

・アービトレーションでマスタにもスレーブにもなれなかった場合
・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず，IICCTL00レジスタのビット6（LREL0）　= 1で通信退避してバスを解放した）とき。

スタート・コンディションが生成されたかまたは拒絶されたかは，STCF0（IICF0レジスタのビット7）で確認できます。STT0 = 1としてからSTCF0がセット（1）されるまでf_{MCK}の5クロックの時間がかかりますので，ソフトウエアによりこの時間を確保してください。

13. 5. 15　その他の注意事項

（1）　STCEN0 = 0の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず通信状態（IICBSY0 = 1）と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は，まずストップ・コンディションを生成し，バスを解放してからマスタ通信を行ってください。

マルチマスタでは，バスが解放されていない（ストップ・コンディションを検出していない）状態では，マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

① IICAコントロール・レジスタ01（IICCTL01）を設定する
② IICAコントロール・レジスタ00（IICCTL00）のビット7（IICE0）をセット（1）する
③ IICCTL00レジスタのビット0（SPT0）をセット（1）する

（2）　STCEN0 = 1の場合

I²C動作許可（IICE0 = 1）直後，実際のバス状態にかかわらず解放状態（IICBSY0 = 0）と認識しますので，1回目のスタート・コンディションを生成（STT0 = 1）する場合は，ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

（3）　すでに他者との間でI²C通信が行われている場合

SDAA0端子がロウ・レベルで，かつSCLA0端子がハイ・レベルのときに，I²C動作を許可して通信に途中参加すると，I²CのマクロはSDAA0端子がハイ・レベルからロウ・レベルに変化したと認識（スタート・コンディション検出）します。このときにバス上の値が拡張コードと認識できる値の場合は，アクノリッジを返し，他者との間のI²C通信を妨害してしまいます。これを回避するために，次の順番でI²Cを起動してください。

① IICCTL00レジスタのビット4（SPIE0）をクリア（0）し，ストップ・コンディション検出による割り込み要求信号（INTIICA0）発生を禁止する
② IICCTL00レジスタのビット7（IICE0）をセット（1）し，I²Cの動作を許可する
③ スタート・コンディションを検出するまで待つ
④ アクノリッジを返すまで（IICE0ビットをセット（1）してから，f_{MCK}の4～72クロック中）に，IICCTL00レジスタのビット6（LREL0）をセット（1）にし，強制的に検出を無効とする

（4）　STT0, SPT0ビット（IICCTL00レジスタのビット1, 0）をセットしたあと，クリア（0）される前の再セットは禁止します。

（5）　送信予約をした場合には，SPIE0ビット（IICCTL00レジスタのビット4）をセット（1）してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に，IICAシフト・レジスタ0（IICA0）に通信データを書き込むことによって，転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと，スタート時には割り込み要求が発生しないため，ウエイト状態で停止します。ただし，ソフトウエアでMSTS0ビット（IICAステータス・レジスタ0（IICS0）のビット7）を検出する場合には，SPIE0ビットをセット（1）する必要はありません。

13. 5. 16　通信動作

ここでは，次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで，マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し，スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I^2Cバスのマルチマスタ・システムでは，通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI^2Cバスの仕様だけでは判断できません。ここでは，一定（1フレーム）期間，データとクロックがハイ・レベルであれば，バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」，「通信待ち」，「通信処理」に分かれています。ここでは，アービトレーションで負けてスレーブに指定された場合の処理は省略し，マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で，マスタとしての通信要求，またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で，スレーブとのデータ送受信以外に，ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

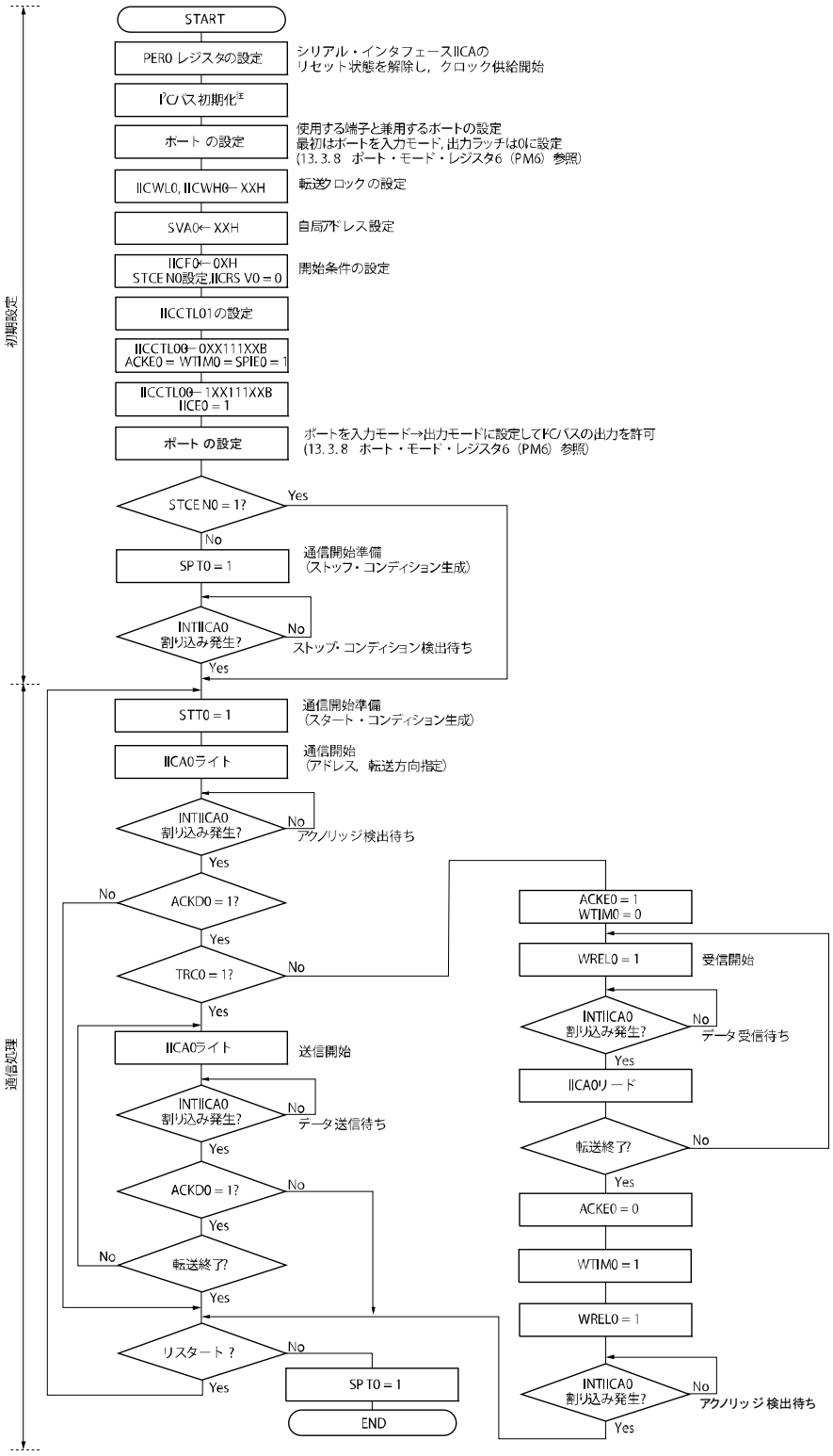
I^2Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には，割り込みによって動作を開始します。起動時に「初期設定」部分を実行し，そのあとは通信待ちでINTIICA0割り込みの発生を待ちます。INTIICA0割り込みが発生すると，通信状態を判定し，フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより，必要な「通信処理」を行います。

（1）シングルマスタ・システムでのマスタ動作

図13－28　シングルマスタ・システムでのマスタ動作

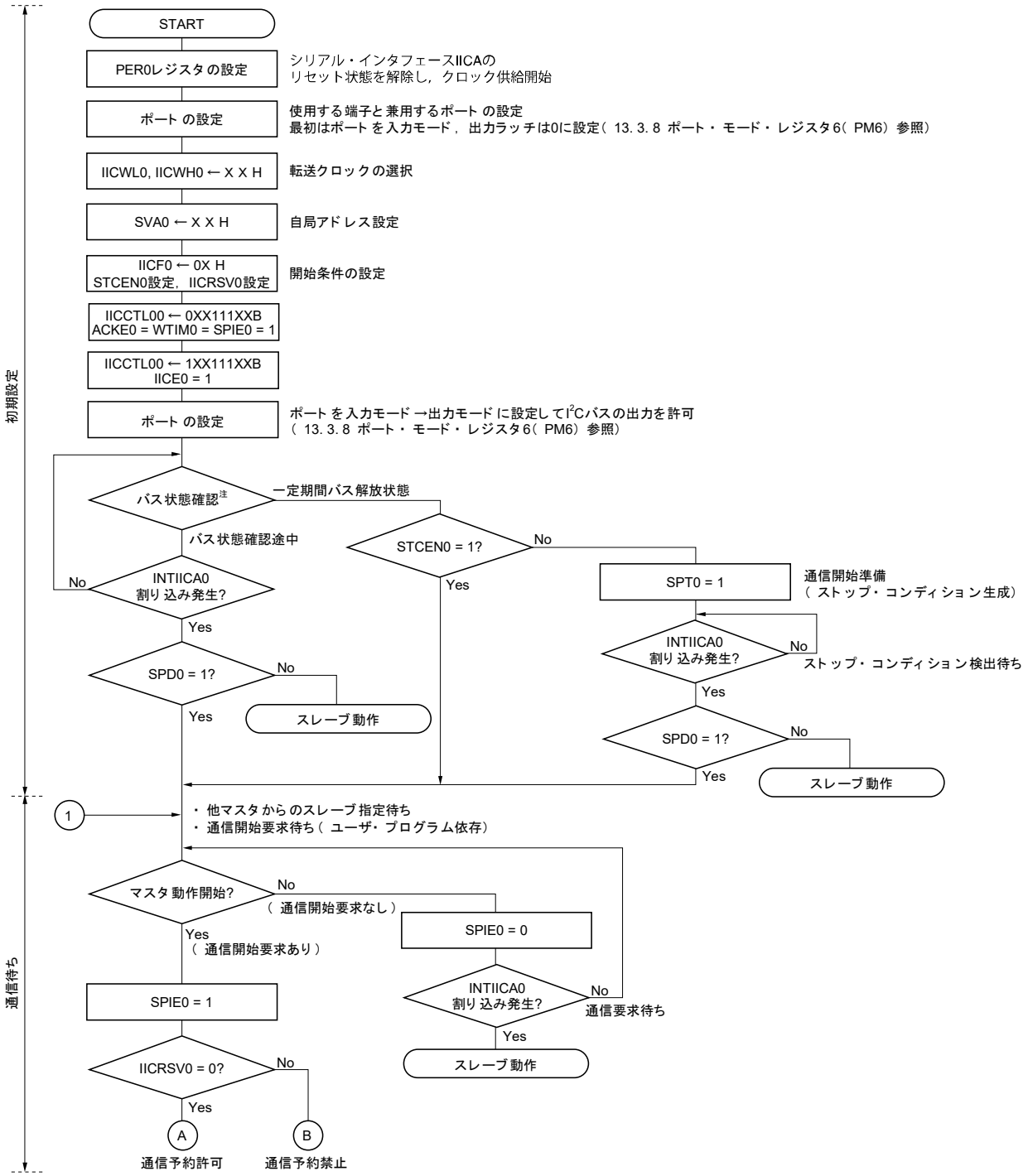


注　通信している製品の仕様に準拠し，I²Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）してください。たとえば，EEPROMがSDAA0端子にロウ・レベルを出力した状態であれば，SCLA0端子を出力ポートに設定し，SDAA0端子が定常的にハイ・レベルになるまで，出力ポートからクロック・パルスを出力してください。

備考　送信および受信フォーマットは，通信している製品の仕様に準拠してください。

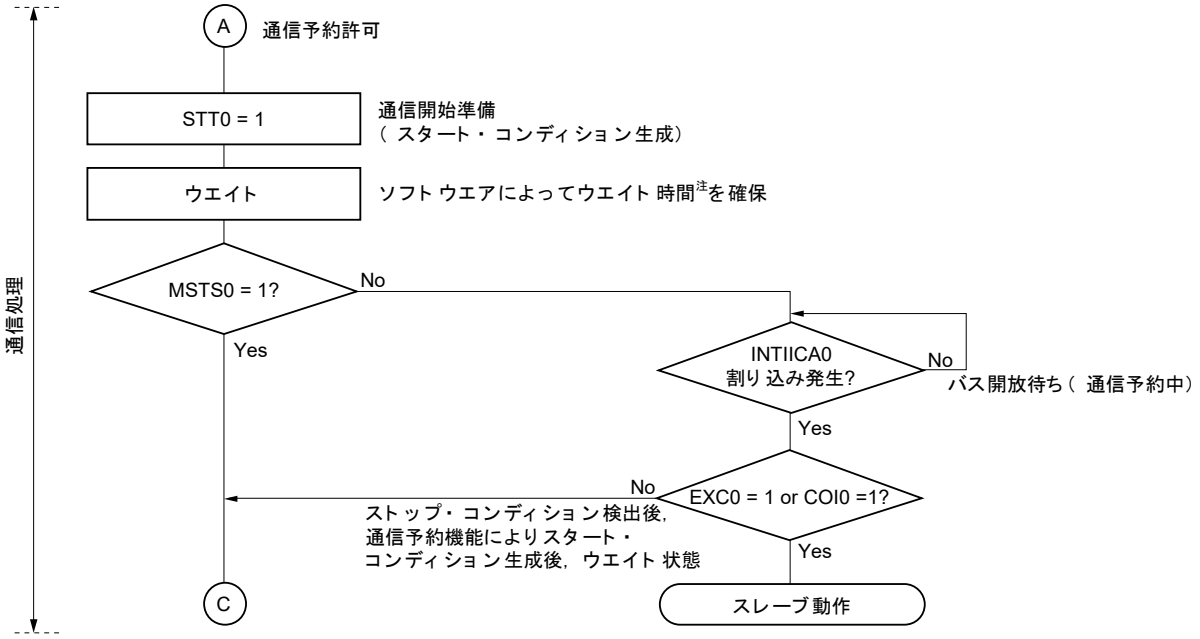
（2）マルチマスタ・システムでのマスタ動作

図13－29　マルチマスタ・システムでのマスタ動作（1/3）



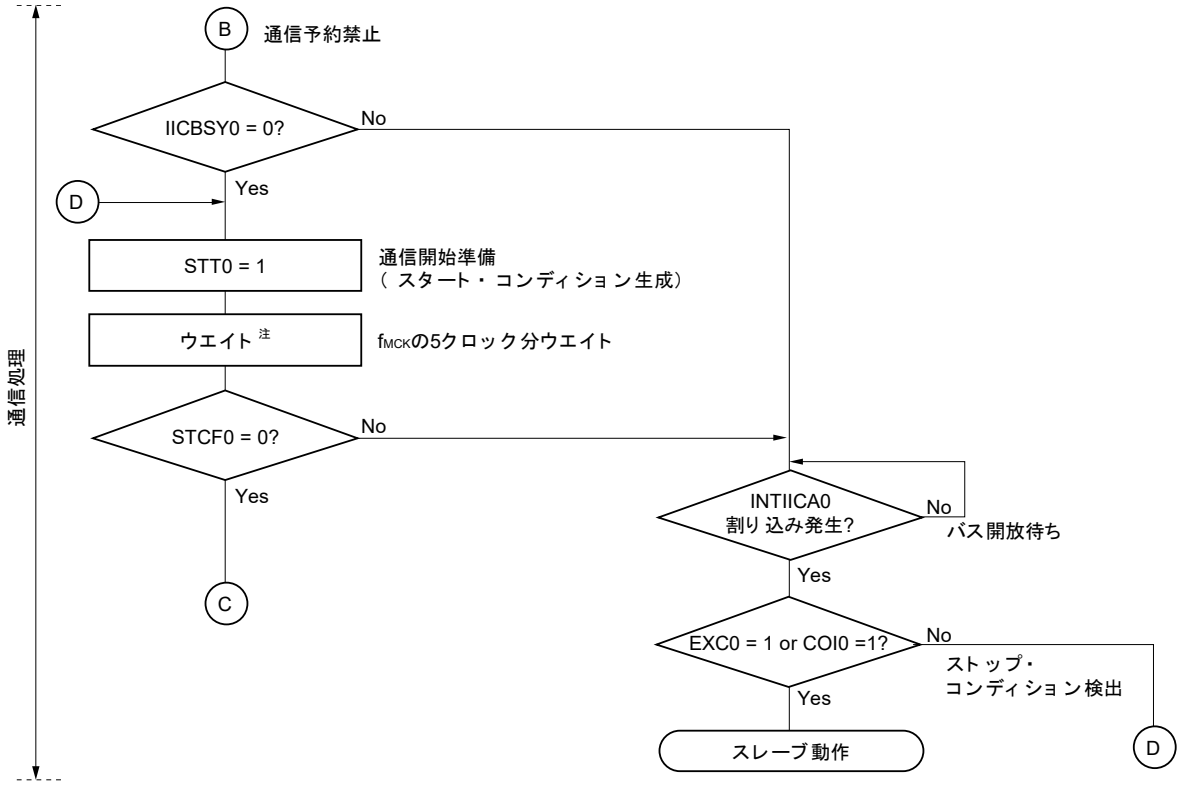
注　一定期間（たとえば1フレーム分），バス解放状態（CLD0ビット = 1, DAD0ビット = 1）であることを確認してください。定常的にSDAA0端子がロウ・レベルの場合は，通信している製品の仕様に準拠し，I²Cバスを解放（SCLA0, SDAA0端子 = ハイ・レベル）するか判断してください。

図13－29　マルチマスタ・システムでのマスタ動作（2/3）



注　ウエイト時間は次のようになります。

（IICWL0の設定値＋IICWH0の設定値＋4）/f_{MCK}＋t_F×2



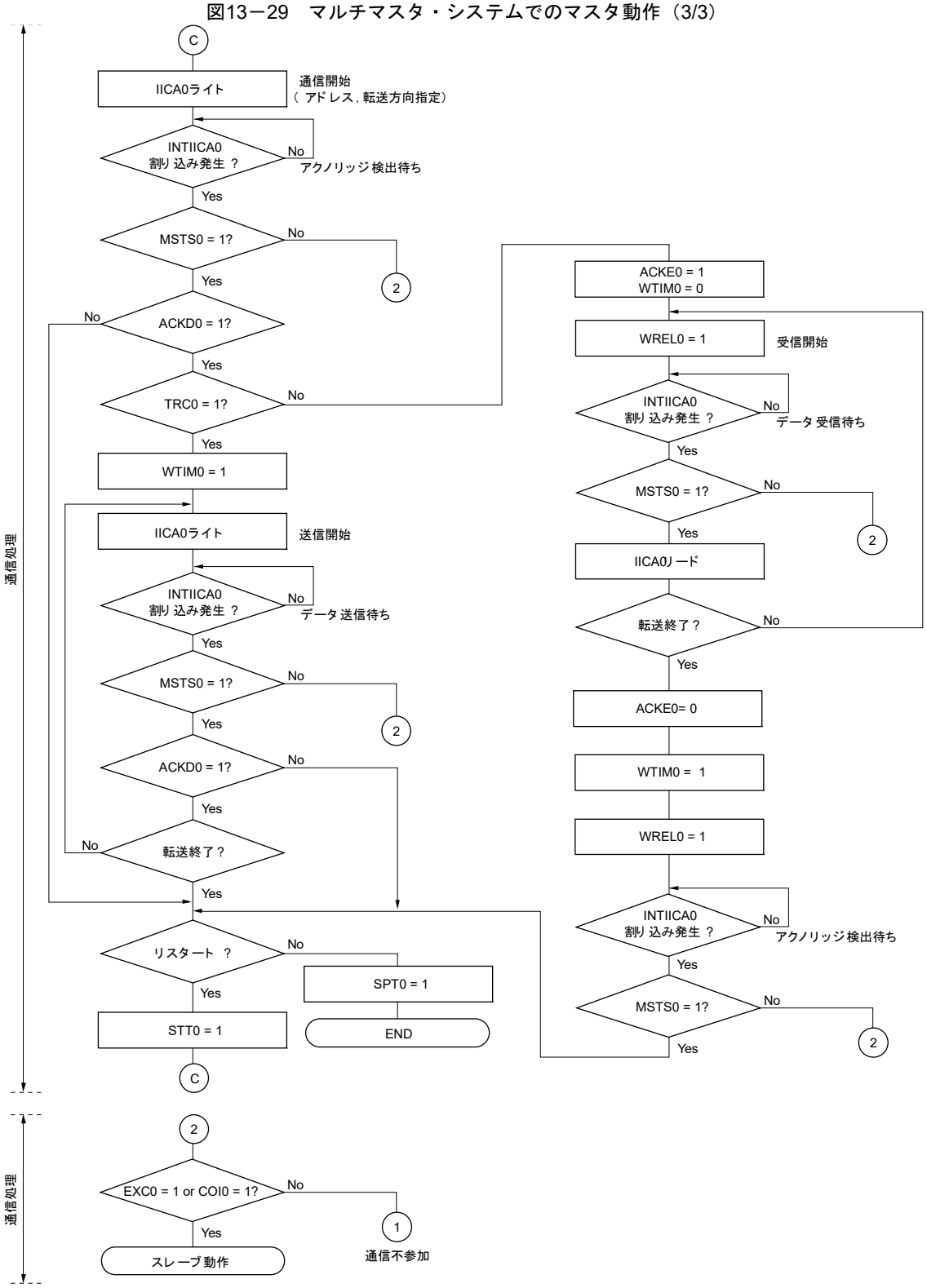
備考　IICWL0　：IICAロウ・レベル幅設定レジスタ0

IICWH0　：IICAハイ・レベル幅設定レジスタ0

t_F　：SDAA0, SCLA0信号の立ち下がり時間

f_{MCK}　：IICA動作クロック周波数

図13－29　マルチマスタ・システムでのマスタ動作（3/3）



備考 1.　送信および受信フォーマットは通信している製品の仕様に準拠してください。

2.　マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

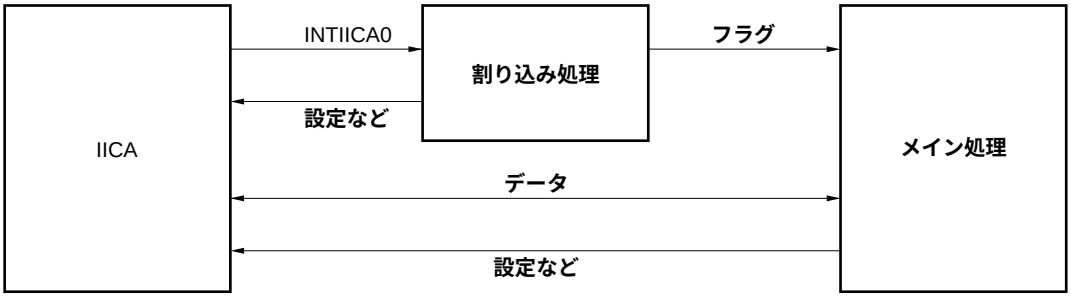
3.　マルチマスタ・システムでスレーブとして使用する場合は，INTIICA0割り込み発生ごとにIICAステータス・レジスタ0（IICS0），IICAフラグ・レジスタ0（IICF0）でステータスを確認して次に行う処理を決定してください。

（3）スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には，イベント・ドリブンでの動作となります。このためINTIICA0割り込みによる処理（通信中のストップ・コンディション検出など，動作状態を大きく変更する必要がある処理）が必要となります。

この説明では，データ通信は拡張コードには対応しないものとします。またINTIICA0割り込み処理では状態遷移の処理だけを行い，実際のデータ通信はメイン処理で行うものとします。



このため，次の3つのフラグを準備し，これをINTIICA0の代わりにメイン処理に渡すという方法で，データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

・クリア・モード：データ通信を行っていない状態

・通信モード　　：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出，マスタからのアクノリッジ未検出，アドレス不一致）

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信ではINTIICA0割り込みと同じです。割り込み処理部でセットし，メイン処理部でクリアします。通信の開始時には，割り込み処理部でクリアしておきます。ただし，送信の最初のデータでは，レディ・フラグは割り込み処理部でセットされませんので，クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

③ 通信方向フラグ

通信の方向を示します。TRC0ビットの値と同じです。

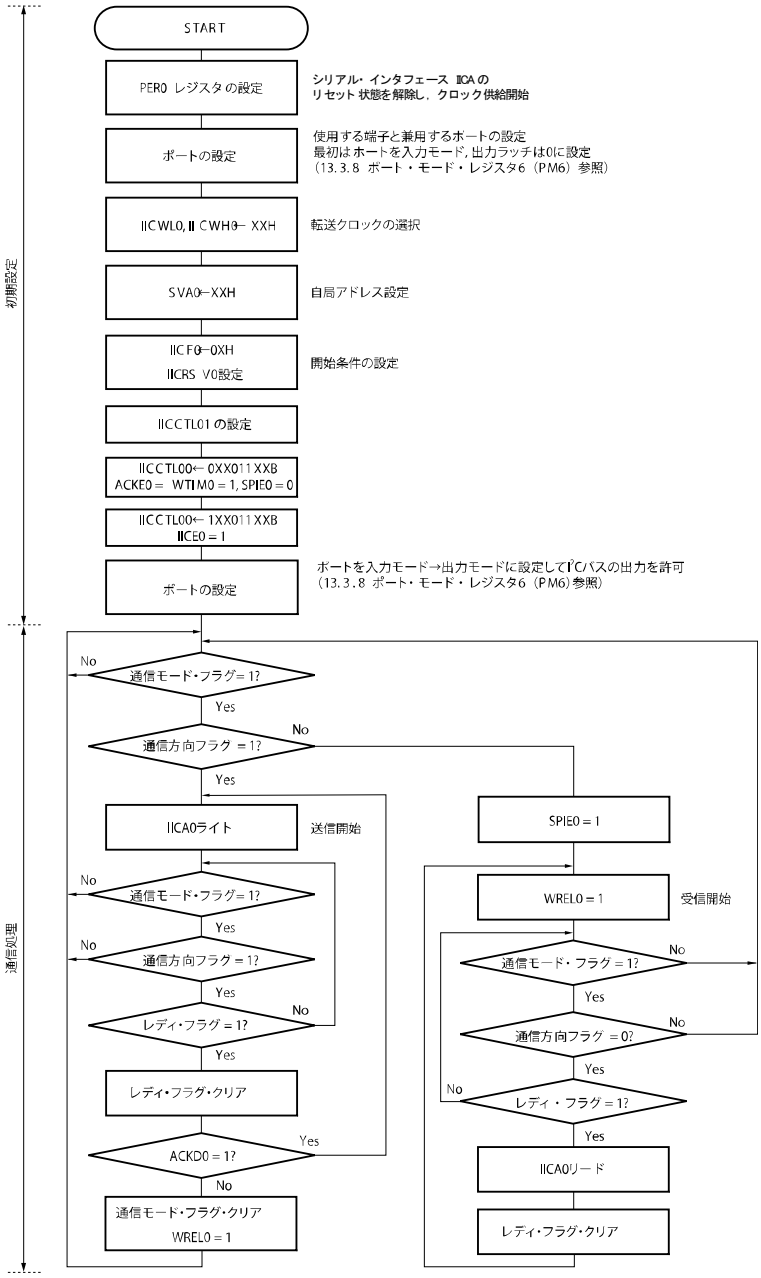
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し，通信可能状態になるのを待ちます。通信可能状態になったら，通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので，ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し，通信完了したら次のデータでアクノリッジを戻さないようにします。その後，マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより，通信状態から抜け出します。

図13－30　スレーブ動作手順（1）



備考　送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA0割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICA0割り込みではステータスを確認して，次のように行います。

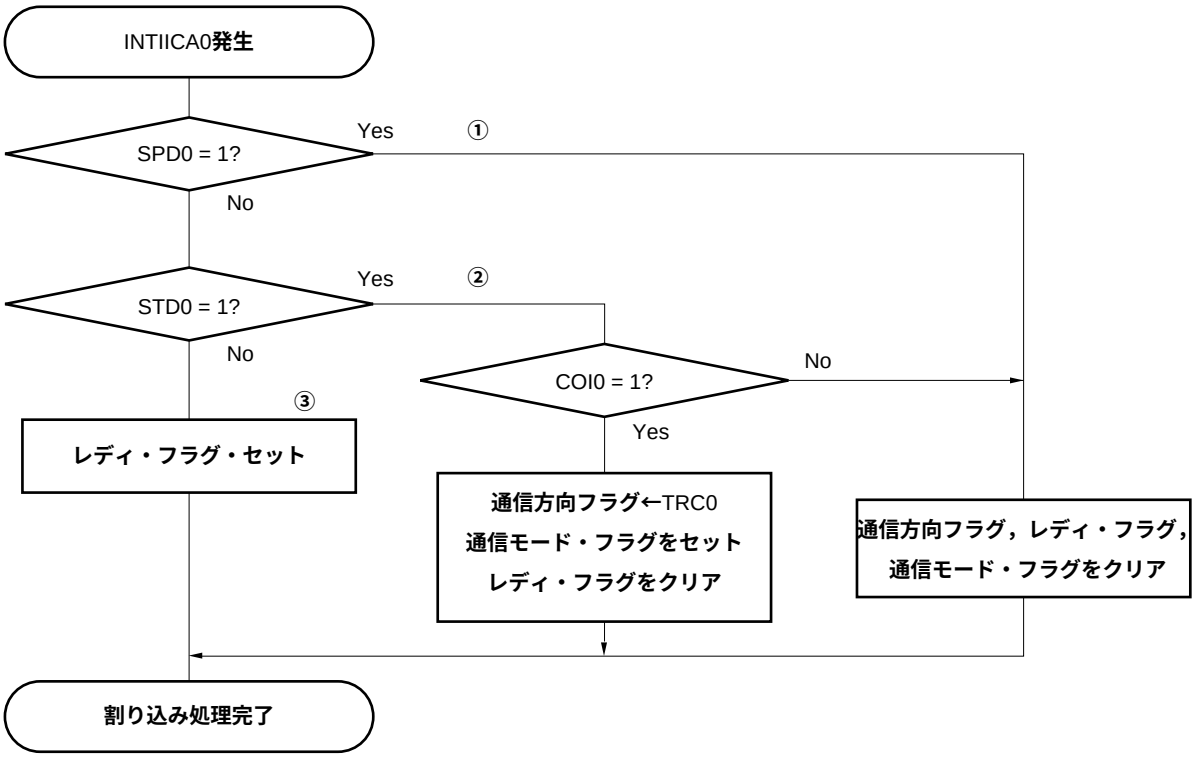
① ストップ・コンディションの場合，通信を終了します。

② スタート・コンディションの場合，アドレスを確認し，一致していなければ通信を終了します。アドレスが一致していれば，モードを通信モードに設定し，ウエイトを解除して，割り込みから戻ります（レディ・フラグはクリアする）。

③ データ送受信の場合，レディ・フラグをセットするだけで，I²Cバスはウエイト状態のまま，割り込みから戻ります。

備考　上述の①～③は，図13－31　スレーブ動作手順（2）の①～③と対応しています。

図13－31　スレーブ動作手順（2）



13. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミング

次に，データの送受信，INTIICA0割り込み要求信号発生タイミングと，INTIICA0信号タイミングでのIICAステータス・レジスタ0（IICS0）の値を示します。

備考　ST　　：スタート・コンディション
　　AD6-AD0　：アドレス
　　R/$\overline{W}$　　：転送方向指定
　　$\overline{ACK}$　　：アクノリッジ
　　D7-D0　　：データ
　　SP　　：ストップ・コンディション

（1）マスタ動作

（a）Start～Address～Data～Data～Stop（送受信）

（i）WTIM0 = 0のとき

▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B

▲3：IICS0 = 1000×000B（WTIM0ビットをセット（1））注

▲4：IICS0 = 1000××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

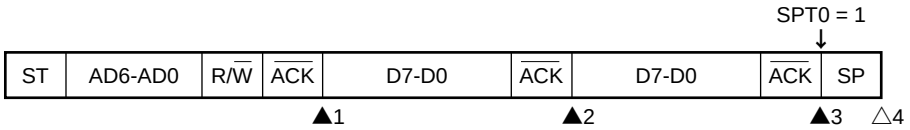
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B

▲3：IICS0 = 1000××00B（SPT0ビットをセット（1））

△4：IICS0 = 00000001B

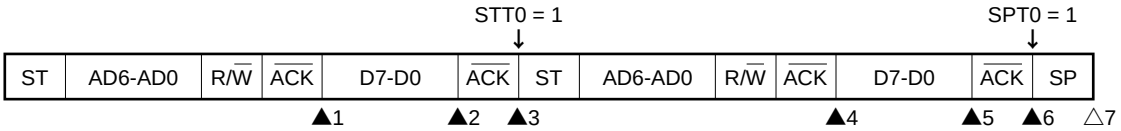
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）Start～Address～Data～Start～Address～Data～Stop（リスタート）

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1）[注1]）

▲3：IICS0 = 1000××00B（WTIM0ビットをクリア（0）[注2]，STT0ビットをセット（1））

▲4：IICS0 = 1000×110B

▲5：IICS0 = 1000×000B（WTIM0ビットをセット（1）[注3]）

▲6：IICS0 = 1000××00B（SPT0ビットをセット（1））

△7：IICS0 = 00000001B

注1.　スタート・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

2.　設定を元に戻すために，WTIM0ビットをクリア（0）してください。

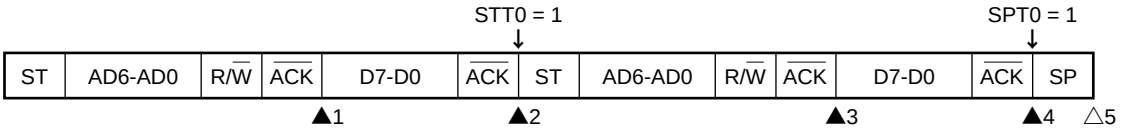
3.　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000××00B（STT0ビットをセット（1））

▲3：IICS0 = 1000×110B

▲4：IICS0 = 1000××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

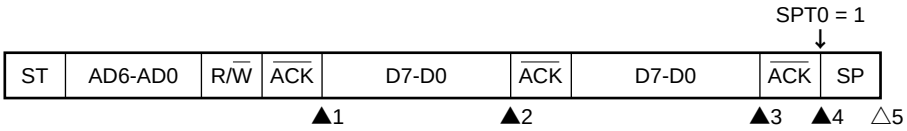
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Code～Data～Data～Stop（拡張コード送信）

（i）WTIM0 = 0のとき



▲1：IICS0 = 1010×110B

▲2：IICS0 = 1010×000B

▲3：IICS0 = 1010×000B（WTIM0ビットをセット（1）注）

▲4：IICS0 = 1010××00B（SPT0ビットをセット（1））

△5：IICS0 = 00000001B

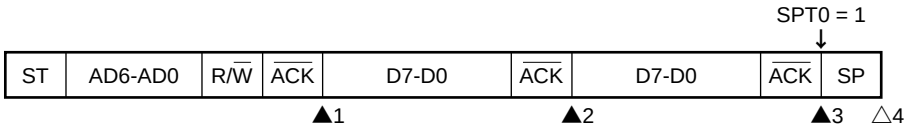
注　ストップ・コンディションを生成するために，WTIM0ビットをセット（1）し，INTIICA0割り込み要求信号の発生タイミングを変更してください。

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1010×110B

▲2：IICS0 = 1010×100B

▲3：IICS0 = 1010××00B（SPT0ビットをセット（1））

△4：IICS0 = 00001001B

備考　▲　必ず発生

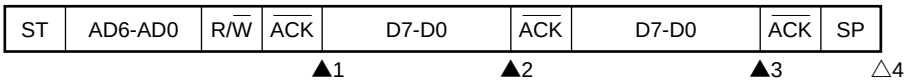
△　SPIE0 = 1のときだけ発生

×　任意

（2）スレーブ動作（スレーブ・アドレス受信時）

（a）Start～Address～Data～Data～Stop

（i）WTIM0 = 0のとき



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×000B

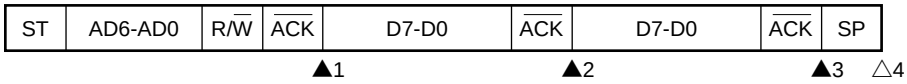
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×100B

▲3：IICS0 = 0001××00B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）Start～Address～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1	▲2					▲3	▲4	△5

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
				▲1		▲2				▲3	▲4	△5

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001××00B

△5：IICS0 = 00000001B

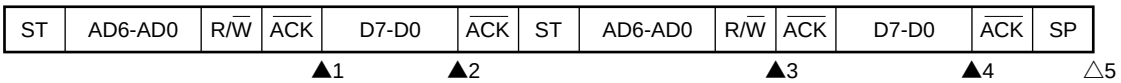
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Address～Data～Start～Code～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×000B

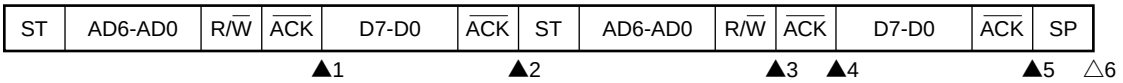
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード））



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×110B

▲5：IICS0 = 0010××00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（d）Start～Address～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001×000B

▲3：IICS0 = 00000×10B

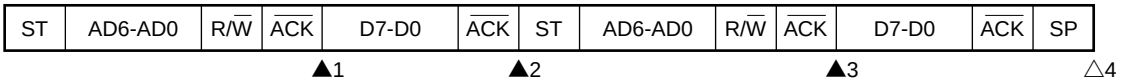
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））



▲1：IICS0 = 0001×110B

▲2：IICS0 = 0001××00B

▲3：IICS0 = 00000×10B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

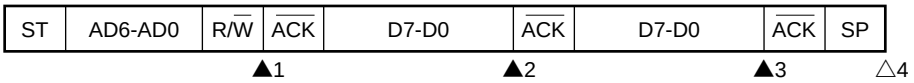
×　任意

（3）スレーブ動作（拡張コード受信時）

拡張コード受信時は，常に通信に参加しています

（a）Start～Code～Data～Data～Stop

（i）WTIM0 = 0のとき



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×000B

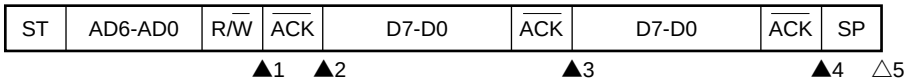
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010×100B

▲4：IICS0 = 0010××00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）Start～Code～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3	▲4	△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0001×110B

▲4：IICS0 = 0001×000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，SVA0一致）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3				▲4	▲5	△6

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 0001×110B

▲5：IICS0 = 0001××00B

△6：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）Start～Code～Data～Start～Code～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×010B

▲4：IICS0 = 0010×000B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，拡張コード受信）

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3			▲4	▲5	▲6	△7

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 0010×010B

▲5：IICS0 = 0010×110B

▲6：IICS0 = 0010××00B

△7：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（d）Start～Code～Data～Start～Address～Data～Stop

（i）WTIM0 = 0のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1		▲2					▲3		△4

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 00000×10B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき（リスタート後，アドレス不一致（拡張コード以外））

ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	ST	AD6-AD0	R/$\overline{W}$	$\overline{ACK}$	D7-D0	$\overline{ACK}$	SP
			▲1	▲2		▲3				▲4		△5

▲1：IICS0 = 0010×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010××00B

▲4：IICS0 = 00000×10B

△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（4）通信不参加の動作

（a）Start～Code～Data～Data～Stop

ST	AD6-AD0	R/$\overline{\text{W}}$	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
								△1

△1：IICS0 = 00000001B

備考　△　SPIE0 = 1のときだけ発生

（5）アービトレーション負けの動作（アービトレーション負けのあと，スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

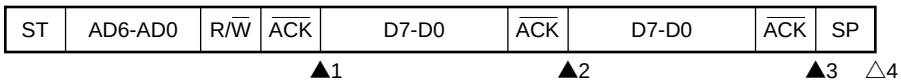
（i）WTIM0 = 0のとき

ST	AD6-AD0	R/$\overline{\text{W}}$	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	D7-D0	$\overline{\text{ACK}}$	SP
				▲1	▲2		▲3	△4

▲1：IICS0 = 0101×110B
▲2：IICS0 = 0001×000B
▲3：IICS0 = 0001×000B
△4：IICS0 = 00000001B

備考　▲　必ず発生
　　△　SPIE0 = 1のときだけ発生
　　×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0101×110B

▲2：IICS0 = 0001×100B

▲3：IICS0 = 0001××00B

△4：IICS0 = 00000001B

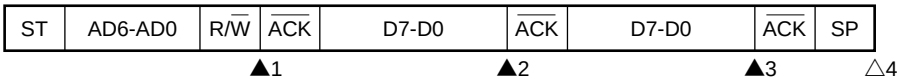
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（b）拡張コード送信中にアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 0110×010B

▲2：IICS0 = 0010×000B

▲3：IICS0 = 0010×000B

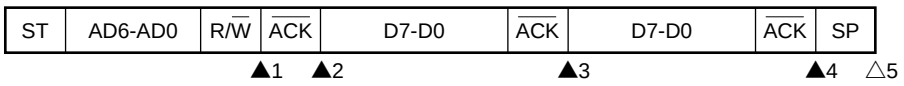
△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 0110×010B

▲2：IICS0 = 0010×110B

▲3：IICS0 = 0010×100B

▲4：IICS0 = 0010××00B

△5：IICS0 = 00000001B

備考　▲　必ず発生

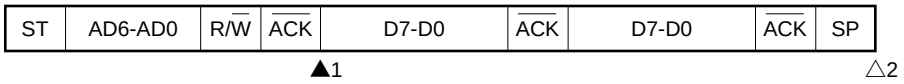
△　SPIE0 = 1のときだけ発生

×　任意

（6）アービトレーション負けの動作（アービトレーション負けのあと，不参加）

マルチマスタ・システムでマスタとして使用する場合は，INTIICA0割り込み要求信号の発生ごとにMSTS0ビットをリードし，アービトレーション結果を確認してください。

（a）スレーブ・アドレス・データ送信中にアービトレーションに負けた場合（WTIM0 = 1のとき）



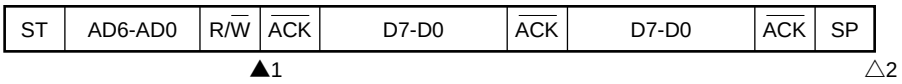
▲1：IICS0 = 01000110B

△2：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（b）拡張コード送信中にアービトレーションに負けた場合



▲1：IICS0 = 0110×010B

ソフトウエアでLREL0 = 1を設定

△2：IICS0 = 00000001B

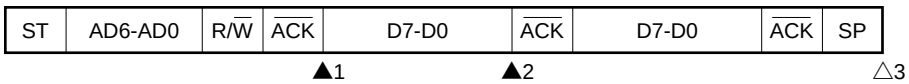
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（c）データ転送時にアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 10001110B

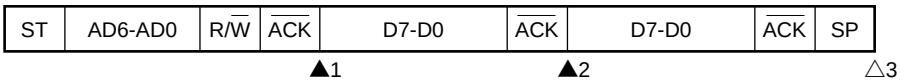
▲2：IICS0 = 01000000B

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（ii）WTIM0 = 1のとき



▲1：IICS0 = 10001110B

▲2：IICS0 = 01000100B

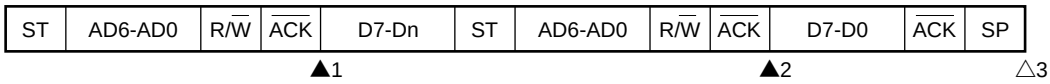
△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

（d）データ転送時にリスタート・コンディションで負けた場合

（i）拡張コード以外（例　SVA0不一致）



▲1：IICS0 = 1000×110B

▲2：IICS0 = 01000110B

△3：IICS0 = 00000001B

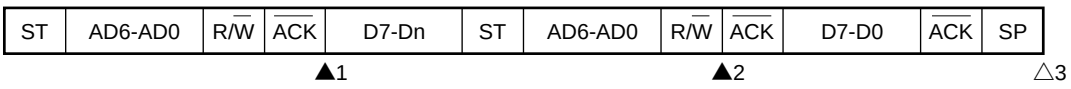
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

（ii）拡張コード



▲1：IICS0 = 1000×110B

▲2：IICS0 = 01100010B

ソフトウエアでLREL0 = 1を設定

△3：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

（e）データ転送時にストップ・コンディションで負けた場合

▲1：IICS0 = 10000110B

△2：IICS0 = 01000001B

備考　▲　必ず発生

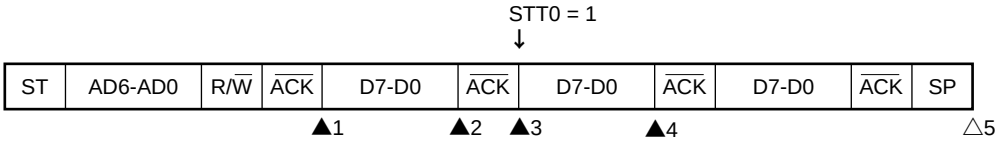
△　SPIE0 = 1のときだけ発生

×　任意

n = 6-0

（f）リスタート・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000×100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000000B

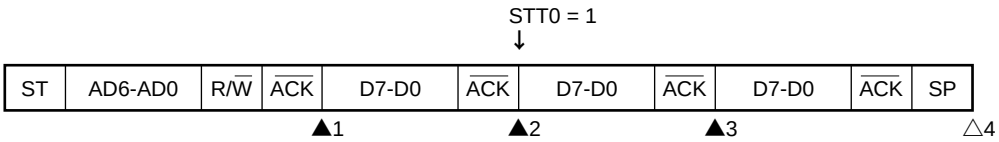
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B（STT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

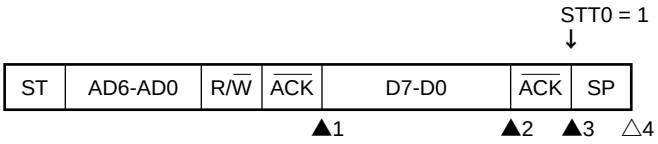
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（g）リスタート・コンディションを発生しようとして，ストップ・コンディションでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000××00B（STT0ビットをセット（1））

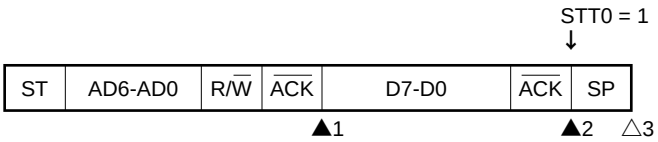
△4：IICS0 = 01000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000××00B（STT0ビットをセット（1））

△3：IICS0 = 01000001B

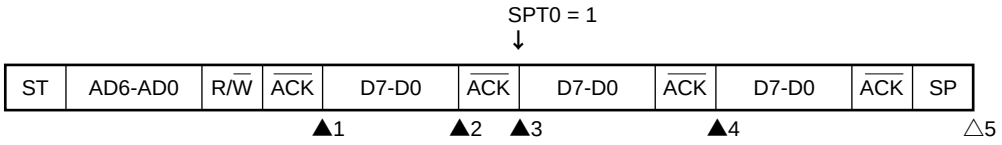
備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（h）ストップ・コンディションを発生しようとしたが，データがロウ・レベルでアービトレーションに負けた場合

（i）WTIM0 = 0のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×000B（WTIM0ビットをセット（1））

▲3：IICS0 = 1000×100B（WTIM0ビットをクリア（0））

▲4：IICS0 = 01000100B

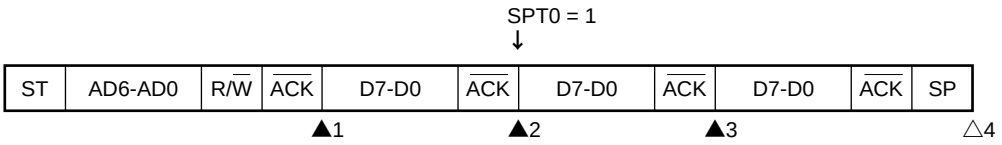
△5：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

（ii）WTIM0 = 1のとき



▲1：IICS0 = 1000×110B

▲2：IICS0 = 1000×100B（SPT0ビットをセット（1））

▲3：IICS0 = 01000100B

△4：IICS0 = 00000001B

備考　▲　必ず発生

△　SPIE0 = 1のときだけ発生

×　任意

13. 6　タイミング・チャート

I²Cバス・モードでは，マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは，スレーブ・アドレスの次にデータの転送方向を示すTRC0ビット（IICAステータス・レジスタ0（IICS0）のビット3）を送信し，スレーブとのシリアル通信を開始します。

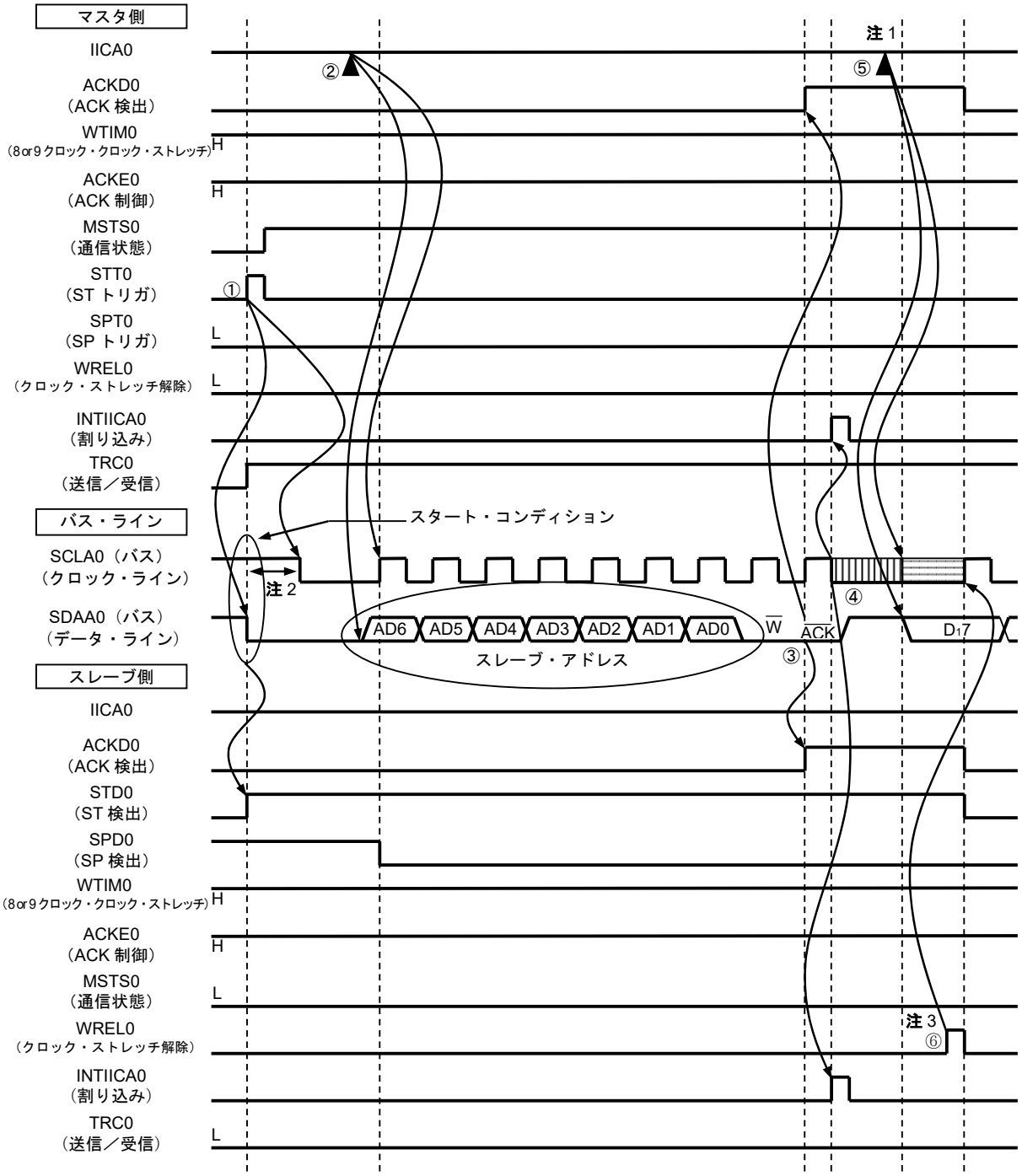
データ通信のタイミング・チャートを図13－32，図13－33に示します。

シリアル・クロック（SCLA0）の立ち下がりに同期してIICAシフト・レジスタ0（IICA0）のシフト動作が行われ，送信データがSOラッチに転送され，SDAA0端子からMSBファーストで出力されます。

また，SCLA0の立ち上がりでSDAA0端子に入力されたデータがIICA0に取り込まれます。

図13－32　マスタ→スレーブ通信例（マスタ : 9クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（1/4）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－32（1）スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋W（送信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合注，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブは，クロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します注。

⑤ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

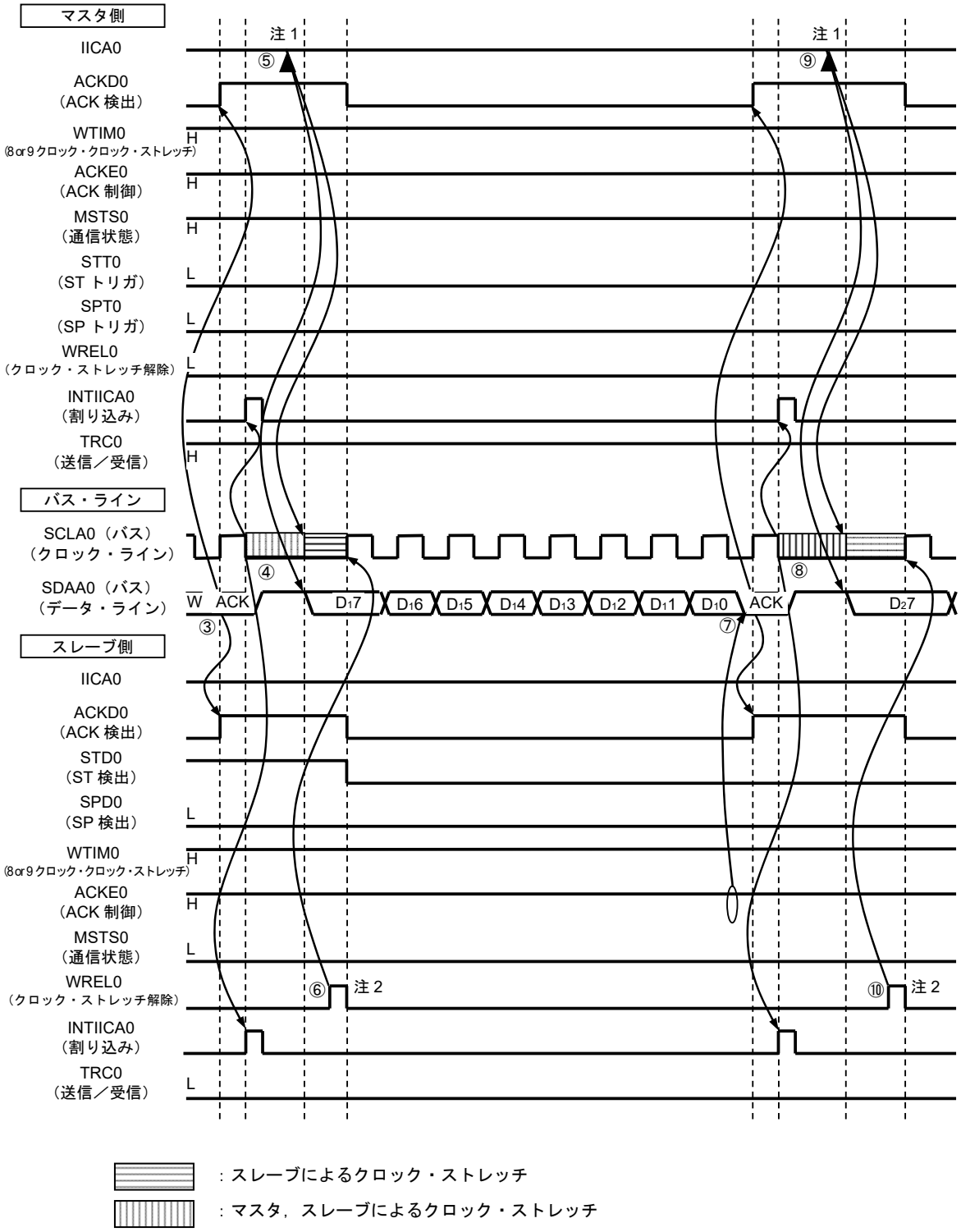
⑥ スレーブ側がクロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図13－32の①～⑮は，I^2Cバスによるデータ通信の一連の操作手順です。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－32（2）アドレス～データ～データでは手順③～⑩
図13－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図13－32　マスタ→スレーブ通信例（マスタ : 9クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（2/4）

（2）アドレス～データ～データ



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－32（2）アドレス～データ～データの③～⑩の説明を次に示します。

③ スレーブ側では，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合注，ハードウエアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します注。

⑤ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑥ スレーブ側がクロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑦ データ転送完了後，スレーブ側はACKE0 = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICA0レジスタに送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

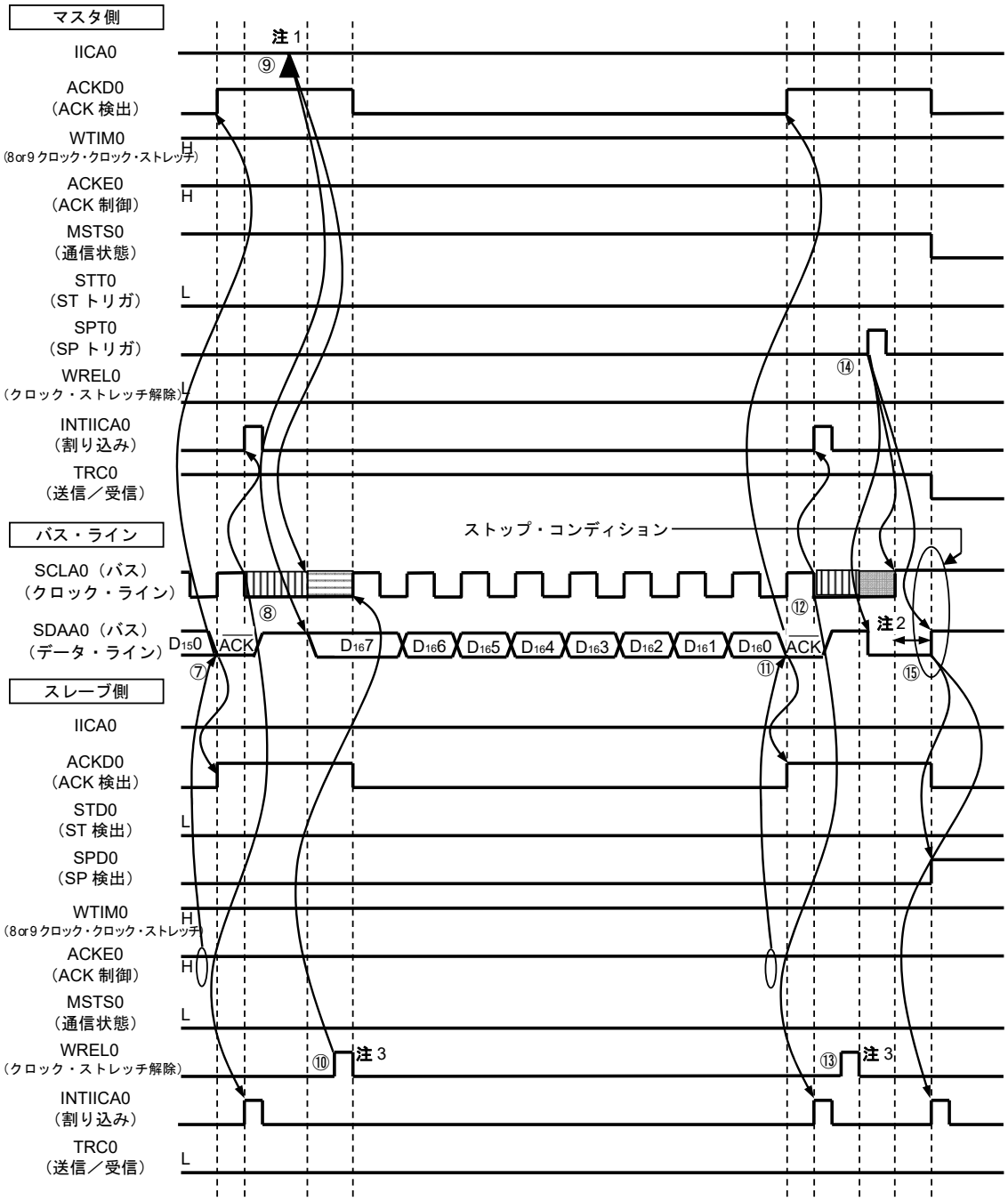
⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図13－32の①～⑮は，I²Cバスによるデータ通信の一連の操作手順です。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－32（2）アドレス～データ～データでは手順③～⑩
図13－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図13－32　マスタ→スレーブ通信例（マスタ : 9クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（3/4）

（3）データ～データ～ストップ・コンディション



注1.　マスタ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－32（3）データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

⑦ データ転送完了後，スレーブ側はACKE0 = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑨ マスタ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，マスタ側によるクロック・ストレッチを解除します。

⑩ スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）すると，マスタ側からスレーブ側にデータ転送を開始します。

⑪ データ転送完了後，スレーブ側（ACKE0 = 1）のハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑫ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑬ スレーブ側が受信データを読み出し，クロック・ストレッチを解除（WREL0 = 1）します。

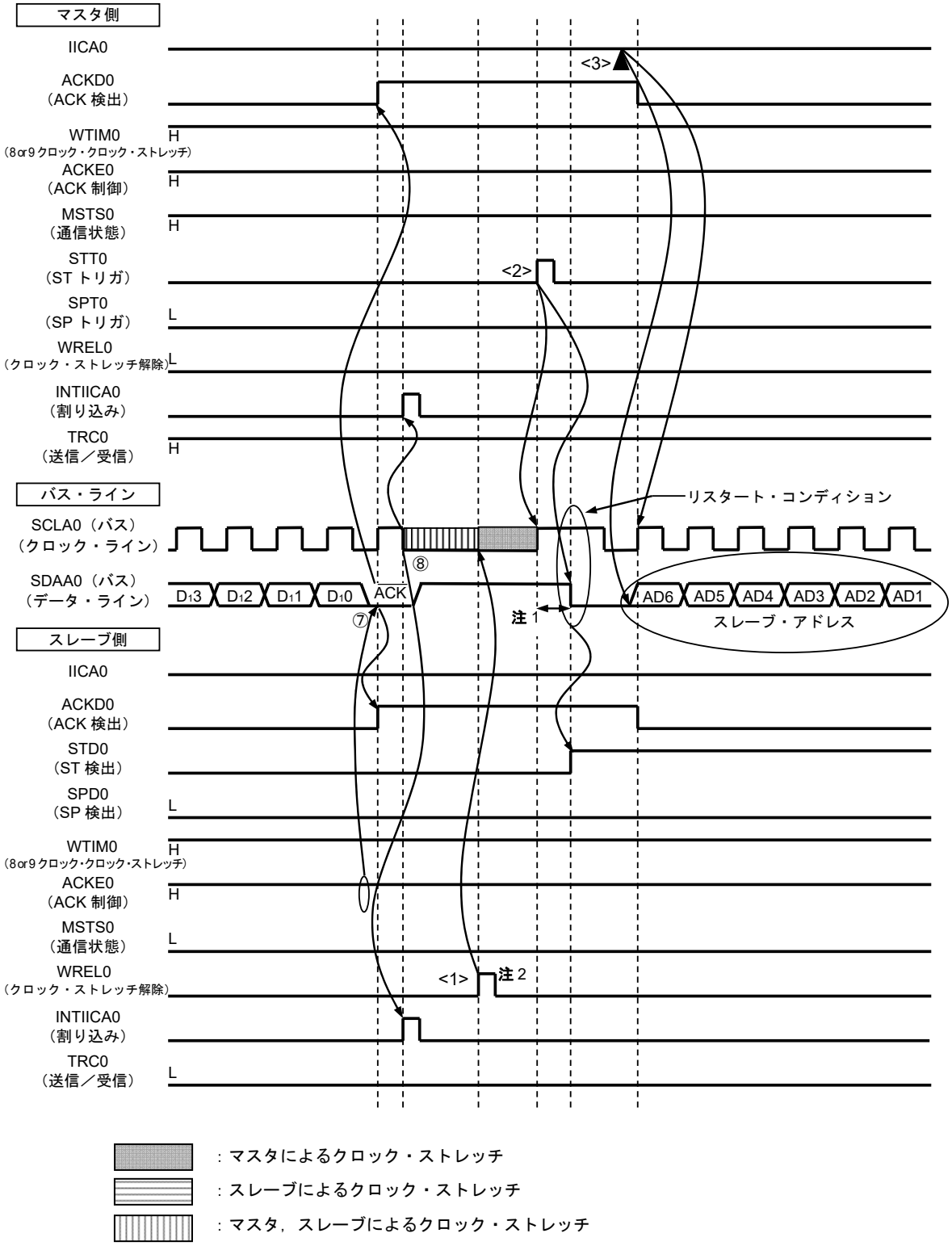
⑭ マスタ側でストップ・コンディション・トリガをセット（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，バス・クロック・ラインがセット（SCLA0 = 1）され，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインがセット（SDAA0 = 1）されることでストップ・コンディション（SCLA0 = 1でSDAA0 = 0→1）が生成されます。

⑮ ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図13－32の①～⑮は，I²Cバスによるデータ通信の一連の操作手順です。
図13－32（1）スタート・コンディション～アドレス～データでは手順①～⑥
図13－32（2）アドレス～データ～データでは手順③～⑩
図13－32（3）データ～データ～ストップ・コンディションでは手順⑦～⑮
について説明しています。

図13－32　マスタ→スレーブ通信例（マスタ：9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（4/4）

（4）データ～リスタート・コンディション～アドレス



注1.　リスタート・コンディションの発行後，SCLA0端子信号が立ち上がってからスタート・コンディションが生成される時間は，標準モード設定時は4.7 μs以上，ファースト・モード設定時は0.6 μs以上です。

2.　スレーブ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

図13－32 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦，⑧の動作後，<1>～<3>の動作を行います。それにより，手順③のデータの送信手順に戻ります。

⑦　データ転送完了後，スレーブ側はACKE0 = 1なのでハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

⑧　9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

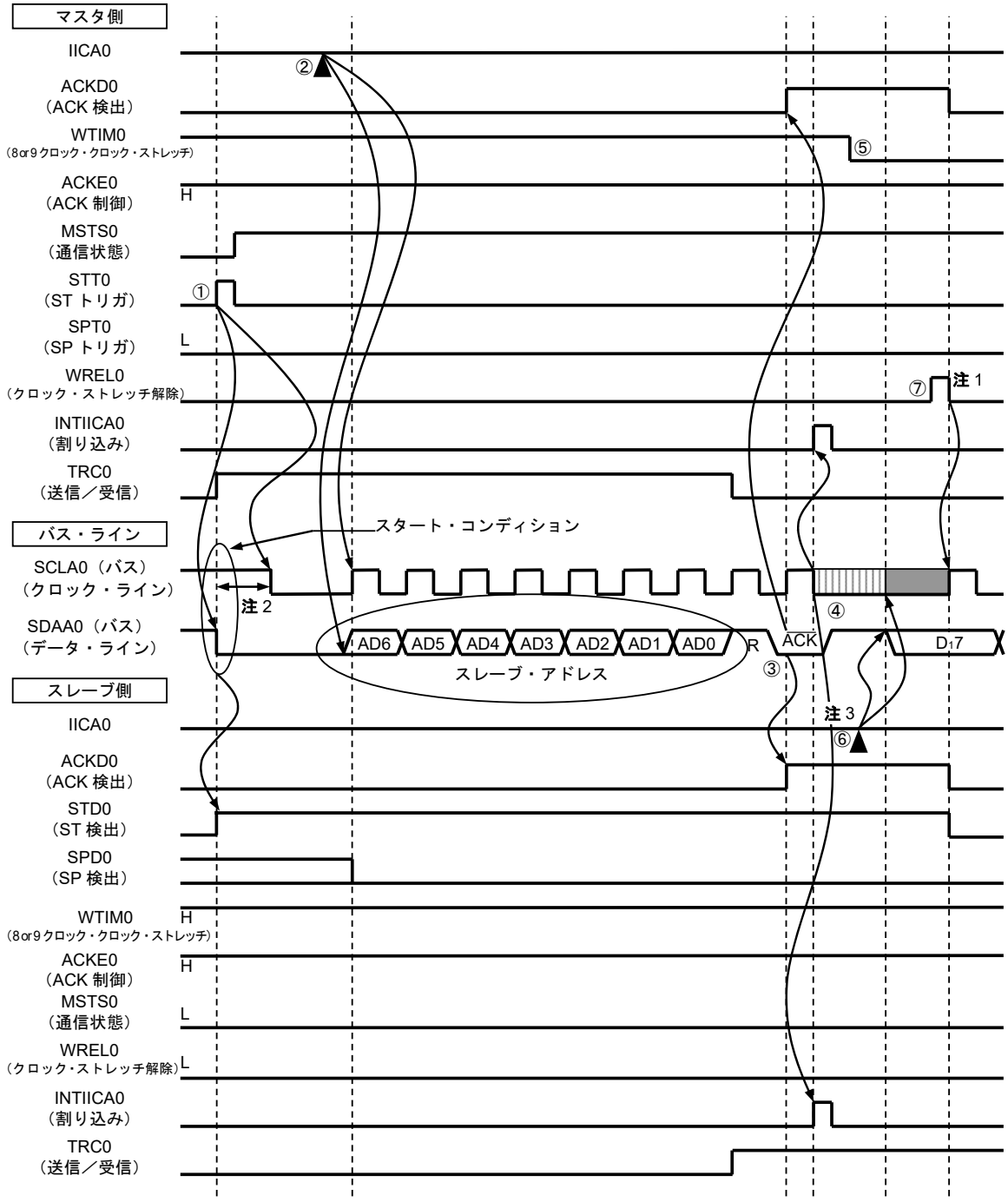
<1>　スレーブ側が受信データを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

<2>　マスタ側で再度スタート・コンディション・トリガがセット（STT0 = 1）されると，バス・クロック・ラインが立ち上がり（SCLA0 = 1），リスタート・コンディション・セットアップ時間後バス・データ・ライン（SDAA0 = 0）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

<3>　マスタ側がIICAシフト・レジスタ0（IICA0）にアドレス＋R/W（送信）を書き込むと，スレーブ・アドレスが送信されます。

図13－33　スレーブ→マスタ通信例（マスタ : 8クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（1/3）

（1）スタート・コンディション～アドレス～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　SDAA0端子信号が立ち下がってからSCLA0端子信号が立ち下がるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図13－33（1）スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

① マスタ側でスタート・コンディション・トリガがセット（STT0 = 1）されると，バス・データ・ライン（SDAA0）が立ち下がり，スタート・コンディション（SCLA0 = 1でSDAA0 = 1→0）が生成されます。その後，スタート・コンディションを検出すると，マスタ側はマスタ通信状態（MSTS0 = 1）となり，ホールド時間経過後，バス・クロック・ラインが立ち下がり（SCLA0 = 0），通信準備が完了となります。

② マスタ側でIICAシフト・レジスタ0（IICA0）にアドレス＋R（受信）が書き込まれると，スレーブ・アドレスが送信されます。

③ スレーブ側で，受信したアドレスと自局のアドレス（SVA0の値）が一致した場合注，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します注。

⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICA0レジスタに送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

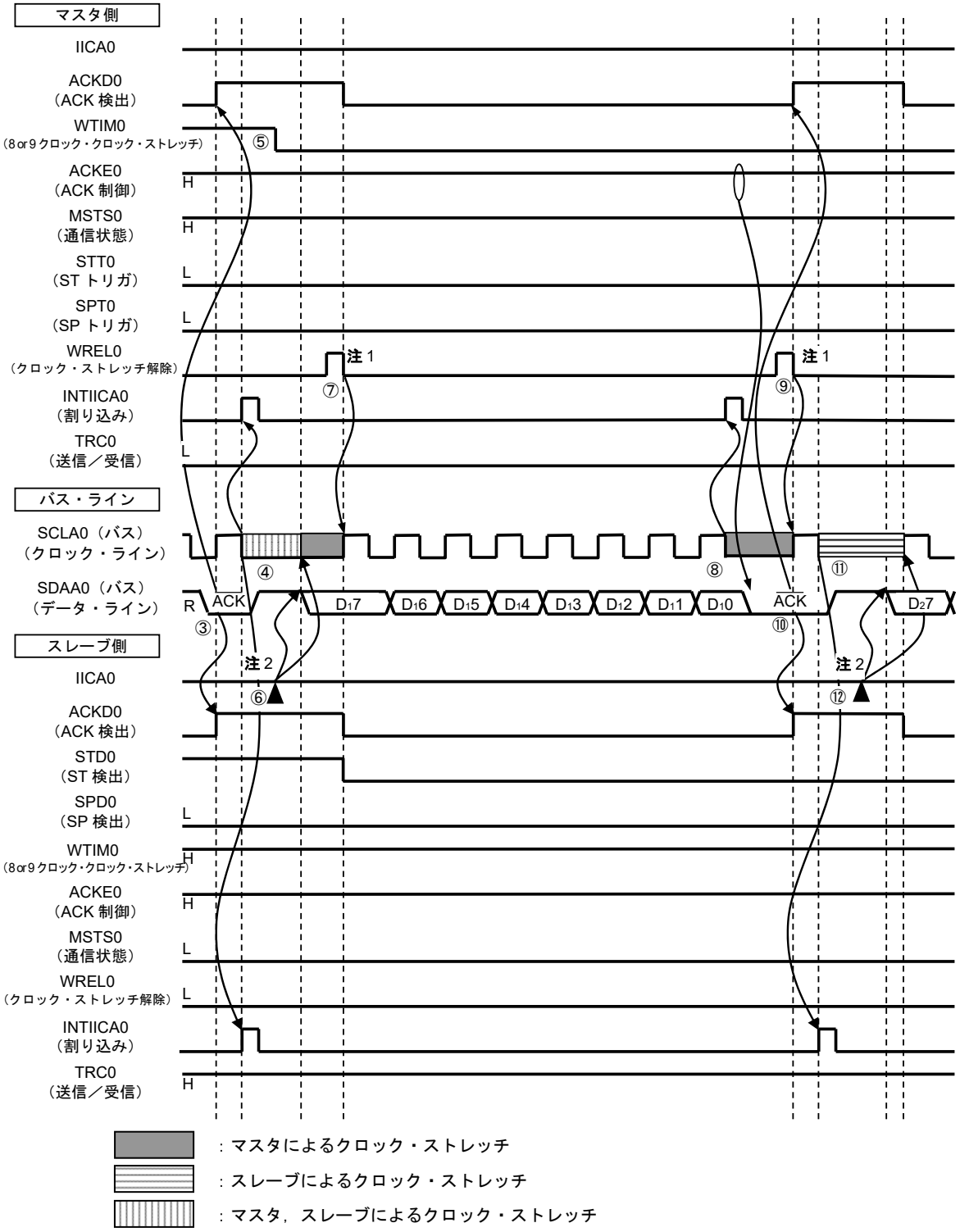
⑦ マスタ側がクロック・ストレッチを解除（WREL0 = 1）して，スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考　図13－33の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図13－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－33（2）アドレス～データ～データでは手順③～⑫
図13－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図13－33　スレーブ→マスタ通信例（マスタ : 8クロック，スレーブ : 9クロックでクロック・ストレッチ選択）（2/3）

（2）アドレス～データ～データ



注1.　マスタ側での受信時のクロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　スレーブ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

図13－33（2）アドレス～データ～データの③～⑫の説明を次に示します。

③ スレーブ側で，受信したアドレス自局のアドレス（SVA0の値）が一致した場合[注]，ハードウエアによりACKがマスタ側へ送信され，9クロック目の立ち上がり時に，マスタ側でACKが検出（ACKD0 = 1）されます。

④ 9クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：アドレス送信完了割り込み）が発生します。アドレスが一致したスレーブはクロック・ストレッチ（SCLA0 = 0）をかけ，割り込み（INTIICA0：アドレス一致割り込み）が発生します[注]。

⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目（WTIM0 = 0）に変更します。

⑥ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込み，スレーブ側によるクロック・ストレッチを解除します。

⑦ マスタ側がクロック・ストレッチを解除（WREL0 = 1）して，スレーブからのデータ転送を開始します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側ACKE0 = 1なのでハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

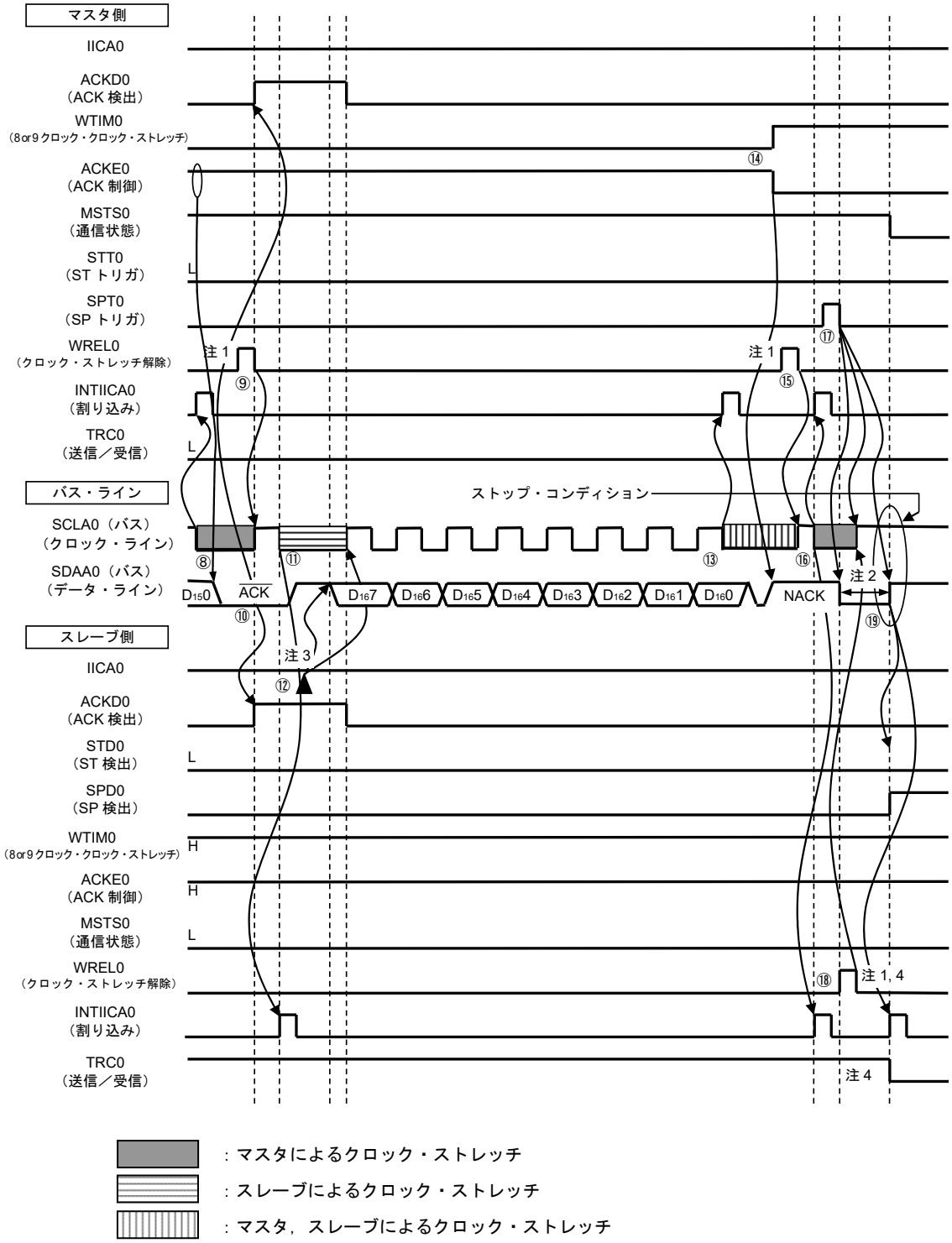
⑫ スレーブ側がIICA0レジスタに送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は，スレーブ側はACKをマスタ側へ返しません（NACK：SDAA0 = 1）。また，スレーブ側のINTIICA0割り込み（アドレス一致割り込み）は発生せず，スレーブ側のクロック・ストレッチもかかりません。
ただし，マスタ側はACK，NACKの両方に対して，INTIICA0割り込み（アドレス送信完了割り込み）が発生します。

備考 図13－33の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図13－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－33（2）アドレス～データ～データでは手順③～⑫
図13－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

図13－33　スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでクロック・ストレッチ選択）（3/3）

（3）データ～データ～ストップ・コンディション



注1.　クロック・ストレッチ解除は，IICA0←FFHまたはWREL0ビットのセットのどちらかで行ってください。

2.　ストップ・コンディションの発行後，SCLA0端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は，標準モード設定時は4.0 μs以上，ファースト・モード設定時は0.6 μs以上です。

3.　スレーブ側での送信時のクロック・ストレッチ解除は，WREL0ビットのセットではなく，IICA0へのデータ書き込みで行ってください。

4.　スレーブ側での送信時のクロック・ストレッチをWREL0ビットのセットで解除すると，TRC0ビットはクリアされます。

図13－33（3）データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

⑧ 8クロック目の立ち下がりで，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側はACKE0 = 0なので，ハードウエアによりACKがスレーブ側へ送信されます。

⑨ マスタ側は受信したデータを読み出して，クロック・ストレッチを解除（WREL0 = 1）します。

⑩ 9クロック目の立ち上がり時に，スレーブ側でACKが検出（ACKD0 = 1）されます。

⑪ 9クロック目の立ち下がりで，スレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，スレーブ側は割り込み（INTIICA0：転送完了割り込み）が発生します。

⑫ スレーブ側がIICAシフト・レジスタ0（IICA0）に送信データを書き込むと，スレーブ側によるクロック・ストレッチが解除され，スレーブ→マスタにデータ転送を開始します。

⑬ 8クロック目の立ち下がりで，マスタ側の割り込み（INTIICA0：転送完了割り込み）が発生し，マスタ側によるクロック・ストレッチ（SCLA0 = 0）がかかります。ACK制御（ACKE0 = 1）されているので，この段階でのバス・データ・ラインはロウ・レベル（SDAA0 = 0）となります。

⑭ マスタ側はNACK応答に設定（ACKE0 = 0）し，クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ（WTIM0 = 1）に変更します。

⑮ マスタ側がクロック・ストレッチを解除（WREL0 = 1）すると，スレーブ側は9クロック目の立ち上がりでNACKを検出（ACKD0 = 0）します。

⑯ 9クロック目の立ち下がりで，マスタ側とスレーブ側によるクロック・ストレッチ（SCLA0 = 0）がかかり，マスタ側，スレーブ側で割り込み（INTIICA0：転送完了割り込み）が発生します。

⑰ マスタ側でストップ・コンディション発行（SPT0 = 1）すると，バス・データ・ラインがクリア（SDAA0 = 0）され，マスタ側のクロック・ストレッチが解除されます。その後，マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されるまで待機します。

⑱ スレーブ側はNACKを確認して，送信を止めて通信を完了するためにクロック・ストレッチを解除（WREL0 = 1）します。スレーブによるクロック・ストレッチが解除されると，バス・クロック・ラインがセット（SCLA0 = 1）されます。

⑲ マスタ側はバス・クロック・ラインがセット（SCLA0 = 1）されたことを確認すると，ストップ・コンディション・セットアップ時間経過後，バス・データ・ラインをセット（SDAA0 = 1）してストップ・コンディション（SCLA0 = 1でSDAA0 = 0→1）を発行します。ストップ・コンディションが生成されると，スレーブ側でストップ・コンディションが検出され，スレーブ側で割り込み（INTIICA0：ストップ・コンディション割り込み）が発生します。

備考　図13－33の①～⑲は，I²Cバスによるデータ通信の一連の操作手順です。
図13－33（1）スタート・コンディション～アドレス～データでは手順①～⑦
図13－33（2）アドレス～データ～データでは手順③～⑫
図13－33（3）データ～データ～ストップ・コンディションでは手順⑧～⑲
について説明しています。

第14章　USB2.0ホスト／ファンクション・モジュール（USB）

USBポート／VBUS供給許可出力／オーバカレント検出入力の各端子の有無は，製品によって異なります。

	R5F10J製品	R5F10K製品
UDP0端子	○	○
UDM0端子	○	○
UV_{BUS}端子	○	○
UDP1端子	○	－
UDM1端子	○	－
UVBUSEN0端子	○	－
UVBUSEN1端子	○	－
UOVRCUR0端子	○	－
UOVRCUR1端子	○	－
UV_{DD}端子	○	○

14. 1　USB2.0ホスト／ファンクション・モジュールの機能

RL78/G1CはUSB（Universal Serial Bus）規格2.0に準拠したUSB2.0ホスト／ファンクション・モジュール（USBモジュール）を内蔵し，Full-speed（12 Mbps），Low-speed（1.5 Mbps）の転送速度に対応した，ホスト注／ファンクション機能が使用可能です。

USB Battery Charging Specification Revision 1.2に準拠したホスト注／ファンクション時のBattery Charging（以下BC）接続検知が可能です。

また，Apple社MFi仕様に定義されているUSB power supply component specification 2.1A/1.0A充電モードに対応したホスト注／ファンクションの接続検知が可能です。

表14－1にUSBモジュールの仕様を示します。

注　R5F10K製品には，ホスト機能は搭載されていません。

表14－1　USBモジュールの仕様

項　　目	内　　容
特長	・USB2.0に対応したUDC（USB Device Controller）およびトランシーバを内蔵 ・USBホスト・コントローラとファンクション・コントローラを内蔵 （ソフトウエアで切り替え可能） ・セルフパワー・モードおよびバスパワー・モードで動作可能
	ホスト・コントローラ機能選択時[注] - 2ポート搭載 - フル・スピード転送（12Mbps），ロウ・スピード（1.5Mbps）に対応 - SOF，パケット送信のスケジュールを自動化 - インタラプト転送の転送インターバル設定機能 - D+/D-端子プルダウン抵抗内蔵
	ファンクション・コントローラ機能選択時 - 1ポート搭載 - フル・スピード転送（12Mbps），ロウ・スピード（1.5Mbps）に対応 - コントロール転送ステージ管理機能 - デバイス・ステート管理機能 - SET_ADDRESSリクエストに対する自動応答機能 - SOF補間機能 - D+/D-端子プルアップ抵抗内蔵
通信データ転送タイプ	・コントロール転送 ・バルク転送 ・インタラプト転送
パイプ・コンフィグレーション	・USB通信用バッファ・メモリを448バイト内蔵 ・最大5本のパイプを選択可能（デフォルト・コントロール・パイプを含む） ・使用可能なパイプ番号は0, 4～7 ・パイプ4～7は任意のエンド・ポイント番号を割り付け可能
	各パイプの設定可能な転送条件は以下のとおりです。 ・パイプ0：コントロール転送専用のパイプ （デフォルト・コントロール・パイプ：DCP） バッファ・サイズは64バイト（シングル・バッファ） ・パイプ4, 5：バルク転送専用パイプ バッファ・サイズは64バイト（ダブル・バッファ指定可能） ・パイプ6, 7：インタラプト転送専用のパイプ バッファ・サイズは64バイト（シングル・バッファ）
その他の機能	・トランザクション・カウントによる受信トランスファ終了機能 ・BRDY割り込みイベント通知タイミング変更機能（BFRE） ・トランスファ終了による応答PIDのNAK設定機能（SHTNAK） ・DnFIFO（n = 0，1）ポートで指定したパイプのデータ読み出し後自動バッファ・メモリ・クリア機能（DCLRM） ・USB Battery Charging対応（USB Battery Charging Specification Revision 1.2） - ホスト（Charging Downstream Port，Dedicated Charging Port）・BC接続検知機能（2ポート）[注]に対応 - ファンクション（Portable Device）・BC接続検知機能（1ポート）に対応 ・Apple社MFi仕様に対応 - USB power supply component specification 2.1A/1.0A 充電モードに対応ホスト（2ポート）[注] - USB power supply component specification 2.1A/1.0A 充電モードに対応ファンクション（1ポート） ・Battery Charging接続検知オプション機能搭載 - USBポート電圧出力機能（4パターン） - USBポート電圧検知機能（16段階）

注　R5F10K製品には，ホスト機能は搭載されていません。

14. 2　USB2.0ホスト／ファンクション・モジュールの構成

USBモジュールは，次のハードウエアで構成されています。

・USBホスト／ファンクション・コントローラ[注1]

Full-speed(12Mbps），Low-speed(1.5Mbps）の転送速度に対応した，ホスト／ファンクション制御を実施します。

・USBトランシーバ

ホスト／ファンクション兼用 1ポート（USBポート0）[注1]，ホスト専用 1ポート（USBポート1）[注2]のUSBトランシーバです。

転送速度検出用のプルダウン抵抗（ホスト用）／プルアップ抵抗（ファンクション用）を内蔵しています。

USBトランシーバ用の電源（以下USB電源）として外部印加（UV_{DD}端子）もしくはUSB用内部電源を選択して使用できます。

・USB通信用バッファ・メモリとFIFO／メモリ制御部

最大5本のパイプを使用できます。また，パイプ4～7に対しては，通信を行う周辺デバイスやユーザ・システムに合わせた任意のエンド・ポイント番号の割り付けが可能です。

・Battery Charging検知／制御部

Battery Charging Specification Revision 1.2に準拠したホスト[注1]／ファンクション時におけるBC接続検知処理をします。

・各種レジスタ

各種の制御用レジスタ，モニタ用レジスタ，送受信データ用レジスタがあります。

表14－3を参照してください。

・各種端子

USBポート入出力端子　（UDP0, UDM0, UDP1[注2], UDM1[注2]）

VBUS入力端子（UV_{BUS}）

USBトランシーバ用電源端子（UV_{DD}）

VBUS供給制御出力端子（UVBUSEN0, UVBUSEN1）[注2]

オーバカレント検出入力端子（UOVRCUR0, UOVRCUR1）[注2]

詳細は表14－2を参照してください。

・その他

クロック制御部によってUSBモジュールで使用する各種クロックの動作／停止の制御や分周などを実施します。また，バスインターフェイス制御部によってCPU，DMAとUSBモジュールの各レジスタとの間のアクセス制御を実施します。

表14－2にUSBモジュールの入出力端子を，図14－1にUSBモジュールのブロック図を示します。

注1.　R5F10K製品には，ホスト機能は搭載されていません。

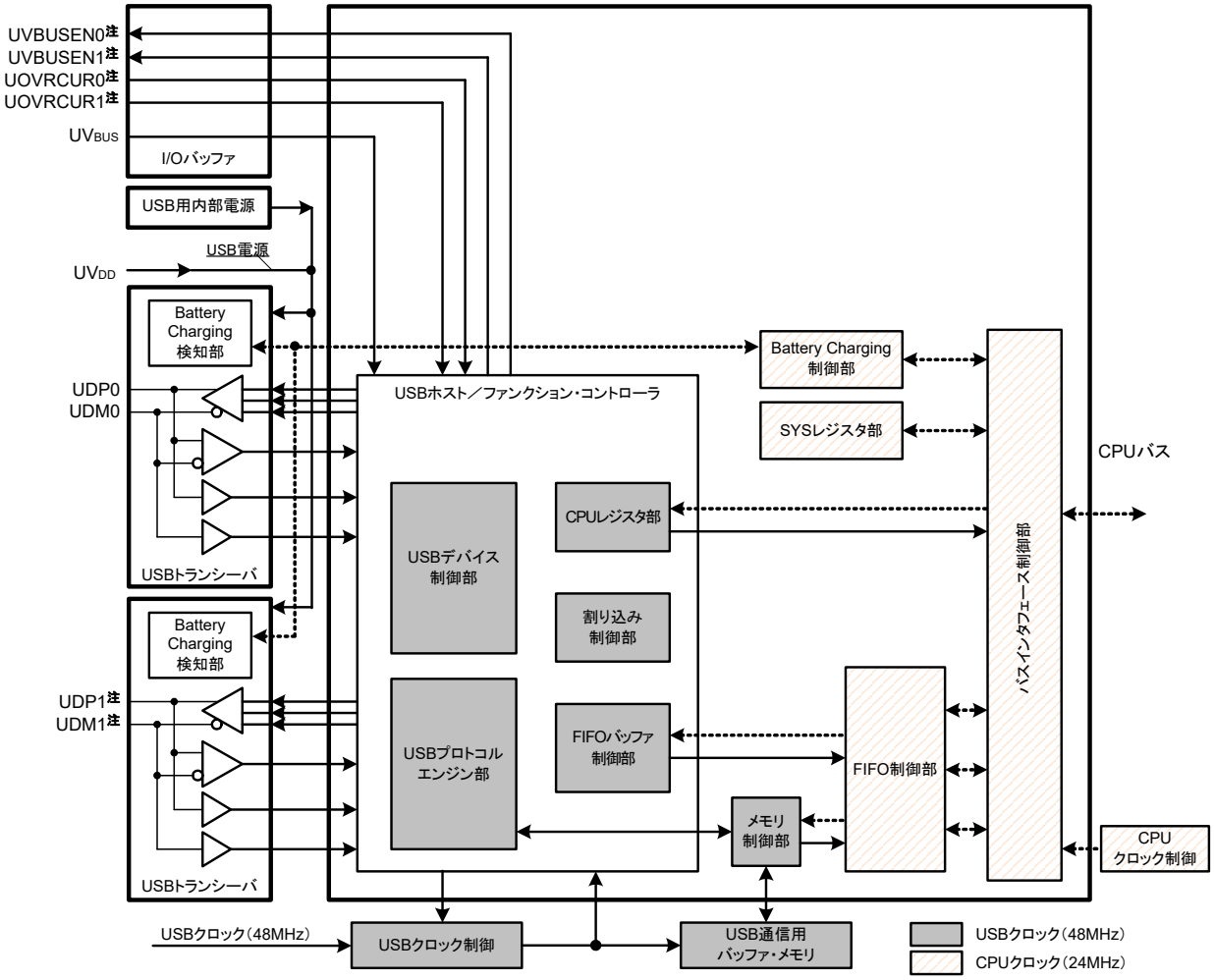
2.　R5F10K製品には搭載されていません。

表14－2　USBモジュールの入出力端子

端子名	入出力	機　　能
UDP0	入出力	USBポート0のD+入出力端子です。 USBバスのD+端子に接続してください。
UDM0	入出力	USBポート0のD-入出力端子です。 USBバスのD-端子に接続してください。
UV_{BUS}	入力	USBケーブル接続モニタ端子です。 USBバスのVBUSに接続してください。 ファンクション動作時のVBUSの接続/切断を検出することができます。
UDP1注	入出力	USBポート1のD+入出力端子です。 USBバスのD+端子に接続してください。
UDM1注	入出力	USBポート1のD-入出力端子です。 USBバスのD-端子に接続してください。
UVBUSEN0注	出力	USBポート0用の外部電源ICへのVBUS（5V）の供給許可信号です。
UVBUSEN1注	出力	USBポート1用の外部電源ICへのVBUS（5V）の供給許可信号です。
UOVRCUR0注	入力	USBポート0用の外部オーバカレント検出信号を接続します。
UOVRCUR1注	入力	USBポート1用の外部オーバカレント検出信号を接続します。
UV_{DD}	入出力	USBトランシーバ用の電源（USB電源）端子です。 外部の電源に接続するか，USB用内部電源を使用する場合はV_{SS}に対してコンデンサ（0.33 μFを）接続して使用してください。

注　R5F10K製品には搭載されていません。

図14－1　USBモジュールのブロック図



注　R5F10K製品には搭載されていません。

14．3　USB2.0ホスト／ファンクション・モジュールで使用するレジスタの説明

表14－3にUSBのレジスター覧を示します。

表14－3　USBのレジスター覧　（1/3）

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
システム・コンフィグレーション・コントロール・レジスタ	SYSCFG	0000H	F0400H，F0401H	16
システム・コンフィグレーション・コントロール・レジスタ1	SYSCFG1注	0000H	F0402H，F0403H	16
システム・コンフィグレーション・ステータス・レジスタ0	SYSSTS0	X00X0000 00X00000B	F0404H，F0405H	16
システム・コンフィグレーション・ステータス・レジスタ1	SYSSTS1注	X00X0000 00X00000B	F0406H，F0407H	16
デバイス・ステート・コントロール・レジスタ0	DVSTCTR0	0000H	F0408H，F0409H	16
デバイス・ステート・コントロール・レジスタ1	DVSTCTR1注	0000H	F040AH，F040BH	16
DMA0-FIFOピン・コンフィグレーション・レジスタ	DMA0PCFG	0000H	F0410H，F0411H	16
DMA1-FIFOピン・コンフィグレーション・レジスタ	DMA1PCFG	0000H	F0412H，F0413H	16
CFIFOポート・レジスタ	CFIFOM	0000H	F0414H，F0415H	8，16
D0FIFOポート・レジスタ	D0FIFOM	0000H	F0418H，F0419H	8，16
D1FIFOポート・レジスタ	D1FIFOM	0000H	F041CH，F041DH	8，16
CFIFOポート選択レジスタ	CFIFOSEL	0000H	F0420H，F0421H	16
CFIFOポート・コントロール・レジスタ	CFIFOCTR	0000H	F0422H，F0423H	16
D0FIFOポート選択レジスタ	D0FIFOSEL	0000H	F0428H，F0429H	16
D0FIFOポート・コントロール・レジスタ	D0FIFOCTR	0000H	F042AH，F042BH	16
D1FIFOポート選択レジスタ	D1FIFOSEL	0000H	F042CH，F042DH	16
D1FIFOポート・コントロール・レジスタ	D1FIFOCTR	0000H	F042EH，F042FH	16
割り込み許可レジスタ0	INTENB0	0000H	F0430H，F0431H	16
割り込み許可レジスタ1	INTENB1注	0000H	F0432H，F0433H	16
割り込み許可レジスタ2	INTENB2注	0000H	F0434H，F0435H	16
BRDY割り込み許可レジスタ	BRDYENB	0000H	F0436H，F0437H	16
NRDY割り込み許可レジスタ	NRDYENB	0000H	F0438H，F0439H	16
BEMP割り込み許可レジスタ	BEMPENB	0000H	F043AH，F043BH	16
SOF出力コンフィグレーション・レジスタ	SOFCFG	0000H	F043CH，F043DH	16
割り込みステータス・レジスタ0	INTSTS0	00000000 X0000000B	F0440H，F0441H	16
割り込みステータス・レジスタ1	INTSTS1注	XX0X0000 00000000B	F0442H，F0443H	16
割り込みステータス・レジスタ2	INTSTS2注	X00X0000 00000000B	F0444H，F0445H	16

注　SYSCFG1, SYSSTS1, DVSTCTR1, INTENB1, INTENB2, INTSTS1, INTSTS2レジスタは，以下の型名製品では使用できません。

型名：

R5F10KBCGNA/R5F10KBCGXXXNA, R5F10KBCANA/R5F10KBCAXXXNA

R5F10KGCGNA/R5F10KGCGXXXNA, R5F10KGCANA/R5F10KGCAXXXNA

R5F10KBCGFP/R5F10KBCGXXXFP, R5F10KBCAFP/R5F10KBCAXXXFP

R5F10KGCGFB/R5F10KGCGXXXFB, R5F10KGCAFB/R5F10KGCAXXXFB　　XXX：ROM番号

表14－3　USBのレジスター覧　（2/3）

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
BRDY割り込みステータス・レジスタ	BRDYSTS	0000H	F0446H，F0447H	16
NRDY割り込みステータス・レジスタ	NRDYSTS	0000H	F0448H，F0449H	16
BEMP割り込みステータス・レジスタ	BEMPSTS	0000H	F044AH，F044BH	16
フレーム・ナンバー・レジスタ	FRMNUM	0000H	F044CH，F044DH	16
USBアドレス・レジスタ	USBADDR	0000H	F0450H，F0451H	16
USBリクエスト・タイプ・レジスタ	USBREQ	0000H	F0454H，F0455H	16
USBリクエスト・バリュー・レジスタ	USBVAL	0000H	F0456H，F0457H	16
DMA転送用D0FIFOポート・レジスタ	D0FIFO	0000H	FFF58H，FFFF59H 注1	8，16
DMA転送用D1FIFOポート・レジスタ	D1FIFO	0000H	FFF5CH, FFFF5DH 注1	8，16
USBリクエスト・インデックス・レジスタ	USBINDX	0000H	F0458H，F0459H	16
USBリクエスト・レングス・レジスタ	USBLENG	0000H	F045AH，F045BH	16
DCPコンフィグレーション・レジスタ	DCPCFG	0000H	F045CH，F045DH	16
DCPマックス・パケット・サイズ・レジスタ	DCPMAXP	0040H	F045EH，F045FH	16
DCPコントロール・レジスタ	DCPCTR	0040H	F0460H，F0461H	16
パイプ・ウィンドウ選択レジスタ	PIPESEL	0000H	F0464H，F0465H	16
パイプ・コンフィグレーション・レジスタ	PIPECFG	0000H	F0468H，F0469H	16
パイプ・マックス・パケット・サイズ・レジスタ	PIPEMAXP	0000H/0040H 注2	F046CH，F046DH	16
パイプ周期制御レジスタ	PIPEPERI	0000H	F046EH，F046FH	16
パイプ4コントロール・レジスタ	PIPE4CTR	0000H	F0476H，F0477H	16
パイプ5コントロール・レジスタ	PIPE5CTR	0000H	F0478H，F0479H	16
パイプ6コントロール・レジスタ	PIPE6CTR	0000H	F047AH，F047BH	16
パイプ7コントロール・レジスタ	PIPE7CTR	0000H	F047CH，F047DH	16
パイプ4トランザクション・カウンタ・イネーブル・レジスタ	PIPE4TRE	0000H	F049CH，F049DH	16
パイプ4トランザクション・カウンタ・レジスタ	PIPE4TRN	0000H	F049EH，F049FH	16
パイプ5トランザクション・カウンタ・イネーブル・レジスタ	PIPE5TRE	0000H	F04A0H，F04A1H	16
パイプ5トランザクション・カウンタ・レジスタ	PIPE5TRN	0000H	F04A2H，F04A3H	16
BCコントロール・レジスタ0	USBBCCTRL0	0000H	F04B0H，F04B1H	16
BCコントロール・レジスタ1	USBBCCTRL1 注3	0000H	F04B4H，F04B5H	16
BCオプション・コントロール・レジスタ0	USBBCOPT0	0000H	F04B8H，F04B9H	16
BCオプション・コントロール・レジスタ1	USBBCOPT1 注3	0000H	F04BCH，F04BDH	16

注1.　DMA転送用は，特殊機能レジスタ（SFR）に配置されます。

2.　PIPESELレジスタのPIPESEL3～PIPESEL0ビットの設定により初期値が異なります。パイプを選択していないときは“0000H”，選択しているときは“0040H”になります。

3.　USBBCCTRL1, USBBCOPT1レジスタについては，以下の型名製品では使用できません。

型名：

R5F10KBCGNA/R5F10KBCGXXXNA, R5F10KBCANA/R5F10KBCAXXXNA

R5F10KGCGNA/R5F10KGCGXXXNA, R5F10KGCANA/R5F10KGCAXXXNA

R5F10KBCGFP/R5F10KBCGXXXFP, R5F10KBCAFP/R5F10KBCAXXXFP

R5F10KGCGFB/R5F10KGCGXXXFB, R5F10KGCAFB/R5F10KGCAXXXFB　　XXX：ROM番号

表14－3　USBのレジスター覧　（3/3）

レジスタ名	シンボル	リセット後の値	アドレス	アクセスサイズ
USBモジュール制御レジスタ	USBMC	0002H	F04CCH，F04CDH	16
デバイス・アドレス0コンフィグレーション・レジスタ	DEVADD0	0000H	F04D0H，F04D1H	16
デバイス・アドレス1コンフィグレーション・レジスタ	DEVADD1	0000H	F04D2H，F04D3H	16
デバイス・アドレス2コンフィグレーション・レジスタ	DEVADD2	0000H	F04D4H，F04D5H	16
デバイス・アドレス3コンフィグレーション・レジスタ	DEVADD3	0000H	F04D6H，F04D7H	16
デバイス・アドレス4コンフィグレーション・レジスタ	DEVADD4	0000H	F04D8H，F04D9H	16
デバイス・アドレス5コンフィグレーション・レジスタ	DEVADD5	0000H	F04DAH，F04DBH	16

表14－4　USBE = 0書き込みにより初期化されるレジスタ（ファンクション・コントローラ機能選択時）

レジスタ	シンボル	備考
SYSSTS0	LNST1，LNST0	ホスト・コントローラ機能選択時は値保持
SYSSTS1	LNST1，LNST0	ホスト・コントローラ機能選択時は値保持
DVSTCTR0	RHST2～RHST0	
DVSTCTR1	RHST2～RHST0	
INTSTS0	DVSQ2～DVSQ0	ホスト・コントローラ機能選択時は値保持
USBADDR	USBADDR	ホスト・コントローラ機能選択時は値保持
USBREQ	BREQUEST，BMREQUESTTYPE	ホスト・コントローラ機能選択時は値保持
USBVAL	WVALUE	ホスト・コントローラ機能選択時は値保持
USBINDX	WINDEX	ホスト・コントローラ機能選択時は値保持
USBLENG	WLENGTH	ホスト・コントローラ機能選択時は値保持

表14－5　USBE = 0書き込みにより初期化されるレジスタ（ホスト・コントローラ機能選択時）

レジスタ	シンボル	備考
DVSTCTR0	RHST2～RHST0	
DVSTCTR1	RHST2～RHST0	
FRMNUM	FRNM	ファンクション・コントローラ機能選択時は値保持

14. 3. 1　システム・コンフィグレーション・コントロール・レジスタ（SYSCFG）
システム・コンフィグレーション・コントロール・レジスタ1（SYSCFG1）

図14－2　システム・コンフィグレーション・コントロール・レジスタ（SYSCFG）のフォーマット

アドレス：F0400H，F0401H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYSCFG	－	－	－	－	－	SCKE	－	CNEN	－	DCFM 注1	DRPD	DPRPU	DMRPU	－	－	USBE

ビット15～11	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

SCKE	USBモジュール・クロック許可	R/W
0	USBモジュールへのクロック供給停止	R/W
1	USBモジュールへのクロック供給許可	
USBモジュールへの48 MHzクロック供給の停止／許可を指定します。SCKEビットに“1”を書き込んだあと，必ずSCKEビットを読み出し，“1”となっていることを確認してください。 SCKEビットが“0”の場合，SYSCFGレジスタ，SYSCFG1レジスタ，DMA0PCFGレジスタ，DMA1PCFGレジスタ，USBBCCTRL0レジスタ，USBBCCTRL1レジスタ，USBBCOPT0レジスタ，USBBCOPT1レジスタ，USBMCレジスタ以外のUSBモジュール内のレジスタの読み出し／書き込みはできません。		

ビット9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

CNEN	USBポート0用のシングル・エンド・レシーバ許可	R/W
0	シングル・エンド・レシーバ動作禁止	R/W
1	シングル・エンド・レシーバ動作許可	
シングル・エンド・レシーバの禁止/許可を指定します。 CNENビットに“1”を設定すると，USBモジュールはUSBポート0のシングル・エンド・レシーバを許可し，LNSTビットでD+/D-のステータスをモニタすることができます。 CNENビットは，Battery ChargingのPortable Device動作時のLNSTモニタするときに使用します。		

ビット7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DCFM注1	コントローラ機能選択	R/W
0	ファンクション・コントローラ機能を選択	R/W
1	ホスト・コントローラ機能を選択	
USBモジュールの機能を選択します。 DCFMビットの変更は，DPRPU = 0，DMRPU = 0かつDRPD = 0のときに行ってください。		

DRPD	USBポート0用のD+/D-ライン抵抗制御	R/W
0	プルダウン禁止	R/W
1	プルダウン許可	
ホスト・コントローラ機能選択時，USBポート0のD+/D-ラインのプルダウンの禁止/許可を指定します。 DRPDビットへの“1”書き込みは，ホスト・コントローラ機能選択時に行ってください。 ファンクション・コントローラ機能，ホスト・BC接続検知機能，ファンクション・BC接続検知機能選択時は，“0”にしてください。		

DPRPU	USBポート0用のD+ライン抵抗制御[注2]	R/W
0	プルアップ禁止	R/W
1	プルアップ許可	
ファンクション・コントローラ機能選択時，D+ラインのプルアップの禁止/許可を指定します。 ファンクション・コントローラ機能選択時にDPRPU = 1にすると，USBモジュールはUSBポート0のD+ラインをプルアップ許可し，USBホストに対してフル・スピード・デバイスとしてアタッチを通知することができます。また，DPRPUビットを“1”から“0”に変更することにより，USBモジュールはUSBポート0のD+ラインのプルアップを禁止にしますので，USBホストに対してデタッチしたと見せることができます。 DPRPUビットへの“1”書き込みは，ファンクション・コントローラ機能選択時に行ってください。ホスト・コントローラ機能，ホスト・BC接続検知機能，ファンクション・BC接続検知機能選択時は，“0”にしてください。		

DMRPU	USBポート0用のD-ライン抵抗制御[注2]	R/W
0	プルアップ禁止	R/W
1	プルアップ許可	
ファンクション・コントローラ機能選択時，D-ラインのプルアップの禁止/許可を指定します。 ファンクション・コントローラ機能選択時にDMRPUビットを“1”に設定すると，USBモジュールはUSBポート0のD-ラインをプルアップ許可し，USBホストに対してロウ・スピード・デバイスとしてアタッチを通知することができます。また，DMRPUビットを“1”から“0”に変更することにより，USBモジュールはUSBポート0のD-ラインのプルアップを禁止にするので，USBホストに対してデタッチしたと見せることができます。 DMRPUビットへの“1”書き込みは，ファンクション・コントローラ機能選択時に行ってください。ホスト・コントローラ機能，ホスト・BC接続検知機能，ファンクション・BC接続検知機能選択時は，“0”を設定してください。		

ビット2, 1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

USBE	USBモジュール動作許可	R/W
0	USBモジュール動作禁止	R/W
1	USBモジュール動作許可	
USBモジュールの動作禁止/許可を指定します。 USBEビットを“1”から“0”に変更したときに初期化されるレジスタとビットを表14－4と表14－5に示します。 USBEビットの変更は，SCKE = 1のときに行ってください。 ホスト・コントローラ機能選択時は，DRPD = 1設定後，LNSTビットのチャタリング除去を行い，USBバスの状態が安定したことを確認したあとで，USBE = 1にしてください。		

注1.　DCFMビットは，以下の型名製品では"0"のままご使用ください。また，書き込む際も"0"を書き込んでください。

型名：

R5F10KBCGNA/R5F10KBCGXXXNA, R5F10KBCANA/R5F10KBCAXXXNA,
R5F10KGCGNA/R5F10KGCGXXXNA, R5F10KGCANA/R5F10KGCAXXXNA,
R5F10KBCGFP/R5F10KBCGXXXFP, R5F10KBCAFP/R5F10KBCAXXXFP,
R5F10KGCGFB/R5F10KGCGXXXFB, R5F10KGCAFB/R5F10KGCAXXXFB　XXX：ROM番号

2.　DMRPUビットとDPRPUビットを同時に“1”（プルアップ許可）にすることは禁止です。

図14－3　システム・コンフィグレーション・コントロール・レジスタ1（SYSCFG1）のフォーマット

アドレス：F0402H，F0403H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYSCFG1	－	－	－	－	－	－	－	CNEN	－	－	DRPD	－	－	－	－	－

ビット15	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット14～9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

CNEN	USBポート1用のシングル・エンド・レシーバ許可	R/W
0	シングル・エンド・レシーバ動作禁止	R/W
1	シングル・エンド・レシーバ動作許可	
シングル・エンド・レシーバの禁止/許可を指定します。 CNENビットを“1”に設定すると，USBモジュールはUSBポート1のシングル・エンド・レシーバを許可し，LNSTビットでD+/D-のステータスをモニタすることができます。 CNENビットは，Battery Charging のPortable Device動作時のLNSTモニタするときに使用します。		

ビット7，6	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DRPD	USBポート1用のD+/D-ライン抵抗制御	R/W
0	プルダウン禁止	R/W
1	プルダウン許可	
ホスト・コントローラ機能選択時，USBポート1のD+/D-ラインのプルダウンの禁止/許可を指定します。 DRPDビットへの“1”書き込みは，ホスト・コントローラ機能選択時に行ってください。 ファンクション・コントローラ機能，ホスト・BC接続検知機能，ファンクション・BC接続検知機能選択時は，“0”を設定してください。		

ビット4～0	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

14. 3. 2　システム・コンフィグレーション・ステータス・レジスタn（SYSSTSn）（n = 0, 1）

図14－4　システム・コンフィグレーション・ステータス・レジスタn（SYSSTSn）のフォーマット（n = 0, 1）

アドレス：F0404H, F0405H（SYSSTS0）, F0406H, F0407H（SYSSTS1）　　リセット時：X00X0000 00X00000B

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SYSSTSn	OVCMON1	－	－	－	－	－	－	－	－	HTACT	－	－	－	－	LNST1	LNST0

OVCMON1	外部UOVRCURn入力端子モニタ注	R/W
外部電源ICからのオーバカレントのステータスが表示されます。 OVCMON1ビットにUOVRCURn端子の状態が表示されます。		R

ビット13	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット12	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は不定。	－

ビット11～7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

HTACT	USBポートn用のUSBホスト・シーケンサ・ステータス・モニタ	R/W
0	USBモジュールのホスト・シーケンサが完全に停止している。	R
1	USBモジュールのホスト・シーケンサが完全に停止していない。	
USBモジュールのホスト・シーケンサが完全に停止しているときに，HTACTビットに“0”を示します。 USBモジュールのクロックを停止させるときには，必ずHTACTビットが“0”であることを確認してください。		

ビット5	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は不定。	－

ビット4～2	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

LNST1	LNST0	USBポートn用のUSBデータ・ライン・ステータス・モニタ	R/W
0	0	SE0	R
0	1	J-State（フル・スピード）/K-State（ロウ・スピード）	
1	0	K-State（フル・スピード）/J-State（ロウ・スピード）	
1	1	SE1	
USBデータ・バス・ライン（D+ライン，D-ライン）のステータスが表示されます。 LNST1，LNST0ビットの参照は，プルダウン許可（DRPD = 1設定）以後に行ってください。			

注　読み出し値は，UOVRCURn端子の状態に依存します。

14. 3. 3　デバイス・ステート・コントロール・レジスタn（DVSTCTRn）（n = 0, 1）

図14－5　デバイス・ステート・コントロール・レジスタ0（DVSTCTR0）のフォーマット

アドレス：F0408H，F0409H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DVSTCTR0	－	－	－	－	－	－	VBUSEN注1	WKUP	RWUPE	USBRST	RESUME	UACT	－	RHST2	RHST1	RHST0

ビット15	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット14～12	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット11，10	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

VBUSEN注1	USBポート0用のUVBUSEN0出力端子制御ビット	R/W
VBUSENビット値がそのまま外部UVBUSEN0端子の状態として出力されます。		R/W

WKUP	USBポート0用のウェイク・アップ出力	R/W
0	リモート・ウェイク・アップ信号非出力	R/W 注2
1	リモート・ウェイク・アップ信号出力	
ファンクション・コントローラ機能選択時に，USBバス上へのリモート・ウェイク・アップ（レジューム信号出力）禁止/許可を指定します。 USBモジュールは，リモート・ウェイク・アップ信号の出力時間を管理しています。WKUPビットを“1”にすると，USBモジュールは10msのK-Stateを出力します。その後，WKUPビットを“0”にします。 USB規格では，リモート・ウェイク・アップ信号の送信までに最短5msのUSBバスアイドル状態を保持する必要があります。このため，USBモジュールは，サスペンド状態を検出した直後にWKUPビットに“1”を書き込んでも，2ms待ってからK-Stateを出力します。 WKUPビットへの“1”書き込みは，デバイス・ステートがサスペンド（INTSTS0レジスタのDVSQ2～DVSQ0ビット = “1xxB”）であり，かつUSBホストからリモート・ウェイク・アップが許可されている場合のみ行ってください。WKUPビットを“1”にする場合は，サスペンド中であっても内部クロックを停止しないでください。（SYSCFGレジスタのSCKE = 1の状態でWKUP = 1を書いてください。） ホスト・コントローラ機能選択時は，“0”を書いてください。		

RWUPE	USBポート0用のウェイク・アップ検出許可	R/W
0	ダウンポート・リモート・ウェイク・アップ出力禁止	R/W
1	ダウンポート・リモート・ウェイク・アップ許可	
ホスト・コントローラ機能選択時に，ダウンポートの周辺デバイスに対して，リモート・ウェイク・アップ（レジューム信号出力）の禁止/許可を指定します。 RWUPEビットを“1”にすると，リモート・ウェイク・アップ信号を検出した場合にダウンポートに対してレジューム信号（2.5μs間のK-State）を検出し，レジューム処理（K-Stateのドライブ）を行います。 RWUPEビットを“0”にした場合，USBモジュールがUSBポートに接続された周辺デバイスからのリモート・ウェイク・アップ信号（K-State）を検出しても無視します。 RWUPEビットを“1”にしたときには，サスペンド中であっても内部クロックを停止しないでください（SCKE = 1の状態にしてください）。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

USBRST	USBポート0用のUSBバス・リセット出力	R/W
0	USBバス・リセット信号非出力	R/W
1	USBバス・リセット信号出力	
ホスト・コントローラ機能選択時に，USBバス・リセット信号の出力制御を行います。 ホスト・コントローラ機能選択時，USBRSTビットを“1”にすると，USBモジュールはUSBポートのSE0ドライブを行い，USBバス・リセット処理を行います。 USBモジュールは，USBRST = 1の期間（ソフトウエアがUSBRST = 0を書き込むまで）SE0出力を継続します。USBRST = 1の期間（USBバス・リセット期間）はUSB Specification2.0に準拠した時間を確保してください。 通信中（UACT = 1）またはレジューム中（RESUME = 1）にUSBRSTビットに“1”を書き込んだ場合，USBモジュールはUACT = 0かつRESUME = 0の状態になるまでUSBバス・リセットを開始しません。 USBバス・リセット終了（USBRST = 0書き込み）と同時にUACTビットに“1”を書き込んでください。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

RESUME	USBポート0用のレジューム出力	R/W
0	レジューム信号非出力	R/W
1	レジューム信号出力	
ホスト・コントローラ機能選択時に，レジューム信号の出力制御を行います。 RESUMEビットを“1”にすると，USBモジュールはポートをK-Stateドライブし，レジューム出力を行います。 USBモジュールは，RESUME = 1の期間（ソフトウエアがRESUME = 0を書き込むまで）K-State出力を継続します。RESUME = 1の期間（レジューム期間）はUSB Specification2.0に準拠した時間を確保してください。 RESUMEビットへの“1”書き込みは，サスペンド中にのみ行ってください。 レジューム終了（RESUME = 0書き込み）と同時にUACTビットに“1”を書き込んでください。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

UACT	USBポート0用のUSBバス許可	R/W
0	ダウンポート動作禁止（SOF送出禁止）	R/W
1	ダウンポート動作許可（SOF送出許可）	
ホスト・コントローラ機能選択時に，USBバス動作許可（USBバス上へのSOFパケットの送出制御）を行います。 UACTビットを“1”にすると，USBモジュールはUSBポートをUSBバス許可状態にし，SOFパケット出力およびデータ送受信を行います。 ソフトウエアがUACT = 1を書いてから，1フレーム時間以内にSOFパケット出力を開始します。 UACTビットを“0”にした場合，USBモジュールはSOFパケット出力後アイドル状態に遷移します。 以下の場合に，USBモジュールはUACTビットを“0”にします。 ・ 通信中（UACT = 1のとき）にDTCH割り込みを検出した場合 ・ 通信中（UACT = 1のとき）にEOFERR割り込みを検出した場合 UACTビットに“1”を書くときは，USBバス・リセット処理終了時（USBRST = 0書き込み），または，サスペンドからのレジューム処理終了時（RESUME = 0書き込み）のいずれかのタイミングで行ってください。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

ビット3	予約ビット	R/W
－	何も配置されていない。書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

RHST2	RHST1	RHST0	USBポート0用のUSBバス・リセット・ステータス	R/W
・ ホスト・コントローラ機能選択時				R
0	0	0	通信速度不定（パワード時あるいは非接続時）	
1	x	x	USBバス・リセット処理中	
0	0	1	ロウ・スピード接続時	
0	1	0	フル・スピード接続時	
・ ファンクション・コントローラ機能選択時				
0	0	0	通信速度不定	
0	1	0	USBバス・リセット処理中	
0	0	1	ロウ・スピード接続時	
0	1	0	フル・スピード接続時	
USBバス・リセットの状態を表示します。 ホスト・コントローラ機能選択時に，ソフトウエアでUSBRST = 1を書いたあと，RHST[2:0]ビットは“100B”を示します。 ソフトウエアがUSBRST = 0を書き，USBモジュールがSE0ドライブを終了した時点で，RHST[2:0]ビットの値を確定します。 ファンクション・コントローラ機能選択時に，USBモジュールがUSBバス・リセットを検出すると，RHST[2:0]ビットは“010B”を示し，DVST割り込みが発生します。				

注 1.　VBUSENビットは，以下の型名製品では"0"のままご使用ください。また，書き込む際も"0"を書き込んでください。

型名：

R5F10KBCGNA/R5F10KBCGXXXNA, R5F10KBCANA/R5F10KBCAXXXNA,
R5F10KGCGNA/R5F10KGCGXXXNA, R5F10KGCANA/R5F10KGCAXXXNA,
R5F10KBCGFP/R5F10KBCGXXXFP, R5F10KBCAFP/R5F10KBCAXXXFP,
R5F10KGCGFB/R5F10KGCGXXXFB, R5F10KGCAFB/R5F10KGCAXXXFB　XXX：ROM番号

2.　“1”のみ書けます。

備考　x = Don’t care

図14－6　デバイス・ステート・コントロール・レジスタ1（DVSTCTR1）のフォーマット

アドレス：F040AH，F040BH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DVSTCTR1	－	－	－	－	－	－	VBUSEN	－	RWUPE	USBRST	RESUME	UACT	－	RHST2	RHST1	RHST0

ビット15，14	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット13	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット12～10	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

VBUSEN	USBポート1用のUVBUSEN1出力端子制御	R/W
VBUSENビット値がそのまま外部UVBUSEN1端子の状態として出力されます。		R/W

ビット8	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

RWUPE	USBポート1用のウェイク・アップ検出許可	R/W
0	ダウンポート・リモート・ウェイク・アップ出力禁止	R/W
1	ダウンポート・リモート・ウェイク・アップ許可	
ホスト・コントローラ機能選択時に，ダウンポートの周辺デバイスに対して，リモート・ウェイク・アップ（レジューム信号出力）の禁止/許可を指定します。 RWUPEビットを“1”にすると，リモート・ウェイク・アップ信号を検出した場合にダウンポートに対してレジューム信号（2.5μs間のK-State）を検出し，レジューム処理（K-Stateのドライブ）を行います。 RWUPEビットを“0”にした場合，USBモジュールがUSBポートに接続された周辺デバイスからのリモート・ウェイク・アップ信号（K-State）を検出しても無視します。 RWUPEビットを“1”にしたときには，サスペンド中であっても内部クロックを停止しないでください（SCKE = 1の状態にしてください）。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

USBRST	USBポート1用のUSBバス・リセット出力	R/W
0	USBバス・リセット信号非出力	R/W
1	USBバス・リセット信号出力	
ホスト・コントローラ機能選択時に，USBバス・リセット信号の出力制御を行います。 ホスト・コントローラ機能選択時，USBRSTビットを“1”にすると，USBモジュールはUSBポートのSE0ドライブを行い，USBバス・リセット処理を行います。 USBモジュールは，USBRST = 1の期間（ソフトウエアがUSBRST = 0を書き込むまで）SE0出力を継続します。USBRST = 1の期間（USBバス・リセット期間）はUSB Specification2.0に準拠した時間を確保してください。 通信中（UACT = 1）またはレジューム中（RESUME = 1）にUSBRSTビットに“1”を書き込んだ場合，USBモジュールはUACT = 0かつRESUME = 0の状態になるまでUSBバス・リセットを開始しません。 USBバス・リセット終了（USBRSTビット=“0”書き込み）と同時にUACTビットに“1”を書き込んでください。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

RESUME	USBポート1用のレジューム出力	R/W
0	レジューム信号非出力	R/W
1	レジューム信号出力	
ホスト・コントローラ機能選択時に，レジューム信号の出力制御を行います。 RESUMEビットを“1”にすると，USBモジュールはポートをK-Stateドライブし，レジューム出力を行います。 USBモジュールは，RESUME = 1の期間（ソフトウエアがRESUME = 0を書き込むまで）K-State出力を継続します。RESUME = 1の期間（レジューム期間）はUSB Specification2.0に準拠した時間を確保してください。 RESUMEビットへの“1”書き込みは，サスペンド中にのみ行ってください。 レジューム終了（RESUME = 0書き込み）と同時にUACTビットに“1”を書き込んでください。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

UACT	USBポート1用のUSBバス許可	R/W
0	ダウンポート動作禁止（SOF送出禁止）	R/W
1	ダウンポート動作許可（SOF送出許可）	
ホスト・コントローラ機能選択時に，USBバス動作許可（USBバス上へのSOFパケットの送出制御）を行います。 UACTビットを“1”にすると，USBモジュールはUSBポートをUSBバス許可状態にし，SOFパケット出力およびデータ送受信を行います。 ソフトウエアがUACT = 1を書いてから，1フレーム時間以内にSOFパケット出力を開始します。 UACTビットを“0”にした場合，USBモジュールはSOFパケット出力後アイドル状態に遷移します。 以下の場合に，USBモジュールはUACTビットを“0”にします。 ・ 通信中（UACT = 1のとき）にDTCH割り込みを検出した場合 ・ 通信中（UACT = 1のとき）にEOFERR割り込みを検出した場合 UACTビットに“1”を書くときは，USBバス・リセット処理終了時（USBRST = 0書き込み），または，サスペンドからのレジューム処理終了時（RESUME = 0書き込み）のいずれかのタイミングで行ってください。 ファンクション・コントローラ機能選択時は，“0”にしてください。		

ビット3	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

RHST2	RHST1	RHST0	USBポート1用のUSBバス・リセット・ステータス	R/W
・ホスト・コントローラ機能選択時				R
0	0	0	通信速度不定（パワード時あるいは非接続時）	
1	x	x	USBバス・リセット処理中	
0	0	1	ロウ・スピード接続時	
0	1	0	フル・スピード接続時	
ファンクション・コントローラ機能選択時は，“000B”を示します。 ホスト・コントローラ機能選択時のUSBバス・リセットの状態を表示します。 ホスト・コントローラ機能選択時に，ソフトウエアでUSBRST = 1を書いたあと，RHST[2:0]ビットは“100B”を示します。 ソフトウエアがUSBRST = 0を書き，USBモジュールがSE0ドライブを終了した時点で，USBはRHST[2:0]ビットの値を確定します。				

備考　x = Don’t care

14. 3. 4　DMAn-FIFOピン・コンフィグレーション・レジスタ（DMAnPCFG）（n = 0, 1）

図14－7　DMAn-FIFOピン・コンフィグレーション・レジスタ（DMAnPCFG）のフォーマット（n = 0, 1）

アドレス：F0410H, F0411H（DMA0PCFG）, F0412H, F0413H（DMA1PCFG）　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMAnPCFG	－	－	－	－	－	－	－	DnFWRENDE	－	－	－	－	－	－	－	－

ビット15～9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DnFWRENDE	DMAn-FIFOポート・ライト・エンド・イネーブル	R/W
0	不許可	R/W
1	許可	
DMACからの終了信号の許可/不許可を設定します。		

ビット7～0	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

14. 3. 5　CFIFOポート・レジスタ（CFIFOM）
DnFIFOポート・レジスタ（DnFIFOM）（n = 0, 1）

図14－8　CFIFOポート・レジスタ（CFIFOM）のフォーマット

アドレス：F0414H，F0415H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFIFOM	CFIFO[15:0]															

CFIFO[15:0]	CFIFOポート	R/W
	CFIFOビットにアクセスすることにより，FIFOバッファからの受信データを読み出し，もしくはFIFOバッファへの送信データの書き込みを行います。 CFIFOポート・レジスタへのアクセスは，CFIFOポート・コントロール・レジスタ（CFIFOCTR）のFRDYビットが“1”を示しているときのみ可能です。 CFIFOポート・レジスタの有効ビットは，ポート選択レジスタのMBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを表14－6，表14－7に示します。	R/W

注意1.　DMA転送によるFIFOバッファ・アクセスはできません。

2.　FIFOポート固有の機能を使用する場合は，CURPIPEビットに設定するパイプ番号（選択パイプ）を変更できません。

3.　同一パイプを別々のFIFOポートに割り当てないでください。

4.　FIFOバッファの状況には，アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。FIFOバッファのアクセス権がSIE側にある場合は，CPUからアクセスできません。

表14－6　16ビットアクセス時のエンディアン動作表

CFIFOポート・レジスタ， DnFIFOポート・レジスタのBIGENDビット	ビット15～8	ビット7～0
0	N+1データ	N+0データ
1	N+0データ	N+1データ

表14－7　8ビットアクセス時のエンディアン動作表

CFIFOポート・レジスタ， DnFIFOポート・レジスタのBIGENDビット	ビット15～8	ビット7～0
0	アクセス禁止	N+0データ
1	アクセス禁止	N+0データ

図14－9　DnFIFOポート・レジスタ（DnFIFOM）のフォーマット（n = 0, 1）

アドレス：F0418H, F0419H（D0FIFOM）, F041CH, F041DH （D1FIFOM）　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DnFIFOM	DnFIFO[15:0]															

DnFIFO[15:0]	FIFOポート	R/W
	DnFIFOポートをCPU転送で行う場合のアドレスです。 DnFIFOビットにアクセスすることにより，FIFOバッファからの受信データを読み出し，もしくはFIFOバッファへの送信データの書き込みを行います。 DnFIFOポート・レジスタへのアクセスは，DnFIFOポート・コントロール・レジスタ（DnFIFOCTR）のFRDYビットが“1”を示しているときのみ可能です。 DnFIFOポート・レジスタの有効ビットは，ポート選択レジスタのMBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを表14－6，表14－7に示します。	R/W

注意1.　DCP用FIFOバッファへのアクセスはできません。また，DMA転送用アドレスには使用できません。

2.　FIFOポート固有の機能を使用する場合は，CURPIPEビットに設定するパイプ番号（選択パイプ）を変更できません。

3.　同一パイプを別々のFIFOポートに割り当てないでください。

4.　FIFOバッファの状況には，アクセス権がCPU側にある場合とSIE側にある場合の2種類があります。FIFOバッファのアクセス権がSIE側にある場合は，CPUからアクセスできません。

14. 3. 6　DMA転送用DnFIFOポート・レジスタ（DnFIFO）（n = 0, 1）

図14－10　DMA転送用DnFIFOポート・レジスタ（DnFIFO）のフォーマット（n = 0, 1）

アドレス：FFF58H, FFF59H（D0FIFO）, FFF5CH, FFF5DH（D1FIFO）　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DnFIFO	DnFIFO[15:0]															

DnFIFO[15:0]	DMA転送用DnFIFOポート	R/W
DnFIFOポートをDMA転送で行う場合のアドレスです。 DMA転送用DnFIFOポート・レジスタの有効ビットは，ポート選択レジスタのMBWビットの設定値およびBIGENDビットの設定値により異なります。有効ビットを表14－6，表14－7に示します。		R/W

注意1.　CPUによる本レジスタへのアクセスは禁止です。

2.　FIFOポート固有の機能を使用する場合は，CURPIPEビットに設定するパイプ番号（選択パイプ）を変更できません。

3.　同一パイプを別々のFIFOポートに割り当てないでください。

14. 3. 7　CFIFOポート選択レジスタ（CFIFOSEL）
DnFIFOポート選択レジスタ（DnFIFOSEL）（n = 0, 1）

図14－11　CFIFOポート選択レジスタ（CFIFOSEL）のフォーマット

アドレス：F0420H，F0421H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFIFOSEL	RCNT	REW	－	－	－	MBW	－	BIGEND	－	－	ISEL	－	CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0

RCNT	リードカウントモード	R/W
0	CFIFOの全受信データ読み出し終了時にDTLNビットを“0”ライト（ダブル・バッファの場合は一面のみ読み出し終了時）	R/W
1	CFIFO受信データ読み出しごとにDTLNビットをカウントダウン	
CFIFOCTRレジスタのDTLN[8:0]ビットの読み出しモードを指定します。		

REW	バッファ・ポインタ・リワインド	R/W
0	無効（バッファ・ポインタ・リワインドしない）	R/W 注1
1	バッファ・ポインタ・リワインドする	
バッファ・ポインタのリワインドをする/しないを指定します。 選択パイプが受信方向の場合に，FIFOバッファの読み出し中にREWビットを“1”にすると，FIFOバッファの最初のデータから読み出しを行うことができます（ダブル・バッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。 REWビットを“1”にすることとCURPIPE3～CURPIPE0ビットの設定変更を同時に行わないでください。 REWビットを“1”にするときは，FRDYビットが“1”であることを確認してから行ってください。 送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は，BCLRビットを使用してください。		

ビット13～11	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

MBW	CFIFOポート・アクセス幅	R/W
0	8ビット幅	R/W
1	16ビット幅	
CFIFOポートへのアクセス・ビット幅を指定します。 選択パイプが受信方向の場合，MBWビットの設定後読み出しを開始したときには，すべてのデータの読み出しが完了するまでMBWビットの変更を行わないでください。 また選択パイプが受信方向の場合，CURPIPE3～CURPIPE0ビットとMBWビットを同時に設定してください。読み出しデータ・サイズが奇数バイトで16ビット幅設定の場合にはワード読み出し後に不要バイトを削除してください。 選択パイプが送信方向の場合，バッファ・メモリへの書き込み処理実行中に8ビット幅から16ビット幅へのビット幅切り替えは行えません。 16ビット幅の設定でも，バイト・アクセス制御することにより，奇数バイトの書き込みは可能です。		

ビット9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

BIGEND	CFIFOポート・エンディアン制御	R/W
0	リトル・エンディアン	R/W
1	ビッグ・エンディアン	
CFIFOポートのバイト・エンディアンを指定します。		

ビット7，6	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ISEL	DCP選択時のCFIFOポート・アクセス方向	R/W
0	バッファ・メモリ読み出し選択	R/W
1	バッファ・メモリ書き込み選択	
選択パイプがDCPのときに，ISELビットを変更するときは，ISELビットへの書き込み後，読み出しを行い，書き込み値と読み出し値が一致することを確認してから，次の処理に進んでください。 ISELビットの設定は，CURPIPE3～CURPIPE0ビットの設定と同時に行ってください。		

ビット4	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0	CFIFOポート・アクセス・パイプ指定[注2]	R/W
0	0	0	0	DCP（デフォルト・コントロール・パイプ）	R/W
0	1	0	0	パイプ4	
0	1	0	1	パイプ5	
0	1	1	0	パイプ6	
0	1	1	1	パイプ7	
上記以外				設定しないでください	
CFIFOポート経由で，データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。 CURPIPE3～CURPIPE0ビットを変更するときは，CURPIPE3～CURPIPE0ビットへの書き込み後，読み出しを行い，書き込み値と読み出し値が一致することを確認してから，次の処理に進んでください。 FIFOバッファへのアクセスの途中でCURPIPE3～CURPIPE0ビットの設定を変更した場合，それまでのアクセスを保持し，CURPIPE3～CURPIPE0ビットの書き戻し後，続けてアクセスすることができます。					

注1.　“0”を読み出すことのみ可能です。

2.　CFIFOSELレジスタ，D0FIFOSELレジスタおよびD1FIFOSELレジスタのCURPIPE3～CURPIPE0ビットに同じパイプ番号を設定しないでください。

図14－12　DnFIFOポート選択レジスタ（DnFIFOSEL）のフォーマット（n = 0, 1）

アドレス：F0428H, F0429H（D0FIFOSEL）, F042CH, F042DH（D1FIFOSEL）　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DnFIFOSEL	RCNT	REW	DCLRM	DREQE	－	MBW	－	BIGEND	－	－	－	－	CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0

RCNT	リードカウントモード	R/W
0	DnFIFOの全受信データ読み出し終了時にDTLN[8:0]ビットを“0”ライト（ダブル・バッファの場合は一面のみ読み出し終了時）	R/W
1	DnFIFO受信データ読み出しごとにDTLN[8:0]ビットをカウントダウン	
DnFIFOCTRレジスタのDTLN[8:0]ビットの読み出しモードを指定します。 BFREビットに“1”を設定してDnFIFOにアクセスを行う場合は，RCNTビットに“0”を設定してください。		

REW	バッファ・ポインタ・リワインド	R/W
0	無効（バッファ・ポインタ・リワインドしない）	R/W 注1
1	バッファ・ポインタ・リワインドする	
バッファ・ポインタのリワインドをする／しないを指定します。 選択パイプが受信方向の場合に，FIFOバッファの読み出し中にREWビットに“1”を設定すると，FIFOバッファの最初のデータから読み出しを行うことができます（ダブル・バッファの場合は読み出し中の一面の最初のデータからの再読み出し可能状態になります）。 REW = 1の設定とCURPIPEビットの設定変更を同時に行わないでください。REW = 1の設定は，必ずFRDY = 1であることを確認してから行ってください。BFREビットに“1”を設定してDnFIFOにアクセスを行う場合は，ショート・パケット・データを読み出し終えた状態でREWビットに“1”を設定しないでください。 送信方向のパイプに対してFIFOバッファの最初のデータから書き込みをやり直す場合は，BCLRビットを使用してください。		

DCLRM	選択パイプのデータ読み出し後自動バッファ・メモリ・クリア・モード	R/W
0	自動バッファ・クリア・モード禁止	R/W
1	自動バッファ・クリア・モード許可	
選択パイプのデータ読み出し後，自動バッファ・メモリ・クリアの禁止/許可を指定します。 DCLRMビットに“1”を設定した場合，選択パイプに割り当てたFIFOバッファが空の状態でZero-Length packetを受信したとき，またはPIPECFGレジスタのBFRE = 1の状態でショート・パケット受信し，データ読み出しを完了ときに，FIFOバッファへのBCLR = 1の処理をUSBモジュールが行います。SOFCFGレジスタのBRDYM = 1に設定してUSBモジュールを使用するときには，必ずDCLRMビットに“0”を設定してください。		

DREQE	DMA転送要求許可	R/W
0	DMA転送要求禁止	R/W
1	DMA転送要求許可	
DMA転送要求発行の禁止/許可を指定します。 DMA転送要求発行を許可する場合，CURPIPEビット設定後にDREQEビットに“1”を設定してください。 CURPIPEビット設定を変更するときには，DREQEビットに“0”を設定したあとで変更を行ってください。		

ビット11	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

MBW	DnFIFOポート・アクセス・ビット幅	R/W
0	8ビット幅	R/W
1	16ビット幅	
DnFIFOポートへのアクセス・ビット幅を指定します。 選択パイプが受信方向の場合，MBWビットの設定後読み出しを開始したときには，すべてのデータの読み出しが完了するまでMBWビットの変更を行わないでください。 また選択パイプが受信方向の場合，CURPIPEビットとMBWビットを同時に設定してください。読み出しデータ・サイズが奇数バイトで16ビット幅設定の場合にはワード読み出し後に不要バイトを削除してください。 選択パイプが送信方向の場合，バッファ・メモリへの書き込み処理実行中に8ビット幅から16ビット幅へのビット幅切り替えは行えません。 16ビット幅の設定でも，バイト・アクセス制御することにより，奇数バイトの書き込みは可能です。		

ビット9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

BIGEND	DnFIFOポート・エンディアン制御	R/W
0	リトル・エンディアン	R/W
1	ビッグ・エンディアン	
DnFIFOポートのバイト・エンディアンを指定します。		

ビット7	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット6～4	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

CURPIPE3	CURPIPE2	CURPIPE1	CURPIPE0	DnFIFOポート・アクセス・パイプ指定[注2]	R/W
0	0	0	0	指定なし	R/W
0	1	0	0	パイプ4	
0	1	0	1	パイプ5	
0	1	1	0	パイプ6	
0	1	1	1	パイプ7	
上記以外				設定しないでください	
DnFIFOポート経由で，データの読み出しまたは書き込みを行いたいパイプ番号を設定してください。 CURPIPE3～CURPIPE0ビットを変更するときは，CURPIPE3～CURPIPE0ビットへの書き込み後，読み出しを行い，書き込み値と読み出し値が一致することを確認してから，次の処理に進んでください。 FIFOバッファへのアクセスの途中でCURPIPE3～CURPIPE0ビットの設定を変更した場合，それまでのアクセスを保持し，CURPIPE3～CURPIPE0ビットの書き戻し後，続けてアクセスすることができます。					

注1.　“0”を読み出すことのみ可能です。

2.　CFIFOSELレジスタ，D0FIFOSELレジスタおよびD1FIFOSELレジスタのCURPIPE3～CURPIPE0ビットに同じパイプ番号を設定しないでください。

14. 3. 8　CFIFOポート・コントロール・レジスタ（CFIFOCTR）
DnFIFOポート・コントロール・レジスタ（DnFIFOCTR）（n = 0, 1）

図14－13　CFIFOポート・コントロール・レジスタ（CFIFOCTR）のフォーマット

アドレス：F0422H，F0423H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFIFOCTR	BVAL	BCLR	FRDY	－	－	－	－	DTLN[8:0]								

BVAL	バッファ・メモリ有効フラグ	R/W
0	無効	R/W 注1
1	書き込み終了	
CURPIPE3～CURPIPE0に指定したパイプ（選択パイプ）のCPU側のFIFOバッファの書き込み終了時に“1”にします。 選択パイプが送信方向のとき，以下の場合にBVALビットを“1”にしてください。USBモジュールはCPU側のFIFOバッファをSIE側にし，送信可能状態にします。 ・ショート・パケットの送信を行いたいとき，データ書き込み終了時にBVALビットに“1”を設定 ・Zero-Lengthパケットの送信を行いたいとき，FIFOバッファが空の状態でBVALビットに“1”を設定 MaxPacketSize分のデータを書くと，USBモジュールがBVALビットを“1”にし，CPU側のFIFOバッファをSIE側にして，送信可能状態にします。 BVALビットへの“1”書き込みは，USBモジュールがFRDY = 1を示しているときに実施してください。 選択パイプが受信方向のときには，BVALビットへの“1”書き込みを行わないでください。		

BCLR	CPUバッファ・クリア	R/W
0	無効	R/W 注2
1	CPU側バッファ・メモリ・クリア	
選択パイプのCPU側のFIFOバッファをクリアする場合に“1”にします。 選択パイプにアサインされているFIFOバッファがダブル・バッファ設定の場合で，両面ともに読み出し可能状態である場合でも，USBモジュールは片面のFIFOバッファのみをクリアします。 選択パイプがDCPの場合は，FIFOバッファがCPU側，SIE側に関わらず，BCLR = 1を書くことによってUSBモジュールはFIFOバッファをクリアします。SIE側のバッファをクリアするときには，DCPコントロール・レジスタのPIDビットを必ずNAKに設定したあとでBCLR = 1にしてください。 選択パイプが送信方向の場合，BVALビットとBCLRビットへ同時に“1”を書いた場合には，USBモジュールはそれ以前に書き込んだデータをクリアし，Zero-Lengthパケットを送信可能な状態にします。 選択パイプがDCP以外の場合，BCLRビットへの“1”書き込みは，USBモジュールがFIFOポート・コントロールのFRDY = 1を示しているときに実施してください。		

FRDY	FIFOポートレディ	R/W
0	FIFOポート・アクセス不可	R
1	FIFOポート・アクセス可能	
CPUからFIFOポートにアクセス可能かどうかが表示されます。 以下の場合には，USBモジュールはFRDY = 1を表示しますが，読み出すべきデータがないためFIFOポートからのデータ読み出しはできません。これらのケースでは，BCLR = 1にしてFIFOバッファのクリアを行い，次のデータ送受信を行える状態にしてください。 ・選択パイプにアサインされているFIFOバッファが空の状態でZero-Lengthパケット受信した場合 ・PIPECFGレジスタのBFRE = 1にしたとき，ショート・パケットを受信し，データ読み出しを完了した場合		

ビット12～9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DTLN[8:0]	受信データ長表示	R/W
受信データ長が表示されます。 FIFOバッファ読み出し中のDTLN[8:0]ビットの値は，RCNTビットの設定値により以下のように異なります。 ・RCNT = 0のとき CPUがFIFOバッファ1面分の受信データを読み出し完了するまで，USBモジュールは受信データ長をDTLN[8:0]ビットに表示します。PIPECFGレジスタのBFRE = 1のときには，読み出しが完了してもBCLR = 1を行うまではUSBモジュールは受信データ長を保持します。 ・RCNT = 1のとき 読み出しごとにUSBモジュールはDTLN[8:0]ビットの表示をダウン・カウントします。（MBW = 0のときは-1，MBW = 1のときは-2ずつダウン・カウント）1面分のFIFOバッファ読み出し完了時に，USBモジュールはDTLN[8:0] = 0を表示します。ただし，ダブル・バッファ設定時かつFIFOバッファ1面分の受信データの読み出しを完了する前にもう1面分のFIFOバッファに受信完了した場合は，先の1面分の読み出し完了時にあとの1面分の受信データ長をFIFOポート・コントロール・レジスタのDTLN[8:0]ビットに表示します。		R

注1.　“1”を書き込むことのみ可能です。

2.　“0”を読み出し，“1”を書き込むことのみ可能です。

図14－14　DnFIFOポート・コントロール・レジスタ（DnFIFOCTR）のフォーマット（n = 0, 1）

アドレス：F042AH, F042BH（D0FIFOCTR）, F042EH, F042FH（D1FIFOCTR）　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DnFIFOCTR	BVAL	BCLR	FRDY	－	－	－	－	DTLN[8:0]								

BVAL	バッファ・メモリ有効フラグ	R/W
0	無効	R/W 注1
1	書き込み終了	
CURPIPE3～CURPIPE0ビットに指定したパイプ（選択パイプ）のCPU側のFIFOバッファの書き込み終了時に“1”を指定します。 選択パイプが送信方向のとき，以下の場合にBVALビットに“1”を設定してください。USBモジュールはCPU側のFIFOバッファをSIE側にし，送信可能状態にします。 ・ショート・パケットの送信を行いたいとき，データ書き込み終了時にBVALビットに“1”を設定 ・Zero-Lengthパケットの送信を行いたいとき，FIFOバッファが空の状態でBVALビットに“1”を設定 MaxPacketSize分のデータを書き込むと，USBモジュールがBVALビットを“1”にし，CPU側のFIFOバッファをSIE側にして，送信可能状態にします。 BVALビットへの“1”書き込みは，USBモジュールがFRDY = 1を示しているときに実施してください。 選択パイプが受信方向のときには，BVALビットへの“1”書き込みを行わないでください。		

BCLR	CPUバッファ・クリア	R/W
0	無効	R/W 注2
1	CPU側バッファ・メモリ・クリア	
選択パイプのCPU側のFIFOバッファをクリアする場合に“1”を指定します。 選択パイプにアサインされているFIFOバッファがダブル・バッファ設定の場合で，両面ともに読み出し可能状態である場合でも，USBモジュールは片面のFIFOバッファのみをクリアします。 選択パイプが送信方向の場合，BVALビットとBCLRビットへ同時に“1”を書き込んだ場合には，USBジュールは，それ以前に書き込んだデータをクリアし，Zero-Lengthパケットを送信可能な状態にします。 BCLRビットへの“1”書き込みは，USBモジュールがFRDY = 1を示しているときに実施してください。		

FRDY	FIFOポートレディ	R/W
0	FIFOポート・アクセス不可	R
1	FIFOポート・アクセス可能	
CPUまたはDMACからFIFOポートにアクセス可能かどうかが表示されます。 以下の場合には，USBモジュールはFRDY = 1を表示しますが，読み出すべきデータがないためFIFOポートからのデータ読み出しはできません。これらのケースでは，BCLR = 1を設定してFIFOバッファのクリアを行い，次のデータ送受信を行える状態にしてください。 ・選択パイプにアサインされているFIFOバッファが空の状態でZero-Lengthパケット受信した場合。 ・BFRE = 1設定時に，ショート・パケットを受信し，データ読み出しを完了した場合		

ビット12～9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DTLN[8:0]	受信データ長表示	R/W
受信データ長が表示されます。 FIFOバッファ読み出し中のDTLN[8:0]ビットの値は，RCNTビットの設定値により以下のように異なります。 ・RCNT = 0のとき CPUがFIFOバッファ1面分の受信データを読み出し完了するまで，USBモジュールは受信データ長をDTLN[8:0]ビットに表示します。PIPECFGレジスタのBFRE = 1のときには，読み出しが完了してもBCLR = 1を行うまではUSBモジュールは受信データ長を保持します。 ・RCNT = 1のとき 読み出しごとにUSBモジュールはDTLNビットの表示をダウン・カウントします。（MBW = 0のときは-1，MBW = 1のときは-2ずつダウン・カウント）1面分のFIFOバッファ読み出し完了時に，USBモジュールはDTLN = 0を表示します。ただし，ダブル・バッファ設定時かつFIFOバッファ1面分の受信データの読み出しを完了する前にもう1面分のFIFOバッファに受信完了した場合は，先の1面分の読み出し完了時にあとの1面分の受信データ長をFIFOポート・コントロール・レジスタのDTLNビットに表示します。		R

注1.　“1”を書き込むことのみ可能です。

2.　“0”を読み出し，“1”を書き込むことのみ可能です。

14. 3. 9　割り込み許可レジスタ0（INTENB0）

図14－15　割り込み許可レジスタ0（INTENB0）のフォーマット

アドレス：F0430H，F0431H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTENB0	VBSE	RSME	SOFE	DVSE	CTRE	BEMPE	NRDYE	BRDYE	－	－	－	－	－	－	－	－

VBSE	VBUS割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
VBINT割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

RSME	レジューム割り込み許可注	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
RESM割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

SOFE	フレーム番号更新割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
SOFR割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

DVSE	デバイス・ステート遷移割り込み許可注	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
DVST割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

CTRE	コントロール転送ステージ遷移割り込み許可注	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
CTRT割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

BEMPE	バッファ・エンプティ割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
BEMP割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

NRDYE	バッファ・ノット・レディ応答割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
NRDY割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

BRDYE	バッファ・レディ割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
BRDY割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ビット7～0	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

注　RSMEビット，DVSEビットおよびCTREビットは，ファンクション・コントローラ機能選択時のみ設定ができます。ホスト・コントローラ機能選択時は，“1”（割り込み出力許可）にしないでください。

14. 3. 10　割り込み許可レジスタn（INTENBn）（n = 1, 2）

図14－16　割り込み許可レジスタ1（INTENB1）のフォーマット

アドレス：F0432H，F0433H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTENB1	OVRCRE	BCHGE	－	DTCHE	ATTCHE	－	－	－	－	EOFERRE	SIGNE	SACKE	－	－	－	PDDETINTE

OVRCRE	USBポート0用のオーバカレント入力変化割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
OVRCR割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

BCHGE	USBポート0用のUSBバス変化割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
BCHG割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ビット13	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DTCHE	USBポート0用の切断検出割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
DTCH割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ATTCHE	USBポート0用の接続検出割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
ATTCH割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ビット10～7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

EOFERRE	USBポート0用のEOFエラー検出割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
EOFERR割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

SIGNE	セットアップ・トランザクション・エラー割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
SIGN割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

SACKE	セットアップ・トランザクション正常応答割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
SACK割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ビット3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PDDETINTE	PortableDevice検知割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
PDDETINT割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

注意　INTENB1レジスタによる割り込み許可は，ホスト・コントローラ機能選択時のみ設定ができます。ファンクション・コントローラ機能選択時は，“1”（割り込み出力許可）にしないでください。

図14－17　割り込み許可レジスタ2（INTENB2）のフォーマット

アドレス：F0434H，F0435H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTENB2	OVRCRE	BCHGE	－	DTCHE	ATTCHE	－	－	－	－	EOFERRE	－	－	－	－	－	PDDETINTE

OVRCRE	USBポート1用のオーバカレント入力変化割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
OVRCR割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

BCHGE	USBポート1用のUSBバス変化割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
BCHG割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ビット13	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DTCHE	USBポート1用の切断検出割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
DTCH割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ATTCHE	USBポート1用の接続検出割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
ATTCH割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ビット10～7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

EOFERRE	USBポート1用のEOFエラー検出割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
EOFERR割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

ビット5～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PDDETINTE	USBポート1用のPortableDevice検知割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	
PDDETINT割り込み検出時，USB割り込み出力の禁止/許可を指定します。		

注意　INTENB2レジスタによる割り込み許可は，ホスト・コントローラ機能選択時のみ設定ができます。
ファンクション・コントローラ機能選択時は，“1”（割り込み出力許可）にしないでください。

14. 3. 11　BRDY割り込み許可レジスタ（BRDYENB）

図14－18　BRDY割り込み許可レジスタ（BRDYENB）のフォーマット

アドレス：F0436H，F0437H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDYENB	－	－	－	－	－	－	－	－	PIPE7 BRDYE	PIPE6 BRDYE	PIPE5 BRDYE	PIPE4 BRDYE	－	－	－	PIPE0 BRDYE

ビット15～8，3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PIPEnBRDYE	パイプnのBRDY割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	

備考　n = 7～4，0

14. 3. 12　NRDY割り込み許可レジスタ（NRDYENB）

図14－19　NRDY割り込み許可レジスタ（NRDYENB）のフォーマット

アドレス：F0438H，F0439H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDYENB	－	－	－	－	－	－	－	－	PIPE7 NRDYE	PIPE6 NRDYE	PIPE5 NRDYE	PIPE4 NRDYE	－	－	－	PIPE0 NRDYE

ビット15～8，3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PIPEnNRDYE	パイプnのNRDY割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	

備考　n = 7～4，0

14. 3. 13　BEMP割り込み許可レジスタ（BEMPENB）

図14－20　BEMP割り込み許可レジスタ（BEMPENB）のフォーマット

アドレス：F043AH，F043BH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BEMPENB	－	－	－	－	－	－	－	－	PIPE7 BEMPE	PIPE6 BEMPE	PIPE5 BEMPE	PIPE4 BEMPE	－	－	－	PIPE0 BEMPE

ビット15～8，3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PIPEnBEMPE	パイプnのBEMP割り込み許可	R/W
0	割り込み出力禁止	R/W
1	割り込み出力許可	

備考　n = 7～4，0

14. 3. 14　SOF出力コンフィグレーション・レジスタ（SOFCFG）

図14－21　SOF出力コンフィグレーション・レジスタ（SOFCFG）のフォーマット

アドレス：F043CH，F043DH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOFCFG	－	－	－	－	－	－	－	TRNENSEL	－	BRDYM	－	EDGESTS	－	－	－	－

ビット15～9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

TRNENSEL	トランザクション有効期間切り替え	R/W
0	ロウ・スピード未対応	R/W
1	ロウ・スピード対応	
フル・スピードまたはロウ・スピード通信中のポートにおいて，1フレーム中にUSBモジュールがトークン発行を行う期間（トランザクション有効期間）を指定します。 TRNENSELビットは，ホスト・コントローラ機能選択時のみ有効です。ファンクション・コントローラ機能選択時は，“0”を設定してください。		

ビット7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

BRDYM	各パイプのBRDY割り込みステータス・クリア・タイミング設定	R/W
0	ソフトウエアがステータスをクリア	R/W
1	FIFOバッファの読み出しまたはFIFOバッファへの書き込み動作によりUSBモジュールがステータスをクリア	
各パイプのBRDY割り込みステータスをクリアするタイミングを指定します。		

ビット5	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

EDGESTS	エッジ割り込み出力ステータス・モニタ注	R/W
0	エッジ割り込み出力信号がエッジ処理中でない	R
1	エッジ割り込み出力信号がエッジ処理中	
エッジ割り込み出力信号がエッジ処理中であるとき“1”を示します。		

ビット3～0	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

注　USBモジュールのクロックを停止するときには，必ず本ビットが“0”であることを確認してください。

14. 3. 15　割り込みステータス・レジスタ0（INTSTS0）

図14－22　割り込みステータス・レジスタ0（INTSTS0）のフォーマット

アドレス：F0440H，F0441H　　リセット時：00000000 X0000000B

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTSTS0	VBINT	RESM	SOFR	DVST	CTRT	BEMP	NRDY	BRDY	VBSTS	DVSQ2	DVSQ1	DVSQ0	VALID	CTSQ2	CTSQ1	CTSQ0

VBINT	VBUS割り込みステータス[注1]	R/W
0	VBUS割り込み非発生	R/W 注2
1	VBUS割り込み発生	
USBモジュールがUV$_{BUS}$端子入力値の変化（HighからLowへの変化あるいはLowからHighへの変化）を検出したときに，VBINTビットに“1”を表示します。USBモジュールはUV$_{BUS}$端子の入力値を，VBSTSビットに表示します。VBINT割り込み発生時は，ソフトウエアでVBSTSビット読み出しの数度一致を行い，チャタリング除去を実施してください。		

RESM	レジューム割り込みステータス[注1, 3]	R/W
0	レジューム割り込み非発生	R/W 注2
1	レジューム割り込み発生	
ファンクション・コントローラ機能設定時，USBモジュールがサスペンド状態（DVSQ2～DVSQ0ビット=“1xxB”）であり，かつ，DP端子の立ち下りを検出したときに，RESMビットに“1”を表示します。 ホスト・コントローラ機能選択時，読み出し値は無効です。		

SOFR	フレーム番号更新割り込みステータス	R/W
0	SOF割り込み非発生	R/W 注2
1	SOF割り込み発生	
(1) ホスト・コントローラ機能設定時 ソフトウエアがDVSTCTR0レジスタのUACTビットを“1”にしているとき，フレーム・ナンバーの更新タイミングでSOFRビットに“1”を表示します。（フレーム番号更新割り込みは，1msごとに検出します。） (2) ファンクション・コントローラ機能設定時 フレーム・ナンバーの更新時にUSBモジュールはSOFRビットに“1”を表示します。（フレーム番号更新割り込みは，1msごとに検出します。） USBホストからのSOFパケットが破損したときでも，内部補間により，USBモジュールはSOFR割り込みを検出します。		

DVST	デバイス・ステート遷移割り込みステータス[注3]	R/W
0	デバイス・ステート遷移割り込み非発生	R/W 注2
1	デバイス・ステート遷移割り込み発生	
ファンクション・コントローラ機能設定時，USBモジュールがデバイス・ステートの変化を検出したときに，USBモジュールはDVSQ2～DVSQ0の値を更新し，DVSTビットに“1”を表示します。 デバイス・ステート遷移割り込みが発生したときには，USBモジュールが次のデバイス・ステート遷移を検出する前に，ステータス・クリアを実施してください。 ホスト・コントローラ機能選択時，読み出し値は無効です。		

CTRT	コントロール転送ステージ遷移割り込みステータス注3	R/W
0	コントロール転送ステージ遷移割り込み非発生	R/W 注2
1	コントロール転送ステージ遷移割り込み発生	
ファンクション・コントローラ機能設定時，USBモジュールがコントロール転送のステージ遷移を検出したときに，USBモジュールはCTSQ2～CTSQ0の値を更新し，CTRTビットに“1”を表示します。 コントロール転送ステージ遷移割り込みが発生したときには，USBモジュールがコントロール転送の次のステージ遷移を検出するまでに，ステータス・クリアを実施してください。 ホスト・コントローラ機能選択時，読み出し値は無効です。		

BEMP	バッファ・エンプティ割り込みステータス	R/W
0	BEMP割り込み非発生	R
1	BEMP割り込み発生	
BEMP割り込みステータスが表示されます。 BEMPENBレジスタのPIPEnBEMPEビットを“1”にしたパイプに対応するBEMPSTSレジスタのPIPEnBEMPビットのうち，少なくともひとつが“1”になったとき（ソフトウエアがBEMP割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがBEMP割り込み状態を検出したとき）に，USBモジュールはBEMPビットに“1”を表示します。 PIPEnBEMPステータスのアサート条件は，14. 4. 3. 3　BEMP割り込みを参照ください。 ソフトウエアが，PIPEnBEMPEビットで許可しているパイプに対応するPIPEnBEMPビットすべてに“0”を書くと，USBモジュールはBEMPビットを“0”にします。 ソフトウエアがBEMPビットに対して“0”を書いても，BEMPビットを“0”にすることはできません。		

NRDY	バッファ・ノット・レディ割り込みステータス	R/W
0	NRDY割り込み非発生	R
1	NRDY割り込み発生	
NRDY割り込みステータスが表示されます。 NRDYENBレジスタのPIPEnNRDYEビットを“1”にしたパイプに対応するNRDYSTSレジスタのPIPEnNRDYビットのうち，少なくともひとつが“1”になったとき（ソフトウエアがNRDY割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがNRDY割り込み状態を検出したとき）に，USBモジュールはNRDYビットに“1”を表示します。 PIPEnNRDYステータスのアサート条件は，14. 4. 3. 2　NRDY割り込みを参照ください。 ソフトウエアが，PIPEnNRDYEビットで許可しているパイプに対応するPIPEnNRDYビットのすべてに“0”を書くと，USBモジュールはNRDYビットを“0”にします。 ソフトウエアがNRDYビットに対して“0”を書いても，NRDYビットを“0”にすることはできません。		

BRDY	バッファ・レディ割り込みステータス	R/W
0	BRDY割り込み非発生	R
1	BRDY割り込み発生	
BRDY割り込みステータスが表示されます。 BRDYENBレジスタのPIPEnBRDYEビットを“1”にしたパイプに対応するBRDYSTSレジスタのPIPEnBRDYビットのうち，少なくともひとつが“1”になったとき（ソフトウエアがBRDY割り込み通知を許可したパイプのうち少なくともひとつに対しUSBモジュールがBRDY割り込み状態を検出したとき）に，USBモジュールはBRDYビットに“1”を表示します。 PIPEnBRDYステータスのアサート条件は，14. 4. 3. 1 BRDY割り込みを参照ください。 ソフトウエアが，PIPEnBRDYEビットで許可しているパイプに対応するPIPEnBRDYビットのすべてに“0”を書くと，USBモジュールはBRDYビットを“0”にします。 ソフトウエアがBRDYビットに対して“0”を書いても，BRDYビットを“0”にすることはできません。		

VBSTS	VBUS入力ステータス[注4]	R/W
0	UV_{BUS}端子がLow	R
1	UV_{BUS}端子がHigh	

DVSQ2	DVSQ1	DVSQ0	デバイス・ステート	R/W
0	0	0	パワード・ステート	R
0	0	1	デフォルト・ステート	
0	1	0	アドレス・ステート	
0	1	1	コンフィグレーション・ステート	
1	X	X	サスペンド・ステート	
デバイス・ステートを示します。 ホスト・コントローラ機能選択時，読み出しは無効です。				

VALID	USBリクエスト	R/W
0	未検出	R/W 注2
1	セットアップ・パケット受信	
USBリクエストの受信状態を示します。 ホスト・コントローラ機能選択時，読み出しは無効です。		

CTSQ2	CTSQ1	CTSQ0	コントロール転送ステージ	R/W
0	0	0	アイドルまたはセットアップ・ステージ	R
0	0	1	コントロール・リード・データ・ステージ	
0	1	0	コントロール・リード・ステータス・ステージ	
0	1	1	コントロール・ライト・データ・ステージ	
1	0	0	コントロール・ライト・ステータス・ステージ	
1	0	1	コントロール・ライト（NoData）ステータス・ステージ	
1	1	0	コントロール転送シーケンス・エラー	
1	1	1	設定しないでください	
コントロール転送のシーケンス状態を示します。 ホスト・コントローラ機能選択時，読み出しは無効です。				

注1. VBINTビット，RESMビットが示すステータス変化をクロック停止中（SCKE = 0）でも検出し，対応する割り込みが許可されていれば割り込みを通知します。ソフトウエアによるステータスのクリアはクロック許可後に行ってください。

2. VBINTビット，RESMビット，SOFRビット，DVSTビット，CTRTビットまたはVALIDビットをクリアする場合は，クリアしたいビットにのみ“0”を，その他のビットには“1”を書き込んでください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

3. RESMビット，DVSTビット，CTRTビットのステータス変化は，ファンクション・コントローラ機能選択時のみ発生します。ホスト・コントローラ機能選択時には対応する割り込み許可ビットを“0”（禁止）に設定してください。

4. リセット時の値はUV_{BUS}端子の値に依存します。UV_{BUS}端子がハイ・レベルのとき“1”，ロウ・レベルのとき“0”です。

14. 3. 16　割り込みステータス・レジスタn　（INTSTSn）　（n = 1, 2）

図14－23　割り込みステータス・レジスタ1（INTSTS1）のフォーマット

アドレス：F0442H，F0443H　　リセット時：XX0X0000 00000000B

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTSTS1	OVRCR	BCHG	－	DTCH	ATTCH	－	－	－	－	EOFERR	SIGN	SACK	－	－	－	PDDETINT

OVRCR	USBポート0用のオーバカレント入力変化割り込みステータス注1	R/W
0	OVRCR割り込み非発生	R/W 注2
1	OVRCR割り込み発生	
UOVRCUR0入力端子の変化割り込みステータスが表示されます。 UOVRCUR0端子入力値の少なくともどちらか一方が変化（HighからLowへの変化あるいはLowからHighへの変化）したときに，USBモジュールはOVRCR割り込みを検出し，OVRCRビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットを“1”にしていれば，USBモジュールは割り込みを発生させます。		

BCHG	USBポート0用のUSBバス変化割り込みステータス注1	R/W
0	BCHG割り込み非発生	R/W 注2
1	BCHG割り込み発生	
USBバス変化割り込みステータスが表示されます。 USBポートでフル・スピード/ロウ・スピード信号レベルでの状態変化が発生した（J-State，K-State，またはSE0のいずれかの状態から，J-State，K-State，またはSE0のいずれかの状態に変化した）とき，USBモジュールはBCHG割り込みを検出し，BCHGビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットを“1”にしていれば，USBモジュールは割り込み発生を発生させます。 USBポートの現在の入力状態を，SYSSTS0レジスタのLNSTビットに表示します。BCHG端子割り込み発生時は，ソフトウエアでLNSTビット読み出しの数度一致を行い，チャタリング除去を実施してください。 USBバス変化は，内部クロック停止状態でも検出します。 ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ビット13	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DTCH	USBポート0用の切断検出割り込みステータス	R/W
0	切断検出割り込み非発生	R/W 注2
1	切断検出割り込み発生	
ホスト・コントローラ機能選択時，切断検出割り込みステータスが表示されます。 USBバス・ディスコネクト検出時に，USBモジュールは切断検出割り込みを検出し，DTCHビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットを“1”にしていれば，USBモジュールは割り込み発生します。 USBモジュールは，USB2.0仕様に準じた基準でバス・ディスコネクトを検出します。 USBモジュールは，切断検出割り込みを検出後（該当する割り込み許可ビットの設定値に関わらず）以下のハードウエア制御を行います。ソフトウエアは，USBポートに対して通信を行っているパイプをすべて通信終了させ，USBポートへのアタッチ（接続検出割り込み発生）待ちの状態に遷移してください。 ・切断検出割り込みを検出したポートのUACTビットを“0”に変更し表示 ・切断検出割り込みが発生したポートをアイドル状態に遷移 ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ATTCH	USBポート0用の接続検出割り込みステータス	R/W
0	接続検出割り込み非発生	R/W 注2
1	接続検出割り込み発生	
ホスト・コントローラ機能選択時，接続検出割り込みステータスが表示されます。 USBモジュールがポートにフル・スピード/ロウ・スピード信号レベルのJ-StateまたはK-Stateを2.5μs間検出したとき，USBモジュールは接続検出割り込みを検出し，ATTCHビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットを“1”にしていれば，USBモジュールは割り込み発生をします。 USBモジュールの接続検出割り込み検出条件は，具体的には以下のとおりです。 ・K-State，SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5μs間継続したとき ・J-State，SE0またはSE1からK-Stateに変化しK-Stateのまま2.5μs間継続したとき ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ビット10～7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

EOFERR	USBポート0用のEOFエラー検出割り込みステータス	R/W
0	EOFERR割り込み非発生	R/W 注2
1	EOFERR割り込み発生	
ホスト・コントローラ機能選択時，EOFERR割り込みステータスが表示されます。 USB2.0仕様に定められているEOF2タイミング時点で通信が終了しないことをUSBモジュールが検出したときに，USBモジュールはEOFERR割り込みを検出し，EOFERRビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットを“1”にしていれば，USBモジュールはEOFERR割り込みを発生します。 USBモジュールは，EOFERR割り込みを検出後（該当する割り込み許可ビットの設定に関わらず）以下のハードウエア制御を行います。ソフトウエアは，USBポートに対して通信を行っているパイプをすべて通信終了させ，USBポートへの再Enumerationを行ってください。 ・EOFERR割り込みを検出したポートのUACTビットを“0”に変更し表示 ・EOFERR割り込みが発生したポートをアイドル状態に遷移させる ファンクション・コントローラ機能選択時，読み出し値は無効です。		

SIGN	セットアップ・トランザクション・エラー割り込みステータス	R/W
0	SIGN割り込み非発生	R/W 注2
1	SIGN割り込み発生	
ホスト・コントローラ機能選択時，セットアップ・トランザクション・エラー割り込みステータスが表示されます。 USBモジュールが発行したSETUPトランザクションにおいて，周辺デバイスがACK応答を行わない状態が連続3回発生したときに，USBモジュールはSIGN割り込みを検出し，SIGNビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットを“1”にしていれば，USBモジュールはSIGN割り込み発生をします。 USBモジュールのSIGN割り込み検出条件は，具体的には3回の連続したSETUPトランザクションに対して，以下のいずれかの応答が発生したときです。 ・周辺デバイスが何も応答しない状態でUSBモジュールがタイムアウトを検出したとき ・ACKパケットが破損したとき ・ACK以外のハンドシェイク（NAK，NYET，またはSTALL）を受信したとき ファンクション・コントローラ機能選択時，読み出し値は無効です。		

SACK	セットアップ・トランザクション正常応答割り込みステータス	R/W
0	SACK割り込み非発生	R/W 注2
1	SACK割り込み発生	
ホスト・コントローラ機能選択時，セットアップ・トランザクション正常応答割り込みステータスを表示します。 USBモジュールが発行したSETUPトランザクションにおいて，周辺デバイスからのACK応答を受信したときに，USBモジュールはSACK割り込みを検出し，SACKビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットを“1”にしていれば，USBモジュールはSACK割り込みを発生します。 ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ビット3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PDDETINT	USBポート0用のPortableDevice検知割り込みステータス	R/W
0	PDDETINT割り込み非発生	R/W 注2
1	PDDETINT割り込み発生	
ホスト・コントローラ機能選択時，PortableDevice検知割り込みステータスを表示します。 USBモジュールがUSBトランシーバのVDPDET入力値の変化（ハイ・レベルからロウ・レベルへの変化，あるいはロウ・レベルからハイ・レベルへの変化）を検出したときに，本ビットに“1”を表示します。USBモジュールはUSBトランシーバのVDPDET入力値を，PDDETSTSビットに表示します。 PDDETINT割り込み発生時は，ソフトウエアでPDDETSTSビット読み出しの数度一致を行い，チャタリング除去を実施してください。		

注1. OVRCRビットおよびBCHGビットが示すステータス変化をクロック停止中（SCKE = 0）でも検出し，対応する割り込みが許可されていれば割り込みを通知します。ソフトウエアによるステータスのクリアはクロック許可後に行ってください。OVRCRビットおよびBCHGビット以外の割り込みは，クロック停止中（SCKE = 0）は検出しません。

2. INTSTS1レジスタの各ビットが示すステータスをクリアする場合は，クリアしたいビットにのみ“0”を，その他のビットには“1”を書き込んでください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

図14－24　割り込みステータス・レジスタ2（INTSTS2）のフォーマット

アドレス：F0444H，F0445H　　リセット時：X00X0000 00000000B

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTSTS2	OVRCR	BCHG	－	DTCH	ATTCH	－	－	－	－	EOFERR	－	－	－	－	－	PDDETINT

OVRCR	USBポート1用のオーバカレント入力変化割り込みステータス[注1]	R/W
0	OVRCR割り込み非発生	R/W 注2
1	OVRCR割り込み発生	
UOVRCUR1入力端子の変化割り込みステータスが表示されます。 UOVRCUR1端子入力値の少なくともどちらか一方が変化（HighからLowへの変化あるいはLowからHighへの変化）したときに，USBモジュールはオーバカレント割り込みを検出し，OVRCRビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットに“1”を設定していれば，USBモジュールは割り込み発生を発生させます。		

BCHG	USBポート1用のUSBバス変化割り込みステータス[注1]	R/W
0	BCHG割り込み非発生	R/W 注2
1	BCHG割り込み発生	
USBバス変化割り込みステータスが表示されます。 USBポートでフル・スピード／ロウ・スピード信号レベルでの状態変化が発生した（J-State，K-State，またはSE0のいずれかの状態から，J-State，K-State，またはSE0のいずれかの状態に変化した）とき，USBモジュールはBCHG割り込みを検出し，BCHGビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットに“1”を設定していれば，USBモジュールは割り込み発生を発生させます。 USBポートの現在の入力状態を，SYSSTS1レジスタのLNSTビットに表示します。BCHG端子割り込み発生時は，ソフトウエアでLNSTビット読み出しの数度一致を行い，チャタリング除去を実施してください。 USBバス変化は，内部クロック停止状態でも検出します。 ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ビット13	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DTCH	USBポート1用の切断検出割り込みステータス	R/W
0	切断検出割り込み非発生	R/W 注2
1	切断検出割り込み発生	
ホスト・コントローラ機能選択時，USB切断検出割り込みステータスが表示されます。 USBバス・ディスコネクト検出時に，USBモジュールは切断検出割り込みを検出し，DTCHビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットに“1”を設定していれば，USBモジュールは割り込み発生します。 USBモジュールは，USB2.0仕様に準じた基準でバス・ディスコネクトを検出します。 USBモジュールは，切断検出割り込みを検出後（該当する割り込み許可ビットの設定値に関わらず）以下のハードウエア制御を行います。ソフトウエアは，USBポートに対して通信を行っているパイプをすべて通信終了させ，USBポートへのアタッチ（接続検出割り込み発生）待ちの状態に遷移してください。 ・ 切断検出割り込みを検出したポートのUACTビットを“0”に変更し表示。 ・ 切断検出割り込みが発生したポートをアイドル状態に遷移させる。 ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ATTCH	USBポート1用の接続検出割り込みステータス	R/W
0	接続検出割り込み非発生	R/W 注2
1	接続検出割り込み発生	
ホスト・コントローラ機能選択時，ATTCH割り込みステータスが表示されます。 USBモジュールがポートにフル・スピード/ロウ・スピード信号レベルのJ-StateまたはK-Stateを2.5μs間検出したとき，USBモジュールはATTCH割り込みを検出し，ATTCHビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットに“1”を設定していれば，USBモジュールは割り込み発生をします。 USBモジュールの接続検出割り込み検出条件は，具体的には以下のとおりです。 ・ K-State，SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5μs間継続したとき ・ J-State，SE0またはSE1からK-Stateに変化しK-Stateのまま2.5μs間継続したとき ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ビット10～7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

EOFERR	USBポート1用のEOFエラー検出割り込みステータス	R/W
0	EOFERR割り込み非発生	R/W 注2
1	EOFERR割り込み発生	
ホスト・コントローラ機能選択時，EOFERR割り込みステータスが表示されます。 USB2.0仕様に定められているEOF2タイミング時点で通信が終了しないことをUSBモジュールが検出したときに，USBモジュールはEOFERR割り込みを検出し，EOFERRビットに“1”を表示します。このとき，ソフトウエアが該当する割り込み許可ビットに“1”を設定していれば，USBモジュールはEOFERR割り込みを発生します。 USBモジュールは，EOFERR割り込みを検出後（該当する割り込み許可ビットの設定値に関わらず）以下のハードウエア制御を行います。ソフトウエアは，USBポートに対して通信を行っているパイプをすべて通信終了させ，USBポートへの再Enumerationを行ってください。 ・ EOFERR割り込みを検出したポートのUACTビットを“0”に変更し表示 ・ EOFERR割り込みが発生したポートをアイドル状態に遷移させる。 ファンクション・コントローラ機能選択時，読み出し値は無効です。		

ビット5～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PDDETINT	USBポート1用のPortableDevice検知割り込みステータス	R/W
0	PDDETINT割り込み非発生	R/W 注2
1	PDDETINT割り込み発生	
ホスト・コントローラ機能選択時，PortableDevice検知割り込みステータスを表示します。 USBモジュールがUSBトランシーバのVDPDET入力値の変化（ハイ・レベルからロウ・レベルへの変化，あるいはロウ・レベルからハイ・レベルへの変化）を検出したときに，本ビットに“1”を表示します。USBモジュールはUSBトランシーバのVDPDET入力値を，PDDETSTSビットに表示します。 PDDETINT割り込み発生時は，ソフトウエアでPDDETSTSビット読み出しの数度一致を行い，チャタリング除去を実施してください。		

注1.　OVRCRビットおよびBCHGビットが示すステータス変化をクロック停止中（SCKE = 0）でも検出し，対応する割り込みが許可されていれば割り込みを通知します。ソフトウエアによるステータスのクリアはクロック許可後に行ってください。OVRCRビットおよびBCHGビット以外の割り込みは，クロック停止中（SCKE = 0）は検出しません。

2.　INTSTS2レジスタの各ビットが示すステータスをクリアする場合は，クリアしたいビットにのみ“0”を，その他のビットには“1”を書き込んでください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

14. 3. 17　BRDY割り込みステータス・レジスタ（BRDYSTS）

図14－25　BRDY割り込みステータス・レジスタ（BRDYSTS）のフォーマット

アドレス：F0446H，F0447H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BRDYSTS	－	－	－	－	－	－	－	－	PIPE7 BRDY	PIPE6 BRDY	PIPE5 BRDY	PIPE4 BRDY	－	－	－	PIPE0 BRDY

ビット15～8，3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PIPEnBRDY	パイプnのBRDY割り込みステータス注1	R/W
0	割り込み非発生	R/W 注2
1	割り込み発生	

注1.　SOFCFGレジスタのBRDYM = 0の場合，BRDY割り込みのクリアは，必ずFIFOアクセスを行う前に実施してください。

2.　SOFCFGレジスタのBRDYM = 0の場合，BRDYSTSレジスタの各ビットが示すステータスをクリアする場合は，クリアしたいビットにのみ“0”を，その他のビットには“1”を書いてください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

備考　n = 7～4，0

14. 3. 18　NRDY割り込みステータス・レジスタ（NRDYSTS）

図14－26　NRDY割り込みステータス・レジスタ（NRDYSTS）のフォーマット

アドレス：F0448H，F0449H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NRDYSTS	－	－	－	－	－	－	－	－	PIPE7 NRDY	PIPE6 NRDY	PIPE5 NRDY	PIPE4 NRDY	－	－	－	PIPE0 NRDY

ビット15～8，3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PIPEnNRDY	パイプnのNRDY割り込みステータス	R/W
0	割り込み非発生	R/W 注
1	割り込み発生	

注　NRDYSTSレジスタの各ビットが示すステータスを“0”にする場合は，クリアしたいビットにのみ“0”を，その他のビットには“1”を書いてください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

備考　n = 7～4，0

14. 3. 19　BEMP割り込みステータス・レジスタ（BEMPSTS）

図14－27　BEMP割り込みステータス・レジスタ（BEMPSTS）のフォーマット

アドレス：F044AH，F044BH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BEMPSTS	－	－	－	－	－	－	－	－	PIPE7 BEMP	PIPE6 BEMP	PIPE5 BEMP	PIPE4 BEMP	－	－	－	PIPE0 BEMP

ビット15～8，3～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PIPEnBEMP	パイプnのBEMP割り込みステータス	R/W
0	割り込み非発生	R/W 注
1	割り込み発生	

注　BEMPSTSレジスタの各ビットが示すステータスを“0”にする場合は，クリアしたいビットにのみ“0”を，その他のビットには“1”を書いてください。“0”を示しているステータス・ビットへの“0”の書き込みを行わないでください。

備考　n = 7～4, 0

14. 3. 20　フレーム・ナンバー・レジスタ（FRMNUM）

図14－28　フレーム・ナンバー・レジスタ（FRMNUM）のフォーマット

アドレス：F044CH，F044DH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMNUM	－	－	－	－	－	FRNM[10:0]										

ビット15～11	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

FRNM[10:0]	フレーム番号	R/W
USBモジュールは，1msに1回のSOF発行タイミングまたはSOF受信時にFRNM[10:0]ビットを書き換え，最新のフレーム番号を表示します。 FRNM[10:0]ビットを読み出すときは，2度一致で読み出してください。		R

14. 3. 21　USBアドレス・レジスタ（USBADDR）

図14－29　USBアドレス・レジスタ（USBADDR）のフォーマット

アドレス：F0450H，F0451H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBADDR	－	－	－	－	－	－	－	－	－	USBADDR[6:0]						

ビット15～12	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット11～8	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

USBADDR[6:0]	USBアドレス	R/W
現在のUSBアドレス値を読み出すことができます。ホスト・モード時には，本レジスタは使用しません。		R

14. 3. 22　USBリクエスト・タイプ・レジスタ（USBREQ）

図14－30　USBリクエスト・タイプ・レジスタ（USBREQ）のフォーマット

アドレス：F0454H，F0455H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBREQ	BREQUEST[7:0]								BMREQUESTTYPE[7:0]							

BREQUEST [7:0]	リクエスト	R/W
USBリクエストbRequestの値を格納します。 [ホスト・コントローラ機能選択時] 送信するSETUPトランザクションのUSBリクエスト・データ値を設定してください。SUREQ = 1の状態でBREQUEST[7:0]ビットの書き換えは行わないでください。 [ファンクション・コントローラ機能選択時] SETUPトランザクションで受信したUSBリクエスト・データ値を表示します。書き込みは無効です。		R/W 注

BMREQUESTTYPE[7:0]	リクエスト・タイプ	R/W
USBリクエストbmRequestTypeの値を格納します。 [ホスト・コントローラ機能選択時] 送信するSETUPトランザクションのUSBリクエスト・データ値を設定してください。SUREQ = 1の状態でBMREQUESTTYPE[7:0]ビットの書き換えは行わないでください。 [ファンクション・コントローラ機能選択時] SETUPトランザクションで受信したUSBリクエスト・データ値を表示します。書き込みは無効です。		R/W 注

注　ファンクション・コントローラ機能を選択したときは，読み出しのみ可能で書き込みは無効です。
一方，ホスト・コントローラ機能を選択したときは，読み出し/書き込み可能です。

14. 3. 23　USBリクエスト・バリュー・レジスタ（USBVAL）

図14－31　USBリクエスト・バリュー・レジスタ（USBVAL）のフォーマット

アドレス：F0456H，F0457H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBVAL	WVALUE[15:0]															

WVALUE[15:0]	バリュー	R/W
	USBリクエストwValueの値を格納します。 [ホスト・コントローラ機能選択時] 送信するSETUPトランザクションのUSBリクエストwValueの値を設定してください。SUREQ = 1の状態でWVALU[15:0]ビットの書き換えは行わないでください。 [ファンクション・コントローラ機能選択時] SETUPトランザクションで受信したUSBリクエストwValueの値を表示します。WVALU[15:0]ビットへの書き込みは無効です。	R/W 注

注　ファンクション・コントローラ機能を選択したときは，読み出しのみ可能で書き込みは無効です。
一方，ホスト・コントローラ機能を選択したときは，読み出し/書き込み可能です。

14. 3. 24　USBリクエスト・インデックス・レジスタ（USBINDX）

図14－32　USBリクエスト・インデックス・レジスタ（USBINDX）のフォーマット

アドレス：F0458H，F0459H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBINDX	WINDEX[15:0]															

WINDEX [15:0]	インデックス	R/W
	USBリクエストwIndexの値を格納します。 [ホスト・コントローラ機能選択時] 送信するSETUPトランザクションのUSBリクエストwIndexの値を設定してください。DCPCTRレジスタSUREQ = 1の状態でWINDEX[15:0]ビットの書き換えは行わないでください。 [ファンクション・コントローラ機能選択時] SETUPトランザクションで受信したUSBリクエストwIndexの値を表示します。WINDEX[15:0]ビットへの書き込みは無効です。	R/W 注

注　ファンクション・コントローラ機能を選択したときは，読み出しのみ可能で書き込みは無効です。
一方，ホスト・コントローラ機能を選択したときは，読み出し/書き込み可能です。

14. 3. 25　USBリクエスト・レングス・レジスタ（USBLENG）

図14－33　USBリクエスト・レングス・レジスタ（USBLENG）のフォーマット

アドレス：F045AH，F045BH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBLENG	WLENGTH[15:0]															

WLENGTH [15:0]	レングス	R/W
	USBリクエストwLengthの値を格納します。 [ホスト・コントローラ機能選択時] 送信するSETUPトランザクションのUSBリクエストwLengthの値を設定してください。DCPCTRレジスタのSUREQ = 1の状態でWLENGTH[15:0]ビットの書き換えは行わないでください。 [ファンクション・コントローラ機能選択時] SETUPトランザクションで受信したUSBリクエストwLengthの値を表示します。WLENGTH [15:0]ビットへの書き込みは無効です。	R/W 注

注　ファンクション・コントローラ機能を選択したときは，読み出しのみ可能で書き込みは無効です。
一方，ホスト・コントローラ機能を選択したときは，読み出し/書き込み可能です。

14. 3. 26　DCPコンフィグレーション・レジスタ（DCPCFG）

図14－34　DCPコンフィグレーション・レジスタ（DCPCFG）のフォーマット

アドレス：F045CH，F045DH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCPCFG	－	－	－	－	－	－	－	－	SHTNAK	－	－	DIR	－	－	－	－

ビット15～8	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

SHTNAK	トランスファ終了時のパイプ禁止[注]	R/W
0	トランスファ終了時にパイプ継続	R/W
1	トランスファ終了時にパイプ禁止	
コントロール転送が受信方向の場合に，トランスファ終了時にPIDをNAKに変更するかどうかを指定します。 SHTNAKビットは，受信方向である場合に有効なビットです。 SHTNAKビットを“1”にしている場合，USBモジュールは，トランスファの終了を判定したときにDCPのPIDビットをNAKに変更します。USBモジュールは，以下条件が満たされたときにトランスファ終了と判定します。 ・ショート・パケット・データ（Zero-Lengthパケットを含む）を正常に受信したとき		

ビット6，5	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DIR	転送方向[注]	R/W
0	データ受信方向	R/W
1	データ送信方向	
ホスト・コントローラ機能選択時，コントロール転送のデータ・ステージ，ステータス・ステージの転送方向を設定します。 ファンクション・コントローラ機能選択時には，DIRビットを“0”にしてください。		

ビット3～0	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

注　設定の変更は，PID ＝ NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

14. 3. 27　DCPマックス・パケット・サイズ・レジスタ（DCPMAXP）

図14－35　DCPマックス・パケット・サイズ・レジスタ（DCPMAXP）のフォーマット

アドレス：F045EH，F045FH　　リセット時：0040H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCPMAXP	－	DEVSEL2	DEVSEL1	DEVSEL0	－	－	－	－	－	MXPS[6:0]						

ビット15	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DEVSEL2	DEVSEL1	DEVSEL0	デバイス選択[注1]	R/W
0	0	0	USBアドレス000	R/W
0	0	1	USBアドレス001	
0	1	0	USBアドレス010	
0	1	1	USBアドレス011	
1	0	0	USBアドレス100	
1	0	1	USBアドレス101	
上記以外			設定しないでください	
ホスト・コントローラ機能選択時，コントロール転送の通信相手である周辺デバイスのアドレスを指定します。 DEVSEL2～DEVSEL0ビットの設定値に対応するDEVADDn（n = 0～5）レジスタの設定を行ったあとで，DEVSEL2～DEVSEL0ビットを設定してください。例えば，DEVSEL2～DEVSEL0 = 010Bを設定する場合，DEVADD2レジスタにアドレスの設定を行ってください。 ファンクション・コントローラ機能選択時は，DEVSEL2～DEVSEL0ビットの値を“000B”にしてください。				

ビット11～7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

MXPS[6:0]	マックス・パケット・サイズ[注2]	R/W
DCPの最大データペイロード（マックス・パケット・サイズ）をMXPS[6:0]ビットに設定してください。初期値は，40H（64バイト）です。 MXPSビットの設定は，USB規格に準拠した値を設定してください。 MXPS = 0の設定でのFIFOバッファへの書き込み，またはPID = BUFの設定は行わないでください。		R/W

注1. DEVSELビットの設定の変更は，PID = NAKの状態およびSUREQ = 0の期間に実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

2. MXPS[6:0]ビットの設定の変更は，PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。またMXPS[6:0]ビットの設定変更後には，CURPIPEビットへDCPを設定後，BCLR = 1にてバッファ・クリア処理を実施してください。

14. 3. 28　DCPコントロール・レジスタ（DCPCTR）

図14－36　DCPコントロール・レジスタ（DCPCTR）のフォーマット

アドレス：F0460H，F0461H　　リセット時：0040H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCPCTR	BSTS	SUREQ	－	－	SUREQCLR	－	－	SQCLR	SQSET	SQMON	PBUSY	－	－	CCPL	PID1	PID0

BSTS	バッファ・ステータス	R/W
0	バッファ・アクセス不可	R
1	バッファ・アクセス可	
DCP FIFOバッファへのアクセス可否ステータスが表示されます。 BSTSビットの意味は，ISELビットの設定値により以下のように異なります。 ・ ISEL = 0のとき，受信データの読み出しが可能かどうかを表示 ・ ISEL = 1のとき，送信データの書き込みが可能かどうかを表示		

SUREQ	SETUPトークン送出	R/W
0	無効	R/W 注1
1	セットアップ・パケット送出	
ホスト・コントローラ機能選択時，SUREQビットを“1”にすることにより，セットアップ・パケットを送信します。 SETUPトランザクション処理終了後，USBモジュールはSACK割り込み，もしくはSIGN割り込みのどちらかを発生させ，SUREQビットを“0”にします。 また，SUREQCLRビットをソフトウエアで“1”にすることにより，USBモジュールはSUREQビットを“0”にします。 DEVSELビット，USBREQレジスタ，USBVALレジスタ，USBINDXレジスタおよびUSBLENGレジスタにSETUPトランザクションで送信したいUSBリクエストを設定したあとで，SUREQビットを“1”にしてください。SUREQ = 1にする前に，DCPのPIDビットをNAKに設定していることを確認してください。また，SUREQビットを“1”にしたあと，SETUPトランザクションが終了するまで（SUREQ = 1）の期間はDEVSELビット，USBREQレジスタ，USBVALレジスタ，USBINDXレジスタ，およびUSBLENGレジスタの値を変更しないでください。 SETUPトークンを出すときのみSUREQビットを“1”にしてください。その他のときには，“0”を書いてください。 ファンクション・コントローラ機能選択時，SUREQビットへは“0”を書いてください。		

ビット13, 12	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

SUREQCLR	SUREQビットクリア	R/W
0	無効	R/W 注3
1	SUREQビットに“0”ライト実行	
ホスト・コントローラ機能選択時に，SUREQCLRビットを“1”にすることによってSUREQビットをクリアすることができます。SUREQCLRビットは常に“0”を表示します。 SETUPトランザクションにおいて，SUREQ = 1のまま通信が停止したときに，ソフトウエアでSUREQCLRビットを“1”にしてください。正常なSETUPトランザクションでは，トランザクション終了時にUSBモジュールが自動的にSUREQビットを“0”にしますので，ソフトウエアによるクリア処理は不要です。 SUREQCLRビットによるSUREQビットの制御は，UACT = 0による通信停止時，またはデタッチ検出時で転送を行っていないことが確実なときに行ってください。 ファンクション・コントローラ機能選択時，SUREQCLRビットへは“0”を書いてください。		

ビット10，9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

SQCLR	トグル・ビット・クリア注2	R/W
0	無効	R/W 注3
1	DATA0指定	
DCPの転送において，次のトランザクションのシーケンス・トグル・ビット値をDATA0に設定することができます。SQCLRビットは常に“0”を表示します。 SQCLRビットとSQSETビットを同時に“1”にしないでください。		

SQSET	トグル・ビット・セット注2	R/W
0	無効	R/W 注3
1	DATA1指定	
DCPの転送において，次のトランザクションのシーケンス・トグル・ビット値をDATA1に設定することができます。 SQCLRビットとSQSETビットを同時に“1”にしないでください。		

SQMON	シーケンス・トグル・ビットモニタ	R/W
0	DATA0	R
1	DATA1	
DCPの転送において，次のトランザクションのシーケンス・トグル・ビット値が表示されます。 トランザクションが正常処理するとUSBモジュールはSQMONビットをトグルさせます。ただし，受信方向転送時のDATA-PIDミスマッチ発生時には，SQMONビットをトグルさせません。 ファンクション・コントローラ機能選択時，SETUPパケット正常受信時に，USBモジュールはSQMONビットを“1”（期待値をDATA1に設定）にします。 ただし，ステータス・ステージのIN/OUTトランザクションではSQMONビットを参照しません。また正常終了してもトグルさせません。		

PBUSY	パイプ・ビジー	R/W
0	DCPはトランザクションで未使用	R
1	DCPはトランザクションで使用	
DCPがPIDビットをBUFからNAKに変更した場合に，DCPのトランザクションで使用されなくなったかを表示します。 USBモジュールは，当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。 ソフトウエアがPID = NAKを設定したあと，PBUSYビットを読むことにより，パイプ設定変更が可能になったかどうかを確認することができます。 詳細は14.4.4.1　パイプ・コントロール・レジスタの切り替え手順を参照してください。		

ビット4，3	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

CCPL	コントロール転送終了許可	R/W
0	コントロール転送終了不許可	R/W
1	コントロール転送終了許可	
ファンクション・コントローラ機能選択時に，CCPLビットを“1”にすることによりコントロール転送のステータス・ステージの終了許可を設定します。 対応するPIDビットがBUFのとき，ソフトウエアがCCPLビットを“1”にすると，USBモジュールはコントロール転送のステージを完了させます。 すなわち，コントロール・リード転送時ではUSBホストからのOUTトランザクションに対してACKハンドシェイクを送信し，コントロール・ライトおよびノー・データ・コントロール転送時ではUSBホストからのINトランザクションに対してZero-Lengthパケットを送信します。ただし，SET_ADDRESSリクエスト検出時は，CCPLビットの設定値に関係なくUSBモジュールはSETUPステージからステータス・ステージ完了まで自動応答を行います。 新たなSETUPパケットを受信したときに，USBモジュールはCCPLビットを“1”から“0”に変更します。 VALID = 1のとき，ソフトウエアはCCPLビットへの“1”書き込みを行うことができません。 ホスト・コントローラ機能選択時には，CCPLビットへは“0”を書き込んでください。		

PID1	PID0	応答PID	R/W
0	0	NAK応答	R/W
0	1	BUF応答（バッファ状態に従う）	
1	0	STALL応答	
1	1	STALL応答	

PID1，PID0ビットでコントロール転送におけるUSBモジュールの応答を制御します。

[ホスト・コントローラ機能選択時]
以下の手順でPID1，PID0ビットをNAKからBUFに変更してください。
・送信方向設定時
UACT = 1かつPID = NAKの状態でFIFOバッファに送信データを書き込み完了し，PID = BUFを書き込んでください。PID = BUFの書き込み後，USBモジュールはOUTトランザクションを実行します。
・受信方向設定時
UACT = 1かつPID = NAKの状態でFIFOバッファが空の状態であることを確認し（空の状態にし），PID = BUFを書き込んでください。PID = BUFの書き込み後，USBモジュールはINトランザクションを実行します。

以下の場合に，USBモジュールがPID1，PID0ビットの値を変更します。
・ソフトウエアがPID1，PID0ビットにBUFを設定しているときに，USBモジュールがMaxPacketSizeを超えるデータを受信した場合，USBモジュールはPID = STALL（11B）を表示します。
・CRCエラーなどの受信エラーを3回連続で検出した場合には，USBモジュールはPID = NAKを表示します。
・STALLハンドシェイクを受信した場合，USBモジュールはPID = STALL（11B）を表示します。

[ファンクション・コントローラ機能選択時]
以下の場合に，USBモジュールがPID1，PID0ビットの値を変更します。
・USBモジュールがSETUPパケットを受信したときに，USBモジュールはPID1，PID0ビットをPID = NAKに変更します。このとき，USBモジュールはVALID = 1を表示し，ソフトウエアでVALID = 0にするまでは，ソフトウエアはPID1，PID0ビットを変更できません。
・ソフトウエアがPID1，PID0ビットにBUFを設定しているときに，USBモジュールがMaxPacketSizeを超えるデータを受信した場合，USBモジュールはPID = STALL（11B）を表示します。
・USBモジュールがコントロール転送シーケンス・エラーを検出した場合，PID = STALL（1xB）を表示します。
・USBモジュールがUSBバス・リセットを検出した場合，PID = NAKを表示します。

SET_ADDRESSリクエスト処理（自動処理）ときには，USBモジュールはPID1，PID0ビットの設定値を参照しません。

注1.　“1”を書くことのみ有効です。
2. SQSETビットおよびSQCLRビットへの“1”書き込みは，PID = NAKの状態のときに実施してください。DCPのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。
3. 読むと“0”が読めます。“1”を書くことのみ有効です。

14. 3. 29　パイプ・ウィンドウ選択レジスタ（PIPESEL）

図14－37　パイプ・ウィンドウ選択レジスタ（PIPESEL）のフォーマット

アドレス：F0464H，F0465H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPESEL	－	－	－	－	－	－	－	－	－	－	－	－	PIPESEL3	PIPESEL2	PIPESEL1	PIPESEL0

ビット15～4	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PIPESEL3	PIPESEL2	PIPESEL1	PIPESEL0	パイプ・ウィンドウ選択	R/W
0	0	0	0	未選択	R/W
0	1	0	0	パイプ4	
0	1	0	1	パイプ5	
0	1	1	0	パイプ6	
0	1	1	1	パイプ7	
上記以外				設定しないでください	
書き込み/読み出しを対象とするPIPECFGレジスタ，PIPEBUFレジスタ，PIPEMAXPレジスタ，PIPEPERIレジスタに対応するパイプ番号を指定します。 PIPESEL3～PIPESEL0ビットで指定したパイプ番号に対応するPIPECFG，PIPEMAXP，PIPEPERIレジスタの読み出し/書き込みができます。 PIPESEL3～PIPESEL0ビットを“0000B”にしたときは，PIPECFGレジスタ，PIPEMAXPレジスタ，PIPEPERIレジスタの各ビットは，すべて“0”が読めます。書き込みは無効です。					

注意　PIPESELレジスタにて使用するパイプを設定したあと，PIPECFG，PIPEMAXPおよびPIPEPERIレジスタに各パイプの機能設定を行います。なお，PIPEnCTR，PIPEnTRE，およびPIPEnTRNレジスタは，PIPESELレジスタによるパイプ選択とは無関係に設定可能です。

14. 3. 30　パイプ・コンフィグレーション・レジスタ（PIPECFG）

図14－38　パイプ・コンフィグレーション・レジスタ（PIPECFG）のフォーマット

アドレス：F0468H，F0469H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPECFG	TYPE1	TYPE0	－	－	－	BFRE	DBLB	－	SHTNAK	－	－	DIR	EPNUM[3:0]			

TYPE1	TYPE0	転送タイプ[注1]	R/W
パイプ4，5の場合			R/W
0	0	パイプを不使用	
0	1	バルク転送	
1	0	設定しないでください	
1	1	設定しないでください	
パイプ6，7の場合			
0	0	パイプ不使用	
0	1	設定しないでください	
1	0	インタラプト転送	
1	1	設定しないでください	
PIPESEL3～PIPESEL0ビットに指定したパイプ（選択パイプ）の転送タイプを指定します。 選択パイプをPID = BUFに設定する（選択したパイプを使用したUSB通信を開始する）前に，必ずTYPE1～TYPE0ビットを“00B”以外の値に設定してください。			

ビット13～11	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

BFRE	BRDY割り込み動作指定[注2, 3]	R/W
0	データ送受信でBRDY割り込み	R/W
1	データ読み出し完了時にBRDY割り込み	
USBモジュールからCPUへのの選択パイプに関するBRDY割り込みの発行タイミングを指定します。 ソフトウエアがBFREビットを“1”にし，かつ選択パイプを受信方向で使用している場合，USBモジュールは，トランスファの終了を検出し，そのパケットを読み出し終えたときにBRDY割り込みを発行します。この設定でBRDY割り込みが発生したときには，ソフトウエアはBCLRビットに“1”を書く必要があります。BCLRビットに“1”を書くまでは選択パイプに割り付けられたFIFOバッファは受信可能状態になりません。 ソフトウエアがBFREビットを“1”にし，かつ，選択パイプを送信方向で使用している場合，USBモジュールはBRDY割り込みを発生させません。 詳細は，14.4.3.1　BRDY割り込みを参照してください。		

DBLB	ダブル・バッファモード[注2, 3]	R/W
0	シングル・バッファ	R/W
1	ダブル・バッファ	
選択パイプが使用するFIFOバッファがシングル・バッファかダブル・バッファかを指定します。 DBLBビットはパイプ4, 5選択時に有効です。		

ビット8	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

SHTNAK	トランスファ終了時のパイプ禁止[注1]	R/W
0	トランスファ終了時にパイプ継続	R/W
1	トランスファ終了時にパイプ禁止	
選択パイプが受信方向の場合に，トランスファ終了時にPIDをNAKに変更するかどうかを指定します。 SHTNAKビットは，選択パイプがパイプ4, 5であり，かつ，受信方向である場合に有効なビットです。 受信方向パイプに対してソフトウエアがSHTNAKビットを“1”にしている場合，USBモジュールは，選択パイプに対しトランスファの終了を判定したときに選択パイプに対応するPIDビットをNAKに変更します。USBモジュールは，以下条件が満たされたときにトランスファ終了と判定します。 ・ショート・パケット・データ（Zero-Lengthパケットを含む）を正常に受信したとき ・トランザクション・カウンタを使用し，トランザクション・カウンタ分のパケットを正常受信したとき		

ビット6，5	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DIR	転送方向指定[注2, 3]	R/W
0	受信方向	R/W
1	送信方向	
選択パイプの転送方向を指定します。 ソフトウエアがDIRビットを“0”にしている場合，USBモジュールは選択パイプを受信方向に，DIRビットを“1”にしている場合，USBモジュールは選択パイプを送信方向に使用します。		

EPNUM[3:0]	エンド・ポイント番号[注1]	R/W
選択パイプのエンド・ポイント番号を指定します。 “0000B”の設定は，未使用パイプを意味します。 ファンクション動作時に，DIRビットとEPNUMビットの設定の組み合わせが他のパイプの設定と重複しないように設定してください（EPNUM = 0000Bの設定は重複可能です）。		R/W

注1. TYPE1～TYPE0ビット，SHTNAKビットおよびEPNUMビットの設定の変更は，PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

2. BFREビット，DBLBビットおよびDIRビットの設定の変更は，PID = NAKおよびCURPIPE3～CURPIPE0ビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

3. 選択パイプを使用したUSB通信を行ったあと，BFREビット，DBLBビットおよびDIRビットの設定を変更する場合には，注2.の注意事項の状態に加え，ソフトウエアでACLRM = 1，ACLRM = 0を連続して書き込み，選択パイプに割り付けられたFIFOバッファのクリアを実行してください。

14. 3. 31　パイプマックス・パケット・サイズ・レジスタ（PIPEMAXP）

図14－39　パイプマックス・パケット・サイズ・レジスタ（PIPEMAXP）のフォーマット

アドレス：F046CH，F046DH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEMAXP	－	DEVSEL2	DEVSEL1	DEVSEL0	－	－	－	MXPS[8:0]								

ビット15	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DEVSEL2	DEVSEL1	DEVSEL0	デバイス選択[注1]	R/W
0	0	0	USBアドレス000	R/W
0	0	1	USBアドレス001	
0	1	0	USBアドレス010	
0	1	1	USBアドレス011	
1	0	0	USBアドレス100	
1	0	1	USBアドレス101	
上記以外			設定しないでください	
ホスト・コントローラ機能選択時に，通信相手の周辺デバイスのUSBデバイス・アドレスを指定します。 DEVSEL2～DEVSEL0ビットの設定値に対応するDEVADDn（n = 0～5）レジスタの設定を行ったあとで，DEVSEL2～DEVSEL0ビットを設定してください。例えば，DEVSELビット= “010B”を設定する場合，DEVADD2アドレスの設定を行ってください。 ファンクション・コントローラ機能を選択したときは，DEVSEL2～DEVSEL0ビットの値を“000B”に設定してください。				

ビット11～9	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

MXPS[8:0]	マックス・パケット・サイズ[注2]	R/W
選択パイプの最大データペイロード（マックス・パケット・サイズ）を指定します。 パイプごとに設定可能な値の範囲を以下に示します。 パイプ4，5：8バイト（008H），16バイト（010H），32バイト（020H），64バイト（040H） （[8:7]ビットおよび[2:0]のビットはありません） パイプ6，7：1バイト（001H）～64バイト（040H）（[8:7]ビットのビットはありません） MXPSビットの設定は，転送タイプごとにUSB規格に準拠した値を設定してください。MXPSビットが“0”のとき，FIFOバッファへの書き込み，またはPID = BUFの設定は行わないでください。		R/W

注1．DEVSELビットの設定の変更は，PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

注2. MXPSビットの設定の変更は，PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

注意　PIPEMAXPレジスタのリセット時の値は，PIPESELレジスタのPIPESEL3～PIPESEL0ビットでパイプを選択していないときと，パイプを選択しているときで異なります。
パイプを選択していないときのリセット時の値は“0000H”です。パイプを選択しているときのリセット時の値は“0040H”です。

14. 3. 32　パイプ周期制御レジスタ（PIPEPERI）

図14－40　パイプ周期制御レジスタ（PIPEPERI）のフォーマット

アドレス：F046EH，F046FH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEPERI	－	－	－	－	－	－	－	－	－	－	－	－	－	IITV[2:0]		

ビット15～13	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット12	予約ビット	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ビット11～3	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

IITV[2:0]	インターバル・エラー検出間隔注	R/W
選択パイプのインターバル・エラー検出間隔をフレーム・タイミングの2のn乗で指定してください。 詳細は，14.4.8　インタラプト転送（パイプ6，7）を参照してください。 IITV[2:0]ビットを設定し，USB通信を行ったあとで別の値に変更する場合には，PID = NAK設定後ACLRM = 1をセットし，インターバルタイマの初期化を行ってください。 パイプ4, 5に対しては，IITV[2:0]ビットは存在しません。 パイプ4, 5に対応するIITV[2:0]ビットの位置には“000B”を設定してください。		R/W

注　IITVビットの設定の変更は，PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

14. 3. 33　パイプnコントロール・レジスタ（PIPEnCTR）（n = 4～7）

図14－41　パイプnコントロール・レジスタ（PIPEnCTR）（n = 4，5）のフォーマット

アドレス：F0476H，F0477H（PIPE4CTR），F0478H，F0479H（PIPE5CTR）　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEnCTR	BSTS	INBUFM	－	－	－	ATREPM	ACLRM	SQCLR	SQSET	SQMON	PBUSY	－	－	－	PID1	PID0

BSTS	バッファ・ステータス	R/W
0	CPUからのバッファ・アクセス不可	R
1	CPUからのバッファ・アクセス可	
当該パイプのFIFOバッファ・ステータスが表示されます。 BSTSビットの意味は，DIR，BFREおよびDCLRMビットの設定値により表14－8に示すように異なります。		

INBUFM	送信バッファ・モニタ	R/W
0	バッファ・メモリに送信可能データなし	R
1	バッファ・メモリに送信可能データあり	
当該パイプが送信方向の場合に，当該パイプのFIFOバッファ・ステータスが表示されます。 当該パイプを送信方向（DIR = 1）に設定している場合に，ソフトウエア（またはDMA）が少なくとも1面分のデータをFIFOバッファに書き込み完了したときに，USBモジュールはINBUFMビットに“1”を表示します。 書き込みが完了している面のFIFOバッファ上のデータをUSBモジュールがすべて送信完了したときに，USBモジュールはINBUFMビットに“0”を表示します。 ダブル・バッファ使用時（DBLB = 1設定時）には，USBモジュールが2面分のデータを送信完了しかつソフトウエア（またはDMACA）が1面分のデータ書き込みを完了していないときに，INBUFMビットに“0”を表示します。 当該パイプを受信方向（DIR = 0）に設定している場合には，INBUFMビットはBSTSビットと同じ値を示します。		

ビット13～11	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ATREPM	自動応答モード[注1]	R/W
0	自動応答禁止	R/W
1	自動応答許可	
当該パイプの自動応答禁止/許可を指定します。 ファンクション・コントローラ機能選択時に，当該パイプの転送タイプをバルクに設定している場合，ATREPMビットを“1”にすることが可能です。 ATREPMビットを“1”にした場合，USBホストからのトークンに対しUSBモジュールは以下のように応答します。 [当該パイプがバルクIN転送（TYPEビット = “01B”かつDIR = 1を設定）の場合] ATREPM = 1かつPID = BUFにしている場合，INトークンに対してUSBモジュールはZero-Lengthパケットを送信します。 USBホストからのACK受信の度に（1トランザクションはINトークン受信→Zero Lengthパケット送信→ACK受信），USBモジュールはシーケンス・トグル・ビット（DATA-PID）の更新（トグル）を行います。 BRDY割り込み，BEMP割り込みは発生させません。 [当該パイプがバルクOUT転送（TYPEビット = “01B”かつDIR = 0を設定）の場合] ATREPM = 1かつPID = BUFにしている場合，OUTトークンに対してUSBモジュールはNAK応答を行い，NRDY割り込みを発生させます。 ATREPMビットを“1”にしてUSB通信を行う場合，FIFOバッファは必ず空の状態で設定を行ってください。ATREPMビットを“1”にしてUSB通信を行っている期間はFIFOバッファへの書き込みを行わないでください。ホスト・コントローラ機能選択時には，ATREPMビットは“0”を書いてください。		

ACLRM	自動バッファ・クリア・モード[注2]	R/W
0	禁止	R/W
1	許可（全バッファ初期化）	
当該パイプの自動バッファ・クリア・モードの禁止/許可を指定します。 当該パイプに割り付けたFIFOバッファの内容をすべて削除したい場合は，ACLRMビットに“1”，“0”を連続して書いてください。 ACLRMビットに“1”，“0”を連続して設定した場合にUSBモジュールがクリアする内容と，当該項目のクリアが必要なケースについて表14－9に示します。		

SQCLR	トグル・ビット・クリア[注1]	R/W
0	無効	R/W 注3
1	DATA0指定	
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値をDATA0にクリアするときに“1”を指定します。 ソフトウエアがSQCLRビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA0に設定します。USBモジュールは，常にSQCLRビットに“0”を表示します。		

SQSET	トグル・ビット・セット[注1]	R/W
0	無効	R/W[注3]
1	DATA1指定	
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値をDATA1にセットするときに“1”を指定します。 ソフトウエアがSQSETビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA1に設定します。USBモジュールは，常にSQSETビットに“0”を表示します。		

SQMON	トグル・ビット・モニタ	R/W
0	DATA0	R
1	DATA1	
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値が表示されます。 当該パイプのトランザクションが正常処理すると，USBモジュールはSQMONビットをトグルさせます。ただし，受信方向転送時のDATA-PIDミスマッチ発生時には，SQMONビットをトグルさせません。		

PBUSY	パイプ・ビジー	R/W
0	当該パイプはトランザクションで未使用	R
1	当該パイプはトランザクションで使用	
当該パイプを現在トランザクションで使用中かどうかが表示されます。 USBモジュールは，当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。 ソフトウエアがPID = NAKを設定したあと，PBUSYビットを読み出すことにより，パイプ設定変更が可能になったかどうかを確認することができます。 詳細は14.4.4.1　パイプ・コントロール・レジスタの切り替え手順を参照してください。		

ビット4～2	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PID1	PID0	応答PID	R/W
0	0	NAK応答	R/W
0	1	BUF応答（バッファ状態に従う）	
1	0	STALL応答	
1	1	STALL応答	

当該パイプの次回トランザクションにおける応答方法を指定します。

PID1，PID0ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID1，PID0ビットをBUFに変更してください。PIDビット設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は表14－10および表14－11のとおりです。

当該パイプがUSB通信中であるときに，ソフトウエアでPID1，PID0ビットをBUFからNAKに変更する場合，NAKを書いたあと，実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSY = 1であることを確認してください。

以下の場合にはUSBモジュールがPID1，PID0ビットの値を変更します。

- 当該パイプが受信方向の場合，かつソフトウエアが選択パイプのSHTNAKビットを“1”にしている場合，USBモジュールがトランスファ終了を認識したときに，PID = NAKを表示します。
- 当該パイプに対し，MaxPacketSizeを超えるペイロードのデータ・パケットを受信した場合，USBモジュールはPID = STALL（11B）を表示します。
- ファンクション・コントローラ機能選択時に，USBバス・リセットを検出した場合，USBモジュールはPID = NAKを表示します。
- ホスト・コントローラ機能選択時に，CRCエラーなどの受信エラーを3回連続で検出した場合には，USBモジュールはPID = NAKを表示します。
- ホスト・コントローラ機能選択時に，STALLハンドシェイクを受信した場合，USBモジュールはPID = STALL（11B）を表示します。

PID1，PID0ビットの設定は以下の手順で行ってください。

- NAK（00B）状態からSTALL状態にする場合には，“10B”を書き込んでください。
- BUF（01B）状態からSTALL状態にする場合には，“11B”を書き込んでください。
- STALL（11B）からNAK状態にする場合には，一度“10B”を書き込んでから“00B”を書き込んでください。
- STALL状態からBUF状態にする場合には，一度NAK状態に変更し，その後，BUF状態にしてください。

注1. ATREPMビットの設定の変更およびSQCLRビットまたはSQSETビットへの“1”書き込みは，PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

2. ACLRMビットの設定の変更は，PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

3. “0”読み出し，“1”書き込みのみ有効です。

表14－8　BSTSビットの動作

DIR ビット	BFRE ビット	BFRE ビット	BSTSビットの機能
0	0	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し，データの読み出しが完了したときに“0”を表示します
		1	この組み合わせは設定禁止です。
	1	0	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し，データの読み出しが完了したあとでソフトウエアがBCLR = 1を書き込んだときに“0”を表示します
		1	FIFOバッファからの受信データの読み出しが可能になったときに“1”を表示し，データの読み出しが完了したときに“0”を表示します。
1	0	0	FIFOバッファへの送信データの書き込みが可能になったときに“1”を表示し，データの書き込みが完了したときに“0”を表示します
		1	この組み合わせは設定禁止です。
	1	0	この組み合わせは設定禁止です。
		1	この組み合わせは設定禁止です。

表14－9　ACLRM = 1設定時にUSBモジュールがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	当該パイプに割り付けたFIFOバッファのすべての内容（ダブル・バッファ設定時はFIFOバッファを2面ともクリア）	
2	BFREビットに関する内部フラグ	BFREビットの設定値変更時
3	FIFOバッファ・トグル制御	DBLBビットの設定値変更時
4	トランザクション・カウントに関する内部フラグ	トランザクション・カウント機能の強制終了実行時

表14－10　PIDビットによるUSBモジュールの動作一覧（ホスト・コントローラ機能選択時）

PIDビット（PID1，PID0）	転送タイプ	転送方向（DIRビット）	USBモジュールの動作
00（NAK）	設定値に依存しない	設定値に依存しない	トークンを発行しない
01（BUF）	バルク，または インタラプト	設定値に依存しない	UACT = 1で，かつ当該パイプに対応するFIFOバッファが送受信可能な状態ならばトークンを発行する UACT = 0である，または送受信可能でなければトークンを発行しない
10（STALL） または 11（STALL）	設定値に依存しない	設定値に依存しない	トークンを発行しない

表14－11　PIDビットによるUSBモジュールの動作一覧（ファンクション・コントローラ機能選択時）

PIDビット（PID1，PID0）	転送タイプ	転送方向（DIRビット）	USBモジュールの動作
00（NAK）	バルク，または インタラプト	設定値に依存しない	USBホストからのトークンにNAK応答を行う ただし，ATREPM = 1のときの動作はATREPMビットの説明を参照してください
01（BUF）	バルク	受信方向 （DIR = 0）	USBホストからのOUTトークンに対し，当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	インタラプト	受信方向 （DIR = 0）	USBホストからのOUTトークンに対し，当該パイプに対応するFIFOバッファが受信可能な状態ならばデータを受信しACK応答を行う。受信可能な状態でなければNAK応答を行う
	バルク，または インタラプト	送信方向 （DIR = 1）	対応するFIFOバッファが送信可能な状態ならばUSBホストからのトークンに対しデータを送信する。送信可能でなければNAK応答を行う
10（STALL） または 11（STALL）	バルク，または インタラプト	設定値に依存しない	USBホストからのトークンにSTALL応答を行う

図14－42　パイプnコントロール・レジスタ（PIPEnCTR）（n = 6，7）のフォーマット

アドレス：F047AH，F047BH（PIPE6CTR），F047CH，F047DH（PIPE7CTR）　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEnCTR	BSTS	－	－	－	－	－	ACLRM	SQCLR	SQSET	SQMON	PBUSY	－	－	－	PID1	PID0

BSTS	バッファ・ステータス	R/W
0	CPUからのバッファ・アクセス不可	R
1	CPUからのバッファ・アクセス可	
当該パイプのFIFOバッファ・ステータスが表示されます。 BSTSビットの意味は，DIR，BFREおよびDCLRMビットの設定値により表14－8に示すように異なります。		

ビット14～10	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

ACLRM	自動バッファ・クリア・モード[注1]	R/W
0	自動バッファ・クリア・モード禁止	R/W
1	自動バッファ・クリア・モード許可（全バッファ初期化）	
当該パイプの自動バッファ・クリア・モードの禁止/許可を指定します。 当該パイプに割り付けたFIFOバッファの内容をすべて削除したい場合は，ACLRMビットに“1”，“0”を連続して書いてください。 ACLRMビットに“1”，“0”を連続して設定した場合にUSBモジュールがクリアする内容と，当該項目のクリアが必要なケースについて表14－12に示します。		

SQCLR	トグル・ビット・クリア注2	R/W
0	無効	R/W 注3
1	DATA0指定	
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビットの期待値をDATA0にクリアするときに“1”を指定します。 ソフトウエアがSQCLRビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA0に設定します。USBモジュールは，常にSQCLRビットに“0”を表示します。		

SQSET	トグル・ビット・セット注2	R/W
0	無効	R/W 注3
1	DATA1指定	
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビットの期待値をDATA1にセットするときに“1”を指定します。 ソフトウエアがSQSETビットを“1”にするとUSBモジュールは当該パイプのシーケンス・トグル・ビットの期待値をDATA1に設定します。USBモジュールは，常にSQSETビットに“0”を表示します。		

SQMON	トグル・ビット・モニタ	R/W
0	DATA0	R
1	DATA1	
当該パイプの次回トランザクションにおけるシーケンス・トグル・ビット値が表示されます。 該当パイプのトランザクションが正常処理すると，USBモジュールはSQMONビットをトグルさせます。ただし，受信方向転送時のDATA-PIDミスマッチ発生時には，SQMONビットをトグルさせません。		

PBUSY	パイプ・ビジー	R/W
0	当該パイプはトランザクションで未使用	R
1	当該パイプはトランザクションで使用	
当該パイプを現在トランザクションで使用中かどうかが表示されます。 USBモジュールは，当該パイプのUSBトランザクションを開始したときにPBUSYビットを“0”から“1”に変更します。ひとつのトランザクションが終了したときにPBUSYビットを“1”から“0”に変更します。 ソフトウエアがPID = NAKを設定したあと，PBUSYビットを読むことにより，パイプ設定変更が可能になったかどうかを確認することができます。詳細は，14.4.4.1　パイプ・コントロール・レジスタの切り替え手順を参照してください。		

ビット4～2	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PID1	PID0	応答PID	R/W
0	0	NAK応答	R/W
0	1	BUF応答（バッファ状態に従う）	
1	0	STALL応答	
1	1	STALL応答	

当該パイプの次回トランザクションにおける応答方法を指定します。

PID1，PID0ビットの初期値はNAKです。当該パイプでUSB転送を行う場合にはPID1，PID0ビットをBUFに変更してください。PIDビットの設定値ごとの基本動作（通信パケットにエラーがない場合の動作）は表14－10および表14－11のとおりです。

当該パイプがUSB通信中であるときに，ソフトウエアでPID1，PID0ビットをBUFからNAKに変更する場合，NAKを書き込んだあと，実際に当該パイプのUSB転送がNAK状態に遷移したことを確認するためにPBUSY = 1であることを確認してください。

以下の場合にはUSBモジュールがPID1，PID0ビットの値を変更します。

- 当該パイプが受信方向の場合，かつソフトウエアが選択パイプのSHTNAKビットを“1”にしている場合，USBモジュールがトランスファ終了を認識したときに，PID = NAKを表示します。
- 当該パイプに対し，MaxPacketSizeを超えるペイロードのデータ・パケットを受信した場合，USBモジュールはPID = STALL（11B）を表示します。
- ファンクション・コントローラ機能選択時に，USBバス・リセットを検出した場合，USBモジュールはPID = NAKを表示します。
- ホスト・コントローラ機能選択時に，CRCエラーなどの受信エラーを3回連続で検出した場合には，USBモジュールはPID = NAKを表示します。
- ホスト・コントローラ機能選択時に，STALLハンドシェイクを受信した場合，USBモジュールはPID = STALL（11B）を表示します。

PID1，PID0ビットの設定は以下の手順で行ってください。

- NAK（00B）状態からSTALL状態にする場合には，“10B”を書き込んでください。
- BUF（01B）状態からSTALL状態にする場合には，“11B”を書き込んでください。
- STALL（11B）からNAK状態にする場合には，一度“10B”を書き込んでから“00B”を書き込んでください。
- STALL状態からBUF状態にする場合には，一度NAK状態に変更し，その後，BUF状態にしてください。

注1. ACLRMビットの設定の変更は，PID = NAKおよびCURPIPEビットにパイプ未設定の状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定変更する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

2. SQCLRビットまたはSQSETビットへの“1”書き込みは，PID = NAKの状態のときに実施してください。選択パイプのPIDビットをBUFからNAKへ変更してから設定する場合には，PBUSY = 0を確認してから変更してください。ただしUSBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

3. “0”読み出し，“1”書き込みのみ有効です。

表14－12　ACLRM = 1設定時にUSBモジュールがクリアする内容

番号	ACLRMビット操作によるクリア内容	クリアが必要なケース
1	選択パイプに割り付けたFIFOバッファのすべての内容	
2	ホスト・コントローラ機能選択時，選択パイプの転送タイプがインタラプト転送の場合，インターバル・カウント値	インターバル・カウント値のリセットを行いたい場合
3	BFREビットに関する内部フラグ	BFREビットの設定値変更時
4	トランザクション・カウントに関する内部フラグ	トランザクション・カウント機能の強制終了実行時

14. 3. 34　パイプnトランザクション・カウンタ・イネーブル・レジスタ（PIPEnTRE）（n = 4，5）

図14－43　パイプnトランザクション・カウンタ・イネーブル・レジスタ（PIPEnTRE）（n =4，5）のフォーマット

アドレス：F049CH，F049DH（PIPE4TRE），F04A0H，F04A1H（PIPE5TRE）　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEnTRE	－	－	－	－	－	－	TRENB	TRCLR	－	－	－	－	－	－	－	－

ビット15～10	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

TRENB	トランザクション・カウンタ許可	R/W
0	トランザクション・カウンタ機能無効	R/W
1	トランザクション・カウンタ機能有効	
トランザクション・カウンタ無効/有効を指定します。 受信パイプに対して，ソフトウエアでTRNCNTビットに総パケット数を設定したあとでTRENBビットを“1”にすると，USBモジュールはTRNCNTビットの設定値と同数のパケット受信を終了したときに以下の制御を行います。 ・ SHTNAK = 1のとき，TRNCNTビットの設定値と同数のパケット受信を終了時点で対応するパイプのPIDビットをNAKに変更します。 ・ BFRE = 1のとき，TRNCNTビットの設定値と同数のパケット受信し最後のデータを読み出し終えたときに，BRDY割り込みをアサートします 送信パイプについては，TRENBビットを“0”にしてください。 トランザクション・カウント機能を使用しない場合は，TRENBビットに“0”を設定してください。 トランザクション・カウント機能を使用する場合，TRENBビットを“1”にする前にTRNCNTビットの設定を行ってください。また，トランザクション・カウントの対象となる最初のパケットを受信する前にTRENBビットを“1”にしてください。		

TRCLR	トランザクション・カウンタ・クリア	R/W
0	無効	R/W
1	カレント・カウンタ・クリア	
当該パイプに対応するトランザクション・カウンタの現在のカウント値をクリアし，TRCLRビットに“0”を表示します。		

ビット7～0	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

注意　PIPEnTREレジスタの各ビットの変更は，CSSTS = 1，PID = NAK時に実施してください。
対応するパイプのPIDビットをBUFからNAKへ変更したあとで各ビットの設定値を変更する場合には，PBUSY = 0を確認してから各ビットを変更してください。ただし，USBモジュールがPIDビットをNAKに変更した場合には，ソフトウエアによるPBUSYビットの確認は必要ありません。

14. 3. 35　パイプnトランザクション・カウンタ・レジスタ（PIPEnTRN）（n = 4，5）

図14－44　パイプnトランザクション・カウンタ・レジスタ（PIPEnTRN）（n = 4，5）のフォーマット

アドレス：F049EH，F049FH（PIPE4TRN），F04A2H，F04A3H（PIPE5TRN）　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PIPEnTRN	TRNCNT[15:0]															

TRNCNT[15:0]	トランザクション・カウンタ	R/W
	[レジスタ書き込み時] DMA転送のトランザクション回数を設定します。 [レジスタ読み出し時] TRENB = 0の場合は，設定したトランザクション回数が表示されます。 TRENB = 1の場合は，カウント中のトランザクション回数が表示されます。 USBモジュールは，受信時の状態が以下のすべて満たしたときにTRNCNTビットを“1”インクリメントします。 ・ TRENB = 1である ・ パケット受信時に（TRNCNT設定値≠現在のカウント値+1）である ・ 受信したパケットのペイロードがMXPSビットへの設定値と一致した USBモジュールは，以下のいずれかの条件が満たされたときにTRNCNTビットの表示を“0”にします。 （1）以下の条件がすべて満たされたとき ・ TRENB = 1である ・ パケット受信時に（TRNCNT設定値 = 現在のカウント値+1）である ・ 受信したパケットのペイロードがMXPSビットへの設定値と一致した （2）以下条件がすべて満たされたとき ・ TRENB = 1である ・ ショート・パケットを受信した （3）以下の条件がすべて満たされたとき ・ TRENB = 1である ・ ソフトウエアがTRCLRビットを“1”にした 送信パイプについては，TRNCNTビットを“0”にしてください。 トランザクション・カウント機能を使用しない場合は，TRNCNTビットを“0”にしてください。 TRNCNTビットのトランザクション回数の設定は，PIPEnTREレジスタのTRENBが“0”のときのみ可能です。また，トランザクション回数設定値を変更する場合には，開始（TRENB = 1）前にPIPEnTREレジスタのTRCLRビットに“1”書き込み（カレント・カウンタ値のクリア）を行ってください。	R/W

14. 3. 36　BCコントロール・レジスタn（USBBCCTRLn）（n = 0, 1）

図14－45　BCコントロール・レジスタ0（USBBCCTRL0）のフォーマット

アドレス：F04B0H，F04B1H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBBCCTRL0	－	－	－	－	－	－	PDDETSTS0	CHGDETSTS0	BATCHGE0	DCPMODE0	VDMSRCE0	IDPSINKE0	VDPSRCE0	IDMSINKE0	IDPSRCE0	RPDME0

ビット15～10	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PDDETSTS0	UDP0端子V_{DP_SRC}（0.6 V）入力検知フラグ	R/W
0	未検知	R
1	検知	
接続先からUDP0端子にV_{DP_SRC}（0.6 V）が印加されたことを検知します。 （UDP0への印加電圧がV_{DAT_REF}～V_{IH}（UDP0）の範囲内であることを検知します。） 本ビットの検知を使用する場合はSYSCFGレジスタのCNENビット（ビット8）を1にセットし，USBポート0のシングル・エンド・レシーバを許可にしてください。 IDPSINKE0 = 1のときに有効です。		

CHGDETSTS0	UDM0端子V_{DM_SRC}（0.6 V）入力検知フラグ	R/W
0	未検知	R
1	検知	
接続先からUDM0端子にV_{DM_SRC}（0.6 V）が印加されたことを検知します。 （UDM0への印加電圧がV_{DAT_REF}～V_{IH}（UDM0）の範囲内であることを検知します。） 本ビットの検知を使用する場合はSYSCFGレジスタのCNENビット（ビット8）を1にセットし，USBポート0のシングル・エンド・レシーバを許可にしてください。 IDMSINKE0 = 1のときに有効です。		

BATCHGE0	USBポート0 BC接続検知動作許可	R/W
0	動作禁止	R/W
1	動作許可	
本ビットの許可設定により，VDPSRCE0, VDMSRCE0, IDPSINKE0, IDMSINKE0, IDPSRCE0の各ビット設定が有効となり，USBポート0でのBC接続検知動作が可能となります。		

DCPMODE0	UDP0/UDM0端子Dedicated charging port抵抗接続制御	R/W
0	抵抗Disable	R/W
1	抵抗Enable	
ホスト（Dedicated charging port）・BC接続検知機能で使用するUDP0/UDM0端子間の抵抗（R_{DCP_DAT}）を接続します。		

VDMSRCE0	UDM0端子V_{DM_SRC}（0.6 V）出力制御	R/W
0	V_{DM_SRC}出力Disable	R/W
1	V_{DM_SRC}出力Enable（0.6 V出力）	
V_{DM_SRC}出力を制御します。		

IDPSINKE0	UDP0端子V_{DP_SRC}（0.6 V）入力検知（コンパレータ＆シンク）制御	R/W
0	UDP0端子0.6 V入力検知Disable	R/W
1	UDP0端子0.6 V入力検知Enable	
UDP0端子の0.6 V入力検知回路（コンパレータ）と検知で使用するI_{DP_SINK}（シンク電流）を制御します。		

VDPSRCE0	UDP0端子V_{DP_SRC}（0.6 V）出力制御	R/W
0	V_{DP_SRC}出力Disable	R/W
1	V_{DP_SRC}出力Enable（0.6 V出力）	
V_{DP_SRC}出力を制御します。		

IDMSINKE0	UDM0端子V_{DM_SRC}（0.6 V）入力検知（コンパレータ＆シンク）制御	R/W
0	UDM0端子0.6 V入力検知Disable	R/W
1	UDM0端子0.6 V入力検知Enable	
UDM0端子の0.6 V入力検知回路（コンパレータ）と検知で使用するI_{DM_SINK}（シンク電流）を制御します。		

IDPSRCE0	UDP0端子I_{DP_SRC}（10 μA）出力制御	R/W
0	I_{DP_SRC}出力Disable	R/W
1	I_{DP_SRC}出力Enable（10 μA出力）	
I_{DP_SRC}出力を制御します。		

RPDME0	UDM0プルダウン制御	R/W
0	プルダウンOFF	R/W
1	プルダウンON	
本ビットによってUDM0端子のみをプルダウン（R_{PD}）することができます。		

図14－46　BCコントロール・レジスタ1（USBBCCTRL1）のフォーマット

アドレス：F04B4H，F04B5H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBBCCTRL1	－	－	－	－	－	－	PDDETSTS1	－	BATCHGE1	DCPMODE1	VDMSRCE1	IDPSINKE1	－	－	－	－

ビット15～10	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PDDETSTS1	UDP1端子V_{DP_SRC}（0.6 V）入力検知フラグ	R/W
0	未検知	R
1	検知	
接続先からUDP1端子にV_{DP_SRC}（0.6 V）が印加されたことを検知します。 （UDP1への印加電圧がV_{DAT_REF}～V_{IH}（UDP1）の範囲内であることを検知します。） 本ビットの検知を使用する場合はSYSCFG1レジスタのCNENビット（ビット8）を1にセットし，USBポート1のシングル・エンド・レシーバを許可にしてください。 IDPSINKE1 = 1のときに有効です。		

ビット8	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

BATCHGE1	USBポート1 BC接続検知動作許可	R/W
0	動作禁止	R/W
1	動作許可	
本ビットの許可設定により，VDMSRCE1, IDPSINKE1の各ビット設定が有効となり，USBポート1でのBC接続検知動作が可能となります。		

DCPMODE1	UDP1/UDM1端子Dedicated charging port抵抗接続制御	R/W
0	抵抗Disable	R/W
1	抵抗Enable	
ホスト（Dedicated charging port）・BC接続検知機能で使用するUDP1/UDM1端子間の抵抗（R_{DCP_DAT}）を接続します。		

VDMSRCE1	UDM1端子V_{DM_SRC}（0.6 V）出力制御	R/W
0	V_{DM_SRC}出力Disable	R/W
1	V_{DM_SRC}出力Enable（0.6 V出力）	
V_{DM_SRC}出力を制御します。		

IDPSINKE1	UDP1端子V_{DP_SRC}（0.6 V）入力検知（コンパレータ＆シンク）制御	R/W
0	UDP1端子0.6 V入力検知Disable	R/W
1	UDP1端子0.6 V入力検知Enable	
UDP1端子の0.6 V入力検知回路（コンパレータ）と検知で使用するI_{DP_SINK}（シンク電流）を制御します。		

ビット3	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

ビット2	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

ビット1	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

ビット0	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

14. 3. 37　BCオプション・コントロール・レジスタn（USBBCOPTn）（n = 0, 1）

図14－47　BCオプション・コントロール・レジスタ0（USBBCOPT0）のフォーマット

アドレス：F04B8H, F04B9H　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBBCOPT0	－	－	－	－	－	－	DMCUSDET0	DPCUSDET0	－	CUSDETE0	VDOUTE0	－	VDSEL03	VDSEL02	VDSEL01	VDSEL00

ビット15	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

ビット14	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

ビット13～10	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DMCUSDET0 注	UDM0電圧検知（オプションBC：ホスト／ファンクション）	R/W
0	• ホスト時 UDM0端子出力電圧維持状態（VDSEL0xビットで選択された比較電圧範囲内） • ファンクション時 UDM0端子電圧がVDSEL0xビットで選択された比較電圧未満	R
1	• ホスト時 UDM0端子出力電圧変動検知（VDSEL0xビットで選択された比較電圧範囲を超えた場合） • ファンクション時 UDM0端子電圧がVDSEL0xビットで選択された比較電圧超過	

DPCUSDET0 注	UDP0電圧検知（オプションBC：ホスト／ファンクション）	R/W
0	• ホスト時 UDP0端子出力電圧維持状態（VDSEL0xビットで選択された比較電圧範囲内） • ファンクション時 UDP0端子電圧がVDSEL0xビットで選択された比較電圧未満	R
1	• ホスト時 UDP0端子出力電圧変動検知（VDSEL0xビットで選択された比較電圧範囲を超えた場合） • ファンクション時 UDP0端子電圧がVDSEL0xビットで選択された比較電圧超過	

ビット7	何も配置されていない	R/W
―	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	―

CUSDETE0	オプション電圧検知回路制御（オプションBC：ホスト／ファンクション）	R/W
0	禁止	R/W
1	許可	

VDOUTE0	オプション電圧出力制御（オプションBC：ホスト）	R/W
0	禁止	R/W
1	許可	

ビット4	何も配置されていない	R/W
―	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	―

VDSEL03～ VDSEL00	UDP0/UDM0端子オプション出力電圧・比較電圧選択 （オプションBC：ホスト／ファンクション）	R/W
UDP0/UDM0端子の出力電圧値および比較電圧値を選択する（備考参照）		R/W

注　CUSDETE0 = 1のとき，有効です。

備考　UV_{BUS} = 5.0 V時のUDP0/UDM0端子のオプション出力電圧値，およびオプションBC検知回路の比較電圧値を以下に示します。下記の電圧は，UV_{BUS}入力電圧に比例して変動します。

VDOUTE0	VDSEL03	VDSEL02	VDSEL01	VDSEL00	出力電圧（V）		比較電圧（V）（CUSDETE0 = 1のときに有効）	
					UDP0	UDM0	UDP0	UDM0
1（ホスト）	1	0	0	0	2.00	2.00	1.60～2.60	1.60～2.60
	1	0	0	1	2.68	2.00	2.45～2.80	1.60～2.60
	1	0	1	0	2.00	2.68	1.60～2.60	2.45～2.80
	1	1	0	0	3.30	3.30	－	－
0（ファンクション）	0	0	0	0	－		1.60	
	0	0	0	1	－		1.70	
	0	0	1	0	－		1.85	
	0	0	1	1	－		2.00	
	0	1	0	0	－		2.15	
	0	1	0	1	－		2.30	
	0	1	1	0	－		2.45	
	0	1	1	1	－		2.60	
	1	0	0	0	－		2.80	
	1	0	0	1	－		3.00	
	1	0	1	0	－		3.20	
	1	0	1	1	－		3.40	
	1	1	0	0	－		3.60	
	1	1	0	1	－		3.80	
	1	1	1	0	－		4.00	
	1	1	1	1	－		4.20	
上記以外					設定禁止			

図14－48　BCオプション・コントロール・レジスタ1（USBBCOPT1）のフォーマット

アドレス：F04BCH, F04BDH　　リセット時：0000H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBBCOPT1	－	－	－	－	－	－	DMCUSDET1	DPCUSDET1	－	CUSDETE1	VDOUTE1	－	VDSEL13	VDSEL12	VDSEL11	VDSEL10

ビット15	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

ビット14	予約ビット	R/W
－	書く場合，“0”を書いてください。	R/W

ビット13～10	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

DMCUSDET1 注	UDM1電圧検知（オプションBC：ホスト）	R/W
0	• ホスト時 UDM1端子出力電圧維持状態（VDSEL1xビットで選択された比較電圧範囲内）	R
1	• ホスト時 UDM1端子出力電圧変動検知（VDSEL1xビットで選択された比較電圧範囲を超えた場合）	

DPCUSDET1 注	UDP1電圧検知（オプションBC：ホスト）	R/W
0	• ホスト時 UDP1端子出力電圧維持状態（VDSEL1xビットで選択された比較電圧範囲内）	R
1	• ホスト時 UDP1端子出力電圧変動検知（VDSEL1xビットで選択された比較電圧範囲を超えた場合）	

ビット7	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

CUSDETE1	オプション電圧検知回路制御（オプションBC：ホスト）	R/W
0	禁止	R/W
1	許可	

VDOUTE1	オプション電圧出力制御（オプションBC：ホスト）	R/W
0	禁止	R/W
1	許可	

ビット4	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

VDSEL13～VDSEL10	UDP1/UDM1端子オプション出力電圧・比較電圧選択（オプションBC：ホスト）	R/W
UDP1/UDM1端子の出力電圧値および比較電圧値を選択する（備考参照）		R/W

注　CUSDETE1 = 1のとき，有効です。

備考　UV_{BUS} = 5.0 V時のUDP1/UDM1端子のオプション出力電圧値，およびオプションBC検知回路の比較電圧値を以下に示します。下記の電圧は，UV_{BUS}入力電圧に比例して変動します。

VDOUTE1	VDSEL13	VDSEL12	VDSEL11	VDSEL10	出力電圧（V）		比較電圧（V）（CUSDETE1 = 1のときに有効）	
					UDP1	UDM1	UDP1	UDM1
1（ホスト）	1	0	0	0	2.00	2.00	1.60～2.60	1.60～2.60
	1	0	0	1	2.68	2.00	2.45～2.80	1.60～2.60
	1	0	1	0	2.00	2.68	1.60～2.60	2.45～2.80
	1	1	0	0	3.30	3.30	－	－
上記以外					設定禁止			

14. 3. 38　USBモジュール制御レジスタ（USBMC）

図14－49　USBモジュール制御レジスタ（USBMC）のフォーマット

アドレス：F04CCH，F04CDH　　リセット時：0002H

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBMC	－	－	－	－	－	－	－	－	VBRPDCUT	－	－	－	－	－	PXXCON	VDDUSBE

ビット15～8	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

VBRPDCUT 注1	UV$_{BUS}$端子プルダウン抵抗制御	R/W
0	プルダウン抵抗有効	R/W
1	プルダウン抵抗無効	

ビット6～2	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

PXXCON	VDDUSBE	USB用内部電源制御	R/W
0	0	USB用内部電源停止 UV$_{DD}$端子はプルダウン設定注2	R/W
0	1	USB用内部電源停止 UV$_{DD}$端子外部印加時（3.3 V外部印加）注3 上記設定におけるBC接続検知機能（BC接続検知オプション機能を除く）使用時は必ずこの設定を選択してください注4	
1	0	USB用内部電源停止 UV$_{DD}$端子外部印加時（3.3 V外部印加）注3	
1	1	USB用内部電源動作（3.3 V内部生成）注3, 4	
USB用内部電源を制御します。			

注 1.　BCオプション（ホスト時）など，VBUS電源として使用する場合は，必ずVBRPDCUT = 1（プルダウン抵抗無効）にしてください。VBUS入力を使用するとき，もしくは未使用のときは，VBRPDCUT = 0（プルダウン抵抗有効）にしてください。

2.　USB電源のフローティングによる誤動作防止のため，UV$_{DD}$端子への外部電源の印加がない状態，もしくはUSB用内部電源が停止した状態となる場合はこの設定を選択してください。

3.　PXXCON = 0, VDDUSBE = 1またはPXXCON = 1, VDDUSBE = 0のとき，UDP/UDM端子はUV$_{DD}$端子から入力した外部電源のレベルをハイ・レベルとして動作します。
PXXCON = 1, VDDUSBE = 1のとき，UDP/UDM端子はUSB用内部電源が生成する3.3 Vをハイ・レベルとして動作し，UV$_{DD}$端子は3.3 Vを出力します。

4.　UV$_{DD}$端子への外部電源印加にてBC接続検知機能（BC接続検知オプション機能を除く）を使用する場合はPXXCON = 0, VDDUSBE = 1に，USB用内部電源を使用してのBC接続検知機能（BC接続検知オプション機能を除く）を使用する場合はPXXCON = 1, VDDUSBE = 1にそれぞれ設定してください。また，USB用内部電源使用時もしくはBC接続検知機能（BC接続検知オプション機能を除く）使用時（VDDUSBE=1のとき）は温度センサや内部基準電圧を使用したA/D変換を動作させることはできません。

14. 3. 39　デバイス・アドレスnコンフィグレーション・レジスタ（DEVADDn）（n = 0～5）

図14－50　デバイス・アドレスnコンフィグレーション・レジスタ（DEVADDn）（n = 0～5）のフォーマット

アドレス：F04D0H，F04D1H（DEVADD0），F04D2H，F04D3H（DEVADD1），　リセット時：0000H
F04D4H，F04D5H（DEVADD2），F04D6H，F04D7H（DEVADD3），
F04D8H，F04D9H（DEVADD4），F04DAH，F04DBH（DEVADD5）

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEVADDn	－	－	－	－	－	－	－	－	USBSPD1	USBSPD0	－	－	－	－	－	RTPORT

ビット15～8	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

USBSPD1	USBSPD0	通信対象デバイスの転送速度	R/W
0	0	DEVADDnレジスタ未使用	R/W
0	1	ロウ・スピード	
1	0	フル・スピード	
1	1	設定しないでください	
通信対象の周辺デバイスのUSB転送速度を設定します。 ホスト・コントローラ機能選択時，USBモジュールは，USBSPD[1:0]ビットの設定値を参照してパケットを生成します。 ファンクション・コントローラ機能選択時，“00B”にしてください。			

ビット5～1	何も配置されていない	R/W
－	書く場合，“0”を書いてください。読んだ場合，その値は“0”。	－

RTPORT	ルート・ハブ・ポート番号	R/W
0	USBポート0	R/W
1	USBポート1	
対応するデバイスがどちらのポートに接続されているかを指定します。 ホスト・コントローラ機能選択時，USBモジュールは，RTPORTビットの設定値を参照してパケットを生成します。 ファンクション・コントローラ機能選択時，本設定は無視されます。		

14. 4　動作説明

14. 4. 1　システム制御

USBモジュールの初期設定に必要なレジスタの設定および消費電力制御を行うために必要なレジスタについて説明します。

14. 4. 1. 1　動作開始

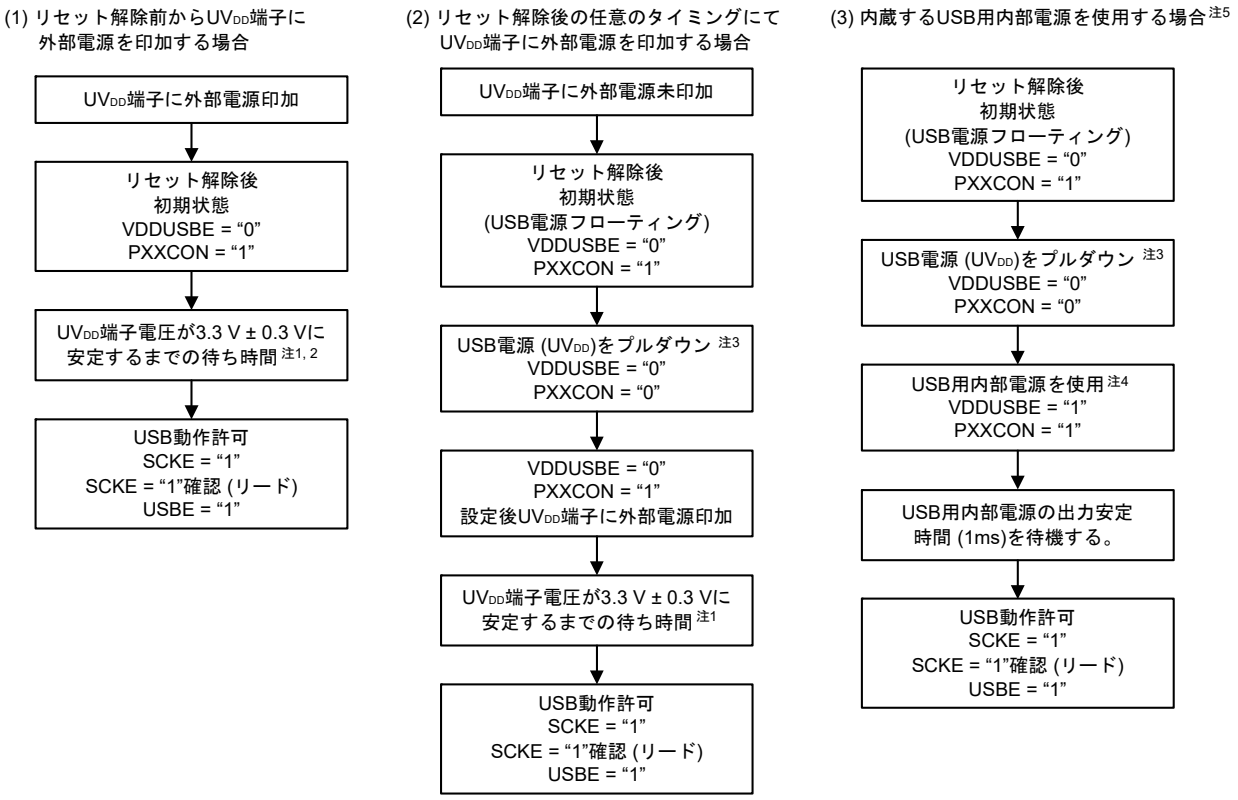
USB電源（UV_{DD}）は供給源としてUV_{DD}端子からの外部印加によるものと，内蔵するUSB用内部電源によるものが選択可能です。

UV_{DD}端子への外部印加が実施されていない場合，USB電源のリセット解除後の初期状態はフローティング状態となります。フローティング状態による誤動作防止のため，UV_{DD}端子への外部印加やUSB用内部電源を使用するまでの間，レジスタ設定によってUSB電源（UV_{DD}）をプルダウン（VDDUSBEビット=“0”，PXXCONビット=“0”）してください。

内蔵するUSB用内部電源を使用する場合は，UV_{DD}端子に外付け0.33uFの安定化容量（対VSS）を接続する必要があります。また，USB用内部電源の使用と同時に温度センサや内部基準電圧を使用したA/D変換を動作させることはできません。

図14－51にホスト／ファンクション・コントローラ機能使用時のUSB電源投入フローを示します。ホスト／ファンクション・BC接続検知機能（BC接続検知オプション機能を除く）使用時に関するUSB電源投入フローに関しては「応用技術資料（アプリケーションノート）」をご参照ください。

図14－51　USB電源投入フロー



注1. 待ち時間は使用する外部電源の特性に依存します。

2. リセット解除シーケンス期間でUVDD端子電圧が安定する場合，待ち時間は不要です。

3. USB電源のフローティングによる誤動作防止のため，UVDD端子への外部電源の未印加時やUSB用内部電源が停止した状態となる場合はこの設定を維持してください。

4. USB用内部電源使用時は温度センサや内部基準電圧を使用したA/D変換を動作させることはできません。

5. USB用内部電源を使用する場合はUVDD端子に外付け0.33 μFの安定化容量（対VSS）を接続してください。

14. 4. 1. 2　コントローラ機能の選択設定

USBモジュールは，ホスト・コントローラ機能またはファンクション・コントローラ機能を選択することができます。コントローラ機能の選択は，SYSCFGレジスタのDCFMビットで行います。ただし，DCFMビットの設定は，パワーオン・リセット直後の初期設定またはD+のプルアップ禁止状態（DPRPU = 0）でD+/D-のプルダウン禁止状態（DRPD = 0）のときに行ってください。

表14－13に本コントローラの各USBポートに対する機能選択について示します。

表14－13　USBポートの機能選択

ホスト・コントローラ機能選択時		
USBポート0	USBポート1	備考
Full or Low	Full or Low	転送スケジューリングはUSBポート0，USBポート1共通であり，出力はUSBポート0，USBポート1両ポートへドライブします。
ファンクション・コントローラ機能選択時		
USBポート0	USBポート1	備考
Full or Low	未使用	USBポート1は無効です。

14. 4. 1. 3　USBデータ・バス抵抗制御

USBモジュールは，D+，D-のプルアップ抵抗およびプルダウン抵抗を内蔵しています。SYSCFGレジスタのDPRPU，DRPDビットの設定によりプルアップ，プルダウンを設定してください。

ファンクション・コントローラ機能選択時は，USBホストへの接続を認識したあとで，SYSCFGレジスタのDPRPUビットを"1"に設定し，D+（フル・スピード時）／D-（ロウ・スピード時）をプルアップしてください。

また，PCと通信中にSYSCFGレジスタのDPRPUビットに”0”を設定した場合は，USBデータ・ラインのプルアップ抵抗をディセーブルにしますので，USBホストにデバイス切断を通知することができます。

ホスト・コントローラ機能選択時は，使用するポートのDRPDビット（SYSCFG，SYSCFG1レジスタ）を”1”に設定し，D+/D-をプルダウンしてください。

表14－14にUSBポート0 USBデータ・バス抵抗制御を，表14－15にUSBポート1 USBデータ・バス抵抗制御を示します。

表14－14　USBポート0 USBデータ・バス抵抗制御

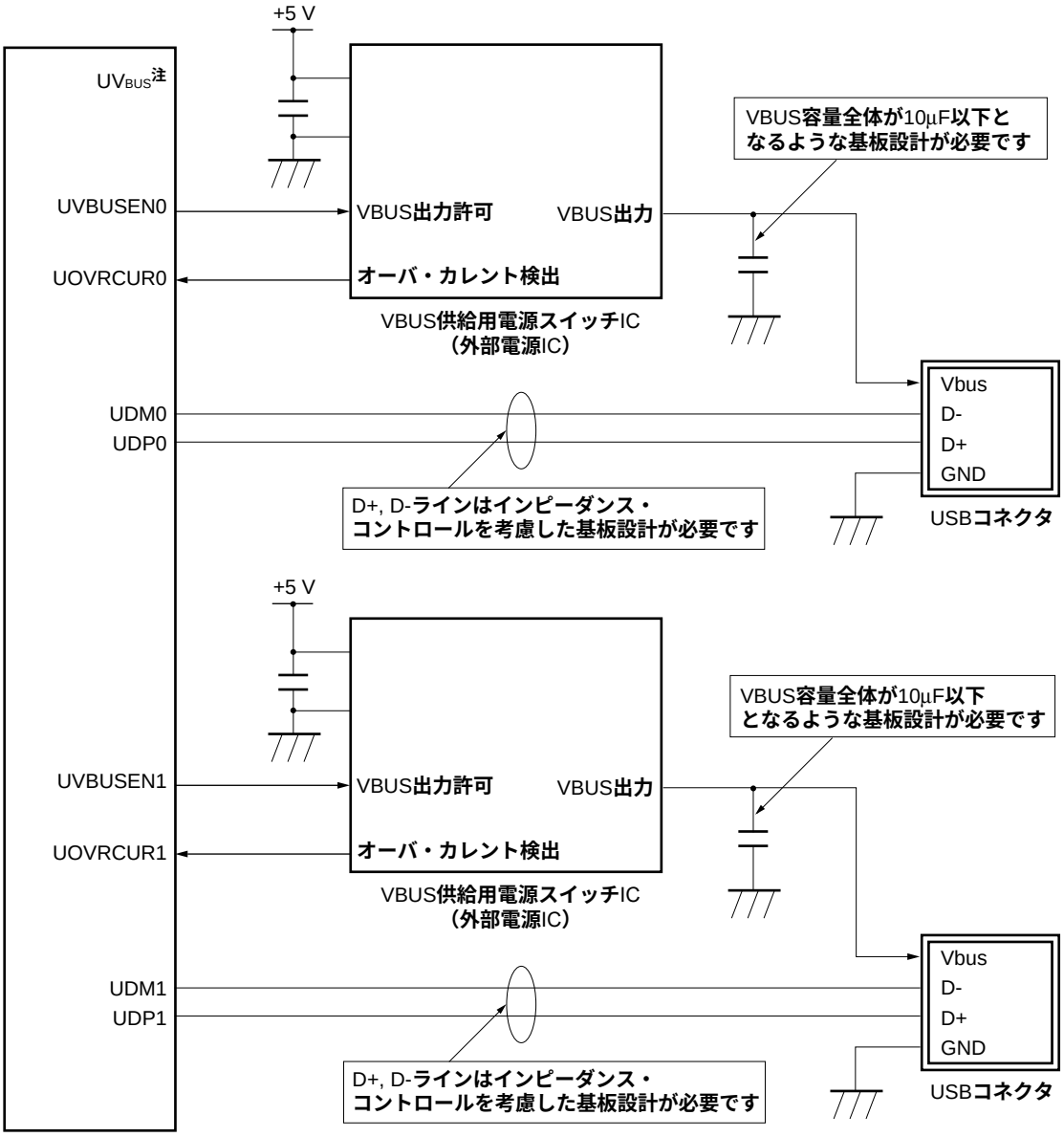
設定内容			USBデータ・バス抵抗制御		
DRPD	DPRPU	DMRPU	D- Line	D+ Line	Remarks
0	0	0	Open	Open	USBポート0未使用時
0	1	0	Open	Pull-Up	ファンクション・コントローラ（フル・スピード）として動作させる場合は，この状態に設定します。
0	0	1	Pull-Up	Open	ファンクション・コントローラ（ロウ・スピード）として動作させる場合は，この状態に設定します。
1	0	0	Pull-Down	Pull-Down	ホスト・コントローラとして動作させる場合は，この状態に設定します。
上記以外			－	－	設定禁止

表14－15　USBポート1 USBデータ・バス抵抗制御

設定内容	USBデータ・バス抵抗制御		
DRPD	D- Line	D+ Line	Remarks
0	Open	Open	USBポート1未使用時
1	Pull-Down	Pull-Down	ホスト・コントローラとして動作させる場合は，この状態に設定します。

図14－52～図14－56に，USB外部接続回路例を示します。

図14－52　USBコネクタのホスト接続例

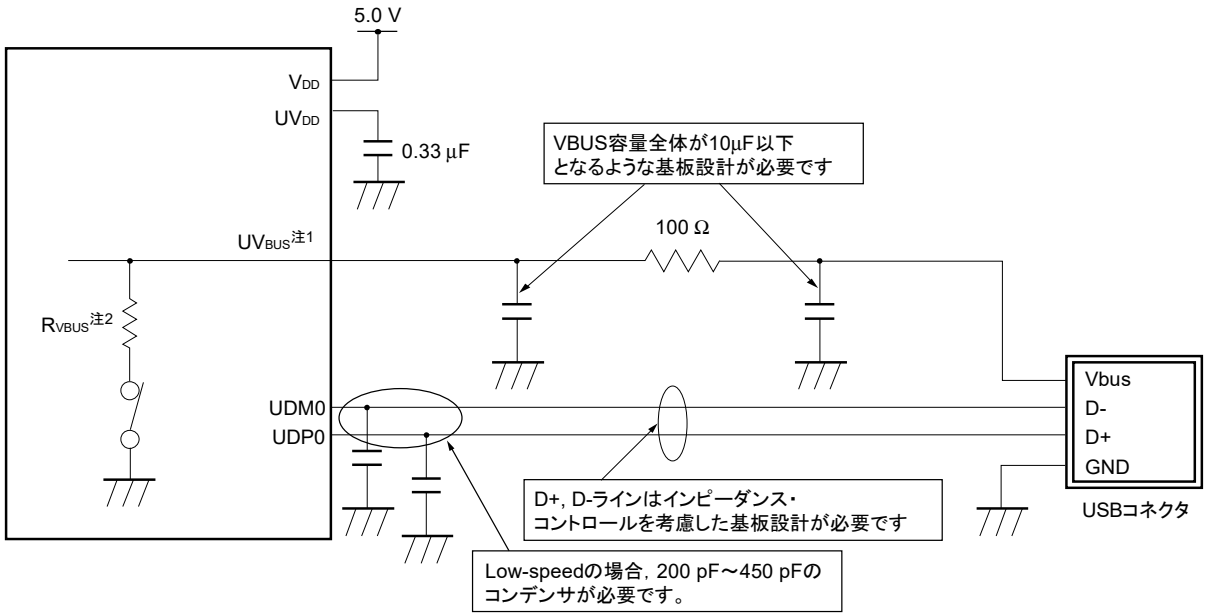


注　ホスト・コントローラ機能選択時はUVBUS入力端子を使用しません。

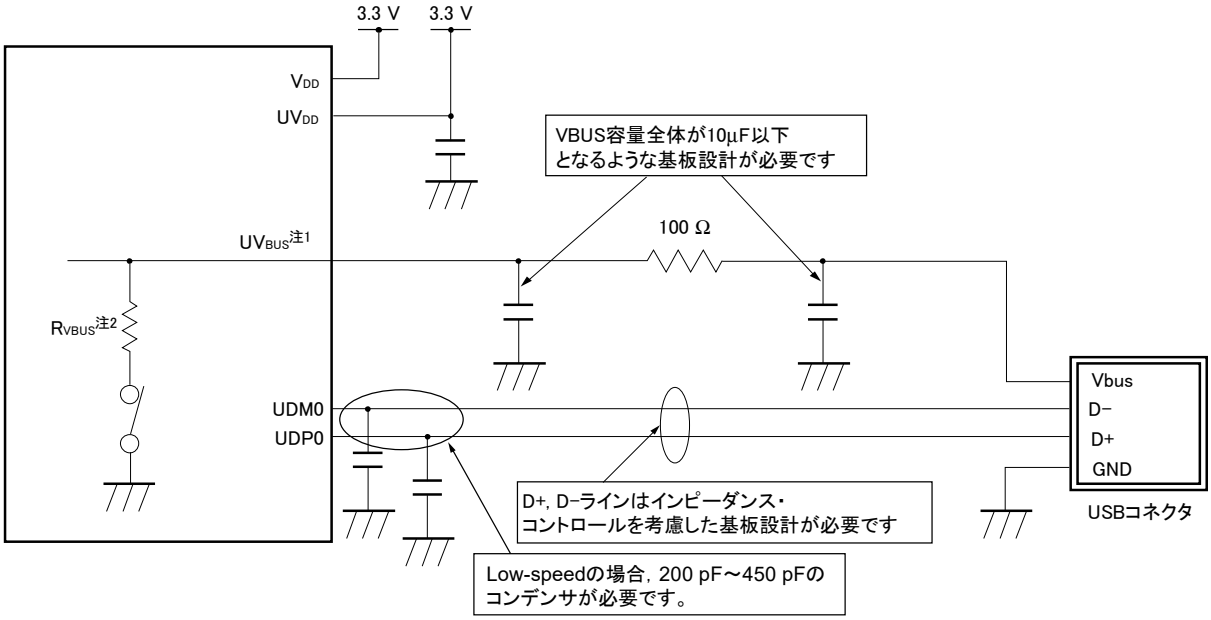
UVBUS端子はオープン時の端子レベルの不定状態を防止するためVBRPDCUTビット（USBMCレジスタのビット7）のデフォルト状態（0）において内蔵のプルダウン抵抗が接続されています。外部からの電圧印加によってUVBUS端子の電圧固定を実施する場合は，不要な消費電流を避けるためVBRPDCUTビットを1にセットして，この内蔵抵抗を切断してください。

またBattery Charging接続検知オプション機能を使用する場合は，USBコネクタに接続するVBUS電圧をUVBUS端子に印加する必要があります。この場合VBRPDCUTビットを1にセットして，UVBUS端子の内蔵プルダウン抵抗を切断してください。

★　図14－53　セルフパワード時（5 V）のUSBコネクタのファンクション接続例



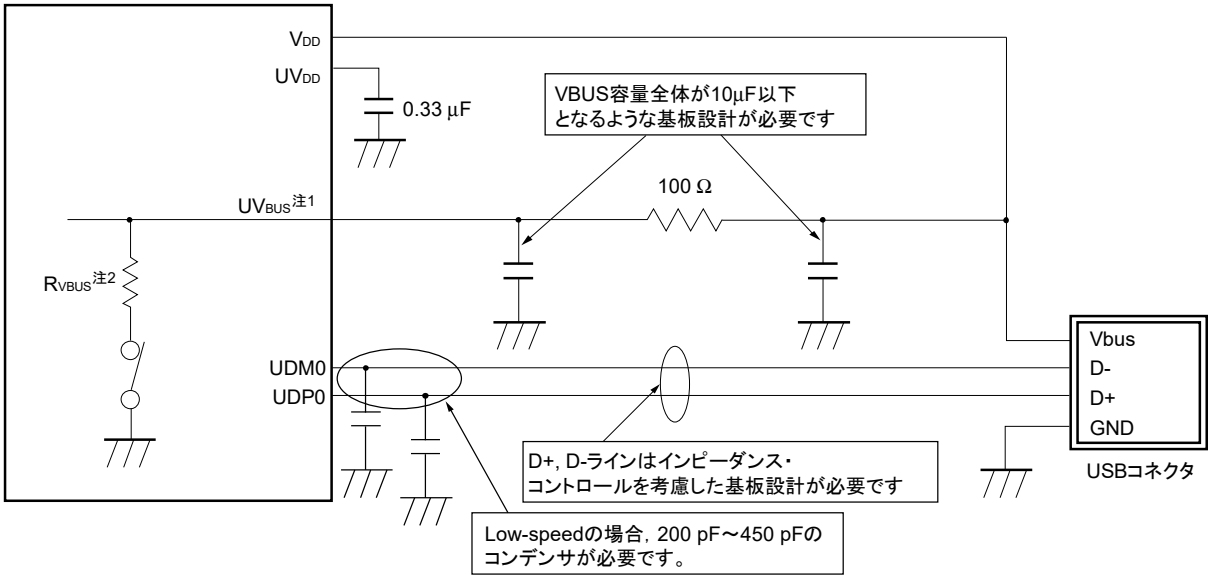
★　図14－54　セルフパワード時（3.3 V）のUSBコネクタのファンクション接続例



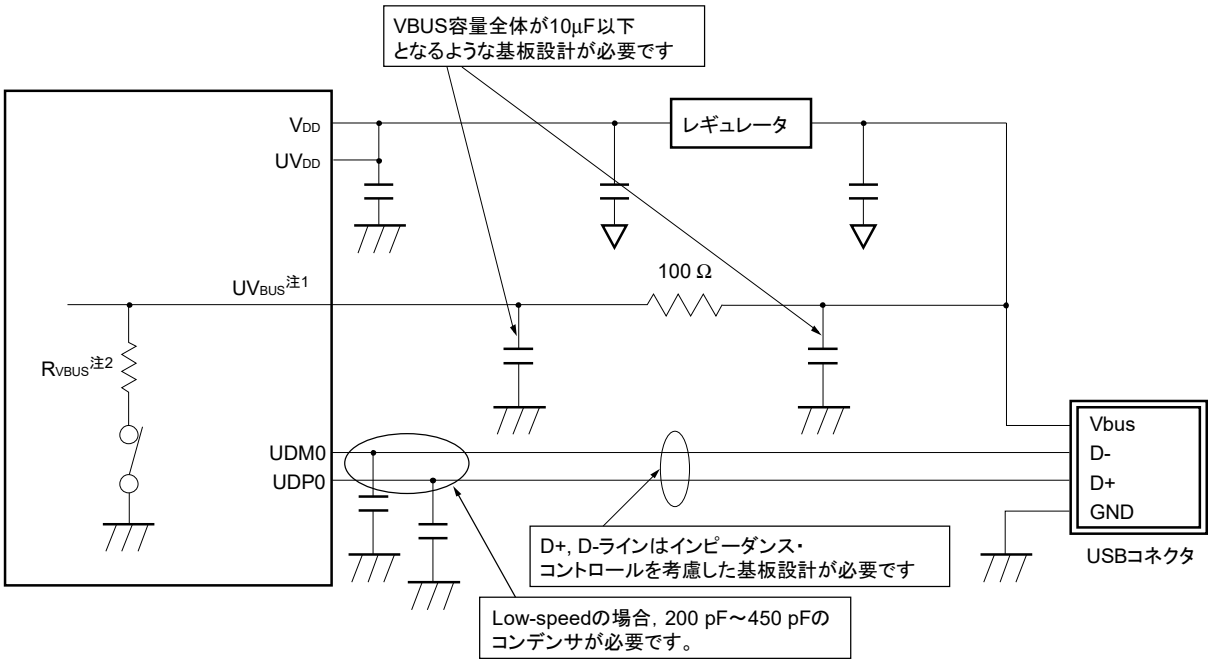
注1.　5 Vトレラント

2.　VBRPDCUTビット（USBMCレジスタのビット7）を0にクリアして内蔵のUVBUS端子プルダウン抵抗を接続してください。

★　図14－55　バスパワード時（5 V）のUSBコネクタのファンクション接続例



★　図14－56　バスパワード時（3.3 V）のUSBコネクタのファンクション接続例



注1.　5 Vトレラント

2.　VBRPDCUTビット（USBMCレジスタのビット7）を0にクリアして内蔵のUVBUS端子プルダウン抵抗を接続してください。

14. 4. 2　割り込み要因

表14－16にUSBモジュールの割り込み要因一覧を示します。

これらの割り込み発生条件が成立し，対応する割り込み許可レジスタにて割り込み出力許可が設定されているとき，USBは割り込みコントローラに対してUSB割り込み要求を発行し，USB割り込みが発生します。

表14－16　割り込み要因一覧　（1/2）

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
VBINT	VBUS割り込み	VBUS入力端子の状態変化を検出したとき （Low→High，High→Lowの両方の変化）	ホスト/ ファンクション 注	VBSTS
RESM	レジューム 割り込み	サスペンド状態においてUSBバスの状態変化を検出したとき （J-State→K-StateまたはJ-State→SE0）	ファンクション	－
SOFR	フレーム番号 更新割り込み	［ホスト・コントローラ機能選択時］ ・ フレーム番号の異なるSOFパケットを送信したとき ［ファンクション・コントローラ機能選択時］ ・ フレーム番号の異なるSOFパケットを受信したとき	ホスト/ ファンクション	－
DVST	デバイス・ ステート遷移 割り込み	・ デバイス・ステートの遷移を検出したとき USBバス・リセット検出 サスペンド状態検出 SET_ADDRESSリクエストの受信 SET_CONFIGURATIONリクエストの受信	ファンクション	DVSQ2～ DVSQ0
CTRT	コントロール 転送ステージ 遷移割り込み	・ コントロール転送のステージ遷移を検出したとき セットアップ・ステージ完了 コントロール・ライト転送ステータス・ステージ遷移 コントロール・リード転送ステータス・ステージ遷移 コントロール転送完了 コントロール転送シーケンス・エラー発生	ファンクション	CTSQ2～ CTSQ0
BEMP	バッファ・ エンプティ 割り込み	・ バッファ・メモリ中の全データを送信してバッファが空になったとき ・ マックス・パケット・サイズを超えたパケットを受信したとき	ホスト/ ファンクション	BEMPSTS レジスタの PIPEnBEMP

注　本割り込みは，ホスト機能時も発生しますが，通常ホスト機能時には使用しません。

表14－16　割り込み要因一覧　（2/2）

設定するビット	名称	割り込み要因	発生する機能	ステータスフラグ
NRDY	バッファ・ノット・レディ割り込み	［ホスト・コントローラ機能選択時］ ・発行したトークンに対して周辺デバイス側からのSTALLを受信したとき ・発行したトークンに対して周辺デバイス側からの応答を正しく受信できなかったとき（無応答が3回連続，またはパケット受信エラーが3回連続） ［ファンクション・コントローラ機能選択時］ ・INトークン/OUTトークンに対してNAKを応答したとき	ホスト/ファンクション	NRDYSTSレジスタのPIPEnNRDY
BRDY	バッファ・レディ割り込み	・バッファがリードまたはライト可能状態になったとき	ホスト/ファンクション	BRDYSTSレジスタのPIPEBRDY
OVRCR	オーバカレント変化割り込み	・UOVRCUR0（USBポート0），UOVRCUR1（USBポート1）入力端子の状態変化を検出したとき（Low→High，High→Lowの両方の変化）	ホスト	OVCMON
BCHG	バス変化割り込み	・USBバス・ステートの変化を検出したとき	ホスト/ファンクション	LNST
DTCH	USB切断検出割り込み	・USBデバイスの切断を検出したとき	ホスト	RHST
ATTCH	アタッチ割り込み	・USBバス・ステートが2.5μs連続したJ-STATE，または2.5μs連続したK-STATEを検出したとき。周辺デバイスの接続検出に使用可能。	ホスト	－
EOFERR	EOFエラー検出割り込み	・周辺デバイスのEOFエラーを検出	ホスト	－
SACK	セットアップ・トランザクションの正常応答割り込み	・セットアップ・トランザクションの正常応答（ACK）を受信したとき	ホスト	－
SIGN	セットアップ・トランザクションのエラー割り込み	・セットアップ・トランザクションのエラー（無応答またはACKパケット破損）を3回連続で検出したとき	ホスト	－
PDDETINT	PortableDevice検知割り込み	・PortableDeviceの接続を検知したとき	ホスト	PDDETSTS

図14－57にUSB割り込み関連図を，表14－17にUSB割り込み一覧を示します。

図14－57　USB割り込み関連図

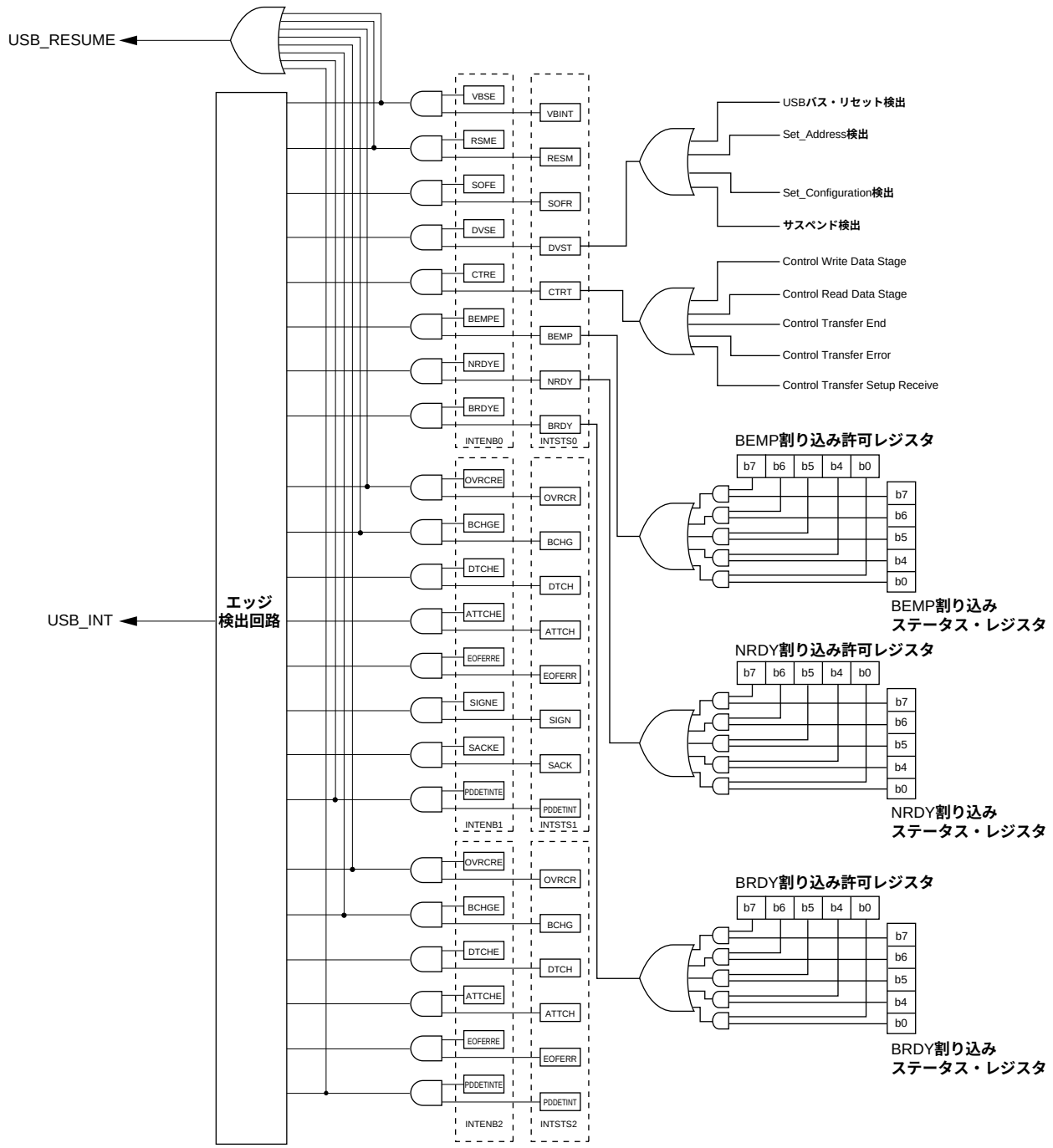


表14－17　USB割り込み一覧

割り込み名称	割り込みフラグ	優先順位
USB_INT	VBUS割り込み レジューム割り込み フレーム番号更新割り込み デバイス・ステート遷移割り込み コントロール転送ステージ遷移割り込み バッファ・エンプティ割り込み バッファ・ノット・レディ割り込み バッファ・レディ割り込み オーバカレント変化割り込み バス変化割り込み USB切断検出割り込み アタッチ割り込み EOFエラー検出 SETUP異常 SETUPエラー PortableDevice検知割り込み	高
USB_RESUME	VBUS割り込み レジューム割り込み オーバカレント変化割り込み バス変化割り込み PortableDevice検知割り込み	低

14. 4. 3　割り込みの説明

14. 4. 3. 1　BRDY割り込み

BRDY割り込みは，ホスト・コントローラ，ファンクション・コントローラのどちらの機能を選択したときでも発生します。各パイプが下記の条件を満たしたときに，USBモジュールはBRDYSTSレジスタの該当ビットを“1”にします。このとき，ソフトウエアが当該パイプに対応するBRDYENBレジスタのPIPEBRDYEビットを“1”にし，かつ，INTENB0レジスタのBRDYEビットを“1”にしていれば，USBモジュールはBRDY割り込みを発生させます。

BRDY割り込みは，BRDYMビットおよび各パイプのBFREビットの設定により，発生条件およびクリア方法が異なります。

（1）BRDYM = 0かつBFRE = 0設定時

この設定の場合，BRDY割り込みはFIFOポートにアクセス可能になったことを示す割り込みになります。

USBモジュールは，下記に示す条件の場合に，内部BRDY割り込み要求トリガを発生させ，要求トリガ発生パイプに対応するPIPEBRDYビットに“1”を表示します。

【送信方向に設定したパイプの場合】

- ソフトウエアがDIRビットを“0”から“1”に変更したとき。
- 当該パイプに割り付けたFIFOバッファへのCPUからの書き込みが不可状態のとき（BSTSビット読み出し値が“0”のとき）に，USBモジュールが当該パイプのパケット送信を完了したとき。
- FIFOバッファをダブル・バッファに設定しているときで，FIFOバッファ書き込み完了時にもう一方のFIFOバッファが空であったとき。
- FIFOバッファ書き込み中にもう一方が送信完了になっても，現在書き込み中の面が書き込み完了になるまでは要求トリガは発生しません。
- ACLRMビットに“1”を書くことより，FIFOバッファが書き込み不可能な状態から書き込み可能な状態になったとき。

DCPに対しては（すなわち，コントロール転送でのデータ送信においては）要求トリガは発生しません。

【受信方向に設定したパイプの場合】

- 当該パイプに割り付けたFIFOバッファへのCPUからの読み出しが不可状態のとき（BSTSビット読み出し値が“0”のとき）に，パケット受信が正常に完了し，FIFOバッファが読み出し可能状態になったとき。
  データPIDミスマッチのトランザクションに対し，要求トリガは発生しません。
- FIFOバッファをダブル・バッファに設定しているときで，FIFOバッファ読み出し完了時にもう一方のFIFOバッファも読み出し可能状態であったとき。
  読み出し中にもう一方が受信完了しても，現在読み出し中の面が読み出し完了になるまで要求トリガは発生しません。

ファンクション・コントローラ機能選択時のコントロール転送のステータス・ステージでの通信ではBRDY割り込みは発生しません。

ソフトウエアは，当該パイプに対応するBRDYSTSレジスタのPIPEBRDYビットに“0”を書き込むことにより，当該パイプのPIPEBRDY割り込みステータスを“0”にすることができます。このとき，他のパイプに対応するビットには“1”を書いてください。

この割り込みステータスのクリアは，必ずFIFOバッファへのアクセスを行う前に実施してください。

（2）BRDYM = 0かつBFRE = 1設定時

この設定の場合，USBモジュールは，受信パイプにおいて1トランスファ分の全データ読み出し完了時に，BRDY割り込み発生と判断し，BRDYSTSレジスタの当該パイプに対応するビットに“1”を表示します。

USBモジュールは，以下のいずれかのときに1トランスファにおける最後のデータを受信したと判定します。

・Zero-Lengthパケットを含むショート・パケットを受信したとき

・トランザクション・カウンタ（TRNCNTビット）を使用し，TRNCNTビット設定値分のパケットを受信したとき

上記判定条件を満たしたあと，そのデータの読み出しが完了したときに，USBモジュールは1トランスファ分の全データ読み出し完了と判断します。

FIFOバッファが空の状態でZero-Lengthパケット受信した場合は，Zero-LengthパケットがCPU側へトグルされた時点で，USBモジュールは1トランスファ分の全データ読み出し完了と判断します。この場合，次のトランスファを開始するためには，対応するFIFOCTRレジスタのBCLRビットにソフトウエアで“1”を書いてください。

この設定の場合には，USBモジュールは送信パイプに対してBRDY割り込みを検出しません。

ソフトウエアは，当該パイプに対応するPIPEBRDYビットに“0”を書くことにより，当該パイプのPIPEBRDY割り込みステータスを“0”にすることができます。このとき他のパイプに対応するビットには“1”を書いてください。

このモードを使用するときには，トランスファ分の処理を終了するまでBFREビットの設定値を変更しないでください。

途中でBFREビットを変更する場合には，ACLRMビットにより対応するパイプのFIFOバッファをすべてクリアしてください。

（3）BRDYM = 1かつBFRE = 0設定時

この設定の場合，PIPEBRDYビットの値は各パイプのBSTSビットに連動します。すなわち，BRDY割り込みステータスはFIFOバッファの状態によってUSBモジュールが“1”，“0”を表示します。

【送信方向に設定したパイプの場合】

FIFOポートにデータが書き込み可能な状態であれば“1”を表示し，書き込み不可の状態になれば“0”を表示します。

ただし，DCPの送信パイプが書き込み可能であっても，BRDY割り込みは発生しません。

【受信方向に設定したパイプの場合】

FIFOポートにデータが読み出し可能な状態であれば“1”を表示し，すべてのデータを読み出したら（読み出し不可の状態になったら）“0”を表示します。

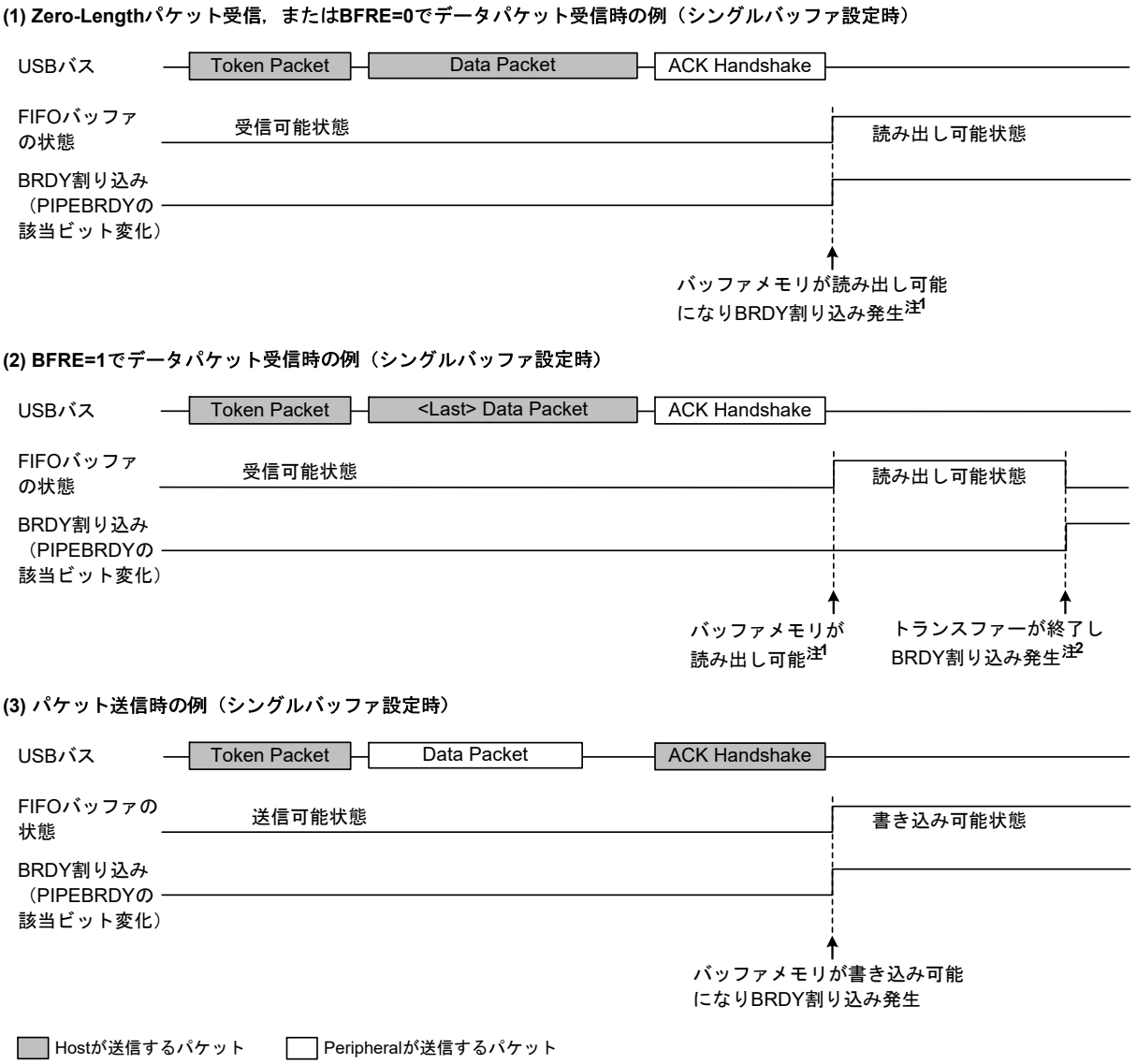
FIFOバッファが空でZero-Lengthパケットを受信した場合，ソフトウエアがBCLR = 1を書き込むまで該当ビットには“1”が表示されBRDY割り込みは発生し続けます。

受信方向に設定したパイプ設定時，ソフトウエアは，PIPEBRDYビットの“0”クリアを行うことはできません。

BRDYM = 1設定時は，BFREビットは必ずすべて（全パイプ）“0”に設定してください。

図14－58にBRDY割り込み発生タイミングを示します。

図14－58　BRDY割り込み発生タイミング



注1. FIFOバッファ読み出し可能になる条件は以下のとおりです。

未読み出しデータがCPU側バッファ・メモリに存在しない状態で1パケット受信が発生した。

2. トランスファ終了の条件は以下のとおりです。

以下（1），（2）いずれかの受信が発生したとき

（1）Zero-Lengthを含むショート・パケット受信

（2）トランザクション・カウンタ分のパケット受信

USBモジュールがINTSTS0レジスタのBRDYビットをクリアする条件は，SOFCFGレジスタのBRDYMビットの設定値によって異なります。表14－18にBRDYビットクリア条件表を示します。

表14－18　BRDYビットクリア条件表

BRDYM	BRDYビットのクリア条件
0	ソフトウエアがBRDYSTSレジスタの全ビットを“0”にすると，USBモジュールはINTSTS0レジスタのBRDYビットを“0”にします
1	全パイプのBSTSビットが“0”になったときに，USBモジュールはINTSTS0レジスタのBRDYビットを“0”にします

14. 4. 3. 2　NRDY割り込み

ソフトウエアがPID = BUFに設定したパイプに対して，USBモジュールが内部NRDY割り込み要求を発生させた場合に，USBモジュールはNRDYSTSレジスタのPIPEnNRDYビットの対応するビットに“1”を表示します。このとき，ソフトウエアによってNRDYENBレジスタの対応するビットを“1”にしている場合，USBモジュールはINTSTS0レジスタのNRDYビットに“1”を表示し，USB割り込みを発生させます。

USBモジュールが，あるパイプに対して内部NRDY割り込み要求を発生させる条件を以下に示します。

ただし，ホスト・コントローラ機能選択時のSETUPトランザクション実行時は以下の割り込み発生条件に該当しません。ホスト・コントローラ機能選択時のSETUPトランザクションでは，SACK割り込みまたはSIGN割り込みを検出します。

また，ファンクション・コントローラ機能選択時のコントロール転送ステータス・ステージ実行時は割り込み要求を発生させません。

（1）ホスト・コントローラ機能選択時

USBモジュールは，以下のいずれかの条件を満たした場合に，NRDY割り込みを検出します。

【送信方向に設定したパイプの場合】

・SETUPトランザクション以外の通信において，周辺デバイスが無応答（周辺デバイスからのHandshakeパケットを検出しないままタイムアウトを検出した場合），または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。
このとき，USBモジュールは，PIPEnNRDYビットの対応するビットに“1”を表示し，対応するパイプのPIDビットをNAKに変更します。

・SETUPトランザクション以外の通信において，周辺デバイスからSTALL Handshakeを受信したとき。
このときUSBモジュールは，PIPEnNRDYビットの対応するビットに“1”を表示し，対応するパイプのPIDビットをSTALL（“11B”）に変更します。

【受信方向に設定したパイプの場合】

・USBモジュールが発行したINトークンに対して周辺デバイスが無応答（周辺デバイスからのDATAパケットを検出しないままタイムアウトを検出した場合），または周辺デバイスからのパケットにエラーを検出したケースが任意の組み合わせで3回連続して発生したとき。
このときUSBモジュールは，当該パイプに対応するPIPEnNRDYビットに“1”を表示し，対応するパイプのPIDビットをNAKに変更します。

・STALL Handshakeを受信したとき。
このときUSBモジュールは，当該パイプに対応するPIPEnNRDYビットに“1”を表示し，対応するパイプのPIDビットをSTALL（“11B”）に変更します。

（2）ファンクション・コントローラ機能選択時

USBモジュールは，以下のいずれかの条件を満たした場合に，NRDY割り込みを検出します。

【送信方向に設定したパイプの場合】

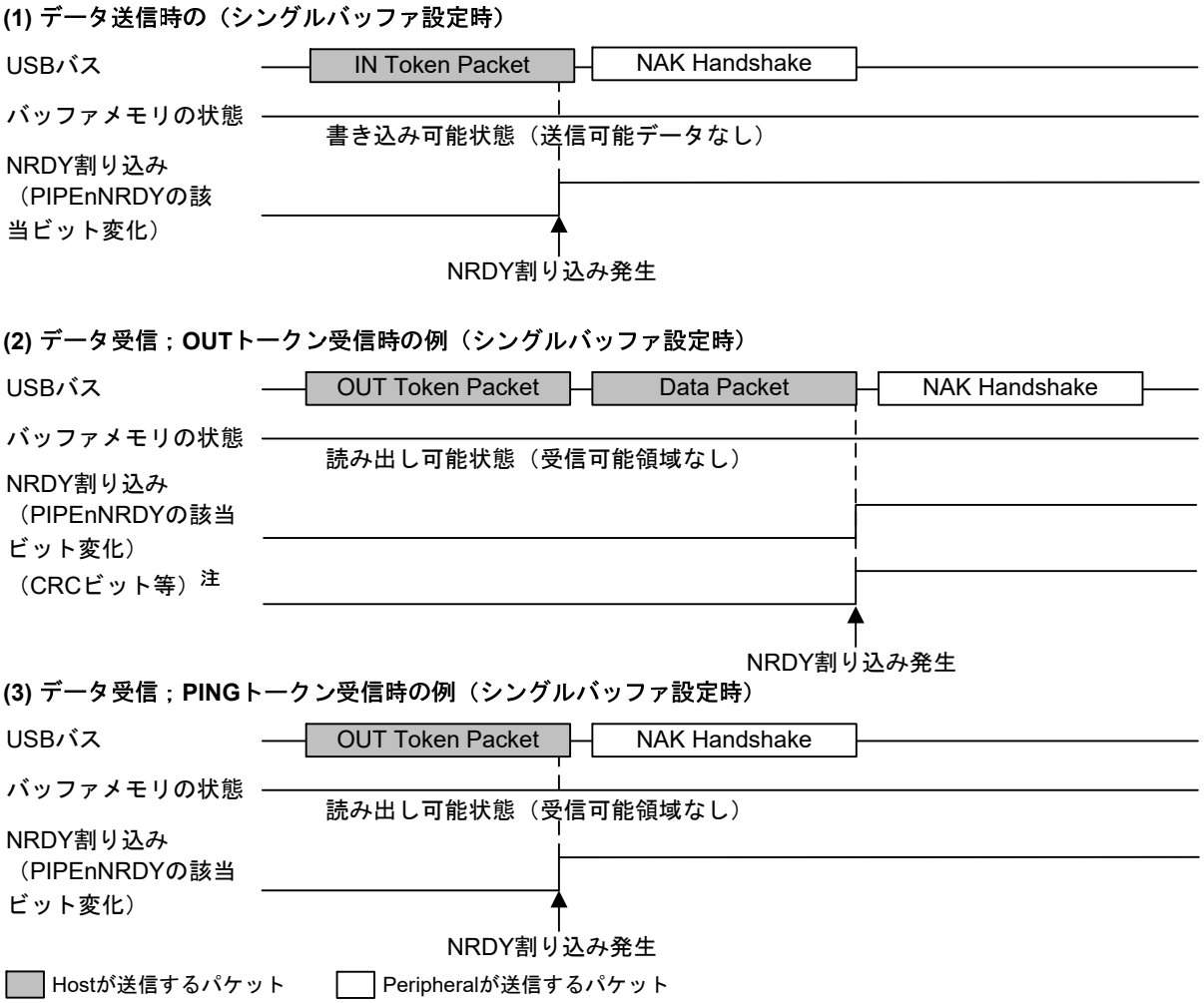
・FIFOバッファに送信データがない状態でINトークンを受信したとき
INトークン受信時にUSBモジュールはNRDY割り込み要求を発生させPIPEnNRDYビットに“1”を表示します。

【受信方向に設定したパイプの場合】

・FIFOバッファに空きがない状態でOUTトークンを受信したとき，
USBモジュールはOUTトークンに続くデータ受信後NAK Handshakeを送信するときにNRDY割り込み要求を発生させ，PIPEnNRDYビットに“1”を表示します。
ただし，再送時（DATA-PIDミスマッチ発生時）には，NRDY割り込み要求を発生させません。また，DATAパケットにエラーがある場合にも，発生させません。

図14－59にファンクション・コントローラ機能時のNRDY割り込み発生タイミングを示します。

図14－59　ファンクション・コントローラ機能時のNRDY割り込み発生タイミング



注　当該Pipeの転送タイプがIsochronous転送の場合のときのみCRCビット，OVRNビットが変化します。

14. 4. 3. 3　BEMP割り込み

ソフトウエアがPID = BUFに設定したパイプに対して，USBモジュールが，BEMP割り込みを検出した場合に，USBモジュールはBEMPSTSレジスタのPIPEnBEMPビットの対応するビットに“1”を表示します。このとき，ソフトウエアによってBEMPENBレジスタの対応するビットに“1”が設定されている場合，USBモジュールはINTSTS0レジスタのBEMPビットに“1”を表示し，USB割り込みが発生します。

以下の場合に，USBモジュールは内部BEMP割り込み要求を発生させます。

【送信方向に設定したパイプの場合】

・送信完了時（Zero-Lengthパケットの送信時を含む）に，対応するパイプのFIFOバッファが空のとき
シングル・バッファ設定時は，DCP以外のパイプに対してはBRDY割り込みと同時に内部BEMP割り込み要求を発生させます。
ただし，以下の場合は内部BEMP割り込み要求を発生させません。
・ダブル・バッファ設定時に，1面分のデータ送信完了時にソフトウエア（DMAC）がCPU側のFIFOバッファに対する書き込みを開始している場合
・また，ACLRMビットまたはBCLRビットに“1”を書くことによるバッファ・クリア（エンプティ）。
・ファンクション・コントローラ機能設定時，コントロール転送StatusステージのIN転送（Zero-Lengthパケット送信）時

【受信方向に設定したパイプの場合】

MaxPacketSizeの設定値より大きなデータ・サイズを正常受信したとき。

この場合，USBモジュールは，BEMP割り込み要求を発生させ，BEMPSTSレジスタのPIPEnBEMPビットの対応するビットに“1”を表示し，受信データを破棄し，対応するパイプのPIDビットをSTALL（“11B”）に変更します。

このときUSBモジュールは，ホスト・コントローラ機能設定時には無応答し，ファンクション・コントローラ機能設定時にはSTALL応答を行います。

ただし，以下の場合は内部BEMP割り込み要求を発生させません。

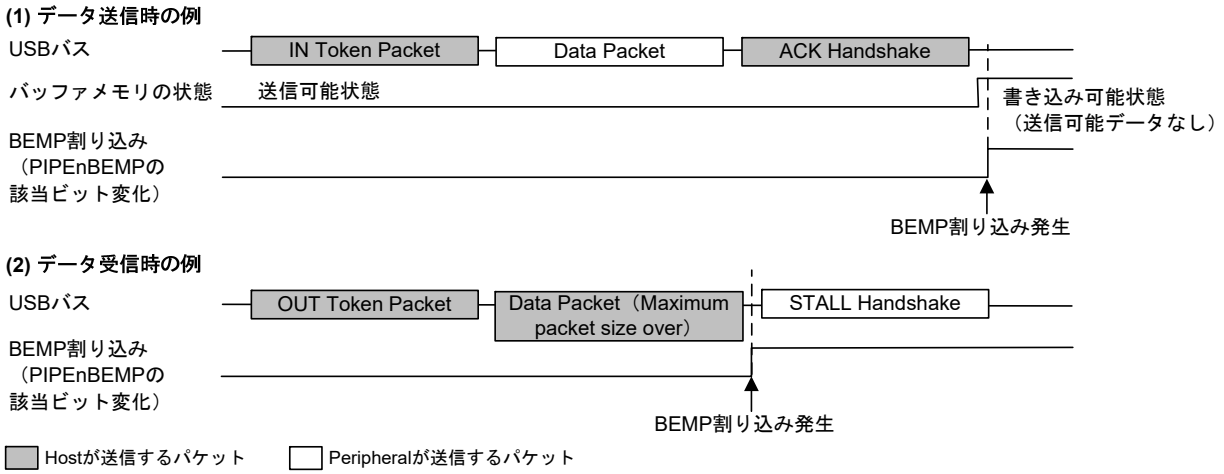
・受信データにCRCエラー，またはビットスタッフィングエラー等を検出したとき
・SETUPトランザクション実行時

BEMPSTSレジスタのPIPEnBEMPビットに“0”を書くことにより，ステータスをクリアすることができます。

BEMPSTSレジスタのPIPEnBEMPビットに“1”を書いても，動作に影響ありません。

図14－60にファンクション・コントローラ機能選択時のBEMP割り込み発生タイミングを示します。

図14－60　ファンクション・コントローラ機能選択時のBEMP割り込み発生タイミング



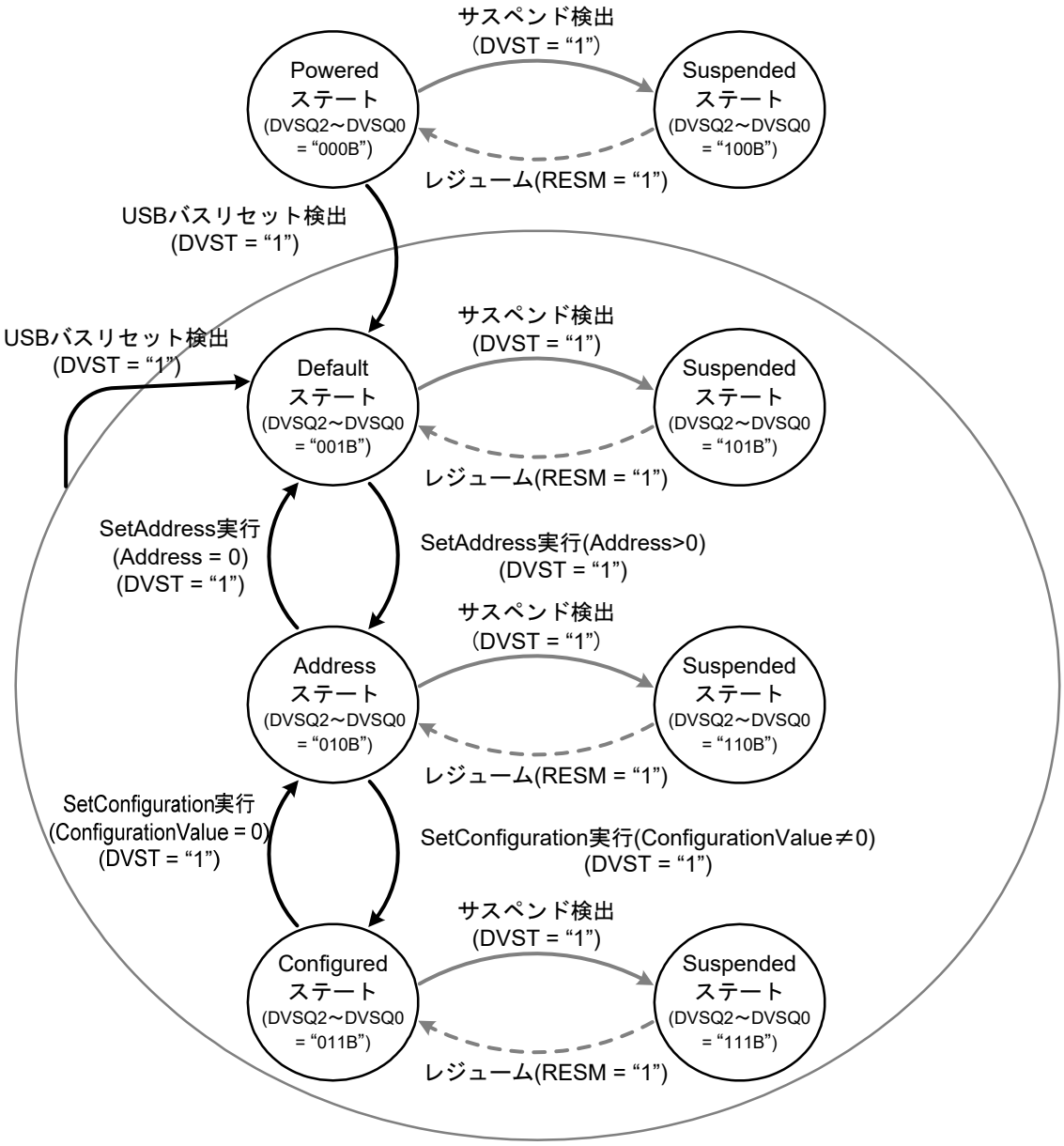
14. 4. 3. 4　デバイス・ステート遷移割り込み

図14－61にUSBモジュールのデバイス・ステート遷移図を示します。USBモジュールは，デバイス・ステートを管理し，デバイス・ステート遷移割り込みが発生します。ただし，サスペンドからの復帰（レジューム信号検出）は，レジューム割り込みで検出します。デバイス・ステート遷移割り込みは，INTENB0レジスタで個別に割り込みの許可または禁止を設定することができます。また，遷移したデバイス・ステートは，INTSTS0レジスタのDVSQ2～DVSQ0ビットにて確認できます。

デフォルト・ステートに遷移する場合には，USBバス・リセット検出後に，デバイス・ステート遷移割り込みが発生します。

デバイス・ステートの管理は，ファンクション・コントローラ機能選択時のみ行います。デバイス・ステート遷移割り込みもファンクション・コントローラ機能選択時のみ発生します。

図14－61　デバイス・ステート遷移図



注意．上図の実線の遷移が発生したとき，DVSTビットが“1”になります。
破線は，RESMビットが“1”になります。

14. 4. 3. 5　コントロール転送ステージ遷移割り込み

図14－62にUSBモジュールのコントロール転送ステージ遷移図を示します。USBモジュールは，コントロール転送のシーケンスを管理し，コントロール転送ステージ遷移割り込みが発生します。コントロール転送ステージ遷移割り込みは，INTENB0レジスタで個別に割り込みの許可または禁止を設定することができます。また，遷移した転送ステージはINTSTS0レジスタのCTSQ2～CTSQ0ビットにて確認できます。

コントロール転送ステージ遷移割り込みは，ファンクション・コントローラ機能を選択した場合のみ発生します。

コントロール転送のシーケンス・エラーを下記に示します。エラーが発生した場合は，DCPCTRレジスタのPIDビットが1xB（STALL応答）になります。

（1）コントロール・リード転送時

・データ・ステージのINトークンに対して，1度もデータ転送していない状態でOUTトークンを受信
・ステータス・ステージでINトークン受信
・ステータス・ステージでデータ・パケットがDATAPID = DATA0のパケットを受信

（2）コントロール・ライト転送時

・データ・ステージのOUTトークンに対して，一度もACK応答していない状態でINトークンを受信
・データ・ステージで最初のデータ・パケットがDATAPID = DATA0のパケットを受信
・ステータス・ステージでOUTトークン受信

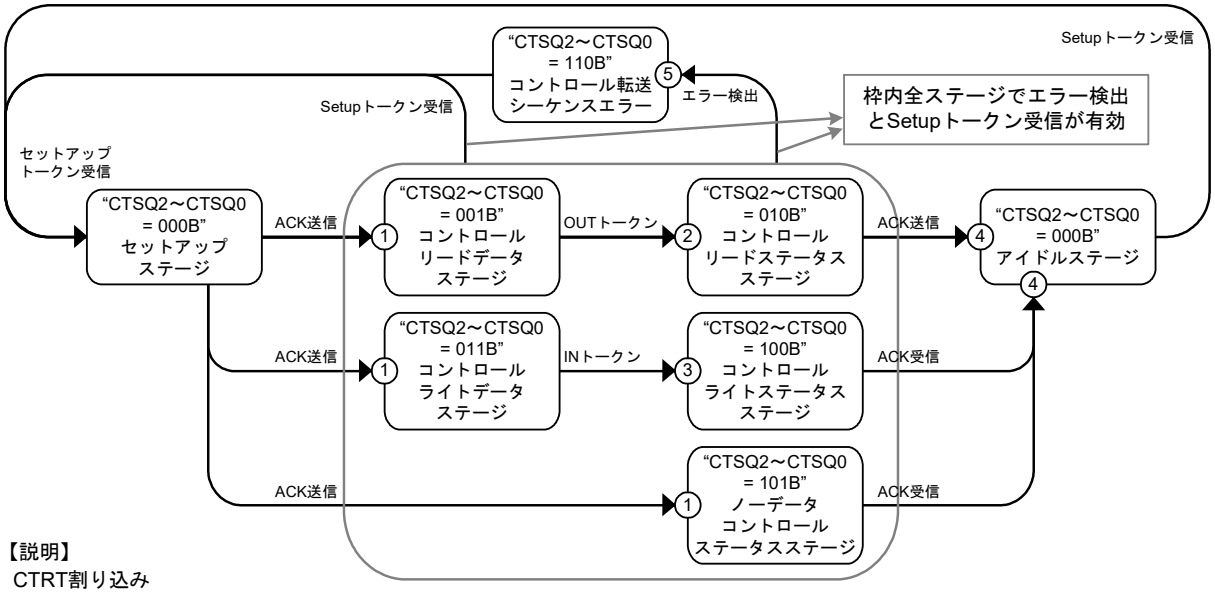
（3）コントロール・ライト・ノー・データ・コントロール転送時

・ステータス・ステージでOUTトークン受信

なお，コントロール・ライト転送データ・ステージで，受信データ数がUSBリクエストのwLength値を超えた場合は，コントロール転送シーケンス・エラーと認識できません。また，コントロール・リード転送ステータス・ステージで，Zero-Lengthパケット以外のパケット受信には，ACK応答を行い正常終了します。

シーケンス・エラーによるCTRT割り込み発生時（SERR = 1）は，CTSQ2～CTSQ0ビット = “110B”の値がシステムからCTRT = 0書き込み（割り込みステータス・クリア）するまで保持されます。このため，CTSQ2～CTSQ0ビット = “110B”が保持されている状態では，新しいUSBリクエストを受信しても，セットアップ・ステージ完了のCTRT割り込みは発生しません（セットアップ・ステージ完了は，USBモジュールで保持されており，ソフトウエアによる割り込みステータス・クリア後に，セットアップ・ステージ完了割り込みが発生します）。

図14－62　コントロール転送ステージ遷移図



【説明】
CTRT割り込み
①セットアップステージ完了
②コントロールリード転送ステータスステージ遷移
③コントロールライト転送ステータスステージ遷移
④コントロール転送完了
⑤コントロール転送シーケンスエラー

14. 4. 3. 6　フレーム番号更新割り込み

ホスト・コントローラ機能を選択した場合は，フレーム番号更新のタイミングで割り込みが発生します。ファンクション・コントローラ機能を選択した場合は，フレーム番号が更新されたときにSOFR割り込みが発生します。

ファンクション・コントローラ機能を選択した場合，USBモジュールは，フル・スピード動作中に新しいSOFパケットを検出すると，フレーム番号を更新してSOFR割り込みを発生します。

14. 4. 3. 7　VBUS割り込み

VBUS端子に変化があった場合にVBUS割り込みが発生します。INTSTS0レジスタのVBSTSビットにてVBUS端子のレベルを確認できます。VBUS割り込みによってホスト・コントローラの接続および切断の確認ができます。ただし，ホスト・コントローラが接続された状態でシステムが起動された場合は，VBUS端子が変化しないため，最初のVBUS割り込みが発生しません。

14. 4. 3. 8　レジューム割り込み

ファンクション・コントローラ機能選択時，デバイス・ステートがサスペンド状態でUSBバス状態が変化（J-State→K-StateまたはJ-State→SE0）したときにレジューム割り込みが発生します。レジューム割り込みによってサスペンド状態からの復帰を検出します。

ホスト・コントローラ機能選択時，レジューム割り込みは発生しません。USBバスの変化はBCHG割り込みを用いて検出してください。

14. 4. 3. 9　オーバカレント変化割り込み

USBポート0側は，UOVRCUR0端子に変化があった場合にオーバカレント変化割り込み（OVRCR割り込み）が発生します。SYSSTS0レジスタのOVCMON1，OVCMON0ビットにてUOVRCUR0端子のレベルを確認できます。OVRCR割り込みによって外部電源ICからオーバカレント検出の確認ができます。

USBポート1側はUOVRCUR1端子に変化があった場合にOVRCR割り込みが発生します。SYSSTS1レジスタのOVCMON1，OVCMON0ビットにてUOVRCUR1端子のレベルを確認できます。OVRCR割り込みによって外部電源ICからオーバカレント検出の確認ができます。

14. 4. 3. 10　バス変化割り込み

USBバス・ステートに変化があった場合に，バス変化割り込み（BCHG割り込み）が発生します。ホスト・コントローラ機能選択時の周辺デバイスの接続，リモート・ウェイク・アップの検出に使用します。BCHG割り込みは，ホスト・コントローラ機能またはファンクション・コントローラ機能のどちらを選択していても発生します。

14. 4. 3. 11　USB切断検出割り込み

ホスト・コントローラ機能選択時に，USBバスのディスコネクトを検出した場合，USB切断検出割り込み（DTCH割り込み）が発生します。USBモジュールは，USB Specification2.0に準じた基準でバス・ディスコネクトを検出します。

USBモジュールは，DTCH割り込みを検出後（該当する割り込み許可ビットの設定値に関わらず）以下のハードウエア制御を行います。ソフトウエアは，当該ポートに対して通信を行っているパイプをすべて通信終了させ，当該ポートへのアタッチ（ATTCH割り込み発生）待ちの状態に遷移してください。

・DTCH割り込みを検出したポートのUACTビットを“0”に変更し表示する。

・DTCH割り込みが発生したポートをアイドル状態に遷移させる。

14. 4. 3. 12　セットアップ・トランザクション正常応答割り込み

ホスト・コントローラ機能選択時に，送信したセットアップ・パケットに対して周辺デバイスからのACK応答を受信した場合にセットアップ・トランザクション正常応答割り込み（SACK割り込み）が発生します。SACK割り込みにより，セットアップ・トランザクションが正常に終了したことを知ることができます。

14. 4. 3. 13　セットアップ・トランザクション・エラー割り込み

ホスト・コントローラ機能選択時に，送信したセットアップ・パケットに対して周辺デバイスからのACK応答を3回連続で正常に受信できなかった場合にセットアップ・トランザクション・エラー割り込み（SIGN割り込み）が発生します。周辺デバイスがACKを送信しなかった場合（無応答）や，ACKパケットの破損を検出することができます。

14. 4. 3. 14　アタッチ割り込み

ホスト・コントローラ機能選択時，USBポートにフル・スピード/ロウ・スピード信号レベルのJ-StateまたはK-Stateを2.5μs間検出した場合，アタッチ割り込み（ATTCH割り込み）が発生します。ATTCH割り込み検出条件は，具体的には以下のとおりです。

・K-State，SE0またはSE1からJ-Stateに変化しJ-Stateのまま2.5μs間継続したとき

・J-State，SE0またはSE1からK-Stateに変化しK-Stateのまま2.5μs間継続したとき

14. 4. 3. 15　EOFエラー割り込み

USB2.0仕様書に定められているEOF2タイミング時点で通信が終了しないことを検出した場合, EOFエラー割り込み（EOFERR割り込み）を発生します。

USBモジュールは，EOFERR割り込みを検出後（該当する割り込み許可ビットの設定値に関わらず）以下のハードウエア制御を行います。ソフトウエアは，該当ポートに対して通信を行っているパイプをすべて通信終了させ，該当ポートへの再Enumerationを行ってください。

・EOFERR割り込みを検出したポートのDVSTCTR0レジスタのUACTビットを“0”に変更し表示する。

・EOFERR割り込みが発生したポートをアイドル状態に遷移させる。

14. 4. 3. 16　PortableDevice検知割り込み

USBトランシーバからのPDDET出力の変化（“High”から“Low”への変化，および“Low”から“High”への変化）を検出したときに割り込みを発生します。PortableDevice検知割り込み発生時は，ソフトウエアでPDDETSTSビット読み出しの数度一致を行い，チャタリング処理を実施してください。

14. 4. 4　パイプ・コントロール

表14－19にUSBモジュールのパイプ設定項目一覧を示します。USBデータ転送は，エンド・ポイントと呼ばれる論理パイプにて，データ通信を行う必要があります。USBモジュールにはデータ転送用に5本のパイプがあります。各パイプは，システムの仕様に合わせて設定を行ってください。

表14－19　パイプ設定項目一覧

レジスタ名	ビット名	設定内容	備考
DCPCFG PIPECFG	TYPE	転送タイプを指定	パイプ4，5：設定可能
	BFRE	BRDY割り込みモードを選択	パイプ4，5：設定可能
	DBLB	ダブル・バッファを選択	パイプ4，5：設定可能
	DIR	転送方向を選択	INまたはOUT設定可能
	EPNUM	エンド・ポイント番号	パイプ4，5：設定可能 パイプ使用時は“0000B”以外に設定
	SHTNAK	トランスファ終了時のパイプ禁止選択	パイプ4，5：設定可能
DCPMAXP PIPEMAXP	DEVSEL	デバイス選択	ホスト・コントローラ機能選択時のみ参照
	MXPS	マックス・パケット・サイズ	USB規格に準拠した設定
PIPEPERI	IFIS	バッファ・フラッシュ	パイプ4～7：設定不可
	IITV	インターバル・カウンタ	パイプ4，5：設定不可 パイプ6，7：ホスト・コントローラ機能選択時のみ設定可能
DCPCTR PIPEnCTR	BSTS	バッファ・ステータス	DCPはISELビットにより，受信/送信バッファ状態の切り替え
	INBUFM	INバッファ・モニタ	パイプ4，5のみ内蔵
	SUREQ	SETUPリクエスト	DCPのみ設定可能 ホスト・コントローラ機能選択時のみ制御可能
	SUREQCLR	SETUPリクエスト・クリア	DCPのみ設定可能 ホスト・コントローラ機能選択時のみ制御可能
	ATREPM	自動応答モード	パイプ4，5：設定可能 ファンクション・コントローラ機能選択時のみ設定可能
	ACLRM	自動バッファ・クリア	パイプ4～7：設定可能
	SQCLR	シーケンス・クリア	データトグルビットのクリア
	SQSET	シーケンス・セット	データトグルビットのセット
	SQMON	シーケンス確認	データトグルビットの確認
	PBUSY	パイプ・ビジー確認	パイプ・ビジーの確認
	PID	応答PID	14.4.4.6　応答PIDを参照してください。
PIPEnTRE	TRENB	トランザクション・カウント許可	パイプ4，5：設定可能
	TRCLR	カレント・トランザクション・カウンタのクリア	パイプ4，5：設定可能
PIPEnTRN	TRNCNT	トランザクション・カウンタ	パイプ4，5：設定可能

14.4.4.1　パイプ・コントロール・レジスタの切り替え手順

パイプ・コントロール・レジスタの以下のビットは，USB通信が不許可（PID = NAK）であるときのみ書き換えが可能になります。

USB通信許可（PID = BUF）状態では設定禁止であるレジスタ

・DCPCFGレジスタ，DCPMAXPレジスタの各ビット
・DCPCTRレジスタのSQCLRビット，DCPCTRレジスタのSQSETビット
・PIPECFGレジスタ，PIPEMAXPレジスタ，PIPEPERIレジスタの各ビット
・PIPEnCTRレジスタのATREPMビット，PIPEnCTRレジスタのACLRMビット，PIPEnCTRレジスタのSQCLRビット，PIPEnCTRレジスタのSQSETビット
・PIPEnTREレジスタ，PIPEnTRNレジスタの各ビット

USB通信許可（PID = BUF）状態から，上記ビットを切り替える際は以下の手順に従ってください。

（1）パイプ・コントロール・レジスタのビット変更要求が発生します。
（2）当該パイプのPIDをNAKに変更します。
（3）当該パイプのPBUSYビットが“0”になるまで待ちます。
（4）パイプ・コントロール・レジスタのビット変更が開始されます。

またパイプ・コントロール・レジスタの以下のビットは，CFIFOSEL，D0FIFOSEL，D1FIFOSEレジスタのいずれのCURPIPEビットにも設定されていないパイプ情報のみ書き換えが可能です。

FIFO-PORTのCURPIPEに設定中に設定禁止であるレジスタ

・DCPCFGレジスタ，DCPMAXPレジスタの各ビット
・PIPECFGレジスタ，PIPEMAXPレジスタ，PIPEPERIレジスタの各ビット

パイプ情報を変更する場合には，ポート選択レジスタのCURPIPEビットの設定を変更パイプ以外に指定してください。なお，DCPについてはパイプ情報修正後，BCLRにてバッファのクリア処理をしてください。

14.4.4.2　転送タイプ

PIPEPCFGレジスタのTYPEビットにて各パイプの転送タイプを設定します。各パイプに設定可能な転送タイプを下記に示します。

・DCP：設定不要（コントロール転送固定）です。
・パイプ4，5：バルク転送を設定してください。
・パイプ6，7：インタラプト転送を設定してください。

14.4.4.3　エンド・ポイント番号

PIPEPCFGレジスタのEPNUMビットにて各パイプのエンド・ポイント番号を設定します。DCPは，エンド・ポイント“0”に固定されています。他のパイプは，エンド・ポイント1からエンド・ポイント15までの設定が可能です。

・DCP：設定不要（エンド・ポイント“0”固定）です。

・パイプ4～7：1から15までを選択して設定してください。

ただし，DIRビットとEPNUMビットの組み合わせが重複しないように設定してください。

14.4.4.4　マックス・パケット・サイズ設定

DCPMAXPレジスタおよびPIPEMAXPレジスタのMXPSビットにて各パイプのマックス・パケット・サイズを設定します。DCPおよびパイプ4，5はUSB規格で定義されているすべてのマックス・パケット・サイズに設定が可能です。パイプ6，7は最大64バイトがマックス・パケット・サイズの上限です。マックス・パケット・サイズは転送を開始する前（PID = BUF）に設定してください。

・DCP：8，16，32，64から選択して設定してください。

・パイプ4，5：バルク転送時は，8，16，32，64から選択して設定してください。

・パイプ6，7：1から64の値を設定してください。

14.4.4.5　トランザクション・カウンタ（パイプ4，5読み出し方向）

USBモジュールは，データ・パケット受信方向で，指定回数のトランザクションが終了した場合に，トランスファ終了と認識できます。トランザクション・カウンタには，トランザクション回数を指定するTRNCNTレジスタと，内部でトランザクションをカウントするカレント・カウンタがあり，SHTNAKビット設定 = 1との組み合わせによりカレント・カウンタが指定回数に一致すると，該当PIPEのPIDをNAK状態とし，次の転送を不許可状態にします。TRCLRビットにて，トランザクション・カウンタ機能のカレント・カウンタを初期化し，トランザクションを最初からカウントし直すことができます。TRENBビットの設定により，TRNCNTレジスタ読み出し時の情報が異なります。

・TRENB = 0：設定したトランザクション・カウンタ値が読めます。

・TRENB = 1：内部でカウントしたカレント・カウンタ値が読めます。

TRCLRビットの操作条件は下記のとおりです。

・トランザクション・カウント中，かつ，PID = BUFの場合は，カレント・カウンタはクリアできません。

・バッファ内にデータが残っている状態ではカレント・カウンタはクリアできません。

14.4.4.6　応答PID

DCPCTRレジスタおよびPIPEnCTRレジスタのPIDビットにて各パイプの応答PIDを設定します。

各設定におけるUSBモジュールの動作は下記のとおりです。

（1）ホスト・コントローラ機能選択時の応答PID設定

応答PIDは，トランザクションの実施を指定します。

・NAK設定：パイプ禁止状態です。トランザクションは実施されません。

・BUF設定：バッファ・メモリの状況に応じてトランザクションが実施されます。
OUT方向の場合，バッファ・メモリに送信データがある場合，OUTトークンを発行します。
IN方向の場合，バッファ・メモリに空きがあり受信可能な場合，INトークンを発行します。
・STALL設定：パイプ禁止状態です。トランザクションは実施されません。

注意　DCPのセットアップ・トランザクションは，SUREQビットで設定します。

(2) ファンクション・コントローラ機能選択時の応答PID設定
応答PIDは，ホストからのトランザクションに対する応答を指定します。
・NAK設定：発生したトランザクションに対して常にNAK応答します。
・BUF設定：バッファ・メモリの状況に応じてトランザクションに応答します。
・STALL設定：発生したトランザクションに対して常にSTALL応答します。

注意　セットアップ・トランザクションに対しては，PIDの設定に関わらず，常にACK応答し，レジスタにUSBリクエストを格納します。

PIDビットは，トランザクション結果によりUSBモジュールによる書き込みが発生する場合があります。USBモジュールによりPIDビットへの書き込みが発生するのは以下の場合です。

(3) ホスト・コントローラ機能選択時にハードウエアが応答PIDを設定する場合
NAK設定：以下の場合にPID = NAKとなり，トークンの発行を自動的に停止します。
・NRDY割り込みが発生したとき
（詳細は，14.4.3.2　NRDY割り込みを参照してください。）
・バルク転送時にPIPECFGレジスタのSHTNAKビットを“1”にした場合でショート・パケットを受信したとき
・バルク転送時にSHTNAKビットを“1”にし，トランザクション・カウンタが終了したとき
BUF設定：USBモジュールによるBUF書き込みはありません。
STALL設定：以下の場合にPID = STALLとなり，トークンの発行を自動的に停止します。
・送信したトークンに対してSTALLを受信したとき
・受信したデータ・パケットがマックス・パケット・サイズを超えたとき

(4) ファンクション・コントローラ機能選択時にハードウエアが応答PIDを設定する場合
NAK設定：以下の場合にPID = NAKとなり，トランザクションに対して常にNAK応答します。
・SETUPトークンを正常に受信したとき（DCPのみ）
・バルク転送時にPIPECFGレジスタのSHTNAKビットを“1”にし，トランザクション・カウンタが終了したとき，またはショート・パケットを受信したとき
BUF設定：USBモジュールによるBUF書き込みはありません。
STALL設定：以下の場合にPID = STALLとなり，トランザクションに対して常にSTALL応答します。
・受信データ・パケットでマックス・パケット・サイズオーバエラーを検出したとき
・コントロール転送シーケンス・エラーを検出したとき（DCPのみ）

14. 4. 4. 7　データPIDシーケンス・ビット

コントロール転送のデータ・ステージ，バルク転送，インタラプト転送において正常なデータ転送が行われると，USBモジュールによりデータPIDのシーケンス・ビットが自動的にトグル動作します。次に送出されるデータPIDのシーケンス・ビットは，DCPCTRレジスタおよびPIPEnCTRレジスタのSQMONビットにて確認できます。データ送信時はACKハンドシェイク受信タイミングで，データ受信時はACKハンドシェイク送信タイミングでシーケンス・ビットが切り替わります。また，DCPCTRレジスタおよびPIPEnCTRレジスタのSQCLRビット，SQSETビットにてデータPIDシーケンス・ビットを変更可能です。

ファンクション・コントローラ機能選択時のコントロール転送では，ステージ遷移時にUSBモジュールが自動的にシーケンス・ビットを設定します。セットアップ・ステージ終了時はDATA0になり，ステータス・ステージではDATA1で応答します。このため，ソフトウエアによる設定は必要ありません。ホスト・コントローラ機能選択時のコントロール転送では，ステージ遷移時にシーケンス・ビットをソフトウエアで設定する必要があります。

ホストまたはファンクションのどちらの機能を選択した場合でも，ClearFeatureリクエストの送信または受信時などは，ソフトウエアでデータPIDシーケンス・ビットを設定する必要がありますので注意してください。

14. 4. 4. 8　応答PID = NAK機能

USBモジュールには，PIPECFGレジスタのSHTNAKビットを“1”にすることで，トランスファの最後（ショート・パケット受信またはトランザクション・カウンタでモジュールが自動識別）のデータ・パケット受信タイミングで，パイプ動作を禁止（応答PID = NAK）する機能があります。

この機能を使用することで，バッファ・メモリをダブル・バッファで使用している場合に，トランスファ単位でのデータ・パケットの受信が可能です。また，パイプ動作が禁止された場合は，ソフトウエアで再度パイプ許可（応答PID = BUF）設定を行う必要があります。

なお，応答PID = NAK機能はバルク転送時のみ動作することが可能です。

14. 4. 4. 9　自動応答モード

バルク転送のパイプ（パイプ4，5）において，PIPEnCTRレジスタのATREPMビットを“1”にすると，自動応答モードとなります。OUT転送時（DIR = 0）にはOUT-NAKモードとなり，IN転送時（DIR = 1）にはNull自動応答モードとなります。

14. 4. 4. 10　OUT-NAKモード

バルクOUT転送のパイプにおいて，ATREPMビットに“1”をセットすると，OUTトークンに対してNAK応答し，NRDY割り込みを出力します。通常モードからOUT-NAKモードへ設定するためには，パイプ動作禁止状態（応答PID = NAK）でOUT-NAKモードに設定して，パイプ動作許可（応答PID = BUF）を行ってください。パイプ動作許可後に，OUT-NAKモードが有効になります。ただし，パイプ動作禁止にする直前でOUTトークンを受け付けた場合には，そのトークンのデータは正常に受信され，ホストへACK応答されます。

OUT-NAKモードから通常モードへ遷移させるためには，パイプ動作禁止状態（応答PID = NAK）でOUT-NAKモードを解除して，パイプ動作許可（応答PID = BUF）を行ってください。通常モードでは，OUTデータ受信が可能となります。

14. 4. 4. 11　Null自動応答モード

バルクIN転送のパイプにおいて，ATREPMビットに“1”をセットすると，Zero-Lengthパケットを送信し続けます。

通常モードからNull自動応答モードへ設定するためには，パイプ動作禁止状態（応答PID = NAK）で，Null自動応答モードに設定して，パイプ動作許可（応答PID = BUF）を行ってください。パイプ動作許可後に，Null自動応答モードが有効になります。ただし，Null自動応答モードへ設定する場合には，バッファ内は空の状態である必要があります。INBUFMビットが“0”であることで確認してください。INBUFMビットが“1”の場合には，バッファ内にデータが存在しているため，ACLRMビットにより空にしてください。また，Null自動応答モードへの設定中には，FIFOポートからのデータ書き込みは行わないでください。

Null自動応答モードから通常モードへ遷移させるためには，パイプ動作禁止状態（応答PID = NAK）をZero-Lengthパケット送信分ウエイト（約10μs）したあと，Null自動応答モードを解除してください。通常モードでは，FIFOポートからの書き込みが可能となり，パイプ動作許可（応答PID = BUF）を行うことにより，ホストへのパケット送信が可能となります。

14. 4. 5　FIFOバッファ・メモリ

14. 4. 5. 1　FIFOバッファ・メモリ

USBモジュールはデータ転送用のFIFOバッファ・メモリを内蔵します。各パイプの使用領域は，USBモジュールにて管理しています。FIFOバッファ・メモリの状況には，アクセス権がシステム（CPU側）にある場合とUSBモジュール（SIE側）にある場合があります。

（1）バッファ・ステータス

表14－20および表14－21にUSBモジュールのバッファ・ステータス表を示します。バッファ・メモリ・ステータスをDCPCTRレジスタのBSTSビットおよびPIPEnCTRレジスタのINBUFMビットにて確認できます。バッファ・メモリのアクセス方向は，PIPEnCFGレジスタのDIRビットまたはCFIFOSELレジスタのISELビット（DCP選択時）で，バッファ・メモリのアクセス方向を指定します。

なお，INBUFMビットは送信方向のパイプ4，5でのみ有効です。

送信側の転送パイプをダブル・バッファに設定している場合，BSTSビットはCPU側のバッファの状態を，INBUFMビットはSIE側のバッファの状態を判断するために使用します。CPU（DMAC）によるFIFOポートへの書き込みが遅く，BEMP割り込みではバッファの空きが判別できない場合に，INBUFMビットで送信完了を確認できます。

表14－20　BSTSビットによるバッファ・ステータス

ISELまたはDIR	BSTS	バッファ・メモリの状態
0（受信方向）	0	受信データなし，または受信中 FIFOポートからの読み出し不可
0（受信方向）	1	受信データあり，またはZero-Lengthパケット受信 FIFOポートからの読み出し可能 ただし，Zero-Lengthパケット受信時は読み出し不可のためバッファ・クリアが必要
1（送信方向）	0	送信を完了していない FIFOポートへの書き込み不可
1（送信方向）	1	送信完了 CPUは書き込み可能

表14－21　INBUFMビットによるバッファ・ステータス

DIR	INBUFM	バッファ・メモリの状態
0（受信方向）	無効	無効
1（送信方向）	0	送信可能データを送信完了した 送信可能データなし
1（送信方向）	1	送信可能データがFIFOポートから書き込まれた 送信可能データあり

（2）FIFOバッファ・クリア

表14－22にUSBモジュールによるFIFOバッファ・メモリのクリア一覧表を示します。バッファ・メモリは，BCLR，DCLRM，ACLRMの各ビットでクリアすることができます。

表14－22　各バッファ・クリア機能一覧表

FIFOバッファクリアの種類	CPU側バッファ・メモリをクリアします。	指定パイプのデータを読み出したあとで，自動でバッファ・メモリをクリアするモード	受信したパケットをすべて破棄する自動バッファ・クリア・モード
当該レジスタ	CFIFOCTR DnFIFOCTR	DnFIFOSEL	PIPEnCTR
当該ビット	BCLR	DCLRM	ACLRM
クリア条件	“1”書き込み	1：モード有効 0：モード無効	1：モード有効 0：モード無効

（3）自動バッファ・クリア・モード機能

USBモジュールには，PIPEnCTRレジスタのACLRMビットを“1”にすることで，受信したすべてのデータ・パケットを破棄します。ただし，正常なデータ・パケットを受信した場合は，ホスト・コントローラに対してACK応答を行います。なお，自動バッファ・クリア・モード機能はバッファ・メモリ読み出し方向のみ設定可能です。

また，ACLRMビットを“1”にし，続けて“0”にすることで，アクセス方向に関係なく，選択パイプのバッファ・メモリをクリアできます。

ただし，ハードウエアの内部シーケンス実行時間として，ACLRMビットへの“1”書き込みと“0”書き込みの間隔を100ns以上とってください。

（4）バッファ・メモリ仕様（シングル/ダブル設定）

パイプ4，5は，PIPEnCFGレジスタのDBLBビットにてシングル・バッファまたはダブル・バッファを選択できます。

14. 4. 5. 2　FIFOポートの機能

表14－23にUSBモジュールのFIFOポート機能設定表を示します。データ書き込みアクセス時は，マックス・パケット・サイズ数まで書き込みを行うと，自動的に送信可能状態となります。マックス・パケット・サイズ数未満のデータを送信可能状態にするには，CFIFOCTR，DnFIFOCTRレジスタのBVALビットによる書き込み終了設定が必要です。また，Zero-Lengthパケットの送信は，同レジスタのBCLRビットによるバッファ・クリアの上，BVALビットによる書き込み終了設定が必要です。

読み出しアクセス時は，すべてのデータを読み出すと，自動的に新しいパケット受信可能状態になります。ただし，Zero-Lengthパケット受信時（DTLN = 0）は，データは読み出せませんので，同レジスタのBCLRビットによるバッファ・クリアが必要です。受信データ長は，CFIFOCTR，DnFIFOCTRレジスタのDTLNビットにて確認します。

表14－23　FIFOポート機能設定

レジスタ名	ビット名	機能	備考
CFIFOSEL DnFIFOSEL	RCNT	DTLN読み出しモード選択	
	REW	バッファ・メモリ・リワインド（再読み出し，再書き込み）	
	DCLRM	指定パイプの受信データ読み出し後自動クリア・モード	DnFIFO専用
	DREQE	DMA転送許可	DnFIFO専用
	MBW	FIFOポート・アクセス・ビット幅選択	
	BIGEND	FIFOポート・エンディアン選択	
	ISEL	FIFOポート・アクセス方向	DCP専用
	CURPIPE	カレントパイプ選択	
CFIFOCTR DnFIFOCTR	BVAL	バッファ・メモリ書き込み終了	
	BCLR	CPU側バッファ・メモリ・クリア	
	DTLN	受信データ長確認	

（1）FIFOポート選択

表14－24に各FIFOポートで選択可能なパイプ表を示します。CFIFOSEL，DnFIFOSELレジスタのCURPIPEビットにて，アクセスするパイプを選択します。パイプ選択後，書き込んだCURPIPE値が正しく読み出せたのを確認してから（前回のパイプ番号が読み出された場合には，USBコントローラがパイプ変更処理中であることを示します）FRDY = 1を確認しFIFOポートへアクセスしてください。

また，MBWビットでアクセスするバス幅を選択してください。バッファ・メモリアクセス方向は，PIPEnCFGレジスタのDIRビットに従います。ただし，DCPのみISELビットにより決定します。

表14－24　パイプ別FIFOポート・アクセス表

パイプ	アクセス方法	使用可能なポート
DCP	CPUアクセス	CFIFOポート・レジスタ（CFIFOM）
パイプ4～7	CPUアクセス	CFIFOポート・レジスタ（CFIFOM） D0FIFO/D1FIFOポート・レジスタ（D0FIFOM/D1FIFOM）
	DMAアクセス	DMA転送用D0FIFO/D1FIFOポート・レジスタ （D0FIFO/D1FIFO）

（2）REWビット

現在アクセス中のパイプ・アクセスを一時的に中断し，別のパイプに対するアクセスを行い，再度現在のパイプ処理を継続して行うことができます。このような処理には，CFIFOSEL，DnFIFOSELレジスタのREWビットを使用します。

CFIFOSEL，DnFIFOSELレジスタのCURPIPEビット設定と同時にREWビットを“1”にしてパイプ選択を行うと，バッファ・メモリの読み出しまたは書き込みポインタをリセットし，最初のバイトから読み出しまたは書き込みを行うことができます。また，“0”にしパイプ選択を行うと，バッファ・メモリの読み出しまたは書き込みポインタをリセットせずに，前回選択時の続きから継続してデータの読み書きができます。

FIFOポートへアクセスするには，パイプ選択後，FRDY = 1であることを確認する必要があります。

14. 4. 5. 3　DMA転送（D0FIFO/D1FIFOポート）

（1）DMA転送概要

パイプ4～7に対して，DMACによるFIFOポート・アクセスが可能です。DMAに設定したパイプのバッファがアクセス可能になったとき，DMA転送要求を出力します。

DnFIFOSELレジスタのMBWビットにてFIFOポートへの転送単位を，CURPIPEビットにてDMA転送するパイプを選択してください。なお，DMA転送中は選択しているパイプを変更しないでください。

（2）DMA転送終了自動認識

USBモジュールは，DMA転送終了信号入力を制御することによって，DMA転送によるFIFOデータ書き込みを終了させることが可能です。転送終了信号をサンプリングすると，バッファ・メモリを送信可能状態（BVAL = 1を設定したのと同じ状態）にします。

（3）DnFIFO自動クリア・モード（D0FIFO/D1FIFOポート読み出し方向）

USBモジュールは，DnFIFOSELレジスタのDCLRMビットに“1”を設定することで，バッファ・メモリからのデータ読み出しを完了した場合に，選択パイプのバッファ・メモリを自動的にクリアします。

表14－25に各設定での，パケット受信とソフトウエアによるバッファ・メモリ・クリア処理の関連を示します。表14－25に示すように，BFREビットの設定値によりバッファ・クリア条件が異なりますが，クリアが必要などのような状態においても，DCLRMビットを使用することでソフトウエアによるバッファ・クリアが不要になり，ソフトウエアを介在させないDMA転送が可能となります。

なお，本機能はバッファ・メモリ読み出し方向のみ設定できます。

表14－25　パケット受信とソフトウエアによるバッファ・メモリ・クリア処理の関連

レジスタ設定 ／ パケット受信時のバッファ状態	DCLRM = 0		DCLRM = 1	
	BFRE = 0	BFRE = 1	BFRE = 0	BFRE = 1
バッファフル	クリア不要	クリア不要	クリア不要	クリア不要
Zero-Lengthパケット受信	クリア必要	クリア必要	クリア不要	クリア不要
通常のショート・パケット受信	クリア不要	クリア必要	クリア不要	クリア不要
トランザクション・カウント終了	クリア不要	クリア必要	クリア不要	クリア不要

14. 4. 6　コントロール転送（DCP）

コントロール転送のデータ・ステージのデータ転送は，デフォルト・コントロール・パイプ（DCP）を使用します。DCPのバッファ・メモリは，コントロール・リードおよびコントロール・ライト共用の固定領域で64バイトシングル・バッファです。バッファ・メモリへのアクセスは，CFIFOポートのみ可能です。

14. 4. 6. 1　ホスト・コントローラ機能選択時のコントロール転送

（1）セットアップ・ステージ

USBREQレジスタ，USBVALレジスタ，USBINDXレジスタ，およびUSBLENGレジスタはセットアップ・トランザクションのUSBリクエスト送信用のレジスタです。セットアップ・パケットのデータをレジスタに書き込み，DCPCTRレジスタのSUREQビットに“1”を書き込むことで設定されているデータがセットアップ・トランザクションとして送出されます。SUREQビットは，トランザクションが終了すると，“0”になります。SUREQ = 1中は上記USBリクエスト・レジスタを操作しないでください。

接続されたファンクション・デバイスのアタッチ検出後，そのデバイスに対する最初のセットアップ・トランザクションは，DCPMAXPレジスタのDEVSELビットを“0”にし，DEVADD0レジスタのUSBSPD，RTPORTビットを設定し上記シーケンスでセットアップ・トランザクションを発行してください。

接続されたファンクション・デバイスがAddressステートに遷移した以降は，DEVSELビットに割り付けたUSB Address値を設定し，USB Addressに対応するDEVADDnレジスタの各ビットを設定後に上記シーケンスでセットアップ・トランザクションを発行してください。例えば，PIPEMAXPレジスタのDEVSELビット = “2H”のときはDEVADD2レジスタを，PIPEMAXPレジスタのDEVSELビット = “5H”のときはDEVADD5レジスタを設定してください。

トランザクションを送出すると，周辺デバイスからの応答により割り込み要求が発生します（INTSTS1レジスタのSIGNビットおよびSACKビット）。この割り込み要求によりセットアップ・トランザクション結果を確認することができます。

セットアップ・トランザクションのデータ・パケットは，DCPCTRレジスタのSQMONビットの内容に関わらず，常にDATA0のデータ・パケット（USBリクエスト）が送信されます。

（2）データ・ステージ

DCPバッファ・メモリを使用してデータの転送を行います。

DCPバッファ・メモリへのアクセスにはCFIFOSELレジスタのISELビットでアクセス方向を指定してください。また，DCPCFGレジスタのDIRビットで転送方向を指定してください。

データ・ステージの第1データ・パケットはデータPIDをDATA1として通信する必要があります。DCPCFGレジスタのSQSETビットでデータPIDをDATA1にセットし，PIDビットをBUFに設定することでトランザクションを実行します。データ転送の完了は，BRDY割り込みまたはBEMP割り込みによって検出します。

また，コントロール・ライト転送の場合，送信データがマックス・パケット・サイズの整数倍の場合は最後にZero-Lengthパケットを送出するようにソフトウエアで制御してください。

（3）ステータス・ステージ

データ・ステージと逆方向のZero-Lengthパケットのデータ転送です。データ・ステージ同様にDCPバッファ・メモリを使用したデータ転送になります。データ・ステージと同様手順でトランザクションを実行します。

ステータス・ステージのデータ・パケットはデータPIDをDATA1として通信する必要があります。DCPCFGレジスタのSQSETビットでデータPIDをDATA1にセットしてください。

また，Zero-Lengthパケットの受信は，BRDY割り込み発生後CFIFOCTRレジスタのDTLNビットで受信データ長を確認の上，BCLRビットでバッファ・メモリ・クリアを行ってください。

14. 4. 6. 2　ファンクション・コントローラ機能選択時のコントロール転送

（1）セットアップ・ステージ

USBモジュールは，USBモジュールに対する正常なセットアップ・パケットに対して必ずACK応答します。セットアップ・ステージのUSBモジュールの動作を以下に示します。

（i）新しいセットアップ・パケットを受信すると，USBモジュールは以下のビットをセットします。

・INTSTS0レジスタのVALIDビットを“1”にする

・DCPCTRレジスタのPIDビットをNAKにセット

・DCPCTRレジスタのCCPLビットを“0”にする

（ii）セットアップ・パケットに引き続きデータ・パケット受信すると，USBモジュールは，USBリクエストのパラメータを，USBREQレジスタ，USBVALレジスタ，USBINDXレジスタ，およびUSBLENGレジスタに格納します。

コントロール転送に対する応答処理は，VALID = 0にしたあとに行ってください。VALID = 1の状態ではPID = BUF設定が行えず，データ・ステージを終了することができません。

VALIDビットの機能により，USBモジュールは，コントロール転送中に新しいUSBリクエストを受信した場合には処理中のリクエスト処理を中断し，最新のリクエストに対する応答を行うことができます。

また，USBモジュールは，受信したUSBリクエストの方向ビット（bmRequestTypeのビット8）およびリクエスト・データ長（wLength）を自動判別し，コントロール・リード転送，コントロール・ライト転送，およびコントロール・ライトノーデータ転送を識別し，ステージ遷移を管理します。間違ったシーケンスに対しては，コントロール転送ステージ遷移割り込みのシーケンス・エラーが発生し，ソフトウエアに通知します。USBモジュールのステージ管理については図14－62を参照してください。

（2）データ・ステージ

受信したUSBリクエストに対応したデータ転送をDCPにて行ってください。DCPバッファ・メモリへアクセスする前に，CFIFOSELレジスタのISELビットにてアクセス方向指定を行ってください。

転送データがDCPバッファ・メモリのサイズより大きい場合には，コントロール・ライト転送ではBRDY割り込みを，コントロール・リード転送ではBEMP割り込みを使用してデータ転送を行ってください。

（3）ステータス・ステージ

DCPCTRレジスタのPIDビットがPID = BUFの状態で，CCPLビットを“1”にすることによりコントロール転送を終了します。

上記設定後，セットアップ・ステージで確定したデータ転送方向に従い，USBモジュールが自動的にステータス・ステージを実行します。具体的には下記のとおりです。

【コントロール・リード転送の場合】

USBモジュールはZero-Lengthパケットを受信し，ACK応答を送信します。

【コントロール・ライト転送，ノー・データ・コントロール転送の場合】

USBモジュールはZero-Lengthパケットの送信を行い，USBホストからのACK応答を受信します。

（4）コントロール転送自動応答機能

USBモジュールは，正常なSET_ADDRESSリクエストに自動応答します。SET_ADDRESSリクエストに下記のエラーがある場合はソフトウエアによる応答が必要です。

・コントロール・リード転送以外の場合：bmRequestType≠00H

・リクエスト・エラーの場合：wIndex≠00H

・ノー・データ・コントロール転送以外の場合：wLength≠00H

・リクエスト・エラーの場合：wValue＞7FH

・デバイス・ステート・エラーのコントロール転送：DVSQ2～DVSQ0ビット = “011B”（Configured）

SET_ADDRESS以外のすべてのリクエストには対応するソフトウエアによる応答が必要です。

14. 4. 7　バルク転送（パイプ4，5）

バルク転送は，バッファ・メモリ使用方法（シングル/ダブル・バッファ設定）の選択ができます。

USBモジュールは，バルク転送専用として下記の機能を備えています。

・BRDY割り込み選択機能（BFREビット：14.4.3.1　BRDY割り込み参照）

・トランザクション・カウント機能

（TRENBビット，TRCLRビット，TRNCNTビット：14.4.4.5　トランザクション・カウンタ（パイプ4，5読み出し方向）参照）

・応答PID = NAK機能（SHTNAKビット：14.4.4.8　応答PID = NAK機能参照）

・自動応答モード（ATREPMビット：14.4.4.9　自動応答モード参照）

14. 4. 8　インタラプト転送（パイプ6，7）

ファンクション・コントローラ機能選択時，USBモジュールは，ホスト・コントローラが管理している周期に従ってインタラプト転送を行います。

ホスト・コントローラ機能選択時は，インターバル・カウンタによりトークン発行タイミングの設定を行うことができます。

14. 4. 8. 1　ホスト・コントローラ機能選択時のインタラプト転送時のインターバル・カウンタ

インタラプト転送を行う場合，PIPEPERIレジスタのIITVビットに，トランザクションのインターバルを設定します。USBコントローラは設定されたインターバルに従ってインタラプト転送のトークンを発行します。

（1）カウンタの初期化

USBコントローラがインターバル・カウンタを初期化する条件は以下のとおりです。

・パワーオン・リセット：

IITVビットが初期化されます。

・ACLRMによるバッファ・メモリ初期化

IITVビットは初期化されませんがカウントは初期化されます。PIPEnCTRレジスタのACLRMビットを“0”にすることにより，IITVの設定値を最初からカウントします。

なお，以下の場合にはインターバル・カウンタは初期化されませんのでご注意ください。

・USBバス・リセット，USBサスペンド

IITVビットは初期化されません。DVSTCTR0レジスタのUACTビットを“1”にすることにより，USBバス・リセット，USBサスペンド状態とする前の値からカウントを開始します。

（2）トークンの発生タイミングに送受信できない場合の動作

以下のような場合，トークンの発生タイミングであってもトークンを発生させません。このような場合，次のインターバルにトランザクションの実行を試みます。

・PIDをNAKまたはSTALLに設定した場合

・IN方向（受信）の転送でトークンの送信タイミングにバッファ・メモリに空き領域がない場合

・OUT方向（送信）の転送でトークンの送信タイミングにバッファ・メモリに送信データがない場合

14. 4. 9　SOF補間機能

ファンクション・コントローラ機能を選択時にSOFパケットの破損または欠落のために，1ms間隔でSOFパケットを受信できなかった場合に，USBモジュールはSOFを補間します。SOF補間動作の開始はSYSCFGレジスタのUSBE = 1，SYSCFGレジスタのSCKE = 1かつSOFパケット受信となります。また，下記の条件で補間機能が初期化されます。

・パワーオン・リセット
・USBバス・リセット
・サスペンド検出

また，SOF補間は次の仕様で動作します。

・SOFパケット受信までは補間機能は動作しない。
・最初のSOFパケット受信後は内部クロック48MHzで1msをカウントし補間する
・2回目以降のSOFパケットを受信後は前回の受信間隔を用いて補間する
・サスペンド時およびUSBバス・リセット受信中は補間しない

USBモジュールは，SOFパケットの受信に基づいて下記の機能を動作させますが，SOFパケットが欠落した場合にはSOF補間を行うため，正常動作を継続させることができます。

・フレーム番号の更新
・SOFR割り込みタイミング

パケットが欠落した場合には，FRMNUMレジスタのFRNMビットは更新されません。

14. 4. 10　パイプ・スケジュール

14. 4. 10. 1　トランザクション発行条件

USBモジュールは，ホスト・コントローラ機能選択時，UACT = 1にしたあと，表14－26に示す条件でトランザクションを発行します。

表14－26　トランザクション発行条件

トランザクション	発行条件				
	DIR	PID	IITV0	バッファの状態	SUREQ
セットアップ	－注	－注	－注	－注	“1”設定
コントロール転送のデータ・ステージ，ステータス・ステージ，バルク転送	IN	BUF	無効	受信領域あり	－注
	OUT	BUF	無効	送信データあり	－注
インタラプト転送	IN	BUF	有効	受信領域あり	－注
	OUT	BUF	有効	送信データあり	－注

注　表中の「－」は，トークンの発行に関係のない条件であることを示します。有効はインタラプト転送において，インターバル・カウンタによる転送フレームでのみ発行されることを示します。無効はインターバル・カウンタに関わらず発行されることを示します。

14. 4. 10. 2　転送スケジュール

USBモジュールのフレーム内の転送スケジューリング方法について説明します。USBモジュールは，SOFを送信後，以下に示す順番で転送を行います。

（1）周期的転送の実行

パイプ6→パイプ7の順に検索し，インタラプト転送のトランザクション発行が可能なパイプがあれば，トランザクションを発行します。

（2）コントロール転送のセットアップ・トランザクション

DCPを確認してセットアップ・トランザクションが可能であれば送信します。

（3）バルク，コントロール転送データ・ステージ，ステータス・ステージの実行

DCP→パイプ4→パイプ5の順にパイプを検索し，バルク，コントロール転送データ・ステージ，コントロール転送ステータス・ステージのトランザクションの発行が可能なパイプがあれば，トランザクションを実行します。トランザクションを発行したとき，周辺デバイスからの応答がACKであってもNAKであっても次のパイプのトランザクションに移ります。また，フレーム内に転送を行う時間があれば，（3）を繰り返します。

14. 4. 10. 3　USB通信許可

DVSTCTRレジスタのUACTビットを“1”にすることにより，SOFの送信を開始し，トランザクションの発行が可能となります。

UACTビットを“0”にすると，SOFの送信を停止しサスペンドとなります。UACTビットを“1”→“0”にする場合，次のSOFを送信してから停止します。

14. 4. 11　Battery Charging接続検知制御

Battery Charging Specification Revision 1.2に準拠したData Contact Detection処理（D+線接触確認），Primary Detection処理（Charger検知処理），Secondary Detection処理（Charger判定処理）の制御が可能です。

Charger Detection Algorithmsにしたがってこれらの処理を実施することにより，Portable Deviceとして接続先がStandard Downstream Port, Charging Downstream PortもしくはDedicated Charging Portであることを判別（ファンクション・BC接続検知機能；USBポート0）することができます。またPortable Deviceに対してCharging Downstream PortやDedicated Charging Portとして動作する（ホスト・BC接続検知機能；USBポート0, 1）注ことも可能です。

上記のData Contact Detection, Primary Detection, Secondary Detectionの各検知はUSBトランシーバに併設されるBC接続検知用のインターフェイス回路によって実施されます。この回路はBattery Charging Specification Revision 1.2に準拠した接続検知を実施するために必要な電圧源（VDP_SRC, VDM_SRC），電流源（IDP_SRC）や電圧（VDAT_REF）検知機能，UDP/UDM端子へ抵抗（RDCP_DAT）を介して接続する機能を持ち，それぞれをBCコントロール・レジスタn（USBBCCTRLn）（n = 0, 1）の各ビットにて制御，モニタすることができます。

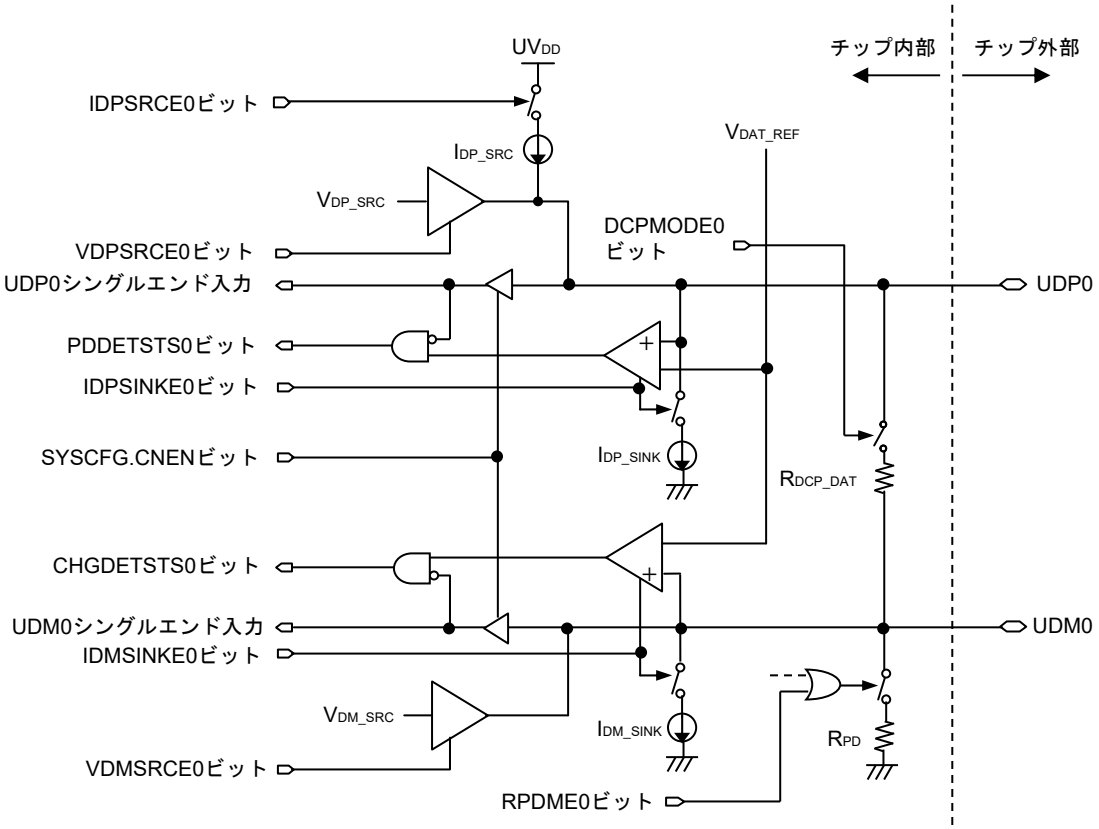
このBC接続検知機能を使用する場合は，PXXCON = 0, VDDUSBE = 1設定におけるUV_{DD}端子への外部電源印加，もしくはPXXCON = 1, VDDUSBE = 1設定（USB用内部電源使用）による3.3 V内部生成を実施するようにしてください。

BC接続検知機能使用時は温度センサや内部基準電圧を使用したA/D変換を動作させることはできません。

図14－63，図14－64にBC接続検知用のインターフェイス回路を示します。

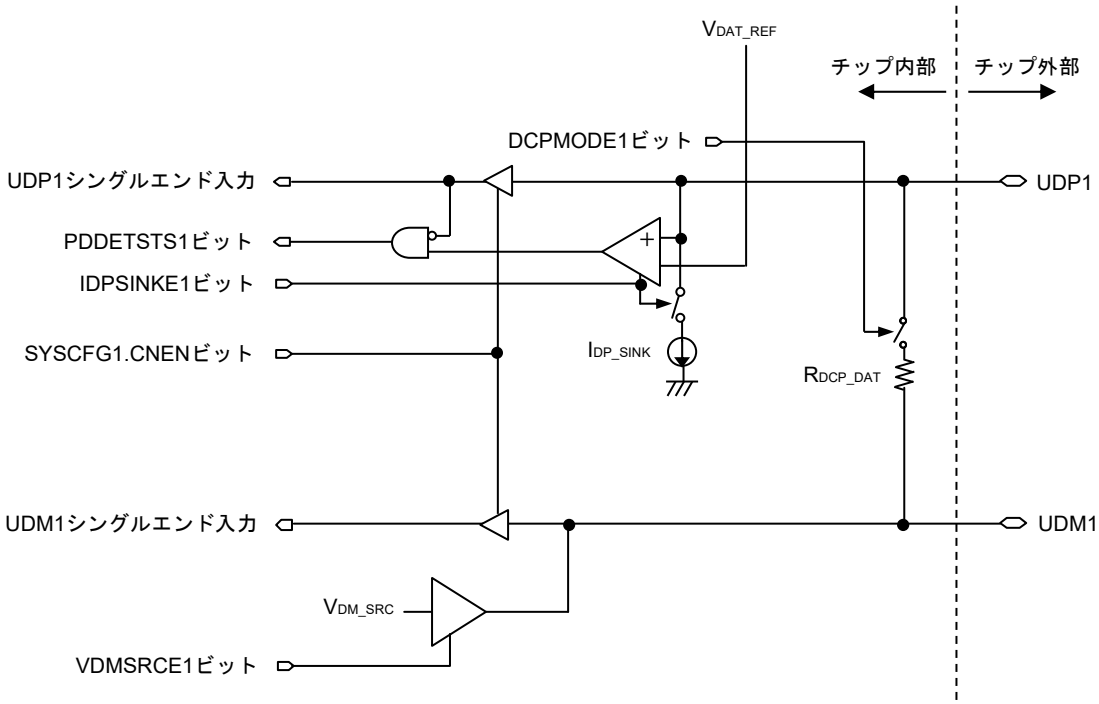
注　R5F10K製品には，ホスト機能は搭載されていません。

図14－63　BC接続検知用インターフェイス回路（USBポート0）ホスト注／ファンクション・BC接続検知機能



注　R5F10K製品には，ホスト機能は搭載されていません。

図14－64　BC接続検知用インターフェイス回路（USBポート1注）ホスト・BC接続検知機能



注　R5F10K製品には，ホスト機能は搭載されていません。

14. 4. 12　Battery Charging接続検知オプション機能

Battery Charging仕様の拡張性を考慮して接続検知制御に以下のオプション機能を追加しています。

・USBポート電圧出力機能（4パターン）

ホスト・BC接続検知機能のオプション機能として，UV_{BUS}端子に印加される5 Vを分圧してUSBポートに出力することができます。さらに分圧電圧出力中のUSBポートの電圧上昇検知や電圧低下検知が可能であり，接続先のUSBポート出力との信号の競合を検知することが可能です。注

・USBポート電圧検知機能（16段階）

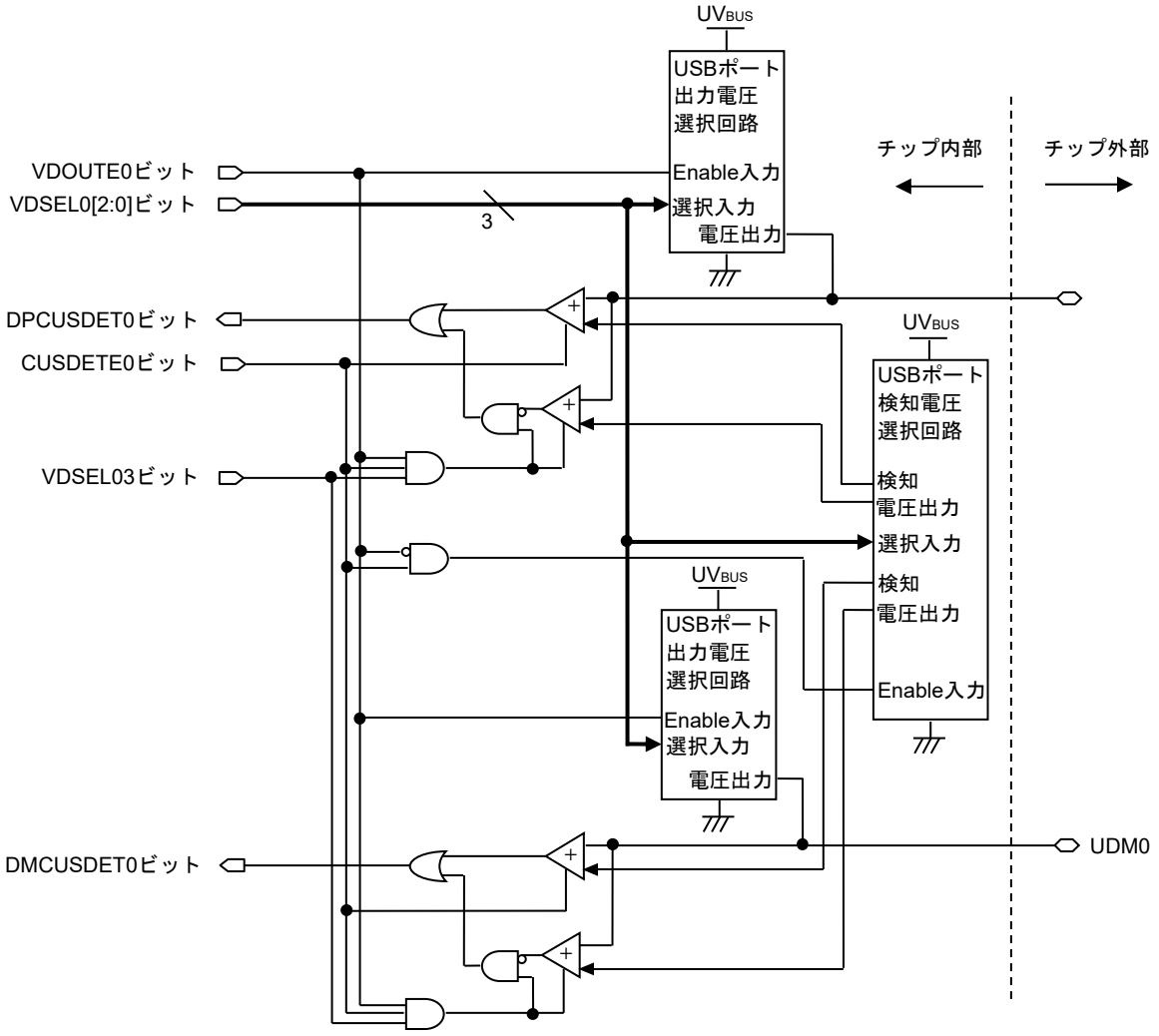
ファンクション・BC接続検知機能のオプション機能として，UV_{BUS}端子に印加される5 Vを分圧した16段階のリファレンス電圧を使用して，USBポートに入力される電圧レベルを検知することができます。

これらの機能はUV_{DD}端子への電源印加（外部印加もしくはUSB用内部電源使用）およびUV_{BUS}端子への電圧印加を実施した上でBCオプション・コントロール・レジスタn（USBBCOPTn）（n = 0, 1）を設定することによって各種機能の制御や各種検知結果のモニタが可能です。

注　R5F10K製品には，ホスト機能は搭載されていません。

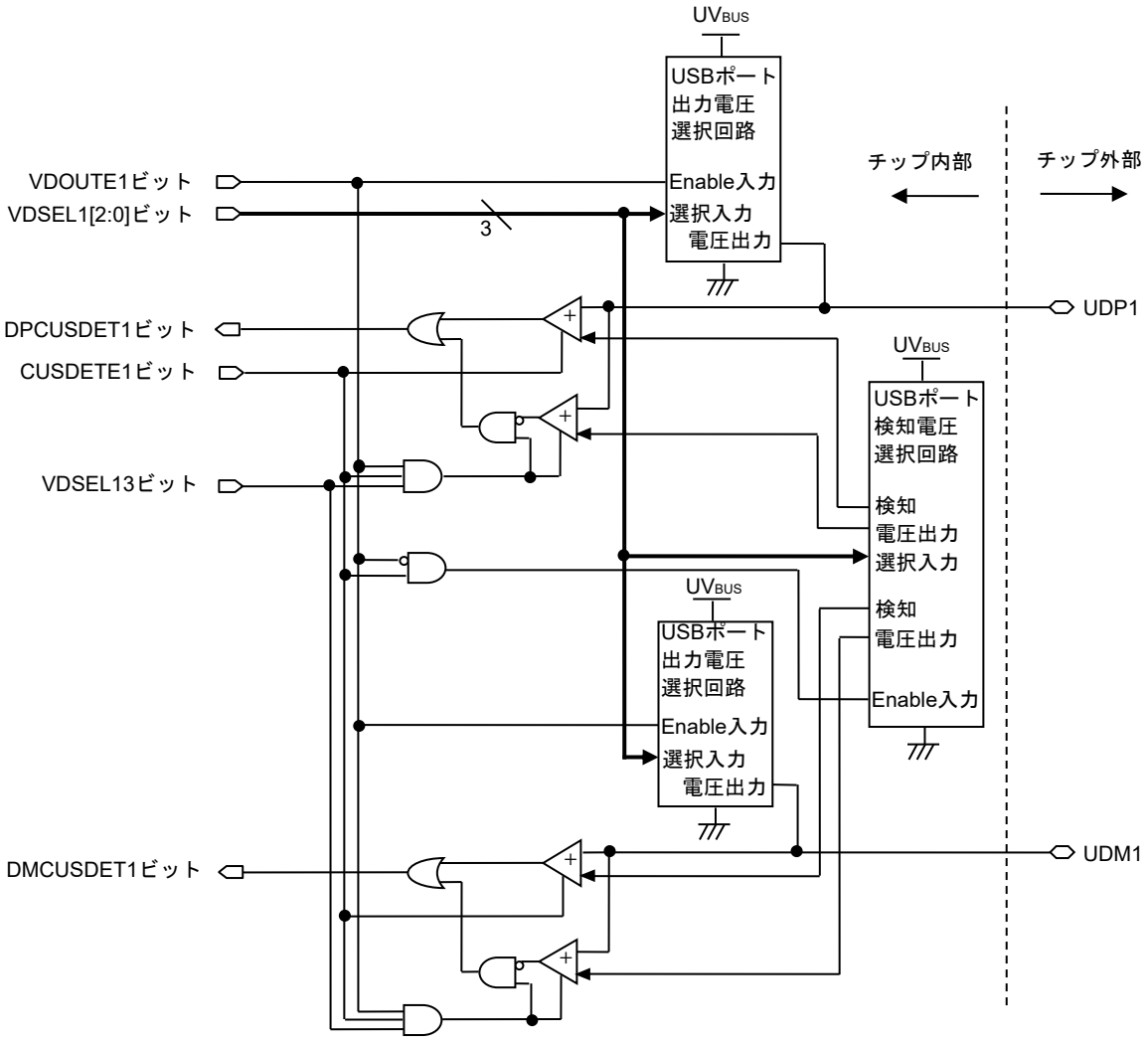
図14－65，図14－66にBC接続検知オプション機能用のインターフェイス回路を示します。

図14－65　BC接続検知オプション機能用インターフェイス回路（USBポート0）ホスト注／ファンクション・BC接続検知機能



注　R5F10K製品には，ホスト機能は搭載されていません。

図14－66　BC接続検知オプション機能用インターフェイス回路（USBポート1注）ホスト・BC接続検知機能



注　R5F10K製品には，USBポート1は搭載されていません。

14. 4. 13　Battery Charging検知処理

Battery Charging規格が定めるData Contact Detection処理（D+線接触確認），Primary Detection処理（Charger検知処理），Secondary Detection処理（Charger判定処理）の制御をコントロールすることができます。

以下にPeripheral Device，Host Deviceそれぞれの場合に求められる動作を説明します。

14. 4. 13. 1　ファンクション・コントローラ時の処理

Battery ChargingのPortable Deviceとして動作させる場合，以下の処理が必要です。

（1）Data線（D+/D-）の接触を検知し，Primary Detection処理を開始。

（2）Primary Detection開始後，40 msのマスク期間後，D-の電圧レベルにより，Primary Detectionの結果を確認。

（3）Primary DetectionでCharger検知となった場合，さらにSecondary Detectionを開始する。

（4）Secondary Detection開始後，40 msのマスク期間後，D+の電圧レベルによりSecodary Detectionの結果を確認。

上記（1）に対しては，VBINT割り込み，VBSTSビットによりVBUSを検知したあと，300 ms～900 msのソフトウェアウエイトし，USBBCCTRLレジスタのVDPSRCEビット，IDMSINKEビットをセットします。あるいは，IDPSRCEビットをセットし，LNSTビットによりD+線がHighからLowになることを検知後，IDPSRCEビットをクリア，VDPSRCEビットおよびIDMSINKEビットをセットします。VDPSRCEビット，IDMSINKEビットは同時にセットしてください。[注1]

上記（2）に対しては，VDPSRCEビット，IDMSINKEビットをセットして40 msのソフトウエアのウエイト後，CHGDETSTSビットによりPrimary Detectionの結果を判断します。[注2]

上記（3）に対しては，上記（2）の処理でCHGDETSTSビットがセットされている場合，Charger検知したとして判断し，VDPSRCEビットおよびIDMSINKEビットをクリア，VDMSRCEビットおよびIDPSINKEビットをセットします。

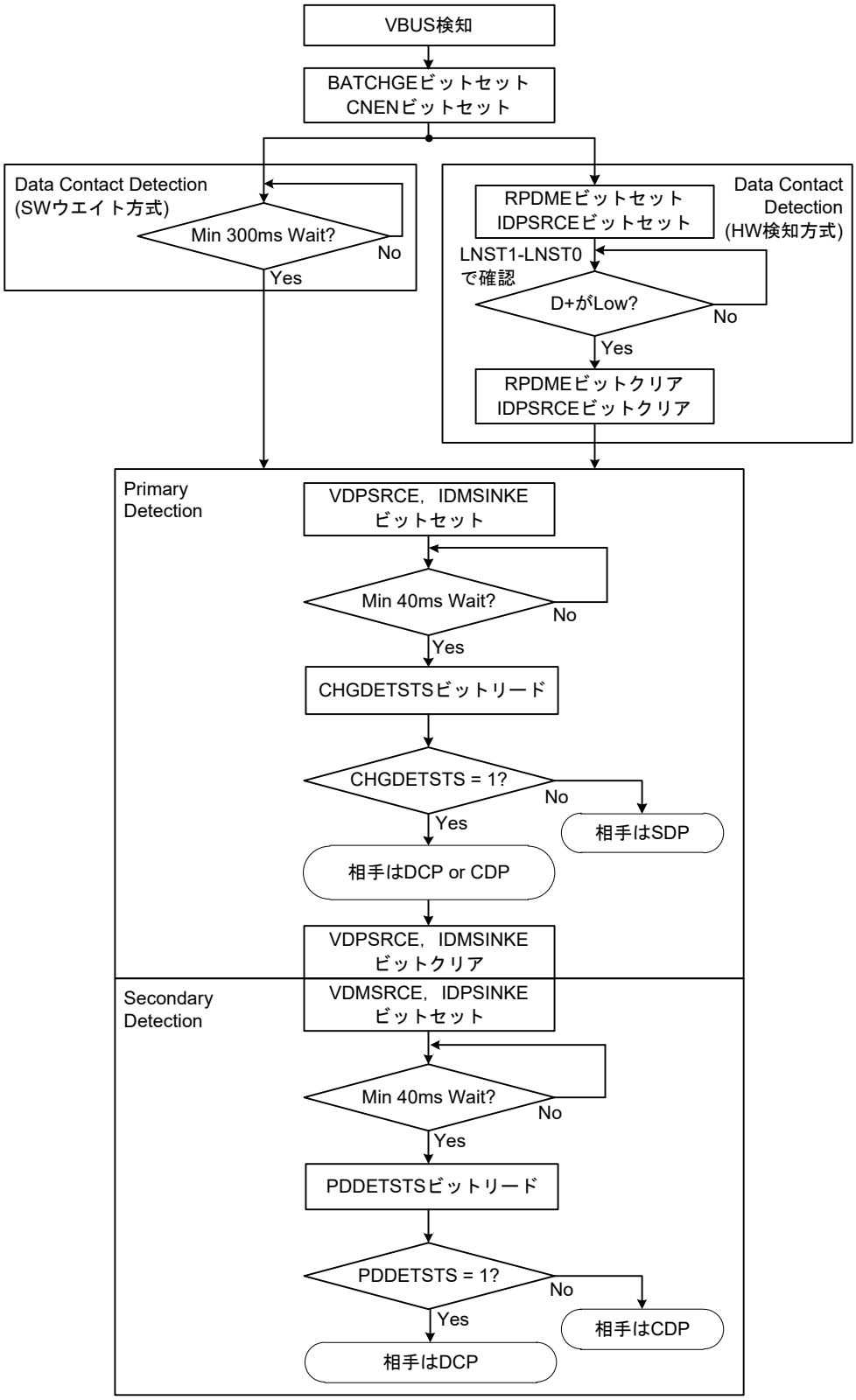
上記（4）に対しては，VDMSRCEビットおよびIDPSINKEビットをセットして40 msのソフトウエアのウエイト後，PDDETSTSビットによりSecondary Detectionの結果を判断します。

図14－67にPortable Deviceとしての処理フローを示します。

注1. Battery Charging規格では，Data Contact Detection（D+/D-ラインの接触確認）のための処理フローとして2通りのインプリ方法を示してあります。一つは，D+ラインに7～13 uAの電流を印加することでD+ラインをLogic High状態にしておき，D+/D-ラインが相手と接触するとHost機器側のプルダウン抵抗によりLogic Lowになることを検知する方法です。もう一方の方法は，VBUS検知後300 ms～900 ms間ウエイトする方法です。

2. Primary Detectionでは，D-ラインが0.25 V～0.4 V以上，0.8 V～2.0 V以下であることを検知することで，相手機器がBattery Charging対応Host機器（Charging Downstream Port）と判断します。CHGDETSTSビットがD-ラインの0.25 V～0.4 V以上ということだけを示すようなPHYを使用される場合，LNSTビットによりD-ラインが0.8 V～2.0 V以下であることの確認処理を適宜追加してください。

図14－67　Portable Deviceとしての処理フロー



14. 4. 13. 2　ホスト・コントローラ時の処理

Battery ChargingのCharging Downstream Portとして動作させる場合，以下の処理が必要です。

（1）VBUSのドライブを開始。

（2）PortableDevice検知回路を有効にする。

（3）PortableDevice検知信号をモニタし，PortableDevice検知信号がHighであればD-ラインのドライブを開始。

（4）PortableDevice検知信号がLowであることを検知して，D-ラインのドライブを終了。

または，以下の処理を行ってください。

（A）切断検知後，200 ms以内にD-ラインのドライブを開始。

（B）接続検知後，10 ms以内にD-ラインのドライブを終了。

Portable Deviceが14. 4. 13. 1で示したPrimary Detectionを検知することができるために，D-ラインをドライブする必要があります。上記の（1）～（4）の方式は，ハードウェアとしてPortable Device検知機能を持っている場合であり，Portable Deviceを検知した場合にD-ラインをドライブする方式です。上記（A）～（B）はハードウェアとしてPortable Device検知機能を持たない場合，あるいは使用しない場合です。Portable Device検知の有無に関わらず，Dis-Connect状態でD-ラインのドライブON，Connect状態でドライブOFFの制御を行う方式です。Battery Charging規格では，どちらの方式を採用しても構いません。

上記（3），（4）に対しては，PDDETINT割り込みでPortable Device検知信号の変化を検知後，PDDETSTSビットをリードして現在の信号状態を知ることができます。

上記（A），（B）はソフトウェア・タイマのみで実現可能です。

図14－68に上記（1）～（4）の処理フローを，図14－69に上記（A）～（B）の処理フロー図を示します。

図14－68　Charging Downstream Portとしての処理フロー（（1）～（4）の処理）

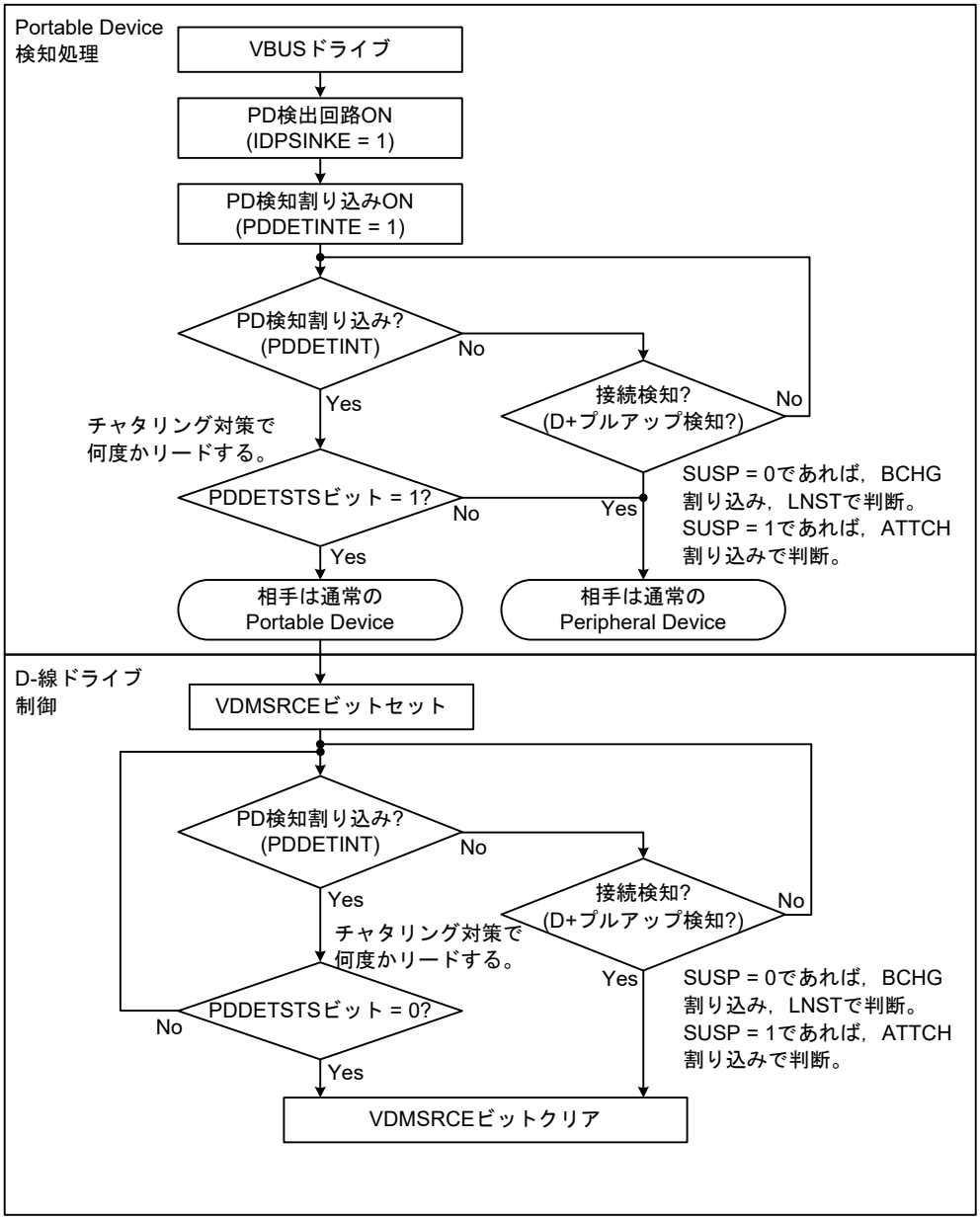
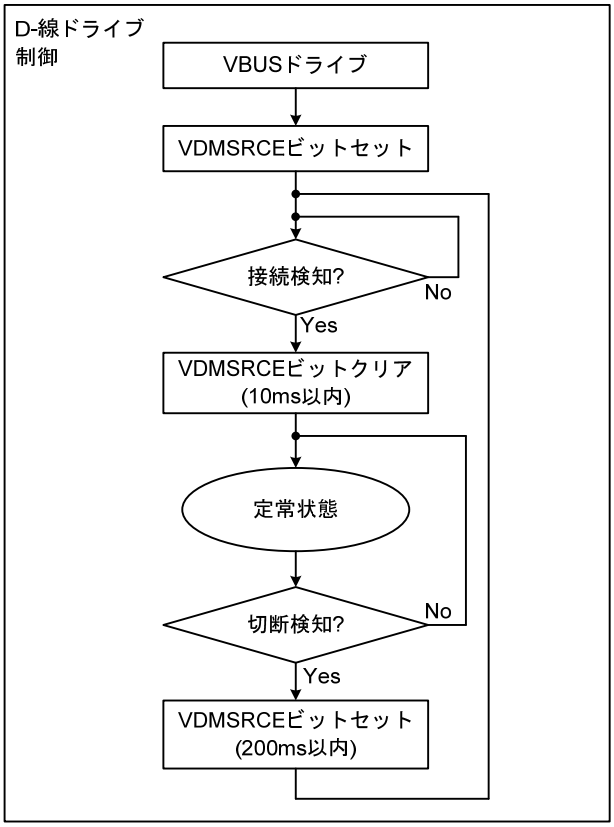


図14－69　Charging Downstream Portとしての処理フロー（（A）～（B）の処理）



第15章　乗除積和算器

15. 1　乗除積和算器の機能

乗除積和算器には，次のような機能があります。

・16ビット×16ビット ＝32ビット（符号なし）
・16ビット×16ビット ＝32ビット（符号付）
・16ビット×16ビット＋32ビット ＝32ビット（符号付）
・16ビット×16ビット＋32ビット ＝32ビット（符号なし）
・32ビット÷32ビット ＝32ビット 剰余32ビット（符号なし）

15. 2　乗除積和算器の構成

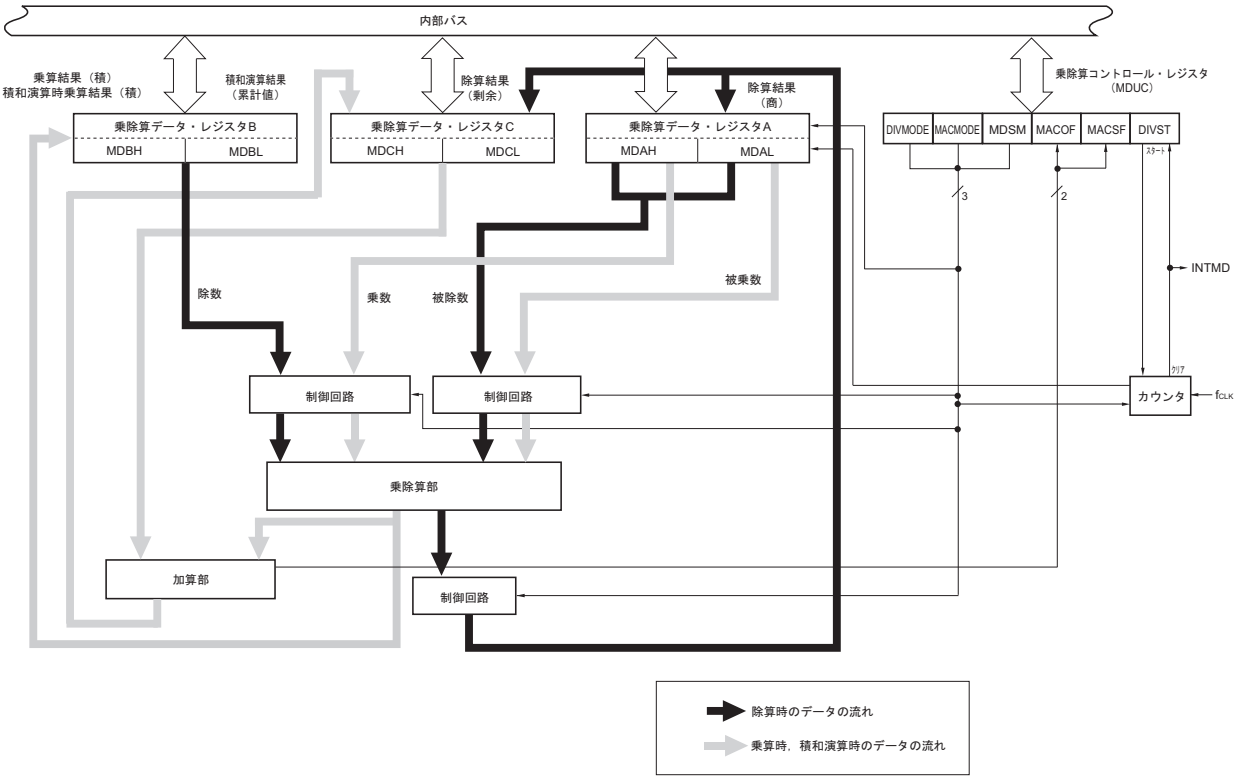
乗除積和算器は，次のハードウエアで構成されています。

表15－1　乗除積和算器の構成

項　　目	構　　成
レジスタ	乗除算デ―タ・レジスタA（L）（MDAL） 乗除算デ―タ・レジスタA（H）（MDAH） 乗除算データ・レジスタB（L）（MDBL） 乗除算データ・レジスタB（H）（MDBH） 乗除算データ・レジスタC（L）（MDCL） 乗除算データ・レジスタC（H）（MDCH）
制御レジスタ	乗除算コントロール・レジスタ（MDUC）

乗除積和算器のブロック図を図15－1に示します。

図15－1　乗除積和算器のブロック図



備考　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

15. 2. 1　乗除算データ・レジスタA（MDAH, MDAL）

MDAH, MDALレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モード時および積和演算モード時は乗数と被乗数データを設定し，除算モード時は被除数データを設定します。また，除算モード時は演算結果（商）がMDAH, MDALレジスタに格納されます。

MDAH, MDALレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図15－2　乗除算データ・レジスタA（MDAH, MDAL）のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H　**リセット時：**0000H, 0000H　R/W

略号	FFFF3H								FFFF2H							
MDAH	MDAH 15	MDAH 14	MDAH 13	MDAH 12	MDAH 11	MDAH 10	MDAH 9	MDAH 8	MDAH 7	MDAH 6	MDAH 5	MDAH 4	MDAH 3	MDAH 2	MDAH 1	MDAH 0

略号	FFFF1H								FFFF0H							
MDAL	MDAL 15	MDAL 14	MDAL 13	MDAL 12	MDAL 11	MDAL 10	MDAL 9	MDAL 8	MDAL 7	MDAL 6	MDAL 5	MDAL 4	MDAL 3	MDAL 2	MDAL 1	MDAL 0

注意1. 除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDAH, MDALレジスタの値を書き換えないでください。この場合でも演算は実施しますが，演算結果は不定値となります。

2. 除算演算処理中（MDUCレジスタが81H, C1Hのとき）にMDAH, MDALレジスタの値を読み出した場合，その値は保証しません。

3. 乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。

MDAH, MDALレジスタの演算実行時の機能を次に示します。

表15－2　MDAH, MDALレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	MDAH：乗数（符号なし） MDAL：被乗数（符号なし）	－
乗算モード（符号付） 積和演算モード（符号付）	MDAH：乗数（符号付） MDAL：被乗数（符号付）	－
除算モード（符号なし）	MDAH：被除数（符号なし） （上位16ビット） MDAL：被除数（符号なし） （下位16ビット）	MDAH：除算結果（商）（符号なし） 上位16ビット MDAL：除算結果（商）（符号なし） 下位16ビット

15. 2. 2　乗除算データ・レジスタB（MDBL, MDBH）

MDBH, MDBLレジスタは，乗除算の演算に利用する値を設定し，演算結果を格納するレジスタです。乗算モードおよび積和演算モード時は演算結果（積）を格納し，除算モード時は除数データを設定します。

MDBH, MDBLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図15－3　乗除算データ・レジスタB（MDBH, MDBL）のフォーマット

アドレス：FFFF4H, FFFF5H, FFFF6H, FFFF7H　**リセット時：**0000H, 0000H　R/W

略号	FFFF5H								FFFF4H							
MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH	MDBH
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

略号	FFFF7H								FFFF6H							
MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBL	MDBHL	MDBL	MDBL	MDBL
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H，C1Hのとき）または積和演算処理中に，MDBH，MDBLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。

2.　除算モード時は，MDBH，MDBLレジスタに0000Hを設定しないでください。設定した場合，演算結果が不定値となります。

3.　乗算モード（符号付），積和演算モード（符号付）の場合，データは2の補数形式になります。

MDBH, MDBLレジスタの演算実行時の機能を次に示します。

表15－3　MDBH, MDBLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード（符号なし） 積和演算モード（符号なし）	－	MDBH：乗算結果（積）（符号なし）上位16ビット MDBL：乗算結果（積）（符号なし）下位16ビット
乗算モード（符号付） 積和演算モード（符号付）	－	MDBH：乗算結果（積）（符号付）上位16ビット MDBL：乗算結果（積）（符号付）下位16ビット
除算モード（符号なし）	MDBH：除数（符号なし） （上位16ビット） MDBL：除数（符号なし） （下位16ビット）	－

15. 2. 3　乗除算データ・レジスタC（MDCL, MDCH）

MDCH, MDCLレジスタは，積和演算モード時は累計結果の値を格納し，除算モード時は演算結果の剰余の値が格納されるレジスタです。乗算モードでは使用しません。

MDCH, MDCLレジスタは，16ビット操作命令で設定します。

リセット信号の発生により，0000Hになります。

図15－4　乗除算データ・レジスタC（MDCH, MDCL）のフォーマット

アドレス：F00E0H, F00E1H, F00E2H, F00E3H　**リセット時：**0000H, 0000H　R/W

略号	F00E3H								F00E2H							
MDCH	MDCH 15	MDCH 14	MDCH 13	MDCH 12	MDCH 11	MDCH 10	MDCH 9	MDCH 8	MDCH 7	MDCH 6	MDCH 5	MDCH 4	MDCH 3	MDCH 2	MDCH 1	MDCH 0

略号	F00E1H								F00E0H							
MDCL	MDCL 15	MDCL 14	MDCL 13	MDCL 12	MDCL 11	MDCL 10	MDCL 9	MDCL 8	MDCL 7	MDCL 6	MDCL 5	MDCL 4	MDCL 3	MDCL 2	MDCL 1	MDCL 0

注意1.　除算演算処理中（乗除算コントロール・レジスタ（MDUC）が81H, C1Hのとき）に，MDCH, MDCLレジスタの値を読み出した場合，その値は保証されません。

2.　積和演算処理中に，MDCH, MDCLレジスタの値をソフトウエアで書き換えないでください。演算結果は不定値となります。

3.　積和演算モード（符号付）の場合，データは2の補数形式になります。

表15－4　MDCH, MDCLレジスタの演算実行時の機能

演算モード	設定	演算結果
乗算モード （符号付／符号なし）	－	－
積和演算モード（符号なし）	MDCH：累計初期値（符号なし）（上位16ビット） MDCL：累計初期値（符号なし）（下位16ビット）	MDCH：累計値（符号なし）（上位16ビット） MDCL：累計値（符号なし）（下位16ビット）
積和演算モード（符号付）	MDCH：累計初期値（符号付）（上位16ビット） MDCL：累計初期値（符号付）（下位16ビット）	MDCH：累計値（符号付）（上位16ビット） MDCL：累計値（符号付）（下位16ビット）
除算モード（符号なし）	－	MDCH：剰余（符号なし）（上位16ビット） MDCL：剰余（符号なし）（下位16ビット）

乗算時と除算時のレジスタ構成を次に示します。

・乗算時のレジスタ構成

＜乗数A＞　　＜乗数B＞　　＜積＞

MDAL（ビット15-0）×MDAH（ビット15-0）= ［MDBH（ビット15-0）, MDBL（ビット15-0）］

・積和演算時のレジスタ構成

＜乗数A＞　　＜乗数B＞　　＜累計値＞

MDAL（ビット15-0）×MDAH（ビット15-0）＋MDC（ビット31-0）=

＜累計結果＞

［MDCH（ビット15-0）, MDCL（ビット15-0）］

（MDBH（ビット15-0）, MDBL（ビット15-0）には乗算結果が格納されます。）

・除算時のレジスタ構成

＜被除数＞　　＜除数＞

［MDAH（ビット15-0）, MDAL（ビット15-0）］÷［MDBH（ビット15-0）, MDBL（ビット15-0）］=

＜商＞　　＜剰余＞

［MDAH（ビット15-0）, MDAL（ビット15-0）］…［MDCH（ビット15-0）,MDCL（ビット15-0）］

15. 3　乗除積和算器を制御するレジスタ

乗除積和算器は，乗除算コントロール・レジスタ（MDUC）で制御します。

15. 3. 1　乗除算コントロール・レジスタ0（MDUC）

MDUCレジスタは，乗除積和算器の動作を制御する8ビット・レジスタです。

MDUCレジスタは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

ただし，積和演算結果（累計値）のオーバフロー・フラグ（MACOF），積和演算結果（累計値）のサイン・フラグ（MACSF）は読み出しのみ可能です。

リセット信号の発生により，00Hになります。

図15－5　乗除算コントロール・レジスタ（MDUC）のフォーマット

アドレス：F00E8H　　リセット時：00H　　R/W[注1]

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	MACMODE	0	0	MDSM	MACOF	MACSF	DIVST

DIVMODE	MACMODE	MDSM	演算モードの選択
0	0	0	乗算モード（符号なし）（デフォルト）
0	0	1	乗算モード（符号付）
0	1	0	積和演算モード（符号なし）
0	1	1	積和演算モード（符号付）
1	0	0	除算モード（符号なし），除算完了割り込み（INTMD）発生
1	1	0	除算モード（符号なし），除算完了割り込み（INTMD）発生しない
上記以外			設定禁止

MACOF	積和演算結果（累計値）のオーバフロー・フラグ
0	オーバフローなし
1	オーバフローあり
［セット条件］ ・積和演算モード（符号なし）の場合 累計値が00000000h-FFFFFFFFhを超える場合 ・積和演算モード（符号付）の場合 正の累計値に正の積を加算した結果が7FFFFFFFhを越え結果が負となる場合 負の累計値に負の積を加算した結果が80000000h を越え結果が正となる場合	

MACSF	積和演算結果（累計値）のサイン・フラグ
0	累計値が正
1	累計値が負
積和演算モード（符号なし）の場合：常に0 積和演算モード（符号付）の場合　：累計値の符号ビットを表示	

DIVST注2	除算演算動作の開始／停止
0	除算演算処理完了
1	除算演算開始／除算演算処理中

注 1.　ビット1，2はRead onlyです。

2.　DIVSTビットは除算モード時にのみセット（1）可能です。除算モード時，DIVSTビットをセット（1）すると除算演算動作を開始します。演算終了後は自動的にDIVSTビットがクリア（0）されます。乗算モード時は，乗除算データ・レジスタA（MDAH, MDAL）に乗数，被乗数を設定することにより自動的に演算が開始されます。

注意1. 演算処理中（DIVSTビットが1のとき）に，DIVMODE, MDSMビットを書き換えないでください。書き換えた場合，演算結果が不定値となります。

2. 除算演算処理中（DIVSTビットが1のとき）にDIVSTビットをソフトウエアでクリア（0）することはできません。

15. 4　乗除積和算器の動作

15. 4. 1　乗算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を00Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

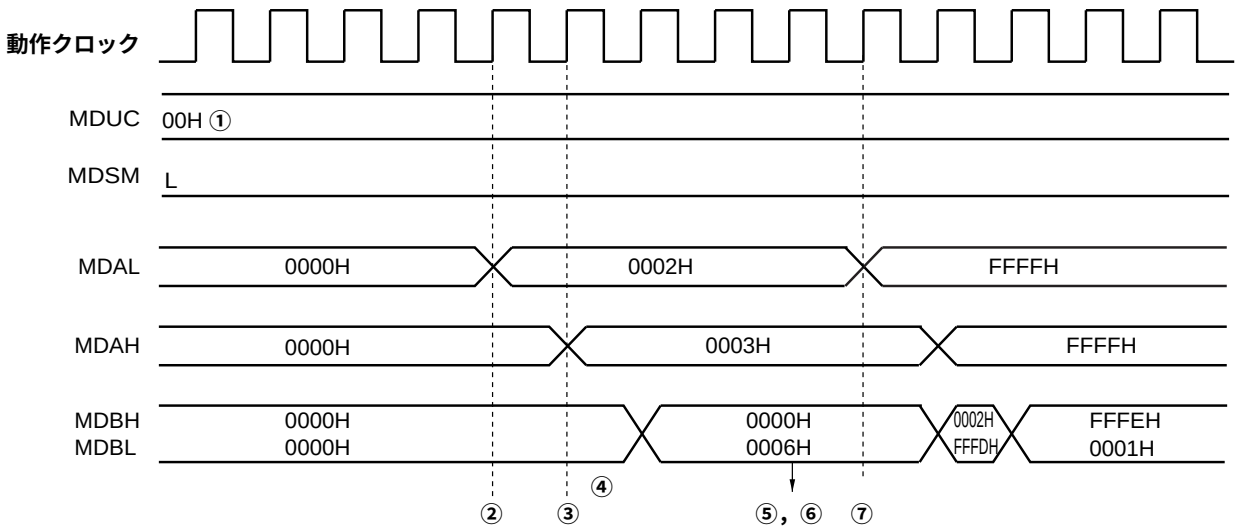
・次回演算

⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

備考　手順の①～⑦は，図15－6の①～⑦に対応しています。

図15－6　乗算（符号なし）動作のタイミング図（2×3 = 6）



15. 4. 2　乗算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を08Hにする。

② 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

③ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③のセットの順はどちらが先でも問題ありません。MDAH，MDALレジスタに乗数，被乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

④ 1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

⑤ 乗除算データ・レジスタB（L）（MDBL）から積（下位16ビット）を読み出します。

⑥ 乗除算データ・レジスタB（H）（MDBH）から積（上位16ビット）を読み出します。

（⑤，⑥の読み出しの順はどちらが先でも問題ありません。）

・次回演算

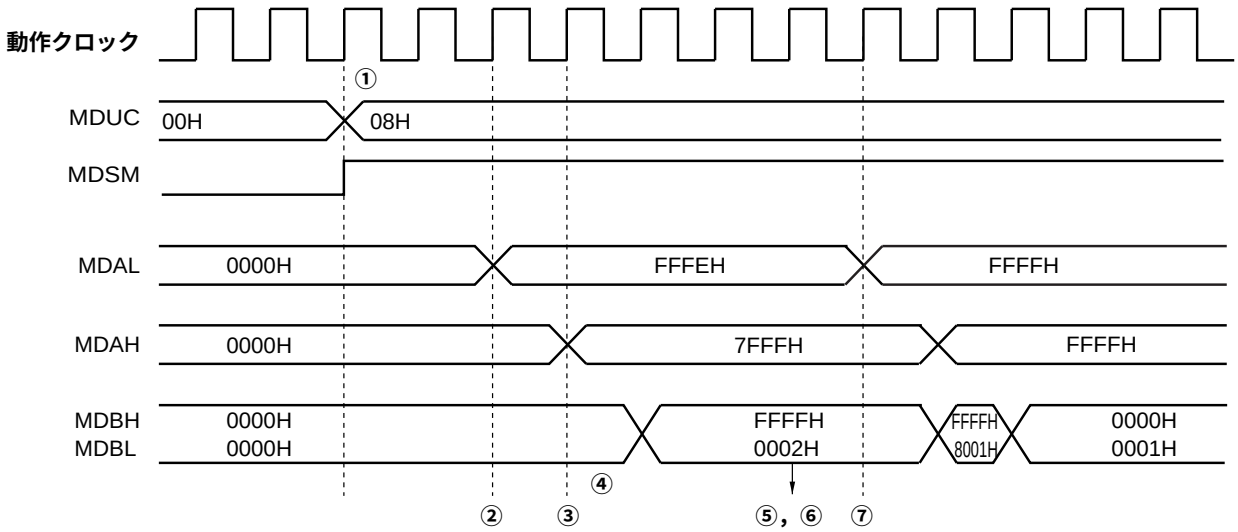
⑦ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①，②の設定は省略できます。

注意　乗算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑦は，図15－7の①～⑦に対応しています。

図15－7　乗算（符号付）動作のタイミング図（－2×32767 = －65534）



15. 4. 3　積和演算（符号なし）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を40Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

③ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

④ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑤ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，③，④のセットの順はどれが先でも問題ありません。⑤のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑥　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑦ ⑥からさらに1クロックで，積和演算が終了します（初期設定完了（⑤）からは，2クロック以上ウエイト）。

・演算終了

⑧ 乗除算データ・レジスタC（L）（MDCL）から累計値（下位16ビット）を読み出します。

⑨ 乗除算データ・レジスタC（H）（MDCH）から累計値（上位16ビット）を読み出します。

（⑧，⑨の読み出しの順はどちらが先でも問題ありません。）

（⑩ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

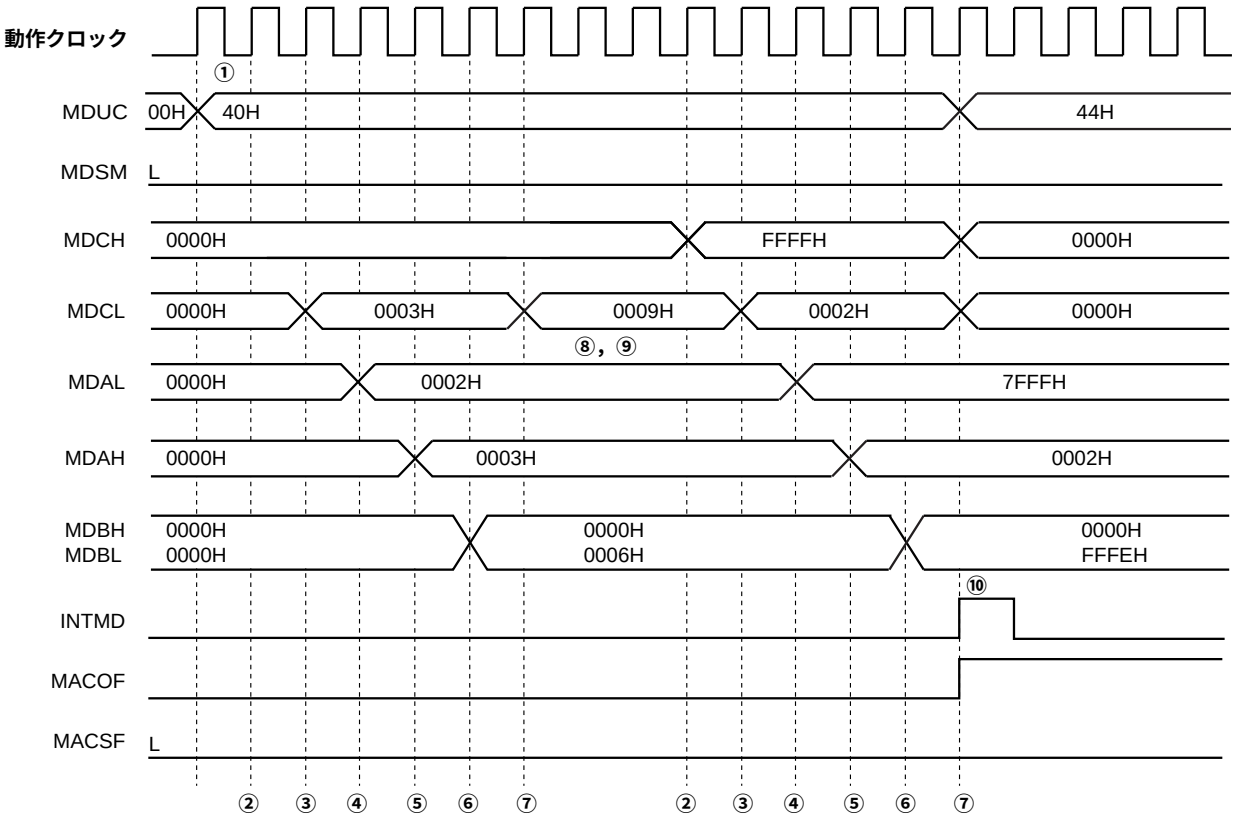
⑪ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～④の設定は省略できます。

備考　手順の①～⑩は，図15－8の①～⑩に対応しています。

図15－8　積和演算（符号なし）動作のタイミング図

（2×3＋3 = 9 → 32767×2＋4294901762 = 0（オーバフロー発生））



15. 4. 4　積和演算（符号付）動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）を48Hにする。

② 乗除算データ・レジスタC（H）（MDCH）に累計初期値の上位16ビットをセット

（③ MDCHレジスタの累計値が負の値の場合は，MACSFビットが1にセットされます。）

④ 乗除算データ・レジスタC（L）（MDCL）に累計初期値の下位16ビットをセット

⑤ 乗除算データ・レジスタA（L）（MDAL）に被乗数をセット

⑥ 乗除算データ・レジスタA（H）（MDAH）に乗数をセット

（②，④，⑤のセットの順はどちらが先でも問題ありません。⑥のMDAHレジスタに乗数をセットすると自動的に乗算演算を開始します。）

・演算処理中

⑦　乗算演算が1クロックで終了します。

（乗除算データ・レジスタB（L）（MDBL），乗除算データ・レジスタB（H）（MDBH）に乗算結果が格納されます。）

⑧ ⑦からさらに1クロックで，積和演算が終了します（初期設定完了（⑥）からは，2クロック以上ウエイト）。

・演算終了

⑨ MDCL, MDCHレジスタに格納された累計値が正の値の場合は，MACSFビットが0にクリアされます。

⑩ MDCLレジスタから累計値（下位16ビット）を読み出します。

⑪ MDCHレジスタから累計値（上位16ビット）を読み出します。

（⑩，⑪の読み出しの順はどちらが先でも問題ありません。）

（⑫ 積和演算結果がオーバフローしている場合は，MACOFビットが1にセットされ，INTMD信号が発生します。）

・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

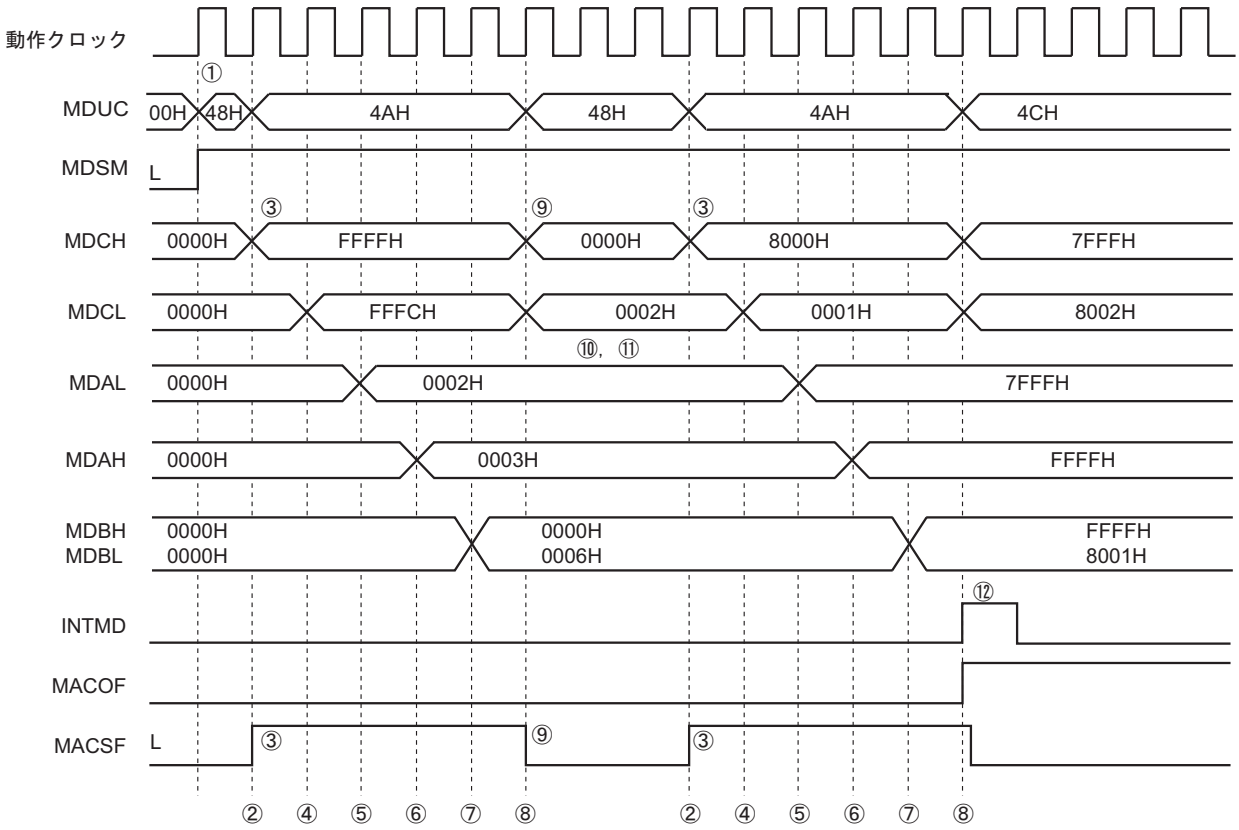
続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

注意　積和演算モード（符号付）の場合，データは2の補数形式になります。

備考　手順の①～⑫は，図15－9の①～⑫に対応しています。

図15－9　積和演算（符号付）動作のタイミング図

（2×3＋（－4）　= 2 → 32767×（－1）＋（－2147483647）　= 2147450882（オーバフロー発生））



15. 4. 5　除算動作

・初期設定

① 乗除算コントロール・レジスタ（MDUC）に80Hをセットする。

② 乗除算データ・レジスタA（H）（MDAH）に被除数（上位16ビット）をセット

③ 乗除算データ・レジスタA（L）（MDAL）に被除数（下位16ビット）をセット

④ 乗除算データ・レジスタB（H）（MDBH）に除数（上位16ビット）をセット

⑤ 乗除算データ・レジスタB（L）（MDBL）に除数（下位16ビット）をセット

⑥ MDUCレジスタのビット0（DIVST）に1をセット

（②～⑤の順はどれからセットしても問題ありません。）

・演算処理中

⑦ 次のいずれかの処理が完了すれば演算が終了します。

・16クロック以上ウエイト（16クロックで演算は終了します。）

・DIVSTビットがクリアされたことを確認

（演算処理中のMDBL, MDBH, MDCL, MDCHレジスタのリード値は保証しません。）

・演算終了

⑧ DIVSTビットがクリア（0）され，演算が終了します。このとき，MACMODE = 0での演算なら，割り込み要求信号（INTMD）が発生します。

⑨ MDALレジスタから商（下位16ビット）を読み出します。

⑩ MDAHジスタから商（上位16ビット）を読み出します。

⑪ 乗除算データ・レジスタC（L）（MDCL）から剰余（下位16ビット）を読み出します。

⑫ 乗除算データ・レジスタC（H）（MDCH）から剰余（上位16ビット）を読み出します。

（⑨～⑫の順はどれから読み出しても問題ありません。）

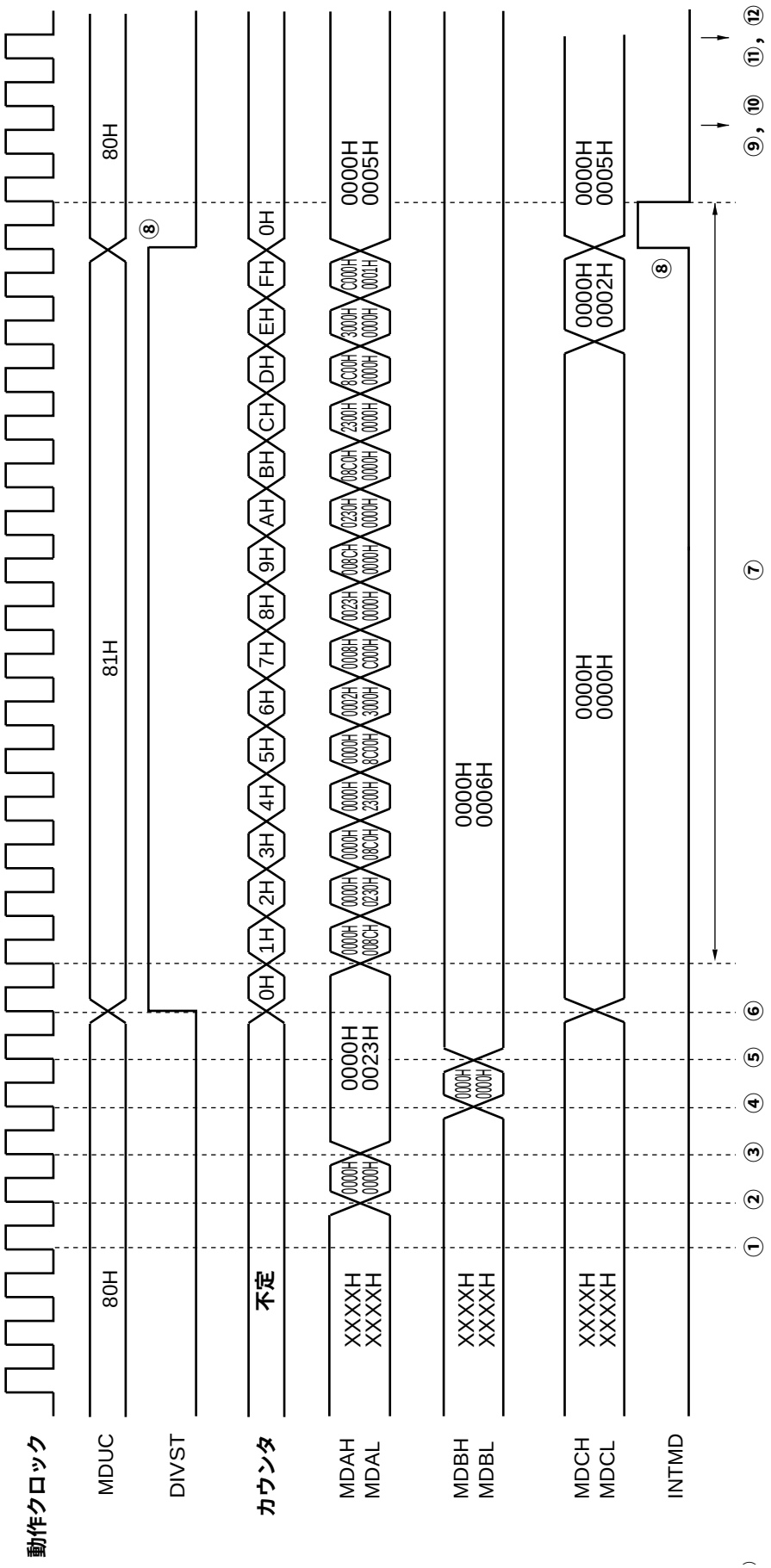
・次回演算

⑬ 演算モードを変更する場合は，各動作手順の初期設定から行ってください。

続けて同じ演算モードを使用する場合は，①～⑤の設定は省略できます。

備考　手順の①～⑫は，図15－10の①～⑫に対応しています。

図15－10　除算動作のタイミング図（例：35÷6＝5　余5）



第16章　DMAコントローラ

RL78/G1Cは，DMA（Direct Memory Access）コントローラを内蔵しています。

DMAに対応している周辺ハードウエアのSFRと内蔵RAMの間は，CPUを介さずに自動でデータのやり取りをすることができます。

これにより，SFR⇔内蔵RAM間の転送を，通常のCPU内部の演算やデータ転送をしながら行えるため，大容量データの処理も可能になります。また，通信やタイマ，A/D，USBファンクション・コントローラを駆使したリアルタイム制御も実現できます。

16. 1　DMAコントローラの機能

○DMAチャネル数：2チャネル

○転送単位：8ビット／16ビット

○連続転送設定回数：1～1024回

○転送タイプ：2サイクル転送（1回の転送を2クロックで処理し，その間はCPU動作が停止します）

○転送モード：シングル転送モード

○転送要求：以下の周辺ハードウエア割り込みから選択

・A/Dコンバータ

・シリアル・インタフェース
（CSI00, CSI01, UART0）

・タイマ（チャネル0, 1, 2, 3）

・USB FIFOポート要求信号

○転送対象：SFR⇔内蔵RAM

DMAを使った機能例は，次のようなものが考えられます。

・シリアル・インタフェースの連続転送

・A/D変換結果の連続取り込み

・一定時間ごとにポートの値を取りこむ

16. 2　DMAコントローラの構成

DMAコントローラは，次のハードウエアで構成されています。

表16－1　DMAコントローラの構成

項　　目	構　　成
アドレス・レジスタ	・DMA SFRアドレス・レジスタ0, 1（DSA0, DSA1） ・DMA RAMアドレス・レジスタ0, 1（DRA0, DRA1）
カウント・レジスタ	・DMAバイト・カウント・レジスタ0, 1（DBC0, DBC1）
制御レジスタ	・DMAモード・コントロール・レジスタ0, 1（DMC0, DMC1） ・DMA動作コントロール・レジスタ0, 1（DRC0, DRC1）

16. 2. 1　DMA SFRアドレス・レジスタn（DSAn）

DMAチャネルnの転送元／転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H-FFFFFHの下位8ビットを設定してください。

このレジスタは自動的にインクリメント動作せず，固定値となります。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DSAnレジスタは8ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，00Hになります。

図16－1　DMA SFRアドレス・レジスタn（DSAn）のフォーマット

アドレス：FFFB0H（DSA0），FFFB1H（DSA1）　　リセット時：00H　　R/W

	7	6	5	4	3	2	1	0
DSAn								

備考　n：DMAチャネル番号（n = 0, 1）

16. 2. 2　DMA RAMアドレス・レジスタn（DRAn）

DMAチャネルnの転送先／転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域（FE900H-FFEDFH）のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると，自動的にインクリメントされます。8ビット転送モード時には＋1され，16ビット転送モード時には＋2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し，最終アドレスまで転送し終わると，DRAnレジスタは8ビット転送モード時には最終アドレス＋1，16ビット転送モード時には最終アドレス＋2になって停止します。

16ビット転送モード時には，最下位ビットは無視され，偶数番地として扱われます。

DRAnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図16－2　DMA RAMアドレス・レジスタn（DRAn）のフォーマット

アドレス：FFFB2H, FFFB3H（DRA0），FFFB4H, FFFB5H（DRA1）　　リセット時：0000H　　R/W

DRA0H：FFFB3H
DRA1H：FFFB5H

DRA0L：FFFB2H
DRA1L：FFFB4H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DRAn																

（n = 0, 1）

備考　n：DMAチャネル番号（n = 0, 1）

16. 2. 3　DMAバイト・カウント・レジスタn（DBCn）

DMAチャネルnの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBCnレジスタに連続転送回数を設定してください（最大1024回）。

DMA転送が1回実行されるたびに，自動的にデクリメントされます。DMA転送中にこのDBCnレジスタを読み出すことで，残りの連続転送回数を知ることができます。

DBCnレジスタは8/16ビット単位でリード／ライト可能です。ただし，DMA転送中には書き込みができません。

リセット信号の発生により，0000Hになります。

図16－3　DMA バイト・カウント・レジスタn（DBCn）のフォーマット

アドレス：FFFB6H, FFFB7H（DBC0）, FFFB8H, FFFB9H（DBC1）　　リセット時：0000H　　R/W

DBC0H：FFFB7H
DBC1H：FFFB9H

DBC0L：FFFB6H
DBC1L：FFFB8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn	0	0	0	0	0	0										

（n = 0, 1）

DBCn[9:0]	転送回数設定（DBCnライト時）	残りの転送回数（DBCnリード時）
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
・ ・ ・	・ ・ ・	・ ・ ・
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1.　ビット15-10は，必ず0を設定してください。

2.　連続転送の結果，汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は，汎用レジスタやSFR空間へ書き込み／読み出しを行って，データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考　n：DMAチャネル番号（n = 0, 1）

16. 3　DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

・DMAモード・コントロール・レジスタn（DMCn）
・DMA動作コントロール・レジスタn（DRCn）

備考　n：DMAチャネル番号（n = 0, 1）

16. 3. 1 DMAモード・コントロール・レジスタn（DMCn）

DMCnレジスタは，DMAチャネルnの転送モード設定レジスタです。転送方向，データ・サイズ，保留設定，起動要因の選択を行います。ビット7（STGn）はDMA起動のソフトウエア・トリガとなります。

DMCnレジスタのビット6, 5, 3-0は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DMCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－4 DMAモード・コントロール・レジスタn（DMCn）のフォーマット（1/2）

アドレス：FFFBAH（DMC0）, FFFBBH（DMC1） リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

STGn[注1]	DMA転送開始ソフトウエア・トリガ
0	ソフトウエア・トリガ動作しない
1	DMA動作許可（DENn = 1）時に，DMA転送を開始する
DMA動作許可（DENn = 1）時に，STGnビットに1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRSn	DMA転送方向の選択
0	SFR → 内蔵RAM
1	内蔵RAM → SFR

DSn	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAITn[注2]	DMA転送の保留
0	DMA起動要求によりDMA転送を行う（保留しない）
1	DMA起動要求が来ても保留する
DWAITnビットの値を1→0にすることで，保留されているDMA転送を開始することができます。 また，DWAITnビットの値を0→1に設定してから，実際に転送が保留されるまでは2クロック必要となります。	

注1. ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

2. DMAを2チャネル以上使用中でDMA転送を保留する場合は，必ず両チャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = 1）。

備考 n：DMAチャネル番号（n = 0, 1）

図16－4　DMAモード・コントロール・レジスタn（DMCn）のフォーマット（2/2）

アドレス：FFFBAH（DMC0），FFFBBH（DMC1）　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

（n = 0, 1の場合）

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA起動要因の選択注	
				トリガ信号	トリガ内容
0	0	0	0	－	割り込みによるDMA転送禁止 （ソフトウエア・トリガのみ可）
0	0	0	1	INTAD	A/D変換終了割り込み
0	0	1	0	INTTM00	タイマ・チャネル0のカウント完了またはキャプチャ割り込み
0	0	1	1	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ割り込み
0	1	0	0	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ割り込み
0	1	0	1	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ割り込み
0	1	1	0	INTST0/INTCSI00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み
0	1	1	1	INTSR0/INTCSI01	UART0受信の転送完了割り込み／CSI01の転送完了，バッファ空き割り込み
1	1	0	0	DMA0FIFO	DMA0-FIFOポート要求信号
1	1	0	1	DMA1FIFO	DMA1-FIFOポート要求信号
上記以外				設定禁止	

注　ソフトウエア・トリガ（STGn）は，IFCn3-IFCn0ビットの値に関係なく使用できます。

備考　n：DMAチャネル番号（n = 0, 1）

16. 3. 2　DMA動作コントロール・レジスタn（DRCn）

DRCnレジスタは，DMAチャネルnの転送許可／禁止を設定するレジスタです。

DRCnレジスタのビット7（DENn）は，動作中（DSTn = 1のとき）の書き換えは禁止です。

DRCnレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図16－5　DMA動作コントロール・レジスタn（DRCn）のフォーマット

アドレス：FFFBCH（DRC0），FFFBDH（DRC1）　　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
DRCn	DENn	0	0	0	0	0	0	DSTn

DENn	DMA動作許可フラグ
0	DMAチャネルnの動作禁止（DMAの動作クロック停止）
1	DMAチャネルnの動作許可
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。	

DSTn	DMA転送モード・フラグ
0	DMAチャネルnのDMA転送終了
1	DMAチャネルnのDMA転送未終了（転送中）
DMA動作許可（DENn = 1）にしてから，DSTn = 1にすることでDMAトリガ待ち状態になります。 そしてソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。 その後，DMA転送が終了すると自動的に0にクリアされます。 DMA転送中に強制終了したい場合は，0を書き込みます。	

注意　DSTnフラグはDMA転送が終了すると自動的に0にクリアされます。
DENnフラグはDSTn = 0のときのみ書き込み許可となるため，DMAnの割り込み（INTDMAn）発生を待たずに終了する場合は，DSTn = 0に設定してからDENn = 0としてください（詳細は16. 5. 5　ソフトウエアでの強制終了参照）。

備考　n：DMAチャネル番号（n = 0, 1）

16. 4 DMAコントローラの動作

16. 4. 1 動作手順

① DENn = 1により, DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は，80Hを書き込みます。

② DMA SFRアドレス・レジスタn（DSAn），DMA RAMアドレス・レジスタn（DRAn），DMAバイト・カウント・レジスタn（DBCn），DMAモード・コントロール・レジスタn（DMCn）にDMA転送のSFRアドレス，RAMアドレス，転送回数，転送モードを設定します。

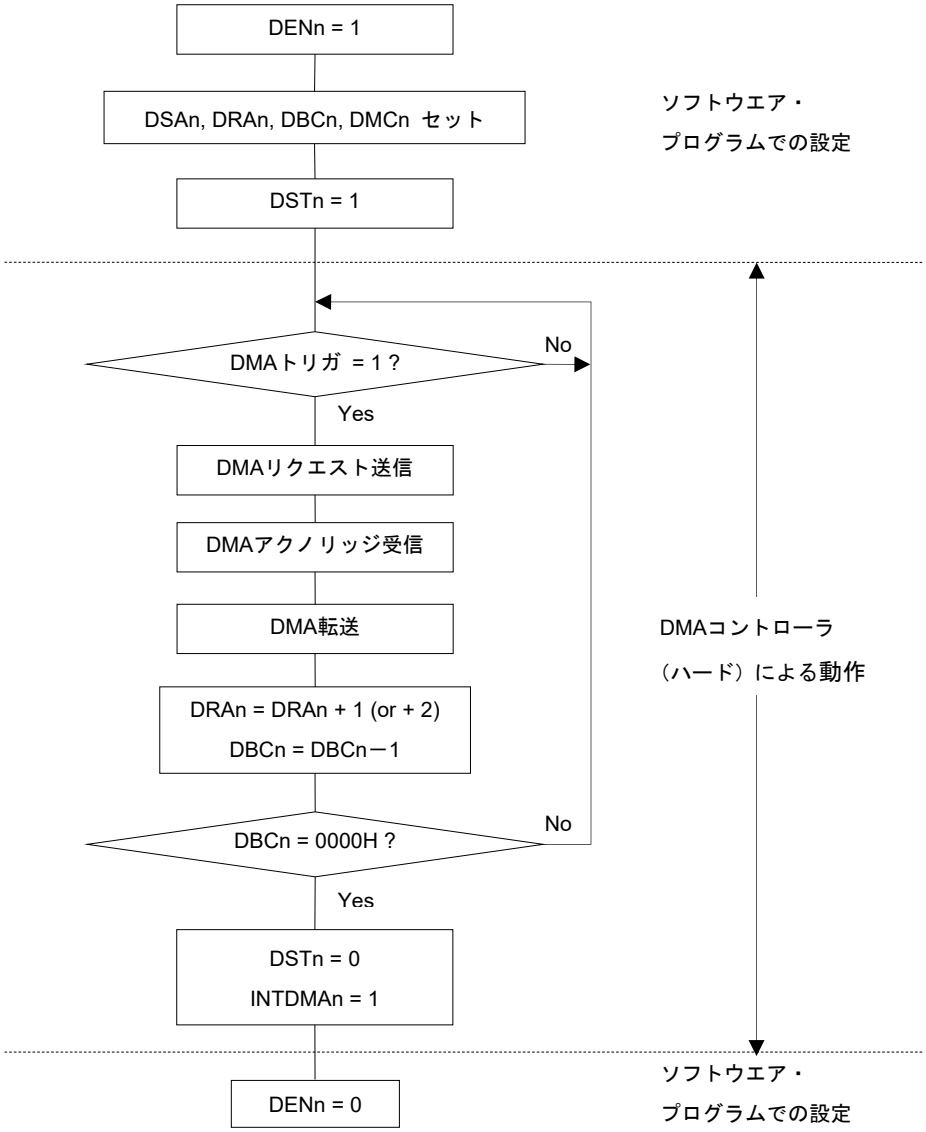
③ DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は，81Hを書き込みます。

④ ソフトウエア・トリガ（STGn）またはIFCn3-IFCn0ビットで設定した起動要因トリガが入力されると，DMA転送を開始します。

⑤ DBCnレジスタで設定した転送回数が0になると転送が完了し，割り込み（INTDMAn）の発生により自動的に転送が終了します。

⑥ その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図16－6 動作手順



備考 n：DMAチャネル番号（n = 0, 1）

16. 4. 2　転送モード

DMA転送には，DMAモード・コントロール・レジスタn（DMCn）のビット6, 5（DRSn, DSn）の設定により，次の4つの転送モードを選択できます。

DRSn	DSn	DMA転送モード
0	0	1バイト・データのSFR（アドレス固定）からRAM（アドレスは＋1のインクリメント）への転送
0	1	2バイト・データのSFR（アドレス固定）からRAM（アドレスは＋2のインクリメント）への転送
1	0	1バイト・データのRAM（アドレスは＋1のインクリメント）からSFR（アドレス固定）への転送
1	1	2バイト・データのRAM（アドレスは＋2のインクリメント）からSFR（アドレス固定）への転送

この転送モードを使用することによって，シリアル・インタフェースを使った最大1024バイトの連続データ転送，A/D変換結果の連続データ転送，タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

16. 4. 3　DMA転送の終了

DBCn = 00HとなりDMA転送が完了すると，自動的にDSTnビットがクリア（0）されます。そして割り込み要求（INTDMAn）の発生により転送が終了します。

強制終了するためにDSTnビットをクリア（0）すると，DMAバイト・カウント・レジスタn（DBCn）と DMA RAMアドレス・レジスタn（DRAn）は停止したときの値を保持します。

また，強制終了した場合は割り込み要求（INTDMAn）は発生しません。

備考　n：DMAチャネル番号（n = 0, 1）

16. 5　DMAコントローラの設定例

16. 5. 1　簡易SPI（CSI）連続送信

簡易SPI（CSI）連続送信の設定例のフロー・チャートを次に示します。

・CSI00の連続送信（256バイト）

・DMAのチャネル0をDMA転送に使用

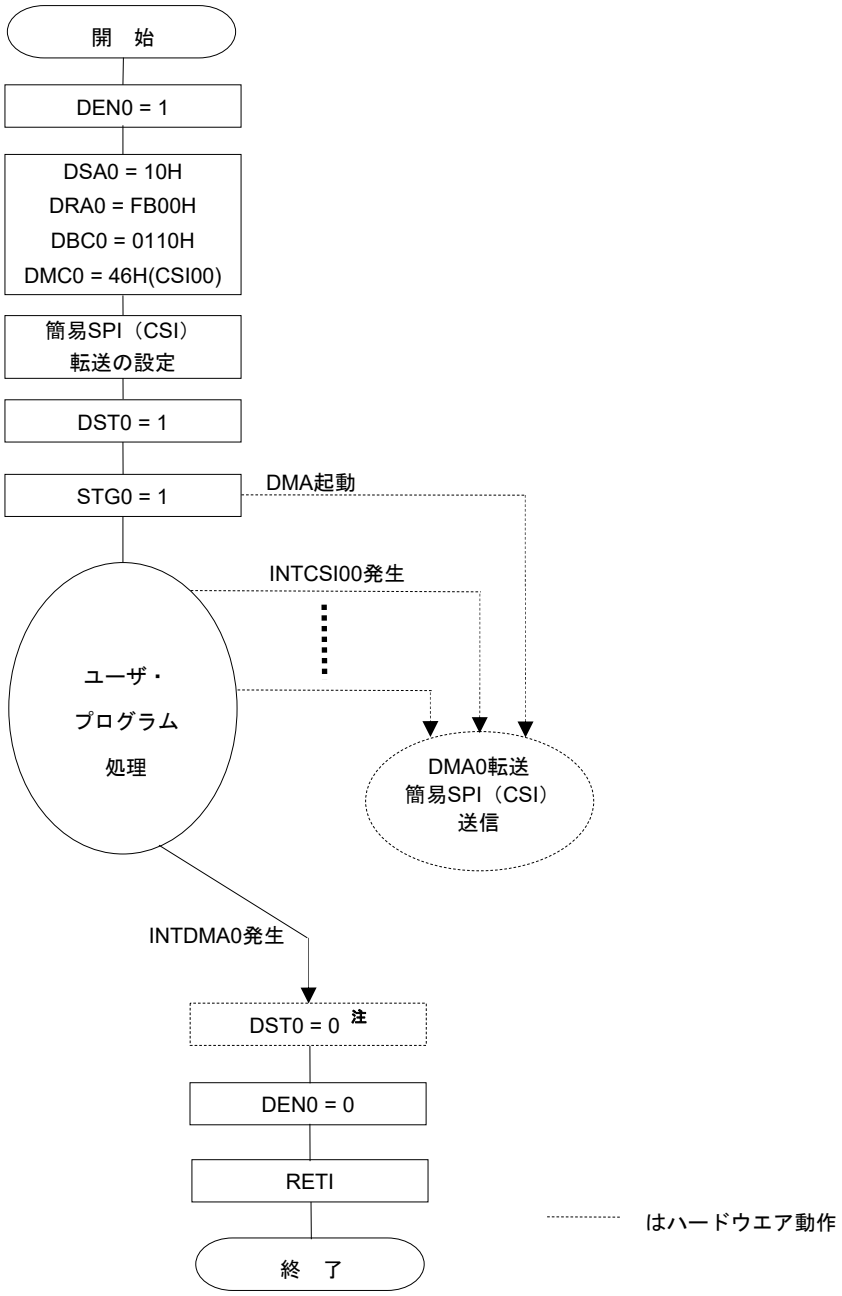
・DMA起動要因：INTCSI00（最初の起動要因のみソフトウエア・トリガ（STG0））

・CSI00の割り込みはIFC03-IFC00 = 0110Bに割り当て

・RAMのFFB00H-FFBFFH（256バイト）を簡易SPI（CSI）のデータ・レジスタ（SIO00）のFFF10Hに転送

備考　IFC03-IFC00：DMAモード・コントロール・レジスタ0（DMC0）のビット3-0

図16－7　簡易SPI（CSI）連続送信の設定例



注　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は16. 5. 5　ソフトウエアでの強制終了参照）。

連続送信の場合は1回目のトリガは簡易SPI（CSI）の割り込みでは起動されません。この例ではソフトウエア・トリガにて起動しています。

2回目以降の簡易SPI（CSI）送信は自動的に転送されます。

データ・レジスタへの最終の送信データの書き込みが終わった時点で，DMA割り込み（INTDMA0）が発生します。

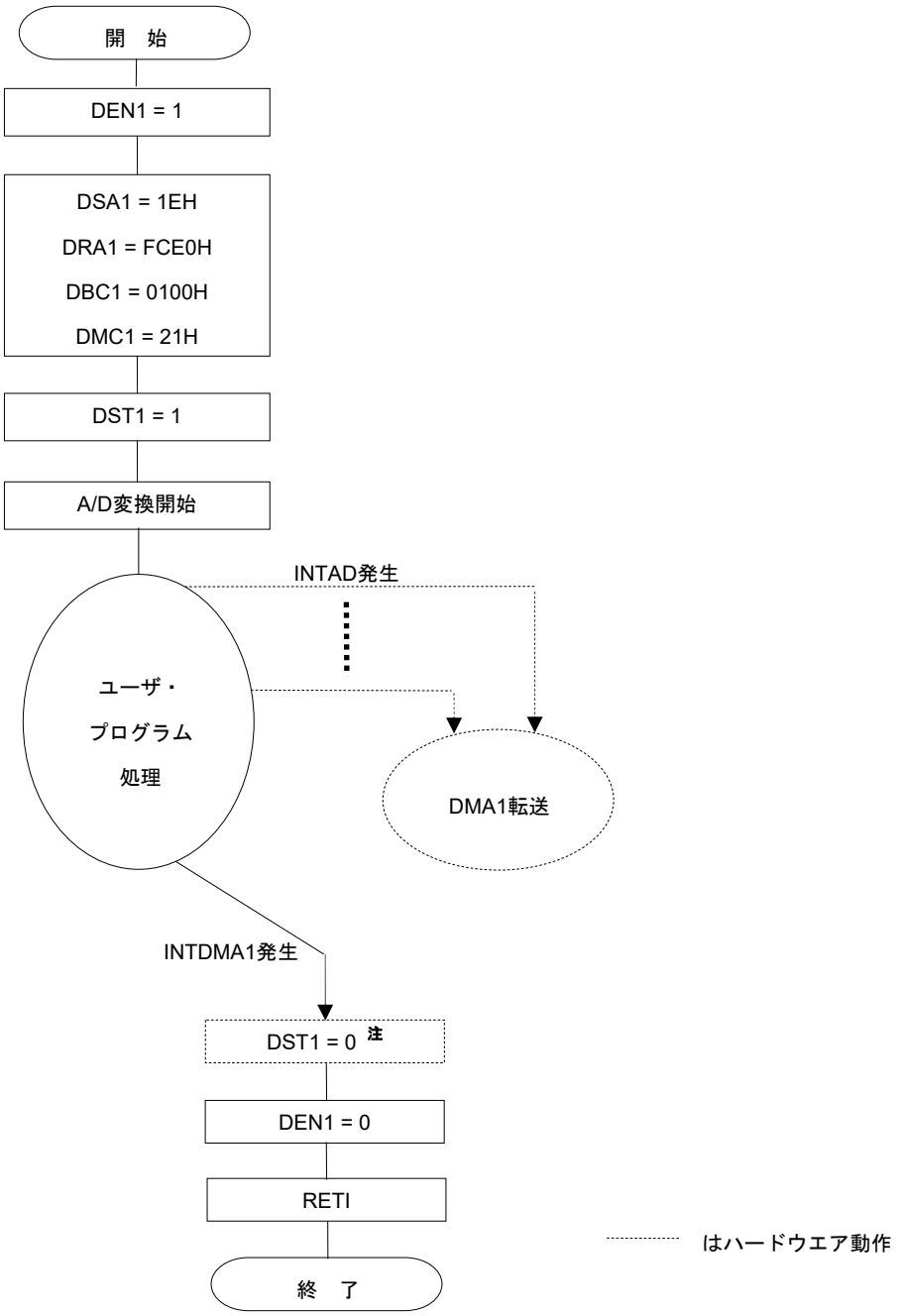
16. 5. 2　A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャネル1をDMA転送に使用
- DMA起動要因：INTAD
- A/Dの割り込みはIFC13-IFC10 = 0001Bに割り当て
- 10ビットA/D変換結果レジスタ（ADCR）のFFF1EHとFFF1FH（2バイト）をRAMのFFCE0H-FFEDFHの512バイトに転送

備考　IFC13-IFC10：DMAモード・コントロール・レジスタ1（DMC1）のビット3-0

図16－8　A/D変換結果の連続取り込みの設定例



注　DST1フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため，DMA1の割り込み（INTDMA1）発生を待たずに終了する場合は，DST1 = 0に設定してからDEN1 = 0としてください（詳細は16. 5. 5　ソフトウエアでの強制終了参照）。

16. 5. 3　UART連続受信＋ACK送信

UART連続受信＋ACK送信の設定例のフロー・チャートを次に示します。

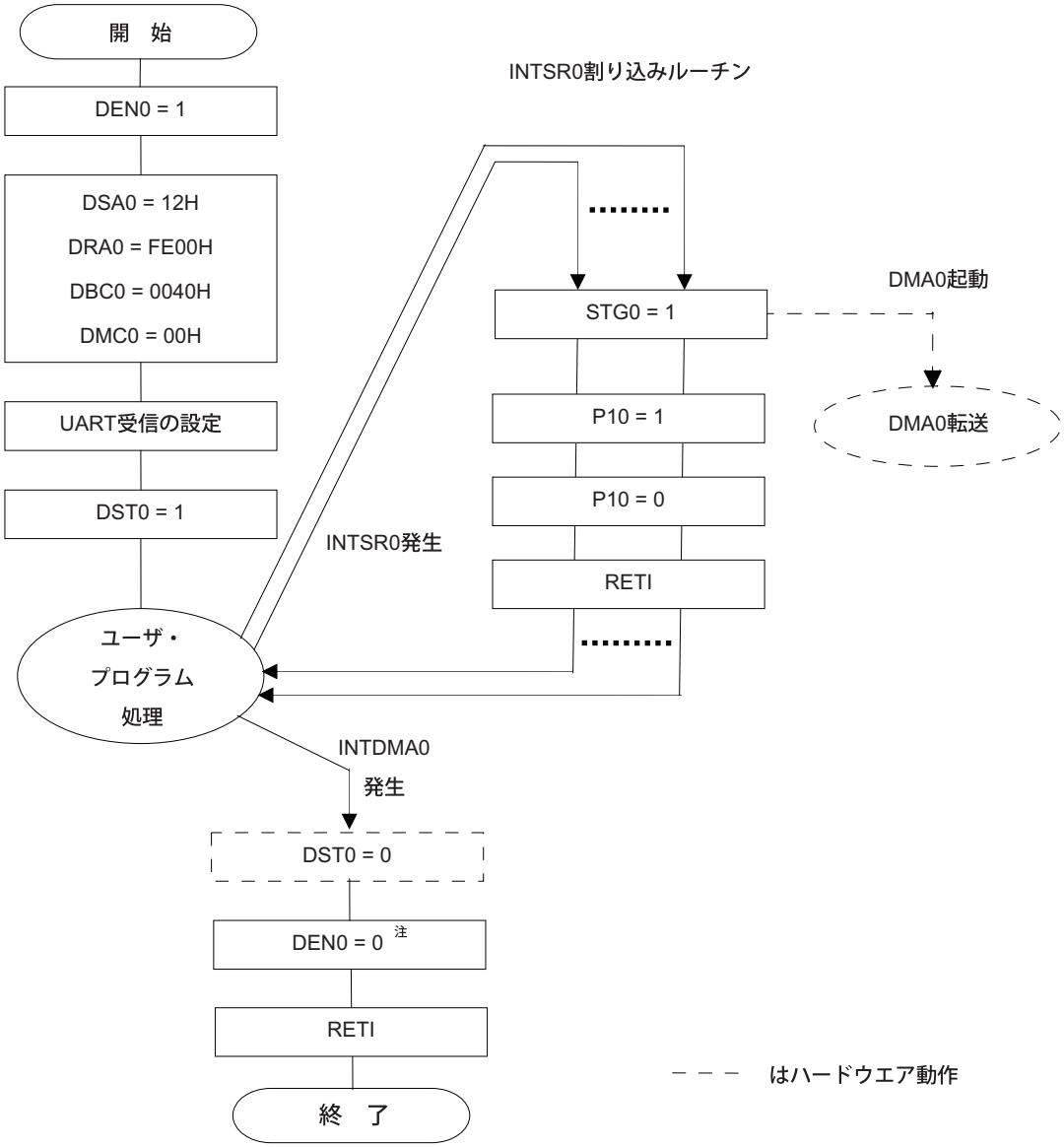
・UART0の連続受信を行い，P30に受信完了のACKを出力

・DMAのチャネル0をDMA転送に使用

・DMA起動要因：ソフトウエア・トリガ（割り込みによるDMA転送禁止）

・UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図16－9　UART連続受信＋ACK送信の設定例



注　DST0フラグはDMA転送が終了すると自動的に0にクリアされます。
DEN0フラグはDST0 = 0のときのみ書き込み許可となるため，DMA0の割り込み（INTDMA0）発生を待たずに終了する場合は，DST0 = 0に設定してからDEN0 = 0としてください（詳細は16. 5. 5　ソフトウエアでの強制終了参照）。

備考　DMA起動要因にソフトウエア・トリガを使用した例です。
ACKを送信せずに，UART連続受信だけであれば，UART受信完了割り込み（INTSR0）をDMA起動要因に設定して，受信することもできます。

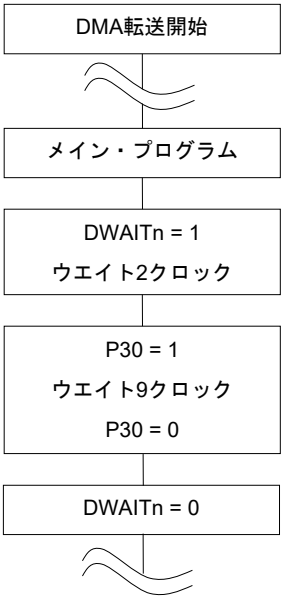
16. 5. 4　DWAITnビットによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため，そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は，DWAITn = 1とすることでDMA転送を保留できます。保留中に発生した転送トリガに対するDMA転送は，保留を解除後に実行されます。ただし，保留できる転送トリガは各チャネル1つなので，保留中に同一チャネルの転送トリガが2回以上発生しても，保留解除後に実行されるDMA転送は1回です。

一例として，P30端子より動作周波数の10クロック幅のパルスを出力する場合，DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後，DMA転送が保留されるまで2クロック必要となります。

図16－10　DWAITnビットによるDMA転送保留の設定例



注意　DMAを2チャネルともに使用中でDMA転送を保留したい場合は，必ず両チャネルのDMAを保留にしてください（DWAIT0 = DWAIT1 = 1）。片方のDMAが保留中にもう一方のDMA転送が実行されると，保留されない場合があります。

備考1.　n：DMAチャネル番号（n = 0, 1）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

16. 5. 5　ソフトウエアでの強制終了

ソフトウエアでDSTn = 0に設定してから，実際にDMA転送が停止し，DSTn = 0となるまでには最大で2クロックが必要となります。そのため，DMAnの割り込み（INTDMAn）発生を待たずにソフトウエアで強制的にDMA転送を終了する場合は，次のいずれかの処理をしてください。

<DMAを1チャネル使用しているとき>

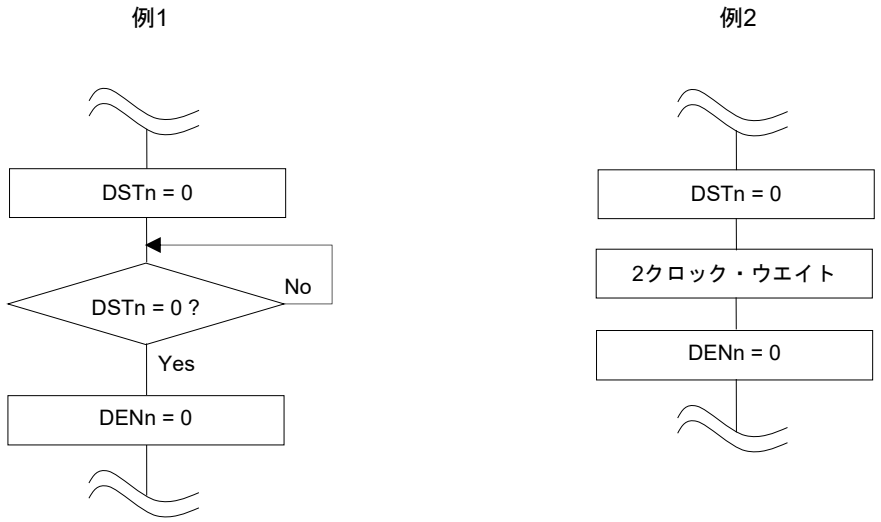
・ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，実際にDSTn ビットが0になったことをポーリングで確認後，DENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

・ソフトウエアでDSTn = 0（バイト操作命令で書き込む場合はDRCn = 80H）にしてから，2クロック経過後にDENn = 0（バイト操作命令で書き込む場合はDRCn = 00H）とする

<DMAを2チャネル使用しているとき>

・DMAを2チャネルともに使用しているときにソフトウエアで強制終了（DSTn = 0）する場合は，2チャンネルともにDWAITnビットをセット（1）してDMA転送を保留してから，DSTnビットをクリア（0）する。その後，2チャンネルともにDWAIT0, DWAIT1ビットをクリア（0）し保留を解除してから，DENnビットをクリア（0）とする

図16－11　DMA転送の強制終了（1/2）



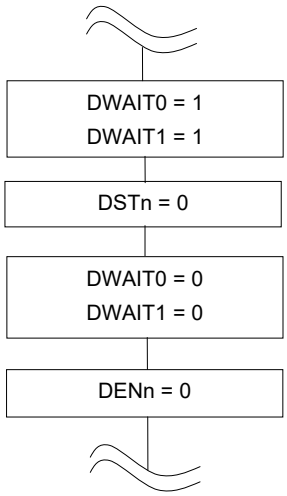
備考1.　n：DMAチャネル番号（n = 0, 1）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

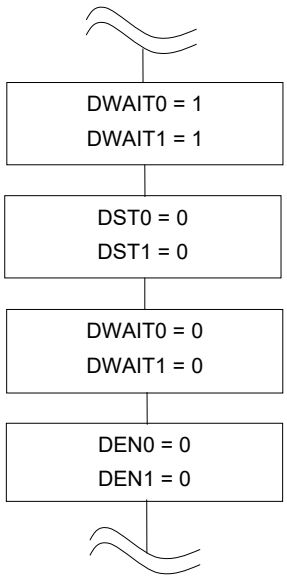
図16－11　DMA転送の強制終了（2/2）

例3

・2チャネルをともに使用時にどちらかのチャネルを強制終了する手順



・2チャネルをともに使用時に2チャネルともに強制終了する手順



注意　例3では，DWAITnビットのセット（1）後のウエイト2クロックは必要ありません。また，DSTnビットをクリア（0）してからDENnビットをクリア（0）するまで2クロック以上経過しているため，DSTnビットのクリア（0）後にウエイト2クロックする必要はありません。

備考1.　n：DMAチャネル番号（n = 0, 1）

2.　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

16. 6　DMAコントローラの注意事項

（1）DMAの優先順位

DMA転送中は，他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に，保留していたDMA転送が開始されます。ただしDMA要求が同時に発生した場合は，DMAチャネル0＞DMAチャネル1の優先順位になります。

また，DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され，そのあとに割り込み処理が実行されます。

（2）DMA応答時間

DMA転送における応答時間は，次のようになります。

表16－2　DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック注

注　内部RAMからの命令実行の場合は，最大時間が16クロックになります。

注意1.　上記の応答時間には，DMA転送の2クロック分は含まれていません。

2.　DMA保留命令（16. 6（4）参照）実行の場合は，各条件の最大応答時間に，その条件で保留する命令の実行時間を足した時間となります。

3.　最大応答時間＋1クロック以内での同一チャネルへの連続する転送トリガは，無視される可能性があるため設定しないでください。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

（3）スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は，次のようになります。

表16－3　スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合，DMA転送が壊れることがありますので，STOP命令実行前にDMAを停止してください。

（4）DMA保留命令

DMA要求が発生しても，次の命令直後ではDMA転送は保留されます。

・CALL !addr16
・CALL $!addr20
・CALL !!addr20
・CALL rp
・CALLT [addr5]
・BRK
・MOV PSW，#byte
・MOV PSW, A
・MOV1 PSW. bit, CY
・SET1 PSW. bit
・CLR1 PSW. bit
・POP PSW
・BTCLR PSW. bit, $addr20
・EI
・DI
・IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L,PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する書き込み命令
・データ・フラッシュにアクセスする命令

（5）汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDMA RAMアドレス・レジスタn（DRAn）で示すアドレスがインクリメントされていき，汎用レジスタ領域内に入ってしまったり，内蔵RAMの領域を越えてしまった場合，以下に示す動作になります。

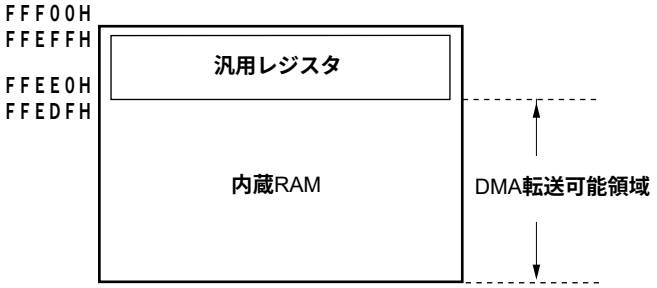
● SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

● RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も，誤動作やシステム破壊の原因となりますので，アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう，十分ご注意ください。



（6）2nd SFRのアドレスF0400H-F04FFHに配置されているレジスタへのアクセス

DMA転送が発生した1命令後に上記のレジスタにアクセスする場合，1クロックのウエイトが入ります。

（7）データ・フラッシュ空間にアクセスする場合の動作

DMA転送が起きた1命令後にデータ・フラッシュ空間にアクセスした場合，間の命令に3クロック分のウエイトが入ります。

命令1

DMA転送

命令2 ← 3クロック分のウエイト発生

MOV A, ！DataFlash空間

第17章　割り込み機能

プログラム実行中に，別の処理が必要になると，その処理プログラムに切り替える機能です。分岐先の処理を終えると，中断していた元のプログラム実行に戻ります。

割り込み要因数は，製品によって異なります。

		32ピン	48ピン
マスカブル割り込み	外部	8	10
	内部	20	20

17. 1　割り込み機能の種類

割り込み機能には，次の2種類があります。

（1）マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ（PR00L，PR00H，PR01L，PR01H，PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）の設定により，割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは，低い優先順位の割り込みに対して，多重割り込みをすることができます。また，同一優先順位を持つ複数の割り込み要求が同時に発生しているときは，ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表17－1を参照してください。

スタンバイ・リリース信号を発生し，STOPモード，HALTモード，SNOOZEモードを解除します。

マスカブル割り込みには，外部割り込み要求と内部割り込み要求があります。

（2）ソフトウエア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また，割り込み優先順位制御の対象になりません。

17. 2　割り込み要因と構成

割り込み要因には，マスカブル割り込み，ソフトウエア割り込みがあります。また，それ以外にリセット要因が最大で合計7要因あります（表17－1参照）。リセット，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは，各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表17－1　割り込み要因一覧（1/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	48ピン	32ピン
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル注3（オーバフロー時間の75%＋1/2f_{IL}）	内部	00004H	（A）	○	○
	1	INTLVI	電圧検出注4		00006H		○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	（B）	○	○
	3	INTP1			0000AH		○	○
	4	INTP2			0000CH		○	○
	5	INTP3			0000EH		○	○
	6	INTP4			00010H		○	○
	7	INTP5			00012H		○	○
	8	INTDMA0	DMA0の転送完了	内部	0001AH	（A）	○	○
	9	INTDMA1	DMA1の転送完了		0001CH		○	○
	10	INTST0 /INTCSI00 /INTIIC00	UART0送信の転送完了，バッファ空き割り込み／CSI00の転送完了，バッファ空き割り込み／IIC00の転送完了		0001EH		○	○
	11	INTTM00	タイマ・チャネル0のカウント完了またはキャプチャ完了		00020H		○	○
	12	INTSR0 /INTCSI01 /INTIIC01	UART0受信の転送完了／CSI01の転送完了，バッファ空き割り込み／IIC01の転送完了		00022H		○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，29が最低順位です。

2.　基本構成タイプの（A）-（D）は，それぞれ図17－1の（A）-（D）に対応しています。

3.　オプション・バイト（000C0H）のビット7（WDTINT）= 1選択時。

4.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 0選択時。

表17－1　割り込み要因一覧（2/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	48ピン	32ピン
マスカブル	13	INTSRE0	UART0受信の通信エラー発生	内部	00024H	（A）	○	○
		INTTM01H	タイマ・チャネル1のカウント完了またはキャプチャ完了（8ビット・タイマ動作時）				○	○
	14	INTTM03H	タイマ・チャネル3のカウント完了またはキャプチャ完了（8ビット・タイマ動作時）		0002AH		○	○
	15	INTIICA0	IICA0通信完了		0002CH		○	○
	16	INTTM01	タイマ・チャネル1のカウント完了またはキャプチャ完了		0002EH		○	○
	17	INTTM02	タイマ・チャネル2のカウント完了またはキャプチャ完了		00030H		○	○
	18	INTTM03	タイマ・チャネル3のカウント完了またはキャプチャ完了		00032H		○	○
	19	INTAD	A/D変換終了		00034H		○	○
	20	INTRTC	リアルタイム・クロックの定周期信号／アラーム一致検出		00036H		○	○
	21	INTIT	インターバル信号検出		00038H		○	○
	22	INTKR	キー・リターン信号検出	外部	0003AH	（C）	○	－
	23	INTUSB	USB INT割り込み	内部	0003CH	（A）	○	○
	24	INTRSUM	USB RESUME割り込み		0003EH		○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，29が最低順位です。

2.　基本構成タイプの（A）-（D）は，それぞれ図17－1の（A）-（D）に対応しています。

表17－1　割り込み要因一覧（3/3）

割り込みの処理	デフォルト・プライオリティ注1	割り込み要因 名称	割り込み要因 トリガ	内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ注2	48ピン	32ピン
マスカブル	25	INTP6	端子入力エッジ検出	外部	0004AH	（B）	○	－
	26	INTP8			0004EH		○	○
	27	INTP9			00050H		○	○
	28	INTMD	除算演算終了／積和演算結果のオーバフロー発生	内部	0005EH	（A）	○	○
	29	INTFL	予約注3		00062H		○	○
ソフトウエア	－	BRK	BRK命令の実行	－	0007EH	（D）	○	○
リセット	－	RESET	$\overline{\text{RESET}}$端子入力	－	00000H	－	○	○
		POR	パワーオン・リセット				○	○
		LVD	電圧検出注4				○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○
		TRAP	不正命令の実行注5				○	○
		IAW	不正メモリ・アクセス				○	○
		RAMTOP	RAMパリティ・エラー				○	○

注 1.　デフォルト・プライオリティは，複数のマスカブル割り込みが発生している場合に，優先する順位です。0が最高順位，29が最低順位です。

2.　基本構成タイプの（A）-（D）は，それぞれ図17－1の（A）-（D）に対応しています。

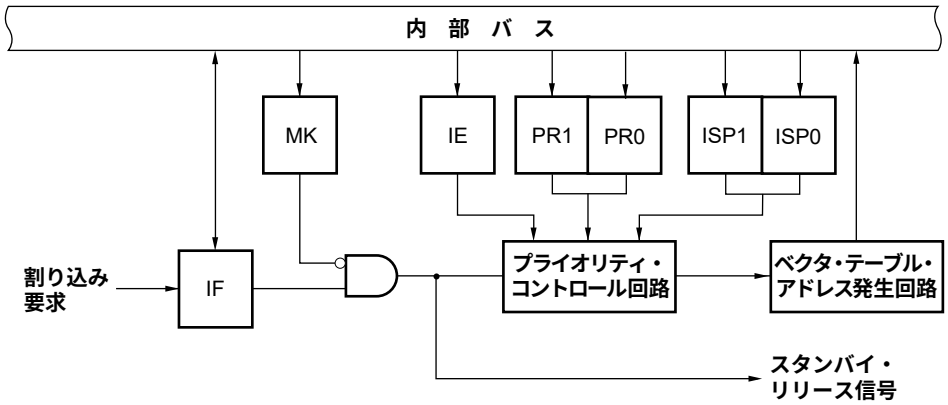
3.　フラッシュ・セルフ・プログラミング・ライブラリ，データ・フラッシュ・ライブラリで使用します。

4.　電圧検出レベル・レジスタ（LVIS）のビット7（LVIMD）= 1選択時。

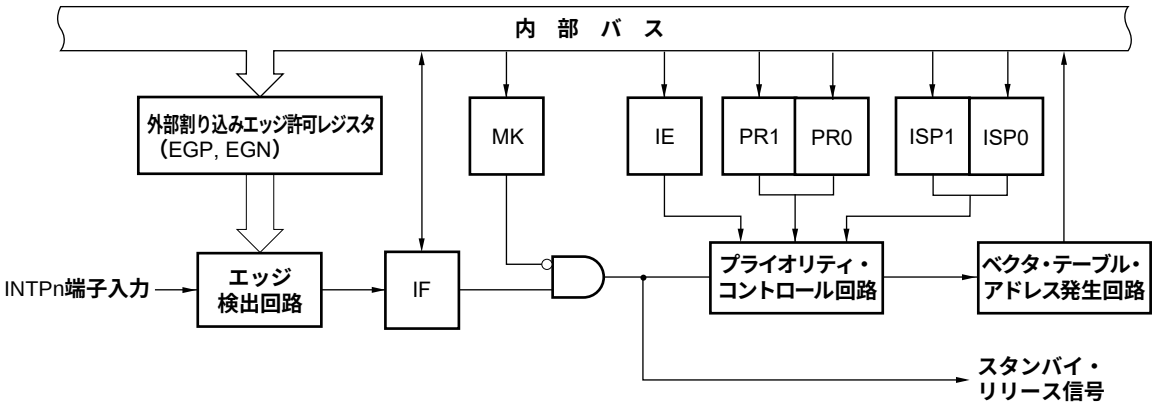
5.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図17－1　割り込み機能の基本構成

（A）内部マスカブル割り込み



（B）外部マスカブル割り込み（INTPn）



IF　：割り込み要求フラグ

IE　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　：割り込みマスク・フラグ

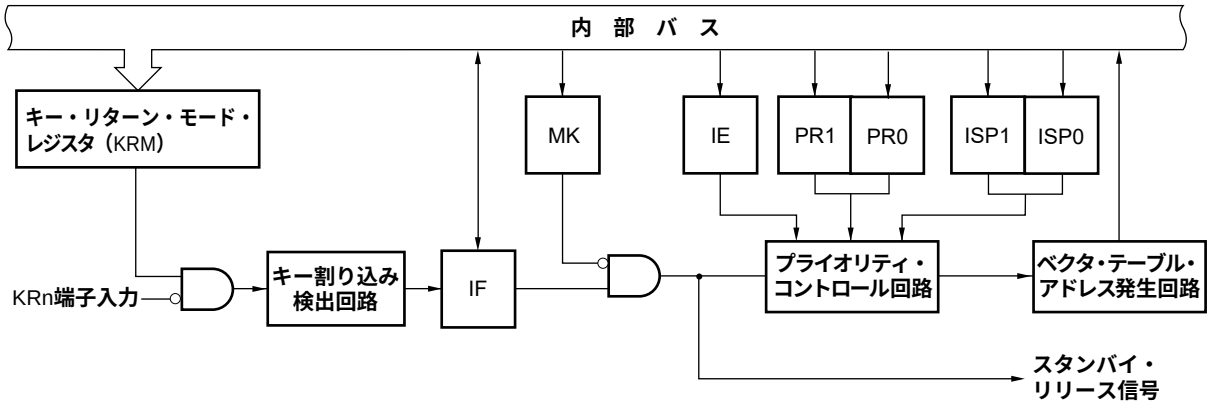
PR0　：優先順位指定フラグ0

PR1　：優先順位指定フラグ1

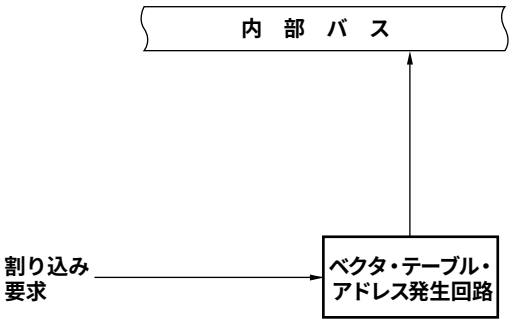
備考　32ピン　：n = 0-5, 8, 9

48ピン　：n = 0-6, 8, 9

（C）外部マスカブル割り込み（INTKR）



（D）ソフトウエア割り込み



IF　：割り込み要求フラグ

IE　：割り込み許可フラグ

ISP0　：インサービス・プライオリティ・フラグ0

ISP1　：インサービス・プライオリティ・フラグ1

MK　：割り込みマスク・フラグ

PR0　：優先順位指定フラグ0

PR1　：優先順位指定フラグ1

備考　48ピン　：n = 0-5

17.3　割り込み機能を制御するレジスタ

割り込み機能は，次の6種類のレジスタで制御します。

・割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）
・割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）
・優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）
・外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1）
・外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）
・プログラム・ステータス・ワード（PSW）

各割り込み要求ソースに対応する割り込み要求フラグ，割り込みマスク・フラグ，優先順位指定フラグ名称を表17－2に示します。

表17－2　割り込み要求ソースに対応する各種フラグ（1/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	48ピン	32ピン
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○

表17－2　割り込み要求ソースに対応する各種フラグ（2/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	48ピン	32ピン
INTDMA0	DMAIF0	IF0H	DMAMK0	MK0H	DMAPR00, DMAPR10	PR00H, PR10H	○	○
INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		○	○
INTST0[注1]	STIF0[注1]		STMK0[注1]		STPR00, STPR10[注1]		○	○
INTCSI00[注1]	CSIIF00[注1]		CSIMK00[注1]		CSIPR000, CSIPR100[注1]		○	○
INTIIC00[注1]	IICIF00[注1]		IICMK00[注1]		IICPR000, IICPR100[注1]		○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○
INTSR0[注2]	SRIF0[注2]		SRMK0[注2]		SRPR00, SRPR10[注2]		○	○
INTCSI01[注2]	CSIIF01[注2]		CSIMK01[注2]		CSIPR001, CSIPR101[注2]		○	○
INTIIC01[注2]	IICIF01[注2]		IICMK01[注2]		IICPR001, IICPR101[注2]		○	○

注1.　割り込み要因INTST0, INTCSI00, INTIIC00のうち，いずれかが発生したら，IF0Hレジスタのビット5はセット（1）されます。また，MK0H, PR00H, PR10Hレジスタのビット5は，3つすべての割り込み要因に対応しています。

2.　割り込み要因INTSR0, INTCSI01, INTIIC01のうち，いずれかが発生したら，IF0Hレジスタのビット7はセット（1）されます。また，MK0H, PR00H, PR10Hレジスタのビット7は，3つすべての割り込み要因に対応しています。

表17－2　割り込み要求ソースに対応する各種フラグ（3/3）

割り込み要因	割り込み要求フラグ	レジスタ	割り込みマスク・フラグ	レジスタ	優先順位指定フラグ	レジスタ	48ピン	32ピン
INTSRE0[注]	SREIF0[注]	IF1L	SREMK0[注]	MK1L	SREPR00, SREPR10[注]	PR01L,	○	○
INTTM01H[注]	TMIF01H[注]		TMMK01H[注]		TMPR001H, TMPR101H[注]	PR11L	○	○
INTTM03H	TMIF03H		TMMK03H		TMPR003H, TMPR103H		○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○
INTAD	ADIF	IF1H	ADMK	MK1	ADPR0, ADPR1	PR01H,	○	○
INTRTC	RTCIF		RTCMK	H	RTCPR0, RTCPR1	PR11H	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	－
INTUSB	USBIF		USBMK		USBPR0, URSPR1		○	○
INTRSUM	RSUIF		RSUMK		RSUPR0, RSUPR1		○	○
INTP6	PIF6	IF2L	PMK6	MK2L	PPR06, PPR16	PR12L	○	－
INTP8	PIF8		PMK8		PPR08, PPR18	PR02L,	○	○
INTP9	PIF9		PMK9		PPR09, PPR19		○	○
INTMD	MDIF	IF2H	MDMK	MK2	MDPR0, MDPR1	PR12H	○	○
INTFL	FLIF		FLMK	H	FLPR0, FLPR1	PR02H,	○	○

注　UART0受信のエラー割り込み，TAU0のチャネル1（上位8ビット・タイマ動作時）の割り込みは，割り込み要求ソースに対する各種フラグを兼用しているため，同時に使用しないでください。UART0受信のエラー割り込みを使用しない（EOC01 = 0）場合は，UART0, TAU0のチャネル1（上位8ビット・タイマ動作時）を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち，どちらかが発生したら，IF0Hレジスタのビット7はセット（1）されます。また，MK0H，PR00H,PR10Hレジスタのビット7は，両方の割り込み要因に対応しています。

17. 3. 1　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）

割り込み要求フラグは，対応する割り込み要求の発生または命令の実行によりセット（1）され，割り込み要求受け付け時，リセット信号発生時または命令の実行によりクリア（0）されるフラグです。

割り込みが受け付けられた場合，まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，IF0LレジスタとIF0Hレジスタ, IF1LレジスタとIF1Hレジスタ, IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図17－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）のフォーマット
（48ピン製品）（1/2）

アドレス：FFFE0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIIF	WDTIIF

アドレス：FFFE1H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF0H	SRIF0 CSIIF01 IICIF01	TMIF00	STIF0 CSIIF00 IICIF00	DMAIF1	DMAIF0	0	0	0

アドレス：FFFE2H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	IICAIF0	TMIF03H	0	0	SREIF0 TMIF01H

アドレス：FFFE3H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF1H	0	0	RSUIF	USBIF	KRIF	ITIF	RTCIF	ADIF

アドレス：FFFD0H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
IF2L	0	PIF9	PIF8	0	PIF6	0	0	0

図17－2　割り込み要求フラグ・レジスタ（IF0L, IF0H, IF1L, IF1H, IF2L, IF2H）のフォーマット
（48ピン製品）（2/2）

アドレス：FFFD1H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	0	MDIF	0	0	0	0	0

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し，割り込み要求状態

注意1.　上記は，48ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表17－2を参照してください。また，搭載していないビットには，必ず初期値を設定してください。

2.　割り込み要求フラグ・レジスタのフラグ操作には，1ビット・メモリ操作命令（CLR1）を使用してください。C言語での記述の場合は，コンパイルされたアセンブラが1ビット・メモリ操作命令（CLR1）になっている必要があるため，「IF0L.0 = 0;」や「_asm(“clr1 IF0L,0”);」のようなビット操作命令を使用してください。

なお，C言語で「IF0L & = 0xfe;」のように8ビット・メモリ操作命令で記述した場合，コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合，「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで，同一の割り込み要求フラグ・レジスタ（IF0L）の他ビットの要求フラグがセット（1）されても，「mov IF0L, a」でクリア（0）されます。したがって，C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

17. 3. 2　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）

割り込みマスク・フラグは，対応するマスカブル割り込み処理の許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，MK0LレジスタとMK0Hレジスタ, MK1LレジスタとMK1Hレジスタ, MK2LレジスタとMK2Hレジスタをあわせて16ビット・レジスタMK0, MK1, MK2として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図17−3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）のフォーマット（48ピン製品）（1/2）

アドレス：FFFE4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス：FFFE5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK0H	SRMK0 CSIMK01 IICMK01	TMMK00	STMK0 CSIMK00 IICMK00	DMAMK1	DMAMK0	1	1	1

アドレス：FFFE6H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	IICAMK0	TMMK03H	1	1	SREMK0 TMMK01H

アドレス：FFFE7H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK1H	1	1	RSUMK	USBMK	KRMK	ITMK	RTCMK	ADMK

アドレス：FFFD4H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2L	1	PMK9	PMK8	1	PMK6	1	1	1

図17－3　割り込みマスク・フラグ・レジスタ（MK0L, MK0H, MK1L, MK1H, MK2L, MK2H）のフォーマット（48ピン製品）（2/2）

アドレス：FFFD5H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	1	MDMK	1	1	1	1	1

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注意　上記は，48ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表17－2を参照してください。また，搭載していないビットには，必ず初期値を設定してください。

17. 3. 3　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）

優先順位指定フラグは，対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせて，優先順位レベルを設定します（xy = 0L, 0H, 1L, 1H, 2L, 2H）。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また，PR00LレジスタとPR00Hレジスタ，PR01LレジスタとPR01Hレジスタ，PR02LレジスタとPR02Hレジスタ，PR10LレジスタとPR10Hレジスタ，PR11LレジスタとPR11Hレジスタ，PR12LレジスタとPR12Hレジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するときは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，FFHになります。

備考　このレジスタへの書き込み命令を行った場合，命令実行クロック数が2クロック長くなります。

図17－4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H,）のフォーマット（48ピン製品）（1/2）

アドレス：FFFE8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス：FFFECH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス：FFFE9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR00H	SRPR00 CSIPR001 IICPR001	TMPR000	STPR00 CSIPR000 IICPR000	DMAPR01	DMAPR00	1	1	1

アドレス：FFFEDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR10H	SRPR10 CSIPR101 IICPR101	TMPR100	STPR10 CSIPR100 IICPR100	DMAPR11	DMAPR10	1	1	1

アドレス：FFFEAH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	IICAPR00	TMPR003H	1	1	SREPR00 TMPR001H

図17－4　優先順位指定フラグ・レジスタ（PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H）のフォーマット（48ピン製品）（2/2）

アドレス：FFFEEH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	IICAPR10	TMPR103H	1	1	SREPR10 TMPR101H

アドレス：FFFEBH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR01H	1	1	RSUPR0	USBPR0	KRPR0	ITPR0	RTCPR0	ADPR0

アドレス：FFFEFH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR11H	1	1	RSUPR1	USBPR01	KRPR1	ITPR1	RTCPR1	ADPR1

アドレス：FFFD8H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02L	1	PPR09	PPR08	1	PPR06	1	1	1

アドレス：FFFDCH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12L	1	PPR19	PPR18	1	PPR16	1	1	1

アドレス：FFFD9H　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	1	MDPR0	1	1	1	1	1

アドレス：FFFDDH　リセット時：FFH　R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	1	MDPR1	1	1	1	1	1

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定（高優先順位）
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定（低優先順位）

注意　上記は，48ピン製品の場合のビット構成です。製品によって，搭載しているビットは異なります。各製品に搭載しているビットについては，表17－2を参照してください。また，搭載していないビットには，必ず初期値を設定してください。

17. 3. 4　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）

INTP0-INTP6, INTP8, INTP9の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1レジスタは，それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図17－5　外部割り込み立ち上がりエッジ許可レジスタ（EGP0, EGP1），外部割り込み立ち下がりエッジ許可レジスタ（EGN0, EGN1）のフォーマット（48ピン製品）

アドレス：FFF38H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP0	0	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス：FFF39H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN0	0	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス：FFF3AH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	0	0	EGP9	EGP8

アドレス：FFF3BH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	0	0	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択（n = 0-6, 8, 9）
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり，立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表17－3に示します。

表17－3　EGPnビットとEGNnビットに対応するポート

検出許可ビット		エッジ検出ポート	割り込み要求信号	48ピン	32ピン
EGP0	EGN0	P137	INTP0	○	○
EGP1	EGN1	P50	INTP1	○	○
EGP2	EGN2	P51	INTP2	○	○
EGP3	EGN3	P30	INTP3	○	○
EGP4	EGN4	P31	INTP4	○	○
EGP5	EGN5	P16	INTP5	○	○
EGP6	EGN6	P140	INTP6	○	×
EGP8	EGN8	P74（P00注）	INTP8	○	○
EGP9	EGN9	P75（P01注）	INTP9	○	○

注　32ピン製品の場合

注意　外部割り込み機能からポート機能に切り替える場合に，エッジ検出を行う可能性があるため，EGPnビットとEGNnビットを0に設定してからポート・モードに切り替えてください。

備考1.　エッジ検出ポートに関しては，2.1　ポート機能を参照してください。

2.　n = 0-6, 8, 9

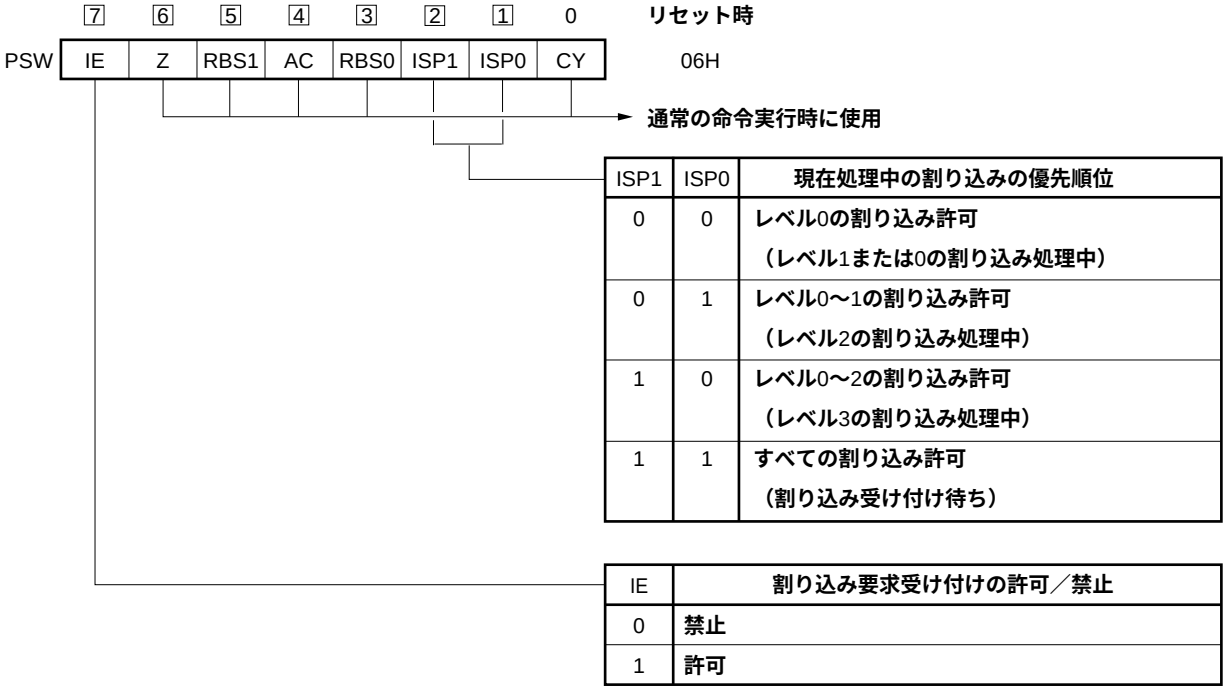
17. 3. 5　プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは，命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか，ビット操作命令や専用命令（EI, DI）により操作ができます。また，ベクタ割り込み要求受け付け時および，BRK命令実行時には，PSWの内容は自動的にスタックに退避され，IEフラグはリセット（0）されます。また，マスカブル割り込み要求受け付け時には，受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は，”－1”された値がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により，スタックから復帰します。

リセット信号の発生により，PSWは06Hとなります。

図17－6　プログラム・ステータス・ワードの構成



ISP1	ISP0	現在処理中の割り込みの優先順位
0	0	レベル0の割り込み許可 （レベル1または0の割り込み処理中）
0	1	レベル0～1の割り込み許可 （レベル2の割り込み処理中）
1	0	レベル0～2の割り込み許可 （レベル3の割り込み処理中）
1	1	すべての割り込み許可 （割り込み受け付け待ち）

IE	割り込み要求受け付けの許可／禁止
0	禁止
1	許可

17.4　割り込み処理動作

17.4.1　マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は，割り込み要求フラグがセット（1）され，その割り込み要求のマスク（MK）フラグがクリア（0）されていると受け付けが可能な状態になります。ベクタ割り込み要求は，割り込み許可状態（IEフラグがセット（1）されているとき）であれば受け付けます。ただし，優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表17－4のようになります。

割り込み要求の受け付けタイミングについては，図17－8, 17－9を参照してください。

表17－4　マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注　内部RAM領域からの命令実行時は除きます。

備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

複数のマスカブル割り込み要求が同時に発生したときは，優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また，優先順位指定フラグで同一優先順位に指定されているときは，デフォルト優先順位の高い割り込みから受け付けられます。

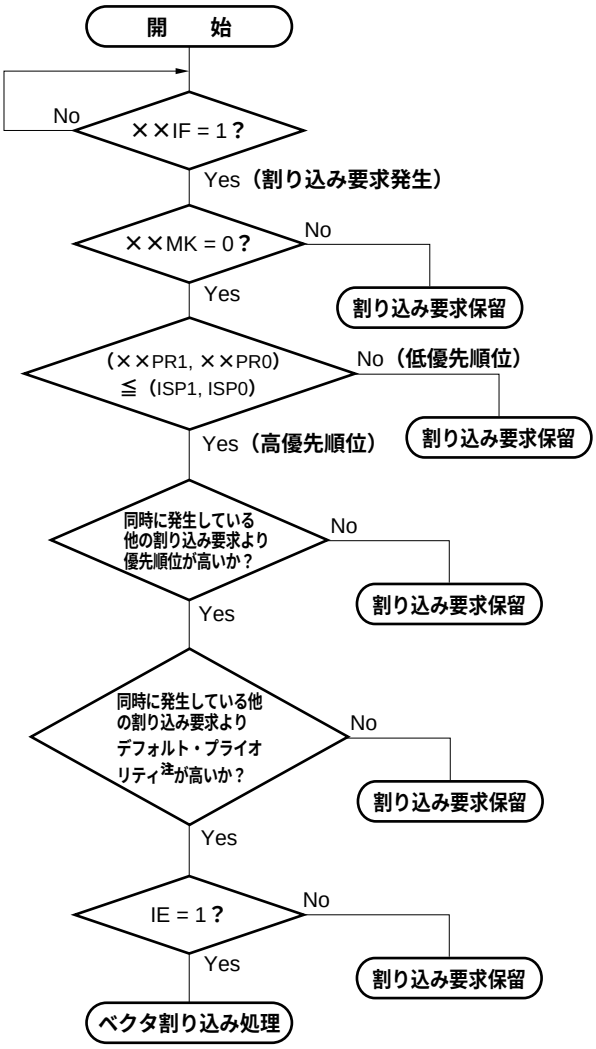
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図17－7に示します。

マスカブル割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW），プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，受け付けた割り込みの優先順位指定フラグの内容をISP1，ISP0フラグへ転送します。さらに，割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし，分岐します。

RETI命令によって，割り込みから復帰できます。

図17－7　割り込み要求受け付け処理アルゴリズム



××IF　　：割り込み要求フラグ

××MK　　：割り込みマスク・フラグ

××PR0　　：優先順位指定フラグ0

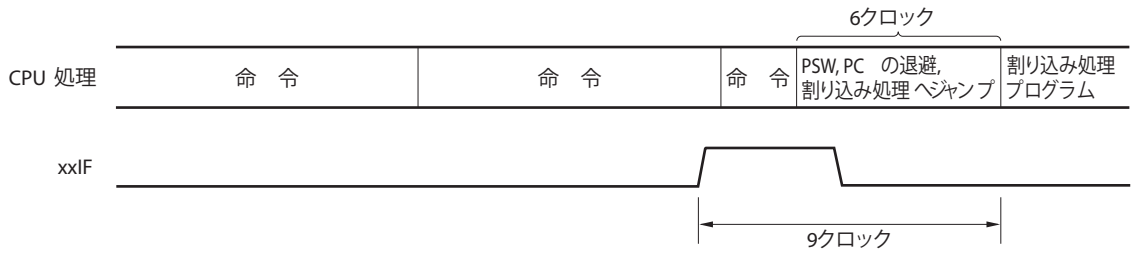
××PR1　　：優先順位指定フラグ1

IE　　：マスカブル割り込み要求の受け付けを制御するフラグ（1 = 許可，0 = 禁止）

ISP0, ISP1　　：現在処理中の割り込みの優先順位を示すフラグ（図17－6参照）

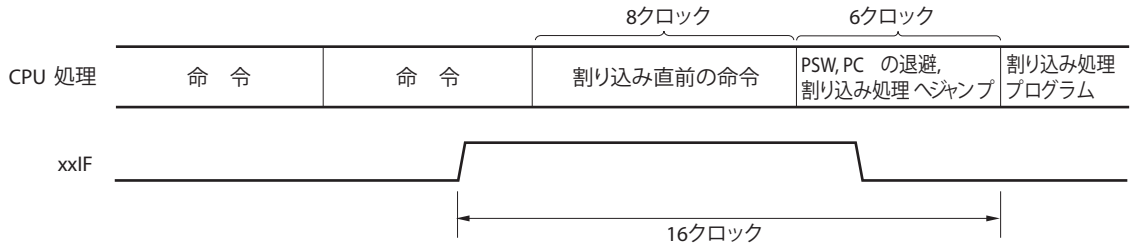
注　デフォルト・プライオリティは，表17－1　割り込み要因一覧を参照してください。

図17－8　割り込み要求の受け付けタイミング（最小時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

図17－9　割り込み要求の受け付けタイミング（最大時間）



備考　1クロック：1/f_{CLK}（f_{CLK}：CPUクロック）

17. 4. 2　ソフトウエア割り込み要求の受け付け動作

ソフトウエア割り込み要求はBRK命令の実行により受け付けられます。ソフトウエア割り込みは禁止することはできません。

ソフトウエア割り込み要求が受け付けられると，プログラム・ステータス・ワード（PSW）,プログラム・カウンタ（PC）の順に内容をスタックに退避し，IEフラグをリセット（0）し，ベクタ・テーブル（0007EH, 0007FH）の内容をPCにロードして分岐します。

RETB命令によって，ソフトウエア割り込みから復帰できます。

注意　ソフトウエア割り込みからの復帰にRETI命令は使用できません。

17. 4. 3　多重割り込み処理

割り込み処理中に，さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは，割り込み要求受け付け許可状態（IE = 1）になっていなければ発生しません。割り込み要求が受け付けられた時点で，割り込み要求は受け付け禁止状態（IE = 0）になります。したがって，多重割り込みを許可するには，割り込み処理中にEI命令によってIEフラグをセット（1）して，割り込み許可状態にする必要があります。

また，割り込み許可状態であっても，多重割り込みが許可されない場合がありますが，これは割り込みの優先順位によって制御されます。割り込みの優先順位には，デフォルト優先順位とプログラマブル優先順位の2つがありますが，多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で，現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか，より低い優先順位の割り込み要求が発生した場合には，多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット（1）した場合には，レベル0の他の割り込みも許可されます。

割り込み禁止，または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして，現在の割り込み処理終了後，メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表17－5に多重割り込み可能な割り込み要求の関係を，図17―10に多重割り込みの例を示します。

表17－5　割り込み処理中に多重割り込み可能な割り込み要求の関係

処理中の割り込み ＼ 多重割り込み要求		マスカブル割り込み要求								ソフトウエア割り込み要求
		優先順位レベル0（PR = 00）		優先順位レベル1（PR = 01）		優先順位レベル2（PR = 10）		優先順位レベル3（PR = 11）		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウエア割り込み		○	×	○	×	○	×	○	×	○

備考1. ○：多重割り込み可能。

2. ×：多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0　：レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1　：レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0　：レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1　：割り込み受け付け待ち

IE = 0　：割り込み要求受け付け禁止

IE = 1　：割り込み要求受け付け許可

4. PRはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタに含まれるフラグです。

PR = 00：××PR1× = 0, ××PR0× = 0でレベル0を指定（高優先順位）

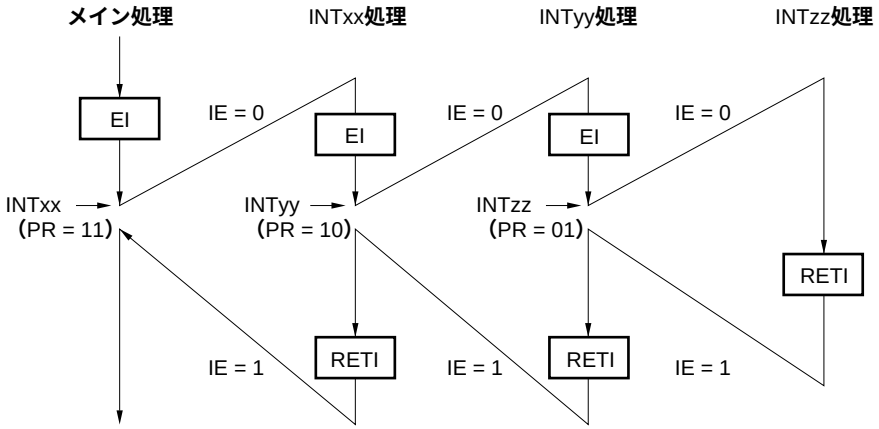
PR = 01：××PR1× = 0, ××PR0× = 1でレベル1を指定

PR = 10：××PR1× = 1, ××PR0× = 0でレベル2を指定

PR = 11：××PR1× = 1, ××PR0× = 1でレベル3を指定（低優先順位）

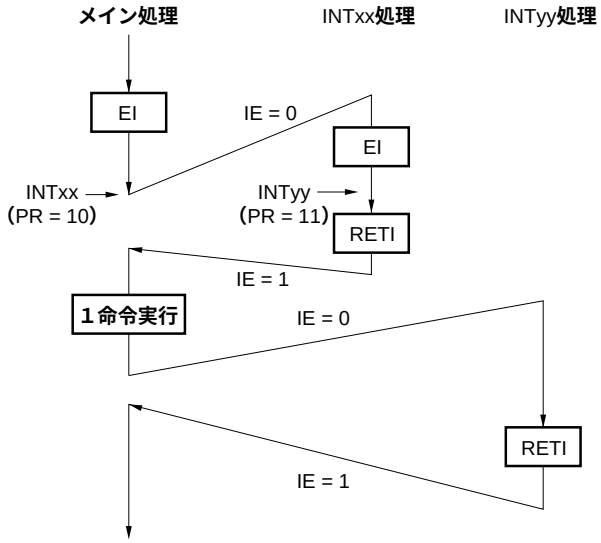
図17－10　多重割り込みの例（1/2）

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に，2つの割り込み要求INTyy, INTzzが受け付けられ，多重割り込みが発生する。各割り込み要求受け付けの前には，必ずEI命令を発行し，割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により，多重割り込みが発生しない例

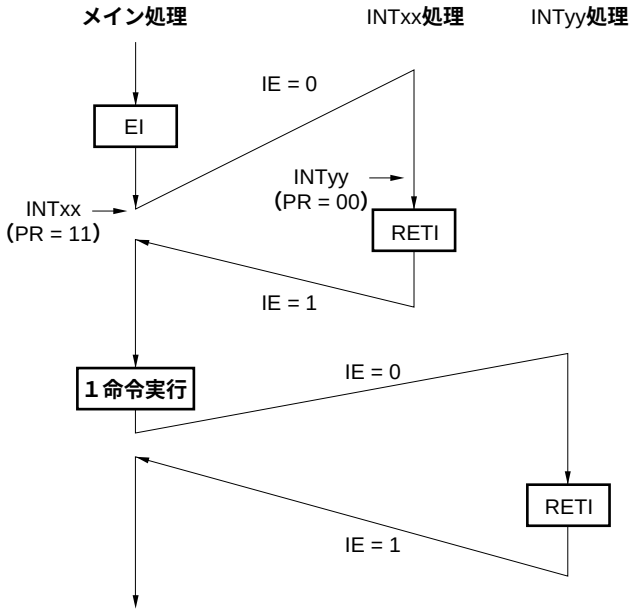


割り込みINTxx処理中に発生した割り込み要求INTyyは，割り込みの優先順位がINTxxより低いため受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1× = 0，××PR0× = 0でレベル0を指定（高優先順位）
PR = 01：××PR1× = 0，××PR0× = 1でレベル1を指定
PR = 10：××PR1× = 1，××PR0× = 0でレベル2を指定
PR = 11：××PR1× = 1，××PR0× = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

図17－10　多重割り込みの例（2/2）

例3. 割り込みが許可されてないため，多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない（EI命令が発行されていない）ので，割り込み要求INTyyは受け付けられず，多重割り込みは発生しない。INTyy要求は保留され，メイン処理1命令実行後に受け付けられる。

PR = 00：××PR1× = 0，××PR0× = 0でレベル0を指定（高優先順位）
PR = 01：××PR1× = 0，××PR0× = 1でレベル1を指定
PR = 10：××PR1× = 1，××PR0× = 0でレベル2を指定
PR = 11：××PR1× = 1，××PR0× = 1でレベル3を指定（低優先順位）
IE = 0　：割り込み要求受け付け禁止
IE = 1　：割り込み要求受け付け許可

17. 4. 4　割り込み要求の保留

命令の中には，その命令実行中に割り込み要求が発生しても，その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- MOV PSW，#byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, $addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する操作命令

注意　BRK命令は，上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウエア割り込みでは，IEフラグが0にクリアされます。したがって，BRK命令実行中にマスカブル割り込み要求が発生しても，割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図17―11に示します。

図17－11　割り込み要求の保留

備考1.　命令N：割り込み要求の保留命令
　　2.　命令M：割り込み要求の保留命令以外の命令

第18章　キー割り込み機能

備考　キー割り込み機能は，32ピン製品には搭載されていません。

18. 1　キー割り込みの機能

キー割り込み入力端子（KR0-KR5）に立ち下がりエッジを入力することによって，キー割り込み（INTKR）を発生させることができます。

表18－1　キー割り込み検出端子の割り当て

キー割り込み端子	キー･リターン･モード･レジスタ（KRM）
KR0	KRM0
KR1	KRM1
KR2	KRM2
KR3	KRM3
KR4	KRM4
KR5	KRM5

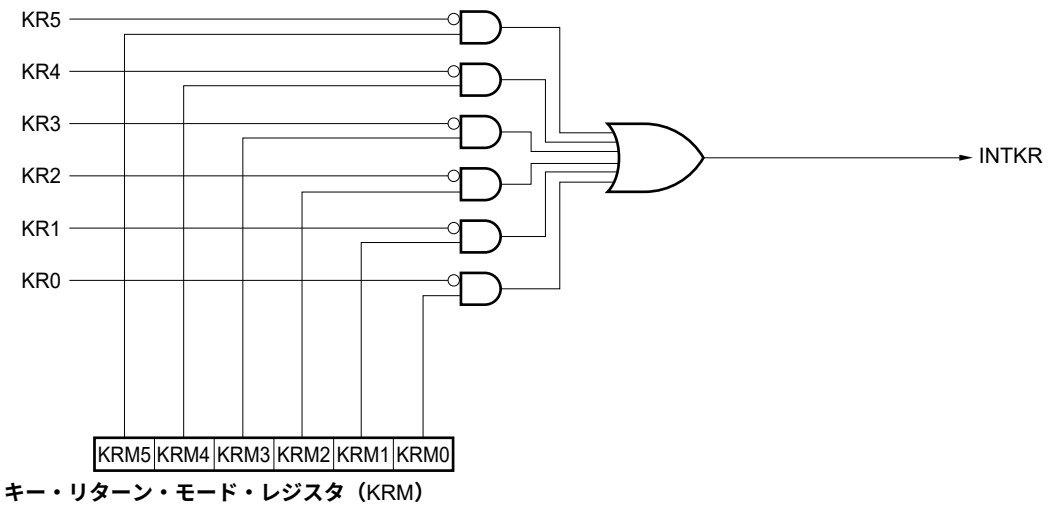
18. 2　キー割り込みの構成

キー割り込みは，次のハードウエアで構成されています。

表18－2　キー割り込みの構成

項　目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ（KRM） ポート・モード・レジスタ（PM7）

図18－1　キー割り込みのブロック図



18. 3　キー割り込みを制御するレジスタ

キー割り込み機能は，次のレジスタで制御します。

・キー・リターン・モード・レジスタ（KRM）

・ポート・モード・レジスタ7（PM7）

18. 3. 1　キー・リターン・モード・レジスタ（KRM）

KRMレジスタはKR0-KR5信号を制御するレジスタです。

KRMレジスタは，1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図18－2　キー・リターン・モード・レジスタ（KRM）のフォーマット

アドレス：FFF37H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー割り込みモードの制御
0	キー割り込み信号を検出しない
1	キー割り込み信号を検出する

注意1. KRM0-KRM5ビットのうち使用するビットに1を設定する場合，それに対応するプルアップ抵抗レジスタ7（PU7）のビット0-5（PU70-PU75）に1を設定してください。

2. キー割り込み入力端子にロウ・レベルが入力されている状態で，KRMレジスタの対象ビットをセットすると，割り込みが発生します。
この割り込みを無視したい場合は，割り込みマスク・フラグで割り込み処理を禁止にしてから，KRMレジスタをセットしてください。その後，キー割り込み入力ロウ・レベル幅（AC特性参照）を待ってから，割り込み要求フラグをクリアし，割り込み処理許可にしてください。

3. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

備考　n = 0-5

18. 3. 2　ポート・モード・レジスタ7（PM7）

キー割り込み入力端子（KR0-KR5）として使用するとき，PM7nビットにそれぞれ1を設定してください。このときP7nの出力ラッチは，0または1のどちらでもかまいません。PM7レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により，FFHになります。

また，プルアップ抵抗オプション・レジスタ7（PU7）により1ビット単位で内蔵プルアップ抵抗を使用することができます。

図18－3　ポート・モード・レジスタ7のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W

PM7n	P7n端子の入出力モードの選択 （n = 0-5）
0	出力モード（出力バッファ・オン）
1	入力モード（出力バッファ・オフ）

第19章　スタンバイ機能

19. 1　スタンバイ機能

スタンバイ機能は，システムの動作電流をより低減するための機能で，次の3種類のモードがあります。

（1）HALTモード

HALT命令の実行により，HALTモードとなります。HALTモードは，CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路，高速オンチップ・オシレータ，サブシステム・クロック発振回路が動作している場合，それぞれのクロックは発振を継続します。このモードでは，STOPモードほどの動作電流の低減はできませんが，割り込み要求により，すぐに処理を再開したい場合や，頻繁に間欠動作をさせたい場合に有効です。

（2）STOPモード

STOP命令の実行により，STOPモードとなります。STOPモードは，高速システム・クロック発振回路，高速オンチップ・オシレータを停止させ，システム全体が停止するモードです。CPUの動作電流を，大幅に低減することができます。

さらに，割り込み要求によって解除できるため，間欠動作も可能です。ただし，X1クロックの場合，STOPモード解除時に発振安定時間確保のためのウエイト時間がとられるため，割り込み要求によって，すぐに処理を開始しなければならないときにはHALTモードを選択してください。

（3）SNOOZEモード

CSI00のデータ受信およびタイマ・トリガ信号（割り込み要求信号（INTRTC/INTIT））によるA/D変換要求により，STOPモードを解除し，CPUを動作させることなくCSI00のデータ受信，A/D変換を行います。CPU／周辺ハードウエア・クロック（f_{CLK}）に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも，スタンバイ・モードに設定される直前のレジスタ，フラグ，データ・メモリの内容はすべて保持されます。また，入出力ポートの出力ラッチ，出力バッファの状態も保持されます。

注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは，STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック，サブシステム・クロックのいずれかの動作状態でも使用できます。

2. STOPモードに移行するとき，メイン・システム・クロックで動作する周辺ハードウエアの動作を必ず停止させたのち，STOP命令を実行してください（SNOOZEモード設定ユニットを除く）。

3. CSI00, A/DコンバータをSNOOZEモードで使用する場合は，シリアル・スタンバイ・コントロール・レジスタ0（SSC0），A/Dコンバータ・モード・レジスタ2（ADM2）をSTOPモードに移行前に設定してください。詳細は，12. 3　シリアル・アレイ・ユニットを制御するレジスタ，11. 3　A/Dコンバータで制御するレジスタを参照してください。

4. A/Dコンバータ部の消費電力を低減させるためには，A/Dコンバータ・モード・レジスタ0（ADM0）のビット7（ADCS）とビット0（ADCE）を0にクリアし，A/D変換動作を停止させてから，STOP命令を実行してください。
5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続／停止するかは，オプション・バイトで選択できます。詳細は第25章　オプション・バイトを参照してください。

19. 2　スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

・サブシステム・クロック供給モード制御レジスタ（OSMC）
・発振安定時間カウンタ状態レジスタ（OSTC）
・発振安定時間選択レジスタ（OSTS）

備考　上記レジスタの詳細は，第5章　クロック発生回路を参照してください。また，SNOOZEモード機能を制御するレジスタは，第11章　A/Dコンバータ，第12章　シリアル・アレイ・ユニットを参照してください。

19. 3　スタンバイ機能の動作

19. 3. 1　HALTモード

（1）HALTモード

HALTモードは，HALT命令の実行により設定されます。設定前のCPUクロックは，高速システム・クロック，高速オンチップ・オシレータ・クロック，サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意　割り込みマスク・フラグが”0”（割り込み処理許可）で且つ割り込み要求フラグが”1”（割り込み要求信号が発生）の場合，HALTモードの解除に割り込み要求信号が用いられるため，その状況下でHALT命令を実行しても，HALTモードに移行しません。

表19－1　HALTモード時の動作状態（1/2）

項目 ＼ HALTモードの設定			メイン・システム・クロックでCPU動作中のHALT命令実行時			
			高速オンチップ・オシレータ・クロック（f_{HOCO}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{HOCO}	動作継続（停止不可）	動作禁止	動作禁止	動作禁止
		f_X	動作禁止	動作継続（停止不可）	動作不可	PLLへのクロック供給時は停止不可
		f_{EX}		動作不可	動作継続（停止不可）	PLLへのクロック供給時は停止不可
		f_{PLL}		動作禁止	動作禁止	動作継続（停止不可）
	サブ・システム・クロック	f_{XT}	HALTモード設定前の状態を継続			
		f_{EXS}				
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止			
CPU			動作停止			
コード・フラッシュ・メモリ			動作停止			
データ・フラッシュ・メモリ						
RAM			動作停止(DMA実行時は動作可能)			
ポート（ラッチ）			HALTモード設定前の状態を保持			
タイマ・アレイ・ユニット			動作可能			
リアルタイム・クロック（RTC）						
12ビット・インターバル・タイマ						
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照			
クロック出力／ブザー出力			動作可能			
A/Dコンバータ						
シリアル・アレイ・ユニット（SAU）						
シリアル・インタフェース（IICA）						
USB			動作可能（ロウ・スピードモード転送のみ）	動作禁止		動作可能
乗除算・積和演算器			動作可能			
DMAコントローラ						
パワーオン・リセット機能						
電圧検出機能						
外部割り込み						
キー割り込み機能						
CRC演算機能	高速CRC					
	汎用CRC		RAM領域の演算で，DMA実行時は動作可能			
RAMパリティ・エラー検出機能			DMA実行時は動作可能			
RAMガード機能						
SFRガード機能						
不正メモリ・アクセス検出機能						

備考　動作停止　：HALTモード移行時に自動的に動作停止　　f_X　：X1クロック
　　動作禁止　：HALTモード移行前に動作を停止させる　　f_{EX}　：外部メイン・システム・クロック
　　f_{HOCO}　：高速オンチップ・オシレータ・クロック　　f_{XT}　：XT1クロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{EXS}　：外部サブシステム・クロック

表19－1　HALTモード時の動作状態（2/2）

項目 ＼ HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時	
			XT1クロック（f_{XT}）でCPU動作時	外部サブシステム・クロック（f_{EXS}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止	
	メイン・システム・クロック・ソース	f_{HOCO}	動作禁止	
		f_X		
		f_{EX}		
		f_{PLL}		
	サブ・システム・クロック・ソース	f_{XT}	動作継続（停止不可）	動作不可
		f_{EXS}	動作不可	動作継続（停止不可）
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止	
CPU			動作停止	
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM			動作停止(DMA実行時は動作可能)	
ポート（ラッチ）			HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
リアルタイム・クロック（RTC）			動作可能	
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照	
クロック出力／ブザー出力			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
A/Dコンバータ			動作禁止	
シリアル・アレイ・ユニット（SAU）			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
シリアル・インタフェース（IICA）			動作禁止	
USB				
乗除算・積和演算器			RTCLPC = 0のときは動作可能（それ以外は動作禁止）	
DMAコントローラ				
パワーオン・リセット機能			動作可能	
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能	高速CRC		動作禁止	
	汎用CRC		RAM領域の演算で，DMA実行時は動作可能	
RAMパリティ・エラー検出機能			DMA実行時は動作可能	
RAMガード機能				
SFRガード機能				
不正メモリ・アクセス検出機能				

備考　動作停止　：HALTモード移行時に自動的に動作停止　　f_X　：X1クロック
　　動作禁止　：HALTモード移行前に動作を停止させる　　f_{EX}　：外部メイン・システム・クロック
　　f_{HOCO}　：高速オンチップ・オシレータ・クロック　　f_{XT}　：XT1クロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{EXS}　：外部サブシステム・クロック

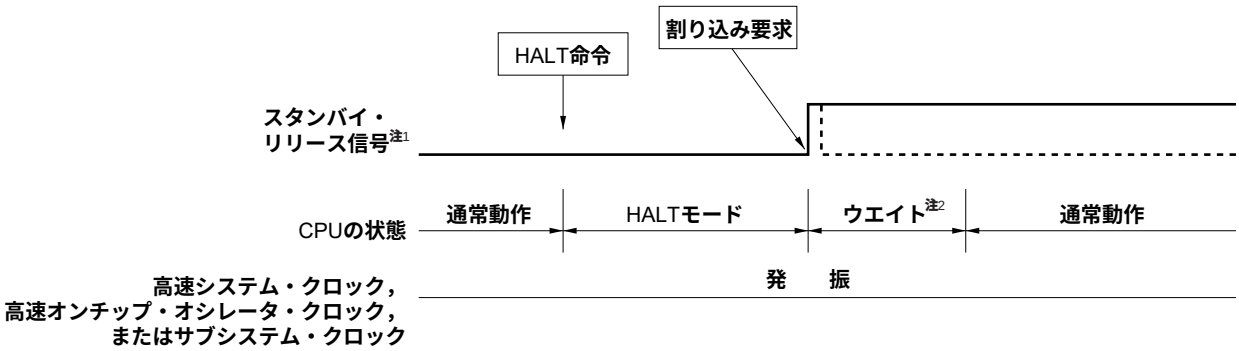
（2）HALTモードの解除

HALTモードは，次の2種類のソースによって解除できます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，HALTモードは解除されます。そして，割り込み受け付け許可状態であれば，ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば，次のアドレスの命令が実行されます。

図19－1　HALTモードの割り込み要求発生による解除



注1.　スタンバイ・リリース信号に関しての詳細は，図17－1を参照してください。

2.　HALTモード解除のウエイト時間

・ベクタ割り込み処理を行う場合

メイン・システム・クロック時	：15～16クロック
サブシステム・クロック時（RTCLPC = 0）	：10～11クロック
サブシステム・クロック時（RTCLPC = 1）	：11～12クロック

・ベクタ割り込み処理を行わない場合

メイン・システム・クロック時	：9～10クロック
サブシステム・クロック時（RTCLPC = 0）	：4～5クロック
サブシステム・クロック時（RTCLPC = 1）	：5～6クロック

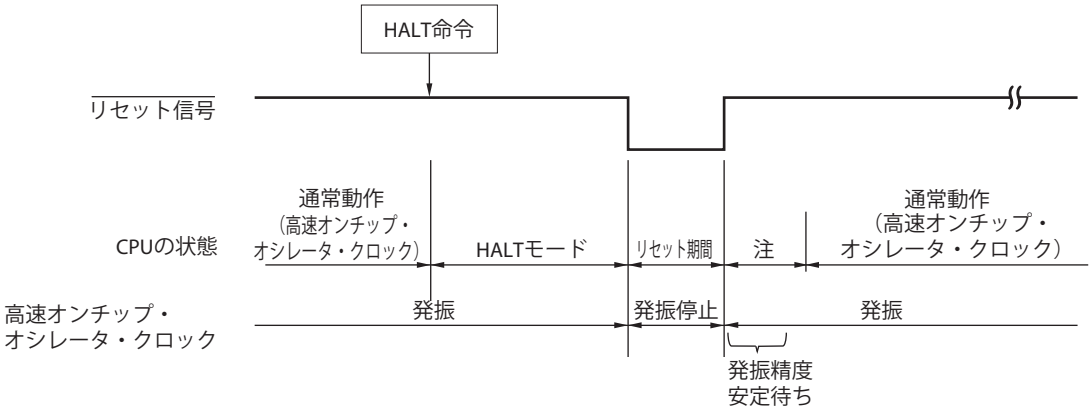
備考　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

（b）リセット信号の発生による解除

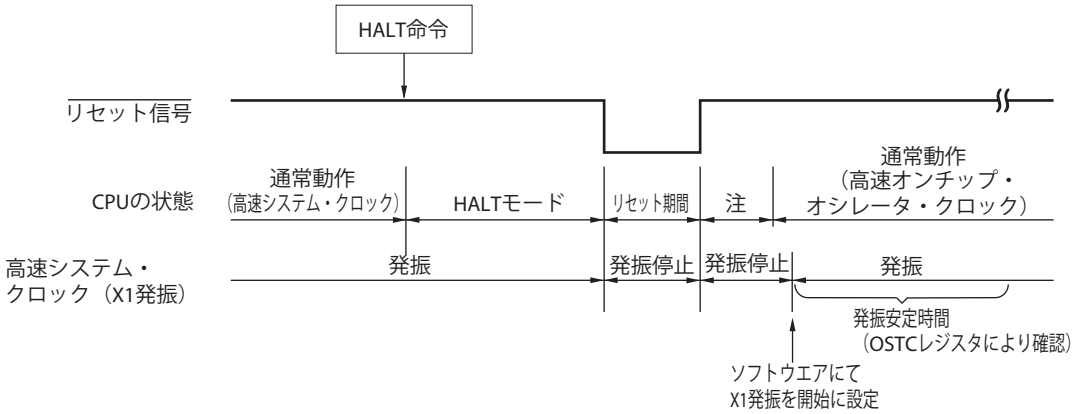
リセット信号の発生により，HALTモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図19－2　HALTモードのリセットによる解除（1/2）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



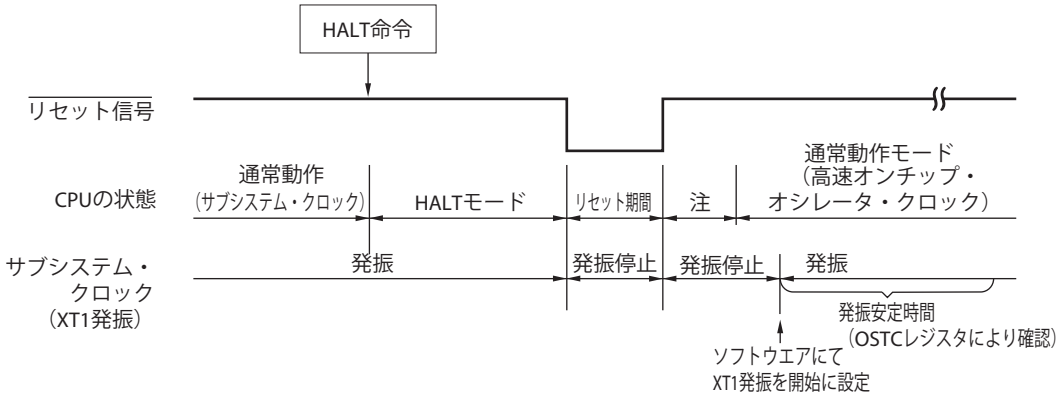
（2）CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，第20章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第21章　パワーオン・リセット回路を参照してください。

図19－2　HALTモードのリセットによる解除（2/2）

（3）CPUクロックがサブシステム・クロックの場合



注　リセット処理時間は，第20章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第21章　パワーオン・リセット回路を参照してください。

19. 3. 2　STOPモード

（1）STOPモードの設定および動作状態

STOPモードは，STOP命令の実行により設定されます。設定前のCPUクロックが，メイン・システム・クロックの場合のみ設定可能です。

注意 1.　割り込みマスク・フラグが”0”（割り込み処理許可）で且つ割り込み要求フラグが”1”（割り込み要求信号が発生）の場合，STOPモードの解除に割り込み要求信号が用いられるため，その状況でSTOP命令を実行すると，いったんSTOPモードに入ってただちに解除されます。したがって，STOP命令実行後，STOPモード解除時間を経過したあと動作モードに戻ります。

2.　STOPモードに移行するときはDSCONビット（DSCCTLレジスタのビット0）によってPLLの動作を停止させたのち，STOP命令を実行してください。

次にSTOPモード時の動作状態を示します。

表19－2　STOPモード時の動作状態

項目 ＼ STOPモードの設定			メイン・システム・クロックでCPU動作中のSTOP命令実行時			
			高速オンチップ・オシレータ・クロック（f_{HOCO}）でCPU動作時	X1クロック（f_X）でCPU動作時	外部メイン・システム・クロック（f_{EX}）でCPU動作時	PLLクロック（f_{PLL}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止			
	メイン・システム・クロック	f_{HOCO}	停止			
		f_X				
		f_{EX}				
		f_{PLL}	動作禁止			
	サブ・システム・クロック	f_{XT}	STOPモード設定前の状態を継続			
		f_{EXS}				
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止			
CPU			動作停止			
コード・フラッシュ・メモリ						
データ・フラッシュ・メモリ			動作停止			
RAM			動作停止(DMA実行時は動作可能)			
ポート（ラッチ）			STOPモード設定前の状態を継続			
タイマ・アレイ・ユニット			動作禁止			
リアルタイム・クロック（RTC）			動作可能			
12ビット・インターバル・タイマ						
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照			
クロック出力／ブザー出力			カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能（それ以外は，動作禁止）			
A/Dコンバータ			ウエイク・アップ動作可能（SNOOZEモードへ移行）			
シリアル・アレイ・ユニット（SAU）			CSI00のみウエイク・アップ動作可能（SNOOZEモードへ移行） CSI00以外は動作禁止			
シリアル・アレイ・ユニット（IICA）			アドレス一致によるウエイク・アップ動作可能			
USB			動作禁止			
乗除積和算器						
DMAコントローラ						
パワーオン・リセット機能			動作可能			
電圧検出機能						
外部割り込み						
キー割り込み機能						
CRC演算機能	高速CRC		動作停止			
	汎用CRC					
RAMパリティ・エラー検出機能						
RAMガード機能						
SFRガード機能						
不正メモリ・アクセス検出機能						

（備考は次ページにあります。）

備考　動作停止：STOPモード移行時に自動的に動作停止

動作禁止：STOPモード移行前に動作を停止させる

f_{HOCO}：高速オンチップ・オシレータ・クロック　f_{IL}：低速オンチップ・オシレータ・クロック

f_X：X1クロック　f_{EX}：外部メイン・システム・クロック

f_{XT}：XT1クロック　f_{EXS}：外部サブシステム・クロック

（2）STOPモードの解除

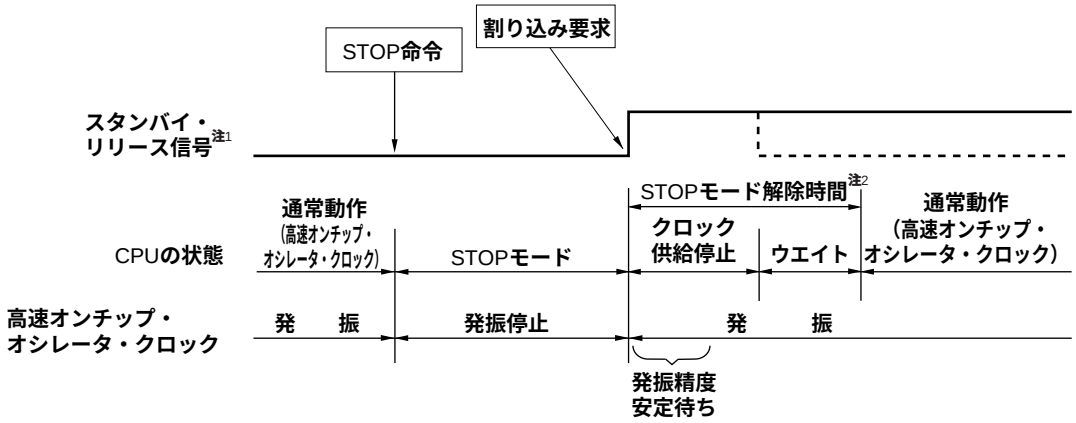
STOPモードは，次の2種類のソースによって解除することができます。

（a）マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図19－3　STOPモードの割り込み要求発生による解除（1/2）

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



注 1　スタンバイ・リリース信号に関しての詳細は，図17－1を参照してください。

2.　STOPモード解除時間

クロック供給停止　：18 μs～105 μs

ウエイト

・ベクタ割り込み処理を行う場合　　：7クロック

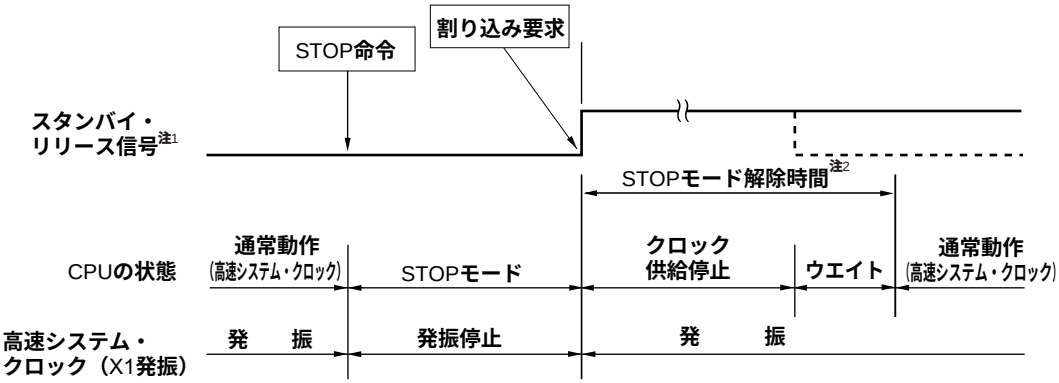
・ベクタ割り込み処理を行わない場合　：1クロック

備考 1.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

2.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

図19－3　STOPモードの割り込み要求発生による解除（2/2）

（2）CPUクロックが高速システム・クロック（X1発振）の場合



注 1　スタンバイ・リリース信号に関しての詳細は，図17－1を参照してください。

2.　STOPモード解除時間

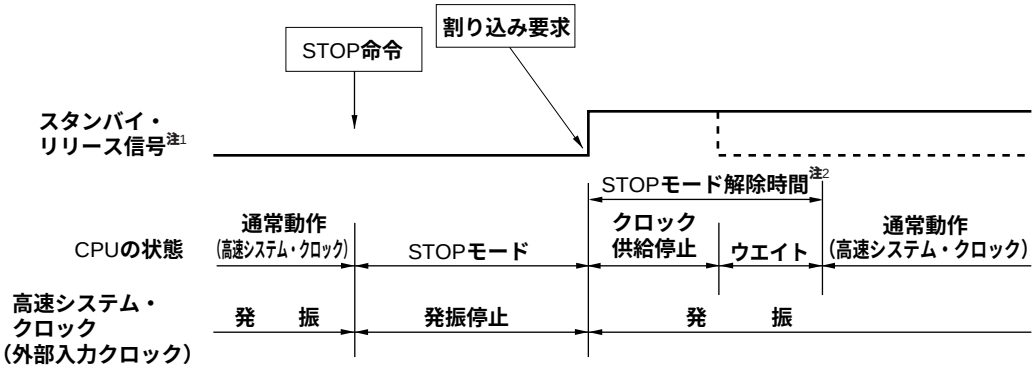
クロック供給停止：　18 μs～105 μsと発振安定時間（OSTSで設定）の長い方

ウエイト

・ベクタ割り込み処理を行う場合　　：10～11クロック

・ベクタ割り込み処理を行わない場合　：4～5クロック

（3）CPUクロックが高速システム・クロック（外部クロック入力）の場合



注 1　スタンバイ・リリース信号に関しての詳細は，図17－1を参照してください。

2.　STOPモード解除時間

クロック供給停止　：18 μs～105 μs

ウエイト

・ベクタ割り込み処理を行う場合　　：7クロック

・ベクタ割り込み処理を行わない場合　：1クロック

注意　高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，STOP命令実行前に，CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考 1.　破線は，スタンバイを解除した割り込み要求が受け付けられた場合です。

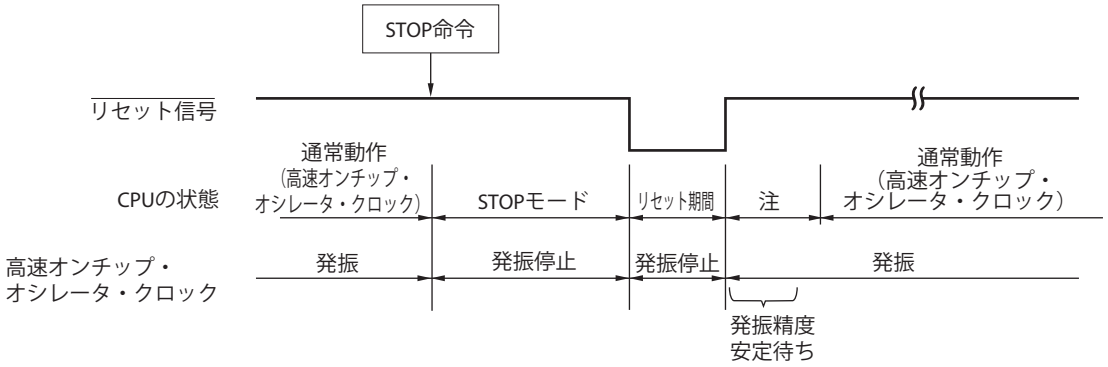
2.　クロック供給停止時間は，温度条件とSTOPモード期間によって変化します。

（b）リセット信号の発生による解除

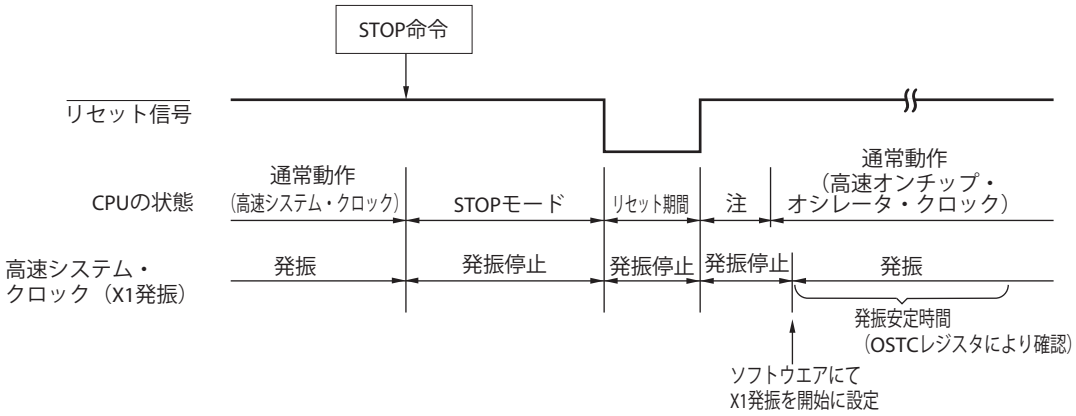
リセット信号の発生により，STOPモードは解除されます。そして，通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと，プログラムが実行されます。

図19－4　STOPモードのリセットによる解除

（1）CPUクロックが高速オンチップ・オシレータ・クロックの場合



（2）CPUクロックが高速システム・クロックの場合



注　リセット処理時間は，第20章　リセット機能を参照してください。なお，パワーオン・リセット（POR）回路と電圧検出（LVD）回路のリセット処理時間は，第20章　パワーオン・リセット回路を参照してください。

19. 3. 3　SNOOZEモード

（1）SNOOZEモードの設定および動作状態

CSI00または，A/Dコンバータのみ設定可能です。また，設定前のCPUクロックが，高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSI00をSNOOZEモードで使用する場合は，STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ0（SSC0）のSWC0ビットを1に設定してください。詳細は，12. 3　シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/DコンバータをSNOOZEモードで使用する場合は，STOPモードに移行する直前にA/Dコンバータ・モード・レジスタ2（ADM2）のAWCビットを1に設定してください。詳細は，11. 3　A/Dコンバータで使用するレジスタを参照してください。

SNOOZEモードの移行では，次の時間だけウエイト状態になります。

STOPモード→ SNOOZEモードの遷移時間：18 μs～105 μs

備考　STOPモード→ SNOOZEモードの遷移時間は，温度条件とSTOPモード期間によって変化します

SNOOZEモード→通常動作の遷移時間：

・ベクタ割り込み処理を行う場合

HS（高速メイン）モード：　“4.99～9.44 μs”　μs＋7クロック

・ベクタ割り込み処理を行わない場合

HS（高速メイン）モード：　“4.99～9.44 μs”　μs＋1クロック

次にSNOOZEモード時の動作状態を示します。

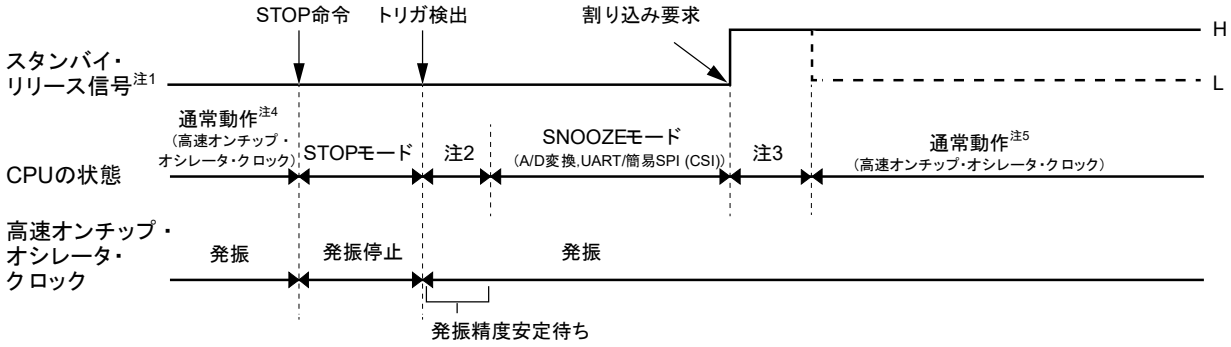
表19－3　SNOOZEモード時の動作状態

項目 ＼ SNOOZEモードの設定			STOPモード中にCSI00のデータ受信信号およびA/Dコンバータのタイマ・トリガ信号入力時 高速オンチップ・オシレータ・クロック（f_{HOCO}）でCPU動作時
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{HOCO}	動作開始
		f_X	停止
		f_{EX}	
		f_{PLL}	
	サブ・システム・クロック	f_{XT}	STOPモード中の状態を継続
		f_{EXS}	
	f_{IL}		オプション・バイト（000C0H）のビット0（WDSTBYON），ビット4（WDTON）およびサブシステム・クロック供給モード制御レジスタ（OSMC）のWUTMMCK0ビットにて設定 ・WUTMMCK0 = 1：発振 ・WUTMMCK0 = 0かつWDTON = 0：停止 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき：発振 ・WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき：停止
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			
ポート（ラッチ）			STOPモード中の状態を継続
タイマ・アレイ・ユニット			動作禁止
リアルタイム・クロック（RTC）			動作可能
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			第10章　ウォッチドッグ・タイマ参照
クロック出力／ブザー出力			カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能（それ以外は，動作禁止）
A/Dコンバータ			動作可能
シリアル・アレイ・ユニット（SAU）			CSI00のみ動作可能。CSI00以外は動作禁止。
シリアル・アレイ・ユニット（IICA）			動作禁止
USB			
乗除積和算器			
DMAコントローラ			
パワーオン・リセット機能			動作可能
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC演算機能	高速CRC		動作停止
	汎用CRC		
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

備考　動作停止　：STOPモード移行時に自動的に動作停止
　　動作禁止　：STOPモード移行前に動作を停止させる
　　f_{HOCO}　：高速オンチップ・オシレータ・クロック　　f_{XT}　：XT1クロック
　　f_{IL}　：低速オンチップ・オシレータ・クロック　　f_{EX}　：外部メイン・システム・クロック
　　f_X　：X1クロック　　f_{EXS}　：外部サブシステム・クロック

（2）SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図19－5　SNOOZEモードの割り込み要求が発生する場合



注 1.　スタンバイ・リリース信号に関しての詳細は，図17－1を参照してください。

2.　STOPモード→SNOOZEモードの遷移時間

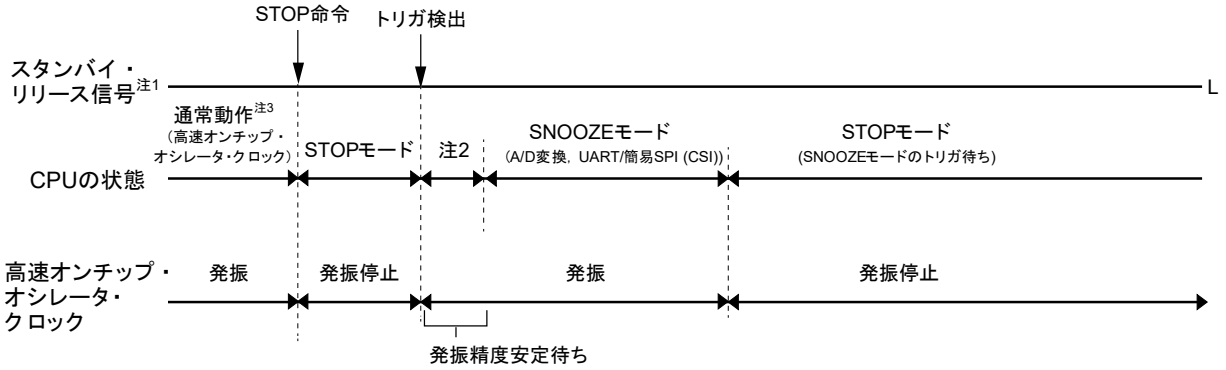
3.　SNOOZEモード→通常動作の遷移時間

4.　STOPモードへ移行する直前に，SNOOZEモード許可（AWC = 1/SWCm = 1）に設定してください。

5.　通常動作に復帰後すぐに，必ずSNOOZEモード解除（AWC = 0/SWCm = 0）に設定してください。

（3）　SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図19－6　SNOOZEモードの割り込み要求が発生しない場合



注 1.　スタンバイ・リリース信号に関しての詳細は，図17－1を参照してください。

2.　STOPモード→SNOOZEモードの遷移時間

3.　STOPモードへ移行する直前に，SNOOZEモード許可（AWC = 1/SWCm = 1）に設定してください。

備考　SNOOZEモード機能の詳細は，第11章　A/Dコンバータ，第12章　シリアル・アレイ・ユニットを参照してください。

第20章　リセット機能

リセット信号を発生させる方法には，次の7種類があります。

（1）$\overline{\text{RESET}}$端子による外部リセット入力
（2）ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
（3）パワーオン・リセット（POR）回路の電源電圧と検出電圧との比較による内部リセット
（4）電圧検出回路（LVD）の電源電圧と検出電圧の比較による内部リセット
（5）不正命令の実行による内部リセット注
（6）RAMパリティ・エラーによる内部リセット
（7）不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に，リセット信号の発生により，00000H，00001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$端子にロウ・レベルが入力されるか，ウォッチドッグ・タイマがプログラム暴走を検出するか，POR回路，LVD回路の電圧検出，不正命令の実行注，RAMパリティ・エラーの発生，または不正メモリ・アクセスにより，リセットがかかり，各ハードウエアは表20－1に示すような状態になります。

注　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

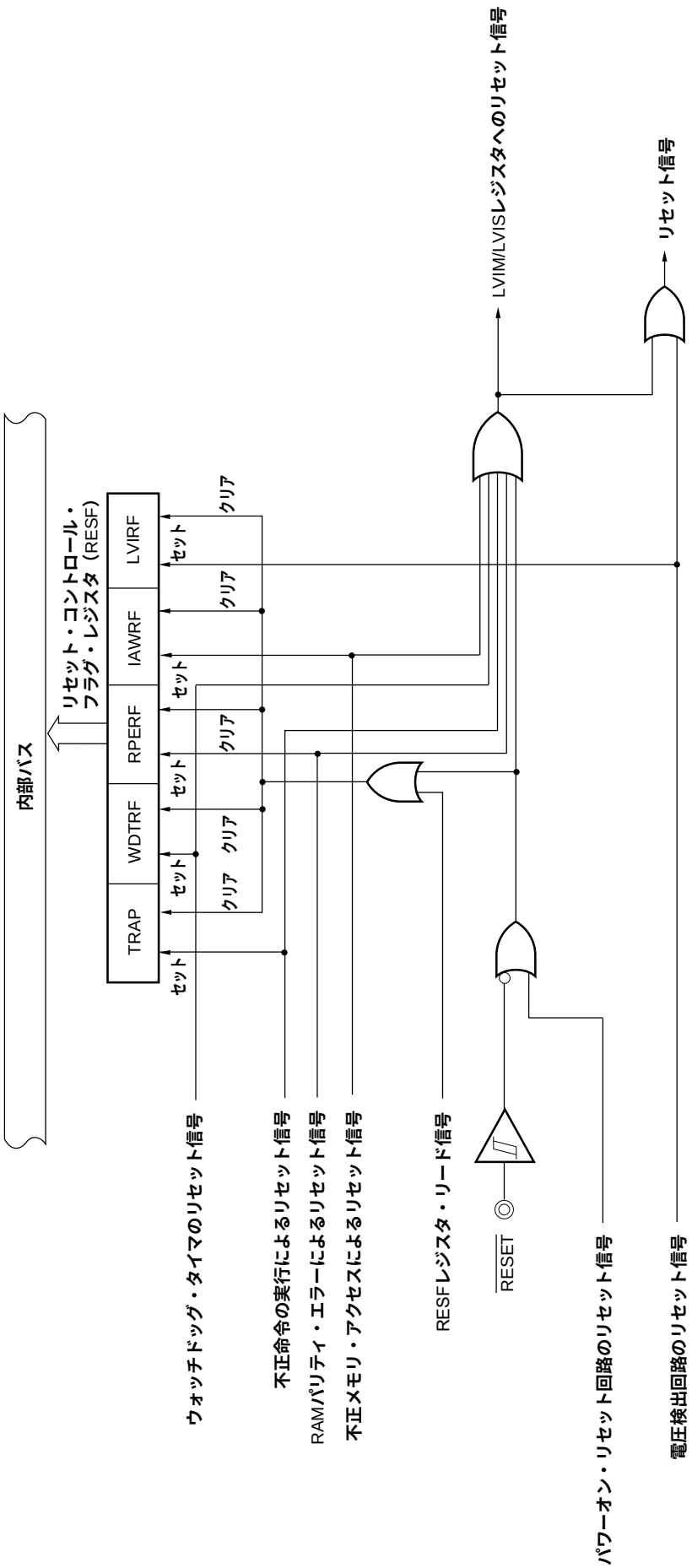
注意1. 外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，30. 4または31. 4　AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

2. リセット信号発生中では，X1クロック，XT1クロック，高速オンチップ・オシレータ・クロック，低速オンチップ・オシレータ・クロックの発振は停止します。また，外部メイン・システム・クロック，外部サブシステム・クロックの入力は無効となります。

3. リセットがかかると各SFRと2nd SFRは初期化されるため，ポート端子は次の状態になります。
   - P40：　外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）
   - P130：リセット期間中およびリセット受け付け後はロウ・レベル出力
   - P40, P130以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

備考　V_{POR}　：POR電源立ち上がり検出電圧
　　V_{LVD}　：LVD検出電圧

図20－1　リセット機能のブロック図



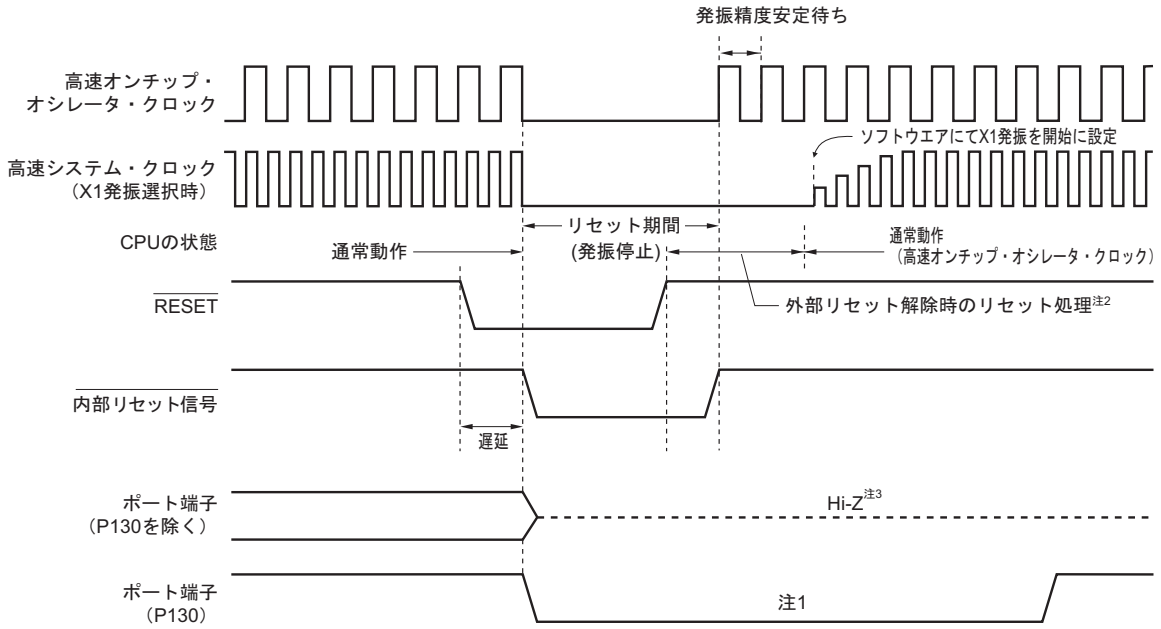
注意　LVD回路の内部リセットの場合，LVD回路はリセットされません。

備考1.　LVIM：電圧検出レジスタ
　　2.　LVIS：電圧検出レベル・レジスタ

20. 1　リセット動作のタイミング

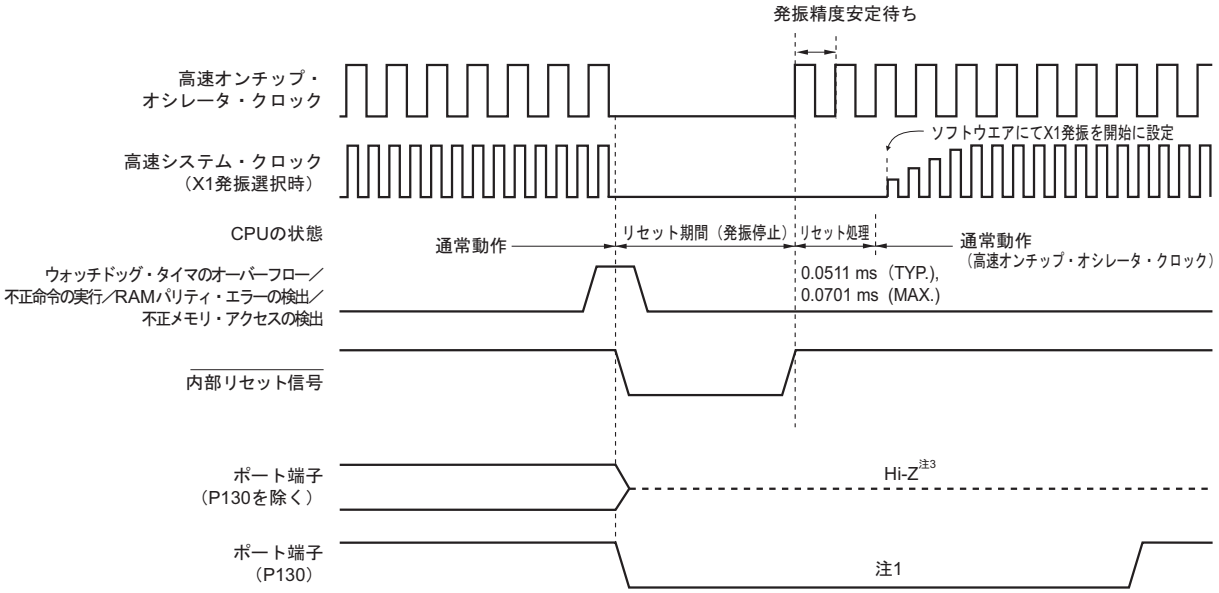
$\overline{\text{RESET}}$端子にロウ･レベルが入力されて，リセットがかかり，$\overline{\text{RESET}}$端子にハイ・レベルが入力されると，リセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図20－2　$\overline{\text{RESET}}$入力によるリセット・タイミング



ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは，自動的にリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図20－3　ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのオーバフローによるリセット・タイミング



（注，注意は，次ページにあります。）

注 1. リセットがかかるとP130はロウ・レベルを出力するため，リセットがかかる前にP130をハイ・レベル出力にした場合，P130からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には，P130をソフトウエアでハイ・レベル出力にしてください。

2. 外部リセット解除時のリセット時間：

POR解除後1回目：　0.672 ms (TYP.), 0.832 ms (MAX.)　（LVD使用時）
　　0.399 ms (TYP.),　0.519 ms (MAX.)　（LVDオフ時）
POR解除後2回目以降：0.531 ms (TYP.), 0.675 ms (MAX.)　（LVD使用時）
　　0.259 ms (TYP.), 0.362 ms (MAX.)　（LVDオフ時）

電源立ち上がり時は，外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms（TYP.), 2.30 ms（MAX.)がかかります。

3. ポート端子P40は次の状態になります。
   - 外部リセットかPORによるリセット期間中はハイ・インピーダンスになります。
   - それ以外のリセット期間中およびリセット受け付け後はハイ・レベル（内部プルアップ抵抗接続）になります。

POR回路，LVD回路の電圧検出によるリセットは，リセット後$V_{DD} \geqq V_{POR}$または$V_{DD} \geqq V_{LVD}$になったときにリセットが解除され，リセット処理後，高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は，第21章　パワーオン・リセット回路または第22章　電圧検出回路を参照してください。

20. 2　リセット期間中の動作状態

表20－1にリセット期間中の動作状態を，表20－2にリセット受け付け後の各ハードウエアの状態を示します。

表20－1　リセット期間中の動作状態

項　　目			リセット期間中
システム・クロック			CPUへのクロック供給は停止
	メイン・システム・クロック	f_{HOCO}	動作停止
		f_X	動作停止（X1, X2端子は入力ポート・モード）
		f_{EX}	クロックの入力無効（端子は入力ポート・モード）
		f_{PLL}	動作停止
	サブ・システム・クロック	f_{XT}	動作停止（XT1, XT2端子は入力ポート・モード）
		f_{EXS}	クロックの入力無効（端子は入力ポート・モード）
	f_{IL}		動作停止
CPU			
コード・フラッシュ・メモリ			動作停止
データ・フラッシュ・メモリ			動作停止
RAM			動作停止
ポート（ラッチ）			ハイ・インピーダンス注
タイマ・アレイ・ユニット			動作停止
リアルタイム・クロック（RTC）			
12ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			
クロック出力／ブザー出力			
A/Dコンバータ			
シリアル・アレイ・ユニット（SAU）			
シリアル・インタフェース（IICA）			
USB			
乗除算・積和演算器			
DMAコントローラ			
パワーオン・リセット機能			検出動作可能
電圧検出機能			LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み			動作停止
キー割り込み機能			
CRC演算機能	高速CRC		
	汎用CRC		
RAMパリティ・エラー検出機能			
RAMガード機能			
SFRガード機能			
不正メモリ・アクセス検出機能			

注　ポート端子P40，P130は次の状態になります。

・P40：　外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル（内部プルアップ抵抗接続）

・P130：リセット期間中はロウ・レベル出力

（備考は，次ページにあります。）

備考　f_{HOCO}　：高速オンチップ・オシレータ・クロック

f_X　：X1発振クロック

f_{EX}　：外部メイン・システム・クロック

f_{XT}　：XT1発振クロック

f_{EXS}　：外部サブシステム・クロック周波数

f_{IL}　：低速オンチップ・オシレータ・クロック

表20－2　リセット受け付け後の各ハードウエアの状態

ハードウエア		リセット受け付け後の状態注
プログラム・カウンタ（PC）		リセット・ベクタ・テーブル（00000H, 00001H）の内容がセットされる。
スタック・ポインタ（SP）		不定
プログラム・ステータス・ワード（PSW）		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注　リセット信号発生中および発振安定時間ウエイト中の各ハードウエアの状態は，PCの内容のみ不定となります。その他は，リセット後の状態と変わりありません。

備考　特殊機能レジスタ（SFR：Special Function Register）のリセット受け付け後の状態は，3. 1. 4　特殊機能レジスタ（SFR：Special Function Register）領域, 3. 1. 5　拡張特殊機能レジスタ（2nd SFR：2nd Special Function Register）領域を参照してください。

20. 3　リセット要因を確認するレジスタ

20. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF）

RL78マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ（RESF）は，どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは，8ビット・メモリ操作命令で，読み出すことができます。

$\overline{\text{RESET}}$入力，パワーオン・リセット（POR）回路によるリセットおよびRESFレジスタのデータを読み出すことにより，TRAP, WDTRF, RPERF, IAWRF, LVIRFフラグはクリアされます。

図20－4　リセット・コントロール・フラグ・レジスタ（RESF）のフォーマット

アドレス：FFFA8H　　リセット時：不定[注1]　　R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF

TRAP	不正命令の実行による内部リセット要求[注2]
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

WDTRF	ウォッチドッグ・タイマ（WDT）による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

RPERF	RAMパリティ・エラーによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

IAWRF	不正メモリ・アクセスによる内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

LVIRF	電圧検出（LVD）回路による内部リセット要求
0	内部リセット要求は発生していない，またはRESFレジスタをクリアした
1	内部リセット要求は発生した

注1.　リセット要因により異なります。表20－3を参照してください。

2.　FFHの命令コードを実行したときに発生します。
不正命令の実行によるリセットは，インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1.　1ビット・メモリ操作命令でデータを読み出さないでください。

2.　RAMパリティ・エラー・リセット発生を許可（RPERDIS = 0）で使用する場合、データ・アクセス時は「使用するRAM領域」を，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。
リセット発生により，RAMパリティ・エラー・リセット発生許可（RPERDIS = 0）となります。詳細は，23. 3. 3　RAMパリティ・エラー検出機能を参照してください。

リセット要求時のRESFレジスタの状態を表20－3に示します。

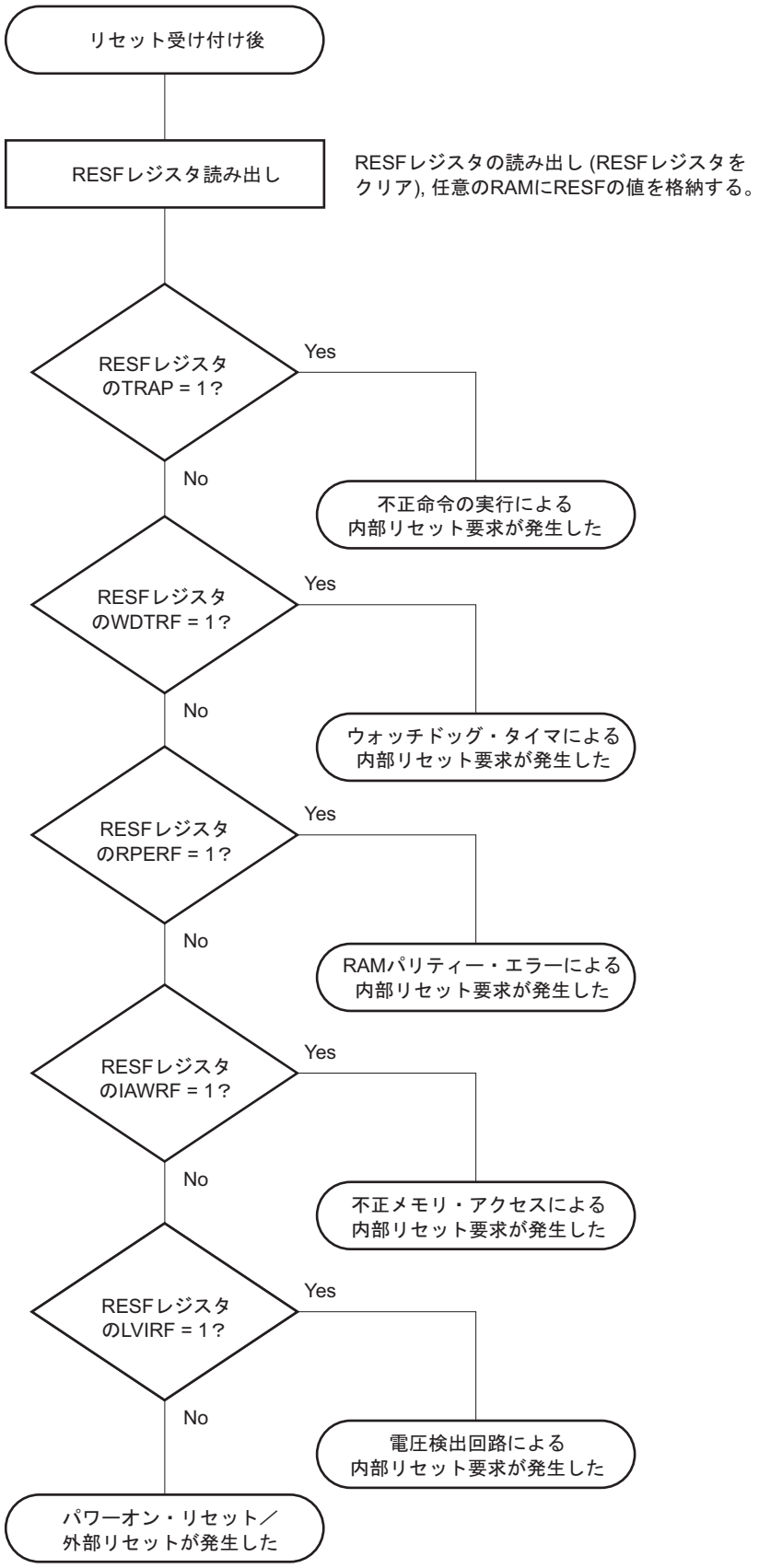
表20－3　リセット要求時のRESFレジスタの状態

<table>
<tr><th>リセット要因
フラグ</th><th>$\overline{\text{RESET}}$入力</th><th>PORによるリセット</th><th>不正命令の実行によるリセット</th><th>WDTによるリセット</th><th>RAMパリティ・エラーによるリセット</th><th>不正メモリ・アクセスによるリセット</th><th>LVDによるリセット</th></tr>
<tr><td>TRAP</td><td rowspan="5">クリア（0）</td><td rowspan="5">クリア（0）</td><td>セット（1）</td><td>保持</td><td rowspan="2">保持</td><td rowspan="3">保持</td><td rowspan="4">保持</td></tr>
<tr><td>WDTRF</td><td rowspan="4">保持</td><td>セット（1）</td></tr>
<tr><td>RPERF</td><td rowspan="3">保持</td><td>セット（1）</td></tr>
<tr><td>IAWRF</td><td rowspan="2">保持</td><td>セット（1）</td></tr>
<tr><td>LVIRF</td><td>保持</td><td>セット（1）</td></tr>
</table>

RESFレジスタは，8ビット・メモリ操作命令で読み出すと，自動的にクリアされます。

リセット要因の手順を図20－5に示します

図20－5　リセット要因の確認手順例



注意　上記フローは確認手順の一例です。

第21章　パワーオン・リセット回路

21. 1　パワーオン・リセット回路の機能

パワーオン・リセット（POR）回路は次のような機能を持ちます。

・電源投入時に内部リセット信号を発生します。
電源電圧（V_{DD}）が検出電圧（V_{POR}）を越えた場合に，リセットを解除します。ただし，30. 4または31. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。

・電源電圧（V_{DD}）と検出電圧（V_{PDR}）を比較し，V_{DD}＜V_{PDR}になったとき内部リセット信号を発生します。ただし，電源立ち下がり時は，30. 4または31. 4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意　パワーオン・リセット回路による内部リセット信号が発生した場合，リセット・コントロール・フラグ・レジスタ（RESF）がクリア（00H）されます。

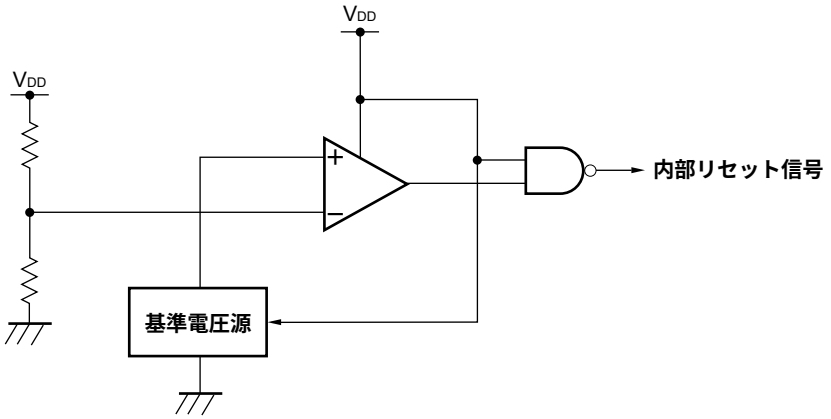
備考1.　RL78マイクロコントローラには内部リセット信号を発生するハードウエアが複数内蔵されています。ウォッチドッグ・タイマ（WDT）／電圧検出（LVD）回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合，そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は，クリア（00H）されずフラグがセット（1）されます。RESFレジスタの詳細については，第20章　リセット機能を参照してください。

2.　V_{POR}　：POR電源立ち上がり検出電圧
V_{PDR}　：POR電源立ち下がり検出電圧
詳細は，30. 6. 3または31. 6. 3　POR回路特性を参照してください。

21.2　パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図21－1に示します。

図21－1　パワーオン・リセット回路のブロック図

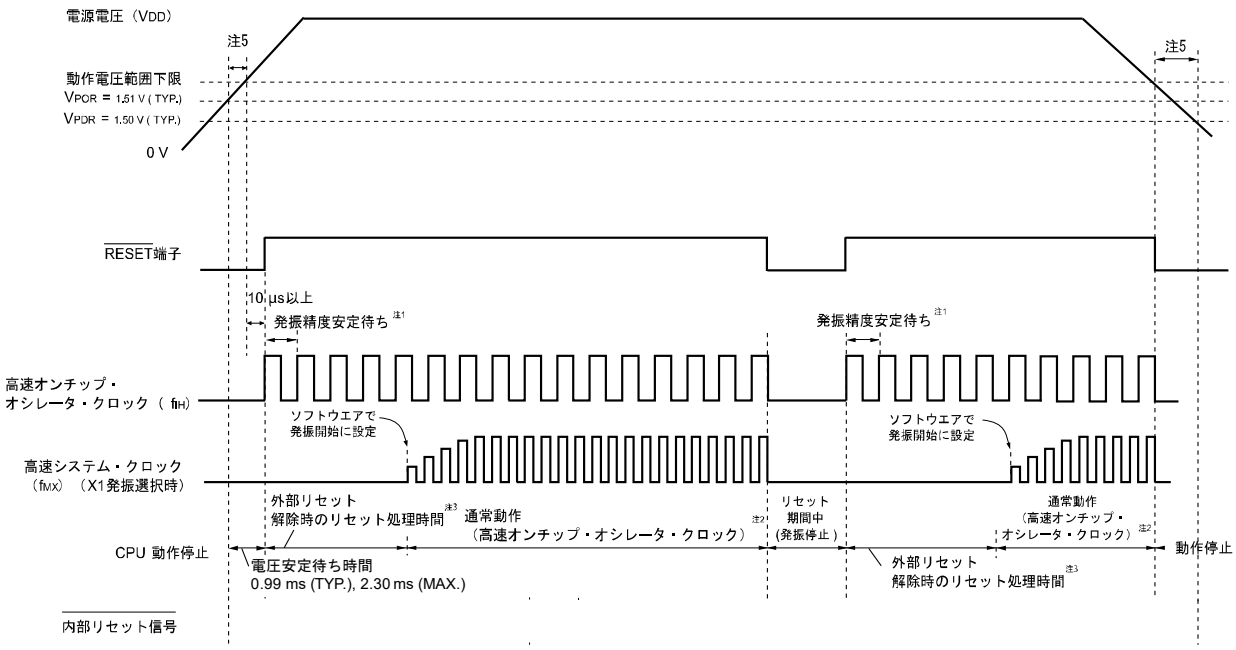


21.3　パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図21－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1/3）

（1）$\overline{\text{RESET}}$端子による外部リセット使用時



注 1.　高速オンチップ･オシレータ･クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。
X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから切り替えてください。

3.　通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち時間”に加えて，$\overline{\text{RESET}}$信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間（POR解除後1回目）”が掛かります。外部リセット解除時のリセット処理時間を次に示します。
POR解除後1回目：　0.672 ms (TYP.), 0.832 ms (MAX.)（LVD使用時）
0.399 ms (TYP.), 0.519 ms (MAX.)（LVDオフ時）

4.　POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。
POR解除後2回目以降：　0.531 ms (TYP.), 0.675 ms (MAX.)（LVD使用時）
0.259 ms (TYP.), 0.362 ms (MAX.)（LVDオフ時）

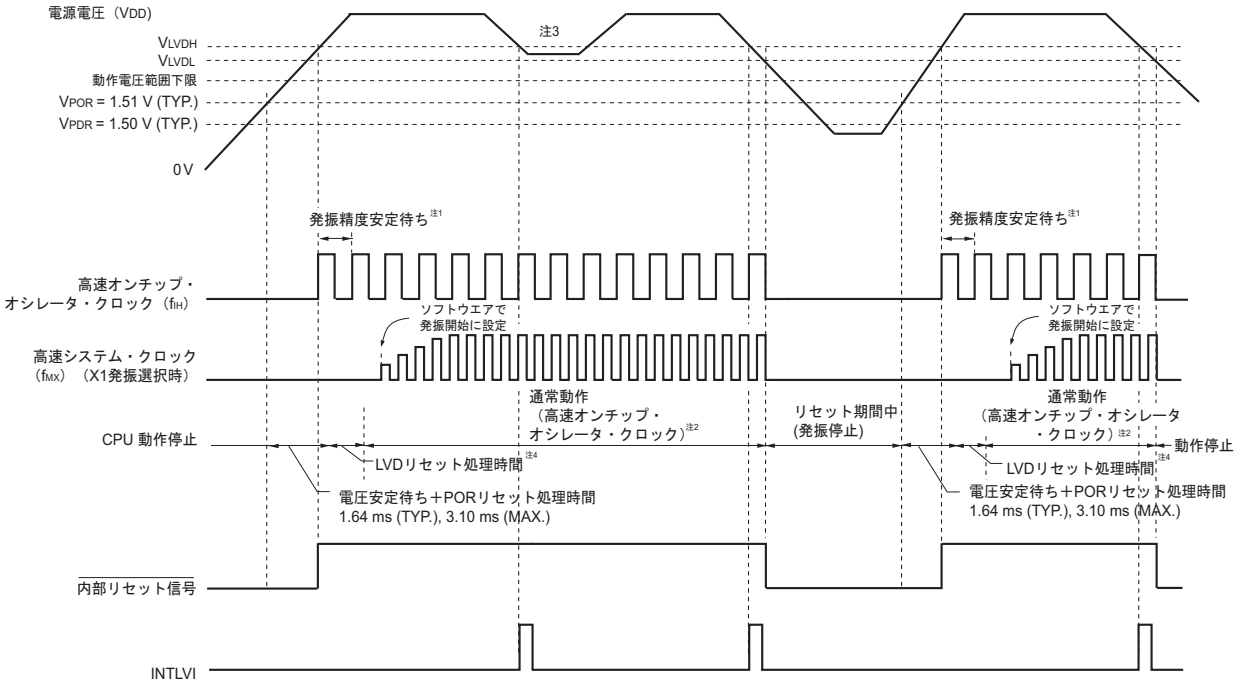
5.　電源立ち上がり時は，30. 4または31. 4　AC特性に示す動作電圧範囲まで，外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲まで復帰したことを確認してください。

注意　LVDオフ時は必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。詳細は，第22章　電圧検出回路を参照してください。

備考　VPOR　：POR電源立ち上がり検出電圧
VPDR　：POR電源立ち下がり検出電圧

図21－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2/3）

（2）LVDが割り込み＆リセット・モード時（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）



注1.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

3.　割り込み要求信号（INTLVI）が発生したあと，電圧検出レベル・レジスタ（LVIS）のLVILV, LVIMDビットは自動的に1に設定されます。そのため，電源電圧が低電圧検出電圧（V_{LVDL}）を下回らずに，高電圧検出電圧（V_{LVDH}）以上に復帰する場合を考慮して，INTLVI発生後は，”図22－8　動作電圧確認／リセットの設定手順”と，”図22－9　割り込み＆リセット・モードの初期設定の設定手順”に従って設定をしてください。

4.　通常動作が開始されるまでの時間は，V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（V_{LVDH}）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：　0 ms　～　0.0701 ms (MAX.)

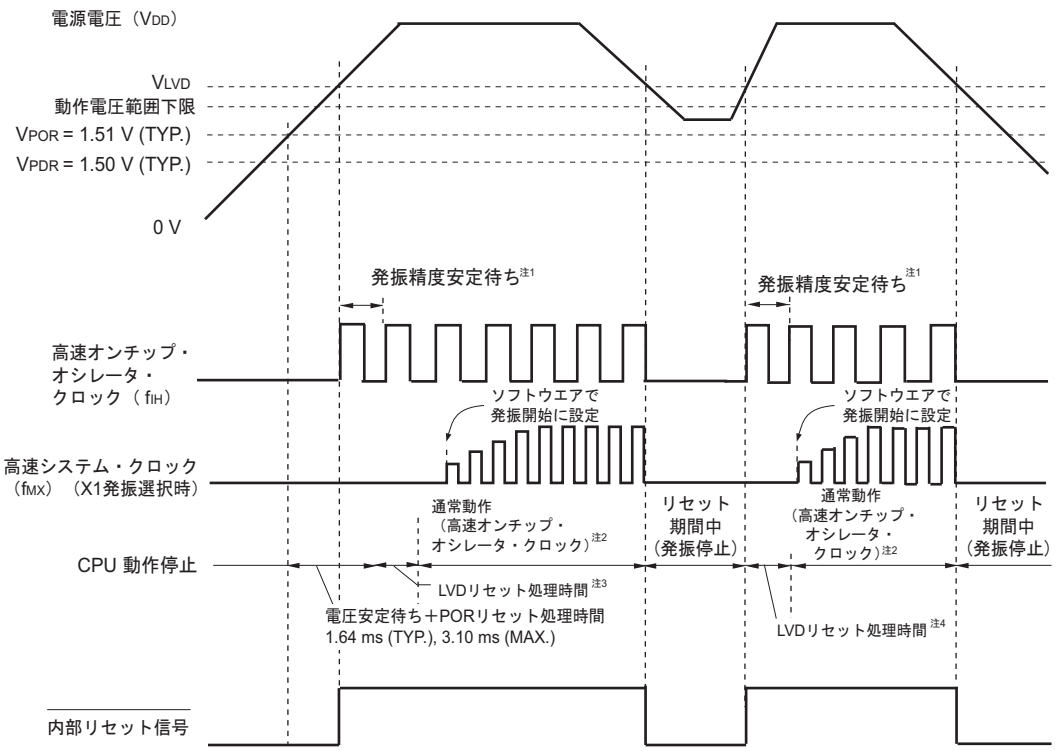
備考　V_{LVDH}, V_{LVDL}：LVD検出電圧

V_{POR}　　：POR電源立ち上がり検出電圧

V_{PDR}　　：POR電源立ち下がり検出電圧

図21－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング（3/3）

（3）LVDリセット・モード時（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1）



注1.　高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は，内部のリセット処理時間に含まれます。

2.　CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は，発振安定時間カウンタ状態レジスタ（OSTC）で，XT1クロックを使用する場合はタイマ機能などを用いて，発振安定時間を確認してから，切り替えてください。

3.　通常動作が開始されるまでの時間は，VPOR (1.51 V (TYP.))に達してからの“電圧安定待ち＋PORリセット処理時間”に加えて，LVD検出レベル（VLVD）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：　0 ms　～　0.0701 ms (MAX.)

4.　電源電圧降下時，電圧検出回路（LVD）による内部リセットのみ発生後に電源電圧が復帰した場合，LVD検出レベル（VLVD）に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：　0.0511 ms (TYP.), 0.0701ms (MAX.)

備考 1.　VLVDH, VLVDL　：LVD検出電圧

VPOR　：POR電源立ち上がり検出電圧

VPDR　：POR電源立ち下がり検出電圧

2.　LVD割り込みモード（オプション・バイト000C1HのLVIMD1，LVIMD0=0,1）を選択した場合，電源投入後に通常動作が開始されるまでの時間は，図21－2（3）LVDリセット・モード時の"注3"の時間と同じです。

第22章　電圧検出回路

22. 1　電圧検出回路の機能

電圧検出回路は，オプション・バイト（000C1H）で動作モードと検出電圧（V_{LVDH},V_{LVDL},V_{LVD}）を設定します。電圧検出（LVD）回路は，次のような機能を持ちます。

- 電源電圧（V_{DD}）と検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）を比較し，内部リセットまたは割り込み要求信号を発生します。
- 電源電圧の検出電圧（V_{LVDH}, V_{LVDL}, V_{LVD}）は，オプション・バイトにて検出レベルを9段階より選択できます（第25章　オプション・バイト参照）。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は，30. 4または31. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
  動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

（a）割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 0）

オプション・バイト000C1Hで2つの検出電圧（V_{LVDH}，V_{LVDL}）を選択します。高電圧検出レベル（V_{LVDH}）はリセット解除用／割り込み発生用として使用します。低電圧検出レベル（V_{LVDL}）はリセット発生用として使用します。

（b）リセット・モード（オプション・バイトLVIMDS1, LVIMDS0 = 1, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット発生／解除用として使用します。

（c）割り込みモード（オプション・バイトLVIMDS1, LVIMDS0 = 0, 1）

オプション・バイト000C1Hで選択する1つの検出電圧（V_{LVD}）を，リセット解除用／割り込み発生用として使用します。

各モードにおける割り込み信号と内部リセット信号は，次のように発生します。

割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0）	リセット・モード（LVIMDS1, LVIMDS0 = 1, 1）	割り込みモード（LVIMDS1, LVIMDS0 = 0, 1）
動作電圧降下時に，V_{DD}＜V_{LVDH}を検出して割り込み要求信号を発生，V_{DD}＜V_{LVDL}を検出して内部リセットを発生。 V_{DD}≧V_{LVDH}を検出して内部リセットを解除。	V_{DD}≧V_{LVD}を検出して内部リセットを解除。V_{DD}＜V_{LVD}を検出して内部リセットを発生。	リセット発生直後、LVDの内部リセットは V_{DD}≧V_{LVD}になるまでリセット状態を継続します。V_{DD}≧V_{LVD}を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は，V_{DD}＜V_{LVD}またはV_{DD}≧V_{LVD}を検出して割り込み要求信号（INTLVI）を発生します。

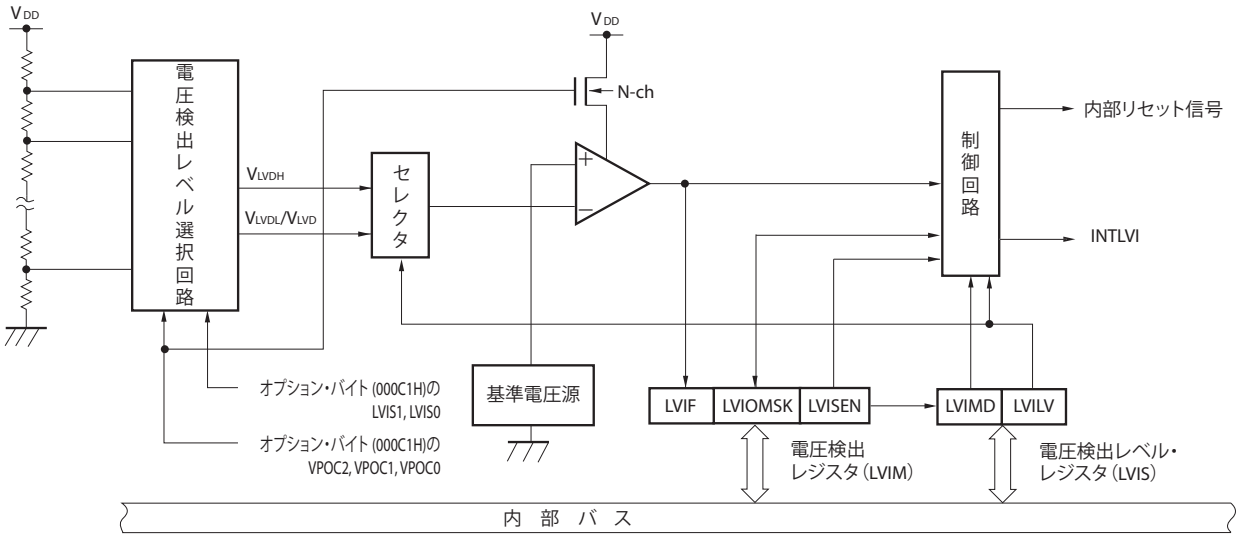
電圧検出回路動作時では，電圧検出フラグ（LVIF：電圧検出レジスタ（LVIM）のビット0）を読み出すことにより，電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ（RESF）のビット0（LVIRF）がセット（1）されます。RESFレジスタについての詳細は，第20章　リセット機能を参照してください。

22. 2　電圧検出回路の構成

電圧検出回路のブロック図を図22－1に示します。

図22－1　電圧検出回路のブロック図



22. 3　電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

・電圧検出レジスタ（LVIM）
・電圧検出レベル・レジスタ（LVIS）

22. 3. 1　電圧検出レジスタ（LVIM）

電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定，LVD出力のマスク状態を確認するレジスタです。

LVIMレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図22－2　電圧検出レジスタ（LVIM）のフォーマット

アドレス：FFFA9H　リセット時：00H[注1]　R/W[注2]

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN[注3]	0	0	0	0	0	LVIOMSK	LVIF

LVISEN[注3]	電圧検出レベル・レジスタ（LVIS）の書き換え許可／禁止の設定
0	LVISレジスタの書き換え禁止（LVIOMSK = 0（LVD出力マスク無効）になる）
1	LVISレジスタの書き換え許可（LVIOMSK = 1（LVD出力マスク有効）になる）

LVIOMSK	LVD出力マスク状態フラグ
0	LVD出力マスク無効
1	LVD出力マスク有効 [注4]

LVIF	電圧検出フラグ
0	電源電圧（V_{DD}）≧検出電圧（V_{LVD}），またはLVDオフ時
1	電源電圧（V_{DD}）＜検出電圧（V_{LVD}）

注1. リセット値は，リセット要因により変化します。
LVDによるリセットのときには，LVIMレジスタの値はリセットされず，そのままの値を保持します。その他のリセットでは，LVISENは“0”にクリアされます。

2. ビット0, 1は，Read Onlyです。

3. 割り込み＆リセット・モード（オプション・バイトLVIMDS1, LVIMDS0=1,0）選択時のみ設定できます。その他モードでは初期値から変更しないでください。

4. 割り込み＆リセット・モード（オプション・バイトLVIMDS1，LVIMDS0=1，0）選択時のみ，LVIOMSKビットは以下の期間に自動で“1”となり，LVDによるリセットまたは割り込み発生がマスクされます。
・LVISEN = 1の期間
・LVD割り込み発生から，LVD検出電圧が安定するまでの待ち時間
・LVILVビットの値変更から，LVD検出電圧が安定するまでの待ち時間

22. 3. 2　電圧検出レベル・レジスタ（LVIS）

電圧検出レベルを設定するレジスタです。

LVISレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00H/01H/81H[注1]になります。

図22－3　電圧検出レベル・レジスタ（LVIS）のフォーマット

アドレス：FFFAAH　リセット時：00H/01H/81H[注1]　R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD	0	0	0	0	0	0	LVILV

LVIMD[注2]	電圧検出の動作モード
0	割り込みモード
1	リセット・モード

LVILV[注2]	LVD検出レベル
0	高電圧検出レベル（V_{LVDH}）
1	低電圧検出レベル（V_{LVDL}またはV_{LVD}）

注1. リセット値は，リセット要因およびオプション・バイトの設定により変化します。
LVDリセット時は，クリア（00H）されません。
LVD以外のリセット時は，次のようになります。
・オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき：00H
・オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき：81H
・オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき：01H

2. 割り込み＆リセット・モード（オプション・バイトLVIMDS1，LVIMDS0=1,0）選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み＆リセット・モードでのリセットまたは割り込み発生により，自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は，図22－8の手順で行ってください。

2. LVDの動作モードと各モードの検出電圧（V_{LVDH},V_{LVDL},V_{LVD}）は，オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを表22－1に示します。オプション・バイトの詳細は第24章　オプション・バイトを参照してください。

図22－4　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	2.45 V	0	1	0	1	0	1	0
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
－			上記以外は設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.50 V	2.45 V	0	1	0	1	1	1	1
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考　検出電圧はTYP.値です。詳細は，30. 6. 4または31. 6. 4　LVD回路特性を参照してください。

（注意は，次ページにあります。）

図22－4　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.50 V	2.45 V	0	1	0	1	1	0	1
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

・LVDオフ　（$\overline{\text{RESET}}$端子による外部リセットを使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意1.　ビット4には，必ず1を書き込んでください。

2.　電源立ち上がり時は，30. 4または31. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

備考　1.　×：don’t care

2.　検出電圧はTYP.値です。詳細は，30. 6. 4または31. 6. 4　LVD回路特性を参照してください。

22. 4　電圧検出回路の動作

22. 4. 1　リセット・モードとして使用する場合の設定

動作モード（リセット・モード（LVIMDS1, LVIMDS0 = 1,1 ））と検出電圧（V_{LVD}）の設定は，オプション・バイト000C1Hで設定します。

リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，81Hに設定されます。

ビット7（LVIMD）は“1”（リセット・モード）

ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

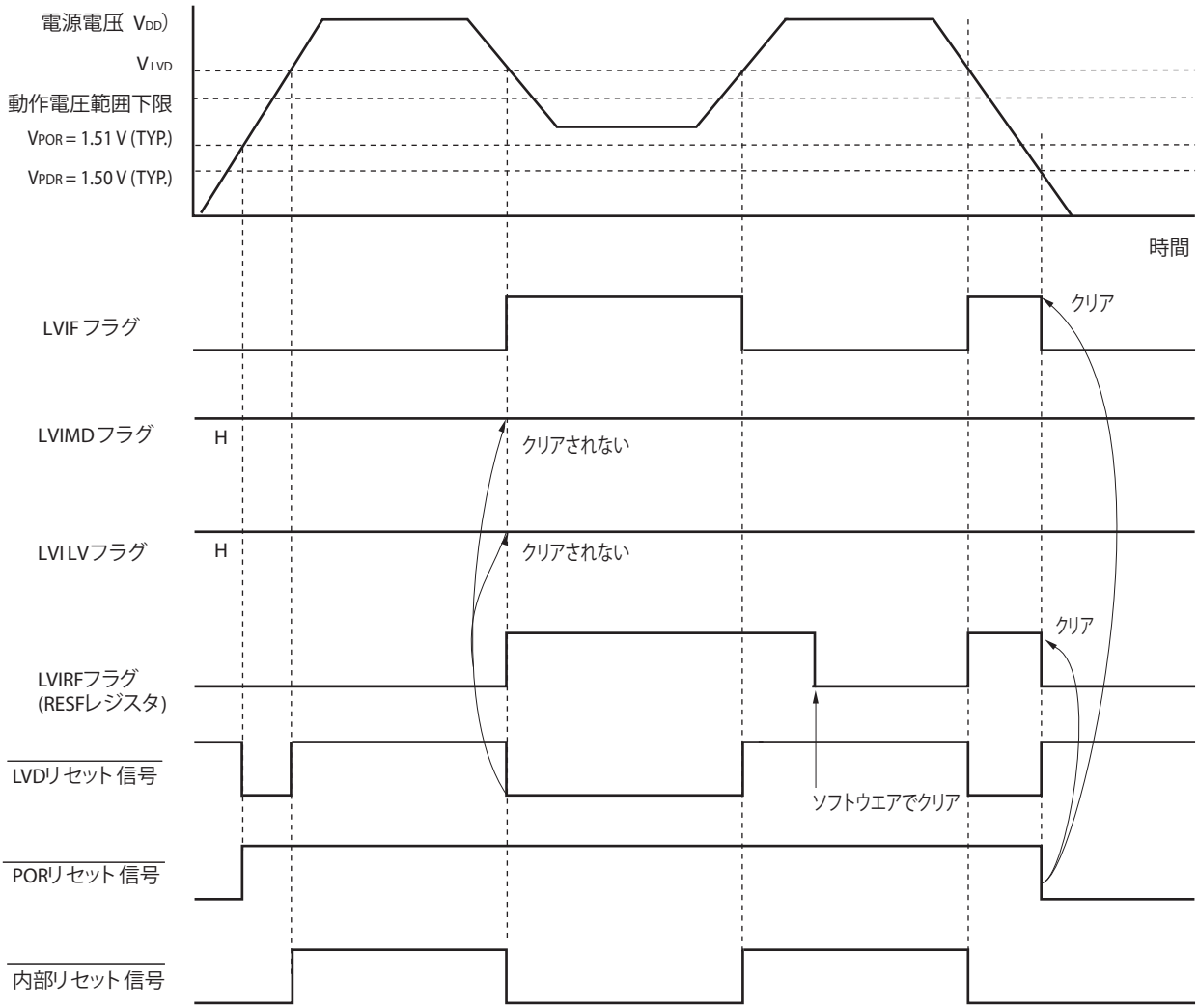
●LVDリセット・モードの動作

リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）は，電源投入時，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を下回るとLVDによる内部リセットが発生します。

図22－5に，LVDリセット・モードの内部リセット信号発生のタイミングを示します。

図22－5　内部リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1）



備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

22. 4. 2　割り込みモードとして使用する場合の設定

動作モード（割り込みモード（LVIMDS1, LVIMDS0 = 0, 1））と検出電圧（V_{LVD}）の設定は，オプション・バイト000C1Hで設定します。

割り込みモードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，01Hに設定されます。
ビット7（LVIMD）は“0”（割り込みモード）
ビット0（LVILV）は“1”（電圧検出レベル：V_{LVD}）

●LVD割り込みモードの動作

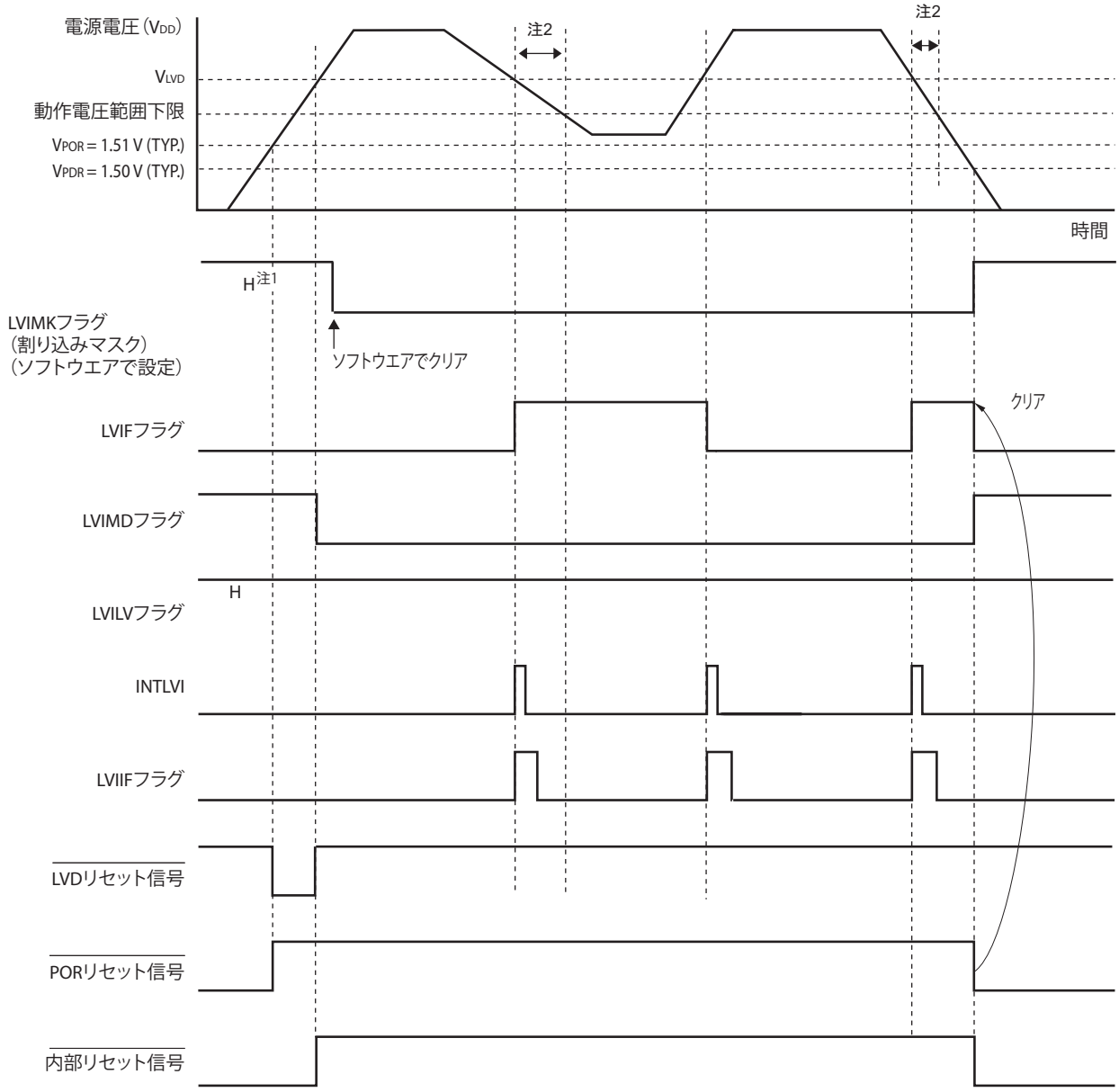
割り込みモード（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）では，リセット発生直後，電源電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を上回るまではLVDによる内部リセット状態を保ちます。動作電圧（V_{DD}）が電圧検出レベル（V_{LVD}）を上回るとLVDによる内部リセットを解除します。

LVDの内部リセット解除後は，電源電圧（VDD）が電圧検出レベル（VLVD）を超えるとLVDによる割り込み要求信号（INTLVI）が発生します。

動作電圧降下時は，30. 4または31. 4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

図22－6に，LVD割り込みモードの割り込み要求信号発生のタイミングを示します。

図22－6　割り込み信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 0, 1）



注1.　LVIMKフラグはリセット信号の発生により，“1”になっています。

2.　動作電圧降下時は，30. 4または31. 4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

22. 4. 3　割り込み＆リセット・モードとして使用する場合の設定

動作モード（割り込み＆リセット・モード（LVIMDS1, LVIMDS0 = 1, 0））と検出電圧（V_{LVDH}, V_{LVDL}）の設定は，オプション・バイト000C1Hで設定します。

割り込み＆リセット・モードを設定した場合，次の初期設定の状態で動作を開始します。

・電圧検出レジスタ（LVIM）のビット7（LVISEN）は，“0”（電圧検出レベル・レジスタ（LVIS）の書き換え禁止）に設定されます。

・電圧検出レベル・レジスタ（LVIS）の初期値は，00Hに設定されます。ビット7（LVIMD）は“0”（割り込みモード），ビット0（LVILV）は“0”（高電圧検出レベル：VLVDH）

●LVD割り込み＆リセット・モードの動作

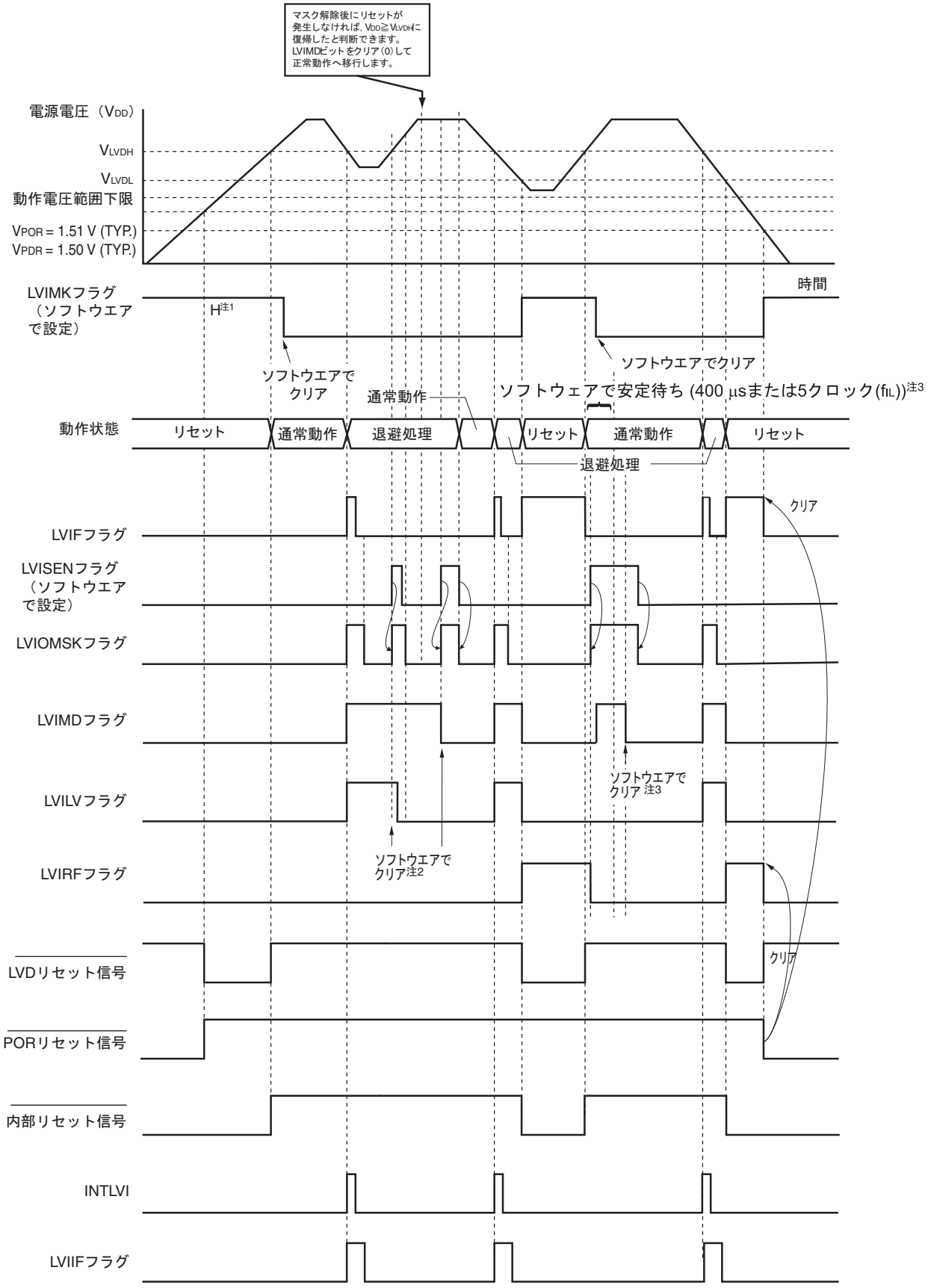
割り込み＆リセット・モード（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）は，電源投入時，電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えるまではLVDによる内部リセット状態を保ちます。電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を超えると内部リセットを解除します。

動作電圧降下時は電源電圧（V_{DD}）が高電圧検出レベル（V_{LVDH}）を下回るとLVDによる割り込み要求信号（INTLVI）が発生し，任意の退避処理を行うことができます。その後，電源電圧（V_{DD}）が低電圧検出レベル（V_{LVDL}）を下回るとLVDによる内部リセットが発生します。ただし，INTLVI発生後，電源電圧（V_{DD}）が低電圧検出電圧（V_{LVDL}）を下回らずに高電圧検出電圧（V_{LVDH}）以上に復帰しても割り込み要求信号は発生しません。

LVD割り込み＆リセット・モードの使用する場合は，”図22－8　動作電圧確認／リセットの設定手順”に示すフローチャートの手順に従って設定をしてください。

図22－7に，LVD割り込み＆リセット・モードの内部リセット信号と割り込み信号発生のタイミングを示します。

図22－7　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（1/2）



（注，備考は次ページにあります。）

注 1.　LVIMKフラグはリセット信号の発生により，“1”になっています。

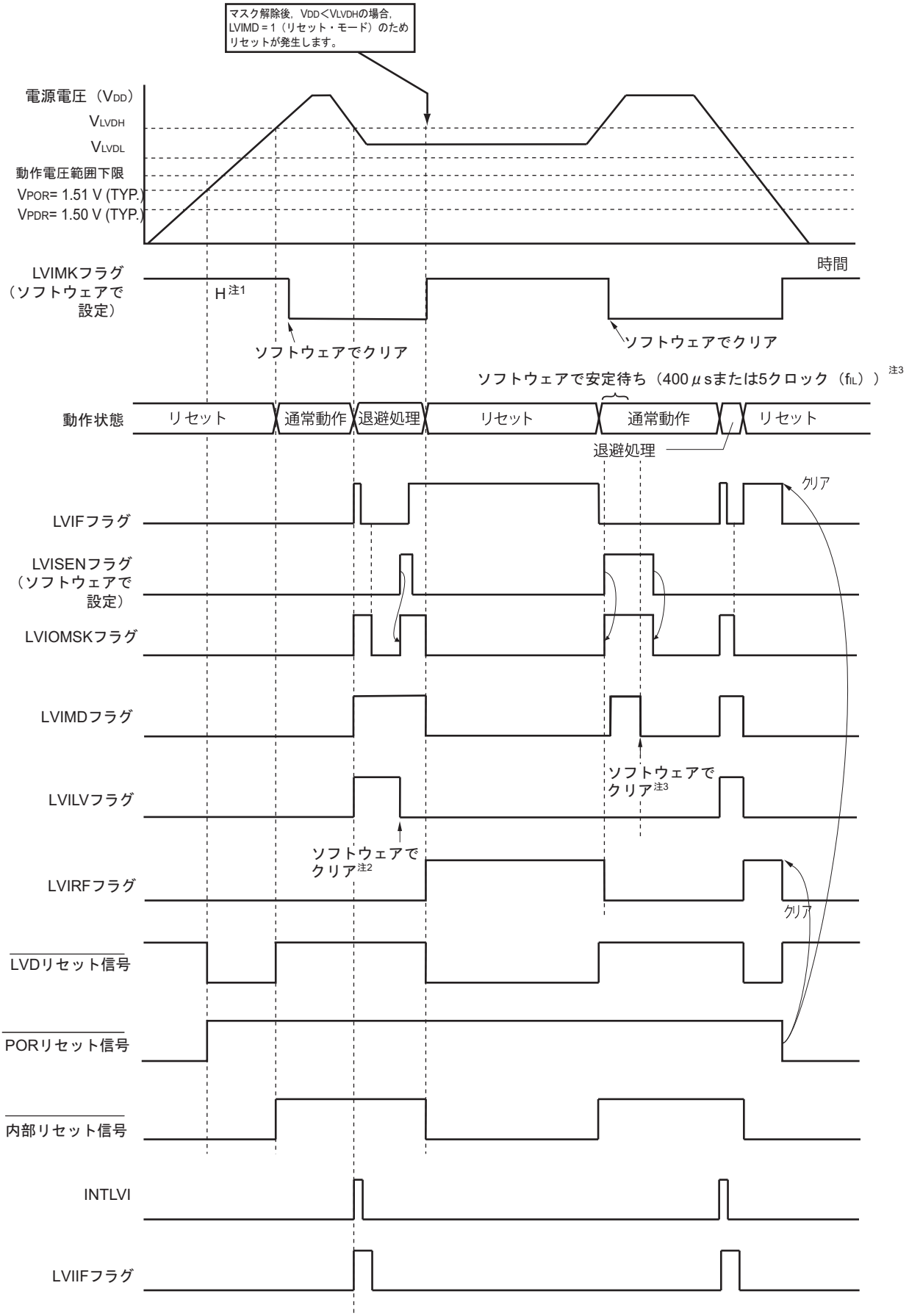
2.　割り込み＆リセット・モード使用時，割り込み発生後は，図22－8　動作電圧確認／リセットの設定手順に従って設定をしてください。

3.　割り込み＆リセット・モード使用時，リセット解除後は，図22－9　割り込み＆リセット・モードの初期設定の設定手順に従って設定をしてください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図22－7　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）（2/2）



（注，備考は次ページにあります。）

注 1.　LVIMKフラグはリセット信号の発生により，“1”になっています。

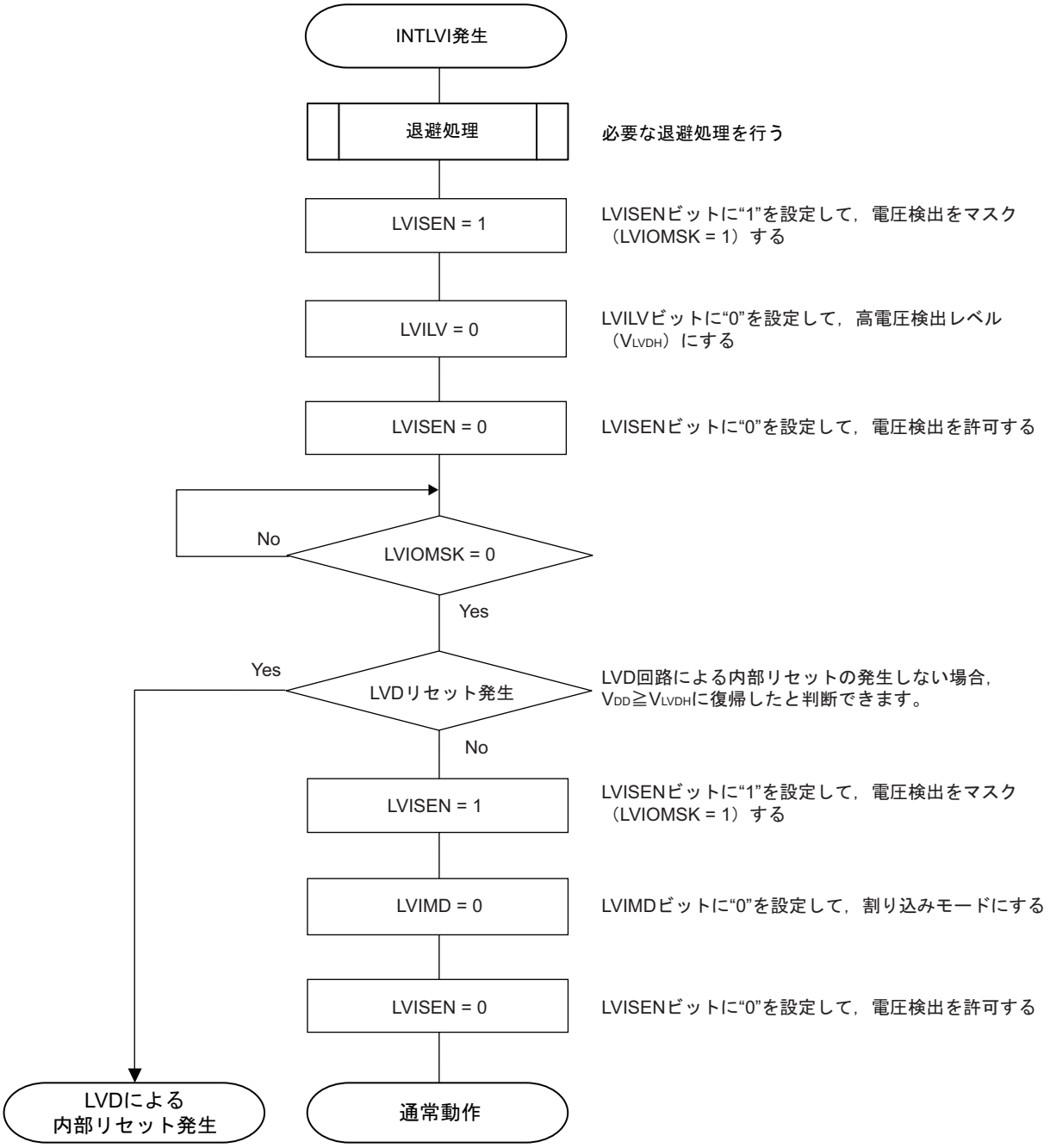
2.　割り込み＆リセット・モード使用時，割り込み発生後は，図22－8　動作電圧確認／リセットの設定手順に従って設定をしてください。

3.　割り込み＆リセット・モード使用時，リセット解除後は，図22－9　割り込み＆リセット・モードの初期設定の設定手順に従って設定をしてください。

備考　V_{POR}：POR電源立ち上がり検出電圧

V_{PDR}：POR電源立ち下がり検出電圧

図22－8　動作電圧確認／リセットの設定手順



22. 5　電圧検出回路の注意事項

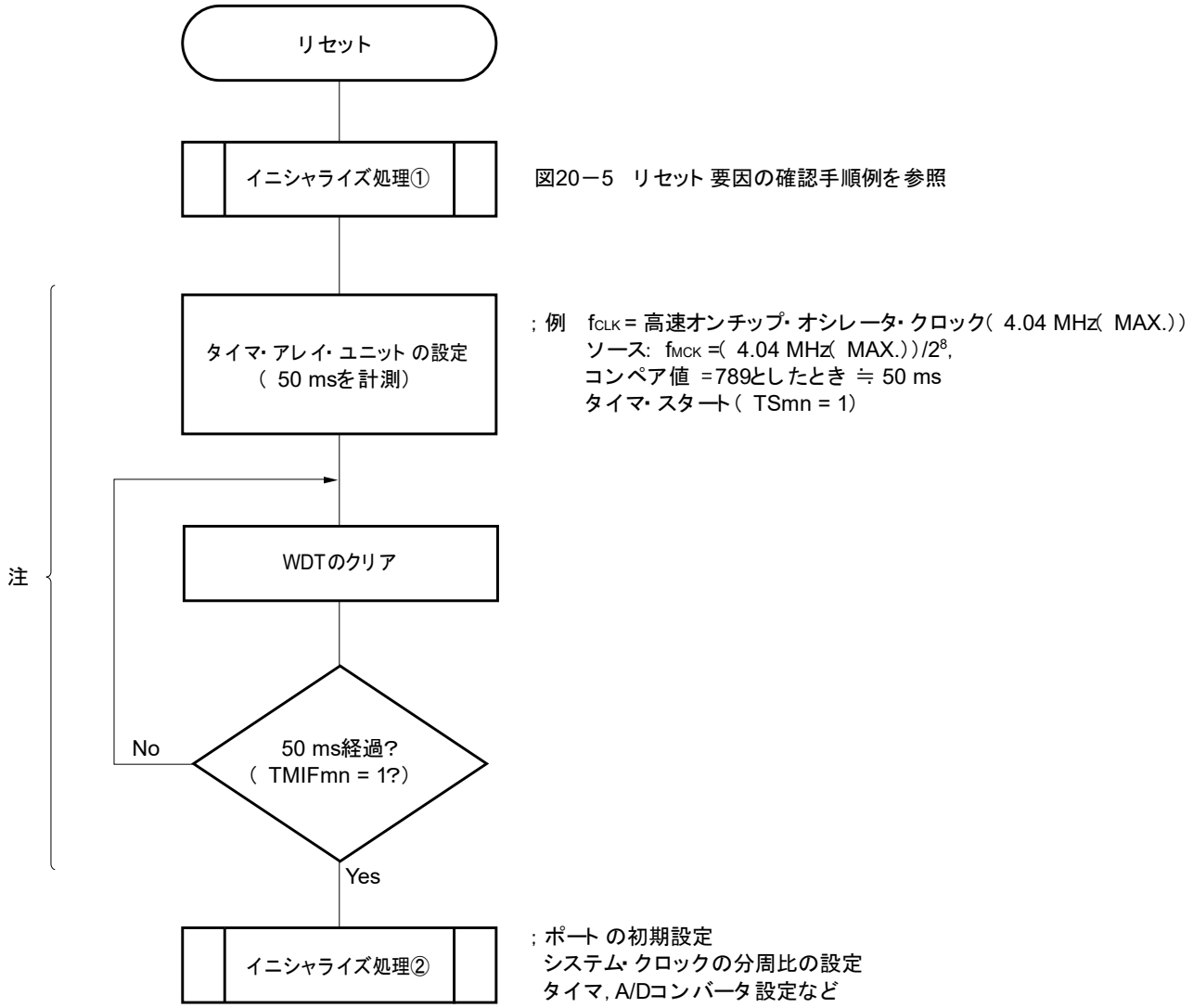
(1)　電源投入時の電圧変動について

電源電圧（V_{DD}）がLVD検出電圧付近で，ある期間ふらつくような構成のシステムでは，リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって，リセット解除からマイコン動作開始までの時間を任意に設定できます。

＜処　置＞

リセット解除後，タイマなどを使用するソフトウエア・カウンタにて，システムごとに異なる電源電圧変動期間をウエイトしてから，ポートなどを初期設定してください。

図22－9　LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



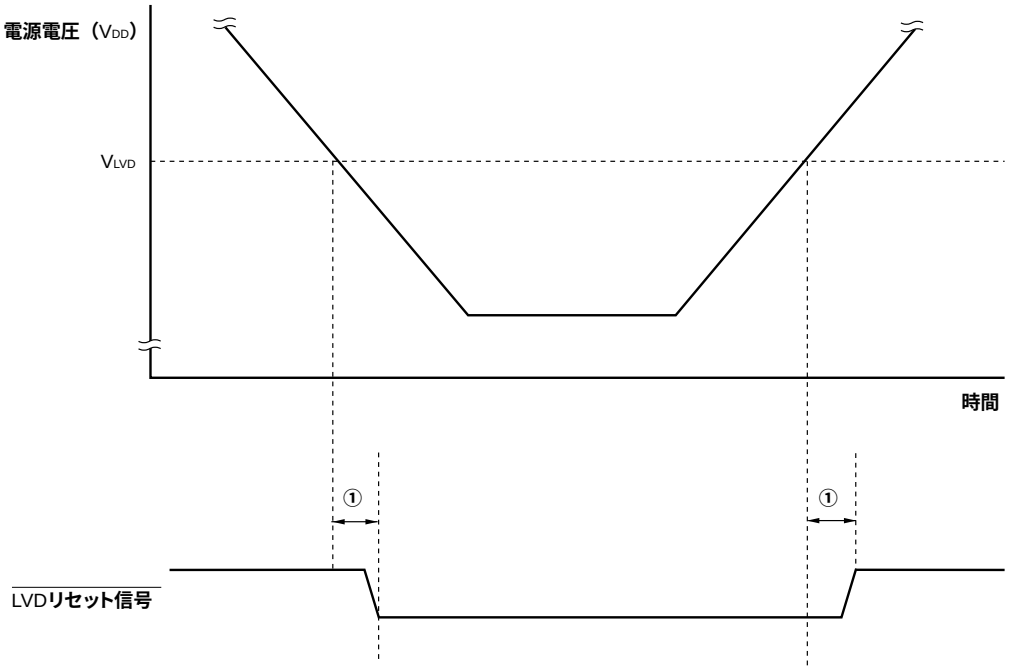
注　この間に再度リセットが発生した場合，イニシャライズ処理②には移行しません。

備考　m = 0, n = 0-3

（2）LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧（V_{DD}）＜LVD検出電圧（V_{LVD}）になってから，LVDリセットが発生するまでには遅延が生じます。同じようにLVD検出電圧（V_{LVD}）≦電源電圧（V_{DD}）になってから，LVDリセットが解除されるまでにも遅延が生じます（図22－10参照）。

図22－10　LVDリセット要因発生からLVDリセット発生または解除までの遅延



①：検出遅延（300 μs（MAX.））

（3）LVDオフに設定した場合の電源立ち上げについて

LVDオフに設定したときは必ず$\overline{\text{RESET}}$端子による外部リセットを使用してください。

外部リセットを行う場合，$\overline{\text{RESET}}$端子に10 μs以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は，$\overline{\text{RESET}}$端子にロウ・レベルを入力してから電源を投入し，30. 4または31. 4　AC特性に示す動作電圧範囲内の期間で10 μs以上ロウ・レベルを継続した後に，ハイ・レベルを入力してください。

（4）LVDオフおよびLVD割り込みモードに設定した場合の動作電圧降下時について

LVDオフおよびLVD割り込みモードに設定したときの動作電圧降下時は，30. 4または31. 4　AC特性に示す動作電圧範囲を下回る前に，STOPモードに移行するか，外部リセットでリセット状態にしてください。再び動作を開始するときは，電源電圧が動作電圧範囲内に復帰したことを確認してください。

第23章　安全機能

23. 1　安全機能の概要

★　安全規格IEC60730に対応するため，RL78/G1Cでは以下の安全機能を搭載しています。
この安全機能は，マイコンで自己診断することで，故障を検出して安全に停止することを目的としています。

（1）フラッシュ・メモリCRC演算機能（高速CRC，汎用CRC）
CRC演算を行うことにより，フラッシュ・メモリのデータ誤りを検出します。
用途や使用条件に応じて，以下の2つのCRCを使い分けていただくことができます。
・「高速CRC」… 初期設定ルーチンの中で，CPUを停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。
・「汎用CRC」… CPU動作中に，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用できます。

（2）RAMパリティ・エラー検出機能
RAMをデータとして読み出すとき，パリティ・エラーを検出します。

（3）RAMガード機能
CPUの暴走によるRAMデータの書き換えを防止します。

（4）SFRガード機能
CPUの暴走によるSFRの書き換えを防止します。

（5）不正メモリ・アクセス検出機能
不正メモリ領域（メモリが存在しない，アクセスが制限されている領域）への不正なアクセスを検出します。

（6）周波数検出機能
タイマ・アレイ・ユニットを使用して，CPU/周辺ハードウエア・クロック周波数の自己チェックができます。

（7）A/Dテスト機能
A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧をA/D変換することにより，A/Dコンバータの自己チェックができます。

（8）入出力ポートのデジタル出力信号レベル検出機能
入出力ポートが出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）時に，端子の出力レベルをリードすることができます。

備考1.　m = 0-7, 12, 14, n = 0-7
2.　安全規格IEC60730に対応する安全機能の使用例は，RL78 MCUシリーズのIEC60730/60335 セルフテスト・ライブラリ アプリケーションノート（R01AN0749，R01AN1062，R01AN1296）を参照してください。

23. 2　安全機能で使用するレジスタ

安全機能では，各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ（CRC0CTL） ・フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）	フラッシュ・メモリCRC演算機能 （高速CRC）
・CRC入力レジスタ（CRCIN） ・CRCデータ・レジスタ（CRCD）	CRC演算機能 （汎用CRC）
・RAMパリティ・エラー制御レジスタ（RPECTL）	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ（IAWCTL）	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0（TIS0）	周波数検出機能
・A/Dテスト・レジスタ（ADTES）	A/Dテスト機能
・ポート・モード選択レジスタ（PMS）	入出力ポートのデジタル出力信号レベル検出機能

各レジスタの内容については，23. 3　安全機能の動作の中で説明します。

23. 3　安全機能の動作

23. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）

IEC60730ではフラッシュ・メモリ内のデータ確認が義務付けられており，その確認手段としてCRCが推奨されています。この高速CRCでは，初期設定（イニシャライズ）ルーチンの間に，コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは，CPUを停止させて，フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため，チェック終了までの時間が短いことが特徴です。

（例．フラッシュ・メモリ32 KB@24 MHzの場合：340 μs（1/24 MHz×(32 KB/4×1024－4 byte/4)））

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意　オンチップ・デバッグでは，モニタ・プログラムを配置するため，CRC演算結果が異なります。

備考　汎用CRCはLSBファーストのため、演算結果は異なります。

23. 3. 1. 1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－1　フラッシュ・メモリCRC制御レジスタ（CRC0CTL）のフォーマット

アドレス：F02F0H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	00000H-3FFBH（16K−4バイト）
0	0	0	0	0	1	00000H-7FFBH（32K−4バイト）
上記以外						設定禁止

備考　フラッシュ・メモリの最後の4バイトには，あらかじめ比較用のCRC演算結果期待値を入れてください。そのため，演算範囲は4バイト引いた範囲になっています。

23. 3. 1. 2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図23－2　フラッシュ・メモリCRC演算結果レジスタ（PGCRCL）のフォーマット

アドレス：F02F2H　リセット時：0000H　R/W

略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0

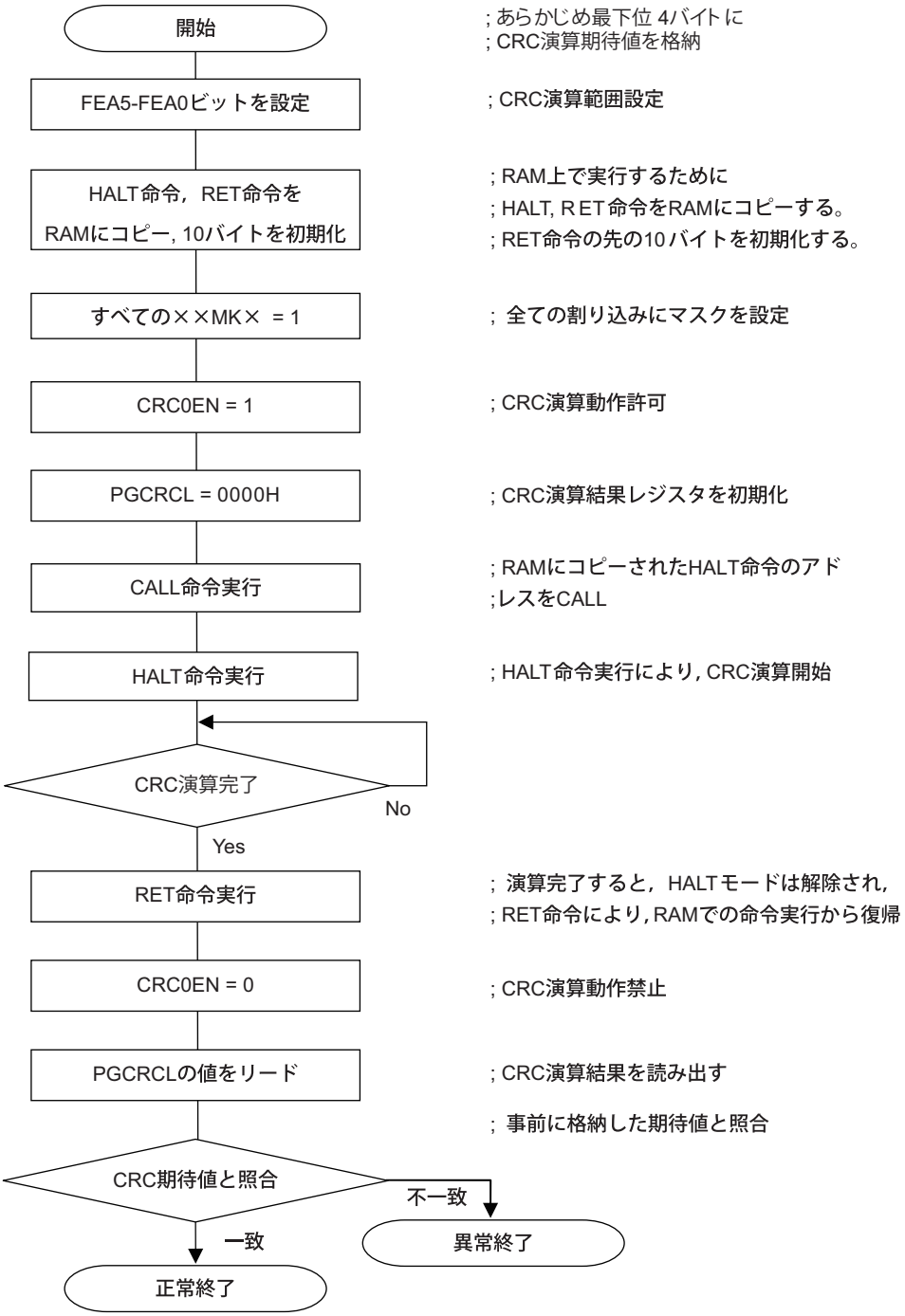
PGCRC15-0	高速CRC演算結果
0000H-FFFFH	高速CRC演算結果を格納

注意　PGCRCLレジスタは，CRC0EN（CRC0CTLレジスタのビット7）= 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを図23－3に示します。

＜動作フロー＞

図23－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャート



注意1.　CRC演算の対象は，コード・フラッシュのみです。

2.　CRC演算の期待値は，コード・フラッシュ内の演算範囲の後に格納してください。

3.　RAM領域にて，HALT命令を実行することで，CRC演算が有効になります。
必ずRAM領域でHALT命令を実行してください。

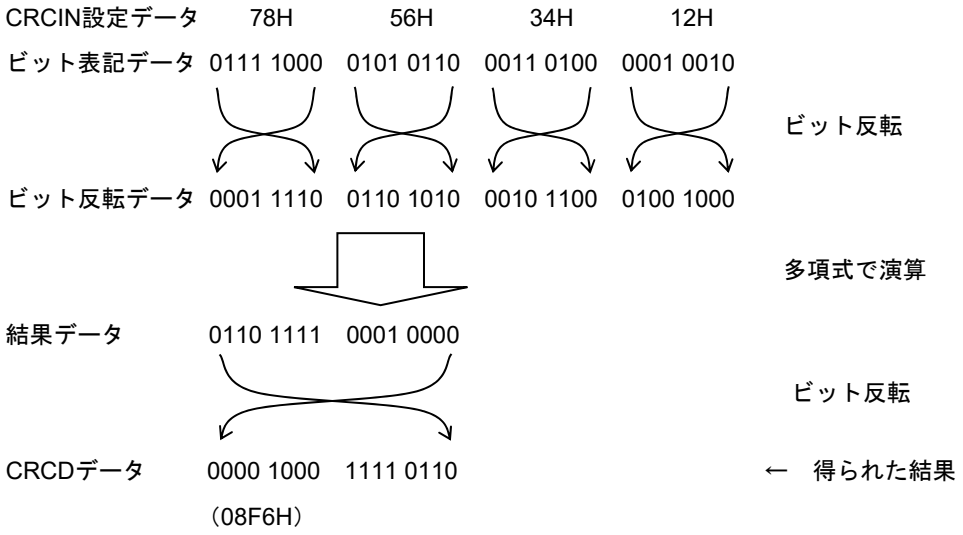
CRC演算の期待値は，総合開発環境 CubeSuite+を使用して算出することができます。詳細は，CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

23. 3. 2　CRC演算機能（汎用CRC）

★　この汎用CRCでは，CPU動作中に，周辺機能としてCRC演算を実行できます。汎用CRCは，コード・フラッシュ・メモリ領域に限らず，多用途のチェックに使用することができます。確認するデータは，ソフトウエア（ユーザ・プログラム）で指定します。HALTモード時のCRC演算機能は，DMA転送中だけ使用できます。

メイン・システム・クロック動作モードでも，サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「$X^{16}+X^{12}+X^{5}+1$」を使用します。入力するデータはLSBファーストでの通信を考慮して，ビットの並びを反転して演算します。たとえば，データ12345678HをLSBから送信する場合には78H，56H，34H，12Hの順でCRCINレジスタに値を書き込むことで，CRCDレジスタから08F6Hの値が得られます。これは，データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意　プログラム実行中，デバッガはソフトウエア・ブレーク設定行をブレーク命令へ書き変えるため，CRC演算の対象領域にソフトウエア・ブレークを設定すると，CRC演算結果が異なります。

23. 3. 2. 1　CRC入力レジスタ（CRCIN）

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は，00H-FFHです。

CRCINレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－4　CRC入力レジスタ（CRCIN）のフォーマット

アドレス：FFFACH　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
CRCIN								

ビット7-0	機　能
00H-FFH	データ入力

23. 3. 2. 2　CRCデータ・レジスタ（CRCD）

汎用CRCのCRC演算結果を格納するレジスタです。

設定可能範囲は，0000H-FFFFHです。

CRCINレジスタ書き込みから，CPU／周辺ハードウエア・クロック（f_{CLK}）の1クロック経過後に，CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは，16ビット・メモリ操作命令で設定します。

リセット信号の発生により，0000Hになります。

図23－5　CRCデータ・レジスタ（CRCD）のフォーマット

アドレス：F02FAH　リセット時：0000H　R/W

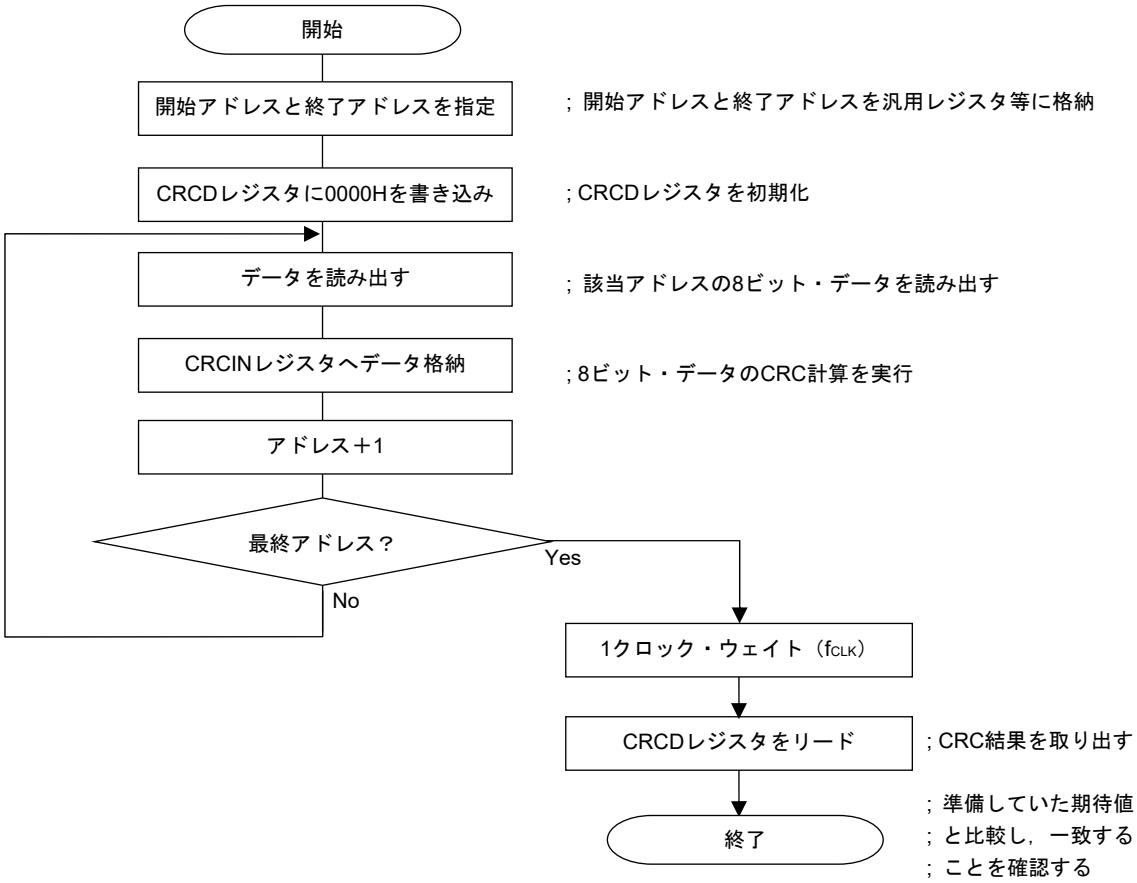
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1.　CRCDレジスタに書き込まれた値を読み出す場合は，CRCINレジスタへの書き込みを行う前にリードしてください。

2.　CRCDレジスタへの書き込みと演算結果の格納が競合した場合，書き込みは無視されます。

＜動作フロー＞

図23－6　CRC演算機能（汎用CRC）のフロー・チャート



23. 3. 3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため，RL78/G1CのRAMには，8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では，データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。また，パリティ・エラー発生時にリセットを発生することもできます。

23. 3. 3. 1 RAMパリティ・エラー制御レジスタ（RPECTL）

パリティ・エラーの発生確認ビットと，パリティ・エラーによるリセット発生を制御するレジスタです。
RPECTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により，00Hになります。

図23－7 RAMパリティ・エラー制御レジスタ（RPECTL）のフォーマット

アドレス：F00F5H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF

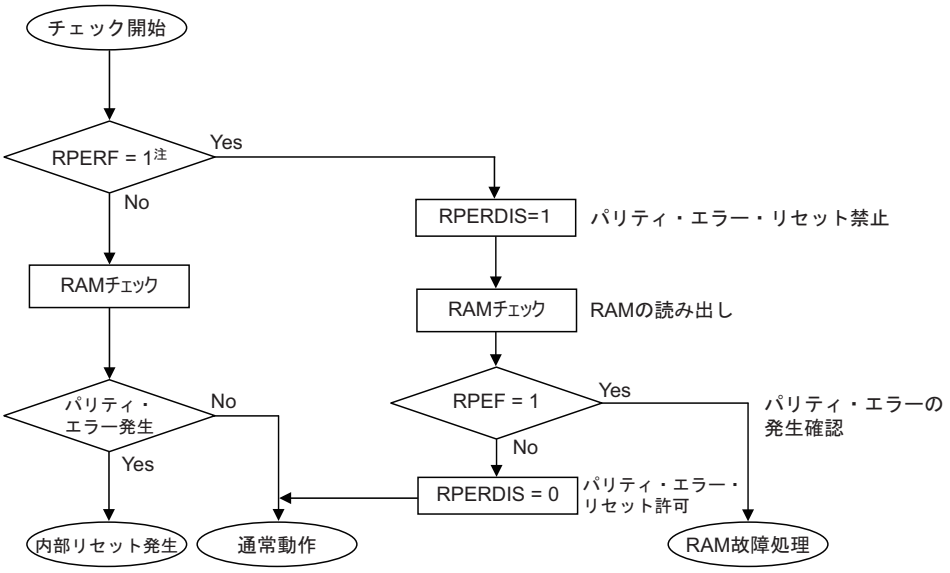
RPERDIS	パリティ・エラー・リセット・マスク・フラグ
0	パリティ・エラー・リセット発生を許可
1	パリティ・エラー・リセット発生を禁止

RPEF	パリティ・エラー・ステータス・フラグ
0	パリティ・エラーが発生していない
1	パリティ・エラーが発生した

注意 データ書き込み時にパリティが書き込まれ，データ読み出し時にパリティをチェックします。
そのため，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。
また，RL78はパイプライン動作のためCPUが先読みを行い，使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで，RAMパリティ・エラーが発生する場合があります。
したがって，RAMパリティ・エラー・リセット発生を許可する（RPERDIS = 0）場合，RAM領域からの命令実行時は「使用するRAM領域＋10バイト」の領域を必ず初期化してください。

備考 1. 初期状態では，パリティ・エラー・リセット発生許可（RPERDIS = 0）になっています。
2. パリティ・エラー・リセット発生禁止（RPERDIS = 1）を設定時に，パリティ・エラーが発生した場合も，RPEFフラグはセット（1）されます。なお，RPEF = 1の状態で，パリティ・エラー・リセット発生許可（RPERDIS = 0）に設定すると，RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。
3. RPECTLレジスタのRPEFフラグは，パリティ・エラー発生時にセット（1）され，0の書き込み，またはすべてのリセット要因によりクリア（0）されます。RPEF = 1のときに，パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。
4. 汎用レジスタは，RAMパリティ・エラー検出の範囲に含みません。

図23－8　RAMパリティ・チェックのフローチャート



注　RAMパリティ・エラーによる内部リセットの確認は，第20章　リセット機能を参照してください。

23. 3. 4　RAMガード機能

★　このRAMガード機能は，指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると，指定した空間へのRAM書き込みは無効になり，読み出しは通常通りに可能となります。

23. 3. 4. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では，GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－9　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0077H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GRAM1	GRAM0	RAMガード空間
0	0	無効。RAMへのライト可能
0	1	RAMの先頭アドレスから128バイト
1	0	RAMの先頭アドレスから256バイト
1	1	RAMの先頭アドレスから512バイト

23. 3. 5　SFRガード機能

★　SFRガード機能は，ポート機能，割り込み機能，クロック制御機能，電圧検出回路，RAMパリティ・エラー機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると，ガードされたSFRへの書き込みは無効になり，読み出しは通常通りに可能となります。

23. 3. 5. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では，GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－10　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0077H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

GPORT	ポート機能の制御レジスタのガード
0	無効。ポート機能の制御レジスタのリード／ライト可能。
1	有効。ポート機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIOR 注1

GINT	割り込み機能のレジスタのガード
0	無効。割り込み機能の制御レジスタのリード／ライト可能。
1	有効。割り込み機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］IFxx, MKxx, PRxx, EGPx, EGNx

GCSC 注2	クロック制御機能，電圧検出回路，RAMパリティ・エラー機能の制御レジスタのガード
0	無効。クロック制御機能，電圧検出回路，RAMパリティ・エラー機能の制御レジスタのリード／ライト可能。
1	有効。クロック制御機能，電圧検出回路，RAMパリティ・エラー機能の制御レジスタのライト無効。リード可能。 ［ガードされるSFR］CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL, DSCCTL

注1.　Pxx（ポート・レジスタ）はガードされません。

2.　セルフ・プログラミング／シリアル・プログラミング時は，GCSC = 0に設定してください。

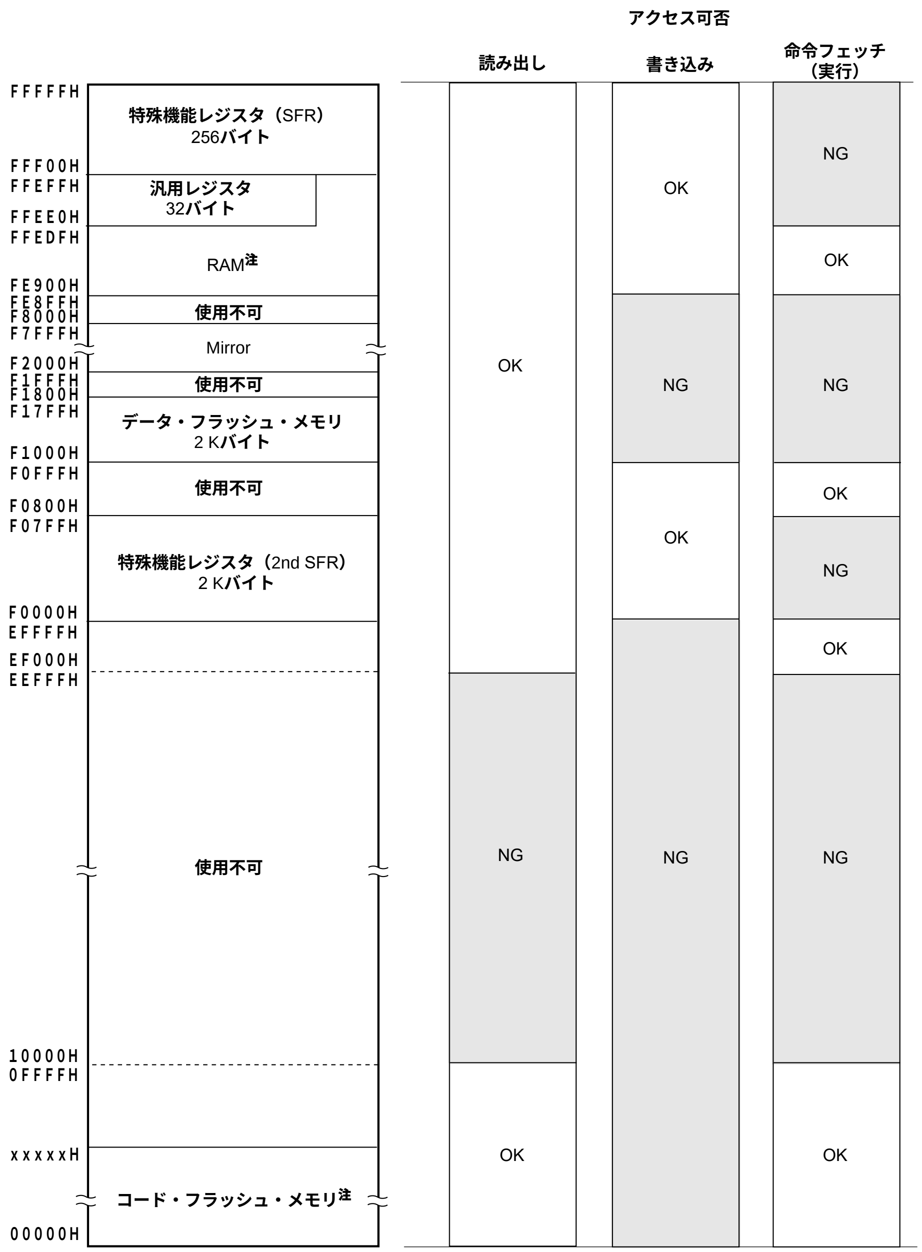
23. 3. 6　不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は，規定された不正アクセス検出空間をアクセスした際に，リセットを発生させる機能です。

不正アクセス検出空間は，図23－11で「NG」と記載した範囲になります。

図23－11　不正アクセス検出空間



注　各製品のコード・フラッシュ・メモリ，RAMのアドレスは次のようになります。

製　　品	コード・フラッシュ・メモリ（00000H-xxxxxH）	RAM（FE900H-FFEFFH）	読み出し／命令フェッチ（実行）時の検出最下位アドレス（yyyyyH）
R5F10JBxxxx（xxxx = CANA, CAFP, CGNA, CGFP）， R5F10KBxxxx（xxxx = CANA, CAFP, CGNA, CGFP）， R5F10JGxxxx（xxxx = CANA, CAFB, CGNA, CGFB）， R5F10KGxxxx（xxxx = CANA, CAFB, CGNA, CGFB）	32768×8ビット（00000H-07FFFH）	5632×8ビット（FE900H-FFEFFH）	10000H

23. 3. 6. 1　不正メモリ・アクセス検出制御レジスタ（IAWCTL）

不正メモリ・アクセスの検出可否，RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では，IAWENビットを使用します。

IAWCTLレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－12　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマット

アドレス：F0077H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC

IAWEN注	不正メモリ・アクセスの検出制御
0	不正メモリ・アクセスの検出無効
1	不正メモリ・アクセスの検出有効

注　IAWENビットは1の書き込みのみを有効とし，IAWEN = 1としたあとの0の書き込みは無効です。

備考　オプション・バイトWDTON = 1（ウォッチドッグ・タイマ動作許可）のとき，IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

23. 3. 7　周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

周波数検出機能は，CPU/周辺ハードウエア・クロック周波数（f_{CLK}）を使用し，タイマ・アレイ・ユニット0(TAU0)のチャネル1の入力パルスを測定することで，2つのクロックの比率関係が正しいか判定することができます。ただし，片一方のクロック，もしくは両方のクロックが完全に停止している場合は，クロックの比率関係を判定することができません。

＜比較するクロック＞

①CPU/周辺ハードウエア・クロック周波数（f_{CLK}）：

・高速オンチップ・オシレータ・クロック（f_{IH}）

・高速システム・クロック（f_{MX}）

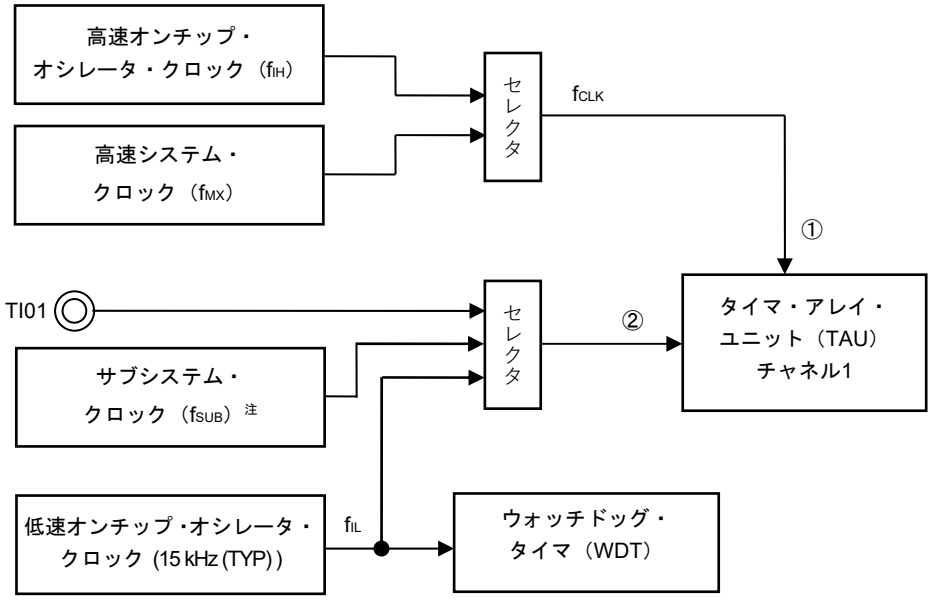
②タイマ・アレイ・ユニットのチャネル1入力：

・チャネル1のタイマ入力(TI01)

・低速オンチップ・オシレータ・クロック（f_{IL}：15 kHz（TYP.））

・サブシステム・クロック（f_{SUB}）注

図23－13　周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は，「クロック周波数に異常がある」と判定できます。入力パルス間隔測定の方法については，6. 8. 4　入力パルス間隔測定としての動作を参照してください。

注　サブシステム・クロック搭載している製品のみ選択可能です。

23. 3. 7. 1　タイマ入力選択レジスタ0（TIS0）

TIS0レジスタは，タイマ・アレイ・ユニット0(TAU0)のチャネル1のタイマ入力を選択するレジスタです。

TIS0レジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－14　タイマ入力選択レジスタ0（TIS0）のフォーマット

アドレス：F0074H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	0	0	TIS02	TIS01	TIS00

TIS02	TIS01	TIS00	チャネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子（TI01）の入力信号
0	0	1	
0	1	0	
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック（f_{IL}）
1	0	1	サブシステム・クロック（f_{SUB}）
上記以外			設定禁止

23. 3. 8　A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では，A/Dコンバータの＋側基準電圧，－側基準電圧，アナログ入力チャネル（ANI），温度センサ出力電圧および内部基準電圧のA/D変換を実施することで，A/Dコンバータの正常動作を確認します。確認方法の詳細は，安全機能（A/Dテスト）アプリケーションノート（R01AN0955）を参照してください。

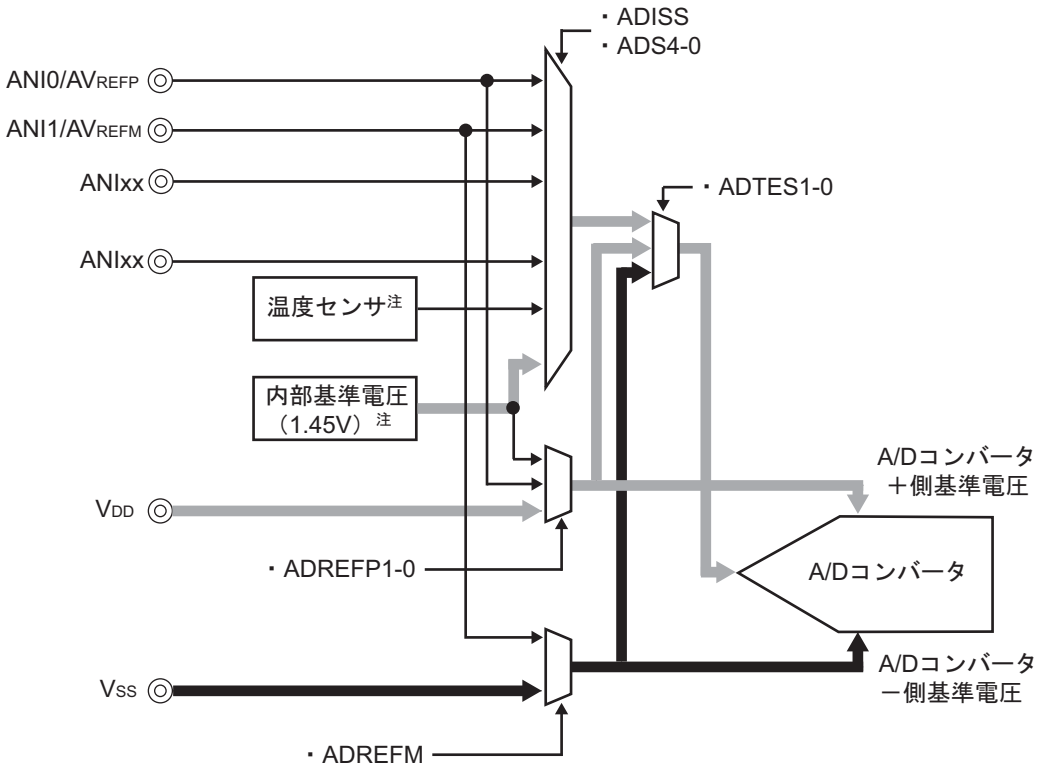
また、アナログ・マルチプレクサは、以下の手順で確認できます。

① ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
② ANIx端子のA/D変換を行う（変換結果1-1）。
③ ADTESレジスタでA/D変換対象にA/Dコンバータの－側基準電圧を選択（ADTES1, ADTES0=1,0）
④ A/Dコンバータの－側基準電圧のA/D変換を行う（変換結果2-1）
⑤ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑥ ANIx端子のA/D変換を行う（変換結果1-2）
⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの＋側基準電圧を選択（ADTES1, ADTES0=1,1）
⑧ A/Dコンバータの＋側基準電圧のA/D変換を行う（変換結果2-2）
⑨ ADTESレジスタでA/D変換対象にANIx端子を選択（ADTES1, ADTES0=0,0）
⑩ ANIx端子のA/D変換を行う（変換結果1-3）
⑪ 「変換結果1-1」 = 「変換結果1-2」 = 「変換結果1-3」であることを確認する。
⑫ 「変換結果2-1」のA/D変換結果がオール0，「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で，アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1.　①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。
2.　変換結果は誤差を含むので、変換結果を比較するときは，適切な誤差を考慮してください。

図23－15　A/Dテスト機能の構成



注　HS（高速メイン）モードでのみ選択可能です。

23. 3. 8. 1　A/Dテスト・レジスタ（ADTES）

A/D変換対象にA/Dコンバータの＋側の基準電圧，－側の基準電圧，アナログ入力チャネル（ANIxx），温度センサ出力電圧，内部基準電圧（1.45 V）を選択するレジスタです。

A/Dテスト機能として使用する場合は，以下の設定にします。

・ゼロスケールを測定するときは，A/D変換対象に－側の基準電圧を選択。

・フルスケールを測定するときは，A/D変換対象に＋側の基準電圧を選択。

ADTESレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－16　A/Dテスト・レジスタ（ADTES）のフォーマット

アドレス：F0013H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0

ADTES1	ADTES0	A/D変換対象
0	0	ANIxx / 温度センサ出力電圧[注] / 内部基準電圧（1.45 V）[注] （アナログ入力チャネル指定レジスタ（ADS）で設定）
1	0	－側の基準電圧（ADM2レジスタのADREFMビットで選択）
1	1	＋側の基準電圧（ADM2レジスタのADREFP1, ADREFP0ビットで選択）[注]
上記以外		設定禁止

注　温度センサ出力電圧，内部基準電圧（1.45V）は，HS（高速メイン）モードでのみ選択可能です

23. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS）

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANIxx／温度センサ出力／内部基準電圧（1.45 V）を測定するときは，A/Dテスト・レジスタ（ADTES）を00Hに設定してください。

ADSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－17　アナログ入力チャネル指定レジスタ（ADS）のフォーマット

アドレス：FFF31H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード（ADMD = 0）

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AV_{REFP}端子
0	0	0	0	0	1	ANI1	P21/ANI1/AV_{REFM}端子
0	0	0	0	1	0	ANI2	P22/ANI2端子
0	0	0	0	1	1	ANI3	P23/ANI3端子
0	0	0	1	0	0	ANI4	P24/ANI4端子
0	0	0	1	0	1	ANI5	P25/ANI5端子[注1]
0	0	0	1	1	0	ANI6	P26/ANI6端子[注1]
0	0	0	1	1	1	ANI7	P27/ANI7端子[注1]
0	1	0	0	0	0	ANI16	P01/ANI16端子[注2]
0	1	0	0	0	1	ANI17	P00/ANI17端子[注2]
0	1	0	0	1	1	ANI19	P120/ANI19端子
1	0	0	0	0	0	－	温度センサ出力[注3]
1	0	0	0	0	1	－	内部基準電圧出力（1.45 V）[注3]
上記以外						設定禁止	

注1.　48ピンのみ

2.　32ピンのみ

3.　HS（高速メイン）モードでのみ選択可能です。

注意1.　ビット5, 6には必ず0を設定してください。

2.　ADPC, PMCレジスタでアナログ入力に設定したポートは，ポート・モード・レジスタ0, 2, 12（PM0, PM2, PM12）で入力モードに選択してください。

3.　A/Dポート・コンフィギュレーション・レジスタ（ADPC）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

4.　ポート・モード・コントロール・レジスタ0, 12（PMC0, PMC12）でデジタル入出力として設定する端子を，ADSレジスタで設定しないでください。

5.　ADISSビットを書き換える場合は，必ず変換停止状態（ADCS = 0, ADCE = 0）のときに行ってください。

6.　AV_{REFP}をA/Dコンバータの＋側の基準電圧として使用している場合，ANI0をA/D変換チャネルとして選択しないでください。

注意7.　AV_{REFM}をA/Dコンバータの－側の基準電圧として使用している場合，ANI1をA/D変換チャネルとして選択しないでください。

8.　ADISS = 1を設定した場合，＋側の基準電圧に内部基準電圧（1.45 V）は使用できません。また，ADISS = 1に設定後，1回目の変換結果は使用できません。詳細設定フローは，11. 7. 4　温度センサ出力電圧／内部基準電圧を選択時の設定（例　ソフトウエア・トリガ・モード，ワンショット変換モード時）を参照してください。

9.　STOPモードへ移行，もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は，ADISS = 1に設定しないでください。ADISS = 1設定時は，30. 3. 2または31. 3. 2　電源電流特性に示すA/Dコンバータ基準電圧電流（I_{ADREF}）の電流値が加算されます。

10.　USB用内部電源制御ビット0（VDDUSBE）を“1”にしている場合は，A/Dコンバータに温度センサは使用できません。

23. 3. 9　入出力ポートのデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力ポートのデジタル出力信号レベル検出機能では，ポートが出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）時に，端子のデジタル出力レベルをリードすることができます。

23. 3. 9. 1　ポート・モード選択レジスタ（PMS）

ポートが出力モード（ポート・モード・レジスタ（PMm）のPMmnビットが0）時に，ポートの出力ラッチの値をリードするか，端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図23－18　ポート・モード選択レジスタ（PMS）のフォーマット

アドレス：F0018H　リセット時：00H　R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0

PMS0	ポートが出力モード時（PMmn = 0）にリードするデータの選択
0	Pmnレジスタの値を読み出す
1	端子のデジタル出力レベルを読み出す

備考　m = 0-7, 12, 14

n = 0-7

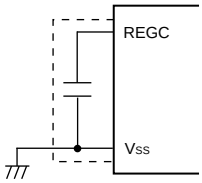
注意1.　PMS0ビットを"1"に設定してポート・レジスタ（Pnレジスタ　n = 0-7，12-14）を書き換える場合は，8ビット・メモリ操作命令のみ使用してください。

2.　P60-P63は汎用ポートとして使用する場合，PMS0による端子の出力レベルのリードはできません（ただし，P60，P61はPER0レジスタのIICA0ENビット を"1"にした場合にのみ，PMS0ビットによる端子のデジタル出力レベルのリードが可能です）。

第24章　レギュレータ

24. 1　レギュレータの概要

RL78/G1Cは，デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために，REGC端子にはレギュレータ安定として，コンデンサ（0.47～1 μF）を介し，Vssに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。



注意　上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は，表24－1のようになります。

表24－1　レギュレータ出力電圧条件

モード	出力電圧	条　　件
高速メイン・モード	1.8 V	STOPモード時
		サブシステム・クロック（f_{SUB}）でCPU動作中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{HOCO}），PLL（f_{PLL}）が共に停止
		サブシステム・クロック（f_{SUB}）でCPU動作設定時のHALTモード中で，高速システム・クロック（f_{MX}）と高速オンチップ・オシレータ・クロック（f_{HOCO}），PLL（f_{PLL}）が共に停止
	2.1 V	上記以外（オンチップ・デバッグ中を含む）注

注　オンチップ・デバッグ中に，サブシステム・クロック動作やSTOPモードに移行する場合は，レギュレータ出力電圧は2.1 Vを継続します（1.8 Vにはなりません）。

第25章　オプション・バイト

25. 1　オプション・バイトの機能

RL78/G1Cのフラッシュ・メモリの000C0H-000C3Hは，オプション・バイト領域です。

オプション・バイトは，ユーザ・オプション・バイト（000C0H-000C2H）とオンチップ・デバッグ・オプション・バイト（000C3H）で構成されています。

電源投入時またはリセットからの起動時に，自動的にオプション・バイトを参照して，指定された機能の設定を行います。製品使用の際には，必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお，機能が配置されていないビットは，初期値から変更しないでください。

また，セルフ・プログラミング時にブート・スワップ動作を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わるので，010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意　オプション・バイトは，各機能の使用の有無にかかわらず必ず設定してください。

25. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）

（1）000C0H/010C0H

○ウォッチドッグ・タイマの動作

・カウンタの動作許可／禁止

・HALT/STOPモード時のカウンタの動作可能／停止

○ウォッチドッグ・タイマのオーバフロー時間の設定

○ウォッチドッグ・タイマのウインドウ・オープン期間の設定

○ウォッチドッグ・タイマのインターバル割り込みの設定

・インターバル割り込みを使用する／使用しない

注意　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

（2）000C1H/010C1H

○LVDの動作モード設定

・割り込み＆リセット・モード

・リセット・モード

・割り込みモード

・LVDオフ（$\overline{\text{RESET}}$端子による外部リセットを使用）

○LVD検出レベル（V_{LVDH},V_{LVDL},V_{LVD}）の設定

注意1.　電源立ち上がり時は，30. 4または31. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

2.　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

（3）000C2H/010C2H

○フラッシュの動作モード設定

使用するメイン・システム・クロック周波数(f_{MAIN})，電源電圧(V_{DD})に応じて設定

・HS（高速メイン）モード

○高速オンチップ・オシレータの周波数設定

・48 MHz/24 MHz（TYP.）から選択

注意　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

25. 1. 2　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）

○オンチップ・デバッグ動作制御

・オンチップ・デバッグ動作禁止／許可

○セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

25. 2　ユーザ・オプション・バイトのフォーマット

図25－1　ユーザ・オプション・バイト（000C0H/010C0H）のフォーマット

アドレス：000C0H/010C0H[注1]

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%+1/2f_{IL}到達時にインターバル割り込みを発生する

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間[注2]
0	0	設定禁止
0	1	50 %
1	0	75 %
1	1	100 %

WDTON	ウォッチドッグ・タイマのカウンタの動作制御
0	カウンタ動作禁止（リセット解除後，カウント停止）
1	カウンタ動作許可（リセット解除後，カウント開始）

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 （f_{IL} = 17.25 kHz（MAX.）の場合）
0	0	0	$2^6/f_{IL}$（3.71 ms）
0	0	1	$2^7/f_{IL}$（7.42 ms）
0	1	0	$2^8/f_{IL}$（14.84 ms）
0	1	1	$2^9/f_{IL}$（29.68 ms）
1	0	0	$2^{11}/f_{IL}$（118.72 ms）
1	0	1	$2^{13}/f_{IL}$（474.89 ms）
1	1	0	$2^{14}/f_{IL}$（949.79 ms）
1	1	1	$2^{16}/f_{IL}$（3799.18 ms）

WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御（HALT/STOPモード時）
0	HALT/STOPモード時，カウンタ動作停止[注2]
1	HALT/STOPモード時，カウンタ動作許可

注1.　ブート・スワップ時は，000C0Hと010C0Hが切り替わるので，010C0Hにも000C0Hと同じ値を設定してください。

2.　WDSTBYON = 0のときは，WINDOW1, WINDOW0ビットの値に関係なく，ウインドウ・オープン期間100%となります。

備考　f_{IL}：低速オンチップ・オシレータ・クロック周波数

図25－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（1/2）

アドレス：000C1H/010C1H[注]

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込み＆リセット・モード）

検出電圧			オプション・バイト設定値						
V_{LVDH}		V_{LVDL}	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
2.61 V	2.55 V	2.45 V	0	1	0	1	0	1	0
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
－			上記以外は設定禁止						

・LVDの設定（リセット・モード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.50 V	2.45 V	0	1	0	1	1	1	1
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

備考 1.　LVD回路の詳細は，第22章　電圧検出回路を参照してください。

2.　検出電圧はTYP.値です。詳細は，30. 6. 4または31. 6. 4　LVD回路特性を参照してください。

（注意は，次ページにあります。）

図25－2　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマット（2/2）

アドレス：000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

・LVDの設定（割り込みモード）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
2.50 V	2.45 V	0	1	0	1	1	0	1
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
－		上記以外は設定禁止						

・LVDオフ（$\overline{\text{RESET}}$端子による外部リセットを使用）

検出電圧		オプション・バイト設定値						
V_{LVD}		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
－		上記以外は設定禁止						

注　ブート・スワップ時は，000C1Hと010C1Hが切り替わるので，010C1Hにも000C1Hと同じ値を設定してください。

注意1.　ビット4には，必ず1を書き込んでください。

2.　電源立ち上がり時は，30. 4または31. 4　AC特性に示す動作電圧範囲まで，電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は，動作電圧範囲を下回る前に，STOPモードに移行するか，電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は，ユーザ・オプション・バイト（000C2H/010C2H）の設定により変わります。

備考 1.　×：don’t care

2.　LVD回路の詳細は，第21章　電圧検出回路を参照してください。

3.　検出電圧はTYP.値です。詳細は，30. 6. 4または31. 6. 4　LVD回路特性を参照してください。

図25－3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマット

アドレス：000C2H/010C2H[注1]

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲(f_{MAIN})	動作電圧範囲(V_{DD})
1	1	HS（高速メイン）モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～24 MHz	2.7 V～5.5 V
上記以外		設定禁止		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					f_{HOCO}[注2]	f_{IH}
1	0	0	0	0	48 MHz	24 MHz
1	0	0	0	1	24 MHz	12 MHz
上記以外					設定禁止	

注 1.　ブート・スワップ時は，000C2Hと010C2Hが切り替わるので，010C2Hにも000C2Hと同じ値を設定してください。

2.　高速オンチップ・オシレータでUSBを動作させる際は，以下に設定してください。

f_{HOCO}：48 MHz（f_{IH}：24 MHz）

注意 1.　ビット5には，必ず1を書き込んでください。

2.　動作周波数範囲と動作電圧範囲は，フラッシュの各動作モードによって異なります。詳細は，30. 4または31. 4　AC特性を参照してください。

25. 3　オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図25－4　オンチップ・デバッグ・オプション・バイト（000C3H/010C3H）のフォーマット

アドレス：000C3H/010C3H[注]

7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注　ブート・スワップ時は，000C3Hと010C3Hが切り替わるので，010C3Hにも000C3Hと同じ値を設定してください。

注意　ビット7, 0（OCDENSET, OCDERSD）のみ，値を指定できます。
ビット6-1には，必ず000010Bを書き込んでください。

備考　ビット3-1は, オンチップ･デバッグ機能使用時に値が書き変わるので, 設定後は不定となります。
ただし，設定時にはビット3-1にも，必ず初期値（0, 1, 0）を設定してください。

25.4　オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは，ソースへの記述による設定の他にリンク・オプションでも設定できます。その場合，下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウエア記述例を次に示します。

```
OPT   CSEG        OPT_BYTE
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          7AH     ; VLVDLに2.75 Vを選択
                          ; VLVDHに立ち上がり2.92 V，立ち下がり2.86 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          F0H     ; フラッシュの動作モードにHS（高速メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 48 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

セルフ・プログラミング時にブート・スワップ機能を使用する際には，000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を，次のように記述してください。

```
OPT2  CSEG   AT   010C0H
      DB          36H     ; ウォッチドッグ・タイマのインターバル割り込みを使用しない，
                          ; ウォッチドッグ・タイマ動作許可，
                          ; ウォッチドッグ・タイマのウインドウ・オープン期間50%，
                          ; ウォッチドッグ・タイマのオーバフロー時間2^9/fIL，
                          ; HALT/STOPモード時，ウォッチドッグ・タイマの動作停止
      DB          7AH     ; VLVDLに2.75 Vを選択
                          ; VLVDHに立ち上がり2.92 V，立ち下がり2.86 Vを選択
                          ; LVDの動作モードに割り込み＆リセット・モードを選択
      DB          F0H     ; フラッシュの動作モードにHS（高速メイン）モード，
                            高速オンチップ・オシレータ・クロック周波数 48 MHzを選択
      DB          85H     ; オンチップ・デバッグ動作許可，セキュリティID認証失敗時に
                          ; フラッシュ・メモリのデータを消去しない。
```

注意　オプション・バイトをアセンブリ言語により指定する場合，CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお，ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は，再配置属性ATを使用して絶対番地を指定してください。

第26章　フラッシュ・メモリ

RL78マイクロコントローラは，プログラムの書き込み，消去，再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには，プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。

フラッシュ・メモリのプログラミング方法は，次のとおりです。

コード・フラッシュ・メモリは，フラッシュ・メモリ・プログラマまたは外部デバイス（UART通信）によるシリアル・プログラミングもしくは，セルフ・プログラミングで書き換えることができます。

・フラッシュ・メモリ・プログラマによるシリアル・プログラミング（26. 1参照）
専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

・外部デバイス（UART通信）によるシリアル・プログラミング（26. 2参照）
外部デバイス（マイコンやASIC）とのUART通信を使用してオンボード上で書き込みができます。

・セルフ・プログラミング（26. 6参照）
フラッシュ・セルフ・プログラミング・ライブラリを利用して，ユーザ・アプリケーション上でコード・フラッシュ･メモリの自己書き換えができます。

データ・フラッシュ・メモリは，データ・フラッシュ・ライブラリを利用して，ユーザ・プログラム実行中に書き換えることができます（バックグランド・オペレーション）。データ・フラッシュへのアクセスや書き込みについては，26. 8　データ・フラッシュを参照してください。

26. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために，次の専用フラッシュ・メモリ・プログラマを使用できます。

・PG-FP5, FL-PR5
・E1オンチップデバッギングエミュレータ

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

（1）オンボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

（2）オフボード・プログラミング

ターゲット・システム上にRL78マイクロコントローラを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

備考　FL-PR5, FAシリーズは，（株）内藤電誠町田製作所の製品です。

表26－1　RL78/G1Cと専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号	
					32ピン	48ピン
信号名		入出力	端子機能		LQFP (7×7), HWQFN (5×5)	LFQFP (7×7), HWQFN (7×7)
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ					
－	TOOL0	入出力	送受信信号	TOOL0/P40	1	39
SI/RxD	－	入出力	送受信信号			
－	$\overline{\text{RESET}}$	出力	リセット信号	$\overline{\text{RESET}}$	2	40
/RESET	－	出力				
V_{DD}		入出力	V_{DD}電圧生成／電源監視	V_{DD}	8	48
GND		－	グランド	V_{SS}	7	47
				REGC注	6	46
FLMD1	EMV_{DD}	－	TOOL0端子駆動電源	V_{DD}	8	48

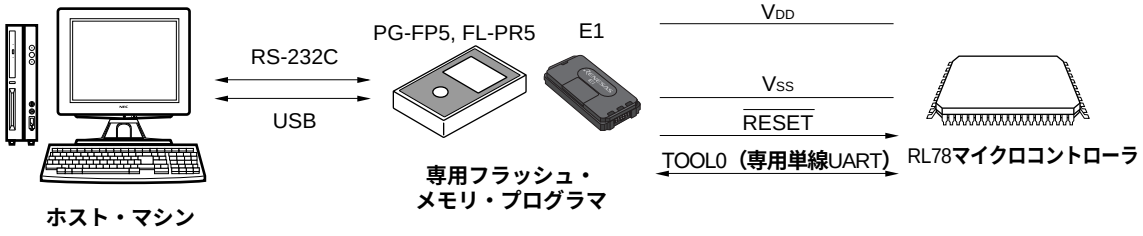
注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

備考　この表に記載されていない端子は，フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

26. 1. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図26－1　フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには，これを制御するホスト・マシンが必要です。

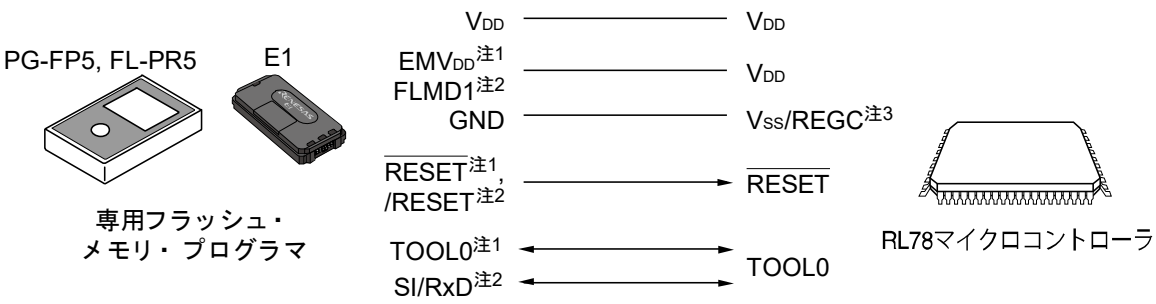
また，専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して，専用の単線UARTで書き込み／消去の操作を行います。オフボードで書き込む場合は，専用プログラム・アダプタ（FAシリーズ）が必要です。

26. 1. 2　通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOL0端子を使用して，専用の単線UARTによるシリアル通信で行います。

転送レート：　1 M, 500 k, 250 k, 115.2 kbps

図26－2　専用フラッシュ・メモリ・プログラマとの通信



注1.　E1オンチップデバッギングエミュレータ使用時。

2.　PG-FP5, FL-PR5使用時。

3.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはE1オンチップデバッギングエミュレータのマニュアルを参照してください。

表26－2　端子接続一覧

専用フラッシュ・メモリ・プログラマ				RL78マイクロコントローラ
信号名		入出力	端子機能	端子名[注2]
PG-FP5, FL-PR5	E1オンチップデバッギングエミュレータ			
V_{DD}		入出力	V_{DD}電圧生成／電圧監視	V_{DD}
GND		－	グランド	V_{SS}, REGC[注1]
FLMD1	EMV_{DD}	－	TOOL0端子駆動電源	V_{DD}
/RESET	－	出力	リセット信号	$\overline{RESET}$
－	$\overline{RESET}$	出力		
－	TOOL0	入出力	送受信信号	TOOL0
SI/RxD	－	入出力	送受信信号	

注 1.　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

2.　接続先端子は、製品によって異なります。詳細は，表26－1を参照してください。

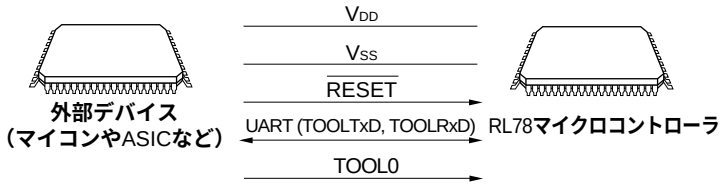
26. 2　外部デバイス（UART内蔵）によるシリアル・プログラミング

オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス（マイコンやASIC）を使って，内蔵フラッシュ・メモリにデータを書き込むことできます。

26. 2. 1　プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図26－3　フラッシュ・メモリにプログラムを書き込むための環境



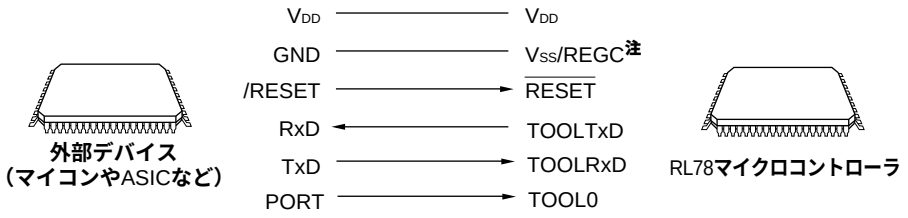
外部デバイスからRL78マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

26. 2. 2　通信方式

外部デバイスとRL78マイクロコントローラとの通信は，RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して，専用のUARTによるシリアル通信で行います。

転送レート：　1 M, 500 k, 250 k, 115.2 kbps

図26－4　外部デバイスとの通信



注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表26－3　端子接続一覧

外部デバイス			RL78マイクロコントローラ
信号名	入出力	端子機能	端子名
V_{DD}	入出力	V_{DD}電圧生成／電圧監視	V_{DD}
GND	－	グランド	V_{SS}, REGC注
RESETOUT	出力	リセット信号出力	$\overline{\text{RESET}}$
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注　REGC端子はコンデンサ（0.47～1 μF）を介してグランドに接続してください。

26. 3　オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は，ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また，オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考　フラッシュ・メモリ・プログラミング・モードに関しては，26. 4 .2　フラッシュ・メモリ・プログラミング・モードを参照してください。

26. 3. 1　P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は，外部で1 kΩの抵抗でプルアップし，専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合，以下の方法で使用してください。

入力時：外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし，プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

出力時：プルダウンで使用する場合は，500 kΩ以上の抵抗を使用してください。

備考1.　t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに，外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。30. 11または31. 11　フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

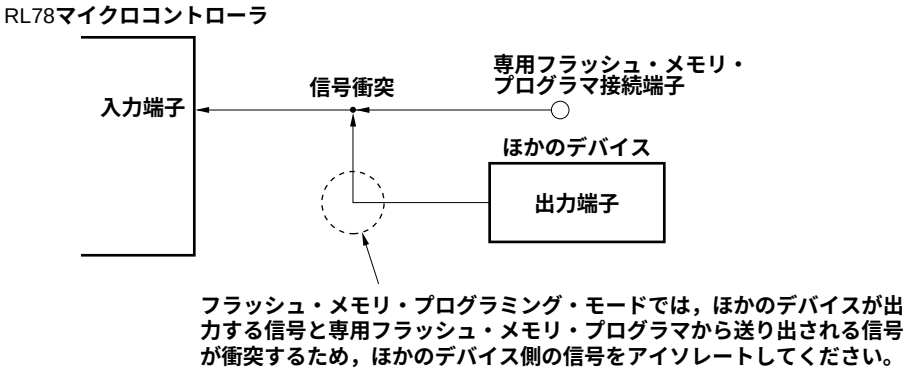
2.　RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には，単線UART（TOOL0端子）を使用するので，SAUやIICAの端子は使用しません。

26. 3. 2　$\overline{\text{RESET}}$端子

オンボード上で，リセット信号生成回路と接続している$\overline{\text{RESET}}$端子に，専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合，信号の衝突が発生します。この信号の衝突を避けるため，リセット信号生成回路との接続をアイソレートしてください。

また，フラッシュ・メモリ・プログラミング・モード期間中に，ユーザ・システムからリセット信号を入力した場合，正常なプログラミング動作が行われなくなるので，専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図26－5　信号の衝突（$\overline{\text{RESET}}$端子）



26. 3. 3　ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると，フラッシュ・メモリ・プログラミングに使用しない端子は，すべてリセット直後と同じ状態になります。したがって，各ポートに接続された外部デバイスが，リセット直後のポート状態を認めない場合は，抵抗を介してV_{DD}に接続するか，もしくは抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

26. 3. 4　REGC端子

REGC端子は，通常動作時と同様に，特性の良いコンデンサ（0.47～1 μF）を介し，GNDに接続してください。また，内部電圧の安定のために使用するため，特性のよいコンデンサを使用してください。

26. 3. 5　X1, X2端子

X1, X2は，通常動作モード時と同じ状態に接続してください。

備考　フラッシュ・メモリ・プログラミング・モード時は，高速オンチップ・オシレータ・クロック（f_{HOCO}）を使用します。

26. 3. 6　電　　源

フラッシュ・メモリ・プログラマの電源出力を使用する場合は，V_{DD}端子はフラッシュ・メモリ・プログラマのV_{DD}に，V_{SS}端子はフラッシュ・メモリ・プログラマのGNDに，それぞれ接続してください。

オンボード上の電源を使用する場合は，通常動作モード時に準拠した接続にしてください。

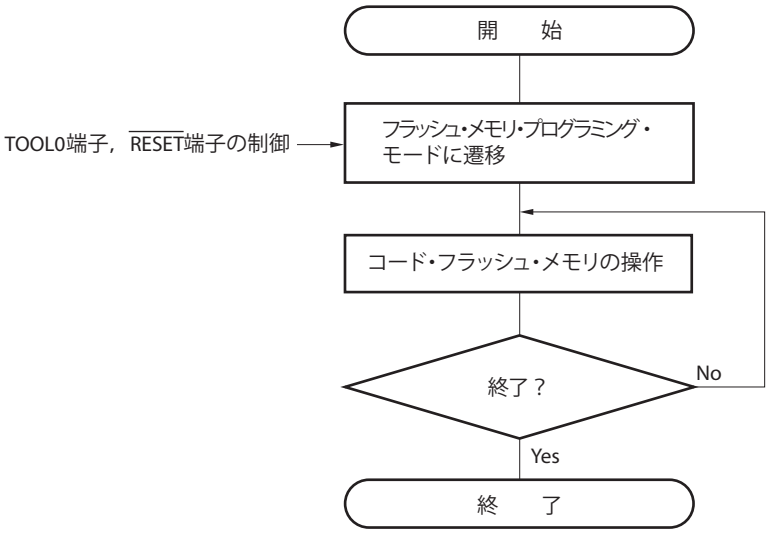
ただしフラッシュ・メモリ・プログラマによる書き込みの場合は，オンボード上の電源を使用する場合においても，フラッシュ・メモリ・プログラマで電圧監視をするため，V_{DD}，V_{SS}端子はフラッシュ・メモリ・プログラマのV_{DD}，GNDと必ず接続してください。

26. 4　シリアル・プログラミング方法

26. 4. 1　シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図26－6　コード・フラッシュ・メモリの操作手順



26. 4. 2　フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは，フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには，次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により，自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

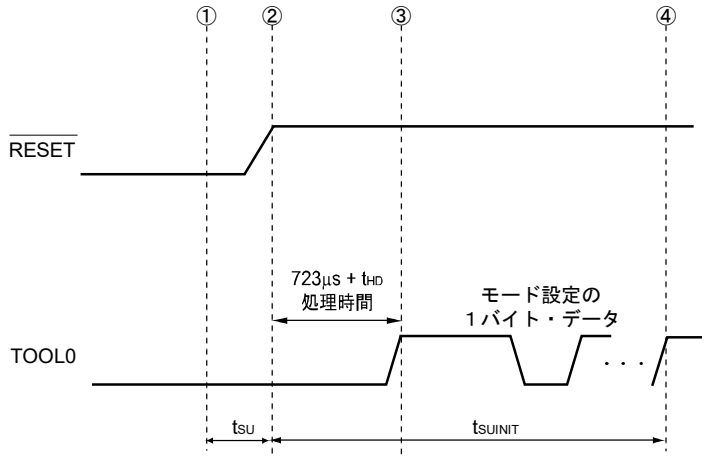
＜外部デバイス（UART通信）を使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後，リセットを解除します（表26－4参照）。その後，図26－7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は，RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表26－4　リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
V_{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図26－7　フラッシュ・メモリ・プログラミング・モードへの引き込み



① TOOL0端子にロウ・レベルを入力
② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）
③ TOOL0端子のロウ・レベルを解除
④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms以内に初期設定通信を完了してください。
t_{SU}　：TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間
t_{HD}　：外部／内部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

詳細は，30. 10または31. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには，ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は，書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお，専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は，GUI上で電圧設定を行うことでモードが自動選択されます。

表26－5　プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

電源電圧（V_{DD}）	フラッシュ・メモリ・プログラミング・モード引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数	
2.7 V ≦ V_{DD} ≦ 5.5 V	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～24 MHz	フルスピード・モード
2.4 V ≦ V_{DD} ＜ 2.7 V	ブランク状態		フルスピード・モード
	HS（高速メイン）モード	1 MHz～16 MHz	フルスピード・モード

備考1.　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

2.　通信コマンドの詳細は，26. 4. 4　通信コマンドを参照してください。

26. 4. 3　通信方式

RL78マイクロコントローラの通信方式は，次のようになります。

表26－6　通信方式

通信方式	Standard設定[注1]				使用端子
	Port	Speed[注2]	Frequency	Multiply Rate	
単線UART（フラッシュ・メモリ・プログラマ使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOL0
専用UART（外部デバイス使用時）	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	－	－	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほかに，信号波形の鈍りなどが影響するため，評価のうえ使用してください。

26. 4. 4　通信コマンド

RL78マイクロコントローラは，表26－7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び，そのコマンドに対応した各機能の処理を行います。詳細は，RL78マイクロコントローラ（RL78プロトコルA）プログラマ編アプリケーション・ノート（R01AN0815）を参照してください。

表26－7　フラッシュ・メモリ制御用コマンド

分　類	コマンド名称	機　　能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78マイクロコントローラ情報（品名，フラッシュ・メモリ構成，プログラミング用ファームウエア・バージョンなど）を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止に設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

“Silicon Signature”コマンドを実行することで製品情報（品名，ファームウエア・バージョン）を取得することができます。

表26－8にシグネチャ・データ一覧，表26－9にシグネチャ・データ例を示します。

表26－8　シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名（ASCIIコード）	10バイト
コード・フラッシュ・メモリ領域最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．00000H-0FFFFH (64 KB) → FFH, FFH, 00H）	3バイト
データ・フラッシュ・メモリ領域最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス （アドレス下位から送信されます。 例．F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH）	3バイト
ファームウエア・バージョン	プログラミング用ファームウエアのバージョン情報 （バージョンの上位から送信されます。 例．Ver. 1. 23 → 01H, 02H, 03H）	3バイト

表26－9　シグネチャ・データ例

フィールド名	内容	送信バイト数	データ（16進数）
デバイス・コード	RL78プロトコルA	3バイト	10　00　06
デバイス名	R5F100LE	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 30 = “0” 4A = “J” 42 = “B” 43 = ”C” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域最終アドレス	コード・フラッシュ・メモリ領域 00000H-0FFFFH (64 KB)	3バイト	FF　7F　00
データ・フラッシュ・メモリ領域最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH (4 KB)	3バイト	FF　17　0F
ファームウエア・バージョン	Ver. 1. 23	3バイト	01　02　03

26. 5　PG-FP5使用時の各コマンド処理時間（参考値）

専用フラッシュ・メモリ・プログラマとしてPG-FP5を使用した場合の各コマンド処理時間（参考値）を次に示します。

表26－10　PG-FP5使用時の各コマンド処理時間（参考値）

PG-FP5のコマンド	コード・フラッシュ
	32 Kバイト
消去	1 s
書き込み	1.5 s
ベリファイ	1.5 s
消去後，書き込み	2 s

備考　コマンド処理時間（参考値）はTYP.値です。次に条件を示します。

Port　：　TOOL0（単線UART）

Speed　：　1,000,000 bps

Mode　：　フルスピード・モード　（フラッシュ動作モード：HS（高速メイン）モード）

26. 6　セルフ・プログラミング

RL78マイクロコントローラは，ユーザ・プログラムでコード・フラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより，ユーザ・アプリケーションでコード・フラッシュ・メモリの書き換えが可能となるので，フィールドでのプログラムのアップグレードなどができるようになります。

注意1.　CPUがサブシステム・クロック動作時の場合，セルフ・プログラミング機能は使用できません。

2.　セルフ・プログラミング中に割り込みを禁止するためには，通常動作モード時と同様に，DI命令によりIEフラグがクリア（0）されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。
割り込みを許可する場合は，EI命令によりIEフラグがセット（1）されている状態で，受け付ける割り込みの割り込みマスク・フラグをクリア（0）して，フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

3.　セルフ・プログラミング中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロック動作（HIOSTOP = 0）させ，30μs経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考1.　セルフ・プログラミング機能の詳細は、RL78マイクロコントローラ　フラッシュ・セルフ・プログラミング・ライブラリ Type01　ユーザーズ・マニュアル（R01US0050）を参照してください。

2.　セルフ・プログラミングの実行処理時間に関してはフラッシュ・セルフ・プログラミング・ライブラリのツールに付属している使用上の留意点を参照してください。

また，セルフ・プログラミング機能には，フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて，いずれかのモードを設定してください。

HS（高速メイン）モード設定時はフルスピード・モードに設定してください。

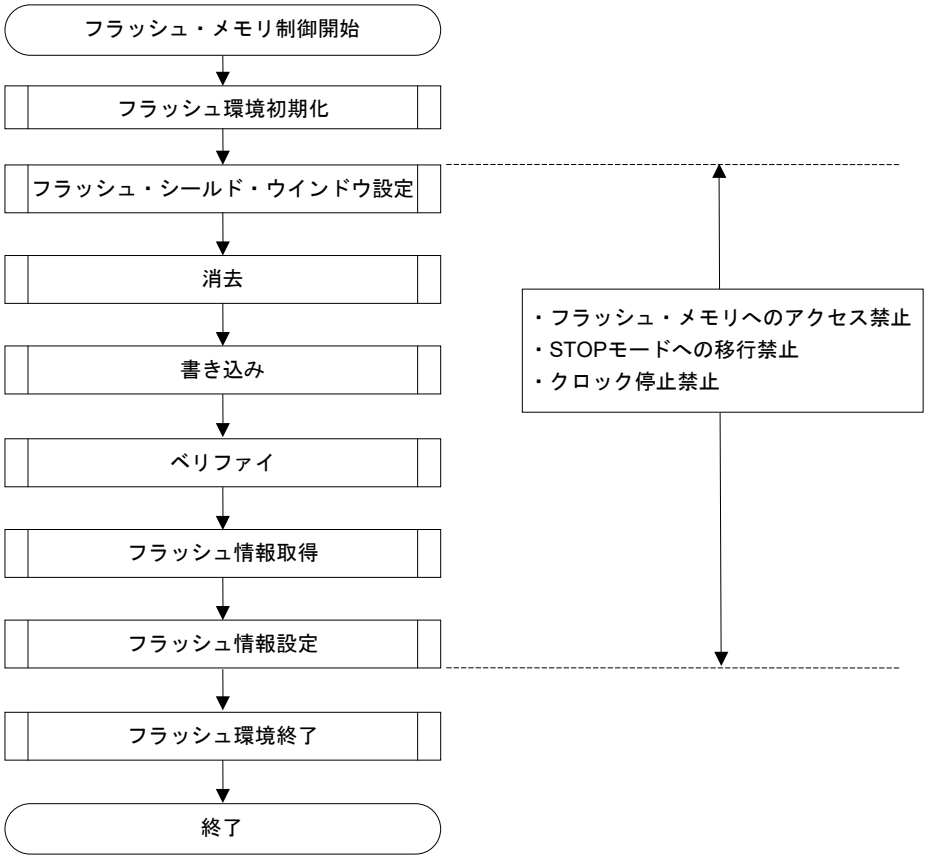
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数”FSL_Init”実行時に，引数である”fsl_flash_voltage_u08”が00Hであればフルスピード・モードに，00H以外であればワイド・ボルテージ・モードに設定されます。

備考　ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも，書き込み／消去／ベリファイを行ううえで制限事項はありません。

26. 6. 1　セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してコード・フラッシュ・メモリの書き換えを行う流れを示します。

図26－8　セルフ・プログラミング（フラッシュ・メモリの書き換え）の流れ



26. 6. 2　ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に，電源の瞬断などにより書き換えが失敗した場合，ブート領域のデータが壊れて，リセットによるプログラムの再スタートや，再書き込みができなくなります。

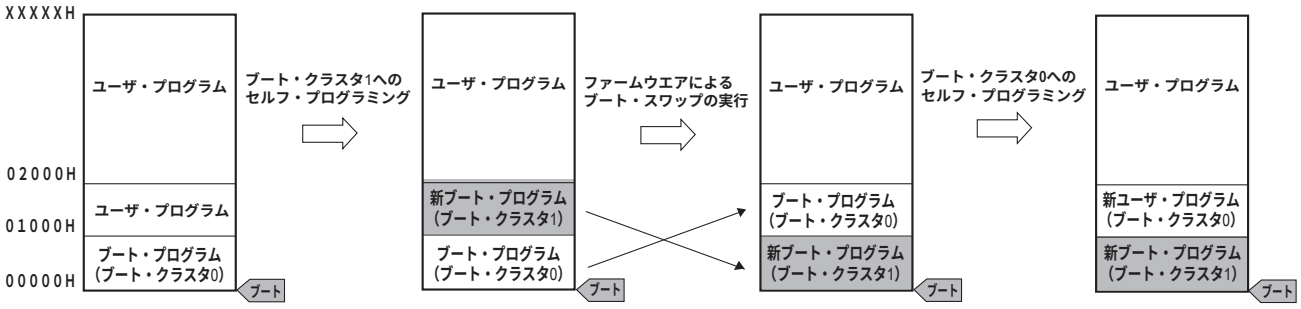
この問題を回避するために，ブート・スワップ機能があります。

セルフ・プログラミングにてブート領域であるブート・クラスタ0[注]の消去を行う前に，あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら，RL78マイクロコントローラ内蔵のファームウエアのセット・インフォメーション機能で，このブート・クラスタ1とブート・クラスタ0をスワップし，ブート・クラスタ1をブート領域にします。このあと，本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても，次のリセット・スタートは，スワップ対象のブート・クラスタ1からブートを行うため，正常にプログラムが動作します。

注　ブート・クラスタは4 kバイトの領域で，ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図26－9　ブート・スワップ機能

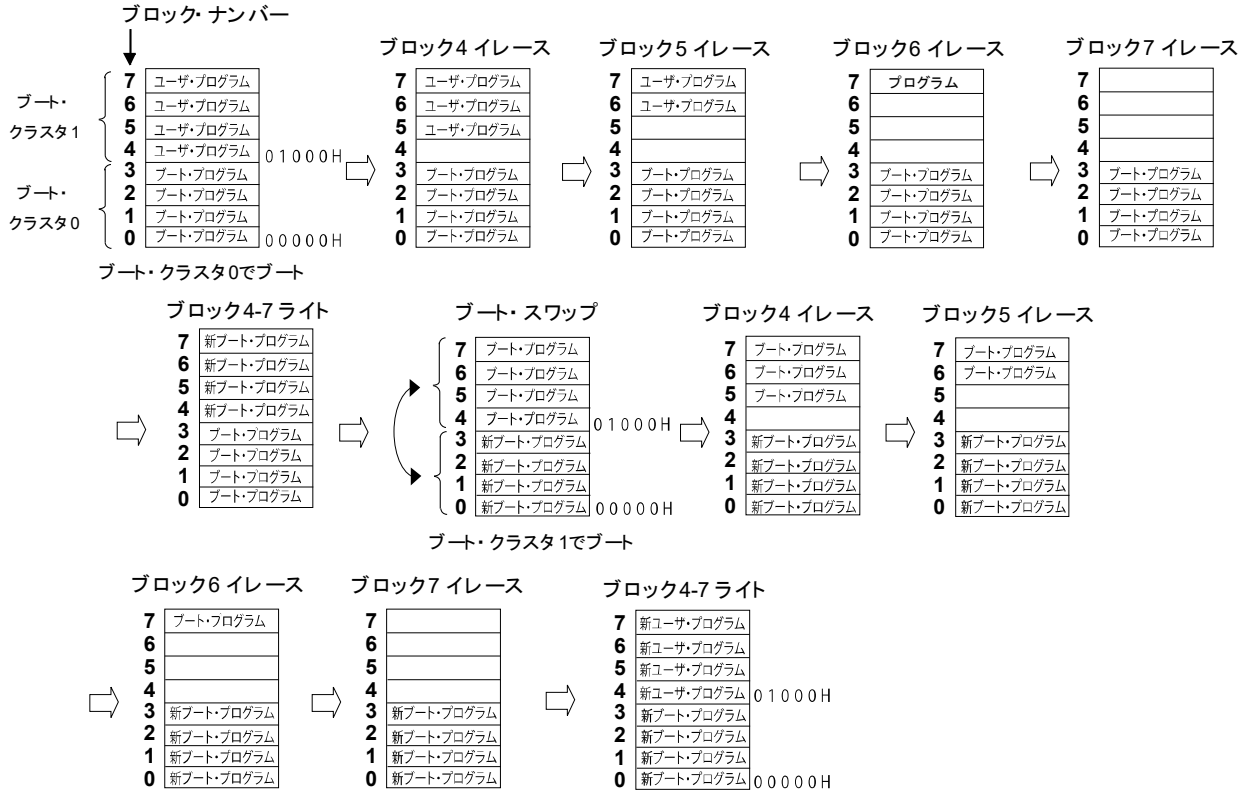


この図の例では，次のようになっています。

ブート・クラスタ0　：ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1　：ブート・スワップ後のブート・プログラム領域です。

図26－10　ブート・スワップの実行例



26. 6. 3　フラッシュ・シールド・ウインドウ機能

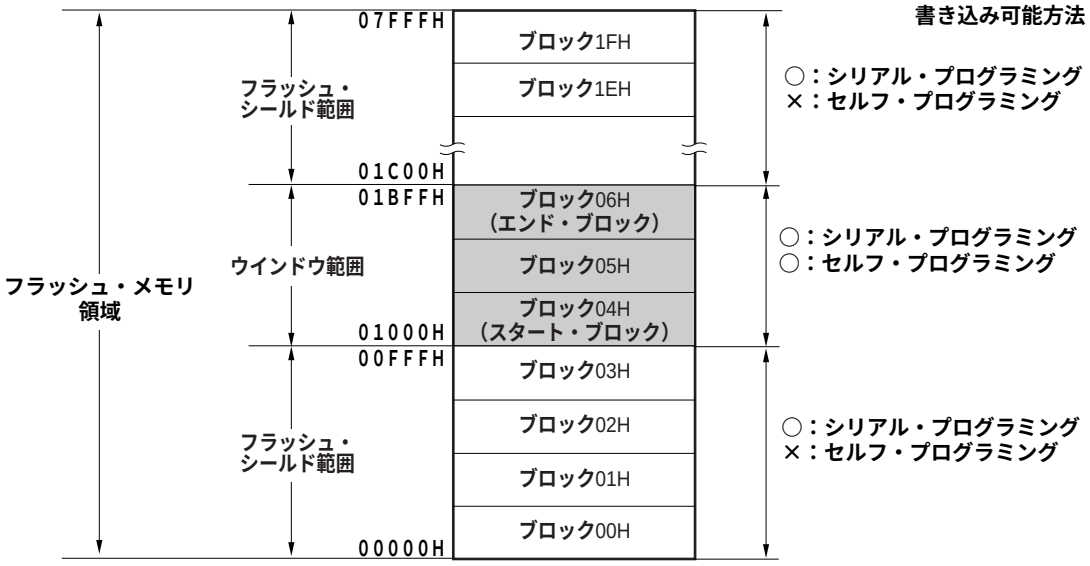
セルフ・プログラミング時のセキュリティ機能の一つとして，フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は，指定したウインドウ範囲以外の書き込みおよび消去を，セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は，スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は，シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は，セルフ・プログラミング時には書き込み／消去禁止となります。ただし，シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図26－11　フラッシュ・シールド・ウインドウの設定例

（対象デバイス：R5F10JBCANA，スタート・ブロック：04H，エンド・ブロック：06Hの場合）



注意1.　フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は，ブート・クラスタ0の書き換え禁止が優先されます。

2.　フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です（データ・フラッシュは対応していません）。

表26－11　フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで，ウインドウの先頭ブロック，最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考　シリアル・プログラミング時の書き込み／消去を禁止したい場合には，26. 7　セキュリティ設定を参照してください。

26. 7　セキュリティ設定

RL78マイクロコントローラは，フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており，第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより，次の操作をすることができます。

・ブロック消去禁止

シリアル・プログラミング時に，フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし，セルフ・プログラミング時でのブロック消去は可能です。

・書き込み禁止

シリアル・プログラミング時に，コード・フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし，セルフ・プログラミング時での書き込みは可能です。

書き込み禁止に設定後，Security Releaseコマンドによる解除はリセットで有効になります。

・ブート・クラスタ0の書き換え禁止

コード・フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して，ブロック消去コマンド，書き込みコマンドの実行を禁止します。

出荷時の初期状態では，ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは，シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては，同時に組み合わせて使用できます。

RL78マイクロコントローラのセキュリティ機能を有効にした場合の，消去，書き込みコマンドの関係を表26－12に示します。

注意　ただし，専用フラッシュ・ライタのセキュリティ機能は，セルフ・プログラミングに対応していません。

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は26. 6. 3を参照）。

表26－12　セキュリティ機能有効時とコマンドの関係

（1）シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注　書き込み領域に，すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため，データが消去されていない場合は，データを書き込まないでください。

（2）セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考　セルフ・プログラミング時の書き込み／消去を禁止したい場合には，フラッシュ・シールド・ウインドウ機能を使います（詳細は26. 6. 3を参照）。

表26－13　各プログラミング・モード時のセキュリティ設定方法

（1）シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後，無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

注意　“書き込み禁止”設定の解除は，“ブロック消去禁止”，“ブート・クラスタ0の書き換え禁止”に設定されていない状態で、かつコード・フラッシュ領域，データ・フラッシュ領域がブランクの場合でのみ可能です。

（2）セルフ・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後，無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に，専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後，無効にできない

26. 8　データ・フラッシュ

26. 8. 1　データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより，ユーザ・プログラムでデータ・フラッシュ･メモリの書き換えが可能。詳細は、RL78ファミリ　データ・フラッシュ・ライブラリ ユーザーズ・マニュアルを参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは，1ブロック ＝1 Kバイト単位で消去
- データ・フラッシュは，8ビット単位でのみアクセス可能
- データ・フラッシュは，CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に，コード・フラッシュからの命令実行は可能（バックグランド・オペレーション（BGO）対応）
- データ・フラッシュは，データ専用領域のため，データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中（セルフ・プログラミング時）に，データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に，STOPモード状態に遷移することは禁止

注意1.　リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ（DFLCTL）を必ず設定してください。

2.　データ･フラッシュの書き換え中は，高速オンチップ･オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30 μs経過後にデータ・フラッシュ・ライブラリを実行してください。

備考　ユーザ・プログラムでのコード・フラッシュ・メモリの書き換えに関しては，26. 6　セルフ・プログラミングを参照してください。

26. 8. 2　データ・フラッシュを制御するレジスタ

26. 8. 2. 1　データ・フラッシュ・コントロール・レジスタ（DFLCTL）

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。

DFLCTLレジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図26－12　データ・フラッシュ・コントロール・レジスタ（DFLCTL）のフォーマット

アドレス：F0090H　　リセット時：00H　　R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意　データ・フラッシュの書き換え中に，DFLCTLレジスタを操作することは禁止です。

26. 8. 3　データ・フラッシュへのアクセス手順

リセット解除後，データ・フラッシュは停止状態です。データ・フラッシュへアクセスするには，以下の手順で初期設定を行う必要があります。

① データ・フラッシュ・コントロール・レジスタ（DFLCTL）のビット0（DFLEN）に“1”を設定する。

② ソフトウエア・タイマなどでセットアップ時間をウエイトする。

セットアップ時間はメイン・クロックの各フラッシュの動作モードによって異なります。

＜各フラッシュの動作モードでのセットアップ時間＞

・HS（高速メイン）モード時　　：5 μs

・LS（低速メイン）モード時　　：720 ns

・LV（低電圧メイン）モード時　：10 μs

③ セットアップ時間のウエイト完了後，データ・フラッシュへのアクセスが可能となります。

注意1. セットアップ時間中のデータ・フラッシュへのアクセスは禁止です。

2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は，DFLEN = 0に設定してから，STOP命令を実行してください。

3. データ・フラッシュの書き換え中は，高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は，高速オンチップ・オシレータ・クロックを動作（HIOSTOP = 0）させ，30 μs経過後にデータ・フラッシュ・ライブラリを実行してください。

★ 4. CPU／周辺ハードウエア・クロック周波数にサブシステム・クロックを選択した状態 (CLS = 1)でデータ・フラッシュを読み出した場合は，CPU／周辺ハードウエア・クロックをサブシステム・クロックからメイン・システム・クロックに切り替え後，最初にデータ・フラッシュを読み出すときは以下の（1）～（3）の手順で読み出してください。

（1）メイン・システム・クロックに切り替わったこと (CLS = 0) 確認します。

（2）次に任意のデータ・フラッシュを読み出します。（読み出し値は不正）

（3）最後に各動作モードに応じて，以下時間経過後に読み出しを行ってください。

HS（高速メイン）モード　：5 μS

LS（低速メイン）モード　：1 μS

LV（低電圧メイン）モード　：10 μS

初期設定後は，CPU命令による読み出し，またはデータ・フラッシュ・ライブラリによる読み出し／書き換えが可能です。

ただし，データ・フラッシュ・アクセス時にDMAコントローラが動作する場合は，次のいずれかの手順に従って実施してください。

（A） DMAの転送保留/強制終了

データ・フラッシュを読み出す前に，使用している全てのチャネルのDMA転送を保留してください。ただし，DWAITnビットに1を設定後，データ・フラッシュの読み出し前までに3クロック(f_{CLK})以上の間隔をあけてください。データ・フラッシュの読み出し後に，DWAITnビットを0に設定し転送保留を解除してください。

または，データ・フラッシュを読み出す前に，16. 5. 5 ソフトウエアでの強制終了の手順に従ってDMA転送を強制終了してください。DMA転送の再開はデータ・フラッシュ読み出し後に行ってください。

（B） ライブラリを使用してデータ・フラッシュにアクセス

最新のデータ・フラッシュ・ライブラリを使用して，データ・フラッシュにアクセスしてください。

（C） NOPの挿入

データ・フラッシュの読み出し命令の直前にNOP命令を挿入してください。

＜例＞

```
MOVW    HL, !addr16     ; RAMの読み出し
NOP                     ; データ・フラッシュのリード前にNOP命令を挿入
MOV     A,[DE]          ; データ・フラッシュの読み出し
```

ただし，C言語などの高級言語を使用している場合，1コードに対してコンパイラが2命令を生成する場合があります。この場合，データ・フラッシュの読み出し命令の直前にNOP命令が挿入されないため，（A）または（B）にて，読み出してください。

備考1.　n：DMAチャネル番号（n = 0, 1）

2.　f_{CLK}：CPU／周辺ハードウエア・クロック周波数

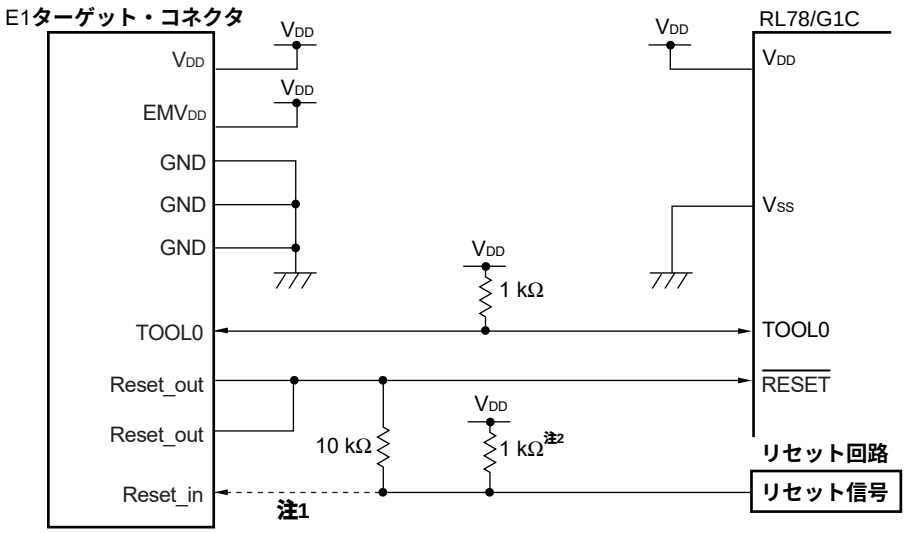
第27章　オンチップ・デバッグ機能

27. 1　E1オンチップデバッギングエミュレータとRL78/G1Cの接続

RL78/G1Cは，オンチップ・デバッグ対応のE1オンチップデバッギングエミュレータを介して，ホスト・マシンとの通信を行う場合，V_{DD}, $\overline{RESET}$, TOOL0, V_{SS}端子を使用します。シリアル通信としては，TOOL0端子を使用した単線UARTを使用します。

注意　RL78/G1Cには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

図27－1　E1オンチップデバッギングエミュレータとRL78/G1Cの接続例



注1.　シリアル・プログラミング時，点線部の接続は必要ありません。

2.　ターゲット・システム上のリセット回路にバッファがなく，抵抗やコンデンサのみでリセット信号を生成する場合，このプルアップは必要ありません。

注意　リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

27.2　オンチップ・デバッグ・セキュリティID

RL78/G1Cは，第三者からメモリの内容を読み取られないようにするために，フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第25章　オプション・バイトを参照）を，000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は，000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので，あらかじめ010C3H，010C4H-010CDHにも同じ値を設定してください。

表27－1　オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード（All FFHを除く）
010C4H-010CDH	

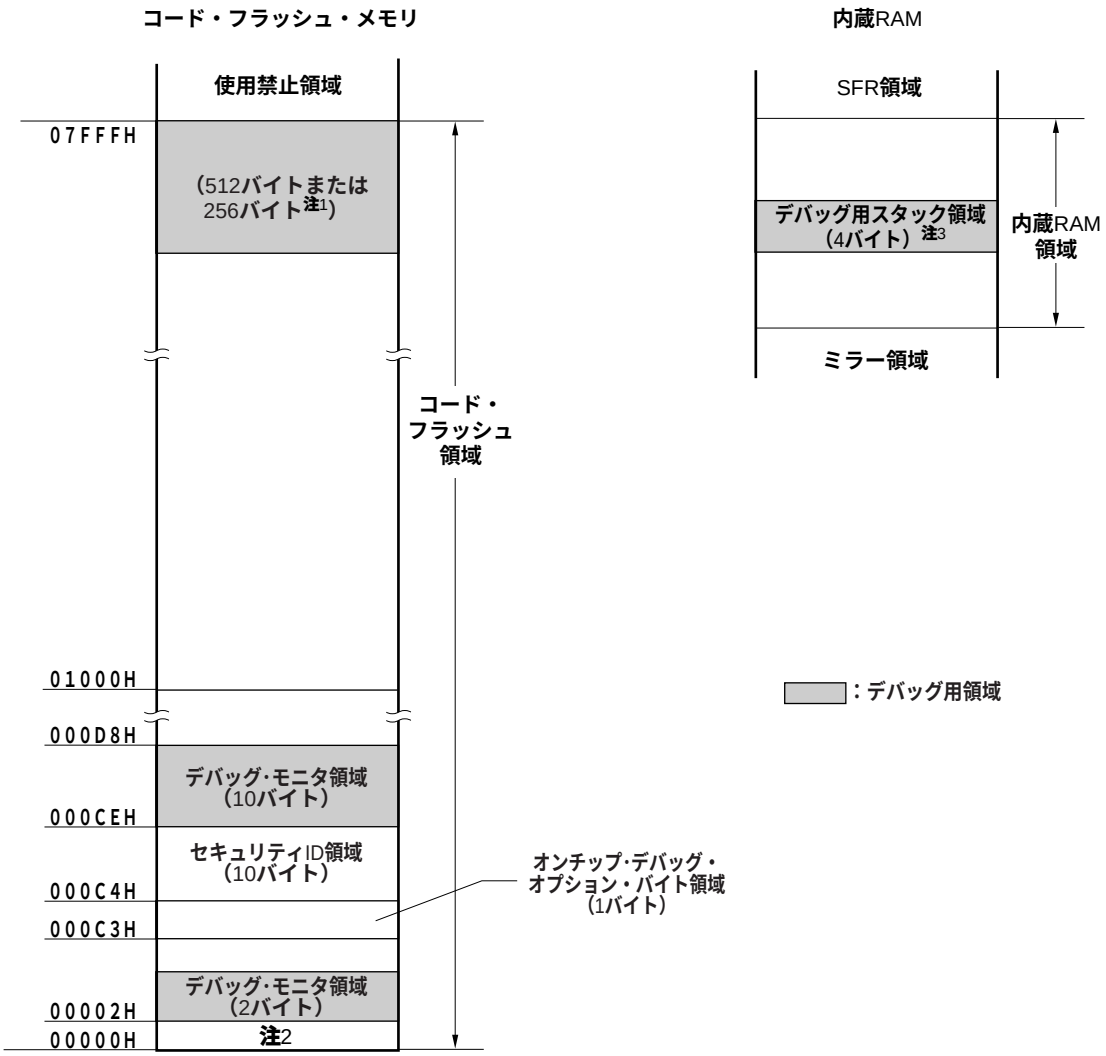
27.3　ユーザ資源の確保

RL78/G1CとE1オンチップデバッギングエミュレータとの通信，または各デバッグ機能を実現するためには，メモリ空間の確保を事前に行う必要があります。また，当社製アセンブラ，コンパイラを使用している場合は，リンク・オプションで設定することもできます。

（1）メモリ空間の確保

図27－2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために，ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は，この空間を使用しないように領域を確保する必要があります。また，ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図27－2　デバッグ用モニタ・プログラムが配置されるメモリ空間



注1.　リアルタイムRAMモニタ（RRM）機能，Dynamic Memory Modification（DMM）機能を使用しない場合は256バイトになります。

2.　デバッグ時，リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

3.　この領域はスタック領域の直下に配置されるため，スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し，4バイト余分に消費します。
セルフプログラミングを行う場合は，12バイト余分に消費します。

第28章　10進補正（BCD）回路

28. 1　10進補正回路の機能

BCDコード（2進化10進数）とBCDコード（2進化10進数）の加減算結果を，BCDコード（2進化10進数）で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと，さらにBCD補正結果レジスタ（BCDADJ）を加減算することで10進補正演算結果が求められます。

28. 2　10進補正回路で使用するレジスタ

10進補正回路は，次のレジスタを使用します。

・BCD補正結果レジスタ（BCDADJ）

28. 2. 1　BCD補正結果レジスタ（BCDADJ）

BCDADJレジスタには，Aレジスタをオペランドにもつ加減算命令によって，BCDコードで加減算結果を求めるための補正値が格納されます。

また，BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは，8ビット・メモリ操作命令で読み出します。

リセット信号の発生により，不定になります。

図28－1　BCD補正結果レジスタ（BCDADJ）のフォーマット

アドレス：F00FEH　リセット時：不定　R

略号	7	6	5	4	3	2	1	0
BCDADJ								

28. 3　10進補正回路の動作

10進補正回路の基本動作を次に示します。

（1）加算　BCDコード値とBCDコード値の加算結果を，BCDコード値で求める

① 加算したいBCDコード値（被加算値）をAレジスタに格納する。

② Aレジスタと第2オペランドの値（もう1つの加算したいBCDコード値，加算値）を，そのまま2進数で加算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での加算結果）とBCDADJレジスタの値（補正値）を2進数で加算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例1　99＋89 = 188

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #99H　; ①	99H	—	—	—
ADD　A, #89H　; ②	22H	1	1	66H
ADD　A, !BCDADJ　; ③	88H	1	0	—

例2　85＋15 = 100

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #85H　; ①	85H	—	—	—
ADD　A, #15H　; ②	9AH	0	0	66H
ADD　A, !BCDADJ　; ③	00H	1	1	—

例3　80＋80 = 160

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV　A, #80H　; ①	80H	—	—	—
ADD　A, #80H　; ②	00H	1	0	60H
ADD　A, !BCDADJ　; ③	60H	1	0	—

（2）減算　BCDコード値からBCDコード値の減算結果を，BCDコード値で求める

① 減算されるBCDコード値（被減算値）をAレジスタに格納する。

② Aレジスタから第2オペランドの値（減算するBCDコード値，減算値）を，そのまま2進数で減算することにより，2進数での演算結果がAレジスタに格納され，補正値がBCD補正結果レジスタ（BCDADJ）に格納される。

③ Aレジスタ（2進数での減算結果）からBCDADJレジスタの値（補正値）を2進数で減算することにより10進補正演算を行い，AレジスタとCYフラグに補正結果が格納される。

注意　BCDADJレジスタの読み出し値は，読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため，②の命令のあとは，他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は，割り込み関数内でAレジスタの退避，復帰が必要となります。PSW（CYフラグ，ACフラグ）は，RETI命令によって復帰されます。

例を次に示します。

例　91－52 = 39

命　令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
`MOV A, #91H ; ①`	91H	－	－	－
`SUB A, #52H ; ②`	3FH	0	1	06H
`SUB A, !BCDADJ ; ③`	39H	0	0	－

第29章　命令セットの概要

RL78マイクロコントローラの命令セットを一覧表にして示します。なお，各命令の詳細な動作および機械語（命令コード）については，RL78マイクロコントローラ　ユーザーズ・マニュアル　ソフトウエア編（R01US0015）を参照してください。

29. 1　凡　　例

29. 1. 1　オペランドの表現形式と記述方法

各命令のオペランド欄には，その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は，アセンブラ仕様によります）。記述方法の中で複数個あるものは，それらの要素の1つを選択します。大文字で書かれた英字および#，!，!!，$，$!，[ ]，ES:の記号はキーワードであり，そのまま記述します。記号の説明は，次のとおりです。

- #　　：イミーディエト・データ指定
- !　　：16ビット絶対アドレス指定
- !!　　：20ビット絶対アドレス指定
- $　　：8ビット相対アドレス指定
- $!　　：16ビット相対アドレス指定
- [ ]　　：間接アドレス指定
- ES:　　：拡張アドレス指定

イミーディエト・データのときは，適当な数値またはラベルを記述します。ラベルで記述する際も#，!，!!，$，$!，[ ]，ES:記号は必ず記述してください。

また，オペランドのレジスタの記述形式r, rpには，機能名称（X, A, Cなど），絶対名称（表29－1の中のカッコ内の名称，R0, R1, R2など）のいずれの形式でも記述可能です。

表29－1　オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0)，A(R1)，C(R2)，B(R3)，E(R4)，D(R5)，L(R6)，H(R7)
rp	AX(RP0)，BC(RP1)，DE(RP2)，HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ注）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH　イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
addr20	00000H-FFFFFH　イミーディエト・データまたはラベル
addr16	0000H-FFFFH　イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ注）
addr5	0080H-00BFH　イミーディエト・データまたはラベル（偶数アドレスのみ注）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	1ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注　奇数アドレスを指定した場合はビット0が“0”になります。

備考　特殊機能レジスタは，オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3－5 SFR一覧を参照してください。

拡張特殊機能レジスタは，オペランド !addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3－6　拡張SFR（2nd SFR）一覧を参照してください。

29. 1. 2　オペレーション欄の説明

各命令のオペレーション欄には，その命令実行時の動作を次の記号を用いて表します。

表29－2　オペレーション欄の記号

記　　号	機　　能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X_H，X_L X_S，X_H，X_L	16ビット・レジスタの場合はX_H =上位8ビット，X_L =下位8ビット 20ビット・レジスタの場合はX_S(ビット19-16)，X_H(ビット15-8)，X_L(ビット7-0)
∧	論理積（AND）
∨	論理和（OR）
∀	排他的論理和（exclusive OR）
―	反転データ
addr5	16ビット・イミーディエト・データ（0080H-00BFHの偶数アドレスのみ）
addr16	16ビット・イミーディエト・データ
addr20	20ビット・イミーディエト・データ
jdisp8	符号付き8ビット・データ（ディスプレースメント値）
jdisp16	符号付き16ビット・データ（ディスプレースメント値）

29. 1. 3　フラグ動作欄の説明

各命令のフラグ欄には，その命令実行時のフラグの変化を下記の記号を用いて表す。

表29－3　フラグ欄の記号

記号	フラグ変化
（ブランク）	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット／リセットされる
R	以前に退避した値がリストアされる

29. 1. 4　PREFIX命令

ES:で示される命令は，PREFIX命令コードを頭に付けることで，アクセスできるデータ領域をF0000H-FFFFFHの64 Kバイト空間から，ESレジスタの値を付加した00000H-FFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで，PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお，PREFIX命令コードと直後の1命令の間に割り込みやDMA転送を受け付けることはありません。

表29－4　PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	－
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	－	－	－	－
MOV A, ES:[HL]	11H	8BH	－	－	－

注意　ESレジスタの値は，PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

29. 2　オペレーション一覧

表29－5　オペレーション一覧（1/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	MOV	r, #byte	2	1	－	r ← byte			
		PSW, #byte	3	3	－	PSW ← byte	×	×	×
		CS, #byte	3	1	－	CS ← byte			
		ES, #byte	2	1	－	ES ← byte			
		!addr16, #byte	4	1	－	(addr16) ← byte			
		ES:!addr16, #byte	5	2	－	(ES, addr16) ← byte			
		saddr, #byte	3	1	－	(saddr) ← byte			
		sfr, #byte	3	1	－	sfr ← byte			
		[DE+byte], #byte	3	1	－	(DE＋byte) ← byte			
		ES:[DE+byte],#byte	4	2	－	((ES, DE)＋byte) ← byte			
		[HL+byte], #byte	3	1	－	(HL＋byte) ← byte			
		ES:[HL+byte],#byte	4	2	－	((ES, HL)＋byte) ← byte			
		[SP+byte], #byte	3	1	－	(SP＋byte) ← byte			
		word[B], #byte	4	1	－	(B＋word) ← byte			
		ES:word[B], #byte	5	2	－	((ES, B)＋word) ← byte			
		word[C], #byte	4	1	－	(C＋word) ← byte			
		ES:word[C], #byte	5	2	－	((ES, C)＋word) ← byte			
		word[BC], #byte	4	1	－	(BC＋word) ← byte			
		ES:word[BC], #byte	5	2	－	((ES, BC)＋word) ← byte			
		A, r 注3	1	1	－	A ← r			
		r, A 注3	1	1	－	r ← A			
		A, PSW	2	1	－	A ← PSW			
		PSW, A	2	3	－	PSW ← A	×	×	×
		A, CS	2	1	－	A ← CS			
		CS, A	2	1	－	CS ← A			
		A, ES	2	1	－	A ← ES			
		ES, A	2	1	－	ES ← A			
		A, !addr16	3	1	4	A ← (addr16)			
		A, ES:!addr16	4	2	5	A ← (ES, addr16)			
		!addr16, A	3	1	－	(addr16) ← A			
		ES:!addr16, A	4	2	－	(ES, addr16) ← A			
		A, saddr	2	1	－	A ← (saddr)			
		saddr, A	2	1	－	(saddr) ← A			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（2/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, sfr	2	1	－	A ← sfr	
		sfr, A	2	1	－	sfr ← A	
		A, [DE]	1	1	4	A ← (DE)	
		[DE], A	1	1	－	(DE) ← A	
		A, ES:[DE]	2	2	5	A ← (ES, DE)	
		ES:[DE], A	2	2	－	(ES, DE) ← A	
		A, [HL]	1	1	4	A ← (HL)	
		[HL], A	1	1	－	(HL) ← A	
		A, ES:[HL]	2	2	5	A ← (ES, HL)	
		ES:[HL], A	2	2	－	(ES, HL) ← A	
		A, [DE+byte]	2	1	4	A ← (DE＋byte)	
		[DE+byte], A	2	1	－	(DE＋byte) ← A	
		A, ES:[DE+byte]	3	2	5	A ← ((ES, DE)＋byte)	
		ES:[DE+byte], A	3	2	－	((ES, DE)＋byte) ← A	
		A, [HL+byte]	2	1	4	A ← (HL＋byte)	
		[HL+byte], A	2	1	－	(HL＋byte) ← A	
		A, ES:[HL+byte]	3	2	5	A ← ((ES, HL)＋byte)	
		ES:[HL+byte], A	3	2	－	((ES, HL)＋byte) ← A	
		A, [SP+byte]	2	1	－	A ← (SP＋byte)	
		[SP+byte], A	2	1	－	(SP＋byte) ← A	
		A, word[B]	3	1	4	A ← (B＋word)	
		word[B], A	3	1	－	(B＋word) ← A	
		A, ES:word[B]	4	2	5	A ← ((ES, B)＋word)	
		ES:word[B], A	4	2	－	((ES, B)＋word) ← A	
		A, word[C]	3	1	4	A ← (C＋word)	
		word[C], A	3	1	－	(C＋word) ← A	
		A, ES:word[C]	4	2	5	A ← ((ES, C)＋word)	
		ES:word[C], A	4	2	－	((ES, C)＋word) ← A	
		A, word[BC]	3	1	4	A ← (BC＋word)	
		word[BC], A	3	1	－	(BC＋word) ← A	
		A, ES:word[BC]	4	2	5	A ← ((ES, BC)＋word)	
		ES:word[BC], A	4	2	－	((ES, BC)＋word) ← A	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（3/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	A ← (HL＋B)	
		[HL+B], A	2	1	－	(HL＋B) ← A	
		A, ES:[HL+B]	3	2	5	A ← ((ES, HL)＋B)	
		ES:[HL+B], A	3	2	－	((ES, HL)＋B) ← A	
		A, [HL+C]	2	1	4	A ← (HL＋C)	
		[HL+C], A	2	1	－	(HL＋C) ← A	
		A, ES:[HL+C]	3	2	5	A ← ((ES, HL)＋C)	
		ES:[HL+C], A	3	2	－	((ES, HL)＋C) ← A	
		X, !addr16	3	1	4	X ← (addr16)	
		X, ES:!addr16	4	2	5	X ← (ES, addr16)	
		X, saddr	2	1	－	X ← (saddr)	
		B, !addr16	3	1	4	B ← (addr16)	
		B, ES:!addr16	4	2	5	B ← (ES, addr16)	
		B, saddr	2	1	－	B ← (saddr)	
		C, !addr16	3	1	4	C ← (addr16)	
		C, ES:!addr16	4	2	5	C ← (ES, addr16)	
		C, saddr	2	1	－	C ← (saddr)	
		ES, saddr	3	1	－	ES ← (saddr)	
	XCH	A, r 注3	1 (r＝X) 2 (r＝X以外)	1	－	A ⟷ r	
		A, !addr16	4	2	－	A ⟷ (addr16)	
		A, ES:!addr16	5	3	－	A ⟷ (ES, addr16)	
		A, saddr	3	2	－	A ⟷ (saddr)	
		A, sfr	3	2	－	A ⟷ sfr	
		A, [DE]	2	2	－	A ⟷ (DE)	
		A, ES:[DE]	3	3	－	A ⟷ (ES, DE)	
		A, [HL]	2	2	－	A ⟷ (HL)	
		A, ES:[HL]	3	3	－	A ⟷ (ES, HL)	
		A, [DE+byte]	3	2	－	A ⟷ (DE＋byte)	
		A, ES:[DE+byte]	4	3	－	A ⟷ ((ES, DE)＋byte)	
		A, [HL+byte]	3	2	－	A ⟷ (HL＋byte)	
		A, ES:[HL+byte]	4	3	－	A ⟷ ((ES, HL)＋byte)	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（4/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	－	A ⟷ (HL＋B)			
		A, ES:[HL+B]	3	3	－	A ⟷ ((ES, HL)＋B)			
		A, [HL+C]	2	2	－	A ⟷ (HL＋C)			
		A, ES:[HL+C]	3	3	－	A ⟷ ((ES, HL)＋C)			
	ONEB	A	1	1	－	A ← 01H			
		X	1	1	－	X ← 01H			
		B	1	1	－	B ← 01H			
		C	1	1	－	C ← 01H			
		!addr16	3	1	－	(addr16) ← 01H			
		ES:!addr16	4	2	－	(ES, addr16) ← 01H			
		saddr	2	1	－	(saddr) ← 01H			
	CLRB	A	1	1	－	A ← 00H			
		X	1	1	－	X ← 00H			
		B	1	1	－	B ← 00H			
		C	1	1	－	C ← 00H			
		!addr16	3	1	－	(addr16) ← 00H			
		ES:!addr16	4	2	－	(ES,addr16) ← 00H			
		saddr	2	1	－	(saddr) ← 00H			
	MOVS	[HL+byte], X	3	1	－	(HL＋byte) ← X	×		×
		ES:[HL+byte], X	4	2	－	(ES, HL＋byte) ← X	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	－	rp ← word			
		saddrp, #word	4	1	－	(saddrp) ← word			
		sfrp, #word	4	1	－	sfrp ← word			
		AX, rp 注3	1	1	－	AX ← rp			
		rp, AX 注3	1	1	－	rp ← AX			
		AX, !addr16	3	1	4	AX ←（addr16）			
		!addr16, AX	3	1	－	（addr16）← AX			
		AX, ES:!addr16	4	2	5	AX ← (ES, addr16)			
		ES:!addr16, AX	4	2	－	(ES, addr16) ← AX			
		AX, saddrp	2	1	－	AX ← (saddrp)			
		saddrp, AX	2	1	－	(saddrp) ← AX			
		AX, sfrp	2	1	－	AX ← sfrp			
		sfrp, AX	2	1	－	sfrp ← AX			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　rp = AXを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（5/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
16ビット・データ転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)	
		[DE], AX	1	1	－	(DE) ← AX	
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)	
		ES:[DE], AX	2	2	－	(ES, DE) ← AX	
		AX, [HL]	1	1	4	AX ← (HL)	
		[HL], AX	1	1	－	(HL) ← AX	
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)	
		ES:[HL], AX	2	2	－	(ES, HL) ← AX	
		AX, [DE+byte]	2	1	4	AX ← (DE＋byte)	
		[DE+byte], AX	2	1	－	(DE＋byte) ← AX	
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE)＋byte)	
		ES:[DE+byte], AX	3	2	－	((ES, DE)＋byte) ← AX	
		AX, [HL+byte]	2	1	4	AX ← (HL＋byte)	
		[HL+byte], AX	2	1	－	(HL＋byte) ← AX	
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL)＋byte)	
		ES:[HL+byte], AX	3	2	－	((ES, HL)＋byte) ← AX	
		AX, [SP+byte]	2	1	－	AX ← (SP＋byte)	
		[SP+byte], AX	2	1	－	(SP＋byte) ← AX	
		AX, word[B]	3	1	4	AX ← (B＋word)	
		word[B], AX	3	1	－	(B＋word) ← AX	
		AX, ES:word[B]	4	2	5	AX ← ((ES, B)＋word)	
		ES:word[B], AX	4	2	－	((ES, B)＋word) ← AX	
		AX, word[C]	3	1	4	AX ← (C＋word)	
		word[C], AX	3	1	－	(C＋word) ← AX	
		AX, ES:word[C]	4	2	5	AX ← ((ES, C)＋word)	
		ES:word[C], AX	4	2	－	((ES, C)＋word) ← AX	
		AX, word[BC]	3	1	4	AX ← (BC＋word)	
		word[BC], AX	3	1	－	(BC＋word) ← AX	
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC)＋word)	
		ES:word[BC], AX	4	2	－	((ES, BC)＋word) ← AX	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（6/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	－	BC ← (saddrp)			
		DE, saddrp	2	1	－	DE ← (saddrp)			
		HL, saddrp	2	1	－	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	－	AX ←→ rp			
	ONEW	AX	1	1	－	AX ← 0001H			
		BC	1	1	－	BC ← 0001H			
	CLRW	AX	1	1	－	AX ← 0000H			
		BC	1	1	－	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	－	A, CY ← A＋byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte	×	×	×
		A, r 注4	2	1	－	A, CY ← A＋r	×	×	×
		r, A	2	1	－	r, CY ← r＋A	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)	×	×	×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　rp = AXを除く。

4.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（7/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	ADDC	A, #byte	2	1	－	A, CY ← A＋byte＋CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)＋byte＋CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A＋r＋CY	×	×	×
		r, A	2	1	－	r, CY ← r＋A＋CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A＋(addr16)＋CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A＋(ES, addr16)＋CY	×	×	×
		A, saddr	2	1	－	A, CY ← A＋(saddr)＋CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A＋(HL)＋CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A＋(ES, HL)＋CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A＋(HL＋byte)＋CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A＋((ES, HL)＋byte)＋CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A＋(HL＋B)＋CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A＋((ES, HL)＋B)＋CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A＋(HL＋C)＋CY	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A＋((ES, HL)＋C)＋CY	×	×	×
	SUB	A, #byte	2	1	－	A, CY ← A－byte	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr) －byte	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r	×	×	×
		r, A	2	1	－	r, CY ← r－A	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A,CY ← A－((ES, HL)＋C)	×	×	×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（8/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	SUBC	A, #byte	2	1	－	A, CY ← A－byte－CY	×	×	×
		saddr, #byte	3	2	－	(saddr), CY ← (saddr)－byte－CY	×	×	×
		A, r 注3	2	1	－	A, CY ← A－r－CY	×	×	×
		r, A	2	1	－	r, CY ← r－A－CY	×	×	×
		A, !addr16	3	1	4	A, CY ← A－(addr16)－CY	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A－(ES, addr16)－CY	×	×	×
		A, saddr	2	1	－	A, CY ← A－(saddr)－CY	×	×	×
		A, [HL]	1	1	4	A, CY ← A－(HL)－CY	×	×	×
		A, ES:[HL]	2	2	5	A,CY ← A－(ES, HL)－CY	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A－(HL＋byte)－CY	×	×	×
		A, ES:[HL+byte]	3	2	5	A,CY ← A－((ES, HL)＋byte)－CY	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A－(HL＋B)－CY	×	×	×
		A, ES:[HL+B]	3	2	5	A,CY ← A－((ES, HL)＋B)－CY	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A－(HL＋C)－CY	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A－((ES:HL)＋C)－CY	×	×	×
	AND	A, #byte	2	1	－	A ← A∧byte	×		
		saddr, #byte	3	2	－	(saddr) ← (saddr)∧byte	×		
		A, r 注3	2	1	－	A ← A∧r	×		
		r, A	2	1	－	r ← r∧A	×		
		A, !addr16	3	1	4	A ← A∧(addr16)	×		
		A, ES:!addr16	4	2	5	A ← A∧(ES:addr16)	×		
		A, saddr	2	1	－	A ← A∧(saddr)	×		
		A, [HL]	1	1	4	A ← A∧(HL)	×		
		A, ES:[HL]	2	2	5	A ← A∧(ES:HL)	×		
		A, [HL+byte]	2	1	4	A ← A∧(HL＋byte)	×		
		A, ES:[HL+byte]	3	2	5	A ← A∧((ES:HL)＋byte)	×		
		A, [HL+B]	2	1	4	A ← A∧(HL＋B)	×		
		A, ES:[HL+B]	3	2	5	A ← A∧((ES:HL)＋B)	×		
		A, [HL+C]	2	1	4	A ← A∧(HL＋C)	×		
		A, ES:[HL+C]	3	2	5	A ← A∧((ES:HL)＋C)	×		

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（9/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z AC CY
8ビット演算	OR	A, #byte	2	1	－	A ← A∨byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr) ∨byte	×
		A, r 注3	2	1	－	A ← A∨r	×
		r, A	2	1	－	r ← r∨A	×
		A, !addr16	3	1	4	A ← A∨(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∨(ES:addr16)	×
		A, saddr	2	1	－	A ← A∨(saddr)	×
		A, [HL]	1	1	4	A ← A∨(HL)	×
		A, ES:[HL]	2	2	5	A ← A∨(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∨(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∨((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∨(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∨((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∨(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∨((ES:HL)＋C)	×
	XOR	A, #byte	2	1	－	A ← A∀byte	×
		saddr, #byte	3	2	－	(saddr) ← (saddr)∀byte	×
		A, r 注3	2	1	－	A ← A∀r	×
		r, A	2	1	－	r ← r∀A	×
		A, !addr16	3	1	4	A ← A∀(addr16)	×
		A, ES:!addr16	4	2	5	A ← A∀(ES:addr16)	×
		A, saddr	2	1	－	A ← A∀(saddr)	×
		A, [HL]	1	1	4	A ← A∀(HL)	×
		A, ES:[HL]	2	2	5	A ← A∀(ES:HL)	×
		A, [HL+byte]	2	1	4	A ← A∀(HL＋byte)	×
		A, ES:[HL+byte]	3	2	5	A ← A∀((ES:HL)＋byte)	×
		A, [HL+B]	2	1	4	A ← A∀(HL＋B)	×
		A, ES:[HL+B]	3	2	5	A ← A∀((ES:HL)＋B)	×
		A, [HL+C]	2	1	4	A ← A∀(HL＋C)	×
		A, ES:[HL+C]	3	2	5	A ← A∀((ES:HL)＋C)	×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（10/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
8ビット演算	CMP	A, #byte	2	1	－	A－byte	×	×	×
		!addr16, #byte	4	1	4	(addr16)－byte	×	×	×
		ES:!addr16, #byte	5	2	5	(ES:addr16)－byte	×	×	×
		saddr, #byte	3	1	－	(saddr)－byte	×	×	×
		A, r 注3	2	1	－	A－r	×	×	×
		r, A	2	1	－	r－A	×	×	×
		A, !addr16	3	1	4	A－(addr16)	×	×	×
		A, ES:!addr16	4	2	5	A－(ES:addr16)	×	×	×
		A, saddr	2	1	－	A－(saddr)	×	×	×
		A, [HL]	1	1	4	A－(HL)	×	×	×
		A, ES:[HL]	2	2	5	A－(ES:HL)	×	×	×
		A, [HL+byte]	2	1	4	A－(HL＋byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A－((ES:HL)＋byte)	×	×	×
		A, [HL+B]	2	1	4	A－(HL＋B)	×	×	×
		A, ES:[HL+B]	3	2	5	A－((ES:HL)＋B)	×	×	×
		A, [HL+C]	2	1	4	A－(HL＋C)	×	×	×
		A, ES:[HL+C]	3	2	5	A－((ES:HL)＋C)	×	×	×
	CMP0	A	1	1	－	A－00H	×	0	0
		X	1	1	－	X－00H	×	0	0
		B	1	1	－	B－00H	×	0	0
		C	1	1	－	C－00H	×	0	0
		!addr16	3	1	4	(addr16)－00H	×	0	0
		ES:!addr16	4	2	5	(ES:addr16)－00H	×	0	0
		saddr	2	1	－	(saddr)－00H	×	0	0
	CMPS	X, [HL+byte]	3	1	4	X－(HL＋byte)	×	×	×
		X, ES:[HL+byte]	4	2	5	X－((ES:HL)＋byte)	×	×	×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　r = Aを除く。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（11/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
16ビット演算	ADDW	AX, #word	3	1	－	AX, CY ← AX＋word	×	×	×
		AX, AX	1	1	－	AX, CY ← AX＋AX	×	×	×
		AX, BC	1	1	－	AX, CY ← AX＋BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX＋DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX＋HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX＋(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX＋(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX＋(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX＋(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX＋((ES:HL)＋byte)	×	×	×
	SUBW	AX, #word	3	1	－	AX, CY ← AX－word	×	×	×
		AX, BC	1	1	－	AX, CY ← AX－BC	×	×	×
		AX, DE	1	1	－	AX, CY ← AX－DE	×	×	×
		AX, HL	1	1	－	AX, CY ← AX－HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX, CY ← AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX－((ES:HL)＋byte)	×	×	×
	CMPW	AX, #word	3	1	－	AX－word	×	×	×
		AX, BC	1	1	－	AX－BC	×	×	×
		AX, DE	1	1	－	AX－DE	×	×	×
		AX, HL	1	1	－	AX－HL	×	×	×
		AX, !addr16	3	1	4	AX－(addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX－(ES:addr16)	×	×	×
		AX, saddrp	2	1	－	AX－(saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX－(HL＋byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX－((ES:HL)＋byte)	×	×	×
乗算	MULU	X	1	1	－	AX ← A×X			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（12/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
増減	INC	r	1	1	－	r ← r+1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)+1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)+1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)+1	×	×	
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte)+1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte)+1	×	×	
	DEC	r	1	1	－	r ← r－1	×	×	
		!addr16	3	2	－	(addr16) ← (addr16)－1	×	×	
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16) －1	×	×	
		saddr	2	2	－	(saddr) ← (saddr)－1	×	×	
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte) －1	×	×	
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte) －1	×	×	
	INCW	rp	1	1	－	rp ← rp+1			
		!addr16	3	2	－	(addr16) ← (addr16)+1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)+1			
		saddrp	2	2	－	(saddrp) ← (saddrp)+1			
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte)+1			
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte)+1			
	DECW	rp	1	1	－	rp ← rp－1			
		!addr16	3	2	－	(addr16) ← (addr16)－1			
		ES:!addr16	4	3	－	(ES, addr16) ← (ES, addr16)－1			
		saddrp	2	2	－	(saddrp) ← (saddrp)－1			
		[HL+byte]	3	2	－	(HL+byte) ← (HL+byte) －1			
		ES: [HL+byte]	4	3	－	((ES:HL)+byte) ← ((ES:HL)+byte) －1			
シフト	SHR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← 0) ×cnt		×	
	SHRW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← 0) ×cnt		×	
	SHL	A, cnt	2	1	－	(CY ← A_7, A_m ← A_{m-1}, A_0 ← 0) ×cnt		×	
		B, cnt	2	1	－	(CY ← B_7, B_m ← B_{m-1}, B_0 ← 0) ×cnt		×	
		C, cnt	2	1	－	(CY ← C_7, C_m ← C_{m-1}, C_0 ← 0) ×cnt		×	
	SHLW	AX, cnt	2	1	－	(CY ← AX_{15}, AX_m ← AX_{m-1}, AX_0 ← 0) ×cnt		×	
		BC, cnt	2	1	－	(CY ← BC_{15}, BC_m ← BC_{m-1}, BC_0 ← 0) ×cnt		×	
	SAR	A, cnt	2	1	－	(CY ← A_0, A_{m-1} ← A_m, A_7 ← A_7) ×cnt		×	
	SARW	AX, cnt	2	1	－	(CY ← AX_0, AX_{m-1} ← AX_m, AX_{15} ← AX_{15}) ×cnt		×	

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考1.　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

2.　cntはビット・シフト数です。

表29－5　オペレーション一覧（13/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ローテート	ROR	A, 1	2	1	－	(CY, A_7 ← A_0, A_{m-1} ← A_m) × 1			×
	ROL	A, 1	2	1	－	(CY, A_0 ← A_7, A_{m+1} ← A_m) × 1			×
	RORC	A, 1	2	1	－	(CY ← A_0, A_7 ← CY, A_{m-1} ← A_m) × 1			×
	ROLC	A, 1	2	1	－	(CY ← A_7, A_0 ← CY, A_{m+1} ← A_m) × 1			×
	ROLWC	AX,1	2	1	－	(CY ← AX_{15}, AX_0 ← CY, AX_{m+1} ← AX_m) ×1			×
		BC,1	2	1	－	(CY ← BC_{15}, BC_0 ← CY, BC_{m+1} ← BC_m) ×1			×
ビット操作	MOV1	CY, A.bit	2	1	－	CY ← A.bit			×
		A.bit, CY	2	1	－	A.bit ← CY			
		CY, PSW.bit	3	1	－	CY ← PSW.bit			×
		PSW.bit, CY	3	4	－	PSW.bit ← CY	×	×	
		CY, saddr.bit	3	1	－	CY ← (saddr).bit			×
		saddr.bit, CY	3	2	－	(saddr).bit ← CY			
		CY, sfr.bit	3	1	－	CY ← sfr.bit			×
		sfr.bit, CY	3	2	－	sfr.bit ← CY			
		CY,[HL].bit	2	1	4	CY ← (HL).bit			×
		[HL].bit, CY	2	2	－	(HL).bit ← CY			
		CY, ES:[HL].bit	3	2	5	CY ← (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	－	(ES, HL).bit ← CY			
	AND1	CY, A.bit	2	1	－	CY ← CY∧A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∧PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∧(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∧sfr.bit			×
		CY,[HL].bit	2	1	4	CY ← CY∧(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∧(ES, HL).bit			×
	OR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（14/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
ビット操作	XOR1	CY, A.bit	2	1	－	CY ← CY∨A.bit			×
		CY, PSW.bit	3	1	－	CY ← CY∨PSW.bit			×
		CY, saddr.bit	3	1	－	CY ← CY∨(saddr).bit			×
		CY, sfr.bit	3	1	－	CY ← CY∨sfr.bit			×
		CY, [HL].bit	2	1	4	CY ← CY∨(HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY ← CY∨(ES, HL).bit			×
	SET1	A.bit	2	1	－	A.bit ← 1			
		PSW.bit	3	4	－	PSW.bit ← 1	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 1			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 1			
		saddr.bit	3	2	－	(saddr).bit ← 1			
		sfr.bit	3	2	－	sfr.bit ← 1			
		[HL].bit	2	2	－	(HL).bit ← 1			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 1			
	CLR1	A.bit	2	1	－	A.bit ← 0			
		PSW.bit	3	4	－	PSW.bit ← 0	×	×	×
		!addr16.bit	4	2	－	(addr16).bit ← 0			
		ES:!addr16.bit	5	3	－	(ES, addr16).bit ← 0			
		saddr.bit	3	2	－	(saddr.bit) ← 0			
		sfr.bit	3	2	－	sfr.bit ← 0			
		[HL].bit	2	2	－	(HL).bit ← 0			
		ES:[HL].bit	3	3	－	(ES, HL).bit ← 0			
	SET1	CY	2	1	－	CY ← 1			1
	CLR1	CY	2	1	－	CY ← 0			0
	NOT1	CY	2	1	－	CY ← $\overline{CY}$			×

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（15/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
コール・リターン	CALL	rp	2	3	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC ← CS, rp, SP ← SP－4			
		$!addr20	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← PC＋3＋jdisp16, SP ← SP－4			
		!addr16	3	3	－	(SP－2) ← $(PC+3)_S$, (SP－3) ← $(PC+3)_H$, (SP－4) ← $(PC+3)_L$, PC ← 0000, addr16, SP ← SP－4			
		!!addr20	4	3	－	(SP－2) ← $(PC+4)_S$, (SP－3) ← $(PC+4)_H$, (SP－4) ← $(PC+4)_L$, PC ← addr20, SP ← SP－4			
	CALLT	[addr5]	2	5	－	(SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0000, addr5＋1), PC_L ← (0000, addr5), SP ← SP－4			
	BRK	－	2	5	－	(SP－1) ← PSW, (SP－2) ← $(PC+2)_S$, (SP－3) ← $(PC+2)_H$, (SP－4) ← $(PC+2)_L$, PC_S ← 0000, PC_H ← (0007FH), PC_L ← (0007EH), SP ← SP－4, IE ← 0			
	RET	－	1	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), SP ← SP＋4			
	RETI	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R
	RETB	－	2	6	－	PC_L ← (SP), PC_H ← (SP＋1), PC_S ← (SP＋2), PSW ← (SP＋3), SP ← SP＋4	R	R	R

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（16/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
スタック操作	PUSH	PSW	2	1	－	(SP－1) ← PSW, (SP－2) ← 00H, SP ← SP－2			
		rp	1	1	－	(SP－1) ← rp_H, (SP－2) ← rp_L, SP ← SP－2			
	POP	PSW	2	3	－	PSW ← (SP＋1) , SP ← SP＋2	R	R	R
		rp	1	1	－	rp_L ← (SP) , rp_H ← (SP＋1) , SP ← SP＋2			
	MOVW	SP, #word	4	1	－	SP ← word			
		SP, AX	2	1	－	SP ← AX			
		AX, SP	2	1	－	AX ← SP			
		HL, SP	3	1	－	HL ← SP			
		BC, SP	3	1	－	BC ← SP			
		DE, SP	3	1	－	DE ← SP			
	ADDW	SP, #byte	2	1	－	SP ← SP＋byte			
	SUBW	SP, #byte	2	1	－	SP ← SP－byte			
無条件分岐	BR	AX	2	3	－	PC ← CS, AX			
		$addr20	2	3	－	PC ← PC＋2＋jdisp8			
		$!addr20	3	3	－	PC ← PC＋3＋jdisp16			
		!addr16	3	3	－	PC ← 0000, addr16			
		!!addr20	4	3	－	PC ← addr20			
条件付き分岐	BC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 1			
	BNC	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if CY = 0			
	BZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 1			
	BNZ	$addr20	2	2/4注3	－	PC ← PC＋2＋jdisp8 if Z = 0			
	BH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=0			
	BNH	$addr20	3	2/4注3	－	PC ← PC+3+jdisp8 if (Z∨CY)=1			
	BT	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1			
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1			
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1			
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 1			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　クロック数は“条件不成立時／条件成立時”を表しています。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

表29－5　オペレーション一覧（17/17）

命令群	ニモニック	オペランド	バイト	クロック 注1	クロック 注2	オペレーション	フラグ Z	フラグ AC	フラグ CY
条件付き分岐	BF	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 0			
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 0			
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 0			
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 0			
		[HL].bit, $addr20	3	3/5注3	6/7	PC ← PC＋3＋jdisp8 if (HL).bit = 0			
		ES:[HL].bit, $addr20	4	4/6注3	7/8	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, $addr20	4	3/5注3	－	PC ← PC＋4＋jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, $addr20	3	3/5注3	－	PC ← PC＋3＋jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, $addr20	4	4/6注3	－	PC ← PC＋4＋jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	－	2	1	－	Next instruction skip if CY = 1			
	SKNC	－	2	1	－	Next instruction skip if CY = 0			
	SKZ	－	2	1	－	Next instruction skip if Z = 1			
	SKNZ	－	2	1	－	Next instruction skip if Z = 0			
	SKH	－	2	1	－	Next instruction skip if (Z∨CY)=0			
	SKNH	－	2	1	－	Next instruction skip if (Z∨CY)=1			
CPU制御	SEL注4	RBn	2	1	－	RBS[1:0] ← n			
	NOP	－	1	1	－	No Operation			
	EI	－	3	4	－	IE ← 1 (Enable Interrupt)			
	DI	－	3	4	－	IE ← 0 (Disable Interrupt)			
	HALT	－	2	3	－	Set HALT Mode			
	STOP	－	2	3	－	Set STOP Mode			

注1.　内部RAM領域，SFR領域および拡張SFR領域をアクセスしたとき，またはデータ・アクセスをしないときのCPUクロック（f_{CLK}）数。

2.　コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック（f_{CLK}）数。

3.　クロック数は“条件不成立時／条件成立時”を表しています。

4.　nはレジスタ・バンク番号です（n = 0-3）。

備考　クロック数は内部ROM（フラッシュ・メモリ）領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合，最大2倍＋3クロックになります。

第30章　電気的特性（A：TA = –40～＋85℃）

この章では，A：民生用途（TA = –40～＋85℃）製品の電気的特性を示します。

対象製品　A：民生用途　TA = －40～＋85℃

R5F10JBCANA, R5F10JBCAFP, R5F10JGCANA, R5F10JGCAFB,
R5F10KBCANA, R5F10KBCAFP, R5F10KGCANA, R5F10KGCAFB

G：産業用途　TA = －40～＋105℃品をTA = －40～＋85℃の範囲で使用する場合

R5F10JBCGNA, R5F10JBCGFP, R5F10JGCGNA, R5F10JGCGFB,
R5F10KBCGNA, R5F10KBCGFP, R5F10KGCGNA, R5F10KGCGFB

注意1.　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2.　製品により搭載している端子が異なります。2. 1　ポート機能 ～2. 2. 1　製品別の搭載機能を参照してください。

30. 1　絶対最大定格

絶対最大定格（T_A = 25 ℃）（1/2）

項　目	略　号	条　件	定　格	単　位
電源電圧	V_{DD}		－0.5～＋6.5	V
REGC端子入力電圧	V_{IREGC}	REGC	－0.3～＋2.8 かつ－0.3～V_{DD}＋0.3[注1]	V
UV_{DD}端子入力電圧	V_{IUVDD}	UV_{DD}	－0.3～V_{DD}＋0.3	V
入力電圧	V_{I1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P70-P75, P120-P124, P137, P140, EXCLK, EXCLKS, $\overline{\text{RESET}}$	－0.3～V_{DD}＋0.3[注2]	V
	V_{I2}	P60-P63（N-chオープン・ドレイン）	－0.3～＋6.5	V
	V_{I3}	UDP0, UDM0, UDP1, UDM1	－0.3～＋6.5	V
	V_{I4}	UV_{BUS}	－0.3～＋6.5	V
出力電圧	V_{O1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P130, P140	－0.3～V_{DD}＋0.3[注2]	V
	V_{O2}	UDP0, UDM0, UDP1, UDM1	－0.3～＋6.5	V
アナログ入力電圧	V_{AI1}	ANI16, ANI17, ANI19	－0.3～V_{DD}＋0.3 かつ－0.3～AV_{REF}（+）＋0.3[注2, 3]	V
	V_{AI2}	ANI0-ANI7	－0.3～V_{DD}＋0.3 かつ－0.3～AV_{REF}（+）＋0.3[注2, 3]	V

注 1.　REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2.　6.5 V以下であること。

3.　A/D変換対象の端子は，AV_{REF}(+)＋0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 1.　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2.　AV_{REF}（+）：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

3.　V_{SS}を基準電圧とする。

絶対最大定格（TA = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ハイ・レベル出力電流	I_{OH1}	1端子	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140	－40	mA
		端子合計 －170 mA	P00, P01, P40, P41, P120, P130, P140	－70	mA
			P14-P17, P30, P31, P50, P51, P70-P75	－100	mA
	I_{OH2}	1端子	P20-P27	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P130, P140	40	mA
		端子合計 170 mA	P00, P01, P40, P41, P120, P130, P140	70	mA
			P14-P17, P30, P31, P50, P51, P60-P63, P70-P75	100	mA
	I_{OL2}	1端子	P20-P27	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		－40～＋85	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			－65～＋150	℃

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

30. 2　発振回路特性

30. 2. 1　X1, XT1発振回路特性

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	発振子	条　　件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数（f_X）注	セラミック発振子／水晶振動子	2.7 V≦V_{DD}≦5.5 V	1.0		20.0	MHz
		2.4 V≦V_{DD}＜2.7 V	1.0		16.0	
XT1クロック発振周波数（f_{XT}）注	水晶振動子		32	32.768	35	kHz

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。
　　また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1, XT1発振回路を使用する場合は，5. 4　システム・クロック発振回路を参照してください。

30. 2. 2　オンチップ・オシレータ特性

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} =0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f_{HOCO}		1		48	MHz
高速オンチップ・オシレータ・クロック周波数精度		－20～＋85 ℃	－1.0		＋1.0	%
		－40～－20 ℃	－1.5		＋1.5	%
低速オンチップ・オシレータ・クロック周波数	f_{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			－15		＋15	%

注1.　高速オンチップ･オシレータの周波数は，オプション･バイト（000C2H/010C2H）のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。
　2.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

30. 2. 3　PLL発振回路特性

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
PLL入力周波数注	f_{PLLIN}	高速システム・クロック	6.00		16.00	MHz
PLL出力周波数注	f_{PLL}			48.00		MHz
ロックアップ・タイム		PLL出力許可から出力周波数の安定まで	40			μs
インターバル・タイム		PLL停止→PLL再動作設定　待ち時間	4			μs
設定待ち時間		PLL入力クロック安定かつPLL設定確定後→起動設定　要待ち時間	1			μs

注　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

30. 3　DC特性

30. 3. 1　端子特性

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140 1端子	2.4 V≦V_{DD}≦5.5 V			－10.0[注2]	mA
		P00, P01, P40, P41, P120, P130, P140　合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			－55.0	mA
			2.7 V≦V_{DD}＜4.0 V			－10.0	mA
			2.4 V≦V_{DD}＜2.7 V			－5.0	mA
		P14-P17, P30, P31, P50, P51, P70-P75　合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			－80.0	mA
			2.7 V≦V_{DD}＜4.0 V			－19.0	mA
			2.4 V≦V_{DD}＜2.7 V			－10.0	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			－135.0	mA
	I_{OH2}	P20-P27　1端子	2.4 V≦V_{DD}≦5.5 V			－0.1[注2]	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			－1.5	mA

注1.　V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2.　ただし，合計の電流値を超えないでください。

3.　デューティ ≦ 70 %の条件での出力電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 =（－10.0×0.7）／（80×0.01）≒ －8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P00, P01, P30, P74は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ロウ・レベル出力電流[注1]	I_{OL1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140 1端子	2.4 V≦V_{DD}≦5.5 V			20.0[注2]	mA
		P60-P63　1端子	2.4 V≦V_{DD}≦5.5 V			20.0[注2]	mA
		P00, P01, P40, P41, P120, P130, P140　合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			70.0	mA
			2.7 V≦V_{DD}＜4.0 V			15.0	mA
			2.4 V≦V_{DD}＜2.7 V			9.0	mA
		P14-P17, P30, P31, P50, P51, P60-P63, P70-P75 合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			80.0	mA
			2.7 V≦V_{DD}＜4.0 V			35.0	mA
			2.4 V≦V_{DD}＜2.7 V			20.0	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			150.0	mA
	I_{OL2}	P20-P27　1端子	2.4 V≦V_{DD}≦5.5 V			0.4[注2]	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			5.0	mA

注1.　出力端子からV_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2.　合計の電流値を超えないでください。

3.　デューティ ≦ 70 %の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80 %

端子合計の出力電流 =（10.0×0.7）／（80×0.01）≒ 8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140	通常入力バッファ	0.8V_{DD}		V_{DD}	V
	V_{IH2}	P00, P01, P30, P50	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	2.2		V_{DD}	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	2.0		V_{DD}	V
			TTL入力バッファ 2.4 V≦V_{DD}＜3.3 V	1.5		V_{DD}	V
	V_{IH3}	P20-P27		0.7V_{DD}		V_{DD}	V
	V_{IH4}	P60-P63		0.7V_{DD}		6.0	V
	V_{IH5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8V_{DD}		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140	通常入力バッファ	0		0.2V_{DD}	V
	V_{IL2}	P00, P01, P30, P50	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	0		0.5	V
			TTL入力バッファ 2.4 V≦V_{DD}＜3.3 V	0		0.32	V
	V_{IL3}	P20-P27		0		0.3V_{DD}	V
	V_{IL4}	P60-P63		0		0.3V_{DD}	V
	V_{IL5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2V_{DD}	V

注意　P00, P01, P30, P74は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はV_{DD}です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140	4.0 V≦V_{DD}≦5.5 V, I_{OH1} = －10.0 mA	V_{DD}－1.5			V
			4.0 V≦V_{DD}≦5.5 V, I_{OH1} = －3.0 mA	V_{DD}－0.7			V
			2.7 V≦V_{DD}≦5.5 V, I_{OH1} = －2.0 mA	V_{DD}－0.6			V
			2.4 V≦V_{DD}≦5.5 V, I_{OH1} = －1.5 mA	V_{DD}－0.5			V
	V_{OH2}	P20-P27	2.4 V≦V_{DD}≦5.5 V, I_{OH2} = －100 μA	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 20.0 mA			1.3	V
			4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 3.0 mA			0.6	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
			2.4 V≦V_{DD}≦5.5 V, I_{OL1} = 0.6 mA			0.4	V
	V_{OL2}	P20-P27	2.4 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P60-P63	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 20.0 mA			2.0	V
			4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 5.0 mA			0.4	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 3.0 mA			0.4	V
			2.4 V≦V_{DD}≦5.5 V, I_{OL1} = 2.0 mA			0.4	V

注意　P00, P01, P30, P74は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P137, P140, $\overline{\text{RESET}}$	V_I = V_{DD}				1	μA
	I_{LIH2}	P121-P124（X1，X2，XT1，XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P137, P140, $\overline{\text{RESET}}$	V_I = V_{SS}				－1	μA
	I_{LIL2}	P121-P124（X1，X2，XT1，XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	μA
				発振子接続時			－10	μA
内蔵プルアップ抵抗	R_U	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140	V_I = V_{SS}，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

30. 3. 2　電源電流特性

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　（1/2）

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注6]	f_{HOCO} = 48 MHz f_{IH} = 24 MHz[注3]	基本動作	V_{DD} = 5.0 V		1.7		mA
						V_{DD} = 3.0 V		1.7		
					通常動作	V_{DD} = 5.0 V		3.7	5.5	mA
						V_{DD} = 3.0 V		3.7	5.5	
				f_{HOCO} = 24 MHz[注5] f_{IH} = 12 MHz[注3]	通常動作	V_{DD} = 5.0 V		2.3	3.2	mA
						V_{DD} = 3.0 V		2.3	3.2	
				f_{HOCO} = 12 MHz[注5] f_{IH} = 6 MHz[注3]	通常動作	V_{DD} = 5.0 V		1.6	2.0	mA
						V_{DD} = 3.0 V		1.6	2.0	
				f_{HOCO} = 6 MHz[注5] f_{IH} = 3 MHz[注3]	通常動作	V_{DD} = 5.0 V		1.2	1.5	mA
						V_{DD} = 3.0 V		1.2	1.5	
			HS（高速メイン）モード[注6]	f_{MX} = 20 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		3.0	4.6	mA
						発振子接続		3.2	4.8	
				f_{MX} = 20 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		3.0	4.6	mA
						発振子接続		3.2	4.8	
				f_{MX} = 10 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		1.9	2.7	mA
						発振子接続		1.9	2.7	
				f_{MX} = 10 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		1.9	2.7	mA
						発振子接続		1.9	2.7	
			HS（高速メイン）モード（PLL動作）[注6]	f_{PLL} = 48 MHz, f_{CLK} = 24 MHz[注2]	通常動作	V_{DD} = 5.0 V		4.0	5.9	mA
						V_{DD} = 3.0 V		4.0	5.9	
				f_{PLL} = 48 MHz, f_{CLK} = 12 MHz[注2]	通常動作	V_{DD} = 5.0 V		2.6	3.6	mA
						V_{DD} = 3.0 V		2.6	3.6	
				f_{PLL} = 48 MHz, f_{CLK} = 6 MHz[注2]	通常動作	V_{DD} = 5.0 V		1.9	2.4	mA
						V_{DD} = 3.0 V		1.9	2.4	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力		4.2	5.5	μA
						発振子接続		4.3	5.6	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力		4.2	6.3	μA
						発振子接続		4.3	6.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力		4.8	7.7	μA
						発振子接続		4.9	7.8	

（注，備考は次ページにあります。）

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，USB2.0ホスト／ファンクション・モジュール，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
3. 高速システム・クロック，サブシステム・クロックは停止時。
4. 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。
5. 動作周波数設定オプションバイト = 48 MHz選択時。f_{HOCO}はHOCODIVによる分周。RDIV[1:0] = 00時（2分周：デフォルト）。
6. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

備考1. f_{HOCO}：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）
2. f_{IH}：高速オンチップ・オシレータ・クロックを2/4/8分周したメイン・システム・クロック・ソースの周波数（最大24 MHz）
3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）
4. f_{PLL}：PLL発振周波数
5. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）
6. f_{CLK}：CPU／周辺ハードウエア・クロック周波数
7. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	HS（高速メイン）モード[注8]	f_{HOCO} = 48 MHz, f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.67	1.25	mA
					V_{DD} = 3.0 V		0.67	1.25	
				f_{HOCO} = 24 MHz[注6], f_{IH} = 12 MHz[注4]	V_{DD} = 5.0 V		0.50	0.86	mA
					V_{DD} = 3.0 V		0.50	0.86	
				f_{HOCO} = 12 MHz[注6], f_{IH} = 6 MHz[注4]	V_{DD} = 5.0 V		0.41	0.67	mA
					V_{DD} = 3.0 V		0.41	0.67	
				f_{HOCO} = 6 MHz[注6], f_{IH} = 3 MHz[注4]	V_{DD} = 5.0 V		0.37	0.58	mA
					V_{DD} = 3.0 V		0.37	0.58	
			HS（高速メイン）モード[注8]	f_{MX} = 20 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.28	1.00	mA
					発振子接続		0.45	1.17	
				f_{MX} = 20 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.28	1.00	mA
					発振子接続		0.45	1.17	
				f_{MX} = 10 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.19	0.60	mA
					発振子接続		0.26	0.67	
				f_{MX} = 10 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.19	0.60	mA
					発振子接続		0.26	0.67	
			HS（高速メイン）モード（PLL動作）[注8]	f_{PLL} = 48 MHz, f_{CLK} = 24 MHz[注3]	V_{DD} = 5.0 V		0.91	1.52	mA
					V_{DD} = 3.0 V		0.91	1.52	
				f_{PLL} = 48 MHz, f_{CLK} = 12 MHz[注3]	V_{DD} = 5.0 V		0.85	1.28	mA
					V_{DD} = 3.0 V		0.85	1.28	
				f_{PLL} = 48 MHz, f_{CLK} = 6 MHz[注3]	V_{DD} = 5.0 V		0.82	1.15	mA
					V_{DD} = 3.0 V		0.82	1.15	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注5], T_A = －40℃	方形波入力		0.25	0.57	μA
					発振子接続		0.44	0.76	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋25℃	方形波入力		0.30	0.57	μA
					発振子接続		0.49	0.76	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋50℃	方形波入力		0.33	1.17	μA
					発振子接続		0.63	1.36	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋70℃	方形波入力		0.46	1.97	μA
					発振子接続		0.76	2.16	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋85℃	方形波入力		0.97	3.37	μA
					発振子接続		1.16	3.56	
	I_{DD3}	STOP モード[注7]	T_A = －40℃				0.18	0.50	μA
			T_A = ＋25℃				0.23	0.50	
			T_A = ＋50℃				0.26	1.10	
			T_A = ＋70℃				0.29	1.90	
			T_A = ＋85℃				0.90	3.30	

（注，備考は次ページにあります。）

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，USB2.0ホスト／ファンクション・モジュール，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。
STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
4. 高速システム・クロック，サブシステム・クロックは停止時。
5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
RTCLPC = 1，かつ超低消費発振（AMPHS1 = 1）設定時。
6. 動作周波数設定オプションバイト = 48 MHz選択時。f_{HOCO}はHOCODIVによる分周。RDIV[1:0] = 00時（2分周：デフォルト）。
7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
8. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

備考1. f_{HOCO}：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）
2. f_{IH}：高速オンチップ・オシレータ・クロックを2/4/8分周したメイン・システム・クロック・ソースの周波数（最大24 MHz）
3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）
4. f_{PLL}：PLL発振周波数
5. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）
6. f_{CLK}：CPU／周辺ハードウエア・クロック周波数
7. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）（1/2）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I_{FIL} 注1				0.20		μA
RTC動作電流	I_{RTC} 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	I_{IT} 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1，2, 5	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 6	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.7	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	I_{ADREF} 注1				75.0		μA
温度センサ動作電流	I_{TMPS} 注1				75.0		μA
LVD動作電流	I_{LVD} 注1, 7				0.08		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 9				2.00	12.20	mA
BGO電流	I_{BGO} 注1, 8				2.00	12.20	mA
SNOOZE動作電流	I_{SNOZ} 注1	ADC動作	モード遷移中 注10		0.50	1.06	mA
			変換動作中，低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		1.20	1.62	
		簡易SPI（CSI）動作			0.70	0.84	

（注，備考は次ページにあります。）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）（2/2）

項　目	略号	条　件	MIN.	TYP.	MAX.	単位
USB動作電流	I_{USBH} 注11	以下の設定，条件におけるUSB通信動作時（V_{DD} = 5.0 V, T_A = ＋25 ℃） ・USB用内部電源使用 ・X1発振周波数（f_X）= 12 MHz，PLL発振周波数（f_{PLL}）= 48 MHz ・4つのパイプ（エンド・ポイント）を同時に使用したフル・スピードモードのホスト（2ポート使用）動作設定 （PIPE4：バルクOUT転送（64バイト），PIPE5：バルクIN転送（64バイト），PIPE6：インタラプトOUT転送，PIPE7：インタラプトIN転送） ・USBポート（2ポート）からそれぞれ0.5 mのUSBケーブルを経由して周辺機器に接続		9.0		mA
	I_{USBF} 注11	以下の設定，条件におけるUSB通信動作時（V_{DD} = 5.0 V, T_A = ＋25 ℃） ・USB用内部電源使用 ・X1発振周波数（f_X）= 12 MHz，PLL発振周波数（f_{PLL}）= 48 MHz ・4つのパイプ（エンド・ポイント）を同時に使用したフル・スピードモードのファンクション動作設定 （PIPE4：バルクOUT転送（64バイト），PIPE5：バルクIN転送（64バイト），PIPE6：インタラプトOUT転送，PIPE7：インタラプトIN転送） ・USBポート（1ポート）から0.5 mのUSBケーブルを経由してホスト機器に接続		2.5		mA
	I_{SUSP} 注12	以下の設定，条件におけるサスペンド時（V_{DD} = 5.0 V, T_A = ＋25 ℃） ・フル・スピードモードのファンクション設定（UDP0端子をプルアップ） ・USB用内部電源使用 ・システムはSTOPモード（高速オンチップ・オシレータ，高速システム・クロック，サブシステム・クロック停止。ウォッチドッグ・タイマは停止時） ・USBポート（1ポート）から0.5 mのUSBケーブルを経由してホスト機器に接続		240		μA

（注，備考は次ページにあります）

注1. V_{DD}に流れる電流です

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
3. リアルタイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は，I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
4. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，I_{DD1}またはI_{DD2}にI_{IT}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が，RL78マイクロコントローラの電流値となります。
6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。
7. LVD回路にのみ流れる電流です。LVD回路の動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{LVD}を加算した値がRL78マイクロコントローラの電流値となります。
8. データ・フラッシュ書き換え動作に流れる電流です。
9. セルフ・プログラミング動作に流れる電流です。
10. SNOOZEモードへの移行時間は，19. 3. 3　SNOOZEモードを参照してください。
11. USBモジュール，USB用内部電源のみの消費電流です。
12. サスペンド状態における本製品の自己消費電流に加えて，UDP0端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

備考1. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）
3. f_{CLK}　：CPU／周辺ハードウエア・クロック周波数
4. TYP.値の温度条件は，T_A = 25 ℃です。

30. 4　AC特性

30. 4. 1　基本動作

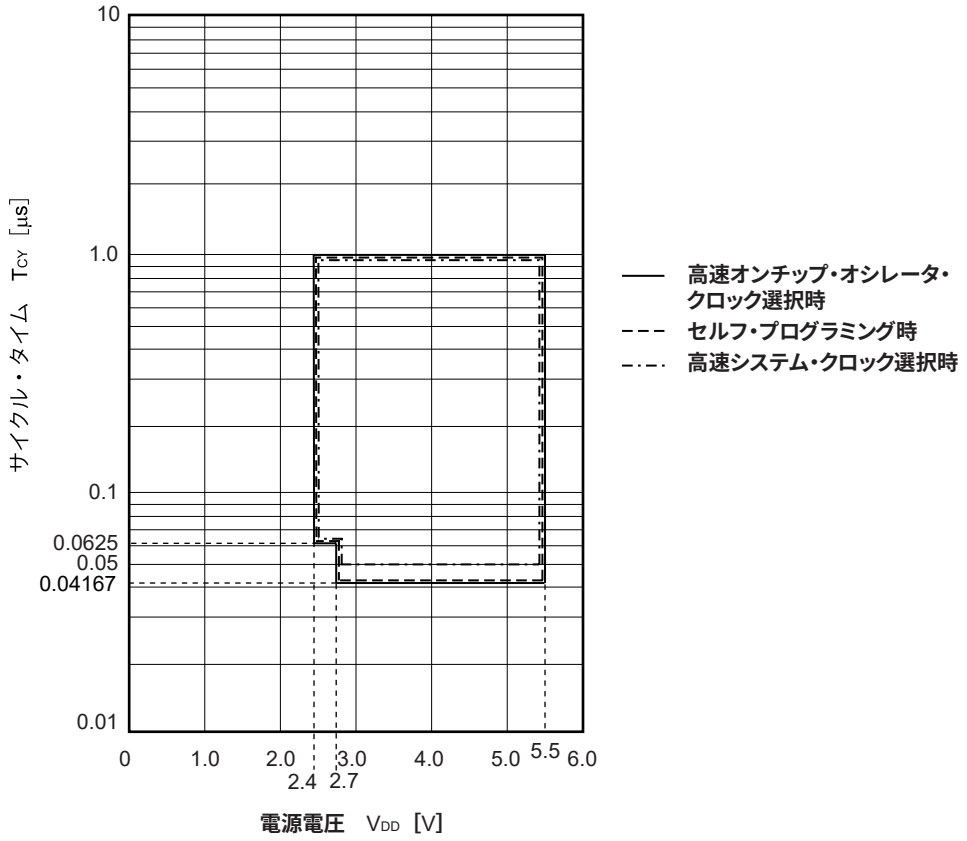
（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.04167		1	μs
				2.4 V≦V_{DD}<2.7 V	0.0625		1	μs
		サブシステム・クロック（f_{SUB}）動作		2.4 V≦V_{DD}≦5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.04167		1	μs
				2.4 V≦V_{DD}<2.7 V	0.0625		1	μs
外部システム・クロック周波数	f_{EX}	2.7 V≦V_{DD}≦5.5 V			1.0		20.0	MHz
		2.4 V≦V_{DD}<2.7 V			1.0		16.0	MHz
	f_{EXS}				32		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}	2.7 V≦V_{DD}≦5.5 V			24			ns
		2.4 V≦V_{DD}<2.7 V			30			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI00-TI03入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}				1/f_{MCK}＋10			ns
TO00-TO03出力周波数	f_{TO}	高速メイン・モード		4.0 V≦V_{DD}≦5.5 V			12	MHz
				2.7 V≦V_{DD}<4.0 V			8	MHz
				2.4 V≦V_{DD}<2.7 V			4	MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	高速メイン・モード		4.0 V≦V_{DD}≦5.5 V			16	MHz
				2.7 V≦V_{DD}<4.0 V			8	MHz
				2.4 V≦V_{DD}<2.7 V			4	MHz
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP6, INTP8, INTP9		2.4 V≦V_{DD}≦5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	t_{KR}	KR0-KR5		2.4 V≦V_{DD}≦5.5 V	250			ns
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

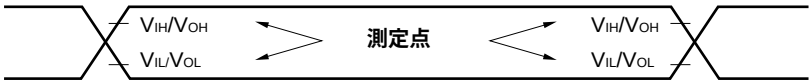
備考　f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。
（タイマ・モード・レジスタ0n（TMR0n）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0-3））

メイン・システム・クロック動作時の最小命令実行時間

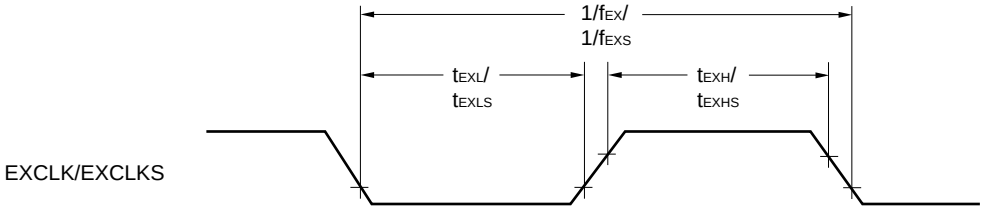
TCY vs VDD （HS（高速メイン）モード）



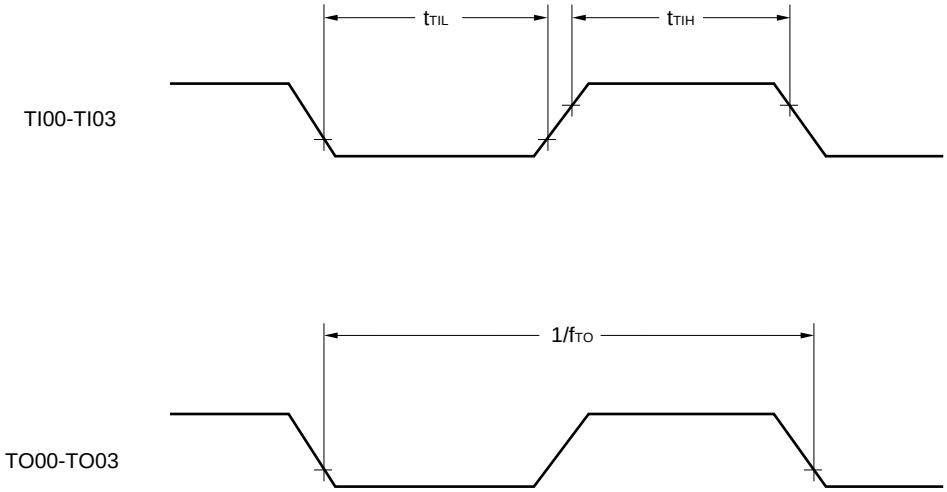
ACタイミング測定点



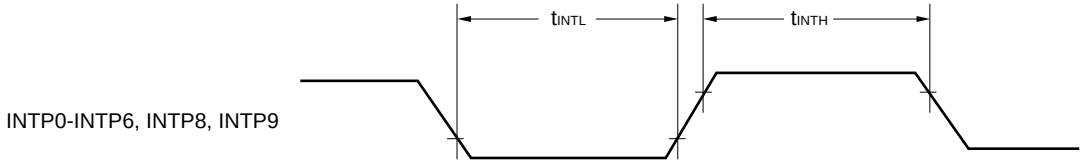
外部システム・クロック・タイミング



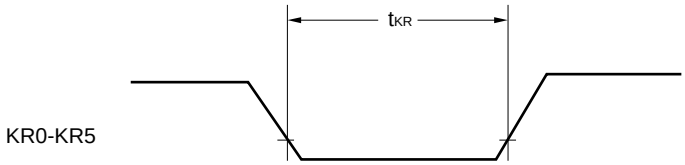
TI/TOタイミング



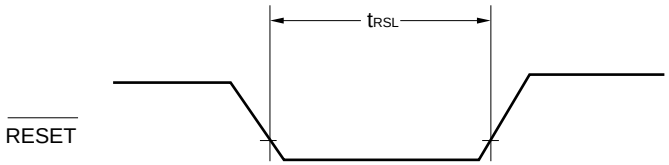
割り込み要求入力タイミング



キー割り込み入力タイミング



$\overline{\text{RESET}}$入力タイミング



30. 5　周辺機能特性

30. 5. 1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

（TA = －40～＋85 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート					fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注			4.0	Mbps

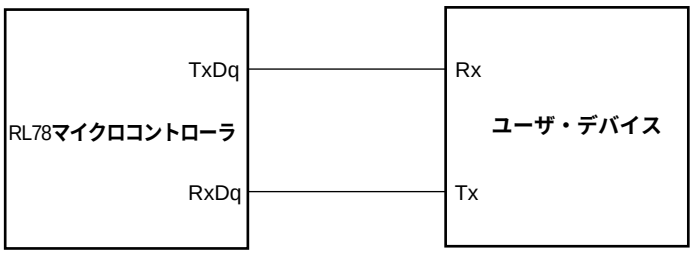
注　CPU／周辺ハードウエア・クロック（fCLK）の最高動作周波数を次に示します。

HS（高速メイン）モード　：24 MHz（2.7 V≦VDD≦5.5 V）

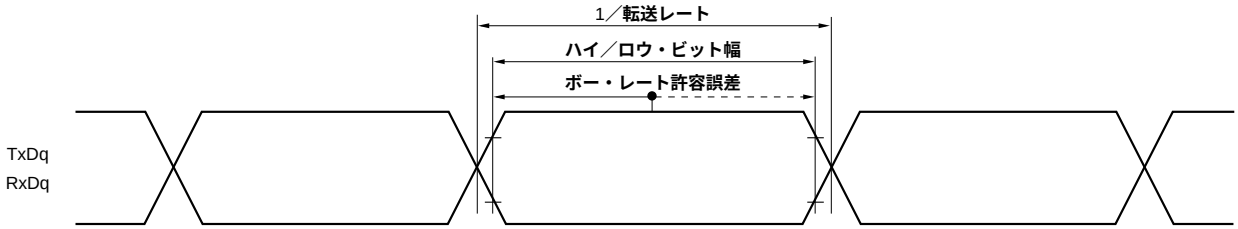
16 MHz（2.4 V≦VDD≦5.5 V）

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1.　q：UART番号（q = 0），g：PIM, POM番号（g = 5）

2.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（2）同電位通信，簡易SPI（CSI）モード時（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）
（T_A = －40～＋85 ℃，2.7 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	2.7 V≦V_{DD}≦5.5 V	83.3			ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦V_{DD}≦5.5 V		t_{KCY1}/2－7			ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2－10			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V		23			ns
		2.7 V≦V_{DD}≦5.5 V		33			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	2.7 V≦V_{DD}≦5.5 V		10			ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 20 pF注3				10	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3.　Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1.　このスペックは，CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

2.　p：CSI番号（p = 00），m：ユニット番号（m = 0），n：チャネル番号（n = 0），g：PIM, POM番号（g = 3, 5）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（3）同電位通信，簡易SPI（CSI）モード時（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦V_{DD}≦5.5 V	167			ns
			2.4 V≦V_{DD}≦5.5 V	250			ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦V_{DD}≦5.5 V		t_{KCY1}/2－12			ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2－18			ns
		2.4 V≦V_{DD}≦5.5 V		t_{KCY1}/2－38			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V		44			ns
		2.7 V≦V_{DD}≦5.5 V		44			ns
		2.4 V≦V_{DD}≦5.5 V		75			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}			19			ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 30 pF注3				25	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3.　Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1.　p：CSI番号（p = 00, 01），m：ユニット番号（m = 0），n：チャネル番号（n = 0, 1），g：PIM, POM番号（g = 0, 3, 5, 7）

2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 01））

（4）同電位通信，簡易SPI（CSI）モード時（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム[注4]	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V	20 MHz＜f_{MCK}	8/f_{MCK}			ns
			f_{MCK}≦20 MHz	6/f_{MCK}			ns
		2.7 V≦V_{DD}≦5.5 V	16 MHz＜f_{MCK}	8/f_{MCK}			ns
			f_{MCK}≦16 MHz	6/f_{MCK}			ns
		2.4 V≦V_{DD}≦5.5 V		6/f_{MCK} かつ500			ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦V_{DD}≦5.5 V		t_{KCY2}/2－7			ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY2}/2－8			ns
		2.4 V≦V_{DD}≦5.5 V		t_{KCY2}/2－18			ns
SIpセットアップ時間（対SCKp↑）[注1]	t_{SIK2}	2.7 V≦V_{DD}≦5.5 V		1/f_{MCK}＋20			ns
		2.4 V≦V_{DD}≦5.5 V		1/f_{MCK}＋30			ns
SIpホールド時間（対SCKp↑）[注1]	t_{KSI2}	2.7 V≦V_{DD}≦5.5 V		1/f_{MCK}＋31			ns
		2.4 V≦V_{DD}≦5.5 V		1/f_{MCK}＋31			ns
SCKp↓→SOp出力遅延時間[注2]	t_{KSO2}	C = 30 pF[注3]	2.7 V≦V_{DD}≦5.5 V			2/f_{MCK}＋44	ns
			2.4 V≦V_{DD}≦5.5 V			2/f_{MCK}＋75	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3.　Cは，SOp出力ラインの負荷容量です。

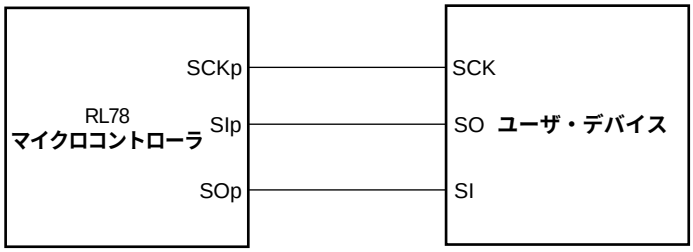
4.　SNOOZEモードでの転送レートは，MAX.：1 Mbpsです。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

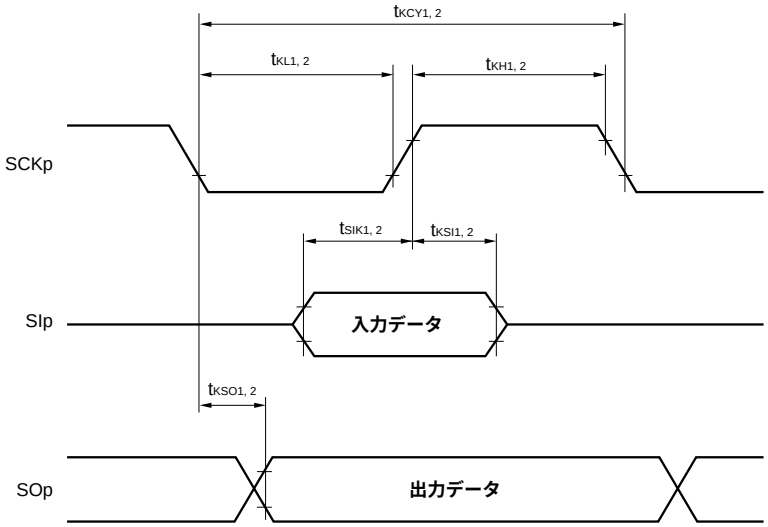
備考1.　p：CSI番号（p = 00, 01），m：ユニット番号（m = 0），n：チャネル番号（n = 0, 1），g：PIM, POM番号（g = 0, 3, 5, 7）

2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 01））

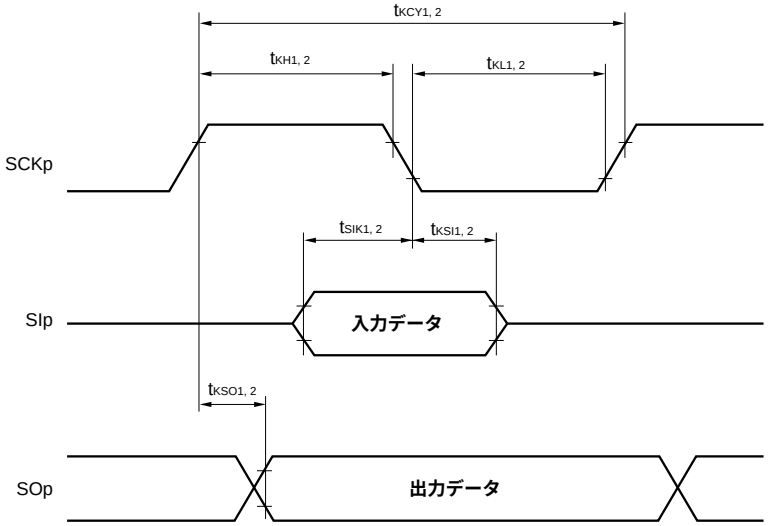
簡易SPI（CSI）モード接続図（同電位通信時）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考 1.　p：CSI番号（p = 00, 01）

2.　m：ユニット番号，n：チャネル番号（mn = 00, 01）

（5）同電位通信時（簡易I^2Cモード）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

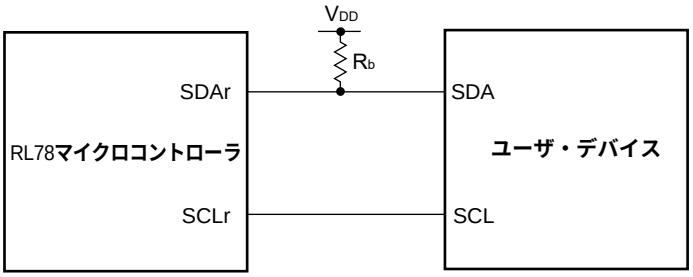
項　目	略　号	条　件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ		1000注1	kHz
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ		400注1	kHz
		2.4 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ		300注1	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		ns
		2.4 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		ns
SCLr = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	475		ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1150		ns
		2.4 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1550		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	1/f_{MCK}＋85注2		ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	1/f_{MCK}＋145注2		ns
		2.4 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	1/f_{MCK}＋230注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF, R_b = 2.7 kΩ	0	305	ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF, R_b = 3 kΩ	0	355	ns
		2.4 V≦V_{DD}＜2.7 V, C_b = 100 pF, R_b = 5 kΩ	0	405	ns

注1.　かつf_{MCK}/4以下に設定してください。

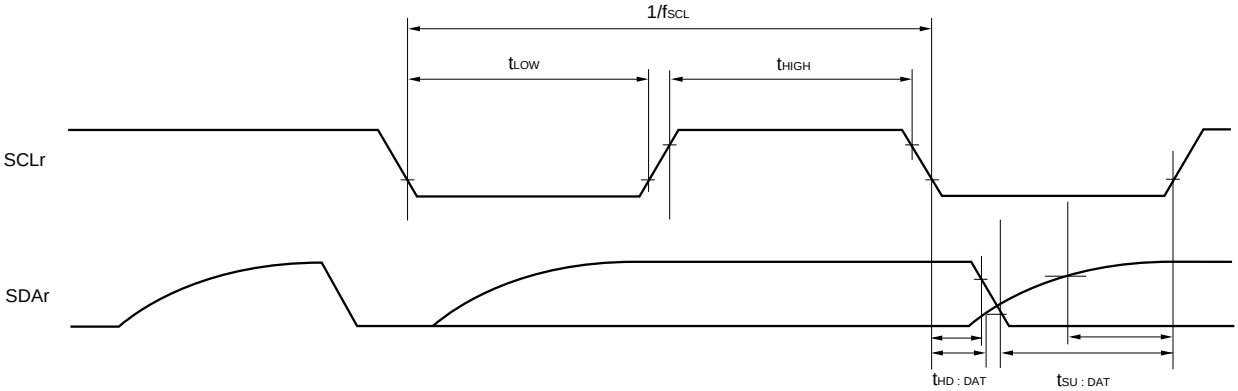
2.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタh（POMh）で，DArは通常入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択し，SCLrは通常出力モードを選択します。

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）



備考1.　Rb [Ω]：通信ライン（SDAr）プルアップ抵抗値，Cb [F]：通信ライン（SCLr, SDAr）負荷容量値

2.　r：IIC番号（r = 00, 01），g：PIM番号（g = 5），h：POM番号（h = 3, 5）

3.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数

（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0），n：チャネル番号（n = 0, 1），mn = 00, 01）

（6）異電位（2.5 V系，3 V系）通信時（UARTモード）（1/2）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
転送レート		受信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V				f_{MCK}/6[注1]	bps
				最大転送レート 理論値　f_{MCK} = f_{CLK}[注2]			4.0	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V				f_{MCK}/6[注1]	bps
				最大転送レート 理論値　f_{MCK} = f_{CLK}[注2]			4.0	Mbps
			2.4V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V				f_{MCK}/6[注1]	bps
				最大転送レート 理論値　f_{MCK} = f_{CLK}[注2]			4.0	Mbps

注 1.　V_{DD}≧V_bで使用してください。

2.　CPU／周辺ハードウエア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード　　：24 MHz（2.7 V≦V_{DD}≦5.5 V）

16 MHz（2.4 V≦V_{DD}≦5.5 V）

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1.　V_b [V]：通信ライン電圧

2.　q：UART番号（q = 0），g：PIM, POM番号（g = 5）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（6）異電位（2.5 V系，3 V系）通信時（UARTモード）（2/2）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
転送レート		送信	4.0 V≦V_{DD}≦5.5 V,				注1	bps
			2.7 V≦V_b≦4.0 V	最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V			2.8[注2]	Mbps
			2.7 V≦V_{DD}＜4.0 V,				注3	bps
			2.3 V≦V_b≦2.7 V	最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V			1.2[注4]	Mbps
			2.4 V≦V_{DD}＜3.3 V,				注5, 6	bps
			1.6 V≦V_b≦2.0 V	最大転送レート理論値 C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V			0.43[注7]	Mbps

注1.　f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3.　f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5.　V_{DD}≧V_bで使用してください。

注6.　f_{MCK}/6または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

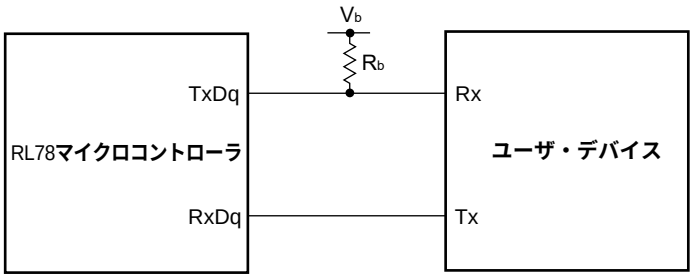
$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

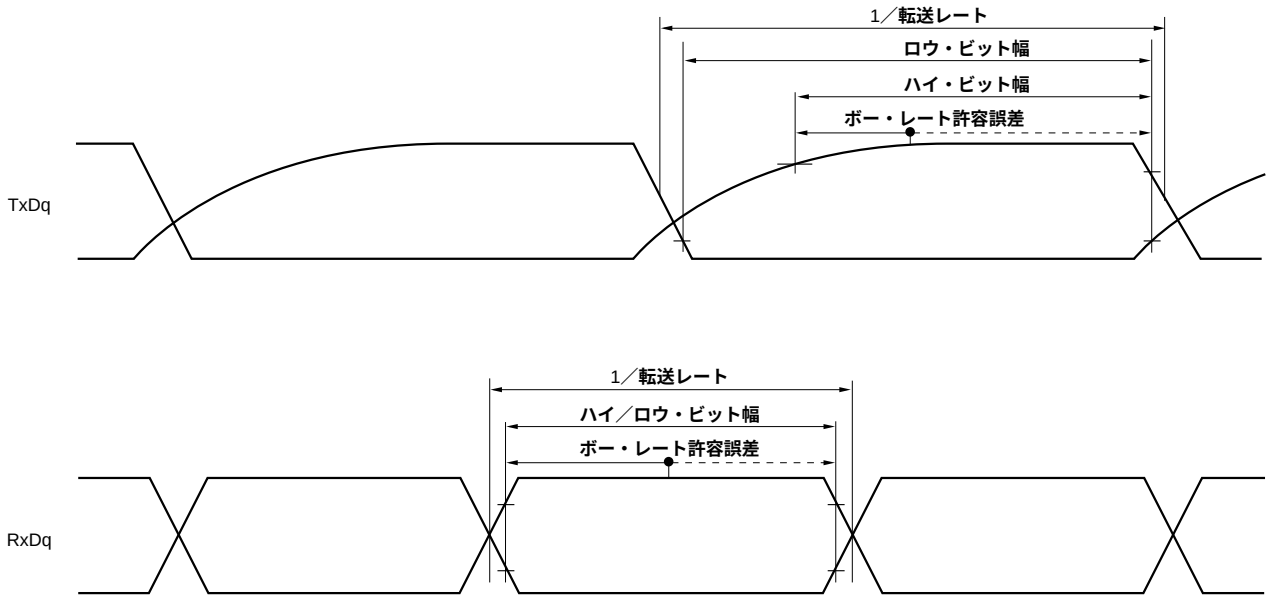
7.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1.　R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，C_b [F]：通信ライン（TxDq）負荷容量値，
V_b [V]：通信ライン電圧

2.　q：UART番号（q = 0），g：PIM, POM番号（g = 5）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号（mn = 00））

（7）異電位（2.5 V系，3 V系）通信，簡易SPI（CSI）モード時（マスタ・モード，SCKp…内部クロック出力，CSI00のみ対応）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧2/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ	200			ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ	300			ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2－50			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2－120			ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		t_{KCY1}/2－7			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		t_{KCY1}/2－10			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		58			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		121			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10			ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ				60	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ				130	ns
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		23			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		33			ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ		10			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ		10			ns
SCKp↑→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 20 pF, R_b = 1.4 kΩ				10	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 20 pF, R_b = 2.7 kΩ				10	ns

（注，注意，備考は次ページにあります。）

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

2.　p：CSI番号（p = 00），m：ユニット番号（m = 0），n：チャネル番号（n = 0），g：PIM, POM番号（g = 3, 5）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

4.　この値は，CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

（8）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI（CSI）モード時（マスタ・モード，SCKp…内部クロック出力）（1/2）

（ T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	300			ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	500			ns
			2.4 V≦V_{DD}＜3.3 V, 2.4 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ	1150			ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－75			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－170			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－458			ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－12			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－18			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－50			ns

注意 1. ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

2. V_{DD}≧V_bで使用してください。

（8）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI（CSI）モード時（マスタ・モード，SCKp…内部クロック出力）（2/2）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	81			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	177			ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	479			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19			ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	19			ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			100	ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			195	ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ			483	ns
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	44			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	44			ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	110			ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	19			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	19			ns
		2.4V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	19			ns
SCKp↑→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			25	ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			25	ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ			25	ns

（注，注意，備考は次ページにあります。）

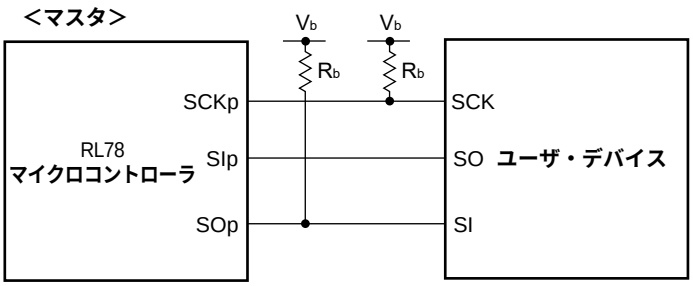
注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3.　V_{DD}≧V_bで使用してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI（CSI）モード接続図（異電位通信時）



備考1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

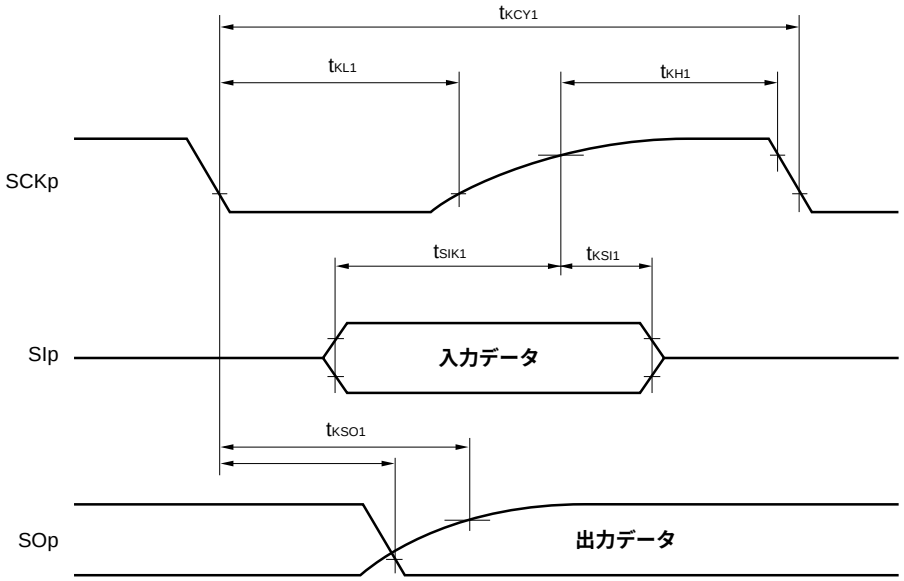
2.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），g：PIM, POM番号（g = 0, 3, 5, 7）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

4.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

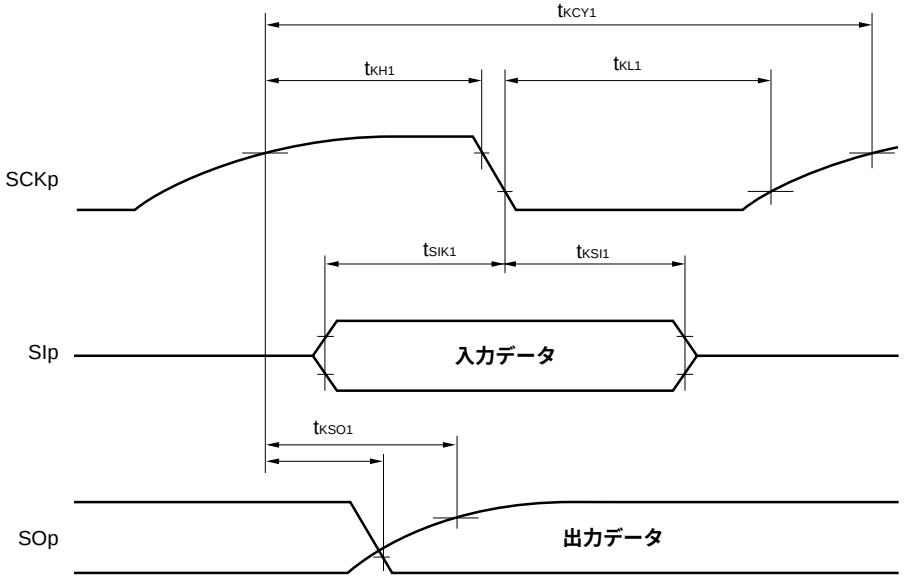
簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），

g：PIM, POM番号（g = 0, 3, 5, 7）

2.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

（9）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI（CSI）モード時（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム注1	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	20 MHz＜f_{MCK}≦24 MHz	12/f_{MCK}			ns
			8 MHz＜f_{MCK}≦20 MHz	10/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}			ns
			f_{MCK}≦4 MHz	6/f_{MCK}			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V	20 MHz＜f_{MCK}≦24 MHz	16/f_{MCK}			ns
			16 MHz＜f_{MCK}≦20 MHz	14/f_{MCK}			ns
			8 MHz＜f_{MCK}≦16 MHz	12/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	8/f_{MCK}			ns
			f_{MCK}≦4 MHz	6/f_{MCK}			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2	20 MHz＜f_{MCK}≦24 MHz	36/f_{MCK}			ns
			16 MHz＜f_{MCK}≦20 MHz	32/f_{MCK}			ns
			8 MHz＜f_{MCK}≦16 MHz	26/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}			ns
			f_{MCK}≦4 MHz	10/f_{MCK}			ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		t_{KCY2}/2－12			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		t_{KCY2}/2－18			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2		t_{KCY2}/2－50			ns
SIpセットアップ時間（対SCKp↑）注3	t_{SIK2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		1/f_{MCK}＋20			ns
		2.7 V≦V_{DD}≦4.0 V, 2.3 V≦V_b≦2.7 V		1/f_{MCK}＋20			ns
		2.4 V≦V_{DD}≦3.3 V, 1.6 V≦V_b≦2.0 V注2		1/f_{MCK}＋30			ns
SIpホールド時間（対SCKp↑）注3	t_{KSI2}			1/f_{MCK}＋31			ns
SCKp↓→SOp出力遅延時間注4	t_{KSO2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ				2/f_{MCK}＋120	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ				2/f_{MCK}＋214	ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ				2/f_{MCK}＋573	ns

（注，注意，備考は次ページにあります。）

注1.　SNOOZEモードでの転送レートは，MAX.：1 Mbpsです。

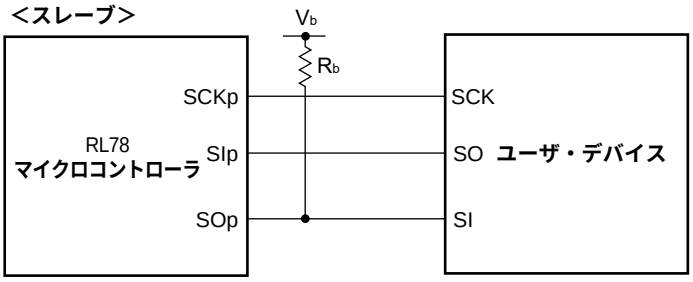
2.　V_{DD}≧V_bで使用してください。

3.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

4.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子はTTL入力バッファを選択し，SOp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI（CSI）モード接続図（異電位通信時）



備考1.　R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，Vb [V]：通信ライン電圧

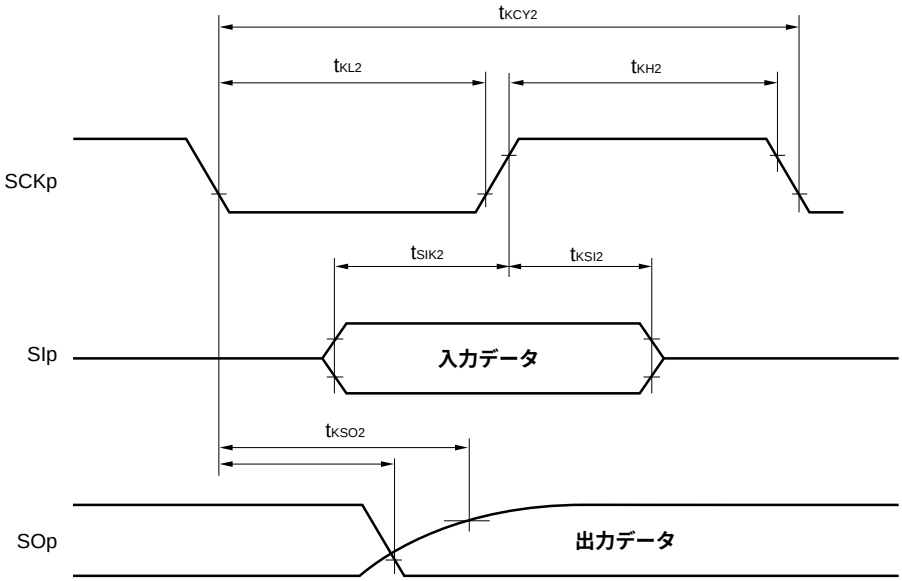
2.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），g：PIM, POM番号（g = 0, 3, 5, 7）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

4.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

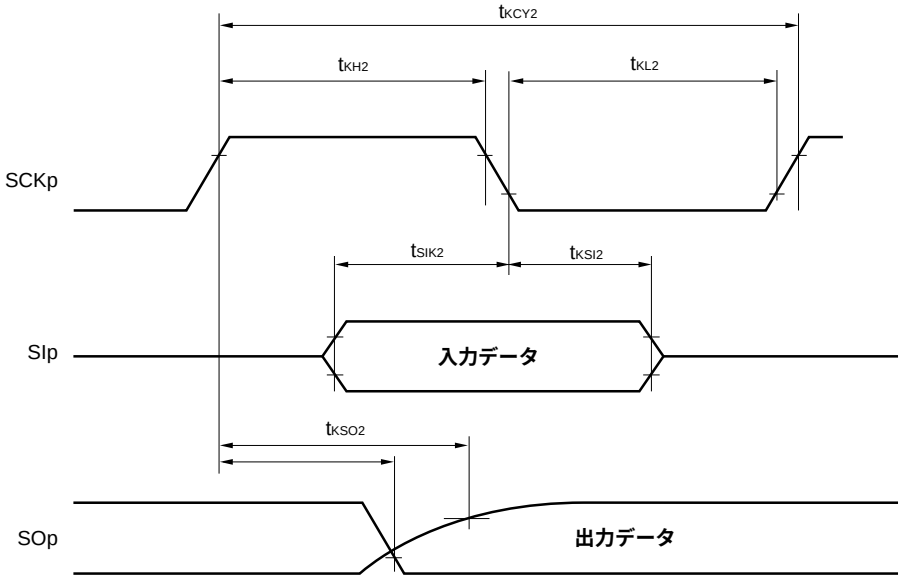
簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），

g：PIM, POM番号（g = 0, 3, 5, 7）

2.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

（10）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易I²Cモード）（1/2）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ		1000注1	kHz
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ		1000注1	kHz
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ		400注1	kHz
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ		400注1	kHz
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ		300注1	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	475		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	475		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	1150		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	1150		ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	1550		ns
SCLr = ”H”のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	245		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	200		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	675		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	600		ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	610		ns

（注，注意は次ページ，備考は次々ページにあります。）

（10）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易I^2Cモード）（2/2）

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	MAX.	単位
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	1/f_{MCK}＋135 注3		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	1/f_{MCK}＋135 注3		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	1/f_{MCK}＋190 注3		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	1/f_{MCK}＋190 注3		ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	1/f_{MCK}＋190 注3		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	0	305	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	0	305	ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	0	355	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	0	355	ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	0	405	ns

注 1.　かつf_{MCK}/4以下に設定してください。

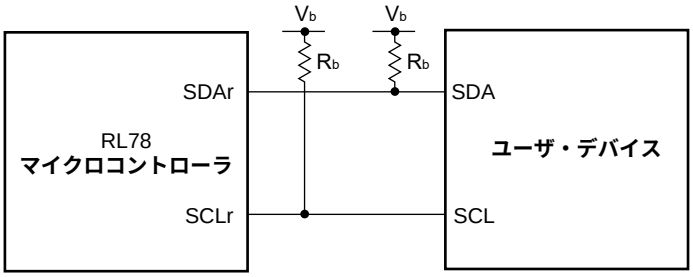
2.　V_{DD}≧V_bで使用してください。

3.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

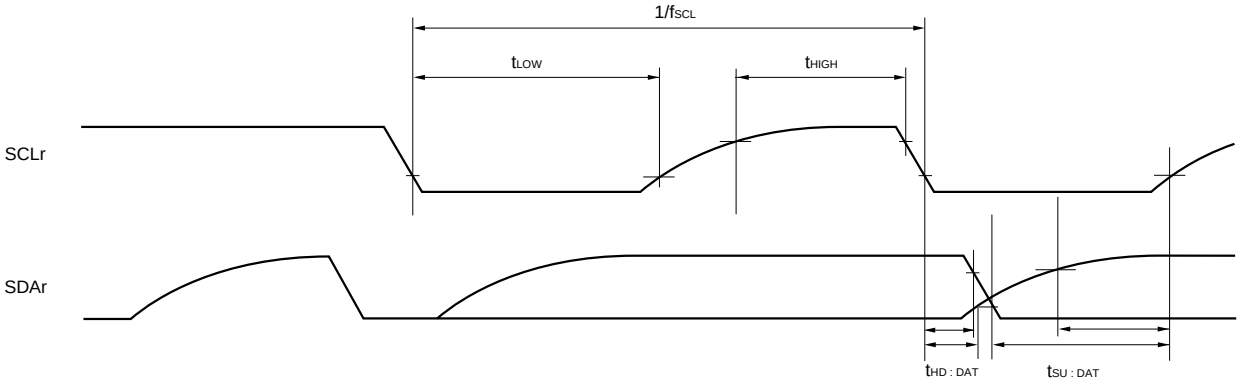
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択し，SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページにあります。）

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



備考1.　Rb [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，Cb [F]：通信ライン（SDAr, SCLr）負荷容量値，
Vb [V]：通信ライン電圧

2.　r：IIC番号（r = 00），g：PIM, POM番号（g = 0, 3, 5, 7）

3.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

30. 5. 2　シリアル・インタフェースIICA

（1）I^2C標準モード

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	標準モード：f_{CLK}≧1 MHz	2.7 V≦V_{DD}≦5.5 V	0	100	kHz
			2.4 V≦V_{DD}≦5.5 V	0	100	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦V_{DD}≦5.5 V		4.7		μs
		2.4 V≦V_{DD}≦5.5 V		4.7		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦V_{DD}≦5.5 V		4.0		μs
		2.4 V≦V_{DD}≦5.5 V		4.0		μs
SCLA0 = ”L”のホールド・タイム	t_{LOW}	2.7 V≦V_{DD}≦5.5 V		4.7		μs
		2.4 V≦V_{DD}≦5.5 V		4.7		μs
SCLA0 = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦V_{DD}≦5.5 V		4.0		μs
		2.4 V≦V_{DD}≦5.5 V		4.0		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_{DD}≦5.5 V		250		ns
		2.4 V≦V_{DD}≦5.5 V		250		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$	2.7 V≦V_{DD}≦5.5 V		0	3.45	μs
		2.4 V≦V_{DD}≦5.5 V		0	3.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦V_{DD}≦5.5 V		4.0		μs
		2.4 V≦V_{DD}≦5.5 V		4.0		μs
バス・フリー時間	t_{BUF}	2.7 V≦V_{DD}≦5.5 V		4.7		μs
		2.4 V≦V_{DD}≦5.5 V		4.7		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1の場合も，上記の値を適用できます。ただし，端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

標準モード　：C_b = 400 pF, Rb = 2.7 kΩ

（2）I^2C ファースト・モード

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK}≧3.5 MHz	2.7 V≦V_{DD}≦5.5 V	0	400	kHz
			2.4 V≦V_{DD}≦5.5 V	0	400	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦V_{DD}≦5.5 V		0.6		μs
		2.4 V≦V_{DD}≦5.5 V		0.6		μs
ホールド時間[注1]	$t_{HD:STA}$	2.7 V≦V_{DD}≦5.5 V		0.6		μs
		2.4 V≦V_{DD}≦5.5 V		0.6		μs
SCLA0 = ”L”のホールド・タイム	t_{LOW}	2.7 V≦V_{DD}≦5.5 V		1.3		μs
		2.4 V≦V_{DD}≦5.5 V		1.3		μs
SCLA0 = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦V_{DD}≦5.5 V		0.6		μs
		2.4 V≦V_{DD}≦5.5 V		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_{DD}≦5.5 V		100		ns
		2.4 V≦V_{DD}≦5.5 V		100		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$	2.7 V≦V_{DD}≦5.5 V		0	0.9	μs
		2.4 V≦V_{DD}≦5.5 V		0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦V_{DD}≦5.5 V		0.6		μs
		2.4 V≦V_{DD}≦5.5 V		0.6		μs
バス・フリー時間	t_{BUF}	2.7 V≦V_{DD}≦5.5 V		1.3		μs
		2.4 V≦V_{DD}≦5.5 V		1.3		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1の場合も，上記の値を適用できます。ただし，端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード　　：C_b = 320 pF, Rb = 1.1 kΩ

（3）I²Cファースト・モード・プラス

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		HS（高速メイン）モード		単　位
				MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード・プラス：f_{CLK}≧10 MHz	2.7 V≦V_{DD}≦5.5 V	0	1000	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$	2.7 V≦V_{DD}≦5.5 V		0.26		μs
ホールド時間注1	$t_{HD:STA}$	2.7 V≦V_{DD}≦5.5 V		0.26		μs
SCLA0 = "L"のホールド・タイム	t_{LOW}	2.7 V≦V_{DD}≦5.5 V		0.5		μs
SCLA0 = "H"のホールド・タイム	t_{HIGH}	2.7 V≦V_{DD}≦5.5 V		0.26		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_{DD}≦5.5 V		50		ns
データ・ホールド時間（送信時）注2	$t_{HD:DAT}$	2.7 V≦V_{DD}≦5.5 V		0	0.45	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$	2.7 V≦V_{DD}≦5.5 V		0.26		μs
バス・フリー時間	t_{BUF}	2.7 V≦V_{DD}≦5.5 V		0.5		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

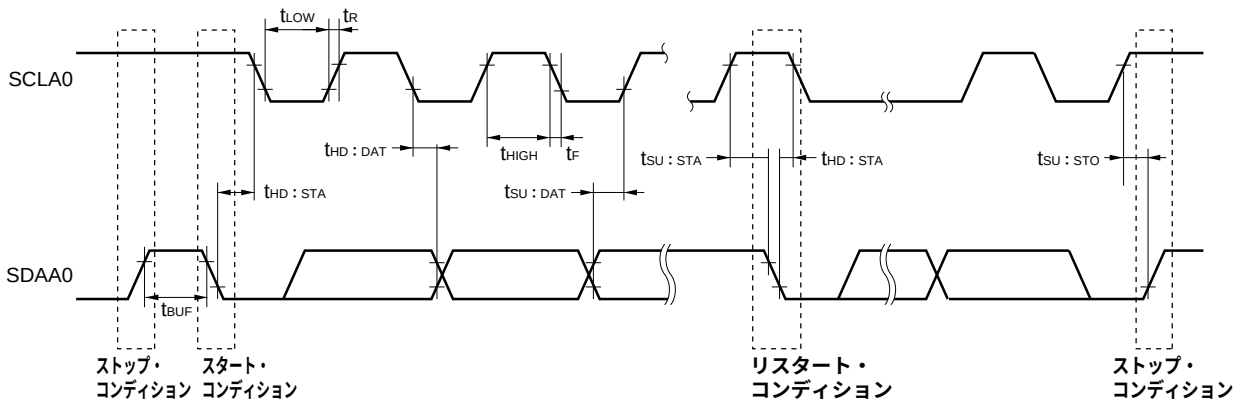
2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1の場合も，上記の値を適用できます。ただし，端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は次のとおりです。

ファースト・モード・プラス　　：C_b = 120 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



30. 5. 3　USB

（1）電気的特性

（T_A = －40～＋85 ℃，3.0 V≦UV_{DD}≦3.6 V, 3.0 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
UV_{DD}	UV_{DD}入力電圧特性	UV_{DD}	V_{DD} = 3.0～5.5 V, PXXCON = 1, VDDUSEB = 0 (UV_{DD}≦V_{DD})	3.0	3.3	3.6	V
	UV_{DD}出力電圧特性	UV_{DD}	V_{DD} = 4.0～5.5 V, PXXCON = VDDUSBE = 1	3.0	3.3	3.6	V
UV_{BUS}	UV_{BUS}入力電圧特性	UV_{BUS}	ファンクション時	4.35 (4.02注)	5.00	5.25	V
			ホスト時	4.75	5.00	5.25	V

注　瞬時電圧

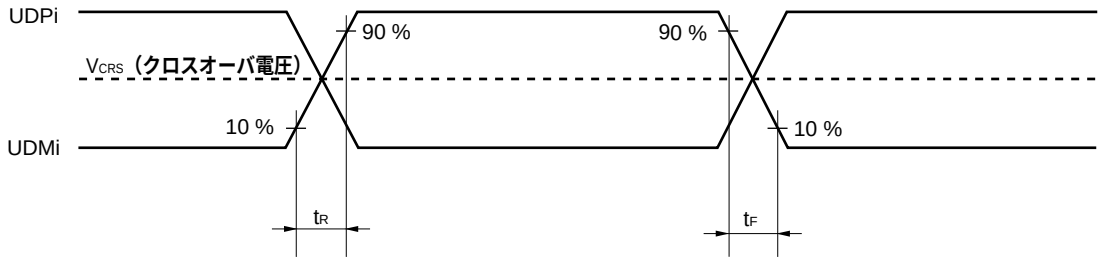
（T_A = －40～＋85 ℃，3.0 V≦UV_{DD}≦3.6 V, 3.0 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目			略　号	条　件	MIN.	TYP.	MAX.	単　位
UDPi/UDMi端子入力特性（FS/LSレシーバ）	入力電圧		V_{IH}		2.0			V
			V_{IL}				0.8	V
	差動入力感度		V_{DI}	｜UDP電圧－UDM電圧｜	0.2			V
	差動コモン・モード・レンジ		V_{CM}		0.8		2.5	V
UDPi/UDMi端子出力特性（FSドライバ）	出力電圧		V_{OH}	I_{OH} = －200 μA	2.8		3.6	V
			V_{OL}	I_{OL} = 2.4 mA	0		0.3	V
	遷移時間	立ち上がり	t_{FR}	立ち上がり：振幅の10%→90% 立ち下がり：振幅の90%→10% CL = 50 pF	4		20	ns
		立ち下がり	t_{FF}		4		20	ns
	マッチング（TFR/TFF）		V_{FRFM}		90		111.1	%
	クロスオーバ電圧		V_{FCRS}		1.3		2.0	V
	出力インピーダンス		Z_{DRV}	UV_{DD}電圧 = 3.3 V，端子電圧 = 1.65 V	28		44	Ω
UDPi/UDMi端子出力特性（LSドライバ）	出力電圧		V_{OH}		2.8		3.6	V
			V_{OL}		0		0.3	V
	遷移時間	立ち上がり	t_{LR}	立ち上がり：振幅の10%→90% 立ち下がり：振幅の90%→10% CL = 200 pF～600 pF ホスト・コントローラ機能選択時： UDMi端子(i = 0, 1)を1.5 kΩでプルアップ ファンクション・コントローラ機能選択時： UDP0, UDM0端子をそれぞれ15 kΩでプルダウン	75		300	ns
		立ち下がり	t_{LF}		75		300	ns
	マッチング（TFR/TFF）注		V_{LTFM}		80		125	%
	クロスオーバ電圧注		V_{LCRS}		1.3		2.0	V
UDPi/UDMi端子プルアップ，プルダウン抵抗	プルダウン抵抗		R_{PD}		14.25		24.80	kΩ
	プルアップ抵抗（i = 0のみ）	アイドル時	R_{PUI}		0.9		1.575	kΩ
		受信時	R_{PUA}		1.425		3.09	kΩ
UV_{BUS}	UV_{BUS}プルダウン抵抗		R_{VBUS}	UV_{BUS}電圧 = 5.5 V		1000		kΩ
	UV_{BUS}入力電圧		V_{IH}		3.20			V
			V_{IL}				0.8	V

注　アイドル状態から初回の信号遷移を除く。

備考　i = 0, 1

UDP, UDMタイミング



（2）BC規格

（TA = －40～＋85 ℃，3.0 V≦UVDD≦3.6 V, 3.0 V≦VDD≦5.5 V, VSS = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
USB規格BC1.2	UDPiシンク電流	IDP_SINK		25		175	μA
	UDMiシンク電流	IDM_SINK		25		175	μA
	DCDソース電流	IDP_SRC		7		13	μA
	Dedicated charging port抵抗	RDCP_DAT	0 V＜UDP/UDM電圧＜1.0 V			200	Ω
	データ検出電圧	VDAT_REF		0.25		0.4	V
	UDPiソース電圧	VDP_SRC	出力電流　250 μA	0.5		0.7	V
	UDMiソース電圧	VDM_SRC	出力電流　250 μA	0.5		0.7	V

備考　i = 0, 1

（3）BCオプション規格（ホスト時）

（T_A = －40～＋85 ℃，4.75 V≦UV_{BUS}≦5.25 V, 3.0 V≦UV_{DD}≦3.6 V, 2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目			略　号	条　件	MIN.	TYP.	MAX.	単　位
UDPi出力電圧（UV_{BUS}分圧比）・VDOUEi = 1	VDSELi [3:0]	1000	V_{P20}		38	40	42	%UV_{BUS}
		1001	V_{P27}		51.6	53.6	55.6	%UV_{BUS}
		1010	V_{P20}		38	40	42	%UV_{BUS}
		1100	V_{P33}		60	66	72	%UV_{BUS}
UDMi出力電圧（UV_{BUS}分圧比）・VDOUEi = 1	VDSELi [3:0]	1000	V_{M20}		38	40	42	%UV_{BUS}
		1001	V_{M20}		38	40	42	%UV_{BUS}
		1010	V_{M27}		51.6	53.6	55.6	%UV_{BUS}
		1100	V_{M33}		60	66	72	%UV_{BUS}
UDPi比較電圧[注1]（UV_{BUS}分圧比）・VDOUEi = 1・CUSDETEi = 1	VDSELi [3:0]	1000	V_{HDETP_UP0}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETP_DWN0}	端子電圧降下検知			29.4	%UV_{BUS}
		1001	V_{HDETP_UP1}	端子電圧上昇検知	60.5			%UV_{BUS}
			V_{HDETP_DWN1}	端子電圧降下検知			45.0	%UV_{BUS}
		1010	V_{HDETP_UP2}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETP_DWN2}	端子電圧降下検知			29.4	%UV_{BUS}
UDMi比較電圧[注1]（UV_{BUS}分圧比）・VDOUEi = 1・CUSDETEi = 1	VDSELi [3:0]	1000	V_{HDETM_UP0}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETM_DWN0}	端子電圧降下検知			29.4	%UV_{BUS}
		1001	V_{HDETM_UP1}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETM_DWN1}	端子電圧降下検知			29.4	%UV_{BUS}
		1010	V_{HDETM_UP2}	端子電圧上昇検知	60.5			%UV_{BUS}
			V_{HDETM_DWN2}	端子電圧降下検知			45.0	%UV_{BUS}
UDPiプルアップ検出[注2]フル・スピード・ファンクション（プルアップ抵抗）との接続検知	VDSELi [3:0]	1000	R_{HDET_PULL}	フル・スピード・ファンクション側のプルアップ抵抗の電源電圧範囲は3.0 V～3.6 V			1.575	kΩ
		1001						
		1010						
UDMiプルアップ検出[注2]ロウ・スピード・ファンクション（プルアップ抵抗）との接続検知	VDSELi [3:0]	1000	R_{HDET_PULL}	ロウ・スピード・ファンクション側のプルアップ抵抗の電源電圧範囲は3.0 V～3.6 V			1.575	kΩ
		1001						
		1010						
UDMiシンク電流検出[注2] BC1.2 Portable Device（シンク電流）との接続検知	VDSELi [3:0]	1000	I_{HDET_SINK}		25			μA
		1001						
		1010						

注 1.　UDPi/UDMi（i = 0, 1）の出力電圧が当該規格のMAX値-MIN値の範囲を超過した場合にUSBBCOPTiレジスタのそれぞれDPCUSDETi（ビット8）/DMCUSDETi（ビット9）が1になります。

2.　UDPi/UDMi(i=0,1）に当該規格のプルアップ抵抗もしくはシンク電流が接続，印加された場合にUSBBCOPTiレジスタのそれぞれDPCUSDETi（ビット8）/DMCUSDETi（ビット9）が1になります。

備考　i = 0, 1

（4）BCオプション規格（ファンクション時）

（T_A = －40～＋85 ℃，4.35 V≦UV_{BUS}≦5.25 V, 3.0 V≦UV_{DD}≦3.6 V, 2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目			略　号	条　件	MIN.	TYP.	MAX.	単　位
UDPi/UDMi入力基準電圧（UV_{BUS}分圧比）・VDOUEi = 0 (i = 0)	VDSELi [3:0] (i = 0)	0000	V_{DDET0}		27	32	37	%UV_{BUS}
		0001	V_{DDET1}		29	34	39	%UV_{BUS}
		0010	V_{DDET2}		32	37	42	%UV_{BUS}
		0011	V_{DDET3}		35	40	45	%UV_{BUS}
		0100	V_{DDET4}		38	43	48	%UV_{BUS}
		0101	V_{DDET5}		41	46	51	%UV_{BUS}
		0110	V_{DDET6}		44	49	54	%UV_{BUS}
		0111	V_{DDET7}		47	52	57	%UV_{BUS}
		1000	V_{DDET8}		51	56	61	%UV_{BUS}
		1001	V_{DDET9}		55	60	65	%UV_{BUS}
		1010	V_{DDET10}		59	64	69	%UV_{BUS}
		1011	V_{DDET11}		63	68	73	%UV_{BUS}
		1100	$V_{DDET012}$		67	72	77	%UV_{BUS}
		1101	$V_{DDET013}$		71	76	81	%UV_{BUS}
		1110	$V_{DDET014}$		75	80	85	%UV_{BUS}
		1111	$V_{DDET015}$		79	84	89	%UV_{BUS}

30. 6　アナログ特性

30. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧（＋） = AV_{REFP} 基準電圧（－） = AV_{REFM}	基準電圧（＋） = V_{DD} 基準電圧（－） = V_{SS}	基準電圧（＋） = V_{BGR} 基準電圧（－） = AV_{REFM}
ANI0-ANI7	30. 6. 1（1）参照	30. 6. 1（3）参照	30. 6. 1（4）参照
ANI16, ANI17, ANI19	30. 6. 1（2）参照		
内部基準電圧 温度センサ出力電圧	30. 6. 1（1）参照		–

（1）基準電圧（＋） = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI7，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋85 ℃，2.4 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基本電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	R_{ES}			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦V_{DD}≦5.5 V		1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解 変換対象：ANI2-ANI7	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧， 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦V_{DD}≦5.5 V			±0.25	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦V_{DD}≦5.5 V			±0.25	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦V_{DD}≦5.5 V			±2.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦V_{DD}≦5.5 V			±1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2-ANI7		0		AV_{REFP}	V
		内部基準電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{BGR}[注4]			V
		温度センサ出力電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{TMPS25}[注4]			V

（注は次ページにあります。）

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. AV_{REFP}＜V_{DD}の場合，MAX.値は次のようになります。

総合誤差	：AV_{REFP} = V_{DD}のMAX.値に±1.0 LSBを加算してください
ゼロスケール誤差／フルスケール誤差	：AV_{REFP} = V_{DD}のMAX.値に±0.05 %FSRを加算してください
積分直線性誤差／微分直線性誤差	：AV_{REFP} = V_{DD}のMAX.値に±0.5 LSBを加算してください

4. 30. 6. 2　温度センサ／内部基準電圧特性を参照してください。

（2）基準電圧（＋） = AVREFP/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－） = AVREFM/ANI1（ADREFM = 1）選択時，変換対象： ANI16, ANI17, ANI19

（TA = －40～＋85 ℃，2.4 V≦AVREFP≦VDD≦5.5 V, VSS = 0 V，基本電圧（＋）= AVREFP，基準電圧（－）= AVREFM = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 AVREFP = VDD注3	2.4 V≦VDD≦5.5 V		1.2	±5.0	LSB
変換時間	tCONV	10ビット分解能 ANI16, ANI17, ANI19	3.6 V≦VDD≦5.5 V	2.125		39	μs
			2.7 V≦VDD≦5.5 V	3.1875		39	μs
			2.4 V≦VDD≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能 AVREFP = VDD注3	2.4 V≦VDD≦5.5 V			±0.35	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能 AVREFP = VDD注3	2.4 V≦VDD≦5.5 V			±0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AVREFP = VDD注3	2.4 V≦VDD≦5.5 V			±3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AVREFP = VDD注3	2.4 V≦VDD≦5.5 V			±2.00	LSB
アナログ入力電圧	VAIN	ANI16, ANI17, ANI19		0		AVREFP かつVDD	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. AVREFP＜VDDの場合，MAX.値は次のようになります。

総合誤差　：AVREFP = VDDのMAX.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差　：AVREFP = VDDのMAX.値に±0.20 %FSRを加算してください

積分直線性誤差／微分直線性誤差　：AVREFP = VDDのMAX.値に±2.0 LSBを加算してください

（3）基準電圧（＋）　= V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧（－）　= V_{SS}（ADREFM = 0）選択時，
変換対象：ANI0-ANI7, ANI16, ANI17, ANI19，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基本電圧（＋）= V_{DD}，基準電圧（－）= V_{SS}）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	R_{ES}			8		10	bit
総合誤差注1	AINL	10ビット分解能	2.4 V≦V_{DD}≦5.5 V		1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI7, ANI16, ANI17, ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧，温度センサ出力電圧 HS（高速メイン）モード	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI7, ANI16, ANI17, ANI19		0		V_{DD}	V
		内部基準電圧（2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{BGR}注3			V
		温度センサ出力電圧（2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{TMPS25}注3			V

注1．量子化誤差（±1/2 LSB）を含みません。
2．フルスケール値に対する比率（%FSR）で表します。
3．30. 6. 2　温度センサ／内部基準電圧特性を参照してください。

（4）基準電圧（＋）＝ 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－）＝ AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI0-ANI7, ANI16, ANI17, ANI19

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基本電圧（＋）= V_{BGR}[注3]，基準電圧（－）= AV_{REFM}[注4] = 0 V，HS（高速メイン）モード）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	R_{ES}				8		bit
変換時間	t_{CONV}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	EZS	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±1.0	LSB
アナログ入力電圧	V_{AIN}			0		V_{BGR}[注3]	V

注1．量子化誤差（±1/2 LSB）を含みません。

2．フルスケール値に対する比率（%FSR）で表します。

3．30. 6. 2　温度センサ／内部基準電圧特性を参照してください。

4．基準電圧（－）＝ V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.2 LSBを加算してください

30. 6. 2　温度センサ／内部基準電圧特性

（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，HS（高速メイン）モード）

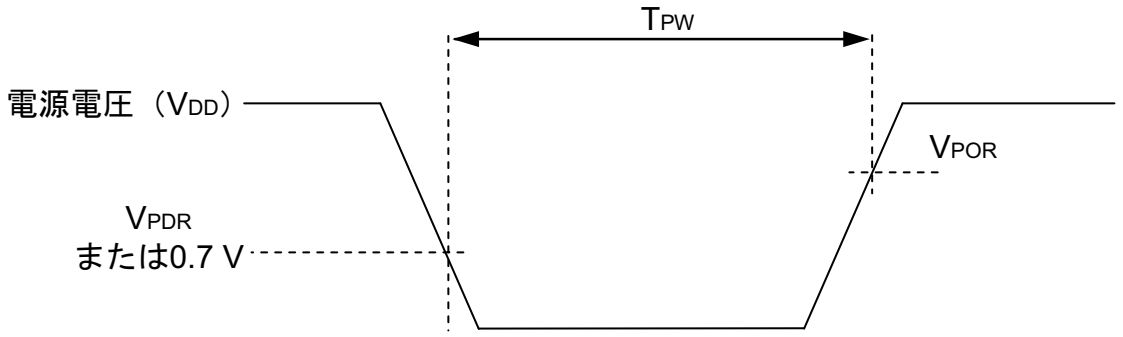
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定，T_A = ＋25℃		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		－3.6		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

30. 6. 3　POR回路特性

（T_A = －40～＋85 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POR}	電源立ち上がり時	1.47	1.51	1.55	V
	V_{PDR}	電源立ち下がり時	1.46	1.50	1.54	V
最小パルス幅注	T_{PW}		300			μs

注　V_{DD}がV_{PDR}を下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモード時および，クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（f_{MAIN}）を停止時は，V_{DD}が0.7 Vを下回ってから，V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



30. 6. 4　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（T_A = －40～＋85 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		V_{LVD1}	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		V_{LVD2}	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		V_{LVD3}	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		V_{LVD4}	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		V_{LVD5}	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		V_{LVD6}	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		V_{LVD7}	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		V_{LVD8}	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
最小パルス幅		t_{LW}		300			μs
検出遅延						300	μs

割り込み＆リセット・モードのLVD検出電圧

（T_A = －40～＋85 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
割り込み＆リセット・モード	V_{LVDC0}	VPOC2, VPOC1, VPOC0 = 0, 1, 0，立ち下がりリセット電圧			2.40	2.45	2.50	V
	V_{LVDC1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.56	2.61	2.66	V
				立ち下がり割り込み電圧	2.50	2.55	2.60	V
	V_{LVDC2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.66	2.71	2.76	V
				立ち下がり割り込み電圧	2.60	2.65	2.70	V
	V_{LVDC3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.68	3.75	3.82	V
				立ち下がり割り込み電圧	3.60	3.67	3.74	V
	V_{LVDD0}	VPOC2, VPOC1, VPOC0 = 0, 1, 1，立ち下がりリセット電圧			2.70	2.75	2.81	V
	V_{LVDD1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.86	2.92	2.97	V
				立ち下がり割り込み電圧	2.80	2.86	2.91	V
	V_{LVDD2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.96	3.02	3.08	V
				立ち下がり割り込み電圧	2.90	2.96	3.02	V
	V_{LVDD3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.98	4.06	4.14	V
				立ち下がり割り込み電圧	3.90	3.98	4.06	V

30. 6. 5　電源電圧立ち上がり傾き特性

（T_A = －40～＋85 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
電源電圧立ち上がり傾き	S_{VDD}				54	V/ms

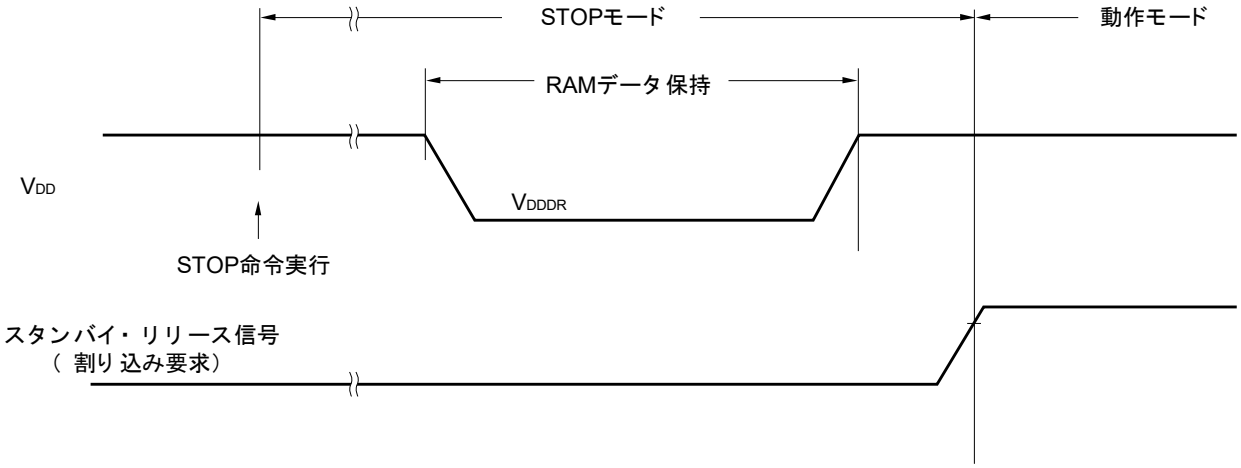
注意　V_{DD}が30. 4　AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

30. 7　RAMデータ保持特性

（TA = －40～＋85 ℃，VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	VDDDR		1.46注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



30. 8　フラッシュ・メモリ・プログラミング特性

（TA = －40～＋85 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
システム・クロック周波数	fCLK	2.4 V≦VDD≦5.5 V	1		24	MHz
コード・フラッシュの書き換え回数	Cerwr	保持年数：20年 TA = 85 ℃	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数：1年 TA = 25 ℃		1,000,000		
		保持年数：5年 TA = 85 ℃	100,000			
		保持年数：20年 TA = 85 ℃	10,000			

注1.　消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とします。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3.　この特性はフラッシュ・メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

30. 9　専用フラッシュ・メモリ・プログラマ通信（UART）

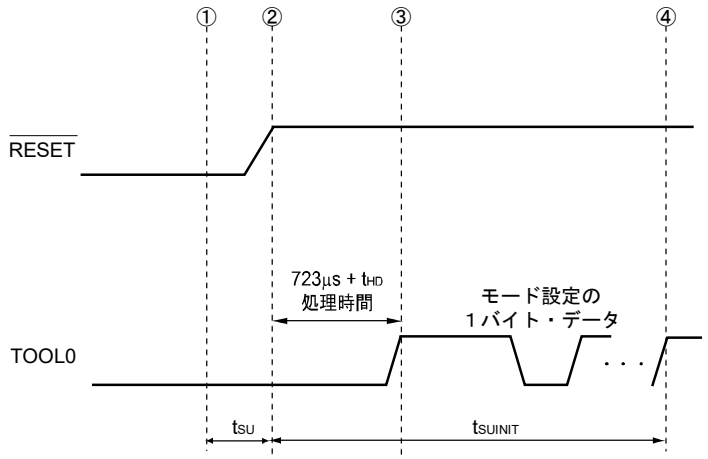
（TA = －40～＋85 ℃，2.4 V ≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

30. 10　フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング

（TA = －40～＋85 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単　位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルが解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

t_{SU}　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第31章　電気的特性（G：TA = –40~＋105℃）

この章では，G：産業用途（TA = –40～＋105℃）製品の電気的特性を示します。

対象製品　G：産業用途　TA = －40～＋105℃
R5F10JBCGNA, R5F10JBCGFP, R5F10JGCGNA, R5F10JGCGFB,
R5F10KBCGNA, R5F10KBCGFP, R5F10KGCGNA, R5F10KGCGFB

注意1.　RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合，フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり，製品の信頼性が保証できませんので，量産用の製品では本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については，クレーム受け付け対象外となります。

2.　製品により搭載している端子が異なります。2. 1　ポート機能 ～2. 2. 1　製品別の搭載機能を参照してください。

3.　TA = +85℃～+105℃で使用する場合のディレーティングについては，当社営業および販売店営業へお問合せください。なお，ディレーティングとは，「信頼性を改善するために，計画的に負荷を定格値から軽減すること」です。

”G：産業用途（TA = –40～＋105℃）”製品は，“A：民生用途”製品と次に示す機能が異なります。

用途区分	A：民生用途	G：産業用途
動作周囲温度	TA = －40～＋85℃	TA = －40～＋105℃
高速オンチップ・オシレータ・クロック精度	2.4 V≦VDD≦5.5 V： ±1.0 % @ TA = －20～＋85℃ ±1.5 % @ TA = －40～－20℃	2.4 V≦VDD≦5.5 V： ±2.0 % @ TA = ＋85～＋105℃ ±1.0 % @ TA = －20～＋85℃ ±1.5 % @ TA = －40～－20℃
シリアル・アレイ・ユニット	UART 簡易SPI（CSI）： fCLK/2（16 Mbps対応），fCLK/4 簡易I²C	UART 簡易SPI（CSI）：fCLK/4 簡易I²C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード

備考　G：産業用途（TA = －40～＋105℃）の電気的特性は，“A：民生用途”と異なります。詳細は，このページ以降の31. 1～31. 10を参照してください。

31. 1　絶対最大定格

絶対最大定格（T_A = 25 ℃）（1/2）

項　目	略　号	条　件	定　格	単　位
電源電圧	V_{DD}		－0.5～＋6.5	V
REGC端子入力電圧	V_{IREGC}	REGC	－0.3～＋2.8 かつ－0.3～V_{DD}＋0.3[注1]	V
UV_{DD}端子入力電圧	V_{IUVDD}	UV_{DD}	－0.3～V_{DD}＋0.3	V
入力電圧	V_{I1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P70-P75, P120-P124, P137, P140, EXCLK, EXCLKS, $\overline{\text{RESET}}$	－0.3～V_{DD}＋0.3[注2]	V
	V_{I2}	P60-P63（N-chオープン・ドレイン）	－0.3～＋6.5	V
	V_{I3}	UDP0, UDM0, UDP1, UDM1	－0.3～＋6.5	V
	V_{I4}	UV_{BUS}	－0.3～＋6.5	V
出力電圧	V_{O1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P130, P140	－0.3～V_{DD}＋0.3[注2]	V
	V_{O2}	UDP0, UDM0, UDP1, UDM1	－0.3～＋6.5	V
アナログ入力電圧	V_{AI1}	ANI16, ANI17, ANI19	－0.3～V_{DD}＋0.3 かつ－0.3～AV_{REF}（+）＋0.3[注2, 3]	V
	V_{AI2}	ANI0-ANI7	－0.3～V_{DD}＋0.3 かつ－0.3～AV_{REF}（+）＋0.3[注2, 3]	V

注 1.　REGC端子にはコンデンサ（0.47～1 μF）を介してV_{SS}に接続してください。この値は，REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

2.　6.5 V以下であること。

3.　A/D変換対象の端子は，AV_{REF}(+)＋0.3を越えないでください。

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考 1.　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

2.　AV_{REF}（+）：A/Dコンバータの＋側基準電圧。AV_{REFP}，内部基準電圧（1.45 V），V_{DD}から選択可能です。

3.　V_{SS}を基準電圧とする。

絶対最大定格（TA = 25 ℃）（2/2）

項　目	略　号	条　件		定　格	単　位
ハイ・レベル出力電流	I_{OH1}	1端子	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140	－40	mA
		端子合計 －170 mA	P00, P01, P40, P41, P120, P130, P140	－70	mA
			P14-P17, P30, P31, P50, P51, P70-P75	－100	mA
	I_{OH2}	1端子	P20-P27	－0.5	mA
		端子合計		－2	mA
ロウ・レベル出力電流	I_{OL1}	1端子	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P130, P140	40	mA
		端子合計 170 mA	P00, P01, P40, P41, P120, P130, P140	70	mA
			P14-P17, P30, P31, P50, P51, P60-P63, P70-P75	100	mA
	I_{OL2}	1端子	P20-P27	1	mA
		端子合計		5	mA
動作周囲温度	T_A	通常動作時		－40～＋105	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	T_{stg}			－65～＋150	℃

注意　各項目のうち1項目でも，また一瞬でも絶対最大定格を越えると，製品の品質を損なう恐れがあります。つまり絶対最大定格とは，製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で，製品をご使用ください。

備考　特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

31. 2　発振回路特性

31. 2. 1　X1, XT1発振回路特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	発振子	条　　件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数（f_X）注	セラミック発振子／水晶振動子	2.7 V≦V_{DD}≦5.5 V	1.0		20.0	MHz
		2.4 V≦V_{DD}＜2.7 V	1.0		16.0	
XT1クロック発振周波数（f_{XT}）注	水晶振動子		32	32.768	35	kHz

注　発振回路の周波数許容範囲のみを示すものです。命令実行時間は，AC特性を参照してください。
　　また，実装回路上での評価を発振子メーカに依頼し，発振特性を確認してご使用ください。

注意　リセット解除後は，高速オンチップ・オシレータ・クロックによりCPUが起動されるため，X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ（OSTC）でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから，OSTCレジスタ，発振安定時間選択レジスタ（OSTS）の発振安定時間を決定してください。

備考　X1, XT1発振回路を使用する場合は，5. 4　システム・クロック発振回路を参照してください。

31. 2. 2　オンチップ・オシレータ特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} =0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f_{HOCO}		1		48	MHz
高速オンチップ・オシレータ・クロック周波数精度		－20～＋85 ℃	－1.0		＋1.0	%
		－40～－20 ℃	－1.5		＋1.5	%
		＋85～＋105 ℃	－2.0		＋2.0	%
低速オンチップ・オシレータ・クロック周波数	f_{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			－15		＋15	%

注1.　高速オンチップ･オシレータの周波数は，オプション･バイト（000C2H/010C2H）のビット0-3およびHOCODIVレジスタのビット0-2によって選択します。
　2.　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

31. 2. 3　PLL発振回路特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件	MIN.	TYP.	MAX.	単位
PLL入力周波数注	f_{PLLIN}	高速システム・クロック	6.00		16.00	MHz
PLL出力周波数注	f_{PLL}			48.00		MHz
ロックアップ・タイム		PLL出力許可から出力周波数の安定まで	40			μs
インターバル・タイム		PLL停止→PLL再動作設定　待ち時間	4			μs
設定待ち時間		PLL入力クロック安定かつPLL設定確定後→起動設定　要待ち時間	1			μs

注　発振回路の特性だけを示すものです。命令実行時間は，AC特性を参照してください。

31. 3　DC特性

31. 3. 1　端子特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　　目	略　号	条　　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電流[注1]	I_{OH1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140 1端子	2.4 V≦V_{DD}≦5.5 V			－3.0[注2]	mA
		P00, P01, P40, P41, P120, P130, P140　合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			－30.0	mA
			2.7 V≦V_{DD}＜4.0 V			－10.0	mA
			2.4 V≦V_{DD}＜2.7 V			－5.0	mA
		P14-P17, P30, P31, P50, P51, P70-P75　合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			－30.0	mA
			2.7 V≦V_{DD}＜4.0 V			－19.0	mA
			2.4 V≦V_{DD}＜2.7 V			－10.0	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			－60.0	mA
	I_{OH2}	P20-P27　1端子	2.4 V≦V_{DD}≦5.5 V			－0.1[注2]	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			－1.5	mA

注1.　V_{DD}端子から出力端子に流れ出しても，デバイスの動作を保証する電流値です。

2.　ただし，合計の電流値を超えないでください。

3.　デューティ ≦ 70 %の条件での出力電流の値です。
デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OH}×0.7）／（n×0.01）

＜計算例＞ I_{OH} = －10.0 mAの場合，n = 80 %

端子合計の出力電流 =（－10.0×0.7）／（80×0.01）≒ －8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

注意　P00, P01, P30, P74は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ロウ・レベル出力電流[注1]	I_{OL1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140 1端子	2.4 V≦V_{DD}≦5.5 V			8.5[注2]	mA
		P60-P63　1端子	2.4 V≦V_{DD}≦5.5 V			15.0[注2]	mA
		P00, P01, P40, P41, P120, P130, P140　合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			40.0	mA
			2.7 V≦V_{DD}＜4.0 V			15.0	mA
			2.4 V≦V_{DD}＜2.7 V			9.0	mA
		P14-P17, P30, P31, P50, P51, P60-P63, P70-P75 合計（デューティ≦70 %時[注3]）	4.0 V≦V_{DD}≦5.5 V			40.0	mA
			2.7 V≦V_{DD}＜4.0 V			35.0	mA
			2.4 V≦V_{DD}＜2.7 V			20.0	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			80.0	mA
	I_{OL2}	P20-P27　1端子	2.4 V≦V_{DD}≦5.5 V			0.4[注2]	mA
		全端子合計（デューティ≦70 %時[注3]）	2.4 V≦V_{DD}≦5.5 V			5.0	mA

注1.　出力端子からV_{SS}端子に流れ込んでも，デバイスの動作を保証する電流値です。

2.　合計の電流値を超えないでください。

3.　デューティ ≦ 70 %の条件での電流の値です。

デューティ＞70%に変更した出力電流の値は，次の計算式で求めることができます（デューティ比をn %に変更する場合）。

・端子合計の出力電流 =（I_{OL}×0.7）／（n×0.01）

＜計算例＞ I_{OL} = 10.0 mAの場合，n = 80 %

端子合計の出力電流 =（10.0×0.7）／（80×0.01）≒ 8.7 mA

ただし，1端子当たりに流せる電流は，デューティによって変わることはありません。また，絶対最大定格以上の電流は流せません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル入力電圧	V_{IH1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140	通常入力バッファ	0.8V_{DD}		V_{DD}	V
	V_{IH2}	P00, P01, P30, P50	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	2.2		V_{DD}	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	2.0		V_{DD}	V
			TTL入力バッファ 2.4 V≦V_{DD}＜3.3 V	1.5		V_{DD}	V
	V_{IH3}	P20-P27		0.7V_{DD}		V_{DD}	V
	V_{IH4}	P60-P63		0.7V_{DD}		6.0	V
	V_{IH5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8V_{DD}		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140	通常入力バッファ	0		0.2V_{DD}	V
	V_{IL2}	P00, P01, P30, P50	TTL入力バッファ 4.0 V≦V_{DD}≦5.5 V	0		0.8	V
			TTL入力バッファ 3.3 V≦V_{DD}＜4.0 V	0		0.5	V
			TTL入力バッファ 2.4 V≦V_{DD}＜3.3 V	0		0.32	V
	V_{IL3}	P20-P27		0		0.3V_{DD}	V
	V_{IL4}	P60-P63		0		0.3V_{DD}	V
	V_{IL5}	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2V_{DD}	V

注意　P00, P01, P30, P74は，N-chオープン・ドレイン・モード時でもV_{IH}の最大値（MAX.）はV_{DD}です。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
ハイ・レベル出力電圧	V_{OH1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140	4.0 V≦V_{DD}≦5.5 V, I_{OH1} = －3.0 mA	V_{DD}－0.7			V
			2.7 V≦V_{DD}≦5.5 V, I_{OH1} = －2.0 mA	V_{DD}－0.6			V
			2.4 V≦V_{DD}≦5.5 V, I_{OH1} = －1.5 mA	V_{DD}－0.5			V
	V_{OH2}	P20-P27	2.4 V≦V_{DD}≦5.5 V, I_{OH2} = －100 μA	V_{DD}－0.5			V
ロウ・レベル出力電圧	V_{OL1}	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P130, P140	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 8.5 mA			0.7	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 3.0 mA			0.6	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 1.5 mA			0.4	V
			2.4 V≦V_{DD}≦5.5 V, I_{OL1} = 0.6 mA			0.4	V
	V_{OL2}	P20-P27	2.4 V≦V_{DD}≦5.5 V, I_{OL2} = 400 μA			0.4	V
	V_{OL3}	P60-P63	4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 15.0 mA			2.0	V
			4.0 V≦V_{DD}≦5.5 V, I_{OL1} = 5.0 mA			0.4	V
			2.7 V≦V_{DD}≦5.5 V, I_{OL1} = 3.0 mA			0.4	V
			2.4 V≦V_{DD}≦5.5 V, I_{OL1} = 2.0 mA			0.4	V

注意　P00, P01, P30, P74は，N-chオープン・ドレイン・モード時には，ハイ・レベル出力しません。

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
ハイ・レベル入力リーク電流	I_{LIH1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P137, P140, $\overline{\text{RESET}}$	V_I = V_{DD}				1	μA
	I_{LIH2}	P121-P124（X1，X2，XT1，XT2, EXCLK, EXCLKS）	V_I = V_{DD}	入力ポート時，外部クロック入力時			1	μA
				発振子接続時			10	μA
ロウ・レベル入力リーク電流	I_{LIL1}	P00, P01, P14-P17, P20-P27, P30, P31, P40, P41, P50, P51, P60-P63, P70-P75, P120, P137, P140, $\overline{\text{RESET}}$	V_I = V_{SS}				－1	μA
	I_{LIL2}	P121-P124（X1，X2，XT1，XT2, EXCLK, EXCLKS）	V_I = V_{SS}	入力ポート時，外部クロック入力時			－1	μA
				発振子接続時			－10	μA
内蔵プルアップ抵抗	R_U	P00, P01, P14-P17, P30, P31, P40, P41, P50, P51, P70-P75, P120, P140	V_I = V_{SS}，入力ポート時		10	20	100	kΩ

備考　特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

31. 3. 2　電源電流特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　（1/2）

項　目	略号	条　件					MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD1}	動作モード	HS（高速メイン）モード[注6]	f_{HOCO} = 48 MHz f_{IH} = 24 MHz[注3]	基本動作	V_{DD} = 5.0 V		1.7		mA
						V_{DD} = 3.0 V		1.7		
					通常動作	V_{DD} = 5.0 V		3.7	5.8	mA
						V_{DD} = 3.0 V		3.7	5.8	
				f_{HOCO} = 24 MHz[注5] f_{IH} = 12 MHz[注3]	通常動作	V_{DD} = 5.0 V		2.3	3.4	mA
						V_{DD} = 3.0 V		2.3	3.4	
				f_{HOCO} = 12 MHz[注5] f_{IH} = 6 MHz[注3]	通常動作	V_{DD} = 5.0 V		1.6	2.2	mA
						V_{DD} = 3.0 V		1.6	2.2	
				f_{HOCO} = 6 MHz[注5] f_{IH} = 3 MHz[注3]	通常動作	V_{DD} = 5.0 V		1.2	1.6	mA
						V_{DD} = 3.0 V		1.2	1.6	
			HS（高速メイン）モード[注6]	f_{MX} = 20 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		3.0	4.9	mA
						発振子接続		3.2	5.0	
				f_{MX} = 20 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		3.0	4.9	mA
						発振子接続		3.2	5.0	
				f_{MX} = 10 MHz[注2], V_{DD} = 5.0 V	通常動作	方形波入力		1.9	2.9	mA
						発振子接続		1.9	2.9	
				f_{MX} = 10 MHz[注2], V_{DD} = 3.0 V	通常動作	方形波入力		1.9	2.9	mA
						発振子接続		1.9	2.9	
			HS（高速メイン）モード（PLL動作）[注6]	f_{PLL} = 48 MHz, f_{CLK} = 24 MHz[注2]	通常動作	V_{DD} = 5.0 V		4.0	6.3	mA
						V_{DD} = 3.0 V		4.0	6.3	
				f_{PLL} = 48 MHz, f_{CLK} = 12 MHz[注2]	通常動作	V_{DD} = 5.0 V		2.6	3.9	mA
						V_{DD} = 3.0 V		2.6	3.9	
				f_{PLL} = 48 MHz, f_{CLK} = 6 MHz[注2]	通常動作	V_{DD} = 5.0 V		1.9	2.7	mA
						V_{DD} = 3.0 V		1.9	2.7	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注4] T_A = －40℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋25℃	通常動作	方形波入力		4.1	4.9	μA
						発振子接続		4.2	5.0	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋50℃	通常動作	方形波入力		4.2	5.5	μA
						発振子接続		4.3	5.6	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋70℃	通常動作	方形波入力		4.2	6.3	μA
						発振子接続		4.3	6.4	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋85℃	通常動作	方形波入力		4.8	7.7	μA
						発振子接続		4.9	7.8	
				f_{SUB} = 32.768 kHz[注4] T_A = ＋105℃	通常動作	方形波入力		6.9	19.7	μA
						発振子接続		7.0	19.8	

（注，備考は次ページにあります。）

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，USB2.0ホスト／ファンクション・モジュール，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。

2. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
3. 高速システム・クロック，サブシステム・クロックは停止時。
4. 高速オンチップ・オシレータ，高速システム・クロックは停止時。超低消費発振（AMPHS1 = 1）設定時。
5. 動作周波数設定オプションバイト = 48 MHz選択時。f_{HOCO}はHOCODIVによる分周。RDIV[1:0] = 00時（2分周：デフォルト）。
6. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。

HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

備考1. f_{HOCO}：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）
2. f_{IH}：高速オンチップ・オシレータ・クロックを2/4/8分周したメイン・システム・クロック・ソースの周波数（最大24 MHz）
3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）
4. f_{PLL}：PLL発振周波数
5. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）
6. f_{CLK}：CPU／周辺ハードウエア・クロック周波数
7. 「サブシステム・クロック動作」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）　（2/2）

項　目	略号	条　件				MIN.	TYP.	MAX.	単位
電源電流[注1]	I_{DD2}[注2]	HALT モード	HS（高速メイン）モード[注8]	f_{HOCO} = 48 MHz, f_{IH} = 24 MHz[注4]	V_{DD} = 5.0 V		0.67	2.25	mA
					V_{DD} = 3.0 V		0.67	2.25	
				f_{HOCO} = 24 MHz[注6], f_{IH} = 12 MHz[注4]	V_{DD} = 5.0 V		0.50	1.55	mA
					V_{DD} = 3.0 V		0.50	1.55	
				f_{HOCO} = 12 MHz[注6], f_{IH} = 6 MHz[注4]	V_{DD} = 5.0 V		0.41	1.21	mA
					V_{DD} = 3.0 V		0.41	1.21	
				f_{HOCO} = 6 MHz[注6], f_{IH} = 3 MHz[注4]	V_{DD} = 5.0 V		0.37	1.05	mA
					V_{DD} = 3.0 V		0.37	1.05	
			HS（高速メイン）モード[注8]	f_{MX} = 20 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.28	1.90	mA
					発振子接続		0.45	2.00	
				f_{MX} = 20 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.28	1.90	mA
					発振子接続		0.45	2.00	
				f_{MX} = 10 MHz[注3], V_{DD} = 5.0 V	方形波入力		0.19	1.02	mA
					発振子接続		0.26	1.10	
				f_{MX} = 10 MHz[注3], V_{DD} = 3.0 V	方形波入力		0.19	1.02	mA
					発振子接続		0.26	1.10	
			HS（高速メイン）モード（PLL動作）[注8]	f_{PLL} = 48 MHz, f_{CLK} = 24 MHz[注3]	V_{DD} = 5.0 V		0.91	2.74	mA
					V_{DD} = 3.0 V		0.91	2.74	
				f_{PLL} = 48 MHz, f_{CLK} = 12 MHz[注3]	V_{DD} = 5.0 V		0.85	2.31	mA
					V_{DD} = 3.0 V		0.85	2.31	
				f_{PLL} = 48 MHz, f_{CLK} = 6 MHz[注3]	V_{DD} = 5.0 V		0.82	2.07	mA
					V_{DD} = 3.0 V		0.82	2.07	
			サブシステム・クロック動作	f_{SUB} = 32.768 kHz[注5], T_A = －40℃	方形波入力		0.25	0.57	μA
					発振子接続		0.44	0.76	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋25℃	方形波入力		0.30	0.57	μA
					発振子接続		0.49	0.76	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋50℃	方形波入力		0.33	1.17	μA
					発振子接続		0.63	1.36	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋70℃	方形波入力		0.46	1.97	μA
					発振子接続		0.76	2.16	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋85℃	方形波入力		0.97	3.37	μA
					発振子接続		1.16	3.56	
				f_{SUB} = 32.768 kHz[注5], T_A = ＋105℃	方形波入力		3.01	15.37	μA
					発振子接続		3.20	15.56	
	I_{DD3}	STOP モード[注7]	T_A = －40℃				0.18	0.50	μA
			T_A = ＋25℃				0.23	0.50	
			T_A = ＋50℃				0.26	1.10	
			T_A = ＋70℃				0.29	1.90	
			T_A = ＋85℃				0.90	3.30	
			T_A = ＋105℃				2.94	15.30	

（注，備考は次ページにあります。）

注1. V_{DD}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。HS（高速メイン）モード時，電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし，A/Dコンバータ，LVD回路，USB2.0ホスト／ファンクション・モジュール，I/Oポート，内蔵プルアップ／プルダウン抵抗，データ・フラッシュ書き換え時に流れる電流は含みません。
サブシステム・クロック動作時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし，HALTモード時はRTCに流れる電流を含みます。
STOPモード時，電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

2. フラッシュ・メモリでのHALT命令実行時。
3. 高速オンチップ・オシレータ，サブシステム・クロックは停止時。
4. 高速システム・クロック，サブシステム・クロックは停止時。
5. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
RTCLPC = 1，かつ超低消費発振（AMPHS1 = 1）設定時。
6. 動作周波数設定オプションバイト = 48 MHz選択時。f_{HOCO}はHOCODIVによる分周。RDIV[1:0] = 00時（2分周：デフォルト）。
7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は，HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
8. 動作電圧範囲，CPU動作周波数，動作モードの関係を次に示します。
HS（高速メイン）モード　：2.7 V≦V_{DD}≦5.5 V@1 MHz～24 MHz
2.4 V≦V_{DD}≦5.5 V@1 MHz～16 MHz

備考1. f_{HOCO}：高速オンチップ・オシレータ・クロック周波数（最大48 MHz）
2. f_{IH}：高速オンチップ・オシレータ・クロックを2/4/8分周したメイン・システム・クロック・ソースの周波数（最大24 MHz）
3. f_{MX}：高速システム・クロック周波数（X1クロック発振周波数または外部メイン・システム・クロック周波数）
4. f_{PLL}：PLL発振周波数
5. f_{SUB}：サブシステム・クロック周波数（XT1クロック発振周波数）
6. f_{CLK}：CPU／周辺ハードウエア・クロック周波数
7. 「サブシステム・クロック動作」，「STOPモード」以外のTYP.値の温度条件は，T_A = 25 ℃です。

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）（1/2）

項　目	略号	条　件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	I_{FIL} 注1				0.20		μA
RTC動作電流	I_{RTC} 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	I_{IT} 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	I_{WDT} 注1，2, 5	f_{IL} = 15 kHz			0.22		μA
A/Dコンバータ動作電流	I_{ADC} 注1, 6	最高速変換時	標準モード，AV_{REFP} = V_{DD} = 5.0 V		1.3	1.8	mA
			低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		0.5	0.8	mA
A/Dコンバータ基準電圧電流	I_{ADREF} 注1				75.0		μA
温度センサ動作電流	I_{TMPS} 注1				75.0		μA
LVD動作電流	I_{LVD} 注1, 7				0.08		μA
セルフ・プログラミング動作電流	I_{FSP} 注1, 9				2.00	12.30	mA
BGO電流	I_{BGO} 注1, 8				2.00	12.30	mA
SNOOZE動作電流	I_{SNOZ} 注1	ADC動作	モード遷移中 注10		0.80	1.97	mA
			変換動作中，低電圧モード，AV_{REFP} = V_{DD} = 3.0 V		1.20	3.00	
		簡易SPI（CSI）動作			0.70	1.56	

（注，備考は次ページにあります。）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）（2/2）

項　目		略号	条　件	MIN.	TYP.	MAX.	単位
USB動作電流		I_{USBH} 注11	以下の設定，条件におけるUSB通信動作時（V_{DD} = 5.0 V, T_A = ＋25 ℃） ・USB用内部電源使用 ・X1発振周波数（f_X）= 12 MHz，PLL発振周波数（f_{PLL}）= 48 MHz ・4つのパイプ（エンド・ポイント）を同時に使用したフル・スピードモードのホスト（2ポート使用）動作設定（PIPE4：バルクOUT転送（64バイト），PIPE5：バルクIN転送（64バイト），PIPE6：インタラプトOUT転送，PIPE7：インタラプトIN転送） ・USBポート（2ポート）からそれぞれ0.5 mのUSBケーブルを経由して周辺機器に接続		9.0		mA
		I_{USBF} 注11	以下の設定，条件におけるUSB通信動作時（V_{DD} = 5.0 V, T_A = ＋25 ℃） ・USB用内部電源使用 ・X1発振周波数（f_X）= 12 MHz，PLL発振周波数（f_{PLL}）= 48 MHz ・4つのパイプ（エンド・ポイント）を同時に使用したフル・スピードモードのファンクション動作設定（PIPE4：バルクOUT転送（64バイト），PIPE5：バルクIN転送（64バイト），PIPE6：インタラプトOUT転送，PIPE7：インタラプトIN転送） ・USBポート（1ポート）から0.5 mのUSBケーブルを経由してホスト機器に接続		2.5		mA
		I_{SUSP} 注12	以下の設定，条件におけるサスペンド時（V_{DD} = 5.0 V, T_A = ＋25 ℃） ・フル・スピードモードのファンクション設定（UDP0端子をプルアップ） ・USB用内部電源使用 ・システムはSTOPモード（高速オンチップ・オシレータ，高速システム・クロック，サブシステム・クロック停止。ウォッチドッグ・タイマは停止時） ・USBポート（1ポート）から0.5 mのUSBケーブルを経由してホスト機器に接続		240		μA

（注，備考は次ページにあります）

注1. V_{DD}に流れる電流です

2. 高速オンチップ・オシレータ，高速システム・クロックは停止時。
3. リアルタイム・クロック（RTC）にのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は，I_{DD1}またはI_{DD2}にI_{RTC}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。I_{DD2}のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。
4. 12ビット・インターバル・タイマにのみ流れる電流です（低速オンチップ・オシレータ，XT1発振回路の動作電流は含みません）。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は，I_{DD1}またはI_{DD2}にI_{IT}を加算した値が，RL78マイクロコントローラの電流値となります。また，低速オンチップ・オシレータ選択時はI_{FIL}を加算してください。
5. ウォッチドッグ・タイマにのみ流れる電流です（低速オンチップ・オシレータの動作電流を含みます）。ウォッチドッグ・タイマの動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{WDT}を加算した値が，RL78マイクロコントローラの電流値となります。
6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はI_{DD1}またはI_{DD2}にI_{ADC}を加算した値が，RL78マイクロコントローラの電流値となります。
7. LVD回路にのみ流れる電流です。LVD回路の動作時は，I_{DD1}，I_{DD2}またはI_{DD3}にI_{LVD}を加算した値がRL78マイクロコントローラの電流値となります。
8. データ・フラッシュ書き換え動作に流れる電流です。
9. セルフ・プログラミング動作に流れる電流です。
10. SNOOZEモードへの移行時間は，19. 3. 3　SNOOZEモードを参照してください。
11. USBモジュール，USB用内部電源のみの消費電流です。
12. サスペンド状態における本製品の自己消費電流に加えて，UDP0端子のプルアップ抵抗からホスト機器側のプルダウン抵抗に供給される電流を含みます。

備考1. f_{IL}　：低速オンチップ・オシレータ・クロック周波数

2. f_{SUB}　：サブシステム・クロック周波数（XT1クロック発振周波数）
3. f_{CLK}　：CPU／周辺ハードウエア・クロック周波数
4. TYP.値の温度条件は，T_A = 25 ℃です。

31. 4　AC特性

31. 4. 1　基本動作

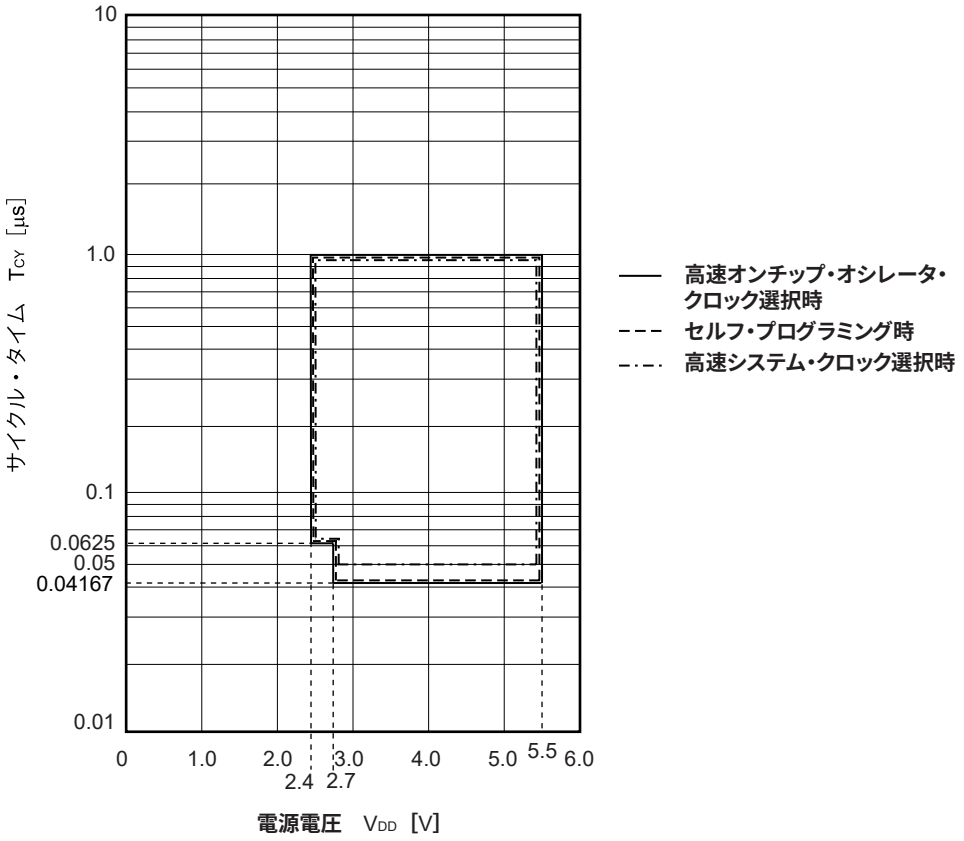
（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
命令サイクル（最小命令実行時間）	T_{CY}	メイン・システム・クロック（f_{MAIN}）動作	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.04167		1	μs
				2.4 V≦V_{DD}<2.7 V	0.0625		1	μs
		サブシステム・クロック（f_{SUB}）動作		2.4 V≦V_{DD}≦5.5 V	28.5	30.5	31.3	μs
		セルフ・プログラミング時	HS（高速メイン）モード	2.7 V≦V_{DD}≦5.5 V	0.04167		1	μs
				2.4 V≦V_{DD}<2.7 V	0.0625		1	μs
外部システム・クロック周波数	f_{EX}	2.7 V≦V_{DD}≦5.5 V			1.0		20.0	MHz
		2.4 V≦V_{DD}<2.7 V			1.0		16.0	MHz
	f_{EXS}				32		35	kHz
外部システム・クロック入力ハイ，ロウ・レベル幅	t_{EXH}, t_{EXL}	2.7 V≦V_{DD}≦5.5 V			24			ns
		2.4 V≦V_{DD}<2.7 V			30			ns
	t_{EXHS}, t_{EXLS}				13.7			μs
TI00-TI03入力ハイ・レベル幅，ロウ・レベル幅	t_{TIH}, t_{TIL}				1/f_{MCK}＋10			ns
TO00-TO03出力周波数	f_{TO}	高速メイン・モード		4.0 V≦V_{DD}≦5.5 V			12	MHz
				2.7 V≦V_{DD}<4.0 V			8	MHz
				2.4 V≦V_{DD}<2.7 V			4	MHz
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	高速メイン・モード		4.0 V≦V_{DD}≦5.5 V			16	MHz
				2.7 V≦V_{DD}<4.0 V			8	MHz
				2.4 V≦V_{DD}<2.7 V			4	MHz
割り込み入力ハイ・レベル幅，ロウ・レベル幅	t_{INTH}, t_{INTL}	INTP0-INTP6, INTP8, INTP9		2.4 V≦V_{DD}≦5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	t_{KR}	KR0-KR5		2.4 V≦V_{DD}≦5.5 V	250			ns
$\overline{\text{RESET}}$ロウ・レベル幅	t_{RSL}				10			μs

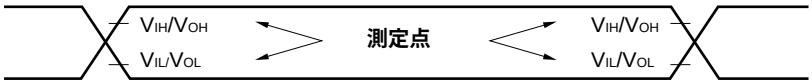
備考　f_{MCK}：タイマ・アレイ・ユニットの動作クロック周波数。
（タイマ・モード・レジスタ0n（TMR0n）のCKS0nビットで設定する動作クロック。n：チャネル番号（n = 0-3））

メイン・システム・クロック動作時の最小命令実行時間

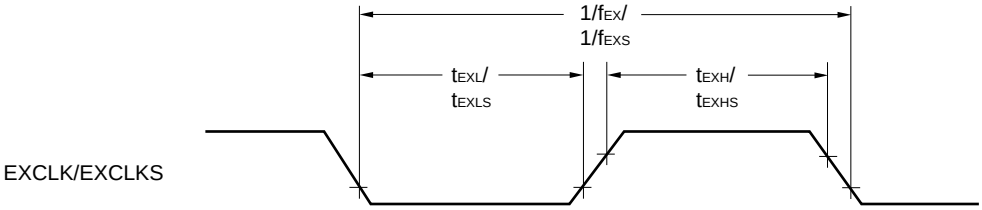
TCY vs VDD （HS（高速メイン）モード）



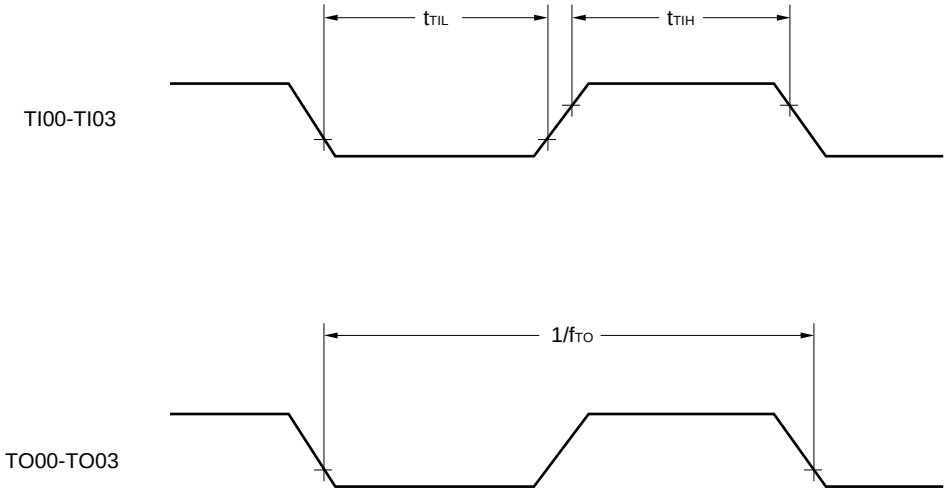
ACタイミング測定点



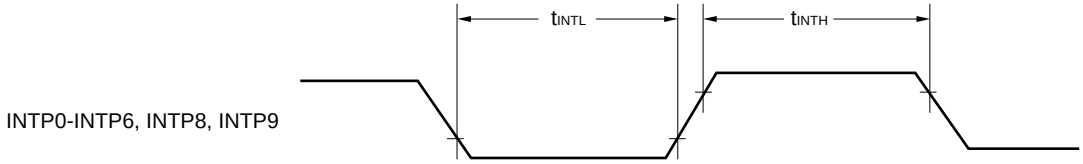
外部システム・クロック・タイミング



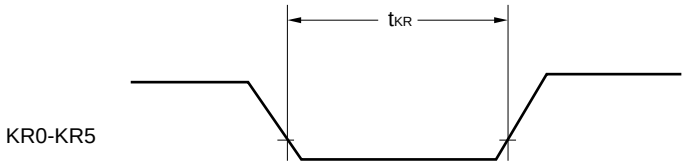
TI/TOタイミング



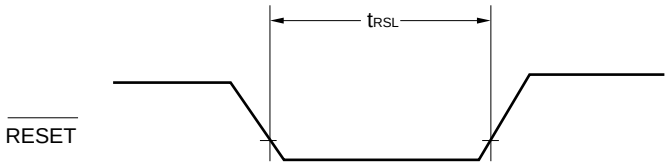
割り込み要求入力タイミング



キー割り込み入力タイミング



$\overline{\text{RESET}}$入力タイミング



31. 5　周辺機能特性

31. 5. 1　シリアル・アレイ・ユニット

（1）同電位通信時（UARTモード）（専用ボー・レート・ジェネレータ出力）

（TA = －40～＋105 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
転送レート					fMCK/12	bps
		最大転送レート理論値 fMCK = fCLK注			2.0	Mbps

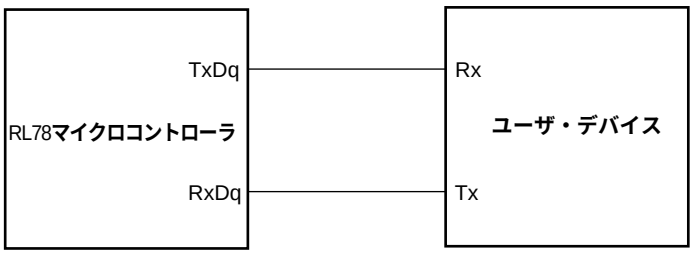
注　CPU／周辺ハードウエア・クロック（fCLK）の最高動作周波数を次に示します。

HS（高速メイン）モード　：24 MHz（2.7 V≦VDD≦5.5 V）

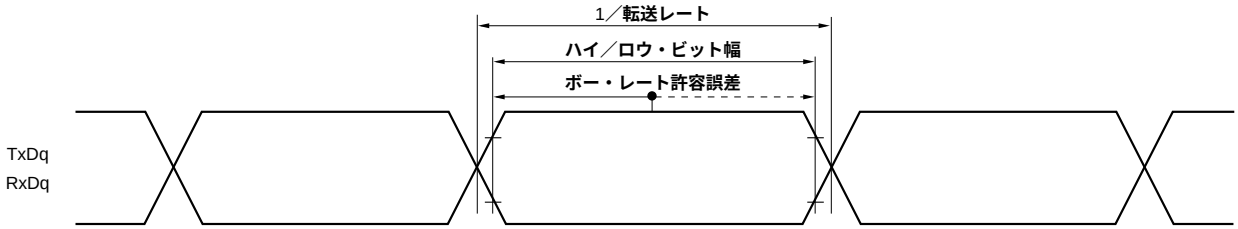
16 MHz（2.4 V≦VDD≦5.5 V）

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子は通常入力バッファを選択し，TxDq端子は通常出力モードを選択します。

UARTモード接続図（同電位通信時）



UARTモードのビット幅（同電位通信時）（参考）



備考1.　q：UART番号（q = 0），g：PIM, POM番号（g = 5）

2.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（2）同電位通信時，簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	2.7 V≦V_{DD}≦5.5 V	250			ns
			2.4 V≦V_{DD}≦5.5 V	500			ns
SCKpハイ，ロウ・レベル幅	t_{KH1}, t_{KL1}	4.0 V≦V_{DD}≦5.5 V		t_{KCY1}/2－24			ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY1}/2－36			ns
		2.4 V≦V_{DD}≦5.5 V		t_{KCY1}/2－76			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V		66			ns
		2.7 V≦V_{DD}≦5.5 V		66			ns
		2.4 V≦V_{DD}≦5.5 V		113			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}			38			ns
SCKp↓→SOp出力遅延時間注2	t_{KSO1}	C = 30 pF注3				50	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3.　Cは，SCKp, SOp出力ラインの負荷容量です。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子は通常入力バッファを選択し，SOp端子とSCKp端子は通常出力モードを選択します。

備考 1.　p：CSI番号（p = 00, 01），m：ユニット番号（m = 0），n：チャネル番号（n = 0, 1），g：PIM, POM番号（g = 0, 3, 5, 7）

2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 01））

（3）同電位通信時，簡易SPI (CSI)モード時（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム注4	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V	20 MHz＜f_{MCK}	16/f_{MCK}			ns
			f_{MCK}≦20 MHz	12/f_{MCK}			ns
		2.7 V≦V_{DD}≦5.5 V	16 MHz＜f_{MCK}	16/f_{MCK}			ns
			f_{MCK}≦16 MHz	12/f_{MCK}			ns
		2.4 V≦V_{DD}≦5.5 V		12/f_{MCK} かつ 1000			ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦V_{DD}≦5.5 V		t_{KCY2}/2－14			ns
		2.7 V≦V_{DD}≦5.5 V		t_{KCY2}/2－16			ns
		2.4 V≦V_{DD}≦5.5 V		t_{KCY2}/2－36			ns
SIpセットアップ時間（対SCKp↑）注1	t_{SIK2}	2.7 V≦V_{DD}≦5.5 V		1/f_{MCK}＋40			ns
		2.4 V≦V_{DD}≦5.5 V		1/f_{MCK}＋60			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI2}	2.7 V≦V_{DD}≦5.5 V		1/f_{MCK}＋62			ns
		2.4 V≦V_{DD}≦5.5 V		1/f_{MCK}＋62			ns
SCKp↓→SOp出力遅延時間注2	t_{KSO2}	C = 30 pF注3	2.7 V≦V_{DD}≦5.5 V			2/f_{MCK}＋66	ns
			2.4 V≦V_{DD}≦5.5 V			2/f_{MCK}＋113	ns

注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

2.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

3.　Cは，SOp出力ラインの負荷容量です。

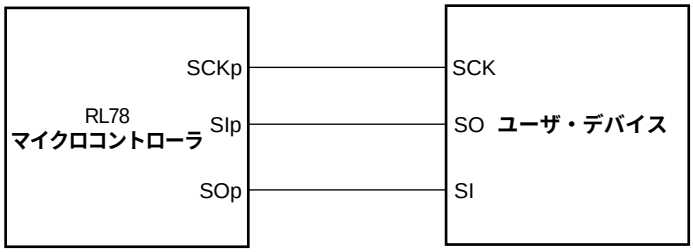
4.　SNOOZEモードでの転送レートは，MAX.：1 Mbpsです。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子は通常入力バッファを選択し，SOp端子は通常出力モードを選択します。

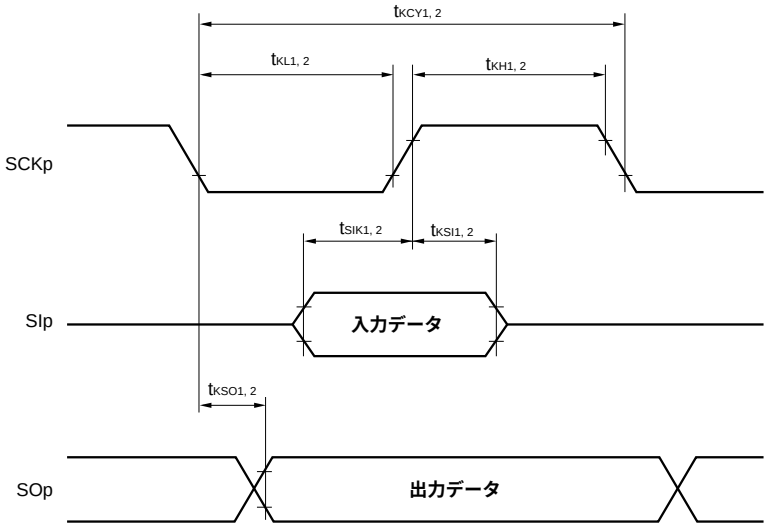
備考1.　p：CSI番号（p = 00, 01），m：ユニット番号（m = 0），n：チャネル番号（n = 0, 1），g：PIM, POM番号（g = 0, 3, 5, 7）

2.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 01））

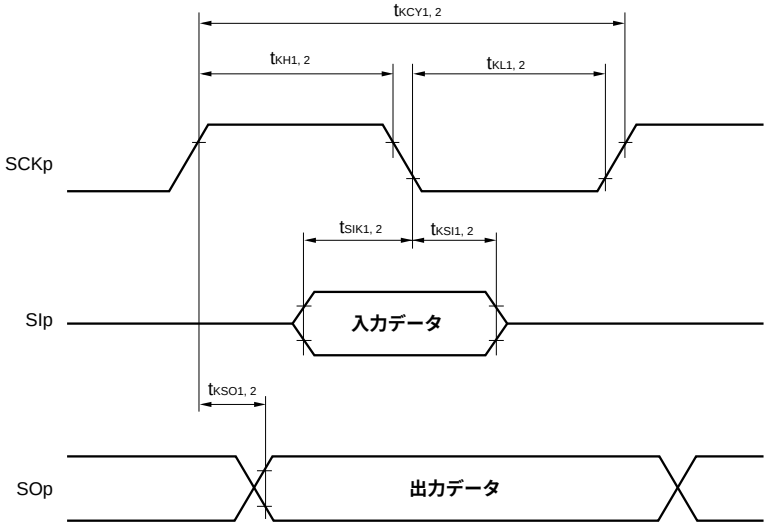
簡易SPI（CSI）モード接続図（同電位通信時）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング（同電位通信時）
（DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考 1.　p：CSI番号（p = 00, 01）

2.　m：ユニット番号，n：チャネル番号（mn = 00, 01）

（4）同電位通信時（簡易I^2Cモード）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

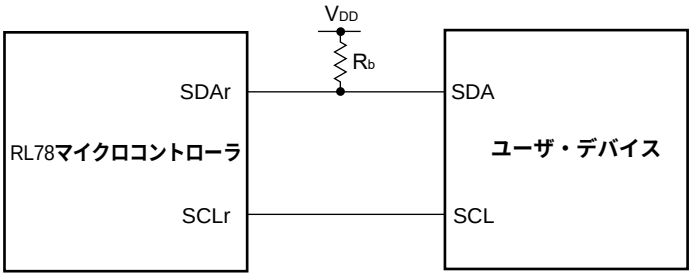
項　目	略　号	条　件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF，R_b = 2.7 kΩ		400注1	kHz
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF，R_b = 3 kΩ		100注1	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF，R_b = 2.7 kΩ	1200		ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF，R_b = 3 kΩ	4600		ns
SCLr = ”H”のホールド・タイム	t_{HIGH}	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF，R_b = 2.7 kΩ	1200		ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF，R_b = 3 kΩ	4600		ns
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF，R_b = 2.7 kΩ	1/f_{MCK}＋220注2		ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF，R_b = 3 kΩ	1/f_{MCK}＋580注2		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	2.7 V≦V_{DD}≦5.5 V, C_b = 50 pF，R_b = 2.7 kΩ	0	770	ns
		2.4 V≦V_{DD}≦5.5 V, C_b = 100 pF，R_b = 3 kΩ	0	1420	ns

注1.　かつf_{MCK}/4以下に設定してください。

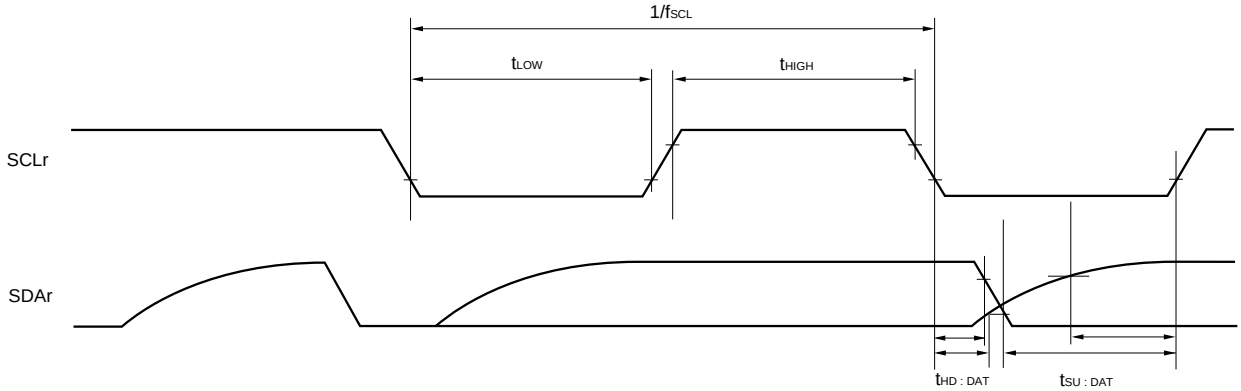
2.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを越えない値に設定してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタh（POMh）で，SDArは通常入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択し，SCLrは通常出力モードを選択します。

簡易I²Cモード接続図（同電位通信時）



簡易I²Cモード・シリアル転送タイミング（同電位通信時）



備考1.　Rb [Ω]：通信ライン（SDAr）プルアップ抵抗値，Cb [F]：通信ライン（SCLr, SDAr）負荷容量値

2.　r：IIC番号（r = 00, 01），g：PIM番号（g = 5），h：POM番号（h = 3, 5）

3.　fMCK：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号（m = 0），n：チャネル番号（n = 0, 1），mn = 00, 01）

（5）異電位（2.5 V系，3 V系）通信時（UARTモード）（1/2）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
転送レート		受信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V				f_{MCK}/12 注1	bps
				最大転送レート理論値 f_{CLK} = 24 MHz, f_{MCK} = f_{CLK} 注2			2.0	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V				f_{MCK}/12 注1	bps
				最大転送レート理論値 f_{CLK} = 24 MHz, f_{MCK} = f_{CLK} 注2			2.0	Mbps
			2.4V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V				f_{MCK}/12 注1	bps
				最大転送レート理論値 f_{CLK} = 24 MHz, f_{MCK} = f_{CLK} 注2			2.0	Mbps

注 1.　V_{DD}≧V_bで使用してください。

2.　CPU／周辺ハードウエア・クロック（f_{CLK}）の最高動作周波数を次に示します。

HS（高速メイン）モード　　：24 MHz（2.7 V≦V_{DD}≦5.5 V）

16 MHz（2.4 V≦V_{DD}≦5.5 V）

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

備考1.　V_b [V]：通信ライン電圧

2.　q：UART番号（q = 0），g：PIM, POM番号（g = 5）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数

（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

（5）異電位（2.5 V系，3 V系）通信時（UARTモード）（2/2）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
転送レート		送信	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V				注1	bps
				最大転送レート理論値 C_b = 50 pF, R_b = 1.4 kΩ, V_b = 2.7 V			2.6[注2]	Mbps
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V				注3	bps
				最大転送レート理論値 C_b = 50 pF, R_b = 2.7 kΩ, V_b = 2.3 V			1.2[注4]	Mbps
			2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V				注5, 6	bps
				最大転送レート理論値 C_b = 50 pF, R_b = 5.5 kΩ, V_b = 1.6 V			0.43[注7]	Mbps

注1.　f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

2.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

3.　f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\} \times 3} \quad [\text{bps}]$$

$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

4.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

5.　V_{DD}≧V_bで使用してください。

注6.　f_{MCK}/12または次の計算式で求められる最大転送レートのどちらか小さい方が，有効な最大転送レートとなります。

2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\} \times 3} \quad [\text{bps}]$$

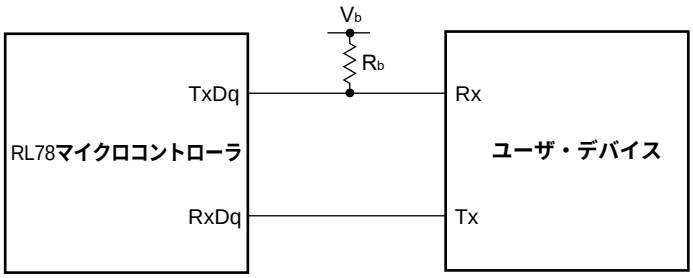
$$\text{ボー・レート許容誤差（理論値）} = \frac{\frac{1}{\text{転送レート}\times 2} - \{-C_b \times R_b \times \ln(1-\frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \quad [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

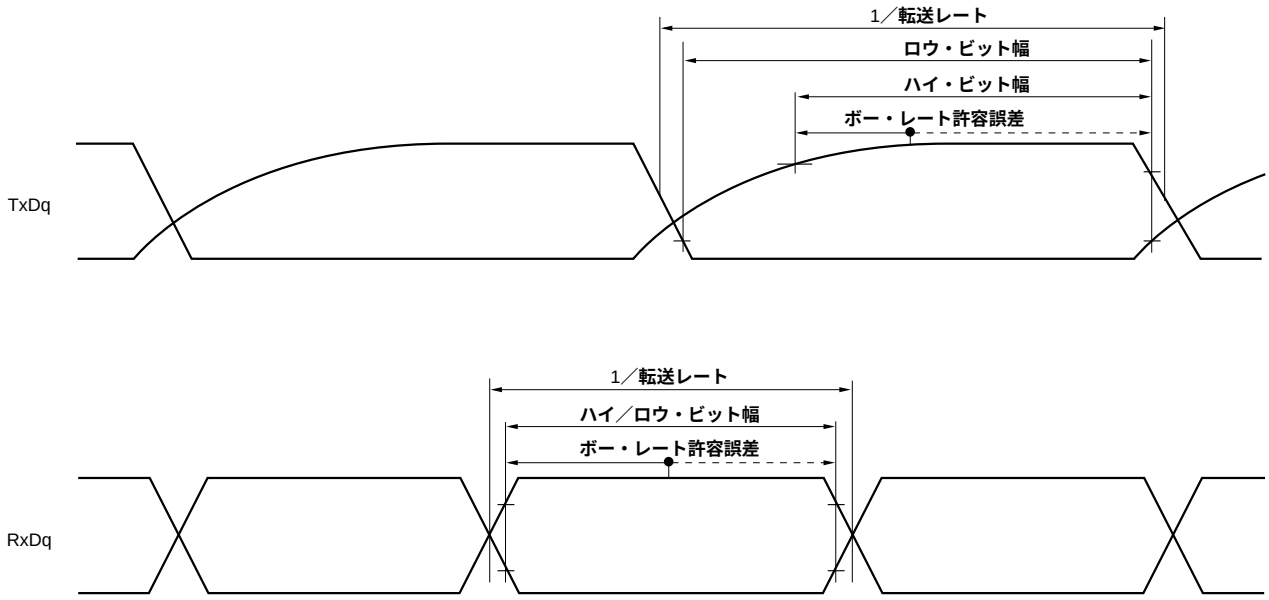
7.　この値は，一例として，条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，RxDq端子はTTL入力バッファを選択し，TxDq端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

UARTモード接続図（異電位通信時）



UARTモードのビット幅（異電位通信時）（参考）



備考1.　R_b [Ω]：通信ライン（TxDq）プルアップ抵抗値，C_b [F]：通信ライン（TxDq）負荷容量値，
V_b [V]：通信ライン電圧

2.　q：UART番号（q = 0），g：PIM, POM番号（g = 5）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，
n：チャネル番号（mn = 00））

（6）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力）（1/2）

（ T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム	t_{KCY1}	t_{KCY1}≧4/f_{CLK}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	600			ns
			2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	1000			ns
			2.4 V≦V_{DD}＜3.3 V, 2.4 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ	2300			ns
SCKpハイ・レベル幅	t_{KH1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－150			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－340			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－916			ns
SCKpロウ・レベル幅	t_{KL1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ		t_{KCY1}/2－24			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ		t_{KCY1}/2－36			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V, C_b = 30 pF, R_b = 5.5 kΩ		t_{KCY1}/2－100			ns

注意 1. ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

2. V_{DD}≧V_bで使用してください。

（6）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI (CSI)モード時（マスタ・モード，SCKp…内部クロック出力）

（2/2）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
SIpセットアップ時間（対SCKp↑）注1	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	162			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	354			ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	958			ns
SIpホールド時間（対SCKp↑）注1	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	38			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	38			ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	38			ns
SCKp↓→SOp出力遅延時間注1	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			200	ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			390	ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ			966	ns
SIpセットアップ時間（対SCKp↓）注2	t_{SIK1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	88			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	88			ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	220			ns
SIpホールド時間（対SCKp↓）注2	t_{KSI1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ	38			ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ	38			ns
		2.4V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ	38			ns
SCKp↑→SOp出力遅延時間注2	t_{KSO1}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ			50	ns
		2.7 V≦V_{DD}<4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ			50	ns
		2.4 V≦V_{DD}<3.3 V, 1.6 V≦V_b≦2.0 V注3, C_b = 30 pF, R_b = 5.5 kΩ			50	ns

（注，注意，備考は次ページにあります。）

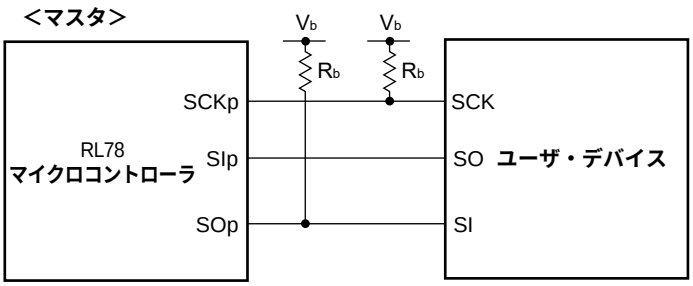
注1.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

2.　DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

3.　V_{DD}≧V_bで使用してください。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子はTTL入力バッファを選択し，SOp端子とSCKp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI（CSI）モード接続図（異電位通信時）



備考1.　R_b [Ω]：通信ライン（SCKp, SOp）プルアップ抵抗値，C_b [F]：通信ライン（SCKp, SOp）負荷容量値，V_b [V]：通信ライン電圧

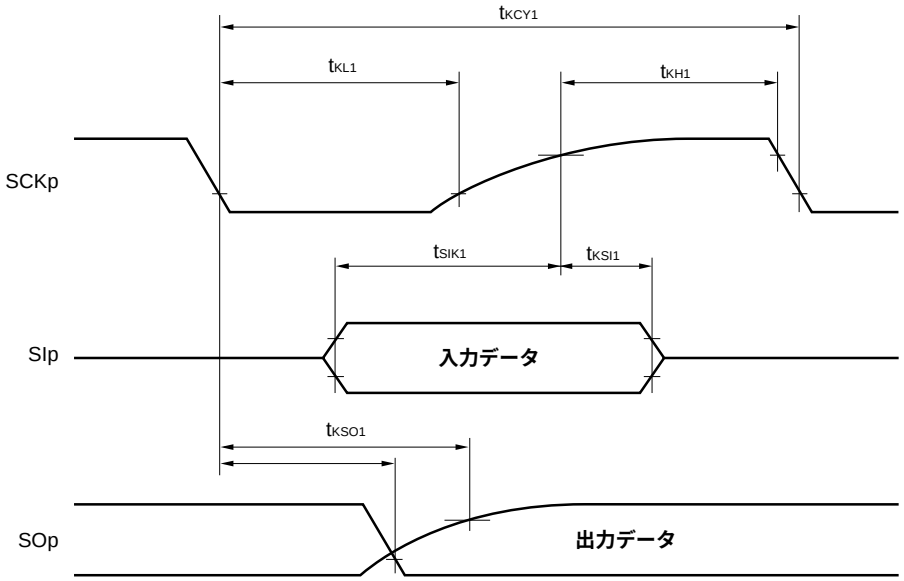
2.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），g：PIM, POM番号（g = 0, 3, 5, 7）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

4.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

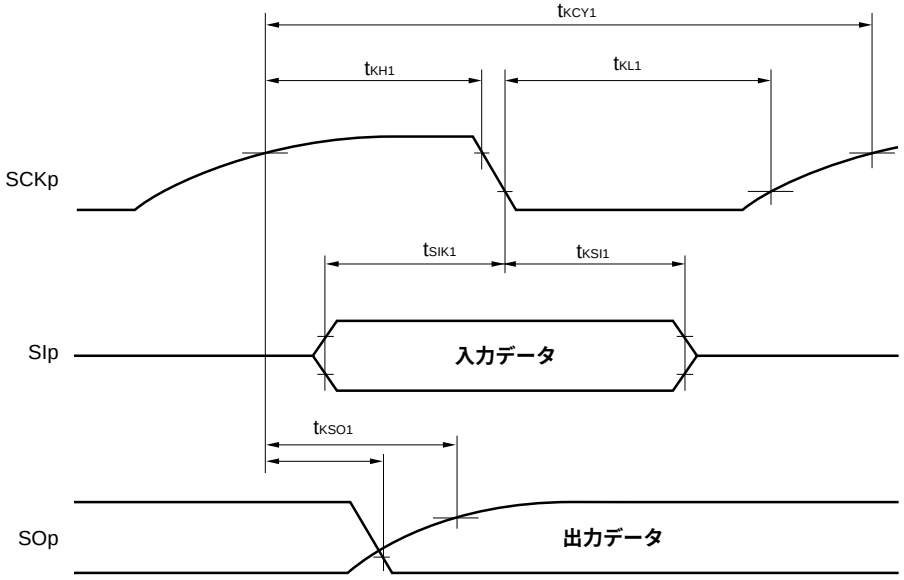
簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），

g：PIM, POM番号（g = 0, 3, 5, 7）

2.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

（7）異電位（1.8 V系，2.5 V系，3 V系）通信，簡易SPI (CSI)モード時（スレーブ・モード，SCKp…外部クロック入力）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
SCKpサイクル・タイム注1	t_{KCY2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V	20 MHz＜f_{MCK}≦24 MHz	24/f_{MCK}			ns
			8 MHz＜f_{MCK}≦20 MHz	20/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}			ns
			f_{MCK}≦4 MHz	12/f_{MCK}			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V	20 MHz＜f_{MCK}≦24 MHz	32/f_{MCK}			ns
			16 MHz＜f_{MCK}≦20 MHz	28/f_{MCK}			ns
			8 MHz＜f_{MCK}≦16 MHz	24/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	16/f_{MCK}			ns
			f_{MCK}≦4 MHz	12/f_{MCK}			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2	20 MHz＜f_{MCK}≦24 MHz	72/f_{MCK}			ns
			16 MHz＜f_{MCK}≦20 MHz	64/f_{MCK}			ns
			8 MHz＜f_{MCK}≦16 MHz	52/f_{MCK}			ns
			4 MHz＜f_{MCK}≦8 MHz	32/f_{MCK}			ns
			f_{MCK}≦4 MHz	20/f_{MCK}			ns
SCKpハイ，ロウ・レベル幅	t_{KH2}, t_{KL2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		t_{KCY2}/2－24			ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V		t_{KCY2}/2－36			ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2		t_{KCY2}/2－100			ns
SIpセットアップ時間（対SCKp↑）注3	t_{SIK2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V		1/f_{MCK}＋40			ns
		2.7 V≦V_{DD}≦4.0 V, 2.3 V≦V_b≦2.7 V		1/f_{MCK}＋40			ns
		2.4 V≦V_{DD}≦3.3 V, 1.6 V≦V_b≦2.0 V注2		1/f_{MCK}＋60			ns
SIpホールド時間（対SCKp↑）注3	t_{KSI2}			1/f_{MCK}＋62			ns
SCKp↓→SOp出力遅延時間注4	t_{KSO2}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 30 pF, R_b = 1.4 kΩ				2/f_{MCK}＋240	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b≦2.7 V, C_b = 30 pF, R_b = 2.7 kΩ				2/f_{MCK}＋428	ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 30 pF, R_b = 5.5 kΩ				2/f_{MCK}＋1146	ns

（注，注意，備考は次ページにあります。）

注1.　SNOOZEモードでの転送レートは，MAX.：1 Mbps

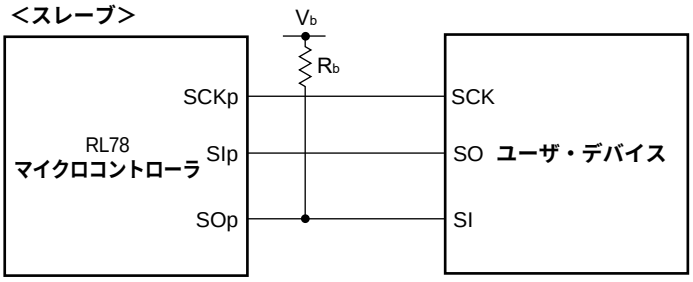
2.　V_{DD}≧V_bで使用してください。

3.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↓”となります。

4.　DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp↑”となります。

注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SIp端子とSCKp端子はTTL入力バッファを選択し，SOp端子はN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}，V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

簡易SPI（CSI）モード接続図（異電位通信時）



備考1.　R_b [Ω]：通信ライン（SOp）プルアップ抵抗値，C_b [F]：通信ライン（SOp）負荷容量値，Vb [V]：通信ライン電圧

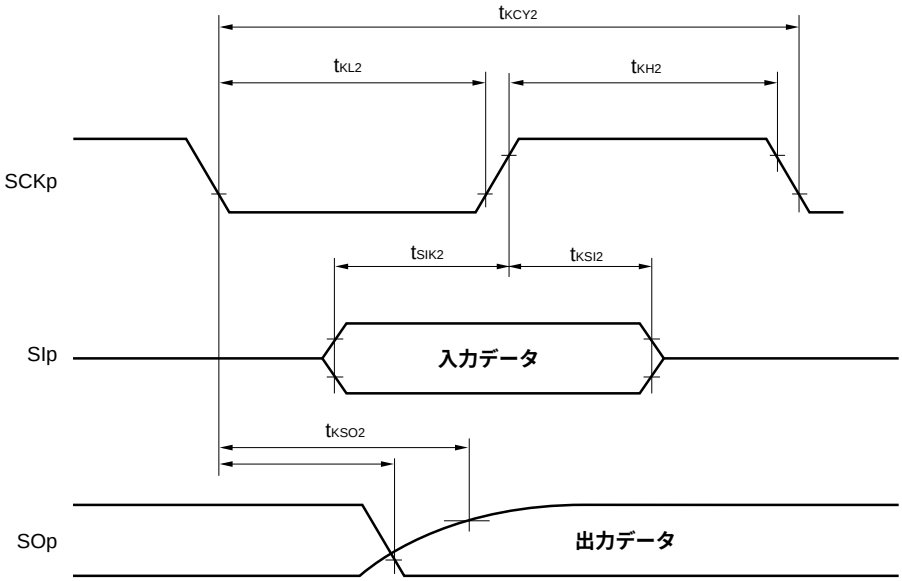
2.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），g：PIM, POM番号（g = 0, 3, 5, 7）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数（シリアル・モード・レジスタmn（SMRmn）のCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00, 01））

4.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

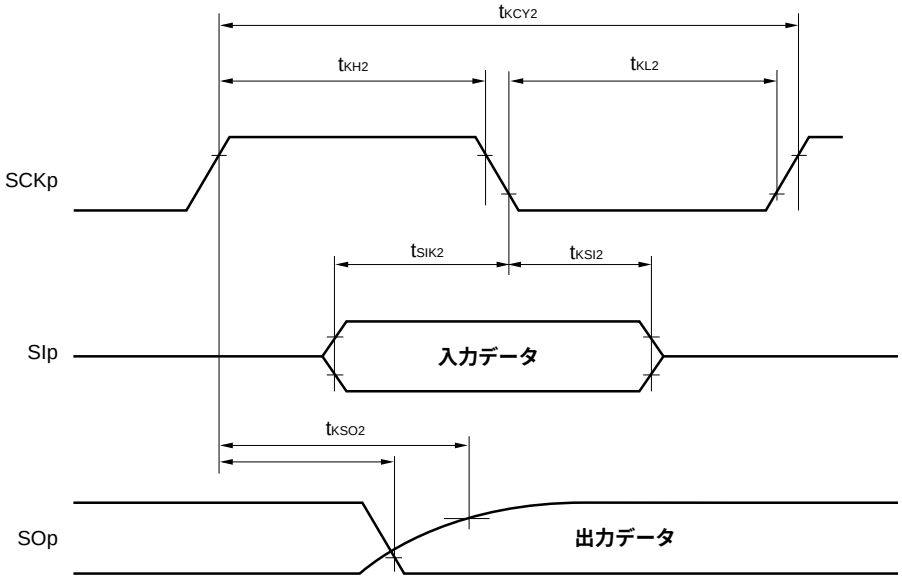
簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき）



簡易SPI（CSI）モード・シリアル転送タイミング：スレーブ・モード（異電位通信時）

（DAPmn= 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき）



備考1.　p：CSI番号（p = 00），m：ユニット番号，n：チャネル番号（mn = 00），

g：PIM, POM番号（g = 0, 3, 5, 7）

2.　CSI01は異電位通信できません。異電位通信をする場合は，それ以外のCSIを使用してください。

（8）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易I^2Cモード）（1/2）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	MAX.	単位
SCLrクロック周波数	f_{SCL}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ		400注1	kHz
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ		400注1	kHz
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ		100注1	kHz
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ		100注1	kHz
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ		100注1	kHz
SCLr = ”L”のホールド・タイム	t_{LOW}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	1200		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	1200		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	4600		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	4600		ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	4650		ns
SCLr = ”H”のホールド・タイム	t_{HIGH}	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	620		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	500		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	2700		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	2400		ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	1830		ns

（注，注意は次ページ，備考は次々ページにあります。）

（8）異電位通信時（1.8 V系，2.5 V系，3 V系）通信時（簡易I^2Cモード）（2/2）

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	MAX.	単位
データ・セットアップ時間（受信時）	$t_{SU:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	1/f_{MCK}＋340 注3		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	1/f_{MCK}＋340 注3		ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	1/f_{MCK}＋760 注3		ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	1/f_{MCK}＋760 注3		ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	1/f_{MCK}＋570 注3		ns
データ・ホールド時間（送信時）	$t_{HD:DAT}$	4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 50 pF，R_b = 2.7 kΩ	0	770	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 50 pF，R_b = 2.7 kΩ	0	770	ns
		4.0 V≦V_{DD}≦5.5 V, 2.7 V≦V_b≦4.0 V, C_b = 100 pF，R_b = 2.8 kΩ	0	1420	ns
		2.7 V≦V_{DD}＜4.0 V, 2.3 V≦V_b＜2.7 V, C_b = 100 pF，R_b = 2.7 kΩ	0	1420	ns
		2.4 V≦V_{DD}＜3.3 V, 1.6 V≦V_b≦2.0 V注2, C_b = 100 pF，R_b = 5.5 kΩ	0	1215	ns

注 1.　かつf_{MCK}/4以下に設定してください。

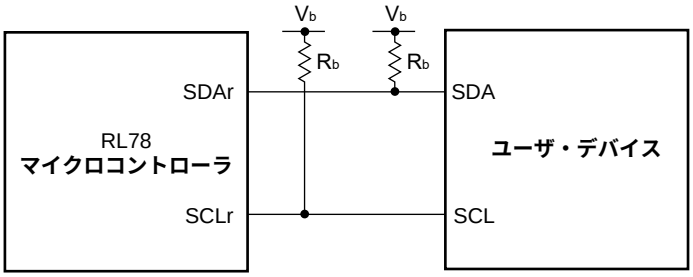
2.　V_{DD}≧V_bで使用してください。

3.　f_{MCK}値は，SCLr = "L"とSCLr = "H"のホールド・タイムを超えない設定にしてください。

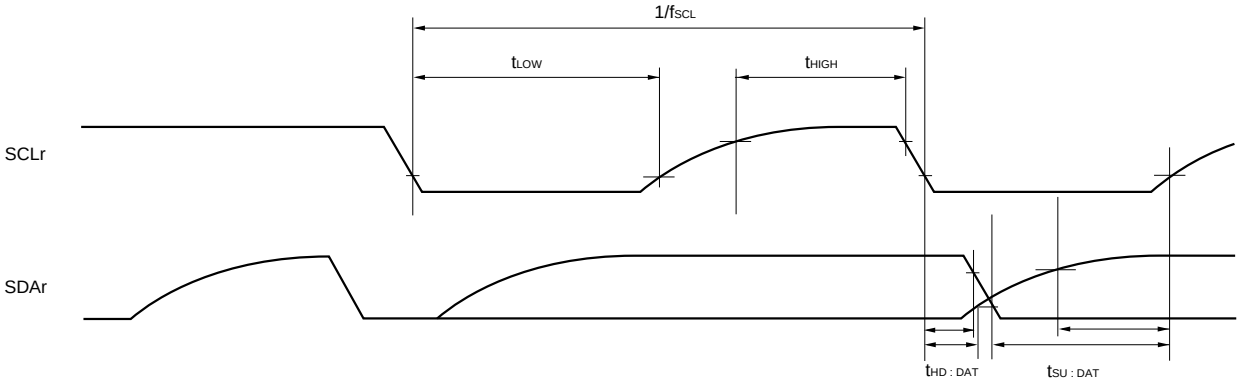
注意　ポート入力モード・レジスタg（PIMg）とポート出力モード・レジスタg（POMg）で，SDArはTTL入力バッファ，N-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択し，SCLrはN-chオープン・ドレイン出力（V_{DD}耐圧）モードを選択します。なおV_{IH}, V_{IL}は，TTL入力バッファ選択時のDC特性を参照してください。

（備考は次ページにあります。）

簡易I²Cモード接続図（異電位通信時）



簡易I²Cモード・シリアル転送タイミング（異電位通信時）



備考1.　R_b [Ω]：通信ライン（SDAr, SCLr）プルアップ抵抗値，C_b [F]：通信ライン（SDAr, SCLr）負荷容量値，
V_b [V]：通信ライン電圧

2.　r：IIC番号（r = 00），g：PIM, POM番号（g = 0, 3, 5, 7）

3.　f_{MCK}：シリアル・アレイ・ユニットの動作クロック周波数
（SMRmnレジスタのCKSmnビットで設定する動作クロック。m：ユニット番号，n：チャネル番号（mn = 00））

31. 5. 2　シリアル・インタフェースIICA

（TA = －40～＋105 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	HS（高速メイン）モード				単　位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	f_{SCL}	ファースト・モード：f_{CLK} ≧3.5 MHz	－	－	0	400	kHz
		標準モード：f_{CLK}≧1MHz	0	100	－	－	kHz
リスタート・コンディションのセットアップ時間	$t_{SU:STA}$		4.7		0.6		μs
ホールド時間[注1]	$t_{HD:STA}$		4.0		0.6		μs
SCLA0 = ”L”のホールド・タイム	t_{LOW}		4.7		1.3		μs
SCLA0 = ”H”のホールド・タイム	t_{HIGH}		4.0		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		ns
データ・ホールド時間（送信時）[注2]	$t_{HD:DAT}$		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		μs
バス・フリー時間	t_{BUF}		4.7		1.3		μs

注 1.　スタート・コンディション，リスタート・コンディション時は，この期間のあと最初のクロック・パルスが生成されます。

2.　$t_{HD:DAT}$の最大値（MAX.）は，通常転送時の数値であり，$\overline{ACK}$（アクノリッジ）タイミングでは，クロック・ストレッチがかかります。

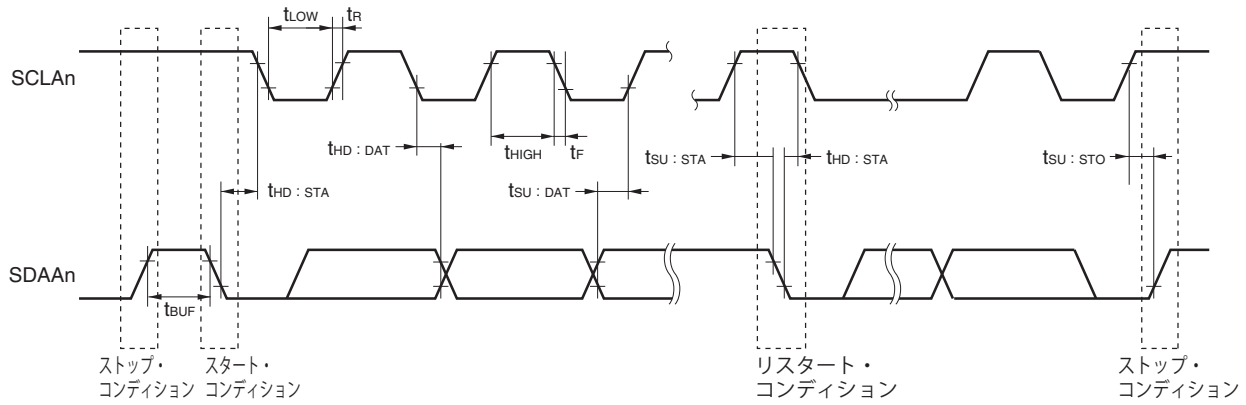
注意　周辺I/Oリダイレクション・レジスタ（PIOR）のビット1（PIOR1）が1の場合も，上記の値を適用できます。ただし，端子特性（I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1}）はリダイレクト先の値を満たしてください。

備考　各モードにおけるC_b（通信ライン容量）のMAX.値と，そのときのR_b（通信ライン・プルアップ抵抗値）の値は，次のとおりです。

標準モード　　：C_b = 400 pF, Rb = 2.7 kΩ

ファースト・モード　　：C_b = 320 pF, Rb = 1.1 kΩ

IICAシリアル転送タイミング



31. 5. 3　USB

（1）電気的特性

（T_A = －40～＋105 ℃，3.0 V≦UV_{DD}≦3.6 V, 3.0 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
UV_{DD}	UV_{DD}入力電圧特性	UV_{DD}	V_{DD} = 3.0～5.5 V, PXXCON = 1, VDDUSEB = 0 (UV_{DD}≦V_{DD})	3.0	3.3	3.6	V
	UV_{DD}出力電圧特性	UV_{DD}	V_{DD} = 4.0～5.5 V, PXXCON = VDDUSBE = 1	3.0	3.3	3.6	V
UV_{BUS}	UV_{BUS}入力電圧特性	UV_{BUS}	ファンクション時	4.35 (4.02注)	5.00	5.25	V
			ホスト時	4.75	5.00	5.25	V

注　瞬時電圧

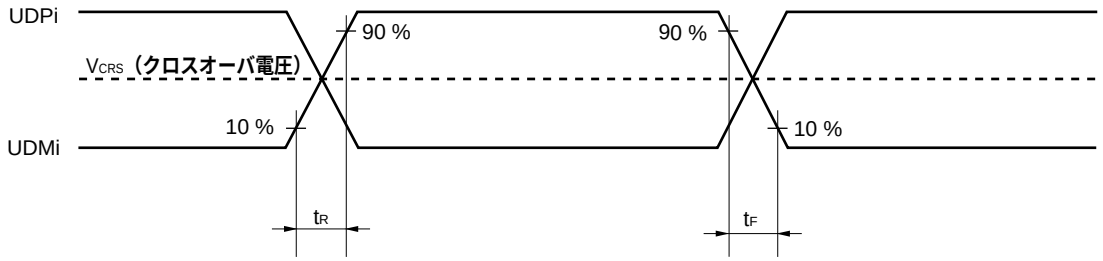
（T_A = －40～＋105 ℃，3.0 V≦UV_{DD}≦3.6 V, 3.0 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目			略　号	条　件	MIN.	TYP.	MAX.	単　位
UDPi/UDMi端子入力特性（FS/LSレシーバ）	入力電圧		V_{IH}		2.0			V
			V_{IL}				0.8	V
	差動入力感度		V_{DI}	｜UDP電圧－UDM電圧｜	0.2			V
	差動コモン・モード・レンジ		V_{CM}		0.8		2.5	V
UDPi/UDMi端子出力特性（FSドライバ）	出力電圧		V_{OH}	I_{OH} = －200 μA	2.8		3.6	V
			V_{OL}	I_{OL} = 2.4 mA	0		0.3	V
	遷移時間	立ち上がり	t_{FR}	立ち上がり：振幅の10%→90% 立ち下がり：振幅の90%→10% CL = 50 pF	4		20	ns
		立ち下がり	t_{FF}		4		20	ns
	マッチング（TFR/TFF）		V_{FRFM}		90		111.1	%
	クロスオーバ電圧		V_{FCRS}		1.3		2.0	V
	出力インピーダンス		Z_{DRV}	UV_{DD}電圧 = 3.3 V，端子電圧 = 1.65 V	28		44	Ω
UDPi/UDMi端子出力特性（LSドライバ）	出力電圧		V_{OH}		2.8		3.6	V
			V_{OL}		0		0.3	V
	遷移時間	立ち上がり	t_{LR}	立ち上がり：振幅の10%→90% 立ち下がり：振幅の90%→10% CL = 200 pF～600 pF ホスト・コントローラ機能選択時： UDMi端子(i = 0, 1)を1.5 kΩでプルアップ ファンクション・コントローラ機能選択時： UDP0, UDM0端子をそれぞれ15 kΩでプルダウン	75		300	ns
		立ち下がり	t_{LF}		75		300	ns
	マッチング（TFR/TFF）注		V_{LTFM}		80		125	%
	クロスオーバ電圧注		V_{LCRS}		1.3		2.0	V
UDPi/UDMi端子プルアップ，プルダウン抵抗	プルダウン抵抗		R_{PD}		14.25		24.80	kΩ
	プルアップ抵抗（i = 0のみ）	アイドル時	R_{PUI}		0.9		1.575	kΩ
		受信時	R_{PUA}		1.425		3.09	kΩ
UV_{BUS}	UV_{BUS}プルダウン抵抗		R_{VBUS}	UV_{BUS}電圧 = 5.5 V		1000		kΩ
	UV_{BUS}入力電圧		V_{IH}		3.20			V
			V_{IL}				0.8	V

注　アイドル状態から初回の信号遷移を除く。

備考　i = 0, 1

UDP, UDMタイミング



（2）BC規格

（TA = －40～＋105 ℃, 3.0 V≦UVDD≦3.6 V, 3.0 V≦VDD≦5.5 V, VSS = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
USB規格BC1.2	UDPiシンク電流	IDP_SINK		25		175	μA
	UDMiシンク電流	IDM_SINK		25		175	μA
	DCDソース電流	IDP_SRC		7		13	μA
	Dedicated charging port抵抗	RDCP_DAT	0 V＜UDP/UDM電圧＜1.0 V			200	Ω
	データ検出電圧	VDAT_REF		0.25		0.4	V
	UDPiソース電圧	VDP_SRC	出力電流　250 μA	0.5		0.7	V
	UDMiソース電圧	VDM_SRC	出力電流　250 μA	0.5		0.7	V

備考　i = 0, 1

（3）BCオプション規格（ホスト時）

（T_A = －40～＋105 ℃，4.75 V≦UV_{BUS}≦5.25 V, 3.0 V≦UV_{DD}≦3.6 V, 2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目			略　号	条　件	MIN.	TYP.	MAX.	単　位
UDPi出力電圧（UV_{BUS}分圧比）・VDOUEi = 1	VDSELi [3:0]	1000	V_{P20}		38	40	42	%UV_{BUS}
		1001	V_{P27}		51.6	53.6	55.6	%UV_{BUS}
		1010	V_{P20}		38	40	42	%UV_{BUS}
		1100	V_{P33}		60	66	72	%UV_{BUS}
UDMi出力電圧（UV_{BUS}分圧比）・VDOUEi = 1	VDSELi [3:0]	1000	V_{M20}		38	40	42	%UV_{BUS}
		1001	V_{M20}		38	40	42	%UV_{BUS}
		1010	V_{M27}		51.6	53.6	55.6	%UV_{BUS}
		1100	V_{M33}		60	66	72	%UV_{BUS}
UDPi比較電圧[注1]（UV_{BUS}分圧比）・VDOUEi = 1・CUSDETEi = 1	VDSELi [3:0]	1000	V_{HDETP_UP0}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETP_DWN0}	端子電圧降下検知			29.4	%UV_{BUS}
		1001	V_{HDETP_UP1}	端子電圧上昇検知	60.5			%UV_{BUS}
			V_{HDETP_DWN1}	端子電圧降下検知			45.0	%UV_{BUS}
		1010	V_{HDETP_UP2}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETP_DWN2}	端子電圧降下検知			29.4	%UV_{BUS}
UDMi比較電圧[注1]（UV_{BUS}分圧比）・VDOUEi = 1・CUSDETEi = 1	VDSELi [3:0]	1000	V_{HDETM_UP0}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETM_DWN0}	端子電圧降下検知			29.4	%UV_{BUS}
		1001	V_{HDETM_UP1}	端子電圧上昇検知	56.2			%UV_{BUS}
			V_{HDETM_DWN1}	端子電圧降下検知			29.4	%UV_{BUS}
		1010	V_{HDETM_UP2}	端子電圧上昇検知	60.5			%UV_{BUS}
			V_{HDETM_DWN2}	端子電圧降下検知			45.0	%UV_{BUS}
UDPiプルアップ検出[注2]フル・スピード・ファンクション（プルアップ抵抗）との接続検知	VDSELi [3:0]	1000	R_{HDET_PULL}	フル・スピード・ファンクション側のプルアップ抵抗の電源電圧範囲は3.0 V～3.6 V			1.575	kΩ
		1001						
		1010						
UDMiプルアップ検出[注2]ロウ・スピード・ファンクション（プルアップ抵抗）との接続検知	VDSELi [3:0]	1000	R_{HDET_PULL}	ロウ・スピード・ファンクション側のプルアップ抵抗の電源電圧範囲は3.0 V～3.6 V			1.575	kΩ
		1001						
		1010						
UDMiシンク電流検出[注2]BC1.2 Portable Device（シンク電流）との接続検知	VDSELi [3:0]	1000	I_{HDET_SINK}		25			μA
		1001						
		1010						

注 1.　UDPi/UDMi（i = 0, 1）の出力電圧が当該規格のMAX値-MIN値の範囲を超過した場合にUSBBCOPTiレジスタのそれぞれDPCUSDETi（ビット8）/DMCUSDETi（ビット9）が1になります。

2.　UDPi/UDMi(i=0,1）に当該規格のプルアップ抵抗もしくはシンク電流が接続，印加された場合にUSBBCOPTiレジスタのそれぞれDPCUSDETi（ビット8）/DMCUSDETi（ビット9）が1になります。

備考　i = 0, 1

（4）BCオプション規格（ファンクション時）

（T_A = －40～＋105 ℃，4.35 V≦UV_{BUS}≦5.25 V, 3.0 V≦UV_{DD}≦3.6 V, 2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）

項　目			略　号	条　件	MIN.	TYP.	MAX.	単　位
UDPi/UDMi入力基準電圧（UV_{BUS}分圧比）・VDOUEi = 0 (i = 0)	VDSELi [3:0] (i = 0)	0000	V_{DDET0}		27	32	37	%UV_{BUS}
		0001	V_{DDET1}		29	34	39	%UV_{BUS}
		0010	V_{DDET2}		32	37	42	%UV_{BUS}
		0011	V_{DDET3}		35	40	45	%UV_{BUS}
		0100	V_{DDET4}		38	43	48	%UV_{BUS}
		0101	V_{DDET5}		41	46	51	%UV_{BUS}
		0110	V_{DDET6}		44	49	54	%UV_{BUS}
		0111	V_{DDET7}		47	52	57	%UV_{BUS}
		1000	V_{DDET8}		51	56	61	%UV_{BUS}
		1001	V_{DDET9}		55	60	65	%UV_{BUS}
		1010	V_{DDET10}		59	64	69	%UV_{BUS}
		1011	V_{DDET11}		63	68	73	%UV_{BUS}
		1100	$V_{DDET012}$		67	72	77	%UV_{BUS}
		1101	$V_{DDET013}$		71	76	81	%UV_{BUS}
		1110	$V_{DDET014}$		75	80	85	%UV_{BUS}
		1111	$V_{DDET015}$		79	84	89	%UV_{BUS}

31. 6　アナログ特性

31. 6. 1　A/Dコンバータ特性

A/Dコンバータ特性の区分

基準電圧 / 入力チャネル	基準電圧（＋）　= AV_{REFP} 基準電圧（－）　= AV_{REFM}	基準電圧（＋）　= V_{DD} 基準電圧（－）　= V_{SS}	基準電圧（＋）　= V_{BGR} 基準電圧（－）　= AV_{REFM}
ANI0-ANI7	31. 6. 1（1）参照	31. 6. 1（3）参照	31. 6. 1（4）参照
ANI16, ANI17, ANI19	31. 6. 1（2）参照		
内部基準電圧 温度センサ出力電圧	31. 6. 1（1）参照		–

（1）基準電圧（＋）　= AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－）　= AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI2-ANI7，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋105 ℃，2.4 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基本電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	R_{ES}			8		10	bit
総合誤差[注1]	AINL	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦AV_{REFP}≦5.5 V		1.2	±3.5	LSB
変換時間	t_{CONV}	10ビット分解 変換対象：ANI2-ANI7	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧， 温度センサ出力電圧 (HS (高速メイン) モード)	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	EZS	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
フルスケール誤差[注1, 2]	EFS	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦AV_{REFP}≦5.5 V			±0.25	%FSR
積分直線性誤差[注1]	ILE	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦AV_{REFP}≦5.5 V			±2.5	LSB
微分直線性誤差[注1]	DLE	10ビット分解能 AV_{REFP} = V_{DD}[注3]	2.4 V≦AV_{REFP}≦5.5 V			±1.5	LSB
アナログ入力電圧	V_{AIN}	ANI2-ANI7		0		AV_{REFP}	V
		内部基準電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{BGR}[注4]			V
		温度センサ出力電圧 （2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{TMPS25}[注4]			V

（注は次ページにあります。）

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. AV_{REFP}＜V_{DD}の場合，MAX.値は次のようになります。

総合誤差	：AV_{REFP} = V_{DD}のMAX.値に±1.0 LSBを加算してください
ゼロスケール誤差／フルスケール誤差	：AV_{REFP} = V_{DD}のMAX.値に±0.05 %FSRを加算してください
積分直線性誤差／微分直線性誤差	：AV_{REFP} = V_{DD}のMAX.値に±0.5 LSBを加算してください

4. 31. 6. 2　温度センサ／内部基準電圧特性を参照してください。

（2）基準電圧（＋） = AV_{REFP}/ANI0（ADREFP1 = 0, ADREFP0 = 1），基準電圧（－） = AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象： ANI16, ANI17, ANI19

（T_A = －40～＋105 ℃，2.4 V≦AV_{REFP}≦V_{DD}≦5.5 V, V_{SS} = 0 V，基本電圧（＋）= AV_{REFP}，基準電圧（－）= AV_{REFM} = 0 V）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	R_{ES}			8		10	bit
総合誤差注1	AINL	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V		1.2	±5.0	LSB
変換時間	t_{CONV}	10ビット分解能 ANI16, ANI17, ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 AV_{REFP} = V_{DD}注3	2.4 V≦AV_{REFP}≦5.5 V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI16, ANI17, ANI19		0		AV_{REFP} かつV_{DD}	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. AV_{REFP}＜V_{DD}の場合，MAX.値は次のようになります。

総合誤差　：AV_{REFP} = V_{DD}のMAX.値に±4.0 LSBを加算してください

ゼロスケール誤差／フルスケール誤差　：AV_{REFP} = V_{DD}のMAX.値に±0.20 %FSRを加算してください

積分直線性誤差／微分直線性誤差　：AV_{REFP} = V_{DD}のMAX.値に±2.0 LSBを加算してください

（3）基準電圧（＋）　= V_{DD}（ADREFP1 = 0, ADREFP0 = 0），基準電圧（－）　= V_{SS}（ADREFM = 0）選択時，
変換対象：ANI0-ANI7, ANI16, ANI17, ANI19，内部基準電圧，温度センサ出力電圧

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基本電圧（＋）= V_{DD}，基準電圧（－）= V_{SS}）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	R_{ES}			8		10	bit
総合誤差注1	AINL	10ビット分解能	2.4 V≦V_{DD}≦5.5 V		1.2	±7.0	LSB
変換時間	t_{CONV}	10ビット分解能 変換対象：ANI0-ANI7, ANI16, ANI17, ANI19	3.6 V≦V_{DD}≦5.5 V	2.125		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.1875		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
		10ビット分解能 変換対象：内部基準電圧，温度センサ出力電圧 HS（高速メイン）モード	3.6 V≦V_{DD}≦5.5 V	2.375		39	μs
			2.7 V≦V_{DD}≦5.5 V	3.5625		39	μs
			2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差注1	ILE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±4.0	LSB
微分直線性誤差注1	DLE	10ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
アナログ入力電圧	V_{AIN}	ANI0-ANI7, ANI16, ANI17, ANI19		0		V_{DD}	V
		内部基準電圧（2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{BGR}注3			V
		温度センサ出力電圧（2.4 V≦V_{DD}≦5.5 V, HS（高速メイン）モード）		V_{TMPS25}注3			V

注1．量子化誤差（±1/2 LSB）を含みません。
2．フルスケール値に対する比率（%FSR）で表します。
3．31. 6. 2　温度センサ／内部基準電圧特性を参照してください。

（4）基準電圧（＋）＝ 内部基準電圧（ADREFP1 = 1, ADREFP0 = 0），基準電圧（－）＝ AV_{REFM}/ANI1（ADREFM = 1）選択時，変換対象：ANI0-ANI7, ANI16, ANI17, ANI19

（T_A = －40～＋105 ℃, 2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，基本電圧（＋）= V_{BGR}[注3]，基準電圧（－）= AV_{REFM}[注4] = 0 V，HS（高速メイン）モード）

項　目	略　号	条　件		MIN.	TYP.	MAX.	単　位
分解能	R_{ES}				8		bit
変換時間	t_{CONV}	8ビット分解能	2.4 V≦V_{DD}≦5.5 V	17		39	μs
ゼロスケール誤差[注1, 2]	EZS	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±0.60	%FSR
積分直線性誤差[注1]	ILE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±2.0	LSB
微分直線性誤差[注1]	DLE	8ビット分解能	2.4 V≦V_{DD}≦5.5 V			±1.0	LSB
アナログ入力電圧	V_{AIN}			0		V_{BGR}[注3]	V

注1. 量子化誤差（±1/2 LSB）を含みません。

2. フルスケール値に対する比率（%FSR）で表します。

3. 31. 6. 2　温度センサ／内部基準電圧特性を参照してください。

4. 基準電圧（－）＝ V_{SS}の場合，MAX.値は次のようになります。

ゼロスケール誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.35 %FSRを加算してください

積分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.5 LSBを加算してください

微分直線性誤差　：基準電圧（－）= AV_{REFM}時のMAX.値に±0.2 LSBを加算してください

31. 6. 2　温度センサ／内部基準電圧特性

（T_A = －40～＋105 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V，HS（高速メイン）モード）

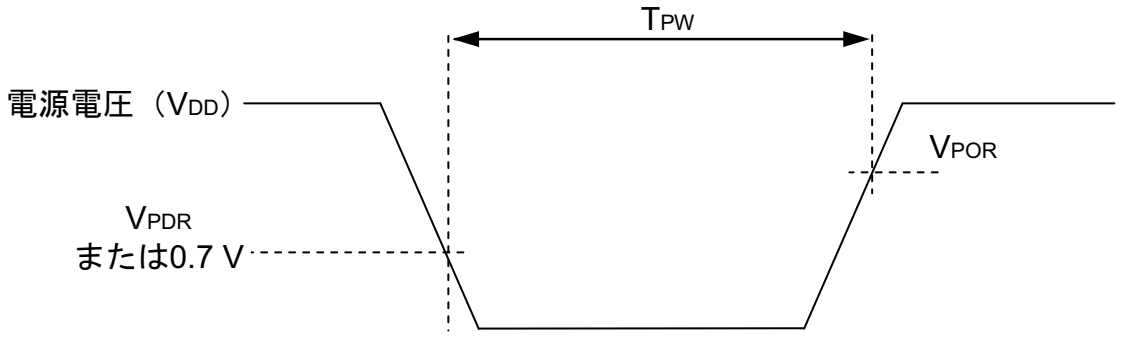
項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
温度センサ出力電圧	V_{TMPS25}	ADSレジスタ = 80H設定，T_A = ＋25℃		1.05		V
内部基準電圧	V_{BGR}	ADSレジスタ = 81H設定	1.38	1.45	1.5	V
温度係数	F_{VTMPS}	温度センサ電圧の温度依存		－3.6		mV/℃
動作安定待ち時間	t_{AMP}		5			μs

31. 6. 3　POR回路特性

（T_A = －40～＋105 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	V_{POR}	電源立ち上がり時	1.45	1.51	1.57	V
	V_{PDR}	電源立ち下がり時	1.44	1.50	1.56	V
最小パルス幅注	T_{PW}		300			μs

注　V_{DD}がV_{PDR}を下回った場合に，PORによるリセット動作に必要な時間です。またSTOPモードに移行時および，クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）とビット7（MSTOP）の設定によりメイン・システム・クロック（f_{MAIN}）を停止時は，V_{DD}が0.7 Vを下回ってから，V_{POR}を上回るまでのPORによるリセット動作に必要な時間です。



31. 6. 4　LVD回路特性

リセット・モード，割り込みモードのLVD検出電圧

（T_A = －40～＋105 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目		略　号	条　件	MIN.	TYP.	MAX.	単　位
検出電圧	電源電圧レベル	V_{LVD0}	電源立ち上がり時	3.90	4.06	4.22	V
			電源立ち下がり時	3.83	3.98	4.13	V
		V_{LVD1}	電源立ち上がり時	3.60	3.75	3.90	V
			電源立ち下がり時	3.53	3.67	3.81	V
		V_{LVD2}	電源立ち上がり時	3.01	3.13	3.25	V
			電源立ち下がり時	2.94	3.06	3.18	V
		V_{LVD3}	電源立ち上がり時	2.90	3.02	3.14	V
			電源立ち下がり時	2.85	2.96	3.07	V
		V_{LVD4}	電源立ち上がり時	2.81	2.92	3.03	V
			電源立ち下がり時	2.75	2.86	2.97	V
		V_{LVD5}	電源立ち上がり時	2.70	2.81	2.92	V
			電源立ち下がり時	2.64	2.75	2.86	V
		V_{LVD6}	電源立ち上がり時	2.61	2.71	2.81	V
			電源立ち下がり時	2.55	2.65	2.75	V
		V_{LVD7}	電源立ち上がり時	2.51	2.61	2.71	V
			電源立ち下がり時	2.45	2.55	2.65	V
最小パルス幅		t_{LW}		300			μs
検出遅延						300	μs

割り込み＆リセット・モードのLVD検出電圧

（T_A = －40～＋105 ℃，V_{PDR}≦V_{DD}≦5.5 V，V_{SS} = 0 V）

項　目	略　号	条　件			MIN.	TYP.	MAX.	単　位
割り込み＆リセット・モード	V_{LVDD0}	VPOC2, VPOC1, VPOC0 = 0, 1, 1，立ち下がりリセット電圧			2.64	2.75	2.86	V
	V_{LVDD1}		LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
				立ち下がり割り込み電圧	2.75	2.86	2.97	V
	V_{LVDD2}		LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
				立ち下がり割り込み電圧	2.85	2.96	3.07	V
	V_{LVDD3}		LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
				立ち下がり割り込み電圧	3.83	3.98	4.13	V

31. 6. 5　電源電圧立ち上がり傾き特性

（T_A = －40～＋105 ℃，V_{SS} = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
電源電圧立ち上がり傾き	S_{VDD}				54	V/ms

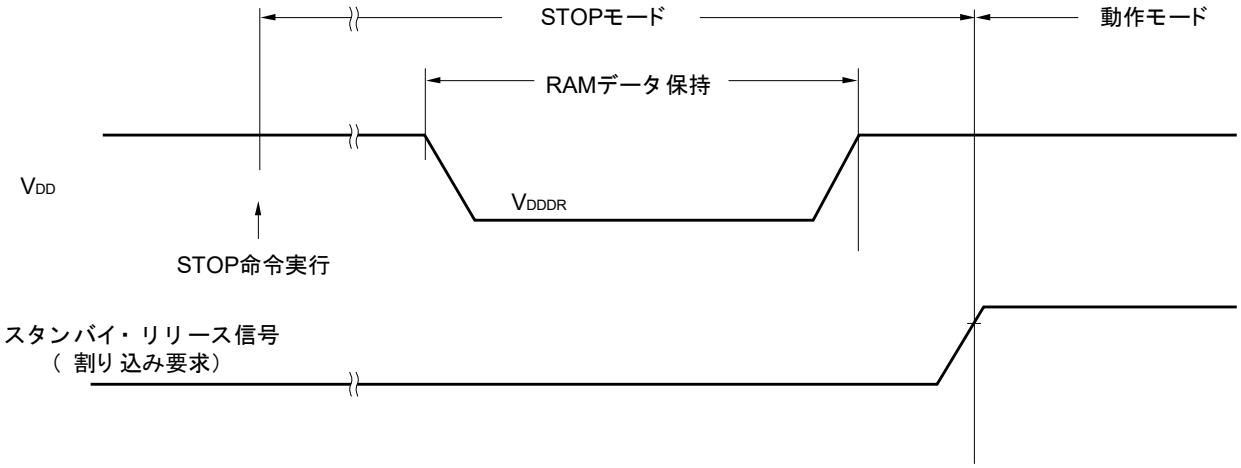
注意　V_{DD}が31. 4　AC特性に示す動作電圧範囲内に達するまで，LVD回路か外部リセットで内部リセット状態を保ってください。

31. 7　RAMデータ保持特性

（TA = －40～＋105 ℃，VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
データ保持電源電圧	VDDDR		1.44注		5.5	V

注　POR検出電圧に依存します。電圧降下時，PORリセットがかかるまではデータを保持しますが，PORリセットがかかった場合のデータは保持されません。



31. 8　フラッシュ・メモリ・プログラミング特性

（TA = －40～＋105 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
システム・クロック周波数	fCLK	2.4 V≦VDD≦5.5 V	1		24	MHz
コード・フラッシュの書き換え回数	Cerwr	保持年数：20年 TA = 85 ℃注4	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数：1年 TA = 25 ℃		1,000,000		
		保持年数：5年 TA = 85 ℃注4	100,000			
		保持年数：20年 TA = 85 ℃注4	10,000			

注1.　消去1回+消去後の書き込み1回を書き換え回数1回とします。保持年数は，1度書き換えた後，次に書き換えを行うまでの期間とします。

2.　フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時

3.　この特性はフラッシュ・メモリの特性を示すものであり，当社の信頼性試験から得られた結果です。

4.　保持の平均温度です。

31. 9　専用フラッシュ・メモリ・プログラマ通信（UART）

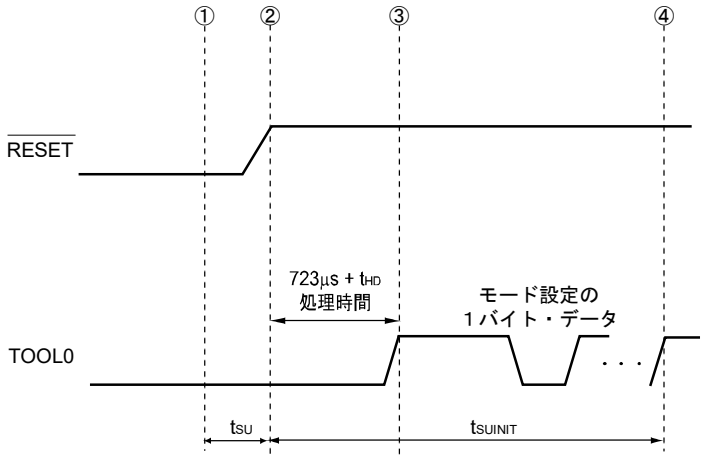
（TA = －40～＋105 ℃，2.4 V ≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

31. 10　フラッシュ・メモリ・プログラミング・モード引き込みタイミング

（TA = －40～＋105 ℃，2.4 V≦VDD≦5.5 V, VSS = 0 V）

項　目	略　号	条　件	MIN.	TYP.	MAX.	単　位
外部リセット解除から初期設定通信を完了する時間	t_{SUINIT}	外部リセット解除前にPOR, LVDリセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間	t_{SU}	外部リセット解除前にPOR, LVDリセットは解除	10			μs
外部リセット解除から，T00L0端子をロウ・レベルにホールドする時間（フラッシュ・ファーム処理時間を除く）	t_{HD}	外部リセット解除前にPOR, LVDリセットは解除	1			ms



① TOOL0端子にロウ・レベルを入力

② 外部リセットを解除（その前にPOR, LVDリセットが解除されていること）

③ TOOL0端子のロウ・レベルが解除

④ UART受信によるボー・レート設定完了

備考　t_{SUINIT}　：この区間では，リセット解除から100 ms 以内に初期設定通信を完了してください。

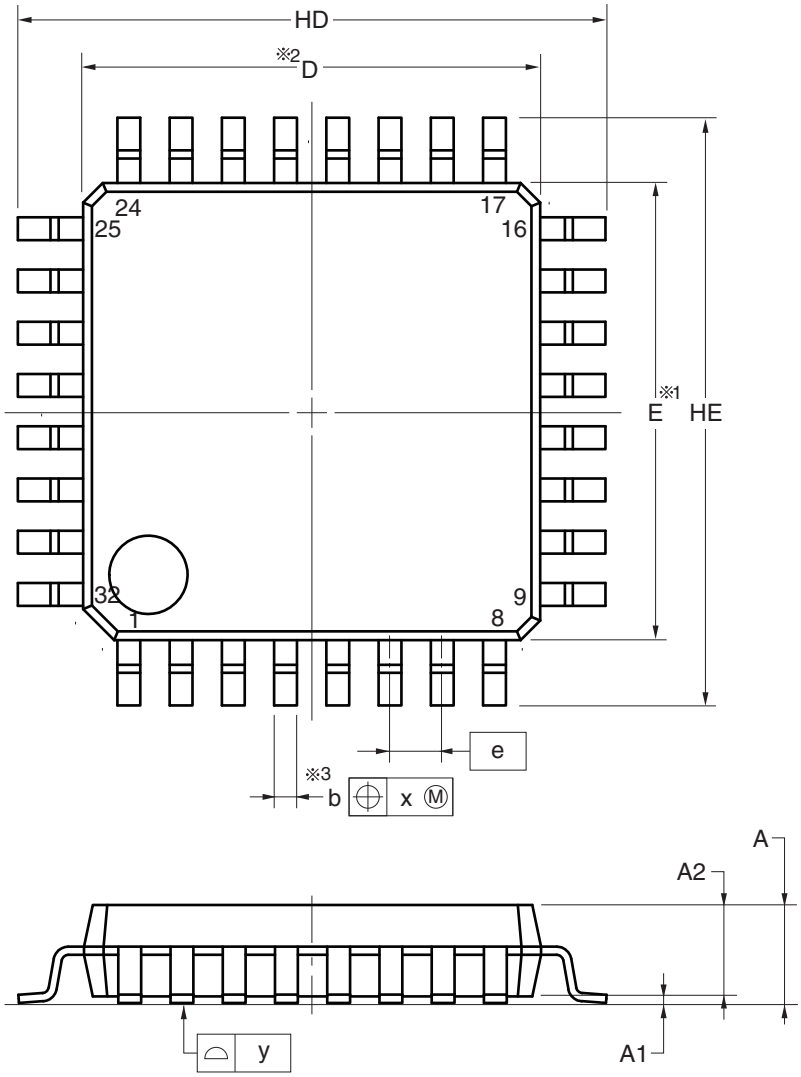
t_{SU}　：TOOL0端子をロウ・レベルにしてから，外部リセットを解除するまでの時間

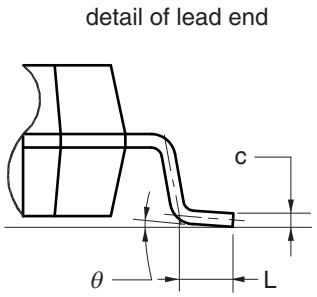
t_{HD}　：外部リセット解除から，TOOL0端子をロウ・レベルに保持する時間（フラッシュ・ファーム処理時間を除く）

第32章　外 形 図

32. 1　32ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2





(UNIT:mm)

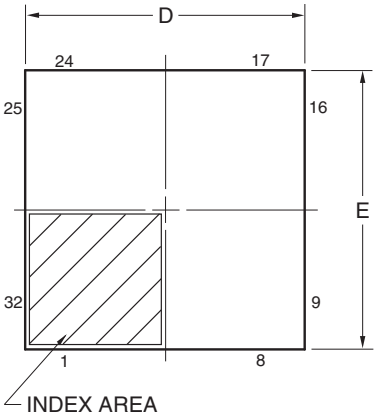
ITEM	DIMENSIONS
D	7.00±0.10
E	7.00±0.10
HD	9.00±0.20
HE	9.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37±0.05
c	0.145±0.055
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

NOTE

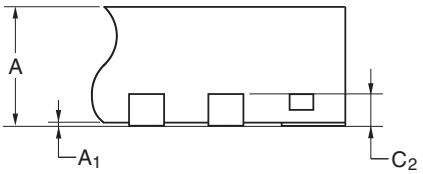
1.Dimensions “※1” and “※2” do not include mold flash.

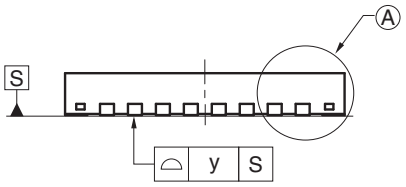
2.Dimension “※3” does not include trim offset.

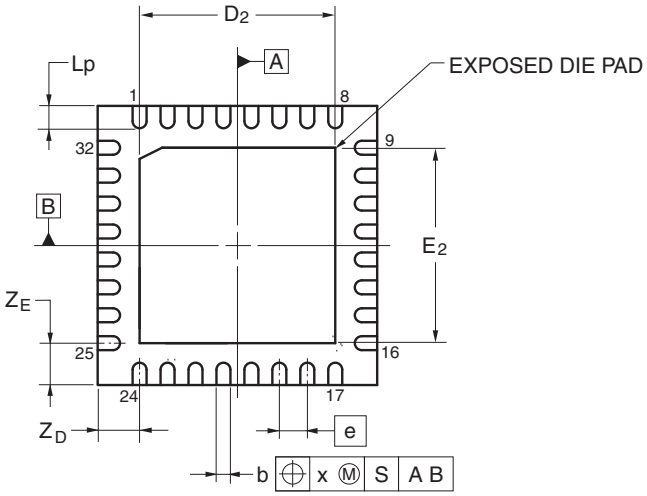
JEITA Packagecode	RENESAScode	Previouscode	MASS(TYP.)[g]
P-HWQFN32-5x5-0.50	PWQN0032KB-A	P32K8-50-3B4-5	0.06



DETAIL OF Ⓐ PART



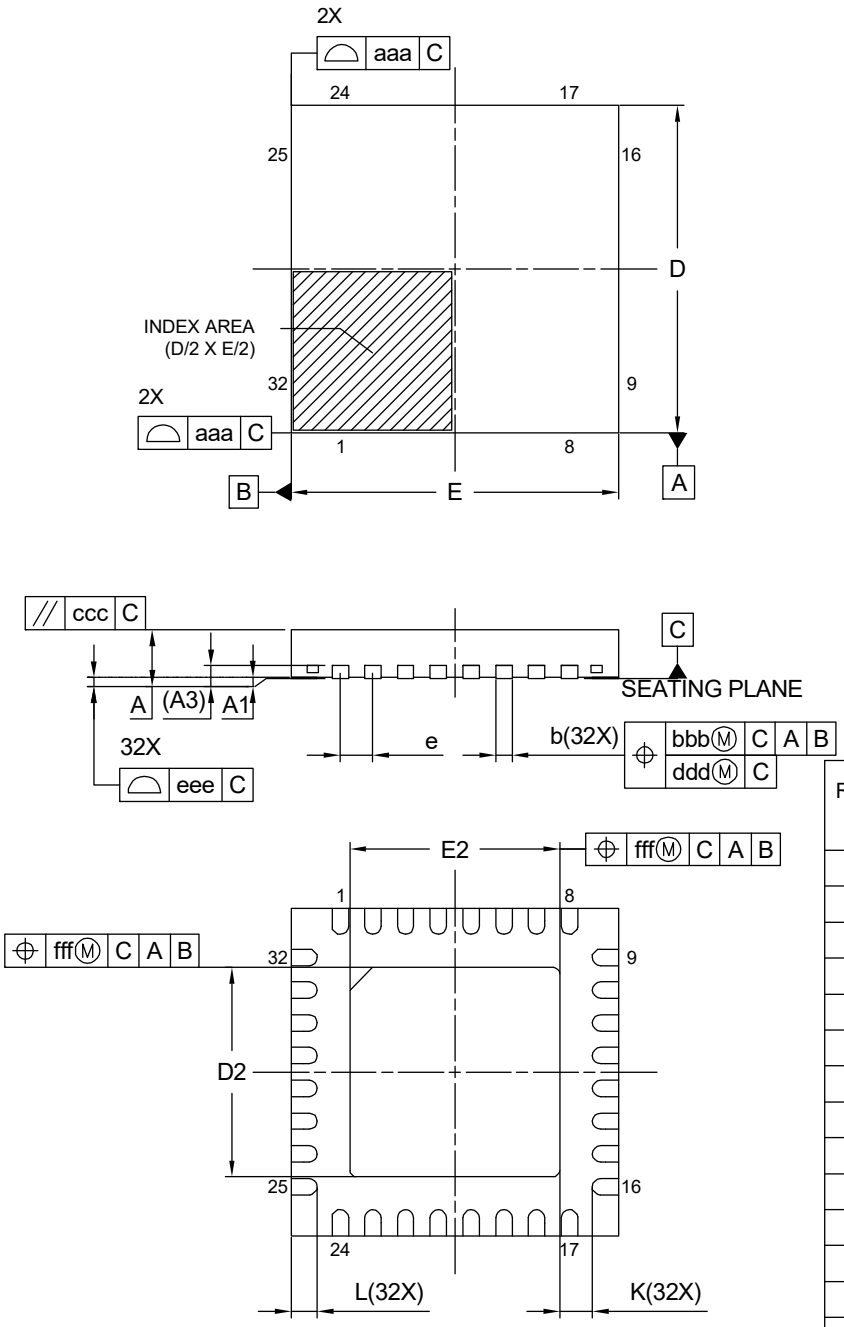




Referance Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	4.95	5.00	5.05
E	4.95	5.00	5.05
A	—	—	0.80
A_1	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z_D	—	0.75	—
Z_E	—	0.75	—
c_2	0.15	0.20	0.25
D_2	—	3.50	—
E_2	—	3.50	—

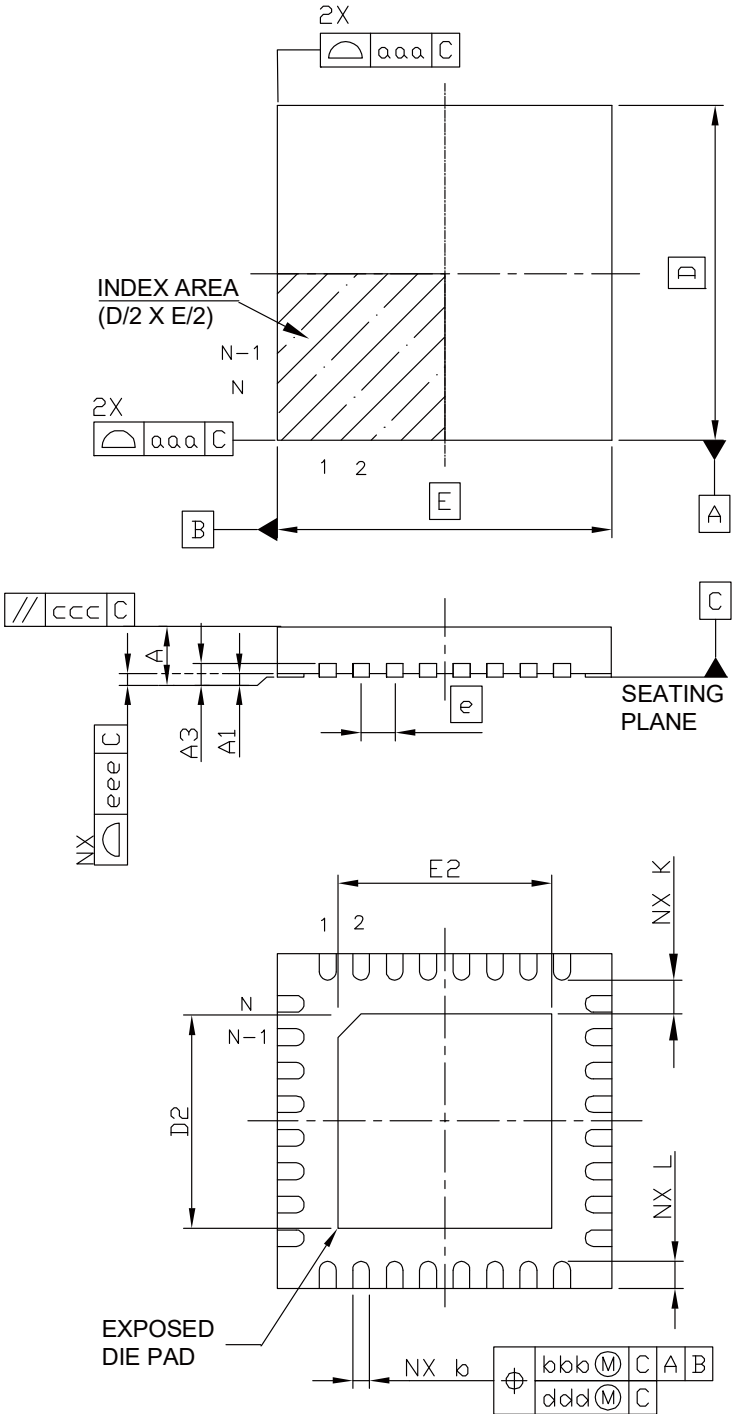
©2013 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	—	—
D_2	3.15	3.20	3.25
E_2	3.15	3.20	3.25
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

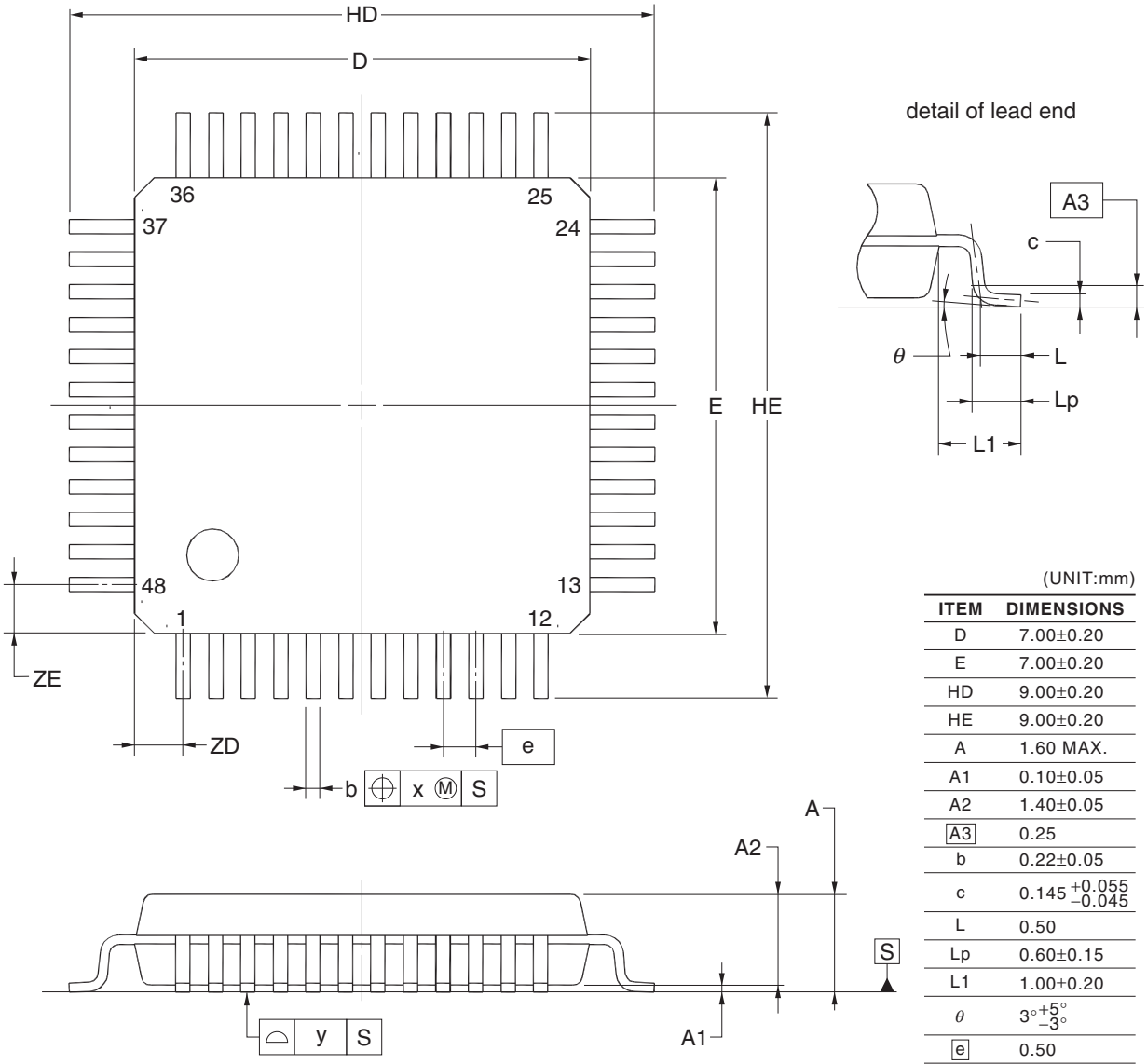
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN32-5×5-0.50	PWQN0032KG-A	0.06



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	—	0.05
A_3	0.20 REF.		
b	0.20	0.25	0.30
D	—	5.00	—
E	—	5.00	—
e	—	0.50	—
N	32		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	3.10	3.20	3.30
E_2	3.10	3.20	3.30
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

32. 2　48ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-A	P48GA-50-8EU-1	0.16



(UNIT:mm)

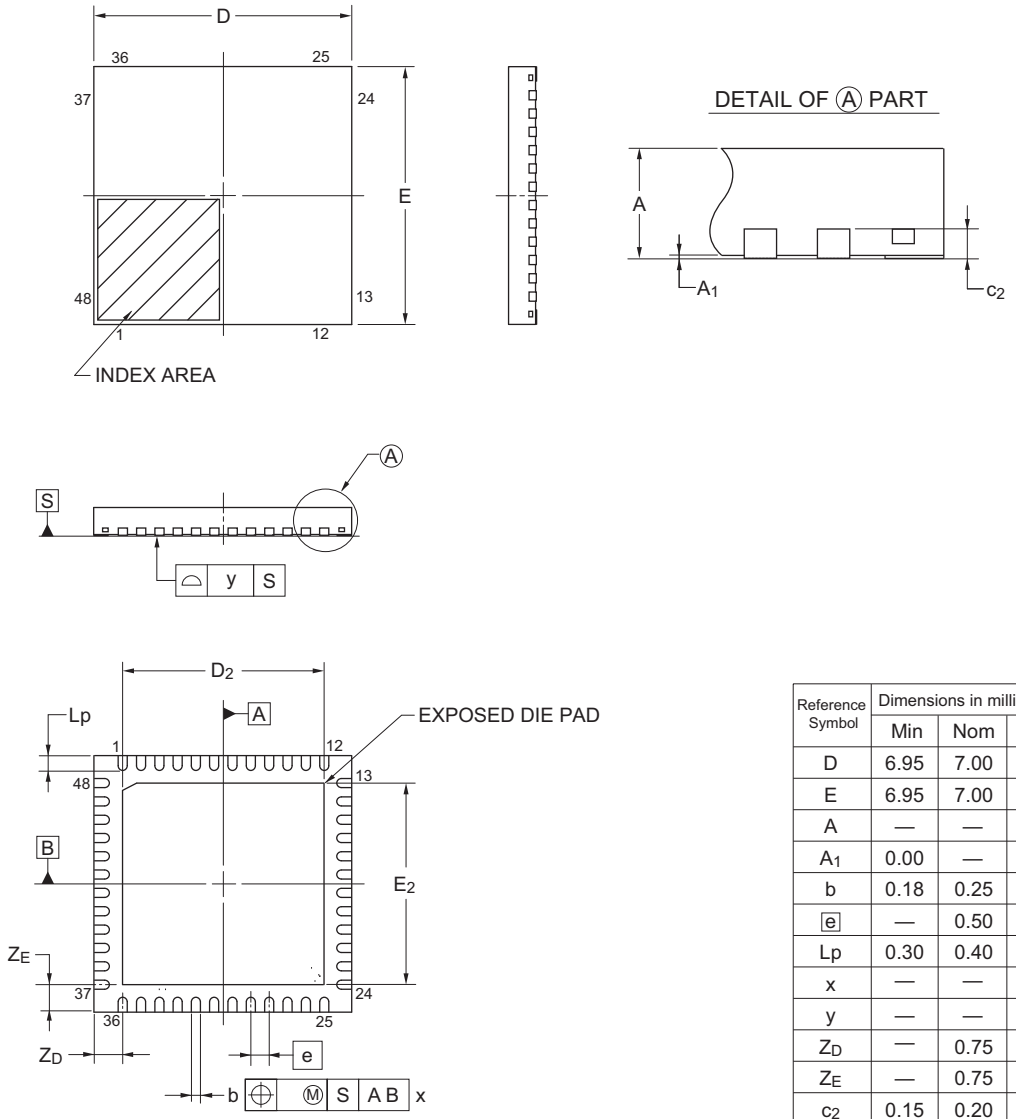
ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.22±0.05
c	$0.145^{+0.055}_{-0.045}$
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	$3^{\circ}{}^{+5^{\circ}}_{-3^{\circ}}$
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-7	0.13

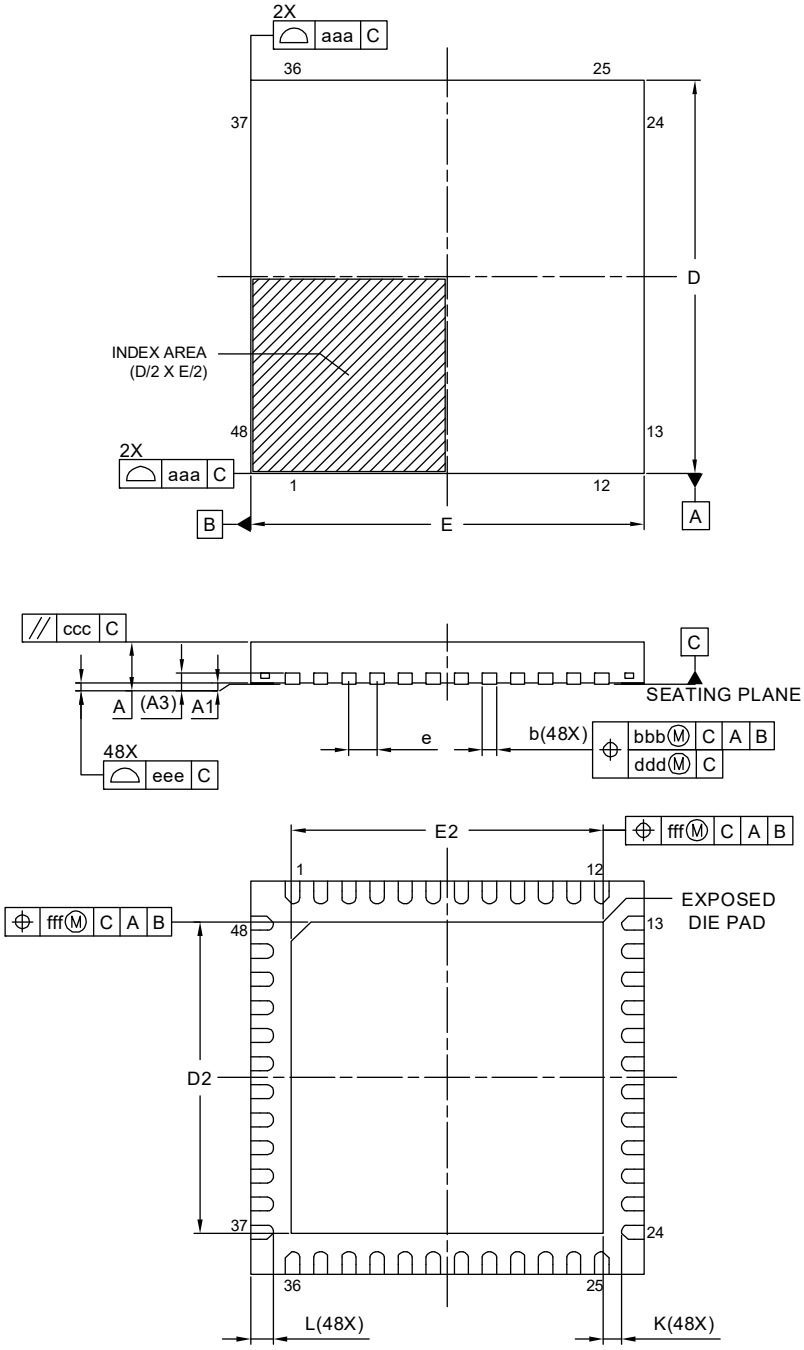
Unit: mm



Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.95	7.00	7.05
E	6.95	7.00	7.05
A	—	—	0.80
A_1	0.00	—	—
b	0.18	0.25	0.30
e	—	0.50	—
Lp	0.30	0.40	0.50
x	—	—	0.05
y	—	—	0.05
Z_D	—	0.75	—
Z_E	—	0.75	—
c_2	0.15	0.20	0.25
D_2	—	5.50	—
E_2	—	5.50	—

© 2015 Renesas Electronics Corporation. All rights reserved.

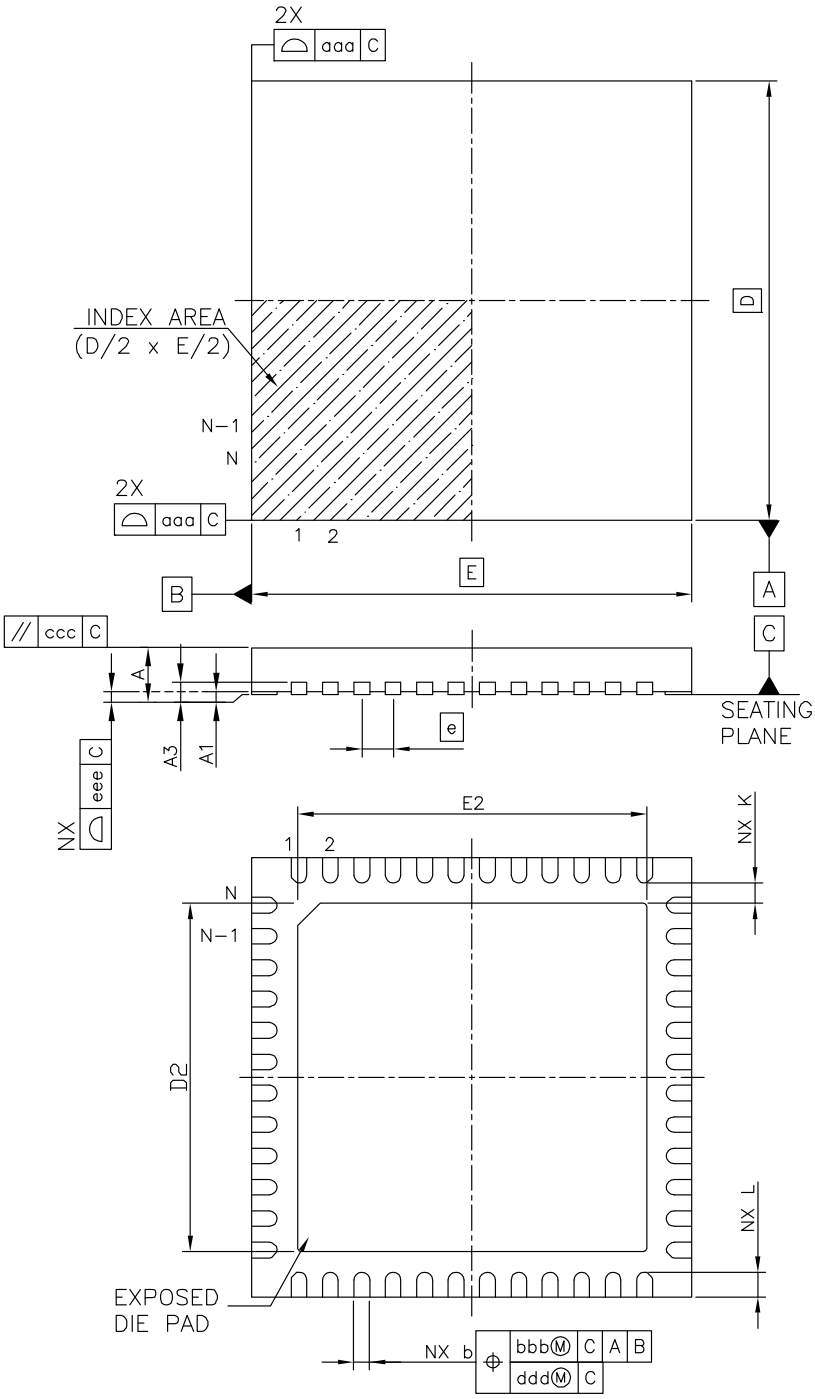
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KE-A	0.13



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	0.02	0.05
A_3	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.50	5.55	5.60
E_2	5.50	5.55	5.60
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

★

JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN48-7×7-0.50	PWQN0048KG-A	0.13



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A_1	0.00	—	0.05
A_3	0.20 REF.		
b	0.20	0.25	0.30
D	—	7.00	—
E	—	7.00	—
e	—	0.50	—
N	48		
L	0.30	0.40	0.50
K	0.20	—	—
D_2	5.50	5.55	5.60
E_2	5.50	5.55	5.60
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

付録A　改版履歴

A. 1　本版で改訂された主な箇所

箇　　所	内　　容	分類
第1 章 概 説		
p.3	図1－1 RL78/G1Cの型名とメモリサイズ・パッケージを変更	(d)
p.4	表1－1 発注型名一覧を変更	(d)
第2 章 端子機能		
p.26	表2－3 各端子の未使用端子処理を変更	(c)
第10章 ウォッチドッグ・タイマ		
p.320	表10－3 ウォッチドッグ・タイマのオーバフロー時間の設定に注を追加	(c)
p.322	表10－4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定に注を追加	(c)
第14章 USB2.0ホスト／ファンクション・モジュール（USB）		
p.691	図14－53 セルフパワード時（5 V）のUSBコネクタのファンクション接続例を変更	(a)
p.691	図14－54 セルフパワード時（3.3 V）のUSBコネクタのファンクション接続例を変更	(a)
p.692	図14－55 バスパワード時（5 V）のUSBコネクタのファンクション接続例を変更	(a)
p.692	図14－56 バスパワード時（3.3 V）のUSBコネクタのファンクション接続例を変更	(a)
第23章 安全機能		
p.851	23. 1　安全機能の概要を変更	(c)
p.856	23. 3. 2　CRC演算機能（汎用CRC）を変更	(c)
p.859	23. 3. 4　RAMガード機能を変更	(c)
p.860	23. 3. 5　SFRガード機能を変更	(c)
第26章 フラッシュ・メモリ		
p.905	26. 8. 3 データ・フラッシュへのアクセス手順に注意4を追加	(c)
第32章 外 形 図		
p.1056	32. 2 48ピン製品に外形図PWQN0048KG-Aを追加	(d)

備考　表中の「分類」により，改訂内容を次のように区分しています。

（a）：誤記訂正，（b）：仕様（スペック含む）の追加／変更，（c）：説明，注意事項の追加／変更，

（d）：パッケージ，オーダ名称，管理区分の追加／変更，（e）：関連資料の追加／変更

A. 2　前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

（1/13）

版　　数	内　　容	適用箇所
Rev.1.30	3線シリアルI/O、3線シリアルを簡易SPIに変更	全体
	CSIを簡易SPIに変更	
	IICAのウエイトをクロック・ストレッチに変更	
	1.1　特徴 注を追加	第1章　概説
	表1－1　発注型名一覧　説明を修正	
	4.4.4 入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応　注を追加	第4章　ポート機能
	図7－5 リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマット（2/2）　説明を修正	第7章　リアルタイム・クロック
	図7－21　リアルタイム・クロックの読み出し手順　注意を修正	
	図7－22　リアルタイム・クロックの書き込み手順　注意を修正	
	注を追加	第12章　シリアル・アレイ・ユニット
	図26－4　フラッシュ・メモリ・プログラミング・モードへの引き込み　説明を修正	第26章　フラッシュ・メモリ
	30.3.2　電源電流特性（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）（1/2）注1および注4を修正	第30章　電気的特性（A：T_A = –40～＋85℃）
	30.3.2　電源電流特性（T_A = －40～＋85 ℃，2.4 V≦V_{DD}≦5.5 V, V_{SS} = 0 V）（2/2）注1，注5および注6を修正	
	30.10　フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング　図の説明を修正	
	31.3.2　電源電流特性（T_A = －40～＋105 ℃，2.4 V≦$_{VDD}$≦5.5 V, V_{SS} = 0 V）（1/2）注1および注4を修正	第31章　電気的特性（G：T_A = –40~＋105℃）
	31.3.2　電源電流特性（T_A = －40～＋105 ℃，2.4 V≦$_{VDD}$≦5.5 V, V_{SS} = 0 V）（2/2）注1，注5および注6を修正	
	31.10　フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング　図の説明を修正	
	32.2　32ピン製品の外形図を追加	第32章　外 形 図

（2/13）

版　　数	内　　容	適用箇所
Rev.1.21	表1－1　発注型名一覧タイトルを追加、表を修正	第1章　概　　説
	図1－1　RL78/G1Cの型名とメモリサイズ・パッケージを修正	
	外形図を修正	第32章　外形図
Rev.1.20	1. 3. 1　32ピン製品の端子図を修正	第1章　概　　説
	1. 3. 2　48ピン製品の端子図を修正	
	1. 6　機能概要のメイン・システム・クロックの説明を修正	
	2. 1. 1　32ピン製品の表の項目を修正	第2章　端子機能
	2. 1. 2　48ピン製品の表の項目を修正	
	図2-3　端子タイプ 2-1-2の端子ブロック図を修正	
	図2－7　端子タイプ 7-1-4の端子ブロック図に注意を追加	
	図2－9　端子タイプ 8-1-4の端子ブロック図に注意1, 2を追加	
	図2－10　端子タイプ 8-3-4の端子ブロック図に注意1, 2を追加	
	表3－6　拡張SFR（2nd SFR）一覧を修正	第3章　CPUアーキテクチャ
	5. 1　クロック発生回路の機能（1）メイン・システム・クロック① X1発振回路の説明を修正	第5章　クロック発生回路
	5. 1　クロック発生回路の機能（1）メイン・システム・クロック③ PLL（Phase Locked Loop）による高速システム・クロックの逓倍機能に説明を追加	
	5. 1　クロック発生回路の機能（2）サブシステム・クロック・XT1発振回路の説明を修正	
	図5－4　クロック動作ステータス制御レジスタ（CSC）のフォーマットの注意6に説明を追加	
	図5－11　PLL制御レジスタ（DSCCTL）のフォーマットに注意2, 3を追加	
	5. 4. 4　低速オンチップ・オシレータの説明を修正	
	5. 4. 5　PLL（Phase Locked Loop）に注意2を修正	
	図5－17　電源電圧投入時のクロック発生回路の動作の説明を修正	
	5. 6. 2　X1発振回路の設定例に注意を追加	
	5. 6. 3　XT1発振回路の設定例の説明を修正	
	5. 6. 4　PLL回路の設定例の説明を修正	
	図5－18　CPUクロック状態移行図を修正	
	表5－4　CPUクロックの移行とSFRレジスタの設定例を修正	
	表5－5　CPUクロックの移行についてを修正	
	5. 6. 8　クロック発振停止前の条件に説明を追加	
	5. 7　発振子と発振回路定数の説明を修正	
	5. 7　発振子と発振回路定数（1）X1発振の表の周波数の項目の単位を修正	
	5. 7　発振子と発振回路定数（2）XT1発振（水晶振動子）の表の発振回路定数（参考）の項目を修正	
	6. 2. 2　タイマ・データ・レジスタmn（TDRmn）の説明を修正	第6章　タイマ・アレイ・ユニット
	図6－10　タイマ・モード・レジスタmn（TMRmn）のフォーマットを修正	
	図6－15　タイマ入力選択レジスタ0（TIS0）のフォーマットの注意を修正	

（3/13）

版　　数	内　　容	適用箇所
Rev.1.20	図6－20　ノイズ・フィルタ許可レジスタ1（NFEN1）のフォーマットを修正	第6章　タイマ・アレイ・ユニット
	6. 4. 2　8ビット・タイマ動作機能の基本ルール（チャネル1, 3のみ）の説明を修正	
	図6－35　TO0nビットの一括操作によるTO0nの端子状態の注意を削除	
	6. 8. 1　インターバル・タイマ／方形波出力としての動作（1）インターバル・タイマの説明を修正	
	6. 8. 2　外部イベント・カウンタとしての動作の説明を修正	
	図6－58　入力信号のハイ／ロウ・レベル幅測定機能時の操作手順を修正	
	6. 9. 1　ワンショット・パルス出力機能としての動作の注意を修正	
	図7－2　周辺イネーブル・レジスタ0（PER0）のフォーマットの注意2を修正	第7章　リアルタイム・クロック
	図7－5　リアルタイム・クロック・コントロール・レジスタ1（RTCC1）のフォーマットに注1, 2を追加	
	9. 5　クロック出力／ブザー出力制御回路の注意事項の説明を修正	第9章　クロック出力／ブザー出力制御回路
	図11－4　A/D電圧コンパレータ使用時のタイミング・チャートを修正	第11章　A/Dコンバータ
	図11－17　ソフトウエア・トリガ・モード（セレクト・モード，連続変換モード）動作タイミング例を修正	
	図11－18　ソフトウエア・トリガ・モード（セレクト・モード，ワンショット変換モード）動作タイミング例を修正	
	図11－19　ソフトウエア・トリガ・モード（スキャン・モード，連続変換モード）動作タイミング例を修正	
	図11－20　ソフトウエア・トリガ・モード（スキャン・モード，ワンショット変換モード）動作タイミング例を修正	
	図11－23　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例を修正	
	図11－24　ハードウエア・トリガ・ノーウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例を修正	
	図11－25　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，連続変換モード）動作タイミング例を修正	
	図11－26　ハードウエア・トリガ・ウエイト・モード（セレクト・モード，ワンショット変換モード）動作タイミング例を修正	
	図11－27　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，連続変換モード）動作タイミング例を修正	
	図11－28　ハードウエア・トリガ・ウエイト・モード（スキャン・モード，ワンショット変換モード）動作タイミング例を修正	
	図11－37　SNOOZEモード設定のフロー・チャートを修正	
	11. 10　A/Dコンバータの注意事項（2）ANI0-ANI7, ANI19端子入力範囲についての説明を修正	
	12. 2. 2　シリアル・データ・レジスタmn（SDRmn）の下位8/9ビットの注2を修正	第12章　シリアル・アレイ・ユニット
	図12－7　シリアル・データ・レジスタmn（SDRmn）のフォーマットの注意1, 3を修正	

（4/13）

版　　数	内　　容	適用箇所
Rev.1.20	図12－16　送信データのレベル反転例を修正	第12章　シリアル・アレイ・ユニット
	図12－67　SNOOZEモード動作（1回起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）および注を修正	
	図12－68　SNOOZEモード動作（1回起動）時のフロー・チャートを修正	
	図12－69　SNOOZEモード動作（連続起動）時のタイミング・チャート（タイプ1：DAPmn = 0, CKPmn = 0）および注を修正	
	図12－70　SNOOZEモード動作（連続起動）時のフロー・チャートを修正	
	図12－77　UART送信（シングル送信モード時）のフロー・チャートを修正	
	12. 6. 2　UART受信の説明を修正	
	図12－83　UART受信の再開設定手順を修正	
	12. 6. 3　ボー・レートの算出（1）ボー・レート算出式の注意、備考1を修正	
	図13－1　シリアル・インタフェースIICAのブロック図を修正	第13章　シリアル・インタフェースIICA
	図13－9　IICAコントロール・レジスタ01（IICCTL01）のフォーマットおよび注意1, 2を修正	
	13. 3. 6　IICAロウ・レベル幅設定レジスタ0（IICWL0）の説明を追加	
	13. 4. 2　IICWL0, IICWH0レジスタによる転送クロック設定方法および注意1, 2、備考2を修正	
	図13－22　WUP0 = 1を設定する場合のフローを修正	
	図13－23　アドレス一致によりWUP0 = 0に設定する場合のフロー（拡張コード受信含む）を修正	
	13. 5. 13　ウエイク・アップ機能の説明を修正	
	図13－24　INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合を修正	
	13. 5. 14　通信予約（1）通信予約機能許可の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）= 0）の説明、備考を修正	
	図13－27　通信予約の手順の注1、備考を修正	
	13. 5. 14　通信予約（2）通信予約機能禁止の場合（IICAフラグ・レジスタ0（IICF0）のビット0（IICRSV0）= 1）の説明を修正	
	13. 5. 15　その他の注意事項（3）すでに他者との間でI^2C通信が行われている場合④の説明を修正	
	図13－28　シングルマスタ・システムでのマスタ動作を修正	
	図13－29　マルチマスタ・システムでのマスタ動作および注、備考を修正	
	図13－30　スレーブ動作手順（1）を修正	
	表17－1　割り込み要因一覧の注3を修正	第17章　割り込み機能
	表17－5　割り込み処理中に多重割り込み可能な割り込み要求の関係を修正	
	表19－1　HALTモード時の動作状態を修正	第19章　スタンバイ機能
	表19－2　STOPモード時の動作状態を修正	
	20. 1　リセット動作のタイミングの説明を修正、注意を削除	第20章　リセット機能
	図20－4　リセット･コントロール・フラグ･レジスタ（RESF）のフォーマットを修正	
	図20－5　リセット要因の確認手順例のタイトル修正、注意を追加	

（5/13）

版　　数	内　　容	適用箇所
Rev.1.20	図21－2　パワーオン･リセット回路と電圧検出回路の内部リセット信号発生のタイミング（1）RESET端子による外部リセット使用時を修正	第21章　パワーオン･リセット回路
	図21－2　パワーオン･リセット回路と電圧検出回路の内部リセット信号発生のタイミング（2）LVDが割り込み＆リセット・モード時（オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0）の注3を修正	
	22. 1　電圧検出回路の機能の説明を修正	第22章　電圧検出回路
	図22－4　ユーザ・オプション・バイト（000C1H/010C1H）のフォーマットを修正	
	22. 4. 2　割り込みモードとして使用する場合の設定の説明を修正	
	22. 4. 3　割り込み＆リセット・モードとして使用する場合の設定の説明を修正	
	図22－7　割り込み＆リセット信号発生のタイミング（オプション・バイトのLVIMDS1, LVIMDS0 = 1, 0）を修正および注3を追加	
	図22－9　LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例を修正	
	25. 1. 1　ユーザ・オプション・バイト（000C0H-000C2H/010C0H-010C2H）（3）000C2H/010C2Hの説明を追加	第25章　オプション･バイト
	図25－3　ユーザ・オプション・バイト（000C2H/010C2H）のフォーマットを修正	
	第26章　フラッシュ・メモリの説明を修正	第26章　フラッシュ･メモリ
	表26－1　RL78/G1Cと専用フラッシュ・メモリ・プログラマの配線表を修正	
	図26－2　専用フラッシュ・メモリ・プログラマとの通信を修正	
	表26－2　端子接続一覧を修正	
	26. 6　セルフ・プログラミングの備考1を修正	
	図26－10　ブート・スワップの実行例を修正	
	26. 8. 1　データ・フラッシュの概要の説明、注意2を修正	
	26. 8. 3　データ・フラッシュへのアクセス手順の説明を修正	
	表27－1　オンチップ・デバッグ・セキュリティIDを修正	第27章　オンチップ･デバッグ機能
	表29－2　オペレーション欄の記号に“addr5”を追加	第29章　命令セットの概要
	30. 6. 1　A/Dコンバータ特性のA/Dコンバータ特性の区分の表を修正	第30章　電気的特性（A：T_A = –40～＋85℃）
	30. 7　RAMデータ保持特性のタイトルおよび図を修正	
	30. 8　フラッシュ・メモリ・プログラミング特性の表を修正	
	31. 6. 1　A/Dコンバータ特性のA/Dコンバータ特性の区分の表を修正	第31章　電気的特性（G：T_A = –40~＋105℃）
	31. 7　RAMデータ保持特性のタイトルおよび図を修正	
	31. 8　フラッシュ・メモリ・プログラミング特性の表を修正	
	32. 1　32ピン製品の図を変更	第32章　外形図
	32. 2　48ピン製品の図を変更	

（6/13）

版　　数	内　　容	適用箇所
Rev.1.10	注意3を追加	第31章　電気的特性（G: T_A = -40～+105℃）
	31. 1　絶対最大定格の動作周囲温度の注を削除	
Rev.1.00	SCK, SCKxxのオーバーバーを削除	全般
	f_{EXT}をf_{EXS}に改称	
	インターバル・タイマ（ユニット）を12ビット・インターバル・タイマに改称	
	G：産業用途（T_A = –40～＋105℃）製品を追加	
	1. 1　特徴を変更	第1章　概説
	1. 2　オーダ情報を変更	
	図1－1　RL78/G1Cの型名とメモリ・サイズ，パッケージを変更	
	1. 3　端子接続図（Top View）に備考を追加	
	1. 6　機能概要を変更	
	2. 1. 1　32ピン製品徴を変更	第2章　端子機能
	2. 1. 2　48ピン製品を変更	
	2. 2　ポート以外の機能を変更	
	2. 3　未使用端子の処理を変更	
	2. 4　端子ブロック図を変更	
	図3－1　メモリマップの注釈，注意文を変更	第3章　CPUアーキテクチャ
	3. 1. 3　内部データ・メモリ空間を変更	
	図3－3　データ・メモリとアドレッシングの対応を変更	
	3. 2　プロセッサ・レジスタを変更	
	表3－5　SFR一覧（3/4）を変更	
	表3－6　拡張SFR（2nd SFR）一覧（2/8）を変更	
	3. 3　プロセッサ・レジスタの図を変更	
	3. 4　処理データ・アドレスに対するアドレッシングの図を変更	
	4. 2　ポートの構成を変更	第4章　ポート機能
	4. 3　ポート機能を制御するレジスタの注意文を変更	
	4. 3. 8　周辺I/Oリダイレクション・レジスタ（PIOR）の説明文を追加	
	4. 4. 4　入出力バッファによる異電位（1.8 V系, 2.5 V系, 3 V系）対応を変更	
	4. 5　兼用機能使用時のレジスタ設定を変更	
	4. 6. 2　端子設定に関する注意事項を変更	
	5. 1（1）メイン・システム・クロックの説明を変更	第5章　クロック発生回路
	図5－2　クロック動作モード制御レジスタ（CMC）のフォーマットを変更	
	図5－5　発振安定時間カウンタ状態レジスタ（OSTC）のフォーマットを変更	
	5. 3. 5　発振安定時間選択レジスタ（OSTS）を変更	
	5. 3. 7　サブシステム・クロック供給モード制御レジスタ（OSMC）を変更	
	5. 3. 8　高速オンチップ・オシレータ周波数選択レジスタ（HOCODIV）を変更	
	図5－10　高速オンチップ・オシレータ・トリミング・レジスタ（HIOTRM）のフォーマットを変更	
	図5－12　PLLとUSBクロックの関係を変更	
	図5－13　メイン・クロック制御レジスタ（MCKC）のフォーマットの注意1を変更	

（7/13）

版　　数	内　　容	適用箇所
Rev.1.00	5. 4. 4　低速オンチップ・オシレータの説明文を変更	第5章　クロック発生回路
	5. 5　クロック発生回路の動作を変更	
	5. 6　クロックの制御を変更	
	表5－5　CPUクロックの移行についてを変更	
	5. 7　発振子と発振回路定数を追加	
	機能説明を変更	第6章　タイマ・アレイ・ユニット
	6. 1. 2（1）ワンショット・パルス出力を変更	
	図6－4　タイマ・アレイ・ユニットのチャネル3内部ブロック図を変更	
	6. 2. 2　タイマ・データ・レジスタmn（TDRmn）の説明文を変更	
	6. 3. 1　周辺イネーブル・レジスタ0（PER0）の注意文を変更	
	6. 3. 2　タイマ・クロック選択レジスタm（TPSm）を変更	
	図6－10　タイマ・モード・レジスタmn（TMRmn）のフォーマットの注釈文を変更	
	図6－14　タイマ・チャネル停止レジスタm（TTm）のフォーマットを変更	
	図6－15　タイマ入力選択レジスタ0（TIS0）のフォーマットの注意文を変更	
	図6－16　タイマ出力許可レジスタm（TOEm）のフォーマットを変更	
	6. 3. 13　ノイズ・フィルタ許可レジスタ1（NFEN1）を変更	
	6. 3. 14　タイマ入出力端子のポート機能を制御するレジスタを変更	
	表6－6　カウント動作許可状態からタイマ・カウンタ・レジスタmn（TCRmn）のカウント・スタートまでの動作を変更	
	6. 5. 3　カウンタの動作を変更	
	6. 6　チャネル出力（Tomn端子）の制御を変更	
	6. 7　タイマ入力（Timn）の制御を追加	
	6. 8　タイマ・アレイ・ユニットの単独チャネル動作機能を変更	
	6. 9　タイマ・アレイ・ユニットの複数チャネル連動動作機能を変更	
	6. 10. 1　タイマ出力使用時の注意事項を変更	
	7. 1　リアルタイム・クロックの機能の説明を変更	第7章　リアルタイム・クロック
	図7－1　リアルタイム・クロックのブロック図を変更	
	7. 3　リアルタイム・クロックを制御するレジスタの説明を変更	
	図7－2　周辺イネーブル・レジスタ0（PER0）のフォーマットの注意文を変更	
	図7－4　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマットの注，注意2を変更	
	図7－5　リアルタイム・クロック・コントロール・レジスタ0（RTCC0）のフォーマット（2/2）の説明，備考2を変更	
	7. 3. 5　秒カウント・レジスタ（SEC）の備考を変更	
	7. 3. 16　ポート・モード・レジスタ3（PM3）の説明を変更	
	7. 3. 17　ポート・レジスタ3（P3）の説明を変更	
	7. 4. 6　リアルタイム・クロックの時計誤差補正例の説明を変更	
	図8－1　12ビット・インターバル・タイマのブロック図の注意文を変更	第8章　12ビット・インターバル・タイマ
	図8－2　周辺イネーブル・レジスタ0（PER0）のフォーマットの注意文を変更	
	8. 3. 2　サブシステム・クロック供給モード制御レジスタ（OSMC）を変更	
	8. 4　12ビット・インターバル・タイマの動作を変更	

（8/13）

版　　数	内　　容	適用箇所
Rev.1.00	9. 1　クロック出力／ブザー出力制御回路の機能の注意文を変更	第9章　クロック出力／ブザー出力制御回路
	図9－2　クロック出力選択レジスタn（CKSn）のフォーマットの注意文を変更	
	9. 3. 2　クロック出力／ブザー出力端子のポート機能を制御するレジスタを変更	
	9. 4. 1　出力端子の動作を変更	
	9. 5　クロック出力／ブザー出力制御回路の注意事項を変更	
	10. 1　ウォッチドッグ・タイマの機能の説明文を変更	第10章　ウォッチドッグ・タイマ
	10. 2　ウォッチドッグ・タイマの構成を変更	
	10. 4　ウォッチドッグ・タイマの動作を変更	
	11. 1　A/Dコンバータの機能の説明文を変更	第11章　A/Dコンバータ
	11. 2　A/Dコンバータの構成の説明文を変更	
	11. 3　A/Dコンバータを制御するレジスタを変更	
	11. 4　A/Dコンバータの変換動作を変更	
	11. 6　A/Dコンバータの動作モードを変更	
	11. 7　A/Dコンバータの設定フロー・チャートを変更	
	11. 8　SNOOZEモード機能を変更	
	11. 9　A/Dコンバータ特性表の読み方を変更	
	11. 10　A/Dコンバータの注意事項を変更	
	12. 1　シリアル・アレイ・ユニットの機能の説明文を変更	第12章　シリアル・アレイ・ユニット
	12. 2　シリアル・アレイ・ユニットの構成を変更	
	12. 3　シリアル・アレイ・ユニットを制御するレジスタを変更	
	12. 5　3線シリアルI/O（CSI00, CSI01）通信の動作を変更	
	12. 6　UART（UART0）通信の動作を変更	
	12. 7　簡易I²C（IIC00, IIC01）通信の動作を変更	
	13. 3　シリアル・インタフェースIICAを制御するレジスタを変更	第13章　シリアル・インタフェースIICA
	図13－24　INTIICA0以外でSTOPモードが解除後にマスタとして動作させる場合を変更	
	図13－28 **シングルマスタ・システムでのマスタ動作**を変更	
	図13－29 **マルチマスタ・システムでのマスタ動作**（3/3）を変更	
	図13－30 **スレーブ動作手順**（1）を変更	
	13. 5. 17　I²C割り込み要求（INTIICA0）の発生タイミングを修正	
	14. 1　USB2.0ホスト／ファンクション・モジュールの機能を修正	第14章　USB2.0ホスト／ファンクション・モジュール（USB）
	表14－3　USBのレジスター覧の注釈文を追加	
	図14－2　システム・コンフィグレーション・コントロール・レジスタ（SYSCFG）のフォーマットを変更	
	図14－5　デバイス・ステート・コントロール・レジスタ0（DVSTCTR0）のフォーマットの注釈文を追加	
	図14－36　DCPコントロール・レジスタ（DCPCTR）のフォーマットを変更	
	図14－49　USBモジュール制御レジスタ（USBMC）のフォーマットを変更	
	14. 4. 1　システム制御の説明文を変更	
	図14－51　USB電源投入フローの注釈文を変更	
	図14－53　セルフパワード時（5 V）のUSBコネクタのファンクション接続例を変更	
	図14－54　セルフパワード時（3.3 V）のUSBコネクタのファンクション接続例を変更	
	図14－55　バスパワード時（5 V）のUSBコネクタのファンクション接続例を変更	
	図14－56　バスパワード時（3.3 V）のUSBコネクタのファンクション接続例を変更	

（9/13）

版　　数	内　　容	適用箇所
Rev.1.00	図14－59　ファンクション・コントローラ機能時のNRDY割り込み発生タイミングを変更	第14章　USB2.0ホスト／ファンクション・モジュール（USB）
	図14－60　ファンクション・コントローラ機能時のBEMP割り込み発生タイミングを変更	
	14. 4. 11　Battery Charging接続検知制御の説明文を修正	
	14. 4. 12　Battery Charging接続検知オプション機能の説明文を修正	
	14. 4. 13　Battery Charging検知処理を追加	
	15. 2　乗除積和算器の構成を変更	第15 章　乗除積和算器
	15. 3　乗除積和算器を制御するレジスタを変更	
	15. 4　乗除積和算器の動作を変更	
	16. 1　DMAコントローラの機能を修正	第16章　DMAコントローラ
	図15－9　UART連続受信＋ACK送信の設定例を変更	
	16. 6　DMAコントローラの注意事項を修正	
	説明文を変更	第17章　割り込み機能
	17. 2　割り込み要因と構成を変更	
	17. 3　割り込み機能を制御するレジスタを変更	
	図17－8　割り込み要求の受け付けタイミング（最小時間），図17－9 割り込み要求の受け付けタイミング（最大時間）を変更	
	表17－5　割り込み処理中に多重割り込み可能な割り込み要求の関係を変更	
	18. 1　キー割り込みの機能を変更	第18章　キー割り込み機能
	18. 2　キー割り込みの構成を変更	
	18. 3　キー割り込みを制御するレジスタを変更	
	19. 2　スタンバイ機能を制御するレジスタを変更	第19章　スタンバイ機能
	19. 3. 1　HALTモードを変更	
	19. 3. 2　STOPモードを変更	
	19. 3. 3　SNOOZEモードを変更	
	説明文，注意文を変更	第20章　リセット機能
	20. 1　リセット動作のタイミングを変更	
	表20－1　リセット期間中の動作状態に注釈文を追加	
	表20－2　リセット受け付け後の各ハードウエアの状態を変更	
	20. 3. 1　リセット・コントロール・フラグ・レジスタ（RESF）を変更	
	21. 1　パワーオン・リセット回路の機能を変更	第21章　パワーオン･リセット回路
	図21－2　パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングを変更	
	22. 1　電圧検出回路の機能を変更	第22章　電圧検出回路
	図22－1　電圧検出回路のブロック図を変更	
	22. 3　電圧検出回路を制御するレジスタを変更	
	22. 4　電圧検出回路の動作を変更	
	22. 5　電圧検出回路の注意事項を変更	
	23. 1　安全機能の概要を変更	第23章　安全機能
	図23－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを変更	
	23. 3. 3　RAMパリティ・エラー検出機能を変更	

（10/13）

版　　数	内　　容	適用箇所
Rev.1.00	図23－11　不正アクセス検出空間を変更	第23章　安全機能（続き）
	23. 3. 7　周波数検出機能を変更	
	23. 3. 8　A/Dテスト機能を変更	
	24. 1　レギュレータの概要に注意文を追加	第24章　レギュレータ
	25. 1　オプション・バイトの機能を変更	第25章　オプション・バイト
	25. 2　ユーザ・オプション・バイトのフォーマットを変更	
	説明文を追加	第26章　フラッシュ・メモリ
	26. 1　フラッシュ・メモリ・プログラマによるシリアル・プログラミングを変更	
	26. 2　外部デバイス（UART内蔵）によるシリアル・プログラミングを変更	
	26. 3　オンボード上の端子処理を変更	
	26. 4　シリアル・プログラミング方法を変更	
	26. 5　PG-FP5使用時の各コマンド処理時間（参考値）を追加	
	26. 6　セルフ・プログラミングを変更	
	26. 7　セキュリティ設定を変更	
	26. 8　データ・フラッシュを変更	
	29. 2　オペレーション一覧の注釈文を変更	第29章　命令セットの概要
	対象製品の記述を追加	第30章　電気的特性（A：T_A = －40～＋85℃）
	30. 1　絶対最大定格を変更	
	30. 2　発振回路特性を変更	
	30. 3. 1　端子特性を変更	
	30. 3. 2　電源電流特性を変更	
	30. 4. 1　基本動作を変更	
	30. 5. 1　シリアル・アレイ・ユニットを変更	
	30. 5. 2　シリアル・インタフェースIICAを変更	
	30. 5. 3　USBを変更	
	30. 6. 1　A/Dコンバータ特性を変更	
	30. 6. 2　温度センサ／内部基準電圧特性を変更	
	30. 6. 3　POR回路特性を変更	
	30. 6. 5　電源電圧立ち上がり傾き特性を変更	
	30. 7　データ・メモリSTOPモード低電源電圧データ保持POR回路特性を変更	
	30. 9　専用フラッシュ・メモリ・プログラマ通信（UART）を変更	
	30. 10　フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミングを変更	
	章を追加	第31章　電気的特性（G：T_A = －40～＋105℃）
	G：産業用途（T_A = –40～＋105℃）製品を追加	第32章　外形図

（11/13）

版　　数	内　　容	適用箇所
Rev.0.02	1. 2　オーダ情報を変更	第1章　概説
	図1－1　RL78/G1Cの型名とメモリ・サイズ，パッケージを変更	
	1. 6　機能概要を変更	
	次のブロック図を変更 ・図4－1　P00のブロック図 ・図4－2　P01のブロック図 ・図4－7　P30のブロック図 ・図4－11　P50のブロック図 ・図4－12　P51のブロック図 ・図4－17　P74のブロック図	第4章　ポート機能
	5. 1（1）メイン・システム・クロックの説明を変更	第5章　クロック発生回路
	5. 1　クロック発生回路の機能の備考を変更	
	図5－1　クロック発生回路のブロック図の備考を変更	
	図5－3　システム・クロック制御レジスタ（CKC）のフォーマットの備考を変更	
	図5－13　メイン・クロック制御レジスタ（MCKC）のフォーマットの注意1を変更	
	5. 5　クロック発生回路の動作を変更	
	5. 6. 4　PLL回路の設定例に注を追加	
	表11－3　A/D変換時間の選択を変更	第11章　A/Dコンバータ
	11. 8（1）A/D変換終了後に割り込みが発生する場合の説明を変更	
	12. 5　3線シリアルI/O（CSI00, CSI01）通信の動作，12. 6　UART（UART0）通信の動作， 12. 7　簡易I2C（IIC00, IIC01）通信の動作の設定手順のフロー・チャートを変更	第12章　シリアル・アレイ・ユニット
	図12－10　シリアル・チャネル開始レジスタm（SSm）の注を変更	
	12. 6. 3　SNOOZEモード機能の説明を変更	
	図12－90　SNOOZEモード動作（通常動作／異常動作①）時のフロー・チャートを変更	
	図12－91　SNOOZEモード動作（異常動作②）時のタイミング・チャートを変更	
	図12－92　SNOOZEモード動作（異常動作②）時のフロー・チャートを変更	
	12. 7. 5　転送レートの算出の転送レート設定例を変更	
	図12－108　簡易I^2Cモード時のパリティ・エラー（ACKエラー）発生時の処理手順を変更	

（12/13）

版　　数	内　　容	適用箇所
Rev.0.02	14. 1　USB2.0ホスト／ファンクション・モジュールの機能を追加	第14章　USB2.0ホスト／ファンクション・モジュール（USB）
	14. 2　USB2.0ホスト／ファンクション・モジュールの構成を追加	
	図14－2　システム・コンフィグレーション・コントロール・レジスタ（SYSCFG）のフォーマットを変更	
	図14－3　システム・コンフィグレーション・コントロール・レジスタ1（SYSCFG1）のフォーマットを変更	
	図14－4　システム・コンフィグレーション・ステータス・レジスタn（SYSSTSn）のフォーマット（n = 0, 1）を変更	
	図14－13　CFIFOポート・コントロール・レジスタ（CFIFOCTR）のフォーマットを変更	
	図14－14　DnFIFOポート・コントロール・レジスタ（DnFIFOCTR）のフォーマット（n = 0, 1）を変更	
	図14－38　パイプ・コンフィグレーション・レジスタ（PIPECFG）のフォーマットを変更	
	14. 3. 36　BCコントロール・レジスタn（USBBCCTRLn）（n = 0, 1）を変更	
	図14－47　BCオプション・コントロール・レジスタ0（USBBCOPT0）のフォーマットを変更	
	図14－48　BCオプション・コントロール・レジスタ1（USBBCOPT1）のフォーマットを変更	
	図14－52　USBコネクタのホスト接続例を変更	
	図14－53 セルフパワード時（5 V）のUSBコネクタのファンクション接続例を変更	
	図14－54 セルフパワード時（3.3 V）のUSBコネクタのファンクション接続例を変更	
	図14－55 バスパワード時（5 V）のUSBコネクタのファンクション接続例を変更	
	図14－56 バスパワード時（3.3 V）のUSBコネクタのファンクション接続例を変更	
	14. 4. 6. 2 ファンクション・コントローラ機能選択時のコントロール転送の説明を変更	
	14. 4. 11　Battery Charging接続検知制御を追加	
	14. 4. 12　Battery Charging接続検知オプション機能を追加	
	15. 4. 1　乗算（符号なし）動作を変更	第15章　乗除積和算器
	図15－9　積和演算（符号付）動作のタイミング図を変更	
	図17－8　割り込み要求の受け付けタイミング（最小時間），図17－9 割り込み要求の受け付けタイミング（最大時間）を変更	第17章　割り込み機能
	表19－1　HALTモード時の動作状態を変更	第19章　スタンバイ機能
	19. 3. 2　STOPモードに注意3を追加	
	表19－2　STOPモード時の動作状態を変更	
	表20－1　リセット期間中の動作状態を変更	第20章　リセット機能
	図21－2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミングを変更	第21章　パワーオン・リセット回路

（13/13）

版　　数	内　　容	適用箇所
Rev.0.02	図22－1　電圧検出回路のブロック図を変更	第22章　電圧検出回路
	表22－1 ユーザ・オプション・バイト（000C1H/010C1H）によるLVD動作モード・検出電圧設定（2/2）に注意を追加	
	22. 4. 3 割り込み＆リセット・モードとして使用時の設定を変更	
	23. 1　安全機能の概要の備考を変更	第23章　安全機能
	23. 3. 1　フラッシュ・メモリCRC演算機能（高速CRC）に説明，注意を追加	
	図23－3　フラッシュ・メモリCRC演算機能（高速CRC）のフロー・チャートを変更	
	23. 3. 2　CRC演算機能（汎用CRC）に説明，注意を追加	
	図23－6　CRC演算機能（汎用CRC）のフロー・チャートを変更	
	図23－11　不正メモリ・アクセス検出制御レジスタ（IAWCTL）のフォーマットに備考を追加	
	23. 3. 7　周波数検出機能の説明を変更	
	23. 3. 8　A/Dテスト機能の説明を変更	
	図23－15　A/Dテスト・レジスタ（ADTES）のフォーマットを変更	
	23. 3. 8. 2　アナログ入力チャネル指定レジスタ（ADS）を変更	
	図23－17　ポート・モード選択レジスタ（PMS）のフォーマットの注意1を変更	
	30. 2　絶対最大定格を変更	第30章　電気的特性
	30. 3. 2　オンチップ・オシレータ特性を変更	
	30. 4. 1　端子特性を変更	
	30. 4. 2　電源電流特性の備考を変更	
	30. 4. 2　電源電流特性のI_{DD2}，備考を変更，注8を追加	
	30. 4. 2　電源電流特性のUSB動作電流を変更，SNOOZE動作電流を追加	
	30. 6. 2　シリアル・インタフェースIICAを変更	
	30. 6. 3　USBを変更	
	30. 7. 1　A/Dコンバータ特性を変更	
	30. 10　フラッシュ・メモリ・プログラミング特性を変更	
	30. 11　フラッシュ・メモリ・プログラミング・モードの引き込み時のタイミング・スペックを変更	
	31. 1　32ピン製品を変更	第31章　外形図

RL78/G1C ユーザーズマニュアル
ハードウェア編

発行年月日　2012 年 2 月 28 日　Rev.0.01
2024 年 4 月 26 日　Rev.1.40

発行　ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

RL78/G1C

RENESAS

ルネサス エレクトロニクス株式会社

R01UH0348JJ0140