

RL78/G14

ユーザーズマニュアル ハードウェア編

16 ビット・シングルチップ・マイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。回路、ソフトウェアおよびこれらに関連する情報を使用する場合、お客様の責任において、お客様の機器・システムを設計ください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品または本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を組み込んだ製品の輸出入、製造、販売、利用、配布その他の行為を行うにあたり、第三者保有の技術の利用に関するライセンスが必要となる場合、当該ライセンス取得の判断および取得はお客様の責任において行ってください。
5. 当社製品を、全部または一部を問わず、改造、改変、複製、リパースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
6. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準：輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じて、当社は一切その責任を負いません。

7. あらゆる半導体製品は、外部攻撃からの安全性を 100%保証されているわけではありません。当社ハードウェア／ソフトウェア製品にはセキュリティ対策が組み込まれているものもありますが、これによって、当社は、セキュリティ脆弱性または侵害（当社製品または当社製品が使用されているシステムに対する不正アクセス・不正使用を含みますが、これに限りません。）から生じる責任を負うものではありません。当社は、当社製品または当社製品が使用されたあらゆるシステムが、不正な改変、攻撃、ウイルス、干渉、ハッキング、データの破壊または窃盗その他の不正な侵入行為（「脆弱性問題」といいます。）によって影響を受けないことを保証しません。当社は、脆弱性問題に起因したまたはこれに関連して生じた損害について、一切責任を負いません。また、法令において認められる限りにおいて、本資料および当社ハードウェア／ソフトウェア製品について、商品性および特定目的との合致に関する保証ならびに第三者の権利を侵害しないことの保証を含め、明示または黙示のいかなる保証も行いません。
8. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
10. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
12. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものいたします。
13. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
14. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

(Rev.5.0-1 2020.10)

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24（豊洲フォレシア）

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の

商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 静電気対策

CMOS 製品の取り扱いの際は静電気防止を心がけてください。CMOS 製品は強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、CMOS 製品を実装したボードについても同様の扱いをしてください。

2. 電源投入時の処置

電源投入時は、製品の状態は不定です。電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. 電源オフ時における入力信号

当該製品の電源がオフ状態のときに、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源オフ時における入力信号」についての記載のある製品は、その内容を守ってください。

4. 未使用端子の処理

未使用端子は、「未使用端子の処理」に従って処理してください。CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。

5. クロックについて

リセット時は、クロックが安定した後、リセットを解除してください。プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

6. 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOS 製品の入力がノイズなどに起因して、 V_{IL} (Max.) から V_{IH} (Min.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定の場合はもちろん、 V_{IL} (Max.) から V_{IH} (Min.) までの領域を通過する遷移期間中にチャタリングノイズなどが入らないように使用してください。

7. リザーブアドレス（予約領域）のアクセス禁止

リザーブアドレス（予約領域）のアクセスを禁止します。アドレス領域には、将来の拡張機能用に割り付けられている リザーブアドレス（予約領域）があります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

8. 製品間の相違について

型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。同じグループのマイコンでも型名が違くと、フラッシュメモリ、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が違う製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

対象者 このマニュアルは RL78/G14 の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示す各製品です。

- | | |
|------------------------------------|--|
| • 30 ピン : R5F104Ax (x = A, C-G) | • 48 ピン : R5F104Gx (x = A, C-H, J, K, L) |
| • 32 ピン : R5F104Bx (x = A, C-G) | • 52 ピン : R5F104Jx (x = C-H, J) |
| • 36 ピン : R5F104Cx (x = A, C-G) | • 64 ピン : R5F104Lx (x = C-H, J, K, L) |
| • 40 ピン : R5F104Ex (x = A, C-H) | • 80 ピン : R5F104Mx (x = F, G, H, J, K, L) |
| • 44 ピン : R5F104Fx (x = A, C-H, J) | • 100 ピン : R5F104Px (x = F, G, H, J, K, L) |

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 RL78/G14のマニュアルは、このマニュアルとソフトウェア編(RL78ファミリ共通)の2冊に分かれています。

RL78/G14
ユーザーズ・マニュアル
ハードウェア編

- 端子機能
- 内部ブロック機能
- 割り込み
- その他の内蔵周辺機能
- 電気的特性

RL78ファミリ
ユーザーズ・マニュアル
ソフトウェア編

- CPU機能
- 命令セット
- 命令の説明

読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

□ 一通りの機能を理解しようとするとき

→目次に従って読んでください。本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

□ レジスタ・フォーマットの見方

→ビット番号を□で囲んでいるものは、そのビット名称がアセンブラでは予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

□ RL78/G14マイクロコントローラの命令機能の詳細を知りたいとき

→別冊のRL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015J)を参照してください。

凡例	データ表記の重み：	左が上位桁，右が下位桁
	アクティブ・ロウの表記：	<u>xxx</u> (端子，信号名称に上線)
	注：	本文中につけた注の説明
	注意：	気をつけて読んでいただきたい内容
	備考：	本文の補足説明
	数の表記：	2進数...xxxxまたはxxxxB
		10進数...xxxx
		16進数...xxxxH

関連資料

デバイスの関連資料

資料名	資料番号	
	和文	英文
RL78/G14 ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0186E
RL78 ファミリ ユーザーズ・マニュアル ソフトウェア編	R01US0015J	R01US0015E

フラッシュ・メモリ書き込み用の資料(ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュメモリプログラマ ユーザーズマニュアル	—	—
RL78, 78K, V850, RX100, RX200, RX600 (RX64x除く), R8C, SH編	R20UT2923J	R20UT2923E
共通編	R20UT2922J	R20UT2922E
セットアップマニュアル	R20UT0930J	R20UT0930E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには，必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
ルネサス マイクロコンピュータ RL78 ファミリ	R01CP0003J	R01CP0003E
半導体パッケージ実装マニュアル	R50ZZ0003J	R50ZZ0003E
信頼性ハンドブック	R51ZZ0001J	R51ZZ0001E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

すべての商標および登録商標は、それぞれの所有者に帰属します。
EEPROMは、ルネサス エレクトロニクス株式会社の登録商標です。
SuperFlashは、米国 Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品は Silicon Storage Technology, Inc. からライセンスを受けた SuperFlash® を使用しています。

目次

1.	概説	1
1.1	特徴	1
1.2	型名一覧	5
1.3	端子接続図 (Top View)	11
1.3.1	30ピン製品	11
1.3.2	32ピン製品	12
1.3.3	36ピン製品	14
1.3.4	40ピン製品	15
1.3.5	44ピン製品	16
1.3.6	48ピン製品	17
1.3.7	52ピン製品	19
1.3.8	64ピン製品	20
1.3.9	80ピン製品	22
1.3.10	100ピン製品	23
1.4	端子名称	25
1.5	ブロック図	26
1.5.1	30ピン製品	26
1.5.2	32ピン製品	27
1.5.3	36ピン製品	28
1.5.4	40ピン製品	29
1.5.5	44ピン製品	30
1.5.6	48ピン製品	31
1.5.7	52ピン製品	32
1.5.8	64ピン製品	33
1.5.9	80ピン製品	34
1.5.10	100ピン製品	35
1.6	機能概要	36
2.	端子機能	55
2.1	ポート機能	55
2.1.1	30ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	56
2.1.2	32ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	58
2.1.3	36ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	60
2.1.4	40ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	62
2.1.5	44ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	64
2.1.6	48ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	66
2.1.7	52ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	68
2.1.8	64ピン(コード・フラッシュ・メモリ 16 KB～64 KB)	70
2.1.9	30ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	72
2.1.10	32ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	74
2.1.11	36ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	76
2.1.12	40ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	78
2.1.13	44ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	80
2.1.14	48ピン(コード・フラッシュ・メモリ 96 KB～512 KB)	82
2.1.15	52ピン(コード・フラッシュ・メモリ 96 KB～256 KB)	84

2.1.16	64ピン(コード・フラッシュ・メモリ96 KB～512 KB)	86
2.1.17	80ピン	88
2.1.18	100ピン	91
2.2	ポート以外の機能	94
2.2.1	製品別の搭載機能	94
2.2.2	機能説明	99
2.3	未使用端子の処理	101
2.4	端子ブロック図	102
3.	CPUアーキテクチャ	122
3.1	メモリ空間	122
3.1.1	内部プログラム・メモリ空間	140
3.1.2	ミラー領域	143
3.1.3	内部データ・メモリ空間	145
3.1.4	特殊機能レジスタ(SFR : Special Function Register)領域	146
3.1.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)領域	146
3.1.6	データ・メモリ・アドレッシング	147
3.2	プロセッサ・レジスタ	148
3.2.1	制御レジスタ	148
3.2.2	汎用レジスタ	151
3.2.3	ES, CSレジスタ	152
3.2.4	特殊機能レジスタ(SFR : Special Function Register)	153
3.2.5	拡張特殊機能レジスタ(2nd SFR : 2nd Special Function Register)	159
3.3	命令アドレスのアドレッシング	169
3.3.1	レラティブ・アドレッシング	169
3.3.2	イミディエト・アドレッシング	169
3.3.3	テーブル・インダイレクト・アドレッシング	170
3.3.4	レジスタ・インダイレクト・アドレッシング	171
3.4	処理データ・アドレスに対するアドレッシング	172
3.4.1	インプライド・アドレッシング	172
3.4.2	レジスタ・アドレッシング	172
3.4.3	ダイレクト・アドレッシング	173
3.4.4	ショート・ダイレクト・アドレッシング	174
3.4.5	SFRアドレッシング	175
3.4.6	レジスタ・インダイレクト・アドレッシング	176
3.4.7	ベースト・アドレッシング	177
3.4.8	ベースト・インデクスト・アドレッシング	180
3.4.9	スタック・アドレッシング	181
4.	ポート機能	184
4.1	ポートの機能	184
4.2	ポートの構成	185
4.2.1	ポート0	187
4.2.2	ポート1	187
4.2.3	ポート2	188
4.2.4	ポート3	190
4.2.5	ポート4	190
4.2.6	ポート5	191
4.2.7	ポート6	191

4.2.8	ポート7	191
4.2.9	ポート8	192
4.2.10	ポート10	192
4.2.11	ポート11	192
4.2.12	ポート12	193
4.2.13	ポート13	193
4.2.14	ポート14	194
4.2.15	ポート15	194
4.3	ポート機能を制御するレジスタ	195
4.3.1	ポート・モード・レジスタ (PMxx)	202
4.3.2	ポート・レジスタ (Pxx)	203
4.3.3	プルアップ抵抗オプション・レジスタ (PUxx)	205
4.3.4	ポート入力モード・レジスタ (PIMxx)	206
4.3.5	ポート出力モード・レジスタ (POMxx)	207
4.3.6	ポート・モード・コントロール・レジスタ (PMCxx)	208
4.3.7	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	209
4.3.8	周辺I/Oリダイレクション・レジスタ0 (PIOR0)	210
4.3.9	周辺I/Oリダイレクション・レジスタ1 (PIOR1)	212
4.3.10	グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)	213
4.4	ポート機能の動作	214
4.4.1	入出力ポートへの書き込み	214
4.4.2	入出力ポートからの読み出し	214
4.4.3	入出力ポートでの演算	214
4.4.4	EVDD ≤ VDDによる異電位(1.8 V系, 2.5 V系, 3 V系)対応	215
4.4.5	入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応	215
4.5	兼用機能使用時のレジスタの設定	218
4.5.1	兼用機能使用時の基本的な考え方	218
4.5.2	出力機能を使用しない兼用機能のレジスタ設定	219
4.5.3	使用するポート機能および兼用機能のレジスタ設定例	221
4.6	ポート機能使用時の注意事項	235
4.6.1	ポート・レジスタn (Pn)に対する1ビット・メモリ操作命令に関する注意事項	235
4.6.2	端子設定に関する注意事項	236
5.	クロック発生回路	237
5.1	クロック発生回路の機能	237
5.2	クロック発生回路の構成	240
5.3	クロック発生回路を制御するレジスタ	242
5.3.1	クロック動作モード制御レジスタ (CMC)	242
5.3.2	システム・クロック制御レジスタ (CKC)	245
5.3.3	クロック動作ステータス制御レジスタ (CSC)	247
5.3.4	発振安定時間カウンタ状態レジスタ (OSTC)	248
5.3.5	発振安定時間選択レジスタ (OSTS)	250
5.3.6	周辺イネーブル・レジスタ0, 1 (PER0, PER1)	252
5.3.7	サブシステム・クロック供給モード制御レジスタ (OSMC)	257
5.3.8	高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)	258
5.3.9	高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)	259
5.4	システム・クロック発振回路	260
5.4.1	X1発振回路	260
5.4.2	XT1発振回路	260

5.4.3	高速オンチップ・オシレータ	264
5.4.4	低速オンチップ・オシレータ	264
5.5	クロック発生回路の動作	265
5.6	クロックの制御	267
5.6.1	高速オンチップ・オシレータの設定例	267
5.6.2	X1発振回路の設定例	269
5.6.3	XT1発振回路の設定例	271
5.6.4	CPUクロック状態移行図	272
5.6.5	CPUクロックの移行前の条件と移行後の処理	278
5.6.6	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	280
5.6.7	クロック発振停止前の条件	281
5.7	発振子と発振回路定数	282
6.	タイマ・アレイ・ユニット	285
6.1	タイマ・アレイ・ユニットの機能	287
6.1.1	単独チャンネル動作機能	287
6.1.2	複数チャンネル連動動作機能	288
6.1.3	8ビット・タイマ動作機能(チャンネル1, 3のみ)	289
6.1.4	LIN-bus対応機能(ユニット0のチャンネル3のみ)	290
6.2	タイマ・アレイ・ユニットの構成	291
6.2.1	タイマ・カウンタ・レジスタ mn (TCRmn)	296
6.2.2	タイマ・データ・レジスタ mn (TDRmn)	298
6.3	タイマ・アレイ・ユニットを制御するレジスタ	299
6.3.1	周辺イネーブル・レジスタ 0 (PER0)	300
6.3.2	タイマ・クロック選択レジスタ m (TPSm)	301
6.3.3	タイマ・モード・レジスタ mn (TMRmn)	304
6.3.4	タイマ・ステータス・レジスタ mn (TSRmn)	309
6.3.5	タイマ・チャンネル許可ステータス・レジスタ m (TEm)	310
6.3.6	タイマ・チャンネル開始レジスタ m (TSm)	311
6.3.7	タイマ・チャンネル停止レジスタ m (TTm)	313
6.3.8	タイマ入力選択レジスタ 0 (TIS0)	314
6.3.9	タイマ出力許可レジスタ m (TOEm)	315
6.3.10	タイマ出力レジスタ m (TOm)	316
6.3.11	タイマ出力レベル・レジスタ m (TOLm)	317
6.3.12	タイマ出力モード・レジスタ m (TOMm)	318
6.3.13	入力切り替え制御レジスタ (ISC)	319
6.3.14	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)	320
6.3.15	タイマ入出力端子のポート機能を制御するレジスタ	323
6.4	タイマ・アレイ・ユニットの基本ルール	324
6.4.1	複数チャンネル連動動作機能の基本ルール	324
6.4.2	8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)	326
6.5	カウンタの動作	327
6.5.1	カウント・クロック (fCLK)	327
6.5.2	カウンタのスタート・タイミング	329
6.5.3	カウンタの動作	330
6.6	チャンネル出力(TOmn端子)の制御	335
6.6.1	TOmn端子の出力回路の構成	335
6.6.2	TOmn端子の出力設定	336
6.6.3	チャンネル出力操作時の注意事項	337

6.6.4	TOmnビットの一括操作	342
6.6.5	カウント動作開始時のタイマ割り込みとTOmn端子出力について	343
6.7	タイマ入力(TImn)の制御	344
6.7.1	TImnの入力回路構成	344
6.7.2	ノイズ・フィルタ	344
6.7.3	チャンネル入力操作時の注意事項	345
6.8	タイマ・アレイ・ユニットの単独チャンネル動作機能	346
6.8.1	インターバル・タイマ／方形波出力としての動作	346
6.8.2	外部イベント・カウンタとしての動作	351
6.8.3	分周器としての動作(ユニット0のチャンネル0のみ)	355
6.8.4	入力パルス間隔測定としての動作	359
6.8.5	入力信号のハイ／ロウ・レベル幅測定としての動作	363
6.8.6	ディレイ・カウンタとしての動作	367
6.9	タイマ・アレイ・ユニットの複数チャンネル連動動作機能	371
6.9.1	ワンショット・パルス出力機能としての動作	371
6.9.2	PWM機能としての動作	378
6.9.3	多重PWM出力機能としての動作	385
6.10	タイマ・アレイ・ユニット使用時の注意事項	393
6.10.1	タイマ出力使用時の注意事項	393
7.	タイマRJ	394
7.1	タイマRJの機能	394
7.2	タイマRJの構成	395
7.3	タイマRJを制御するレジスタ	396
7.3.1	周辺イネーブル・レジスタ1(PER1)	397
7.3.2	サブシステム・クロック供給モード制御レジスタ(OSMC)	398
7.3.3	タイマRJカウンタレジスタ0(TRJ0)	399
7.3.4	タイマRJ制御レジスタ0(TRJCR0)	400
7.3.5	タイマRJ I/O制御レジスタ0(TRJIOC0)	402
7.3.6	タイマRJモードレジスタ0(TRJMR0)	404
7.3.7	タイマRJイベント端子選択レジスタ0(TRJISR0)	405
7.3.8	ポート・モード・レジスタ0, 3, 4, 5(PM0, PM3, PM4, PM5)	406
7.4	タイマRJの動作	408
7.4.1	リロードレジスタとカウンタの書き換え動作	408
7.4.2	タイマモード	409
7.4.3	パルス出力モード	410
7.4.4	イベントカウンタモード	411
7.4.5	パルス幅測定モード	413
7.4.6	パルス周期測定モード	414
7.4.7	イベント・リンク・コントローラ(ELC)との連携による動作	415
7.4.8	各モード出力設定	415
7.5	タイマRJ使用上の注意事項	416
7.5.1	カウント動作開始, 停止制御	416
7.5.2	フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット)	416
7.5.3	カウンタレジスタへのアクセス	416
7.5.4	モード変更時	416
7.5.5	TRJ00, TRJIOC0端子の設定手順	417
7.5.6	タイマRJ未使用時	417
7.5.7	タイマRJ動作クロック停止時	417

7.5.8	STOPモード(イベントカウンタモード)の設定手順	418
7.5.9	STOPモード(イベントカウンタモードのみ)での機能制限	418
7.5.10	TSTOPビットによる強制カウント停止時	418
7.5.11	デジタルフィルタ	418
7.5.12	カウントソースにfilを選択する場合	418
8.	タイマRD	419
8.1	タイマRDの機能	419
8.2	タイマRDの構成	420
8.3	タイマRDを制御するレジスタ	421
8.3.1	周辺イネーブル・レジスタ1 (PER1)	422
8.3.2	タイマRD ELCレジスタ (TRDELIC)	423
8.3.3	タイマRDスタートレジスタ (TRDSTR)	424
8.3.4	タイマRDモードレジスタ (TRDMR)	425
8.3.5	タイマRD PWM機能選択レジスタ (TRDPMR)	426
8.3.6	タイマRD機能制御レジスタ (TRDFCR)	427
8.3.7	タイマRD出力マスタ許可レジスタ1 (TRDOER1)	429
8.3.8	タイマRD出力マスタ許可レジスタ2 (TRDOER2)	430
8.3.9	タイマRD出力制御レジスタ (TRDOCR)	431
8.3.10	タイマRD デジタルフィルタ機能選択レジスタ i (TRDDFi)(i = 0, 1)	435
8.3.11	タイマRD 制御レジスタ i (TRDCRi)(i = 0, 1)	438
8.3.12	タイマRD I/O制御レジスタ Ai (TRDIORAi)(i = 0, 1)	443
8.3.13	タイマRD I/O制御レジスタ Ci (TRDIORCi)(i = 0, 1)	445
8.3.14	タイマRDステータスレジスタ0 (TRDSR0)	447
8.3.15	タイマRDステータスレジスタ1 (TRDSR1)	451
8.3.16	タイマRD 割り込み許可レジスタ i (TRDIERi)(i = 0, 1)	455
8.3.17	タイマRD PWM機能出力レベル制御レジスタ i (TRDPOCRi)(i = 0, 1)	456
8.3.18	タイマRD カウンタ i (TRDi)(i = 0, 1)	457
8.3.19	タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)(i = 0, 1)	459
8.3.20	ポート・モード・レジスタ1 (PM1)	470
8.4	複数モードにかかわる共通事項	471
8.4.1	カウントソース	471
8.4.2	バッファ動作	472
8.4.3	同期動作	475
8.4.4	パルス出力強制遮断	476
8.4.5	イベント・リンク・コントローラ (ELC)からのイベント入力	478
8.4.6	イベント・リンク・コントローラ (ELC)/データ・トランスファ・コントローラ (DTC)へのイベント出力	478
8.5	タイマRDの動作	479
8.5.1	インプットキャプチャ機能	479
8.5.2	アウトプットコンペア機能	484
8.5.3	PWM機能	490
8.5.4	リセット同期PWMモード	495
8.5.5	相補PWMモード	499
8.5.6	PWM3モード	504
8.6	タイマRD 割り込み	508
8.7	タイマRD使用上の注意事項	510
8.7.1	SFR リード/ライトアクセス	510

8.7.2	モードの切り替え	511
8.7.3	カウントソース	511
8.7.4	インプットキャプチャ機能	511
8.7.5	TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順(i = 0, 1)	512
8.7.6	外部クロック TRDCLK	512
8.7.7	リセット同期PWMモード	512
8.7.8	相補PWMモード	513
9.	タイマRG	517
9.1	タイマRGの機能	517
9.2	タイマRGの構成	518
9.3	タイマRGを制御するレジスタ	519
9.3.1	周辺イネーブル・レジスタ1(PER1)	520
9.3.2	タイマRGモードレジスタ(TRGMR)	521
9.3.3	タイマRGカウント制御レジスタ(TRGCNTC)	522
9.3.4	タイマRG制御レジスタ(TRGCR)	523
9.3.5	タイマRG割り込み許可レジスタ(TRGIER)	524
9.3.6	タイマRGステータスレジスタ(TRGSR)	525
9.3.7	タイマRG I/O制御レジスタ(TRGIOR)	527
9.3.8	タイマRGカウンタ(TRG)	529
9.3.9	タイマRGジェネラルレジスタA, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD) ..	530
9.3.10	ポート・モード・レジスタ0, 5 (PM0, PM5)	532
9.4	タイマRGの動作	533
9.4.1	複数モード, 機能に関わる共通事項	533
9.4.2	タイマモード(インプットキャプチャ機能)	538
9.4.3	タイマモード(アウトプットコンペア機能)	541
9.4.4	PWMモード	545
9.4.5	位相計数モード	549
9.5	タイマRG 割り込み	551
9.6	タイマRG使用上の注意事項	553
9.6.1	位相計数モード時の位相差, オーバラップ, およびパルス幅	553
9.6.2	モード切り替え	553
9.6.3	カウントソース切り替え	553
9.6.4	TRGIOA, TRGIOB 端子の設定手順	554
9.6.5	外部クロック TRGCLKA, TRGCLKB	554
9.6.6	SFR リード/ライトアクセス	555
9.6.7	カウント停止時のインプットキャプチャ動作	555
10.	リアルタイム・クロック	556
10.1	リアルタイム・クロックの機能	556
10.2	リアルタイム・クロックの構成	556
10.3	リアルタイム・クロックを制御するレジスタ	558
10.3.1	周辺イネーブル・レジスタ0(PER0)	559
10.3.2	サブシステム・クロック供給モード制御レジスタ(OSMC)	560
10.3.3	リアルタイム・クロック・コントロール・レジスタ0(RTCC0)	561
10.3.4	リアルタイム・クロック・コントロール・レジスタ1(RTCC1)	562
10.3.5	秒カウント・レジスタ(SEC)	564
10.3.6	分カウント・レジスタ(MIN)	564
10.3.7	時カウント・レジスタ(HOUR)	565

10.3.8	日カウント・レジスタ (DAY)	567
10.3.9	曜日カウント・レジスタ (WEEK)	568
10.3.10	月カウント・レジスタ (MONTH)	569
10.3.11	年カウント・レジスタ (YEAR)	569
10.3.12	時計誤差補正レジスタ (SUBCUD)	570
10.3.13	アラーム分レジスタ (ALARMWM)	571
10.3.14	アラーム時レジスタ (ALARMWH)	571
10.3.15	アラーム曜日レジスタ (ALARMWW)	571
10.3.16	ポート・モード・レジスタ 3 (PM3)	572
10.3.17	ポート・レジスタ 3 (P3)	572
10.4	リアルタイム・クロックの動作	573
10.4.1	リアルタイム・クロックの動作開始	573
10.4.2	動作開始後のHALT/STOPモードへの移行	574
10.4.3	リアルタイム・クロックのカウンタ読み出し／書き込み	575
10.4.4	リアルタイム・クロックのアラーム設定	578
10.4.5	リアルタイム・クロックの1 Hz出力	579
10.4.6	リアルタイム・クロックの時計誤差補正例	580
11.	12ビット・インターバル・タイマ	585
11.1	12ビット・インターバル・タイマの機能	585
11.2	12ビット・インターバル・タイマの構成	585
11.3	12ビット・インターバル・タイマを制御するレジスタ	586
11.3.1	周辺イネーブル・レジスタ 0 (PER0)	586
11.3.2	サブシステム・クロック供給モード制御レジスタ (OSMC)	587
11.3.3	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)	588
11.4	12ビット・インターバル・タイマの動作	589
11.4.1	12ビット・インターバル・タイマの動作タイミング	589
11.4.2	HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行	590
12.	クロック出力／ブザー出力制御回路	591
12.1	クロック出力／ブザー出力制御回路の機能	591
12.2	クロック出力／ブザー出力制御回路の構成	593
12.3	クロック出力／ブザー出力制御回路を制御するレジスタ	593
12.3.1	クロック出力選択レジスタ n (CKSn)	593
12.3.2	クロック出力／ブザー出力端子のポート機能を制御するレジスタ	595
12.4	クロック出力／ブザー出力制御回路の動作	596
12.4.1	出力端子の動作	596
12.5	クロック出力／ブザー出力制御回路の注意事項	596
13.	ウォッチドッグ・タイマ	597
13.1	ウォッチドッグ・タイマの機能	597
13.2	ウォッチドッグ・タイマの構成	598
13.3	ウォッチドッグ・タイマを制御するレジスタ	599
13.3.1	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)	599
13.4	ウォッチドッグ・タイマの動作	600
13.4.1	ウォッチドッグ・タイマの動作制御	600
13.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	602
13.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	603

13.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	605
14.	A/Dコンバータ	606
14.1	A/Dコンバータの機能	606
14.2	A/Dコンバータの構成	609
14.3	A/Dコンバータを制御するレジスタ	611
14.3.1	周辺イネーブル・レジスタ 0 (PER0)	612
14.3.2	A/Dコンバータ・モード・レジスタ 0 (ADM0)	613
14.3.3	A/Dコンバータ・モード・レジスタ 1 (ADM1)	621
14.3.4	A/Dコンバータ・モード・レジスタ 2 (ADM2)	622
14.3.5	10ビットA/D変換結果レジスタ (ADCR)	624
14.3.6	8ビットA/D変換結果レジスタ (ADCRH)	624
14.3.7	アナログ入力チャンネル指定レジスタ (ADS)	625
14.3.8	変換結果比較上限値設定レジスタ (ADUL)	627
14.3.9	変換結果比較下限値設定レジスタ (ADLL)	627
14.3.10	A/Dテスト・レジスタ (ADTES)	628
14.3.11	アナログ入力端子のポート機能を制御するレジスタ	629
14.4	A/Dコンバータの変換動作	630
14.5	入力電圧と変換結果	632
14.6	A/Dコンバータの動作モード	633
14.6.1	ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)	633
14.6.2	ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)	634
14.6.3	ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)	635
14.6.4	ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)	636
14.6.5	ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード) ..	637
14.6.6	ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)	638
14.6.7	ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード) ..	639
14.6.8	ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)	640
14.6.9	ハードウェア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード)	641
14.6.10	ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)	642
14.6.11	ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)	643
14.6.12	ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)	644
14.7	A/Dコンバータの設定フロー・チャート	645
14.7.1	ソフトウェア・トリガ・モード設定	646
14.7.2	ハードウェア・トリガ・ノーウエイト・モード設定	647
14.7.3	ハードウェア・トリガ・ウエイト・モード設定	648
14.7.4	温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)	649
14.7.5	テスト・モード設定	650
14.8	SNOOZEモード機能	651
14.9	A/Dコンバータ特性表の読み方	655
14.10	A/Dコンバータの注意事項	658

15.	D/Aコンバータ	662
15.1	D/Aコンバータの機能	662
15.2	D/Aコンバータの構成	663
15.3	D/Aコンバータを制御するレジスタ	664
15.3.1	周辺イネーブル・レジスタ 1 (PER1)	664
15.3.2	D/Aコンバータ・モード・レジスタ (DAM)	665
15.3.3	D/A変換値設定レジスタ i (DACSi)(i = 0, 1)	665
15.3.4	イベント出力先選択レジスタ n (ELSELRn), n = 00 ~ 25	666
15.3.5	アナログ入力端子のポート機能を制御するレジスタ	666
15.4	D/Aコンバータの動作	667
15.4.1	通常モード時の動作	667
15.4.2	リアルタイム出力モード時の動作	668
15.4.3	D/A変換値の出力タイミング	669
15.5	D/Aコンバータ使用上の注意事項	670
16.	コンパレータ	671
16.1	コンパレータの機能	671
16.2	コンパレータの構成	672
16.3	コンパレータを制御するレジスタ	673
16.3.1	周辺イネーブル・レジスタ 1 (PER1)	673
16.3.2	コンパレータモード設定レジスタ (COMPMDR)	674
16.3.3	コンパレータフィルタ制御レジスタ (COMPFIR)	676
16.3.4	コンパレータ出力制御レジスタ (COMPOCR)	678
16.3.5	アナログ入力端子のポート機能を制御するレジスタ	679
16.4	動作説明	680
16.4.1	コンパレータ i デジタルフィルタ (i = 0, 1)	683
16.4.2	コンパレータ i 割り込み (i = 0, 1)	683
16.4.3	イベント・リンク・コントローラ (ELC) へのイベント信号出力	684
16.4.4	コンパレータ i 出力 (i = 0, 1)	685
16.4.5	コンパレータクロック停止/供給	685
17.	シリアル・アレイ・ユニット	686
17.1	シリアル・アレイ・ユニットの機能	688
17.1.1	簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)	688
17.1.2	UART (UART0-UART3)	689
17.1.3	簡易 I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)	690
17.2	シリアル・アレイ・ユニットの構成	691
17.2.1	シフト・レジスタ	695
17.2.2	シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビット	695
17.3	シリアル・アレイ・ユニットを制御するレジスタ	697
17.3.1	周辺イネーブル・レジスタ 0 (PER0)	698
17.3.2	シリアル・クロック選択レジスタ m (SPSm)	699
17.3.3	シリアル・モード・レジスタ mn (SMRmn)	701
17.3.4	シリアル通信動作設定レジスタ mn (SCRmn)	702
17.3.5	シリアル・データ・レジスタ mn (SDRmn)	705
17.3.6	シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)	707
17.3.7	シリアル・ステータス・レジスタ mn (SSRmn)	708
17.3.8	シリアル・チャンネル開始レジスタ m (SSm)	710
17.3.9	シリアル・チャンネル停止レジスタ m (STm)	711

17.3.10	シリアル・チャネル許可ステータス・レジスタ m (SEm)	712
17.3.11	シリアル出力許可レジスタ m (SOEm)	713
17.3.12	シリアル出力レジスタ m (SOm)	714
17.3.13	シリアル出力レベル・レジスタ m (SOLm)	715
17.3.14	シリアル・スタンバイ・コントロール・レジスタ m (SSCm)	717
17.3.15	入力切り替え制御レジスタ (ISC)	718
17.3.16	ノイズ・フィルタ許可レジスタ 0 (NFEN0)	719
17.3.17	シリアル入出力端子のポート機能を制御するレジスタ	720
17.4	動作停止モード	721
17.4.1	ユニット単位で動作停止とする場合	721
17.4.2	チャネルごとに動作停止とする場合	722
17.5	簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作	723
17.5.1	マスタ送信	726
17.5.2	マスタ受信	734
17.5.3	マスタ送受信	742
17.5.4	スレーブ送信	750
17.5.5	スレーブ受信	758
17.5.6	スレーブ送受信	764
17.5.7	SNOOZE モード機能	772
17.5.8	転送クロック周波数の算出	776
17.5.9	簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信時における エラー発生時の処理手順	778
17.6	スレーブセレクト入力機能付クロック同期シリアル通信の動作	779
17.6.1	スレーブ送信	783
17.6.2	スレーブ受信	793
17.6.3	スレーブ送受信	800
17.6.4	転送クロック周波数の算出	810
17.6.5	スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の 処理手順	812
17.7	UART (UART0-UART3) 通信の動作	813
17.7.1	UART 送信	816
17.7.2	UART 受信	825
17.7.3	SNOOZE モード機能	832
17.7.4	ボー・レートの算出	840
17.7.5	UART (UART0-UART3) 通信時におけるエラー発生時の処理手順	844
17.8	LIN 通信の動作	845
17.8.1	LIN 送信	845
17.8.2	LIN 受信	848
17.9	簡易 I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作	853
17.9.1	アドレス・フィールド送信	856
17.9.2	データ送信	861
17.9.3	データ受信	864
17.9.4	ストップ・コンディション発生	868
17.9.5	転送レートの算出	869
17.9.6	簡易 I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時における エラー発生時の処理手順	872
18.	シリアル・インタフェース IICA	873
18.1	シリアル・インタフェース IICA の機能	873

18.2	シリアル・インタフェース IICA の構成	876
18.3	シリアル・インタフェース IICA を制御するレジスタ	879
18.3.1	周辺イネーブル・レジスタ 0 (PER0)	880
18.3.2	IICA コントロール・レジスタ n0 (IICCTLn0)	880
18.3.3	IICA ステータス・レジスタ n (IICSn)	885
18.3.4	IICA フラグ・レジスタ n (IICFn)	887
18.3.5	IICA コントロール・レジスタ n1 (IICCTLn1)	889
18.3.6	IICA ロウ・レベル幅設定レジスタ n (IICWLn)	891
18.3.7	IICA ハイ・レベル幅設定レジスタ n (IICWHn)	891
18.3.8	ポート・モード・レジスタ 6 (PM6)	892
18.4	I ² C バス・モードの機能	893
18.4.1	端子構成	893
18.4.2	IICWLn, IICWHn レジスタによる転送クロック設定方法	894
18.5	I ² C バスの定義および制御方法	896
18.5.1	スタート・コンディション	896
18.5.2	アドレス	897
18.5.3	転送方向指定	897
18.5.4	アクノリッジ (ACK)	898
18.5.5	ストップ・コンディション	899
18.5.6	クロック・ストレッチ	900
18.5.7	クロック・ストレッチ解除方法	902
18.5.8	割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御	903
18.5.9	アドレスの一致検出方法	904
18.5.10	エラーの検出	904
18.5.11	拡張コード	905
18.5.12	アービトレーション	906
18.5.13	ウエイク・アップ機能	908
18.5.14	通信予約	911
18.5.15	その他の注意事項	915
18.5.16	通信動作	916
18.5.17	I ² C 割り込み要求 (INTIICAn) の発生タイミング	924
18.6	タイミング・チャート	945
19.	データ・トランスファ・コントローラ (DTC)	961
19.1	DTC の機能	961
19.2	DTC の構成	963
19.3	DTC を制御するレジスタ	964
19.3.1	DTC コントロールデータ領域と DTC ベクタテーブル領域の配置	965
19.3.2	コントロールデータの配置	966
19.3.3	ベクタテーブル	968
19.3.4	周辺イネーブル・レジスタ 1 (PER1)	970
19.3.5	DTC 制御レジスタ j (DTCCRj) (j = 0 ~ 23)	971
19.3.6	DTC ブロックサイズレジスタ j (DTBLSj) (j = 0 ~ 23)	972
19.3.7	DTC 転送回数レジスタ j (DTCCTj) (j = 0 ~ 23)	972
19.3.8	DTC 転送回数リロードレジスタ j (DTRL Dj) (j = 0 ~ 23)	973
19.3.9	DTC ソースアドレスレジスタ j (DTSARj) (j = 0 ~ 23)	973
19.3.10	DTC デスティネーションアドレスレジスタ j (DTDARj) (j = 0 ~ 23)	973
19.3.11	DTC 起動許可レジスタ i (DTCENi) (i = 0 ~ 4)	974
19.3.12	DTC ベースアドレスレジスタ (DTCBAR)	977

19.4	DTCの動作	977
19.4.1	起動要因	978
19.4.2	ノーマルモード	979
19.4.3	リポートモード	982
19.4.4	チェーン転送	986
19.5	DTC使用上の注意事項	988
19.5.1	DTCのコントロールデータおよびベクタテーブルの設定	988
19.5.2	DTCコントロールデータ領域とDTCベクタテーブル領域の配置	988
19.5.3	DTC保留命令	989
19.5.4	データ・フラッシュ空間にアクセスする場合の動作	989
19.5.5	DTC実行クロック数	990
19.5.6	DTC応答時間	991
19.5.7	DTC起動要因	991
19.5.8	スタンバイ・モード時の動作	992
20.	イベント・リンク・コントローラ(ELC)	993
20.1	ELCの機能	993
20.2	ELCの構成	993
20.3	ELCを制御するレジスタ	994
20.3.1	イベント出力先選択レジスタ n (ELSELn) (n = 00 ~ 25)	995
20.4	ELCの動作	998
21.	割り込み機能	1000
21.1	割り込み機能の種類	1000
21.2	割り込み要因と構成	1000
21.3	割り込み機能を制御するレジスタ	1007
21.3.1	割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	1011
21.3.2	割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	1013
21.3.3	優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)	1015
21.3.4	外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)	1018
21.3.5	プログラム・ステータス・ワード (PSW)	1020
21.4	割り込み処理動作	1021
21.4.1	マスカブル割り込み要求の受け付け動作	1021
21.4.2	ソフトウェア割り込み要求の受け付け動作	1024
21.4.3	多重割り込み処理	1024
21.4.4	除算命令中の割り込み処理	1028
21.4.5	割り込み要求の保留	1030
22.	キー割り込み機能	1031
22.1	キー割り込みの機能	1031
22.2	キー割り込みの構成	1031
22.3	キー割り込みを制御するレジスタ	1033
22.3.1	キー・リターン・モード・レジスタ (KRM)	1033
22.3.2	ポート・モード・レジスタ 7 (PM7)	1034
23.	スタンバイ機能	1035
23.1	スタンバイ機能	1035

23.2	スタンバイ機能を制御するレジスタ	1036
23.3	スタンバイ機能の動作	1037
23.3.1	HALTモード	1037
23.3.2	STOPモード	1042
23.3.3	SNOOZEモード	1047
24.	リセット機能	1051
24.1	リセット動作のタイミング	1053
24.2	リセット要因を確認するレジスタ	1057
24.2.1	リセット・コントロール・フラグ・レジスタ (RESF)	1057
25.	パワーオン・リセット回路	1059
25.1	パワーオン・リセット回路の機能	1059
25.2	パワーオン・リセット回路の構成	1060
25.3	パワーオン・リセット回路の動作	1060
26.	電圧検出回路	1064
26.1	電圧検出回路の機能	1064
26.2	電圧検出回路の構成	1065
26.3	電圧検出回路を制御するレジスタ	1065
26.3.1	電圧検出レジスタ (LVIM)	1066
26.3.2	電圧検出レベル・レジスタ (LVIS)	1067
26.4	電圧検出回路の動作	1070
26.4.1	リセット・モードとして使用する場合の設定	1070
26.4.2	割り込みモードとして使用する場合の設定	1072
26.4.3	割り込み&リセット・モードとして使用時の設定	1074
26.5	電圧検出回路の注意事項	1080
27.	安全機能	1082
27.1	安全機能の概要	1082
27.2	安全機能で使用するレジスタ	1083
27.3	安全機能の動作	1083
27.3.1	フラッシュ・メモリCRC演算機能(高速CRC)	1083
27.3.1.1	フラッシュ・メモリCRC制御レジスタ (CRC0CTL)	1084
27.3.1.2	フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	1085
27.3.2	CRC演算機能(汎用CRC)	1087
27.3.2.1	CRC入力レジスタ (CRCIN)	1088
27.3.2.2	CRCデータ・レジスタ (CRCD)	1089
27.3.3	RAMパリティ・エラー検出機能	1090
27.3.3.1	RAMパリティ・エラー制御レジスタ (RPECTL)	1090
27.3.4	RAMガード機能	1092
27.3.4.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1092
27.3.5	SFRガード機能	1093
27.3.5.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1093
27.3.6	不正メモリ・アクセス検出機能	1094
27.3.6.1	不正メモリ・アクセス検出制御レジスタ (IAWCTL)	1095
27.3.7	周波数検出機能	1096
27.3.7.1	タイマ入力選択レジスタ 0 (TIS0)	1097
27.3.8	A/Dテスト機能	1098

27.3.8.1	A/Dテスト・レジスタ (ADTES)	1100
27.3.8.2	アナログ入力チャネル指定レジスタ (ADS)	1101
27.3.9	入出力端子のデジタル出力信号レベル検出機能	1103
27.3.9.1	ポート・モード選択レジスタ (PMS)	1103
28.	レギュレータ	1104
28.1	レギュレータの概要	1104
29.	オプション・バイト	1105
29.1	オプション・バイトの機能	1105
29.1.1	ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)	1105
29.1.2	オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)	1106
29.2	ユーザ・オプション・バイトのフォーマット	1107
29.3	オンチップ・デバッグ・オプション・バイトのフォーマット	1113
29.4	オプション・バイトの設定	1114
30.	フラッシュ・メモリ	1115
30.1	フラッシュ・メモリ・プログラマによるシリアル・プログラミング	1116
30.1.1	プログラミング環境	1118
30.1.2	通信方式	1118
30.2	外部デバイス (UART 内蔵) によるシリアル・プログラミング	1119
30.2.1	プログラミング環境	1119
30.2.2	通信方式	1120
30.3	オンボード上の端子処理	1121
30.3.1	P40/TOOL0 端子	1121
30.3.2	RESET 端子	1121
30.3.3	ポート端子	1122
30.3.4	REGC 端子	1122
30.3.5	X1, X2 端子	1122
30.3.6	電源	1122
30.4	プログラミング方法	1123
30.4.1	シリアル・プログラミング手順	1123
30.4.2	フラッシュ・メモリ・プログラミング・モード	1124
30.4.3	通信方式	1126
30.4.4	通信コマンド	1127
30.5	専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)	1129
30.6	セルフ・プログラミング	1130
30.6.1	セルフ・プログラミング手順	1131
30.6.2	ブート・スワップ機能	1132
30.6.3	フラッシュ・シールド・ウインドウ機能	1134
30.7	セキュリティ設定	1135
30.8	データ・フラッシュ	1137
30.8.1	データ・フラッシュの概要	1137
30.8.2	データ・フラッシュを制御するレジスタ	1138
30.8.2.1	データ・フラッシュ・コントロール・レジスタ (DFLCTL)	1138
30.8.3	データ・フラッシュへのアクセス手順	1139
31.	オンチップ・デバッグ機能	1140
31.1	E1 オンチップデバッグエミュレータとの接続	1140

31.2	オンチップ・デバッグ・セキュリティ ID	1141
31.3	ユーザ資源の確保	1141
32.	10進補正(BCD)回路	1143
32.1	10進補正回路の機能	1143
32.2	10進補正回路で使用するレジスタ	1143
32.2.1	BCD補正結果レジスタ(BCDADJ)	1143
32.3	10進補正回路の動作	1144
33.	命令セットの概要	1146
33.1	凡例	1147
33.1.1	オペランドの表現形式と記述方法	1147
33.1.2	オペレーション欄の説明	1148
33.1.3	フラグ動作欄の説明	1149
33.1.4	PREFIX命令	1149
33.2	オペレーション一覧	1150
34.	電氣的特性(TA = -40 ~ +85 °C)	1168
34.1	絶対最大定格	1169
34.2	発振回路特性	1171
34.2.1	X1, XT1特性	1171
34.2.2	オンチップ・オシレータ特性	1171
34.3	DC特性	1172
34.3.1	端子特性	1172
34.3.2	電源電流特性	1177
34.4	AC特性	1191
34.5	周辺機能特性	1198
34.5.1	シリアル・アレイ・ユニット	1198
34.5.2	シリアル・インタフェースIICA	1226
34.6	アナログ特性	1230
34.6.1	A/Dコンバータ特性	1230
34.6.2	温度センサ／内部基準電圧特性	1234
34.6.3	D/Aコンバータ	1234
34.6.4	コンパレータ	1235
34.6.5	POR回路特性	1235
34.6.6	LVD回路特性	1236
34.6.7	電源電圧立ち上がり傾き特性	1237
34.7	RAMデータ保持特性	1238
34.8	フラッシュ・メモリ・プログラミング特性	1238
34.9	専用フラッシュ・メモリ・プログラマ通信(UART)	1239
34.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1239
35.	電氣的特性(G: 産業用途 TA = -40 ~ +105 °C)	1240
35.1	絶対最大定格	1242
35.2	発振回路特性	1244
35.2.1	X1, XT1特性	1244
35.2.2	オンチップ・オシレータ特性	1244

35.3	DC特性	1245
35.3.1	端子特性	1245
35.3.2	電源電流特性	1250
35.4	AC特性	1264
35.5	周辺機能特性	1270
35.5.1	シリアル・アレイ・ユニット	1270
35.5.2	シリアル・インタフェースIICA	1292
35.6	アナログ特性	1293
35.6.1	A/Dコンバータ特性	1293
35.6.2	温度センサ／内部基準電圧特性	1297
35.6.3	D/Aコンバータ	1297
35.6.4	コンパレータ	1298
35.6.5	POR回路特性	1298
35.6.6	LVD回路特性	1299
35.6.7	電源電圧立ち上がり傾き特性	1300
35.7	RAMデータ保持特性	1301
35.8	フラッシュ・メモリ・プログラミング特性	1301
35.9	専用フラッシュ・メモリ・プログラマ通信(UART)	1302
35.10	フラッシュ・メモリ・プログラミング・モードの引き込みタイミング	1302
36.	外形図	1303
36.1	30ピン製品	1303
36.2	32ピン製品	1304
36.3	36ピン製品	1309
36.4	40ピン製品	1310
36.5	44ピン製品	1313
36.6	48ピン製品	1317
36.7	52ピン製品	1323
36.8	64ピン製品	1325
36.9	80ピン製品	1332
36.10	100ピン製品	1336
付録A	改版履歴	1340
A.1	本版で改訂された主な箇所	1340
A.2	前版までの改版履歴	1341

第1章 概説

1.1 特徴

超低消費電力テクノロジー

- $V_{DD} = 1.6 \sim 5.5$ Vの単一電源、1.8 V系の低電圧動作可能
- HALTモード
- STOPモード
- SNOOZEモード

RL78 CPUコア

- 3段パイプラインのCISCアーキテクチャ
- 最小命令実行時間：高速($0.03125 \mu\text{s}$ ：高速オンチップ・オシレータ・クロック 32 MHz動作時)から超低速($30.5 \mu\text{s}$ ：サブシステム・クロック 32.768 kHz動作時)までを変更可能
- 乗除・積和演算命令対応
- アドレス空間：1 Mバイト
- 汎用レジスタ：8ビット・レジスタ $\times 8 \times 4$ バンク
- 内蔵RAM：2.5 KB $\sim$ 48 KB

コード・フラッシュ・メモリ

- コード・フラッシュ・メモリ：16 KB $\sim$ 512 KB
- ブロック・サイズ：1 KB
- ブロック消去禁止、書き換え禁止(セキュリティ機能)
- オンチップ・デバッグ機能内蔵
- セルフ・プログラミング；ブート・スワップ機能とフラッシュ・シールド・ウインドウ機能あり

データ・フラッシュ・メモリ

- データ・フラッシュ・メモリ：4 KB, 8 KB
- バックグラウンド・オペレーション(BGO)；データ・フラッシュ書き換え中に、プログラム・メモリ内の命令実行が可能
- 書き換え回数：1,000,000回(TYP.)
- 書き換え電圧： $V_{DD} = 1.8 \sim 5.5$ V

高速オンチップ・オシレータ

- 64 MHz/48 MHz/32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHzから選択
- 高精度 $\pm 1.0\%$ ($V_{DD} = 1.8 \sim 5.5$ V, $T_A = -20 \sim +85$ °C)

動作周囲温度

- $T_A = -40 \sim +85$ °C (A：民生用途, D：産業用途)
- $T_A = -40 \sim +105$ °C (G：産業用途)

電源管理とリセット機能

- パワーオン・リセット(POR)回路内蔵
- 電圧検出(LVD)回路内蔵(割り込み, リセットを14段階で選択)

データ・トランスファ・コントローラ(DTC)

- 転送モード: ノーマル転送モード, リピート転送モード, ブロック転送モード
- 起動要因: 割り込み要因により起動
- チェーン転送機能あり

イベント・リンク・コントローラ(ELC)

- 19~26種類のイベント信号を特定の周辺機能へリンク可能

シリアル・インタフェース

- 簡易SPI(CSI注): 3~8チャンネル
- UART/UART(LIN-bus対応): 3~4チャンネル
- I²C/簡易I²C: 4~10チャンネル

タイマ

- 16ビット・タイマ: 8~12チャンネル
(タイマ・アレイ・ユニット(TAU): 4~8チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)
- 12ビット・インターバル・タイマ: 1チャンネル
- リアルタイム・クロック: 1チャンネル(99年カレンダー, アラーム機能, 時計補正機能)
- ウォッチドッグ・タイマ: 1チャンネル(専用の低速オンチップ・オシレータ・クロックで動作可能)

A/Dコンバータ

- 8/10ビット分解能A/Dコンバータ($V_{DD} = 1.6 \sim 5.5 \text{ V}$)
- アナログ入力: 8~20チャンネル
- 内部基準電圧(1.45 V)と温度センサを搭載

D/Aコンバータ

- 8ビット分解能D/Aコンバータ($V_{DD} = 1.6 \sim 5.5 \text{ V}$)
- アナログ出力: 0~2チャンネル
- 出力電圧: $0 \text{ V} \sim V_{DD}$
- リアルタイム出力機能を搭載

コンパレータ

- 0~2チャンネル
- 動作モード: コンパレータ高速モード, コンパレータ低速モード, ウィンドウモード
- 基準電圧は外部基準電圧と内部基準電圧の選択が可能

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

入出力ポート

- I/Oポート：26～92本(N-chオープン・ドレイン入出力[6 V耐压]：2～4本，N-chオープン・ドレイン入出力[V_{DD} 耐压/EV_{DD} 耐压]：10～28本)
- N-chオープン・ドレイン，TTL入力バッファ，内蔵プルアップの切り替え可能
- 異電位(1.8/2.5/3 V系)動作デバイスと接続可能
- キー割り込み機能内蔵
- クロック出力/ブザー出力制御回路内蔵

その他

- 10進補正(BCD)回路内蔵

備考 製品によって、搭載している機能が異なります。1.6 機能概要を参照してください。

○ROM, RAM容量

フラッシュ ROM	データ・ フラッシュ	RAM	RL78/G14			
			30ピン	32ピン	36ピン	40ピン
192 KB	8 KB	20 KB	—	—	—	R5F104EH
128 KB	8 KB	16 KB	R5F104AG	R5F104BG	R5F104CG	R5F104EG
96 KB	8 KB	12 KB	R5F104AF	R5F104BF	R5F104CF	R5F104EF
64 KB	4 KB	5.5 KB 注	R5F104AE	R5F104BE	R5F104CE	R5F104EE
48 KB	4 KB	5.5 KB 注	R5F104AD	R5F104BD	R5F104CD	R5F104ED
32 KB	4 KB	4 KB	R5F104AC	R5F104BC	R5F104CC	R5F104EC
16 KB	4 KB	2.5 KB	R5F104AA	R5F104BA	R5F104CA	R5F104EA

フラッシュ ROM	データ・ フラッシュ	RAM	RL78/G14			
			44ピン	48ピン	52ピン	64ピン
512 KB	8 KB	48 KB 注	—	R5F104GL	—	R5F104LL
384 KB	8 KB	32 KB	—	R5F104GK	—	R5F104LK
256 KB	8 KB	24 KB 注	R5F104FJ	R5F104GJ	R5F104JJ	R5F104LJ
192 KB	8 KB	20 KB	R5F104FH	R5F104GH	R5F104JH	R5F104LH
128 KB	8 KB	16 KB	R5F104FG	R5F104GG	R5F104JG	R5F104LG
96 KB	8 KB	12 KB	R5F104FF	R5F104GF	R5F104JF	R5F104LF
64 KB	4 KB	5.5 KB 注	R5F104FE	R5F104GE	R5F104JE	R5F104LE
48 KB	4 KB	5.5 KB 注	R5F104FD	R5F104GD	R5F104JD	R5F104LD
32 KB	4 KB	4 KB	R5F104FC	R5F104GC	R5F104JC	R5F104LC
16 KB	4 KB	2.5 KB	R5F104FA	R5F104GA	—	—

フラッシュ ROM	データ・ フラッシュ	RAM	RL78/G14	
			80ピン	100ピン
512 KB	8 KB	48 KB 注	R5F104ML	R5F104PL
384 KB	8 KB	32 KB	R5F104MK	R5F104PK
256 KB	8 KB	24 KB 注	R5F104MJ	R5F104PJ
192 KB	8 KB	20 KB	R5F104MH	R5F104PH
128 KB	8 KB	16 KB	R5F104MG	R5F104PG
96 KB	8 KB	12 KB	R5F104MF	R5F104PF

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品のRAM領域の一部を使用します。対象製品とフラッシュ・ライブラリが使用するRAM領域のスタートアドレスを示します。

R5F104xD (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xE (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xJ (x = F, G, J, L, M, P) : スタート・アドレス F9F00H

R5F104xL (x = G, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルフRAMリスト(R20UT2943)を参照してください。

1.2 型名一覧

図1-1 RL78/G14の型名とメモリサイズ・パッケージ

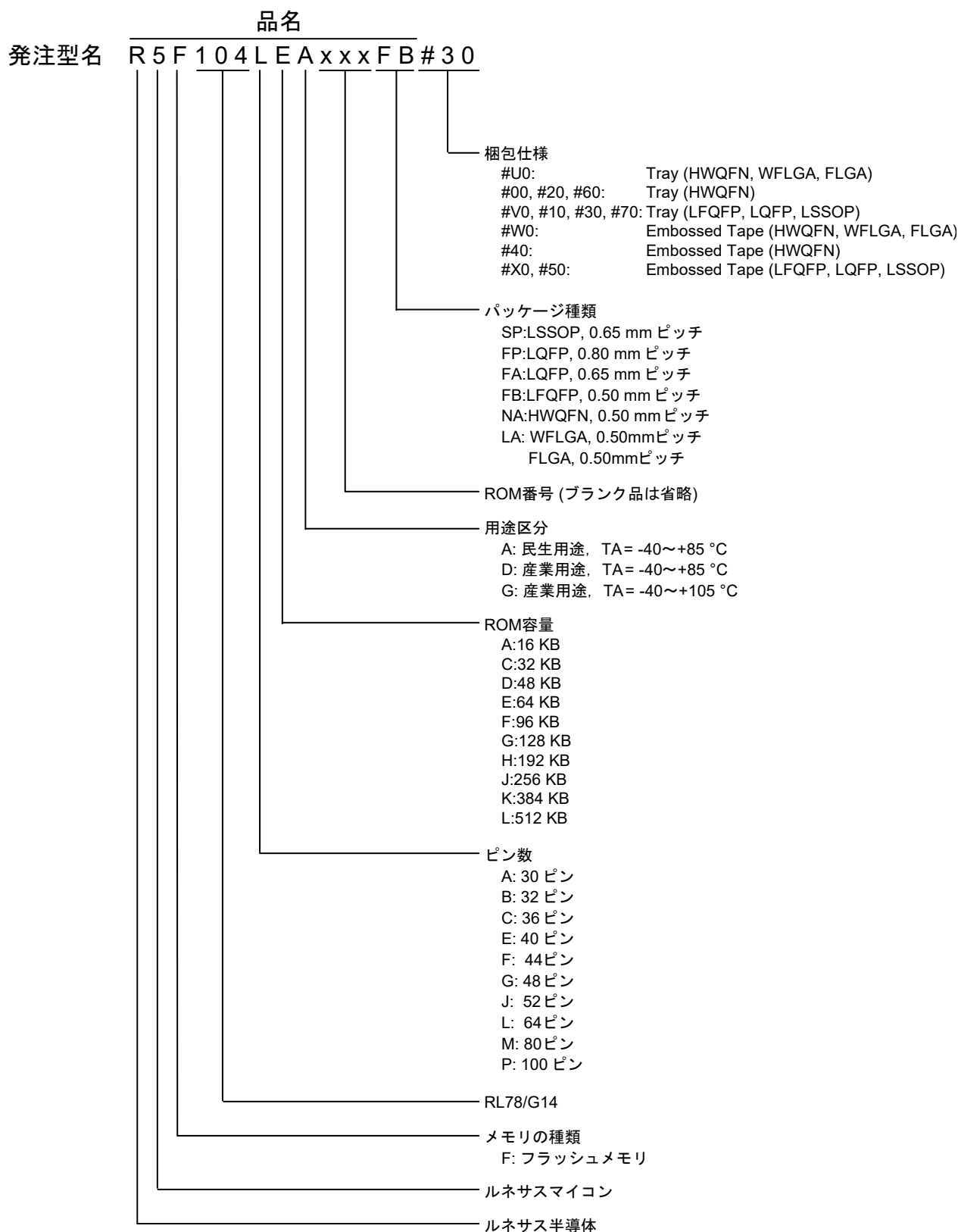


表 1 - 1 発注型名一覧 (1/5)

ピン数	パッケージ	用途 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
30 ピン	30 ピン・プラスチック LSSOP (7.62 mm (300), 0.65 mm ピッチ)	A	R5F104AAASP, R5F104ACASP, R5F104ADASP, R5F104AEASP, R5F104AFASP, R5F104AGASP	#V0, #10, #30, #X0, #50, #70	PLSP0030JB-B
		D	R5F104AADSP, R5F104ACDSP, R5F104ADDSP, R5F104AEDSP, R5F104AFDSP, R5F104AGDSP		
		G	R5F104AAGSP, R5F104ACGSP, R5F104ADGSP, R5F104AEGSP, R5F104AFGSP, R5F104AGGSP		
32 ピン	32 ピン・プラスチック HWQFN (5 × 5 mm, 0.5 mm ピッチ)	A	R5F104BAANA, R5F104BCANA, R5F104BDANA, R5F104BEANA, R5F104BFANA, R5F104BGANA	#U0, #W0	PWQN0032KB-A
				#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
		D	R5F104BADNA, R5F104BCDNA, R5F104BDDNA, R5F104BEDNA, R5F104BFDNA, R5F104BGDNA	#U0, #W0	PWQN0032KB-A
				#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
		G	R5F104BAGNA, R5F104BCGNA, R5F104BDGNA, R5F104BEGNA, R5F104BFGNA, R5F104BGGNA	#U0, #W0	PWQN0032KB-A
				#00, #20, #40, #60	PWQN0032KE-A PWQN0032KG-A
	32 ピン・プラスチック LQFP (7 × 7, 0.8 mm ピッチ)	A	R5F104BAAFP, R5F104BCAFP, R5F104BDAFP, R5F104BEAFP, R5F104BFAFP, R5F104BGAFP	#V0, #30, #X0	PLQP0032GB-A
				#10, #50, #70	PLQP0032GB-A PLQP0032GE-A
		D	R5F104BADFP, R5F104BCDFP, R5F104BDDFP, R5F104BEDFP, R5F104BDFP, R5F104BGDFP	#V0, #10, #30, #X0, #50, #70	PLQP0032GB-A
				#V0, #30, #X0	PLQP0032GB-A
		G	R5F104BAGFP, R5F104BCGFP, R5F104BDGFP, R5F104BEGFP, R5F104BFGFP, R5F104BGGFP	#10, #50, #70	PLQP0032GB-A PLQP0032GE-A
				#10, #50, #70	PLQP0032GB-A PLQP0032GE-A
36 ピン	36 ピン・プラスチック WFLGA (4 × 4 mm, 0.5 mm ピッチ)	A	R5F104CAALA, R5F104CCALA, R5F104CDALA, R5F104CEALA, R5F104CFALA, R5F104CGALA	#U0, #W0	PWL0036KA-A
		G	R5F104CAGLA, R5F104CCGLA, R5F104CDGLA, R5F104CEGLA, R5F104CFGLA, R5F104CGGLA		
40 ピン	40 ピン・プラスチック HWQFN (6 × 6 mm, 0.5 mm ピッチ)	A	R5F104EAANA, R5F104ECANA, R5F104EDANA, R5F104EEANA, R5F104EFANA, R5F104EGANA, R5F104EHANA	#U0, #W0	PWQN0040KC-A
				#00, #20, #40, #60	PWQN0040KD-A PWQN0040KE-A
		D	R5F104EADNA, R5F104ECDNA, R5F104EDDNA, R5F104EEDNA, R5F104EFDNA, R5F104EGDNA, R5F104EHDNA	#U0, #W0	PWQN0040KC-A
				#U0, #W0	PWQN0040KC-A
		G	R5F104EAGNA, R5F104ECGNA, R5F104EDGNA, R5F104EEGNA, R5F104EFGNA, R5F104EGGNA, R5F104EHGNA	#00, #20, #40, #60	PWQN0040KD-A PWQN0040KE-A
				#00, #20, #40, #60	PWQN0040KD-A PWQN0040KE-A

注 用途区分は、図1-1 RL78/G14の型名とメモリサイズ・パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

表 1 - 1 発注型名一覧 (2/5)

ピン数	パッケージ	用途 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
44 ピン	44 ピン・プラスチック LQFP (10 × 10, 0.8 mm ピッチ)	A	R5F104FAAFP, R5F104FCAFP, R5F104FDAFP, R5F104FEAFP, R5F104FFAFP, R5F104FGAFP, R5F104FHAFP, R5F104FJAFP	#V0, #X0	PLQP0044GC-A
				#10, #50, #70	PLQP0044GC-A PLQP0044GC-D PLQP0044GE-A PLQP0044GF-A
				#30	PLQP0044GC-A PLQP0044GC-D
		D	R5F104FADFP, R5F104FCDFP, R5F104FDDFP, R5F104FEDFP, R5F104FFDFP, R5F104FGDFP, R5F104FHDFP, R5F104FJDFP	#V0, #X0	PLQP0044GC-A
				#10, #50, #70	PLQP0044GC-A PLQP0044GC-D PLQP0044GF-A
				#30	PLQP0044GC-A PLQP0044GC-D
		G	R5F104FAGFP, R5F104FCGFP, R5F104FDGFP, R5F104FEGFP, R5F104FFGFP, R5F104FGGFP, R5F104FHGFP, R5F104FJGFP	#V0, #X0	PLQP0044GC-A
				#10, #50, #70	PLQP0044GC-A PLQP0044GC-D PLQP0044GE-A PLQP0044GF-A
				#30	PLQP0044GC-A PLQP0044GC-D
48 ピン	48 ピン・プラスチック LQFP (7 × 7 mm, 0.5 mm ピッチ)	A	R5F104GKA FB, R5F104GLA FB	#10, #50, #70	PLQP0048KB-B PLQP0048KL-A
				#30	PLQP0048KB-B
			R5F104GA FB, R5F104GCA FB, R5F104GDA FB, R5F104GEA FB, R5F104GFA FB, R5F104GGA FB, R5F104GHA FB, R5F104GJA FB	#V0, #X0	PLQP0048KF-A
				#10, #50, #70	PLQP0048KB-B PLQP0048KL-A
				#30	PLQP0048KB-B
		D	R5F104GAD FB, R5F104GCD FB, R5F104GDD FB, R5F104GED FB, R5F104GFD FB, R5F104GGD FB, R5F104GHD FB, R5F104GJD FB	#V0, #X0	PLQP0048KF-A
				#10, #30, #50, #70	PLQP0048KB-B
			R5F104GKG FB, R5F104GLG FB	#10, #50, #70	PLQP0048KB-B PLQP0048KL-A
				#30	PLQP0048KB-B
			R5F104GAG FB, R5F104GCG FB, R5F104GDG FB, R5F104GEG FB, R5F104GFG FB, R5F104GGG FB, R5F104GHG FB, R5F104GJG FB	#V0, #X0	PLQP0048KF-A
				#10, #50, #70	PLQP0048KB-B PLQP0048KL-A
				#30	PLQP0048KB-B
	48 ピン・プラスチック HWQFN (7 × 7 mm, 0.5 mm ピッチ)	A	R5F104GAANA, R5F104GCANA, R5F104GDANA, R5F104GEANA, R5F104GFANA, R5F104GGANA, R5F104GHANA, R5F104GJANA, R5F104GKANA, R5F104GLANA	#U0, #W0	PWQN0048KB-A
				#00, #20, #40, #60	PWQN0048KE-A PWQN0048KG-A
		D	R5F104GADNA, R5F104GCDNA, R5F104GDDNA, R5F104GEDNA, R5F104GFDNA, R5F104GGDNA, R5F104GHDNA, R5F104GJDNA	#U0, #W0	PWQN0048KB-A
				#U0, #W0	PWQN0048KB-A
		G	R5F104GAGNA, R5F104GCGNA, R5F104GDGNA, R5F104GEGNA, R5F104GFGNA, R5F104GGGNA, R5F104GHGNA, R5F104GJGNA, R5F104GKGNA, R5F104GLGNA	#U0, #W0	PWQN0048KB-A
				#00, #20, #40, #60	PWQN0048KE-A PWQN0048KG-A

注 用途区分は、図 1 - 1 RL78/G14 の型名とメモリサイズ・パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

表 1 - 1 発注型名一覧 (3/5)

ピン数	パッケージ	用途 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
52 ピン	52 ピン・プラスチック LQFP (10 × 10 mm, 0.65 mm ピッチ)	A	R5F104JCAFA, R5F104JDAFA, R5F104JEAFA, R5F104JFAFA, R5F104JGAFA, R5F104JHFAFA, R5F104JJAFA	#V0, #X0	PLQP0052JA-A
				#10, #30, #50, #70	PLQP0052JA-A PLQP0052JD-B
		D	R5F104JCDAFA, R5F104JDDFA, R5F104JEDFA, R5F104JFDAFA, R5F104JGDAFA, R5F104JHDAFA, R5F104JDDFA	#V0, #10, #30, #X0, #50, #70	PLQP0052JA-A
		G	R5F104JCGFA, R5F104JDGFA, R5F104JEGFA, R5F104JFGFA, R5F104JGGFA, R5F104JHGFA, R5F104JJGFA	#V0, #X0	PLQP0052JA-A
				#10, #30, #50, #70	PLQP0052JA-A PLQP0052JD-B
64 ピン	64 ピン・プラスチック LQFP (12 × 12 mm, 0.65 mm ピッチ)	A	R5F104LKAFA, R5F104LLAFA	#10, #30, #50, #70	PLQP0064JA-A PLQP0064JB-A
			R5F104LCAFA, R5F104LDAFA, R5F104LEAFA, R5F104LFAFA, R5F104LGAFA, R5F104LHAFA, R5F104LJAFA	#V0, #X0	PLQP0064JA-A
				#10, #30, #50, #70	PLQP0064JA-A PLQP0064JB-A
		D	R5F104LCDFA, R5F104LDDFA, R5F104LEDFA, R5F104LFDFA, R5F104LGDAFA, R5F104LHDAFA, R5F104LJDAFA	#V0, #10, #30, #X0, #50, #70	PLQP0064JA-A
			R5F104LKGFA, R5F104LLGFA	#10, #30, #50, #70	PLQP0064JA-A PLQP0064JB-A
			R5F104LCGFA, R5F104LDGFA, R5F104LEGFA, R5F104LFGFA, R5F104LGGFA, R5F104LHGFA, R5F104LJGFA	#V0, #X0	PLQP0064JA-A
				#10, #30, #50, #70	PLQP0064JA-A PLQP0064JB-A
	64 ピン・プラスチック LFQFP (10 × 10 mm, 0.5 mm ピッチ)	A	R5F104LKAFB, R5F104LLAFB	#10, #50, #70	PLQP0064KB-C PLQP0064KL-A
				#30	PLQP0064KB-C
			R5F104LCAFB, R5F104LDAFB, R5F104LEAFB, R5F104LFAFB, R5F104LGAFB, R5F104LHAFB, R5F104LJAFB	#V0, #X0	PLQP0064KF-A
				#10, #50, #70	PLQP0064KB-C PLQP0064KL-A
			R5F104LCAFB, R5F104LDAFB, R5F104LEAFB, R5F104LFAFB, R5F104LGAFB, R5F104LHAFB, R5F104LJAFB	#30	PLQP0064KB-C
		D	R5F104LCDFB, R5F104LDDFB, R5F104LEDFB, R5F104LDFB, R5F104LGDFB, R5F104LHDFB, R5F104LJDFB	#V0, #X0	PLQP0064KF-A
				#10, #30, #50, #70	PLQP0064KB-C
			R5F104LKGFB, R5F104LLGFB	#10, #50, #70	PLQP0064KB-C PLQP0064KL-A
				#30	PLQP0064KB-C
			R5F104LCGFB, R5F104LDGFB, R5F104LEGFB, R5F104LFGFB, R5F104LGGFB, R5F104LHGFB, R5F104LJGFB	#V0, #X0	PLQP0064KF-A
				#10, #50, #70	PLQP0064KB-C PLQP0064KL-A
			R5F104LCGFB, R5F104LDGFB, R5F104LEGFB, R5F104LFGFB, R5F104LGGFB, R5F104LHGFB, R5F104LJGFB	#30	PLQP0064KB-C
	64 ピン・プラスチック FLGA (5 × 5 mm, 0.5 mm ピッチ)	A	R5F104LCALA, R5F104LDALA, R5F104LEALA, R5F104LFALA, R5F104LGALA, R5F104LHALA, R5F104LJALA, R5F104LKALA, R5F104LLALA	#U0, #W0	PWL0064KA-A
		G	R5F104LCGLA, R5F104LDGLA, R5F104LEGLA, R5F104LFLA, R5F104LGGLA, R5F104LHGLA, R5F104LJGLA, R5F104LKGLA, R5F104LLGLA		

注 用途区分は、図 1 - 1 RL78/G14の型名とメモリサイズ・パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

表 1 - 1 発注型名一覧 (4/5)

ピン数	パッケージ	用途 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
64 ピン	64 ピン・プラスチック LQFP (14 × 14 mm, 0.8 mm ピッチ)	A	R5F104LCAFP, R5F104LDAFP, R5F104LEAFP, R5F104LFAFP, R5F104LGAFP, R5F104LHAFP, R5F104LJAFP	#V0, #10, #30, #X0, #50, #70	PLQP0064GA-A
		D	R5F104LCDFP, R5F104LDDFP, R5F104LEDFP, R5F104LDFP, R5F104LGDFP, R5F104LHDFP, R5F104LJDFP		
		G	R5F104LCGFP, R5F104LDGFP, R5F104LEGFP, R5F104LFGFP, R5F104LGGFP, R5F104LHGFP, R5F104LJGFP		
★ ★ ★ ★ ★	80 ピン・プラスチック LFQFP (12 × 12 mm, 0.5 mm ピッチ)	A	R5F104MKA FB, R5F104MLA FB	#10, #50, #70	PLQP0080KB-B PLQP0080KE-A PLQP0080KJ-A
				#30	PLQP0080KB-B
				#V0, #X0	PLQP0080KE-A
				#10, #50, #70	PLQP0080KB-B PLQP0080KE-A PLQP0080KJ-A
				#30	PLQP0080KB-B
		D	R5F104MFD FB, R5F104MGD FB, R5F104MHD FB, R5F104MJD FB	#V0, #X0	PLQP0080KE-A
				#10, #50, #70	PLQP0080KB-B PLQP0080KE-A
				#30	PLQP0080KB-B
		G	R5F104MKG FB, R5F104MLG FB	#10, #50, #70	PLQP0080KB-B PLQP0080KE-A PLQP0080KJ-A
				#30	PLQP0080KB-B
				#V0, #X0	PLQP0080KE-A
				#10, #50, #70	PLQP0080KB-B PLQP0080KE-A PLQP0080KJ-A
				#30	PLQP0080KB-B
	80 ピン・プラスチック LQFP (14 × 14 mm, 0.65 mm ピッチ)	A	R5F104MKA FA, R5F104MLA FA	#10, #30, #50, #70	PLQP0080JB-E
				#V0, #10, #30, #X0, #50, #70	PLQP0080JB-E
		D	R5F104MFD FA, R5F104MGD FA, R5F104MHD FA, R5F104MJD FA	#V0, #10, #30, #X0, #50, #70	PLQP0080JB-E
		G	R5F104MKG FA, R5F104MLG FA	#10, #30, #50, #70	PLQP0080JB-E
				#V0, #10, #30, #X0, #50, #70	PLQP0080JB-E

注 用途区分は、図 1 - 1 RL78/G14の型名とメモリサイズ・パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

表 1 - 1 発注型名一覧 (5/5)

ピン数	パッケージ	用途 区分注	発注型名		ルネサス・コード
			品名	梱包仕様	
100 ピン	100 ピン・プラスチック LFQFP (14 × 14 mm, 0.5 mm ピッチ)	A	R5F104PKAFB, R5F104PLAFB	#10, #50, #70	PLQP0100KB-B PLQP0100KP-A
				#30	PLQP0100KB-B
			R5F104PFAFB, R5F104PGAFB, R5F104PHAFA, R5F104PJAFB	#V0, #X0	PLQP0100KE-A
				#10, #50, #70	PLQP0100KB-B PLQP0100KP-A
				#30	PLQP0100KB-B
		D	R5F104PFDFA, R5F104PGDFA, R5F104PHDFA, R5F104PJDAFA	#V0, #X0	PLQP0100KE-A
				#10, #30, #50, #70	PLQP0100KB-B
		G	R5F104PKGFB, R5F104PLGFB	#10, #50, #70	PLQP0100KB-B PLQP0100KP-A
				#30	PLQP0100KB-B
			R5F104PFGFB, R5F104PGGFB, R5F104PHGFB, R5F104PJGFB	#V0, #X0	PLQP0100KE-A
				#10, #50, #70	PLQP0100KB-B PLQP0100KP-A
				#30	PLQP0100KB-B
	100 ピン・プラスチック LQFP (14 × 20 mm, 0.65 mm ピッチ)	A	R5F104PKAFA, R5F104PLAFA	#10, #30, #50, #70	PLQP0100JC-A
				#V0, #10, #30, #X0, #50, #70	PLQP0100JC-A
		D	R5F104PFDFA, R5F104PGDFA, R5F104PHDFA, R5F104PJDAFA	#V0, #10, #30, #X0, #50, #70	PLQP0100JC-A
				#10, #30, #50, #70	PLQP0100JC-A
		G	R5F104PKGFA, R5F104PLGFA	#V0, #10, #30, #X0, #50, #70	PLQP0100JC-A
				#V0, #10, #30, #X0, #50, #70	PLQP0100JC-A

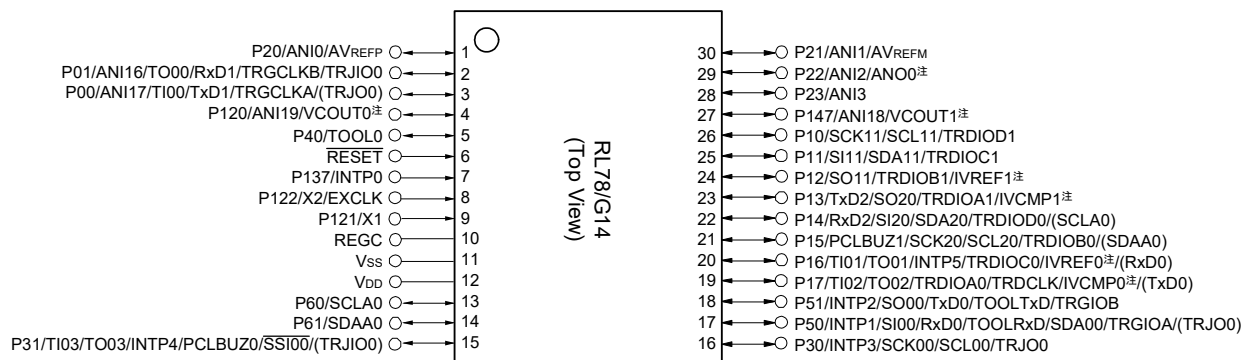
注 用途区分は、図1-1 RL78/G14の型名とメモリサイズ・パッケージを参照してください。

注意 発注型名は、本マニュアル発行時のものです。最新の発注型名は、当社ホームページの対象製品ページを必ず参照してください。

1.3 端子接続図 (Top View)

1.3.1 30ピン製品

・30ピン・プラスチックLSSOP (7.62 mm (300), 0.65 mm ピッチ)



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

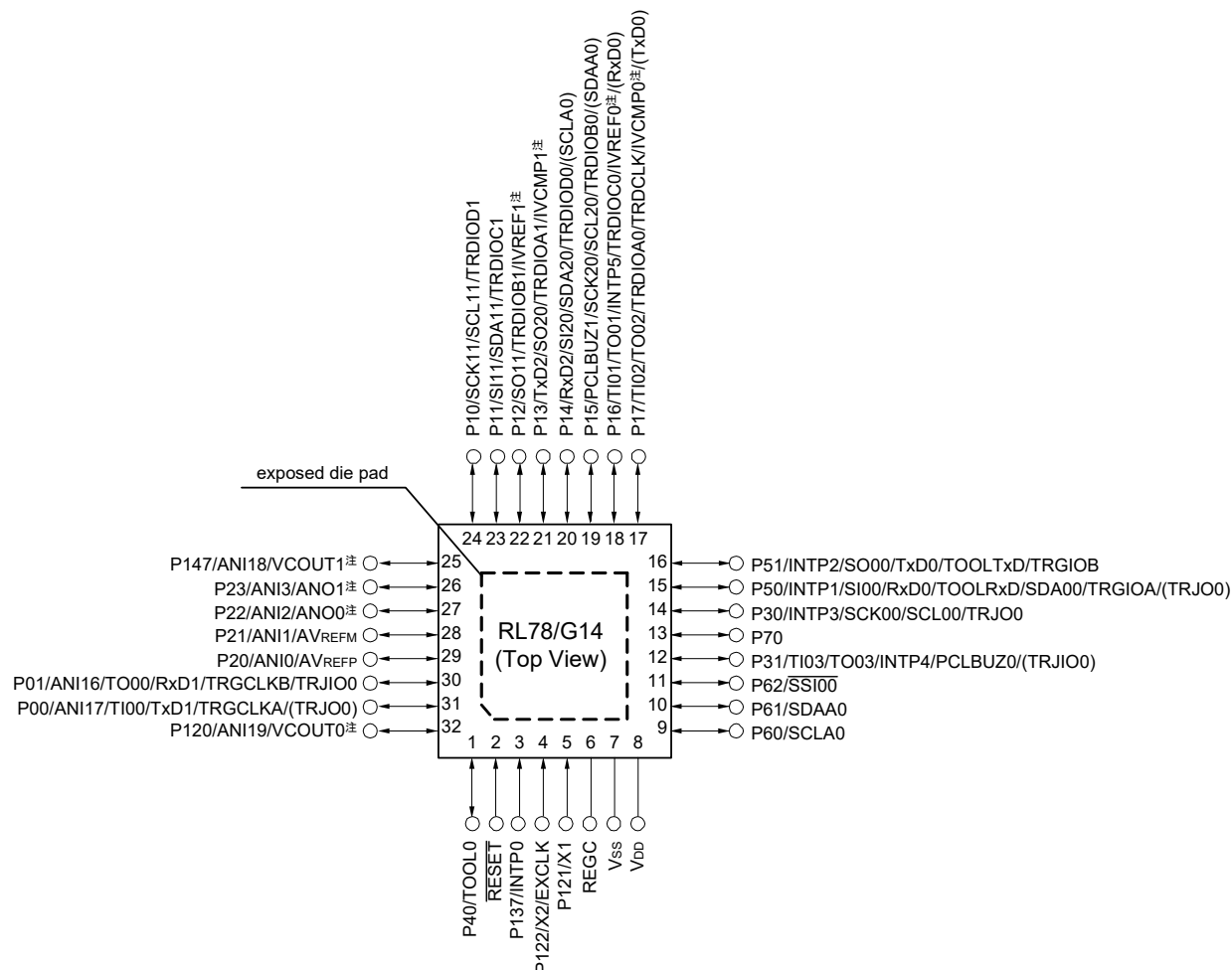
注意 REGC端子はコンデンサ(0.47 ~ 1 μ F)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の ()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

1.3.2 32ピン製品

・32ピン・プラスチックHWQFN (5 × 5 mm, 0.5 mmピッチ)



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

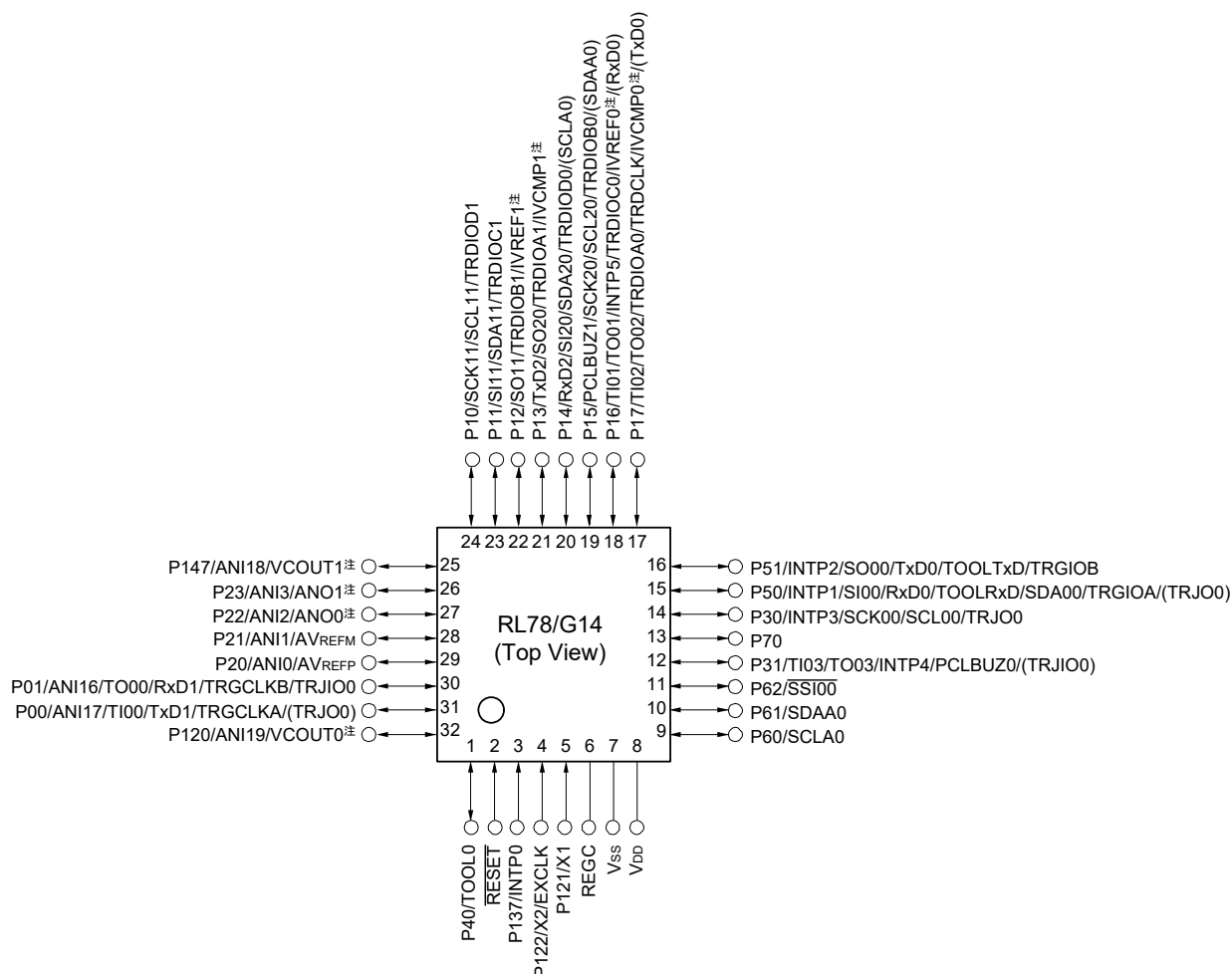
注意 REGC端子はコンデンサ (0.47 ~ 1 μF) を介し、V_{SS}端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

備考3. exposed die padは、V_{SS}に接続することを推奨します。

・32ピン・プラスチックLQFP (7 × 7 mm, 0.8 mm ピッチ)



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

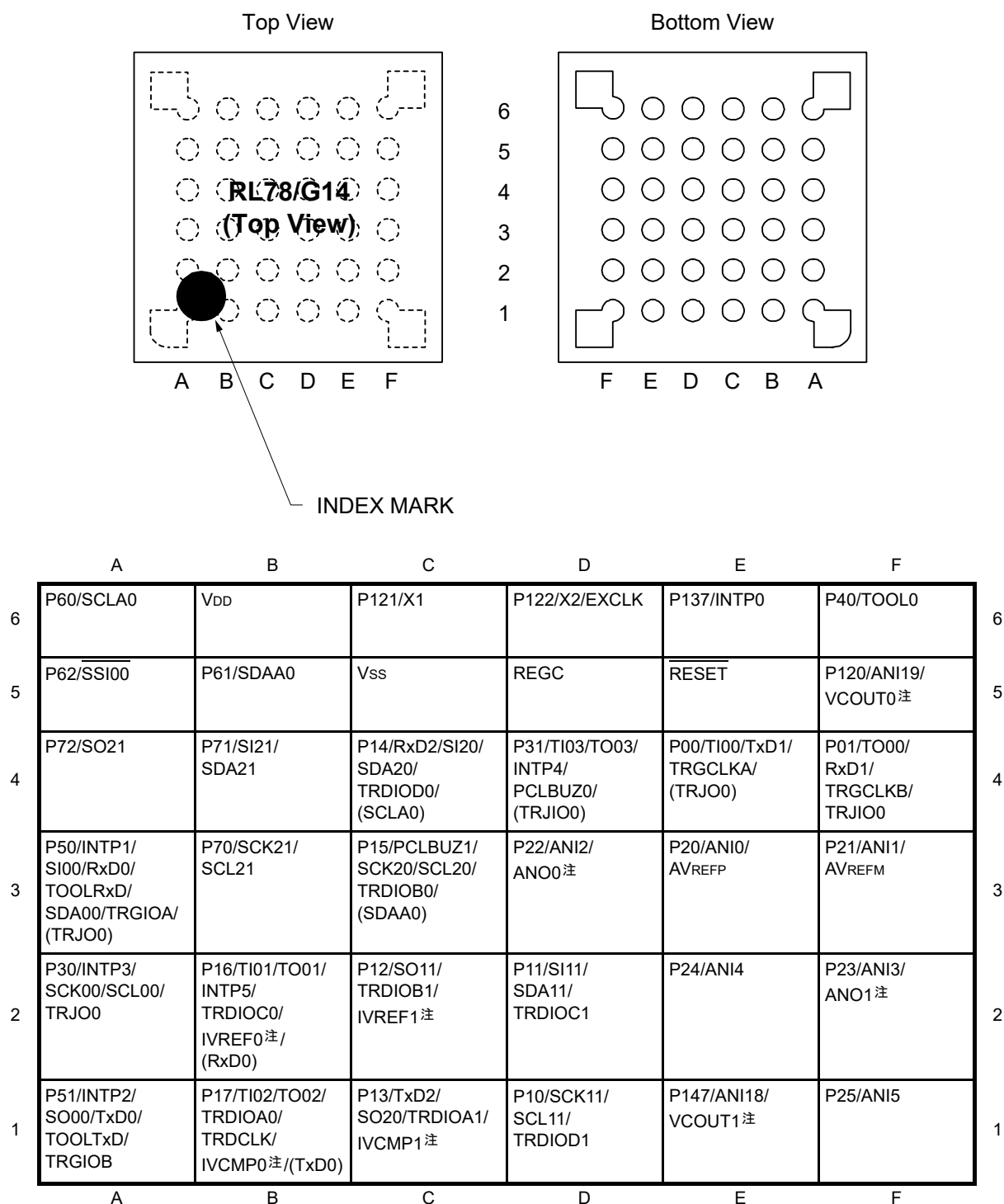
注意 REGC端子はコンデンサ (0.47 ~ 1 μF) を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

1.3.3 36ピン製品

・36ピン・プラスチックWFLGA (4 × 4 mm, 0.5 mm ピッチ)



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

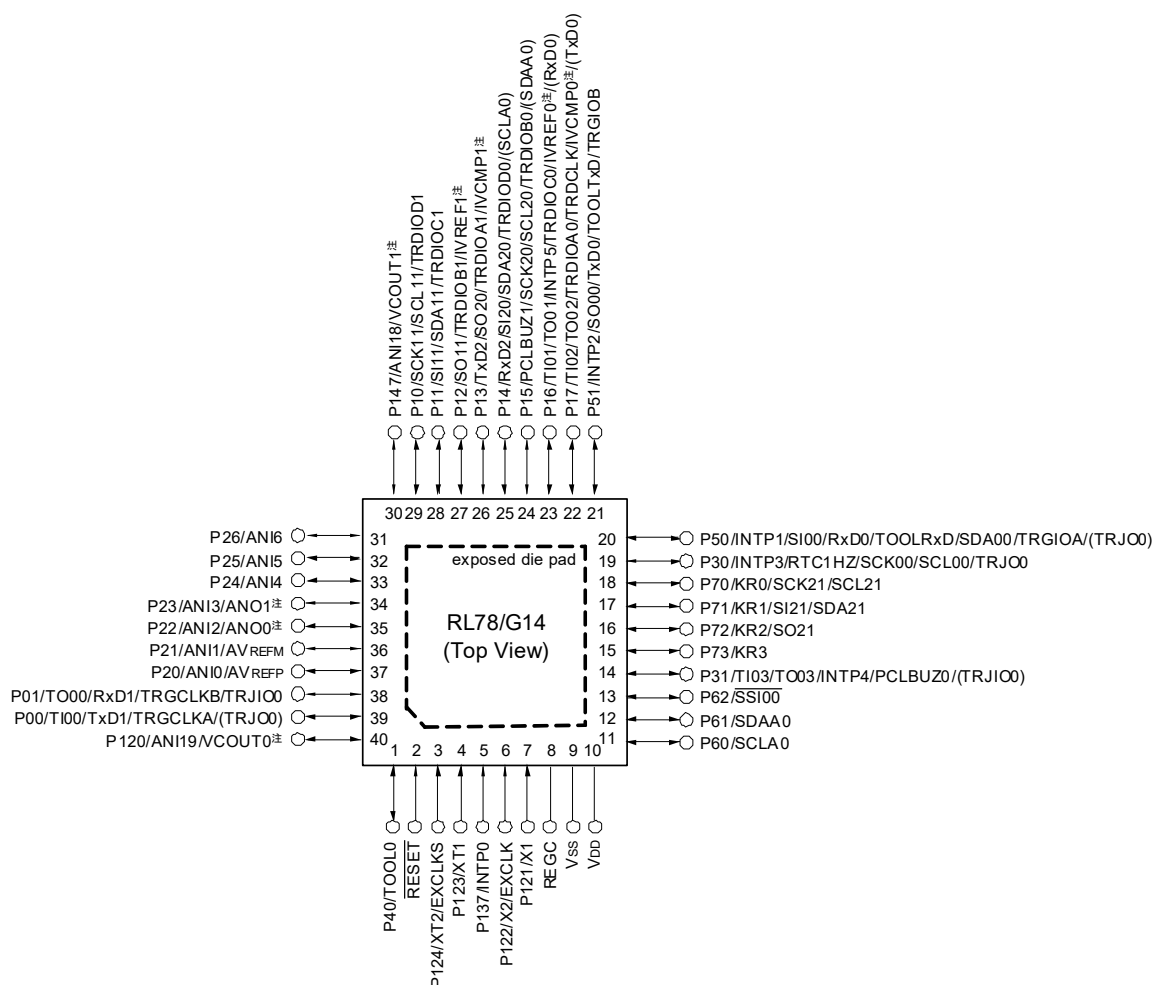
注意 REGC端子はコンデンサ(0.47～1 μF)を介し、V_{SS}端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

1.3.4 40ピン製品

・40ピン・プラスチックHWQFN (6 × 6 mm, 0.5 mm ピッチ)



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

注意 REGC端子はコンデンサ(0.47 ~ 1 μ F)を介し、Vss端子に接続してください。

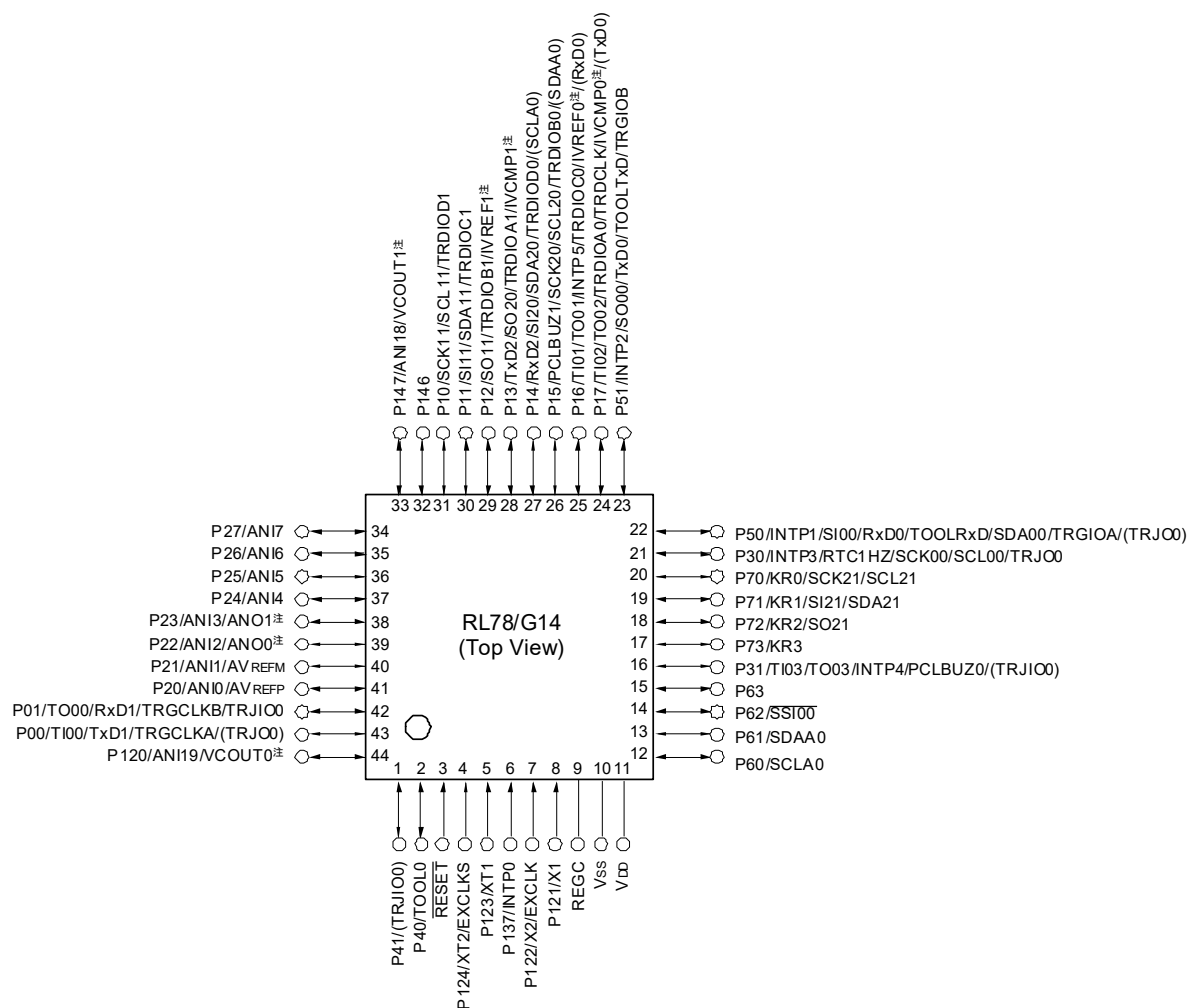
備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

備考3. exposed die padは、Vssに接続することを推奨します。

1.3.5 44ピン製品

・44ピン・プラスチックLQFP (10 × 10 mm, 0.8 mmピッチ)



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

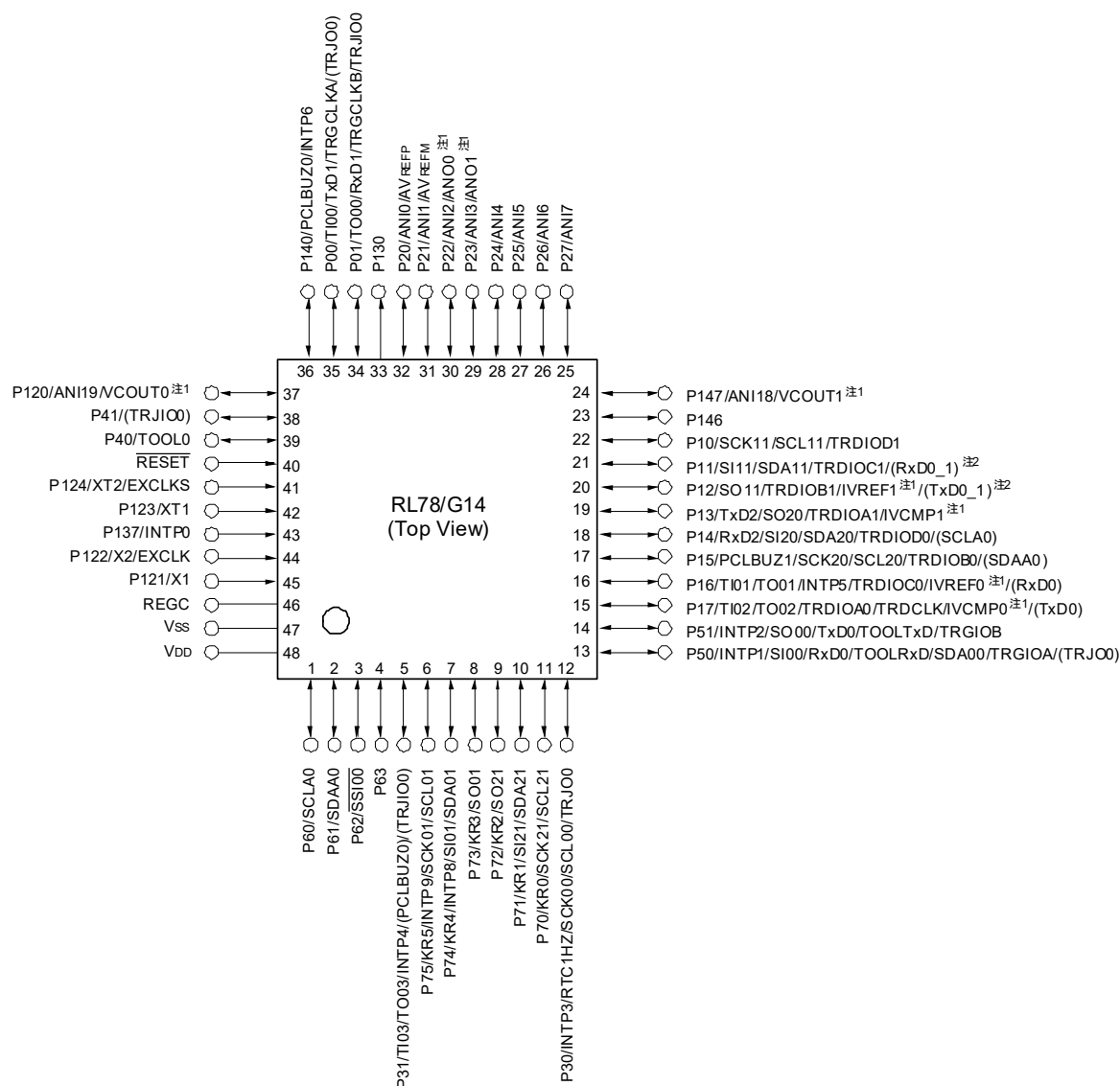
注意 REGC端子はコンデンサ(0.47 ~ 1 μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

1.3.6 48ピン製品

・48ピン・プラスチックLFQFP (7 × 7 mm, 0.5 mm ピッチ)



注1. コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

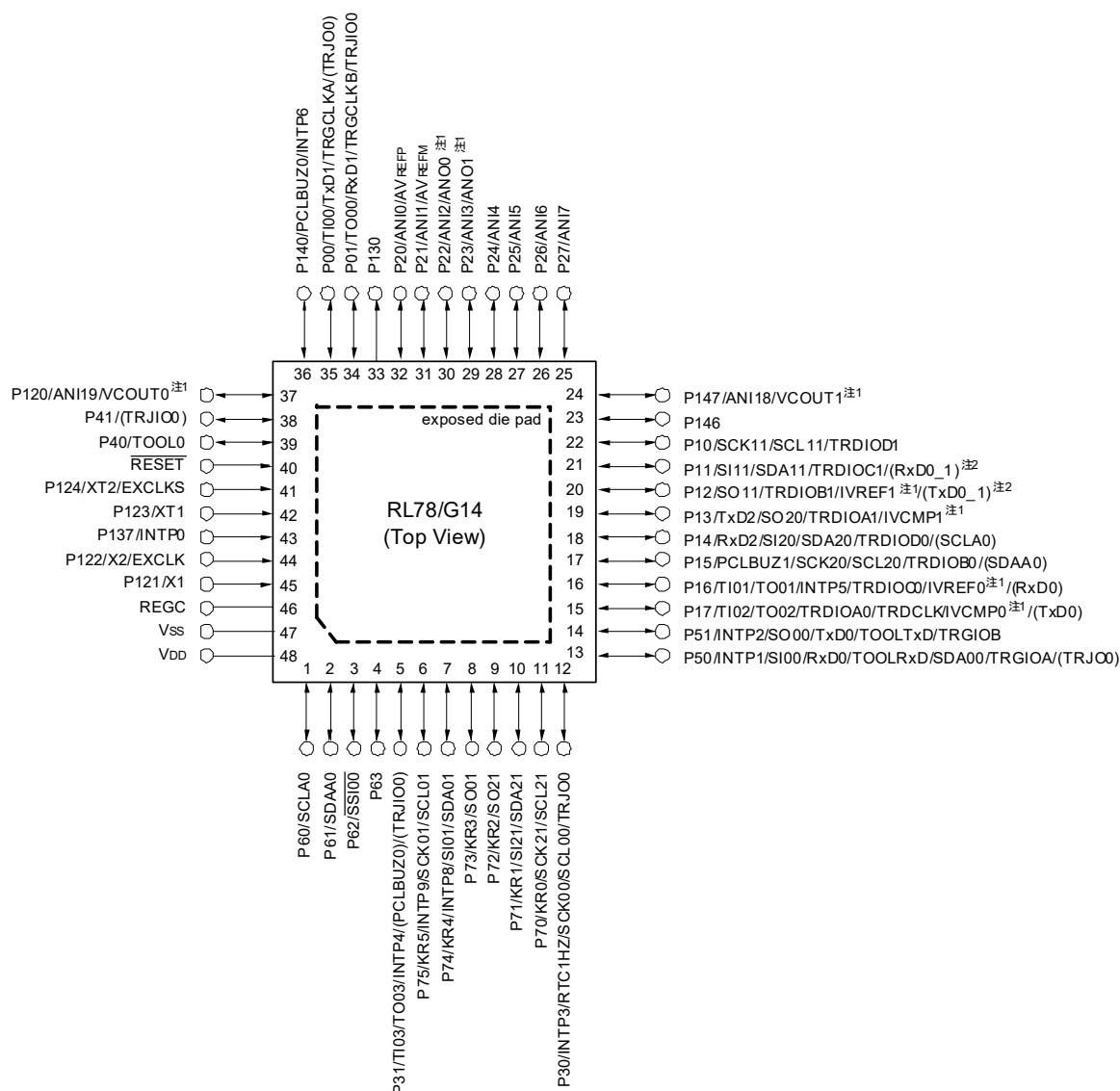
注2. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

注意 REGC端子はコンデンサ(0.47 ~ 1 μ F)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

・48ピン・プラスチックHWQFN (7 × 7 mm, 0.5 mm ピッチ)



注1. コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

注2. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

注意 REGC端子はコンデンサ(0.47 ~ 1 μ F)を介し、VSS端子に接続してください。

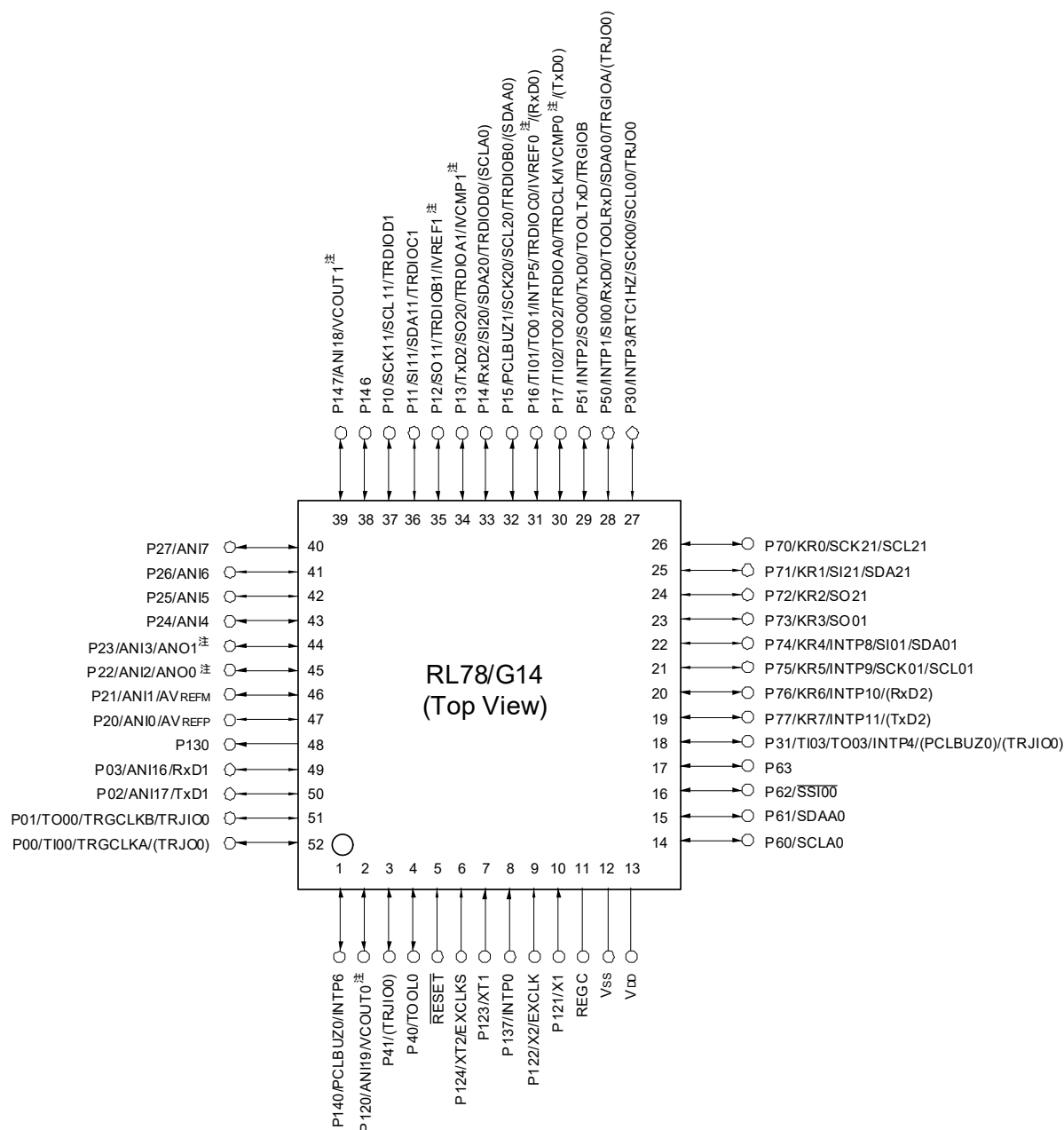
備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

備考3. exposed die padは、VSSに接続することを推奨します。

1.3.7 52ピン製品

・52ピン・プラスチックLQFP (10 × 10 mm, 0.65 mmピッチ)



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

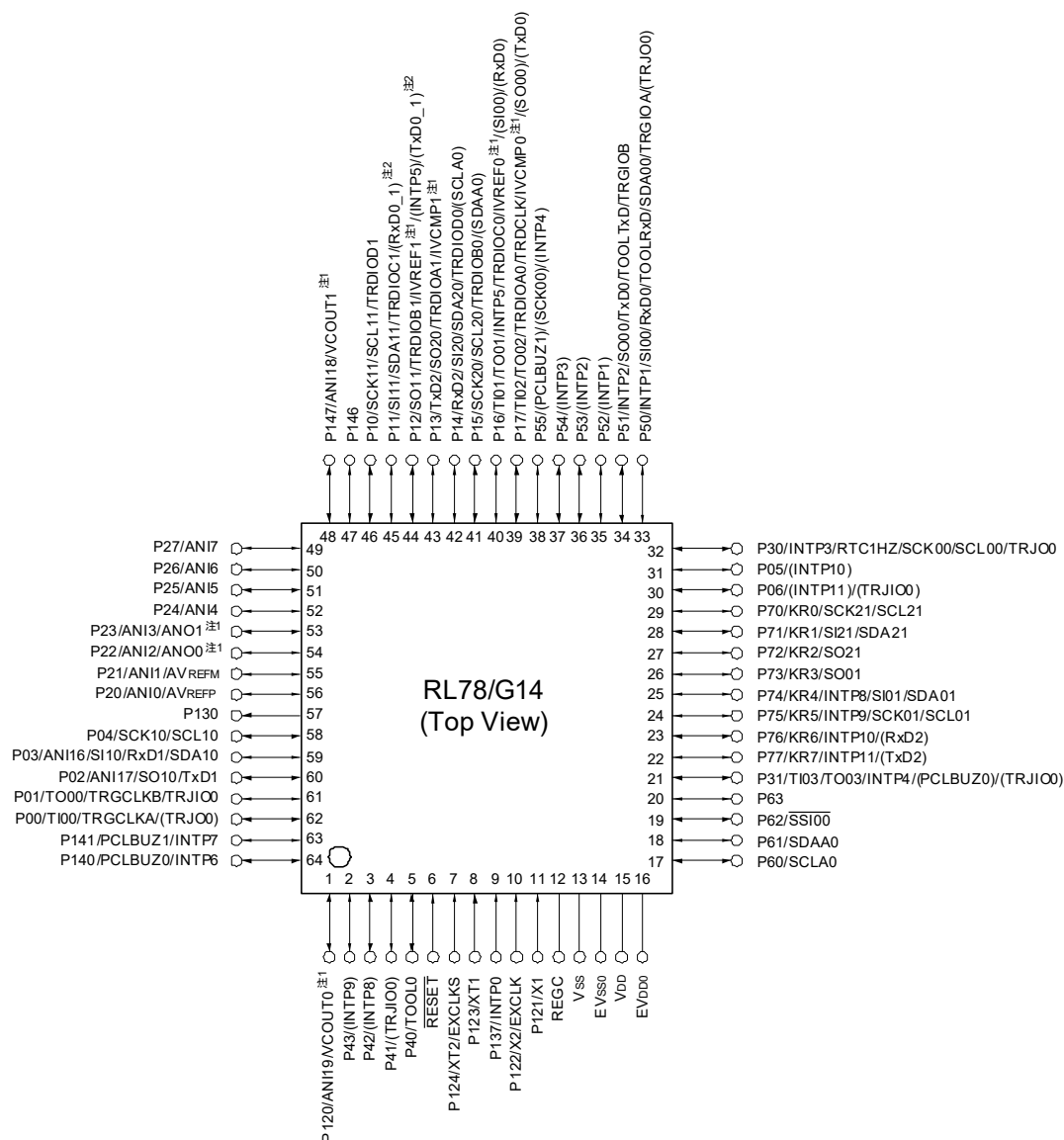
注意 REGC端子はコンデンサ(0.47 ~ 1 μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

1.3.8 64ピン製品

- 64ピン・プラスチックLQFP (14 × 14 mm, 0.8 mmピッチ)
- 64ピン・プラスチックLQFP (12 × 12 mm, 0.65 mmピッチ)
- 64ピン・プラスチックLFQFP (10 × 10 mm, 0.5 mmピッチ)



注1. コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

注2. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

注意1. EVSS0端子は、VSS端子と同電位にしてください。

注意2. VDD端子は、EVDD0端子以上の電圧にしてください。

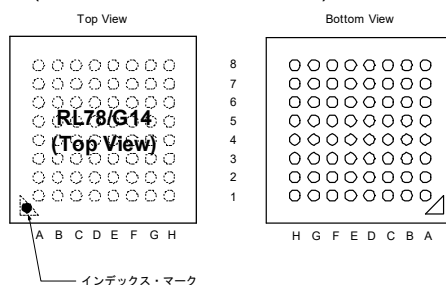
注意3. REGC端子はコンデンサ(0.47～1 μF)を介し、VSS端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0に個別の電源を供給し、VSSとEVSS0を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

・64ピン・プラスチックFLGA (5 × 5 mm, 0.5 mm ピッチ)



	A	B	C	D	E	F	G	H	
8	EV _{DD0}	EV _{SS0}	P121/X1	P122/X2/ EXCLK	P137/INTP0	P123/XT1	P124/XT2/ EXCLKS	P120/ANI19/ VCOUT0 ^{注1}	8
7	P60/SCLA0	V _{DD}	V _{SS}	REGC	RESET	P01/TO00/ TRGCLKB/ TRJIO0	P00/TI00/ TRGCLKA/ (TRJO0)	P140/ PCLBUZ0/ INTP6	7
6	P61/SDAA0	P62/SSI00	P63	P40/TOOL0	P41/ (TRJIO0)	P43/(INTP9)	P02/ANI17/ SO10/TxD1	P141/ PCLBUZ1/ INTP7	6
5	P77/KR7/ INTP11/ (TxD2)	P31/TI03/ TO03/INTP4/ (PCLBUZ0)/ (TRJIO0)	P53/(INTP2)	P42/(INTP8)	P03/ANI16/ SI10/RxD1/ SDA10	P04/SCK10/ SCL10	P130	P20/ANI0/ AV _{REFP}	5
4	P75/KR5/ INTP9/ SCK01/ SCL01	P76/KR6/ INTP10/ (RxD2)	P52/(INTP1)	P54/(INTP3)	P16/TI01/ TO01/ INTP5/ TRDIOC0/ IVREF0 ^{注1} / (SI00)/ (RxD0)	P21/ANI1/ AV _{REFM}	P22/ANI2/ ANO0 ^{注1}	P23/ANI3/ ANO1 ^{注1}	4
3	P70/KR0/ SCK21/ SCL21	P73/KR3/ SO01	P74/KR4/ INTP8/SI01/ SDA01	P17/TI02/ TO02/ TRDIOA0/ TRDCLK/ IVCMP0 ^{注1} / (SO00)/ (TxD0)	P15/SCK20/ SCL20/ TRDIOB0/ (SDAA0)	P12/SO11/ TRDIOB1/ IVREF1 ^{注1} / (INTP5)/ (TxD0_1) ^{注2}	P24/ANI4	P26/ANI6	3
2	P30/INTP3/ RTC1HZ/ SCK00/ SCL00/ TRJO0	P72/KR2/ SO21	P71/KR1/ SI21/SDA21	P06/ (INTP11)/ (TRJIO0)	P14/RxD2/ SI20/ SDA20/ TRDIOD0/ (SCLA0)	P11/SI11/ SDA11/ TRDIOC1/ (RxD0_1) ^{注2}	P25/ANI5	P27/ANI7	2
1	P05/ (INTP10)	P50/INTP1/ SI00/RxD0/ TOOLRxD SDA00/ TRGIOA/ (TRJO0)	P51/INTP2/ SO00/TxD0/ TOOLTxD/ TRGIOB	P55/ (PCLBUZ1)/ (SCK00)/ (INTP4)	P13/TxD2/ SO20/ TRDIOA1/ IVCMP1 ^{注1}	P10/SCK11/SC L11/ TRDIOD1	P146	P147/ANI18/ VCOUT1 ^{注1}	1
	A	B	C	D	E	F	G	H	

注1. コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

注2. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

注意1. EV_{SS0}端子は、V_{SS}端子と同電位にしてください。

注意2. V_{DD}端子は、EV_{DD0}端子以上の電位にしてください。

注意3. REGC端子はコンデンサ(0.47 ~ 1 μF)を介し、V_{SS}端子に接続してください。

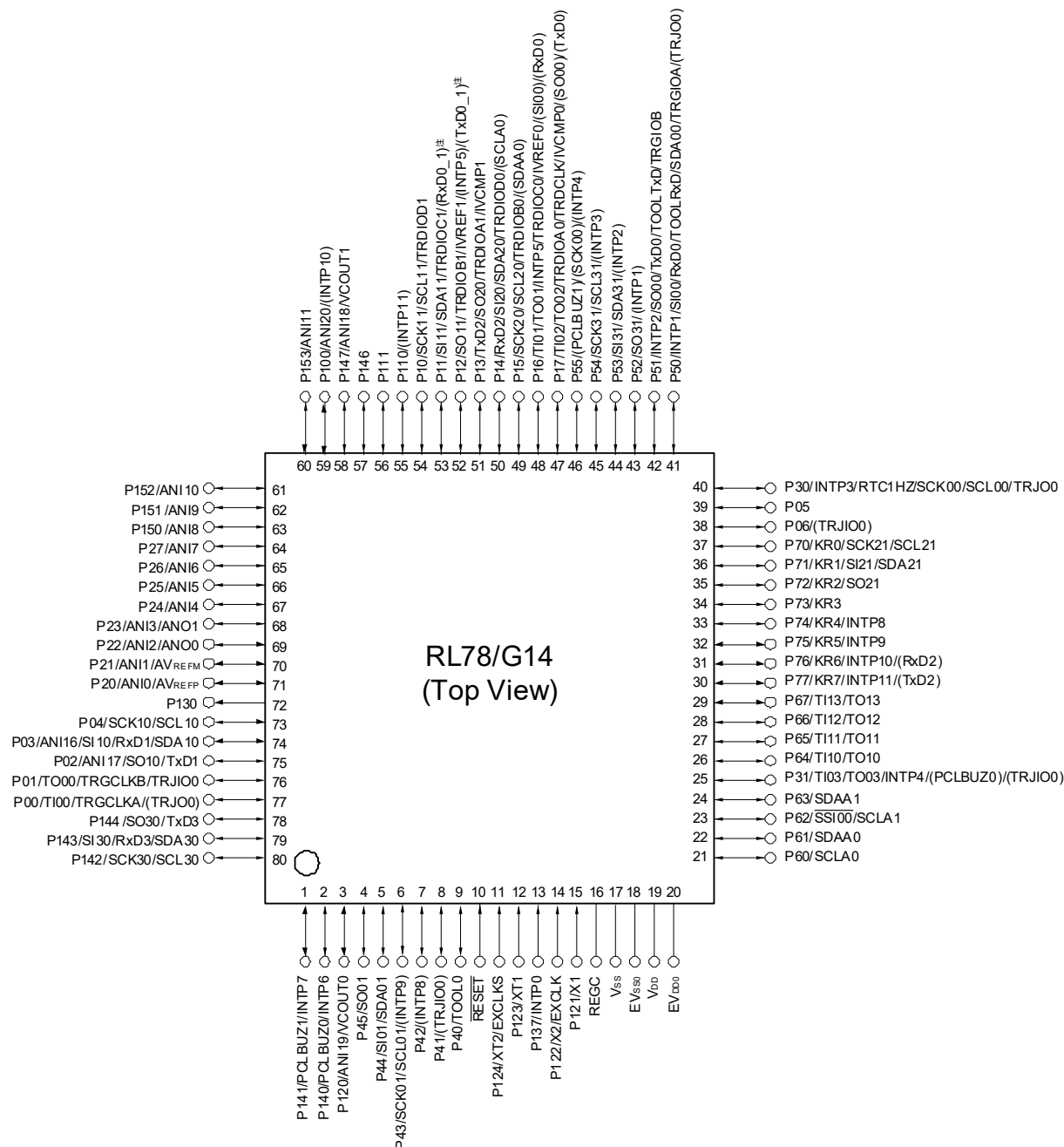
備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}とEV_{DD0}に個別の電源を供給し、V_{SS}とEV_{SS0}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

1.3.9 80ピン製品

- ・80ピン・プラスチックLQFP (14 × 14 mm, 0.65 mm ピッチ)
- ・80ピン・プラスチックLFQFP (12 × 12 mm, 0.5 mm ピッチ)



注 コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

注意1. EV_{SS0}端子は、V_{SS}端子と同電位にしてください。

注意2. V_{DD}端子は、EV_{DD0}端子以上の電圧にしてください。

注意3. REGC端子はコンデンサ(0.47～1 μF)を介し、V_{SS}端子に接続してください。

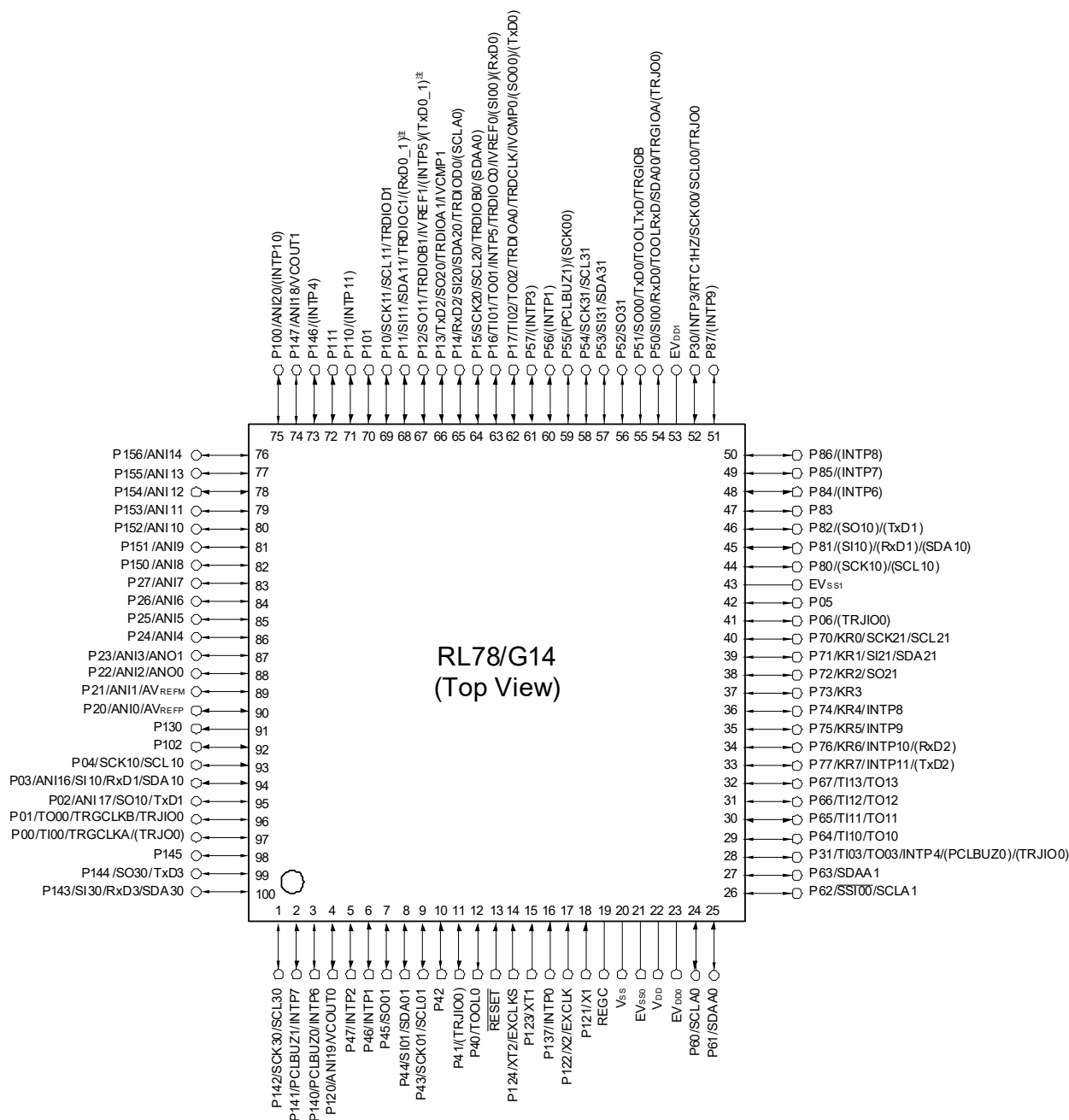
備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、V_{DD}とEV_{DD0}に個別の電源を供給し、V_{SS}とEV_{SS0}を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1 (PIOR0, 1)の設定により割り当て可能です。

1.3.10 100ピン製品

・100ピン・プラスチックLFQFP (14 × 14 mm, 0.5 mm ピッチ)



注 コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

注意1. EVss0, EVss1端子は、Vss端子と同電位にしてください。

注意2. VDD端子は、EVDD0, EVDD1端子以上の電圧にしてください。また、EVDD0 = EVDD1としてください。

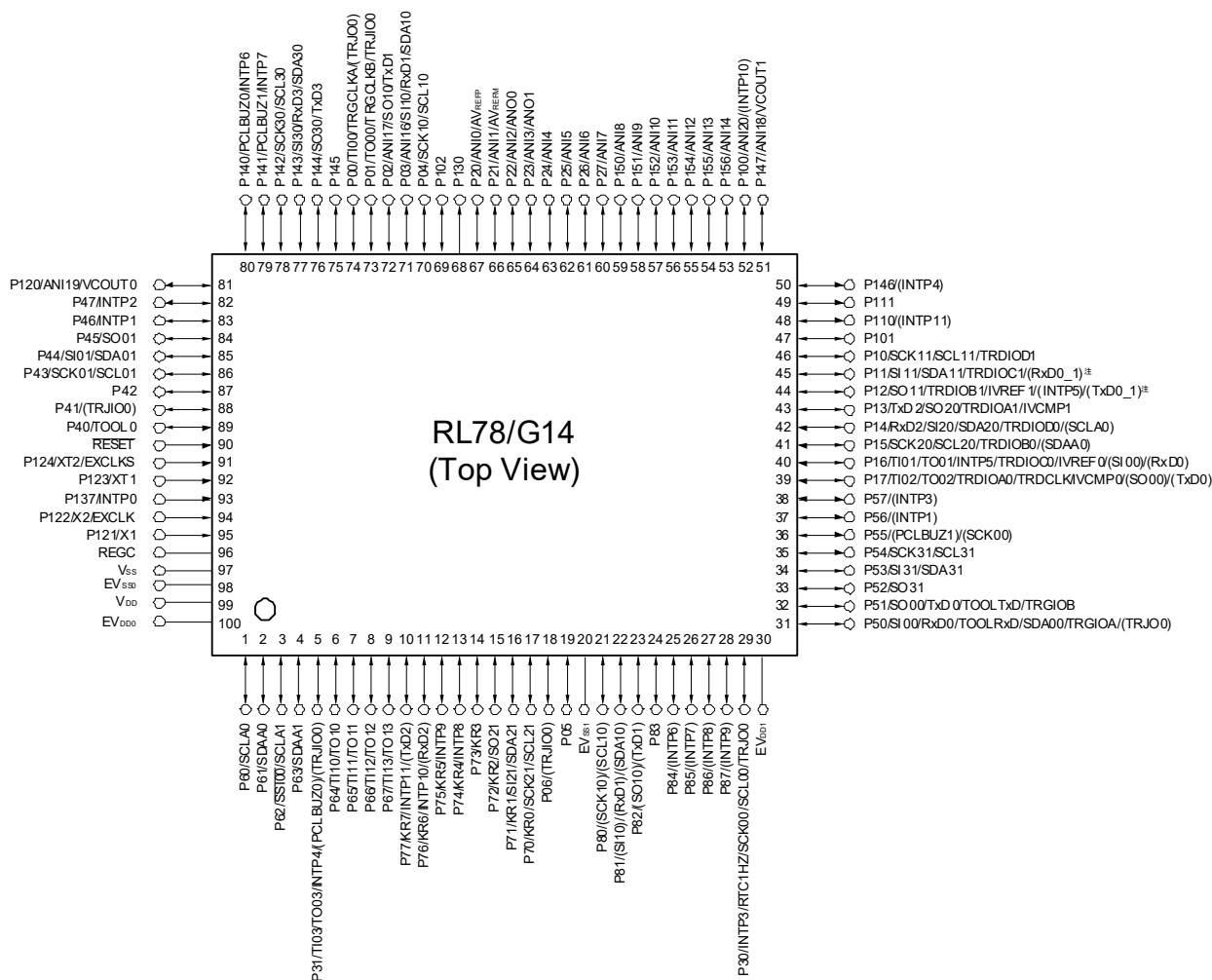
注意3. REGC端子はコンデンサ(0.47 ~ 1 μF)を介し、Vss端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合は、VDDとEVDD0, EVDD1に個別の電源を供給し、VssとEVss0, EVss1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

備考3. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

・100ピン・プラスチックLQFP (14 × 20 mm, 0.65 mm ピッチ)



注 コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

注意1. EVSS0, EVSS1端子は、VSS端子と同電位にしてください。

注意2. VDD端子は、EVDD0, EVDD1端子以上の電圧にしてください。また、EVDD0 = EVDD1としてください。

注意3. REGC端子はコンデンサ(0.47 ~ 1 μF)を介し、VSS端子に接続してください。

備考1. 端子名称は、1.4 端子名称を参照してください。

備考2. マイコン内部から発生するノイズを低減する必要がある応用分野で使用する場合、VDDとEVDD0, EVDD1に個別の電源を供給し、VSSとEVSS0, EVSS1を別々のグランド・ラインに接続するなどのノイズ対策を行うことを推奨します。

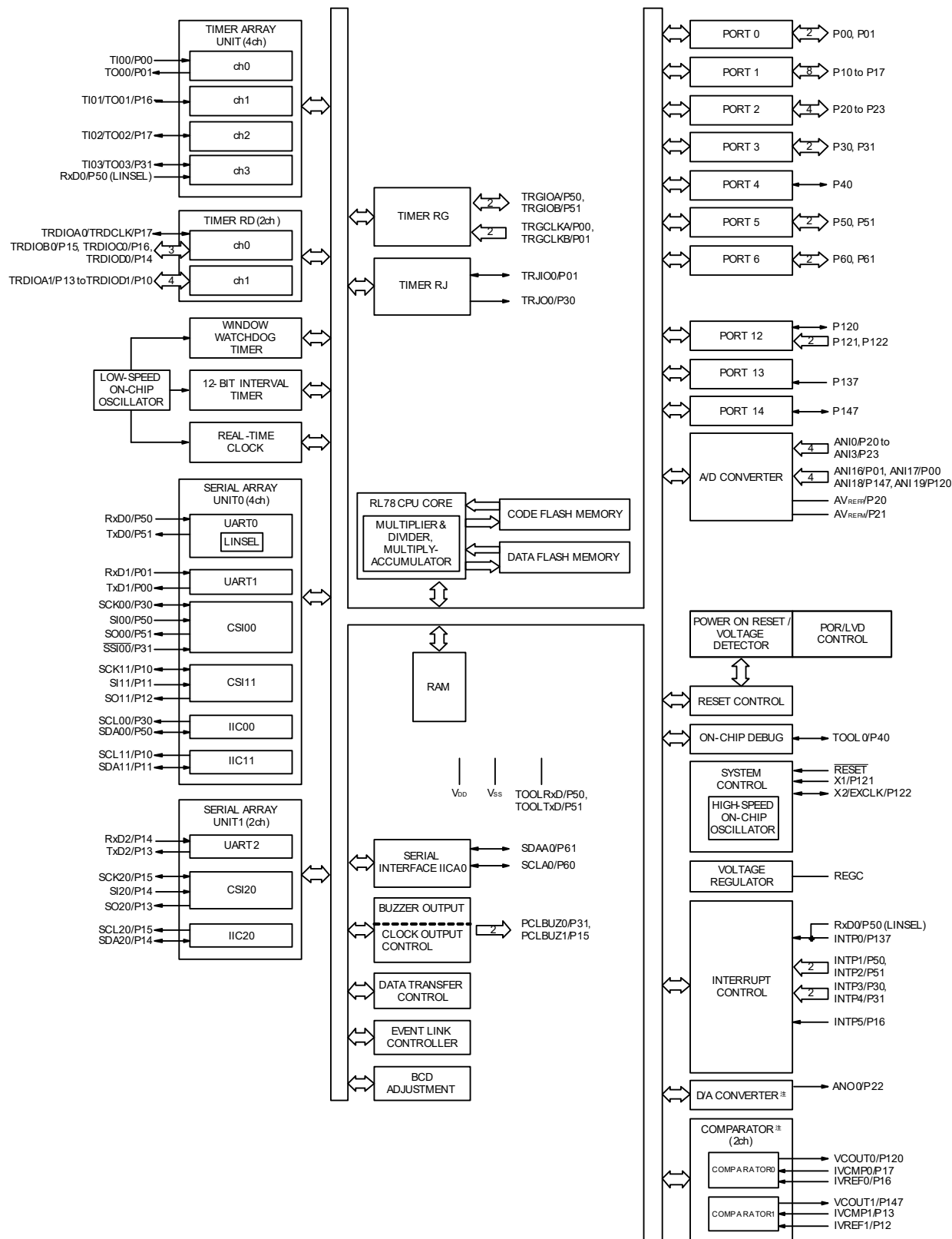
備考3. 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により割り当て可能です。

1.4 端子名称

ANI0-ANI14,	: Analog Input	RxD0-RxD3	: Receive Data
ANI16-ANI20		SCK00, SCK01, SCK10,	: Serial Clock Input/Output
ANO0, ANO1	: Analog Output	SCK11, SCK20, SCK21,	
AVREFM	: Analog Reference Voltage	SCK30, SCK31	
	Minus	SCLA0, SCLA1	: Serial Clock Input/Output
AVREFP	: Analog Reference Voltage	SCL00, SCL01, SCL10, SCL11,	: Serial Clock Output
	Plus	SCL20, SCL21, SCL30,	
EVDD0, EVDD1	: Power Supply for Port	SCL31	
EVSS0, EVSS1	: Ground for Port	SDAA0, SDAA1, SDA00,	: Serial Data Input/Output
EXCLK	: External Clock Input	SDA01, SDA10, SDA11,	
	(Main System Clock)	SDA20, SDA21, SDA30,	
EXCLKS	: External Clock Input	SDA31	
	(Subsystem Clock)	SI00, SI01, SI10, SI11,	: Serial Data Input
INTP0-INTP11	: External Interrupt Input	SI20, SI21, SI30, SI31	
IVCMP0, IVCMP1	: Comparator Input	SO00, SO01, SO10,	: Serial Data Output
IVREF0, IVREF1	: Comparator Reference Input	SO11, SO20, SO21,	
KR0-KR7	: Key Return	SO30, SO31	
P00-P06	: Port 0	<u>SSI00</u>	: Serial Interface Chip Select Input
P10-P17	: Port 1	TI00-TI03, TI10-TI13	: Timer Input
P20-P27	: Port 2	TO00-TO03, TO10-TO13,	: Timer Output
P30, P31	: Port 3	TRJ00	
P40-P47	: Port 4	TOOL0	: Data Input/Output for Tool
P50-P57	: Port 5	TOOLRxD, TOOLTxD	: Data Input/Output for External Device
P60-P67	: Port 6	TRDCLK, TRGCLKA,	: Timer External Input Clock
P70-P77	: Port 7	TRGCLKB	
P80-P87	: Port 8	TRDIOA0, TRDIOB0,	: Timer Input/Output
P100-P102	: Port 10	TRDIOC0, TRDIOD0,	
P110, P111	: Port 11	TRDIOA1, TRDIOB1,	
P120-P124	: Port 12	TRDIOC1, TRDIOD1,	
P130, P137	: Port 13	TRGIOA, TRGIOB, TRJIO0	
P140-P147	: Port 14	TxD0-TxD3	: Transmit Data
P150-P156	: Port 15	VCOUT0, VCOUT1	: Comparator Output
PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output	VDD	: Power Supply
		VSS	: Ground
REGC	: Regulator Capacitance	X1, X2	: Crystal Oscillator (Main System Clock)
<u>RESET</u>	: Reset	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
RTC1HZ	: Real-time Clock Correction Clock (1 Hz) Output		

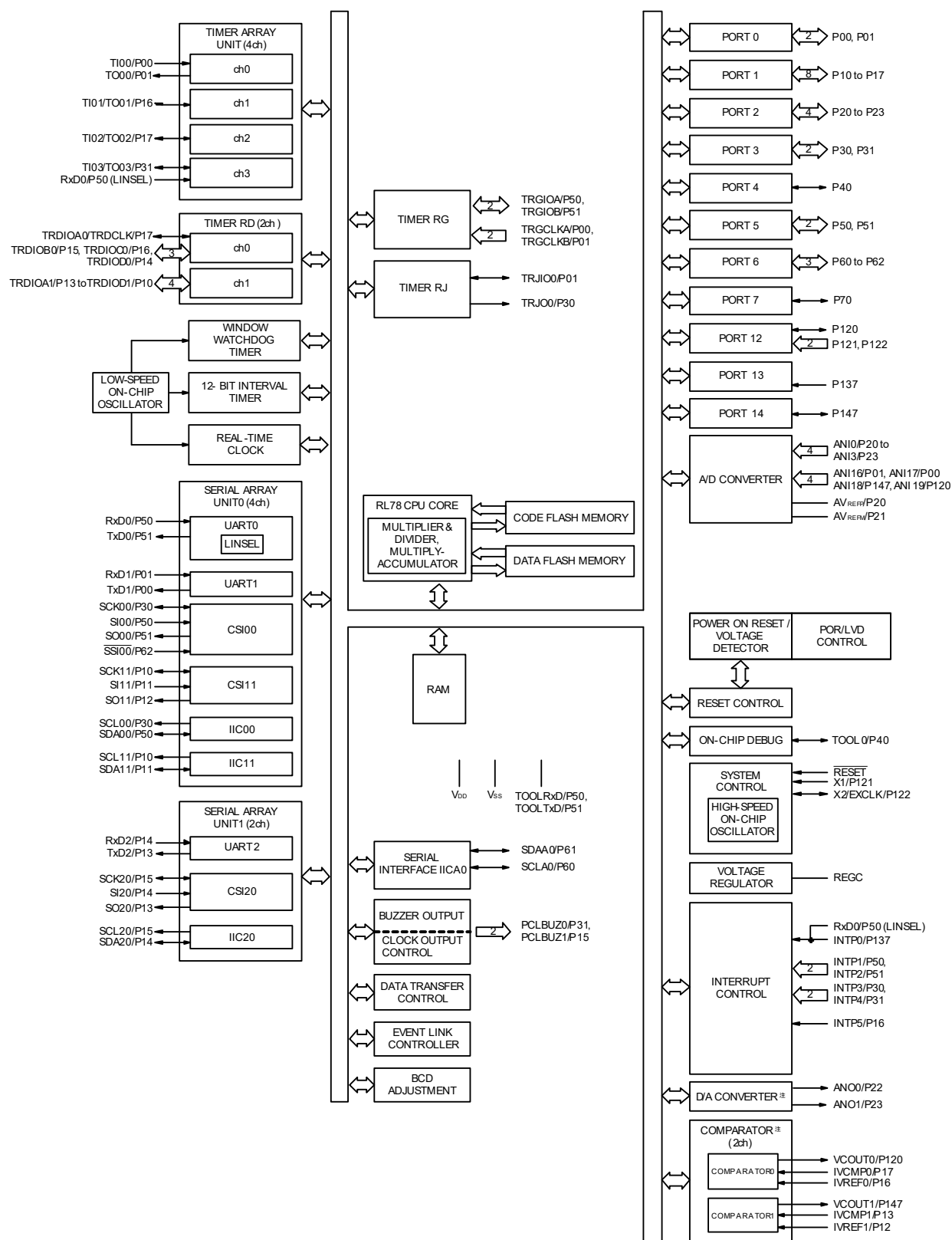
1.5 ブロック図

1.5.1 30ピン製品



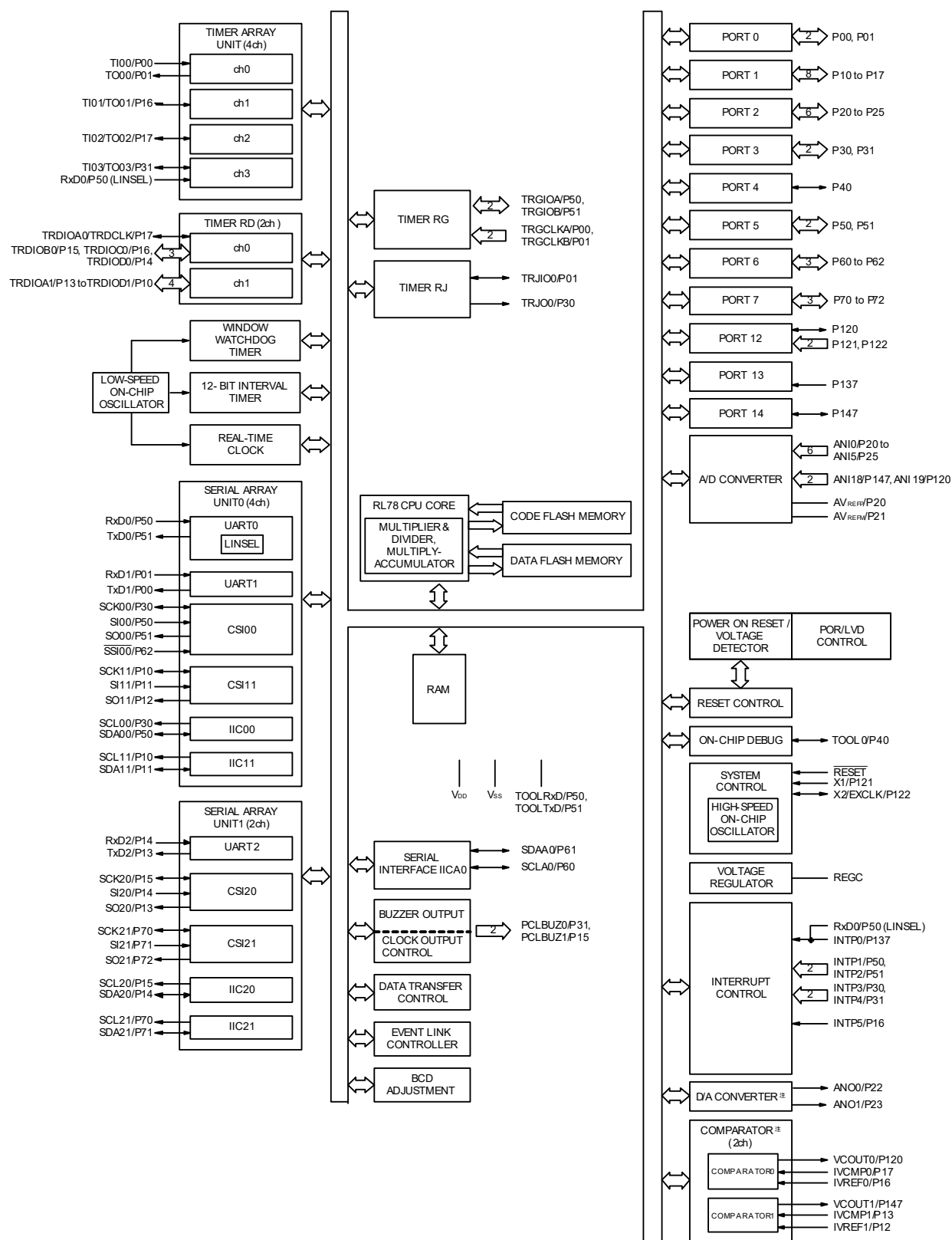
注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.2 32ピン製品



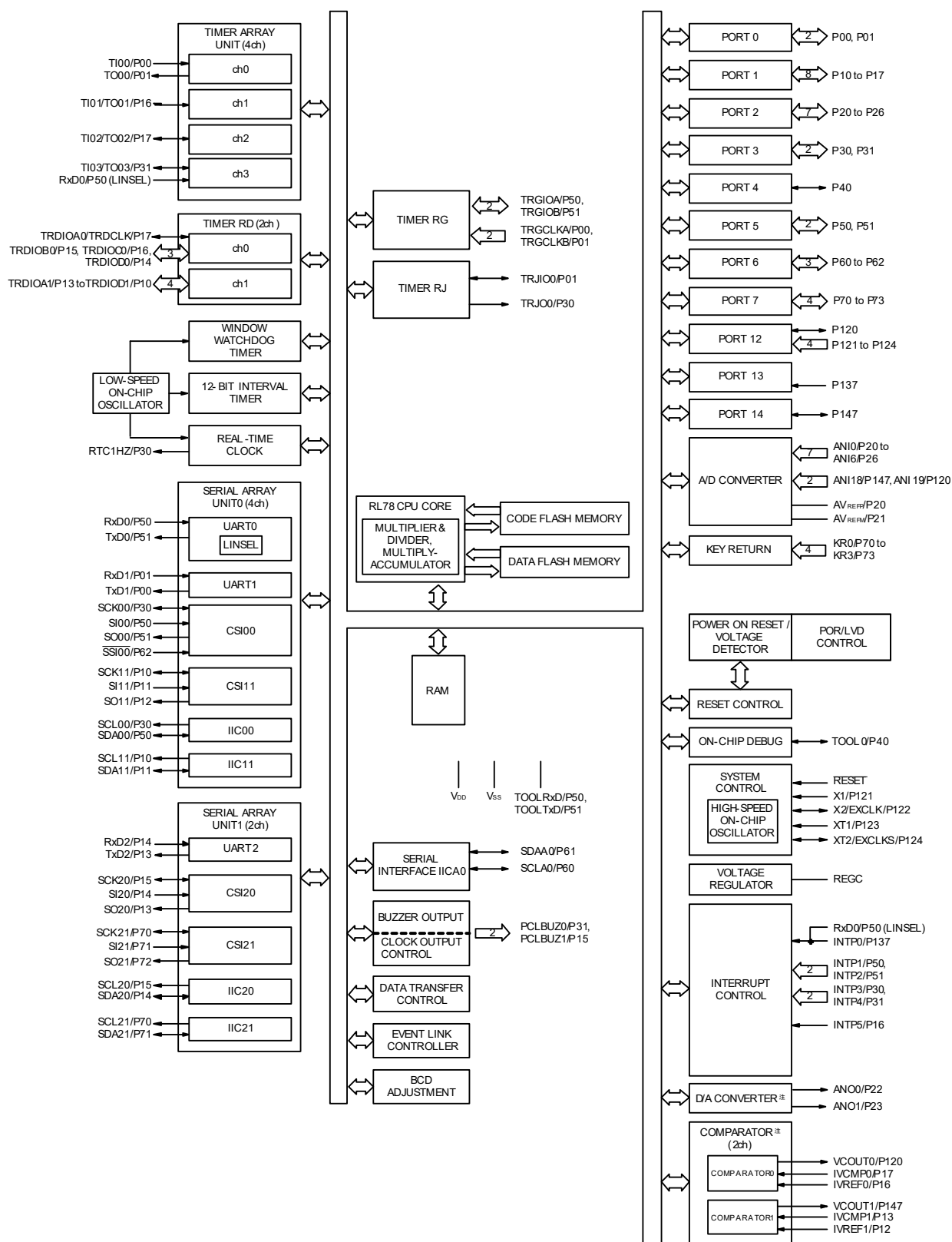
注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.3 36ピン製品



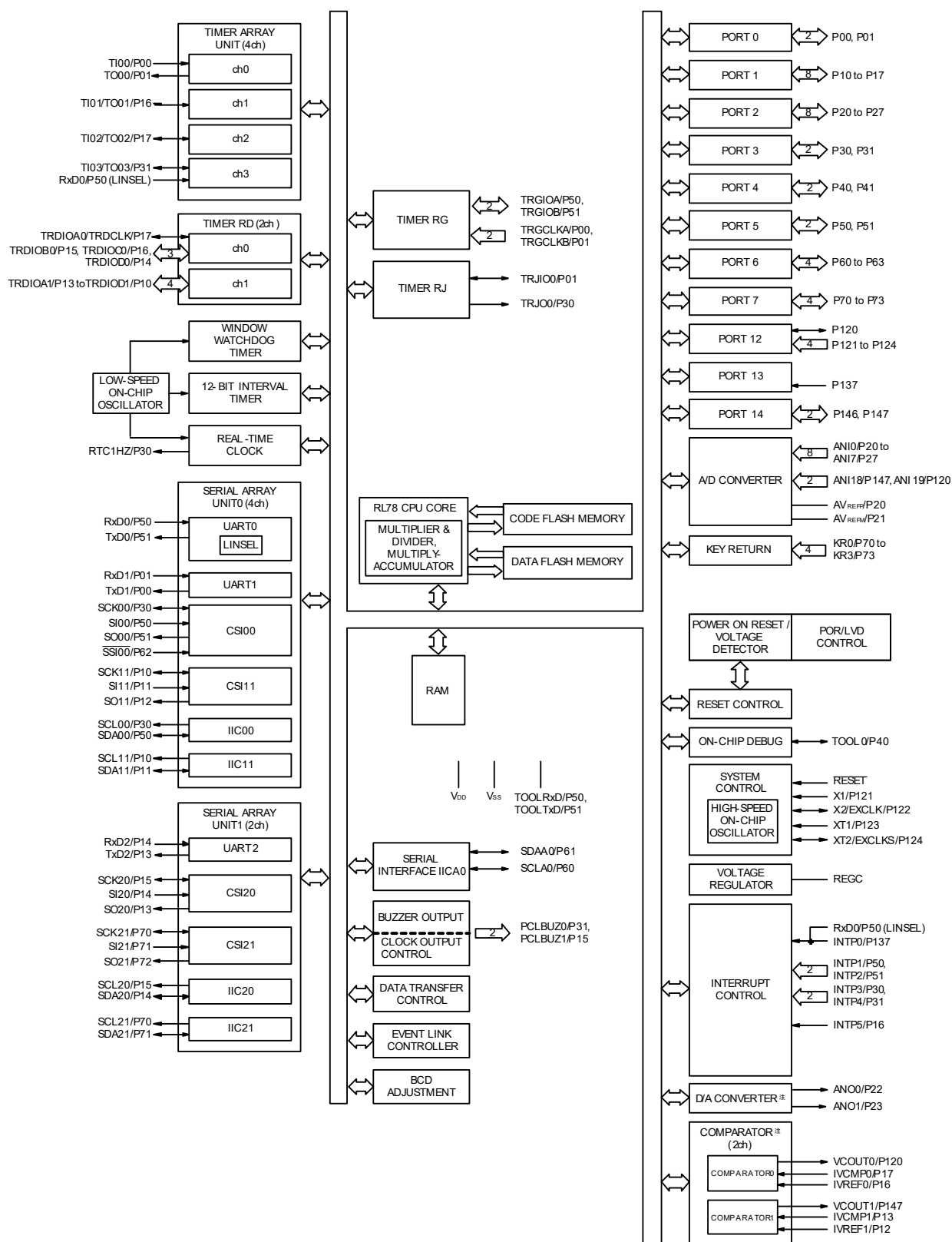
注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.4 40ピン製品



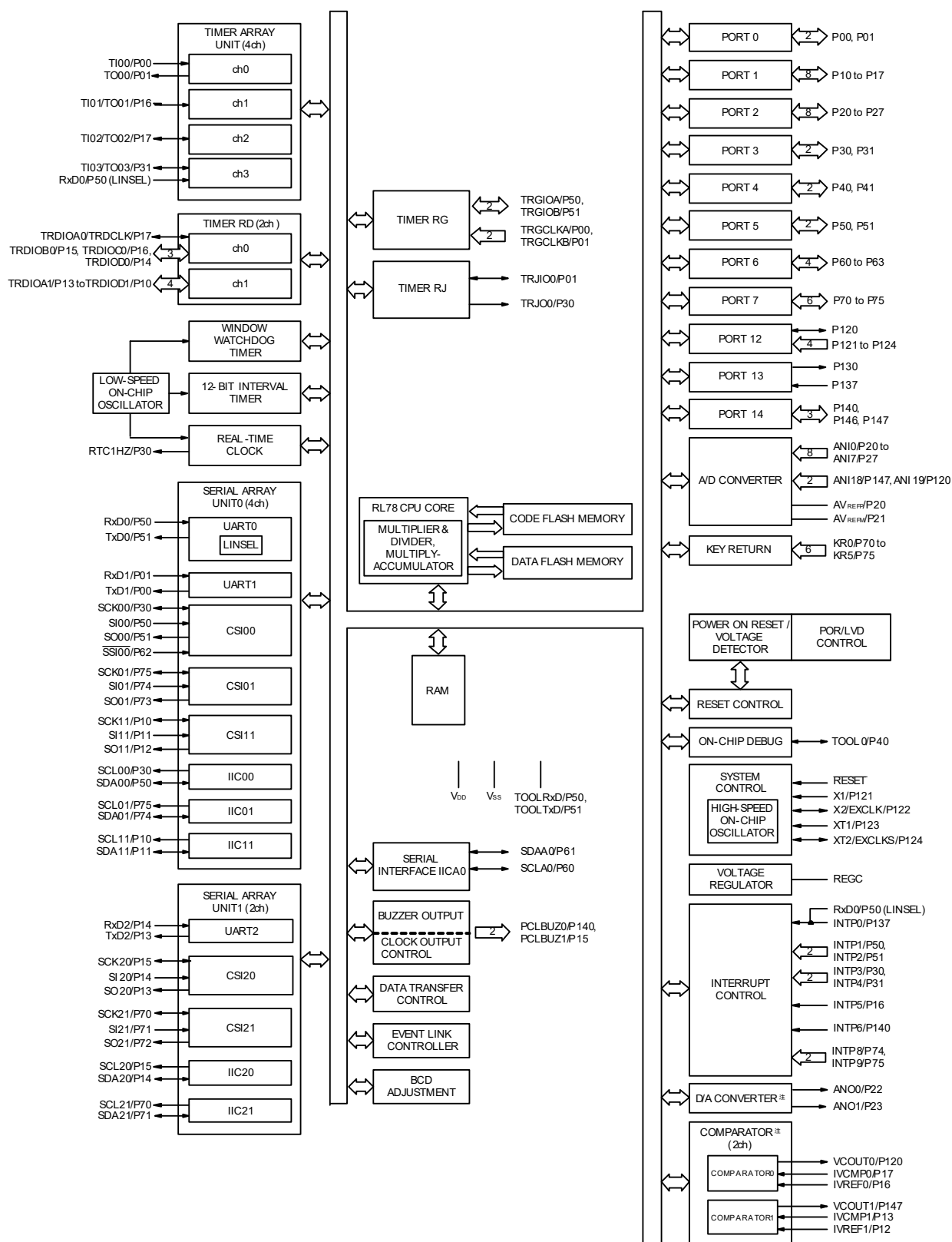
注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.5 44ピン製品



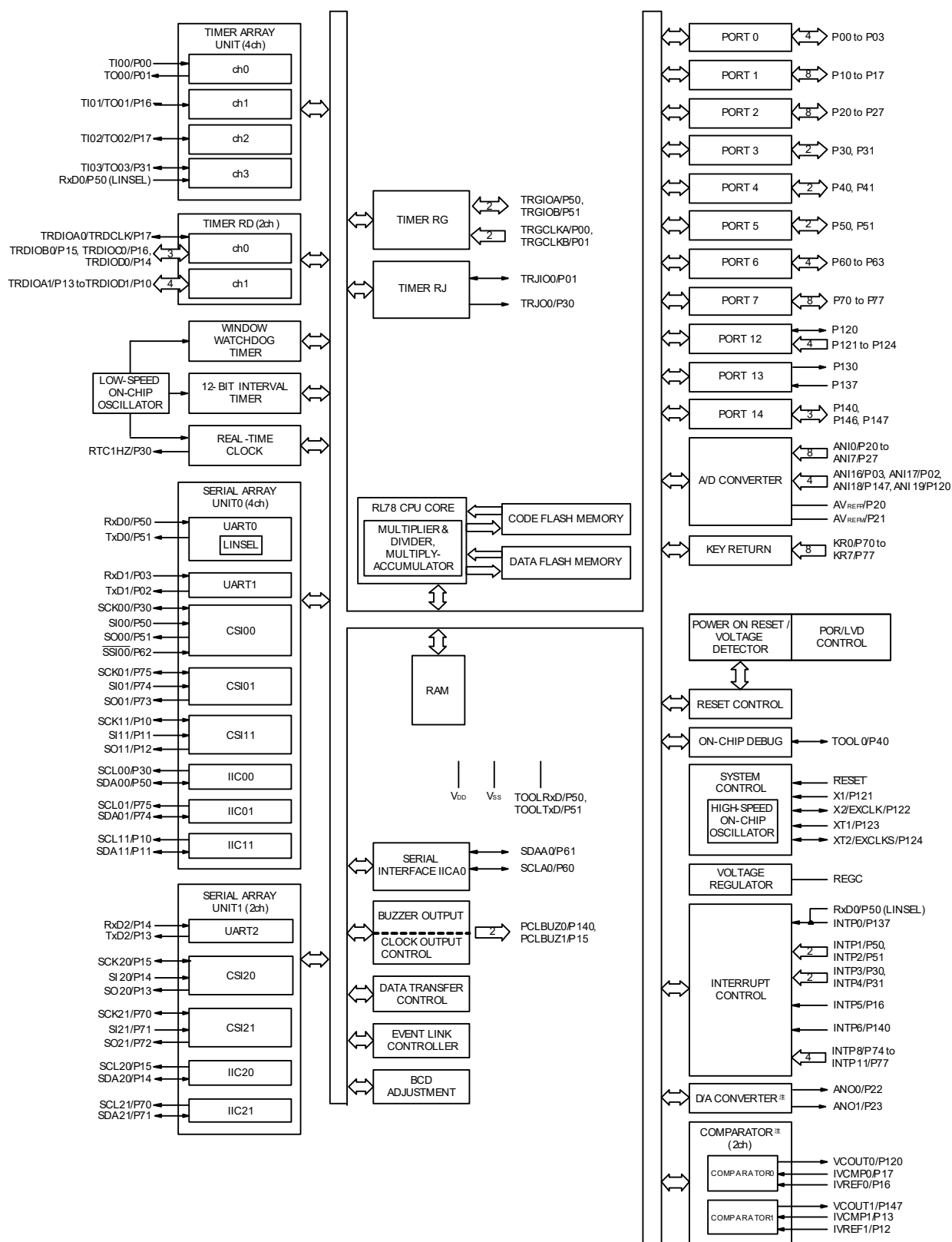
注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.6 48ピン製品



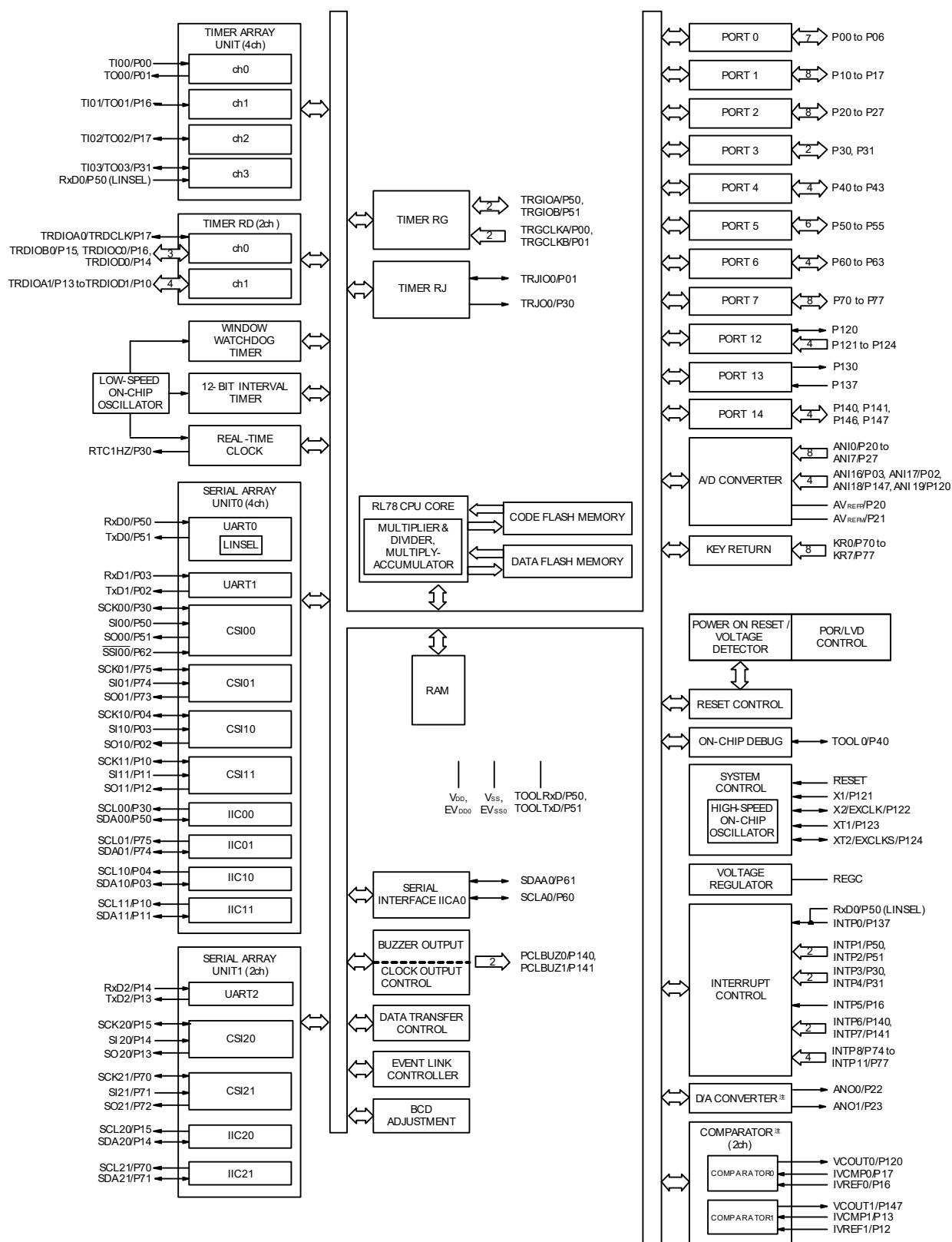
注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.7 52ピン製品



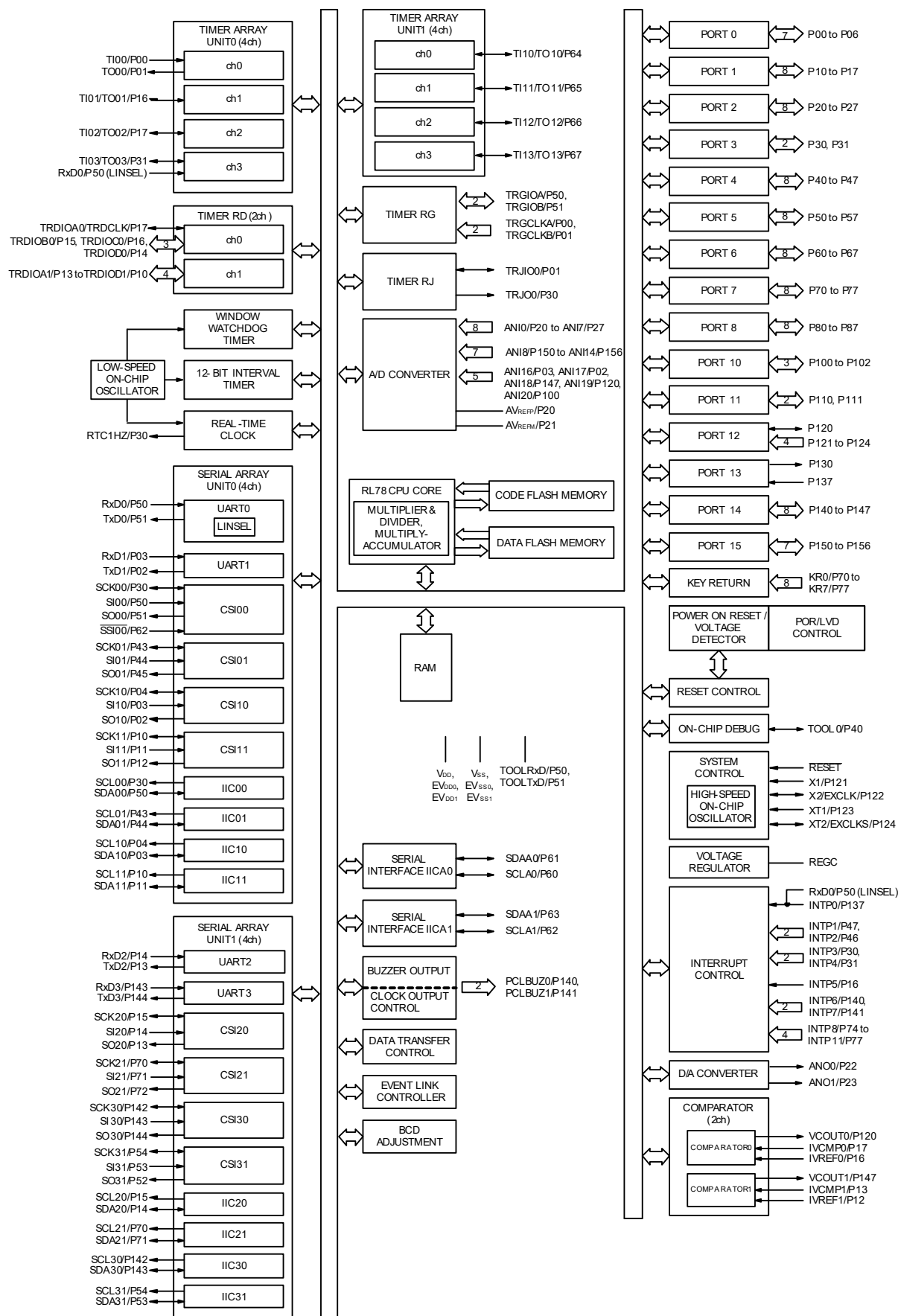
注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.8 64ピン製品



注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

1.5.10 100ピン製品



(注は次ページにあります。)

1.6 機能概要

【30ピン, 32ピン, 36ピン, 40ピン製品(コード・フラッシュ・メモリ 16 KB～64 KB)】

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)を00Hに設定時の機能概要です。

(1/2)

項目		30ピン	32ピン	36ピン	40ピン
		R5F104Ax (x = A, C-E)	R5F104Bx (x = A, C-E)	R5F104Cx (x = A, C-E)	R5F104Ex (x = A, C-E)
コード・フラッシュ・メモリ		16-64 KB	16-64 KB	16-64 KB	16-64 KB
データ・フラッシュ・メモリ		4 KB	4 KB	4 KB	4 KB
RAM		2.5-5.5 KB注	2.5-5.5 KB注	2.5-5.5 KB注	2.5-5.5 KB注
アドレス空間		1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン) モード: 1～20 MHz (VDD = 2.7～5.5 V), HS (高速メイン) モード: 1～16 MHz (VDD = 2.4～5.5 V), LS (低速メイン) モード: 1～8 MHz (VDD = 1.8～5.5 V), LV (低電圧メイン) モード: 1～4 MHz (VDD = 1.6～5.5 V)			
	高速オンチップ・オシレータ・クロック (f _{IH})	HS (高速メイン)モード: 1～32 MHz (VDD = 2.7～5.5 V), HS (高速メイン)モード: 1～16 MHz (VDD = 2.4～5.5 V), LS (低速メイン)モード: 1～8 MHz (VDD = 1.8～5.5 V), LV (低電圧メイン)モード: 1～4 MHz (VDD = 1.6～5.5 V)			
サブシステム・クロック		—			XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): VDD = 1.6～5.5 V			
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)			
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック: f _{IH} = 32 MHz動作時)			
		0.05 μs (高速システム・クロック: f _{MX} = 20 MHz動作時)			
		—			30.5 μs (サブシステム・クロック: f _{SUB} = 32.768 kHz動作時)
命令セット		- データ転送 (8/16ビット) - 加減/論理演算 (8/16ビット) - 乗算 (8×8ビット, 16×16ビット), 除算 (16÷16ビット, 32÷32ビット) - 積和演算 (16×16+32ビット) - ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など			
I/Oポート	合計	26	28	32	36
	CMOS入出力	21	22	26	28
	CMOS入力	3	3	3	5
	CMOS出力	—	—	—	—
	N-ch O.D入出力 (6 V耐圧)	2	3	3	3
タイマ	16ビット・タイマ	8チャンネル (TAU: 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)			
	ウォッチドッグ・タイマ	1チャンネル			
	リアルタイム・クロック (RTC)	1チャンネル			
	12ビット・インターバル・タイマ	1チャンネル			
	タイマ出力	タイマ出力: 13本 PWM出力: 9本			
	RTC出力	—			1本 ・1 Hz (サブシステム・クロック: f _{SUB} = 32.768 kHz)

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品の RAM 領域を一部使用します。対象製品とフラッシュ・ライブラリが使用する RAM 領域のスタートアドレスを示します。

R5F104xD (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xE (x = A-C, E-G, J, L) : スタート・アドレス FE900H

フラッシュ・ライブラリが使用する RAM 領域は、RL78 ファミリセルフ・プログラミング・ライブラリセルフ RAM リスト (R20UT2943) を参照してください。

(2/2)

項目		30ピン	32ピン	36ピン	40ピン
		R5F104Ax (x = A, C-E)	R5F104Bx (x = A, C-E)	R5F104Cx (x = A, C-E)	R5F104Ex (x = A, C-E)
クロック出力/ブザー出力		2本	2本	2本	2本
		【30ピン, 32ピン, 36ピン製品】 ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) 【40ピン製品】 ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fsUB = 32.768 kHz動作時)			
8/10ビット分解能A/Dコンバータ		8チャンネル	8チャンネル	8チャンネル	9チャンネル
シリアル・インタフェース		【30ピン, 32ピン製品】 ・簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル 【36ピン, 40ピン製品】 ・簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル			
	I ² Cバス	1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ(DTC)		28要因	32要因	31要因	29要因
イベント・リンク・コントローラ(ELC)		イベント入力 : 19, イベントトリガ出力 : 7			イベント入力 : 20, イベントトリガ出力 : 7
ベクタ割り込み要因	内部	24	24	24	24
	外部	6	6	6	7
キー割り込み		—	—	—	4
リセット		・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット			
パワーオン・リセット回路		・パワーオン・リセット : 1.51 ± 0.04 V (TA = -40 ~ +85 °C) 1.51 ± 0.06 V (TA = -40 ~ +105 °C) ・パワーダウン・リセット : 1.50 ± 0.04 V (TA = -40 ~ +85 °C) 1.50 ± 0.06 V (TA = -40 ~ +105 °C)			
電圧検出回路		1.63 V ~ 4.06 V (14段階)			
オンチップ・デバッグ機能		あり			
電源電圧		VDD = 1.6 ~ 5.5 V (TA = -40 ~ +85 °C) VDD = 2.4 ~ 5.5 V (TA = -40 ~ +105 °C)			
動作周囲温度		TA = -40 ~ +85 °C (A : 民生用途, D : 産業用途), TA = -40 ~ +105 °C (G : 産業用途)			

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【30ピン, 32ピン, 36ピン, 40ピン製品(コード・フラッシュ・メモリ 96 KB～256 KB)】

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)を00Hに設定時の機能概要です。

(1/2)

項目		30ピン	32ピン	36ピン	40ピン
		R5F104Ax (x = F, G)	R5F104Bx (x = F, G)	R5F104Cx (x = F, G)	R5F104Ex (x = F-H)
コード・フラッシュ・メモリ		96-128 KB	96-128 KB	96-128 KB	96-192 KB
データ・フラッシュ・メモリ		8 KB	8 KB	8 KB	8 KB
RAM		12-16 KB注	12-16 KB注	12-16 KB注	12-20 KB注
アドレス空間		1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン) モード: 1～20 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン) モード: 1～16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン) モード: 1～8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン) モード: 1～4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)			
	高速オンチップ・オシレータ・クロック (f_{IH})	HS (高速メイン)モード: 1～32 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン)モード: 1～16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン)モード: 1～8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン)モード: 1～4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)			
サブシステム・クロック		—			XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): $V_{DD} = 1.6 \sim 5.5$ V			
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)			
最小命令実行時間		0.03125 μ s (高速オンチップ・オシレータ・クロック: $f_{IH} = 32$ MHz動作時)			
		0.05 μ s (高速システム・クロック: $f_{MX} = 20$ MHz動作時)			
		—			30.5 μ s (サブシステム・クロック: $f_{SUB} = 32.768$ kHz動作時)
命令セット		データ転送(8/16ビット) 加減/論理演算(8/16ビット) 乗算(8×8ビット, 16×16ビット), 除算(16÷16ビット, 32÷32ビット) 積和演算(16×16+32ビット) ローテート, パレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など			
I/Oポート	合計	26	28	32	36
	CMOS入出力	21	22	26	28
	CMOS入力	3	3	3	5
	CMOS出力	—	—	—	—
	N-ch O.D入出力(6 V耐圧)	2	3	3	3
タイマ	16ビット・タイマ	8チャンネル (TAU: 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)			
	ウォッチドッグ・タイマ	1チャンネル			
	リアルタイム・クロック(RTC)	1チャンネル			
	12ビット・インターバル・タイマ	1チャンネル			
	タイマ出力	タイマ出力: 13本 PWM出力: 9本			
	RTC出力	—			1本 1 Hz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz)

(注は次ページにあります。)

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品の RAM 領域を一部使用します。対象製品とフラッシュ・ライブラリが使用する RAM 領域のスタートアドレスを示します。

R5F104xJ (x = F, G, J, L, M, P) : スタート・アドレス F9F00H

フラッシュ・ライブラリが使用する RAM 領域は、RL78 ファミリセルフ・プログラミング・ライブラリセルフ RAM リスト (R20UT2943) を参照してください。

(2/2)

項目		30ピン	32ピン	36ピン	40ピン
		R5F104Ax (x = F, G)	R5F104Bx (x = F, G)	R5F104Cx (x = F, G)	R5F104Ex (x = F-H)
クロック出力/ブザー出力		2本	2本	2本	2本
		【30ピン、32ピン、36ピン製品】 ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) 【40ピン製品】 ・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fsUB = 32.768 kHz動作時)			
8/10ビット分解能A/Dコンバータ		8チャンネル	8チャンネル	8チャンネル	9チャンネル
D/Aコンバータ		1チャンネル	2チャンネル		
コンパレータ		2チャンネル			
シリアル・インタフェース		【30ピン、32ピン製品】 ・簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル 【36ピン、40ピン製品】 ・簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル			
	I ² Cバス	1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ(DTC)		30要因			31要因
イベント・リンク・コントローラ(ELC)		イベント入力 : 21, イベントトリガ出力 : 8	イベント入力 : 21, イベントトリガ出力 : 9		イベント入力 : 22, イベントトリガ出力 : 9
ベクタ割り込み要因	内部	24	24	24	24
	外部	6	6	6	7
キー割り込み		—	—	—	4
リセット		・RESET端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット			
パワーオン・リセット回路		・パワーオン・リセット : 1.51 ± 0.04 V (TA = -40 ~ +85 °C) 1.51 ± 0.06 V (TA = -40 ~ +105 °C) ・パワーダウン・リセット : 1.50 ± 0.04 V (TA = -40 ~ +85 °C) 1.50 ± 0.06 V (TA = -40 ~ +105 °C)			
電圧検出回路		1.63 V ~ 4.06 V (14段階)			
オンチップ・デバッグ機能		あり			
電源電圧		VDD = 1.6 ~ 5.5 V (TA = -40 ~ +85 °C) VDD = 2.4 ~ 5.5 V (TA = -40 ~ +105 °C)			
動作周囲温度		TA = -40 ~ +85 °C (A : 民生用途, D : 産業用途), TA = -40 ~ +105 °C (G : 産業用途)			

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【44ピン, 48ピン, 52ピン, 64ピン製品(コード・フラッシュ・メモリ 16 KB~64 KB)】

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1) を00Hに設定時の機能概要です。

(1/2)

項目		44ピン	48ピン	52ピン	64ピン
		R5F104Fx (x = A, C-E)	R5F104Gx (x = A, C-E)	R5F104Jx (x = C-E)	R5F104Lx (x = C-E)
コード・フラッシュ・メモリ		16-64 KB	16-64 KB	32-64 KB	32-64 KB
データ・フラッシュ・メモリ		4 KB	4 KB	4 KB	4 KB
RAM		2.5-5.5 KB注	2.5-5.5 KB注	4-5.5 KB注	4-5.5 KB注
アドレス空間		1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン) モード: 1~20 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン) モード: 1~16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン) モード: 1~8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン) モード: 1~4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)			
	高速オンチップ・オシレータ・クロック (f _{IH})	HS (高速メイン)モード: 1~32 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン)モード: 1~16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン)モード: 1~8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン)モード: 1~4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)			
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz			
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): $V_{DD} = 1.6 \sim 5.5$ V			
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)			
最小命令実行時間		0.03125 μ s (高速オンチップ・オシレータ・クロック: f _{IH} = 32 MHz動作時)			
		0.05 μ s (高速システム・クロック: f _{MX} = 20 MHz動作時)			
		30.5 μ s (サブシステム・クロック: f _{SUB} = 32.768 kHz動作時)			
命令セット		- データ転送(8/16ビット) - 加減/論理演算(8/16ビット) - 乗算(8×8ビット, 16×16ビット), 除算(16÷16ビット, 32÷32ビット) - 積和演算(16×16+32ビット) - ローテート, バレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など			
I/Oポート	合計	40	44	48	58
	CMOS入出力	31	34	38	48
	CMOS入力	5	5	5	5
	CMOS出力	—	1	1	1
	N-ch O.D入出力(6 V耐圧)	4	4	4	4
タイマ	16ビット・タイマ	8チャンネル (TAU: 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)			
	ウォッチドッグ・タイマ	1チャンネル			
	リアルタイム・クロック(RTC)	1チャンネル			
	12ビット・インターバル・タイマ	1チャンネル			
	タイマ出力	タイマ出力: 13本 PWM出力: 9本			
	RTC出力	1本 ・1 Hz (サブシステム・クロック: f _{SUB} = 32.768 kHz)			

(注は次ページにあります。)

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品の RAM 領域を一部使用します。対象製品とフラッシュ・ライブラリが使用する RAM 領域のスタートアドレスを示します。

R5F104xD (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xE (x = A-C, E-G, J, L) : スタート・アドレス FE900H

フラッシュ・ライブラリが使用する RAM 領域は、RL78 ファミリセルフ・プログラミング・ライブラリセルフ RAM リスト (R20UT2943) を参照してください。

(2/2)

項目	44ピン		48ピン		52ピン		64ピン	
	R5F104Fx (x = A, C-E)		R5F104Gx (x = A, C-E)		R5F104Jx (x = C-E)		R5F104Lx (x = C-E)	
クロック出力/ブザー出力	2本		2本		2本		2本	
	・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fSUB = 32.768 kHz動作時)							
8/10ビット分解能A/Dコン バータ	10チャンネル		10チャンネル		12チャンネル		12チャンネル	
シリアル・インタフェース	【44ピン製品】 ・ 簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 1チャンネル ・ 簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル 【48ピン, 52ピン製品】 ・ 簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル 【64ピン製品】 ・ 簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル							
	I ² Cバス	1チャンネル	1チャンネル		1チャンネル		1チャンネル	
データ・トランスファ・ コントローラ(DTC)	29要因		30要因				31要因	
イベント・リンク・ コントローラ(ELC)	イベント入力 : 20, イベントトリガ出力 : 7							
ベクタ割り 込み要因	内部	24	24		24		24	
	外部	7	10		12		13	
キー割り込み	4		6		8		8	
リセット	・ <u>RESET</u> 端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・リセットによる内部リセット ・ 電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット注 ・ RAMパリティ・エラーによる内部リセット ・ 不正メモリ・アクセスによる内部リセット							
パワーオン・リセット回路	・ パワーオン・リセット : 1.51 ± 0.04 V (TA = -40 ~ +85 °C) 1.51 ± 0.06 V (TA = -40 ~ +105 °C) ・ パワーダウン・リセット : 1.50 ± 0.04 V (TA = -40 ~ +85 °C) 1.50 ± 0.06 V (TA = -40 ~ +105 °C)							
電圧検出回路	1.63 V ~ 4.06 V (14段階)							
オンチップ・デバッグ機能	あり							
電源電圧	VDD = 1.6 ~ 5.5 V (TA = -40 ~ +85 °C) VDD = 2.4 ~ 5.5 V (TA = -40 ~ +105 °C)							
動作周囲温度	TA = -40 ~ +85 °C (A : 民生用途, D : 産業用途), TA = -40 ~ +105 °C (G : 産業用途)							

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【44ピン, 48ピン, 52ピン, 64ピン製品(コード・フラッシュ・メモリ 96 KB~256 KB)】

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1) を00Hに設定時の機能概要です。

(1/2)

項目		44ピン	48ピン	52ピン	64ピン
		R5F104Fx (x = F-H, J)	R5F104Gx (x = F-H, J)	R5F104Jx (x = F-H, J)	R5F104Lx (x = F-H, J)
コード・フラッシュ・メモリ		96-256 KB	96-256 KB	96-256 KB	96-256 KB
データ・フラッシュ・メモリ		8 KB	8 KB	8 KB	8 KB
RAM		12-24 KB注	12-24 KB注	12-24 KB注	12-24 KB注
アドレス空間		1 Mバイト			
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン) モード: 1~20 MHz (V _{DD} = 2.7~5.5 V), HS (高速メイン) モード: 1~16 MHz (V _{DD} = 2.4~5.5 V), LS (低速メイン) モード: 1~8 MHz (V _{DD} = 1.8~5.5 V), LV (低電圧メイン) モード: 1~4 MHz (V _{DD} = 1.6~5.5 V)			
	高速オンチップ・オシレータ・クロック (f _{IH})	HS (高速メイン)モード: 1~32 MHz (V _{DD} = 2.7~5.5 V), HS (高速メイン)モード: 1~16 MHz (V _{DD} = 2.4~5.5 V), LS (低速メイン)モード: 1~8 MHz (V _{DD} = 1.8~5.5 V), LV (低電圧メイン)モード: 1~4 MHz (V _{DD} = 1.6~5.5 V)			
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力 (EXCLKS) 32.768 kHz			
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): V _{DD} = 1.6~5.5 V			
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)			
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック: f _{IH} = 32 MHz動作時)			
		0.05 μs (高速システム・クロック: f _{MX} = 20 MHz動作時)			
		30.5 μs (サブシステム・クロック: f _{SUB} = 32.768 kHz動作時)			
命令セット		- データ転送 (8/16ビット) - 加減/論理演算 (8/16ビット) - 乗算 (8×8ビット, 16×16ビット), 除算 (16÷16ビット, 32÷32ビット) - 積和演算 (16×16+32ビット) - ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算)など			
I/Oポート	合計	40	44	48	58
	CMOS入出力	31	34	38	48
	CMOS入力	5	5	5	5
	CMOS出力	—	1	1	1
	N-ch O.D入出力 (6 V耐圧)	4	4	4	4
タイマ	16ビット・タイマ	8チャンネル (TAU: 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)			
	ウォッチドッグ・タイマ	1チャンネル			
	リアルタイム・クロック (RTC)	1チャンネル			
	12ビット・インターバル・タイマ	1チャンネル			
	タイマ出力	タイマ出力: 13本 PWM出力: 9本			
	RTC出力	1本 ・1 Hz (サブシステム・クロック: f _{SUB} = 32.768 kHz)			

(注は次ページにあります。)

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とフラッシュ・ライブラリが使用するRAM領域のスタートアドレスを示します。

R5F104xJ (x = F, G, J, L, M, P) : スタート・アドレス F9F00H

フラッシュ・ライブラリが使用するRAM領域は、RL78 ファミリセルフ・プログラミング・ライブラリセルフRAM リスト (R20UT2943) を参照してください。

(2/2)

項目		44ピン	48ピン	52ピン	64ピン
		R5F104Fx (x = F-H, J)	R5F104Gx (x = F-H, J)	R5F104Jx (x = F-H, J)	R5F104Lx (x = F-H, J)
クロック出力/ブザー出力		2本	2本	2本	2本
		・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fsUB = 32.768 kHz動作時)			
8/10ビット分解能A/Dコンバータ		10チャンネル	10チャンネル	12チャンネル	12チャンネル
D/Aコンバータ		2チャンネル			
コンパレータ		2チャンネル			
シリアル・インタフェース		【44ピン製品】 ・簡易SPI (CSI) : 1チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル 【48ピン, 52ピン製品】 ・簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル 【64ピン製品】 ・簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル			
I ² Cバス		1チャンネル	1チャンネル	1チャンネル	1チャンネル
データ・トランスファ・コントローラ(DTC)		31要因	32要因		33要因
イベント・リンク・コントローラ(ELC)		イベント入力 : 22, イベントトリガ出力 : 9			
ベクタ割り込み要因	内部	24	24	24	24
	外部	7	10	12	13
キー割り込み		4	6	8	8
リセット		- RESET端子によるリセット - ウォッチドッグ・タイマによる内部リセット - パワーオン・リセットによる内部リセット - 電圧検出回路による内部リセット - 不正命令の実行による内部リセット注 - RAMパリティ・エラーによる内部リセット - 不正メモリ・アクセスによる内部リセット			
パワーオン・リセット回路		・パワーオン・リセット : 1.51 ± 0.04 V (TA = -40 ~ +85 °C) 1.51 ± 0.06 V (TA = -40 ~ +105 °C) ・パワーダウン・リセット : 1.50 ± 0.04 V (TA = -40 ~ +85 °C) 1.50 ± 0.06 V (TA = -40 ~ +105 °C)			
電圧検出回路		1.63 V ~ 4.06 V (14段階)			
オンチップ・デバッグ機能		あり			
電源電圧		VDD = 1.6 ~ 5.5 V (TA = -40 ~ +85 °C) VDD = 2.4 ~ 5.5 V (TA = -40 ~ +105 °C)			
動作周囲温度		TA = -40 ~ +85 °C (A : 民生用途, D : 産業用途), TA = -40 ~ +105 °C (G : 産業用途)			

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【48ピン, 64ピン製品(コード・フラッシュ・メモリ 384 KB～512 KB)】

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)を00Hに設定時の機能概要です。

(1/2)

項目		48ピン	64ピン
		R5F104Gx (x = K, L)	R5F104Lx (x = K, L)
コード・フラッシュ・メモリ		384-512 KB	384-512 KB
データ・フラッシュ・メモリ		8 KB	8 KB
RAM		32-48 KB注	32-48 KB注
アドレス空間		1 Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力 (EXCLK) HS (高速メイン) モード: 1~20 MHz (VDD = 2.7~5.5 V), HS (高速メイン) モード: 1~16 MHz (VDD = 2.4~5.5 V), LS (低速メイン) モード: 1~8 MHz (VDD = 1.8~5.5 V), LV (低電圧メイン) モード: 1~4 MHz (VDD = 1.6~5.5 V)	
	高速オンチップ・オシレータ・クロック (fIH)	HS (高速メイン)モード: 1~32 MHz (VDD = 2.7~5.5 V), HS (高速メイン)モード: 1~16 MHz (VDD = 2.4~5.5 V), LS (低速メイン)モード: 1~8 MHz (VDD = 1.8~5.5 V), LV (低電圧メイン)モード: 1~4 MHz (VDD = 1.6~5.5 V)	
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力 (EXCLKS) 32.768 kHz	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): VDD = 1.6~5.5 V	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.03125 μs (高速オンチップ・オシレータ・クロック: fIH = 32 MHz動作時)	
		0.05 μs (高速システム・クロック: fMX = 20 MHz動作時)	
		30.5 μs (サブシステム・クロック: fSUB = 32.768 kHz動作時)	
命令セット		・データ転送 (8/16ビット) ・加減/論理演算 (8/16ビット) ・乗算 (8×8ビット, 16×16ビット), 除算 (16÷16ビット, 32÷32ビット) ・積和演算 (16×16+32ビット) ・ローテート, パレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算)など	
I/Oポート	合計	44	58
	CMOS入出力	34	48
	CMOS入力	5	5
	CMOS出力	1	1
	N-ch O.D入出力(6 V耐圧)	4	4
タイマ	16ビット・タイマ	8チャンネル (TAU: 4チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)	
	ウォッチドッグ・タイマ	1チャンネル	
	リアルタイム・クロック (RTC)	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	タイマ出力	タイマ出力: 14本 PWM出力: 9本	
	RTC出力	1本 ・1 Hz (サブシステム・クロック: fSUB =32.768 kHz)	

(注は次ページにあります。)

注 セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品の RAM 領域を一部使用します。対象製品とフラッシュ・ライブラリが使用する RAM 領域のスタートアドレスを示します。

R5F104xL (x = G, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用する RAM 領域は、RL78 ファミリセルフ・プログラミング・ライブラリセルフ RAM リスト (R20UT2943) を参照してください。

(2/2)

項目		48ピン	64ピン
		R5F104Gx (x = K, L)	R5F104Lx (x = K, L)
クロック出力/ブザー出力		2本	2本
		・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fSUB = 32.768 kHz動作時)	
8/10ビット分解能A/Dコンバータ		10チャンネル	12チャンネル
D/Aコンバータ		2チャンネル	
コンパレータ		2チャンネル	
シリアル・インタフェース		【48ピン製品】 ・ 簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 1チャンネル/UART : 1チャンネル/簡易I ² C : 1チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル 【64ピン製品】 ・ 簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル	
		I ² Cバス	1チャンネル
データ・トランスファ・コントローラ (DTC)		32要因	33要因
イベント・リンク・コントローラ (ELC)		イベント入力 : 22, イベントトリガ出力 : 9	
ベクタ割り込み要因	内部	24	24
	外部	10	13
キー割り込み		6	8
リセット		・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・リセットによる内部リセット ・ 電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット注 ・ RAMパリティ・エラーによる内部リセット ・ 不正メモリ・アクセスによる内部リセット	
パワーオン・リセット回路		・ パワーオン・リセット : 1.51 ± 0.04 V (TA = -40 ~ +85 °C) 1.51 ± 0.06 V (TA = -40 ~ +105 °C) ・ パワーダウン・リセット : 1.50 ± 0.04 V (TA = -40 ~ +85 °C) 1.50 ± 0.06 V (TA = -40 ~ +105 °C)	
電圧検出回路		1.63 V ~ 4.06 V (14段階)	
オンチップ・デバッグ機能		あり	
電源電圧		VDD = 1.6 ~ 5.5 V (TA = -40 ~ +85 °C) VDD = 2.4 ~ 5.5 V (TA = -40 ~ +105 °C)	
動作周囲温度		TA = -40 ~ +85 °C (A : 民生用途, D : 産業用途), TA = -40 ~ +105 °C (G : 産業用途)	

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【80ピン, 100ピン製品(コード・フラッシュ・メモリ 96 KB～256 KB)】

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1) を00Hに設定時の機能概要です。

(1/2)

項目		80ピン	100ピン
		R5F104Mx (x = F-H, J)	R5F104Px (x = F-H, J)
コード・フラッシュ・メモリ		96-256 KB	96-256 KB
データ・フラッシュ・メモリ		8 KB	8 KB
RAM		12-24 KB注	12-24 KB注
アドレス空間		1 Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン) モード: 1～20 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン) モード: 1～16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン) モード: 1～8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン) モード: 1～4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)	
	高速オンチップ・オシレータ・クロック (f_{IH})	HS (高速メイン)モード: 1～32 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン)モード: 1～16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン)モード: 1～8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン)モード: 1～4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)	
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): $V_{DD} = 1.6 \sim 5.5$ V	
汎用レジスタ		8ビット×32レジスタ(8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.03125 μ s (高速オンチップ・オシレータ・クロック: $f_{IH} = 32$ MHz動作時)	
		0.05 μ s (高速システム・クロック: $f_{MX} = 20$ MHz動作時)	
		30.5 μ s (サブシステム・クロック: $f_{SUB} = 32.768$ kHz動作時)	
命令セット		- データ転送(8/16ビット) - 加減/論理演算(8/16ビット) - 乗算(8×8ビット, 16×16ビット), 除算($16 \div 16$ビット, $32 \div 32$ビット) - 積和演算($16 \times 16 + 32$ビット) - ローテート, バレル・シフト, ビット操作(セット, リセット, テスト, ブール演算)など	
I/Oポート	合計	74	92
	CMOS入出力	64	82
	CMOS入力	5	5
	CMOS出力	1	1
	N-ch O.D入出力 (6 V耐圧)	4	4
タイマ	16ビット・タイマ	12チャンネル (TAU: 8チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)	
	ウォッチドッグ・タイマ	1チャンネル	
	リアルタイム・クロック (RTC)	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	タイマ出力	タイマ出力: 18本 PWM出力: 12本	
	RTC出力	1本 ・1 Hz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz)	

注 24 Kバイトの場合, セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は, 約23 KB (詳細は, 第3章 参照)。

(2/2)

項目		80ピン	100ピン
		R5F104Mx (x = F-H, J)	R5F104Px (x = F-H, J)
クロック出力/ブザー出力		2本	2本
		・2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) ・256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fSUB = 32.768 kHz動作時)	
8/10ビット分解能A/Dコンバータ		17チャンネル	20チャンネル
D/Aコンバータ		2チャンネル	2チャンネル
コンパレータ		2チャンネル	2チャンネル
シリアル・インタフェース		【80ピン, 100ピン製品】 ・簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル	
		I ² Cバス	2チャンネル
データ・トランスファ・コントローラ(DTC)		39要因	39要因
イベント・リンク・コントローラ(ELC)		イベント入力 : 26, イベントトリガ出力 : 9	
ベクタ割り込み要因	内部	32	32
	外部	13	13
キー割り込み		8	8
リセット		・ <u>RESET</u> 端子によるリセット ・ウォッチドッグ・タイマによる内部リセット ・パワーオン・リセットによる内部リセット ・電圧検出回路による内部リセット ・不正命令の実行による内部リセット注 ・RAMパリティ・エラーによる内部リセット ・不正メモリ・アクセスによる内部リセット	
パワーオン・リセット回路		・パワーオン・リセット : 1.51 ± 0.04 V (TA = -40 ~ +85 °C) 1.51 ± 0.06 V (TA = -40 ~ +105 °C) ・パワーダウン・リセット : 1.50 ± 0.04 V (TA = -40 ~ +85 °C) 1.50 ± 0.06 V (TA = -40 ~ +105 °C)	
電圧検出回路		1.63 V ~ 4.06 V (14段階)	
オンチップ・デバッグ機能		あり	
電源電圧		VDD = 1.6 ~ 5.5 V (TA = -40 ~ +85 °C) VDD = 2.4 ~ 5.5 V (TA = -40 ~ +105 °C)	
動作周囲温度		TA = -40 ~ +85 °C (A : 民生用途, D : 産業用途), TA = -40 ~ +105 °C (G : 産業用途)	

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

【80ピン, 100ピン製品(コード・フラッシュ・メモリ 384 KB~512 KB)】

注意 周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1) を00Hに設定時の機能概要です。

(1/2)

項目		80ピン	100ピン
		R5F104Mx (x = K, L)	R5F104Px (x = K, L)
コード・フラッシュ・メモリ		384-512 KB	384-512 KB
データ・フラッシュ・メモリ		8 KB	8 KB
RAM		32-48 KB ^注	32-48 KB ^注
アドレス空間		1 Mバイト	
メイン・システム・クロック	高速システム・クロック	X1 (水晶/セラミック)発振, 外部メイン・システム・クロック入力(EXCLK) HS (高速メイン) モード: 1~20 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン) モード: 1~16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン) モード: 1~8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン) モード: 1~4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)	
	高速オンチップ・オシレータ・クロック (f_{IH})	HS (高速メイン)モード: 1~32 MHz ($V_{DD} = 2.7 \sim 5.5$ V), HS (高速メイン)モード: 1~16 MHz ($V_{DD} = 2.4 \sim 5.5$ V), LS (低速メイン)モード: 1~8 MHz ($V_{DD} = 1.8 \sim 5.5$ V), LV (低電圧メイン)モード: 1~4 MHz ($V_{DD} = 1.6 \sim 5.5$ V)	
サブシステム・クロック		XT1 (水晶)発振, 外部サブシステム・クロック入力(EXCLKS) 32.768 kHz	
低速オンチップ・オシレータ・クロック		15 kHz (TYP.): $V_{DD} = 1.6 \sim 5.5$ V	
汎用レジスタ		8ビット×32レジスタ (8ビット×8レジスタ×4バンク)	
最小命令実行時間		0.03125 μ s (高速オンチップ・オシレータ・クロック: $f_{IH} = 32$ MHz動作時)	
		0.05 μ s (高速システム・クロック: $f_{MX} = 20$ MHz動作時)	
		30.5 μ s (サブシステム・クロック: $f_{SUB} = 32.768$ kHz動作時)	
命令セット		- データ転送 (8/16ビット) - 加減/論理演算 (8/16ビット) - 乗算 (8×8ビット, 16×16ビット), 除算 (16÷16ビット, 32÷32ビット) - 積和演算 (16×16+32ビット) - ローテート, バレル・シフト, ビット操作 (セット, リセット, テスト, ブール演算) など	
I/Oポート	合計	74	92
	CMOS入出力	64	82
	CMOS入力	5	5
	CMOS出力	1	1
	N-ch O.D入出力 (6 V耐圧)	4	4
タイマ	16ビット・タイマ	12チャンネル (TAU: 8チャンネル, タイマRJ: 1チャンネル, タイマRD: 2チャンネル, タイマRG: 1チャンネル)	
	ウォッチドッグ・タイマ	1チャンネル	
	リアルタイム・クロック (RTC)	1チャンネル	
	12ビット・インターバル・タイマ	1チャンネル	
	タイマ出力	タイマ出力: 18本 PWM出力: 12本	
	RTC出力	1本 ・1 Hz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz)	

注 48 Kバイトの場合, セルフ・プログラミング機能およびデータ・フラッシュ機能使用時は, 約47 KB (詳細は, 第3章 参照)。

(2/2)

項目		80ピン	100ピン
		R5F104Mx (x = K, L)	R5F104Px (x = K, L)
クロック出力/ブザー出力		2本	2本
		・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (メイン・システム・クロック : fMAIN = 20 MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : fSUB = 32.768 kHz動作時)	
8/10ビット分解能A/Dコンバータ		17チャンネル	20チャンネル
D/Aコンバータ		2チャンネル	2チャンネル
コンパレータ		2チャンネル	2チャンネル
シリアル・インタフェース		【80ピン, 100ピン製品】 ・ 簡易SPI (CSI) : 2チャンネル/UART (LIN-bus対応) : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル ・ 簡易SPI (CSI) : 2チャンネル/UART : 1チャンネル/簡易I ² C : 2チャンネル	
		I ² Cバス	2チャンネル
データ・トランスファ・コントローラ(DTC)		39要因	39要因
イベント・リンク・コントローラ(ELC)		イベント入力 : 26, イベントトリガ出力 : 9	
ベクタ割り込み要因	内部	32	32
	外部	13	13
キー割り込み		8	8
リセット		・ <u>RESET</u> 端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・リセットによる内部リセット ・ 電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット注 ・ RAMパリティ・エラーによる内部リセット ・ 不正メモリ・アクセスによる内部リセット	
パワーオン・リセット回路		・ パワーオン・リセット : 1.51 ± 0.04 V (TA = -40 ~ +85 °C) 1.51 ± 0.06 V (TA = -40 ~ +105 °C) ・ パワーダウン・リセット : 1.50 ± 0.04 V (TA = -40 ~ +85 °C) 1.50 ± 0.06 V (TA = -40 ~ +105 °C)	
電圧検出回路		1.63 V ~ 4.06 V (14段階)	
オンチップ・デバッグ機能		あり	
電源電圧		VDD = 1.6 ~ 5.5 V (TA = -40 ~ +85 °C) VDD = 2.4 ~ 5.5 V (TA = -40 ~ +105 °C)	
動作周囲温度		TA = -40 ~ +85 °C (A : 民生用途, D : 産業用途), TA = -40 ~ +105 °C (G : 産業用途)	

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 ポート機能

端子の入出力バッファ電源は、製品によって異なります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

(1) 30ピン, 32ピン, 36ピン, 40ピン, 44ピン, 48ピン, 52ピン製品

電源	対応する端子
V _{DD}	すべての端子

(2) 64ピン製品

電源	対応する端子
EV _{DD0}	• P20-P27, P121-P124, P137以外のポート端子
V _{DD}	• P20-P27, P121-P124, P137 • $\overline{\text{RESET}}$, REGC

(3) 80ピン製品

電源	対応する端子
EV _{DD0}	• P20-P27, P121-P124, P137, P150-P153以外のポート端子
V _{DD}	• P20-P27, P121-P124, P137, P150-P153 • $\overline{\text{RESET}}$, REGC

(4) 100ピン製品

電源	対応する端子
EV _{DD0} , EV _{DD1}	• P20-P27, P121-P124, P137, P150-P156以外のポート端子
V _{DD}	• P20-P27, P121-P124, P137, P150-P156 • $\overline{\text{RESET}}$, REGC

注意 EV_{DD0}とEV_{DD1}は、同電位にしてください。

各ポートで設定した入出力やバッファ、プルアップ抵抗は、兼用機能に対しても有効です。

2.1.1 30ピン(コード・フラッシュ・メモリ 16 KB～64 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	ANI17/TI00/TxD1/TRGCLKA/TRJ00	ポート0。
P01	8-1-3			ANI16/TO00/RxD1/TRGCLKB/TRJ100	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDI0C1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定 可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープ ン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	4ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能 ^{注2} 。
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/SSI00/ (TRJ100)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6 V 耐圧)。
P61				SDAA0	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
RESET	2-2-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.2 32ピン(コード・フラッシュ・メモリ 16 KB～64 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	ANI17/TI00/TxD1/TRGCLKA/(TRJO0)	ポート0。
P01	8-1-3			ANI16/TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P00, P01はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDI0C1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDI0C0/(RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AV _{REFP}	ポート2。
P21				ANI1/AV _{REFM}	4ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能 ^{注2} 。
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/TRJO0	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します (1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P70	7-1-3	入出力	入力ポート	—	ポート7。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.3 36ピン(コード・フラッシュ・メモリ 16 KB～64 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	6ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能注。
P24				ANI4	
P25				ANI5	
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1(PIOR0,1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJO0)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18	ポート14。 1ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注 。
RESET	2-2-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.4 40ピン(コード・フラッシュ・メモリ 16 KB～64 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AV _{REFP}	ポート2。
P21				ANI1/AV _{REFM}	7ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能注。
P24				ANI4	
P25				ANI5	
P26				ANI6	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1(PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA/(TRJO0)	ポート 5。 2ビット入出力ポート。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P60	12-1-5	入出力	入力ポート	SCLA0	ポート 6。
P61				SDAA0	3ビット入出力ポート。
P62				SSI00	1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力 (6 V 耐圧)。
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート 7。
P71	7-1-4			KR1/SI21/SDA21	4ビット入出力ポート。
P72	7-1-3			KR2/SO21	1ビット単位で入力／出力の指定可能。
P73				KR3	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P120	7-3-3	入出力	アナログ機能	ANI19	ポート 12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。
P122				X2/EXCLK	P120はアナログ入力に設定可能。
P123				XT1	P120のみ、入力／出力の指定が可能。
P124				XT2/EXCLKS	P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P137	2-1-2	入力	入力ポート	INTP0	ポート 13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18	ポート 14。 1ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.5 44ピン(コード・フラッシュ・メモリ 16 KB～64 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJO0)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AV _{REFP}	ポート2。
P21				ANI1/AV _{REFM}	8ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能注。
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJO0	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1(PIOR0,1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P73				KR3	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P146	7-1-3	入出力	入力ポート	—	ポート14。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能 ^注 。
P147	7-3-3		アナログ機能	ANI18	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.6 48ピン(コード・フラッシュ・メモリ 16 KB～64 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AV _{REFP}	ポート2。
P21				ANI1/AV _{REFM}	8ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能注。
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/(PCLBUZ0)/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1(PIOR0,1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJO0)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71, P74の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P73				KR3/SO01	
P74	7-1-4			KR4/INTP8/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
P146				—	
P147	7-3-3		アナログ機能	ANI18	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.7 52ピン(コード・フラッシュ・メモリ 16 KB～64 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/TRGCLKB/TRJIO0	4ビット入出力ポート。
P02	7-3-4		アナログ機能	ANI17/TxD1	1ビット単位で入力／出力の指定可能。
P03	8-3-4			ANI16/RxD1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01, P03の入力はTTL入力バッファに設定可能。 P00, P02, P03の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。 P02, P03はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDI0C1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	8ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能 ^{注2} 。
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/(PCLBUZ0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V_{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71, P74の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P73				KR3/SO01	
P74	7-1-4			KR4/INTP8/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
P146				—	
P147	7-3-3		アナログ機能	ANI18	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.8 64ピン(コード・フラッシュ・メモリ16KB～64KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TRGCLKA/(TRJO0)	ポート0。
P01	8-1-3			TO00/TRGCLKB/TRJIO0	7ビット入出力ポート。
P02	7-3-4		アナログ機能	ANI17/SO10/TxD1	1ビット単位で入力／出力の指定可能。
P03	8-3-4			ANI16/SI10/RxD1/SDA10	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P04	8-1-4		入力ポート	SCK10/SCL10	P01, P03, P04の入力はTTL入力バッファに設定可能。
P05	7-1-3			(INTP10)	P00, P02-P04の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。
P06				(INTP11)/(TRJIO0)	P02, P03はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-1-7			SO11/TRDIOB1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-1-8			TxD2/SO20/TRDIOA1	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。
P16	8-1-7			TI01/TO01/INTP5/TRDIOC0/(SI00/RxD0)	
P17	8-1-8			TI02/TO02/TRDIOA0/TRDCLK/(SO00/TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AV _{REFP}	ポート2。
P21				ANI1/AV _{REFM}	8ビット入出力ポート。
P22				ANI2	1ビット単位で入力／出力の指定可能。
P23				ANI3	アナログ入力に設定可能 ^{注2} 。
P24				ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJO0	ポート3。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/(PCLBUZ0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0,1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	4ビット入出力ポート。
P42				(INTP8)	1ビット単位で入力／出力の指定可能。
P43				(INTP9)	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P50	8-1-4	入出力	入力ポート	INTP1/SIO0/RxD0/TOOLRxD/SDA00/TRGIOA/(TRJIO0)	ポート5。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	6ビット入出力ポート。
P52	7-1-3			(INTP1)	1ビット単位で入力／出力の指定可能。
P53				(INTP2)	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P54				(INTP3)	P50, P55の入力はTTL入力バッファに設定可能。
P55	8-1-4			(INTP4)/(PCLBUZ1)/(SCK00)	P50, P51, P55の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。
P61				SDAA0	4ビット入出力ポート。
P62				SSI00	1ビット単位で入力／出力の指定可能。
P63				—	P60-P63の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。
P71	7-1-4			KR1/SI21/SDA21	8ビット入出力ポート。
P72	7-1-3			KR2/SO21	1ビット単位で入力／出力の指定可能。
P73				KR3/SO01	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P74	7-1-4			KR4/INTP8/SIO1/SDA01	P71, P74の出力はN-chオープン・ドレイン出力(EV _{DD} 耐圧)に設定可能。
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	ANI19	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。
P122				X2/EXCLK	P120はアナログ入力に設定可能。
P123				XT1	P120のみ、入力／出力の指定が可能。
P124				XT2/EXCLKS	P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。
P141				PCLBUZ1/INTP7	4ビット入出力ポート。
P146				—	1ビット単位で入力／出力の指定可能。
P147	7-3-3		アナログ機能	ANI18	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注 。
RESET	2-2-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.9 30ピン(コード・フラッシュ・メモリ 96 KB～256 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	ANI17/TI00/TxD1/TRGCLKA/TRJ00	ポート0。
P01	8-1-3			ANI16/TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐 圧)に設定可能。 P00, P01はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDI0C1	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可 能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/ (SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ド レイン出力(V _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDI0C0/IVREF0/ (RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/IVCMP0/ (TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	4ビット入出力ポート。
P22	4-8-1			ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23	4-3-3			ANI3	P20, P21, P23-P27はアナログ入力に設定可能 ^{注2} 。 P22はアナログ入力またはアナログ出力に設定可能 ^{注2} 。
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/SSI00/ (TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐 圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60, P61の出力はN-chオープン・ドレイン出力(6 V 耐圧)。
P61				SDAA0	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18/VCOUT1	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.10 32ピン(コード・フラッシュ・メモリ96 KB～256 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	ANI17/TI00/TxD1/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			ANI16/TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧) に設定可能。 P00, P01はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/ (SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレ イン出力(V _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/ (RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/ IVCMP0/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21	4-8-1			ANI1/AVREFM	4ビット入出力ポート。
P22				ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21はアナログ入力に設定可能 ^{注2} 。 P22, P23はアナログ入力またはアナログ出力に設定可 能 ^{注2} 。
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧) に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJO0)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P70	7-1-3	入出力	入力ポート	—	ポート7。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。 1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18/VCOUT1	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.11 36ピン(コード・フラッシュ・メモリ96 KB～256 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐 圧)に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可 能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/ (SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/ (RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 注1。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/ IVCMP0/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	6ビット入出力ポート。
P22	4-8-1			ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24, P25はアナログ入力に設定可能注2。
P24	4-3-3			ANI4	P22, P23はアナログ入力またはアナログ出力に設 定可能注2。
P25				ANI5	
P30	8-1-4	入出力	入力ポート	INTP3/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐 圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 入力／出力の指定可能。 1ビット入出力ポート。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと2ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。
P122				X2/EXCLK	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18/VCOUT1	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
RESET	2-2-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.12 40ピン(コード・フラッシュ・メモリ 96 KB～256 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJO0)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧) に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/ (SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレ イン出力(V _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/ (RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/ IVCMP0/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	7ビット入出力ポート。
P22	4-8-1			ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24-P26はアナログ入力に設定可能 ^{注2} 。
P24	4-3-3			ANI4	P22, P23はアナログ入力またはアナログ出力に設定可 能 ^{注2} 。
P25				ANI5	
P26				ANI6	
P30				8-1-4	入出力
P31	7-1-3	TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧) に設定可能。		
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P62の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P73				KR3	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P147	7-3-3	入出力	アナログ機能	ANI18/VCOUT1	ポート14。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.13 44ピン(コード・フラッシュ・メモリ 96 KB～256 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧) に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/ (SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレ イン出力(V _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/ (RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/ IVCMP0/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	8ビット入出力ポート。
P22	4-8-1			ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24-P27はアナログ入力に設定可能 ^{注2} 。
P24	4-3-3			ANI4	P22, P23はアナログ入力またはアナログ出力に設定可 能 ^{注2} 。
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/PCLBUZ0/(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力 (6 V 耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P71の出力はN-chオープン・ドレイン出力(V _{DD} 耐 圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P73				KR3	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定に より、内蔵プルアップ抵抗を使用可能。
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P137	2-1-2	入力	入力ポート	INTP0	ポート13。 1ビット入力専用ポート。
P146	7-1-3	入出力	入力ポート	—	ポート14。 P147はアナログ入力に設定可能。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能 ^注 。
P147	7-3-3		アナログ機能	ANI18/VCOUT1	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または 抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx) で設定します
(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.14 48ピン(コード・フラッシュ・メモリ96 KB～512 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TxD1/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/RxD1/TRGCLKB/TRJIO0	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵ブルアップ抵抗を使用可能。 P01の入力はTTL入力バッファに設定可能。 P00の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1/(RxD0_1) ^{注3}	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)/(TxD0_1) ^{注3}	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵ブルアップ抵抗を使用可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	P10, P14-P17の入力はTTL入力バッファに設定可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/(RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/IVCMP0/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFF	ポート2。
P21				ANI1/AVREFM	8ビット入出力ポート。
P22	4-8-1			ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24-P27はアナログ入力に設定可能 ^{注2} 。 P22, P23はアナログ入力またはアナログ出力に設定可能 ^{注2} 。
P24	4-3-3			ANI4	
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/(PCLBUZ0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵ブルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵ブルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

注3. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJO0)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 6ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71, P74の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P73				KR3/SO01	
P74	7-1-4			KR4/INTP8/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。 1ビット出力専用ポートと1ビット入力専用ポート。
P137	2-1-2	入力	入力ポート	INTP0	
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
P146				—	
P147	7-3-3		アナログ機能	ANI18/VCOUT1	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.15 52ピン(コード・フラッシュ・メモリ96 KB～256 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TRGCLKA/(TRJO0)	ポート0。
P01	8-1-3			TO00/TRGCLKB/TRJIO0	4ビット入出力ポート。
P02	7-3-4		アナログ機能	ANI17/TxD1	1ビット単位で入力／出力の指定可能。
P03	8-3-4			ANI16/RxD1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P01, P03の入力はTTL入力バッファに設定可能。 P00, P02, P03の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 P02, P03はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)	1ビット単位で入力／出力の指定可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				PCLBUZ1/SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/(RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/IVCMP0/(TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AV _{REFP}	ポート2。
P21	4-8-1			ANI1/AV _{REFM}	8ビット入出力ポート。
P22				ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24-P27はアナログ入力に設定可能 ^{注2} 。
P24	4-3-3			ANI4	P22, P23はアナログ入力またはアナログ出力に設定可能 ^{注2} 。
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJO0	ポート3。 2ビット入出力ポート。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/(PCLBUZ0)	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA(TRJ00)	ポート5。 2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P50の入力はTTL入力バッファに設定可能。 P50, P51の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。 4ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 P60-P63の出力はN-chオープン・ドレイン出力(6 V耐圧)。
P61				SDAA0	
P62				SSI00	
P63				—	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。 8ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P71, P74の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。
P71	7-1-4			KR1/SI21/SDA21	
P72	7-1-3			KR2/SO21	
P73				KR3/SO01	
P74	7-1-4			KR4/INTP8/SI01/SDA01	
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。 1ビット入出力ポートと4ビット入力専用ポート。 P120はアナログ入力に設定可能。 P120のみ、入力／出力の指定が可能。 P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P121	2-2-1	入力	入力ポート	X1	
P122				X2/EXCLK	
P123				XT1	
P124				XT2/EXCLKS	
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。 3ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能注。
P146				—	
P147	7-3-3		アナログ機能	ANI18/VCOUT1	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.16 64ピン(コード・フラッシュ・メモリ96 KB～512 KB)

(1/2)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TRGCLKA/(TRJO0)	ポート0。
P01	8-1-3			TO00/TRGCLKB/TRJIO0	7ビット入出力ポート。
P02	7-3-4		アナログ機能	ANI17/SO10/TxD1	1ビット単位で入力／出力の指定可能。
P03	8-3-4			ANI16/SI10/RxD1/SDA10	入力ポートでは、 ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P04	8-1-4		入力ポート	SCK10/SCL10	P01, P03, P04の入力はTTL入力バッファに設定可能。
P05	7-1-3			(INTP10)	P00, P02-P04の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧)に設定可能。
P06				(INTP11)/(TRJIO0)	P02, P03はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1/(RxD0_1) ^{注3}	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)/ (TxD0_1) ^{注3}	1ビット単位で入力／出力の指定可能。 入力ポートでは、 ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	P10, P14-P17の入力はTTL入力バッファに設定可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレ イン出力 (EV _{DD} 耐圧)に設定可能。
P15				SCK20/SCL20/TRDIOB0/(SDAA0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/ (SI00/RxD0)	
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/ IVCMP0/(SO00/TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	8ビット入出力ポート。
P22	4-8-1			ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24-P27はアナログ入力に設定可能 ^{注2} 。
P24	4-3-3			ANI4	P22, P23はアナログ入力またはアナログ出力に設定可 能 ^{注2} 。
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJO0	ポート3。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/ (PCLBUZ0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

注3. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/2)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	4ビット入出力ポート。
P42				(INTP8)	1ビット単位で入力／出力の指定可能。
P43				(INTP9)	入力ポートでは、 ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P50	8-1-4	入出力	入力ポート	INTP1/SIO0/RxD0/TOOLRxD/SDA00/ TRGIOA/(TRJIO0)	ポート5。 6ビット入出力ポート。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	1ビット単位で入力／出力の指定可能。
P52	7-1-3			(INTP1)	入力ポートでは、 ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P53				(INTP2)	P50, P55の入力はTTL入力バッファに設定可能。
P54				(INTP3)	P50, P51, P55の出力はN-chオープン・ドレイン 出力(EV _{DD} 耐圧)に設定可能。
P55	8-1-4			(INTP4)/(PCLBUZ1)/(SCK00)	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。
P61				SDAA0	4ビット入出力ポート。
P62				SSI00	1ビット単位で入力／出力の指定可能。
P63				—	P60-P63の出力はN-chオープン・ドレイン出力 (6 V 耐圧)。
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。
P71	7-1-4			KR1/SI21/SDA21	8ビット入出力ポート。
P72	7-1-3			KR2/SO21	1ビット単位で入力／出力の指定可能。
P73				KR3/SO01	入力ポートでは、 ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P74	7-1-4			KR4/INTP8/SIO1/SDA01	P71, P74の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧)に設定可能。
P75	7-1-3			KR5/INTP9/SCK01/SCL01	
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。
P122				X2/EXCLK	P120はアナログ入力に設定可能。
P123				XT1	P120のみ、 入力／出力の指定が可能。
P124				XT2/EXCLKS	P120のみ、 入力ポートではソフトウェアの設定に より、 内蔵プルアップ抵抗を使用可能。
P130	1-1-1	出力	出力ポート	—	ポート13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポ ート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート14。
P141				PCLBUZ1/INTP7	4ビット入出力ポート。
P146				—	1ビット単位で入力／出力の指定可能。
P147	7-3-3		アナログ機能	ANI18/VCOUT1	入力ポートでは、 ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P147はアナログ入力に設定可能 ^注 。
RESET	2-2-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、 直接または 抵抗を介してV _{DD} に接続してください。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.17 80ピン

(1/3)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TRGCLKA/(TRJO0)	ポート0。
P01	8-1-3			TO00/TRGCLKB/TRJIO0	7ビット入出力ポート。
P02	7-3-4		アナログ機能	ANI17/SO10/TxD1	1ビット単位で入力／出力の指定可能。
P03	8-3-4			ANI16/SI10/RxD1/SDA10	入力ポートでは、 ソフトウェアの設定により、 内蔵ブルアップ抵抗を使用可能。
P04	8-1-4		入力ポート	SCK10/SCL10	P01, P03, P04の入力はTTL入力バッファに設定可能。
P05	7-1-3			—	P00, P02-P04の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧)に設定可能。
P06				(TRJIO0)	P02, P03はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOC1/(RxD0_1) ^{注3}	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)/ (TxD0_1) ^{注3}	1ビット単位で入力／出力の指定可能。 入力ポートでは、 ソフトウェアの設定により、 内蔵ブルアップ抵抗を使用可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	P10, P14-P17の入力はTTL入力バッファに設定可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ドレ イン出力 (EV _{DD} 耐圧)に設定可能。
P15				SCK20/SCL20/TRDIOB0/(SDAA0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P16	8-6-6			TI01/TO01/INTP5/TRDIOC0/IVREF0/ (SI00/RxD0)	
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/ IVCMP0/(SO00/TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AV _{REFP}	ポート2。
P21	4-8-1			ANI1/AV _{REFM}	8ビット入出力ポート。
P22				ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24-P27はアナログ入力に設定可能 ^{注2} 。
P24	4-3-3			ANI4	P22, P23はアナログ入力またはアナログ出力に設定可 能 ^{注2} 。
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30				8-1-4	入出力
P31	7-1-3	TI03/TO03/INTP4/(TRJIO0)/ (PCLBUZ0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、 ソフトウェアの設定により、 内蔵ブルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。		

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

注3. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	6ビット入出力ポート。
P42				(INTP8)	1ビット単位で入力／出力の指定可能。
P43	8-1-4			SCK01/SCL01/(INTP9)	入力ポートでは、ソフトウェアの設定により、
P44				SI01/SDA01	内蔵プルアップ抵抗を使用可能。
P45	7-1-4			SO01	P43, P44の入力はTTL入力バッファに設定可能。 P43-P45の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。
P50	8-1-4	入出力	入力ポート	INTP1/SI00/RxD0/TOOLRxD/SDA00/TRGIOA/(TRJIO0)	ポート5。 6ビット入出力ポート。
P51	7-1-4			INTP2/SO00/TxD0/TOOLTxD/TRGIOB	1ビット単位で入力／出力の指定可能。
P52				SO31/(INTP1)	入力ポートでは、ソフトウェアの設定により、
P53	8-1-4			SI31/SDA31/(INTP2)	内蔵プルアップ抵抗を使用可能。
P54				SCK31/SCL31/(INTP3)	P50, P53-P55の入力はTTL入力バッファに設定可能。
P55				(INTP4)/(PCLBUZ1)/(SCK00)	P50-P55の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。
P61				SDAA0	8ビット入出力ポート。
P62				SSI00/SCLA1	1ビット単位で入力／出力の指定可能。
P63				SDAA1	P60-P63の出力はN-chオープン・ドレイン出力 (6 V 耐圧)。
P64	7-1-3			TI10/TO10	P64-P67は、入力ポートではソフトウェアの設定により、
P65				TI11/TO11	内蔵プルアップ抵抗を使用可能。
P66				TI12/TO12	
P67				TI13/TO13	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。
P71	7-1-4			KR1/SI21/SDA21	8ビット入出力ポート。
P72	7-1-3			KR2/SO21	1ビット単位で入力／出力の指定可能。
P73				KR3	入力ポートでは、ソフトウェアの設定により、
P74	7-1-4			KR4/INTP8	内蔵プルアップ抵抗を使用可能。
P75	7-1-3			KR5/INTP9	P71, P74の出力はN-chオープン・ドレイン出力 (EVDD 耐圧) に設定可能。
P76				KR6/INTP10/(RxD2)	
P77				KR7/INTP11/(TxD2)	
P100	7-3-3	入出力	アナログ機能	ANI20/(INTP10)	ポート10。 1ビット入出力ポート。 入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P100はアナログ入力に設定可能 ^注 。
P110	7-1-3	入出力	入力ポート	(INTP11)	ポート11。
P111				—	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。

注 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx) で設定します (1ビット単位で設定可能)。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート 12。
P121	2-2-1	入力	入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。
P122				X2/EXCLK	P120はアナログ入出力に設定可能。
P123				XT1	P120のみ、入力／出力の指定が可能。
P124				XT2/EXCLKS	P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P130	1-1-1	出力	出力ポート	—	ポート 13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート 14。
P141				PCLBUZ1/INTP7	7ビット入出力ポート。
P142	8-1-4			SCK30/SCL30	1ビット単位で入力／出力の指定可能。
P143				SI30/RxD3/SDA30	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P144	7-1-4			SO30/TxD3	P142, P143の入力はTTL入力バッファに設定可能。
P146	7-1-3			—	P142, P143の入力はTTL入力バッファに設定可能。
P147	7-3-3		アナログ機能	ANI18/VCOUT1	P142-144の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。 P147はアナログ入出力に設定可能 ^{注1} 。
P150	4-3-3	入出力	アナログ機能	ANI8	ポート 15。
P151				ANI9	4ビット入出力ポート。
P152				ANI10	1ビット単位で入力／出力の指定可能。
P153				ANI11	アナログ入力に設定可能 ^{注2} 。
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx) で設定します (1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC) で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.1.18 100ピン

(1/3)

機能名称	端子タイプ	入出力	リセット 解除時	兼用機能	機能
P00	7-1-4	入出力	入力ポート	TI00/TRGCLKA/(TRJ00)	ポート0。
P01	8-1-3			TO00/TRGCLKB/TRJIO0	7ビット入出力ポート。
P02	7-3-4		アナログ機能	ANI17/SO10/TxD1	1ビット単位で入力／出力の指定可能。
P03	8-3-4			ANI16/SI10/RxD1/SDA10	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P04	8-1-4		入力ポート	SCK10/SCL10	P01, P03, P04の入力はTTL入力バッファに設定可能。
P05	7-1-3			—	P00, P02-P04の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧)に設定可能。
P06				(TRJIO0)	P02, P03はアナログ入力に設定可能 ^{注1} 。
P10	8-1-8	入出力	入力ポート	SCK11/SCL11/TRDIOD1	ポート1。
P11	7-1-8			SI11/SDA11/TRDIOD1/(RxD0_1) ^{注3}	8ビット入出力ポート。
P12	7-6-6			SO11/TRDIOB1/IVREF1/(INTP5)/ (TxD0_1) ^{注3}	1ビット単位で入力／出力の指定可能。
P13	7-6-8			TxD2/SO20/TRDIOA1/IVCMP1	入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。
P14	8-1-8			RxD2/SI20/SDA20/TRDIOD0/(SCLA0)	P10, P14-P17の入力はTTL入力バッファに設定可能。
P15				SCK20/SCL20/TRDIOB0/(SDAA0)	P10, P11, P13-P15, P17の出力はN-chオープン・ド レイン出力 (EV _{DD} 耐圧)に設定可能。
P16	8-6-6			TI01/TO01/INTP5/TRDIOD0/IVREF0/ (SI00/RxD0)	P12, P13, P16, P17はアナログ入力に設定可能 ^{注1} 。
P17	8-6-8			TI02/TO02/TRDIOA0/TRDCLK/ IVCMP0/(SO00/TxD0)	
P20	4-3-3	入出力	アナログ機能	ANI0/AVREFP	ポート2。
P21				ANI1/AVREFM	8ビット入出力ポート。
P22	4-8-1			ANI2/ANO0	1ビット単位で入力／出力の指定可能。
P23				ANI3/ANO1	P20, P21, P24-P27はアナログ入力に設定可能 ^{注2} 。
P24	4-3-3			ANI4	P22, P23はアナログ入力またはアナログ出力に設定 可能 ^{注2} 。
P25				ANI5	
P26				ANI6	
P27				ANI7	
P30	8-1-4	入出力	入力ポート	INTP3/RTC1HZ/SCK00/SCL00/TRJ00	ポート3。
P31	7-1-3			TI03/TO03/INTP4/(TRJIO0)/ (PCLBUZ0)	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、 内蔵プルアップ抵抗を使用可能。 P30の入力はTTL入力バッファに設定可能。 P30の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧)に設定可能。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します
(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で設定します。

注3. コード・フラッシュ・メモリが384 KB以上の製品に搭載されます。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(2/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P40	7-1-3	入出力	入力ポート	TOOL0	ポート4。
P41				(TRJIO0)	8ビット入出力ポート。
P42				—	1ビット単位で入力／出力の指定可能。
P43	8-1-4			SCK01/SCL01	入力ポートでは、ソフトウェアの設定により、
P44				SI01/SDA01	内蔵プルアップ抵抗を使用可能。
P45	7-1-4			SO01	P43, P44の入力はTTL入力バッファに設定可能。
P46	7-1-3			INTP1	P43-P45の出力はN-chオープン・ドレイン出力
P47				INTP2	(EV _{DD} 耐圧)に設定可能。
P50	8-1-4	入出力	入力ポート	SI00/RxD0/TOOLRxD/SDA00/ TRGIOA/(TRJIO0)	ポート5。
P51	7-1-4			SO00/TxD0/TOOLTxD/TRGIOB	8ビット入出力ポート。
P52				SO31	1ビット単位で入力／出力の指定可能。
P53	8-1-4			SI31/SDA31	入力ポートでは、ソフトウェアの設定により、
P54				SCK31/SCL31	内蔵プルアップ抵抗を使用可能。
P55	7-1-3			(PCLBUZ1)/(SCK00)	P50, P53-P55の入力はTTL入力バッファに設定可
P56				(INTP1)	能。
P57	(INTP3)			P50-P55の出力はN-chオープン・ドレイン出力	
P60	12-1-5	入出力	入力ポート	SCLA0	ポート6。
P61				SDAA0	8ビット入出力ポート。
P62				SSI00/SCLA1	1ビット単位で入力／出力の指定可能。
P63				SDAA1	P60-P63の出力はN-chオープン・ドレイン出力
P64	7-1-3			TI10/TO10	(6 V耐圧)。
P65				TI11/TO11	P64-P67は、入力ポートではソフトウェアの設定
P66				TI12/TO12	により、内蔵プルアップ抵抗を使用可能。
P67				TI13/TO13	
P70	7-1-3	入出力	入力ポート	KR0/SCK21/SCL21	ポート7。
P71	7-1-4			KR1/SI21/SDA21	8ビット入出力ポート。
P72	7-1-3			KR2/SO21	1ビット単位で入力／出力の指定可能。
P73				KR3	入力ポートでは、ソフトウェアの設定により、
P74	7-1-4			KR4/INTP8	内蔵プルアップ抵抗を使用可能。
P75	7-1-3			KR5/INTP9	P71, P74の出力はN-chオープン・ドレイン出力
P76				KR6/INTP10/(Rx _{D2})	(EV _{DD} 耐圧)に設定可能。
P77				KR7/INTP11/(Tx _{D2})	

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

(3/3)

機能名称	端子タイプ	入出力	リセット解除時	兼用機能	機能
P80	8-1-4	入出力	入力ポート	(SCK10/SCL10)	ポート 8。
P81				(SI10/RxD1/SDA10)	8ビット入出力ポート。
P82	7-1-4			(SO10/TxD1)	1ビット単位で入力／出力の指定可能。
P83	7-1-3			—	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P84				(INTP6)	P80, P81の入力はTTL入力バッファに設定可能。
P85				(INTP7)	P80-P82の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。
P86				(INTP8)	
P87				(INTP9)	
P100	7-3-3	入出力	アナログ機能	ANI20/(INTP10)	ポート 10。
P101	7-1-3		入力ポート	—	3ビット入出力ポート。
P102				—	1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。 P100はアナログ入力に設定可能 ^{注1} 。
P110	7-1-3	入出力	入力ポート	(INTP11)	ポート 11。
P111				—	2ビット入出力ポート。 1ビット単位で入力／出力の指定可能。 入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P120	7-3-3	入出力	アナログ機能	ANI19/VCOUT0	ポート 12。
P121	2-2-1		入力ポート	X1	1ビット入出力ポートと4ビット入力専用ポート。
P122				X2/EXCLK	P120はアナログ入出力に設定可能。
P123				XT1	P120のみ、入力／出力の指定が可能。
P124				XT2/EXCLKS	P120のみ、入力ポートではソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P130	1-1-1	出力	出力ポート	—	ポート 13。
P137	2-1-2	入力	入力ポート	INTP0	1ビット出力専用ポートと1ビット入力専用ポート。
P140	7-1-3	入出力	入力ポート	PCLBUZ0/INTP6	ポート 14。
P141				PCLBUZ1/INTP7	8ビット入出力ポート。
P142	8-1-4			SCK30/SCL30	1ビット単位で入力／出力の指定可能。
P143				SI30/RxD3/SDA30	入力ポートでは、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。
P144	7-1-4			SO30/TxD3	P142, P143の入力はTTL入力バッファに設定可能。
P145	7-1-3			—	P142-144の出力はN-chオープン・ドレイン出力 (EV _{DD} 耐圧) に設定可能。
P146				(INTP4)	P147はアナログ入出力に設定可能 ^{注1} 。
P147	7-3-3		アナログ機能	ANI18/VCOUT1	
P150	4-3-3	入出力	アナログ機能	ANI8	ポート 15。
P151				ANI9	7ビット入出力ポート。
P152				ANI10	1ビット単位で入力／出力の指定可能。
P153				ANI11	アナログ入力に設定可能 ^{注2} 。
P154				ANI12	
P155				ANI13	
P156				ANI14	
RESET	2-1-1	入力	—	—	外部リセット用の入力専用端子。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。

注1. 各端子をデジタル／アナログのいずれにするかは、ポート・モード・コントロール・レジスタx (PMCx)で設定します(1ビット単位で設定可能)。

注2. 各端子をデジタル／アナログのいずれにするかは、A/Dポート・コンフィギュレーション・レジスタ(ADPC)で設定します。

備考 上図の()内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

2.2 ポート以外の機能

2.2.1 製品別の搭載機能

(1/5)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
ANI0	○	○	○	○	○	○	○	○	○	○
ANI1	○	○	○	○	○	○	○	○	○	○
ANI2	○	○	○	○	○	○	○	○	○	○
ANI3	○	○	○	○	○	○	○	○	○	○
ANI4	○	○	○	○	○	○	○	○	—	—
ANI5	○	○	○	○	○	○	○	○	—	—
ANI6	○	○	○	○	○	○	○	—	—	—
ANI7	○	○	○	○	○	○	—	—	—	—
ANI8	○	○	—	—	—	—	—	—	—	—
ANI9	○	○	—	—	—	—	—	—	—	—
ANI10	○	○	—	—	—	—	—	—	—	—
ANI11	○	○	—	—	—	—	—	—	—	—
ANI12	○	—	—	—	—	—	—	—	—	—
ANI13	○	—	—	—	—	—	—	—	—	—
ANI14	○	—	—	—	—	—	—	—	—	—
ANI16	○	○	○	○	—	—	—	—	○	○
ANI17	○	○	○	○	—	—	—	—	○	○
ANI18	○	○	○	○	○	○	○	○	○	○
ANI19	○	○	○	○	○	○	○	○	○	○
ANI20	○	○	—	—	—	—	—	—	—	—
ANO0	○	○	注	注	注	注	注	注	注	注
ANO1	○	○	注	注	注	注	注	注	注	—
INTP0	○	○	○	○	○	○	○	○	○	○
INTP1	○	○	○	○	○	○	○	○	○	○
INTP2	○	○	○	○	○	○	○	○	○	○
INTP3	○	○	○	○	○	○	○	○	○	○
INTP4	○	○	○	○	○	○	○	○	○	○
INTP5	○	○	○	○	○	○	○	○	○	○
INTP6	○	○	○	○	○	—	—	—	—	—
INTP7	○	○	○	—	—	—	—	—	—	—
INTP8	○	○	○	○	○	—	—	—	—	—
INTP9	○	○	○	○	○	—	—	—	—	—
INTP10	○	○	○	○	—	—	—	—	—	—
INTP11	○	○	○	○	—	—	—	—	—	—
IVCMP0	○	○	注	注	注	注	注	注	注	注
IVCMP1	○	○	注	注	注	注	注	注	注	注
IVREF0	○	○	注	注	注	注	注	注	注	注
IVREF1	○	○	注	注	注	注	注	注	注	注

注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

(2/5)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
KR0	○	○	○	○	○	○	○	—	—	—
KR1	○	○	○	○	○	○	○	—	—	—
KR2	○	○	○	○	○	○	○	—	—	—
KR3	○	○	○	○	○	○	○	—	—	—
KR4	○	○	○	○	○	—	—	—	—	—
KR5	○	○	○	○	○	—	—	—	—	—
KR6	○	○	○	○	—	—	—	—	—	—
KR7	○	○	○	○	—	—	—	—	—	—
PCLBUZ0	○	○	○	○	○	○	○	○	○	○
PCLBUZ1	○	○	○	○	○	○	○	○	○	○
REGC	○	○	○	○	○	○	○	○	○	○
RTC1HZ	○	○	○	○	○	○	○	—	—	—
RESET	○	○	○	○	○	○	○	○	○	○
RxD0	○	○	○	○	○	○	○	○	○	○
RxD1	○	○	○	○	○	○	○	○	○	○
RxD2	○	○	○	○	○	○	○	○	○	○
RxD3	○	○	—	—	—	—	—	—	—	—
SCK00	○	○	○	○	○	○	○	○	○	○
SCK01	○	○	○	○	○	—	—	—	—	—
SCK10	○	○	○	—	—	—	—	—	—	—
SCK11	○	○	○	○	○	○	○	○	○	○
SCK20	○	○	○	○	○	○	○	○	○	○
SCK21	○	○	○	○	○	○	○	○	—	—
SCK30	○	○	—	—	—	—	—	—	—	—
SCK31	○	○	—	—	—	—	—	—	—	—
SCLA0	○	○	○	○	○	○	○	○	○	○
SCLA1	○	○	—	—	—	—	—	—	—	—

(3/5)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
SCL00	○	○	○	○	○	○	○	○	○	○
SCL01	○	○	○	○	○	—	—	—	—	—
SCL10	○	○	○	—	—	—	—	—	—	—
SCL11	○	○	○	○	○	○	○	○	○	○
SCL20	○	○	○	○	○	○	○	○	○	○
SCL21	○	○	○	○	○	○	○	○	—	—
SCL30	○	○	—	—	—	—	—	—	—	—
SCL31	○	○	—	—	—	—	—	—	—	—
SDAA0	○	○	○	○	○	○	○	○	○	○
SDAA1	○	○	—	—	—	—	—	—	—	—
SDA00	○	○	○	○	○	○	○	○	○	○
SDA01	○	○	○	○	○	—	—	—	—	—
SDA10	○	○	○	—	—	—	—	—	—	—
SDA11	○	○	○	○	○	○	○	○	○	○
SDA20	○	○	○	○	○	○	○	○	○	○
SDA21	○	○	○	○	○	○	○	○	—	—
SDA30	○	○	—	—	—	—	—	—	—	—
SDA31	○	○	—	—	—	—	—	—	—	—
SI00	○	○	○	○	○	○	○	○	○	○
SI01	○	○	○	○	○	—	—	—	—	—
SI10	○	○	○	—	—	—	—	—	—	—
SI11	○	○	○	○	○	○	○	○	○	○
SI20	○	○	○	○	○	○	○	○	○	○
SI21	○	○	○	○	○	○	○	○	—	—
SI30	○	○	—	—	—	—	—	—	—	—
SI31	○	○	—	—	—	—	—	—	—	—
SO00	○	○	○	○	○	○	○	○	○	○
SO01	○	○	○	○	○	—	—	—	—	—
SO10	○	○	○	—	—	—	—	—	—	—
SO11	○	○	○	○	○	○	○	○	○	○
SO20	○	○	○	○	○	○	○	○	○	○
SO21	○	○	○	○	○	○	○	○	—	—
SO30	○	○	—	—	—	—	—	—	—	—
SO31	○	○	—	—	—	—	—	—	—	—
SSI00	○	○	○	○	○	○	○	○	○	○

(4/5)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
TI00	○	○	○	○	○	○	○	○	○	○
TI01	○	○	○	○	○	○	○	○	○	○
TI02	○	○	○	○	○	○	○	○	○	○
TI03	○	○	○	○	○	○	○	○	○	○
TI10	○	○	—	—	—	—	—	—	—	—
TI11	○	○	—	—	—	—	—	—	—	—
TI12	○	○	—	—	—	—	—	—	—	—
TI13	○	○	—	—	—	—	—	—	—	—
TO00	○	○	○	○	○	○	○	○	○	○
TO01	○	○	○	○	○	○	○	○	○	○
TO02	○	○	○	○	○	○	○	○	○	○
TO03	○	○	○	○	○	○	○	○	○	○
TO10	○	○	—	—	—	—	—	—	—	—
TO11	○	○	—	—	—	—	—	—	—	—
TO12	○	○	—	—	—	—	—	—	—	—
TO13	○	○	—	—	—	—	—	—	—	—
TRJIO0	○	○	○	○	○	○	○	○	○	○
TRJO0	○	○	○	○	○	○	○	○	○	○
TRDCLK	○	○	○	○	○	○	○	○	○	○
TRDIOA0	○	○	○	○	○	○	○	○	○	○
TRDIOB0	○	○	○	○	○	○	○	○	○	○
TRDI0C0	○	○	○	○	○	○	○	○	○	○
TRDI0D0	○	○	○	○	○	○	○	○	○	○
TRDIOA1	○	○	○	○	○	○	○	○	○	○
TRDIOB1	○	○	○	○	○	○	○	○	○	○
TRDI0C1	○	○	○	○	○	○	○	○	○	○
TRDI0D1	○	○	○	○	○	○	○	○	○	○
TRGIOA	○	○	○	○	○	○	○	○	○	○
TRGIOB	○	○	○	○	○	○	○	○	○	○
TRGCLKA	○	○	○	○	○	○	○	○	○	○
TRGCLKB	○	○	○	○	○	○	○	○	○	○

(5/5)

機能名称	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
TxD0	○	○	○	○	○	○	○	○	○	○
TxD1	○	○	○	○	○	○	○	○	○	○
TxD2	○	○	○	○	○	○	○	○	○	○
TxD3	○	○	—	—	—	—	—	—	—	—
VCOUT0	○	○	注	注	注	注	注	注	注	注
VCOUT1	○	○	注	注	注	注	注	注	注	注
X1	○	○	○	○	○	○	○	○	○	○
X2	○	○	○	○	○	○	○	○	○	○
EXCLK	○	○	○	○	○	○	○	○	○	○
EXCLKS	○	○	○	○	○	○	○	—	—	—
XT1	○	○	○	○	○	○	○	—	—	—
XT2	○	○	○	○	○	○	○	—	—	—
VDD	○	○	○	○	○	○	○	○	○	○
EVDD0	○	○	○	—	—	—	—	—	—	—
EVDD1	○	—	—	—	—	—	—	—	—	—
AVREFP	○	○	○	○	○	○	○	○	○	○
AVREFM	○	○	○	○	○	○	○	○	○	○
VSS	○	○	○	○	○	○	○	○	○	○
EVSS0	○	○	○	—	—	—	—	—	—	—
EVSS1	○	—	—	—	—	—	—	—	—	—
TOOLRxD	○	○	○	○	○	○	○	○	○	○
TOOLTxD	○	○	○	○	○	○	○	○	○	○
TOOL0	○	○	○	○	○	○	○	○	○	○

注 コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

2.2.2 機能説明

(1/2)

機能名称	入出力	機能
ANI0-ANI14, ANI16-ANI20	入力	A/Dコンバータのアナログ入力(図14-46 アナログ入力端子の処理参照)
ANO0, ANO1	出力	D/Aコンバータ出力
INTP0-INTP11	入力	外部割り込み要求入力 有効エッジ指定: 立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ
IVCMP0, IVCMP1	入力	コンパレータのアナログ電圧入力
IVREF0, IVREF1	入力	コンパレータのリファレンス電圧入力
VCOUT0, VCOUT1	出力	コンパレータ出力
KR0-KR7	入力	キー割り込み入力
PCLBUZ0, PCLBUZ1	出力	クロック出力/ブザー出力
REGC	—	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し、V _{SS} に接続してください。 また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。
RTC1HZ	出力	リアルタイム・クロック補正クロック(1 Hz)出力
RESET	入力	ロウ・レベル・アクティブのシステム・リセット入力。 外部リセットを使用しない場合は、直接または抵抗を介してV _{DD} に接続してください。
RxD0-RxD3	入力	シリアル・インタフェースUART0, UART1, UART2, UART3のシリアル・データ入力
TxD0-TxD3	出力	シリアル・インタフェースUART0-UART3のシリアル・データ出力
SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31	入出力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・クロック入力/出力
SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31	出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・クロック出力
SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31	入出力	シリアル・インタフェースIIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31のシリアル・データ入出力
SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31	入力	シリアル・インタフェースCSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ入力
SSI00	入力	シリアル・インタフェースCSI00のチップ・セレクト入力
SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31	出力	CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31のシリアル・データ出力
SCLA0, SCLA1	入出力	シリアル・インタフェースIICA0, IICA1のクロック入出力
SDAA0, SDAA1	入出力	シリアル・インタフェースIICA0, IICA1のシリアル・データ入出力
TI00-TI03, TI10-TI13	入力	16ビット・タイマ00-03, 10-13への外部カウント・クロック/キャプチャ・トリガ入力
TO00-TO03, TO10-TO13	出力	16ビット・タイマ00-03, 10-13のタイマ出力
TRJIO0	入出力	タイマRJ入出力
TRJO0	出力	タイマRJ出力
TRDCLK	入力	タイマRD外部クロック入力

(2/2)

機能名称	入出力	機能
TRDIOA0, TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1, TRDIOB1, TRDIOC1, TRDIOD1	入出力	タイマRD入出力
TRGIOA, TRGIOB	入出力	タイマRG入出力
TRGCLKA, TRGCLKB	入力	タイマRG外部クロック入力
X1, X2	—	メイン・システム・クロック用発振子接続
EXCLK	入力	メイン・システム・クロック用外部クロック入力
XT1, XT2	—	サブシステム・クロック用発振子接続
EXCLKS	入力	サブシステム・クロック用外部クロック入力
V _{DD}	—	<30ピン, 32ピン, 36ピン, 40ピン, 44ピン, 48ピン, 52ピン製品の場合> すべての端子の正電源 <64ピン, 80ピン, 100ピン製品の場合> P20-P27, P121-P124, P137, P150-P156, およびポート以外の端子の正電源
EV _{DD0} , EV _{DD1}	—	ポート端子(P20-P27, P121-P124, P137, P150-P156以外)の正電源
AVREFP	入力	A/Dコンバータの+側基準電圧入力
AVREFM	入力	A/Dコンバータの-側基準電圧入力
V _{SS}	—	<30ピン, 32ピン, 36ピン, 40ピン, 44ピン, 48ピン, 52ピン製品の場合> すべての端子のグラウンド電位 <64ピン, 80ピン, 100ピン製品の場合> P20-P27, P121-P124, P137, P150-P156, およびポート以外の端子のグラウンド電位
EV _{SS0} , EV _{SS1}	—	ポート端子(P20-P27, P121-P124, P137, P150-P156以外)のグラウンド電位
TOOLRxD	入力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ受信
TOOLTxD	出力	フラッシュ・メモリ・プログラミング時外部デバイス接続用UARTシリアル・データ送信
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力

注意 リセット解除時のP40/TOOL0と動作モードとの関係は、次のようになります。

表2-2 リセット解除時のP40/TOOL0と動作モードとの関係

P40/TOOL0	動作モード
EV _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

詳細は、30.4 プログラミング方法を参照してください。

備考 ノイズ対策およびラッチアップ対策として、V_{DD}-V_{SS}, EV_{DD0}-EV_{SS0}, EV_{DD1}-EV_{SS1}ライン間へのバイパスコンデンサ(0.1 μF程度)を最短距離でかつ、比較的太い配線を使って接続してください。

2.3 未使用端子の処理

表2-3に各端子の未使用端子処理を示します。

備考 製品により、搭載している端子が異なります。1.3 端子接続図(Top View), 2.1 ポート機能を参照してください。

表2-3 各端子の未使用端子処理

端子名称	入出力	未使用時の推奨接続方法
P00-P06	入出力	入力時：個別に抵抗を介して，EVDD0，EVDD1またはEVSS0，EVSS1に接続してください。
P10-P17		出力時：オープンにしてください。
P20-P27		入力時：個別に抵抗を介して，VDDまたはVSSに接続してください。
		出力時：オープンにしてください。
P30, P31		入力時：個別に抵抗を介して，EVDD0，EVDD1またはEVSS0，EVSS1に接続してください。
		出力時：オープンにしてください。
P40/TOOL0		入力時：個別に抵抗を介して，EVDD0に接続またはオープンにしてください。
		出力時：オープンにしてください。
P41-P47		入力時：個別に抵抗を介して，EVDD0，EVDD1またはEVSS0，EVSS1に接続してください。
P50-P57		出力時：オープンにしてください。
P60-P63		入力時：個別に抵抗を介して，EVDD0，EVDD1またはEVSS0，EVSS1に接続してください。
		出力時：ポートの出力ラッチに0を設定してオープン，またはポートの出力ラッチに1を設定し，個別に抵抗を介してEVDD0，EVDD1またはEVSS0，EVSS1に接続してください。
P64-P67		入力時：個別に抵抗を介して，EVDD0，EVDD1またはEVSS0，EVSS1に接続してください。
P70-P77		出力時：オープンにしてください。
P80-P87		
P100-P102		
P110, P111		
P120		
P121-P124	入力	個別に抵抗を介して，VDDまたはVSSに接続してください。
P130	出力	オープンにしてください。
P137	入力	個別に抵抗を介して，VDDまたはVSSに接続してください。
P140-P147	入出力	入力時：個別に抵抗を介して，EVDD0，EVDD1またはEVSS0，EVSS1に接続してください。
		出力時：オープンにしてください。
P150-P156		入力時：個別に抵抗を介して，VDDまたはVSSに接続してください。
		出力時：オープンにしてください。
RESET	入力	VDDに直接接続または抵抗を介して接続してください。
REGC	—	コンデンサ(0.47～1 μ F)を介し，VSSに接続してください。

備考 EVDD0, EVDD1, EVSS0, EVSS1端子がない製品は，EVDD0, EVDD1をVDDに，EVSS0, EVSS1をVSSに置き換えてください。

2.4 端子ブロック図

2.1.1 30ピン(コード・フラッシュ・メモリ 16 KB～64 KB)～2.1.18 100ピンに記載した端子タイプについて、端子ブロック図を図2-1～図2-22に示します。

図2-1 端子タイプ 1-1-1 の端子ブロック図

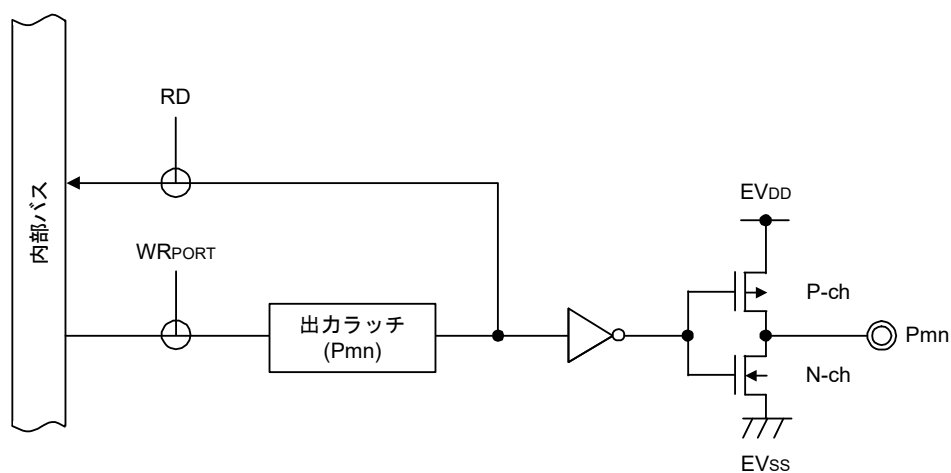


図2-2 端子タイプ 2-1-1 の端子ブロック図

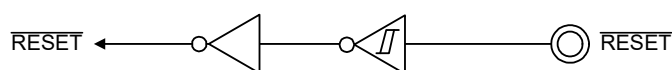
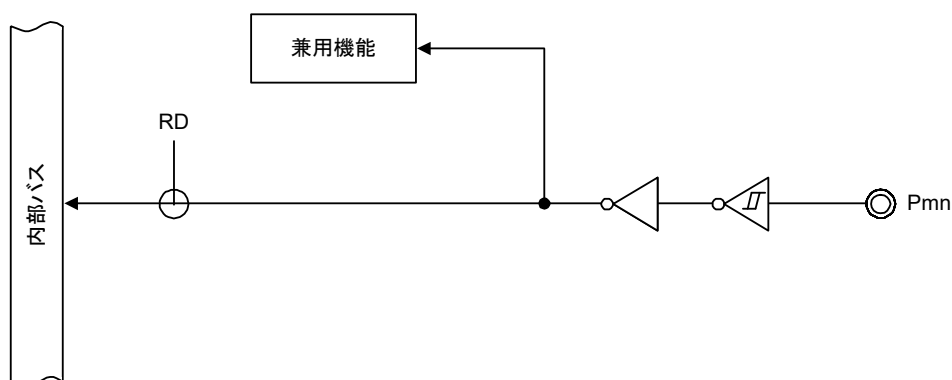
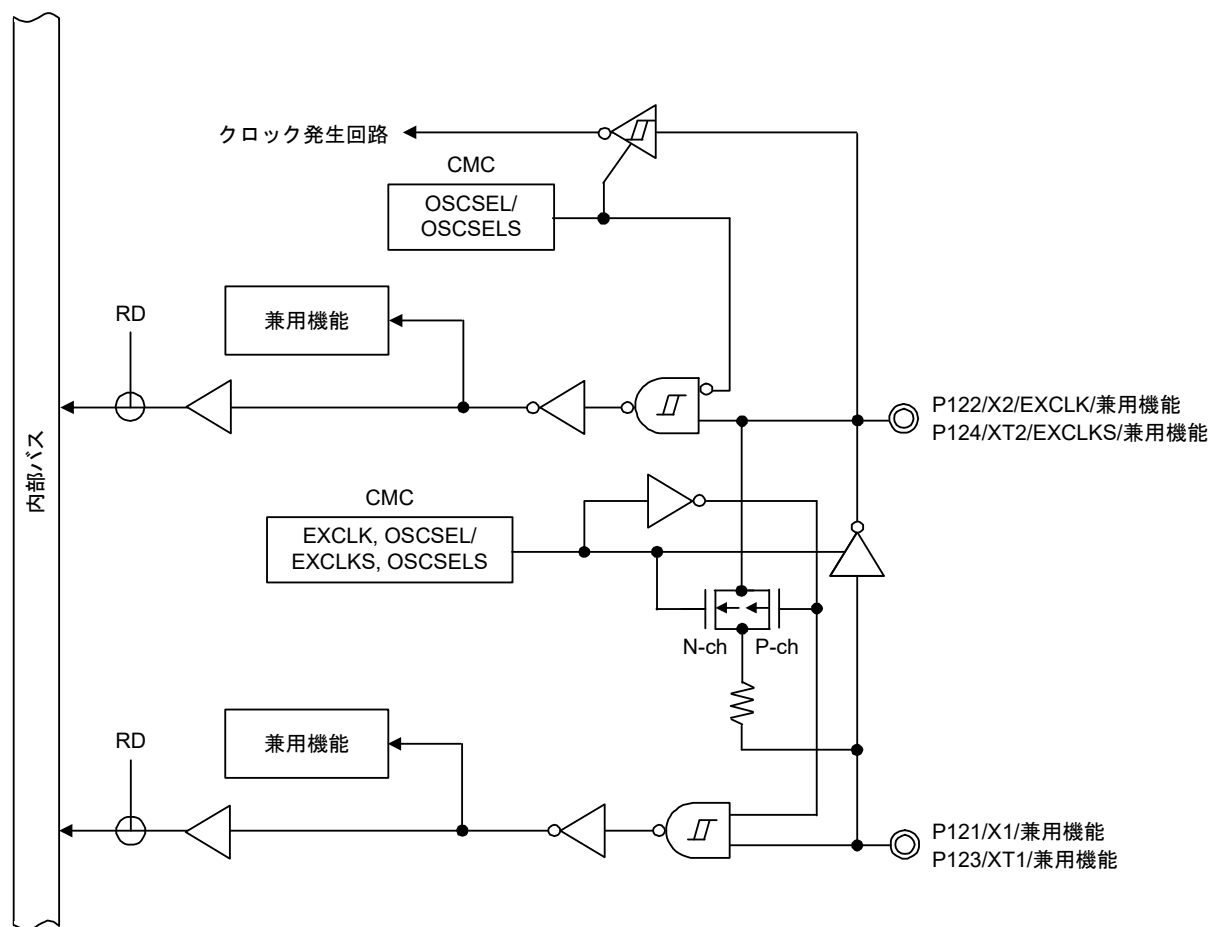


図2-3 端子タイプ 2-1-2 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2-4 端子タイプ 2-2-1 の端子ブロック図



備考 兼用機能は、2.1 ポート機能を参照してください。

図2 - 5 端子タイプ4-3-3の端子ブロック図

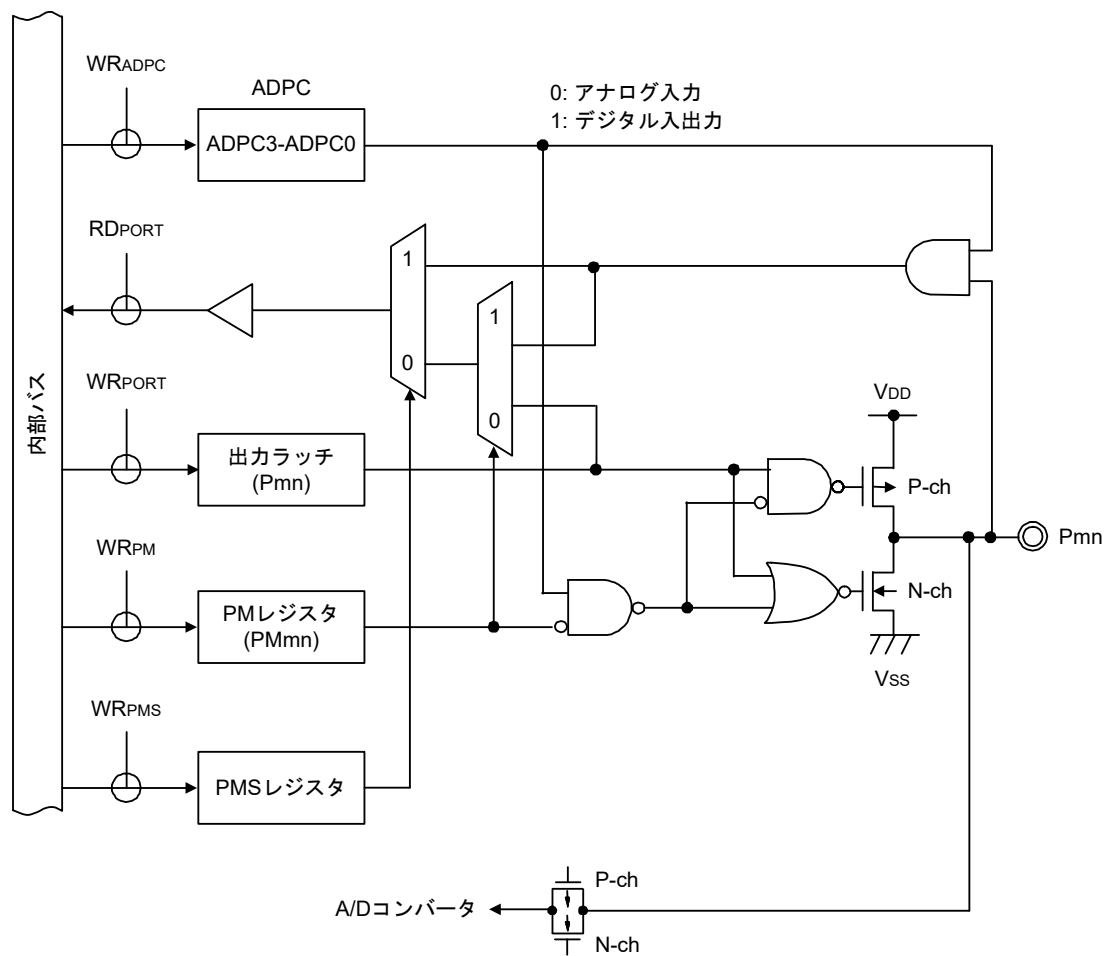


図2 - 6 端子タイプ4-8-1の端子ブロック図

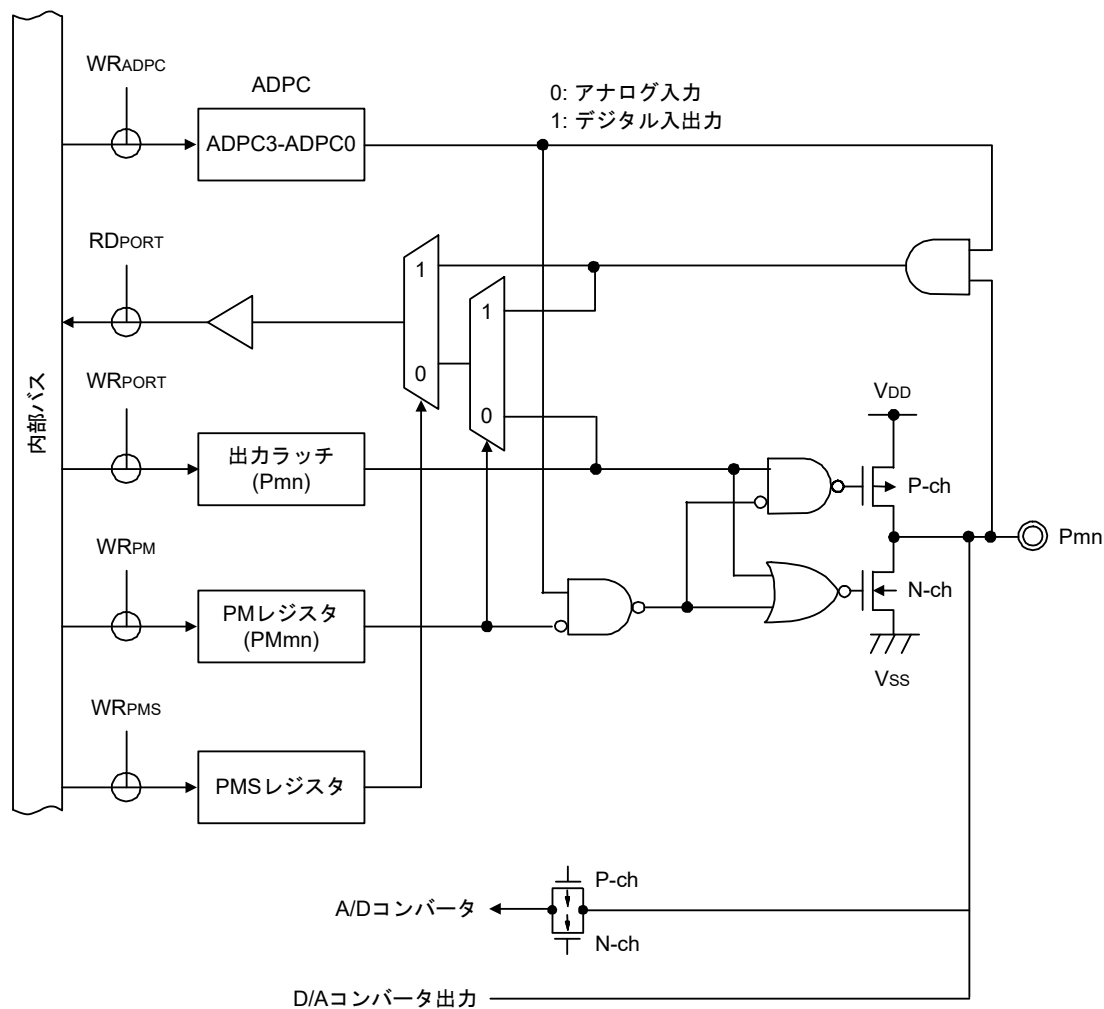
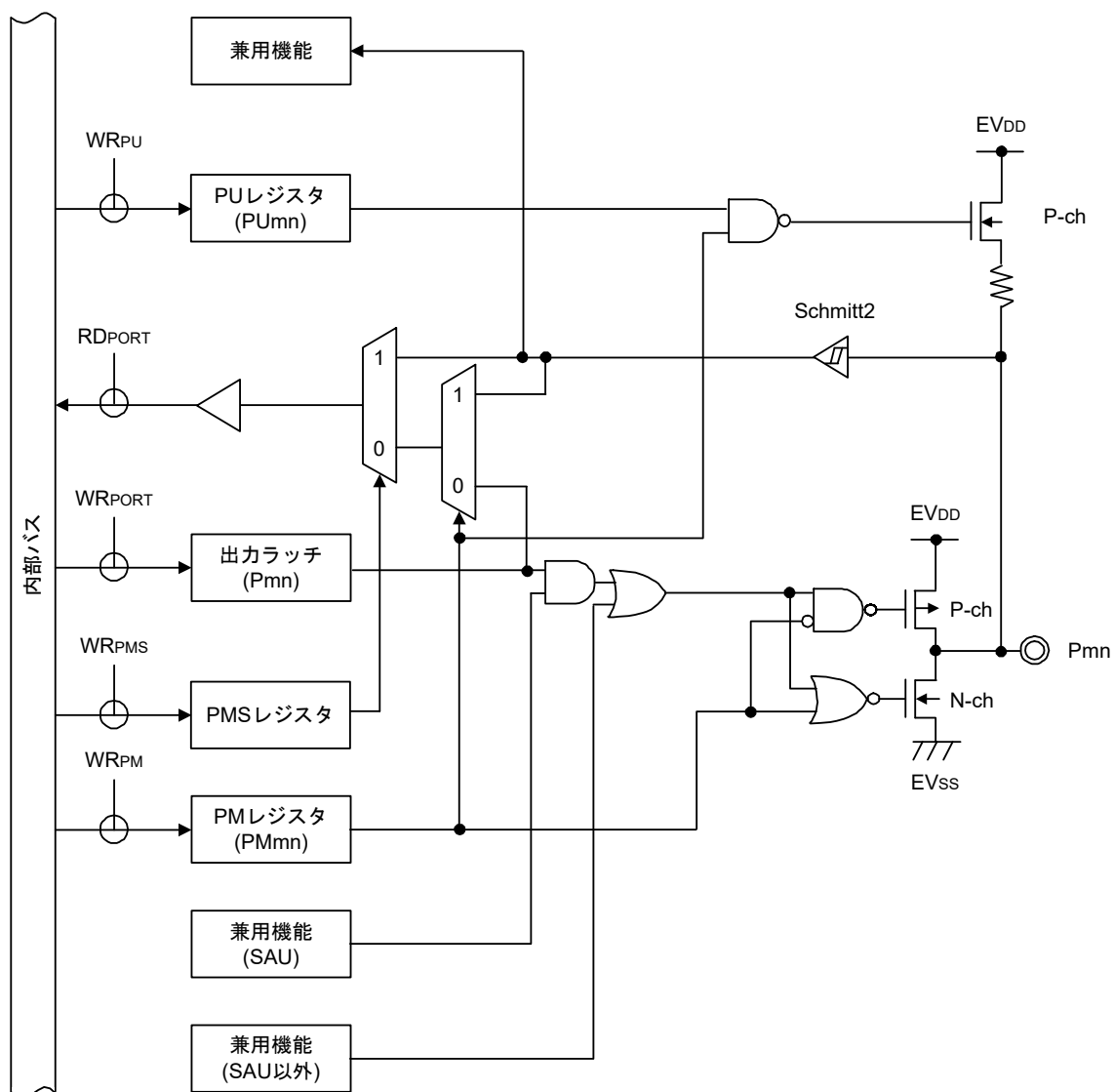


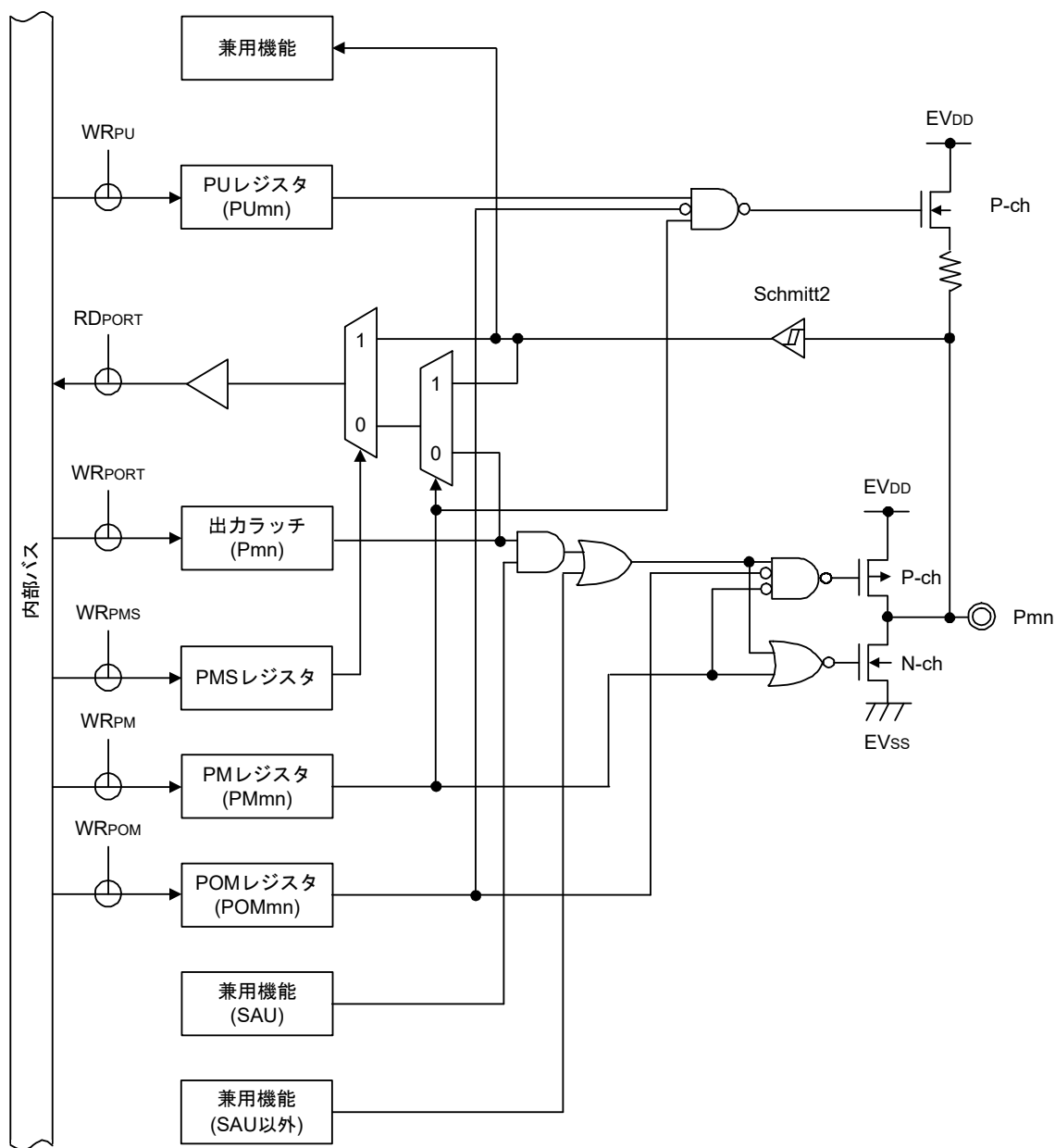
図2-7 端子タイプ7-1-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-8 端子タイプ7-1-4の端子ブロック図

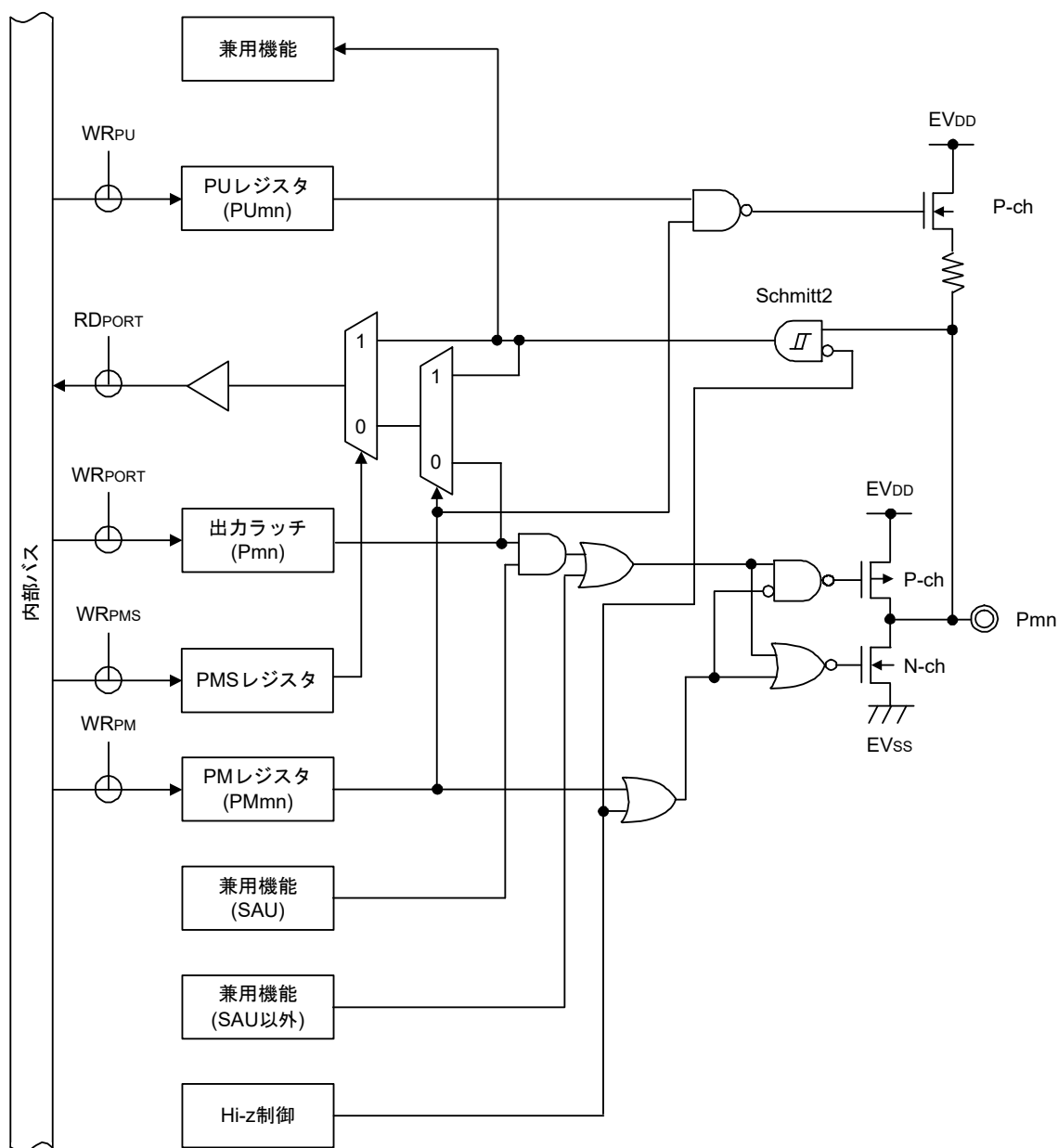


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

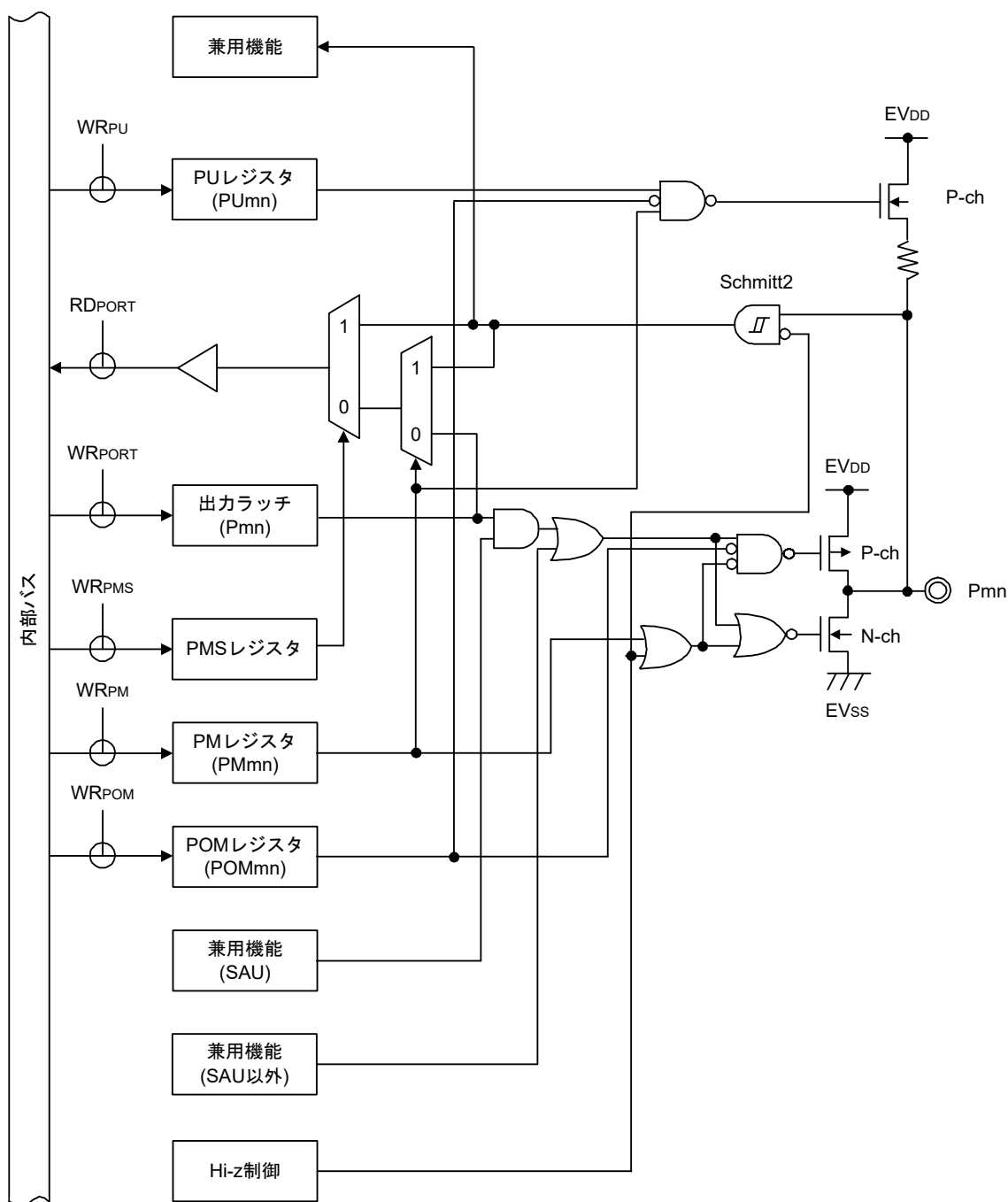
図2-9 端子タイプ7-1-7の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-10 端子タイプ7-1-8の端子ブロック図

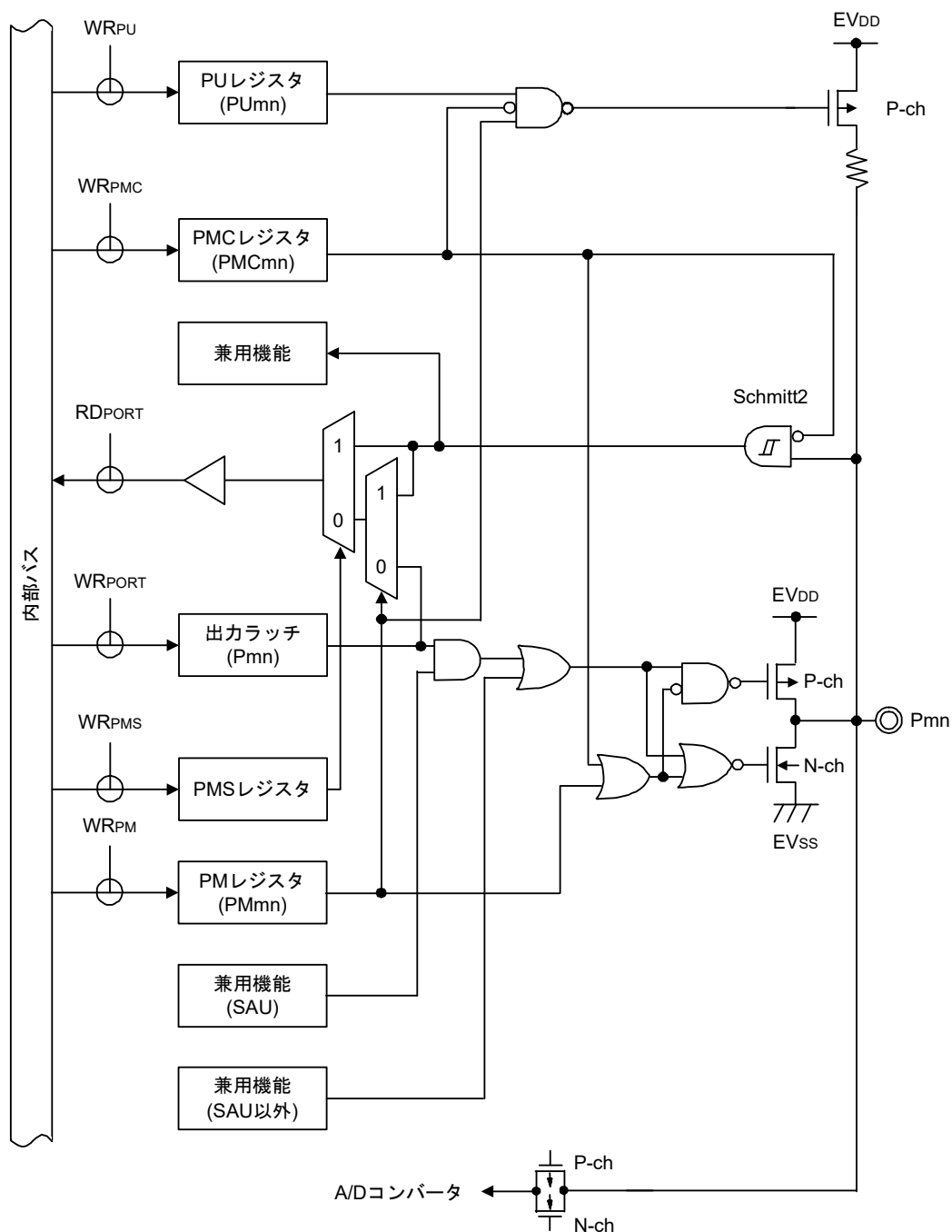


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

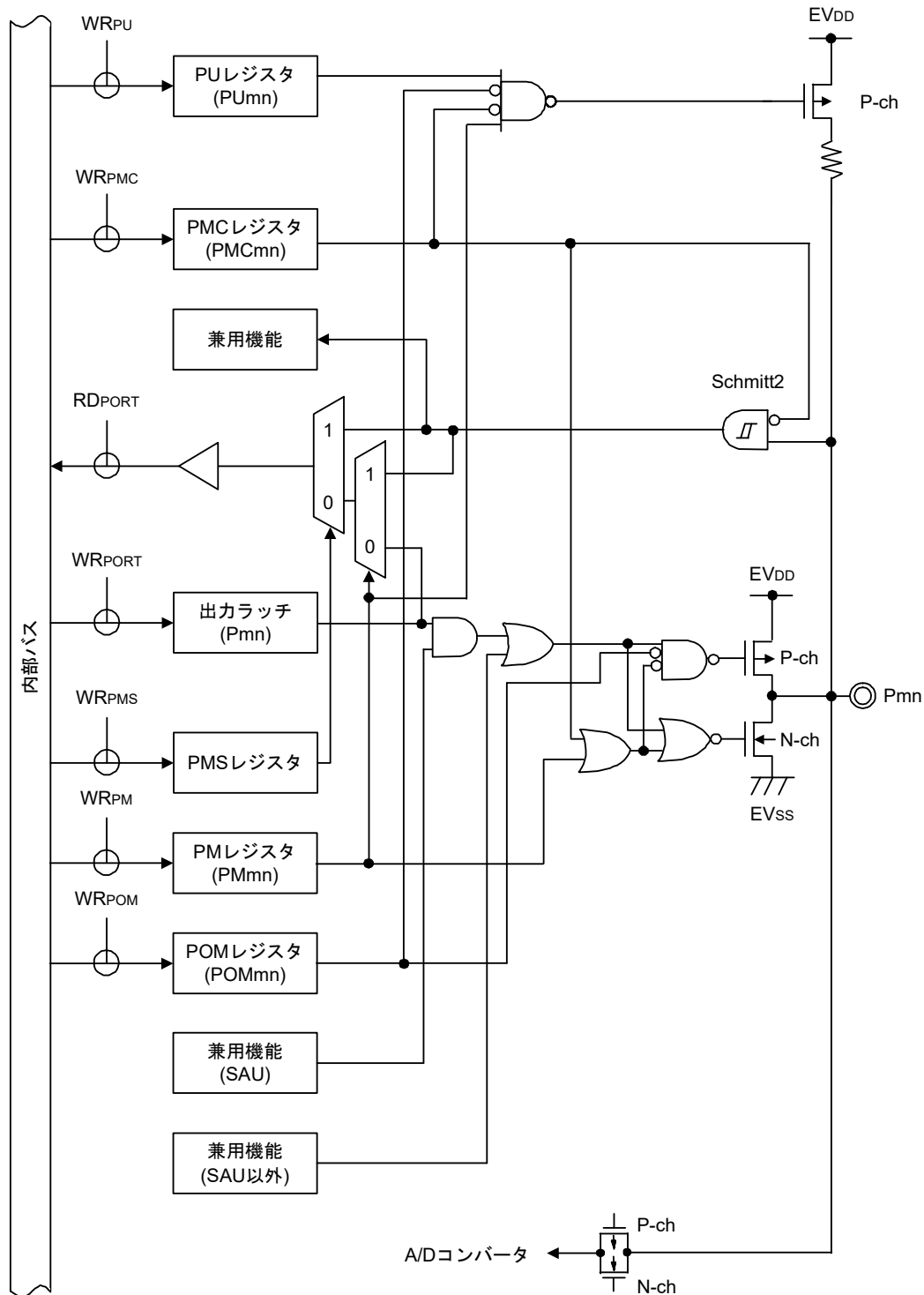
図2-11 端子タイプ7-3-3の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-12 端子タイプ7-3-4の端子ブロック図

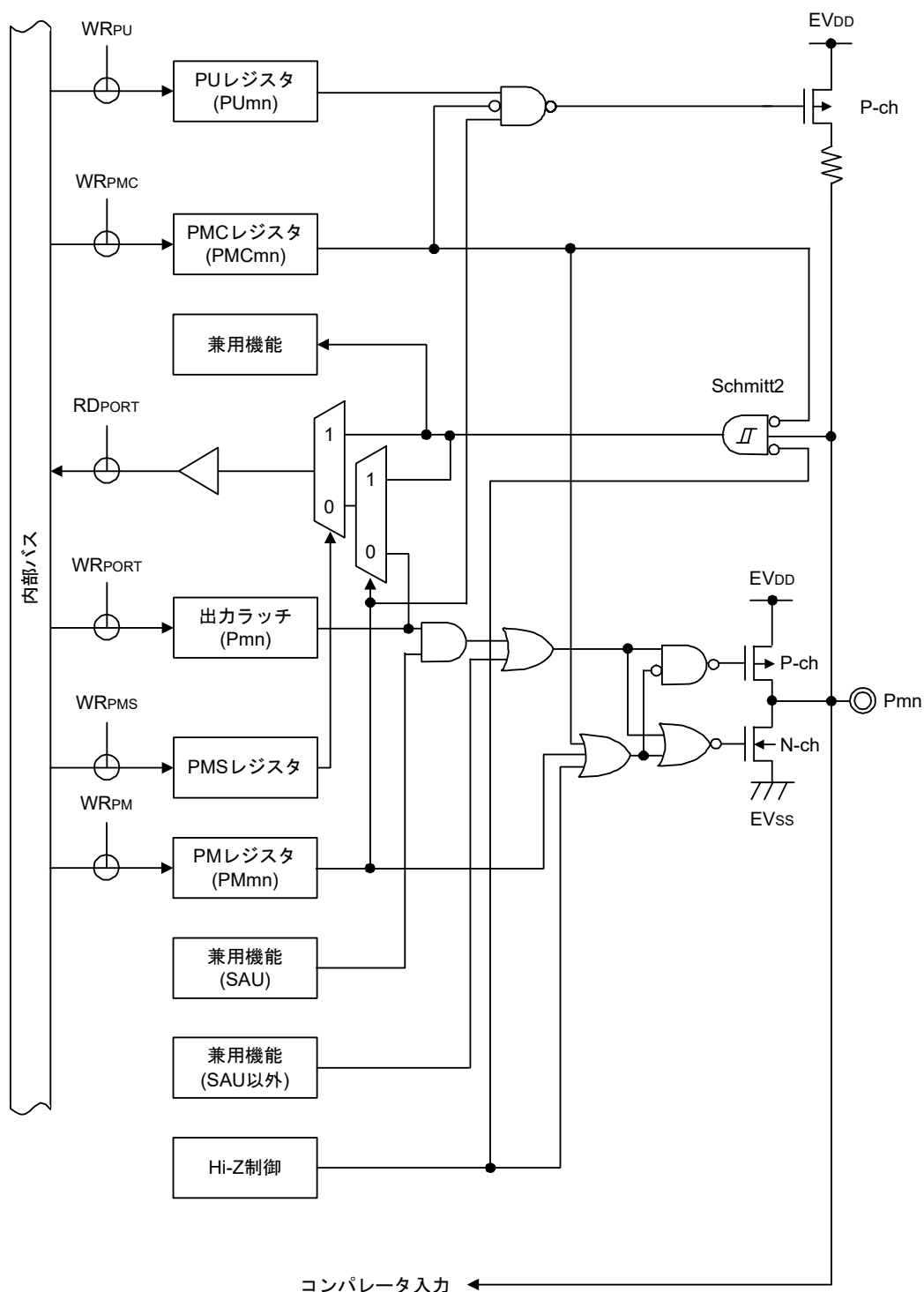


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

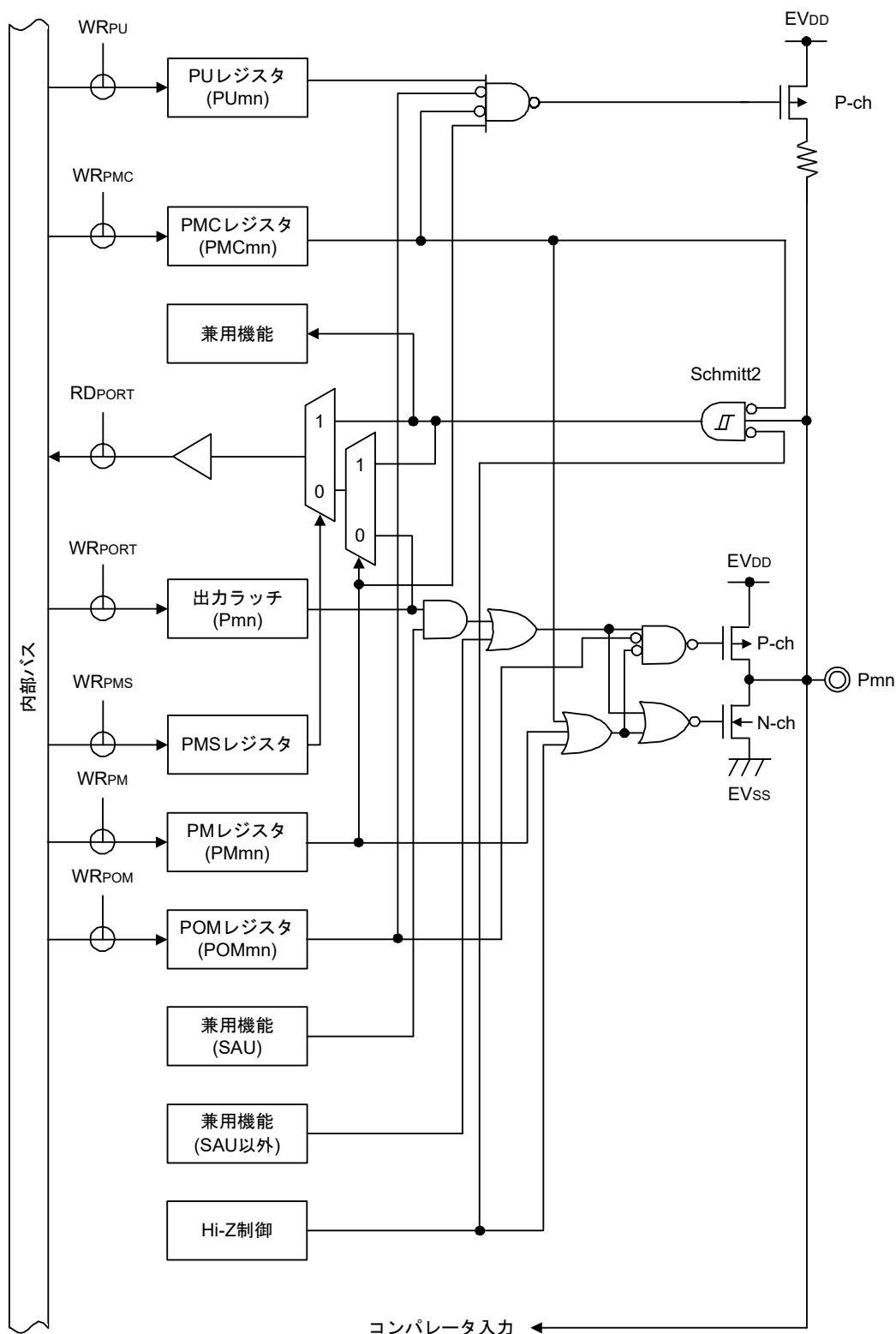
図2-13 端子タイプ7-6-6の端子ブロック図



備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-14 端子タイプ7-6-8の端子ブロック図

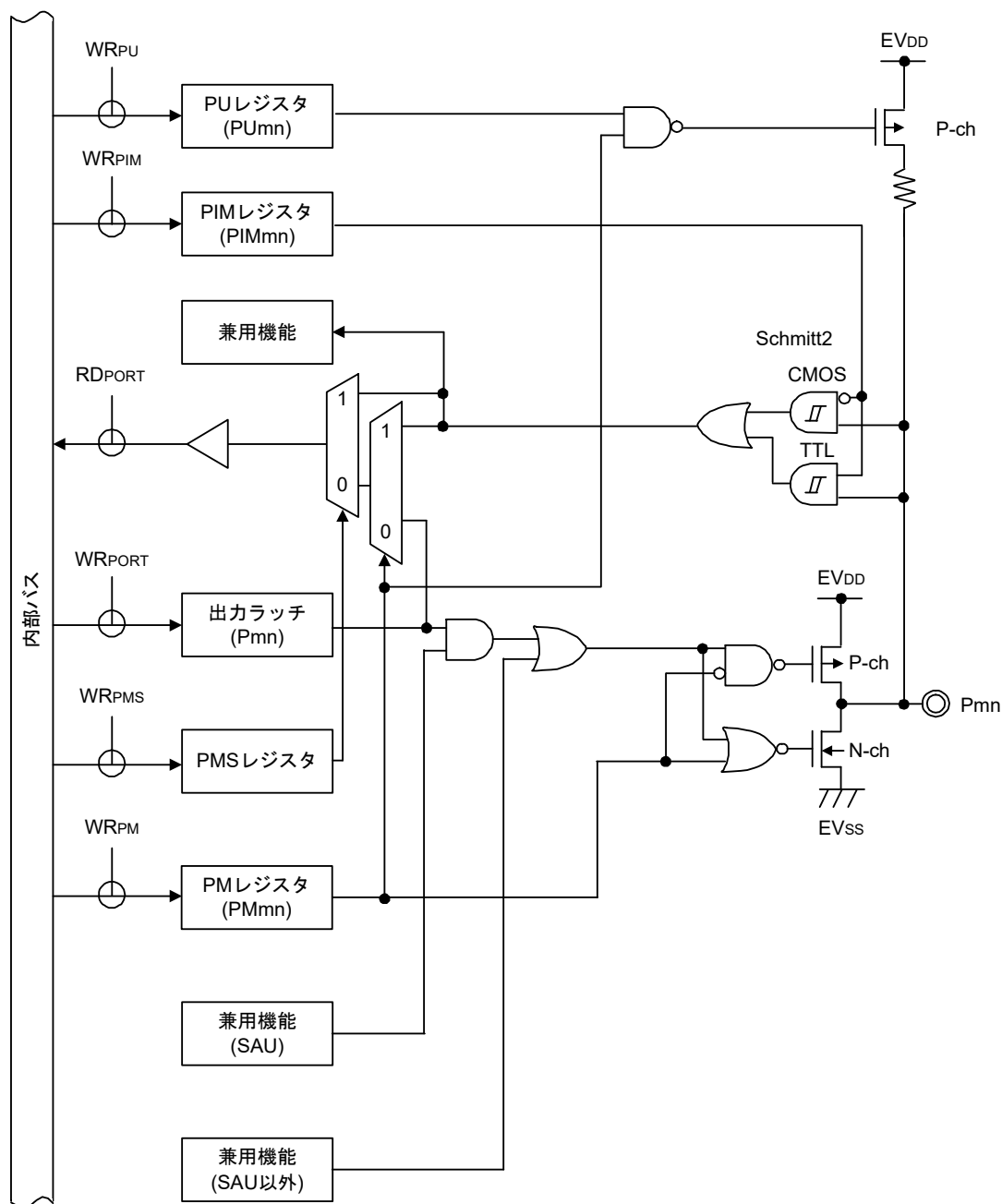


注意 ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-15 端子タイプ8-1-3の端子ブロック図

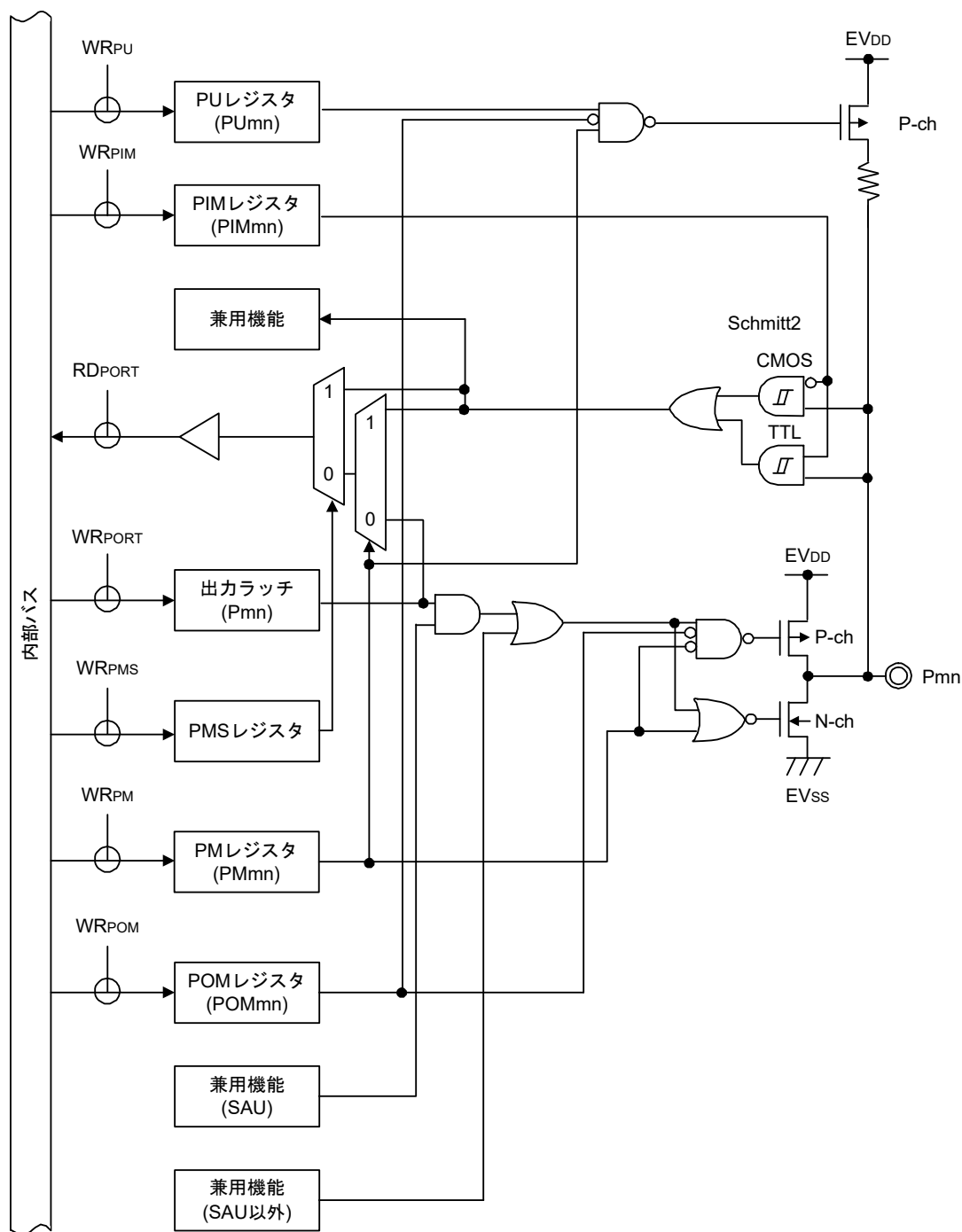


注意 ポート入力モード・レジスタ (PIMx) でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-16 端子タイプ8-1-4の端子ブロック図



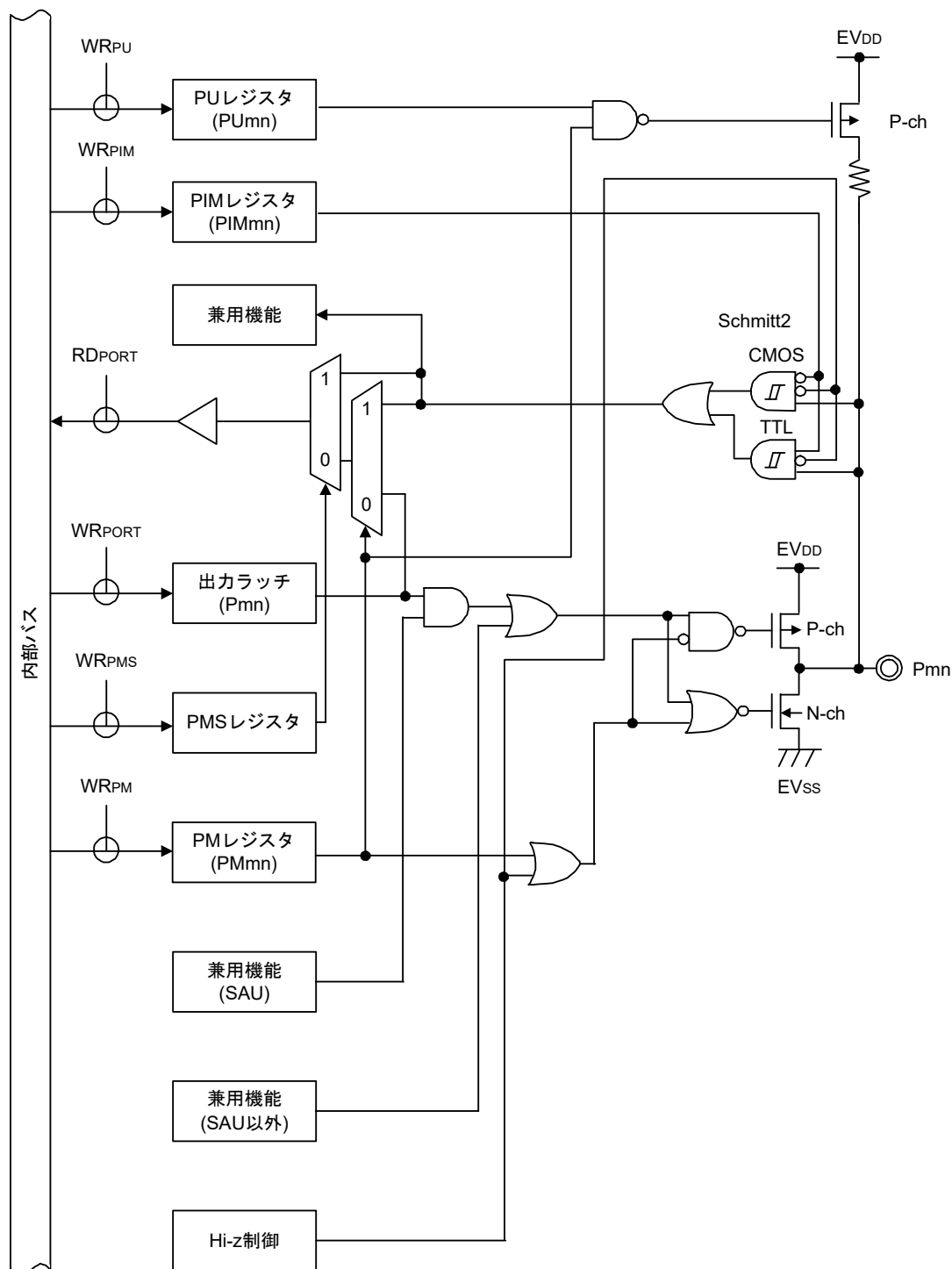
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-17 端子タイプ8-1-7の端子ブロック図

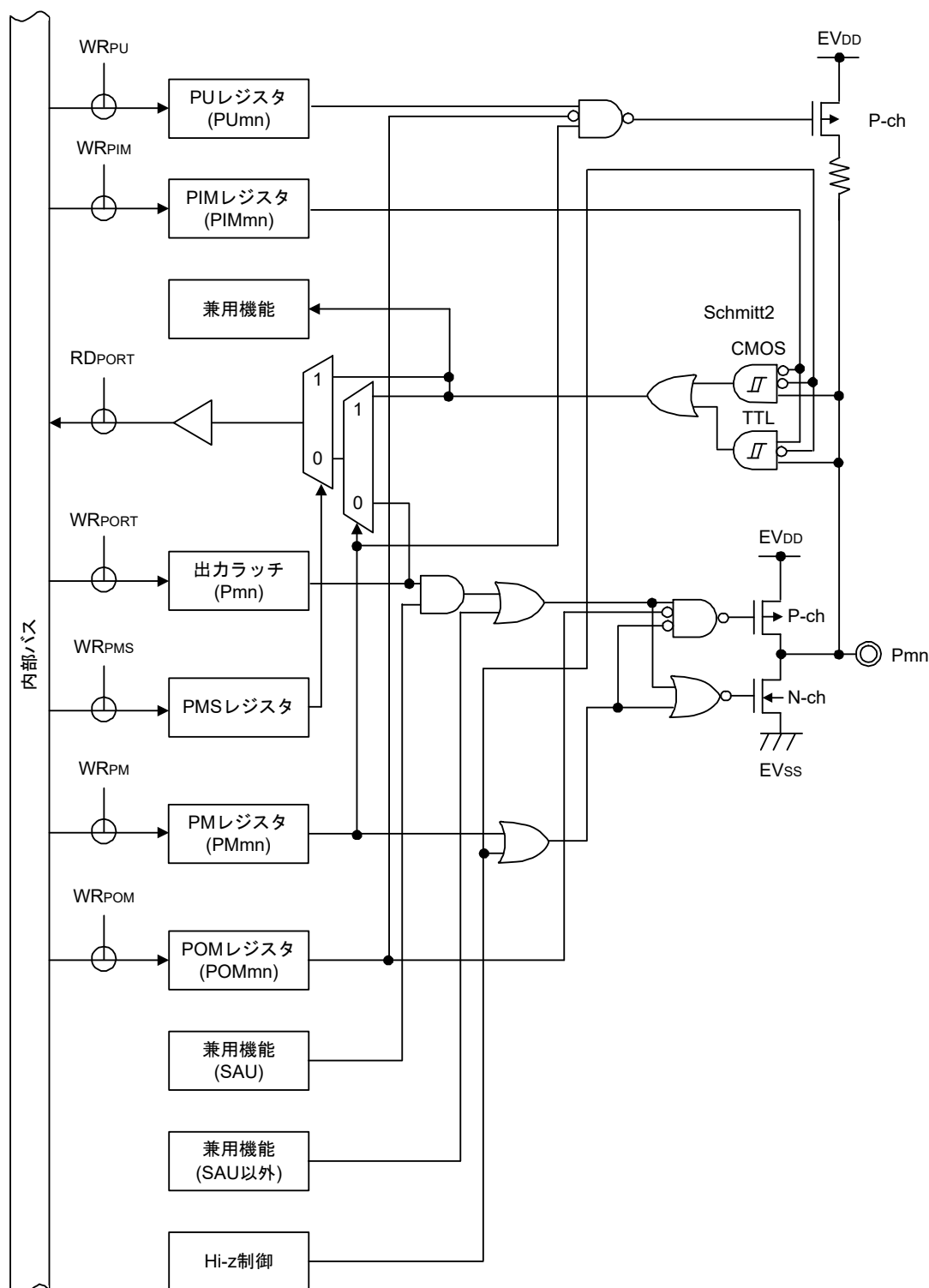


注意 ポート入力モード・レジスタ (PIMx) で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-18 端子タイプ8-1-8の端子ブロック図



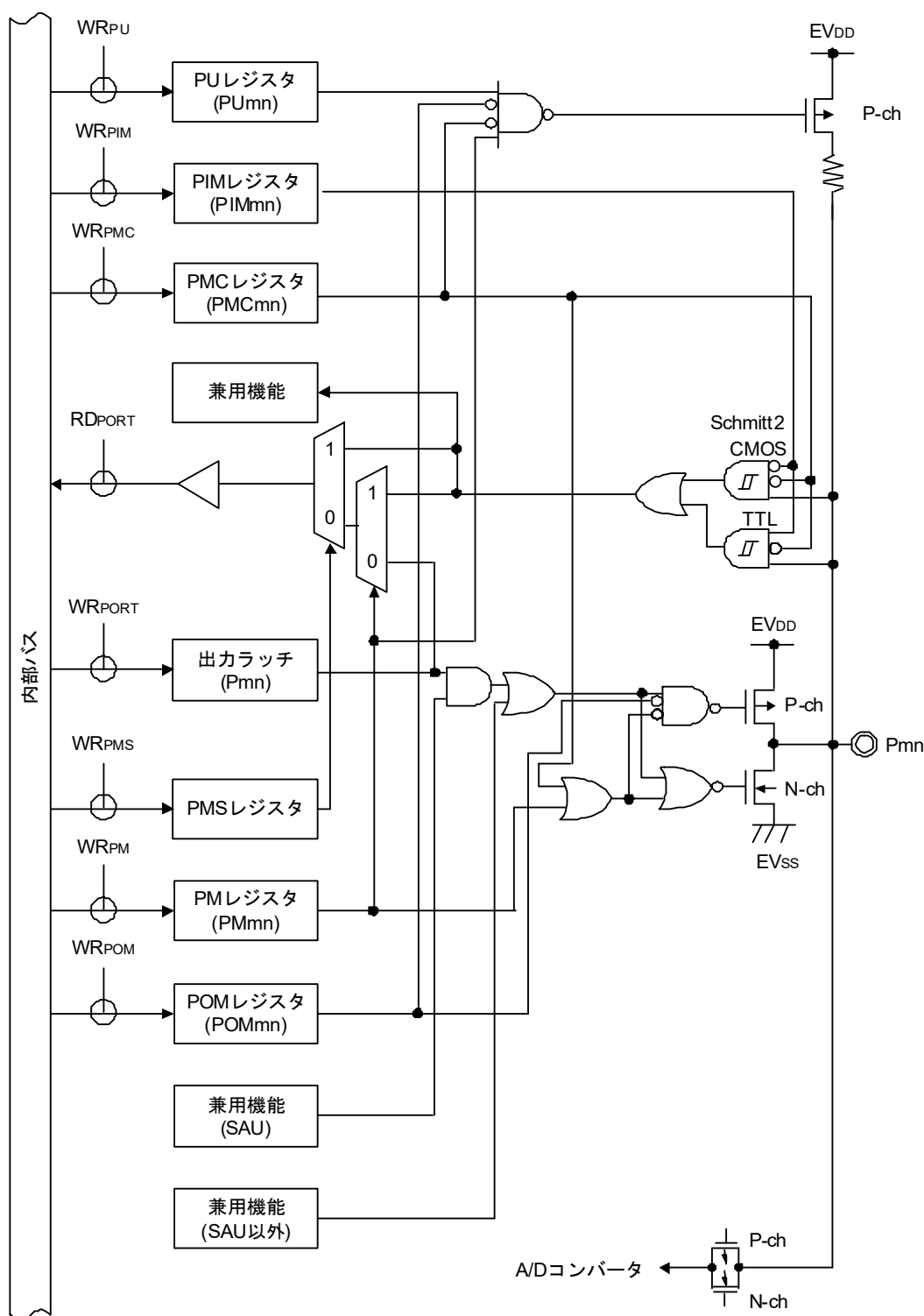
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-19 端子タイプ8-3-4の端子ブロック図



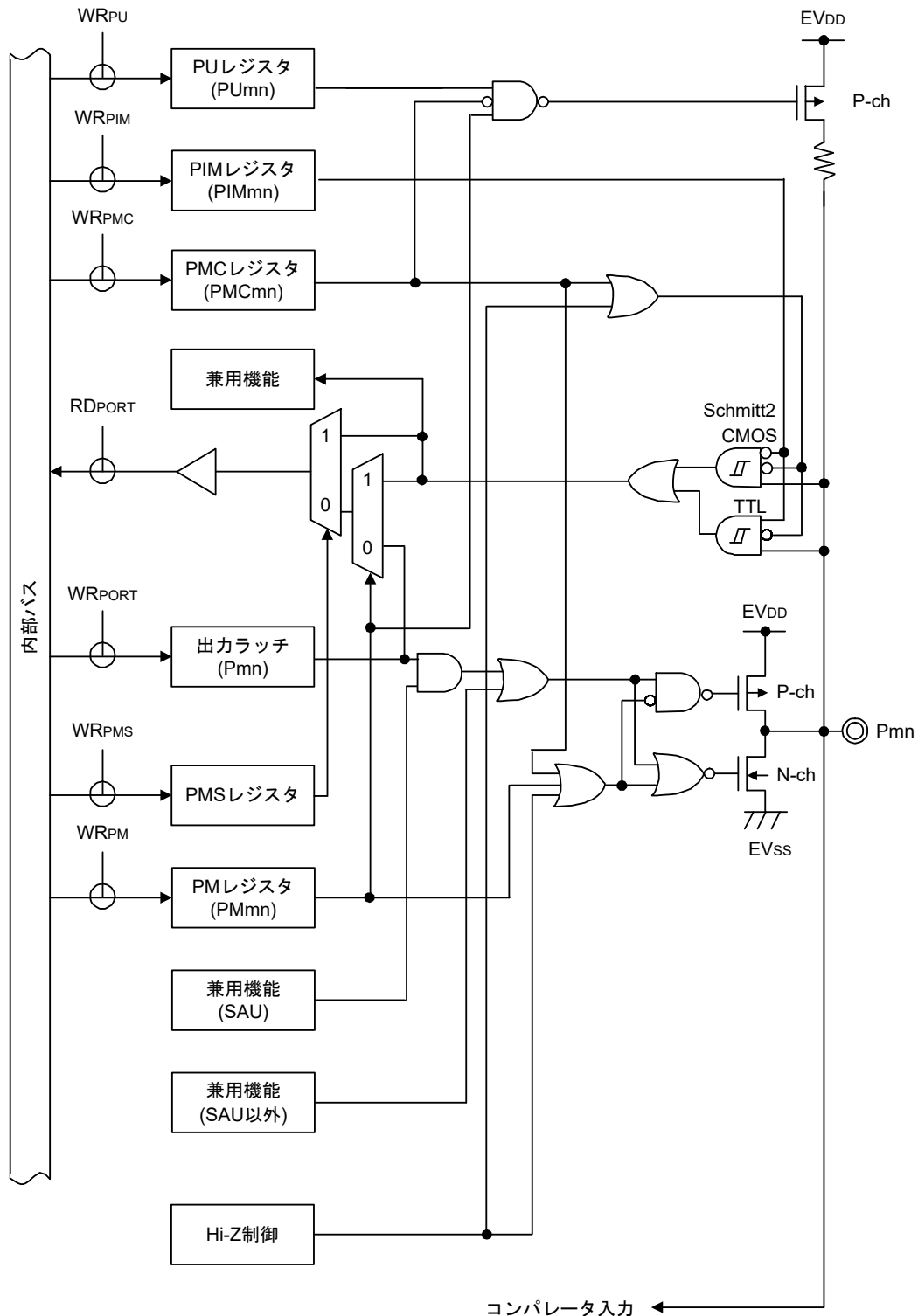
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-20 端子タイプ8-6-6の端子ブロック図

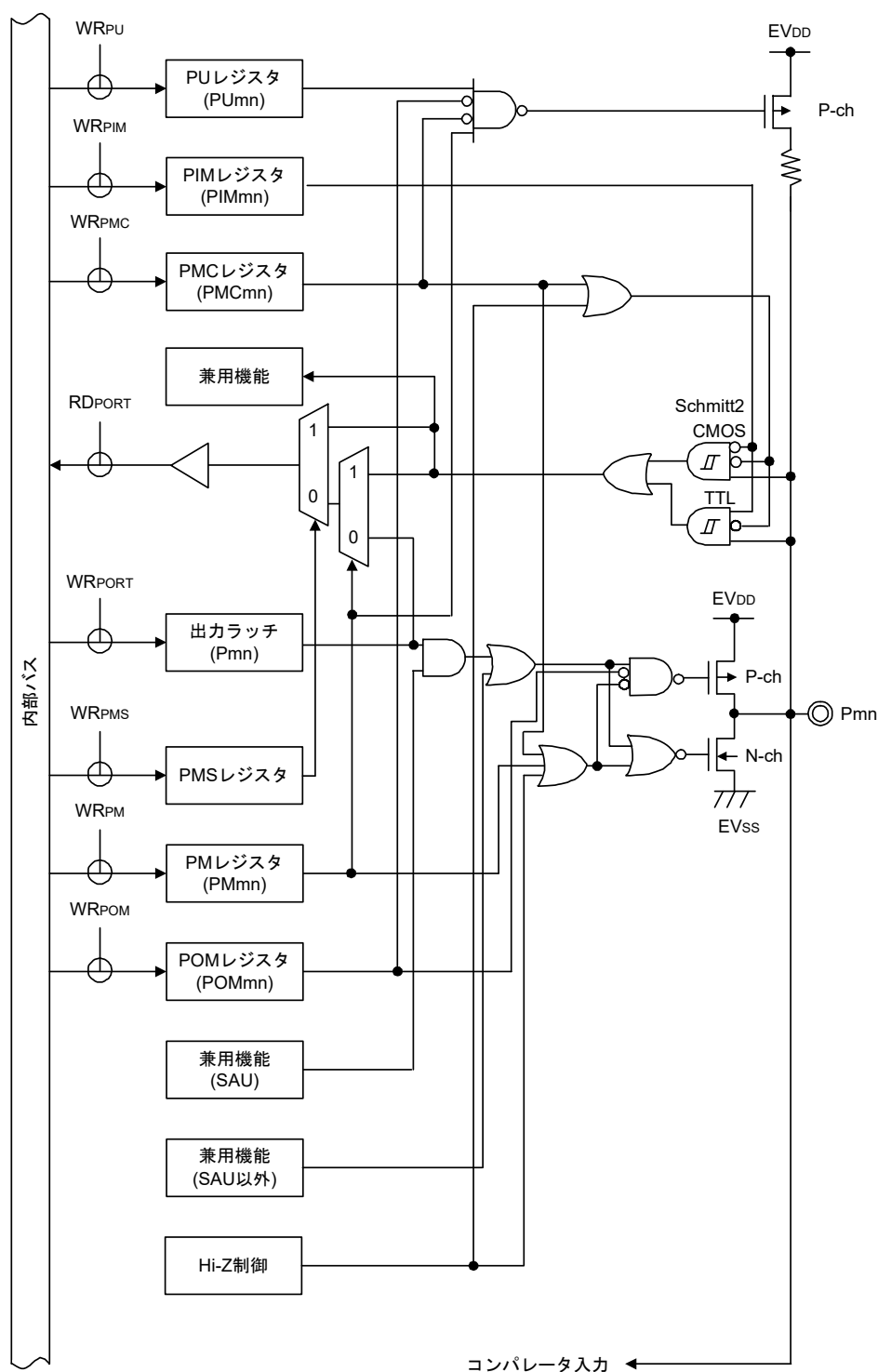


注意 ポート入力モード・レジスタ (PIMx) で TTL 入力バッファに設定し、ハイ・レベルを入力している場合、TTL 入力バッファの構造により貫通電流が流れることがあります。貫通電流を防ぐためには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU：シリアル・アレイ・ユニット

図2-21 端子タイプ8-6-8の端子ブロック図



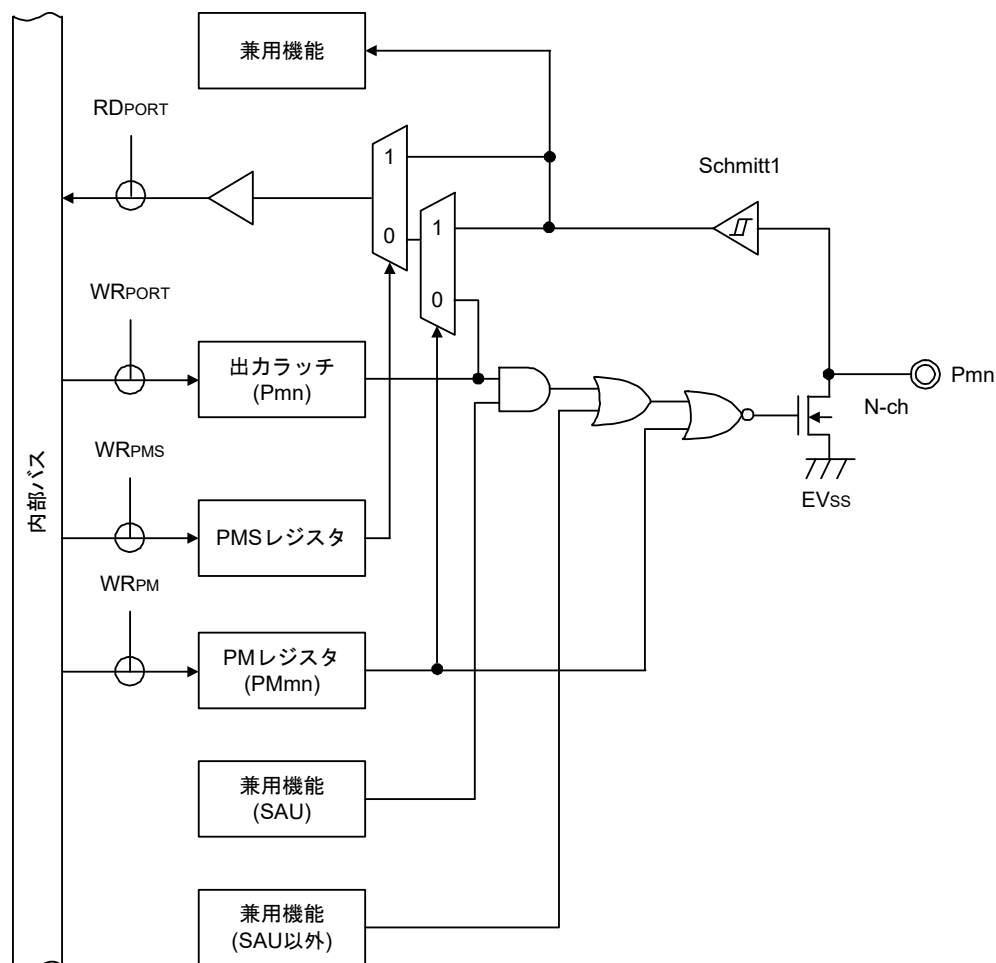
注意1. ポート出力モード・レジスタ(POMx)でN-chオープン・ドレイン出力モード設定時は、出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

注意2. ポート入力モード・レジスタ(PIMx)でTTL入力バッファに設定し、ハイ・レベルを入力している場合、TTL入力バッファの構造により貫通電流が流れることがあります。スタンバイモード時に貫通電流を抑えるには、ロウ・レベルを入力してください。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

備考2. SAU : シリアル・アレイ・ユニット

図2-22 端子タイプ12-1-5の端子ブロック図



注意 出力モード時においても、入力バッファがオンになっているため、中間電位となった場合、貫通電流が流れることがあります。

備考1. 兼用機能は、2.1 ポート機能を参照してください。

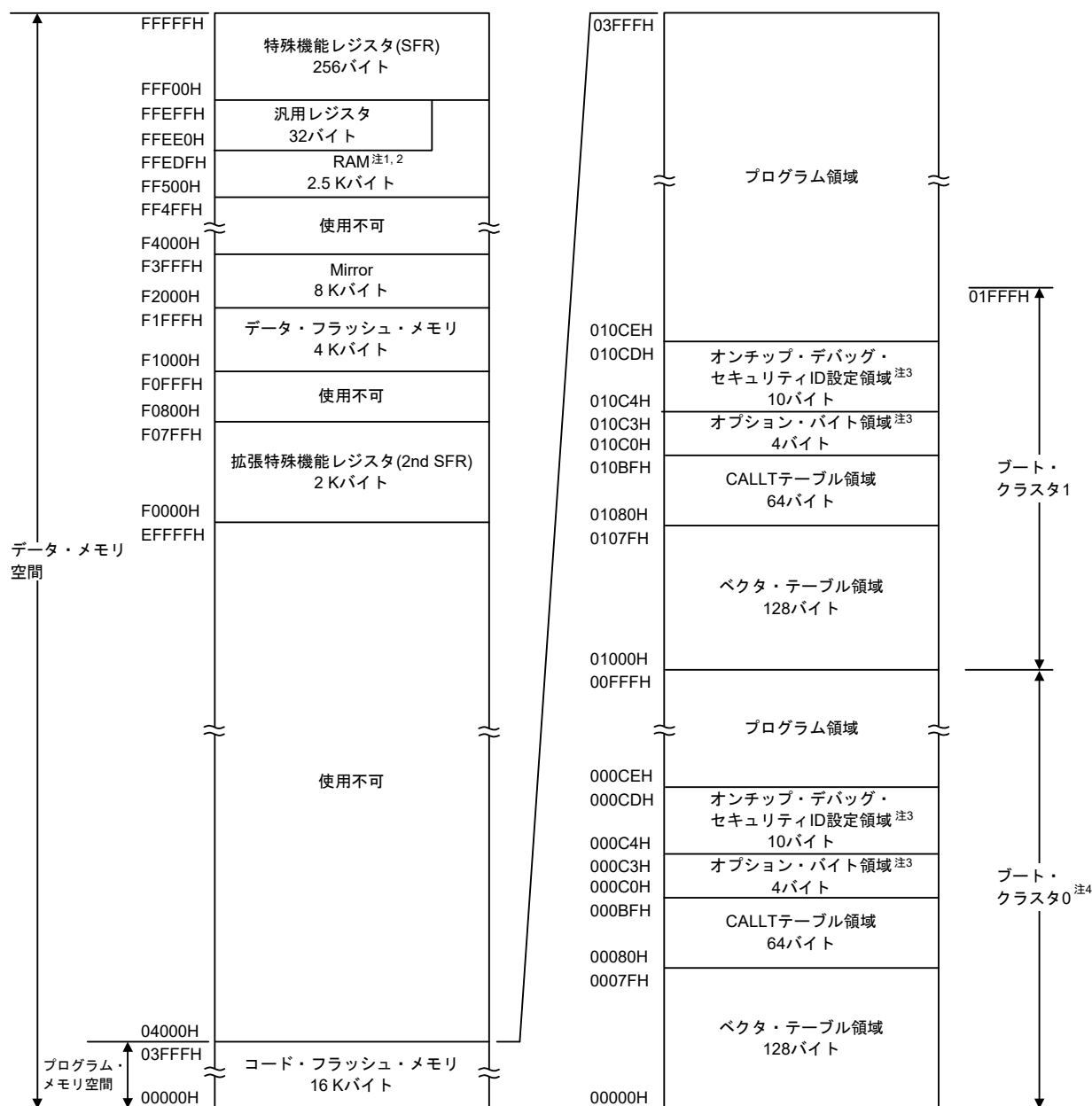
備考2. SAU : シリアル・アレイ・ユニット

第3章 CPUアーキテクチャ

3.1 メモリ空間

RL78/G14は、1 Mバイトのアドレス空間をアクセスできます。図3 - 1～図3 - 10に、メモリ・マップを示します。

図3-1 メモリ・マップ(R5F104xA (x = A-C, E-G))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリ セルフRAMリスト (R20UT2943) を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

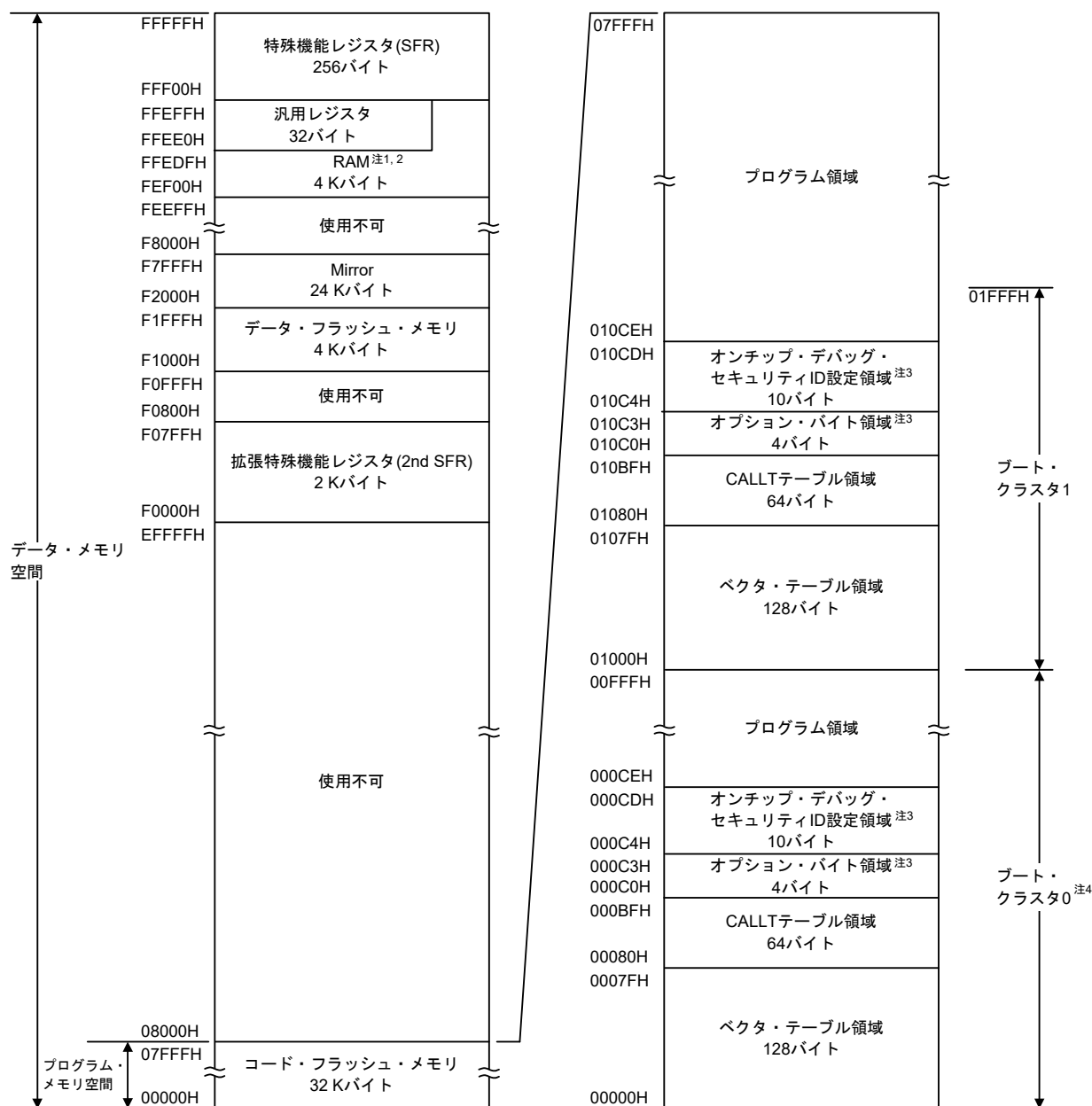
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領

域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-2 メモリ・マップ(R5F104xC (x = A-C, E-G, J, L))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

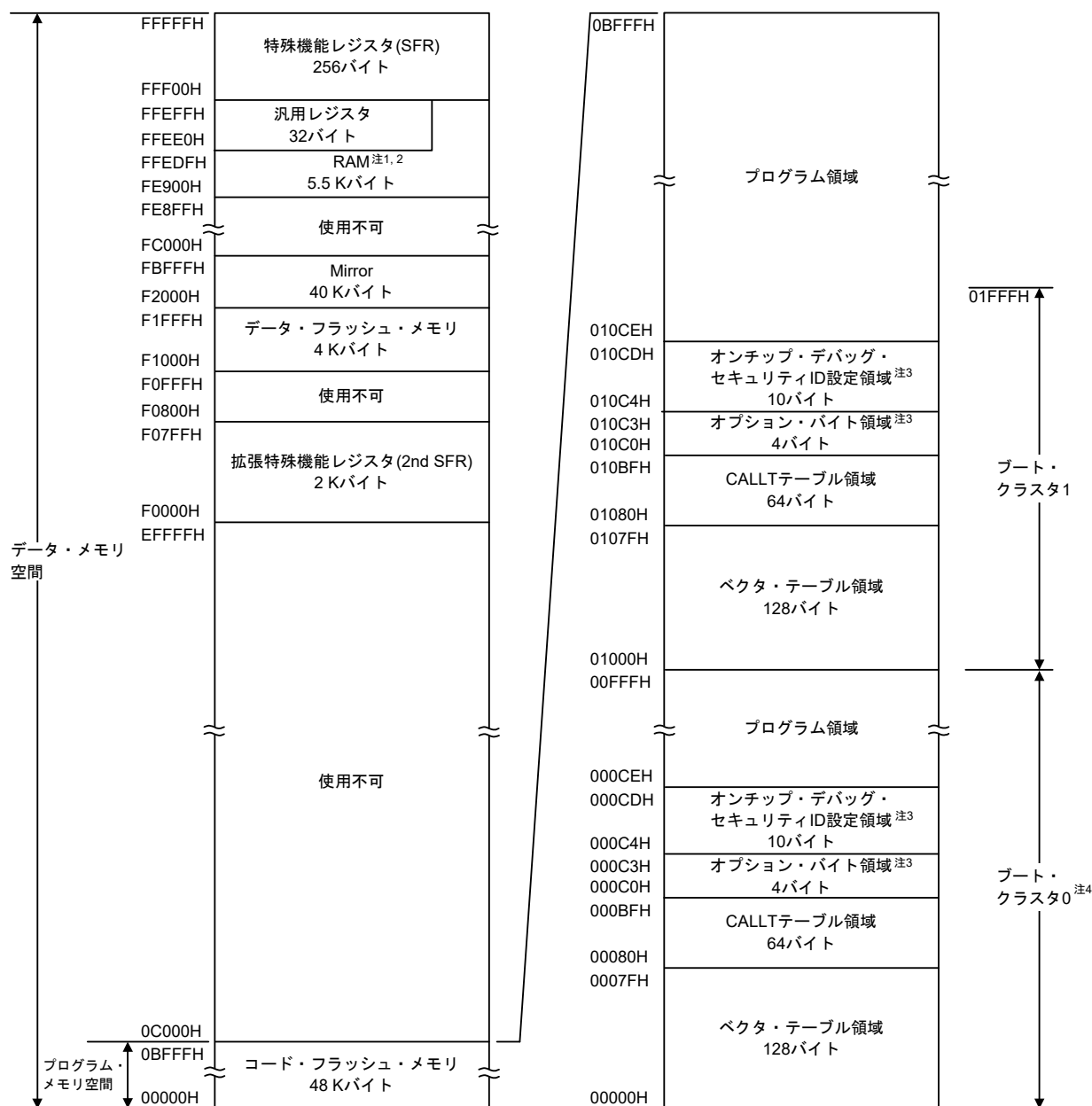
注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-3 メモリ・マップ(R5F104xD (x = A-C, E-G, J, L))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト(R20UT2943)を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

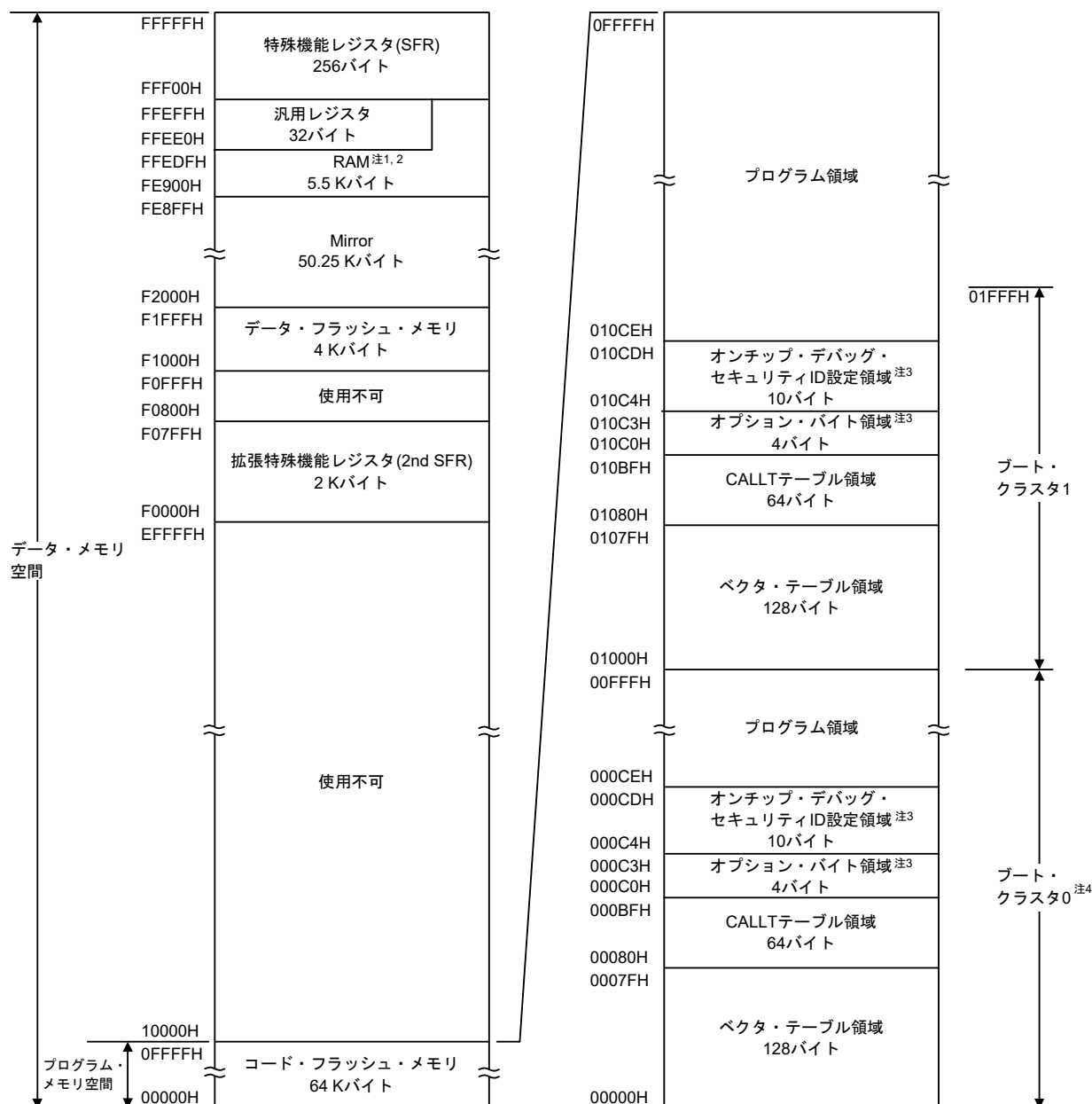
注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティID設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-4 メモリ・マップ(R5F104xE (x = A-C, E-G, J, L))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがFE900Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト(R20UT2943)を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

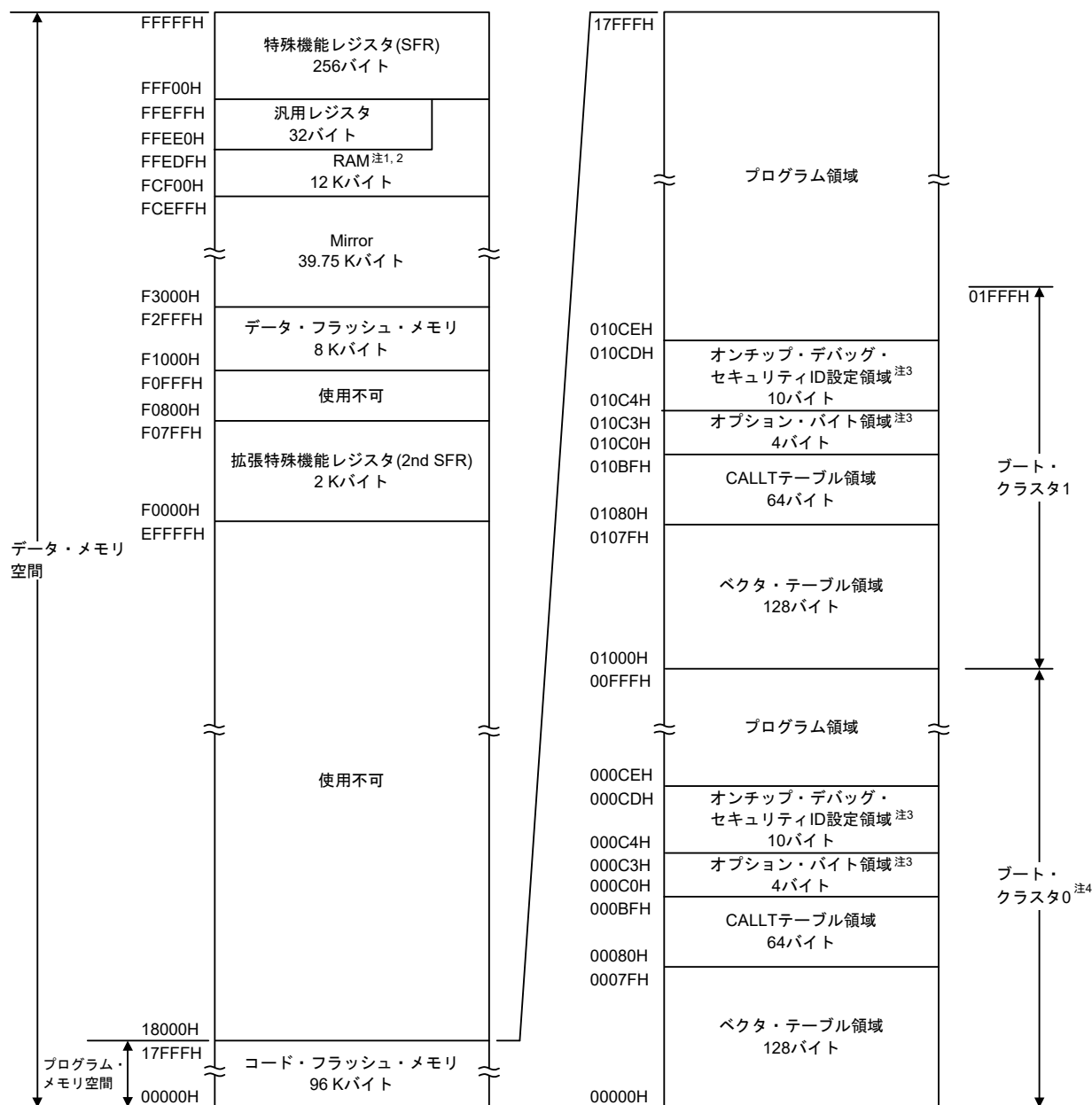
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH

にオンチップ・デバッグ・セキュリティ ID 設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3 - 5 メモリ・マップ(R5F104xF (x = A-C, E-G, J, L, M, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

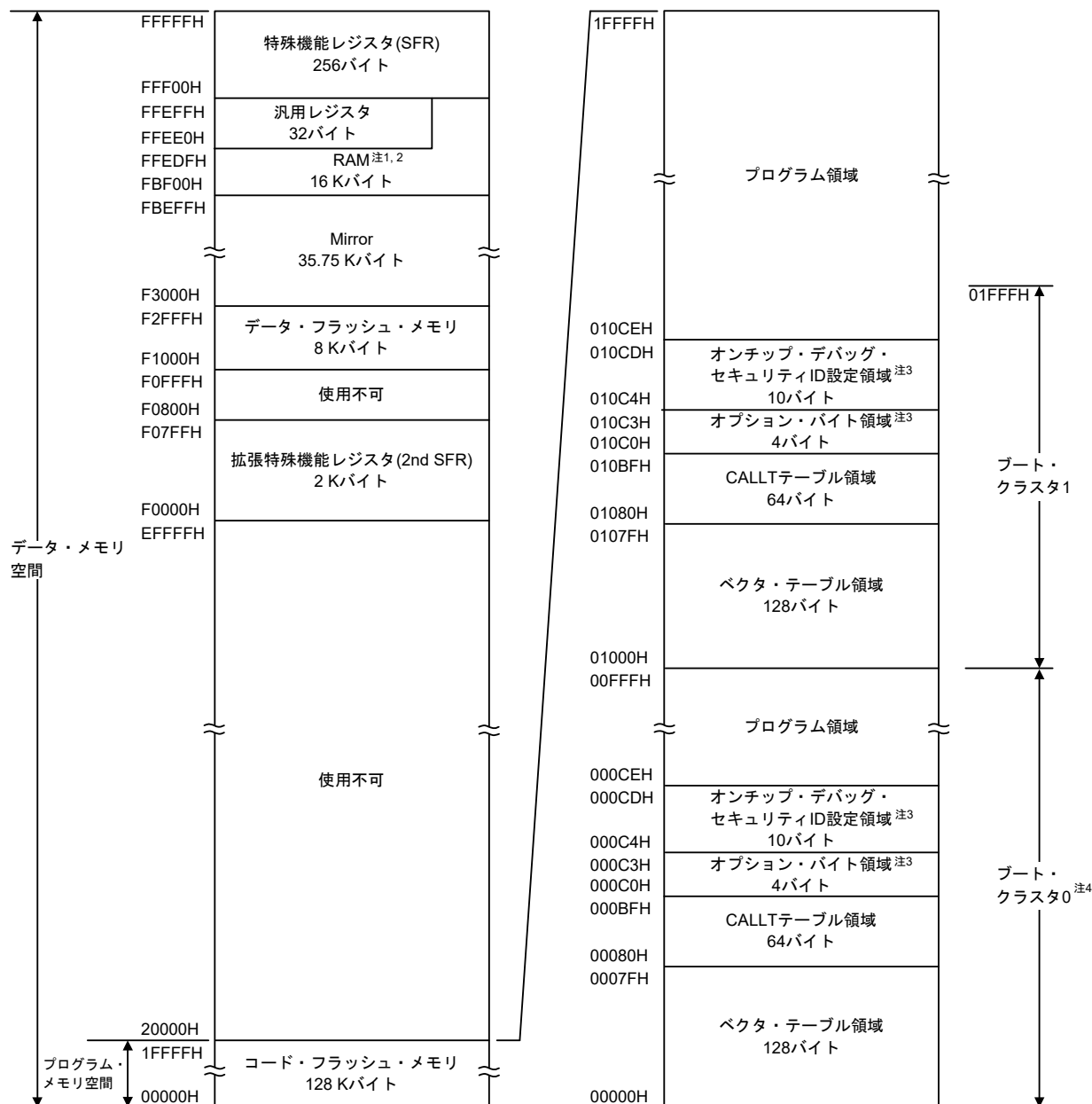
注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定

ブート・スワップ使用時： 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH
にオンチップ・デバッグ・セキュリティ ID 設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-6 メモリ・マップ(R5F104xG (x = A-C, E-G, J, L, M, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

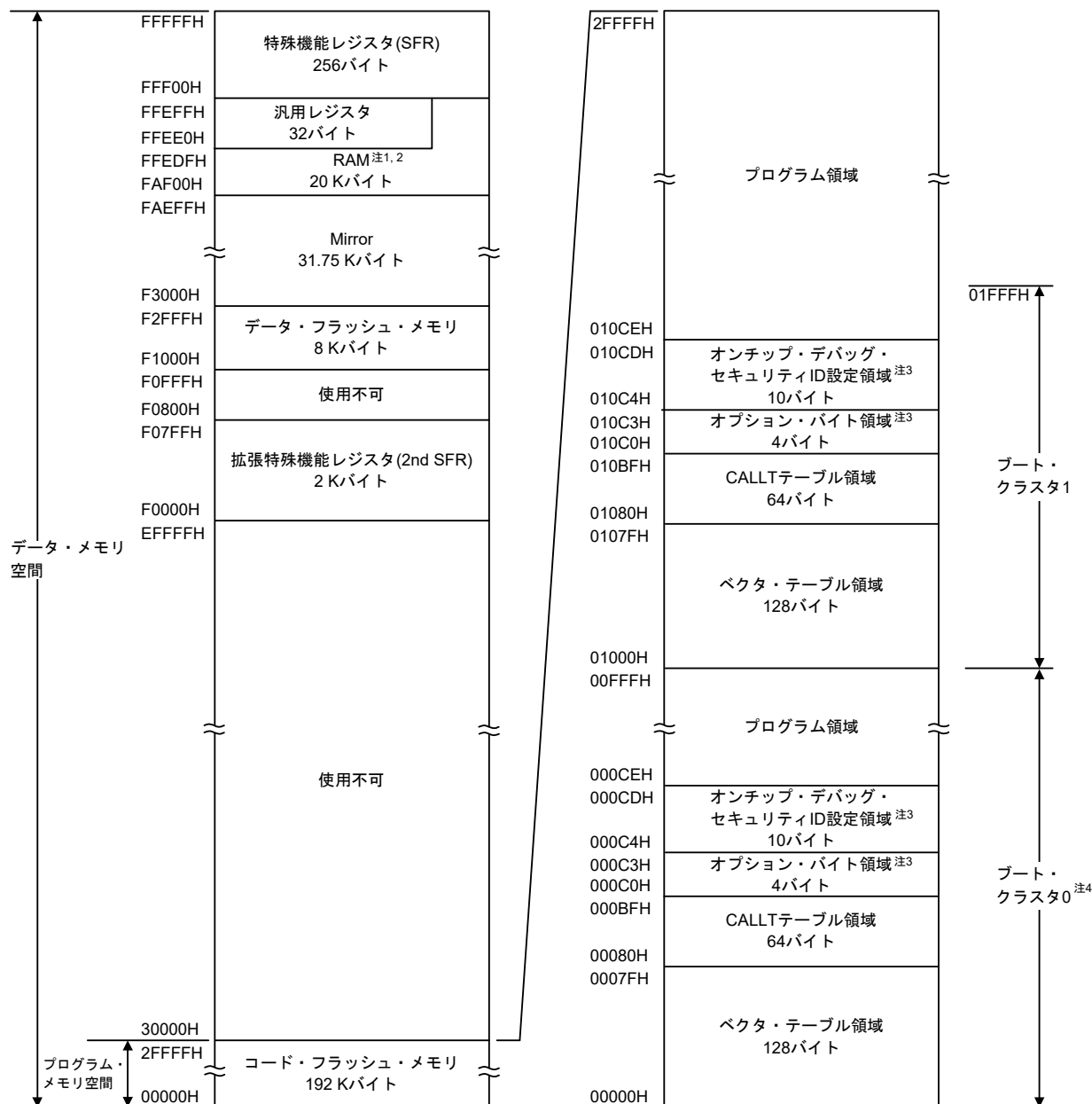
注3. ブート・スワップ未使用時：000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定

ブート・スワップ使用時： 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH
にオンチップ・デバッグ・セキュリティ ID 設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-7 メモリ・マップ(R5F104xH (x = E-G, J, L, M, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

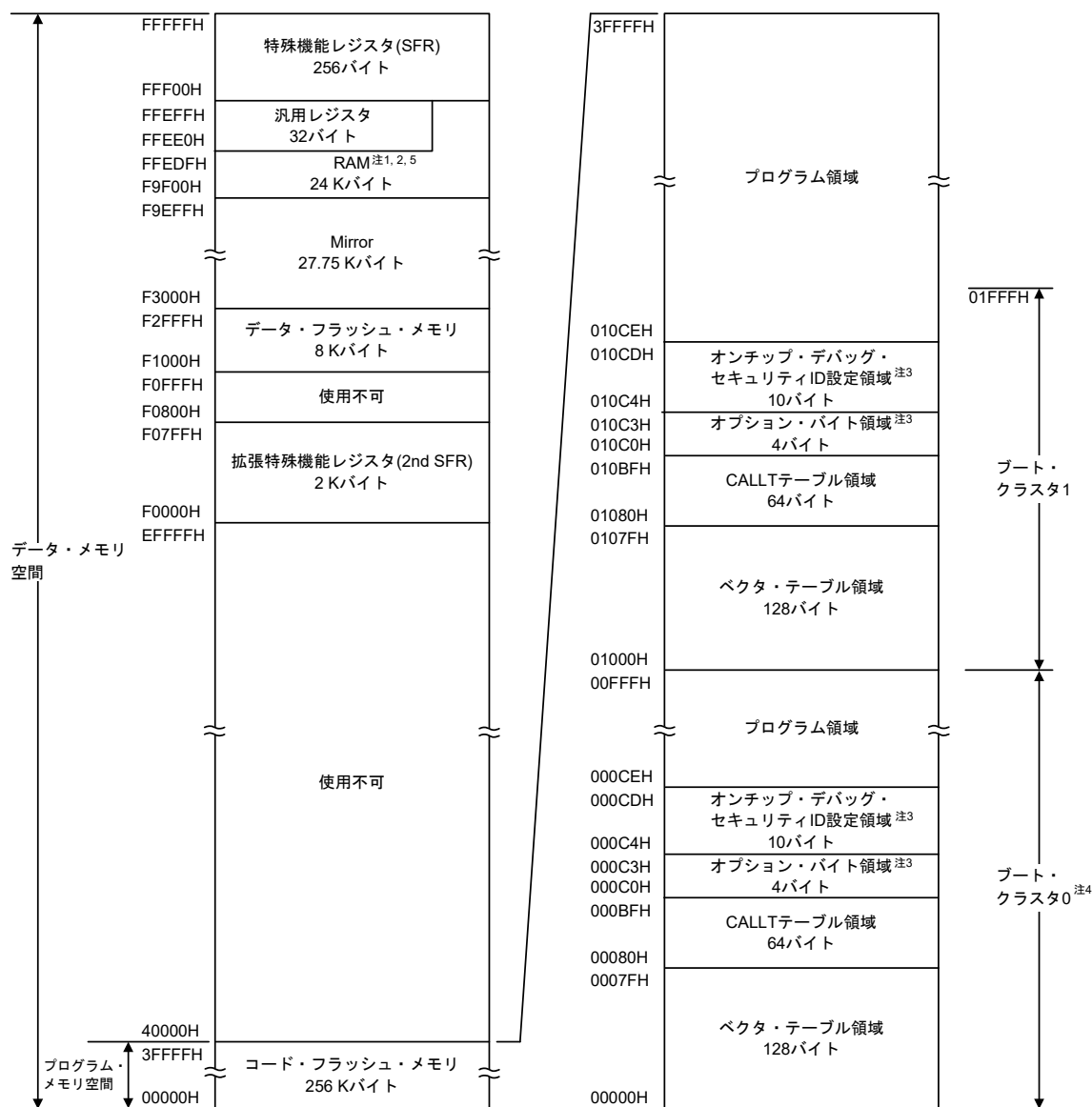
注3. ブート・スワップ未使用時：000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定

ブート・スワップ使用時： 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH
にオンチップ・デバッグ・セキュリティ ID 設定

注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-8 メモリ・マップ(R5F104xJ (x = F, G, J, L, M, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがF9F00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト(R20UT2943)を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. ブート・スワップ未使用時: 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定

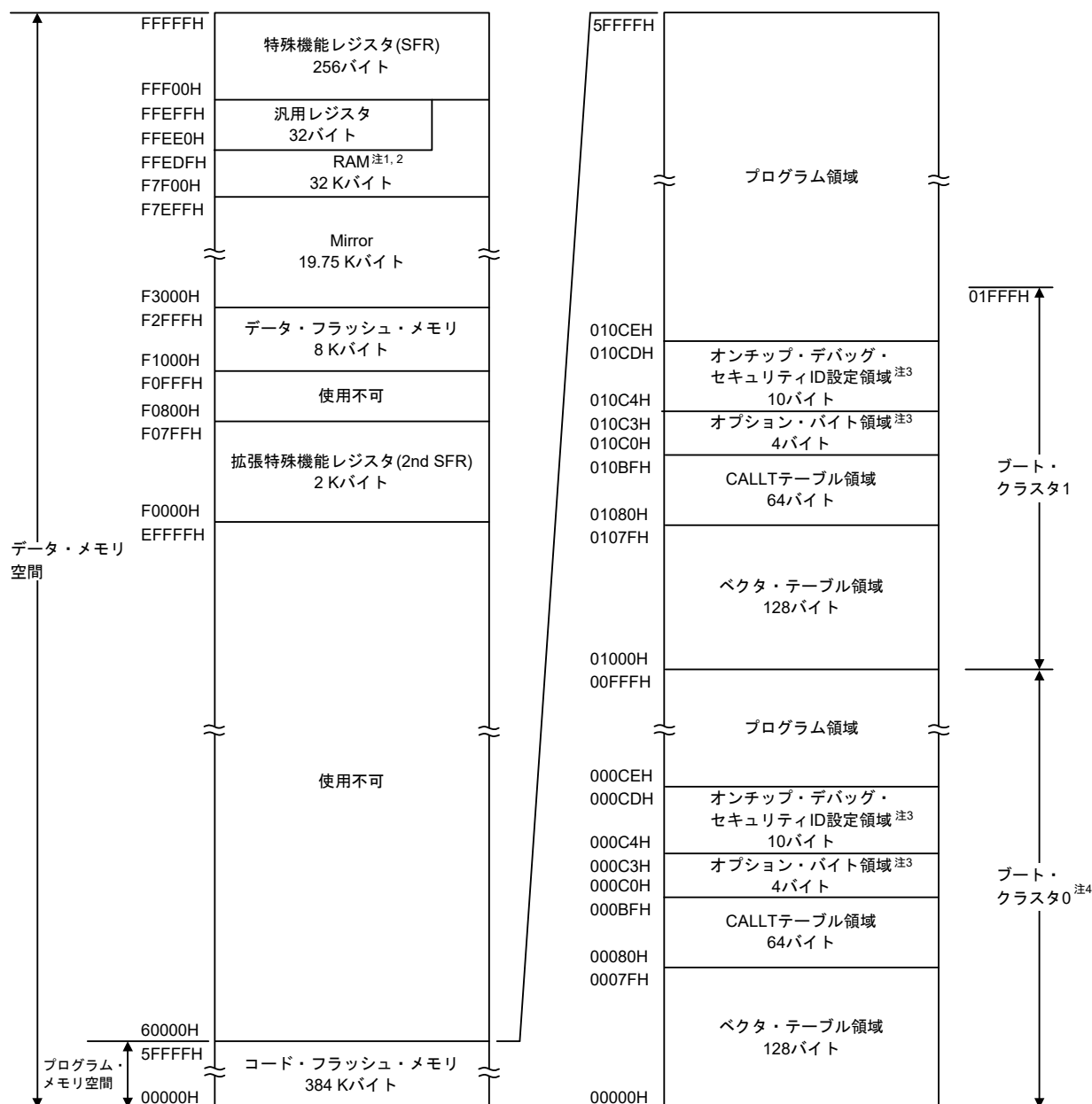
ブート・スワップ使用時： 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDH
にオンチップ・デバッグ・セキュリティ ID 設定

注4. セキュリティの設定により、ブート・クラス0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注5. オンチップ・デバッキングのトレース機能使用時は、FA300H-FA6FFHの領域が使用禁止になります。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-9 メモリ・マップ(R5F104xK (x = G, L, M, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

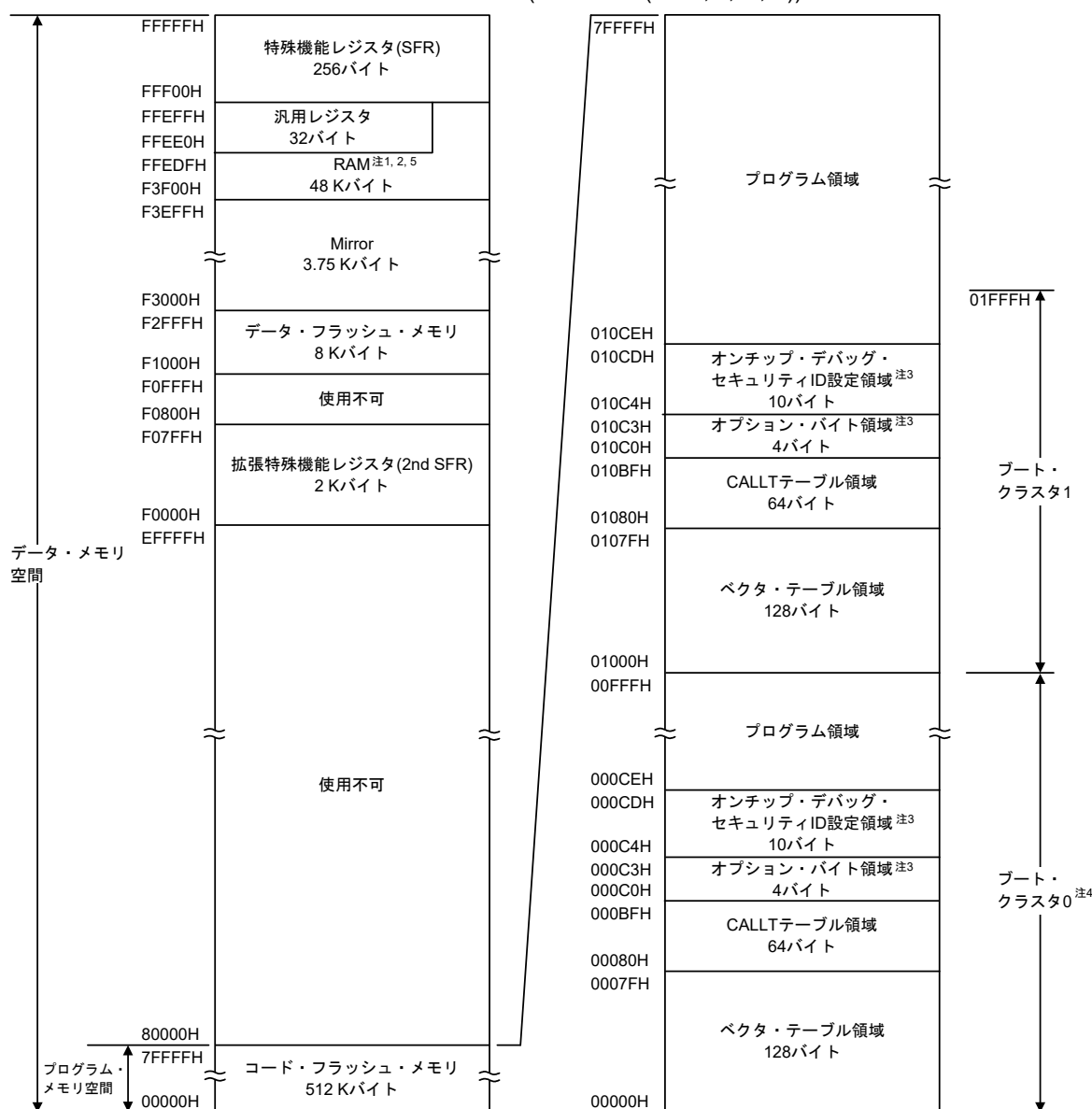
注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティ ID を設定

ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3H にオプション・バイト, 000C4H-000CDH, 010C4H-010CDH にオンチップ・デバッグ・セキュリティ ID 設定

注4. セキュリティの設定により, ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合, データ・アクセス時は「使用するRAM領域」を, RAM領域からの命令実行時は「使用するRAM領域 + 10 バイト」の領域を必ず初期化してください。リセット発生により, RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は, 27.3.3 RAMパリティ・エラー検出機能を参照してください。

図3-10 メモリ・マップ(R5F104xL (x = G, L, M, P))



注1. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。また、フラッシュ・ライブラリがF3F00Hから一部のRAM領域を使用します。フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフ・プログラミング・ライブラリセルフRAMリスト(R20UT2943)を参照してください。

注2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。

注3. ブート・スワップ未使用時 : 000C0H-000C3H にオプション・バイト, 000C4H-000CDH にオンチップ・デバッグ・セキュリティIDを設定

ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定

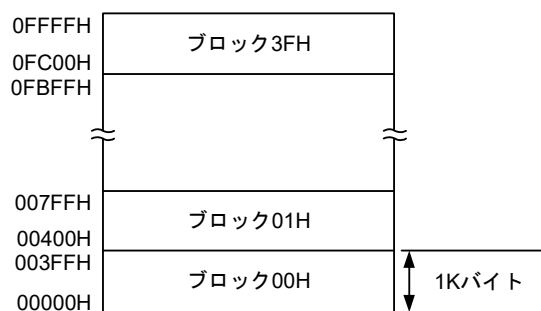
注4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(30.7 セキュリティ設定を参照)。

注5. オンチップ・デバッキングのトレース機能使用時は、F4300H-F46FFHの領域が使用禁止になります。

注意 RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。リセット発生によ

り、RAM パリティ・エラー・リセット発生許可 (RPERDIS = 0) となります。詳細は、27.3.3 RAM パリティ・エラー検出機能を参照してください。

備考 フラッシュ・メモリはブロックごとに分かれています (1 ブロック = 1 Kバイト)。アドレス値とブロック番号については、表 3-1 ~ 表 3-4 にフラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(R5F104xE (x = A-C, E-G, J, L) の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を示します。

表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応(1/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
00000H-003FFH	00H	08000H-083FFH	20H	10000H-103FFH	40H	18000H-183FFH	60H
00400H-007FFH	01H	08400H-087FFH	21H	10400H-107FFH	41H	18400H-187FFH	61H
00800H-00BFFH	02H	08800H-08BFFH	22H	10800H-10BFFH	42H	18800H-18BFFH	62H
00C00H-00FFFH	03H	08C00H-08FFFH	23H	10C00H-10FFFH	43H	18C00H-18FFFH	63H
01000H-013FFH	04H	09000H-093FFH	24H	11000H-113FFH	44H	19000H-193FFH	64H
01400H-017FFH	05H	09400H-097FFH	25H	11400H-117FFH	45H	19400H-197FFH	65H
01800H-01BFFH	06H	09800H-09BFFH	26H	11800H-11BFFH	46H	19800H-19BFFH	66H
01C00H-01FFFH	07H	09C00H-09FFFH	27H	11C00H-11FFFH	47H	19C00H-19FFFH	67H
02000H-023FFH	08H	0A000H-0A3FFH	28H	12000H-123FFH	48H	1A000H-1A3FFH	68H
02400H-027FFH	09H	0A400H-0A7FFH	29H	12400H-127FFH	49H	1A400H-1A7FFH	69H
02800H-02BFFH	0AH	0A800H-0ABFFH	2AH	12800H-12BFFH	4AH	1A800H-1ABFFH	6AH
02C00H-02FFFH	0BH	0AC00H-0AFFFH	2BH	12C00H-12FFFH	4BH	1AC00H-1AFFFH	6BH
03000H-033FFH	0CH	0B000H-0B3FFH	2CH	13000H-133FFH	4CH	1B000H-1B3FFH	6CH
03400H-037FFH	0DH	0B400H-0B7FFH	2DH	13400H-137FFH	4DH	1B400H-1B7FFH	6DH
03800H-03BFFH	0EH	0B800H-0BBFFH	2EH	13800H-13BFFH	4EH	1B800H-1BBFFH	6EH
03C00H-03FFFH	0FH	0BC00H-0BFFFH	2FH	13C00H-13FFFH	4FH	1BC00H-1BFFFH	6FH
04000H-043FFH	10H	0C000H-0C3FFH	30H	14000H-143FFH	50H	1C000H-1C3FFH	70H
04400H-047FFH	11H	0C400H-0C7FFH	31H	14400H-147FFH	51H	1C400H-1C7FFH	71H
04800H-04BFFH	12H	0C800H-0CBFFH	32H	14800H-14BFFH	52H	1C800H-1CBFFH	72H
04C00H-04FFFH	13H	0CC00H-0CFFFH	33H	14C00H-14FFFH	53H	1CC00H-1CFFFH	73H
05000H-053FFH	14H	0D000H-0D3FFH	34H	15000H-153FFH	54H	1D000H-1D3FFH	74H
05400H-057FFH	15H	0D400H-0D7FFH	35H	15400H-157FFH	55H	1D400H-1D7FFH	75H
05800H-05BFFH	16H	0D800H-0DBFFH	36H	15800H-15BFFH	56H	1D800H-1DBFFH	76H
05C00H-05FFFH	17H	0DC00H-0DFFFH	37H	15C00H-15FFFH	57H	1DC00H-1DFFFH	77H
06000H-063FFH	18H	0E000H-0E3FFH	38H	16000H-163FFH	58H	1E000H-1E3FFH	78H
06400H-067FFH	19H	0E400H-0E7FFH	39H	16400H-167FFH	59H	1E400H-1E7FFH	79H
06800H-06BFFH	1AH	0E800H-0EBFFH	3AH	16800H-16BFFH	5AH	1E800H-1EBFFH	7AH
06C00H-06FFFH	1BH	0EC00H-0EFFFH	3BH	16C00H-16FFFH	5BH	1EC00H-1EFFFH	7BH
07000H-073FFH	1CH	0F000H-0F3FFH	3CH	17000H-173FFH	5CH	1F000H-1F3FFH	7CH
07400H-077FFH	1DH	0F400H-0F7FFH	3DH	17400H-177FFH	5DH	1F400H-1F7FFH	7DH
07800H-07BFFH	1EH	0F800H-0FBFFH	3EH	17800H-17BFFH	5EH	1F800H-1FBFFH	7EH
07C00H-07FFFH	1FH	0FC00H-0FFFFH	3FH	17C00H-17FFFH	5FH	1FC00H-1FFFFH	7FH

備考 R5F104xA (x = A-C, E-G) : ブロック番号 00H-0FH
R5F104xC (x = A-C, E-G, J, L) : ブロック番号 00H-1FH
R5F104xD (x = A-C, E-G, J, L) : ブロック番号 00H-2FH
R5F104xE (x = A-C, E-G, J, L) : ブロック番号 00H-3FH
R5F104xF (x = A-C, E-G, J, L, M, P) : ブロック番号 00H-5FH
R5F104xG (x = A-C, E-G, J, L, M, P) : ブロック番号 00H-7FH

表3-2 フラッシュ・メモリのアドレス値とブロック番号の対応 (2/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
20000H-203FFH	80H	28000H-283FFH	A0H	30000H-303FFH	C0H	38000H-383FFH	E0H
20400H-207FFH	81H	28400H-287FFH	A1H	30400H-307FFH	C1H	38400H-387FFH	E1H
20800H-20BFFH	82H	28800H-28BFFH	A2H	30800H-30BFFH	C2H	38800H-38BFFH	E2H
20C00H-20FFFH	83H	28C00H-28FFFH	A3H	30C00H-30FFFH	C3H	38C00H-38FFFH	E3H
21000H-213FFH	84H	29000H-293FFH	A4H	31000H-313FFH	C4H	39000H-393FFH	E4H
21400H-217FFH	85H	29400H-297FFH	A5H	31400H-317FFH	C5H	39400H-397FFH	E5H
21800H-21BFFH	86H	29800H-29BFFH	A6H	31800H-31BFFH	C6H	39800H-39BFFH	E6H
21C00H-21FFFH	87H	29C00H-29FFFH	A7H	31C00H-31FFFH	C7H	39C00H-39FFFH	E7H
22000H-223FFH	88H	2A000H-2A3FFH	A8H	32000H-323FFH	C8H	3A000H-3A3FFH	E8H
22400H-227FFH	89H	2A400H-2A7FFH	A9H	32400H-327FFH	C9H	3A400H-3A7FFH	E9H
22800H-22BFFH	8AH	2A800H-2ABFFH	AAH	32800H-32BFFH	CAH	3A800H-3ABFFH	EAH
22C00H-22FFFH	8BH	2AC00H-2AFFFH	ABH	32C00H-32FFFH	CBH	3AC00H-3AFFFH	EBH
23000H-233FFH	8CH	2B000H-2B3FFH	ACH	33000H-333FFH	CCH	3B000H-3B3FFH	ECH
23400H-237FFH	8DH	2B400H-2B7FFH	ADH	33400H-337FFH	CDH	3B400H-3B7FFH	EDH
23800H-23BFFH	8EH	2B800H-2BBFFH	AEH	33800H-33BFFH	CEH	3B800H-3BBFFH	EEH
23C00H-23FFFH	8FH	2BC00H-2BFFFH	AFH	33C00H-33FFFH	CFH	3BC00H-3BFFFH	EFH
24000H-243FFH	90H	2C000H-2C3FFH	B0H	34000H-343FFH	D0H	3C000H-3C3FFH	F0H
24400H-247FFH	91H	2C400H-2C7FFH	B1H	34400H-347FFH	D1H	3C400H-3C7FFH	F1H
24800H-24BFFH	92H	2C800H-2CBFFH	B2H	34800H-34BFFH	D2H	3C800H-3CBFFH	F2H
24C00H-24FFFH	93H	2CC00H-2CFFFH	B3H	34C00H-34FFFH	D3H	3CC00H-3CFFFH	F3H
25000H-253FFH	94H	2D000H-2D3FFH	B4H	35000H-353FFH	D4H	3D000H-3D3FFH	F4H
25400H-257FFH	95H	2D400H-2D7FFH	B5H	35400H-357FFH	D5H	3D400H-3D7FFH	F5H
25800H-25BFFH	96H	2D800H-2DBFFH	B6H	35800H-35BFFH	D6H	3D800H-3DBFFH	F6H
25C00H-25FFFH	97H	2DC00H-2DFFFH	B7H	35C00H-35FFFH	D7H	3DC00H-3DFFFH	F7H
26000H-263FFH	98H	2E000H-2E3FFH	B8H	36000H-363FFH	D8H	3E000H-3E3FFH	F8H
26400H-267FFH	99H	2E400H-2E7FFH	B9H	36400H-367FFH	D9H	3E400H-3E7FFH	F9H
26800H-26BFFH	9AH	2E800H-2EBFFH	BAH	36800H-36BFFH	DAH	3E800H-3EBFFH	FAH
26C00H-26FFFH	9BH	2EC00H-2EFFFH	BBH	36C00H-36FFFH	DBH	3EC00H-3EFFFH	FBH
27000H-273FFH	9CH	2F000H-2F3FFH	BCH	37000H-373FFH	DCH	3F000H-3F3FFH	FCH
27400H-277FFH	9DH	2F400H-2F7FFH	BDH	37400H-377FFH	DDH	3F400H-3F7FFH	FDH
27800H-27BFFH	9EH	2F800H-2FBFFH	BEH	37800H-37BFFH	DEH	3F800H-3FBFFH	FEH
27C00H-27FFFH	9FH	2FC00H-2FFFFH	BFH	37C00H-37FFFH	DFH	3FC00H-3FFFFH	FFH

備考 R5F104xH (x = E-G, J, L, M, P) : ブロック番号 00H-BFH

R5F104xJ (x = F, G, J, L, M, P) : ブロック番号 00H-FFH

表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応(3/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
40000H-403FFH	100H	48000H-483FFH	120H	50000H-503FFH	140H	58000H-583FFH	160H
40400H-407FFH	101H	48400H-487FFH	121H	50400H-507FFH	141H	58400H-587FFH	161H
40800H-40BFFH	102H	48800H-48BFFH	122H	50800H-50BFFH	142H	58800H-58BFFH	162H
40C00H-40FFFH	103H	48C00H-48FFFH	123H	50C00H-50FFFH	143H	58C00H-58FFFH	163H
41000H-413FFH	104H	49000H-493FFH	124H	51000H-513FFH	144H	59000H-593FFH	164H
41400H-417FFH	105H	49400H-497FFH	125H	51400H-517FFH	145H	59400H-597FFH	165H
41800H-41BFFH	106H	49800H-49BFFH	126H	51800H-51BFFH	146H	59800H-59BFFH	166H
41C00H-41FFFH	107H	49C00H-49FFFH	127H	51C00H-51FFFH	147H	59C00H-59FFFH	167H
42000H-423FFH	108H	4A000H-4A3FFH	128H	52000H-523FFH	148H	5A000H-5A3FFH	168H
42400H-427FFH	109H	4A400H-4A7FFH	129H	52400H-527FFH	149H	5A400H-5A7FFH	169H
42800H-42BFFH	10AH	4A800H-4ABFFH	12AH	52800H-52BFFH	14AH	5A800H-5ABFFH	16AH
42C00H-42FFFH	10BH	4AC00H-4AFFFH	12BH	52C00H-52FFFH	14BH	5AC00H-5AFFFH	16BH
43000H-433FFH	10CH	4B000H-4B3FFH	12CH	53000H-533FFH	14CH	5B000H-5B3FFH	16CH
43400H-437FFH	10DH	4B400H-4B7FFH	12DH	53400H-537FFH	14DH	5B400H-5B7FFH	16DH
43800H-43BFFH	10EH	4B800H-4BBFFH	12EH	53800H-53BFFH	14EH	5B800H-5BBFFH	16EH
43C00H-43FFFH	10FH	4BC00H-4BFFFH	12FH	53C00H-53FFFH	14FH	5BC00H-5BFFFH	16FH
44000H-443FFH	110H	4C000H-4C3FFH	130H	54000H-543FFH	150H	5C000H-5C3FFH	170H
44400H-447FFH	111H	4C400H-4C7FFH	131H	54400H-547FFH	151H	5C400H-5C7FFH	171H
44800H-44BFFH	112H	4C800H-4CBFFH	132H	54800H-54BFFH	152H	5C800H-5CBFFH	172H
44C00H-44FFFH	113H	4CC00H-4CFFFH	133H	54C00H-54FFFH	153H	5CC00H-5CFFFH	173H
45000H-453FFH	114H	4D000H-4D3FFH	134H	55000H-553FFH	154H	5D000H-5D3FFH	174H
45400H-457FFH	115H	4D400H-4D7FFH	135H	55400H-557FFH	155H	5D400H-5D7FFH	175H
45800H-45BFFH	116H	4D800H-4DBFFH	136H	55800H-55BFFH	156H	5D800H-5DBFFH	176H
45C00H-45FFFH	117H	4DC00H-4DFFFH	137H	55C00H-55FFFH	157H	5DC00H-5DFFFH	177H
46000H-463FFH	118H	4E000H-4E3FFH	138H	56000H-563FFH	158H	5E000H-5E3FFH	178H
46400H-467FFH	119H	4E400H-4E7FFH	139H	56400H-567FFH	159H	5E400H-5E7FFH	179H
46800H-46BFFH	11AH	4E800H-4EBFFH	13AH	56800H-56BFFH	15AH	5E800H-5EBFFH	17AH
46C00H-46FFFH	11BH	4EC00H-4EFFFH	13BH	56C00H-56FFFH	15BH	5EC00H-5EFFFH	17BH
47000H-473FFH	11CH	4F000H-4F3FFH	13CH	57000H-573FFH	15CH	5F000H-5F3FFH	17CH
47400H-477FFH	11DH	4F400H-4F7FFH	13DH	57400H-577FFH	15DH	5F400H-5F7FFH	17DH
47800H-47BFFH	11EH	4F800H-4FBFFH	13EH	57800H-57BFFH	15EH	5F800H-5FBFFH	17EH
47C00H-47FFFH	11FH	4FC00H-4FFFFH	13FH	57C00H-57FFFH	15FH	5FC00H-5FFFFH	17FH

備考 R5F104xK (x = G, L, M, P) : ブロック番号00H-17FH

表3-4 フラッシュ・メモリのアドレス値とブロック番号の対応(4/4)

アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号	アドレス値	ブロック 番号
60000H-603FFH	180H	68000H-683FFH	1A0H	70000H-703FFH	1C0H	78000H-783FFH	1E0H
60400H-607FFH	181H	68400H-687FFH	1A1H	70400H-707FFH	1C1H	78400H-787FFH	1E1H
60800H-60BFFH	182H	68800H-68BFFH	1A2H	70800H-70BFFH	1C2H	78800H-78BFFH	1E2H
60C00H-60FFFH	183H	68C00H-68FFFH	1A3H	70C00H-70FFFH	1C3H	78C00H-78FFFH	1E3H
61000H-613FFH	184H	69000H-693FFH	1A4H	71000H-713FFH	1C4H	79000H-793FFH	1E4H
61400H-617FFH	185H	69400H-697FFH	1A5H	71400H-717FFH	1C5H	79400H-797FFH	1E5H
61800H-61BFFH	186H	69800H-69BFFH	1A6H	71800H-71BFFH	1C6H	79800H-79BFFH	1E6H
61C00H-61FFFH	187H	69C00H-69FFFH	1A7H	71C00H-71FFFH	1C7H	79C00H-79FFFH	1E7H
62000H-623FFH	188H	6A000H-6A3FFH	1A8H	72000H-723FFH	1C8H	7A000H-7A3FFH	1E8H
62400H-627FFH	189H	6A400H-6A7FFH	1A9H	72400H-727FFH	1C9H	7A400H-7A7FFH	1E9H
62800H-62BFFH	18AH	6A800H-6ABFFH	1AAH	72800H-72BFFH	1CAH	7A800H-7ABFFH	1EAH
62C00H-62FFFH	18BH	6AC00H-6AFFFH	1ABH	72C00H-72FFFH	1CBH	7AC00H-7AFFFH	1EBH
63000H-633FFH	18CH	6B000H-6B3FFH	1ACH	73000H-733FFH	1CCH	7B000H-7B3FFH	1ECH
63400H-637FFH	18DH	6B400H-6B7FFH	1ADH	73400H-737FFH	1CDH	7B400H-7B7FFH	1EDH
63800H-63BFFH	18EH	6B800H-6BBFFH	1AEH	73800H-73BFFH	1CEH	7B800H-7BBFFH	1EEH
63C00H-63FFFH	18FH	6BC00H-6BFFFH	1AFH	73C00H-73FFFH	1CFH	7BC00H-7BFFFH	1EFH
64000H-643FFH	190H	6C000H-6C3FFH	1B0H	74000H-743FFH	1D0H	7C000H-7C3FFH	1F0H
64400H-647FFH	191H	6C400H-6C7FFH	1B1H	74400H-747FFH	1D1H	7C400H-7C7FFH	1F1H
64800H-64BFFH	192H	6C800H-6CBFFH	1B2H	74800H-74BFFH	1D2H	7C800H-7CBFFH	1F2H
64C00H-64FFFH	193H	6CC00H-6CFFFH	1B3H	74C00H-74FFFH	1D3H	7CC00H-7CFFFH	1F3H
65000H-653FFH	194H	6D000H-6D3FFH	1B4H	75000H-753FFH	1D4H	7D000H-7D3FFH	1F4H
65400H-657FFH	195H	6D400H-6D7FFH	1B5H	75400H-757FFH	1D5H	7D400H-7D7FFH	1F5H
65800H-65BFFH	196H	6D800H-6DBFFH	1B6H	75800H-75BFFH	1D6H	7D800H-7DBFFH	1F6H
65C00H-65FFFH	197H	6DC00H-6DFFFH	1B7H	75C00H-75FFFH	1D7H	7DC00H-7DFFFH	1F7H
66000H-663FFH	198H	6E000H-6E3FFH	1B8H	76000H-763FFH	1D8H	7E000H-7E3FFH	1F8H
66400H-667FFH	199H	6E400H-6E7FFH	1B9H	76400H-767FFH	1D9H	7E400H-7E7FFH	1F9H
66800H-66BFFH	19AH	6E800H-6EBFFH	1BAH	76800H-76BFFH	1DAH	7E800H-7EBFFH	1FAH
66C00H-66FFFH	19BH	6EC00H-6EFFFH	1BBH	76C00H-76FFFH	1DBH	7EC00H-7EFFFH	1FBH
67000H-673FFH	19CH	6F000H-6F3FFH	1BCH	77000H-773FFH	1DCH	7F000H-7F3FFH	1FCH
67400H-677FFH	19DH	6F400H-6F7FFH	1BDH	77400H-777FFH	1DDH	7F400H-7F7FFH	1FDH
67800H-67BFFH	19EH	6F800H-6FBFFH	1BEH	77800H-77BFFH	1DEH	7F800H-7FBFFH	1FEH
67C00H-67FFFH	19FH	6FC00H-6FFFFH	1BFH	77C00H-77FFFH	1DFH	7FC00H-7FFFFH	1FFH

備考 R5F104xL (x = G, L, M, P) : ブロック番号00H-1FFH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。RL78/G14は、次に示す内部ROM (フラッシュ・メモリ)を内蔵しています。

表3-5 内部ROM容量

製品	内部ROM	
	構造	容量
R5F104xA (x = A-C, E-G)	フラッシュ・メモリ	16384 × 8ビット (00000H-03FFFFH)
R5F104xC (x = A-C, E-G, J, L)		32768 × 8ビット (00000H-07FFFFH)
R5F104xD (x = A-C, E-G, J, L)		49152 × 8ビット (00000H-0BFFFFH)
R5F104xE (x = A-C, E-G, J, L)		65536 × 8ビット (00000H-0FFFFFH)
R5F104xF (x = A-C, E-G, J, L, M, P)		98304 × 8ビット (00000H-17FFFFH)
R5F104xG (x = A-C, E-G, J, L, M, P)		131072 × 8ビット (00000H-1FFFFFH)
R5F104xH (x = E-G, J, L, M, P)		196608 × 8ビット (00000H-2FFFFFH)
R5F104xJ (x = F, G, J, L, M, P)		262144 × 8ビット (00000H-3FFFFFH)
R5F104xK (x = G, L, M, P)		393216 × 8ビット (00000H-5FFFFFH)
R5F104xL (x = G, L, M, P)		524288 × 8ビット (00000H-7FFFFFH)

内部プログラム・メモリ空間には、次に示す領域が割り付けられています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

ブート・スワップを使用する際には、01000H-0107FHにもベクタ・テーブルを設定してください。

表3-6～表3-7にベクタ・テーブルを示します。サポートする割り込み要因を○で示します。―はサポートしない割り込み要因であることを示します。

表3-6 ベクタ・テーブル(1/2)

ベクタ・テーブル・ アドレス	割り込み要因	100ビット	80ビット	64ビット	52ビット	48ビット	44ビット	40ビット	36ビット	32ビット	30ビット
00000H	RESET, POR, LVD, WDT, TRAP, IAW, RPE	○	○	○	○	○	○	○	○	○	○
00004H	INTWDTI	○	○	○	○	○	○	○	○	○	○
00006H	INTLVI	○	○	○	○	○	○	○	○	○	○
00008H	INTP0	○	○	○	○	○	○	○	○	○	○
0000AH	INTP1	○	○	○	○	○	○	○	○	○	○
0000CH	INTP2	○	○	○	○	○	○	○	○	○	○
0000EH	INTP3	○	○	○	○	○	○	○	○	○	○
00010H	INTP4	○	○	○	○	○	○	○	○	○	○
00012H	INTP5	○	○	○	○	○	○	○	○	○	○
00014H	INTST2/INTCSI20/INTIIC20	○	○	○	○	○	○	○	○	○	○
00016H	INTSR2/INTCSI21/INTIIC21	○	○	○	○	○	○	○	○	注1	注1
00018H	INTSRE2	○	○	○	○	○	○	○	○	○	○
	INTTM11H	○	○	—	—	—	—	—	—	—	—
0001EH	INTST0/INTCSI00/INTIIC00	○	○	○	○	○	○	○	○	○	○
00020H	INTSR0/INTCSI01/INTIIC01	○	○	○	○	○	注2	注2	注2	注2	注2
00022H	INTSRE0	○	○	○	○	○	○	○	○	○	○
	INTTM01H	○	○	○	○	○	○	○	○	○	○
00024H	INTST1/INTCSI10/INTIIC10	○	○	○	注3	注3	注3	注3	注3	注3	注3
00026H	INTSR1/INTCSI11/INTIIC11	○	○	○	○	○	○	○	○	○	○
00028H	INTSRE1	○	○	○	○	○	○	○	○	○	○
	INTTM03H	○	○	○	○	○	○	○	○	○	○
0002AH	INTIICA0	○	○	○	○	○	○	○	○	○	○
0002CH	INTTM00	○	○	○	○	○	○	○	○	○	○
0002EH	INTTM01	○	○	○	○	○	○	○	○	○	○
00030H	INTTM02	○	○	○	○	○	○	○	○	○	○
00032H	INTTM03	○	○	○	○	○	○	○	○	○	○
00034H	INTAD	○	○	○	○	○	○	○	○	○	○
00036H	INTRTC	○	○	○	○	○	○	○	○	○	○
00038H	INTIT	○	○	○	○	○	○	○	○	○	○
0003AH	INTKR	○	○	○	○	○	○	○	—	—	—
0003CH	INTST3/INTCSI30/INTIIC30	○	○	—	—	—	—	—	—	—	—
0003EH	INTSR3/INTCSI31/INTIIC31	○	○	—	—	—	—	—	—	—	—
00040H	INTTRJ0	○	○	○	○	○	○	○	○	○	○
00042H	INTTM10	○	○	—	—	—	—	—	—	—	—
00044H	INTTM11	○	○	—	—	—	—	—	—	—	—
00046H	INTTM12	○	○	—	—	—	—	—	—	—	—
00048H	INTTM13	○	○	—	—	—	—	—	—	—	—

注1. INTSR2のみサポートします。

注2. INTSR0のみサポートします。

注3. INTST1のみサポートします。

表3-7 ベクタ・テーブル(2/2)

ベクタ・テーブル・アドレス	割り込み要因	100 ビット	80 ビット	64 ビット	52 ビット	48 ビット	44 ビット	40 ビット	36 ビット	32 ビット	30 ビット
0004AH	INTP6	○	○	○	○	○	—	—	—	—	—
0004CH	INTP7	○	○	○	—	—	—	—	—	—	—
0004EH	INTP8	○	○	○	○	○	—	—	—	—	—
00050H	INTP9	○	○	○	○	○	—	—	—	—	—
00052H	INTP10	○	○	○	○	—	—	—	—	—	—
	INTCMP0	○	○	注	注	注	注	注	注	注	注
00054H	INTP11	○	○	○	○	—	—	—	—	—	—
	INTCMP1	○	○	注	注	注	注	注	注	注	注
00056H	INTTRD0	○	○	○	○	○	○	○	○	○	○
00058H	INTTRD1	○	○	○	○	○	○	○	○	○	○
0005AH	INTTRG	○	○	○	○	○	○	○	○	○	○
0005CH	INTSRE3	○	○	—	—	—	—	—	—	—	—
	INTTM13H	○	○	—	—	—	—	—	—	—	—
00060H	INTIICA1	○	○	—	—	—	—	—	—	—	—
00062H	INTFL	○	○	○	○	○	○	○	○	○	○
0007EH	BRK	○	○	○	○	○	○	○	○	○	○

注 コード・フラッシュ・メモリが96 KB以上の製品のみサポートします。

(2) CALLT 命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令(CALLT)のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください(アドレス・コードが2バイトのため)。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は第29章 オプション・バイトを参照してください。

(4) オンチップ・デバッグ・セキュリティ ID 設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティ ID 設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティ ID を設定してください。詳細は第31章 オンチップ・デバッグ機能を参照してください。

3.1.2 ミラー領域

RL78/G14では、00000H-0FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています。フラッシュ・メモリが96 KB以上の製品では、00000H-0FFFFHまたは10000H-1FFFFHのコード・フラッシュ・エリアをF0000H-FFFFFHへミラーさせています(プロセッサ・モード・コントロール・レジスタ(PMC)で設定)。

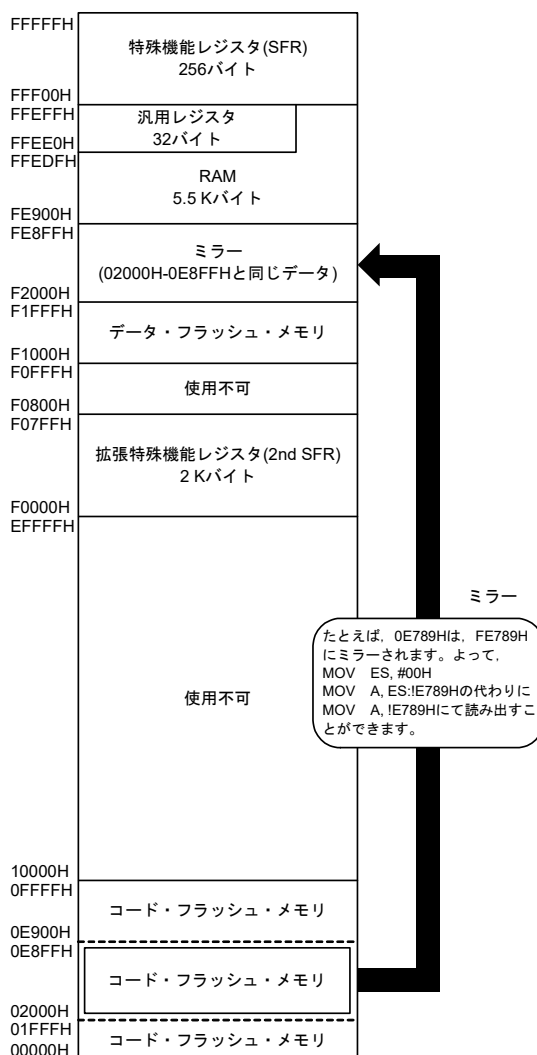
ミラー先のF0000H-FFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでコード・フラッシュ内容の読み出しを行うことができます。ただし、特殊機能レジスタ(SFR)、拡張特殊機能レジスタ(2nd SFR)、RAM領域、データ・フラッシュ・メモリ領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 R5F104xE (x = A-C, E-G, J, L)(フラッシュ・メモリ 64 Kバイト, RAM 5.5 Kバイト)の場合



次に、PMC レジスタについて説明します。

- ・プロセッサ・モード・コントロール・レジスタ (PMC)
F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。
PMCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図3 - 11 プロセッサ・モード・コントロール・レジスタ (PMC)のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	10000H-1FFFFHをF0000H-FFFFFFHへミラー

注意1. フラッシュ・メモリが64 KB以下の製品は、必ずビット0 (MAA)を0 (初期値)でご使用ください。
注意2. PMCレジスタの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

RL78/G14は、次に示すRAMを内蔵しています。

表3-8 内部RAM容量

製品	内部RAM
R5F104xA (x = A-C, E-G)	2560 × 8ビット (FF500H-FFEFFH)
R5F104xC (x = A-C, E-G, J, L)	4096 × 8ビット (FEF00H-FFEFFH)
R5F104xD (x = A-C, E-G, J, L)	5632 × 8ビット (FE900H-FFEFFH)
R5F104xE (x = A-C, E-G, J, L)	
R5F104xF (x = A-C, E-G, J, L, M, P)	12288 × 8ビット (FCF00H-FFEFFH)
R5F104xG (x = A-C, E-G, J, L, M, P)	16384 × 8ビット (FBF00H-FFEFFH)
R5F104xH (x = E-G, J, L, M, P)	20480 × 8ビット (FAF00H-FFEFFH)
R5F104xJ (x = F, G, J, L, M, P)	24576 × 8ビット (F9F00H-FFEFFH)
R5F104xK (x = G, L, M, P)	32768 × 8ビット (F7F00H-FFEFFH)
R5F104xL (x = G, L, M, P)	49152 × 8ビット (F3F00H-FFEFFH)

内部RAMは、データ領域として使用できるほか、プログラム領域として命令を実行することができます（汎用レジスタが割り当てられた領域では命令実行不可）。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFH)は、命令フェッチやスタックの領域に使用できません。
- 注意2. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注意3. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とフラッシュ・ライブラリが使用するRAM領域のスタートアドレスを示します。

R5F104xD (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xE (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xJ (x = F, G, J, L, M, P) : スタート・アドレス F9F00H

R5F104xL (x = G, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルフRAMリスト（R20UT2943）を参照してください。

- 注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, L, M, P) : F4300H-F46FFH

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表 3 - 9 ~ 表 3 - 13 参照)。

注意 SFR が割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表 3 - 14 ~ 表 3 - 22 参照)。

注意1. 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

注意2. 拡張SFR (2nd SFR) の一部の領域F0500Hに配置しているタイマRJカウンタレジスタ0 (TRJ0) へのアクセス時に、CPUは次の命令処理に移行せず、CPU 処理としてウェイト状態となります。このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。タイマRJカウンタレジスタ0 (TRJ0) アクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

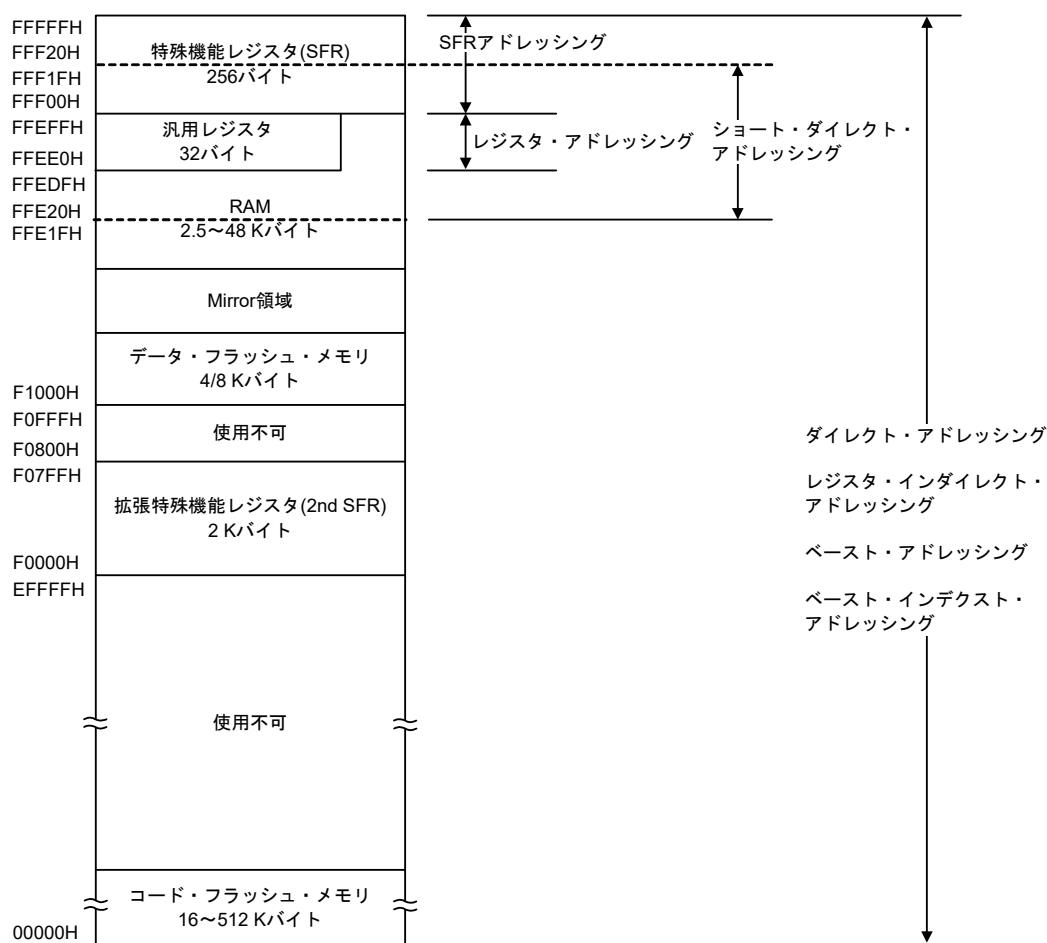
3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

命令を実行する際に操作対象となるメモリのアドレッシングについて、RL78/G14では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-12にデータ・メモリとアドレッシングの対応を示します。

各アドレッシングの詳細については、「3.4 処理データ・アドレスに対するアドレッシング」を参照してください。

図3-12 データ・メモリとアドレッシングの対応



3.2 プロセッサ・レジスタ

RL78/G14は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ(PC)、プログラム・ステータス・ワード(PSW)、スタック・ポインタ(SP)があります。

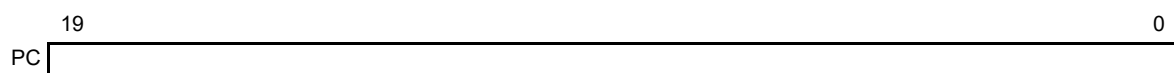
(1) プログラム・カウンタ(PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエート・データやレジスタの内容がセットされます。

リセット信号の発生により、00000Hと00001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3-13 プログラム・カウンタの構成



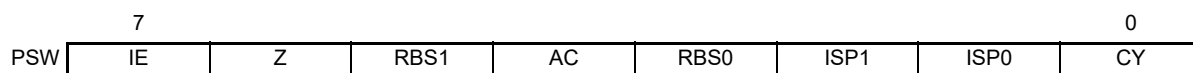
(2) プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB, RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3-14 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ(IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止(DI)状態となり、マスカブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可(EI)状態となります。このときマスカブル割り込み要求の受け付けは、インサービス・プライオリティ・フラグ(ISP1, ISP0)、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット(0)され、EI命令の実行によりセット(1)されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロまたは等しいときセット(1)され、それ以外のときにリセット(0)されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL Rn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット(1)され、それ以外のときリセット(0)されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (21.3.3参照) でISP0, ISP1フラグの値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際にベクタ割り込み要求が受け付けられるかどうかは、割り込み許可フラグ(IE)の状態により制御されます。

備考n = 0, 1

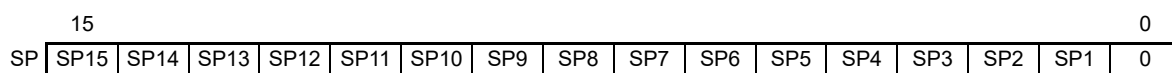
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 15 スタック・ポインタの構成



スタック・ポインタを用いたスタック・アドレッシングでは、スタック・メモリへの書き込み(退避)動作に先立ってデクリメントされ、スタック・メモリからの読み取り(復帰)動作のあとインクリメントされます。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
- 注意2. 汎用レジスタが割り当てられている空間(FFEE0H-FFEFFH)は、命令フェッチやスタックの領域に使用できません。
- 注意3. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、スタック、フラッシュ・ライブラリで使用するデータ・バッファ、ライブラリ関数の引数、ベクタ割り込み処理の分岐先やDTCによる転送先／転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に配置しないでください。
- 注意4. セルフ・プログラミングおよびデータ・フラッシュ書き換えを行う場合、フラッシュ・ライブラリが次に示す製品のRAM領域を一部使用します。対象製品とフラッシュ・ライブラリが使用するRAM領域のスタートアドレスを示します。

R5F104xD (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xE (x = A-C, E-G, J, L) : スタート・アドレス FE900H

R5F104xJ (x = F, G, J, L, M, P) : スタート・アドレス F9F00H

R5F104xL (x = G, L, M, P) : スタート・アドレス F3F00H

フラッシュ・ライブラリが使用するRAM領域は、RL78ファミリセルフプログラミングライブラリセルフRAMリスト(R20UT2943)を参照してください。

- 注意5. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にスタック・メモリとして使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, L, M, P) : F4300H-F46FFH

3.2.2 汎用レジスタ

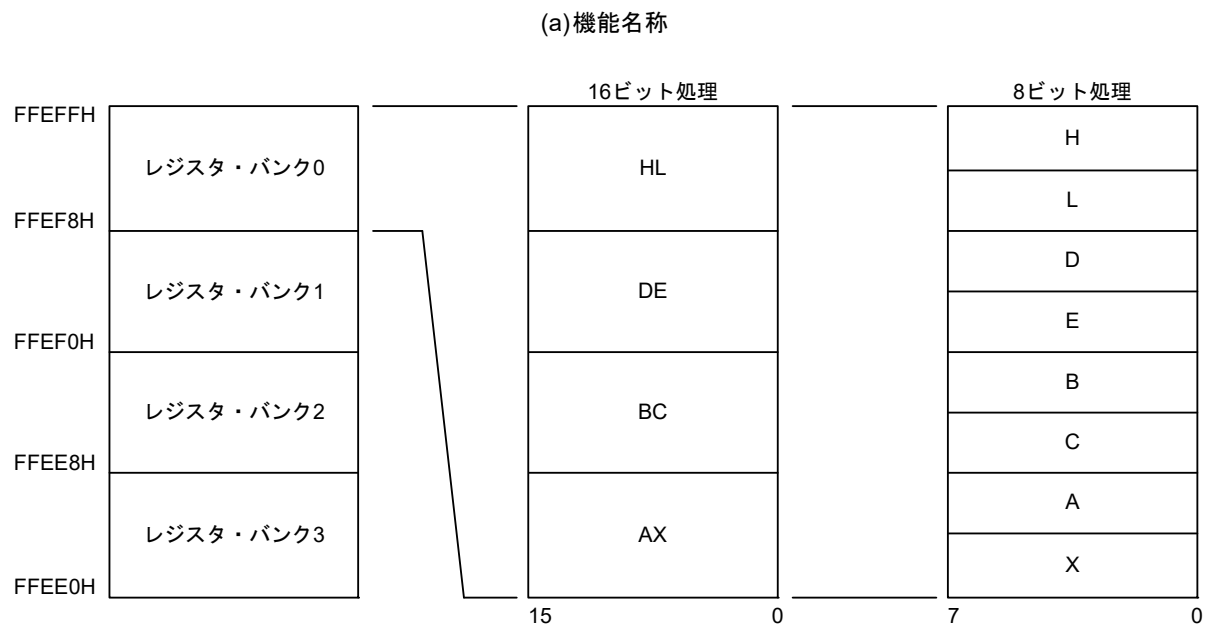
汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンク切り替えすれば、効率のよいプログラムを作成できます。

注意 汎用レジスタが割り当てられている空間 (FFEE0H-FFEFFH) は、命令フェッチやスタックの領域に使用できません。

図3 - 16 汎用レジスタの構成

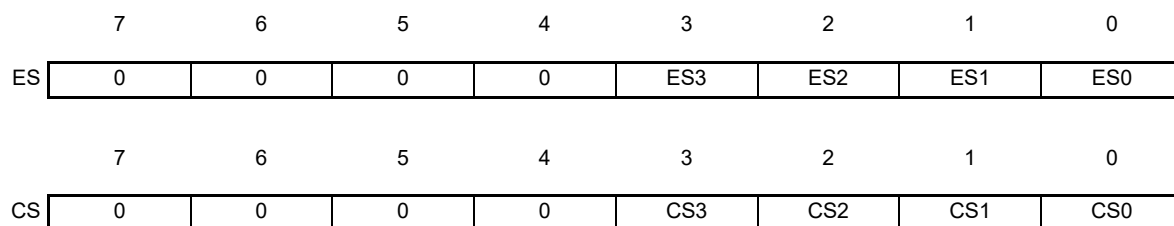


3.2.3 ES, CS レジスタ

ES レジスタでデータ・アクセス, CS レジスタで(レジスタ・インダイレクト・アドレッシング)分岐命令実行時の、それぞれ上位アドレスを指定できます。

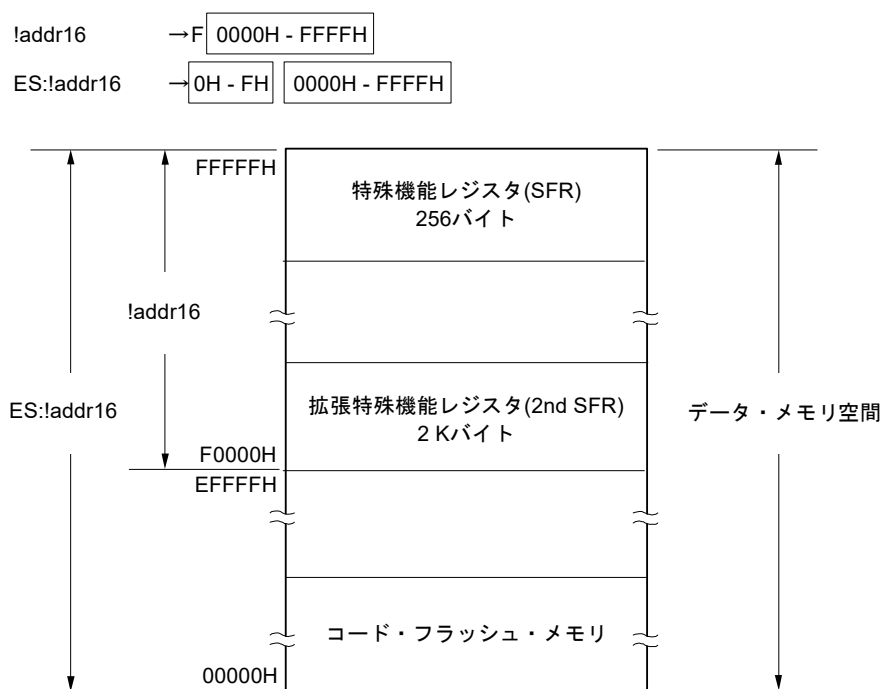
ES レジスタのリセット後の初期値は0FH, CS レジスタのリセット後の初期値は00Hです。

図3 - 17 ES/CS レジスタの構成



16 ビット・アドレスでアクセスできるデータ領域は, F0000H-FFFFFH の64 K バイト空間ですが, ES: を付加すると 00000H-FFFFFH の1 Mバイト空間に拡張できます。

図3 - 18 データ・アクセス領域の拡張



3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(sfr.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(sfr)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(sfrp)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください

表3-9～表3-13にSFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する特殊機能レジスタが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR)については、3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)を参照してください。

表3-9 特殊機能レジスタ (SFR) 一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF00H	ポート・レジスタ0	P0	R/W	○	○	—	00H
FFF01H	ポート・レジスタ1	P1	R/W	○	○	—	00H
FFF02H	ポート・レジスタ2	P2	R/W	○	○	—	00H
FFF03H	ポート・レジスタ3	P3	R/W	○	○	—	00H
FFF04H	ポート・レジスタ4	P4	R/W	○	○	—	00H
FFF05H	ポート・レジスタ5	P5	R/W	○	○	—	00H
FFF06H	ポート・レジスタ6	P6	R/W	○	○	—	00H
FFF07H	ポート・レジスタ7	P7	R/W	○	○	—	00H
FFF08H	ポート・レジスタ8	P8	R/W	○	○	—	00H
FFF0AH	ポート・レジスタ10	P10	R/W	○	○	—	00H
FFF0BH	ポート・レジスタ11	P11	R/W	○	○	—	00H
FFF0CH	ポート・レジスタ12	P12	R/W	○	○	—	不定
FFF0DH	ポート・レジスタ13	P13	R/W	○	○	—	不定
FFF0EH	ポート・レジスタ14	P14	R/W	○	○	—	00H
FFF0FH	ポート・レジスタ15	P15	R/W	○	○	—	00H
FFF10H	シリアル・データ・レジスタ00	TXD0/ SIO00	R/W	—	○	○	0000H
FFF11H		—		—	—	—	
FFF12H	シリアル・データ・レジスタ01	RXD0/ SIO01	R/W	—	○	○	0000H
FFF13H		—		—	—	—	
FFF14H	シリアル・データ・レジスタ12	TXD3/ SIO30	R/W	—	○	○	0000H
FFF15H		—		—	—	—	
FFF16H	シリアル・データ・レジスタ13	RXD3/ SIO31	R/W	—	○	○	0000H
FFF17H		—		—	—	—	
FFF18H	タイマ・データ・レジスタ00	TDR00	R/W	—	—	○	0000H
FFF19H				—	—	—	
FFF1AH	タイマ・データ・レジスタ01	TDR01L	R/W	—	○	○	00H
FFF1BH		TDR01H		—	○	—	00H
FFF1EH	10ビットA/D変換結果レジスタ	ADCR	R	—	—	○	0000H
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH	R	—	○	—	00H
FFF20H	ポート・モード・レジスタ0	PM0	R/W	○	○	—	FFH
FFF21H	ポート・モード・レジスタ1	PM1	R/W	○	○	—	FFH
FFF22H	ポート・モード・レジスタ2	PM2	R/W	○	○	—	FFH
FFF23H	ポート・モード・レジスタ3	PM3	R/W	○	○	—	FFH
FFF24H	ポート・モード・レジスタ4	PM4	R/W	○	○	—	FFH
FFF25H	ポート・モード・レジスタ5	PM5	R/W	○	○	—	FFH
FFF26H	ポート・モード・レジスタ6	PM6	R/W	○	○	—	FFH
FFF27H	ポート・モード・レジスタ7	PM7	R/W	○	○	—	FFH

表3-10 特殊機能レジスタ (SFR) 一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF28H	ポート・モード・レジスタ 8	PM8	R/W	○	○	—	FFH
FFF2AH	ポート・モード・レジスタ 10	PM10	R/W	○	○	—	FFH
FFF2BH	ポート・モード・レジスタ 11	PM11	R/W	○	○	—	FFH
FFF2CH	ポート・モード・レジスタ 12	PM12	R/W	○	○	—	FFH
FFF2EH	ポート・モード・レジスタ 14	PM14	R/W	○	○	—	FFH
FFF2FH	ポート・モード・レジスタ 15	PM15	R/W	○	○	—	FFH
FFF30H	A/Dコンバータ・モード・レジスタ 0	ADM0	R/W	○	○	—	00H
FFF31H	アナログ入力チャネル指定レジスタ	ADS	R/W	○	○	—	00H
FFF32H	A/Dコンバータ・モード・レジスタ 1	ADM1	R/W	○	○	—	00H
FFF34H	D/A変換値設定レジスタ 0	DACS0	R/W	—	○	—	00H
FFF35H	D/A変換値設定レジスタ 1	DACS1	R/W	—	○	—	00H
FFF36H	D/Aコンバータ・モード・レジスタ	DAM	R/W	○	○	—	00H
FFF37H	キー・リターン・モード・レジスタ	KRM	R/W	○	○	—	00H
FFF38H	外部割り込み立ち上がりエッジ許可 レジスタ 0	EGP0	R/W	○	○	—	00H
FFF39H	外部割り込み立ち下がりエッジ許可 レジスタ 0	EGN0	R/W	○	○	—	00H
FFF3AH	外部割り込み立ち上がりエッジ許可 レジスタ 1	EGP1	R/W	○	○	—	00H
FFF3BH	外部割り込み立ち下がりエッジ許可 レジスタ 1	EGN1	R/W	○	○	—	00H
FFF44H	シリアル・データ・レジスタ 02	TXD1/ SIO10	R/W	—	○	○	0000H
FFF45H		—		—	—	—	
FFF46H	シリアル・データ・レジスタ 03	RXD1/ SIO11	R/W	—	○	○	0000H
FFF47H		—		—	—	—	
FFF48H	シリアル・データ・レジスタ 10	TXD2/ SIO20	R/W	—	○	○	0000H
FFF49H		—		—	—	—	
FFF4AH	シリアル・データ・レジスタ 11	RXD2/ SIO21	R/W	—	○	○	0000H
FFF4BH		—		—	—	—	
FFF50H	IICAシフト・レジスタ 0	IICA0	R/W	—	○	—	00H
FFF51H	IICAステータス・レジスタ 0	IICS0	R	○	○	—	00H
FFF52H	IICAフラグ・レジスタ 0	IICF0	R/W	○	○	—	00H
FFF54H	IICAシフト・レジスタ 1	IICA1	R/W	—	○	—	00H
FFF55H	IICAステータス・レジスタ 1	IICS1	R	○	○	—	00H
FFF56H	IICAフラグ・レジスタ 1	IICF1	R/W	○	○	—	00H

表3-11 特殊機能レジスタ (SFR) 一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF58H	タイマRDジェネラルレジスタC0	TRDGRC0	R/W	—	—	○	FFFFH ^{注1}
FFF59H							
FFF5AH	タイマRDジェネラルレジスタD0	TRDGRD0	R/W	—	—	○	FFFFH ^{注1}
FFF5BH							
FFF5CH	タイマRDジェネラルレジスタC1	TRDGRC1	R/W	—	—	○	FFFFH ^{注1}
FFF5DH							
FFF5EH	タイマRDジェネラルレジスタD1	TRDGRD1	R/W	—	—	○	FFFFH ^{注1}
FFF5FH							
FFF60H	タイマRGジェネラルレジスタC	TRGGRC	R/W	—	—	○	FFFFH
FFF61H							
FFF62H	タイマRGジェネラルレジスタD	TRGGRD	R/W	—	—	○	FFFFH
FFF63H							
FFF64H	タイマ・データ・レジスタ02	TDR02	R/W	—	—	○	0000H
FFF65H							
FFF66H	タイマ・データ・レジスタ03	TDR03L	R/W	—	○	○	00H
FFF67H		TDR03H		—	○		00H
FFF70H	タイマ・データ・レジスタ10	TDR10	R/W	—	—	○	0000H
FFF71H							
FFF72H	タイマ・データ・レジスタ11	TDR11L	R/W	—	○	○	00H
FFF73H		TDR11H		—	○		00H
FFF74H	タイマ・データ・レジスタ12	TDR12	R/W	—	—	○	0000H
FFF75H							
FFF76H	タイマ・データ・レジスタ13	TDR13L	R/W	—	○	○	00H
FFF77H		TDR13H		—	○		00H
FFF90H	12ビット・インターバル・タイマ・	ITMC	R/W	—	—	○	0FFFH
FFF91H	コントロール・レジスタ						
FFF92H	秒カウント・レジスタ	SEC	R/W	—	○	—	00H
FFF93H	分カウント・レジスタ	MIN	R/W	—	○	—	00H
FFF94H	時カウント・レジスタ	HOUR	R/W	—	○	—	12H ^{注2}
FFF95H	曜日カウント・レジスタ	WEEK	R/W	—	○	—	00H
FFF96H	日カウント・レジスタ	DAY	R/W	—	○	—	01H
FFF97H	月カウント・レジスタ	MONTH	R/W	—	○	—	01H
FFF98H	年カウント・レジスタ	YEAR	R/W	—	○	—	00H
FFF99H	時計誤差補正レジスタ	SUBCUD	R/W	—	○	—	00H
FFF9AH	アラーム分レジスタ	ALARMWWM	R/W	—	○	—	00H
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	—	○	—	12H
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	—	○	—	00H

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. リセット後に、AMPMビット(リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3)に1をセットした場合は00Hとなります。

表3-12 特殊機能レジスタ (SFR)一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
FFF9DH	リアルタイム・クロック・コントロール・レジスタ0	RTCC0	R/W	○	○	—	00H
FFF9EH	リアルタイム・クロック・コントロール・レジスタ1	RTCC1	R/W	○	○	—	00H
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	—	○	—	00H
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W	○	○	—	C0H
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R	○	○	—	00H
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	—	○	—	07H
FFFA4H	システム・クロック制御レジスタ	CKC	R/W	○	○	—	00H
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W	○	○	—	00H
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W	○	○	—	00H
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	—	○	—	不定注1
FFFA9H	電圧検出レジスタ	LVIM	R/W	○	○	—	00H注1
FFFAAH	電圧検出レベル・レジスタ	LVIS	R/W	○	○	—	00H/01H/81H注1
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	—	○	—	9AH/1AH注2
FFFACH	CRC入力レジスタ	CRCIN	R/W	—	○	—	00H
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W	○	○	00H
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W	○	○	00H
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W	○	○	FFH
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W	○	○	FFH
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W	○	○	FFH
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W	○	○	FFH
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W	○	○	FFH
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W	○	○	FFH

注1. リセット要因により、次のように異なります。

リセット要因 レジスタ		RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット
RESF	TRAP	クリア(0)		セット(1)	保持			保持
	WDTRF			保持	セット(1)	保持		
	RPERF			保持		セット(1)	保持	
	IAWRF			保持			セット(1)	
	LVIRF			保持				
LVIM	LVISEN	クリア(0)						保持
	LVIOMSK	保持						
	LVIF							
LVIS		クリア(00H/01H/81H)						

注2. WDTEレジスタのリセット値は、オプション・バイトの設定で決定します。

表3 - 13 特殊機能レジスタ (SFR) 一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
FFFE0H	割り込み要求フラグ・レジスタ 0L	IF0L	IF0	R/W	○	○	○	00H
FFFE1H	割り込み要求フラグ・レジスタ 0H	IF0H		R/W	○	○		00H
FFFE2H	割り込み要求フラグ・レジスタ 1L	IF1L	IF1	R/W	○	○	○	00H
FFFE3H	割り込み要求フラグ・レジスタ 1H	IF1H		R/W	○	○		00H
FFFE4H	割り込みマスク・フラグ・レジスタ 0	MK0L	MK0	R/W	○	○	○	FFH
FFFE5H		MK0H		R/W	○	○		FFH
FFFE6H	割り込みマスク・フラグ・レジスタ 1	MK1L	MK1	R/W	○	○	○	FFH
FFFE7H		MK1H		R/W	○	○		FFH
FFFE8H	優先順位指定フラグ・レジスタ 00	PR00L	PR00	R/W	○	○	○	FFH
FFFE9H		PR00H		R/W	○	○		FFH
FFFEAH	優先順位指定フラグ・レジスタ 01	PR01L	PR01	R/W	○	○	○	FFH
FFFEBH		PR01H		R/W	○	○		FFH
FFFECH	優先順位指定フラグ・レジスタ 10	PR10L	PR10	R/W	○	○	○	FFH
FFFEDH		PR10H		R/W	○	○		FFH
FFFEEH	優先順位指定フラグ・レジスタ 11	PR11L	PR11	R/W	○	○	○	FFH
FFFEFH		PR11H		R/W	○	○		FFH
FFFF0H	積和演算累計レジスタ (L)	MACRL		R/W	—	—	○	0000H
FFFF1H								
FFFF2H	積和演算累計レジスタ (H)	MACRH		R/W	—	—	○	0000H
FFFF3H								
FFFFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W	○	○	—	00H

備考 拡張 SFR (2nd SFR) については、表3 - 14～表3 - 22 拡張 SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR)は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域(FFF00H-FFFFFH)以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位(1, 8, 16)は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- 1ビット操作

1ビット操作命令のオペランド(!addr16.bit)には、次のような記述をしてください。

ビット名称が定義されている場合 : <ビット名称>

ビット名称が定義されていない場合 : <レジスタ名>.<ビット番号>または<アドレス>.<ビット番号>

- 8ビット操作

8ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスでも指定できます。

- 16ビット操作

16ビット操作命令のオペランド(!addr16)にアセンブラで定義されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 14～表3 - 22に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- 略号

拡張SFRのアドレスを示す略号です。アセンブラで予約語に、コンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。アセンブラ、デバッガおよびシミュレータ使用時に命令のオペランドとして記述できます。

- R/W

該当する拡張SFRが読み出し(Read)／書き込み(Write)可能かどうかを示します。

R/W : 読み出し／書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- 操作可能ビット単位

操作可能なビット単位(1, 8, 16)を○で示します。—は操作できないビット単位であることを示します。

- リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 2nd SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 特殊機能レジスタ (SFR : Special Function Register) を参照してください。

表3 - 14 拡張特殊機能レジスタ (2nd SFR) 一覧 (1/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0010H	A/Dコンバータ・モード・レジスタ2	ADM2	R/W	○	○	—	00H
F0011H	変換結果比較上限値設定レジスタ	ADUL	R/W	—	○	—	FFH
F0012H	変換結果比較下限値設定レジスタ	ADLL	R/W	—	○	—	00H
F0013H	A/Dテスト・レジスタ	ADTES	R/W	—	○	—	00H
F0030H	ブルアップ抵抗オプショントレジスタ0	PU0	R/W	○	○	—	00H
F0031H	ブルアップ抵抗オプショントレジスタ1	PU1	R/W	○	○	—	00H
F0033H	ブルアップ抵抗オプショントレジスタ3	PU3	R/W	○	○	—	00H
F0034H	ブルアップ抵抗オプショントレジスタ4	PU4	R/W	○	○	—	01H
F0035H	ブルアップ抵抗オプショントレジスタ5	PU5	R/W	○	○	—	00H
F0036H	ブルアップ抵抗オプショントレジスタ6	PU6	R/W	○	○	—	00H
F0037H	ブルアップ抵抗オプショントレジスタ7	PU7	R/W	○	○	—	00H
F0038H	ブルアップ抵抗オプショントレジスタ8	PU8	R/W	○	○	—	00H
F003AH	ブルアップ抵抗オプショントレジスタ10	PU10	R/W	○	○	—	00H
F003BH	ブルアップ抵抗オプショントレジスタ11	PU11	R/W	○	○	—	00H
F003CH	ブルアップ抵抗オプショントレジスタ12	PU12	R/W	○	○	—	00H
F003EH	ブルアップ抵抗オプショントレジスタ14	PU14	R/W	○	○	—	00H
F0040H	ポート入力モード・レジスタ0	PIM0	R/W	○	○	—	00H
F0041H	ポート入力モード・レジスタ1	PIM1	R/W	○	○	—	00H
F0043H	ポート入力モード・レジスタ3	PIM3	R/W	○	○	—	00H
F0044H	ポート入力モード・レジスタ4	PIM4	R/W	○	○	—	00H
F0045H	ポート入力モード・レジスタ5	PIM5	R/W	○	○	—	00H
F0048H	ポート入力モード・レジスタ8	PIM8	R/W	○	○	—	00H
F004EH	ポート入力モード・レジスタ14	PIM14	R/W	○	○	—	00H
F0050H	ポート出力モード・レジスタ0	POM0	R/W	○	○	—	00H
F0051H	ポート出力モード・レジスタ1	POM1	R/W	○	○	—	00H
F0053H	ポート出力モード・レジスタ3	POM3	R/W	○	○	—	00H
F0054H	ポート出力モード・レジスタ4	POM4	R/W	○	○	—	00H
F0055H	ポート出力モード・レジスタ5	POM5	R/W	○	○	—	00H
F0057H	ポート出力モード・レジスタ7	POM7	R/W	○	○	—	00H
F0058H	ポート出力モード・レジスタ8	POM8	R/W	○	○	—	00H
F005EH	ポート出力モード・レジスタ14	POM14	R/W	○	○	—	00H
F0060H	ポート・モード・コントロール・レジスタ0	PMC0	R/W	○	○	—	FFH
F0061H	ポート・モード・コントロール・レジスタ1	PMC1	R/W	○	○	—	00H
F006AH	ポート・モード・コントロール・レジスタ10	PMC10	R/W	○	○	—	FFH
F006CH	ポート・モード・コントロール・レジスタ12	PMC12	R/W	○	○	—	FFH
F006EH	ポート・モード・コントロール・レジスタ14	PMC14	R/W	○	○	—	FFH
F0070H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W	○	○	—	00H
F0071H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W	○	○	—	00H
F0072H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W	○	○	—	00H

表3 - 15 拡張特殊機能レジスタ (2nd SFR)一覧 (2/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0073H	入力切り替え制御レジスタ	ISC	R/W	○	○	—	00H
F0074H	タイマ入力選択レジスタ0	TIS0	R/W	—	○	—	00H
F0076H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	—	○	—	00H
F0077H	周辺I/Oリダイレクション・レジスタ0	PIOR0	R/W	—	○	—	00H
F0078H	不正メモリ・アクセス検出制御レジスタ	IAWCTL	R/W	—	○	—	00H
F0079H	周辺I/Oリダイレクション・レジスタ1	PIOR1	R/W	—	○	—	00H
F007AH	周辺イネーブル・レジスタ1	PER1	R/W	○	○	—	00H
F007BH	ポート・モード選択レジスタ	PMS	R/W	○	○	—	00H
F007DH	グローバル・デジタル・インプット・ディスエーブル・レジスタ	GDIDIS	R/W	○	○	—	00H
F0090H	データ・フラッシュ・コントロール・レジスタ	DFLCTL	R/W	○	○	—	00H
F00A0H	高速オンチップ・オシレータ・トリミング・レジスタ	HIOTRM	R/W	—	○	—	不定注1
F00A8H	高速オンチップ・オシレータ周波数選択レジスタ	HOCODIV	R/W	—	○	—	不定注2
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W	○	○	—	00H
F00F3H	サブシステム・クロック供給モード制御レジスタ	OSMC	R/W	—	○	—	00H
F00F5H	RAMパリティ・エラー制御レジスタ	RPECTL	R/W	○	○	—	00H
F00FEH	BCD補正結果レジスタ	BCDADJ	R	—	○	—	不定
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	—	○	0000H
F0101H		—			—	—	
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	—	○	0000H
F0103H		—			—	—	
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	—	○	0000H
F0105H		—			—	—	
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	—	○	0000H
F0107H		—			—	—	
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	—	○	0000H
F0109H		—			—	—	
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	—	○	0000H
F010BH		—			—	—	
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	—	○	0000H
F010DH		—			—	—	
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	—	○	0000H
F010FH		—			—	—	

注1. リセット値は出荷時に調整した値です。

注2. オプション・バイト000C2HのFRQSEL2 - FRQSEL0で設定した値になります。

表3 - 16 拡張特殊機能レジスタ (2nd SFR) 一覧 (3/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0110H	シリアル・モード・レジスタ 00	SMR00		R/W	—	—	○	0020H
F0111H					—	—	○	
F0112H	シリアル・モード・レジスタ 01	SMR01		R/W	—	—	○	0020H
F0113H					—	—	○	
F0114H	シリアル・モード・レジスタ 02	SMR02		R/W	—	—	○	0020H
F0115H					—	—	○	
F0116H	シリアル・モード・レジスタ 03	SMR03		R/W	—	—	○	0020H
F0117H					—	—	○	
F0118H	シリアル通信動作設定レジスタ 00	SCR00		R/W	—	—	○	0087H
F0119H					—	—	○	
F011AH	シリアル通信動作設定レジスタ 01	SCR01		R/W	—	—	○	0087H
F011BH					—	—	○	
F011CH	シリアル通信動作設定レジスタ 02	SCR02		R/W	—	—	○	0087H
F011DH					—	—	○	
F011EH	シリアル通信動作設定レジスタ 03	SCR03		R/W	—	—	○	0087H
F011FH					—	—	○	
F0120H	シリアル・チャネル許可ステータ	SE0L	SE0	R	○	○	○	0000H
F0121H	ス・レジスタ 0	—	—	—	—	—	—	
F0122H	シリアル・チャネル開始レジスタ 0	SS0L	SS0	R/W	○	○	○	0000H
F0123H		—	—		—	—	—	
F0124H	シリアル・チャネル停止レジスタ 0	ST0L	ST0	R/W	○	○	○	0000H
F0125H		—	—		—	—	—	
F0126H	シリアル・クロック選択レジスタ 0	SPS0L	SPS0	R/W	—	○	○	0000H
F0127H		—	—		—	—	—	
F0128H	シリアル出力レジスタ 0	SO0		R/W	—	—	○	0F0FH
F0129H					—	—	○	
F012AH	シリアル出力許可レジスタ 0	SOE0L	SOE0	R/W	○	○	○	0000H
F012BH		—	—		—	—	—	
F0134H	シリアル出力レベル・レジスタ 0	SOL0L	SOL0	R/W	—	○	○	0000H
F0135H		—	—		—	—	—	
F0138H	シリアル・スタンバイ・コントロー	SSC0L	SSC0	R/W	—	○	○	0000H
F0139H		—	—		—	—	—	
F0140H	シリアル・ステータス・レジスタ 10	SSR10L	SSR10	R	—	○	○	0000H
F0141H		—	—		—	—	—	
F0142H	シリアル・ステータス・レジスタ 11	SSR11L	SSR11	R	—	○	○	0000H
F0143H		—	—		—	—	—	
F0144H	シリアル・ステータス・レジスタ 12	SSR12L	SSR12	R	—	○	○	0000H
F0145H		—	—		—	—	—	
F0146H	シリアル・ステータス・レジスタ 13	SSR13L	SSR13	R	—	○	○	0000H
F0147H		—	—		—	—	—	

表3 - 17 拡張特殊機能レジスタ (2nd SFR) 一覧 (4/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0148H	シリアル・フラグ・クリア・トリ	SIR10L	SIR10	R/W	—	○	○	0000H
F0149H	ガ・レジスタ 10	—			—	—		
F014AH	シリアル・フラグ・クリア・トリ	SIR11L	SIR11	R/W	—	○	○	0000H
F014BH	ガ・レジスタ 11	—			—	—		
F014CH	シリアル・フラグ・クリア・トリ	SIR12L	SIR12	R/W	—	○	○	0000H
F014DH	ガ・レジスタ 12	—			—	—		
F014EH	シリアル・フラグ・クリア・トリ	SIR13L	SIR13	R/W	—	○	○	0000H
F014FH	ガ・レジスタ 13	—			—	—		
F0150H	シリアル・モード・レジスタ 10	SMR10		R/W	—	—	○	0020H
F0151H								
F0152H	シリアル・モード・レジスタ 11	SMR11		R/W	—	—	○	0020H
F0153H								
F0154H	シリアル・モード・レジスタ 12	SMR12		R/W	—	—	○	0020H
F0155H								
F0156H	シリアル・モード・レジスタ 13	SMR13		R/W	—	—	○	0020H
F0157H								
F0158H	シリアル通信動作設定レジスタ 10	SCR10		R/W	—	—	○	0087H
F0159H								
F015AH	シリアル通信動作設定レジスタ 11	SCR11		R/W	—	—	○	0087H
F015BH								
F015CH	シリアル通信動作設定レジスタ 12	SCR12		R/W	—	—	○	0087H
F015DH								
F015EH	シリアル通信動作設定レジスタ 13	SCR13		R/W	—	—	○	0087H
F015FH								
F0160H	シリアル・チャンネル許可ステータ	SE1L	SE1	R	○	○	○	0000H
F0161H	ス・レジスタ 1	—			—	—		
F0162H	シリアル・チャンネル開始レジスタ 1	SS1L	SS1	R/W	○	○	○	0000H
F0163H		—			—	—		
F0164H	シリアル・チャンネル停止レジスタ 1	ST1L	ST1	R/W	○	○	○	0000H
F0165H		—			—	—		
F0166H	シリアル・クロック選択レジスタ 1	SPS1L	SPS1	R/W	—	○	○	0000H
F0167H		—			—	—		
F0168H	シリアル出力レジスタ 1	SO1		R/W	—	—	○	0F0FH
F0169H								
F016AH	シリアル出力許可レジスタ 1	SOE1L	SOE1	R/W	○	○	○	0000H
F016BH		—			—	—		
F0174H	シリアル出力レベル・レジスタ 1	SOL1L	SOL1	R/W	—	○	○	0000H
F0175H		—			—	—		
F0178H	シリアル・スタンバイ・コントロー	SSC1L	SSC1	R/W	—	○	○	0000H
F0179H	ル・レジスタ 1	—			—	—		

表3 - 18 拡張特殊機能レジスタ (2nd SFR) 一覧 (5/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時
					1ビット	8ビット	16ビット	
F0180H	タイマ・カウンタ・レジスタ 00	TCR00		R	—	—	○	FFFFH
F0181H								
F0182H	タイマ・カウンタ・レジスタ 01	TCR01		R	—	—	○	FFFFH
F0183H								
F0184H	タイマ・カウンタ・レジスタ 02	TCR02		R	—	—	○	FFFFH
F0185H								
F0186H	タイマ・カウンタ・レジスタ 03	TCR03		R	—	—	○	FFFFH
F0187H								
F0190H	タイマ・モード・レジスタ 00	TMR00		R/W	—	—	○	0000H
F0191H								
F0192H	タイマ・モード・レジスタ 01	TMR01		R/W	—	—	○	0000H
F0193H								
F0194H	タイマ・モード・レジスタ 02	TMR02		R/W	—	—	○	0000H
F0195H								
F0196H	タイマ・モード・レジスタ 03	TMR03		R/W	—	—	○	0000H
F0197H								
F01A0H	タイマ・ステータス・レジスタ 00	TSR00L	TSR00	R	—	○	○	0000H
F01A1H		—			—	—		
F01A2H	タイマ・ステータス・レジスタ 01	TSR01L	TSR01	R	—	○	○	0000H
F01A3H		—			—	—		
F01A4H	タイマ・ステータス・レジスタ 02	TSR02L	TSR02	R	—	○	○	0000H
F01A5H		—			—	—		
F01A6H	タイマ・ステータス・レジスタ 03	TSR03L	TSR03	R	—	○	○	0000H
F01A7H		—			—	—		
F01B0H	タイマ・チャンネル許可ステータス・ レジスタ 0	TE0L	TE0	R	○	○	○	0000H
F01B1H		—			—	—		
F01B2H	タイマ・チャンネル開始レジスタ 0	TS0L	TS0	R/W	○	○	○	0000H
F01B3H		—			—	—		
F01B4H	タイマ・チャンネル停止レジスタ 0	TT0L	TT0	R/W	○	○	○	0000H
F01B5H		—			—	—		
F01B6H	タイマ・クロック選択レジスタ 0	TPS0		R/W	—	—	○	0000H
F01B7H								
F01B8H	タイマ出力レジスタ 0	TO0L	TO0	R/W	—	○	○	0000H
F01B9H		—			—	—		
F01BAH	タイマ出力許可レジスタ 0	TOE0L	TOE0	R/W	○	○	○	0000H
F01BBH		—			—	—		
F01BCH	タイマ出力レベル・レジスタ 0	TOL0L	TOL0	R/W	—	○	○	0000H
F01BDH		—			—	—		
F01BEH	タイマ出力モード・レジスタ 0	TOM0L	TOM0	R/W	—	○	○	0000H
F01BFH		—			—	—		

表3 - 19 拡張特殊機能レジスタ (2nd SFR) 一覧 (6/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F01C0H	タイマ・カウンタ・レジスタ 10	TCR10	R	—	—	○	FFFFH
F01C1H				—	—	○	
F01C2H	タイマ・カウンタ・レジスタ 11	TCR11	R	—	—	○	FFFFH
F01C3H				—	—	○	
F01C4H	タイマ・カウンタ・レジスタ 12	TCR12	R	—	—	○	FFFFH
F01C5H				—	—	○	
F01C6H	タイマ・カウンタ・レジスタ 13	TCR13	R	—	—	○	FFFFH
F01C7H				—	—	○	
F01D0H	タイマ・モード・レジスタ 10	TMR10	R/W	—	—	○	0000H
F01D1H				—	—	○	
F01D2H	タイマ・モード・レジスタ 11	TMR11	R/W	—	—	○	0000H
F01D3H				—	—	○	
F01D4H	タイマ・モード・レジスタ 12	TMR12	R/W	—	—	○	0000H
F01D5H				—	—	○	
F01D6H	タイマ・モード・レジスタ 13	TMR13	R/W	—	—	○	0000H
F01D7H				—	—	○	
F01E0H	タイマ・ステータス・レジスタ 10	TSR10L	R	—	○	○	0000H
F01E1H		—		—	—		
F01E2H	タイマ・ステータス・レジスタ 11	TSR11L	R	—	○	○	0000H
F01E3H		—		—	—		
F01E4H	タイマ・ステータス・レジスタ 12	TSR12L	R	—	○	○	0000H
F01E5H		—		—	—		
F01E6H	タイマ・ステータス・レジスタ 13	TSR13L	R	—	○	○	0000H
F01E7H		—		—	—		
F01F0H	タイマ・チャンネル許可ステータス・ レジスタ 1	TE1L	R	○	○	○	0000H
F01F1H		—		—	—		
F01F2H	タイマ・チャンネル開始レジスタ 1	TS1L	R/W	○	○	○	0000H
F01F3H		—		—	—		
F01F4H	タイマ・チャンネル停止レジスタ 1	TT1L	R/W	○	○	○	0000H
F01F5H		—		—	—		
F01F6H	タイマ・クロック選択レジスタ 1	TPS1	R/W	—	—	○	0000H
F01F7H				—	—		
F01F8H	タイマ出力レジスタ 1	TO1L	R/W	—	○	○	0000H
F01F9H		—		—	—		
F01FAH	タイマ出力許可レジスタ 1	TOE1L	R/W	○	○	○	0000H
F01FBH		—		—	—		
F01FCH	タイマ出力レベル・レジスタ 1	TOL1L	R/W	—	○	○	0000H
F01FDH		—		—	—		
F01FEH	タイマ出力モード・レジスタ 1	TOM1L	R/W	—	○	○	0000H
F01FFH		—		—	—		

表3 - 20 拡張特殊機能レジスタ (2nd SFR) 一覧 (7/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0230H	IICAコントロール・レジスタ00	IICCTL00	R/W	○	○	—	00H
F0231H	IICAコントロール・レジスタ01	IICCTL01	R/W	○	○	—	00H
F0232H	IICAロウ・レベル幅設定レジスタ0	IICWL0	R/W	—	○	—	FFH
F0233H	IICAハイ・レベル幅設定レジスタ0	IICWH0	R/W	—	○	—	FFH
F0234H	スレーブ・アドレス・レジスタ0	SVA0	R/W	—	○	—	00H
F0238H	IICAコントロール・レジスタ10	IICCTL10	R/W	○	○	—	00H
F0239H	IICAコントロール・レジスタ11	IICCTL11	R/W	○	○	—	00H
F023AH	IICAロウ・レベル幅設定レジスタ1	IICWL1	R/W	—	○	—	FFH
F023BH	IICAハイ・レベル幅設定レジスタ1	IICWH1	R/W	—	○	—	FFH
F023CH	スレーブ・アドレス・レジスタ1	SVA1	R/W	—	○	—	00H
F0240H	タイマRJ制御レジスタ0	TRJCR0	R/W	—	○	—	00H
F0241H	タイマRJ I/O制御レジスタ0	TRJIOC0	R/W	○	○	—	00H
F0242H	タイマRJモードレジスタ0	TRJMR0	R/W	○	○	—	00H
F0243H	タイマRJイベント端子選択レジスタ0	TRJISR0	R/W	○	○	—	00H
F0250H	タイマRGモードレジスタ	TRGMR	R/W	○	○	—	00H
F0251H	タイマRGカウント制御レジスタ	TRGCNTC	R/W	○	○	—	00H
F0252H	タイマRG制御レジスタ	TRGCR	R/W	○	○	—	00H
F0253H	タイマRG割り込み許可レジスタ	TRGIER	R/W	○	○	—	00H
F0254H	タイマRGステータスレジスタ	TRGSR	R/W	○	○	—	00H
F0255H	タイマRG I/O制御レジスタ	TRGIOR	R/W	○	○	—	00H
F0256H	タイマRGカウンタ	TRG	R/W	—	—	○	0000H
F0257H							
F0258H	タイマRGジェネラルレジスタA	TRGGRA	R/W	—	—	○	FFFFH
F0259H							
F025AH	タイマRGジェネラルレジスタB	TRGGRB	R/W	—	—	○	FFFFH
F025BH							
F0260H	タイマRD ELCレジスタ	TRDELC	R/W	○	○	—	00H注
F0263H	タイマRDスタートレジスタ	TRDSTR	R/W	—	○	—	0CH注
F0264H	タイマRDモードレジスタ	TRDMR	R/W	○	○	—	00H注
F0265H	タイマRD PWM機能選択レジスタ	TRDPMR	R/W	○	○	—	00H注
F0266H	タイマRD機能制御レジスタ	TRDFCR	R/W	○	○	—	80H注
F0267H	タイマRD出力マスタ許可レジスタ1	TRDOER1	R/W	○	○	—	FFH注
F0268H	タイマRD出力マスタ許可レジスタ2	TRDOER2	R/W	○	○	—	00H注
F0269H	タイマRD出力制御レジスタ	TRDOCR	R/W	○	○	—	00H注
F026AH	タイマRD デジタルフィルタ機能選択レジスタ0	TRDDF0	R/W	○	○	—	00H注
F026BH	タイマRD デジタルフィルタ機能選択レジスタ1	TRDDF1	R/W	○	○	—	00H注

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表3-21 拡張特殊機能レジスタ (2nd SFR) 一覧 (8/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0270H	タイマRD制御レジスタ0	TRDCR0	R/W	○	○	—	00H注
F0271H	タイマRD I/O制御レジスタA0	TRDIORA0	R/W	○	○	—	00H注
F0272H	タイマRD I/O制御レジスタC0	TRDIORC0	R/W	○	○	—	88H注
F0273H	タイマRDステータスレジスタ0	TRDSR0	R/W	○	○	—	00H注
F0274H	タイマRD割り込み許可レジスタ0	TRDIER0	R/W	○	○	—	00H注
F0275H	タイマRD PWM機能出力レベル制御 レジスタ0	TRDPOCR0	R/W	○	○	—	00H注
F0276H	タイマRDカウンタ0	TRD0	R/W	—	—	○	0000H注
F0277H							
F0278H	タイマRDジェネラルレジスタA0	TRDGRA0	R/W	—	—	○	FFFFH注
F0279H							
F027AH	タイマRDジェネラルレジスタB0	TRDGRB0	R/W	—	—	○	FFFFH注
F027BH							
F0280H	タイマRD制御レジスタ1	TRDCR1	R/W	○	○	—	00H注
F0281H	タイマRD I/O制御レジスタA1	TRDIORA1	R/W	○	○	—	00H注
F0282H	タイマRD I/O制御レジスタC1	TRDIORC1	R/W	○	○	—	88H注
F0283H	タイマRDステータスレジスタ1	TRDSR1	R/W	○	○	—	00H注
F0284H	タイマRD割り込み許可レジスタ1	TRDIER1	R/W	○	○	—	00H注
F0285H	タイマRD PWM機能出力レベル制御 レジスタ1	TRDPOCR1	R/W	○	○	—	00H注
F0286H	タイマRDカウンタ1	TRD1	R/W	—	—	○	0000H注
F0287H							
F0288H	タイマRDジェネラルレジスタA1	TRDGRA1	R/W	—	—	○	FFFFH注
F0289H							
F028AH	タイマRDジェネラルレジスタB1	TRDGRB1	R/W	—	—	○	FFFFH注
F028BH							
F02E0H	DTCベースアドレスレジスタ	DTCBAR	R/W	—	○	—	FDH
F02E8H	DTC起動許可レジスタ0	DTCEN0	R/W	○	○	—	00H
F02E9H	DTC起動許可レジスタ1	DTCEN1	R/W	○	○	—	00H
F02EAH	DTC起動許可レジスタ2	DTCEN2	R/W	○	○	—	00H
F02EBH	DTC起動許可レジスタ3	DTCEN3	R/W	○	○	—	00H
F02ECH	DTC起動許可レジスタ4	DTCEN4	R/W	○	○	—	00H
F02F0H	フラッシュ・メモリCRC制御レジ スタ	CRC0CTL	R/W	○	○	—	00H
F02F2H	フラッシュ・メモリCRC演算結果レ ジスタ	PGCRCL	R/W	—	—	○	0000H
F02FAH	CRCデータ・レジスタ	CRCD	R/W	—	—	○	0000H

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、タイマRDのSFRは不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表3 - 22 拡張特殊機能レジスタ (2nd SFR) 一覧 (9/9)

アドレス	拡張特殊機能レジスタ (2nd SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時
				1ビット	8ビット	16ビット	
F0300H	イベント出力先選択レジスタ 00	ELSELR00	R/W	—	○	—	00H
F0301H	イベント出力先選択レジスタ 01	ELSELR01	R/W	—	○	—	00H
F0302H	イベント出力先選択レジスタ 02	ELSELR02	R/W	—	○	—	00H
F0303H	イベント出力先選択レジスタ 03	ELSELR03	R/W	—	○	—	00H
F0304H	イベント出力先選択レジスタ 04	ELSELR04	R/W	—	○	—	00H
F0305H	イベント出力先選択レジスタ 05	ELSELR05	R/W	—	○	—	00H
F0306H	イベント出力先選択レジスタ 06	ELSELR06	R/W	—	○	—	00H
F0307H	イベント出力先選択レジスタ 07	ELSELR07	R/W	—	○	—	00H
F0308H	イベント出力先選択レジスタ 08	ELSELR08	R/W	—	○	—	00H
F0309H	イベント出力先選択レジスタ 09	ELSELR09	R/W	—	○	—	00H
F030AH	イベント出力先選択レジスタ 10	ELSELR10	R/W	—	○	—	00H
F030BH	イベント出力先選択レジスタ 11	ELSELR11	R/W	—	○	—	00H
F030CH	イベント出力先選択レジスタ 12	ELSELR12	R/W	—	○	—	00H
F030DH	イベント出力先選択レジスタ 13	ELSELR13	R/W	—	○	—	00H
F030EH	イベント出力先選択レジスタ 14	ELSELR14	R/W	—	○	—	00H
F030FH	イベント出力先選択レジスタ 15	ELSELR15	R/W	—	○	—	00H
F0310H	イベント出力先選択レジスタ 16	ELSELR16	R/W	—	○	—	00H
F0311H	イベント出力先選択レジスタ 17	ELSELR17	R/W	—	○	—	00H
F0312H	イベント出力先選択レジスタ 18	ELSELR18	R/W	—	○	—	00H
F0313H	イベント出力先選択レジスタ 19	ELSELR19	R/W	—	○	—	00H
F0314H	イベント出力先選択レジスタ 20	ELSELR20	R/W	—	○	—	00H
F0315H	イベント出力先選択レジスタ 21	ELSELR21	R/W	—	○	—	00H
F0316H	イベント出力先選択レジスタ 22	ELSELR22	R/W	—	○	—	00H
F0317H	イベント出力先選択レジスタ 23	ELSELR23	R/W	—	○	—	00H
F0318H	イベント出力先選択レジスタ 24	ELSELR24	R/W	—	○	—	00H
F0319H	イベント出力先選択レジスタ 25	ELSELR25	R/W	—	○	—	00H
F0340H	コンパレータモード設定レジスタ	COMPMDR	R/W	○	○	—	00H
F0341H	コンパレータフィルタ制御レジスタ	COMPFIR	R/W	○	○	—	00H
F0342H	コンパレータ出力制御レジスタ	COMPOCR	R/W	○	○	—	00H
F0500H	タイマRJカウンタレジスタ 0	TRJ0	R/W	—	—	○	FFFFH
F0501H							

備考 SFR領域のSFRについては、表3 - 9～表3 - 13 SFR一覧を参照してください。

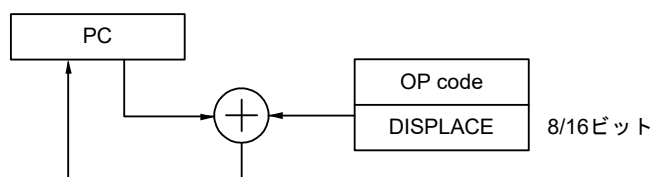
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 19 レラティブ・アドレッシングの概略



3.3.2 イミディエト・アドレッシング

【機能】

命令語中のイミディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 20 CALL !!addr20/BR !!addr20の例

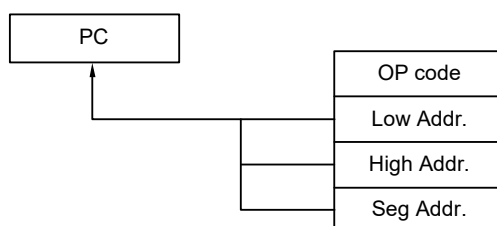
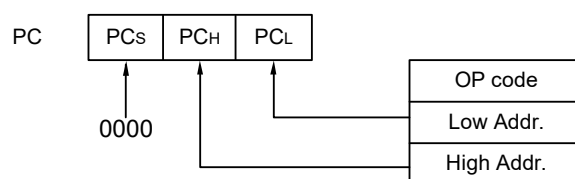


図3 - 21 CALL !addr16/BR !addr16の例



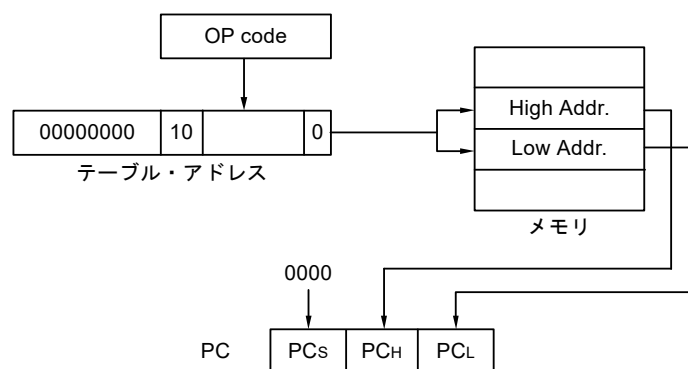
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

RL78マイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 22 テーブル・インダイレクト・アドレッシングの概略

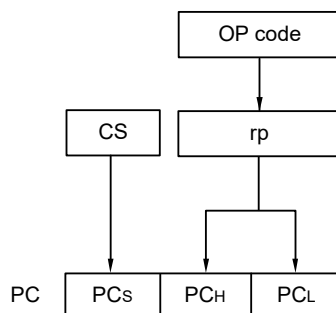


3.3.4 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) と CS レジスタの内容を20ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・インダイレクト・アドレッシングはCALL AX / BC / DE / HL と BR AX 命令にのみ適用されます。

図3 - 23 レジスタ・インダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

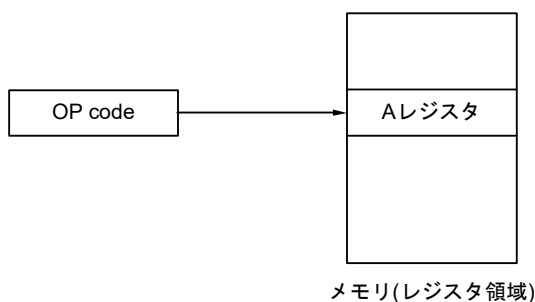
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

インプライド・アドレッシングはMULU Xのみに適用されます。

図3-24 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

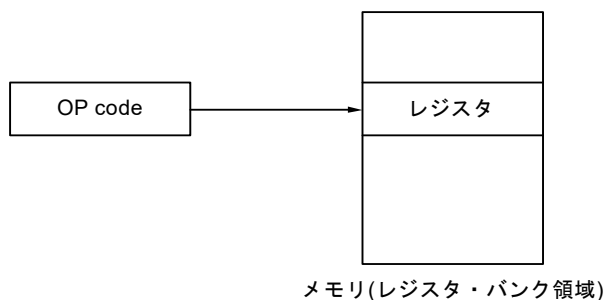
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3-25 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
!addr16	ラベルまたは16ビット・イミディエト・データ (F0000H~FFFFFFH空間のみ指定可能)
ES:!addr16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 26 !addr16の例

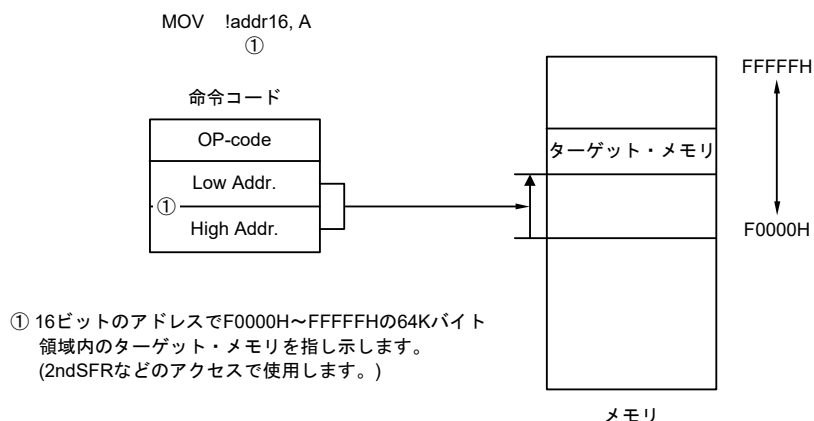
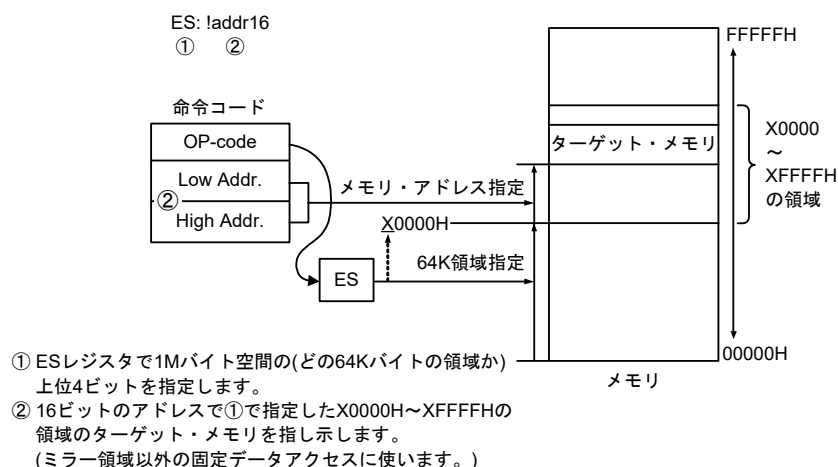


図3 - 27 ES:!addr16の例



3.4.4 ショート・ダイレクト・アドレッシング

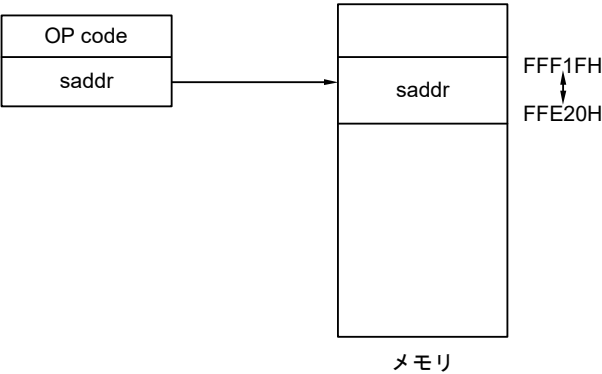
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミディエト・データまたは0FE20H-0FF1FHのイミディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 28 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRP は、(実アドレスの上位4ビット・アドレスを省略した) 16 ビットのイミディエト・データでFE20H-FF1FHの値を記述することができます。また、20 ビットのイミディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFR アドレッシング

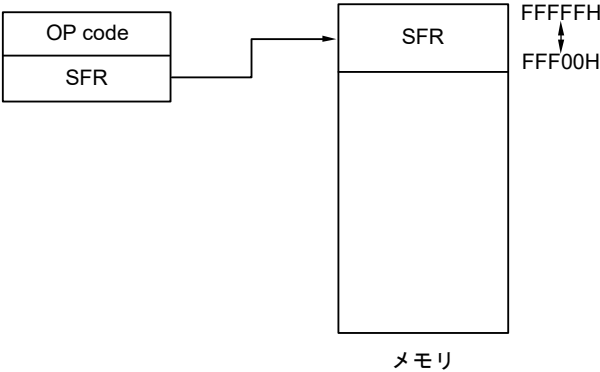
【機能】

命令語中の 8 ビット・データで対象となる SFR アドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのは FFF00H-FFFFFH の空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFR レジスタ名
SFRP	16 ビット操作可能な SFR レジスタ名 (偶数アドレス)

図 3 - 29 SFR アドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[DE], [HL] (F0000H~FFFFFH空間のみ指定可能)
—	ES:[DE], ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 30 [DE], [HL]の例

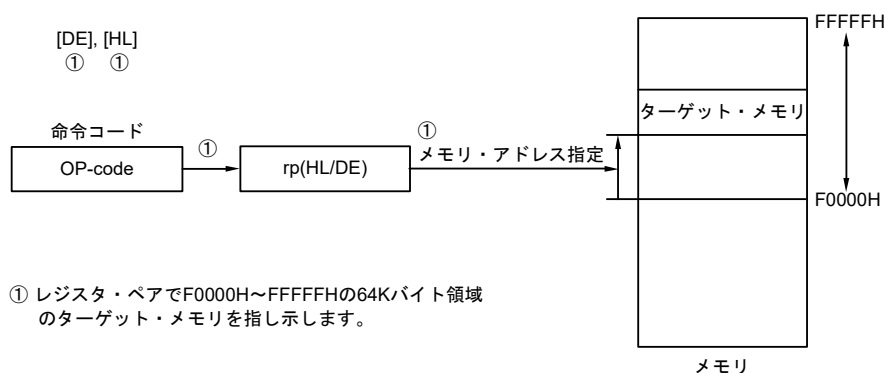
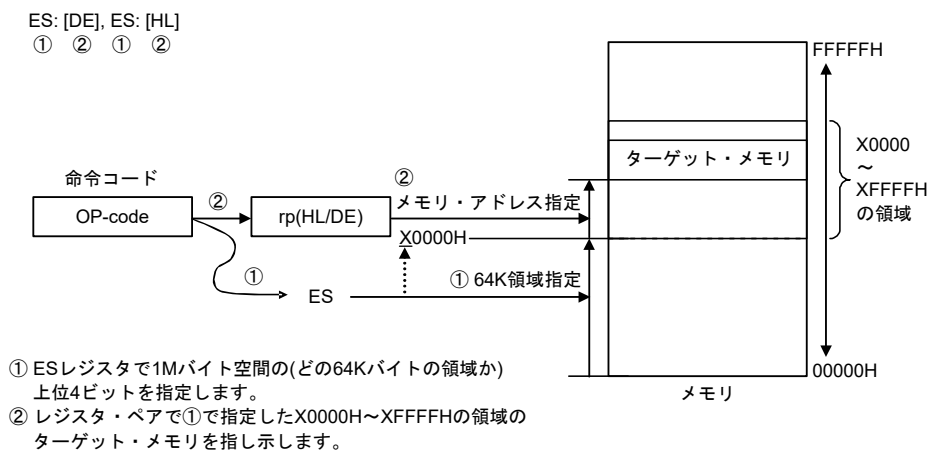


図3 - 31 ES:[DE], ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容または16ビットのイミディエト・データをベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
—	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
—	word[BC] (F0000H-FFFFFH空間のみ指定可能)
—	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
—	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 32 [SP + byte]の例

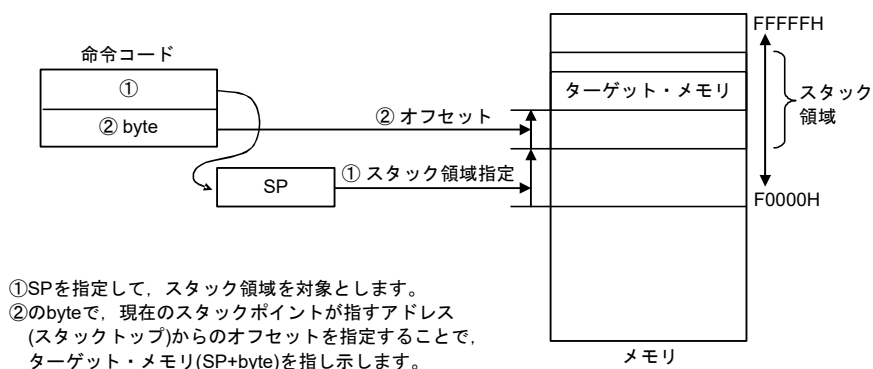


図3 - 33 [HL + byte], [DE + byte]の例

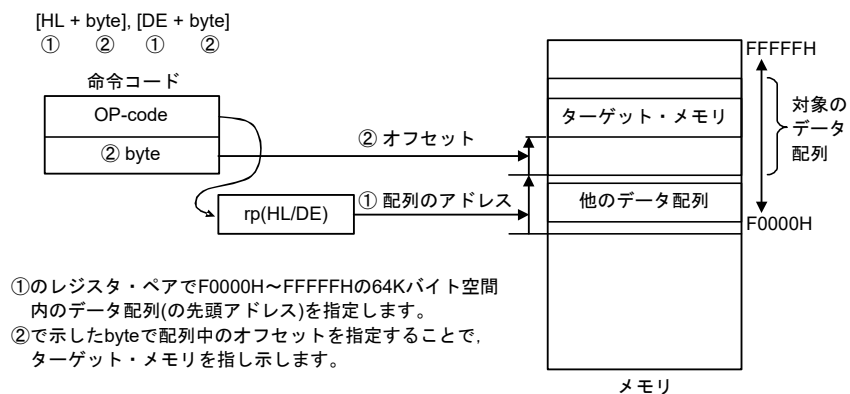


図3 - 34 word[B], word[C]の例

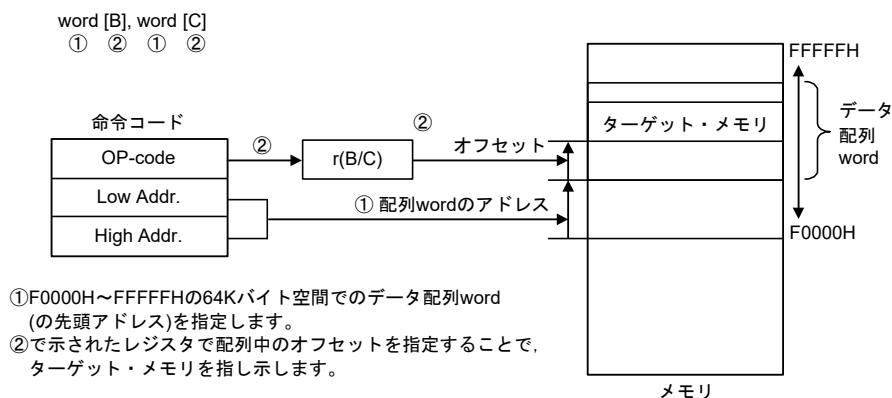


図3 - 35 word[BC]の例

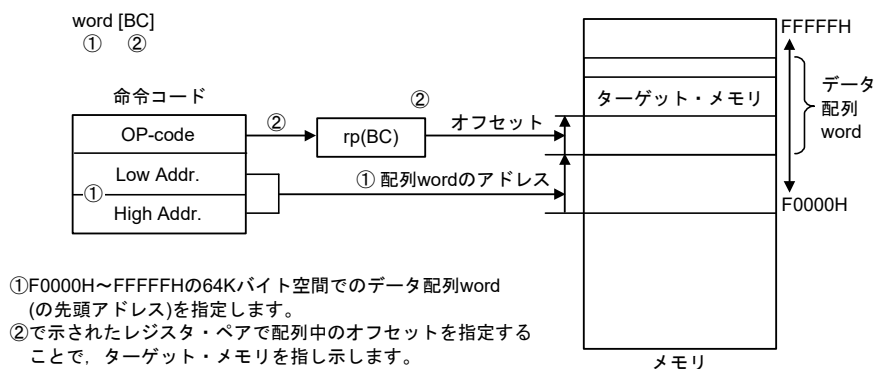


図3-36 ES:[HL + byte], ES:[DE + byte]の例

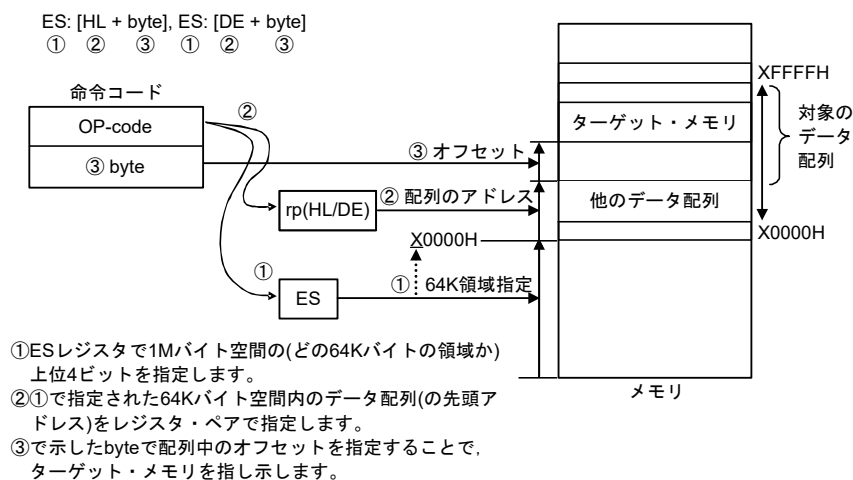


図3-37 ES:word[B], ES:word[C]の例

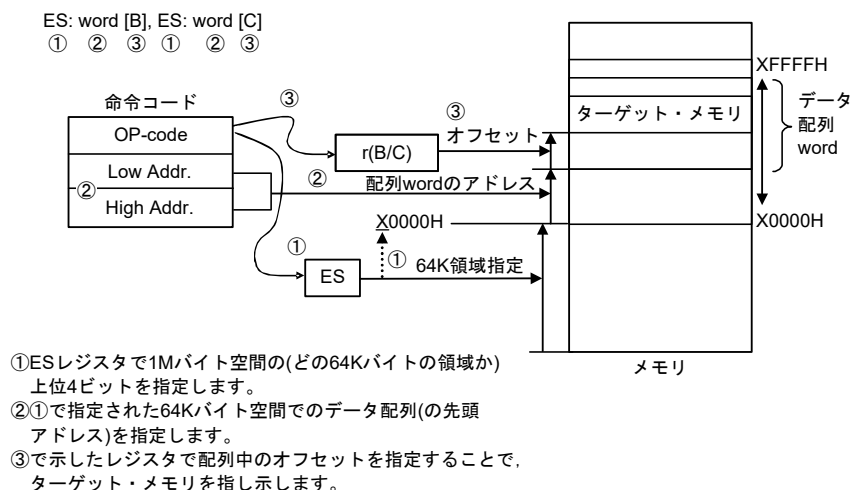
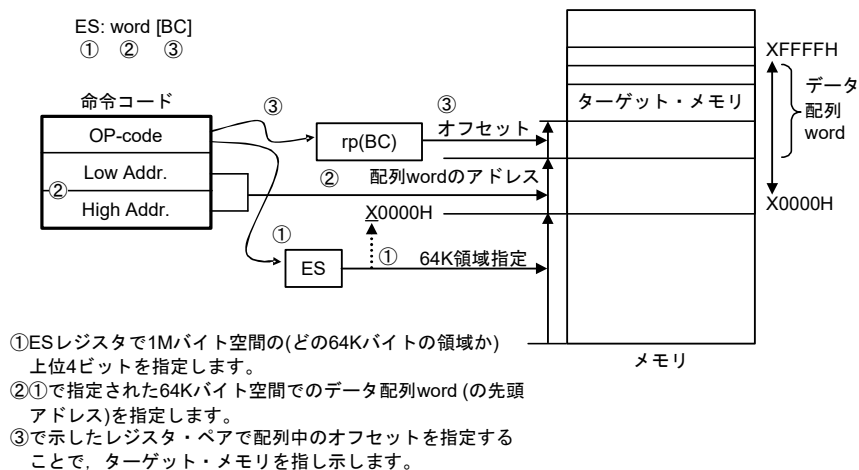


図3-38 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
—	[HL + B], [HL + C] (F0000H~FFFFFH空間のみ指定可能)
—	ES:[HL + B], ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 39 [HL + B], [HL + C]の例

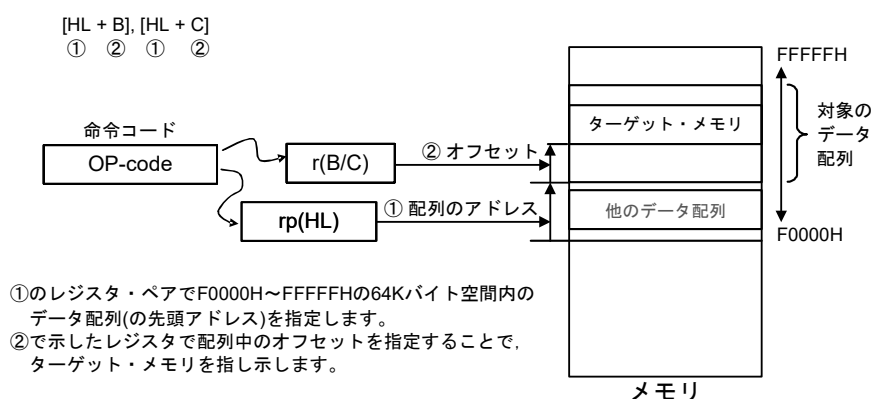
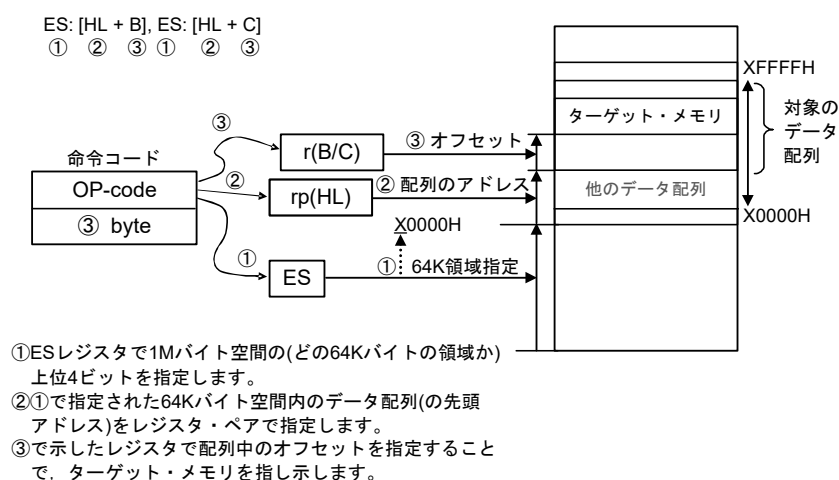


図3 - 40 ES:[HL + B], ES:[HL + C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の値によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避／復帰時に自動的に用いられます。

スタック領域は内部RAM上にだけ設定できます。

【記述形式】

表現形式	記述方法
—	PUSH PSW AX/BC/DE/HL POP PSW AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

各スタック動作によって退避／復帰されるデータは図3 - 41～図3 - 46のようになります。

図3 - 41 PUSH rpの例

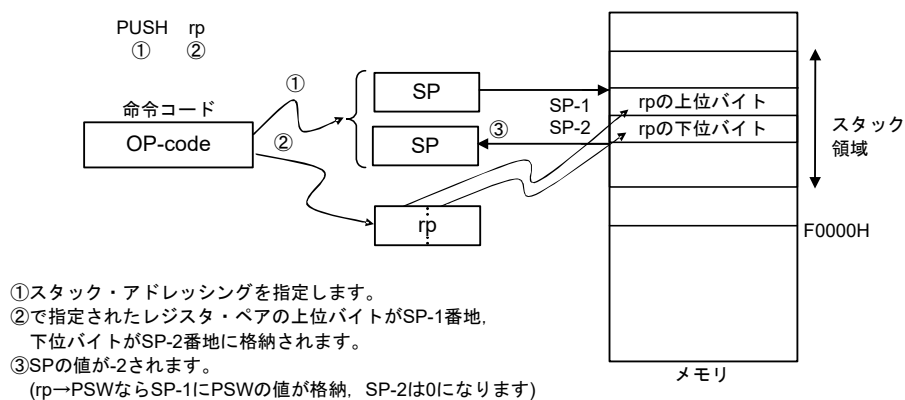


図3 - 42 POPの例

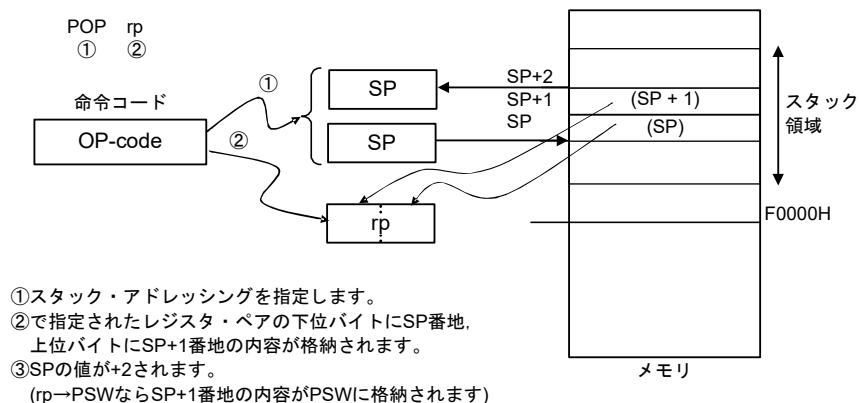


図3 - 43 CALL, CALLTの例

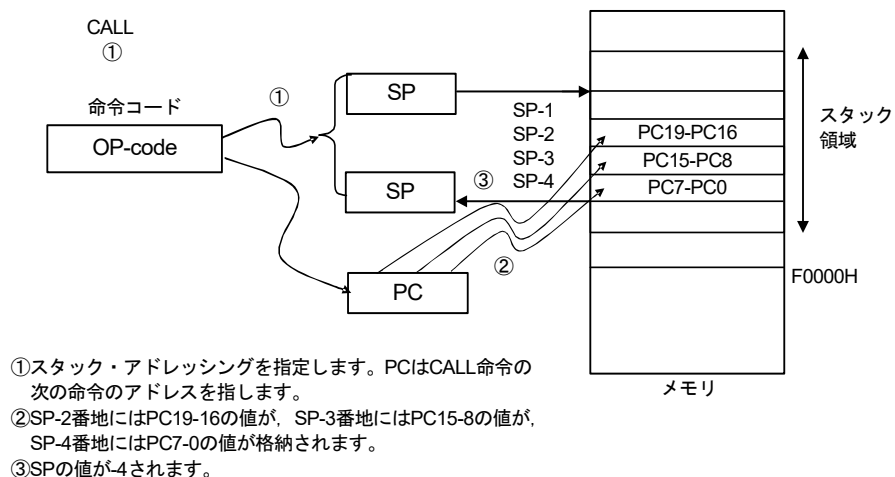


図3 - 44 RETの例

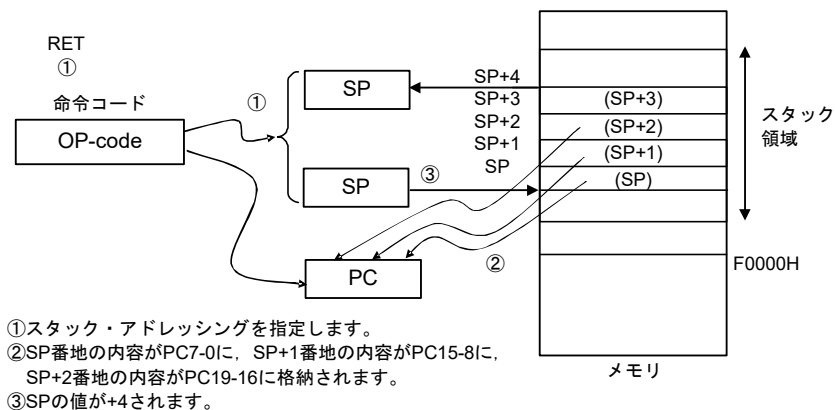


図3 - 45 割り込み, BRKの例

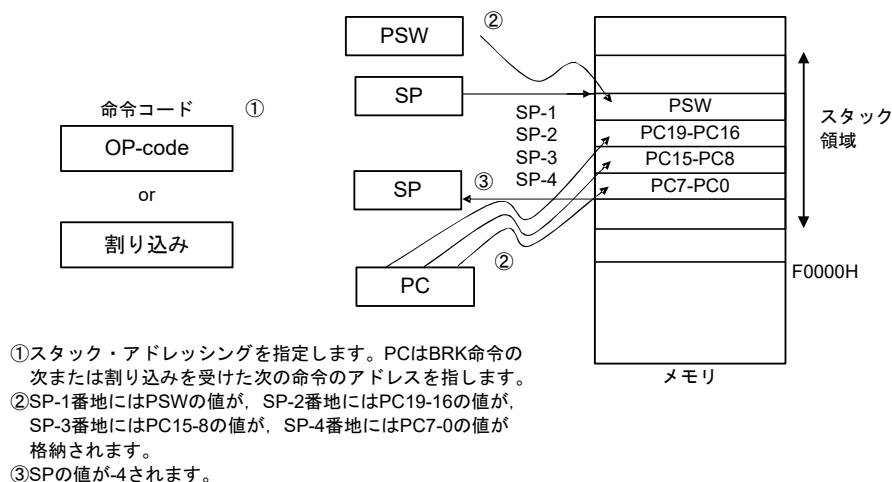
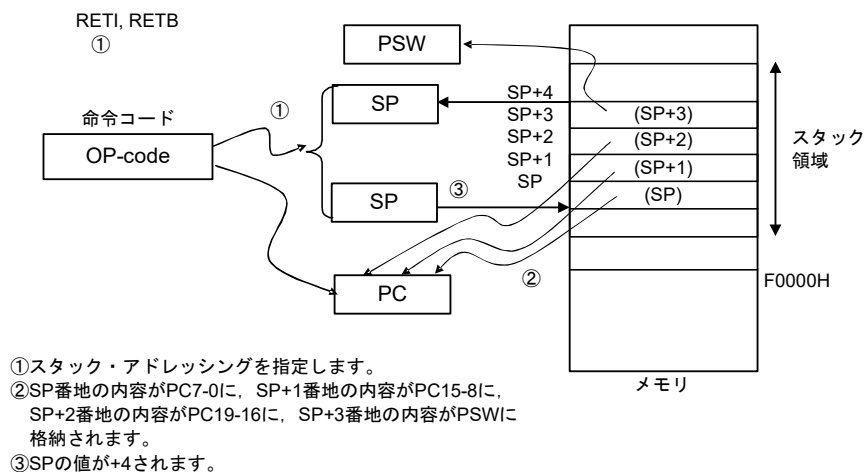


図3 - 46 RETI, RETBの例



第4章 ポート機能

4.1 ポートの機能

RL78/G14は、デジタル入出力ポートを備えており、多様な制御を行うことができます。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-1 ポートの構成(1/2)

項目	構成
制御レジスタ	ポート・モード・レジスタ (PM0-PM8, PM10-PM12, PM14, PM15) ポート・レジスタ (P0-P8, P10-P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU8, PU10-PU12, PU14) ポート入力モード・レジスタ (PIM0, PIM1, PIM3-PIM5, PIM8, PIM14) ポート出力モード・レジスタ (POM0, POM1, POM3-POM5, POM7, POM8, POM14) ポート・モード・コントロール・レジスタ (PMC0, PMC1, PMC10, PMC12, PMC14) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 周辺I/Oリダイレクション・レジスタ (PIOR0, PIOR1) グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)
ポート	30ピン製品 : 合計 : 26本 (CMOS入出力 : 21本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 10本), CMOS入力 : 3本, N-chオープン・ドレイン入出力[6 V耐圧] : 2本) 32ピン製品 : 合計 : 28本 (CMOS入出力 : 22本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 10本), CMOS入力 : 3本, N-chオープン・ドレイン入出力[6 V耐圧] : 3本) 36ピン製品 : 合計 : 32本 (CMOS入出力 : 26本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 11本), CMOS入力 : 3本, N-chオープン・ドレイン入出力[6 V耐圧] : 3本) 40ピン製品 : 合計 : 36本 (CMOS入出力 : 28本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 11本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6 V耐圧] : 3本) 44ピン製品 : 合計 : 40本 (CMOS入出力 : 31本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 11本), CMOS入力 : 5本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本) 48ピン製品 : 合計 : 44本 (CMOS入出力 : 34本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 12本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本) 52ピン製品 : 合計 : 48本 (CMOS入出力 : 38本 (N-chオープン・ドレイン入出力[V_{DD}耐圧] : 14本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本) 64ピン製品 : 合計 : 58本 (CMOS入出力 : 48本 (N-chオープン・ドレイン入出力[E_{VDD}耐圧] : 16本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本) 80ピン製品 : 合計 : 74本 (CMOS入出力 : 64本 (N-chオープン・ドレイン入出力[E_{VDD}耐圧] : 25本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本) 100ピン製品 : 合計 : 92本 (CMOS入出力 : 82本 (N-chオープン・ドレイン入出力[E_{VDD}耐圧] : 28本), CMOS入力 : 5本, CMOS出力 : 1本, N-chオープン・ドレイン入出力[6 V耐圧] : 4本)

表4 - 2 ポートの構成 (2/2)

項目	構成
ブルアップ抵抗	• 30ピン製品：合計：17本 • 32ピン製品：合計：18本 • 36ピン製品：合計：20本 • 40ピン製品：合計：21本 • 44ピン製品：合計：23本 • 48ピン製品：合計：26本 • 52ピン製品：合計：30本 • 64ピン製品：合計：40本 • 80ピン製品：合計：52本 • 100ピン製品：合計：67本

4.2.1 ポート0

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0)により1ビット単位で入力モード／出力モードの指定ができます。P00-P06端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P01, P03, P04端子の入力は、ポート入力モード・レジスタ0 (PIM0)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P00, P02-P04端子の出力は、ポート出力モード・レジスタ0 (POM0)により1ビット単位でN-chオープン・ドレイン出力(V_{DD} 耐圧^{注1}／ EV_{DD} 耐圧^{注2})に設定可能です。

P00-P03端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ0 (PMC0)で“デジタル入出力”を設定してください(1ビット単位で設定可能)。

また、兼用機能としてタイマの入出力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力があります。

リセット信号の発生により、以下ようになります。

- 30ピン、32ピン製品のP00, P01端子 アナログ入力
- 36～100ピン製品のP00, P01, P04-P07端子 入力ポート
- 36～100ピン製品のP02, P03端子 アナログ入力

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

4.2.2 ポート1

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1)により1ビット単位で入力モード／出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P10, P14-P17端子の入力は、ポート入力モード・レジスタ1 (PIM1)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P10, P11, P13-P15, P17端子の出力は、ポート出力モード・レジスタ1 (POM1)により1ビット単位でN-chオープン・ドレイン出力(V_{DD} 耐圧^{注1}／ EV_{DD} 耐圧^{注2})に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力、外部割り込み要求入力、コンパレータのリファレンス電圧入力があります。

コード・フラッシュ・メモリが96 KB 以上製品は、兼用機能にコンパレータのアナログ電圧入力もあります。P12, P13, P16, P17端子をアナログ入力として使用する場合、ポート・モード・コントロール・レジスタ1 (PMC1)で“アナログ入力”を設定してください(1ビット単位で設定可能)。

リセット信号の発生により、入力ポートになります。

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

4.2.3 ポート2

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2)により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力、A/Dコンバータの+側基準電圧入力、A/Dコンバータの-側基準電圧入力があります。コード・フラッシュ・メモリが96 KB以上製品は、兼用機能にD/Aコンバータ出力もあります。

P20/ANI0, P21/ANI1, P22/ANI2/ANO0, P23/ANI3/ANO1, P24/ANI4-P27/ANI7をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で“デジタル入出力”に設定して、上位ビットから使用してください。

P20/ANI0, P21/ANI1, P22/ANI2/ANO0, P23/ANI3/ANO1, P24/ANI4-P27/ANI7をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で“アナログ機能”に設定し、かつPM2レジスタで入力モードに設定して、下位ビットから使用してください。

表4-3 P20/ANI0-P27/ANI7 端子機能の設定 (コード・フラッシュ・メモリが64 KB以下の製品)

ADPC レジスタ	PM2 レジスタ	ADS レジスタ	P20/ANI0-P27/ANI7 端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ機能選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてアナログ機能になります。

表4 - 4 P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7 端子機能の設定 (コード・フラッシュ・メモリが96 KB以上の製品)

ADPC レジスタ	PM2 レジスタ	ADS レジスタ	P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7 端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ機能選択	入力モード	ANI 選択	アナログ入力(変換対象)
		ANI 非選択	アナログ入力(非変換対象)
	出力モード	ANI 選択	設定禁止
		ANI 非選択	

リセット信号の発生により, P20/ANI0, P21/ANI1, P24/ANI4-P27/ANI7 はアナログ機能になります。

表4 - 5 P22/ANI2/ANO0, P23/ANI3/ANO1 端子機能の設定 (コード・フラッシュ・メモリが96 KB以上の製品)

ADPC レジスタ	PM2 レジスタ	DAM レジスタ	ADS レジスタ	P22/ANI2/ANO0, P23/ANI3/ANO1 端子
デジタル入出力選択	入力モード	—	—	デジタル入力
	出力モード	—	—	デジタル出力
アナログ機能選択	入力モード	D/A 変換動作許可	ANI 選択	設定禁止
			ANI 非選択	アナログ出力
		D/A 変換動作停止	ANI 選択	アナログ入力(変換対象)
			ANI 非選択	アナログ入力(非変換対象)
	出力モード	D/A 変換動作許可	ANI 選択	設定禁止
			ANI 非選択	
		D/A 変換動作停止	ANI 選択	
			ANI 非選択	

リセット信号の発生により, P22/ANI2/ANO0, P23/ANI3/ANO1 はアナログ機能になります。

4.2.4 ポート 3

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 3 (PM3)により1ビット単位で入力モード／出力モードの指定ができます。P30, P31 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 3 (PU3)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P30 端子の入力は、ポート入力モード・レジスタ 3 (PIM3)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P30 端子の出力は、ポート出力モード・レジスタ 3 (POM3)により1ビット単位でN-chオープン・ドレイン出力(V_{DD} 耐圧^{注1}／EV_{DD} 耐圧^{注2})に設定可能です。

また、兼用機能として外部割り込み要求入力、リアルタイム・クロックの補正クロック出力、シリアル・インタフェースのクロック入出力、タイマの入出力があります。

リセット信号の発生により、入力ポートになります。

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

4.2.5 ポート 4

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 4 (PM4)により1ビット単位で入力モード／出力モードの指定ができます。P40-P47端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 4 (PU4)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P43, P44 端子の入力は、ポート入力モード・レジスタ 4 (PIM4)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P43-P45 端子の出力は、ポート出力モード・レジスタ 4 (POM4)により1ビット単位でN-chオープン・ドレイン出力(EV_{DD} 耐圧)に設定可能です。

また、兼用機能としてフラッシュ・メモリ・プログラマ／デバッガ用のデータ入出力、シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力ポートになります。

4.2.6 ポート5

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード／出力モードの指定ができます。P50-P57端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P50, P53-P55端子の入力は、ポート入力モード・レジスタ5 (PIM5)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P50-P55端子の出力は、ポート出力モード・レジスタ5 (POM5)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧^{注1}／EV_{DD}耐圧^{注2})に設定可能です。

また、兼用機能として外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、プログラミングUARTの送受信、タイマの入出力があります。

リセット信号の発生により、入力ポートになります。

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

4.2.7 ポート6

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6)により1ビット単位で入力モード／出力モードの指定ができます。P64-P67端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ6 (PU6)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P60-P63端子の出力は、N-chオープン・ドレイン出力(6 V耐圧)です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、チップ・セレクト入力、タイマの入出力があります。

リセット信号の発生により、入力ポートになります。

4.2.8 ポート7

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7)により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P71, P74端子の出力は、ポート出力モード・レジスタ7 (POM7)により1ビット単位でN-chオープン・ドレイン出力(V_{DD}耐圧^{注1}／EV_{DD}耐圧^{注2})に設定可能です。

また、兼用機能としてキー割り込み入力、シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力があります。

リセット信号の発生により、入力ポートになります。

注1. 32～52ピン製品の場合

注2. 64～100ピン製品の場合

4.2.9 ポート 8

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 8 (PM8)により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 8 (PU8)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P80, P81 端子の入力は、ポート入力モード・レジスタ 8 (PIM8)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P80-P82 端子の出力は、ポート出力モード・レジスタ 8 (POM8)により1ビット単位でN-chオープン・ドレイン出力(V_{DD} 耐圧^{注1}／EV_{DD} 耐圧^{注2})に設定可能です。

リセット信号の発生により、入力ポートになります。

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

4.2.10 ポート 10

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 10 (PM10)により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 10 (PU10)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P100 端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ 10 (PMC10)で“デジタル入出力”を設定してください。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

リセット信号の発生により、P100はアナログ機能になります。P101, P102は入力ポートになります。

4.2.11 ポート 11

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 11 (PM11)により1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 11 (PU11)により1ビット単位で内蔵プルアップ抵抗を使用できます。

リセット信号の発生により、入力ポートになります。

4.2.12 ポート 12

P120は出力ラッチ付き1ビットの入出力ポートです。ポート・モード・レジスタ 12 (PM12)により、1ビット単位で入力モード／出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ 12 (PU12)により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

P120端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ 12 (PMC12)で“デジタル入出力”を設定してください。

また兼用機能として A/D コンバータのアナログ入力、メイン・システム・クロック用発振子接続、サブシステム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力、サブシステム・クロック用外部クロック入力があります。コード・フラッシュ・メモリが 96 KB 以上製品は、兼用機能にコンパレータ出力もあります。

リセット信号の発生により、P120はアナログ機能になります。P121-P124は入力ポートになります。

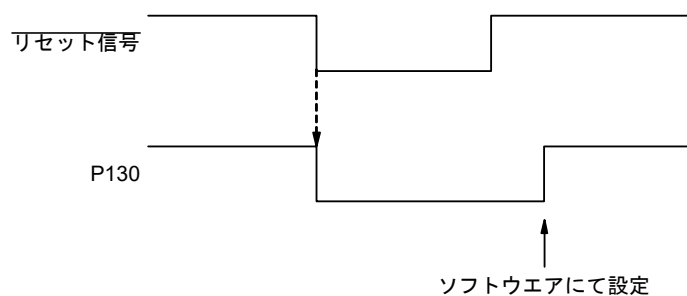
4.2.13 ポート 13

P130は出力ラッチ付き1ビット出力専用ポートです。P137は1ビット入力専用ポートです。

P130は出力モード、P137は入力モードに固定されています。

また兼用機能として外部割り込み要求入力があります。

備考 リセットがかかるとP130はロウ・レベルを出力するため、リセットがかかる前にP130をハイ・レベル出力にした場合、P130からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。



4.2.14 ポート 14

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 14 (PM14)により1ビット単位で入力モード／出力モードの指定ができます。P140-P147 端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ 14 (PU14)により1ビット単位で内蔵プルアップ抵抗を使用できます。

P142, P143端子の入力は、ポート入力モード・レジスタ 14 (PIM14)の設定により1ビット単位で通常入力バッファ／TTL入力バッファの指定ができます。

P142-P144端子の出力は、ポート出力モード・レジスタ 14 (POM14)により1ビット単位でN-chオープン・ドレイン出力(EVDD耐圧)に設定可能です。

P147端子をデジタル入出力ポートとして使用する場合、ポート・モード・コントロール・レジスタ 14 (PMC14)で“デジタル入出力”を設定してください。

また、兼用機能としてクロック／ブザー出力、外部割り込み要求入力、A/Dコンバータのアナログ入力、シリアル・インタフェースのデータ入出力、クロック入出力があります。コード・フラッシュ・メモリが96 KB以上製品は、兼用機能にコンパレータ出力もあります。

リセット信号の発生により、P140-P146は入力ポートになります。P147はアナログ機能になります。

4.2.15 ポート 15

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ 15 (PM15)により1ビット単位で入力モード／出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P150/ANI8-P156/ANI14をデジタル入出力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で“デジタル入出力”に設定して、上位ビットから使用してください。

P150/ANI8-P156/ANI14をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC)で“アナログ機能”に設定し、かつPM15レジスタで入力モードに設定して、下位ビットから使用してください。

表4 - 6 P150/ANI8-P156/ANI14端子機能の設定

ADPC レジスタ	PM15 レジスタ	ADS レジスタ	P150/ANI8-P156/ANI14 端子
デジタル入出力選択	入力モード	—	デジタル入力
	出力モード	—	デジタル出力
アナログ機能選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P150/ANI8-P156/ANI14はすべてアナログ機能になります。

4.3 ポート機能を制御するレジスタ

ポートは、次のレジスタで制御します。

- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)
- プルアップ抵抗オプション・レジスタ (PUxx)
- ポート入力モード・レジスタ (PIMxx)
- ポート出力モード・レジスタ (POMxx)
- ポート・モード・コントロール・レジスタ (PMCxx)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- 周辺I/Oリダイレクション・レジスタ 0, 1 (PIOR0, PIOR1)
- グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表4-7～表4-13を参照してください。また、搭載していないビットには必ず初期値を設定してください。

表4-7 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット
(30ピン製品～64ピン製品)(1/3)

ポート		ビット名						64-pin	52-pin	48-pin	44-pin	40-pin	36-pin	32-pin	30-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ								
ポート0	0	PM00	P00	PU00	—	POM00	PMC00 ^{注1}	○	○	○	○	○	○	○	○
	1	PM01	P01	PU01	PIM01	—	PMC01 ^{注1}	○	○	○	○	○	○	○	○
	2	PM02	P02	PU02	—	POM02	PMC02	○	○	—	—	—	—	—	—
	3	PM03	P03	PU03	PIM03	POM03	PMC03	○	○	—	—	—	—	—	—
	4	PM04	P04	PU04	PIM04	POM04	—	○	—	—	—	—	—	—	—
	5	PM05	P05	PU05	—	—	—	○	—	—	—	—	—	—	—
	6	PM06	P06	PU06	—	—	—	○	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート1	0	PM10	P10	PU10	PIM10	POM10	—	○	○	○	○	○	○	○	○
	1	PM11	P11	PU11	—	POM11	—	○	○	○	○	○	○	○	○
	2	PM12	P12	PU12	—	—	PMC12 ^{注2}	○	○	○	○	○	○	○	○
	3	PM13	P13	PU13	—	POM13	PMC13 ^{注2}	○	○	○	○	○	○	○	○
	4	PM14	P14	PU14	PIM14	POM14	—	○	○	○	○	○	○	○	○
	5	PM15	P15	PU15	PIM15	POM15	—	○	○	○	○	○	○	○	○
	6	PM16	P16	PU16	PIM16	—	PMC16 ^{注2}	○	○	○	○	○	○	○	○
	7	PM17	P17	PU17	PIM17	POM17	PMC17 ^{注2}	○	○	○	○	○	○	○	○
ポート2	0	PM20	P20	—	—	—	—	○	○	○	○	○	○	○	○
	1	PM21	P21	—	—	—	—	○	○	○	○	○	○	○	○
	2	PM22	P22	—	—	—	—	○	○	○	○	○	○	○	○
	3	PM23	P23	—	—	—	—	○	○	○	○	○	○	○	○
	4	PM24	P24	—	—	—	—	○	○	○	○	○	○	—	—
	5	PM25	P25	—	—	—	—	○	○	○	○	○	○	—	—
	6	PM26	P26	—	—	—	—	○	○	○	○	○	—	—	—
	7	PM27	P27	—	—	—	—	○	○	○	○	—	—	—	—

注1. 30ピン、32ピン製品のみ。

注2. R5F104xF (x = A-C, E-G, J, L, M, P), R5F104xG (x = A-C, E-G, J, L, M, P), R5F104xH (x = E-G, J, L, M, P),
R5F104xJ (x = F, G, J, L, M, P), R5F104xK (x = G, L, M, P), R5F104xL (x = G, L, M, P)のみ

表4-8 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット
(30ピン製品～64ピン製品)(2/3)

ポート		ビット名						64-pin	52-pin	48-pin	44-pin	40-pin	36-pin	32-pin	30-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ								
ポート3	0	PM30	P30	PU30	PIM30	POM30	—	○	○	○	○	○	○	○	○
	1	PM31	P31	PU31	—	—	—	○	○	○	○	○	○	○	○
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート4	0	PM40	P40	PU40	—	—	—	○	○	○	○	○	○	○	○
	1	PM41	P41	PU41	—	—	—	○	○	○	○	—	—	—	—
	2	PM42	P42	PU42	—	—	—	○	—	—	—	—	—	—	—
	3	PM43	P43	PU43	—	—	—	○	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート5	0	PM50	P50	PU50	PIM50	POM50	—	○	○	○	○	○	○	○	○
	1	PM51	P51	PU51	—	POM51	—	○	○	○	○	○	○	○	○
	2	PM52	P52	PU52	—	—	—	○	—	—	—	—	—	—	—
	3	PM53	P53	PU53	—	—	—	○	—	—	—	—	—	—	—
	4	PM54	P54	PU54	—	—	—	○	—	—	—	—	—	—	—
	5	PM55	P55	PU55	PIM55	POM55	—	○	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート6	0	PM60	P60	—	—	—	—	○	○	○	○	○	○	○	○
	1	PM61	P61	—	—	—	—	○	○	○	○	○	○	○	○
	2	PM62	P62	—	—	—	—	○	○	○	○	○	○	○	—
	3	PM63	P63	—	—	—	—	○	○	○	○	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート7	0	PM70	P70	PU70	—	—	—	○	○	○	○	○	○	○	—
	1	PM71	P71	PU71	—	POM71	—	○	○	○	○	○	○	—	—
	2	PM72	P72	PU72	—	—	—	○	○	○	○	○	○	—	—
	3	PM73	P73	PU73	—	—	—	○	○	○	○	○	—	—	—
	4	PM74	P74	PU74	—	POM74	—	○	○	○	—	—	—	—	—
	5	PM75	P75	PU75	—	—	—	○	○	○	—	—	—	—	—
	6	PM76	P76	PU76	—	—	—	○	○	—	—	—	—	—	—
	7	PM77	P77	PU77	—	—	—	○	○	—	—	—	—	—	—

表4 - 9 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット
(30ピン製品～64ピン製品)(3/3)

ポート		ビット名						64-pin	52-pin	48-pin	44-pin	40-pin	36-pin	32-pin	30-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ								
ポート 12	0	PM120	P120	PU120	—	—	PMC120	○	○	○	○	○	○	○	○
	1	—	P121	—	—	—	—	○	○	○	○	○	○	○	○
	2	—	P122	—	—	—	—	○	○	○	○	○	○	○	○
	3	—	P123	—	—	—	—	○	○	○	○	○	—	—	—
	4	—	P124	—	—	—	—	○	○	○	○	○	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—	—	—	—	—	—	—
ポート 13	0	—	P130	—	—	—	—	○	○	○	—	—	—	—	—
	1	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○	○	○	○	○	○	○	○
ポート 14	0	PM140	P140	PU140	—	—	—	○	○	○	—	—	—	—	—
	1	PM141	P141	PU141	—	—	—	○	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—	—	—	—	—	—	—
	6	PM146	P146	PU146	—	—	—	○	○	○	○	—	—	—	—
	7	PM147	P147	PU147	—	—	PMC147	○	○	○	○	○	○	○	○

表4 - 10 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット
(80ピン製品, 100ピン製品)(1/4)

ポート		ビット名						100-pin	80-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート 0	0	PM00	P00	PU00	—	POM00	—	○	○
	1	PM01	P01	PU01	PIM01	—	—	○	○
	2	PM02	P02	PU02	—	POM02	PMC02	○	○
	3	PM03	P03	PU03	PIM03	POM03	PMC03	○	○
	4	PM04	P04	PU04	PIM04	POM04	—	○	○
	5	PM05	P05	PU05	—	—	—	○	○
	6	PM06	P06	PU06	—	—	—	○	○
	7	—	—	—	—	—	—	—	—
ポート 1	0	PM10	P10	PU10	PIM10	POM10	—	○	○
	1	PM11	P11	PU11	—	POM11	—	○	○
	2	PM12	P12	PU12	—	—	PMC12	○	○
	3	PM13	P13	PU13	—	POM13	PMC13	○	○
	4	PM14	P14	PU14	PIM14	POM14	—	○	○
	5	PM15	P15	PU15	PIM15	POM15	—	○	○
	6	PM16	P16	PU16	PIM16	—	PMC16	○	○
	7	PM17	P17	PU17	PIM17	POM17	PMC17	○	○
ポート 2	0	PM20	P20	—	—	—	—	○	○
	1	PM21	P21	—	—	—	—	○	○
	2	PM22	P22	—	—	—	—	○	○
	3	PM23	P23	—	—	—	—	○	○
	4	PM24	P24	—	—	—	—	○	○
	5	PM25	P25	—	—	—	—	○	○
	6	PM26	P26	—	—	—	—	○	○
	7	PM27	P27	—	—	—	—	○	○
ポート 3	0	PM30	P30	PU30	PIM30	POM30	—	○	○
	1	PM31	P31	PU31	—	—	—	○	○
	2	—	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—	—

表4 - 11 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット
(80ピン製品, 100ピン製品)(2/4)

ポート		ビット名						100-pin	80-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート4	0	PM40	P40	PU40	—	—	—	○	○
	1	PM41	P41	PU41	—	—	—	○	○
	2	PM42	P42	PU42	—	—	—	○	○
	3	PM43	P43	PU43	PIM43	POM43	—	○	○
	4	PM44	P44	PU44	PIM44	POM44	—	○	○
	5	PM45	P45	PU45	—	POM45	—	○	○
	6	PM46	P46	PU46	—	—	—	○	—
	7	PM47	P47	PU47	—	—	—	○	—
ポート5	0	PM50	P50	PU50	PIM50	POM50	—	○	○
	1	PM51	P51	PU51	—	POM51	—	○	○
	2	PM52	P52	PU52	—	POM52	—	○	○
	3	PM53	P53	PU53	PIM53	POM53	—	○	○
	4	PM54	P54	PU54	PIM54	POM54	—	○	○
	5	PM55	P55	PU55	PIM55	POM55	—	○	○
	6	PM56	P56	PU56	—	—	—	○	—
	7	PM57	P57	PU57	—	—	—	○	—
ポート6	0	PM60	P60	—	—	—	—	○	○
	1	PM61	P61	—	—	—	—	○	○
	2	PM62	P62	—	—	—	—	○	○
	3	PM63	P63	—	—	—	—	○	○
	4	PM64	P64	PU64	—	—	—	○	○
	5	PM65	P65	PU65	—	—	—	○	○
	6	PM66	P66	PU66	—	—	—	○	○
	7	PM67	P67	PU67	—	—	—	○	○
ポート7	0	PM70	P70	PU70	—	—	—	○	○
	1	PM71	P71	PU71	—	POM71	—	○	○
	2	PM72	P72	PU72	—	—	—	○	○
	3	PM73	P73	PU73	—	—	—	○	○
	4	PM74	P74	PU74	—	POM74	—	○	○
	5	PM75	P75	PU75	—	—	—	○	○
	6	PM76	P76	PU76	—	—	—	○	○
	7	PM77	P77	PU77	—	—	—	○	○
ポート8	0	PM80	P80	PU80	PIM80	POM80	—	○	—
	1	PM81	P81	PU81	PIM81	POM81	—	○	—
	2	PM82	P82	PU82	—	POM82	—	○	—
	3	PM83	P83	PU83	—	—	—	○	—
	4	PM84	P84	PU84	—	—	—	○	—
	5	PM85	P85	PU85	—	—	—	○	—
	6	PM86	P86	PU86	—	—	—	○	—
	7	PM87	P87	PU87	—	—	—	○	—

表4 - 12 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット
(80ピン製品, 100ピン製品)(3/4)

ポート		ビット名					100-pin	80-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ	
ポート 10	0	PM100	P100	PU100	—	—	PMC100	○
	1	PM101	P101	PU101	—	—	—	○
	2	PM102	P102	PU102	—	—	—	○
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート 11	0	PM110	P110	PU110	—	—	—	○
	1	PM111	P111	PU111	—	—	—	○
	2	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート 12	0	PM120	P120	PU120	—	—	PMC120	○
	1	—	P121	—	—	—	—	○
	2	—	P122	—	—	—	—	○
	3	—	P123	—	—	—	—	○
	4	—	P124	—	—	—	—	○
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	—	—	—	—	—	—
ポート 13	0	—	P130	—	—	—	—	○
	1	—	—	—	—	—	—	—
	2	—	—	—	—	—	—	—
	3	—	—	—	—	—	—	—
	4	—	—	—	—	—	—	—
	5	—	—	—	—	—	—	—
	6	—	—	—	—	—	—	—
	7	—	P137	—	—	—	—	○
ポート 14	0	PM140	P140	PU140	—	—	—	○
	1	PM141	P141	PU141	—	—	—	○
	2	PM142	P142	PU142	PIM142	POM142	—	○
	3	PM143	P143	PU143	PIM143	POM143	—	○
	4	PM144	P144	PU144	—	POM144	—	○
	5	PM145	P145	PU145	—	—	—	○
	6	PM146	P146	PU146	—	—	—	○
	7	PM147	P147	PU147	—	—	PMC147	○

表4 - 13 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット
(80ピン製品, 100ピン製品)(4/4)

ポート		ビット名						100-pin	80-pin
		PMxx レジスタ	Pxx レジスタ	PUxx レジスタ	PIMxx レジスタ	POMxx レジスタ	PMCxx レジスタ		
ポート 15	0	PM150	P150	—	—	—	—	○	○
	1	PM151	P151	—	—	—	—	○	○
	2	PM152	P152	—	—	—	—	○	○
	3	PM153	P153	—	—	—	—	○	○
	4	PM154	P154	—	—	—	—	○	—
	5	PM155	P155	—	—	—	—	○	—
	6	PM156	P156	—	—	—	—	○	—
	7	—	—	—	—	—	—	—	—

4.3.1 ポート・モード・レジスタ (PMxx)

ポートの入力／出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用機能使用時のレジスタの設定を参照し、設定してください。

図4-1 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	1	PM31	PM30	FFF23H	FFH	R/W
PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM10	1	1	1	1	1	PM102	PM101	PM100	FFF2AH	FFH	R/W
PM11	1	1	1	1	1	1	PM111	PM110	FFF2BH	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	PM147	PM146	PM145	PM144	PM143	PM142	PM141	PM140	FFF2EH	FFH	R/W
PM15	1	PM156	PM155	PM154	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択(m = 0-8, 10-12, 14, 15 ; n = 0-7)
0	出力モード(出力ポートとして機能(出力バッファ・オン))
1	入力モード(入力ポートとして機能(出力バッファ・オフ))

注意 搭載していないビットには必ず初期値を設定してください。

4.3.2 ポート・レジスタ (Pxx)

ポートの出カラッチの値を設定するレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出カラッチの値が読み出されます注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注 P02, P03, P12, P13, P16, P17, P20-P27, P100, P120, P147 をアナログ機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4-2 ポート・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	P06	P05	P04	P03	P02	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	0	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	P47	P46	P45	P44	P43	P42	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	P57	P56	P55	P54	P53	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	P67	P66	P65	P64	P63	P62	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P8	P87	P86	P85	P84	P83	P82	P81	P80	FFF08H	00H (出力ラッチ)	R/W
P10	0	0	0	0	0	P102	P101	P100	FFF0AH	00H (出力ラッチ)	R/W
P11	0	0	0	0	0	0	P111	P110	FFF0BH	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W注1
P13	P137	0	0	0	0	0	0	P130	FFF0DH	注2	R/W注1
P14	P147	P146	P145	P144	P143	P142	P141	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	0	P156	P155	P154	P153	P152	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 0-8, 10-15 ; n = 0-7	
	出力データの制御(出力モード時)	入力データの読み出し(入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注1. P121-P124, P137はRead Onlyです。

注2. P137 : 不定

P130 : 0 (出力ラッチ)

注意 搭載していないビットには必ず初期値を設定してください。

4.3.3 プルアップ抵抗オプション・レジスタ (PUxx)

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、POMmn = 0で入力モード(PMmn = 1)に設定したビットにのみ、ビット単位で内蔵プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときやアナログ機能に設定している場合も同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H (PU4のみ01H)になります。

図4-3 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	0	PU31	PU30	F0033H	00H	R/W
PU4	PU47	PU46	PU45	PU44	PU43	PU42	PU41	PU40	F0034H	01H	R/W
PU5	PU57	PU56	PU55	PU54	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU6	PU67	PU66	PU65	PU64	0	0	0	0	F0036H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU8	PU87	PU86	PU85	PU84	PU83	PU82	PU81	PU80	F0038H	00H	R/W
PU10	0	0	0	0	0	PU102	PU101	PU100	F003AH	00H	R/W
PU11	0	0	0	0	0	0	PU111	PU110	F003BH	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	PU147	PU146	PU145	PU144	PU143	PU142	PU141	PU140	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-8, 10-12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

注意 搭載していないビットには必ず初期値を設定してください。

4.3.4 ポート入力モード・レジスタ (PIMxx)

入力バッファを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信などにTTL入力バッファを選択できます。

ポート入力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-4 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM0	0	0	0	PIM04	PIM03	0	PIM01	0	F0040H	00H	R/W
PIM1	PIM17	PIM16	PIM15	PIM14	0	0	0	PIM10	F0041H	00H	R/W
PIM3	0	0	0	0	0	0	0	PIM30	F0043H	00H	R/W
PIM4	0	0	0	PIM44	PIM43	0	0	0	F0044H	00H	R/W
PIM5	0	0	PIM55	PIM54	PIM53	0	0	PIM50	F0045H	00H	R/W
PIM8	0	0	0	0	0	0	PIM81	PIM80	F0048H	00H	R/W
PIM14	0	0	0	0	PIM143	PIM142	0	0	F004EH	00H	R/W

PIMmn	Pmn端子の入力バッファの選択(m = 0, 1, 3-5, 8, 14 ; n = 0-7)
0	通常入力バッファ
1	TTL入力バッファ

注意 搭載していないビットには必ず初期値を設定してください。

4.3.5 ポート出力モード・レジスタ (POMxx)

出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易 I²C 通信時の SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31 端子に N-ch オープン・ドレイン出力 (V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2}) モードを選択できます。

また、POMxx レジスタは PUxx レジスタとともに、内蔵プルアップ抵抗を使用するかどうかを設定します。

ポート出力モード・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 N-ch オープン・ドレイン出力 (V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2}) モード (POMmn = 1) を設定したビットは、内蔵プルアップ抵抗が接続されません。

図4-5 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM0	0	0	0	POM04	POM03	POM02	0	POM00	F0050H	00H	R/W
POM1	POM17	0	POM15	POM14	POM13	0	POM11	POM10	F0051H	00H	R/W
POM3	0	0	0	0	0	0	0	POM30	F0053H	00H	R/W
POM4	0	0	POM45	POM44	POM43	0	0	0	F0054H	00H	R/W
POM5	0	0	POM55	POM54	POM53	POM52	POM51	POM50	F0055H	00H	R/W
POM7	0	0	0	POM74	0	0	POM71	0	F0057H	00H	R/W
POM8	0	0	0	0	0	POM82	POM81	POM80	F0058H	00H	R/W
POM14	0	0	0	POM144	POM143	POM142	0	0	F005EH	00H	R/W

POMm n	Pmn端子の出力モードの選択 (m = 0, 1, 3-5, 7, 8, 14 ; n = 0-5, 7)
0	通常出力モード
1	N-ch オープン・ドレイン出力 (V _{DD} 耐圧 ^{注1} / EV _{DD} 耐圧 ^{注2}) モード

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

注意 搭載していないビットには必ず初期値を設定してください。

4.3.6 ポート・モード・コントロール・レジスタ (PMCxx)

P02, P03, P12, P13, P16, P17, P100, P120, P147 のデジタル入出力／アナログ入力を1ビット単位で設定するレジスタです。

PMC0, PMC1, PMC10, PMC12, PMC14 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図4-6 ポート・モード・コントロール・レジスタのフォーマット(100ピン製品)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PMC0	1	1	1	1	PMC03 注2	PMC02 注2	PMC01 注1	PMC00 注1	F0060H	FFH	R/W
PMC1	PMC17 注3	PMC16 注3	0	0	PMC13 注3	PMC12 注3	0	0	F0061H	00H	R/W
PMC10	1	1	1	1	1	1	1	PMC100 注4	F006AH	FFH	R/W
PMC12	1	1	1	1	1	1	1	PMC120	F006CH	FFH	R/W
PMC14	PMC147	1	1	1	1	1	1	1	F006EH	FFH	R/W

PMCmn	Pmn端子のデジタル入出力／アナログ入力の選択 (m = 0, 1, 10, 12, 14 ; n = 0, 2, 3, 6, 7)
0	デジタル入出力 (アナログ入力以外の兼用機能)
1	アナログ入力

- 注1. 30, 32ピン製品のみ。
- 注2. 52, 64, 80, 100ピン製品のみ。
- 注3. コード・フラッシュ・メモリが96 KB以上製品のみ。
- 注4. 80, 100ピン製品のみ。

注意 搭載していないビットには必ず初期値を設定してください。

4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)

P20/ANI0, P21/ANI1, P22/ANI2/ANO0, P23/ANI3/ANO1, P24/ANI4-P27/ANI7, ANI8/P150-ANI14/P156 端子, A/D コンバータのアナログ機能／ポートのデジタル入出力に切り替えるレジスタです。また, P22/ANI2/ANO0, P23/ANI3/ANO1 端子を, D/A コンバータのアナログ機能／ポートのデジタル入出力に切り替えるレジスタです。

ADPC レジスタは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00H になります。

図4-7 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0076H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ機能(A)／デジタル入出力(D)の切り替え													
				ANI14/P156	ANI13/P155	ANI12/P154	ANI11/P153	ANI10/P152	ANI9/P151	ANI8/P150	ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/ANO1/P23	ANI2/ANO0/P22	ANI1/P21
0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A	A	A
0	0	0	1	D	D	D	D	D	D	D	D	D	D	D	D	D	D
0	0	1	0	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	0	1	1	D	D	D	D	D	D	D	D	D	D	D	D	D	A
0	1	0	0	D	D	D	D	D	D	D	D	D	D	D	D	A	A
0	1	0	1	D	D	D	D	D	D	D	D	D	D	D	A	A	A
0	1	1	0	D	D	D	D	D	D	D	D	D	D	A	A	A	A
0	1	1	1	D	D	D	D	D	D	D	D	D	A	A	A	A	A
1	0	0	0	D	D	D	D	D	D	D	D	A	A	A	A	A	A
1	0	0	1	D	D	D	D	D	D	D	D	A	A	A	A	A	A
1	0	1	0	D	D	D	D	D	D	A	A	A	A	A	A	A	A
1	0	1	1	D	D	D	D	D	A	A	A	A	A	A	A	A	A
1	1	0	0	D	D	D	D	A	A	A	A	A	A	A	A	A	A
1	1	0	1	D	D	D	A	A	A	A	A	A	A	A	A	A	A
1	1	1	0	D	D	A	A	A	A	A	A	A	A	A	A	A	A
1	1	1	1	D	A	A	A	A	A	A	A	A	A	A	A	A	A

注意1. ADPC レジスタでアナログ機能に設定したポートは, ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。

注意2. ADPC レジスタでデジタル入出力として設定する端子を, アナログ入力チャネル指定レジスタ (ADS) で設定しないでください。

注意3. AVREFP と AVREFM を使用する場合は, ANI0 と ANI1 をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

注意4. ADPC レジスタでデジタル入出力として設定する端子を, D/A コンバータ・モード・レジスタ (DAM) で D/A 変換動作許可に設定しないでください。

4.3.8 周辺I/Oリダイレクション・レジスタ0 (PIOR0)

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-8 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のフォーマット

アドレス : F0077H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PIOR0	0	PIOR06注	PIOR05	PIOR04	PIOR03	PIOR02	PIOR01	PIOR00							
ビット	機能	100ピン		80ピン		64ピン		52ピン		48ピン		44ピン		40/36/32/30ピン	
		設定値		設定値		設定値		設定値		設定値		設定値		設定値	
		0	1	0	1	0	1	0	1	0	1	0	1	0	1
PIOR06注	TxD0_1	—	P12	—	P12	—	P12	—	P12	—	P12				
	RxD0_1	—	P11	—	P11	—	P11	—	P11	—	P11				
PIOR05	INTP1	P46	P56	使用できません。0 (初期値)を設定してください。											
	INTP3	P30	P57												
	INTP4	P31	P146												
	INTP6	P140	P84												
	INTP7	P141	P85												
	INTP8	P74	P86												
	INTP9	P75	P87												
	TxD1	P02	P82												
	RxD1	P03	P81												
	SCL10	P04	P80												
	SDA10	P03	P81												
	SI10	P03	P81												
	SO10	P02	P82												
SCK10	P04	P80													
PIOR04	PCLBUZ1	P141	P55	P141	P55	P141	P55								
	INTP5	P16	P12	P16	P12	P16	P12								
PIOR03	PCLBUZ0	P140	P31	P140	P31	P140	P31	P140	P31	P140	P31				
PIOR02	SCLA0	P60	P14	P60	P14	P60	P14	P60	P14	P60	P14				
	SDAA0	P61	P15	P61	P15	P61	P15	P61	P15	P61	P15	P61	P15	P61	P15
PIOR01	INTP10	P76	P100	P76	P100	P76	P05	P76	—	—	—	—	—	—	—
	INTP11	P77	P110	P77	P110	P77	P06	P77	—	—	—	—	—	—	—
	TxD2	P13	P77	P13	P77	P13	P77	P13	P77	P13	—	P13	—	P13	—
	RxD2	P14	P76	P14	P76	P14	P76	P14	P76	P14	—	P14	—	P14	—
	SCL20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—
	SDA20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—
	SI20	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—	P14	—
	SO20	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—	P13	—
	SCK20	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—	P15	—
	TxD0	P51	P17	P51	P17	P51	P17	P51	P17	P51	P17	P51	P17	P51	P17
	RxD0	P50	P16	P50	P16	P50	P16	P50	P16	P50	P16	P50	P16	P50	P16
	SCL00	P30	—	P30	—	P30	—	P30	—	P30	—	P30	—	P30	—
	SDA00	P50	—	P50	—	P50	—	P50	—	P50	—	P50	—	P50	—
	SI00	P50	P16	P50	P16	P50	P16	P50	—	P50	—	P50	—	P50	—
	SO00	P51	P17	P51	P17	P51	P17	P51	—	P51	—	P51	—	P51	—
	SCK00	P30	P55	P30	P55	P30	P55	P30	—	P30	—	P30	—	P30	—
PIOR00	INTP1	使用できません。 0 (初期値)を設定してください。		P50	P52	P50	P52	使用できません。0 (初期値)を設定してください。							
	INTP2			P51	P53	P51	P53								
	INTP3			P30	P54	P30	P54								
	INTP4			P31	P55	P31	P55								
	INTP8			P74	P42	P74	P42								
	INTP9			P75	P43	P75	P43								

注 コード・フラッシュ・メモリが256 KB以下の製品では使用できません。0 (初期値)を設定してください。

コード・フラッシュ・メモリが384 KB以上の製品では、TxD0_1をP12に、RxD0_1をP11に切り替えることができます。このときPIOR01ビットで設定したTxD0、RxD0は無効となり、TxD0_1、RxD0_1が有効となります。

注意1. PIOR0レジスタのビット1 (PIOR01)を1に設定した場合は、TxD2とRxD2はリダイレクトされますが、SCL20、SDA20、SI20、SO20、SCK20はリダイレクトされないため、IIC20とCSI20は使用できません。ただし、1に設定してもUART2を使用しない場合は、CSI21/IIC21は使用可能です。

注意2. PIOR0レジスタのビット1 (PIOR01)を1に設定した場合は、SO00、SI00は52ピン以下の製品でもリダイレクトされますが、SCK00はリダイレクトされないため、CSI00は使用できません。

4.3.9 周辺I/Oリダイレクション・レジスタ1 (PIOR1)

周辺I/Oリダイレクト機能の許可／禁止を設定するレジスタです。

周辺I/Oリダイレクト機能は、兼用機能を割り当てるポートを切り替える機能です。

なお、リダイレクトの設定を変更できるのは、その機能を動作許可にするまでです。

PIOR1レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4-9 周辺I/Oリダイレクション・レジスタ1 (PIOR1)

アドレス : F0079H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIOR1	0	0	0	0	PIOR13	PIOR12	PIOR11	PIOR10

PIOR13	PIOR12	タイマRJ TRJO0端子選択
0	0	P30/INTP3/RTC1HZ/SCK00/SCL00と兼用
0	1	P50/SI00/RxD0/TOOLRx/D/SDA00/TRGIOAと兼用
1	0	P00/TI00/TRGCLKAと兼用
1	1	設定禁止

PIOR11	PIOR10	タイマRJ TRJIO0端子選択
0	0	P01/TO00/TRGCLKBと兼用
0	1	P31/TI03/TO03/INTP4と兼用
1	0	P41と兼用(100ピン, 80ピン, 64ピン, 52ピン, 48ピン, 44ピン製品のみ)
1	1	P06と兼用(100ピン, 80ピン, 64ピン製品のみ)

4.3.10 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

EV_{DD} の電源をオフする時に、EV_{DD} を電源とする入力ポートの入力バッファの貫通電流を防止するレジスタです。

EV_{DD} を電源とする入出力ポートを全て使用しない場合、GDIDIS レジスタをセット(1)してEV_{DD} の電源をオフすることにより、低消費電力にすることができます。

GDIDIS0 ビットを1に設定することにより、EV_{DD} を電源とするすべての入力バッファを入力禁止とし、EV_{DD} の電源をオフした時の貫通電流を防止します。

GDIDIS レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 GDIDIS レジスタは、64, 80, 100ピン製品に搭載しています。

図4 - 10 グローバル・デジタル・インプット・ディスエーブル・レジスタ (GDIDIS)

アドレス : F007DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
GDIDIS	0	0	0	0	0	0	0	GDIDIS0

GDIDIS0	EV _{DD} 電源の入力バッファ設定
0	入力バッファの入力許可(デフォルト)
1	入力バッファの入力禁止。入力バッファへの貫通電流防止。

EV_{DD} の電源をオフする場合は、次の手順で設定してください。

- ① 入力バッファの入力禁止 (GDIDIS0 = 1) に設定
- ② EV_{DD} の電源オフ

EV_{DD} の電源を再投入する場合は、次の手順で設定してください。

- ① EV_{DD} の電源オン
- ② 入力バッファの入力許可 (GDIDIS0 = 0) に設定

注意1. EV_{DD} を電源とする入力ポートに、EV_{DD} 以上の入力電圧を入力しないでください。

注意2. 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合、EV_{DD} を電源とするポートのポート・レジスタ (Pxx) の読み出し値は“1”となります。また、ポート出力モード・レジスタ (POMxx) に“1” (N-ch オープン・ドレイン出力 (EV_{DD} 耐圧)) 設定時は、ポート・レジスタ (Pxx) の読み出し値は“0”となります。

備考1. GDIDIS レジスタは、64, 80, 100ピン製品に搭載しています。

備考2. 入力バッファの入力禁止 (GDIDIS0 = 1) を設定した場合でも、EV_{DD} を電源とするポート機能を使用しない周辺機能は使用できます。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。このため、入力と出力が混在するポートでのバイト書き込みができます。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 $EV_{DD} \leq V_{DD}$ による異電位(1.8 V系, 2.5 V系, 3 V系)対応

異電位(1.8 V系, 2.5 V系, 3 V系)で動作している外部デバイスとの接続時には、 EV_{DD} を接続先の電源に合わせることで汎用ポートでの入出力接続が可能です。

4.4.5 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応

ポート入力モード・レジスタ(PIMxx)、ポート出力モード・レジスタ(POMxx)で入出力バッファを切り換えることにより、異電位(1.8 V系, 2.5 V系, 3 V系)で動作している外部デバイスとの接続が可能になります。

異電位(1.8 V系, 2.5 V系, 3 V系)の外部デバイスからの入力を受ける場合、ポート入力モード・レジスタ0, 1, 3-5, 8, 14 (PIM0, PIM1, PIM3-PIM5, PIM8, PIM14)をビットごとに設定して、通常入力(CMOS)/TTL入力バッファを切り換えます。

異電位(1.8 V系, 2.5 V系, 3 V系)の外部デバイスへ出力する場合、ポート出力モード・レジスタ0, 1, 3-5, 7, 8, 14 (POM0, POM1, POM3-POM5, POM7, POM8, POM14)をビットごとに設定して、通常出力(CMOS)/N-chオープン・ドレイン(V_{DD} 耐圧^{注1}/ EV_{DD} 耐圧^{注2})を切り換えます。

以下、シリアル・インタフェースでの接続について説明します。

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

- (1) UART0-UART3, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の入力ポートをTTL入力バッファで使用する場合の設定手順

UART0の場合 :	P50 (P16)
UART1の場合 :	P03
UART2の場合 :	P14 (P76)
UART3の場合 :	P143
CSI00の場合 :	P30, P50 (P55, P16)
CSI01の場合 :	P43, P44
CSI10の場合 :	P03, P04 (P80, P81)
CSI20の場合 :	P14, P15
CSI30の場合 :	P142, P143
CSI31の場合 :	P53, P54

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②PIM0, PIM1, PIM3-PIM5, PIM8, PIM14レジスタの該当ビットを1に設定し、TTL入力バッファに切り換えます。なお、 V_{IH} , V_{IL} は、TTL入力バッファ選択時のDC特性を参照してください。
- ③シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI^注)モードに設定します。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

- (2) UART0-UART3, CSI00, CSI01, CSI10, CSI20, CSI30, CSI31機能の出力ポートをN-chオープン・ドレイン出力モードで使用する場合は設定手順

UART0の場合 : P51 (P17)
UART1の場合 : P02
UART2の場合 : P13 (P77)
UART3の場合 : P144
CSI00の場合 : P30, P51 (P55, P17)
CSI01の場合 : P43, P45
CSI10の場合 : P02, P04 (P82, P80)
CSI20の場合 : P13, P15
CSI30の場合 : P142, P144
CSI31の場合 : P52, P54

備考 ()内の端子は、周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により、割り当て可能です。

- ①使用する入力端子は、外部抵抗を介して対象デバイスの電源にプルアップします(内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後、ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出力ラッチに1を設定します。
- ④POM0, POM1, POM3-POM5, POM7, POM8, POM14レジスタの該当ビットを1に設定し、N-chオープン・ドレイン出力(V_{DD}耐圧^{注1}／EV_{DD}耐圧^{注2})モードに設定します。
- ⑤シリアル・アレイ・ユニットを動作許可し、UART/簡易SPI (CSI)モードに設定します。
- ⑥PM0, PM1, PM3-PM5, PM7, PM8, PM14レジスタを操作して出力モードに設定します。この時点では、出力データはハイ・レベルであるため、端子はHi-Z状態となっています。

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

- (3) IIC00, IIC01, IIC10, IIC20, IIC30, IIC31機能の入出力ポートを, 異電位(1.8 V系, 2.5 V系, 3 V系)で使用する
場合の設定手順

簡易IIC00の場合 : P30, P50

簡易IIC01の場合 : P43, P44

簡易IIC10の場合 : P03, P04 (P81, P80)

簡易IIC11の場合 : P10, P11

簡易IIC20の場合 : P14, P15

簡易IIC30の場合 : P142, P143

簡易IIC31の場合 : P53, P54

備考 ()内の端子は, 周辺I/Oリダイレクション・レジスタ0 (PIOR0)の設定により, 割り当て可能です。

- ①使用する入力端子は, 外部抵抗を介して対象デバイスの電源にプルアップします (内蔵プルアップ抵抗は使用不可)。
- ②リセット解除後, ポート・モードは入力モード(Hi-Z)になっています。
- ③該当するポートの出カラッチに1を設定します。
- ④POM0, POM1, POM3-POM5, POM8, POM14レジスタの該当ビットを1に設定し, N-chオープン・ドレイン出力(V_{DD} 耐圧^{注1} / EV_{DD} 耐圧^{注2})モードに設定します。
- ⑤PIM0, PIM1, PIM3-PIM5, PIM8, PIM14レジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。なお, V_{IH} , V_{IL} は, TTL入力バッファ選択時のDC特性を参照してください。
- ⑥シリアル・アレイ・ユニットを動作許可し, 簡易I²Cモードに設定します。
- ⑦PM0, PM1, PM3-PM5, PM8, PM14レジスタの該当ビットを出力モードに設定します(出力モードのままデータ入出力可能)。この時点では, 出力データはハイ・レベルであるため, 端子はHi-Z状態となっています。

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

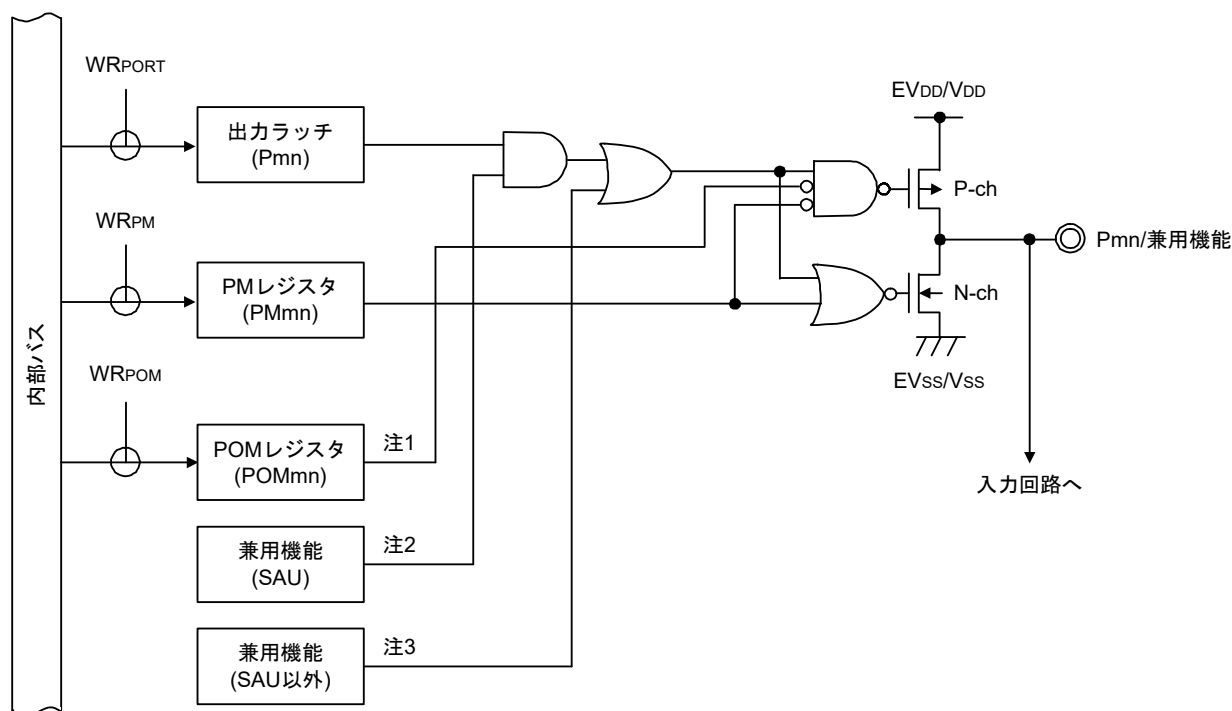
4.5 兼用機能使用時のレジスタの設定

4.5.1 兼用機能使用時の基本的な考え方

最初に、アナログ機能と兼用している端子については、アナログ機能で使用するかデジタル入出力で使用するかをADPCレジスタまたはポート・モード・コントロール・レジスタ (PMCxx) で設定してください。

デジタル入出力で使用する端子の出力回路の基本的な構成を図4 - 11に示します。ポートの出力ラッチの出力と兼用しているSAU機能の出力はANDゲートに入力されます。ANDゲートの出力はORゲートに入力されます。ORゲートのほかの入力には、兼用しているSAU以外の機能(タイマ, RTC, クロック/ブザー出力, IICA等)の出力が接続されています。このような端子をポート機能または兼用機能として使用する場合には、使用しない兼用機能が使用したい機能の出力を邪魔しないようになっている必要があります。このときの基本的な設定の考え方を表4 - 14に示します。

図4 - 11 端子の出力回路の基本的な構成



- 注1. POMレジスタがない場合には、この信号はLow (0)とを考えてください。
- 注2. 兼用機能がない場合には、この信号はHigh (1)とと考えてください。
- 注3. 兼用機能がない場合には、この信号はLow (0)とと考えてください。

表4 - 14 基本的な設定の考え方

使用する端子の出力機能	使用しない兼用機能の出力設定		
	ポート機能	SAUの出力機能	SAU以外の出力機能
ポート出力機能	—	出力はHigh (1)	出力はLow (0)
SAUの出力機能	High (1)	—	出力はLow (0)
SAU以外の出力機能	Low (0)	出力はHigh (1)	出力はLow (0) ^注

注 1つの端子にSAU以外の出力機能が複数兼用になっていることがあるので、使用しない兼用機能の出力はLow (0)にしておく必要があります。具体的な設定方法については、4.5.2 出力機能を使用しない兼用機能のレジスタ設定を参照してください。

4.5.2 出力機能を使用しない兼用機能のレジスタ設定

端子の兼用機能の出力を使用しない場合には、次に示す設定を行ってください。なお、周辺I/Oリダイレクト機能の対象になっている場合には、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)を設定することで、出力を他の端子に切り替えることもできます。これにより、対象の端子に割り当てられたポート機能や他の兼用機能を使用することが可能となります。

- (1) $SOp = 1/TxDq = 1$ (SAUのシリアル出力(SOp/TxDq)を使用しない場合の設定)

SAUをシリアル入力のみで使用するなど、シリアル出力(SOp/TxDq)を使用しない場合は、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOM)のSOMnビットを1 (High)に設定してください。これは初期状態と同じ設定です。

- (2) $SCKp = 1/SDAr = 1/SCLr = 1$ (SAUのチャネルnを使用しない場合の設定)

SAUを使用しない場合は、シリアル・チャネル許可ステータス・レジスタm (SEm)のビットn (SEmn)を0 (動作停止状態)に設定し、使用しない出力に対応したシリアル出力許可レジスタm (SOEm)のビットを0 (出力禁止)に設定し、シリアル出力レジスタm (SOM)のSOMnビットとCKOMnビットを1 (High)に設定してください。これは初期状態と同じ設定です。

- (3) $TOmn = 0$ (TAUのチャネルnの出力を使用しない場合の設定)

TAUのTOmn出力を使用しない場合は、使用しない出力に対応したタイマ出力許可レジスタ0 (TOE0)のビットを0 (出力禁止)、タイマ出力レジスタ0 (TO0)のビットを0 (Low)に設定してください。これは初期状態と同じ設定です。

- (4) $SDAAn = 0/SCLAn = 0$ (IICAを使用しない場合の設定)

IICAを使用しない場合は、IICAコントロール・レジスタn0 (IICCTLn0)のIICEnビットを0 (動作停止)にしてください。これは初期状態と同じ設定です。

- (5) PCLBUZn = 0 (クロック出力/ブザー出力を使用しない場合の設定)

クロック出力/ブザー出力を使用しない場合は、クロック出力選択レジスタ n (CKSn)のPCLOEn ビットを0 (出力禁止)にしてください。これは初期状態と同じ設定です。

- (6) TRJIO0 = 0/TRJO0 = 0 (タイマRJ出力を使用しない場合の設定)

タイマRJのパルス出力機能をTRJO0端子で使用しない場合は、タイマRJ I/O制御レジスタ (TRJIOC0)のビット2 (TOENA)を0 (TRJO出力禁止)にしてください。これは初期値と同じ設定です。

タイマRJのTRJIO0端子を出力機能として使用しない場合は、タイマRJモードレジスタ0 (TRJMR0)のビット2~0 (TMOD2~0)を001b (パルス出力モード)以外に設定してください。初期値は000bのタイマモードになっています。

- (7) TRDIOAn = 0/TRDIOBn = 0/TRDIOCn = 0/TRDIODn = 0 (タイマRD出力を使用しない場合の設定)

タイマRDの出力機能を使用しない場合は、タイマRD出力マスタ許可レジスタ1 (TRDOER1)でタイマRD出力機能を使用しない端子を「出力禁止」に設定してください。これは初期値と同じ設定です。

- (8) TRGIOA = 0/TRGIOB = 0 (タイマRG出力を使用しない場合の設定)

タイマRGの出力機能を使用しない場合は、タイマRG I/O制御レジスタ (TRGIOR)でタイマRG出力機能を使用しない端子を「コンペアー一致による端子出力禁止」に設定してください。これは初期値と同じ設定です。

4.5.3 使用するポート機能および兼用機能のレジスタ設定例

使用するポート機能および兼用機能のレジスタ設定例を表4 - 15～表4 - 20に示します。ポート機能を制御するレジスタを表4 - 15～表4 - 20のように設定してください。なお、表4 - 15～表4 - 20の表記については次の備考を参照してください。

備考 — : 対象外

× : Don't care

PIORx : 周辺I/Oリダイレクション・レジスタ

POMxx : ポート出力モード・レジスタ

PMCxx : ポート・モード・コントロール・レジスタ

PMxx : ポート・モード・レジスタ

Pxx : ポートの出力ラッチ

() 内の機能は、周辺I/Oリダイレクション・レジスタ0, 1 (PIOR0, 1)の設定により、割り当て可能です。

表4 - 15 P00-P17端子機能使用時のレジスタの設定例 (1/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		P00	P01	P02	P03	P04	P05	P06
	機能名称	入出力						SAUの 出力機能	SAU以外							
P00	P00	入力	—	×	0注1	1	×	×	—	○	○	○	○	○	○	○
		出力	×	0	0注1	0	0/1	TxD1 = 1注2	(TRJ00) = 0注3	○	○	○	○	○	○	○
		Nch-OD出力		1	0注1	0	0/1									
	ANI17	アナログ入力	—	×	1	1	×	×	—	○	○	×	×	×	×	×
	TI00	入力	—	×	0注1	1	×	×	—	○	○	○	○	○	○	○
	TxD1	出力	×	0/1	0注1	0	1	—	(TRJ00) = 0注3	○	○	○	○	○	×	×
	TRGCLKA	入力	—	×	0注1	1	×	×	—	○	○	○	○	○	○	○
	(TRJ00)	出力	PIOR13, PIOR12 = 10B	0	0注1	0	0	TxD1 = 1注2	—	○	○	○	○	○	○	○
P01	P01	入力	—	—	0注1	1	×	—	—	○	○	○	○	○	○	○
		出力	×	—	0注1	0	0/1	—	TO00 = 0, TRJIO = 0注4	○	○	○	○	○	○	○
	ANI16	アナログ入力	—	—	1	1	×	—	—	○	○	×	×	×	×	×
	TO00	出力	×	—	0注1	0	0	—	TRJIO = 0注4	○	○	○	○	○	○	○
	RxD1	入力	—	—	0注1	1	×	—	—	○	○	○	○	○	×	×
	TRGCLKB	入力	—	—	0注1	1	×	—	—	○	○	○	○	○	○	○
	TRJIO0	入力	PIOR13, PIOR12 = 00B	—	0注1	1	×	—	—	○	○	○	○	○	○	○
		出力	—	—	0注1	0	0	—	TO00 = 0	○	○	○	○	○	○	○
P02	P02	入力	—	×	0	1	×	×	—	×	×	×	×	×	○	○
		出力	×	0	0	0	0/1	TxD1/SO10 = 1	—							
		Nch-OD出力		1	0	0	0/1	注5								
	ANI17	アナログ入力	—	×	1	1	×	×	—	×	×	×	×	×	○	○
	TxD1	出力	PIOR05 = 0注6	0/1	0	0	1	—	—	×	×	×	×	×	○	○
	SO10	出力	PIOR05 = 0注6	0/1	0	0	1	—	—	×	×	×	×	×	○	○
P03	P03	入力	—	×	0	1	×	×	—	×	×	×	×	×	○	○
		出力	×	0	0	0	0/1	SDA10 = 1注5	—							
		Nch-OD出力		1	0	0	0/1									
	ANI16	アナログ入力	—	×	1	1	×	×	—	×	×	×	×	×	○	○
	SI10	入力	PIOR05 = 0注6	×	0	1	×	×	—	×	×	×	×	×	○	○
	RxD1	入力	PIOR05 = 0注6	×	0	1	×	×	—	×	×	×	×	×	○	○
	SDA10	入出力	PIOR05 = 0注6	1	0	0	1	—	—	×	×	×	×	×	○	○
P04	P04	入力	—	×	—	1	×	—	—	×	×	×	×	×	×	○
		出力	×	0	—	0	0/1	SCK10/SCL10	—							
		Nch-OD出力		1	—	0	0/1	= 1注5								
	SCK10	入力	PIOR05 = 0注6	×	—	1	×	—	—	×	×	×	×	×	×	○
		出力		0/1	—	0	1	—	—	×	×	×	×	×	×	○
P05	P05	入力	—	—	—	1	×	—	—	×	×	×	×	×	×	○
		出力	—	—	—	0	0/1	—	—							
	(INTP10)	入力	PIOR01 = 1	—	—	1	×	—	—	×	×	×	×	×	○	×
P06	P06	入力	—	—	—	1	×	—	—	×	×	×	×	×	×	○
		出力	×	—	—	0	0/1	—	(TRJIO) = 0注7							
	(TRJIO0)	入力	PIOR13, PIOR12 = 11B	—	—	1	×	—	—	×	×	×	×	×	×	○
		出力		—	—	0	0	—	—	×	×	×	×	×	×	○
	(INTP11)	入力	PIOR01 = 1	—	—	1	×	—	—	×	×	×	×	×	○	×

表4 - 15 P00-P17 端子機能使用時のレジスタの設定例 (2/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		80	82	36	40	44	48	52	64	80	100
	機能名称	入出力						SAUの 出力機能	SAU 以外										
P10	P10	入力	—	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0/1	SCK11/SCL11 = 1	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
		Nch-OD出力	—	1	—	0	0/1												
	SCK11	入力	—	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0/1	—	0	1	—	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
	SCL11	出力	—	0/1	—	0	1	—	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
	TRDIOD1	入力	—	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0	SCK11/SCL11 = 1	—	○	○	○	○	○	○	○	○	○	○
P11	P11	入力	—	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0/1	SDA11 = 1	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
		Nch-OD出力	—	1	—	0	0/1												
	SI11	入力	—	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
	SDA11	入出力	—	×	—	0	1	—	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
	TRDIOD1	入力	—	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0	SDA11 = 1	—	○	○	○	○	○	○	○	○	○	○
	(RxD0_1) 注13	入力	PIOR06 = 1	—	—	1	×	—	—	—	—	—	—	○	○	○	○	○	○
P12	P12	入力	—	—	0	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	SO11 = 0	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
	SO11	出力	—	—	0	0	1	—	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
	TRDIOD1	入力	—	—	0	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0	SO11 = 0	—	○	○	○	○	○	○	○	○	○	○
	IVREF1注8	入力	—	—	1	1	×	—	—	○	○	○	○	○	○	○	○	○	○
	(INTP5)	入力	PIOR04 = 1	—	0	1	×	—	—	×	×	×	×	×	×	×	○	○	○
	(TxD0_1) 注13	出力	PIOR06 = 1	0/1	0	0	1	—	TRDIOD1 = 0	—	—	—	—	○	○	○	○	○	○
P13	P13	入力	—	×	0	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	×	0	0	0	0/1	TxD2/SO20 = 1 注10	—	○	○	○	○	○	○	○	○	○	○
		Nch-OD出力	—	1	0	0	0/1												
	TxD2	出力	PIOR01 = 0	0/1	0	0	1	—	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
	SO20	出力	PIOR01 = 0	0/1	0	0	1	—	TRDIOD1 = 0	○	○	○	○	○	○	○	○	○	○
	TRDIOD1	入力	—	×	0	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	×	0	0	0	0	TxD2/SO20 = 1 注10	—	○	○	○	○	○	○	○	○	○	○
	IVCMP1注8	入力	—	×	1	1	×	—	—	○	○	○	○	○	○	○	○	○	○
P14	P14	入力	—	×	0	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	×	0	0	0	0/1	SDA20 = 1注10	TRDIOD0 = 0, (SCLA0) = 0注11	○	○	○	○	○	○	○	○	○	○
		Nch-OD出力	—	1	0	0	0/1												
	RxD2	入力	PIOR01 = 0	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
	SI20	入力	PIOR01 = 0	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
	SDA20	入出力	PIOR01 = 0	1	—	0	1	—	TRDIOD0 = 0, (SCLA0) = 0注11	○	○	○	○	○	○	○	○	○	○
	TRDIOD0	入力	—	×	—	1	×	—	—	○	○	○	○	○	○	○	○	○	○
		出力	×	1	—	0	0	SDA20 = 1注10	(SCLA0) = 0注11	○	○	○	○	○	○	○	○	○	○
	(SCLA0)	入出力	PIOR02 = 1	1	—	0	0	SDA20 = 1注10	TRDIOD0 = 0	○	○	○	○	○	○	○	○	○	○

表4 - 15 P00-P17 端子機能使用時のレジスタの設定例 (3/3)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30 注1	32 注1	36 注1	40 注1	44 注1	48 注1	52 注1	64 注1	80 注1	100 注1
	機能名称	入出力						SAU の 出力機能	SAU 以外										
P15	P15	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	x	0	—	0	0/1	SCK20/SCL20 = 1 注10	TRDIOB0 = 0, (SDAA0) = 0 注11, PCLBUZ1 = 0 注9	○	○	○	○	○	○	○	○	○	○
		Nch-OD 出力		1	—	0	0/1			○	○	○	○	○	○	○	○	○	○
	SCK20	入力	PIOR01 = 0	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力		0/1	—	0	1	—	—	TRDIOB0 = 0, (SDAA0) = 0 注11, PCLBUZ1 = 0 注9	○	○	○	○	○	○	○	○	○
	SCL20	出力	PIOR01 = 0	0/1	—	0	1	—	—	○	○	○	○	○	○	○	○	○	○
	TRDIOB0	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	x	0	—	0	0	SCK20/SCL20 = 1	—	○	○	○	○	○	○	○	○	○	○
	(SDAA0)	入出力	PIOR02 = 1	1	—	0	0	SCK20/SCL20 = 1	TRDIOB0 = 0, PCLBUZ1 = 0 注9	○	○	○	○	○	○	○	○	○	○
	PCLBUZ1	出力	—	0	—	0	0	SCK20/SCL20 = 1	TRDIOB0 = 0, (SDAA0) = 0 注11	○	○	○	○	○	○	○	x	x	x
P16	P16	入力	—	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	—	TO01 = 0, TRDIOC0 = 0										
	TI01	入力	—	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	TO01	出力	—	—	0	0	0	—	TRDIOC0 = 0	○	○	○	○	○	○	○	○	○	○
	INTP5	入力	PIOR04 = 0	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	TRDIOC0	入力	—	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0	—	TO01 = 0	○	○	○	○	○	○	○	○	○	○
	IVREF0 注8	入力	—	—	1	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	(SI00)	入力	PIOR01 = 1	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
(RxD0)	入力	PIOR01 = 1, PIOR06 = 0	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○	
P17	P17	入力	—	x	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	x	0	0	0	0/1	(TxD0)/(SO00) = 1 注12	TO02 = 0, TRDIOA0 = 0	○	○	○	○	○	○	○	○	○	○
		Nch-OD 出力		1	0	0	0/1			○	○	○	○	○	○	○	○	○	○
	TI02	入力	—	0	0	1	x	—	—	○	○	○	○	○	○	○	○	○	
	TO02	出力	x	0	0	0	0	(TxD0)/(SO00) = 1 注12	TRDIOA0 = 0	○	○	○	○	○	○	○	○	○	○
	TRDIOA0	入力	—	x	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	x	0	0	0	0	(TxD0)/(SO00) = 1 注12	TO02 = 0	○	○	○	○	○	○	○	○	○	○
	TRDCLK	入力	—	0	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	IVCMP0 注8	入力	—	0	1	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	(SO00)	出力	PIOR01 = 1	0/1	0	0	1	—	TO02 = 0, TRDIOA0 = 0	○	○	○	○	○	○	○	○	○	○
(TxD0)	出力	PIOR01 = 1, PIOR06 = 0	0/1	0	0	1	—	TO02 = 0, TRDIOA0 = 0	○	○	○	○	○	○	○	○	○	○	

- 注1. 30, 32ピン製品のみ。
- 注2. 30～48ピン製品のみ。
- 注3. PIOR13, PIOR12 ≠ 10Bの場合は, Don't care。
- 注4. PIOR13, PIOR12 ≠ 00Bの場合は, Don't care。
- 注5. PIOR05 = 1の場合は, Don't care。
- 注6. 100ピン製品のみ。
- 注7. PIOR13, PIOR12 ≠ 11bの場合は, Don't care。
- 注8. コード・フラッシュ・メモリが96 KB以上の製品のみ。
- 注9. 30～52ピン製品のみ。
- 注10. PIOR01 = 1の場合は, Don't care。
- 注11. PIOR02 = 0の場合は, Don't care。
- 注12. PIOR01 = 0の場合は, Don't care。
- 注13. コード・フラッシュ・メモリが384KB以上の製品のみ。

表4 - 16 P20-P27端子機能使用時のレジスタの設定例

端子名称	使用機能		ADPC	ADM2	PMxx	Pxx	30ピン	32ピン	36ピン	40ピン	44ピン	48ピン	52ピン	64ピン	80ピン	100ピン
	機能名称	入出力														
P20	P20	入力	ADPC = 01H	×	1	×	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H	×	0	0/1										
	ANI0	アナログ入力	ADPC = 00H/02H ~ 0FH	00x0xx0x, 10x0xx0x	1	×										
	AVREFP	基準電圧入力	ADPC = 00H/02H ~ 0FH	01x0xx0x	1	×										
P21	P21	入力	ADPC = 01H/02H	×	1	×	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H/02H	×	0	0/1										
	ANI1	アナログ入力	ADPC = 00H/03H ~ 0FH	xx00xx0x	1	×										
	AVREFM	基準電圧入力	ADPC = 00H/03H ~ 0FH	xx10xx0x	1	×										
P22	P22	入力	ADPC = 01H ~ 03H	×	1	×	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H ~ 03H	×	0	0/1										
	ANI2	アナログ入力	ADPC = 00H/04H ~ 0FH	×	1	×										
	ANO0注	アナログ出力	ADPC = 00H/04H ~ 0FH	×	1	×	○	○	○	○	○	○	○	○	○	○
P23	P23	入力	ADPC = 01H ~ 04H	×	1	×	○	○	○	○	○	○	○	○	○	○
		出力	ADPC = 01H ~ 04H	×	0	0/1										
	ANI3	アナログ入力	ADPC = 00H/05H ~ 0FH	×	1	×										
	ANO1注	アナログ出力	ADPC = 00H/05H ~ 0FH	×	1	×	×	○	○	○	○	○	○	○	○	○
P24	P24	入力	ADPC = 01H ~ 05H	×	1	×	×	×	○	○	○	○	○	○	○	○
		出力	ADPC = 01H ~ 05H	×	0	0/1										
	ANI4	アナログ入力	ADPC = 00H/06H ~ 0FH	×	1	×										
P25	P25	入力	ADPC = 01H ~ 06H	×	1	×	×	×	○	○	○	○	○	○	○	○
		出力	ADPC = 01H ~ 06H	×	0	0/1										
	ANI5	アナログ入力	ADPC = 00H/07H ~ 0FH	×	1	×										
P26	P26	入力	ADPC = 01H ~ 07H	×	1	×	×	×	×	○	○	○	○	○	○	○
		出力	ADPC = 01H ~ 07H	×	0	0/1										
	ANI6	アナログ入力	ADPC = 00H/08H ~ 0FH	×	1	×										
P27	P27	入力	ADPC = 01H ~ 08H	×	1	×	×	×	×	×	○	○	○	○	○	○
		出力	ADPC = 01H ~ 08H	×	0	0/1										
	ANI7	アナログ入力	ADPC = 00H/09H ~ 0FH	×	1	×										

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

表4 - 17 P30-P120端子機能使用時のレジスタの設定例 (1/6)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30 _△	32 _△	36 _△	40 _△	44 _△	48 _△	52 _△	64 _△	80 _△	100 _△
	機能名称	入出力						SAUの 出力機能	SAU以外										
P30	P30	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	x	0	—	0	0/1	SCK00/SCL00 = 1注1	RTC1HZ = 0, TRJ00 = 0注2										
		Nch-OD出力		1	—	0	0/1												
	INTP3	入力	PIOR00 = 0注13, PIOR05 = 0注14	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	RTC1HZ	出力	x	0	—	0	0	SCK00/SCL00 = 1注1	—	x	x	x	○	○	○	○	○	○	○
	SCK00	入力	PIOR01 = 0	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力		0/1	—	0	1	—	RTC1HZ = 0, TRJ00 = 0注2	○	○	○	○	○	○	○	○	○	
	SCL00	出力	PIOR01 = 0	0/1	—	0	1	—	RTC1HZ = 0, TRJ00 = 0注2	○	○	○	○	○	○	○	○	○	○
	TRJ00	出力	PIOR13, PIOR12 = 00B	0	—			SCK00/SCL00 = 1注1	RTC1HZ = 0	○	○	○	○	○	○	○	○	○	○
P31	P31	入力	—	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	x	—	—	0	0/1	—	TO03 = 0, PCLBUZ0 = 0注3, (PCLBUZ0) = 0注4、5, (TRJIO0) = 0注6	○	○	○	○	○	○	○	○	○	
	TI03	入力	—	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	
	TO03	出力	x	—	—	0	0	—	PCLBUZ0 = 0注3, (PCLBUZ0) = 0注4、5, (TRJIO0) = 0注6	○	○	○	○	○	○	○	○	○	
	INTP4	入力	PIOR00 = 0注13, PIOR05 = 0注14	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	
	(TRJIO0)	入力	PIOR11, PIOR10 = 01B	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	
		出力	—	—	0	0	—	TO03 = 0, PCLBUZ0 = 0注3, (PCLBUZ0) = 0注4、5	○	○	○	○	○	○	○	○	○		
	PCLBUZ0	出力	—	—	—	0	0	—	TO03 = 0, (TRJIO0) = 0注6	○	○	○	○	x	x	x	x	x	
	(PCLBUZ0)	出力	PIOR03 = 1	—	—	0	0	—	TO03 = 0, (TRJIO0) = 0注6	x	x	x	x	○	○	○	○	○	
	SSI00	入力	—	—	—	1	x	—	—	○	x	x	x	x	x	x	x	x	
P40	P40	入力	—	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	
		出力	x	—	—	0	0/1	—	—										
P41	P41	入力	—	—	—	1	x	—	—	x	x	x	x	○	○	○	○	○	
		出力	x	—	—	0	0/1	—	(TRJIO0) = 0注7										
	(TRJIO0)	入力	PIOR11, PIOR10 = 10B	—	—	1	x	—	—	x	x	x	x	○	○	○	○	○	
		出力	—	—	0	0	—	—	x	x	x	x	○	○	○	○	○		
P42	P42	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	○	○	○	
		出力	x	—	—	0	0/1	—	—										
	(INTP8)	入力	PIOR00 = 1	—	—	1	x	—	—	x	x	x	x	x	x	○	○	x	

表4 - 17 P30-P120 端子機能使用時のレジスタの設定例 (2/6)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30	32	36	40	44	48	52	64	80	100
	機能名称	入出力						SAU の 出力機能	SAU 以外										
P43	P43	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
		出力	—	0	—	0	0/1	SCK01/SCL01 = 1	—	x	x	x	x	x	x	x	x	○	○
		Nch-OD 出力	—	1	—	0	0/1												
	SCK01	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
	SCL01	出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
	(INTP9)	入力	PIOR00 = 1	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	x
P44	P44	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0	—	0	0/1	SDA01 = 1	—	x	x	x	x	x	x	x	x	○	○
		Nch-OD 出力	—	1	—	0	0/1												
	SI01	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
P45	P45	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0	—	0	0/1	SO01 = 1	—	x	x	x	x	x	x	x	x	○	○
		Nch-OD 出力	—	1	—	0	0/1												
	SO01	出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
P46	P46	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	○
		出力	—	—	—	0	0/1	—	—	x	x	x	x	x	x	x	x	○	
	INTP1	入力	PIOR05 = 0	—	—	1	x	—	—										
P47	P47	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	○
		出力	—	—	—	0	0/1	—	—	x	x	x	x	x	x	x	x	○	
	INTP2	入力	—	—	—	1	x	—	—										
P50	P50	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	x	0	—	0	0/1	SDA00 = 1 注1	TRGIOA = 0, (TRJ00) = 0 注9	○	○	○	○	○	○	○	○	○	○
		Nch-OD 出力	—	1	—	0	0/1												
	INTP1	入力	PIOR00 = 0	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	x
	SI00	入力	PIOR01 = 0	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	RxD0	入力	PIOR01 = 0, PIOR06 = 0	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	SDA00	入出力	PIOR01 = 0	1	—	0	1	—	TRGIOA = 0, (TRJ00) = 0 注9	○	○	○	○	○	○	○	○	○	○
	TRGIOA	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0	SDA00 = 1 注1	(TRJ00) = 0 注9	○	○	○	○	○	○	○	○	○	○
	(TRJ00)	出力	PIOR13, PIOR12 = 01B	0	—	0	0	SDA00 = 1 注1	TRGIOA = 0	○	○	○	○	○	○	○	○	○	○
P51	P51	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0/1	TxD0/SO00 = 1 注1	TRGIOB = 0	○	○	○	○	○	○	○	○	○	○
		Nch-OD 出力	—	1	—	0	0/1												
	INTP2	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	x
	SO00	出力	PIOR01 = 0	0/1	—	0	1	—	TRGIOB = 0	○	○	○	○	○	○	○	○	○	○
	TxD0	出力	PIOR01 = 0, PIOR06 = 0	0/1	—	0	1	—	TRGIOB = 0	○	○	○	○	○	○	○	○	○	○
	TRGIOB	入力	—	x	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0	TxD0/SO00 = 1 注1	—	○	○	○	○	○	○	○	○	○	○
P52	P52	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
		出力	—	0	—	0	0/1	SO31 = 1	—	x	x	x	x	x	x	x	○	○	
		Nch-OD 出力	—	1	—	0	0/1												
	SO31	出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
	(INTP1)	入力	PIOR00 = 1	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	x

表4 - 17 P30-P120 端子機能使用時のレジスタの設定例 (3/6)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		80	82	98	40	44	48	52	64	80	100
	機能名称	入出力						SAU の 出力機能	SAU 以外										
P53	P53	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
		出力	x	0	—	0	0/1	SDA31 = 1	—										
		Nch-OD 出力		1	—	0	0/1									x			
	SI31	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
	SDA31	入出力	—	1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
	(INTP2)	入力	PIOR00 = 1	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	x
P54	P54	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
		出力	—	0	—	0	0/1	SCK31/SCL31 = 1	—										
		Nch-OD 出力		1	—	0	0/1									x			
	SCK31	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
	SCL31	出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
P55	P55	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
		出力	—	0	—	0	0/1	(SCK00) = 1 注9	(PULBUZ1) = 0 注10	x	x	x	x	x	x	x	○	○	○
		Nch-OD 出力		1	—	0	0/1			x	x	x	x	x	x	x	○	○	○
	(INTP4)	入力	PIOR00 = 1	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	x
	(PULBUZ1)	出力	PIOR04 = 1	0	—	0	0	(SCK00) = 1 注9	—	x	x	x	x	x	x	x	○	○	○
	(SCK00)	入力	PIOR01 = 1	x	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
		出力		0/1	—	0	1	—	(PULBUZ1) = 0 注10	x	x	x	x	x	x	x	○	○	○
P56	P56	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	
		出力	—	—	—	0	0/1	—	—										
	(INTP1)	入力	PIOR05 = 1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	
P57	P57	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	
		出力	—	—	—	0	0/1	—	—										
	(INTP3)	入力	PIOR05 = 1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	
P60	P60	入力	—	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		Nch-OD 出力 (6 V 耐圧)	x	—	—	0	0/1	—	SCLA0 = 0 注11										
	SCLA0	入出力	PIOR02 = 0	—	—	0	0	—	—	○	○	○	○	○	○	○	○	○	○
P61	P61	入力	—	—	—	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		Nch-OD 出力 (6 V 耐圧)	x	—	—	0	0/1	—	SDAA0 = 0 注11										
	SDAA0	入出力	PIOR02 = 0	—	—	0	0	—	—	○	○	○	○	○	○	○	○	○	○
P62	P62	入力	—	—	—	1	x	—	—	x	○	○	○	○	○	○	○	○	○
		Nch-OD 出力 (6 V 耐圧)	x	—	—	0	0/1	—	—										
	SSI00	入力	—	—	—	1	x	—	—	x	○	○	○	○	○	○	○	○	○
	SCLA1	入出力	—	—	—	0	0	—	—	x	x	x	x	x	x	x	x	○	○
P63	P63	入力	—	—	—	1	x	—	—	x	x	x	x	○	○	○	○	○	○
		Nch-OD 出力 (6 V 耐圧)	—	—	—	0	0/1	—	SDAA1 = 0										
	SDAA1	入出力	—	—	—	0	0	—	—	x	x	x	x	x	x	x	x	○	○
P64	P64	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	0	0/1	—	TO10 = 0										
	TI10	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
	TO10	出力	—	—	—	0	0	—	—	x	x	x	x	x	x	x	x	○	○

表4 - 17 P30-P120端子機能使用時のレジスタの設定例 (4/6)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30 └┐	32 └┐	36 └┐	40 └┐	44 └┐	48 └┐	52 └┐	64 └┐	80 └┐	100 └┐
	機能名称	入出力						SAU の 出力機能	SAU 以外										
P65	P65	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	0	0/1	—	TO11 = 0										
	TI11	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
	TO11	出力	—	—	—	0	0	—	—	x	x	x	x	x	x	x	x	○	○
P66	P66	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	0	0/1	—	—										
	TI12	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
	TO12	出力	—	—	—	0	0	—	TO12 = 0	x	x	x	x	x	x	x	x	○	○
P67	P67	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	0	0/1	—	—										
	TI13	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
	TO13	出力	—	—	—	0	0	—	TO13 = 0	x	x	x	x	x	x	x	x	○	○
P70	P70	入力	—	—	—	1	x	—	—	x	○	○	○	○	○	○	○	○	○
		出力	—	—	—	0	0/1	—	—										
	KR0	入力	—	—	—	1	x	—	—	x	x	x	○	○	○	○	○	○	○
	SCK21	入力	—	—	—	1	x	—	—	x	x	○	○	○	○	○	○	○	○
		出力	—	—	—	0	1	—	—	x	x	○	○	○	○	○	○	○	○
	SCL21	入力	—	—	—	0	1	—	—	x	x	○	○	○	○	○	○	○	○
P71	P71	入力	—	x	—	1	x	—	—	x	x	○	○	○	○	○	○	○	○
		出力	—	0	—	0	0/1	SDA21 = 1	—										
		Nch-OD 出力		1	—	0	0/1												
	KR1	入力	—	x	—	1	x	—	—	x	x	x	○	○	○	○	○	○	○
	SI21	入力	—	x	—	1	x	—	—	x	x	○	○	○	○	○	○	○	○
	SDA21	出力	—	1	—	0	1	—	—	x	x	○	○	○	○	○	○	○	○
P72	P72	入力	—	—	—	1	x	—	—	x	x	○	○	○	○	○	○	○	○
		出力	—	—	—	0	0/1	SO21 = 1	—										
	KR2	入力	—	—	—	1	x	—	—	x	x	x	○	○	○	○	○	○	○
	SO21	出力	—	—	—	0	1	—	—	x	x	○	○	○	○	○	○	○	○
P73	P73	入力	—	—	—	1	x	—	—	x	x	x	○	○	○	○	○	○	○
		出力	—	—	—	0	0/1	—	—										
	KR3	入力	—	—	—	1	x	—	—	x	x	x	○	○	○	○	○	○	○
	SO01	出力	—	—	—	0	1	—	—	x	x	x	x	x	○	○	○	x	x
P74	P74	入力	—	x	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
		出力	—	0	—	0	0/1	SDA01 = 1	—										
		Nch-OD 出力		1	—	0	0/1												
	KR4	入力	—	—	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
	INTP8	入力	PIOR00 = 0 注13, PIOR05 = 0 注14	—	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
	SI01	入力	—	—	—	1	x	—	—	x	x	x	x	x	○	○	○	x	x
SDA01	入出力	—	—	—	0	1	—	—	x	x	x	x	x	○	○	○	x	x	
P75	P75	入力	—	—	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
		出力	—	—	—	0	0/1	SCK01/SCL01 = 1	—										
	KR5	入力	—	—	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
	INTP9	入力	PIOR00 = 0 注13, PIOR05 = 0 注14	—	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
	SCK01	入力	—	—	—	1	x	—	—	x	x	x	x	x	○	○	○	x	x
		出力	—	—	—	0	1	—	—	x	x	x	x	x	○	○	○	x	x
SCL01	出力	—	—	—	0	1	—	—	x	x	x	x	x	○	○	○	x	x	

表4 - 17 P30-P120 端子機能使用時のレジスタの設定例 (6/6)

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30	32	36	40	44	48	52	64	80	100
	機能名称	入出力						SAU の 出力機能	SAU 以外										
P102	P102	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	○
		出力	—	—	—	0	0/1	—	—										
P110	P110	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	0	0/1	—	—										
	(INTP11)	入力	PIOR01 = 1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
P111	P111	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	—	—	0	0/1	—	—										
P120	P120	入力	—	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—										
	ANI19	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	VCOUT0 ^{注15}	アナログ出力	—	—	0	0	0	—	—	○	○	○	○	○	○	○	○	○	○

注1. PIOR01 = 1の場合は、Don't care。

注2. PIOR13, PIOR12 ≠ 00Bの場合は、Don't care。

注3. 30～44ピン製品のみ。

注4. 48～100ピン製品のみ。

注5. PIOR03 = 0の場合は、Don't care。

注6. PIOR11, PIOR10 ≠ 01Bの場合は、Don't care。

注7. PIOR11, PIOR10 ≠ 10Bの場合は、Don't care。

注8. PIOR01 = 0の場合は、Don't care。

注9. PIOR13, PIOR12 ≠ 01Bの場合は、Don't care。

注10. PIOR04 = 0の場合は、Don't care。

注11. PIOR02 = 1の場合は、Don't care。

注12. PIOR05 = 0の場合は、Don't care。

注13. 64, 80ピン製品のみ。

注14. 100ピン製品のみ。

注15. コード・フラッシュ・メモリが96 KB以上の製品のみ。

表4 - 18 P121-P124 端子機能使用時のレジスタの設定例

端子名称	使用機能		CMC (EXCLK, OSCSEL, EXCLKS, OSCSELS)	Pxx	30	32	36	40	44	48	52	64	80	100
	機能名称	入出力												
P121	P121	入力	00xx/10xx/11xx	x	○	○	○	○	○	○	○	○	○	○
	X1	—	01xx	—										
P122	P122	入力	00xx/10xx/11xx	x	○	○	○	○	○	○	○	○	○	○
	X2	—	01xx	—										
	EXCLK	入力	11xx	—										
P123	P123	入力	xx00/xx10/xx11	x	x	x	x	○	○	○	○	○	○	○
	XT1	—	xx01	—										
P124	P124	入力	xx00/xx10/xx11	x	x	x	x	○	○	○	○	○	○	○
	XT2	—	xx01	—										
	EXCLKS	入力	xx11	—										

表4 - 19 P130-P147 端子機能使用時のレジスタの設定例

端子 名称	使用機能		PIORx	POMxx	PMCxx	PMxx	Pxx	兼用機能出力		30	32	38	40	44	48	52	64	80	100
	機能名称	入出力						SAUの 出力機能	SAU以外										
P130	P130	出力	—	—	—	—	0/1	—	—	x	x	x	x	x	○	○	○	○	○
P137	P137	入力	—	—	—	—	x	—	—	○	○	○	○	○	○	○	○	○	○
	INTP0	入力	—	—	—	—	x	—	—	○	○	○	○	○	○	○	○	○	○
P140	P140	入力	—	—	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
		出力	—	—	—	0	0/1	—	PCLBUZ0 = 0	x	x	x	x	x	○	○	○	○	○
	PCLBUZ0	出力	PIOR03 = 0	—	—	0	0	—	—	x	x	x	x	x	○	○	○	○	○
	INTP6	入力	PIOR05 = 0	—	—	1	x	—	—	x	x	x	x	x	○	○	○	○	○
P141	P141	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
		出力	—	—	—	0	0/1	—	PCLBUZ1 = 0	x	x	x	x	x	x	x	○	○	○
	PCLBUZ1	出力	PIOR04 = 0	—	—	0	0	—	—	x	x	x	x	x	x	x	○	○	○
	INTP7	入力	PIOR05 = 0	—	—	1	x	—	—	x	x	x	x	x	x	x	○	○	○
P142	P142	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0	—	0	0/1	SCK30/ SCL30 = 1	—										
		Nch-OD出力	—	1	—	0	0/1												
	SCK30	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
	SCL30	出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
P143	P143	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0	—	0	0/1	SDA30 = 1	—										
		Nch-OD出力	—	1	—	0	0/1												
	SI30	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
	RxD3	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
	SDA30	入出力	—	1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
P144	P144	入力	—	x	—	1	x	—	—	x	x	x	x	x	x	x	x	○	○
		出力	—	0	—	0	0/1	TxD3/ SO30 = 1	—										
		Nch-OD出力	—	1	—	0	0/1												
	SO30	出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
	TxD3	出力	—	0/1	—	0	1	—	—	x	x	x	x	x	x	x	x	○	○
P145	P145	入力	—	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	○
		出力	—	—	—	0	0/1	—	—										
P146	P146	入力	—	—	—	1	x	—	—	x	x	x	x	○	○	○	○	○	○
		出力	—	—	—	0	0/1	—	—										
	(INTP4)	入力	PIOR05 = 1	—	—	1	x	—	—	x	x	x	x	x	x	x	x	x	○
P147	P147	入力	—	—	0	1	x	—	—	○	○	○	○	○	○	○	○	○	○
		出力	—	—	0	0	0/1	—	—	○	○	○	○	○	○	○	○	○	○
	ANI18	アナログ入力	—	—	1	1	x	—	—	○	○	○	○	○	○	○	○	○	○
	VCOUT1注	アナログ出力	—	—	0	0	0	—	—	○	○	○	○	○	○	○	○	○	○

注 コード・フラッシュ・メモリが96KB以上の製品のみ。

表4 - 20 P150-P156 端子機能使用時のレジスタの設定例

端子名称	使用機能		ADPC	PMxx	Pxx	30	32	36	40	44	48	52	56	60	64	68	72	76	80	84	88	92	96	100
	機能名称	入出力																						
P150	P150	入力	ADPC = 01H ~ 09H	1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
		出力	ADPC = 01H ~ 09H	0	0/1																			
	ANI8	アナログ入力	ADPC = 00H/0AH ~ 0FH	1	×																			
P151	P151	入力	ADPC = 01H ~ 0AH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
		出力	ADPC = 01H ~ 0AH	0	0/1																			
	ANI9	アナログ入力	ADPC = 00H/0BH ~ 0FH	1	×																			
P152	P152	入力	ADPC = 01H ~ 0BH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
		出力	ADPC = 01H ~ 0BH	0	0/1																			
	ANI10	アナログ入力	ADPC = 00H/0CH ~ 0FH	1	×																			
P153	P153	入力	ADPC = 01H ~ 0CH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
		出力	ADPC = 01H ~ 0CH	0	0/1																			
	ANI11	アナログ入力	ADPC = 00H/0DH ~ 0FH	1	×																			
P154	P154	入力	ADPC = 01H ~ 0DH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
		出力	ADPC = 01H ~ 0DH	0	0/1																			
	ANI12	アナログ入力	ADPC = 00H/0EH ~ 0FH	1	×																			
P155	P155	入力	ADPC = 01H ~ 0EH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
		出力	ADPC = 01H ~ 0EH	0	0/1																			
	ANI13	アナログ入力	ADPC = 00H/0FH	1	×																			
P156	P156	入力	ADPC = 01H ~ 0FH	1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
		出力	ADPC = 01H ~ 0FH	0	0/1																			
	ANI14	アナログ入力	ADPC = 00H	1	×																			

4.6 ポート機能使用時の注意事項

4.6.1 ポート・レジスタ n (Pn) に対する 1 ビット・メモリ操作命令に関する注意事項

入力／出力が混在しているポートに対して 1 ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート1の出力ラッチの値は、“FFH”になります。

説明：PMnm ビット = 1 であるポートの Pn レジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1 ビット・メモリ操作命令はRL78/G14内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

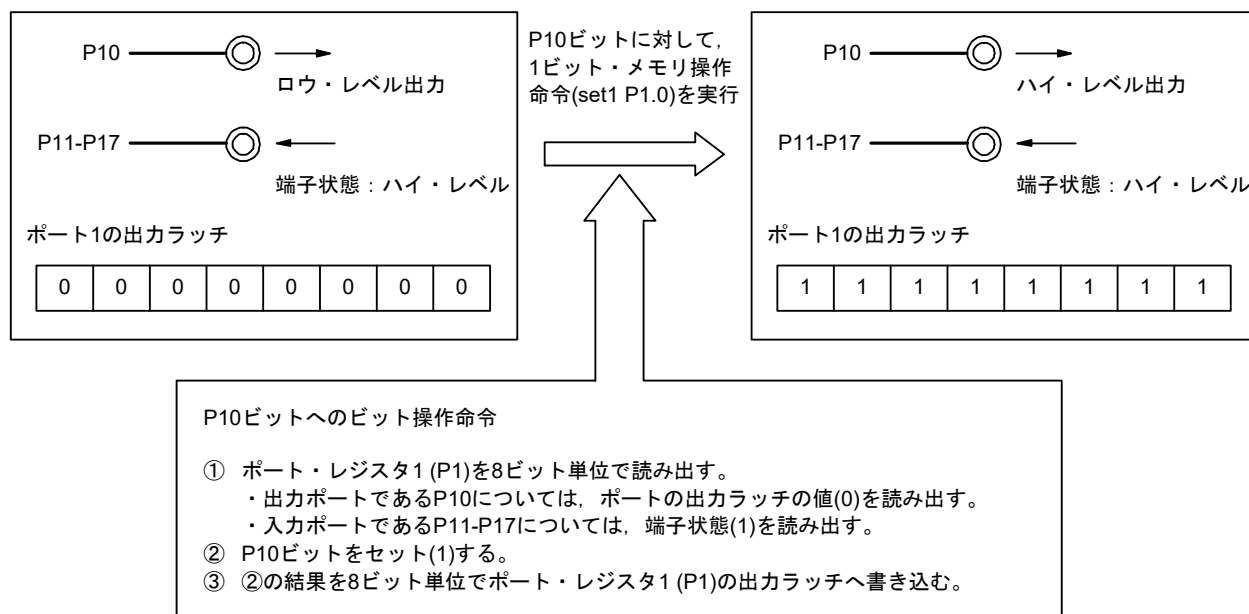
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4 - 12 1ビット・メモリ操作命令(P10の場合)



4.6.2 端子設定に関する注意事項

複数の兼用機能が割り当てられている出力端子については、使用しない兼用機能の出力を初期状態と同じにする必要があります(出力の衝突を回避)。周辺 I/O リダイレクション・レジスタ 0, 1 (PIOR0, 1) の設定により、割り当てられた機能も同様です。兼用出力については、4.5 兼用機能使用時のレジスタの設定を参照してください。

入力として使用する端子では、兼用機能の出力が無効(バッファ出力がHi-Z)となるので、処理不要です。

なお、入力だけや入出力のないブロックを含めて、低消費電力化のために、使用しない機能は停止させることをおすすめします。

第5章 クロック発生回路

メイン・システム・クロック用発振子接続端子／外部クロック入力端子，サブシステム・クロック用発振子接続端子／外部クロック入力端子の有無は，製品によって異なります。

	30, 32, 36 ピン製品	40, 44, 48, 52, 64, 80, 100 ピン製品
X1 端子, X2 端子	○	○
EXCLK 端子	○	○
XT1 端子, XT2 端子	—	○
EXCLKS 端子	—	○

5.1 クロック発生回路の機能

クロック発生回路は，CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロックおよびクロック発振回路には，次の種類があります。

(1) メイン・システム・クロック

① X1 発振回路

X1 端子，X2 端子に発振子を接続することにより， $f_x = 1 \sim 20$ MHzのクロックを発振させることができます。STOP 命令の実行またはMSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7)の設定により，発振を停止することができます。

② 高速オンチップ・オシレータ(高速OCO)

オプションバイト(000C2H)により， $f_{HOCO} = 64$ MHz/48 MHz/32 MHz/24 MHz/16 MHz/12 MHz/8 MHz/6 MHz/4 MHz/3 MHz/2 MHz/1 MHz (TYP.)から周波数を選択し，発振させることができます。 f_{HOCO} に64 MHz/48 MHzを選択した場合， f_{IH} はそれぞれ32 MHz/24 MHzになります。 f_{HOCO} に32 MHz以下を選択した場合， f_{IH} は分周されず， f_{HOCO} と同じ周波数になります。リセット解除後，CPUは必ずこの高速オンチップ・オシレータ・クロックで動作を開始します。STOP 命令の実行またはHIOSTOPビット(CSCレジスタのビット0)の設定により，発振を停止することができます。

オプション・バイトで設定した周波数は，高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で変更できます。周波数は，図5-13 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)のフォーマットを参照してください。

次に，高速オンチップ・オシレータで設定できる発振周波数を示します(オプション・バイトと高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)で選択できるバリエーション)。

電源電圧	発振周波数(MHz)											
	1	2	3	4	6	8	12	16	24	32	48	64
$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	○	○	○	○
$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	○	○	—	—	—	—
$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	○	○	—	—	—	—	—	—
$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	○	○	○	○	—	—	—	—	—	—	—	—

また、EXCLK/X2/P122 端子から外部メイン・システム・クロック ($f_{EX} = 1 \sim 20 \text{ MHz}$) を供給することができます。STOP 命令の実行または MSTOP ビットの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0 ビット (システム・クロック制御レジスタ (CKC) のビット 4) の設定により、高速システム・クロック (X1 クロックまたは外部メイン・システム・クロック) と高速オンチップ・オシレータ・クロックを切り替えられます。

なお、メイン・システム・クロックは、電源電圧 VDD によって使用可能な周波数範囲が異なり、オプション・バイト (000C2H) の CMODE0、CMODE1 によりフラッシュの動作電圧モードの設定 (第 29 章 オプション・バイト参照) が必要です。

(2) サブシステム・クロック

• XT1発振回路

XT1端子、XT2端子に32.768 kHzの発振子を接続することにより、 $f_{XT} = 32.768 \text{ kHz}$ のクロックを発振させることができます。XTSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット6)の設定により、発振を停止することができます。

また、EXCLKS/XT2/P124端子から外部サブシステム・クロック($f_{EXS} = 32.768 \text{ kHz}$)を供給することができます。XTSTOPビットの設定により、外部サブシステム・クロック入力を無効にすることができます。

(3) 低速オンチップ・オシレータ・クロック(低速OCO)

$f_{IL} = 15 \text{ kHz}$ (TYP.)のクロックを発振させることができます。

低速オンチップ・オシレータ・クロックをCPUクロックとして使用することはできません。

低速オンチップ・オシレータ・クロックで動作するのは、次の周辺ハードウェアのみです。

- ウォッチドッグ・タイマ
- リアルタイム・クロック
- 12ビット・インターバル・タイマ
- タイマRJ

オプション・バイト(000C0H)のビット4(WDTON)または、サブシステム・クロック供給モード制御レジスタ(OSMC)のビット4(WUTMMCK0)のどちらか、または両方が1のときに動作します。

ただし、WDTON = 1、WUTMMCK0 = 0かつオプション・バイト(000C0H)のビット0(WDSTBYON)が0の場合、HALT命令またはSTOP命令を実行したときに低速オンチップ・オシレータは発振を停止します。

注意 リアルタイム・クロックのカウント・クロックに低速オンチップ・オシレータ・クロック(f_{IL})を選択できるのは、定周期割り込み機能使用時のみです。

備考 f_X : X1クロック発振周波数

f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

f_{IH} : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)^注

f_{EX} : 外部メイン・システム・クロック周波数

f_{XT} : XT1クロック発振周波数

f_{EXS} : 外部サブシステム・クロック周波数

f_{IL} : 低速オンチップ・オシレータ・クロック周波数

注 f_{HOCO} を64 MHzまたは48 MHzに設定した場合は f_{HOCO} の2分周、32 MHz以下に設定した場合は f_{HOCO} と同一のクロック周波数となるようにハードウェアで制御されます。タイマRDに64 MHz/48 MHzを供給する場合は、 f_{CLK} を f_{IH} に設定してください。

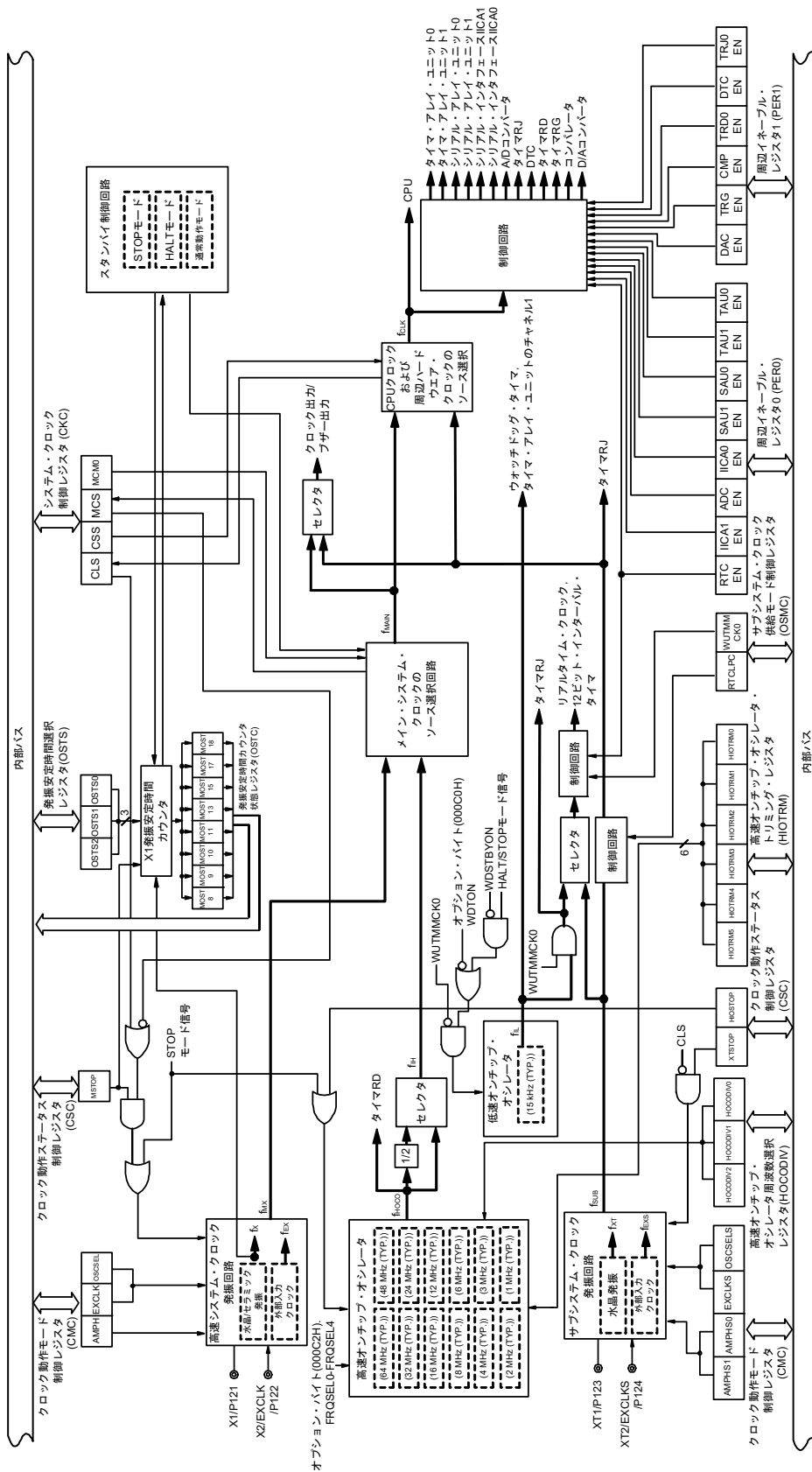
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5-1 クロック発生回路の構成

項目	構成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 周辺イネーブル・レジスタ 0, 1 (PER0, PER1) サブシステム・クロック供給モード制御レジスタ (OSMC) 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)
発振回路	X1発振回路 XT1発振回路 高速オンチップ・オシレータ 低速オンチップ・オシレータ

図5-1 クロック発生回路のブロック図



(備考は次ページにあります。)

備考	fx :	X1クロック発振周波数
	fHOCO :	高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
	fIH :	高速オンチップ・オシレータ・クロック周波数(最大32 MHz) ^注
	fEX :	外部メイン・システム・クロック周波数
	fMX :	高速システム・クロック周波数
	fMAIN :	メイン・システム・クロック周波数
	fXT :	XT1クロック発振周波数
	fEXS :	外部サブシステム・クロック周波数
	fSUB :	サブシステム・クロック周波数
	fCLK :	CPU／周辺ハードウェア・クロック周波数
	fIL :	低速オンチップ・オシレータ・クロック周波数

注 fHOCOを64 MHzまたは48 MHzに設定した場合はfHOCOの2分周, 32 MHz以下に設定した場合はfHOCOと同一のクロック周波数となるようにハードウェアで制御されます。タイマRDに64 MHz/48 MHzを供給する場合は、fCLKをfIHに設定してください。

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次のレジスタで制御します。

- ・クロック動作モード制御レジスタ(CMC)
- ・システム・クロック制御レジスタ(CKC)
- ・クロック動作ステータス制御レジスタ(CSC)
- ・発振安定時間カウンタ状態レジスタ(OSTC)
- ・発振安定時間選択レジスタ(OSTS)
- ・周辺イネーブル・レジスタ0, 1(PER0, PER1)
- ・サブシステム・クロック供給モード制御レジスタ(OSMC)
- ・高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)
- ・高速オンチップ・オシレータ・トリミング・レジスタ(HIOTRM)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

5.3.1 クロック動作モード制御レジスタ(CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/EXCLKS/P124端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

図5-2 クロック動作モード制御レジスタ(CMC)のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	AMPHS1	AMPHS0	AMPH
EXCLK	OSCSEL	高速システム・クロック 端子の動作モード		X1/P121 端子		X2/EXCLK/P122 端子		
0	0	入力ポート・モード		入力ポート				
0	1	X1 発振モード		水晶／セラミック発振子接続				
1	0	入力ポート・モード		入力ポート				
1	1	外部クロック入力モード		入力ポート		外部クロック入力		
EXCLKS	OSCSELS	サブシステム・クロック端 子の動作モード		XT1/P123 端子		XT2/EXCLKS/P124 端子		
0	0	入力ポート・モード		入力ポート				
0	1	XT1 発振モード		水晶振動子接続				
1	0	入力ポート・モード		入力ポート				
1	1	外部クロック入力モード		入力ポート		外部クロック入力		
AMPHS1	AMPHS0	XT1 発振回路の発振モード選択						
0	0	低消費発振 (デフォルト)						
0	1	通常発振						
1	0	超低消費発振						
1	1	設定禁止						
AMPH	X1 クロック発振周波数の制御							
0	1 MHz ≤ f _x ≤ 10 MHz							
1	10 MHz < f _x ≤ 20 MHz							

注意1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。CMCレジスタを初期値(00H)のまま使用する場合、暴走時の誤動作(00H以外の誤書き込みで復帰不可)を防止するために、リセット解除後は必ず00Hに設定してください。

注意2. リセット解除後、クロック動作ステータス制御レジスタ(CSC)の設定でX1発振またはXT1発振を開始する前に、CMCレジスタを設定してください。

注意3. X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHビットに1を設定してください。

注意4. AMPH, AMPHS1, AMPHS0ビットは、リセット解除後fCLKにfIHを選択した状態(fCLKをfMXやfSUBに切り替える前の状態)で設定してください。

注意5. fXTの発振安定時間は、ソフトウェアでカウントしてください。

注意6. システム・クロックの周波数上限は32 MHzですが、X1発振回路の周波数上限は20 MHzになります。

(注意、備考は次ページに続きます。)

注意7. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振 (AMPHS1, AMPHS0 = 1, 0) で使用する場合は、5.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振 (AMPHS1, AMPHS0 = 1, 0) を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグラウンド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

備考 fx : X1クロック発振周波数

5.3.2 システム・クロック制御レジスタ (CKC)

CPU／周辺ハードウェア・クロックやメイン・システム・クロックを選択するレジスタです。

CKCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-3 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0	0	0	0	0
CLS	CPU／周辺ハードウェア・クロック (fCLK) のステータス							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
CSS ^{注2}	CPU／周辺ハードウェア・クロック (fCLK) の選択							
0	メイン・システム・クロック (fMAIN)							
1	サブシステム・クロック (fSUB)							
MCS	メイン・システム・クロック (fMAIN) のステータス							
0	高速オンチップ・オシレータ・クロック (fIH)							
1	高速システム・クロック (fMX)							
MCM0 ^{注2}	メイン・システム・クロック (fMAIN) の動作制御							
0	メイン・システム・クロック (fMAIN) に高速オンチップ・オシレータ・クロック (fIH) を選択							
1	メイン・システム・クロック (fMAIN) に高速システム・クロック (fMX) を選択							

注1. ビット7, 5は、Read Only です。

注2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

備考 fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
 fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)^注
 fMX : 高速システム・クロック周波数
 fMAIN : メイン・システム・クロック周波数
 fSUB : サブシステム・クロック周波数

注 fHOCOを64 MHzまたは48 MHzに設定した場合はfHOCOの2分周、32 MHz以下に設定した場合はfHOCOと同一のクロック周波数となるようにハードウェアで制御されます。タイマRDに64 MHz/48 MHzを供給する場合は、fCLKをfIHに設定してください。

(注意は次ページにあります。)

- 注意1. ビット0-3には、必ず0を設定してください。
- 注意2. CSSビットで設定したクロックは、CPUと周辺ハードウェアに供給されます。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更されます(リアルタイム・クロック、12ビット・インターバル・タイマ、クロック出力／ブザー出力、およびウォッチドッグ・タイマは除く)。よって、CPU／周辺ハードウェア・クロックを変更する場合は、各周辺機能を停止してください。
- 注意3. 周辺ハードウェア・クロックとしてサブシステム・クロックが使われている場合、A/Dコンバータ、IICAの動作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章および第34章 または第35章 電气的特性を参照してください。
- 注意4. タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN) をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

5.3.3 クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックの動作を制御するレジスタです(低速オンチップ・オシレータ・クロックは除く)。

CSCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

図5-4 クロック動作ステータス制御レジスタ (CSC)のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP	0	0	0	0	0	HIOSTOP
MSTOP	高速システム・クロックの動作制御							
	X1発振モード時		外部クロック入力モード時		入力ポート・モード時			
	0	X1発振回路動作	EXCLK端子からの外部クロック有効		入力ポート			
	1	X1発振回路停止	EXCLK端子からの外部クロック無効					
XTSTOP	サブシステム・クロックの動作制御							
	XT1発振モード時		外部クロック入力モード時		入力ポート・モード時			
	0	XT1発振回路動作	EXCLKS端子からの外部クロック有効		入力ポート			
	1	XT1発振回路停止	EXCLKS端子からの外部クロック無効					
HIOSTOP	高速オンチップ・オシレータ・クロックの動作制御							
	0	高速オンチップ・オシレータ動作						
	1	高速オンチップ・オシレータ停止						

注意1. リセット解除後は、クロック動作モード制御レジスタ(CMC)を設定してからCSCレジスタを設定してください。

注意2. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ(OSTS)を設定してください。ただしOSTSレジスタを初期値のまま使用の場合は、OSTSレジスタを設定する必要はありません。

注意3. MSTOPビットの設定でX1発振を開始する場合は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注意4. XTSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。

注意5. CPU/周辺ハードウェア・クロック(fCLK)に選択しているクロックは、CSCレジスタで停止させないでください。

注意6. クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件は、表5-2のようになります。クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5-2 クロック停止方法

クロック	クロック停止(外部クロック入力無効)前条件	CSCレジスタのフラグ設定
X1クロック	CPU／周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
XT1クロック	CPU／周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
外部サブシステム・クロック		
高速オンチップ・オシレータ・クロック	CPU／周辺ハードウェア・クロックが高速オンチップ・オシレータ・クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

5.3.4 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次の場合に、X1クロックの発振安定時間を確認することができます。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したとき

OSTCレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOPビット(クロック動作ステータス制御レジスタ(CSC)のビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- X1クロック発振開始時(EXCLK, OSCSEL = 0, 1 → MSTOP = 0)
- STOPモードを解除したとき

図5-5 発振安定時間カウンタ状態レジスタ(OSTC)のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号 7 6 5 4 3 2 1 0

OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
------	-------	-------	--------	--------	--------	--------	--------	--------

MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18	発振安定時間のステータス		
									fx = 10 MHz時	fx = 20 MHz時
0	0	0	0	0	0	0	0	$2^8/fx$ 未満	25.6 μ s 未満	12.8 μ s 未満
1	0	0	0	0	0	0	0	$2^8/fx$ 以上	25.6 μ s 以上	12.8 μ s 以上
1	1	0	0	0	0	0	0	$2^9/fx$ 以上	51.2 μ s 以上	25.6 μ s 以上
1	1	1	0	0	0	0	0	$2^{10}/fx$ 以上	102 μ s 以上	51.2 μ s 以上
1	1	1	1	0	0	0	0	$2^{11}/fx$ 以上	204 μ s 以上	102 μ s 以上
1	1	1	1	1	0	0	0	$2^{13}/fx$ 以上	819 μ s 以上	409 μ s 以上
1	1	1	1	1	1	0	0	$2^{15}/fx$ 以上	3.27 ms 以上	1.63 ms 以上
1	1	1	1	1	1	1	0	$2^{17}/fx$ 以上	13.1 ms 以上	6.55 ms 以上
1	1	1	1	1	1	1	1	$2^{18}/fx$ 以上	26.2 ms 以上	13.1 ms 以上

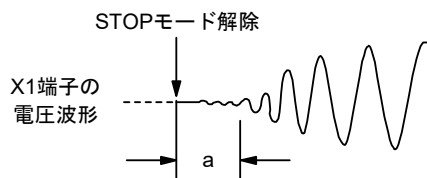
注意1. 上記時間経過後、MOST8ビットから順番に“1”となっていき、そのまま“1”を保持します。

注意2. 発振安定時間カウンタは発振安定時間選択レジスタ (OSTS) で設定した発振安定時間までしかカウントしません。

次の場合には、OSTSレジスタの発振安定時間を、OSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したいとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したいとき
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.5 発振安定時間選択レジスタ (OSTS)

X1クロックの発振安定時間を選択するレジスタです。

X1クロックを発振させる場合は、X1発振回路動作(MSTOP = 0)後、OSTSレジスタで設定した時間を自動でウェイトします。

CPUクロックを高速オンチップ・オシレータ・クロックまたはサブシステム・クロックから、X1クロックに切り換える場合や、CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後STOPモードを解除した場合は、発振安定時間カウンタ状態レジスタ(OSTC)で発振安定時間が経過したかを確認してください。OSTCレジスタでは、あらかじめOSTSレジスタで設定した時間までの確認ができます。

OSTSレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5-6 発振安定時間選択レジスタ (OSTS)のフォーマット

アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				fx = 10 MHz時	fx = 20 MHz時
0	0	0	$2^8/fx$	25.6 μ s	12.8 μ s
0	0	1	$2^9/fx$	51.2 μ s	25.6 μ s
0	1	0	$2^{10}/fx$	102 μ s	51.2 μ s
0	1	1	$2^{11}/fx$	204 μ s	102 μ s
1	0	0	$2^{13}/fx$	819 μ s	409 μ s
1	0	1	$2^{15}/fx$	3.27 ms	1.63 ms
1	1	0	$2^{17}/fx$	13.1 ms	6.55 ms
1	1	1	$2^{18}/fx$	26.2 ms	13.1 ms

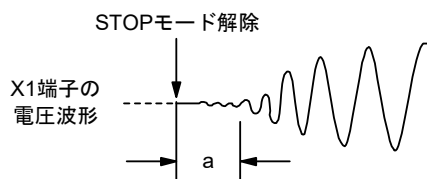
注意1. OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC)のMSTOPビットを0に設定する前に行ってください。

注意2. 発振安定時間カウンタはOSTSレジスタで設定した発振安定時間までしかカウントしません。

次の場合には、OSTSレジスタの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速オンチップ・オシレータ・クロックまたはサブシステム・クロックで、X1クロックの発振を開始したいとき
- CPUクロックが高速オンチップ・オシレータ・クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除したいとき
(したがって、STOPモード解除後のOSTCレジスタは、OSTSレジスタで設定している発振安定時間までのステータスしかセットされないので注意してください)

注意3. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 fx : X1クロック発振周波数

5.3.6 周辺イネーブル・レジスタ 0, 1 (PER0, PER1)

各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

これらのレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- ・リアルタイム・クロック, 12ビット・インターバル・タイマ
- ・シリアル・インタフェース IICA1
- ・A/Dコンバータ
- ・シリアル・インタフェース IICA0
- ・シリアル・アレイ・ユニット1
- ・シリアル・アレイ・ユニット0
- ・タイマ・アレイ・ユニット1
- ・タイマ・アレイ・ユニット0
- ・D/Aコンバータ
- ・タイマRG
- ・コンパレータ
- ・タイマRD
- ・DTC
- ・タイマRJ

PER0, PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図5-7 周辺イネーブル・レジスタ 0 (PER0)のフォーマット (1/3)

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN	TAU0EN
	RTCEN	リアルタイム・クロック (RTC), 12ビット・インターバル・タイマの入カクロック供給の制御						
	0	入カクロック供給停止 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマはリセット状態						
	1	入カクロック供給 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可						

注意 次のビットには必ず“0”を設定してください。
30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

図5-8 周辺イネーブル・レジスタ0 (PER0)のフォーマット(2/3)

アドレス : F00F0H リセット時 : 00H R/W

略号

7

6

5

4

3

2

1

0

PER0

RTCEN

IICA1EN

ADCEN

IICA0EN

SAU1EN

SAU0EN

TAU1EN

TAU0EN

IICA1EN	シリアル・インタフェースIICA1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICA1で使用するSFRへのライト不可 ・シリアル・インタフェースIICA1はリセット状態
1	入カクロック供給 ・シリアル・インタフェースIICA1で使用するSFRへのリード／ライト可

ADCEN	A/Dコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
1	入カクロック供給 ・A/Dコンバータで使用するSFRへのリード／ライト可

IICA0EN	シリアル・インタフェースIICA0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・インタフェースIICA0で使用するSFRへのライト不可 ・シリアル・インタフェースIICA0はリセット状態
1	入カクロック供給 ・シリアル・インタフェースIICA0で使用するSFRへのリード／ライト可

SAU1EN	シリアル・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット1で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット1で使用するSFRへのリード／ライト可

SAU0EN	シリアル・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・シリアル・アレイ・ユニット0で使用するSFRへのライト不可 ・シリアル・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・シリアル・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

図5-9 周辺イネーブル・レジスタ0 (PER0)のフォーマット(3/3)

アドレス : F00F0H リセット時 : 00H R/W

略号

7

6

5

4

3

2

1

0

PER0

RTCEN

IICA1EN

ADCEN

IICA0EN

SAU1EN

SAU0EN

TAU1EN

TAU0EN

TAU1EN	タイマ・アレイ・ユニット1の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード／ライト可

TAU0EN	タイマ・アレイ・ユニット0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態
1	入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可

注意 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

図5-10 周辺イネーブル・レジスタ1 (PER1)のフォーマット(1/2)

アドレス : F007AH リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER1	DACEN	TRGEN	CMPEN	TRD0EN ^注	DTCEN	0	0	TRJ0EN
------	-------	-------	-------	---------------------	-------	---	---	--------

DACEN	D/Aコンバータの入カクロック供給の制御
0	入カクロック供給停止 ・ D/Aコンバータで使用するSFRへのライト不可 ・ D/Aコンバータはリセット状態
1	入カクロック供給 ・ D/Aコンバータで使用するSFRへのリード／ライト可

TRGEN	タイマRGの入カクロック供給の制御
0	入カクロック供給停止 ・ タイマRGで使用するSFRへのライト不可 ・ タイマRGはリセット状態
1	入カクロック供給 ・ タイマRGで使用するSFRへのリード／ライト可

CMPEN	コンパレータの入カクロック供給の制御
0	入カクロック供給停止 ・ コンパレータで使用するSFRへのライト不可 ・ コンパレータはリセット状態
1	入カクロック供給 ・ コンパレータで使用するSFRへのリード／ライト可

TRD0EN ^注	タイマRDの入カクロック供給の制御
0	入カクロック供給停止 ・ タイマRDで使用するSFRへのライト不可 ・ タイマRDはリセット状態
1	入カクロック供給 ・ タイマRDで使用するSFRへのリード／ライト可

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。

fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注意 次のビットには必ず“0”を設定してください。

コード・フラッシュ・メモリが64 KB以下の製品 : ビット1, 2, 5, 7

コード・フラッシュ・メモリが96 KB以上の製品 : ビット1, 2

図5 - 11 周辺イネーブル・レジスタ1 (PER1)のフォーマット (2/2)

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN	TRGEN	CMPEN	TRD0EN注	DTCEN	0	0	TRJ0EN
DTCEN	DTCの入カクロック供給の制御							
0	入カクロック供給停止 ・ DTCは動作不可							
1	入カクロック供給 ・ DTCは動作可							
TRJ0EN	タイマRJ0の入カクロック供給の制御							
0	入カクロック供給停止 ・ タイマRJ0で使用するSFRへのライト不可 ・ タイマRJ0はリセット状態							
1	入カクロック供給 ・ タイマRJ0で使用するSFRへのリード／ライト可							

注意 次のビットには必ず“0”を設定してください。

コード・フラッシュ・メモリが64 KB以下の製品 : ビット1, 2, 5, 7

コード・フラッシュ・メモリが96 KB以上の製品 : ビット1, 2

5.3.7 サブシステム・クロック供給モード制御レジスタ (OSMC)

OSMC レジスタは、不要なクロック機能を停止させることにより、低消費電力化することを目的としたレジスタです。

RTCLPC = 1に設定すると、STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時に、リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止するので、消費電力を低減することが可能です。

また、OSMC レジスタではリアルタイム・クロック、12ビット・インターバル・タイマの動作クロックを選択できます。

OSMC レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5-12 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0

RTCLPC	STOPモード時およびサブシステム・クロックでCPU動作中のHALTモード時の設定
0	周辺機能へのサブシステム・クロック供給許可 (動作許可となる周辺機能については、表23-1～表23-4参照)
1	リアルタイム・クロック、12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給停止

WUTMMCK0	リアルタイム・クロック、12ビット・インターバル・タイマ、タイマRJの動作クロックの選択
0	・リアルタイム・クロック、12ビット・インターバル・タイマの動作クロックはサブシステム・クロックになります。 タイマRJのカウントソースに低速オンチップ・オシレータを選択することはできません。
1	・リアルタイム・クロック、12ビット・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 タイマRJのカウントソースは低速オンチップ・オシレータ、サブシステム・クロックのいずれかを選択することができます。

5.3.8 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)

オプション・バイト(000C2H)で設定した高速オンチップ・オシレータ周波数を変更するレジスタです。ただし、オプション・バイト(000C2H)のFRQSEL4, FRQSEL3ビットの値によって、選択できる周波数が異なります。

HOCODIVは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、オプション・バイト(000C2H)のFRQSEL2-FRQSEL0で設定した値になります。

図5 - 13 高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV)のフォーマット

アドレス : F00A8H リセット時 : オプション・バイト(000C2H) FRQSEL2 - FRQSEL0の設定値 R/W

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{IH} = 24 MHz	f _{IH} = 32 MHz	f _{IH} = 24 MHz f _{HOCO} = 48 MHz	f _{IH} = 32 MHz f _{HOCO} = 64 MHz
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12 MHz f _{HOCO} = 24 MHz	f _{IH} = 16 MHz f _{HOCO} = 32 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6 MHz f _{HOCO} = 12 MHz	f _{IH} = 8 MHz f _{HOCO} = 16 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz	f _{IH} = 4 MHz f _{HOCO} = 8 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz	設定禁止	f _{IH} = 2 MHz f _{HOCO} = 4 MHz
1	0	1	設定禁止	f _{IH} = 1 MHz	設定禁止	f _{IH} = 1 MHz f _{HOCO} = 2 MHz
上記以外			設定禁止			

注意1. HOCODIV レジスタの設定は、周波数の変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプションバイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV (低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS (低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS (高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～32 MHz	2.7 V～5.5 V
上記以外		設定禁止		

注意2. HOCODIV レジスタの設定は、高速オンチップ・オシレータ・クロック (f_{IH}) をCPU/周辺ハードウェア・クロック (f_{CLK}) に選択している状態で行ってください。

注意3. HOCODIV レジスタで周波数を変更後、次の遷移時間経過して周波数が切り替わります。

- ・変更前の周波数で最大3クロック動作
- ・変更後の周波数で最大3クロックのCPU/周辺ハードウェア・クロックウェイト

5.3.9 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM)

高速オンチップ・オシレータの精度補正を行うレジスタです。

高精度の外部クロック入力を用いたタイマを使用するなどして高速オンチップ・オシレータの周波数を自己測定し、精度補正することができます。

HIOTRMは、8ビット・メモリ操作命令で設定します。

注意 精度補正後に温度、VDD端子電圧に変化があった場合、周波数は変動します。

温度、VDD電圧が変動する場合は、周波数の精度が必要になる前または定期的に補正を実行する必要があります。

図5-14 高速オンチップ・オシレータ・トリミング・レジスタ (HIOTRM) のフォーマット

アドレス : F00A0H リセット時 : 注 R/W

略号	7	6	5	4	3	2	1	0
HIOTRM	0	0	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0
	HIOTRM5	HIOTRM4	HIOTRM3	HIOTRM2	HIOTRM1	HIOTRM0	高速オンチップ・オシレータ	
	0	0	0	0	0	0	最低速	
	0	0	0	0	0	1	↑	
	0	0	0	0	1	0		
	0	0	0	0	1	1		
	0	0	0	1	0	0		
	.						↓	
	.							
	.							
	1	1	1	1	1	0		
	1	1	1	1	1	1		
							最高速	

注 リセット値は出荷時に調整した値です。

備考1. HIOTRMレジスタの1ビットあたり高速オンチップ・オシレータ・クロック精度を約0.05%補正できます。

備考2. HIOTRMレジスタの使用例は、RL78 MCU シリーズ高速オンチップ・オシレータ・クロック周波数補正 アプリケーションノート (R01AN0464) を参照してください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子(1~20 MHz)によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット7, 6 (EXCLK, OSCSEL)を次のように設定してください。

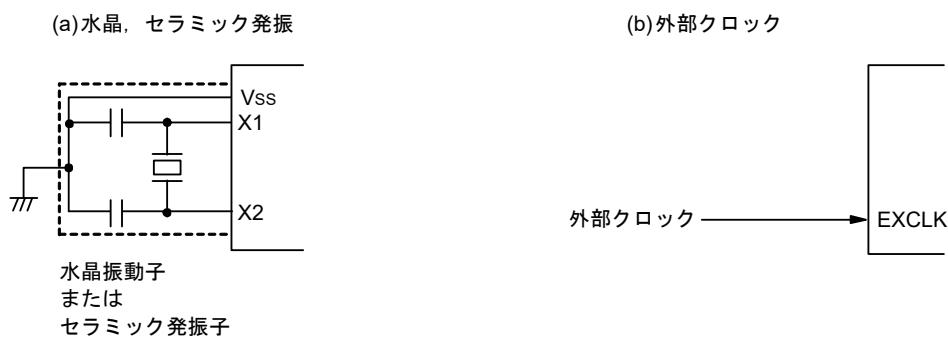
- 水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- 外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード(EXCLK, OSCSEL = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-15にX1発振回路の外付け回路例を示します。

図5-15 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路

XT1発振回路はXT1, XT2端子に接続された水晶振動子(32.768 kHz (TYP.))によって発振します。

XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット4 (OSCSELS)に1を設定してください。

また、外部クロックを入力することができます。その場合はEXCLKS端子にクロック信号を入力してください。XT1発振回路を使用する場合、クロック動作モード制御レジスタ(CMC)のビット5, 4 (EXCLKS, OSCSELS)を次のように設定してください。

- 水晶発振 : EXCLKS, OSCSELS = 0, 1
- 外部クロック入力 : EXCLKS, OSCSELS = 1, 1

XT1発振回路を使用しない場合は、入力ポート・モード(EXCLKS, OSCSELS = 0, 0)に設定してください。

さらに、入力ポートとしても使用しない場合は、表2-3 各端子の未使用端子処理を参照してください。

図5-16にXT1発振回路の外付け回路例を示します。

図5 - 16 XT1発振回路の外付け回路例



注意 XT1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 15、図5 - 16の破線の部分を次のように配線してください。

- 配線は極力短くしてください。
- 他の信号線と交差させない、変化する大電流が流れる線と接近させないでください。
- 発振回路のコンデンサの接地点は、常にVssと同電位となるようにしてください。大電流が流れるグラウンド・パターンに接地しないでください。
- 発振回路から信号を取り出さないでください。

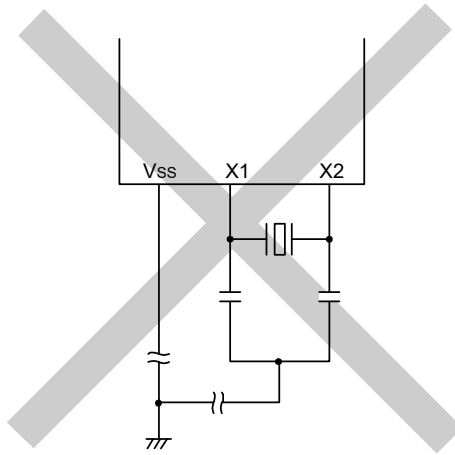
特に、XT1発振回路は、低消費電力にするために増幅度の低い回路になっています。設計の際は、次の点に注意してください。

- 端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- XT1発振回路のモードを超低消費発振(AMPHS1, AMPHS0 = 1, 0)で使用する場合は5.7 発振子と発振回路定数に記載されている発振子を十分に評価してからご使用ください。
- XT1端子、XT2端子と発振子との配線は極力短くし、寄生容量、配線抵抗を小さくしてください。特に超低消費発振(AMPHS1, AMPHS0 = 1, 0)を選択している場合はご注意ください。
- 回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- XT1発振回路の周辺には、できるかぎりVssと同電位のグラウンド・パターンを配置してください。
- XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- 高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- 回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

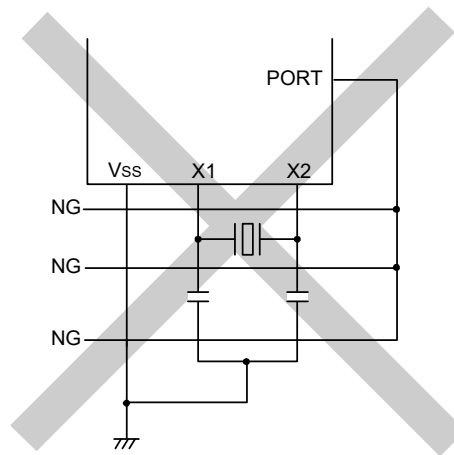
図5 - 17に発振子の接続の悪い例を示します。

図5 - 17 発振子の接続の悪い例(1/2)

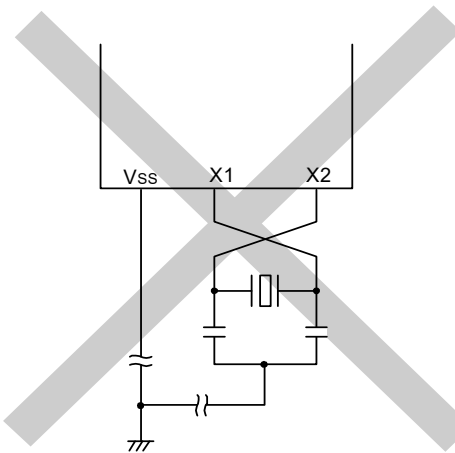
(a) 接続回路の配線が長い



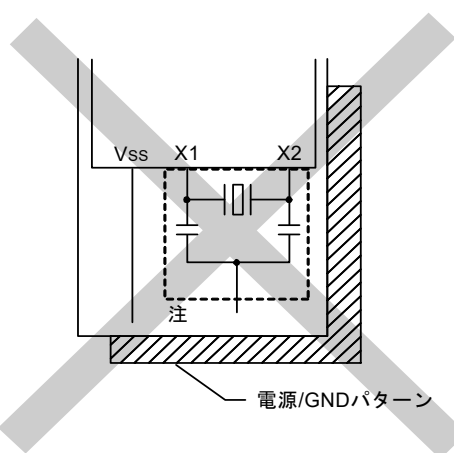
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある



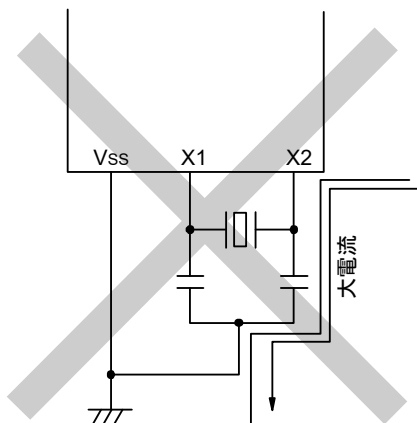
注 多層基板や両面基板において、X1, X2端子と発振子の配線部(図中の点線部分)の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

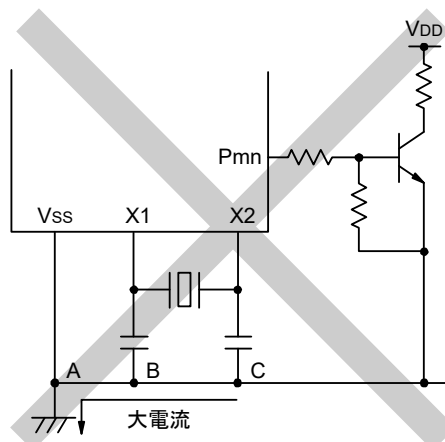
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5-18 発振子の接続の悪い例(2/2)

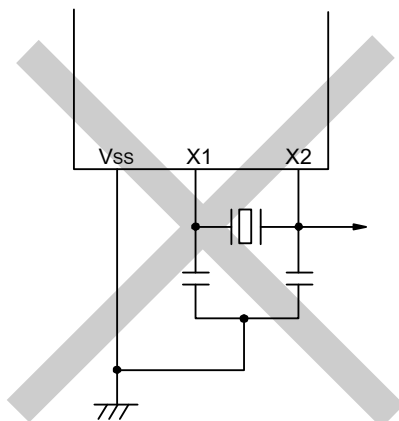
(e) 変化する大電流が信号線に
近接している



(f) 発振回路部のグランド・ライン上に電流が流れる
(A点、B点、C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、X2側に直列に抵抗を挿入してください。

5.4.3 高速オンチップ・オシレータ

RL78/G14は、高速オンチップ・オシレータを内蔵しています。オプションバイト (000C2H) により 64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から周波数を選択することが可能です。64 MHz, 48 MHz を選択した場合は、CPU クロックは2分周された周波数になります。クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) にて発振を制御できます。

リセット解除後、高速オンチップ・オシレータは自動的に発振を開始します。

5.4.4 低速オンチップ・オシレータ

RL78/G14は、低速オンチップ・オシレータを内蔵しています。

低速オンチップ・オシレータ・クロックは、ウォッチドッグ・タイマ、リアルタイム・クロック、12ビット・インターバル・タイマ、タイマRJのクロックとして使用します。CPU クロックとして使用できません。

ウォッチドッグ・タイマの動作時、または、サブシステム・クロック供給モード制御レジスタ (OSMC) のビット4 (WUTMMCK0) とサブシステム・クロック選択レジスタ (CKSEL) のビット0 (SELLOSC) のいずれか、または両ビットが1の時に低速オンチップ・オシレータは動作します。

ウォッチドッグ・タイマ停止時かつ、WUTMMCK0 = 0 かつ、SELLOSC = 0 の時、低速オンチップ・オシレータは停止します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します(図5-1を参照)。

○メイン・システム・クロック f_{MAIN}

・高速システム・クロック f_{MX}

X1クロック f_X

外部メイン・システム・クロック f_{EX}

・高速オンチップ・オシレータ・クロック f_{IH}

○サブシステム・クロック f_{SUB}

・XT1クロック f_{XT}

・外部サブシステム・クロック f_{EXS}

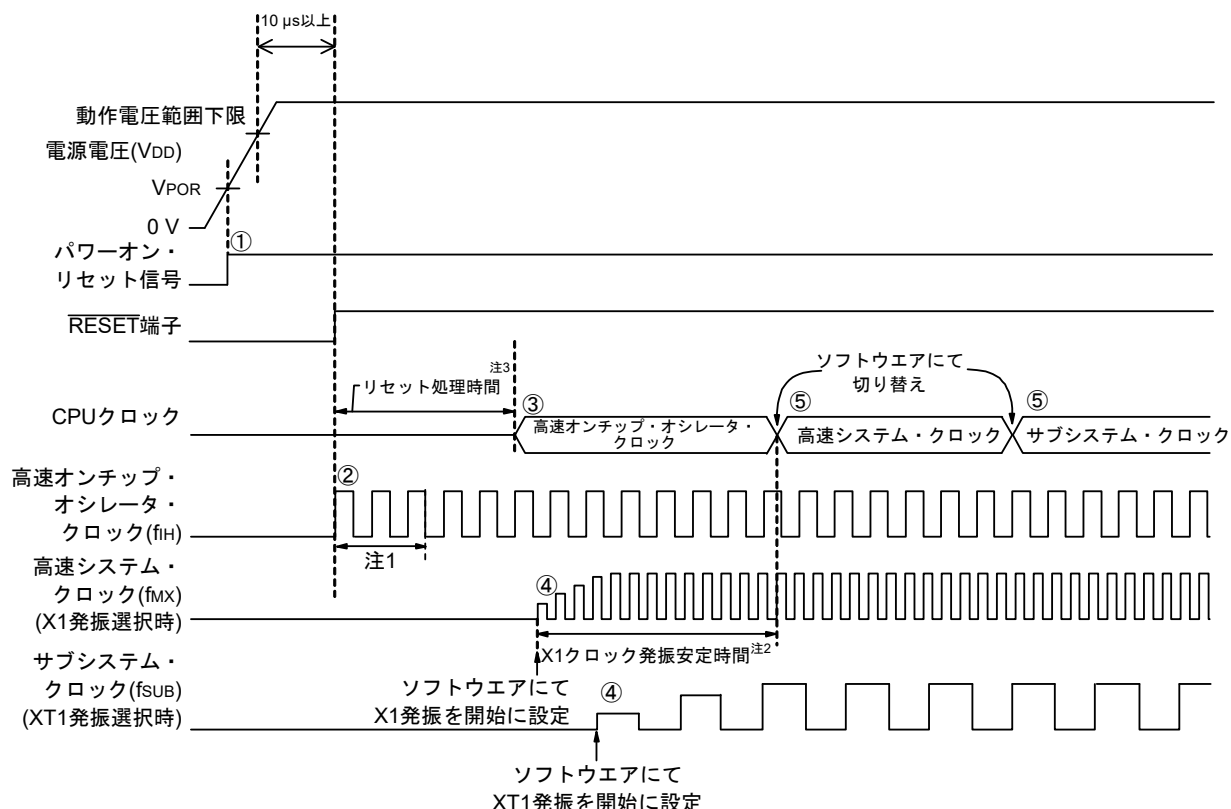
○低速オンチップ・オシレータ・クロック f_{IL}

○CPU/周辺ハードウェア・クロック f_{CLK}

RL78/G14では、リセット解除後、CPUは高速オンチップ・オシレータの出力により動作を開始します。

電源電圧投入時のクロック発生回路の動作を、図5-19に示します。

図5 - 19 電源電圧投入時のクロック発生回路の動作



- ① 電源投入後、パワーオン・リセット(POR)回路による内部リセット信号が発生します。
ただし、34.4または35.4 AC特性に示す動作電圧範囲に達するまで、電圧検出回路が外部リセットでリセット状態を保ちます(上図は、外部リセット使用時の例)。
- ② リセットが解除されると、高速オンチップ・オシレータが自動的に発振開始されます。
- ③ リセット解除後に電圧安定待ちとリセット処理が行われたのちに、CPU が高速オンチップ・オシレータ・クロックで動作開始します。
- ④ X1クロックまたはXT1クロックは、ソフトウェアにて発振開始を設定してください(5.6.2 X1発振回路の設定例, 5.6.3 XT1発振回路の設定例を参照)。
- ⑤ CPUをX1クロックまたはXT1クロックに切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください(5.6.2 X1発振回路の設定例, 5.6.3 XT1発振回路の設定例を参照)。

注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、リセット処理時間に含まれます。

注2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ(OSTC)で確認してください。

注3. リセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

注意 EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速オンチップ・オシレータの設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H) の FRQSEL0-FRQSEL4 により、64 MHz, 48 MHz, 32 MHz, 24 MHz, 16 MHz, 12 MHz, 8 MHz, 6 MHz, 4 MHz, 3 MHz, 2 MHz, 1 MHz から選択可能です。また、高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) により、周波数を変更することもできます。

【オプション・バイト設定】

アドレス : 0002CH

オプション・	7	6	5	4	3	2	1	0
バイト (000C2H)	CMODE1 0/1	CMODE0 0/1	1	FRQSEL4 0/1	FRQSEL3 0/1	FRQSEL2 0/1	FRQSEL1 0/1	FRQSEL0 0/1

CMODE1	CMODE0	フラッシュの動作モード設定	
0	0	LV (低電圧メイン) モード	V _{DD} = 1.6 V ~ 5.5 V @ 1 MHz ~ 4 MHz
1	0	LS (低速メイン) モード	V _{DD} = 1.8 V ~ 5.5 V @ 1 MHz ~ 8 MHz
1	1	HS (高速メイン) モード	V _{DD} = 2.4 V ~ 5.5 V @ 1 MHz ~ 16 MHz V _{DD} = 2.7 V ~ 5.5 V @ 1 MHz ~ 32 MHz
上記以外		設定禁止	

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップ・オシレータの周波数	
					f _{HOCO}	f _{IH}
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

【高速オンチップ・オシレータ周波数選択レジスタ (HOCODIV) 設定】

アドレス : F00A8H

略号	7	6	5	4	3	2	1	0
HOCODIV	0	0	0	0	0	HOCODIV2	HOCODIV1	HOCODIV0

HOCODIV2	HOCODIV1	HOCODIV0	高速オンチップ・オシレータ・クロック周波数の選択			
			FRQSEL4 = 0		FRQSEL4 = 1	
			FRQSEL3 = 0	FRQSEL3 = 1	FRQSEL3 = 0	FRQSEL3 = 1
0	0	0	f _{IH} = 24 MHz	f _{IH} = 32 MHz	f _{IH} = 24 MHz f _{HOCO} = 48 MHz	f _{IH} = 32 MHz f _{HOCO} = 64 MHz
0	0	1	f _{IH} = 12 MHz	f _{IH} = 16 MHz	f _{IH} = 12 MHz f _{HOCO} = 24 MHz	f _{IH} = 16 MHz f _{HOCO} = 32 MHz
0	1	0	f _{IH} = 6 MHz	f _{IH} = 8 MHz	f _{IH} = 6 MHz f _{HOCO} = 12 MHz	f _{IH} = 8 MHz f _{HOCO} = 16 MHz
0	1	1	f _{IH} = 3 MHz	f _{IH} = 4 MHz	f _{IH} = 3 MHz f _{HOCO} = 6 MHz	f _{IH} = 4 MHz f _{HOCO} = 8 MHz
1	0	0	設定禁止	f _{IH} = 2 MHz	設定禁止	f _{IH} = 2 MHz f _{HOCO} = 4 MHz
1	0	1	設定禁止	f _{IH} = 1 MHz	設定禁止	f _{IH} = 1 MHz f _{HOCO} = 2 MHz
上記以外			設定禁止			

5.6.2 X1発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、X1発振クロックに変更する場合、発振安定時間選択レジスタ (OSTS)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをfCLKに設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① CMCレジスタのOSCSELビットをセット(1)、 $f_x > 10\text{ MHz}$ 以上の場合はAMPHビットをセット(1)してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	EXCLKS	OSCSELS		AMPHS1	AMPHS0	AMPH
	0	1	0	0	0	0	0	0/1

- ② OSTSレジスタでSTOPモード解除時のX1発振回路の発振安定時間を選択しておきます。

例) 10 MHzの発振子で102 μs 以上までウェイトする場合は、以下の値に設定してください。

	7	6	5	4	3	2	1	0
OSTS						OSTS2	OSTS1	OSTS0
	0	0	0	0	0	0	1	0

- ③ CSCレジスタのMSTOPビットをクリア(0)してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	0	1	0	0	0	0	0	0

- ④ OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102 μs 以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

- ⑤ CKCレジスタのMCM0ビットでX1発振クロックをCPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 0	MCS 0	MCM0 1	0	0	0	0

注意 システム・クロック制御レジスタ（CKC）でメイン・システム・クロック（fMAIN）を変更する場合は、クロックの変更前、変更後ともにオプション・バイト(000C2H)で設定したフラッシュ動作モードの動作可能な電圧範囲で行ってください。

オプション・バイト(000C2H)の値		フラッシュ動作モード	動作周波数範囲	動作電圧範囲
CMODE1	CMODE0			
0	0	LV(低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS(低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS(高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～32 MHz	2.7 V～5.5 V

5.6.3 XT1 発振回路の設定例

CPU／周辺ハードウェア・クロック (fCLK) はリセット解除後必ず高速オンチップ・オシレータ・クロックで動作します。その後、XT1 発振クロックに変更する場合、サブシステム・クロック供給モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) で XT1 発振クロックを fCLK に設定します。

【レジスタ設定】①～⑤の順に設定してください。

- ① STOP モード時およびサブシステム・クロックで CPU 動作中の HALT モード時にリアルタイム・クロック、12 ビット・インターバル・タイマのみサブシステム・クロックで動作 (超低消費電流) させる場合は RTCLPC ビットを 1 に設定してください。

	7	6	5	4	3	2	1	0
OSMC	RTCLPC 0/1	0	0	WUTMMCK0 0	0	0	0	0

- ② CMC レジスタの OSCSELS ビットをセット (1) して XT1 発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK 0	OSCSEL 0	EXCLKS 0	OSCSELS 1	0	AMPHS1 0/1	AMPHS0 0/1	AMPH 0

AMPHS0, AMPHS1 ビット : XT1 発振回路の発振モードを設定します。

- ③ CSC レジスタの XTSTOP ビットをクリア (0) して XT1 発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP 1	XTSTOP 0	0	0	0	0	0	HIOSTOP 0

- ④ タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

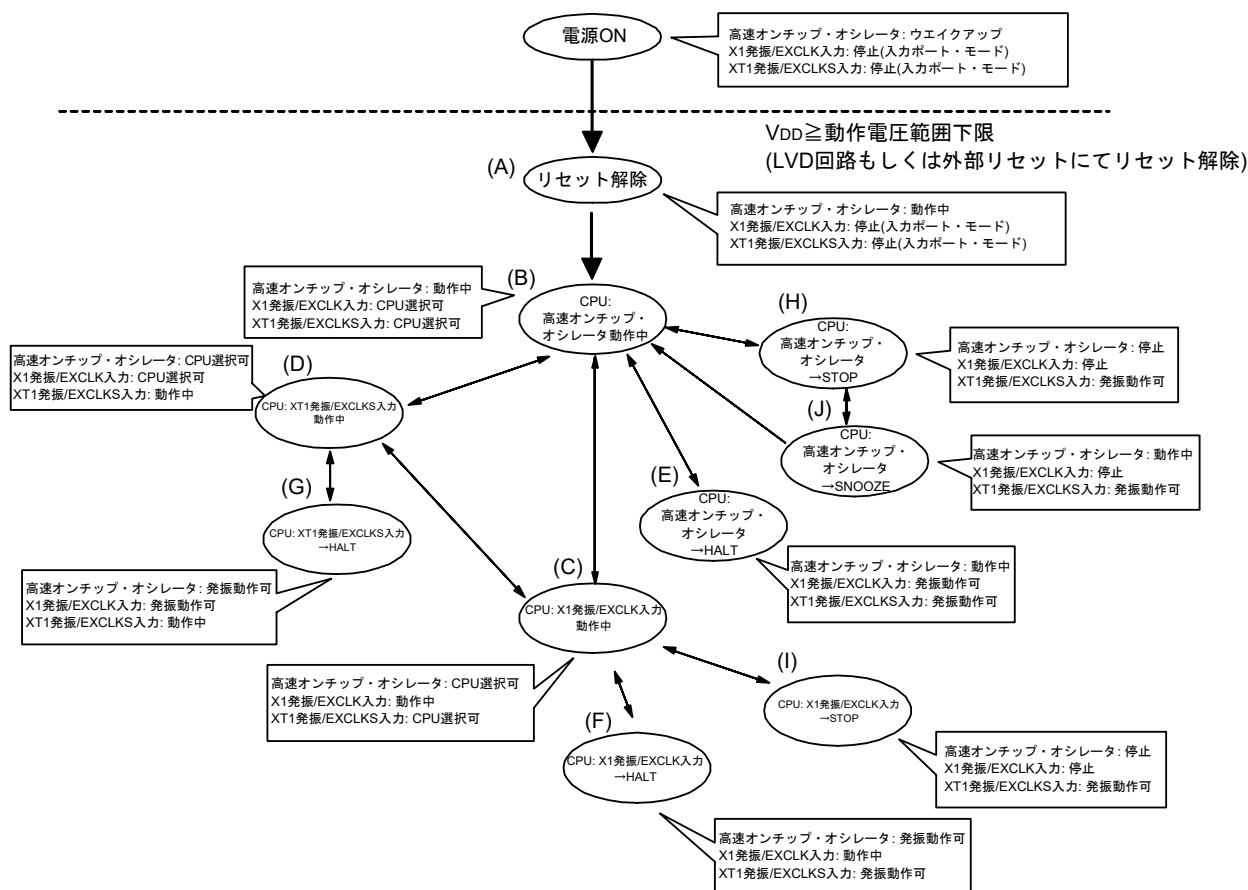
- ⑤ CKC レジスタの CSS ビットで XT1 発振クロックを CPU／周辺ハードウェア・クロックに設定します。

	7	6	5	4	3	2	1	0
CKC	CLS 0	CSS 1	MCS 0	MCM0 0	0	0	0	0

5.6.4 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5-20に示します。

図5-20 CPUクロック状態移行図



CPUクロックの移行とSFRレジスタの設定例などを表5-3～表5-7に示します。

表5-3 CPUクロックの移行とSFRレジスタの設定例(1/5)

(1) リセット解除後 (A) に、CPUを高速オンチップ・オシレータ・クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) → (B)	SFRレジスタ設定不要(リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(A) → (B) → (C) (X1クロック : $1\text{ MHz} \leq f_x \leq 10\text{ MHz}$)	0	1	0	注2	0	確認必要	1
(A) → (B) → (C) (X1クロック : $10\text{ MHz} < f_x \leq 20\text{ MHz}$)	0	1	1	注2	0	確認必要	1
(A) → (B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

注1. クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

注2. 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 ≤ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行

(リセット解除直後、CPUは高速オンチップ・オシレータ・クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注				CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1	AMPHS0	XTSTOP		CSS
(A) → (B) → (D)(XT1クロック)	0	1	0/1	0/1	0	必要	1
(A) → (B) → (D)(外部サブ・クロック)	1	1	×	×	0	必要	1

注 クロック動作モード制御レジスタ(CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考1. × : Don't care

備考2. 表5-3～表5-7の(A)～(J)は、図5-20の(A)～(J)と対応しています。

表5-4 CPUクロックの移行とSFRレジスタの設定例(2/5)

(4) CPUを高速オンチップ・オシレータ・クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH		MSTOP		MCM0
(B) → (C) (XT1クロック : $1\text{ MHz} \leq f_x \leq 10\text{ MHz}$)	0	1	0	注2	0	確認必要	1
(B) → (C) (XT1クロック : $10\text{ MHz} < f_x \leq 20\text{ MHz}$)	0	1	1	注2	0	確認必要	1
(B) → (C) (外部メイン・クロック)	1	1	×	注2	0	確認不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. クロック動作モード制御レジスタ (CMC)は、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

注2. 発振安定時間選択レジスタ (OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ (OSTC)の発振安定時間 ≤ OSTS レジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧 (第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(5) CPUを高速オンチップ・オシレータ・クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	CMCレジスタ ^注			CSC レジスタ	発振安定 待ち	CKC レジスタ
	EXCLKS	OSCSELS	AMPHS1,0	XTSTOP		CSS
(B) → (D) (XT1クロック)	0	1	00 : 低消費発振 01 : 通常発振 10 : 超低消費発振	0	必要	1
(B) → (D) (外部サブ・クロック)	1	1	×	0	必要	1

設定済みの場合は不要
 サブシステム・クロック動作中の場合は不要

注 クロック動作モード制御レジスタ (CMC)は、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。設定済みの場合は不要です。

備考1. × : Don't care

備考2. 表5-3～表5-7の (A) - (J) は、図5-20の (A) - (J) と対応しています。

表5-5 CPUクロックの移行とSFRレジスタの設定例(3/5)

(6) CPUを高速システム・クロック動作 (C) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) →			
状態遷移 SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		MCM0
(C) → (B)	0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μ s ~ 65 μ s
FRQSEL4 = 1の場合 : 18 μ s ~ 135 μ s

備考 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

(7) CPUを高速システム・クロック動作 (C) から、サブシステム・クロック動作 (D) へ移行

(SFRレジスタの設定順序) →			
状態遷移 SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	XTSTOP		CSS
(C) → (D)	0	必要	1

サブシステム・クロック動作中の場合は不要

(8) CPUをサブシステム・クロック動作 (D) から、高速オンチップ・オシレータ・クロック動作 (B) へ移行

(SFRレジスタの設定順序) →			
状態遷移 SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
	HIOSTOP		CSS
(D) → (B)	0	注	0

高速オンチップ・オシレータ・クロック動作中の場合は不要

注 FRQSEL4 = 0の場合 : 18 μ s ~ 65 μ s
FRQSEL4 = 1の場合 : 18 μ s ~ 135 μ s

備考1. 表5-3～表5-7の(A)～(J)は、図5-20の(A)～(J)と対応しています。

備考2. 高速オンチップ・オシレータ・クロックの発振精度安定待ちは、温度条件とSTOPモード期間によって変化します。

表5-6 CPUクロックの移行とSFRレジスタの設定例(4/5)

(9) CPUをサブシステム・クロック動作(D)から高速システム・クロック動作(C)へ移行

(SFRレジスタの設定順序) →

状態遷移 SFRレジスタの設定フラグ	OSTSレジスタ	CSCレジスタ	OSTCレジスタ	CKCレジスタ
		MSTOP		CSS
(D) → (C) (X1クロック : $1\text{ MHz} \leq f_x \leq 10\text{ MHz}$)	注	0	確認必要	0
(D) → (C) (X1クロック : $10\text{ MHz} < f_x \leq 20\text{ MHz}$)	注	0	確認必要	0
(D) → (C)(外部メイン・クロック)	注	0	確認不要	0

高速システム・クロック動作中の場合は不要

注 発振安定時間選択レジスタ(OSTS)の発振安定時間を次のように設定してください。

- ・期待する発振安定時間カウンタ状態レジスタ(OSTC)の発振安定時間 $\leq$ OSTSレジスタで設定する発振安定時間

注意 設定するクロックの動作可能電圧(第34章 または第35章 電気的特性を参照)に電源電圧が達してから、クロックを設定してください。

(10) CPUが高速オンチップ・オシレータ・クロック動作中(B)にHALTモード(E)へ移行

- ・CPUが高速システム・クロック動作中(C)にHALTモード(F)へ移行
- ・CPUがサブシステム・クロック動作中(D)にHALTモード(G)へ移行

状態遷移	設定内容
(B) → (E)	HALT命令を実行する
(C) → (F)	
(D) → (G)	

備考 表5-3～表5-7の(A)～(J)は、図5-20の(A)～(J)と対応しています。

表5-7 CPUクロックの移行とSFRレジスタの設定例(5/5)

- (11) ・CPUが高速オンチップ・オシレータ・クロック動作中 (B) にSTOPモード(H)へ移行
 ・CPUが高速システム・クロック動作中 (C) にSTOPモード(I)へ移行

(設定順序) →

状態遷移		設定内容		
(B) → (H)		STOPモード中に動作でき	—	STOP命令を実行する
(C) → (I)	X1発振	ない周辺機能を停止する	OSTSレジスタを設定する	
	外部クロック		—	

- (12) STOPモード (H) からSNOOZEモード(J)へ移行

STOPモードからSNOOZEモードへ移行するための設定の詳細については、14.8 SNOOZEモード機能、17.5.7 SNOOZEモード機能、17.7.3 SNOOZEモード機能を参照してください。

備考 表5-3～表5-7の(A)～(J)は、図5-20の(A)～(J)と対応しています。

5.6.5 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表 5 - 8 CPUクロックの移行について (1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速オンチップ・オシレータ・クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、高速オンチップ・オシレータを停止(HIOSTOP = 1)すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	
X1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部メイン・システム・クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、X1発振停止可能(MSTOP = 1)
外部メイン・システム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータの発振を許可していること ・ HIOSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)
	X1クロック	移行不可	—
	XT1クロック	XT1発振が安定していること ・ OSCSELS = 1, EXCLKS = 0, XTSTOP = 0 ・ 発振安定時間経過後	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能(MSTOP = 1)

表 5 - 9 CPUクロックの移行について (2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
外部メイン・システム・クロック	外部サブシステム・クロック	EXCLKS端子からの外部クロック入力を有効にすること ・ OSCSELS = 1, EXCLKS = 1, XTSTOP = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
XT1クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	外部サブシステム・クロック	移行不可	—
外部サブシステム・クロック	高速オンチップ・オシレータ・クロック	高速オンチップ・オシレータが発振され、メイン・システム・クロックに高速オンチップ・オシレータ・クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	CPUクロックが移行後のクロックに切り替わったことを確認した後、外部サブシステム・クロック入力を無効に設定可能
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	XT1クロック	移行不可	—

5.6.6 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット4, 6 (MCM0, CSS) の設定により、CPUクロックの切り替え (メイン・システム・クロック⇄サブシステム・クロック)、メイン・システム・クロックの切り替え (高速オンチップ・オシレータ・クロック→高速システム・クロック) をすることができます。

実際の切り替え動作は、CKCレジスタを書き換えた直後ではなく、CKCレジスタを変更したのち、数クロックは切り替え前のクロックで動作します (表5-10～表5-12参照)。

CPUクロックがメイン・システム・クロックで動作しているか、サブシステム・クロックで動作しているかは、CKCレジスタのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか、高速オンチップ・オシレータ・クロックで動作しているかは、CKCレジスタのビット5 (MCS) で判定できます。

CPUクロックを切り替えると、周辺ハードウェア・クロックも同時に切り替わります。

表5-10 メイン・システム・クロックの切り替えに要する最大時間

クロック A	切り替え方向	クロック B	備考
f _{IH}	↔	f _{MX}	表5-11参照
f _{MAIN}	↔	f _{SUB}	表5-12参照

表5-11 f_{IH}⇄f_{MX}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 (f _{MAIN} = f _{IH})	1 (f _{MAIN} = f _{MX})
0 (f _{MAIN} = f _{IH})	f _{MX} ≥ f _{IH}		2クロック
	f _{MX} < f _{IH}		2 f _{IH} /f _{MX} クロック
1 (f _{MAIN} = f _{MX})	f _{MX} ≥ f _{IH}	2 f _{MX} /f _{IH} クロック	
	f _{MX} < f _{IH}	2クロック	

表5-12 f_{MAIN}⇄f_{SUB}で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 (f _{CLK} = f _{MAIN})	1 (f _{CLK} = f _{SUB})
0 (f _{CLK} = f _{MAIN})			1 + 2 f _{MAIN} /f _{SUB} クロック
1 (f _{CLK} = f _{SUB})		3クロック	

備考1. 表5-11、表5-12のクロック数は、切り替え前のCPUクロックのクロック数です。

備考2. 表5-11、表5-12のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速システム・クロックから高速オンチップ・オシレータ・クロックに切り替える場合 (f_{IH} = 8 MHz, f_{MX} = 10 MHz発振時)
 $2 f_{MX}/f_{IH} = 2 (10/8) = 2.5 \rightarrow 3$ クロック

5.6.7 クロック発振停止前の条件

クロック発振停止(外部クロック入力無効)するためのレジスタのフラグ設定と停止前の条件を次に示します。

クロックを停止する場合は、クロック停止前条件を確認した後に停止してください。

表5 - 13 クロック発振停止前の条件とフラグ設定

クロック	クロック停止(外部クロック入力無効)前条件	SFRレジスタのフラグ設定
高速オンチップ・オシレータ・クロック	MCS = 1 または CLS = 1 (CPUクロックが高速オンチップ・オシレータ・クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0 または CLS = 1	MSTOP = 1
外部メイン・システム・クロック	(CPUクロックが高速システム・クロック以外で動作)	
XT1クロック	CLS = 0	XTSTOP = 1
外部サブシステム・クロック	(CPUクロックがサブシステム・クロック以外で動作)	

5.7 発振子と発振回路定数

動作確認済みの発振子と、その発振回路定数(参考)を示します。

注意1. この発振回路定数は、発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションでは、実装回路上での評価を発振子メーカーに依頼してください。

また、別製品からのマイコンの変更、基板の変更の際には、再度、実装回路上での評価を発振子メーカーに依頼してください。

注意2. 発振電圧、発振周波数は、あくまでも発振回路特性を示すものです。RL78 マイクロコントローラの内部動作条件については、DC, AC特性の規格内で使用してください。

図5 - 21 外付け回路例



(1) X1発振

2024年3月現在

メーカー	発振子	品名	SMD/ リード	周波数 (MHz)	フラッシュ 動作モード注1	発振回路定数(参考)注2			電圧範囲(V)	
						C1 (pF)	C2 (pF)	Rd (kΩ)	MIN.	MAX.
株式会社 村田製作所 注3	セラミック 発振子	CSTCR4M00G55-R0	SMD	4.0	LV	(39)	(39)	0	1.6	5.5
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR4M00G55-R0	SMD	4.0	LS	(39)	(39)	0	1.8	5.5
		CSTLS4M00G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0		(15)	(15)	0		
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード			(15)	(15)	0		
		CSTCR5M00G53-R0	SMD	5.0	HS	(15)	(15)	0	2.4	5.5
		CSTLS5M00G53-B0	リード			(15)	(15)	0		
		CSTCR6M00G53-R0	SMD	6.0		(15)	(15)	0		
		CSTLS6M00G53-B0	リード			(15)	(15)	0		
		CSTCE8M00G52-R0	SMD	8.0		(10)	(10)	0		
		CSTLS8M00G53-B0	リード			(15)	(15)	0		
		CSTCE10M0G52-R0	SMD	10.0		(10)	(10)	0		
		CSTLS10M0G53-B0	リード			(15)	(15)	0		
		CSTCE16M0V53-R0	SMD	16.0		(15)	(15)	0		
		CSTLS16M0X51-B0	リード			(5)	(5)	0		
		CSTCE20M0V51-R0	SMD	20.0	HS	(5)	(5)	0	2.7	5.5
		CSTLS20M0X51-B0	リード			(5)	(5)	0		
日本電波 工業株式 会社注4	水晶振動子	NX8045GB	SMD	8	LS	注4			1.8	5.5
		NX8045GB	SMD	8	HS				2.4	5.5
		NX5032GA	SMD	16	HS					
		NX3225HA	SMD	20	HS				2.7	5.5
リバー エレテック 株式会社	水晶振動子	FCX-03-8.000 MHZ-J21140 注5	SMD	8.0	HS	3	3	0	2.4	5.5
		FCX-04C-10.000 MHZ-J21139 注5	SMD	10.0		4	4	0		
		FCX-05-12.000 MHZ-J21138 注5	SMD	12.0		6	6	0		
		FCX-06-16.000 MHZ-J21137 注5	SMD	16.0		4	4	0		

注1. フラッシュ動作モードは、オプション・バイト(000C2H)のCMODE1, CMODE0ビットで設定します。

注2. C1, C2の欄の()内は、内蔵容量値を示しています。

注3. この振動子を使用する場合、マッチングの詳細については、株式会社村田製作所 (<http://www.murata.co.jp>) にお問い合わせください。

また、105℃対応の製品は品名が異なります。詳細は、株式会社村田製作所へお問い合わせください。

注4. この振動子を使用する場合、マッチングの詳細については、日本電波工業株式会社 (<http://www.ndk.com/>) にお問い合わせください。

注5. この振動子を使用する場合、マッチングの詳細については、リバーエレテック株式会社 (<http://www.river-ele.co.jp>) にお問い合わせください。

備考1. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz ~ 32 MHz

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz ~ 16 MHz

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz ~ 8 MHz

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ @1 MHz ~ 4 MHz

備考2. 最新の動作確認済みの発振子と, その発振回路定数(参考)は当社Web ページ(<http://www.renesas.com>)の対象製品ページに掲載しております。

(2) XT1発振(水晶振動子)

2024年3月現在

メーカー	品名	SMD/ リード	周波数 (kHz)	負荷容量 CL (pF)	XT1発振 モード注1	発振回路定数(参考)			電圧範囲(V)	
						C3 (pF)	C4 (pF)	Rd (kΩ)	MIN.	MAX.
セイコー インスツル 株式会社注2	SSP-T7-FL	SMD	32.768	6.0	通常発振	10	9	0	1.6	5.5
				4.4	低消費発振	7	5	0		
				3.7	超低消費発振	6	3	0		
	VT-200-FL	リード		6.0	通常発振	10	9	0		
				4.4	低消費発振	7	5	0		
				3.7	超低消費発振	6	3	0		
日本電波工業 株式会社注3	NX3215SA	SMD	32.768	6.0	通常発振	注3			1.6	5.5
				低消費発振						
				超低消費発振						
リバー エレテック 株式会社	TFX-02-32.768 KHZ-J20986 注4	SMD	32.768	9	通常発振	12	10	0	1.6	5.5
	低消費発振									
	TFX-03-32.768 KHZ-J13375 注4	SMD	32.768	9	通常発振	12	10	0		

注1. XT1発振モードは, クロック動作モード制御レジスタ(CMC)のAMPHS0, AMPHS1ビットで設定します。

注2. この振動子を使用する場合, マッチングの詳細については, セイコーインスツル株式会社 (<http://www.sii-crystal.com>) にお問い合わせください。

この振動子はROM16KB ~ 256KBの製品のみで動作を確認しております。

注3. この振動子を使用する場合, マッチングの詳細については, 日本電波工業株式会社 (<http://www.ndk.com/>) にお問い合わせください。

注4. この振動子を使用する場合, マッチングの詳細については, リバーエレテック株式会社 (<http://www.river-ele.co.jp>) にお問い合わせください。

備考 最新の動作確認済みの発振子と, その発振回路定数(参考)は当社Web ページ(<http://www.renesas.com>)の対象製品ページに掲載しております。

第6章 タイマ・アレイ・ユニット

タイマ・アレイ・ユニットのユニット，チャンネル数は，製品によって異なります。

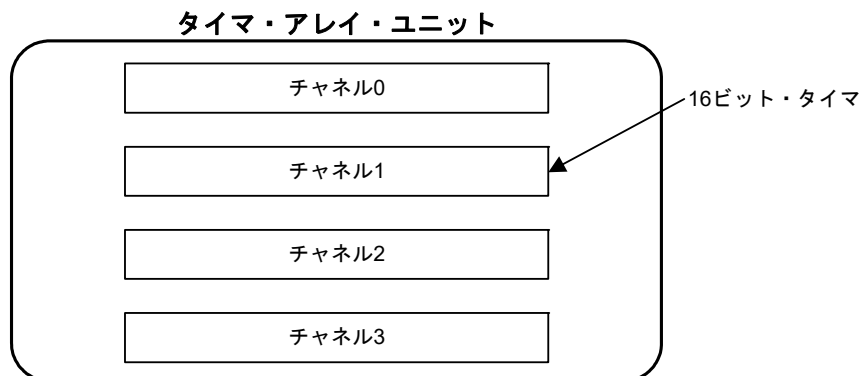
ユニット	チャンネル	30, 32, 36, 40, 44, 48, 52, 64 ピン	80, 100 ピン
ユニット0	チャンネル0	○	○
	チャンネル1	○	○
	チャンネル2	○	○
	チャンネル3	○	○
ユニット1	チャンネル0	—	○
	チャンネル1	—	○
	チャンネル2	—	○
	チャンネル3	—	○

注意1. タイマ入出力端子の有無は製品によって異なります。詳細は，表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

注意2. この章では，以降の主な説明を100ピン製品の場合で説明しています。

タイマ・アレイ・ユニットは4個の16ビット・タイマを搭載しています。

各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせることで高度なタイマ機能として使用することもできます。



各機能の詳細に関しては下記を参照ください。

単独チャンネル動作機能	複数チャンネル連動動作機能
・インターバル・タイマ(→6.8.1参照) ・方形波出力(→6.8.1参照) ・外部イベント・カウンタ(→6.8.2参照) ・分周器^注(→6.8.3参照) ・入力パルス間隔測定(→6.8.4参照) ・入力信号のハイ／ロウ・レベル幅測定(→6.8.5参照) ・ディレイ・カウンタ(→6.8.6参照)	・ワンショット・パルス出力(→6.9.1参照) ・PWM出力(→6.9.2参照) ・多重PWM出力(→6.9.3参照)

注 ユニット0のチャンネル0のみ

ユニット0, 1のチャンネル1, 3の16ビット・タイマを2つの8ビット・タイマ(上位／下位)として使用することもできます。チャンネル1, 3が8ビット・タイマとして使用できる機能は、次の機能です。

- ・インターバル・タイマ(上位/下位 8ビット・タイマ)/方形波出力(下位 8ビット・タイマのみ)
- ・外部イベント・カウンタ(下位 8ビット・タイマのみ)
- ・ディレイ・カウンタ(下位 8ビット・タイマのみ)

また、ユニット0のチャンネル3は、シリアル・アレイ・ユニットのUART0と連携し、LIN-bus通信動作を実現することができます。

6.1 タイマ・アレイ・ユニットの機能

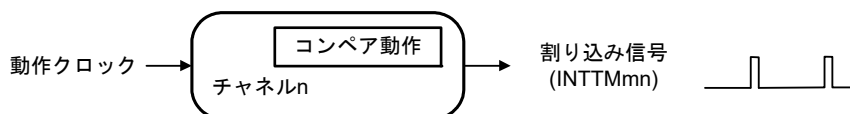
タイマ・アレイ・ユニットには、次のような機能があります。

6.1.1 単独チャネル動作機能

単独チャネル動作機能は、他のチャネルの動作モードに影響を受けることなく任意のチャネルを独立して使用可能な機能です。

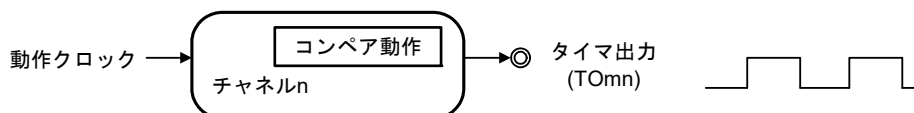
(1) インターバル・タイマ

一定間隔で割り込み(INTTMmn)を発生する基準タイマとして利用できます。



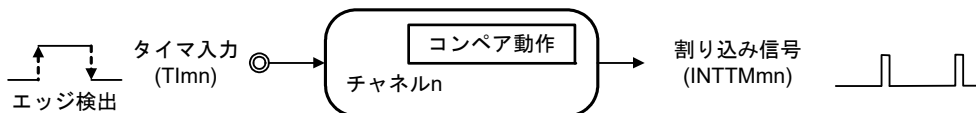
(2) 方形波出力

INTTMmn 割り込みの発生ごとにトグル動作を行い、デューティ 50%の方形波をタイマ出力端子(TOmn)より出力します。



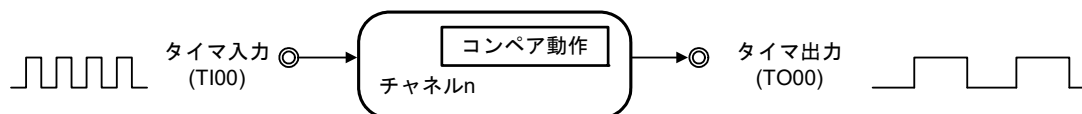
(3) 外部イベント・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



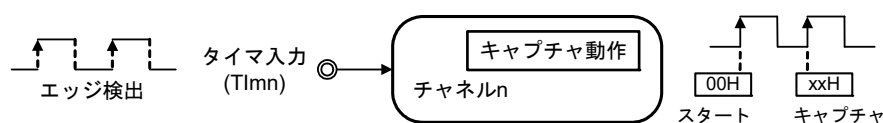
(4) 分周器機能(ユニット0のチャネル0のみ)

タイマ入力端子(TI00)から入力されたクロックを分周して出力端子(TO00)より出力します。



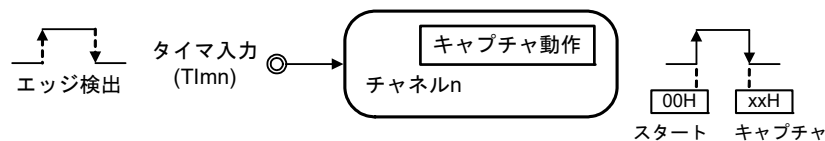
(5) 入力パルス間隔測定

タイマ入力端子(TImn)に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。



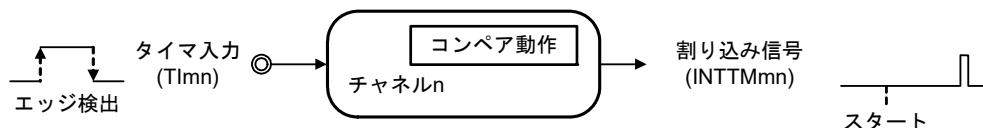
(6) 入力信号のハイ／ロウ・レベル幅測定

タイマ入力端子(TImn)に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



(7) ディレイ・カウンタ

タイマ入力端子(TImn)に入力される信号の有効エッジでカウントをスタートし、任意のディレイ期間後、割り込みを発生します。



備考1. m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-3)

備考2. チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

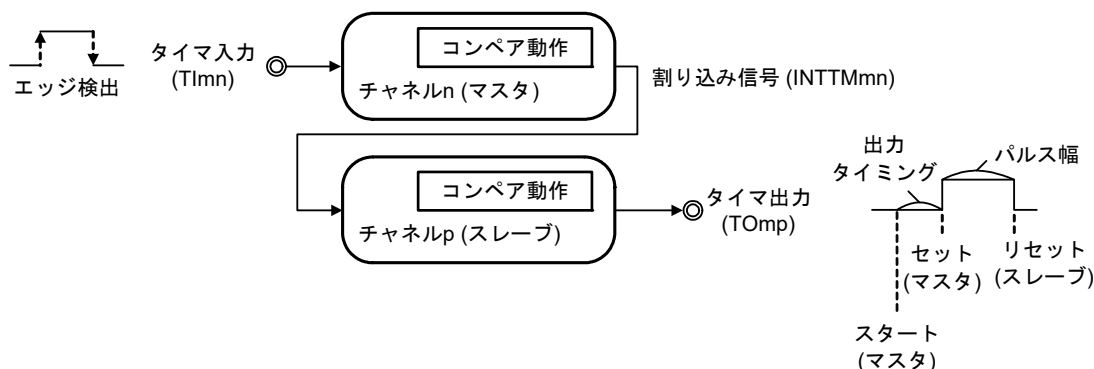
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル(主に周期を制御する基準タイマ)とスレーブ・チャンネル(マスタ・チャンネルに従い動作するタイマ)を組み合わせる機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

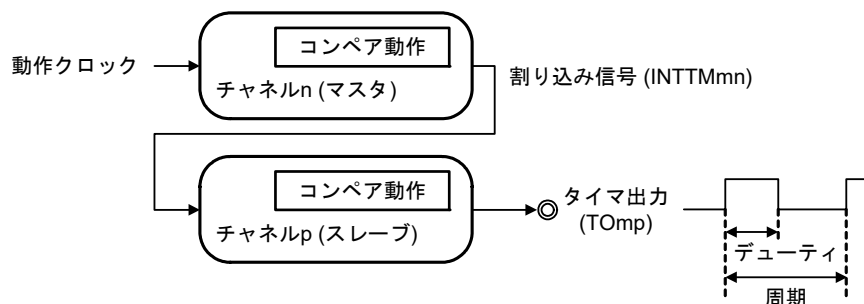
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、出力タイミングとパルス幅を任意に設定できるワンショット・パルスを生成します。



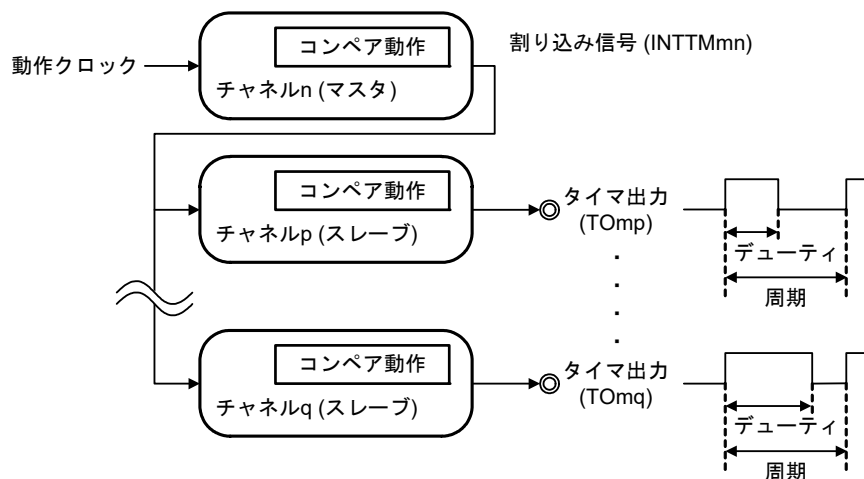
(2) PWM (Pulse Width Modulation)出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulation) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルを使用することで、周期一定で、任意のデューティのPWM信号を最大3種類生成することができます。



注意 複数チャンネル連動動作機能のルールの詳細については、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。

備考 m : ユニット番号 ($m = 0, 1$), n : チャンネル番号 ($n = 0-3$),
p, q : スレーブ・チャンネル番号 ($n < p < q \leq 3$)

6.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。チャンネル1, 3のみが使用できます。

注意 8ビット・タイマ動作機能の使用にあたっては、いくつかのルールがあります。

詳細は、6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)を参照してください。

6.1.4 LIN-bus 対応機能(ユニット0のチャンネル3のみ)

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットを使ってチェックします。

(1) ウェイクアップ信号の検出

UART0 のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) ブレーク・フィールドの検出

ウェイクアップ信号検出後、UART0 のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がリエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ブレーク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

ブレーク・フィールド検出後、UART0 のシリアル・データ入力端子 (RxD0) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus 対応機能の動作設定については、6.3.13 入力切り替え制御レジスタ (ISC)、6.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットの構成

タイマ・アレイ・ユニットは、次のハードウェアで構成されています。

表6-1 タイマ・アレイ・ユニットの構成

項目	構成
タイマ／カウンタ	タイマ・カウンタ・レジスタ mn (TCRmn)
レジスタ	タイマ・データ・レジスタ mn (TDRmn)
タイマ入力	TI00-TI03, TI10-TI13 ^{注1} , RxD0 端子 (LIN-bus 用)
タイマ出力	TO00-TO03, TO10-TO13 ^{注1} , 出力制御回路
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ 0 (PER0) ・タイマ・クロック選択レジスタ m (TPSm) ・タイマ・チャネル許可ステータス・レジスタ m (TEm) ・タイマ・チャネル開始レジスタ m (TSm) ・タイマ・チャネル停止レジスタ m (TTm) ・タイマ入力選択レジスタ 0 (TIS0) ・タイマ出力許可レジスタ m (TOEm) ・タイマ出力レジスタ m (TOm) ・タイマ出力レベル・レジスタ m (TOLm) ・タイマ出力モード・レジスタ m (TOMm) <各チャネル部のレジスタ> ・タイマ・モード・レジスタ mn (TMRmn) ・タイマ・ステータス・レジスタ mn (TSRmn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) ・ポート・モード・コントロール・レジスタ (PMCxx)^{注2} ・ポート・モード・レジスタ (PMxx)^{注2} ・ポート・レジスタ (Pxx)^{注2}

注1. チャネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

注2. 製品によって設定するポート・モード・コントロール・レジスタ (PMCxx)、ポート・モード・レジスタ (PMxx) とポート・レジスタ (Pxx) が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

備考 m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3)

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

表 6 - 2 各製品に搭載しているタイマ入出力端子

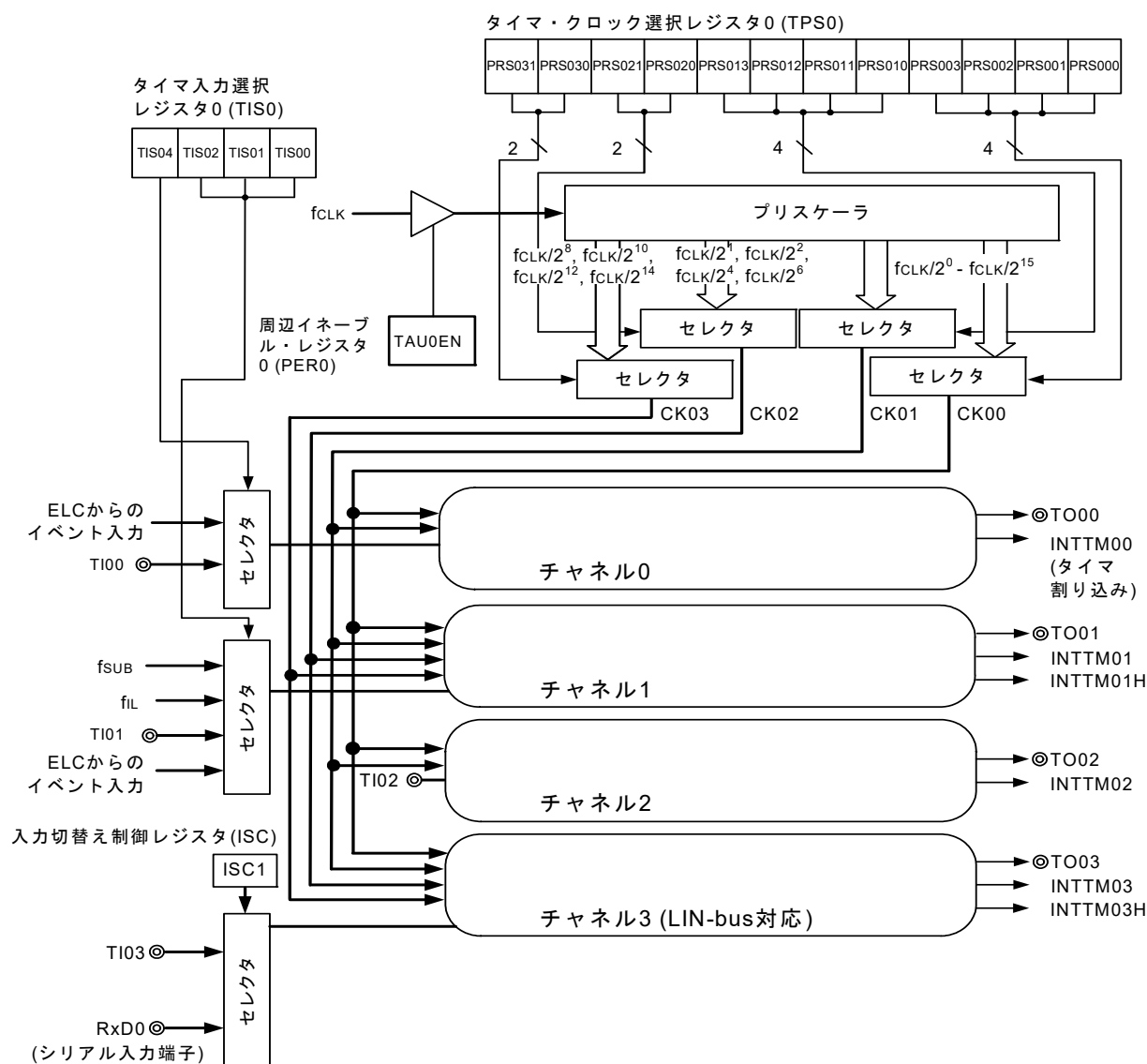
タイマ・アレイ・ユニット・ チャンネル		各製品の入出力端子の有無		
		100 ピン	80 ピン	30, 32, 36, 40, 44, 48, 52, 64 ピン
ユニット 0	チャンネル 0	TI00, TO00		
	チャンネル 1	TI01/TO01		
	チャンネル 2	TI02/TO02		
	チャンネル 3	TI03/TO03		
ユニット 1	チャンネル 0	TI10/TO10	×	
	チャンネル 1	TI11/TO11	×	
	チャンネル 2	TI12/TO12	×	
	チャンネル 3	TI13/TO13	×	

備考 1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。

備考 2. ×：チャンネル非搭載

図 6 - 1、図 6 - 2 にタイマ・アレイ・ユニットのブロック図を示します。

図6-1 タイマ・アレイ・ユニット0の全体ブロック図



備考 fsUB : サブシステム・クロック周波数

fIL : 低速オンチップ・オシレータ・クロック周波数

図6-2 タイマ・アレイ・ユニット0のチャンネル0内部ブロック図

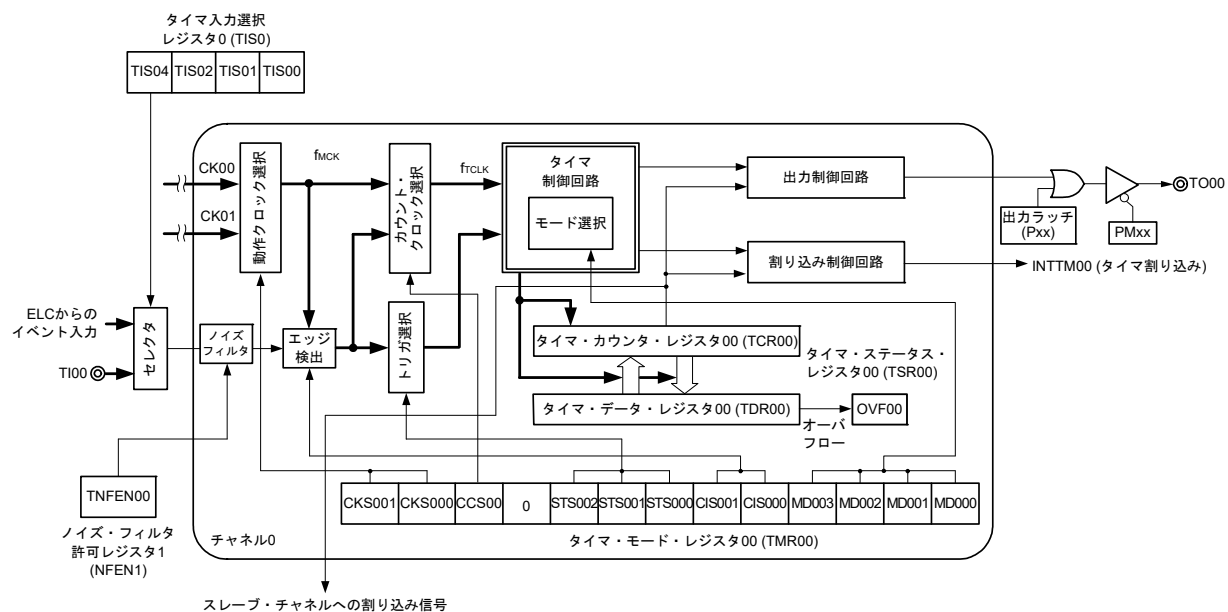


図6-3 タイマ・アレイ・ユニット0のチャンネル1内部ブロック図

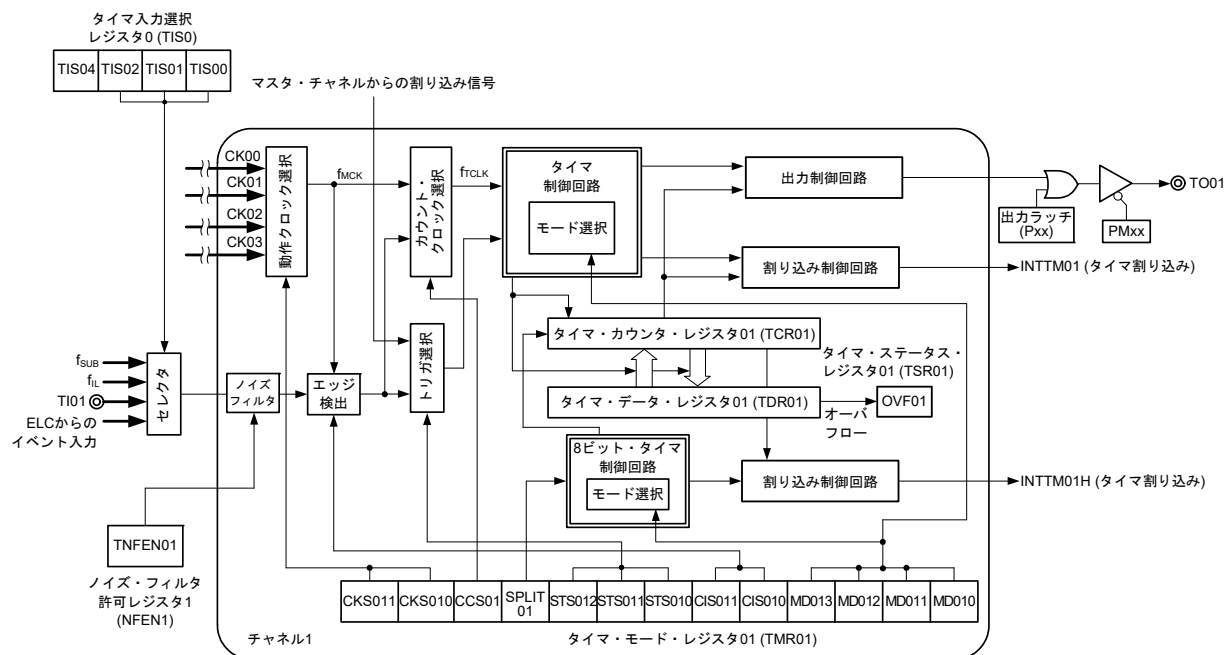


図6-4 タイマ・アレイ・ユニット0のチャンネル2内部ブロック図

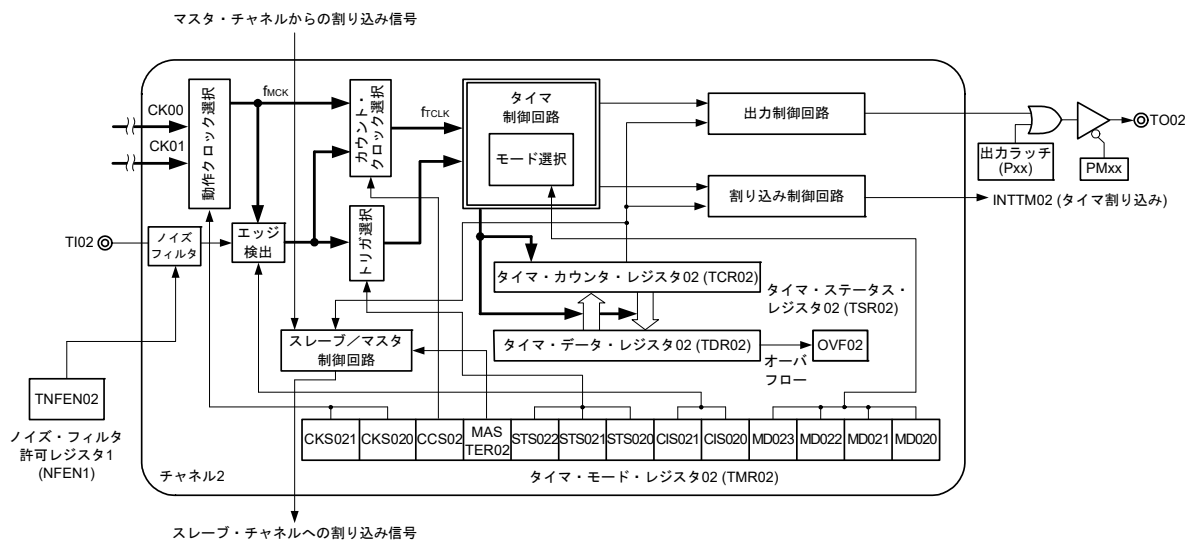
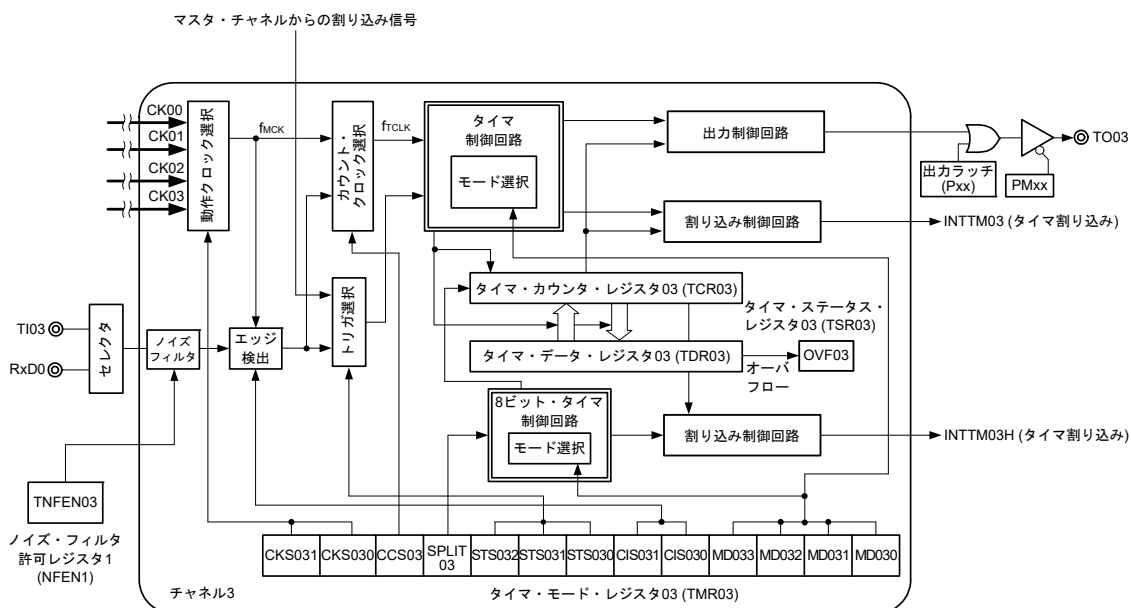


図6-5 タイマ・アレイ・ユニット0のチャンネル3内部ブロック図



6.2.1 タイマ・カウンタ・レジスタ mn (TCRmn)

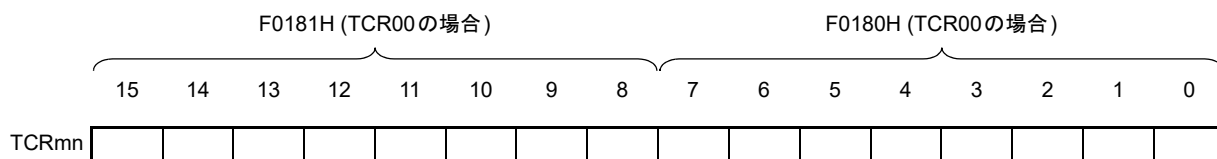
TCRmnレジスタは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント／デクリメントします。

インクリメントかデクリメントかは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります(6.3.3 タイマ・モード・レジスタ mn (TMRmn)参照)。

図6-6 タイマ・カウンタ・レジスタ mn (TCRmn)のフォーマット

アドレス : F0180H, F0181H (TCR00) - F0186H, F0187H (TCR03), リセット時 : FFFFH R
F01C0H, F01C1H (TCR10) - F01C6H, F01C7H (TCR13)



備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

タイマ・カウンタ・レジスタ mn (TCRmn) をリードすることにより、カウント値をリードできます。

次の場合、カウント値はFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ 0 (PER0) の TAUmEN ビットをクリアしたとき
- ・PWM出力モードで、スレーブ・チャンネルのカウント完了時
- ・ディレイ・カウンタ・モードで、スレーブ・チャンネルのカウント完了時
- ・ワンショット・パルス出力モードで、マスタ/スレーブ・チャンネルのカウント完了時
- ・多重PWM出力モードで、スレーブ・チャンネルのカウント完了時

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCRmn レジスタをリードしても、タイマ・データ・レジスタ mn (TDRmn) にはキャプチャしません。

TCRmn レジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表 6 - 3 各動作モード時のタイマ・カウンタ・レジスタ mn (TCRmn) 読み出し値

動作モード	カウント方式	タイマ・カウンタ・レジスタ (TCRmn) の読み出し値 ^注			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止 (TTmn = 1) した場合の値	カウント動作を一時停止 (TTmn = 1) 後、動作モード変更した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
キャプチャ・モード	アップ・カウント	0000H	停止時の値	不定	—
イベント・カウンタ・モード	ダウン・カウント	FFFFH	停止時の値	不定	—
ワンカウント・モード	ダウン・カウント	FFFFH	停止時の値	不定	FFFFH
キャプチャ & ワンカウント・モード	アップ・カウント	0000H	停止時の値	不定	TDRmn レジスタのキャプチャ値 + 1

注 チャンネル n がタイマ動作停止状態 (TEmn = 0) かつカウント動作許可状態 (TSmn = 1) にした時点の、TCRmn レジスタの読み出し値を示します。カウント動作開始までこの値が TCRmn レジスタに保持されます。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

6.2.2 タイマ・データ・レジスタ mn (TDRmn)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能かコンペア機能かは、タイマ・モード・レジスタ mn (TMRmn)のMDmn3-MDmn0ビットで動作モードを選択することで切り替わります。

TDRmnレジスタは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

また、TDRm1, TDRm3レジスタは、8ビット・タイマ・モード時(タイマ・モード・レジスタ m1, m3 (TMRm1, TMRm3)のSPLITm1, SPLITm3ビットが1)に、上位8ビットをTDRm1H, TDRm3H, 下位8ビットをTDRm1L, TDRm3Lとして、8ビット単位でリード/ライト可能になります。

リセット信号の発生により、TDRmnレジスタは0000Hになります。

図6-7 タイマ・データ・レジスタ mn (TDRmn)(n = 0, 2)のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF64H, FFF65H (TDR02), リセット時 : 0000H R/W
FFF70H, FFF71H (TDR10), FFF74H, FFF75H (TDR12)

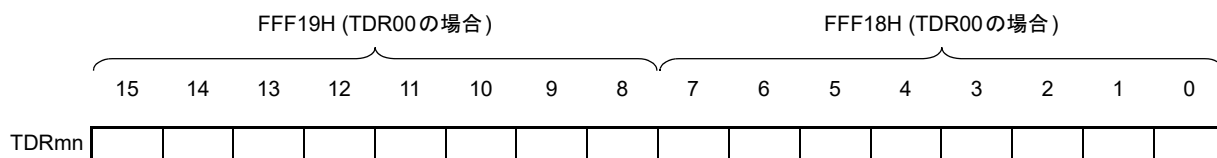
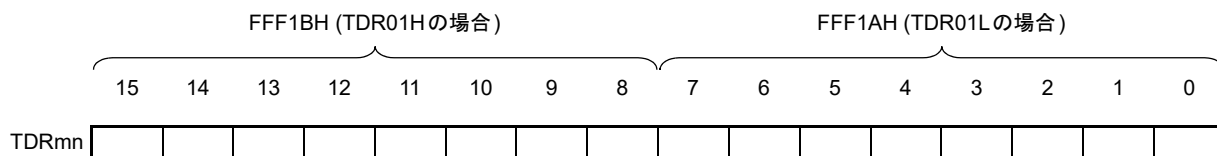


図6-8 タイマ・データ・レジスタ mn (TDRmn)(n = 1, 3)のフォーマット

アドレス : FFF1AH, FFF1BH (TDR01), FFF66H, FFF67H (TDR03), リセット時 : 0000H R/W
FFF72H, FFF73H (TDR11), FFF76H, FFF77H (TDR13)



(i) タイマ・データ・レジスタ mn (TDRmn)をコンペア・レジスタとして使用する場合

TDRmn レジスタに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号(INTTMmn)を発生します。TDRmn レジスタは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDRmnレジスタはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) タイマ・データ・レジスタ mn (TDRmn)をキャプチャ・レジスタとして使用する場合

キャプチャ・トリガの入力により、タイマ・カウンタ・レジスタ mn (TCRmn)のカウンタ値をTDRmnレジスタにキャプチャします。

キャプチャ・トリガとして、Tlmn 端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、タイマ・モード・レジスタ mn (TMRmn)で設定します。

備考 m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3)

6.3 タイマ・アレイ・ユニットを制御するレジスタ

タイマ・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- タイマ・クロック選択レジスタ m (TPSm)
- タイマ・モード・レジスタ mn (TMRmn)
- タイマ・ステータス・レジスタ mn (TSRmn)
- タイマ・チャネル許可ステータス・レジスタ m (TEm)
- タイマ・チャネル開始レジスタ m (TSm)
- タイマ・チャネル停止レジスタ m (TTm)
- タイマ入力選択レジスタ 0 (TIS0)
- タイマ出力許可レジスタ m (TOEm)
- タイマ出力レジスタ m (TOM)
- タイマ出力レベル・レジスタ m (TOLm)
- タイマ出力モード・レジスタ m (TOMm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)
- ポート・モード・コントロール・レジスタ (PMCxx)
- ポート・モード・レジスタ (PMxx)
- ポート・レジスタ (Pxx)

注意 製品によって、搭載しているレジスタとビットは異なります。搭載していないビットには必ず初期値を設定してください。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

6.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニット0を使用する場合は、必ずビット0 (TAU0EN)を1に設定してください。

タイマ・アレイ・ユニット1を使用する場合は、必ずビット1 (TAU1EN)を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは00Hになります。

図6-9 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN ^注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^注	TAU0EN
TAU1EN ^注		タイマ・アレイ・ユニット1の入カクロック供給の制御						
0		入カクロック供給停止 ・タイマ・アレイ・ユニット1で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット1はリセット状態						
1		入カクロック供給 ・タイマ・アレイ・ユニット1で使用するSFRへのリード／ライト可						
TAU0EN		タイマ・アレイ・ユニット0の入カクロックの制御						
0		入カクロック供給停止 ・タイマ・アレイ・ユニット0で使用するSFRへのライト不可 ・タイマ・アレイ・ユニット0はリセット状態						
1		入カクロック供給 ・タイマ・アレイ・ユニット0で使用するSFRへのリード／ライト可						

注 80, 100ピン製品のみ。

注意1. タイマ・アレイ・ユニットの設定をする際には、必ず最初に TAUmEN = 1 の状態で、下記のレジスタの設定を行ってください。TAUmEN = 0 の場合は、タイマ・アレイ・ユニットの制御レジスタは初期値となり、書き込みは無視されます(タイマ入力選択レジスタ 0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2), ポート・モード・コントロール・レジスタ 0, 1, 10, 12, 14 (PMC0, PMC1, PMC10, PMC12, PMC14), ポート・モード・レジスタ 0, 1, 3, 6 (PM0, PM1, PM3, PM6), ポート・レジスタ 0, 1, 3, 6 (P0, P1, P3, P6)は除く)。

- ・タイマ・ステータス・レジスタ mn (TSRmn)
- ・タイマ・チャネル許可ステータス・レジスタ m (TEm)
- ・タイマ・チャネル開始レジスタ m (TSm)
- ・タイマ・チャネル停止レジスタ m (TTm)
- ・タイマ出力許可レジスタ m (TOEm)
- ・タイマ出力レジスタ m (TOM)
- ・タイマ出力レベル・レジスタ m (TOLm)
- ・タイマ出力モード・レジスタ m (TOMm)

注意2. 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品：ビット1, 6

6.3.2 タイマ・クロック選択レジスタ m (TPSm)

TPSm レジスタは、各チャンネルに共通して供給される2種類または4種類の動作クロック (CKm0, CKm1, CKm2, CKm3) を選択する16ビット・レジスタです。CKm0はTPSm レジスタのビット3-0で、CKm1はTPSm レジスタのビット7-4で選択します。さらにチャンネル1, 3のみ、CKm2, CKm3も選択できます。CKm2はTPSm レジスタのビット9-8で、CKm3はTPSm レジスタのビット13, 12で選択できます。

タイマ動作中のTPSm レジスタの書き換えは、次の場合のみ可能です。

PRSm00-PRSm03ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm0を選択 (CKSmn1, CKSmn0 = 0, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm10-PRSm13ビットが書き換え可能な場合 (n = 0-3) :

動作クロックにCKm2を選択 (CKSmn1, CKSmn0 = 0, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm20, PRSm21ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm1を選択 (CKSmn1, CKSmn0 = 1, 0) しているチャンネルがすべて停止状態 (TEmn = 0)

PRSm30-PRSm31ビットが書き換え可能な場合 (n = 1, 3) :

動作クロックにCKm3を選択 (CKSmn1, CKSmn0 = 1, 1) しているチャンネルがすべて停止状態 (TEmn = 0)

TPSm レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPSm レジスタは0000Hになります。

図6-10 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)

アドレス : F01B6H, F01B7H (TPS0), F01F6H, F01F7H (TPS1)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック (CKmk) の選択 ^注 (k = 0, 1)				
					fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	4 MHz	8 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2 MHz	4 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1 MHz	2 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	500 kHz	1 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	125 kHz	250 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	31.3 kHz	62.5 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	7.81 kHz	15.6 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	19.5 kHz	31.25 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	1.95 kHz	3.91 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	977 Hz	1.95 kHz	4.88 kHz	7.81 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	488 Hz	977 Hz	2.44 kHz	3.91 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	244 Hz	488 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61.0 Hz	122 Hz	244 Hz	610 Hz	977 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック (fMCK), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意1. ビット15, 14, 11, 10には、必ず0を設定してください。

注意2. 動作クロック (CKmk)にfCLK (分周なし)を選択し、TDRnm = 0000H (n = 0, 1, m = 0-3)を設定すると、タイマ・アレイ・ユニットからの割り込み要求は使用できません。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するクロックの波形は、立ち上がりからfCLKの1周期分だけハイ・レベルになります (m = 1-15)。詳しくは、6.5.1 カウント・クロック (fCLK)を参照してください。

図6-11 タイマ・クロック選択レジスタm (TPSm)のフォーマット(2/2)

アドレス : F01B6H, F01B7H (TPS0), F01F6H, F01F7H (TPS1)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPSm	0	0	PRS m31	PRS m30	0	0	PRS m21	PRS m20	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS m21	PRS m20	動作クロック (CKm2)の選択注					
			fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	fCLK/2	1 MHz	2 MHz	4 MHz	10 MHz	16 MHz
0	1	fCLK/2 ²	500 kHz	1 MHz	2 MHz	5 MHz	8 MHz
1	0	fCLK/2 ⁴	125 kHz	250 kHz	500 kHz	1.25 MHz	2 MHz
1	1	fCLK/2 ⁶	31.3 kHz	62.5 kHz	125 kHz	313 kHz	500 kHz

PRS m31	PRS m30	動作クロック (CKm3)の選択注					
			fCLK = 2 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	fCLK/2 ⁸	7.81 kHz	15.6 kHz	31.3 kHz	78.1 kHz	125 kHz
0	1	fCLK/2 ¹⁰	1.95 kHz	3.91 kHz	7.81 kHz	19.5 kHz	31.3 kHz
1	0	fCLK/2 ¹²	488 Hz	977 kHz	1.95 kHz	4.88 kHz	7.81 kHz
1	1	fCLK/2 ¹⁴	122 Hz	244 Hz	488 Hz	1.22 kHz	1.95 kHz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止(TTm = 000FH)させてください。

動作クロック(fmck), TImn端子からの入力信号の有効エッジのどれを選択している場合でも停止する必要があります。

注意 ビット15, 14, 11, 10には、必ず0を設定してください。

チャンネル1, 3を8ビット・タイマ・モードで使用し、CKm2, CKm3を動作クロックとすることにより、インターバル・タイマ機能で、表6-4に示すインターバル時間を実現することが可能です。

表6-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間

クロック		インターバル時間注(fCLK = 32 MHz)			
		10 μs	100 μs	1 ms	10 ms
CKm2	fCLK/2	○	—	—	—
	fCLK/2 ²	○	—	—	—
	fCLK/2 ⁴	○	○	—	—
	fCLK/2 ⁶	○	○	—	—
CKm3	fCLK/2 ⁸	—	○	○	—
	fCLK/2 ¹⁰	—	○	○	—
	fCLK/2 ¹²	—	—	○	○
	fCLK/2 ¹⁴	—	—	○	○

注 ○には5%以下の誤差が含まれます。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. TPSmレジスタで選択するfCLK/2ⁿの詳細は、6.5.1 カウント・クロック(fCLK)を参照してください。

6.3.3 タイマ・モード・レジスタ mn (TMRmn)

TMRmnレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fMCK)の選択、カウント・クロックの選択、マスタ／スレーブの選択、16ビット／8ビット・タイマの選択(チャンネル1, 3のみ)、スタート・トリガとキャプチャ・トリガの設定、タイマ入力の有効エッジ選択、動作モード(インターバル、キャプチャ、イベント・カウンタ、ワンカウント、キャプチャ&ワンカウント)設定を行います。

TMRmnレジスタは、動作中(TEmn = 1のとき)の書き換えは禁止です。ただし、ビット7, 6 (CISmn1, CISmn0)は、一部の機能で動作中(TEmn = 1のとき)の書き換えが可能です(詳細は6.8 タイマ・アレイ・ユニットの単独チャンネル動作機能、6.9 タイマ・アレイ・ユニットの複数チャンネル連動動作機能を参照)。

TMRmnレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMRmnレジスタは0000Hになります。

注意 TMRmnレジスタのビット11は、チャンネルによって搭載するビットが異なります。

TMRm2: MASTERmnビット(n = 2)

TMRm1, TMRm3: SPLITmnビット(n = 1, 3)

TMRm0: 0 固定

図6-12 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(1/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03), リセット時 : 0000H R/W
F01D0H, F01D1H (TMR10) - F01D6H, F01D7H (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CKS mn1	CKS mn0	チャンネルnの動作クロック (fMCK)の選択
0	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm0
0	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm2
1	0	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm1
1	1	タイマ・クロック選択レジスタ m (TPSm)で設定した動作クロック CKm3
動作クロック (fMCK)は、エッジ検出回路に使用されます。また、CCSmnビットの設定によりサンプリング・クロックおよびカウント・クロック (fCLK)を生成します。		
動作クロック CKm2, CKm3は、チャンネル1, 3のみ選択可能です。		

CCSmn	チャンネルnのカウント・クロック (fCLK)の選択
0	CKSmn0, CKSmn1ビットで指定した動作クロック (fMCK)
1	Tlmn端子からの入力信号の有効エッジ ・ユニット0の場合 : チャンネル0では、TIS0で選択した入力信号の有効エッジ チャンネル1では、TIS0で選択した入力信号の有効エッジ チャンネル3では、ISCで選択した入力信号の有効エッジ
カウント・クロック (fCLK)は、カウンタ、出力制御回路、割り込み制御回路に使用されます。	

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

注意1. ビット13, 5, 4には、必ず0を設定してください。

注意2. カウント・クロック (fCLK)にCKSmn0, CKSmn1ビットで指定した動作クロック (fMCK), Tlmn端子からの入力信号の有効エッジのどれを選択していても、fCLKに選択しているクロックを変更 (システム・クロック制御レジスタ (CKC)の値を変更)する場合は、タイマ・アレイ・ユニットを停止 (TTm = 00FFH)させてください。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6-13 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(2/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03), リセット時 : 0000H R/W
F01D0H, F01D1H (TMR10) - F01D6H, F01D7H (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

(TMRmn (n = 2)のビット11)

MASTERmn	チャンネルnの単独チャンネル動作／複数チャンネル連動動作(スレーブ／マスタ)の選択
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作

チャンネル2のみマスタ・チャンネル(MASTERmn = 1)に設定できます。
チャンネル0は0固定となります(チャンネル0は最上位チャンネルのため、このビットの設定によらずマスタとして動作します)。
また、単独チャンネル動作機能として使用するチャンネルは、MASTERmn = 0 にします。

(TMRmn (n = 1, 3)のビット11)

SPLIT mn	チャンネル1, 3の8ビット・タイマ／16ビット・タイマ動作の選択
0	16ビット・タイマとして動作 (単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作)
1	8ビット・タイマとして動作

STS mn2	STS mn1	STS mn0	チャンネルnのスタート・トリガ、キャプチャ・トリガの設定
0	0	0	ソフトウェア・トリガ・スタートのみ有効(他のトリガ要因を非選択にする)
0	0	1	Tlmn 端子入力の有効エッジを、スタート・トリガ、キャプチャ・トリガの両方に使用
0	1	0	Tlmn 端子入力の両エッジを、スタート・トリガとキャプチャ・トリガに分けて使用
1	0	0	マスタ・チャンネルの割り込み信号を使用(複数チャンネル連動動作機能のスレーブ・チャンネル時)
上記以外			設定禁止

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3)

図6 - 14 タイマ・モード・レジスタ mn (TMRmn)のフォーマット(3/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03), リセット時 : 0000H R/W
F01D0H, F01D1H (TMR10) - F01D6H, F01D7H (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0 ^{注1}	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

CIS mn1	CIS mn0	Tlmn 端子の有効エッジ選択
0	0	立ち下がリエッジ
0	1	立ち上がリエッジ
1	0	両エッジ(ロウ・レベル幅測定時) スタート・トリガ : 立ち下がリエッジ, キャプチャ・トリガ : 立ち上がリエッジ
1	1	両エッジ(ハイ・レベル幅測定時) スタート・トリガ : 立ち上がリエッジ, キャプチャ・トリガ : 立ち下がリエッジ
STSmn2-STSmn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISmn1-CISmn0ビット = 10Bに設定してください。		

注1. ビット11はRead onlyの0固定で, 書き込みは無視されます。

備考 m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3)

図6-15 タイマ・モード・レジスタ mn (TMRmn)のフォーマット (4/4)

アドレス : F0190H, F0191H (TMR00) - F0196H, F0197H (TMR03), リセット時 : 0000H R/W
F01D0H, F01D1H (TMR10) - F01D6H, F01D7H (TMR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 2)	CKS mn1	CKS mn0	0	CCS mn	MAS TERmn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 1, 3)	CKS mn1	CKS mn0	0	CCS mn	SPLIT mn	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRmn (n = 0)	CKS mn1	CKS mn0	0	CCS mn	0注1	STS mn2	STS mn1	STS mn0	CIS mn1	CIS mn0	0	0	MD mn3	MD mn2	MD mn1	MD mn0

MD mn3	MD mn2	MD mn1	チャンネルnの動作モードの設定	対応する機能	TCRのカウンタ動作
0	0	0	インターバル・タイマ・モード	インターバル・タイマ／方形波出力／分周器機能／PWM出力(マスタ)	ダウン・カウント
0	1	0	キャプチャ・モード	入力パルス間隔測定	アップ・カウント
0	1	1	イベント・カウンタ・モード	外部イベント・カウンタ	ダウン・カウント
1	0	0	ワンカウント・モード	ディレイ・カウンタ／ワンショット・パルス出力／PWM出力(スレーブ)	ダウン・カウント
1	1	0	キャプチャ&ワンカウント・モード	入力信号のハイ／ロウ・レベル幅測定	アップ・カウント
上記以外			設定禁止		
各モードの動作は、MDmn0ビットによって変わります(下表を参照)。					

動作モード(MDmn3-MDmn1で設定 (上表参照))	MD mn0	カウント・スタートと割り込みの設定
・ インターバル・タイマ・モード (0, 0, 0) ・ キャプチャ・モード(0, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
	1	カウント開始時にタイマ割り込みを発生する(タイマ出力も変化させる)。
・ イベント・カウンタ・モード (0, 1, 1)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。
・ ワンカウント・モード注2 (1, 0, 0)	0	カウント動作中のスタート・トリガは無効とする。その際に割り込みは発生しない。
	1	カウント動作中のスタート・トリガを有効とする注3。その際に割り込みは発生しない。
・ キャプチャ&ワンカウント・モード(1, 1, 0)	0	カウント開始時にタイマ割り込みを発生しない(タイマ出力も変化しない)。 カウント動作中のスタート・トリガは無効とする。 その際に割り込みは発生しない。

注1. ビット11はRead onlyの0固定で、書き込みは無視されます。

注2. ワンカウント・モードでは、カウント動作開始時の割り込み出力(INTTMmn), TOMn出力は制御しません。

注3. 動作中にスタート・トリガ(TSmn = 1)がかかると、カウンタを初期化し、再カウント・スタートします(割り込み要求は発生せず)。

備考 m : ユニット番号(m = 0, 1), n : チャンネル番号(n = 0-3)

6.3.4 タイマ・ステータス・レジスタ mn (TSRmn)

TSRmnレジスタは、チャンネルnのカウンタのオーバフロー状況を表示するレジスタです。

TSRmnレジスタは、キャプチャ・モード (MDmn3-MDmn1 = 010B) とキャプチャ&ワンカウント・モード (MDmn3-MDmn1 = 110B)のみ有効です。各動作モードにおけるOVFビットの動作とセット／クリア条件は表6-5を参照してください。

TSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またTSRmnレジスタの下位8ビットは、TSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TSRmnレジスタは0000Hになります。

図6-16 タイマ・ステータス・レジスタ mn (TSRmn)のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01A6H, F01A7H (TSR03) リセット時 : 0000H R

F01E0H, F01E1H (TSR10) - F01E6H, F01E7H (TSR13)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OVF

OVF	チャンネルnのカウンタのオーバフロー状況
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

表6-5 各動作モードにおけるOVFビットの動作とセット／クリア条件

タイマの動作モード	OVFビット	セット／クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード	クリア	— (使用不可)
・イベント・カウンタ・モード	セット	
・ワンカウント・モード		

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

6.3.5 タイマ・チャンネル許可ステータス・レジスタ m (TEm)

TEmレジスタは、各チャンネルのタイマ動作許可／停止状態を表示するレジスタです。

TEmレジスタの各ビットは、タイマ・チャンネル開始レジスタ m (TSm) とタイマ・チャンネル停止レジスタ m (TTm) の各ビットに対応しています。TSmレジスタの各ビットが1にセットされると、TEmレジスタの対応ビットが1にセットされます。TTmレジスタの各ビットが1にセットされると、その対応ビットが0にクリアされます。

TEmレジスタは、16ビット・メモリ操作命令で読み出します。

またTEmレジスタの下位8ビットは、TEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、TEmレジスタは0000Hになります。

図6-17 タイマ・チャンネル許可ステータス・レジスタ m (TEm) のフォーマット

アドレス : F01B0H, F01B1H (TE0), F01F0H, F01F1H (TE1)

リセット時 : 0000H R

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TEm	0	0	0	0	TEHm 3	0	TEHm 1	0	0	0	0	0	TEm3	TEm2	TEm1	TEm0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	------	------	------	------

TEH m3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEH m1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態

TEm n	チャンネルnの動作許可／停止状態の表示
0	動作停止状態
1	動作許可状態
チャンネル1, 3が8ビット・タイマ・モード時は、TEm1, TEm3で下位側8ビット・タイマの動作許可／停止状態を表示します。	

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

6.3.6 タイマ・チャネル開始レジスタ m (TSm)

TSm レジスタは、タイマ・カウンタ・レジスタ mn (TCRmn) を初期化し、カウント動作の開始をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャネル許可ステータス・レジスタ m (TEm) の対応ビットが1にセットされます。TSmn, TSHm1, TSHm3 ビットはトリガ・ビットなので、動作許可状態 (TEmn, TEHm1, TEHm3 = 1) になるとすぐ TSmn, TSHm1, TSHm3 ビットはクリアされます。

TSm レジスタは、16 ビット・メモリ操作命令で設定します。

また TSm レジスタの下位8ビットは、TSmL で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TSm レジスタは0000Hになります。

図6-18 タイマ・チャネル開始レジスタ m (TSm) のフォーマット

アドレス : F01B2H, F01B3H (TS0), F01F2H, F01F3H (TS1)

リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TSm	0	0	0	0	TSH m3	0	TSH m1	0	0	0	0	0	0	TSm3	TSm2	TSm1	TSm0
-----	---	---	---	---	-----------	---	-----------	---	---	---	---	---	---	------	------	------	------

TSH m3	チャネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm3 ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm3 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSH m1	チャネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEHm1 ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRm1 レジスタのカウント動作開始は、インターバル・タイマ・モードになります (6.5.2 カウンタのスタート・タイミングの表6-6参照)。

TSm n	チャネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEmn ビットを1にセットし、カウント動作許可状態になる。 カウント動作許可状態における TCRmn レジスタのカウント動作開始は、各動作モードにより異なります (6.5.2 カウンタのスタート・タイミングの表6-6参照)。 チャネル1, 3が8ビット・タイマ・モード時は、TSm1, TSm3 が下位側8ビット・タイマの動作許可 (スタート) トリガになります。

(注意、備考は次ページにあります。)

注意1. ビット15-12, 10, 8-4には必ず0を設定してください。

注意2. TImn 端子入力を使用しない機能から、TImn 端子入力を使用する機能に切り替える場合、タイマ・モード・レジスタ mn (TMRmn) 設定後、TSmn (TSHm1, TSHm3) ビットを1に設定するまでに、次の期間ウエイトが必要になります。

TImn 端子のノイズ・フィルタ有効時 (TNFENmn = 1) : 動作クロック (fMCK) の4クロック

TImn 端子のノイズ・フィルタ無効時 (TNFENmn = 0) : 動作クロック (fMCK) の2クロック

備考1. TSm レジスタの読み出し値は常に0となります。

備考2. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

6.3.7 タイマ・チャネル停止レジスタ m (TTm)

TTmレジスタは、カウント動作の停止をチャネルごとに設定するトリガ・レジスタです。

各ビットが1にセットされると、タイマ・チャネル許可ステータス・レジスタ m (TEm)の対応ビットが0にクリアされます。TTmn, TTHm1, TTHm3ビットはトリガ・ビットなので、動作停止状態(TEmn, TEHm1, TEHm3 = 0)になるとすぐTTmn, TTHm1, TTHm3ビットはクリアされます。

TTmレジスタは、16ビット・メモリ操作命令で設定します。

またTTmレジスタの下位8ビットは、TTmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TTmレジスタは0000Hになります。

図6 - 19 タイマ・チャネル停止レジスタ m (TTm)のフォーマット

アドレス : F01B4H, F01B5H (TT0), F01F4H, F01F5H (TT1)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTm	0	0	0	0	TTHm3	0	TTHm1	0	0	0	0	0	TTm3	TTm2	TTm1	TTm0

TTHm3	チャンネル3が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm3ビットを0にクリアし、カウント動作停止状態になる。

TTHm1	チャンネル1が8ビット・タイマ・モード時、上位側8ビット・タイマの動作停止トリガ
0	トリガ動作しない
1	TEHm1ビットを0にクリアし、カウント動作停止状態になる。

TTmn	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	TEmnビットを0にクリアし、カウント動作停止状態になる。 チャンネル1, 3が8ビット・タイマ・モード時は、TTm1, TTm3が下位側8ビット・タイマの動作停止トリガになります。

注意 ビット15-12, 10, 8-4には必ず0を設定してください。

備考1. TTmレジスタの読み出し値は常に0となります。

備考2. m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3)

6.3.8 タイマ入力選択レジスタ 0 (TIS0)

TIS0 レジスタは、ユニット0のチャンネル0, 1のタイマ入力を選択するレジスタです。
TIS0 レジスタは8ビット・メモリ操作命令で設定します。
リセット信号の発生により、TIS0 レジスタは00Hになります。

図6 - 20 タイマ入力選択レジスタ 0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00
TIS04	チャンネル0で使用するタイマ入力の選択							
0	タイマ入力端子(TI00)の入力信号							
1	ELCからのイベント入力信号							
TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択					
0	0	0	タイマ入力端子(TI01)の入力信号					
0	0	1	ELCからのイベント入力信号					
0	1	0	タイマ入力端子(TI01)の入力信号					
0	1	1						
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})					
1	0	1	サブシステム・クロック (f _{SUB})					
上記以外			設定禁止					

- 注意1. 選択するタイマ入力のハイ・レベル幅、ロウ・レベル幅は、1/f_{MCK} + 10 ns以上必要となります。そのため、f_{CLK}にf_{SUB}を選択時(CKCレジスタのCSS = 1)は、TIS02ビットに1を設定できません。
- 注意2. タイマ入力選択レジスタ0 (TIS0)で、ELCからのイベント入力信号を選択する場合、タイマ・クロック選択レジスタ0 (TPS0)はf_{CLK}を選択してください。

6.3.9 タイマ出力許可レジスタ m (TOEm)

TOEmレジスタは、各チャネルのタイマ出力許可／禁止を設定するレジスタです。

タイマ出力を許可したチャネル n は、後述のタイマ出力レジスタ m (TOm) の TOmn ビットの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TOmn) から出力されます。

TOEmレジスタは、16ビット・メモリ操作命令で設定します。

また TOEm レジスタの下位 8 ビットは、TOEmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOEm レジスタは 0000H になります。

図 6 - 21 タイマ出力許可レジスタ m (TOEm) のフォーマット

アドレス : F01BAH, F01BBH (TOE0), F01FAH, F01FBH (TOE1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOEm	0	0	0	0	0	0	0	0	0	0	0	0	TOE m3	TOE m2	TOE m1	TOE m0
TOE mn	チャネル n のタイマ出力許可／禁止															
0	タイマの出力を禁止 タイマ動作を TOmn ビットに反映せず、出力を固定します。 TOmn ビットへの書き込みが可能となり、TOmn ビットに設定したレベルが TOmn 端子から出力されます。															
1	タイマの出力を許可 タイマ動作を TOmn ビットに反映し、出力波形を生成します。 TOmn ビットへの書き込みは無視されます。															

注意 ビット 15-4 には必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

6.3.10 タイマ出力レジスタ m (TOm)

TOmレジスタは、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子(TOmn)から出力されます。

このレジスタの TOmn ビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEmn = 0) のみ可能です。タイマ出力許可時 (TOEmn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます。

また、TI00, TO00, TI01/TO01, TI02/TO02, TI03/TO03, TI10/TO10-TI13/TO13をポート機能として使用する場合は、該当する TOmn ビットに“0”を設定してください。

TOmレジスタは、16ビット・メモリ操作命令で設定します。

またTOmレジスタの下位8ビットは、TOmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOmレジスタは0000Hになります。

図6 - 22 タイマ出力レジスタ m (TOm)のフォーマット

アドレス : F01B8H, F01B9H (TO0), F01F8H, F01F9H (TO1)

リセット時 : 0000H

R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOm	0	0	0	0	0	0	0	0	0	0	0	0	TOm3	TOm2	TOm1	TOm0

TOm	チャネルnのタイマ出力															
n																
0	タイマ出力値が“0”															
1	タイマ出力値が“1”															

注意 ビット15-4には必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

6.3.11 タイマ出力レベル・レジスタ m (TOLm)

TOLmレジスタは、各チャネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャネル n の反転設定は、タイマ出力許可 (TOEmn = 1)、複数チャネル連動動作機能 (TOMmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャネル出力モード (TOMmn = 0) 時には、このレジスタの設定は無効となります。

TOLmレジスタは、16ビット・メモリ操作命令で設定します。

またTOLmレジスタの下位8ビットは、TOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOLmレジスタは0000Hになります。

図6-23 タイマ出力レベル・レジスタ m (TOLm)のフォーマット

アドレス : F01BCH, F01BDH (TOL0), F01FCH, F01FDH (TOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOLm	0	0	0	0	0	0	0	0	0	0	0	0	TOLm 3	TOLm 2	TOLm 1	0
TOLmn	チャネルnのタイマ出力レベルの制御															
0	正論理出力(アクティブ・ハイ)															
1	反転出力(アクティブ・ロウ)															

注意 ビット15-4, 0には必ず0を設定してください。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力の論理が反転します。

備考2. m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3)

6.3.12 タイマ出力モード・レジスタ m (TOMm)

TOMmレジスタは、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能(PWM出力、ワンショット・パルス出力、多重PWM出力)として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOEmn = 1) 時にタイマ出力信号がセット、リセットされるタイミングで反映されます。

TOMmレジスタは、16ビット・メモリ操作命令で設定します。

またTOMmレジスタの下位8ビットは、TOMmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、TOMmレジスタは0000Hになります。

図6-24 タイマ出力モード・レジスタ m (TOMm)のフォーマット

アドレス : F01BEH, F01BFH (TOM0), F01FEH, F01FFH (TOM1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOMm	0	0	0	0	0	0	0	0	0	0	0	0	TOM m3	TOM m2	TOM m1	0
TOM mn	チャンネルnのタイマ出力モードの制御															
0	マスタ・チャンネル出力モード(タイマ割り込み要求信号(INTTMmn)によりトグル出力を行う)															
1	スレーブ・チャンネル出力モード (マスタ・チャンネルのタイマ割り込み要求信号(INTTMmn)で出力がセット、スレーブ・チャンネルのタイマ割り込み要求信号(INTTMmp)で出力がリセットされる)															

注意 ビット15-4, 0には必ず0を設定してください。

備考 m : ユニット番号(m = 0, 1)
 n : チャンネル番号
 n = 0-3 (マスタ・チャンネル時 : n = 0, 2)
 p : スレーブ・チャンネル番号
 n = 0 : p = 1, 2, 3
 n = 2 : p = 3

(マスタ・チャンネル、スレーブ・チャンネルの関係についての詳細は、6.4.1 複数チャンネル連動動作機能の基本ルールを参照してください。)

6.3.13 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル3をシリアル・アレイ・ユニットと連携してLIN-bus通信動作を実現するときに使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子(RxD0)の入力信号がタイマ入力として選択されます。

SSIE00ビットの設定については、17.3.15 入力切り替え制御レジスタ (ISC)を参照してください。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図6 - 25 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス : F0073H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0
SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定							
0	SSI00端子入力の無効							
1	SSI00端子入力の有効							
ISC1	タイマ・アレイ・ユニット0のチャンネル3の入力切り替え							
0	TI03端子の入力信号をタイマ入力とする(通常動作)							
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。							
ISC0	外部割り込み(INTP0)の入力切り替え							
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)							
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)							

注意 ビット6-2に必ず0を設定してください。

備考 LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

6.3.14 ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)

NFEN1, NFEN2 レジスタは、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャネルの動作クロック (fMCK) で同期化だけ行います注。

NFEN1, NFEN2 レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1, NFEN2 レジスタは00Hになります。

注 詳細は、6.5.1 (2) TImn 端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1), 6.5.2 カウンタのスタート・タイミング, 6.7 タイマ入力 (TImn) の制御を参照してください。

図6 - 26 ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)のフォーマット(1/2)

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

アドレス : F0072H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	0	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN03	TI03 端子またはRxD0 端子の入力信号のノイズ・フィルタ使用可否 ^注
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN02	TI02 端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN01	TI01 端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN00	TI00 端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

注 入力切り替え制御レジスタ (ISC) の ISC1 ビットを設定することにより、適用する端子を切り替えることができます。

ISC1 = 0 に設定 : TI03 端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1 に設定 : RxD0 端子のノイズ・フィルタ使用可否選択が可能

備考 チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6 - 2 各製品に搭載しているタイマ入出力端子を参照してください。

図6-27 ノイズ・フィルタ許可レジスタ1, 2 (F0071H, NFEN2)のフォーマット(2/2)

アドレス : F0071H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	0	0	0	0	TNFEN03	TNFEN02	TNFEN01	TNFEN00

アドレス : F0072H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	0	TNFEN13	TNFEN12	TNFEN11	TNFEN10

TNFEN13	TI13端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN12	TI12端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN11	TI11端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

TNFEN10	TI10端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON

備考 チャンネル0-3のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-2 各製品に搭載しているタイマ入出力端子を参照してください。

6.3.15 タイマ入出力端子のポート機能を制御するレジスタ

タイマ・アレイ・ユニット使用時は、対象チャネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート・モード・コントロール・レジスタ (PMCxx)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx), 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

また、製品によって設定するポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート・モード・コントロール・レジスタ (PMCxx) が異なります。詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

タイマ出力端子を兼用するポート (P00/TI00, P01/TO00 など) をタイマ出力として使用するときは、各ポートに対応するポート・モード・コントロール・レジスタ (PMCxx) のビット、ポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P01/ TO00 をタイマ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC01ビットを0に設定

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート (P00/TI00 など) をタイマ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ (PMCxx) のビットに0を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P00/TI00 をタイマ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC00ビットを0に設定

ポート・モード・レジスタ0のPM00ビットを1に設定

ポート・レジスタ0のP00ビットを0または1に設定

6.4 タイマ・アレイ・ユニットの基本ルール

6.4.1 複数チャネル連動動作機能の基本ルール

複数チャネル連動動作機能は、マスタ・チャネル(主に周期をカウントする基準タイマ)とスレーブ・チャネル(マスタ・チャネルに従い動作するタイマ)を組合せて実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャネル連動動作機能の基本的なルールを示します。

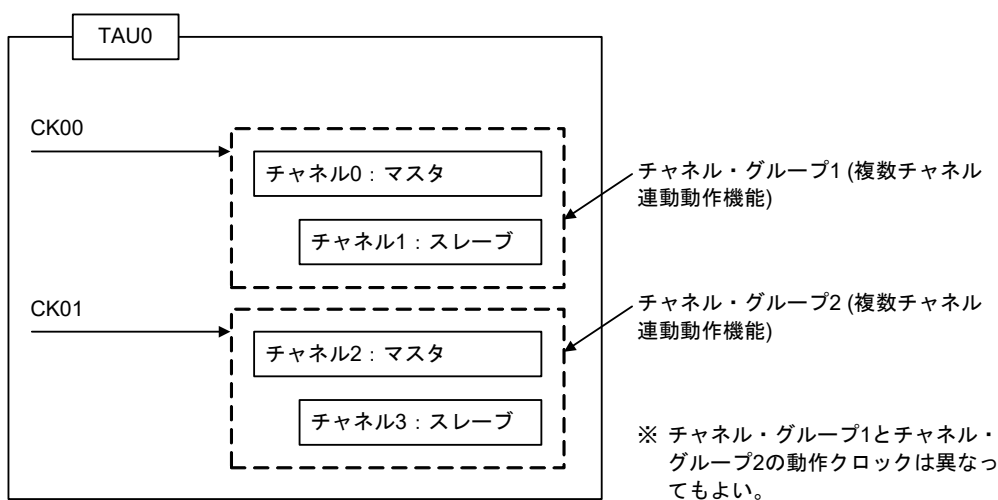
- (1) マスタ・チャネルには、偶数チャネル(チャネル0, チャネル2)のみ設定できます。
- (2) スレーブ・チャネルには、チャネル0を除くすべてのチャネルを設定できます。
- (3) スレーブ・チャネルには、マスタ・チャネルの下位チャネルのみ設定できます。
例 チャネル0をマスタ・チャネルにした場合、チャネル1以降(チャネル1, チャネル2, チャネル3)をスレーブ・チャネルに設定できます。
- (4) 1つのマスタ・チャネルに対し、スレーブ・チャネルは複数設定できます。
- (5) マスタ・チャネルを複数使用する場合、マスタ・チャネルをまたいだスレーブ・チャネルの設定はできません。
例 チャネル0, チャネル2をマスタ・チャネルにした場合、マスタ・チャネル0は、チャネル1をスレーブ・チャネルとして設定できます。マスタ・チャネル0は、チャネル3をスレーブ・チャネルとして設定できません。
- (6) マスタ・チャネルと連動するスレーブ・チャネルは、同じ動作クロックを設定します。マスタ・チャネルと連動するスレーブ・チャネルのCKSmn0, CKSmn1ビット(タイマ・モード・レジスタmn (TMRmn)のビット15, 14)が同じ設定値になっている必要があります。
- (7) マスタ・チャネルはINTTMmn (割り込み)/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャネルに伝えることができます。
- (8) スレーブ・チャネルはマスタ・チャネルのINTTMmn (割り込み)/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用できますが、下位チャネルに自身のINTTMmn (割り込み)/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。
- (9) マスタ・チャネルは、他の上位のマスタ・チャネルからのINTTMmn (割り込み)/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用することはできません。
- (10) 連動させるチャネルを同時スタートさせるため、連動させるチャネルのチャネル・スタート・トリガ・ビット(TSmn)を同時に設定する必要があります。
- (11) カウント動作中のTSmnビットの設定は、連動させるすべてのチャネルまたはマスタ・チャネルのみ使用できます。スレーブ・チャネルのTSmnビットのみの設定では使用できません。
- (12) 連動させるチャネルを同時に停止させるため、連動させるチャネルのチャネル・ストップ・トリガ・ビット(TTmn)を同時に設定する必要があります。
- (13) 連動動作時は、マスタ・チャネルとスレーブ・チャネルの動作クロックをあわせる必要があるため、CKm2/CKm3は選択できません。
- (14) タイマ・モード・レジスタm0 (TMRm0)は、マスタ・ビットがなく、“0”に固定されています。しかし、チャネル0は最上位チャネルなので、連動動作時は、チャネル0をマスタ・チャネルとして使用できます。

複数チャネル連動動作機能の基本ルールは、チャネル・グループ(1つの複数チャネル連動動作機能を形成するマスタ・チャネルとスレーブ・チャネルの集合)内に適用されるルールです。

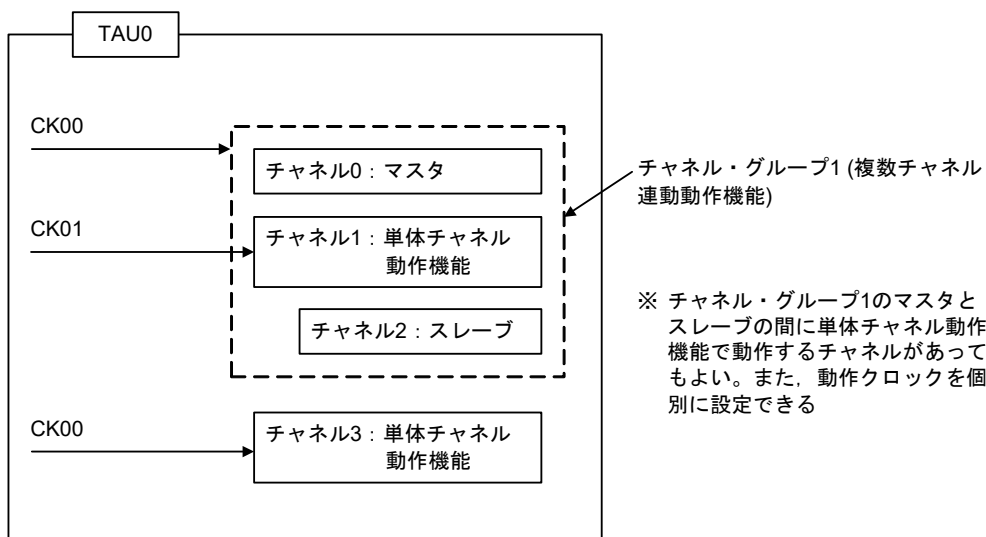
それぞれが連動しない2つ以上のチャネル・グループを設定した場合、チャネル・グループ間には上記の基本ルールは適用されません。

備考 m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3)

例1



例2



6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ)

8ビット・タイマ動作機能は、16ビット・タイマのチャンネルを8ビット・タイマの2チャンネル構成として使用する機能です。

8ビットタイマ動作機能は、チャンネル1, 3のみ使用できる機能で、使用にあたってはいくつかのルールがあります。

次に8ビット・タイマ動作機能の基本的なルールを示します。

- (1) 8ビット・タイマ動作機能が適用されるチャンネルは、チャンネル1, 3のみです。
- (2) 8ビット・タイマとして使用する場合には、タイマ・モード・レジスタ mn (TMRmn) の SPLITmn ビットを“1”に設定します。
- (3) 上位8ビットは、インターバル・タイマ機能として動作することができます。
- (4) 上位8ビットは、動作開始時に INTTm1H/INTTm3H (割り込み) を出力します (MDmn0 =1 設定と同じ動作)。
- (5) 上位8ビットの動作クロック選択は、下位ビットの TMRmn レジスタの CKSmn1, CKSmn0 ビットにしたがって動作します。
- (6) 上位8ビットは、TSHm1/TSHm3 ビットを操作することでチャンネル動作を開始し、TTHm1/TTHm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEHm1/TEHm3 ビットで確認できます。
- (7) 下位8ビットは、TMRmn レジスタの設定にしたがって動作します。下位8ビットの動作をサポートする機能は、以下の3機能です。
 - ・インターバル・タイマ機能 / 方形波出力機能
 - ・外部イベント・カウンタ機能
 - ・ディレイ・カウント機能
- (8) 下位8ビットは、TSm1/TSm3 ビットを操作することでチャンネル動作を開始し、TTm1/TTm3 ビットを操作することでチャンネル動作を停止します。チャンネルのステータスは、TEm1/TEm3 ビットで確認できます。
- (9) 16ビットで動作させる場合には、TSHm1/TSHm3/TTHm1/TTHm3 ビットの操作は無効となります。
TSm1/TSm3, TTm1/TTm3 ビットを操作することでチャンネル1, 3が動作します。TEHm3 ビットと TEHm1 ビットは変化しません。
- (10) 8ビット・タイマ機能で、連動動作機能(ワンショット・パルス, PWM, 多重PWM)を使用することはできません。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 1, 3)

6.5 カウンタの動作

6.5.1 カウント・クロック (f_{TCLK})

タイマ・アレイ・ユニットのカウント・クロック (f_{TCLK}) は、タイマ・モード・レジスタ mn (TMRmn) の CCSmn ビットにより、以下のどちらかを選択することができます。

- CKSmn0, CKSmn1 ビットで指定した動作クロック (f_{MCK})
- TImn 端子からの入力信号の有効エッジ

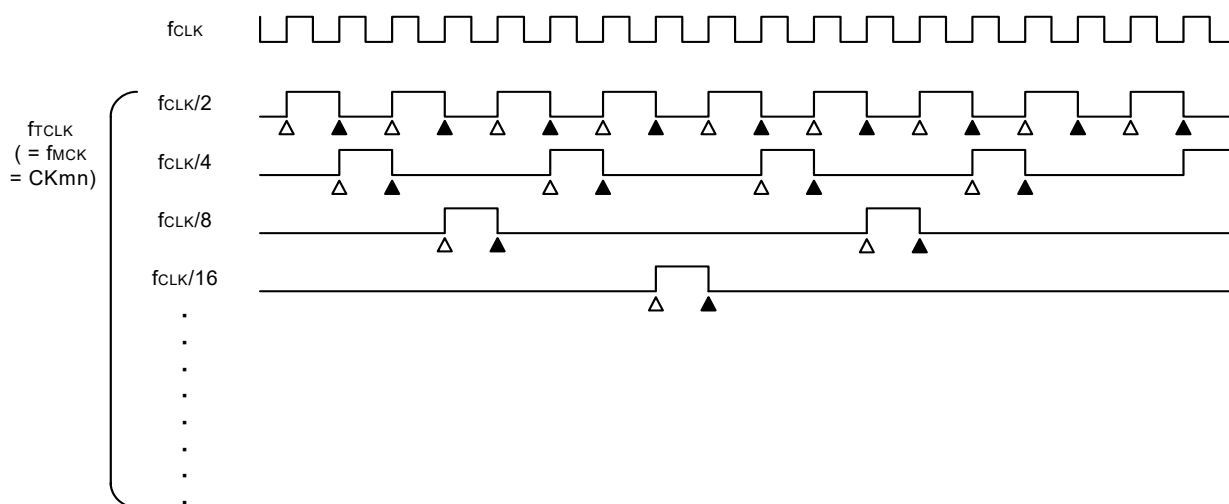
タイマ・アレイ・ユニットは、f_{CLK} との同期をとって動作するように設計されているため、カウント・クロック (f_{TCLK}) のタイミングは次のようになります。

- (1) CKSmn0, CKSmn1 ビットで指定した動作クロック (f_{MCK}) を選択した場合 (CCSmn = 0)

カウント・クロック (f_{TCLK}) は、タイマ・クロック選択レジスタ m (TPSm) の設定により、f_{CLK} ~ f_{CLK}/2¹⁵ となります。ただし、f_{CLK} の分周を選んだ場合、TPSm レジスタで選択するクロックは、立ち上がりから f_{CLK} の 1 周期分だけハイ・レベルになる信号となります。f_{CLK} を選んだ場合は、ハイ・レベル固定となります。

タイマ・カウンタ・レジスタ mn (TCRmn) は、f_{CLK} との同期をとるため、カウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが、このことを便宜上“カウント・クロックの立ち上がりでカウントする”と表現します。

図6-28 f_{CLK} とカウント・クロック (f_{TCLK}) のタイミング (CCSmn = 0 時)



備考1. Δ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

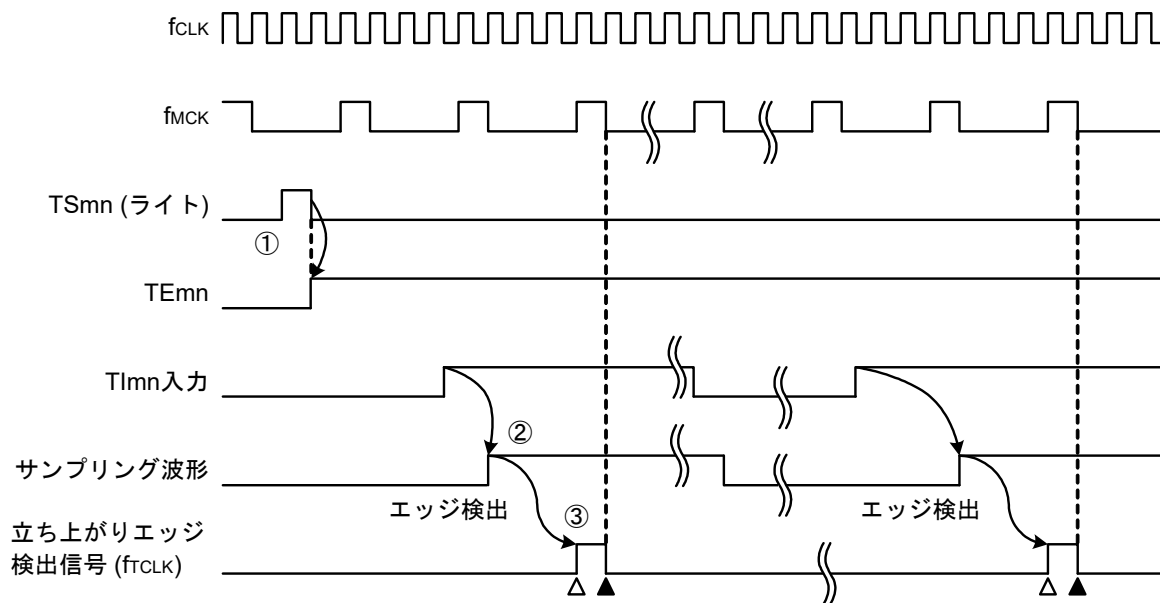
備考2. f_{CLK} : CPU/周辺ハードウェア・クロック

(2) TImn端子からの入力信号の有効エッジを選択した場合 (CCSmn = 1)

カウント・クロック (f_{CLK}) は、TImn 端子からの入力信号の有効エッジを検出し、次の f_{MCK} の立ち上がり同期した信号になります。これは、実際の TImn 端子からの入力信号より f_{MCK} の 1~2 クロック分遅れた信号になります (ノイズ・フィルタ使用時は、f_{MCK} の 3~4 クロック分遅れます)。

また、タイマ・カウンタ・レジスタ mn (TCRmn) は、f_{CLK} との同期をとるためにカウント・クロックの立ち上がりから f_{CLK} の 1 クロック分遅れてカウントしますが、このことを便宜上 “TImn 端子からの入力信号の有効エッジでカウントする” と表現します。

図6-29 カウント・クロック (f_{CLK}) のタイミング (CCSmn = 1, ノイズ・フィルタ未使用時)



① TSmn ビットをセットすることでタイマが動作を開始し、TImn 入力の有効エッジ待ちになります。

② TImn 入力の立ち上がりが f_{MCK} でサンプリングされます。

③ サンプリングした信号の立ち上がりでエッジ検出がおこなわれ、検出信号 (カウント・クロック) が出力されます。

備考1. △ : カウント・クロックの立ち上がり

▲ : 同期化, カウンタのインクリメント/デクリメント

備考2. f_{CLK} : CPU/周辺ハードウェア・クロック

f_{MCK} : チャネル n の動作クロック

備考3. 入力パルス間隔測定, 入力信号のハイ/ロウ・レベル幅測定, デイレイ・カウンタ, ワンショット・パルス出力機能の TImn 入力も同様の波形になります。

6.5.2 カウンタのスタート・タイミング

タイマ・カウント・レジスタ mn (TCRmn) は、タイマ・チャネル開始レジスタ m (TSM) の TSmn ビットをセットすることにより、動作許可状態になります。

カウント動作許可状態からタイマ・カウント・レジスタ mn (TCRmn) のカウント・スタートまでの動作を、表 6-6 に示します。

表 6-6 カウント動作許可状態からタイマ・カウント・レジスタ mn (TCRmn) のカウント・スタートまでの動作

タイマの動作モード	TSmn = 1 にセットしたときの動作
インターバル・タイマ・モード	スタート・トリガ検出 (TSmn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (1) インターバル・タイマ・モードの動作参照)。
イベント・カウンタ・モード	TSmn ビットに 1 を書き込むことにより、TDRmn レジスタの値を TCRmn レジスタにロードします。 TImn 入力のエッジを検出すると、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (2) イベント・カウンタ・モードの動作参照)。
キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (3) キャプチャ・モードの動作 (入力パルス間隔測定) 参照)。
ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSmn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで TDRmn レジスタの値を TCRmn レジスタにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6.5.3 (4) ワンカウント・モードの動作参照)。
キャプチャ&ワンカウント・モード	タイマ動作停止 (TEmn = 0) の状態で、TSmn ビットに 1 を書き込むことによりスタート・トリガ待ち状態となります。 スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで 0000H を TCRmn レジスタにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6.5.3 (5) キャプチャ&ワンカウント・モードの動作 (ハイ・レベル幅測定) 参照)。

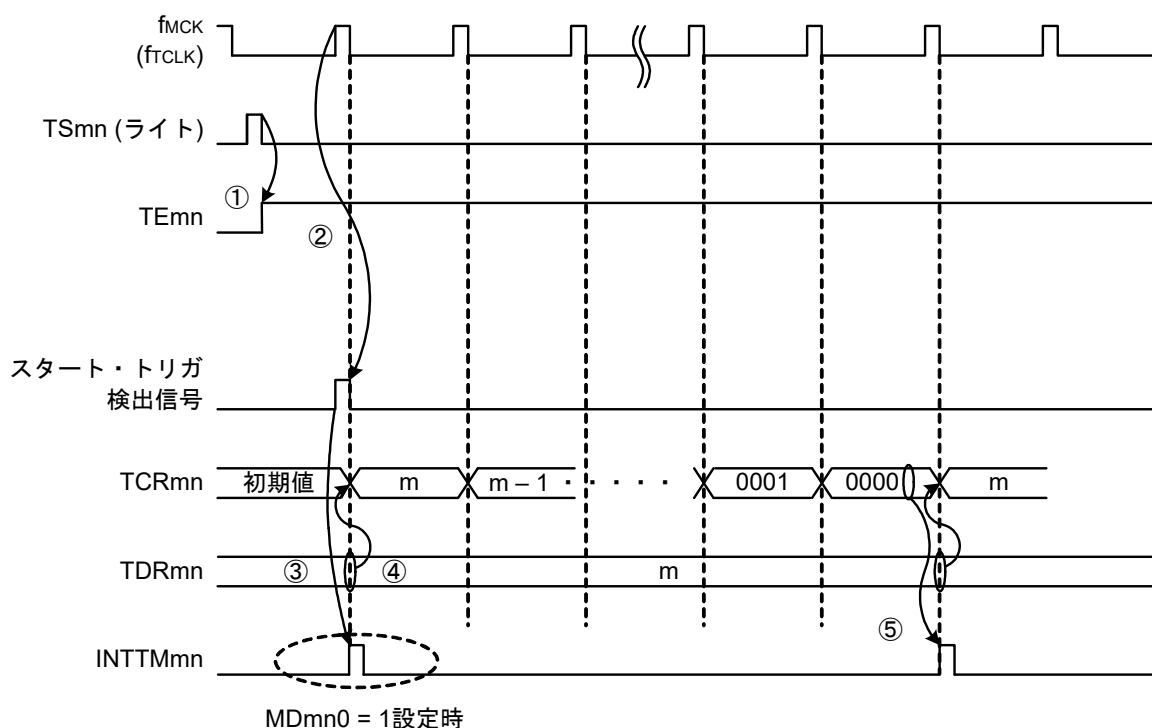
6.5.3 カウンタの動作

各モードでのカウンタ動作を説明します。

(1) インターバル・タイマ・モードの動作

- ① TSmn ビットへ1を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。タイマ・カウンタ・レジスタ mn (TCRmn) は、カウント・クロック発生まで初期値を保持しています。
- ② 動作許可後の最初のカウント・クロック ($fMCK$) で、スタート・トリガが発生します。
- ③ MDmn0 ビットが1に設定されている場合には、スタート・トリガにより、INTTMmn が発生します。
- ④ 動作許可後の最初のカウント・クロックにより、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードし、インターバル・タイマ・モードでのカウントを開始します。
- ⑤ TCRmn レジスタがカウント・ダウンしてカウント値が0000Hになると、次のカウント・クロック ($fMCK$) で INTTMmn を発生し、タイマ・データ・レジスタ mn (TDRmn) の値を TCRmn レジスタにロードしてカウントを継続します。

図6-30 動作タイミング(インターバル・タイマ・モード)



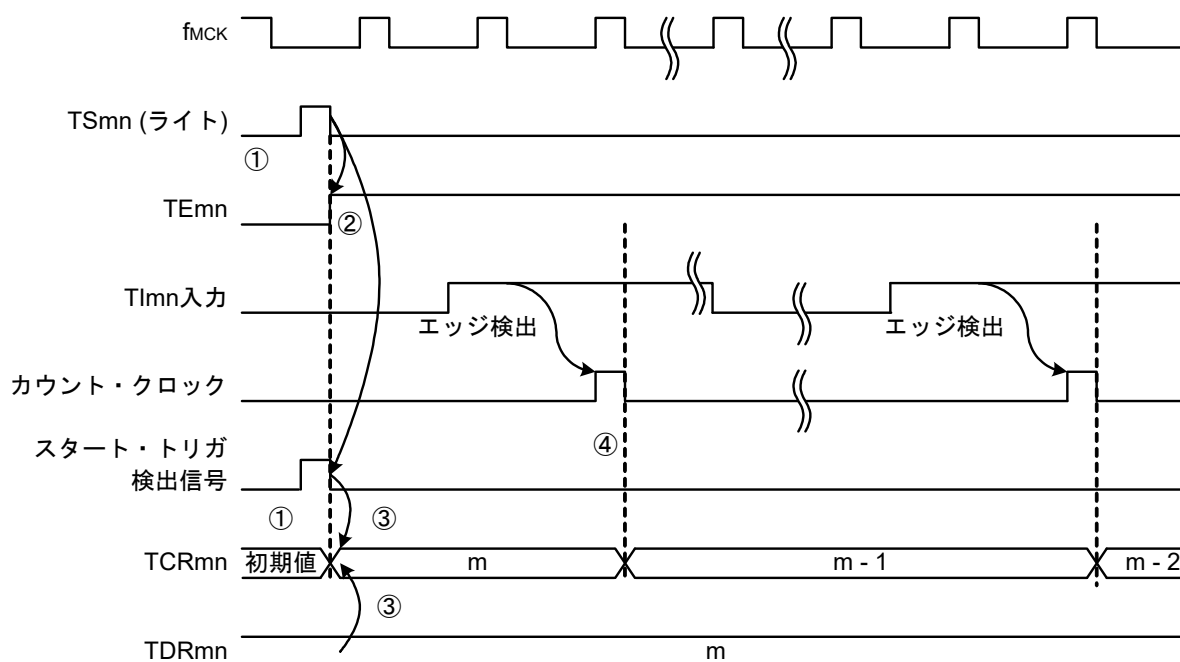
注意 カウント・クロックの1周期目の動作はTSmn ビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 $fMCK$ 、スタート・トリガ検出信号、INTTMmn は、 $fCLK$ に同期して1クロック間アクティブとなります。

(2) イベント・カウンタ・モードの動作

- ①動作停止状態($TE_{mn} = 0$)の期間, タイマ・カウンタ・レジスタ mn (TCR_{mn})は, 初期値を保持します。
- ② TS_{mn} ビットへ1を書き込むことにより, 動作許可状態($TE_{mn} = 1$)となります。
- ③ $TS_{mn} = 1 \rightarrow TE_{mn} = 1$ と同時に, TCR_{mn} レジスタにタイマ・データ・レジスタ mn (TDR_{mn})の値をロードし, カウントを開始します。
- ④以降は TI_{mn} 入力の有効エッジでのカウント・クロックに従い, TCR_{mn} レジスタの値をダウン・カウントします。

図6-31 動作タイミング(イベント・カウンタ・モード)

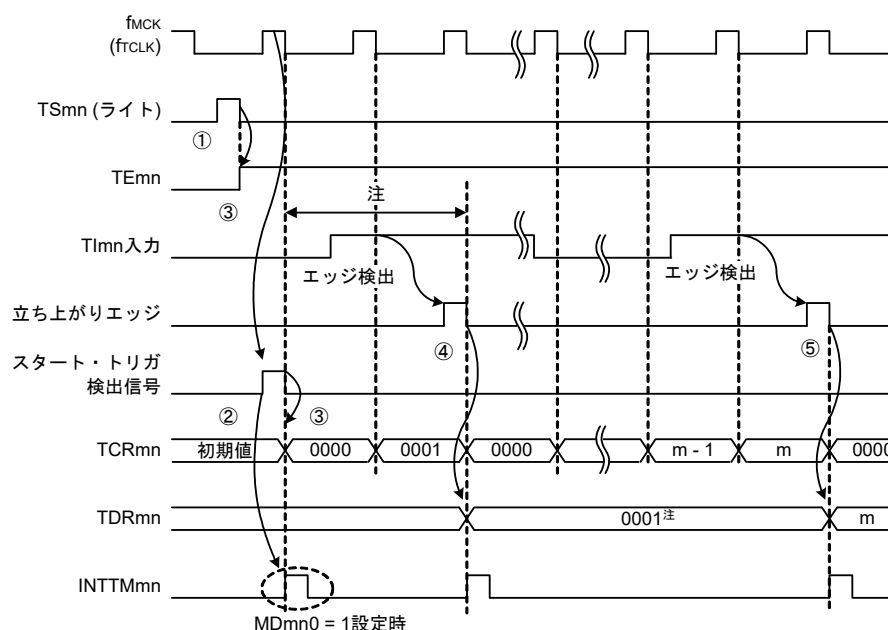


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると, エッジ検出は TI_{mn} 入力からさらに f_{MCK} の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TI_{mn} 入力とカウント・クロック (f_{MCK})が非同期なためです。

(3) キャプチャ・モードの動作(入力パルス間隔測定)

- ① TSmn ビットへ1を書き込むことにより、動作許可状態($TEmn = 1$)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、カウント・クロック発生まで初期値を保持しています。
- ③ 動作許可後の最初のカウンタ・クロック ($fMCK$)で、スタート・トリガが発生します。そして0000Hの値をTCRmnレジスタにロードし、キャプチャ・モードでのカウントを開始します。(MDmn0 ビットが1に設定されている場合には、スタート・トリガにより、INTTMmnが発生します。)
- ④ TImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生しますが、このときのキャプチャ値は意味をもちません。TCRmn レジスタは0000Hからカウントを継続します。
- ⑤ 次のTImn 入力の有効エッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-32 動作タイミング(キャプチャ・モード：入力パルス間隔測定)



注 スタート前からTImnにクロックが入力されている(トリガがある)場合、エッジ検出をしなくても、トリガ検出でカウントを開始するため、最初のキャプチャ(④)でのキャプチャ値はパルス間隔とならない(この例では0001:2クロック分の間隔)ので、無視してください。

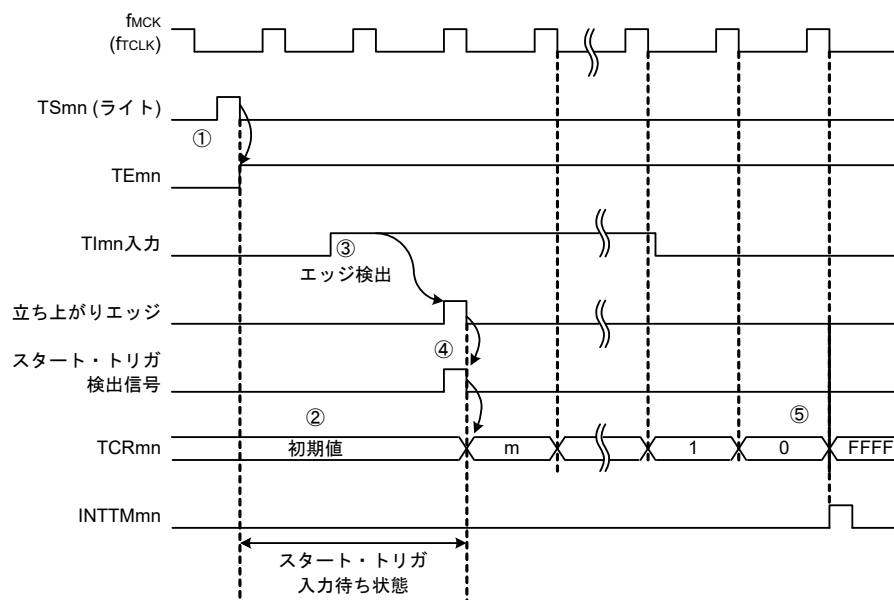
注意 カウント・クロックの1周期目の動作はTSmnビット書き込み後、カウント・クロックが発生するまでカウント開始が遅れるため、1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また、カウント開始タイミングの情報が必要な場合は、MDmn0 = 1に設定することで、カウント開始時に割り込みを発生させることができます。

備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出はTImn入力からさらに $fMCK$ の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差はTImn入力とカウント・クロック($fMCK$)が非同期なためです。

(4) ワンカウント・モードの動作

- ① TSmnビットへ1を書き込むことにより、動作許可状態($TEmn = 1$)となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn)は、スタート・トリガ発生まで初期値を保持しています。
- ③ TImn入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、TDRmnレジスタの値(m)をTCRmnレジスタにロードし、カウントを開始します。
- ⑤ TCRmnレジスタがカウント・ダウンしてカウント値が0000Hになると、INTTMmn割り込みを発生し、TCRmnレジスタはFFFFHで停止します。

図6 - 33 動作タイミング(ワンカウント・モード)

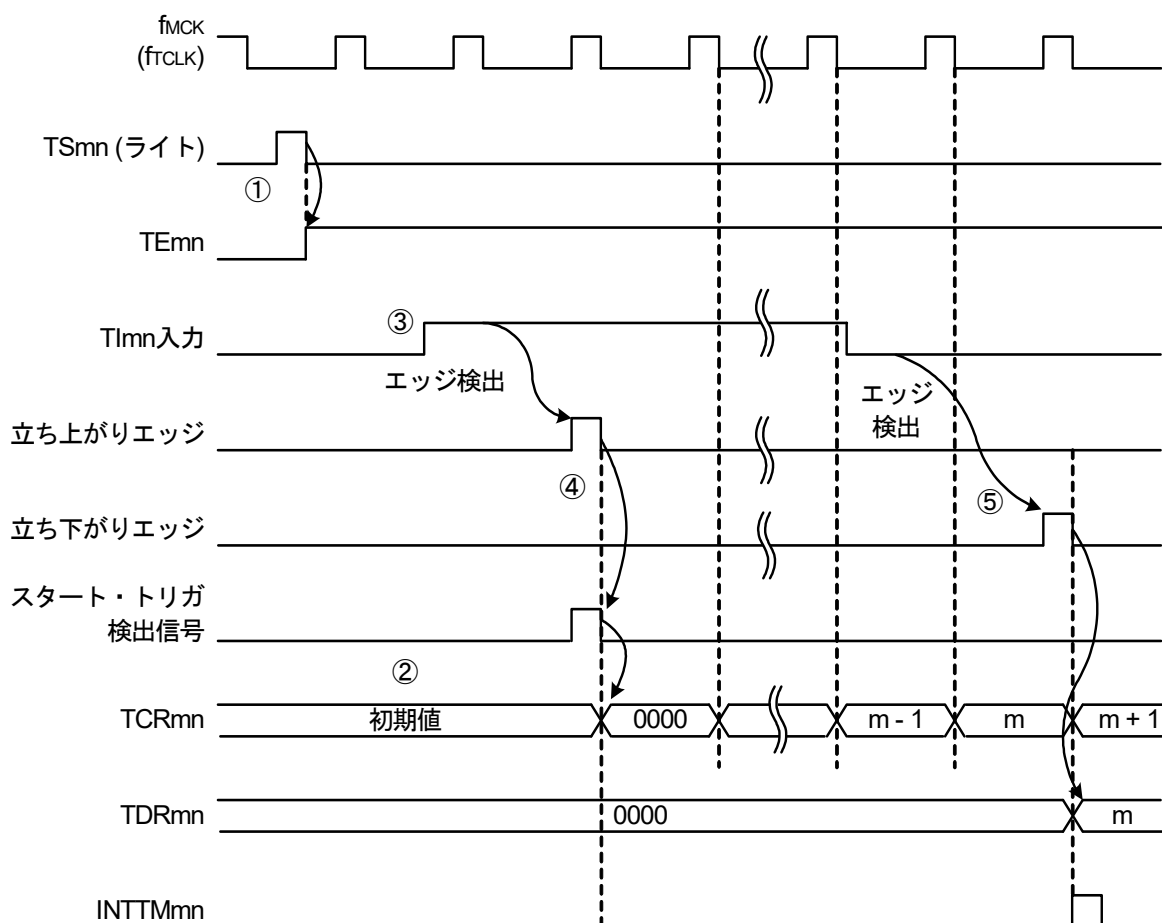


備考 このタイミングはノイズフィルタを使用しないときのタイミングです。ノイズフィルタをオンすると、エッジ検出は TImn 入力からさらに fMCK の2周期分(合計で3~4周期分)遅くなります。1周期分の誤差は TImn 入力とカウント・クロック (fMCK) が非同期なためです。

(5) キャプチャ & ワンカウント・モードの動作(ハイ・レベル幅測定)

- ① タイマ・チャンネル開始レジスタ m (TSmn) の TSmn ビットに 1 を書き込むことにより、動作許可状態 ($TEmn = 1$) となります。
- ② タイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ発生まで初期値を保持します。
- ③ TImn 入力の立ち上がりエッジを検出します。
- ④ スタート・トリガが発生して、0000H を TCRmn レジスタにロードし、カウントを開始します。
- ⑤ TImn 入力の立ち下がりエッジを検出すると、TCRmn レジスタの値を TDRmn レジスタにキャプチャし、INTTMmn 割り込みが発生します。

図6-34 動作タイミング(キャプチャ & ワンカウント・モード: ハイ・レベル幅測定)

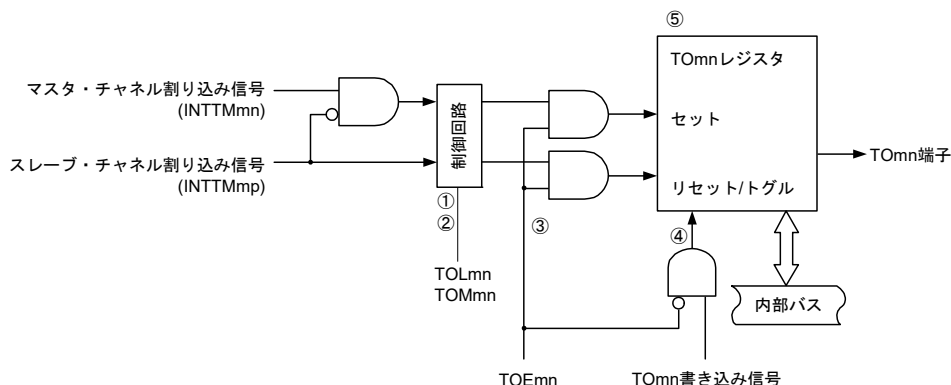


備考 このタイミングはノイズ・フィルタを使用しないときのタイミングです。ノイズ・フィルタをオンにすると、エッジ検出は TImn 入力からさらに f_{MCK} の 2 周期分 (合計で 3~4 周期分) 遅くなります。1 周期分の誤差は TImn 入力とカウント・クロック (f_{MCK}) が非同期なためです。

6.6 チャンネル出力(TOmn端子)の制御

6.6.1 TOmn端子の出力回路の構成

図6 - 35 出力回路構成図



TOmn端子の出力回路の説明を次に示します。

- ①TOMmn = 0 (マスタ・チャンネル出力モード)のときは、タイマ出力レベル・レジスタm (TOLm)の設定値は無視され、INTTMmp (スレーブ・チャンネル・タイマ割り込み)のみがタイマ出力レジスタm (TOm)に伝えられます。
- ②TOMmn = 1 (スレーブ・チャンネル出力モード)のときは、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。
このとき、TOLmレジスタが有効となり、次のように信号を制御します。
TOLmn = 0の場合 : 正転動作 (INTTMmn→セット, INTTMmp→リセット)
TOLmn = 1の場合 : 反転動作 (INTTMmn→リセット, INTTMmp→セット)
また、INTTMmnとINTTMmpが同時に発生した場合 (PWM出力の0%出力時)は、INTTMmp (リセット信号)が優先され、INTTMmn (セット信号)はマスクされます。
- ③タイマ出力許可状態 (TOEmn = 1)で、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)がTOmレジスタに伝えられます。TOmレジスタへの書き込み (TOmnライト信号)は無効となります。
また、TOEmn = 1のとき、割り込み信号以外でTOmn端子の出力が変化することはありません。
TOmn端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEmn = 0)に設定しTOmレジスタに値を書き込む必要があります。
- ④タイマ出力禁止状態 (TOEmn = 0)で、対象チャンネルのTOmnビットへの書き込み (TOmnライト信号)が有効となります。タイマ出力禁止状態 (TOEmn = 0)のとき、INTTMmn (マスタ・チャンネル・タイマ割り込み)とINTTMmp (スレーブ・チャンネル・タイマ割り込み)はTOmレジスタに伝えられません。
- ⑤TOmレジスタは常に読み出し可能であり、TOmn端子の出力レベルを確認することができます。

備考 m : ユニット番号 (m = 0, 1)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

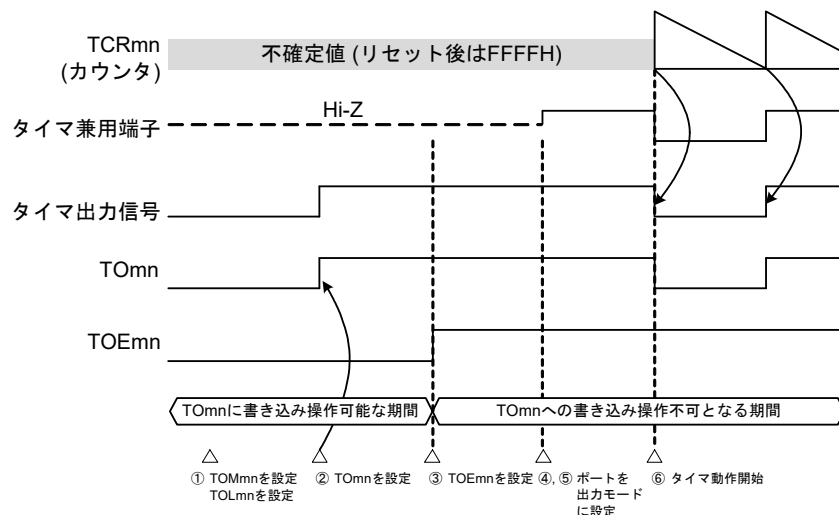
n = 0 : p = 1, 2, 3

n = 2 : p = 3

6.6.2 TOmn端子の出力設定

TOmn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6 - 36 タイマ出力設定から動作開始までの状態変化



①タイマ出力の動作モードを設定します。

- TOMmnビット(0 : マスタ・チャンネル出力モード, 1 : スレーブ・チャンネル出力モード)
- TOLmnビット(0 : 正論理出力, 1 : 負論理出力)

②タイマ出力レジスタ m (TOm)を設定することにより, タイマ出力信号が初期状態に設定されます。

③TOEmn ビットに1を書き込み, タイマ出力動作を許可します (TOm レジスタへの書き込みは不可となります)。

④ポート・モード・コントロール・レジスタ (PMCxx) でポートをデジタル入出力に設定します (6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑤ポートの入出力設定を出力に設定します (6.3.15 タイマ入出力端子のポート機能を制御するレジスタ参照)。

⑥タイマを動作許可にします (TSmn = 1)。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

6.6.3 チャネル出力操作時の注意事項

(1) タイマ動作中のTOM,TOEm,TOLm,TOMmレジスタの設定値変更について

タイマ動作(タイマ・カウンタ・レジスタ mn (TCRmn), タイマ・データ・レジスタ mn (TDRmn)の動作)は, TOMn 出力回路とは独立しています。よって, タイマ出力レジスタ m (TOM), タイマ出力許可レジスタ m (TOEm), タイマ出力レベル・レジスタ m (TOLm)の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOMn 端子から出力するためには, 6.8, 6.9節で示す各動作のレジスタ設定内容例の値に設定してください。

各チャネルのタイマ割り込み(INTTMmn)近辺で, TOM レジスタを除く TOEm レジスタ, TOLm レジスタの設定値変更を行うと, タイマ割り込み(INTTMmn)信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み(INTTMmn)信号発生タイミング直後に設定値変更が実施された場合とでは, TOMn 端子に出力される波形が異なる場合があります。

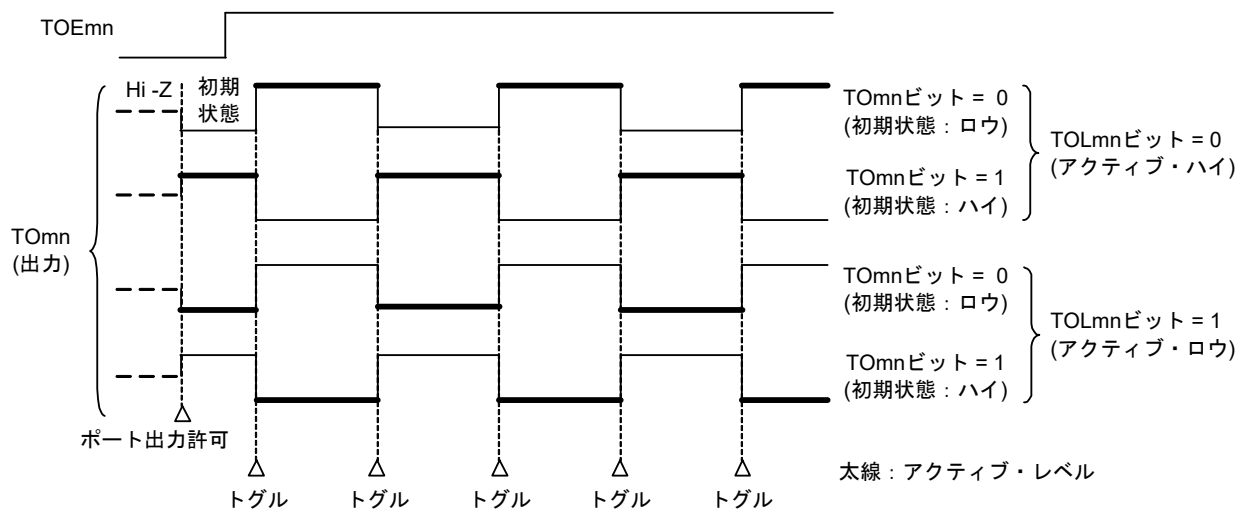
備考 m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3)

(2) TOMn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止($TOEmn = 0$)の状態ではタイマ出力レジスタ m (TOm)に書き込みを行い、初期レベル変更後、タイマ出力許可状態($TOEmn = 1$)に設定した場合のTOMn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード($TOMmn = 0$)設定で動作を開始した場合

マスタ・チャンネル出力モード($TOMmn = 0$)の時、タイマ出力レベル・レジスタ m ($TOLm$)の設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOMn端子の出力レベルを反転します。

図6-37 トグル出力時($TOMmn = 0$)のTOMn端子出力状態

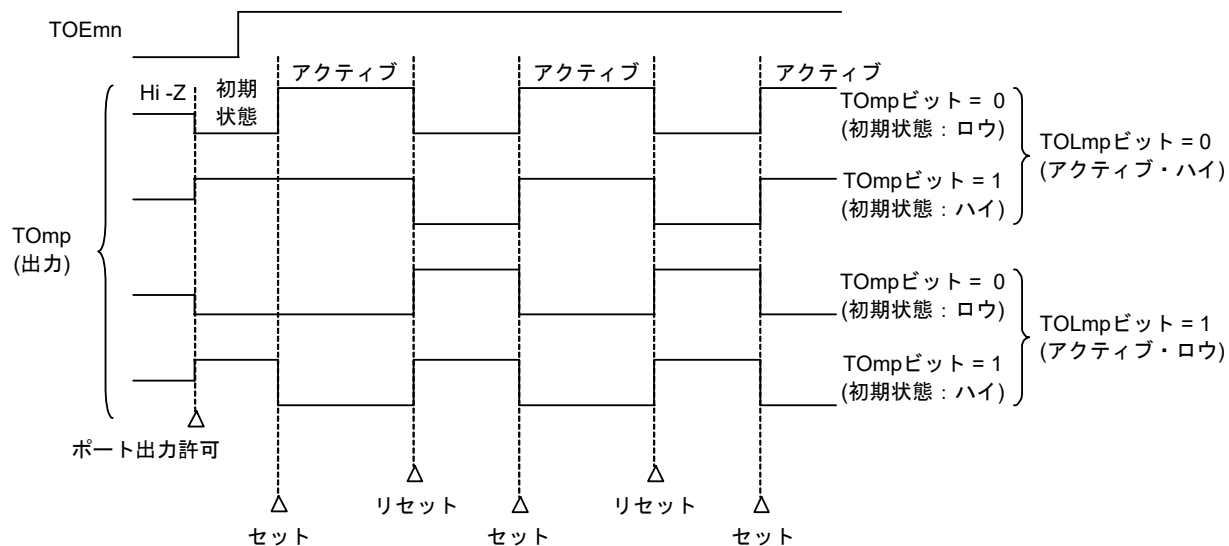
備考1. トグル: TOMn端子の出力状態を反転

備考2. m : ユニット番号 ($m = 0, 1$), n : チャンネル番号 ($n = 0-3$)

(b) スレーブ・チャンネル出力モード (TOMmn = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMmn = 1) の時、タイマ出力レベル・レジスタ m (TOLmn) の設定によりアクティブ・レベルを決定します。

図6 - 38 PWM出力時 (TOMmn = 1) のTOMn端子出力状態



備考1. セット : TOMp端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット : TOMp端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (p = 1-3)

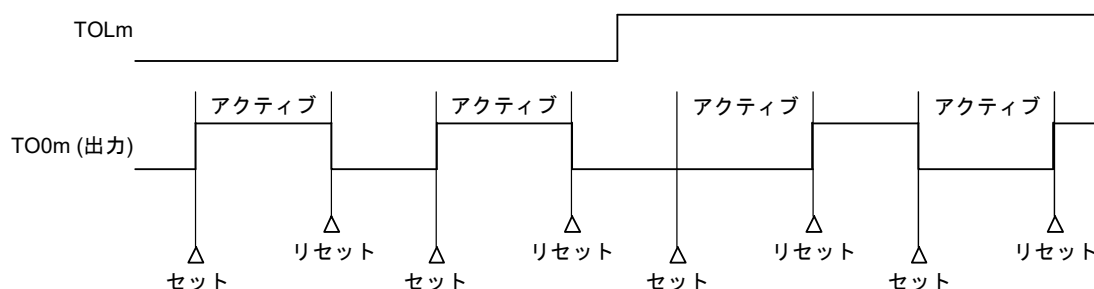
(3) TOmn端子のスレーブ・チャンネル出力モード(TOMmn = 1)での動作について

(a) タイマ動作中にタイマ出力レベル・レジスタm (TOLm)の設定を変更した場合

タイマ動作中にTOLmレジスタの設定を変更した場合、設定が有効となるのはTOmn端子変化条件の発生タイミングです。TOLmレジスタの書き換えでは、TOmn端子の出力レベルは変化しません。

TOMmn = 1で、タイマ動作中(TEmn = 1)にTOLmレジスタの値を変更した場合の動作を次に示します。

図6 - 39 タイマ動作中にTOLmレジスタの内容を変更した場合の動作



備考1. セット：TOmn端子の出力信号が、インアクティブ・レベルからアクティブ・レベルに変化

リセット：TOmn端子の出力信号が、アクティブ・レベルからインアクティブ・レベルに変化

備考2. m：ユニット番号(m = 0, 1), n：チャンネル番号(n = 0-3)

(b) セット／リセット・タイミング

PWM出力時に、0%／100%出力を実現するため、マスタ・チャンネル・タイマ割り込み(INTTMmn)発生時のTOmn端子/TOmnビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

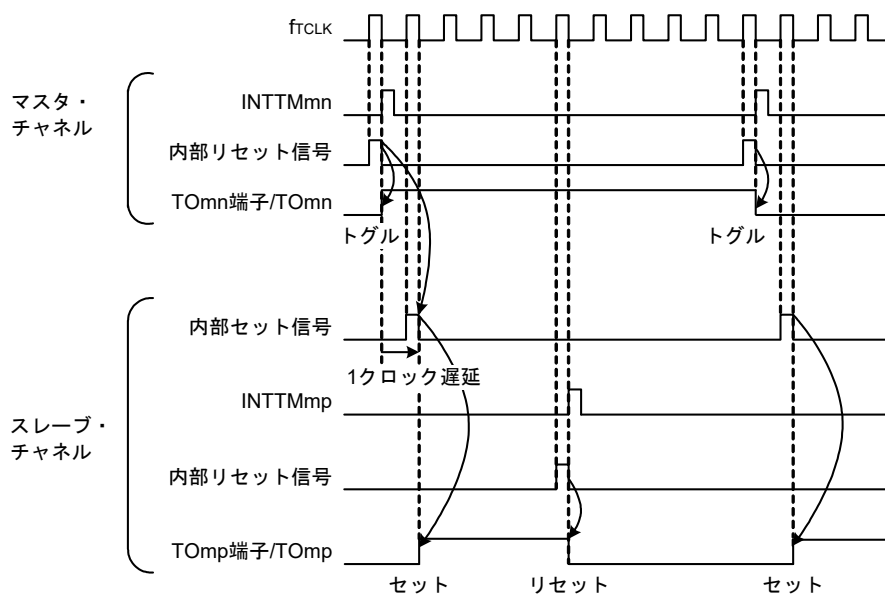
マスタ／スレーブ・チャンネルを次のように設定した場合のセット／リセット動作状態を図6 - 40に示します。

マスタ・チャンネル：TOEmn = 1, TOMmn = 0, TOLmn = 0

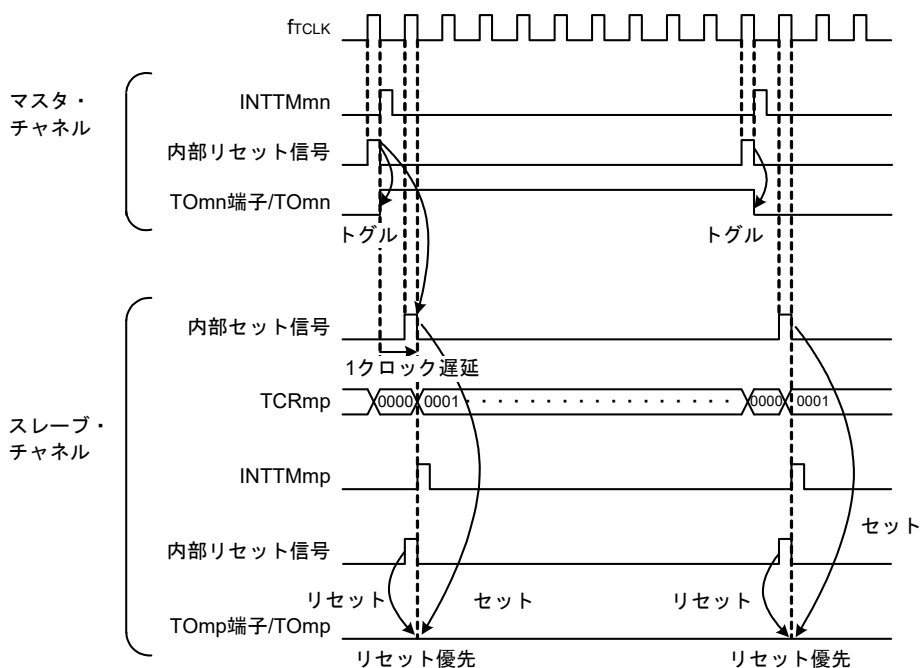
スレーブ・チャンネル：TOEmp = 1, TOMmp = 1, TOLmp = 0

図6-40 セット/リセット・タイミング動作状態

(1) 基本動作タイミング



(2) 0% デューティ時の動作タイミング



備考1. 内部リセット信号 : TOmn端子のリセット/トグル信号

内部セット信号 : TOmn端子のセット信号

備考2. m : ユニット番号 (m = 0, 1)

n : チャンネル番号

n = 0-3 (マスタ・チャンネル時 : n = 0, 2)

p : スレーブ・チャンネル番号

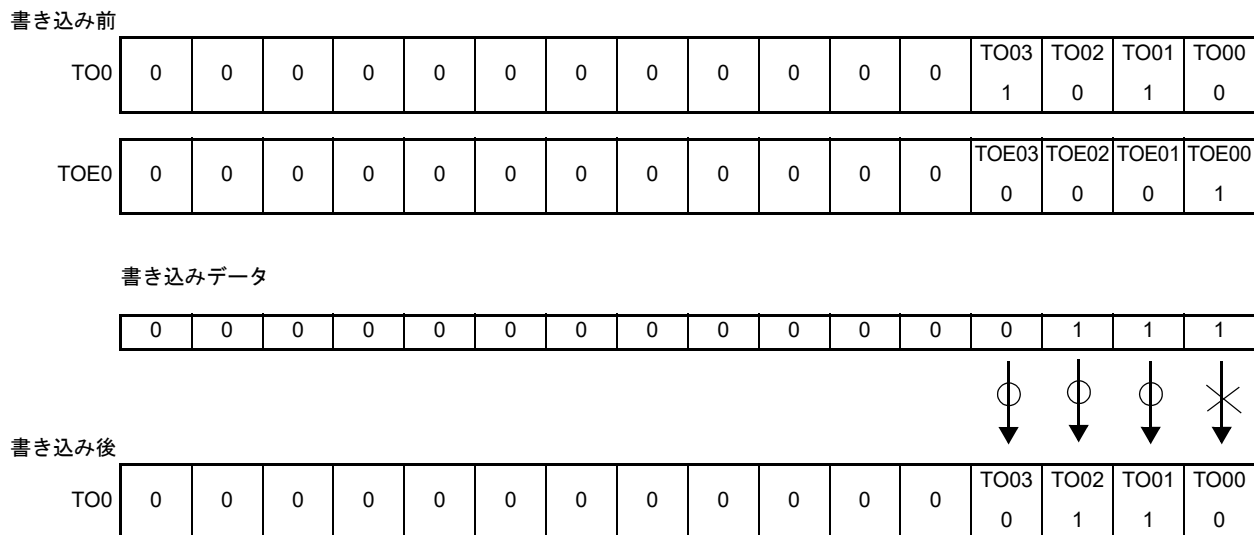
n = 0 : p = 1, 2, 3

n = 2 : p = 3

6.6.4 TOmnビットの一括操作

タイマ出力レジスタ m (TO m) には、タイマ・チャンネル開始レジスタ m (TS m) と同様に、1 レジスタに全チャンネル分の設定ビット (TO m n) が配置されています。よって、全チャンネルの TO m n ビットを一括で操作することが可能です。また、操作対象としたいチャンネル出力 (TO m n) のみ TO m n ビットへの書き込み可能 (TOE m n = 0) とすることによって任意のビットのみ操作することが可能です。

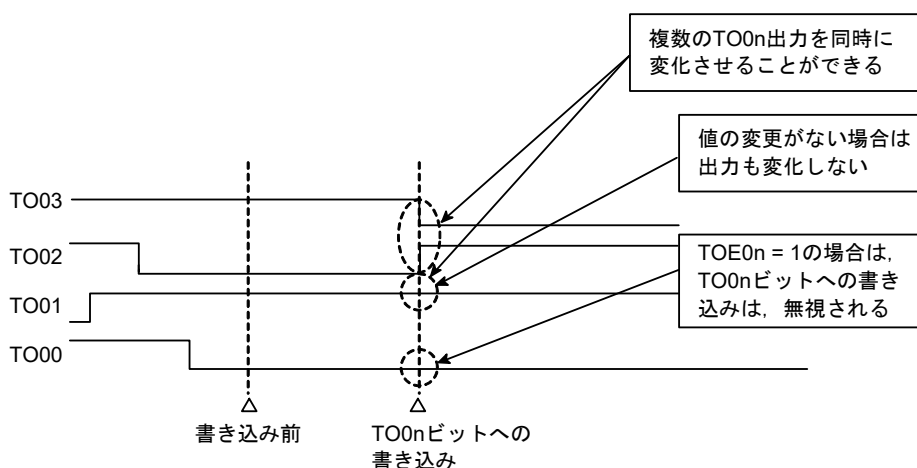
図6 - 41 TO0 n ビットの一括操作例



TOE m n = 0 の TO m n ビットのみ書き込みが行われます。TOE m n = 1 の TO m n ビットへの書き込みは無視されます。

TOE m n = 1 に設定されている TO m n (チャンネル出力) は、書き込み操作による影響は受けません。TO m n ビットに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6 - 42 TO0 n ビットの一括操作による TO0 n の端子状態



備考 m : ユニット番号 ($m = 0, 1$), n : チャンネル番号 ($n = 0-3$)

6.6.5 カウント動作開始時のタイマ割り込みとTOMn端子出力について

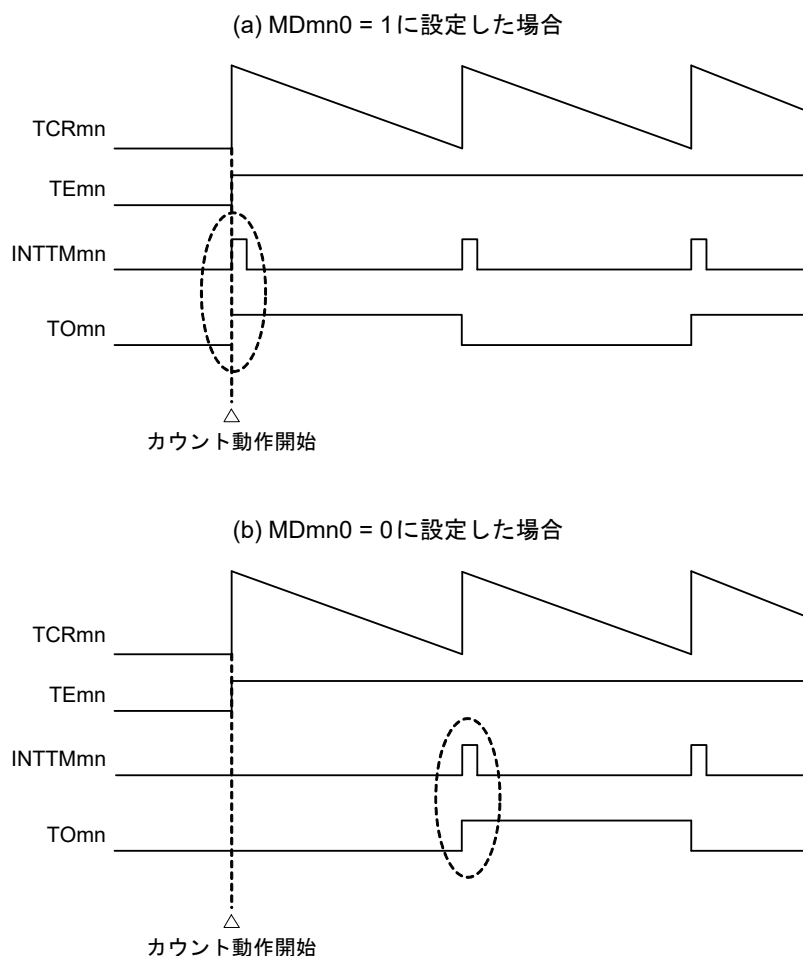
インターバル・タイマ・モード／キャプチャ・モードの場合、タイマ・モード・レジスタ mn (TMRmn) の MDmn0 ビットは、「カウント開始時にタイマ割り込みを発生する／しない」を設定するビットとなります。

MDmn0 = 1 に設定することで、タイマ割り込み (INTTMmn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOMn 出力は制御しません。

インターバル・タイマ・モード (TOEmn = 1, TOMmn = 0) に設定した場合の動作例を次に示します。

図6-43 カウント動作開始時のタイマ割り込み、TOMn出力の動作例



MDmn0 = 1 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) が出力され、TOMn がトグル動作します。

MDmn0 = 0 に設定した場合、カウント動作開始時にタイマ割り込み (INTTMmn) を出力しません。TOMn も変化しません。1周期をカウント後、INTTMmn を出力し、TOMn がトグル動作します。

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

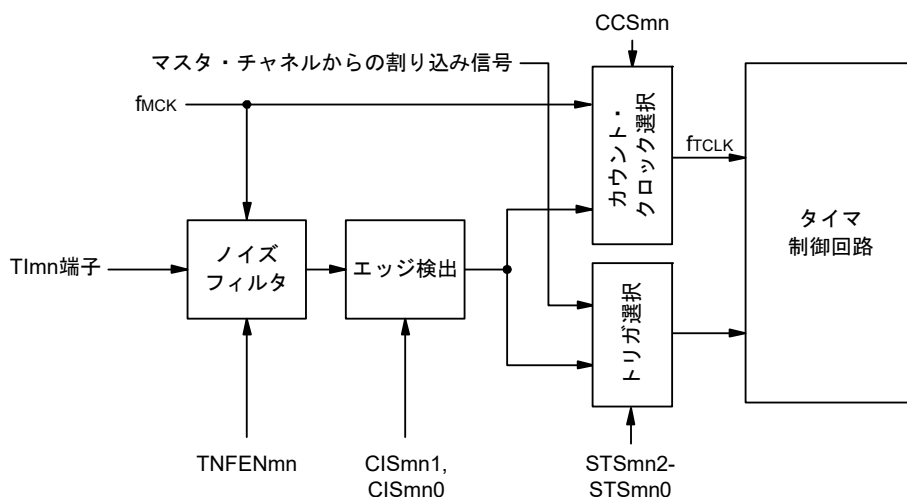
6.7 タイマ入力(Tlmn)の制御

6.7.1 Tlmnの入力回路構成

タイマ入力端子から信号は、ノイズ・フィルタとエッジ検出回路を通過してタイマ制御回路へ入力されます。

ノイズ除去が必要な端子は、対応する端子のノイズ・フィルタを有効にしてください。以下に入力回路の構成図を示します。

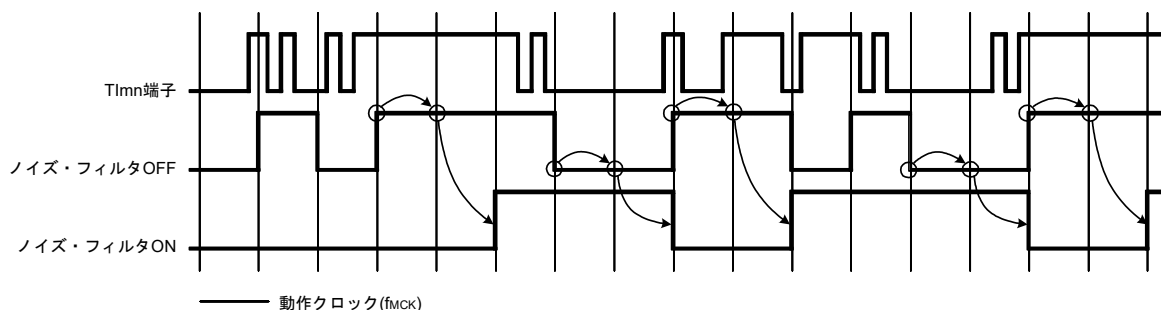
図6 - 44 入力回路構成図



6.7.2 ノイズ・フィルタ

ノイズ・フィルタ無効時は、チャンネルnの動作クロック (fMCK) で同期化だけ行います。ノイズ・フィルタ有効時は、チャンネルnの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。以下に、Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるノイズ・フィルタ回路を通過後の波形を示します。

図6 - 45 Tlmn入力端子に対するノイズ・フィルタ ON/OFFによるサンプリング波形



注意 Tlmn端子の入力波形は、ノイズ・フィルタ ON/OFFの動作を説明するためのものであり、実際は、34.4または35.4 AC特性に示すTlmn入力ハイ・レベル幅、ロウ・レベル幅に従って入力してください。

6.7.3 チャンネル入力操作時の注意事項

タイマ入力端子を使用しない設定において、ノイズ・フィルタ回路へ動作クロックは供給されません。そのため、タイマ入力端子を使用する設定をしてから、タイマ入力端子に対応するチャンネルの動作許可トリガを設定するまで、以下の待ち時間が必要になります。

(1) ノイズ・フィルタ OFF の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 2 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

(2) ノイズ・フィルタ ON の場合

タイマ・モード・レジスタ mn (TMRmn) のビット 12 (CCSmn), ビット 9 (STSmn1), ビット 8 (STSmn0) がすべて 0 の状態から、いずれかのビットをセットした場合は、動作クロック (fMCK) の 4 サイクル以上経過してから、タイマ・チャンネル開始レジスタ (TSM) の動作許可トリガをセットしてください。

6.8 タイマ・アレイ・ユニットの単独チャネル動作機能

6.8.1 インターバル・タイマ／方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMmn (タイマ割り込み) を発生する基準タイマとして利用することができます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMmn (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1)$$

(2) 方形波出力としての動作

TOmn は、INTTMmn 発生と同時にトグル動作を行い、デューティ 50% の方形波を出力します。

TOmn 出力波形の周期と周波数は、次の式で求めることができます。

$$\bullet \text{ TOmn からの出力方形波の周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRmn の設定値} + 1) \times 2$$

$$\bullet \text{ TOmn からの出力方形波の周波数} = \text{カウント} \cdot \text{クロックの周波数} / \{ (\text{TDRmn の設定値} + 1) \times 2 \}$$

タイマ・カウンタ・レジスタ mn (TCRmn) はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャネル開始レジスタ m (TSM) のチャネル・スタート・トリガ・ビット (TSMn, TSHm1, TSHm3) に 1 を設定後、最初のカウント・クロックで TCRmn レジスタはタイマ・データ・レジスタ mn (TDRmn) の値をロードします。このときタイマ・モード・レジスタ mn (TMRmn) の MDmn0 = 0 ならば、INTTMmn を出力せず、TOmn はトグルしません。TMRmn レジスタの MDmn0 = 1 ならば、INTTMmn を出力して、TOmn をトグルします。

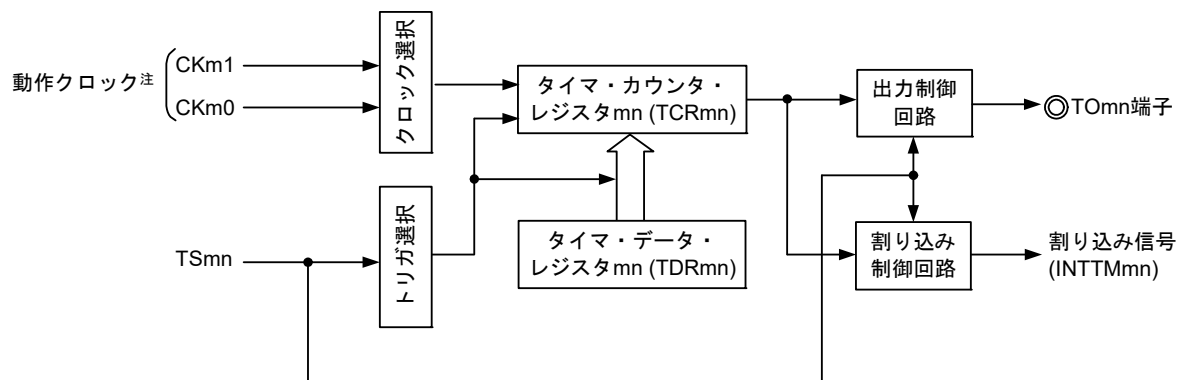
その後、TCRmn レジスタはカウント・クロックに合わせてダウン・カウントを行います。

TCRmn = 0000H になったら、次のカウント・クロックで INTTMmn を出力し TOmn をトグルします。また、同タイミングで再び TCRmn レジスタは TDRmn レジスタの値をロードします。以降、同様の動作を継続します。

TDRmn レジスタは任意のタイミングで書き換えることができます。書き換えた TDRmn レジスタの値は、次の周期から有効となります。

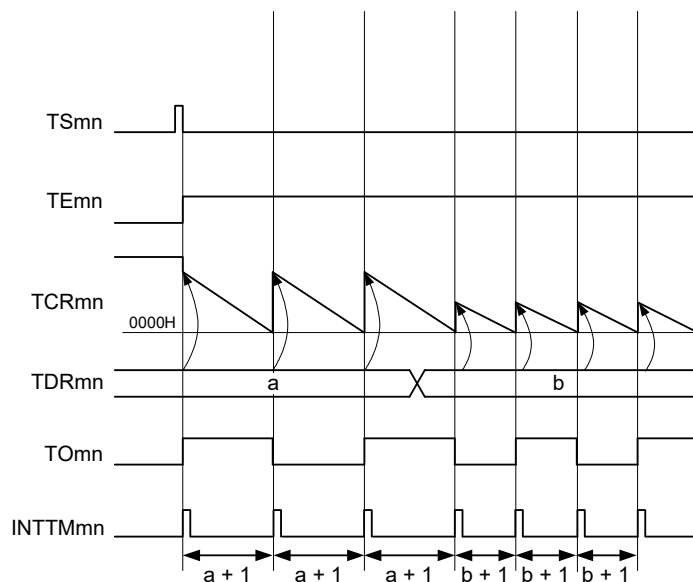
備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

図6-46 インターバル・タイマ／方形波出力としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-47 インターバル・タイマ／方形波出力としての動作の基本タイミング例(MDmn0 = 1)



備考1. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

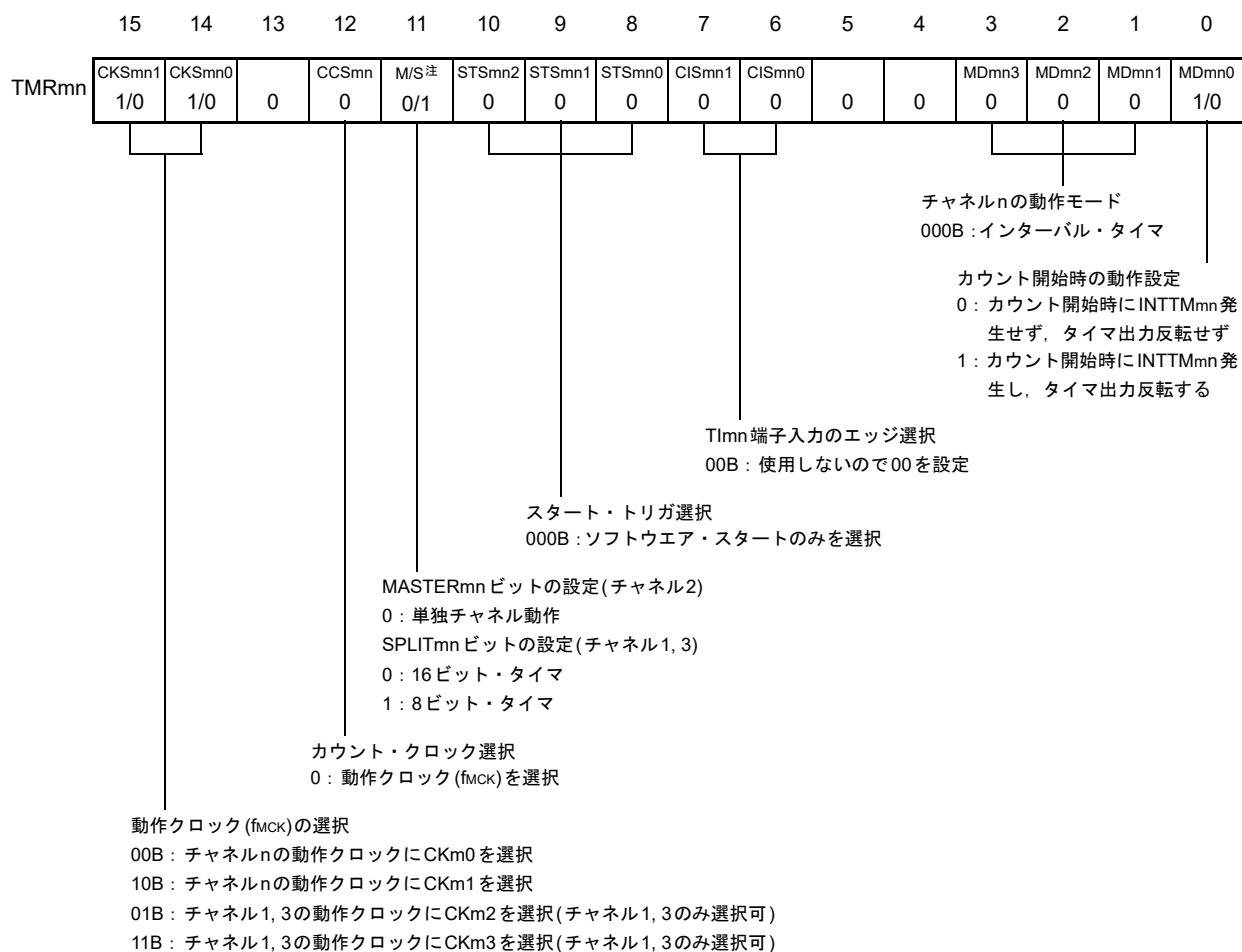
TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

TOmn : TOmn端子出力信号

図6-48 インターバル・タイマ／方形波出力時のレジスタ設定内容例
(a) タイマ・モード・レジスタ mn (TMRmn)



(b) タイマ出力レジスタ m (TOM)

ビットn	
TOMn	0 : TOMnより0を出力する 1 : TOMnより1を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビットn	
TOEm	0 : カウント動作によるTOMn出力動作停止 1 : カウント動作によるTOMn出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

ビットn	
TOLm	0 : TOMmn = 0 (マスタ・チャンネル出力モード) では0を設定

(e) タイマ出力モード・レジスタ m (TOMm)

ビットn	
TOMm	0 : マスタ・チャンネル出力モードを設定

注 TMRm2の場合 : MASTERmn ビット

TMRm1, TMRm3の場合 : SPLITmn ビット

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6-49 インターバル・タイマ／方形波出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル 初期 設定	タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルの動作モード確定) タイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOmn出力を使用する場合, タイマ出力モード・レジスタm (TOMm)のTOMmnビットに0 (マスタ・チャネル出力モード)を設定する TOLmnビットに0を設定する TOmnビットを設定し, TOmn出力の初期レベルを確定する	TOmn端子はHi-Z出力状態
動作 開始	TOEmnビットに1を設定し, TOmnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmn初期設定レベルが出力される。 チャネルは動作停止状態なので, TOmnは変化しない TOmn端子はTOmn設定レベルを出力
	(TOmn出力を使用する場合で, かつ動作再開時のみTOEmnビットに1を設定する) TSmn (TSHm1, TSHm3)ビットに1を設定する TSmn (TSHm1, TSHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHm3) = 1になり, カウント動作開始 タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。TMRmnレジスタのMDmn0ビットが1の場合は, INTTMmnを発生し, TOmnもトグル動作する。
動作中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TOm, TOEmレジスタは, 設定値変更可能 TMRmnレジスタ, TOMmn, TOLmnビットは, 設定値変更禁止	カウンタ(TCRmn)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。TCRmn = 0000H検出でINTTMmnを発生し, TOmnはトグル動作する。 以降, この動作を繰り返す。
動作 停止	TTmn (TTHm1, TTHm3)ビットに1を設定する TTmn (TTHm1, TTHm3)ビットはトリガ・ビットなので, 自動的に0に戻る	TEmn (TEHm1, TEHmn) = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TOmn出力は初期化されず, 状態保持
	TOEmnビットに0を設定し, TOmnビットに値を設定する	TOmn端子はTOmnビットに設定したレベルを出力

(備考は次ページにあります。)

図6 - 50 インターバル・タイマ／方形波出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
TAU 停止	TOmn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmnビットに0を設定する	TOmn端子出力レベルはポート機能により保持される。
	TOmn端子の出力レベルを保持不要の場合 設定不要 ----- PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入力クロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmnビットが0になり、TOmn端子はポート機能となる)

備考 m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-3)

6.8.2 外部イベント・カウンタとしての動作

Tl_{mn}端子入力の有効エッジ検出(外部イベント)をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRmnの設定値} + 1$$

タイマ・カウンタ・レジスタ mn (TCRmn)はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSm)の任意のチャンネル・スタート・トリガ・ビット(TSmn)に1を設定することによりTCRmnレジスタはタイマ・データ・レジスタ mn (TDRmn)の値をロードします。

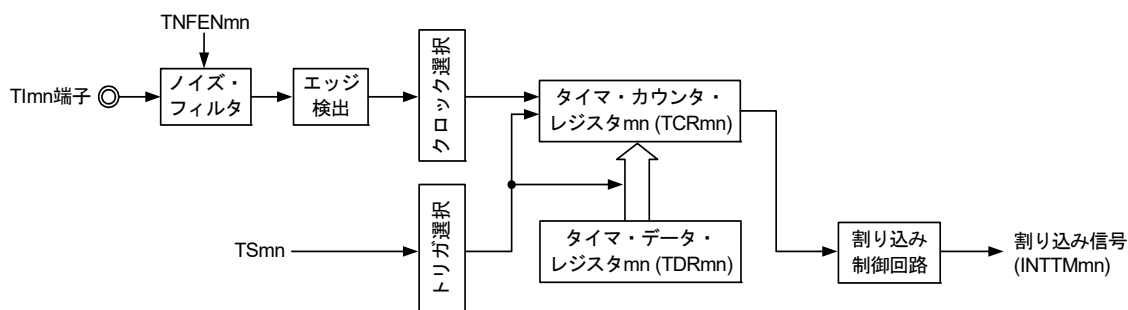
TCRmnレジスタはTl_{mn}端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRmn = 0000Hになったら、再びTDRmnレジスタの値をロードして、INTTMmnを出力します。

以降、同様の動作を継続します。

TOmn端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタ m (TOEm)のTOEmnビットに0を設定して出力動作を停止するようにしてください。

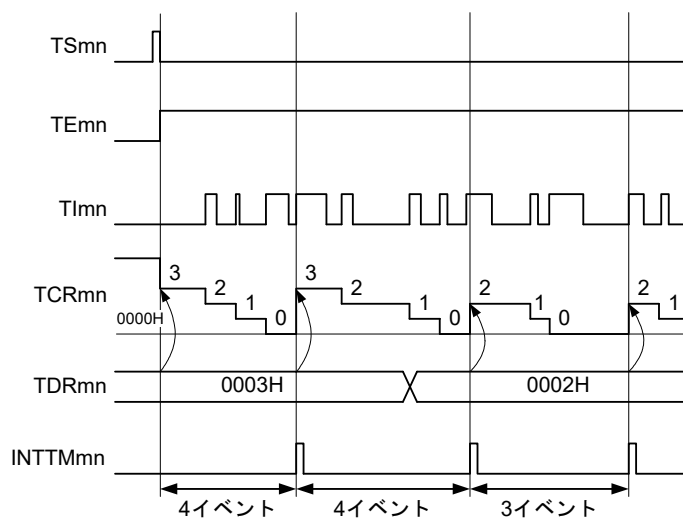
TDRmnレジスタは任意のタイミングで書き換えることができます。書き換えたTDRmnレジスタの値は次のカウント期間で有効になります。

図6 - 51 外部イベント・カウンタとしての動作のブロック図



備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6 - 52 外部イベント・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

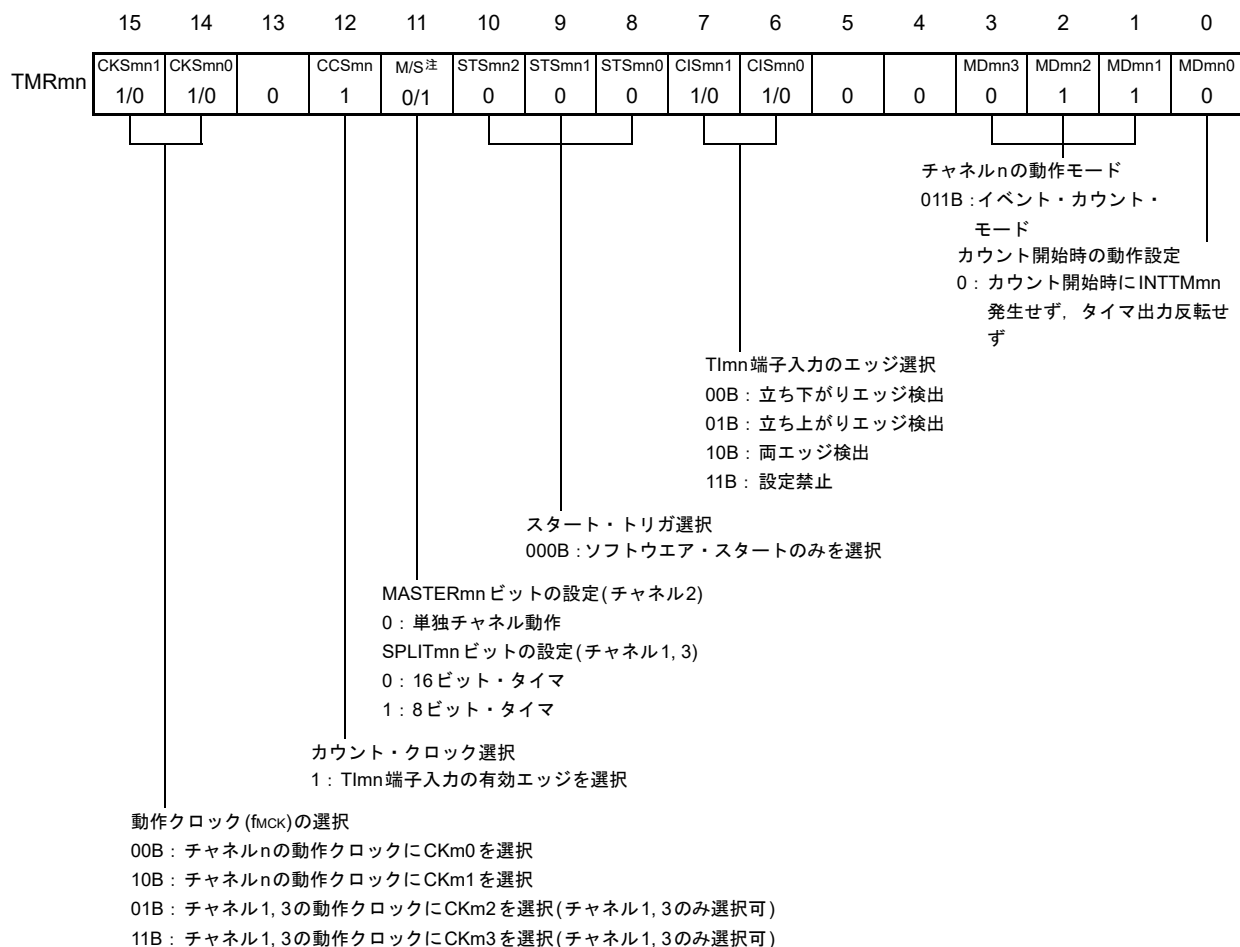
TImn : TImn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

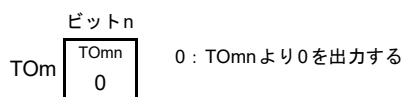
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6 - 53 外部イベント・カウンタ・モード時のレジスタ設定内容例

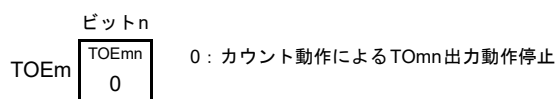
(a) タイマ・モード・レジスタ mn (TMRmn)



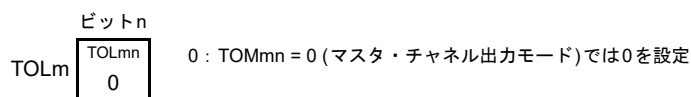
(b) タイマ出力レジスタ m (TOM)



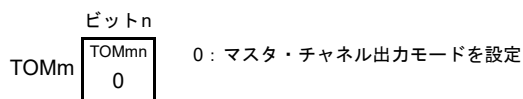
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmnビット
TMRm1, TMRm3の場合 : SPLITmnビット
TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6 - 54 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ 0 (PER0)のTAUmENビットに1を設定する タイマ・クロック選択レジスタ m (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニット mの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可) タイマ・アレイ・ユニット mの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ mn (TMRmn)を設定する (チャネルの動作モード確定) タイマ・データ・レジスタ mn (TDRmn)にカウント数を設定する タイマ出力許可レジスタ m (TOEm)のTOEmnビットに0を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作再開	動作開始 TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn)はTDRmnレジスタの値をロードし, TImn端子入力のエッジ検出待ち状態になる
	動作中 TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない TMRmnレジスタ, TOMmn, TOLmn, TOMn, TOEmnビットは, 設定値変更禁止	TImn端子入力のエッジが検出されるごとに, カウンタ (TCRmn)はダウン・カウント動作を行う。0000Hまでカウントしたら, 再びTCRmnレジスタはTDRmnレジスタの値をロードし, カウント動作を継続する。 TCRmn = 0000H検出でINTTMmn出力を発生する。以降, この動作を繰り返す。
	動作停止 TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止
	TAU停止 PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニット mの入カクロック供給停止状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3)

6.8.3 分周器としての動作(ユニット0のチャンネル0のみ)

TI00端子に入力されたクロックを分周し、TO00端子から出力する分周器として利用することができます。

TO00出力の分周クロック周波数は次の式で求めることができます。

- 立ち上がりエッジ／立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{(\text{TDR00 の設定値} + 1) \times 2\}$$
- 両エッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDR00 の設定値} + 1)$$

タイマ・カウンタ・レジスタ00 (TCR00)はインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0)のチャンネル・スタート・トリガ・ビット(TS00)に1を設定後、TI00の有効エッジ検出でTCR00レジスタはタイマ・データ・レジスタ00 (TDR00)の値をロードします。このときタイマ・モード・レジスタ00 (TMR00)のMD000 = 0ならば、INTTM00を出力せず、TO00はトグルしません。TMR00レジスタのMD000 = 1ならば、INTTM00を出力して、TO00をトグルします。

その後、TI00端子入力の有効エッジに合わせてダウン・カウントを行い、TCR00 = 0000Hとなったら、TO00をトグルします。同時にTCR00レジスタはTDR00レジスタの値をロードして、カウントを継続します。

TI00端子入力の両エッジ検出を選択すると、入力クロックのデューティ誤差がTO00出力の分周クロック周期に影響します。

TO00の出カクロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TO00出力のクロック周期} = \text{理想のTO00出カクロック周期} \pm \text{動作クロック周期(誤差)}$$

TDR00レジスタは任意のタイミングで書き換えることができます。書き換えたTDR00レジスタの値は次のカウント期間で有効となります。

図6 - 55 分周器としての動作のブロック図

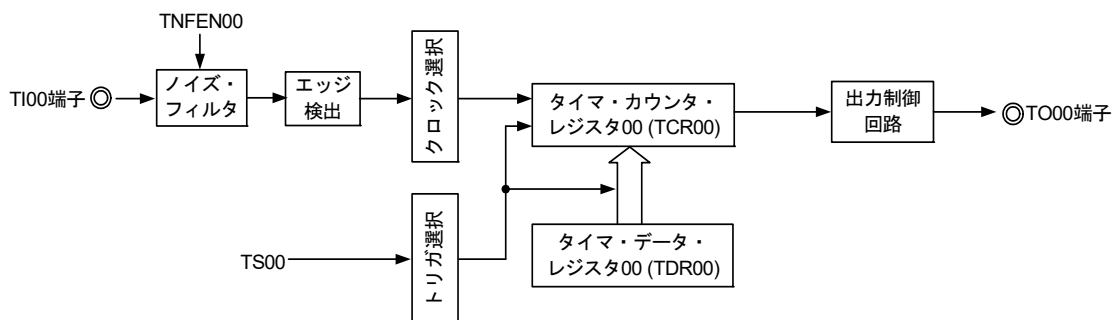
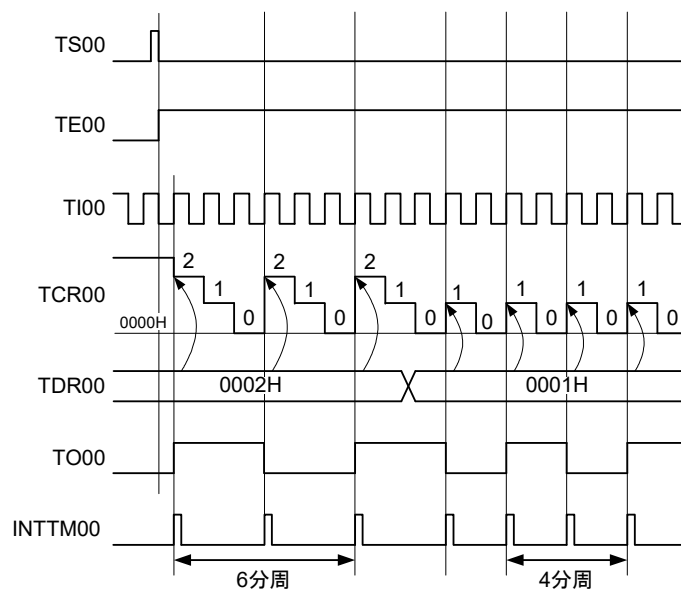


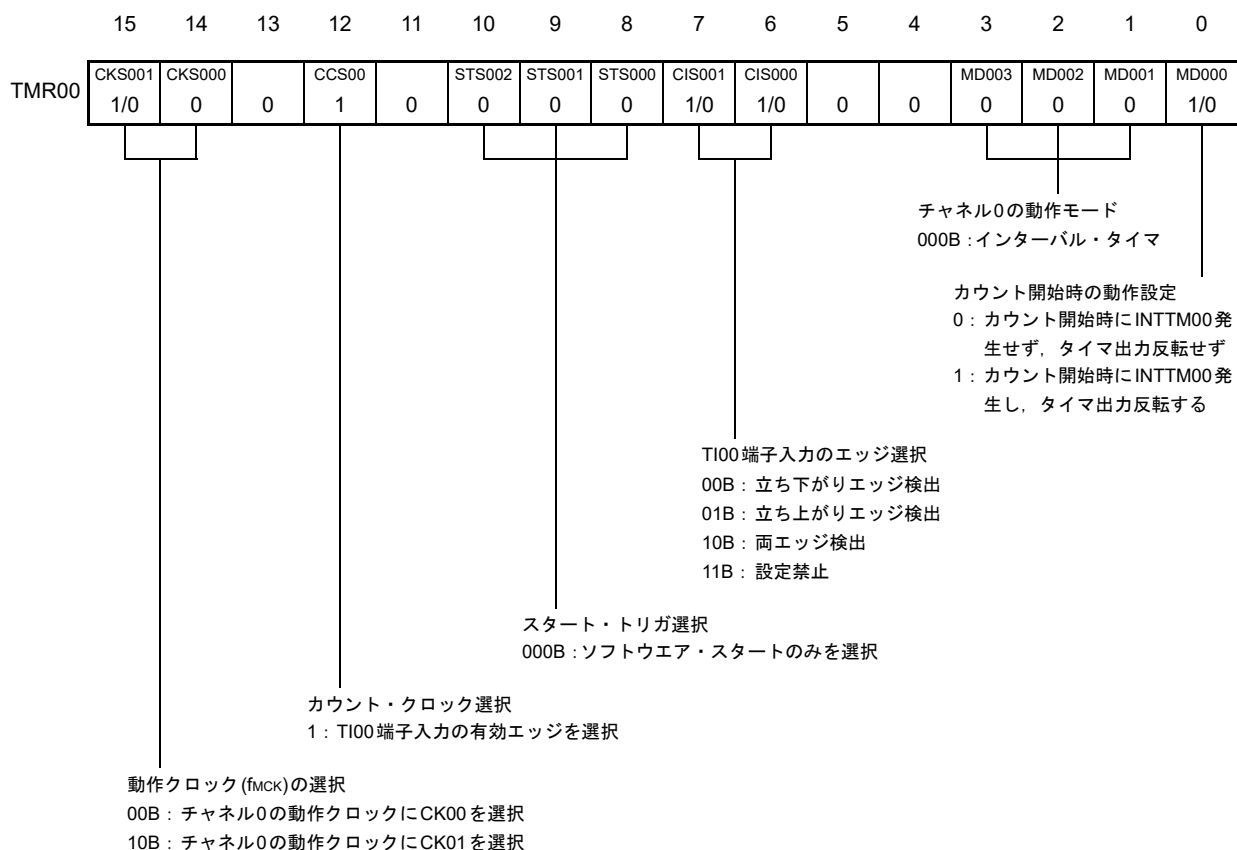
図6 - 56 分周器としての動作の基本タイミング例(MD000 = 1)



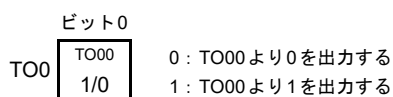
- 備考 TS00 : タイマ・チャネル開始レジスタ0 (TS0)のビット0
 TE00 : タイマ・チャネル許可ステータス・レジスタ0 (TE0)のビット0
 TI00 : TI00端子入力信号
 TCR00 : タイマ・カウンタ・レジスタ00 (TCR00)
 TDR00 : タイマ・データ・レジスタ00 (TDR00)
 TO00 : TO00端子出力信号

図6-57 分周器として動作時のレジスタ設定内容例

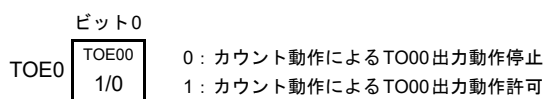
(a) タイマ・モード・レジスタ 00 (TMR00)



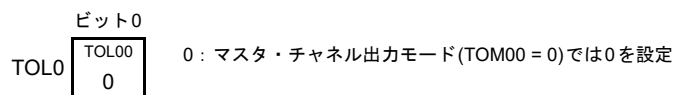
(b) タイマ出力レジスタ 0 (TO0)



(c) タイマ出力許可レジスタ 0 (TOE0)



(d) タイマ出力レベル・レジスタ 0 (TOL0)



(e) タイマ出力モード・レジスタ 0 (TOM0)

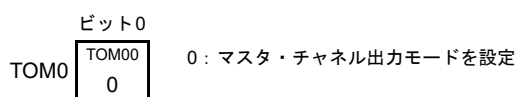


図6 - 58 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAU0ENビットに1を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ0 (TPS0)を設定する CK00-CK03のクロック周波数を確定する	タイマ・アレイ・ユニット0の入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャネル初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタ00 (TMR00)を設定する(チャネルの動作モード確定, 検出エッジの選択) タイマ・データ・レジスタ00 (TDR00)にインターバル(周期)値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	タイマ出力モード・レジスタ0 (TOM0)のTOM00ビットに0 (マスタ・チャネル出力モード)を設定する TOL00ビットに0を設定する TO00ビットを設定し, TO00出力の初期レベルを確定する TOE00ビットに1を設定し, TO00の動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TO00端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00初期設定レベルが出力される。 チャネルは動作停止状態なので, TO00は変化しない TO00端子はTO00設定レベルを出力
動作再開	動作開始 TOE00ビットに1を設定する(動作再開時のみ) TS00ビットに1を設定する TS00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1になり, カウント動作開始 タイマ・カウンタ・レジスタ00 (TCR00)はTDR00レジスタの値をロードする。TMR00レジスタのMD000ビットが1の場合は, INTTM00を発生し, TO00もトグル動作する。
	動作中 TDR00レジスタは, 任意に設定値変更が可能 TCR00レジスタは, 常に読み出し可能 TSR00レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMR00レジスタ, TOM00, TOL00ビットは, 設定値変更禁止	カウンタ(TCR00)はダウン・カウント動作を行い, 0000Hまでカウントしたら, 再びTCR00レジスタはTDR00レジスタの値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生し, TO00はトグル動作する。 以降, この動作を繰り返す。
	動作停止 TT00ビットに1を設定する TT00ビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 0になり, カウント動作停止 TCR00レジスタはカウント値を保持して停止 TO00出力は初期化されず, 状態保持
	TOE00ビットに0を設定し, TO00ビットに値を設定する	TO00端子はTO00設定レベルを出力
TAU 停止	TO00端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00ビットに0を設定する	TO00端子出力レベルはポート機能により保持される。
	TO00端子の出力レベルを保持不要の場合 設定不要 PER0レジスタのTAU0ENビットに0を設定する	タイマ・アレイ・ユニット0の入カクロック供給停止状態 全回路が初期化され, 各チャネルのSFRも初期化される (TO00ビットが0になり, TO00端子はポート機能となる)

6.8.4 入力パルス間隔測定としての動作

Tlmn 有効エッジでカウント値をキャプチャし、Tlmn 入力パルスの間隔を測定することができます。また、TEmn = 1の期間中に、ソフトウェア操作(TSmn = 1)をキャプチャ・トリガにして、カウント値をキャプチャすることもできます。

パルス間隔は次の式で求めることができます。

$$\text{Tlmn 入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn:OVF}) + (\text{TDRmn のキャプチャ値} + 1))$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると TCRmn レジスタはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

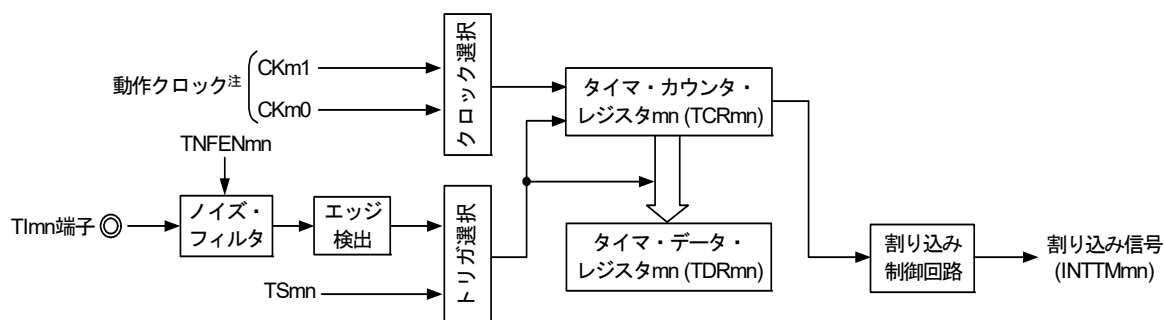
Tlmn 端子入力の有効エッジを検出すると、TCRmn レジスタのカウント値をタイマ・データ・レジスタ mn (TDRmn) に転送(キャプチャ)すると同時に、TCRmn レジスタを0000Hにクリアして、INTTMmn を出力します。このとき、カウンタのオーバーフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) のOVFビットが1にセットされ、オーバーフローが発生していなかったら OVF ビットはクリアされます。以降、同様の動作を継続します。

カウント値がTDRmn レジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRmn レジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRmn レジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRmn レジスタの STSmn2-STSmn0 = 001B に設定して、Tlmn 有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

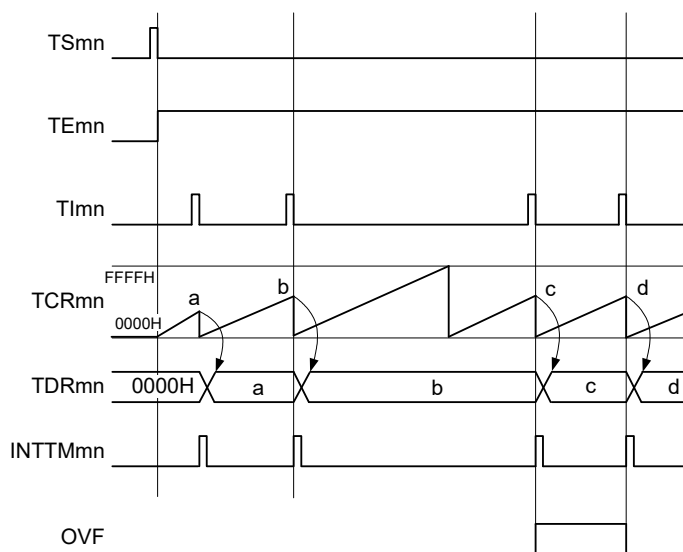
図6 - 59 入力パルス間隔測定としての動作のブロック図



注 チャンネル1, 3の場合は、CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6 - 60 入力パルス間隔測定としての動作の基本タイミング例(MDmn0 = 0)



備考1. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

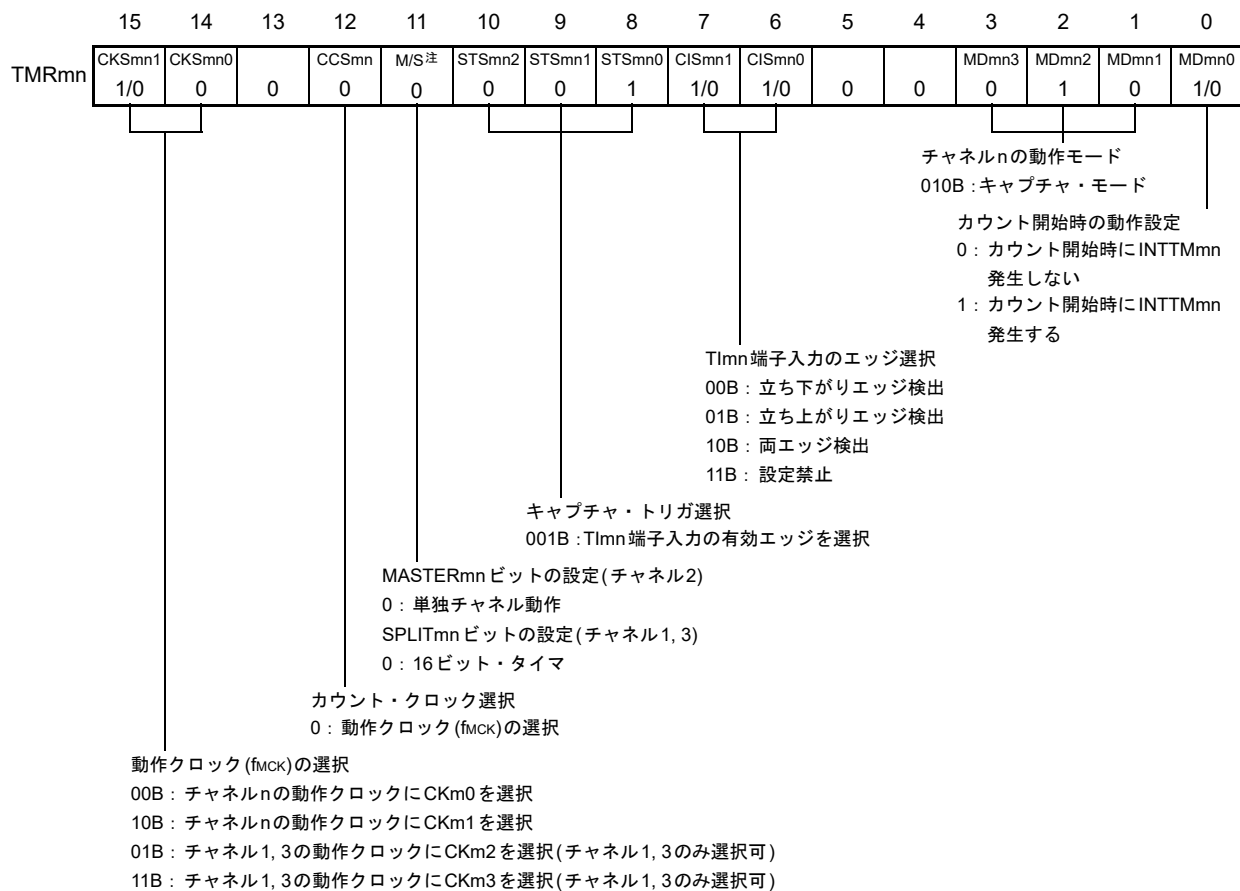
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

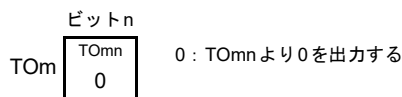
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6-61 入力パルス間隔測定時のレジスタ設定内容例

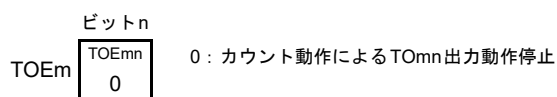
(a) タイマ・モード・レジスタ mn (TMRmn)



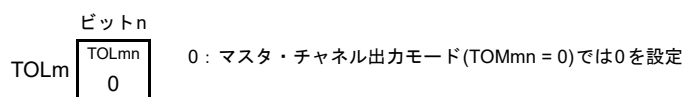
(b) タイマ出力レジスタ m (TOm)



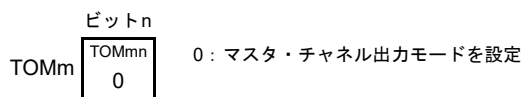
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット

TMRm1, TMRm3の場合 : SPLITmn ビット

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6-62 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ m の TAUmEN ビットに 1 を設定する	タイマ・アレイ・ユニット m の入力クロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタ m (TPSm) を設定する CKm0-CKm3 のクロック周波数を確定する	タイマ・アレイ・ユニット m の入力クロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ 1, 2 (NFEN1, NFEN2) の対応するビットに 0 (オフ), 1 (オン) を設定する タイマ・モード・レジスタ mn (TMRmn) を設定する (チャネルの動作モード確定)	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TSmn ビットに 1 を設定する TSmn ビットはトリガ・ビットなので, 自動的に 0 に戻る
	動作 中	TEmn = 1 になり, カウント動作開始 タイマ・カウンタ・レジスタ mn (TCRmn) を 0000H にクリアする。TMRmn レジスタの MDmn0 ビットが 1 の場合は, INTTMmn を発生する。 カウンタ (TCRmn) は 0000H からアップ・カウント動作を行い, TImn 端子入力の有効エッジが検出または, TSmn ビットに 1 を設定すると, カウント値をタイマ・データ・レジスタ mn (TDRmn) に転送 (キャプチャ) する。同時に, TCRmn レジスタを 0000H にクリアし, INTTMmn を発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ, オーバフローが発生していなかったら OVF ビットがクリアされる。 以降, この動作を繰り返す。
	動作 停止	TTmn ビットに 1 を設定する TTmn ビットはトリガ・ビットなので, 自動的に 0 に戻る
	TAU 停止	TEmn = 0 になり, カウント動作停止 TCRmn レジスタはカウント値を保持して停止 TSRmn レジスタの OVF ビットも保持
		タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され, 各チャネルの SFR も初期化される

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

6.8.5 入力信号のハイ／ロウ・レベル幅測定としての動作

注意 LIN-bus 対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット 1 (ISC1) を 1 に設定してください。また、以降の説明では「Tlmn」を「RxD0」と読み替えてください。

Tlmn 端子入力の片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすること、Tlmn の信号幅 (ハイ・レベル幅／ロウ・レベル幅) を測定することができます。Tlmn の信号幅は次の式で求めることができます。

$$\begin{aligned} &\text{Tlmn 入力信号の信号幅} = \\ &\text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRmn.OVF}) + (\text{TDRmn のキャプチャ値} + 1)) \end{aligned}$$

注意 Tlmn 端子入力は、タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで選択した動作クロックでサンプリングされるため、動作クロックの 1 クロック分の誤差が発生します。

タイマ・カウンタ・レジスタ mn (TCRmn) はキャプチャ & ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ m (TSM) のチャンネル・スタート・トリガ・ビット (TSMn) に 1 を設定すると、TEmn = 1 となり Tlmn 端子のスタート・エッジ検出待ち状態となります。

Tlmn 端子入力のスタート・エッジ (ハイ・レベル幅測定なら Tlmn 端子入力の立ち上がりエッジ) を検出すると、カウント・クロックに合わせて 0000H からアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定なら Tlmn 端子入力の立ち下がりエッジ) を検出すると、カウンタ値をタイマ・データ・レジスタ mn (TDRmn) に転送すると同時に INTTmn を出力します。このとき、カウンタのオーバフローが発生していたら、タイマ・ステータス・レジスタ mn (TSRmn) の OVF ビットがセットされ、オーバフローが発生していなかったら OVF ビットはクリアされます。TCRmn レジスタは、「TDRmn レジスタに転送した値 + 1」の値で停止し、Tlmn 端子のスタート・エッジ検出待ち状態となります。以降同様の動作を続けます。

カウンタ値が TDRmn レジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRmn レジスタの OVF ビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが 2 周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRmn レジスタの OVF ビットがセット (1) されます。しかし、OVF ビットは、2 回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

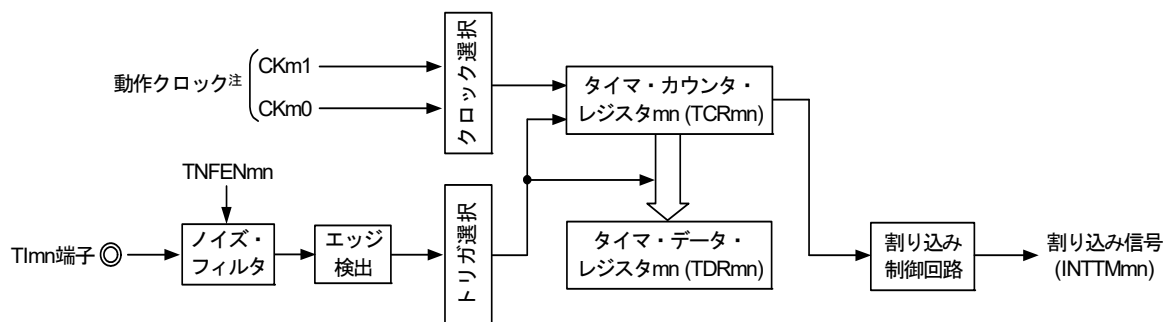
Tlmn 端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRmn レジスタの CISmn1, CISmn0 ビットにて設定することができます。

この機能は、Tlmn 端子入力の信号幅測定を目的とするため、TEmn = 1 期間中の TSMn ビットのセット (1) は使用できません。

TMRmn レジスタの CISmn1, CISmn0 = 10B : ロウ・レベル幅を測定する

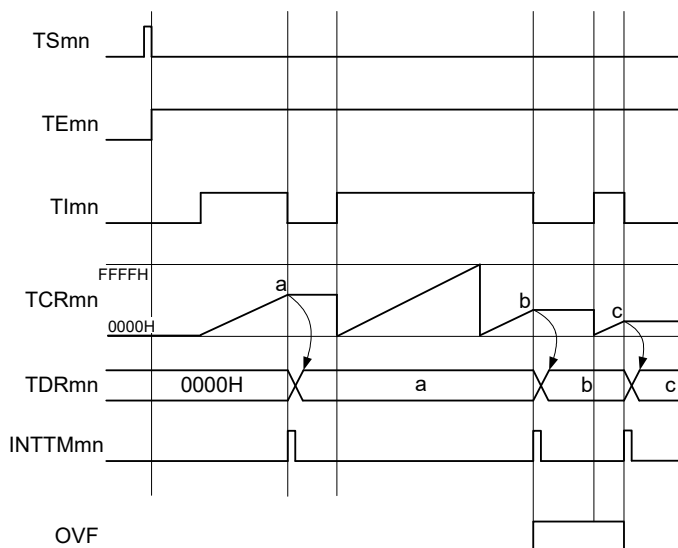
TMRmn レジスタの CISmn1, CISmn0 = 11B : ハイ・レベル幅を測定する

図6-63 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル1, 3の場合は, CKm0, CKm1, CKm2, CKm3からクロックを選択できます。

図6-64 入力信号のハイ/ロウ・レベル幅測定としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャンネル開始レジスタ m (TSm) のビット n

TEmn : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n

TImn : TImn 端子入力信号

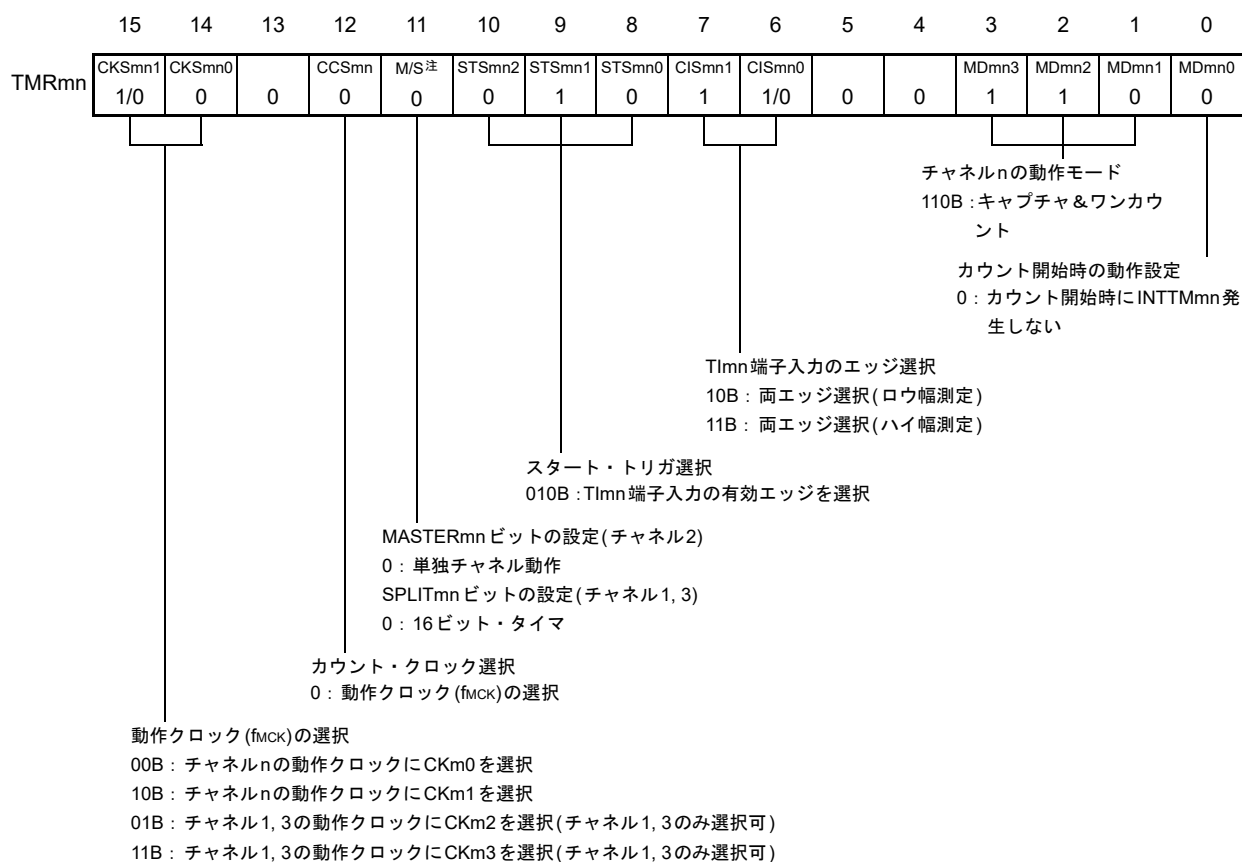
TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

TDRmn : タイマ・データ・レジスタ mn (TDRmn)

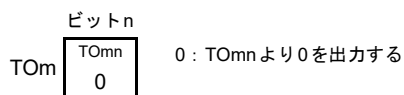
OVF : タイマ・ステータス・レジスタ mn (TSRmn) のビット 0

図6-65 入力信号のハイ／ロウ・レベル幅測定時のレジスタ設定内容例

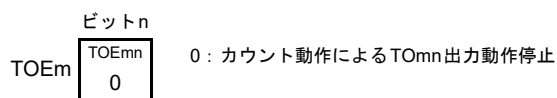
(a) タイマ・モード・レジスタ mn (TMRmn)



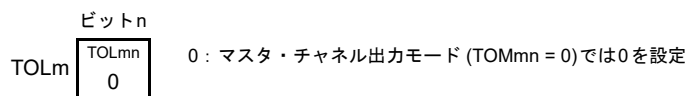
(b) タイマ出力レジスタ m (TOm)



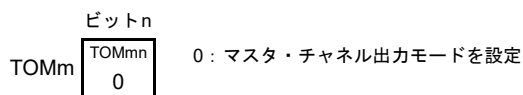
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmn ビット

TMRm1, TMRm3の場合 : SPLITmn ビット

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6-66 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する (チャネルの動作モード確定) TOEmnビットに0を設定し, TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1になり, TImn端子のスタート・エッジ検出待ち状態になる
	TImn端子入力のカウント・スタート・エッジ検出	タイマ・カウンタ・レジスタmn (TCRmn)を0000Hにクリアし, カウント・アップ動作を開始する
動作 中	TDRmnレジスタは, 常に読み出し可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 常に読み出し可能 TMRmnレジスタ, TOMmn, TOLmn, TOmn, TOEmnビットは, 設定値変更禁止	TImn端子のスタート・エッジ検出後, カウンタ (TCRmn)は0000Hからアップ・カウント動作を行う。 TImn端子のキャプチャ・エッジが検出されたら, カウント値をタイマ・データ・レジスタmn (TDRmn)に転送し, INTTmnを発生する。 このときオーバフローが発生していたら, タイマ・ステータス・レジスタmn (TSRmn)のOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。TCRmnレジスタは, 次のTImn端子のスタート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウント動作停止 TCRmnレジスタはカウント値を保持して停止 TSRmnレジスタのOVFビットも保持
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3)

6.8.6 ディレイ・カウンタとしての動作

TI_{mn} 端子入力の有効エッジ検出 (外部イベント) でダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することができます。

また、TE_{mn} = 1 の期間中に、ソフトウェアで TS_{mn} = 1 に設定してダウン・カウントをスタートし、任意の設定間隔で INTTM_{mn} (タイマ割り込み) を発生することもできます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTM}_{mn} \text{ (タイマ割り込み) の発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDR}_{mn} \text{ の設定値} + 1)$$

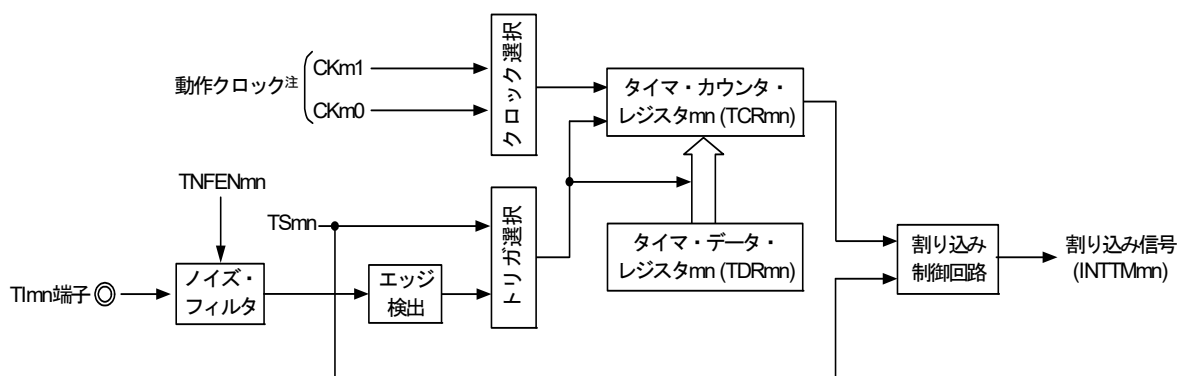
タイマ・カウンタ・レジスタ_{mn} (TCR_{mn}) はワンカウント・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ_m (TS_m) のチャンネル・スタート・トリガ・ビット (TS_{mn}, TSH_{m1}, TSH_{m3}) に 1 を設定すると、TE_{mn}, TEH_{m1}, TEH_{m3} = 1 となり TI_{mn} 端子の有効エッジ検出待ち状態となります。

TCR_{mn} レジスタは、TI_{mn} 端子入力の有効エッジ検出により動作を開始し、タイマ・データ・レジスタ_{mn} (TDR_{mn}) から値をロードします。TCR_{mn} レジスタはロードした TDR_{mn} レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCR_{mn} = 0000H になったら INTTM_{mn} を出力し、次の TI_{mn} 端子入力の有効エッジがあるまで、カウントを停止します。

TDR_{mn} レジスタは任意のタイミングで書き換えることができます。書き換えた TDR_{mn} レジスタの値は、次の周期から有効となります。

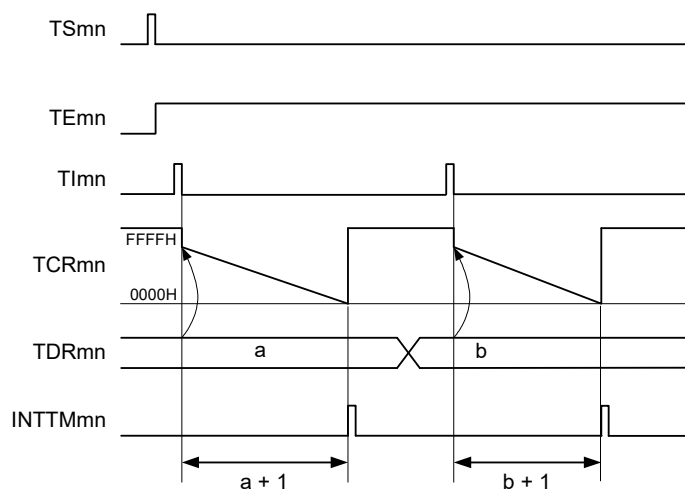
図 6-67 ディレイ・カウンタとしての動作のブロック図



注 チャンネル 1, 3 の場合は、CK_{m0}, CK_{m1}, CK_{m2}, CK_{m3} からクロックを選択できます。

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6-68 デイレイ・カウンタとしての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

備考2. TSmn : タイマ・チャネル開始レジスタ m (TSm) のビット n

TE mn : タイマ・チャネル許可ステータス・レジスタ m (TEm) のビット n

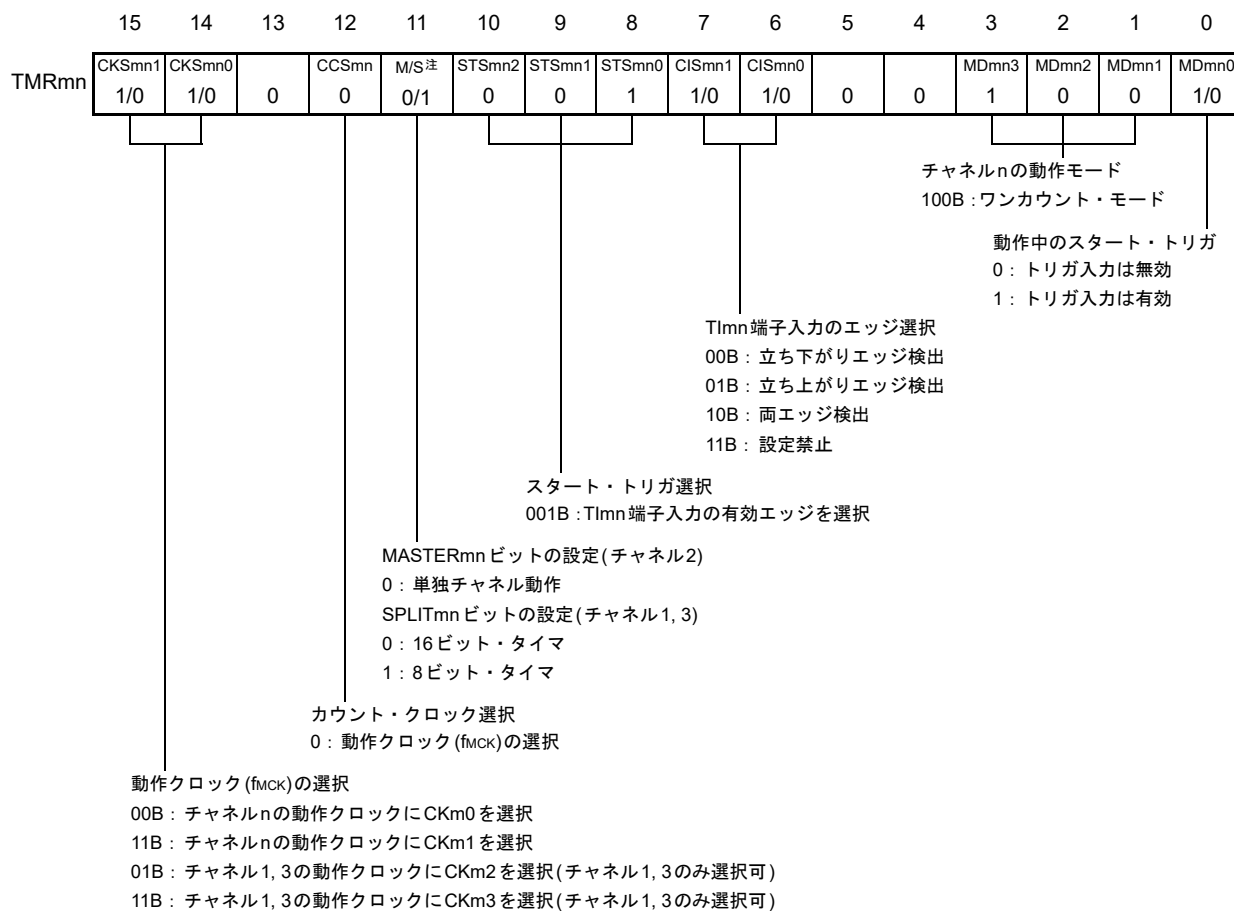
TI mn : TI mn 端子入力信号

TCRmn : タイマ・カウンタ・レジスタ mn (TCRmn)

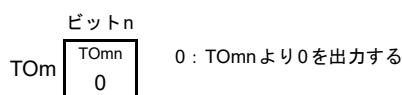
TDRmn : タイマ・データ・レジスタ mn (TDRmn)

図6-69 ディレイ・カウンタ機能時のレジスタ設定内容例

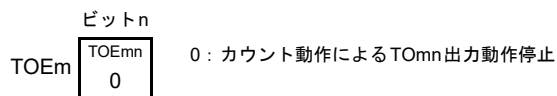
(a) タイマ・モード・レジスタ mn (TMRmn)



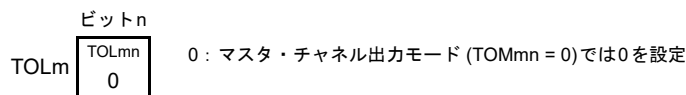
(b) タイマ出力レジスタ m (TOM)



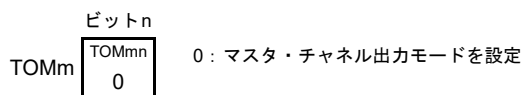
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMmn)



注 TMRm2 の場合 : MASTERmn ビット

TMRm1, TMRm3 の場合 : SPLITmn ビット

TMRm0 の場合 : 0 固定

備考 m : ユニット番号 (m = 0, 1), n : チャンネル番号 (n = 0-3)

図6-70 ディレイ・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する タイマ・クロック選択レジスタm (TPSm)を設定する CKm0-CKm3のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可) タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)の対応するビットに0 (オフ), 1 (オン)を設定する タイマ・モード・レジスタmn (TMRmn)を設定する(チャネルnの動作モード確定) タイマ・データ・レジスタmn (TDRmn)に遅延時間を設定する TOEmnビットに0を設定し, TOmnの動作を停止	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSmnビットに1を設定する TSmnビットはトリガ・ビットなので, 自動的に0に戻る 次のスタート・トリガ検出によって, ダウン・カウンタを開始します。 • TImn端子入力の有効エッジ検出 • ソフトウェアでTSmnビットに1を設定	TEmn = 1になり, スタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)待ち状態となる タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードする。
動作 中	TDRmnレジスタは, 任意に設定値変更が可能 TCRmnレジスタは, 常に読み出し可能 TSRmnレジスタは, 使用しない	カウンタ(TCRmn)はダウン・カウンタ動作を行う。 TCRmn = 0000HまでカウントしたらINTTMmn出力を発生し, 次のスタート・トリガ検出(TImn端子入力の有効エッジの検出, またはTSmnビットに1を設定)までTCRmn = 0000Hでカウンタ動作を停止する。
動作 停止	TTmnビットに1を設定する TTmnビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 0になり, カウンタ動作停止 TCRmnレジスタはカウンタ値を保持して停止
TAU 停止	PER0レジスタのTAUmENビットに0を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 全回路が初期化され, 各チャネルのSFRも初期化される

備考 m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3)

6.9 タイマ・アレイ・ユニットの複数チャネル連動動作機能

6.9.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、Tl_{mn} 端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned}\text{ディレイ} &= \{\text{TDRmn (マスタ) の設定値} + 2\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{\text{TDRmp (スレーブ) の設定値}\} \times \text{カウント} \cdot \text{クロック周期}\end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、スタート・トリガ検出により動作を開始し、タイマ・データ・レジスタ mn (TDRmn) から値をロードします。TCRmn レジスタはロードした TDRmn レジスタの値からカウント・クロックに合わせてダウン・カウントを行い、TCRmn = 0000H になったら INTTMmn を出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルの TCRmp レジスタは、マスタ・チャネルの INTTMmn をスタート・トリガとして動作を開始し、TDRmp レジスタから値をロードします。TCRmp レジスタはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000H になったら INTTMmp を出力して、次のスタート・トリガ (マスタ・チャネルの INTTMmn) 検出があるまで、カウントを停止します。TOmp の出力レベルは、マスタ・チャネルの INTTMmn 発生から 1 カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

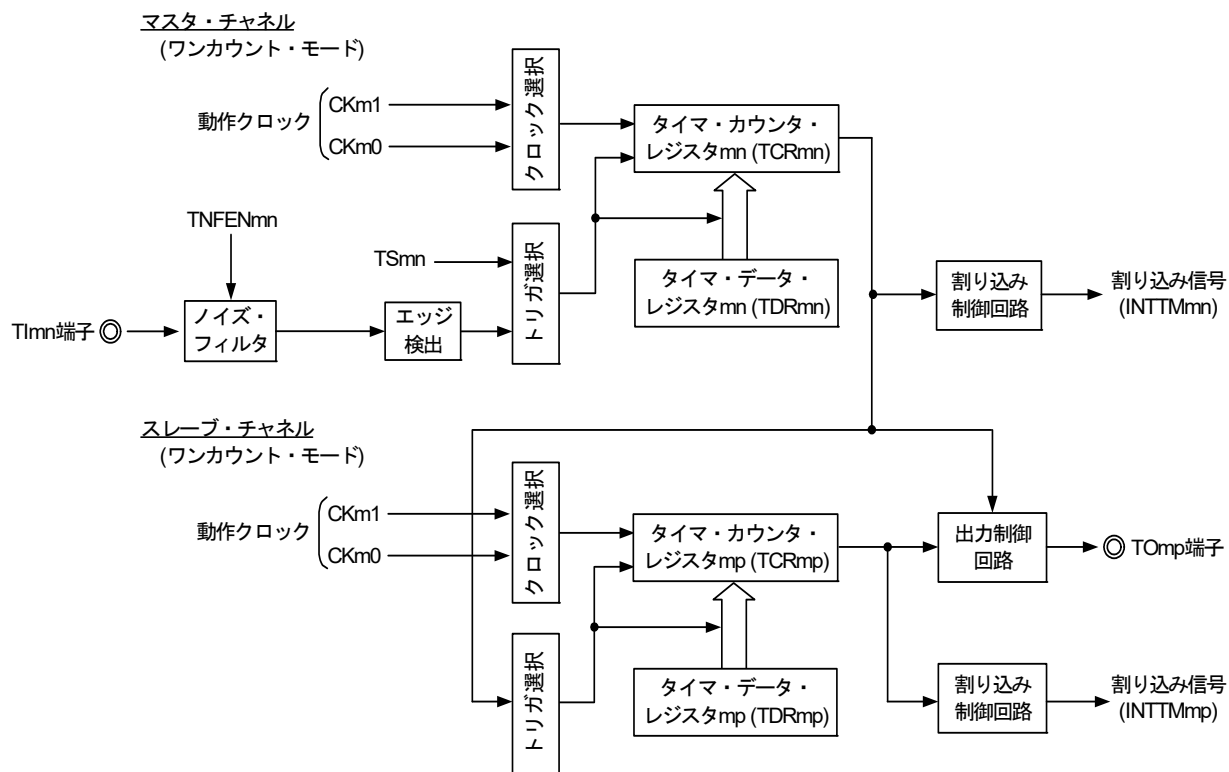
ワンショット・パルス出力は、Tl_{mn} 端子入力を使用せず、ソフトウェア操作 (TS_{mn} = 1) をスタート・トリガにすることもできます。

注意 マスタ・チャネルの TDRmn レジスタとスレーブ・チャネルの TDRmp レジスタでは、ロード・タイミングが異なるため、カウント動作中に TDRmn レジスタ、TDRmp レジスタを書き換えると、ロード・タイミングと競合して不正波形が出力される場合があります。TDRmn レジスタは INTTMmn 発生後に、TDRmp レジスタは INTTMmp 発生後に書き換えてください。

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャネル番号 (n = 0, 2)

p : スレーブ・チャネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

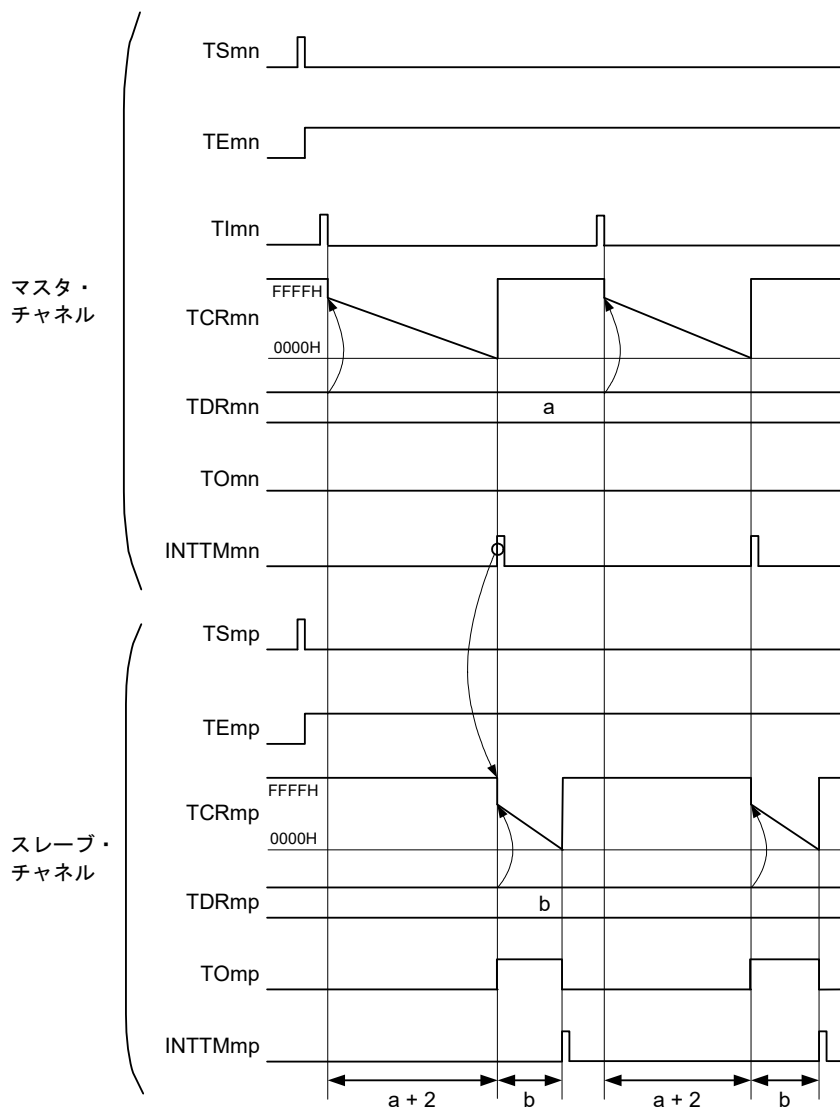
図6 - 71 ワンショット・パルス出力機能としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1), n : マスター・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6-72 ワンショット・パルス出力機能としての動作の基本タイミング例



備考1. m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

備考2. TSmn, TSmp : タイマ・チャンネル開始レジスタ m (TSm) のビット n, p

TEmn, TEmmp : タイマ・チャンネル許可ステータス・レジスタ m (TEm) のビット n, p

TImn, TImp : TImn, TImp 端子入力信号

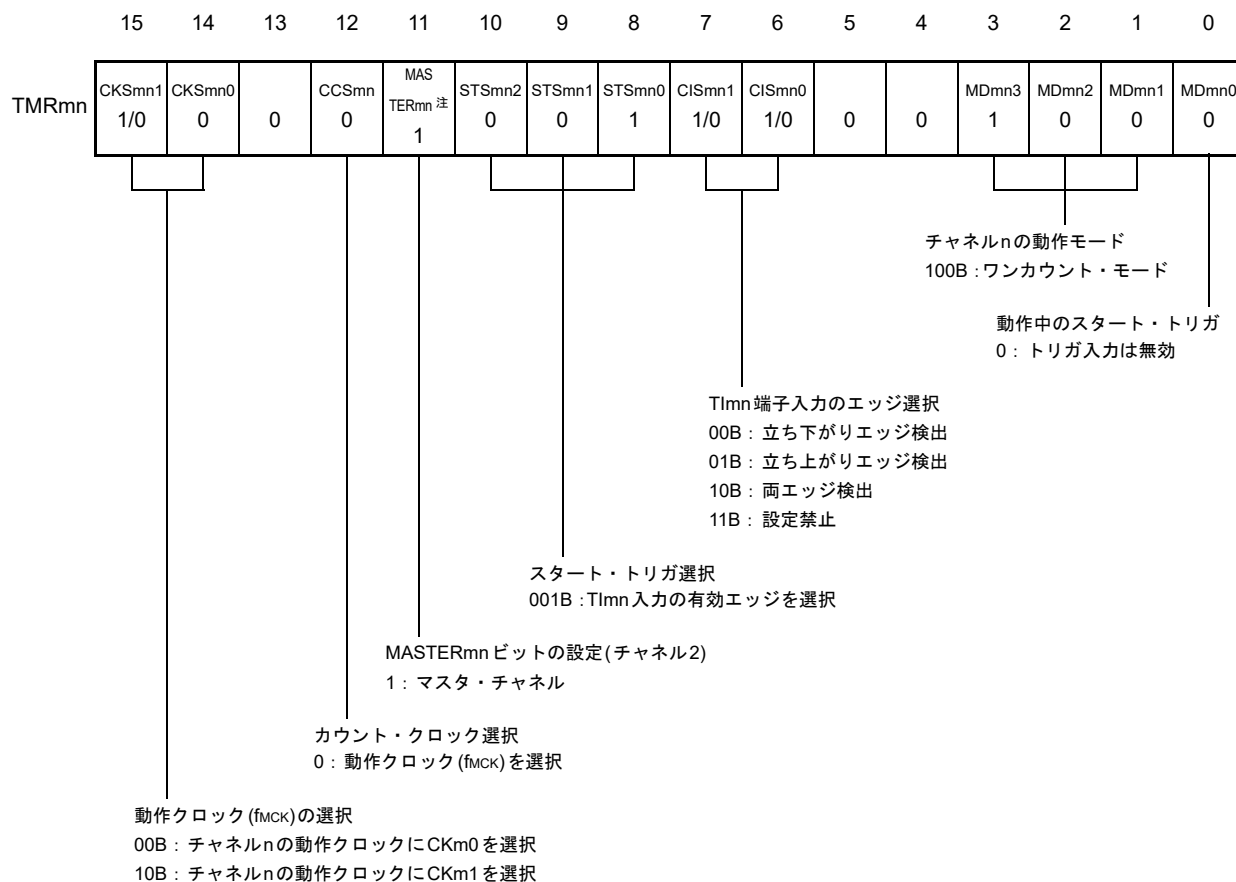
TCRmn, TCRmp : タイマ・カウンタ・レジスタ mn, mp (TCRmn, TCRmp)

TDRmn, TDRmp : タイマ・データ・レジスタ mn, mp (TDRmn, TDRmp)

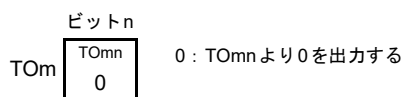
TOmn, TOmp : TOmn, TOmp 端子出力信号

図6-73 ワンショット・パルス出力機能時(マスタ・チャンネル)のレジスタ設定内容例

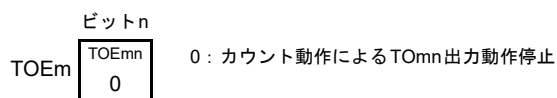
(a) タイマ・モード・レジスタ mn (TMRmn)



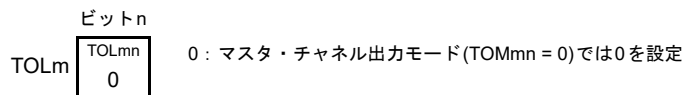
(b) タイマ出力レジスタ m (TOm)



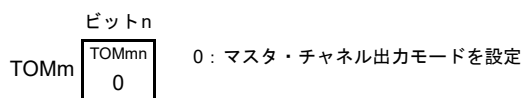
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



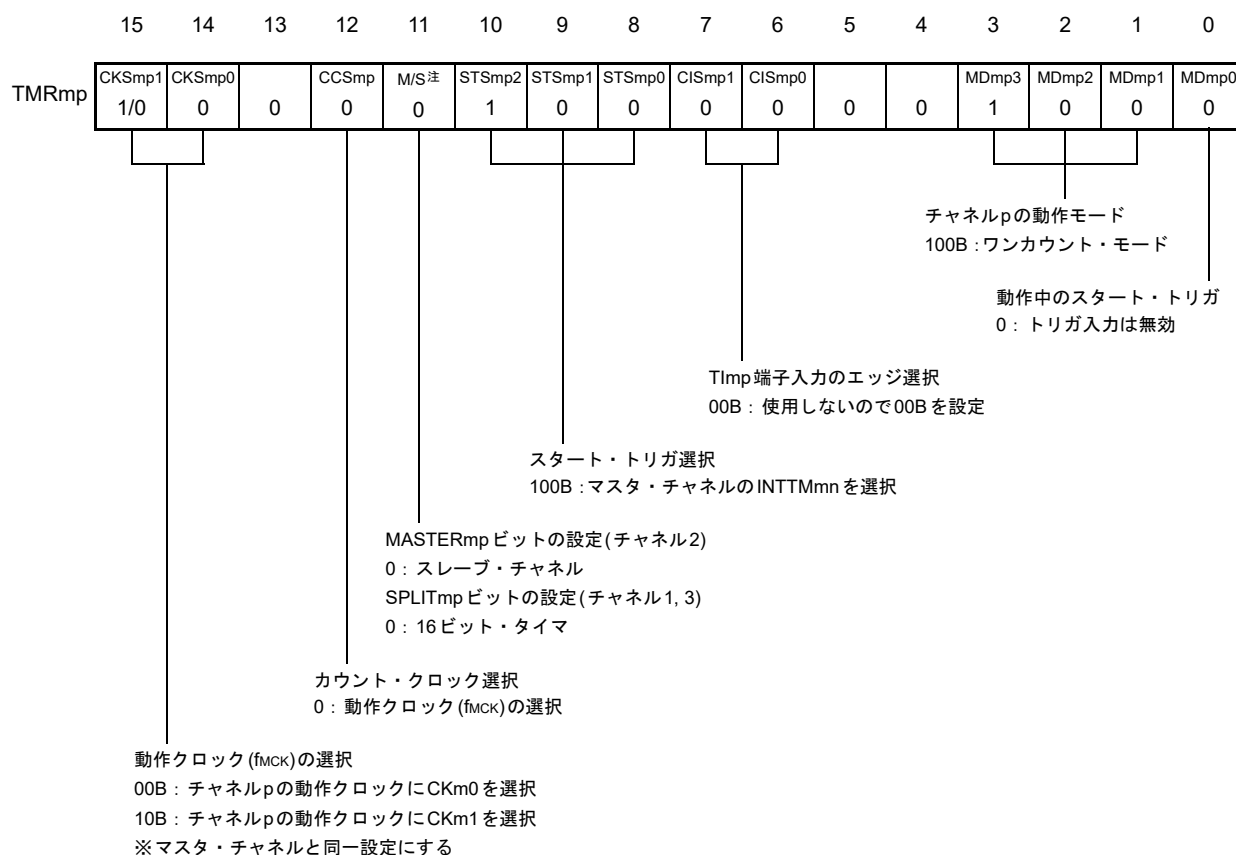
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

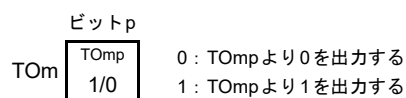
備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

図6-74 ワンショット・パルス出力機能時(スレーブ・チャンネル)のレジスタ設定内容例

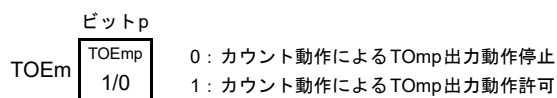
(a) タイマ・モード・レジスタ mp (TMRmp)



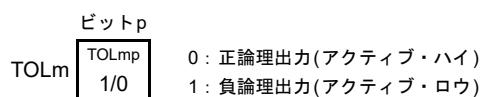
(b) タイマ出力レジスタ m (TOm)



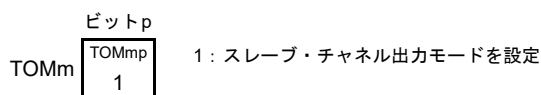
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6-75 ワンショット・パルス出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定		タイマ・アレイ・ユニットmの入カクロック供給停止 状態 (クロック供給停止, 各レジスタへの書き込み不可)
	周辺イネーブル・レジスタ0 (PER0)のTAUmENビット に1を設定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	
チャ ネル 初期 設定	ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) の対応するビットに1を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	使用する2チャネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャネルの動作モード 確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn)に出力遅延時間, スレーブ・チャネルの TDRmpレジスタにパルス幅を設定する	
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp ビットに1 (スレーブ・チャネル出力モード)を設定 する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを 確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レ ジスタが0の場合は, TOmp初期設定レベルが出力され る。 チャネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(注, 備考は次ページにあります。)

図6-76 ワンショット・パルス出力機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る マスタ・チャンネルのスタート・トリガ検出によって、マスタ・チャンネルのカウンタ動作を開始します。 ・ TImn 端子入力の有効エッジ検出 ・ ソフトウェアでマスタ・チャンネルの TSmn ビットに1を設定注	TEmn = 1, TEm = 1 となり、マスタ・チャンネルはスタート・トリガ検出 (TImn 端子入力の有効エッジの検出、または、マスタ・チャンネルの TSmn ビットに1を設定) 待ち状態となる カウンタはまだ停止状態のまま マスタ・チャンネルがカウンタ動作開始
	動作中 TMRmn レジスタは、CISmn1, CISmn0 ビットのみ設定値変更可能 TMRmp, TDRmn, TDRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSRmp レジスタは、使用しない スレーブ・チャンネルの TOM, TOEm レジスタは、設定値変更可能	マスタ・チャンネルでは、スタート・トリガ検出 (TImn 端子入力の有効エッジの検出または、マスタ・チャンネルの TSmn ビットに1を設定) により、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウンタ動作を行う。 TCRmn = 0000H までカウントしたら INTTMmn 出力を発生し、次の TImn 端子入力までカウンタ動作を停止する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウンタを開始する。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウンタ動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEm = 0 になり、カウンタ動作停止 TCRmn, TCRmp レジスタはカウンタ値を保持して停止 TOmp 出力は初期化されず、状態保持 TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	TOmp 端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが0になり、TOmp 端子はポート機能となる)

注 スレーブ・チャンネルの TSmn ビットには1を設定しないでください。

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

6.9.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{\text{TDRmp (スレーブ) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ 0\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRmp (スレーブ) の設定値} \geq \{\text{TDRmn (マスタ) の設定値} + 1\} \end{aligned}$$

備考 TDRmp (スレーブの設定値) > {TDRmn (マスタ) の設定値 + 1} の場合は、デューティ値が100 %を越えますが、集約して100%出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ m (TSm) のチャンネル・スタート・トリガ・ビット (TSmn) に1を設定すると、割り込み (INTTMmn) を出力して、タイマ・データ・レジスタ mn (TDRmn) に設定した値をタイマ・カウンタ・レジスタ mn (TCRmn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMmn を出力して、再び TDRmn レジスタから TCRmn レジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ m (TTm) のチャンネル・ストップ・トリガ・ビット (TTmn) に1を設定するまでの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからの INTTMmn をスタート・トリガとして、TDRmp レジスタから TCRmp レジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMmpを出力して、次のスタート・トリガ(マスタ・チャンネルからのINTTMmn)が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOmp) のデューティとなります。

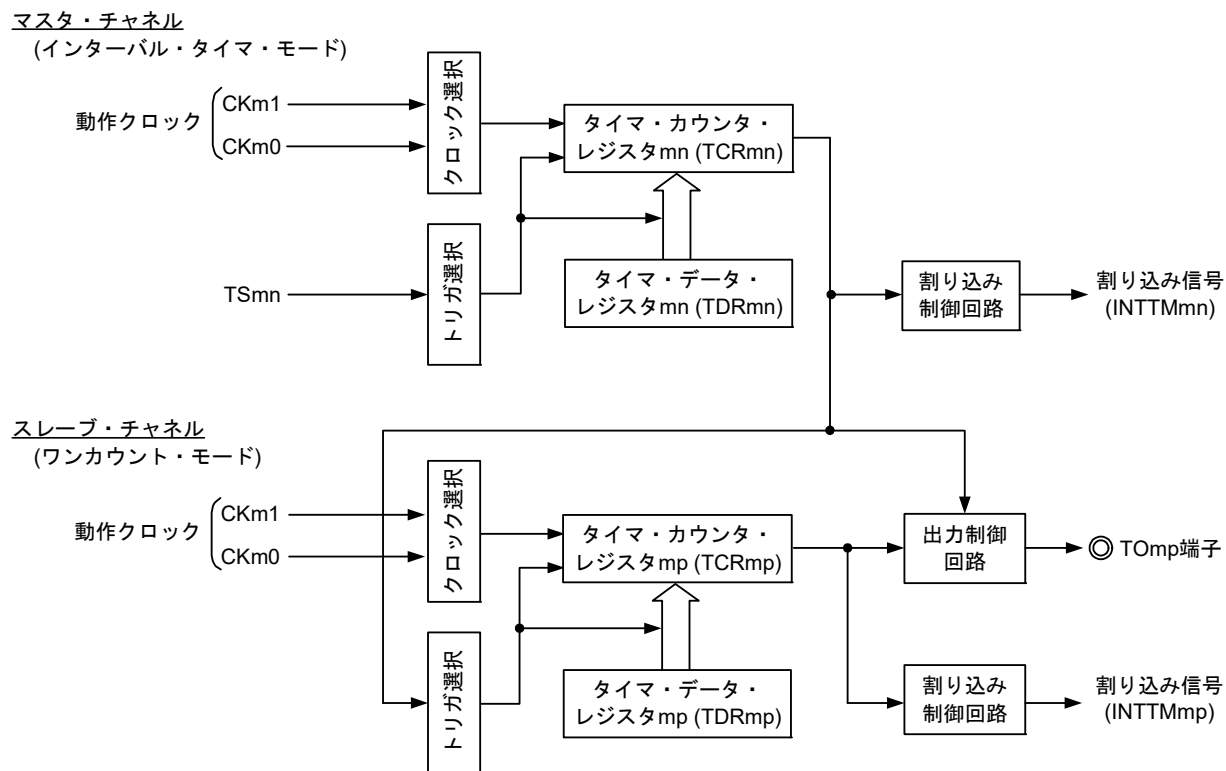
PWM出力 (TOmp) は、マスタ・チャンネルのINTTMmn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmpレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネルのTDRmpレジスタを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値がロードされるのは、マスタ・チャンネルのINTTMmn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は期待通りの波形を出力できません。したがって、マスタのTDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

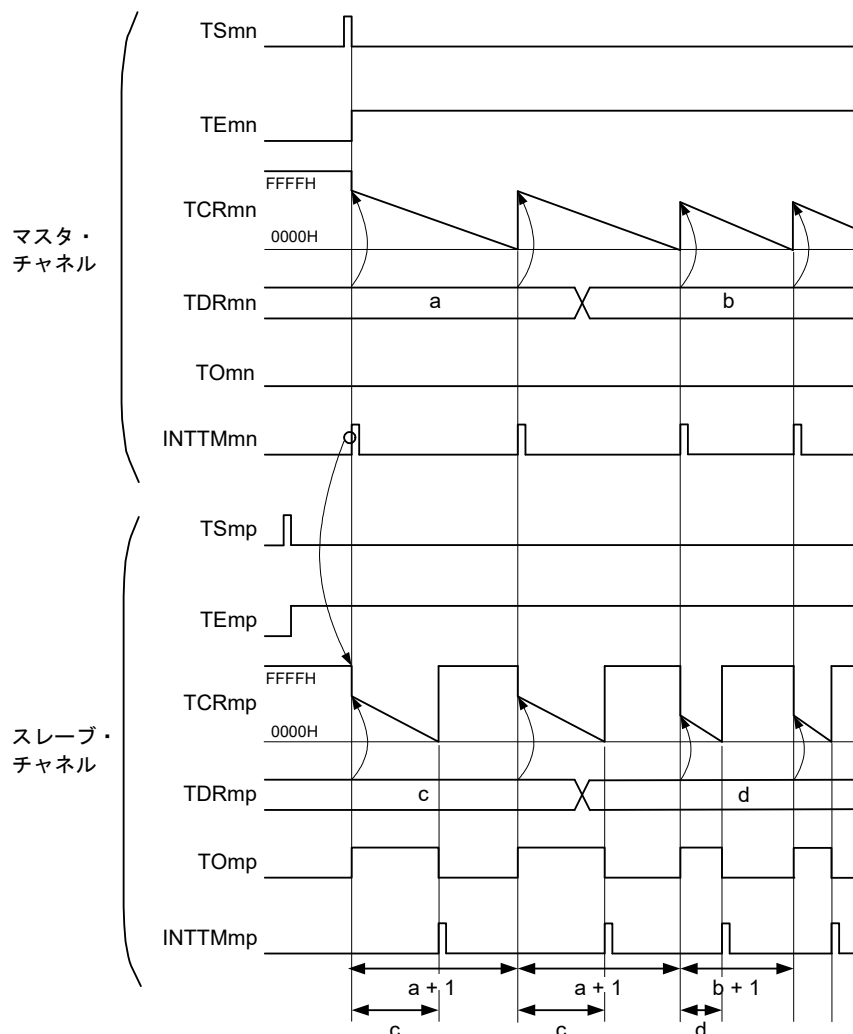
図6-77 PWM機能としての動作のブロック図



備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6-78 PWM機能としての動作の基本タイミング例



備考1. *m*: ユニット番号 (*m* = 0, 1), *n*: マスタ・チャンネル番号 (*n* = 0, 2)

p: スレーブ・チャンネル番号 (*n* = 0: *p* = 1, 2, 3, *n* = 2: *p* = 3)

備考2. TSmn, TSmp: タイマ・チャンネル開始レジスタ *m* (TSm) のビット *n*, *p*

TEmn, TEmn: タイマ・チャンネル許可ステータス・レジスタ *m* (TEm) のビット *n*, *p*

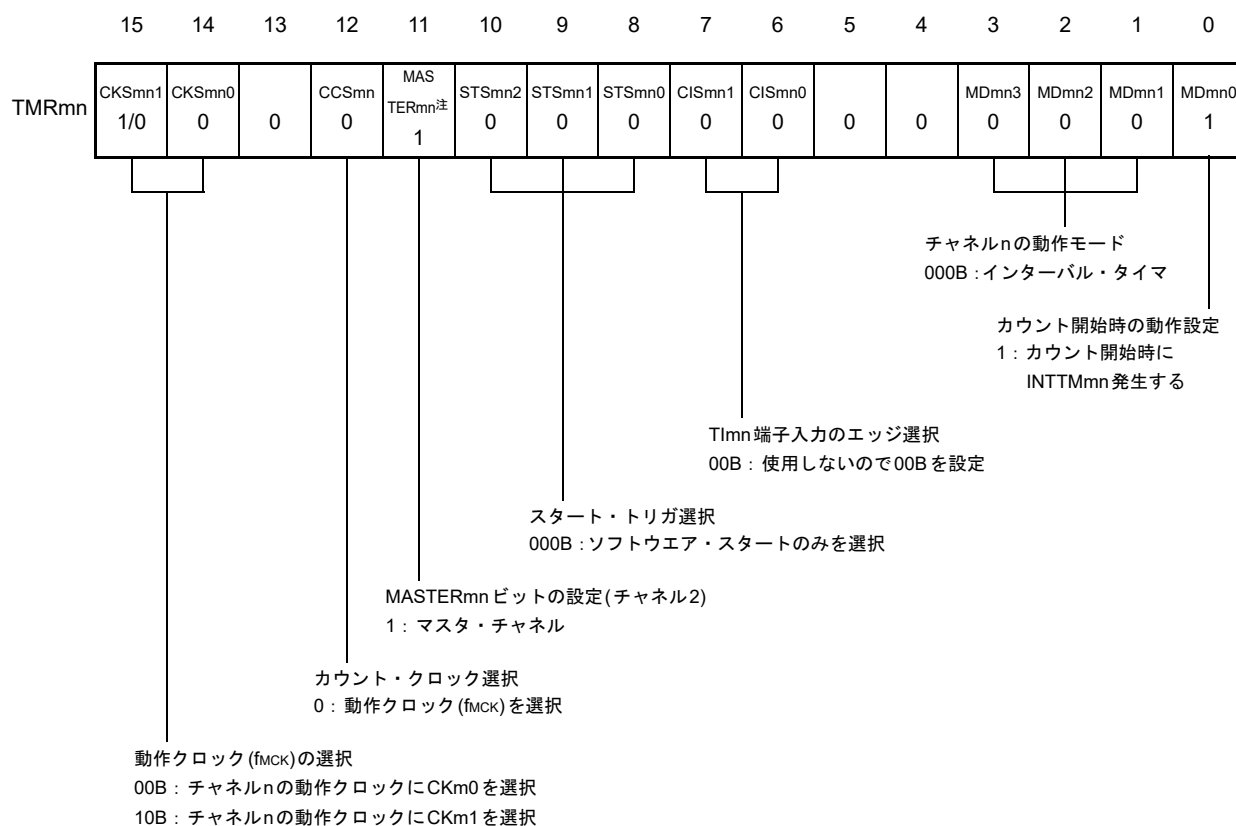
TCRmn, TCRmp: タイマ・カウンタ・レジスタ *mn*, *mp* (TCRmn, TCRmp)

TDRmn, TDRmp: タイマ・データ・レジスタ *mn*, *mp* (TDRmn, TDRmp)

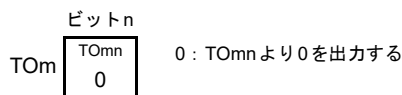
TOmn, TOmp: TOmn, TOmp 端子出力信号

図6 - 79 PWM機能時(マスタ・チャンネル)のレジスタ設定内容例

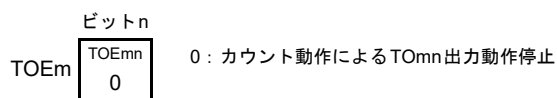
(a) タイマ・モード・レジスタ mn (TMRmn)



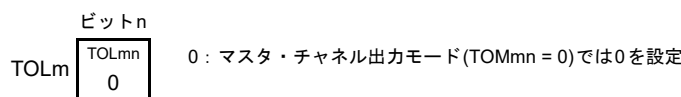
(b) タイマ出力レジスタ m (TOM)



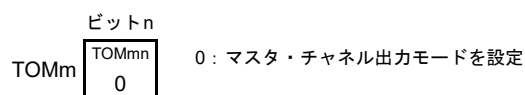
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



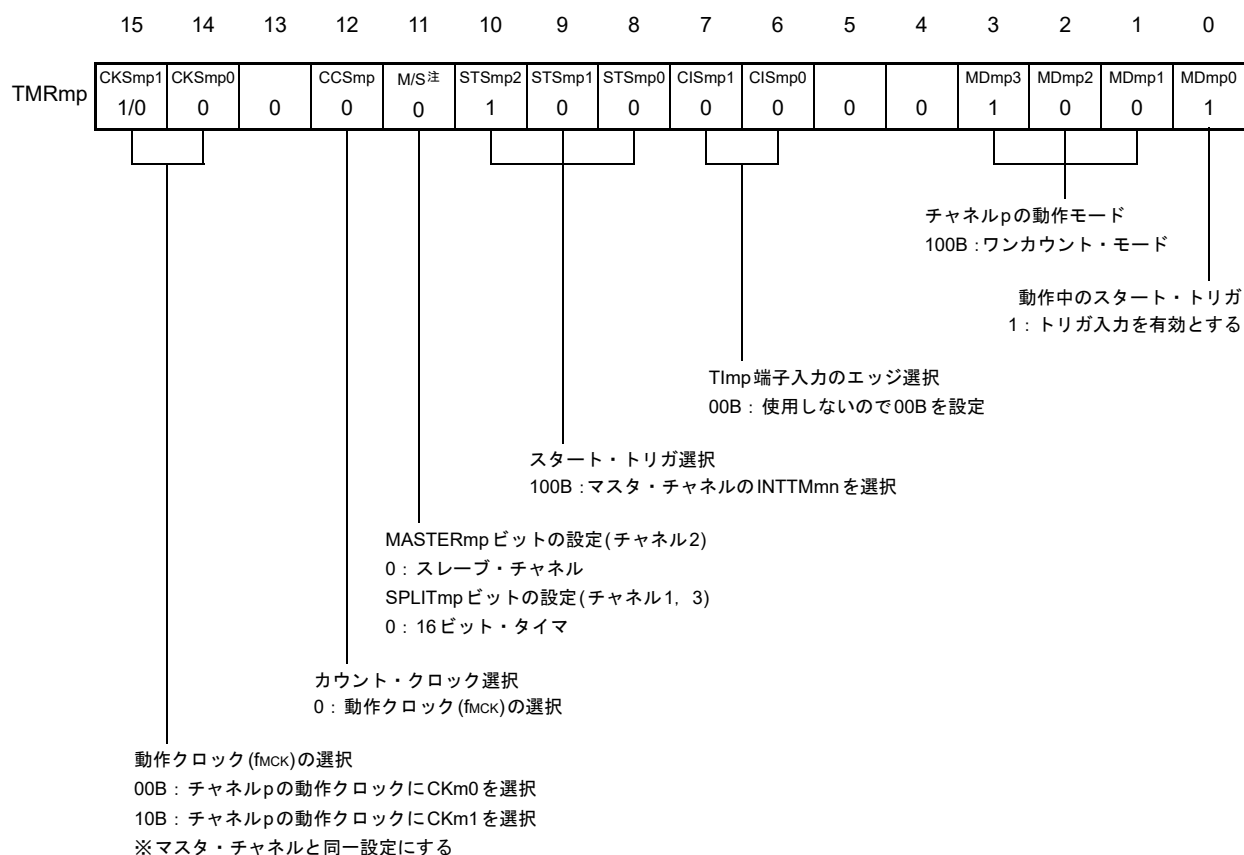
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

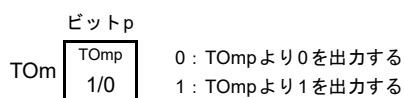
備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

図6 - 80 PWM機能時(スレーブ・チャネル)のレジスタ設定内容例

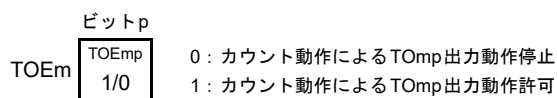
(a) タイマ・モード・レジスタ mp (TMRmp)



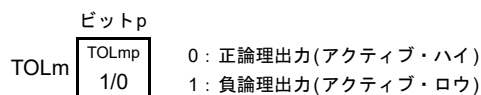
(b) タイマ出力レジスタ m (TOm)



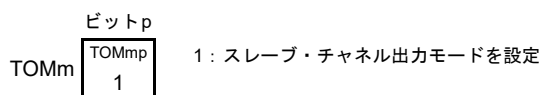
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



注 TMRm2の場合 : MASTERmp ビット

TMRm1, TMRm3の場合 : SPLITmp ビット

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャネル番号 (n = 0, 2)

p : スレーブ・チャネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

図6 - 81 PWM機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可)
	タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャネルのタイマ・モード・レジスタmn, mp (TMRmn, TMRmp)を設定する(チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャネルのTDRmpレジスタにデューティ値を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmpビットに1(スレーブ・チャネル出力モード)を設定する TOLmpビットを設定する TOmpビットを設定し, TOmp出力の初期レベルを確定する TOEmpビットに1を設定し, TOmpの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOmp端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp初期設定レベルが出力される。 チャネルは動作停止状態なので, TOmpは変化しない TOmp端子はTOmp設定レベルを出力

(備考は次ページにあります。)

図6 - 82 PWM機能時の操作手順(2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOEmp (スレーブ) ビットに1を設定する(動作再開時のみ) タイマ・チャンネル開始レジスタ m (TSm) の TSmn (マスタ), TSmp (スレーブ) ビットに同時に1を設定する TSmn, TSmp ビットはトリガ・ビットなので、自動的に0に戻る	TEmn = 1, TEm = 1 となる マスタ・チャンネルがカウント動作開始し、INTTMmn を発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMRmn, TMRmp レジスタ, TOMmn, TOMmp, TOLmn, TOLmp ビットは、設定値変更禁止 TDRmn, TDRmp レジスタは、マスタ・チャンネルの INTTMmn 発生後に設定値変更可能 TCRmn, TCRmp レジスタは、常に読み出し可能 TSRmn, TSR0p レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタ mn (TCRmn) は TDRmn レジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000H までカウントしたら INTTMmn を発生する。同時に、TCRmn レジスタは TDRmn レジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネルでは、マスタ・チャンネルの INTTMmn をトリガとして、TCRmp レジスタは TDRmp レジスタの値をロードし、カウンタはダウン・カウント動作を行う。マスタ・チャンネルの INTTMmn 出力から1カウント・クロック経過後に TOmp 出力レベルをアクティブ・レベルとする。そして TCRmp = 0000H までカウントしたら TOmp 出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 以降、この動作を繰り返す。
	動作停止 TTmn (マスタ), TTmp (スレーブ) ビットに同時に1を設定する TTmn, TTmp ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルの TOEmp ビットに0を設定し、TOmp ビットに値を設定する	TEmn, TEm = 0 になり、カウント動作停止 TCRmn, TCRmp レジスタはカウント値を保持して停止 TOmp 出力は初期化されず、状態保持 TOmp 端子は TOmp 設定レベルを出力
	TAU 停止 TOmp 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp ビットに0を設定する TOmp 端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタの TAUmEN ビットに0を設定する	TOmp 端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニット m の入力クロック供給停止状態 全回路が初期化され、各チャンネルの SFR も初期化される (TOmp ビットが0になり、TOmp 端子はポート機能となる)

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0, 2)

p : スレーブ・チャンネル番号 (n = 0 : p = 1, 2, 3, n = 2 : p = 3)

6.9.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{\text{TDRmn (マスタ) の設定値} + 1\} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ 1 [\%]} &= \{\text{TDRmp (スレーブ1) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \\ \text{デューティ 2 [\%]} &= \{\text{TDRmq (スレーブ2) の設定値}\} / \{\text{TDRmn (マスタ) の設定値} + 1\} \times 100 \end{aligned}$$

備考 TDRmp (スレーブ1) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合

または TDRmq (スレーブ2) の設定値 > {TDRmn (マスタ) の設定値 + 1} の場合は、

デューティ値が100%を越えますが、集約して100%出力となります。

マスタ・チャンネルのタイマ・カウンタ・レジスタ mn (TCRmn) は、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRmpレジスタは、ワンカウント・モードで動作して、デューティをカウントし、TOmp端子よりPWM波形を出力します。TCRmpレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、タイマ・データ・レジスタ mp (TDRmp) の値をロードし、ダウン・カウントを行います。TCRmp = 0000H になったら、INTTMmpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmpの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmp = 0000H になったらインアクティブ・レベルとなります。

スレーブ・チャンネル2のTCRmqレジスタも、スレーブ・チャンネル1のTCRmpレジスタと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOmq端子よりPWM波形を出力します。TCRmqレジスタは、マスタ・チャンネルのINTTMmnをスタート・トリガとして、TDRmqレジスタの値をロードし、ダウン・カウントを行います。TCRmq = 0000H になったら、INTTMmqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMmn)が入力されるまでカウントを停止します。TOmqの出力レベルは、マスタ・チャンネルのINTTMmn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRmq = 0000H になったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大3種のPWMを同時に出力できます。

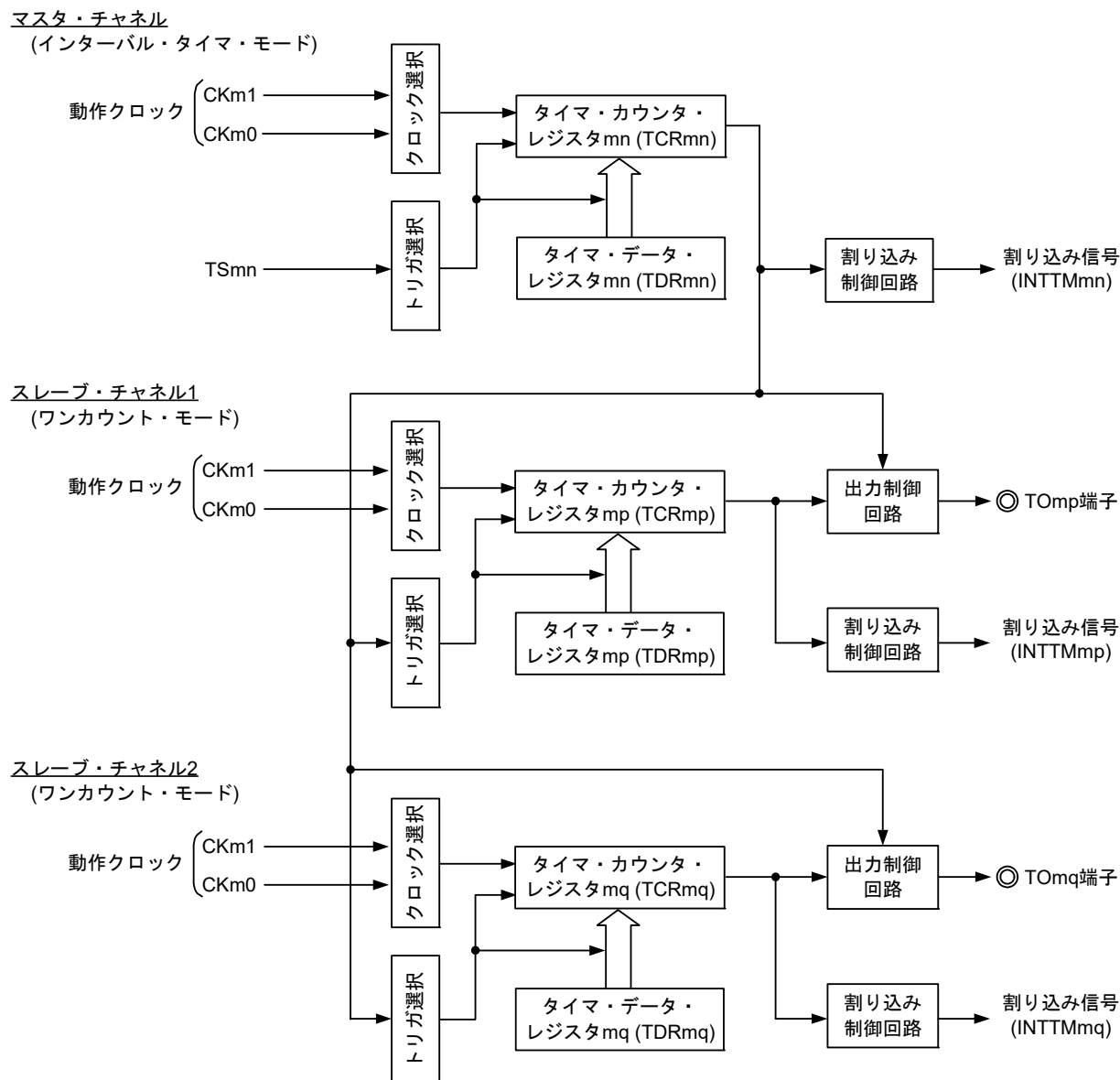
注意 マスタ・チャンネルのタイマ・データ・レジスタ mn (TDRmn) とスレーブ・チャンネル1のTDRmpレジスタを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRmn, TCRmpレジスタにTDRmn, TDRmpレジスタの値をロードするのは、マスタ・チャンネルのINTTMmn発生後となるため、書き換えがマスタ・チャンネルのINTTMmn発生前と発生後に分かれて行われると、TOmp端子は、期待通りの波形を出力できません。したがって、TDRmnレジスタとスレーブのTDRmpレジスタを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMmn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRmqレジスタの場合も同様です。)

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, q は, n以降の整数)

図6 - 83 多重PWM出力機能としての動作のブロック図(2種類のPWMを出力する場合)

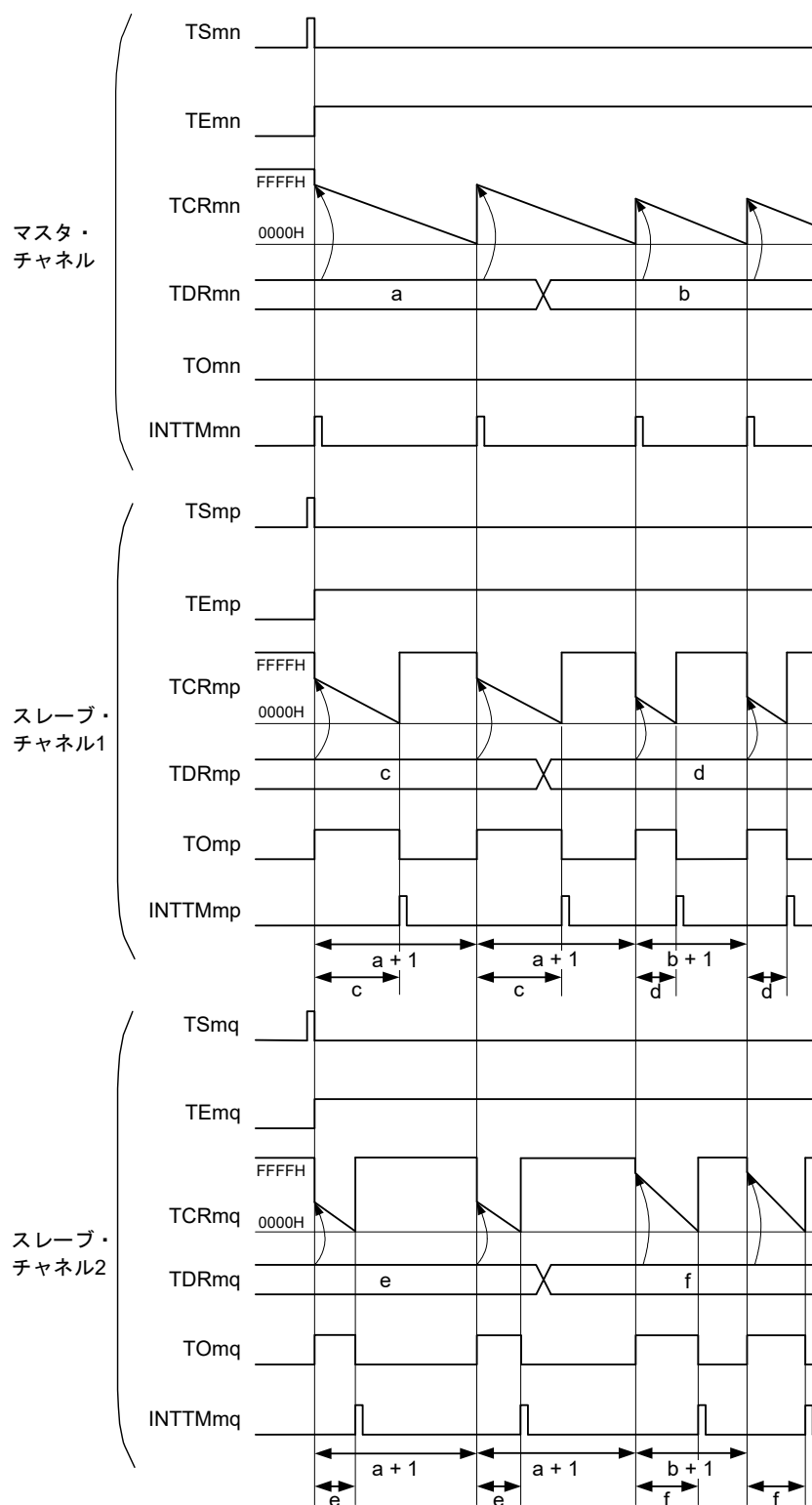


備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, q は, n 以降の整数)

図6 - 84 多重PWM出力機能としての動作の基本タイミング例(2種類のPWMを出力する場合)



(備考は次ページにあります。)

備考1. m : ユニット番号 ($m = 0, 1$), n : マスタ・チャンネル番号 ($n = 0$)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

$n < p < q \leq 3$ (ただし p, q は, n 以降の整数)

備考2. $TS_{mn}, TS_{mp}, TS_{mq}$: タイマ・チャンネル開始レジスタ m (TS_m) のビット n, p, q

$TE_{mn}, TE_{mp}, TE_{mq}$: タイマ・チャンネル許可ステータス・レジスタ m (TE_m) のビット n, p, q

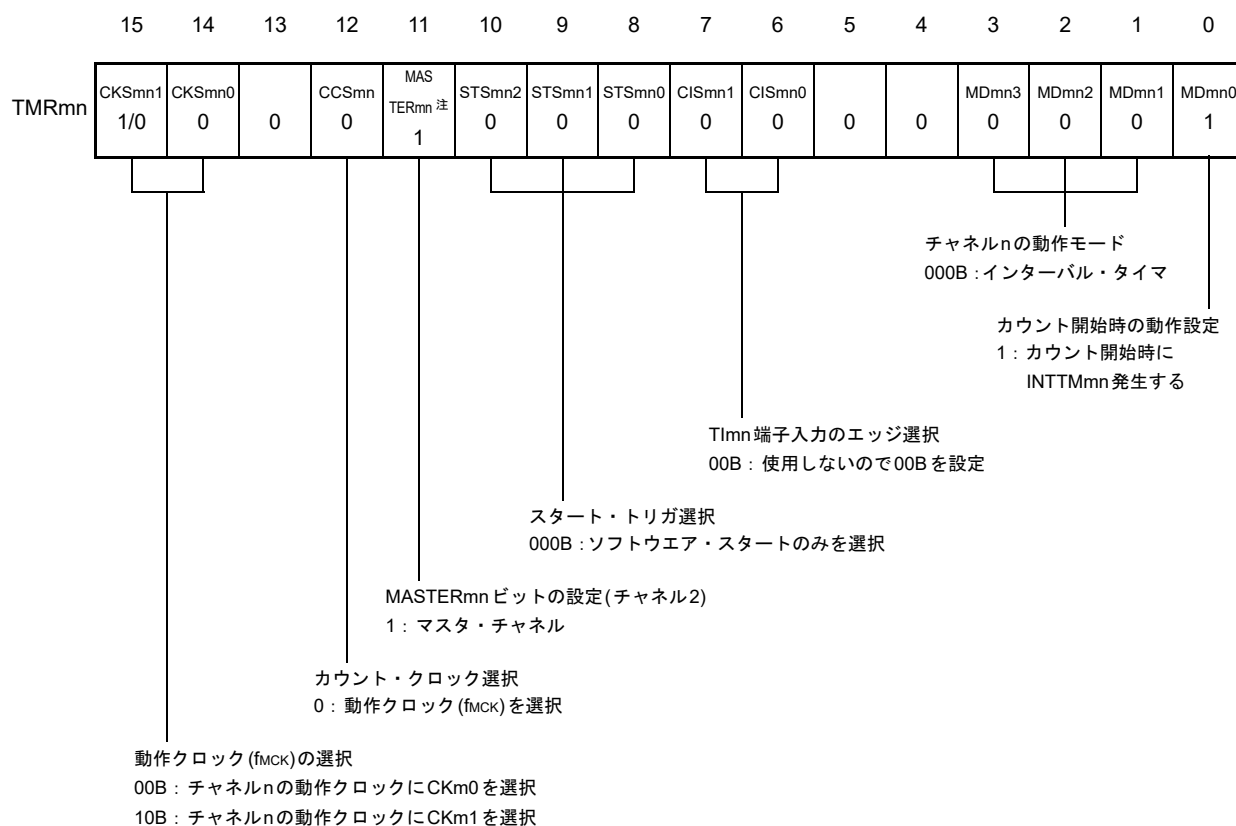
$TCR_{mn}, TCR_{mp}, TCR_{mq}$: タイマ・カウンタ・レジスタ mn, mp, mq ($TCR_{mn}, TCR_{mp}, TCR_{mq}$)

$TDR_{mn}, TDR_{mp}, TDR_{mq}$: タイマ・データ・レジスタ mn, mp, mq ($TDR_{mn}, TDR_{mp}, TDR_{mq}$)

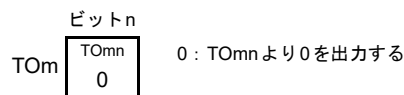
$TO_{mn}, TO_{mp}, TO_{mq}$: $TO_{mn}, TO_{mp}, TO_{mq}$ 端子出力信号

図6 - 85 多重PWM出力機能時(マスタ・チャンネル)のレジスタ設定内容例

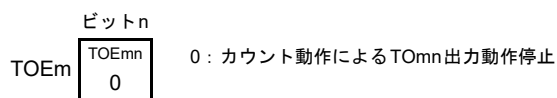
(a) タイマ・モード・レジスタ mn (TMRmn)



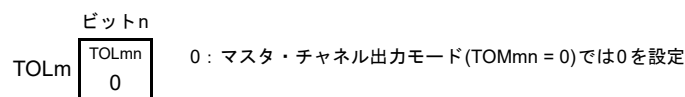
(b) タイマ出力レジスタ m (TOMm)



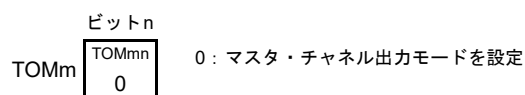
(c) タイマ出力許可レジスタ m (TOEm)



(d) タイマ出力レベル・レジスタ m (TOLm)



(e) タイマ出力モード・レジスタ m (TOMm)



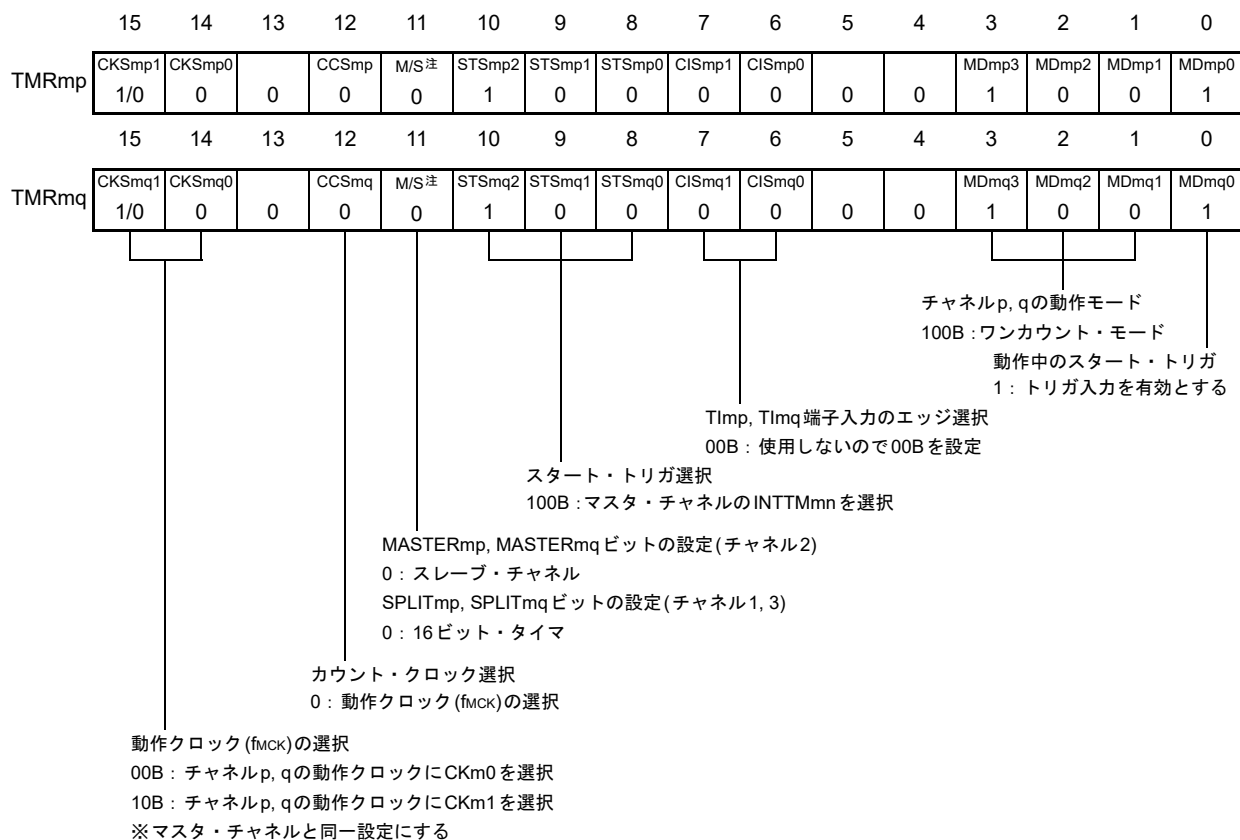
注 TMRm2の場合 : MASTERmn = 1

TMRm0の場合 : 0固定

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0)

図6 - 86 多重PWM機能時(スレーブ・チャンネル)のレジスタ設定内容例(2種類のPWMを出力する場合)

(a) タイマ・モード・レジスタ mp, mq (TMRmp, TMRmq)



(b) タイマ出力レジスタ m (TOm)

ビット q ビット p

TOmq	TOmp
1/0	1/0

0 : TOmp, TOmq より 0 を出力する
1 : TOmp, TOmq より 1 を出力する

(c) タイマ出力許可レジスタ m (TOEm)

ビット q ビット p

TOEmq	TOEmp
1/0	1/0

0 : カウント動作による TOmp, TOmq 出力動作停止
1 : カウント動作による TOmp, TOmq 出力動作許可

(d) タイマ出力レベル・レジスタ m (TOLm)

ビット q ビット p

TOLmq	TOLmp
1/0	1/0

0 : 正論理出力 (アクティブ・ハイ)
1 : 負論理出力 (アクティブ・ロウ)

(e) タイマ出力モード・レジスタ m (TOMm)

ビット q ビット p

TOMmq	TOMmp
1	1

1 : スレーブ・チャンネル出力モードを設定

注 TMRm2 の場合 : MASTERmp, MASTERmq ビット

TMRm1, TMRm3 の場合 : SPLITmp, SPLITmq ビット

備考 m : ユニット番号 (m = 0, 1), n : マスタ・チャンネル番号 (n = 0)

p : スレーブ・チャンネル番号, q : スレーブ・チャンネル番号

n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

図6 - 87 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(1/2)

	ソフトウェア操作	ハードウェアの状態
TAU 初期 設定	周辺イネーブル・レジスタ0 (PER0)のTAUmENビットに1を設定する タイマ・クロック選択レジスタm (TPSm)を設定する CKm0とCKm1のクロック周波数を確定する	タイマ・アレイ・ユニットmの入カクロック供給停止状態 (クロック供給停止, 各レジスタへの書き込み不可) タイマ・アレイ・ユニットmの入カクロック供給状態, 各チャネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャネルのタイマ・モード・レジスタmn, mp, mq (TMRmn, TMRmp, TMRmq)を設定する(チャネルの動作モード確定) マスタ・チャネルのタイマ・データ・レジスタmn (TDRmn)にインターバル(周期)値, スレーブ・チャネルのTDRmp, TDRmqレジスタにデューティ値を設定する スレーブ・チャネルの設定 タイマ出力モード・レジスタm (TOMm)のTOMmp, TOMmqビットに1(スレーブ・チャネル出力モード)を設定する TOLmp, TOLmqビットに0を設定する TOmp, TOmqビットを設定し, TOmp, TOmq出力の初期レベルを確定する TOEmp, TOEmqビットに1を設定し, TOmp, TOmqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOmp, TOmq端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOmp, TOmq初期設定レベルが出力される。 チャネルは動作停止状態なので, TOmp, TOmqは変化しない TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
動作 再開 (動作再開(次ページへ))	(動作再開時のみTOEmp, TOEmq(スレーブ)ビットに1を設定する) タイマ・チャネル開始レジスタm (TSm)のTSmn(マスタ), TSmp, TSmq(スレーブ)ビットに同時に1を設定する TSmn, TSmp, TSmqビットはトリガ・ビットなので, 自動的に0に戻る	TEmn = 1, TEmq, TEmq = 1となる マスタ・チャネルがカウント動作開始し, INTTMMnを発生する。それをトリガとしてスレーブ・チャネルもカウント動作開始する。

(備考は次ページにあります。)

図6 - 88 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)

	ソフトウェア操作	ハードウェアの状態
動作 中	TMRmn, TMRmp, TMRmq レジスタ, TOMmn, TOMmp, TOMmq, TOLmn, TOLmp, TOLmq ビットは、設定値変更禁止 TDRmn, TDRmp, TDRmq レジスタは、マスタ・チャンネルのINTTMmn発生後に設定値変更可能 TCRmn, TCRmp, TCRmq レジスタは、常に読み出し可能 TSRmn, TSRmp, TSRmq レジスタは、使用しない	マスタ・チャンネルでは、タイマ・カウンタ・レジスタmn (TCRmn)はTDRmnレジスタの値をロードし、ダウン・カウント動作を行う。TCRmn = 0000HまでカウントしたらINTTMmnを発生する。同時に、TCRmnレジスタはTDRmnレジスタの値をロードし、再びダウン・カウントを開始する。 スレーブ・チャンネル1では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmpレジスタ値をTCRmpレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmp出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmp出力レベルをインアクティブ・レベルにして、カウント動作を停止する。 スレーブ・チャンネル2では、マスタ・チャンネルのINTTMmn信号をトリガとして、TDRmqレジスタ値をTCRmqレジスタに転送し、カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTMmn出力から1カウント・クロック経過後にTOmq出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOmq出力レベルをインアクティブ・レベルにして、カウント動作を停止する。以降、この動作を繰り返す。
動作 停止	TTmn (マスタ), TTmp, TTmq (スレーブ)ビットに同時に1を設定する TTmn, TTmp, TTmq ビットはトリガ・ビットなので、自動的に0に戻る スレーブ・チャンネルのTOEmp, TOEmq ビットに0を設定し、TOmp, TOmq ビットに値を設定する	TEmn, TEmq, TEmq = 0になり、カウント動作停止 TCRmn, TCRmp, TCRmq レジスタはカウント値を保持して停止 TOmp, TOmq出力は初期化されず、状態保持 TOmp, TOmq端子はTOmp, TOmq設定レベルを出力
TAU 停止	TOmp, TOmq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TOmp, TOmq ビットに0を設定する TOmp, TOmq端子の出力レベルを保持不要の場合 設定不要 PER0 レジスタのTAUmEN ビットに0を設定する	TOmp, TOmq端子出力レベルはポート機能により保持される。 タイマ・アレイ・ユニットmの入タクロック供給停止状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOmp, TOmq ビットが0になり、TOmp, TOmq端子はポート機能となる)

備考 m: ユニット番号(m = 0, 1), n: マスタ・チャンネル番号(n = 0)

p: スレーブ・チャンネル番号, q: スレーブ・チャンネル番号

n < p < q ≤ 3 (ただし p, q は, n 以降の整数)

6.10 タイマ・アレイ・ユニット使用時の注意事項

6.10.1 タイマ出力使用時の注意事項

製品によってはタイマ出力機能が割り当てられた端子に他の兼用機能の出力も割り当てられていることがあります。このような場合にタイマ出力を使用するには、他方の兼用機能の出力を初期状態にする必要があります。

詳細は、4.5 兼用機能使用時のレジスタの設定を参照してください。

第7章 タイマRJ

7.1 タイマRJの機能

タイマRJはパルス出力、外部入力のパルス幅/周期測定、外部イベントをカウントできる16ビットタイマです。

16ビットタイマはリロードレジスタとダウンカウンタから構成されます。リロードレジスタとダウンカウンタは同じ番地に配置されており、TRJ0レジスタにアクセスすると、リロードレジスタとカウンタにアクセスできます。

表7-1にタイマRJの仕様を、図7-1にタイマRJのブロック図を示します。

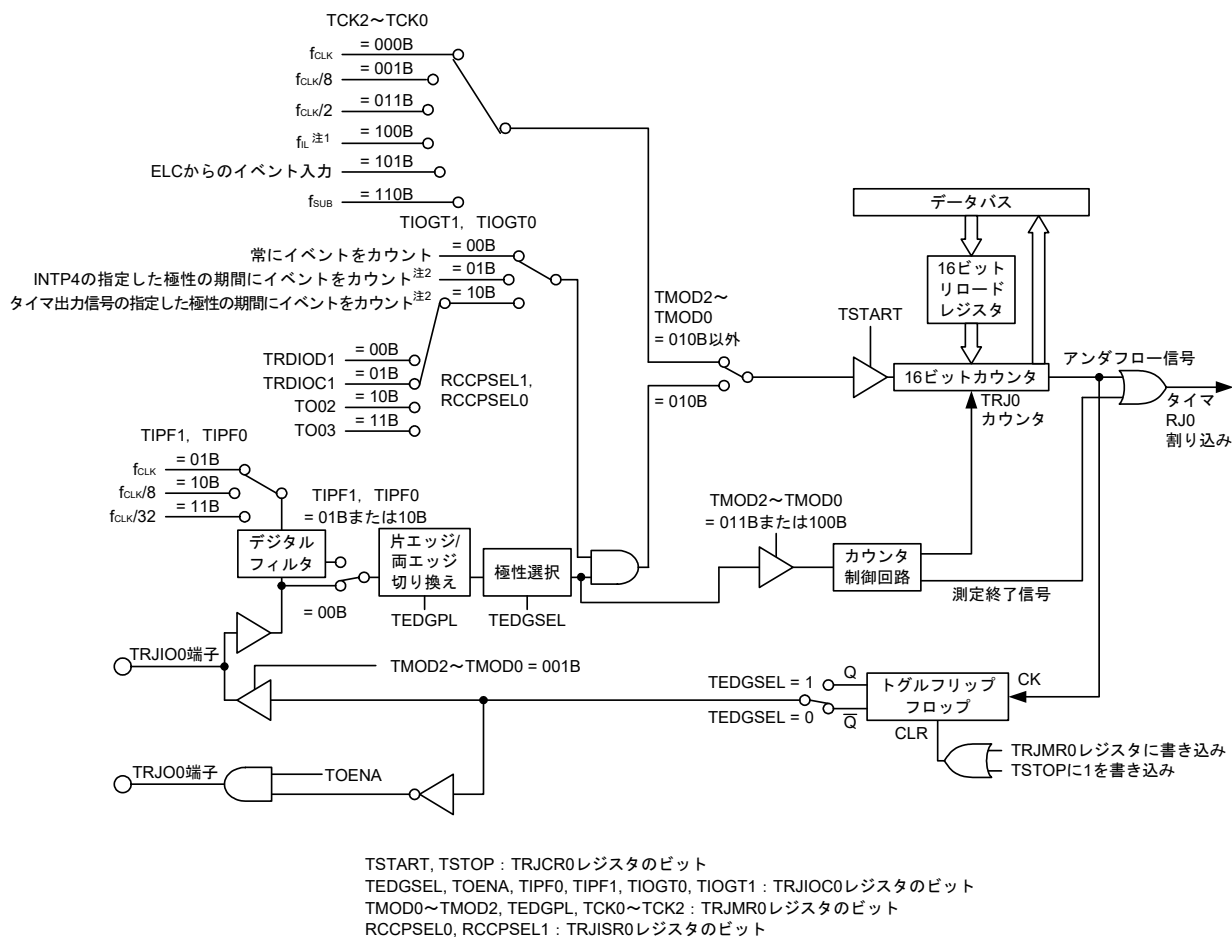
表7-1 タイマRJの仕様

項目		内容
動作モード	タイマモード	カウントソースをカウントする
	パルス出力モード	カウントソースをカウントし、タイマのアンダフローで、極性を反転したパルスを出力する
	イベントカウンタモード	外部イベントをカウントする STOPモード時も動作可能
	パルス幅測定モード	外部入力のパルス幅を測定する
	パルス周期測定モード	外部入力のパルス周期を測定する
カウントソース(動作クロック)		fCLK, fCLK/2, fCLK/8, fIL, fSUB, イベント・リンク・コントローラ(ELC)からのイベント入力から選択可能
割り込み		- カウンタがアンダフローしたとき - パルス幅測定モードで、外部入力(TRJIO0)の有効幅の測定を完了したとき - パルス周期測定モードで、外部入力(TRJIO0)の設定エッジが入力されたとき
選択機能		イベント・リンク・コントローラ(ELC)との連携 カウントソースにELCからのイベント入力を選択可能

7.2 タイマRJの構成

図7-1にタイマRJのブロック図を、表7-2にタイマRJの端子構成を示します。

図7-1 タイマRJのブロック図



注1. カウントソースにfILを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。ただし、リアルタイム・クロックまたは、12ビット・インターバル・タイマのカウントソースにfsUBを選択している場合は、タイマRJのカウントソースにfILを選択することができません。

注2. TRJISR0レジスタのRCCPSEL2ビットで極性を選択できます。

表7-2 タイマRJの端子構成

端子名	入出力	機能
INTP4	入力	タイマRJのイベントカウンタモード制御
TRJIO0注	入出力	タイマRJの外部イベント入力, パルス出力
TRJO0注	出力	タイマRJのパルス出力

注 TRJ00 端子の割り当てを、PIOR1 レジスタの PIOR12, PIOR13 ビットで選択できます。また、TRJIO0 端子の割り当てを、PIOR1 レジスタの PIOR10, PIOR11 ビットで選択できます。詳細は第4章 ポート機能を参照してください。

7.3 タイマRJを制御するレジスタ

表7-3にタイマRJを制御するレジスタを示します。

表7-3 タイマRJを制御するレジスタ

レジスタ名	シンボル
周辺I/Oリダイレクション・レジスタ1	PIOR1
周辺イネーブル・レジスタ1	PER1
サブシステム・クロック供給モード制御レジスタ	OSMC
タイマRJカウンタレジスタ0 ^注	TRJ0
タイマRJ制御レジスタ0	TRJCR0
タイマRJ I/O制御レジスタ0	TRJIOC0
タイマRJモードレジスタ0	TRJMR0
タイマRJイベント端子選択レジスタ0	TRJISR0
ポート・レジスタ0	P0
ポート・レジスタ3	P3
ポート・レジスタ4	P4
ポート・レジスタ5	P5
ポート・モード・レジスタ0	PM0
ポート・モード・レジスタ3	PM3
ポート・モード・レジスタ4	PM4
ポート・モード・レジスタ5	PM5

注 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となります。
 このため、このウェイトが発生した場合、命令の実行クロック数がウェイト・クロック数分長くなります。
 TRJ0レジスタアクセス時のウェイト・クロック数は、リード、ライトともに1クロックです。

7.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRJを使用する場合は、必ずビット0 (TRJ0EN) を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN注	TRGEN	CMPEN注	TRD0EN	DTCEN	0	0	TRJ0EN

TRJ0EN	タイマRJ0の入カクロック供給の制御
0	入カクロック供給停止 ・タイマRJ0で使用するSFRへのライト不可 ・タイマRJ0はリセット状態
1	入カクロック供給 ・タイマRJ0で使用するSFRへのリード／ライト可

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

- 注意1. タイマRJの設定をする際には、必ず最初にTRJ0EN = 1の設定を行ってください。TRJ0EN = 0の場合は、タイマRJの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ0, 3, 4, 5 (PM0, PM3, PM4, PM5), ポート・レジスタ0, 3, 4, 5 (P0, P3, P4, P5)は除く)。
- 注意2. 次のビットには必ず“0”を設定してください。
- コード・フラッシュ・メモリが64 KB以下の製品 : ビット1, 2, 5, 7
- コード・フラッシュ・メモリが96KB以上の製品 : ビット1, 2

7.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットでタイマRJの動作クロックを選択できます。

また、RTCLPC ビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPC ビットの設定については、第5章 クロック発生回路を参照してください。

OSMC レジスタは、8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図7-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H		リセット時 : 00H		R/W					
略号	7	6	5	4	3	2	1	0	
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0	
WUTMMCK0	リアルタイム・クロック, 12ビット・インターバル・タイマの動作クロック (fRTC), タイマRJの動作クロックの選択								
0	サブシステム・クロック (fSUB) ・リアルタイム・クロック, 12ビット・インターバル・タイマの動作クロックはサブシステム・クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータを選択することはできません。								
1	低速オンチップ・オシレータ・クロック (fIL) ・リアルタイム・クロック, 12ビット・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。								

7.3.3 タイマRJカウンタレジスタ0 (TRJ0)

16ビットのレジスタです。書くとリロードレジスタに書き込まれ、読むとカウンタの値が読み出されます。

なお、TRJCR0レジスタのTSTARTビットの値により、リロードレジスタとカウンタの状態が変わります。詳細は7.4.1 リロードレジスタとカウンタの書き換え動作を参照してください。

TRJ0レジスタは16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJ0レジスタはFFFFHになります。

図7-4 タイマRJカウンタレジスタ0 (TRJ0)のフォーマット

アドレス : F0500H リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRJ0																
—		機能												設定範囲		
ビット 15～0		16ビットのカウンタです。注1,2												0000H～FFFFH		

- 注1. TRJCR0レジスタのTSTOPビットに1を書くと、16ビットカウンタは強制停止し、FFFFHになります。
- 注2. TRJMR0レジスタのTCK2～TCK0ビットの設定が001B (fCLK/8)または011B (fCLK/2)以外では、TRJ0レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。ただし、TRJO0およびTRJIO0出力はトグル出力されます。
- また、イベントカウンタモード時はTCK2～TCK0ビットの値に関わらず、TRJ0レジスタが0000Hの場合、DTCおよびELCへの要求信号はカウント開始直後の1回しか発生しません。さらに、カウント指定期間外でもTRJO0がトグル出力されます。
- TRJ0レジスタが0001H以上の場合はTRJがアンダフローするごとに要求信号が発生します。

注意 TRJ0レジスタアクセス時に、CPUは次の命令処理に移行せず、CPU処理としてウエイト状態となります。このため、このウエイトが発生した場合、命令の実行クロック数がウエイト・クロック数分長くなります。TRJ0レジスタアクセス時のウエイト・クロック数は、リード、ライトともに1クロックです。

7.3.4 タイマRJ制御レジスタ0 (TRJCR0)

TRJCR0レジスタは、タイマRJのカウント動作・停止の制御と、タイマRJステータスを示すレジスタです。

TRJCR0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJCR0レジスタは00Hになります。

図7-5 タイマRJ制御レジスタ0 (TRJCR0)のフォーマット

アドレス : F0240H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJCR0	0	0	TUNDF	TEDGF	0	TSTOP	TCSTF	TSTART
TUNDF タイマRJアンダフローフラグ								
0 アンダフローなし								
1 アンダフローあり								
[0になる条件]								
・ プログラムで0を書いたとき								
[1になる条件]								
・ カウンタがアンダフローしたとき								
TEDGF 有効エッジ判定フラグ								
0 有効エッジなし								
1 有効エッジあり								
[0になる条件]								
・ プログラムで0を書いたとき								
[1になる条件]								
・ パルス幅測定モードで、外部入力(TRJIO)の有効幅の測定を完了したとき								
・ パルス周期測定モードで、外部入力(TRJIO)の設定エッジが入力されたとき								
TSTOP タイマRJカウント強制停止 ^{注1}								
1を書くと、カウント強制停止。読んだ場合、その値は0。								
TCSTF タイマRJカウントステータスフラグ ^{注2}								
0 カウント停止								
1 カウント中								
[0になる条件]								
・ TSTARTビットに0を書いたとき(カウントソースに同期して0になる)								
・ TSTOPビットに1を書いたとき								
[1になる条件]								
・ TSTARTビットに1を書いたとき(カウントソースに同期して1になる)								
TSTART タイマRJカウント開始 ^{注2}								
0 カウント停止								
1 カウント開始								
TSTARTビットに1を書くことによりカウントを開始し、0を書くことによりカウントを停止します。TSTARTビットを1(カウント開始)にすると、カウントソースに同期してTCSTFビットが1(カウント中)になります。また、TSTARTビットに0を書き込み後、カウントソースに同期してTCSTFビットが0(カウント停止)になります。詳細は7.5.1 カウント動作開始、停止制御を参照してください。								

注1. TSTOPビットに1(カウント強制停止)を書くと、同時にTSTART、TCSTFビットが初期化されます。また、パルス出力レベルも初期化されます。

注2. TSTART、TCSTFビットの使用上の注意は7.5.1 カウント動作開始、停止制御を参照してください。

7.3.5 タイマRJ I/O制御レジスタ0 (TRJIOC0)

TRJIOC0レジスタは、タイマRJの入出力を設定するレジスタです。

TRJIOC0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJIOC0レジスタは00Hになります。

図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマット

アドレス : F0241H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJIOC0	TIOGT1	TIOGT0	TIPF1	TIPF0	0	TOENA	0	TEDGSEL
TIOGT1		TIOGT0	TRJIO カウント制御 ^{注1, 2}					
0		0	常にイベントをカウント					
0		1	INTP4の指定した極性の期間イベントをカウント					
1		0	タイマ出力信号の指定した極性の期間イベントをカウント					
上記以外		設定禁止						
TIPF1		TIPF0	TRJIO 入力フィルタ選択					
0		0	フィルタなし					
0		1	フィルタあり, fCLKでサンプリング					
1		0	フィルタあり, fCLK/8でサンプリング					
1		1	フィルタあり, fCLK/32でサンプリング					
TRJIO 入力のフィルタのサンプリング周波数を指定します。TRJIO0 端子からの入力をサンプリングして, その値が3回連続して一致したとき, 入力が確定します。								
TOENA		TRJO 出力許可						
0		TRJO 出力禁止 (ポート)						
1		TRJO 出力許可						
TEDGSEL		入出力極性切り替え						
動作モードによって機能が異なります (表 7 - 4, 表 7 - 5 参照)。								

注1. INTP4またはタイマ出力信号使用時, TRJISR0レジスタのRCCPSEL2ビットでイベントをカウントする極性を選択できます。

注2. TIOGT0, TIOGT1ビットはイベントカウンタモードでのみ有効です。

表7-4 TRJIO 入出力のエッジおよび極性切り替え

動作モード	機能
タイマモード	使用しない(入出力ポート)
パルス出力モード	0: Hから出力開始(初期化レベル: H) 1: Lから出力開始(初期化レベル: L)
イベントカウンタモード	0: 立ち上がりエッジでカウント 1: 立ち下がりエッジでカウント
パルス幅測定モード	0: Lレベル幅を測定 1: Hレベル幅を測定
パルス周期測定モード	0: 測定パルスの立ち上がりから立ち上がり間測定 1: 測定パルスの立ち下がりから立ち下がり間測定

表7-5 TRJO 出力極性切り替え

動作モード	機能
全モード	0: Lから出力開始(初期化レベル: L) 1: Hから出力開始(初期化レベル: H)

7.3.6 タイマRJモードレジスタ0 (TRJMR0)

TRJMR0レジスタは、タイマRJの動作モードを設定するレジスタです。

TRJMR0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJMR0レジスタは00Hになります。

図7-7 タイマRJモードレジスタ0 (TRJMR0)のフォーマット

アドレス : F0242H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJMR0	0	TCK2	TCK1	TCK0	TEDGPL	TMOD2	TMOD1	TMOD0
	TCK2	TCK1	TCK0	タイマRJカウントソース選択 ^{注1, 2}				
	0	0	0	fCLK				
	0	0	1	fCLK/8				
	0	1	1	fCLK/2				
	1	0	0	fil ^{注4}				
	1	0	1	ELCからのイベント入力				
	1	1	0	fSUB				
	上記以外			設定禁止				
	TEDGPL	TRJIOエッジ極性選択 ^{注5}						
	0	片エッジ						
	1	両エッジ						
	TMOD2	TMOD1	TMOD0	タイマRJ動作モード選択 ^{注3}				
	0	0	0	タイマモード				
	0	0	1	パルス出力モード				
	0	1	0	イベントカウンタモード				
	0	1	1	パルス幅測定モード				
	1	0	0	パルス周期測定モード				
	上記以外			設定禁止				

注1. イベントカウンタモードを選択すると、TCK0 ~ TCK2 ビットの設定にかかわらず、カウントソースは外部入力 (TRJIO)が選択されます。

注2. カウント中にカウントソースを切り替えしないでください。カウントソースを切り替えるときはTRJCR0レジスタのTSTARTビットとTCSTFビットがいずれも0 (カウント停止)のときに、カウントソースを切り替えてください。

注3. 動作モードの変更は、カウント停止時 (TRJCRレジスタのTSTARTビットとTCSTFビットが共に0 (カウント停止))のみ可能です。カウント動作中には変更しないでください。

注4. カウントソースにfILを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを"1"にしてください。

ただし、リアルタイム・クロックまたは、12ビット・インターバル・タイマのカウントソースにfSUBを選択している場合は、タイマRJのカウントソースにfILを選択することができません。

注5. TEDGPLビットはイベントカウンタモード時のみ有効です。

注意 TRJMR0レジスタへのライトアクセスにて、タイマRJのTRJO0端子およびTRJIO0端子の出力は初期化されます。初期化時の出力レベルは図7-6 タイマRJ I/O制御レジスタ0 (TRJIOC0)のフォーマットの説明を参照してください。

7.3.7 タイマRJイベント端子選択レジスタ0 (TRJISR0)

TRJISR0 レジスタは、イベントカウンタモード時に、イベントカウント期間を制御するタイマを選択、および極性の設定をするレジスタです。

TRJISR0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRJISR0 レジスタは00Hになります。

図7-8 タイマRJイベント端子選択レジスタ0 (TRJISR0)のフォーマット

アドレス : F0243H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRJISR0	0	0	0	0	0	RCCPSEL2 ^注	RCCPSEL1 ^注	RCCPSEL0 ^注
RCCPSEL2 ^注								
タイマ出力信号およびINTP4極性選択								
0 L期間にイベントをカウント								
1 H期間にイベントをカウント								
RCCPSEL1 ^注 RCCPSEL0 ^注								
タイマ出力信号選択								
0 0 TRDIOD1								
0 1 TRDIOC1								
1 0 TO02								
1 1 TO03								

注 RCCPSEL0～RCCPSEL2ビットはイベントカウンタモードでのみ有効です。

7.3.8 ポート・モード・レジスタ 0, 3, 4, 5 (PM0, PM3, PM4, PM5)

ポート0, 3, 4, 5の入力／出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P01/TRJIO0, P30/TRJO0 など) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P01/TRJIO0をタイマ出力として使用する場合

ポート・モード・レジスタ0のPM01ビットを0に設定

ポート・レジスタ0のP01ビットを0に設定

タイマ入力端子を兼用するポート (P01/TRJIO0 など) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P01/TRJIO0をタイマ入力として使用する場合

ポート・モード・レジスタ0のPM01ビットを1に設定

ポート・レジスタ0のP01ビットを0または1に設定

PM0, PM3, PM4, PM5レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

図7-9 ポート・モード・レジスタ0, 3, 4, 5 (PM0, PM3, PM4, PM5)のフォーマット(100ピン製品)

アドレス : FFF20H リセット時 : FFH R/W

略号 7 6 5 4 3 2 1 0

PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00
-----	---	------	------	------	------	------	------	------

アドレス : FFF23H リセット時 : FFH R/W

PM3	1	1	1	1	1	1	PM31	PM30
-----	---	---	---	---	---	---	------	------

アドレス : FFF24H リセット時 : FFH R/W

PM4	PM47	PM46	PM45	PM44	PM43	PM42	PM41	PM40
-----	------	------	------	------	------	------	------	------

アドレス : FFF25H リセット時 : FFH R/W

PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50
-----	------	------	------	------	------	------	------	------

PMmn	Pmn端子の入出力モードの選択(m = 0, 3, 4, 5 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

備考 上記は、100ピン製品のポート・モード・レジスタ0, 3, 4, 5のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-7～表4-13 各製品で搭載しているPMxx,Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

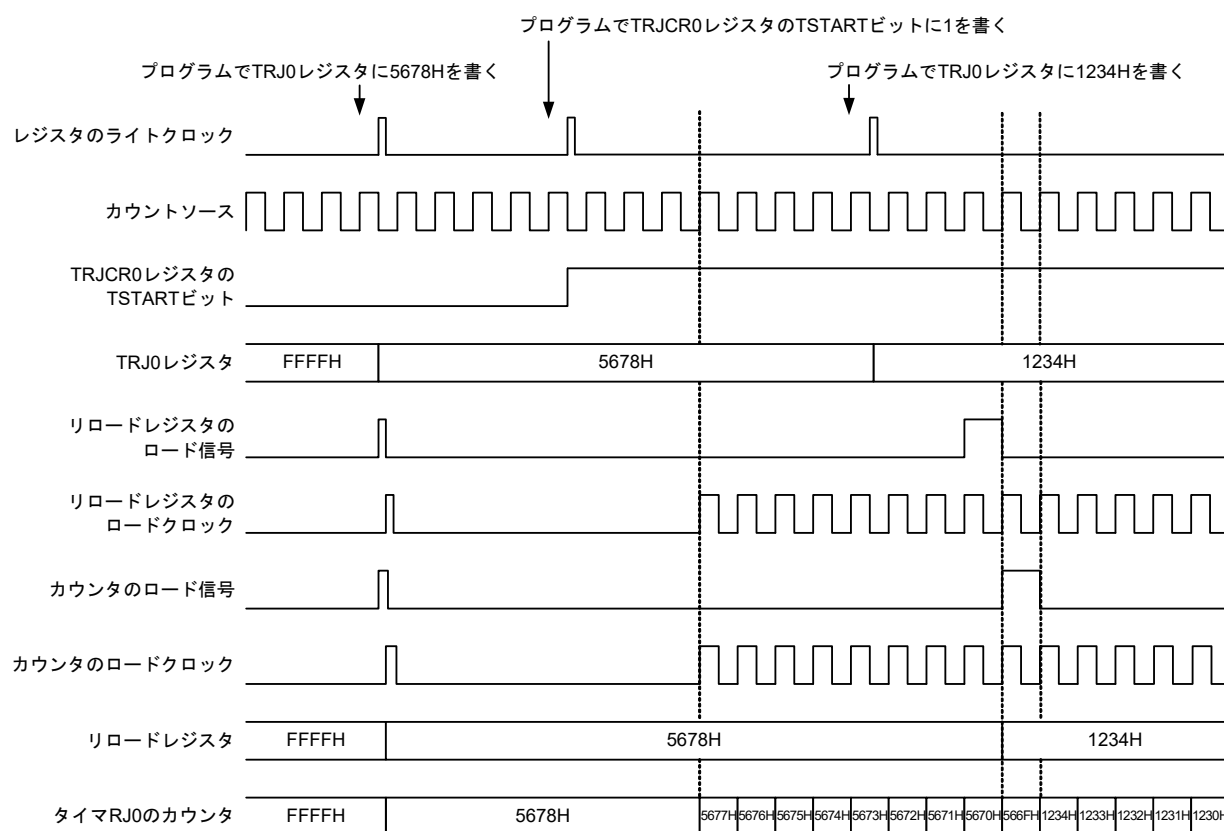
7.4 タイマRJの動作

7.4.1 リロードレジスタとカウンタの書き換え動作

リロードレジスタとカウンタへの書き換え動作は、動作モードにかかわらずTRJCR0レジスタのTSTARTビットの値によりタイミングが変わります。TSTARTビットが0（カウント停止）のときは、直接リロードレジスタおよびカウンタに書き込まれます。TSTARTビットが1（カウント開始）のときは、カウントソースに同期してリロードレジスタに書き込まれた後、次のカウントソースに同期してカウンタに書き込まれます。

図7-10にTSTARTビットの値による書き換え動作のタイミング図を示します。

図7-10 TSTARTビットの値による書き換え動作のタイミング図



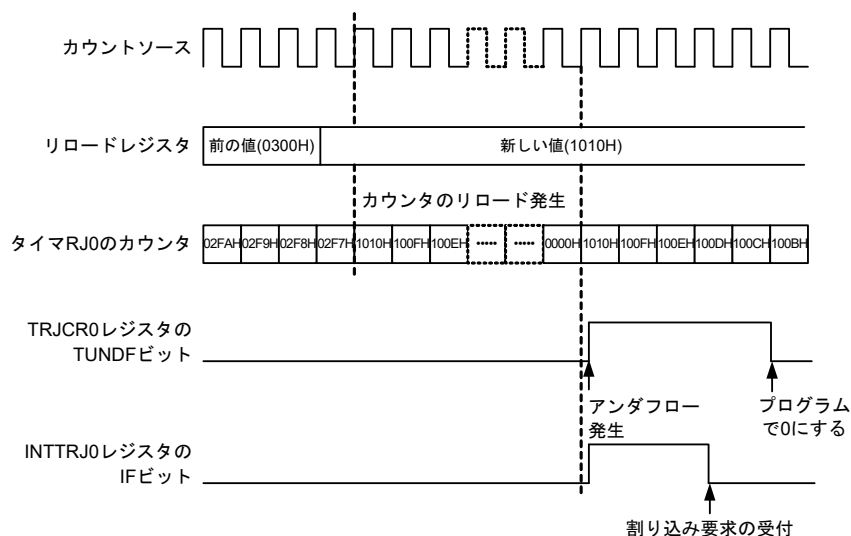
7.4.2 タイマモード

TRJMR0 レジスタの TCK0 ~ TCK2 ビットにより選択されたカウントソースで、ダウンカウントするモードです。

タイマモードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000Hになり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

図7 - 11にタイマモードの動作例を示します。

図7 - 11 タイマモードの動作例



7.4.3 パルス出力モード

TRJMR0 レジスタの TCK0 ~ TCK2 ビットにより選択されたカウントソースでダウンカウントし、アンダフローするごとに、TRJIO 端子および TRJO 端子の出力レベルを反転出力させるモードです。

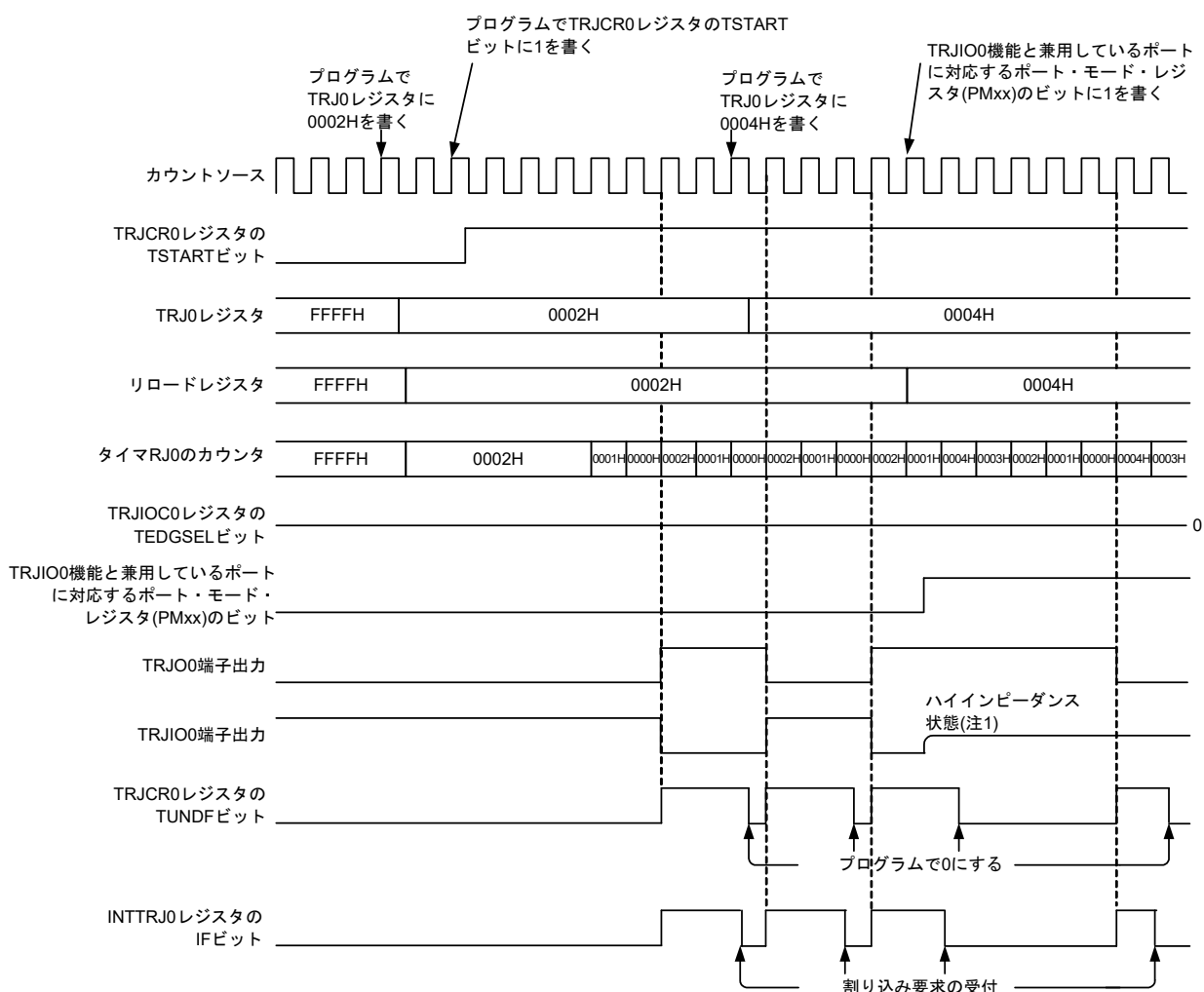
パルス出力モードでは、カウントソースが入力されるごとにカウント値が1ずつ減少し、カウント値が0000H になり、次のカウントソースが入力されるとアンダフローし、割り込み要求が発生します。

また、TRJIO0 端子と TRJO0 端子の2端子からパルス出力が可能で、アンダフローするごとに出力レベルを反転します。TRJO0 端子については、TRJIOC0 レジスタの TOENA ビットによりパルス出力を停止できます。

なお、出力レベルを TRJIOC0 レジスタの TEDGSEL ビットにより選択できます。

図7-12にパルス出力モードの動作例を示します。

図7-12 パルス出力モードの動作例



注1. TRJIO0機能として選択したポートの出力許可制御によって、ハイインピーダンス状態となります。

7.4.4 イベントカウンタモード

TRJIO0端子から入力される外部イベント信号(カウントソース)でダウンカウントするモードです。

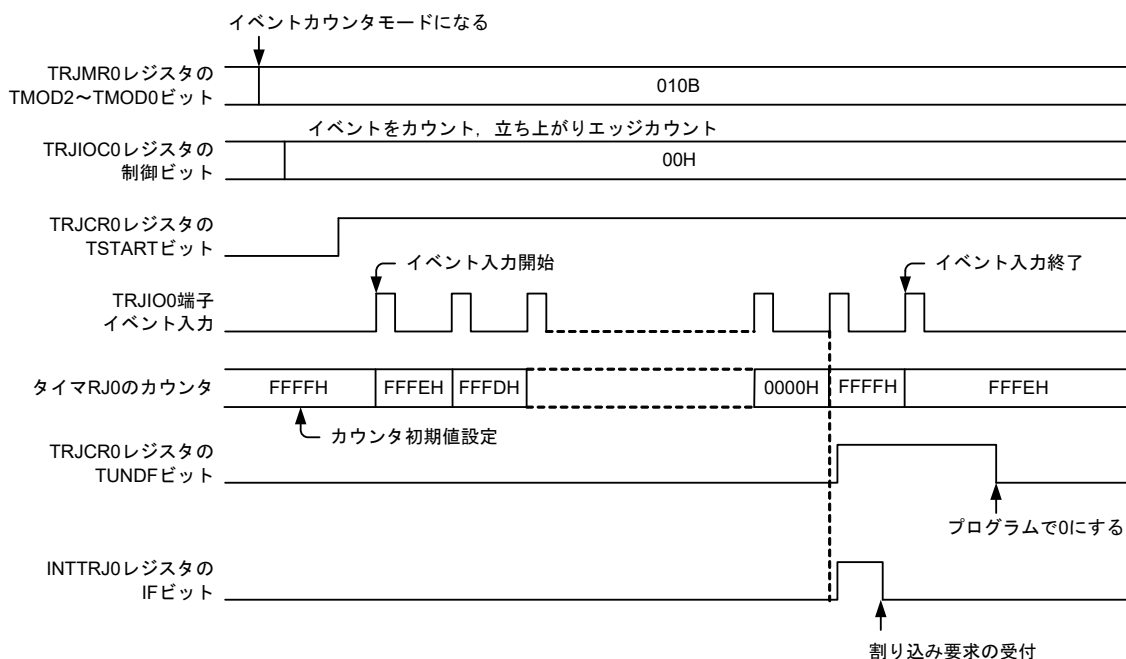
イベントカウントする期間を, TRJIOC0レジスタのTIOGT0~TIOGT1ビットおよびTRJISR0レジスタにより各種設定ができます。また, TRJIO0入力のフィルタ機能をTRJIOC0レジスタのTIPF0~TIPF1ビットで指定できます。

なお, イベントカウンタモードでもTRJO0端子からトグル出力ができます。

イベントカウンタモードを使用する場合は7.5.5 TRJO0, TRJIO0端子の設定手順を参照してください。

図7-13にイベントカウンタモードの動作例1を示します。

図7-13 イベントカウンタモードの動作例1

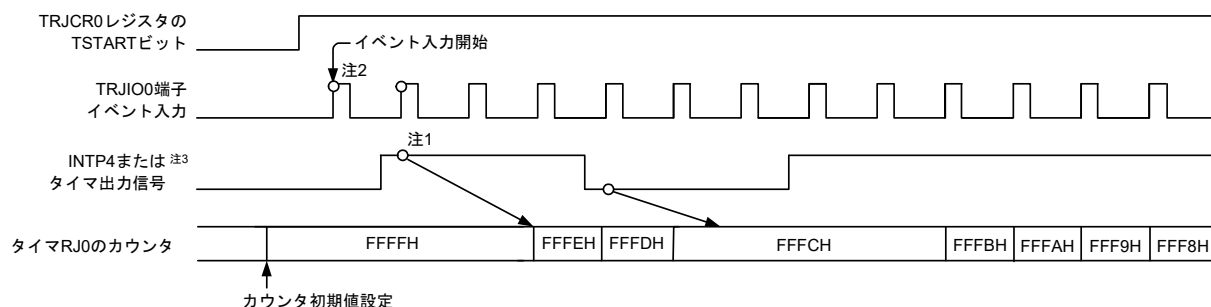


イベントカウンタモードで指定時間カウントする場合 (TRJIOC0 レジスタの TIOGT1,0 ビットが 01B または 10B) の動作例を図 7 - 14 に示します。

図 7 - 14 イベントカウンタモードの動作例 2

■動作モード設定が下記の場合のタイミング例

TRJMR0 レジスタ: TMOD2,1,0 = 010B (イベントカウンタモード)
 TRJIOC0 レジスタ: TIOGT1,0 = 01B (外部割り込み端子の指定した期間イベントカウント)
 TIPF1,0 = 00B (フィルタなし)
 TEDGSEL = 0 (立ち上がりエッジでカウント)
 TRJISR0 レジスタ: RCCPSEL2 = 1 (H期間をカウント)



下記注意事項は、イベントカウンタモードの動作モード設定が、TRJIOC0 レジスタの TIOGT1,0 が 01B または 10B の場合に限りです。

- 注 1. 同期化制御のため、カウント動作に反映されるまで、カウントソースで 2 クロック分の遅延があります。
- 注 2. カウント開始直後のカウントソースで 2 クロック分は前回のカウント停止前の状態により、カウント動作する場合があります。
- カウント開始直後の 2 クロック分のカウントを無効にするには、TRJCR0 レジスタの TSTOP ビットに“1”をライトし、内部回路を初期化し、動作設定後カウント動作開始してください。
- 注 3. TRJISR0 レジスタの RCCPSEL1, RCCPSEL0 ビットで選択したタイマ出力信号について、そのタイマ出力機能を割り当てている端子はタイマ以外の兼用機能の出力としては使用できません。

7.4.5 パルス幅測定モード

TRJIO0端子から入力される外部信号のパルス幅を測定するモードです。

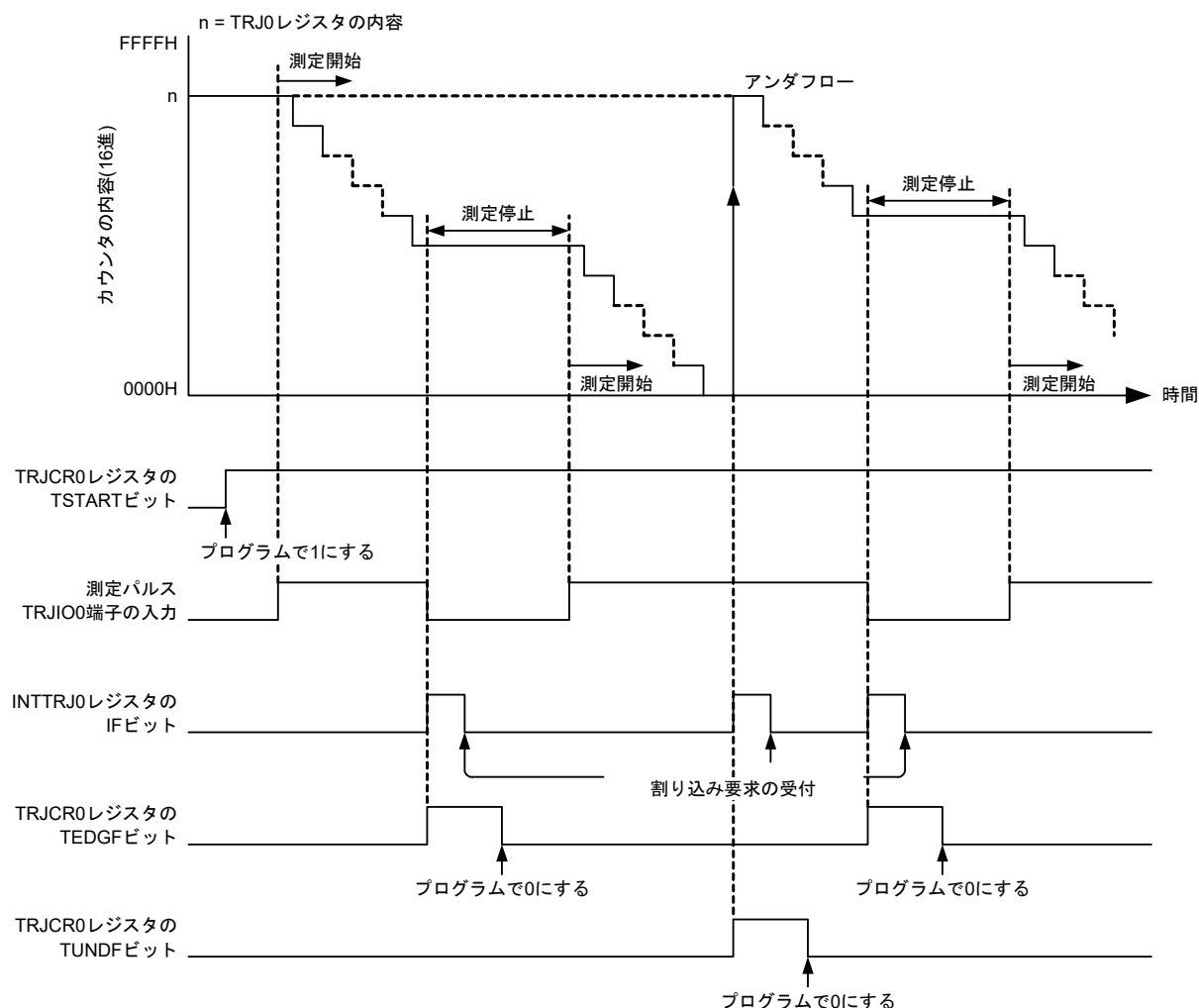
パルス幅測定モードでは、TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定したレベルが入力されると、選択したカウントソースでダウンカウントを開始します。TRJIO0端子の指定したレベルが終了するとカウンタは停止し、TRJCR0レジスタのTEDGFビットが1（有効エッジあり）になり、割り込み要求が発生します。パルス幅データの測定は、カウンタが停止中にカウンタ値を読み出すことで行います。また、測定中にカウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1（アンダフローあり）になり、割り込み要求が発生します。

図7-15にパルス幅測定モードの動作例を示します。

TRJCR0レジスタのTEDGF、TUNDFビットをアクセスする場合は7.5.2 フラグへのアクセス (TRJCR0レジスタのTEDGF、TUNDFビット)を参照してください。

図7-15 パルス幅測定モードの動作例

測定パルスのHレベル幅を測定した場合 (TRJIOC0レジスタのTEDGSELビット = 1)



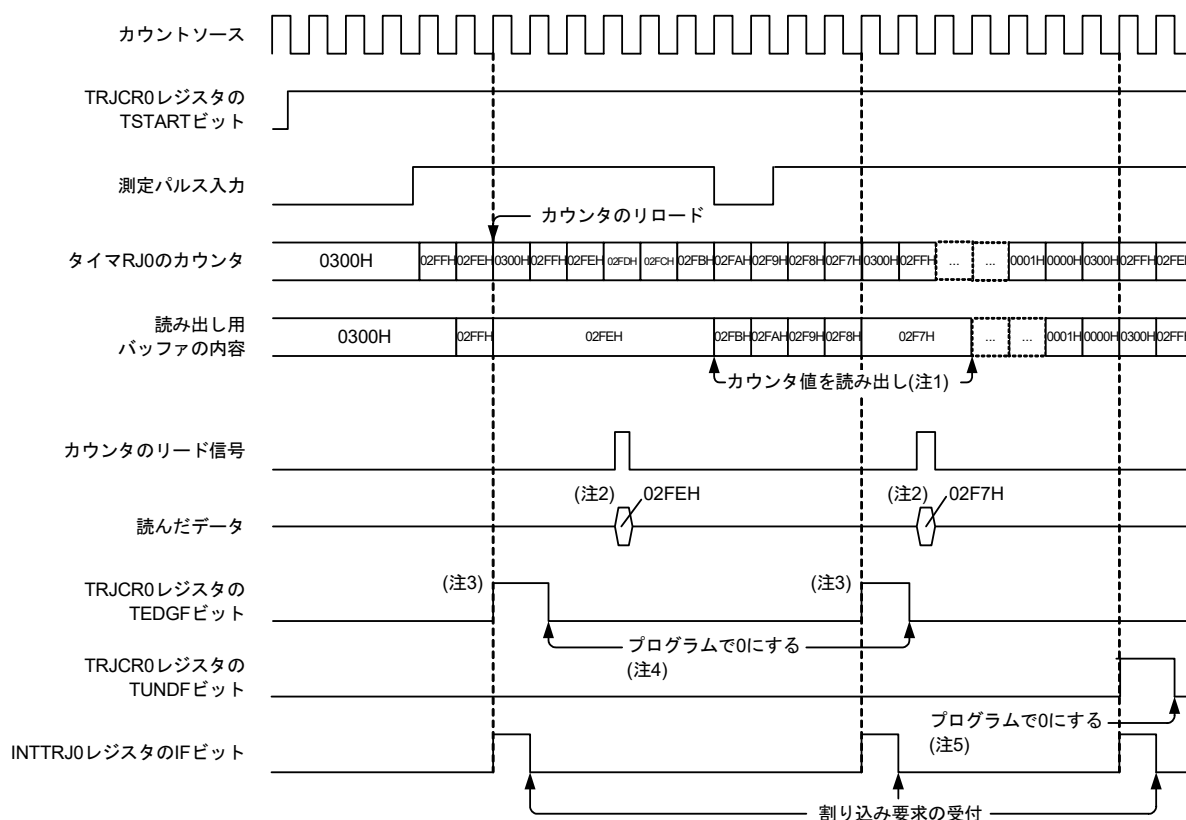
7.4.6 パルス周期測定モード

TRJIO0端子から入力する外部信号のパルス周期を測定するモードです。

TRJMR0レジスタのTCK0～TCK2ビットにより選択されたカウントソースで、カウンタはダウンカウントします。TRJIO0端子にTRJIOC0レジスタのTEDGSELビットで指定した期間のパルスが入力されると、カウントソースの立ち上がりでカウンタ値が読み出し用バッファに転送されます。次のカウントソースの立ち上がりで、リロードレジスタ値がカウンタにロードされます。同時にTRJCR0レジスタのTEDGFビットが1(有効エッジあり)になり、割り込み要求が発生します。このときに読み出し用バッファ(TRJ0レジスタ)を読み出し、リロード値との差が入力パルスの周期データとなります。なお、周期データは読み出し用バッファを読み出すまで保持されます。カウンタがアンダフローすると、TRJCR0レジスタのTUNDFビットが1(アンダフローあり)になり、割り込み要求が発生します。図7-16にパルス周期測定モードの動作例を示します。

カウントソースより2倍長い周期のパルスを入力してください。また、L幅とH幅のそれぞれが、カウントソースの周期より長いパルスを入力してください。これらの条件より短い周期および幅のパルスが入力された場合、その入力は無視されることがあります。

図7-16 パルス周期測定モードの動作例



TRJ0レジスタの初期値を0300Hとし、TRJIOC0レジスタのTEDGSELビットを0にし、測定パルスの立ち上がりまで測定した場合です。

- 注1. TRJ0レジスタの読み出しは、TEDGFビットが1(有効エッジあり)になってから、次の有効エッジが入力されるまでの期間で行ってください。読み出し用のバッファの内容は、TRJ0レジスタを読み出すまで保持されます。従って、有効エッジが入力されるまでに読み出さない場合は、前の周期の測定結果を保持します。
- 注2. パルス周期測定モードでTRJ0レジスタを読み出すと、読み出し用バッファの内容が読めます。
- 注3. 測定パルスの有効エッジ入力後に、外部パルス入力の設定エッジが入力されたとき、TRJCR0レジスタのTEDGFビットが1(有効エッジあり)になります。
- 注4. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTEDGFビットに0を書いてください。
- 注5. プログラムで0にするときは、8ビット・メモリ操作命令を用いてTRJCR0レジスタのTUNDFビットに0を書いてください。

7.4.7 イベント・リンク・コントローラ(ELC)との連携による動作

ELCとの連携により、カウントソースにELCからのイベント入力を設定することができます。

TRJMR0レジスタのTCK0～TCK2ビットにて、ELCからのイベント入力の立ち上がりでカウントします。ただし、イベントカウンタモードでは、ELC入力は機能しません。

ELC設定手順を以下に示します。

・動作開始手順

- (1) ELCのイベント出力先選択レジスタ(ELSELRn)を設定する。
- (2) イベント発生元の動作モードを設定する。
- (3) タイマRJのモードを設定する。
- (4) タイマRJのカウント動作を開始する。
- (5) イベント発生元の動作を開始する。

・動作停止手順

- (1) イベント発生元の動作を停止させる。
- (2) タイマRJのモードのカウンタ動作を停止させる。
- (3) ELCのイベント出力先選択レジスタ(ELSELRn)を0に設定する。

7.4.8 各モード出力設定

表7-6, 表7-7に各モード時のTRJO0, TRJIO0端子状態を示します。

表7-6 TRJO0端子設定

動作モード	TRJIOC0レジスタ		TRJO0端子出力
	TOENAビット	TEDGSELビット	
全モード	1	1	反転出力
		0	正転出力
	0	0または1	出力禁止

表7-7 TRJIO0端子設定

動作モード	TRJIOC0レジスタ		TRJIO0端子入出力
	PMXXビット注	TEDGSELビット	
タイマモード	0または1	0または1	入力(使用しない)
パルス出力モード	1	0または1	出力禁止(Hi-z出力)
	0	1	正転出力
		0	反転出力
イベントカウンタモード	1	0または1	入力
パルス幅測定モード			
パルス周期測定モード			

注 TRJIO0機能と兼用しているポートに対応するポート・モード・レジスタ(PMXX)のビット

7.5 タイマRJ使用上の注意事項

7.5.1 カウント動作開始, 停止制御

- ・イベントカウンタモードのときまたは任意のモードでカウントソースをELCに設定したとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、CPUクロックの2サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、CPUクロックの2サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TSTARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第21章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

- ・上記以外の設定をしたとき

カウント停止中にTRJCR0レジスタのTSTARTビットに1(カウント開始)を書いた後は、カウントソースの3サイクルの間、TRJCR0レジスタのTCSTFビットは0(カウント停止)になっています。TCSTFビットが1(カウント中)になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

カウント中にTSTARTビットに0(カウント停止)を書いた後は、カウントソースの3サイクルの間、TCSTFビットは1になっています。TCSTFビットが0になったとき、カウントを停止します。TCSTFビットが0になるまで、TCSTFビットを除くタイマRJ関連レジスタ注をアクセスしないでください。

また、TSTARTビットを0から1へ変更する前に、割り込みレジスタのクリアを行ってください。

詳細は第21章 割り込み機能を参照してください。

注 タイマRJ関連レジスタ：TRJ0, TRJCR0, TRJIOC0, TRJMR0, TRJISR0

7.5.2 フラグへのアクセス(TRJCR0レジスタのTEDGF, TUNDFビット)

TRJCR0レジスタのTEDGF, TUNDFビットは、プログラムで0を書くと0になりますが、1を書いても変化しません。TRJCR0レジスタにリードモディファイライト命令を使用した場合、命令実行中にTEDGFビットが1(有効エッジあり)、TUNDFビットが1(アンダフローあり)になっても、タイミングによってTEDGF, TUNDFビットを誤って0にする場合があります。TRJCR0レジスタへのアクセスは、8ビット・メモリ操作命令を使用してください。

7.5.3 カウンタレジスタへのアクセス

TRJCR0レジスタのTSTARTビットとTCSTFビットが共に1(カウント動作中)の場合、TRJ0レジスタに連続して書くときは、それぞれの書き込み間隔をカウントソースクロックの3周期以上空けてください。

7.5.4 モード変更時

タイマRJの動作モード関連レジスタ(TRJIOC0, TRJMR0, TRJISR0)の変更は、カウント停止時(TRJCR0レジスタのTSTARTビットとTCSTFビットが共に"0"(カウント停止))のみ可能です。カウント動作中には変更しないでください。

タイマRJの動作モード関連レジスタを変更したとき、TEDGFビットとTUNDFビットは不定です。TEDGFビットに"0"(有効エッジなし)、TUNDFビットに"0"(アンダフローなし)を書いてから、カウントを開始してください。

7.5.5 TRJO0, TRJIO0 端子の設定手順

リセット後, TRJO0, TRJIO0 端子と共用している I/O ポートは入力ポートとして機能します。
TRJO0, TRJIO0 端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定をする
- (2) 初期値設定/出力許可設定をする。
- (3) TRJO0, TRJIO0 端子に対応するポート・レジスタのビットを0にする。
- (4) TRJO0, TRJIO0 端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRJO0, TRJIO0 端子端子から出力開始)
- (5) カウントを開始する (TRJCR0 レジスタの TSTART = 1)。

TRJIO0 端子から入力する場合は, 以下の手順で設定してください。

- (1) モード設定をする
- (2) 初期値設定/エッジ選択設定をする。
- (3) TRJIO0 端子に対応するポート・モード・レジスタのビットを入力モードに設定する。
(TRJIO0 端子から入力開始)
- (4) カウントを開始する (TRJMR0 レジスタの TSTART = 1)。
- (5) TRJCR0 レジスタの TCSTF ビットが1 (カウント中)になるまで待つ。
(イベントカウンタモード時のみ)
- (6) TRJIO0 端子から外部イベントを入力する。
- (7) 最初の測定完了による処理は無効としてください(2回目以降から測定値有効)。
(パルス幅測定モード, パルス周期測定モードのみ)

7.5.6 タイマRJ未使用時

タイマRJを使用しない場合, TRJMR0 レジスタの TMOD2~TMOD0 ビットを000B (タイマモード), TRJIOC0 レジスタの TOENA ビットを0 (TRJO 出力禁止)にしてください。

7.5.7 タイマRJ動作クロック停止時

PER1 レジスタの TRJOEN ビットでタイマRJのクロック供給/停止制御が可能です。ただし, タイマRJのクロック停止時は下記SFRへのアクセスができません。アクセスする場合にはタイマRJのクロックを供給した状態で行ってください。

TRJO レジスタ, TRJCR0 レジスタ, TRJMR0 レジスタ, TRJIOC0 レジスタ, TRJISR0 レジスタ

7.5.8 STOPモード(イベントカウンタモード)の設定手順

STOPモード中にイベントカウンタモードの動作をさせる場合、タイマRJのクロックを供給した後、以下の手順でSTOPモードへ移行してください。

設定手順

- (1) 動作モード設定
- (2) カウントを開始する($TSTART = 1$, $TCSTF = 1$)
- (3) タイマRJのクロック供給停止

また、STOPモード中にイベントカウンタモードの動作を停止させる場合、以下の手順で動作停止処理を行ってください。

- (1) タイマRJのクロック供給
- (2) カウントを停止する($TSTART = 0$, $TCSTF = 0$)

7.5.9 STOPモード(イベントカウンタモードのみ)での機能制限

STOPモード中にイベントカウンタモードの動作をさせる場合、デジタルフィルタ機能は使用できません。

7.5.10 TSTOPビットによる強制カウント停止時

TRJCR0レジスタのTSTOPビットによるカウンタ強制停止後、カウントソースで1サイクルの間、下記SFRへのアクセスはしないでください。

TRJ0レジスタ、TRJCR0レジスタ、TRJMR0レジスタ

7.5.11 デジタルフィルタ

デジタルフィルタを使用する場合はTRJIOCレジスタのTIPF1,0ビット設定後、デジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

また、デジタルフィルタを使用している状態で、TRJIOCレジスタのTEDGSELビットを変更した場合も同様にデジタルフィルタクロックで5サイクルの間、タイマ動作を開始しないでください。

7.5.12 カウントソースにfilを選択する場合

カウントソースにfilを選択する場合は、サブシステム・クロック供給モード制御レジスタ(OSMC)のWUTMMCK0ビットを“1”にしてください。ただし、リアルタイム・クロックまたは、12ビット・インターバル・タイマのカウントソースにfsubを選択している場合は、タイマRJのカウントソースにfilを選択することができません。

第8章 タイマRD

8.1 タイマRDの機能

タイマRDは4種類のモードを持ちます。

- タイマモード

- インพุットキャプチャ機能 外部信号をトリガにしてカウンタの値をレジスタに取り込む機能
- アウトプットコンペア機能 カウンタとレジスタの値の一致を検出する機能(検出時に端子出力変更可能)
- PWM機能 任意の幅のパルスを連続して出力する機能

次の3つのモードは、PWM機能を用います。

- リセット同期PWMモード 鋸波変調、短絡防止時間なしの三相波形(6本)を出力するモード
- 相補PWMモード 三角波変調、短絡防止時間ありの三相波形(6本)を出力するモード
- PWM3モード 同一周期のPWM波形(2本)を出力するモード

タイマモードのインพุットキャプチャ機能、アウトプットコンペア機能、PWM機能は、タイマRD0とタイマRD1で同等の機能を持ち、1端子ごとに機能を選択できます。また、タイマRD0、タイマRD1の中でこれらの機能を組み合わせて使えます。

リセット同期PWMモード、相補PWMモード、PWM3モードは、タイマRD0とタイマRD1のカウンタやレジスタを組み合わせることで波形を出力します。端子の機能はモードによって決まります。

タイマRDは4本の入出力端子を持ちます。

タイマRDの動作クロックはfCLKまたは、fHOCOです。

8.2 タイマRDの構成

図8-1にタイマRDのブロック図を、表8-1にタイマRDの端子構成を示します。

図8-1 タイマRDのブロック図

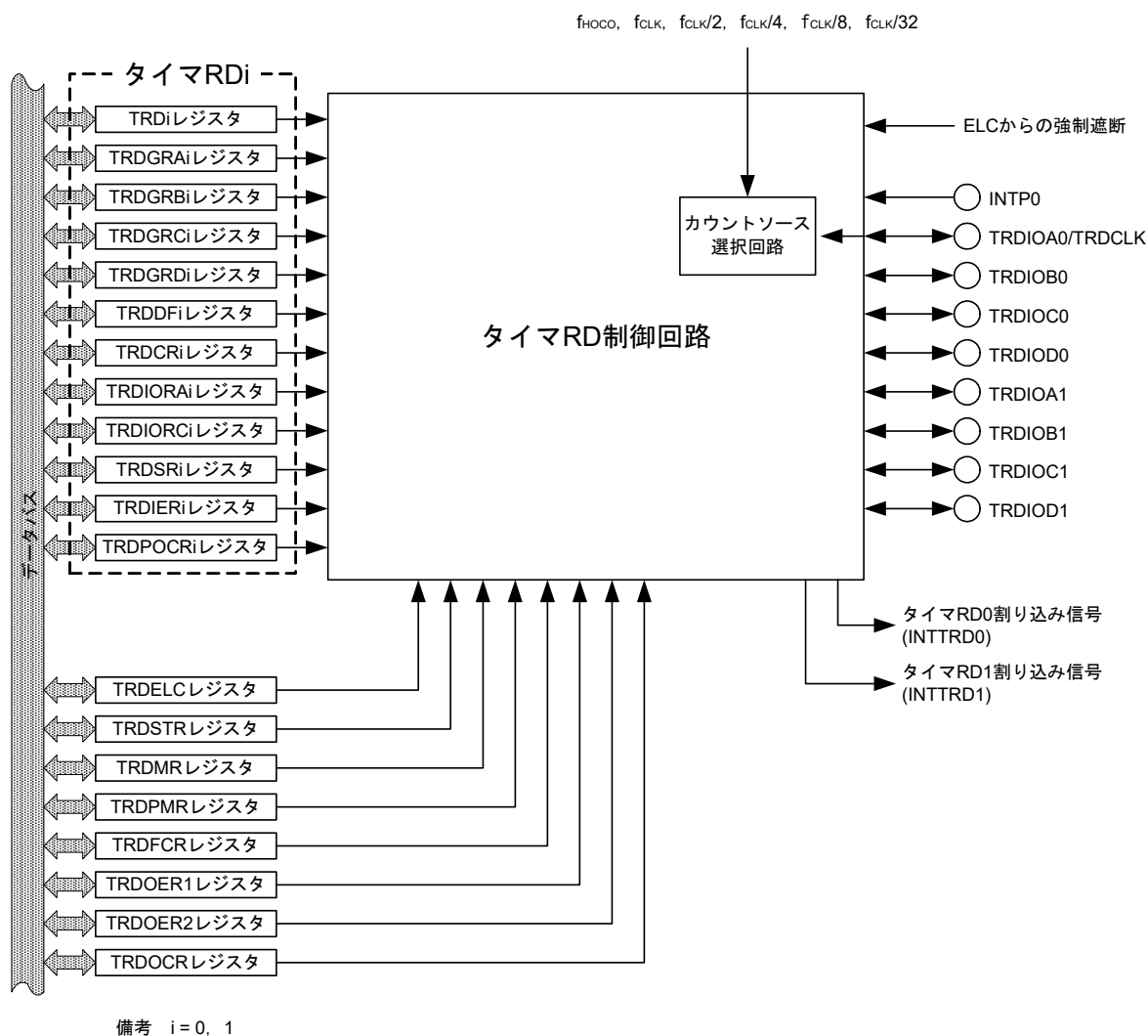


表8-1 タイマRDの端子構成

端子名	兼用しているポート名	入出力	機能
TRDIOA0/TRDCLK	P17	入出力	モードによって機能が異なります。 詳細は各モードを参照してください。
TRDIOB0	P15	入出力	
TRDIOC0	P16	入出力	
TRDIOD0	P14	入出力	
TRDIOA1	P13	入出力	
TRDIOB1	P12	入出力	
TRDIOC1	P11	入出力	
TRDIOD1	P10	入出力	

8.3 タイマRDを制御するレジスタ

表8-2にタイマRDを制御するレジスタを示します。

表8-2 タイマRDを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
タイマRD ELCレジスタ	TRDELC
タイマRD スタートレジスタ	TRDSTR
タイマRD モードレジスタ	TRDMR
タイマRD PWM機能選択レジスタ	TRDPMR
タイマRD 機能制御レジスタ	TRDFCR
タイマRD 出力マスタ許可レジスタ1	TRDOER1
タイマRD 出力マスタ許可レジスタ2	TRDOER2
タイマRD 出力制御レジスタ	TRDOCR
タイマRD デジタルフィルタ機能選択レジスタ0	TRDDF0
タイマRD デジタルフィルタ機能選択レジスタ1	TRDDF1
タイマRD 制御レジスタ0	TRDCR0
タイマRD I/O 制御レジスタA0	TRDIORA0
タイマRD I/O 制御レジスタC0	TRDIORC0
タイマRD ステータスレジスタ0	TRDSR0
タイマRD 割り込み許可レジスタ0	TRDIER0
タイマRD PWM機能出力レベル制御レジスタ0	TRDPOCR0
タイマRD カウンタ0	TRD0
タイマRD ジェネラルレジスタA0	TRDGRA0
タイマRD ジェネラルレジスタB0	TRDGRB0
タイマRD ジェネラルレジスタC0	TRDGRC0
タイマRD ジェネラルレジスタD0	TRDGRD0
タイマRD 制御レジスタ1	TRDCR1
タイマRD I/O 制御レジスタA1	TRDIORA1
タイマRD I/O 制御レジスタC1	TRDIORC1
タイマRD ステータスレジスタ1	TRDSR1
タイマRD 割り込み許可レジスタ1	TRDIER1
タイマRD PWM機能出力レベル制御レジスタ1	TRDPOCR1
タイマRD カウンタ1	TRD1
タイマRD ジェネラルレジスタA1	TRDGRA1
タイマRD ジェネラルレジスタB1	TRDGRB1
タイマRD ジェネラルレジスタC1	TRDGRC1
タイマRD ジェネラルレジスタD1	TRDGRD1
ポート・レジスタ1	P1
ポート・モード・レジスタ1	PM1

8.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRDを使用する場合は、必ずビット4 (TRD0EN)を1に設定してください。

PER1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN注	TRGEN	CMPEN注	TRD0EN	DTCEN	0	0	TRJ0EN

TRD0EN	タイマRDの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRDで使用するSFRへのライト不可 ・タイマRDはリセット状態
1	入カクロック供給 ・タイマRDで使用するSFRへのリード／ライト可

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

- 注意1. タイマRDの設定をする際には、必ず最初にTRD0EN = 1の設定を行ってください。TRD0EN = 0の場合は、タイマRDの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ1 (PM1), ポート・レジスタ1 (P1)は除く)。
- 注意2. 次のビットには必ず“0”を設定してください。
- コード・フラッシュ・メモリが64 KB以下の製品 : ビット1, 2, 5, 7
- コード・フラッシュ・メモリが96 KB以上の製品 : ビット1, 2
- 注意3. タイマRDのカウントソースにfHocoを選択する場合、周辺イネーブル・レジスタ 1 (PER1)のビット4 (TRD0EN) をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

8.3.2 タイマRD ELC レジスタ (TRDELC)

図8-3 タイマRD ELC レジスタ (TRDELC)のフォーマット

アドレス : F0260H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDELC	0	0	ELCOBE1	ELCICE1	0	0	ELCOBE0	ELCICE0

ELCOBE1	タイマRDパルス出力強制遮断用ELCイベント入力1許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE1	タイマRDインプットキャプチャD1用ELCイベント入力1選択
0	TRDIOD1のインプットキャプチャを選択
1	イベント・リンク・コントローラ(ELC)からのイベント入力1を選択

ELCOBE0	タイマRDパルス出力強制遮断用ELCイベント入力0許可
0	強制遮断を禁止
1	強制遮断を許可

ELCICE0	タイマRDインプットキャプチャD0用ELCイベント入力0選択
0	TRDIOD0のインプットキャプチャを選択
1	イベント・リンク・コントローラ(ELC)からのイベント入力0を選択

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.3 タイマRDスタートレジスタ (TRDSTR)

TRDSTRレジスタは8ビット・メモリ操作命令で設定できます。タイマRD使用上の注意事項の8.7.1 (1) TRDSTRレジスタを参照してください。

図8-4 タイマRDスタートレジスタ (TRDSTR)のフォーマット

アドレス : F0263H リセット時 : 0CH^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSTR	0	0	0	0	CSEL1	CSEL0	TSTART1	TSTART0

CSEL1	TRD1カウント動作選択 ^{注2}
0	TRDGRA1レジスタとのコンペアー致でカウント停止
1	TRDGRA1レジスタとのコンペアー致後もカウント継続 ^{注3}

CSEL0	TRD0カウント動作選択
0	TRDGRA0レジスタとのコンペアー致でカウント停止
1	TRDGRA0レジスタとのコンペアー致後もカウント継続 ^{注3}

TSTART1	TRD1カウント開始フラグ ^{注4, 5}
0	カウント停止
1	カウント開始

TSTART0	TRD0カウント開始フラグ ^{注6, 7}
0	カウント停止
1	カウント開始

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. PWM3モードでは使用しません。

注3. インพุットキャプチャ機能では1にしてください。

注4. CSEL1ビットが1に設定されているとき、TSTART1ビットへ0を書いてください。

注5. CSEL1ビットが0でコンペアー致信号(TRDIOA1)が発生したとき、0 (カウント停止)になります。

注6. CSEL0ビットが1に設定されているとき、TSTART0ビットへ0を書いてください。

注7. CSEL0ビットが0でコンペアー致信号(TRDIOA0)が発生したとき、0 (カウント停止)になります。

8.3.4 タイマRDモードレジスタ (TRDMR)

図8-5 タイマRDモードレジスタ (TRDMR)のフォーマット

アドレス : F0264H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDMR	TRDBFD1	TRDBFC1	TRDBFD0	TRDBFC0	0	0	0	TRDSYNC
TRDBFD1	TRDGRD1 レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRB1 レジスタのバッファレジスタ							
TRDBFC1	TRDGRC1 レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRA1 レジスタのバッファレジスタ							
TRDBFD0	TRDGRD0 レジスタ機能選択 ^{注2}							
0	ジェネラルレジスタ							
1	TRDGRB0 レジスタのバッファレジスタ							
TRDBFC0	TRDGRC0 レジスタ機能選択 ^{注2, 3}							
0	ジェネラルレジスタ							
1	TRDGRA0 レジスタのバッファレジスタ							
TRDSYNC	タイマRD同期 ^{注4}							
0	TRD0とTRD1は独立動作							
1	TRD0とTRD1は同期動作							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. アウトプットコンペア機能時、TRDIORCiレジスタ(i = 0, 1)のIOj3ビット(j = CまたはD)で0 (TRDGRjiレジスタ出力端子変更)を選択した場合、TRDMRレジスタのTRDBFjiビットを0にしてください。

注3. 相補PWMモードでは0 (ジェネラルレジスタ)にしてください。

注4. リセット同期PWMモード時、相補PWMモード時、およびPWM3モード時は、0 (TRD0とTRD1は独立動作)にしてください。

8.3.5 タイマRD PWM機能選択レジスタ (TRDPMR)

図8 - 6 タイマRD PWM機能選択レジスタ (TRDPMR)のフォーマット[タイマモード]

アドレス : F0265H リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDPMR	0	TRDPWMD1	TRDPWMC1	TRDPWMB1	0	TRDPWMD0	TRDPWMC0	TRDPWMB0
TRDPWMD1	TRDIOD1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC1	TRDIOC1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB1	TRDIOB1 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMD0	TRDIOD0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMC0	TRDIOC0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							
TRDPWMB0	TRDIOB0 PWM機能選択							
0	インプットキャプチャ機能またはアウトプットコンペア機能							
1	PWM機能							

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.6 タイマRD機能制御レジスタ (TRDFCR)

図8-7 タイマRD機能制御レジスタ (TRDFCR)のフォーマット

アドレス : F0266H リセット時 : 80H^{注1} R/W

略号	7	6	5	4	3	2	1	0												
TRDFCR	PWM3	STCLK	0	0	OLS1	OLS0	CMD1	CMD0												
PWM3		PWM3モード選択 ^{注2}																		
・タイマモードの場合は、1 (PWM3モード以外)にしてください。 ・PWM3モードの場合は0 (PWM3モード)にしてください。 ・リセット同期PWMモード、相補PWMモードでは無効です。																				
STCLK		外部クロック入力選択																		
・タイマモード、リセット同期PWMモード、相補PWMモードの場合は、 0：外部クロック入力無効 1：外部クロック入力有効 ・PWM3モードの場合は、0 (外部クロック入力無効)にしてください。																				
OLS1		逆相出力レベル選択 (リセット同期PWMモードまたは相補PWMモード時)																		
・リセット同期PWMモード、相補PWMモードの場合は、 0：初期出力H、アクティブレベルL 1：初期出力L、アクティブレベルH ・タイマモード、PWM3モードでは無効です。																				
OLS0		正相出力レベル選択 (リセット同期PWMモードまたは相補PWMモード時)																		
・リセット同期PWMモード、相補PWMモードの場合は、 0：初期出力H、アクティブレベルL 1：初期出力L、アクティブレベルH ・タイマモード、PWM3モードでは無効です。																				
CMD1	CMD0	コンビネーションモード選択 ^{注3, 4}																		
・タイマモード、PWM3モードの場合は、 00B (タイマモード、PWM3モード)にしてください。 ・リセット同期PWMモードの場合は、01B (リセット同期PWMモード)にしてください。 ・相補PWMモードの場合は、 <table><thead><tr><th>CMD1</th><th>CMD0</th><th></th></tr></thead><tbody><tr><td>1</td><td>0</td><td>相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)</td></tr><tr><td>1</td><td>1</td><td>相補PWMモード (TRD0とTRDGRA0レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送)</td></tr><tr><td colspan="2">上記以外</td><td>設定禁止</td></tr></tbody></table>									CMD1	CMD0		1	0	相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)	1	1	相補PWMモード (TRD0とTRDGRA0レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送)	上記以外		設定禁止
CMD1	CMD0																			
1	0	相補PWMモード (TRD1のアンダフロー時にバッファレジスタからジェネラルレジスタへ転送)																		
1	1	相補PWMモード (TRD0とTRDGRA0レジスタのコンペアー一致時にバッファレジスタからジェネラルレジスタへ転送)																		
上記以外		設定禁止																		

- 注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. CMD1, CMD0ビットが00B (タイマモード, PWM3モード)のとき、PWM3ビットの設定が有効になります。
- 注3. CMD0, CMD1ビットはTRDSTRレジスタのTSTART0, TSTART1ビットがともに0 (カウント停止)のときに書いてください。
- 注4. CMD1, CMD0ビットを01B, 10B, 11Bに設定したとき、TRDPMRレジスタの設定にかかわらず、リセット同期PWMモードまたは相補PWMモードになります。

8.3.7 タイマRD出力マスタ許可レジスタ1 (TRDOER1)

図8-8 タイマRD出力マスタ許可レジスタ1 (TRDOER1)のフォーマット
 [アウトプットコンペア機能, PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F0267H リセット時 : FFH^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOER1	ED1	EC1	EB1	EA1	ED0	EC0	EB0	EA0
ED1	TRDIOD1出力禁止 ^{注2}							
0	出力許可							
1	出力禁止 (TRDIOD1端子はI/Oポート)							
EC1	TRDIOC1出力禁止 ^{注2}							
0	出力許可							
1	出力禁止 (TRDIOC1端子はI/Oポート)							
EB1	TRDIOB1出力禁止 ^{注2}							
0	出力許可							
1	出力禁止 (TRDIOB1端子はI/Oポート)							
EA1	TRDIOA1出力禁止 ^{注2, 3}							
0	出力許可							
1	出力禁止 (TRDIOA1端子はI/Oポート)							
ED0	TRDIOD0出力禁止 ^{注2}							
0	出力許可							
1	出力禁止 (TRDIOD0端子はI/Oポート)							
EC0	TRDIOC0出力禁止 ^{注2}							
0	出力許可							
1	出力禁止 (TRDIOC0端子はI/Oポート)							
EB0	TRDIOB0出力禁止							
0	出力許可							
1	出力禁止 (TRDIOB0端子はI/Oポート)							
EA0	TRDIOA0出力禁止 ^{注3, 4}							
0	出力許可							
1	出力禁止 (TRDIOA0端子はI/Oポート)							

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. PWM3モードでは、1にしてください。

注3. PWM機能では、1にしてください。

注4. リセット同期PWMモード、相補PWMモードでは、1にしてください。

8.3.8 タイマRD出力マスタ許可レジスタ2 (TRDOER2)

図8-9 タイマRD出力マスタ許可レジスタ2 (TRDOER2)のフォーマット
[PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F0268H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOER2	TRDPTO	0	0	0	0	0	0	TRDSHUTS

TRDPTO	パルス出力強制遮断信号INTP0端子入力有効 ^{注2}
0	パルス出力強制遮断入力無効
1	パルス出力強制遮断入力有効(INTP0端子にLを入力すると、TRDSHUTSビットが1となる)

TRDSHUTS	強制遮断フラグ
0	強制遮断なし
1	強制遮断中

INTP0端子, ELC入力イベントによるパルス強制遮断時に1となります。このビットは自動クリアされません。したがって、パルス強制遮断を止める場合、カウント停止中(TSTARTi = 0)に0を書いてください。有効なモードでTRDSHUTSビットに1を書いても強制遮断します。
--

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 8.4.4 パルス出力強制遮断を参照してください。

8.3.9 タイマRD出力制御レジスタ (TRDOCR)

TRDOCRレジスタは、TRDSTRレジスタのTSTART0, TSTART1ビットがともに0 (カウント停止)のときに書いてください。

図8 - 10 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[アウトプットコンペア機能]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
	TOD1	TRDIOD1初期出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						
	TOC1	TRDIOC1初期出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						
	TOB1	TRDIOB1初期出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						
	TOA1	TRDIOA1初期出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						
	TOD0	TRDIOD0初期出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						
	TOC0	TRDIOC0初期出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						
	TOB0	TRDIOB0出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						
	TOA0	TRDIOA0出力レベル選択 ^{注2}						
	0	初期出力L						
	1	初期出力H						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図8-11 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[PWM機能]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1		TRDIOD1 初期出力レベル選択 ^{注2}						
0		初期出力は非アクティブレベル						
1		初期出力はアクティブレベル						
TOC1		TRDIOC1 初期出力レベル選択 ^{注2}						
0		初期出力は非アクティブレベル						
1		初期出力はアクティブレベル						
TOB1		TRDIOB1 初期出力レベル選択 ^{注2}						
0		初期出力は非アクティブレベル						
1		初期出力はアクティブレベル						
TOA1		TRDIOA1 初期出力レベル選択 ^{注2}						
0にしてください。								
TOD0		TRDIOD0 初期出力レベル選択 ^{注2}						
0		初期出力は非アクティブレベル						
1		初期出力はアクティブレベル						
TOC0		TRDIOC0 初期出力レベル選択 ^{注2}						
0		初期出力は非アクティブレベル						
1		初期出力はアクティブレベル						
TOB0		TRDIOB0 出力レベル選択 ^{注2}						
0		初期出力は非アクティブレベル						
1		初期出力はアクティブレベル						
TOA0		TRDIOA0 出力レベル選択 ^{注2}						
0にしてください。								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

図8 - 12 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[リセット同期PWMモード, 相補PWMモード]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1, TOC1, TOB1, TOA1, TOD0, TOB0, TOA0		リセット同期PWMモード時, 相補PWMモードでは, 設定は無効です。 必ず, 0を設定してください。 リセット同期PWMモード, 相補PWMモードの場合, 本レジスタの設定には依存せず, TRDFCRのOLS1, OLS0ビットの設定に従います。						
TOC0		TRDIOC0 初期出力レベル選択 ^{注2}						
0		初期出力L	リセット同期PWMモードでは, PWM周期ごとに出力反転します。					
1		初期出力H	相補PWMモードでは, PWMの1/2周期ごとに出力反転します。					

- 注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. TRDOCRレジスタの端子機能が波形出力の場合, TRDOCRレジスタを設定したとき, 初期出力レベルが出力されます。

図8 - 13 タイマRD出力制御レジスタ (TRDOCR)のフォーマット[PWM3モード]

アドレス : F0269H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDOCR	TOD1	TOC1	TOB1	TOA1	TOD0	TOC0	TOB0	TOA0
TOD1		TRDIOD1初期出力レベル選択						
PWM3モードは無効です。								
TOC1		TRDIOC1初期出力レベル選択						
PWM3モードは無効です。								
TOB1		TRDIOB1初期出力レベル選択						
PWM3モードは無効です。								
TOA1		TRDIOA1初期出力レベル選択						
PWM3モードは無効です。								
TOD0		TRDIOD0初期出力レベル選択						
PWM3モードは無効です。								
TOC0		TRDIOC0初期出力レベル選択						
PWM3モードは無効です。								
TOB0		TRDIOB0出力レベル選択注2						
0		初期出力L, アクティブレベルH, TRDGRB1のコンペア一致でH出力, TRDGRB0のコンペア一致でL出力						
1		初期出力H, アクティブレベルL, TRDGRB1のコンペア一致でL出力, TRDGRB0のコンペア一致でH出力						
TOA0		TRDIOA0 出力レベル選択注2						
0		初期出力L, アクティブレベルH, TRDGRA1のコンペア一致でH出力, TRDGRA0のコンペア一致でL出力						
1		初期出力H, アクティブレベルL, TRDGRA1のコンペア一致でL出力, TRDGRA0のコンペア一致でH出力						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDOCRレジスタの端子機能が波形出力の場合、TRDOCRレジスタを設定したとき、初期出力レベルが出力されます。

8.3.10 タイマRD デジタルフィルタ機能選択レジスタ*i* (TRDDFi)(*i* = 0, 1)図8 - 14 タイマRD デジタルフィルタ機能選択レジスタ*i* (TRDDFi)(*i* = 0, 1)のフォーマット
[インプットキャプチャ機能]

アドレス : F026AH (TRDDF0), F026BH (TRDDF1)

リセット時 : 00H^{注1}

R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA
DFCK1		DFCK0	デジタルフィルタ機能用クロック選択注2					
0		0	fCLK/32注3					
0		1	fCLK/8注3					
1		0	fCLK注3					
1		1	カウントソース (TRDCRi レジスタのTCK0～TCK2ビットで選択したクロック)					
PENB1		PENB0	TRDIOB 端子パルス強制遮断制御					
0		0	00Bにしてください。					
DFD		TRDIODi 端子デジタルフィルタ機能選択						
0		デジタルフィルタ機能なし						
1		デジタルフィルタ機能あり						
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5 サイクルでエッジ検出を行います。								
DFC		TRDIOCi 端子デジタルフィルタ機能選択						
0		デジタルフィルタ機能なし						
1		デジタルフィルタ機能あり						
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5 サイクルでエッジ検出を行います。								
DFB		TRDIOBi 端子デジタルフィルタ機能選択						
0		デジタルフィルタ機能なし						
1		デジタルフィルタ機能あり						
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5 サイクルでエッジ検出を行います。								
DFA		TRDIOAi 端子デジタルフィルタ機能選択						
0		デジタルフィルタ機能なし						
1		デジタルフィルタ機能あり						
デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5 サイクルでエッジ検出を行います。								

(注は次ページにあります。)

- 注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。
- 注2. DFCK0, DFCK1ビットを設定した後、カウント動作を開始してください。
- 注3. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1の場合はfCLK/32, fCLK/8, fCLKはそれぞれfHOCO/32, fHOCO/8, fHOCOになります。

図8 - 15 タイマRD デジタルフィルタ機能選択レジスタ*i* (TRDDFi)(*i* = 0, 1)のフォーマット
[PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]

アドレス : F026AH (TRDDF0), F026BH (TRDDF1)

リセット時 : 00H^注

R/W

略号	7	6	5	4	3	2	1	0
TRDDFi	DFCK1	DFCK0	PENB1	PENB0	DFD	DFC	DFB	DFA

DFCK1	DFCK0	TRDIOA端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

PENB1	PENB0	TRDIOB端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

DFD	DFC	TRDIOC端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

DFB	DFA	TRDIOD端子パルス強制遮断制御
0	0	強制遮断禁止
0	1	ハイインピーダンス出力
1	0	L出力
1	1	H出力
これらのモードで対応する端子をタイマRDの出力ポートとして使用しない場合、強制遮断禁止の00Bに設定してください。また、カウント停止中に設定してください。		

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.11 タイマRD制御レジスタ*i* (TRDCR*i*)(*i* = 0, 1)

リセット同期PWMモード、PWM3モードでは、TRDCR1レジスタは使用しません。

図8 - 16 タイマRD制御レジスタ*i* (TRDCR*i*)(*i* = 0, 1)のフォーマット
[インプットキャプチャ機能、アウトプットコンペア機能]

アドレス : F0270H (TRDCR0), F0280H (TRDCR1)

リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCR <i>i</i>	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
	CCLR2	CCLR1	CCLR0	TRD <i>i</i> カウンタクリア選択				
	0	0	0	クリア禁止(フリーランニング動作)				
	0	0	1	TRDGRA <i>i</i> のインプットキャプチャ/コンペア一致でクリア				
	0	1	0	TRDGRB <i>i</i> のインプットキャプチャ/コンペア一致でクリア				
	0	1	1	同期クリア(他のタイマRD <i>i</i> のカウントと同時にクリア) 注2				
	1	0	1	TRDGR <i>Ci</i> のインプットキャプチャ/コンペア一致でクリア				
	1	1	0	TRDGRD <i>i</i> のインプットキャプチャ/コンペア一致でクリア				
	上記以外			設定禁止				
	CKEG1	CKEG0	外部クロックエッジ選択注3					
	0	0	立ち上がりエッジでカウント					
	0	1	立ち下がりエッジでカウント					
	1	0	両エッジでカウント					
	上記以外		設定禁止					
	TCK2	TCK1	TCK0	カウントソース選択				
	0	0	0	fCLK, fHOCO注4				
	0	0	1	fCLK/2注5				
	0	1	0	fCLK/4注5				
	0	1	1	fCLK/8注5				
	1	0	0	fCLK/32注5				
	1	0	1	TRDCLK入力注6				
	上記以外			設定禁止				

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、*f*CLKを*f*Hに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDSYNCビットが1 (TRD0とTRD1は同期動作)のとき、有効です。

注3. TCK2～TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4=0のときは*f*CLK、FRQSEL4=1のときは*f*HOCOが選択されます。タイマRDのカウントソースに*f*HOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、*f*CLKを*f*Hに設定してください。*f*CLKを*f*H以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注5. ユーザ・オプション・バイト(000C2H)のFRQSEL4=1のときは設定しないでください。

注6. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 17 タイマRD制御レジスタi (TRDCRi)(i = 0, 1)のフォーマット[PWM機能]

アドレス : F0270H (TRDCR0), F0280H (TRDCR1)

リセット時 : 00H^{注1}

R/W

略号	7	6	5	4	3	2	1	0
TRDCRi	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2	CCLR1	CCLR0	TRDi カウンタクリア選択					
001B (TRDGRAi レジスタとのコンペアー致で TRDi レジスタクリア)にしてください。								
CKEG1	CKEG0	外部クロックエッジ選択 ^{注2}						
0	0	立ち上がりエッジでカウント						
0	1	立ち下がりエッジでカウント						
1	0	両エッジでカウント						
上記以外		設定禁止						
TCK2	TCK1	TCK0	カウントソース選択					
0	0	0	fCLK, fHOCO ^{注3}					
0	0	1	fCLK/2 ^{注4}					
0	1	0	fCLK/4 ^{注4}					
0	1	1	fCLK/8 ^{注4}					
1	0	0	fCLK/32 ^{注4}					
1	0	1	TRDCLK入力 ^{注5}					
上記以外			設定禁止					

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2～TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注3. ユーザ・オプション・バイト (000C2H)のFRQSEL4 = 0のときはfCLK、FRQSEL4 = 1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 18 タイマRD制御レジスタ0 (TRDCR0)のフォーマット[リセット同期PWMモード]

アドレス : F0270H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2		CCLR1	CCLR0	TRD0カウンタクリア選択				
001B (TRDGRA0レジスタとのコンペアー一致でTRD0レジスタクリア)にしてください。								
CKEG1		CKEG0		外部クロックエッジ選択 ^{注2}				
0		0		立ち上がりエッジでカウント				
0		1		立ち下がりエッジでカウント				
1		0		両エッジでカウント				
上記以外			設定禁止					
TCK2		TCK1		TCK0	カウントソース選択			
0		0		0	fCLK, fHOCO ^{注3}			
0		0		1	fCLK/2 ^{注4}			
0		1		0	fCLK/4 ^{注4}			
0		1		1	fCLK/8 ^{注4}			
1		0		0	fCLK/32 ^{注4}			
1		0		1	TRDCLK入力 ^{注5}			
上記以外				設定禁止				

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2～TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注3. ユーザ・オプション・バイト(000C2H)のFRQSEL4=0のときはfCLK、FRQSEL4=1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4=1のときは設定しないでください。

注5. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 19 タイマRD制御レジスタ*i* (TRDCR*i*)(*i* = 0,1)のフォーマット[相補PWMモード]アドレス : F0270H(TRDCR0), F0280H (TRDCR1) リセット時 : 00H^{注1}R/W

略号	7	6	5	4	3	2	1	0
TRDCR <i>i</i>	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2	CCLR1	CCLR0	TRD0カウンタクリア選択					
000B (クリア禁止(フリーランニング動作))にしてください。								
CKEG1	CKEG0	外部クロックエッジ選択 ^{注2, 3}						
0	0	立ち上がりエッジでカウント						
0	1	立ち下がりエッジでカウント						
1	0	両エッジでカウント						
上記以外		設定禁止						
TCK2	TCK1	TCK0	カウントソース選択					
0	0	0	fCLK, fHOCO ^{注4}					
0	0	1	fCLK/2 ^{注5}					
0	1	0	fCLK/4 ^{注5}					
0	1	1	fCLK/8 ^{注5}					
1	0	0	fCLK/32 ^{注5}					
1	0	1	TRDCLK入力 ^{注6}					
上記以外			設定禁止					

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TCK2～TCK0ビットが101B (TRDCLK入力)、かつSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

注3. TRDCR0レジスタとTRDCR1レジスタのTCK0～TCK2ビット、CKEG0、CKEG1ビットの設定は、同じにしてください。

注4. ユーザ・オプション・バイト(000C2H)のFRQSEL4=0のときはfCLK、FRQSEL4=1のときはfHOCOが選択されます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

注5. ユーザ・オプション・バイト(000C2H)のFRQSEL4=1のときは設定しないでください。

注6. TRDFCRレジスタのSTCLKビットが1 (外部クロック入力有効)のとき、有効です。

図8 - 20 タイマRD制御レジスタ0 (TRDCR0)のフォーマット[PWM3モード]

アドレス : F0270H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TCK2	TCK1	TCK0
CCLR2	CCLR1	CCLR0	TRD0カウンタクリア選択					
001B (TRDGRA0レジスタとのコンペア一致でTRD0レジスタクリア)にしてください。								
CKEG1	CKEG0	外部クロックエッジ選択						
PWM3モードでは無効です。								
TCK2	TCK1	TCK0	カウントソース選択					
0	0	0	fCLK, fHOCO注2					
0	0	1	fCLK/2注3					
0	1	0	fCLK/4注3					
0	1	1	fCLK/8注3					
1	0	0	fCLK/32注3					
上記以外			設定禁止					

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. ユーザ・オプション・バイト(000C2H)のFRQSEL4=0のときはfCLK, FRQSEL4=1のときはfHOCOが選択されます。カウントソースにfHOCOを選択する場合、タイマカウント開始する前にfCLKはfIHを選択してください。

注3. ユーザ・オプション・バイト(000C2H)のFRQSEL4=1のときは設定しないでください。

8.3.12 タイマRD I/O制御レジスタ Ai (TRDIORAi)(i = 0, 1)

図8-21 タイマRD I/O制御レジスタ Ai (TRDIORAi)(i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス : F0271H (TRDIOA0), F0281H (TRDIOA1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

IOB2	TRDGRBモード選択 ^{注2}	
インプットキャプチャ機能では1（インプットキャプチャ）にしてください。		

IOB1	IOB0	TRDGRB制御
0	0	立ち上がりエッジでTRDGRBiヘインプットキャプチャ
0	1	立ち下がりエッジでTRDGRBiヘインプットキャプチャ
1	0	両エッジでTRDGRBiヘインプットキャプチャ
上記以外		設定禁止

IOA2	TRDGRAモード選択 ^{注3}	
インプットキャプチャ機能では1（インプットキャプチャ）にしてください。		

IOA1	IOA0	TRDGRA制御
0	0	立ち上がりエッジでTRDGRAiヘインプットキャプチャ
0	1	立ち下がりエッジでTRDGRAiヘインプットキャプチャ
1	0	両エッジでTRDGRAiヘインプットキャプチャ
上記以外		設定禁止

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8 - 22 タイマRD I/O制御レジスタAi (TRDIORAi)(i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス : F0271H (TRDIOA0), F0281H (TRDIOA1) リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDIORAi	0	IOB2	IOB1	IOB0	0	IOA2	IOA1	IOA0

IOB2	TRDGRBモード選択 ^{注2}						
アウトプットコンペア機能では0 (アウトプットコンペア)にしてください。							

IOB1	IOB0	TRDGRB制御
0	0	コンペアー一致による端子出力禁止 (TRDIOBi端子はI/Oポート)
0	1	TRDGRBiのコンペアー一致でL出力
1	0	TRDGRBiのコンペアー一致でH出力
1	1	TRDGRBiのコンペアー一致でトグル出力

IOA2	TRDGRAモード選択 ^{注3}						
アウトプットコンペア機能では0 (アウトプットコンペア)にしてください。							

IOA1	IOA0	TRDGRA制御
0	0	コンペアー一致による端子出力禁止 (TRDIOAi端子はI/Oポート)
0	1	TRDGRAiのコンペアー一致でL出力
1	0	TRDGRAiのコンペアー一致でH出力
1	1	TRDGRAiのコンペアー一致でトグル出力

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

8.3.13 タイマRD I/O制御レジスタ Ci (TRDIORCi)(i = 0, 1)

図8 - 23 タイマRD I/O制御レジスタ Ci (TRDIORCi)(i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス : F0272H (TRDIORC0), F0282H (TRDIORC1) リセット時 : 88H^{注1} R/W

略号

7

6

5

4

3

2

1

0

TRDIORCi

IOD3

IOD2

IOD1

IOD0

IOC3

IOC2

IOC1

IOC0

IOD3

TRDGRDレジスタ機能選択

インプットキャプチャ機能では1 (ジェネラルレジスタまたはバッファレジスタ)にしてください。

IOD2

TRDGRDモード選択注2

インプットキャプチャ機能では1 (インプットキャプチャ)にしてください。

IOD1

IOD0

TRDGRD制御

0

0

立ち上がりエッジでTRDGRDiヘインプットキャプチャ

0

1

立ち下がりエッジでTRDGRDiヘインプットキャプチャ

1

0

両エッジでTRDGRDiヘインプットキャプチャ

上記以外

設定禁止

IOC3

TRDGRCレジスタ機能選択

インプットキャプチャ機能では1 (ジェネラルレジスタまたはバッファレジスタ)にしてください。

IOC2

TRDGRCモード選択注3

インプットキャプチャ機能では1 (インプットキャプチャ)にしてください。

IOC1

IOC0

TRDGRC制御

0

0

立ち上がりエッジでTRDGRCiヘインプットキャプチャ

0

1

立ち下がりエッジでTRDGRCiヘインプットキャプチャ

1

0

両エッジでTRDGRCiヘインプットキャプチャ

上記以外

設定禁止

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

図8 - 24 タイマRD I/O制御レジスタ Ci (TRDIORCi)(i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス : F0272H (TRDIORC0), F0282H (TRDIORC1) リセット時 : 88H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDIORCi	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
IOD3	TRDGRD レジスタ機能選択							
0	TRDIOB出力レジスタ (8.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1)の出力端子変更参照)							
1	ジェネラルレジスタまたはバッファレジスタ							
IOD2	TRDGRD モード選択注2							
アウトプットコンペア機能では0 (アウトプットコンペア)にしてください。								
IOD1	IOD0	TRDGRD 制御						
0	0	コンペアー一致による端子出力禁止						
0	1	TRDGRDiのコンペアー一致でL出力						
1	0	TRDGRDiのコンペアー一致でH出力						
1	1	TRDGRDiのコンペアー一致でトグル出力						
IOC3	TRDGRC レジスタ機能選択							
0	TRDIOA出力レジスタ (8.5.2 (2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1)の出力端子変更参照)							
1	ジェネラルレジスタまたはバッファレジスタ							
IOC2	TRDGRC モード選択注3							
アウトプットコンペア機能では0 (アウトプットコンペア)にしてください。								
IOC1	IOC0	TRDGRC 制御						
0	0	コンペアー一致による端子出力禁止						
0	1	TRDGRCiのコンペアー一致でL出力						
1	0	TRDGRCiのコンペアー一致でH出力						
1	1	TRDGRCiのコンペアー一致でトグル出力						

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. TRDMRレジスタのTRDBFDiビットで1 (TRDGRBiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOB2ビットとTRDIORCiレジスタのIOD2ビットの設定を同じにしてください。

注3. TRDMRレジスタのTRDBFCiビットで1 (TRDGRAiレジスタのバッファレジスタ)を選択した場合、TRDIORAiレジスタのIOA2ビットとTRDIORCiレジスタのIOC2ビットの設定を同じにしてください。

8.3.14 タイマRDステータスレジスタ0 (TRDSR0)

図8 - 25 タイマRDステータスレジスタ0 (TRDSR0) [インプットキャプチャ機能]

アドレス : F0273H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA

OVF	オーバフローフラグ ^{注2}
[0になる要因]	
読んだ後, 0を書く ^{注3}	
[1になる要因]	
TRD0がオーバフローしたとき	

IMFD	インプットキャプチャ/コンペアー致フラグD ^{注6}
[0になる要因]	
読んだ後, 0を書く ^{注3}	
[1になる要因]	
TRDIOD0端子の入力エッジ ^{注4}	

IMFC	インプットキャプチャ/コンペアー致フラグC ^{注6}
[0になる要因]	
読んだ後, 0を書く ^{注3}	
[1になる要因]	
TRDIOC0端子の入力エッジ ^{注4}	

IMFB	インプットキャプチャ/コンペアー致フラグB ^{注6}
[0になる要因]	
読んだ後, 0を書く ^{注3}	
[1になる要因]	
TRDIOB0端子の入力エッジ ^{注5}	

IMFA	インプットキャプチャ/コンペアー致フラグA ^{注6}
[0になる要因]	
読んだ後, 0を書く ^{注3}	
[1になる要因]	
TRDIOA0端子の入力エッジ ^{注5}	

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. オーバフローフラグは, タイマRD0のカウント値がFFFFHから0000Hになった場合に1となります。また, TRDCR0レジスタのCCLR0～CCLR2ビットの設定によって, 動作中のインプットキャプチャ/コンペアー致により, タイマRD0のカウント値がFFFFHから0000Hになった場合に1となります。

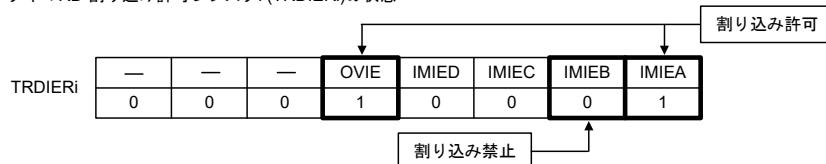
注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD 割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)～(c)のいずれかの方法で実行してください。

- (a) タイマRD 割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRD 割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。
- (例) IMIEA、OVIE が割り込み許可、IMIEB が割り込み禁止の状態で、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERi)の状態



・タイマRD ステータスレジスタi (TRDSRi)の状態



- (c) タイマRD 割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEA が割り込み許可、IMIEB が割り込み禁止の状態で、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERi)の状態



・タイマRD ステータスレジスタi (TRDSRi)の状態



- 注4. TRDIORC0レジスタのIOk1, IOk0ビット(k = CまたはD)で選択したエッジ。
TRDMRレジスタのTRDBFk0ビットが1 (TRDGRk0はバッファレジスタ)の場合を含む。
- 注5. TRDIORA0レジスタのIOj1, IOj0ビット(j = AまたはB)で選択したエッジ。
- 注6. DTCを使用する場合、IMFA, IMFB, IMFC, IMFDビットは、DTCの転送終了後に1になります。

図8 - 26 タイマRDステータスレジスタ0 (TRDSR0)のフォーマット[インプットキャプチャ機能以外]

アドレス : F0273H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0																		
TRDSR0	0	0	0	OVF	IMFD	IMFC	IMFB	IMFA																		
<table><tr><td>OVF</td><td colspan="8">オーバフローフラグ^{注3}</td></tr><tr><td colspan="9">[0になる要因] 読んだ後, 0を書く^{注2} [1になる要因] TRD0がオーバフローしたとき</td></tr></table>									OVF	オーバフローフラグ ^{注3}								[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0がオーバフローしたとき								
OVF	オーバフローフラグ ^{注3}																									
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0がオーバフローしたとき																										
<table><tr><td>IMFD</td><td colspan="8">インプットキャプチャ/コンペアー致フラグ^D注5</td></tr><tr><td colspan="9">[0になる要因] 読んだ後, 0を書く^{注2} [1になる要因] TRD0とTRDGRD0の値が一致したとき^{注4}</td></tr></table>									IMFD	インプットキャプチャ/コンペアー致フラグ ^D 注5								[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRD0の値が一致したとき ^{注4}								
IMFD	インプットキャプチャ/コンペアー致フラグ ^D 注5																									
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRD0の値が一致したとき ^{注4}																										
<table><tr><td>IMFC</td><td colspan="8">インプットキャプチャ/コンペアー致フラグ^C注5</td></tr><tr><td colspan="9">[0になる要因] 読んだ後, 0を書く^{注2} [1になる要因] TRD0とTRDGRC0の値が一致したとき^{注4}</td></tr></table>									IMFC	インプットキャプチャ/コンペアー致フラグ ^C 注5								[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRC0の値が一致したとき ^{注4}								
IMFC	インプットキャプチャ/コンペアー致フラグ ^C 注5																									
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRC0の値が一致したとき ^{注4}																										
<table><tr><td>IMFB</td><td colspan="8">インプットキャプチャ/コンペアー致フラグ^B注5</td></tr><tr><td colspan="9">[0になる要因] 読んだ後, 0を書く^{注2} [1になる要因] TRD0とTRDGRB0の値が一致したとき</td></tr></table>									IMFB	インプットキャプチャ/コンペアー致フラグ ^B 注5								[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRB0の値が一致したとき								
IMFB	インプットキャプチャ/コンペアー致フラグ ^B 注5																									
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRB0の値が一致したとき																										
<table><tr><td>IMFA</td><td colspan="8">インプットキャプチャ/コンペアー致フラグ^A注5</td></tr><tr><td colspan="9">[0になる要因] 読んだ後, 0を書く^{注2} [1になる要因] TRD0とTRDGRA0の値が一致したとき</td></tr></table>									IMFA	インプットキャプチャ/コンペアー致フラグ ^A 注5								[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRA0の値が一致したとき								
IMFA	インプットキャプチャ/コンペアー致フラグ ^A 注5																									
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD0とTRDGRA0の値が一致したとき																										

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD 割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)～(c)のいずれかの方法で実行してください。

- (a) タイマRD 割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRD 割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。
- (例) IMIEA、OVIE が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRD ステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	0

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ (OVF, IMFA)が0 なので、IMFB に0 を書いてください。

- (c) タイマRD 割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEA が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRD ステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ(IMFA)が1なので、IMFB と同時にIMFA にも0 を書いてください。

注3. オーバフローフラグは、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

また、TRDCR0レジスタのCCLR0～CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンパレータにより、タイマRD0のカウンタ値がFFFFHから0000Hになった場合に1となります。

注4. TRDMRレジスタのTRDBFk0ビット(k = CまたはD)が1 (TRDGRk0はバッファレジスタ)の場合を含む。

注5. DTCを使用する場合、IMFA、IMFB、IMFC、IMFDビットは、DTCの転送終了後に1になります。

8.3.15 タイマRDステータスレジスタ1 (TRDSR1)

図8-27 タイマRDステータスレジスタ1 (TRDSR1)のフォーマット[インプットキャプチャ機能]

アドレス : F0283H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	0	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDF		アンダフローフラグ						
インプットキャプチャ機能では無効です。								
OVF		オーバフローフラグ注2						
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRD1がオーバフローしたとき								
IMFD		インプットキャプチャ/コンペアー致フラグD注6						
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOD1端子の入力エッジ注4								
IMFC		インプットキャプチャ/コンペアー致フラグC注6						
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOC1端子の入力エッジ注4								
IMFB		インプットキャプチャ/コンペアー致フラグB注6						
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOB1端子の入力エッジ注5								
IMFA		インプットキャプチャ/コンペアー致フラグA注6						
[0になる要因] 読んだ後, 0を書く注3 [1になる要因] TRDIOA1端子の入力エッジ注5								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. オーバフローフラグは、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。また、TRDCR1レジスタのCCLR0～CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

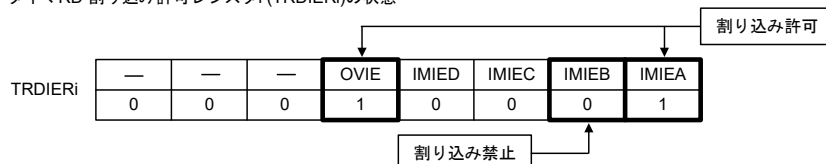
注3. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD 割り込み許可レジスタi (TRDIERI)で割り込み禁止に設定されている場合、下記(a)～(c)のいずれかの方法で実行してください。

- (a) タイマRD 割り込み許可レジスタi (TRDIERI)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRD 割り込み許可レジスタi (TRDIERI)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。
- (例) IMIEA、OVIE が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERI)の状態



・タイマRD ステータスレジスタi (TRDSRi)の状態



- (c) タイマRD 割り込み許可レジスタi (TRDIERI)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEA が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERI)の状態



・タイマRD ステータスレジスタi (TRDSRi)の状態



- 注4. TRDIORC1レジスタのIOk1, IOk0ビット(k = CまたはD)で選択したエッジ。
TRDMRレジスタのTRDBFk1ビットが1 (TRDGRk1はバッファレジスタ)の場合を含む。
- 注5. TRDIORA1レジスタのIOj1, IOj0ビット(j = AまたはB)で選択したエッジ。
- 注6. DTCを使用する場合、IMFA, IMFB, IMFC, IMFDビットは、DTCの転送終了後に1になります。

図8-28 タイマRDステータスレジスタ1 (TRDSR1)のフォーマット[インプットキャプチャ機能以外]

アドレス : F0283H リセット時 : 00H^{注1} R/W

略号	7	6	5	4	3	2	1	0
TRDSR1	0	0	UDF	OVF	IMFD	IMFC	IMFB	IMFA
UDF アンダフローフラグ								
相補PWMモードのとき [0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1がアンダフローしたとき 相補PWMモード以外では無効です。								
OVF オーバフローフラグ ^{注3}								
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1がオーバフローしたとき								
IMFD インプットキャプチャ/コンペアー致フラグD ^{注5}								
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRD1の値が一致したとき ^{注4}								
IMFC インプットキャプチャ/コンペアー致フラグC ^{注5}								
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRC1の値が一致したとき ^{注4}								
IMFB インプットキャプチャ/コンペアー致フラグB ^{注5}								
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRB1の値が一致したとき								
IMFA インプットキャプチャ/コンペアー致フラグA ^{注5}								
[0になる要因] 読んだ後, 0を書く ^{注2} [1になる要因] TRD1とTRDGRA1の値が一致したとき								

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

ただし、タイマRDの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRD 割り込み許可レジスタi (TRDIERi)で割り込み禁止に設定されている場合、下記(a)～(c)のいずれかの方法で実行してください。

- (a) タイマRD 割り込み許可レジスタi (TRDIERi)を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRD 割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。
- (例) IMIEA、OVIE が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRD ステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	0

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ (OVF, IMFA)が0 なので、IMFB に0 を書いてください。

- (c) タイマRD 割り込み許可レジスタi (TRDIERi)の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。

(例) IMIEA が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合

・タイマRD 割り込み許可レジスタi (TRDIERi)の状態

TRDIERi	—	—	—	OVIE	IMIED	IMIEC	IMIEB	IMIEA
	0	0	0	1	0	0	0	1

割り込み許可

割り込み禁止

・タイマRD ステータスレジスタi (TRDSRi)の状態

TRDSRi	—	—	UDF	OVF	IMFD	IMFC	IMFB	IMFA
	0	0	0	0	1	0	1	1

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ(IMFA)が1なので、IMFB と同時にIMFA にも0 を書いてください。

注3. オーバフローフラグは、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

また、TRDCR1レジスタのCCLR0～CCLR2ビットの設定によって、動作中のインプットキャプチャ/コンパレータにより、タイマRD1のカウンタ値がFFFFHから0000Hになった場合に1となります。

注4. TRDMRレジスタのTRDBFK1ビット(k = CまたはD)が1 (TRDGRk1はバッファレジスタ)の場合を含む。

注5. DTCを使用する場合、IMFA、IMFB、IMFC、IMFDビットは、DTCの転送終了後に1になります。

8.3.16 タイマRD割り込み許可レジスタ*i* (TRDIER*i*)(*i* = 0, 1)図8 - 29 タイマRD割り込み許可レジスタ*i* (TRDIER*i*)(*i* = 0, 1)のフォーマットアドレス : F0274H (TRDIER0), F0284H (TRDIER1) リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDIER <i>i</i>	0	0	0	OVIE	IMIED	IMIEC	IMIEB	IMIEA
OVIE	オーバフロー/アンダフロー割り込み許可							
0	OVF, UDF ビットによる割り込み (OVI) 禁止							
1	OVF, UDF ビットによる割り込み (OVI) 許可							
IMIED	インプットキャプチャ/コンペアー致割り込み許可D							
0	IMFD ビットによる割り込み (IMID) 禁止							
1	IMFD ビットによる割り込み (IMID) 許可							
IMIEC	インプットキャプチャ/コンペアー致割り込み許可C							
0	IMFC ビットによる割り込み (IMIC) 禁止							
1	IMFC ビットによる割り込み (IMIC) 許可							
IMIEB	インプットキャプチャ/コンペアー致割り込み許可B							
0	IMFB ビットによる割り込み (IMIB) 禁止							
1	IMFB ビットによる割り込み (IMIB) 許可							
IMIEA	インプットキャプチャ/コンペアー致割り込み許可A							
0	IMFA ビットによる割り込み (IMIA) 禁止							
1	IMFA ビットによる割り込み (IMIA) 許可							

注 ユーザ・オプション・バイト (000C2H) のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.17 タイマRD PWM機能出力レベル制御レジスタ*i* (TRDPOCR*i*)(*i* = 0, 1)

TRDPOCR*i*レジスタへの設定は、PWM機能のときのみ有効です。PWM機能以外は、無効です。

図8 - 30 タイマRD PWM機能出力レベル制御レジスタ*i* (TRDPOCR*i*)(*i* = 0, 1)のフォーマット[PWM機能]

アドレス : F0275H (TRDPOCR0), F0285H (TRDPOCR1) リセット時 : 00H^注 R/W

略号	7	6	5	4	3	2	1	0
TRDPOCR <i>i</i>	0	0	0	0	0	POLD	POLC	POLB

POLD	PWM機能出力レベル制御D
0	TRDIODiの出力レベルはLアクティブ
1	TRDIODiの出力レベルはHアクティブ

POLC	PWM機能出力レベル制御C
0	TRDIOC <i>i</i> の出力レベルはLアクティブ
1	TRDIOC <i>i</i> の出力レベルはHアクティブ

POLB	PWM機能出力レベル制御B
0	TRDIOBiの出力レベルはLアクティブ
1	TRDIOBiの出力レベルはHアクティブ

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.18 タイマRDカウンタ*i* (TRD*i*)(*i* = 0, 1)

[タイマモード]

TRD*i*レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[リセット同期PWMモード, PWM3モード]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。リセット同期PWMモードおよびPWM3モードでは、TRD1レジスタは使用しません。

[相補PWMモード(TRD0)]

TRD0レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

[相補PWMモード(TRD1)]

TRD1レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

図8 - 31 タイマRDカウンタ*i* (TRD*i*)(*i* = 0, 1)のフォーマット[タイマモード]

アドレス : F0276H (TRD0), F0286H (TRD1)

リセット時 : 0000H^注 R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRD*i*

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

—	機能	設定範囲
ビット15～0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR <i>i</i> レジスタのOVFビットが1になる。	0000H～FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図8 - 32 タイマRDカウンタ0(TRD0)のフォーマット[リセット同期PWMモード, PWM3モード]

アドレス : F0276H (TRD0)

リセット時 : 0000H^注 R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRD0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

—	機能	設定範囲
ビット15～0	カウントソースをカウント。カウント動作はアップカウント。 オーバーフローすると、TRDSR0レジスタのOVFビットが1になる。	0000H～FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図8 - 33 タイマRDカウンタ0 (TRD0)のフォーマット[相補PWMモード(TRD0)]

アドレス : F0276H (TRD0) リセット時 : 0000H^注 R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRD0

—	機能	設定範囲
ビット15～0	短絡防止時間を設定してください。 カウントソースをカウント。 カウント動作はアップカウントまたはダウンカウント。 オーバフローすると, TRDSR0 レジスタのOVFビットが1になる。	0001H～FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

図8 - 34 タイマRDカウンタ1 (TRD1)のフォーマット[相補PWMモード(TRD1)]

アドレス : F0286H (TRD1) リセット時 : 0000H^注 R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

TRD1

—	機能	設定範囲
ビット15～0	0000Hを設定してください。 カウントソースをカウント。 カウント動作はアップカウントまたはダウンカウント。 アンダフローすると, TRDSR1 レジスタのUDFビットが1になる。	0000H～FFFFH

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ, PER1レジスタのTRD0EN = 0の場合, リセット時の値は不定となります。初期値を読み出す必要がある場合は, fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

8.3.19 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)(i = 0, 1)

[インプットキャプチャ機能]

TRDGRAi ~ TRDGRDi レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

インプットキャプチャ機能では、次のレジスタは無効です。

TRDOER1, TRDOER2, TRDOCR, TRDPOCR0, TRDPOCR1

TRDIOji 端子に入力するインプットキャプチャ信号のパルス幅は、デジタルフィルタなし (TRDDFi レジスタの DFj ビットが 0) の場合、タイマ RD の動作クロック (fCLK) の 3 サイクル以上にしてください。

[アウトプットコンペア機能]

TRDGRAi ~ TRDGRDi レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

アウトプットコンペア機能では、次のレジスタは無効です。

TRDDF0, TRDDF1, TRDPOCR0, TRDPOCR1

[PWM 機能]

TRDGRAi ~ TRDGRDi レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

PWM 機能では、次のレジスタは無効です。

TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDIORA1, TRDIORC1

[リセット同期 PWM モード]

TRDGRAi ~ TRDGRDi レジスタは 16 ビット単位でアクセスしてください。8 ビット単位でアクセスしないでください。

リセット同期 PWM モードでは、次のレジスタは無効です。

TRDPMR, TRDOCR 注, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注 TRDOCR レジスタの TOC0 ビットのみ、リセット同期 PWM モード、相補 PWM モード時の TRDIORC0 初期出力設定として有効となります。

[相補PWMモード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

相補PWMモードでは、TRDGRC0 レジスタは使用しません。

相補PWMモードでは、次のレジスタは無効です。

TRDPMR, TRDOCR 注, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

注 TRDOCR レジスタのTOC0ビットのみ、リセット同期PWMモード、相補PWMモード時のTRDIOC0初期出力設定として有効となります。

TRDGRB0, TRDGRA1, TRDGRB1 レジスタには、カウント開始後、直接値を書き込むことができない(禁止事項)ため、TRDGRD0, TRDGRC1, TRDGRD1 をバッファレジスタとして使用してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1 の書き込みに際しては、TRDBFD0, TRDBFC1, TRDBFD1 ビットを0 (ジェネラルレジスタ) にして書き込み、その後 TRDBFD0, TRDBFC1, TRDBFD1 ビットを1 (バッファレジスタ) にできます。

[PWM3モード]

TRDGRAi ~ TRDGRDi レジスタは16ビット単位でアクセスしてください。8ビット単位でアクセスしないでください。

PWM3モードでは、次のレジスタは無効です。

TRDPMR, TRDDF0, TRDDF1, TRDIORA0, TRDIORC0, TRDPOCR0, TRDIORA1, TRDIORC1, TRDPOCR1

PWM3モードでは使用しませんが、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1 レジスタをバッファレジスタに使う際に、TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1 ビットを0 (ジェネラルレジスタ) にして、TRDGRC0, TRDGRC1, TRDGRD0, TRDGRD1 レジスタに値を書き込み、その後 TRDBFC0, TRDBFC1, TRDBFD0, TRDBFD1 ビットを1 (バッファレジスタ) にできます。

図8 - 35 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[インプットキャプチャ機能]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15～0															
	表8-3 インプットキャプチャ機能時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8-3 インプットキャプチャ機能時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	インプットキャプチャ 入力端子
TRDGRAi	—	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOAi
TRDGRBi			TRDIOBi
TRDGRCi	TRDBFCi = 0	ジェネラルレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます。	TRDIOCi
TRDGRDi	TRDBFDi = 0		TRDIODi
TRDGRCi	TRDBFCi = 1	バッファレジスタ。インプットキャプチャ時のTRDiレジスタの値が読めます(8.4.2 バッファ動作参照)。	TRDIOAi
TRDGRDi	TRDBFDi = 1		TRDIOBi

備考 i = 0, 1, j = A, B, C, D

TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図8 - 36 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[アウトプットコンペア機能]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15～0															
	表8 - 4 アウトプットコンペア機能時のTRDGRjiレジスタの機能参照															

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8 - 4 アウトプットコンペア機能時のTRDGRjiレジスタの機能

レジスタ	設定		レジスタの機能	アウトプットコンペア出力端子
	TRDBFji	IOj3		
TRDGRAi	—	—	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOAi
TRDGRBi				TRDIOBi
TRDGRCi	0	1	ジェネラルレジスタ。コンペア値を書いてください。	TRDIOCi
TRDGRDi				TRDIODi
TRDGRCi	1	1	バッファレジスタ。次回のコンペア値を書いてください (8.4.2 バッファ動作参照)。	TRDIOAi
TRDGRDi				TRDIOBi
TRDGRCi	0	0	TRDIOAi出力制御	TRDIOAi
TRDGRDi			TRDIOBi出力制御	TRDIOBi

注意 TRDCRiレジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOCO)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFji : TRDMRレジスタのビット, IOj3 : TRDIORCiレジスタのビット

図 8 - 37 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[PWM機能]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15～0				表 8 - 5 PWM機能時の TRDGRji レジスタの機能参照											

注 ユーザ・オブション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表 8 - 5 PWM機能時の TRDGRji レジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRAi	—	ジェネラルレジスタ。PWM周期を設定してください。	—
TRDGRBi	—	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOBi
TRDGRCi	TRDBFCi= 0	ジェネラルレジスタ。PWM出力の変化点を設定してください。	TRDIOCi
TRDGRDi	TRDBFDi= 0		TRDIODi
TRDGRCi	TRDBFCi= 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。	—
TRDGRDi	TRDBFDi= 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOBi

注意 TRDCRiレジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOCO)、コンペア値を0000Hにした場合、DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D
 TRDBFCi, TRDBFDi : TRDMRレジスタのビット

図8 - 38 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[リセット同期PWMモード]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	—		機能													
	ビット15～0		表8 - 6 リセット同期PWMモード時のTRDGRjiレジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表 8 - 6 リセット同期PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。	(TRDIOC0, PWM周期ごとに出力反転)
TRDGRB0	—	ジェネラルレジスタ。PWM1出力の変化点を設定してください。	TRDIOB0 TRDIOD0
TRDGRC0	TRDBFC0 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD0	TRDBFD0 = 0		
TRDGRA1	—	ジェネラルレジスタ。PWM2出力の変化点を設定してください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。PWM3出力の変化点を設定してください。	TRDIOB1 TRDIOD1
TRDGRC1	TRDBFC1 = 0	(リセット同期PWMモードでは使用しません)	—
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。	(TRDIOC0, PWM周期ごとに出力反転)
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (8.4.2 バッファ動作参照)。	TRDIOB1 TRDIOD1

注意 TRDCR0 レジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOCO), コンペア値を0000Hにした場合, DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペアー一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMR レジスタのビット

図8 - 39 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[相補PWMモード]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi																
	機能															
	ビット15～0		表8 - 7 相補PWMモード時のTRDGRji レジスタの機能参照													

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表8-7 相補PWMモード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。初期設定時PWM周期を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上, FFFFH - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	(TRDIOC0 半周期ごとに 出力反転)
TRDGRB0	—	ジェネラルレジスタ。初期設定時PWM1出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上, TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOB0 TRDIOD0
TRDGRA1	—	ジェネラルレジスタ。初期設定時PWM2出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上, TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOA1 TRDIOC1
TRDGRB1	—	ジェネラルレジスタ。初期設定時PWM3出力の変化点を設定してください。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上, TRDGRA0設定値 - TRD0レジスタ設定値以下 TRDSTRレジスタのTSTART0, TSTART1ビットが1(カウント開始)のとき書き込まないでください。	TRDIOB1 TRDIOD1
TRDGRC0	—	(相補PWMモードでは使用しません。)	—
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM1出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上, TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB0レジスタと同じ値を設定してください。	TRDIOB0 TRDIOD0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM2出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上, TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRA1レジスタと同じ値を設定してください。	TRDIOA1 TRDIOC1
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM3出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRD0レジスタ設定値(カウント初期値)以上, TRDGRA0設定値 - TRD0レジスタ設定値以下 初期設定はTRDGRB1レジスタと同じ値を設定してください。	TRDIOB1 TRDIOD1

注意 TRDCRiレジスタのTCK2～TCK0ビットの設定を000B (fCLK, fHOCO), コンペア値を0000Hにした場合, DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペアー一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFD0, TRDBFC1, TRDBFD1 : TRDMRレジスタのビット

図8 - 40 タイマRD ジェネラルレジスタ Ai, Bi, Ci, Di (TRDGRAi, TRDGRBi, TRDGRCi, TRDGRDi)
(i = 0, 1)のフォーマット[PWM3モード]

アドレス: F0278H (TRDGRA0), F027AH (TRDGRB0), リセット時: FFFFH^注 R/W
 FFF58H (TRDGRC0), FFF5AH (TRDGRD0),
 F0288H (TRDGRA1), F028AH (TRDGRB1),
 FFF5CH (TRDGRC1), FFF5EH (TRDGRD1)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRDGRAi																
TRDGRBi																
TRDGRCi																
TRDGRDi	機能															
	ビット15~0				表8 - 8 PWM3モード時のTRDGRjiレジスタの機能参照											

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1かつ、PER1レジスタのTRD0EN = 0の場合、リセット時の値は不定となります。初期値を読み出す必要がある場合は、fCLKをfIHに設定しTRD0EN = 1にセットしたあとに読み出してください。

表 8 - 8 PWM3モード時のTRDGRjiレジスタの機能

レジスタ	設定	レジスタの機能	PWM出力端子
TRDGRA0	—	ジェネラルレジスタ。PWM周期を設定してください。 設定範囲：TRDGRA1 レジスタ設定値以上	TRDIOA0
TRDGRA1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRA0 レジスタ設定値以下	
TRDGRB0		ジェネラルレジスタ。PWM出力の変化点(初期出力レベルに戻るタイミング)を設定してください。 設定範囲：TRDGRB1 レジスタ設定値以上, TRDGRA0 レジスタ設定値以下	TRDIOB0
TRDGRB1		ジェネラルレジスタ。PWM出力の変化点(アクティブレベルになるタイミング)を設定してください。 設定範囲：TRDGRB0 レジスタ設定値以下	
TRDGRC0	TRDBFC0 = 0	(PWM3モードでは使用しません)	—
TRDGRC1	TRDBFC1 = 0		
TRDGRD0	TRDBFD0 = 0		
TRDGRD1	TRDBFD1 = 0		
TRDGRC0	TRDBFC0 = 1	バッファレジスタ。次回のPWM周期を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRC1 レジスタ設定値以上	TRDIOA0
TRDGRC1	TRDBFC1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRC0 レジスタ設定値以下	
TRDGRD0	TRDBFD0 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRD1 レジスタ設定値以上, TRDGRC0 レジスタ設定値以下	TRDIOB0
TRDGRD1	TRDBFD1 = 1	バッファレジスタ。次回のPWM出力の変化点を設定してください (8.4.2 バッファ動作参照)。 設定範囲：TRDGRD0 レジスタ設定値以下	

注意 TRDCR0 レジスタのTCK2～TCK0 ビットの設定を000B (fCLK, fHOCO), コンペア値を0000Hにした場合, DTCおよびELCへの要求信号はカウント開始直後の一回しか発生しません。コンペア値が0001H以上の場合はコンペア一致するごとに要求信号が発生します。

備考 i = 0, 1, j = A, B, C, D

TRDBFC0, TRDBFD0, TRDBFC1, TRDBFD1 : TRDMR レジスタのビット

8.3.20 ポート・モード・レジスタ 1 (PM1)

ポート1の入力／出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート(P10/TRDIOD1, P11/TRDIOC1など)をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P10/TRDIOD1をタイマ出力として使用する場合

- ポート・モード・レジスタ1のPM10ビットを0に設定
- ポート・レジスタ1のP10ビットを0に設定

タイマ入力端子を兼用するポート(P10/TRDIOD1, P11/TRDIOC1など)をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ(PMxx)のビットに1を設定してください。このときポート・レジスタ(Pxx)のビットは、0または1のどちらでもかまいません。

(例) P10/TRDIOD1をタイマ入力として使用する場合

- ポート・モード・レジスタ1のPM10ビットを1に設定
- ポート・レジスタ1のP10ビットを0または1に設定

PM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、FFHになります。

図8-41 ポート・モード・レジスタ 1 (PM1)のフォーマット(100ピン製品の場合)

アドレス : FFF21H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10
	Pmn端子の入出力モードの選択(m = 1, n = 0-7)							
	0	出力モード(出力バッファ・オン)						
	1	入力モード(出力バッファ・オフ)						

備考 上記は、100ピン製品のポート・モード・レジスタ1のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-7～表4-13 各製品で搭載しているPMxx, Pxx,PUxx, PIMxx, POMxx, PMCxx レジスタとそのビットを参照してください。

8.4 複数モードにかかわる共通事項

8.4.1 カウントソース

カウントソースの選択方法は、すべてのモードに共通です。ただし、PWM3モードでは外部クロックを選択できません。

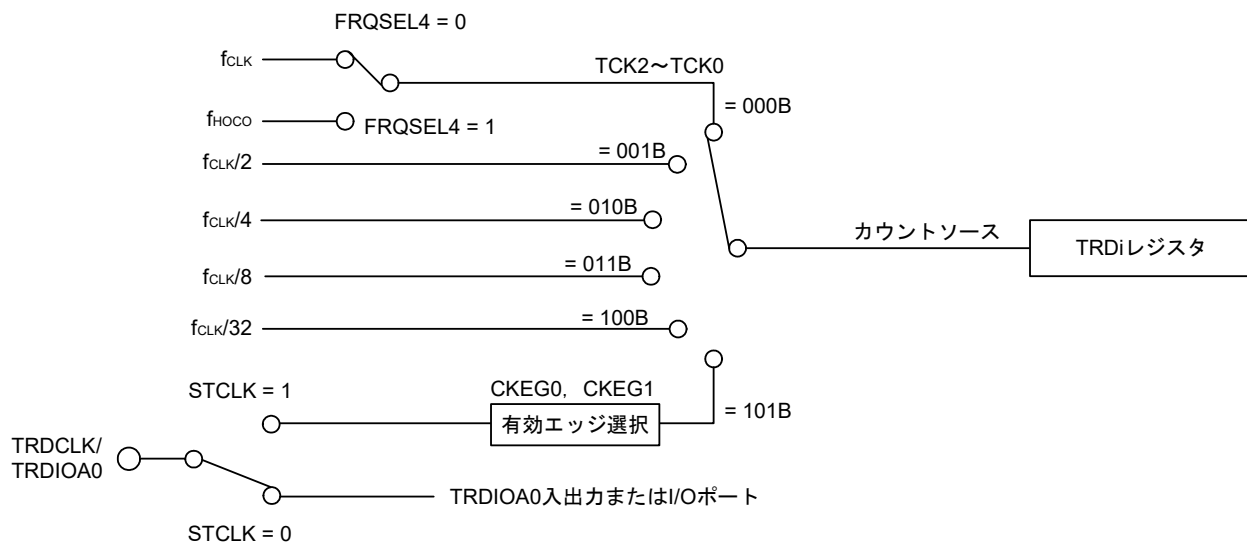
表 8 - 9 カウントソースの選択

カウントソース	選択方法
fCLK, fHOCO ^注 , fCLK/2, fCLK/4, fCLK/8, fCLK/32	TRDCR _i レジスタの TCK2～TCK0 ビットでカウントソースを選択
TRDCLK端子に入力された外部信号	TRDFCR レジスタの STCLK ビットが1 (外部クロック入力有効) TRDCR _i レジスタの TCK2～TCK0 ビットが101B (カウントソースは外部クロック) TRDCR _i レジスタの CKEG1～CKEG0 ビットで有効エッジを選択 TRDCLK端子と共用している I/O ポートのポート・モード・レジスタのビットが1 (入力モード)

備考 i = 0, 1

注 ユーザ・オプション・バイト (000C2H) の FRQSEL4=0 のときは fCLK, FRQSEL4=1 のときは fHOCO が選択されます。タイマ RD のカウントソースに fHOCO を選択する場合、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に、fCLK を fIH に設定してください。fCLK を fIH 以外のクロックに変更するときは、周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をクリアしたあとに変更してください。

図 8 - 42 カウントソースのブロック図



備考
i = 0, 1

TCK0～TCK2, CKEG0～CKEG1: TRDCR_i レジスタのビット
STCLK: TRDFCR レジスタのビット
FRQSEL4: ユーザ・オプションバイト (000C2H/010C2H) のビット

TRDCLK端子に入力する外部クロックのパルス幅は、タイマRDの動作クロック (fCLK) の3サイクル以上にしてください。

8.4.2 バッファ動作

TRDMRレジスタのTRDBFCiビット($i = 0, 1$), TRDBFDiビットで, TRDGRCi, TRDGRDiレジスタをTRDGRAi, TRDGRBiレジスタのバッファレジスタにできます。

- TRDGRAiのバッファレジスタ : TRDGRCiレジスタ
- TRDGRBiのバッファレジスタ : TRDGRDiレジスタ

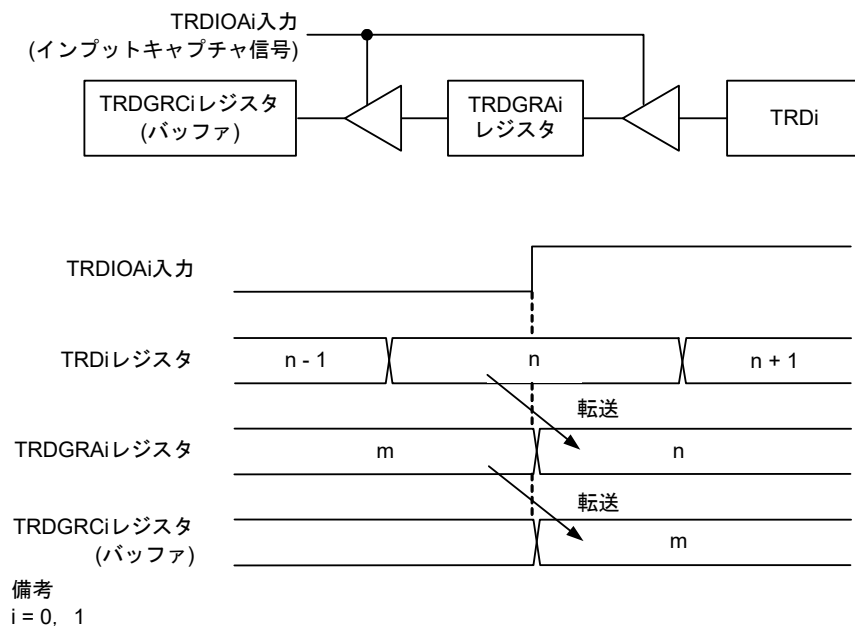
バッファ動作は, モードによって違います。表8 - 10に各モードのバッファ動作を示します。

表8 - 10 各モードのバッファ動作

機能, モード		転送タイミング	転送するレジスタ
タイマモード	インプットキャプチャ機能	TRDIOAi入力信号 (インプットキャプチャ信号入力)	TRDGRAi レジスタの内容を TRDGRCi レジスタ (バッファレジスタ) に転送
		TRDIOBi入力信号 (インプットキャプチャ信号入力)	TRDGRBi レジスタの内容を TRDGRDi レジスタ (バッファレジスタ) に転送
	アウトプットコンペア機能	TRDi レジスタと TRDGRAi レジスタの コンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送
		TRDi レジスタと TRDGRBi レジスタの コンペア一致	TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
	PWM 機能	TRDi レジスタと TRDGRAi レジスタの コンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送
		TRDi レジスタと TRDGRBi レジスタの コンペア一致	TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
リセット同期PWMモード		TRD0 レジスタと TRDGRA0 レジスタの コンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送 TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
相補PWMモード		• TRDFCR レジスタの CMD1, 0 ビットが 11B の場合は, TRD1 レジスタのアン ダーフロー • TRDFCR レジスタの CMD1, 0 ビットが 10B の場合は TRD0 レジスタと TRDGRA0 レジスタのコンペア一致	TRDGRC1 レジスタ (バッファレジスタ) の内容を TRDGRA1 レジスタに転送 TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送
PWM3モード		TRD0 レジスタと TRDGRA0 レジスタの コンペア一致	TRDGRCi レジスタ (バッファレジスタ) の内容を TRDGRAi レジスタに転送 TRDGRDi レジスタ (バッファレジスタ) の内容を TRDGRBi レジスタに転送

備考 $i = 0, 1$

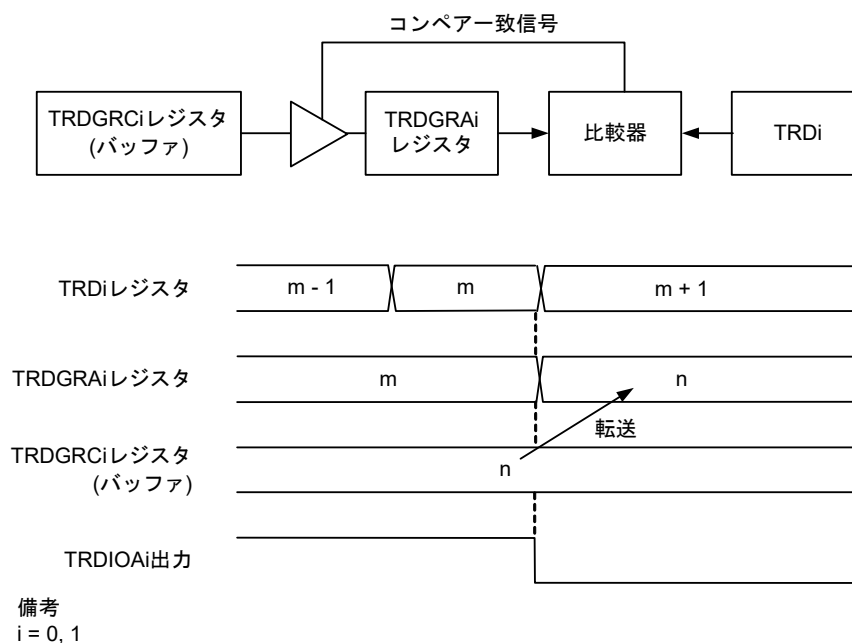
図8 - 43 インプットキャプチャ機能のバッファ動作



上図は次の条件の場合です。

- TRDMRレジスタのTRDBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
- TRDIOAiレジスタのIOA2～IOA0ビット100B (立ち上がりエッジでインプットキャプチャ)

図8 - 44 アウトプットコンペア機能のバッファ動作



上図は次の場合です。

- TRDMRレジスタのBFCiビットが1 (TRDGRCiレジスタはTRDGRAiレジスタのバッファレジスタ)
- TRDIOAiレジスタのIOA2～IOA0ビット001B (コンペアー致でL出力)

タイマモード(インプットキャプチャ機能, アウトプットコンペア機能)では次のようにしてください。

TRDGRCi レジスタ (i = 0, 1) を TRDGRAi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタのIOC3ビットを1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- TRDIORCi レジスタのIOC2ビットは, TRDIORAi レジスタのIOA2ビットと同じ設定にしてください。

TRDGRDi レジスタを TRDGRBi レジスタのバッファレジスタに使用する場合

- TRDIORCi レジスタのIOD3ビットを1 (ジェネラルレジスタまたはバッファレジスタ) にしてください。
- TRDIORCi レジスタのIOD2ビットは, TRDIORAi レジスタのIOB2ビットと同じ設定にしてください。

インプットキャプチャ機能では, TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も, TRDIOC_i 端子, TRDIOD_i 端子の入力エッジで TRDSR_i レジスタのIMFC, IMFD ビットが1になります。

アウトプットコンペア機能, PWM 機能, リセット同期PWMモード, 相補PWMモード, PWM3モードでは, TRDGRCi, TRDGRDi レジスタをバッファレジスタに使用している場合も, TRDi レジスタとのコンペア一致で TRDSR_i レジスタのIMFC, IMFD ビットが1になります。

8.4.3 同期動作

TRD0レジスタとTRD1レジスタを同期させます。

- 同期プリセット

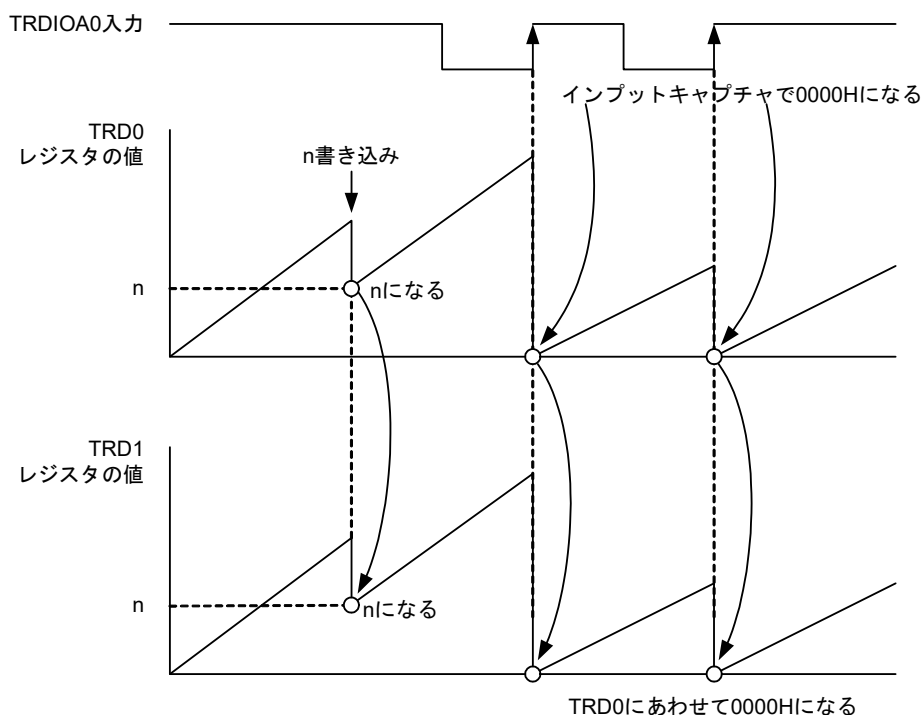
TRDMRレジスタのTRDSYNCビットが1 (同期動作) の場合, TRDiレジスタに書き込むと, TRD0レジスタとTRD1レジスタの両方に書き込まれます。

- 同期クリア

TRDSYNCビットが1で, かつTRDCR0レジスタのCCLR2～CCLR0ビットが011B (同期クリア) の場合, TRD0レジスタはTRD1レジスタが0000Hになるとき, 同時に0000Hになります。

同様に, TRDSYNCビットが1で, かつCCLR2～CCLR0ビットが011B (同期クリア) の場合, TRD1レジスタはTRD0レジスタが0000Hになるとき, 同時に0000Hになります。

図8 - 45 同期動作



上図は次の条件の場合です。

- TRDMRレジスタのTRDSYNCビットが1 (同期動作)
- TRDCR0レジスタのCCLR2～CCLR0ビットが001B (インプットキャプチャでTRD0を0000Hにする)
- TRDCR1レジスタのCCLR2～CCLR0ビットが011B (TRD0に同期して, TRD1を0000Hにする)
- TRDIOA0レジスタのIOA2～IOA0ビットが100B
- TRDFCRレジスタのCMD1, CMD0ビットが00B } (TRDIOA0入力の立ち上がりエッジでインプットキャプチャ)
- TRDFCRレジスタのPWM3ビットが1

8.4.4 パルス出力強制遮断

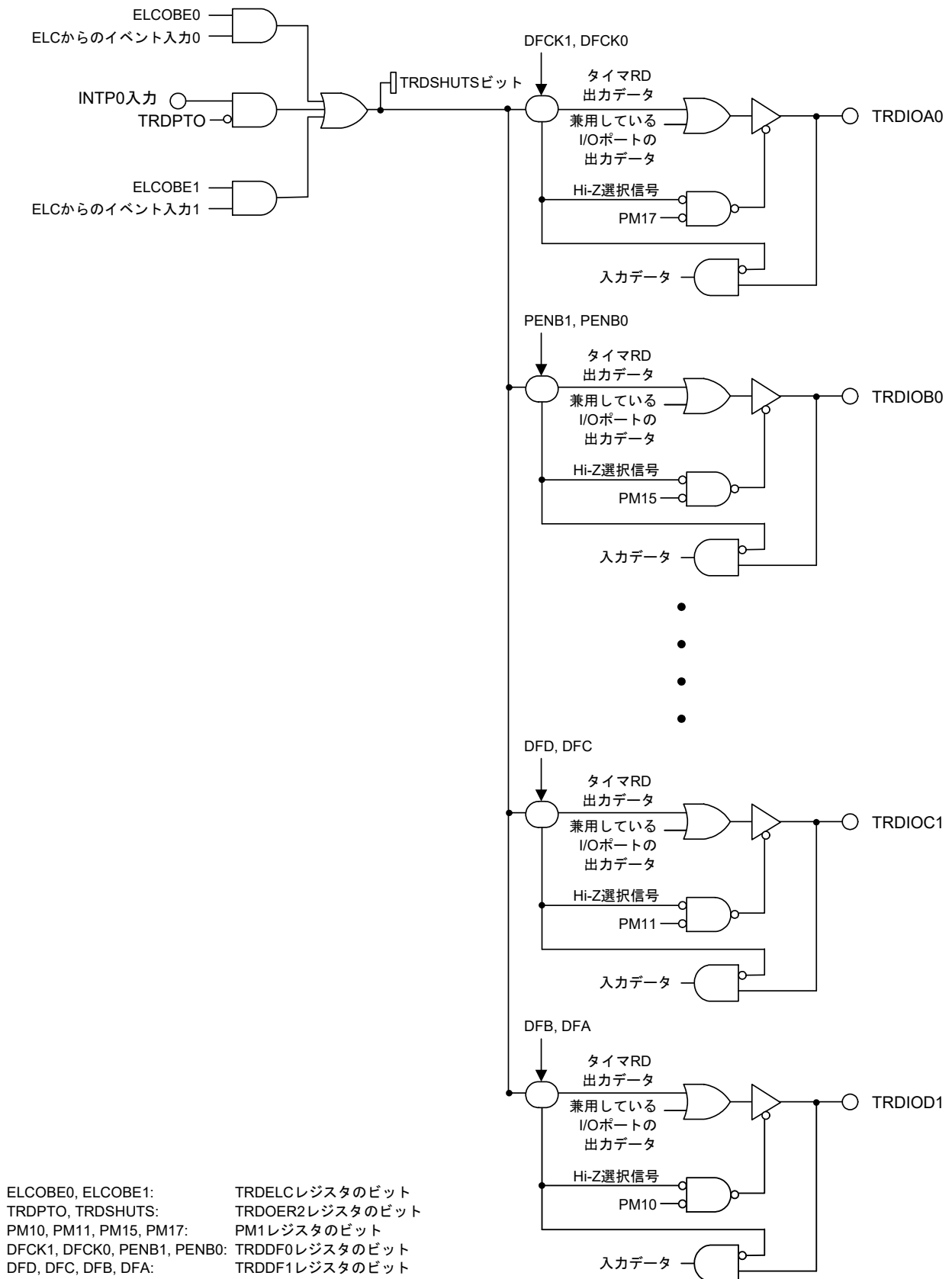
PWM 機能, リセット同期 PWM モード, 相補 PWM モード, PWM3 モードのとき, INTP0 端子の入力によって TRDIO_j 出力端子 ($i = 0, 1, j = A, B, C, D$) のパルス出力を遮断できます。

これらの機能/モードで出力に使用する端子は, TRDOER1 レジスタの該当するビットを 0 (タイマ RD 出力許可) にすると, タイマ RD の出力端子として機能します。TRDOER2 レジスタの TRDPTO ビットが 1 (パルス出力強制遮断信号 INTP0 端子入力有効) のとき, タイマ RD の出力ポートとして使用している出力端子は, TRDDF0/TRDDF1 レジスタの DFCK1, DFCK0, PENB1, PENB0, DFD, DFC, DFB, DFA ビットで設定した出力値を出力します。

この機能を使用する場合は, 次の設定をしてください。

- パルス出力を強制遮断したときの端子の状態 (ハイインピーダンス, L 出力, または H 出力) を TRDDFi で設定する。
- ELC イベント入力によるパルス強制遮断は 8.4.5 イベント・リンク・コントローラ (ELC) からのイベント入力参照してください。
- パルス出力強制遮断時, TRDOER2 レジスタの TRDSHUTS ビットが 1 となります。パルス出力強制遮断を中断させたい場合, カウント停止中 (TSTART_i=0) に TRDSHUTS ビットを 0 にしてください。
- TRDOER2 レジスタの TRDPTO ビットを 1 (パルス出力強制遮断信号 INTP0 端子入力有効) にする。

図8-46 パルス出力強制遮断



8.4.5 イベント・リンク・コントローラ(ELC)からのイベント入力

ELCからのイベント入力によって、タイマRDは2つの動作をします。

(a) TRDIOD0/TRDIOD1のインプットキャプチャ

ELCからのイベント入力によって、タイマRDはTRDIOD0/TRDIOD1のインプットをキャプチャします。このとき、TRDSRiレジスタのIMFDビットが1になります。

この機能を使用する場合、タイマモードのインプットキャプチャ機能を選択し、TRDELICレジスタのELCICE0/ELCICE1ビットを1にしてください。その他のモード(タイマモードのアウトプットコンペア機能、PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード)では無効です。

(b) パルス出力強制遮断動作^注

ELCからのイベント入力によって、パルス出力を強制遮断します。この機能を使用する場合、パルス出力モード(PWM機能、リセット同期PWMモード、相補PWMモード、PWM3モード)を選択し、ELCOBE0/ELCOBE1ビットを1にしてください。タイマモードのインプットキャプチャ機能では無効です。

注 INTPO端子の強制遮断はL入力期間中パルス出力を遮断しますが、ELCイベントによるパルス強制遮断は、ELCからのイベント入力1回に対し、1回パルス出力を遮断します。

設定手順

(1) ELCのイベントリンク先をタイマRDに設定する。

(2) TRDELICレジスタのELCICEi (i = 0, 1), ELCOBEi (i = 0, 1)ビットを1にする。

8.4.6 イベント・リンク・コントローラ(ELC)/データ・トランスファ・コントローラ(DTC)へのイベント出力

表8-11にタイマRDのモードとELC/DTCへのイベント出力を示します。

表8-11 タイマRDのモードとELC/DTCへのイベント出力

使用モード	出力要因	ELC	DTC
インプットキャプチャ機能	TRDIORA0レジスタのIOA1, IOA0ビットで設定したTRDIOA0のエッジ検出	○	○
	TRDIORA0レジスタのIOB1, IOB0ビットで設定したTRDIOB0のエッジ検出	○	○
	TRDIORC0レジスタのIOC1, IOC0ビットで設定したTRDIOC0のエッジ検出	—	○
	TRDIORC0レジスタのIOD1, IOD0ビットで設定したTRDIOD0のエッジ検出	—	○
	TRDIORA1レジスタのIOA1, IOA0ビットで設定したTRDIOA1のエッジ検出	○	○
	TRDIORA1レジスタのIOB1, IOB0ビットで設定したTRDIOB1のエッジ検出	○	○
	TRDIORC1レジスタのIOC1, IOC0ビットで設定したTRDIOC1のエッジ検出	—	○
	TRDIORC1レジスタのIOD1, IOD0ビットで設定したTRDIOD1のエッジ検出	—	○
アウトプットコンペア機能, PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード	TRD0レジスタとTRDGRA0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDGRB0レジスタのコンペア一致	○	○
	TRD0レジスタとTRDGRC0レジスタのコンペア一致	—	○
	TRD0レジスタとTRDGRD0レジスタのコンペア一致	—	○
	TRD1レジスタとTRDGRA1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDGRB1レジスタのコンペア一致	○	○
	TRD1レジスタとTRDGRC1レジスタのコンペア一致	—	○
	TRD1レジスタとTRDGRD1レジスタのコンペア一致	—	○
相補PWMモード	TRD1レジスタのアンダフロー	○	—

8.5 タイマRDの動作

8.5.1 インพุットキャプチャ機能

外部信号の幅や周期を測定する機能です。TRDIO j 端子 ($i = 0, 1, j = A, B, C, D$) の外部信号をトリガにして TRDi レジスタ (カウンタ) の内容を TRDGR j i レジスタに転送します (インพุットキャプチャ)。TRDIO j 端子と TRDGR j i レジスタの組み合わせで機能しますので、端子1本ごとにインพุットキャプチャ機能にするか、他のモード、機能にするかを選択できます。

図8 - 47にインพุットキャプチャ機能のブロック図を、表8 - 12にインพุットキャプチャ機能の仕様を、図8 - 48にインพุットキャプチャ機能の動作例を示します。

図8-47 インプットキャプチャ機能のブロック図

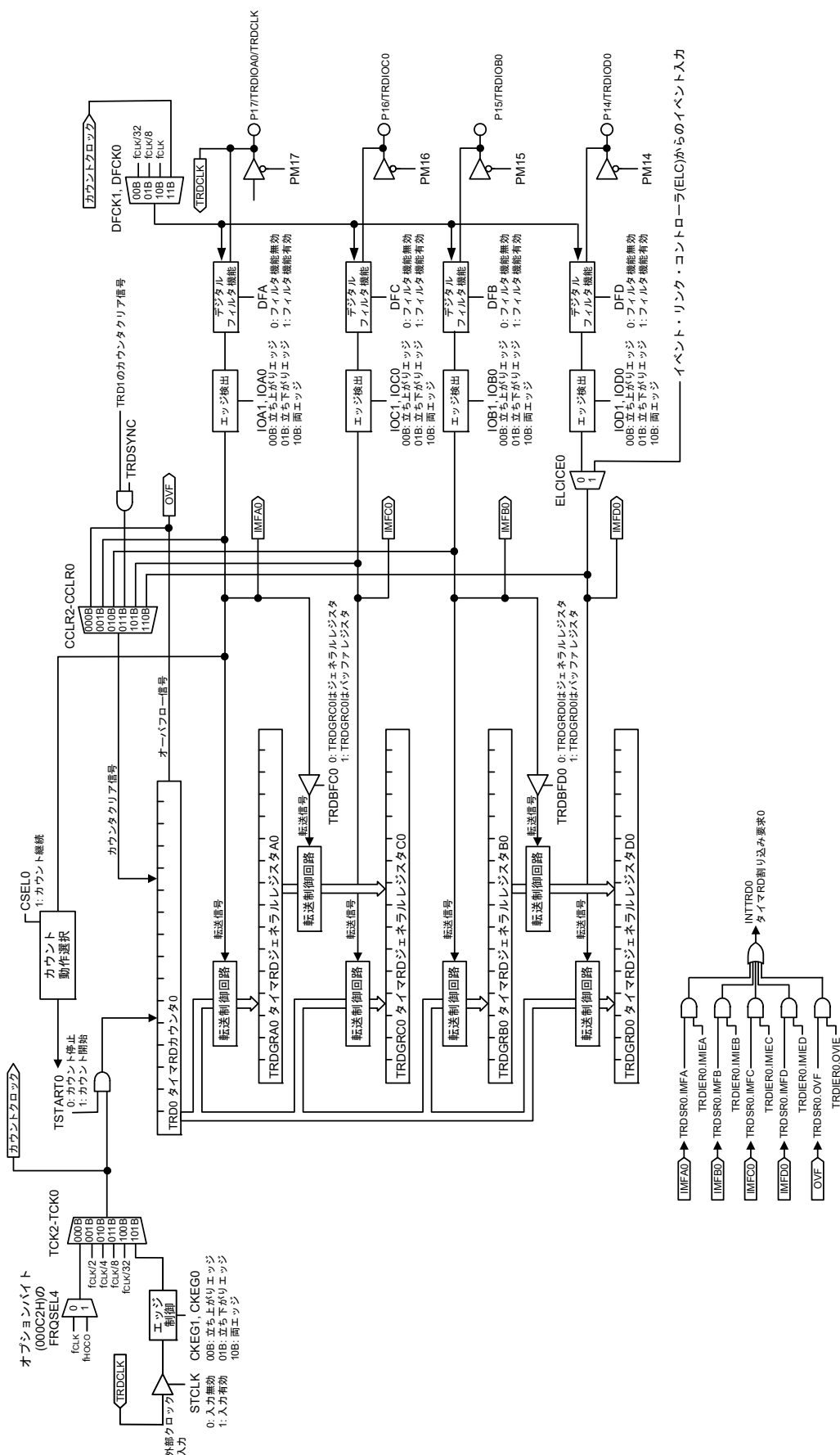


表8 - 12 インพุットキャプチャ機能の仕様

項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK 端子に入力された外部信号 (プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRDCRi レジスタの CCLR2 ~ CCLR0 ビットが 000B (フリーランニング動作) の場合 $1/f_k \times 65536$ f_k : カウントソースの周波数
カウント開始条件	TRDSTR レジスタの TSTARTi ビットへの 1 (カウント開始) 書き込み
カウント停止条件	TRDSTR レジスタの CSELi ビットが 1 に設定されているとき, TSTARTi ビットへの 0 (カウント停止) 書き込み
割り込み要求発生タイミング	- インพุットキャプチャ (TRDIOji 入力の有効エッジ) - TRDi オーバフロー
TRDIOA0 端子機能	I/O ポート, インพุットキャプチャ入力, または TRDCLK (外部クロック) 入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1 ~ TRDIOD1 端子機能	I/O ポートまたはインพุットキャプチャ入力 (1 端子ごとに選択)
INTP0 端子機能	使用しない (入力専用ポートまたは INTP0 割り込み入力)
タイマの読み出し	TRDi レジスタを読むと, カウント値が読める
タイマの書き込み	- TRDMR レジスタの TRDSYNC ビットが 0 (タイマ RD0 とタイマ RD1 は独立動作) の場合 TRDi レジスタに書き込める - TRDMR レジスタの TRDSYNC ビットが 1 (タイマ RD0 とタイマ RD1 が同期動作) の場合 TRDi レジスタに書き込むと, TRD0 レジスタと TRD1 レジスタの両方に書き込まれる
選択機能	- インพุットキャプチャ入力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子のいずれか 1 本または複数本 - インพุットキャプチャ入力の有効エッジ選択 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がりエッジと立ち下がりエッジの両方 - TRDi を 0000H にするタイミング オーバフローまたはインพุットキャプチャ時 - バッファ動作 (8.4.2 バッファ動作参照) - 同期動作 (8.4.3 同期動作参照) - デジタルフィルタ TRDIOji 入力をサンプリングし, 3 回一致したらレベルが確定したとみなす - ELC からのイベント入力によるインพุットキャプチャ動作

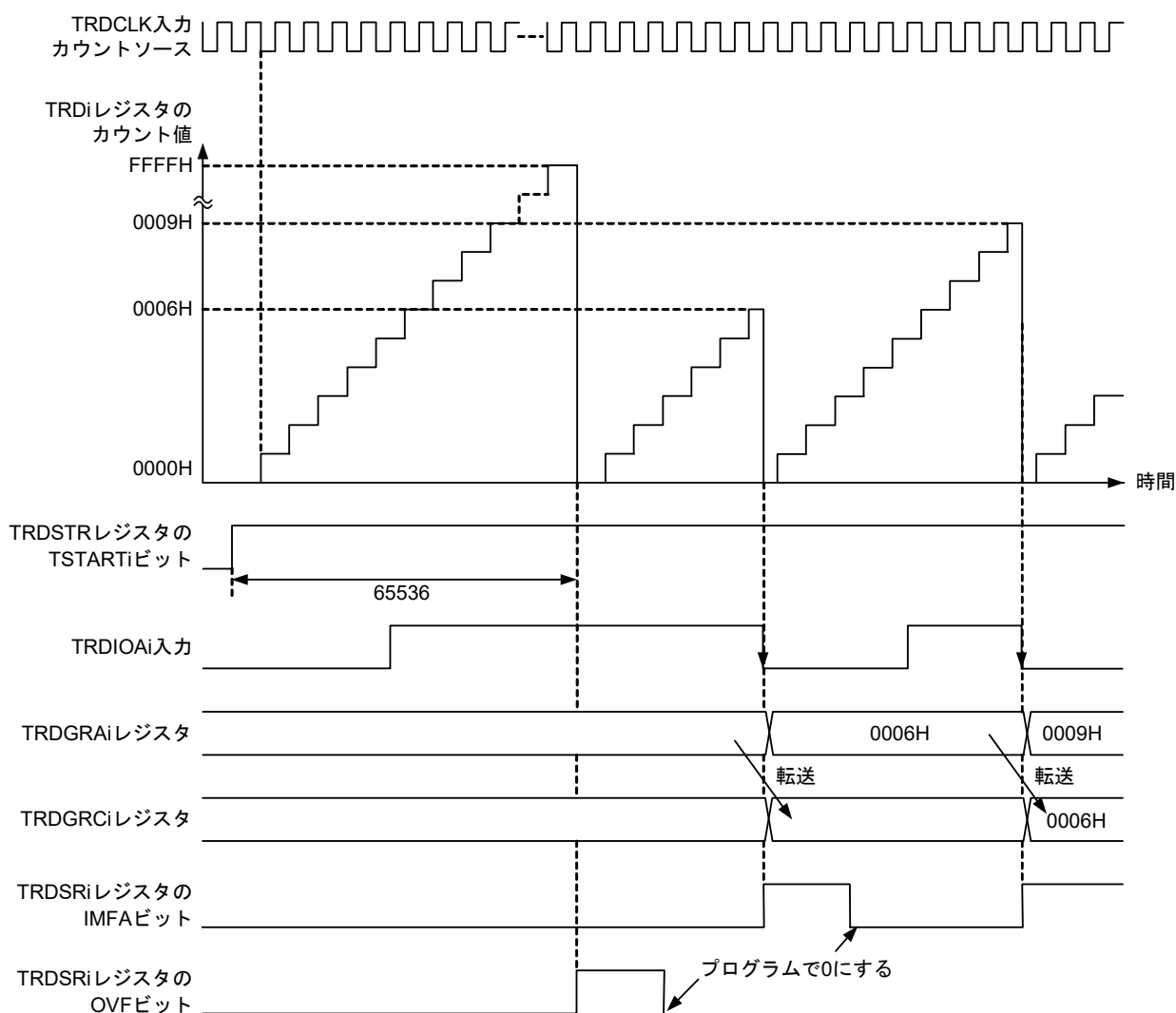
注 ユーザ・オプション・バイト (000C2H) の FRQSEL4 = 1 のときのみ fHOCO が選択できます。タイマ RD のカウントソースに fHOCO を選択する場合, 周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に, fCLK を fIH に設定してください。fCLK を fIH 以外のクロックに変更するときは, 周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

TRDCRi レジスタ ($i = 0, 1$) の CCLR0 ~ CCLR2 ビットの設定で、インプットキャプチャ/コンペアー一致により、タイマ RDi のカウンタ値はリセットされます。図8 - 48は、CCLR2 ~ CCLR0 ビットを 001B と設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウントをクリアする設定をしていて、タイマカウンタ値が FFFFH においてインプットキャプチャ動作をした場合、カウントソースとインプットキャプチャ動作のタイミングによって割り込みフラグである TRDSRi レジスタの IMFA ~ IMFD ビットと OVF ビットが同時に 1 となる場合があります。

図8 - 48 インプットキャプチャ機能の動作例



備考

 $i = 0, 1$

上図は次の条件の場合です。

TRDCRi レジスタの CCLR2 ~ CCLR0 ビットが 001B (TRDGRAi のインプットキャプチャで TRDi を 0000H にする)

TRDCRi レジスタの TCK2 ~ TCK0 ビットが 101B (カウントソースは TRDCLK 入力)

TRDCRi レジスタの CKEG1, CKEG0 ビットが 01B (カウントソースは立ち下がりでカウント)

TRDIOAi レジスタの IOA2 ~ IOA0 ビットが 101B (TRDIOAi 入力の立ち下がりエッジでインプットキャプチャ)

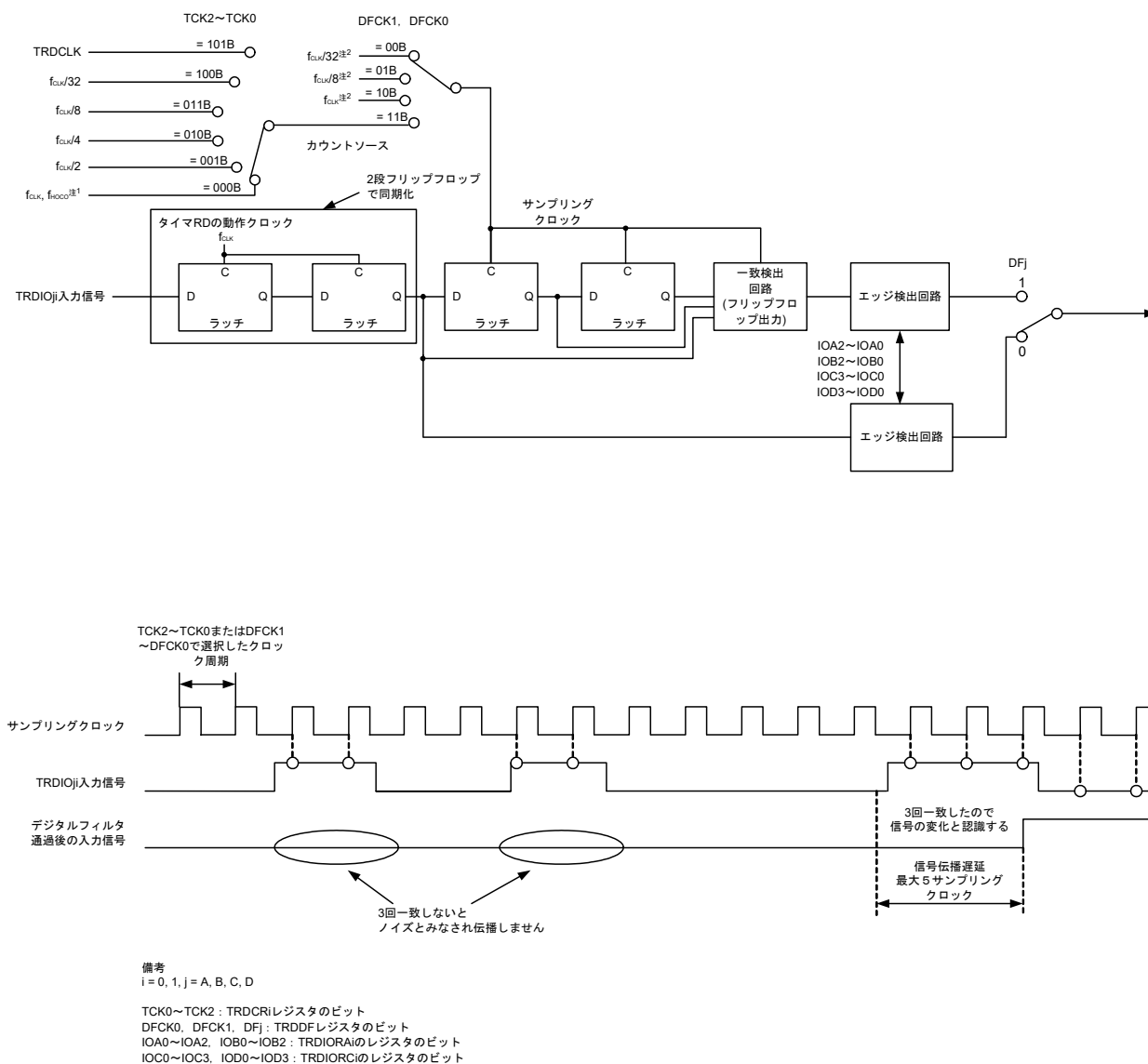
TRDMR レジスタの TRDBFCi ビットが 1 (TRDGRCi レジスタは TRDGRAi レジスタのバッファレジスタ)

(2) デジタルフィルタ

TRDIO_{ji} 入力 ($i = 0, 1, j = A, B, C, D$) をサンプリングし, 3 回一致したらレベルが確定したとみなします。デジタルフィルタ機能, サンプリングクロックはTRDDFiレジスタで選択してください。

図8-49にデジタルフィルタのブロック図を示します。

図8-49 デジタルフィルタのブロック図



注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 0のときはf_{clk}, FRQSEL4 = 1のときはf_{hoco}が選択されます。

注2. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1の場合はf_{clk}/32, f_{clk}/8, f_{clk}はそれぞれf_{hoco}/32, f_{hoco}/8, f_{hoco}になります。

8.5.2 アウトプットコンペア機能

TRDi レジスタ (カウンタ) ($i = 0, 1$) の内容と, TRDGRji レジスタ ($j = A, B, C, D$) の内容の一致 (コンペア一致) を検出するモードです。一致したとき TRDIOji 端子から任意のレベルを出力します。TRDIOji 端子と TRDGRji レジスタの組み合わせで機能しますので, 端子1本ごとにアウトプットコンペア機能にするか, 他のモード, 機能にするかを選択できます。

図8 - 50にアウトプットコンペア機能のブロック図を, 表8 - 13にアウトプットコンペア機能の仕様を, 図8 - 51にアウトプットコンペア機能の動作例を示します。

図8-50 アウトプットコンペア機能のブロック図

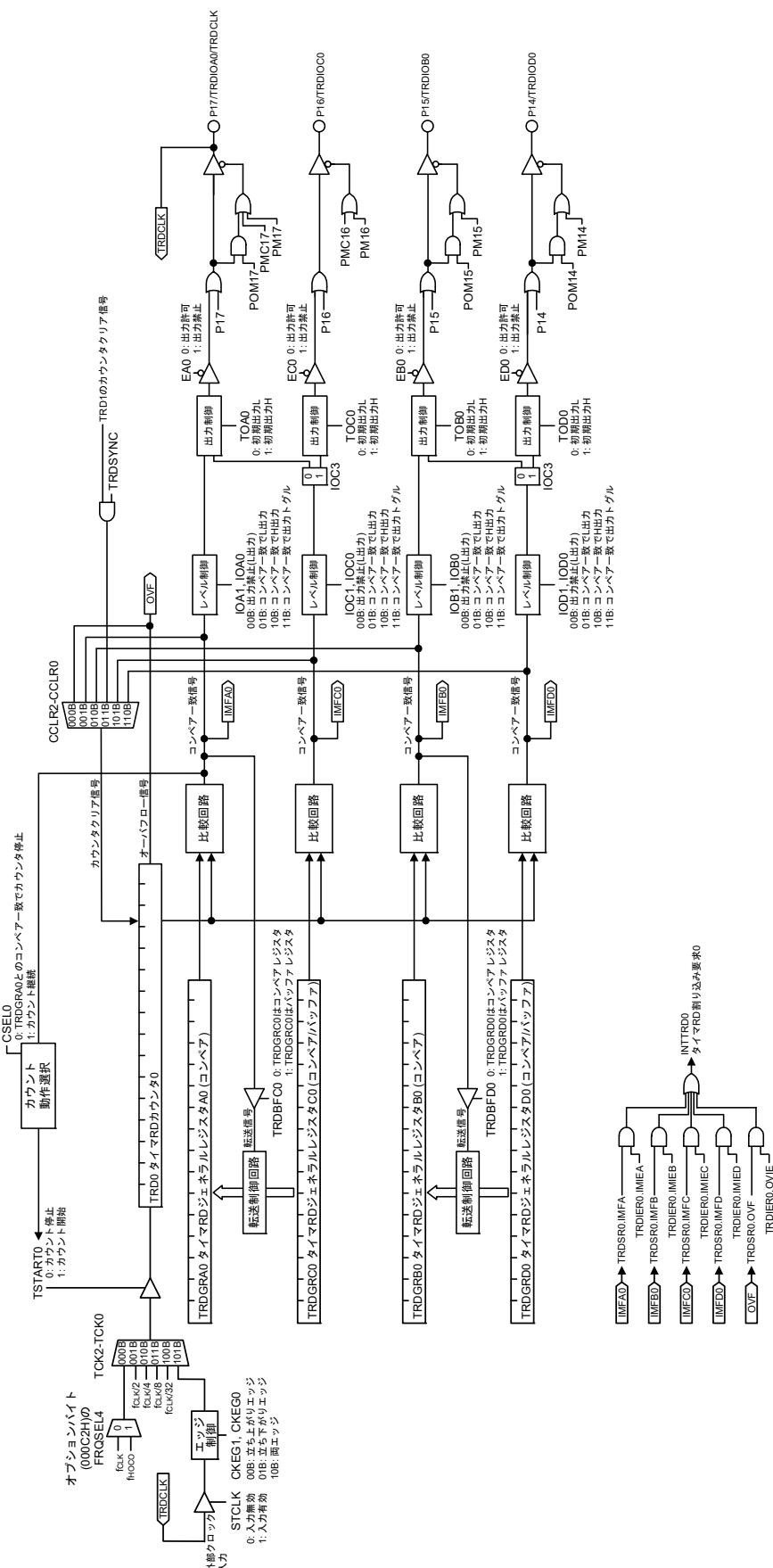


表 8 - 13 アウトプットコンペア機能の仕様

項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	- TRDCRi レジスタのCCLR2～CCLR0ビットが000B (フリーランニング動作)の場合 $1/f_k \times 65536 f_k$: カウントソースの周波数 - TRDCRi レジスタのCCLR1～CCLR0ビットが01B, 10B (TRDGRjiのコンペア一致でTRDiを0000Hにする)の場合 $1/f_k \times (n + 1)$ - n : TRDGRji レジスタ設定値
波形出力タイミング	コンペア一致 (TRDi レジスタと TRDGRji レジスタの内容が一致)
カウント開始条件	TRDSTR レジスタのTSTARTi ビットへの1 (カウント開始)書き込み
カウント停止条件	- TRDSTR レジスタのCSELi ビットが1に設定されているとき, TSTARTi ビットへの0 (カウント停止)書き込み アウトプットコンペア出力端子はカウント停止前の出力レベルを保持 - TRDSTR レジスタのCSELi ビットが0の場合, TRDGRAi コンペア一致でカウント停止 アウトプットコンペア出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	- コンペア一致 (TRDi レジスタと TRDGRji レジスタの内容が一致) - TRDi オーバフロー
TRDIOAi 端子機能	I/Oポート, アウトプットコンペア出力, または TRDCLK (外部クロック)入力
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOA1～TRDIOD1 端子機能	I/Oポートまたはアウトプットコンペア出力(1端子ごとに選択)
INTP0 端子機能	使用しない(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDi レジスタを読むと, カウント値が読める
タイマの書き込み	- TRDMR レジスタのTRDSYNC ビットが0 (タイマRD0とタイマRD1は独立動作) の場合 TRDi レジスタに書き込める - TRDMR レジスタのTRDSYNC ビットが1 (タイマRD0とタイマRD1が同期動作) の場合 TRDi レジスタに書き込むと, TRD0 レジスタと TRD1 レジスタの両方に書き込まれる
選択機能	- アウトプットコンペア出力端子選択 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi 端子のいずれか1本または複数本 - コンペア一致時の出力レベル選択 L出力, H出力, または出力レベル反転 - 初期出力レベル選択 カウント開始からコンペア一致までの期間のレベルを設定 - TRDiを0000Hにするタイミング オーバフローまたはTRDGRAi レジスタのコンペア一致 - バッファ動作(8.4.2 バッファ動作参照) - 同期動作(8.4.3 同期動作参照) - TRDGRCi, TRDGRDiの出力端子変更 TRDGRCiをTRDIOAi端子の, TRDGRDiをTRDIOBi端子の出力制御に使用できる - タイマRDは出力しないことで内部タイマとして使用できる

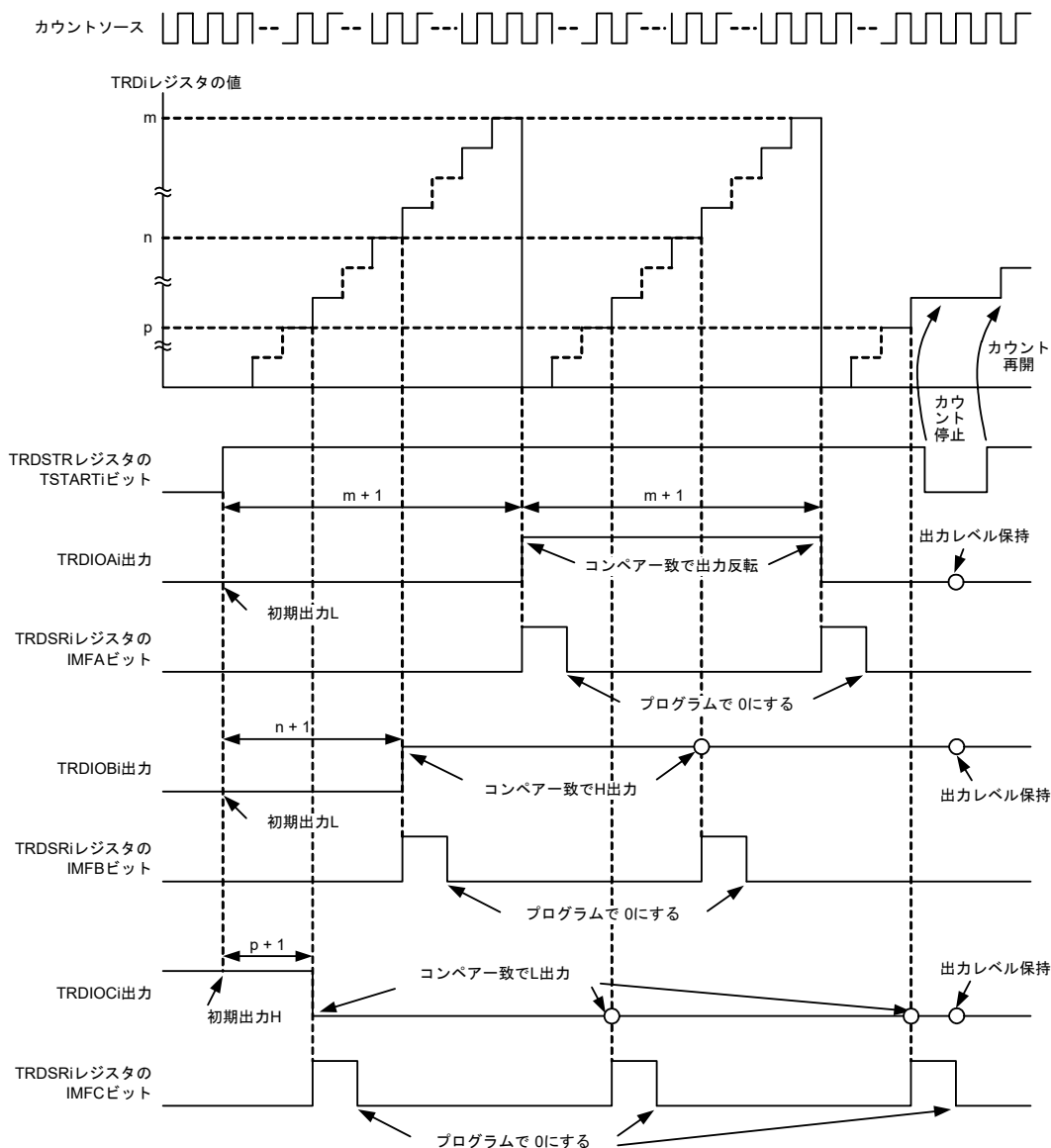
注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

TRDCR*i* レジスタ ($i = 0, 1$) の CCLR0 ~ CCLR2 ビットの設定によって、インプットキャプチャ/コンペアー一致により、タイマRD*i* のカウンタ値はリセットされます。このとき、コンペアー期待値がFFFFHの場合、オーバーフロー動作と同様にFFFFHから0000Hとなり、オーバーフローフラグは1となります。

図8-51 アウトプットコンペアー機能の動作例



備考

 $i = 0, 1$

m: TRDGRAi レジスタ設定値

n: TRDGRBi レジスタ設定値

p: TRDGRCi レジスタ設定値

上図は次の条件の場合です。

TRDSTRレジスタのCSELiビットが1 (TRDiはコンペアー一致で停止しない)

TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRCi, TRDGRDiバッファ動作しない)

TRDOER1レジスタのEAI, EBi, ECIビットが0 (TRDIOAi, TRDIOBi, TRDIOCi出力許可)

TRDCRiレジスタのCCLR2 ~ CCLR0ビットが001B (TRDGRAiのコンペアー一致でTRDiを0000Hにする)

TRDOCRレジスタのTOAi, TOBiビットが0 (コンペアー一致までの初期出力L), TOCiビットが1 (コンペアー一致までの初期出力H)

TRDIOARiレジスタのIOA2 ~ IOA0ビットが011B (TRDGRAiコンペアー一致時, TRDIOAi出力反転)

TRDIOBRiレジスタのIOB2 ~ IOB0ビットが010B (TRDGRBiコンペアー一致時, TRDIOBi出力)

TRDIOCRiレジスタのIOC3 ~ IOC0ビットが1001B (TRDGRCiコンペアー一致時, TRDIOCi出力)

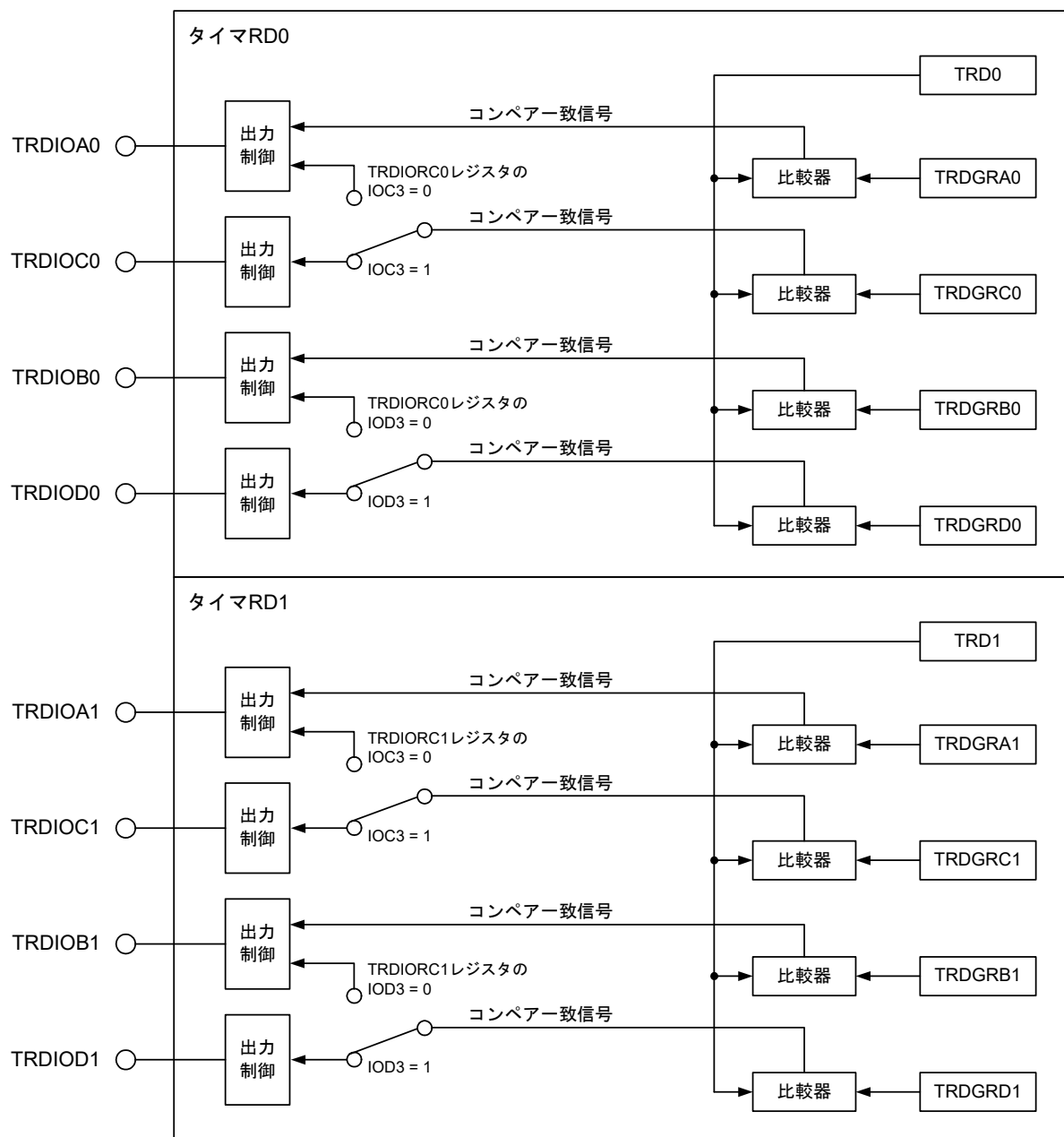
TRDIOCRiレジスタのIOD3 ~ IOD0ビットを1000B (TRDGRDiレジスタはTRDIOBi端子出力制御しない。コンペアー一致による端子出力禁止)

(2) TRDGRCi, TRDGRDi レジスタ (i = 0, 1) の出力端子変更

TRDGRCi レジスタを TRDIOAi 端子の, TRDGRDi レジスタを TRDIOBi 端子の出力制御に使用できます。したがって, 各端子の出力は次のように制御できます。

- TRDIOAi 出力は, TRDGRAi レジスタの値と TRDGRCi レジスタの値の2点で制御
- TRDIOBi 出力は, TRDGRBi レジスタの値と TRDGRDi レジスタの値の2点で制御

図8 - 52 TRDGRCi, TRDGRDi の出力端子変更

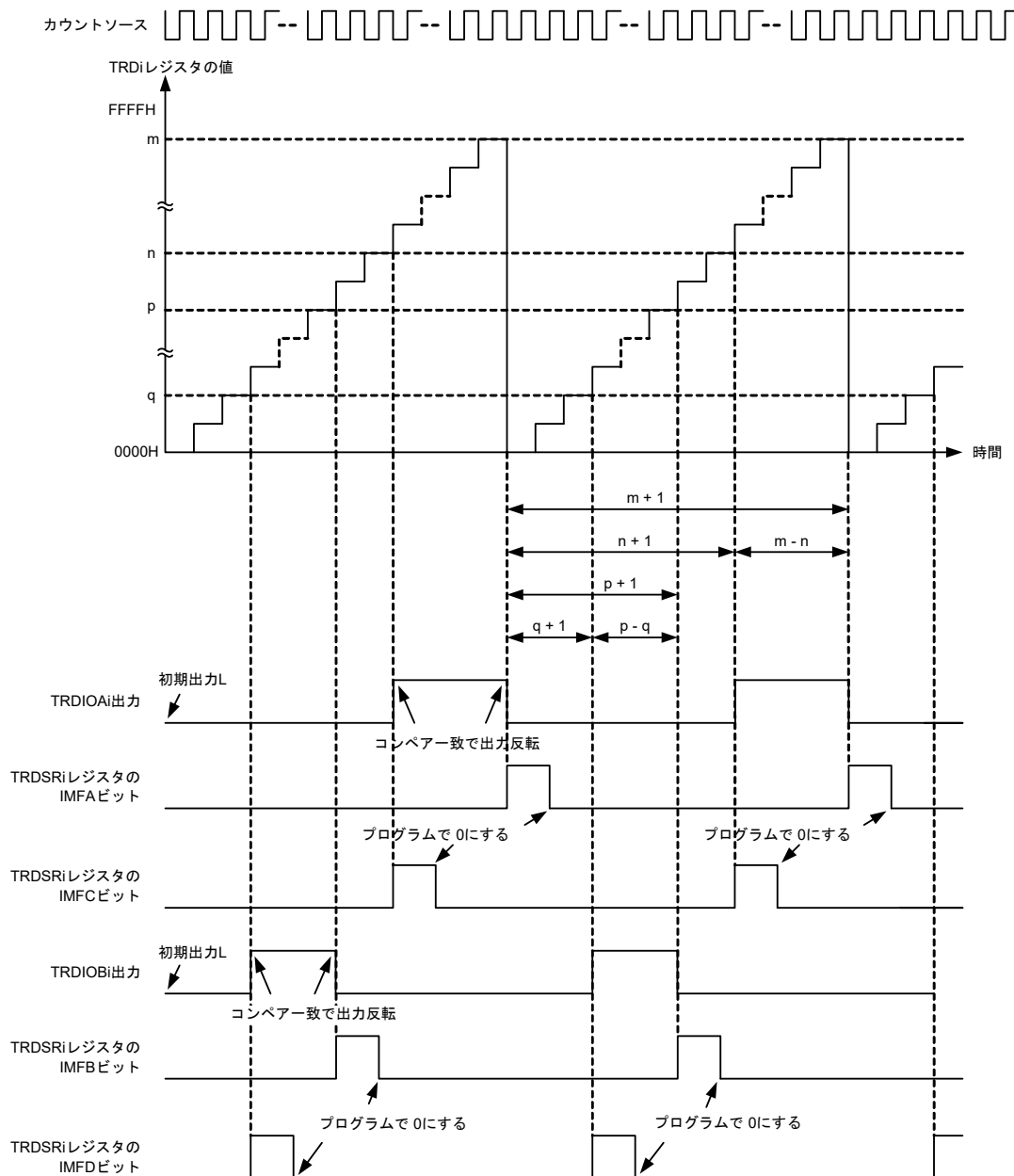


TRDGRCi, TRDGRDi レジスタの出力端子を変更する場合は, 次のようにしてください。

- TRDIORCi レジスタの IOj3 ビット (j = C, D) で 0 (TRDGRji レジスタ出力端子変更) を選択。
- TRDMR レジスタの TRDBFji ビットを 0 (ジェネラルレジスタ) にする。
- TRDGRAi レジスタと TRDGRCi レジスタは違う値を設定。また, TRDGRBi レジスタと TRDGRDi レジスタは違う値を設定。

図8 - 53にTRDGR*Ci*をTRDIOA*i*端子の, TRDGRD*i*をTRDIOB*i*端子の出力制御に使用した場合の動作例を示します。

図8 - 53 TRDGR*Ci*をTRDIOA*i*端子の, TRDGRD*i*をTRDIOB*i*端子の出力制御に使用した場合の動作例



備考

i = 0, 1

m : TRDGRAiレジスタの設定値

n : TRDGRCiレジスタの設定値

p : TRDGRBiレジスタの設定値

q : TRDGRDiレジスタの設定値

上図は次の条件の場合です。

- TRDSTRレジスタのCSELiビットが1 (TRDiはコンパレー一致で停止しない)
- TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRCi, TRDGRDiバッファ動作しない)
- TRDOER1レジスタのEAI, EBiビットが0 (TRDIOAi, TRDIOBi出力許可)
- TRDCRiレジスタのCCLR2~CCLR0ビットが001B (TRDGRAiのコンパレー一致でTRDiを0000Hにする)
- TRDOCRレジスタのTOAi, TOBiビットが0 (コンパレー一致までの初期出力L)
- TRDIORAiレジスタのIOA2~IOA0ビットが011B (TRDGRAiコンパレー一致時, TRDIOAi出力反転)
- TRDIORAiレジスタのIOB2~IOB0ビットが011B (TRDGRBiコンパレー一致時, TRDIOBi出力反転)
- TRDIORCiレジスタのIOC3~IOC0ビットが0011B (TRDGRCiコンパレー一致時, TRDIOAi出力反転)
- TRDIORCiレジスタのIOD3~IOD0ビットが0011B (TRDGRDiコンパレー一致時, TRDIOBi出力反転)

8.5.3 PWM機能

PWM波形を出力する機能です。タイマRDi ($i = 0, 1$)で同周期のPWM波形を最大3本出力できます。

また、タイマRD0とタイマRD1を同期させることによって同周期のPWM波形を最大6本出力できます。TRDIOj端子($j = B, C, D$)とTRDGRjレジスタの組み合わせで機能しますので、端子1本ごとにPWM機能にするか、他のモード、機能にするかを選択できます(ただし、いずれの端子をPWM機能に使用する場合もTRDGRAiレジスタを使用しますので、TRDGRAiレジスタは他のモードに使用できません)。

図8-54にPWM機能のブロック図を、表8-14にPWM機能の仕様を、図8-55、図8-56にPWM機能の動作例を示します。

図8 - 54 PWM機能のブロック図

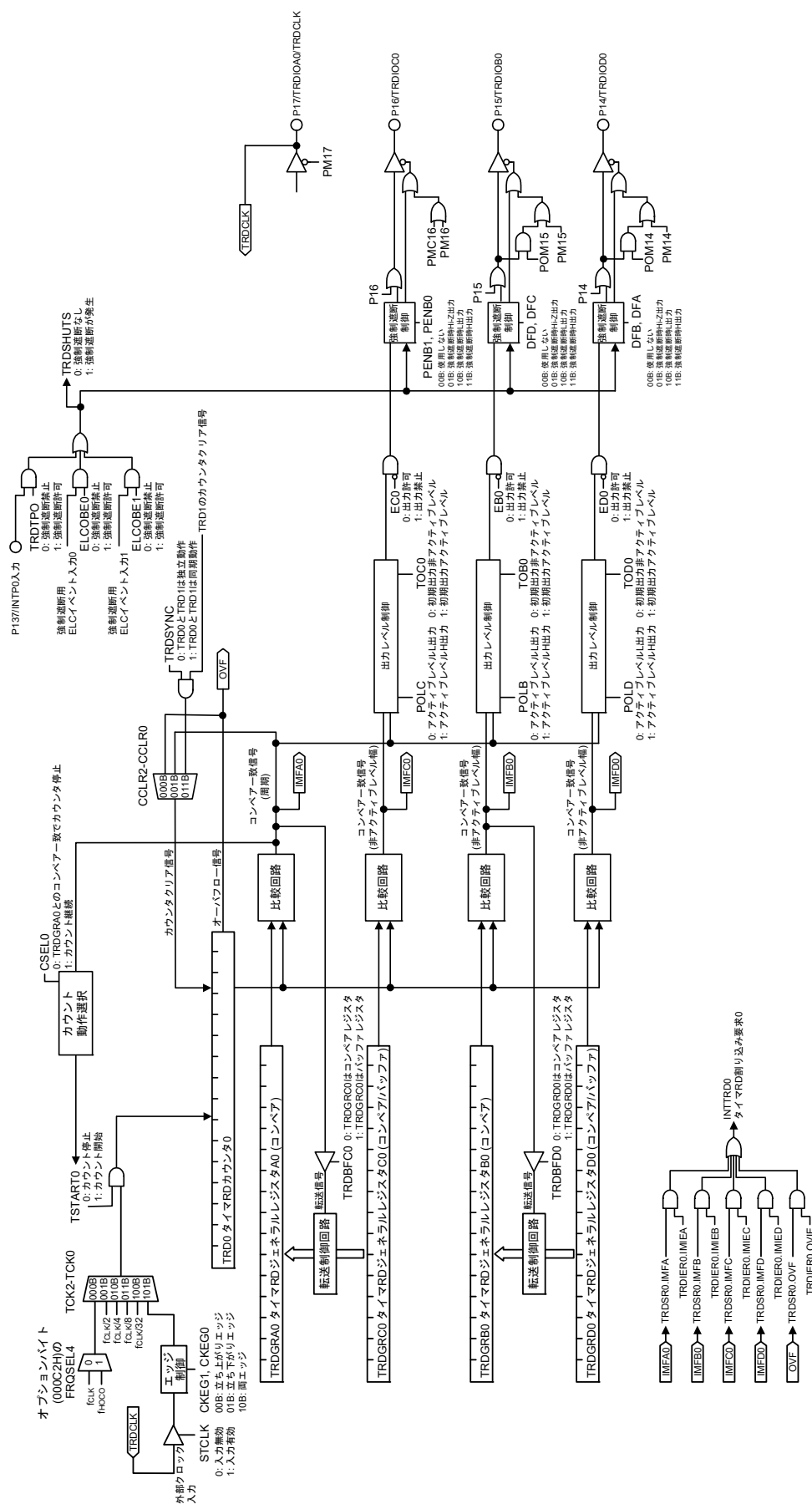
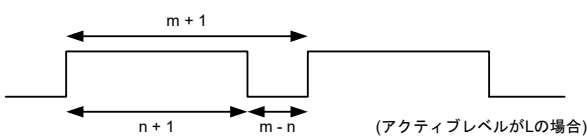


表 8 - 14 PWM機能の仕様

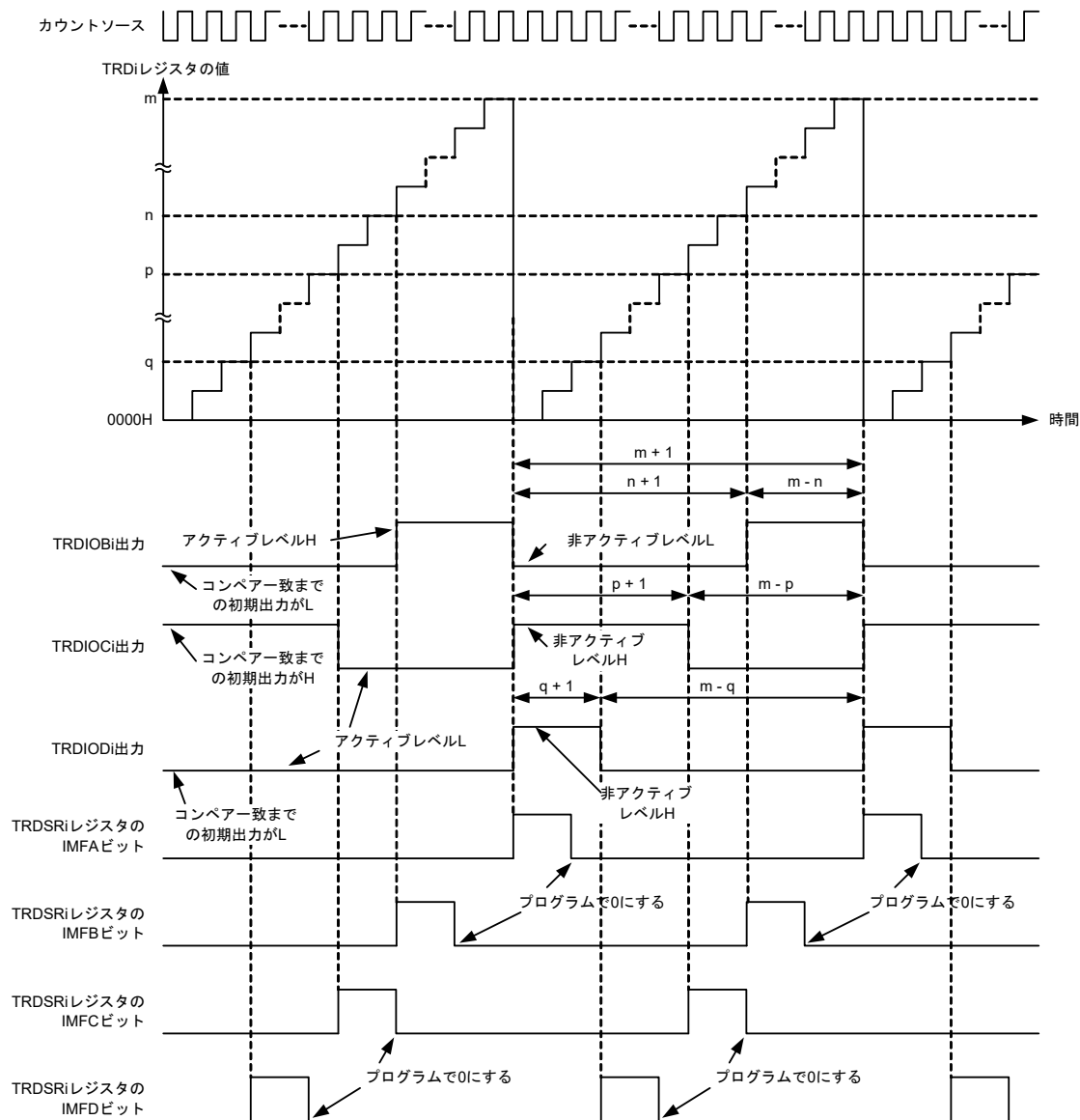
項目	仕様
カウントソース	fHOCO注, fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK 端子に入力された外部信号 (プログラムで有効エッジを選択可能)
カウント動作	アップカウント
PWM 波形	PWM周期: $1/f_k \times (m + 1)$ アクティブレベル幅: $1/f_k \times (m - n)$ アクティブでないレベルの幅: $1/f_k \times (n + 1)$ f_k : カウントソースの周波数 m : TRDGRAi レジスタ設定値 n : TRDGRji レジスタ設定値  (アクティブレベルがLの場合)
カウント開始条件	TRDSTRレジスタのTSTARTiビットへの1 (カウント開始)書き込み
カウント停止条件	- TRDSTRレジスタのCSELiビットが1に設定されているとき, TSTARTiビットへの0 (カウント停止)書き込み PWM出力端子はカウント停止前の出力レベルを保持 - TRDSTRレジスタのCSELiビットが0の場合, TRDGRAiコンペア一致でカウント停止 PWM出力端子はコンペア一致による出力変化後のレベルを保持
割り込み要求発生タイミング	- コンペア一致 (TRDi レジスタと TRDGRhi レジスタの内容が一致) - TRDiオーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK (外部クロック)入力
TRDIOA1端子機能	I/Oポート
TRDIOB0, TRDIOC0, TRDIOD0, TRDIOB1, TRDIOC1, TRDIOD1 端子機能	I/OポートまたはPWM出力 (1端子ごとに選択)
INTP0端子機能	パルス出力強制遮断信号入力 (入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと, カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	- PWM出力端子をタイマRDiで1~3本選択 TRDIOBi, TRDIOCi, TRDIODi端子のいずれか1本または複数本 - アクティブレベルを1端子ごとに選択 - 初期出力レベルを1端子ごとに選択 - 同期動作 (8.4.3 同期動作参照) - バッファ動作 (8.4.2 バッファ動作参照) - パルス出力強制遮断信号入力 (8.4.4 パルス出力強制遮断参照)

注 ユーザ・オプション・バイト (000C2H) のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

備考 i = 0, 1, j = B, C, D, h = A, B, C, D

(1) 動作例

図8 - 55 PWM機能の動作例



備考

 $i = 0, 1$ m : TRDGRAiレジスタの設定値 n : TRDGRBiレジスタの設定値 p : TRDGRCiレジスタの設定値 q : TRDGRDiレジスタの設定値

上図は次の条件の場合です。

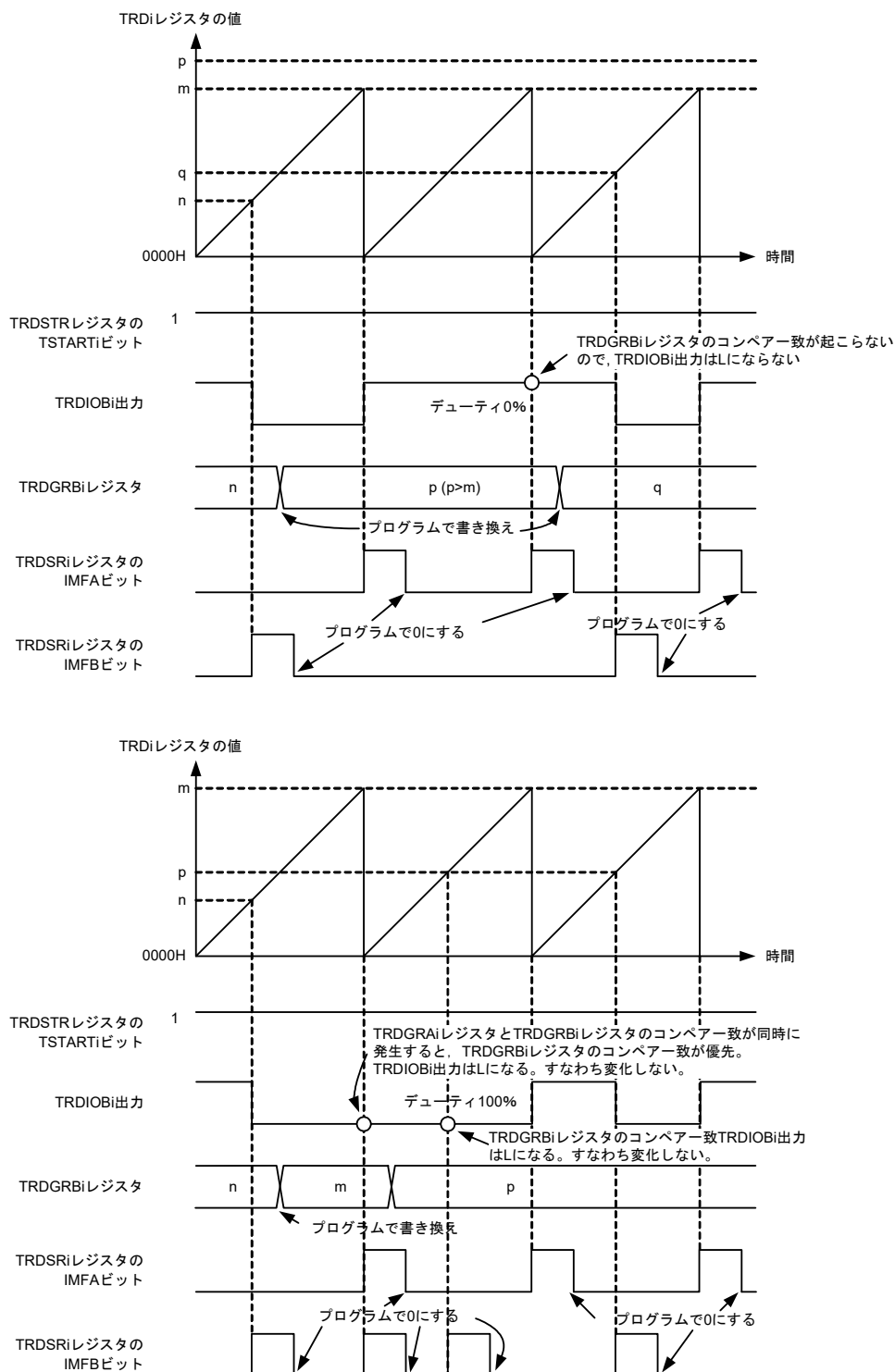
TRDMRレジスタのTRDBFCi, TRDBFDiビットが0 (TRDGRCi, TRDGRDiレジスタはバッファ動作しない)

TRDOER1レジスタのEBi, ECi, EDiビットが0 (TRDIOBi, TRDIOCi, TRDIODi出力許可)

TRDOCRレジスタのTOBi, TOCiビットが0 (非アクティブレベル), TODiビットが1 (アクティブレベル)

TRDPOCRiレジスタのPOLBビットが1 (アクティブレベルH), POLC, POLDビットが0 (アクティブレベルL)

図8 - 56 PWM機能の動作例(デューティ 0%, デューティ 100%)



備考

i = 0, 1

m : TRDGRAiレジスタの設定値

上図は次の条件の場合です。

TRDOER1レジスタのEBiビットが0 (TRDIOBi出力許可)

TRDPOCRiレジスタのPOLBビットが0 (アクティブレベルL)

8.5.4 リセット同期PWMモード

同周期のPWM波形を正相3本, 逆相3本, 計6本出力します(三相, 鋸波変調, 短絡防止時間なし)。

図8 - 57にリセット同期PWMモードのブロック図を, 表8 - 15にリセット同期PWMモードの仕様を, 図8 - 58にリセット同期PWMモードの動作例を示します。

デューティ 0%, 100%のPWM動作例は図8 - 56 PWM機能の動作例(デューティ 0%, デューティ 100%)を参照してください。

図8-57 リセット同期PWMモードのブロック図

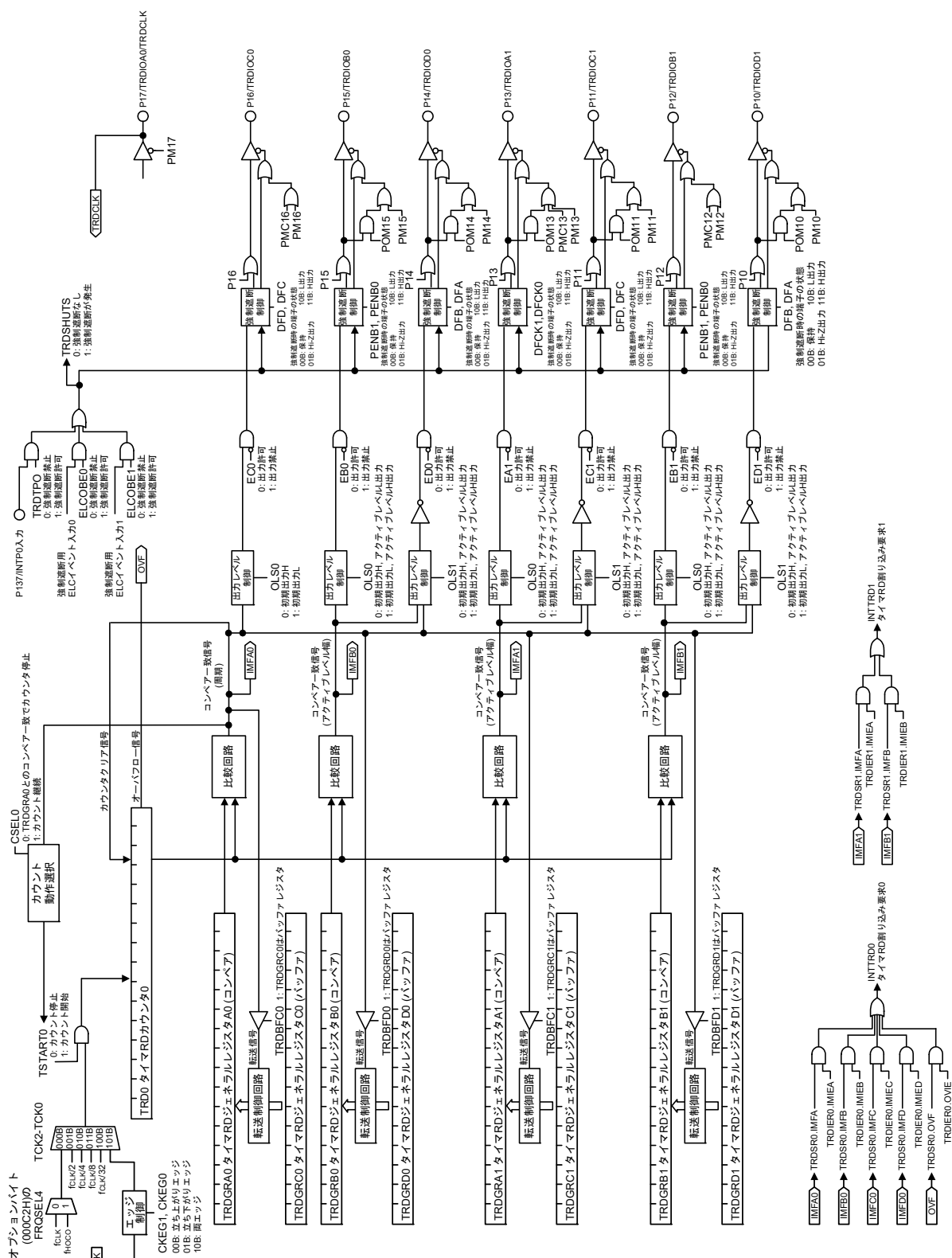


表8-15 リセット同期PWMモードの仕様

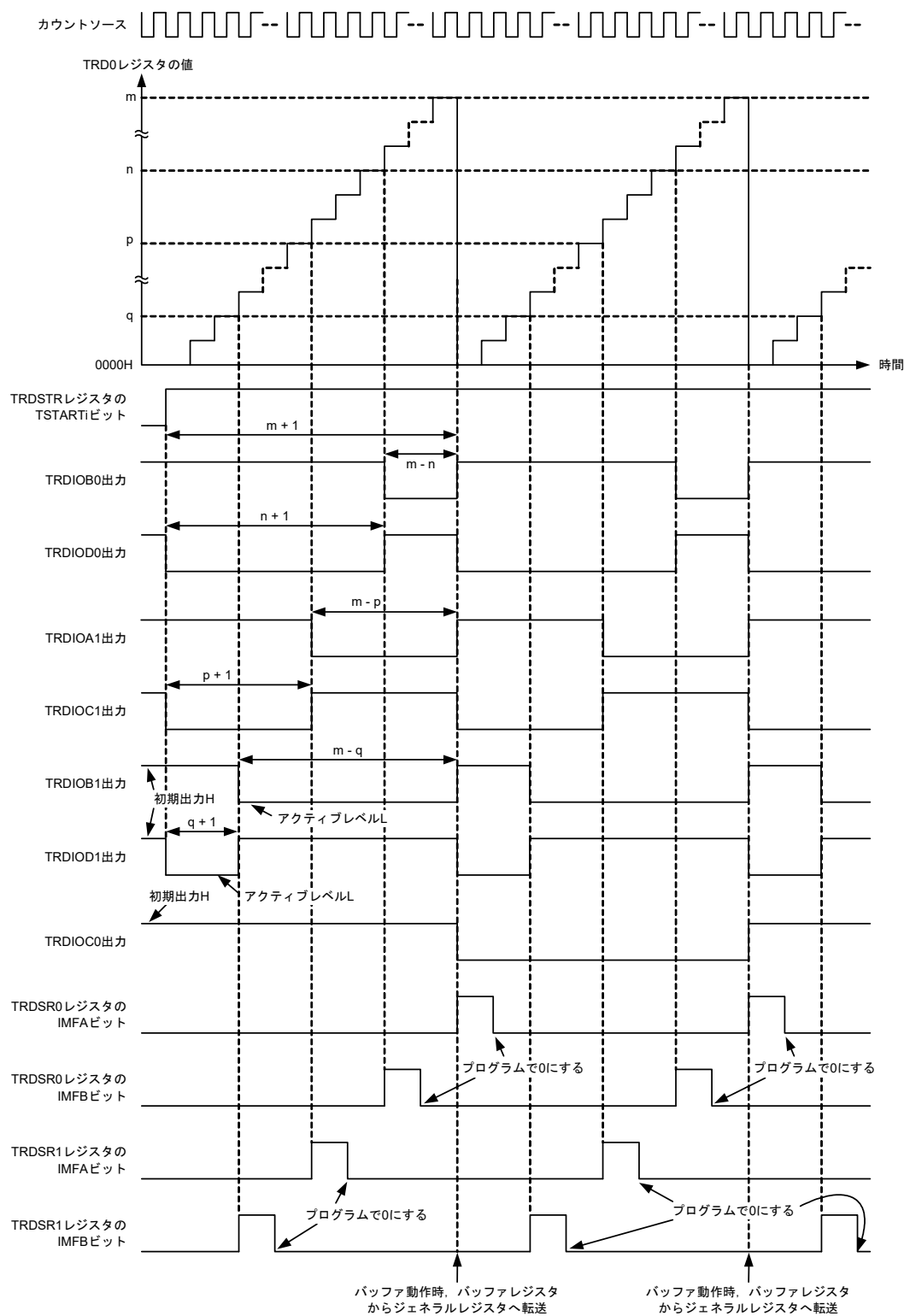
項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能)
カウント動作	TRD0はアップカウント(TRD1は使用しない)
PWM波形	PWM周期: $1/f_k \times (m + 1)$ 正相のアクティブレベル幅: $1/f_k \times (m - n)$ 逆相のアクティブレベル幅: $1/f_k \times (n + 1)$ f_k: カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) (アクティブレベルがLの場合)
カウント開始条件	TRDSTRレジスタのTSTART0ビットへの1(カウント開始)書き込み
カウント停止条件	- TRDSTRレジスタのCSEL0ビットが1に設定されているとき, TSTART0ビットへの0(カウント停止)書き込み PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力 - TRDSTRレジスタのCSEL0ビットが0の場合, TRDGRA0コンパレー一致でカウント停止 PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力
割り込み要求発生タイミング	- コンパレー一致(TRD0レジスタとTRDGRj0, TRDGRA1, TRDGRB1レジスタの内容が一致) - TRD0オーバフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDIOC1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDIOC0端子機能	PWM周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRD0レジスタを読むと, カウント値が読める
タイマの書き込み	TRD0レジスタに書き込める
選択機能	- 正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 - バッファ動作(8.4.2 バッファ動作参照) - パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照)

注 ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に, fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは, 周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

備考 j = A, B, C, D

(1) 動作例

図8-58 リセット同期PWMモードの動作例



備考

 $i = 0 \sim 1$

m: TRDGRA0レジスタの設定値

n: TRDGRB0レジスタの設定値

p: TRDGRA1レジスタの設定値

q: TRDGRB1レジスタの設定値

上図は次の条件の場合です。

TRDFCRレジスタのOLS1、OLS0ビットが0 (初期出力レベルH、アクティブレベルL)

8.5.5 相補PWMモード

同周期のPWM波形を正相3本, 逆相3本, 計6本出力します(三相, 三角波変調, 短絡防止時間あり)。

図8 - 59に相補PWMモードのブロック図を, 表8 - 16に相補PWMモードの仕様を, 図8 - 60に相補PWMモードの出力モデルを, 図8 - 61に相補PWMモードの動作例を示します。

図8-59 相補PWMモードのブロック図

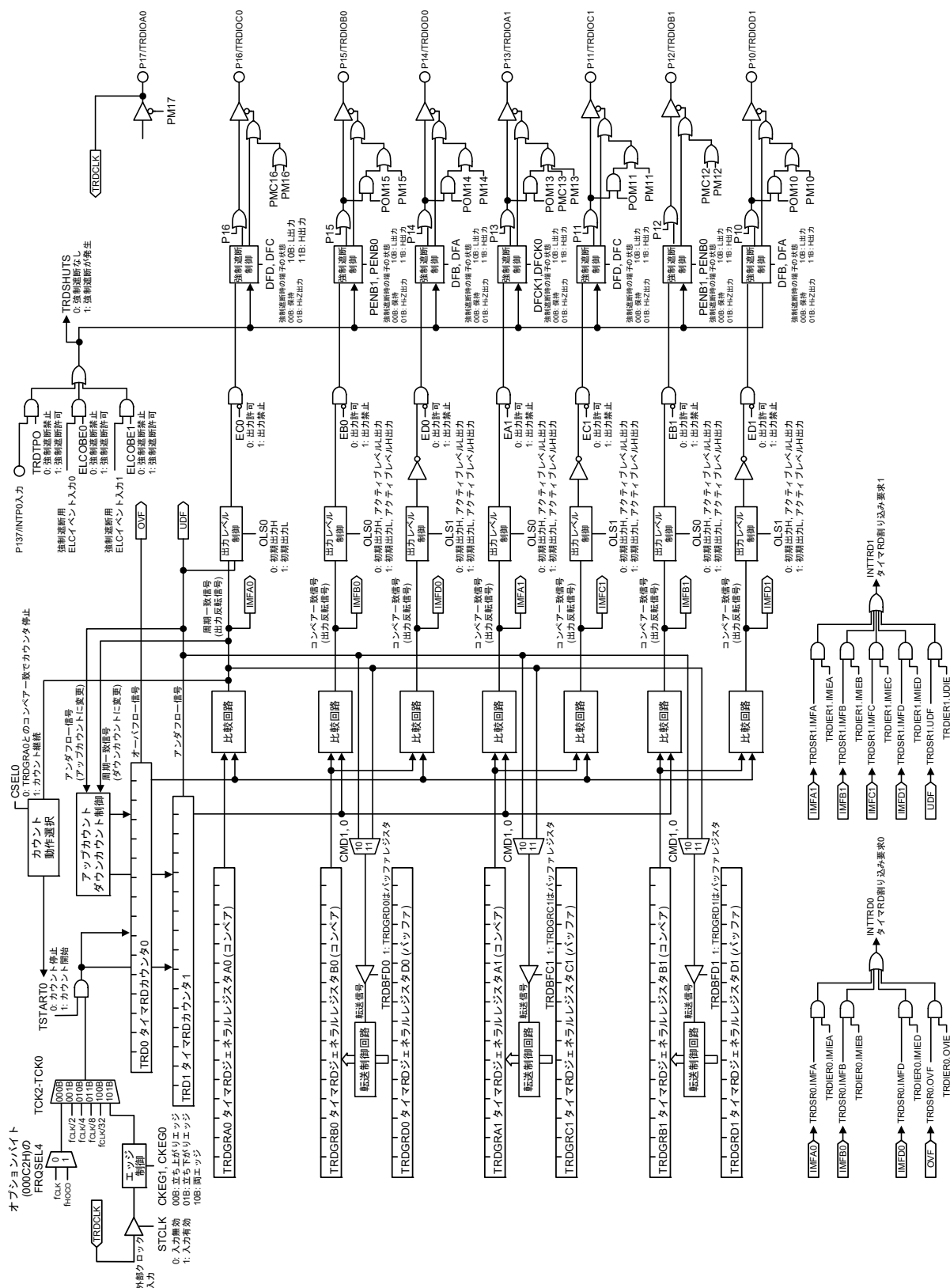


表 8 - 16 相補PWMモードの仕様

項目	仕様
カウントソース	fHOCO ^{注1} , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRDCLK端子に入力された外部信号(プログラムで有効エッジを選択可能) TRDCR0レジスタのTCK0～TCK2ビットと、TRDCR1レジスタのTCK0～TCK2ビットは同じ値(同じカウントソース)にしてください。
カウント動作	アップカウントまたはダウンカウント。 アップカウント中にTRD0レジスタとTRDGRA0レジスタがコンペア一致すると、TRD0, TRD1ともダウンカウントになる。ダウンカウント中にTRD1レジスタが0000HからFFFFHになるとTRD0, TRD1ともアップカウントになる。
PWM波形	PWM周期: $1/f_k \times (m + 2 - p) \times 2$ ^{注2} 短絡防止時間: p 正相のアクティブレベル幅: $1/f_k \times (m - n - p + 1) \times 2$ 逆相のアクティブレベル幅: $1/f_k \times (n + 1 - p) \times 2$ f _k : カウントソースの周波数 m: TRDGRA0レジスタ設定値 n: TRDGRB0レジスタ設定値(PWM出力1) TRDGRA1レジスタ設定値(PWM出力2) TRDGRB1レジスタ設定値(PWM出力3) p: TRD0レジスタ設定値
カウント開始条件	TRDSTRレジスタのTSTART0ビットとTSTART1ビットへの1(カウント開始)書き込み
カウント停止条件	TRDSTRレジスタのCSEL0ビットが1に設定されているときTSTART0ビットとTSTART1ビットへの0(カウント停止)書き込み(PWM出力端子はTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力)
割り込み要求発生タイミング	・コンペア一致(TRDiレジスタとTRDGRjiレジスタの内容が一致) ・TRD1アンダフロー
TRDIOA0端子機能	I/OポートまたはTRDCLK(外部クロック)入力
TRDIOB0端子機能	PWM出力1正相出力
TRDIOD0端子機能	PWM出力1逆相出力
TRDIOA1端子機能	PWM出力2正相出力
TRDI0C1端子機能	PWM出力2逆相出力
TRDIOB1端子機能	PWM出力3正相出力
TRDIOD1端子機能	PWM出力3逆相出力
TRDI0C0端子機能	PWMの1/2周期ごとに出力反転
INTP0端子機能	パルス出力強制遮断信号入力(入力専用ポートまたはINTP0割り込み入力)
タイマの読み出し	TRDiレジスタを読むと、カウント値が読める
タイマの書き込み	TRDiレジスタに書き込める
選択機能	・パルス出力強制遮断信号入力(8.4.4 パルス出力強制遮断参照) ・正相, 逆相のアクティブレベルと初期出力レベルを個々に選択 ・バッファレジスタからの転送タイミング選択

注1. ユーザ・オプション・バイト(000C2H)のFRQSEL4 = 1のときのみfHOCOが選択できます。タイマRDのカウントソースにfHOCOを選択する場合、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1(PER1)のビット4(TRD0EN)をクリアしたあとに変更してください。

注2. カウント開始後、PWM周期は固定です。

備考 i = 0, 1 j = A, B, C, D

(1) 動作例

図8 - 60 相補PWMモードの出力モデル

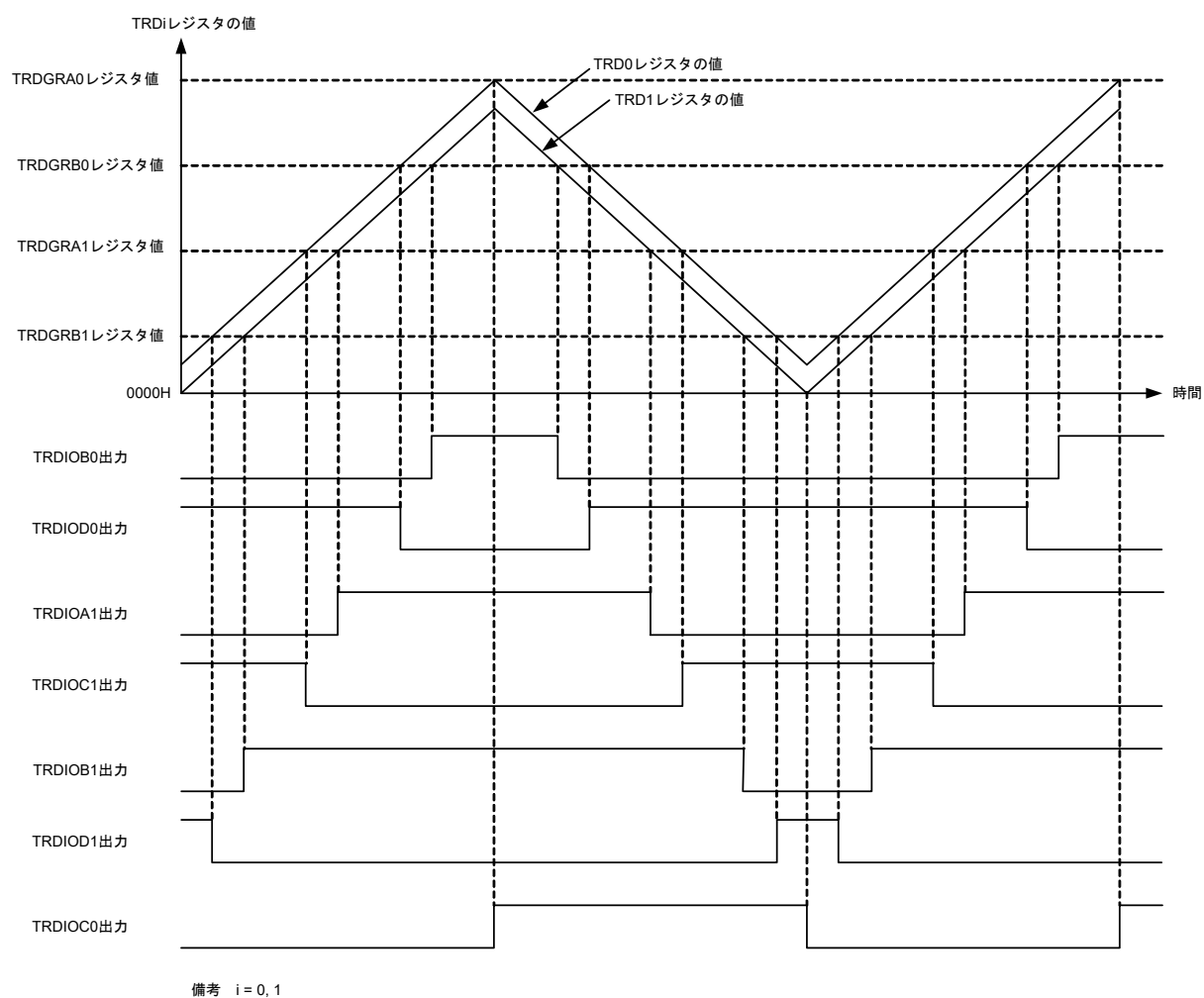
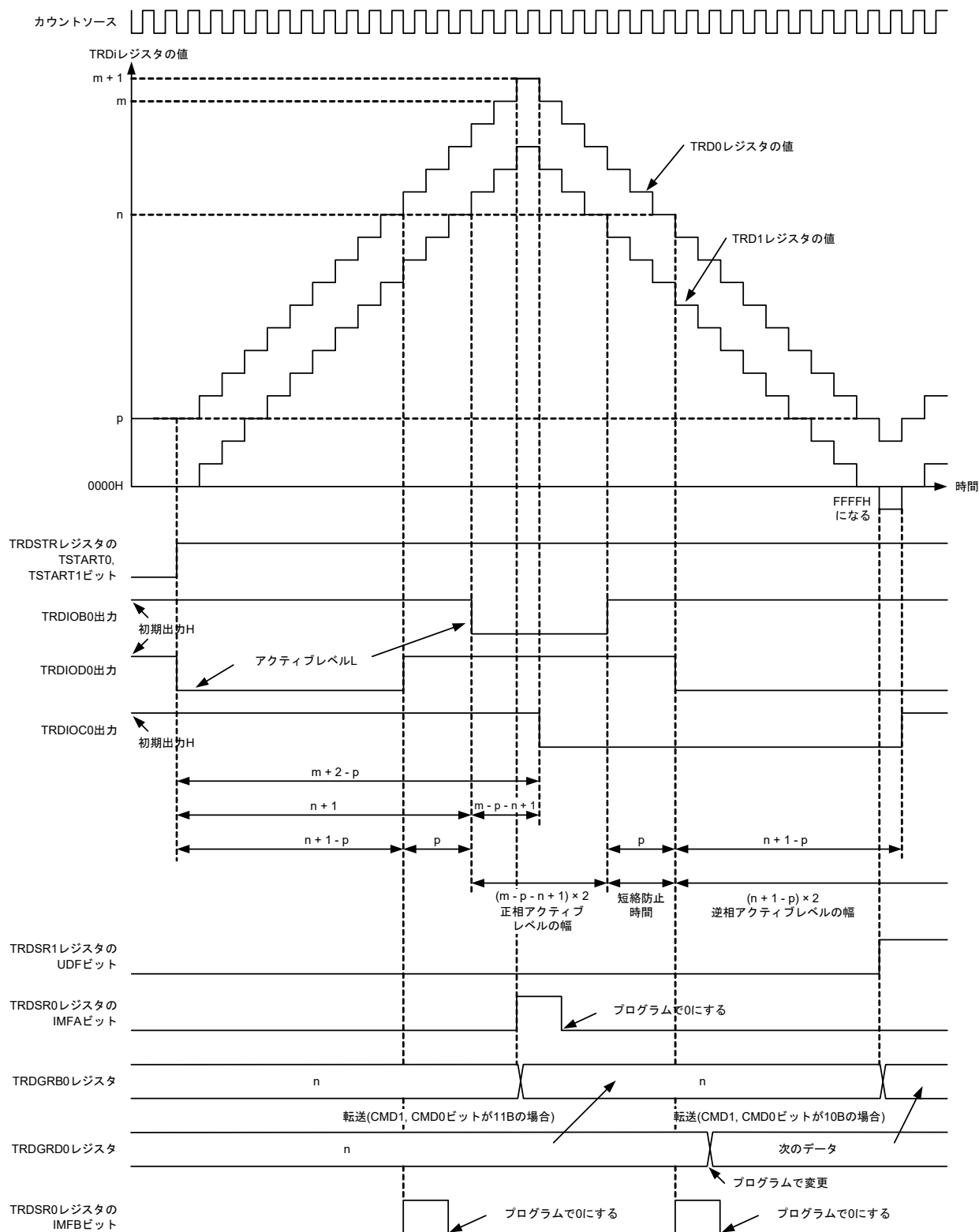


図8 - 61 相補PWMモードの動作例



備考
 CMD0, CMD1: TRDFCRレジスタのビット
 $i = 0, 1$
 m : TRDGRA0レジスタの設定値
 n : TRDGRB0レジスタの設定値
 p : TRD0レジスタの設定値

上図は次の条件の場合です。
 TRDFCRレジスタのOLS1, OLS0ビットが0 (正相, 逆相とも初期出力レベルH, アクティブレベルL)

(2) バッファレジスタからの転送タイミング

- TRDGRD0, TRDGRC1, TRDGRD1 レジスタから TRDGRB0, TRDGRA1, TRDGRB1 レジスタへの転送
TRDFCR レジスタの CMD1, CMD0 ビットが 10B の場合, TRD1 がアンダフローしたときに転送します。
CMD1, CMD0 ビットが 11B の場合, TRD0 と TRDGRA0 レジスタがコンペアー一致したときに転送します。

8.5.6 PWM3 モード

同周期の PWM 波形を 2 本出力します。

図 8 - 62 に PWM3 モードのブロック図を, 表 8 - 17 に PWM3 モードの仕様を, 図 8 - 63 に PWM3 モードの動作例を示します。

図8 - 62 PWM3モードのブロック図

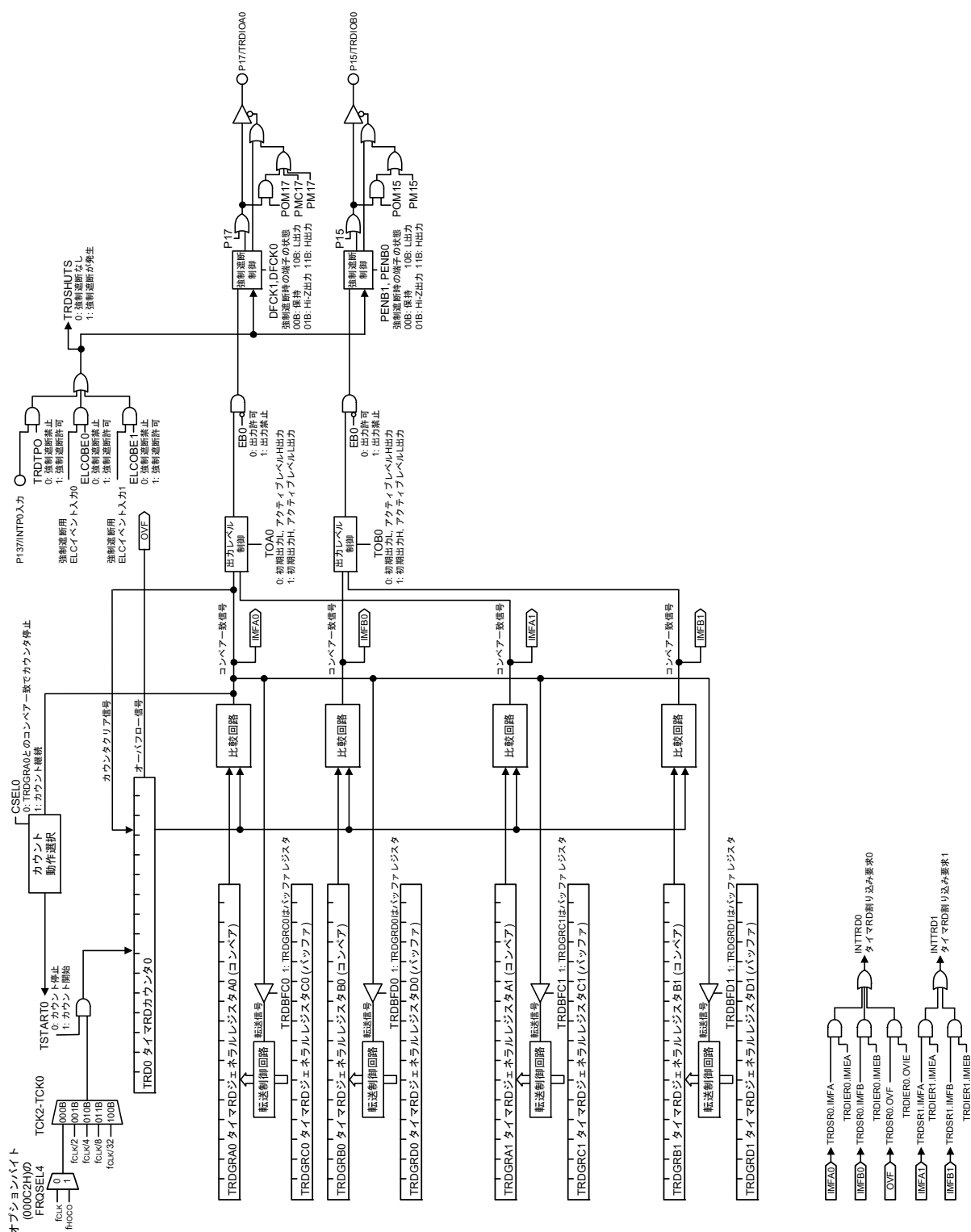
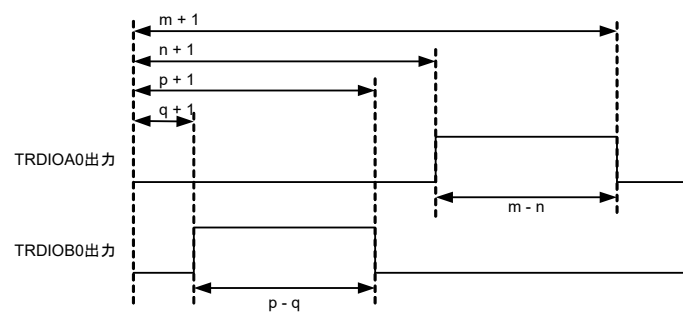


表 8 - 17 PWM3モードの仕様

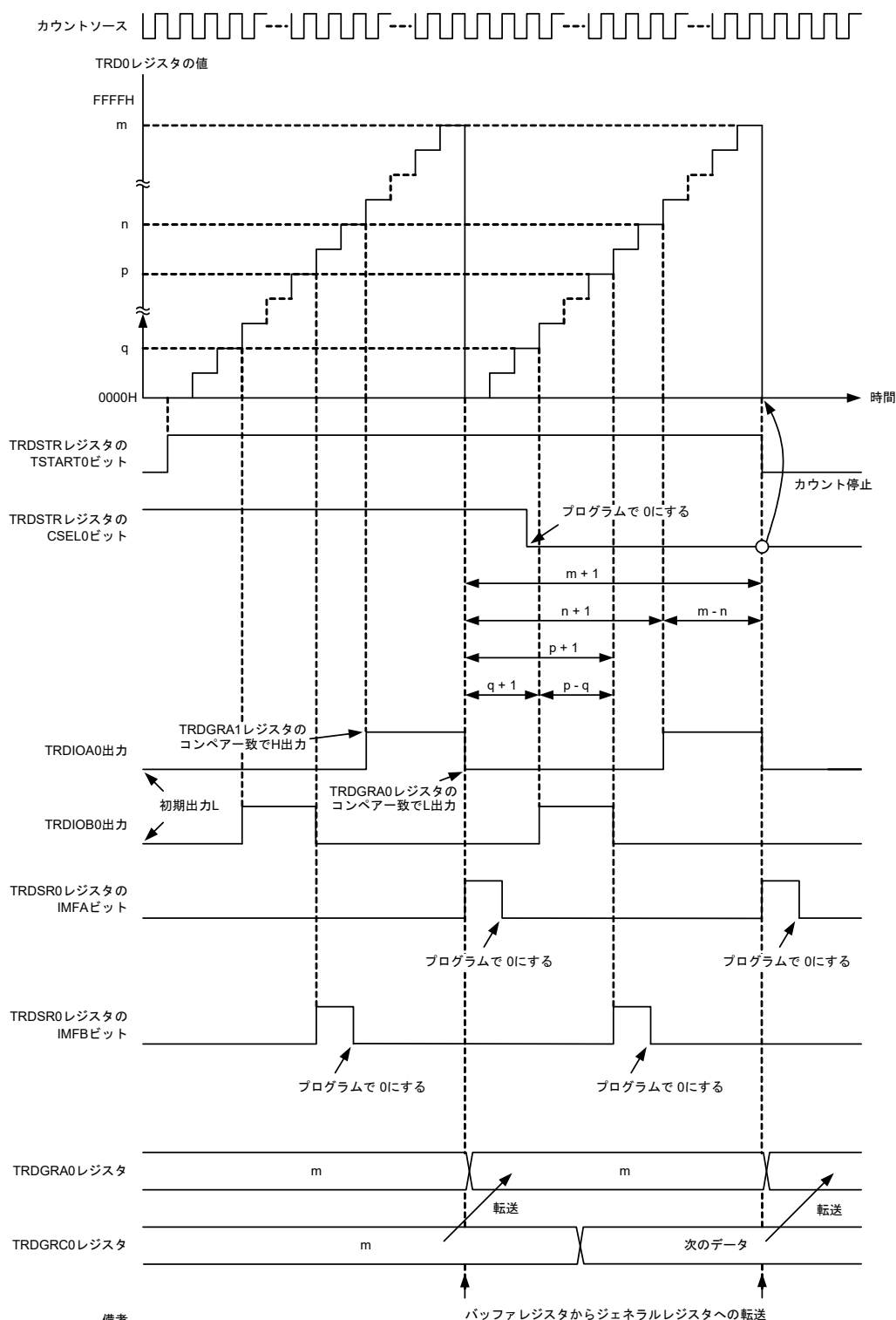
項目	仕様
カウントソース	fHOCO ^注 , fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32
カウント動作	TRD0はアップカウント (TRD1は使用しない)
PWM 波形	PWM周期 : $1/f_k \times (m + 1)$ TRDIOA0出力のアクティブレベル幅 : $1/f_k \times (m - n)$ TRDIOB0出力のアクティブレベル幅 : $1/f_k \times (p - q)$ f_k : カウントソースの周波数 m : TRDGRA0 レジスタ設定値 n : TRDGRA1 レジスタ設定値 p : TRDGRB0 レジスタ設定値 q : TRDGRB1 レジスタ設定値  (アクティブレベルがHの場合)
カウント開始条件	TRDSTR レジスタの TSTART0 ビットへの 1 (カウント開始) 書き込み
カウント停止条件	• TRDSTR レジスタの CSEL0 ビットが 1 に設定されているとき, TSTART0 ビットへの 0 (カウント停止) 書き込み PWM 出力端子はカウント停止前の出力レベルを保持 • TRDSTR レジスタの CSEL0 ビットが 0 の場合, TRDGRA0 コンパレー一致でカウント停止 PWM 出力端子はコンパレー一致による出力変化後のレベルを保持
割り込み要求発生タイミング	• コンパレー一致 (TRDi レジスタと TRDGRji レジスタの内容が一致) • TRD0 オーバフロー
TRDIOA0, TRDIOB0 端子機能	PWM 出力
TRDIOC0, TRDIOD0, TRDIOA1 ~ TRDIOD1 端子機能	I/O ポート
INTP0 端子機能	パルス出力強制遮断信号入力 (入力専用ポートまたは INTP0 割り込み入力)
タイマの読み出し	TRD0 レジスタを読むと, カウント値が読める
タイマの書き込み	TRD0 レジスタに書き込める
選択機能	• パルス出力強制遮断信号入力 (8.4.4 パルス出力強制遮断参照) • アクティブレベルを端子ごとに選択 • バッファ動作 (8.4.2 バッファ動作参照)

注 ユーザ・オプション・バイト (000C2H) の FRQSEL4 = 1 のときのみ fHOCO が選択できます。タイマ RD のカウントソースに fHOCO を選択する場合, 周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をセットする前に, fCLK を fH に設定してください。fCLK を fH 以外のクロックに変更するときは, 周辺イネーブル・レジスタ 1 (PER1) のビット 4 (TRD0EN) をクリアしたあとに変更してください。

備考 i = 0, 1, j = A, B, C, D

(1) 動作例

図8 - 63 PWM3モードの動作例



備考

j = A, B

m : TRDGRA0レジスタの設定値

n : TRDGRA1レジスタの設定値

p : TRDGRB0レジスタの設定値

q : TRDGRB1レジスタの設定値

上図は次の条件の場合です。

- TRDOCRレジスタのTOA0、TOB0ビットがともに0 (初期出力L、TRDGRj1レジスタのコンペアー致でH出力、TRDGRj0レジスタのコンペアー致でL出力)
- TRDMRレジスタのTRDBFC0ビットが1 (TRDGRB0レジスタはTRDGRA0レジスタのバッファレジスタ)

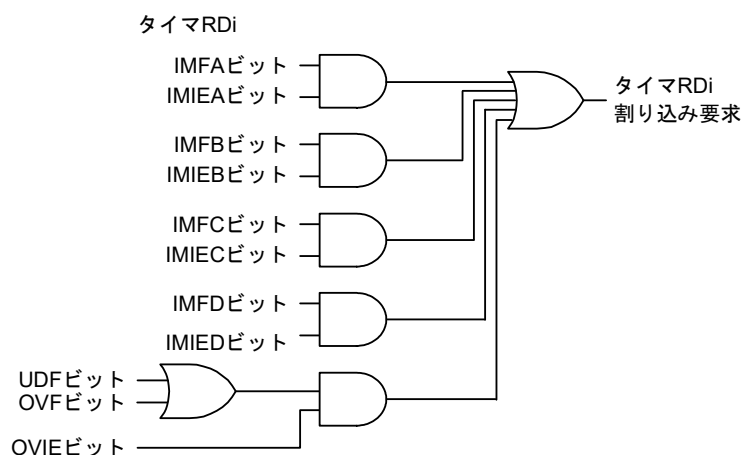
8.6 タイマRD割り込み

タイマRDは、タイマRD0とタイマRD1ごとに6つの要因からタイマRD i ($i = 0 \sim 1$) 割り込み要求を発生します。表8-18にタイマRD割り込み関連レジスタを、図8-64にタイマRD割り込みのブロック図を示します。

表8-18 タイマRD割り込み関連レジスタ

	タイマRD ステータス レジスタ	タイマRD 割り込み許可 レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・ フラグ (レジスタ)	優先順位指定フラグ (レジスタ)
タイマRD0	TRDSR0	TRDIER0	TRDIF0 (IF2H)	TRDMK0 (MK2H)	TRDPR00 (PR02H) TRDPR10 (PR12H)
タイマRD1	TRDSR1	TRDIER1	TRDIF1 (IF2H)	TRDMK1 (MK2H)	TRDPR01 (PR02H) TRDPR11 (PR12H)

図8-64 タイマRD割り込みのブロック図



$i = 0 \sim 1$

IMFA, IMFB, IMFC, IMFD, OVF, UDF : TRDSR i レジスタのビット

IMIEA, IMIEB, IMIEC, IMIED, OVIE : TRDIER i レジスタのビット

タイマRDは、複数の割り込み要求要因から1つの割り込み要因(タイマRD割り込み)を発生するため、タイマRG割り込みを除く他のマスカブル割り込みとは次のような違いがあります。

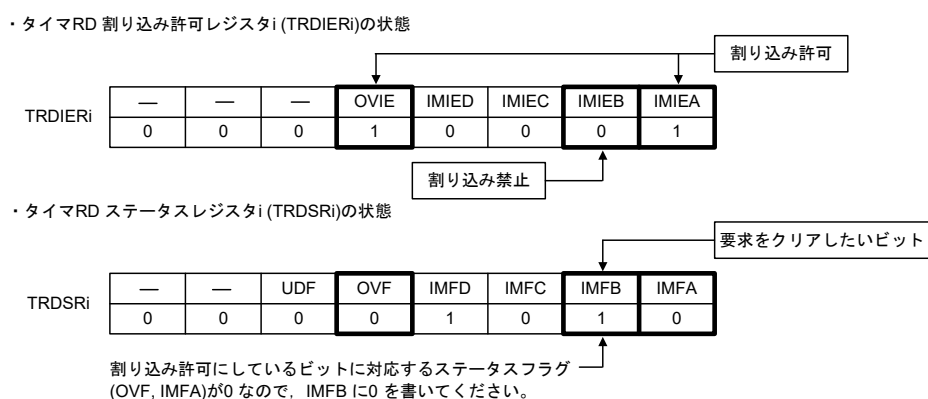
- TRDSR i レジスタのビットが1で、それに対するTRDIER i レジスタのビットが1(割り込み許可)の場合、IF2H レジスタのTRDIF i ビットが1(割り込み要求あり)になります。
- TRDIER i レジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRDSR i レジスタで判定してください。
- TRDSR i レジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。

- ・タイマRD の、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると
き、その割り込みがタイマRD 割り込み許可レジスタ*i* (TRDIER*i*)で割り込み禁止に設定されている場合、下
記(a)～(c)のいずれかの方法で実行してください。

(a) タイマRD 割り込み許可レジスタ*i* (TRDIER*i*)を00H (すべての割り込みを禁止)にした後、当該ステータ
スフラグに0 を書いてください。

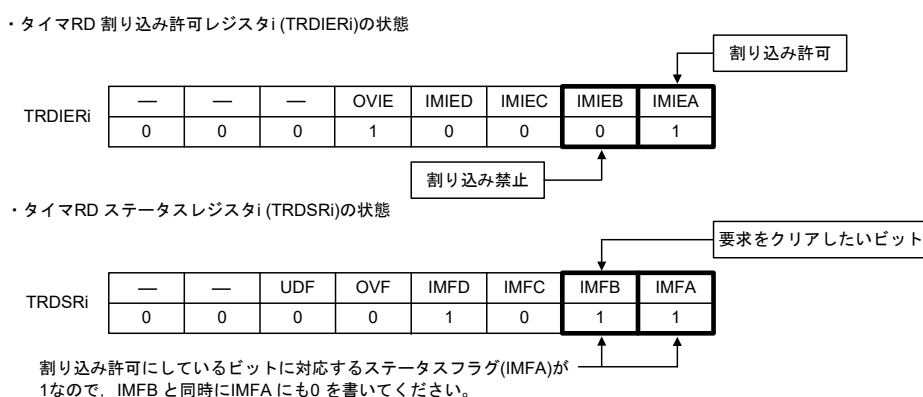
(b) タイマRD 割り込み許可レジスタ*i* (TRDIER*i*)の中に1 (許可)にしているビットがあり、かつ、そのビッ
トで許可した割り込み要因のステータスフラグが0 の場合、当該ステータスフラグに0 を書いてくださ
い。

(例) IMIEA、OVIE が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合



(c) タイマRD 割り込み許可レジスタ*i* (TRDIER*i*)の中に1 (許可)にしているビットがあり、かつ、そのビッ
トで許可した割り込み要因のステータスフラグが1 の場合、このステータスフラグは、当該ステータ
スフラグに0 を書くとき同時に0 を書いてください。

(例) IMIEA が割り込み許可、IMIEB が割り込み禁止の状態、IMFB をクリアする場合



8.7 タイマRD使用上の注意事項

8.7.1 SFR リード/ライトアクセス

タイマRDを設定するには、最初にPER1レジスタのTRD0ENビットを1にしてください。TRD0ENビットが0の場合は、タイマRDの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・レジスタ、ポート・モード・レジスタは除く)。

また、以下のレジスタはカウント動作中に書き換え禁止のレジスタです。

TRDELcレジスタ, TRDMRレジスタ, TRDPMRレジスタ, TRDFCRレジスタ, TRDOER1レジスタ, TRDOER2レジスタのTRDPTOビット, TRDDFiレジスタ, TRDCRiレジスタ, TRDIORAiレジスタ, TRDIORCiレジスタ, TRDPOCRiレジスタ

(1) TRDSTRレジスタ

- TRDSTRレジスタは8ビット・メモリ操作命令で設定できます。
- TRDSTRレジスタのCSELiビット($i = 0, 1$)が0 (TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止)の場合、TSTARTiビットに0 (カウント停止)を書いても、カウントは停止せず、TSTARTiビットも変化しません。
TRDGRAiレジスタとのコンペア一致時のみ、TSTARTiビットは0 (カウント停止)となります。
TRDSTRレジスタを書き換える際に、CSELiビットが0の場合、カウント動作に影響なくCSELiビットを1へ変更したい場合は、TSTARTiビットに0を書いてください。
TSTARTiビットに1を書き込むと、カウンタが停止中の場合カウント開始する恐れがあります。
また、プログラムでカウントを停止させる場合は、CSELiビットを1にした後で、TSTARTiビットに0を書いてください。同時に(1命令で)CSELiビットに1、TSTARTiビットに0を書いてもカウントは停止できません。
- TRDIOj端子($j = A, B, C, D$)をタイマRD出力で使用している場合の、カウント停止時の出力レベルを表8-19に示します。

表8-19 カウント停止時のTRDIOj ($j = A, B, C, D$)端子出力レベル

カウント停止方法	カウント停止時のTRDIOj端子出力
CSELiビットが1のときに、TSTARTiビットに0を書きカウント停止	直前の出力レベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力)
CSELiビットが0のときに、TRDiレジスタとTRDGRAiレジスタのコンペア一致でカウント停止	コンペア一致による出力変化後、そのレベルを保持(タイマRDの相補PWMモード、リセット同期PWMモードではTRDFCRレジスタのOLS0, OLS1ビットで選択した初期出力レベルを出力)

備考 $i = 0, 1, j = A, B, C, D$

(2) TRDDFi レジスタ ($i = 0, 1$)

TRDDFi レジスタのDFCK0, DFCK1 ビットを設定した後、カウント動作を開始してください。

(3) TRDi レジスタ ($i = 0, 1$)

- TRDi レジスタが0000Hになるタイミングと、TRDi レジスタへの書き込むタイミングが重なると、値はレジスタへの書き込みが優先されます。

8.7.2 モードの切り替え

- 動作中にモードを切り替える際は、カウント停止状態(TSTART0ビット, TSTART1ビットを0)にした後、行ってください。
- TSTART0ビット, TSTART1ビットを0から1へ変更する前に、TRDIF0ビット, TRDIF1ビットを0にしてください。詳細は第21章 割り込み機能を参照してください。

8.7.3 カウントソース

- カウントソースを切り替える際は、カウントを停止した後、切り替えてください。

[変更手順]

(1) TRDSTR レジスタのTSTARTi ビット ($i = 0, 1$) を0 (カウント停止) にする

(2) TRDCRi レジスタのTCK0～TCK2 ビットを変更する

- タイマRDのカウントソースにfHOCO (64 MHz, 48 MHz)を選択する場合、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をセットする前に、fCLKをfIHに設定してください。fCLKをfIH以外のクロックに変更するときは、周辺イネーブル・レジスタ1 (PER1)のビット4 (TRD0EN)をクリアしたあとに変更してください。

8.7.4 インพุットキャプチャ機能

- インพุットキャプチャ信号のパルス幅はタイマRDの動作クロックの3サイクル以上にしてください。
- TRDIOj端子($j = A, B, C, D$)にインพุットキャプチャ信号が入力されてから、タイマRDの動作クロック(fCLK)の2～3サイクル後にTRDiレジスタの値をTRDGRjレジスタに転送します(デジタルフィルタなしの場合)。
- インพุットキャプチャモードでは、TRDSTRレジスタのTRDTSTARTiビットが0 (カウント停止)のときも、TRDIORjレジスタのTRDIOj0, TRDIOj1ビットで選択したエッジがTRDIOj端子に入力されると、TRDIOj入力の有効エッジのインพุットキャプチャ割り込み要求が発生します($i = 0, 1 \quad j = A, B, C, D$)。

8.7.5 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順(i = 0, 1)

リセット後, TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子と共用しているI/Oポートは入力ポートとして機能します。

- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定, 初期値設定をする
- (2) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の出力許可にする (TRDOER1 レジスタ)。
- (3) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・レジスタのビットを0にする。
- (4) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードに設定する。
(TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から出力開始)
- (5) カウントを開始する (TSTART0, TSTART1 ビットを1にする)。

- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合, 以下の手順で設定してください。

変更手順

- (1) TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子に対応するポート・モード・レジスタのビットを入力モードに設定する ((TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子から入力開始)。
- (2) インプットキャプチャ機能に設定する。
- (3) カウントを開始する (TSTART0, TSTART1 ビットを1にする)。

- TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子を出力モードから入力モードに切り替える場合, 端子の状態によりインプットキャプチャ動作することがあります。デジタルフィルタを使用しない場合, 動作クロックの2サイクル以上経過した後で, エッジ検出を行います。デジタルフィルタを使用する場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

8.7.6 外部クロック TRDCLK

TRDCLK端子に入力する外部クロックのパルス幅は, タイマRDの動作クロックの3サイクル以上にしてください。

8.7.7 リセット同期PWMモード

- モータ制御に用いる場合は OLS0 = OLS1 で使用してください。
- リセット同期PWMモードに設定するときは, 次の手順で設定してください。

[変更手順]

- (1) TRDSTR レジスタの TSTART0 ビットを0 (カウント停止)にする
- (2) TRDFCR レジスタの CMD1, CMD0 ビットを00B (タイマモード, PWMモード, PWM3 モード)にする
- (3) CMD1, CMD0 ビットを01B (リセット同期PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

8.7.8 相補PWMモード

- ・モータ制御に用いる場合はOLS0 = OLS1で使用してください。
- ・TRDFCRレジスタのCMD0, CMD1ビットを変更するときは、次の手順で変更してください。

[変更手順：相補PWMモードにする場合(再設定含む)、または相補PWMモードでバッファレジスタからジェネラルレジスタへの転送タイミングを変更する場合]

- (1) TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0(カウント停止)にする
- (2) TRDFCRレジスタのCMD1, CMD0ビットを00B(タイマモード, PWMモード, PWM3モード)にする
- (3) CMD1, CMD0ビットを10B, または11B(相補PWMモード)にする
- (4) その他のタイマRD関連レジスタを再設定する

[変更手順：相補PWMモードを止める場合]

- (1) TRDSTRレジスタのTSTART0ビット, TSTART1ビットを両方とも0(カウント停止)にする
- (2) CMD1, CMD0ビットを00B(タイマモード, PWMモード, PWM3モード)にする

- ・動作中にTRDGRA0, TRDGRB0, TRDGRA1, TRDGRB1レジスタに書き込まないでください。

PWM波形を変更する場合は、TRDGRD0, TRDGRC1, TRDGRD1レジスタへ書き込んだ値を、バッファ動作を用いてTRDGRB0, TRDGRA1, TRDGRB1レジスタへ転送してください。

ただし、TRDGRD0, TRDGRC1, TRDGRD1の書き込みの際には、TRDBFD0, TRDBFC1, TRDBFD1ビットを0(ジェネラルレジスタ)にして書き込み、その後TRDBFD0, TRDBFC1, TRDBFD1ビットを1(バッファレジスタ)にできます。

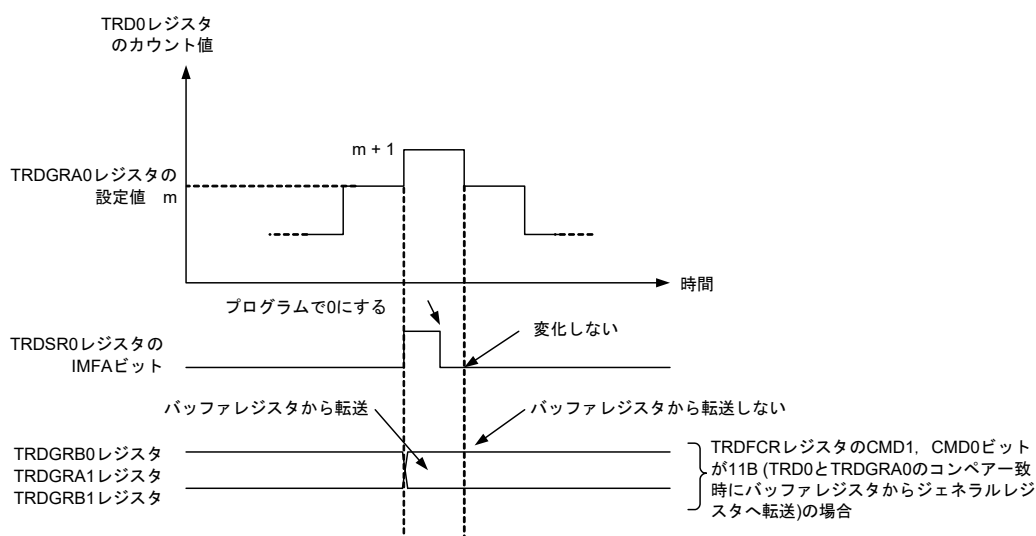
PWM周期は変更できません。

- ・TRDGRA0レジスタに設定した値を m とすると、TRD0レジスタはアップカウントからダウンカウントに変わるとき、 $m-1 \rightarrow m \rightarrow m+1 \rightarrow m \rightarrow m-1$ とカウントします。

$m \rightarrow m+1$ のとき、TRDSRiレジスタのIMFAビットが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが11B(相補PWMモード, TRD0とTRDGRA0レジスタのコンペアー一致でバッファデータ転送)の場合、バッファレジスタ(TRDGRD0, TRDGRC1, TRDGRD1)の内容がジェネラルレジスタ(TRDGRB0, TRDGRA1, TRDGRB1)に転送されます。

$m+1 \rightarrow m \rightarrow m-1$ の動作ではIMFAビットは変化せず、TRDGRA0レジスタ等へのデータ転送もありません。

図8 - 65 相補PWMモード時のTRD0とTRDGRA0レジスタがコンペアー一致したときの動作

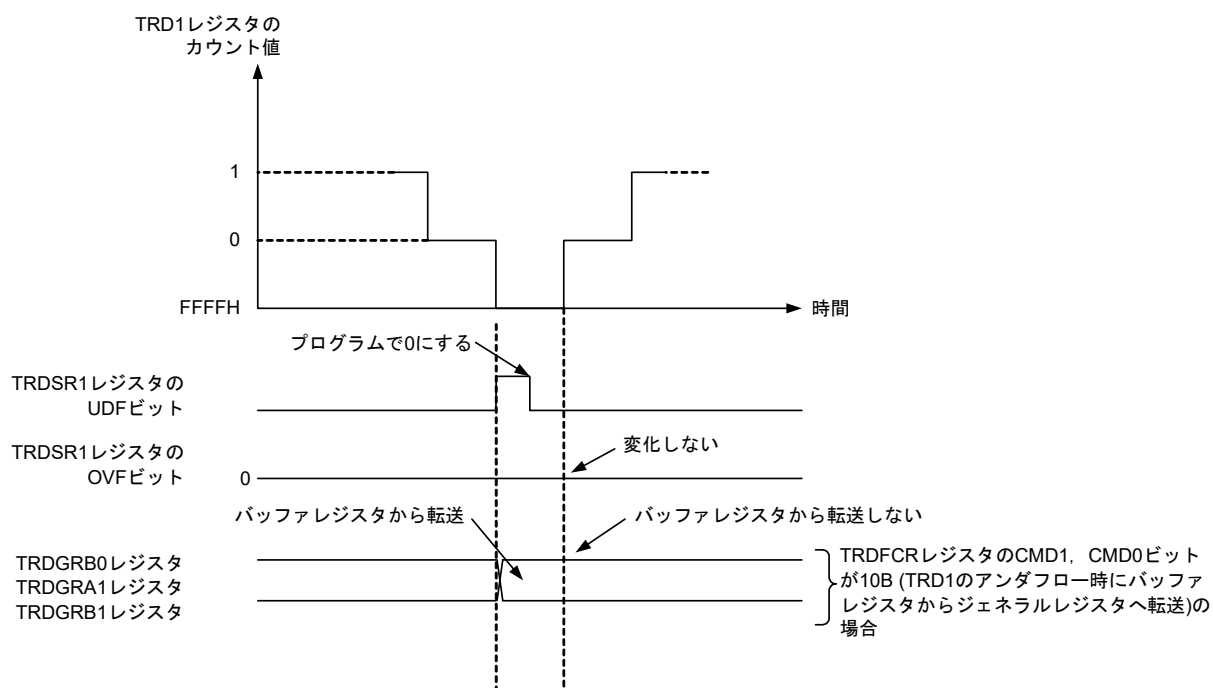


- TRD1はダウンカウントからアップカウントに変わるとき、 $1 \rightarrow 0 \rightarrow \text{FFFFH} \rightarrow 0 \rightarrow 1$ とカウントします。

$1 \rightarrow 0 \rightarrow \text{FFFFH}$ の動作によって、TRDSR_iレジスタのUDFビットが1になります。また、TRDFCRレジスタのCMD1, CMD0ビットが10B (相補PWMモード, TRD1のアンダフローでバッファデータ転送)の場合、バッファレジスタ (TRDGRD0, TRDGRC1, TRDGRD1)の内容がジェネラルレジスタ (TRDGRB0, TRDGRA1, TRDGRB1)に転送されます。

$\text{FFFFH} \rightarrow 0 \rightarrow 1$ の動作ではTRDGRB0レジスタ等へのデータ転送はありません。また、このとき、TRDSR_iレジスタのOVFビットは変化しません。

図8 - 66 相補PWMモード TRD1がアンダフローしたときの動作



- ・バッファレジスタからジェネラルレジスタへのデータ転送タイミングは、TRDFCRレジスタのCMD0, CMD1ビットで選択してください。ただし、デューティ 0%の場合およびデューティ 100%の場合、CMD0, CMD1ビットの値に関係なく、以下に示すタイミングで転送します。

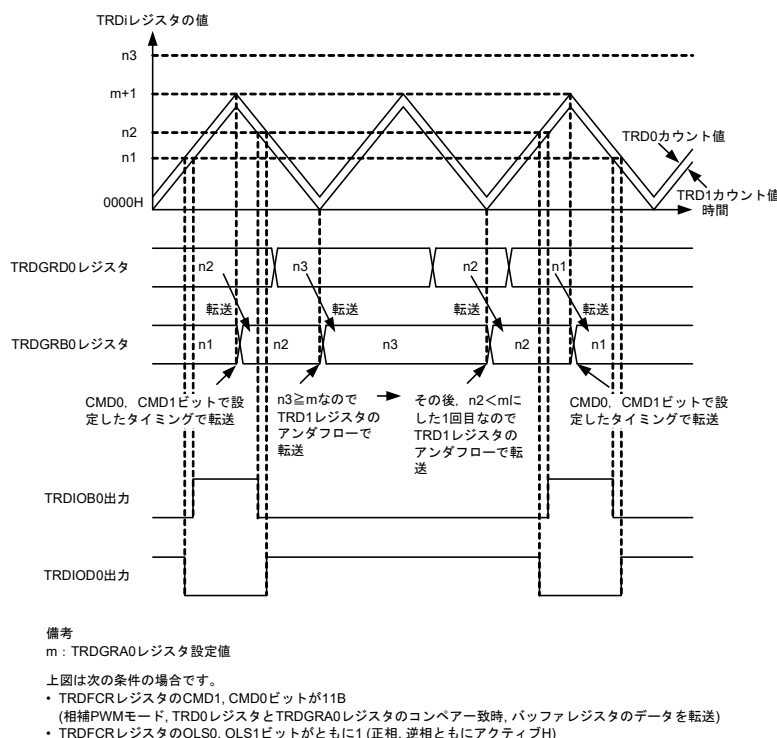
バッファレジスタの値 $\geq$ TRDGRA0レジスタの値の場合(デューティ 0%)

TRD1レジスタのアンダフローで転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD1レジスタがアンダフローしたとき、ジェネラルレジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。

ただし、バッファレジスタの初期値 FFFFH のままデューティ 0% の波形を生成することはできません。デューティ 0% の波形を生成したい場合、バッファレジスタへの書き込みによりバッファレジスタの値 $\geq$ TRDGRA0としてください。

図8 - 67 相補PWMモード時のバッファレジスタの値 $\geq$ TRDGRA0レジスタ値の場合の動作例



バッファレジスタにTRDGRA0レジスタ値以上の値を書き込むと、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ 100%出力、逆相デューティ 0%の出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0レジスタ設定値以上かつ (TRDGRA0設定値 - TRD0レジスタ設定値) 以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力された後は、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。

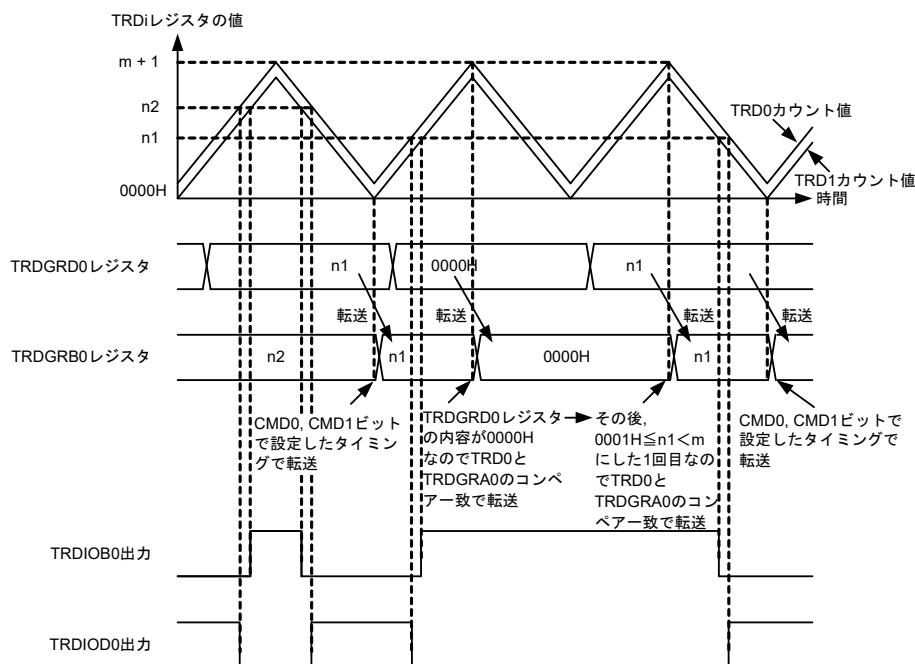
ただし、バッファレジスタの初期値“FFFFH”を用いて正相デューティ 100%出力、逆相デューティ 0%出力を設定することはできません。また、正相デューティ 100%出力、逆相デューティ 0%出力状態から正相デューティ 0%出力、逆相デューティ 100%出力への直接変更もできません。

バッファレジスタの値が0000Hの場合(デューティ 100%)

TRD0とTRDGRA0レジスタのコンペアー一致で転送します。

その後、0001H以上かつTRDGRA0レジスタの値より小さい値をバッファレジスタに設定すると、設定後1回目にTRD0とTRDGRA0レジスタがコンペアー一致したとき、ジェネラルレジスタへ転送します。それ以降はCMD0, CMD1ビットで選択したタイミングで転送します。

図8 - 68 相補PWMモード時のバッファレジスタの値が0000Hの場合の動作例



備考

m : TRDGRA0レジスタ設定値

上図は次の条件の場合です。

- TRDFCRレジスタのCMD1, CMD0ビットが10B (相補PWMモード, TRD1レジスタのアンダフローで、バッファレジスタのデータを転送)
- TRDFCRレジスタのOLS0, OLS1ビットがともに1 (正相, 逆相ともにアクティブH)

バッファレジスタに0000Hの値を書き込むと、CMD0ビットの設定にかかわらず、TRD0レジスタとTRDGRA0レジスタのコンペアー一致でバッファレジスタの値がジェネラルレジスタへ転送され、正相デューティ 0% 出力、逆相デューティ 100%出力レベルに固定されます。

出力レベル固定を解除する場合は、バッファレジスタにTRD0レジスタ設定値以上かつ (TRDGRA0 設定値 - TRD0レジスタ設定値) 以下をバッファレジスタに書き込んでください。バッファレジスタに書き込み後、CMD0ビットの設定にかかわらず、TRD1カウンタのアンダフローでバッファレジスタの値がジェネラルレジスタへ転送されPWM波形が出力されます。PWM波形が出力された後は、CMD0ビットの設定したタイミングでバッファレジスタの値がジェネラルレジスタへ転送されます。

正相デューティ 0% 出力、逆相デューティ 100% 出力設定から正相デューティ 100% 出力、逆相デューティ 0% 出力への直接変更はできません。

第9章 タイマRG

9.1 タイマRGの機能

タイマRGは、次の3種類のモードを持ちます。

- タイマモード：
 - インพุットキャプチャ機能 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり/立ち下がりの両エッジでカウント
 - アウトプットコンペア機能 L出力/H出力/トグル出力
- PWMモード：任意デューティのPWM出力が可能
- 位相計数モード：2相エンコーダのカウント数の自動計測が可能

9.2 タイマRGの構成

図9-1にタイマRGのブロック図を、表9-1にタイマRGの端子構成を示します。

図9-1 タイマRGのブロック図

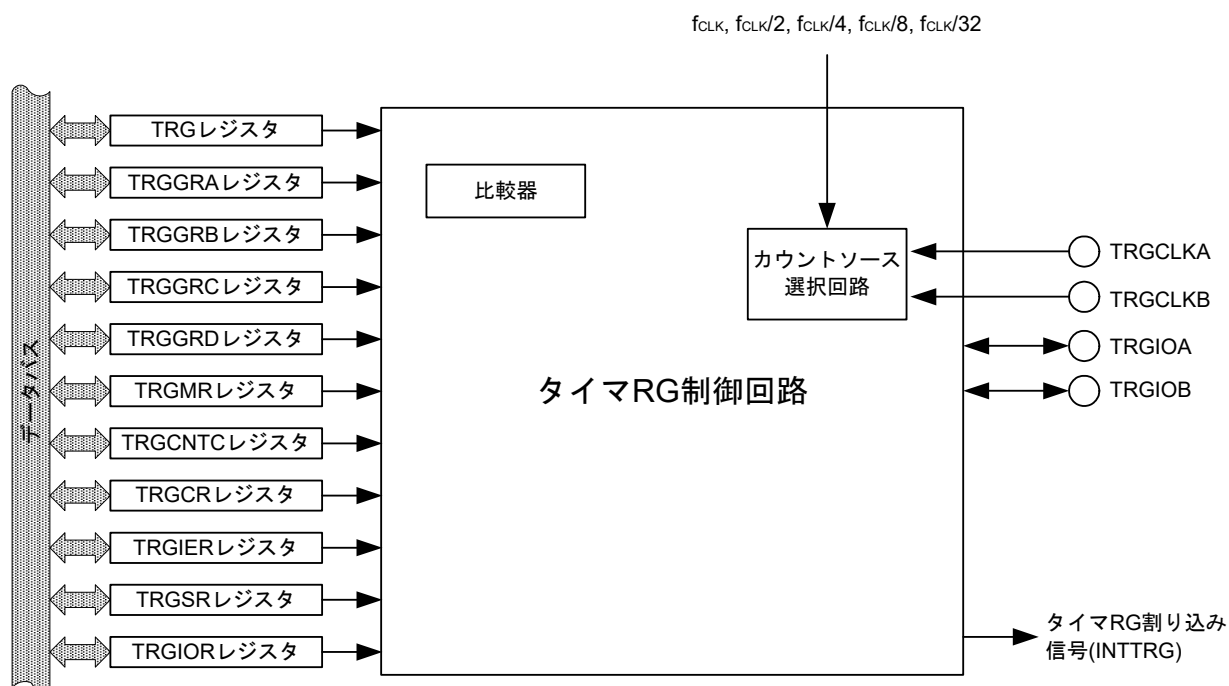


表9-1 タイマRGの端子構成

端子名	兼用しているポート名	入出力	機能
TRGCLKA	P00	入力	- 位相計数モード時 A相入力 - 位相計数モード時以外 外部クロックA入力
TRGCLKB	P01	入力	- 位相計数モード時 B相入力 - 位相計数モード時以外 外部クロックB入力
TRGIOA	P50	入出力	- タイマモード(アウトプットコンペア機能)時 TRGGRAアウトプットコンペア出力 - タイマモード(インプットキャプチャ機能)時 TRGGRAインプットキャプチャ入力 - PWMモード時 PWM出力
TRGIOB	P51	入出力	- タイマモード(アウトプットコンペア機能)時 TRGGRBアウトプットコンペア出力 - タイマモード(インプットキャプチャ機能)時 TRGGRBインプットキャプチャ入力

9.3 タイマRGを制御するレジスタ

表9-2にタイマRGを制御するレジスタを示します。

表9-2 タイマRGを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
タイマRGモードレジスタ	TRGMR
タイマRGカウント制御レジスタ	TRGCNTC
タイマRG制御レジスタ	TRGCR
タイマRG割り込み許可レジスタ	TRGIER
タイマRGステータスレジスタ	TRGSR
タイマRG I/O制御レジスタ	TRGIOR
タイマRGカウンタ	TRG
タイマRGジェネラルレジスタA	TRGGRA
タイマRGジェネラルレジスタB	TRGGRB
タイマRGジェネラルレジスタC	TRGGRC
タイマRGジェネラルレジスタD	TRGGRD
ポート・レジスタ0	P0
ポート・レジスタ5	P5
ポート・モード・レジスタ0	PM0
ポート・モード・レジスタ5	PM5

9.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマRGを使用する場合は、必ずビット6 (TRGEN) を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN注	TRGEN	CMPEN注	TRD0EN	DTCEN	0	0	TRJ0EN

TRGEN	タイマRGの入カクロック供給の制御
0	入カクロック供給停止 ・タイマRGで使用するSFRへのライト不可 ・タイマRGはリセット状態
1	入カクロック供給 ・タイマRGで使用するSFRへのリード／ライト可

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

- 注意1. タイマRGの設定をする際には、必ず最初にTRGEN = 1の設定を行ってください。TRGEN = 0の場合は、タイマRGの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ0, 5 (PM0, PM5), ポート・レジスタ0, 5 (P0, P5)は除く)。
- 注意2. 次のビットには必ず“0”を設定してください。
- コード・フラッシュ・メモリが64 KB以下の製品 : ビット1, 2, 5, 7
- コード・フラッシュ・メモリが96 KB以上の製 : ビット1, 2

9.3.2 タイマRGモードレジスタ (TRGMR)

図9-3 タイマRGモードレジスタ (TRGMR)のフォーマット

アドレス : F0250H リセット時 : 00H R/W

略号

7

6

5

4

3

2

1

0

TRGMR

TRGSTART

TRGELCICE

TRGDFCK1

TRGDFCK0

TRGDFOB

TRGDFA

TRGMDF

TRGPWM

TRGSTART

TRG カウント開始

0

カウント停止, PWM出力信号 (TRGIOA端子) を初期化 (PWMモード時)

1

カウント開始

TRGELCICE

ELCインプットキャプチャ要求選択注1, 2

0

外部入力信号B/デジタルフィルタ通過信号Bを選択

1

ELCからのイベント入力 (インプットキャプチャ) を選択

TRGDFCK1

TRGDFCK0

デジタルフィルタ機能で使用するクロック選択注1

0

0

fCLK/32

0

1

fCLK/8

1

0

fCLK

1

1

TRGCRレジスタのTRGTCK0～TRGTCK2ビットで選択したクロック

TRGDFOB

TRGIOB端子のデジタルフィルタ機能選択

0

デジタルフィルタ機能なし

1

デジタルフィルタ機能あり

デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

TRGDFA

TRGIOA端子のデジタルフィルタ機能選択

0

デジタルフィルタ機能なし

1

デジタルフィルタ機能あり

デジタルフィルタ機能ありの場合、最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

TRGMDF

位相計数モード選択

0

アップカウント

1

位相計数モード

TRGMDFビットが0のとき、カウンタはTRGCRレジスタのTRGTCK0～TRGTCK2ビットで設定したカウントソースをカウントします。
TRGMDFビットが1のとき、カウンタは、表9 - 15 TRGレジスタの加算/減算条件に示すTRGCLKj端子 (j = A, B) からの入力信号の位相をカウントします。

TRGPWM

PWMモード選択

0

タイマモード

1

PWMモード

注1. TRGSTARTビットが0(カウンタ停止)のとき、このビットを設定してください。

注2. ELCからのイベント入力(インプットキャプチャ)を有効にしたい場合は、TRGIORレジスタのTRGIOB2 = 1, TRGIOB1, TRGIOB0 = 00B(立ち上がりエッジ)に設定してください。

9.3.3 タイマRGカウント制御レジスタ (TRGCNTC)

TRGCNTCレジスタは位相計数モードで使します。位相計数モードのカウント条件を設定します。

図9-4 タイマRGカウント制御レジスタ (TRGCNTC)のフォーマット

アドレス : F0251H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGCNTC	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
	CNTEN7	カウント許可7						
	0	無効						
	1	アップカウント TRGCLKA入力にLレベルで、TRGCLKB入力の立ち上がりエッジのとき						
	CNTEN6	カウント許可6						
	0	無効						
	1	アップカウント TRGCLKB入力にHレベルで、TRGCLKA入力の立ち上がりエッジのとき						
	CNTEN5	カウント許可5						
	0	無効						
	1	アップカウント TRGCLKA入力にHレベルで、TRGCLKB入力の立ち下がりエッジのとき						
	CNTEN4	カウント許可4						
	0	無効						
	1	アップカウント TRGCLKB入力にLレベルで、TRGCLKA入力の立ち下がりエッジのとき						
	CNTEN3	カウント許可3						
	0	無効						
	1	ダウンカウント TRGCLKB入力にHレベルで、TRGCLKA入力の立ち下がりエッジのとき						
	CNTEN2	カウント許可2						
	0	無効						
	1	ダウンカウント TRGCLKA入力にLレベルで、TRGCLKB入力の立ち下がりエッジのとき						
	CNTEN1	カウント許可1						
	0	無効						
	1	ダウンカウント TRGCLKB入力にLレベルで、TRGCLKA入力の立ち上がりエッジのとき						
	CNTEN0	カウント許可0						
	0	無効						
	1	ダウンカウント TRGCLKA入力にHレベルで、TRGCLKB入力の立ち上がりエッジのとき						

9.3.4 タイマRG制御レジスタ (TRGCR)

TRGCR レジスタに書く場合は、TRGMR レジスタの TRGSTART ビットが0 (カウント停止) の状態で、行ってください。

図9 - 5 タイマRG制御レジスタ (TRGCR) のフォーマット

アドレス : F0252H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGCR	0	TRGCCLR1	TRGCCLR0	TRGCKEG1	TRGCKEG0	TRGTCK2	TRGTCK1	TRGTCK0
TRGCCLR1		TRGCCLR0	TRG レジスタクリア要因選択					
0		0	クリア禁止					
0		1	TRGGRA のインプットキャプチャ / コンペア一致でクリア					
1		0	TRGGRB のインプットキャプチャ / コンペア一致でクリア					
上記以外			設定禁止					
TRGCKEG1		TRGCKEG0	外部クロック有効エッジ選択 ^{注1, 2}					
0		0	立ち上がりエッジでカウント					
0		1	立ち下がりエッジでカウント					
1		0	立ち上がり / 立ち下がりの両エッジでカウント					
上記以外			設定禁止					
TRGTCK2	TRGTCK1	TRGTCK0	カウントソース選択 ^{注1}					
0	0	0	fCLK					
0	0	1	fCLK/2					
0	1	0	fCLK/4					
0	1	1	fCLK/8					
1	0	0	fCLK/32					
1	0	1	TRGCLKA 入力					
1	1	1	TRGCLKB 入力					
上記以外			設定禁止					

注1. 位相計数モードのとき、TRGTCK0～TRGTCK2ビット、およびTRGCKEG0、TRGCKEG1ビット設定は無効になり、位相計数モードの動作が優先されます。

注2. TRGCKEG0、TRGCKEG1ビットは、TRGTCK0～TRGTCK2ビットの設定が外部クロック (TRGCLKA、TRGCLKB) 時に有効です。外部クロック以外では無効です。

9.3.5 タイマRG割り込み許可レジスタ (TRGIER)

図9 - 6 タイマRG割り込み許可レジスタ (TRGIER)のフォーマット

アドレス : F0253H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGIER	0	0	0	0	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
TRGOVIE	オーバフロー割り込み許可							
0	TRGOVF ビットによる割り込みを禁止							
1	TRGOVF ビットによる割り込みを有効							
TRGUDIE	アンダフロー割り込み許可							
0	TRGUDF ビットによる割り込みを禁止							
1	TRGUDF ビットによる割り込みを有効							
TRGIMIEB	インプットキャプチャ/コンペアー致割り込み許可B							
0	TRGIMFB ビットによる割り込みを禁止							
1	TRGIMFB ビットによる割り込みを有効							
TRGIMIEA	インプットキャプチャ/コンペアー致割り込み許可A							
0	TRGIMFA ビットによる割り込みを禁止							
1	TRGIMFA ビットによる割り込みを有効							

備考 TRGIMFA, TRGIMFB, TRGUDF, TRGOVF : TRGSR レジスタのビット

9.3.6 タイマRGステータスレジスタ (TRGSR)

図9-7 タイマRGステータスレジスタ (TRGSR)のフォーマット

アドレス : F0254H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGSR	0	0	0	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
TRGDIRF	カウント方向フラグ							
0	TRGレジスタはダウンカウント							
1	TRGレジスタはアップカウント							
TRGOVF	オーバフローフラグ注1							
[0になる条件] 読んだ後, 0を書く注2								
[1になる条件] 表9-3 各フラグが1になる条件参照								
TRGUDF	アンダフローフラグ							
[0になる条件] 読んだ後, 0を書く注2								
[1になる条件] 表9-3 各フラグが1になる条件参照								
TRGIMFB	インプットキャプチャ/コンペアー致フラグB							
[0になる条件] 読んだ後, 0を書く注2, 3								
[1になる条件] 表9-3 各フラグが1になる条件参照								
TRGIMFA	インプットキャプチャ/コンペアー致フラグA							
[0になる条件] 読んだ後, 0を書く注2, 3								
[1になる条件] 表9-3 各フラグが1になる条件参照								

注1. TRGOVFビットは、タイマRGのカウンタ値がFFFFHから0000Hになったとき、1になります。また、TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって、動作中のインプットキャプチャ/コンペアー致により、タイマRGのカウンタ値がFFFFHから0000Hになったときにも、1になります。

注2. 書き込み結果は次のようになります。

- 1を書いた場合は変化しません。
- 読んだ結果が0の場合、同じビットに0を書いても変化しません
(読んだ後で、0から1に変化した場合、0を書いても1のままです)。
- 読んだ結果が1の場合、同じビットに0を書くとも0になります。

ただし、タイマRGの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRG 割り込み許可レジスタ (TRGIER)で割り込み禁止に設定されている場合、下記(a)～(c)のいずれかの方法で実行してください。

- (a) タイマRG 割り込み許可レジスタ (TRGIER) を 00H (すべての割り込みを禁止) にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRG 割り込み許可レジスタ (TRGIER) の中に1 (許可) にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0 の場合、当該ステータスフラグに0 を書いてください。

(例) TRGIMIEA, TRGOVIE が割り込み許可、TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・ タイマRG割り込み許可レジスタ (TRGIER)の状態

TRGIER	—	—	—	—	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
	0	0	0	0	1	0	0	1

割り込み許可 (TRGOVIE, TRGIMIEA) 割り込み禁止 (TRGIMIEB)

・ タイマRGステータスレジスタ (TRGSR)の状態

TRGSR	—	—	—	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
	0	0	0	0	0	1	1	0

要求をクリアしたいビット (TRGIMFB)

割り込み許可にしているビットに対応するステータスフラグ (TRGOVF, TRGIMFA) が0なので、TRGIMFB に0 を書いてください。

- (c) タイマRG 割り込み許可レジスタ (TRGIER) の中に1 (許可) にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1 の場合、このステータスフラグは、当該ステータスフラグに0 を書くとき同時に0 を書いてください。

(例) TRGIMIEA が割り込み許可、TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・ タイマRG割り込み許可レジスタ (TRGIER)の状態

TRGIER	—	—	—	—	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
	0	0	0	0	0	0	0	1

割り込み許可 (TRGOVIE, TRGIMIEA) 割り込み禁止 (TRGIMIEB)

・ タイマRGステータスレジスタ (TRGSR)の状態

TRGSR	—	—	—	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
	0	0	0	0	0	1	1	1

要求をクリアしたいビット (TRGIMFB, TRGIMFA)

割り込み許可にしているビットに対応するステータスフラグTRGIMFAが1なので、TRGIMFBと同時にTRGIMFAにも0を書いてください。

注3. DTCを使用する場合、TRGIMFA, TRGIMFBビットは、DTCの転送終了後に1になります。

表9 - 3 各フラグが1になる条件

ビットシンボル	タイマモード ^{注1}		PWMモード
	インプットキャプチャ機能	アウトプットコンペア機能	
TRGOVF	TRGがオーバーフローしたとき		
TRGUDF	TRGがアンダフローしたとき(位相計数モード時のみ)		
TRGIMFB	TRGIOB端子の入カエッジ ^{注2}	TRGとTRGGRBの値が一致したとき	
TRGIMFA	TRGIOA端子の入カエッジ ^{注2}	TRGとTRGGRAの値が一致したとき	

注1. 位相計数モードはタイマRG カウントレジスタのカウント方法であり、設定により上記のタイマモード、PWMモードを使用可能です。

注2. TRGIORレジスタのTRGIOj0, TRGIOj1ビット(j = A, B)で選択したエッジ。

9.3.7 タイマRG I/O制御レジスタ (TRGIOR)

図9-8 タイマRG I/O制御レジスタ (TRGIOR)のフォーマット

アドレス : F0255H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TRGIOR	TRGBUFB	TRGIOB2	TRGIOB1	TRGIOB0	TRGBUFA	TRGIOA2	TRGIOA1	TRGIOA0
TRGBUFB	TRGGRD レジスタ機能選択							
0	TRGGRB レジスタのバッファレジスタとして使用しない							
1	TRGGRB レジスタのバッファレジスタとして使用する							
TRGIOB2	TRGGRB モード選択注1, 2							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							
TRGIOB1	TRGIOB0	TRGGRB 制御						
0	0	コンペアー一致による端子出力禁止						
0	1	L 出力						
1	0	H 出力						
1	1	トグル出力						
アウトプットコンペア機能では, TRG レジスタと TRGGRB レジスタのコンペアー一致出力								
TRGIOB1	TRGIOB0	TRGGRB 制御						
0	0	TRGIOB の立ち上がりエッジ						
0	1	TRGIOB の立ち下がりエッジ						
1	0	TRGIOB の両エッジ						
上記以外		設定禁止						
インプットキャプチャ機能では, TRG レジスタ内容を TRGGRB ヘインプットキャプチャ								
TRGBUFA	TRGGRC レジスタ機能選択							
0	TRGGRA レジスタのバッファレジスタとして使用しない							
1	TRGGRA レジスタのバッファレジスタとして使用する							
TRGIOA2	TRGGRA モード選択注1, 2							
0	アウトプットコンペア機能							
1	インプットキャプチャ機能							
TRGIOA1	TRGIOA0	TRGGRA 制御						
0	0	コンペアー一致による端子出力禁止						
0	1	L 出力						
1	0	H 出力						
1	1	トグル出力						
アウトプットコンペア機能では, TRG レジスタと TRGGRA レジスタのコンペアー一致出力								

TRGIOA1	TRGIOA0	TRGGRA制御
0	0	TRGIOAの立ち上がりエッジ
0	1	TRGIOAの立ち下がりエッジ
1	0	TRGIOAの両エッジ
上記以外		設定禁止
インプットキャプチャ機能では、TRGレジスタ内容をTRGGRAへインプットキャプチャ		

注1. TRGIOj2ビット(j = A, B)が1 (インプットキャプチャ機能)のとき、TRGGRjレジスタはインプットキャプチャレジスタとして機能します。

注2. TRGIOj2ビット(j = A, B)が0 (アウトプットコンペア機能)のとき、TRGGRjレジスタはコンペアー一致レジスタとして機能します。リセット後TRGIOj0, TRGIOj1を設定し、最初のコンペアー一致が発生するまで、TRGIOj端子からは、

TRGIOj1, TRGIOj0 = 01BのときH出力

10BのときL出力

11BのときL出力

このTRGIORレジスタは、タイマモードにおいて入出力の端子制御をします。PWMモードでは無効になります。

TRGIORレジスタはカウント停止中(TRGMRレジスタのTRGSTART = 0)に設定してください。

9.3.8 タイマRGカウンタ (TRG)

TRGレジスタは、CPUと内部16ビットバスで接続されており、常に16ビット単位でアクセスしてください。TRGレジスタは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。TRGレジスタは対応するTRGGRA、TRGGRBレジスタとのコンペアー一致、またはTRGGRA、TRGGRBレジスタへのインプットキャプチャにより0000Hにクリアすることができます(カウンタクリア機能)。

TRGレジスタがオーバフロー (FFFFH→0000H)すると、TRGSRレジスタのTRGOVFビットが1になります。アンダフロー (0000H→FFFFH)すると、TRGSRレジスタのTRGUDFビットが1になります。

図9-9 タイマRGカウンタ (TRG)のフォーマット

アドレス : F0256H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRG																
—		機能														設定範囲
ビット15～0		位相計数モードの場合、カウント動作はアップカウント/ダウンカウント。 それ以外の場合はアップカウント。														0000H～FFFFH

9.3.9 タイマRG ジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)

TRGGRA, TRGGRBレジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TRGIORレジスタにより行います。

アウトプットコンペアレジスタとして使用しているときは、TRGGRA, TRGGRBレジスタの値とTRGレジスタの値は常に比較されています。両者の値が一致(コンペア一致)すると、TRGSRレジスタのTRGIMFA/TRGIMFBビットが1になります。TRGIORレジスタによりコンペア一致出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TRGレジスタの値を格納します。このときTRGIMFA/TRGIMFBビットが1になります。インプットキャプチャ信号の検出エッジ選択はTRGIORレジスタにより行います。

また、TRGGRCレジスタはTRGGRAレジスタのバッファレジスタとして、TRGGRDレジスタはTRGGRBレジスタのバッファレジスタとしてそれぞれ使用することもできます。この機能はTRGIORレジスタのTRGBUFA, TRGBUFBビットにより選択できます。

例えば、TRGGRAレジスタがアウトプットコンペアレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、コンペア一致Aが発生するたびにTRGGRCレジスタの値がTRGGRAレジスタに転送されます。

TRGGRAレジスタがインプットキャプチャレジスタとして、TRGGRCレジスタがTRGGRAレジスタのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TRGレジスタの値がTRGGRAレジスタに、TRGGRAレジスタの値がTRGGRCレジスタに転送されます。

TRGGRA, TRGGRB, TRGGRC, TRGGRDレジスタは16ビット単位でリード/ライト可能です。

図9 - 10 タイマRG ジェネラルレジスタ A, B, C, D (TRGGRA, TRGGRB, TRGGRC, TRGGRD)のフォーマット

アドレス : F0258H (TRGGRA), F025AH (TRGGRB), FFF60H (TRGGRC), FFF62H (TRGGRD) リセット時 : FFFFH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGGR <i>i</i>																
—					機能											
ビット15～0					モード、機能によって機能が異なる。 表9 - 4にTRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタ機能を示します。											
備考 i = A, B, C, D																

表 9 - 4 TRGGRA, TRGGRB, TRGGRC, TRGGRD レジスタ機能

モード, 機能	レジスタ	設定	機能
インプットキャプチャ	TRGGRA	TRGIOR (TRGIOA2 = 1) TRGMR (TRGPWM = 0)	インプットキャプチャレジスタ (TRG レジスタの値を格納)
	TRGGRB	TRGIOR (TRGIOB2 = 1) TRGMR (TRGPWM = 0)	インプットキャプチャレジスタ (TRG レジスタの値を格納)
アウトプットコンペア	TRGGRA	TRGIOR (TRGIOA2 = 0) TRGMR (TRGPWM = 0)	アウトプットコンペアレジスタ (TRG レジスタとのコンペア値を格納, コンペア一致で TRGIOAに設定値を出力)
	TRGGRB	TRGIOR (TRGIOB2 = 0) TRGMR (TRGPWM = 0)	アウトプットコンペアレジスタ (TRG レジスタとのコンペア値を格納, コンペア一致で TRGIOBに設定値を出力)
PWM	TRGGRA	TRGMR (TRGPWM = 1)	アウトプットコンペアレジスタ (コンペア一致で TRGIOA に H 出力)
	TRGGRB		アウトプットコンペアレジスタ (コンペア一致で TRGIOA に L 出力)
共通	TRGGRC	TRGIOR (TRGBUFA = 0)	使用しない
	TRGGRD	TRGIOR (TRGBUFB = 0)	使用しない
	TRGGRC	TRGIOR (TRGBUFA = 1)	TRGGRA のバッファレジスタ (TRGGRA との転送あり) • TRGIOA2 = 1 の場合 インプットキャプチャ信号により, TRGGRA から前回のインプットキャプチャ値を受け取る • TRGIOA2 = 0 の場合 TRG と TRGGRA のコンペア一致により, 次のコンペア期待値を TRGGRA へ転送する
	TRGGRD	TRGIOR (TRGBUFB = 1)	TRGGRB のバッファレジスタ (TRGGRB との転送あり) • TRGIOB2 = 1 の場合 インプットキャプチャ信号により, TRGGRB から前回のインプットキャプチャ値を受け取る • TRGIOB2 = 0 の場合 TRG と TRGGRB のコンペア一致により, 次のコンペア期待値を TRGGRB へ転送する

注意 TRGCR レジスタの TRGTCK2 ~ TRGTCK0 ビットの設定を 000B (fCLK), コンペア値を 0000H にした場合, DTC および ELC への要求信号はカウント開始直後の 1 回しか発生しません。コンペア値が 0001H 以上の場合はコンペア一致することに要求信号が発生します。

9.3.10 ポート・モード・レジスタ 0, 5 (PM0, PM5)

ポート0, 5の入力／出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P50/TRGIOA, P51/TRGIOB) をタイマ出力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

(例) P50/TRGIOAをタイマ出力として使用する場合

ポート・モード・レジスタ5のPM50ビットを0に設定

ポート・レジスタ5のP50ビットを0に設定

タイマ入力端子を兼用するポート (P50/TRGIOA, P51/TRGIOB) をタイマ入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

(例) P50/TRGIOAをタイマ入力として使用する場合

ポート・モード・レジスタ5のPM50ビットを1に設定

ポート・レジスタ5のP50ビットを0または1に設定

PM0, PM5レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図9-11 ポート・モード・レジスタ 0, 5 (PM0, PM5) のフォーマット (100ピン製品)

アドレス : FFF20H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

アドレス : FFF25H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM5	PM57	PM56	PM55	PM54	PM53	PM52	PM51	PM50

PMmn	Pmn端子の入出力モードの選択 (m = 0, 5 ; n = 0-7)
0	出力モード(出力バッファ・オン)
1	入力モード(出力バッファ・オフ)

備考 上記は、100ピン製品のポート・モード・レジスタ0, 5のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、表4-7～表4-13各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxxレジスタとそのビットを参照してください。

9.4 タイマRGの動作

9.4.1 複数モード, 機能に関わる共通事項

(1) カウントソース

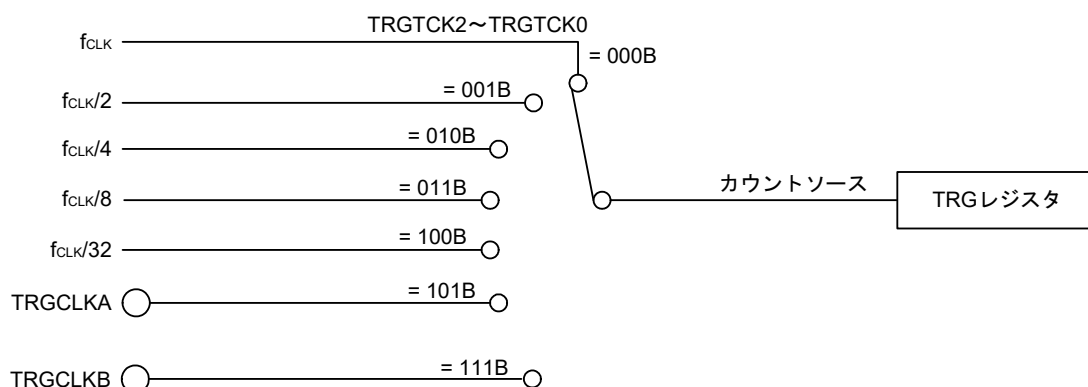
表9-5にカウントソースの選択を, 図9-12にカウントソースのブロック図を示します。

位相計数モード選択時, TRGCRレジスタのTRGTCK0 ~ TRGTCK2ビットおよびTRGCKEG0, TRGCKEG1ビットの設定は無効になります。

表9-5 カウントソースの選択

カウントソース	選択方法
fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32	TRGCRレジスタのTRGTCK0 ~ TRGTCK2ビットでカウントソース選択
TRGCLKA, TRGCLKB端子に入力された外部信号	TRGCRレジスタのTRGTCK2 ~ TRGTCK0ビットが101B (TRGCLKA入力)または111B (TRGCLKB入力) TRGCRレジスタのTRGCKEG0, TRGCKEG1ビットで有効エッジを選択 対応するポート・モード・レジスタのビットが1 (入力モード)

図9-12 カウントソースのブロック図



備考 TRGTCK0~TRGTCK2: TRGCRレジスタのビット

TRGCLKj端子(j = A, B)に入力する外部クロックのパルス幅は, タイマRGの動作クロック (fCLK)の3サイクル以上にしてください。

(2) バッファ動作

TRGIOR レジスタの TRGBUFA, TRGBUFB ビットで, TRGGRC, TRGGRD レジスタを TRGGRA, TRGGRB レジスタのバッファレジスタにできます。

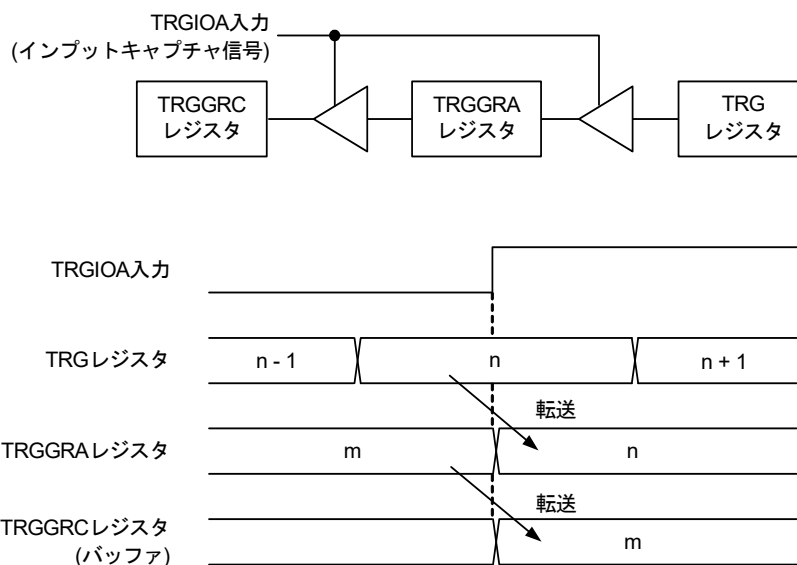
- TRGGRAのバッファレジスタ : TRGGRC レジスタ
- TRGGRBのバッファレジスタ : TRGGRD レジスタ

バッファ動作は, モードによって違います。表9-6に各モードのバッファ動作を, 図9-13にインプットキャプチャ機能のバッファ動作を, 図9-14にアウトプットコンペア機能のバッファ動作を示します。

表9-6 各モードのバッファ動作

機能, モード	転送タイミング	転送するレジスタ
インプットキャプチャ機能	インプットキャプチャ信号入力	TRGGRA (TRGGRB) レジスタの内容を バッファレジスタに転送
アウトプットコンペア機能	TRG レジスタと TRGGRA (TRGGRB) レジスタのコンペア一致	バッファレジスタの内容を TRGGRA (TRGGRB) レジスタに転送

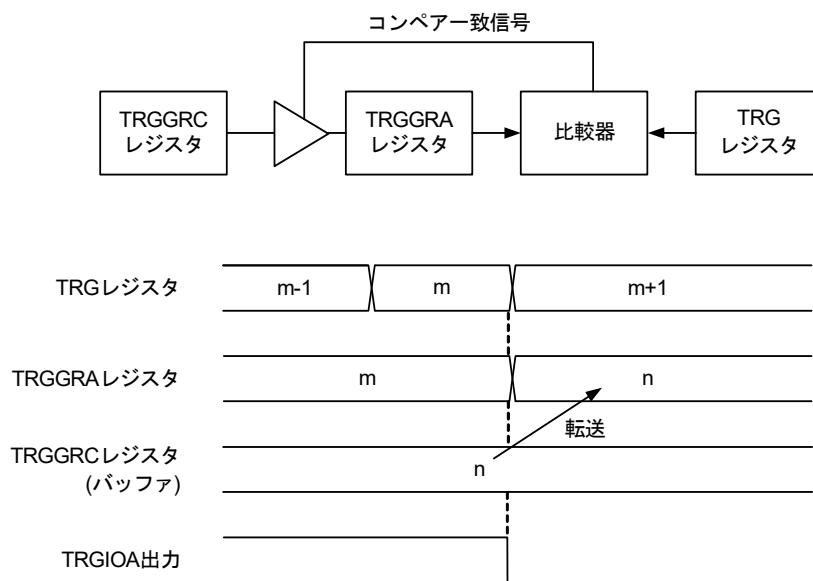
図9-13 インプットキャプチャ機能のバッファ動作



上図は次の条件の場合です。

- TRGIORレジスタのTRGBUFAビットが1 (TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
- TRGIORレジスタのTRGIOA2~TRGIOA0ビットが100B (立ち上がりエッジでインプットキャプチャ)

図9 - 14 アウトプットコンペア機能のバッファ動作



上図は次の条件の場合です。

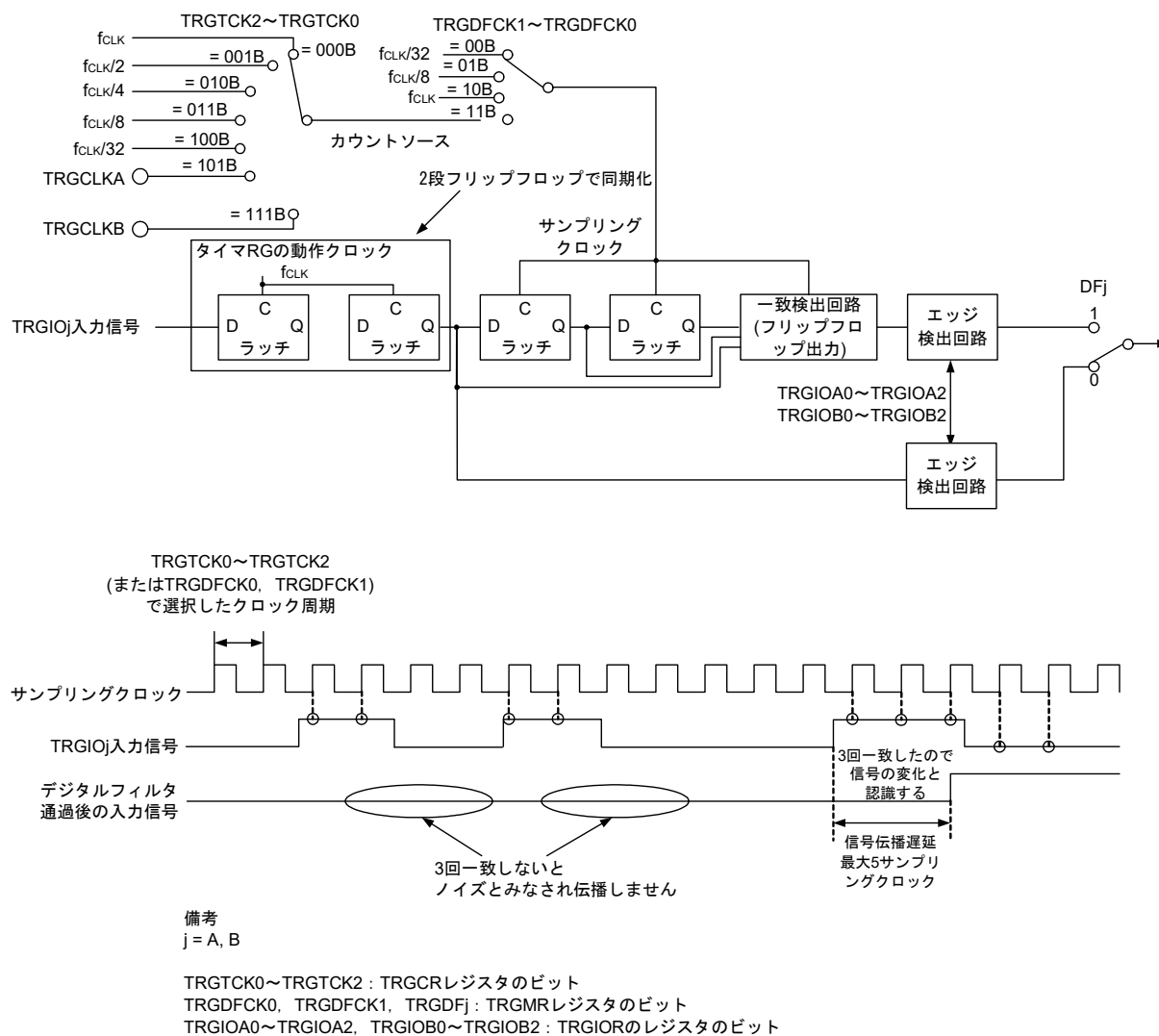
- ・ TRGIORレジスタのTRGBUFAビットが1 (TRGGRCレジスタはTRGGRAレジスタのバッファレジスタ)
- ・ TRGIORレジスタのTRGIOA2～TRGIOA0ビットが001B (コンペア一致でL出力)

(3) デジタルフィルタ

TRGIOj 入力 (j = A, B) をサンプリングし, 3 回一致したらレベルが確定したとみなします。デジタルフィルタ機能, サンプリングクロックは TRGMR レジスタで選択してください。

図9 - 15にデジタルフィルタのブロック図を示します。

図9 - 15 デジタルフィルタのブロック図



(4) イベント・リンク・コントローラ(ELC)からのイベント入力

ELCからのイベント入力によって、タイマRGはインプットキャプチャ動作Bをします。このとき、TRGSRレジスタのTRGIMFBビットが1になります。

この機能を使用する場合、タイマモード/位相計数モードのインプットキャプチャ機能を選択し、TRGMRレジスタのTRGELCICEビットを1にしてください。その他のモード(タイマモード/位相計数モードのアウトプットコンペア機能, PWMモード)では無効です。

設定手順

- (a) ELCのイベントリンク先をタイマRGに設定する。
- (b) TRGMRレジスタのTRGELCICEビットを1にする。

(5) イベント・リンク・コントローラ(ELC)へのイベント出力

表9-7にTRGIMFAビットによるELCへのイベント出力を示します。表9-8にTRGIMFBビットによるELCへのイベント出力を示します。

表9-7 TRGIMFAビットによるELCへのイベント出力

モード, 機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGIOA0, TRGIOA1ビットで設定したTRGIOAのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOA2 = 1)	TRGレジスタとTRGGRAレジスタのコンペア一致
PWMモード(TRGPWM = 1)	TRGレジスタとTRGGRAレジスタのコンペア一致

備考 TRGPWM : TRGMRレジスタのビット

TRGIOA0, TRGIOA1, TRGIOA2 : TRGIORレジスタのビット

表9-8 TRGIMFBビットによるELCへのイベント出力

モード, 機能	ELC要因
インプットキャプチャ機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGIOB0, TRGIOB1ビットで設定したTRGIOBのエッジ検出
アウトプットコンペア機能 (TRGPWM = 0, TRGIOB2 = 1)	TRGレジスタとTRGGRBレジスタのコンペア一致
PWMモード(TRGPWM = 1)	TRGレジスタとTRGGRBレジスタのコンペア一致

備考 TRGPWM : TRGMRレジスタのビット

TRGIOB0, TRGIOB1, TRGIOB2 : TRGIORレジスタのビット

9.4.2 タイマモード(インプットキャプチャ機能)

インプットキャプチャ/アウトプットコンペア端子 (TRGIOA, TRGIOB) の入力エッジを検出して TRG レジスタの値を TRGGRA, TRGGRB レジスタに転送することができます。検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。

インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

表9-9にインプットキャプチャ機能の仕様を示します。

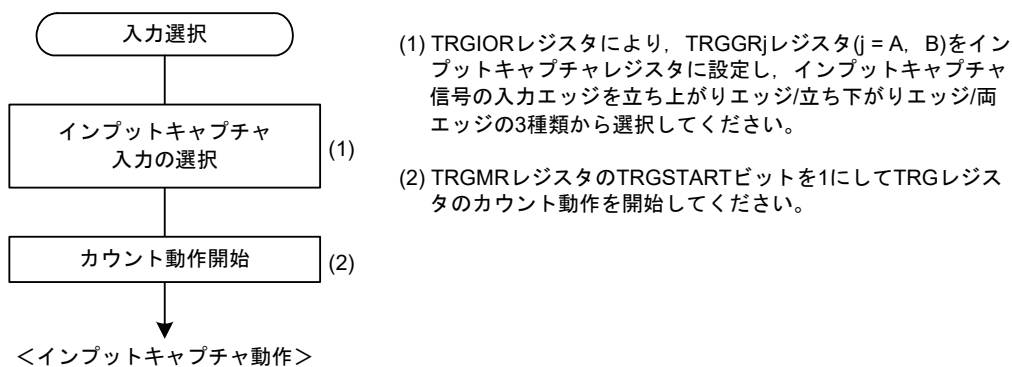
表9-9 インプットキャプチャ機能の仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKA, TRGCLKB 端子に入力された外部信号 (プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	TRGCR レジスタの TRGCCLR1, TRGCCLR0 ビットが 00B (フリーランニング動作) の場合 $1/f_k \times 65536$ f_k : カウントソースの周波数
カウント開始条件	TRGMR レジスタの TRGSTART ビットへの 1 (カウント開始) 書き込み
カウント停止条件	TRGMR レジスタの TRGSTART ビットへの 0 (カウント停止) 書き込み
割り込み要求発生タイミング	- インプットキャプチャ (TRGIOA, TRGIOB 端子入力の有効エッジ) - TRG レジスタオーバフロー
TRGIOA, TRGIOB 端子機能	I/O ポート, またはインプットキャプチャ入力 (1 端子ごとに選択)
TRGCLKA, TRGCLKB 端子機能	I/O ポート, または外部クロック入力
タイマの読み出し	TRG レジスタを読むと, カウント値が読める
タイマの書き込み	TRG レジスタに書き込める
選択機能	- インプットキャプチャ入力端子選択 TRGIOA, TRGIOB 端子のいずれか 1 本または両方 - インプットキャプチャ入力の有効エッジ選択 立ち上がりエッジ, 立ち下がりエッジ, または立ち上がりエッジと立ち下がりエッジの両方 - TRG レジスタを 0000H にするタイミング オーバフロー, またはインプットキャプチャ時 - バッファ動作 (9.4.1 (2) バッファ動作参照) - デジタルフィルタ (9.4.1 (3) デジタルフィルタ参照) - ELC からのイベント入力信号 (インプットキャプチャ) によるインプットキャプチャ動作

(1) インพุットキャプチャ動作の設定手順例

図9 - 16にインพุットキャプチャ動作の設定手順例を示します。

図9 - 16 インพุットキャプチャ動作の設定手順例



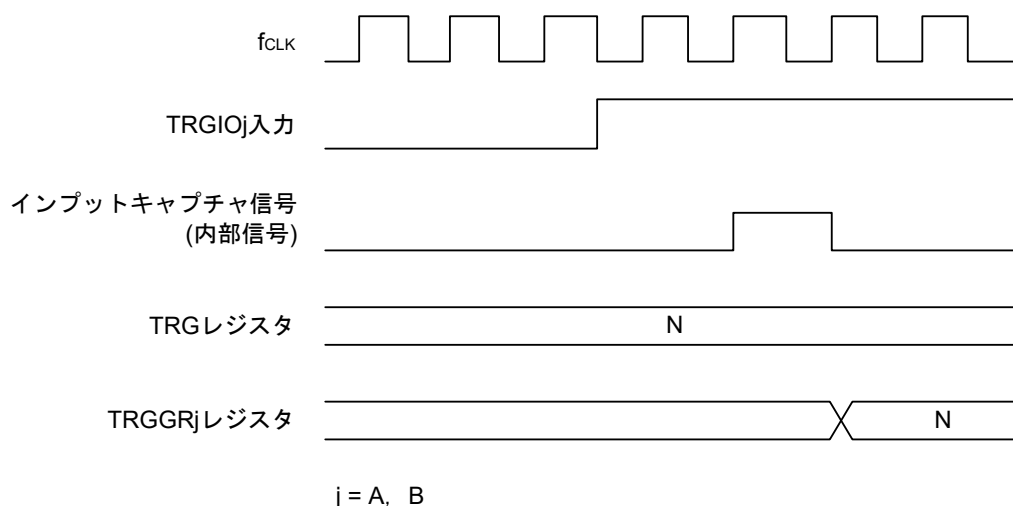
(2) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は, TRGJOR レジスタの設定により立ち上がりエッジ/立ち下がりエッジ/両エッジの選択ができます。

図9 - 17にインพุットキャプチャ入力信号タイミングを示します。

インพุットキャプチャ入力信号のパルス幅は, 単エッジの場合は $1.5 f_{CLK}$ 以上, 両エッジの場合は $2.5 f_{CLK}$ 以上が必要です。

図9 - 17 インพุットキャプチャ入力信号タイミング



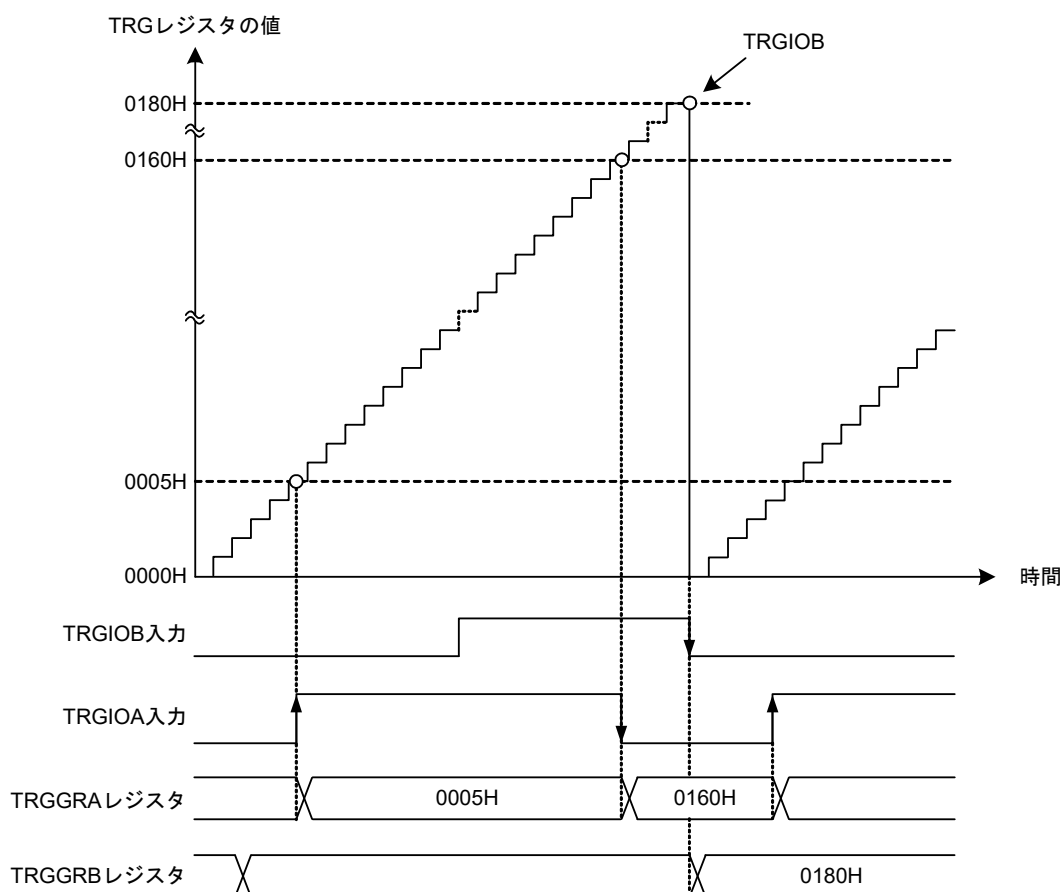
(3) 動作例

図9 - 18にインプットキャプチャ動作例を示します。

TRGIOA端子のインプットキャプチャ入力エッジは立ち上がり/立ち下りの両エッジ, またTRGIOB端子のインプットキャプチャ入力エッジは立ち下りエッジを選択し, TRGレジスタはTRGGRBレジスタのインプットキャプチャでカウンタクリアされるように設定した場合の例です。

- (a) TRGIORレジスタにより, TRGGRA, TRGGRBレジスタをインプットキャプチャレジスタに設定し, インプットキャプチャ信号の入力エッジを立ち上がりエッジ/立ち下りエッジ/両エッジの3種類から選択してください。
- (b) TRGMRレジスタのTRGSTARTビットを1にしてTRGレジスタのカウント動作を開始してください。

図9 - 18 インプットキャプチャ動作例



TRGCRレジスタのTRGCCLR0, TRGCCLR1ビットの設定によって, インプットキャプチャA, インプットキャプチャBによりカウンタクリア動作させることができます。図9 - 18では, TRGCCLR1, TRGCCLR0ビットを10Bに設定した場合の動作例です。動作中のインプットキャプチャ動作によってカウンタをクリアする設定をし, タイマカウンタ値がFFFFHにおいてインプットキャプチャ動作をした場合, カウントソースとインプットキャプチャ動作のタイミングによって, 割り込みフラグであるTRGIMFA, TRGIMFBビットとTRGOVFビットが同時に1となる場合があります。

9.4.3 タイマモード(アウトプットコンペア機能)

TRGレジスタの内容と、TRGGRA, TRGGRBレジスタの内容の一致(コンペアー一致)を検出するモードです。
一致したとき、TRGIOA, TRGIOB端子から任意のレベルを出力します。

表9-10にアウトプットコンペア機能の仕様を示します。

表9-10 アウトプットコンペア機能の仕様

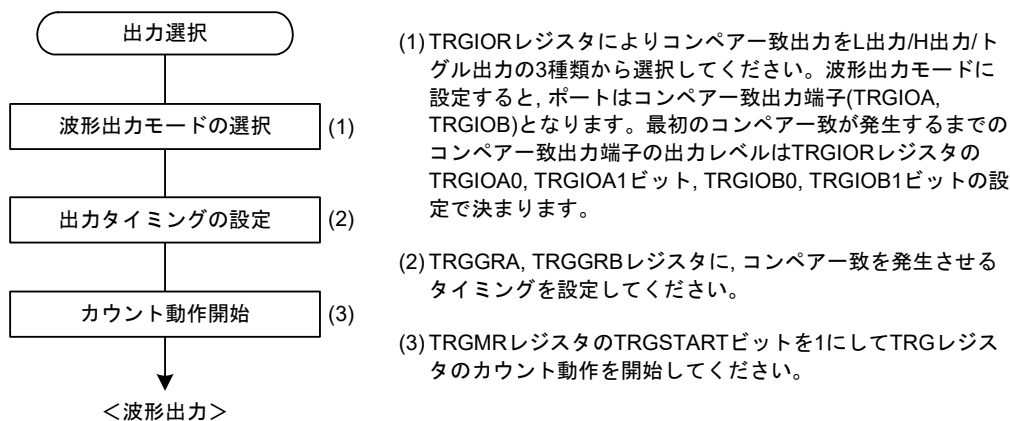
項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
カウント周期	- TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが00B(フリーランニング動作)の場合 $1/f_k \times 65536$ f_k: カウントソースの周波数 - TRGCRレジスタのTRGCCLR1, TRGCCLR0ビットが01B, 10B(TRGGRjのコンペアー一致でTRGを0000Hにする)の場合 $1/f_k \times (n + 1)$ n: TRGGRjレジスタの設定値
波形出力タイミング	コンペアー一致(TRGレジスタ内容とTRGGRjレジスタの内容が一致)
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	- コンペアー一致(TRGレジスタとTRGGRjレジスタの内容が一致) - TRGレジスタオーバーフロー
TRGIOA, TRGIOB端子機能	I/Oポート, またはアウトプットコンペア出力(1端子ごとに選択)
TRGCLKA, TRGCLKB端子機能	I/Oポート, または外部クロック入力
タイマの読み出し	TRGレジスタを読むと, カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	- アウトプットコンペア出力端子選択 TRGIOA, TRGIOB端子のいずれか1本または両方 - コンペアー一致時の出力レベル選択 L出力, H出力, または出力レベル反転 - TRGレジスタを0000Hにするタイミング オーバーフロー, またはTRGGRjレジスタのコンペアー一致 - バッファ動作(9.4.1 (2) バッファ動作参照)

備考 j = A, B

(1) コンペアー一致による波形出力の設定手順例

図9 - 19にコンペアー一致による波形出力の設定手順を示します。

図9 - 19 コンペアー一致による波形出力の設定手順

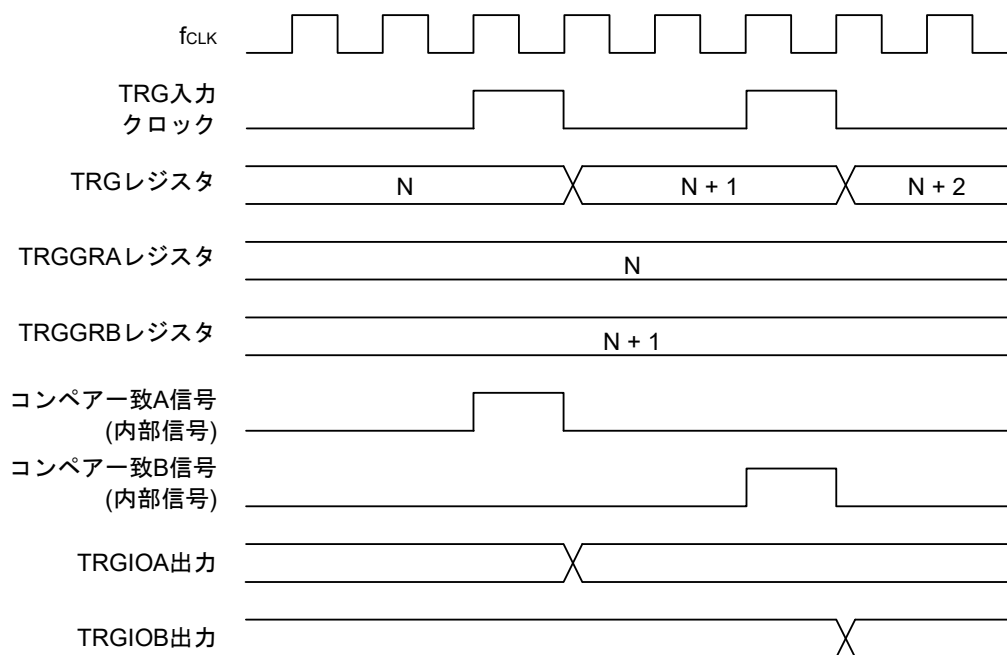


(2) アウトプットコンペアー出力タイミング

コンペアー一致信号は、TRGレジスタとTRGGRA, TRGGRBレジスタが一致した最後のステート(TRGレジスタが一致したカウント値を更新するタイミング)で発生します。コンペアー一致信号が発生したとき、TRGIORレジスタで設定される出力値がアウトプットコンペアー出力端子(TRGIOA, TRGIOB)に出力されます。TRGレジスタとTRGGRA, TRGGRBレジスタが一致した後、TRGレジスタ入力クロックが発生するまでコンペアー一致信号は発生しません。

図9 - 20にアウトプットコンペアー出力タイミングを示します。

図9 - 20 アウトプットコンペアー出力タイミング



(3) 動作例

図9 - 21にL出力, H出力の動作例を示します。

TRGレジスタをフリーランニングカウンタ動作, またコンペアー一致AによりL出力, コンペアー一致BによりH出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には, 端子のレベルは変化しません。

図9 - 21 L出力, H出力の動作例

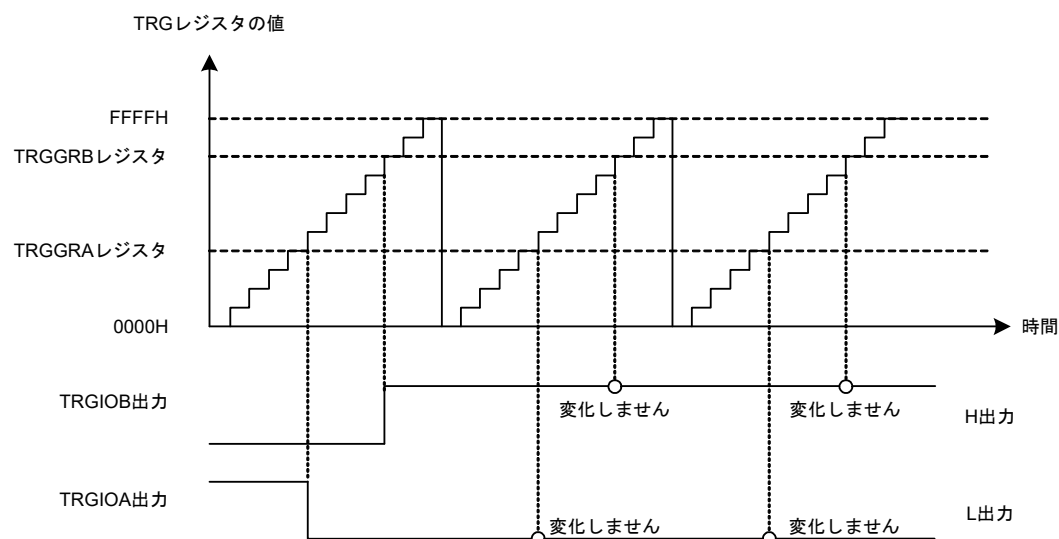
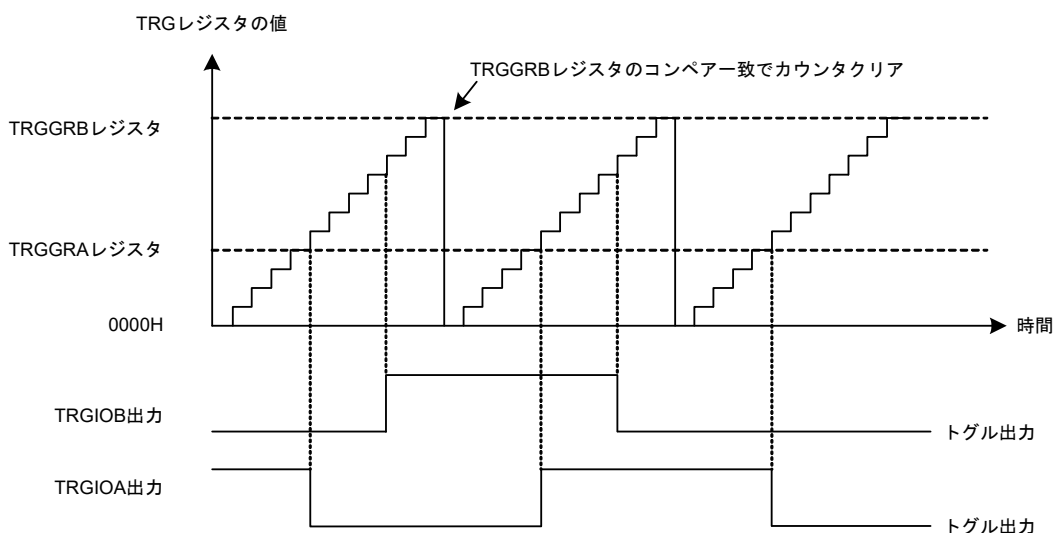


図9-22にトグル出力の動作例を示します。TRGレジスタを周期カウント動作(コンペアー一致Bでカウンタクリア)に、コンペアー一致A, Bともトグル出力となるように設定した場合の例です。

- (a) TRGIOR レジスタによりコンペアー一致出力をL出力/H出力/トグル出力の3種類から選択してください。波形出力モードに設定すると、ポートはコンペアー一致出力端子(TRGIOA, TRGIOB)となります。
- (b) TRGGRA, TRGGRB レジスタに、コンペアー一致を発生させるタイミングを設定してください。
- (c) TRGMR レジスタのTRGSTART ビットを1にしてTRGレジスタのカウント動作を開始してください。

動作中に、TRGSTART ビットを0にしても、コンペアー一致出力端子(TRGIOA, TRGIOB)は初期化されません。初期値に戻すには、TRGIOR レジスタに書き込み動作することにより出力が初期化されます(ただし、TRGIOR レジスタのTRGIOA0, TRGIOA1, TRGIOB0, TRGIOB1 ビットによる出力設定をL出力、もしくはH出力に設定している場合にのみ初期化されます)。TRGCR レジスタのTRGCCLR0, TRGCCLR1 ビットの設定によって、インプットキャプチャ/コンペアー一致(TRGGRA レジスタ, TRGGRB レジスタとの一致)によりタイマRGのカウンタ値はリセットされます。このとき、コンペアー期待値がFFFFHの場合、オーバフロー動作と同様にFFFFHから0000Hとなり、TRGOVF ビットは1となります。この動作は、タイマRGのカウンタ値とコンペアー期待値とのアウトプットコンペアー機能を使用するモードも同様となります。

図9-22 トグル出力の動作例



9.4.4 PWMモード

PWMモードはTRGGRAレジスタとTRGGRBレジスタをペアで使用し、TRGIOA出力端子よりPWM波形を出します。PWMモードに設定された出力端子はTRGIORレジスタの出力の設定は無効となります。TRGGRAレジスタにはPWM波形のH出力タイミングを設定し、TRGGRBレジスタにはPWM波形のL出力タイミングを設定します。

TRGGRAレジスタとTRGGRBレジスタのいずれかのコンペアー致をTRGレジスタのカウントクリア要因とすることにより、デューティ 0～100%のPWM波形をTRGIOA端子より出力することができます。

表9 - 11にPWMモードの仕様を、表9 - 12にPWM出力端子とレジスタの組み合わせを示します。

TRGGRAレジスタとTRGGRBレジスタの設定値が同一の場合、コンペアー致が発生しても出力値は変化しません。

表9 - 11 PWMモードの仕様

項目	仕様
カウントソース	fCLK, fCLK/2, fCLK/4, fCLK/8, fCLK/32 TRGCLKj端子に入力された外部信号(プログラムで有効エッジを選択)
カウント動作	アップカウント
PWM波形	- TRGGRAレジスタにPWM波形のH出力タイミングを設定 - TRGGRBレジスタにPWM波形のL出力タイミングを設定
カウント開始条件	TRGMRレジスタのTRGSTARTビットへの1(カウント開始)書き込み
カウント停止条件	TRGMRレジスタのTRGSTARTビットへの0(カウント停止)書き込み
割り込み要求発生タイミング	- コンペアー致(TRGレジスタとTRGGRjレジスタの内容が一致) - TRGレジスタオーバフロー
TRGIOA端子機能	PWM出力
TRGIOB端子機能	I/Oポート
TRGCLKA, TRGCLKB端子機能	I/Oポート, または外部クロック入力
タイマの読み出し	TRGレジスタを読むと、カウント値が読める
タイマの書き込み	TRGレジスタに書き込める
選択機能	- TRGレジスタを0000Hにするタイミング オーバフロー, またはTRGGRjレジスタのコンペアー致 - バッファ動作(9.4.1 (2) バッファ動作参照)

備考 j = A, B

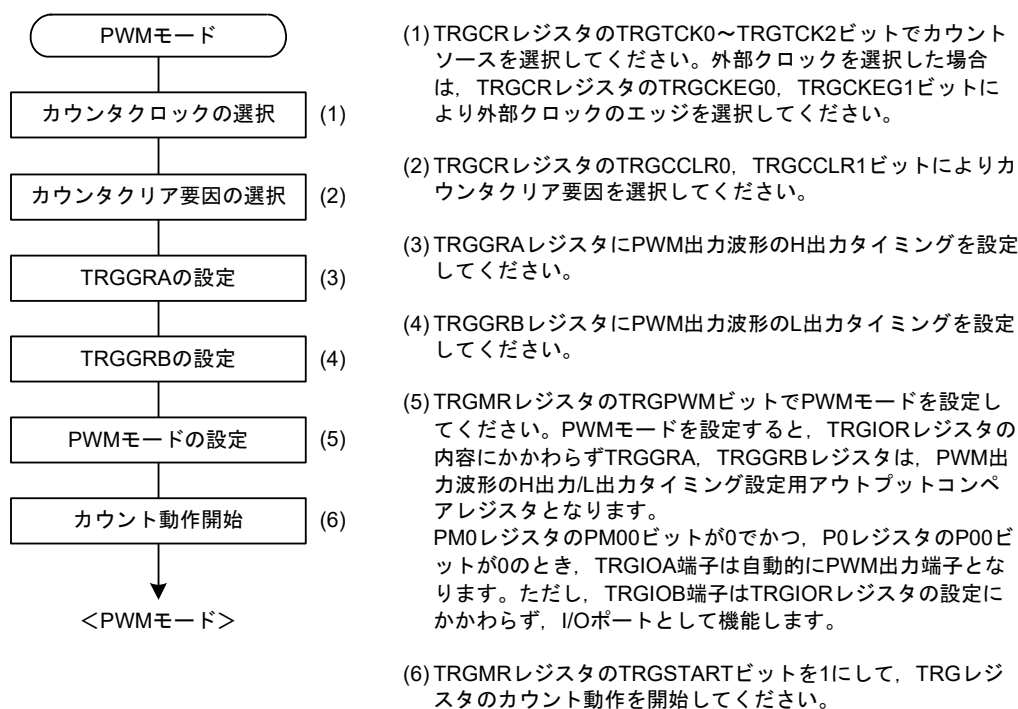
表9 - 12 PWM出力端子とレジスタの組み合わせ

出力端子	H出力	L出力
TRGIOA	TRGGRA	TRGGRB
TRGIOB	I/Oポートとして機能	

(1) PWMモードの設定手順例

図9 - 23にPWMモードの設定手順例を示します。

図9 - 23 PWMモードの設定手順例



(2) 動作例

図9-24にPWMモードの動作例(1)を示します。

PM0レジスタのPM00ビットが0でかつ、P0レジスタのP00ビットが0のとき、PWMモードに設定するとTRGIOA端子は自動的に出力端子となり、TRGGRAレジスタのコンペアー一致でH出力、TRGGRBレジスタのコンペアー一致でL出力となります。ただし、TRGIOB端子はTRGIORレジスタの設定にかかわらず、I/Oポートとして機能します。

TRGレジスタのカウンタクリア要因をTRGGRA、TRGGRBレジスタのコンペアー一致とした場合の例です。TRGIOA端子の初期状態はカウンタクリア要因だけで決まります。この対応関係を表9-13に示します。

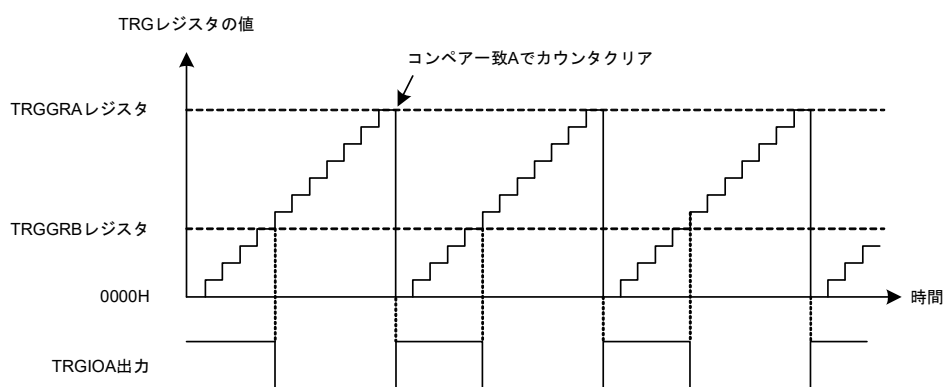
この初期化はTRGMRレジスタのTRGSTARTビットが0(カウント停止)時に行われます。

表9-13 TRGIOA端子の初期状態とカウンタクリア要因の対応関係

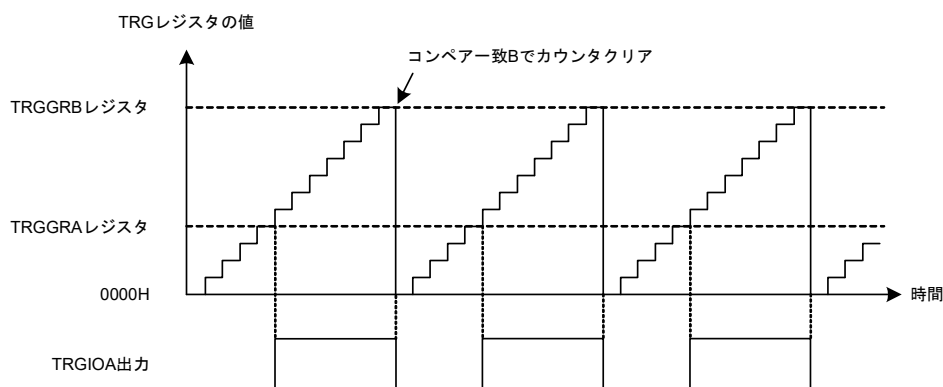
カウンタクリア要因	TRGIOA端子の初期状態
TRGGRAレジスタのコンペアー一致	H
TRGGRBレジスタのコンペアー一致	L

TRGCRレジスタのTRGCCCLR1, TRGCCCLR0ビットが00B(クリア禁止)の場合、TRGIOA端子の初期状態はHとなります。

図9-24 PWMモードの動作例(1)



(a) TRGGRAレジスタのコンペアー一致でカウンタクリア



(b) TRGGRBレジスタのコンペアー一致でカウンタクリア

図9 - 25にPWMモードで、デューティ 0%, デューティ 100%のPWM波形を出力する例を示します。

カウンタクリア要因をTRGGRBレジスタのコンペアー一致に設定し、

- TRGGRAレジスタの設定値 > TRGGRBレジスタの設定値

としたとき、PWM波形はデューティ 0%となります。

また、カウンタクリア要因をTRGGRAレジスタのコンペアー一致に設定し、

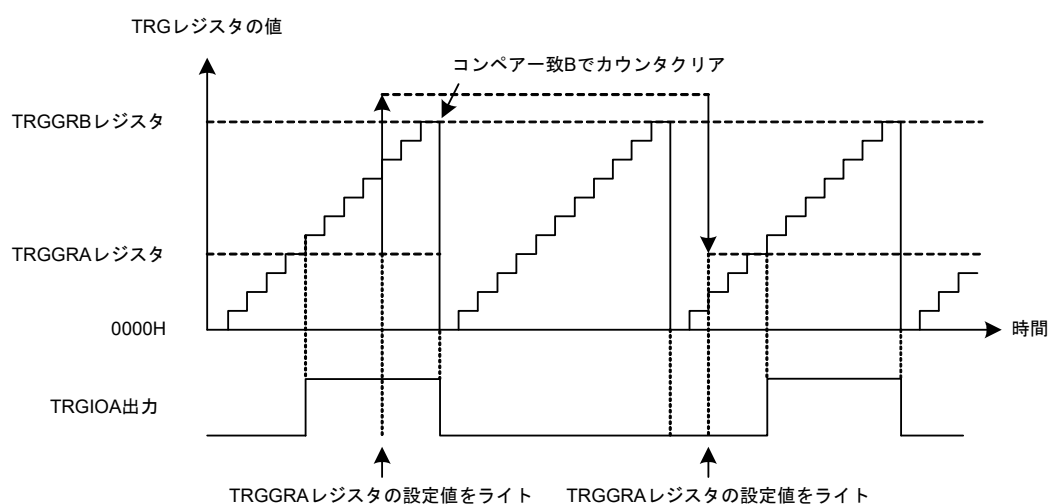
- TRGGRBレジスタの設定値 > TRGGRAレジスタの設定値

としたときPWM波形はデューティ 100%となります。

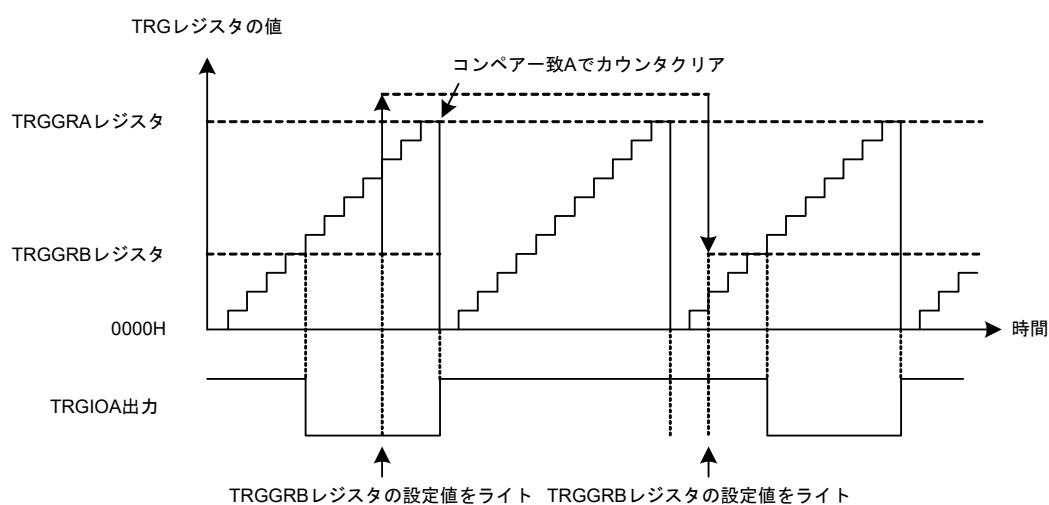
- TRGGRAレジスタの設定値 = TRGGRBレジスタの設定値

としたとき、コンペアー一致が発生しても出力値は変化しません。

図9 - 25 PWMモードの動作例(2)



(a) デューティ0%の場合



(b) デューティ100%の場合

9.4.5 位相計数モード

位相計数モードは、2本のTRGCLKA, TRGCLKB端子からの外部入力信号の位相差を検出し、TRGレジスタをアップ/ダウンカウントします。

PM0 レジスタのPM00 ビットとPM01 ビットが1のとき位相計数モードに設定すると、TRGCR レジスタのTRGTCK0～TRGTCK2ビット、TRGCKEG0, TRGCKEG1ビットの設定にかかわらず、TRGCLKA, TRGCLKB端子は自動的に外部クロック入力端子として機能し、またTRG レジスタはTRGCNTC レジスタのCNTEN0～CNTEN7 ビットにより、加算/減算されます。ただし、TRGCR レジスタのTRGCCLR0, TRGCCLR1 ビット、TRGIOR, TRGIER, TRGSR, TRGGRA, TRGGRB レジスタは有効ですので、インプットキャプチャ/アウトプットコンペア機能やPWM出力機能や割り込み要因を使用することができます。

TRG レジスタは、CNTEN0～CNTEN7 ビットにより、TRGCLKA, TRGCLKB 端子の立ち上がり/立ち下がりの両エッジでカウントします。

表9 - 14に位相計数モードの仕様を、表9 - 15にTRG レジスタの加算/減算条件を示します。

表9 - 14 位相計数モードの仕様

項目	仕様
カウントソース	TRGCLKj端子に入力された外部信号
カウント動作	アップカウント/ダウンカウント
カウント開始条件	TRGMR レジスタのTRGSTART ビットへの1 (カウント開始)書き込み
カウント停止条件	TRGMR レジスタのTRGSTART ビットへの0 (カウント停止)書き込み
割り込み要求発生タイミング	- インプットキャプチャ (TRGIOj入力の有効エッジ) - コンペアー一致 (TRG レジスタと TRGGRj レジスタの内容が一致) - TRG レジスタオーバフロー - TRG レジスタアンダフロー
TRGIOA 端子機能	I/Oポート、インプットキャプチャ入力、アウトプットコンペア出力、またはPWM出力
TRGIOB 端子機能	I/Oポート、インプットキャプチャ入力、またはアウトプットコンペア出力
TRGCLKA, TRGCLKB 端子機能	外部クロック入力
タイマの読み出し	TRG レジスタを読むと、カウント値が読める
タイマの書き込み	TRG レジスタに書き込める
選択機能	- カウンタの加算/減算条件選択 - TRGCNTC レジスタのCNTEN0～CNTEN7 ビットで選択 - インプットキャプチャ/アウトプットコンペア機能, PWM機能を使用可

備考 j = A, B

表9 - 15 TRG レジスタの加算/減算条件

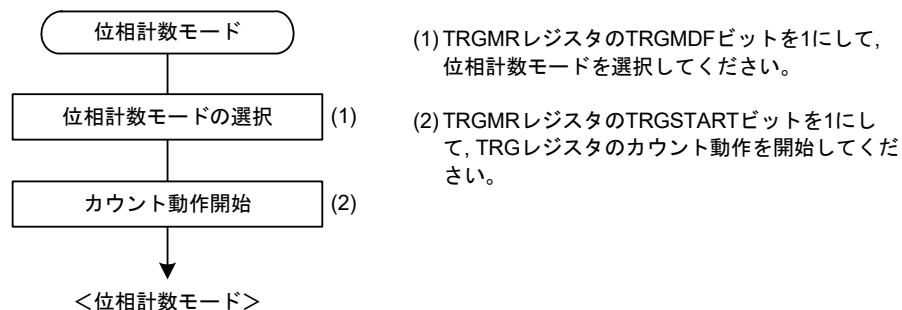
TRGCLKB 端子		H		L	H		L	
TRGCLKA 端子	L		H			L		H
TRGCNTC レジスタの CNTEN0～CNTEN7 ビット	CNTEN7	CNTEN6	CNTEN5	CNTEN4	CNTEN3	CNTEN2	CNTEN1	CNTEN0
カウント方向注	+1	+1	+1	+1	-1	-1	-1	-1

注 TRGCNTCレジスタの各ビットが1 (ダウンカウントまたはアップカウント)のときのカウント方向を示しています。0 (無効)のとき、カウントしません。

(1) 位相計数モードの設定手順例

図9-26に位相計数モードの設定手順例を示します。

図9-26 位相計数モードの設定手順例



(2) 動作例

図9-27～図9-30に位相計数モードの動作例を示します。

位相計数モードでは、TRGCNTCレジスタのCNTEN0～CNTEN7ビットにより、TRGCLKA、TRGCLKB端子の立ち上がり(↑)/立ち下がり(↓)の両エッジで加算/減算されます。

図9-27 位相計数モードの動作例1

・TRGCNTCレジスタの値がFFHの場合

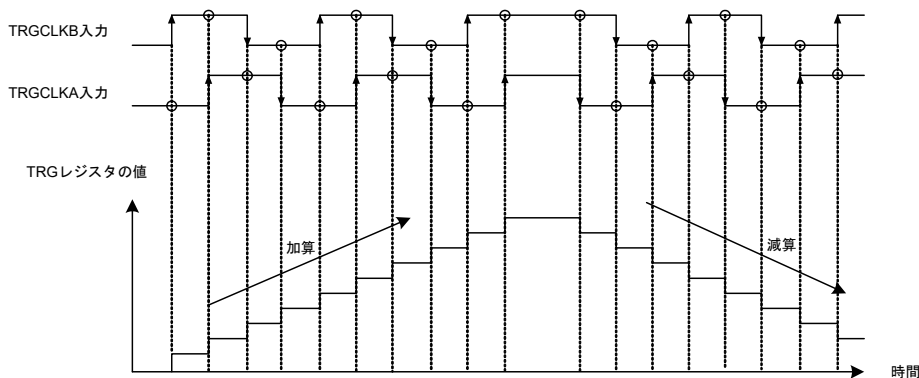


図9-28 位相計数モードの動作例2

・TRGCNTCレジスタの値が24Hの場合

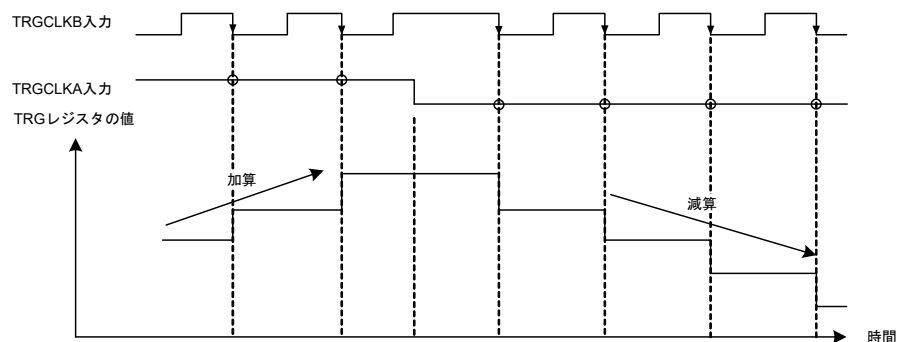


図9 - 29 位相計数モードの動作例3

・ TRGCNTCレジスタの値が28Hの場合

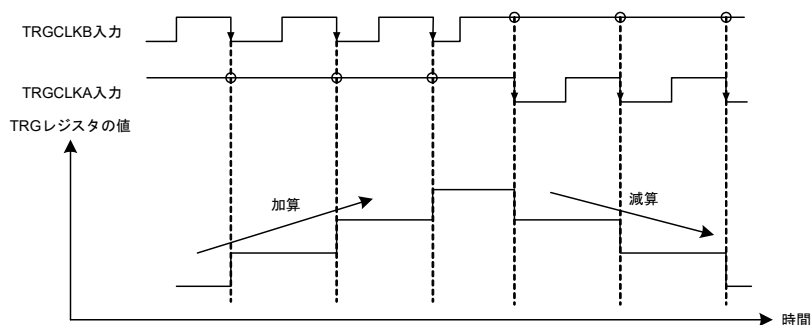
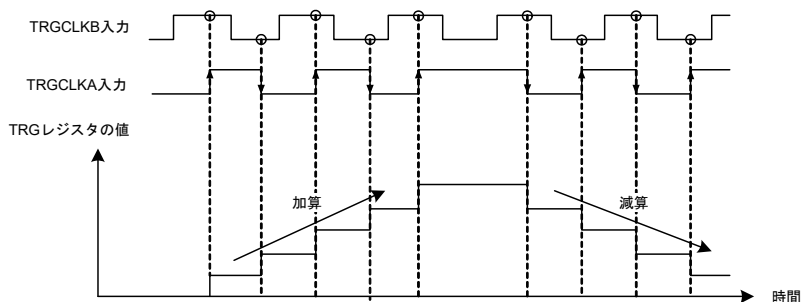


図9 - 30 位相計数モードの動作例4

・ TRGCNTCレジスタの値が5AHの場合



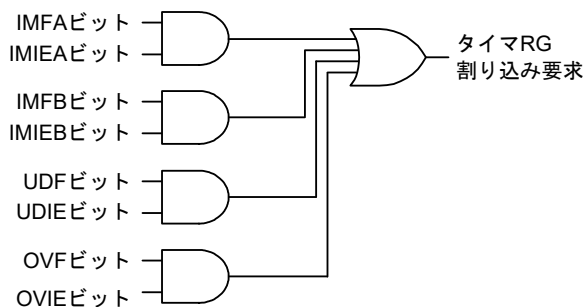
9.5 タイマRG 割り込み

タイマRGは、4つの要因からタイマRG割り込み要求を発生します。表9 - 16にタイマRG割り込み関連レジスタを、図9 - 31にタイマRG割り込みのブロック図を示します。

表9 - 16 タイマRG割り込み関連レジスタ

	タイマRGステータス レジスタ	タイマRG割り込み 許可レジスタ	割り込み要求フラグ (レジスタ)	割り込みマスク・ フラグ(レジスタ)	優先順位指定フラグ (レジスタ)
タイマRG	TRGSR	TRGIER	TRGIF (IF2H)	TRGMK (MK2H)	TRGPR0 (PR02H) TRGPR1 (PR12H)

図9 - 31 タイマRG割り込みのブロック図



IMFA, IMFB, UDF, OVF: TRGSRレジスタのビット

IMIEA, IMIEB, UDIE, OVIE: TRGIERレジスタのビット

タイマRGは、複数の割り込み要求要因から1つの割り込み要因(タイマRG割り込み)を発生するため、タイマRD割り込みを除く他のマスカブル割り込みとは次のような違いがあります。

- TRGSRレジスタのビットが1で、それに対するTRGIERレジスタのビットが1(割り込み許可)の場合、IF2HレジスタのTRGIFビットが1(割り込み要求あり)になります。
- TRGIERレジスタの複数のビットを1にしている場合、どの要求要因による割り込みかは、TRGSRレジスタで判定してください。
- TRGSRレジスタの各ビットは、割り込みが受け付けられても自動的に0になりませんので、割り込みルーチン内で0にしてください。
- タイマRGの、ある割り込み要因のステータスフラグ(以下「当該ステータスフラグ」とする)を0にすると、その割り込みがタイマRG割り込み許可レジスタi (TRGIER)で割り込み禁止に設定されている場合、下記(a)～(c)のいずれかの方法で実行してください。

- (a) タイマRG 割り込み許可レジスタ (TRGIER) を00H (すべての割り込みを禁止)にした後、当該ステータスフラグに0を書いてください。
- (b) タイマRG 割り込み許可レジスタ (TRGIER) の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが0の場合、当該ステータスフラグに0を書いてください。
- (例) TRGIMIEA, TRGOVIE が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・タイマRG割り込み許可レジスタ (TRGIER)の状態

TRGIER	—	—	—	—	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
	0	0	0	0	1	0	0	1

割り込み許可

割り込み禁止

・タイマRGステータスレジスタ (TRGSR)の状態

TRGSR	—	—	—	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
	0	0	0	0	0	1	1	0

要求をクリアしたいビット

割り込み許可にしているビットに対応するステータスフラグ (TRGOVF, TRGIMFA)が0なので、TRGIMFBに0を書いてください。

- (c) タイマRG 割り込み許可レジスタ (TRGIER) の中に1(許可)にしているビットがあり、かつ、そのビットで許可した割り込み要因のステータスフラグが1の場合、このステータスフラグは、当該ステータスフラグに0を書くとき同時に0を書いてください。
- (例) TRGIMIEA が割り込み許可, TRGIMIEB が割り込み禁止の状態、TRGIMFB をクリアする場合

・タイマRG割り込み許可レジスタ (TRGIER)の状態

TRGIER	—	—	—	—	TRGOVIE	TRGUDIE	TRGIMIEB	TRGIMIEA
	0	0	0	0	0	0	0	1

割り込み許可

割り込み禁止

・タイマRGステータスレジスタ (TRGSR)の状態

TRGSR	—	—	—	TRGDIRF	TRGOVF	TRGUDF	TRGIMFB	TRGIMFA
	0	0	0	0	0	1	1	1

要求をクリアしたいビット

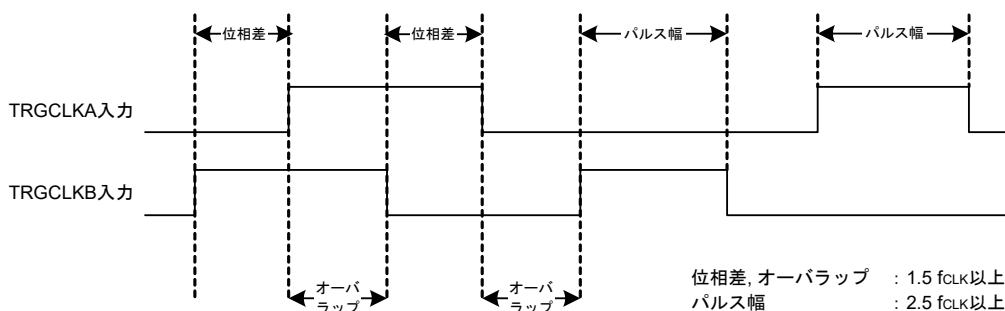
割り込み許可にしているビットに対応するステータスフラグTRGIMFAが1なので、TRGIMFBと同時にTRGIMFAにも0を書いてください。

9.6 タイマRG使用上の注意事項

9.6.1 位相計数モード時の位相差, オーバラップ, およびパルス幅

TRGCLKA, TRGCLKB 端子からの外部入力信号の位相差およびオーバラップはそれぞれ $1.5 f_{CLK}$ 以上, パルス幅は $2.5 f_{CLK}$ 以上が必要です。図9-32に位相計数モード時の位相差, オーバラップ, およびパルス幅を示します。

図9-32 位相計数モード時の位相差, オーバラップ, およびパルス幅



9.6.2 モード切り替え

- 動作中にモードを切り替える際は, TRGMRレジスタのTRGSTARTビットを0 (カウント停止)にした後, 行ってください。
- モード切り替え後, 動作開始前にTRGIFビットを0にしてください。
詳細は, 第21章 割り込み機能を参照してください。

9.6.3 カウントソース切り替え

- カウントソースを切り替える際は, カウントを停止した後, 切り替えてください注。

変更手順

- (1) TRGMRレジスタのTRGSTARTビットを0 (カウント停止)にする。
- (2) TRGCRレジスタのTRGTCK0～TRGTCK2ビットを変更する。

注 カウント動作中に書き換え禁止のレジスタまたはビットは以下のとおりです。

- TRGMRレジスタのTRGSTARTを除くすべてのビット
- TRGCNTCレジスタ
- TRGCRレジスタ
- TRGIORレジスタ

9.6.4 TRGIOA, TRGIOB 端子の設定手順

リセット後, TRGIOA, TRGIOB 端子と共用している I/O ポートは入力ポートとして機能します。

- TRGIOA, TRGIOB 端子から出力する場合は, 以下の手順で設定してください。

変更手順

- (1) モード設定, 初期値設定/出力許可設定をする(初期値設定と許可設定を同じSFRで行うため)。
- (2) TRGIOA, TRGIOB 端子に対応するポート・レジスタのビットを0にする。
- (3) TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを出力モードに設定する
(TRGIOA, TRGIOB 端子から出力開始)。
- (4) カウントを開始する(TRGMR レジスタの TRGSTART = 1)。

- TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを出力モードから入力モードに変更する場合, 以下の手順で設定してください。

変更手順

- (1) TRGIOA, TRGIOB 端子に対応するポート・モード・レジスタのビットを入力モードに設定する
(TRGIOA, TRGIOB 端子から入力開始)。
- (2) インプットキャプチャ機能に設定する。
- (3) カウントを開始する(TRGMR レジスタの TRGSTART = 1)。

- TRGIOA, TRGIOB 端子を出力モードから入力モードに切り替える場合, 端子の状態によりインプットキャプチャ動作することがあります。デジタルフィルタを使用しない場合, CPUクロックの2サイクル以上経過した後で, エッジ検出を行います。デジタルフィルタを使用する場合, 最大でデジタルフィルタのサンプリングクロックの5サイクルでエッジ検出を行います。

9.6.5 外部クロック TRGCLKA, TRGCLKB

TRGCLKj 端子(j = A, B)に inputs する外部クロックのパルス幅は, タイマRGの動作クロック(fCLK)の3サイクル以上にしてください。

9.6.6 SFR リード/ライトアクセス

タイマRGを設定するには、最初にPER1レジスタのTRGENビットを1にしてください。TRGENビットが0の場合は、タイマRGの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・レジスタ、ポート・モード・レジスタは除く)。

(1) TRGMRレジスタ

デジタルフィルタクロック切り替えの際、以下の設定手順を行ってください。

- (a) TRGSTARTビットが0(カウント停止)の状態において、TRGMRレジスタのTRGDFA, TRGDFBビット(TRGIOA, TRGIOB 端子のデジタルフィルタ機能選択ビット), TRGMRレジスタのTRGDFCK0, TRGDFCK1ビット(デジタルフィルタ機能で使用するクロック選択ビット)を設定する。
- (b) TRGSTARTビットを1に設定する。

ただし、デジタルフィルタを設定しない場合、リセット直後のTRGDFCK1, TRGDFCK0 = 00Bから変更しない場合は、1回で設定することが可能です。

インプットキャプチャの動作要因として、外部入力端子(TRGIOA, TRGIOB)の他に、ELCからのイベント入力を選択できます。この機能を使用したい場合はTRGMRレジスタのTRGELCICEビットを1に設定し、インプットキャプチャ機能(インプットキャプチャの有効エッジは立ち上がりエッジ(TRGIOB2 ~ TRGIOB0 = 100B))に設定してください。PWMモードやタイマモードのアウトプットコンペア機能時(TRGPWM = 1, TRGIOB2 = 0), この機能は無効となります。

(2) TRGレジスタ

TRGMRレジスタへの書き込み動作とタイマRG動作条件によるカウンタリセット動作は、TRGMRレジスタへの書き込み動作を優先動作としています。

9.6.7 カウント停止時のインプットキャプチャ動作

インプットキャプチャモードでは、TRGMRレジスタのTRGSTARTビットが0(カウント停止)のときも、TRGIORレジスタのTRGIOj0, TRGIOj1ビットで選択したエッジがTRGIOj端子に入力されると、TRGIOj入力の有効エッジのインプットキャプチャ割り込み要求が発生します(j = A, B)。

第10章 リアルタイム・クロック

10.1 リアルタイム・クロックの機能

リアルタイム・クロックには、次のような機能があります。

- 年、月、曜日、日、時、分、秒のカウンタを持ち、最長99年までカウント可能
- 定周期割り込み機能(周期：0.5秒、1秒、1分、1時間、1日、1月)
- アラーム割り込み機能(アラーム：曜日・時・分)
- 1 Hzの端子出力機能(40ピン、44ピン、48ピン、52ピン、64ピン、80ピン、100ピン製品のみ)

リアルタイム・クロック割り込み信号(INTRTC)を、STOPモードからのウェイク・アップやA/DコンバータのSNOOZEモードのトリガに使えます。

注意 リアルタイム・クロックの動作クロックにサブシステム・クロック($f_{SUB} = 32.768 \text{ kHz}$)を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック($f_{IL} = 15 \text{ kHz}$)を選択時は、定周期割り込み機能のみ使用できます。30ピン、32ピン、36ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。ただし、 f_{IL} 選択時の定周期割り込み間隔は、定周期(RTCC0レジスタで選択した値) $\times f_{SUB}/f_{IL}$ で算出される値になります。

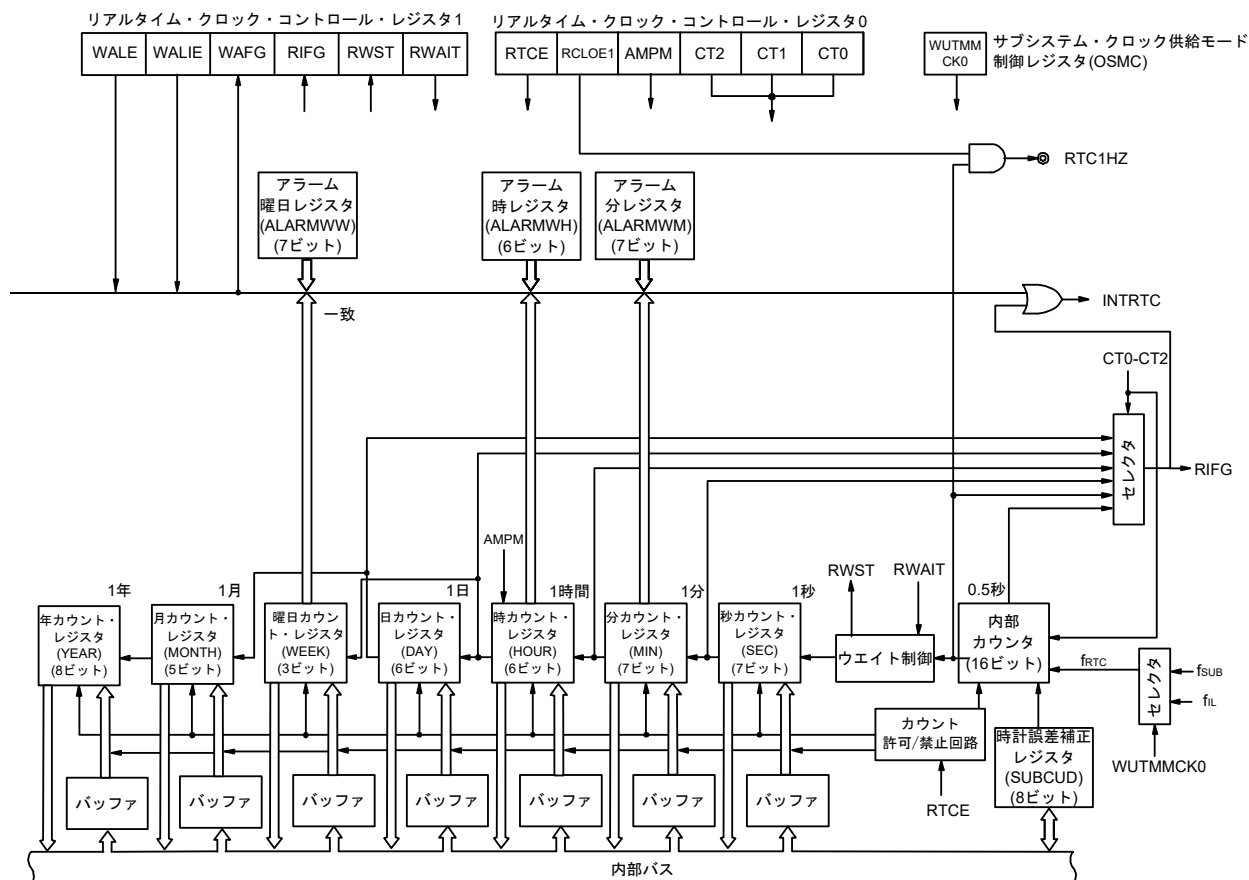
10.2 リアルタイム・クロックの構成

リアルタイム・クロックは、次のハードウェアで構成されています。

表10-1 リアルタイム・クロックの構成

項目	構成
カウンタ	内部カウンタ(16ビット)
制御レジスタ	周辺イネーブル・レジスタ0(PER0)
	サブシステム・クロック供給モード制御レジスタ(OSMC)
	リアルタイム・クロック・コントロール・レジスタ0(RTCC0)
	リアルタイム・クロック・コントロール・レジスタ1(RTCC1)
	秒カウント・レジスタ(SEC)
	分カウント・レジスタ(MIN)
	時カウント・レジスタ(HOUR)
	日カウント・レジスタ(DAY)
	曜日カウント・レジスタ(WEEK)
	月カウント・レジスタ(MONTH)
	年カウント・レジスタ(YEAR)
	時計誤差補正レジスタ(SUBCUD)
	アラーム分レジスタ(ALARMWM)
	アラーム時レジスタ(ALARMWH)
	アラーム曜日レジスタ(ALARMWW)

図 10 - 1 リアルタイム・クロックのブロック図



注意 リアルタイム・クロックの動作クロックにサブシステム・クロック (fsUB = 32.768 kHz) を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (fIL = 15 kHz) を選択時は、定周期割り込み機能のみ使用できます。30 ピン、32 ピン、36 ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。

ただし、fIL 選択時の定周期割り込み間隔は、定周期 (RTCC0 レジスタで選択した値) × fsUB/fIL で算出される値になります。

10.3 リアルタイム・クロックを制御するレジスタ

リアルタイム・クロックは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ 0 (PER0)
- サブシステム・クロック供給モード制御レジスタ (OSMC)
- リアルタイム・クロック・コントロール・レジスタ 0 (RTCC0)
- リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)
- 秒カウント・レジスタ (SEC)
- 分カウント・レジスタ (MIN)
- 時カウント・レジスタ (HOUR)
- 日カウント・レジスタ (DAY)
- 曜日カウント・レジスタ (WEEK)
- 月カウント・レジスタ (MONTH)
- 年カウント・レジスタ (YEAR)
- 時計誤差補正レジスタ (SUBCUD)
- アラーム分レジスタ (ALARMWM)
- アラーム時レジスタ (ALARMWH)
- アラーム曜日レジスタ (ALARMWW)
- ポート・モード・レジスタ 3 (PM3)
- ポート・レジスタ 3 (P3)

10.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・クロックを使用するときは、必ずビット7 (RTCEN)を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号 7 6 5 4 3 2 1 0

PER0	RTCEN	IICA1EN注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN注	TAU0EN
	RTCEN	リアルタイム・クロック (RTC), 12ビット・インターバル・タイマの入カクロック供給の制御						
	0	入カクロック供給停止 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマはリセット状態						
	1	入カクロック供給 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可						

注 80, 100ピン製品のみ。

注意1. リアルタイム・クロックを使用する場合は、カウント・クロック (f_{RTC})が発振安定した状態で、必ず最初にRTCEN = 1に設定してから下記のレジスタの設定を行ってください。RTCEN = 0の場合は、リアルタイム・クロックの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC), ポート・モード・レジスタ3 (PM3), ポート・レジスタ3 (P3)は除く)。

- ・リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

注意2. サブシステム・クロック供給モード制御レジスタ (OSMC)のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイム・クロック, 12ビット・インターバル・タイマ以外の周辺機能へのサブシステム・クロック供給を停止することが可能です。

注意3. 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

10.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットでリアルタイム・クロックのカウント・クロック (f_{RTC})を選択できます。

また、RTCLPCビットは不要なクロック機能を停止させることにより、低消費電力化することを目的としたビットです。RTCLPCビットの設定については、第5章 クロック発生回路を参照してください。

OSMCレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10-3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0
WUTMMCK0	リアルタイム・クロック, 12ビット・インターバル・タイマのカウント・クロック (f _{RTC}), タイマRJの動作クロックの選択							
0	サブシステム・クロック (f _{SUB}) ・リアルタイム・クロック, 12ビット・インターバル・タイマのカウント・クロックはサブシステム・クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータを選択することはできません。							
1	低速オンチップ・オシレータ・クロック (f _{IL}) ・リアルタイム・クロック, 12ビット・インターバル・タイマのカウント・クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースは低速オンチップ・オシレータ, サブシステム・クロックのいずれかを選択することができます。							

注意 リアルタイム・クロックの動作クロックにサブシステム・クロック (f_{SUB} = 32.768 kHz)を選択時のみ、年、月、曜日、日、時、分、秒のカウントができます。低速オンチップ・オシレータ・クロック (f_{IL} = 15 kHz)を選択時は、定周期割り込み機能のみ使用できます。30ピン、32ピン、36ピン製品は、サブシステム・クロックを搭載していないため、定周期割り込み機能のみ使用できます。

ただし、f_{IL}選択時の定周期割り込み間隔は、定周期 (RTCC0 レジスタで選択した値) × f_{SUB}/f_{IL} で算出される値になります。

10.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)

リアルタイム・クロック動作の開始／停止，RTC1HZ端子の制御，12/24時間制，定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0レジスタは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図10-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマット

アドレス：FFF9DH リセット時：00H R/W

略号

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

RTCC0

RTCE	0	RCLOE1注	0	AMPM	CT2	CT1	CT0
------	---	---------	---	------	-----	-----	-----

RTCE	リアルタイム・クロックの動作制御						
0	カウンタ動作停止						
1	カウンタ動作開始						

RCLOE1注	RTC1HZ端子の出力制御						
0	RTC1HZ端子の出力(1 Hz)禁止						
1	RTC1HZ端子の出力(1 Hz)許可						

AMPM	12時間制／24時間制の選択						
0	12時間制(午前／午後を表示)						
1	24時間制						

•

AMPMビットの値を変更する場合は、RWAITビット(リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のビット0) = 1にしてから書き換えてください。AMPMレジスタの値を変更すると、時カウント・レジスタ (HOUR)の値は設定した時間制に対応した値に変更されます。

•

時間桁表示表を表 10 - 2に示します。

CT2	CT1	CT0	定周期割り込み(INTRTC)の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度(秒カウントアップに同期)
0	1	0	1秒に1度(秒カウントアップと同時)
0	1	1	1分に1度(毎分00秒)
1	0	0	1時間に1度(毎時00分00秒)
1	0	1	1日に1度(毎日00時00分00秒)
1	1	×	1月に1度(毎月1日午前00時00分00秒)

カウンタ動作中(RTCE = 1)にCT2-CT0ビットの値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注 30ピン，32ピン，36ピンの製品はRCLOE1ビットに0を設定してください。

注意1. RTCE = 1のときにRCLOE1ビットを変更しないでください。

注意2. RTCE = 0のときに，RCLOE1 = 1に設定しても1Hz出力されません。

備考 × : Don't care

10.3.4 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)

アラーム割り込み機能、カウンタのウェイトを制御する8ビットのレジスタです。
RTCC1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図 10 - 5 リアルタイム・クロック・コントロール・レジスタ 1 (RTCC1)のフォーマット (1/2)

アドレス : FFF9EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT
WALE								
アラームの動作制御								
0								
一致動作無効								
1								
一致動作有効								
カウンタ動作中(RTCE = 1)かつWALIE = 1の時にWALEビットへ設定する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ、RTCIFフラグをクリアしてください。アラームの各レジスタ(RTCC1レジスタのWALIEフラグ、アラーム分レジスタ(ALARMWM)、アラーム時レジスタ(ALARMWH)、アラーム曜日レジスタ(ALARMWW))を設定する場合、WALEビットを一致動作無効“0”にしてください。								
WALIE								
アラーム割り込み(INTRTC)機能の動作制御								
0								
アラームの一致による割り込みを発生しない								
1								
アラームの一致による割り込みを発生する								
WAFG								
アラーム検出ステータス・フラグ								
0								
アラーム不一致								
1								
アラームの一致検出								
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり、アラーム一致検出し、fRTCの1クロック後に“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。								

図10-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/2)

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により“1”となります。 “0”を書き込むことでクリアされ、“1”の書き込みは無効となります。	

RWST	リアルタイム・クロックのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し、書き込みモード中
RWAITビットの設定が有効であるかを示すステータスです。 カウンタ値の読み出し、書き込みは、このフラグの値が1になっていることを確認したあとに行ってください。	

RWAIT	リアルタイム・クロックのウェイト制御
0	カウンタ動作設定
1	SEC～YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。
カウンタの動作を制御します。 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。 内部カウンタ(16ビット)は動作を継続するので、1秒以内に読み出しや書き込みを終了し、0に戻してください。 アラーム割り込みを使用するときに、カウンタの読み出し／書き込みを行う場合は、RTCC0レジスタのCT2～CT0ビットを010B(1秒毎に定周期割り込み発生)にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能(RWST = 1)となるまで最大fRTCの1クロックの時間がかかります。注1,2 内部カウンタ(16ビット)のオーバーフローがRWAIT = 1のときに起きた場合は、オーバーフローが起きたことを保持してRWAIT = 0になったあと、カウント・アップします。 ただし、秒カウント・レジスタへの書き込みを行った場合は、オーバーフローが起きたことを保持しません。	

注1. RTCE = 1に設定した後、fRTCの1クロック時間内でRWAIT=1とした場合、RWSTビットが“1”になるまで動作クロック(fRTC)の2クロック時間がかかる場合があります。

注2. スタンバイ(HALTモード、STOPモード、SNOOZEモード)から復帰した後、fRTCの1クロック時間内で、RWAIT = 1とした場合、RWSTビットが“1”になるまでに、動作クロック(fRTC)の2クロック時間がかかる場合があります。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き換わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考1. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因(INTRTC)を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ(RIFG)とアラーム検出ステータス・フラグ(WAFG)を確認することで、どちらの割り込みが発生したかを判断することができます。

備考2. 秒カウント・レジスタ(SEC)へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

10.3.5 秒カウント・レジスタ (SEC)

0-59 (10進)までの値を取り、秒のカウント値を示す8ビットのレジスタです。

内部カウンタ(16ビット)からのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大f_{RTC}の2クロック後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 10 - 7 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

備考 秒カウント・レジスタ (SEC) へ書き込みを行うと内部カウンタ(16ビット)はクリアされます。

10.3.6 分カウント・レジスタ (MIN)

0-59 (10進)までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大f_{RTC}の2クロック後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 10 - 8 分カウント・レジスタ (MIN) のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.7 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進)までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込みされます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また、リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のビット3 (AMPM)で設定した時間制に応じて、10進の00-23または01-12, 21-32をBCDコードで設定してください。

AMPMビットの値を変更すると、HOURレジスタの値は設定した時間制に対応する値に変更されます。

HOURレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図10-9 時カウント・レジスタ (HOUR)のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意1. HOURレジスタのビット5 (HOUR20)は、AMPM = 0 (12時間制)を選択した場合、AM (0)/PM (1)を示します。

注意2. カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

AMPMビットの設定値、および時カウント・レジスタ(HOUR)値と時間の関係を表10-2に示します。

表10-2 時間桁表示表

24時間表示(AMPMビット=1)		12時間表示(AMPMビット=0)	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00 H	AM12時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM12時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は、AMPMビットが“0”のときに12時間表示、“1”のときに24時間表示となります。

12時間表示の場合は、HOURレジスタの5ビット目で午前／午後を表示し、午前(AM)のときに0に、午後(PM)のときに1となります。

10.3.8 日カウント・レジスタ (DAY)

1-31 (10進)までの値を取り、日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは、次に示すようにカウントします。

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図10 - 10 日カウント・レジスタ (DAY)のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.9 曜日カウント・レジスタ (WEEK)

0-6 (10進)までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大FRTCの2クロック後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 10 - 11 曜日カウント・レジスタ (WEEK)のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意1. 曜日カウント・レジスタ (WEEK)には、月カウント・レジスタ (MONTH)および日カウント・レジスタ (DAY)に対応した値が自動的に格納されるわけではありません。

リセット解除後、次のように設定してください。

曜日	WEEK
日	00 H
月	01 H
火	02 H
水	03 H
木	04 H
金	05 H
土	06 H

注意2. カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.10 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進)までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-12をBCDコードで設定してください。

MONTHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図10 - 12 月カウント・レジスタ (MONTH)のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.11 年カウント・レジスタ (YEAR)

0-99 (10進)までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウント・レジスタ (MONTH)からのオーバフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大fRTCの2クロック後にカウンタへ書き込まれます。書き込み中にMONTHレジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-99をBCDコードで設定してください。

YEARレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図10 - 13 年カウント・レジスタ (YEAR)のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

注意 カウンタ動作中(RTCE = 1)にこのレジスタの読み出し／書き込みをする場合は、10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに記載されている手順に従って実施してください。

10.3.12 時計誤差補正レジスタ (SUBCUD)

内部カウンタ(16ビット)から秒カウンタ・レジスタ(SEC)へオーバフローする値(基準値: 7FFFH)を変化させることにより、時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 10 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FFF99H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時(20秒ごと)に時計誤差補正
1	秒桁が00秒時のみ(60秒ごと)に時計誤差補正

次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。

- DEV = 0 設定時 : SEC = 00H, 20H, 40Hの期間
- DEV = 1 設定時 : SEC = 00Hの期間

F6	時計誤差補正値の設定
0	{(F5, F4, F3, F2, F1, F0) - 1} × 2だけ増加
1	{(/F5, /F4, /F3, /F2, /F1, /F0) + 1} × 2だけ減少

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *)のときは、時計誤差補正を行いません。*は0または1です。

/F5 ~ /F0は、ビット反転した値(111100のときは000011)となります。

補正値の範囲 : (F6=0のとき) 2, 4, 6, 8, . . . 120, 122, 124

(F6=1のとき) -2, -4, -6, -8, . . . -120, -122, -124

次に、時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	-189.2 ppm ~ 189.2 ppm	-63.1 ppm ~ 63.1 ppm
最大量子化誤差	±1.53 ppm	±0.51 ppm
最小分解能	±3.05 ppm	±1.02 ppm

備考 補正範囲が、-63.1 ppm以下または63.1 ppm以上のときは、DEV = 0を設定してください。

10.3.13 アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。

ALARMWMレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図 10 - 15 アラーム分レジスタ (ALARMWM)のフォーマット

アドレス : FFF9AH	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

10.3.14 アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。

ALARMWHレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図 10 - 16 アラーム時レジスタ (ALARMWH)のフォーマット

アドレス : FFF9BH	リセット時 : 12H	R/W						
略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHレジスタのビット5 (WH20)は、AMPM = 0 (12時間制)を選択した場合、AM (0)／PM (1)を示します。

10.3.15 アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。

ALARMWWレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 10 - 17 アラーム曜日レジスタ (ALARMWW)のフォーマット

アドレス : FFF9CH	リセット時 : 00H	R/W						
略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
	0	1	2	3	4	5	6								
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

10.3.16 ポート・モード・レジスタ3 (PM3)

PM3レジスタは、1ビット・メモリ・操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

RTC1HZ端子の1 Hz出力として使用する時は、PM30ビットに“0”を設定してください。

図10 - 18 ポート・モード・レジスタ3 (PM3)のフォーマット

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	1	PM31	PM30

10.3.17 ポート・レジスタ3 (P3)

P3レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

RTC1HZ端子へ1 Hz出力として使用する時は、P30ビットに“0”を設定してください。

図10 - 19 ポート・レジスタ3 (P3)のフォーマット

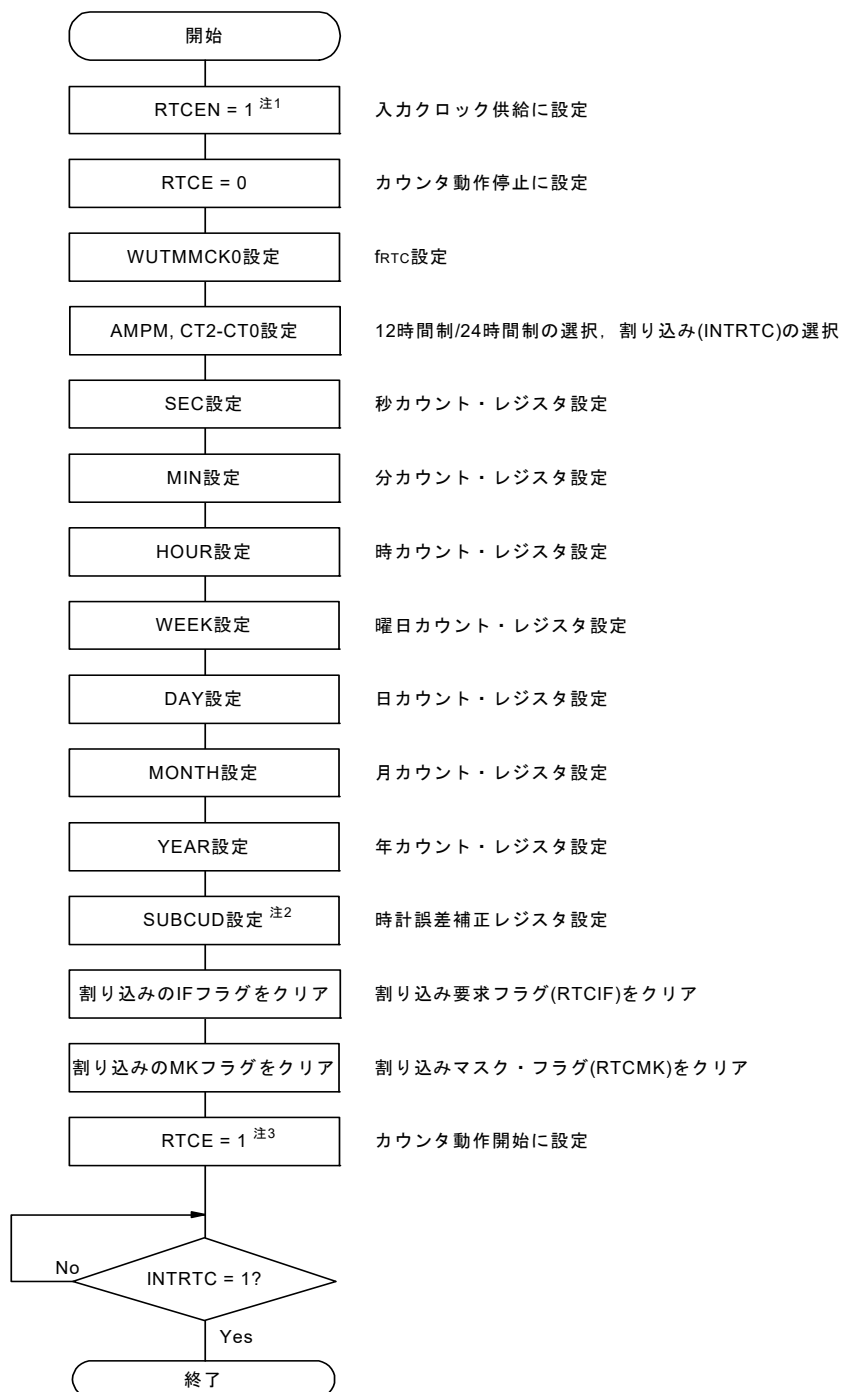
アドレス : FFF03H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
P3	0	0	0	0	0	0	P31	P30

10.4 リアルタイム・クロックの動作

10.4.1 リアルタイム・クロックの動作開始

図 10 - 20 リアルタイム・クロックの動作開始手順



注1. カウント・クロック(f_{RTC})が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

注2. 時計誤差補正する必要がある場合のみ。補正值の算出方法は、10.4.6 リアルタイム・クロックの時計誤差補正例を参照してください。

注3. RTCE = 1のあとにINTRTC = 1を待たずにHALT/STOPモードへ移行する場合は、10.4.2 動作開始後のHALT/STOPモードへの移行の手順を確認してください。

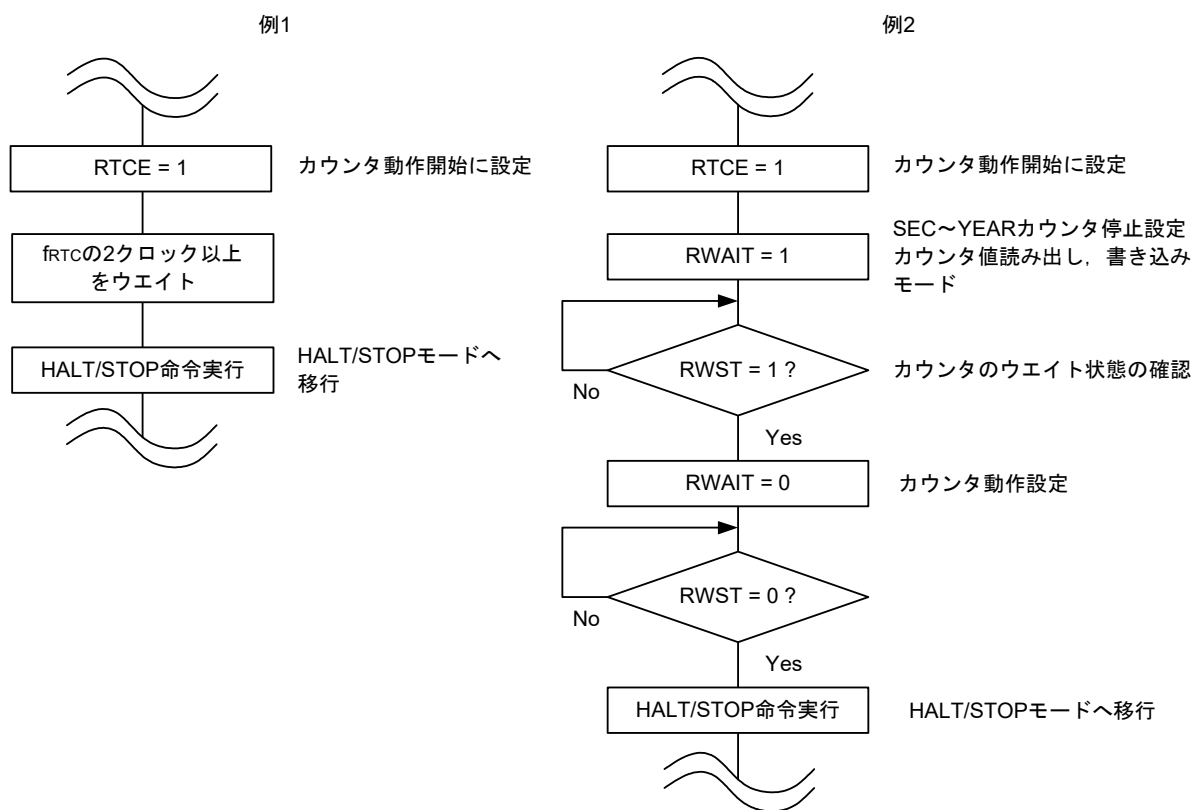
10.4.2 動作開始後のHALT/STOPモードへの移行

RTCE = 1に設定直後にHALT/STOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、INTRTC 割り込みの発生以降にHALT/STOPモードへ移行する場合は、これらの処理は必要ありません。

- RTCE = 1に設定してから、カウント・クロック (f_{RTC}) の2クロック分以上経過後にHALT/STOPモードへ移行する(図10-21 例1参照)。
- RTCE = 1に設定後、RWAIT = 1に設定し、RWSTビットが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTビットが0になったのを再度ポーリングで確認後にHALT/STOPモードへ移行する(図10-21 例2参照)。

図10-21 RTCE = 1に設定後のHALT/STOPモードへの移行手順

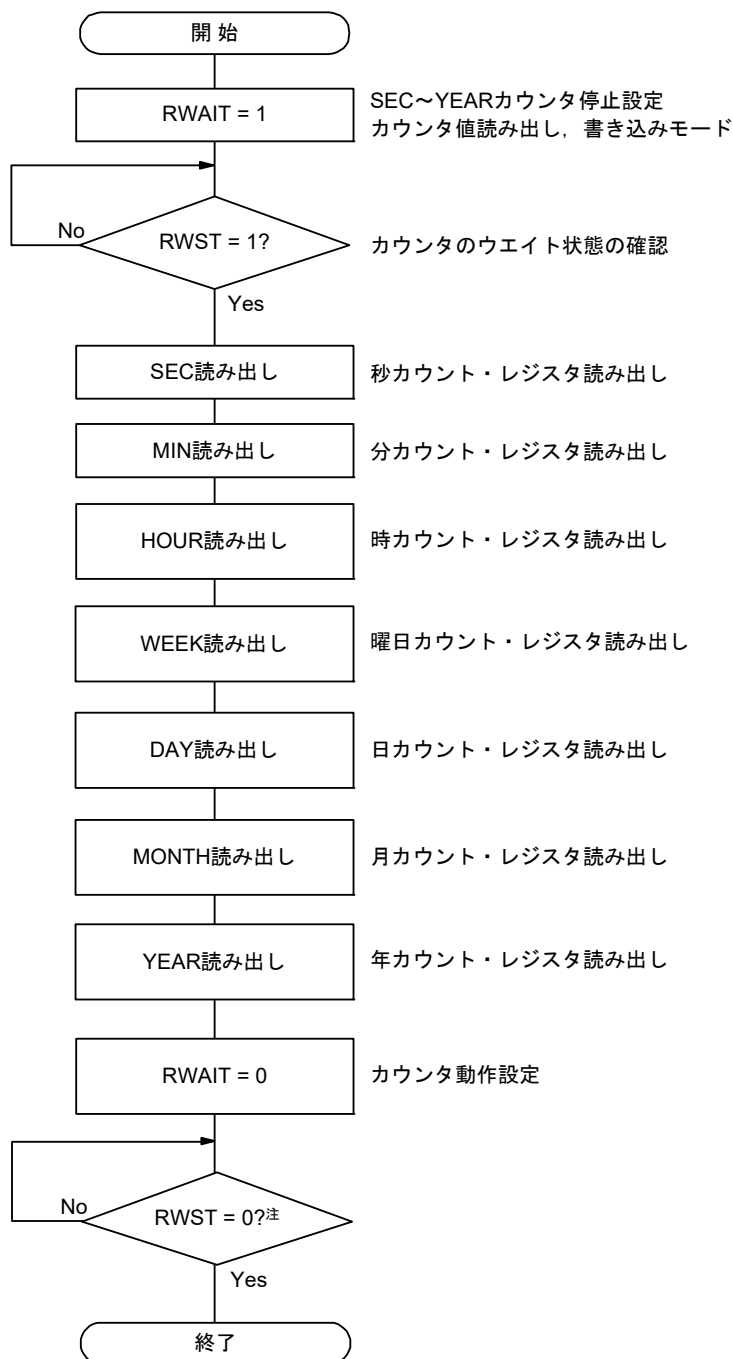


10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込み

カウンタの読み出し／書き込みは、最初にRWAIT = 1にしてから行ってください。

カウンタの読み出し／書き込み終了後は、RWAIT = 0にしてください。

図 10 - 22 リアルタイム・クロックの読み出し手順



注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

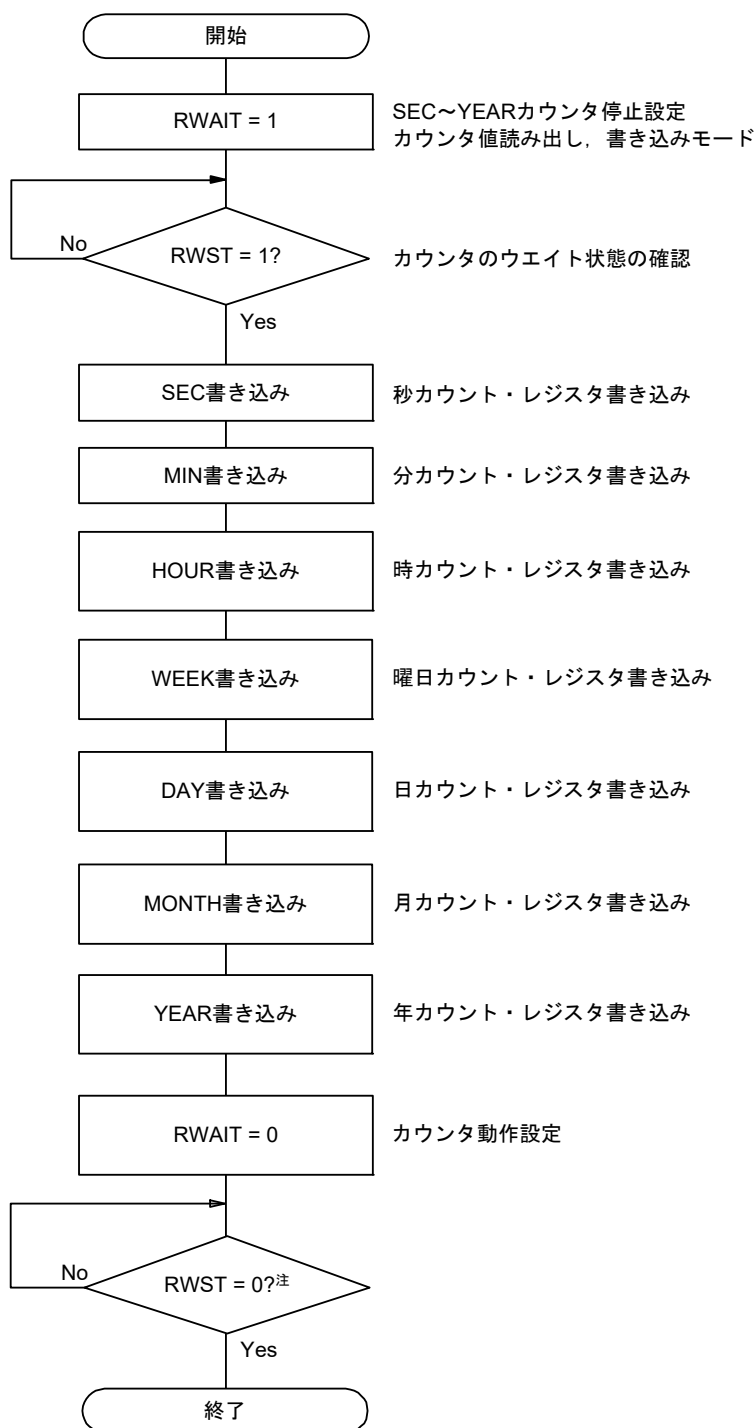
注意 RWAIT = 1 から RWAIT = 0 までの処理を1秒以内で行ってください。

アラーム割り込みを使用するときに、カウンタ読み出しを行う場合は、RTCC0 レジスタのCT2～CT0 ビットを010B（1 秒毎に定周期割り込み発生）にして、RWAIT = 1 から RWAIT = 0 までの処理を次の定周期割り込みが発生するまでに行ってください。

備考 秒カウント・レジスタ (SEC), 分カウント・レジスタ (MIN), 時カウント・レジスタ (HOUR), 曜日カウント・レジスタ (WEEK), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), 年カウント・レジスタ (YEAR)の読み出しの順番に制限はありません。

また, すべてのレジスタを読み出す必要はなく, 一部のレジスタのみを読み出しても構いません。

図 10-23 リアルタイム・クロックの書き込み手順



注 HALT/STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意1. RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

アラーム割り込みを使用するときに、カウンタ書き込みを行う場合は、RTCC0レジスタのCT2~CT0ビットを010B（1秒毎に定周期割り込み発生）にして、RWAIT = 1からRWAIT = 0までの処理を次の定周期割り込みが発生するまでに行ってください。

注意2. カウンタ動作中(RTCE = 1)にSEC, MIN, HOUR, WEEK, DAY, MONTH, YEARレジスタを書き換える場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後にWAFGフラグ, RIFGフラグ, RTCIFフラグをクリアしてください。

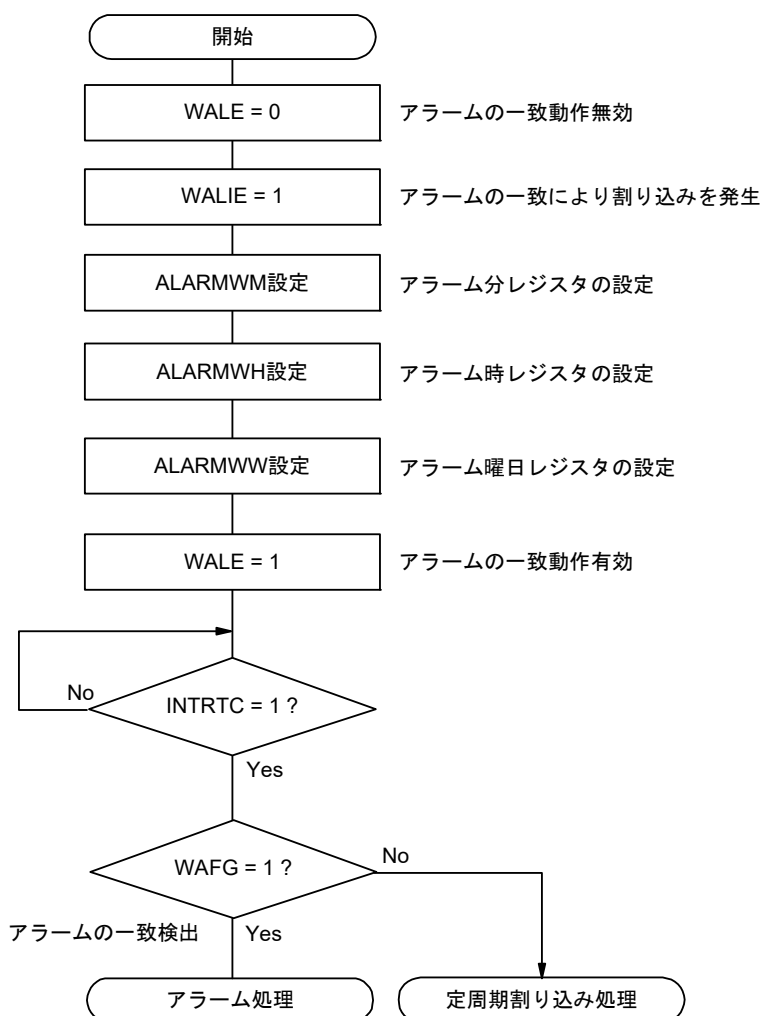
備考 秒カウント・レジスタ (SEC), 分カウント・レジスタ (MIN), 時カウント・レジスタ (HOUR), 曜日カウント・レジスタ (WEEK), 日カウント・レジスタ (DAY), 月カウント・レジスタ (MONTH), 年カウント・レジスタ (YEAR)の書き込みの順番に制限はありません。

また, すべてのレジスタを設定する必要はなく, 一部のレジスタのみを書き換えても構いません。

10.4.4 リアルタイム・クロックのアラーム設定

アラーム時刻設定は, 最初に WALE = 0 (アラーム動作無効) にしてから行ってください。

図 10 - 24 アラーム設定手順

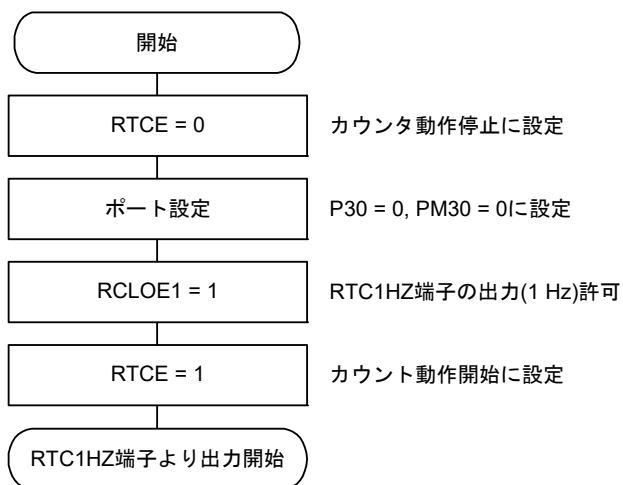


備考 1. アラーム分レジスタ (ALARMWM), アラーム時レジスタ (ALARMWH), アラーム曜日レジスタ (ALARMWW)の書き込みの順番に制限はありません。

備考 2. 定周期割り込みとアラーム一致割り込みは, 同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は, INTRTCが発生した時点で, 定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG)を確認することで, どちらの割り込みが発生したかを判断することができます。

10.4.5 リアルタイム・クロックの1 Hz出力

図 10 - 25 1 Hz 出力の設定手順



注意1. カウント・クロック (f_{SUB})が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

注意2. 30ピン, 32ピン, 36ピンの製品はリアルタイム・クロックの1 Hz出力機能はありません。

10.4.6 リアルタイム・クロックの時計誤差補正例

時計誤差補正レジスタに値を設定することにより、時計の進みや遅れをより高精度に補正できます。

補正値の算出方法例

内部カウンタ(16ビット)のカウンタ値を補正する際の補正値は、次の式で算出できます。

補正範囲が、-63.1 ppm 以下または63.1 ppm 以上のときは、DEV = 0を設定してください。

(DEV = 0の場合)

補正値^注 = 1分間の補正カウント数 ÷ 3 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60 ÷ 3

(DEV = 1の場合)

補正値^注 = 1分間の補正カウント数 = (発振周波数 ÷ ターゲット周波数 - 1) × 32768 × 60

注 補正値とは、時計誤差補正レジスタ (SUBCUD) のビット 6-0 の値により求められる時計誤差補正値です。

(F6=0の場合)補正値 = {(F5, F4, F3, F2, F1, F0) - 1} × 2

(F6=1の場合)補正値 = - {(F5, F4, F3, F2, F1, F0) + 1} × 2

(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *)のときは、時計誤差補正を行いません。*は0または1です。

/F5～/F0は、ビット反転した値(111100のときは000011)となります。

備考1. 補正値は、2, 4, 6, 8, . . . 120, 122, 124, または-2, -4, -6, -8 . . . -120, -122, -124です。

備考2. 発振周波数とは、カウンタ・クロック(f_{RTC})の値です。

時計誤差補正レジスタが初期値(00H)時のRTC1HZ端子の出力周波数 × 32768で求めることができます。

備考3. ターゲット周波数とは、時計誤差補正レジスタを使用した補正後の周波数です。

補正例①

32772.3 Hz から 32768 Hz (32772.3 Hz - 131.2 ppm) への補正例

【発振周波数の測定】

各製品の発振周波数^注はPCLBUZ0端子から約32.768 kHzを出力するか、時計誤差補正レジスタ(SUBCUD)⁶が初期値(00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、10.4.5 リアルタイム・クロックの1 Hz出力を、PCLBUZ0端子から約32 kHzの出力の設定手順は、12.4 クロック出力／ブザー出力制御回路の動作を参照してください。

【補正値の算出】

(PCLBUZ0端子からの出力周波数が32772.3 Hzの場合)

ターゲット周波数を32768 Hz (32772.3 Hz - 131.2 ppm)とすると、-131.2 ppmは補正範囲が⁶-63.1 ppm以下なので、DEV = 0とします。

DEV = 0の場合の補正値の算出式を適用します。

$$\begin{aligned}\text{補正値} &= 1\text{分間の補正カウント数} \div 3 = (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \div 3 \\ &= (32772.3 \div 32768 - 1) \times 32768 \times 60 \div 3 \\ &= 86\end{aligned}$$

【(F6～F0)への設定値の算出】

(補正値 = 86の場合)

補正値が0以上(遅くする場合)では、F6 = 0とします。

(F5, F4, F3, F2, F1, F0)は、補正値から算出します。

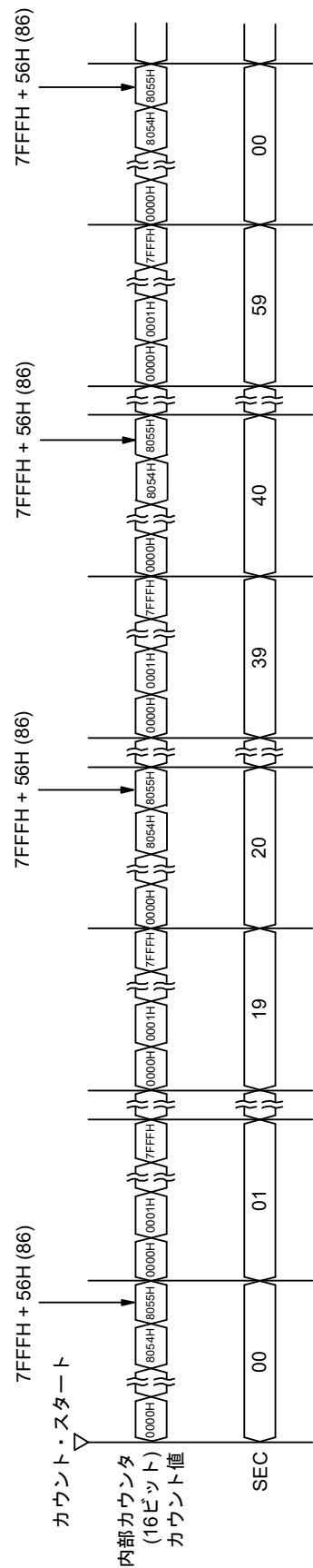
$$\begin{aligned}\{(F5, F4, F3, F2, F1, F0) - 1\} \times 2 &= 86 \\ (F5, F4, F3, F2, F1, F0) &= 44 \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 0, 0)\end{aligned}$$

したがって、32772.3 Hz から 32768 Hz (32772.3 Hz - 131.2 ppm) への補正の場合、

DEV = 0, 補正値 = 86 (SUBCUD レジスタのビット6-0 : 0101100) と補正レジスタを設定すると、32768 Hz (0 ppm)となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 1, 0, 0)の場合の補正動作を図10 - 26に示します。

図 10 - 26 (DEV, F6, F5, F4, F3, F2, F1, F0) = (0, 0, 1, 0, 1, 0, 1, 0, 0)の場合の補正動作



補正例②

32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm)への補正例

【発振周波数の測定】

各製品の発振周波数^注を、時計誤差補正レジスタ (SUBCUD)が初期値 (00H)時にRTC1HZ端子から約1 Hzを出力して測定します。

注 RTC1Hz出力の設定手順は、10.4.5 リアルタイム・クロックの1 Hz出力を参照してください。

【補正値の算出】

(RTC1HZ端子からの出力周波数が0.9999817 Hzの場合)

$$\text{発振周波数} = 32768 \times 0.9999817 \div 32767.4 \text{ Hz}$$

ターゲット周波数を32768 Hz (32767.4 Hz + 18.3 ppm)とし、DEV = 1とします。

DEV = 1の場合の補正値の算出式を適用します。

$$\begin{aligned} \text{補正値} &= \text{1分間の補正カウント数} &&= (\text{発振周波数} \div \text{ターゲット周波数} - 1) \times 32768 \times 60 \\ &&&= (32767.4 \div 32768 - 1) \times 32768 \times 60 \\ &&&= -36 \end{aligned}$$

【(F6～F0)への設定値の算出】

(補正値 = -36の場合)

補正値が0以下(速くする場合)では、F6 = 1とします。

(F5, F4, F3, F2, F1, F0)は、補正値から算出します。

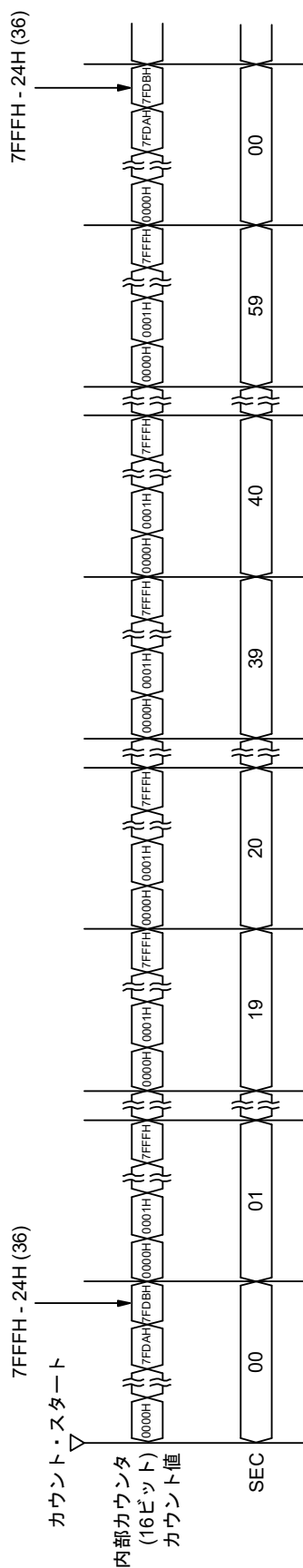
$$\begin{aligned} - \{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 \} \times 2 &= -36 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= 17 \\ (/F5, /F4, /F3, /F2, /F1, /F0) &= (0, 1, 0, 0, 0, 1) \\ (F5, F4, F3, F2, F1, F0) &= (1, 0, 1, 1, 1, 0) \end{aligned}$$

したがって、32767.4 Hzから32768 Hz (32767.4 Hz + 18.3 ppm)への補正の場合、

DEV = 1, 補正値 = -36 (SUBCUDレジスタのビット6-0: 1101110)と補正レジスタを設定すると、32768 Hz (0 ppm)となります。

(DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0)の場合の動作を図10 - 27に示します。

図 10 - 27 (DEV, F6, F5, F4, F3, F2, F1, F0) = (1, 1, 1, 0, 1, 1, 1, 0) の場合の動作



第11章 12ビット・インターバル・タイマ

11.1 12ビット・インターバル・タイマの機能

あらかじめ設定した任意の時間間隔で割り込み (INTIT) を発生します。STOP モードからのウエイク・アップや、A/DコンバータのSNOOZEモードのトリガに使えます。

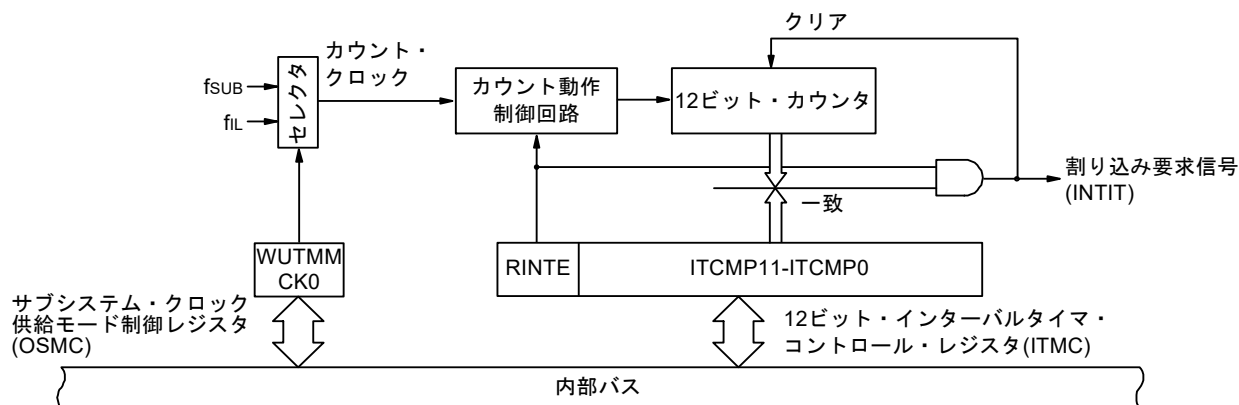
11.2 12ビット・インターバル・タイマの構成

12ビット・インターバル・タイマは、次のハードウェアで構成されています。

表 11 - 1 12ビット・インターバル・タイマの構成

項目	構成
カウンタ	12ビット・カウンタ
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0)
	サブシステム・クロック供給モード制御レジスタ (OSMC)
	12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

図 11 - 1 12ビット・インターバル・タイマのブロック図



注意 カウント・クロックにサブシステム・クロック (fsUB) を選択できるのは、40, 44, 48, 52, 64, 80, 100ピンの製品です。

11.3 12ビット・インターバル・タイマを制御するレジスタ

12ビット・インターバル・タイマは、次のレジスタで制御します。

- ・周辺イネーブル・レジスタ 0 (PER0)
- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

11.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

12ビット・インターバル・タイマを使用するときは、必ずビット7 (RTCEN)を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 11 - 2 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN注	TAU0EN
RTCEN	リアルタイム・クロック (RTC), 12ビット・インターバル・タイマの入カクロック供給の制御							
0	入カクロック供給停止 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのライト不可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマはリセット状態							
1	入カクロック供給許可 ・リアルタイム・クロック (RTC), 12ビット・インターバル・タイマで使用するSFRへのリード／ライト可							

注 80, 100ピン製品のみ。

注意 1. 12 ビット・インターバル・タイマを使用する際には、カウント・クロックが発振安定した状態で、必ず最初に RTCEN = 1 に設定してから下記のレジスタの設定を行ってください。RTCEN = 0 の場合は、12 ビット・インターバル・タイマの制御レジスタへの書き込みは無視され、読み出し値は初期値となります (サブシステム・クロック供給モード制御レジスタ (OSMC)は除く)。

・12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

注意 2. サブシステム・クロック供給モード制御レジスタ (OSMC)のRTCLPC = 1に設定することにより、STOPモード時およびサブシステム・クロック時HALTモードで、リアルタイムクロック、12ビット・インターバル・タイマ以外の周辺機能へのクロック供給を停止することが可能です。

注意 3. 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

11.3.2 サブシステム・クロック供給モード制御レジスタ (OSMC)

WUTMMCK0ビットで12ビット・インターバル・タイマ，リアルタイム・クロック，タイマRJの動作クロックを選択できます。

また，RTCLPCビットは不要なクロック機能を停止させることにより，低消費電力化することを目的としたビットです。RTCLPCビットの設定については，第5章 クロック発生回路を参照してください。

OSMCレジスタは，8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図 11 - 3 サブシステム・クロック供給モード制御レジスタ (OSMC)のフォーマット

アドレス：F00F3H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	RTCLPC	0	0	WUTMMCK0	0	0	0	0
WUTMMCK0	リアルタイムクロック，12ビット・インターバル・タイマ，タイマRJの動作クロックの選択							
0	サブシステム・クロック (fSUB) ・リアルタイム・クロック，12ビット・インターバル・タイマの動作クロックはサブシステム・クロックになります。 ・タイマRJのカウントソースに低速オンチップ・オシレータを選択することはできません。							
1	低速オンチップ・オシレータ・クロック (fIL) ・リアルタイム・クロック，12ビット・インターバル・タイマの動作クロックは低速オンチップ・オシレータ・クロックになります。 ・タイマRJのカウントソースは低速オンチップ・オシレータ，サブシステム・クロックのいずれかを選択することができます。							

11.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)

12ビット・インターバル・タイマの動作停止／開始の設定とコンペア値を設定するレジスタです。
ITMCレジスタは、16ビット・メモリ操作命令で設定します。
リセット信号の発生により、0FFFHになります。

図 11 - 4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマット

アドレス : FFF90H リセット時 : 0FFFH R/W

略号	15	14	13	12	11-0
ITMC	RINTE	0	0	0	ITCMP11-ITCMP0
RINTE		12ビット・インターバル・タイマの動作制御			
0		カウンタ動作停止(カウント・クリア)			
1		カウンタ動作開始			
ITCMP11-ITCMP0		12ビット・インターバル・タイマのコンペア値設定			
001H		「カウント・クロック周期 × (ITCMP 設定値 + 1)」の定周期割り込みを発生します。			
.					
.					
.					
FFFH					
000H					
ITCMP11-ITCMP0 = 001H, FFFH設定時の割り込み周期例					
• ITCMP11-ITCMP0 = 001H, カウント・クロック : fSUB = 32.768 kHz時 1/32.768 [kHz] × (1 + 1) = 0.06103515625 [ms] ≒ 61.03 [μs]					
• ITCMP11-ITCMP0 = FFFH, カウント・クロック : fSUB = 32.768 kHz時 1/32.768 [kHz] × (4095 + 1) = 125 [ms]					

- 注意 1. RINTE ビットを 1→0 に変更する場合は、INTIT を割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。再度動作開始(0→1)する場合は、ITIF フラグをクリアしてから割り込み処理許可にしてください。
- 注意 2. RINTE ビットのリード値は、RINTE ビット設定後、カウント・クロックの1クロック後に反映されます。
- 注意 3. HALT モード、STOP モードから通常動作、SNOOZE モードへ移行後に ITMC レジスタ設定して、再度 HALT モード、STOP モードに移行する場合は、ITMC レジスタの書き込み値が反映されたことを確認するか、ITMC レジスタ設定後、カウント・クロックの1クロック分以上経過後に HALT モード、STOP モードへ移行してください。
- 注意 4. ITCMP11-ITCMP0 ビットの設定を変更する場合は、必ず RINTE = 0 のときに行ってください。
ただし、RINTE = 0→1 または 1→0 に変更するのと同時に ITCMP11-ITCMP0 ビットの設定を変更することは可能です。

11.4 12ビット・インターバル・タイマの動作

11.4.1 12ビット・インターバル・タイマの動作タイミング

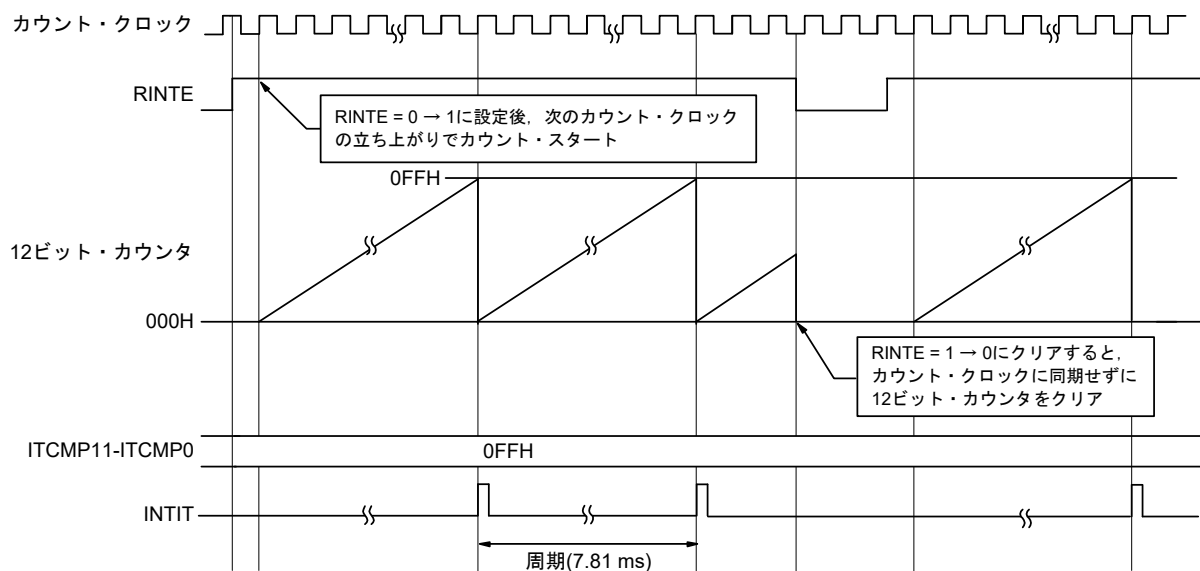
ITCMP11-ITCMP0 ビットに設定したカウント値をインターバルとし、繰り返し割り込み要求 (INTIT) を発生する 12ビット・インターバル・タイマとして動作します。

RINTE ビットを1に設定すると、12ビット・カウンタがカウントを開始します。

12ビット・カウンタ値がITCMP11-ITCMP0 ビットに設定した値と一致したとき、12ビット・カウンタの値を0にクリアしてカウントを継続すると同時に、割り込み要求信号(INTIT)を発生します。

12ビット・インターバル・タイマの基本動作を図11-5に示します。

図11-5 12ビット・インターバル・タイマ動作のタイミング
(ITCMP11-ITCMP0 = 0FFH, カウント・クロック : $f_{SUB} = 32.768 \text{ kHz}$)

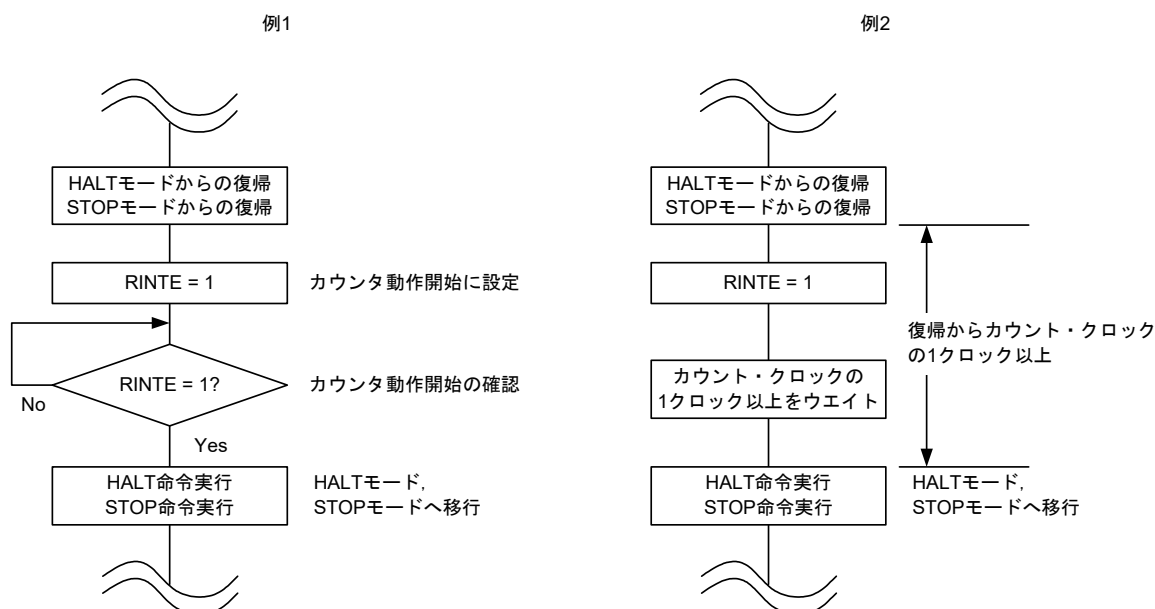


11.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行

HALTモードもしくはSTOPモードから復帰後にRINTE = 1に設定し、再度HALTモード、STOPモードへ移行する場合は、RINTE = 1に設定してから、RINTEビットの書き込み値が反映されたことを確認するか、復帰からカウント・クロックの1クロック分以上経過後に移行してください。

- RINTE = 1に設定後、RINTEビットが1になるのをポーリングで確認後にHALTモード、STOPモードへ移行する(図11-6 例1参照)。
- RINTE = 1に設定してから、カウント・クロックの1クロック分以上経過後にHALTモード、STOPモードへ移行する(図11-6 例2参照)。

図11-6 RINTE = 1に設定後のHALTモード、STOPモードへの移行手順



第12章 クロック出力／ブザー出力制御回路

注意 この章では、以降の主な説明を64ピン製品の場合で説明しています。

12.1 クロック出力／ブザー出力制御回路の機能

クロック出力は周辺ICに供給するクロックを出力する機能です。また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

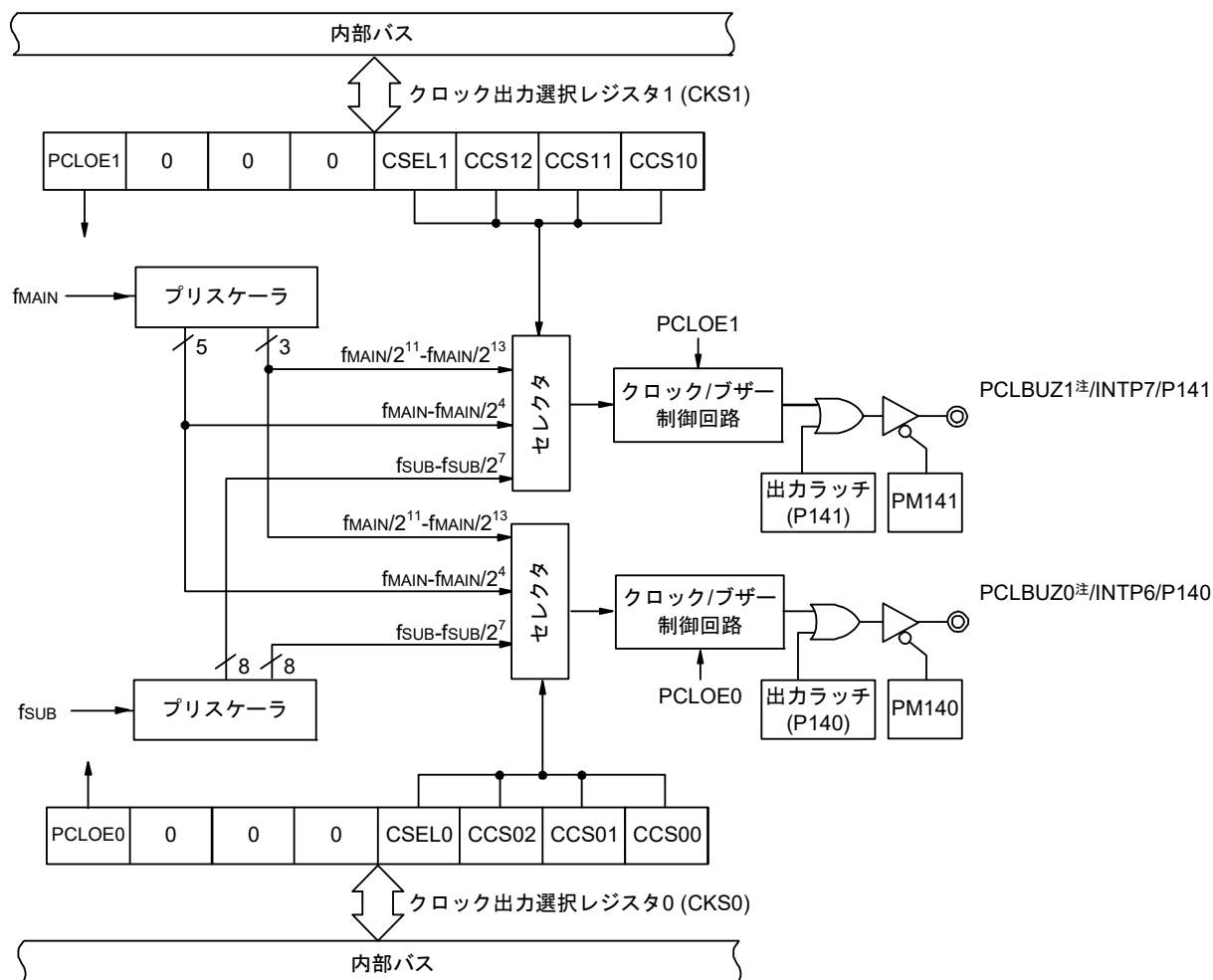
PCLBUZn端子は、クロック出力選択レジスタn (CKSn)で選択したクロックを出力します。

図12-1にクロック出力／ブザー出力制御回路のブロック図を示します。

注意 サブシステム・クロック供給モード制御レジスタ(OSMC)のRTCLPC = 1かつ、サブシステム・クロック(fSUB)でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック(fSUB)を出力することはできません。

備考 n = 0, 1

図12-1 クロック出力／ブザー出力制御回路のブロック図



注 PCLBUZ0, PCLBUZ1端子から出力可能な周波数は、34.4または35.4 AC特性を参照してください。

備考 この図のクロック出力／ブザー出力端子は、64-100ピン製品でPIOR03 = 0, PIOR04 = 0の場合です。

12.2 クロック出力／ブザー出力制御回路の構成

クロック出力／ブザー出力制御回路は、次のハードウェアで構成されています。

表 12 - 1 クロック出力／ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタ n (CKSn) ポート・モード・レジスタ 1, 3, 5, 14 (PM1, PM3, PM5, PM14) ポート・レジスタ 1, 3, 5, 14 (P1, P3, P5, P14)

12.3 クロック出力／ブザー出力制御回路を制御するレジスタ

12.3.1 クロック出力選択レジスタ n (CKSn)

クロック出力またはブザー周波数出力の端子(PCLBUZn)の出力許可／禁止、および出力クロックを設定するレジスタです。

CKSn レジスタで、PCLBUZn 端子の出力するクロックを選択します。

CKSn レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 クロック出力選択レジスタn (CKSn)のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号

7

 6 5 4 3 2 1 0

CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0
------	--------	---	---	---	-------	-------	-------	-------

PCLOEn	PCLBUZn端子の出力許可／禁止の指定
0	出力禁止(デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0		PCLBUZn端子の出力クロックの選択			
					fMAIN = 5 MHz	fMAIN = 10 MHz	fMAIN = 20 MHz	fMAIN = 32 MHz
0	0	0	0	fMAIN	5 MHz	10 MHz注	設定禁止注	設定禁止注
0	0	0	1	fMAIN/2	2.5 MHz	5 MHz	10 MHz注	16 MHz注
0	0	1	0	fMAIN/2 ²	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fMAIN/2 ³	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fMAIN/2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fMAIN/2 ¹¹	2.44 kHz	4.88 kHz	9.77 kHz	15.63 kHz
0	1	1	0	fMAIN/2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	7.81 kHz
0	1	1	1	fMAIN/2 ¹³	610 Hz	1.22 kHz	2.44 kHz	3.91 kHz
1	0	0	0	fsUB	32.768 kHz			
1	0	0	1	fsUB/2	16.384 kHz			
1	0	1	0	fsUB/2 ²	8.192 kHz			
1	0	1	1	fsUB/2 ³	4.096 kHz			
1	1	0	0	fsUB/2 ⁴	2.048 kHz			
1	1	0	1	fsUB/2 ⁵	1.024 kHz			
1	1	1	0	fsUB/2 ⁶	512 Hz			
1	1	1	1	fsUB/2 ⁷	256 Hz			

注 出力クロックは、16 MHz 以内の範囲で使用してください。詳しくは、34.4 または 35.4 AC 特性を参照してください。

注意1. 出力クロックの切り替えは、出力禁止(PCLOEn = 0)にしてから行ってください。

注意2. メイン・システム・クロック選択時(CSELn = 0)にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時(CSELn = 1)は、サブシステム・クロック供給モード制御レジスタ(OSMC)のRTCLPC = 0かつSTOPモード時にクロック出力が可能なためPCLOEn = 1に設定可能です。

注意3. サブシステム・クロック供給モード制御レジスタ(OSMC)のRTCLPC = 1かつ、サブシステム・クロック(fsUB)でCPU動作中のHALTモード時は、PCLBUZn端子から、サブシステム・クロック(fsUB)を出力することはできません。

備考1. n = 0, 1

備考2. fMAIN : メイン・システム・クロック周波数

fsUB: サブシステム・クロック周波数

12.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタ

クロック出力／ブザー出力機能として使用する時は、対象チャネルと兼用するポート機能を制御するレジスタ(ポート・モード・レジスタ(PMxx), ポート・レジスタ(Pxx))を設定してください。詳細は、4.3.1 ポート・モード・レジスタ(PMxx), 4.3.2 ポート・レジスタ(Pxx)を参照してください。

クロック出力／ブザー出力端子を兼用するポート(P140/INTP6/PCLBUZ0, P141/INTP7/PCLBUZ1など)をクロック出力／ブザー出力として使用するときは、各ポートに対応するポート・モード・レジスタ(PMxx)のビットおよびポート・レジスタ(Pxx)のビットに0を設定してください。

(例) P140/INTP6/PCLBUZ0 をクロック出力／ブザー出力として使用する場合

ポート・モード・レジスタ 14 の PM140 ビットを 0 に設定

ポート・レジスタ 14 の P140 ビットを 0 に設定

12.4 クロック出力／ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0端子は、クロック出力選択レジスタ0 (CKS0)で選択したクロック／ブザーを出力します。

PCLBUZ1端子は、クロック出力選択レジスタ1 (CKS1)で選択したクロック／ブザーを出力します。

12.4.1 出力端子の動作

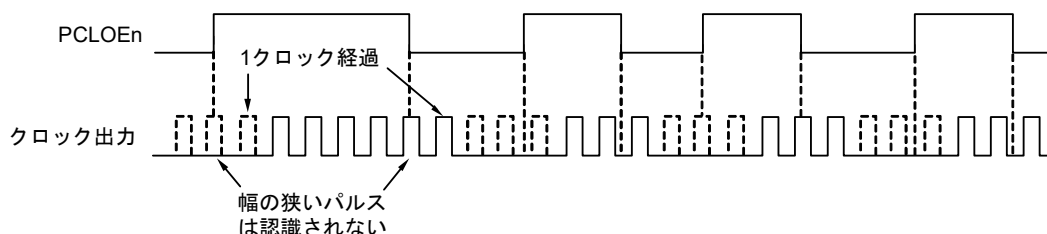
PCLBUZn端子は、次の手順で出力します。

- ① PCLBUZ0端子として使用するポートに対応するポート・モード・レジスタ (PMxx) およびポート・レジスタ (Pxx) のビットに0を設定する。
- ② PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。
- ③ CKSn レジスタのビット7 (PCLOEn) に1を設定し、クロック出力／ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可／禁止 (PCLOEn ビット) を切り替えてから1クロック後にクロック出力を開始／停止します。このとき幅の狭いパルスは出力されません。PCLOEn ビットによる出力の許可／停止とクロック出力のタイミングを図12-3に示します。

備考2. $n = 0, 1$

図12-3 PCLBUZ端子からのクロック出力のタイミング



12.5 クロック出力／ブザー出力制御回路の注意事項

PCLBUZn出力にメイン・システム・クロックを選択 (CSELn = 0) している場合は、出力停止設定 (PCLOEn = 0) にしてからPCLBUZn端子の出力クロックの1.5クロック以内にSTOPモードへ移行すると、PCLBUZnの出力幅が短くなります。

第13章 ウォッチドッグ・タイマ

13.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは、オプション・バイト(000C0H)でカウント動作を設定します。

ウォッチドッグ・タイマは低速オンチップ・オシレータ・クロック(f_{IL})で動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に1ビット操作命令を使用した場合
- ・WDTE レジスタに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTE レジスタにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDTRF) がセット(1)されます。RESF レジスタの詳細については第24章 リセット機能を参照してください。

また、オーバフロー時間の75% + 1/2 f_{IL} 到達時にインターバル割り込みを発生することもできます。

13.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表 13-1 ウォッチドッグ・タイマの構成

項目	構成
カウンタ	内部カウンタ (17ビット)
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

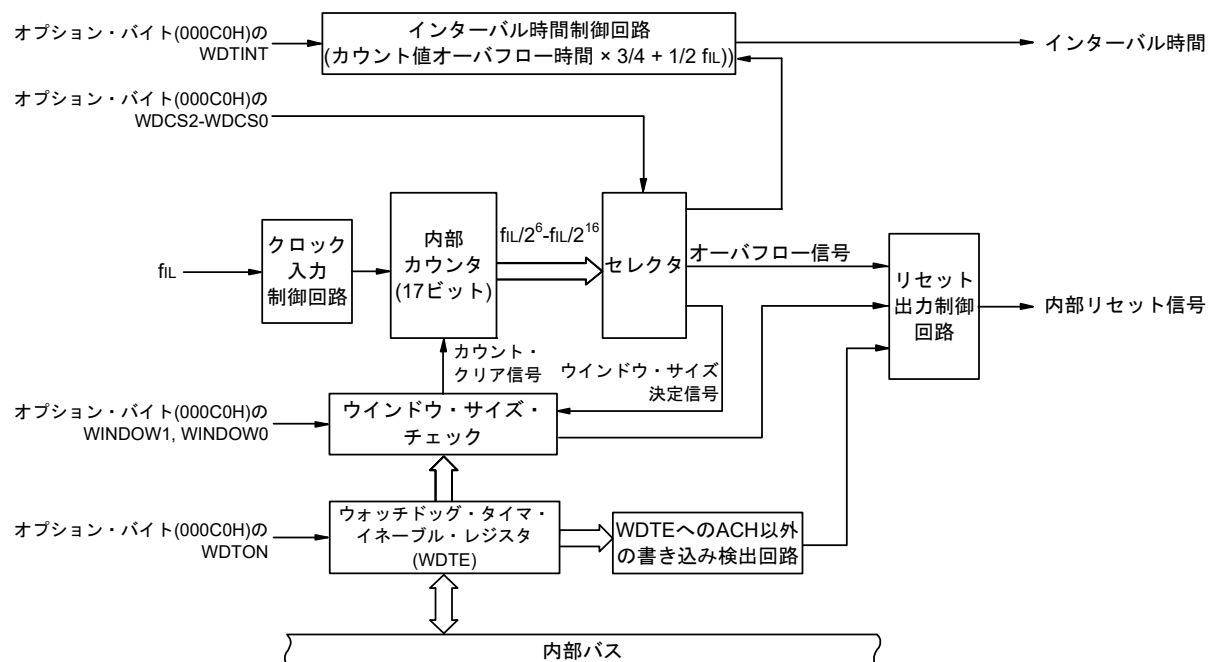
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表 13-2 オプション・バイトとウォッチドッグ・タイマの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット 7 (WDTINT)
ウインドウ・オープン期間設定	ビット 6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット 4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット 3-1 (WDSCS2- WDSCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット 0 (WDSTBYON)

備考 オプション・バイトについては、第29章 オプション・バイトを参照してください。

図 13-1 ウォッチドッグ・タイマのブロック図



備考 fIL: 低速オンチップ・オシレータ・クロック周波数

13.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)で制御します。

13.3.1 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)

WDTE レジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTE レジスタは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH注になります。

図13-2 ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)のフォーマット

アドレス : FFFABH		リセット時 : 9AH/1AH ^注		R/W				
略号	7	6	5	4	3	2	1	0
WDTE								

注 WDTE レジスタのリセット値は、オプション・バイト(000C0H)のWDTON ビットの設定値によって、異なります。ウォッチドッグ・タイマを動作する場合は、WDTON ビットに1を設定してください。

WDTON ビットの設定値	WDTE レジスタのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

- 注意1. WDTE レジスタに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。
- 注意2. WDTE レジスタに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。
- 注意3. WDTE レジスタのリード値は、“9AH／1AH”(書き込んだ値(“ACH”)とは異なる値)になります。

13.4 ウォッチドッグ・タイマの動作

13.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト(000C0H)で次の内容を設定します。

- オプション・バイト(000C0H)のビット4 (WDTON)を1に設定し、ウォッチドッグ・タイマのカウント動作を許可(リセット解除後、カウンタは動作開始)にしてください(詳細は、第29章 を参照)。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止(リセット解除後、カウント停止)
1	カウント動作許可(リセット解除後、カウント開始)

- オプション・バイト(000C0H)のビット3-1 (WDSC2-WDCS0)で、オーバフロー時間を設定してください(詳細は、13.4.2および第29章 を参照)。
- オプション・バイト(000C0H)のビット6, 5 (WINDOW1, WINDOW0)で、ウインドウ・オープン期間を設定してください(詳細は、13.4.3および第29章 を参照)。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
 3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
 4. 以後、リセット解除後2回目以降のWDTEレジスタへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
 5. WDTEレジスタに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
- また、次の場合も、内部リセット信号を発生します。

- WDTEレジスタに1ビット操作命令を使用した場合
- WDTEレジスタに“ACH”以外のデータを書き込んだ場合

- 注意1. リセット解除後1回目のウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)への書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
- 注意2. WDTEレジスタに“ACH”を書き込んでから、ウォッチドッグ・タイマのカウンタがクリアされるまで、最大f_{IL}の2クロックの誤差が生じる場合があります。
- 注意3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

注意4. オプション・バイト(000C0H)のビット0 (WDSTBYON)の設定値により、ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は、次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		
SNOOZEモード時		

WDSTBYON = 0の場合、HALTおよびSTOPモード解除後は、ウォッチドッグ・タイマのカウントを再開します。このとき、カウンタはクリア(0)して、カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバーフローするまでの時間が短いと、発振安定時間中にオーバーフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバーフロー時間を設定してください。

13.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は、オプション・バイト(000C0H)のビット3-1 (WDCS2-WDCS0)で設定します。

オーバフロー時は、内部リセット信号を発生します。オーバフロー時間前の、ウインドウ・オープン期間中にウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)に“ACH”を書き込むことにより、カウントはクリアされ、再度カウント動作を開始します。

設定可能なオーバフロー時間を次に示します。

表 13 - 3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)
0	0	0	2 ⁶ /f _{IL} (3.71 ms)
0	0	1	2 ⁷ /f _{IL} (7.42 ms)
0	1	0	2 ⁸ /f _{IL} (14.84 ms)
0	1	1	2 ⁹ /f _{IL} (29.68 ms)
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)
1	0	1	2 ¹³ /f _{IL} (474.89 ms)注
1	1	0	2 ¹⁴ /f _{IL} (949.79 ms)注
1	1	1	2 ¹⁶ /f _{IL} (3799.18 ms)注

注 下記の使用条件にすべて該当すると、ウォッチドッグ・タイマのカウント・クリアした後、ウォッチドッグ・タイマの1クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が発生する場合があります。この割り込みは、ウォッチドッグ・タイマのカウントクリアを①～⑤の手順で実行することで、マスクする事ができます。

〈使用条件〉

- ・ ウォッチドッグ・タイマのオーバフローの時間を2¹³/f_{IL}、2¹⁴/f_{IL}または2¹⁶/f_{IL}に設定
- ・ ウォッチドッグ・タイマのインターバル割り込みを使用
- ・ ウォッチドッグ・タイマのカウント値がオーバフロー時間で75%以上の時にWDTE レジスタ(FFFABH)にACHを書き込み

- ① ウォッチドッグ・タイマのカウントクリア前に、割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを1にセット
- ② ウォッチドッグ・タイマのカウントをクリア
- ③ 80 μs 以上ウェイト
- ④ 割り込み要求フラグ・レジスタ0(IF0L)のWDTIIFビットを0にクリア
- ⑤ 割り込みマスク・フラグ・レジスタ0(MK0L)のWDTIMKビットを0にクリア

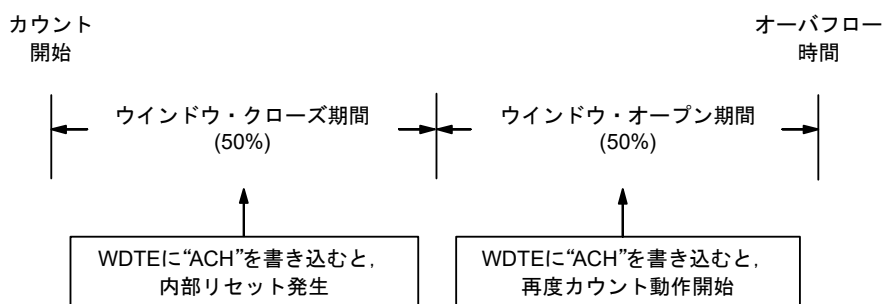
備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

13.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト (000C0H) のビット 6, 5 (WINDOW1, WINDOW0) で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTE レジスタに“ACH”を書き込んでも、異常検出され、内部リセットが発生します。

例 ウインドウ・オープン期間が50%の場合



注意 リセット解除後1回目のWDTEレジスタへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定可能なウインドウ・オープン期間を次に示します。

表 13-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	設定禁止
0	1	50%
1	0	75%注
1	1	100%

注 ウインドウ・オープン期間を75%に設定した時に、ウォッチドッグ・タイマのカウンタ・クリア (WDTE への ACH の書き込み) を行う場合、ウォッチドッグ・タイマのインターバル割り込み要求フラグ (WDTIIF) を確認する等、下表に示すカウンタのクリア禁止期間以外のタイミングで実施してください。

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (FIL = 17.25 kHz (MAX.) の場合)	ウインドウ・オープン期間を75%に設定した時のカウンタのクリア禁止期間
0	0	0	$2^6/\text{FIL}$ (3.71 ms)	1.8 ~ 2.51 ms
0	0	1	$2^7/\text{FIL}$ (7.42 ms)	3.71 ~ 5.02 ms
0	1	0	$2^8/\text{FIL}$ (14.84 ms)	7.42 ~ 10.04 ms
0	1	1	$2^9/\text{FIL}$ (29.68 ms)	14.84 ~ 20.08 ms
1	0	0	$2^{11}/\text{FIL}$ (118.72 ms)	56.36 ~ 80.32 ms
1	0	1	$2^{13}/\text{FIL}$ (474.89 ms)	237.44 ~ 321.26 ms
1	1	0	$2^{14}/\text{FIL}$ (949.79 ms)	474.89 ~ 642.51 ms
1	1	1	$2^{16}/\text{FIL}$ (3799.18 ms)	1899.59 ~ 2570.04 ms

注意 オプション・バイト (000C0H) のビット 0 (WDSTBYON) = 0 のときは、WINDOW1、WINDOW0 ビットの値に関係なく、ウインドウ・オープン期間 100% となります。

備考 オーバフロー時間を $2^9/\text{FIL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定		
	50%	75%	100%
ウインドウ・クローズ時間	0 ~ 20.08 ms	0 ~ 10.04 ms	なし
ウインドウ・オープン時間	20.08 ~ 29.68 ms	10.04 ~ 29.68 ms	0 ~ 29.68 ms

<ウインドウ・オープン期間50%のとき>

・オーバフロー時間：

$$2^9/\text{FIL (MAX.)} = 2^9/17.25 \text{ kHz (MAX.)} = 29.68 \text{ ms}$$

・ウインドウ・クローズ時間：

$$0 \sim 2^9/\text{FIL (MIN.)} \times (1 - 0.5) = 0 \sim 2^9/12.75 \text{ kHz} \times 0.5 = 0 \sim 20.08 \text{ ms}$$

・ウインドウ・オープン時間：

$$2^9/\text{FIL (MIN.)} \times (1 - 0.5) \sim 2^9/\text{FIL (MAX.)} = 2^9/12.75 \text{ kHz} \times 0.5 \sim 2^9/17.25 \text{ kHz} = 20.08 \sim 29.68 \text{ ms}$$

13.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト(000C0H)のビット7(WDTINT)の設定により、オーバフロー時間の75% + 1/2 f_{IL}到達時にインターバル割り込み(INTWDTI)を発生することができます。

表 13 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も(ウォッチドッグ・タイマ・イネーブル・レジスタ(WDTE)にACHを書き込むまで)カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第14章 A/Dコンバータ

A/Dコンバータのアナログ入力チャネル数は、製品によって異なります。

	30, 32ピン	36ピン	40ピン	44, 48ピン	52, 64ピン	80ピン	100ピン
アナログ入力 チャネル	8ch (ANI0-ANI3, ANI16-ANI19)	8ch (ANI0-ANI5, ANI18, ANI19)	9ch (ANI0-ANI6, ANI18, ANI19)	10ch (ANI0-ANI7, ANI18, ANI19)	12ch (ANI0-ANI7, ANI16-ANI19)	17ch (ANI0-ANI11, ANI16-ANI20)	20ch (ANI0-ANI14, ANI16-ANI20)

14.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、最大20チャネルのA/Dコンバータ・アナログ入力 (ANI0-ANI14, ANI16-ANI20) を制御できる構成になっています。A/Dコンバータ・モード・レジスタ2 (ADM2)のADTYPビットにより、10ビット分解能と8ビット分解能を選択できます。

A/Dコンバータには、次のような機能があります。

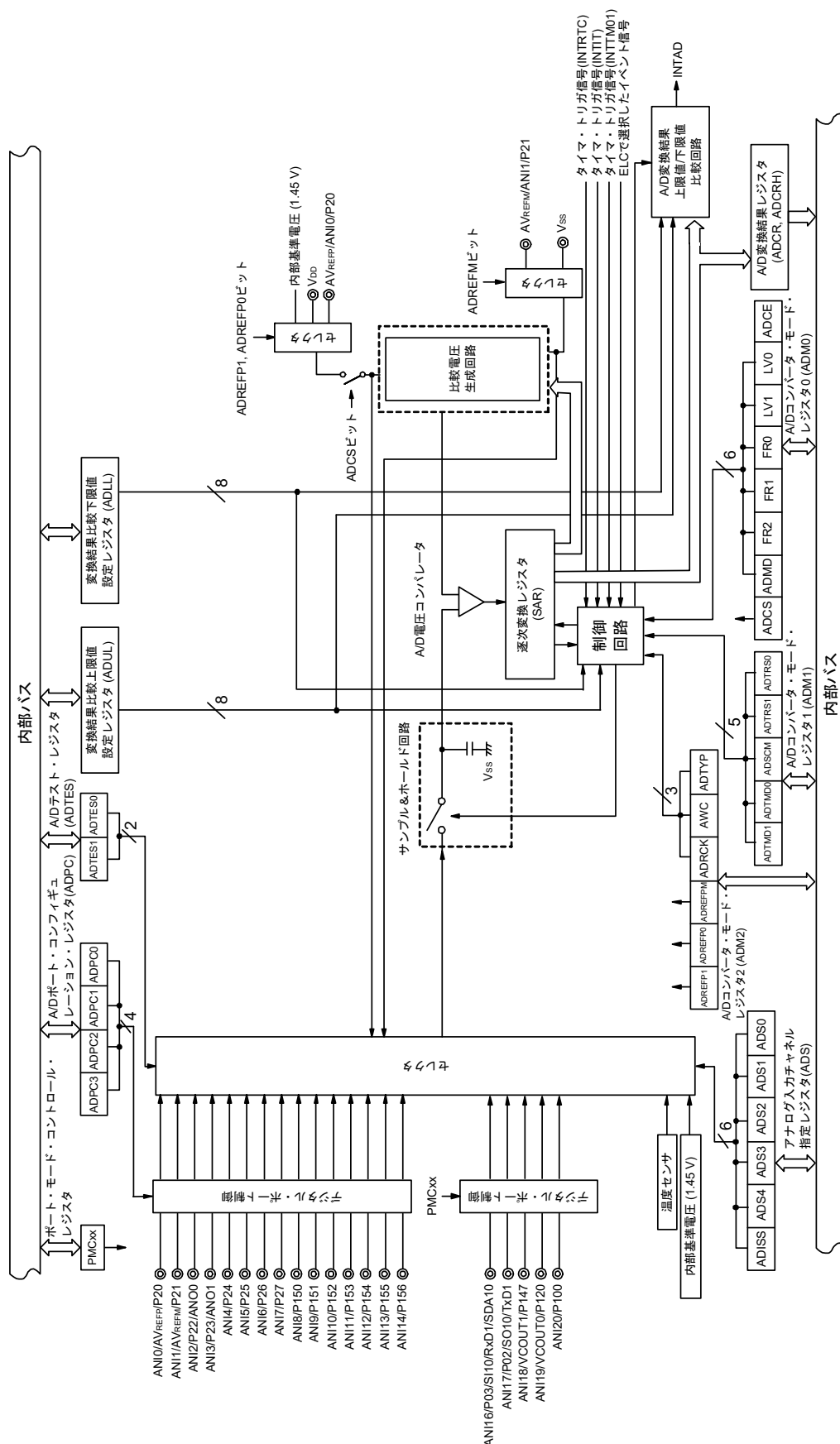
- 10ビット/8ビット分解能A/D変換

ANI0-ANI14, ANI16-ANI20からアナログ入力を1チャネル選択し、10ビット/8ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します (セレクト・モード時の場合)。

下記のモードの組み合わせにより、様々なA/D変換モードを設定することが可能です。

トリガ・モード	ソフトウェア・トリガ	ソフトウェア操作で、変換動作を開始します。
	ハードウェア・トリガ・ ノーウェイト・モード	ハードウェア・トリガを検出することにより、変換動作を開始します。
	ハードウェア・トリガ・ ウェイト・モード	パワー・オフでの変換待機状態でハードウェア・トリガを検出することにより、パワー・オンとなり、A/D電源安定待ち時間経過後に自動的に変換動作を開始します。SNOOZEモード機能を使用する時は、ハードウェア・トリガ・ウェイト・モードを選択してください。
チャンネル選択モード	セレクト・モード	アナログ入力を1チャンネル選択し、A/D変換します。
	スキャン・モード	4チャンネルのアナログ入力を順番にA/D変換します。ANI0-ANI14のうち連続した4チャンネルをアナログ入力に選択できます。
変換動作モード	ワンショット変換モード	選択したチャンネルを1回A/D変換します。
	連続変換モード	選択したチャンネルをソフトウェアで停止するまで、連続してA/D変換します。
動作電圧モード	標準1／標準2モード	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作する時に選択します。
	低電圧1／低電圧2モード	$1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ の動作電圧範囲で変換動作が可能です。 低電圧時に変換動作する時に選択します。低電圧動作のため、変換動作時に内部ゲート昇圧しています。
サンプリング時間の選択	サンプリング・クロック数： 7 f _{AD}	標準1／低電圧1モードのサンプリング時間は、変換クロック (f _{AD}) の7クロックです。アナログ入力源の出力インピーダンスが高くサンプリング時間を長くしたい時に選択します。
	サンプリング・クロック数： 5 f _{AD}	標準2／低電圧2モードのサンプリング時間は、変換クロック (f _{AD}) の5クロックです。アナログ入力源の出力インピーダンスが低いなどサンプリング時間が十分確保できている時に選択します。

図14-1 A/Dコンバータのブロック図



備考 この図のアナログ入力端子は、100ピン製品の場合です。

14.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI14, ANI16-ANI20 端子

A/Dコンバータの20チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) A/D電圧コンパレータ

比較電圧生成回路の電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧($1/2 AV_{REF}$)より大きい場合には、逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットします。アナログ入力電圧がリファレンス電圧($1/2 AV_{REF}$)より小さい場合には、SARレジスタのMSBビットをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、比較電圧生成回路の電圧タップが選択されます

ビット9 = 0 : ($1/4 AV_{REF}$)

ビット9 = 1 : ($3/4 AV_{REF}$)

比較電圧生成回路の電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 $\geq$ 比較電圧生成回路の電圧タップ : ビット8 = 1

アナログ入力電圧 $\leq$ 比較電圧生成回路の電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

8ビット分解能でA/D変換する場合は、SARレジスタのビット2まで続けます。

備考 AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧(1.45 V), V_{DD} から選択可能です。

(4) 比較電圧生成回路

アナログ入力より入力された電圧の比較電圧を生成します。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、比較電圧生成回路からの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット(MSB)から1ビットずつ設定するレジスタです。

SARレジスタの最下位ビット(LSB)まで設定すると(A/D変換終了)、そのSARレジスタの内容(変換結果)は、A/D変換結果レジスタ(ADCR)に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号(INTAD)が発生します。

(6) 10ビットA/D変換結果レジスタ(ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します(下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始/停止などを制御します。A/D変換が終了した場合、A/D変換結果上限値/下限値比較回路を通りINTADが発生します。

(9) AVREFP端子

外部から基準電圧(AVREFP)を入力する端子です。

AVREFPをA/Dコンバータの+側基準電圧として使用する場合は、A/Dコンバータ・モード・レジスタ2(ADM2)のADREFP1ビットに0を、ADREFP0ビットに1を設定してください。

AVREFPと一側基準電圧(AVREFM/VSS)間にかかる電圧に基づいて、ANI2-ANI14、ANI16-ANI20に入力されるアナログ信号をデジタル信号に変換します。

A/Dコンバータの+側基準電圧には、AVREFPのほかにVDDと内部基準電圧(1.45 V)を選択することが可能です。

(10) AVREFM端子

外部から基準電圧(AVREFM)を入力する端子です。AVREFMをA/Dコンバータの一側基準電圧として使用する場合は、ADM2レジスタのADREFMビットをセット(1)してください。

A/Dコンバータの一側基準電圧には、AVREFMのほかにVSSを選択することが可能です。

14.3 A/Dコンバータを制御するレジスタ

A/Dコンバータを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ0 (PER0)
- A/Dコンバータ・モード・レジスタ0 (ADM0)
- A/Dコンバータ・モード・レジスタ1 (ADM1)
- A/Dコンバータ・モード・レジスタ2 (ADM2)
- 10ビットA/D変換結果レジスタ (ADCR)
- 8ビットA/D変換結果レジスタ (ADCRH)
- アナログ入力チャネル指定レジスタ (ADS)
- 変換結果比較上限値設定レジスタ (ADUL)
- 変換結果比較下限値設定レジスタ (ADLL)
- A/Dテスト・レジスタ (ADTES)
- A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ポート・モード・コントロール・レジスタ0, 10, 12, 14 (PMC0, PMC10, PMC12, PMC14)
- ポート・モード・レジスタ0, 2, 10, 12, 14, 15 (PM0, PM2, PM10, PM12, PM14, PM15)

14.3.1 周辺イネーブル・レジスタ0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-2 周辺イネーブル・レジスタ0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN注	TAU0EN

ADCEN	A/Dコンバータの入カクロックの制御
0	入カクロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入カクロック供給 ・ A/Dコンバータで使用するSFRへのリード／ライト可

注 80, 100ピン製品のみ。

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の状態で行ってください。

ADCEN = 0の場合は、A/Dコンバータの制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ0, 2, 10, 12, 14, 15 (PM0, PM2, PM10, PM12, PM14, PM15), ポート・モード・コントロール・レジスタ0, 10, 12, 14 (PMC0, PMC10, PMC12, PMC14), A/Dポート・コンフィギュレーション・レジスタ (ADPC) は除く)。

- ・ A/Dコンバータ・モード・レジスタ0 (ADM0)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dコンバータ・モード・レジスタ2 (ADM2)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ 変換結果比較上限値設定レジスタ (ADUL)
- ・ 変換結果比較下限値設定レジスタ (ADLL)
- ・ A/Dテスト・レジスタ (ADTES)

注意2. 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

14.3.2 A/D コンバータ・モード・レジスタ 0 (ADM0)

A/D 変換するアナログ入力の変換時間、変換動作の開始／停止を設定するレジスタです。
ADM0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。
リセット信号の発生により、00H になります。

図 14 - 3 A/D コンバータ・モード・レジスタ 0 (ADM0) のフォーマット

アドレス : FFF30H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM0	ADCS	ADMD	FR2注1	FR1注1	FR0注1	LV1注1	LV0注1	ADCE
	ADCS	A/D 変換動作の制御						
	0	変換動作停止 [リード時] 変換動作停止／待機状態						
	1	変換動作許可 [リード時] ソフトウェア・トリガ・モード時 : 変換動作状態 ハードウェア・トリガ・ウェイト・モード時 : A/D 電源安定待ち状態 + 変換動作状態						
	ADMD	A/D 変換チャンネル選択モードを設定						
	0	セレクト・モード						
	1	スキャン・モード						
	ADCE	A/D 電圧コンパレータの動作制御注2						
	0	A/D 電圧コンパレータの動作停止						
	1	A/D 電圧コンパレータの動作許可						

- 注 1. FR2-FR0, LV1, LV0 ビットおよび A/D 変換に関する詳細は、表 14 - 3 ~ 表 14 - 6 A/D 変換時間の選択を参照してください。
- 注 2. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウェイト・モード時、A/D 電圧コンパレータは ADCS ビットと ADCE ビットで動作制御され、動作開始から安定するまでに、1 μs かかります。このため、ADCE ビットに 1 を設定してから 1 μs 以上経過したあとに、ADCS ビットに 1 を設定することで、最初の変換データより有効となります。1 μs 以上ウェイトしないで ADCS ビットに 1 を設定した場合は、最初の変換データを無視してください。

- 注意 1. ADMD, FR2-FR0, LV1, LV0 ビットの変更は、変換停止状態 (ADCS = 0, ADCE = 0) で行ってください。
- 注意 2. ADCS = 1, ADCE = 0 の設定は禁止です。
- 注意 3. ADCS = 0, ADCE = 0 設定状態から 8 ビット操作命令で ADCS = 1, ADCE = 1 に設定することは禁止します。必ず 14.7 A/D コンバータの設定フロー・チャートの手順に従ってください。

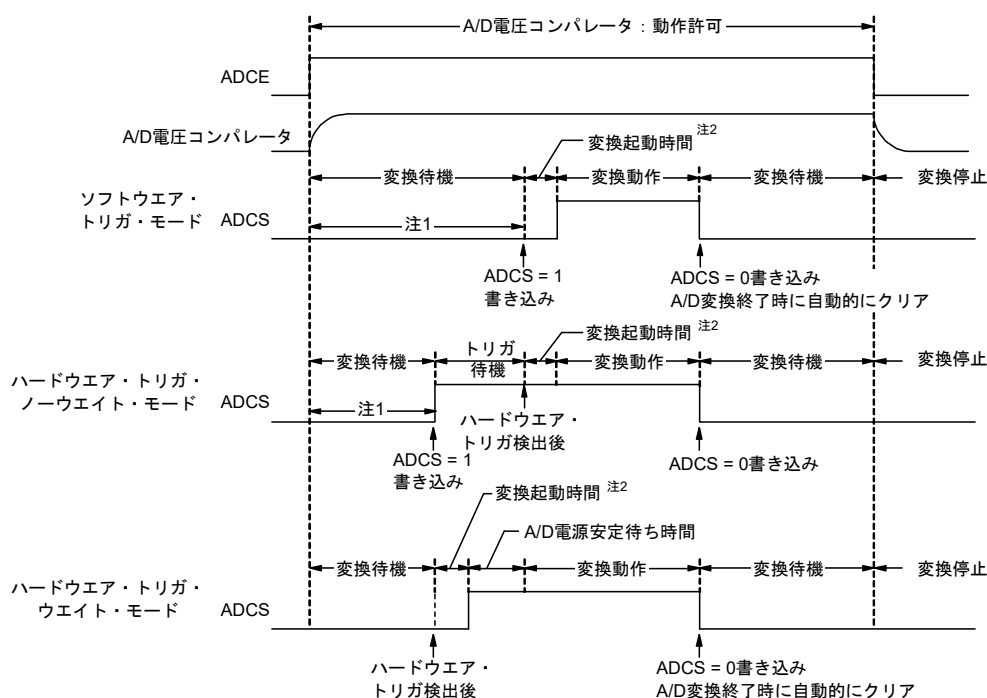
表 14 - 1 ADCS ビットと ADCE ビットの設定

ADCS	ADCE	A/D 変換動作
0	0	変換停止状態
0	1	変換待機状態
1	0	設定禁止
1	1	変換動作状態

表 14 - 2 ADCS ビットのセット／クリア条件

A/D 変換モード			セット条件	クリア条件
ソフトウェア・トリガ	セレクト・モード	連続変換モード	ADCS = 1 ライトした場合	ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • AD 変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア
ハードウェア・トリガ・ノーウェイト・モード	セレクト・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		ADCS = 0 ライトした場合
ハードウェア・トリガ・ウェイト・モード	セレクト・モード	連続変換モード	ハードウェア・トリガが入力された場合	ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • AD 変換終了時に自動的に“0”にクリア
	スキャン・モード	連続変換モード		ADCS = 0 ライトした場合
		ワンショット変換モード		• ADCS = 0 ライトした場合 • 設定した4チャンネル分の変換が終了すると、自動的に“0”にクリア

図14-4 A/D 電圧コンパレータ使用時のタイミング・チャート



注1. ソフトウェア・トリガ・モード時およびハードウェア・トリガ・ノーウエイト・モード時、ADCEビットの立ち上がりから、ADCSビットの立ち上がりまでの時間は、内部回路安定のため、1 μ s以上が必要です。

注2. 変換起動には、最大で次の時間がかかります。

ADM0			変換クロック (f _{AD})	変換起動時間(fCLKクロック数)	
FR2	FR1	FR0		ソフトウェア・トリガ・モード/ ハードウェア・トリガ・ノーウエイト・モード	ハードウェア・トリガ・ウエイト・モード
0	0	0	fCLK/64	63	1
0	0	1	fCLK/32	31	
0	1	0	fCLK/16	15	
0	1	1	fCLK/8	7	
1	0	0	fCLK/6	5	
1	0	1	fCLK/5	4	
1	1	0	fCLK/4	3	
1	1	1	fCLK/2	1	

ただし、連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません。

注意1. ハードウェア・トリガ・ウエイト・モードで使用する場合、ADCSビットに1を設定するのは禁止です(ハードウェア・トリガ信号検出時に、自動的に1に切り替わります)。ただし、AD変換待機状態にするために、ADCSビットに0を設定することは可能です。

注意2. ハードウェア・トリガ・ノーウエイト・モードでのワンショット変換モード時、AD変換終了時にADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

注意3. ADCEビットの書き換えは、ADCS = 0 (変換停止／変換待機状態)のときに行ってください。

注意4. A/D変換を完了させるためには、ハード・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時: fCLKの2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時: fCLKの2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

備考 fCLK: CPU/周辺ハードウェア・クロック周波数

表 14 - 3 A/D 変換時間の選択 (1/4)

(1) A/D 電源安定待ち時間なし 標準モード1, 2
(ソフトウェア・トリガ・モード/ハードウェア・トリガ・ノーウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (f _{AD})	変換クロック数 注	変換時間	10ビット分解能時の変換時間							
FR2	FR1	FR0	LV1	LV0					2.7 V ≤ V _{DD} ≤ 5.5 V							
									f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz			
0	0	0	0	0	標準1	f _{CLK} /64	(サンプリング・クロック数 : 7 f _{AD})	1216/f _{CLK}	設定禁止	設定禁止	設定禁止	76 μs	38 μs			
0	0	1				f _{CLK} /32		608/f _{CLK}				76 μs	38 μs	19 μs		
0	1	0				f _{CLK} /16		304/f _{CLK}				76 μs	38 μs	19 μs	9.5 μs	
0	1	1				f _{CLK} /8		152/f _{CLK}				38 μs	19 μs	9.5 μs	4.75 μs	
1	0	0				f _{CLK} /6		114/f _{CLK}				28.5 μs	14.25 μs	7.125 μs	3.5625 μs	
1	0	1				f _{CLK} /5		95/f _{CLK}				95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f _{CLK} /4		76/f _{CLK}				76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f _{CLK} /2		38/f _{CLK}				38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	0	1	標準2	f _{CLK} /64	(サンプリング・クロック数 : 5 f _{AD})	1088/f _{CLK}	設定禁止	設定禁止	設定禁止	68 μs	34 μs			
0	0	1				f _{CLK} /32		544/f _{CLK}				68 μs	34 μs	17 μs		
0	1	0				f _{CLK} /16		272/f _{CLK}				68 μs	34 μs	17 μs	8.5 μs	
0	1	1				f _{CLK} /8		136/f _{CLK}				34 μs	17 μs	8.5 μs	4.25 μs	
1	0	0				f _{CLK} /6		102/f _{CLK}				25.5 μs	12.75 μs	6.375 μs	3.1875 μs	
1	0	1				f _{CLK} /5		85/f _{CLK}				85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				f _{CLK} /4		68/f _{CLK}				68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				f _{CLK} /2		34/f _{CLK}				34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間 (t_{CONV}) の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表 14 - 4 A/D 変換時間の選択 (2/4)

(2) A/D 電源安定待ち時間なし 低電圧モード1, 2
(ソフトウェア・トリガ・モード／ハードウェア・トリガ・ノーウェイト・モード)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換クロック (fAD)	変換クロック数 注4	変換時間	10ビット分解能時の変換時間						
FR2	FR1	FR0	LV1	LV0					1.6 V ≤ VDD ≤ 5.5 V		注1	注2	注3		
									fCLK = 1 MHz	fCLK = 4 MHz	fCLK = 8 MHz	fCLK = 16 MHz	fCLK = 32 MHz		
0	0	0	1	0	低電圧 1	fCLK/64	19 fAD (サンプリング・クロック数： 7 fAD)	1216/fCLK	設定禁止	設定禁止	設定禁止	76 μs	38 μs		
0	0	1				fCLK/32		608/fCLK			76 μs	38 μs	19 μs		
0	1	0				fCLK/16		304/fCLK			76 μs	38 μs	19 μs	9.5 μs	
0	1	1				fCLK/8		152/fCLK			38 μs	19 μs	9.5 μs	4.75 μs	
1	0	0				fCLK/6		114/fCLK			28.5 μs	14.25 μs	7.125 μs	3.5625 μs	
1	0	1				fCLK/5		95/fCLK			95 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				fCLK/4		76/fCLK			76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				fCLK/2		38/fCLK			38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止
0	0	0	1	1	低電圧 2	fCLK/64	17 fAD (サンプリング・クロック数： 5 fAD)	1088/fCLK	設定禁止	設定禁止	設定禁止	68 μs	34 μs		
0	0	1				fCLK/32		544/fCLK			68 μs	34 μs	17 μs		
0	1	0				fCLK/16		272/fCLK			68 μs	34 μs	17 μs	8.5 μs	
0	1	1				fCLK/8		136/fCLK			34 μs	17 μs	8.5 μs	4.25 μs	
1	0	0				fCLK/6		102/fCLK			25.5 μs	12.75 μs	6.375 μs	3.1875 μs	
1	0	1				fCLK/5		85/fCLK			85 μs	21.25 μs	10.625 μs	5.3125 μs	2.6563 μs
1	1	0				fCLK/4		68/fCLK			68 μs	17 μs	8.5 μs	4.25 μs	2.125 μs
1	1	1				fCLK/2		34/fCLK			34 μs	8.5 μs	4.25 μs	2.125 μs	設定禁止

注1. 1.8 V ≤ V_{DD} ≤ 5.5 V

注2. 2.4 V ≤ V_{DD} ≤ 5.5 V

注3. 2.7 V ≤ V_{DD} ≤ 5.5 V

注4. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック (f_{AD}) の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間 (t_{CONV}) の範囲内で使用してください。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態 (ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU／周辺ハードウェア・クロック周波数

表 14 - 5 A/D 変換時間の選択 (3/4)

(3) A/D 電源安定待ち時間あり 標準モード1, 2
(ハードウェア・トリガ・ウェイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換 クロック (f _{AD})	A/D電源 安定待ち クロック 数	変換 クロック数 注2	A/D電源 安定待ち 時間 + 変換時間	A/D電源安定待ち時間 + 10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0						2.7 V ≤ V _{DD} ≤ 5.5 V				
										f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz
0	0	0	0	0	標準1	f _{CLK} /64	8 f _{AD}	19 f _{AD} (サンプリング・ クロック数 : 7 f _{AD})	1728/f _{CLK}	設定禁止	設定禁止	設定禁止	108 μs	54 μs
0	0	1				f _{CLK} /32			864/f _{CLK}				108 μs	54 μs
0	1	0				f _{CLK} /16			432/f _{CLK}				108 μs	54 μs
0	1	1				f _{CLK} /8			216/f _{CLK}				54 μs	27 μs
1	0	0				f _{CLK} /6			162/f _{CLK}				40.5 μs	20.25 μs
1	0	1				f _{CLK} /5			135/f _{CLK}	135 μs	33.75 μs	16.875 μs	8.4375 μs	4.21875 μs
1	1	0				f _{CLK} /4			108/f _{CLK}	108 μs	27 μs	13.5 μs	6.75 μs	3.375 μs
1	1	1				f _{CLK} /2			54/f _{CLK}	54 μs	13.5 μs	6.75 μs	3.375 μs	設定禁止
0	0	0	0	1	標準2	f _{CLK} /64	8 f _{AD}	17 f _{AD} (サンプリング・ クロック数 : 5 f _{AD})	1600/f _{CLK}	設定禁止	設定禁止	設定禁止	100 μs	50 μs
0	0	1				f _{CLK} /32			800/f _{CLK}				100 μs	50 μs
0	1	0				f _{CLK} /16			400/f _{CLK}				100 μs	50 μs
0	1	1				f _{CLK} /8			200/f _{CLK}				50 μs	25 μs
1	0	0				f _{CLK} /6			150/f _{CLK}				37.5 μs	18.75 μs
1	0	1				f _{CLK} /5			125/f _{CLK}	125 μs	31.25 μs	15.625 μs	7.8125 μs	3.90625 μs
1	1	0				f _{CLK} /4			100/f _{CLK}	100 μs	25 μs	12.5 μs	6.25 μs	3.125 μs
1	1	1				f _{CLK} /2			50/f _{CLK}	50 μs	12.5 μs	6.25 μs	3.125 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表14-3参照)。

注2. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(f_{AD})の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。

なお、変換時間(t_{CONV})はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

表 14 - 6 A/D 変換時間の選択 (4/4)

(4) A/D 電源安定待ち時間あり 低電圧モード1, 2
(ハードウェア・トリガ・ウェイト・モード注1)

A/Dコンバータ・モード・レジスタ0 (ADM0)					モード	変換 クロック (f _{AD})	A/D電源 安定待ち クロック 数	変換 クロック数注5	A/D電源 安定待ち 時間 + 変換時間	A/D 電源安定待ち時間 + 10ビット分解能時の変換時間				
FR2	FR1	FR0	LV1	LV0						1.6 V ≤ V _{DD} ≤ 5.5 V		注2	注3	注4
										f _{CLK} = 1 MHz	f _{CLK} = 4 MHz	f _{CLK} = 8 MHz	f _{CLK} = 16 MHz	f _{CLK} = 32 MHz
0	0	0	1	0	低電圧1	f _{CLK} /64	2 f _{AD}	19 f _{AD} (サンプリング・ クロック数: 7 f _{AD})	1344/f _{CLK}	設定禁止	設定禁止	設定禁止	84 μs	42 μs
0	0	1				f _{CLK} /32			672/f _{CLK}				84 μs	42 μs
0	1	0				f _{CLK} /16			336/f _{CLK}				84 μs	42 μs
0	1	1				f _{CLK} /8			168/f _{CLK}				42 μs	21 μs
1	0	0				f _{CLK} /6			126/f _{CLK}				31.25 μs	15.75 μs
1	0	1				f _{CLK} /5			105/f _{CLK}	105 μs	26.25 μs	13.125 μs	6.5625 μs	3.238125 μs
1	1	0				f _{CLK} /4			84/f _{CLK}	84 μs	21 μs	10.5 μs	5.25 μs	2.625 μs
1	1	1				f _{CLK} /2			42/f _{CLK}	42 μs	10.5 μs	5.25 μs	2.625 μs	設定禁止
0	0	0	1	1	低電圧2	f _{CLK} /64	2 f _{AD}	17 f _{AD} (サンプリング・ クロック数: 5 f _{AD})	1216/f _{CLK}	設定禁止	設定禁止	設定禁止	76 μs	38 μs
0	0	1				f _{CLK} /32			608/f _{CLK}				76 μs	38 μs
0	1	0				f _{CLK} /16			304/f _{CLK}				76 μs	38 μs
0	1	1				f _{CLK} /8			152/f _{CLK}				38 μs	19 μs
1	0	0				f _{CLK} /6			114/f _{CLK}				28.5 μs	14.25 μs
1	0	1				f _{CLK} /5			95/f _{CLK}	96 μs	23.75 μs	11.875 μs	5.938 μs	2.9688 μs
1	1	0				f _{CLK} /4			76/f _{CLK}	76 μs	19 μs	9.5 μs	4.75 μs	2.375 μs
1	1	1				f _{CLK} /2			38/f _{CLK}	38 μs	9.5 μs	4.75 μs	2.375 μs	設定禁止

注1. 連続変換モードの2回目以降と、スキャン・モードのスキャン1以降の変換では、ハードウェア・トリガ検出後に、変換起動時間やA/D電源安定待ち時間は発生しません(表14-4参照)。

注2. 1.8 V ≤ V_{DD} ≤ 5.5 V

注3. 2.4 V ≤ V_{DD} ≤ 5.5 V

注4. 2.7 V ≤ V_{DD} ≤ 5.5 V

注5. 10ビット分解能時の変換クロック数です。8ビット分解能を選択した場合は、変換クロック(f_{AD})の2クロック分短くなります。

注意1. A/D変換時間は、34.6.1または35.6.1 A/Dコンバータ特性に示す変換時間(t_{CONV})の範囲内で使用してください。

なお、変換時間(t_{CONV})はA/D電源安定待ち時間を含みません。

注意2. FR2-FR0, LV1, LV0ビットを同一データ以外に書き換える場合は、変換停止状態(ADCS = 0, ADCE = 0)で行ってください。

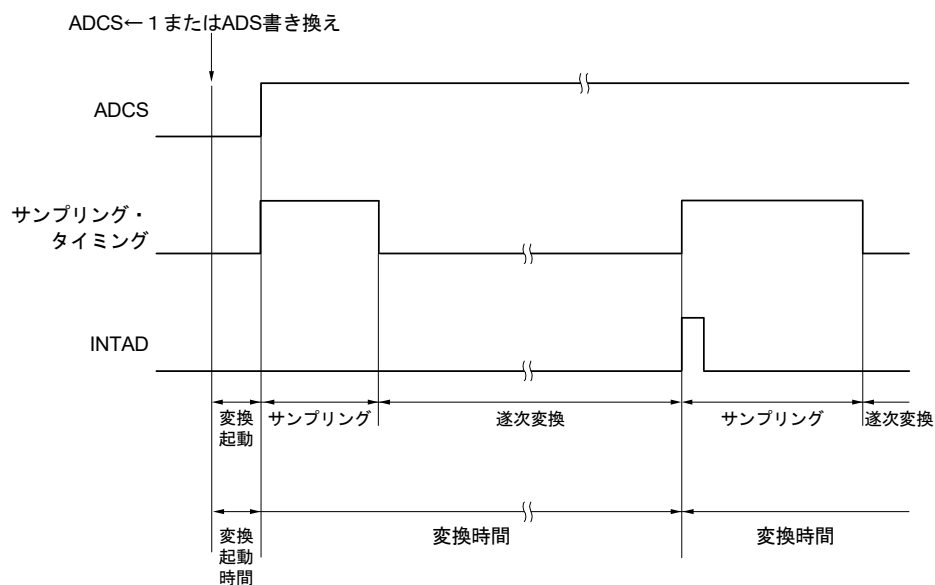
注意3. 変換時間は変換起動時間を含みません。1回目の変換では、変換起動時間を加算してください。

また変換時間は、クロック周波数の誤差を含みません。誤差を考慮して、変換時間を選択してください。

注意4. ハードウェア・トリガ・ウェイト・モード時の変換時間は、ハードウェア・トリガ検出からのA/D電源安定待ち時間を含みます。

備考 f_{CLK}: CPU/周辺ハードウェア・クロック周波数

図14 - 5 A/DコンバータのサンプリングとA/D変換のタイミング(例 ソフトウェア・トリガ・モードの場合)



14.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換トリガ、変換モード、ハードウェア・トリガ信号を設定するレジスタです。

ADM1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-6 A/Dコンバータ・モード・レジスタ1 (ADM1)のフォーマット

アドレス : FFF32H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM1	ADTMD1	ADTMD0	ADSCM	0	0	0	ADTRS1	ADTRS0
ADTMD1	ADTMD0	A/D 変換トリガ・モードの選択						
0	0	ソフトウェア・トリガ・モード						
0	1							
1	0	ハードウェア・トリガ・ノーウエイト・モード						
1	1	ハードウェア・トリガ・ウエイト・モード						
ADSCM	A/D 変換動作モードの設定							
0	連続変換モード							
1	ワンショット変換モード							
ADTRS1	ADTRS0	ハードウェア・トリガ信号の選択						
0	0	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み信号 (INTTM01)						
0	1	ELCで選択されたイベント信号						
1	0	リアルタイム・クロック割り込み信号 (INTRTC)						
1	1	12ビット・インターバル・タイマ割り込み信号 (INTIT)						

注意1. ADM1レジスタを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. A/D変換を完了させるためには、ハードウェア・トリガ間隔を次の時間以上としてください。

ハードウェア・トリガ・ノーウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D変換時間

ハードウェア・トリガ・ウエイト・モード時 : f_{CLK} の2クロック + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間

注意3. SNOOZE機能以外のモードにおいて、INTRTC, INTIT入力後最大 f_{CLK} の4クロック間は、次のINTRTC, INTIT入力がトリガとして有効になりません。

備考 f_{CLK} : CPU/周辺ハードウェア・クロック周波数

14.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)

A/Dコンバータの+側基準電圧および-側基準電圧の選択, A/D変換結果の上限値/下限値のチェック, 分解能の選択, およびSNOOZEモードを設定するレジスタです。

ADM2レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図 14 - 7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマット(1/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADREFP1	ADREFP0	A/Dコンバータの+側の基準電圧源の選択
0	0	V _{DD} から供給
0	1	P20/AVREFP/ANI0から供給
1	0	内部基準電圧(1.45 V)から供給 ^注
1	1	設定禁止

・ADREFP1, ADREFP0ビットを書き換える場合, 次の手順で設定してください。

- ① ADCE = 0に設定
- ② ADREFP1, ADREFP0の値を変更
- ③ 基準電圧安定待ち時間ウェイト(A)
- ④ ADCE = 1に設定
- ⑤ 基準電圧安定待ち時間ウェイト(B)

ADREFP1, ADREFP0 = 1, 0に変更する場合 : A = 5 μ s, B = 1 μ s
ADREFP1, ADREFP0 = 0, 0または0, 1に変更する場合 : Aはウェイト不要, B = 1 μ s
⑤のウェイトのあとに, A/D変換開始してください。

・ADREFP1, ADREFP0 = 1, 0に設定した場合, 温度センサ出力電圧と内部基準電圧をA/D変換することはできません。必ずADISS = 0としてA/D変換を行なってください。

ADREFM	A/Dコンバータの-側の基準電圧の選択
0	V _{SS} から供給
1	P21/AVREFM/ANI1から供給

注 HS (高速メイン)モードでのみ動作可能です。

注意1. ADM2レジスタを書き換える場合は, 必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意2. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は, ADREFP1 = 1に設定しないでください。内部基準電圧(ADREFP1, ADREFP0 = 1, 0)選択時は, 34.3.2または35.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(I_{ADREF})の電流値が加算されます。

注意3. AVREFPとAVREFMを使用する場合は, ANI0とANI1をアナログ入力に設定し, ポート・モード・レジスタは入力モードに設定してください。

図 14 - 8 A/Dコンバータ・モード・レジスタ 2 (ADM2)のフォーマット (2/2)

アドレス : F0010H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADM2	ADREFP1	ADREFP0	ADREFM	0	ADRCK	AWC	0	ADTYP

ADRCK	変換結果上限／下限値チェック
0	ADLL レジスタ $\leq$ ADCR レジスタ $\leq$ ADUL レジスタ (AREA1) のとき割り込み信号 (INTAD) が発生。
1	ADCR レジスタ < ADLL レジスタ (AREA2), ADUL レジスタ < ADCR レジスタ (AREA3) のとき割り込み信号 (INTAD) が発生。
AREA1～AREA3の割り込み信号 (INTAD) 発生範囲を図 14 - 9に示します。	

AWC	SNOOZE モードの設定
0	SNOOZE モード機能を使用しない
1	SNOOZE モード機能を使用する

STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなくA/D変換を行います(SNOOZEモード)。

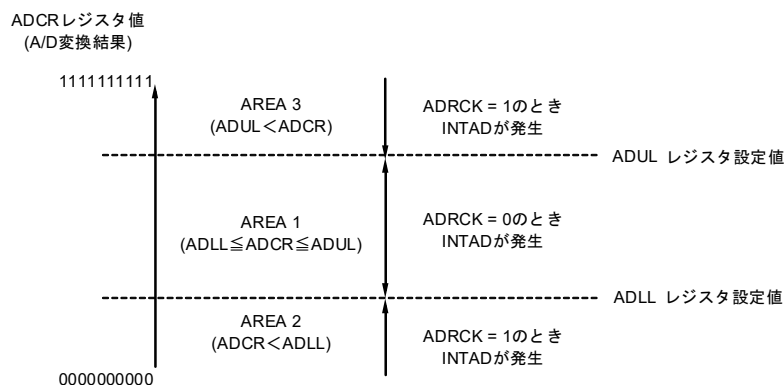
- SNOOZEモード機能は、CPU／周辺ハードウェア・クロック (f_{CLK}) に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。
- ソフトウェア・トリガ・モード、およびハードウェア・トリガ・ノー・ウェイト・モードでのSNOOZEモード機能は使用禁止です。
- 連続変換モードでのSNOOZEモード機能は使用禁止です。
- SNOOZEモード機能を使用するとき、ハードウェア・トリガ間隔は、「SNOOZEモードの遷移時間^注 + 変換起動時間 + A/D電源安定待ち時間 + A/D変換時間 + f_{CLK}の2クロック」以上の間隔を空けて設定してください。
- SNOOZE機能を使用する場合でも、通常動作時はAWCを0に設定し、STOPモードへ移行する直前にAWCを1に変更してください。
またSTOPモードから通常動作へ復帰後、必ずAWCを0に変更してください。
AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。

ADTYP	A/D変換分解能の選択
0	10ビット分解能
1	8ビット分解能

注 23.3.3 SNOOZEモードの「STOPモード→SNOOZEモードの遷移時間」を参照してください。

注意 ADM2レジスタを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0) のときに行ってください。

図 14 - 9 ADRCKビットによる割り込み信号発生範囲



備考 INTADが発生しない場合は、A/D変換結果がADCR, ADCRHレジスタに格納されません。

14.3.5 10ビットA/D変換結果レジスタ(ADCR)

A/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます注。

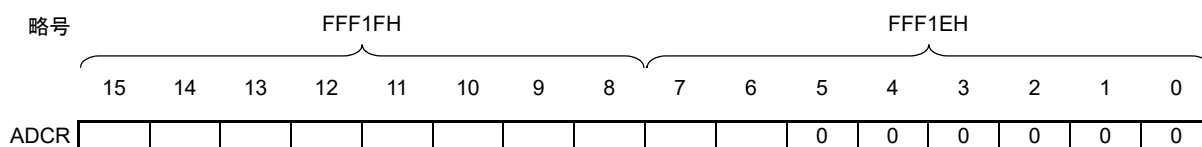
ADCRレジスタは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図14-9参照))で設定した値の範囲外の場合は格納されません。

図14-10 10ビットA/D変換結果レジスタ(ADCR)のフォーマット

アドレス：FFF1FH, FFF1EH リセット時：0000H R



注意1. 8ビット分解能A/D変換を選択時(A/Dコンバータ・モード・レジスタ2(ADM2)のADTYP = 1)にADCRレジスタをリードした場合、下位2ビット(ADCRレジスタのビット7、ビット6)は、0が読み出されます。

注意2. ADCRレジスタへ16ビット・アクセスした場合、変換結果上位10ビットがビット15から順に読み出せます。

14.3.6 8ビットA/D変換結果レジスタ(ADCRH)

A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します注。

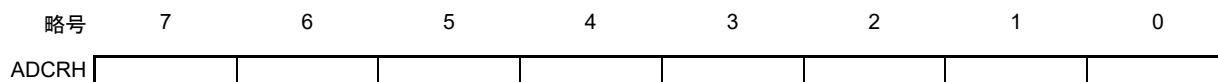
ADCRHレジスタは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

注 A/D変換結果の値がA/D変換結果比較機能(ADRCKビット、ADUL/ADLLレジスタで設定(図14-9参照))で設定した値の範囲外の場合は格納されません。

図14-11 8ビットA/D変換結果レジスタ(ADCRH)のフォーマット

アドレス：FFF1FH リセット時：00H R



注意 A/Dコンバータ・モード・レジスタ0(ADM0)、アナログ入力チャネル指定レジスタ(ADS)、A/Dポート・コンフィギュレーション・レジスタ(ADPC)に対して書き込み動作を行ったとき、ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0、ADS、ADPCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

14.3.7 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 12 アナログ入力チャネル指定レジスタ (ADS)のフォーマット(1/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	0	1	0	0	0	ANI8	P150/ANI8 端子
0	0	1	0	0	1	ANI9	P151/ANI9 端子
0	0	1	0	1	0	ANI10	P152/ANI10 端子
0	0	1	0	1	1	ANI11	P153/ANI11 端子
0	0	1	1	0	0	ANI12	P154/ANI12 端子
0	0	1	1	0	1	ANI13	P155/ANI13 端子
0	0	1	1	1	0	ANI14	P156/ANI14 端子
0	1	0	0	0	0	ANI16	P03/ANI16 端子 ^{注1}
0	1	0	0	0	1	ANI17	P02/ANI17 端子 ^{注2}
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	ANI20	P100/ANI20 端子
1	0	0	0	0	0	—	温度センサ出力電圧 ^{注3, 4}
1	0	0	0	0	1	—	内部基準電圧(1.45 V) ^{注4}
上記以外						設定禁止	

注1. 30, 32ピン製品の場合は、P01/ANI16端子になります。

注2. 30, 32ピン製品の場合は、P00/ANI17端子になります。

注3. コード・フラッシュ・メモリが96 KB以上の製品で、コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧(1.45 V)を選択している場合は、温度センサ出力を選択できません。

注4. HS (高速メイン)モードでのみ動作可能です。

(注意は次ページにあります。)

図14 - 13 アナログ入力チャネル指定レジスタ (ADS)のフォーマット(2/2)

アドレス : FFF31H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○スキャン・モード (ADMD = 1)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力チャネル			
						スキャン0	スキャン1	スキャン2	スキャン3
0	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
0	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
0	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
0	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
0	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
0	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
0	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
0	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
0	0	1	0	0	0	ANI8	ANI9	ANI10	ANI11
0	0	1	0	0	1	ANI9	ANI10	ANI11	ANI12
0	0	1	0	1	0	ANI10	ANI11	ANI12	ANI13
0	0	1	0	1	1	ANI11	ANI12	ANI13	ANI14
上記以外						設定禁止			

注意1. ビット5, 6には必ず0を設定してください。

注意2. ADPC, PMCxレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0, 2, 10, 12, 14, 15 (PM0, PM2, PM10, PM12, PM14, PM15)で入力モードに選択してください。

注意3. A/Dポート・コンフィギュレーション・レジスタ (ADPC)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意4. ポート・モード・コントロール・レジスタ0, 10, 12, 14 (PMC0, PMC10, PMC12, PMC14)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。

注意5. ADISSビットを書き換える場合は、必ず変換停止状態 (ADCS = 0, ADCE = 0)のときに行ってください。

注意6. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。

注意7. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。

注意8. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧(1.45 V)は使用できません。

また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、14.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード、ワンショット変換モード時)(例 ソフトウェア・トリガ・モード、ワンショット変換モード時)を参照してください。

注意9. STOPモードへ移行、もしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、34.3.2 または35.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流 (IADREF)の電流値が加算されます。

14.3.8 変換結果比較上限値設定レジスタ (ADUL)

A/D変換結果対し、上限値をチェックするために設定するレジスタです。

A/D変換結果とADULレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図14-9参照)で割り込み信号(INTAD)の発生を制御します。

ADULレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

図14-14 変換結果比較上限値設定レジスタ (ADUL)のフォーマット

アドレス : F0011H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
ADUL	ADUL7	ADUL6	ADUL5	ADUL4	ADUL3	ADUL2	ADUL1	ADUL0

14.3.9 変換結果比較下限値設定レジスタ (ADLL)

A/D変換結果対し、下限値をチェックするために設定するレジスタです。

A/D変換結果とADLLレジスタ値の比較を行い、A/Dコンバータ・モード・レジスタ2 (ADM2)のADRCKビットの設定範囲(図14-9参照)で割り込み信号(INTAD)の発生を制御します。

ADLLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-15 変換結果比較下限値設定レジスタ (ADLL)のフォーマット

アドレス : F0012H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADLL	ADLL7	ADLL6	ADLL5	ADLL4	ADLL3	ADLL2	ADLL1	ADLL0

注意1. 10ビット分解能A/D変換選択時は、10ビットA/D変換結果レジスタ(ADCR)の上位8ビットをADULレジスタおよびADLLレジスタと比較します。

注意2. ADULレジスタおよびADLLレジスタの書き換えは、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。

注意3. ADULレジスタおよびADLLレジスタは、ADUL > ADLLになるように設定を行ってください。

14.3.10 A/D テスト・レジスタ (ADTES)

A/D 変換対象に A/D コンバータの + 側の基準電圧、一側の基準電圧、アナログ入力チャネル (ANlxx)、温度センサ出力電圧、内部基準電圧 (1.45 V) を選択するレジスタです。

A/D テスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D 変換対象に一側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D 変換対象に + 側の基準電圧を選択。

ADTES レジスタは、は 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 14 - 16 A/D テスト・レジスタ (ADTES) のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0
ADTES1		ADTES0		A/D 変換対象				
0		0		ANlxx / 温度センサ出力電圧注 / 内部基準電圧 (1.45 V)注 (アナログ入力チャネル指定レジスタ (ADS) で設定)				
1		0		一側の基準電圧 (ADM2 レジスタの ADREFM ビットで選択)				
1		1		+ 側の基準電圧 (ADM2 レジスタの ADREFP1, ADREFP0 ビットで選択)				
上記以外				設定禁止				

注 温度センサ出力電圧、内部基準電圧 (1.45 V) は、HS (高速メイン) モードでのみ選択可能です。

14.3.11 アナログ入力端子のポート機能を制御するレジスタ

A/Dコンバータのアナログ入力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・モード・コントロール・レジスタ (PMCxx), A/Dポート・コンフィギュレーション・レジスタ (ADPC)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx), 4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)を参照してください。

ANI0-ANI14端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットに1を設定し、A/Dポート・コンフィギュレーション・レジスタ (ADPC)でアナログ入力に設定してください。

ANI16-ANI20端子をA/Dコンバータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)とポート・モード・コントロール・レジスタ (PMCxx)のビットに1を設定してください。

14.4 A/Dコンバータの変換動作

A/Dコンバータの変換動作を次に示します。

- ① 選択したアナログ入力チャネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。
- ② 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。
- ③ 逐次変換レジスタ (SAR) のビット 9 をセットし、タップ・セレクタは直列抵抗ストリングの電圧タップを $(1/2)AV_{REF}$ にします。
- ④ 直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差を A/D 電圧コンパレータで比較します。もし、アナログ入力 $> (1/2)AV_{REF}$ よりも大きければ、SARレジスタのMSBビットをセットしたままです。また、 $(1/2)AV_{REF}$ よりも小さければ、MSBビットはリセットします。
- ⑤ 次に SAR レジスタのビット 8 が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。
 - ・ビット9 = 1 : $(3/4) AV_{REF}$
 - ・ビット9 = 0 : $(1/4) AV_{REF}$この電圧タップとサンプリングされた電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 - ・サンプリングされた電圧 $\geq$ 電圧タップ : ビット8 = 1
 - ・サンプリングされた電圧 $<$ 電圧タップ : ビット8 = 0
- ⑥ このような比較をSARレジスタのビット0まで続けます。
- ⑦ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします^{注1}。
同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。
- ⑧ 以降①から⑦までの動作を $ADCS = 0$ になるまで繰り返します^{注2}。
A/Dコンバータを停止する場合は、 $ADCS = 0$ にしてください。

注1. A/D変換結果の値がA/D変換結果比較機能 (ADRCKビット, ADUL/ADLLレジスタで設定 (図14-9参照)) で設定した値の範囲外の場合、A/D変換終了割り込み要求信号 (INTAD) は発生しません。この場合、ADCR, ADCRHレジスタに結果は格納されません。

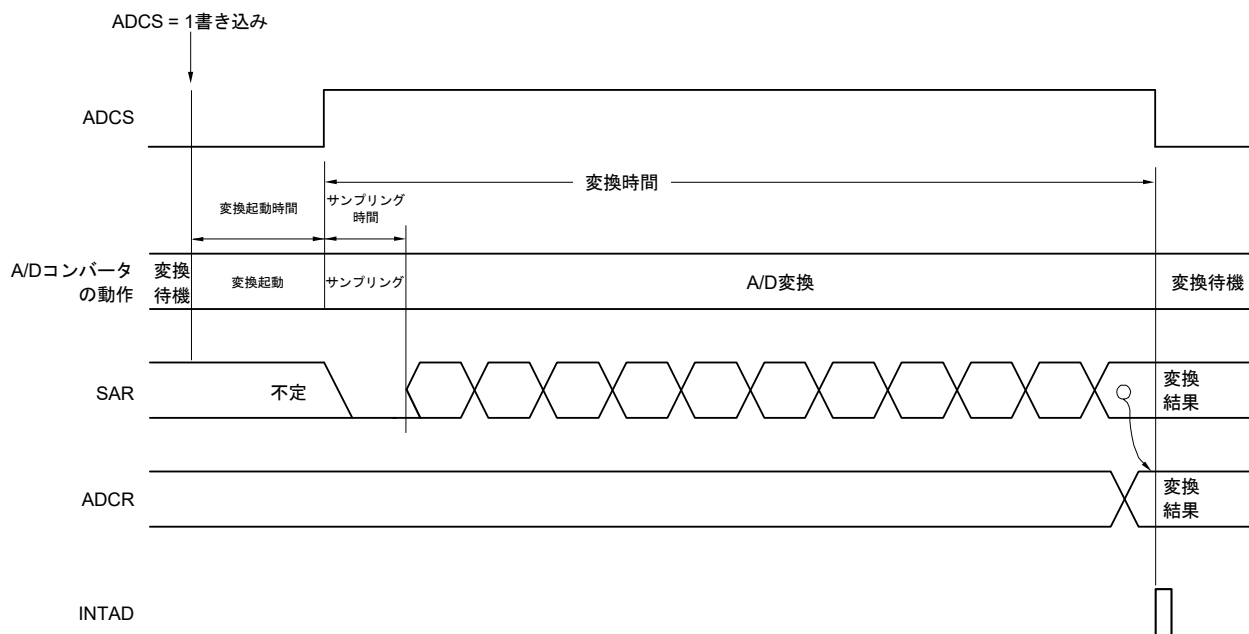
注2. 連続変換モード時は、ADCSフラグは自動的に“0”にクリアされません。また、ハードウェア・トリガ・ノーウェイト・モードでのワンショット変換モード時でも、ADCSフラグは、自動的に“0”にクリアされません。“1”のまま保持されます。

備考1. A/D変換結果レジスタは2種類あります。

- ・ADCRレジスタ (16ビット): 10ビットのA/D変換値を格納します。
- ・ADCRHレジスタ (8ビット): 8ビットのA/D変換値を格納します。

備考2. AV_{REF} : A/Dコンバータの+側基準電圧。 AV_{REFP} , 内部基準電圧 (1.45 V), V_{DD} から選択可能です。

図14 - 17 A/Dコンバータの変換動作(ソフトウェア・トリガ・モードの場合)



ワンショット変換モード時のA/D変換動作は、A/D変換終了後にADCSビットが自動的にクリア(0)されます。

連続変換モード時のA/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)をクリア(0)するまで連続的行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ(ADS)に対して書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。

A/D変換結果レジスタ(ADCR, ADCRH)は、リセット信号の発生により0000Hまた00Hとなります。

14.5 入力電圧と変換結果

アナログ入力端子(ANI0-ANI14, ANI16-ANI20)に入力されたアナログ入力電圧と理論上のA/D変換結果(10ビット A/D変換結果レジスタ(ADCR))には次式に示す関係があります。

$$\text{SAR} = \text{INT} \left(\frac{V_{\text{AIN}}}{V_{\text{REF}}} \times 1024 + 0.5 \right)$$

$$\text{ADCR} = \text{SAR} \times 64$$

または,

$$\left(\frac{\text{ADCR}}{64} - 0.5 \right) \times \frac{V_{\text{REF}}}{1024} \leq V_{\text{AIN}} < \left(\frac{\text{ADCR}}{64} + 0.5 \right) \times \frac{V_{\text{REF}}}{1024}$$

INT (): ()内の値の整数部を返す関数

V_{AIN}: アナログ入力電圧

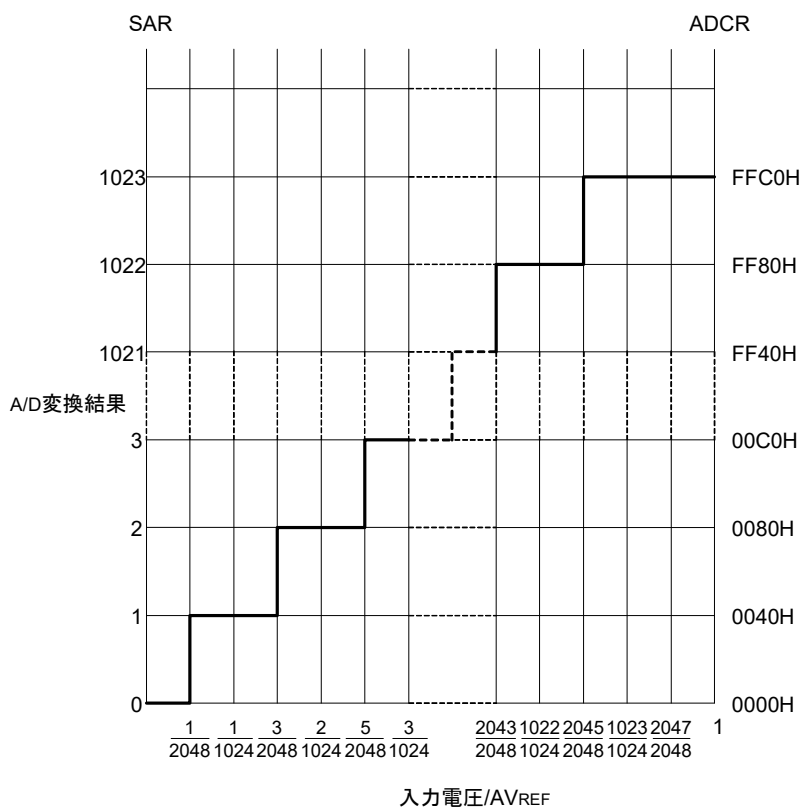
V_{REF}: V_{REF}端子電圧

ADCR: A/D変換結果レジスタ(ADCR)の値

SAR: 逐次変換レジスタ

図14 - 18にアナログ入力電圧とA/D変換結果の関係を示します。

図14 - 18 アナログ入力電圧とA/D変換結果の関係



備考 V_{REF}: A/Dコンバータの+側基準電圧。V_{REFP}, 内部基準電圧(1.45 V), V_{DD}から選択可能です。

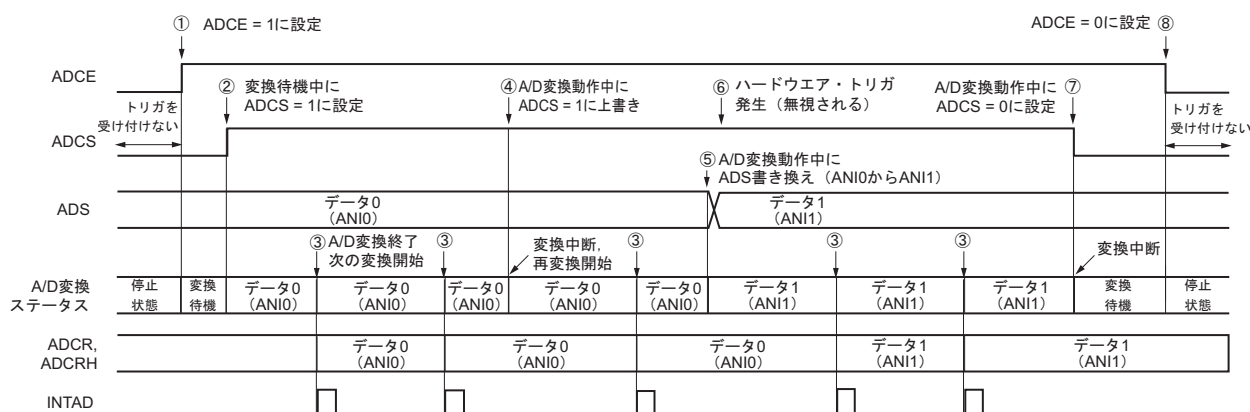
14.6 A/Dコンバータの動作モード

A/Dコンバータの各モードの動作を次に示します。また、各モードの設定手順を14.7 A/Dコンバータの設定フロー・チャートに示します。

14.6.1 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

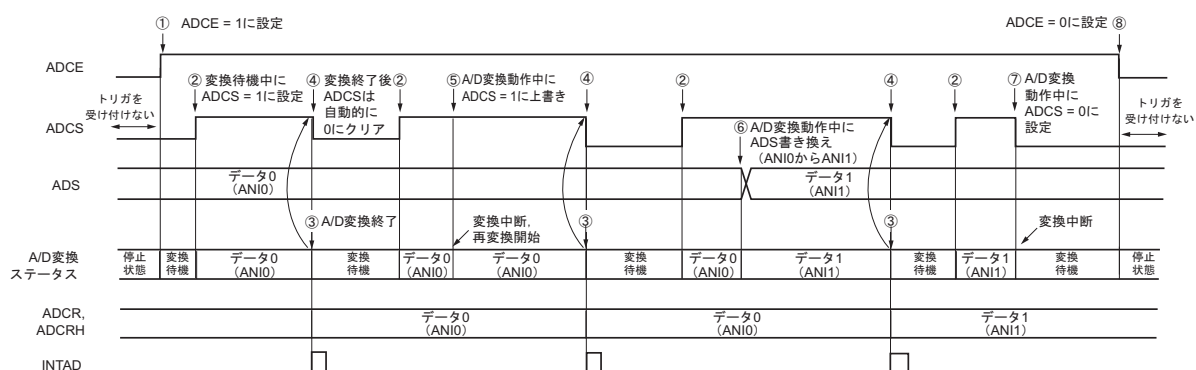
図14 - 19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例



14.6.2 ソフトウェア・トリガ・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたアナログ入力のA/D変換を行います。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

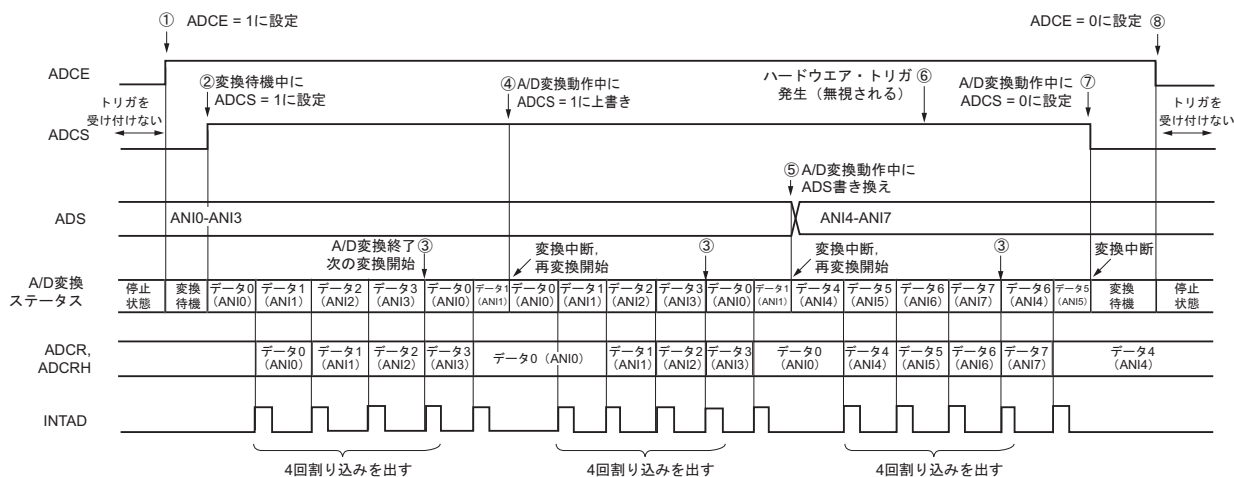
図14-20 ソフトウェア・セレクト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



14.6.3 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャネルのA/D変換終了後は、設定しているチャネルからすぐに次のA/D変換が自動的に開始されます(4チャネル分)。
- ④ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にハードウェア・トリガが入力されても、A/D変換は開始しません。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

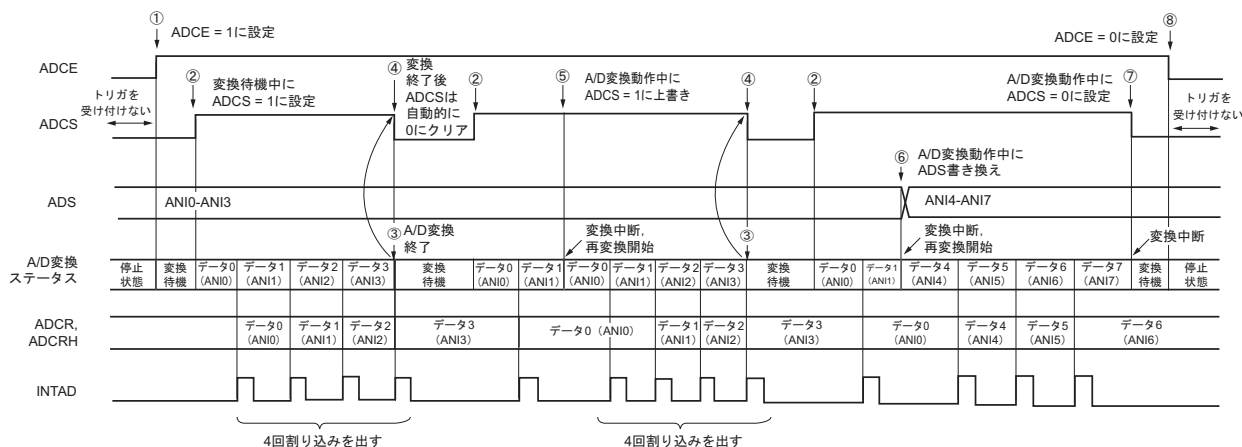
図14-21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例



14.6.4 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、アナログ入力チャンネル指定レジスタ(ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ③ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ(ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ④ 4チャンネルのA/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/D変換待機状態となります。
- ⑤ 変換動作中にADCS = 1を上書きすると、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。
- ⑧ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。A/D変換待機中にハードウェア・トリガが入力されても、A/D変換は開始しません。

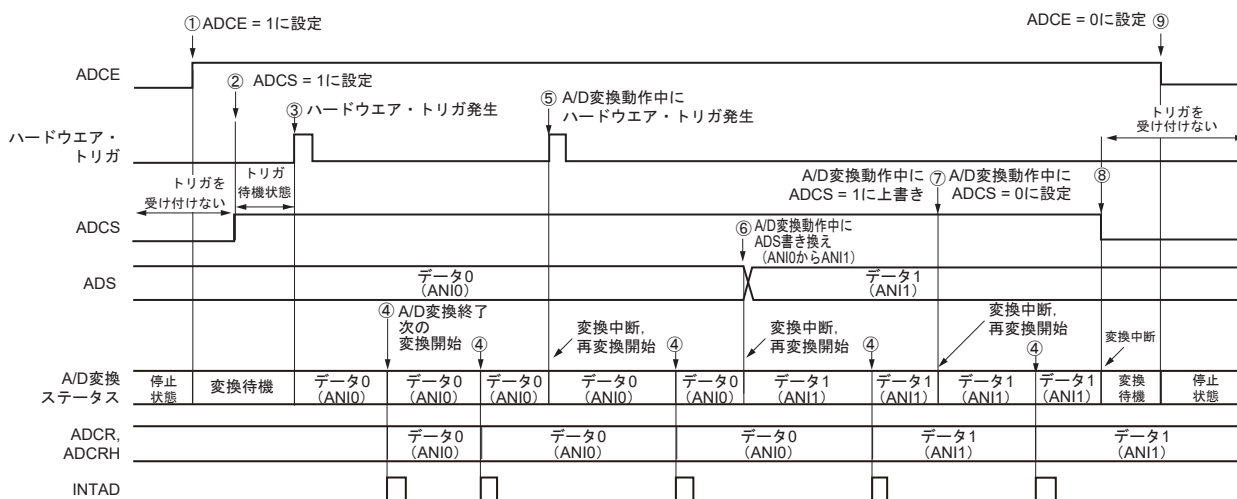
図14-22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



14.6.5 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

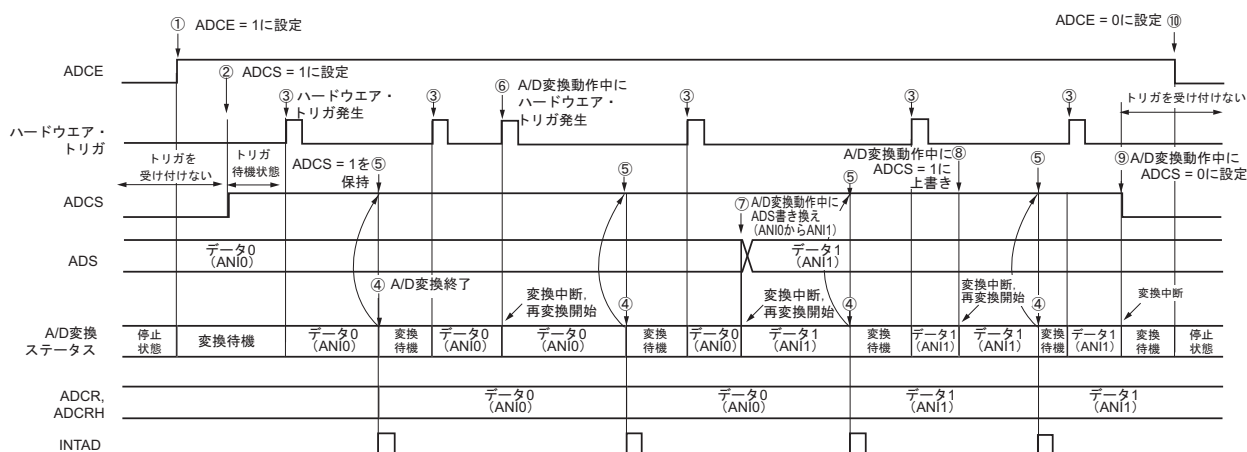
図14-23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



14.6.6 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。
- ④ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ A/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

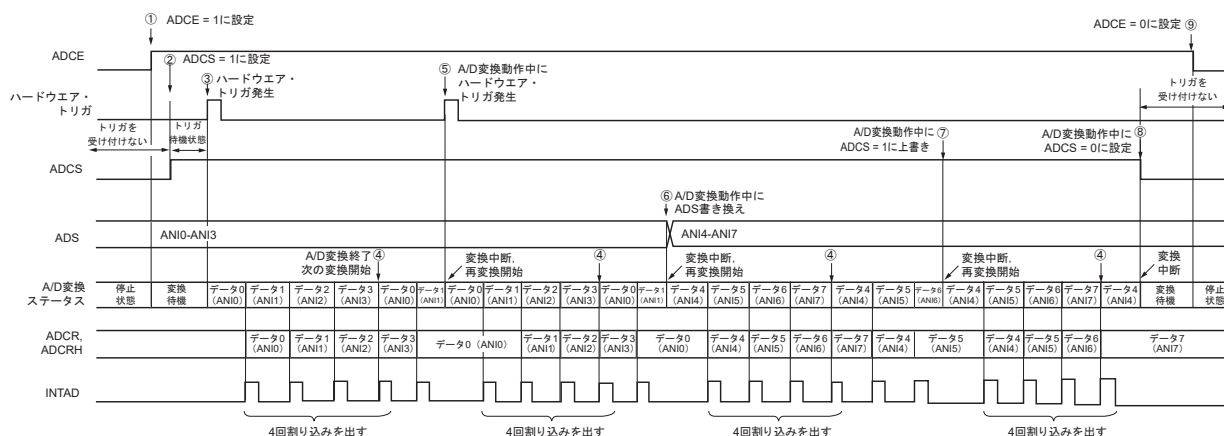
図14-24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



14.6.7 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャンネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャンネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。
- ④ 4つのアナログ入力チャンネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。4チャンネルのA/D変換終了後は、設定しているチャンネルからすぐに次のA/D変換が自動的に開始されます。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャンネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャンネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態でA/Dコンバータは停止状態になりません。
- ⑨ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCE = 0のとき、ADCS = 1に設定しても無視され、A/D変換は開始しません。

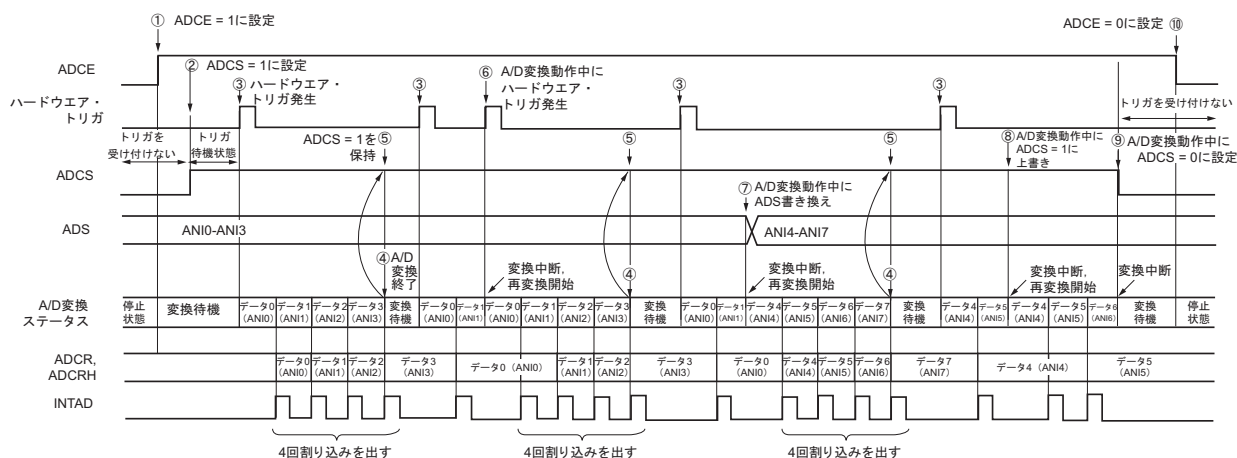
図14-25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



14.6.8 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ソフトウェアで安定待ち時間(1 μ s)をカウント後、ADM0レジスタのADCS = 1に設定することで、ハードウェア・トリガ待機状態となります(この段階では変換を開始しません)。なお、ハードウェア・トリガ待機状態のとき、ADCS = 1に設定しても、A/D変換は開始しません。
- ③ ADCS = 1の状態では、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ④ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号(INTAD)を発生します。
- ⑤ 4チャネルのA/D変換が終了後、ADCSビットは1の設定のまま、A/D変換待機状態となります。
- ⑥ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、最初のチャネルから再変換を行います。変換動作途中のデータは破棄されます。
- ⑨ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、A/D変換待機状態となります。ただし、この状態ではA/Dコンバータは停止状態になりません。
- ⑩ A/D変換待機中にADCE = 0に設定すると、A/Dコンバータは停止状態になります。ADCS = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

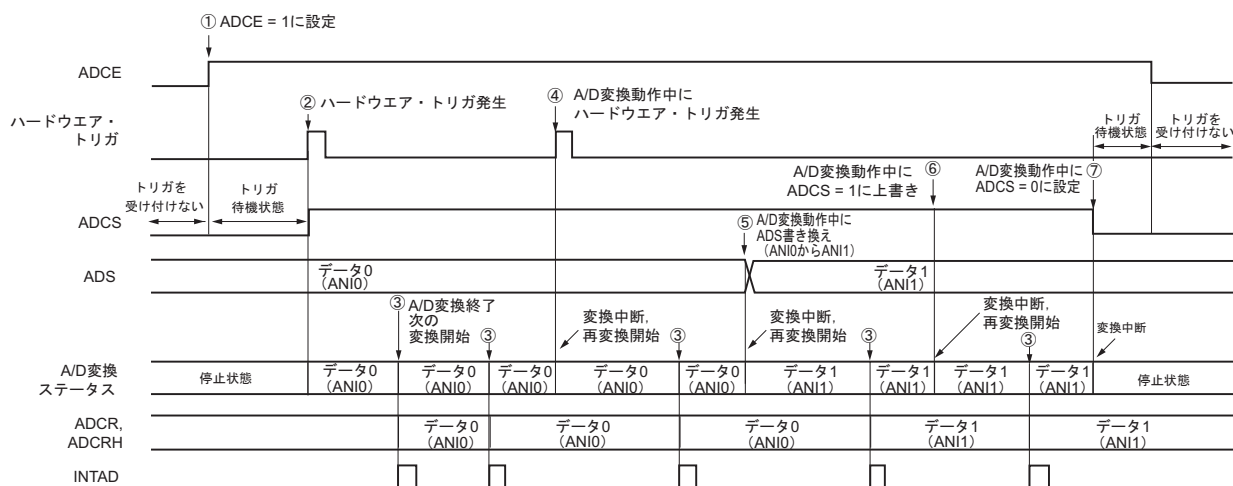
図14-26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



14.6.9 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。A/D変換終了後は、すぐに次のA/D変換を開始します(このとき、ハードウェア・トリガは不要です)。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

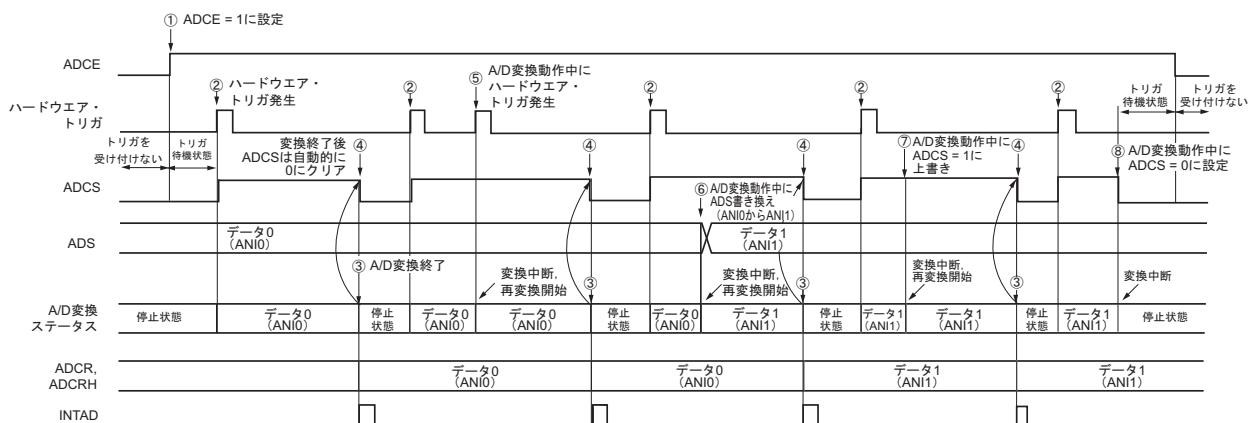
図14-27 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, 連続変換モード)動作タイミング例



14.6.10 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、ハードウェア・トリガ待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたアナログ入力のA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。
- ③ A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたアナログ入力のA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは初期化されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

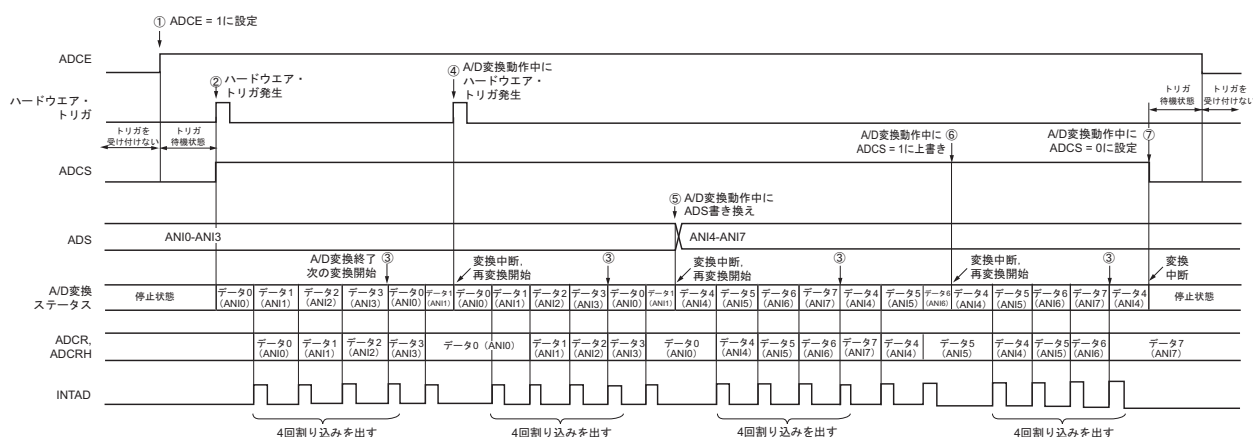
図14 - 28 ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例



14.6.11 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, 連続変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。4チャネルのA/D変換終了後は、設定しているチャネルからすぐに次のA/D変換が自動的に開始されます。
- ④ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑤ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

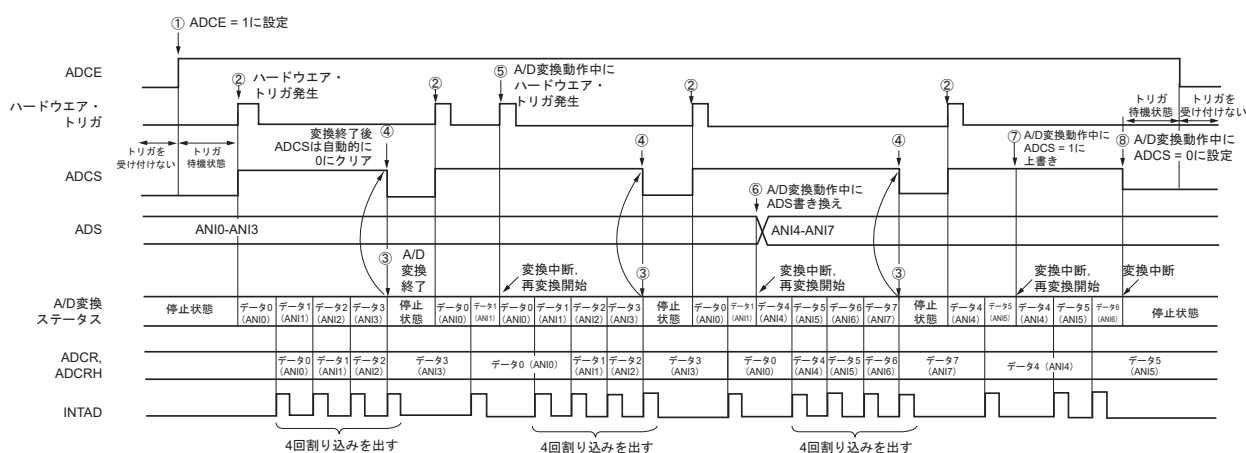
図14-29 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, 連続変換モード)動作タイミング例



14.6.12 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, ワンショット変換モード)

- ① 停止状態で、A/Dコンバータ・モード・レジスタ0 (ADM0)のADCE = 1に設定し、A/D変換待機状態となります。
- ② ハードウェア・トリガ待機状態で、ハードウェア・トリガが入力されると、アナログ入力チャネル指定レジスタ (ADS)で指定されたスキャン0～スキャン3までの4つのアナログ入力チャネルのA/D変換を行います。ハードウェア・トリガの入力に合わせて、自動的にADM0レジスタのADCS = 1に設定されます。A/D変換はスキャン0で指定されたアナログ入力チャネルから順に行います。
- ③ 4つのアナログ入力チャネルのA/D変換は連続して行われ、変換が完了するごとに変換結果をA/D変換結果レジスタ (ADCR, ADCRH)に格納し、A/D変換終了割り込み要求信号 (INTAD)を発生します。
- ④ A/D変換が終了後、ADCSビットは自動的に0にクリアされ、A/Dコンバータは停止状態になります。
- ⑤ 変換動作中にハードウェア・トリガが入力された場合、現在のA/D変換は中断され、最初のチャネルから再変換を開始します。変換動作途中のデータは破棄されます。
- ⑥ 変換動作中にADSレジスタを書き換えおよび上書きすると、現在のA/D変換は中断され、ADSレジスタで再度指定されたチャネルの最初からA/D変換を行います。変換動作途中のデータは破棄されます。
- ⑦ 変換動作中にADCS = 1に上書きすると、現在のA/D変換は中断され、再変換を行います。変換動作途中のデータは破棄されます。
- ⑧ 変換動作中にADCS = 0に設定すると、現在のA/D変換は中断され、ハードウェア・トリガ待機状態となり、A/Dコンバータは停止状態になります。ADCE = 0のとき、ハードウェア・トリガが入力されても無視され、A/D変換は開始しません。

図14-30 ハードウェア・トリガ・ウェイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例



14.7 A/Dコンバータの設定フロー・チャート

各動作モード時のA/Dコンバータの設定フロー・チャートを次に示します。

14.7.1 ソフトウェア・トリガ・モード設定

図 14 - 31 ソフトウェア・トリガ・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.2 ハードウェア・トリガ・ノーウエイト・モード設定

図 14-32 ハードウェア・トリガ・ノーウエイト・モード設定



注 ADCR, ADCRHレジスタに結果は格納されません。

14.7.3 ハードウェア・トリガ・ウェイト・モード設定

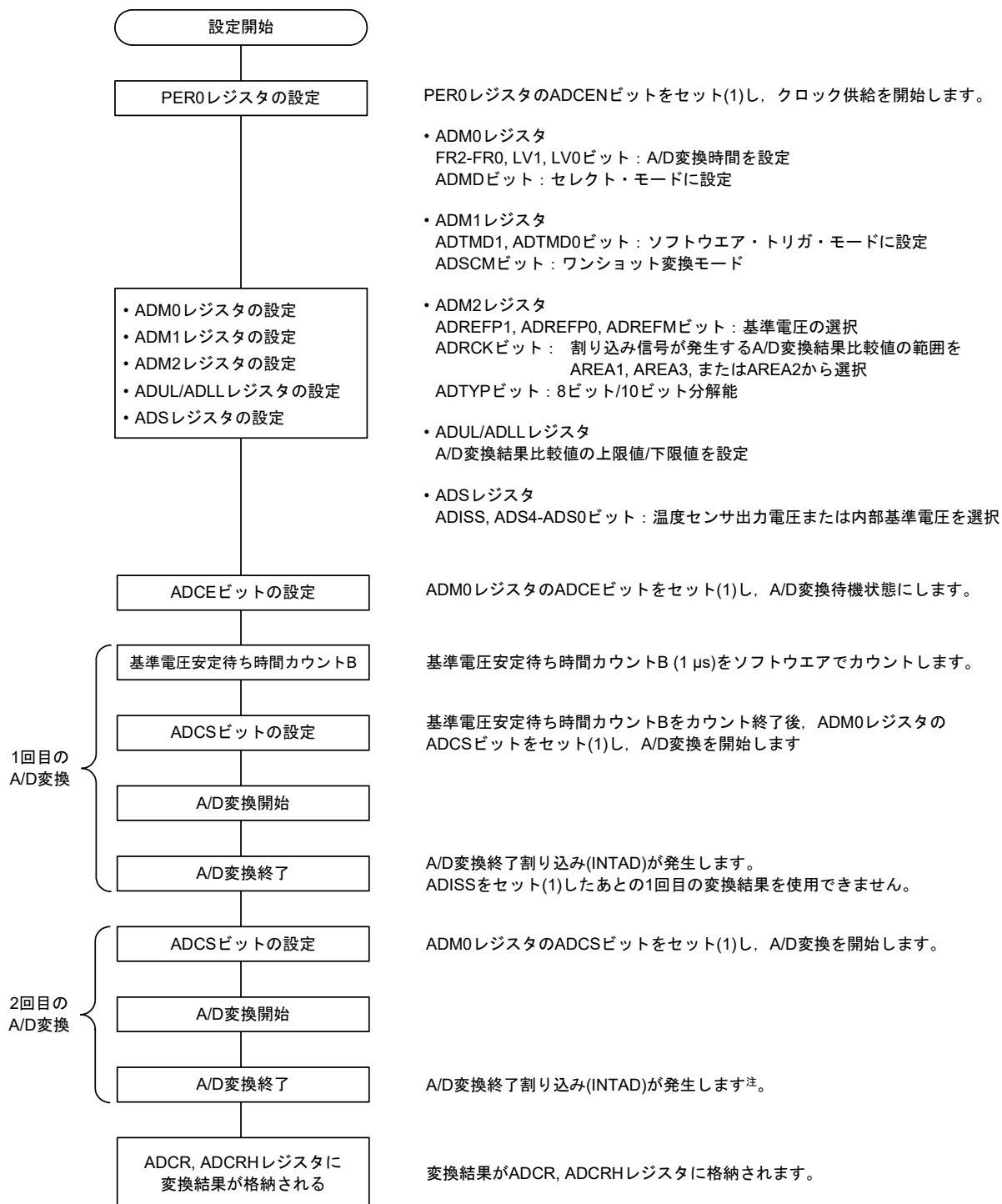
図 14 - 33 ハードウェア・トリガ・ウェイト・モード設定



注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

14.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード、ワンショット変換モード時)

図14 - 34 温度センサ出力電圧／内部基準電圧を選択時の設定

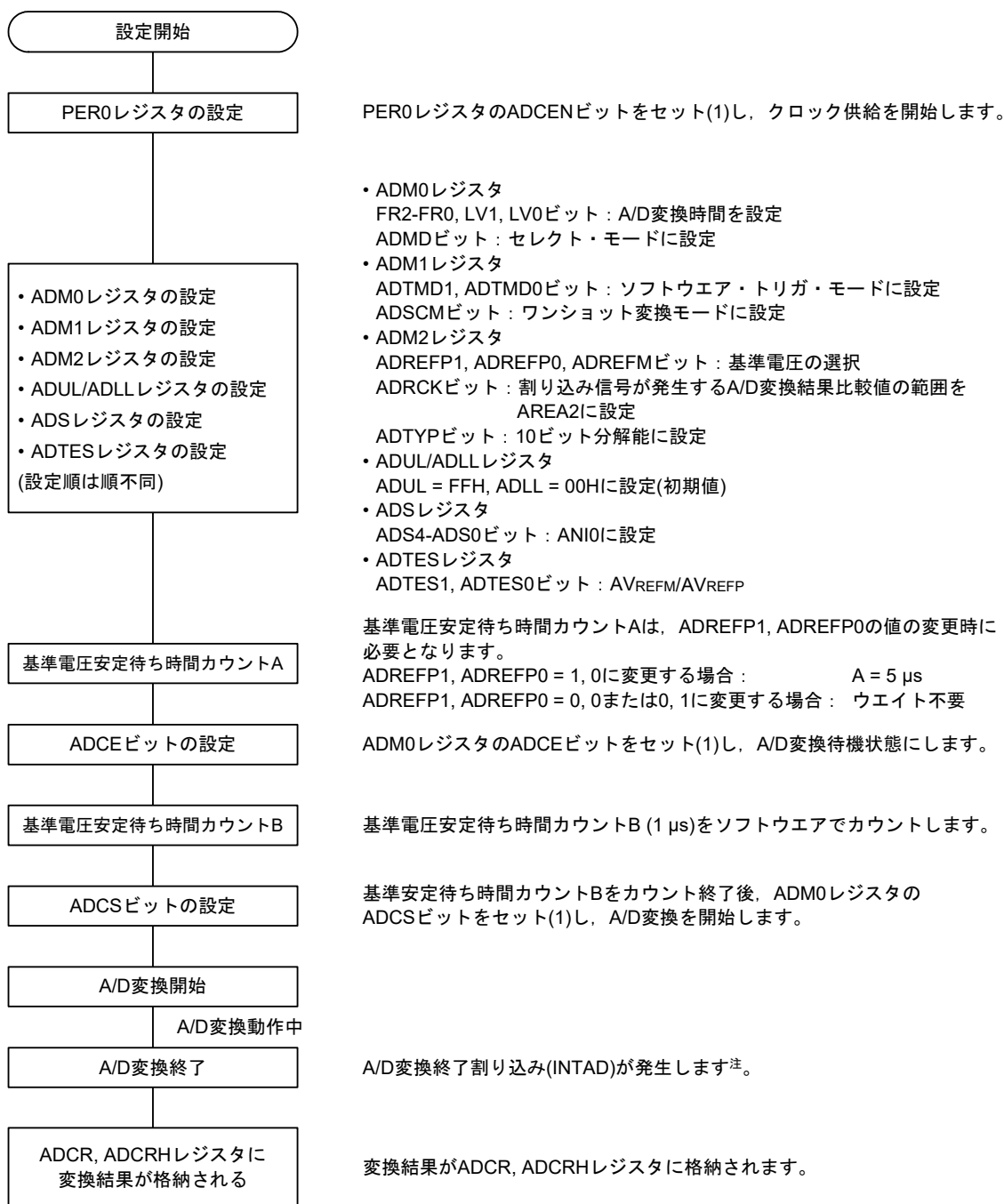


注 ADCRビット, ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 HS (高速メイン)モードでのみ選択可能です。

14.7.5 テスト・モード設定

図 14 - 35 テスト・モード設定



注 ADRCKビット、ADUL/ADLLレジスタの設定により、割り込み信号が発生しない場合があります。この場合、ADCR, ADCRHレジスタに結果は格納されません。

注意 A/Dコンバータのテスト方法については、27.3.8 A/Dテスト機能を参照してください。

14.8 SNOOZEモード機能

STOPモード時にハードウェア・トリガの入力によりA/D変換を動作させるモードです。通常STOPモード時にA/D変換は動作を停止しますが、このモードを使うことで、ハードウェア・トリガからの入力によってCPUを動作させずにA/D変換することができます。動作電流を低減させたい場合に有効です。

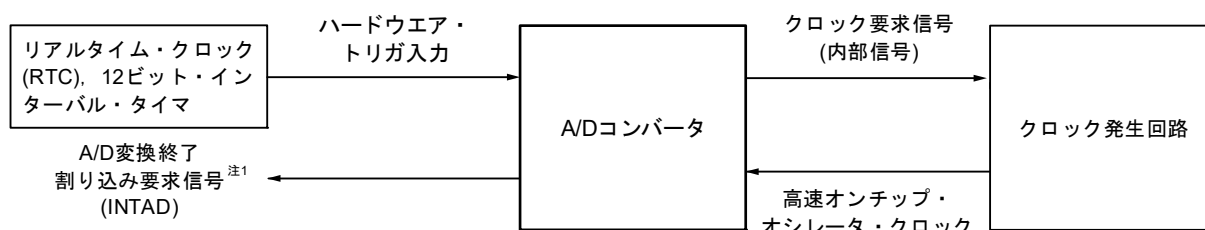
SNOOZEモードでは、ADUL, ADLLで変換結果の範囲を指定すれば、一定時間ごとにA/D変換結果の判断ができます。これにより、電源電圧監視やA/D入力による入力キーの判定などができます。

SNOOZEモードでは、次の2つの変換モードのみ使用可能です。

- ・ハードウェア・トリガ・ウェイト・モード(セレクト・モード, ワンショット変換モード)
- ・ハードウェア・トリガ・ウェイト・モード(スキャン・モード, ワンショット変換モード)

注意 SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

図14 - 36 SNOOZEモード機能時のブロック図



SNOOZEモード機能を使用する場合は、STOPモードに移行する前に各レジスタの初期設定を行います(14.7.3ハードウェア・トリガ・ウェイト・モード設定を参照^{注2})。このとき、A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2 (AWC)に1を設定しておきます。初期設定完了後、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット0 (ADCE)に1を設定します。

STOPモードに移行後、ハードウェア・トリガが入力されると、高速オンチップ・オシレータ・クロックがA/Dコンバータに供給されます。高速オンチップ・オシレータ・クロック供給後、A/D電源安定待ち時間が自動的にカウントされ、A/D変換が開始します。

A/D変換終了後のSNOOZEモードの動作は、割り込み信号発生の有無によって異なります^{注1}。

注1. A/D変換結果比較機能の設定(ADRCKビット, ADUL/ADLLレジスタ)により、割り込み信号が発生しない場合があります。

注2. ADM1レジスタは必ずE1H, E2HまたはE3Hに設定してください。

備考 ハードウェア・トリガは、ELCで選択されたイベント, INTRTCまたはINTITです。

ハードウェア・トリガは、A/Dコンバータ・モード・レジスタ1 (ADM1)で設定してください。

(1) A/D変換終了後に割り込みが発生する場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲内の場合, A/D変換終了割り込み要求信号(INTAD)は発生します。

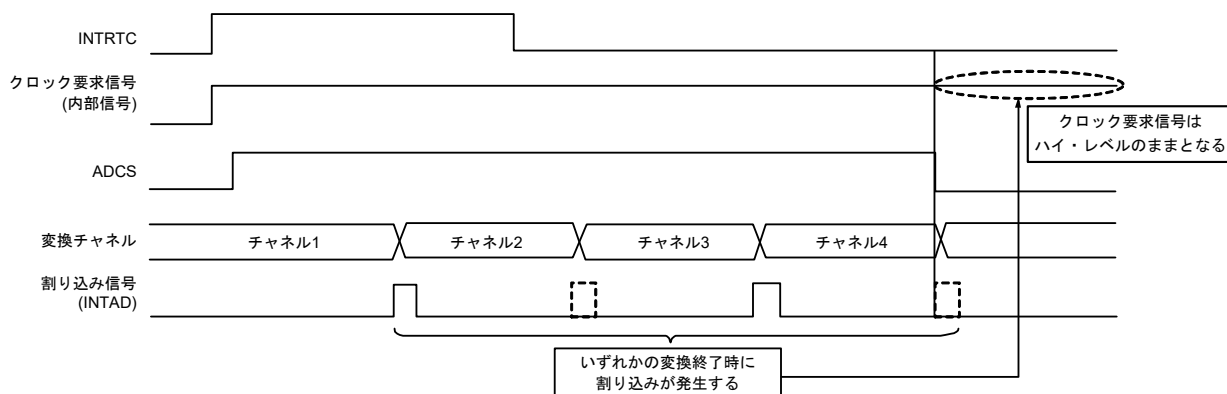
・セレクト・モード時

A/D変換が終了してA/D変換終了割り込み要求信号(INTAD)が発生すると, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

・スキャン・モード時

4チャンネル分のA/D変換で1回でもA/D変換終了割り込み要求信号(INTAD)が発生した場合, A/DコンバータはSNOOZEモードから通常動作モードに移行します。ここで, A/Dコンバータ・モード・レジスタ2 (ADM2)のビット2を必ずクリア(AWC = 0: SNOOZE解除)してください。AWC = 1のままでは, その後のSNOOZEモード, 通常動作モードに関係なく正常にAD変換が開始されません。

図14 - 37 A/D変換終了後に割り込みが発生する場合の動作例(スキャン・モード時)



(2) A/D変換終了後に割り込みが発生しない場合

A/D変換結果の値がA/D変換結果比較機能(ADRCKビット, ADUL/ADLLレジスタで設定)で設定した値の範囲外の場合, A/D変換終了割り込み要求信号(INTAD)は発生しません。

- セレクト・モード時

A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, A/D変換終了後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

- スキャン・モード時

4チャンネル分のA/D変換で1回もA/D変換終了割り込み要求信号(INTAD)が発生しなかった場合, 4チャンネル分のA/D変換が終了した後にクロック要求信号(内部信号)は自動的にロウ・レベルとなり, 高速オンチップ・オシレータ・クロックの供給は停止されます。その後, ハードウェア・トリガが入力された場合は, 再度SNOOZEモードでA/D変換作業を行います。

図14 - 38 A/D変換終了後に割り込みが発生しない場合の動作例(スキャン・モード時)

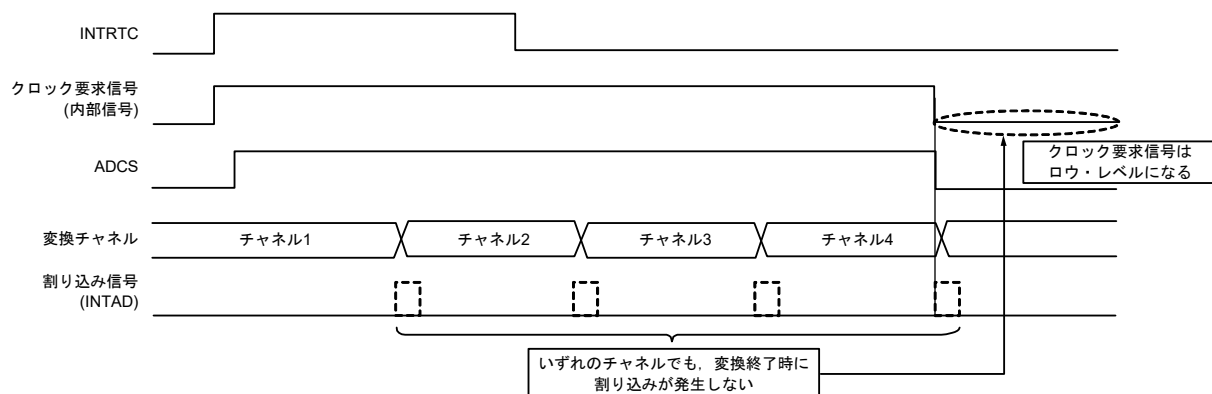
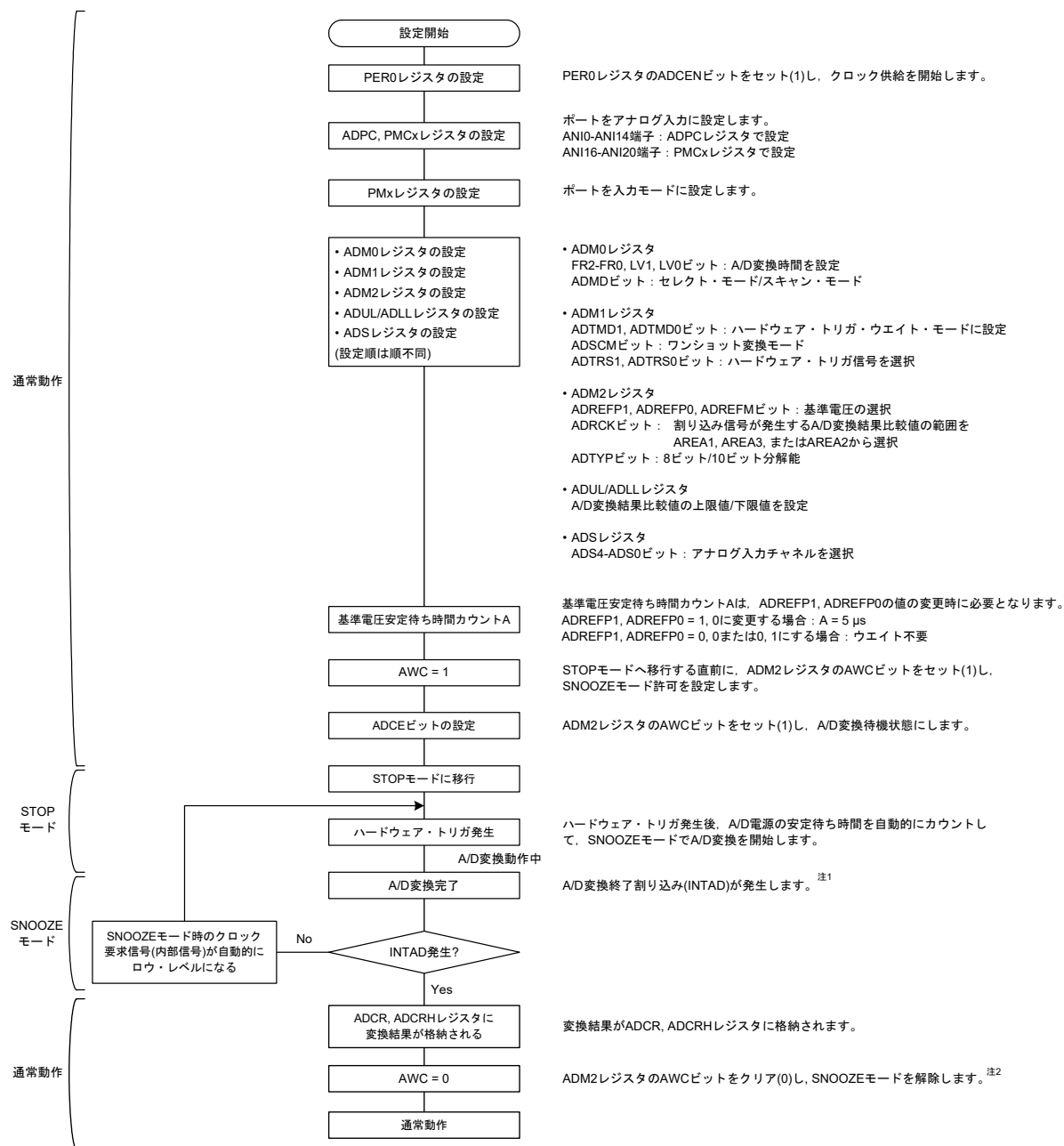


図 14 - 39 SNOOZEモード設定のフローチャート



注1. ADRCCKビット, ADUL/ADLLレジスタの設定により、A/D変換終了割り込み要求信号(INTAD)が発生しなかった場合、ADCR, ADCRHレジスタに結果は格納されません。再びSTOPモードに移行します。その後、ハードウェア・トリガが入力された場合は、再度SNOOZEモードでA/D変換動作を行います。

注2. AWC = 1のままでは、その後のSNOOZEモード、通常動作モードに関係なく正常にA/D変換が開始されません。必ずAWC = 0にしてください。

14.9 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit)といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range)で表します。

分解能10ビットのとき

$$1 \text{ LSB} = 1/2^{10} = 1/1024 \\ = 0.098 \% \text{FSR}$$

精度は分解能とは関係なく、総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお、特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図14-40 総合誤差

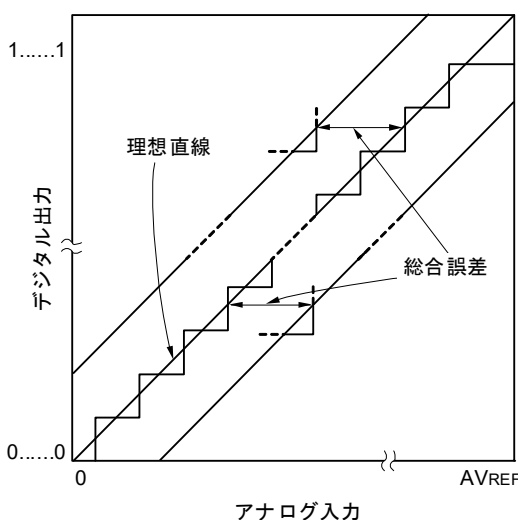
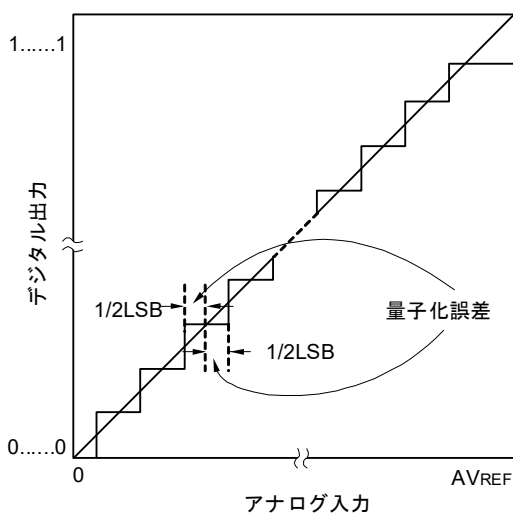


図14-41 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値(1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値(3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値(フルスケール-3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSB ですが、あるコードを出力する幅の実測値と理想値との差を表します。

図 14 - 42 ゼロスケール誤差

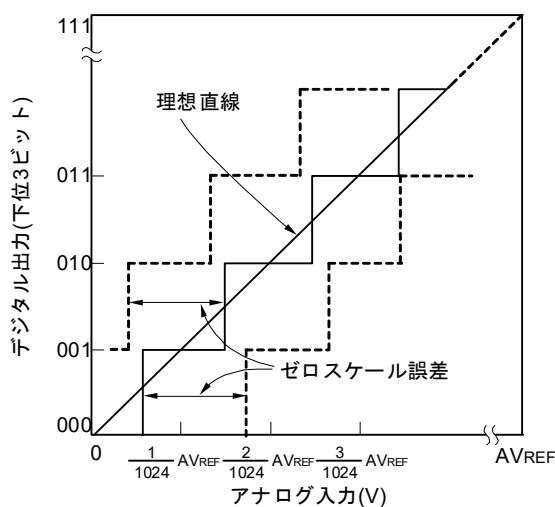


図 14 - 43 フルスケール誤差

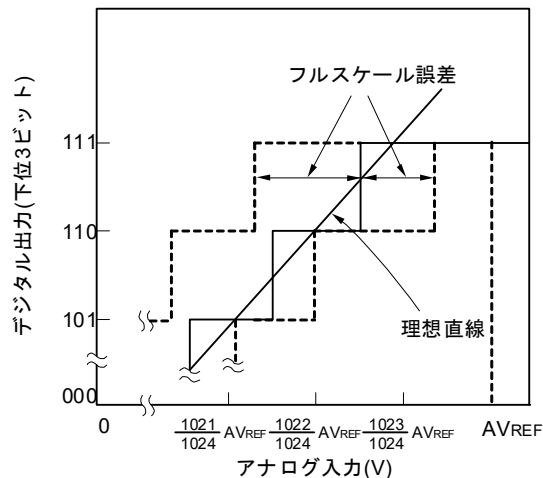


図14 - 44 積分直線性誤差

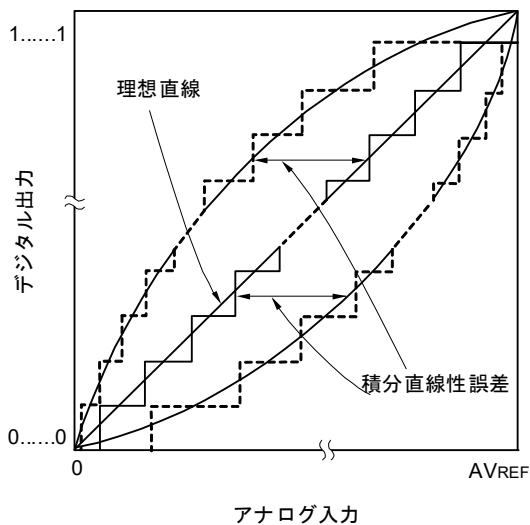
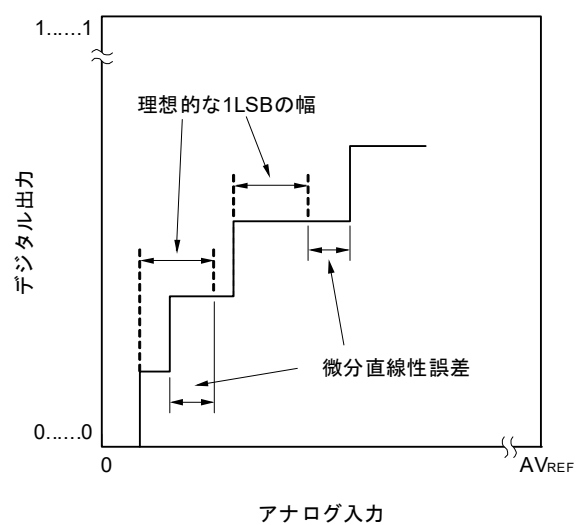


図14 - 45 微分直線性誤差



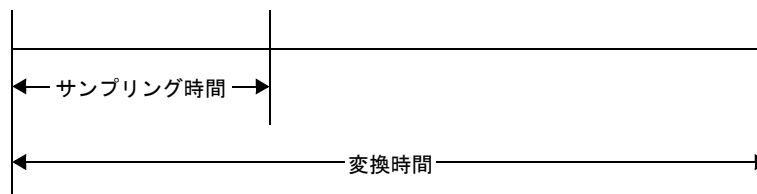
(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



14.10 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止(A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)を0)させてから移行してください。このときADM0レジスタのビット0 (ADCE)も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1H (IF1H)のビット0 (ADIF)をクリア(0)してから、動作開始してください。

(2) ANI0-ANI14, ANI16-ANI20端子入力範囲について

ANI0-ANI14, ANI16-ANI20端子入力電圧は規格の範囲内でご使用ください。特にVDD, AVREFPを超える電圧, VSS, AVREFM未満(絶対最大定格の範囲内でも)の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。

内蔵基準電圧(1.45 V)をA/Dコンバータの+側の基準電圧源に選択した場合は、ADSレジスタで選択されている端子には内蔵基準電圧(1.45 V)を超える電圧を入れないでください。ただし、ADSレジスタで選択されていない端子が内蔵基準電圧(1.45 V)を超える電圧になっていても問題ありません。

注意 内蔵基準電圧(1.45 V)は、HS(高速メイン)モードでのみ選択可能です。

(3) 競合動作について

- ① 変換終了時のA/D変換結果レジスタ(ADCR, ADCRH)へのライトと、命令によるADCR, ADCRHレジスタのリードとの競合

ADCR, ADCRHレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHレジスタにライトされます。

- ② 変換終了時のADCR, ADCRHレジスタへのライトとA/Dコンバータ・モード・レジスタ0 (ADM0)へのライト、アナログ入力チャネル指定レジスタ(ADS)またはA/Dポート・コンフィギュレーション・レジスタ(ADPC)へのライトの競合

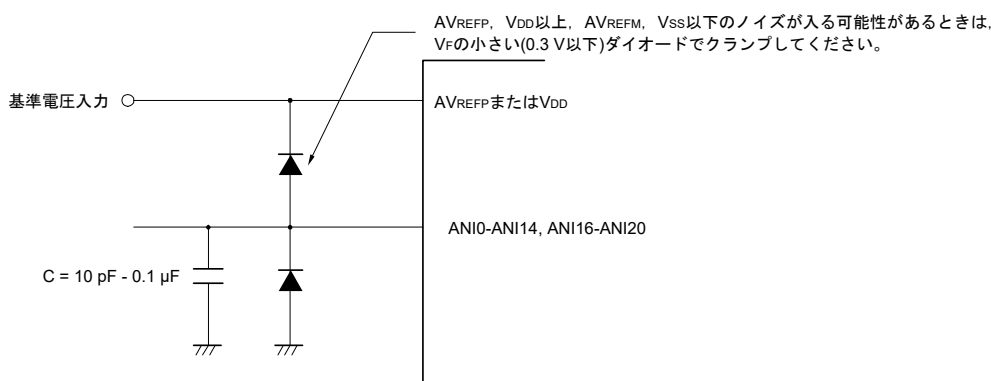
ADM0, ADS, ADPCレジスタへのライトが優先されます。ADCR, ADCRHレジスタへのライトはされません。また、変換終了割り込み信号(INTAD)も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、AVREFP, VDD, ANI0-ANI14, ANI16-ANI20端子へのノイズに注意する必要があります。

- ① 電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。
- ② アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-46のようにコンデンサを外付けすることを推奨します。
- ③ 変換中においては、他の端子をスイッチングしないようにしてください。
- ④ 変換開始直後にHALTモードに設定すると、精度が向上します。

図14-46 アナログ入力端子の処理



(5) アナログ入力 (ANIn) 端子

- ① アナログ入力 (ANI0-ANI14, ANI16-ANI20) 端子は入力ポート (P20-P27, P03, P02, P147, P120, P100, P150-P156) 端子と兼用になっています。

ANI0-ANI14, ANI16-ANI20 端子のいずれかを選択して A/D 変換をする場合、変換中に P20-P27, P03, P02, P147, P120, P100, P150-P156 に対して出力値を変更しないでください。変換精度が低下することがあります。

- ② A/D 変換中の端子に隣接する端子をデジタル入出力ポートとして使用すると、カップリング・ノイズによって A/D 変換値が期待値と異なることがあります。このようなパルスが入出力されないようにしてください。

(6) アナログ入力 (ANIn) 端子の入カインピーダンスについて

この A/D コンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入カインピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを 1 kΩ 以下にしてください。出力インピーダンスが 1 kΩ 以下にできないときはサンプリング時間を長く設定するか ANI0-ANI14, ANI16-ANI20 端子に 0.1 μF 程度のコンデンサを付けることを推奨します (図 14-46 参照)。また、変換動作中に ADCS = 0 に設定した場合および再変換を開始した場合は、サンプリング・コンデンサに充電された電圧は不定となります。そのため、ADCS = 0 を設定時は次の変換が、再変換時はその変換が不定状態から充電を開始します。そのため十分に充電するためには、アナログ信号の変化の大きさによらず、アナログ入力源の出力インピーダンスを低くするか十分なサンプリング時間を確保してください。

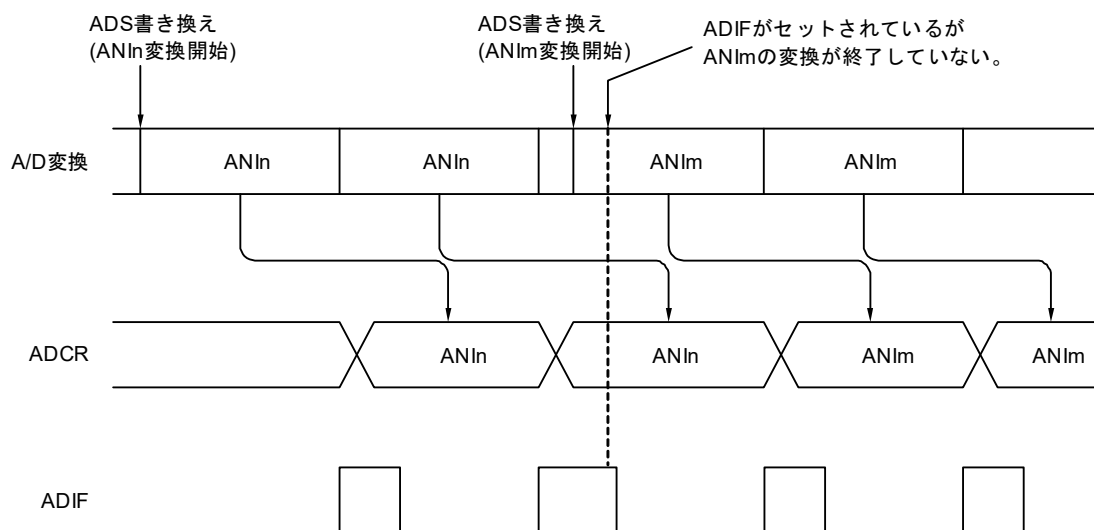
(7) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D 変換中にアナログ入力端子の変更を行った場合、ADS レジスタ書き換え直前に、変更前のアナログ入力に対する A/D 変換結果および ADIF フラグがセットされている場合があります。ADS レジスタ書き換え直後に ADIF フラグを読み出すと、変換後のアナログ入力に対する A/D 変換が終了していないにもかかわらず ADIF フラグがセットされていることとなりますので注意してください。

また、A/D 変換を一度停止させて再開する場合は、再開する前に ADIF フラグをクリア (0) してください。

図14 - 47 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ソフトウェア・トリガ・モード、ハードウェア・トリガ・ノーウェイト・モードでADCEビット = 1にしてから、1 μ s以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求(INTAD)をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ(ADCR, ADCRH)の読み出しについて

A/Dコンバータ・モード・レジスタ0 (ADM0), アナログ入力チャネル指定レジスタ(ADS), A/Dポート・コンフィギュレーション・レジスタ(ADPC), ポート・モード・コントロール・レジスタ(PMCxx)に対して書き込み動作を行ったとき、ADCR, ADCRHレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM0, ADS, ADPC, PMCレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(10) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図14 - 48 ANIn 端子内部等価回路

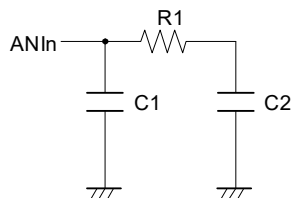


表14 - 7 等価回路の各抵抗と容量値(参考値)

AVREFP, VDD	ANIn 端子	R1 [kΩ]	C1 [pF]	C2 [pF]
$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	ANI0-ANI14	14	8	2.5
	ANI16-ANI20	18	8	7.0
$2.7\text{ V} \leq V_{DD} < 3.6\text{ V}$	ANI0-ANI14	39	8	2.5
	ANI16-ANI20	53	8	7.0
$1.8\text{ V} \leq V_{DD} < 2.7\text{ V}$	ANI0-ANI14	231	8	2.5
	ANI16-ANI20	321	8	7.0
$1.6\text{ V} \leq V_{DD} < 2.7\text{ V}$	ANI0-ANI14	632	8	2.5
	ANI16-ANI20	902	8	7.0

備考 表14 - 7の各抵抗と容量値は保証値ではありません。

(11) A/Dコンバータの動作開始について

A/Dコンバータの動作は、AVREFP, VDDの電圧が安定してから開始してください。

(12) 温度センサ出力について

コード・フラッシュ・メモリが96 KB以上の製品で、コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧(1.45 V)を選択している場合は、温度センサ出力を選択できません。

第15章 D/Aコンバータ

D/Aコンバータのチャネルは製品によって異なります。

表 15 - 1 D/Aコンバータの出力端子

D/A出力 端子	R5F104x A (x = A- C, E-G)	R5F104x C (x = A- C, E-G, J, L)	R5F104x D (x = A- C, E-G, J, L)	R5F104x E (x = A- C, E-G, J, L)	R5F104A F	R5F104x F (x = B, C, E-G, J, L, M, P)	R5F104A G	R5F104x G (x = B, C, E-G, J, L, M, P)	R5F104x H (x = E- G, J, L, M, P)	R5F104x J (x = F, G, J, L, M, P)	R5F104x K (x = G, L, M, P)	R5F104x L (x = G, L, M, P)
ANO0	—	—	—	—	○	○	○	○	○	○	○	○
ANO1	—	—	—	—	—	○	—	○	○	○	○	○

注意 この章では、以降の主な説明を100ピン製品の場合で説明しています。

15.1 D/Aコンバータの機能

D/Aコンバータは、デジタル入力をアナログ信号に変換する8ビット分解能のコンバータで、2チャネル(ANO0, ANO1)のアナログ出力を制御できます。

D/Aコンバータには、次のような機能があります。

○8ビット分解能 × 2ch

○OR-2R ラダー方式

○アナログ出力電圧

・8ビット分解能 : $V_{DD} \times m8/256$ (m8 : DACSiレジスタに設定した値)

○動作モード

・通常モード

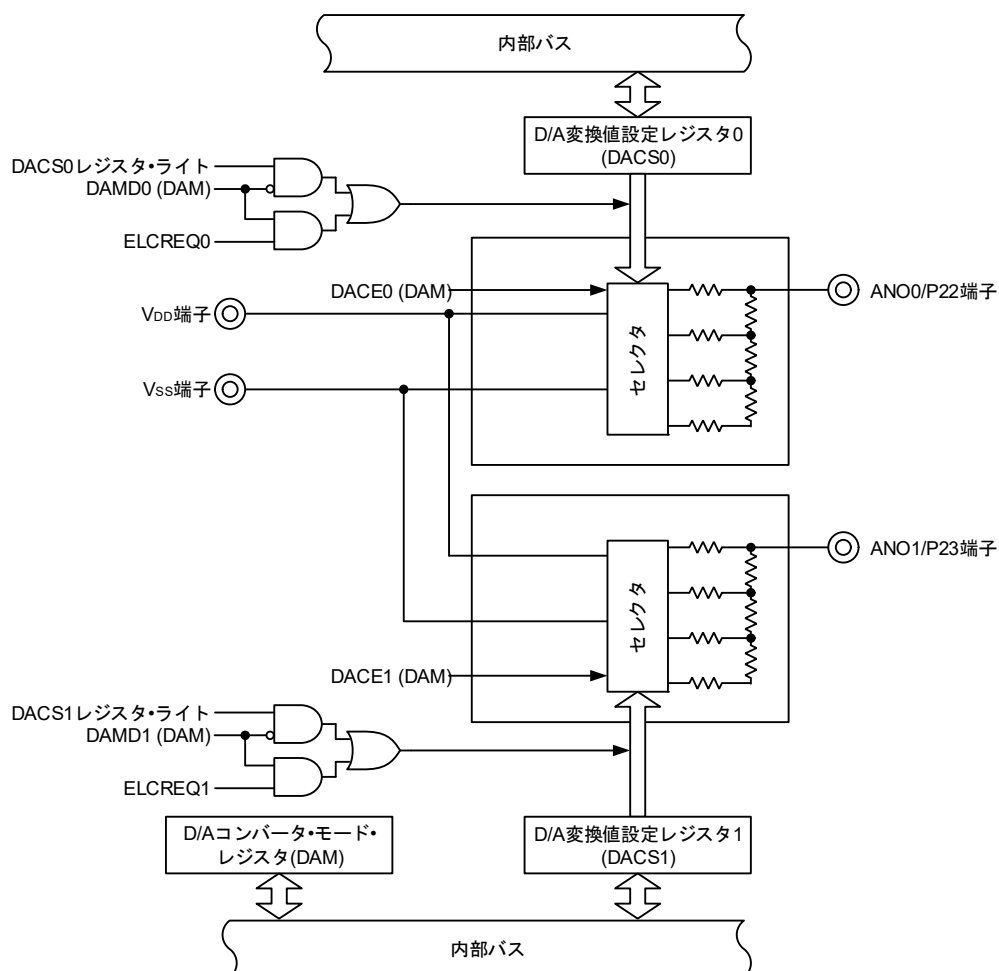
・リアルタイム出力モード

備考 i = 0, 1

15.2 D/Aコンバータの構成

図15 - 1にD/Aコンバータのブロック図を示します。

図15 - 1 D/Aコンバータのブロック図



備考 ELCREQ0, ELCREQ1は、リアルタイム出力モードに使用するトリガ信号(ELCからのイベント信号)です。

15.3 D/A コンバータを制御するレジスタ

D/A コンバータは、次のレジスタで制御します。

- 周辺イネーブル・レジスタ 1 (PER1)
- D/A コンバータ・モード・レジスタ (DAM)
- D/A 変換値設定レジスタ 0, 1 (DACS0, DACS1)
- イベント出力先選択レジスタ n (ELSELRn), n = 00 ~ 25

15.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

D/A コンバータを使用する場合は、必ずビット 7 (DACEN) を 1 に設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER1 レジスタは 00H になります。

図 15 - 2 周辺イネーブル・レジスタ 1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN注	TRGEN	CMPEN注	TRD0EN	DTCEN	0	0	TRJ0EN
	DACEN注	D/A コンバータの入カクロックの制御						
	0	入カクロック供給停止 • D/A コンバータで使用する SFR へのライト不可 • D/A コンバータはリセット状態						
	1	入カクロック供給 • D/A コンバータで使用する SFR へのリード／ライト可						

注 コード・フラッシュ・メモリが 96 KB 以上の製品のみ。

注意 1. D/A コンバータの設定をする際には、必ず最初に DACEN = 1 の設定を行ってください。

DACEN = 0 の場合は、D/A コンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ 2 (PM2), ポート・レジスタ 2 (P2) は除く)。

注意 2. 次のビットには必ず“0”を設定してください。

コード・フラッシュ・メモリが 64 KB 以下の製品 : ビット 1, 2, 5, 7

コード・フラッシュ・メモリが 96 KB 以上の製品 : ビット 1, 2

15.3.2 D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

DAMレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 15 - 3 D/Aコンバータ・モード・レジスタ (DAM)のフォーマット

アドレス : FFF36H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DAM	0	0	DACE1	DACE0	0	0	DAMD1	DAMD0
DACEi	D/Aコンバータの変換動作の制御							
0	D/A変換動作停止							
1	D/A変換動作許可							
DAMDi	D/Aコンバータの動作モードの選択							
0	通常動作モード							
1	リアルタイム出力モード							

備考 i = 0, 1

15.3.3 D/A変換値設定レジスタ i (DACSi)(i = 0, 1)

D/Aコンバータを使用する場合、ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

DACSiレジスタは、8ビット・メモリ操作命令で設定します。

リセットにより、00Hになります。

図 15 - 4 D/A変換値設定レジスタ i (DACSi)(i = 0, 1)のフォーマット

アドレス : FFF34H (DACs0), FFF35H (DACs1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DACSi	DACSi7	DACSi6	DACSi5	DACSi4	DACSi3	DACSi2	DACSi1	DACSi0

備考 D/Aコンバータのアナログ出力電圧(VANOi)は、次のようになります。

$$VANOi = V_{DD} \times (DACSi)/256$$

D/Aコンバータを使用しない場合には、不要な消費電流を小さくするためにDACEiビットを0(出力禁止)にし、DACSiレジスタを00Hにして、R-2Rの抵抗に電流が流れないようにしてください。

15.3.4 イベント出力先選択レジスタ n (ELSELRn), n = 00 ~ 25

D/Aコンバータのリアルタイム出力モードを使用する場合、イベント・リンク・コントローラからのイベント信号を起動トリガとして、D/A変換を行います。詳細は、20.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00 ~ 25)を参照してください。

15.3.5 アナログ入力端子のポート機能を制御するレジスタ

D/Aコンバータのアナログ出力と兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), A/Dポート・コンフィギュレーション・レジスタ (ADPC)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.7 A/Dポート・コンフィギュレーション・レジスタ (ADPC)を参照してください。

ANO0, ANO1端子をD/Aコンバータのアナログ出力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx)のビットに1を設定し、A/Dポート・コンフィギュレーション・レジスタ (ADPC)でアナログ出力に設定してください。

15.4 D/Aコンバータの動作

15.4.1 通常モード時の動作

DACSiレジスタへのライト動作を起動トリガとして、D/A変換を行います。

以下にその設定動作を示します。

- ①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ②ADPCレジスタ(ポート・コンフィギュレーション・レジスタ)でポートをアナログ端子に設定します。
- ③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMD_iビットを0(通常モード)に設定します。
- ④DACSiレジスタ(D/A変換値設定レジスタ_i)に、ANO_i端子出力するアナログ電圧値を設定します。

以上①～④を初期設定として行います。

- ⑤DAMレジスタのDACE_iビットを1(D/A変換動作許可)に設定します。

これによりD/A変換を開始し、セトリング・タイム経過後、ANO_i端子に④にて設定したアナログ電圧を出力します。

- ⑥以降、D/A変換を行う場合は、DACSiレジスタへのライト動作を行います。

なお、次のD/A変換を行うまでは、前回D/A変換した結果を保持します。

また、DAMレジスタのDACE_iビット=0(D/A変換動作停止)に設定すると、D/A変換を停止します。

注意1. DACE_iビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANO_i端子にDACSiレジスタにて設定したアナログ電圧を出力します。

注意2. セトリング・タイム中にDACSiレジスタを書き換えた場合、変換を中断し、書き換えた値で変換を再開します。

備考. $i = 0, 1$

15.4.2 リアルタイム出力モード時の動作

D/Aコンバータの各チャネルはELCからのイベント信号を起動トリガとして、D/A変換を行います。以下に、その設定方法を示します。

- ①PER1レジスタ(周辺イネーブル・レジスタ1)のDACENビットを1に設定し、D/Aコンバータへの入力クロック供給を開始します。
- ②ADPCレジスタ(ポート・コンフィギュレーション・レジスタ)でポートをアナログ端子に設定します。
- ③DAMレジスタ(D/Aコンバータ・モード・レジスタ)のDAMD_iビットを0(通常モード)に設定します。
- ④DACSiレジスタ(D/A変換値設定レジスタ_i)に、ANO_i端子出力するアナログ電圧値を設定します。
- ⑤DAMレジスタのDACE_iビットを1(D/A変換動作許可)に設定します。
これによりD/A変換を開始し、セトリング・タイム経過後、ANO_i端子に③にて設定したアナログ電圧を出力します。
- ⑥イベント出力先選択レジスタ_n(ELSELR_n, $n = 00 \sim 25$)で、リアルタイム出力モードに使用するトリガ信号を設定します。
- ⑦DAMレジスタのDAMD_iビットを1(リアルタイム出力モード)に設定します。
- ⑧イベント発生元の動作を開始します。

以上①～⑧を初期設定として行います。

- ⑨以降、リアルタイム出力モードに使用するトリガ信号の発生により、D/A変換を開始し、セトリング・タイム経過後、ANO_i端子に④にて設定したアナログ電圧を出力します。

なお、次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までにANO_i端子に出力するアナログ電圧値をDACSiレジスタに設定します。

なお、次のD/A変換を行う(リアルタイム出力モードに使用するトリガ信号の発生)前までに、DACSiレジスタに、ANO_i端子に出力するアナログ電圧値を設定してください。

また、DAMレジスタのDACE_iビット=0(D/A変換動作停止)に設定すると、D/A変換を停止します。

注意1. DACE_iビットの設定値を、1→0→1とした場合も、最後に1を設定したあとに、セトリング・タイム経過後、ANO_i端子にDACSiレジスタにて設定したアナログ電圧を出力します。

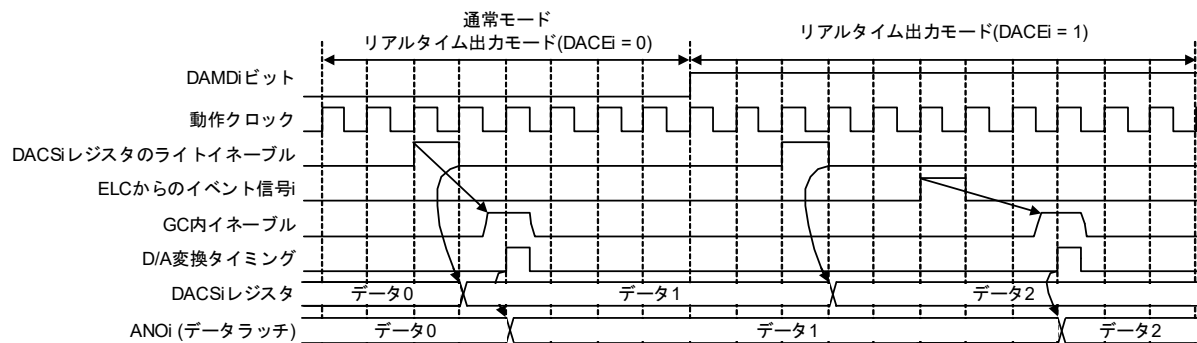
注意2. 同一チャネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、セトリング・タイムよりも長くしてください。セトリング・タイム中にリアルタイム出力モードに使用するトリガ信号が発生した場合、D/A変換を中断し、再変換を開始します。

注意3. 同一チャネルへのリアルタイム出力モードに使用するトリガ信号の発生間隔は、fCLKの3クロックより長くしてください。fCLKの3クロック以下の間隔で連続して起動トリガを発生させると、最初のトリガでのみD/A変換をします。

15.4.3 D/A変換値の出力タイミング

図15-5にD/A変換値の出力タイミングを示します。

図15-5 D/A変換値の出力タイミング



備考 i = 0, 1

- 通常動作モードおよびリアルタイム出力モード(変換動作不許可時)

DACSiレジスタへのライトの1周期後(動作クロック)にデータラッチヘライト(ANOi端子から出力)

- リアルタイム出力モード(変換動作許可時)

ELCからのイベント信号の受け付けから3周期後(動作クロック)にデータラッチヘライト(ANOi端子から出力)

15.5 D/Aコンバータ使用上の注意事項

D/Aコンバータを使用する際の注意事項を以下に示します。

- (1) ADPCレジスタ(ポート・コンフィギュレーション・レジスタ)でポートをアナログ端子に設定している場合は、ANO0, ANO1端子と兼用するデジタル・ポートの入出力機能は動作しません。

ADPCレジスタでポートをアナログ端子に設定中にP2レジスタをリードしても、入力モード時は0、出力モード時はP2の設定値が読み出されます。また、デジタル出力モードとして設定しても、端子には出力データは出力されません。

- (2) HALTモード時とSTOPモード時に、D/Aコンバータの動作は継続します。消費電力を低減させるためには、DACEiビットを0にクリアし、D/A変換動作を停止させてから、HALT命令またはSTOP命令を実行してください。

備考 i = 0, 1

- (3) リアルタイム出力モードを停止する場合(通常モードへ変更する場合を含む)には以下のいずれかの手順で行う必要があります。

- ・トリガ出力元を停止させてから3クロック以上待ってからDACEiビットおよびDAMDiビットを0にする。
- ・DACEiビットおよびDAMDiビットを0にした後、PER1レジスタのDACENビットを0にする(DAC停止)。
なお、DACENビットを0にした場合、DAC内部の全レジスタがクリアされるため再度動作させる場合は各SFRの設定が必要となります。

- (4) D/A変換動作許可時に、ANO0, ANO1端子と兼用するアナログ入力端子からA/D変換を行わないでください。

- (5) リアルタイム出力モード時は、リアルタイム出力モードに使用するトリガ信号が発生する前までにDACSiレジスタ値を設定するようにしてください。またトリガ信号が出ている間にDACSiレジスタの設定値を変更しないでください。

- (6) D/Aコンバータの出力インピーダンスが高いため、ANO0, ANO1端子から電流を取り出すことはできません。負荷の入力インピーダンスが低い場合には、負荷とANO0, ANO1端子の間にフォロアアンプを挿入して使用してください。また、フォロアアンプや負荷までの配線は極力短くするようにしてください(出力インピーダンスが高いため)。配線が長くなるような場合は、グラウンド・パターンで囲むなどの処置をしてください。

- (7) リアルタイム出力モード有効時にSTOPモードに入る場合は、STOPモードに入る前にELCのイベントリンクを禁止にしてください。

第16章 コンパレータ

コード・フラッシュ・メモリが96KB以上の製品には、コンパレータを2チャンネル搭載しています。

16.1 コンパレータの機能

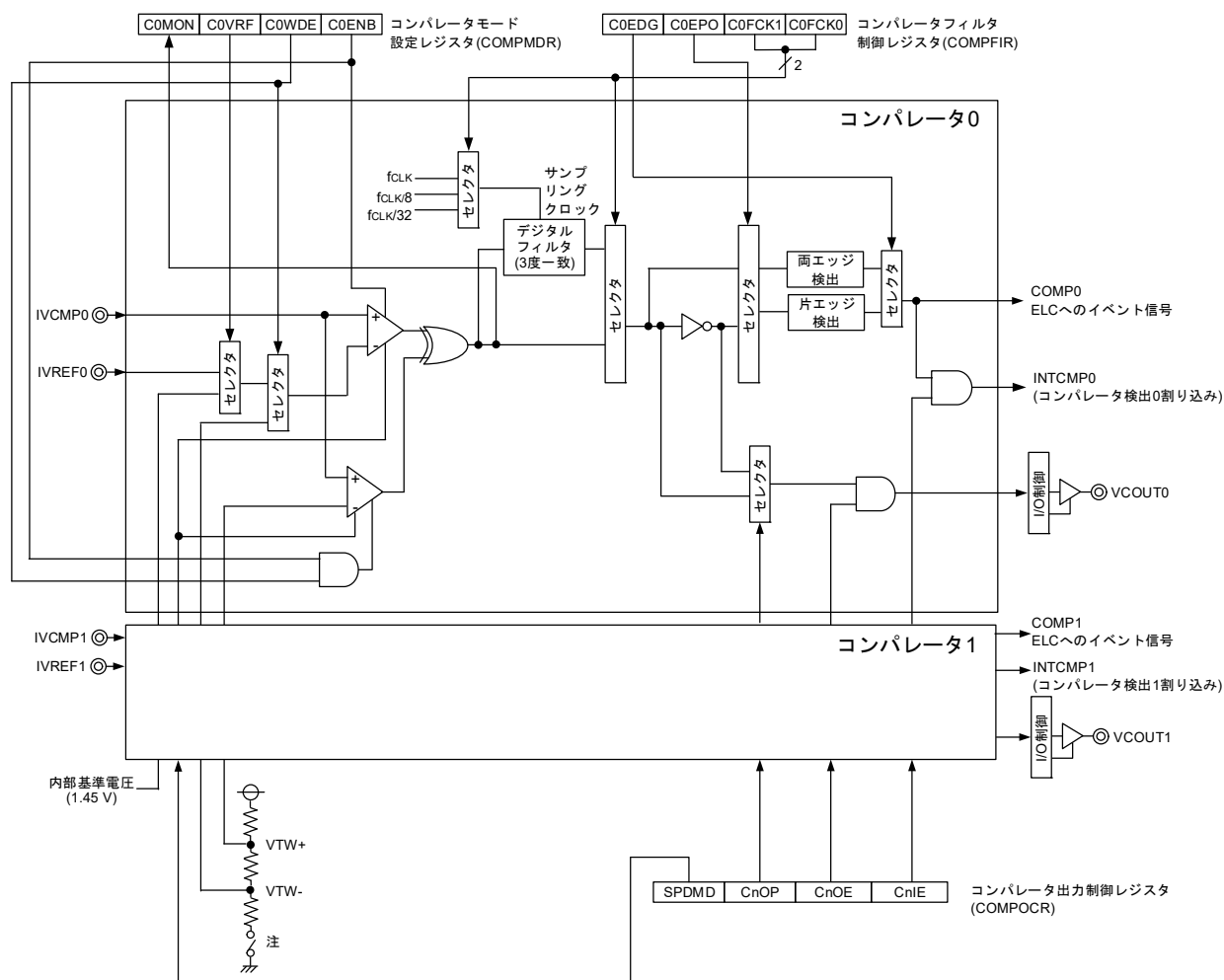
コンパレータには、次のような機能があります。

- コンパレータ高速モード/コンパレータ低速モード/コンパレータウィンドウモードが選択できます。
- 基準電圧には外部基準電圧入力と内部基準電圧が選択できます。
- ノイズ除去デジタルフィルタの除去幅が選択できます。
- コンパレータ出力の有効エッジを検出し、割り込み信号を発生できます。
- コンパレータ出力の有効エッジを検出し、イベント・リンク・コントローラ (ELC) ヘイブント信号を出力できます。

16.2 コンパレータの構成

図 16 - 1にコンパレータのブロック図を示します。

図 16 - 1 コンパレータのブロック図



注 C0WDE ビット、C1WDE ビットのいずれか一方又は両方を 1 にすると、このスイッチは ON になり、比較電圧発生用分割抵抗が有効になります。

備考 n = 0, 1

16.3 コンパレータを制御するレジスタ

表 16 - 1にコンパレータを制御するレジスタを示します。

表 16 - 1 コンパレータを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ 1	PER1
コンパレータモード設定レジスタ	COMPMDR
コンパレータフィルタ制御レジスタ	COMPFIR
コンパレータ出力制御レジスタ	COMPOCR
ポート・モード・コントロール・レジスタ 1	PMC1
ポート・モード・レジスタ 1, 12, 14	PM1, PM12, PM14
ポート・レジスタ 1, 12, 14	P1, P12, P14

16.3.1 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータを使用するときは、必ずビット 5 (CMPEN) を 1 に設定してください。

PER1 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 16 - 2 周辺イネーブル・レジスタ 1 (PER1) のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN注	TRGEN	CMPEN注	TRD0EN	DTCEN	0	0	TRJ0EN
CMPEN注	コンパレータの入カクロックの制御							
0	入カクロック供給停止 ・コンパレータで使用する SFR へのライト不可 ・コンパレータはリセット状態							
1	入カクロック供給 ・コンパレータで使用する SFR へのリード／ライト可							

注 コード・フラッシュ・メモリが 96 KB 以上の製品のみ。

注意 1. コンパレータの設定をする際には、必ず最初に CMPEN = 1 の設定を行ってください。

CMPEN = 0 の場合は、コンパレータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (ポート・モード・レジスタ 1, 12, 14 (PM1, PM12, PM14), ポート・レジスタ 1, 12, 14 (P1, P12, P14) は除く)。

注意 2. 次のビットには必ず“0”を設定してください。

コード・フラッシュ・メモリが 64 KB 以下の製品 : ビット 1, 2, 5, 7

コード・フラッシュ・メモリが 96 KB 以上の製品 : ビット 1, 2

16.3.2 コンパレータモード設定レジスタ (COMPMDR)

図 16 - 3 コンパレータモード設定レジスタ (COMPMDR)のフォーマット

アドレス : F0340H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPMDR	C1MON	C1VRF	C1WDE	C1ENB	C0MON	C0VRF	C0WDE	C0ENB
C1MON	コンパレータ1モニタフラグ注3, 7							
0	基本モード時 : IVCMP1 < コンパレータ1リファレンス電圧またはコンパレータ1停止 ウィンドウモード時 : IVCMP1 < 低電圧側リファレンスまたはIVCMP1 > 高電圧側リファレンス							
1	基本モード時 : IVCMP1 > コンパレータ1リファレンス電圧 ウィンドウモード時 : 低電圧側リファレンス < IVCMP1 < 高電圧側リファレンス							
C1VRF	コンパレータ1リファレンス電圧選択注1, 4, 5, 6							
0	コンパレータ1リファレンス電圧はIVREF1入力							
1	コンパレータ1リファレンス電圧は内部基準電圧(1.45 V)							
C1WDE	コンパレータ1ウィンドウモード選択注2							
0	コンパレータ1基本モード							
1	コンパレータ1ウィンドウモード							
C1ENB	コンパレータ1動作許可							
0	コンパレータ1動作禁止							
1	コンパレータ1動作許可							
C0MON	コンパレータ0モニタフラグ注3, 7							
0	基本モード時 : IVCMP0 < コンパレータ0リファレンス電圧またはコンパレータ0停止 ウィンドウモード時 : IVCMP0 < 低電圧側リファレンスまたはIVCMP0 > 高電圧側リファレンス							
1	基本モード時 : IVCMP0 > コンパレータ0リファレンス電圧 ウィンドウモード時 : 低電圧側リファレンス < IVCMP0 < 高電圧側リファレンス							

(注は次ページにあります。)

C0VRF	コンパレータ0リファレンス電圧選択注1, 4, 5, 6
0	コンパレータ0リファレンス電圧はIVREF0入力
1	コンパレータ0リファレンス電圧は内部基準電圧(1.45 V)

C0WDE	コンパレータ0ウィンドウモード選択注2
0	コンパレータ0基本モード
1	コンパレータ0ウィンドウモード

C0ENB	コンパレータ0動作許可
0	コンパレータ0動作禁止
1	コンパレータ0動作許可

- 注1. 基本モード選択時のみ有効です。ウィンドウモードでは、本ビットの設定に関わらずコンパレータ内のリファレンス電圧が選択されます。
- 注2. 低速モード選択時(COMPOCRレジスタのSPDMDビットが0)はウィンドウモードにできません。
- 注3. リセット解除直後は初期値“0”ですが、一度コンパレータを動作許可にした後にC0ENB = 0かつC1ENB = 0の設定にすると値は不定となります。
- 注4. HS (高速メイン)モードの時に内部基準電圧(1.45 V)が選択可能です。また、HS (高速メイン)モードの時で内部基準電圧(1.45 V)を選択している場合は、A/Dコンバータで、温度センサ出力をA/D変換することはできません。
- 注5. STOPモード時は内部基準電圧を選択しないでください。
- 注6. CPUクロックにサブシステム・クロック(fEX)を選択し、高速システムクロック(fMX)と高速オンチップ・オシレータ・クロック(fIH)が共に停止している場合は、内部基準電圧を選択しないでください。
- 注7. このビットに書き込まれた値は無視されます。

16.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)

図 16 - 4 コンパレータフィルタ制御レジスタ (COMPFIR)のフォーマット

アドレス : F0341H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPFIR	C1EDG	C1EPO	C1FCK1	C1FCK0	C0EDG	C0EPO	C0FCK1	C0FCK0
C1EDG	コンパレータ1エッジ検出選択 ^{注1}							
0	コンパレータ1片エッジ検出での割り込み要求							
1	コンパレータ1両エッジ検出での割り込み要求							
C1EPO	コンパレータ1エッジ極性切り替え ^{注1}							
0	コンパレータ1立ち上がりエッジで割り込み要求							
1	コンパレータ1立ち下がりエッジで割り込み要求							
C1FCK1	C1FCK0	コンパレータ1フィルタ選択 ^{注1}						
0	0	コンパレータ1フィルタなし						
0	1	コンパレータ1フィルタあり, fCLKでサンプリング						
1	0	コンパレータ1フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ1フィルタあり, fCLK/32でサンプリング						
C0EDG	コンパレータ0エッジ検出選択 ^{注2}							
0	コンパレータ0片エッジ検出での割り込み要求							
1	コンパレータ0両エッジ検出での割り込み要求							
C0EPO	コンパレータ0エッジ極性切り替え ^{注2}							
0	コンパレータ0立ち上がりエッジで割り込み要求							
1	コンパレータ0立ち下がりエッジで割り込み要求							
C0FCK1	C0FCK0	コンパレータ0フィルタ選択 ^{注2}						
0	0	コンパレータ0フィルタなし						
0	1	コンパレータ0フィルタあり, fCLKでサンプリング						
1	0	コンパレータ0フィルタあり, fCLK/8でサンプリング						
1	1	コンパレータ0フィルタあり, fCLK/32でサンプリング						

注1. C1FCK1 - C1FCK0ビット, C1EPOビット, C1EDGビットを変更するとコンパレータ1割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは, ELCのELSELR25レジスタを0 (コンパレータ1出力をリンクさせない) にしてから変更してください。また, 割り込み要求フラグ・レジスタ2H (IF2H) のビット0 (CMPIF1) をクリア(0)してください。

また, C1FCK1 - C1FCK0ビットを00B (コンパレータ1フィルタなし) から00B以外 (コンパレータ1フィルタあり) に変更した場合は, フィルタ出力が更新されるまでのサンプリング4回を経過した後に, コンパレータ1割り込み要求やELCへのイベント信号を使用してください。

注2. C0FCK1 - C0FCK0ビット, C0EPOビット, C0EDGビットを変更するとコンパレータ0割り込み要求およびELCへのイベント信号を発生することがあります。これらのビットは、ELCのELSELR24レジスタを0(コンパレータ0出力をリンクさせない)にしてから変更してください。また、割り込み要求フラグ・レジスタ2L(IF2L)のビット7(CMPIF0)をクリア(0)してください。

また、C0FCK1 - C0FCK0ビットを00B(コンパレータ0フィルタなし)から00B以外(コンパレータ0フィルタあり)に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ0割り込み要求やELCへのイベント信号を使用してください。

16.3.4 コンパレータ出力制御レジスタ (COMPOCR)

図 16 - 5 コンパレータ出力制御レジスタ (COMPOCR)のフォーマット

アドレス : F0342H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
COMPOCR	SPDMD	C1OP	C1OE	C1IE	0	C0OP	C0OE	C0IE
SPDMD	コンパレータ速度選択 ^{注1}							
0	コンパレータ低速モード							
1	コンパレータ高速モード							
C1OP	VCOUT1出力極性選択							
0	コンパレータ1出力をVCOUT1へ出力							
1	コンパレータ1出力の反転をVCOUT1へ出力							
C1OE	VCOUT1端子出力許可							
0	コンパレータ1のVCOUT1端子出力禁止							
1	コンパレータ1のVCOUT1端子出力許可							
C1IE	コンパレータ1割り込み要求許可 ^{注2}							
0	コンパレータ1割り込み要求禁止							
1	コンパレータ1割り込み要求許可							
C0OP	VCOUT0出力極性選択							
0	コンパレータ0出力をVCOUT0へ出力							
1	コンパレータ0出力の反転をVCOUT0へ出力							
C0OE	VCOUT0端子出力許可							
0	コンパレータ0のVCOUT0端子出力禁止							
1	コンパレータ0のVCOUT0端子出力許可							
C0IE	コンパレータ0割り込み要求許可 ^{注3}							
0	コンパレータ0割り込み要求禁止							
1	コンパレータ0割り込み要求許可							

注1. SPDMDビットを書き換える場合は、必ずCOMPMDRレジスタのCiENBビット(i = 0, 1)を0にしてから書き換えてください。

注2. C1IEを0(割り込み要求禁止)から1(割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ2H(IF2H)のビット0(CMPIF1)が1(割り込み要求あり)になることがありますので、割り込み要求フラグ・レジスタ2H(IF2H)のビット0(CMPIF1)をクリア(0)してから割り込みを使用してください。

注3. C0IEを0(割り込み要求禁止)から1(割り込み要求許可)にした場合、割り込み要求フラグ・レジスタ2L(IF2L)のビット7(CMPIF0)が1(割り込み要求あり)になることがありますので、割り込み要求フラグ・レジスタ2L(IF2L)のビット7(CMPIF0)をクリア(0)してから割り込みを使用してください。

16.3.5 アナログ入力端子のポート機能を制御するレジスタ

IVCMP0, 1端子, IVREF0, 1端子をコンパレータのアナログ入力として使用するときは、各ポートに対応するポート・モード・レジスタ (PMxx) とポート・モード・コントロール・レジスタ (PMCxx) のビットに1を設定してください。

VCOUT0, 1機能を使用する場合は、対象チャネルと兼用するポート機能を制御するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx)) を設定してください。詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx) を参照してください。

16.4 動作説明

コンパレータ0とコンパレータ1はそれぞれ独立して動作できます。設定方法と動作は同じです。表16-2にコンパレータ関連レジスタの設定手順を示します。

表 16 - 2 コンパレータ関連レジスタの設定手順

順番	レジスタ	ビット	設定値
1	PER1	CMPEN	1 (入力クロック供給)
2	PMC1	PMC1n	IVCMPi, IVREFi端子の機能選択 PMC1nビットに1 (アナログ入力) PM1nビットに1 (入力モード)
	PM1	PM1n	
3	COMPOCR	SPDMD	コンパレータ応答速度の選択 (0 : 低速モード / 1 : 高速モード) 注1
4	COMPMDR	CiWDE	0 (基本モード) 1 (ウィンドウモード) 注2
		CiVRF	0 (リファレンス = IVREFi入力) 1 (リファレンス = 内部基準電圧 (1.45 V) 注5)
		CiENB	1 (動作許可)
5	コンパレータ安定時間tCMP待ち		
6	COMPFIR	CiFCK1 - CiFCK0	デジタルフィルタ使用する/しない, サンプリングクロック選択
		CiEOP, CiEDG	割り込み要求のためのエッジ検出条件選択 (立ち上がり/立ち下がり/両エッジ)
7	COMPOCR	CiOP, CiOE	VCOUTi出力の設定 (極性選択, 出力許可/禁止を設定) 「16.4.4 コンパレータi出力 (i = 0, 1)」参照。
		CiIE	割り込み要求出力の許可/禁止を設定 「16.4.4 コンパレータi出力 (i = 0, 1)」参照。
8	PR2L, PR2H 注3	CMPPR0i, CMPPR1i	割り込みを使用する場合: 割り込み優先レベル選択
9	MK2L, MK2H 注3	CMPMKi	割り込みを使用する場合: 割り込みマスク選択
10	IF2L, IF2H 注3	CMPIFi	割り込みを使用する場合: 0 (割り込み要求なし: 初期化) 注4

注1. コンパレータ0とコンパレータ1を独立に設定することはできません。

注2. 高速モード (SPDMD = 1) の場合のみ設定可能

注3. PR2L, MK2L, IF2Lはコンパレータ0の割り込み制御レジスタ, PR2H, MK2H, IF2Hはコンパレータ1の割り込み制御レジスタ

注4. コンパレータの設定後, 安定動作するまでに不要な割り込みが発生することがありますので, 割り込みフラグを初期化してください。

注5. HS (高速メイン) モードの時に設定可能です。

備考 i = 0, 1, n = 2, 3, 6, 7

図16-6と図16-7にコンパレータ*i* (*i* = 0, 1)の動作例を示します。基本モード時は、リファレンス入力よりアナログ入力の電圧が高い場合にCOMPMDRレジスタのCiMONビットが1になり、リファレンス入力よりアナログ入力の電圧が低い場合にCiMONビットが0になります。

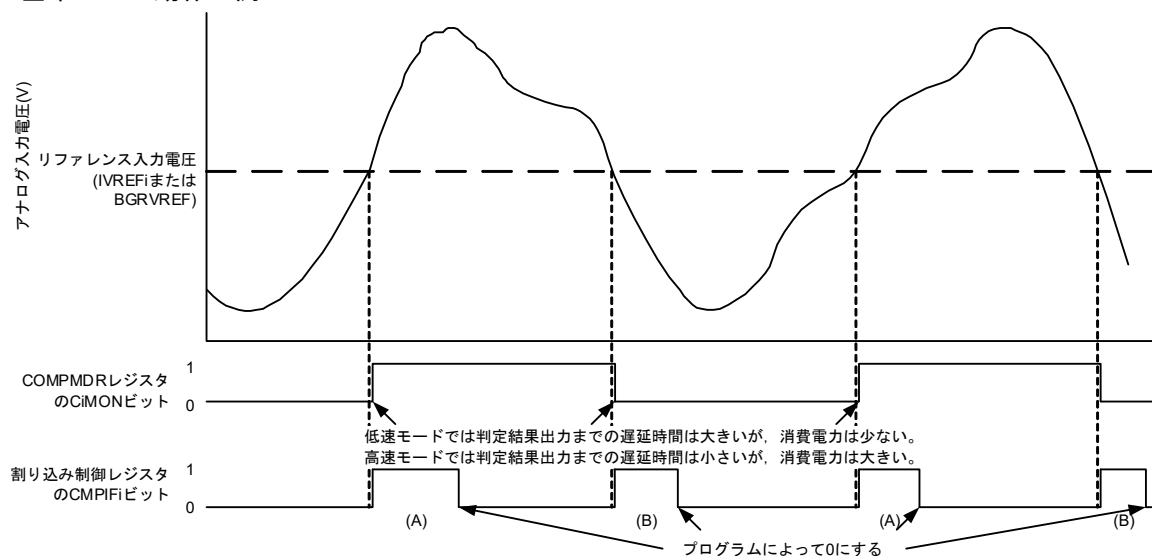
ウィンドウモード時は、アナログ入力の電圧が、次の条件を満たす場合に、COMPMDRレジスタのCiMONビットが1になり、アナログ入力の電圧がこの条件を満たさない場合はCiMONビットが0になります。

“低電圧側リファレンス電圧 < アナログ入力の電圧 < 高電圧側リファレンス電圧”

コンパレータ*i*割り込みを使用する場合は、COMPOCRレジスタのCiIEを1(割り込み要求許可)にしてください。このとき比較結果が変化すれば、コンパレータ*i*割り込み要求が発生します。割り込み要求の詳細については「16.4.2 コンパレータ*i*割り込み(*i* = 0, 1)」を参照してください。

図16-6 コンパレータ*i* (*i* = 0, 1)の動作例(基本モード)

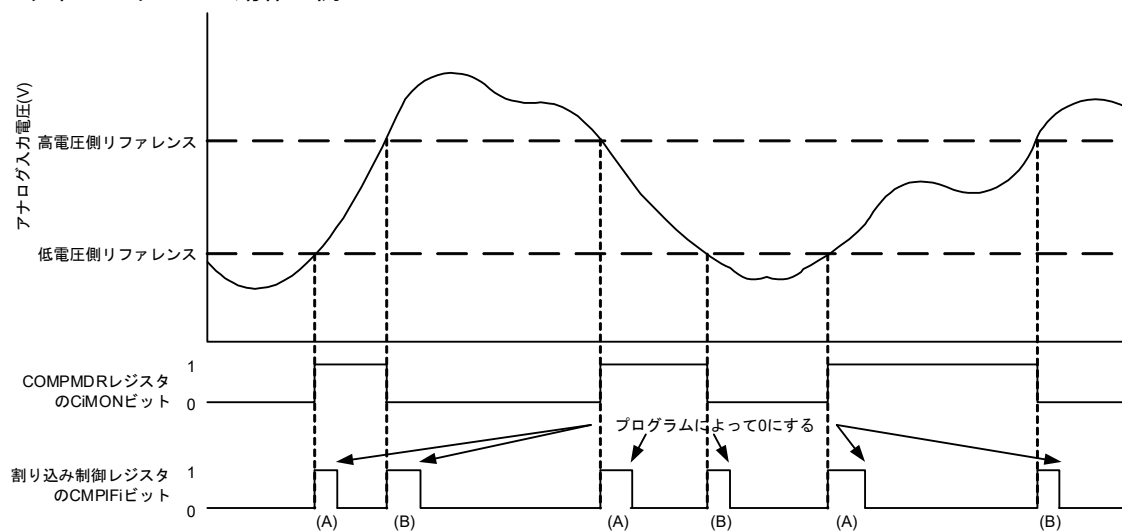
・基本モード動作の例



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし)、CiEDG = 1 (両エッジ)の場合です (CiEDG = 0, CiEPO = 0 (立ち上がりエッジ)のときのCMPIFiは(A)の変化のみ、CiEDG = 0, CiEPO = 1 (立ち下がりエッジ)のときのCMPIFiは(B)の変化のみとなります)。

図16-7 コンパレータ*i* (*i* = 0, 1)の動作例(ウィンドウモード)

・ウィンドウモード動作の例



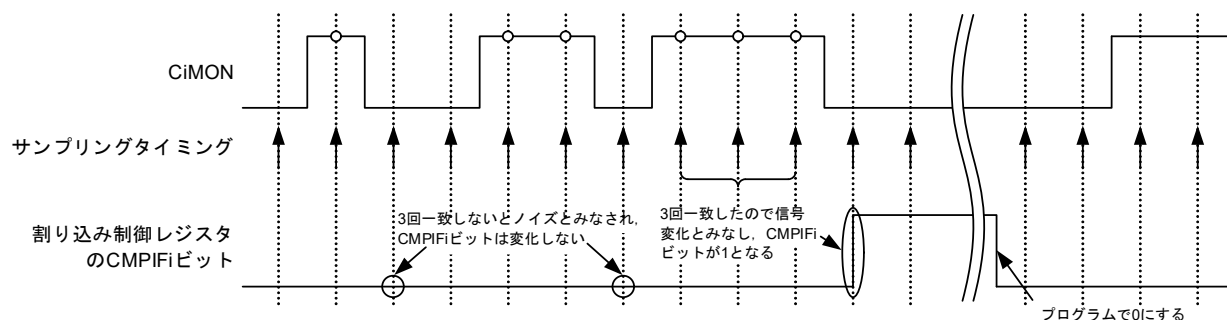
注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0 = 00B (フィルタなし)、CiEDG = 1 (両エッジ)の場合です (CiEDG = 0, CiEPO = 0 (立ち上がりエッジ)のときのCMPiFiは(A)の変化のみ、CiEDG = 0, CiEPO = 1 (立ち下がりエッジ)のときのCMPiFiは(B)の変化のみとなります)。

16.4.1 コンパレータ*i*デジタルフィルタ ($i = 0, 1$)

コンパレータ*i*は、デジタルフィルタを内蔵しています。サンプリングクロックはCOMPFIRレジスタのCiFCK1 - CiFCK0ビットで選択できます。サンプリングクロックごとにコンパレータ*i*の出力信号をサンプリングし、レベルが3度一致した次のサンプリングクロックで、デジタルフィルタ出力がその値になります。

図16-8にコンパレータ*i* ($i = 0, 1$)デジタルフィルタと割り込み動作例を示します。

図16-8 コンパレータ*i* ($i = 0, 1$)デジタルフィルタと割り込み動作例



注意 上図は、COMPFIRレジスタのCiFCK1 - CiFCK0ビットが、01B、10B、11Bのいずれか(デジタルフィルタあり)の場合の動作例です。

16.4.2 コンパレータ*i*割り込み ($i = 0, 1$)

コンパレータはコンパレータ0およびコンパレータ1の2つの割り込み要求を発生します。コンパレータ*i*割り込みは、それぞれ1つずつの優先順位指定フラグ、割り込みマスクフラグ、割り込み要求フラグ、割り込みベクタを持ちます。

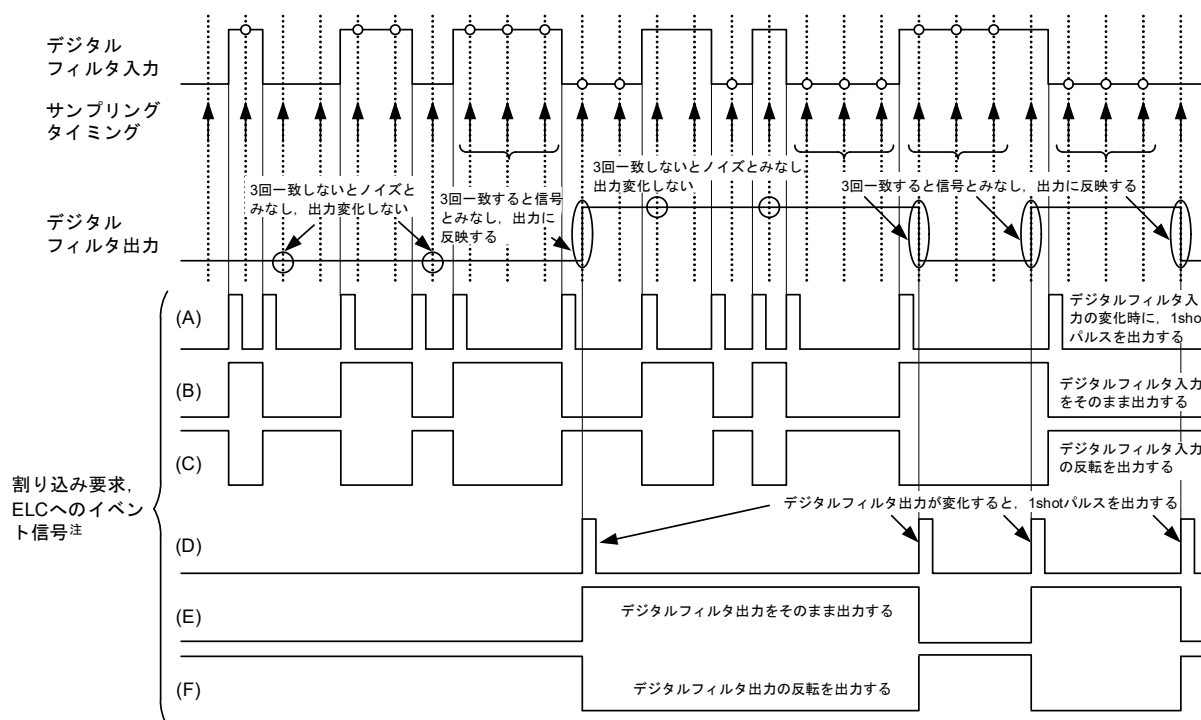
コンパレータ*i*割り込みを使用するときは、COMPOCRレジスタのCiIEビットを1(割り込み要求出力許可)にしてください。割り込み要求を発生する条件は、COMPFIRレジスタにより設定します。また、コンパレータ出力にはデジタルフィルタを付けることが可能です。デジタルフィルタは、3種類のサンプリングクロックを選択可能です。

レジスタ設定と割り込み要求発生に対応については、「16.3.3 コンパレータフィルタ制御レジスタ (COMPFIR)」および「16.3.4 コンパレータ出力制御レジスタ (COMPOCR)」を参照してください。

16.4.3 イベント・リンク・コントローラ(ELC)へのイベント信号出力

ELC へのイベント信号は、割り込み要求の発生条件と同じく COMPFIR レジスタで設定したデジタルフィルタ出力のエッジ検出により発生します。ただし、割り込み要求と異なり、COMPOCR レジスタの CiIE ビットに関係なく常に出力されます。イベント出力先の選択やイベントリンクの停止は、ELC の ELSELR24 レジスタ、ELSELR25 レジスタで設定してください。

図 16 - 9 デジタルフィルタと割り込み要求・ELC へのイベント信号出力動作



注 CiIE ビット ($i = 0, 1$) が 1 の場合は、割り込み要求と ELC へのイベント信号は同じ波形になります。

CiIE ビット ($i = 0, 1$) が 0 の場合は、割り込み要求のみ 0 固定になります。

(A), (B), (C) の波形は COMPFIR レジスタの CiFCK ビット ($i = 0, 1$) が "00B" (デジタルフィルタなし) の場合、(D), (E), (F) の波形は COMPFIR レジスタの CiFCK ビット ($i = 0, 1$) が "01B", "10B", "11B" のいずれか (デジタルフィルタあり) の場合の動作例です。(A), (D) は CiEDG ビットを "1" (両エッジ) に設定した場合、(B), (E) は CiEDG ビット = 0, CiEPO ビット = 0 (立ち上がりエッジ) の場合、(C), (F) は CiEDG ビット = 0, CiEPO ビット = 1 (立ち下がりエッジ) の場合です。

16.4.4 コンパレータ*i*出力(*i* = 0, 1)

コンパレータの比較結果を外部端子へ出力することができます。COMPOCRレジスタのCiOP, CiOEビットにより出力極性(そのまま出力/反転出力)や出力許可/禁止を設定できます。レジスタ設定とコンパレータ出力の対応は、「16.3.4 コンパレータ出力制御レジスタ(COMPOCR)」を参照してください。

VCOUT*i*出力端子へコンパレータ比較結果を出力する場合は、以下の手順に従ってポート設定してください(リセット後、ポートは入力設定になっています)。

- ①コンパレータのモード設定をする(表16-2 コンパレータ関連レジスタの設定手順の順番2~5)。
- ②コンパレータのVCOUT*i*出力を設定する(COMPOCRレジスタを設定し、極性選択、出力許可にする)。
- ③VCOUT*i*出力端子に対応するポート・モード・コントロール・レジスタのビットを0にする。
- ④VCOUT*i*出力端子に対応するポート・レジスタのビットを0にする。
- ⑤VCOUT*i*出力端子に対応するポート・モード・レジスタを出力に設定する(端子から出力開始)。

16.4.5 コンパレータクロック停止/供給

周辺イネーブル・レジスタ1(PER1)の設定により、コンパレータのクロックを停止する場合は、以下の手順に従ってください。

- ①COMPMDRレジスタのCiENBビットを0にする(コンパレータを停止する)。
- ②IF2L, IF2HレジスタのCMPIFIビットを0にする(コンパレータ停止前の不要な割り込みをクリア)。
- ③PER1レジスタのCMPENビットを0にする。

PER1の設定によりクロック停止するとコンパレータ内部のレジスタはすべて初期化されますので、コンパレータを再度使用する場合は、表16-2の手順に従ってレジスタ設定してください。

注意1. コンパレータモード設定レジスタ (COMPMDR) のコンパレータ *n* リファレンス電圧選択ビット (CnVRF) を“1” (コンパレータ *n* リファレンス電圧は内部基準電圧(1.45 V))にしている場合は、A/Dコンバータで、温度センサ出力をA/D変換することはできません。

注意2. コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0) かつコンパレータの立ち上がりエッジで割り込み要求に設定 (CnEPO = 0) かつ IVCMP > IVREF (または内部基準電圧 1.45 V) の状態または、コンパレータを片エッジ検出での割り込み要求に設定 (CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定 (CnEPO = 1)、IVCMP < IVREF (または内部基準電圧 1.45 V) の状態で、DTC を起動許可した場合、DTC 転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ (CnMON) を確認してから DTC を起動許可にしてください
(*n* = 0-1)。

第17章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは1つのユニットに4つのシリアル・チャンネルを持ちます。各チャンネルは簡易SPI（CSI注）、UART、簡易I²Cの通信機能を実現できます。

RL78/G14で対応している各チャンネルの機能割り当ては、次のようになっています。

注 一般的にはSPIと呼ばれる機能ですが、本製品ではCSIとも呼称しているため、本マニュアルでは併記します。

○30, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○36, 40, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○80, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注意 この章では、以降の主な説明を100ピン製品のユニット、チャンネル構成で説明しています。

17.1 シリアル・アレイ・ユニットの機能

RL78/G14で対応している各シリアル・インタフェースの特徴を示します。

17.1.1 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信／受信を行います。

シリアル・クロック (SCK) 1本と送信、受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は、「17.5 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)通信の動作」を参照してください。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時： Max. fCLK/2 (CSI00のみ)

Max. fCLK/4

スレーブ通信時： Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI) は、SNOOZE モードに対応しています。SNOOZE モードとは、STOP モード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。以下の簡易SPI (CSI)のみ設定可能です。

- 30-64ピン製品：CSI00
- 80, 100ピン製品：CSI00, CSI20

注 SCKサイクル・タイム (tKCY) の特性を満たす範囲内で使用してください。詳細は、第34章 または第35章 電気的特性を参照してください。

17.1.2 UART (UART0-UART3)

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)データを送受信します。送信専用(偶数チャネル)と受信専用(奇数チャネル)の2チャネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットと外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

具体的な設定例は、「17.7 UART (UART0-UART3)通信の動作」を参照してください。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定、反転の選択
- パリティ・ビット付加、パリティ・チェック機能
- ストップ・ビット付加

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー、パリティ・エラー、オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー、パリティ・エラー、オーバラン・エラー

また、以下のチャネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4 = 0の時に、以下のUARTのみ設定可能です。

- 30-64ピン製品：UART0
- 80, 100ピン製品：UART0, UART2

UART0 (ユニット0のチャネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|---|---|-----------------------------------|
| <ul style="list-style-type: none"> • ウェイクアップ信号検出 • ブレーク・フィールド(BF)検出 • シンク・フィールド測定、ボー・レート算出 | } | 外部割り込み(INTP0),
タイマ・アレイ・ユニットを使用 |
|---|---|-----------------------------------|

注 9ビット・データ長は、以下のUARTのみ対応しています。

- 30-64ピン製品：UART0
- 80-100ピン製品：UART0, UART2

17.1.3 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易 I²C では、EEPROM、フラッシュ・メモリ、A/D コンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「17.9 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信の動作」を参照して下さい。

[データ送受信]

- マスタ送信, マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ACK 出力機能^注, ACK 検出機能
- 8 ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットで R/W 制御)
- スタート・コンディション, ストップ・コンディション手動発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- ACK エラー, オーバーラン・エラー

※ [簡易 I²C でサポートしていない機能]

- スレーブ送信, スレーブ受信
- アービトレーション負け検出機能
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn ビット (シリアル出力許可レジスタ m (SOEm)) ビットに 0 を書き込み、シリアル通信のデータ出力を停止することにより ACK を出力しません。詳細は、17.9.3 (2) 処理フローを参照してください。

備考 フル機能の I²C バスをご使用の場合は、第18章 シリアル・インタフェース IICA を参照してください。

17.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表 17-1 シリアル・アレイ・ユニットの構成

項目	構成
シフト・レジスタ	8ビットまたは9ビット ^{注1}
バッファ・レジスタ	シリアル・データ・レジスタ mn (SDRmn) の下位8ビットまたは9ビット ^{注1, 2}
シリアル・クロック 入出力	SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31 端子 (簡易 SPI 用), SCL00, SCL01, SCL10, SCL11, SCL20, SCL21, SCL30, SCL31 端子 (簡易 I ² C 用)
シリアル・データ 入力	SI00, SI01, SI10, SI11, SI20, SI21, SI30, SI31 端子 (簡易 SPI 用), RxD0 (LIN-bus 対応 UART 用), RxD1, RxD2, RxD3 端子 (UART 用)
シリアル・データ 出力	SO00, SO01, SO10, SO11, SO20, SO21, SO30, SO31 端子 (簡易 SPI 用), TxD0 (LIN-bus 対応 UART 用), TxD1, TxD2, TxD3 端子 (UART 用)
シリアル・データ 入出力	SDA00, SDA01, SDA10, SDA11, SDA20, SDA21, SDA30, SDA31 端子 (簡易 I ² C 用)
スレーブ選択入力	SSI00 端子 (スレーブセレクト入力機能用)
制御レジスタ	<ユニット設定部のレジスタ> ・周辺イネーブル・レジスタ 0 (PER0) ・シリアル・クロック選択レジスタ m (SPSm) ・シリアル・チャネル許可ステータス・レジスタ m (SEm) ・シリアル・チャネル開始レジスタ m (SSm) ・シリアル・チャネル停止レジスタ m (STm) ・シリアル出力許可レジスタ m (SOEm) ・シリアル出力レジスタ m (SOM) ・シリアル出力レベル・レジスタ m (SOLm) ・シリアル・スタンバイ・コントロール・レジスタ m (SSCm) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ 0 (NFEN0)
	<各チャネル部のレジスタ> ・シリアル・データ・レジスタ mn (SDRmn) ・シリアル・モード・レジスタ mn (SMRmn) ・シリアル通信動作設定レジスタ mn (SCRmn) ・シリアル・ステータス・レジスタ mn (SSRmn) ・シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
	・ポート入力モード・レジスタ 0, 1, 3, 5 (PIM0, PIM1, PIM3, PIM5) ・ポート出力モード・レジスタ 0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7) ・ポート・モード・レジスタ 0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7)
	・ポート・レジスタ 0, 1, 3, 5-7 (P0, P1, P3, P5-P7)

(注、備考は次ページにあります。)

- 注1. シフト・レジスタ、バッファ・レジスタとして使用されるビット数は、ユニット、チャンネルによって異なります。
- ・ 30-64ピン製品でmn = 00, 01の場合：下位9ビット
 - ・ 80, 100ピン製品でmn = 00, 01, 10, 11の場合：下位9ビット
 - ・ 上記以外の場合：下位8ビット
- 注2. シリアル・データ・レジスタ mn (SDRmn)の下位8ビットは、通信方式により、次のSFR名称でリード／ライト可能です。
- ・ CSIp通信時SIOp (CSIpデータ・レジスタ)
 - ・ UARTq受信時.....RXDq (UARTq受信データ・レジスタ)
 - ・ UARTq送信時.....TXDq (UARTq送信データ・レジスタ)
 - ・ IICr通信時.....SIOr (IICrデータ・レジスタ)

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

図17-1にシリアル・アレイ・ユニット0のブロック図を示します。

図 17-1 シリアル・アレイ・ユニット0のブロック図

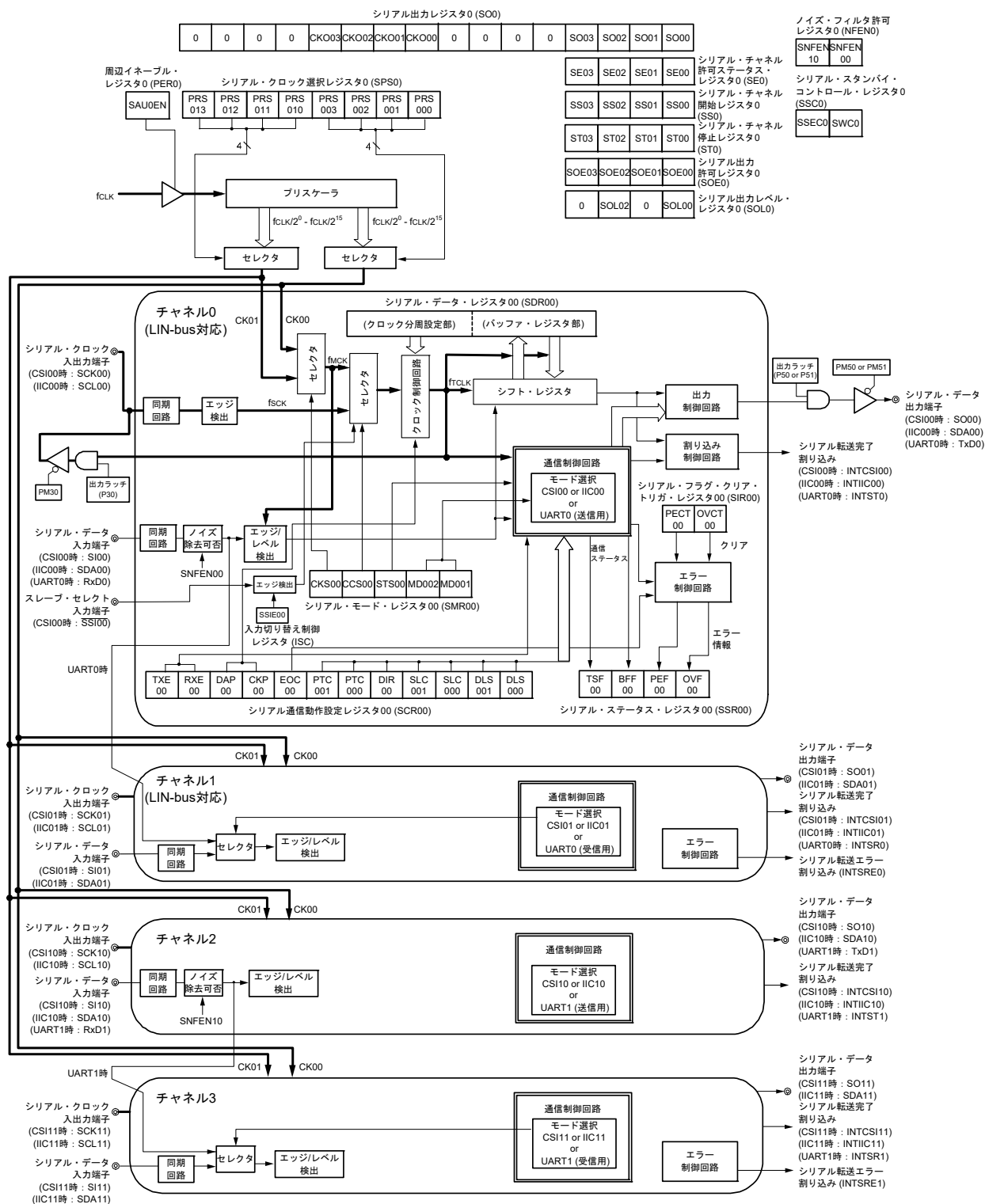
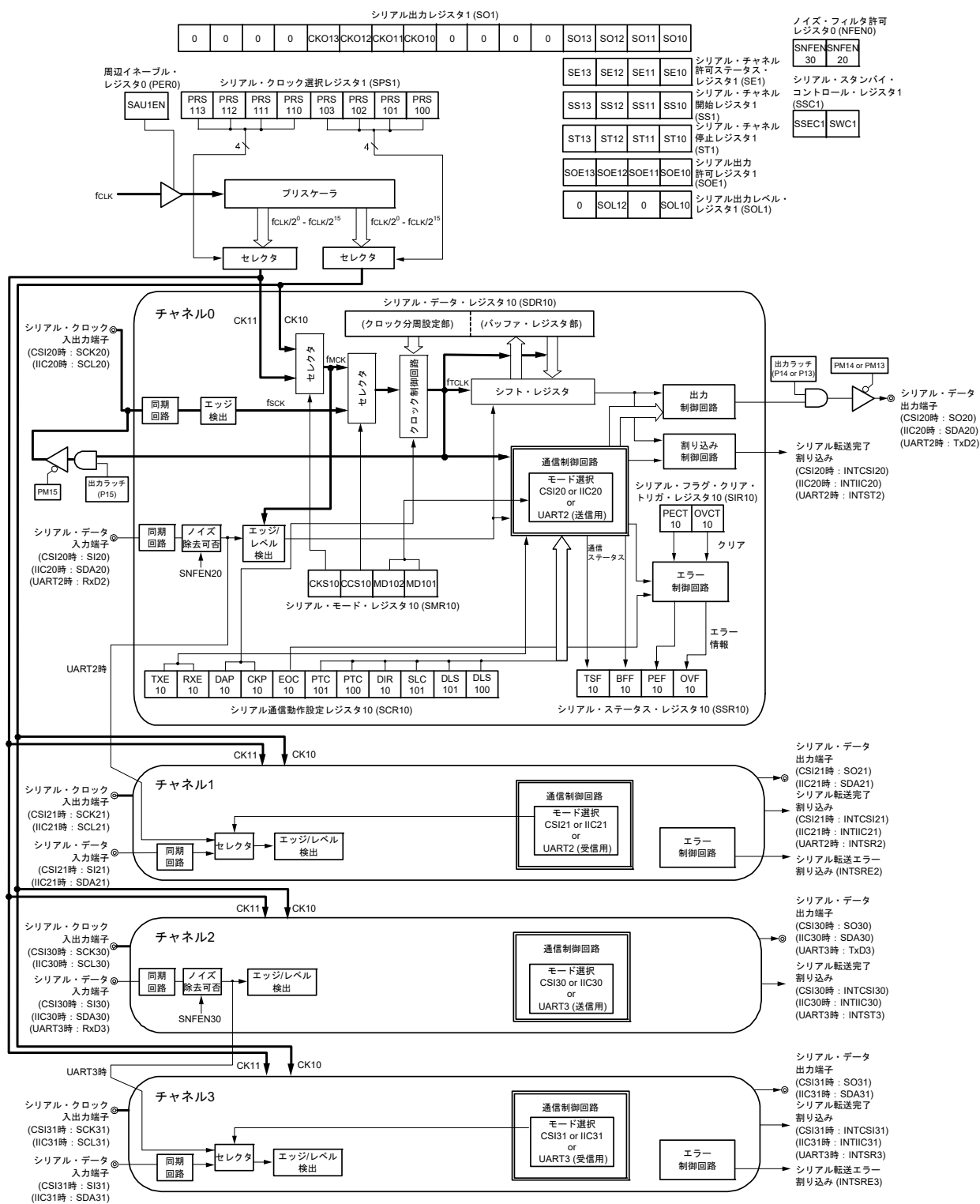


図17-2にシリアル・アレイ・ユニット1のブロック図を示します。

図17-2 シリアル・アレイ・ユニット1のブロック図



17.2.1 シフト・レジスタ

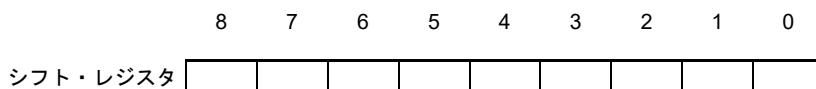
パラレル⇄シリアルの変換を行う9ビットのレジスタです。

9ビット・データ長でのUART通信時は、9ビット(ビット0～8)を使用します^{注1}。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します^{注1}。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード／ライトするには、シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビットを使用します。



17.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位8/9ビット

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

ビット8-0(下位9ビット)^{注1}、またはビット7-0(下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック(fMCK)の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8/9ビットに設定します。

下位8/9ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ mn (SCRmn) のビット0, 1 (DLSmn0, DLSmn1) の設定によって、次のようになります。

- ・7ビット・データ長(SDRmnレジスタのビット0-6に格納)
- ・8ビット・データ長(SDRmnレジスタのビット0-7に格納)
- ・9ビット・データ長(SDRmnレジスタのビット0-8に格納)^{注1}

SDRmnレジスタは16ビット単位でリード／ライト可能です。

またSDRmnレジスタの下位8/9ビットは、通信方式により、次のSFR名称で8ビット単位でリード／ライト可能^{注2}です。

- ・CSIp通信時SIOp (CSIpデータ・レジスタ)
- ・UARTq受信時RXDq (UARTq受信データ・レジスタ)
- ・UARTq送信時TXDq (UARTq送信データ・レジスタ)
- ・IICr通信時SIOr (IICrデータ・レジスタ)

リセット信号の発生により、SDRmnレジスタは0000Hになります。

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- ・30-64ピン製品 : UART0
- ・80, 100ピン製品 : UART0, UART2

注2. 動作停止(SEmn = 0)時は、8ビット・メモリ操作命令によるSDRmn [7:0]の書き換えは禁止です(SDRmn [15:9]がすべてクリア(0)されます)。

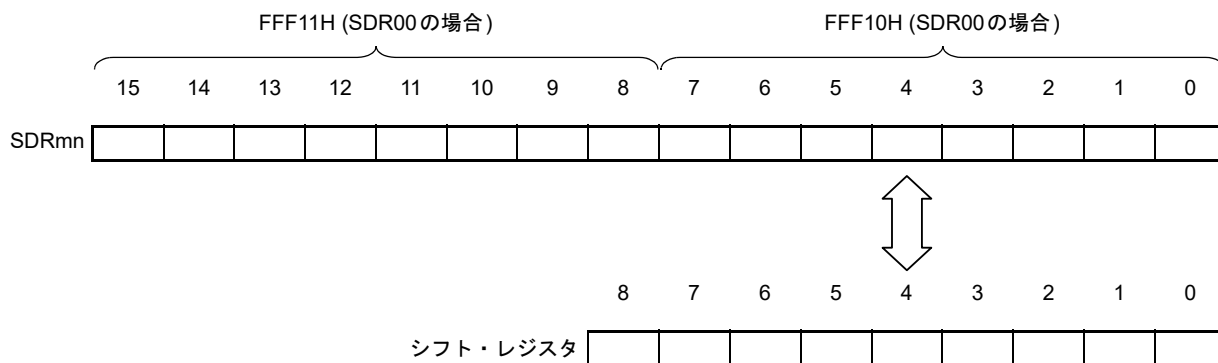
備考1. 受信完了後、ビット0-8内でデータ長を越える部分のビットには、“0”が格納されます。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31) q : UART番号 (q = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

図17-3 シリアル・データ・レジスタ mn (SDRmn)(mn = 00, 01, 10, 11)のフォーマット

アドレス : FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01) リセット時 : 0000H R/W

FFF48H, FFF49H (SDR10)^注, FFF4AH, FFF4BH (SDR11)^注



注 80, 100ピン製品

備考 SDRmnレジスタの上位7ビットの機能については、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

図17-4 シリアル・データ・レジスタ mn (SDRmn)(mn = 02, 03, 10, 11, 12, 13)のフォーマット

アドレス : FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03), リセット時 : 0000H R/W

FFF48H, FFF49H (SDR10)^{注1}, FFF4AH, FFF4BH (SDR11)^{注1}

FFF14H, FFF15H (SDR12)^{注2}, FFF16H, FFF17H (SDR13)^{注2}



注1. 30-64ピン製品

注2. 80, 100ピン製品

注意 ビット8は、必ず0を設定してください。

備考 SDRmnレジスタの上位7ビットの機能については、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

17.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- 周辺イネーブル・レジスタ 0 (PER0)
- シリアル・クロック選択レジスタ m (SPSm)
- シリアル・モード・レジスタ mn (SMRmn)
- シリアル通信動作設定レジスタ mn (SCRmn)
- シリアル・データ・レジスタ mn (SDRmn)
- シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)
- シリアル・ステータス・レジスタ mn (SSRmn)
- シリアル・チャネル開始レジスタ m (SSm)
- シリアル・チャネル停止レジスタ m (STm)
- シリアル・チャネル許可ステータス・レジスタ m (SEm)
- シリアル出力許可レジスタ m (SOEm)
- シリアル出力レベル・レジスタ m (SOLm)
- シリアル出力レジスタ m (SOM)
- シリアル・スタンバイ・コントロール・レジスタ m (SSCm)
- 入力切り替え制御レジスタ (ISC)
- ノイズ・フィルタ許可レジスタ 0 (NFEN0)
- ポート入力モード・レジスタ 0, 1, 3, 5 (PIM0, PIM1, PIM3, PIM5)
- ポート出力モード・レジスタ 0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7)
- ポート・モード・レジスタ 0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7)
- ポート・レジスタ 0, 1, 3, 5-7 (P0, P1, P3, P5-P7)

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

17.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を使用するときは、必ずビット2 (SAU0EN)に1を設定してください。

シリアル・アレイ・ユニット1を使用するときは、必ずビット3 (SAU1EN)に1を設定してください。

PER0 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0 レジスタは00Hになります。

図 17 - 5 周辺イネーブル・レジスタ 0 (PER0)のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	IICA1EN ^注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^注	TAU0EN
	シリアル・アレイ・ユニットmの入カクロック供給の制御							
	SAUmEN							
	0							
	入カクロック供給停止							
	・シリアル・アレイ・ユニットmで使用するSFRへのライト不可							
	・シリアル・アレイ・ユニットmはリセット状態							
	1							
	入カクロック供給許可							
	・シリアル・アレイ・ユニットmで使用するSFRへのリード／ライト可							

注 80, 100ピン製品のみ。

注意1. シリアル・アレイ・ユニットmの設定をする際には、必ず最初にSAUmEN = 1の状態です。下記のレジスタ設定を行ってください。SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります(入力切り替え制御レジスタ(ISC)、ノイズ・フィルタ許可レジスタ0 (NFEN0)、ポート入力モード・レジスタ0, 1, 3, 5 (PIM0, PIM1, PIM3, PIM5)、ポート出力モード・レジスタ0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7)、ポート・モード・レジスタ0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7)、ポート・モード・コントロール・レジスタ0, 1, 10, 12, 14 (PMC0, PMC1, PMC10, PMC12, PMC14)、ポート・レジスタ0, 1, 3, 5-7 (P0, P1, P3, P5-P7)は除く)。

- ・シリアル・クロック選択レジスタm (SPSm)
- ・シリアル・モード・レジスタmn (SMRmn)
- ・シリアル通信動作設定レジスタmn (SCRmn)
- ・シリアル・データ・レジスタmn (SDRmn)
- ・シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)
- ・シリアル・ステータス・レジスタmn (SSRmn)
- ・シリアル・チャネル開始レジスタm (SSm)
- ・シリアル・チャネル停止レジスタm (STm)
- ・シリアル・チャネル許可ステータス・レジスタm (SEm)
- ・シリアル出力許可レジスタm (SOEm)
- ・シリアル出力レベル・レジスタm (SOLm)
- ・シリアル出力レジスタm (SOM)
- ・シリアル・スタンバイ・コントロール・レジスタm (SSCm)

注意2. 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

17.3.2 シリアル・クロック選択レジスタ m (SPSm)

SPSmレジスタは、各チャンネルに共通して供給される2種類の動作クロック (CKm0, CKm1) を選択する16ビット・レジスタです。SPSmレジスタのビット7-4でCKm1を、ビット3-0でCKm0を選択します。

SPSmレジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。

SPSmレジスタは16ビット・メモリ操作命令で設定します。

またSPSmレジスタの下位8ビットは、SPSmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPSmレジスタは0000Hになります。

図 17 - 6 シリアル・クロック選択レジスタ m (SPSm)のフォーマット

アドレス : F0126H, F0127H (SPS0), F0166H, F0167H (SPS1)

リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPSm	0	0	0	0	0	0	0	0	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00

PRS mk3	PRS mk2	PRS mk1	PRS mk0		動作クロック (CKmk)の選択 ^注				
					fCLK = 2 MHz	fCLK = 5 MHz	fCLK = 10 MHz	fCLK = 20 MHz	fCLK = 32 MHz
0	0	0	0	fCLK	2 MHz	5 MHz	10 MHz	20 MHz	32 MHz
0	0	0	1	fCLK/2	1 MHz	2.5 MHz	5 MHz	10 MHz	16 MHz
0	0	1	0	fCLK/2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz	8 MHz
0	0	1	1	fCLK/2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz	4 MHz
0	1	0	0	fCLK/2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz	2 MHz
0	1	0	1	fCLK/2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz	1 MHz
0	1	1	0	fCLK/2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz	500 kHz
0	1	1	1	fCLK/2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz	250 kHz
1	0	0	0	fCLK/2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz	125 kHz
1	0	0	1	fCLK/2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz	62.5 kHz
1	0	1	0	fCLK/2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz	31.3 kHz
1	0	1	1	fCLK/2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz	15.6 kHz
1	1	0	0	fCLK/2 ¹²	488 Hz	1.22 kHz	2.44 kHz	4.88 kHz	7.8 kHz
1	1	0	1	fCLK/2 ¹³	244 Hz	610 Hz	1.22 kHz	2.44 kHz	3.9 kHz
1	1	1	0	fCLK/2 ¹⁴	122 Hz	305 Hz	610 Hz	1.22 kHz	1.95 kHz
1	1	1	1	fCLK/2 ¹⁵	61 Hz	153 Hz	305 Hz	610 Hz	977 Hz

注 シリアル・アレイ・ユニット(SAU)動作中にfCLKで選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、SAUの動作を停止(シリアル・チャネル停止レジスタm(STm) = 000FH)させてから変更してください。

注意 ビット15-8には、必ず0を設定してください。

備考1. fCLK : CPU/周辺ハードウェア・クロック周波数

備考2. m : ユニット番号(m = 0, 1)

備考3. k = 0, 1

17.3.3 シリアル・モード・レジスタ mn (SMRmn)

SMRmn レジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (fmck) の選択、シリアル・クロック (fsck) 入力の使用可否、スタート・トリガ設定、動作モード (簡易 SPI (CSI), UART, 簡易 I²C) 設定、割り込み要因の選択を行います。また UART モード時のみ、受信データのレベル反転の設定を行います。

SMRmn レジスタは、動作中 (SEmn = 1 のとき) の書き換えは禁止です。ただし MDmn0 ビットは、動作中でも書き換えをすることができます。

SMRmn レジスタは、16 ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMRmn レジスタは 0020H になります。

図 17-7 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W
F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13) 注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn注2	0	SISmn 0注2	1	0	0	MD mn2	MD mn1	MD mn0

CKS mn	チャンネルnの動作クロック (fmck)の選択															
0	SPSm レジスタで設定した動作クロック CKm0															
1	SPSm レジスタで設定した動作クロック CKm1															
動作クロック (fmck)は、エッジ検出回路に使用されます。また、CCSmn ビットと SDRmn レジスタの上位7ビットの設定により、転送クロック (ftCLK)を生成します。																

CCS mn	チャンネルnの転送クロック (ftCLK)の選択															
0	CKSmn ビットで指定した動作クロック fmckの分周クロック															
1	SCKp 端子からの入力クロック fsck (簡易 SPI (CSI)モードのスレーブ転送)															
転送クロック ftCLKは、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCSmn = 0の場合は、SDRmn レジスタの上位7ビットで動作クロック (fmck)の分周設定を行います。																

STS mn注 2	スタート・トリガ要因の選択															
0	ソフトウェア・トリガのみ有効 (簡易 SPI (CSI), UART 送信, 簡易 I ² C 時に選択)															
1	RxDq 端子の有効エッジ (UART 受信時に選択)															
SSm レジスタに1を設定後、上記の要因が満たされてから転送開始となります。																

注1. SMR00-SMR03, SMR10, SMR11 : 全製品

SMR12, SMR13 : 80, 100 ピン製品

注2. SMR01, SMR03, SMR11, SMR13 レジスタのみ。

注意 ビット 13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12 レジスタの場合は、ビット 13-6, 4, 3) には、必ず 0 を設定してください。ビット 5 には、必ず 1 を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

q : UART 番号 (q = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

図 17 - 8 シリアル・モード・レジスタ mn (SMRmn) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03), リセット時 : 0020H R/W

F0150H, F0151H (SMR10) - F0156H, F0157H (SMR13)^{注1}

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKS mn	CCS mn	0	0	0	0	0	STS mn ^{注2}	0	SISmn 0 ^{注2}	1	0	0	MD mn2	MD mn1	MD mn0

SISmn n0 ^{注2}	UARTモードでのチャネルnの受信データのレベル反転の制御															
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。															
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。															

MD mn2	MD mn1	チャネルnの動作モードの設定														
0	0	簡易SPI (CSI) モード														
0	1	UART モード														
1	0	簡易I ² C モード														
1	1	設定禁止														

MDmn0	チャネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDRmnレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMDmn0 = 1として、SDRmnデータが空になったら次送信データの書き込みを行う。	

注1. SMR00-SMR03, SMR10, SMR11 : 全製品

SMR12, SMR13 : 80, 100ピン製品

注2. SMR01, SMR03, SMR11, SMR13レジスタのみ。

注意 ビット13-9, 7, 4, 3 (SMR00, SMR02, SMR10, SMR12レジスタの場合は、ビット13-6, 4, 3)には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

q : UART 番号 (q = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)

17.3.4 シリアル通信動作設定レジスタ mn (SCRmn)

チャネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCRmnレジスタは、動作中 (SEmn = 1のとき) の書き換えは禁止です。

SCRmnレジスタは、16ビット・メモリ操作命令で設定します。

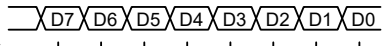
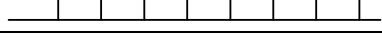
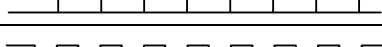
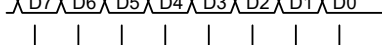
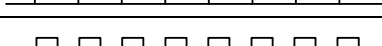
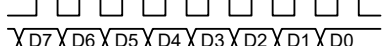
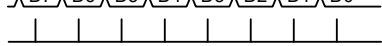
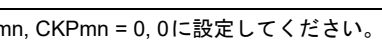
リセット信号の発生により、SCRmnレジスタは0087Hになります。

図 17 - 9 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13)^{注1}

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注2}	SLC mn0	0	1	DLSm n1 ^{注3}	DLS mn0

TXE mn	RXE mn	チャンネルnの動作モードの設定
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP mn	CKP mn	簡易 SPI (CSI)モードでのデータとクロックの位相選択	タイプ
0	0	SCKp  SOp  SIp入カタイミング 	1
0	1	SCKp  SOp  SIp入カタイミング 	2
1	0	SCKp  SOp  SIp入カタイミング 	3
1	1	SCKp  SOp  SIp入カタイミング 	4
UART モード, 簡易 I ² C モード時には, 必ず DAPmn, CKPmn = 0, 0 に設定してください。			

EOC mn	エラー割り込み信号 (INTSREx (x = 0-3))のマスク制御
0	エラー割り込み INTSREx の発生を禁止する (INTSRx が発生する)
1	エラー割り込み INTSREx の発生を許可する (エラー発生時, INTSRx は発生しない)
簡易 SPI (CSI)モード, 簡易 I ² C モード, UART 送信時には, EOCmn = 0 に設定してください ^{注4} 。	

注1. SCR00-SCR03, SCR10, SCR11 : 全製品

SCR12, SCR13 : 80, 100 ピン製品

注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ。

注3. SCR00, SCR01 レジスタと, 80, 100 ピン製品の SCR10, SCR11 レジスタのみ。その他は1固定になります。

注4. CSImn を EOCmn = 0 で使用しない場合, エラー割り込み INTSREn が発生する場合があります。

注意 ビット3, 6, 11には, 必ず0を設定してください(SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください。ビット2には, 必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

図 17 - 10 シリアル通信動作設定レジスタ mn (SCRmn)のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03), リセット時 : 0087H R/W
F0158H, F0159H (SCR10) - F015EH, F015FH (SCR13)^{注1}

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXE mn	RXE mn	DAP mn	CKP mn	0	EOC mn	PTC mn1	PTC mn0	DIR mn	0	SLCm n1 ^{注2}	SLC mn0	0	1	DLSm n1 ^{注3}	DLS mn0

PTC mn1	PTC mn0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	パリティを出力 ^{注4}	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

簡易SPI (CSI)モード、簡易I²Cモード時には、必ずPTCmn1, PTCmn0 = 0, 0に設定してください。

DIR mn	簡易SPI (CSI), UARTモードでのデータ転送順序の選択
0	MSBファーストで入出力を行う
1	LSBファーストで入出力を行う

簡易I²Cモード時には、必ずDIRmn = 0に設定してください。

SLCm n1 ^{注2}	SLC mn0	UARTモードでのストップ・ビットの設定
0	0	ストップ・ビットなし
0	1	ストップ・ビット長 = 1ビット
1	0	ストップ・ビット長 = 2ビット (mn = 00, 02, 10, 12のみ)
1	1	設定禁止

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
UART受信時、簡易I²Cモード時には、1ビット (SLCmn1, SLCmn0 = 0, 1)に設定してください。
簡易SPI (CSI)モード時には、ストップ・ビットなし (SLCmn1, SLCmn0 = 0, 0)に設定してください。
UART送信時は、1ビット (SLCmn1, SLCmn0 = 0, 1)又は2ビット (SLCmn1, SLCmn0 = 1, 0)に設定してください。

DLSm n1 ^{注3}	DLS mn0	簡易SPI (CSI), UARTモードでのデータ長の設定
0	1	9ビット・データ長 (SDRmn レジスタのビット0-8に格納)(UARTモード時のみ選択可)
1	0	7ビット・データ長 (SDRmn レジスタのビット0-6に格納)
1	1	8ビット・データ長 (SDRmn レジスタのビット0-7に格納)
その他		設定禁止

簡易I²Cモード時には、必ずDLSmn1, DLSmn0 = 1, 1に設定してください。

注1. SCR00-SCR03, SCR10, SCR11 : 全製品

SCR12, SCR13 : 80, 100ピン製品

注2. SCR00, SCR02, SCR10, SCR12レジスタのみ。

注3. SCR00, SCR01レジスタと、80, 100ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

注4. データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください(SCR01, SCR03, SCR11, SCR13レジスタはビット5も0に設定してください。ビット2には、必ず1を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

17.3.5 シリアル・データ・レジスタ mn (SDRmn)

SDRmnレジスタは、チャンネルnの送受信データ・レジスタ(16ビット)です。

SDR00, SDR01, SDR10^{注1}, SDR11^{注1}のビット8-0 (下位9ビット), またはSDR02, SDR03, SDR10^{注2}, SDR11^{注2}, SDR12, SDR13のビット7-0 (下位8ビット)は、送受信バッファ・レジスタとして機能し、ビット15-9 (上位7ビット)の部分は動作クロック(f_{MCK})の分周設定レジスタとして使われます。

シリアル・モード・レジスタ mn (SMRmn) で CCSmn ビットを0に設定した場合は、動作クロックをこのSDRmnレジスタのビット15-9 (上位7ビット)で分周設定したクロックが、転送クロックとして使用されます。

また、CCSmn ビットを1に設定した場合は、SDR00, SDR01, SDR10^{注1}, SDR11^{注1}のビット15-9 (上位7ビット)に“0000000B”を設定してください。SCKp端子からの入力クロック f_{sck} (簡易SPI (CSI)モードのスレーブ転送)が転送クロックとなります。

SDRmn レジスタの下位 8/9 ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8/9ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8/9ビット設定します。

SDRmnレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態(SEmn = 0)のときのみ有効です。動作中(SEmn = 1)にSDRmnレジスタに書き込みを行ったときは、下位8/9ビットのみ値が書き込まれます。動作中にSDRmnレジスタの読み出しを行った場合、上位7ビットは常に0が読み出されます。

リセット信号の発生により、SDRmnレジスタは0000Hになります。

図 17 - 11 シリアル・データ・レジスタ mn (SDRmn)のフォーマット



注1. 80, 100ピン製品

注2. 30-64ピン製品

(注意、備考は次ページにあります。)

- 注意1. SDR02, SDR03, SDR12, SDR13 と、30-64 ピン製品の SDR10, SDR11 レジスタのビット8は、必ず0を設定してください。
- 注意2. UART 使用時は、SDRmn[15:9] = (0000000B, 0000001B) は設定禁止です。
- 注意3. 簡易 I²C 使用時は、SDRmn[15:9] = 0000000B は設定禁止です。SDRmn[15:9] = 0000001B 以上に設定してください。
- 注意4. 動作停止 (SEmn = 0) 時は、8 ビット・メモリ操作命令による SDRmn [7:0] の書き換えは禁止です (SDRmn [15:9] がすべてクリア (0) されます)。
- 備考1. SDRmn レジスタの下位 8/9 ビットの機能については、17.2 シリアル・アレイ・ユニットの構成を参照してください。
- 備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

17.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット(FECTmn, PECTmn, OVCTmn)を1にセットすると、シリアル・ステータス・レジスタ mn (SSRmn)の対応ビット (FEFmn, PEFmn, OVFmn) が0にクリアされます。SIRmn レジスタはトリガ・レジスタなので、SSRmn レジスタの対応ビットをクリアするとすぐSIRmn レジスタもクリアされます。

SIRmn レジスタは、16ビット・メモリ操作命令で設定します。

またSIRmn レジスタの下位8ビットは、SIRmnLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SIRmn レジスタは0000Hになります。

図 17 - 12 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn)のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03), リセット時 : 0000H R/W

F0148H, F0149H (SIR10) - F014EH, F014FH (SIR13)^{注1}

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRmn	0	0	0	0	0	0	0	0	0	0	0	0	0	FECTmn ^{注2}	PEC Tmn	OVC Tmn
FEC Tmn ^{注2}	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタの FEFmn ビットを0にクリアする															
PEC Tmn	チャンネルnのパリティ・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタの PEFmn ビットを0にクリアする															
OVC Tmn	チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ															
0	クリアしない															
1	SSRmn レジスタの OV Fmn ビットを0にクリアする															

注1. SIR00-SIR03, SIR10, SIR11 : 全製品

SIR12, SIR13 : 80, 100ピン製品

注2. SIR01, SIR03, SIR11, SIR13 レジスタのみ。

注意 ビット15-3 (SIR00, SIR02, SIR10, SIR12 レジスタの場合は、ビット15-2)には、必ず0を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

備考2. SIRmn レジスタの読み出し値は常に0000Hとなります。

17.3.7 シリアル・ステータス・レジスタ mn (SSRmn)

SSRmnレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSRmnレジスタは、16ビット・メモリ操作命令で読み出します。

またSSRmnレジスタの下位8ビットは、SSRmnLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSRmnレジスタは0000Hになります。

図 17 - 13 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R

F0140H, F0141H (SSR10) - F0146H, F0147H (SSR13)^{注1}

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn ^{注2}	PEF mn	OVF mn

TSF mn	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> - STmレジスタのSTmnビットに1を設定時(通信停止状態)、もしくはSSmレジスタのSSmnビットに1を設定時(通信待機状態) - 通信動作が終了時 <セット条件> 通信動作を開始時	

BFF mn	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDRmnレジスタに格納されていない
1	有効なデータがSDRmnレジスタに格納されている
<クリア条件> - 送信時においてSDRmnレジスタからシフト・レジスタへ送信データの転送が終了したとき - 受信時においてSDRmnレジスタから受信データの読み出しが終了したとき - STmレジスタのSTmnビットに1を設定時(通信停止状態)、SSmレジスタのSSmnビットに1を設定時(通信許可状態)。 <セット条件> - SCRmnレジスタのTXEmnビット = 1 (各通信モードでの送信、送受信モード時)の状態ではSDRmnレジスタに送信データを書き込んだとき - SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信、送受信モード時)の状態ではSDRmnレジスタに受信データが格納されたとき - 受信エラー時	

注1. SSR00-SSR03, SSR10, SSR11 : 全製品

SSR12, SSR13 : 80, 100ピン製品

注2. SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意 SNOOZEモード(SWCm = 1)で簡易SPI(CSI)の受信動作を行う場合、BFFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

図 17 - 14 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03), リセット時 : 0000H R

F0140H, F0141H (SSR10) - F0146H, F0147H (SSR13)注1

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSRmn	0	0	0	0	0	0	0	0	0	TSF mn	BFF mn	0	0	FEF mn注2	PEF mn	OVF mn

FEF mn注2	チャンネルnのフレーミング・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時)
<クリア条件> SIRmnレジスタのFECTmnビットに1を書き込んだとき <セット条件> UART受信完了時に、ストップ・ビットが検出されないとき	

PEF mn	チャンネルnのパリティ・エラー検出フラグ
0	エラーなし
1	エラー発生(UART受信時), またはACK未検出発生(I ² C送信時)
<クリア条件> SIRmnレジスタのPECTmnビットに1を書き込んだとき <セット条件> ・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき(パリティ・エラー) ・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき(ACK未検出)	

OVF mn	チャンネルnのオーバーラン・エラー検出フラグ
0	エラーなし
1	エラー発生
<クリア条件> SIRmnレジスタのOVCTmnビットに1を書き込んだとき <セット条件> ・SCRmnレジスタのRXEmnビット = 1 (各通信モードでの受信, 送受信モード時)の状態、受信データがSDRmnレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき ・簡易SPI (CSI)モードのスレーブ送信/送受信で、送信データが準備できていないとき	

注1. SSR00-SSR03, SSR10, SSR11 : 全製品

SSR12, SSR13 : 80, 100ピン製品

注2. SSR01, SSR03, SSR11, SSR13レジスタのみ。

注意1. BFFmn = 1のときにSDRmnレジスタに書き込みをすると、格納されている送信/受信データが破壊され、オーバーラン・エラー (OVFmn = 1)と検出されます。

注意2. SNOOZEモード(SWCm = 1)で簡易SPI (CSI)の受信動作を行う場合、OVFmnフラグは動作しません。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3)

17.3.8 シリアル・チャネル開始レジスタ m (SSm)

SSmレジスタは、通信／カウント開始の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット (SSmn) に1を書き込むと、シリアル・チャネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が1にセット (動作許可状態) されます。SSmnビットはトリガ・ビットなので、SEmn = 1になるとすぐSSmnビットはクリアされます。

SSmレジスタは、16ビット・メモリ操作命令で設定します。

またSSmレジスタの下位8ビットは、SSmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSmレジスタは0000Hになります。

図 17 - 15 シリアル・チャネル開始レジスタ m (SSm) のフォーマット

アドレス : F0122H, F0123H (SS0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0 3	SS0 2	SS0 1	SS0 0

アドレス : F0162H, F0163H (SS1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS1	0	0	0	0	0	0	0	0	0	0	0	0	SS1 3	SS1 2	SS1 1	SS1 0

SSm n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SEmnビットに1をセットし、通信待機状態に遷移する ^注

注 通信動作中にSSmn = 1を設定すると、通信を停止して待機状態になります。このとき、制御レジスタ、シフト・レジスタの値、SCKmn, SOMn端子とFEFmn, PEFmn, OVFmnフラグは状態を保持します。

注意1. SS0レジスタのビット15-4、30-64ピン製品のSS1レジスタのビット15-2、80-100ピン製品のSS1レジスタのビット15-4には、必ず0を設定してください。

注意2. UART受信の場合は、SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

備考2. SSmレジスタの読み出し値は常に0000Hとなります。

17.3.9 シリアル・チャネル停止レジスタ m (STm)

STmレジスタは、通信／カウント停止の許可をチャネルごとに設定するトリガ・レジスタです。

各ビット (STmn) に 1 を書き込むと、シリアル・チャネル許可ステータス・レジスタ m (SEm) の対応ビット (SEmn) が 0 にクリア (動作停止状態) されます。STmn ビットはトリガ・ビットなので、SEmn = 0 になるとすぐ STmn ビットはクリアされます。

STm レジスタは、16 ビット・メモリ操作命令で設定します。

また STm レジスタの下位 8 ビットは、STmL で 1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定できます。

リセット信号の発生により、STm レジスタは 0000H になります。

図 17 - 16 シリアル・チャネル停止レジスタ m (STm) のフォーマット

アドレス : F0124H, F0125H (ST0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST0 3	ST0 2	ST0 1	ST0 0

アドレス : F0164H, F0165H (ST1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST1	0	0	0	0	0	0	0	0	0	0	0	0	ST1 3	ST1 2	ST1 1	ST1 0

STm n	チャネル n の動作停止トリガ
0	トリガ動作せず
1	SEmn ビットを 0 にクリアし、通信動作を停止する ^注

注 制御レジスタ、シフト・レジスタの値、SCKmn, SOmn 端子と FEFmn, PEFmn, OVFMn フラグは状態を保持します。

注意 ST0 レジスタのビット 15-4、30-64 ピン製品の ST1 レジスタのビット 15-2、80-100 ピン製品の ST1 レジスタのビット 15-4 には、必ず 0 を設定してください。

備考 1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

備考 2. STm レジスタの読み出し値は常に 0000H となります。

17.3.10 シリアル・チャネル許可ステータス・レジスタ m (SEm)

SEmレジスタは、各チャネルのシリアル送受信動作許可／停止状態を確認するレジスタです。

シリアル・チャネル開始レジスタ m (SSm)の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャネル停止レジスタ m (STm)の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャネルnは、後述のシリアル出力レジスタ m (SOm)のCKOmnビット(チャネルnのシリアル・クロック出力)の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャネルnは、SOmレジスタのCKOmnビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SEmレジスタは、16ビット・メモリ操作命令で読み出します。

またSEmレジスタの下位8ビットは、SEmLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SEmレジスタは0000Hになります。

図 17 - 17 シリアル・チャネル許可ステータス・レジスタ m (SEm)のフォーマット

アドレス : F0120H, F0121H (SE0) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

アドレス : F0160H, F0161H (SE1) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE1	0	0	0	0	0	0	0	0	0	0	0	0	SE1 3	SE1 2	SE1 1	SE1 0

SEm n	チャネルnの動作許可／停止状態の表示														
0	動作停止状態														
1	動作許可状態														

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3)

17.3.11 シリアル出力許可レジスタ m (SOEm)

SOEm レジスタは、各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタです。

シリアル出力を許可したチャンネル n は、後述のシリアル出力レジスタ m (SOm) の SOmn ビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネル n は、SOm レジスタの SOmn ビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション／ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOEm レジスタは、16ビット・メモリ操作命令で設定します。

また SOEm レジスタの下位8ビットは、SOEmL で1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOEm レジスタは0000Hになります。

図 17 - 18 シリアル出力許可レジスタ m (SOEm) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SOE0	0	0	0	0	0	0	0	0	0	0	0	0	SOE 03	SOE 02	SOE 01	SOE 00
------	---	---	---	---	---	---	---	---	---	---	---	---	-----------	-----------	-----------	-----------

アドレス : F016AH, F016BH リセット時 : 0000H R/W

略号 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

SOE1	0	0	0	0	0	0	0	0	0	0	0	0	SOE 13	SOE 12	SOE 11	SOE 10
------	---	---	---	---	---	---	---	---	---	---	---	---	-----------	-----------	-----------	-----------

SOE mn	チャンネルnのシリアル出力許可／停止															
0	シリアル通信動作による出力停止															
1	シリアル通信動作による出力許可															

注意 30-44 製品の SOE0 レジスタのビット 15-4, ビット 1、48-100 製品の SOE0 レジスタのビット 15-4、
30-32 製品の SOE1 レジスタのビット 15-1、36-64 製品の SOE1 レジスタのビット 15-2、
80-100 製品の SOE1 レジスタのビット 15-4 には、必ず 0 を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

17.3.12 シリアル出力レジスタ m (SOm)

SOm レジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSOmn ビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKOmn ビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSOmn ビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOEmn = 0) 時のみ可能です。シリアル出力許可 (SOEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKOmn ビットのソフトウェアによる書き換えは、チャンネル動作停止 (SEmn = 0) 時のみ可能です。チャンネル動作許可 (SEmn = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、シリアル・インタフェース用端子をポート機能等のシリアル・インタフェース機能以外として使用する場合は、該当するCKOmn, SOmn ビットに“1”を設定してください。

SOm レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SOm レジスタは0F0FHになります。

図 17 - 19 シリアル出力レジスタ m (SOm) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	CKO 03	CKO 02	CKO 01	CKO 00	0	0	0	0	SO 03	SO 02	SO 01	SO 00

アドレス : F0168H, F0169H リセット時 : 0F0FH注 R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO1	0	0	0	0	CKO 13	CKO 12	CKO 11	CKO 10	0	0	0	0	SO 13	SO 12	SO 11	SO 10

CKO mn	チャンネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO mn	チャンネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注 30-64ピン製品かつROMが64KB以下の製品は、リセット時 : 0303Hになります。

注意 SO0 レジスタのビット15-12, 7-4には、必ず0を設定してください。

30-64ピン製品かつROMが64KB以下の製品のSO1レジスタのビット15-10, 7-2, 80-100ピン製品のSO1レジスタのビット15-12, 7-4には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

17.3.13 シリアル出力レベル・レジスタ m (SOLm)

SOLmレジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。簡易SPI (CSI)モード、簡易I²Cモード時は、必ず対応するビットに0を設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可(SOEmn = 1)時のみ端子出力に反映されます。シリアル出力禁止(SOEmn = 0)時はSOmnビットの値がそのまま出力されます。

SOLmレジスタは、動作中(SEmn = 1のとき)の書き換えは禁止です。

SOLmレジスタは、16ビット・メモリ操作命令で設定します。

またSOLmレジスタの下位8ビットは、SOLmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOLmレジスタは0000Hになります。

図17-20 シリアル出力レベル・レジスタ m (SOLm)のフォーマット

アドレス : F0134H, F0135H (SOL0) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

アドレス : F0174H, F0175H (SOL1) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL1	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 12	0	SOL 10

SOL mn	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

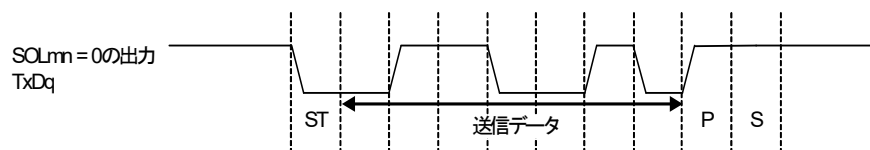
注意 SOL0レジスタのビット15-3, 1, 30-64ピン製品のSOL1レジスタのビット15-1, 80-100ピン製品のSOL1レジスタのビット15-3, 1には、必ず0を設定してください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2)

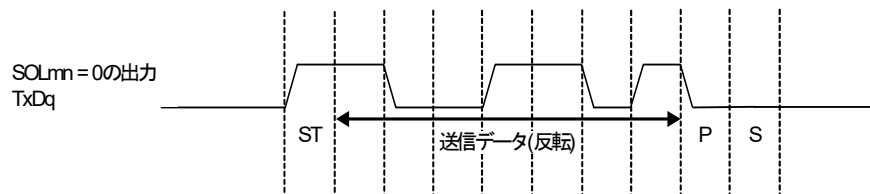
UART送信時、送信データのレベル反転例を図17-21に示します。

図 17 - 21 送信データのレベル反転例

(a) 非反転出力 (SOLmn = 0)



(b) 反転出力 (SOLmn = 1)



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2)

17.3.14 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)

SSC0 レジスタは、CSI00, UART0 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSC1 レジスタは、CSI20, UART2 のシリアル・データ受信による、STOP モード状態からの受信動作起動 (SNOOZEモード) を制御するレジスタです。

SSCm レジスタは、16ビット・メモリ操作命令で設定します。

またSSCmレジスタの下位8ビットは、SSCmLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SSCm レジスタは0000Hになります。

注意 SNOOZEモード時の最大転送レートは、次のようになります。

- CSI00, CSI20の場合：～1 Mbps
- UART0, UART2の場合：4800 bpsのみ
(オプション・バイト(000C2H)のFRQSEL4を0に設定している場合に使用可能です)

図 17 - 22 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) のフォーマット

アドレス：F0138H, F0139H (SSC0), F0178H, F0179H (SSC1)注 リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCm	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SSECm	SWCm

SSECm	SNOOZEモード時の通信エラー割り込み発生許可／停止の選択
0	エラー割り込み(INTSRE0/INTSRE2)発生許可
1	エラー割り込み(INTSRE0/INTSRE2)発生停止

• SNOOZEモード時のUART受信で、SWCm = 1かつEOCmn = 1の時のみ、SSECmビットを1/0に設定することができます。その他の場合は、SSECmビットを0に設定してください。

• SSECm, SWCm = 1, 0は設定禁止です。

SWCm	SNOOZEモードの設定
0	SNOOZEモード機能を使用しない
1	SNOOZEモード機能を使用する

• STOPモード中のハードウェア・トリガ信号で、STOPモードを解除し、CPUを動作させることなく、簡易SPI (CSI)/UARTの受信動作を行います(SNOOZEモード)。

• SNOOZEモード機能は、CPU／周辺ハードウェア・クロック(fCLK)に高速オンチップ・オシレータ・クロックが選択されているときのみ設定可能です。高速オンチップ・オシレータ・クロック以外が選択されている場合は設定禁止です。オプション・バイト(000C2H)のFRQSEL4を1に設定している場合でUARTとして使用する場合も設定禁止です。

• SNOOZEモードを使用する場合でも、通常動作モード時はSWCmを0に設定し、STOPモードへ移行する直前にSWCmを1に変更してください。

またSTOPモードから通常動作モードへ復帰後、必ずSWCmを0に変更してください。

注 80-100ピン製品のみ。

注意 SSECm, SWCm = 1, 0は設定禁止です。

図 17 - 23 SNOOZEモードでUART受信したときの割り込み

EOCmnビット	SSECmビット	正常受信時	受信エラー時
0	0	INTSRxが発生する	INTSRxが発生する
0	1	INTSRxが発生する	INTSRxが発生する
1	0	INTSRxが発生する	INTSRExが発生する
1	1	INTSRxが発生する	割り込みは発生しない

17.3.15 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1、ISC0ビットは、UART0でLIN-bus通信動作を実現するときに、外部割り込みやタイマ・アレイ・ユニットと連携するために使用します。

ビット0に1を設定すると、シリアル・データ入力(RxD0)端子の入力信号が外部割り込み入力(INTP0)として選択されます。これによって、ウエイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると、シリアル・データ入力(RxD0)端子の入力信号がタイマ入力として選択されます。これによって、ウエイクアップ信号検出とブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

SSIE00ビットは、CSI00通信かつスレーブ・モード時にチャンネル0のSSI00端子入力を制御するビットです。SSI00端子にハイ・レベルが入力されている期間は、シリアル・クロックが入力されても送受信動作を行いません。SSI00端子にロウ・レベルが入力されている期間は、シリアル・クロックが入力されると各モード設定にしたがって送受信動作を行います。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCレジスタは00Hになります。

図 17 - 24 入力切り替え制御レジスタ (ISC)のフォーマット

アドレス：F0073H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ISC	SSIE00	0	0	0	0	0	ISC1	ISC0
SSIE00	CSI00通信かつスレーブ・モード時のチャンネル0のSSI00入力の設定							
0	SSI00端子入力の無効							
1	SSI00端子入力の有効							
ISC1	タイマ・アレイ・ユニット0のチャンネル3の入力切り替え							
0	TI03端子の入力信号をタイマ入力とする(通常動作)							
1	RxD0端子の入力信号をタイマ入力とする(ウエイクアップ信号検出ブレーク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)。							
ISC0	外部割り込み(INTP0)の入力切り替え							
0	INTP0端子の入力信号を外部割り込み入力とする(通常動作)							
1	RxD0端子の入力信号を外部割り込み入力とする(ウエイクアップ信号検出)							

注意 ビット6-2に必ず0を設定してください。

17.3.16 ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

簡易SPI (CSI), 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、対象チャネルの動作クロック (fMCK) で同期化のあと、2クロックの一致検出を行います。ノイズ・フィルタ無効時は、対象チャネルの動作クロック (fMCK) で同期化だけ行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図17-25 ノイズ・フィルタ許可レジスタ0 (NFEN0)のフォーマット

アドレス : F0070H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	SNFEN30	0	SNFEN20	0	SNFEN10	0	SNFEN00

SNFEN30	RxD3端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD3端子として使用するときは、SNFEN30 = 1に設定してください。	
RxD3以外の機能として使用するときは、SNFEN30 = 0に設定してください。	

SNFEN20	RxD2端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD2端子として使用するときは、SNFEN20 = 1に設定してください。	
RxD2以外の機能として使用するときは、SNFEN20 = 0に設定してください。	

SNFEN10	RxD1端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。	
RxD1以外の機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	RxD0端子のノイズ・フィルタ使用可否
0	ノイズ・フィルタ OFF
1	ノイズ・フィルタ ON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。	
RxD0以外の機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 30-64ピン製品のビット7-5, 3, 1, 80-100ピン製品のビット7, 5, 3, 1には、必ず0を設定してください。

17.3.17 シリアル入出力端子のポート機能を制御するレジスタ

シリアル・アレイ・ユニット使用時は、対象チャネルと兼用するポートに関するレジスタ (ポート・モード・レジスタ (PMxx), ポート・レジスタ (Pxx), ポート入力モード・レジスタ (PIMxx), ポート出力モード・レジスタ (POMxx), ポート・モード・コントロール・レジスタ (PMCxx)) を設定してください。

詳細は、4.3.1 ポート・モード・レジスタ (PMxx), 4.3.2 ポート・レジスタ (Pxx), 4.3.4 ポート入力モード・レジスタ (PIMxx), 4.3.5 ポート出力モード・レジスタ (POMxx), 4.3.6 ポート・モード・コントロール・レジスタ (PMCxx) を参照してください。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート (P02/ANI17/SO10/TxD1 など) をシリアル・データ出力またはシリアル・クロック出力として使用するとき、各ポートに対応するポート・モード・コントロール・レジスタ (PMCxx) のビットおよびポート・モード・レジスタ (PMxx) のビットに0を、ポート・レジスタ (Pxx) のビットに1を設定してください。

なお、N-ch オープン・ドレイン出力 (VDD 耐圧^{注1} / EVDD 耐圧^{注2}) モードで使用する場合は、各ポートに対応するポート出力モード・レジスタ (POMxx) のビットに1を設定してください。異電位 (1.8V系, 2.5V系, 3V系) で動作している外部デバイスと接続する場合は、4.4.5 入出力バッファによる異電位 (1.8 V系, 2.5 V系, 3 V系) 対応を参照してください。

(例) P02/ANI17/SO10/TxD1 をシリアル・データ出力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC02ビットを0に設定

ポート・モード・レジスタ0のPM02ビットを0に設定

ポート・レジスタ0のP02ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P03/ANI16/SI10/RxD1/SDA10 など) をシリアル・データ入力またはシリアル・クロック入力として使用するとき、各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。また、ポート・モード・コントロール・レジスタ (PMCxx) のビットに0を設定してください。このときポート・レジスタ (Pxx) のビットは、0または1のどちらでもかまいません。

なお、TTL入力バッファで使用する場合は、各ポートに対応するポート入力モード・レジスタ (PIMxx) のビットに1を設定してください。異電位 (1.8V系, 2.5V系, 3V系) で動作している外部デバイスと接続する場合は、4.4.5 入出力バッファによる異電位 (1.8 V系, 2.5 V系, 3 V系) 対応を参照してください。

(例) P03/ANI16/SI10/RxD1/SDA10 をシリアル・データ入力として使用する場合

ポート・モード・コントロール・レジスタ0のPMC03ビットを0に設定

ポート・モード・レジスタ0のPM03ビットを1に設定

ポート・レジスタ0のP03ビットを0または1に設定

注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

17.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、シリアル・インタフェース用端子をポート機能として使用できます。

17.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0)で行います。

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニット0を停止するときは、ビット2 (SAU0EN)に0を設定してください。シリアル・アレイ・ユニット1を停止するときは、ビット3 (SAU1EN)に0を設定してください。

図 17 - 26 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0)の設定

(a)周辺イネーブル・レジスタ0 (PER0)..... 停止するSAUmのビットのみ0に設定する

	7	6	5	4	3	2	1	0
PER0	RTCEN ×	IICA1EN注 ×	ADCEN ×	IICA0EN ×	SAU1EN 0/1	SAU0EN 0/1	TAU1EN注 ×	TAU0EN ×
SAUmの入カクロックの制御 0 : 入カクロック供給停止 1 : 入カクロック供給								

注 80ピン、100ピン製品のみ。

注意1. SAUmEN = 0の場合は、シリアル・アレイ・ユニットmの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります。

ただし、次のレジスタは除きます。

- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ0, 1, 3, 5 (PIM0, PIM1, PIM3, PIM5)
- ・ポート出力モード・レジスタ0, 1, 3, 5, 7 (POM0, POM1, POM3, POM5, POM7)
- ・ポート・モード・レジスタ0, 1, 3, 5-7 (PM0, PM1, PM3, PM5-PM7)
- ・ポート・レジスタ0, 1, 3, 5-7 (P0, P1, P3, P5-P7)

注意2. 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64ピン製品 : ビット1, 6

備考 × : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

17.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図 17-27 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ m (STm)

..... 各チャンネルの通信／カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STm	0	0	0	0	0	0	0	0	0	0	0	0	STm3注 0/1	STm2注 0/1	STm1 0/1	STm0 0/1

1 : SEmn ビットを0にクリアし、通信動作を停止

※ STmn ビットはトリガ・ビットなので、SEmn = 0になるとすぐSTmn ビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ m (SEm)

..... 各チャンネルのシリアル送受信動作許可／停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEm	0	0	0	0	0	0	0	0	0	0	0	0	SEm3注 0/1	SEm2注 0/1	SEm1 0/1	SEm0 0/1

0 : 動作停止状態

※ SEm レジスタはRead Onlyのステータス・レジスタであり、STm レジスタにて動作停止にします。

動作を停止したチャンネルは、SOm レジスタのCKOmn ビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ m (SOEm)

..... 各チャンネルのシリアル通信動作の出力許可／停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3注 0/1	SOEm2注 0/1	SOEm1 0/1	SOEm0 0/1

0 : シリアル通信動作による出力停止

※ シリアル出力を停止したチャンネルは、SOm レジスタのSOmn ビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ m (SOm) 各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOm	0	0	0	0	CKOm3 0/1	CKOm2 0/1	CKOm1 0/1	CKOm0 0/1	0	0	0	0	SOm3注 0/1	SOm2注 0/1	SOm1 0/1	SOm0 0/1

1 : シリアル・クロック出力値が“1”

1 : シリアル・データ出力値が“1”

※ 各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKOmn, SOmn ビットに“1”を設定してください。

注 シリアル・アレイ・ユニット1の場合、80-100ピン製品のみ。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3)

備考2. : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

17.5 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- マスタ／スレーブの選択
- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 マスタ通信時 : Max. fCLK/2 (CSI00のみ)
マスタ通信時 : Max. fCLK/4
スレーブ通信時 : Max. fMCK/6

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

以下のチャンネルの簡易SPI (CSI)は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でSCK入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。以下の簡易SPI (CSI)のみ設定可能です。

- 30-64ピン製品 : CSI00
- 80, 100ピン製品 : CSI00, CSI20

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第34章 または第35章 電気的特性を参照してください。

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)に対応しているチャンネルは、SAU0のチャンネル0-3とSAU1のチャンネル0-3です。

○30, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○36, 40, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○80, 100ピン製品

ユニット	チャネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)の通信動作は、以下の7種類があります。

- マスタ送信 (17.5.1項を参照)
- マスタ受信 (17.5.2項を参照)
- マスタ送受信 (17.5.3項を参照)
- スレーブ送信 (17.5.4項を参照)
- スレーブ受信 (17.5.5項を参照)
- スレーブ送受信 (17.5.6項を参照)
- SNOOZE モード機能 (17.5.7項を参照)

17.5.1 マスタ送信

マスタ送信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラから他デバイスヘデータを送信する動作です。

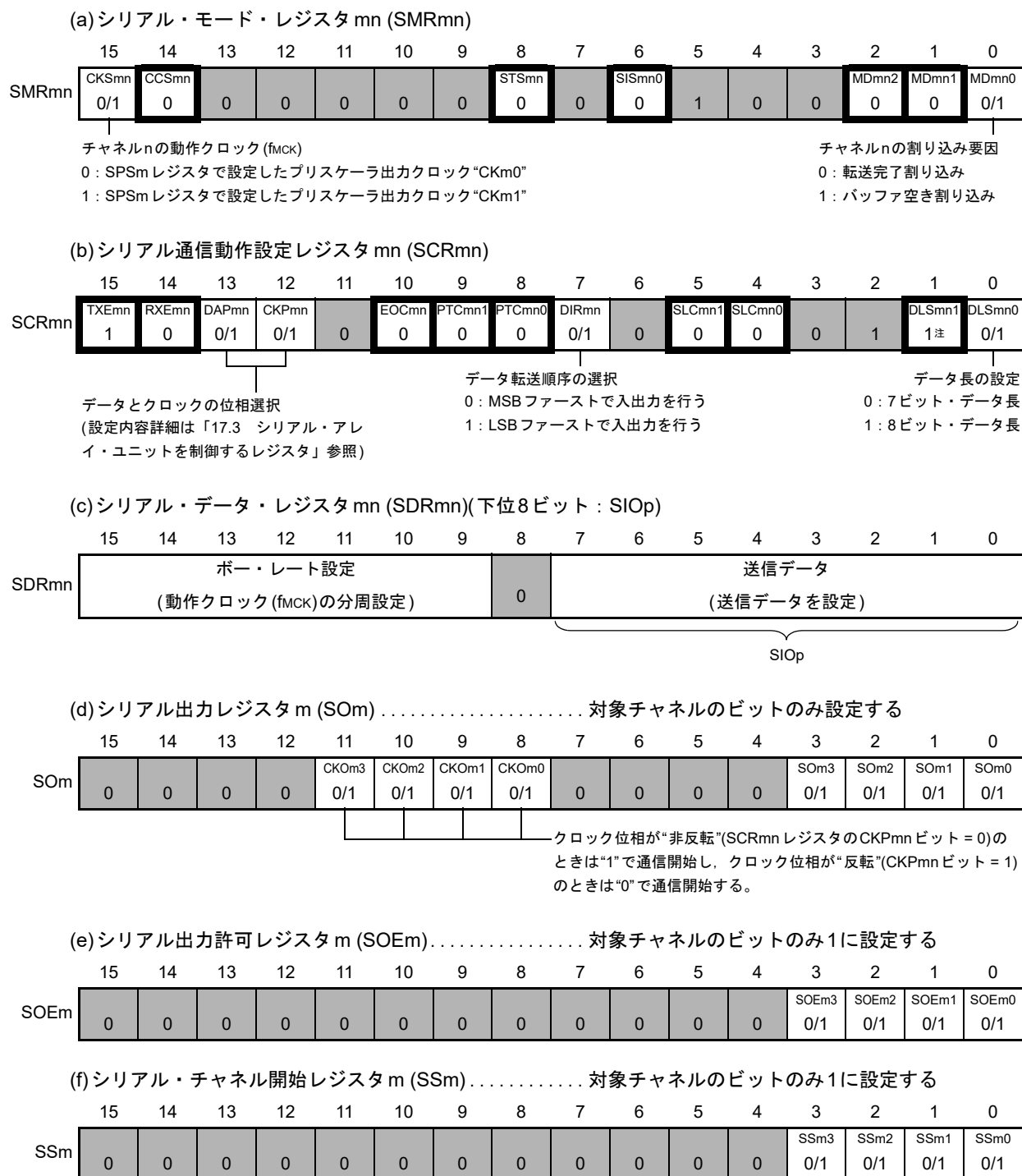
簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO30	SCK31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能							
エラー検出フラグ	なし							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK (2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合 : 非反転 ・ CKPmn = 1の場合 : 反転							
データ方向	MSB ファーストまたはLSB ファースト							

注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 28 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)のマスタ送信時のレジスタ設定内容例



注 SCR00, SCR01レジスタと、80-100ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考 1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
 mn = 00-03, 10-13

備考 2. : 簡易SPI (CSI) マスタ送信モードでは設定固定 : 設定不可 (初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 29 マスタ送信の初期設定手順

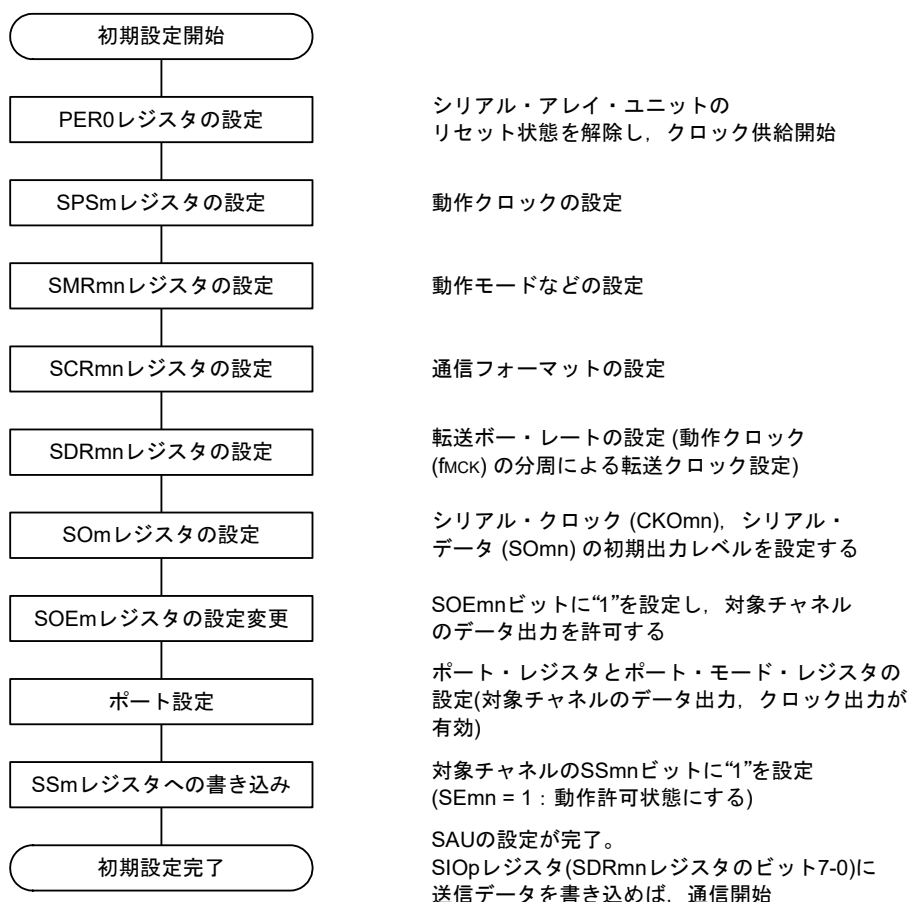


図 17 - 30 マスタ送信の中断手順

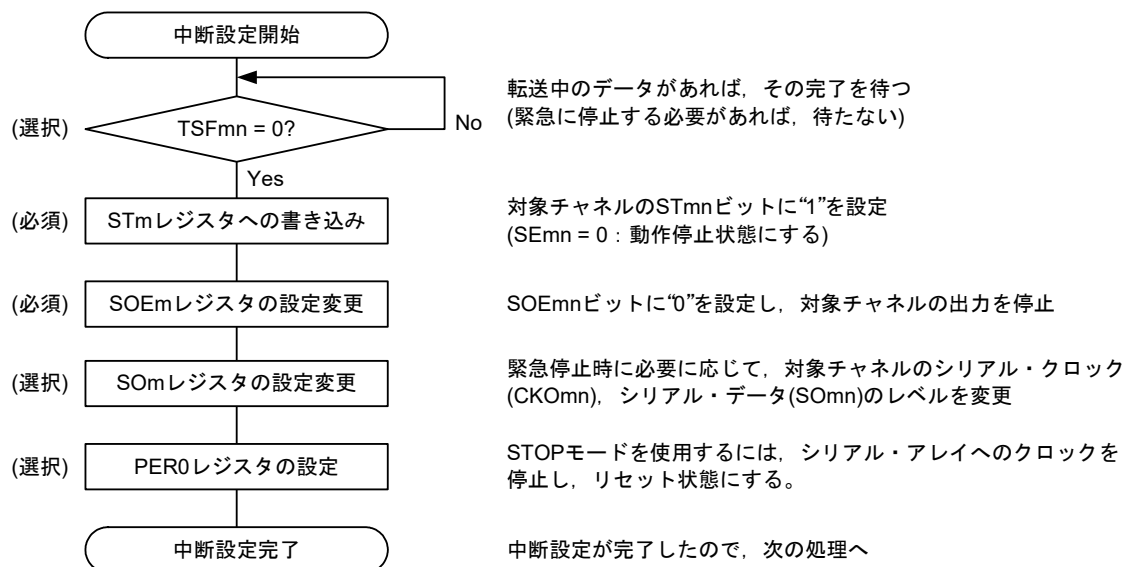
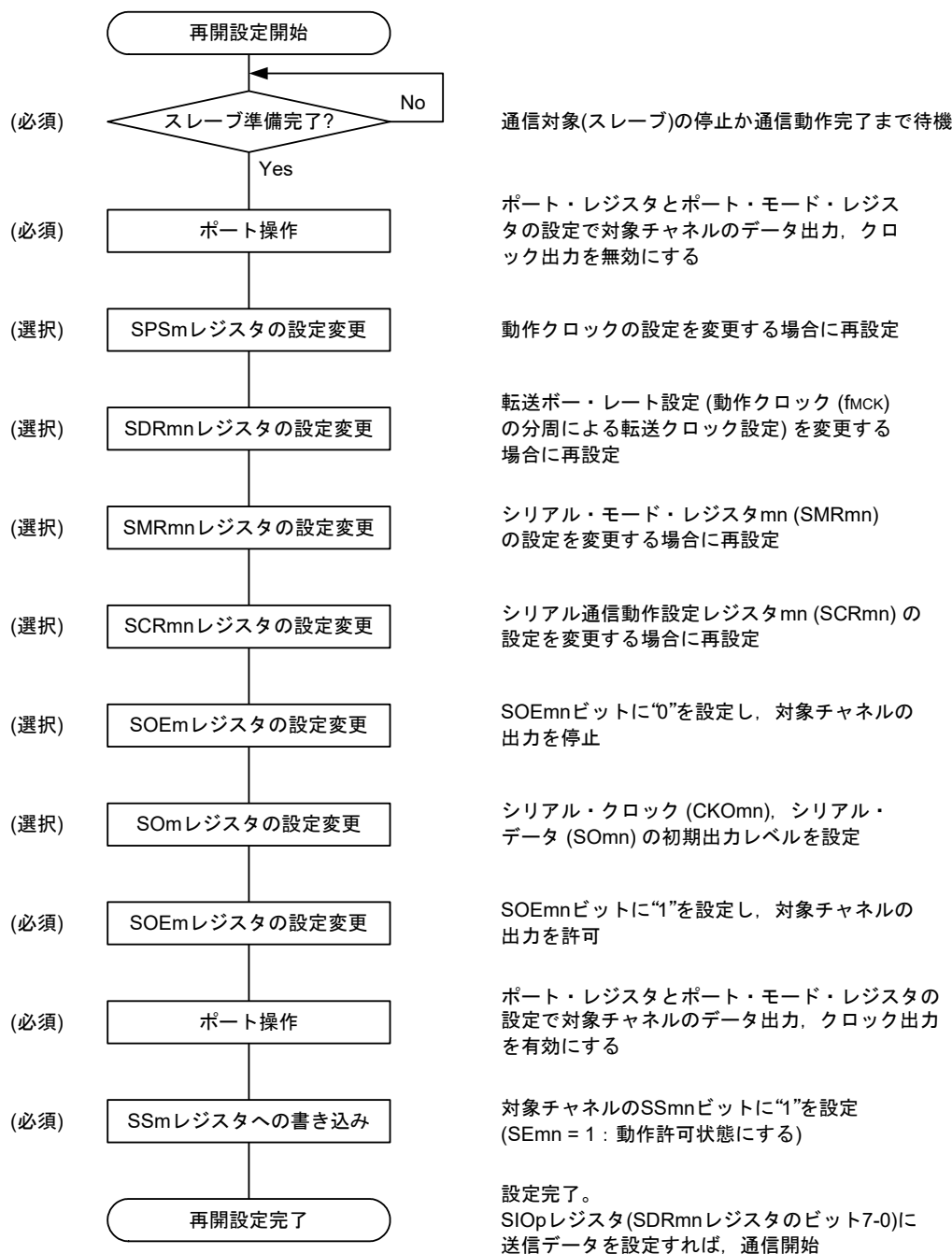


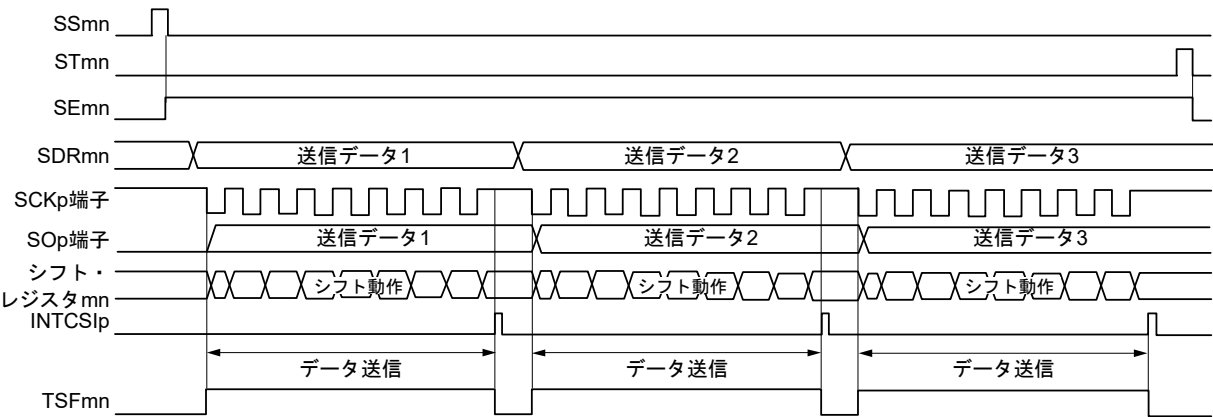
図 17 - 31 マスタ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

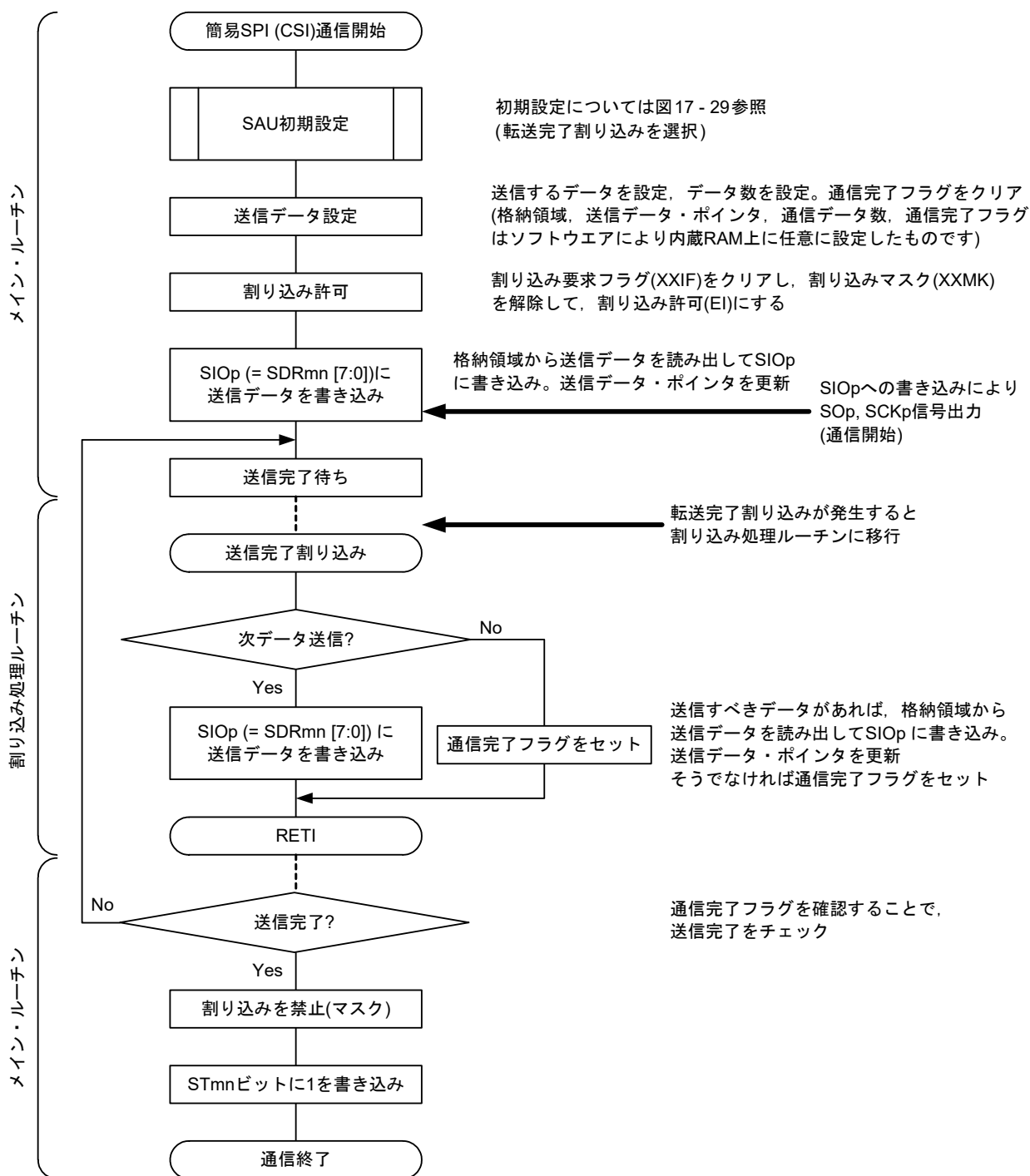
(3) 処理フロー (シングル送信モード時)

図 17 - 32 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ 1 : DAPmn = 0, CKPmn = 0)



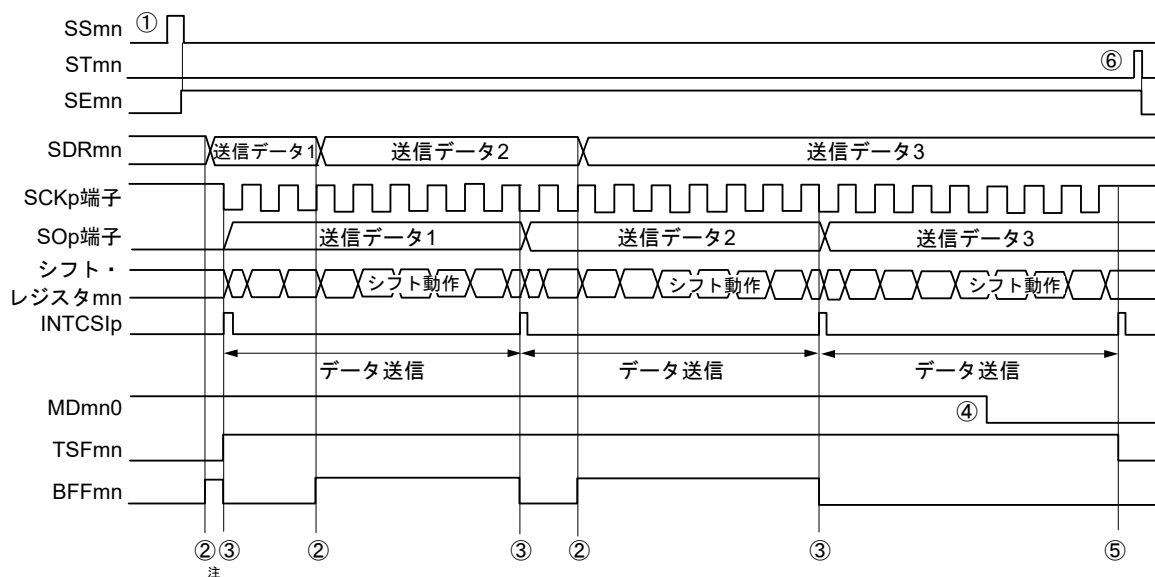
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図 17 - 33 マスタ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 17 - 34 マスタ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

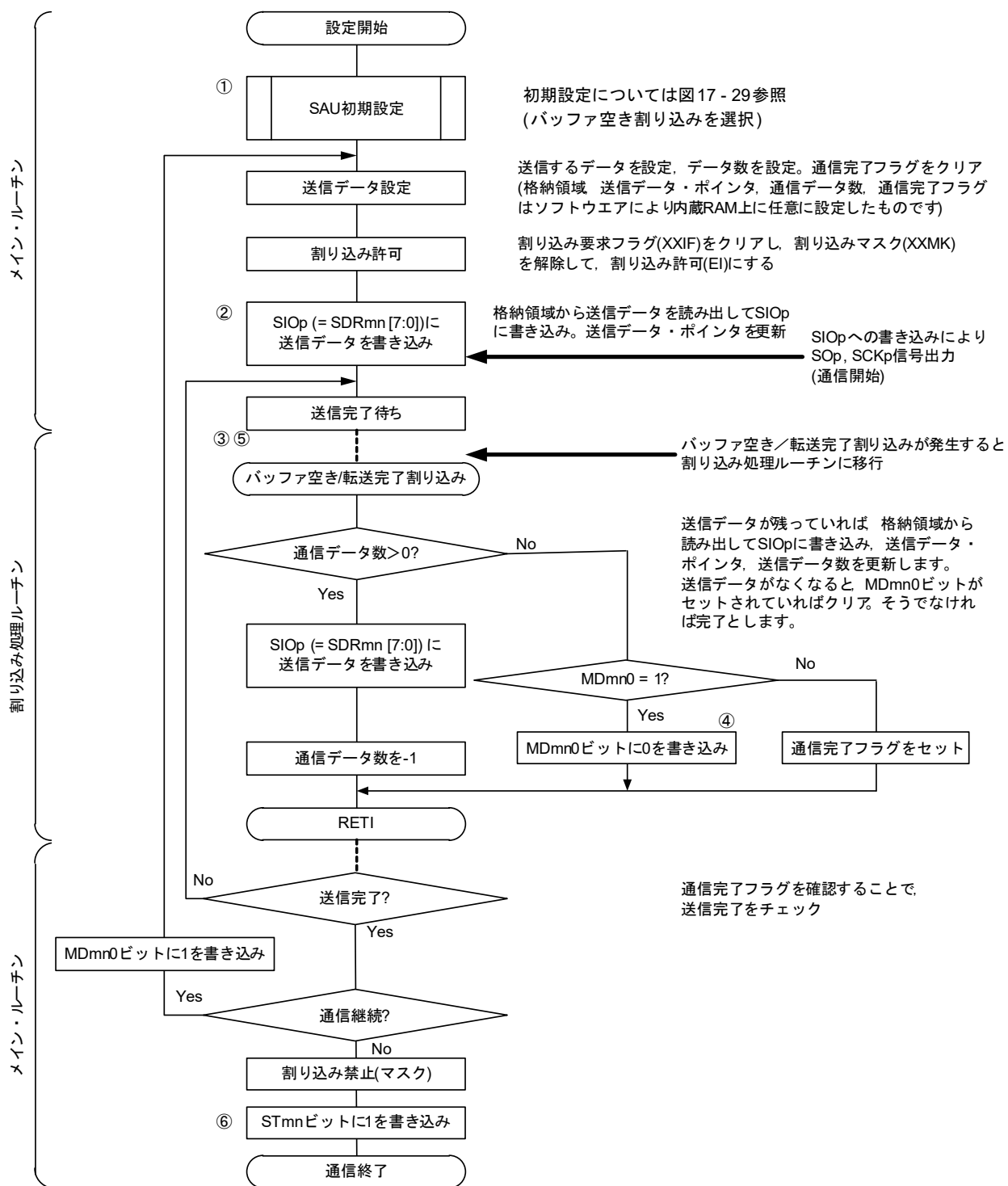


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図17-35 マスタ送信(連続送信モード時)のフロー・チャート



17.5.2 マスタ受信

マスタ受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

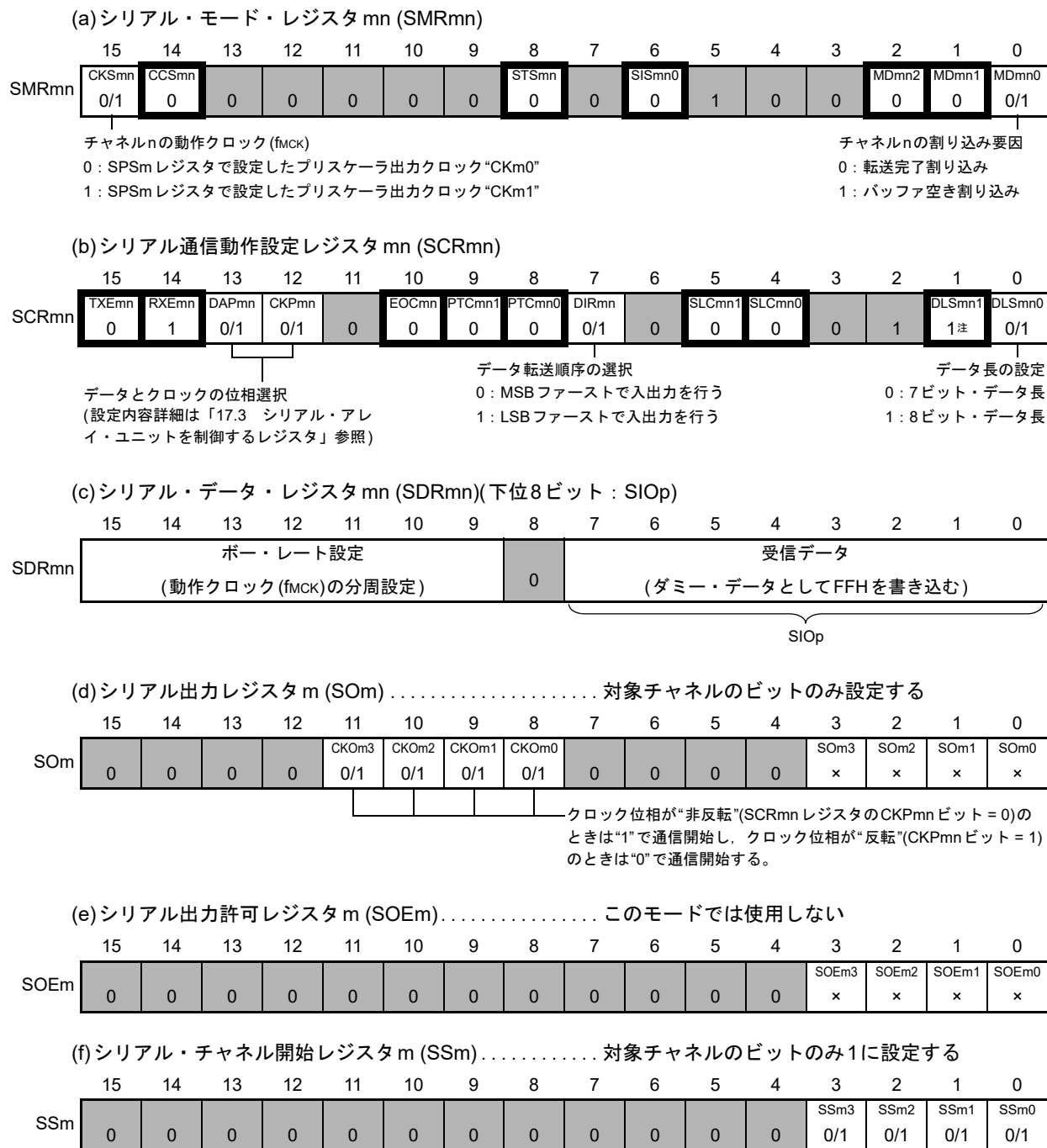
簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128) [Hz] fCLK : システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合 : 非反転 ・ CKPmn = 1の場合 : 反転							
データ方向	MSB ファーストまたはLSB ファースト							

注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 36 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)のマスタ受信時のレジスタ設定内容例



注 SCR00, SCR01 レジスタと、80-100ピン製品の SCR10, SCR11 レジスタのみ。その他は1固定になります。

備考 1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

mn = 00-03, 10-13

備考 2. ■ : 簡易SPI (CSI) マスタ受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 37 マスタ受信の初期設定手順

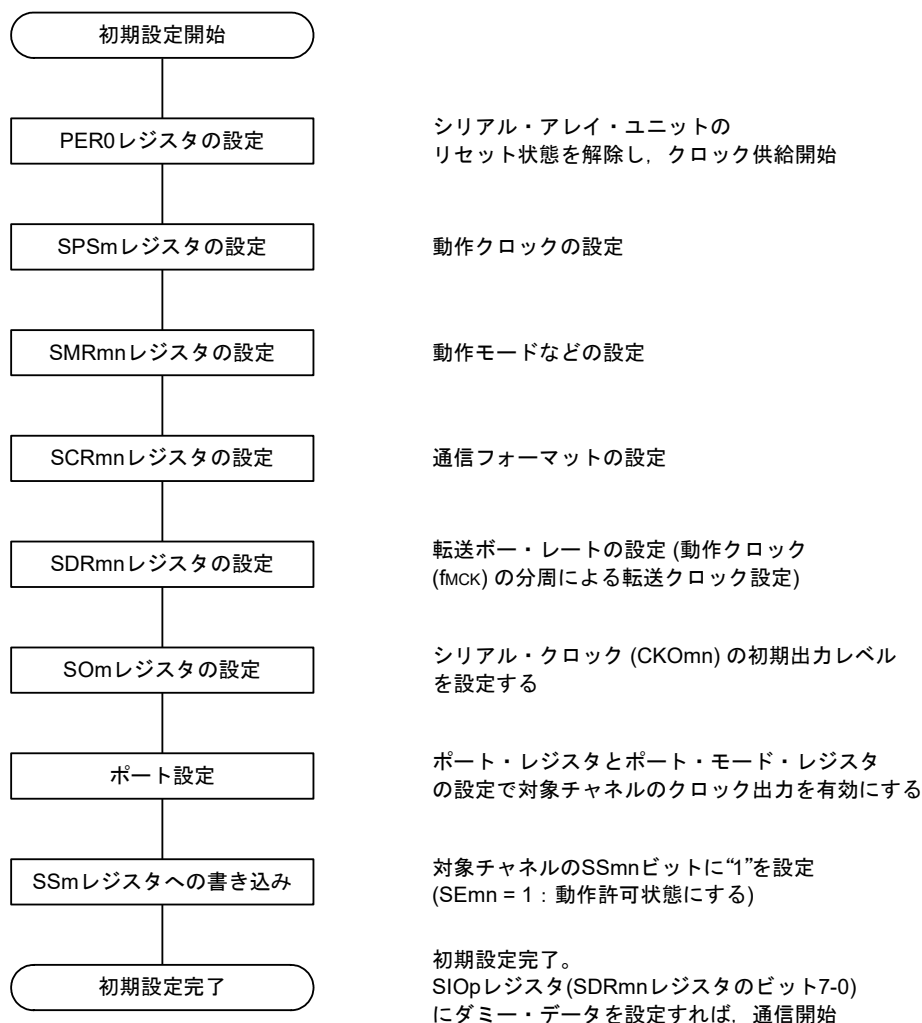


図 17 - 38 マスタ受信の中断手順

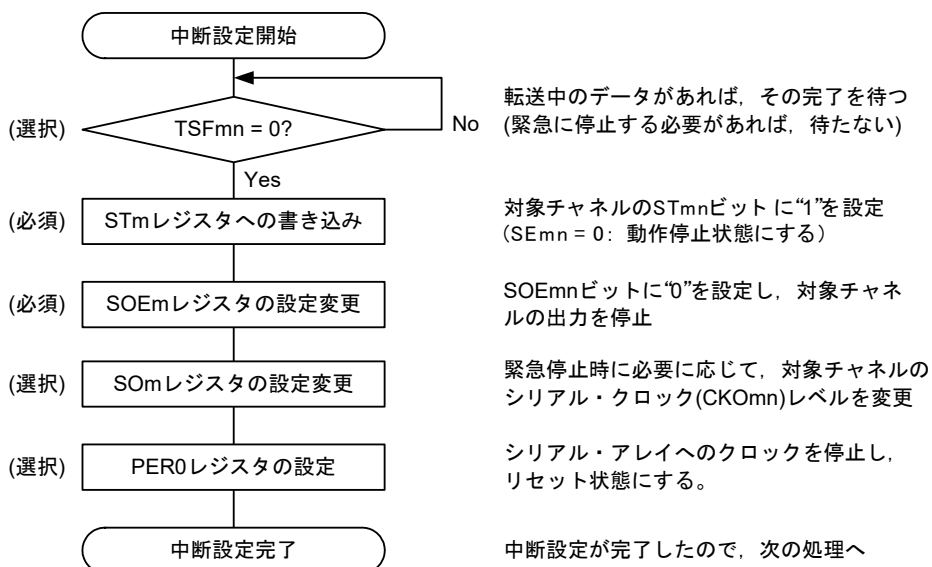
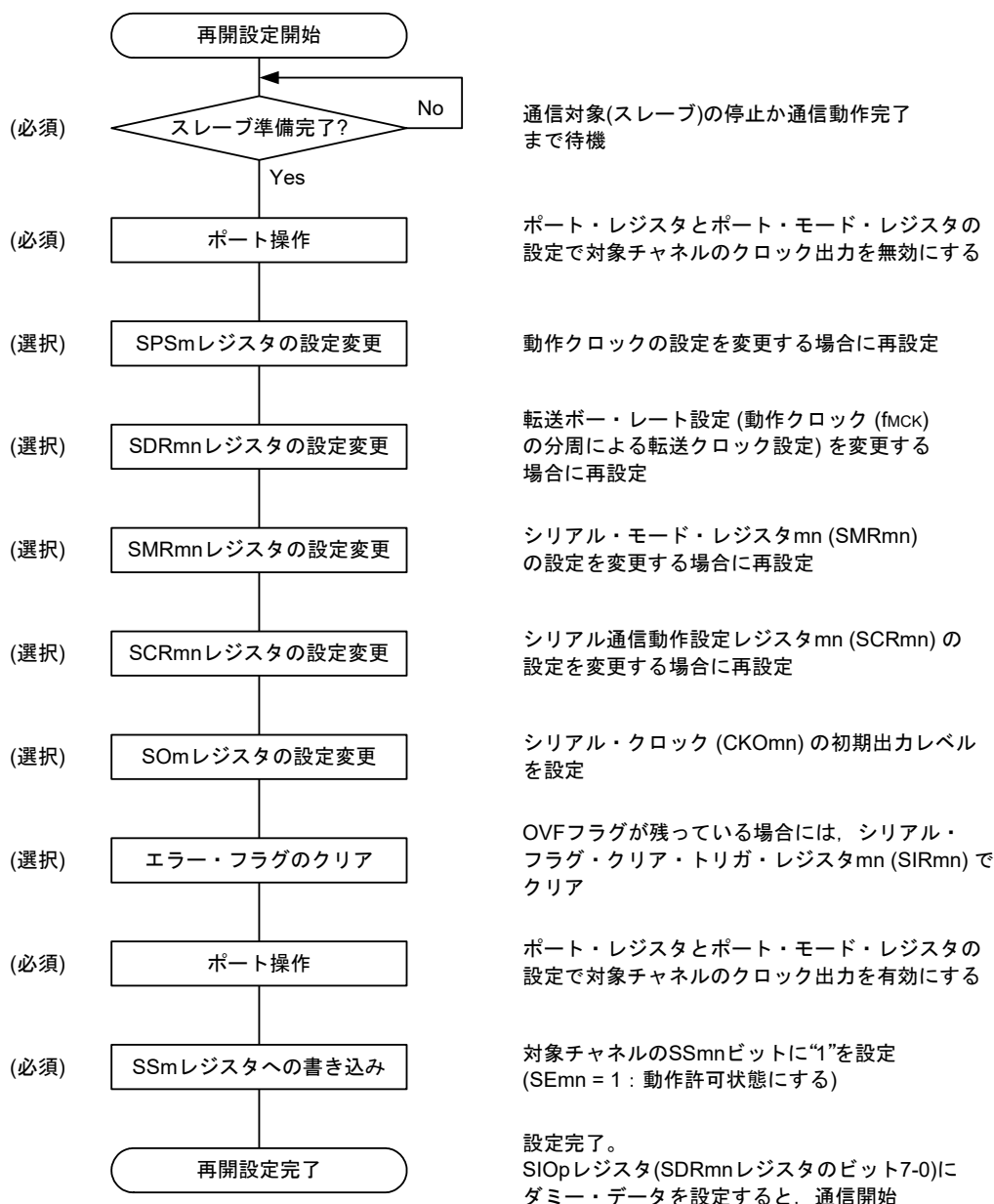


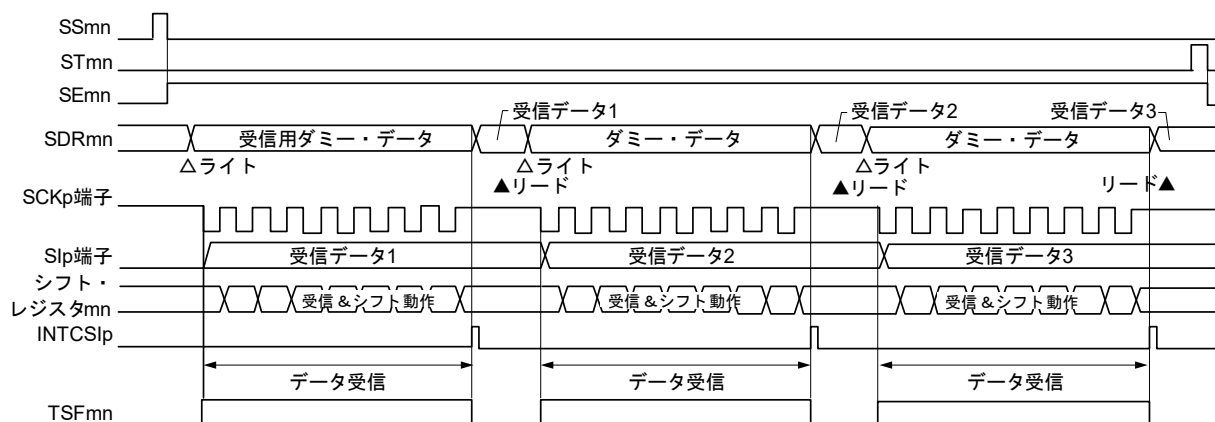
図 17 - 39 マスタ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合は、通信対象(スレーブ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

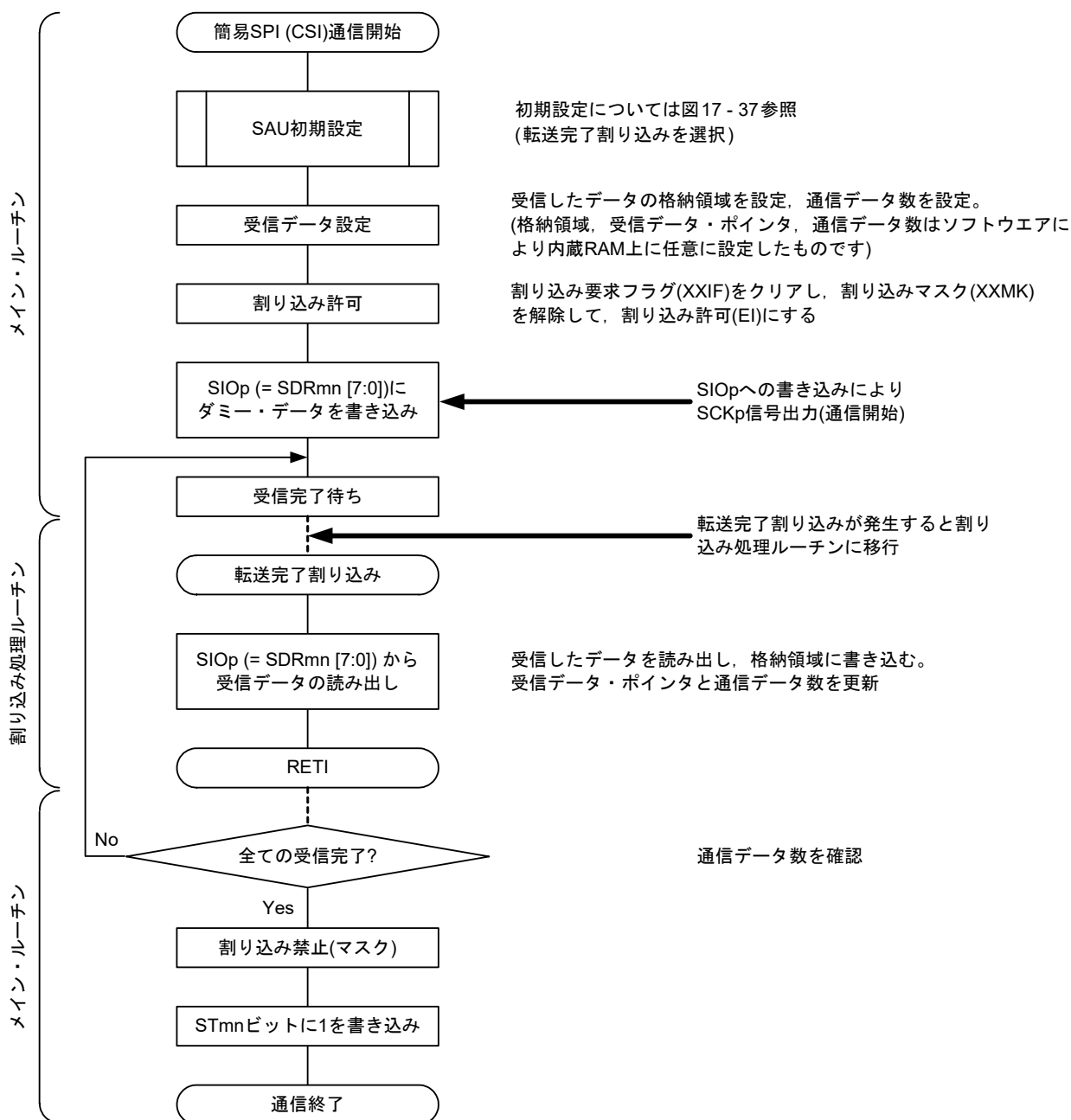
(3) 処理フロー (シングル受信モード時)

図 17 - 40 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



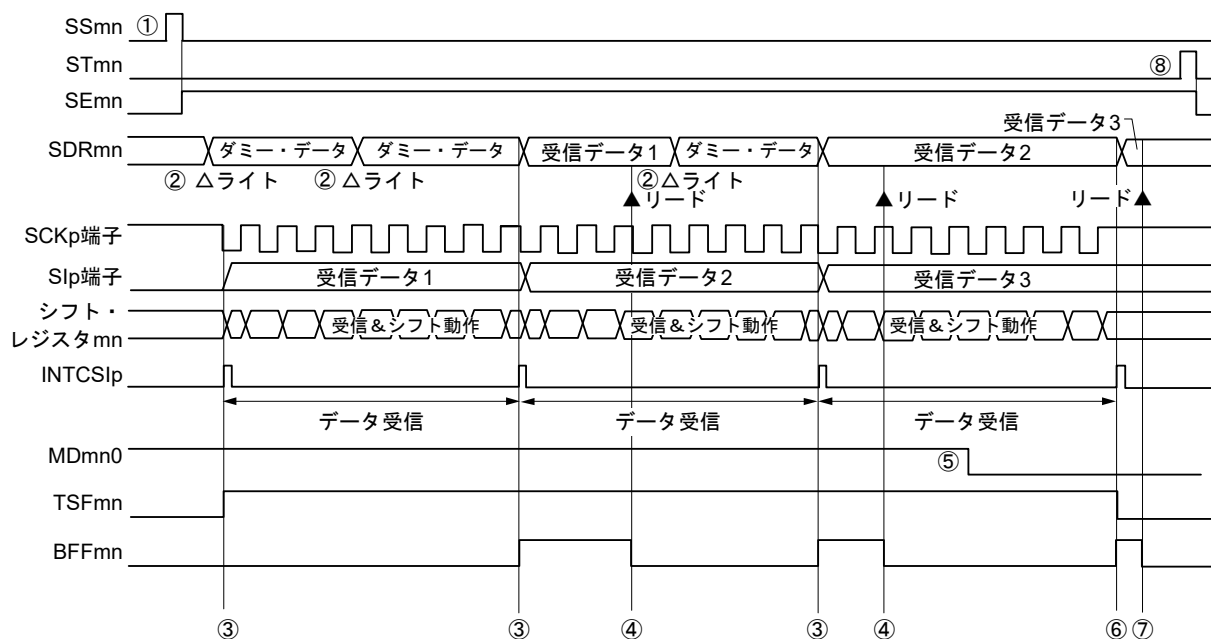
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図 17 - 41 マスタ受信(シングル受信モード時)のフロー・チャート



(4) 処理フロー (連続受信モード時)

図 17 - 42 マスタ受信 (連続受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



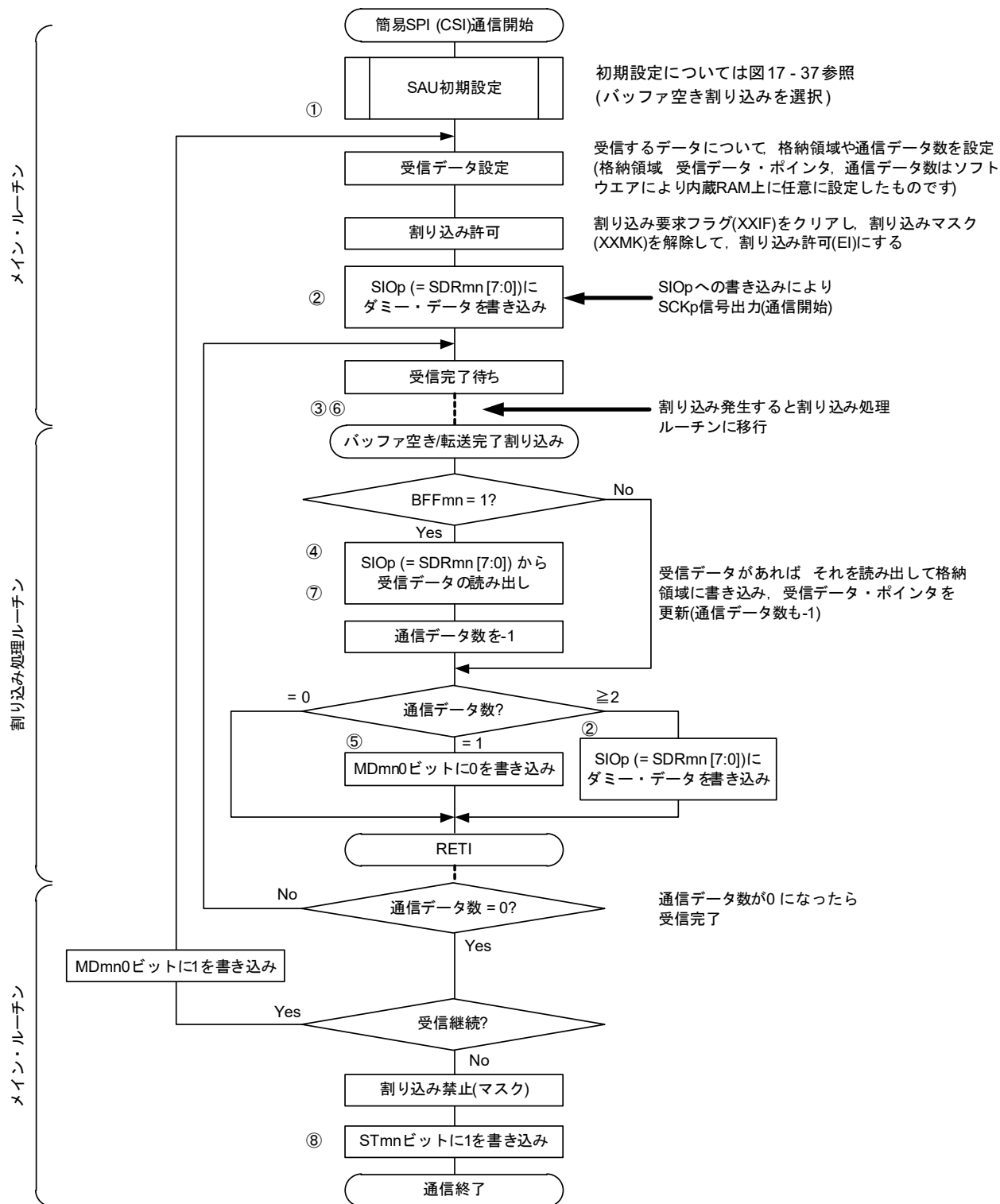
注意 MDmn0ビットは、動作中でも書き換えることができます。

ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の①～⑧は、図 17 - 43 マスタ受信 (連続受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図17-43 マスタ受信(連続受信モード時)のフロー・チャート



備考 図中の①～⑧は、図17-42 マスタ受信(連続受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.3 マスタ送受信

マスタ送受信とは、このRL78 マイクロコントローラが転送クロックを出力し、RL78 マイクロコントローラと他デバイスでデータを送受信する動作です。

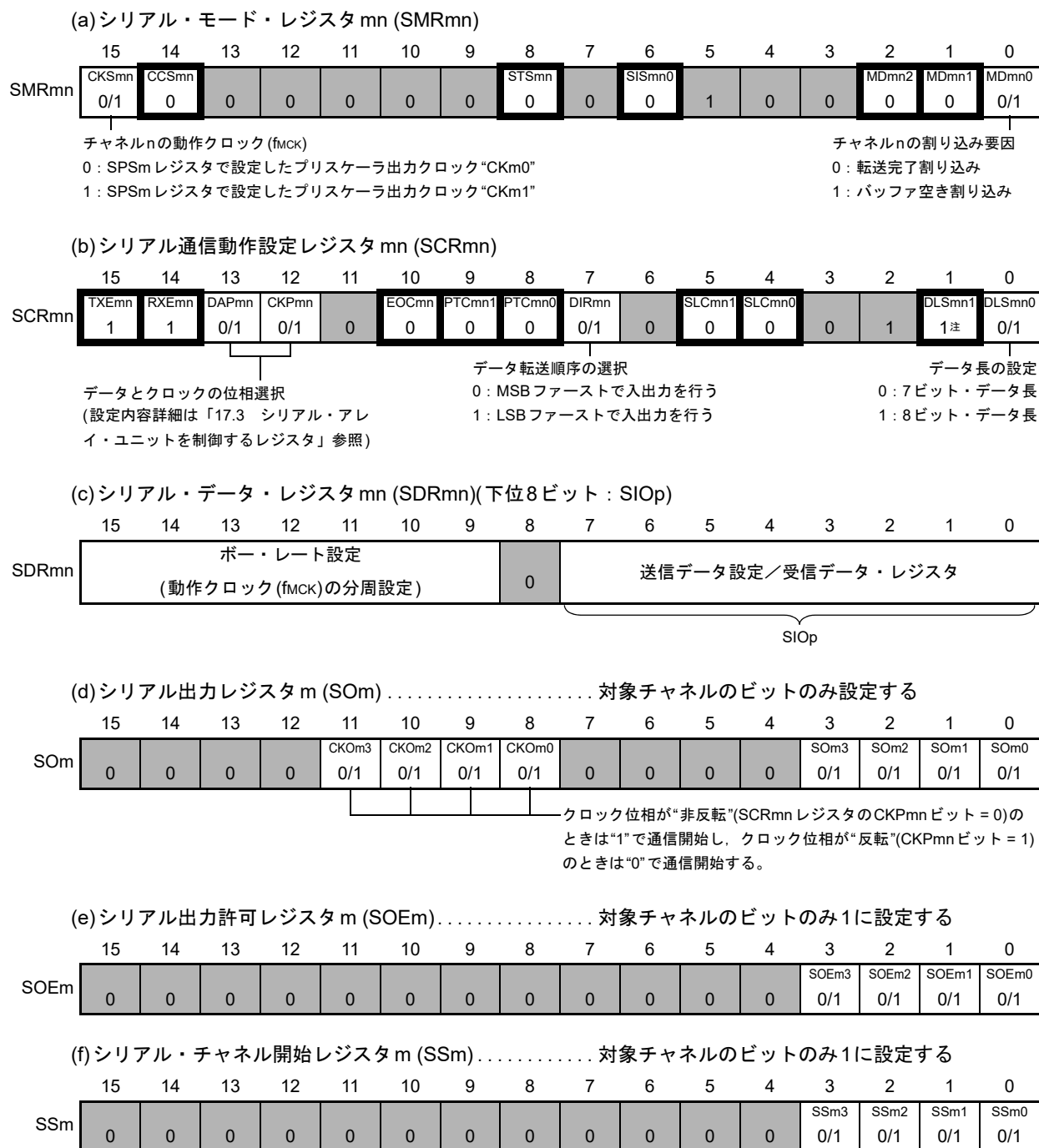
簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ							
転送データ長	7ビットまたは8ビット							
転送レート注	Max. fCLK/2 [Hz] (CSI00のみ), fCLK/4 [Hz] Min. fCLK/(2 × 2 ¹⁵ × 128)[Hz] fCLK : システム・クロック周波数							
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合 : シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合 : 非反転 ・ CKPmn = 1の場合 : 反転							
データ方向	MSB ファーストまたはLSB ファースト							

注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 44 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) のマスタ送受信時のレジスタ設定内容例



注 SCR00, SCR01 レジスタと、80-100ピン製品の SCR10, SCR11 レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
 mn = 00-03, 10-13

備考2. : 簡易 SPI (CSI) マスタ送受信モードでは設定固定 : 設定不可 (初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 45 マスタ送受信の初期設定手順

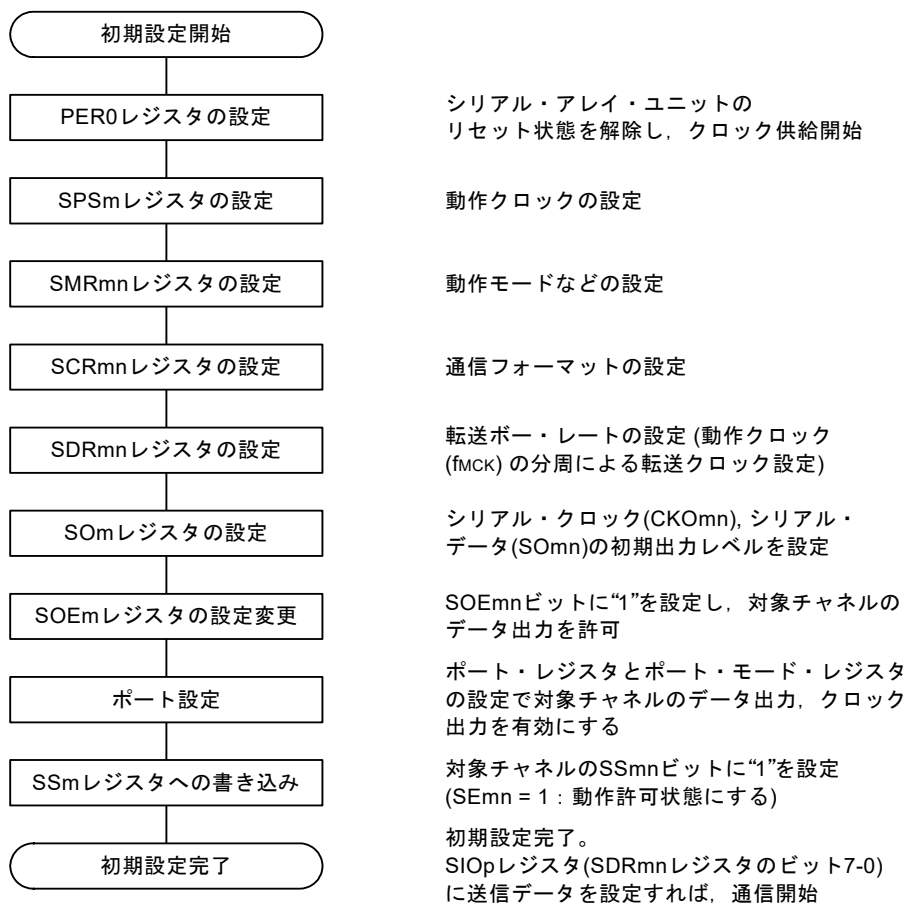


図 17 - 46 マスタ送受信の中断手順

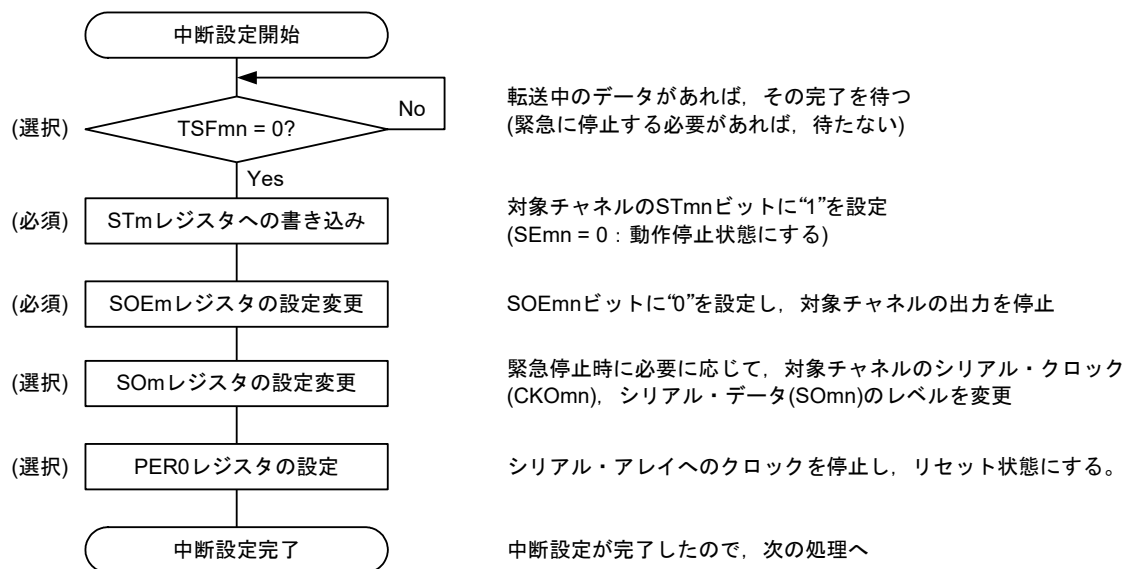
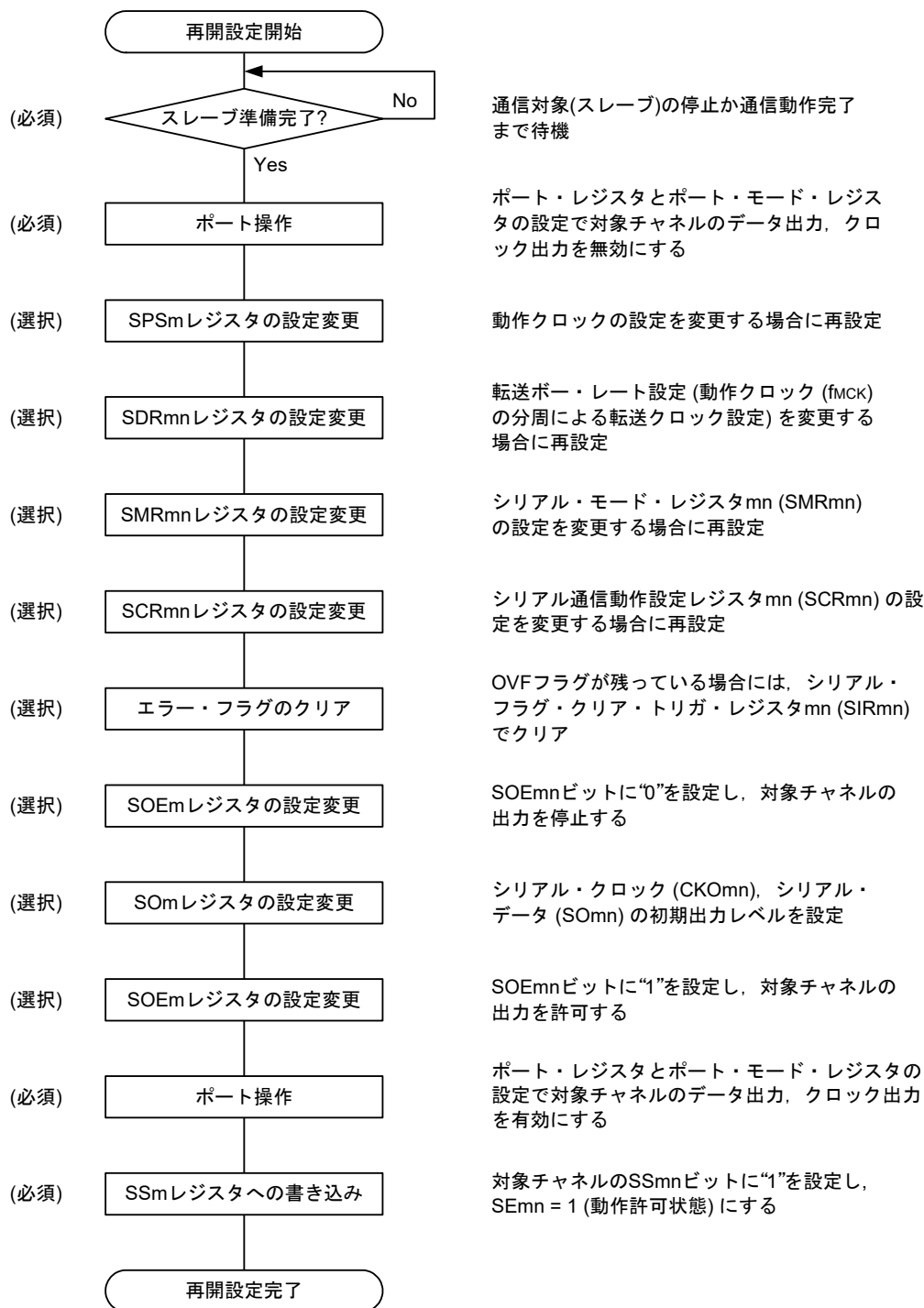
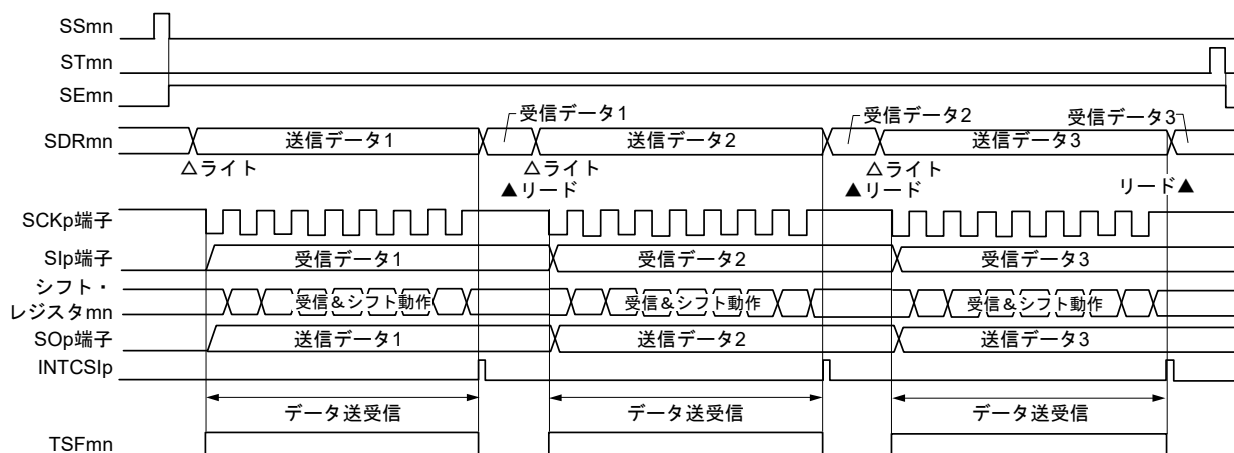


図 17 - 47 マスタ送受信の再開設定手順



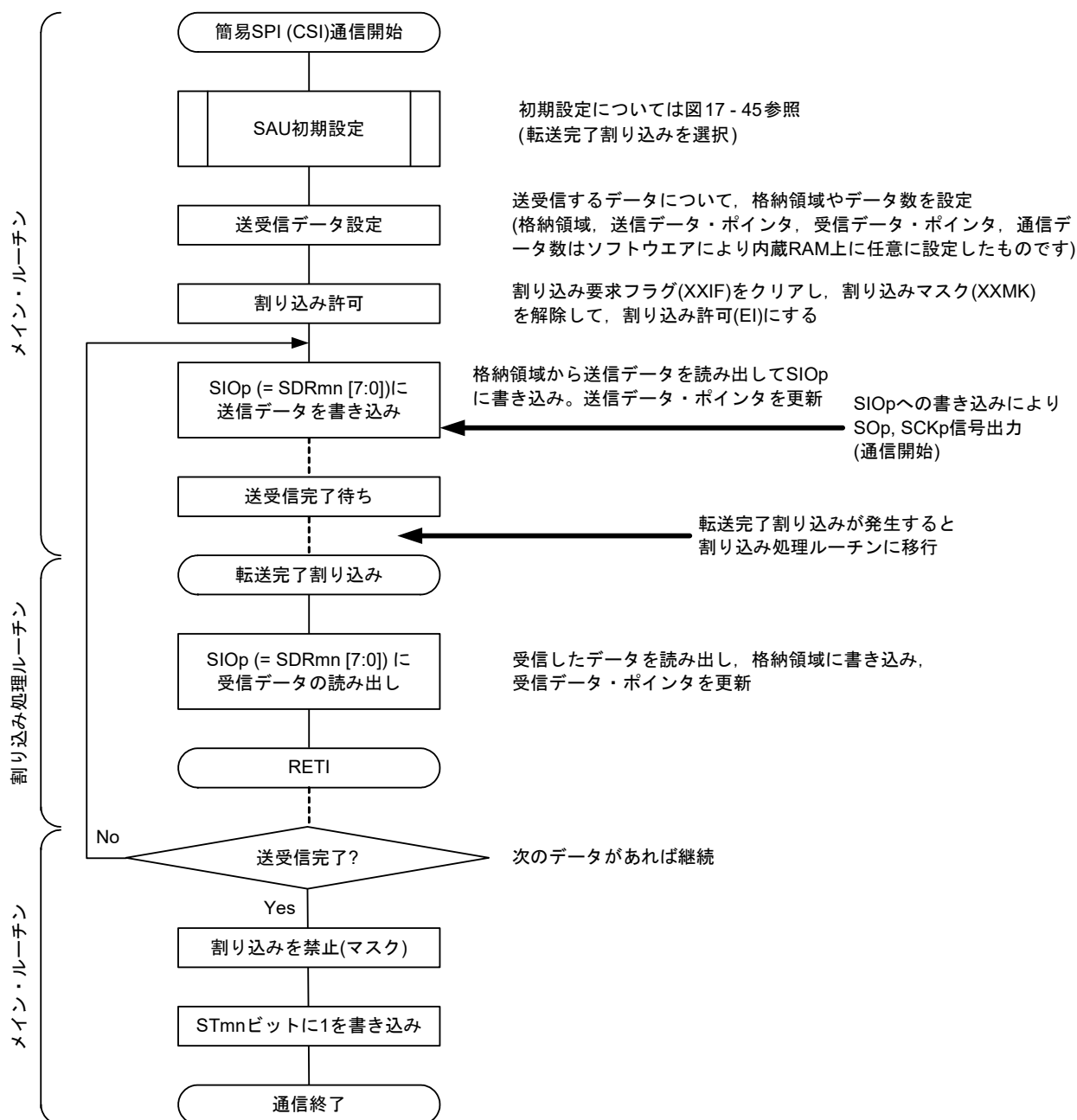
(3) 処理フロー (シングル送受信モード時)

図17-48 マスタ送受信 (シングル送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



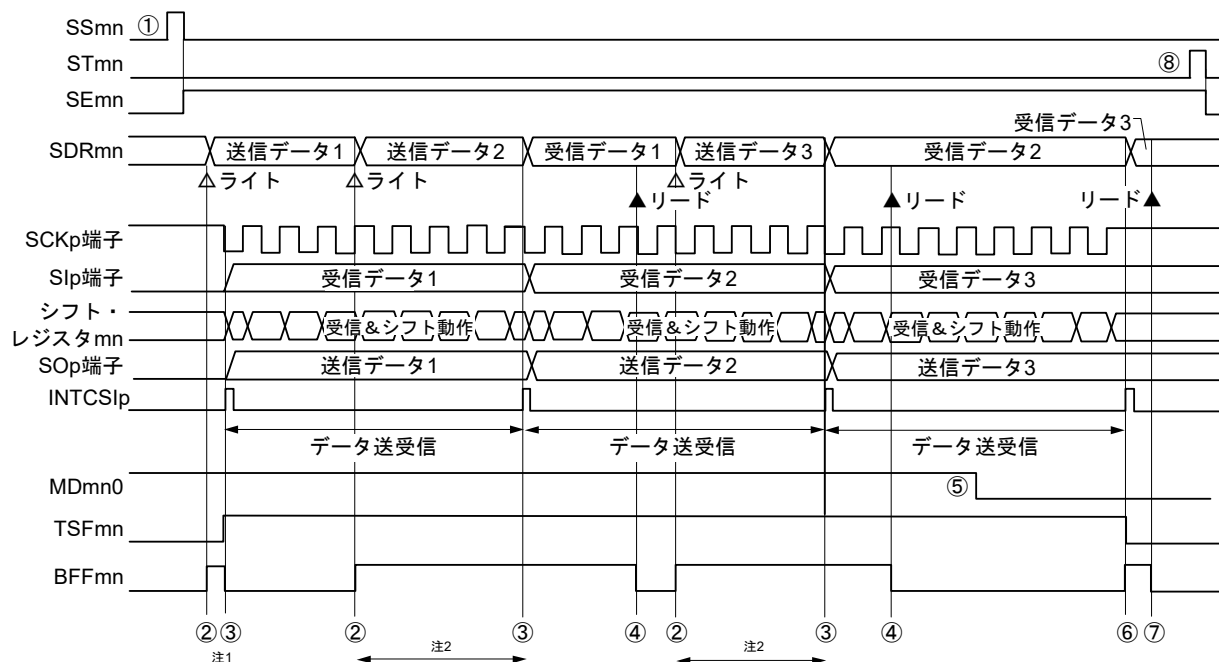
備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図17 - 49 マスタ送受信(シングル送受信モード時)のフロー・チャート



(4) 処理フロー (連続送受信モード時)

図17-50 マスタ送受信(連続送受信モード時)のタイミング・チャート (タイプ1: DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。

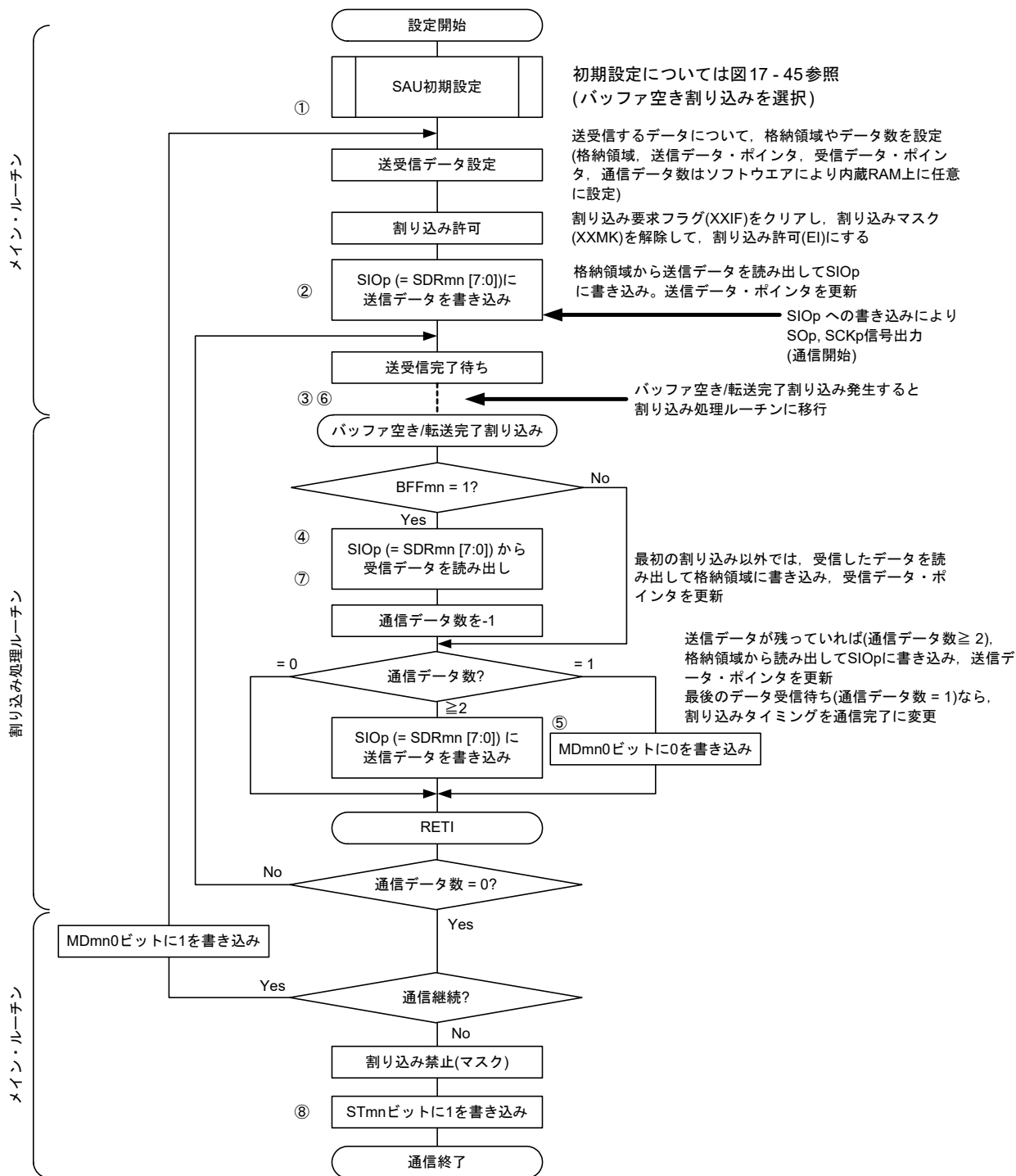
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図17-51 マスタ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m: ユニット番号 (m = 0, 1) n: チャネル番号 (n = 0-3) p: CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)

mn = 00-03, 10-13

図 17 - 51 マスタ送受信(連続送受信モード時)のフロー・チャート



17.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラから他デバイスヘデータを送信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10	SCK11, SO11	SCK20, SO20	SCK21, SO21	SCK30, SO30	SCK31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2							
データ位相	SCRRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSB ファーストまたはLSB ファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 52 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)のスレーブ送信時のレジスタ設定内容例



注 SCR00, SCR01 レジスタと、80-100ピン製品のSCR10, SCR11 レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
 mn = 00-03, 10-13

備考2. : 簡易 SPI (CSI) スレーブ送信モードでは設定固定 : 設定不可 (初期値を設定)
 × : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 53 スレーブ送信の初期設定手順

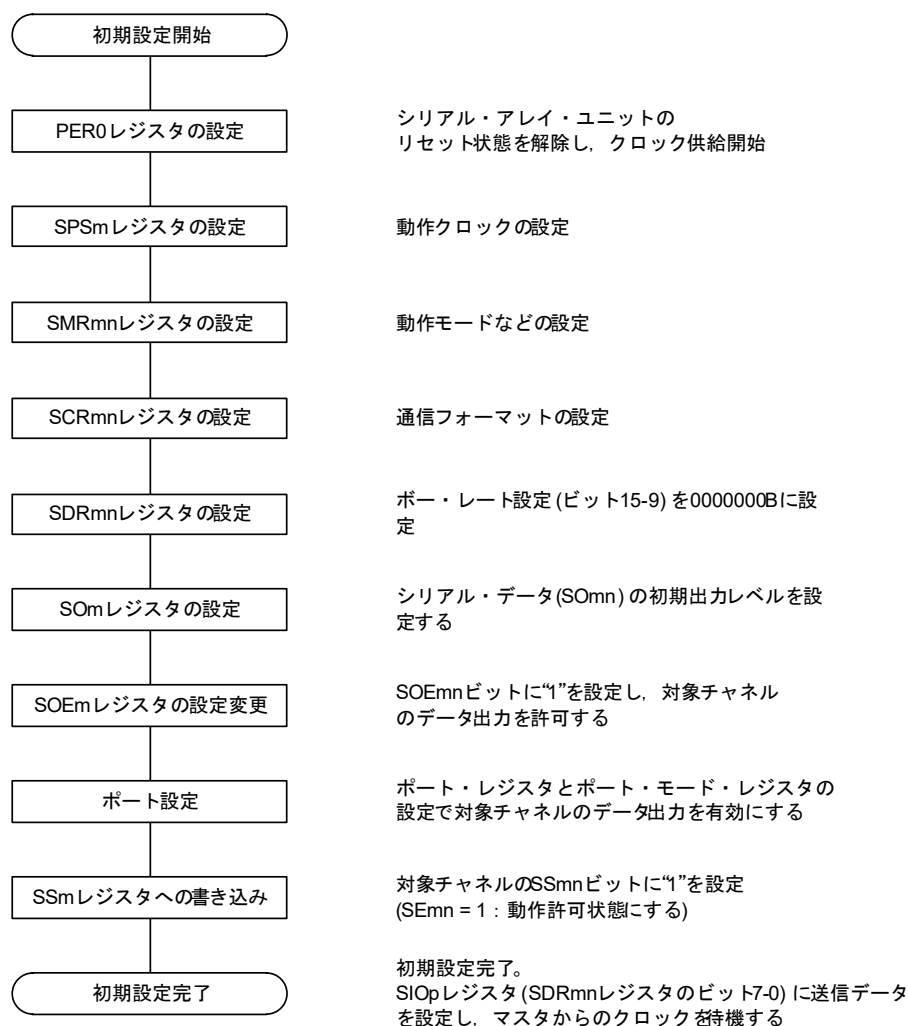


図 17 - 54 スレーブ送信の中断手順

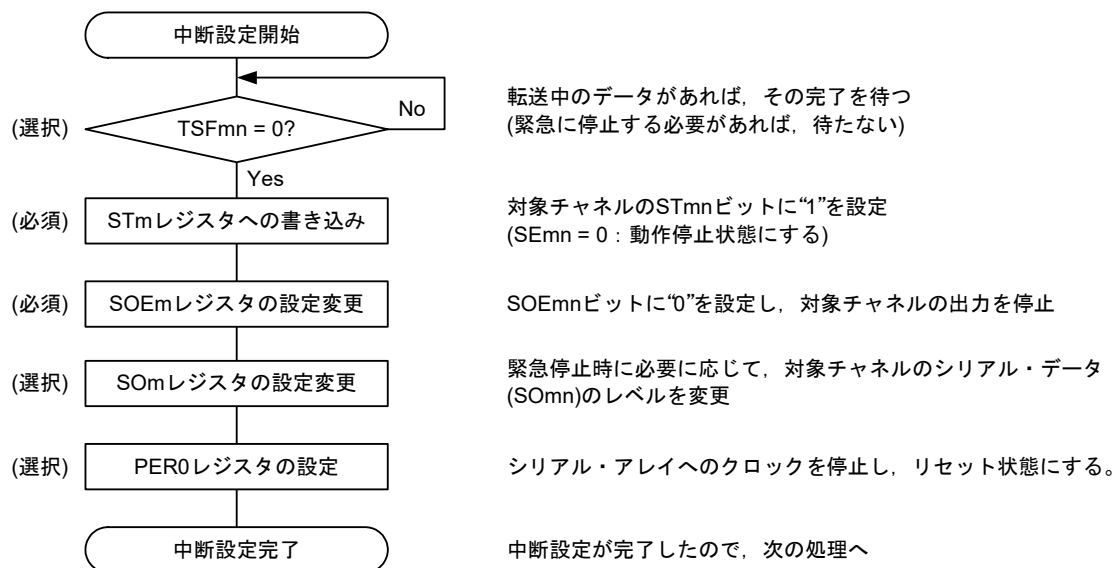
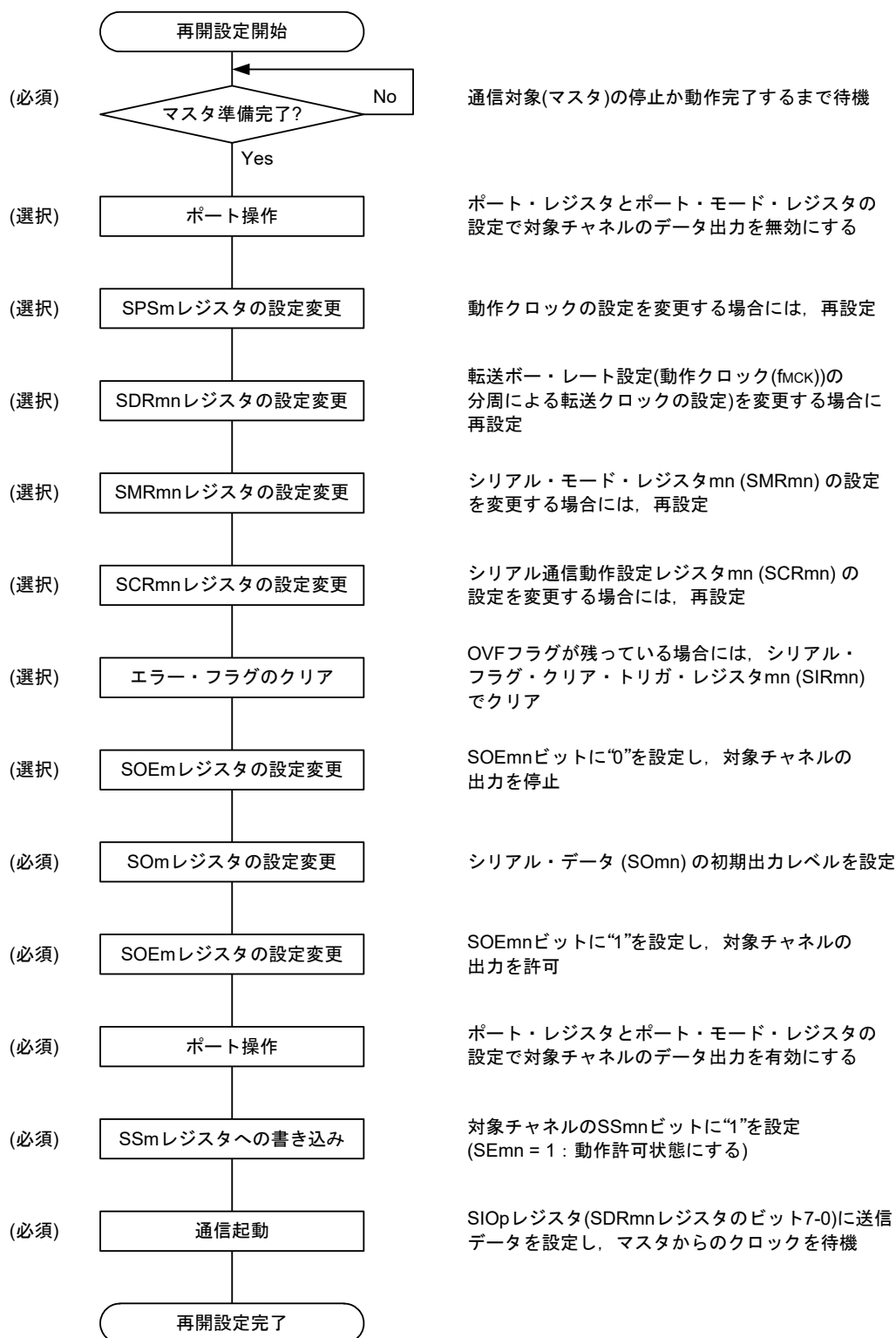


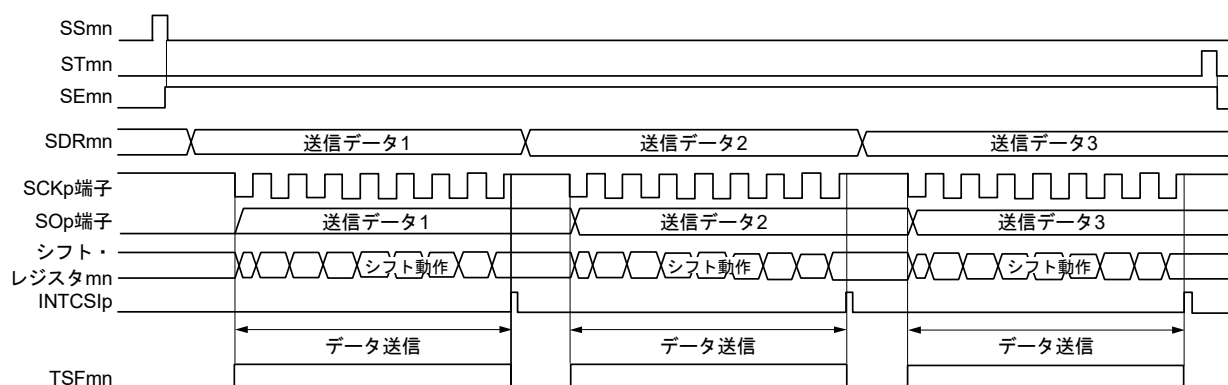
図 17 - 55 スレーブ送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

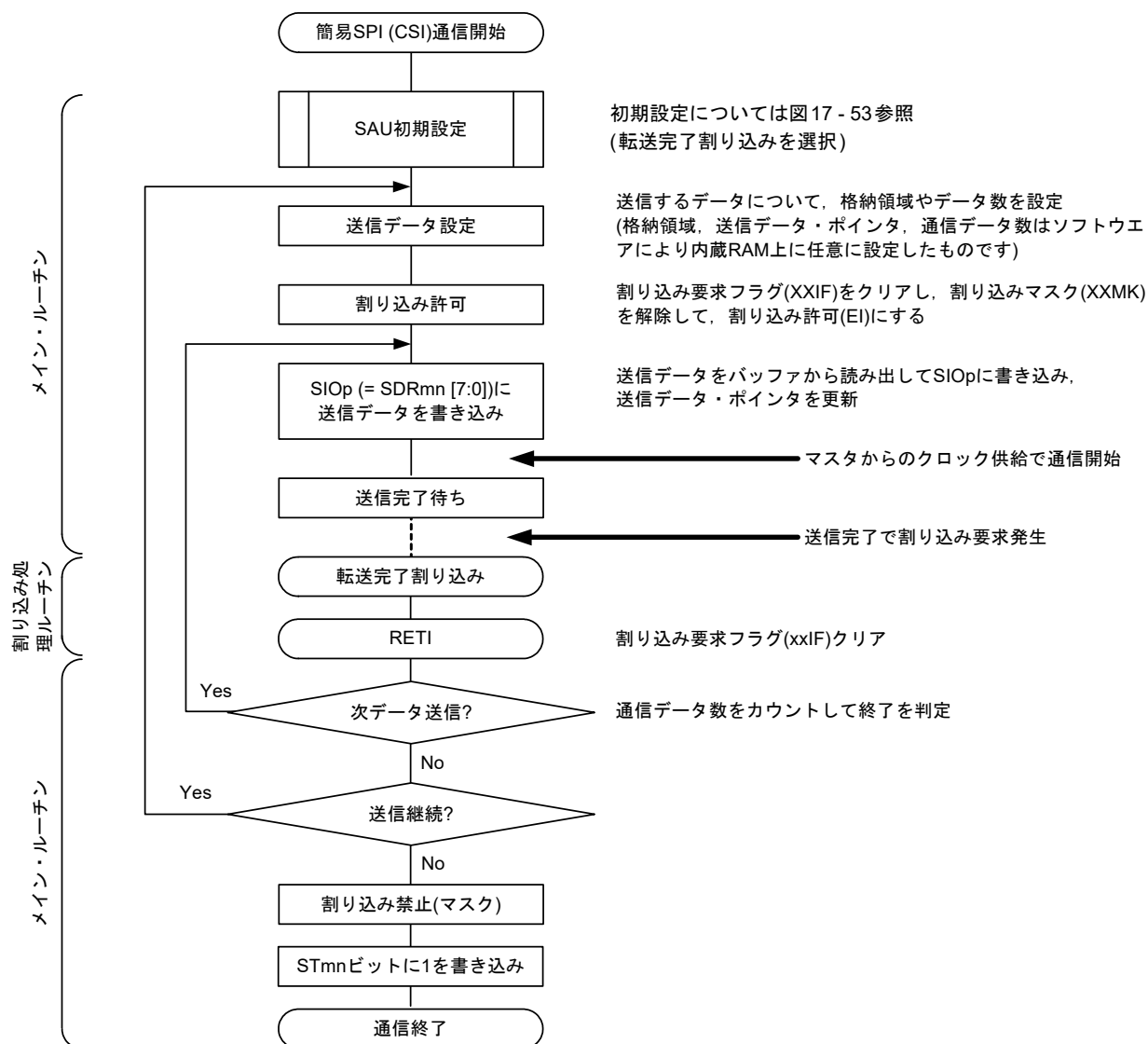
(3) 処理フロー (シングル送信モード時)

図 17 - 56 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



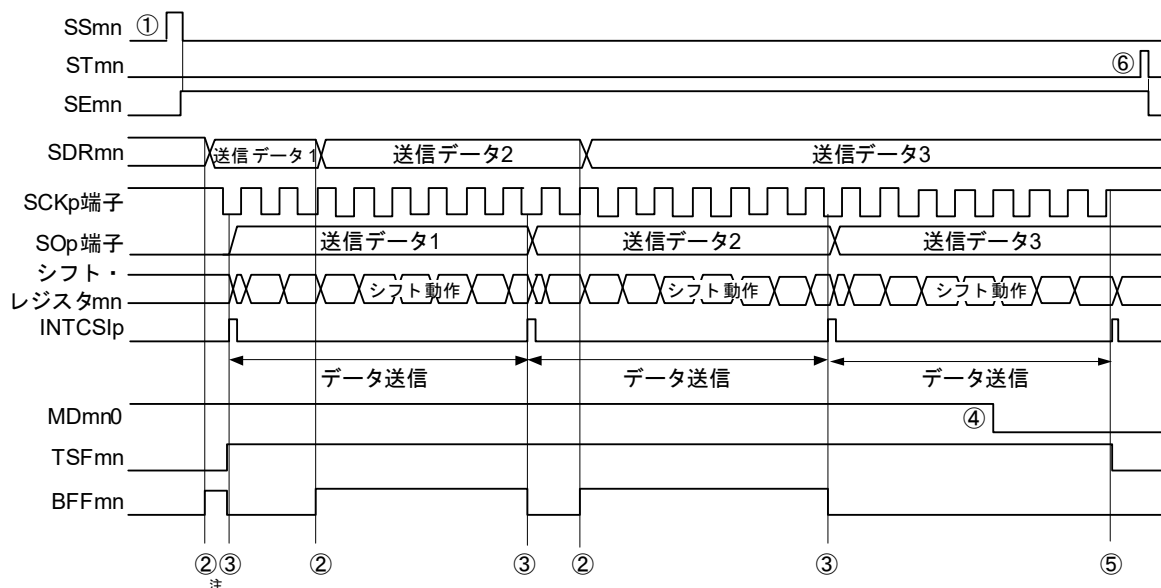
備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図17-57 スレーブ送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 17 - 58 スレーブ送信 (連続送信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)

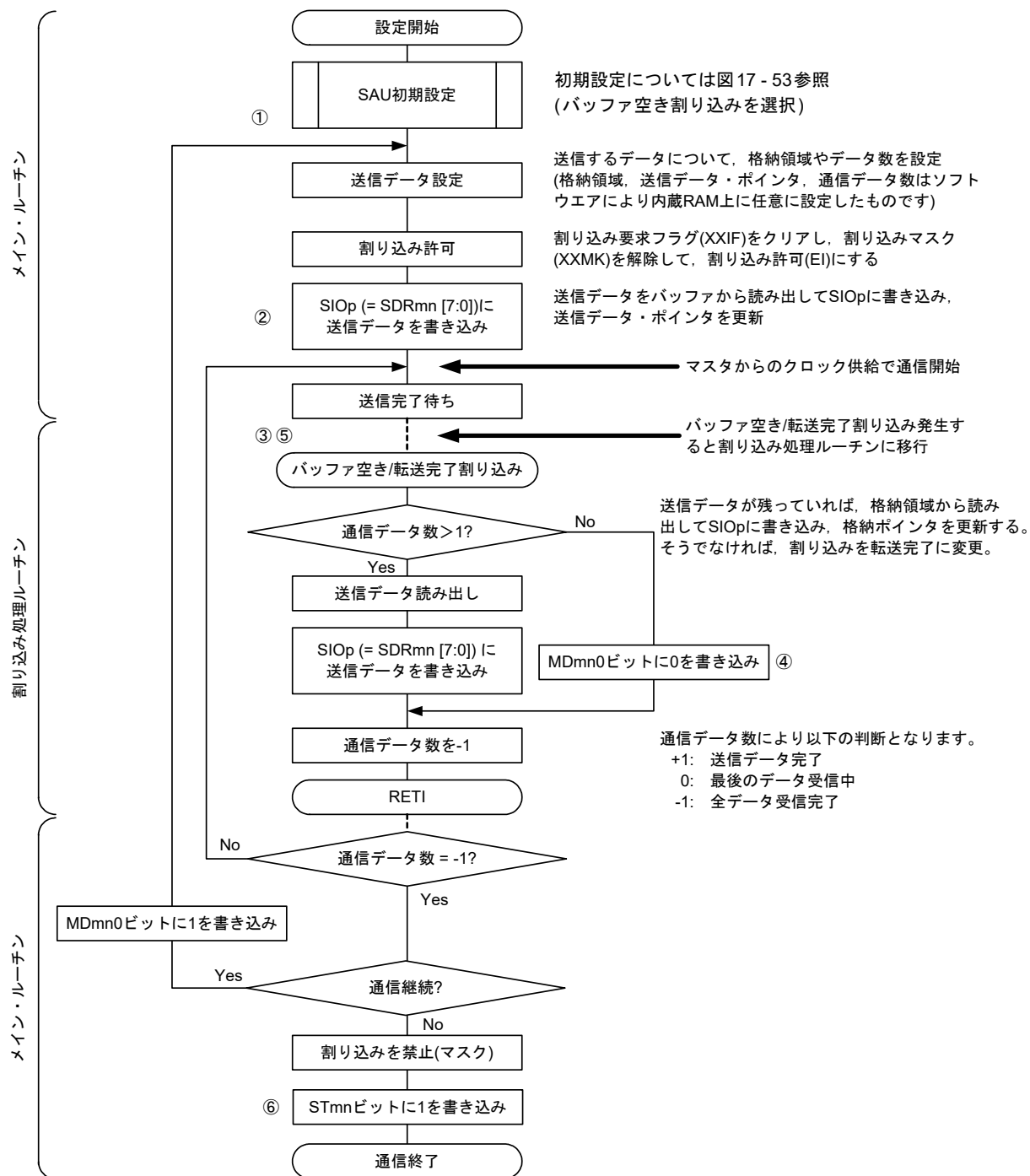


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図 17 - 59 スレーブ送信(連続送信モード時)のフロー・チャート



備考 図中の①～⑥は、図 17 - 58 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

17.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10	SCK11, SI11	SCK20, SI20	SCK21, SI21	SCK30, SI30	SCK31, SI31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)							
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2							
データ位相	SCRMn レジスタの DAPmn ビットにより選択可能 ・ DAPmn = 0 の場合 : シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1 の場合 : シリアル・クロック動作開始の半クロック前からデータ出力を開始							
クロック位相	SCRMn レジスタの CKPmn ビットにより選択可能 ・ CKPmn = 0 の場合 : 非反転 ・ CKPmn = 1 の場合 : 反転							
データ方向	MSB ファーストまたはLSB ファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz] となります。

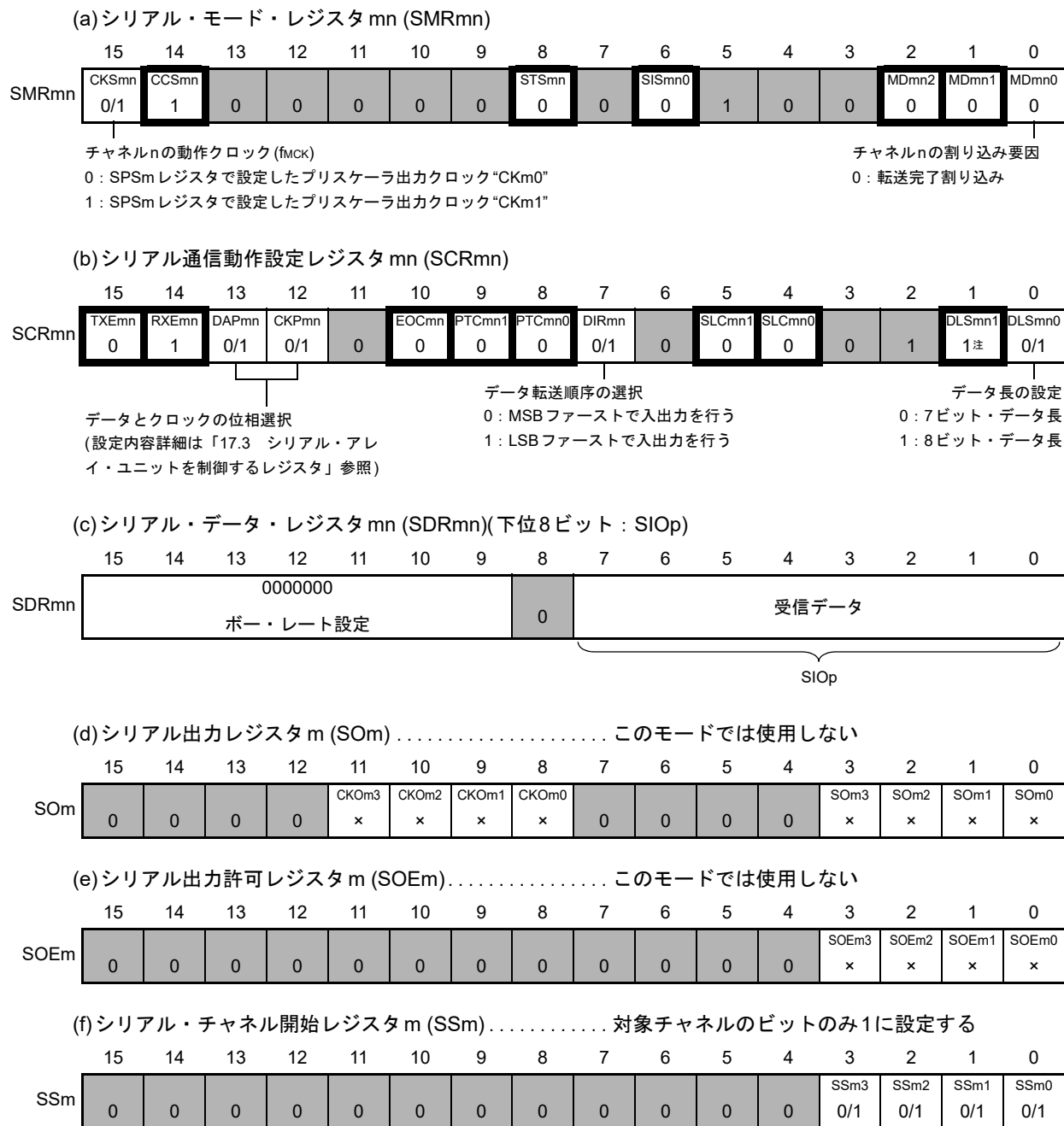
注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 60 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)のスレーブ受信時のレジスタ設定内容例



注 SCR00, SCR01レジスタと、80-100ピン製品のSCR10, SCR11レジスタのみ。その他は1固定になります。

備考1. m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3) p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)
 mn = 00-03, 10-13

備考2. ■ : スレーブ受信モードでは設定固定 ■ : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 61 スレーブ受信の初期設定手順

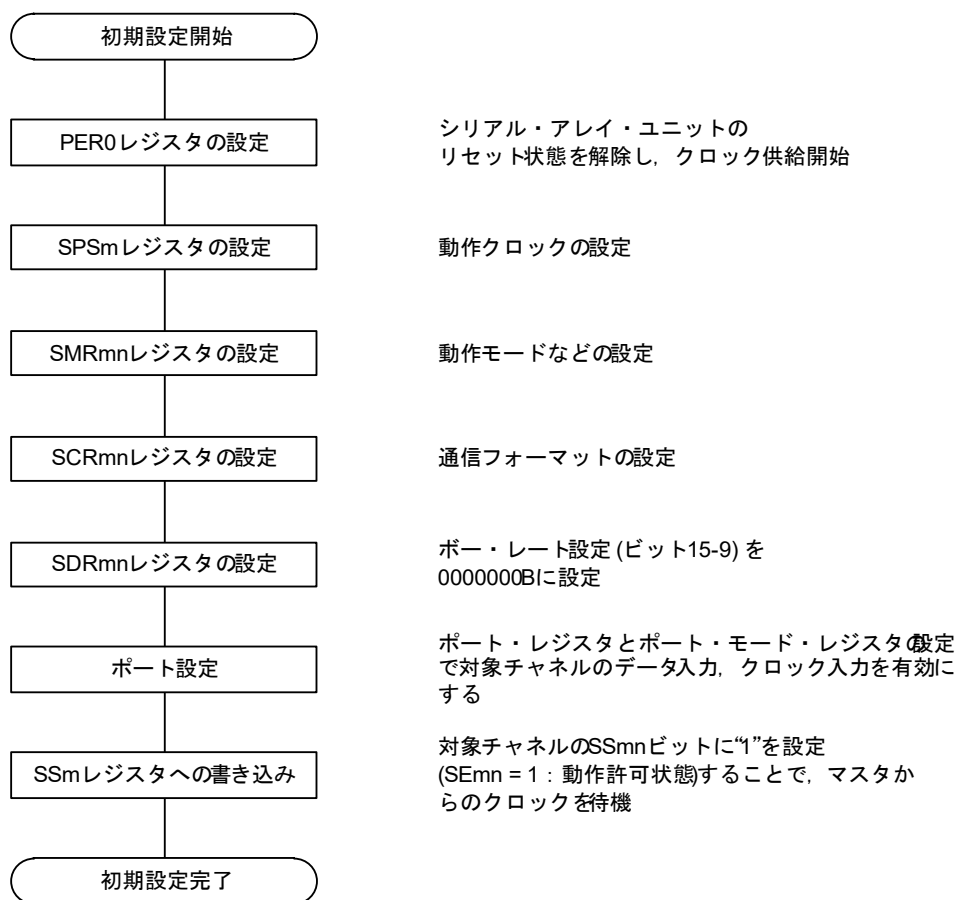


図 17 - 62 スレーブ受信の中断手順

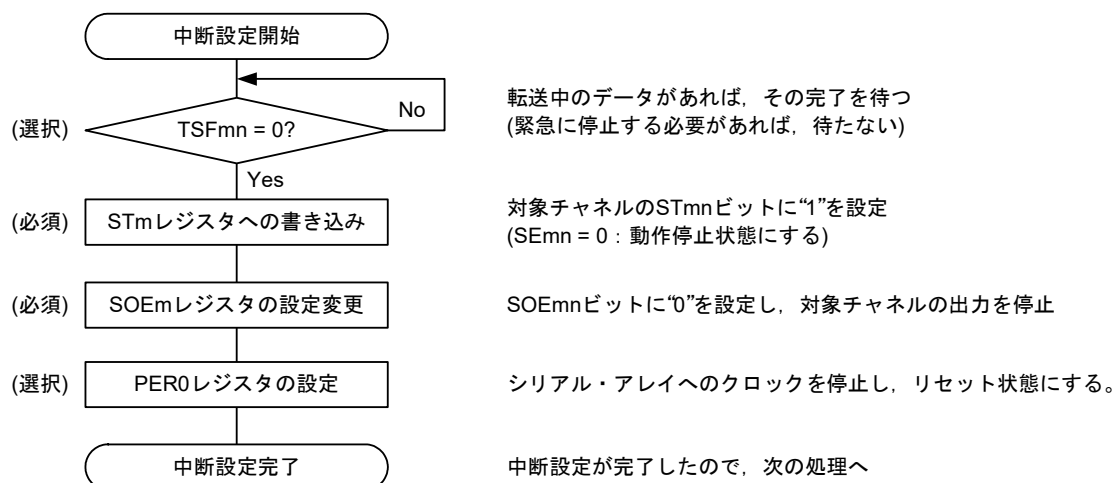
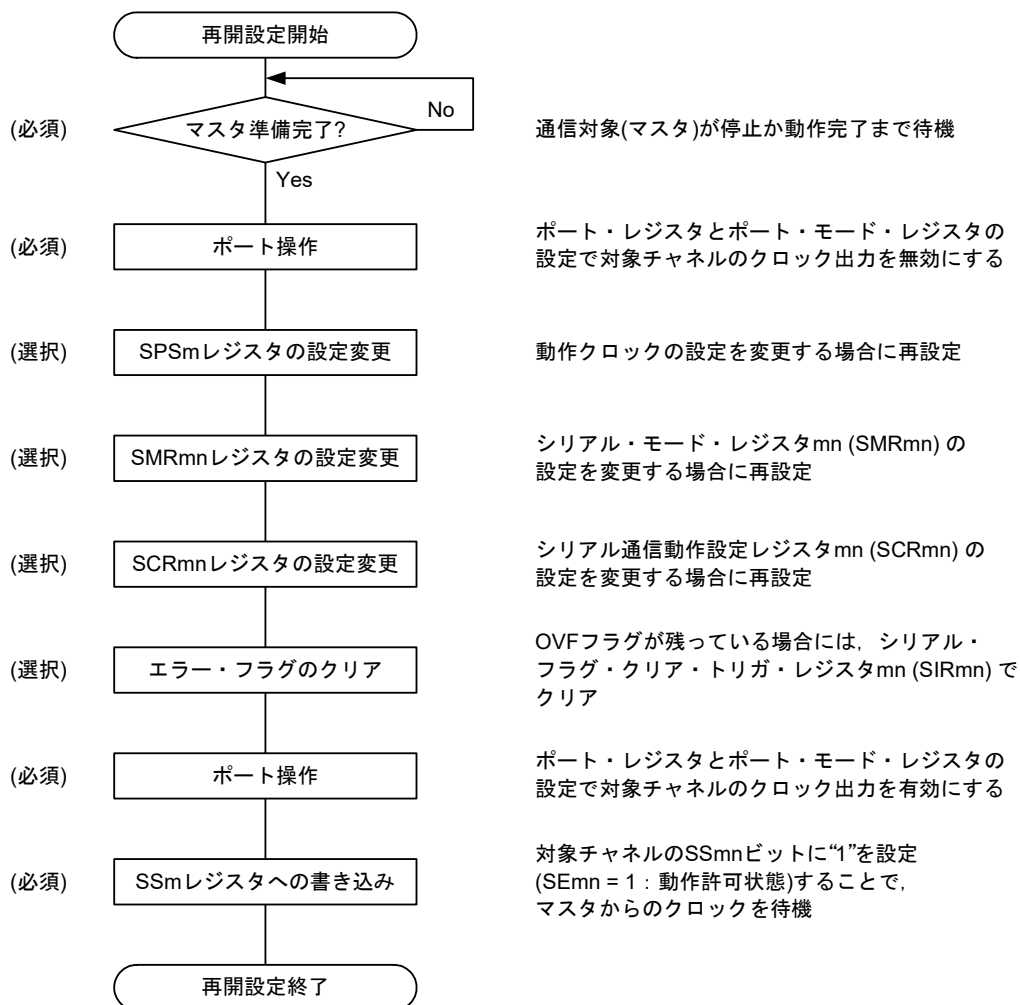


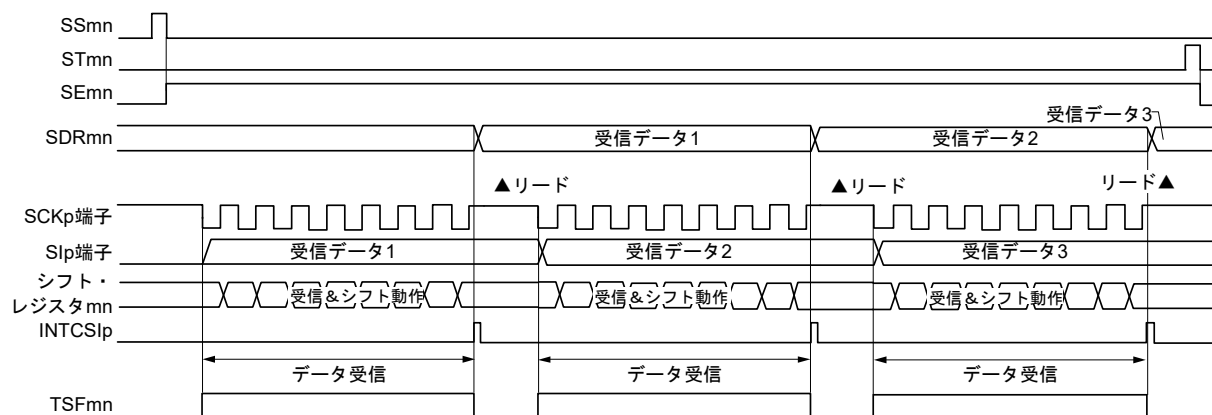
図 17 - 63 スレーブ受信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

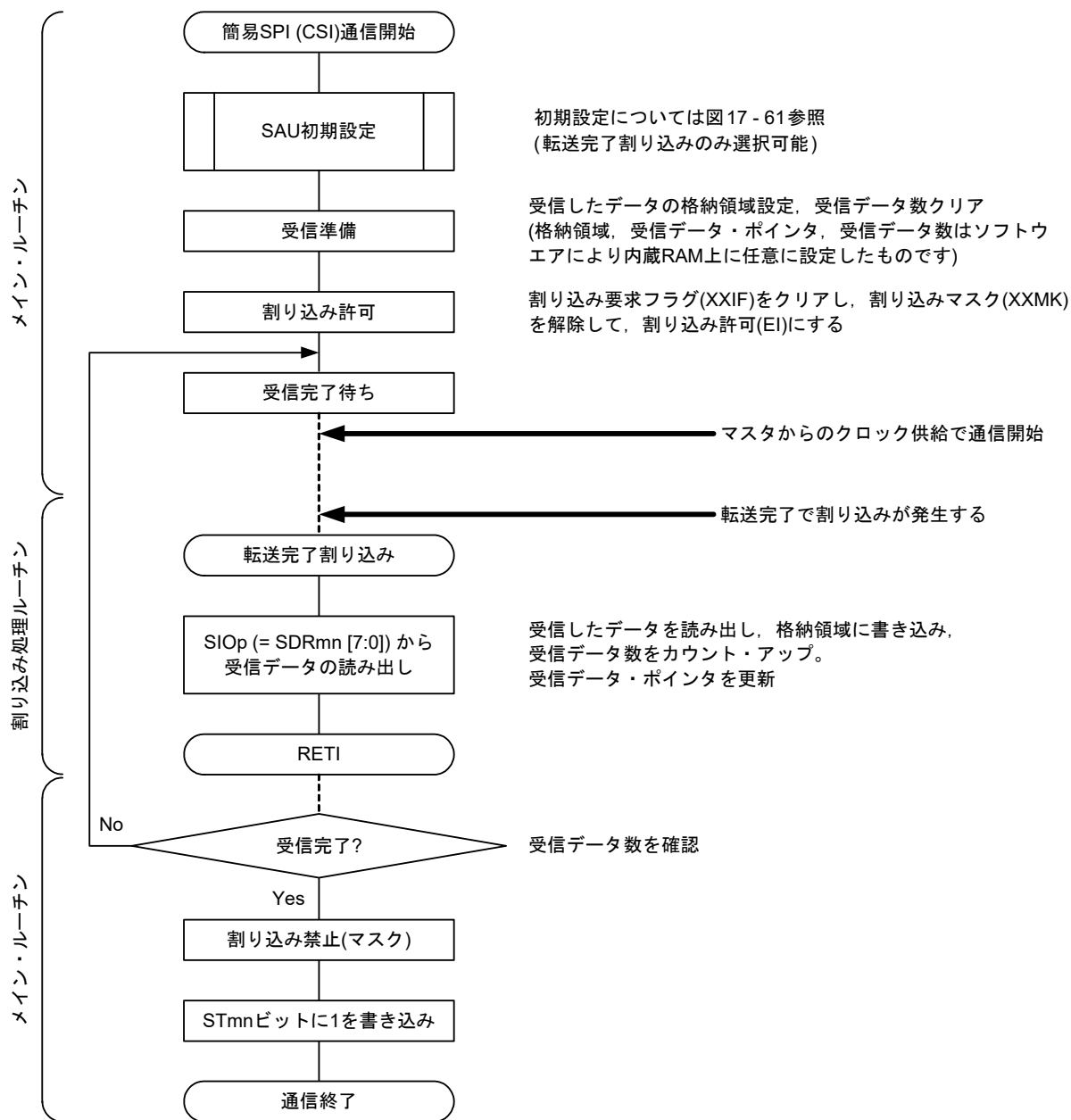
(3) 処理フロー (シングル受信モード時)

図 17 - 64 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図 17 - 65 スレーブ受信(シングル受信モード時)のフロー・チャート



17.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

簡易SPI	CSI00	CSI01	CSI10	CSI11	CSI20	CSI21	CSI30	CSI31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10	SCK11, SI11, SO11	SCK20, SI20, SO20	SCK21, SI21, SO21	SCK30, SI30, SO30	SCK31, SI31, SO31
割り込み	INTCSI00	INTCSI01	INTCSI10	INTCSI11	INTCSI20	INTCSI21	INTCSI30	INTCSI31
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能							
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ							
転送データ長	7ビットまたは8ビット							
転送レート	Max. $f_{MCK}/6$ [Hz]注1, 2							
データ位相	SCRMnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始							
クロック位相	SCRMnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転							
データ方向	MSB ファーストまたはLSB ファースト							

注1. SCK00, SCK01, SCK10, SCK11, SCK20, SCK21, SCK30, SCK31端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

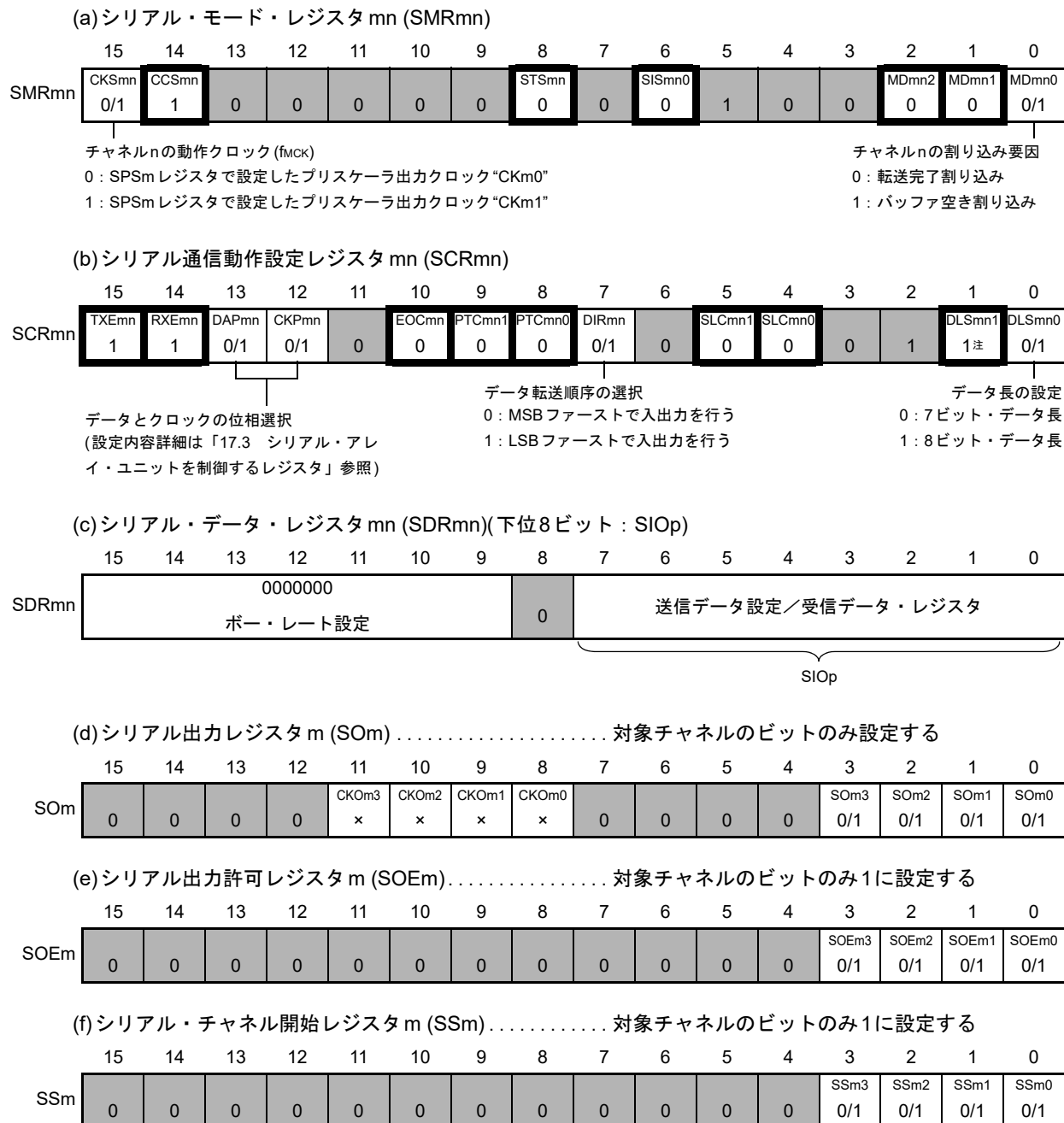
注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 または第35章 電氣的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

備考2. m：ユニット番号(m = 0, 1) n：チャンネル番号(n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 66 簡易 SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)のスレーブ送受信時のレジスタ設定内容例



注 SCR00, SCR01 レジスタと、80-100ピン製品のSCR10, SCR11 レジスタのみ。その他は1固定になります。

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

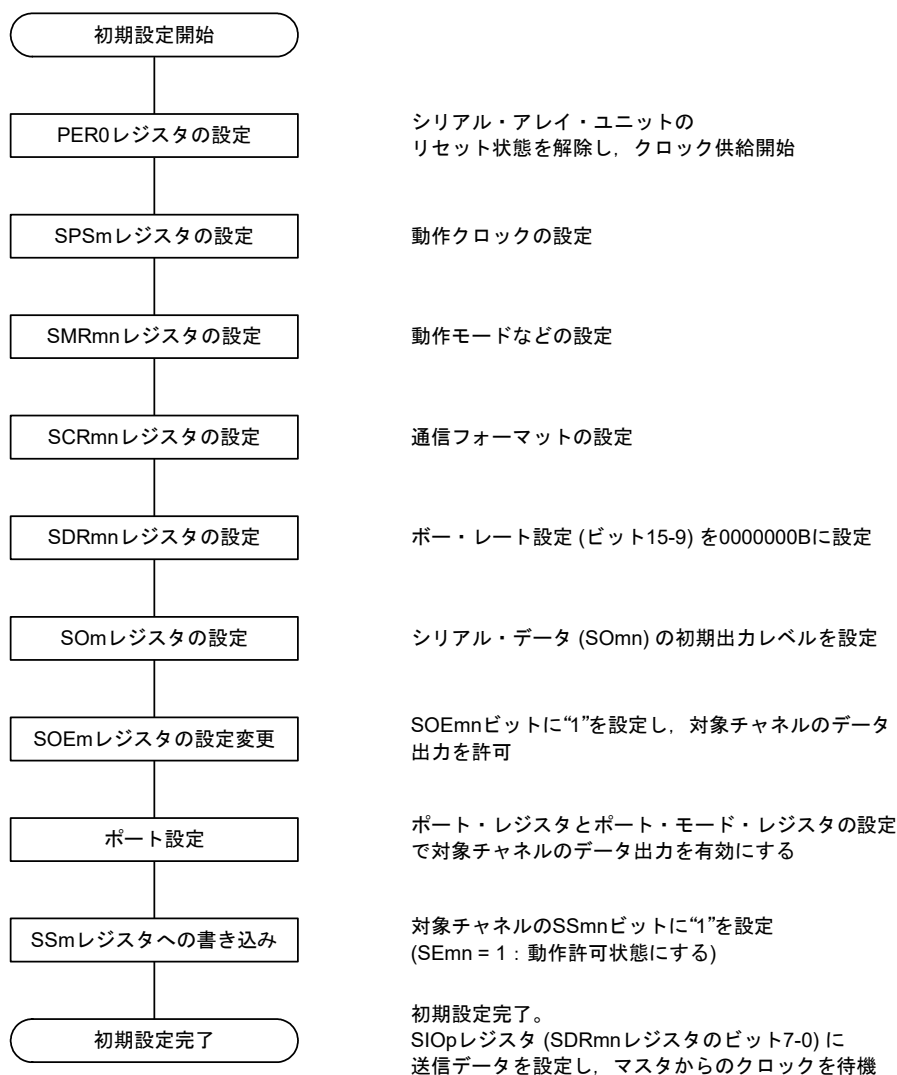
備考2. : 簡易 SPI (CSI)スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 67 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

図 17 - 68 スレーブ送受信の中断手順

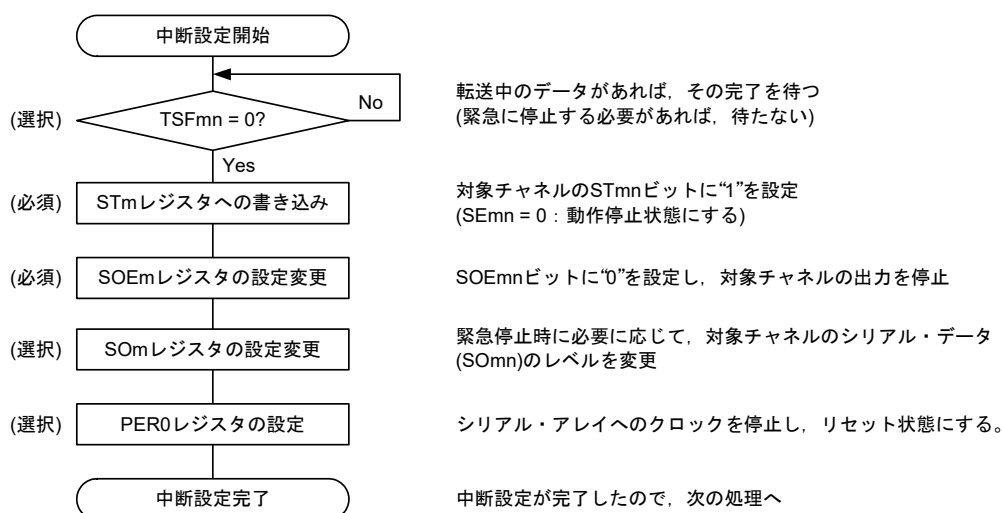
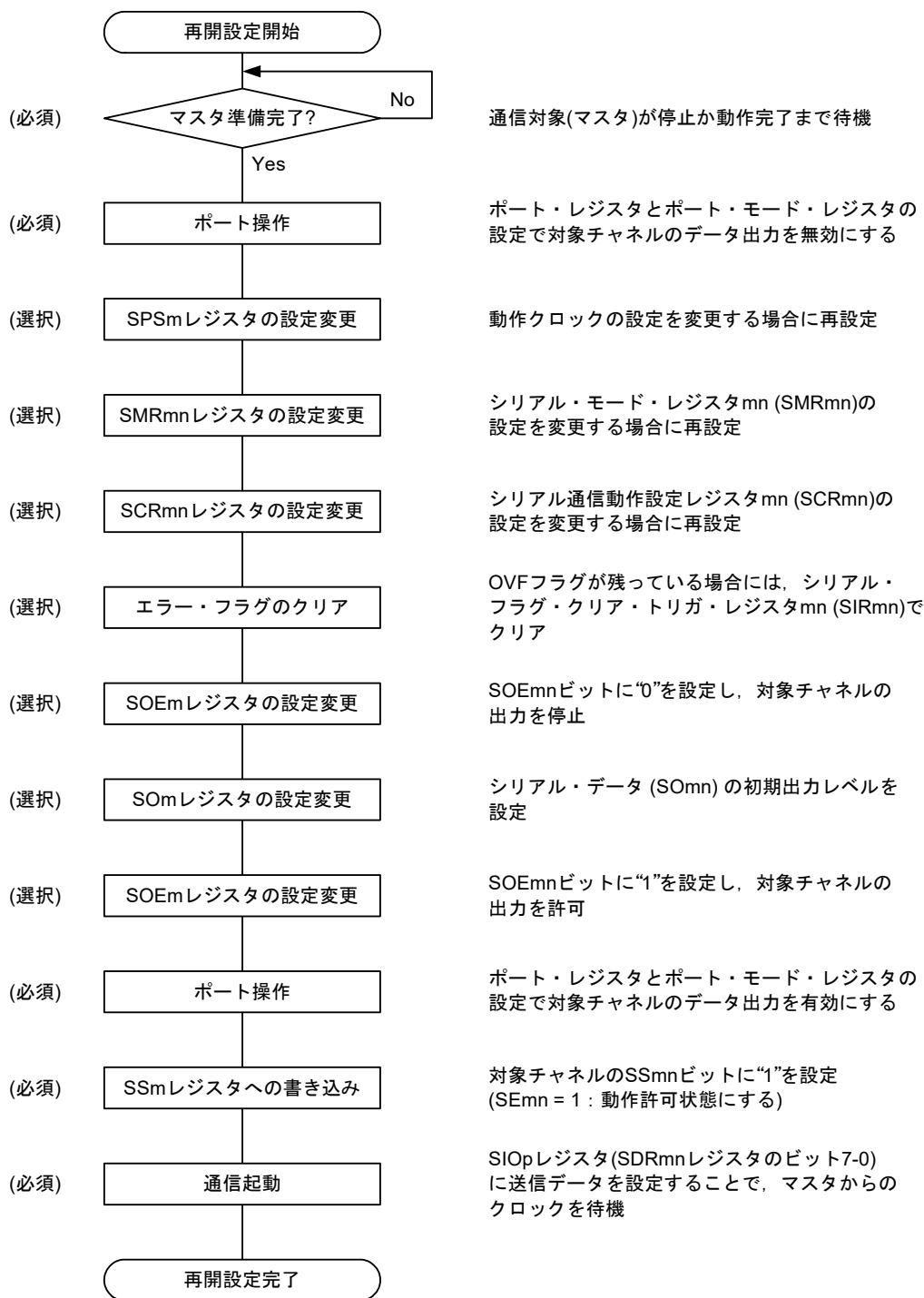


図 17 - 69 スレーブ送受信の再開設定手順

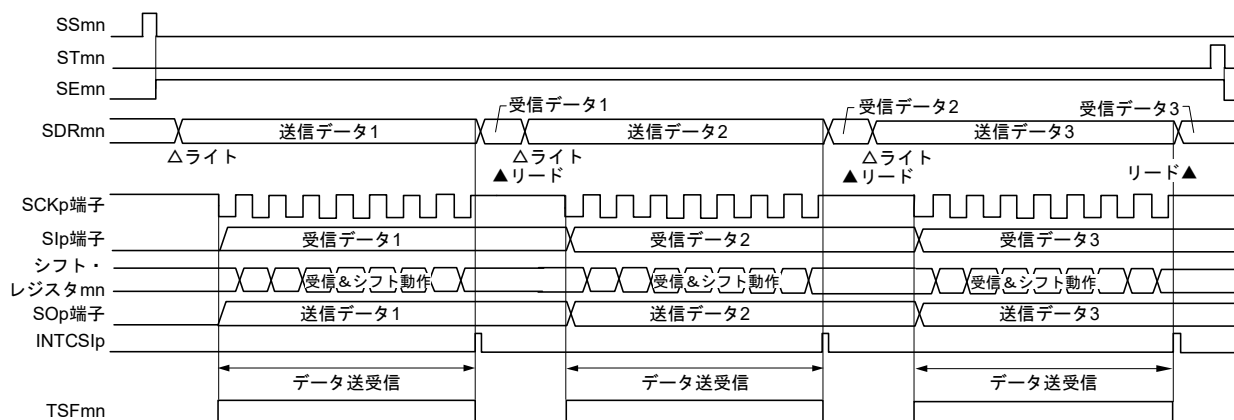


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

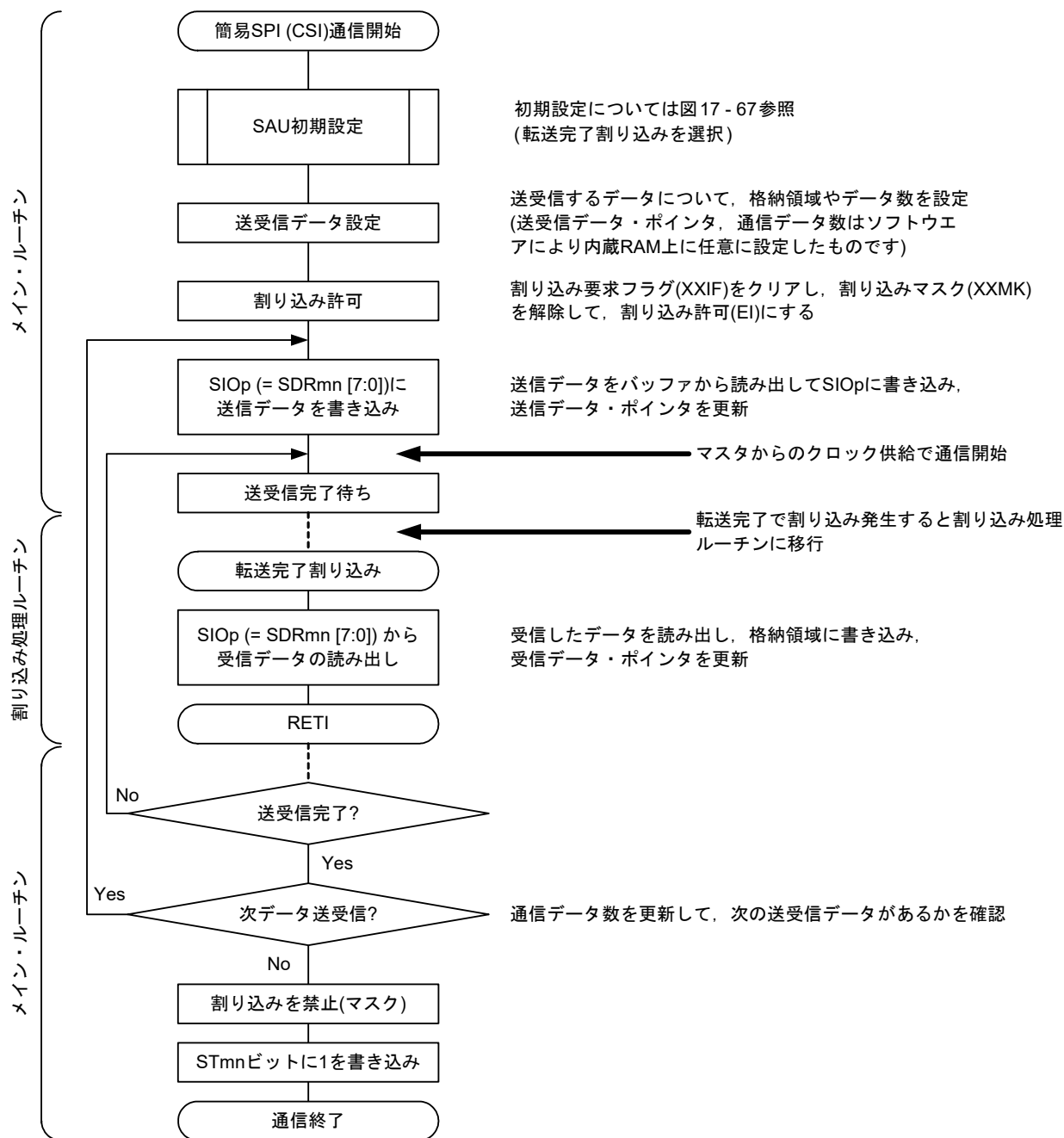
(3) 処理フロー (シングル送受信モード時)

図 17 - 70 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00-03, 10-13

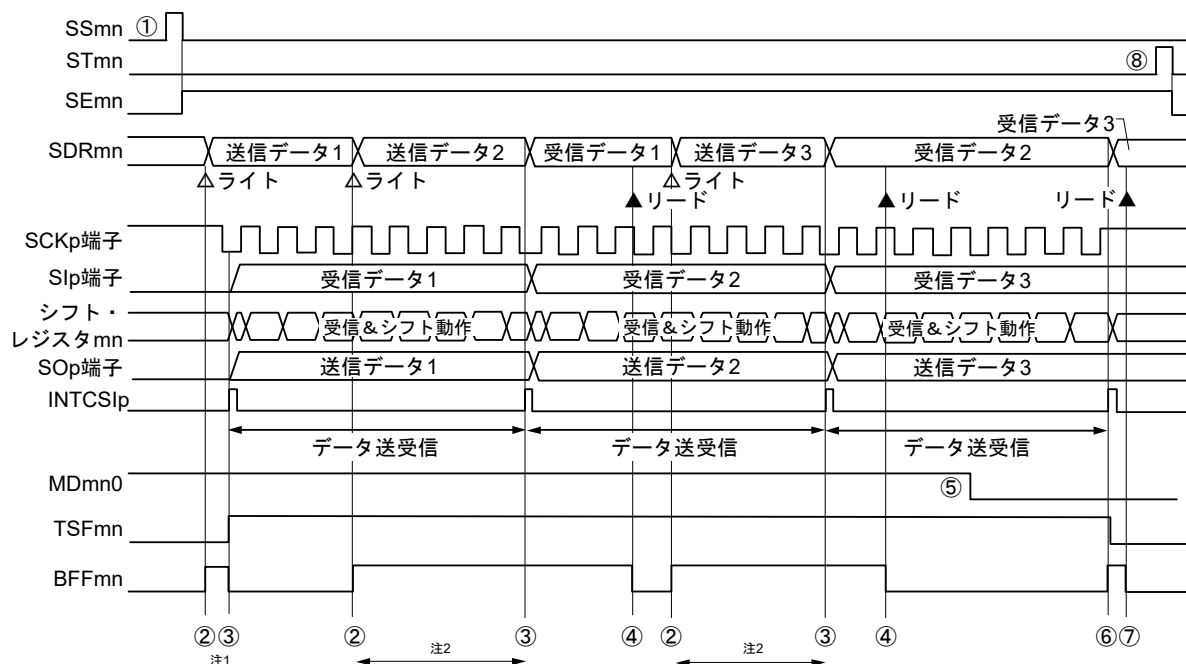
図17-71 スレーブ送受信(シングル送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

(4) 処理フロー (連続送受信モード時)

図 17 - 72 スレーブ送受信(連続送受信モード時)のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

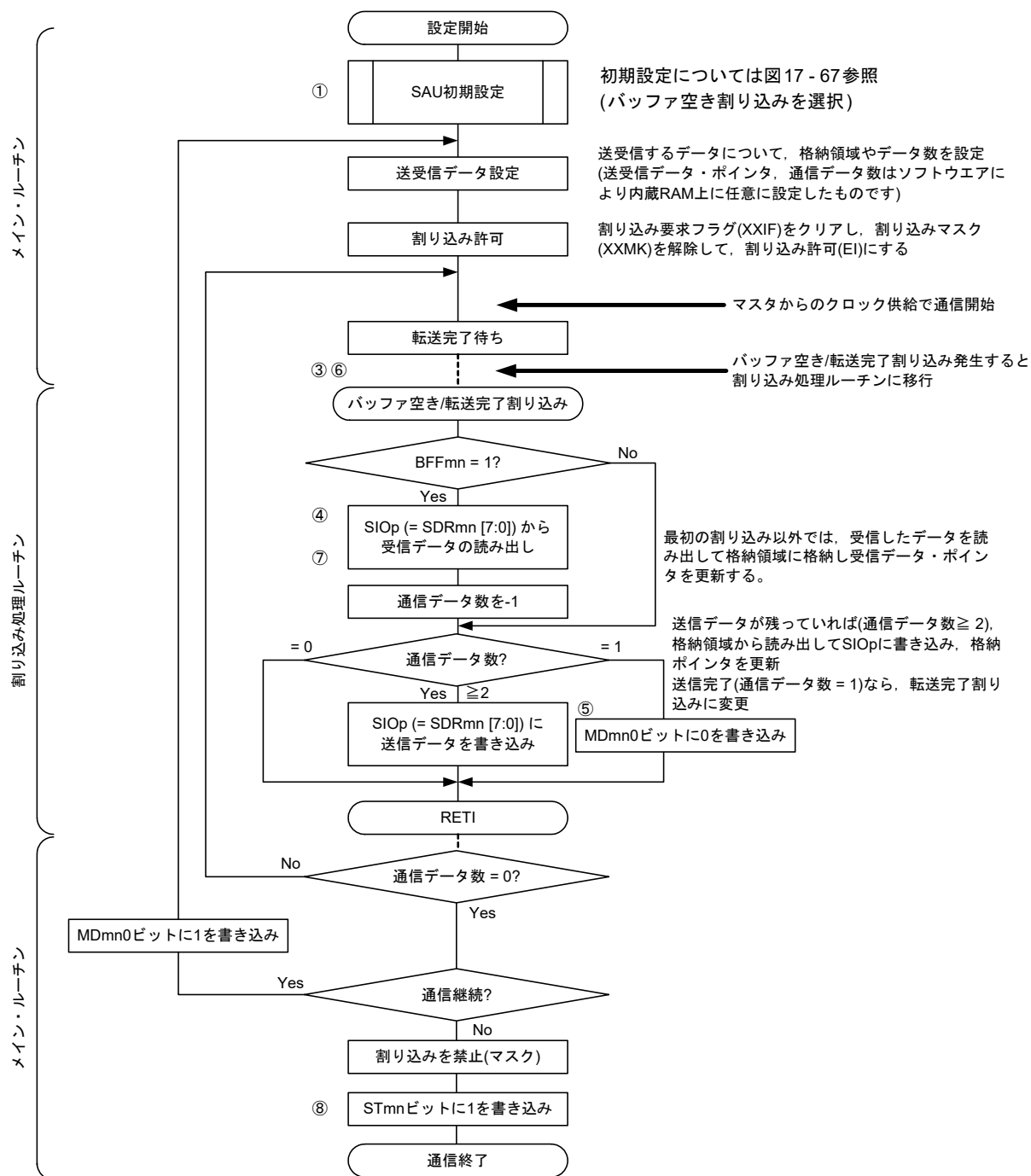
注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図 17 - 73 スレーブ送受信(連続送受信モード時)のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31),
mn = 00-03, 10-13

図 17 - 73 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 図中の①～⑧は、図 17 - 72 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

17.5.7 SNOOZE モード機能

STOP モード時に SCKp 端子入力の検出により簡易 SPI (CSI) の受信動作をさせるモードです。通常 STOP 時に簡易 SPI (CSI) は通信動作を停止しますが、このモードを使うことで、SCKp 端子入力の検出によって CPU を動作させずに簡易 SPI (CSI) の受信動作を行うことができます。SNOOZE モードは、以下のチャンネルのみ設定可能です。

- 30-64 ピン製品 : CSI00
- 80, 100 ピン製品 : CSI00, CSI20

簡易 SPI (CSI) を SNOOZE モードで使用する場合は、STOP モードに移行する前に次の設定を行います (図 17 - 75, 図 17 - 77 SNOOZE モード動作時のフローチャートを参照)。

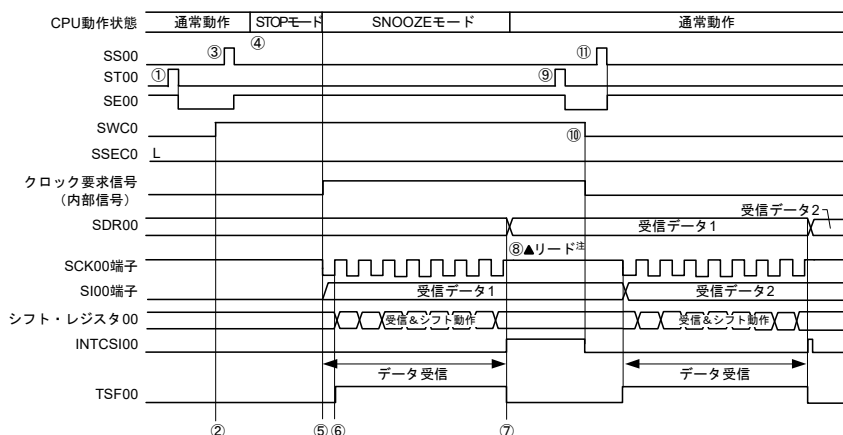
- STOP モードに移行する直前にシリアル・スタンバイ・コントロール・レジスタ m (SSCm) の SWCm ビットをセット (1) してください。初期設定完了後、シリアル・チャンネル開始レジスタ m (SSm) の SSm0 ビットをセット (1) します。
- STOP モードに移行後、SCKp 端子の有効エッジを検出すると SNOOZE モードへ移行します。
SCKp 端子のシリアル・クロック入力により、CSIp は受信動作を開始します。

注意 1. SNOOZE モードは、fCLK に高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注意 2. SNOOZE モードで使用する際の最大転送レートは 1 Mbps です。

(1) SNOOZE モード動作 (1 回起動)

図 17 - 74 SNOOZE モード動作 (1 回起動) 時のタイミング・チャート (タイプ 1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1 の状態、次の SCKp 端子のエッジ検出前に行ってください。

注意 1. SNOOZE モード移行前と SNOOZE モードで受信動作を完了したあとは、STm0 ビットを 1 に設定してください (SEm0 ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCm ビットもクリアしてください (SNOOZE 解除)。

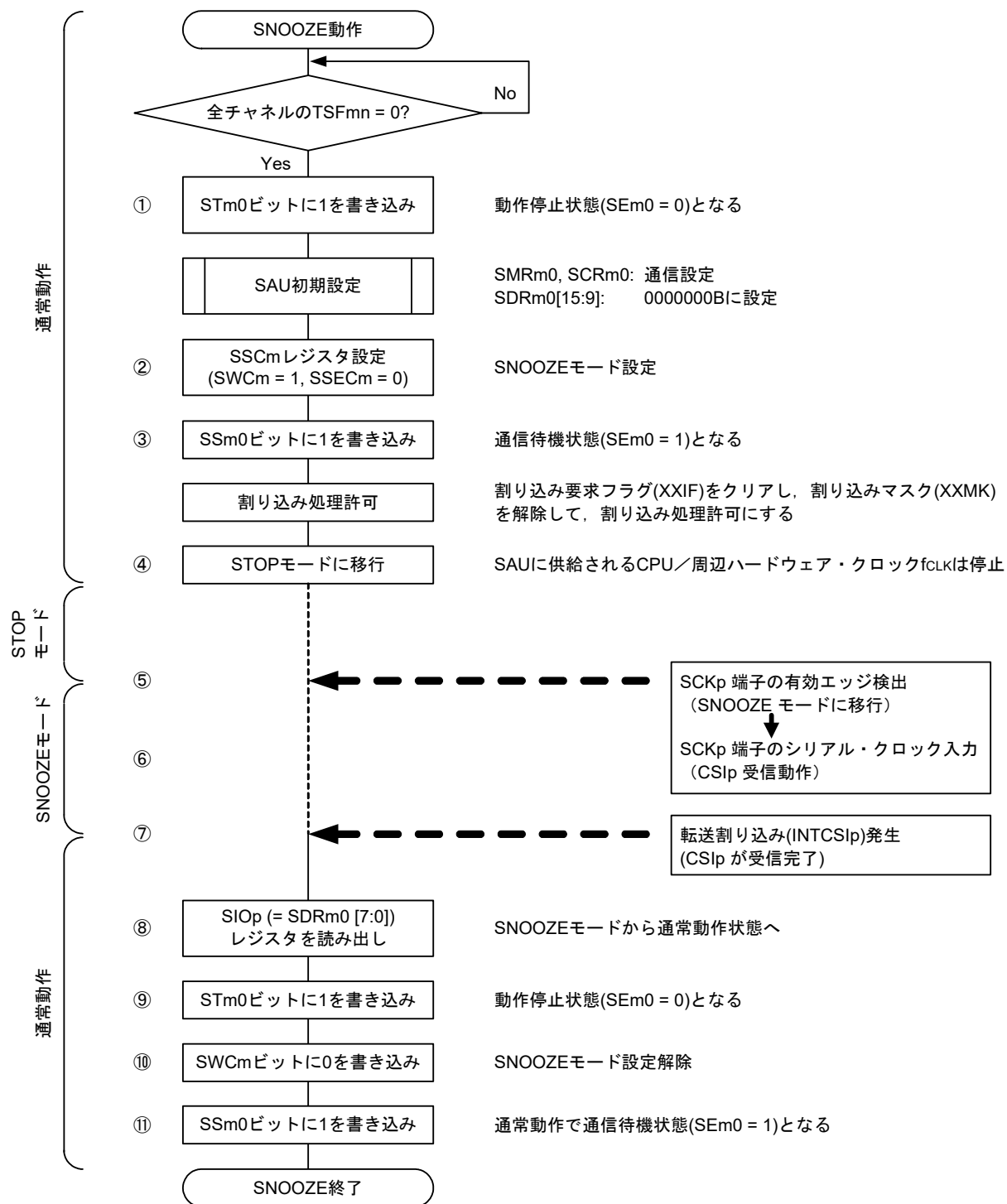
注意 2. SWCm = 1 のときは、BFFm1, OVFM1 フラグは動作しません。

備考 1. 図中の①～⑪は、図 17 - 75 SNOOZE モード動作 (1 回起動) 時のフロー・チャートの①～⑪に対応しています。

備考 2. 30-64 ピン製品 : m = 0; p = 00

80, 100 ピン製品 : m = 0, 1; p = 00, 20

図 17 - 75 SNOOZEモード動作(1回起動)時のフロー・チャート



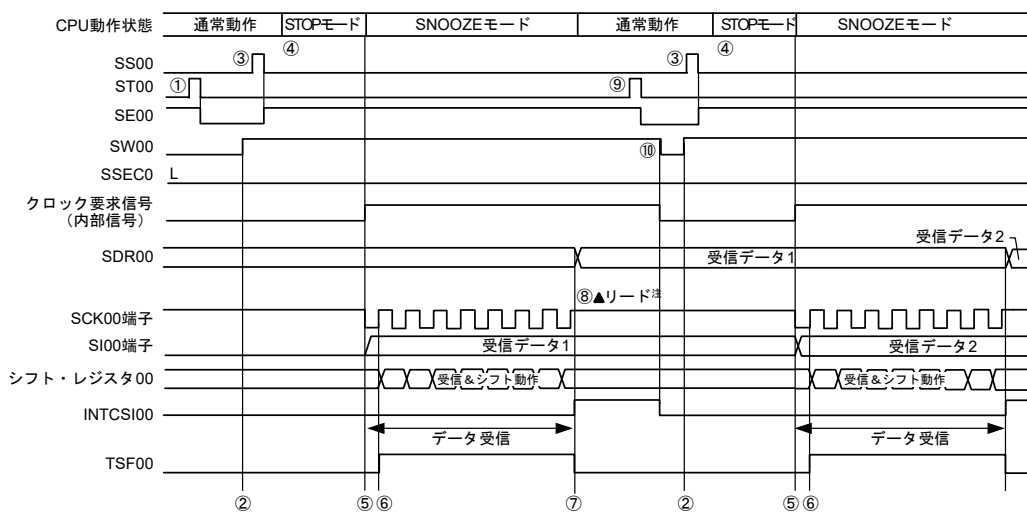
備考1. 図中の①～⑪は、図 17 - 74 SNOOZEモード動作(1回起動)時のタイミング・チャートの①～⑪に対応しています。

備考2. 30-64ピン製品 : m = 0; p = 00

80, 100ピン製品 : m = 0, 1; p = 00, 20

(2) SNOOZE モード動作(連続起動)

図 17 - 76 SNOOZE モード動作(連続起動)時のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



注 受信データの読み出しは、SWCm = 1の状態、次のSCKp端子のエッジ検出前に行ってください。

注意1. SNOOZE モード移行前とSNOOZE モードで受信動作を完了したあとは、STm0 ビットを1に設定してください(SEm0 ビットがクリアされ動作停止)。

また、受信動作を完了したあとは、SWCm ビットもクリアしてください(SNOOZE 解除)。

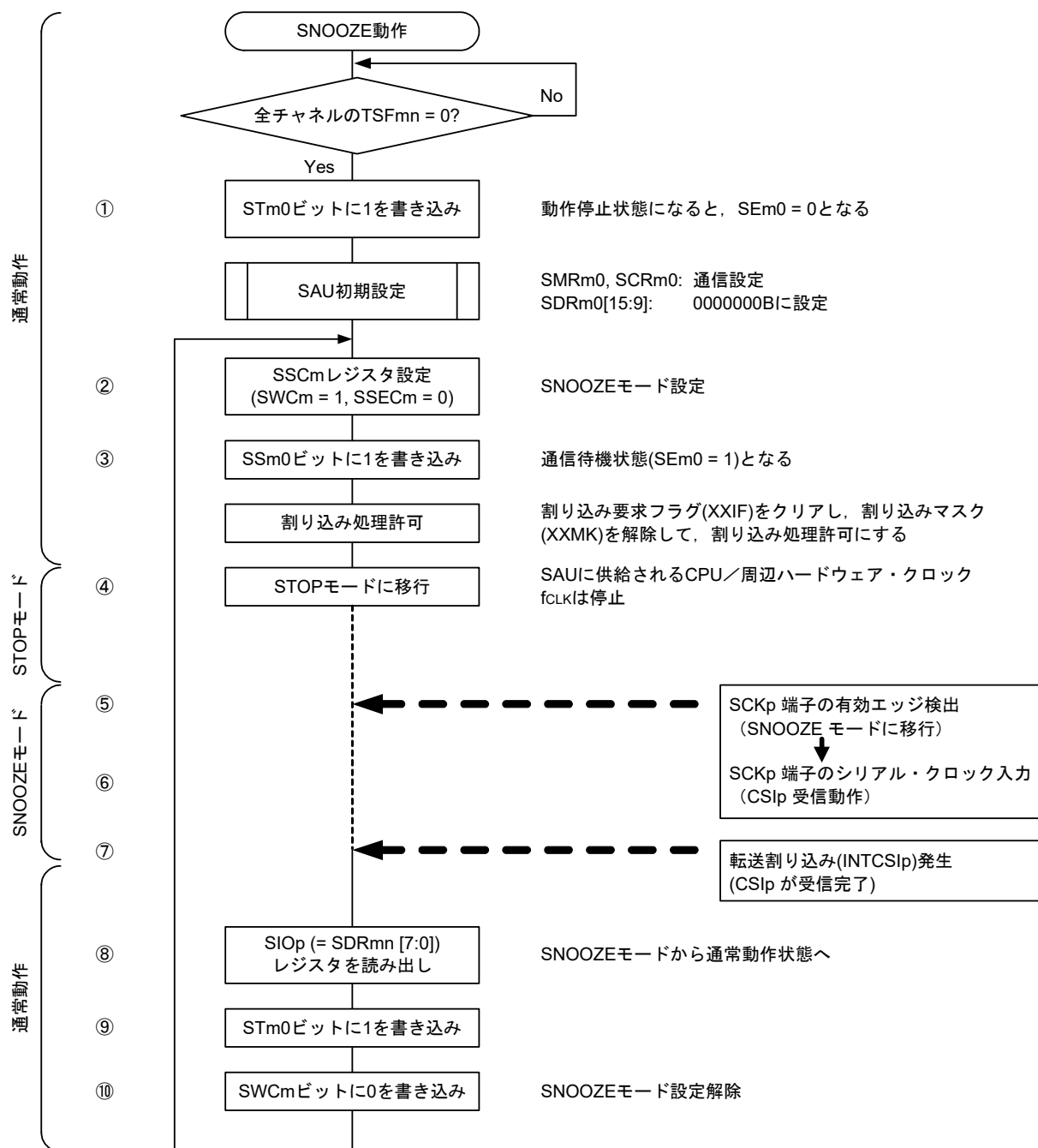
注意2. SWCm = 1のときは、BFFm1, OVFm1 フラグは動作しません。

備考1. 図中の①～⑩は、図 17 - 77 SNOOZE モード動作(連続起動)時のフロー・チャートの①～⑩に対応しています。

備考2. 30-64ピン製品 : m = 0; p = 00

80, 100ピン製品 : m = 0, 1; p = 00, 20

図17 - 77 SNOOZEモード動作(連続起動)時のフロー・チャート



備考1. 図中の①～⑩は、図17 - 76 SNOOZEモード動作(連続起動)時のタイミング・チャートの①～⑩に対応しています。

備考2. 30-64ピン製品 : m = 0; p = 00

80, 100ピン製品 : m = 0, 1; p = 00, 20

17.5.8 転送クロック周波数の算出

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [Hz]}$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \} \text{ 注 [Hz]}$$

注 ただし、許容最大転送クロック周波数はfMCK/6となります。

備考 SDRmn[15:9]は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000000B-1111111B)なので、0-127になります。

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmn)で決まります。

表 17 - 2 簡易SPI動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK)注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz
1	0	0	0	0	X	X	X	X	fCLK	32 MHz
	0	0	0	1	X	X	X	X	fCLK/2	16 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	8 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	4 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	15.63 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	7.81 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	3.91 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.95 kHz
	1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	977 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャンネル停止レジスタm(STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10-13

17.5.9 簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)通信時におけるエラー発生時の処理手順

簡易SPI (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31)通信時にエラーが発生した場合の処理手順を図17-78に示します。

図17-78 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタmn (SDRmn)をリードする	SSRmn レジスタのBFFmn ビットが“0” となり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタmn (SSRmn)をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタmn (SIRmn)に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのままSIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10-13

17.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作

スレーブセレクト入力機能付クロック同期シリアル通信に対応しているチャンネルは、SAU0のチャンネル0です。

[データ送受信]

- 7, 8ビットのデータ長
- 送受信データの位相制御
- MSB/LSB ファーストの選択

[クロック制御]

- 入出力クロックの位相制御
- プリスケアラとチャンネル内カウンタによる転送周期の設定
- 最大転送レート注 スレーブ通信時 : Max. $f_{MCK}/6$

[割り込み機能]

- 転送完了割り込み／バッファ空き割り込み

[エラー検出フラグ]

- オーバラン・エラー

注 SCKサイクル・タイム(t_{KCY})の特性を満たす範囲内で使用してください。詳細は、第34章 または第35章 電気的特性を参照してください。

○30, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○36, 40, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○80, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

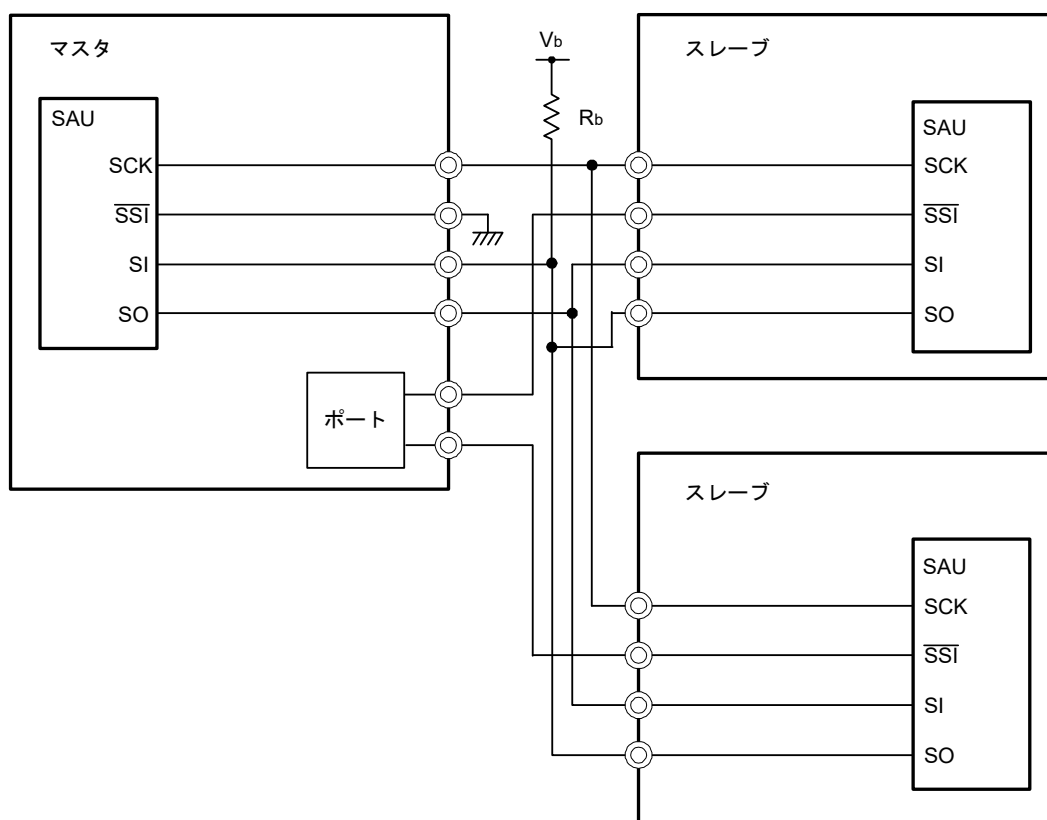
スレーブセレクト入力機能の通信動作は、以下の3種類があります。

- ・スレーブ送信(17.6.1項を参照)
- ・スレーブ受信(17.6.2項を参照)
- ・スレーブ送受信(17.6.3項を参照)

スレーブセレクト入力機能を使うことで、マスタ1つに対し複数のスレーブを接続し、通信を行うことができます。マスタは通信相手となるスレーブ(1つ)に対しスレーブ選択信号を出力し、各スレーブは通信相手として自分が選択されたかを判断し、SO端子の出力制御を行います。スレーブとして選択された場合にはSO端子はマスタに対し送信データの通信を行うことができます。スレーブとして選択されなかった場合には、SO端子はハイ・レベル出力となるため、複数のスレーブが接続される環境では、SO端子はNch-O.Dの設定にし、そのノードはプルアップする必要があります。また、スレーブとして選択されなかった場合にはマスタからのシリアル・クロックが入力されても送受信動作を行いません。

注意 スレーブ選択信号の出力はポート操作により行ってください。

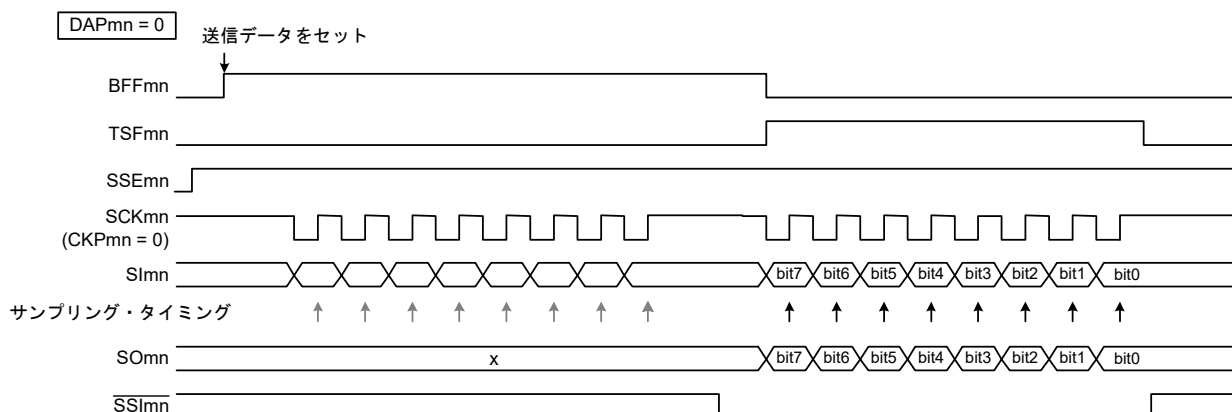
図 17 - 79 スレーブセレクト入力機能の構成例



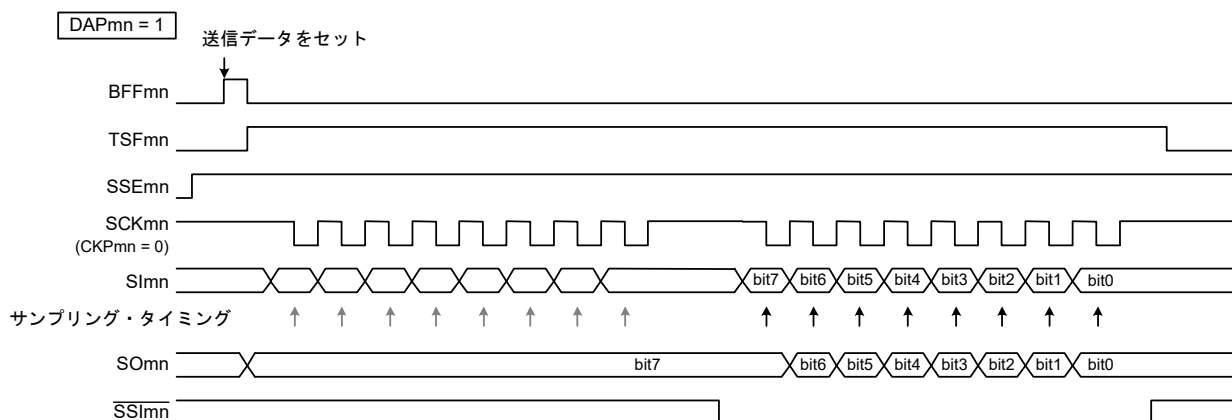
注意 $EV_{DD0} \geq V_b$ で使用してください。

SO00端子はN-chオープン・ドレイン出力(EV_{DD}耐圧)モードを選択。

図17 - 80 スレーブセレクト入力機能のタイミング図



SSImnがハイ期間ではSCKmn (シリアル・クロック) の立ち下がりエッジが来ても送信を行いません。
また、立ち上がりエッジに同期して受信データのサンプリングも行いません。
SSImnがロウとなった際、シリアル・クロックの立ち下がりエッジに同期してデータを送出 (シフト) し、
立ち上がりエッジに同期して受信動作を行います。



DAPmn = 1 の場合、SSImnがハイ期間に送信データがセットされると、データ出力に最初のデータ (bit7) を出力します。しかし、SCKmn (シリアル・クロック) の立ち上がりエッジが来てもシフト動作を行わず、立ち下がりエッジに同期して受信データのサンプリングも行いません。SSImnがロウになると、次の立ち上がりエッジに同期してデータを送出 (シフト) し、立ち下がりエッジに同期して受信動作を行います。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

17.6.1 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラから他デバイスヘデータを送信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSB ファーストまたはLSB ファースト
スレーブセレクト入力機能	スレーブ・セレクト機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0)

(1) レジスタ設定

図 17 - 81 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fMCK)
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0”
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1”

チャンネルnの割り込み要因
 0 : 転送完了割り込み
 1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照)

データ転送順序の選択
 0 : MSB ファーストで入出力を行う
 1 : LSB ファーストで入出力を行う

データ長の設定
 0 : 7ビット・データ長
 1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	00000000								0	送信データ設定						
	ボー・レート設定									SIOp						

(d) シリアル出力レジスタ m (SOM) 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM					CKOm3	CKOm2	CKOm1	CKOm0					SOM3	SOM2	SOM1	SOM0
	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0/1

備考1. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. : 簡易SPI (CSI)スレーブ送信モードでは設定固定 : 設定不可(初期値を設定)

x : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図 17 - 82 スレーブセレクト入力機能(CSI00)のスレーブ送信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効

1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

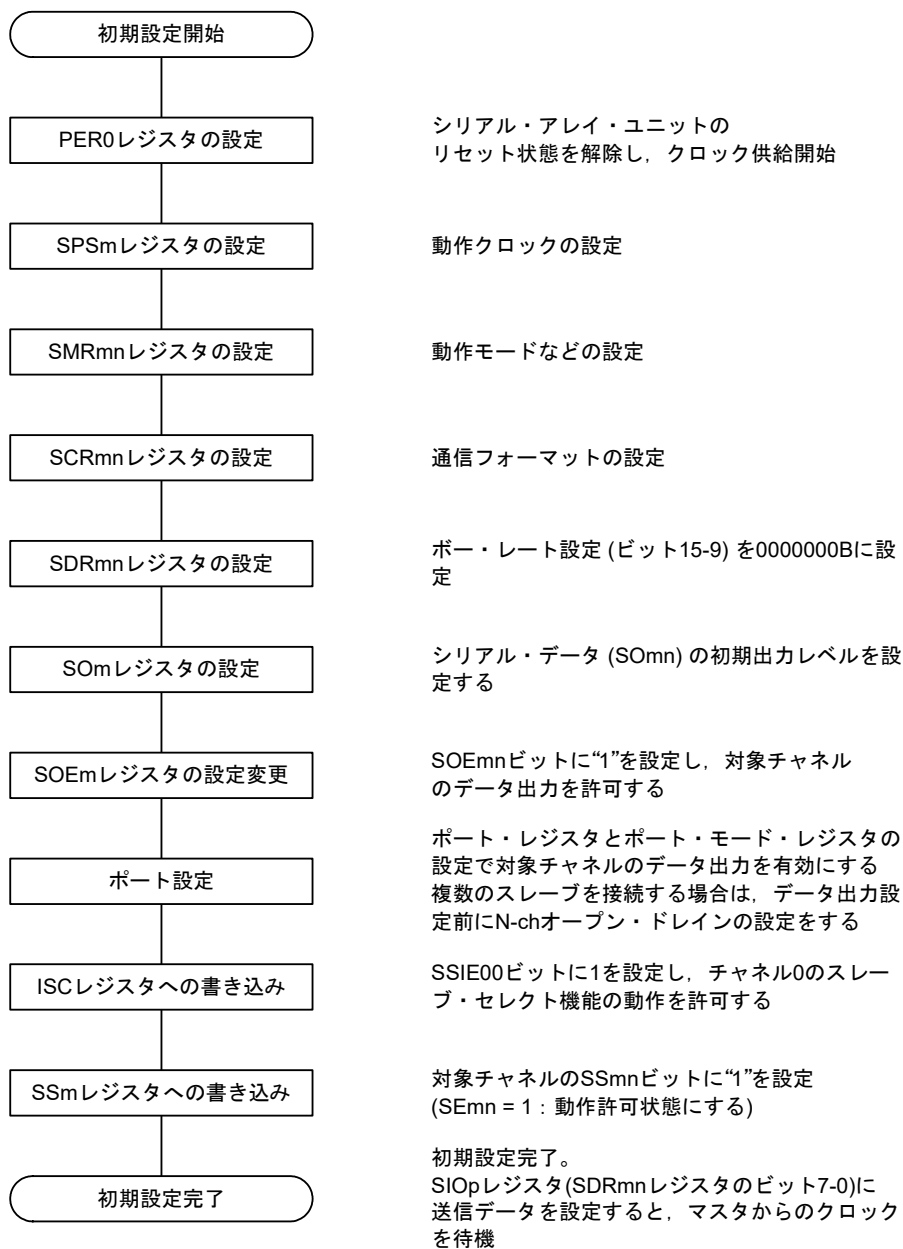
備考2. ☒ : 簡易SPI (CSI)スレーブ送信モードでは設定固定 ☐ : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

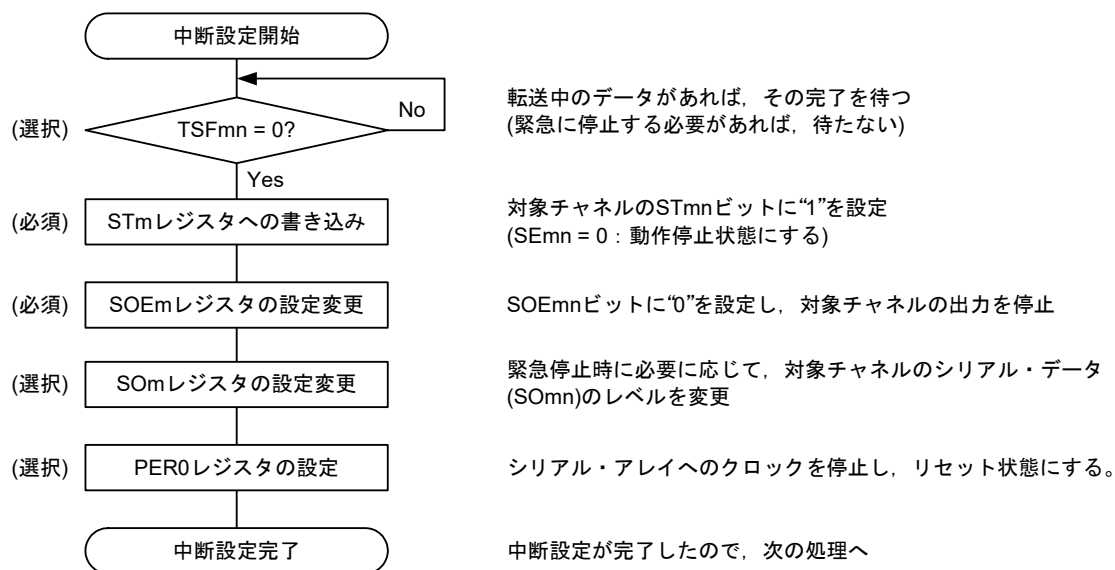
(2) 操作手順

図 17 - 83 スレーブ送信の初期設定手順



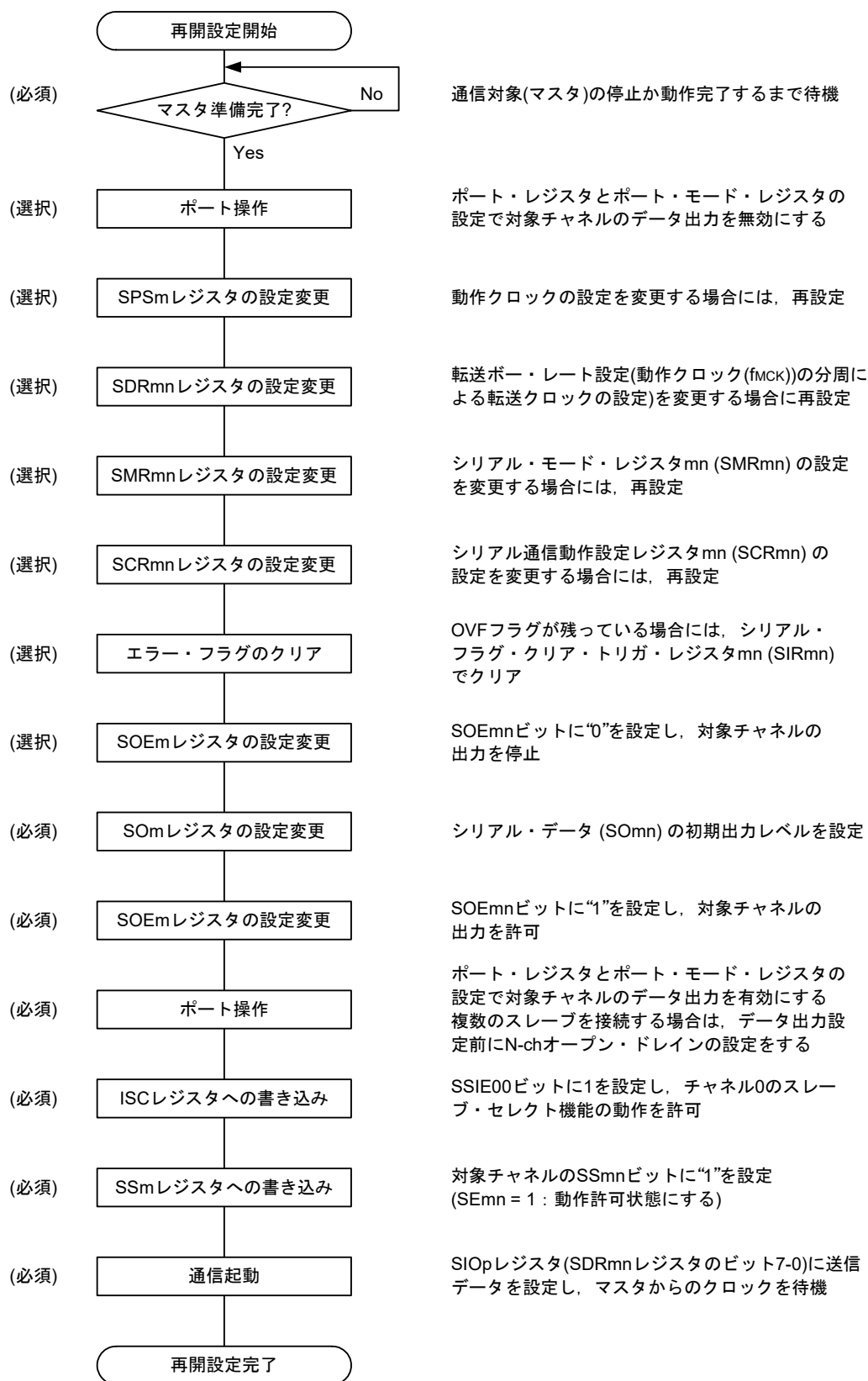
備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図17 - 84 スレーブ送信の中断手順



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 17 - 85 スレーブ送信の再開設定手順

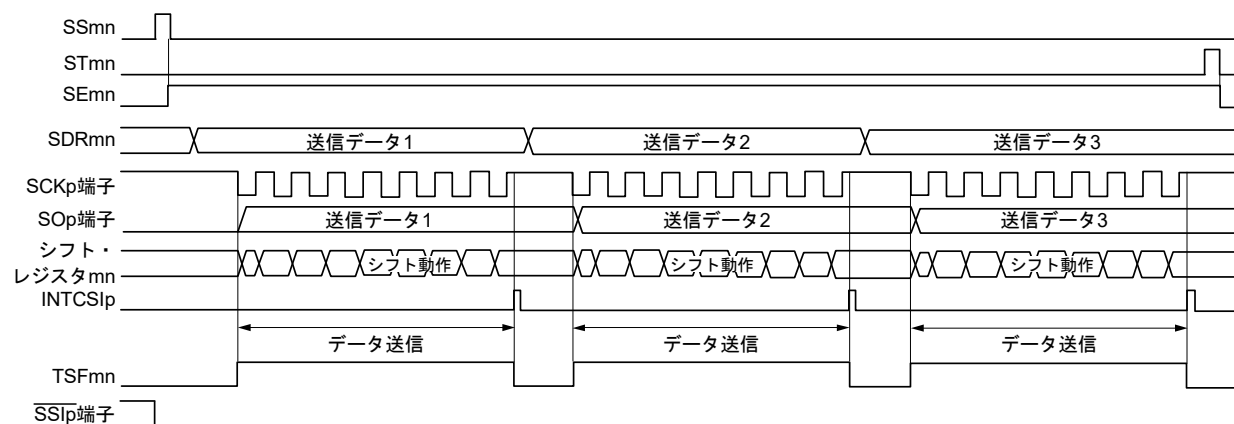


備考1. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

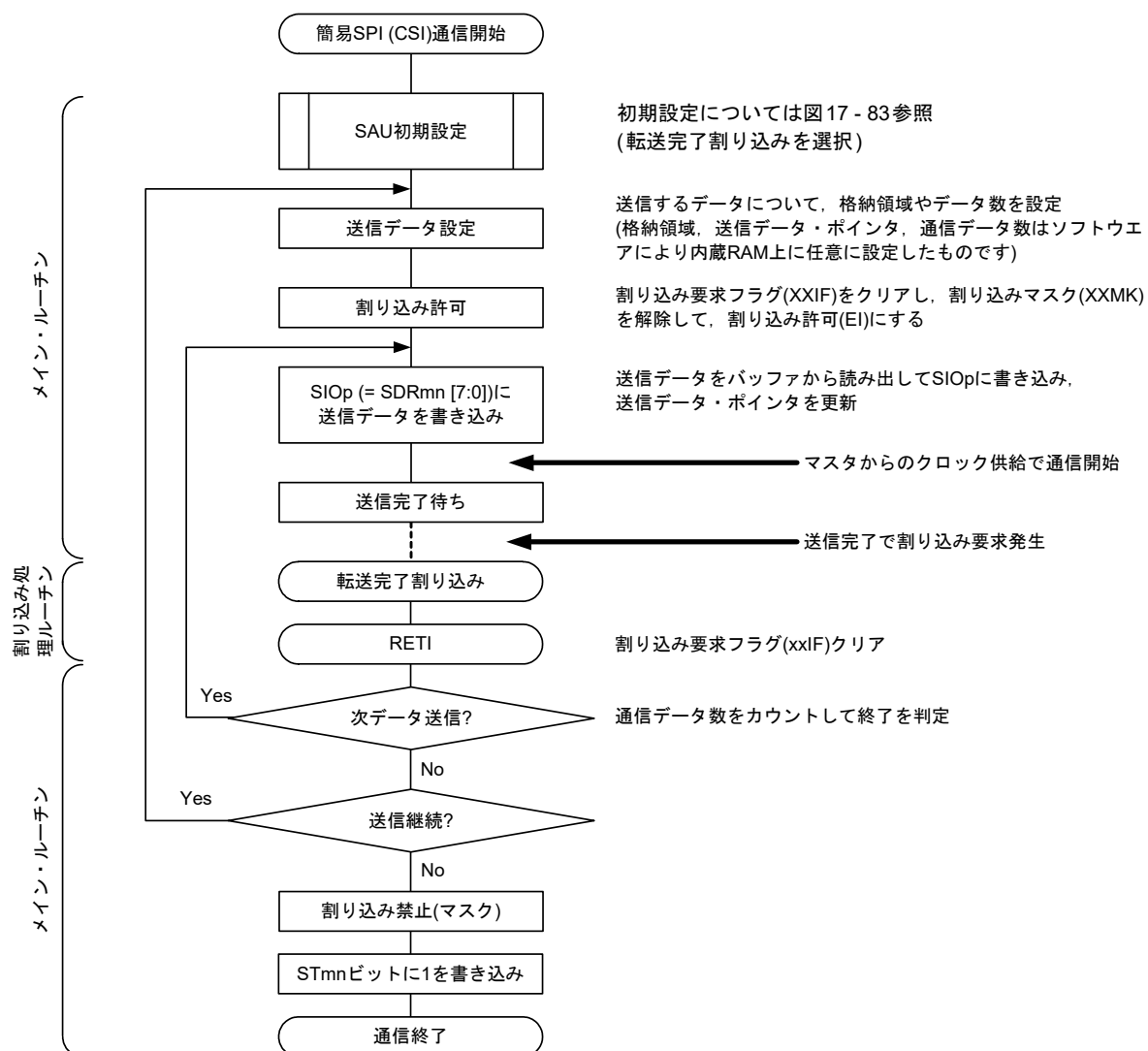
(3) 処理フロー (シングル送信モード時)

図 17 - 86 スレーブ送信 (シングル送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 17 - 87 スレーブ送信(シングル送信モード時)のフロー・チャート



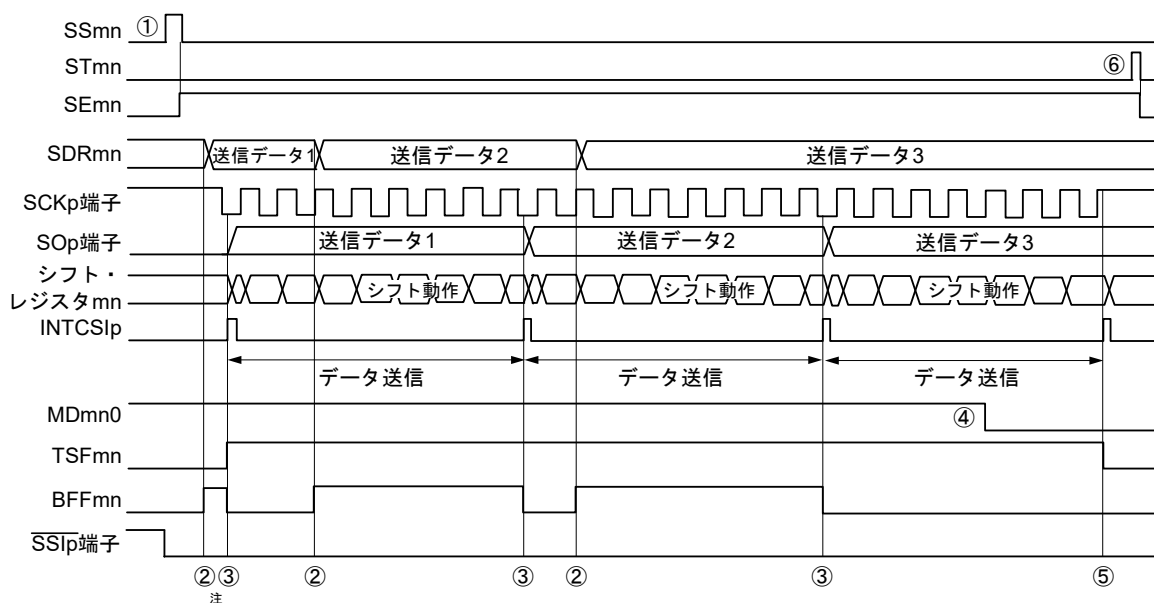
備考 m : ユニット番号 (m = 0)

n : チャンネル番号 (n = 0)

p : CSI 番号 (p = 00)

(4) 処理フロー (連続送信モード時)

図 17 - 88 スレーブ送信(連続送信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)

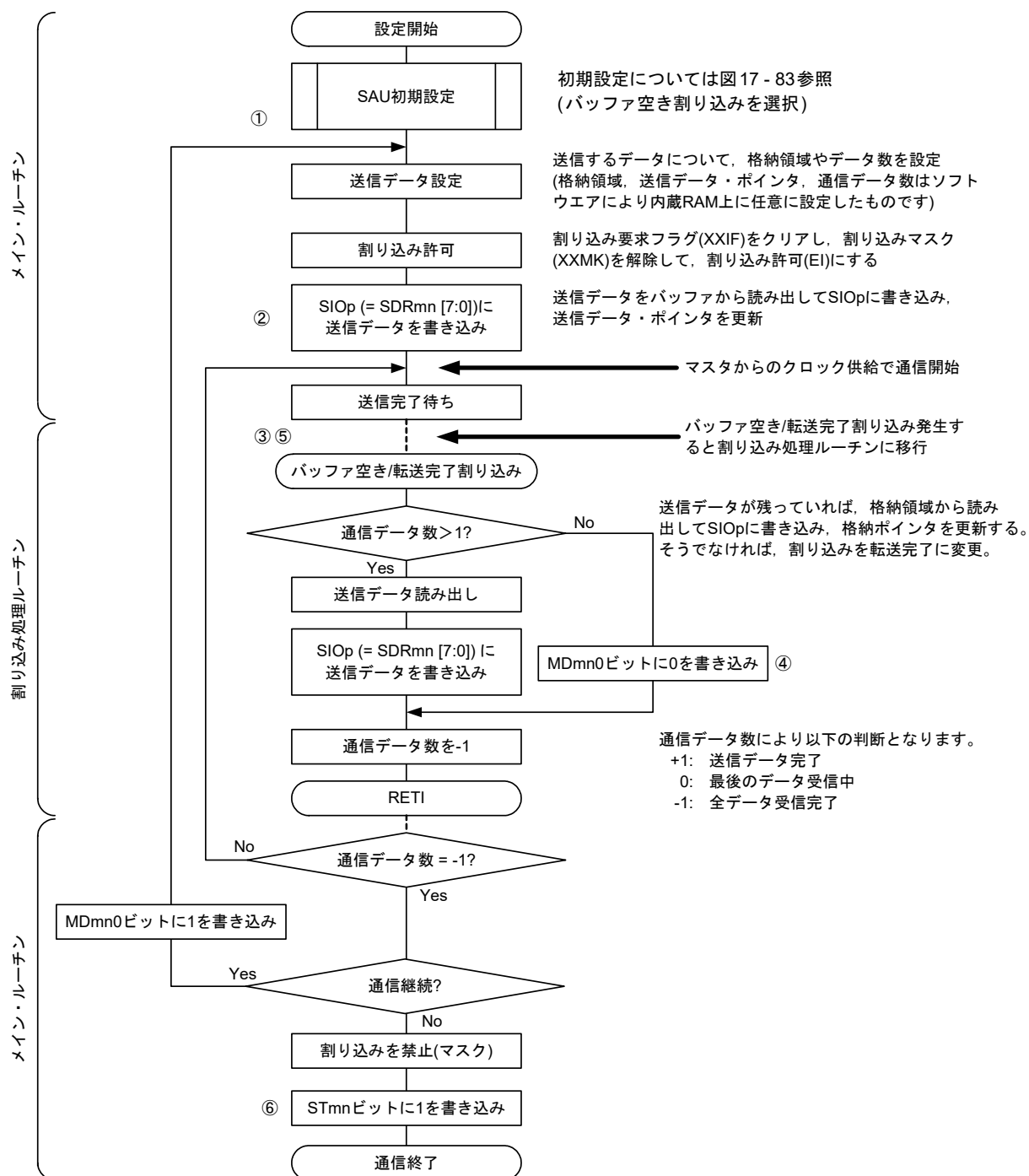


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図17 - 89 スレーブ送信(連続送信モード時)のフロー・チャート



備考1. 図中の①～⑥は、図17 - 88 スレーブ送信(連続送信モード時)のタイミング・チャートの①～⑥に対応しています。

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

17.6.2 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、RL78 マイクロコントローラが他デバイスからデータを受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込みのみ(バッファ空き割り込みは設定禁止)
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6[\text{Hz}]$ 注1, 2
データ位相	SCRmn レジスタのDAPmnビットにより選択可能 • DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 • DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始
クロック位相	SCRmn レジスタのCKPmnビットにより選択可能 • CKPmn = 0の場合：非反転 • CKPmn = 1の場合：反転
データ方向	MSB ファーストまたはLSB ファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

備考2. m : ユニット番号(m = 0) n : チャンネル番号(n = 0)

(1) レジスタ設定

図 17 - 90 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0

チャンネルnの動作クロック (fMCK)
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0”
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1”

チャンネルnの割り込み要因
 0 : 転送完了割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DlRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照)

データ転送順序の選択
 0 : MSB ファーストで入出力を行う
 1 : LSB ファーストで入出力を行う

データ長の設定
 0 : 7ビット・データ長
 1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	00000000								0	受信データ						
	ボー・レート設定									SIOp						

(d) シリアル出力レジスタ m (SOM) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM					CKOm3	CKOm2	CKOm1	CKOm0					SOM3	SOM2	SOM1	SOM0
	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	x

(e) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x

備考1. m : ユニット番号 (m = 0) n : チャンネル番号 (n = 0) p : CSI番号 (p = 00)

備考2. ■ : スレーブ受信モードでは設定固定 ■ : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図 17 - 91 スレーブセレクト入力機能(CSI00)のスレーブ受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効

1 : SSI00端子の入力値を有効

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

備考2. ☒ : スレーブ受信モードでは設定固定 ☐ : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 92 スレーブ受信の初期設定手順

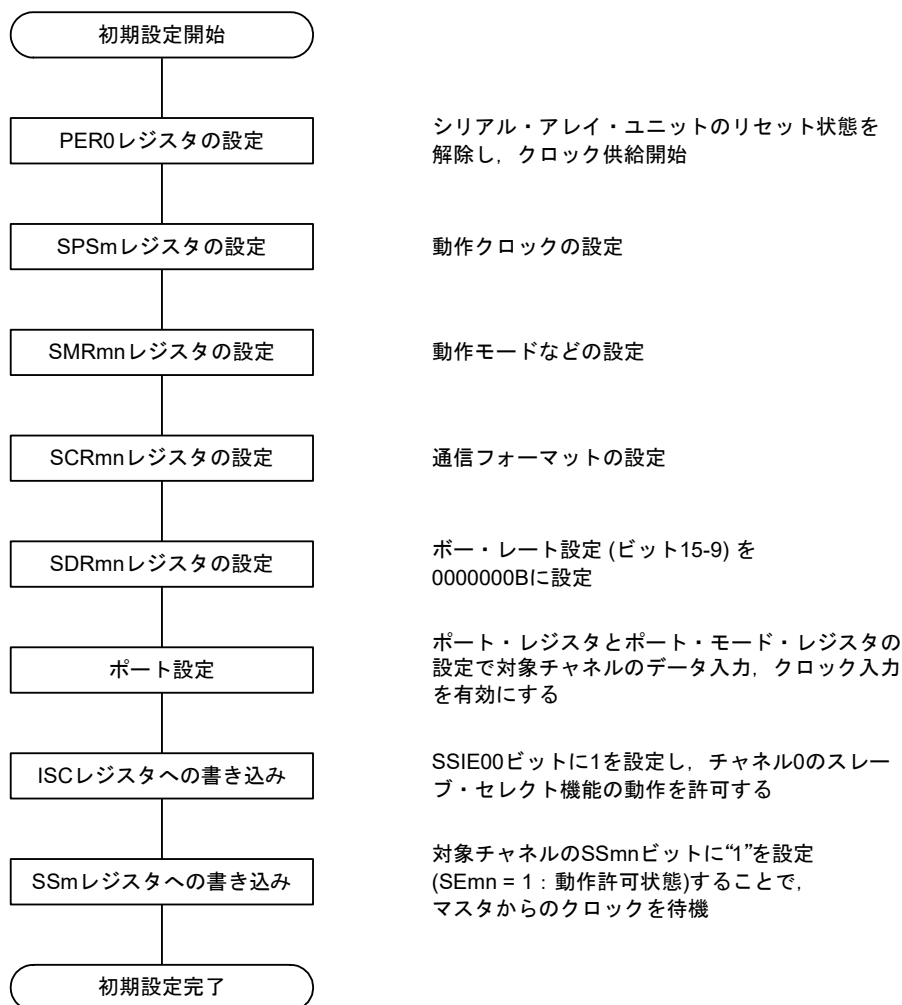
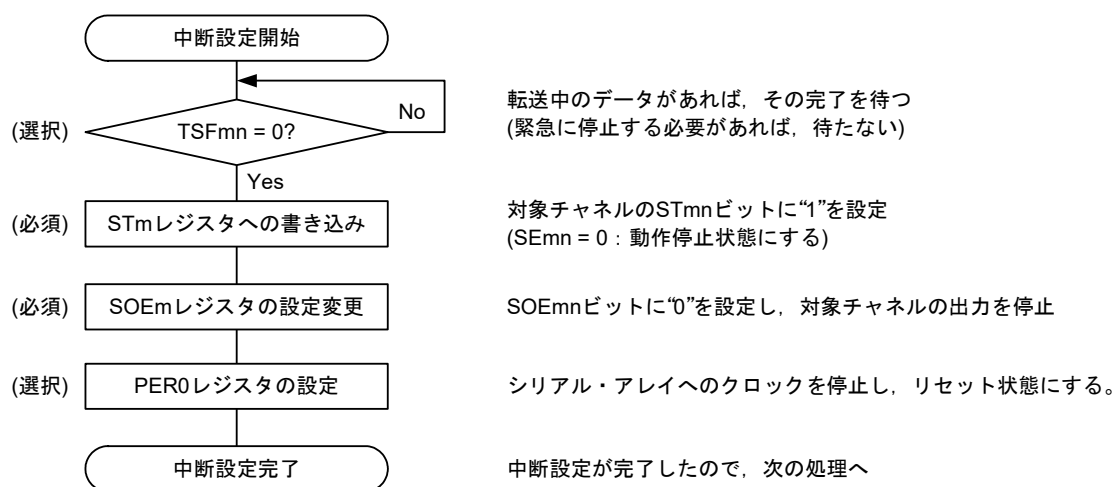


図 17 - 93 スレーブ受信の中断手順

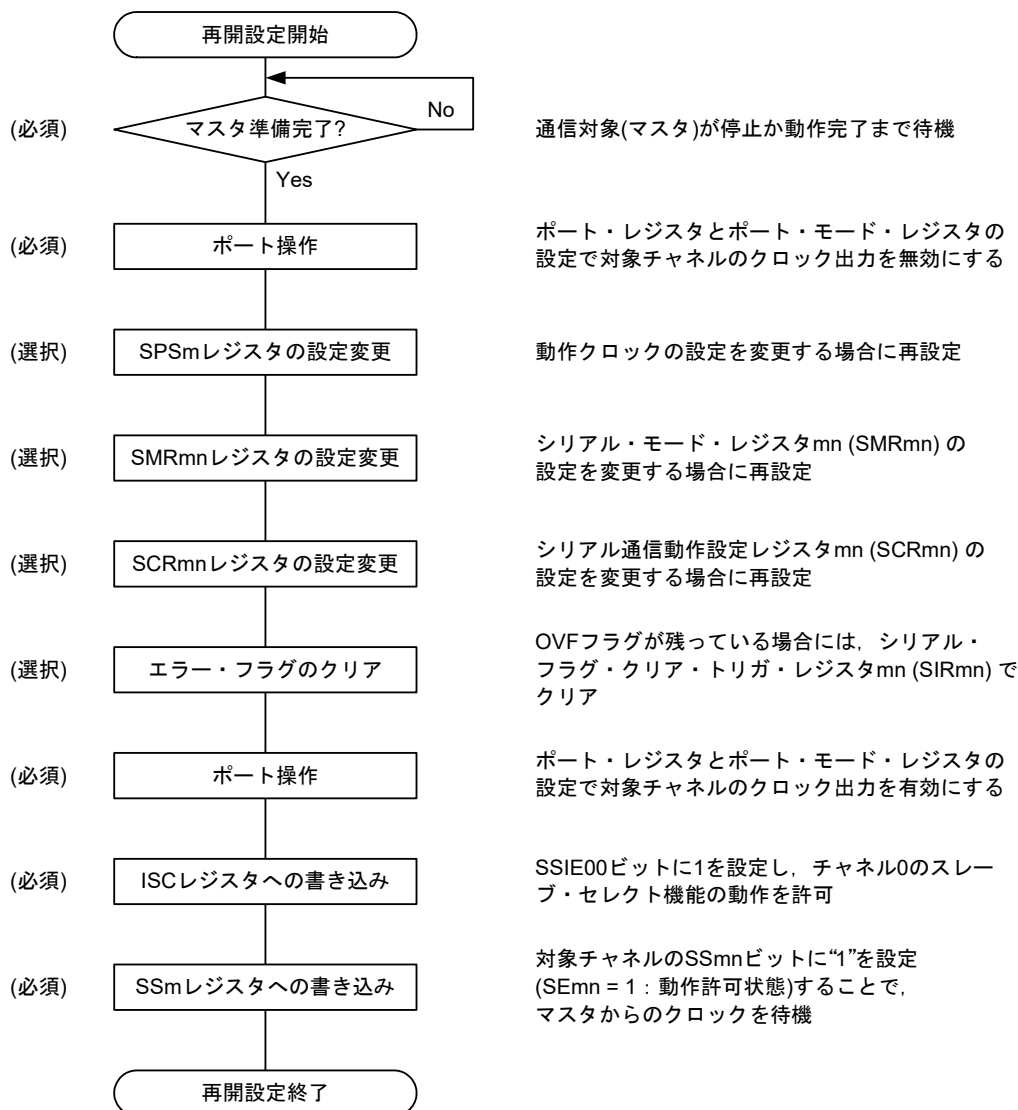


備考 m : ユニット番号 (m = 0)

n : チャネル番号 (n = 0)

p : CSI番号 (p = 00)

図 17 - 94 スレーブ受信の再開設定手順



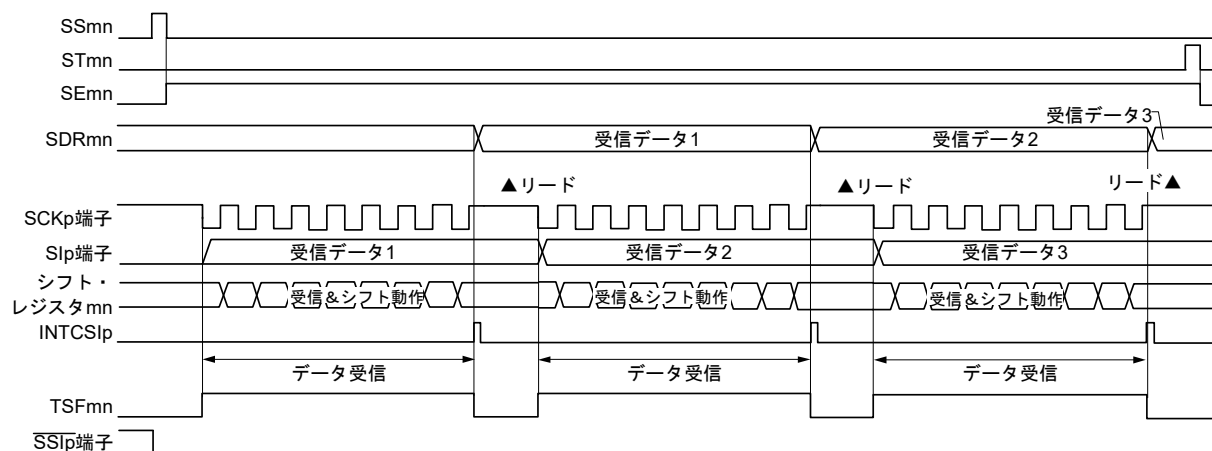
備考 m : ユニット番号 (m = 0)

n : チャネル番号 (n = 0)

p : CSI番号 (p = 00)

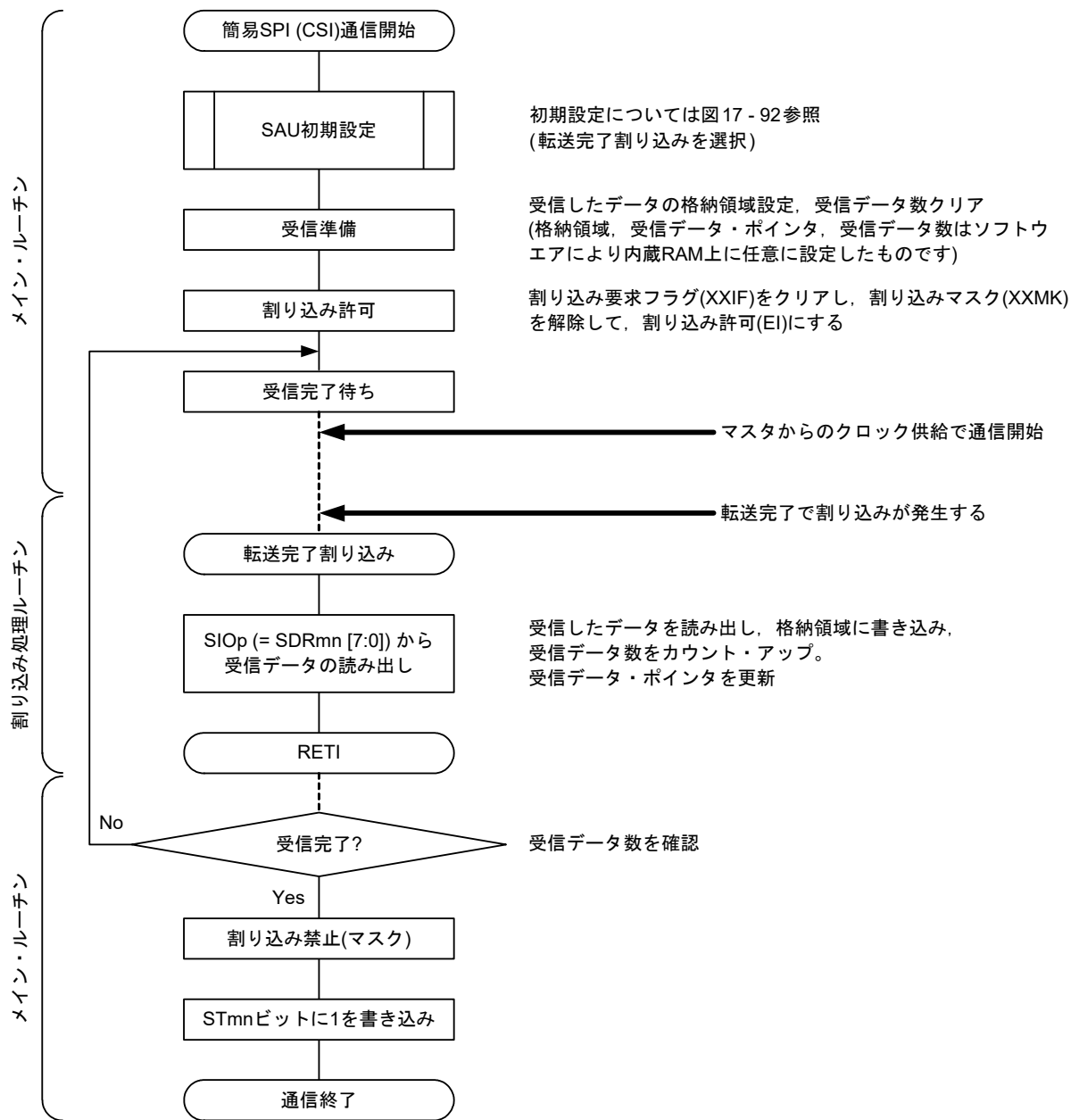
(3) 処理フロー (シングル受信モード時)

図 17 - 95 スレーブ受信 (シングル受信モード時)のタイミング・チャート(タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 17 - 96 スレーブ受信(シングル受信モード時)のフロー・チャート



17.6.3 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、RL78マイクロコントローラと他デバイスでデータを送受信する動作です。

スレーブセレクト入力機能	CSI00
対象チャンネル	SAU0のチャンネル0
使用端子	SCK00, SI00, SO00, $\overline{\text{SSI00}}$
割り込み	INTCSI00 転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ
転送データ長	7ビットまたは8ビット
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注1, 2}
データ位相	SCRmnレジスタのDAPmnビットにより選択可能 ・ DAPmn = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAPmn = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始
クロック位相	SCRmnレジスタのCKPmnビットにより選択可能 ・ CKPmn = 0の場合：非反転 ・ CKPmn = 1の場合：反転
データ方向	MSB ファーストまたはLSB ファースト
スレーブセレクト入力機能	スレーブセレクト入力機能の動作を選択可能

注1. SCK00 端子に入力された外部シリアル・クロックは、内部でサンプリングして使用されるため、最大転送レートは $f_{MCK}/6$ [Hz]となります。

注2. この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 または第35章 電氣的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

備考2. m：ユニット番号(m = 0) n：チャンネル番号(n = 0)

(1) レジスタ設定

図 17 - 97 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	1	0	0	0	0	0	0	0	0	1	0	0	0	0	0/1

チャンネルnの動作クロック (fMCK)
 0 : SPSm レジスタで設定したプリスケアラ出カクロック "CKm0"
 1 : SPSm レジスタで設定したプリスケアラ出カクロック "CKm1"
 チャンネルnの割り込み要因
 0 : 転送完了割り込み
 1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DlRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	1	0/1	0/1	0	0	0	0	0/1	0	0	0	0	1	1	0/1

データとクロックの位相選択
 (設定内容詳細は「17.3 シリアル・アレイ・ユニットを制御するレジスタ」参照)
 データ転送順序の選択
 0 : MSB ファーストで入出力を行う
 1 : LSB ファーストで入出力を行う
 データ長の設定
 0 : 7ビット・データ長
 1 : 8ビット・データ長

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : SIOp)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	00000000								0	送信データ設定/受信データ・レジスタ						
	ボー・レート設定															

SIOp

(d) シリアル出力レジスタ m (SOM) 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM					CKOm3	CKOm2	CKOm1	CKOm0					SOM3	SOM2	SOM1	SOM0
	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	0/1

(e) シリアル出力許可レジスタ m (SOEm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm													SOEm3	SOEm2	SOEm1	SOEm0
	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0/1

注意 マスタからのクロックが開始される前に、必ず送信データを SIOp レジスタへ設定してください。

備考1. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

備考2. : 簡易 SPI (CSI) スレーブ送受信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図 17 - 98 スレーブセレクト入力機能(CSI00)のスレーブ送受信時のレジスタ設定内容例(2/2)

(f) シリアル・チャンネル開始レジスタ m (SSm)..... 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 ×	SSm2 ×	SSm1 ×	SSm0 0/1

(g) 入力切り替え制御レジスタ (ISC)

..... CSI00スレーブ・チャンネル(ユニット0のチャンネル0)のSSI00端子の制御

	7	6	5	4	3	2	1	0
ISC	SSIE00 0/1	0	0	0	0	0	ISC1 0/1	ISC0 0/1

0 : SSI00端子の入力値を無効

1 : SSI00端子の入力値を有効

注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考1. m : ユニット番号(m = 0) n : チャンネル番号(n = 0) p : CSI番号(p = 00)

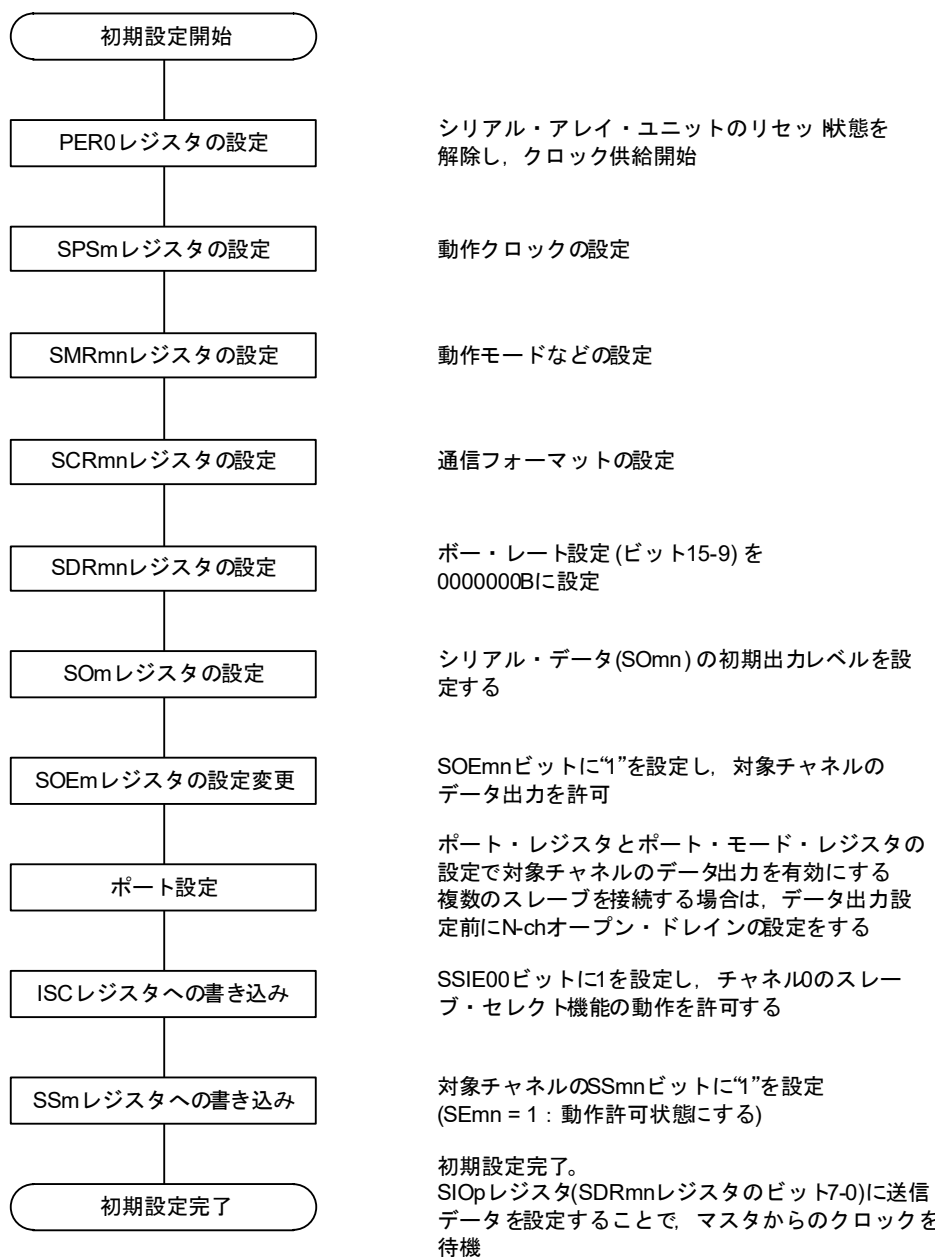
備考2. : 簡易SPI (CSI)スレーブ送受信モードでは設定固定 : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

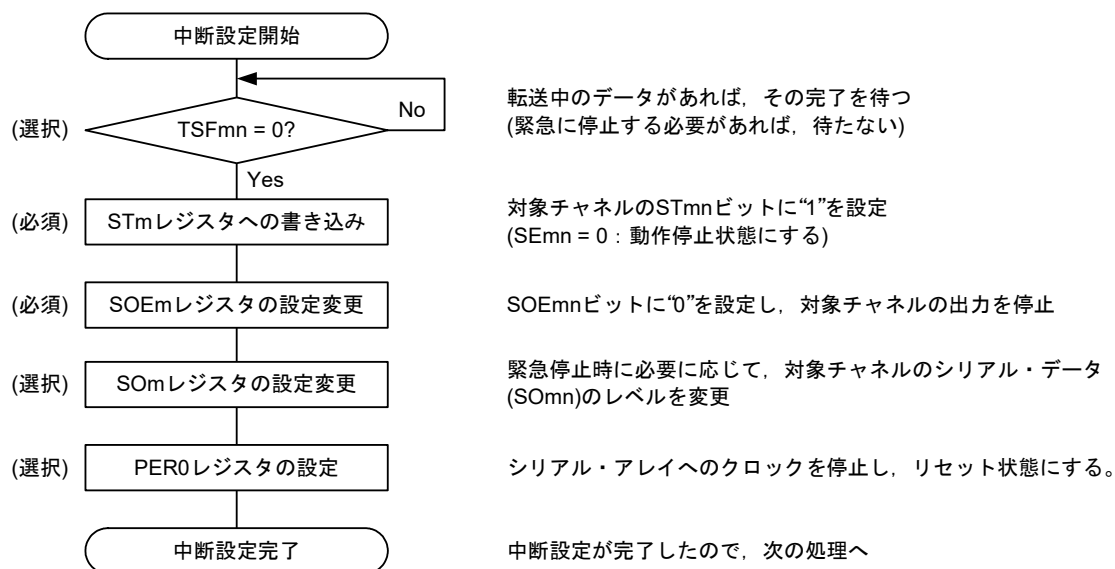
図 17 - 99 スレーブ送受信の初期設定手順



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図 17 - 100 スレーブ送受信の中断手順

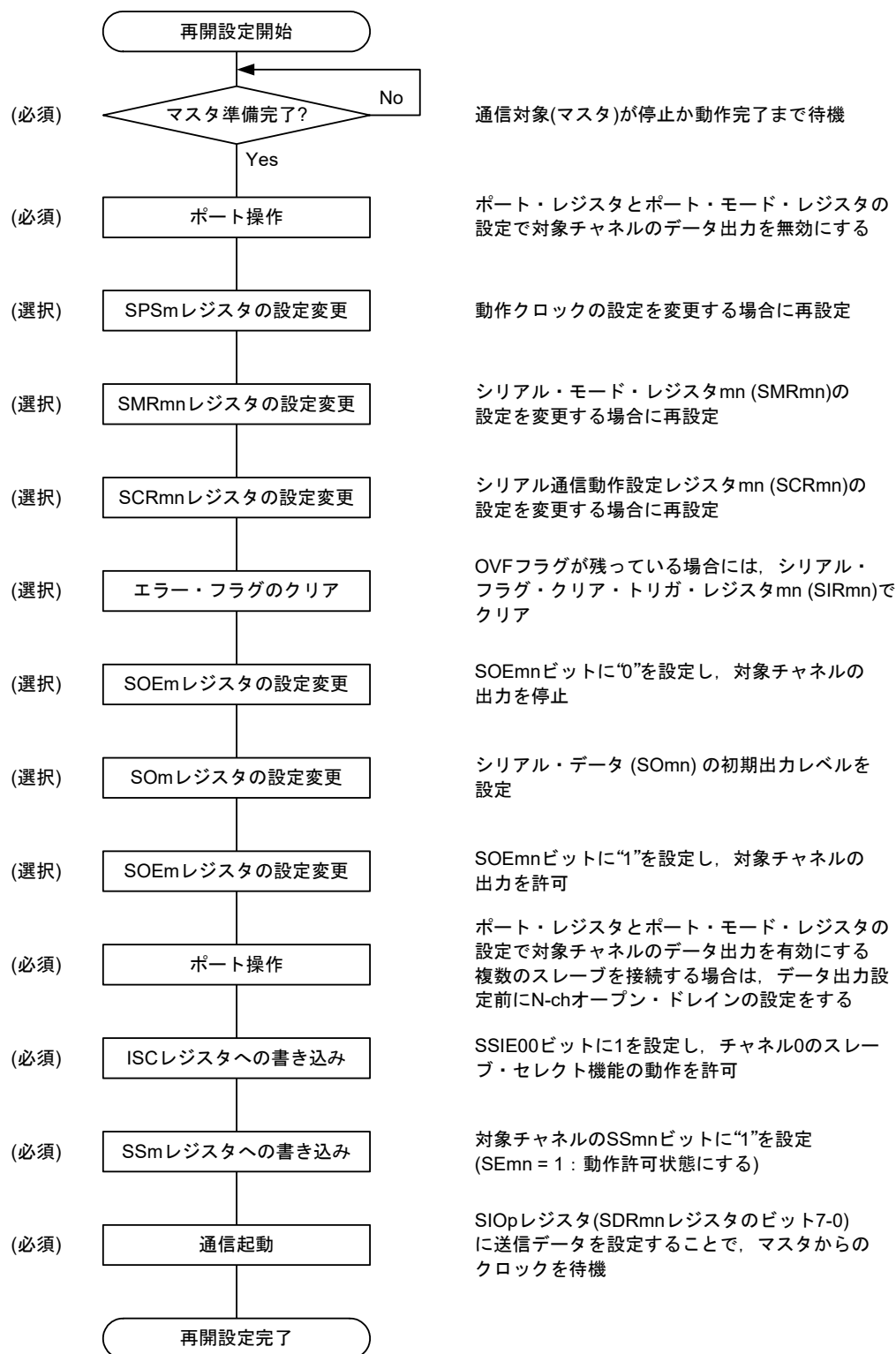


備考 1. m : ユニット番号 (m = 0)

n : チャネル番号 (n = 0)

p : CSI番号 (p = 00)

図 17 - 101 スレーブ送受信の再開設定手順

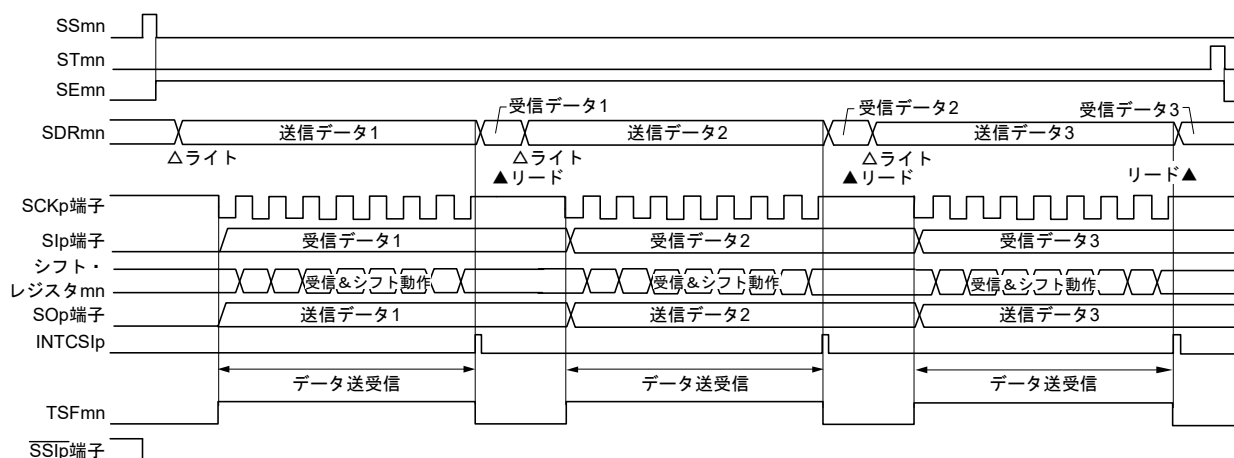


注意1. マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

注意2. 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象(マスタ)の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

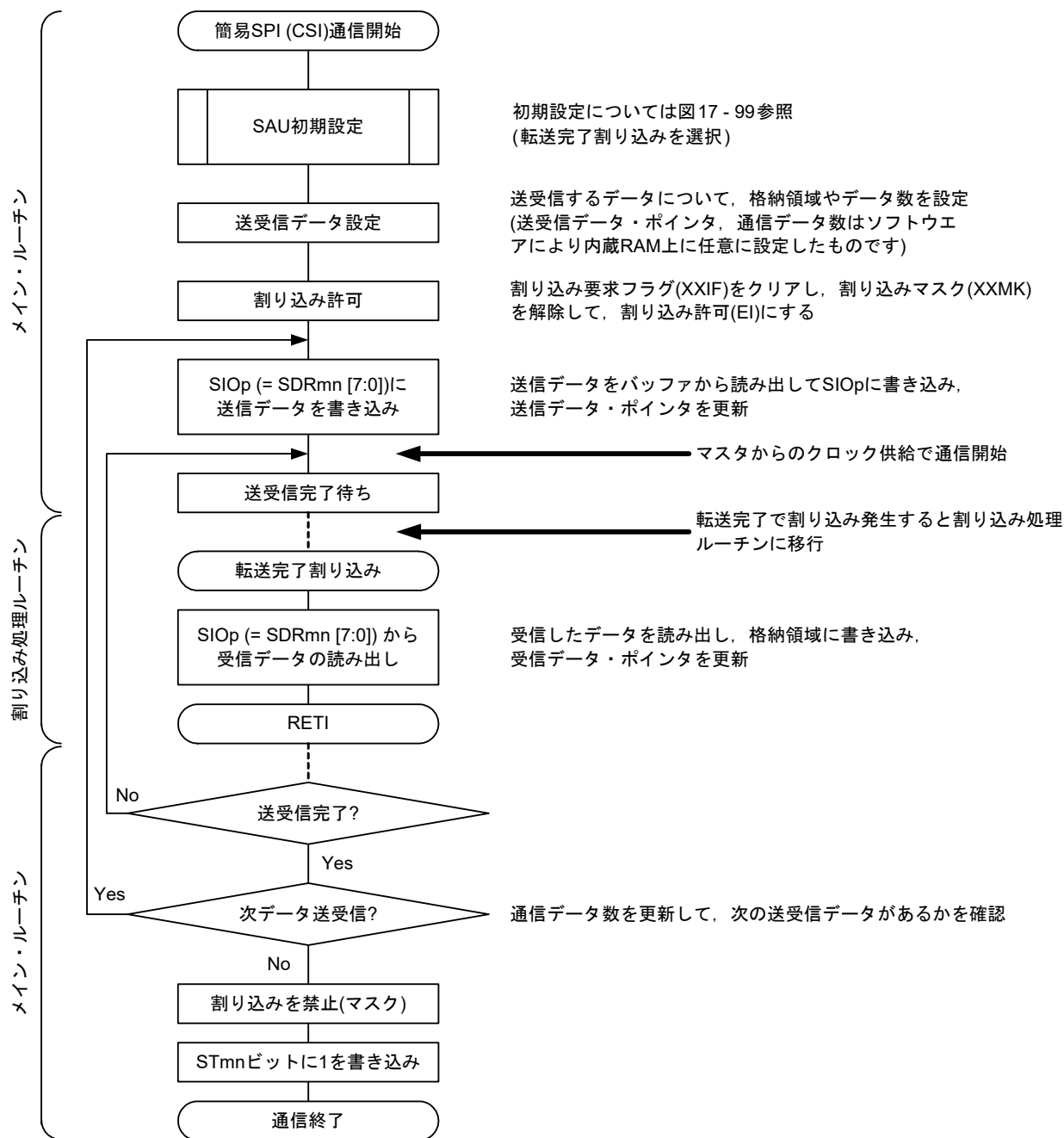
(3) 処理フロー (シングル送受信モード時)

図 17 - 102 スレーブ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

図17 - 103 スレーブ送受信(シングル送受信モード時)のフロー・チャート

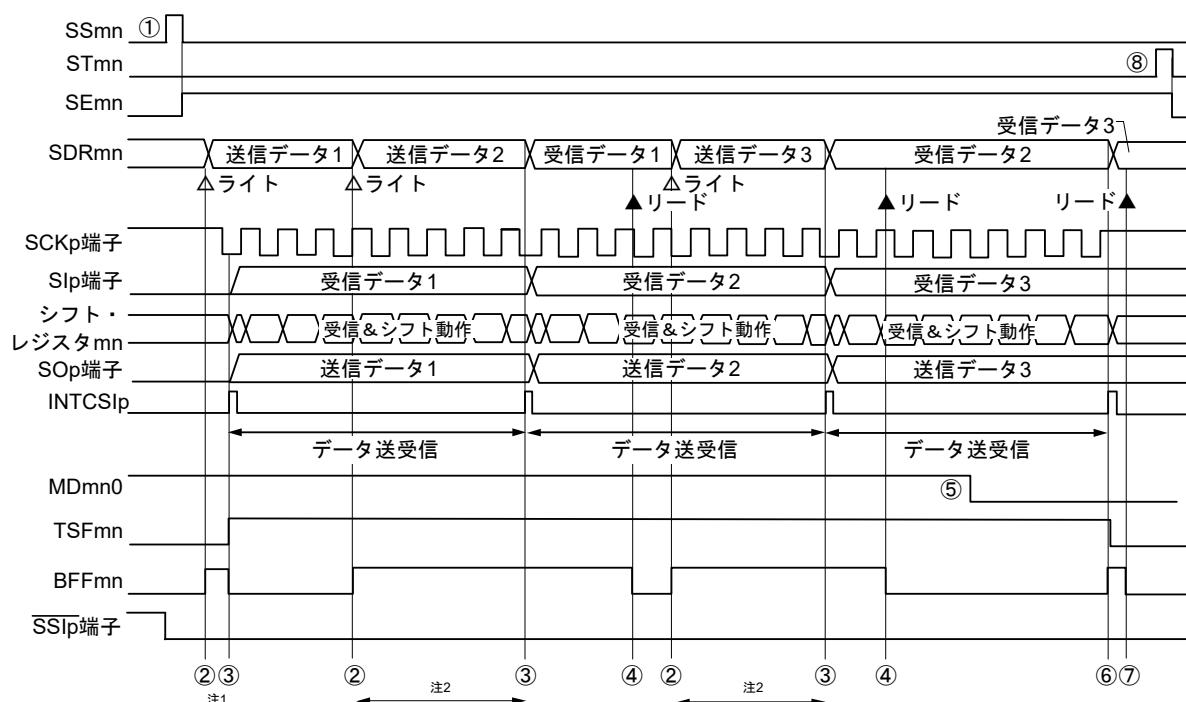


注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

(4) 処理フロー (連続送受信モード時)

図 17 - 104 スレーブ送受信 (連続送受信モード時) のタイミング・チャート (タイプ1 : DAPmn = 0, CKPmn = 0)



注1. シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されている時) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注2. この期間に SDRmn レジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

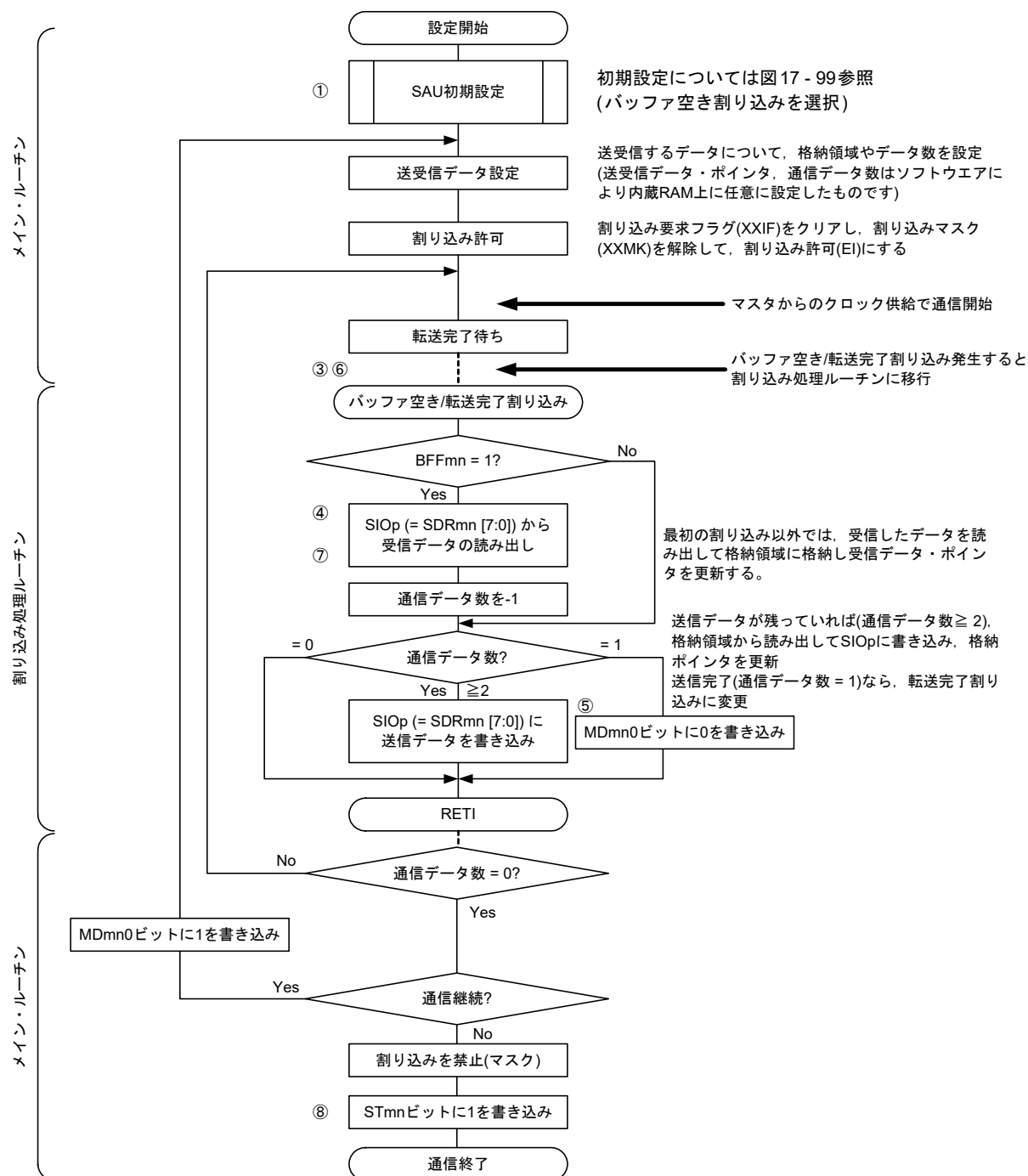
注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。

ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考1. 図中の①～⑧は、図 17 - 105 スレーブ送受信 (連続送受信モード時) のフロー・チャートの①～⑧に対応しています。

備考2. m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI 番号 (p = 00)

図 17 - 105 スレーブ送受信(連続送受信モード時)のフロー・チャート



注意 マスタからのクロックが開始される前に、必ず送信データをSIOpレジスタへ設定してください。

備考 1. 図中の①～⑧は、図 17 - 104 スレーブ送受信(連続送受信モード時)のタイミング・チャートの①～⑧に対応しています。

備考 2. m : ユニット番号(m = 0) n : チャネル番号(n = 0) p : CSI番号(p = 00)

17.6.4 転送クロック周波数の算出

スレーブセレクト入力機能(CSI00)通信での転送クロック周波数は下記の計算式にて算出できます。

(1) スレーブの場合

$(\text{転送クロック周波数}) = \{\text{マスタが供給するシリアル・クロック (SCK) 周波数}\} \text{注 [Hz]}$

注 ただし、許容最大転送クロック周波数は $f_{MCK}/6$ となります。

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0) p : CSI番号 (p = 00)

表 17 - 3 スレーブセレクト入力機能動作クロックの選択

SMRmn レジスタ	SPSmレジスタ								動作クロック (fMCK) ^注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz

注 fCLKに選択しているクロックを変更(システム・クロック制御レジスタ(CKC)の値を変更)する場合は、シリアル・アレイ・ユニット(SAU)の動作を停止(シリアル・チャネル停止レジスタm(STm) = 000FH)させてから変更してください。

備考1. X : Don't care

備考2. m : ユニット番号(m = 0) n : チャネル番号(n = 0)

17.6.5 スレーブセレクト入力機能付クロック同期シリアル通信時におけるエラー発生時の処理手順

スレーブセレクト入力機能付クロック同期シリアル通信時にエラーが発生した場合の処理手順を図 17 - 106 に示します。

図 17 - 106 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	SSRmn レジスタの BFFmn ビットが“0”となり、チャネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

備考 m : ユニット番号 (m = 0) n : チャネル番号 (n = 0)

17.7 UART (UART0-UART3)通信の動作

シリアル・データ送信(TxD)とシリアル・データ受信(RxD)の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で(内部ボー・レートを使用して)、データを送受信します。送信専用(偶数チャンネル)と受信専用(奇数チャンネル)の2チャンネルを使用することで、全2重調歩同期UART通信が実現できます。また、UART0とタイマ・アレイ・ユニット0(チャンネル3)と外部割り込み(INTP0)を組み合わせるとLIN-busにも対応可能です。

[データ送受信]

- 7, 8, 9ビットのデータ長^注
- MSB/LSB ファーストの選択
- 送受信データのレベル設定(レベルを、反転するかどうかの選択)
- パリティ・ビット付加, パリティ・チェック機能
- ストップ・ビット付加, ストップ・ビット・チェック機能

[割り込み機能]

- 転送完了割り込み/バッファ空き割り込み
- フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- フレーミング・エラー, パリティ・エラー, オーバラン・エラー

以下のチャンネルのUART受信は、SNOOZEモードに対応しています。SNOOZEモードとは、STOPモード状態でRxD入力を検出すると、CPU動作を必要とせずにデータ受信を行う機能です。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4が0の時に、以下のUARTのみ設定可能です。

- 30-64ピン製品 : UART0
- 80, 100ピン製品 : UART0, UART2

UART0 (ユニット0のチャンネル0, 1)は、LIN-busに対応しています。

[LIN-bus機能]

- | | | |
|--|---|---|
| <ul style="list-style-type: none">• ウェイクアップ信号検出• ブレーク・フィールド(BF)検出• シンク・フィールド測定, ボー・レート算出 | } | <p>外部割り込み(INTP0),</p> <p>タイマ・アレイ・ユニット0(チャンネル3)を使用</p> |
|--|---|---|

注 9ビット・データ長は、以下のUARTのみ対応しています。

- 30-64ピン製品 : UART0
- 80, 100ピン製品 : UART0, UART2

UART0では、SAU0のチャンネル0, 1を使用します。

UART1では、SAU0のチャンネル2, 3を使用します。

UART2では、SAU1のチャンネル0, 1を使用します。

UART3では、SAU1のチャンネル2, 3を使用します。

○30, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○36, 40, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○80, 100ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

各チャンネルはどれか一つの機能を選択して使用します。選択された機能以外の動作はできません。例えば、ユニット0のチャンネル0, 1で「UART0」を使用するときは、CSI00やCSI01を使用することはできません。しかし、UART0と同時にチャンネルが異なるチャンネル2, 3をCSI10やUART1やIIC10で使用することはできます。

注意 UARTとして使用する場合は、送信側(偶数チャンネル)と受信側(奇数チャンネル)のどちらもUARTにしか使用できません。

UARTの通信動作は、以下の4種類があります。

- UART 送信(17.7.1項を参照)
- UART 受信(17.7.2項を参照)
- LIN 送信(UART0のみ)(17.8.1項を参照)
- LIN 受信(UART0のみ)(17.8.2項を参照)

17.7.1 UART送信

UART送信は、RL78マイクロコントローラから他デバイスへ、非同期(調歩同期)でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル0	SAU0のチャンネル2	SAU1のチャンネル0	SAU1のチャンネル2
使用端子	TxD0	TxD1	TxD2	TxD3
割り込み	INTST0	INTST1	INTST2	INTST3
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}			
転送レート	Max. $f_{MCK}/6$ [bps] (SDRmn[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps] ^{注2}			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	以下の選択が可能 • パリティ・ビットなし • 0パリティ・ビット付加 • 偶数パリティ付加 • 奇数パリティ付加			
ストップ・ビット	以下の選択が可能 • 1ビット付加 • 2ビット付加			
データ方向	MSB ファーストまたはLSB ファースト			

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- 30-64ピン製品: UART0
- 80, 100ピン製品: UART0, UART2

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 0, 2), mn = 00, 02, 10, 12

(1) レジスタ設定

図 17 - 107 UART (UART0-UART3)のUART送信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn												MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0/1

チャンネルnの動作クロック (fMCK)
 0 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm0”
 1 : SPSmレジスタで設定したプリスケアラ出カクロック“CKm1”

チャンネルnの割り込み要因
 0 : 転送完了割り込み
 1 : バッファ空き割り込み

(b) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	1	0	0	0	0	0	0/1	0/1	0/1	0	0/1	0/1	0	1	0/1注1	0/1

パリティ・ビット設定
 00B : パリティなし
 01B : 0パリティ付加
 10B : 偶数パリティ付加
 11B : 奇数パリティ付加

データ転送順序の選択
 0 : MSB ファーストで出力を行う
 1 : LSB ファーストで出力を行う

ストップ・ビット設定
 01B : 1ビット付加
 10B : 2ビット付加

(c) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット : TXDq)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ボー・レート設定							0注2	送信データ設定							

TXDq

(d) シリアル出力レベル・レジスタ m (SOLm) 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOLm	0	0	0	0	0	0	0	0	0	0	0	0	0	SOLm2	0	SOLm0
														0/1		0/1

0 : 非反転(通常)送信
 1 : 反転送信

注1. SCR00レジスタと、80-100ピン製品のSCR10レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm0レジスタのビット0-8が送信データ設定領域になります。

9ビット・データ長での通信が行えるのは、UARTのみです。

・ 30-64ピン製品 : UART0

・ 80, 100ピン製品 : UART0, UART2

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3),
mn = 00, 02, 10, 12

備考2. ■ : UART送信モードでは設定固定 ■ : 設定不可(初期値を設定)

× : このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

図 17 - 108 UART (UART0-UART3)のUART送信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタ m (SOM) 対象チャネルのビットのみ設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	CKOm3	CKOm2	CKOm1	CKOm0	0	0	0	0	SOM3	SOM2	SOM1	SOM0
					×	×	×	×					×	0/1注	×	0/1注

0 : シリアル・データ出力値が“0”

1 : シリアル・データ出力値が“1”

(f) シリアル出力許可レジスタ m (SOEm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3	SOEm2	SOEm1	SOEm0
													×	0/1	×	0/1

(g) シリアル・チャネル開始レジスタ m (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3	SSm2	SSm1	SSm0
													×	0/1	×	0/1

注 該当するチャネルの SOLmn ビットに0を設定している場合は“1”に、SOLmn ビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2) q : UART 番号 (q = 0-3),
mn = 00, 02, 10, 12

備考2.  : UART 送信モードでは設定固定  : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 109 UART 送信の初期設定手順

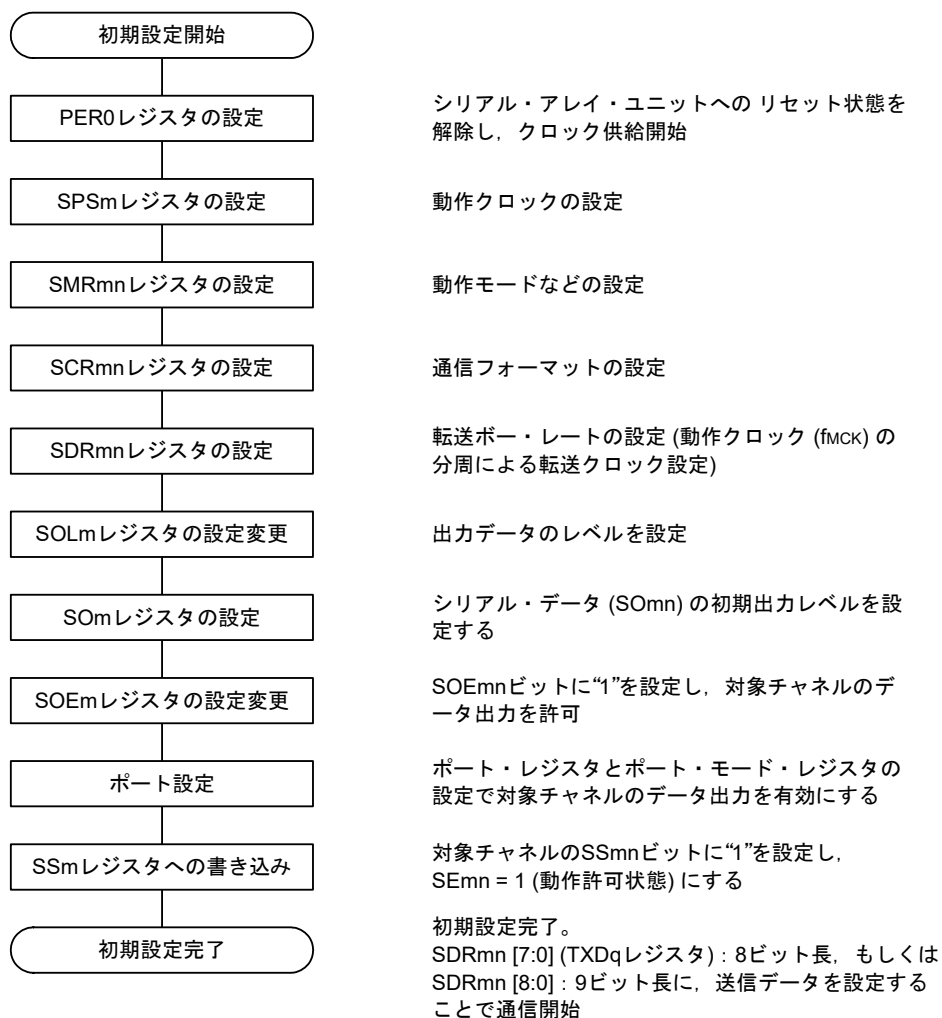


図 17 - 110 UART 送信の中断手順

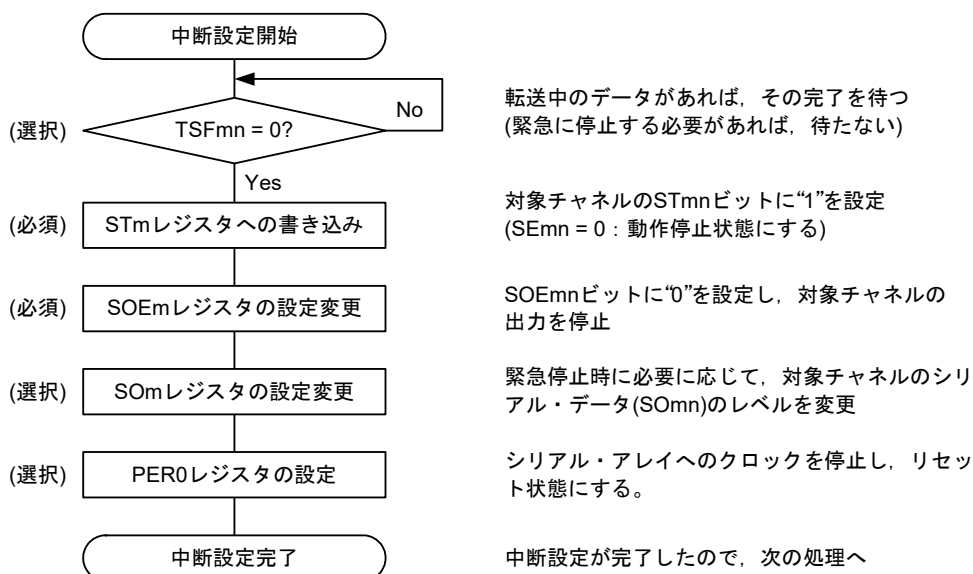
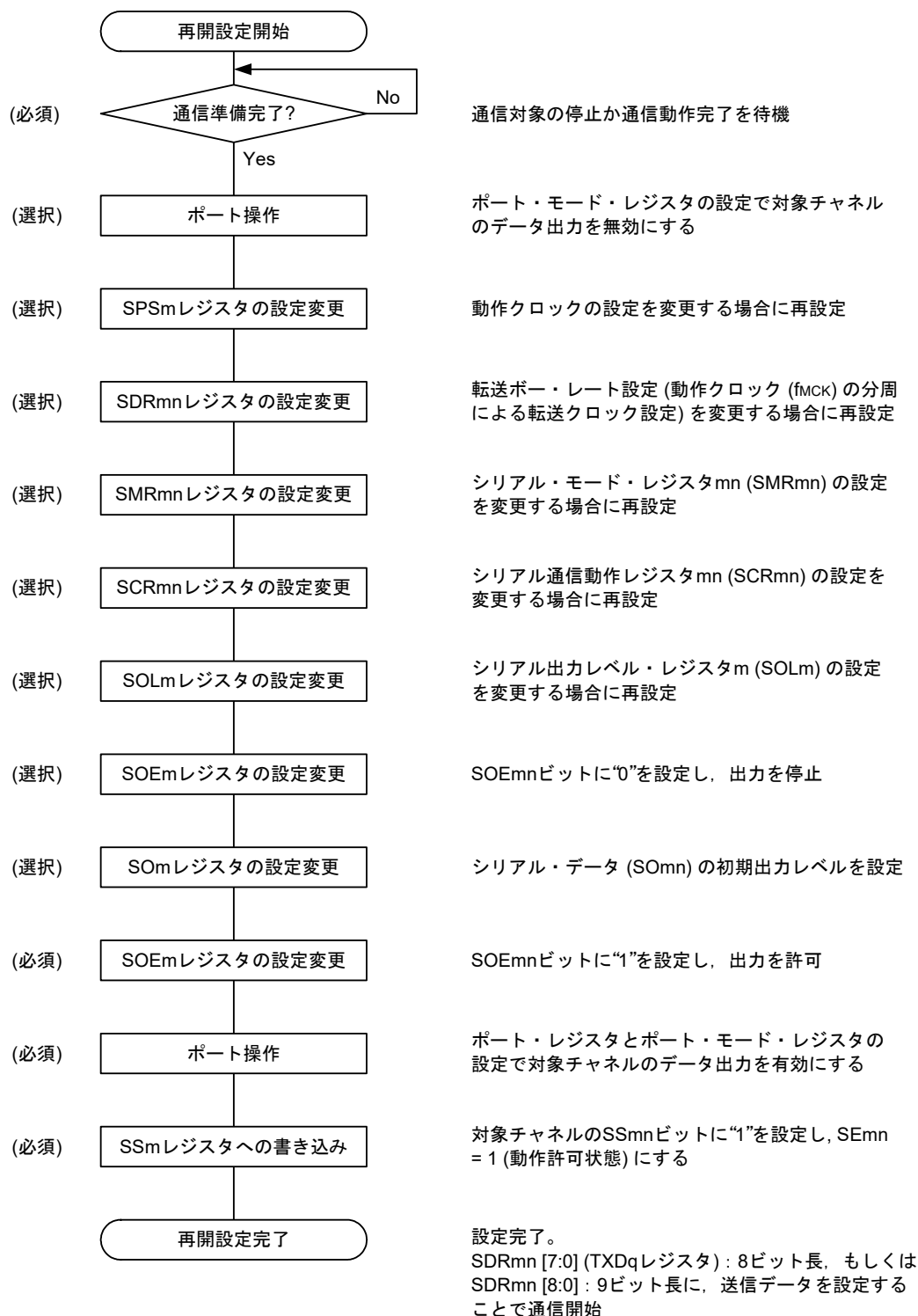


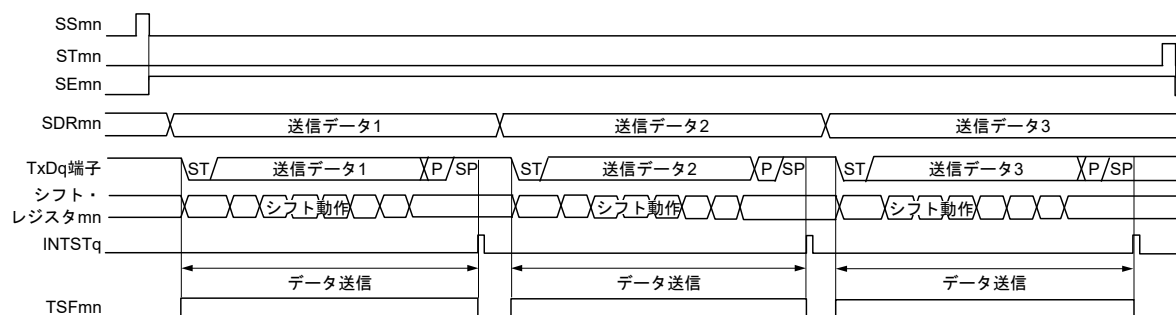
図17 - 111 UART送信の再開設定手順



備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

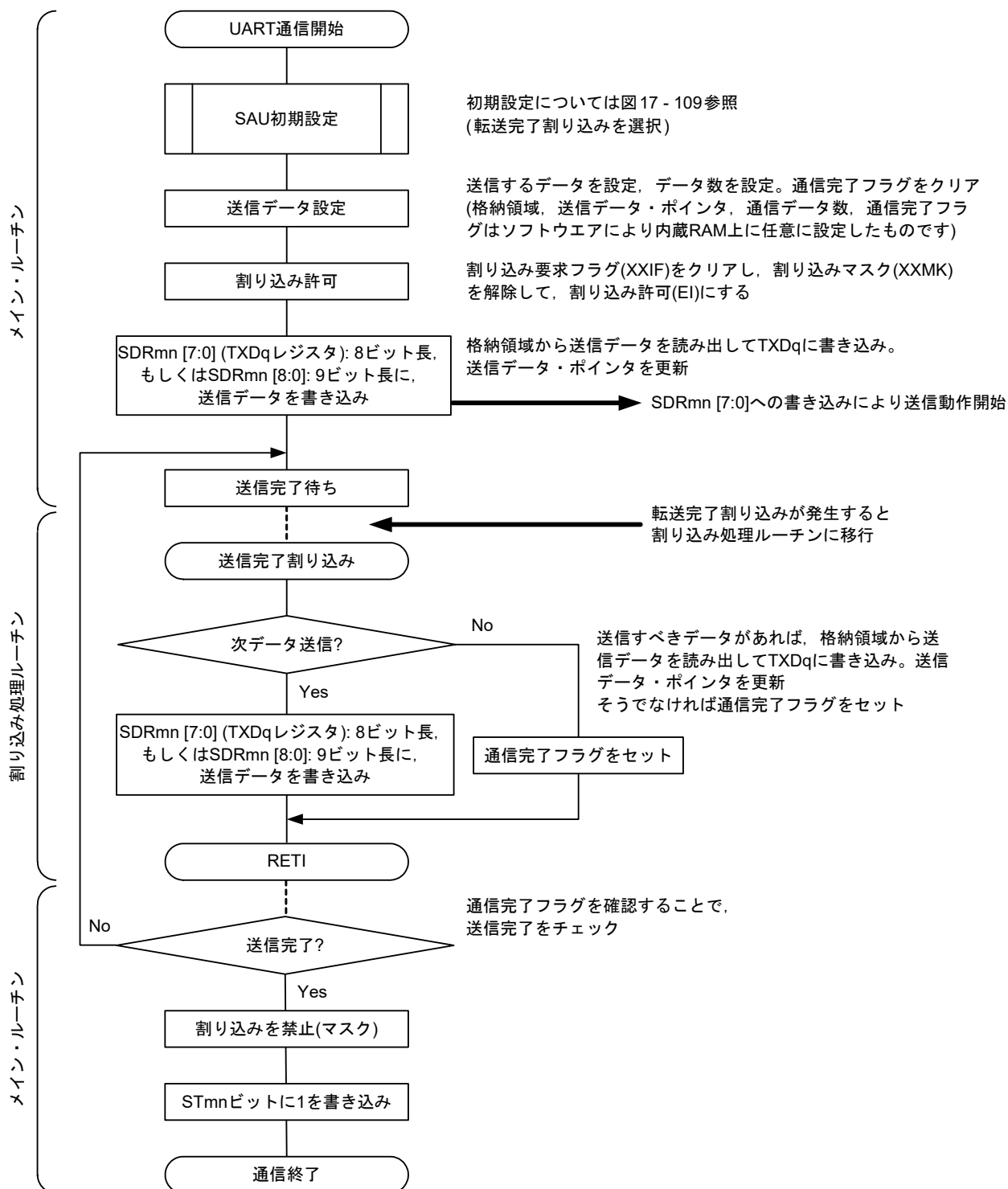
(3) 処理フロー(シングル送信モード時)

図 17 - 112 UART 送信(シングル送信モード時)のタイミング・チャート



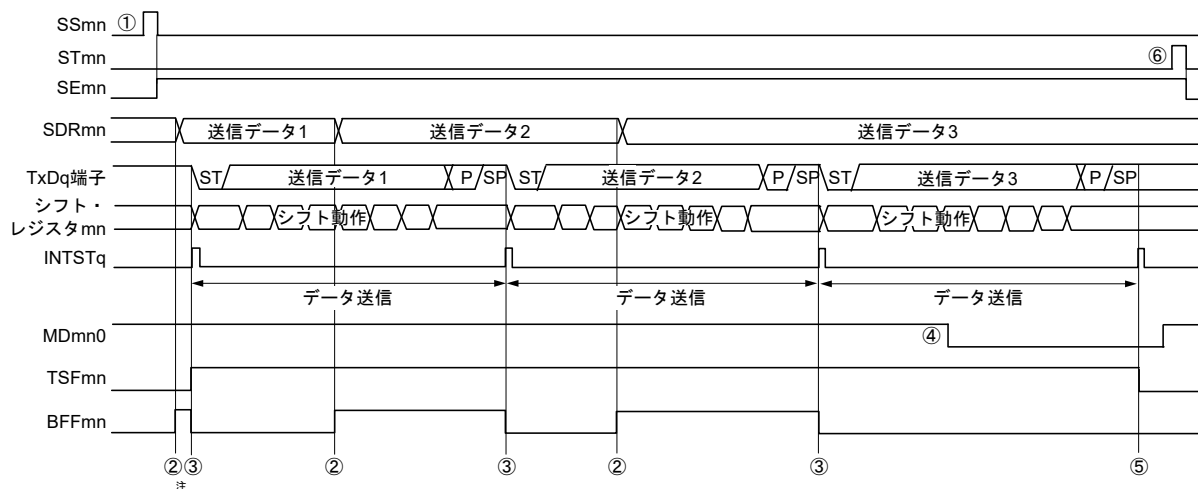
備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0, 2) q : UART 番号(q = 0-3)
mn = 00, 02, 10, 12

図 17 - 113 UART送信(シングル送信モード時)のフロー・チャート



(4) 処理フロー (連続送信モード時)

図 17 - 114 UART 送信 (連続送信モード時) のタイミング・チャート

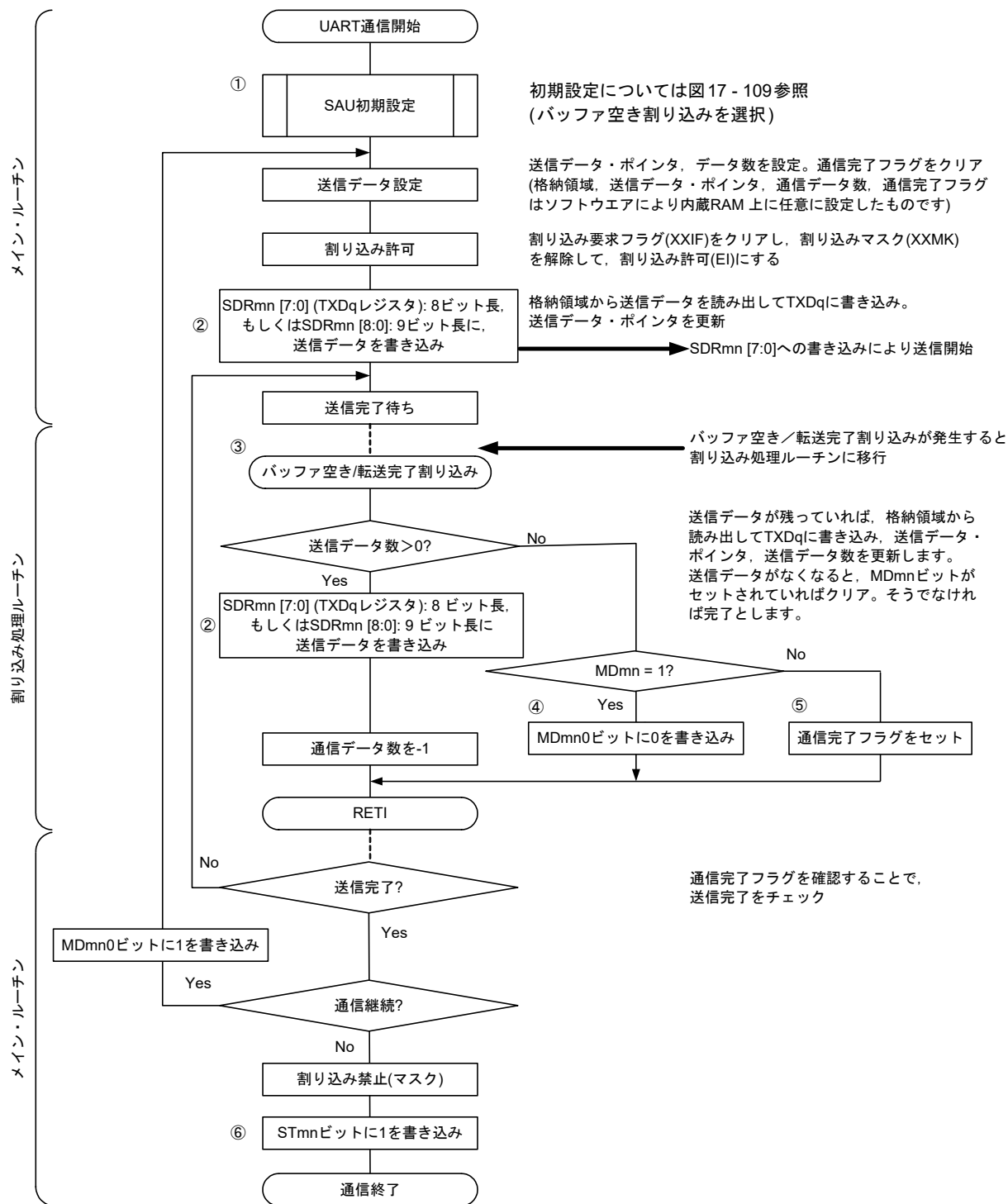


注 シリアル・ステータス・レジスタ mn (SSRmn) の BFFmn ビットが“1”の期間 (有効なデータがシリアル・データ・レジスタ mn (SDRmn) に格納されているとき) に SDRmn レジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ mn (SMRmn) の MDmn0 ビットは、動作中でも書き換えることができます。
ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0, 2) q : UART 番号 (q = 0-3)
mn = 00, 02, 10, 12

図 17 - 115 UART 送信 (連続送信モード時) のフロー・チャート



備考 図中の①～⑥は、図 17 - 114 UART 送信 (連続送信モード時) のタイミング・チャートの①～⑥に対応しています。

17.7.2 UART 受信

UART 受信は、他デバイスからRL78マイクロコントローラが非同期(調歩同期)でデータを受信する動作です。

UART 受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1	UART2	UART3
対象チャンネル	SAU0のチャンネル1	SAU0のチャンネル3	SAU1のチャンネル1	SAU1のチャンネル3
使用端子	RxD0	RxD1	RxD2	RxD3
割り込み	INTSR0	INTSR1	INTSR2	INTSR3
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー割り込み	INTSRE0	INTSRE1	INTSRE2	INTSRE3
エラー検出フラグ	・ フレーミング・エラー検出フラグ(FEFmn) ・ パリティ・エラー検出フラグ(PEFmn) ・ オーバラン・エラー検出フラグ(OVFmn)			
転送データ長	7ビットまたは8ビットまたは9ビット ^{注1}			
転送レート ^{注2}	Max. $f_{MCK}/6$ [bps] ($SDR_{mn}[15:9] = 2$ 以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	以下の選択が可能 ・ パリティ・ビットなし(パリティ・チェックなし) ・ 0パリティ・ビット付加(パリティ・チェックなし) ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック			
ストップ・ビット	1ビット付加			
データ方向	MSB ファーストまたはLSB ファースト			

注1. 9ビット・データ長は、以下のUARTのみ対応しています。

- ・ 30-64ピン製品: UART0
- ・ 80, 100ピン製品: UART0, UART2

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考1. f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

備考2. m : ユニット番号($m = 0, 1$) n : チャンネル番号($n = 1, 3$), $mn = 01, 03, 11, 13$

(1) レジスタ設定

図 17 - 116 UART (UART0-UART3)のUART 受信時のレジスタ設定内容例(1/2)

(a) シリアル・モード・レジスタ mn (SMRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmn	CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
	0/1	0	0	0	0	0	0	1	0	0/1	1	0	0	0	1	0

チャンネルnの動作クロック (f_{mck})
 0: SPSmレジスタで設定したプリスケアラ出カクロック“CKm0”
 1: SPSmレジスタで設定したプリスケアラ出カクロック“CKm1”

0: 通常受信
 1: 反転受信

チャンネルnの動作モード
 0: 転送完了割り込み
 1: 転送完了割り込み

(b) シリアル・モード・レジスタ mr (SMRmr)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMRmr	CKSmr	CCSmr												MDmr2	MDmr1	MDmr0
	0/1	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0/1

CKSmn ビットと同じ設定値

チャンネルrの動作モード
 0: 転送完了割り込み
 1: バッファ空き割り込み

(c) シリアル通信動作設定レジスタ mn (SCRmn)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCRmn	TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
	0	1	0	0	0	1	0/1	0/1	0/1	0	0	1	0	1	0/1注1	0/1

パリティ・ビット設定
 00B: パリティ・チェックなし
 01B: パリティ判定を行わない
 10B: 偶数パリティ・チェック
 11B: 奇数パリティ・チェック

データ転送順序の選択
 0: MSB ファーストで出力を行う
 1: LSB ファーストで出力を行う

データ長の設定

(d) シリアル・データ・レジスタ mn (SDRmn)(下位8ビット: RXDq)

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDRmn	ポー・レート設定								0注2	受信データ・レジスタ						

RXDq

注1. SCR01レジスタと、80-100ピン製品のSCR11レジスタのみ。その他は1固定になります。

注2. 9ビット・データ長での通信を行う場合は、SDRm1レジスタのビット0-8が受信データ設定領域になります。
9ビット・データ長での通信が行えるのは、以下のUARTのみです。

- 30-64ピン製品: UART0
- 80, 100ピン製品: UART0, UART2

注意 UART受信時は、チャンネルnとペアになるチャンネルrのSMRmrレジスタも必ず設定してください。

備考1. m: ユニット番号(m = 0, 1) n: チャンネル番号(n = 1, 3), mn = 01, 03, 11, 13

r: チャンネル番号(r = n - 1) q: UART番号(q = 0-3)

備考2. ■: UART受信モードでは設定固定 ■: 設定不可(初期値を設定)

×: このモードでは使用できないビット(他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図 17 - 117 UART (UART0-UART3)のUART 受信時のレジスタ設定内容例(2/2)

(e) シリアル出力レジスタ m (SOM) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOM	0	0	0	0	CKOm3 ×	CKOm2 ×	CKOm1 ×	CKOm0 ×	0	0	0	0	SOM3 ×	SOM2 ×	SOM1 ×	SOM0 ×

(f) シリアル出力許可レジスタ m (SOEm) このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOEm	0	0	0	0	0	0	0	0	0	0	0	0	SOEm3 ×	SOEm2 ×	SOEm1 ×	SOEm0 ×

(g) シリアル・チャネル開始レジスタ m (SSm) 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSm	0	0	0	0	0	0	0	0	0	0	0	0	SSm3 0/1	SSm2 ×	SSm1 0/1	SSm0 ×

備考1. m : ユニット番号 (m = 0, 1)

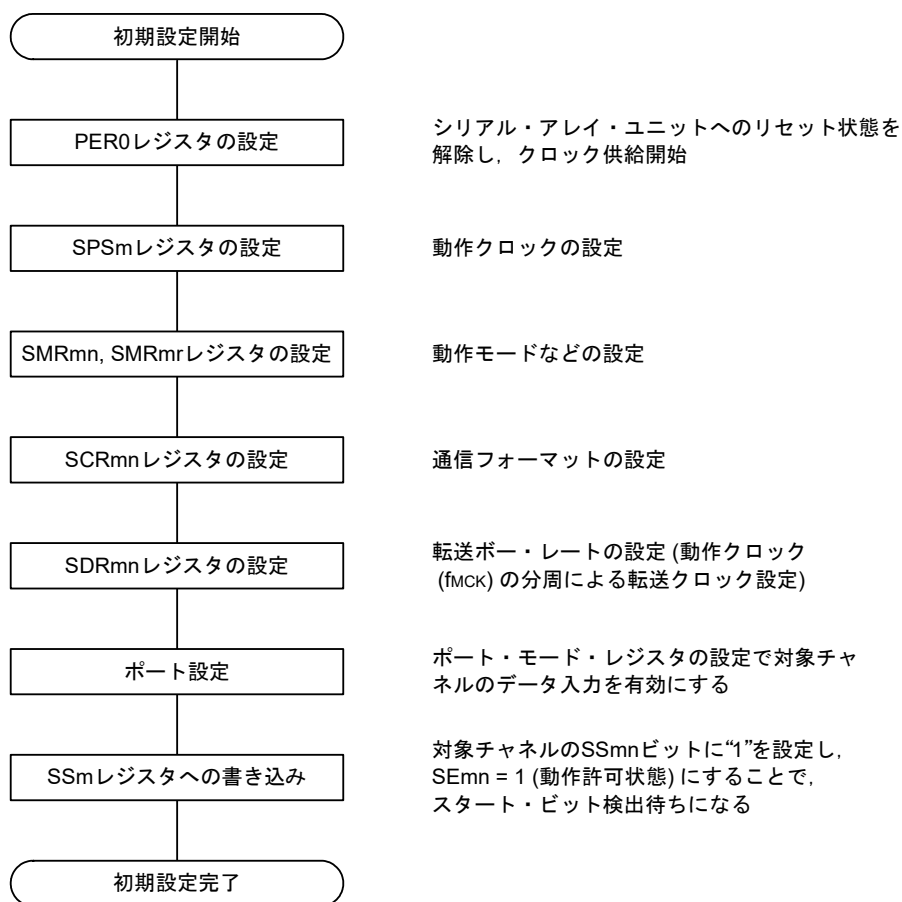
備考2.  : UART 受信モードでは設定固定  : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 118 UART 受信の初期設定手順



注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

図 17 - 119 UART 受信の中断手順

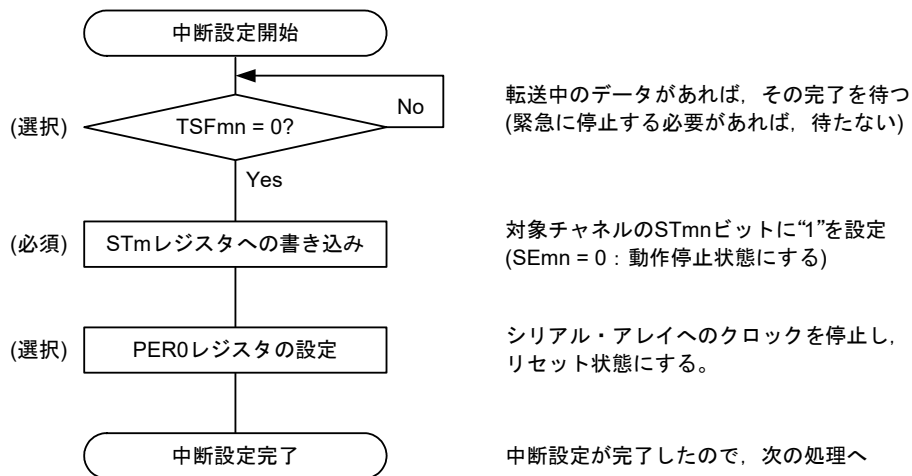
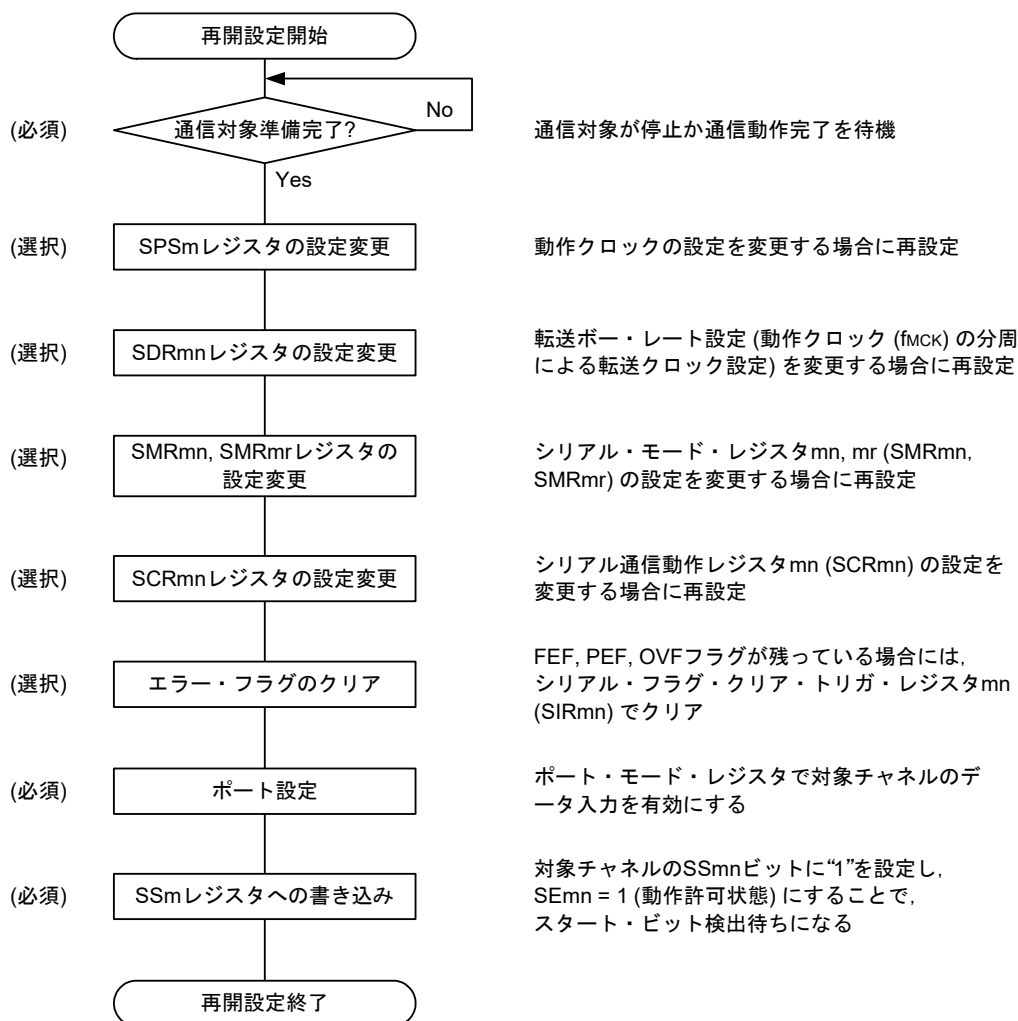


図17 - 120 UART受信の再開設定手順

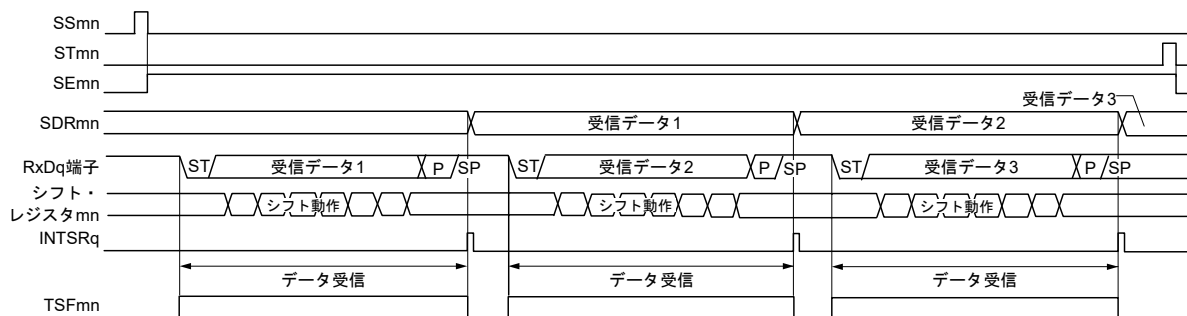


注意 SCRmnレジスタのRXEmnビットを“1”に設定後に、fMCKの4クロック以上間隔をあけてからSSmn = 1を設定してください。

備考 中断設定でPER0を書き換えてクロック供給を停止した場合には、通信対象の停止か通信動作完了を待って、再開設定ではなく初期設定をしてください。

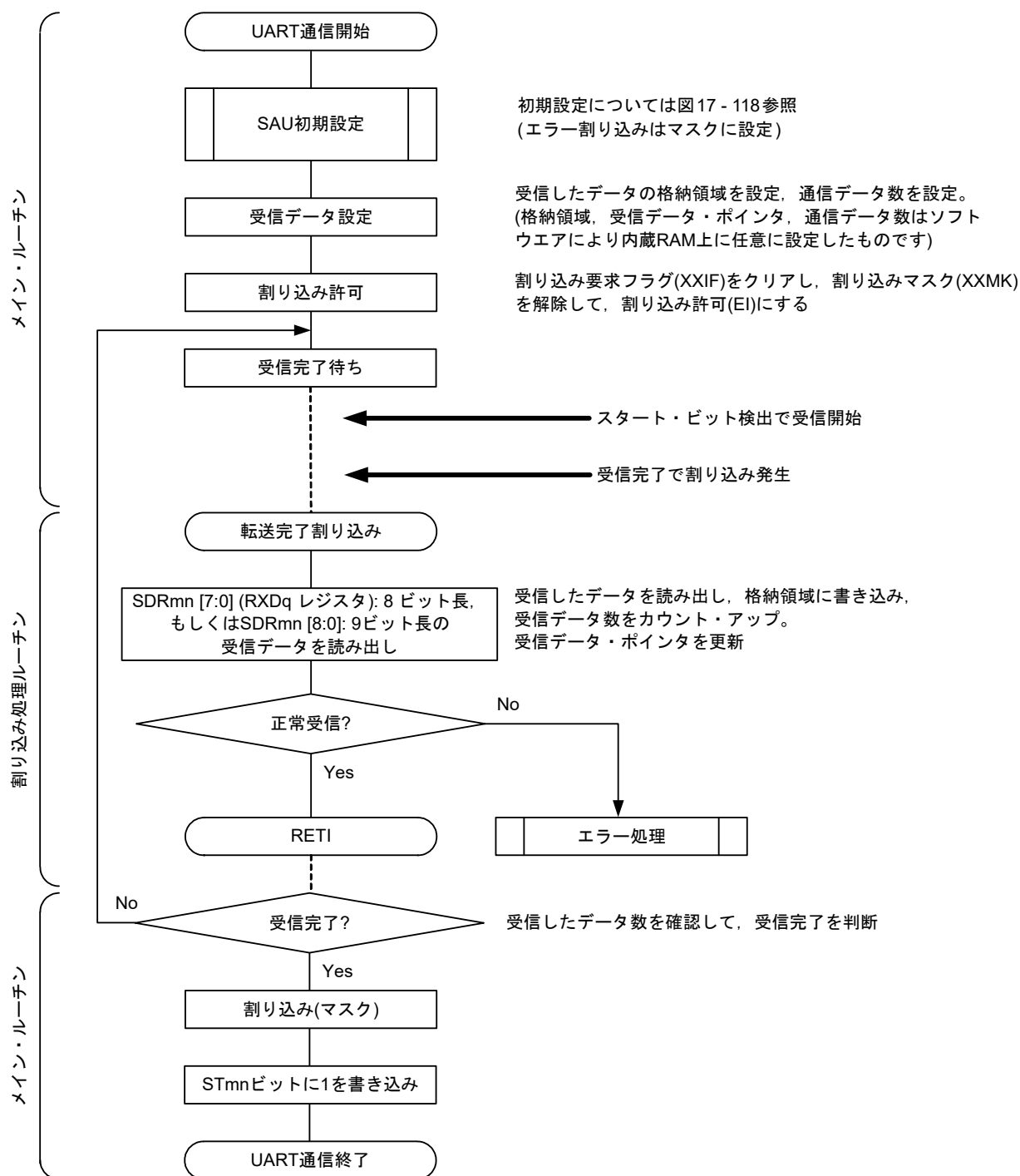
(3) 処理フロー

図17 - 121 UART受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 1, 3), mn = 01, 03, 11, 13
 r : チャネル番号 (r = n - 1) q : UART 番号 (q = 0-3)

図 17 - 122 UART 受信のフロー・チャート



17.7.3 SNOOZE モード機能

STOPモード時にRxDq端子入力の検出により、UART受信を動作させるモードです。通常STOPモード時はUARTの通信動作を停止しますが、SNOOZEモード機能を使用することで、CPUを動作させずにUART受信を行うことができます。SNOOZEモードは、オプション・バイト(000C2H)のFRQSEL4が0の時に、以下のUARTのみ設定可能です。

- 30-64ピン製品：UART0
- 80, 100ピン製品：UART0, UART2

UARTqをSNOOZEモードで使用する場合は、STOPモードに移行する前に次の設定を行います。(図17-125, 図17-127 SNOOZEモード動作時のフローチャートを参照)

- SNOOZEモード時は、UART受信ボー・レートの設定を通常動作時とは異なる値に変更する必要があります。表17-4を参照してSPSmレジスタ、SDRmnレジスタ[15:9]を設定してください。
- EOCmnビット、SSECmnビットを設定します。通信エラーが発生した場合にエラー割り込み(INTSRE0)の発生許可/停止を設定することができます。
- STOPモードに移行する直前にシリアル・スタンバイ・コントロール・レジスタm(SSCm)のSWCmビットをセット(1)してください。初期設定完了後、シリアル・チャネル開始レジスタm(SSm)のSSm1ビットをセット(1)します。
- STOPモードに移行後、RxDqのスタート・ビット入力を検出すると、UARTqは受信動作を開始します。

注意1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロック(fIH)を選択している場合のみ使用できます。

注意2. SNOOZEモードでの転送レートは4800bpsのみです。

注意3. SWCm=1の設定では、STOPモード中に受信開始した時のみUARTqを使用できます。他のSNOOZE機能や割り込みと同時に使用して、次のようなSTOPモード以外の状態で受信開始した場合は、正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

- SWCm=1に設定後、STOPモードに移行する前に受信開始した場合
- 他のSNOOZEモード中に受信開始した場合
- STOPモードから割り込みなどで通常動作に復帰後、SWCm=0に戻す前に受信開始した場合

注意4. SSECm=1の設定では、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFmn, FEFmn, OVfmnフラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、SSECm=1で使用するときは、SWC0=1に設定する前にPEFmn, FEFmn, OVfmnフラグをクリアし、また、SDRm1レジスタのビット7-0(RxDq)を読み出してください。

注意5. RxDq端子の有効エッジ検出によりSNOOZEモードへ移行します。

また、スタート・ビット入力を検出できないような短いパルスを受けるとUART受信が開始されず、SNOOZEモードを継続することがあります。この場合、次のUART受信で正しくデータ受信できず、フレーミング・エラーもしくはパリティ・エラーが発生することがあります。

表 17 - 4 SNOOZE モード時の UART 受信ボー・レート設定

高速オンチップ・ オシレータ (f _{IH})	SNOOZE モード時の UART 受信ボー・レート			
	ボー・レート 4800 bps			
	動作クロック (f _{MCK})	SDRmn [15:9]	最大許容値	最小許容値
32 MHz ± 1.0% 注	f _{CLK} / 2 ⁵	105	2.27%	-1.53%
24 MHz ± 1.0% 注	f _{CLK} / 2 ⁵	79	1.60%	-2.18%
16 MHz ± 1.0% 注	f _{CLK} / 2 ⁴	105	2.27%	-1.53%
12 MHz ± 1.0% 注	f _{CLK} / 2 ⁴	79	1.60%	-2.19%
8 MHz ± 1.0% 注	f _{CLK} / 2 ³	105	2.27%	-1.53%
6 MHz ± 1.0% 注	f _{CLK} / 2 ³	79	1.60%	-2.19%
4 MHz ± 1.0% 注	f _{CLK} / 2 ²	105	2.27%	-1.53%
3 MHz ± 1.0% 注	f _{CLK} / 2 ²	79	1.60%	-2.19%
2 MHz ± 1.0% 注	f _{CLK} / 2	105	2.27%	-1.54%
1 MHz ± 1.0% 注	f _{CLK}	105	2.27%	-1.57%

注 高速オンチップ・オシレータ・クロック周波数精度が±1.5%、±2.0%の場合は、次のように許容範囲が狭くなります。

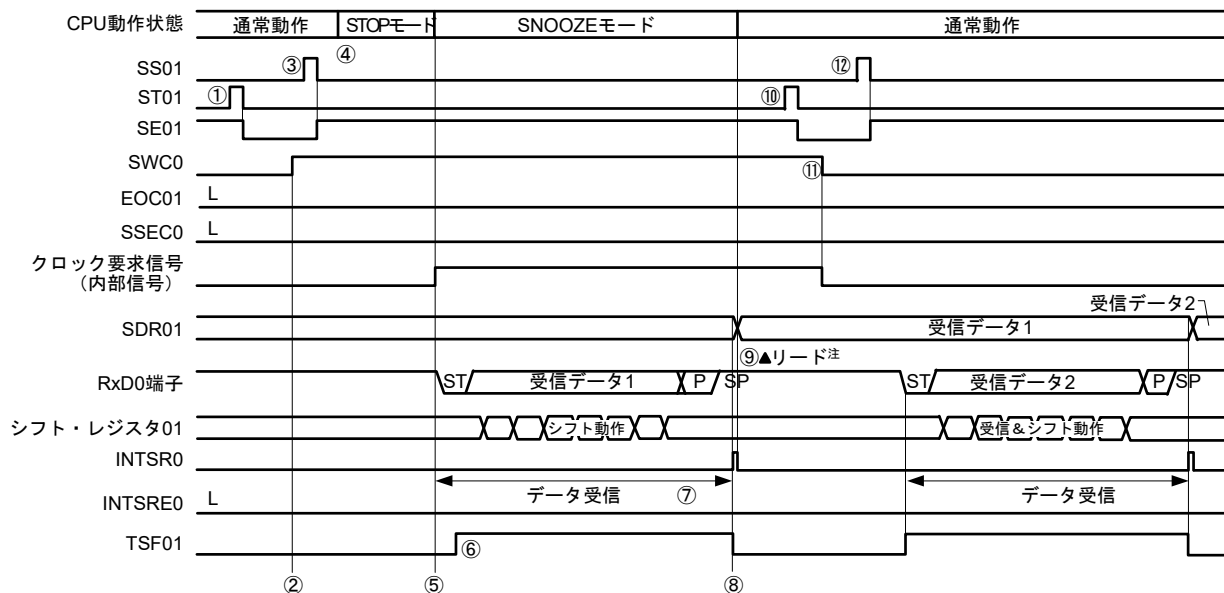
- f_{IH} ± 1.5%の場合は、上表の最大許容値に-0.5%、最小許容値に+0.5%してください。
- f_{IH} ± 2.0%の場合は、上表の最大許容値に-1.0%、最小許容値に+1.0%してください。

備考 最大許容値、最小許容値は、UART 受信時のボー・レート許容値です。

この範囲に送信側のボー・レートが収まるように設定してください。

(1) SNOOZEモード動作($EOCm1 = 0$, $SSECm = 0/1$)

$EOCm1 = 0$ のため $SSECm$ ビットの設定にかかわらず、通信エラーが発生してもエラー割り込み ($INTSREq$) は発生しません。転送完了割り込み ($INTSRq$) は発生します。

図 17 - 123 SNOOZEモード動作($EOCm1 = 0$, $SSECm = 0/1$)時のタイミング・チャート

注 $SWCm = 1$ の状態で、受信データの読み出しを行ってください。

注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ず $STm1$ ビットを1に設定してください ($SEm1$ ビットがクリアされ動作停止)。

また、受信動作を完了した後は、 $SWCm$ ビットもクリアしてください (SNOOZE解除)。

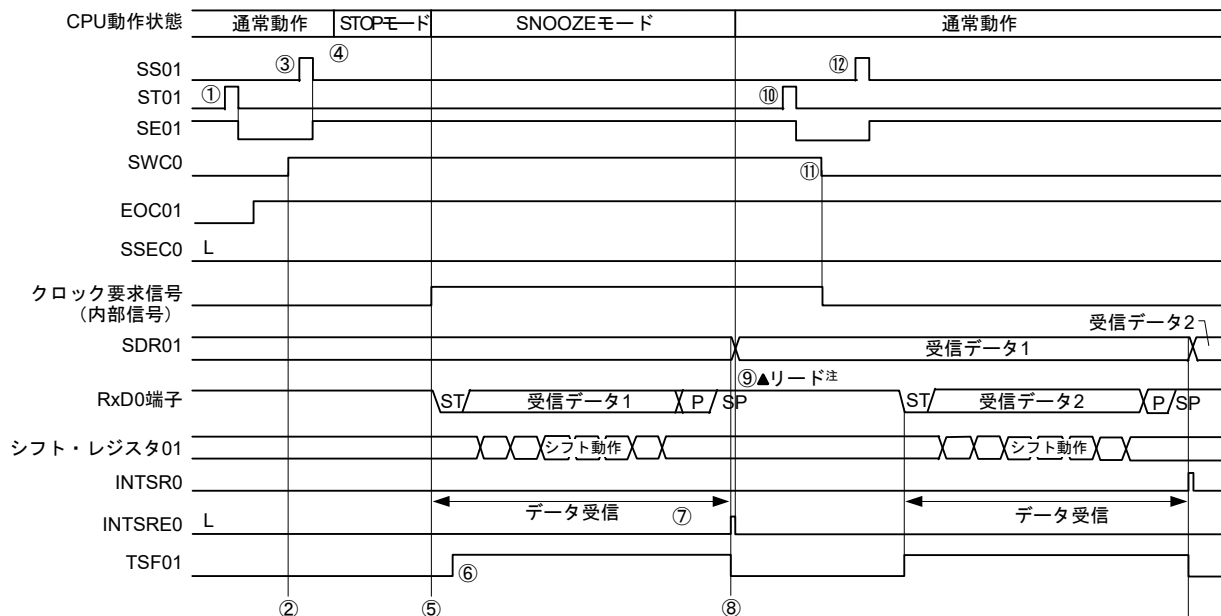
備考1. 図中の①～⑫は、図17 - 125 SNOOZEモード動作($EOCm1 = 0$, $SSECm = 0/1$ もしくは $EOCm1 = 1$, $SSECm = 0$)時のフロー・チャートの①～⑫に対応しています。

備考2. 30-64ピン製品 : $m = 0$; $q = 0$

80, 100ピン製品 : $m = 0, 1$; $q = 0, 2$

(2) SNOOZEモード動作($EOCm1 = 1$, $SSECm = 0$: エラー割り込み(INTSREq)発生許可)

$EOCm1 = 1$, $SSECm = 0$ のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生します。

図 17 - 124 SNOOZEモード動作($EOCm1 = 1$, $SSECm = 0$)時のタイミング・チャート

注 SWCm = 1の状態では、受信データの読み出しを行ってください。

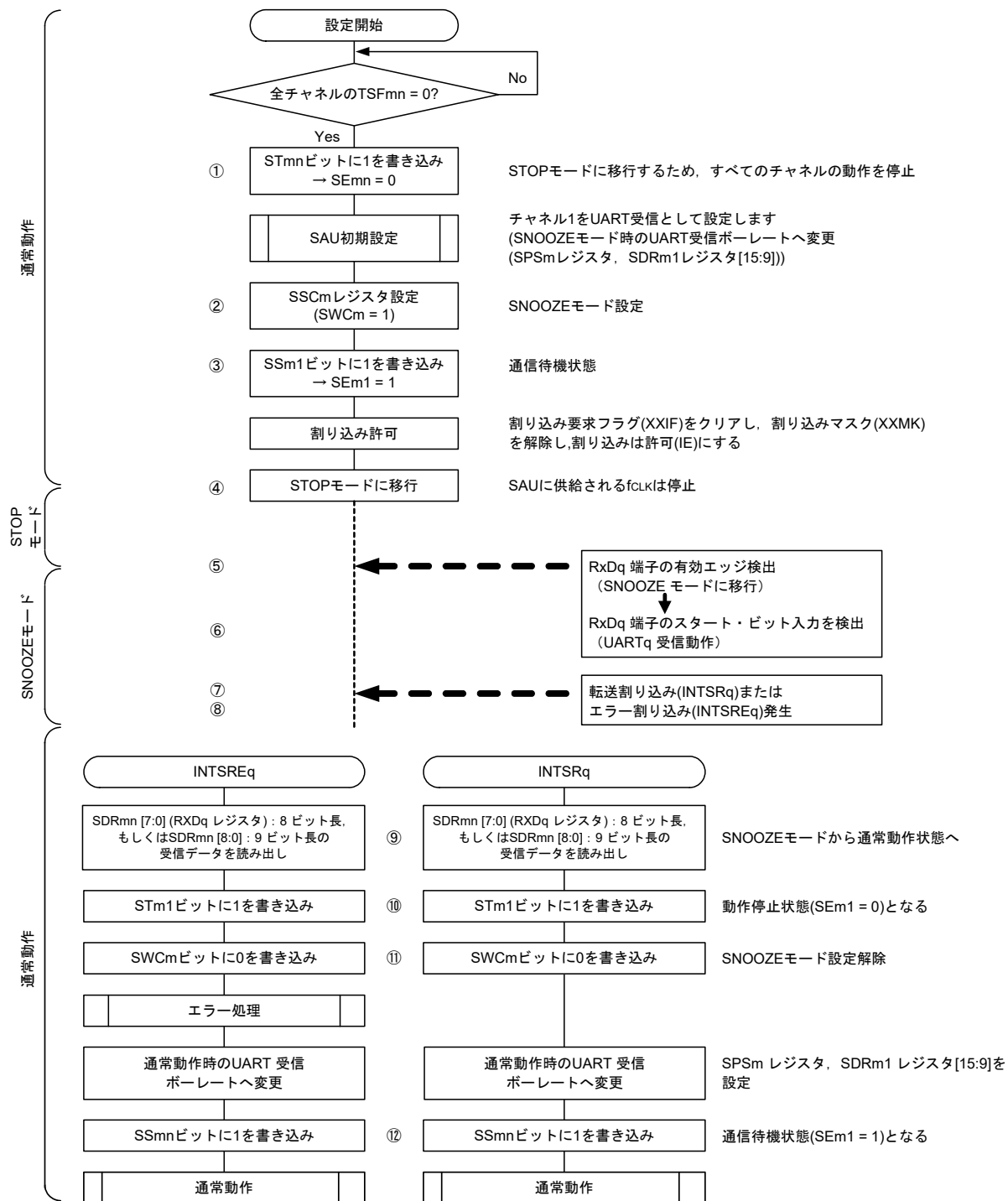
注意 SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください(SEm1ビットがクリアされ動作停止)。
また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

備考1. 図中の①～⑫は、図 17 - 125 SNOOZEモード動作($EOCm1 = 0$, $SSECm = 0/1$ もしくは $EOCm1 = 1$, $SSECm = 0$)時のフロー・チャートの①～⑫に対応しています。

備考2. 30-64ピン製品 : $m = 0$; $q = 0$

80, 100ピン製品 : $m = 0, 1$; $q = 0, 2$

図 17 - 125 SNOOZE モード動作 (EOCm1 = 0, SSECM = 0/1 もしくは EOCm1 = 1, SSECM = 0) 時のフロー・チャート



備考 1. 図中の①～⑫は、図 17 - 123 SNOOZE モード動作 (EOCm1 = 0, SSECM = 0/1) 時のタイミング・チャート、図 17 - 124 SNOOZE モード動作 (EOCm1 = 1, SSECM = 0) 時のタイミング・チャートの①～⑫に対応しています。

備考 2. 30-64 ピン製品 : m = 0; q = 0

80, 100 ピン製品 : m = 0, 1; q = 0, 2

(3) SNOOZEモード動作($EOCm1 = 1$, $SSECm = 1$: エラー割り込み(INTSREq)発生停止)

$EOCm1 = 1$, $SSECm = 1$ のため、通信エラーが発生した場合にエラー割り込み(INTSREq)が発生しません。

図 17 - 126 SNOOZEモード動作($EOCm1 = 1$, $SSECm = 1$)時のタイミング・チャート

注 SWCm = 1の状態では、受信データの読み出しを行ってください。

注意 1. SNOOZEモード移行前とSNOOZEモードで受信動作を完了したあとは、必ずSTm1ビットを1に設定してください($SEm1$ ビットがクリアされ動作停止)。

また、受信動作を完了した後は、SWCmビットもクリアしてください(SNOOZE解除)。

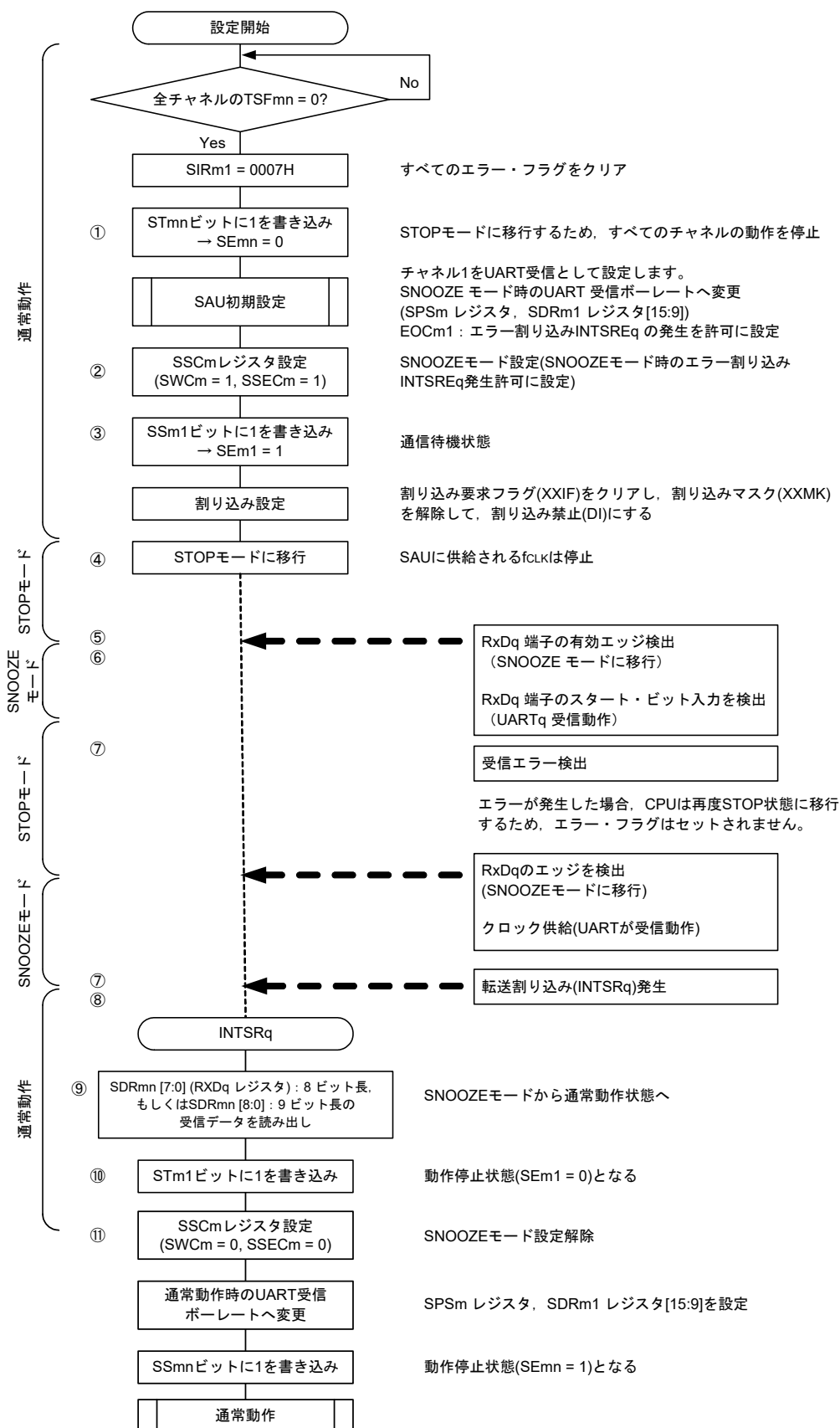
注意 2. $SSECm = 1$ のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時にPEFm1, FEFm1, OVFM1フラグはセットされず、エラー割り込み(INTSREq)も発生しません。そのため、 $SSECm = 1$ で使用するときは、SWCm = 1に設定する前にPEFm1, FEFm1, OVFM1フラグをクリアし、また、SDRm1[7:0] (RXDqレジスタ): 8ビット長、もしくはSDRm1[8:0]: 9ビット長を読み出ししてください。

備考 1. 図中の①～⑪は、図 17 - 127 SNOOZEモード動作($EOCm1 = 1$, $SSECm = 1$)時のフロー・チャートの①～⑪に対応しています。

備考 2. 30-64ピン製品: m = 0; q = 0

80, 100ピン製品: m = 0, 1; q = 0, 2

図 17 - 127 SNOOZE モード動作(EOCm1 = 1, SSECM = 1)時のフロー・チャート



(注意、備考は次ページにあります。)

注意 SSECm = 1 のときは、パリティ・エラー、フレーミング・エラー、オーバラン・エラー時に PEFm1, FEFm1, OVFM1 フラグはセットされず、エラー割り込み (INTSREQ) も発生しません。そのため、SSECm = 1 で使用するときは、SWC0 = 1 に設定する前に PEFm1, FEFm1, OVFM1 フラグをクリアし、また、SDRm1 [7:0] (RXDq レジスタ) : 8 ビット長、もしくは SDRm1 [8:0] : 9 ビット長を読み出してください。

備考1. 図中の①～⑪は、図 17 - 126 SNOOZE モード動作 (EOCm1 = 1, SSECm = 1) 時のタイミング・チャートの①～⑪に対応しています。

備考2. 30-64 ピン製品 : m = 0; q = 0

80, 100 ピン製品 : m = 0, 1; q = 0, 2

17.7.4 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0-UART3)通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ mn (SDRmn) SDRmn[15:9] = (0000000B, 0000001B)は設定禁止です。

備考1. UART使用時は、SDRmn[15:9]はSDRmnレジスタのビット15-9の値(0000010B-1111111B)なので、2-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10-13

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 17 - 5 UART 動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
	X	X	X	X	1	1	0	0	fCLK/2 ¹²	7.81 kHz
	X	X	X	X	1	1	0	1	fCLK/2 ¹³	3.91 kHz
	X	X	X	X	1	1	1	0	fCLK/2 ¹⁴	1.95 kHz
	X	X	X	X	1	1	1	1	fCLK/2 ¹⁵	977 Hz
1	0	0	0	0	X	X	X	X	fCLK	32 MHz
	0	0	0	1	X	X	X	X	fCLK/2	16 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	8 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	4 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	15.63 kHz
	1	1	0	0	X	X	X	X	fCLK/2 ¹²	7.81 kHz
	1	1	0	1	X	X	X	X	fCLK/2 ¹³	3.91 kHz
	1	1	1	0	X	X	X	X	fCLK/2 ¹⁴	1.95 kHz
	1	1	1	1	X	X	X	X	fCLK/2 ¹⁵	977 Hz

注 fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタ m (STm) = 000FH) させてから変更してください。

備考 1. X : Don't care

備考 2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10-13

(2) 送信時のボー・レート誤差

UART (UART0-UART3)通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

fCLK = 32 MHzの場合のUART ボー・レート設定例を示します。

UART ボー・レート (目標ボー・レート)	fCLK = 32 MHz 時			
	動作クロック (fMCK)	SDRmn[15:9]	算出ボー・レート差	目標ボー・レートとの誤差
300 bps	fCLK/2 ⁹	103	300.48 bps	+0.16 %
600 bps	fCLK/2 ⁸	103	600.96 bps	+0.16 %
1200 bps	fCLK/2 ⁷	103	1201.92 bps	+0.16 %
2400 bps	fCLK/2 ⁶	103	2403.85 bps	+0.16 %
4800 bps	fCLK/2 ⁵	103	4807.69 bps	+0.16 %
9600 bps	fCLK/2 ⁴	103	9615.38 bps	+0.16 %
19200 bps	fCLK/2 ³	103	19230.8 bps	+0.16 %
31250 bps	fCLK/2 ³	63	31250.0 bps	±0.0 %
38400 bps	fCLK/2 ²	103	38461.5 bps	+0.16 %
76800 bps	fCLK/2	103	76923.1 bps	+0.16 %
153600 bps	fCLK	103	153846 bps	+0.16 %
312500 bps	fCLK	50	313725 bps	+0.39 %

備考 m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0, 2), mn = 00, 02, 10, 12

(3) 受信時のボー・レート許容範囲

UART (UART0-UART3) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$(\text{受信可能な最大ボー・レート}) = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$(\text{受信可能な最小ボー・レート}) = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値(17.7.4 (1) ボー・レート算出式参照)

k : SDRmn[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 1, 3), mn = 01, 03, 11, 13

図17-128 受信時の許容ボー・レート範囲(1データ・フレーム長 = 11ビットの場合)

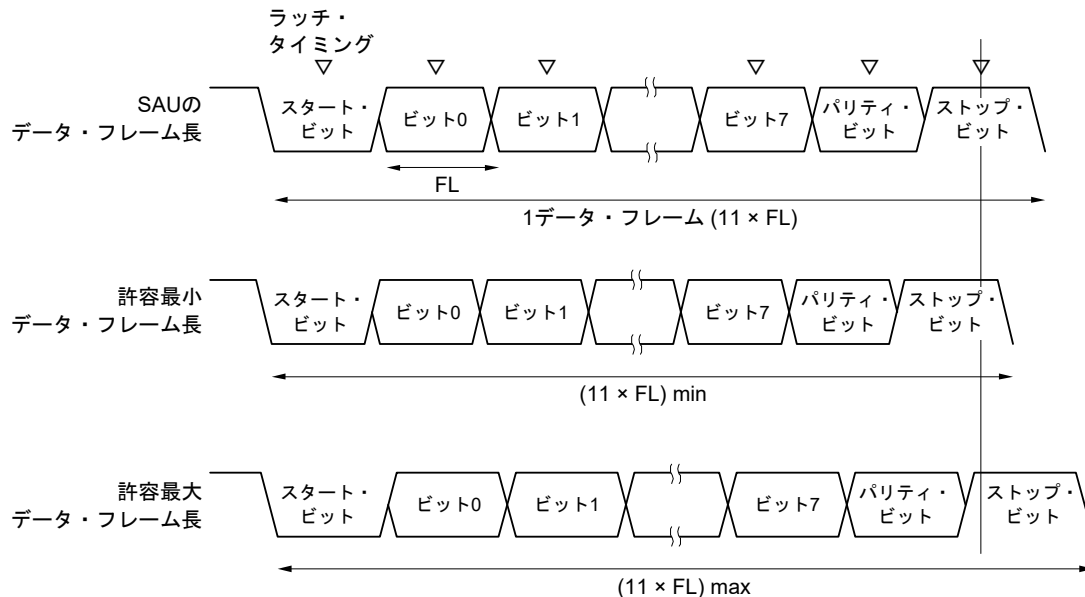


図17-128に示すように、スタート・ビット検出後はシリアル・データ・レジスタmn (SDRmn)のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

17.7.5 UART (UART0-UART3)通信時におけるエラー発生時の処理手順

UART (UART0-UART3)通信時にエラーが発生した場合の処理手順を図17 - 129、図17 - 130に示します。

図17 - 129 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn)をリードする	SSRmn レジスタのBFFmn ビットが“0” となり、チャンネルnは受信可能状態にな る	エラー処理中に次の受信を完了した場合 にオーバラン・エラーになるのを防ぐた めに行う
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類の判別を行い、リード値は エラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レ ジスタ mn (SIRmn)に“1”をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み 出し時のエラーのみをクリアできる

図17 - 130 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn)をリードする	SSRmn レジスタのBFFmn ビットが“0”と なり、チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合 にオーバラン・エラーになるのを防ぐた めに行う
シリアル・ステータス・レジスタ mn (SSRmn)をリードする		エラーの種類の判別を行い、リード値は エラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レ ジスタ mn (SIRmn)をライトする	エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み 出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm)のSTmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レ ジスタ m (SEm)のSEmn ビットが“0”とな り、チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミン グ・エラーが起きたと考えられるため、 通信相手との同期を取り直して通信を再 開する
シリアル・チャンネル開始レジスタ m (SSm)のSSmn ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レ ジスタ m (SEm)のSEmn ビットが“1”とな り、チャンネルnは動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3), mn = 00-03, 10-13

17.8 LIN通信の動作

17.8.1 LIN送信

UART送信のうち、UART0はLIN通信に対応しています。

LIN送信では、ユニット0のチャンネル0を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャンネル	SAU0のチャンネル0	—	—	—
使用端子	TxD0	—	—	—
割り込み	INTST0	—	—	—
	転送完了割り込み(シングル転送モード時)か、バッファ空き割り込み(連続転送モード時)かを選択可能			
エラー検出フラグ	なし			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR00[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	パリティ・ビットなし			
ストップ・ビット	1ビット付加			
データ方向	MSB ファースト			

注 この条件を満たし、かつ電氣的特性の周辺機能特性(第34章 または第35章 電氣的特性を参照)を満たす範囲内で使用してください。なお、LIN通信では通常2.4/9.6/19.2 kbpsがよく用いられます。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速(1～20 kbps)のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

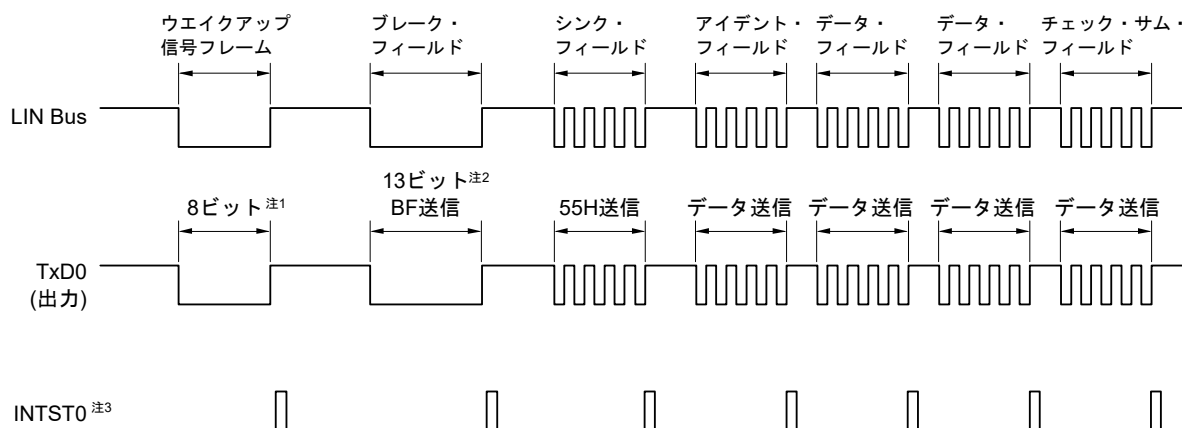
LINのマスタは通常、CAN (Controller Area Network)などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15 %以下であれば、通信可能です。

LINの送信操作の概略を、図17-131に示します。

図17-131 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにボー・レートを設定し、80Hのデータ送信をすることで対応します。

注2. ブレーク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するボー・レートをN [bps]とすると、ブレーク・フィールドで使用するボー・レートは次のようになります。

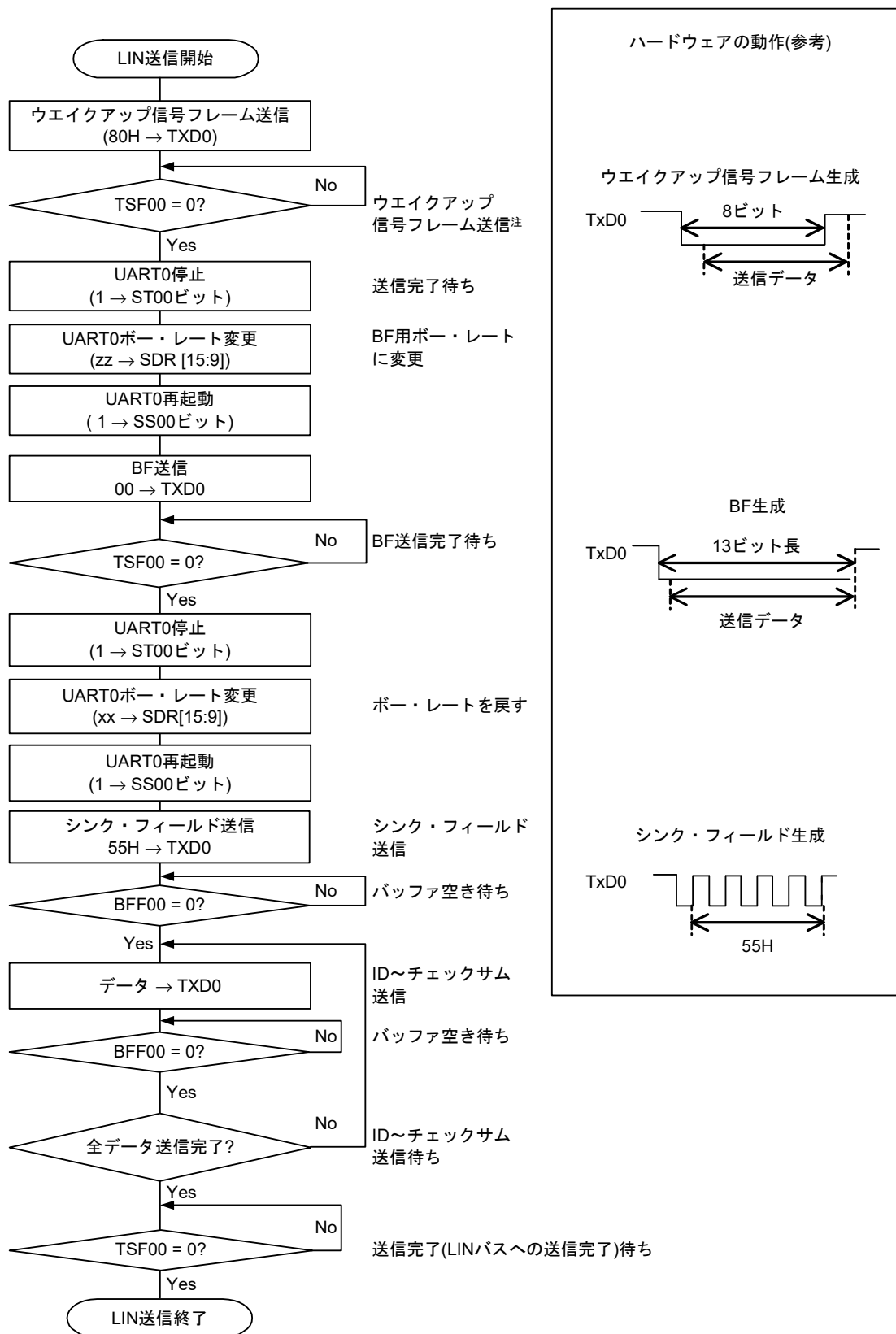
$$(\text{ブレーク・フィールド時のボー・レート}) = 9/13 \times N$$

このボー・レートで00Hのデータ送信をすることでブレーク・フィールドを生成します。

注3. 各送信終了時にはINTST0を出力します。またBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図 17 - 132 LIN送信のフロー・チャート



注 LIN-busがスリープ状態からの起動時のみ。

備考 UARTの初期設定は完了し、送信許可状態からのフローです。

17.8.2 LIN受信

UART受信のうち、UART0はLIN通信に対応しています。

LIN受信では、ユニット0のチャンネル1を使用します。

UART	UART0	UART1	UART2	UART3
LIN通信対応	可	不可	不可	不可
対象チャンネル	SAU0のチャンネル1	—	—	—
使用端子	RxD0	—	—	—
割り込み	INTSR0	—	—	—
	転送完了割り込みのみ(バッファ空き割り込みは設定禁止)			
エラー割り込み	INTSRE0	—	—	—
エラー検出フラグ	・フレーミング・エラー検出フラグ(FEF01) ・オーバラン・エラー検出フラグ(OVF01)			
転送データ長	8ビット			
転送レート注	Max. $f_{MCK}/6$ [bps] (SDR01[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{15} \times 128)$ [bps]			
データ位相	非反転出力(デフォルト: ハイ・レベル) 反転出力(デフォルト: ロウ・レベル)			
パリティ・ビット	パリティ・ビットなし(パリティ・チェックしない)			
ストップ・ビット	1ビット付加			
データ方向	LSBファースト			

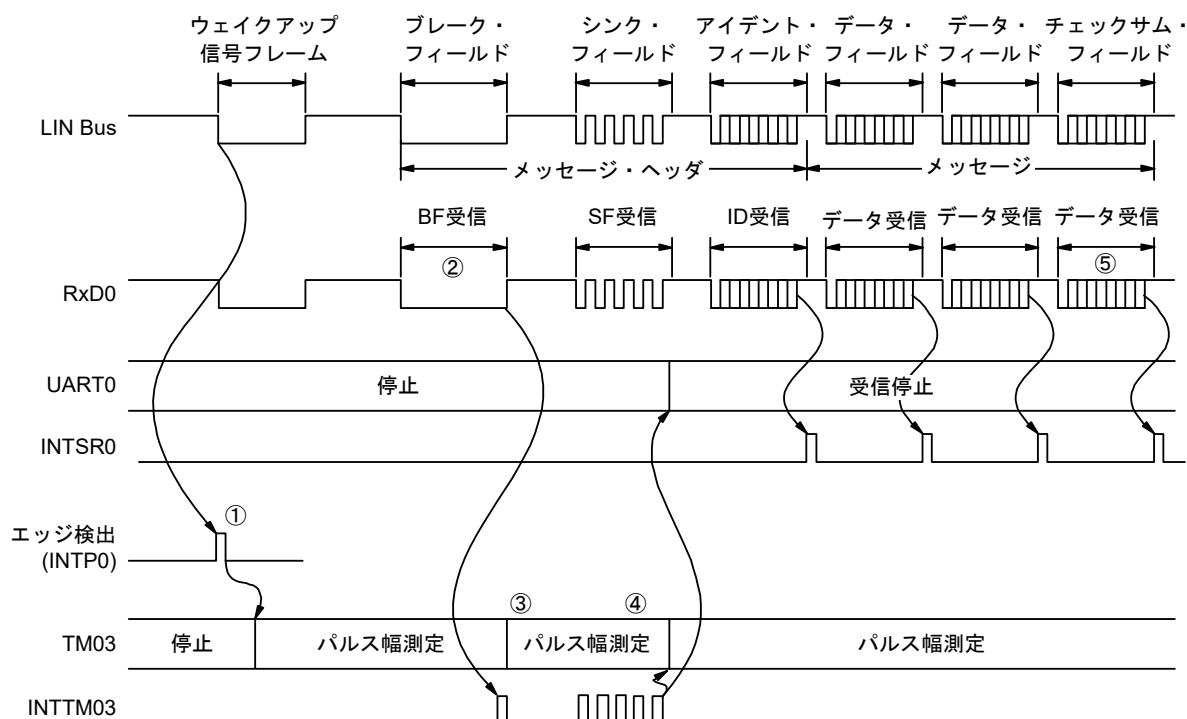
注 この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性を参照)を満たす範囲内で使用してください。

備考 f_{MCK} : 対象チャンネルの動作クロック周波数

f_{CLK} : システム・クロック周波数

LINの受信操作の概略を、図17-133に示します。

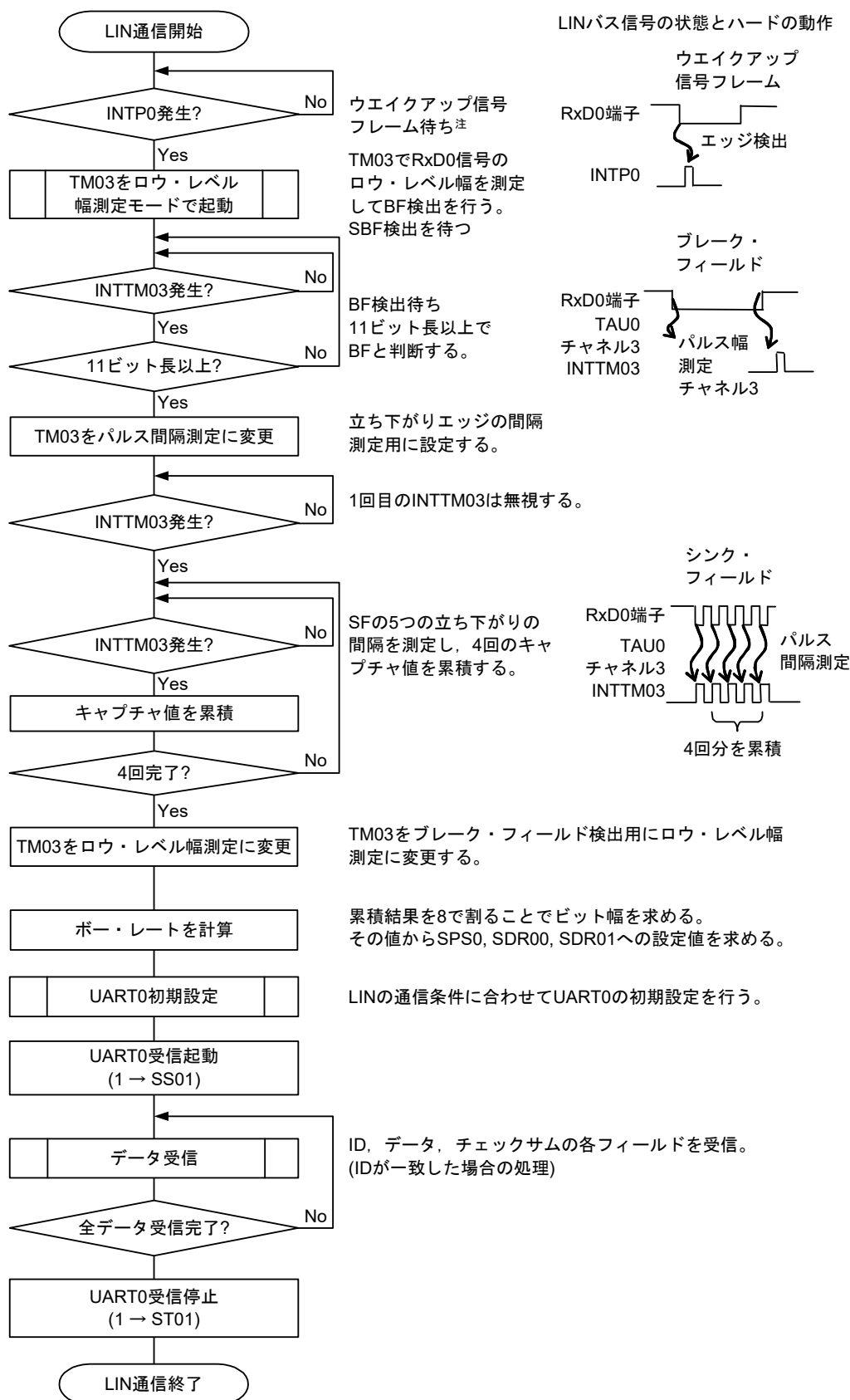
図 17 - 133 LINの受信操作



受信処理の流れを次に示します。

- ① ウェイクアップ信号の検出は、端子の割り込みエッジ検出(INTP0)で行います。ウェイクアップ信号を検出したら、TM03をBFのロウ・レベル幅測定のためにパルス幅測定に設定して、BF受信待ち状態にします。
- ② BFの立ち下がりを検出したら、TM03はロウ・レベル幅の測定を開始し、立ち上がりでキャプチャを行います。キャプチャされた値からBF信号かどうかの判定を行います。
- ③ BF受信を正常終了した場合、TM03をパルス間隔測定に設定し、シンク・フィールドのRxD0信号の立ち下がりの間隔を4回測定してください(6.8.4 入力パルス間隔測定としての動作を参照)。
- ④ シンク・フィールド(SF)のビット間隔からボー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからボー・レートを調整(再設定)してください。
- ⑤ チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びBF受信待ちに設定する処理もソフトウェアにて行ってください。

図 17 - 134 LIN受信のフロー・チャート



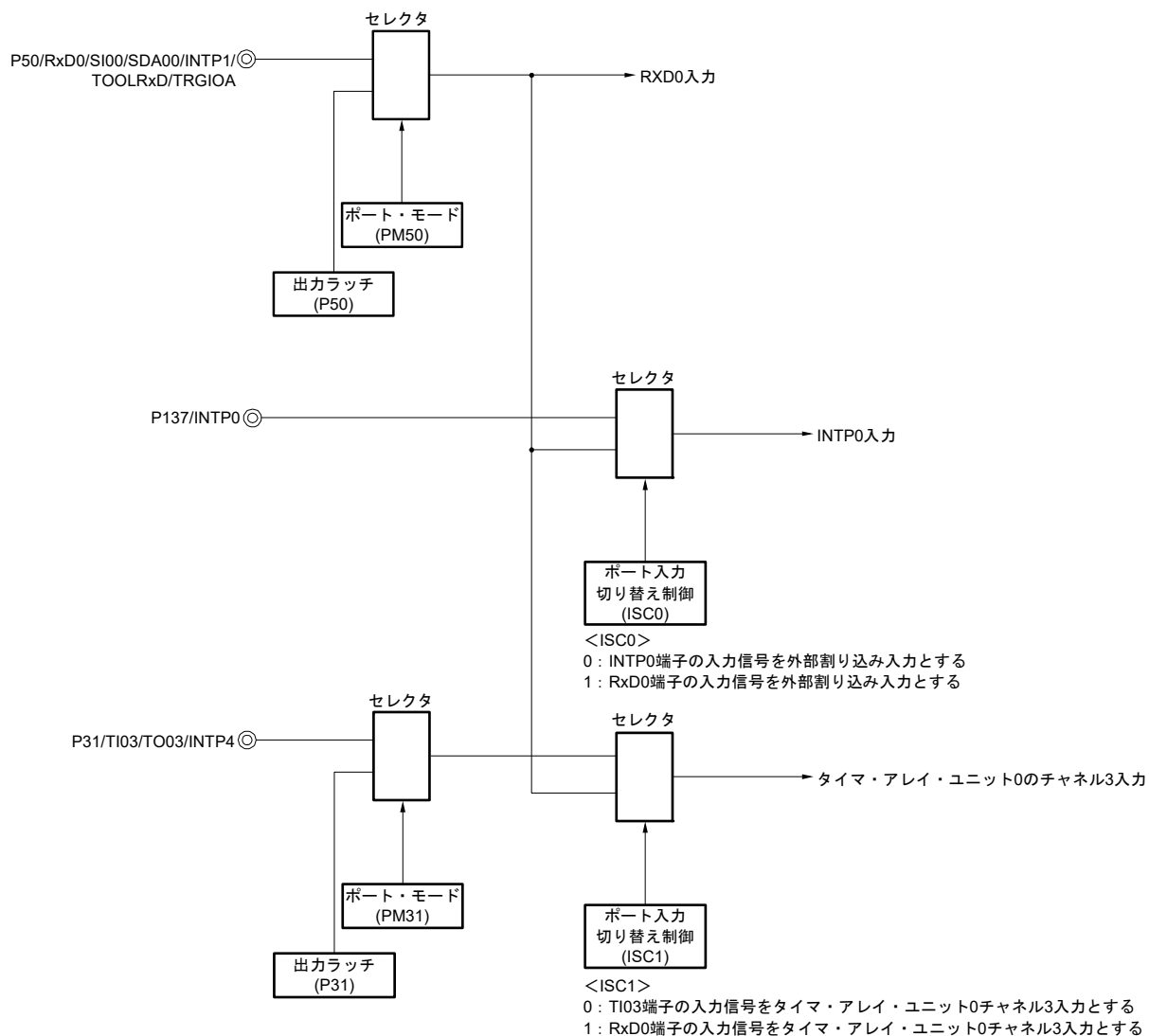
注 スリープ状態でのみ必要となります。

図17 - 135はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニット0の外部イベント・キャプチャ動作で計測し、ボー・レート誤差を算出することができます。

ポート入力切り替え制御(ISC0/ISC1)により、外部で結線をせずに、受信用ポート入力(RxD0)の入力ソースを外部割り込み(INTP0)およびタイマ・アレイ・ユニットへ入力することができます。

図17 - 135 LINの受信操作のポート構成図



備考 ISC0, ISC1 : 入力切り替え制御レジスタ (ISC) のビット0, 1 (図17 - 24参照)

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- 外部割り込み(INTP0)；ウェイクアップ信号検出

用途：ウェイクアップ信号のエッジを検出し、通信開始を検出

- タイマ・アレイ・ユニットのチャンネル3；ボー・レート誤差検出、ブレーク・フィールド(BF)検出

用途：シンク・フィールド(SF)の長さを検出し、ビット数で割ることでボー・レート誤差を検出

(RxD0入力エッジの間隔をキャプチャ・モードで測定)

ロウ・レベル幅を測定し、ブレーク・フィールド(BF)かを判定

- シリアル・アレイ・ユニット0 (SAU0)のチャンネル0, 1 (UART0)

17.9 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM, フラッシュ・メモリ, A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション, ストップ・コンディションは、制御レジスタの操作とともに、AC スペックを守るようにソフトウェアで処理してください。

[データ送受信]

- マスタ送信, マスタ受信(シングル・マスタでのマスタ機能のみ)
- ACK出力機能^注, ACK検出機能
- 8ビットのデータ長
(アドレス送信時は、上位7ビットでアドレス指定し、最下位1ビットでR/W制御)
- ソフトウェアによるスタート・コンディション, ストップ・コンディションの発生

[割り込み機能]

- 転送完了割り込み

[エラー検出フラグ]

- オーバラン・エラー
- ACKエラー

※ [簡易I²Cでサポートしていない機能]

- スレーブ送信, スレーブ受信
- マルチ・マスタ機能(アービトレーション負け検出機能)
- クロック・ストレッチ検出機能

注 最終データの受信時は、SOEmn (SOEm レジスタ) ビットに0を書き込み、シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は、17.9.3 (2) 処理フローを参照してください。

備考 m : ユニット番号(m = 0, 1) n : チャネル番号(n = 0-3), mn = 00-03, 10-13

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)に対応しているチャンネルは、SAU0のチャンネル0-3とSAU1のチャンネル0-3です。

○30, 32ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	—		—

○36, 40, 44ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	—		—
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○48, 52ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	—	UART1	—
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○64ピン製品

ユニット	チャンネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21

○80, 100ピン製品

ユニット	チャネル	簡易SPI (CSI)として使用	UARTとして使用	簡易I ² Cとして使用
0	0	CSI00 (スレーブセレクト 入力機能対応)	UART0 (LIN-bus 対応)	IIC00
	1	CSI01		IIC01
	2	CSI10	UART1	IIC10
	3	CSI11		IIC11
1	0	CSI20	UART2	IIC20
	1	CSI21		IIC21
	2	CSI30	UART3	IIC30
	3	CSI31		IIC31

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)の通信動作は、以下の4種類があります。

- アドレス・フィールド送信 (17.9.1項を参照)
- データ送信 (17.9.2項を参照)
- データ受信 (17.9.3項を参照)
- ストップ・コンディション発生 (17.9.4項を参照)

17.9.1 アドレス・フィールド送信

アドレス・フィールド送信は、転送対象(スレーブ)を特定するために、I²C通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス(7ビット)と転送方向(1ビット)を1フレームとして送信します。

簡易I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCL00, SDA00 ^{注1}	SCL01, SDA01 ^{注1}	SCL10, SDA10 ^{注1}	SCL11, SDA11 ^{注1}	SCL20, SDA20 ^{注1}	SCL21, SDA21 ^{注1}	SCL30, SDA30 ^{注1}	SCL31, SDA31 ^{注1}
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)							
エラー検出フラグ	ACKエラー検出フラグ(PEFmn)							
転送データ長	8ビット(上位7ビットをアドレス、下位1ビットをR/W制御として送信)							
転送レート ^{注2}	Max.f _{MCK} /4 [Hz] (SDRmn[15:9] = 1以上) f _{MCK} : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・Max. 1 MHz (ファースト・モード・プラス) ・Max. 400 kHz (ファースト・モード) ・Max. 100 kHz (標準モード)							
データ・レベル	非反転出力(デフォルト: ハイ・レベル)							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加(ACK受信タイミング用)							
データ方向	MSBファースト							

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧(30～52ピン製品の場合)/EV_{DD}耐圧(64～100ピン製品の場合))モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

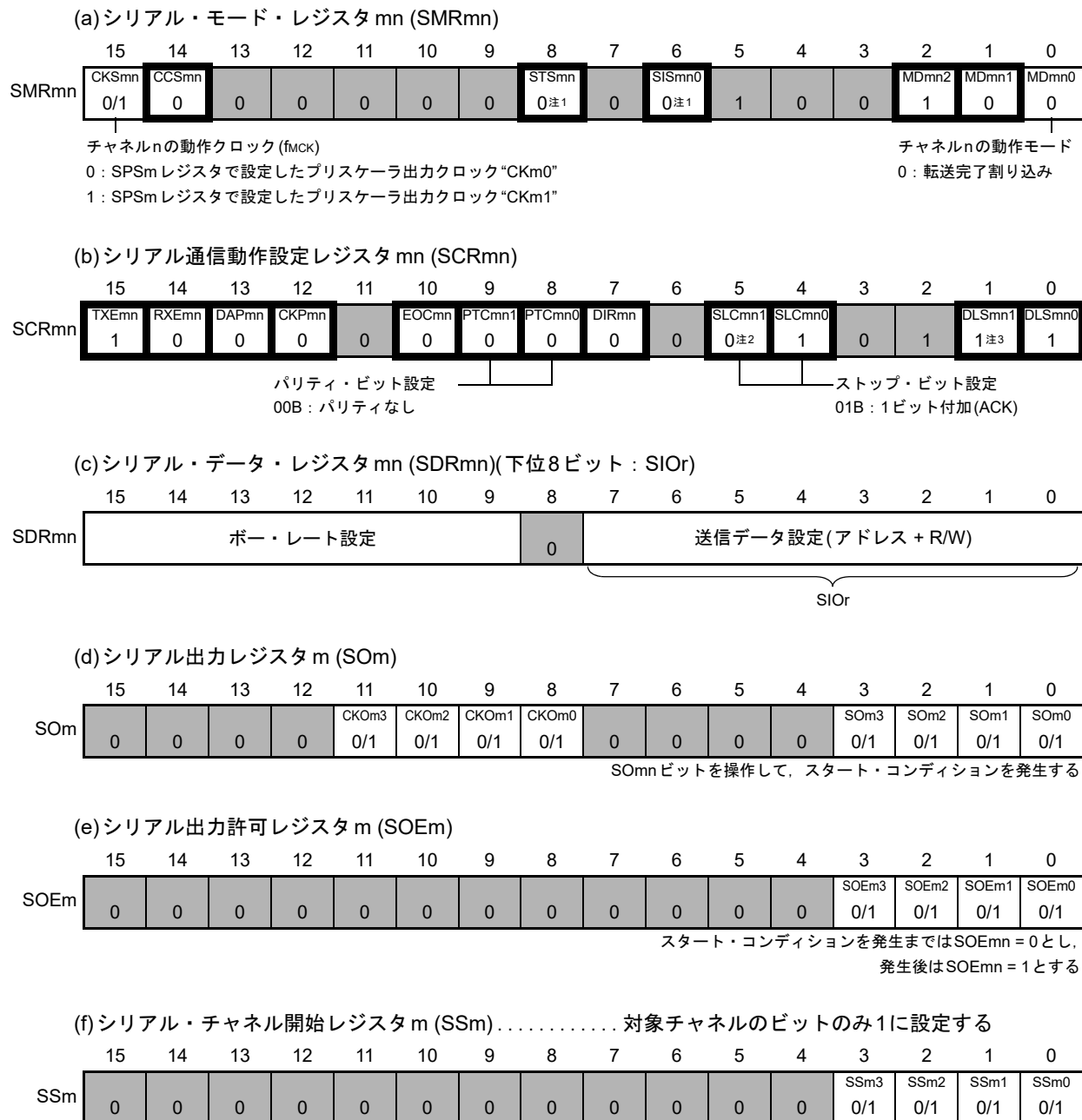
IIC00, IIC10, IIC20, IIC30, IIC31を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30, SCL31)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧(30～52ピン製品の場合)/EV_{DD}耐圧(64～100ピン製品の場合))モードを設定してください(POMxx = 1)。

詳細は、4.4.5 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図17 - 136 簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)のアドレス・フィールド送信時のレジスタ設定内容例

注1. SMR01, SMR03, SMR11, SMR13 レジスタのみ。

注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ。

注3. SCR00, SCR01 レジスタと、80-100ピン製品のSCR10, SCR11 レジスタのみ。その他は1固定になります。

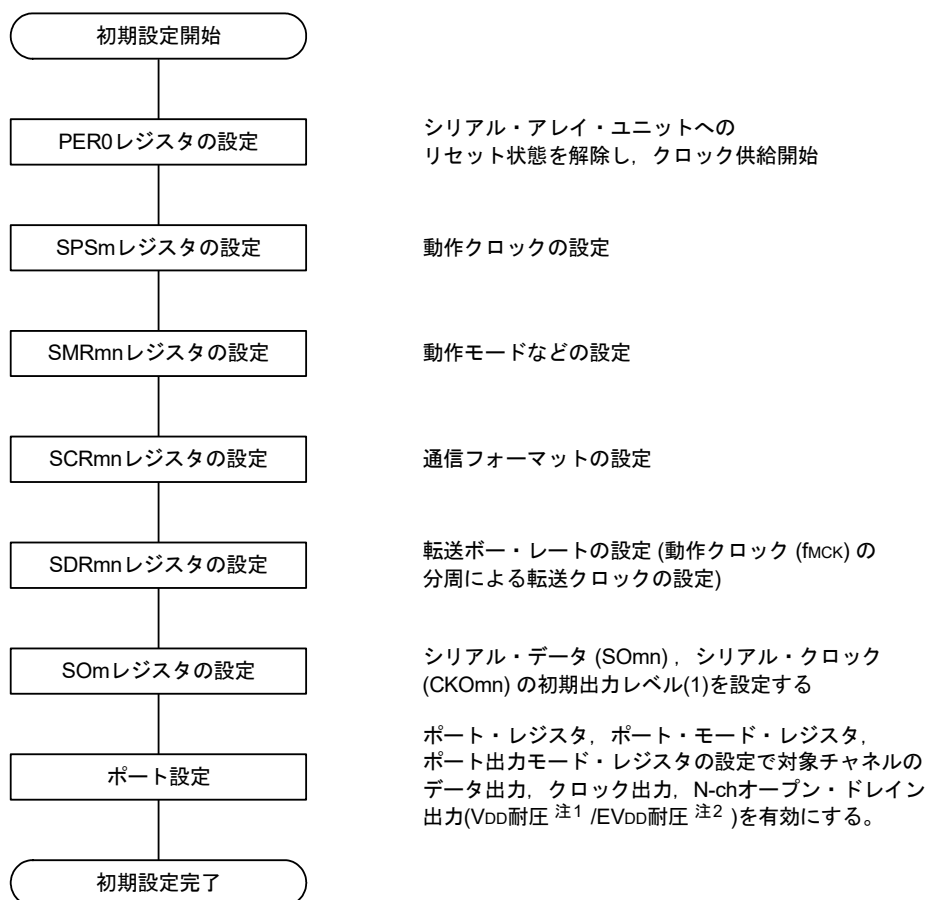
備考1. m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13備考2. : IICモードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 操作手順

図 17 - 137 アドレス・フィールド送信の初期設定手順



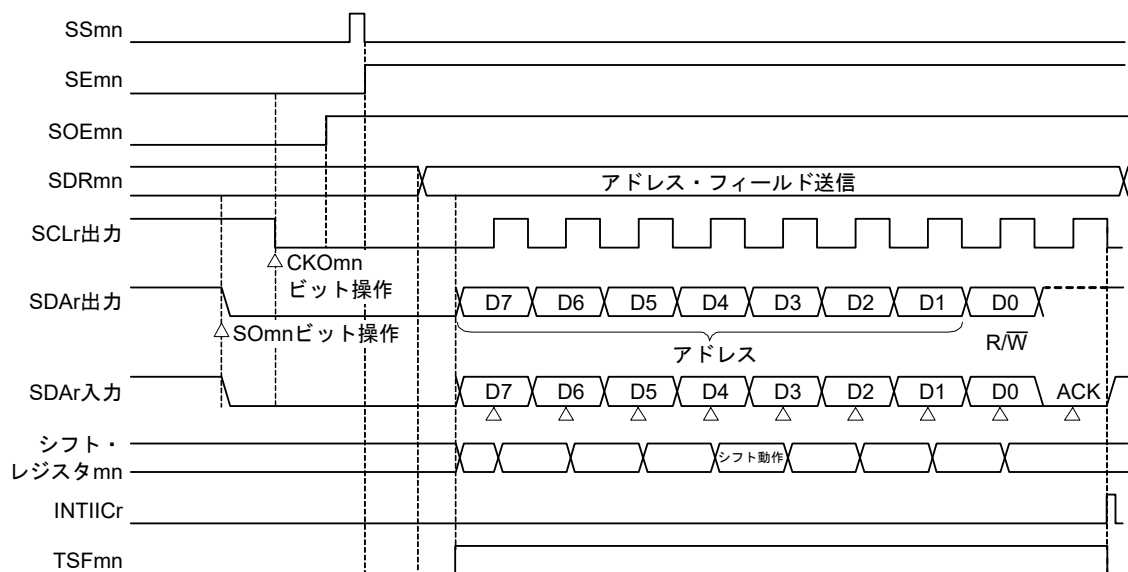
注1. 30～52ピン製品の場合

注2. 64～100ピン製品の場合

備考 初期設定完了時点では、簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) は出力禁止、動作停止状態としておきます。

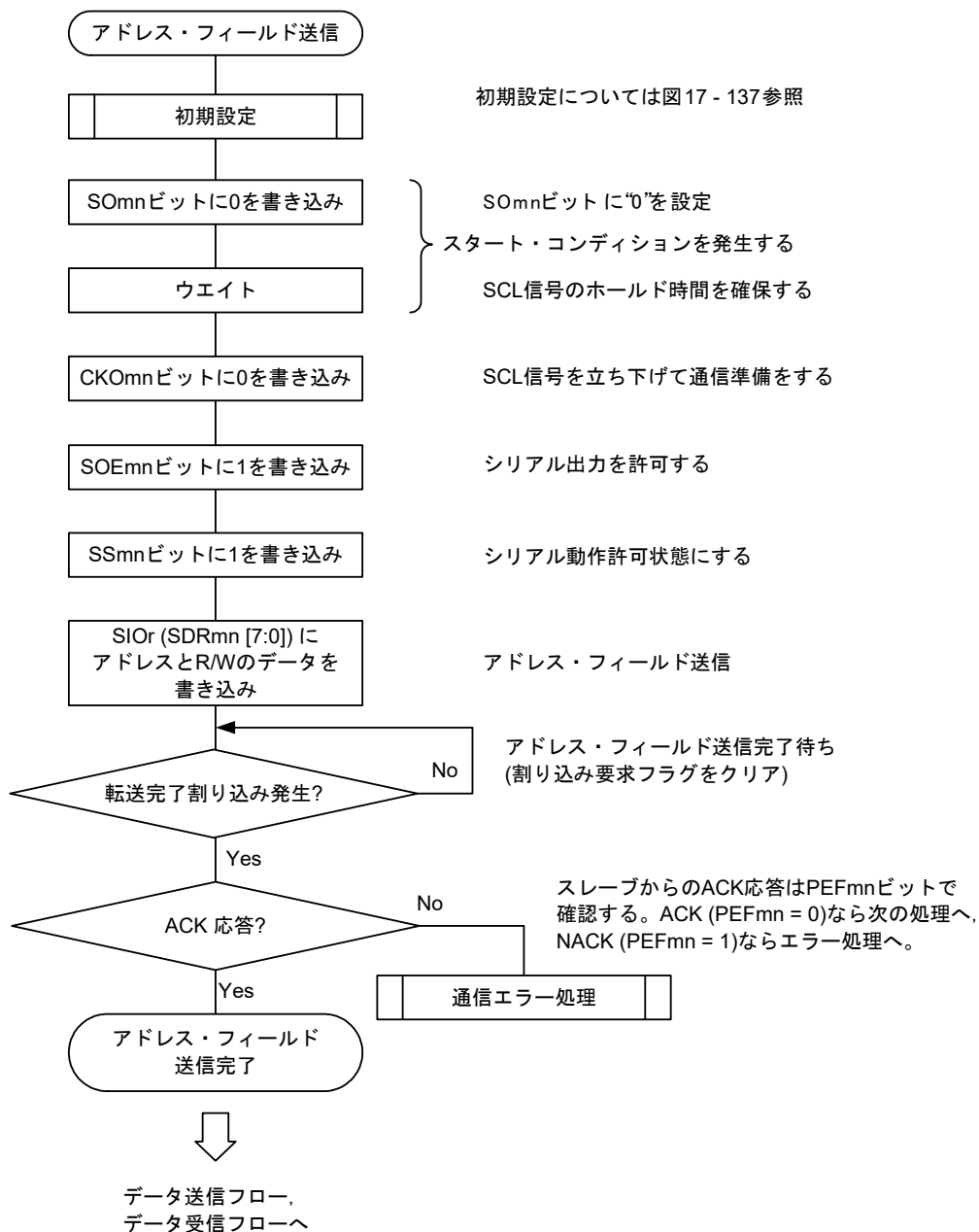
(3) 処理フロー

図 17 - 138 アドレス・フィールド送信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図17-139 アドレス・フィールド送信のフロー・チャート



17.9.2 データ送信

データ送信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1	SCL30, SDA30注1	SCL31, SDA31注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)							
エラー検出フラグ	ACKエラー・フラグ(PEFmn)							
転送データ長	8ビット							
転送レート注2	Max.fmck/4 [Hz] (SDRmn[15:9] = 1 以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)							
データ・レベル	非反転出力(デフォルト : ハイ・レベル)							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加(ACK受信タイミング用)							
データ方向	MSB ファースト							

注1. 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧(30～52ピン製品の場合)/EV_{DD}耐圧(64～100ピン製品の場合))モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31 を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30, SCL31)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧(30～52ピン製品の場合)/EV_{DD}耐圧(64～100ピン製品の場合))モードを設定してください(POMxx = 1)。

詳細は、4.4.5 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 140 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のデータ送信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
1	0	0	0	0	0	0	0	0	0	0注2	1	0	1	1注3	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

..... データ送受信中は下位8ビット (SIO_r) のみ有効

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ボー・レート設定注4								0	送信データ設定						
SIO _r															

(d) シリアル出力レジスタ m (SOM) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CKOm3	CKOm2	CKOm1	CKOm0					SOM3	SOM2	SOM1	SOM0
0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SOEm3	SOEm2	SOEm1	SOEm0
0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

(f) シリアル・チャネル開始レジスタ m (SSm) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SSm3	SSm2	SSm1	SSm0
0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11, SMR13 レジスタのみ。

注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ。

注3. SCR00, SCR01 レジスタと、80-100ピン製品のSCR10, SCR11 レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13備考2. : IIC モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

(2) 処理フロー

図 17 - 141 データ送信のタイミング・チャート

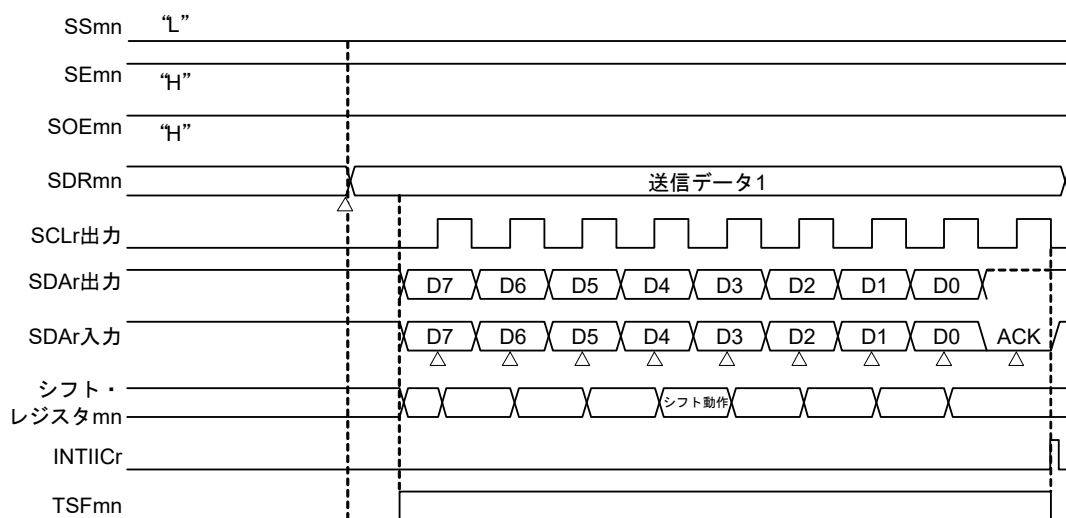
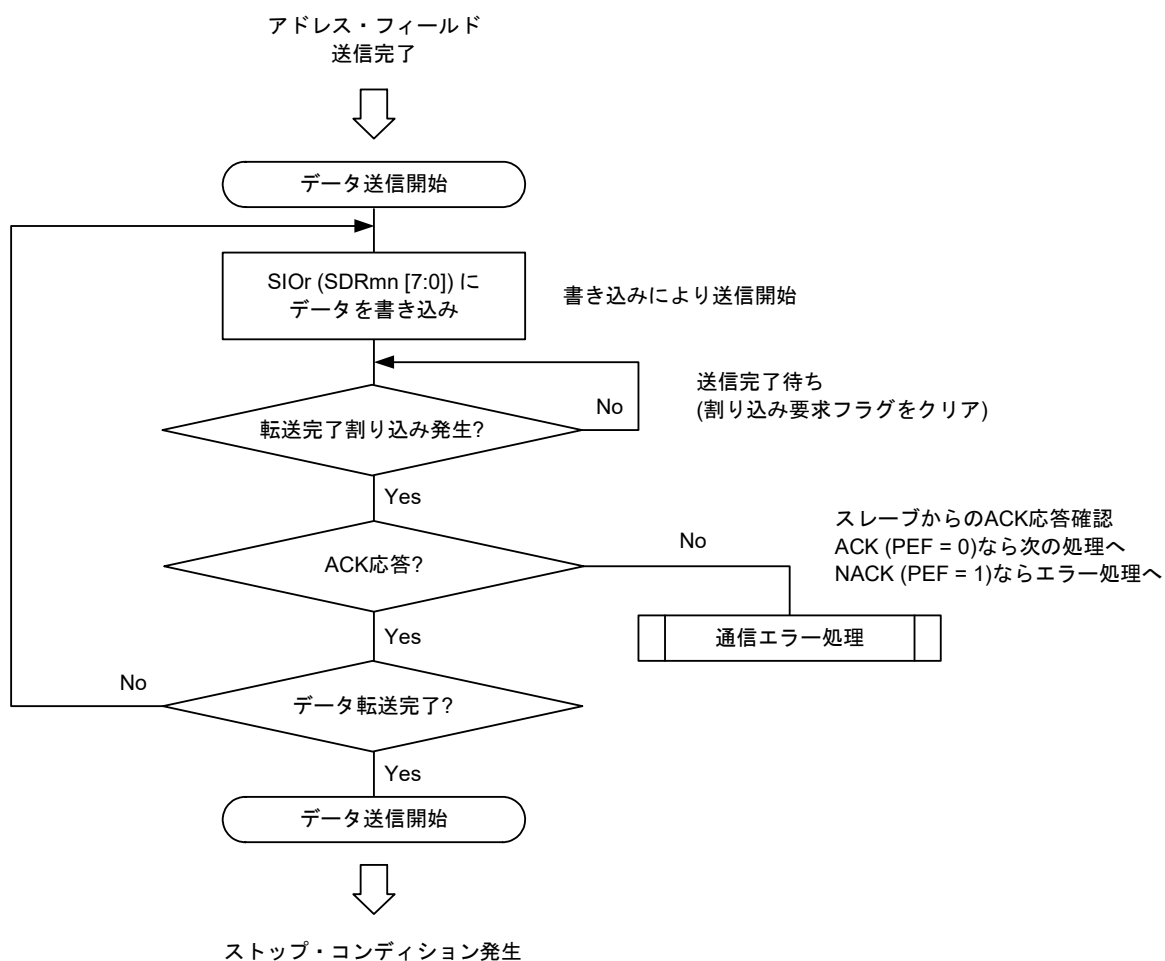


図 17 - 142 データ送信のフロー・チャート



17.9.3 データ受信

データ受信は、アドレス・フィールド送信後にその転送対象(スレーブ)にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 I ² C	IIC00	IIC01	IIC10	IIC11	IIC20	IIC21	IIC30	IIC31
対象チャンネル	SAU0の チャンネル0	SAU0の チャンネル1	SAU0の チャンネル2	SAU0の チャンネル3	SAU1の チャンネル0	SAU1の チャンネル1	SAU1の チャンネル2	SAU1の チャンネル3
使用端子	SCL00, SDA00注1	SCL01, SDA01注1	SCL10, SDA10注1	SCL11, SDA11注1	SCL20, SDA20注1	SCL21, SDA21注1	SCL30, SDA30注1	SCL31, SDA31注1
割り込み	INTIIC00	INTIIC01	INTIIC10	INTIIC11	INTIIC20	INTIIC21	INTIIC30	INTIIC31
	転送完了割り込みのみ(バッファ空き割り込みは選択不可)							
エラー検出フラグ	オーバラン・エラー検出フラグ(OVFmn)のみ							
転送データ長	8ビット							
転送レート注2	Max.fmck/4 [Hz] (SDRmn[15:9] = 1 以上) fmck : 対象チャンネルの動作クロック周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 • Max. 1 MHz (ファースト・モード・プラス) • Max. 400 kHz (ファースト・モード) • Max. 100 kHz (標準モード)							
データ・レベル	非反転出力(デフォルト : ハイ・レベル)							
パリティ・ビット	パリティ・ビットなし							
ストップ・ビット	1ビット付加(ACK送信)							
データ方向	MSB ファースト							

注1. 簡易 I²Cによる通信を行う場合は、ポート出力モード・レジスタ(POMxx)にてN-chオープン・ドレイン出力(V_{DD}耐圧(30～52ピン製品の場合)/EV_{DD}耐圧(64～100ピン製品の場合))モードを設定してください(POMxx = 1)。詳細は、4.3 ポート機能を制御するレジスタ、4.5 兼用機能使用時のレジスタの設定を参照してください。

IIC00, IIC10, IIC20, IIC30, IIC31 を異電位の外部デバイスと通信する場合は、クロック入力/出力端子(SCL00, SCL10, SCL20, SCL30, SCL31)も同様にN-chオープン・ドレイン出力(V_{DD}耐圧(30～52ピン製品の場合)/EV_{DD}耐圧(64～100ピン製品の場合))モードを設定してください(POMxx = 1)。

詳細は、4.4.5 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応を参照してください。

注2. この条件を満たし、かつ電気的特性の周辺機能特性(第34章 または第35章 電気的特性参照)を満たす範囲内で使用してください。

備考 m : ユニット番号(m = 0, 1) n : チャンネル番号(n = 0-3), mn = 00-03, 10-13

(1) レジスタ設定

図 17 - 143 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) のデータ受信時のレジスタ設定内容例

(a) シリアル・モード・レジスタ mn (SMRmn) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKSmn	CCSmn						STSmn		SISmn0				MDmn2	MDmn1	MDmn0
0/1	0	0	0	0	0	0	0注1	0	0注1	1	0	0	1	0	0

(b) シリアル通信動作設定レジスタ mn (SCRmn)

..... TXEmn, RXEmn ビット以外はデータ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXEmn	RXEmn	DAPmn	CKPmn		EOCmn	PTCmn1	PTCmn0	DIRmn		SLCmn1	SLCmn0			DLSmn1	DLSmn0
0	1	0	0	0	0	0	0	0	0	0注2	1	0	1	1注3	1

(c) シリアル・データ・レジスタ mn (SDRmn) (下位8ビット : SIO_r)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ボー・レート設定注4								0	ダミー送信データ設定 (FFH)						
SIO _r															

(d) シリアル出力レジスタ m (SOM) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
				CKOm3	CKOm2	CKOm1	CKOm0					SOM3	SOM2	SOM1	SOM0
0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5	0	0	0	0	0/1注5	0/1注5	0/1注5	0/1注5

(e) シリアル出力許可レジスタ m (SOEm) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SOEm3	SOEm2	SOEm1	SOEm0
0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

(f) シリアル・チャネル開始レジスタ m (SSm) データ送受信中は操作しない

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												SSm3	SSm2	SSm1	SSm0
0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

注1. SMR01, SMR03, SMR11, SMR13 レジスタのみ。

注2. SCR00, SCR02, SCR10, SCR12 レジスタのみ。

注3. SCR00, SCR01 レジスタと、80-100 ピン製品の SCR10, SCR11 レジスタのみ。その他は1固定になります。

注4. アドレス・フィールド送信で設定済みなので、設定不要です。

注5. 通信動作中は通信データにより値が変わります。

備考1. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
 mn = 00-03, 10-13

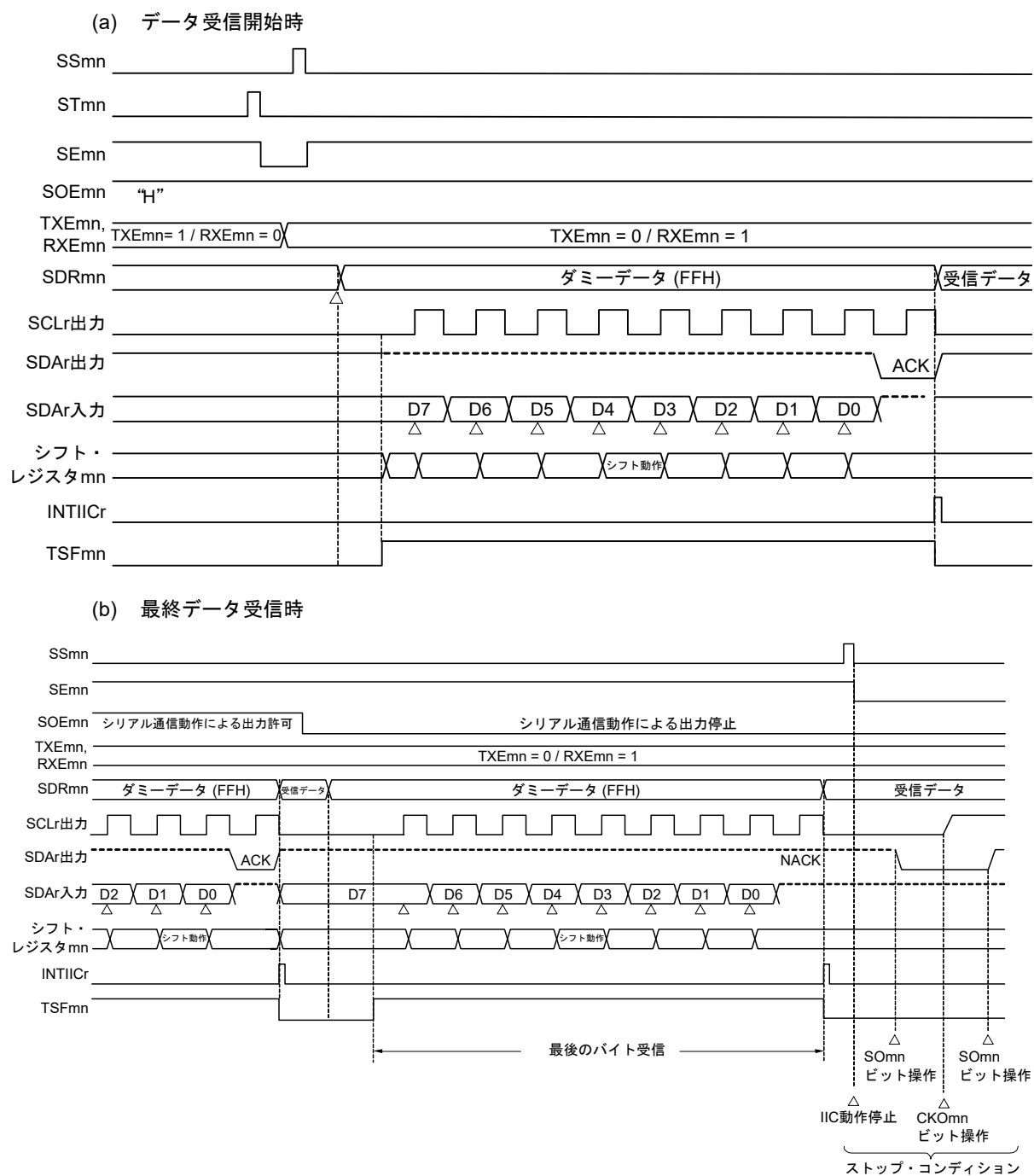
備考2. : IIC モードでは設定固定 : 設定不可 (初期値を設定)

× : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

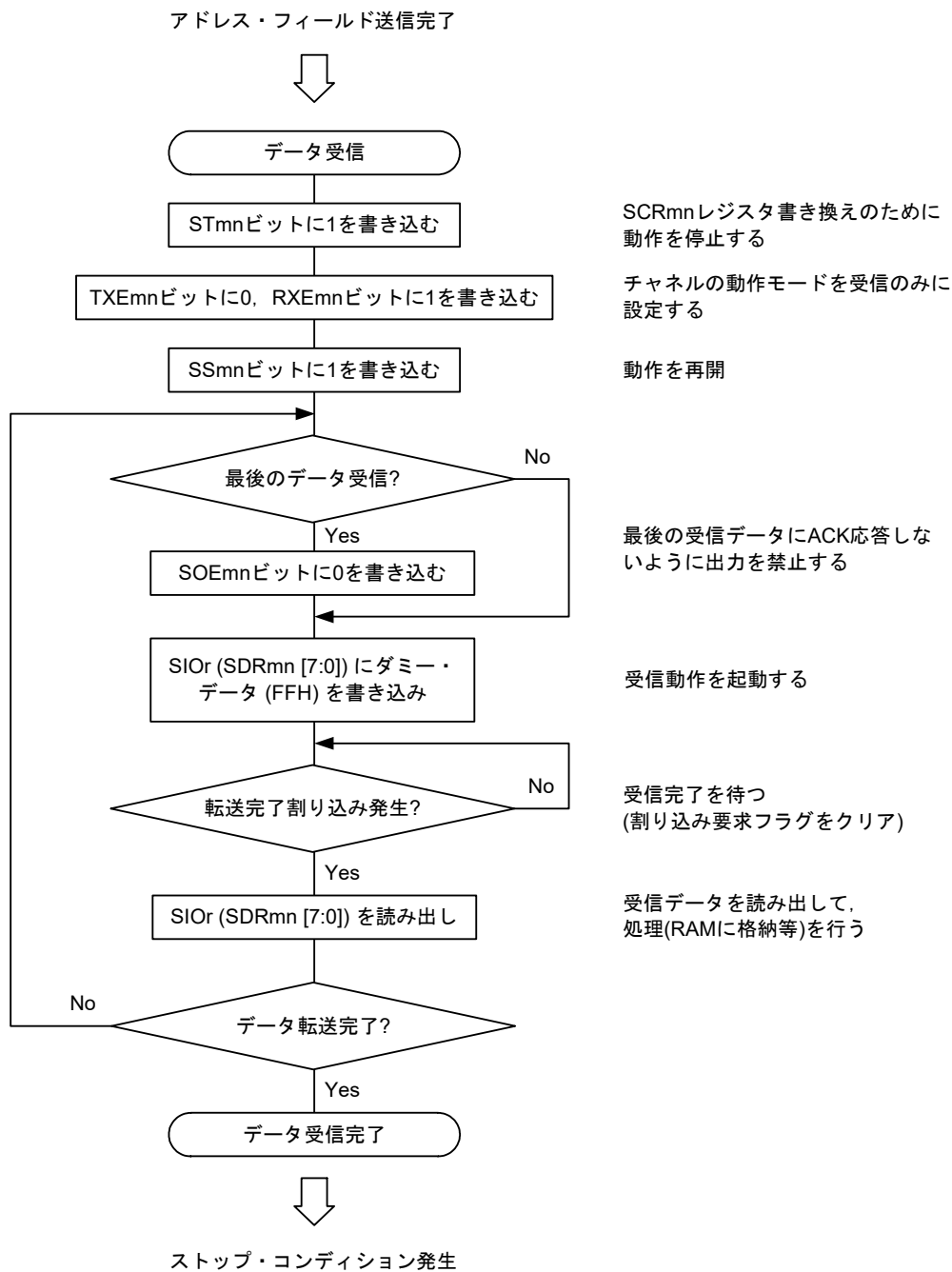
(2) 処理フロー

図 17 - 144 データ受信のタイミング・チャート



備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

図 17 - 145 データ受信のフロー・チャート



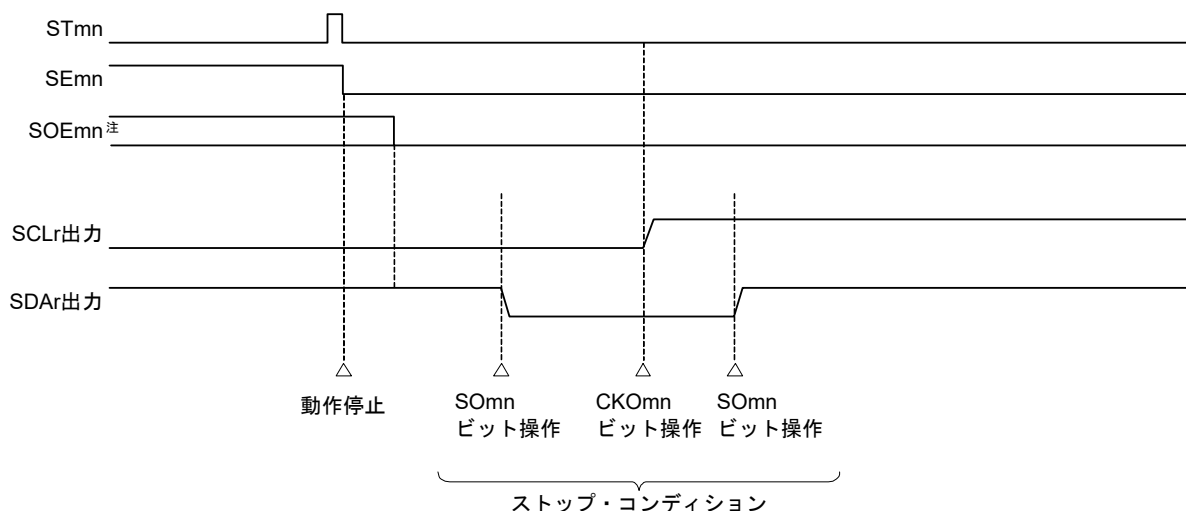
注意 最終データの受信時はACKを出力しません(NACK)。その後、シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに “1” を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

17.9.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信／受信した後は、ストップ・コンディションを発生し、バスを開放します。

(1) 処理フロー

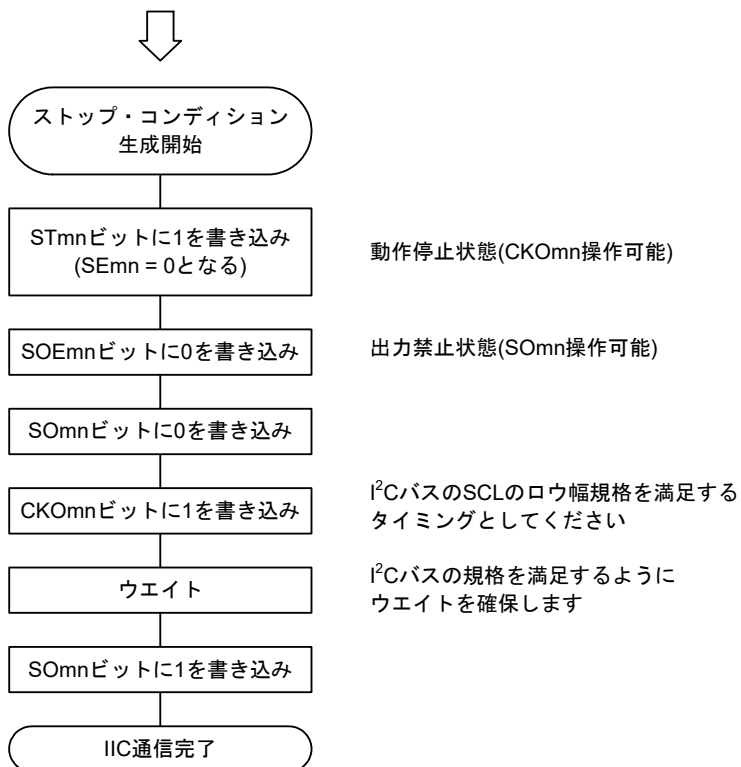
図17-146 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ m (SOEm) の SOEmn ビットを“0”に設定しています。

図17-147 ストップ・コンディション発生のフロー・チャート

データ送信完了/データ受信完了



17.9.5 転送レートの算出

簡易I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信での転送レートは下記の計算式にて算出できます。

$$(\text{転送レート}) = \{ \text{対象チャネルの動作クロック (fMCK) 周波数} \} \div (\text{SDRmn}[15:9] + 1) \div 2$$

注意 SDRmn[15:9] = 0000000Bは設定禁止です。SDRmn[15:9] = 0000001B以上に設定してください。

簡易I²C出力のSCL信号のデューティ比は50%です。I²Cバス規格では、SCL信号のロウ・レベル幅がハイ・レベル幅より長くなっています。このため、ファースト・モードの400 kbpsやファースト・モード・プラスの1 Mbpsに設定すると、SCL信号出力のロウ・レベル幅がI²Cバスの規格値より短くなります。SDRmn[15:9]には、この規格を満足できる値を設定してください。

備考1. (SDRmn[15:9])は、シリアル・データ・レジスタ mn (SDRmn)のビット15-9の値(0000001B-1111111B)なので、1-127になります。

備考2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10-13

動作クロック (fMCK) は、シリアル・クロック選択レジスタ m (SPSm) とシリアル・モード・レジスタ mn (SMRmn)のビット15 (CKSmnビット)で決まります。

表 17 - 6 簡易 I²C 動作クロックの選択

SMRmn レジスタ	SPSm レジスタ								動作クロック (fMCK) 注	
CKSmn	PRS m13	PRS m12	PRS m11	PRS m10	PRS m03	PRS m02	PRS m01	PRS m00		fCLK = 32 MHz 動作時
0	X	X	X	X	0	0	0	0	fCLK	32 MHz
	X	X	X	X	0	0	0	1	fCLK/2	16 MHz
	X	X	X	X	0	0	1	0	fCLK/2 ²	8 MHz
	X	X	X	X	0	0	1	1	fCLK/2 ³	4 MHz
	X	X	X	X	0	1	0	0	fCLK/2 ⁴	2 MHz
	X	X	X	X	0	1	0	1	fCLK/2 ⁵	1 MHz
	X	X	X	X	0	1	1	0	fCLK/2 ⁶	500 kHz
	X	X	X	X	0	1	1	1	fCLK/2 ⁷	250 kHz
	X	X	X	X	1	0	0	0	fCLK/2 ⁸	125 kHz
	X	X	X	X	1	0	0	1	fCLK/2 ⁹	62.5 kHz
	X	X	X	X	1	0	1	0	fCLK/2 ¹⁰	31.25 kHz
	X	X	X	X	1	0	1	1	fCLK/2 ¹¹	15.63 kHz
1	0	0	0	0	X	X	X	X	fCLK	32 MHz
	0	0	0	1	X	X	X	X	fCLK/2	16 MHz
	0	0	1	0	X	X	X	X	fCLK/2 ²	8 MHz
	0	0	1	1	X	X	X	X	fCLK/2 ³	4 MHz
	0	1	0	0	X	X	X	X	fCLK/2 ⁴	2 MHz
	0	1	0	1	X	X	X	X	fCLK/2 ⁵	1 MHz
	0	1	1	0	X	X	X	X	fCLK/2 ⁶	500 kHz
	0	1	1	1	X	X	X	X	fCLK/2 ⁷	250 kHz
	1	0	0	0	X	X	X	X	fCLK/2 ⁸	125 kHz
	1	0	0	1	X	X	X	X	fCLK/2 ⁹	62.5 kHz
	1	0	1	0	X	X	X	X	fCLK/2 ¹⁰	31.25 kHz
	1	0	1	1	X	X	X	X	fCLK/2 ¹¹	15.63 kHz
上記以外									設定禁止	

注 fCLK に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャネル停止レジスタ m (STm) = 000FH) させてから変更してください。

備考 1. X : Don't care

備考 2. m : ユニット番号 (m = 0, 1) n : チャネル番号 (n = 0-3), mn = 00-03, 10-13

$f_{MCK} = f_{CLK} = 32 \text{ MHz}$ の場合のI²C転送レート設定例を示します。

I ² C転送モード (希望転送レート)	fCLK = 32 MHz時			
	動作クロック (fMCK)	SDRmn[15:9]	算出転送レート	希望転送レートとの誤差
100 kHz	fCLK/2	79	100 kHz	0.0%
400 kHz	fCLK	41	380 kHz	5.0%注
1 MHz	fCLK	18	0.84 MHz	16.0%注

注 SCL信号がデューティ比50%なので、誤差を0%程度に設定することはできません。

17.9.6 簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時におけるエラー発生時の処理手順

簡易 I²C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 通信時にエラーが発生した場合の処理手順を図 17 - 148, 図 17 - 149 に示します。

図 17 - 148 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ mn (SDRmn) をリードする	→ SSRmn レジスタの BFFmn ビットが“0”となり、チャンネル n は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) に“1”をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる

図 17 - 149 簡易 I²C モード時の ACK エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・ステータス・レジスタ mn (SSRmn) をリードする		エラーの種類の判別を行い、リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) をライトする	→ エラー・フラグがクリアされる	SSRmn レジスタのリード値をそのまま SIRmn レジスタに書き込むことで、読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ m (STm) の STmn ビットに“1”を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが“0”となり、チャンネル n は動作停止状態になる	ACK が返信されていないので、スレーブの受信準備ができていない。そのため、ストップ・コンディションを作成してバスを開放し、再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し、アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ m (SSm) の SSmn ビットに“1”を設定する	→ シリアル・チャンネル許可ステータス・レジスタ m (SEm) の SEMn ビットが“1”となり、チャンネル n は動作許可状態になる	

備考 m : ユニット番号 (m = 0, 1) n : チャンネル番号 (n = 0-3) r : IIC 番号 (r = 00, 01, 10, 11, 20, 21, 30, 31)
mn = 00-03, 10-13

第18章 シリアル・インタフェースIICA

シリアル・インタフェースIICAのチャンネル数は、製品によって異なります。

	30, 32, 36, 40, 44, 48, 52, 56, 64ピン	80, 100ピン
チャンネル	1 ch	2 ch

18.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには、次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード(マルチマスタ対応)

シリアル・クロック (SCLAn) とシリアル・データ・バス (SDAAn) の2本のラインより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対して、シリアル・データ・バス上に“スタート・コンディション”、“アドレス”、“転送方向指定”、“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

シリアル・インタフェースIICAでは、SCLAn端子とSDAAn端子はオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で、マスタからの拡張コードもしくは自局アドレスを受信した場合に、割り込み要求信号 (INTIICAn) を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ n1 (IICCTLn1) のWUPnビットにより設定します。

図18-1にシリアル・インタフェースIICAのブロック図を示します。

備考 n = 0, 1

図18-1 シリアル・インタフェースIICAのブロック図

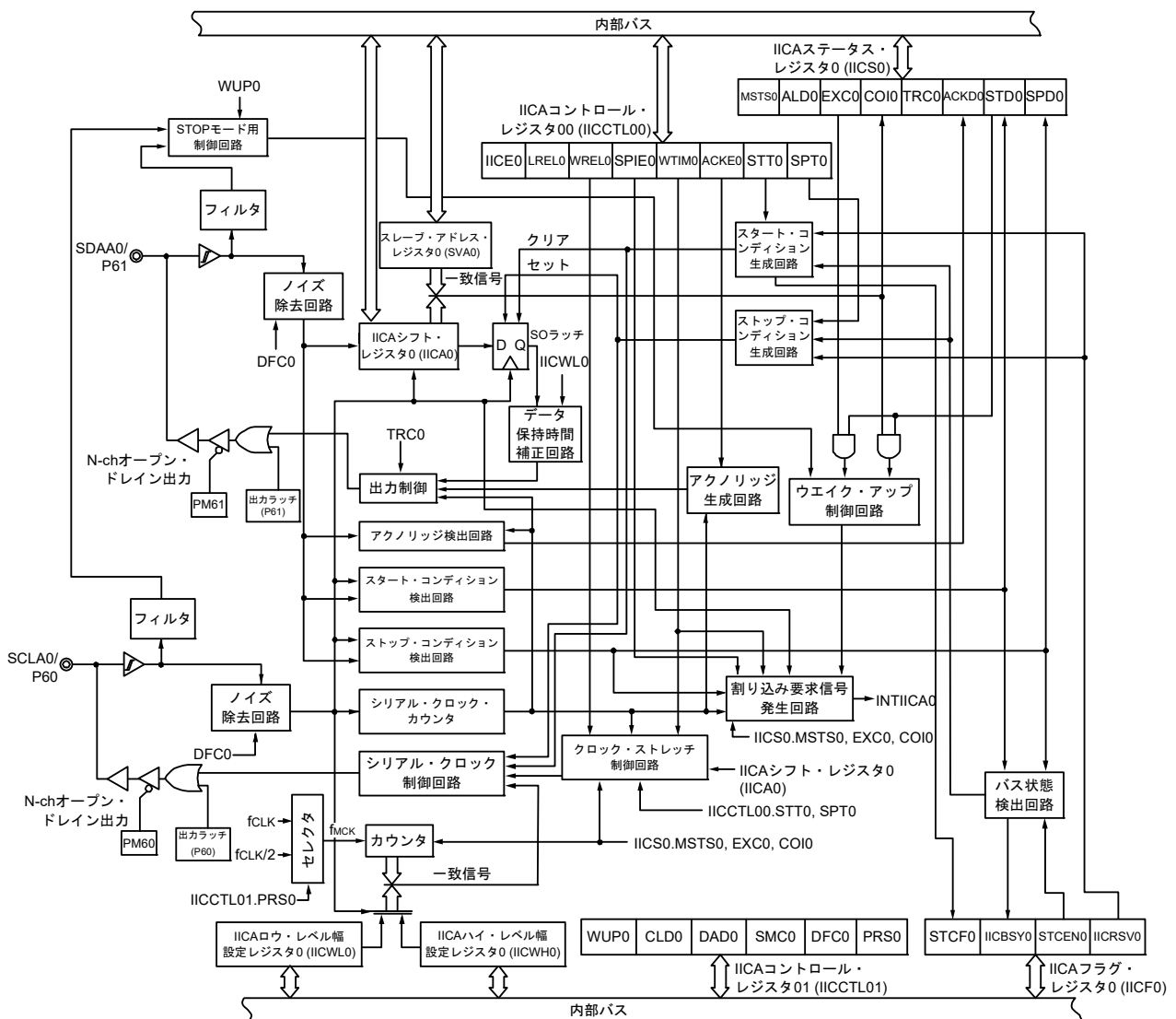
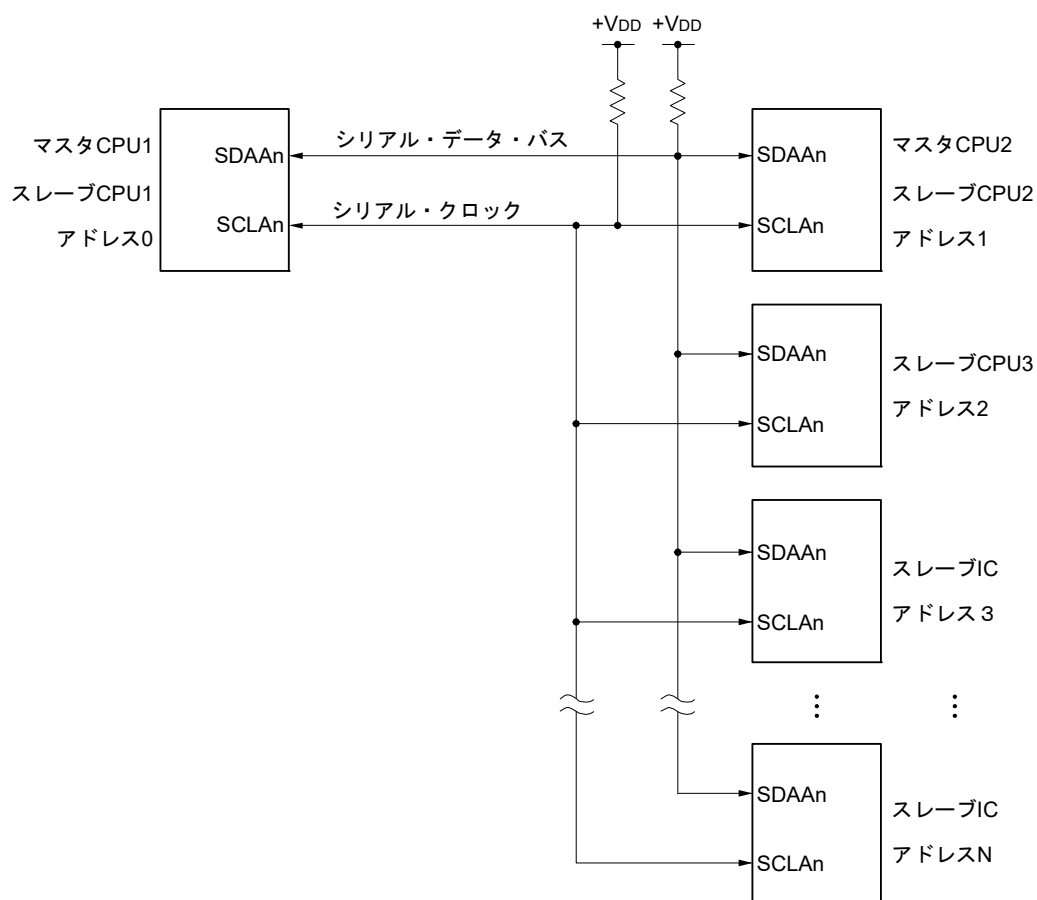


図18-2にシリアル・バス構成例を示します。

図18-2 I²Cバスによるシリアル・バス構成例



備考 n = 0, 1

18.2 シリアル・インタフェース IICAの構成

シリアル・インタフェース IICAは、次のハードウェアで構成されています。

表 18 - 1 シリアル・インタフェース IICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ n (IICAn) スレーブ・アドレス・レジスタ n (SVAn)
制御レジスタ	周辺イネーブル・レジスタ 0 (PER0) IICAコントロール・レジスタ n0 (IICCTLn0) IICAステータス・レジスタ n (IICSn) IICAフラグ・レジスタ n (IICFn) IICAコントロール・レジスタ n1 (IICCTLn1) IICAロウ・レベル幅設定レジスタ n (IICWLn) IICAハイ・レベル幅設定レジスタ n (IICWHn) ポート・モード・レジスタ 6 (PM6) ポート・レジスタ 6 (P6)

備考 n = 0, 1

(1) IICAシフト・レジスタ n (IICAn)

IICAnレジスタは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAnレジスタは送信および受信の両方に使用されます。

IICAnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御できます。

クロック・ストレッチ期間中のIICAnレジスタへの書き込みにより、クロック・ストレッチを解除し、データ転送を開始します。

IICAnレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 18 - 3 IICAシフト・レジスタ n (IICAn)のフォーマット

アドレス : FFF50H (IICA0), FFF54H (IICA1)

リセット時 : 00H

R/W

略号 7 6 5 4 3 2 1 0

IICAn

--	--	--	--	--	--	--	--

注意1. データ転送中はIICAnレジスタにデータを書き込まないでください。

注意2. IICAnレジスタには、クロック・ストレッチ期間中にだけ、書き込み／読み出しをしてください。クロック・ストレッチ期間中を除く通信状態でのIICAnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット(STTn)をセット(1)したあと、1回書き込みできます。

注意3. 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAnレジスタにデータを書き込んでください。

備考 n = 0, 1

(2) スレーブ・アドレス・レジスタ n (SVAn)

スレーブとして使用する場合に、自局アドレスの7ビット {A6, A5, A4, A3, A2, A1, A0} を格納するレジスタです。

SVAnレジスタは、8ビット・メモリ操作命令で設定します。

ただし、STDn = 1 (スタート・コンディション検出)のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図 18-4 スレーブ・アドレス・レジスタ n (SVAn)のフォーマット

アドレス：F0234H (SVA0), F023CH (SVA1)				リセット時：00H		R/W		
略号	7	6	5	4	3	2	1	0
SVAn	A6	A5	A4	A3	A2	A1	A0	0注

注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDAAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ n (SVAn)に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICAn) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICAn)の発生を制御します。

I²C 割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMn ビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEn ビットで設定)

備考 WTIMn ビット : IICA コントロール・レジスタ n0 (IICCTLn0)のビット3

SPIEn ビット : IICA コントロール・レジスタ n0 (IICCTLn0)のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCLAn端子に出力するクロックをサンプリング・クロックから生成します。

(8) クロック・ストレッチ制御回路

クロック・ストレッチ・タイミングを制御します。

備考 n = 0, 1

- (9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

- (10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

- (11) スタート・コンディション生成回路

STTnビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVnビット = 1)で、かつバスが解放されていない(IICBSYnビット = 1)場合には、スタート・コンディション要求は無視し、STCFnビットをセット(1)します。

- (12) ストップ・コンディション生成回路

SPTnビットがセット(1)されるとストップ・コンディションを生成します。

- (13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENnビットにより、バス状態検出回路の初期状態を設定してください。

備考 1. STTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

SPTnビット : IICAコントロール・レジスタ n0 (IICCTLn0)のビット0

IICRSVnビット : IICAフラグ・レジスタ n (IICFn)のビット0

IICBSYnビット : IICAフラグ・レジスタ n (IICFn)のビット6

STCFnビット : IICAフラグ・レジスタ n (IICFn)のビット7

STCENnビット : IICAフラグ・レジスタ n (IICFn)のビット1

備考 2. n = 0, 1

18.3 シリアル・インタフェース IICA を制御するレジスタ

シリアル・インタフェース IICA は、次の8種類のレジスタで制御します。

- 周辺イネーブル・レジスタ 0 (PER0)
- IICA コントロール・レジスタ n0 (IICCTLn0)
- IICA フラグ・レジスタ n (IICFn)
- IICA ステータス・レジスタ n (IICSn)
- IICA コントロール・レジスタ n1 (IICCTLn1)
- IICA ロウ・レベル幅設定レジスタ n (IICWLn)
- IICA ハイ・レベル幅設定レジスタ n (IICWHn)
- ポート・モード・レジスタ 6 (PM6)
- ポート・レジスタ 6 (P6)

備考 n = 0, 1

18.3.1 周辺イネーブル・レジスタ 0 (PER0)

PER0 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェース IICAn を使用するときは、必ずビット 6, 4 (IICA1EN, IICA0EN) を 1 に設定してください。

PER0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H になります。

図 18 - 5 周辺イネーブル・レジスタ 0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCWEN	IICA1EN ^注	ADCEN	IICA0EN	SAU1EN	SAU0EN	TAU1EN ^注	TAU0EN

IICAnEN	シリアル・インタフェース IICAn の入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・インタフェース IICAn で使用する SFR へのライト不可 ・シリアル・インタフェース IICAn はリセット状態
1	入力クロック供給許可 ・シリアル・インタフェース IICAn で使用する SFR へのリード／ライト可

注 80, 100 ピン製品のみ。

注意 1. シリアル・インタフェース IICA の設定をする際には、必ず最初に IICAnEN = 1 の状態で、下記のレジスタの設定を行ってください。IICAnEN = 0 の場合は、シリアル・インタフェース IICA の制御レジスタは初期値となり、書き込みは無視されます(ポート・モード・レジスタ 6 (PM6), ポート・レジスタ 6 (P6) は除く)。

- ・IICA コントロール・レジスタ n0 (IICCTLn0)
- ・IICA フラグ・レジスタ n (IICFn)
- ・IICA ステータス・レジスタ n (IICSn)
- ・IICA コントロール・レジスタ n1 (IICCTLn1)
- ・IICA ロウ・レベル幅設定レジスタ n (IICWLn)
- ・IICA ハイ・レベル幅設定レジスタ n (IICWHn)

注意 2. 次のビットには必ず“0”を設定してください。

30, 32, 36, 40, 44, 48, 52, 64 ピン製品 : ビット 1, 6

備考 n = 0, 1

18.3.2 IICA コントロール・レジスタ n0 (IICCTLn0)

I²C の動作許可／停止、クロック・ストレッチ・タイミングの設定、その他 I²C の動作を設定するレジスタです。

IICCTLn0 レジスタは、1 ビット・メモリ操作命令または 8 ビット・メモリ操作命令で設定します。ただし、SPIEn, WTIMn, ACKEn ビットは、IICEn = 0 のとき、またはクロック・ストレッチ期間中に設定してください。また IICEn ビットを“0”から“1”に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00H になります。

備考 n = 0, 1

図 18 - 6 IICA コントロール・レジスタ n0 (IICCTLn0) のフォーマット (1/4)

アドレス : F0230H (IICCTL00), F0238H (IICCTL10) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IICCTLn0	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn
IICEn	I ² C の動作許可							
0	動作停止。IICA ステータス・レジスタ n (IICSn) をリセット注1。内部動作も停止。							
1	動作許可。							
このビットのセット(1)は、必ず SCLAn, SDAAn ラインがハイ・レベルの状態で行ってください。								
クリアされる条件(IICEn = 0)					セットされる条件(IICEn = 1)			
・ 命令によるクリア ・ リセット時					・ 命令によるセット			
LRELn 注2, 3	通信退避							
0	通常動作。							
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア(0)される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLAn, SDAAn ラインはハイ・インピーダンス状態になる。 IICA コントロール・レジスタ n0 (IICCTLn0), IICA ステータス・レジスタ n (IICSn) のうち、次のフラグがクリア(0)される。 ・ STTn ・ SPTn ・ MSTSn ・ EXCn ・ COIn ・ TRCn ・ ACKDn ・ STDn							
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。 ・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信								
クリアされる条件(LRELn = 0)					セットされる条件(LRELn = 1)			
・ 実行後、自動的にクリア ・ リセット時					・ 命令によるセット			
WRELn 注2, 3	クロック・ストレッチ解除							
0	クロック・ストレッチを解除しない。							
1	クロック・ストレッチを解除する。クロック・ストレッチ解除後、自動的にクリアされる。							
送信状態(TRCn = 1)で、9クロック目のクロック・ストレッチ期間中にWRELnビットをセット(クロック・ストレッチを解除)した場合、SDAAnラインをハイ・インピーダンス(TRCn = 0)にします。								
クリアされる条件(WRELn = 0)					セットされる条件(WRELn = 1)			
・ 実行後、自動的にクリア ・ リセット時					・ 命令によるセット			

注1. リセットされるのは、IICA シフト・レジスタ n (IICAn), IICA フラグ・レジスタ n (IICFn) の STCFn, IICBSYn ビット、IICA コントロール・レジスタ n1 (IICCTLn1) レジスタの CLDn, DADn ビットです。

注2. IICEn = 0 の状態では、このビットの信号は無効になります。

注3. LRELn, WRELn ビットの読み出し値は常に0になります。

注意 SCLAn ラインがハイ・レベル、SDAAn ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTLn1 レジスタの DFCn = 1) のときに I²C を動作許可 (IICEn = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²C を動作許可 (IICEn = 1) したあと、連続して1ビット・メモリ操作命令により、LRELn ビットをセット(1)してください。

備考 n = 0, 1

図18-7 IICAコントロール・レジスタ n0 (IICCTLn0)のフォーマット(2/4)

SPIEn 注1	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
IICAコントロール・レジスタ n1 (IICCTLn1)のWUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。	
クリアされる条件(SPIEn = 0)	セットされる条件(SPIEn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

WTIMn 注1	クロック・ストレッチおよび割り込み要求発生制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままクロック・ストレッチ スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをクロック・ストレッチ
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにクロック・ストレッチが入ります。自局アドレスを受信したスレーブは、アクノリッジ(ACK)発生後の9クロック目の立ち下がりでクロック・ストレッチに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでクロック・ストレッチに入ります。	
クリアされる条件(WTIMn = 0)	セットされる条件(WTIMn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

ACKEn 注1, 2	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAAnラインをロウ・レベルにする。
クリアされる条件(ACKEn = 0)	セットされる条件(ACKEn = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

注1. IICEn = 0の状態では、このビットの信号は無効になります。その期間にビットの設定を行ってください。

注2. アドレス転送中で、かつ拡張コードでない場合、設定値は無効です。

スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

備考 n = 0, 1

図 18 - 8 IICA コントロール・レジスタ n0 (IICCTLn0) のフォーマット (3/4)

STTn 注 1, 2	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき (待機状態, IICBSYn が 0 のとき) : セット (1) すると, スタート・コンディションを生成する (マスタとしての起動)。 第三者が通信中のとき : - 通信予約機能許可の場合 (IICRSVn = 0) スタート・コンディション予約フラグとして機能する。セット (1) すると, バスが解放されたあと自動的にスタート・コンディションを生成する。 - 通信予約機能禁止の場合 (IICRSVn = 1) セット (1) しても STTn ビットはクリアされ, STTn クリア・フラグ (STCFn) がセット (1) される。スタート・コンディションは生成しない。 クロック・ストレッチ状態 (マスタ時) : クロック・ストレッチを解除してリスタート・コンディションを生成する。
セット・タイミングに関する注意 - マスタ受信の場合 : 転送中のセット (1) は禁止です。ACKEn = 0 に設定し, 受信の最後であることをスレーブに伝えたとのクロック・ストレッチ期間中にだけセット (1) 可能です。 - マスタ送信の場合 : アクノリッジ期間中は, 正常にスタート・コンディションが生成されないことがあります。9 クロック目出力後のクロック・ストレッチ期間中にセット (1) してください。 - ストップ・コンディション・トリガ (SPTn) と同時セット (1) することは禁止です。 - STTn ビットをセット (1) 後, クリア条件になる前に再度セット (1) することは禁止です。	
クリアされる条件 (STTn = 0)	セットされる条件 (STTn = 1)
- 通信予約禁止状態での STTn ビットのセット (1) - アービトレーションに負けたとき - マスタでのスタート・コンディション生成 - LRELn = 1 (通信退避) によるクリア - IICEn = 0 (動作停止) のとき - リセット時	命令によるセット

注 1. IICEn = 0 の状態では, このビットの信号は無効になります。

注 2. STTn ビットの読み出し値は, 常に 0 になります。

備考 1. ビット 1 (STTn) は, データ設定後に読み出すと 0 になっています。

備考 2. IICRSVn : IICA フラグ・レジスタ n (IICFn) のビット 0

STCFn : IICA フラグ・レジスタ n (IICFn) のビット 7

備考 3. n = 0, 1

図 18 - 9 IICA コントロール・レジスタ n0 (IICCTLn0) のフォーマット (4/4)

SPTn注	ストップ・コンディション・トリガ
0	ストップ・コンディションを生成しない。
1	ストップ・コンディションを生成する(マスタとしての転送終了)。
セット・タイミングに関する注意 - マスタ受信の場合：転送中のセット(1)は禁止です。ACKEn = 0に設定し、受信の最後であることをスレーブに伝えたあとのクロック・ストレッチ期間中にだけセット(1)可能です。 - マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のクロック・ストレッチ期間中にセットしてください。 - スタート・コンディション・トリガ(STTn)と同時にセット(1)することは禁止です。 - SPTnビットのセット(1)は、マスタのときのみ行ってください。 - WTIMn = 0設定時に、8クロック出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)すると、クロック・ストレッチ解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のクロック・ストレッチ期間中にWTIMn = 0→1に設定し、9クロック目出力後のクロック・ストレッチ期間中にSPTnビットをセット(1)してください。 - SPTnビットをセット(1)後、クリア条件になる前に、再度セット(1)することは禁止です。	
クリアされる条件(SPTn = 0)	セットされる条件(SPTn = 1)
- アービトラーションに負けたとき - ストップ・コンディション検出後、自動的にクリア - LRELn = 1 (通信退避)によるクリア - IICEn = 0 (動作停止)のとき - リセット時	命令によるセット

注 SPTnビットの読み出し値は、常に0になります。

注意 IICAステータス・レジスタn (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICCTLn0レジスタのビット5 (WRELn)をセット(1)してクロック・ストレッチ解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタnへの書き込みで行ってください。

備考 n = 0, 1

18.3.3 IICAステータス・レジスタ n (IICSn)

I²Cのステータスを表すレジスタです。

IICSnレジスタは、STTn = 1およびクロック・ストレッチ期間中のみ、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、00Hになります。

注意 STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可(WUPn=1)状態でのIICSnレジスタの読み出しは禁止です。WUPn = 1の状態から、INTIICAn割り込み要求と関係なくWUPnビットを1→0 (ウエイク・アップ動作停止)に変更した場合には、次のスタート・コンディション/ストップ・コンディション検出までは状態が反映されません。そのため、ウエイク・アップ機能を使用する場合には必ずストップ・コンディション検出による割り込みを許可(SPIEn = 1)して割り込み検出後にIICSnレジスタを読み出してください。

備考 STTn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

WUPn: IICAコントロール・レジスタ n1 (IICCTLn1)のビット7

図 18 - 10 IICAステータス・レジスタ n (IICSn)のフォーマット(1/3)

アドレス: FFF51H (IICS0), FFF55H (IICS1)

リセット時: 00H R

略号	7	6	5	4	3	2	1	0
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACK _n	STD _n	SPD _n

MSTS _n	マスタ状態確認フラグ	
0	スレーブ状態または通信待機状態。	
1	マスタ通信状態。	
クリアされる条件(MSTS _n = 0)		セットされる条件(MSTS _n = 1)
・ストップ・コンディション検出時 ・ALD_n = 1 (アービトレーション負け)のとき ・LREL_n = 1 (通信退避)によるクリア ・IICE_n = 1→0 (動作停止)のとき ・リセット時		・スタート・コンディション生成時
ALD _n	アービトレーション負け検出	
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。	
1	アービトレーションに負けた状態。MSTS _n ビットがクリアされる。	
クリアされる条件(ALD _n = 0)		セットされる条件(ALD _n = 1)
・IICSnレジスタ読み出し後、自動的にクリア注 ・IICE_n = 1→0 (動作停止)のとき ・リセット時		・アービトレーションに負けたとき

注 IICSnレジスタのほかのビットに対し1ビット・メモリ操作命令を実行した場合もクリアされます。したがって、ALD_nビット使用時は、ほかのビットよりも先にデータをリードしてください。

備考1. LREL_n: IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICE_n: IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0, 1

図 18 - 11 IICAステータス・レジスタ n (IICSn)のフォーマット(2/3)

EXCn	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXCn = 0)		セットされる条件 (EXCn = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避)によるクリア ・IICEEn = 1→0 (動作停止)のとき ・リセット時		・受信したアドレス・データの上位4ビットが“0000”または“1111”のとき(8クロック目の立ち上がりでセット)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COIn = 0)		セットされる条件 (COIn = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避)によるクリア ・IICEEn = 1→0 (動作停止)のとき ・リセット時		・受信アドレスが自局アドレス(スレーブ・アドレス・レジスタ n (SVAn))と一致したとき(8クロック目の立ち上がりでセット)

TRCn	送信／受信状態検出	
0	受信状態(送信状態以外)。SDAAnラインをハイ・インピーダンスにする。	
1	送信状態。SDAAnラインにSONラッチの値が出力できるようにする(1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRCn = 0)		セットされる条件 (TRCn = 1)
<マスタ、スレーブ共通> ・ストップ・コンディション検出時 ・LRELn = 1 (通信退避)によるクリア ・IICEEn = 1→0 (動作停止)のとき ・WRELn = 1 (クロック・ストレッチ解除)によるクリア注 ・ALDn = 0→1 (アービトレーション負け)のとき ・リセット時 ・通信不参加の場合 (MSTSn, EXCn, COIn = 0) <マスタの場合> ・1バイト目のLSB (転送方向指定ビット)に“1”を出力したとき <スレーブの場合> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット)に“0”を入力したとき		<マスタの場合> ・スタート・コンディション生成時 ・1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“0” (マスタ送信)を出力したとき <スレーブの場合> ・マスタからの1バイト目(アドレス転送時)のLSB (転送方向指定ビット)に“1” (スレーブ送信)が入力されたとき

注 IICAステータス・レジスタ n (IICSn)のビット3 (TRCn) = 1 (送信状態)のとき、9クロック目にIICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)をセット(1)してクロック・ストレッチを解除すると、TRCnビットをクリア(受信状態)してSDAAnラインをハイ・インピーダンスにします。TRCn = 1 (送信状態)におけるクロック・ストレッチ解除は、IICAシフト・レジスタ nへの書き込みで行ってください。

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0, 1

図 18 - 12 IICAステータス・レジスタ n (IICSn)のフォーマット(3/3)

ACKDn	アクノリッジ(ACK)検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。
クリアされる条件(ACKDn = 0)	
セットされる条件(ACKDn = 1)	
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時	・SCLAnラインの9クロック目の立ち上がり時にSDAAnラインがロウ・レベルであったとき

STDn	スタート・コンディション検出
0	スタート・コンディションを検出していない。
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。
クリアされる条件(STDn = 0)	
セットされる条件(STDn = 1)	
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELn = 1 (通信退避)によるクリア ・IICEn = 1→0 (動作停止)のとき ・リセット時	・スタート・コンディション検出時

SPDn	ストップ・コンディション検出
0	ストップ・コンディションを検出していない。
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。
クリアされる条件(SPDn = 0)	
セットされる条件(SPDn = 1)	
・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・WUPn = 1→0のとき ・IICEn = 1→0 (動作停止)のとき ・リセット時	・ストップ・コンディション検出時

備考1. LRELn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット6

IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0, 1

18.3.4 IICAフラグ・レジスタ n (IICFn)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STTnクリア・フラグ(STCFn)、I²Cバス状態フラグ(IICBSYn)は読み出しのみ可能です。

IICRSVnビットにより、通信予約機能の禁止／許可を設定します。

またSTCENnビットにより、IICBSYnビットの初期値を設定します。

IICRSVn、STCENnビットはI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = n)のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出しのみ可能となります。

リセット信号の発生により、00Hになります。

図 18 - 13 IICA フラグ・レジスタ n (IICFn) のフォーマット

アドレス : FFF52H (IICF0), FFF56H (IICF1)

リセット時 : 00H

R/W^注略号

7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---

IICFn

STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn
-------	---------	---	---	---	---	--------	---------

STCFn	STTn クリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず、STTn フラグ・クリア。
クリアされる条件 (STCFn = 0)	
- STTn = 1 によるクリア - IICEn = 0 (動作停止) のとき - リセット時	
セットされる条件 (STCFn = 1)	
通信予約禁止 (IICRSVn = 1) 設定時にスタート・コンディション発行できず、STTn ビットがクリア (0) されたとき	

IICBSYn	I ² C バス状態フラグ
0	バス解放状態 (STCENn = 1 時の通信初期状態)。
1	バス通信状態 (STCENn = 0 時の通信初期状態)。
クリアされる条件 (IICBSYn = 0)	
- ストップ・コンディション検出時 - IICEn = 0 (動作停止) のとき - リセット時	
セットされる条件 (IICBSYn = 1)	
- スタート・コンディション検出時 - STCENn = 0 時の IICEn ビットのセット	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEn = 1) 後、ストップ・コンディションの検出により、スタート・コンディションを生成許可。
1	動作許可 (IICEn = 1) 後、ストップ・コンディションを検出せずに、スタート・コンディションを生成許可。
クリアされる条件 (STCENn = 0)	
- 命令によるクリア - スタート・コンディション検出時 - リセット時	
セットされる条件 (STCENn = 1)	
命令によるセット	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSVn = 0)	
- 命令によるクリア - リセット時	
セットされる条件 (IICRSVn = 1)	
命令によるセット	

注 ビット 6, 7 は Read only です。

注意 1. STCENn ビットへの書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

注意 2. STCENn = 1 とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYn = 0) と認識しますので、1 回目のスタート・コンディションを発行 (STTn = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

注意 3. IICRSVn への書き込みは動作停止 (IICEn = 0) 時のみ行ってください。

備考 1. STTn : IICA コントロール・レジスタ n0 (IICCTLn0) のビット 1

IICEn : IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7

備考 2. n = 0, 1

18.3.5 IICAコントロール・レジスタ n1 (IICCTLn1)

I²Cの動作モードの設定やSCLAn, SDAAn端子状態を検出するためのレジスタです。

IICCTLn1 レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLDn, DADnビットは読み出しのみ可能です。

IICCTLn1 レジスタは、WUPnビットを除きI²Cが動作禁止(IICAコントロール・レジスタ n0 (IICCTLn0)のビット7 (IICEn) = 0)のときに設定してください。

リセット信号の発生により、00Hになります。

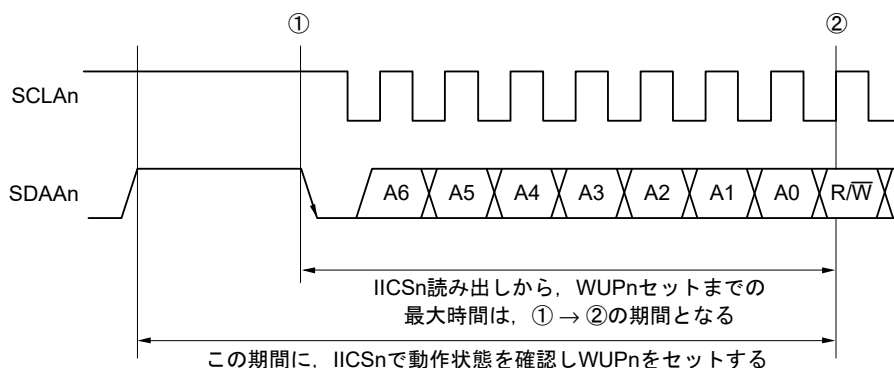
図 18 - 14 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット(1/2)

アドレス : F0231H (IICCTL01), F0239H (IICCTL11) リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCTLn1	WUPn	0	CLDn	DADn	SMCn	DFCn	0	PRSn
	WUPn	アドレス一致ウエイク・アップの制御						
	0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止						
	1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可						
WUPn = 1でSTOPモードに移行する場合は、WUPnビットをセット(1)してfMCKの3クロック以上経過後にSTOP命令を実行してください(図18-29 WUPn = 1を設定する場合のフロー参照)。 アドレス一致、または拡張コード受信後はWUPnビットをクリア(0)してください。WUPnビットをクリア(0)することで、その後の通信に参加する事ができます(クロック・ストレッチ解除および送信データ書き込みは、WUPnビットをクリア(0)したあとに行う必要があります)。 WUPn = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUPn = 0の場合の割り込みタイミングと同じです(クロックによるサンプリング誤差分の遅延差は生じます)。また、WUPn = 1の場合には、SPIEn = 1にしてもストップ・コンディション割り込みは発生しません。								
クリアされる条件(WUPn = 0)					セットされる条件(WUPn = 1)			
・ 命令によるクリア(アドレス一致もしくは拡張コード受信後)					・ 命令によるセット(MSTS _n , EXC _n , COIn = 0であり、STD _n = 0 (通信に参加である事)のとき) ^{注2}			

注1. ビット4, 5はRead Onlyです。

注2. 次に示す期間に、IICAステータス・レジスタ n (IICSn)の状態を確認しセットする必要があります。



備考 n = 0, 1

図 18 - 15 IICAコントロール・レジスタ n1 (IICCTLn1)のフォーマット (2/2)

CLDn	SCLAn端子のレベル検出(IICEn = 1のときのみ有効)
0	SCLAn端子がロウ・レベルであることを検出
1	SCLAn端子がハイ・レベルであることを検出
クリアされる条件(CLDn = 0)	
• SCLAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時	
セットされる条件(CLDn = 1)	
• SCLAn端子がハイ・レベルのとき	

DADn	SDAAn端子のレベル検出(IICEn = 1のときのみ有効)
0	SDAAn端子がロウ・レベルであることを検出
1	SDAAn端子がハイ・レベルであることを検出
クリアされる条件(DADn = 0)	
• SDAAn端子がロウ・レベルのとき • IICEn = 0 (動作停止)のとき • リセット時	
セットされる条件(DADn = 1)	
• SDAAn端子がハイ・レベルのとき	

SMCn	動作モードの切り替え
0	標準モードで動作(最大転送レート : 100 kbps)
1	ファースト・モード(最大転送レート : 400 kbps)またはファースト・モード・プラス(最大転送レート : 1 Mbps)で動作

DFCn	デジタル・フィルタの動作の制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、ファースト・モードおよびファースト・モード・プラス時に使用してください。 デジタル・フィルタは、ノイズ除去のために使用します。 DFCnビットのセット(1)/クリア(0)により、転送クロックが変化することはありません。	

PRSn	IICA動作クロック(fMCK)の制御
0	fCLKを選択($1\text{ MHz} \leq f_{\text{CLK}} \leq 20\text{ MHz}$)
1	fCLK/2を選択($20\text{ MHz} < f_{\text{CLK}}$)

注意1. IICA動作クロック(fMCK)の最高動作周波数は20 MHz (Max.)です。fCLKが20 MHzを越える場合のみ、IICAコントロール・レジスタ n1 (IICCTLn1)のビット0 (PRSn)に“1”を設定してください。

注意2. 転送クロックを設定する場合は、fCLKの最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによってfCLKの最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5\text{ MHz (Min.)}$

ファースト・モード・プラス時 : $f_{\text{CLK}} = 10\text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1\text{ MHz (Min.)}$

注意3. ファースト・モード・プラスは、A : 民生用途(TA = -40 ~ +85 °C) D : 産業用途(TA = -40 ~ +85 °C)のみです。

備考1. IICEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット7

備考2. n = 0, 1

18.3.6 IICA ロウ・レベル幅設定レジスタ n (IICWLn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のロウ・レベル幅 (tLow) と SDAAn 端子信号を制御するレジスタです。

IICWLn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWLn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

IICWLn の設定方法については、18.4.2 IICWLn, IICWHn レジスタによる転送クロック設定方法を参照してください。

また、データ・ホールド時間は IICWLn で設定した時間の 1/4 になります。

図 18 - 16 IICA ロウ・レベル幅設定レジスタ n (IICWLn) のフォーマット

アドレス : F0232H (IICWL0), F023AH (IICWL1)				リセット時 : FFH		R/W		
略号	7	6	5	4	3	2	1	0
IICWLn								

18.3.7 IICA ハイ・レベル幅設定レジスタ n (IICWHn)

シリアル・インタフェース IICA が、出力する SCLAn 端子信号のハイ・レベル幅と SDAAn 端子信号を制御するレジスタです。

IICWHn レジスタは、8 ビット・メモリ操作命令で設定します。

IICWHn レジスタは、I²C が動作禁止 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) = 0) のときに設定してください。

リセット信号の発生により、FFH になります。

図 18 - 17 IICA ハイ・レベル幅設定レジスタ n (IICWHn) のフォーマット

アドレス : F0233H (IICWH0), F023BH (IICWH1)				リセット時 : FFH		R/W		
略号	7	6	5	4	3	2	1	0
IICWHn								

備考1. マスタ側の転送クロックの設定方法は 18.4.2 (1) を、スレーブ側の IICWLn, IICWHn レジスタの設定方法は、18.4.2 (2) を参照してください。

備考2. n = 0, 1

18.3.8 ポート・モード・レジスタ 6 (PM6)

ポート6の入力／出力を1ビット単位で設定するレジスタです。

P60/SCLA0端子をクロック入出力、P61/SDAA0端子をシリアル・データ入出力として使用するとき、PM60、PM61およびP60、P61の出力ラッチに0を設定してください。

IICEn (IICAコントロール・レジスタ n0 (IICCTLn0)のビット7)が0の場合、P60/SCLA0端子およびP61/SDAA0端子はロウ・レベル出力(固定)となるため、出力モードへの切り替えは、IICEnビットに1を設定してから、行ってください。

PM6レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図 18 - 18 ポート・モード・レジスタ 6 (PM6)のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60
PM6n	P6n端子の入出力モードの選択 (n = 0, 1)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

18.4 I²Cバス・モードの機能

18.4.1 端子構成

シリアル・クロック端子(SCLAn)と、シリアル・データ・バス端子(SDAAn)の構成は、次のようになっています。

(1) SCLAn... シリアル・クロックを入出力するための端子。

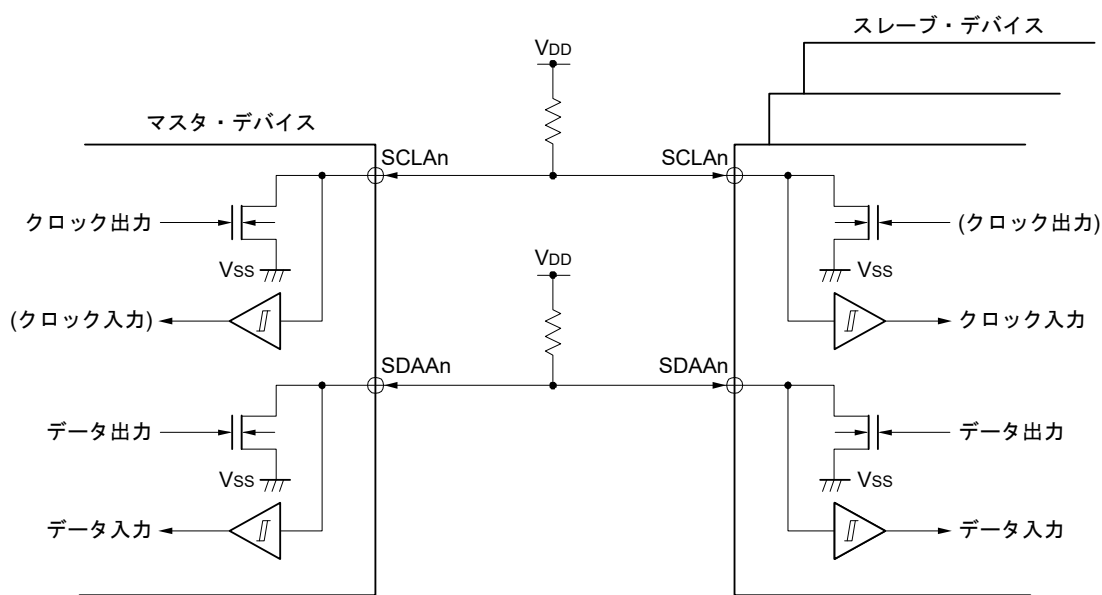
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDAAn... シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図 18 - 19 端子構成図



備考 n = 0, 1

18.4.2 IICWL_n, IICWH_n レジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{MCK}}{IICWL + IICWH + f_{MCK}(t_R + t_F)}$$

このとき、最適な IICWL_n レジスタと IICWH_n レジスタの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWL_n = \frac{0.52}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH_n = \left(\frac{0.48}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・標準モード時

$$IICWL_n = \frac{0.47}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH_n = \left(\frac{0.53}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWL_n = \frac{0.50}{\text{転送クロック}} \times f_{MCK}$$

$$IICWH_n = \left(\frac{0.50}{\text{転送クロック}} - t_R - t_F \right) \times f_{MCK}$$

(2) スレーブ側の IICWL_n, IICWH_n レジスタ設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$IICWL_n = 1.3 \mu s \times f_{MCK}$$

$$IICWH_n = (1.2 \mu s - t_R - t_F) \times f_{MCK}$$

・標準モード時

$$IICWL_n = 4.7 \mu s \times f_{MCK}$$

$$IICWH_n = (5.3 \mu s - t_R - t_F) \times f_{MCK}$$

・ファースト・モード・プラス時

$$IICWL_n = 0.50 \mu s \times f_{MCK}$$

$$IICWH_n = (0.50 \mu s - t_R - t_F) \times f_{MCK}$$

注意1. IICA動作クロック (f_{MCK})の最高動作周波数は20 MHz (Max.)です。f_{CLK}が20 MHzを越える場合のみ、IICAコントロール・レジスタ n1 (IICCTL_{n1})のビット0 (PRSn)に“1”を設定してください。

注意2. 転送クロックを設定する場合は、f_{CLK}の最低動作周波数に注意してください。シリアル・インタフェース IICAはモードによってf_{CLK}の最低動作周波数が決められています。

ファースト・モード時 : f_{CLK} = 3.5 MHz (Min.)

ファースト・モード・プラス時 : f_{CLK} = 10 MHz (Min.)

標準モード時 : f_{CLK} = 1 MHz (Min.)

(備考は、次ページにあります。)

備考1. SDAAn, SCLAn信号の立ち上がり時間(t_R)と立ち下がり時間(t_F)は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

備考2. IICWLn : IICAロウ・レベル幅設定レジスタ n
IICWHn : IICAハイ・レベル幅設定レジスタ n
 t_F : SDAAn, SCLAn信号の立ち下がり時間
 t_R : SDAAn, SCLAn信号の立ち上がり時間
 f_{MCK} : IICA動作クロック周波数

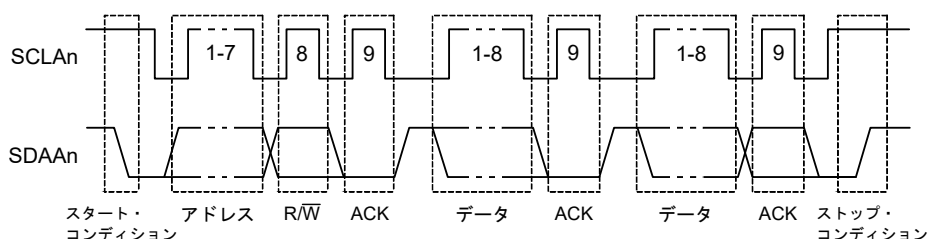
備考3. $n = 0, 1$

18.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図18-20に示します。

図18-20 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

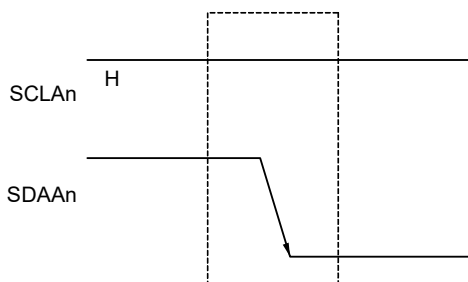
アクノリッジ(ACK)は、マスタ、スレーブのどちらでも生成できます(通常、8ビット・データの受信側が出力します)。

シリアル・クロック(SCLAn)は、マスタが出力し続けます。ただし、スレーブはSCLAn端子のロウ・レベル期間を延長し、クロック・ストレッチを挿入できます。

18.5.1 スタート・コンディション

SCLAn端子がハイ・レベルのときに、SDAAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLAn端子、SDAAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図18-21 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPDn : IICA ステータス・レジスタ n (IICSn) のビット0 = 1) のときに IICA コントロール・レジスタ n0 (IICCTLn0) のビット1 (STTn) をセット(1)すると出力されます。また、スタート・コンディションを検出すると、IICSn レジスタのビット1 (STDn) がセット(1)されます。

備考 n = 0, 1

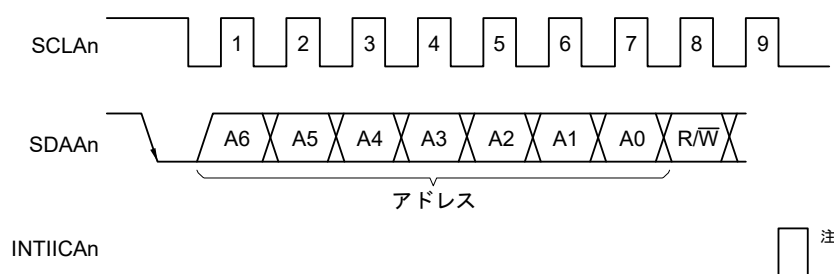
18.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ n (SVAn) と一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図 18 - 22 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

アドレスは、スレーブのアドレスと 18.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAnシフト・レジスタ n (IICAn) に書き込むと出力します。また、受信したアドレスはIICAnレジスタに書き込まれます。

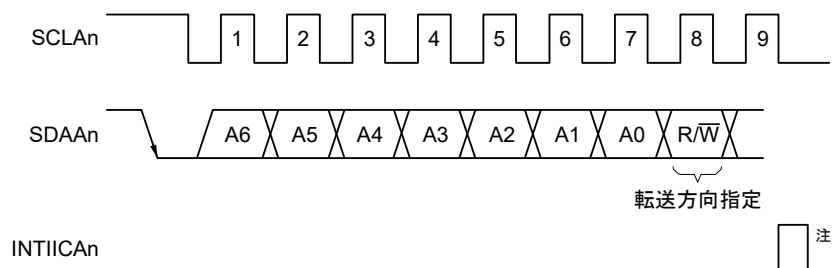
なお、スレーブのアドレスは、IICAnレジスタの上位7ビットに割り当てられます。

18.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図 18 - 23 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAnは発生しません。

備考 $n = 0, 1$

18.5.4 アクノリッジ(ACK)

アクノリッジ(ACK)によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ n (IICSn)のビット2 (ACKDn)で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

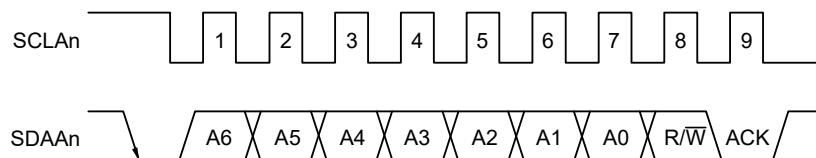
アクノリッジ生成は、受信側が9クロック目にSDAAnラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ n0 (IICCTLn0)のビット2 (ACKEn)をセット(1)することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSnレジスタのビット3 (TRCn)が設定されます。受信(TRCn = 0)の場合は、通常、ACKEnビットをセット(1)してください。

スレーブ受信動作時(TRCn = 0)にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア(0)し、マスタ側に受信ができないことを示してください。

マスタ受信動作時(TRCn = 0)に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア(0)してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図 18 - 24 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません(NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット(1)しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、クロック・ストレッチ・タイミングの設定により次のように異なります。

- ・ 8クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 0) :

クロック・ストレッチ解除を行う前にACKEnビットをセット(1)することによって、SCLAn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

- ・ 9クロック・クロック・ストレッチ選択時(IICCTLn0レジスタのビット3 (WTIMn) = 1) :

あらかじめACKEnビットをセット(1)することによって、アクノリッジを生成します。

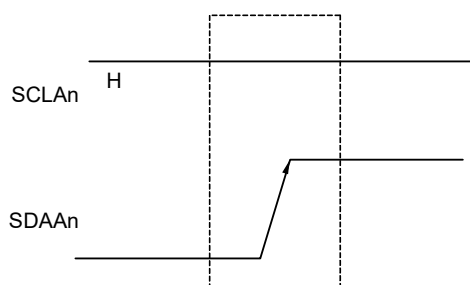
備考 n = 0, 1

18.5.5 ストップ・コンディション

SCLAn 端子がハイ・レベルのときに、SDAAn 端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図 18 - 25 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット0 (SPTn)をセット(1)すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ n (IICSn)のビット0 (SPDn)がセット(1)され、IICCTLn0レジスタのビット4 (SPIEn)がセット(1)されている場合にはINTIICAnが発生します。

備考 n = 0, 1

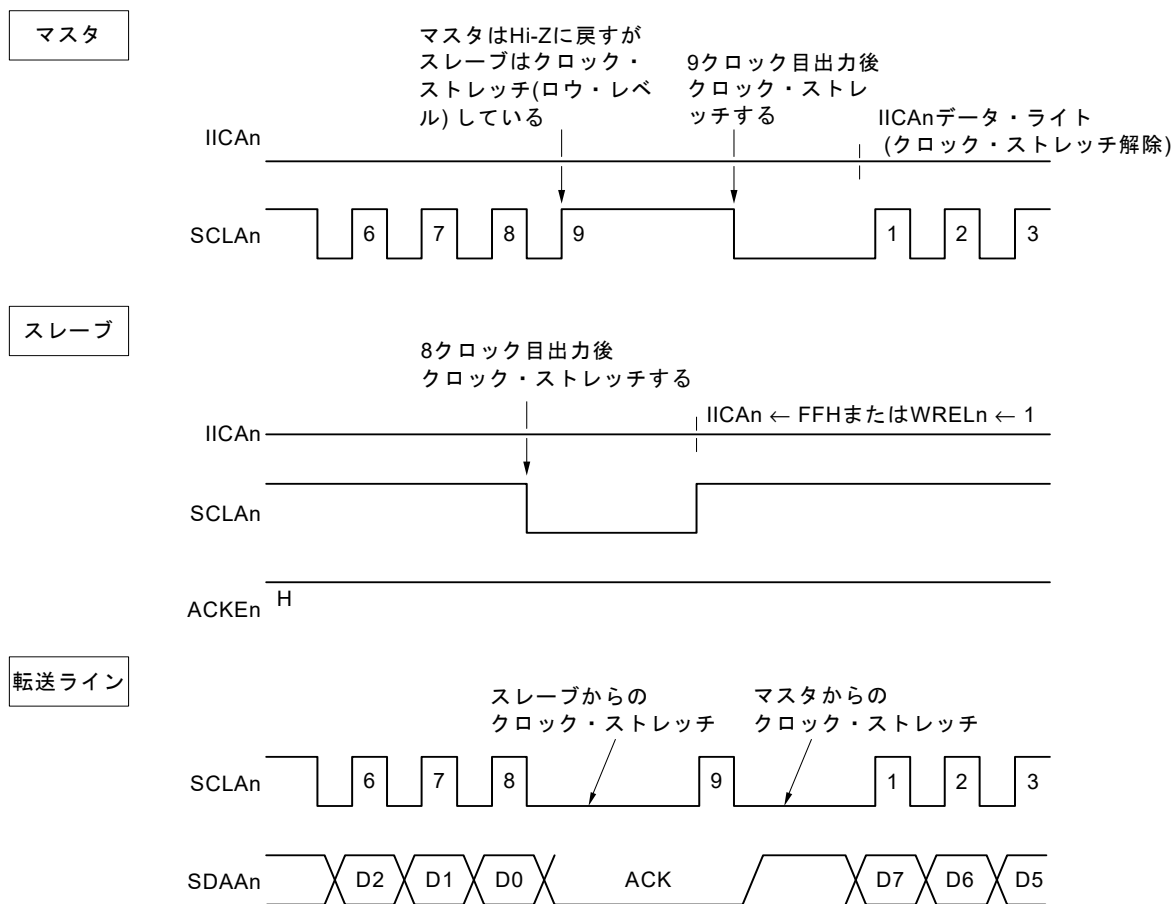
18.5.6 クロック・ストレッチ

クロック・ストレッチによっては、マスタまたはスレーブがデータの送受信のための準備中(クロック・ストレッチ状態)であることを相手に知らせます。

SCLAn端子をロウ・レベルにすることにより、相手にクロック・ストレッチ状態を知らせます。マスタ、スレーブ両方のクロック・ストレッチ状態が解除されると、次の転送を開始できます。

図18-26 クロック・ストレッチ (1/2)

- (1) マスタは9クロック・クロック・ストレッチ、スレーブは8クロック・クロック・ストレッチ時
(マスタ：送信、スレーブ：受信、ACKEn = 1)

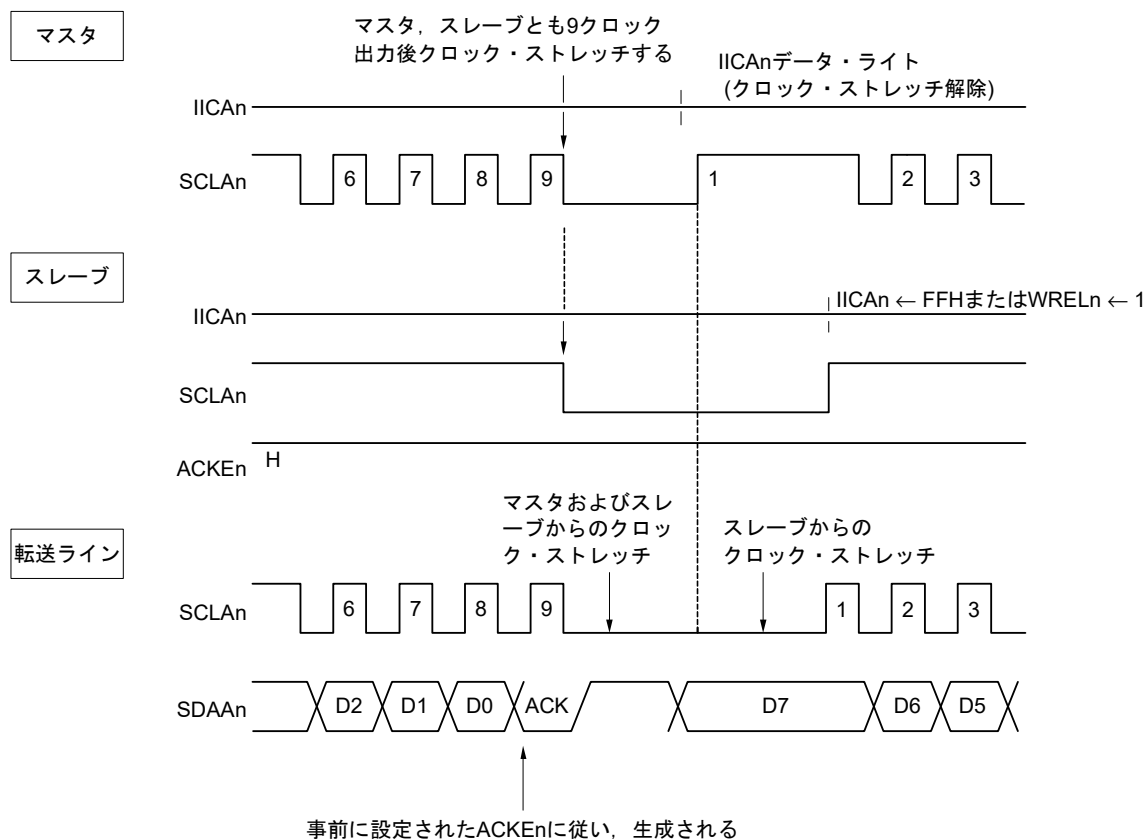


備考 n = 0, 1

図18-27 クロック・ストレッチ(2/2)

(2) マスタ、スレーブとも9クロック・クロック・ストレッチ時

(マスタ：送信，スレーブ：受信，ACKEn = 1)



備考 ACKEn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット2

WRELn: IICAコントロール・レジスタ n0 (IICCTLn0)のビット5

クロック・ストレッチは、IICAコントロール・レジスタ n0 (IICCTLn0)のビット3 (WTIMn)の設定により自動的に発生します。

通常、受信側はIICCTLn0レジスタのビット5 (WRELnビット) = 1またはIICAシフト・レジスタ n (IICAn)にFFHを書き込むとクロック・ストレッチを解除し、送信側はIICAnレジスタにデータを書き込むとクロック・ストレッチを解除します。

マスタの場合は、次の方法でもクロック・ストレッチを解除できます。

- ・ IICCTLn0レジスタのビット1 (STTn) = 1
- ・ IICCTLn0レジスタのビット0 (SPTn) = 1

備考 n = 0, 1

18.5.7 クロック・ストレッチ解除方法

I²Cでは、通常、次のような処理でクロック・ストレッチを解除できます。

- IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- IICAコントロール・レジスタ n0 (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

これらのクロック・ストレッチ解除処理を実行した場合、I²Cはクロック・ストレッチを解除し、通信が再開されます。

クロック・ストレッチを解除してデータ(アドレスを含む)を送信する場合には、IICAnレジスタにデータを書き込んでください。

クロック・ストレッチ解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICCTLn0レジスタのビット5 (WRELn)をセット(1)してください。

クロック・ストレッチ解除後にリスタート・コンディションを生成する場合には、IICCTLn0レジスタのビット1 (STTn)をセット(1)してください。

クロック・ストレッチ解除後にストップ・コンディションを生成する場合には、IICCTLn0レジスタのビット0 (SPTn)をセット(1)してください。

1回のクロック・ストレッチ状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットにセット(1)によるクロック・ストレッチ解除後、IICAnレジスタへのデータ書き込みを実施した場合には、SDAAnラインの変化タイミングとIICAnレジスタへの書き込みタイミングの競合により、SDAAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEnビットをクリア(0)すると通信を停止するので、クロック・ストレッチを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTLn0レジスタのビット6 (LRELn)をセット(1)すると通信から退避するので、クロック・ストレッチを解除できます。

注意 WUPn = 1のときにクロック・ストレッチ解除処理を実行した場合、クロック・ストレッチは解除されません。

備考 n = 0, 1

18.5.8 割り込み要求 (INTIICAn) 発生タイミングおよびクロック・ストレッチ制御

IICA コントロール・レジスタ n0 (IICCTLn0) のビット 3 (WTIMn) の設定で、表 18-2 に示すタイミングで INTIICAn が発生し、また、クロック・ストレッチ制御を行います。

表 18-2 INTIICAn 発生タイミングおよびクロック・ストレッチ制御

WTIMn	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9注1, 2	8注2	8注2	9	8	8
1	9注1, 2	9注2	9注2	9	9	9

注1. スレーブの INTIICAn 信号およびクロック・ストレッチは、スレーブ・アドレス・レジスタ n (SVAn) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICCTLn0 レジスタのビット 2 (ACKEn) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりで INTIICAn を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりで INTIICAn を発生しますが、クロック・ストレッチは発生しません。

注2. スレーブ・アドレス・レジスタ n (SVAn) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAn もクロック・ストレッチも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、クロック・ストレッチ制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMn ビットにかかわらず、上記の注 1, 2 の条件により、割り込みおよびクロック・ストレッチ・タイミングが決まります。
- ・マスタ動作時：WTIMn ビットにかかわらず、割り込みおよびクロック・ストレッチ・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

- ・マスタ／スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

(3) データ送信時

- ・マスタ／スレーブ動作時：WTIMn ビットにより、割り込みおよびクロック・ストレッチ・タイミングが決まります。

備考 n = 0, 1

(4) クロック・ストレッチ解除方法

クロック・ストレッチの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ n (IICAn)へのデータ書き込み
- ・ IICAコントロール・レジスタ $n0$ (IICCTLn0)のビット5 (WRELn)のセット(クロック・ストレッチ解除)
- ・ IICCTLn0レジスタのビット1 (STTn)のセット(スタート・コンディションの生成)^注
- ・ IICCTLn0レジスタのビット0 (SPTn)のセット(ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・クロック・ストレッチ選択 (WTIMn = 0) 時は、クロック・ストレッチ解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAnは、ストップ・コンディションを検出すると発生します (SPIEn = 1のときのみ)。

18.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。マスタから送信されたスレーブ・アドレスとスレーブ・アドレス・レジスタ n (SVAn)に設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICAn割り込み要求が発生します。

18.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDAAn)の状態が、送信しているデバイスのIICAシフト・レジスタ n (IICAn)にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

備考 $n = 0, 1$

18.5.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn)をセット(1)し、8クロック目の立ち下がりで割り込み要求 (INTIICAn)を発生します。
スレーブ・アドレス・レジスタ n (SVAn)に格納された自局アドレスは影響しません。

- (2) SVAnレジスタに“11110xx0”を設定されているときに、10ビット・アドレス転送でマスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求 (INTIICAn)は、8クロック目の立ち下がりで発生します。

- ・ 上位4ビット・データの一致 : EXCn = 1
- ・ 7ビット・データの一致 : COIn = 1

備考 EXCn : IICAステータス・レジスタ n (IICSn)のビット5

COIn : IICAステータス・レジスタ n (IICSn)のビット4

- (3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。
スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。
たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1に設定してください。次の通信待機状態にします。

表 18 - 3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考1. 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

備考2. n = 0, 1

18.5.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合($STDn = 1$ になる前に $STTn = 1$ にしたとき)、データが異なるまでクロックの調整をしながら、マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは、アービトレーションに負けたタイミングで、IICAステータス・レジスタ n ($IICSn$)のアービトレーション負けフラグ($ALDn$)をセット(1)し、 $SCLAn$, $SDAAn$ ラインともハイ・インピーダンス状態にしてバスを解放します。

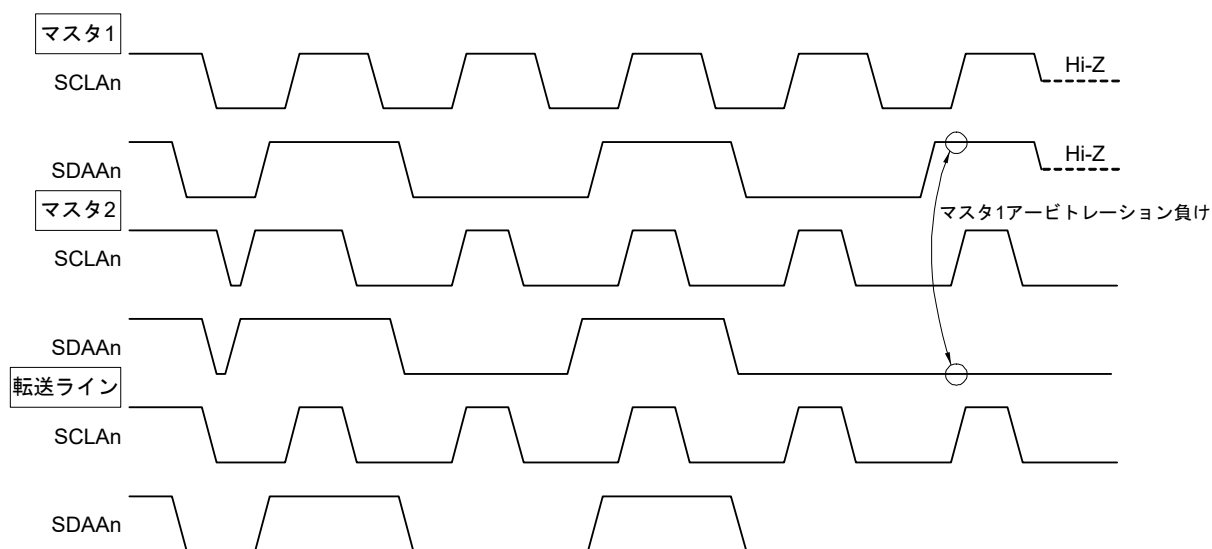
アービトレーションに負けたことは、次の割り込み要求発生タイミング(8または9クロック目、ストップ・コンディション検出など)で、ソフトウェアで $ALDn = 1$ になっていることで検出します。

割り込み要求発生タイミングについては、18.5.8 割り込み要求($INTIICAn$)発生タイミングおよびクロック・ストレッチ制御を参照してください。

備考 $STDn$: IICAステータス・レジスタ n ($IICSn$)のビット1

$STTn$: IICAコントロール・レジスタ $n0$ ($IICCTLn0$)のビット1

図 18 - 28 アービトレーション・タイミング例



備考 $n = 0, 1$

表 18 - 4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり注1
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時(SPIEn = 1時)注2
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり注1
リスタート・コンディションを生成しようとしたがSCLAnがロウ・レベル	

注1. WTIMnビット(IICAコントロール・レジスタ n0 (IICCTLn0)のビット3) = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。WTIMn = 0 および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

注2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEn = 1に設定してください。

備考1. SPIEn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット 4

備考2. n = 0, 1

18.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生する機能です。

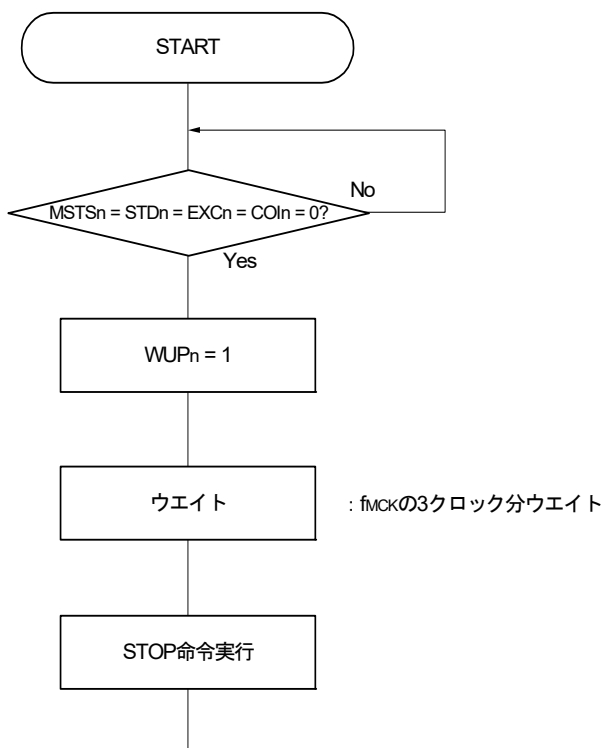
アドレスが一致しないときは不要なINTIICAn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ(スタート・コンディションを生成した場合)でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUPn = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号(INTIICAn)を発生します。この割り込み発生後に命令でWUPnビットをクリア(0)することで通常動作に戻ります。

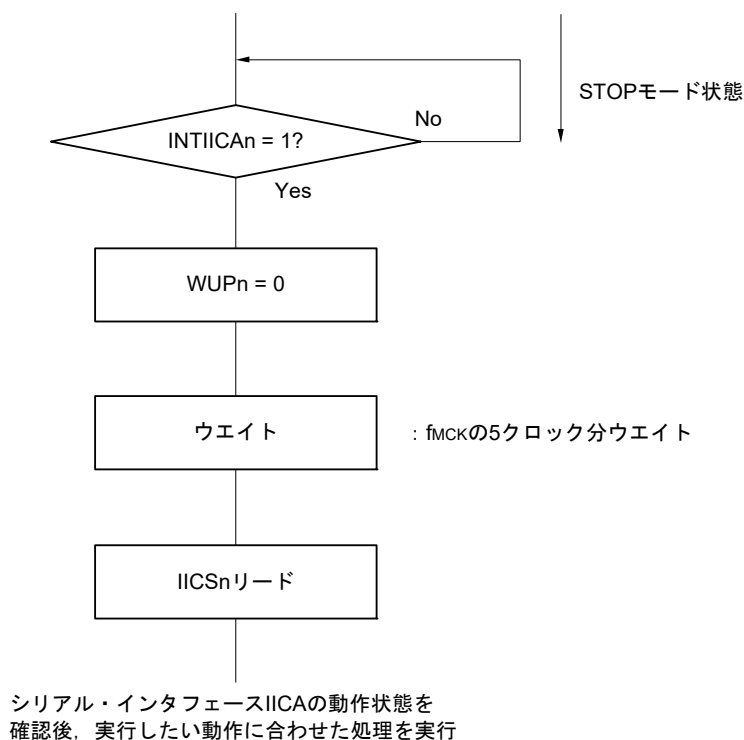
WUPn = 1に設定する場合のフローを図18 - 29に、アドレス一致によりWUPn = 0に設定する場合のフローを図18 - 30に示します。

図18 - 29 WUPn = 1を設定する場合のフロー



備考 n = 0, 1

図18 - 30 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む)



また、シリアル・インタフェースIICAからの割り込み要求 (INTIICAn) 以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

• 次のIIC通信をマスタとして動作させる場合：図18 - 31のフロー

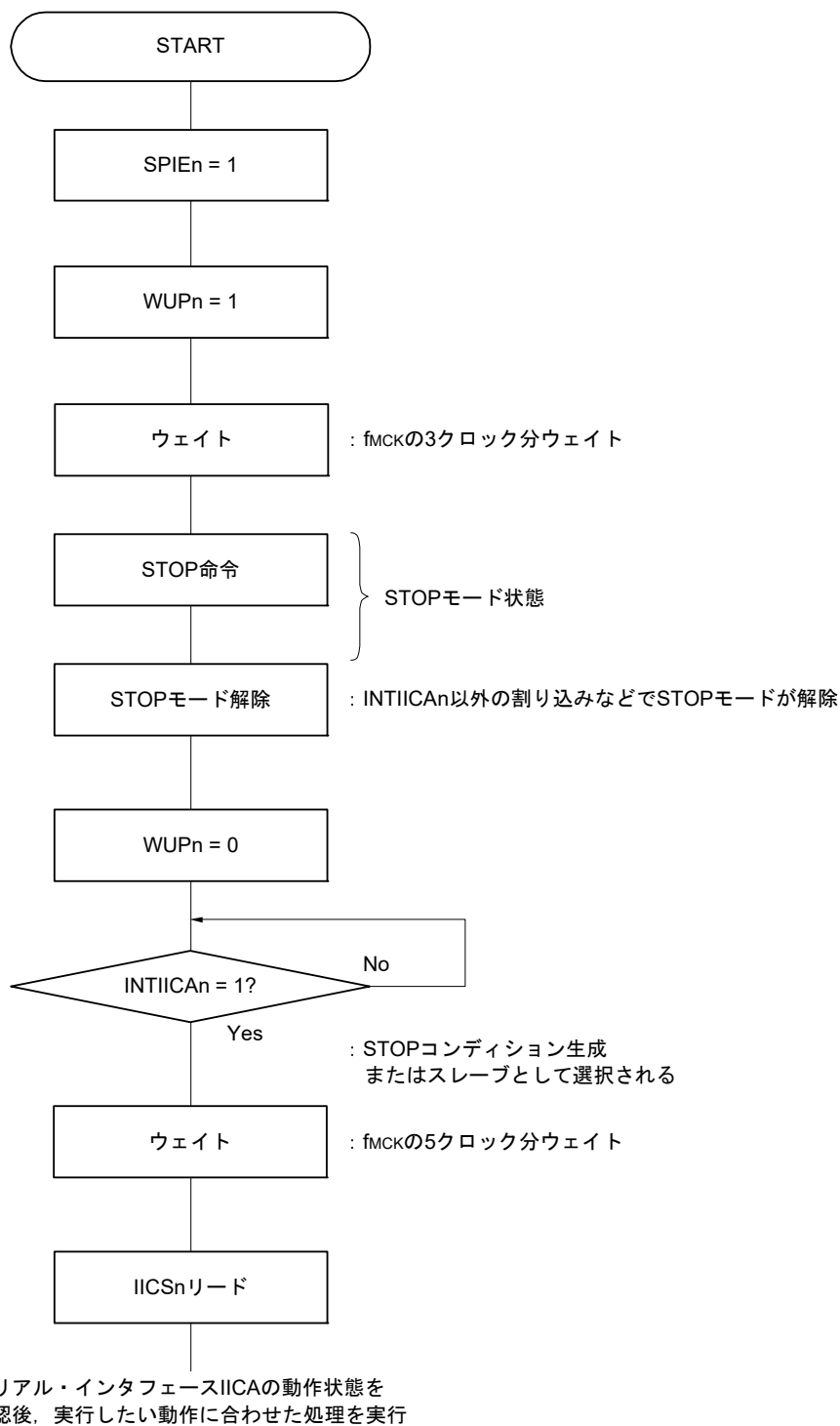
• 次のIIC通信をスレーブとして動作させる場合：

INTIICAn割り込みで復帰した場合：図18 - 30のフローと同じになります。

INTIICAn割り込み以外の割り込みで復帰した場合：INTIICAn割り込みが発生するまでWUPn = 1のまま動作を継続してください。

備考 n = 0, 1

図 18 - 31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合



備考 n = 0, 1

18.5.14 通信予約

(1) 通信予約機能許可の場合(IICAフラグ・レジスタ n (IICFn)のビット0 (IICRSVn) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICAコントロール・レジスタ n0 (IICCTLn0)のビット6 (LRELn) = 1で通信退避してバスを解放した)とき

バスに不参加の状態、IICCTLn0レジスタのビット1 (STTn)をセット(1)すると、バスが解放されたあと(ストップ・コンディション検出時)に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICCTLn0レジスタのビット4 (SPIEn)をセット(1)し、割り込み要求信号 (INTIICAn)発生でバスの解放を検出(ストップ・コンディション検出)したあと、IICAシフト・レジスタ n (IICAn)にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAnレジスタに書き込まれたデータは、無効です。

STTnビットをセット(1)したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき スタート・コンディション生成
- ・バスが解放されていないとき(待機状態) 通信予約

通信予約として動作するかどうかは、STTnビットをセット(1)し、ウェイト時間をとったあと、MSTSnビット(IICAステータス・レジスタ n (IICSn)のビット7)で確認します。

ウェイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

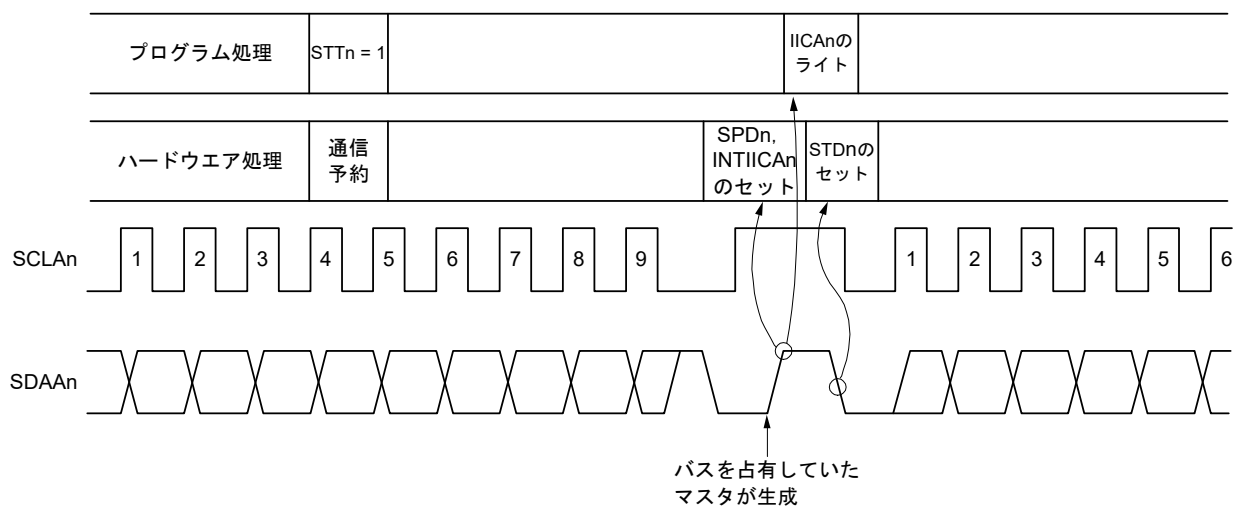
$$\text{STTn} = 1 \text{ から MSTSn フラグ 確認 までのウェイト時間 : } \\ (\text{IICWLn の設定値} + \text{IICWHn の設定値} + 4) / \text{fMCK} + \text{tf} \times 2$$

- 備考 1. IICWLn : IICA ロウ・レベル幅設定レジスタ n
 IICWHn : IICA ハイ・レベル幅設定レジスタ n
 tf : SDAAn, SCLAn 信号の立ち下がり時間
 fMCK : IICA 動作クロック周波数

備考 2. n = 0, 1

通信予約のタイミングを図18 - 32に示します。

図18 - 32 通信予約のタイミング



備考 IICAn : IICA シフト・レジスタ n
 STTn : IICA コントロール・レジスタ n0 (IICCTLn0) のビット1
 STDn : IICA ステータス・レジスタ n (IICSn) のビット1
 SPDn : IICA ステータス・レジスタ n (IICSn) のビット0

通信予約は図18 - 33に示すタイミングで受け付けられます。IICA ステータス・レジスタ n (IICSn) のビット1 (STDn) = 1 になったあと、ストップ・コンディション検出までにIICA コントロール・レジスタ n0 (IICCTLn0) のビット1 (STTn) = 1 で通信予約をします。

図18 - 33 通信予約受け付けタイミング

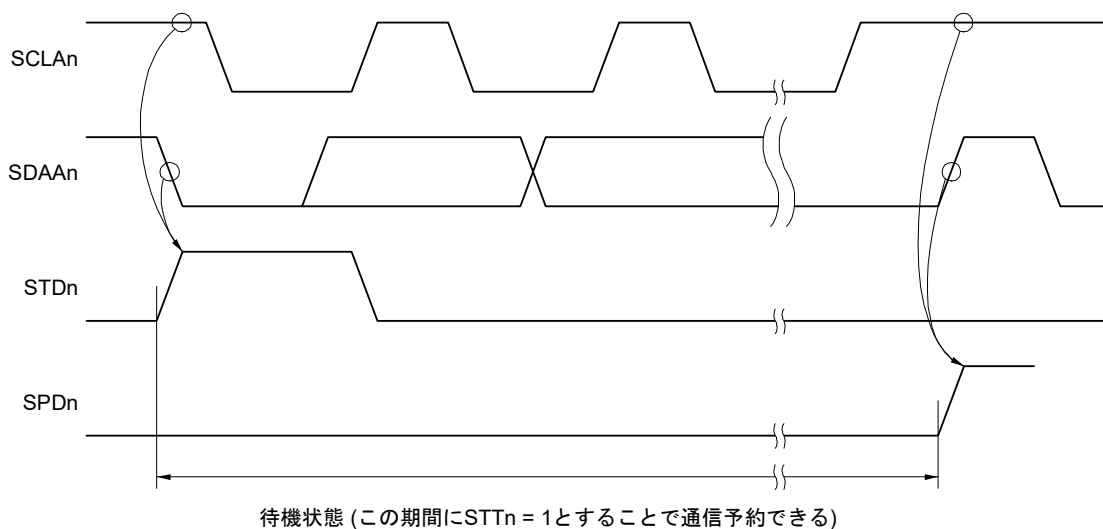
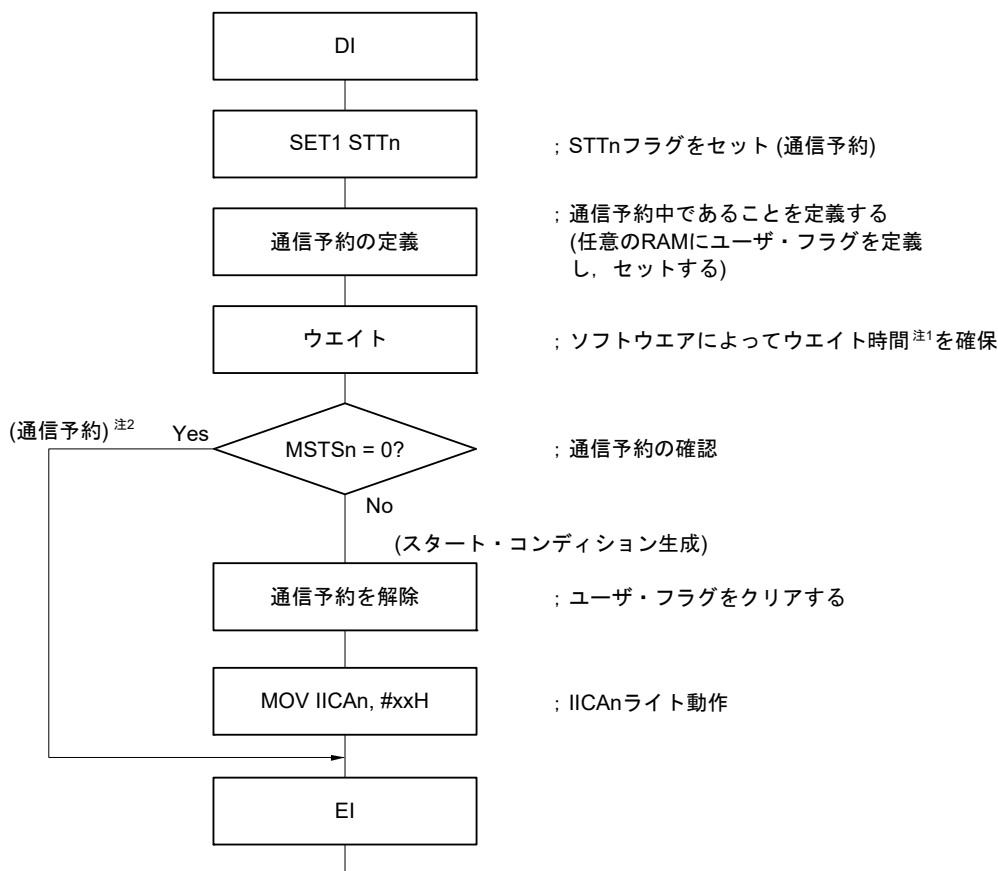


図18 - 34に通信予約の手順を示します。

備考 n = 0, 1

図 18 - 34 通信予約の手順



注1. ウェイト時間は次のようになります。

$$(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) / \text{fMCK} + \text{tf} \times 2$$

注2. 通信予約動作時は、ストップ・コンディション割り込み要求でIICAシフト・レジスタ n (IICAn) への書き込みを実行します。

備考1. STTn : IICAコントロール・レジスタ n0 (IICCTLn0)のビット1

MSTS n : IICAステータス・レジスタ n (IICS n)のビット7

IICAn : IICAシフト・レジスタ n

IICWLn : IICAロウ・レベル幅設定レジスタ n

IICWHn : IICAハイ・レベル幅設定レジスタ n

tf : SDAAn, SCLAn信号の立ち下がり時間

fMCK : IICA動作クロック周波数

備考2. n = 0, 1

(2) 通信予約機能禁止の場合 (IICA フラグ・レジスタ n (IICFn) のビット 0 (IICRSVn) = 1)

バスが通信中で、この通信に不参加の状態 (IICA コントロール・レジスタ n0 (IICCTLn0) のビット 1 (STTn) をセット (1) すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・ アービトレーションでマスタにもスレーブにもなれなかった場合
- ・ 拡張コードを受信してスレーブとして動作しない (アクノリッジを返さず、IICCTLn0 レジスタのビット 6 (LRELn) = 1 で通信退避してバスを解放した) とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCFn (IICFn レジスタのビット 7) で確認できます。STTn = 1 としてから STCFn がセット (1) されるまで fmck の 5 クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

備考 n = 0, 1

18.5.15 その他の注意事項

(1) STCENn = 0 の場合

I²C 動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSYn = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICA コントロール・レジスタ n1 (IICCTLn1) を設定する
- ② IICA コントロール・レジスタ n0 (IICCTLn0) のビット 7 (IICEn) をセット (1) する
- ③ IICCTLn0 レジスタのビット 0 (SPTn) をセット (1) する

(2) STCENn = 1 の場合

I²C 動作許可 (IICEn = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSYn = 0) と認識しますので、1 回目のスタート・コンディションを生成 (STTn = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間で I²C 通信が行われている場合

SDAAn 端子がロウ・レベルで、かつ SCLAn 端子がハイ・レベルのときに、I²C 動作を許可して通信に途中参加すると、I²C のマクロは SDAAn 端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間の I²C 通信を妨害してしまいます。これを回避するために、次の順番で I²C を起動してください。

- ① IICCTLn0 レジスタのビット 4 (SPIEn) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICAn) 発生を禁止する
- ② IICCTLn0 レジスタのビット 7 (IICEn) をセット (1) し、I²C の動作を許可する
- ③ スタート・コンディションを検出するまで待つ
- ④ アクノリッジを返すまで (IICEn ビットをセット (1) してから、fMCK の 4 ~ 72 クロック) に、IICCTLn0 レジスタのビット 6 (LRELn) をセット (1) にし、強制的に検出を無効とする

(4) STTn, SPTn ビット (IICCTLn0 レジスタのビット 1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIEn ビット (IICCTLn0 レジスタのビット 4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICA シフト・レジスタ n (IICAn) に通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアで MSTSn ビット (IICA ステータス・レジスタ n (IICSn) のビット 7) を検出する場合には、SPIEn ビットをセット (1) する必要はありません。

備考 n = 0, 1

18.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cバスのスレーブとして使用する場合の例を示します。

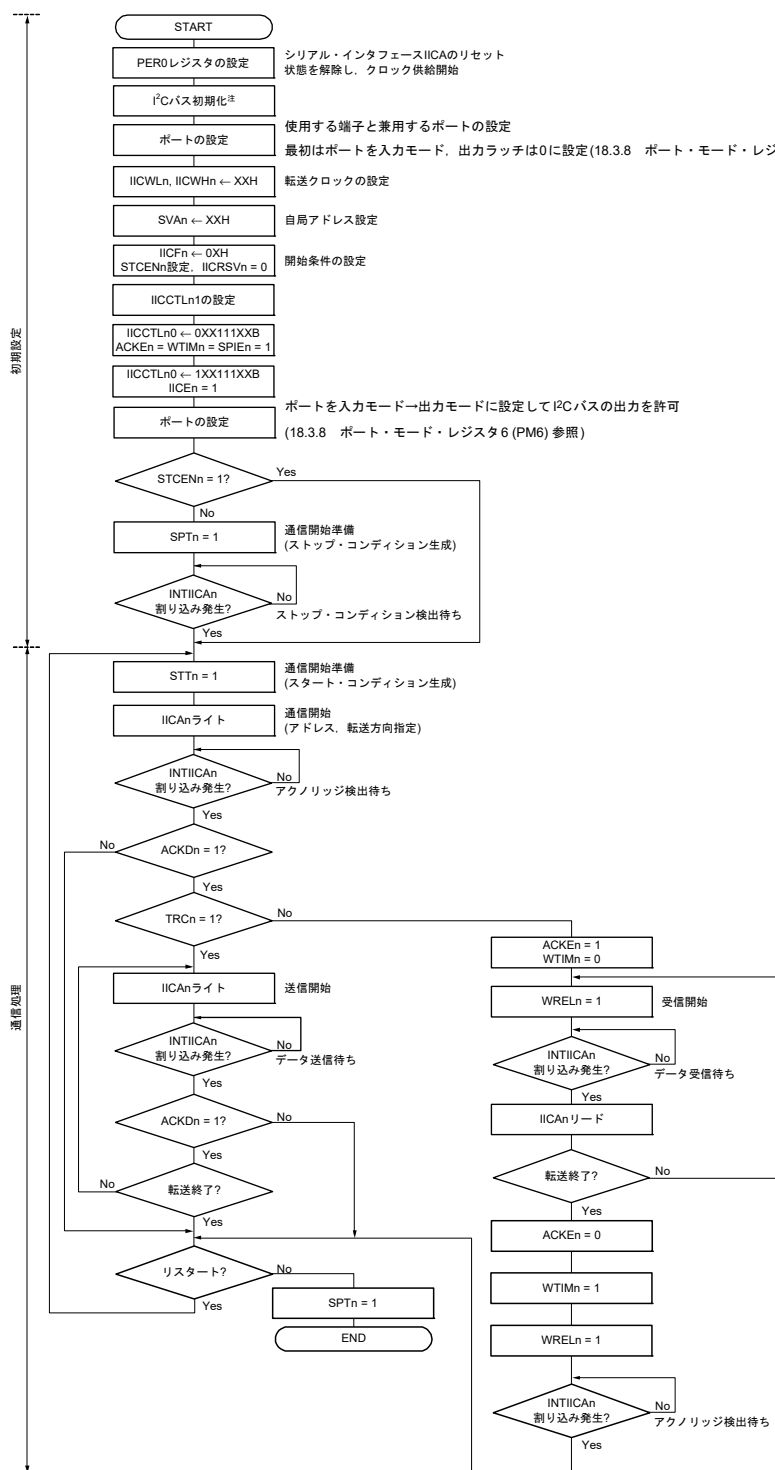
スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICAn割り込みの発生を待ちます。INTIICAn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0, 1

(1) シングルマスタ・システムでのマスタ動作

図 18 - 35 シングルマスタ・システムでのマスタ動作



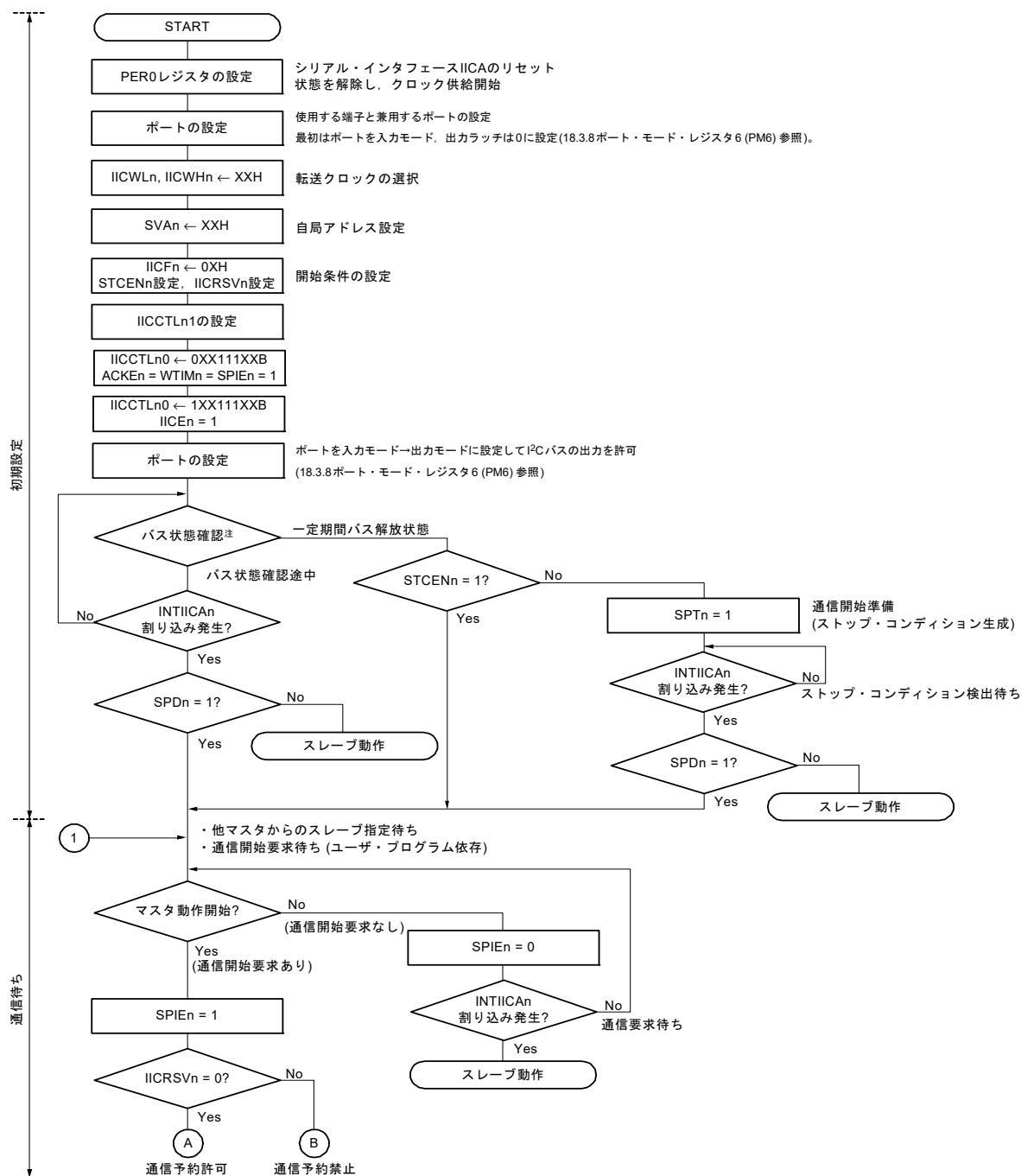
注 通信している製品の仕様に準拠し、I²Cバスを解放(SCLAn, SDAAn端子 = ハイ・レベル)してください。たとえば、EEPROMがSDAAn端子にロウ・レベルを出力した状態であれば、SCLAn端子を出力ポートに設定し、SDAAn端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。

備考1. 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

備考2. n = 0, 1

(2) マルチマスタ・システムでのマスタ動作

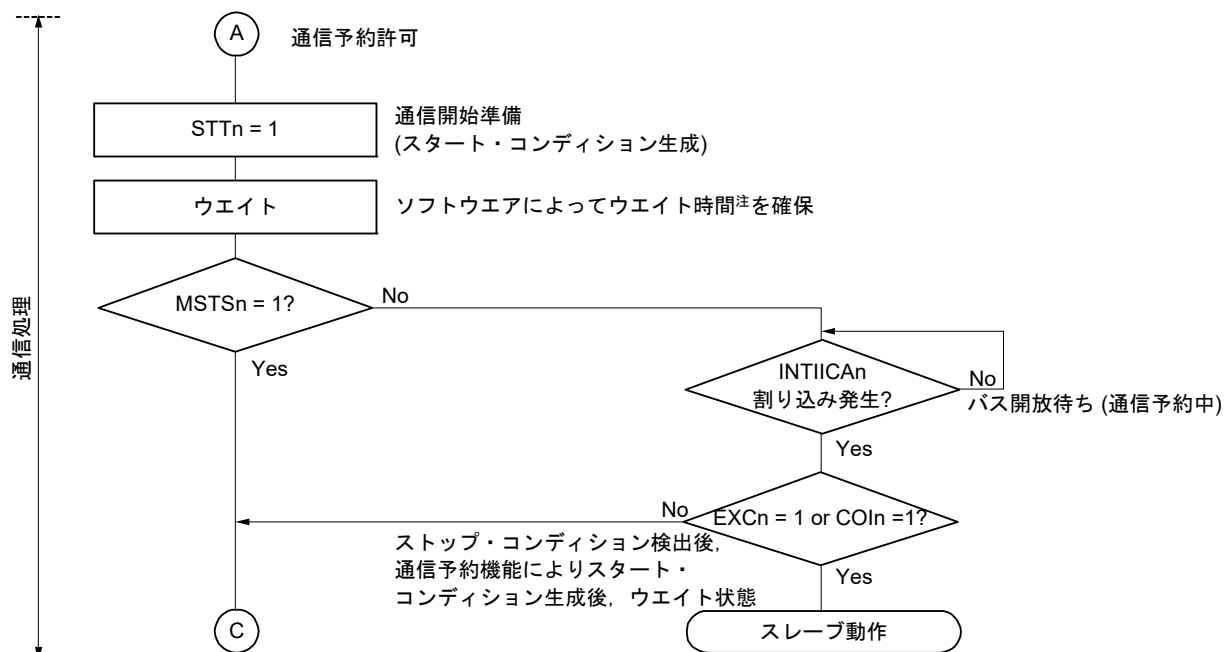
図 18 - 36 マルチマスタ・システムでのマスタ動作(1/3)



注 一定期間(たとえば1フレーム分)、バス解放状態(CLD_nビット = 1, DAD_nビット = 1)であることを確認してください。定常的にSDAA_n端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I²Cバスを解放(SCL_n, SDAA_n端子 = ハイ・レベル)するか判断してください。

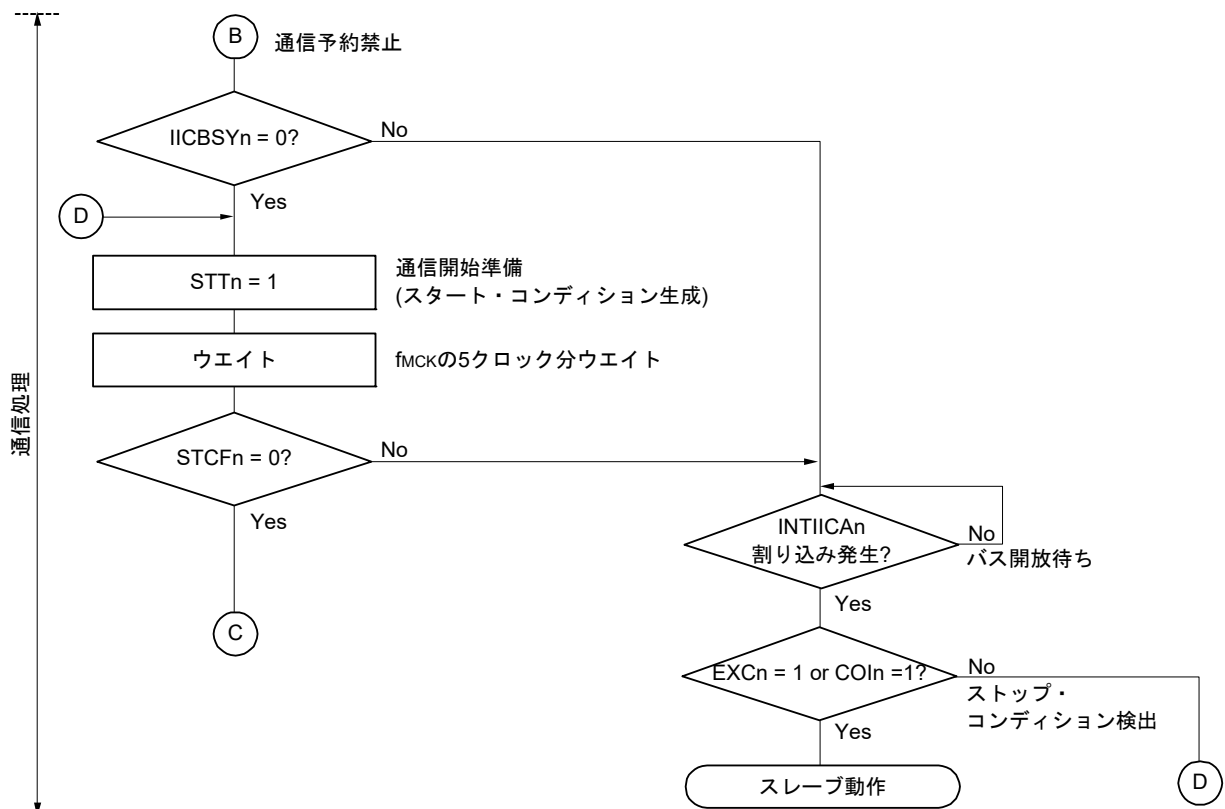
備考 n = 0, 1

図18-37 マルチマスタ・システムでのマスタ動作(2/3)



注 ウェイト時間は次のようになります。

$$(\text{IICWLnの設定値} + \text{IICWHnの設定値} + 4) / \text{fMCK} + \text{tf} \times 2$$



備考1. IICWLn: IICAロウ・レベル幅設定レジスタn

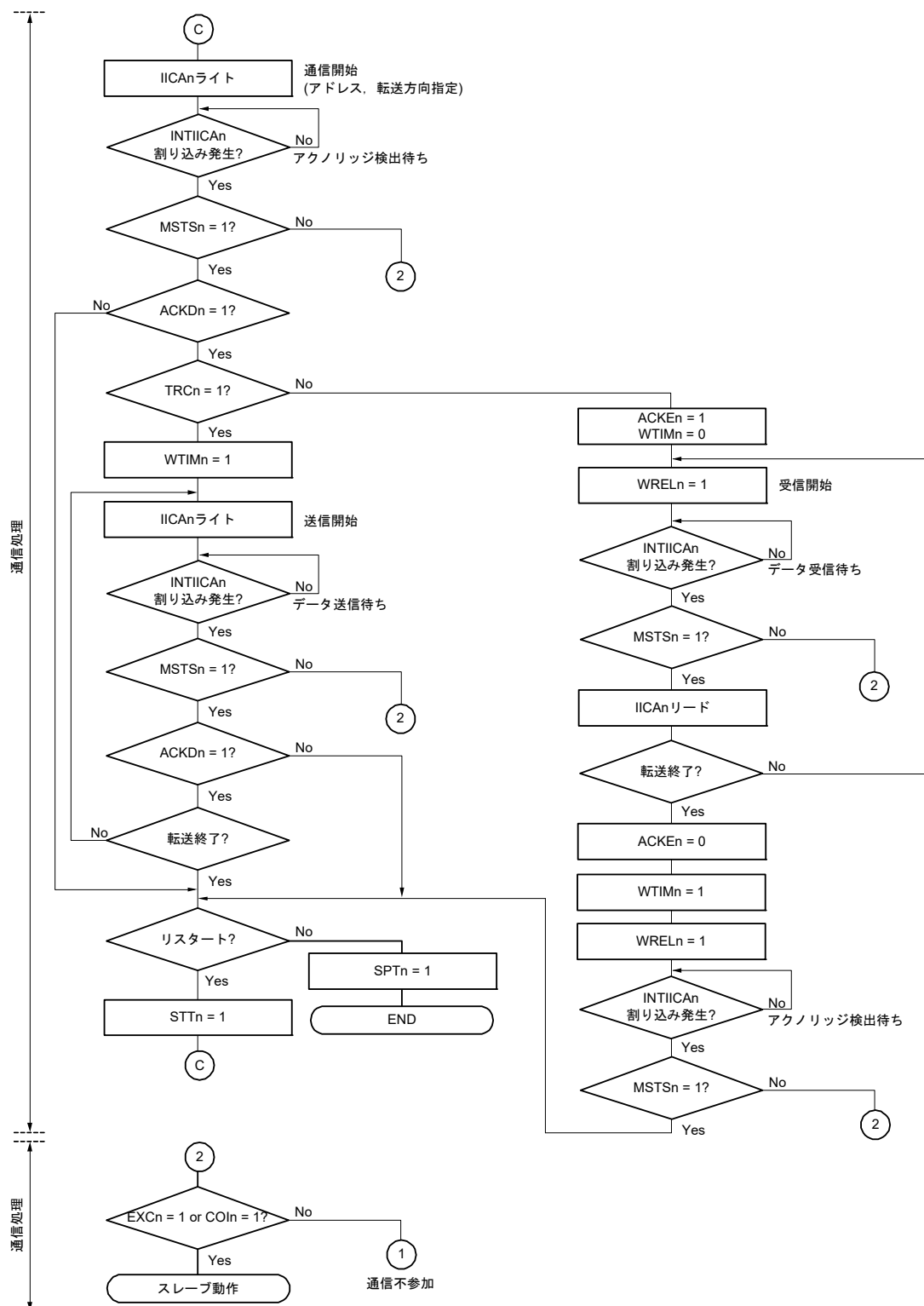
IICWHn: IICAハイ・レベル幅設定レジスタn

tf: SDAAn, SCLAn信号の立ち下がり時間

fMCK: IICA動作クロック周波数

備考2. n = 0, 1

図18-38 マルチマスタ・システムでのマスタ動作(3/3)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

備考2. マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み発生ごとに MSTS_n ビットをリードし、アービトレーション結果を確認してください。

備考3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICAn 割り込み発生ごとに IICA ステータス・レジスタ_n (IICSn), IICA フラグ・レジスタ_n (IICFn) でステータスを確認して次に行う処理を決定してください。

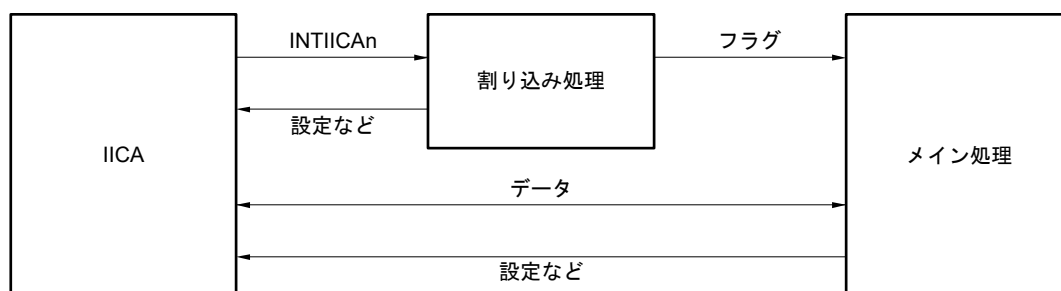
備考4. $n = 0, 1$

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このため INTIICAn 割り込みによる処理(通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理)が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。また INTIICAn 割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これを INTIICAn の代わりにメイン処理に渡すという方法で、データ通信処理を行います。

① 通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード： データ通信を行っていない状態
- ・通信モード： データ通信を行っている状態(有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致)

② レディ・フラグ

データ通信が可能になったことを示します。通常のデータ通信では INTIICAn 割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります(アドレス一致自体が次のデータの要求と解釈します)。

③ 通信方向フラグ

通信の方向を示します。TRCn ビットの値と同じです。

備考 $n = 0, 1$

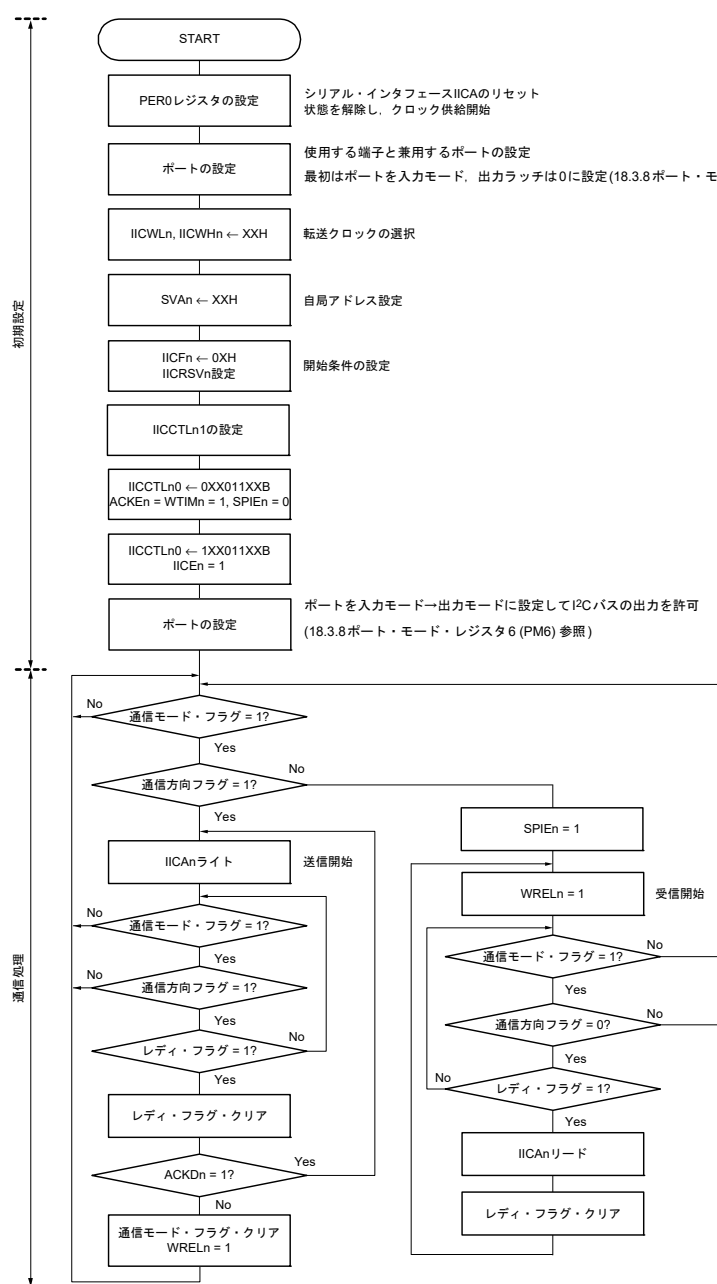
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェース IICA を起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います (ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します)。

送信ではマスタからアクノリッジがこなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図 18 - 39 スレーブ動作手順(1)



備考1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

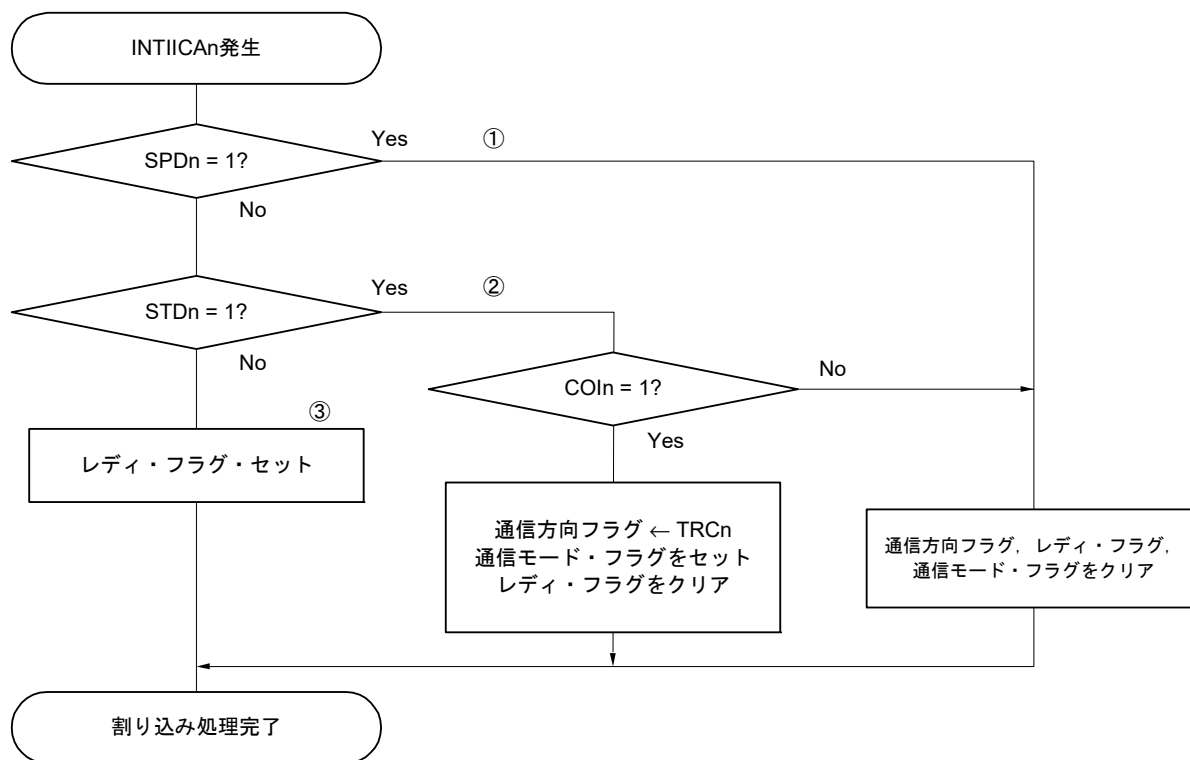
備考2. n = 0, 1

スレーブのINTIICAn割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICAn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。
アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図18-40 スレーブ動作手順(2)の①～③と対応しています。

図18-40 スレーブ動作手順(2)



備考 n = 0, 1

18.5.17 I²C 割り込み要求 (INTIICAn) の発生タイミング

次に、データの送受信、INTIICAn 割り込み要求信号発生タイミングと、INTIICAn 信号タイミングでの IICA ステータス・レジスタ n (IICSn) の値を示します。

備考 1. ST : スタート・コンディション

AD6-AD0 : アドレス

R/W : 転送方向指定

ACK : アクノリッジ

D7-D0 : データ

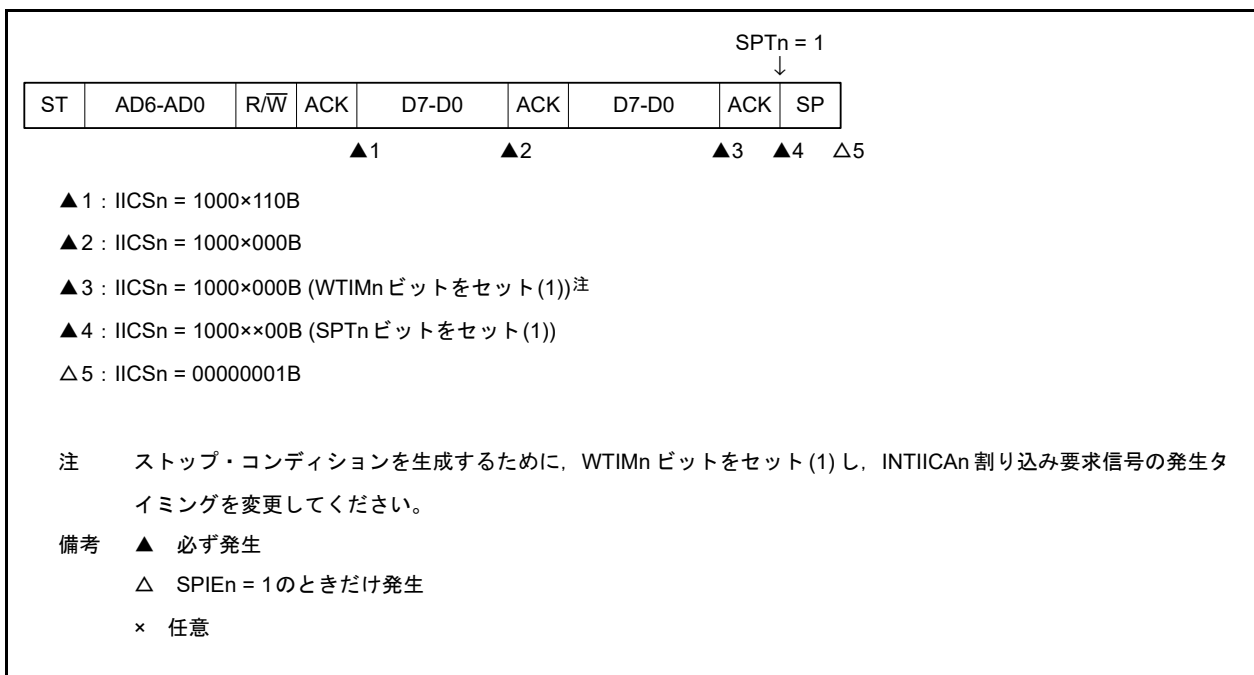
SP : ストップ・コンディション

備考 2. n = 0, 1

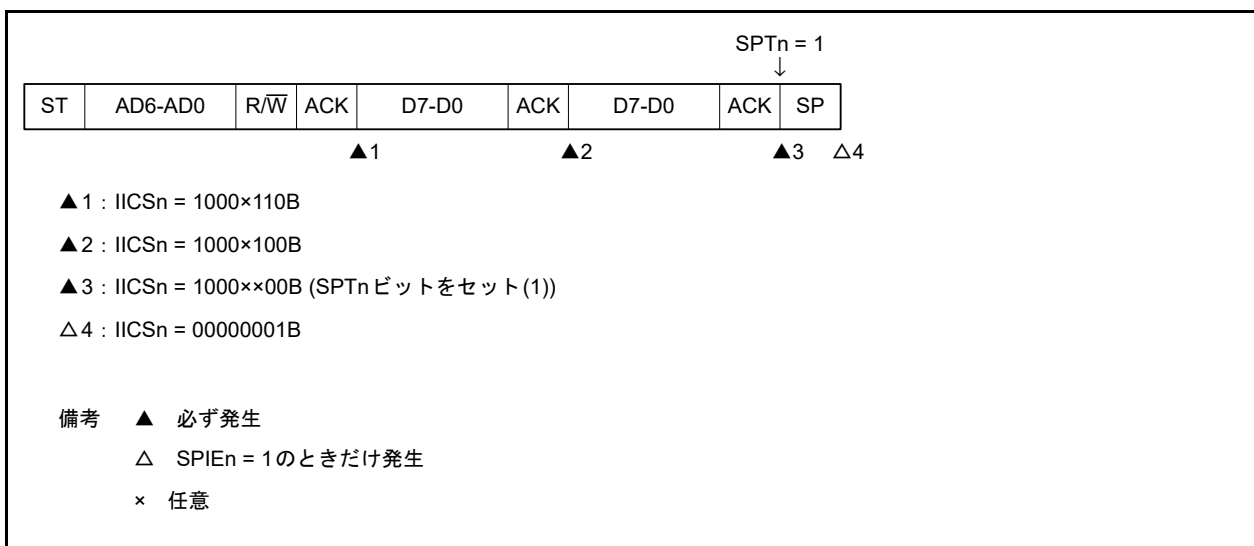
(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIMn = 0 のとき



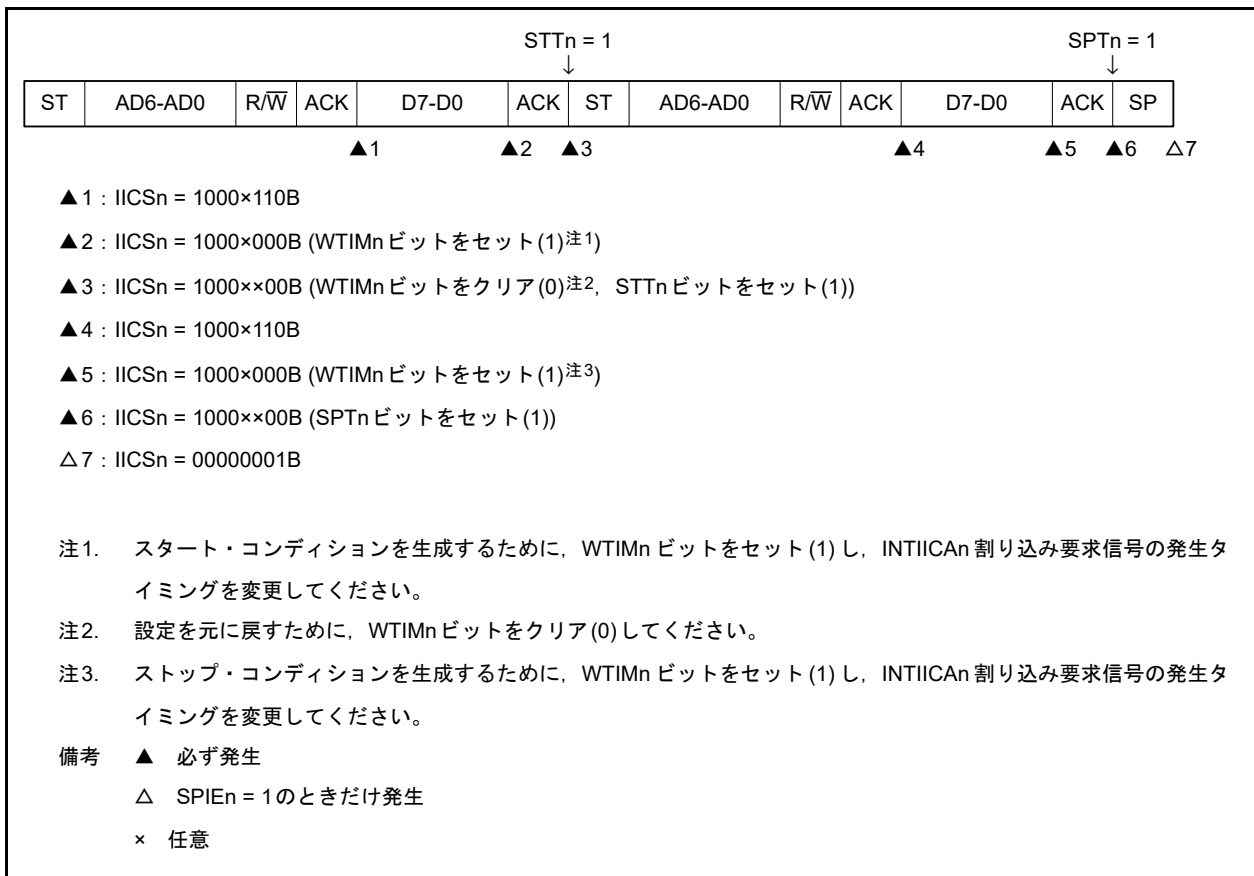
(ii) WTIMn = 1 のとき



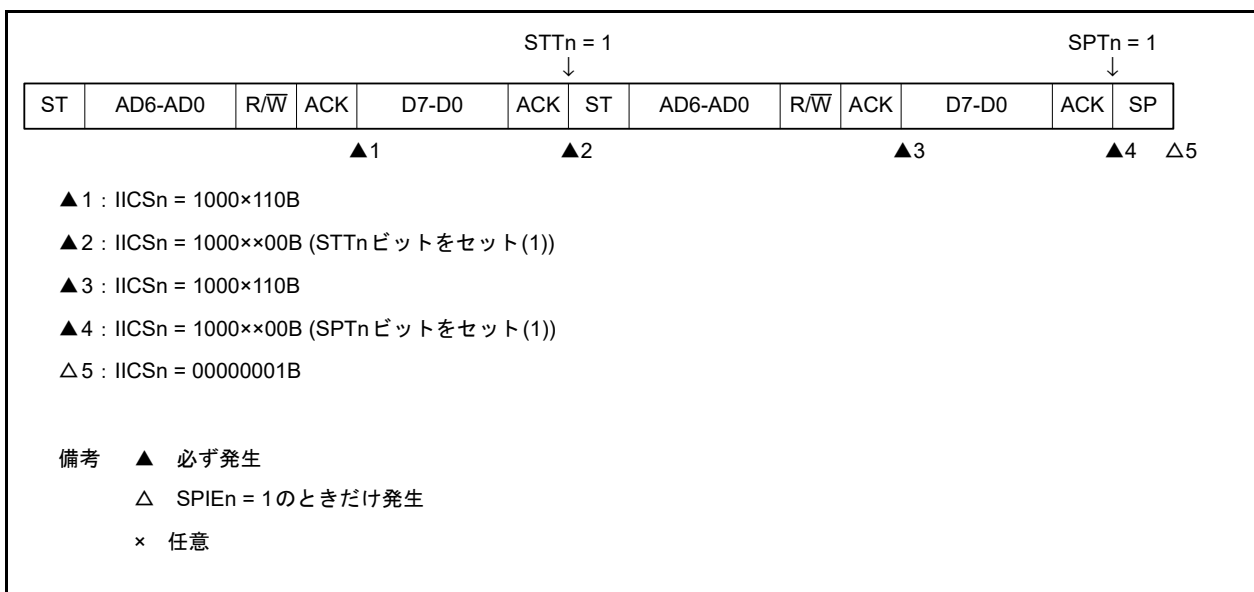
備考 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIMn = 0 のとき



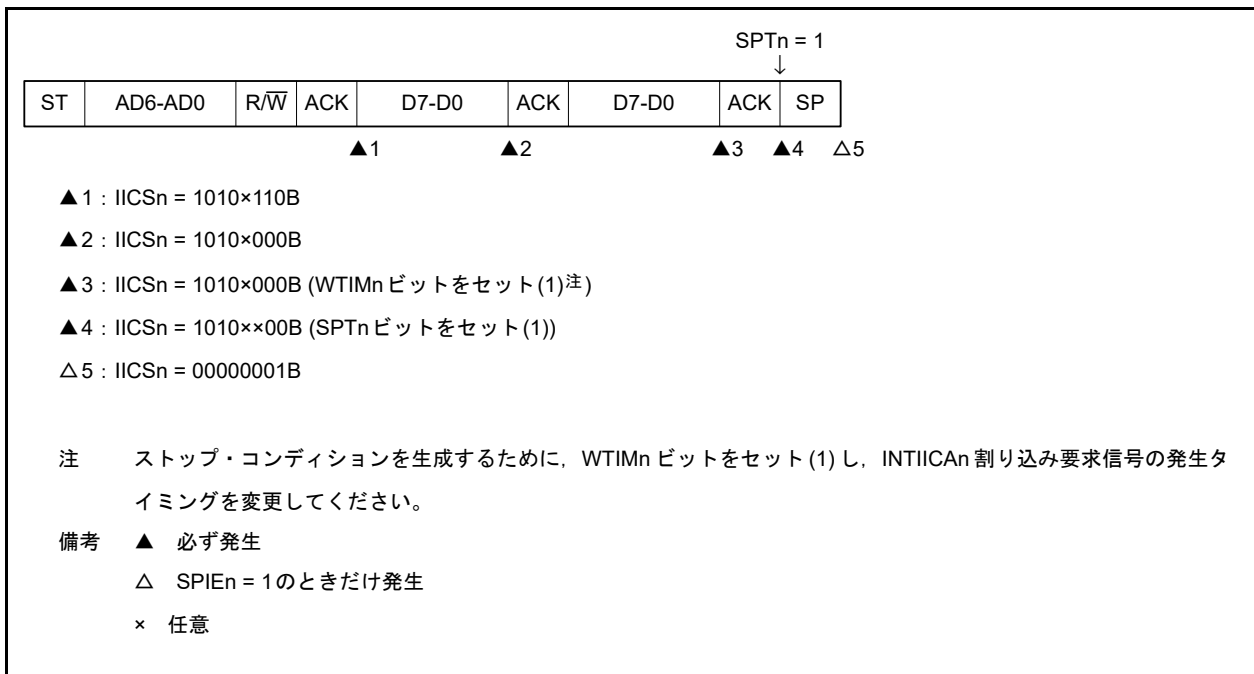
(ii) WTIMn = 1 のとき



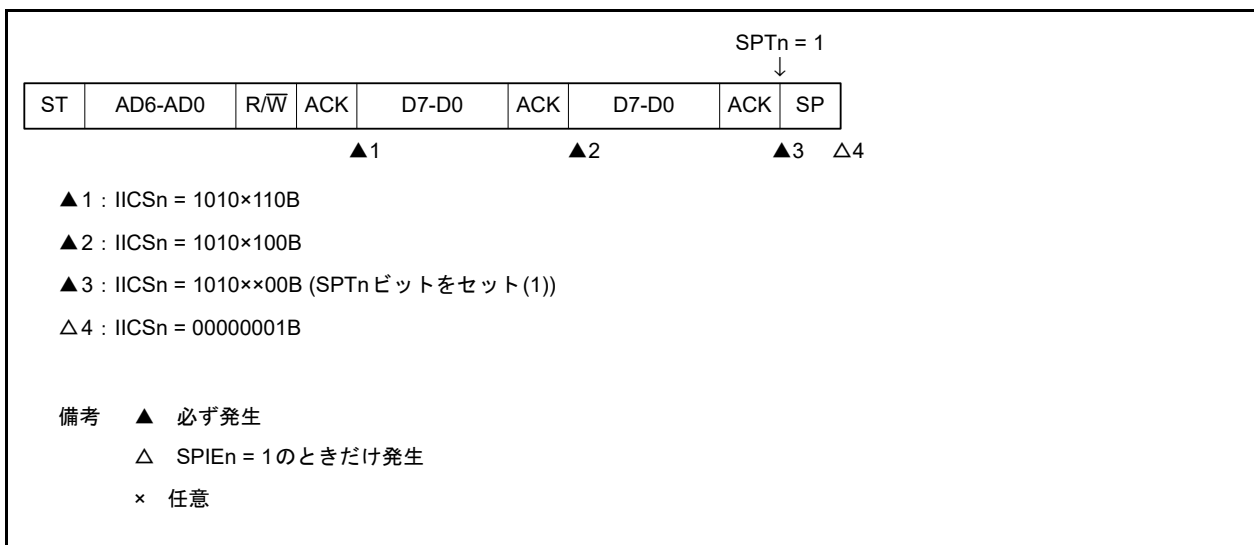
備考 n = 0, 1

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき

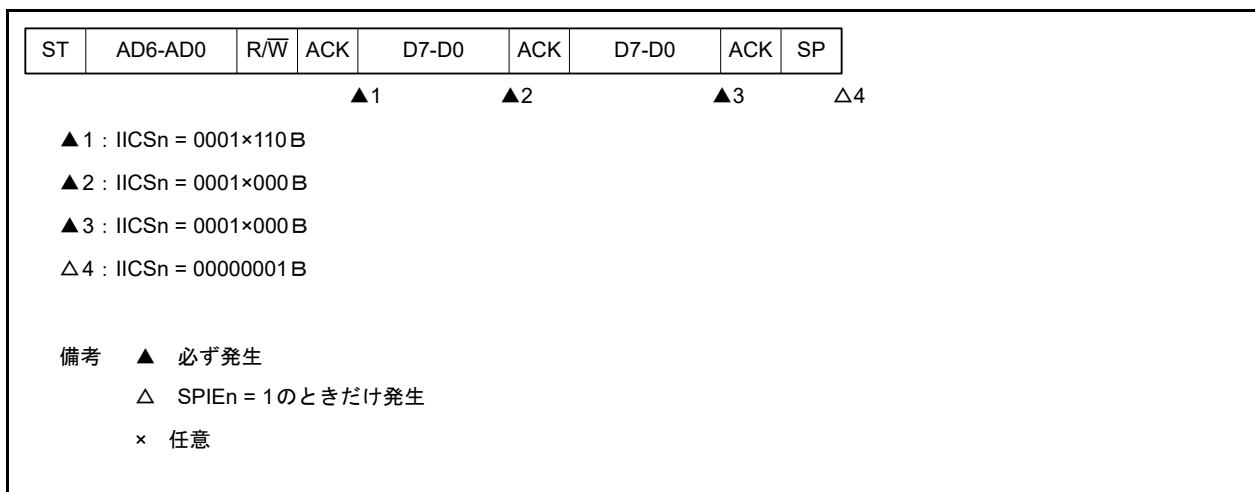


備考 n = 0, 1

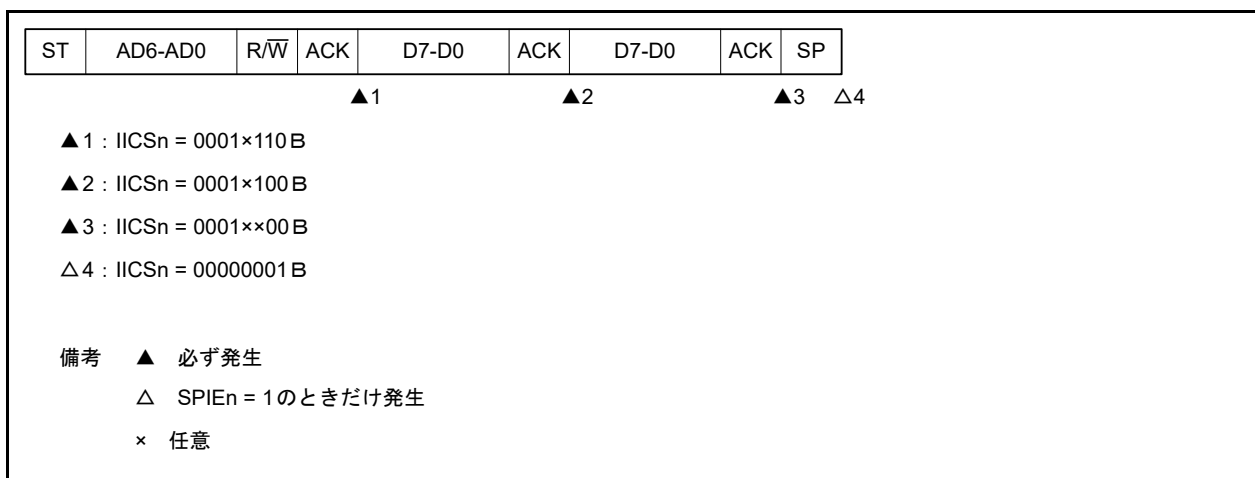
(2) スレーブ動作(スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



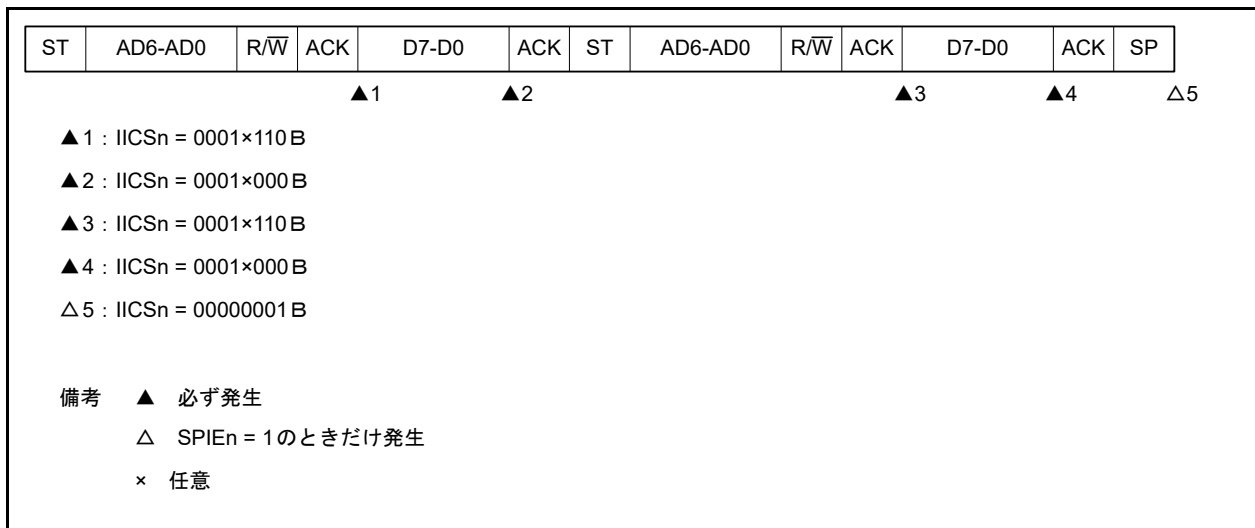
(ii) WTIMn = 1 のとき



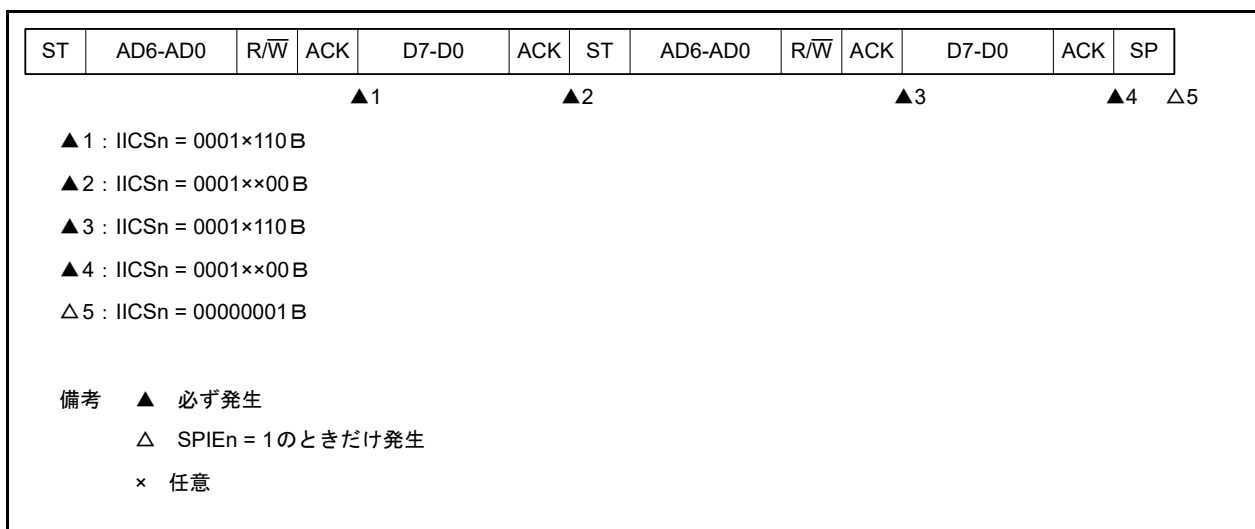
備考 n = 0, 1

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



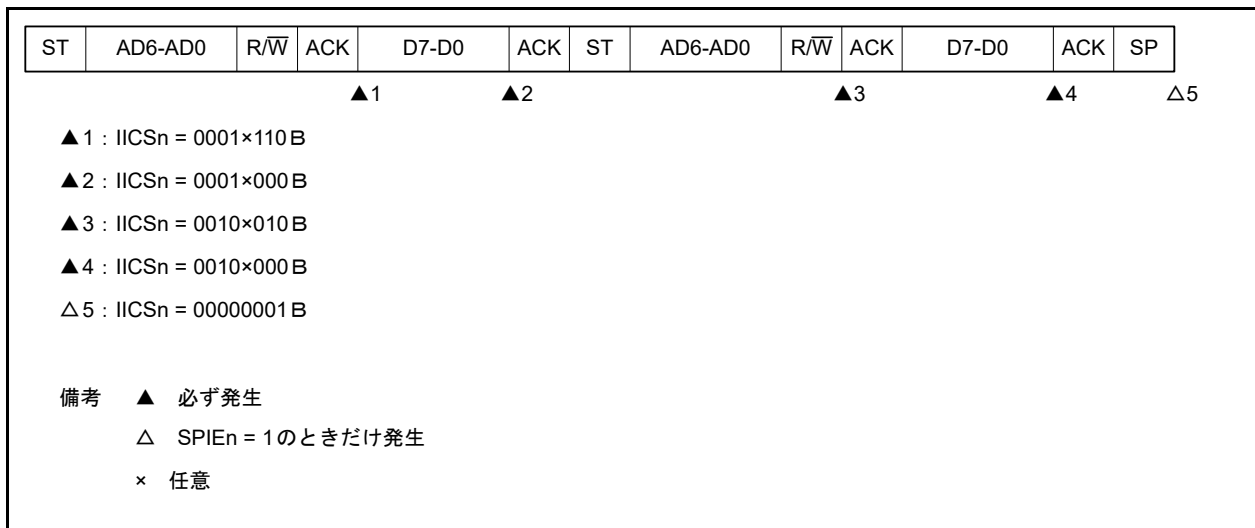
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



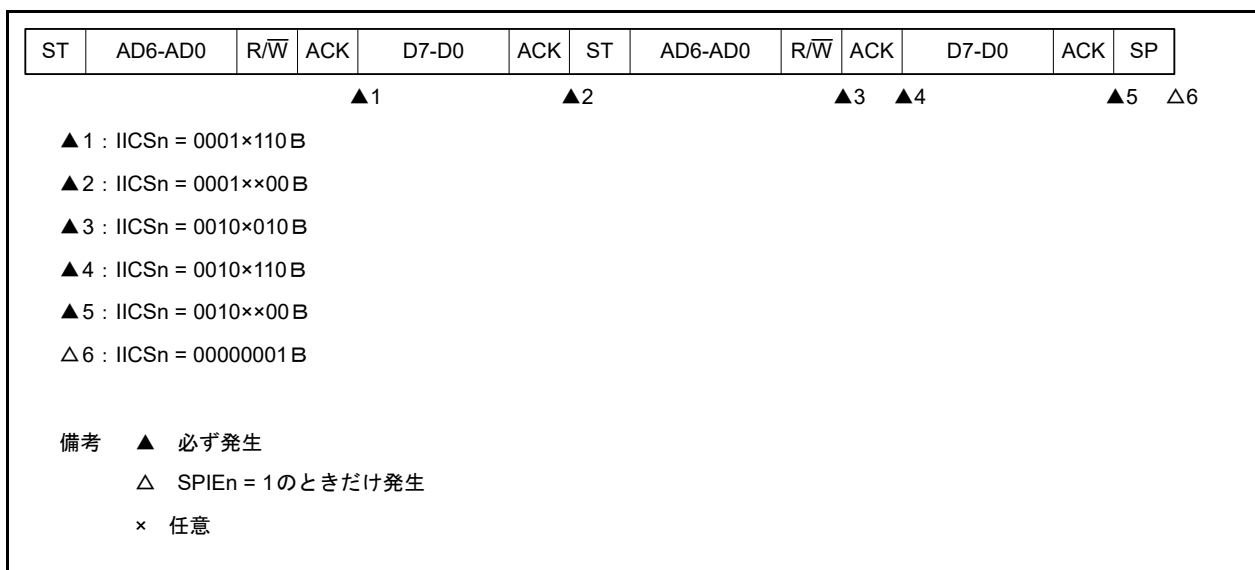
備考 n = 0, 1

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード))



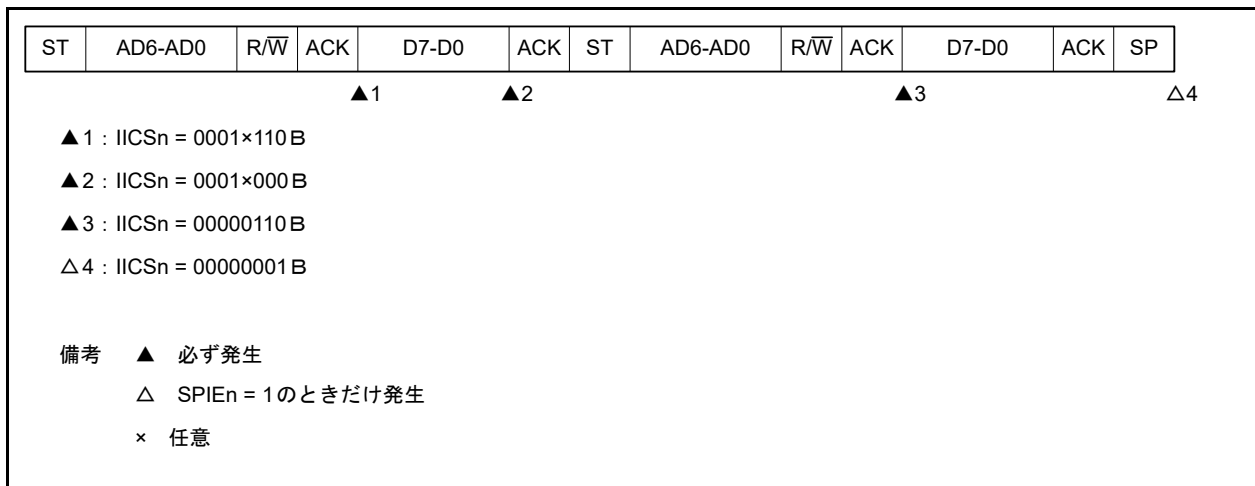
(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード))



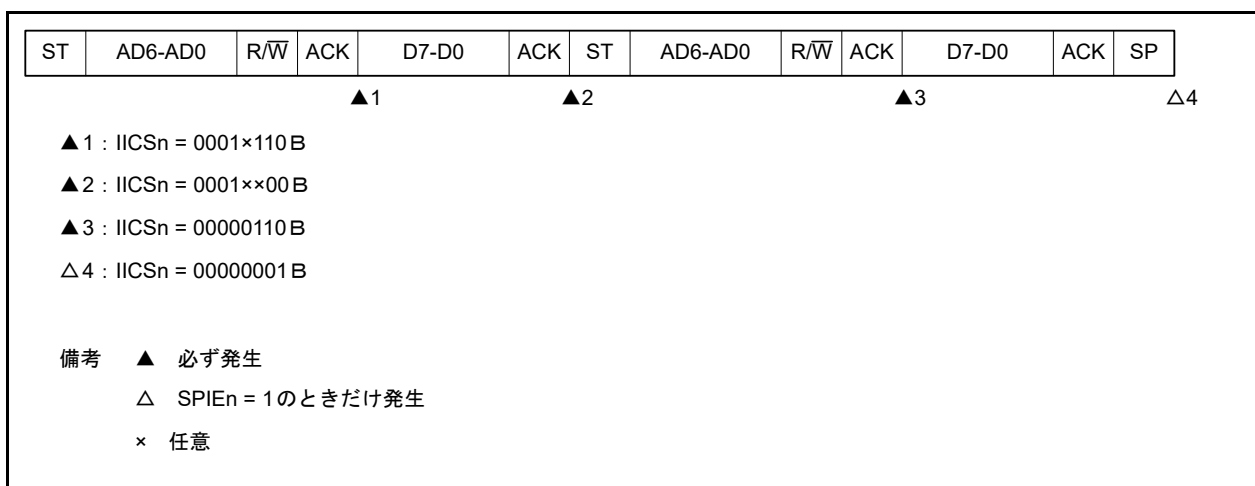
備考 n = 0, 1

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外))



(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外))



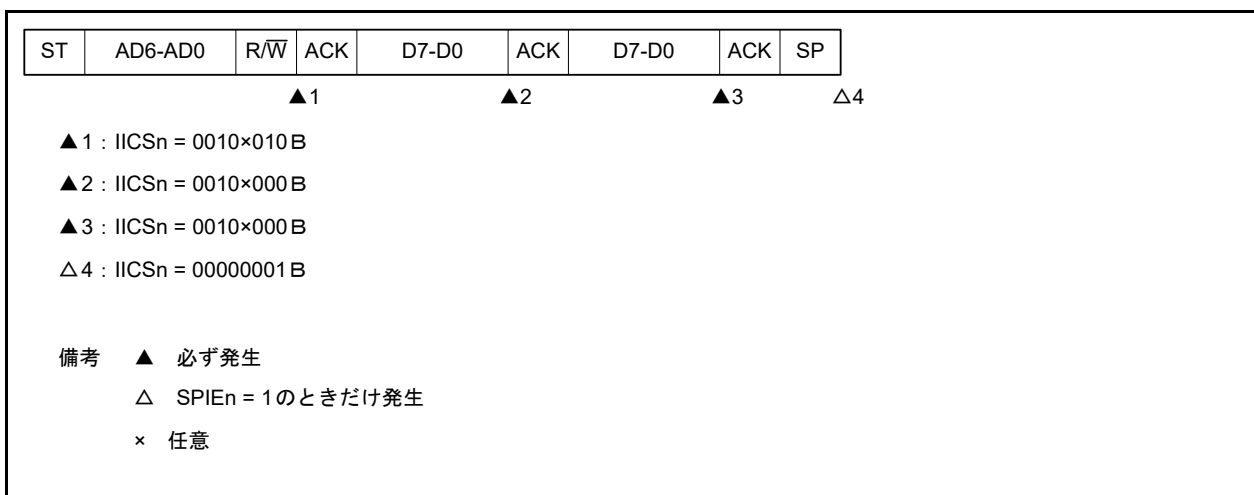
備考 n = 0, 1

(3) スレーブ動作(拡張コード受信時)

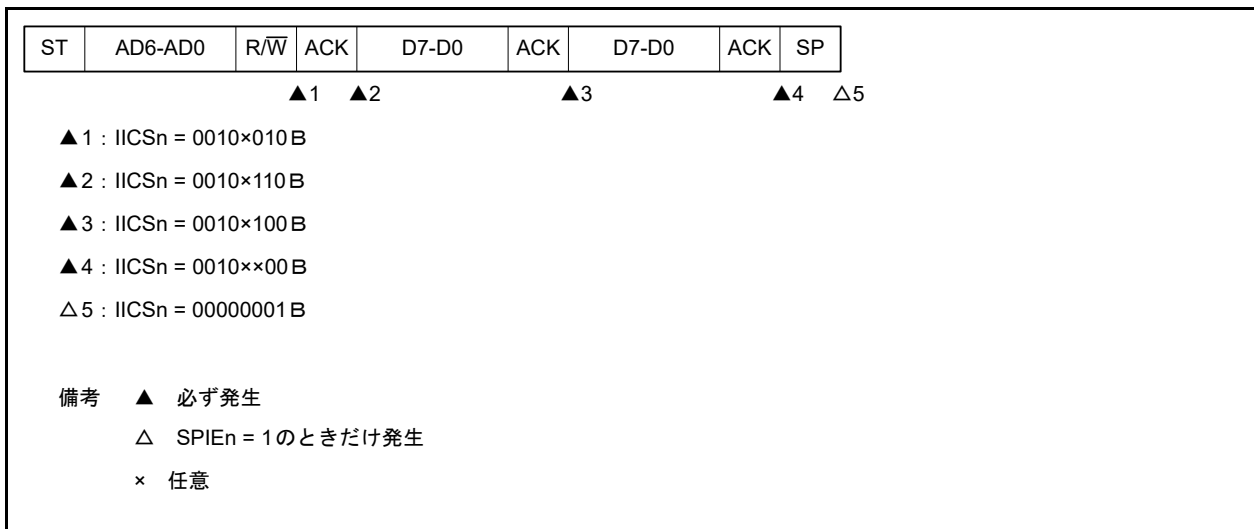
拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIMn = 0 のとき



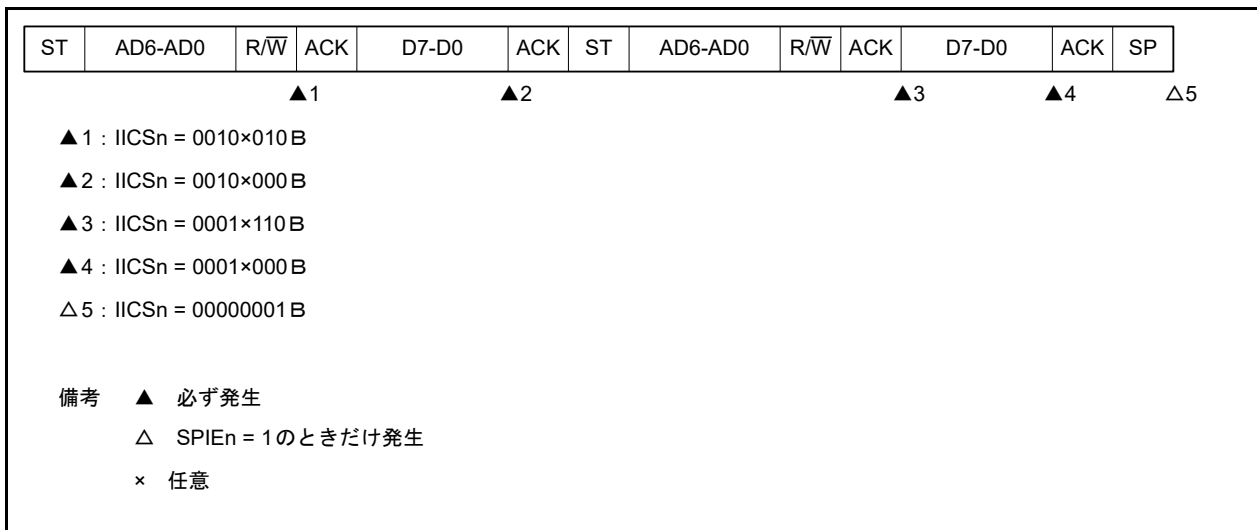
(ii) WTIMn = 1 のとき



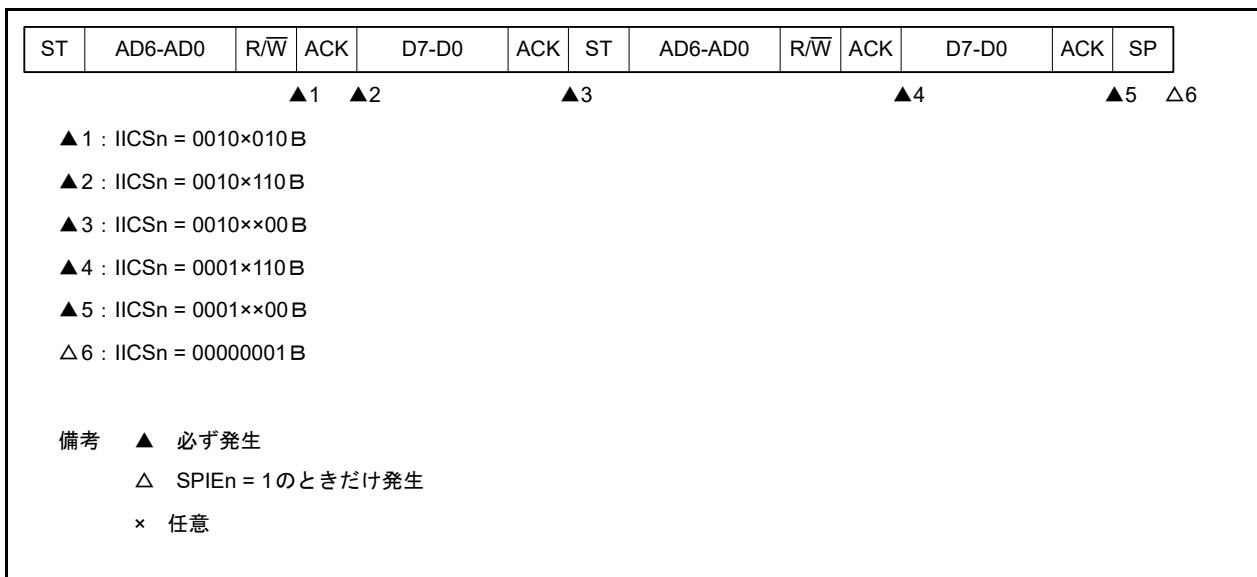
備考 n = 0, 1

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後, SVAn 一致)



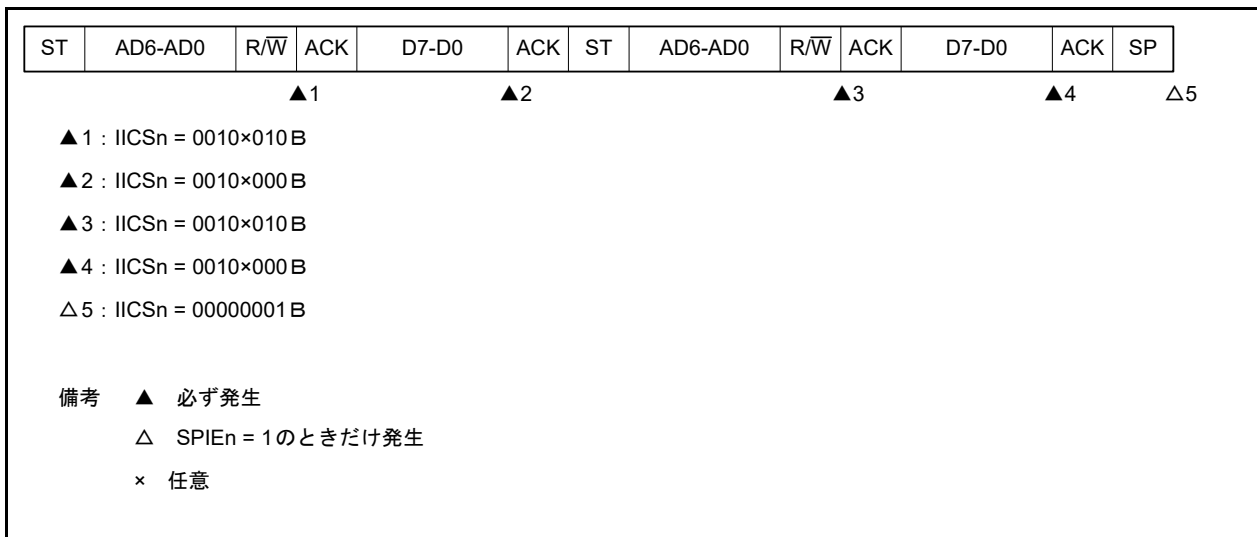
(ii) WTIMn = 1 のとき (リスタート後, SVAn 一致)



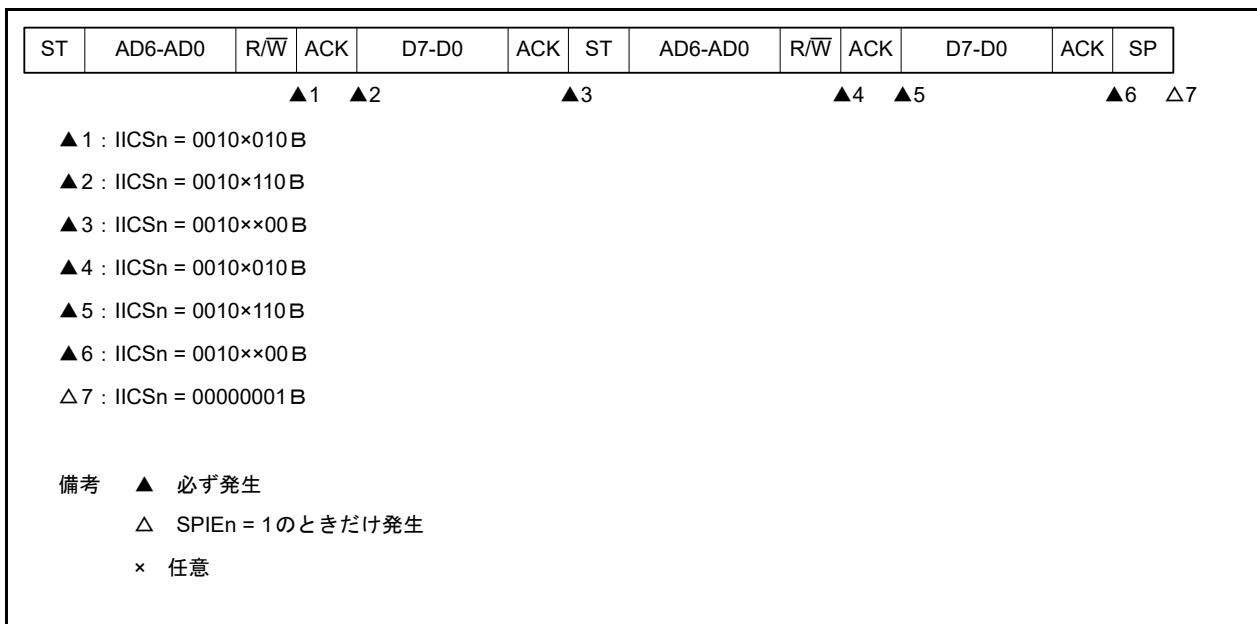
備考 n = 0, 1

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、拡張コード受信)



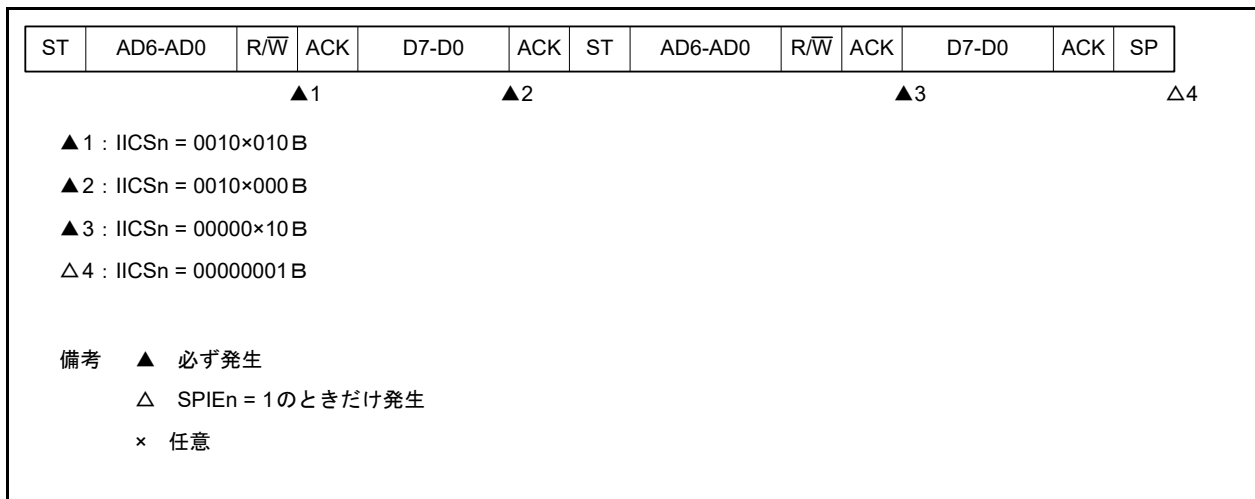
(ii) WTIMn = 1 のとき (リスタート後、拡張コード受信)



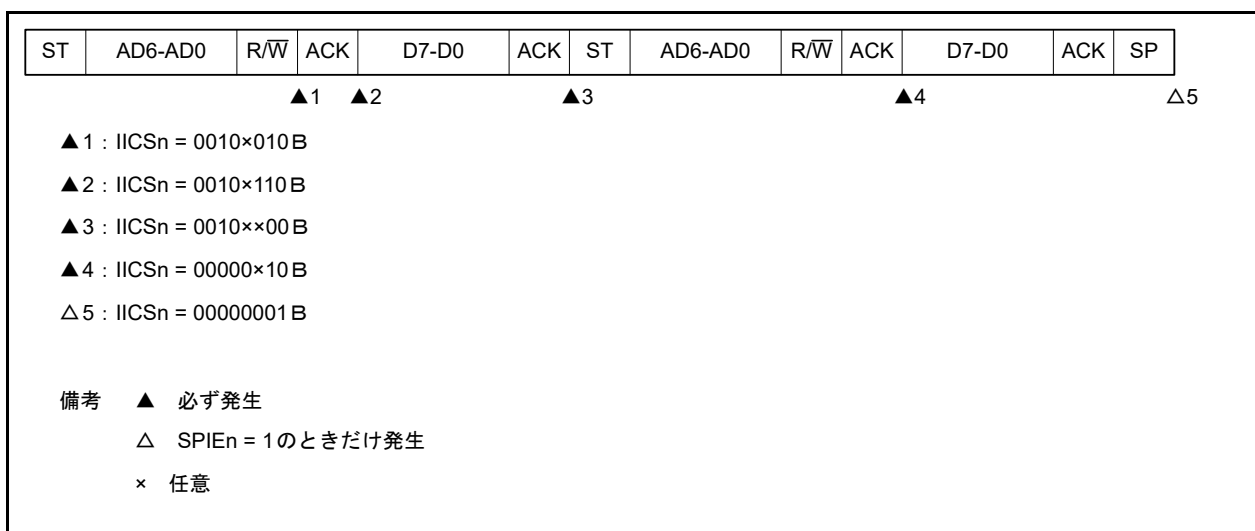
備考 n = 0, 1

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIMn = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外))



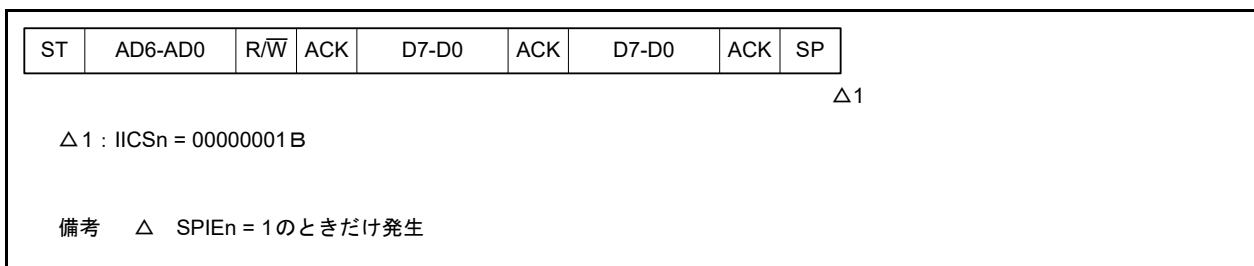
(ii) WTIMn = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外))



備考 n = 0, 1

(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop

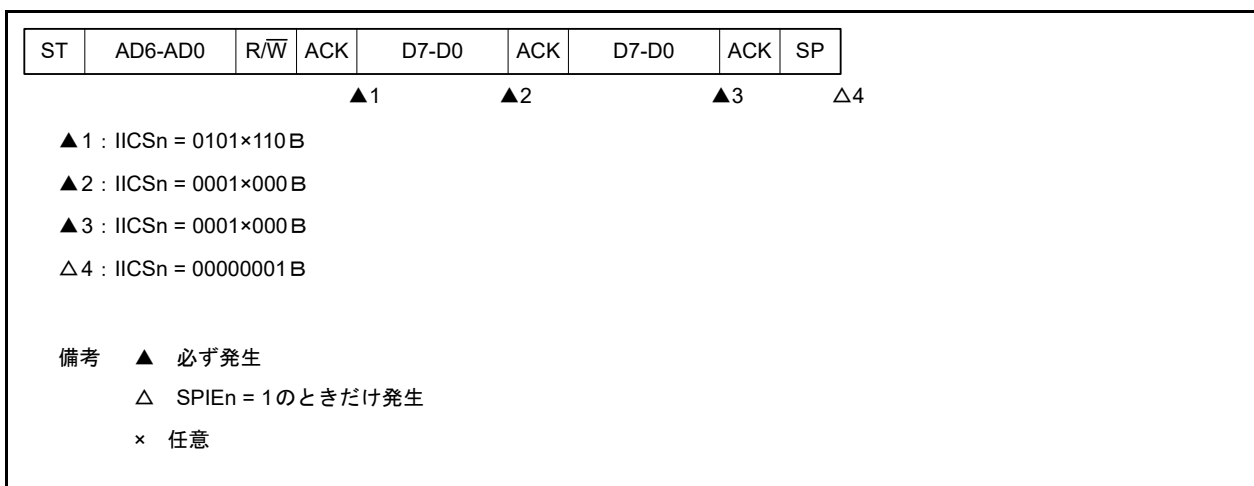


(5) アービトレーション負けの動作(アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

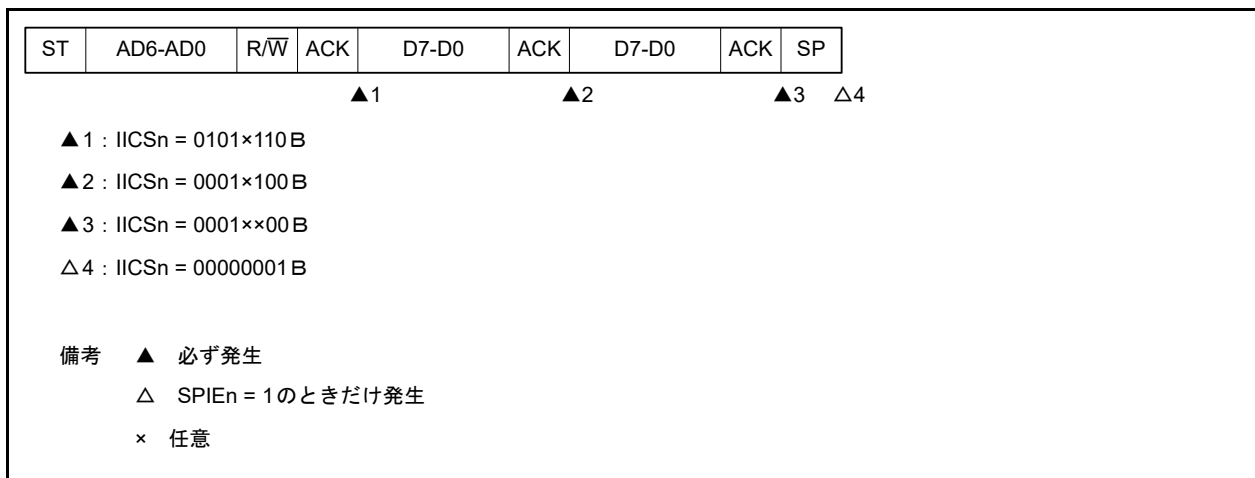
(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



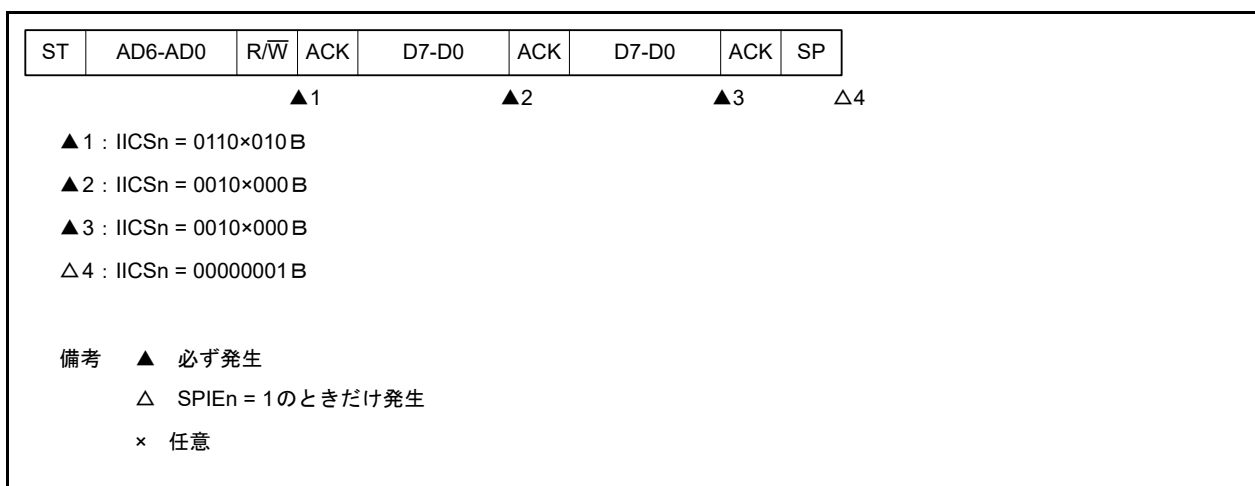
備考 n = 0, 1

(ii) WTIMn = 1 のとき



(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0, 1

(ii) WTIMn = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1 ▲2		▲3		▲4 Δ5	
▲1 : IICSn = 0110×010 B								
▲2 : IICSn = 0010×110 B								
▲3 : IICSn = 0010×100 B								
▲4 : IICSn = 0010××00 B								
Δ5 : IICSn = 00000001 B								
備考 ▲ 必ず発生								
Δ SPIEn = 1 のときだけ発生								
× 任意								

(6) アービトレーション負けの動作(アービトレーション負けのあと、不参加)

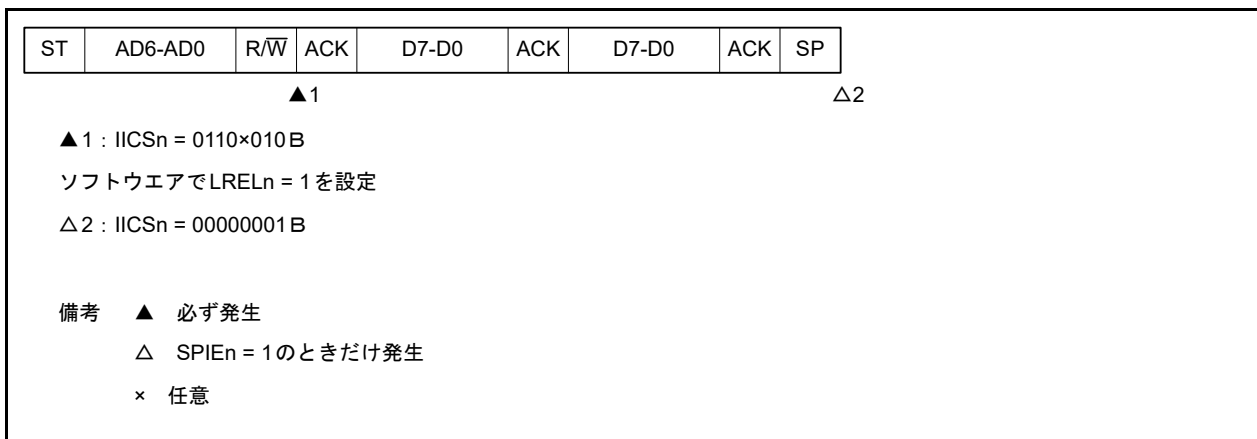
マルチマスタ・システムでマスタとして使用する場合は、INTIICAn 割り込み要求信号の発生ごとに MSTSn ビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合(WTIMn = 1 のとき)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1				Δ2	
▲1 : IICSn = 01000110 B								
Δ2 : IICSn = 00000001 B								
備考 ▲ 必ず発生								
Δ SPIEn = 1 のときだけ発生								

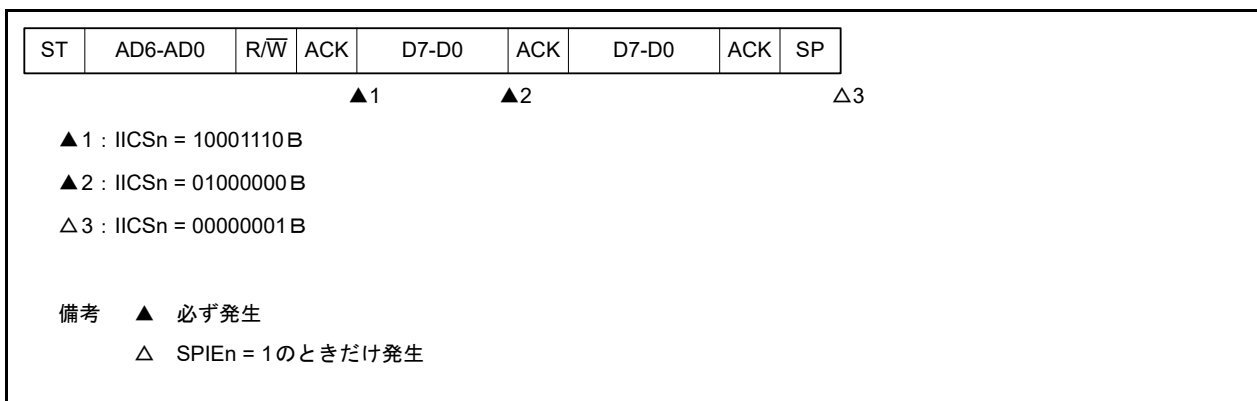
備考 n = 0, 1

(b) 拡張コード送信中にアービトレーションに負けた場合



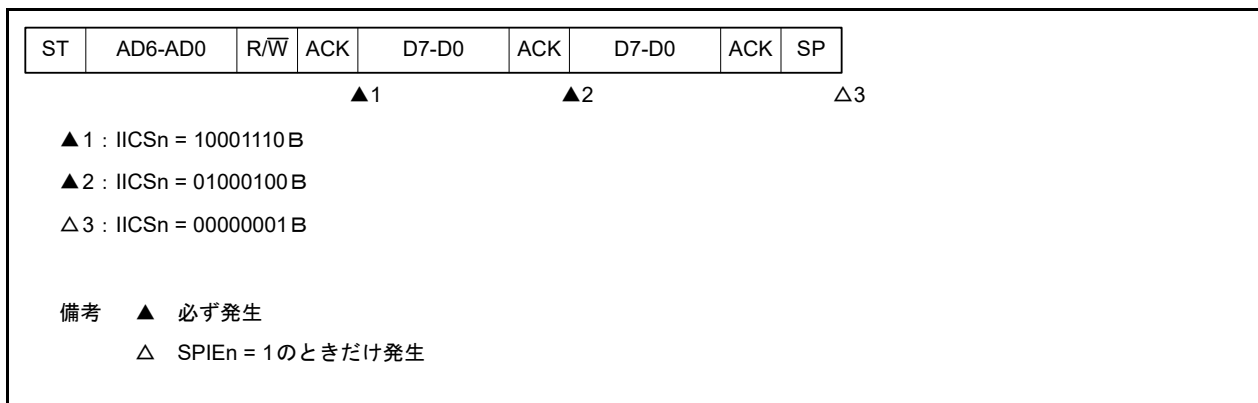
(c) データ転送時にアービトレーションに負けた場合

(i) WTIMn = 0 のとき



備考 n = 0, 1

(ii) WTIMn = 1 のとき



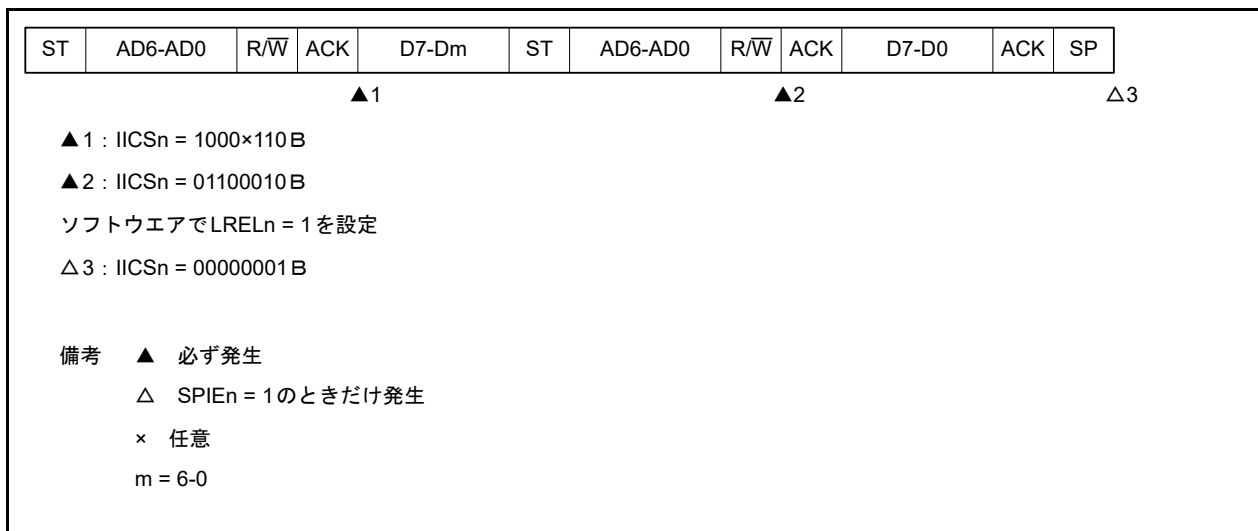
(d) データ転送時にリスタート・コンディションで負けた場合

(i) 拡張コード以外 (例 SVAn 不一致)

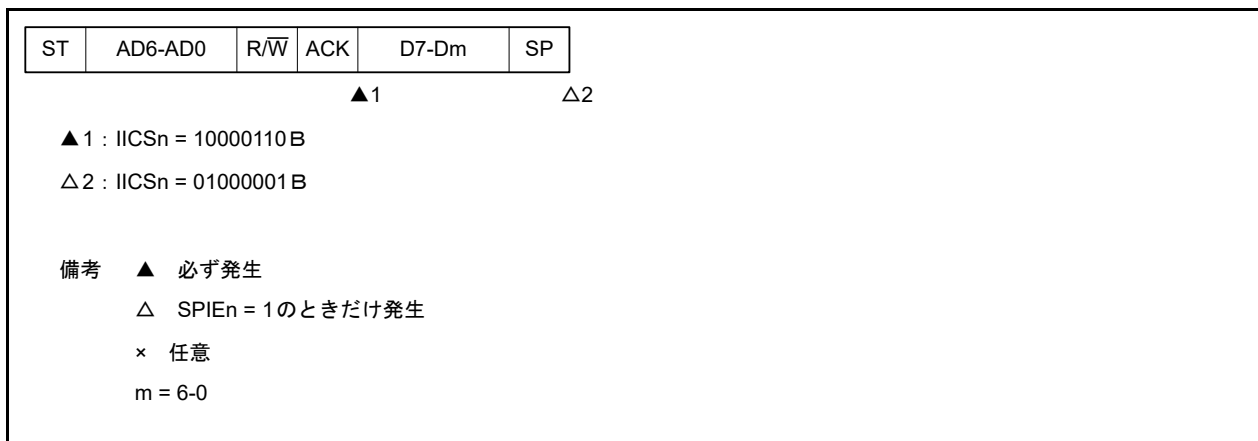


備考 n = 0, 1

(ii) 拡張コード



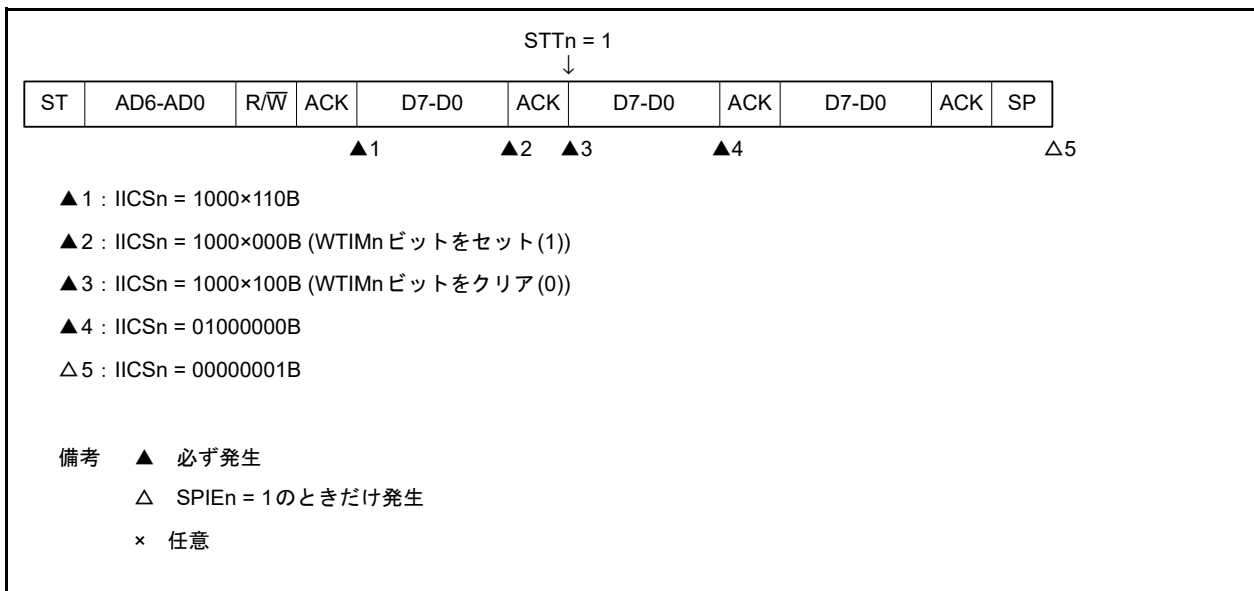
(e) データ転送時にストップ・コンディションで負けた場合



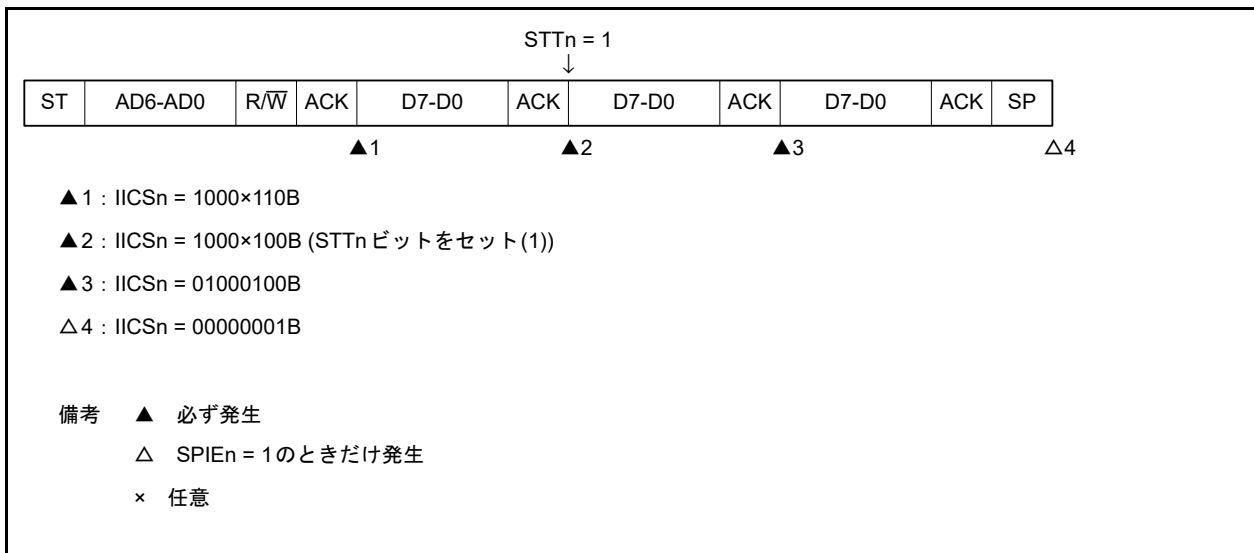
備考 n = 0, 1

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



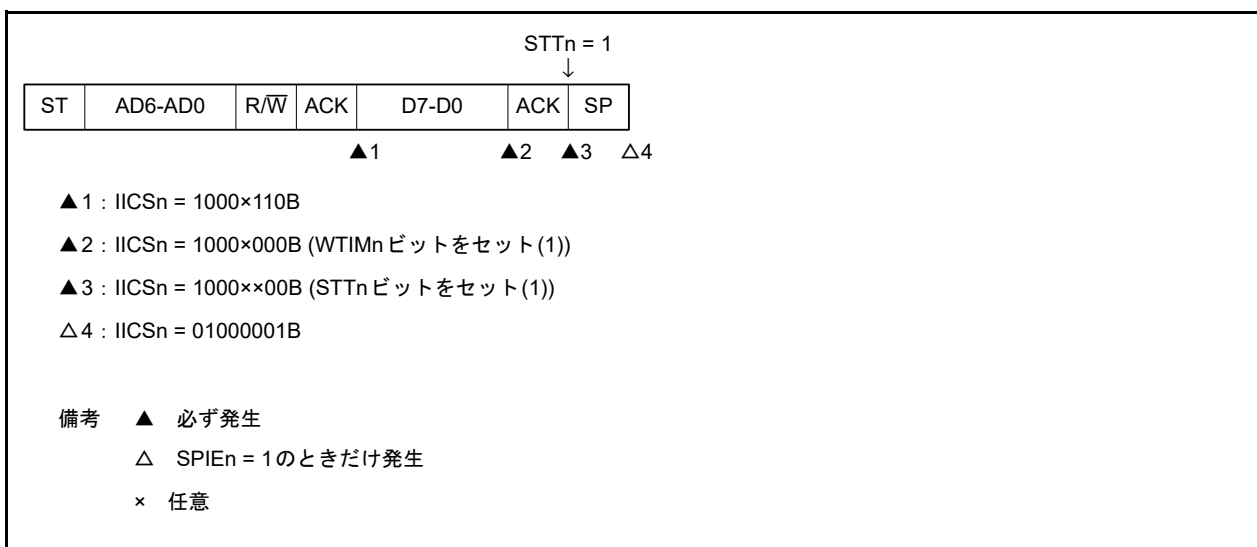
(ii) WTIMn = 1 のとき



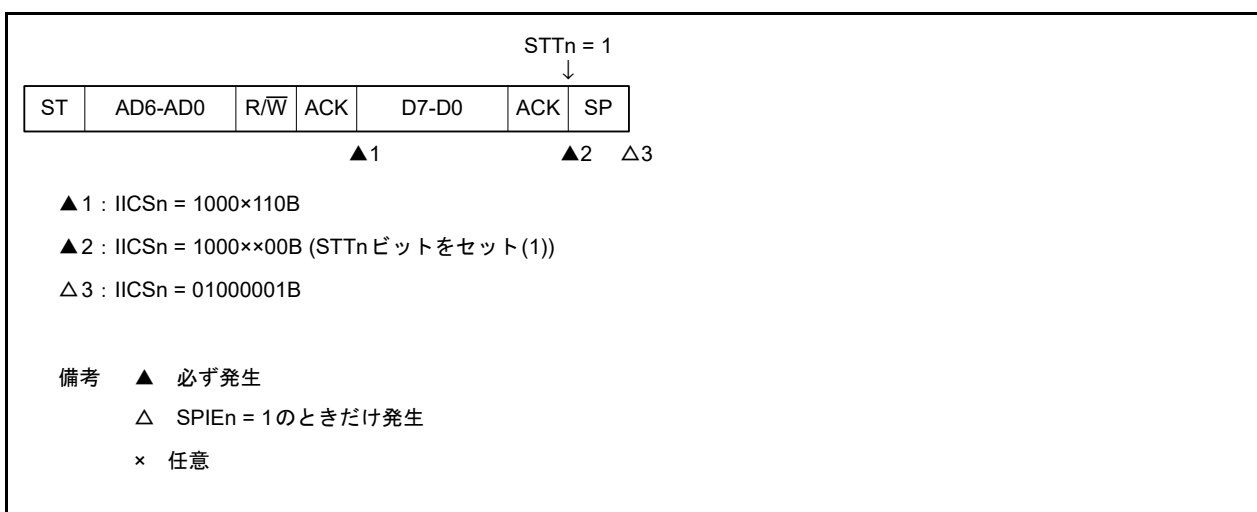
備考 n = 0, 1

(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



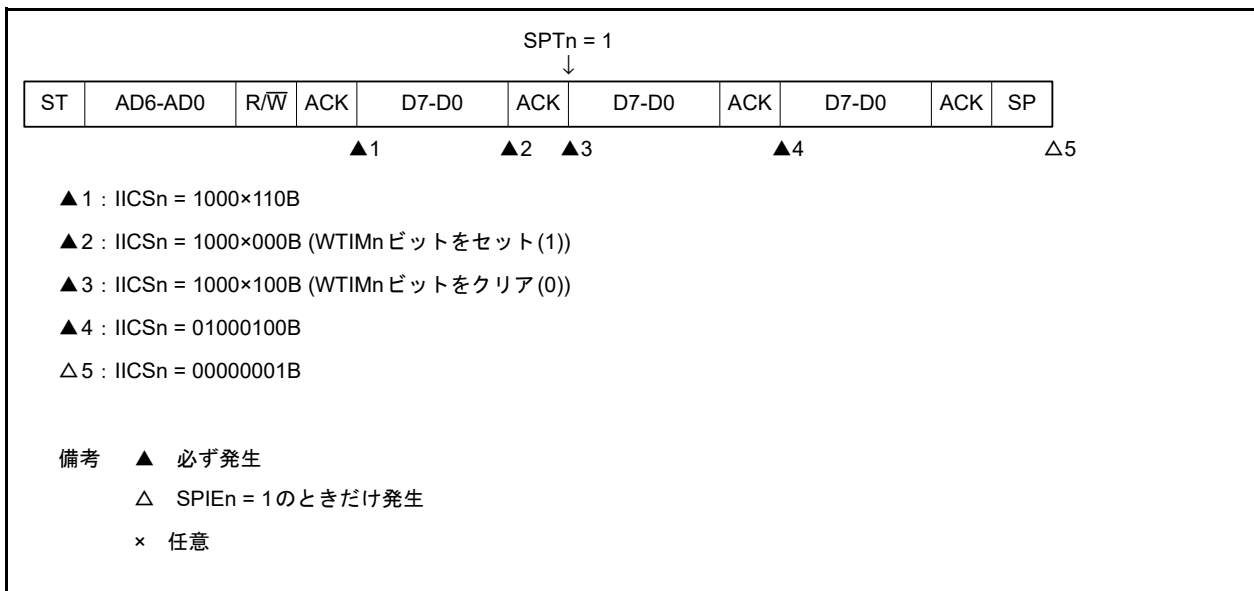
(ii) WTIMn = 1 のとき



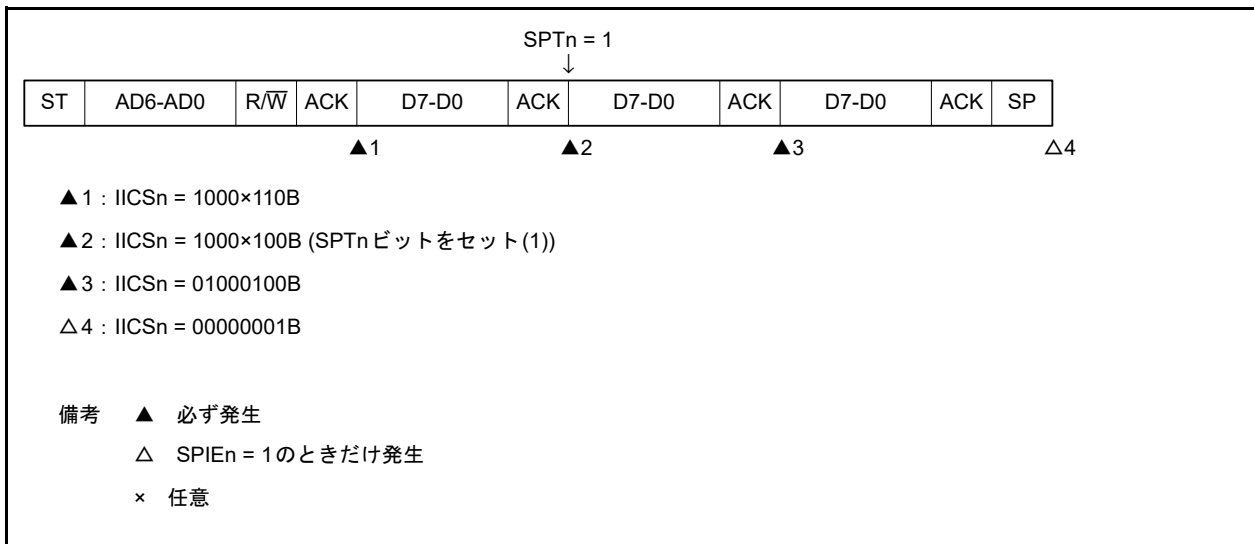
備考 n = 0, 1

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIMn = 0 のとき



(ii) WTIMn = 1 のとき



備考 n = 0, 1

18.6 タイミング・チャート

I²C バス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示す TRCn ビット (IICA ステータス・レジスタ n (IICSn) のビット 3) を送信し、スレーブとのシリアル通信を開始します。

データ通信のタイミング・チャートを図 18 - 41 ~ 図 18 - 47 に示します。

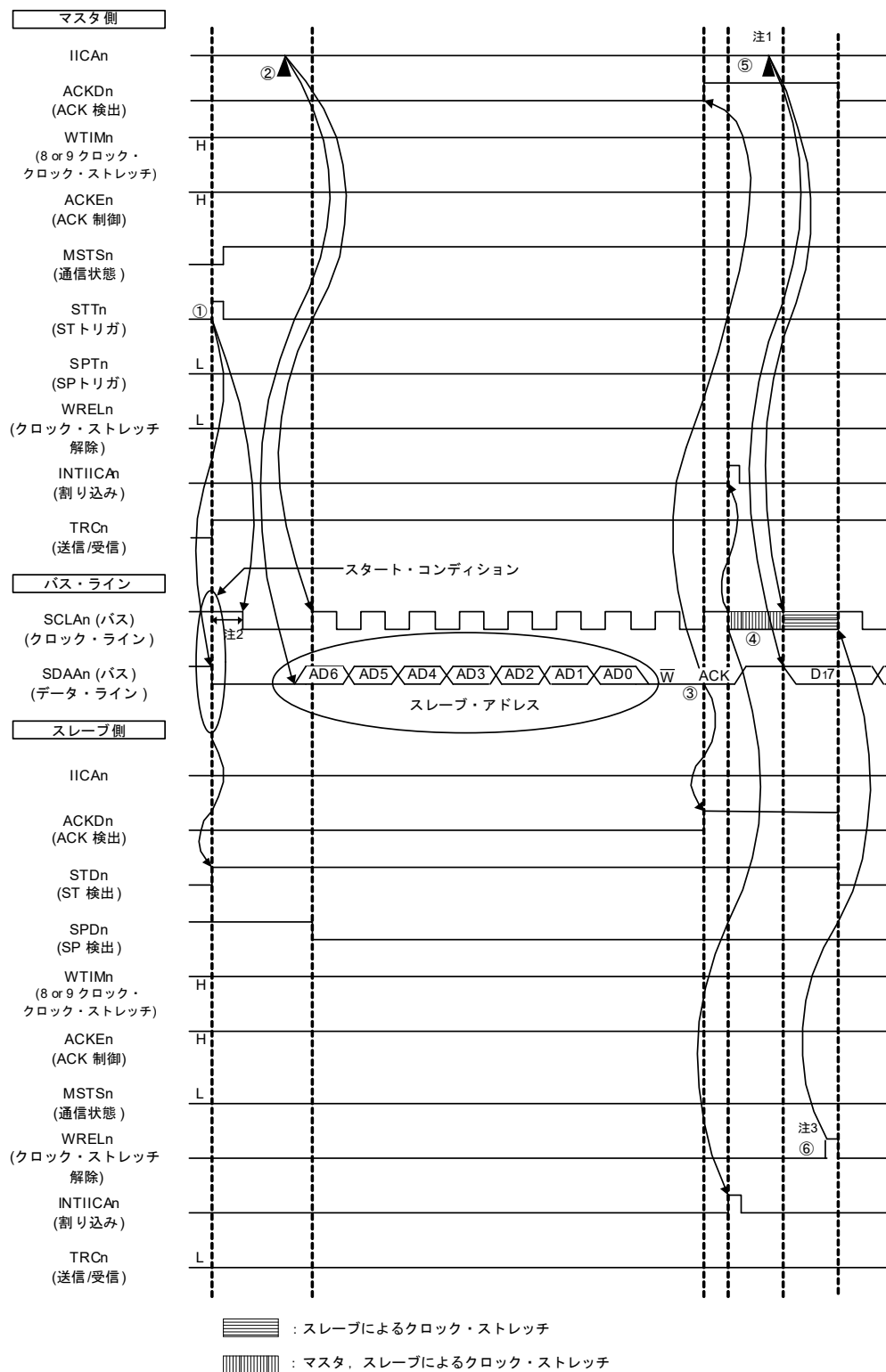
シリアル・クロック (SCLAn) の立ち下がりに同期して IICA シフト・レジスタ n (IICAn) のシフト動作が行われ、送信データが SO ラッチに転送され、SDAAn 端子から MSB ファーストで出力されます。

また、SCLAn の立ち上がりで SDAAn 端子に入力されたデータが IICAn に取り込まれます。

備考 n = 0, 1

図 18 - 41 マスタスレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (1/4)

(1) スタート・コンディション～アドレス～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

さい。

備考 n = 0, 1

図18-41 (1) スタート・コンディション～アドレス～データの①～⑥の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット($STTn = 1$)されると、バス・データ・ライン($SDAAn$)が立ち下がり、スタート・コンディション($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態($MSTSn = 1$)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり($SCLAn = 0$)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタn($IICAn$)にアドレス + W (送信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側では、受信したアドレスと自局のアドレス($SVAAn$ の値)が一致した場合注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出($ACKDn = 1$)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み($INTIICAn$: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブは、クロック・ストレッチ($SCLAn = 0$)をかけ、割り込み($INTIICAn$: アドレス一致割り込み)が発生します注。
- ⑤ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除($WRELn = 1$)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: $SDAAn = 1$)。また、スレーブ側の $INTIICAn$ 割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、 $INTIICAn$ 割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18-41～図18-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図18-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図18-42 (2)アドレス～データ～データでは手順③～⑩

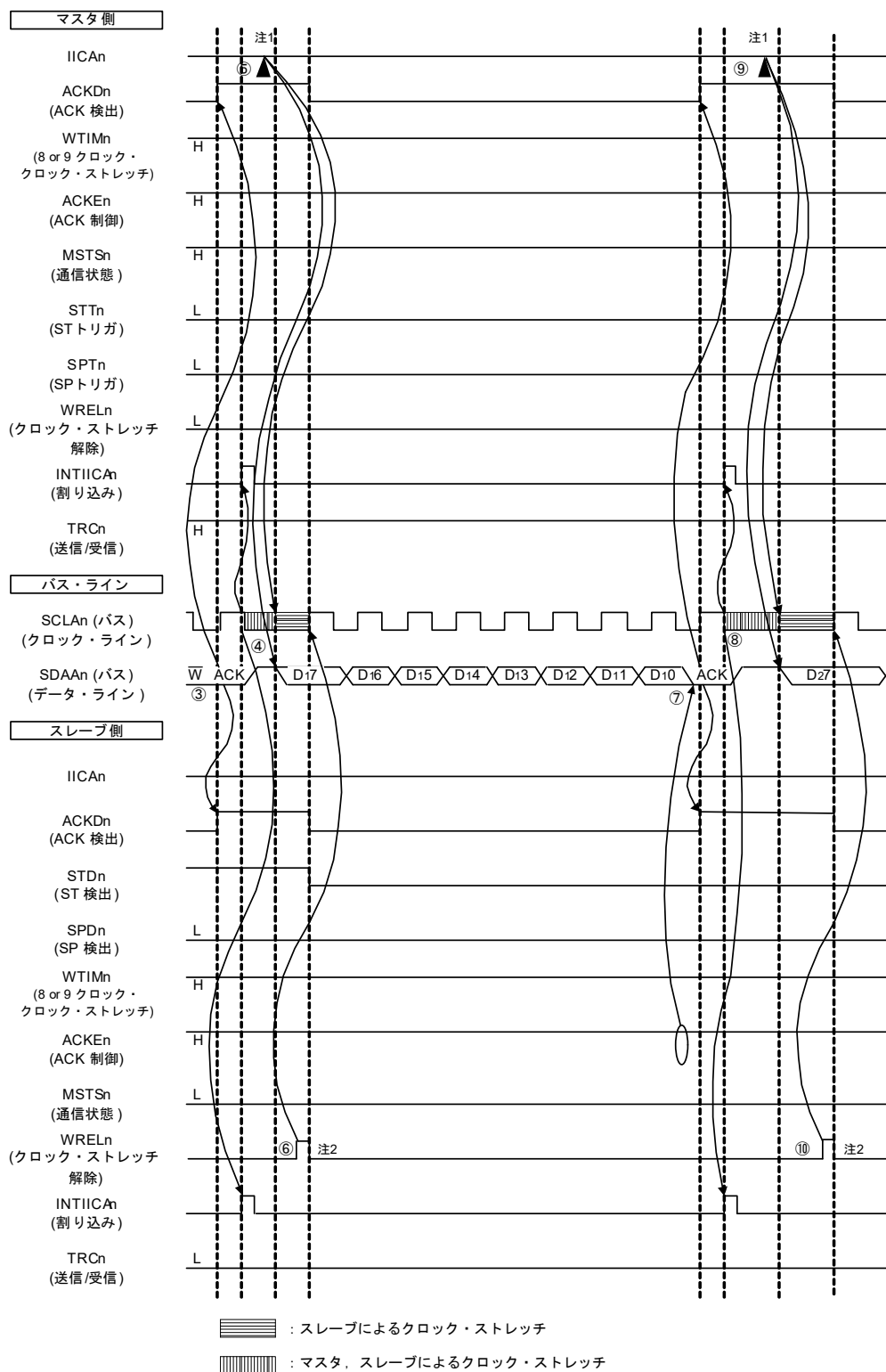
図18-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0, 1

図 18 - 42 マスタスレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (2/4)

(2) アドレス～データ～データ



注1. マスタ側での送信時のクロック・ストレッチ解除は、WREL_nビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注2. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWREL_nビットのセットのどちらかで行ってください。

備考 n = 0, 1

図18 - 42 (2) アドレス～データ～データの③～⑩の説明を次に示します。

- ③ スレーブ側では、受信したアドレスと自局のアドレス(SVAnの値)が一致した場合^注、ハードウェアによりACKがマスタ側へ送信されます。9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn: アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn: アドレス一致割り込み)が発生します^注。
- ⑤ マスタ側がIICAシフト・レジスタn(IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑥ スレーブ側がクロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn: 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAnレジスタに送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK: SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18 - 41～図18 - 43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図18 - 41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

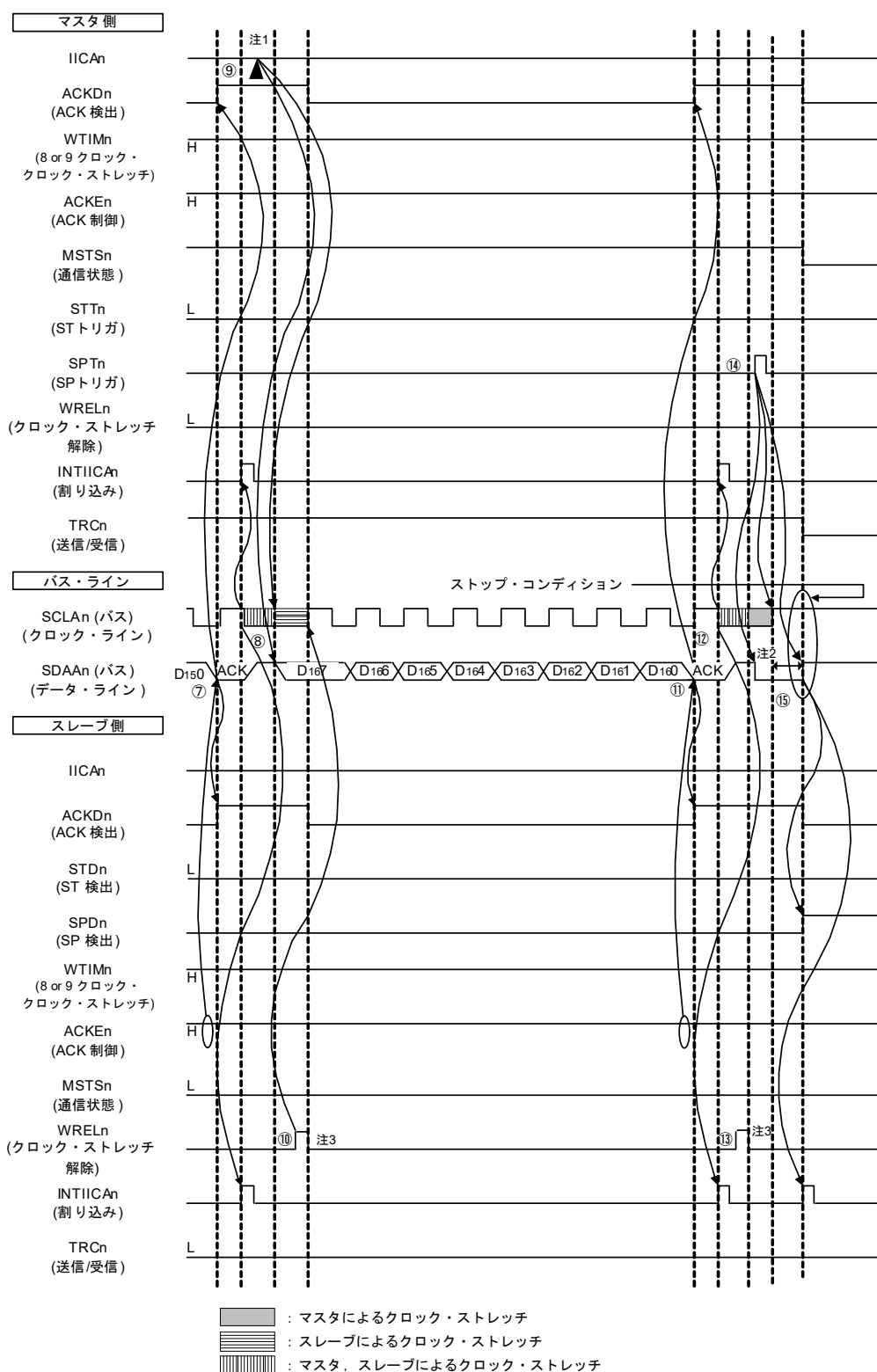
図18 - 42 (2)アドレス～データ～データでは手順③～⑩

図18 - 43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0, 1

図 18 - 43 マスタスレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (3/4)
(3) データ～データ～ストップ・コンディション



- 注1. マスタ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。
- 注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。
- 注3. スレーブ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

さい。

備考 n = 0, 1

図18-43 (3) データ～データ～ストップ・コンディションの⑦～⑮の説明を次に示します。

- ⑦ データ転送完了後、スレーブ側はACKEn = 1なのでハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑧ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑨ マスタ側がIICAシフト・レジスタn(IICAn)に送信データを書き込み、マスタ側によるクロック・ストレッチを解除します。
- ⑩ スレーブ側が受信データを読み出して、クロック・ストレッチを解除(WRELn = 1)すると、マスタ側からスレーブ側にデータ転送を開始します。
- ⑪ データ転送完了後、スレーブ側(ACKEn = 1)のハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ⑫ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑬ スレーブ側が受信データを読み出し、クロック・ストレッチを解除(WRELn = 1)します。
- ⑭ マスタ側でストップ・コンディション・トリガをセット(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、バス・クロック・ラインがセット(SCLAn = 1)され、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインがセット(SDAAn = 1)されることでストップ・コンディション(SCLAn = 1でSDAAn = 0→1)が生成されます。
- ⑮ ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図18-41～図18-43の①～⑮は、I²Cバスによるデータ通信の一連の操作手順です。

図18-41 (1)スタート・コンディション～アドレス～データでは手順①～⑥

図18-42 (2)アドレス～データ～データでは手順③～⑩

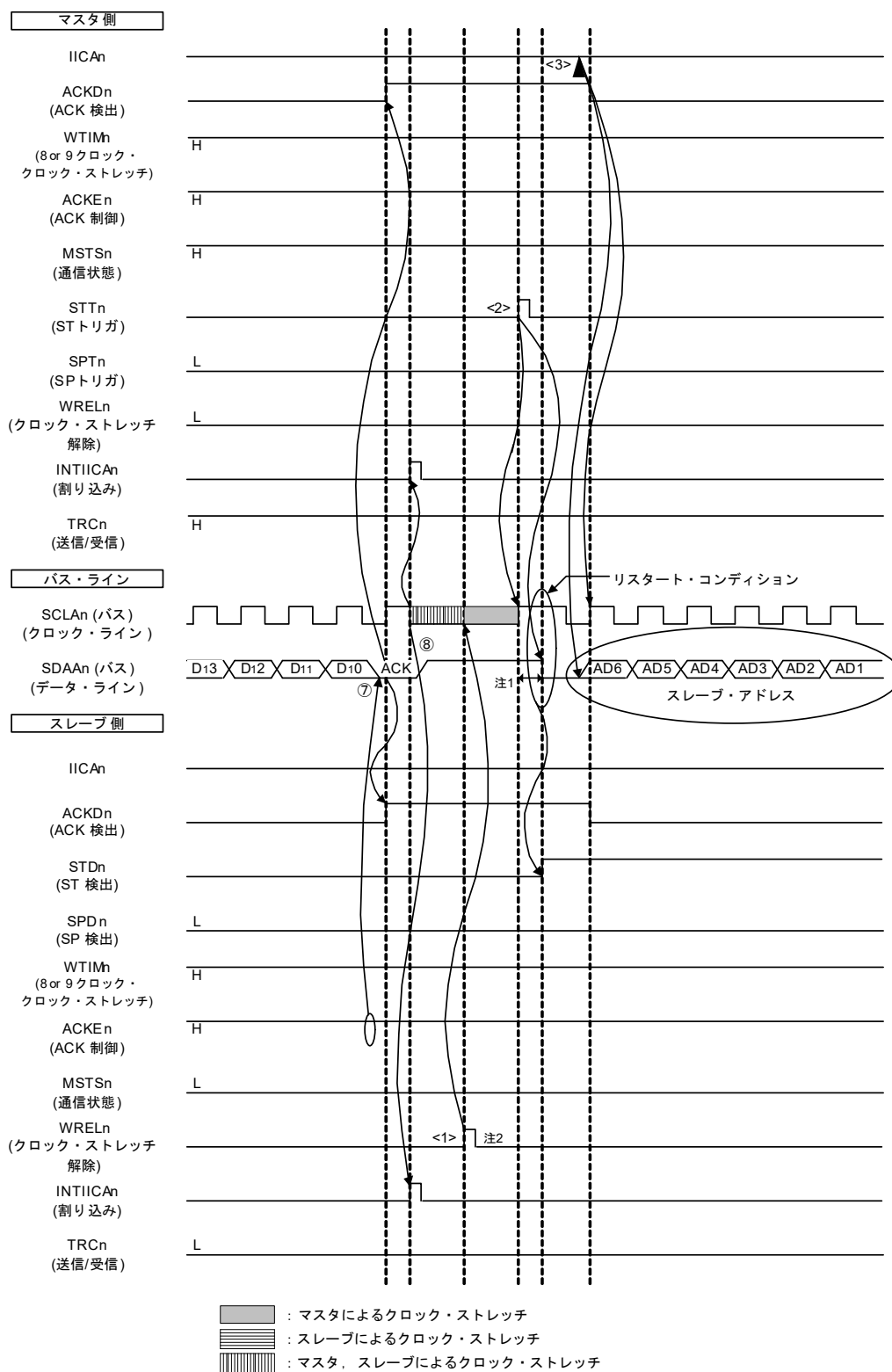
図18-43 (3)データ～データ～ストップ・コンディションでは手順⑦～⑮

について説明しています。

備考2. n = 0, 1

図 18-44 マスタスレーブ通信例(マスタ : 9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (4/4)

(4) データ～リスタート・コンディション～アドレス



注1. リスタート・コンディションの発行後, SCLAn 端子信号が立ち上がってからスタート・コンディションが生成される時間は, 標準モード設定時は4.7 μs以上, ファースト・モード設定時は0.6 μs以上です。

注2. スレーブ側での受信時のクロック・ストレッチ解除は, IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

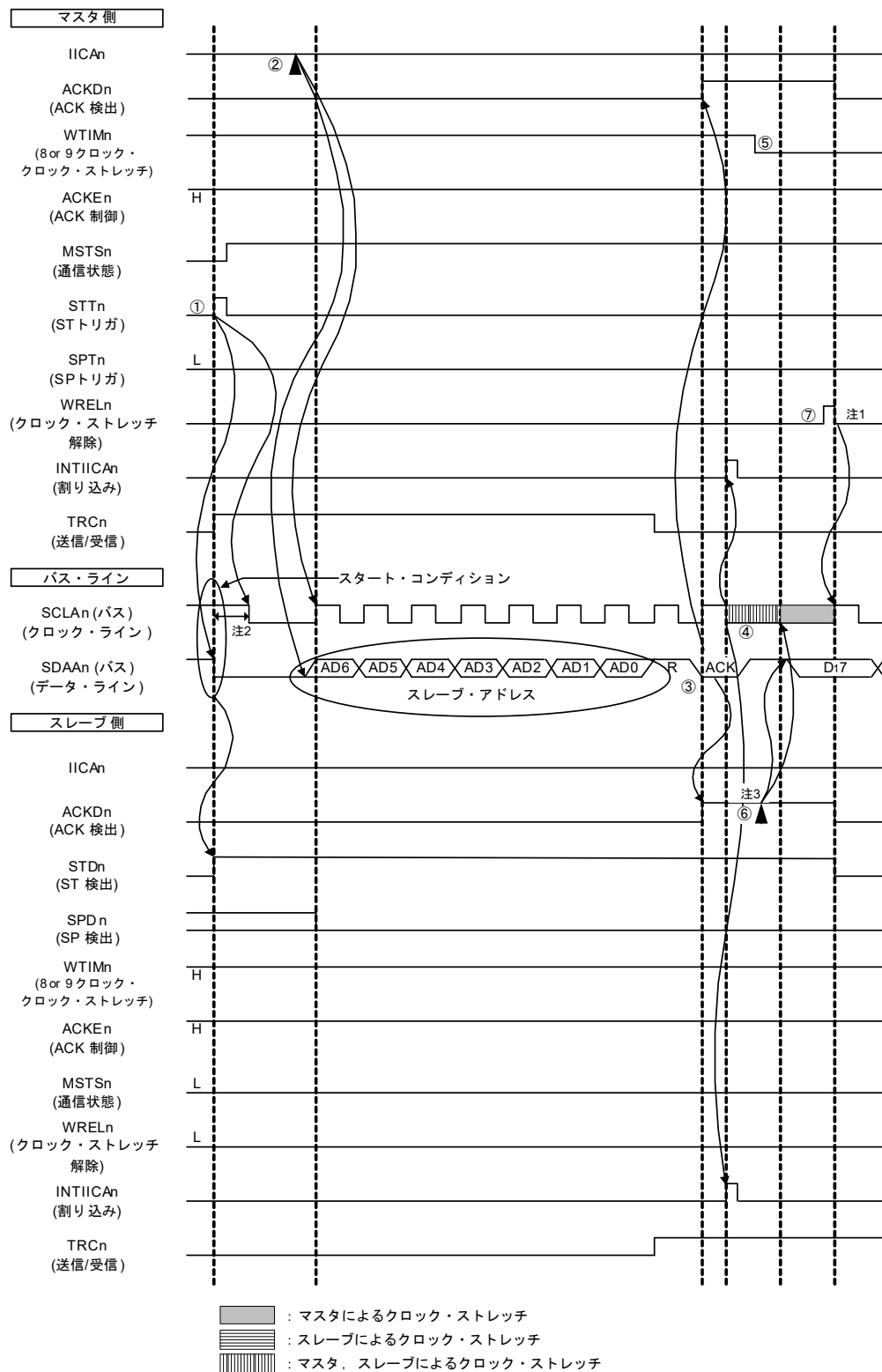
備考 $n = 0, 1$

図 18 - 44 (4) データ～リスタート・コンディション～アドレスの動作説明を次に示します。手順⑦, ⑧の動作後, <1>～<3>の動作を行います。それにより, 手順③のデータの送信手順に戻ります。

- ⑦ データ転送完了後, スレーブ側は $ACKEn = 1$ なのでハードウェアにより ACK がマスタ側へ送信され, 9 クロック目の立ち上がり時に, マスタ側で ACK が検出 ($ACKDn = 1$) されます。
- ⑧ 9 クロック目の立ち下がり, マスタ側とスレーブ側によるクロック・ストレッチ ($SCLAn = 0$) がかかり, マスタ側, スレーブ側で割り込み (INTIICAn : 転送完了割り込み) が発生します。
- <1> スレーブ側が受信データを読み出して, クロック・ストレッチを解除 ($WRELn = 1$) します。
- <2> マスタ側で再度スタート・コンディション・トリガがセット ($STTn = 1$) されると, バス・クロック・ラインが立ち上がり ($SCLAn = 1$), リスタート・コンディション・セットアップ時間後バス・データ・ライン ($SDAAn = 0$) が立ち下がり, スタート・コンディション ($SCLAn = 1$ で $SDAAn = 1 \rightarrow 0$) が生成されます。その後, スタート・コンディションを検出すると, ホールド時間経過後, バス・クロック・ラインが立ち下がり ($SCLAn = 0$), 通信準備が完了となります。
- <3> マスタ側が IICA シフト・レジスタ n (IICAn) にアドレス + R/W (送信) を書き込むと, スレーブ・アドレスが送信されます。

備考 $n = 0, 1$

図 18 - 45 スレーブ→マスタ通信例(マスタ : 8クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (1/3)
(1) スタート・コンディション～アドレス～データ



- 注1. マスタ側での受信時クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。
- 注2. SDAAn端子信号が立ち下がってからSCLAn端子信号が立ち下がるまでの時間は、標準モード設定時は4.0 μ s以上、ファースト・モード設定時は0.6 μ s以上です。
- 注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0, 1

図18 - 45 (1) スタート・コンディション～アドレス～データの①～⑦の説明を次に示します。

- ① マスタ側でスタート・コンディション・トリガがセット(STTn = 1)されると、バス・データ・ライン(SDAAn)が立ち下がり、スタート・コンディション(SCLAn = 1でSDAAn = 1→0)が生成されます。その後、スタート・コンディションを検出すると、マスタ側はマスタ通信状態(MSTS_n = 1)となり、ホールド時間経過後、バス・クロック・ラインが立ち下がり(SCLAn = 0)、通信準備が完了となります。
- ② マスタ側でIICAシフト・レジスタn(IICAn)にアドレス + R (受信)が書き込まれると、スレーブ・アドレスが送信されます。
- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアによりACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がり、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側のクロック・ストレッチ・タイミングを8クロック目に(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAnレジスタに送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK : SDAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。
ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18 - 45～図18 - 47の①～⑯は、I²Cバスによるデータ通信の一連の操作手順です。

図18 - 45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図18 - 46 (2)アドレス～データ～データでは手順③～⑫

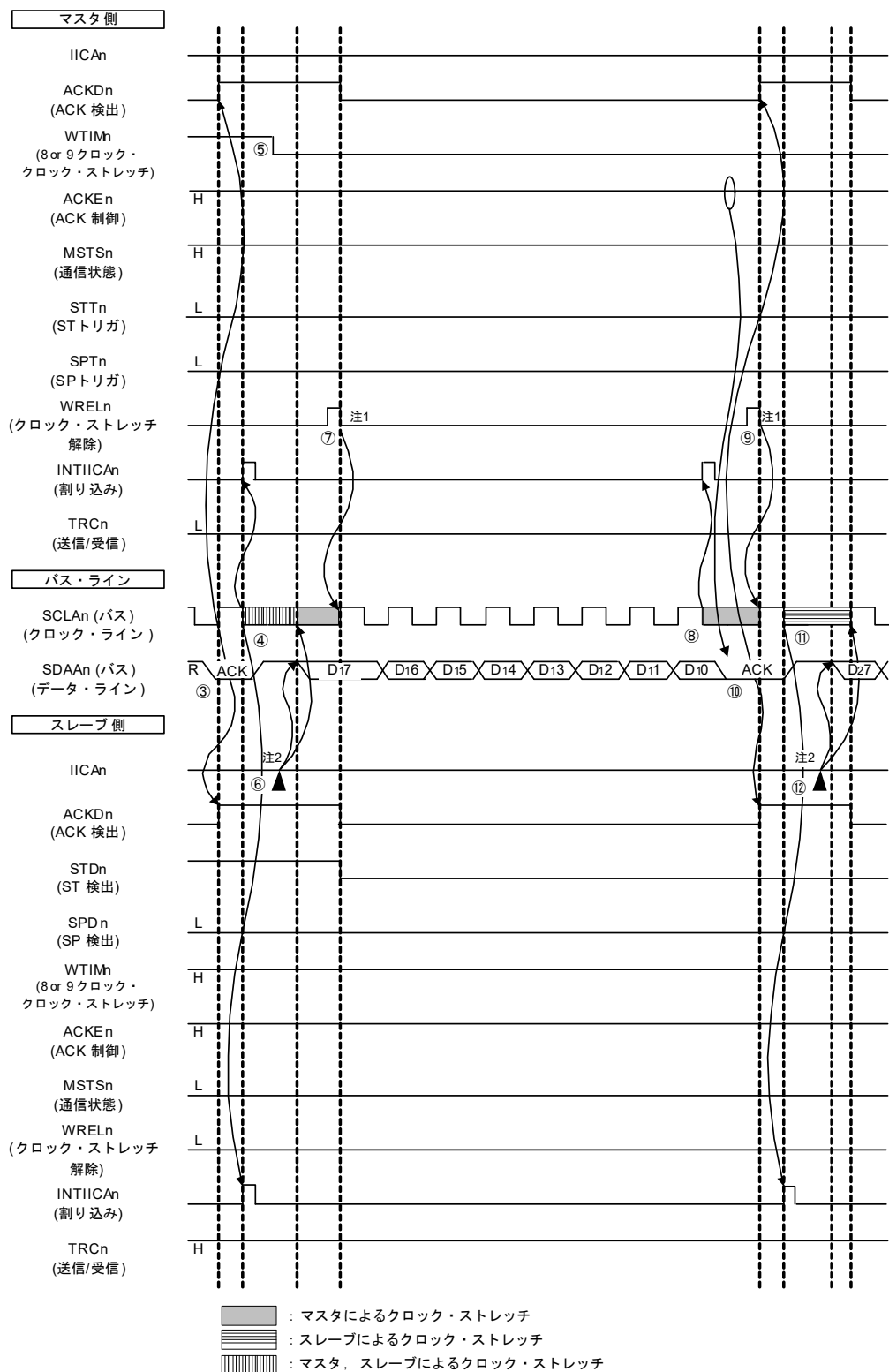
図18 - 47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑯

について説明しています。

備考2. n = 0, 1

図 18 - 46 スレーブ→マスタ通信例(マスタ : 8クロック, スレーブ : 9クロックでクロック・ストレッチ選択時) (2/3)

(2) アドレス～データ～データ



注1. マスタ側での受信時のクロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

備考 n = 0, 1

図18-46 (2) アドレス～データ～データの③～⑫の説明を次に示します。

- ③ スレーブ側で、受信したアドレスと自局のアドレス (SVAn の値) が一致した場合注、ハードウェアにより ACKがマスタ側へ送信され、9クロック目の立ち上がり時に、マスタ側でACKが検出(ACKDn = 1)されます。
- ④ 9クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : アドレス送信完了割り込み)が発生します。アドレスが一致したスレーブはクロック・ストレッチ(SCLAn = 0)をかけ、割り込み(INTIICAn : アドレス一致割り込み)が発生します注。
- ⑤ マスタ側はクロック・ストレッチ・タイミングを8クロック目に(WTIMn = 0)に変更します。
- ⑥ スレーブ側がIICAnシフト・レジスタn(IICAn)に送信データを書き込み、スレーブ側によるクロック・ストレッチを解除します。
- ⑦ マスタ側がクロック・ストレッチを解除(WRELn = 1)して、スレーブからのデータ転送を開始します。
- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側の割り込み(INTIICAn : 転送完了割り込み)が発生し、マスタ側ACKEn = 1なのでハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAnレジスタに送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。

注 送信したアドレスとスレーブのアドレスが不一致の場合は、スレーブ側はACKをマスタ側へ返しませんが(NACK : SDAAAn = 1)。また、スレーブ側のINTIICAn割り込み(アドレス一致割り込み)は発生せず、スレーブ側のクロック・ストレッチもかかりません。

ただし、マスタ側はACK, NACKの両方に対して、INTIICAn割り込み(アドレス送信完了割り込み)が発生します。

備考1. 図18-45～図18-47の①～⑭は、I²Cバスによるデータ通信の一連の操作手順です。

図18-45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

図18-46 (2)アドレス～データ～データでは手順③～⑫

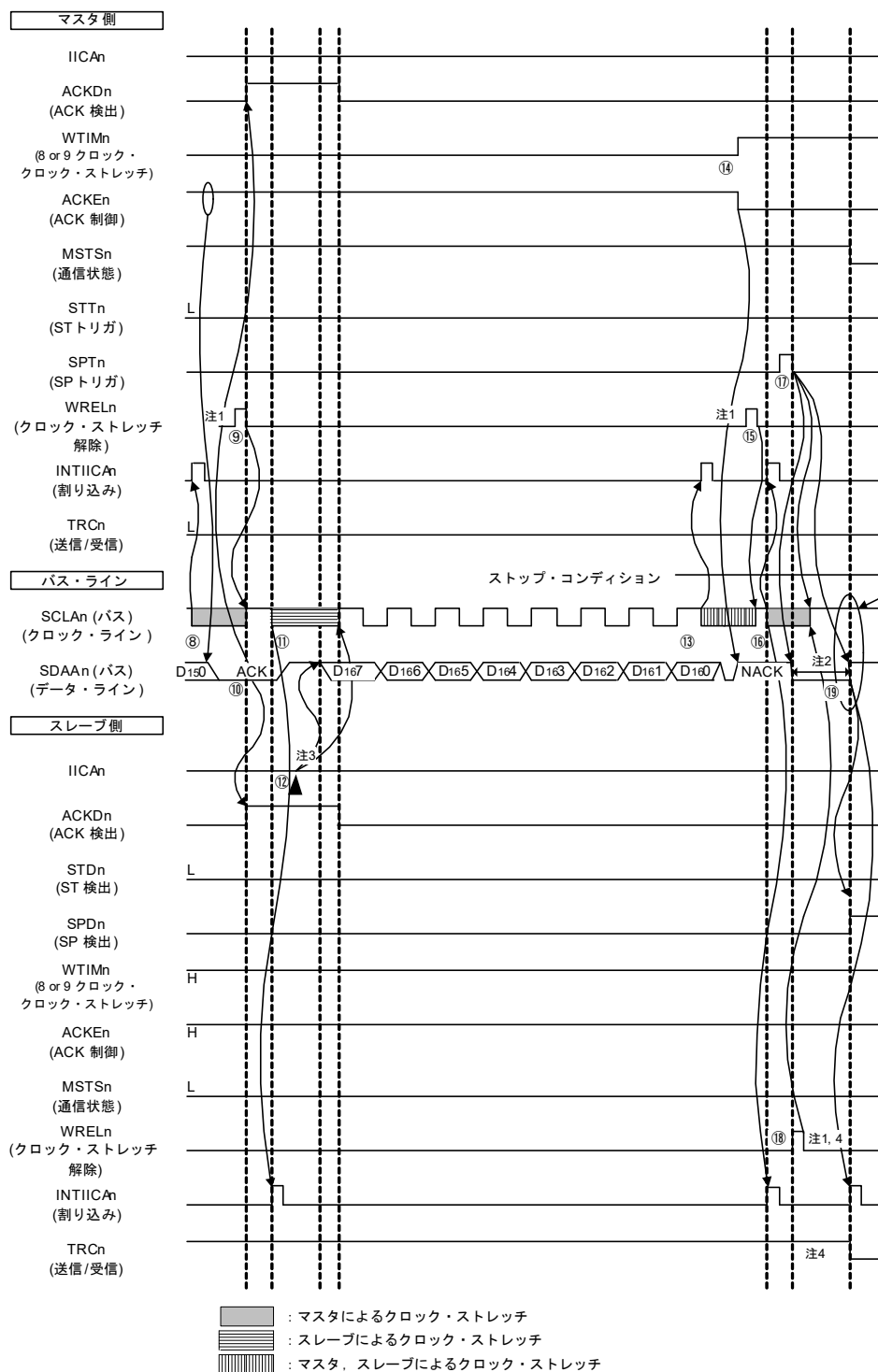
図18-47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑭

について説明しています。

備考2. n = 0, 1

図18-47 スレーブ→マスタ通信例(マスタ : 8→9クロック, スレーブ : 9クロックでクロック・ストレッチ選択時)
(3/3)

(3) データ～データ～ストップ・コンディション



注1. クロック・ストレッチ解除は、IICAn←FFHまたはWRELnビットのセットのどちらかで行ってください。

注2. ストップ・コンディションの発行後、SCLAn端子信号が立ち上がってからストップ・コンディションが生成されるまでの時間は、標準モード設定時は4.0 μs以上、ファースト・モード設定時は0.6 μs以上です。

注3. スレーブ側での送信時のクロック・ストレッチ解除は、WRELnビットのセットではなく、IICAnへのデータ書き込みで行ってください。

注4. スレーブ側での送信時のクロック・ストレッチをWRELnビットのセットで解除すると、TRCnビットはクリアされます。

備考 n = 0, 1

図18-47 (3) データ～データ～ストップ・コンディションの⑧～⑲の説明を次に示します。

- ⑧ 8クロック目の立ち下がりで、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側の割り込み
(INTIICAn : 転送完了割り込み)が発生し、マスタ側はACKEn = 0なので、ハードウェアによりACKがスレーブ側へ送信されます。
- ⑨ マスタ側は受信したデータを読み出して、クロック・ストレッチを解除(WRELn = 1)します。
- ⑩ 9クロック目の立ち上がり時に、スレーブ側でACKが検出(ACKDn = 1)されます。
- ⑪ 9クロック目の立ち下がりで、スレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、スレーブ側は割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑫ スレーブ側がIICAシフト・レジスタn(IICAn)に送信データを書き込むと、スレーブ側によるクロック・ストレッチが解除され、スレーブ→マスタにデータ転送を開始します。
- ⑬ 8クロック目の立ち下がりで、マスタ側の割り込み(INTIICAn : 転送完了割り込み)が発生し、マスタ側によるクロック・ストレッチ(SCLAn = 0)がかかります。ACK制御(ACKEn = 1)されているので、この段階でのバス・データ・ラインはロウ・レベル(SDAAn = 0)となります。
- ⑭ マスタ側はNACK応答に設定(ACKEn = 0)し、クロック・ストレッチ・タイミングを9クロック目クロック・ストレッチ(WTIMn = 1)に変更します。
- ⑮ マスタ側がクロック・ストレッチを解除(WRELn = 1)すると、スレーブ側は9クロック目の立ち上がりでNACKを検出(ACKDn = 0)します。
- ⑯ 9クロック目の立ち下がりで、マスタ側とスレーブ側によるクロック・ストレッチ(SCLAn = 0)がかかり、マスタ側、スレーブ側で割り込み(INTIICAn : 転送完了割り込み)が発生します。
- ⑰ マスタ側でストップ・コンディション発行(SPTn = 1)すると、バス・データ・ラインがクリア(SDAAn = 0)され、マスタ側のクロック・ストレッチが解除されます。その後、マスタ側はバス・クロック・ラインがセット(SCLAn = 1)されるまで待機します。
- ⑱ スレーブ側はNACKを確認して、送信を止めて通信を完了するためにクロック・ストレッチを解除(WRELn = 1)します。スレーブによるクロック・ストレッチが解除されると、バス・クロック・ラインがセット(SCLAn = 1)されます。
- ⑲ マスタ側はバス・クロック・ラインがセット(SCLAn = 1)されたことを確認すると、ストップ・コンディション・セットアップ時間経過後、バス・データ・ラインをセット(SDAAn = 1)してストップ・コンディション(SCLAn = 1でSDAAn = 0→1)を発行します。ストップ・コンディションが生成されると、スレーブ側でストップ・コンディションが検出され、スレーブ側で割り込み(INTIICAn : ストップ・コンディション割り込み)が発生します。

備考1. 図18-45～図18-47の①～⑲は、I²Cバスによるデータ通信の一連の操作手順です。

図18-45 (1)スタート・コンディション～アドレス～データでは手順①～⑦

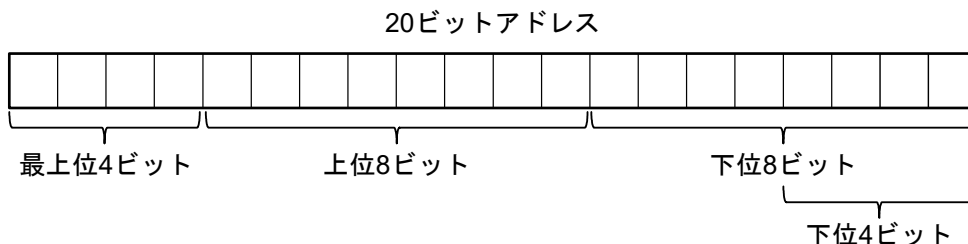
図18-46 (2)アドレス～データ～データでは手順③～⑫

図18-47 (3)データ～データ～ストップ・コンディションでは手順⑧～⑱
について説明しています。

備考2. $n = 0, 1$

第19章 データ・トランスファ・コントローラ(DTC)

本章の説明で記載されているアドレスの上位8ビットとは下記のとおり、20ビットアドレスのビット(15-8)になります。



また、本章の説明の中で、特に指定が無い場合、アドレスの最上位4ビットは全て1(FxxxH)になります。

19.1 DTCの機能

データ・トランスファ・コントローラ (DTC)は、CPUを使わずにメモリとメモリの間でデータを転送する機能です。DTCは周辺機能割り込みによって起動し、データ転送します。DTCはCPUと同じデータバスを使用し、DTCのバス使用权はCPUよりも優先されます。

表 19 - 1にDTCの仕様を示します。

表 19 - 1 DTCの仕様(1/2)

項目		仕様
起動要因		31要因(30, 32, 36, 40, 44ピン製品)／32要因(48, 52ピン製品)／33要因(64ピン製品)／39要因(80, 100ピン製品)
配置可能なコントロールデータ		24通り
転送可能なアドレス空間	アドレス空間	64 Kバイト空間(F0000H～FFFFFFH)ただし、汎用レジスタを除く
	ソース	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、ミラー領域 ^注 、データ・フラッシュ・メモリ領域 ^注 、拡張特殊機能レジスタ(2nd SFR)
	デスティネーション	特殊機能レジスタ(SFR)、RAM領域(汎用レジスタを除く)、拡張特殊機能レジスタ(2nd SFR)
最大転送回数	ノーマルモード	256回
	リピートモード	255回
最大転送ブロックサイズ	ノーマルモード(8ビット転送)	256バイト
	ノーマルモード(16ビット転送)	512バイト
	リピートモード	255バイト
転送単位		8ビット/16ビット
転送モード	ノーマルモード	DTCCTjレジスタが1から0になる転送で終了する
	リピートモード	DTCCTjレジスタが1から0になる転送終了後、リピートエリアのアドレスを初期化し、DTRLdjレジスタの値がDTCCTjレジスタへリロードして転送を継続する
アドレス制御	ノーマルモード	固定、または加算
	リピートモード	リピートエリアでないアドレスを固定、または加算
起動要因優先度		表 19 - 5 DTC起動要因とベクタアドレス参照

(注、備考は次ページにあります。)

表 19 - 1 DTCの仕様(2/2)

項目		仕様
割り込み要求	ノーマルモード	DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
	リピートモード	DTCCRjレジスタのRPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送時に、CPUへ起動要因となった割り込み要求が発生し、データ転送終了後に割り込み処理を行う
転送開始		DTCENiレジスタのDTCENi0～DTCENi7ビットを1(起動許可)にすると、DTC起動要因が発生するたびにデータ転送を開始する
転送停止	ノーマルモード	• DTCENi0～DTCENi7ビットを0(起動禁止)にする • DTCCTjレジスタが1から0になるデータ転送が終了したとき
	リピートモード	• DTCENi0～DTCENi7ビットを0(起動禁止)にする • RPTINTビットが1(割り込み発生許可)のとき、DTCCTjレジスタが1から0になるデータ転送が終了したとき

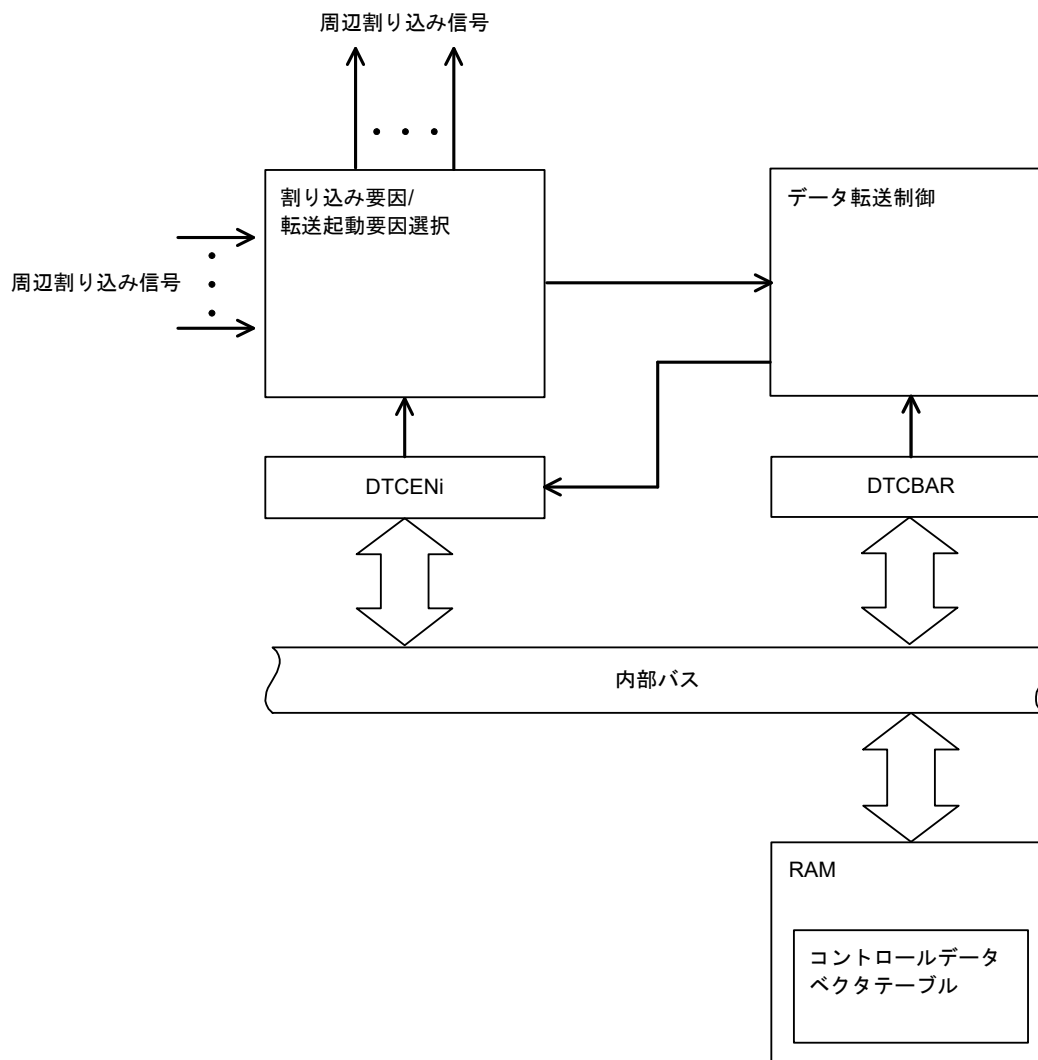
注 HALTモード、SNOOZEモードでは、フラッシュ・メモリが停止しているため、DTC転送のソースにできません。

備考 i = 0～4, j = 0～23

19.2 DTCの構成

図19 - 1にDTCのブロック図を示します。

図19 - 1 DTCのブロック図



19.3 DTCを制御するレジスタ

表 19 - 2にDTCを制御するレジスタを示します。

表 19 - 2 DTCを制御するレジスタ

レジスタ名	シンボル
周辺イネーブル・レジスタ1	PER1
DTC起動許可レジスタ0	DTCEN0
DTC起動許可レジスタ1	DTCEN1
DTC起動許可レジスタ2	DTCEN2
DTC起動許可レジスタ3	DTCEN3
DTC起動許可レジスタ4	DTCEN4
DTCベースアドレスレジスタ	DTCBAR

表 19 - 3にDTCのコントロールデータを示します。

DTCのコントロールデータはRAMのDTCコントロールデータ領域に配置されます。

DTCBARレジスタでDTCコントロールデータ領域と、コントロールデータの先頭番地を格納するDTCベクタテーブル領域を含めた256バイトの領域を設定します。

表 19 - 3 DTCのコントロールデータ

レジスタ名	シンボル
DTC制御レジスタj	DTCCRj
DTCブロックサイズレジスタj	DTBLSj
DTC転送回数レジスタj	DTCCTj
DTC転送回数リロードレジスタj	DTRLdj
DTCソースアドレスレジスタj	DTSARj
DTCデスティネーションアドレスレジスタj	DTDARj

備考 j = 0 ~ 23

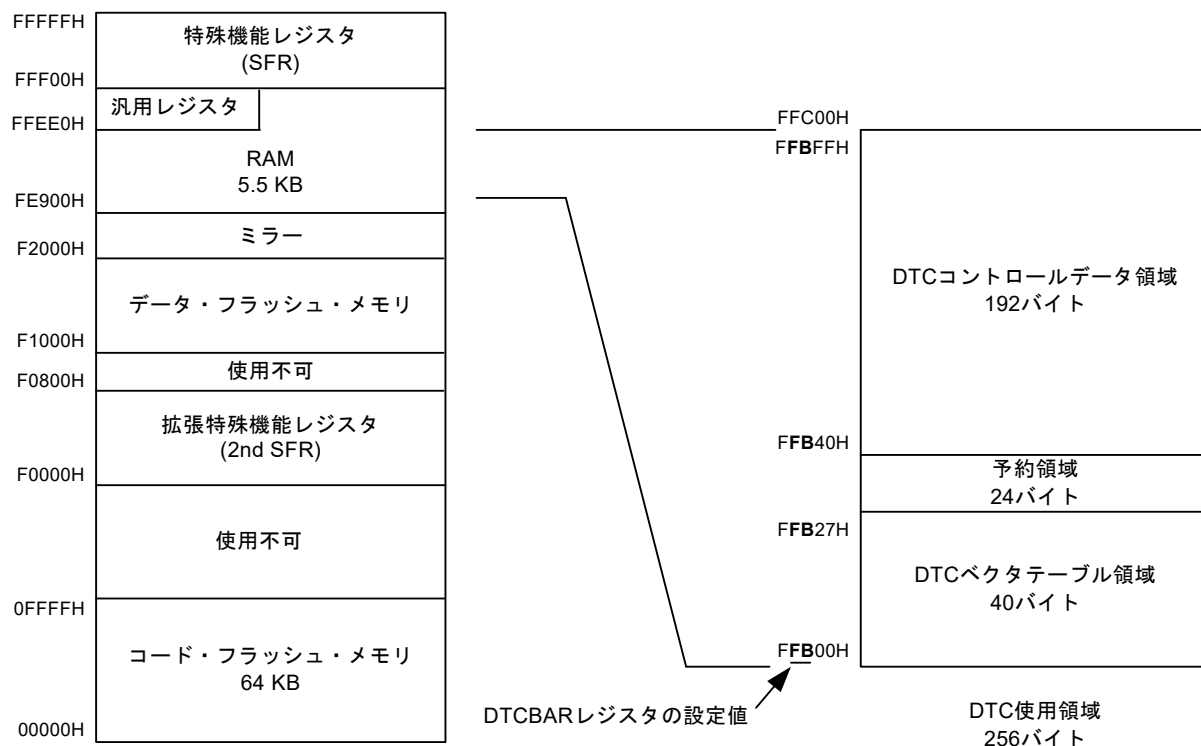
19.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCBARレジスタで、DTCのコントロールデータとベクタテーブルを配置する256バイトの領域をRAM領域内に設定します。

図19-2にDTCBARレジスタにFBHを設定したときのメモリマップ例を示します。

DTCコントロールデータ領域192バイトのうち、DTCで使用しない空間はRAMとして使用できます。

図19-2 DTCBARレジスタにFBHを設定したときのメモリマップ例



DTCのコントロールデータとベクタテーブルを配置できる領域は製品によって異なります。

注意1. 汎用レジスタ (FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。

注意2. スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。

注意3. 次に示す製品の内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F104xD (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xE (x = A-C, E-G, J, L) : FE900H-FED09H

R5F104xJ (x = A-C, E-G, J, L) : F9F00H-FA309H

R5F104xL (x = G, L, M, P) : F3F00H-F4309H

注意4. 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。

R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH

R5F104xL (x = G, L, M, P) : F4300H-F46FFH

19.3.2 コントロールデータの配置

コントロールデータは先頭アドレスから、DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj (j = 0 ~ 23) レジスタの順に配置します。

先頭アドレス0 ~ 23の上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因ごとに割り当てられているベクタテーブルでそれぞれ設定します。

図19-3にコントロールデータの配置を示します。

注意1. DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjレジスタのデータは対応するDTCENi (i = 0 ~ 4)のDTCENi0 ~ DTCENi7ビットが0(起動禁止)のときに変更してください。

注意2. DTC転送でDTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARjをアクセスしないでください。

図19-3 コントロールデータの配置

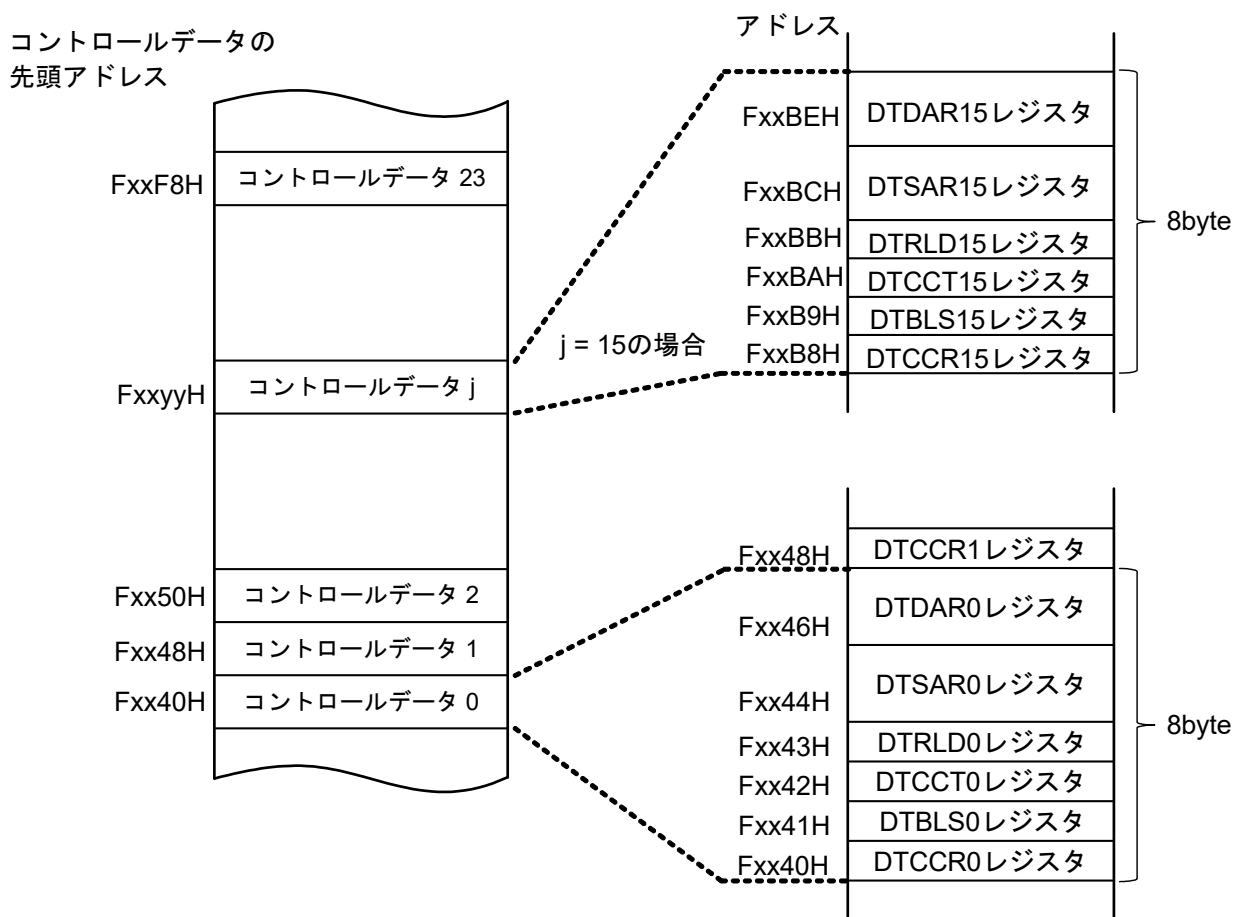


表 19 - 4 コントロールデータの先頭アドレス

j	アドレス	j	アドレス
11	Fxx98H	23	FxxF8H
10	Fxx90H	22	FxxF0H
9	Fxx88H	21	FxxE8H
8	Fxx80H	20	FxxE0H
7	Fxx78H	19	FxxD8H
6	Fxx70H	18	FxxD0H
5	Fxx68H	17	FxxC8H
4	Fxx60H	16	FxxC0H
3	Fxx58H	15	FxxB8H
2	Fxx50H	14	FxxB0H
1	Fxx48H	13	FxxA8H
0	Fxx40H	12	FxxA0H

備考 xx : DTCBARレジスタの設定値

19.3.3 ベクタテーブル

DTC が起動すると、起動要因ごとに割り当てられているベクタテーブルから読み出したデータによりコントロールデータを決定し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。

表 19 - 5にDTC起動要因とベクタアドレスを示します。起動要因ごとにベクタテーブルが1バイトあり、40HからF8Hのデータを格納し、24組のコントロールデータから1つを選択します。ベクタアドレスの上位8ビットはDTCBARレジスタで設定し、下位8ビットは起動要因に対応して00Hから27Hまでが割り当てられます。

注意 ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0 ~ 4) レジスタのDTCENi0 ~ DTCENi7 ビットが0 (起動禁止) のときに変更してください。

図 19 - 4 コントロールデータの先頭アドレスとベクタテーブル

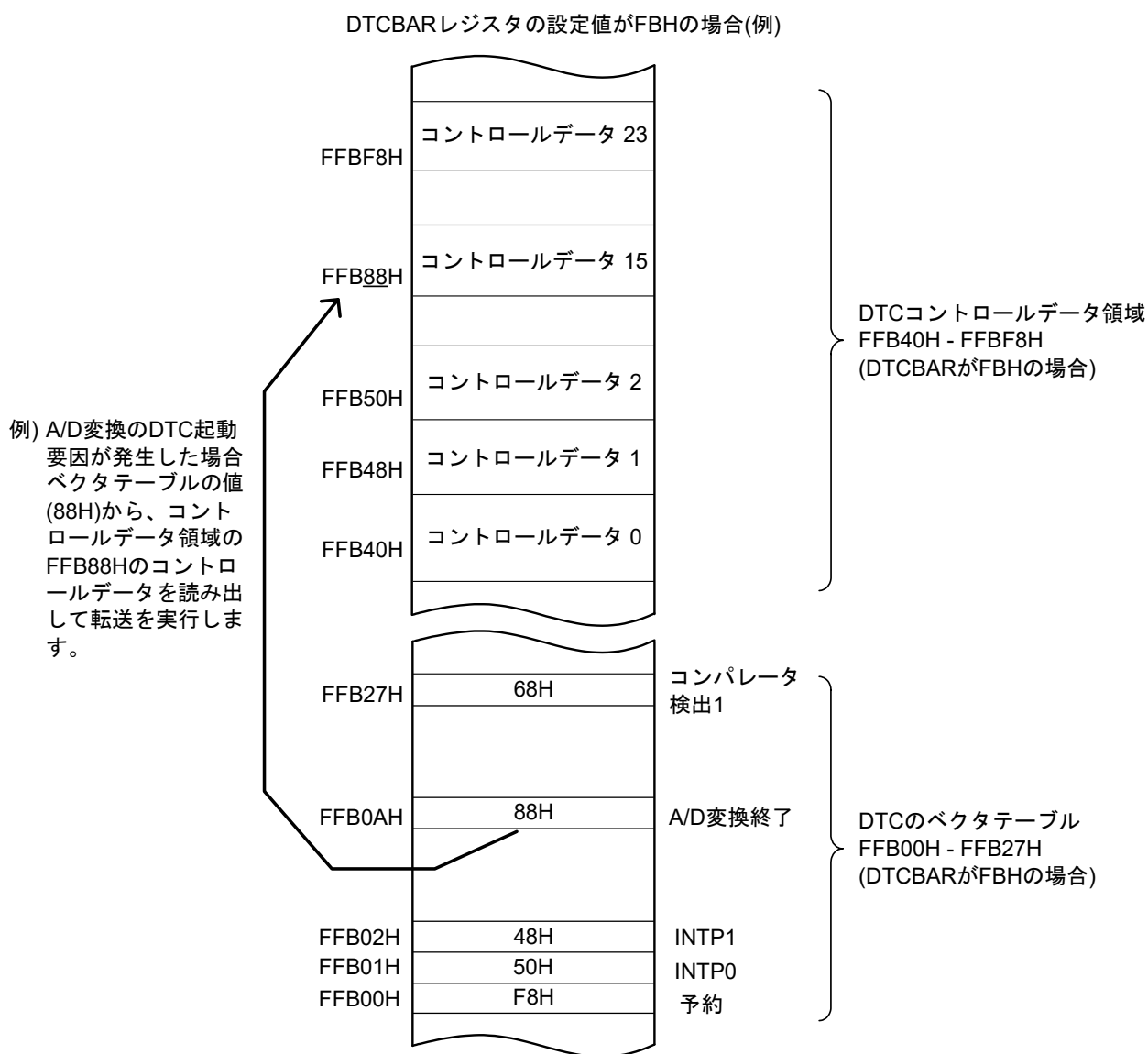


表 19 - 5 DTC 起動要因とベクタアドレス

DTC起動要因(割り込み要因発生元)	要因 番号	ベクタアドレス	優先順位
予約	0	DTCBARレジスタの設定アドレス + 00H	高 ↑ ↓ 低
INTP0	1	DTCBARレジスタの設定アドレス + 01H	
INTP1	2	DTCBARレジスタの設定アドレス + 02H	
INTP2	3	DTCBARレジスタの設定アドレス + 03H	
INTP3	4	DTCBARレジスタの設定アドレス + 04H	
INTP4	5	DTCBARレジスタの設定アドレス + 05H	
INTP5	6	DTCBARレジスタの設定アドレス + 06H	
INTP6	7	DTCBARレジスタの設定アドレス + 07H	
INTP7	8	DTCBARレジスタの設定アドレス + 08H	
キー入力	9	DTCBARレジスタの設定アドレス + 09H	
A/D変換終了	10	DTCBARレジスタの設定アドレス + 0AH	
UART0受信の転送完了/CSI01の転送完了またはバッファ空き/IIC01の転送完了	11	DTCBARレジスタの設定アドレス + 0BH	
UART0送信の転送完了/CSI00の転送完了またはバッファ空き/IIC00の転送完了	12	DTCBARレジスタの設定アドレス + 0CH	
UART1受信の転送完了/CSI11の転送完了またはバッファ空き/IIC11の転送完了	13	DTCBARレジスタの設定アドレス + 0DH	
UART1送信の転送完了/CSI10の転送完了またはバッファ空き/IIC10の転送完了	14	DTCBARレジスタの設定アドレス + 0EH	
UART2受信の転送完了/CSI21の転送完了またはバッファ空き/IIC21の転送完了	15	DTCBARレジスタの設定アドレス + 0FH	
UART2送信の転送完了/CSI20の転送完了またはバッファ空き/IIC20の転送完了	16	DTCBARレジスタの設定アドレス + 10H	
UART3受信の転送完了/CSI31の転送完了またはバッファ空き/IIC31の転送完了 ^{注1}	17	DTCBARレジスタの設定アドレス + 11H	
UART3送信の転送完了/CSI30の転送完了またはバッファ空き/IIC30の転送完了 ^{注1}	18	DTCBARレジスタの設定アドレス + 12H	
タイマ・アレイ・ユニット0のチャンネル0のカウント完了またはキャプチャ完了	19	DTCBARレジスタの設定アドレス + 13H	
タイマ・アレイ・ユニット0のチャンネル1のカウント完了またはキャプチャ完了	20	DTCBARレジスタの設定アドレス + 14H	
タイマ・アレイ・ユニット0のチャンネル2のカウント完了またはキャプチャ完了	21	DTCBARレジスタの設定アドレス + 15H	
タイマ・アレイ・ユニット0のチャンネル3のカウント完了またはキャプチャ完了	22	DTCBARレジスタの設定アドレス + 16H	
タイマ・アレイ・ユニット1のチャンネル0のカウント完了またはキャプチャ完了 ^{注1}	23	DTCBARレジスタの設定アドレス + 17H	
タイマ・アレイ・ユニット1のチャンネル1のカウント完了またはキャプチャ完了 ^{注1}	24	DTCBARレジスタの設定アドレス + 18H	
タイマ・アレイ・ユニット1のチャンネル2のカウント完了またはキャプチャ完了 ^{注1}	25	DTCBARレジスタの設定アドレス + 19H	
タイマ・アレイ・ユニット1のチャンネル3のカウント完了またはキャプチャ完了 ^{注1}	26	DTCBARレジスタの設定アドレス + 1AH	
タイマRDコンペア一致A0	27	DTCBARレジスタの設定アドレス + 1BH	
タイマRDコンペア一致B0	28	DTCBARレジスタの設定アドレス + 1CH	
タイマRDコンペア一致C0	29	DTCBARレジスタの設定アドレス + 1DH	
タイマRDコンペア一致D0	30	DTCBARレジスタの設定アドレス + 1EH	
タイマRDコンペア一致A1	31	DTCBARレジスタの設定アドレス + 1FH	
タイマRDコンペア一致B1	32	DTCBARレジスタの設定アドレス + 20H	
タイマRDコンペア一致C1	33	DTCBARレジスタの設定アドレス + 21H	
タイマRDコンペア一致D1	34	DTCBARレジスタの設定アドレス + 22H	
タイマRGコンペア一致A	35	DTCBARレジスタの設定アドレス + 23H	
タイマRGコンペア一致B	36	DTCBARレジスタの設定アドレス + 24H	
タイマRJ0アンダフロー	37	DTCBARレジスタの設定アドレス + 25H	
コンパレータ検出0 ^{注2}	38	DTCBARレジスタの設定アドレス + 26H	
コンパレータ検出1 ^{注2}	39	DTCBARレジスタの設定アドレス + 27H	

注1. 80, 100ピン製品のみ。

注2. コード・フラッシュ・メモリ・サイズが96 KB以上の製品のみ。

19.3.4 周辺イネーブル・レジスタ 1 (PER1)

PER1 レジスタは、各周辺ハードウェアへのクロック供給許可／禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

DTCを使用する場合は、必ずビット3 (DTCEN)を1に設定してください。

PER1レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 19 - 5 周辺イネーブル・レジスタ 1 (PER1)のフォーマット

アドレス : F007AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	DACEN注	TRGEN	CMPEN注	TRD0EN	DTCEN	0	0	TRJ0EN

DTCEN	DTCの入カクロック供給の制御
0	入カクロック供給停止 ・ DTCは動作不可
1	入カクロック供給 ・ DTCは動作可

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

注意 次のビットには必ず“0”を設定してください。

 コード・フラッシュ・メモリが64 KB以下の製品 : ビット1, 2, 5, 7

 コード・フラッシュ・メモリが96 KB以上の製品 : ビット1, 2

19.3.5 DTC制御レジスタj (DTCCRj) (j = 0 ~ 23)

DTCCRj レジスタは、DTCの動作モードを制御します。

図19-6 DTC制御レジスタj (DTCCRj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照

リセット時 : 不定

R/W

略号	7	6	5	4	3	2	1	0
DTCCRj	0	SZ	RPTINT	CHNE	DAMOD	SAMOD	RPTSEL	MODE
SZ	転送データサイズの選択							
0	8ビット							
1	16ビット							
RPTINT	リピートモード割り込みの許可・禁止							
0	割り込み発生禁止							
1	割り込み発生許可							
MODEビットが0 (ノーマルモード) のとき RPTINT ビットの設定は無効です。								
CHNE	チェーン転送の許可・禁止							
0	チェーン転送禁止							
1	チェーン転送許可							
DTCCR23レジスタのCHNEビットは0 (チェーン転送禁止) にしてください。								
DAMOD	転送先アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピートモード) で RPTSEL ビットが0 (転送先がリピートエリア) のとき DAMOD ビットの設定は無効です。								
SAMOD	転送元アドレスの制御							
0	固定							
1	加算							
MODEビットが1 (リピートモード) で RPTSEL ビットが1 (転送元がリピートエリア) のとき SAMOD ビットの設定は無効です。								
RPTSEL	リピートエリアの選択							
0	転送先がリピートエリア							
1	転送元がリピートエリア							
MODEビットが0 (ノーマルモード) のとき RPTSEL ビットの設定は無効です。								
MODE	転送モードの選択							
0	ノーマルモード							
1	リピートモード							

注意 DTC転送でDTCCRjレジスタをアクセスしないでください。

19.3.6 DTCブロックサイズレジスタj (DTBLSj) (j = 0 ~ 23)

1回の起動で転送されるデータのブロックサイズを設定します。

図19-7 DTCブロックサイズレジスタj (DTBLSj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照

リセット時 : 不定

R/W

略号 7 6 5 4 3 2 1 0

DTBLSj	DTBLSj7	DTBLSj6	DTBLSj5	DTBLSj4	DTBLSj3	DTBLSj2	DTBLSj1	DTBLSj0
--------	---------	---------	---------	---------	---------	---------	---------	---------

DTBLSj	転送ブロックサイズ	
	8ビット転送	16ビット転送
00H	256バイト	512バイト
01H	1バイト	2バイト
02H	2バイト	4バイト
03H	3バイト	6バイト
.	.	.
.	.	.
.	.	.
FDH	253バイト	506バイト
FEH	254バイト	508バイト
FFH	255バイト	510バイト

注意 DTC転送でDTBLSjレジスタをアクセスしないでください。

19.3.7 DTC転送回数レジスタj (DTCCTj) (j = 0 ~ 23)

DTCのデータ転送回数を設定します。DTC転送が1回起動するたびに1減算されます。

図19-8 DTC転送回数レジスタj (DTCCTj)のフォーマット

アドレス : 19.3.2 コントロールデータの配置参照

リセット時 : 不定

R/W

略号 7 6 5 4 3 2 1 0

DTCCTj	DTCCTj7	DTCCTj6	DTCCTj5	DTCCTj4	DTCCTj3	DTCCTj2	DTCCTj1	DTCCTj0
--------	---------	---------	---------	---------	---------	---------	---------	---------

DTCCTj	転送回数
00H	256回
01H	1回
02H	2回
03H	3回
.	.
.	.
.	.
FDH	253回
FEH	254回
FFH	255回

注意 DTC転送でDTCCTjレジスタをアクセスしないでください。

19.3.8 DTC転送回数リロードレジスタj (DTRLDj) (j = 0 ~ 23)

リピートモードで転送回数レジスタの初期値を設定します。リピートモード時は、本レジスタの値がDTCCTレジスタにリロードされますので、DTCCTレジスタの初期値と同じ値を設定してください。

図19 - 9 DTC転送回数リロードレジスタj (DTRLDj)のフォーマット

アドレス：19.3.2 コントロールデータの配置参照				リセット時：不定		R/W		
略号	7	6	5	4	3	2	1	0
DTRLDj	DTRLDj7	DTRLDj6	DTRLDj5	DTRLDj4	DTRLDj3	DTRLDj2	DTRLDj1	DTRLDj0

注意 DTC転送でDTRLDjレジスタをアクセスしないでください。

19.3.9 DTCソースアドレスレジスタj (DTSARj) (j = 0 ~ 23)

データ転送時の転送元アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図19 - 10 DTCソースアドレスレジスタj (DTSARj)のフォーマット

アドレス：19.3.2 コントロールデータの配置参照							リセット時：不定				R/W					
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTSARj	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS	DTS
	ARj15	ARj14	ARj13	ARj12	ARj11	ARj10	ARj9	ARj8	ARj7	ARj6	ARj5	ARj4	ARj3	ARj2	ARj1	ARj0

注意1. 転送元アドレスに汎用レジスタ(FFEE0H~FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTSARjレジスタをアクセスしないでください。

19.3.10 DTCデスティネーションアドレスレジスタj (DTDARj) (j = 0 ~ 23)

データ転送時の転送先アドレスを指定します。

DTCCRjレジスタのSZビットが1(16ビット転送)のとき、最下位ビットは無視され、偶数番地として扱われます。

図19 - 11 DTCデスティネーションアドレスレジスタj (DTDARj)のフォーマット

アドレス：19.3.2 コントロールデータの配置参照								リセット時：不定			R/W						
略号		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DTDARj	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD	DTD
	ARj15	ARj14	ARj13	ARj12	ARj11	ARj10	ARj9	ARj8	ARj7	ARj6	ARj5	ARj4	ARj3	ARj2	ARj1	ARj0	ARj0

注意1. 転送先アドレスに汎用レジスタ(FFEE0H~FFEFFH)空間を設定しないでください。

注意2. DTC転送でDTDARjレジスタをアクセスしないでください。

19.3.11 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0～4)

各割り込み要因によるDTC起動の許可または禁止を制御する8ビットレジスタです。表 19 - 6に割り込み要因とDTCEN*i*0～DTCEN*i*7ビットの対応を示します。

DTCEN*i*レジスタは8ビット・メモリ操作命令, および1ビット・メモリ操作命令で設定できます。

注意1. DTCEN*i*0～DTCEN*i*7ビットは, そのビットに対応する起動要因が発生しない箇所を変更してください。

注意2. DTC転送でDTCEN*i*レジスタをアクセスしないでください。

注意3. 製品によって割り当てられている機能が異なります。機能が割り当てられていないビットには必ず“0”を設定してください。

図 19 - 12 DTC起動許可レジスタ*i* (DTCEN*i*) (*i* = 0～4)のフォーマット

アドレス : F02E8H (DTCEN0), F02E9H (DTCEN1), F02EAH (DTCEN2), リセット時 : 00H R/W
F02EBH (DTCEN3), F02ECH (DTCEN4)

略号	7	6	5	4	3	2	1	0
DTCEN <i>i</i>	DTCEN <i>i</i> 7	DTCEN <i>i</i> 6	DTCEN <i>i</i> 5	DTCEN <i>i</i> 4	DTCEN <i>i</i> 3	DTCEN <i>i</i> 2	DTCEN <i>i</i> 1	DTCEN <i>i</i> 0

DTCEN <i>i</i> 7	DTC起動許可 <i>i</i> 7
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 7ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 6	DTC起動許可 <i>i</i> 6
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 6ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 5	DTC起動許可 <i>i</i> 5
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 5ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 4	DTC起動許可 <i>i</i> 4
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 4ビットは0 (起動禁止)になります。	

DTCEN <i>i</i> 3	DTC起動許可 <i>i</i> 3
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCEN <i>i</i> 3ビットは0 (起動禁止)になります。	

DTCENi2	DTC起動許可i2
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi2ビットは0(起動禁止)になります。	

DTCENi1	DTC起動許可i1
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi1ビットは0(起動禁止)になります。	

DTCENi0	DTC起動許可i0
0	起動禁止
1	起動許可
転送完了割り込みが発生する条件でDTCENi0ビットは0(起動禁止)になります。	

表 19 - 6 割り込み要因とDTCENi0～DTCENi7ビットの対応

レジスタ	DTCENi7 ビット	DTCENi6 ビット	DTCENi5 ビット	DTCENi4 ビット	DTCENi3 ビット	DTCENi2 ビット	DTCENi1 ビット	DTCENi0 ビット
DTCEN0	予約	INTP0	INTP1	INTP2	INTP3	INTP4	INTP5	INTP6
DTCEN1	INTP7	キー入力	A/D変換終了	UART0受信の 転送完了/ CSI01の転送 完了または バッファ空き/ IIC01の転送 完了	UART0送信の 転送完了/ CSI00の転送 完了または バッファ空き/ IIC00の転送 完了	UART1受信の 転送完了/ CSI11の転送 完了または バッファ空き/ IIC11の転送 完了	UART1送信の 転送完了/ CSI10の転送 完了または バッファ空き/ IIC10の転送 完了	UART2受信の 転送完了/ CSI21の転送 完了または バッファ空き/ IIC21の転送 完了
DTCEN2	UART2送信の 転送完了/ CSI20の転送 完了または バッファ空き/ IIC20の転送 完了	UART3受信の 転送完了/ CSI31の転送 完了または バッファ空き/ IIC31の転送 完了 ^{注1}	UART3送信の 転送完了/ CSI30の転送 完了または バッファ空き/ IIC30の転送 完了 ^{注1}	タイマ・アレ イ・ユニット0 のチャネル0の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャネル1の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャネル2の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット0 のチャネル3の カウント完了 またはキャプ チャ完了	タイマ・アレ イ・ユニット1 のチャネル0の カウント完了 またはキャプ チャ完了 ^{注1}
DTCEN3	タイマ・アレ イ・ユニット1 のチャネル1の カウント完了 またはキャプ チャ完了 ^{注1}	タイマ・アレ イ・ユニット1 のチャネル2の カウント完了 またはキャプ チャ完了 ^{注1}	タイマ・アレ イ・ユニット1 のチャネル3の カウント完了 またはキャプ チャ完了 ^{注1}	タイマRD コンペアー致 A0	タイマRD コンペアー致 B0	タイマRD コンペアー致 C0	タイマRD コンペアー致 D0	タイマRD コンペアー致 A1
DTCEN4	タイマRD コンペアー致 B1	タイマRD コンペアー致 C1	タイマRD コンペアー致 D1	タイマRG コンペアー致 A	タイマRG コンペアー致 B	タイマRJ0 アンダフロー	コンパレータ 検出0 ^{注2}	コンパレータ 検出1 ^{注2}

注1. 80, 100ピン製品のみ。

注2. フラッシュ・メモリ96KB以上の製品のみ。

注意 機能が割り当てられていないビットには必ず“0”を設定してください。

備考 i = 0～4

19.3.12 DTCベースアドレスレジスタ(DTCBAR)

DTCコントロールデータ領域の先頭番地を格納するベクタアドレスと、DTCコントロールデータ領域のアドレスを設定する8ビットレジスタです。DTCBARレジスタの値を上位8ビットとして16ビットのアドレスを生成します。

注意1. DTCBARレジスタは、全てのDTC起動要因を起動禁止に設定した状態で変更してください。

注意2. DTCBARレジスタを2回以上書き換えしないでください。

注意3. DTC転送でDTCBARレジスタをアクセスしないでください。

注意4. DTCコントロールデータ領域とDTCベクタテーブル領域の配置については、19.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意を参照してください。

図19-13 DTCベースアドレスレジスタ(DTCBAR)のフォーマット

アドレス : F02E0H リセット時 : FDH R/W

略号	7	6	5	4	3	2	1	0
DTCBAR	DTCBAR7	DTCBAR6	DTCBAR5	DTCBAR4	DTCBAR3	DTCBAR2	DTCBAR1	DTCBAR0

19.4 DTCの動作

DTCが起動すると、DTCコントロールデータ領域からコントロールデータを読み出し、このコントロールデータに従ってデータ転送を行い、データ転送後のコントロールデータをDTCコントロールデータ領域へ書き戻します。24組のコントロールデータをDTCコントロール領域へ格納でき、24通りのデータ転送ができます。

転送モードにはノーマルモードとリピートモードがあり、転送サイズは8ビット転送と16ビット転送があります。また、DTCCTj(j = 0~23)レジスタのCHNEビットが1(チェイン転送許可)のとき、1つの起動要因に対して複数のコントロールデータを読み出し、連続してデータを転送します(チェイン転送)。

転送元アドレスは16ビット長のDTSARjレジスタ、転送先は16ビット長のDTDARjレジスタで指定します。DTSARjレジスタとDTDARjレジスタは、データ転送後、コントロールデータに従って加算されるか固定されます。

19.4.1 起動要因

DTCは、周辺機能からの割り込み信号により起動します。DTCを起動する割り込み信号は、DTCENi (i = 0 ~ 4) レジスタで選択します。

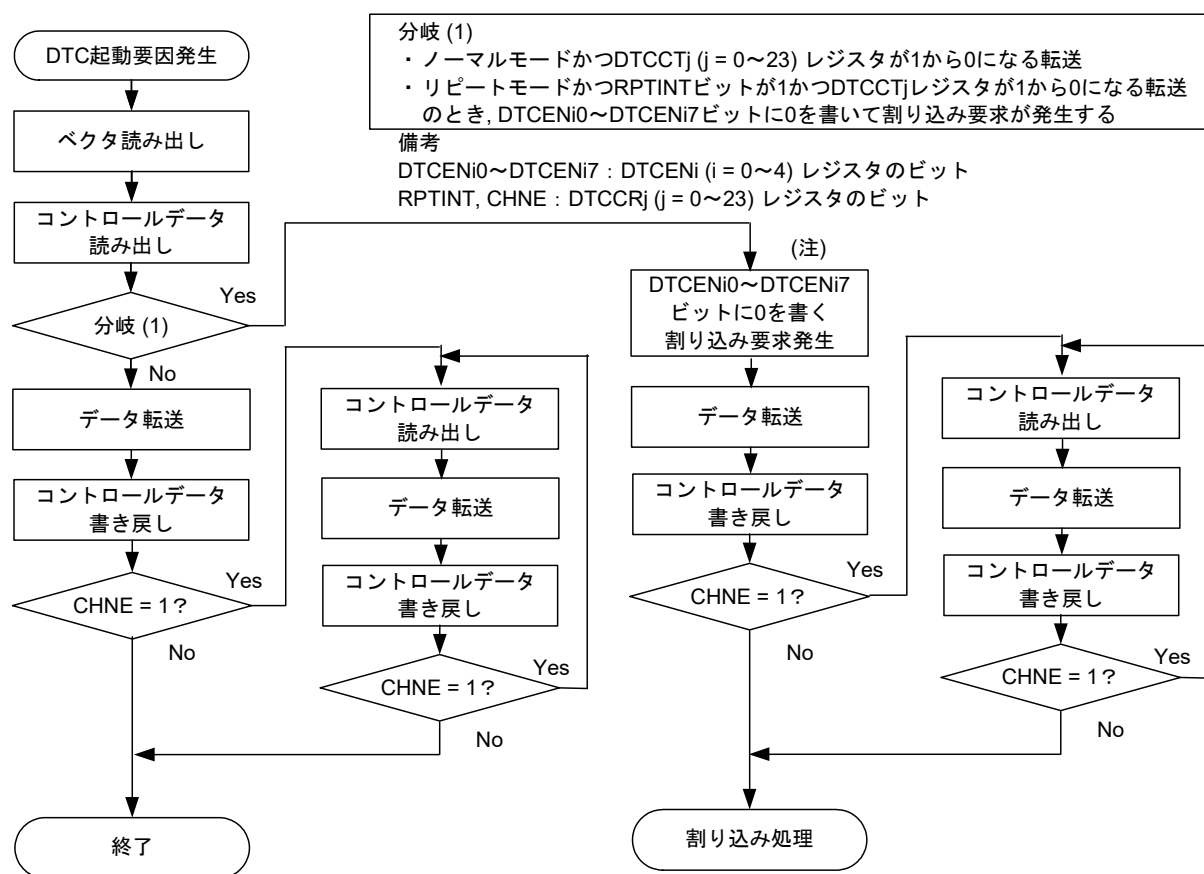
データ転送(チェーン転送の場合、連続して行う最初の転送)の設定が、

- ・ノーマルモードでDTCCTj (j = 0 ~ 23) レジスタが0になる転送
- ・リピートモードでDTCCRj レジスタのRPTINTビットが1 (割り込み発生許可) かつDTCCTj レジスタが0になる転送

のとき、DTCは動作中にDTCENi レジスタの対応するDTCENi0 ~ DTCENi7 ビットを0 (起動禁止) にします。

図19 - 14にDTC内部動作フローチャートを示します。

図19 - 14 DTC内部動作フローチャート



注 チェイン転送の許可 (CHNEビットが1) の設定により起動されたデータ転送では、DTCENi0 ~ DTCENi7 ビットに0を書きません。また、割り込み要求は発生しません。

19.4.2 ノーマルモード

1回の起動で、8ビット転送の場合1～256バイト、16ビット転送の場合2～512バイトをデータ転送します。転送回数は1～256回です。DTCCTj (j = 0～23) レジスタが0になるデータ転送を行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～4) レジスタの対応するDTCENi0～DTCENi7ビットを0(起動禁止)にします。

表19-7にノーマルモードでのレジスタ機能を示します。図19-15にノーマルモードでのデータ転送を示します。

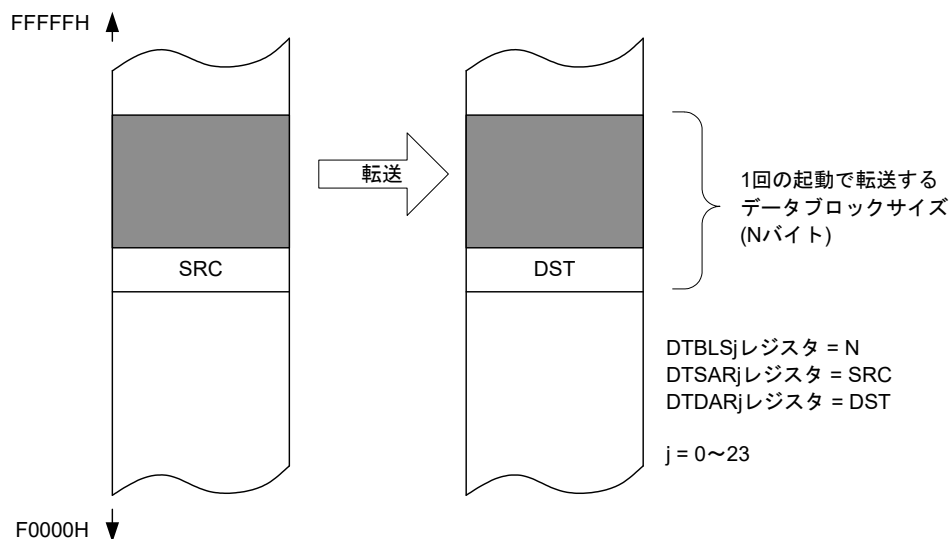
表19-7 ノーマルモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRLdj	使用しません注
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

注 RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、初期化(00H)してください。

備考 j = 0～23

図19-15 ノーマルモードでのデータ転送



DTCCRレジスタ設定				ソースアドレス 制御	デスティネーション アドレス制御	転送後の ソースアドレス	転送後の デスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	0	X	0	固定	固定	SRC	DST
0	1	X	0	加算	固定	SRC + N	DST
1	0	X	0	固定	加算	SRC	DST + N
1	1	X	0	加算	加算	SRC + N	DST + N

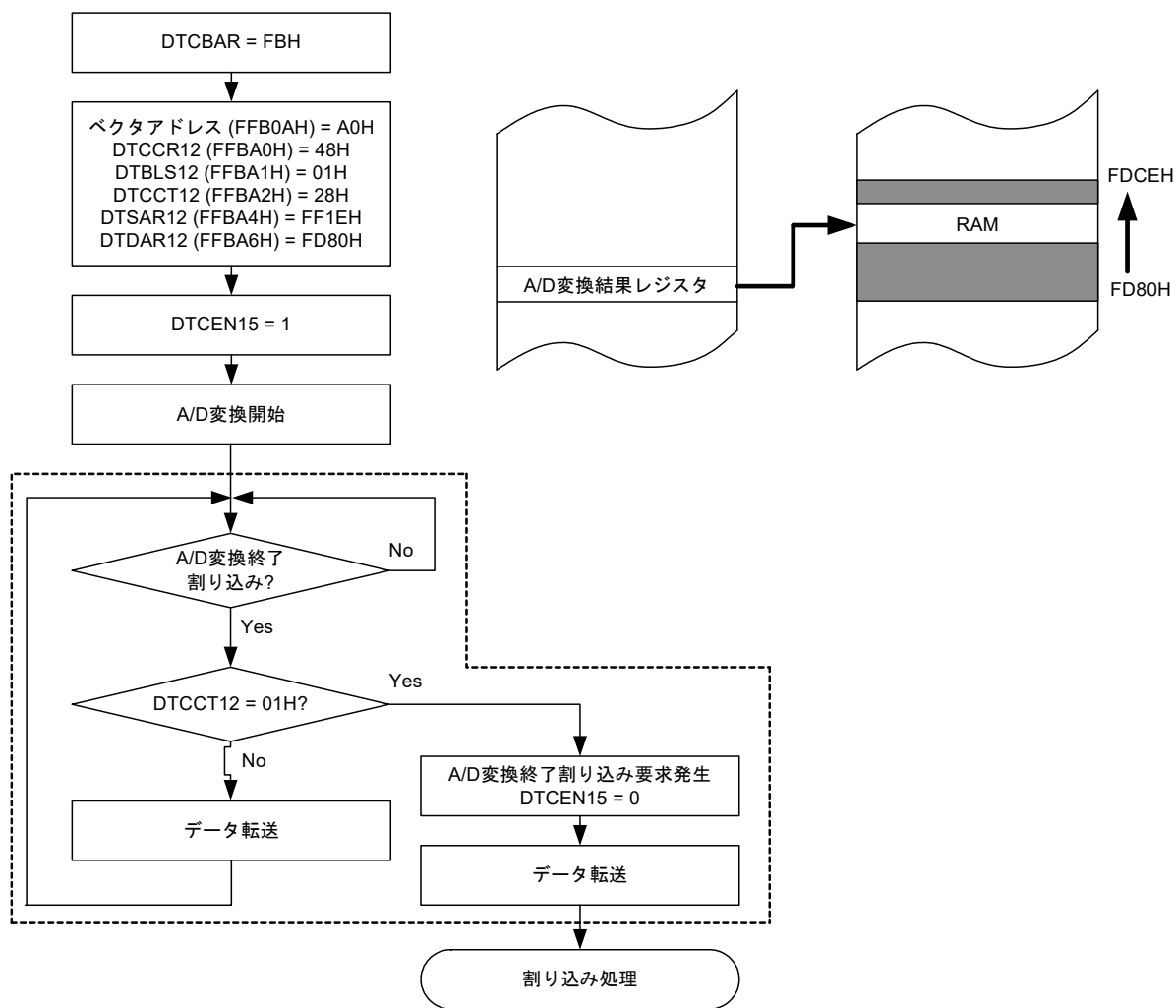
X : 0または1

(1) ノーマルモードの使用例1：A/D変換結果の連続取り込み

A/D変換終了割り込みでDTCを起動し、A/D変換結果レジスタの値をRAMに転送します。

- ベクタアドレスはFFB0AH, コントロールデータはFFBA0H～FFBA7Hに配置
- A/D変換結果レジスタ(FFF1EH, FFF1FH)の2バイトデータをRAMのFFD80H～FFDCFHの80バイトへ40回転送

図19-16 ノーマルモードの使用例1：A/D変換結果の連続取り込み



【---】内の処理はDTCが自動で実行します。

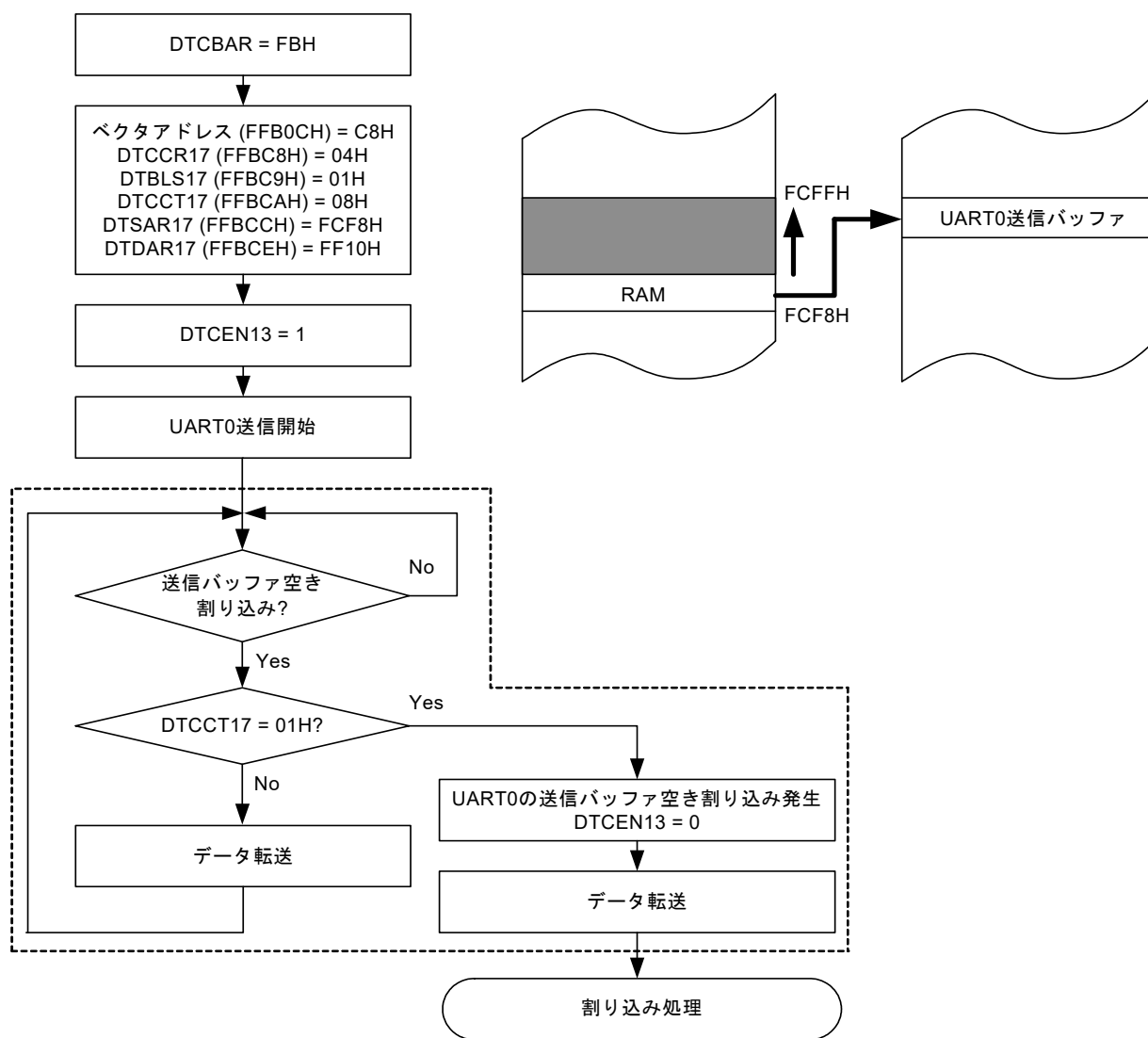
ノーマルモードのため、DTRL12レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL12レジスタを初期化(00H)してください。

(2) ノーマルモードの使用例2 : UART0連続送信

UART0の送信バッファ空き割り込みでDTCを起動し, RAMの値をUART0の送信バッファに転送します。

- ベクタアドレスはFFB0CH, コントロールデータはFFBC8H~FFBCFHに配置
- RAMのFFCF8H~FFCFHHの8バイトをUART0の送信バッファ (FFF10H)へ転送

図 19 - 17 ノーマルモードの使用例2 : UART0連続送信



[] 内の処理はDTCが自動で実行します。

ノーマルモードのため、DTRL17レジスタの値は使用しませんが、RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、DTRL17レジスタを初期化(00H)してください。

UART0の最初の送信は、ソフトウェアで開始してください。2回目以降の送信は送信バッファ空き割り込みでDTCが起動することにより、自動的に送信されます。

19.4.3 リピートモード

1回の起動で、1～255バイトを転送します。転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1～255回です。指定回数の転送が終了すると、DTCCTj (j = 0～23) レジスタおよびリピートエリアに指定したアドレスが初期化され、転送を繰り返します。DTCCRj レジスタのRPTINTビットが1 (割り込み発生許可) でDTCCTj レジスタが0になるデータ転送をDTCが行うとき、DTCは動作中に割り込みコントローラへ起動要因に対応した割り込み要求を発生し、DTCENi (i = 0～4) レジスタの対応するDTCENi0～DTCENi7ビットを0 (起動禁止) にします。DTCCRj レジスタのRPTINTビットが0 (割り込み発生禁止) の場合は、DTCCTj レジスタが0になるデータ転送を行っても、割り込み要求は発生しません。また、DTCENi0～DTCENi7ビットは0になりません。

表19-8にリピートモードでのレジスタ機能を示します。図19-18にリピートモードでのデータ転送を示します。

表19-8 リピートモードでのレジスタ機能

レジスタ名	シンボル	機能
DTCブロックサイズレジスタj	DTBLSj	1回の起動で転送するデータブロックサイズ
DTC転送回数レジスタj	DTCCTj	データ転送回数
DTC転送回数リロードレジスタj	DTRL Dj	このレジスタの値をDTCCTj レジスタへリロード (データ転送回数を初期化)
DTCソースアドレスレジスタj	DTSARj	データの転送元アドレス
DTCデスティネーションアドレスレジスタj	DTDARj	データの転送先アドレス

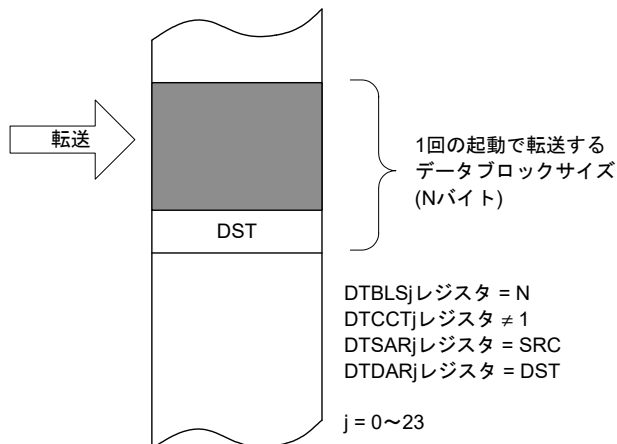
備考 j = 0～23

図 19 - 18 リピートモードでのデータ転送

DTCCTjレジスタ ≠ 1

FFFFFH ↑

F0000H ↓



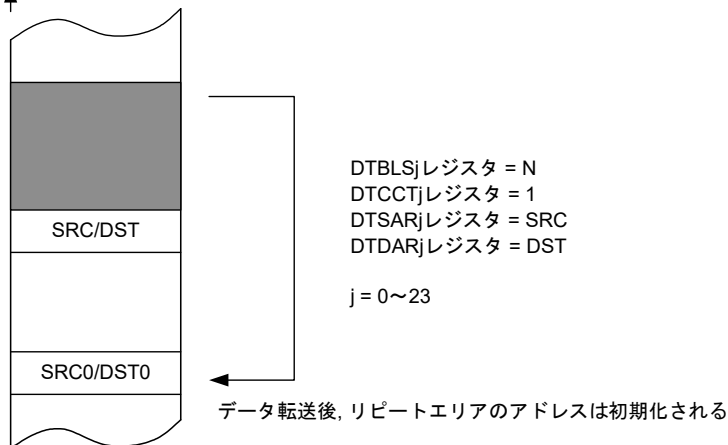
DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC + N	DST
1	X	1	1	リピートエリア	加算	SRC + N	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST + N
X	1	0	1	加算	リピートエリア	SRC + N	DST + N

X : 0または1

DTCCTjレジスタ = 1

FFFFFH ↑

F0000H ↓



DTCCRレジスタ設定				ソースアドレス制御	デスティネーションアドレス制御	転送後のソースアドレス	転送後のデスティネーションアドレス
DAMOD	SAMOD	RPTSEL	MODE				
0	X	1	1	リピートエリア	固定	SRC0	DST
1	X	1	1	リピートエリア	加算	SRC0	DST + N
X	0	0	1	固定	リピートエリア	SRC	DST0
X	1	0	1	加算	リピートエリア	SRC + N	DST0

SRC0 : ソースアドレス初期値

DST0 : デスティネーションアドレス初期値

X : 0または1

注意1. リピートモード使用時は、リピートエリアに指定したアドレスの初期値の下位8ビットを00Hにしてください。

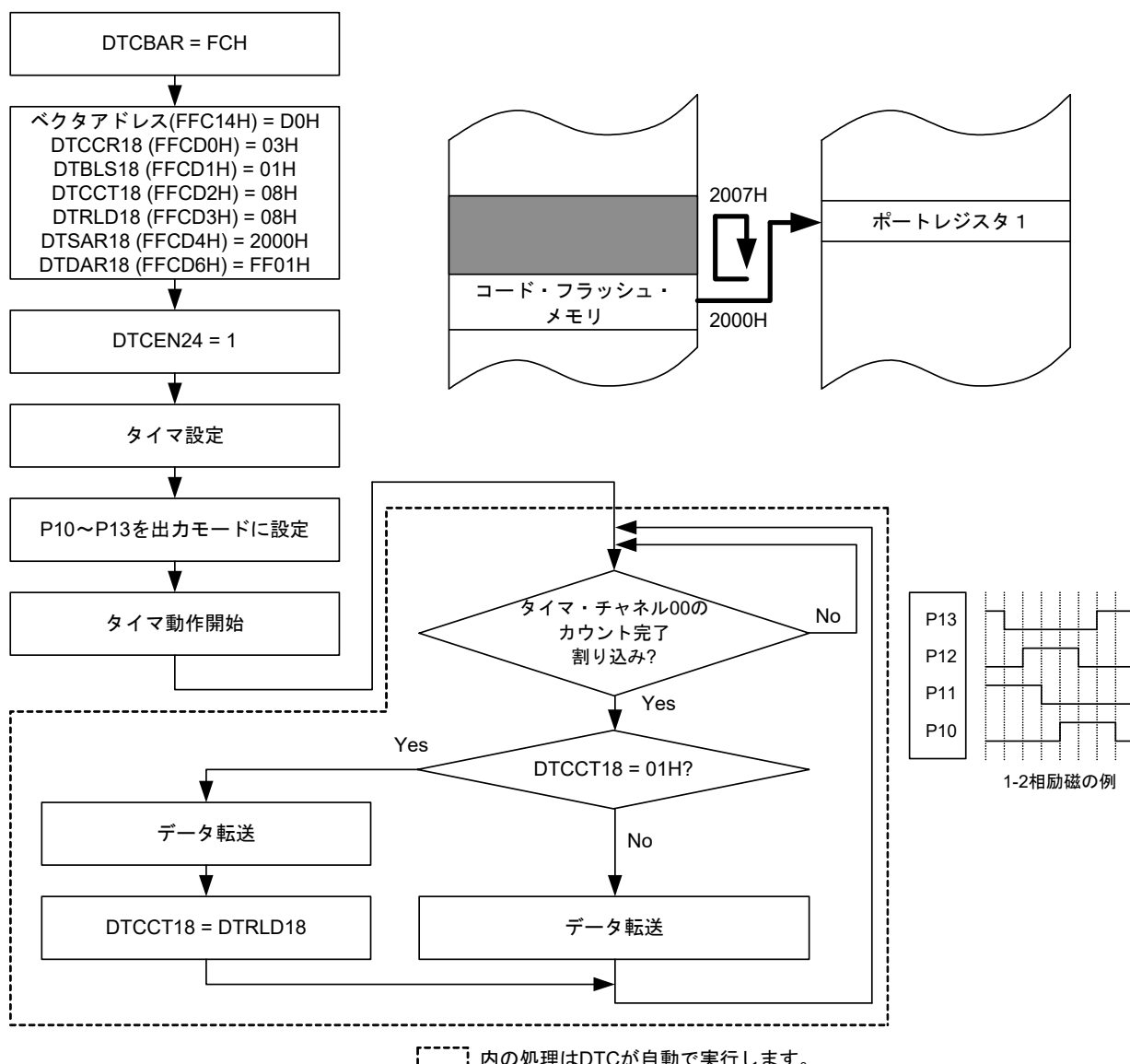
注意2. リピートモード使用時は、リピートエリアのデータサイズを255バイト以内にしてください。

(1) リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力

タイマ・アレイ・ユニット0のチャンネル0のインターバルタイマ機能を使ってDTCを起動し、コード・フラッシュ・メモリに格納されたモータ制御パルスのパターンを汎用ポートに転送します。

- ベクタアドレスはFFC14H, コントロールデータはFFCD0H～FFCD7Hに配置
- コード・フラッシュ・メモリの02000H～02007Hの8バイトデータをミラー領域F2000H～F2007Hからポートレジスタ1(FFF01H)へ転送
- リピートモード割り込みは禁止

図19-19 リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力



出力を停止する場合は、タイマを停止してから、DTCEN24をクリアしてください。

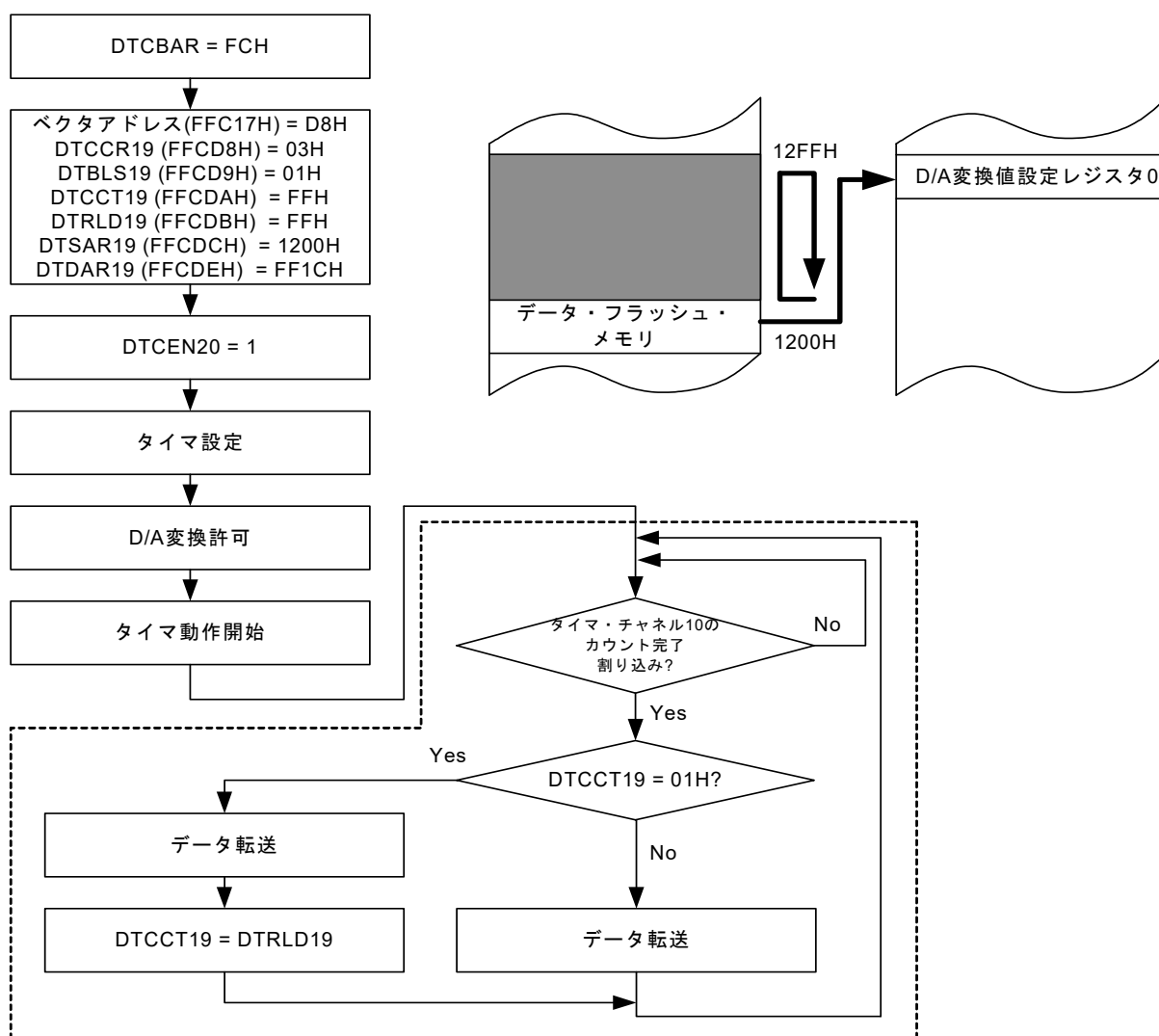
(2) リピートモードの使用例2：8ビットD/Aコンバータを使ったサイン波出力

タイマ・アレイ・ユニット1のチャンネル0のインターバルタイマ機能を使って割り込みでDTCを起動し、データ・フラッシュ・メモリに格納されたサイン波のテーブルを8ビットのD/A変換値設定レジスタ0(FFF34H)に転送します。

タイマのインターバル時間は、D/Aの出力セットアップ時間を設定します。

- ・ベクタアドレスはFFC17H, コントロールデータはFFCD8H～FFCDFHに配置
- ・データ・フラッシュ・メモリのF1200H～F12FEHの255バイトデータをD/A変換値設定レジスタ0(FFF34H)へ転送
- ・リピートモード割り込みは禁止

図 19-20 リピートモードの使用例2：8ビットD/Aコンバータを使ったサイン波出力



[] 内の処理はDTCが自動で実行します。

出力を停止する場合は、タイマを停止してから、DTCEN20をクリアしてください。

注意 D/Aコンバータはコード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

タイマ・アレイ・ユニット1は80ピン、100ピンの製品に搭載されます。

19.4.4 チェイン転送

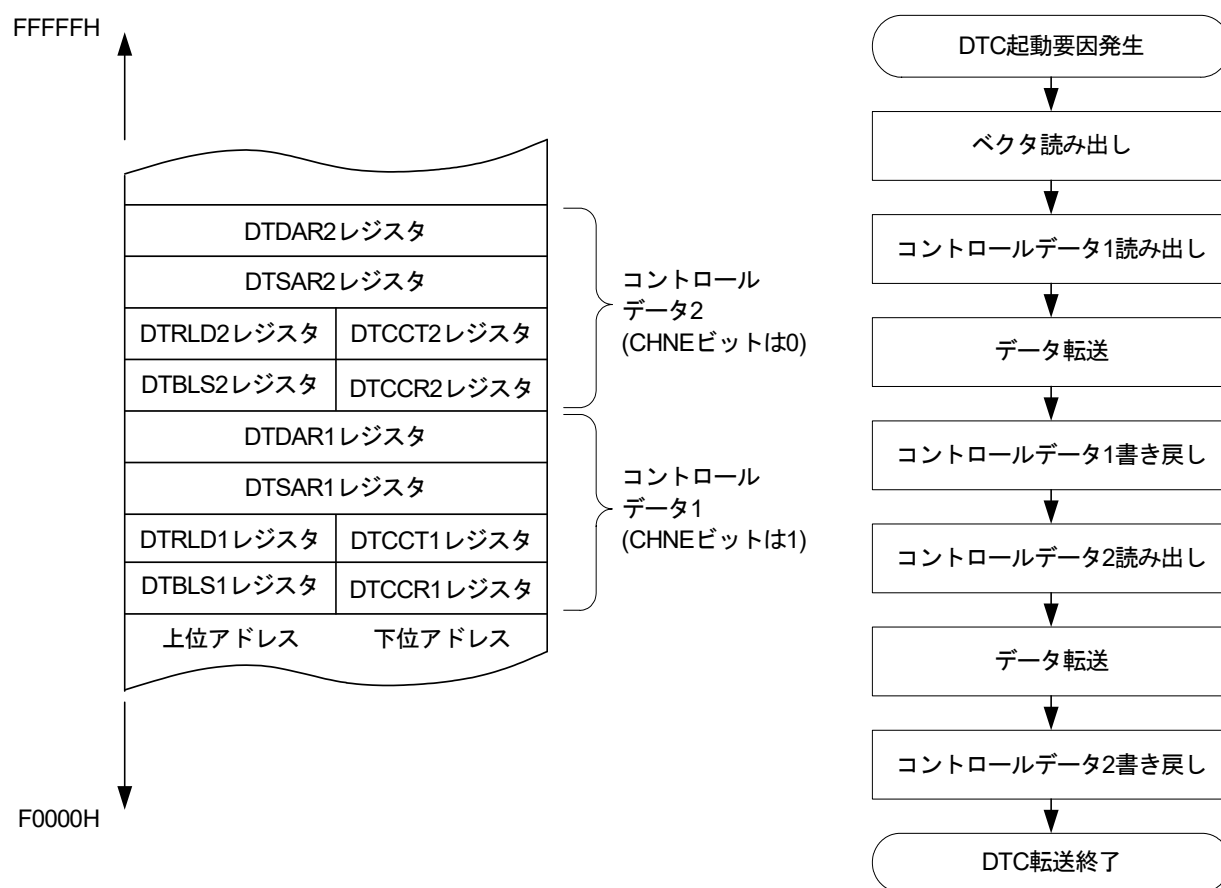
DTCCRj (j = 0 ~ 22) レジスタのCHNEビットが1 (チェイン転送許可) のとき、1つの起動要因で複数のデータ転送を連続してできます。

DTCが起動すると、起動要因に対応したベクタアドレスから読み出されたデータによりコントロールデータを選択し、DTCコントロールデータ領域上に配置されたコントロールデータを読み出します。読み出したコントロールデータのCHNEビットが1 (チェイン転送許可) であれば、転送終了後、連続して配置した次のコントロールデータを読み出して転送します。この動作をCHNEビットが0 (チェイン転送禁止) のコントロールデータのデータ転送が終了するまで続けます。

複数のコントロールデータを用いてチェイン転送を行う場合は、最初のコントロールデータに設定された転送回数が有効となり、2番目以降に処理されるコントロールデータの転送回数は無効となります。

図19-21にチェイン転送でのデータ転送を示します。

図19-21 チェイン転送でのデータ転送



注意1. DTCCR23レジスタのCHNEビットは0 (チェイン転送禁止) にしてください。

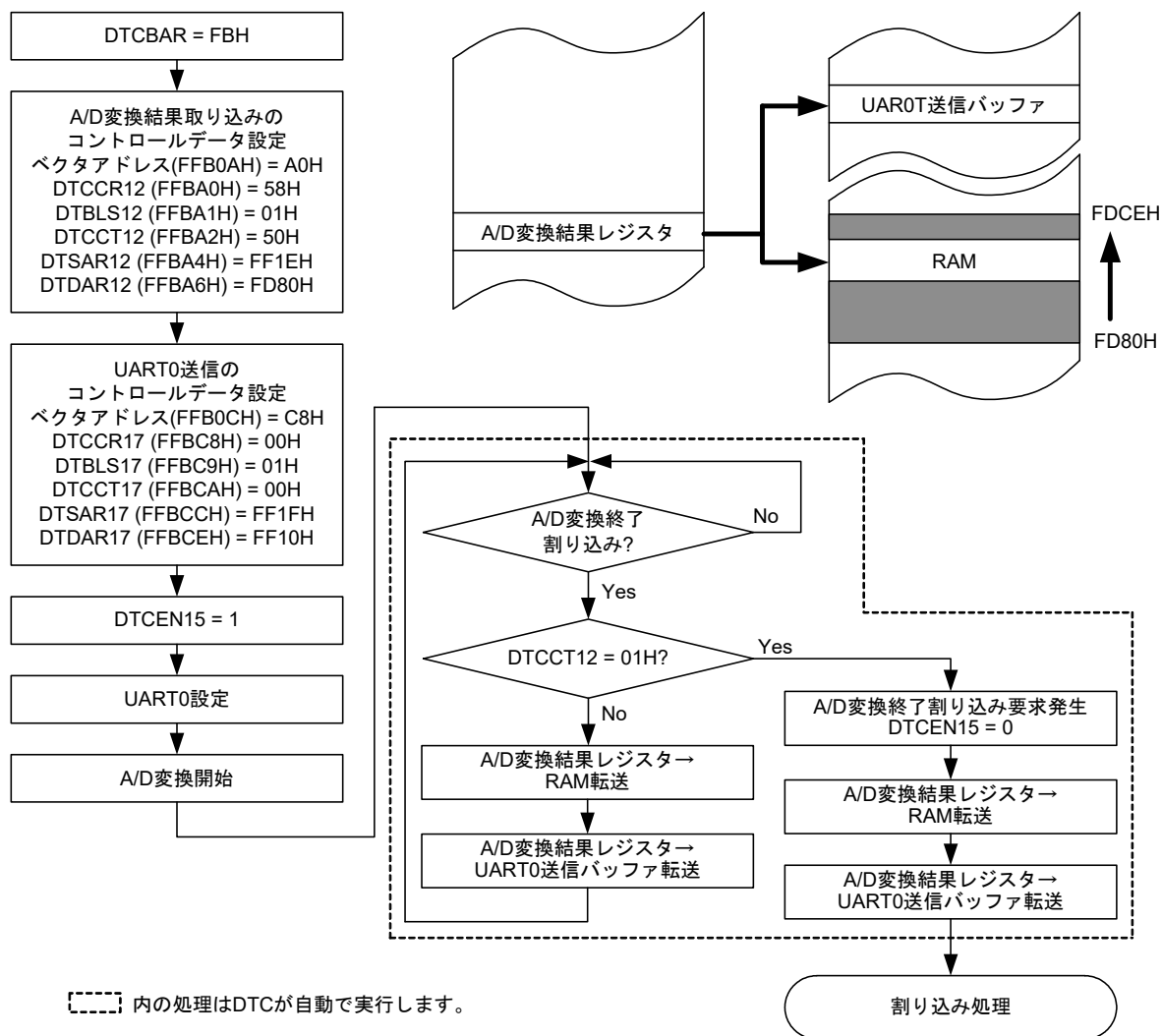
注意2. チェイン転送の場合、2回目以降のデータ転送では、DTCENi (i = 0 ~ 4) レジスタのDTCENi0 ~ DTCENi7ビットは0 (起動禁止) になりません。また、割り込み要求は発生しません。

(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信

A/D変換終了割り込みでDTCを起動し、A/D変換結果をRAMに転送し、UART0で送信します。

- ベクタアドレスはFFB0AH
- A/D変換結果取り込みのコントロールデータはFFBA0H～FFBA7Hに配置
- UART0送信のコントロールデータはFFBA8H～FFBAFHに配置
- A/D変換結果レジスタ(FFF1FH, FFF1EH)の2バイトデータをRAMのFFD80H～FFDCFHに転送し、A/D変換結果レジスタの上位1バイト(FFF1FH)をUARTの送信バッファ(FFF10H)へ転送

図19-22 チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信



19.5 DTC使用上の注意事項

19.5.1 DTCのコントロールデータおよびベクタテーブルの設定

- DTC転送でDTCの拡張特殊機能レジスタ(2nd SFR)およびDTCコントロールデータ領域、DTCベクタテーブル領域、汎用レジスタ(FFEE0H-FFEFFH)空間をアクセスしないでください。
- DTCベースアドレスレジスタ(DTCBAR)は、全てのDTC起動要因を起動(禁止に設定した状態に変更してください)。
- DTCベースアドレスレジスタ(DTCBAR)を2回以上書き換えないでください。
- DTCCRj, DTBLSj, DTCCTj, DTRLDj, DTSARj, DTDARj レジスタのデータは対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- ベクタテーブルに設定するDTCコントロールデータ領域の先頭番地は、対応するDTCENi (i = 0-4) レジスタのDTCENi0-DTCENi7ビットが0(起動禁止)のときに変更してください。
- セルフ・プログラミング時およびデータ・フラッシュ書き換え時は、DTCによる転送先/転送元で利用するRAMアドレスをFFE20H-FFEDFHの領域に設定しないでください。

19.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置

DTCのコントロールデータとベクタテーブルを配置できる領域は製品および使用条件によって異なります。

- 汎用レジスタ(FFEE0H-FFEFFH)の空間は、DTCコントロールデータ領域およびDTCベクタテーブル領域としての使用を禁止します。
- スタック領域とDTCコントロールデータ領域およびDTCベクタテーブル領域が重ならないようにしてください。
- 次に示す製品の内部RAM領域は、セルフ・プログラミング機能およびデータ・フラッシュ機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F104xD (x = A-C, E-G, J, L) : FE900H-FED09H
R5F104xE (x = A-C, E-G, J, L) : FE900H-FED09H
R5F104xJ (x = A-C, E-G, J, L) : F9F00H-FA309H
R5F104xL (x = G, L, M, P) : F3F00H-F4309H
- 次に示す製品の内部RAM領域は、オンチップ・デバッキングのトレース機能使用時にDTCコントロールデータ領域およびDTCベクタテーブル領域として使用できません。
R5F104xJ (x = A-C, E-G, J, L) : FA300H-FA6FFH
R5F104xL (x = G, L, M, P) : F4300H-F46FFH
- RAMパリティ・エラー検出機能でパリティ・エラー・リセット発生を許可(RPERDIS = 0)している場合は、ノーマルモード使用時においてもDTRLDレジスタを初期化(00H)してください。

19.5.3 DTC保留命令

DTC 転送要求が発生しても、次の命令直後ではデータ転送は保留されます。また、PREFIX 命令コードと直後の1命令の間にDTCが起動されることはありません。

- コールリターン命令
- 無条件分岐命令
- 条件付き分岐命令
- コード・フラッシュ・メモリへのリードアクセス命令
- IFxx, MKxx, PRxx, PSWへのビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令
- データ・フラッシュ・メモリにアクセスする命令
- 乗除積和算命令（MULU命令を除く）

注意1. DTC 転送要求を受け付けると、DTC 転送が完了するまで、全ての割り込み要求が保留されます。

注意2. DTC保留命令によるDTC 保留中は、全ての割り込み要求が保留されます。

19.5.4 データ・フラッシュ空間にアクセスする場合の動作

DTCのデータ転送が起きた1命令後にデータ・フラッシュ空間にアクセスする場合、間の命令に3クロック分のウェイトが入ります。

命令1

DTCのデータ転送

命令2 ← 3クロック分のウェイト発生

MOV A, ! データ・フラッシュ空間

19.5.5 DTC実行クロック数

表 19 - 9にDTC起動時の実行状況と必要なクロック数を示します。

表 19 - 9 DTC起動時の実行状況と必要なクロック数

ベクタ読み出し	コントロールデータ		データ読み出し	データ書き込み
	読み出し	書き戻し		
1	4	注1	注2	注2

注1. コントロールデータの書き戻しに必要なクロック数は、表 19 - 10 コントロールデータの書き戻しに必要なクロック数を参照してください。

注2. データの読み出し/書き込みに必要なクロック数は、表 19 - 11 1データの読み出し/書き込みに必要なクロック数を参照してください。

表 19 - 10 コントロールデータの書き戻しに必要なクロック数

DTCCR レジスタ設定				アドレス設定		書き戻すコントロールレジスタ				クロック数
DAMOD	SAMOD	RPTSEL	MODE	ソース	デスティネーション	DTCCTj レジスタ	DTRLdj レジスタ	DTSARj レジスタ	DTDARj レジスタ	
0	0	X	0	固定	固定	書き戻す	書き戻す	書き戻さない	書き戻さない	1
0	1	X	0	加算	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	0	X	0	固定	加算	書き戻す	書き戻す	書き戻さない	書き戻す	2
1	1	X	0	加算	加算	書き戻す	書き戻す	書き戻す	書き戻す	3
0	X	1	1	リピート エリア	固定	書き戻す	書き戻す	書き戻す	書き戻さない	2
1	X	1	1		加算	書き戻す	書き戻す	書き戻す	書き戻す	3
X	0	0	1	固定	リピート	書き戻す	書き戻す	書き戻さない	書き戻す	2
X	1	0	1	加算	エリア	書き戻す	書き戻す	書き戻す	書き戻す	3

備考 j = 0 ~ 23, X: 0 または 1

表 19 - 11 1データの読み出し/書き込みに必要なクロック数

実行状態	RAM	コード・ フラッシュ・メモリ	データ・ フラッシュ・メモリ	特殊機能レジスタ (SFR)	拡張特殊機能レジスタ (2nd SFR)	
					ウェイトなし	ウェイトあり
データ読み出し	1	2	4	1	1	1 + ウェイト数注
データ書き込み	1	—	—	1	1	1 + ウェイト数注

注 ウェイト数はアクセスする拡張特殊機能レジスタ (2nd SFR)に配置されたレジスタの仕様によって異なります。

19.5.6 DTC応答時間

表 19 - 12にDTCにおける応答時間を示します。DTC応答時間とはDTC起動要因の検出からDTC転送開始までの時間です。DTC応答時間にDTC実行クロック数は含まれません。

表 19 - 12 DTCにおける応答時間

	最小時間	最大時間
応答時間	3クロック	19クロック

ただし、以下の場合は更にDTCの応答が遅れる場合があります。遅れるクロック数は条件により異なります。

- 内部RAMからの命令実行の場合
最大応答時間：20クロック
- DTC保留命令実行の場合(19.5.3 DTC保留命令を参照)
最大応答時間：各条件時の最大応答時間 + その条件での保留する命令の実行クロック
- ウェイトが発生するTRJ0レジスタをアクセスした場合
最大応答時間：各条件時の最大応答時間 + 1クロック

備考 1クロック：1/fCLK (fCLK：CPU／周辺ハードウェアクロック)

19.5.7 DTC起動要因

- DTC起動要因を入力してからDTC転送が完了するまでは同一起動要因を入力しないでください。
- DTC起動要因が発生する箇所、その起動要因に対応したDTC起動許可ビットを操作しないでください。
- DTC起動要因が競合した場合は、CPUがDTC転送を受け付けたときに優先順位を判定して起動する要因を決定します。起動要因の優先順位は19.3.3 ベクタテーブルを参照してください。
- コンパレータ注を片エッジ検出での割り込み要求に設定(CnEDG = 0)かつコンパレータの立ち上がりエッジで割り込み要求に設定(CnEPO = 0)かつIVCMP > IVREF (または内部基準電圧1.45 V)の状態または、コンパレータを片エッジ検出での割り込み要求に設定(CnEDG = 0)、コンパレータの立ち下がりエッジで割り込み要求に設定(CnEPO = 1)、IVCMP < IVREF (または内部基準電圧1.45 V)の状態、DTCを起動許可した場合、DTC転送を開始し、転送終了後に割り込み要求が発生します。そのため必要に応じて、コンパレータのモニタフラグ(CnMON)を確認してからDTCを起動許可にしてください。(n = 0-1)

注 コンパレータはコード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

19.5.8 スタンバイ・モード時の動作

状態	DTC動作
HALTモード	動作可能(低消費RTCモード時は動作禁止)
STOPモード	DTC起動要因受付可能 ^{注2}
SNOOZEモード	動作可能 ^{注1, 3, 4, 5}

注1. SNOOZEモードは、fCLKに高速オンチップ・オシレータ・クロックを選択している場合のみ設定可能です。

注2. STOPモード時にDTC起動要因の検出によりSNOOZEモードに遷移して、DTC転送が可能です。また転送完了後はSTOPモードに戻ります。ただし、SNOOZEモード中はコード・フラッシュ・メモリおよび、データ・フラッシュ・メモリが停止しているため、フラッシュ・メモリを転送元(ソース)にすることはできません。

注3. CSIpのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、CSIpの受信再設定(STm0ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm0ビットに1を書き込み)をDTC転送で行ってください。

注4. UARTqのSNOOZEモード機能から転送完了割り込みをDTC起動要因とした場合、DTC転送完了後に転送完了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、UARTqの受信再設定(STm1ビットに1を書き込み、SWCmビットに0を書き込み、SSCmレジスタ設定、SSm1ビットに1を書き込み)を行ってください。

注5. A/DコンバータのSNOOZEモード機能からA/D変換終了割り込みをDTC起動要因とした場合、DTC転送完了後にA/D変換終了割り込みでSNOOZEモードを解除しCPU処理を開始するか、チェーン転送を使い、A/DコンバータのSNOOZEモード機能の再設定(AWCビットに0を書き込み、AWCビットに1を書き込む)を行ってください。

備考 30-64ピン製品 : p = 00; q = 0; m = 0

80, 100ピン製品 : p = 00, 20; q = 0, 2; m = 0, 1

第20章 イベント・リンク・コントローラ(ELC)

20.1 ELCの機能

イベント・リンク・コントローラ(ELC)は、各周辺機能が出力するイベントを周辺機能間で相互に接続(リンク)します。イベントリンクによりCPUを介さず直接、周辺機能間での連携動作が可能になります。

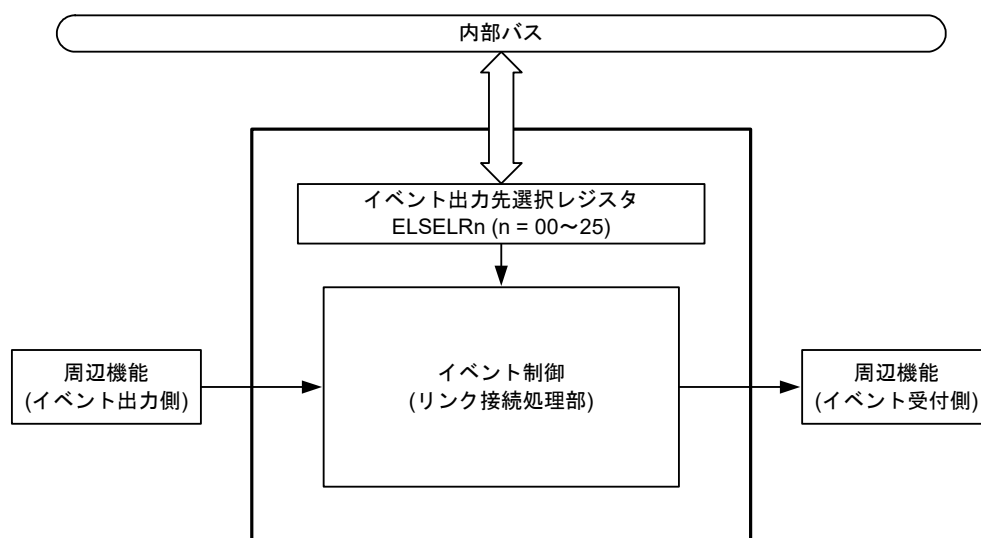
ELCには次の機能があります。

- 製品によって19～26種類の周辺機能からのイベント信号を、指定した周辺機能へ直接リンク可能
- 製品によって7～9種類の内の1つの周辺機能動作の起動要因として、イベント信号を使用可能

20.2 ELCの構成

図20-1にELCのブロック図を示します。

図20-1 ELCのブロック図



20.3 ELCを制御するレジスタ

表20 - 1にELCを制御するレジスタを示します。

表20 - 1 ELCを制御するレジスタ

レジスタ名	シンボル
イベント出力先選択レジスタ00	ELSELR00
イベント出力先選択レジスタ01	ELSELR01
イベント出力先選択レジスタ02	ELSELR02
イベント出力先選択レジスタ03	ELSELR03
イベント出力先選択レジスタ04	ELSELR04
イベント出力先選択レジスタ05	ELSELR05
イベント出力先選択レジスタ06 ^{注3}	ELSELR06
イベント出力先選択レジスタ07	ELSELR07
イベント出力先選択レジスタ08	ELSELR08
イベント出力先選択レジスタ09	ELSELR09
イベント出力先選択レジスタ10	ELSELR10
イベント出力先選択レジスタ11	ELSELR11
イベント出力先選択レジスタ12	ELSELR12
イベント出力先選択レジスタ13	ELSELR13
イベント出力先選択レジスタ14	ELSELR14
イベント出力先選択レジスタ15	ELSELR15
イベント出力先選択レジスタ16	ELSELR16
イベント出力先選択レジスタ17	ELSELR17
イベント出力先選択レジスタ18	ELSELR18
イベント出力先選択レジスタ19	ELSELR19
イベント出力先選択レジスタ20 ^{注1}	ELSELR20
イベント出力先選択レジスタ21 ^{注1}	ELSELR20
イベント出力先選択レジスタ22 ^{注1}	ELSELR22
イベント出力先選択レジスタ23 ^{注1}	ELSELR23
イベント出力先選択レジスタ24 ^{注2}	ELSELR24
イベント出力先選択レジスタ25 ^{注2}	ELSELR25

注1. 80, 100ピン製品のみ。

注2. コード・フラッシュ・メモリ・サイズが96 KB以上の製品のみ。

注3. 40ピン以上の製品のみ。

20.3.1 イベント出力先選択レジスタ n (ELSELRn) (n = 00～25)

ELSELRn レジスタは各イベント信号を、イベント受付側周辺機能(リンク先周辺機能)の受付時の動作にリンクさせるレジスタです。

複数のイベント入力を、同一のイベント出力先(イベント受付側)にリンクさせる設定をしないでください。イベント受付側の周辺機能の動作が不定になる、イベント信号が正確に受け付けられないことがあります。また、イベントリンク発生元とイベント出力先を同一機能に設定しないでください。

すべてのイベント出力側周辺機能のイベント信号が発生しない期間に、ELSELRn レジスタを設定してください。

表 20 - 2 に ELSELRn レジスタ (n = 00～25) と周辺機能の対応を、表 20 - 3 に ELSELRn レジスタ (n = 00～25) に設定する値とリンク先周辺機能の受付時の動作の対応を示します。

図 20 - 2 イベント出力先選択レジスタ n (ELSELRn) のフォーマット

アドレス : F0300H (ELSELR00)～ F0319H (ELSELR25) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ELSELRn	0	0	0	0	ELSELn3 ^{注1}	ELSELn2	ELSELn1	ELSELn0
ELSELn3 ^{注1}	ELSELn2	ELSELn1	ELSELn0	イベントリンクの選択				
0	0	0	0	イベントリンク禁止				
0	0	0	1	リンクする周辺機能1の動作を選択 ^{注2}				
0	0	1	0	リンクする周辺機能2の動作を選択 ^{注2}				
0	0	1	1	リンクする周辺機能3の動作を選択 ^{注2}				
0	1	0	0	リンクする周辺機能4の動作を選択 ^{注2}				
0	1	0	1	リンクする周辺機能5の動作を選択 ^{注2}				
0	1	1	0	リンクする周辺機能6の動作を選択 ^{注2}				
0	1	1	1	リンクする周辺機能7の動作を選択 ^{注2}				
1	0	0	0	リンクする周辺機能8の動作を選択 ^{注2}				
1	0	0	1	リンクする周辺機能9の動作を選択 ^{注2}				
上記以外				設定禁止				

注1. コード・フラッシュ・メモリが96 KB以上の製品のみ。64 KB以下の製品では0にしてください。

注2. 表 20 - 3 ELSELRn レジスタ (n = 00～25) に設定する値とリンク先周辺機能の受付時の動作の対応参照。

表 20 - 2 ELSELRn レジスタ (n = 00 ~ 25) と周辺機能の対応

レジスタ名	イベント発生元 (イベント入力 n の出力元)	イベント内容
ELSELR00	外部割り込みエッジ検出 0	INTP0
ELSELR01	外部割り込みエッジ検出 1	INTP1
ELSELR02	外部割り込みエッジ検出 2	INTP2
ELSELR03	外部割り込みエッジ検出 3	INTP3
ELSELR04	外部割り込みエッジ検出 4	INTP4
ELSELR05	外部割り込みエッジ検出 5	INTP5
ELSELR06 ^{注3}	キーリターン信号検出	INTKR
ELSELR07	RTC 定周期信号 / アラーム一致検出	INTRTC
ELSELR08	タイマ RD0 インพุットキャプチャ A / コンペアー一致 A	INTTRD0
ELSELR09	タイマ RD0 インพุットキャプチャ B / コンペアー一致 B	INTTRD0
ELSELR10	タイマ RD1 インพุットキャプチャ A / コンペアー一致 A	INTTRD1
ELSELR11	タイマ RD1 インพุットキャプチャ B / コンペアー一致 B	INTTRD1
ELSELR12	タイマ RD1 アンダフロー	TRD1 アンダフロー信号
ELSELR13	タイマ RJ0 アンダフロー / パルス幅測定期間終了 / パルス周期測定期間終了	INTTRJ0
ELSELR14	タイマ RG インพุットキャプチャ A / コンペアー一致 A	INTTRG
ELSELR15	タイマ RG インพุットキャプチャ B / コンペアー一致 B	INTTRG
ELSELR16	TAU チャンネル 00 カウント完了 / キャプチャ完了	INTTM00
ELSELR17	TAU チャンネル 01 カウント完了 / キャプチャ完了	INTTM01
ELSELR18	TAU チャンネル 02 カウント完了 / キャプチャ完了	INTTM02
ELSELR19	TAU チャンネル 03 カウント完了 / キャプチャ完了	INTTM03
ELSELR20 ^{注1}	TAU チャンネル 10 カウント完了 / キャプチャ完了	INTTM10
ELSELR21 ^{注1}	TAU チャンネル 11 カウント完了 / キャプチャ完了	INTTM11
ELSELR22 ^{注1}	TAU チャンネル 12 カウント完了 / キャプチャ完了	INTTM12
ELSELR23 ^{注1}	TAU チャンネル 13 カウント完了 / キャプチャ完了	INTTM13
ELSELR24 ^{注2}	コンパレータ 検出 0	INTCMP0
ELSELR25 ^{注2}	コンパレータ 検出 1	INTCMP1

注1. 80, 100 ピン製品のみ。

注2. コード・フラッシュ・メモリ・サイズが 96 KB 以上の製品のみ。

注3. 40 ピン以上の製品のみ。

表 20 - 3 ELSELRn レジスタ (n = 00 ~ 25) に設定する値とリンク先周辺機能の受付時の動作の対応

ELSELRn レジスタの ELSELn3 ~ ELSELn0 ビット	リンク先の番号	リンク先周辺機能	イベント受付時の動作
0001B	1	A/D コンバータ	A/D 変換開始
0010B	2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力注1	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0011B	3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力注2	ディレイ・カウンタ, 入力パルス間隔測定, 外部イベント・カウンタ
0100B	4	タイマRJ0	カウントソース
0101B	5	タイマRG	TRGIOB のインプットキャプチャ
0110B	6	タイマRD0	TRDIOD0 のインプットキャプチャ, パルス出力強制遮断
0111B	7	タイマRD1	TRDIOD1 のインプットキャプチャ, パルス出力強制遮断
1000B注4	8	DA0注3	リアルタイム出力
1001B注5	9	DA1注3	リアルタイム出力

- 注1. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル0 のタイマ入力を選択する場合は、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル0 の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI00端子のノイズフィルタをOFFに (TNFEN00 = 0) 設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル0 で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注2. リンク先周辺機能にタイマ・アレイ・ユニット0 チャンネル1 のタイマ入力を選択する場合、先にタイマ・クロック選択レジスタ0 (TPS0) でチャンネル1 の動作クロックをfCLKに設定し、ノイズ・フィルタ許可レジスタ1 (NFEN1) でTI01端子のノイズフィルタをOFF (TNFEN01 = 0) に設定し、タイマ入力選択レジスタ0 (TIS0) でチャンネル1 で使用するタイマ入力をELCからのイベント入力信号に設定してください。
- 注3. D/A 変換のリアルタイム出力モード有効時にSTOP モードに入る場合は、STOP モードに入る前にELCのイベントリンクを禁止にしてください。
- 注4. コード・フラッシュ・メモリ・サイズが96 KB 以上の製品のみ。
- 注5. コード・フラッシュ・メモリ・サイズが96 KB 以上で32ピン以上の製品のみ。

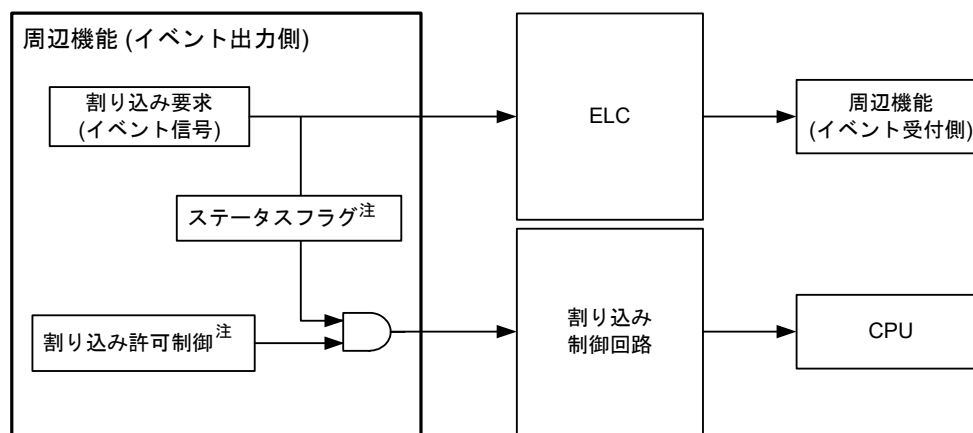
20.4 ELCの動作

各周辺機能で発生するイベント信号を、割り込み制御回路への割り込み要求として使う経路と、ELCのイベントとして使う経路が独立しています。したがって、各イベント信号は割り込み制御に関係なく、イベント受付側周辺機能の動作のイベント信号として使用できます。

図 20 - 3 に割り込み処理と ELC の関係を示します。この図は割り込み要求ステータスフラグと、これらの割り込みの許可/禁止を制御する許可ビットを持つ周辺機能を例としています。

ELCによってイベントを受け付ける周辺機能は、受付側周辺機能に応じたイベント受付後の動作をします(表 20 - 3 ELSELRn レジスタ (n = 00 ~ 25) に設定する値とリンク先周辺機能の受付時の動作の対応参照)。

図 20 - 3 割り込み処理と ELC の関係



注 周辺機能によっては、搭載していません。

表 20 - 4 にイベントを受け付ける周辺機能の応答性を示します。

表 20 - 4 イベントを受け付ける周辺機能の応答性

イベント 受取先 No.	イベントリンク先の機能	イベント受付後の動作	応答性
1	A/D コンバータ	A/D 変換動作	ELC からのイベントが直接、A/D 変換のハードウェア・トリガになります。
2	タイマ・アレイ・ユニット0 チャンネル0のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELC のイベント発生から fCLK の 3, 4 サイクル後にエッジの検出を行います。
3	タイマ・アレイ・ユニット0 チャンネル1のタイマ入力	ディレイカウンタ 入力パルス幅測定 外部イベント・カウンタ	ELC のイベント発生から fCLK の 3, 4 サイクル後にエッジの検出を行います。
4	タイマ RJ	カウントソース	ELC からのイベントが直接、タイマ RJ のカウントソースになります。
5	タイマ RG	TRGIOB のインプットキャプチャ	ELC のイベント発生から fCLK の 2, 3 サイクル後にカウント開始トリガが発生します。
6	タイマ RD0	TRDIOD0 のインプットキャプチャ	ELC のイベント発生からタイマ RD の動作クロック 2, 3 サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELC のイベント発生からタイマ RD の動作クロック 2, 3 サイクル後に強制遮断状態になります。
7	タイマ RD1	TRDIOD1 のインプットキャプチャ	ELC のイベント発生からタイマ RD の動作クロック 2, 3 サイクル後にカウント開始トリガが発生します。
		パルス出力強制遮断	ELC のイベント発生からタイマ RD の動作クロック 2, 3 サイクル後に強制遮断状態になります。
8注1	D/A コンバータのチャンネル0	リアルタイム出力 (チャンネル0)	ELC のイベント発生から fCLK の 2, 3 サイクル後にチャンネル0のD/A変換を開始します。
9注2	D/A コンバータのチャンネル1	リアルタイム出力 (チャンネル1)	ELC のイベント発生から fCLK の 2, 3 サイクル後にチャンネル1のD/A変換を開始します。

注1. コード・フラッシュ・メモリ・サイズが96 KB 以上の製品のみ。

注2. コード・フラッシュ・メモリ・サイズが96 KB 以上で32ピン以上の製品のみ。

第21章 割り込み機能

プログラム実行中に、別の処理が必要になると、その処理プログラムに切り替える機能です。分岐先の処理を終えると、中断していた元のプログラム実行に戻ります。

割り込み要因数は、製品によって異なります。

		30, 32, 36ピン	40, 44ピン	48ピン	52ピン	64ピン	80, 100ピン
マスカブル割り込み	外部	6	7	10	12	13	13
	内部	24	24	24	24	24	32

21.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理のデフォルト・プライオリティにしたがって処理されます。デフォルト・プライオリティについては表21-1～表21-4を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモード、SNOOZEモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

21.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計7要因あります(表21-1～表21-4参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表21 - 1 割り込み要因一覧(1/4)

割り込みの処理 デフォルト・ プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・ アドレス	基本構成タイプ ^{注2}	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
	名称	トリガ													
マスカブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75% + 1/2 f _{IL})	内部	00004H	(A)	○	○	○	○	○	○	○	○	○
	1	INTLVI	電圧検出 ^{注4}		00006H		○	○	○	○	○	○	○	○	○
	2	INTP0	端子入力エッジ検出	外部	00008H	(B)	○	○	○	○	○	○	○	○	○
	3	INTP1			0000AH		○	○	○	○	○	○	○	○	○
	4	INTP2			0000CH		○	○	○	○	○	○	○	○	○
	5	INTP3			0000EH		○	○	○	○	○	○	○	○	○
	6	INTP4			00010H		○	○	○	○	○	○	○	○	○
	7	INTP5			00012H		○	○	○	○	○	○	○	○	○
	8	INTST2/ INTCSI20/ INTIIC20	UART2送信の転送完了、バッファ空き割り 込み／CSI20の転送完了、バッファ空き割り 込み／IIC20の転送完了	内部	00014H	(A)	○	○	○	○	○	○	○	○	○
	9	INTSR2 INTCSI21/ INTIIC21	UART2受信の転送完了／CSI21の転送完了、 バッファ空き割り込み／IIC21の転送完了		00016H		○	○	○	○	○	○	○	注5	注5
	10	INTSRE2	UART2受信の通信エラー発生		00018H		○	○	○	○	○	○	○	○	○
		INTTM11H	タイマ・チャネル11のカウント完了または キャプチャ完了(上位8ビット・タイマ動作 時)				○	○	—	—	—	—	—	—	—
	11	INTST0/ INTCSI00/ INTIIC00	UART0送信の転送完了、バッファ空き割り 込み／CSI00の転送完了、バッファ空き割り 込み／IIC00の転送完了		0001EH		○	○	○	○	○	○	○	○	○
	12	INTSR0/ INTCSI01/ INTIIC01	UART0受信の転送完了／CSI01の転送完了、 バッファ空き割り込み／IIC01の転送完了		00020H		○	○	○	○	注6	注6	注6	注6	注6
	13	INTSRE0	UART0受信の通信エラー発生		00022H		○	○	○	○	○	○	○	○	○
		INTTM01H	タイマ・チャネル01のカウント完了または キャプチャ完了(上位8ビット・タイマ動作 時)				○	○	○	○	○	○	○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、44が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。

注3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。

注4. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 0選択時。

注5. INTSR2のみ

注6. INTSR0のみ

表 21 - 2 割り込み要因一覧 (2/4)

割り込みの処理 デフォルト・ プライオリティ注1	割り込み要因		内部／外部	ベクタ・テーブル・ アドレス	基本構成タイプ注2	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
	名称	トリガ													
マスカブル	14	INTST1/ INTCSI10/ INTIIC10	内部	00024H	(A)	○	○	○	○ 注3	○ 注3	○ 注3	○ 注3	○ 注3	○ 注3	○ 注3
	15	INTSR1/ INTCSI11/ INTIIC11		00026H		○	○	○	○	○	○	○	○	○	
	16	INTSRE1		00028H		○	○	○	○	○	○	○	○	○	
		INTTM03H				○	○	○	○	○	○	○	○	○	
	17	INTIICA0		0002AH		○	○	○	○	○	○	○	○	○	
	18	INTTM00		0002CH		○	○	○	○	○	○	○	○	○	
	19	INTTM01		0002EH		○	○	○	○	○	○	○	○	○	
	20	INTTM02		00030H		○	○	○	○	○	○	○	○	○	
	21	INTTM03		00032H		○	○	○	○	○	○	○	○	○	
	22	INTAD		00034H		○	○	○	○	○	○	○	○	○	
	23	INTRTC		00036H		○	○	○	○	○	○	○	○	○	
	24	INTIT		00038H		○	○	○	○	○	○	○	○	○	
	25	INTKR	外部	0003AH	(C)	○	○	○	○	○	○	○	—	—	—
26	INTST3/ INTCSI30/ INTIIC30	内部	0003CH	○		○	—	—	—	—	—	—	—	—	
27	INTSR3/ INTCSI31/ INTIIC31		0003EH	○		○	—	—	—	—	—	—	—		
28	INTTRJ0		00040H	○		○	○	○	○	○	○	○	○		

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、44が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。

注3. INTST1のみ

表 21 - 3 割り込み要因一覧 (3/4)

割り込みの処理 デフォルト・ プライオリティ注1	割り込み要因		内部／外部	ベクタ・テーブル・ アドレス	基本構成タイプ注2	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
	名称	トリガ													
マスカブル	29	INTTM10	タイマ・チャンネル10のカウンタ完了 またはキャプチャ完了	内部	00042H	(A)	○	○	—	—	—	—	—	—	—
	30	INTTM11	タイマ・チャンネル11のカウンタ完了 またはキャプチャ完了		00044H		○	○	—	—	—	—	—	—	—
	31	INTTM12	タイマ・チャンネル12のカウンタ完了 またはキャプチャ完了		00046H		○	○	—	—	—	—	—	—	—
	32	INTTM13	タイマ・チャンネル13のカウンタ完了 またはキャプチャ完了		00048H		○	○	—	—	—	—	—	—	—
	33	INTP6	端子入力エッジ検出	外部	0004AH	(B)	○	○	○	○	—	—	—	—	—
	34	INTP7			0004CH		○	○	○	—	—	—	—	—	—
	35	INTP8			0004EH		○	○	○	○	—	—	—	—	—
	36	INTP9			00050H		○	○	○	○	—	—	—	—	—
	37	INTP10	端子入力エッジ検出	外部	00052H		○	○	○	○	—	—	—	—	—
		INTCMP0	コンパレータ検出0	内部			○	○	注3	注3	注3	注3	注3	注3	注3
	38	INTP11	端子入力エッジ検出	外部	00054H		○	○	○	○	—	—	—	—	—
		INTCMP1	コンパレータ検出1	内部			○	○	注3	注3	注3	注3	注3	注3	注3
	39	INTTRD0	タイマRD0インプットキャプチャ, コンペアー一致, オーバフロー, アンダ フロー割り込み	内部	00056H	(A)	○	○	○	○	○	○	○	○	○
	40	INTTRD1	タイマRD1インプットキャプチャ, コンペアー一致, オーバフロー, アンダ フロー割り込み		00058H		○	○	○	○	○	○	○	○	○
	41	INTTRG	タイマRGインプットキャプチャ, コンペアー一致, オーバフロー, アンダ フロー割り込み		0005AH		○	○	○	○	○	○	○	○	○
	42	INTSRE3	UART3受信の通信エラー発生		0005CH		○	○	—	—	—	—	—	—	—
		INTTM13H	タイマ・チャンネル13のカウンタ完了 またはキャプチャ完了 (8ビット・タイ マ動作時)				○	○	—	—	—	—	—	—	—
	43	INTIICA1	IICA1通信完了		00060H		○	○	—	—	—	—	—	—	—
	44	INTFL	予約注4		00062H		○	○	○	○	○	○	○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、44が最低順位です。

注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。

注3. コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

注4. フラッシュ・セルフ・プログラミング・ライブラリ、データ・フラッシュ・ライブラリで使用します。

表21 - 4 割り込み要因一覧(4/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部／外部	ベクタ・テーブル・アドレス	基本構成タイプ ^{注2}	100ピン	80ピン	64ピン	52ピン	48ピン	44ピン	40ピン	36ピン	32ピン	30ピン
		名称	トリガ													
ソフトウェア	—	BRK	BRK命令の実行	—	0007EH	(D)	○	○	○	○	○	○	○	○	○	○
リセット	—	RESET	RESET 端子入力	—	00000H	—	○	○	○	○	○	○	○	○	○	○
		POR	パワーオン・リセット				○	○	○	○	○	○	○	○	○	○
		LVD	電圧検出 ^{注3}				○	○	○	○	○	○	○	○	○	○
		WDT	ウォッチドッグ・タイマのオーバフロー				○	○	○	○	○	○	○	○	○	○
		TRAP	不正命令の実行 ^{注4}				○	○	○	○	○	○	○	○	○	○
		IAW	不正メモリ・アクセス				○	○	○	○	○	○	○	○	○	○
		RPE	RAMパリティ・エラー				○	○	○	○	○	○	○	○	○	○

注1. デフォルト・プライオリティは、複数のマスカブル割り込みが発生している場合に、優先する順位です。

0が最高順位、44が最低順位です。

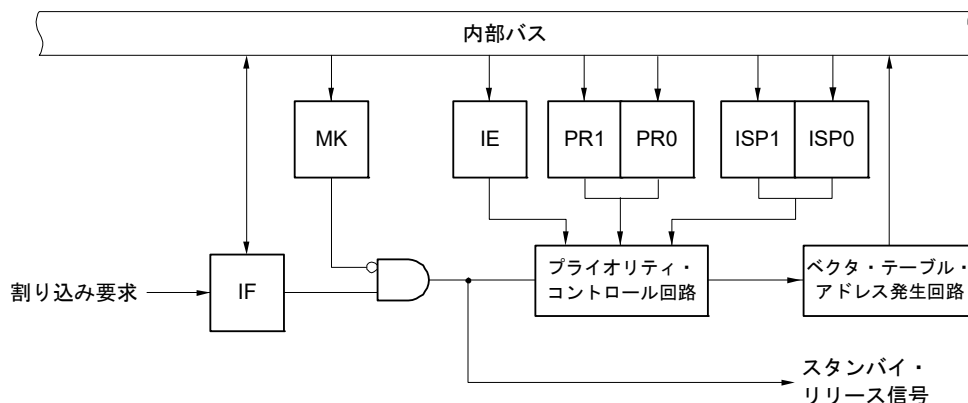
注2. 基本構成タイプの(A) - (D)は、それぞれ図21 - 1の(A) - (D)に対応しています。

注3. 電圧検出レベル・レジスタ(LVIS)のビット7(LVIMD) = 1選択時。

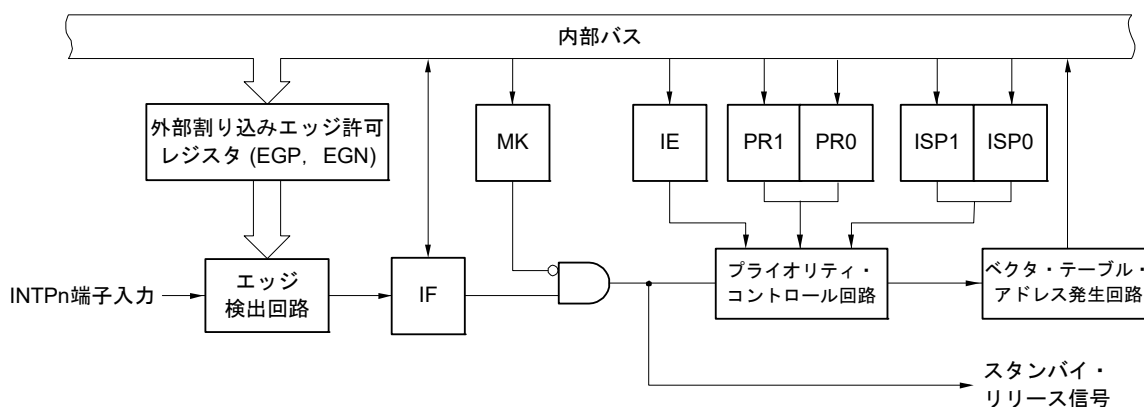
注4. FFHの命令コードを実行したときに発生します。不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図21 - 1 割り込み機能の基本構成

(A)内部マスカブル割り込み



(B)外部マスカブル割り込み(INTPn)



IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

ISP0 : インサース・プライオリティ・フラグ0

ISP1 : インサース・プライオリティ・フラグ1

MK : 割り込みマスク・フラグ

PR0 : 優先順位指定フラグ0

PR1 : 優先順位指定フラグ1

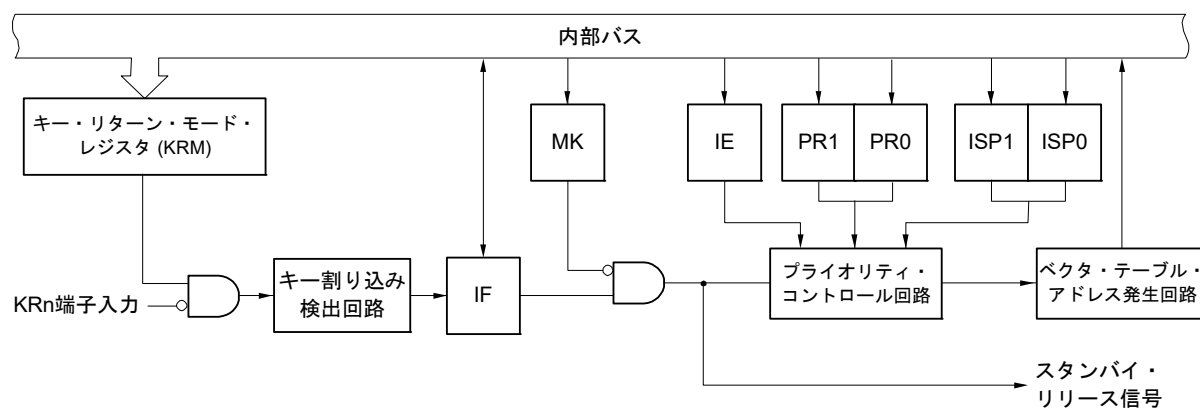
備考 30, 32, 36, 40, 44ピン : n = 0-5

48ピン : n = 0-6, 8, 9

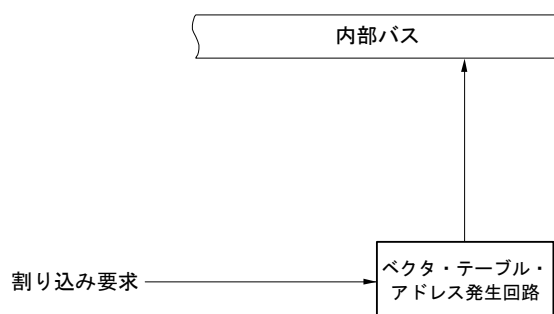
52ピン : n = 0-6, 8-11

64, 80, 100ピン : n = 0-11

(C)外部マスカブル割り込み(INTKR)



(D)ソフトウェア割り込み



- IF : 割り込み要求フラグ
 IE : 割り込み許可フラグ
 ISP0 : インサースビス・プライオリティ・フラグ0
 ISP1 : インサースビス・プライオリティ・フラグ1
 MK : 割り込みマスク・フラグ
 PR0 : 優先順位指定フラグ0
 PR1 : 優先順位指定フラグ1

- 備考 40, 44ピン : n = 0-3
 48ピン : n = 0-5
 52, 64, 80, 100ピン : n = 0-7

21.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1)
- 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)
- プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表21-5～表21-8に示します。

表21-5 割り込み要求ソースに対応する各種フラグ (1/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ		100ビット	80ビット	64ビット	52ビット	48ビット	40, 44ビット	36ビット	30, 32ビット
		レジスタ		レジスタ		レジスタ								
INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L	○	○	○	○	○	○	○	○
INTLVI	LVIIF		LVIMK		LVIPR0, LVIPR1		○	○	○	○	○	○	○	○
INTP0	PIF0		PMK0		PPR00, PPR10		○	○	○	○	○	○	○	○
INTP1	PIF1		PMK1		PPR01, PPR11		○	○	○	○	○	○	○	○
INTP2	PIF2		PMK2		PPR02, PPR12		○	○	○	○	○	○	○	○
INTP3	PIF3		PMK3		PPR03, PPR13		○	○	○	○	○	○	○	○
INTP4	PIF4		PMK4		PPR04, PPR14		○	○	○	○	○	○	○	○
INTP5	PIF5		PMK5		PPR05, PPR15		○	○	○	○	○	○	○	○

表 21 - 6 割り込み要求ソースに対応する各種フラグ (2/4)

割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	レジスタ	100ビット	80ビット	64ビット	52ビット	48ビット	40, 44ビット	36ビット	30, 32ビット
		レジスタ		レジスタ										
INTST2注1	STIF2注1	IF0H	STMK2注1	MK0H	STPR02, STPR12注1	PR00H, PR10H	○	○	○	○	○	○	○	○
INTCSI20注1	CSIF20注1		CSIMK20注1		CSIPR020, CSIPR120注1		○	○	○	○	○	○	○	○
INTIIC20注1	IICIF20注1		IICMK20注1		IICPR020, IICPR120注1		○	○	○	○	○	○	○	○
INTSR2注2	SRIF2注2		SRMK2注2		SRPR02, SRPR12注2		○	○	○	○	○	○	○	○
INTCSI21注2	CSIF21注2		CSIMK21注2		CSIPR021, CSIPR121注2		○	○	○	○	○	○	○	—
INTIIC21注2	IICIF21注2		IICMK21注2		IICPR021, IICPR121注2		○	○	○	○	○	○	○	—
INTSRE2注3	SREIF2注3		SREMK2注3		SREPR02, SREPR12注3		○	○	○	○	○	○	○	○
INTTM11H注3	TMIF11H注3		TMMK11H注3		TMPR011H, TMPR111H注3		○	○	—	—	—	—	—	—
INTST0注4	STIF0注4		STMK0注4		STPR00, STPR10注4		○	○	○	○	○	○	○	○
INTCSI00注4	CSIF00注4		CSIMK00注4		CSIPR000, CSIPR100注4		○	○	○	○	○	○	○	○
INTIIC00注4	IICIF00注4		IICMK00注4		IICPR000, IICPR100注4		○	○	○	○	○	○	○	○
INTSR0注5	SRIF0注5		SRMK0注5		SRPR00, SRPR10注5		○	○	○	○	○	○	○	○
INTCSI01注5	CSIF01注5		CSIMK01注5		CSIPR001, CSIPR101注5		○	○	○	○	○	—	—	—
INTIIC01注5	IICIF01注5		IICMK01注5		IICPR001, IICPR101注5		○	○	○	○	○	—	—	—
INTSRE0注6	SREIF0注6		SREMK0注6		SREPR00, SREPR10注6		○	○	○	○	○	○	○	○
INTTM01H注6	TMIF01H注6		TMMK01H注6		TMPR001H, TMPR101H注6		○	○	○	○	○	○	○	○

注1. 割り込み要因INTST2, INTCSI20, INTIIC20のうち、いずれかが発生したら、IF0Hレジスタのビット0はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTSR2, INTCSI21, INTIIC21のうち、いずれかが発生したら、IF0Hレジスタのビット1はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット1は、3つすべての割り込み要因に対応しています。

注3. UART2受信のエラー割り込み、TAU1のチャンネル1(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART2受信のエラー割り込みを使用しない(EOC01 = 0)場合は、UART2, TAU1のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE2, INTTM11Hのうち、どちらかが発生したら、IF0Hレジスタのビット2はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット2は、両方の割り込み要因に対応しています。

注4. 割り込み要因INTST0, INTCSI00, INTIIC00のうち、いずれかが発生したら、IF0Hレジスタのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

注5. 割り込み要因INTSR0, INTCSI01, INTIIC01のうち、いずれかが発生したら、IF0Hレジスタのビット6はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット6は、3つすべての割り込み要因に対応しています。

注6. UART0受信のエラー割り込み、TAU0のチャンネル1(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART0受信のエラー割り込みを使用しない(EOC01 = 0)場合は、UART0, TAU0のチャンネル1(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE0, INTTM01Hのうち、どちらかが発生したら、IF0Hレジスタのビット7はセット(1)されます。また、MK0H, PR00H, PR10Hレジスタのビット7は、両方の割り込み要因に対応しています。

表 21 - 7 割り込み要求ソースに対応する各種フラグ (3/4)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ	レジスタ	100ビット	80ビット	64ビット	52ビット	48ビット	40, 44ビット	36ビット	30, 32ビット
		レジスタ		レジスタ										
INTST1注1	STIF1注1	IF1L	STMK1注1	MK1L	STPR01, STPR11注1	PR01L, PR11L	○	○	○	○	○	○	○	○
INTCSI10注1	CSIIF10注1		CSIMK10注1		CSIPR010, CSIPR110注1		○	○	○	—	—	—	—	—
INTIIC10注1	IICIF10注1		IICMK10注1		IICPR010, IICPR110注1		○	○	○	—	—	—	—	—
INTSR1注2	SRIF1注2		SRMK1注2		SRPR01, SRPR11注2		○	○	○	○	○	○	○	○
INTCSI11注2	CSIIF11注2		CSIMK11注2		CSIPR011, CSIPR111注2		○	○	○	○	○	○	○	○
INTIIC11注2	IICIF11注2		IICMK11注2		IICPR011, IICPR111注2		○	○	○	○	○	○	○	○
INTSRE1注3	SREIF1注3		SREMK1注3		SREPR01, SREPR11注3		○	○	○	○	○	○	○	○
INTTM03H注3	TMIF03H注3		TMMK03H注3		TMPR003H, TMPR103H注3		○	○	○	○	○	○	○	○
INTIICA0	IICAIF0		IICAMK0		IICAPR00, IICAPR10		○	○	○	○	○	○	○	○
INTTM00	TMIF00		TMMK00		TMPR000, TMPR100		○	○	○	○	○	○	○	○
INTTM01	TMIF01		TMMK01		TMPR001, TMPR101		○	○	○	○	○	○	○	○
INTTM02	TMIF02		TMMK02		TMPR002, TMPR102		○	○	○	○	○	○	○	○
INTTM03	TMIF03		TMMK03		TMPR003, TMPR103		○	○	○	○	○	○	○	○
INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	○	○	○	○	○	○	○	○
INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		○	○	○	○	○	○	○	○
INTIT	ITIF		ITMK		ITPR0, ITPR1		○	○	○	○	○	○	○	○
INTKR	KRIF		KRMK		KRPR0, KRPR1		○	○	○	○	○	○	—	—
INTST3注4	STIF3注4		STMK3注4		STPR03, STPR13注4		○	○	—	—	—	—	—	—
INTCSI30注4	CSIIF30注4		CSIMK30注4		CSIPR030, CSIPR130注4		○	○	—	—	—	—	—	—
INTIIC30注4	IICIF30注4		IICMK30注4		IICPR030, IICPR130注4		○	○	—	—	—	—	—	—
INTSR3注5	SRIF3注5		SRMK3注5		SRPR03, SRPR13注5		○	○	—	—	—	—	—	—
INTCSI31注5	CSIIF31注5		CSIMK31注5		CSIPR031, CSIPR131注5		○	○	—	—	—	—	—	—
INTIIC31注5	IICIF31注5		IICMK31注5		IICPR031, IICPR131注5		○	○	—	—	—	—	—	—
INTTRJ0	TRJIF0		TRJMK0		TRJPR00, TRJPR10		○	○	○	○	○	○	○	○
INTTM10	TMIF10		TMMK10		TMPR010, TMPR110		○	○	—	—	—	—	—	—

注1. 割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lレジスタのビット0はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット0は、3つすべての割り込み要因に対応しています。

注2. 割り込み要因INTSR1, INTCSI11, INTIIC11のうち、いずれかが発生したら、IF1Lレジスタのビット1はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット1は、3つすべての割り込み要因に対応しています。

注3. UART1受信のエラー割り込み、TAU0のチャンネル3(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART1受信のエラー割り込みを使用しない(EOC03 = 0)場合は、UART1, TAU0のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE1, INTTM03Hのうち、どちらかが発生したら、IF1Lレジスタのビット2はセット(1)されます。また、MK1L, PR01L, PR11Lレジスタのビット2は、両方の割り込み要因に対応しています。

注4. 割り込み要因INTST3, INTCSI30, INTIIC30のうち、いずれかが発生したら、IF1Hレジスタのビット4はセット(1)されます。また、MK1H, PR01H, PR11Hレジスタのビット4は、3つすべての割り込み要因に対応しています。

注5. 割り込み要因INTSR3, INTCSI31, INTIIC31のうち、いずれかが発生したら、IF1Hレジスタのビット5はセット(1)されます。また、MK1H, PR01H, PR11Hレジスタのビット5は、3つすべての割り込み要因に対応しています。

表 21 - 8 割り込み要求ソースに対応する各種フラグ (4/4)

割り込み要因	割り込み要求 フラグ		割り込みマスク・ フラグ		優先順位指定フラグ		100ビット	80ビット	64ビット	52ビット	48ビット	40, 44ビット	36ビット	30, 32ビット
		レジスタ		レジスタ		レジスタ								
INTTM11	TMIF11	IF2L	TMMK11	MK2L	TMPR011, TMPR111	PR02L,	○	○	—	—	—	—	—	—
INTTM12	TMIF12		TMMK12		TMPR012, TMPR112	PR12L	○	○	—	—	—	—	—	—
INTTM13	TMIF13		TMMK13		TMPR013, TMPR113		○	○	—	—	—	—	—	—
INTP6	PIF6		PMK6		PPR06, PPR16		○	○	○	○	○	—	—	—
INTP7	PIF7		PMK7		PPR07, PPR17		○	○	○	—	—	—	—	—
INTP8	PIF8		PMK8		PPR08, PPR18		○	○	○	○	○	—	—	—
INTP9	PIF9		PMK9		PPR09, PPR19		○	○	○	○	○	—	—	—
INTP10注1	PIF10注1		PMK10注1		PPR010, PPR110注1		○	○	○	○	—	—	—	—
INTCMP0注1	CMPIF0注1		CMPMK0注1		CMPPR00, CMPPR10注1		○	○	注4	注4	注4	注4	注4	注4
INTP11注2	PIF11注2	IF2H	PMK11注2	MK2H	PPR011, PPR111注2	PR02H,	○	○	○	○	—	—	—	—
INTCMP1注2	CMPIF1注2		CMPMK1注2		CMPPR01, CMPPR11注2	PR12H	○	○	注4	注4	注4	注4	注4	注4
INTTRD0	TRDIF0		TRDMK0		TRDPR00, TRDPR10		○	○	○	○	○	○	○	○
INTTRD1	TRDIF1		TRDMK1		TRDPR01, TRDPR11		○	○	○	○	○	○	○	○
INTTRG	TRGIF		TRGMK		TRGPR0, TRGPR1		○	○	○	○	○	○	○	○
INTSRE3注3	SREIF3注3		SREMK3注3		SREPR03, SREPR13注3		○	○	—	—	—	—	—	—
INTTM13H注3	TMIF13H注3		TMMK13H注3		TMPR013H, TMPR113H注3		○	○	—	—	—	—	—	—
INTIICA1	IICAIF1		IICAMK1		IICAPR01, IICAPR11		○	○	—	—	—	—	—	—
INTFL	FLIF		FLMK		FLPR0, FLPR1		○	○	○	○	○	○	○	○

注1. INTP10,コンパレータ0は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP10, INTCMP0のうち、どちらかが発生したら、IF2Lレジスタのビット7はセット(1)されます。また、MK2L, PR02L, PR12L レジスタのビット7は、両方の割り込み要因に対応しています。

注2. INTP11,コンパレータ1は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP11, INTCMP1のうち、どちらかが発生したら、IF2Hレジスタのビット0はセット(1)されます。また、MK2H, PR02H, PR12H レジスタのビット0は、両方の割り込み要因に対応しています。

注3. UART3受信のエラー割り込み、TAU1のチャンネル3(上位8ビット・タイマ動作時)の割り込みは、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。UART3受信のエラー割り込みを使用しない(EOC03 = 0)場合は、UART3, TAU1のチャンネル3(上位8ビット・タイマ動作時)を同時に使用できます。割り込み要因INTSRE3, INTTM13Hのうち、どちらかが発生したら、IF2Hレジスタのビット4はセット(1)されます。また、MK2H, PR02H, PR12H レジスタのビット4は、両方の割り込み要因に対応しています。

注4. コード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

21.3.1 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット(1)され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア(0)されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LレジスタとIF0Hレジスタ、IF1LレジスタとIF1Hレジスタ、IF2LレジスタとIF2Hレジスタをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0	LVIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0	SRIF0	STIF0	0	0	SREIF2	SRIF2	STIF2
	TMIF01H	CSIF01	CSIF00	0	0	TMIF11H	CSIF21	CSIF20
		IICIF01	IICIF00				IICIF21	IICIF20

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAF0	SREIF1	SRIF1	STIF1
						TMIF03H	CSIF11	CSIF10
							IICIF11	IICIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF10	TRJIF0	SRIF3	STIF3	KRIF	ITIF	RTCIF	ADIF
			CSIF31	CSIF30				
			IICIF31	IICIF30				

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	PIF10	PIF9	PIF8	PIF7	PIF6	TMIF13	TMIF12	TMIF11
	CMPIF0							

図21 - 3 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット (2/2)

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	FLIF	IICAF1	0	SREIF3 TMIF13H	TRGIF	TRDIF1	TRDIF0	PIF11 CMPIF1

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注意1. 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21 - 5～表21 - 8を参照してください。また、搭載していないビットには必ず初期値を設定してください。

注意2. 割り込み要求フラグ・レジスタのフラグ操作には、1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は、コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため、「IF0L.0 = 0;」や「_asm("clr1 IF0L.0");」のようなビット操作命令を使用してください。

なお、C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合、コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合、「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで、同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても、「mov IF0L, a」でクリア (0) されます。したがって、C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

21.3.2 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは、対応するマスカブル割り込みの許可／禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、MK0L レジスタとMK0H レジスタ、MK1L レジスタとMK1H レジスタ、MK2L レジスタとMK2H レジスタをあわせて16ビット・レジスタ MK0, MK1, MK2 として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21-4 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) のフォーマット (1/2)

アドレス : FFFE4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0L	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK0H	SREMK0 TMMK01H	SRMK0 CSIMK01 IICMK01	STMK0 CSIMK00 IICMK00	1	1	SREMK2 TMMK11H	SRMK2 CSIMK21 IICMK21	STMK2 CSIMK20 IICMK20

アドレス : FFFE6H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK0	SREMK1 TMMK03H	SRMK1 CSIMK11 IICMK11	STMK1 CSIMK10 IICMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK1H	TMMK10	TRJMK0	SRMK3 CSIMK31 IICMK31	STMK3 CSIMK30 IICMK30	KRMK	ITMK	RTCMK	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2L	PMK10 CMPMK0	PMK9	PMK8	PMK7	PMK6	TMMK13	TMMK12	TMMK11

図21 - 5 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット (2/2)

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
MK2H	FLMK	IICAMK1	1	SREMK3 TMMK13H	TRGMK	TRDMK1	TRDMK0	PMK11 CMPMK1
XXMKX		割り込み処理の制御						
0		割り込み処理許可						
1		割り込み処理禁止						

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21 - 5～表21 - 8を参照してください。また、搭載していないビットには必ず初期値を設定してください。

21.3.3 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xy レジスタと PR1xy レジスタを組み合わせ、優先順位レベルを設定します (xy = 0L, 0H, 1L, 1H, 2L, 2H)。

PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00L レジスタとPR00H レジスタ, PR01L レジスタとPR01H レジスタ, PR02L レジスタとPR02H レジスタ, PR10L レジスタとPR10H レジスタ, PR11L レジスタとPR11H レジスタ, PR12L レジスタとPR12H レジスタをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図21 - 6 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット (1/3)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00	SRPR00	STPR00			SREPR02	SRPR02	STPR02
	TMPR001H	CSIPR001	CSIPR000	1	1	TMPR011H	CSIPR021	CSIPR020
		IICPR001	IICPR000				IICPR021	IICPR020

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10	SRPR10	STPR10			SREPR12	SRPR12	STPR12
	TMPR101H	CSIPR101	CSIPR100	1	1	TMPR111H	CSIPR121	CSIPR120
		IICPR101	IICPR100				IICPR121	IICPR120

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR00	SREPR01	SRPR01	STPR01
						TMPR003H	CSIPR011	CSIPR010
							IICPR011	IICPR010

図21 - 7 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット (2/3)

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR10	SREPR11 TMPR103H	SRPR11 CSIPR111 IICPR111	STPR11 CSIPR110 IICPR110

アドレス : FFFEBH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01H	TMPR010	TRJPR00	SRPR03 CSIPR031 IICPR031	STPR03 CSIPR030 IICPR030	KRPR0	ITPR0	RTCPR0	ADPR0

アドレス : FFFEFH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11H	TMPR110	TRJPR10	SRPR13 CSIPR131 IICPR131	STPR13 CSIPR130 IICPR130	KRPR1	ITPR1	RTCPR1	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02L	PPR010 CMPPR00	PPR09	PPR08	PPR07	PPR06	TMPR013	TMPR012	TMPR011

アドレス : FFFDCH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12L	PPR110 CMPPR10	PPR19	PPR18	PPR17	PPR16	TMPR113	TMPR112	TMPR111

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR02H	FLPR0	IICAPR01	1	SREPR03 TMPR013H	TRGPR0	TRDPR01	TRDPR00	PPR011 CMPPR01

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR12H	FLPR1	IICAPR11	1	SREPR13 TMPR113H	TRGPR1	TRDPR11	TRDPR10	PPR111 CMPPR11

図21 - 8 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット (3/3)

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

注意 製品によって、搭載しているレジスタとビットは異なります。各製品に搭載しているレジスタとビットについては、表21 - 5～表21 - 8を参照してください。また、搭載していないビットには必ず初期値を設定してください。

21.3.4 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)

INTP0-INTP11の有効エッジを設定するレジスタです。

EGP0, EGP1, EGN0, EGN1 レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図21 - 9 外部割り込み立ち上がりエッジ許可レジスタ (EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ (EGN0, EGN1)のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7	EGP6	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7	EGN6	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

アドレス : FFF3AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP1	0	0	0	0	EGP11	EGP10	EGP9	EGP8

アドレス : FFF3BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN1	0	0	0	0	EGN11	EGN10	EGN9	EGN8

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-11)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

EGPnビットとEGNnビットに対応するポートを表21 - 9に示します。

表 21 - 9 EGPn ビットと EGNn ビットに対応する割り込み要求信号

検出許可ビット		割り込み要求信号	64, 80, 100 ピン	52 ピン	48 ピン	30, 32, 36, 40, 44 ピン
EGP0	EGN0	INTP0	○	○	○	○
EGP1	EGN1	INTP1	○	○	○	○
EGP2	EGN2	INTP2	○	○	○	○
EGP3	EGN3	INTP3	○	○	○	○
EGP4	EGN4	INTP4	○	○	○	○
EGP5	EGN5	INTP5	○	○	○	○
EGP6	EGN6	INTP6	○	○	○	—
EGP7	EGN7	INTP7	○	—	—	—
EGP8	EGN8	INTP8	○	○	○	—
EGP9	EGN9	INTP9	○	○	○	—
EGP10	EGN10	INTP10	○	○	—	—
EGP11	EGN11	INTP11	○	○	—	—

注意 外部割り込み機能で使用している入力ポートを出力モードに切り替えると、有効エッジを検出してINTPn割り込みが発生する可能性があります。

出力モードに切り替える場合は、エッジ検出禁止 (EGPn, EGNn=0, 0)にしてからポート・モード・レジスタ (PMxx) を0に設定してください。

備考1. エッジ検出ポートに関しては、2.1 ポート機能を参照してください。

備考2. n = 0-11

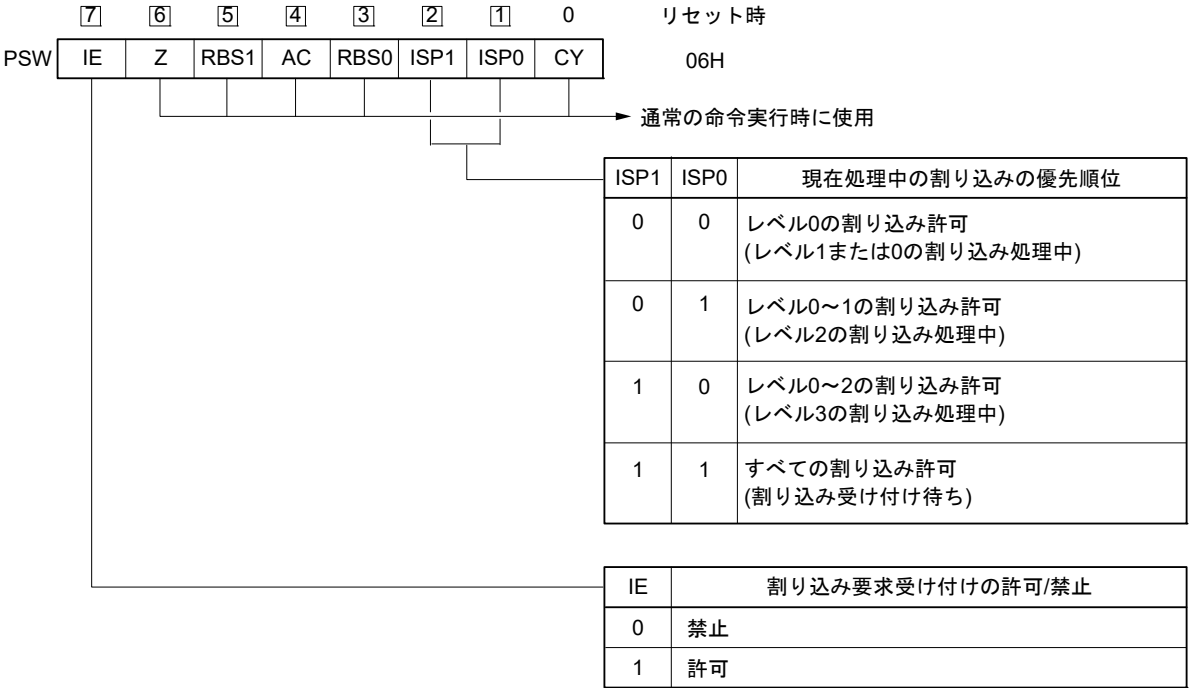
21.3.5 プログラム・ステータス・ワード(PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可／禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し／書き込み操作ができるほか、ビット操作命令や専用命令(EI, DI)により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット(0)されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグ・レジスタの内容が00以外は、“-1”された値がISP0, ISP1フラグに転送されます。PUSH PSW 命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW 命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図21 - 10 プログラム・ステータス・ワードの構成



21.4 割り込み処理動作

21.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表21 - 10のようになります。

割り込み要求の受け付けタイミングについては、図21 - 12, 図21 - 13を参照してください。

表21 - 10 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間注
処理時間	9クロック	16クロック

注 内部RAM 領域からの命令実行時は除きます。

備考 1クロック : 1/fCLK (fCLK : CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

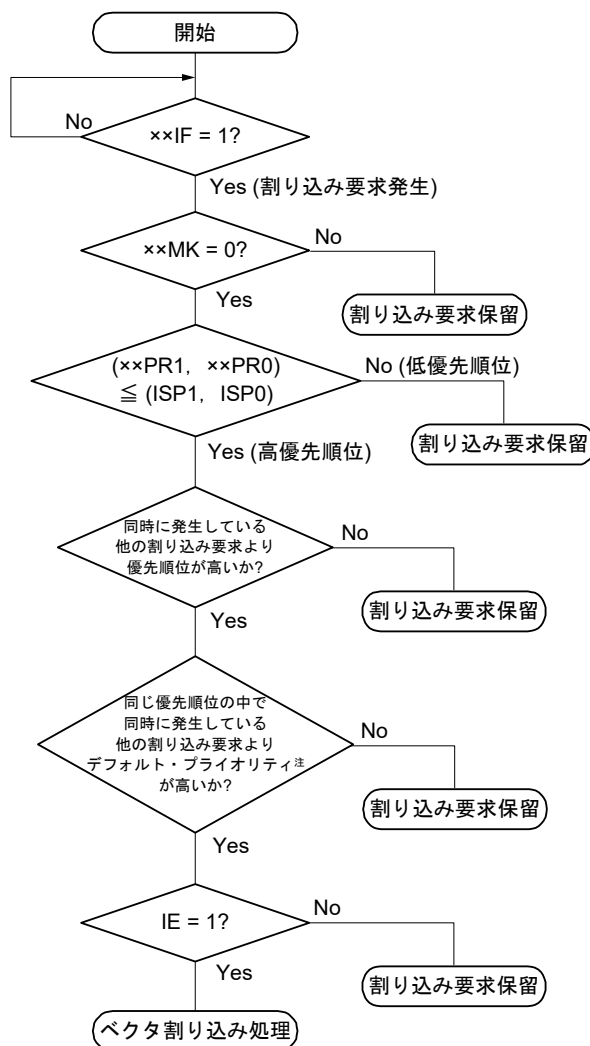
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図21 - 11に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1, ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図21 - 11 割り込み要求受け付け処理アルゴリズム



××IF : 割り込み要求フラグ

××MK : 割り込みマスク・フラグ

××PR0 : 優先順位指定フラグ0

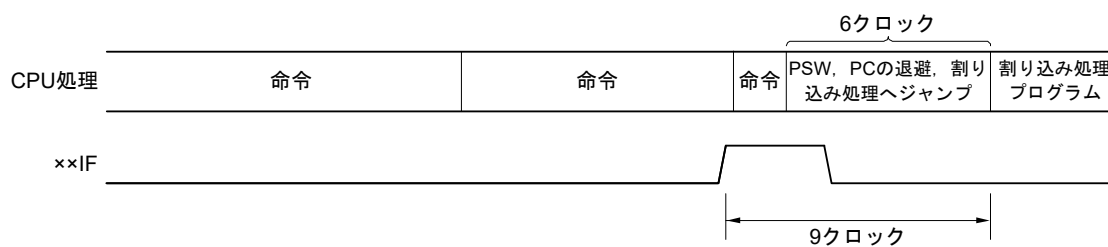
××PR1 : 優先順位指定フラグ1

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

ISP0, ISP1: 現在処理中の割り込みの優先順位を示すフラグ(図21 - 10参照)

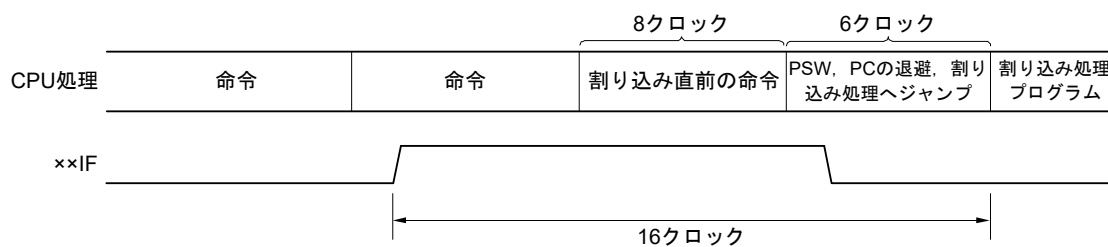
注 デフォルト・プライオリティは、表21 - 1～表21 - 4 割り込み要因一覧を参照してください。

図21 - 12 割り込み要求の受け付けタイミング(最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図21 - 13 割り込み要求の受け付けタイミング(最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

21.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはありません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令は使用できません。

21.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態(IE = 1)になっていなければ発生しません。割り込み要求が受け付けられた時点で、割り込み要求は受け付け禁止状態(IE = 0)になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット(1)して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット(1)した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表 21 - 11に割り込み処理中に多重割り込み可能な割り込み要求の関係を、図 21 - 14～図 21 - 15に多重割り込みの例を示します。

表 21 - 11 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0	○	×	×	×	×	×	×	×	○
	ISP1 = 0 ISP0 = 1	○	×	○	×	×	×	×	×	○
	ISP1 = 1 ISP0 = 0	○	×	○	×	○	×	×	×	○
	ISP1 = 1 ISP0 = 1	○	×	○	×	○	×	○	×	○
ソフトウェア割り込み		○	×	○	×	○	×	○	×	○

備考 1. ○ : 多重割り込み可能。

備考 2. × : 多重割り込み不可能。

備考 3. ISP0, ISP1, IE は PSW に含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち (すべての割り込み許可)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

備考 4. PR は PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H レジスタに含まれるフラグです。

PR = 00 : $\times \times PR1 \times = 0$, $\times \times PR0 \times = 0$ でレベル0を指定 (高優先順位)

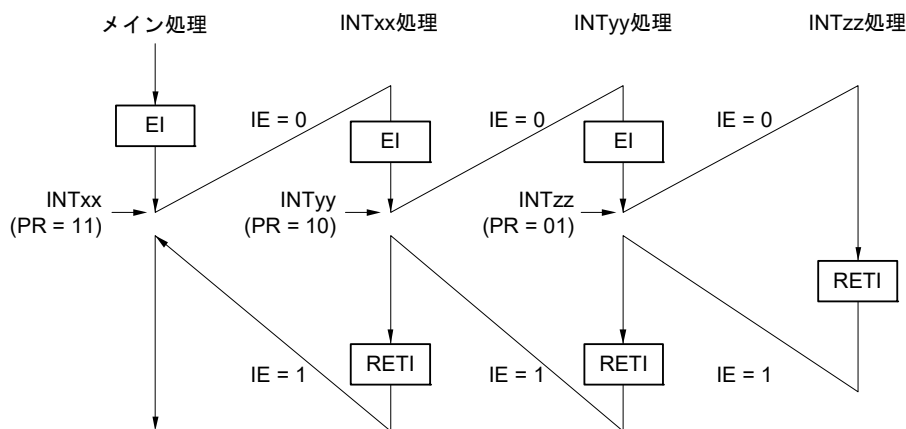
PR = 01 : $\times \times PR1 \times = 0$, $\times \times PR0 \times = 1$ でレベル1を指定

PR = 10 : $\times \times PR1 \times = 1$, $\times \times PR0 \times = 0$ でレベル2を指定

PR = 11 : $\times \times PR1 \times = 1$, $\times \times PR0 \times = 1$ でレベル3を指定 (低優先順位)

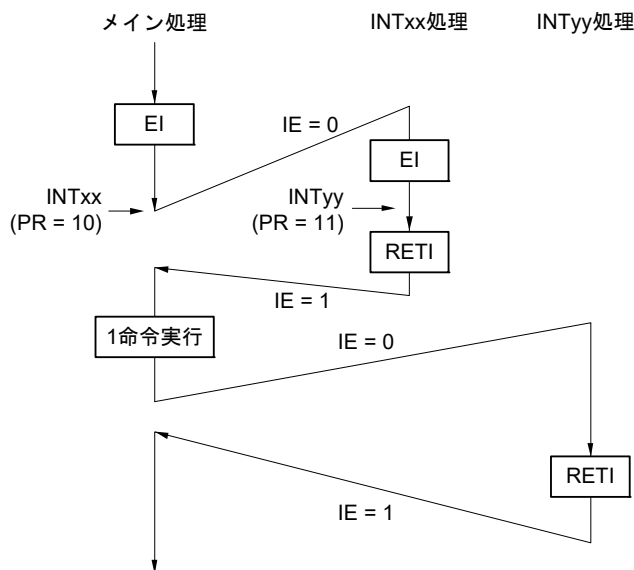
図21-14 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例



割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x = 0, xxPR0x = 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x = 0, xxPR0x = 1でレベル1を指定

PR = 10 : xxPR1x = 1, xxPR0x = 0でレベル2を指定

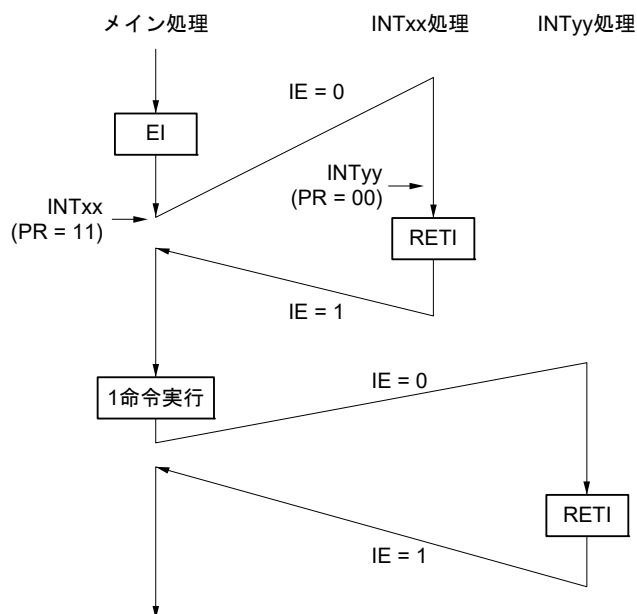
PR = 11 : xxPR1x = 1, xxPR0x = 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

図21 - 15 多重割り込みの例(2/2)

例3. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : xxPR1x= 0, xxPR0x= 0でレベル0を指定(高優先順位)

PR = 01 : xxPR1x= 0, xxPR0x= 1でレベル1を指定

PR = 10 : xxPR1x= 1, xxPR0x= 0でレベル2を指定

PR = 11 : xxPR1x= 1, xxPR0x= 1でレベル3を指定(低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

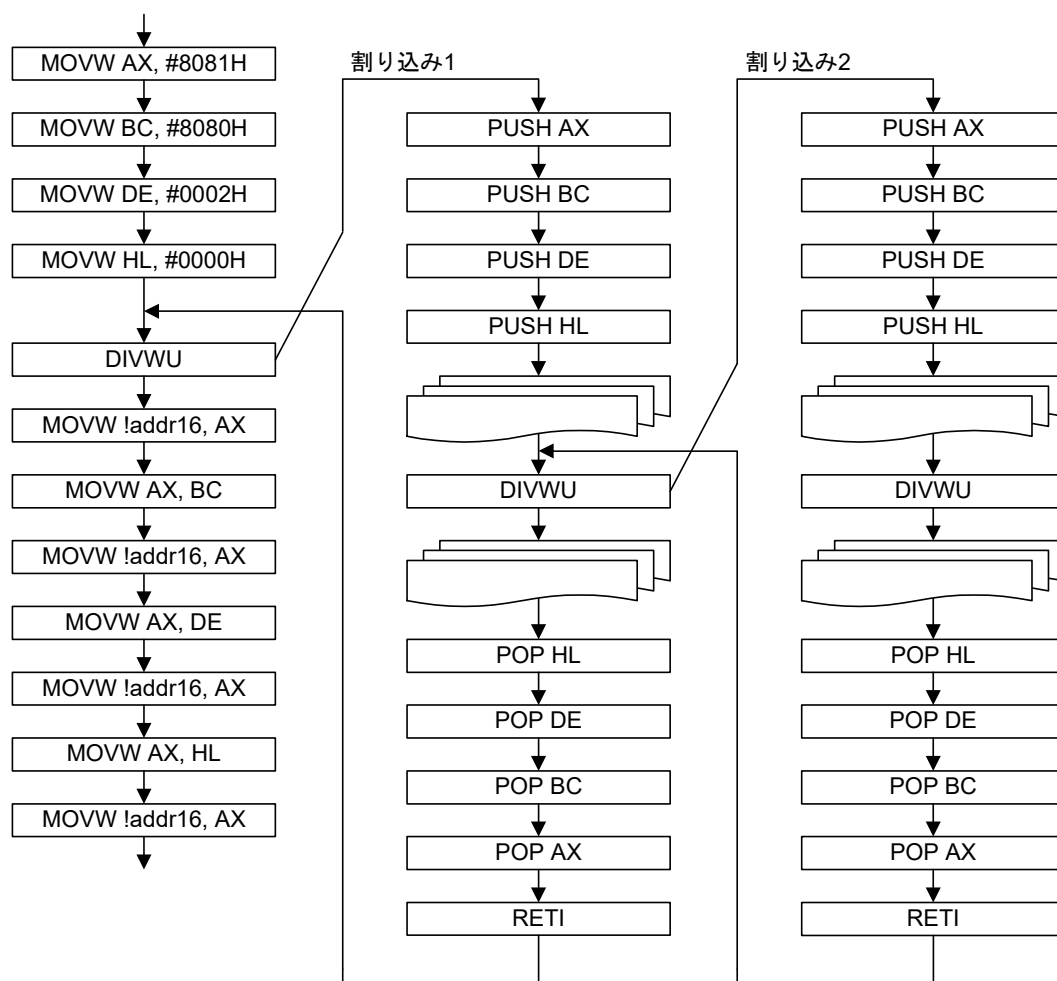
21.4.4 除算命令中の割り込み処理

RL78/G14は、除算命令実行時に割り込み応答性を向上させるため、DIVHU/DIVWU命令中の割り込みに対応します。

- DIVHU/DIVWU命令実行中に割り込みが発生した場合は、DIVHU/DIVWU命令を中断します。
- 中断する事によりPCはDIVHU/DIVWUの次の命令を指します。
- 次の命令で割り込みが発生します。
- DIVHU/DIVWU命令を再実行するために、PC-3をスタックします。

通常の割り込み	DIVHU/DIVWU命令実行中の割り込み
$(SP-1) \leftarrow PSW$	$(SP-1) \leftarrow PSW$
$(SP-2) \leftarrow (PC)s$	$(SP-2) \leftarrow (PC-3)s$
$(SP-3) \leftarrow (PC)H$	$(SP-3) \leftarrow (PC-3)H$
$(SP-4) \leftarrow (PC)L$	$(SP-4) \leftarrow (PC-3)L$
$PCs \leftarrow 0000$	$PCs \leftarrow 0000$
$PCH \leftarrow (Vector)$	$PCH \leftarrow (Vector)$
$PCL \leftarrow (Vector)$	$PCL \leftarrow (Vector)$
$SP \leftarrow SP-4$	$SP \leftarrow SP-4$
$IE \leftarrow 0$	$IE \leftarrow 0$

DIVHU/DIVWUではAX, BC, DE, HLレジスタを使用します。そのため割り込み処理ではAX, BC, DE, HLレジスタをスタックして使用してください。



注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合、割り込み禁止状態(DI)で実行してください。ただし、RAM領域での命令実行を除き、アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は、割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合、その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品) V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ) のC言語ソース

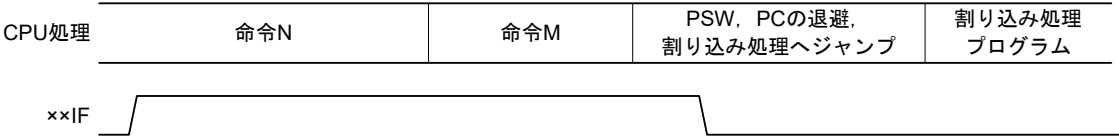
21.4.5 割り込み要求の保留

命令の中には、その命令実行中に割り込み要求が発生しても、その次の命令の実行終了まで割り込み要求の受け付けを保留するものがあります。このような命令(割り込み要求の保留命令)を次に示します。

- MOV PSW, #byte
- MOV PSW, A
- MOV1 PSW. bit, CY
- SET1 PSW. bit
- CLR1 PSW. bit
- RETB
- RETI
- POP PSW
- BTCLR PSW. bit, \$addr20
- EI
- DI
- SKC
- SKNC
- SKZ
- SKNZ
- SKH
- SKNH
- MULHU
- MULH
- MACHU
- MACH
- IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hレジスタの各レジスタに対する書き込み命令

割り込み要求が保留されるタイミングを図21 - 16に示します。

図21 - 16 割り込み要求の保留



備考1. 命令N：割り込み要求の保留命令
備考2. 命令M：割り込み要求の保留命令以外の命令

第22章 キー割り込み機能

キー割り込み入力チャネル数は、製品によって異なります。

	30, 32, 36 ピン	40, 44 ピン	48 ピン	52, 64, 80, 100 ピン
キー割り込み入力チャネル	—	4ch	6ch	8ch

22.1 キー割り込みの機能

キー割り込み入力端子(KR0-KR7)に立ち下がリエッジを入力することによって、キー割り込み(INTKR)を発生させることができます。

表 22 - 1 キー割り込み検出端子の割り当て

キー割り込み端子	キー・リターン・モード・レジスタ (KRM)
KR0	KRM0
KR1	KRM1
KR2	KRM2
KR3	KRM3
KR4	KRM4
KR5	KRM5
KR6	KRM6
KR7	KRM7

備考 KR0-KR3 : 40, 44 ピン製品

KR0-KR5 : 48 ピン製品

KR0-KR7 : 52, 64, 80, 100 ピン製品

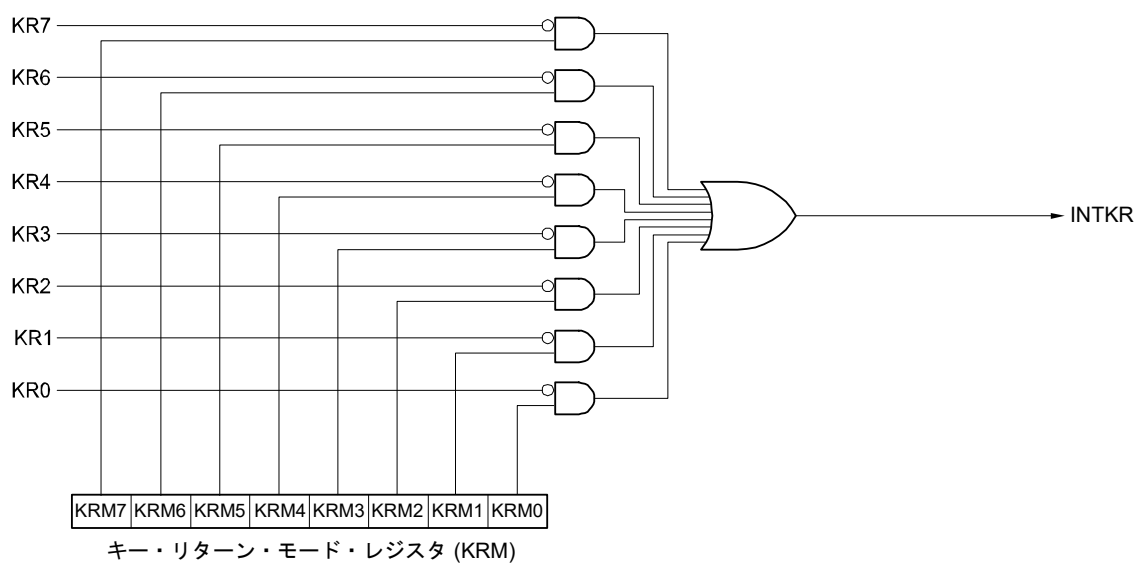
22.2 キー割り込みの構成

キー割り込みは、次のハードウェアで構成されています。

表 22 - 2 キー割り込みの構成

項目	制御レジスタ
制御レジスタ	キー・リターン・モード・レジスタ (KRM) ポート・モード・レジスタ 7(PM7)

図22 - 1 キー割り込みのブロック図



備考 KR0-KR3 : 40, 44ピン製品
 KR0-KR5 : 48ピン製品
 KR0-KR7 : 52, 64, 80, 100ピン製品

22.3 キー割り込みを制御するレジスタ

キー割り込み機能は、次のレジスタで制御します。

- ・キー・リターン・モード・レジスタ (KRM)
- ・ポート・モード・レジスタ7 (PM7)

22.3.1 キー・リターン・モード・レジスタ (KRM)

KRM0-KRM7 ビットはKR0-KR7信号で制御するレジスタです。

KRMレジスタは、1ビット・メモリ操作命令および8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-2 キー・リターン・モード・レジスタ (KRM)のフォーマット

アドレス : FFF37H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0
KRMn	キー割り込みモードの制御							
0	キー割り込み信号を検出しない							
1	キー割り込み信号を検出する							

- 注意1. キー割り込み入力端子のプルアップ抵抗レジスタ7 (PU7)の対象となるビットに1を設定して、内蔵プルアップ抵抗を使用することができます。
- 注意2. キー割り込み入力端子にロウ・レベルが入力されている状態で、KRMレジスタの対象ビットをセットすると、割り込みが発生します。
- この割り込みを無視したい場合は、割り込みマスク・フラグで割り込み処理禁止にしてから、KRMレジスタをセットしてください。その後、キー割り込み入力ロウ・レベル幅(tkr)(34.4または35.4 AC特性参照)を待ってから、割り込み要求フラグをクリアし、割り込み処理許可にしてください。
- 注意3. キー割り込みモードで使用していない端子は通常ポートとして使用可能です。

- 備考1. n = 0-7
- 備考2. KR0-KR3 : 40, 44ピン製品
- KR0-KR5 : 48ピン製品
- KR0-KR7 : 52, 64, 80, 100ピン製品

22.3.2 ポート・モード・レジスタ7 (PM7)

キー割り込み入力端子 (KR0-KR7) として使用するとき、PM7n ビットにそれぞれ1を設定してください。このときP7nの出力ラッチは、0または1のどちらでもかまいません。PM7レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、FFHになります。

また、プルアップ抵抗オプション・レジスタ7 (PU7)により1ビット単位で内蔵プルアップ抵抗を使用することができます。

図22 - 3 ポート・モード・レジスタ7 (PM7)のフォーマット

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70
PM7n	P7n端子の入出力モードの選択 (n = 0-7)							
0	出力モード(出力バッファ・オン)							
1	入力モード(出力バッファ・オフ)							

第23章 スタンバイ機能

23.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の3種類のモードがあります。

(1) HALTモード

HALT 命令の実行により、HALT モードとなります。HALT モードは、CPU の動作クロックを停止させるモードです。HALT モード設定前に高速システム・クロック発振回路、高速オンチップ・オシレータ、サブシステム・クロック発振回路が動作している場合、それぞれのクロックは発振を継続します。このモードでは、STOP モードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP 命令の実行により、STOP モードとなります。STOP モードは、高速システム・クロック発振回路、高速オンチップ・オシレータを停止させ、システム全体が停止するモードです。CPU の動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1 クロックの場合、STOP モード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

(3) SNOOZEモード

CSIp, UARTq のデータ受信、タイマ・トリガ信号 (割り込み要求信号 (INTRTC/INTIT) または ELC イベント入力) による A/D 変換要求、DTC 起動要因により、STOP モードを解除し、CPU を動作させることなく CSlp, UARTq のデータ受信、A/D 変換、DTC 動作を行います。CPU/周辺ハードウェア・クロック (fCLK) に高速オンチップ・オシレータが選択されているときのみ設定可能です。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1. STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定しないでください。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 注意2. STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください(SNOOZEモード設定ユニットを除く)。
- 注意3. CSIp, UARTq, A/DコンバータをSNOOZEモードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタm (SSCm), A/Dコンバータ・モード・レジスタ2 (ADM2)をSTOPモードに移行前に設定してください。詳細は、17.3 シリアル・アレイ・ユニットを制御するレジスタ, 14.3 A/Dコンバータを制御するレジスタを参照してください。
- 注意4. A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ0 (ADM0)のビット7 (ADCS)とビット0 (ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 注意5. 低速オンチップ・オシレータをHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第29章 オプション・バイトを参照してください。

備考 30-64ピン製品 : p = 00; q = 0; m = 0

80, 100ピン製品 : p = 00, 20; q = 0, 2; m = 0, 1

23.2 スタンバイ機能を制御するレジスタ

スタンバイ機能を制御するレジスタを次に示します。

- ・サブシステム・クロック供給モード制御レジスタ (OSMC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)

備考 上記レジスタの詳細は、第5章 クロック発生回路を参照してください。また、SNOOZEモード機能を制御するレジスタは、第14章 A/Dコンバータ、第17章 シリアル・アレイ・ユニットを参照してください。

23.3 スタンバイ機能の動作

23.3.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速オンチップ・オシレータ・クロック、サブシステム・クロックのいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注意 割り込みマスク・フラグが“0”(割り込み処理許可)で且つ割り込み要求フラグが“1”(割り込み要求信号が発生)の場合、HALTモードの解除に割り込み要求信号が用いられるため、その状況下でHALT命令を実行しても、HALTモードに移行しません。

表 23 - 1 HALT モード時の動作状態 (1/2)

HALTモードの設定			メイン・システム・クロックでCPU動作中のHALT命令実行時		
項目			高速オンチップ・オシレータ・クロック (f _{IH}) でCPU動作時	X1クロック (f _X) でCPU動作時	外部メイン・システム・クロック (f _{EX}) でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
メイン・システム・クロック	f _{IH}	動作継続 (停止不可)	動作禁止		
	f _X	動作禁止	動作継続 (停止不可)		動作不可
	f _{EX}		動作不可		動作継続 (停止不可)
サブシステム・クロック		f _{XT}	HALTモード設定前の状態を継続		
		f _{EXS}			
低速オンチップ・オシレータ・クロック		f _{IL}	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM			動作停止 (DTC実行時は動作可能)		
ポート (ラッチ)			HALTモード設定前の状態を保持		
タイマ・アレイ・ユニット			動作可能		
リアルタイム・クロック (RTC)					
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ			第13章 ウォッチドッグ・タイマ参照		
タイマRJ			動作可能		
タイマRD					
タイマRG					
クロック出力／ブザー出力					
A/Dコンバータ					
D/Aコンバータ注					
コンパレータ注					
シリアル・アレイ・ユニット (SAU)					
シリアル・インタフェース (IICA)					
データ・トランスファ・コントローラ (DTC)					
イベント・リンク・コントローラ (ELC)			動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能			動作可能		
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能		高速CRC			
		汎用CRC	RAM領域の演算で、DTC実行時は動作可能		
不正メモリ・アクセス検出機能			DTC実行時は動作可能		
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

備考 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

f_{IH} : 高速オンチップ・オシレータ・クロック

f_X : X1クロック

f_{XT} : XT1クロック

f_{IL} : 低速オンチップ・オシレータ・クロック

f_{EX} : 外部メイン・システム・クロック

f_{EXS} : 外部サブシステム・クロック

表 23 - 2 HALT モード時の動作状態 (2/2)

HALTモードの設定			サブシステム・クロックでCPU動作中のHALT命令実行時	
項目			XT1クロック (fXT) でCPU動作時	外部サブシステム・クロック (fEXS) でCPU動作時
システム・クロック			CPUへのクロック供給は停止	
メイン・システム・クロック	fIH	動作禁止		
	fX			
	fEX			
サブシステム・クロック	fXT	動作継続(停止不可)	動作不可	
	fEXS	動作不可	動作継続(停止不可)	
低速オンチップ・オシレータ・クロック	fIL	オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU			動作停止	
コード・フラッシュ・メモリ				
データ・フラッシュ・メモリ				
RAM				
ポート(ラッチ)			動作停止 (DTC実行時は動作可能)	
ポート(ラッチ)			HALTモード設定前の状態を保持	
タイマ・アレイ・ユニット			RTCLPC = 0のときは動作可能(それ以外は動作禁止)	
リアルタイム・クロック(RTC)			動作可能	
12ビット・インターバル・タイマ				
ウォッチドッグ・タイマ			第13章 ウォッチドッグ・タイマ参照	
タイマRJ			RTCLPC = 0のときは動作可能(それ以外は動作禁止)	
タイマRD				
タイマRG				
クロック出力／ブザー出力				
A/Dコンバータ			動作禁止	
D/Aコンバータ注			RTCLPC = 0のときは動作可能(それ以外は動作禁止)	
コンパレータ注			コンパレータのリファレンス電圧は外部入力(IVREFn)選択時に動作可能	
シリアル・アレイ・ユニット(SAU)			RTCLPC = 0のときは動作可能(それ以外は動作禁止)	
シリアル・インタフェース(IICA)			動作禁止	
データ・トランスファ・コントローラ(DTC)			RTCLPC = 0のときは動作可能(それ以外は動作禁止)	
イベント・リンク・コントローラ(ELC)			動作可能な機能ブロック間のリンクが可能	
パワーオン・リセット機能			動作可能	
電圧検出機能				
外部割り込み				
キー割り込み機能				
CRC演算機能				
		高速CRC	動作禁止	
		汎用CRC	RAM領域の演算で、DTC実行時は動作可能	
不正メモリ・アクセス検出機能			DTC実行時は動作可能	
RAMパリティ・チェック機能				
RAMガード機能				
SFRガード機能				

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

備考 動作停止 : HALTモード移行時に自動的に動作停止

動作禁止 : HALTモード移行前に動作を停止させる

fIH : 高速オンチップ・オシレータ・クロック

fX : X1クロック

fXT : XT1クロック

fIL : 低速オンチップ・オシレータ・クロック

fEX : 外部メイン・システム・クロック

fEXS : 外部サブシステム・クロック

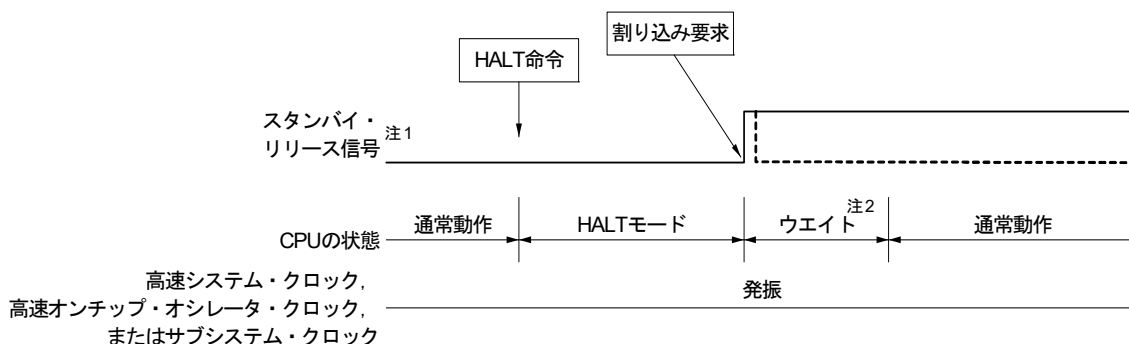
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図23-1 HALTモードの割り込み要求発生による解除



注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。

注2. HALTモード解除のウェイト時間

- ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時: 15～16クロック
 - サブシステム・クロック時(RTCLPC = 0): 10～11クロック
 - サブシステム・クロック時(RTCLPC = 1): 11～12クロック
- ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時: 9～10クロック
 - サブシステム・クロック時(RTCLPC = 0): 4～5クロック
 - サブシステム・クロック時(RTCLPC = 1): 5～6クロック

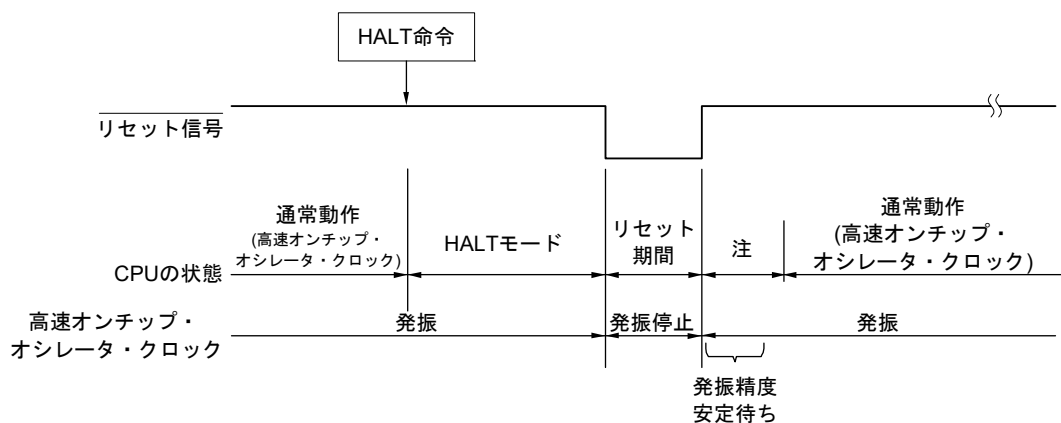
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

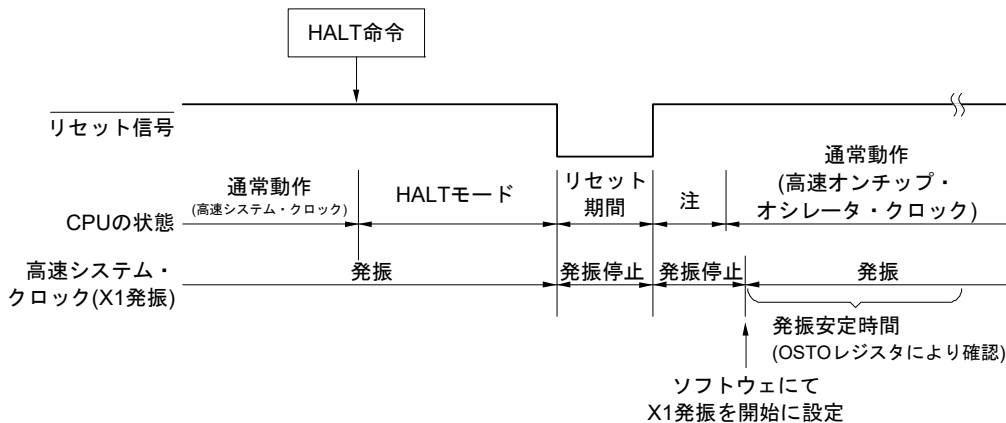
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-2 HALTモードのリセットによる解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



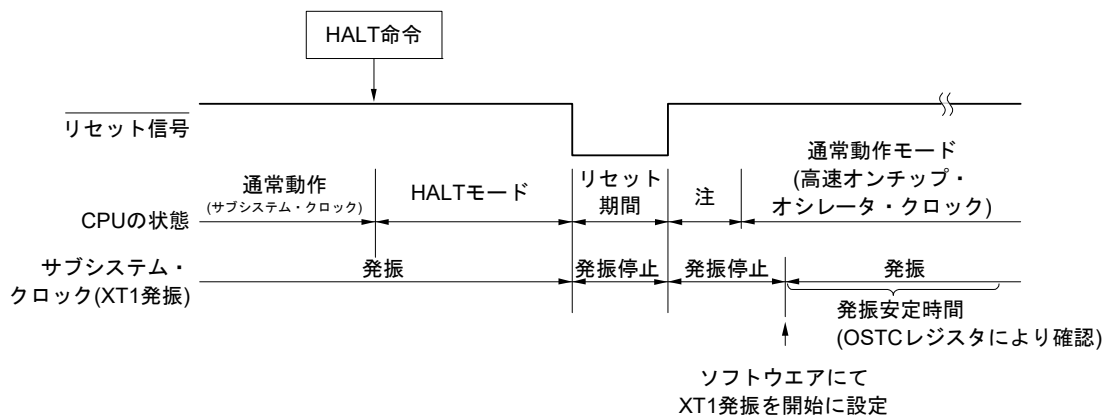
(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

図23-3 HALTモードのリセットによる解除(2/2)

(3) CPUクロックがサブシステム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、メイン・システム・クロックの場合のみ設定可能です。

注意 割り込みマスク・フラグが“0”(割り込み処理許可)かつ割り込み要求フラグが“1”(割り込み要求信号が発生)の場合、STOPモードの解除に割り込み要求信号が用いられるため、その状況でSTOP命令を実行すると、いったんSTOPモードに入ってから解除されます。
したがって、STOP命令実行後、STOPモード解除時間を経過したあと動作モードに戻ります。

備考 30-64ピン製品 : p = 00; q = 0; m = 0
80, 100ピン製品 : p = 00, 20; q = 0, 2; m = 0, 1

次にSTOPモード時の動作状態を示します。

表 23 - 3 STOP モード時の動作状態

STOPモードの設定 項目			メイン・システム・クロックでCPU動作中のSTOP命令実行時		
			高速オンチップ・オシレータ・クロック (f _{IH})でCPU動作時	X1クロック (f _X)でCPU動作時	外部メイン・システム・クロック (f _{EX})でCPU動作時
システム・クロック			CPUへのクロック供給は停止		
	メイン・システム・クロック	f _{IH}	停止		
		f _X			
		f _{EX}			
	サブシステム・クロック	f _{XT}	STOPモード設定前の状態を継続		
		f _{EXS}			
f _{IL}		オプション・バイト(000C0H)のビット0 (WDSTBYON), ビット4 (WDTON)およびサブシステム・クロック供給モード制御レジスタ (OSMC)のWUTMMCK0ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0かつWDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 1のとき : 発振 WUTMMCK0 = 0, WDTON = 1かつWDSTBYON = 0のとき : 停止			
CPU			動作停止		
コード・フラッシュ・メモリ					
データ・フラッシュ・メモリ					
RAM					
ポート(ラッチ)			STOPモード設定前の状態を継続		
タイマ・アレイ・ユニット			動作禁止		
リアルタイム・クロック(RTC)			動作可能		
12ビット・インターバル・タイマ					
ウォッチドッグ・タイマ			第13章 ウォッチドッグ・タイマ参照		
タイマRJ			・ TRJIO入力フィルタなし選択時のイベントカウンタモードは動作可能 ・ カウントソースにサブシステム・クロック選択時でかつOSMC レジスタのRTCLPC = 0の時は動作可能 ・ カウントソースに低速オンチップオシレータ選択時は動作可能 ・ 上記以外は動作禁止		
タイマRD			動作禁止		
タイマRG					
クロック出力／ブザー出力			カウント・クロックにサブシステム・クロック選択時かつRTCLPC = 0のときは動作可能(それ以外は、動作禁止)		
A/Dコンバータ			ウエイク・アップ動作可能(SNOOZEモードへ移行)		
D/Aコンバータ注			動作可能(STOPモード設定前の状態を継続)		
コンパレータ注			動作可能(デジタルフィルタ未使用時かつコンパレータのリファレンス電圧は外部入力(IVREFn)選択時のみ)		
シリアル・アレイ・ユニット(SAU)			CSIp, UARTqのみウエイク・アップ動作可能(SNOOZEモードへ移行) CSIp, UARTq以外は動作禁止		
シリアル・インタフェース(IICA)			アドレス一致によるウエイク・アップ動作可能		
データ・トランスファ・コントローラ(DTC)			DTC起動要因受付動作可能(SNOOZEモードへ移行)		
イベント・リンク・コントローラ(ELC)			動作可能な機能ブロック間のリンクが可能		
パワーオン・リセット機能			動作可能		
電圧検出機能					
外部割り込み					
キー割り込み機能					
CRC演算機能					
		高速CRC	動作停止		
		汎用CRC			
不正メモリ・アクセス検出機能			動作停止		
RAMパリティ・エラー検出機能					
RAMガード機能					
SFRガード機能					

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

(備考は次ページにあります。)

- 備考1. 動作停止 : STOPモード移行時に自動的に動作停止
 動作禁止 : STOPモード移行前に動作を停止させる
- filH : 高速オンチップ・オシレータ・クロック fil : 低速オンチップ・オシレータ・クロック
 fx : X1クロック fEX : 外部メイン・システム・クロック
 fxT : XT1クロック fEXS : 外部サブシステム・クロック
- 備考2. 30-64ピン製品 : p = 00; q = 0
 80, 100ピン製品 : p = 00, 20; q = 0, 2

(2) STOPモードの解除

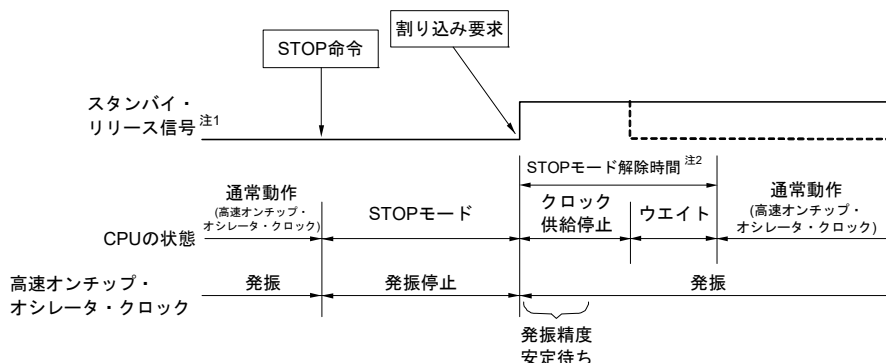
STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図23-4 STOPモードの割り込み要求発生による解除(1/2)

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



注1. スタンバイ・リリース信号に関する詳細は、図21-1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止 :

- FRQSEL4 = 0の場合 : 18 μ s ~ 65 μ s
- FRQSEL4 = 1の場合 : 18 μ s ~ 135 μ s

ウェイト :

- ベクタ割り込み処理を行う場合 : 7クロック
- ベクタ割り込み処理を行わない場合 : 1クロック

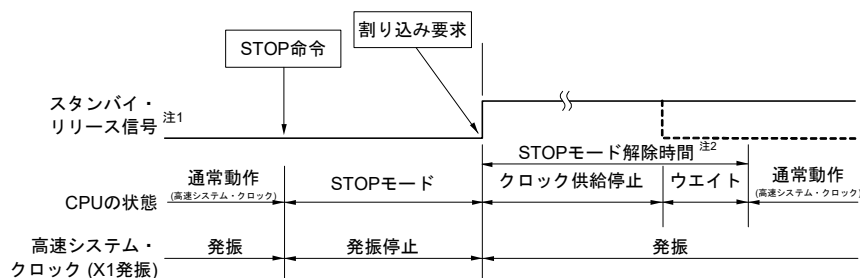
注意 高速システム・クロック (X1発振) でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

図23 - 5 STOPモードの割り込み要求発生による解除(2/2)

(2) CPUクロックが高速システム・クロック(X1発振)の場合



注1. スタンバイ・リリース信号についての詳細は、図21 - 1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

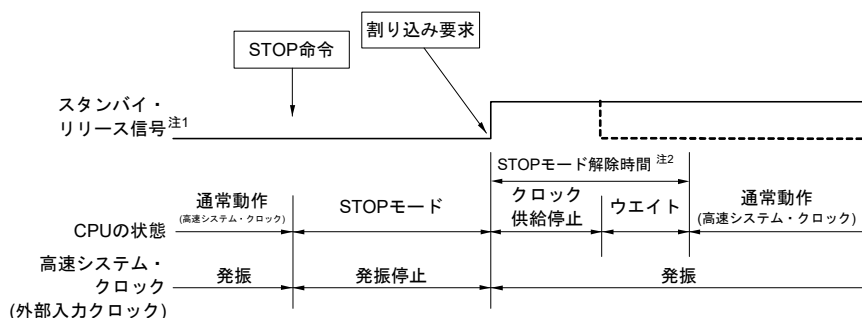
クロック供給停止:

- FRQSEL4 = 0 の場合: 18 μ s ~ 65 μ s または発振安定時間(OSTSで設定)の長い方
- FRQSEL4 = 1 の場合: 18 μ s ~ 135 μ s または発振安定時間(OSTSで設定)の長い方

ウェイト

- ベクタ割り込み処理を行う場合: 10 ~ 11クロック
- ベクタ割り込み処理を行わない場合: 4 ~ 5クロック

(3) CPUクロックが高速システム・クロック(外部クロック入力)の場合



注1. スタンバイ・リリース信号についての詳細は、図21 - 1 割り込み機能の基本構成を参照してください。

注2. STOPモード解除時間

クロック供給停止:

- FRQSEL4 = 0 の場合: 18 μ s ~ 65 μ s
- FRQSEL4 = 1 の場合: 18 μ s ~ 135 μ s

ウェイト:

- ベクタ割り込み処理を行う場合: 7クロック
- ベクタ割り込み処理を行わない場合: 1クロック

注意 高速システム・クロック(X1発振)でCPU動作していて、STOPモード解除後の発振安定時間を短縮したい場合は、STOP命令実行前に、CPUクロックを一時的に高速オンチップ・オシレータ・クロックに切り替えてください。

備考1. クロック供給停止時間は、温度条件とSTOPモード期間によって変化します。

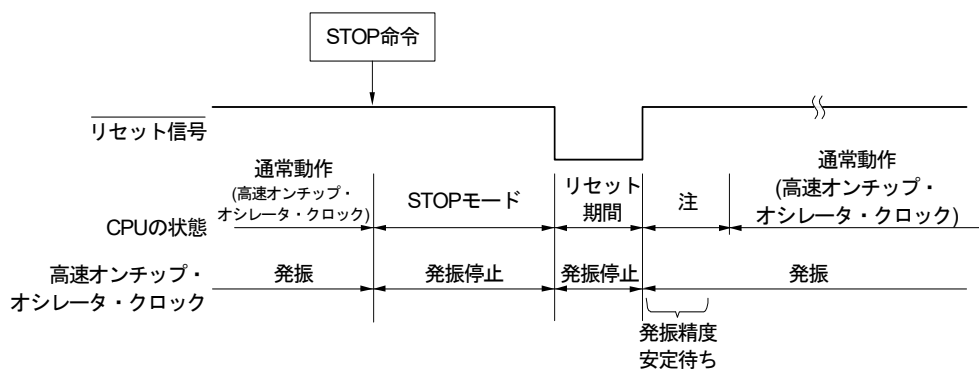
備考2. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

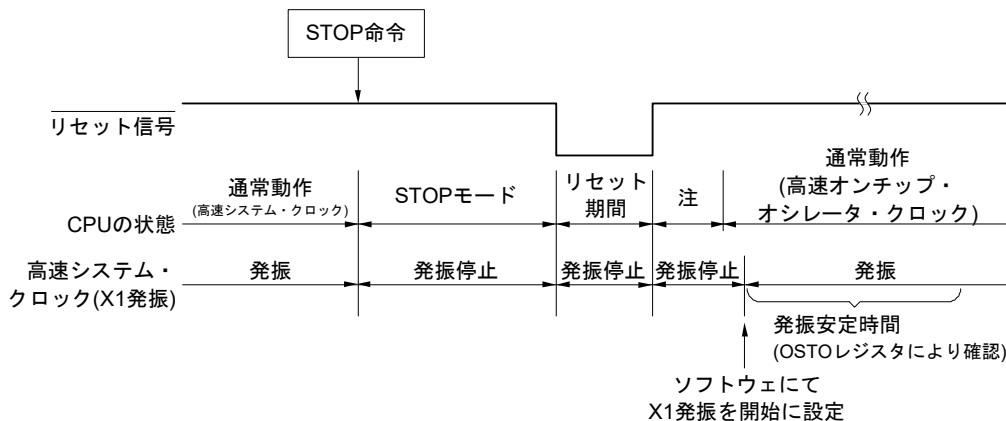
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図23-6 STOPモードのリセットによる解除

(1) CPUクロックが高速オンチップ・オシレータ・クロックの場合



(2) CPUクロックが高速システム・クロックの場合



注 リセット処理時間は、第24章 リセット機能を参照してください。なお、パワーオン・リセット(POR)回路と電圧検出(LVD)回路のリセット処理時間は、第25章 パワーオン・リセット回路を参照してください。

23.3.3 SNOOZE モード

(1) SNOOZE モードの設定および動作状態

CSIp または、A/D コンバータまたは、DTC が設定可能です。UARTq はオプションバイト 000C2H の FRQSEL4 が 0 の時にのみ設定可能です。また、設定前の CPU クロックが、高速オンチップ・オシレータ・クロックの場合のみ設定可能です。

CSIp, UARTq を SNOOZE モードで使用する場合は、シリアル・スタンバイ・コントロール・レジスタ m (SSCm) を STOP モードに移行前に設定してください。詳細は、17.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。

A/D コンバータを SNOOZE モードで使用する場合は、A/D コンバータ・モード・レジスタ 2 (ADM2) を STOP モードに移行前に設定してください。詳細は、14.3 A/D コンバータを制御するレジスタを参照してください。

DTC 転送を SNOOZE モードで使用する場合は、STOP モードに移行する前に、使用する DTC 起動要因を許可してください。STOP モード中に、許可した DTC 起動要因を検出すると自動的に SNOOZE モードに遷移します。詳細は、19.3 DTC を制御するレジスタを参照してください。

備考 30-64 ピン製品 : $p = 00; q = 0; m = 0$

80, 100 ピン製品 : $p = 00, 20; q = 0, 2; m = 0, 1$

SNOOZE モードの移行では、次の時間だけウェイト状態になります。

STOP モード → SNOOZE モードの遷移時間

FRQSEL4 = 0 の場合 : $18 \mu\text{s} \sim 65 \mu\text{s}$

FRQSEL4 = 1 の場合 : $18 \mu\text{s} \sim 135 \mu\text{s}$

備考 STOP モード → SNOOZE モードの遷移時間は、温度条件と STOP モード期間によって変化します。

SNOOZE モード → 通常動作の遷移時間 :

- ベクタ割り込み処理を行う場合

HS (高速メイン) モード : $"4.99 \sim 9.44 \mu\text{s}" + 7 \text{ クロック}$

LS (低速メイン) モード : $"1.10 \sim 5.08 \mu\text{s}" + 7 \text{ クロック}$

LV (低電圧メイン) モード : $"16.58 \sim 25.40 \mu\text{s}" + 7 \text{ クロック}$

- ベクタ割り込み処理を行わない場合

HS (高速メイン) モード : $"4.99 \sim 9.44 \mu\text{s}" + 1 \text{ クロック}$

LS (低速メイン) モード : $"1.10 \sim 5.08 \mu\text{s}" + 1 \text{ クロック}$

LV (低電圧メイン) モード : $"16.58 \sim 25.40 \mu\text{s}" + 1 \text{ クロック}$

次に SNOOZE モード時の動作状態を示します。

表 23 - 4 SNOOZE モード時の動作状態

STOP モードの設定			STOP モード中に CSIp, UARTq のデータ受信信号, A/D コンバータのタイマ・トリガ信号入力, DTC 起動要因発生時
項目			高速オンチップ・オシレータ・クロック (f _{IH}) で CPU 動作時
システム・クロック			CPU へのクロック供給は停止
メイン・システム・クロック	f _{IH}		動作開始
	f _X		停止
	f _{EX}		
サブシステム・クロック	f _{XT}		STOP モード中の状態を継続
	f _{EXS}		
f _{IL}			オプション・バイト (000C0H) のビット 0 (WDSTBYON), ビット 4 (WDTON) およびサブシステム・クロック供給モード制御レジスタ (OSMC) の WUTMMCK0 ビットにて設定 WUTMMCK0 = 1 : 発振 WUTMMCK0 = 0 かつ WDTON = 0 : 停止 WUTMMCK0 = 0, WDTON = 1 かつ WDSTBYON = 1 のとき : 発振 WUTMMCK0 = 0, WDTON = 1 かつ WDSTBYON = 0 のとき : 停止
CPU			動作停止
コード・フラッシュ・メモリ			
データ・フラッシュ・メモリ			
RAM			動作停止 (DTC 実行時は動作可能)
ポート (ラッチ)			STOP モード中の状態を継続
タイマ・アレイ・ユニット			動作禁止
リアルタイム・クロック (RTC)			動作可能
12 ビット・インターバル・タイマ			
ウォッチドッグ・タイマ			第 13 章 ウォッチドッグ・タイマ参照
タイマ RJ			・ TRJIO 入力フィルタなし選択時のイベントカウンタモードは動作可能 ・ カウントソースにサブシステム・クロック選択時でかつ OSMC レジスタの RTCLPC = 0 の時は動作可能 ・ カウントソースに低速オンチップオシレータ選択時は動作可能 ・ 上記以外は動作禁止
タイマ RD			動作禁止
タイマ RG			
クロック出力ノブザー出力			カウント・クロックにサブシステム・クロック選択時かつ RTCLPC = 0 のときは動作可能 (それ以外は, 動作禁止)
A/D コンバータ			動作可能
D/A コンバータ注			動作可能 (SNOOZE モード遷移前の状態を保持)
コンパレータ注			動作可能 (デジタルフィルタ未使用時のみ)
シリアル・アレイ・ユニット (SAU)			CSIp, UARTq のみ動作可能 CSIp, UARTq 以外は動作禁止
シリアル・インタフェース (IICA)			動作禁止
データ・転送ファ・コントローラ (DTC)			動作可能
イベント・リンク・コントローラ (ELC)			動作可能な機能ブロック間のリンクが可能
パワーオン・リセット機能			動作可能
電圧検出機能			
外部割り込み			
キー割り込み機能			
CRC 演算機能	高速 CRC		動作停止
	汎用 CRC		動作禁止
不正メモリ・アクセス検出機能			DTC 実行時は動作可能
RAM パリティ・エラー検出機能			
RAM ガード機能			
SFR ガード機能			

(注と備考は次ページにあります。)

注 コード・フラッシュ・メモリが96 KB以上の製品のみ。

備考1. 動作停止 : STOPモード移行時に自動的に動作停止

動作禁止 : STOPモード移行前に動作を停止させる

filH : 高速オンチップ・オシレータ・クロック

fx : X1クロック

fxT : XT1クロック

fil : 低速オンチップ・オシレータ・クロック

fEX : 外部メイン・システム・クロック

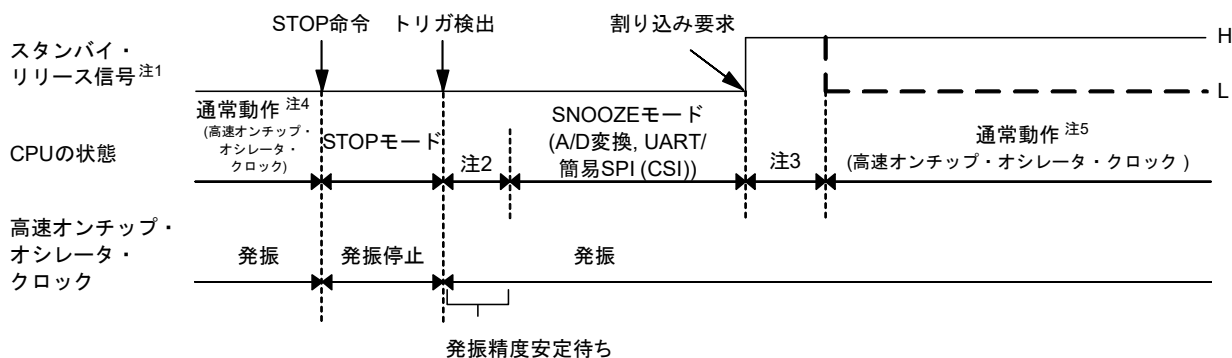
fEXS : 外部サブシステム・クロック

備考2. 30-64ピン製品 : p = 00; q = 0

80, 100ピン製品 : p = 00, 20; q = 0, 2

(2) SNOOZEモードで割り込み要求信号が発生した場合のタイミング図

図23 - 7 SNOOZEモードの割り込み要求が発生する場合



注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

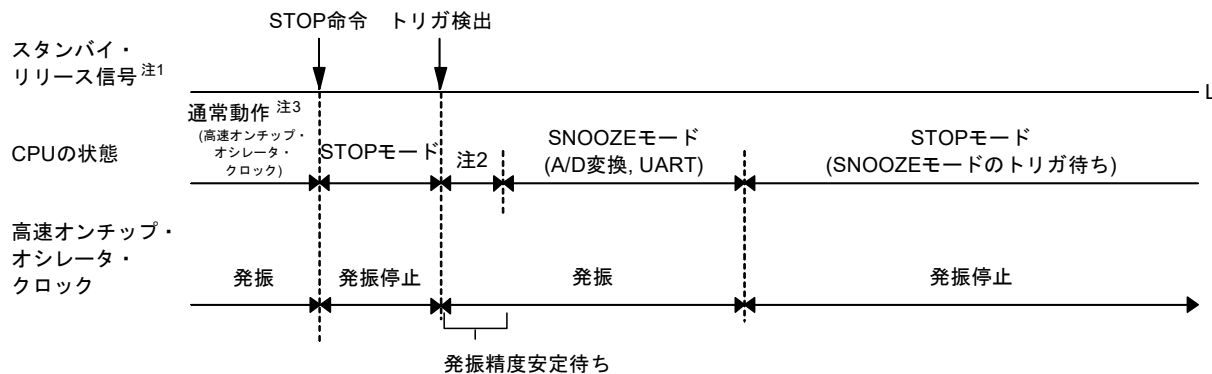
注3. SNOOZEモード→通常動作の遷移時間

注4. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。

注5. 通常動作に復帰後すぐに、必ずSNOOZEモード解除(AWC = 0/SWC = 0)に設定してください。

(3) SNOOZEモードで割り込み要求信号が発生しなかった場合のタイミング図

図23 - 8 SNOOZEモードの割り込み要求が発生しない場合



注1. スタンバイ・リリース信号に関する詳細は、図21 - 1を参照してください。

注2. STOPモード→SNOOZEモードの遷移時間

注3. STOPモードへ移行する直前に、SNOOZEモード許可(AWC = 1/SWC = 1)に設定してください。

備考 SNOOZEモード機能の詳細は、第14章 A/Dコンバータ、第17章 シリアル・アレイ・ユニットを参照してください。

第24章 リセット機能

リセット信号を発生させる方法には、次の7種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・リセット(POR)回路の電源電圧と検出電圧との比較による内部リセット
- (4) 電圧検出回路(LVD)の電源電圧と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット注
- (6) RAMパリティ・エラーによる内部リセット
- (7) 不正メモリ・アクセスによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、00000H, 00001H 番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POR 回路、LVD 回路の電圧検出、不正命令の実行注、RAMパリティ・エラーの発生、または不正メモリ・アクセスにより、リセットがかかり、各ハードウェアは表 24 - 1 に示すような状態になります。

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意 1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に 10 μs 以上のロウ・レベルを入力してください。

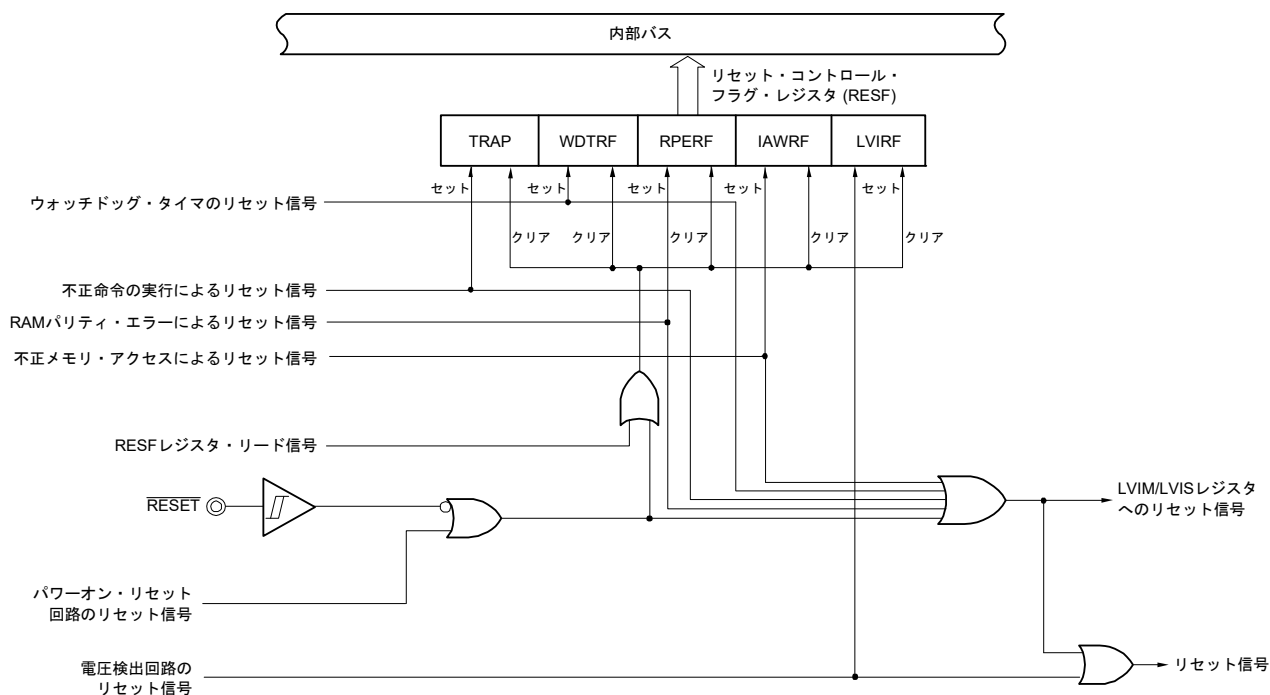
電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、34.4 または 35.4 AC 特性に示す動作電圧範囲内の期間で 10 μs 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

注意 2. リセット信号発生中では、X1 クロック、XT1 クロック、高速オンチップ・オシレータ・クロック、低速オンチップ・オシレータ・クロックの発振は停止します。また、外部メイン・システム・クロック、外部サブシステム・クロックの入力は無効となります。

注意 3. リセットがかかると各 SFR と 2nd SFR は初期化されるため、ポート端子は次の状態になります。

- ・P40：外部リセットか POR によるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)
- ・P130：リセット期間中およびリセット受け付け後はロウ・レベル出力
- ・P40, P130 以外のポート：リセット期間中およびリセット受け付け後はハイ・インピーダンス

図24 - 1 リセット機能のブロック図



注意 LVD回路の内部リセットの場合、LVD回路はリセットされません。

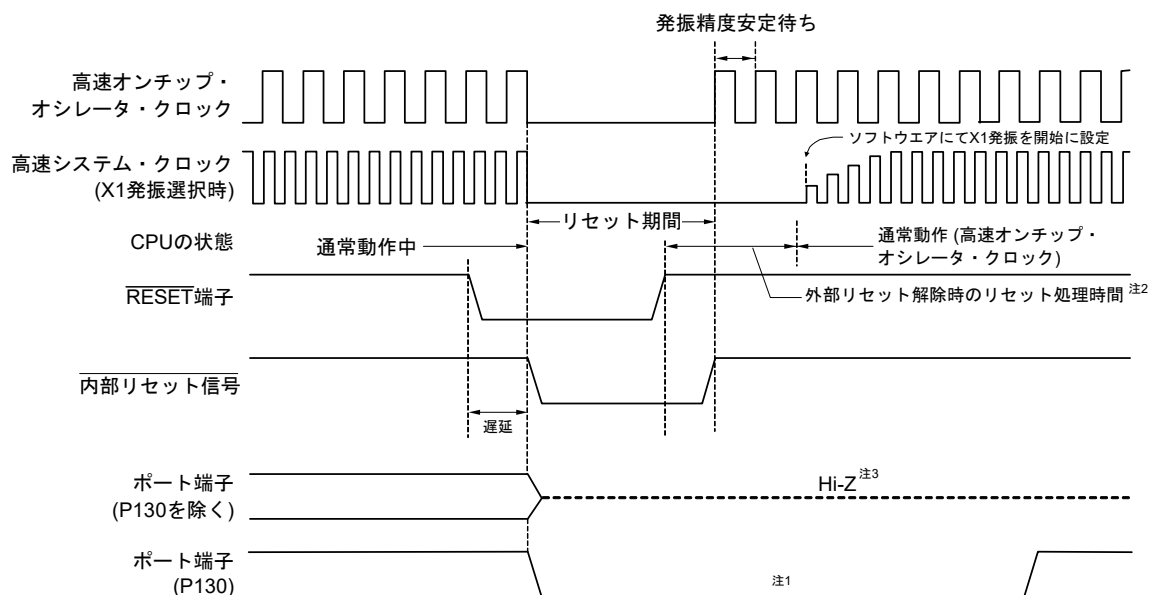
備考1. LVIM：電圧検出レジスタ

備考2. LVIS：電圧検出レベル・レジスタ

24.1 リセット動作のタイミング

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

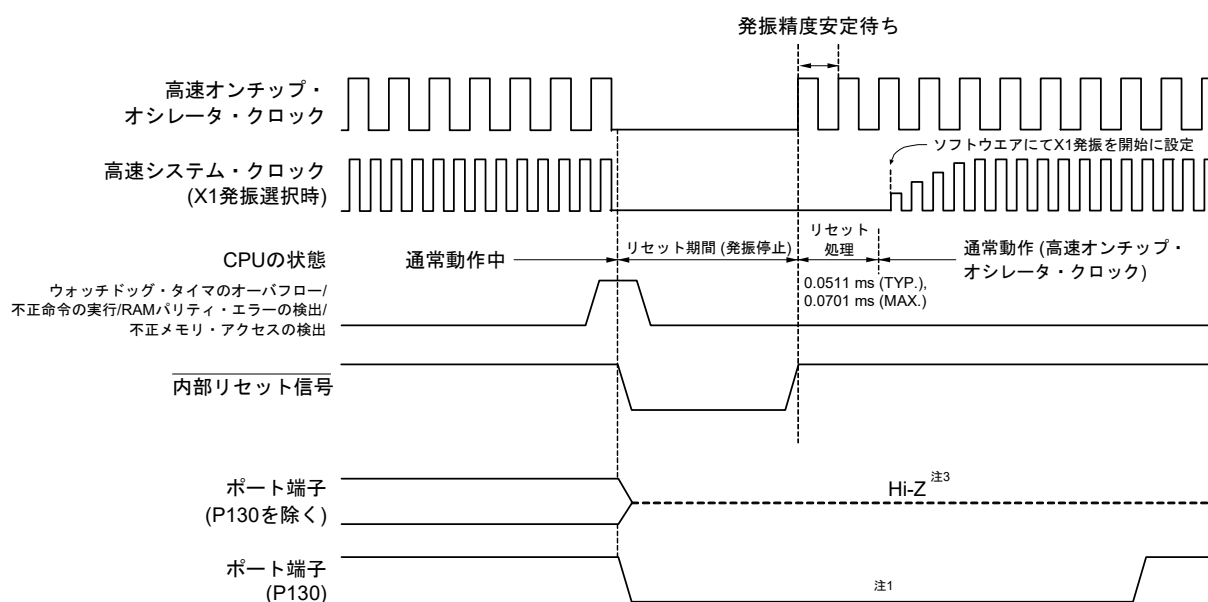
図24-2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング



(注、注意は、次ページにあります。)

ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセットは、自動的にリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。

図24-3 ウォッチドッグ・タイマのオーバーフロー／不正命令の実行／RAMパリティ・エラーの検出／不正メモリ・アクセスの検出によるリセット・タイミング



(注は、次ページにあります。)

- 注1. リセットがかかると P130 はロウ・レベルを出力するため、リセットがかかる前に P130 をハイ・レベル出力にした場合、P130 からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P130 をソフトウェアでハイ・レベル出力にしてください。
- 注2. 外部リセット解除時のリセット時間：
- | | |
|-----------------|--|
| POR 解除後 1 回目： | 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD 使用時) |
| | 0.399 ms (TYP.), 0.519 ms (MAX.) (LVD オフ時) |
| POR 解除後 2 回目以降： | 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD 使用時) |
| | 0.259 ms (TYP.), 0.362 ms (MAX.) (LVD オフ時) |
- 電源立ち上がり時は、外部リセット解除時のリセット処理時間の前に電圧安定待ち時間 0.99 ms (TYP.), 2.30 ms (MAX.) がかかります。
- 注3. ポート端子 P40 は次の状態になります。
- ・外部リセットか POR によるリセット期間中はハイ・インピーダンスになります。
 - ・それ以外のリセット期間中およびリセット受け付け後はハイ・レベル(内蔵プルアップ抵抗接続)になります。

POR 回路、LVD 回路の電圧検出によるリセットは、リセット後 $V_{DD} \geq V_{POR}$ または $V_{DD} \geq V_{LVD}$ になったときにリセットが解除され、リセット処理後、高速オンチップ・オシレータ・クロックでプログラムの実行を開始します。詳細は、第25章 パワーオン・リセット回路または第26章 電圧検出回路を参照してください。

備考 V_{POR} : POR 電源立ち上がり検出電圧

V_{LVD} : LVD 検出電圧

表 24 - 1 リセット期間中の動作状態

項目		リセット期間中
システム・クロック		CPUへのクロック供給は停止
メイン・システム・クロック	fIH	動作停止
	fX	動作停止 (X1, X2端子は入力ポート・モード)
	fEX	クロックの入力無効 (端子は入力ポート・モード)
	fXT	動作停止 (XT1, XT2端子は入力ポート・モード)
	fEXS	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック		
fIL		動作停止
CPU		
コード・フラッシュ・メモリ		動作停止
データ・フラッシュ・メモリ		動作停止
RAM		動作停止
ポート(ラッチ)		ハイ・インピーダンス ^{注2}
タイマ・アレイ・ユニット		動作停止
タイマRJ		
タイマRD		
タイマRG		
リアルタイム・クロック (RTC)		
12ビット・インターバル・タイマ		
ウォッチドッグ・タイマ		
クロック出力／ブザー出力		
A/Dコンバータ		
D/Aコンバータ ^{注1}		
コンパレータ ^{注1}		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
データ・トランスファ・コントローラ (DTC)		
パワーオン・リセット機能		検出動作可能
電圧検出機能		LVDリセット時は動作可能。それ以外のリセット時は動作停止。
外部割り込み		動作停止
キー割り込み機能		
CRC演算機能	高速CRC	
	汎用CRC	
不正メモリ・アクセス検出機能		
RAMパリティ・エラー検出機能		
RAMガード機能		
SFRガード機能		

注1. コード・フラッシュ・メモリが96 KB以上の製品のみ。

注2. ポート端子P40, P130は次の状態になります。

- ・P40 : 外部リセットかPORによるリセット期間中はハイ・インピーダンス。それ以外のリセット期間中はハイ・レベル(内蔵プルアップ抵抗接続)
- ・P130 : リセット期間中はロウ・レベル出力

備考 f_{IH} : 高速オンチップ・オシレータ・クロック f_X : X1発振クロック
f_{EX} : 外部メイン・システム・クロック f_{XT} : XT1発振クロック
f_{EXS} : 外部サブシステム・クロック周波数 f_{IL} : 低速オンチップ・オシレータ・クロック

表24 - 2 各ハードウェアのリセット受け付け後の状態

ハードウェア		リセット受け付け後の状態 ^注
プログラム・カウンタ(PC)		リセット・ベクタ・テーブル(00000H, 00001H)の内容がセットされる。
スタック・ポインタ(SP)		不定
プログラム・ステータス・ワード(PSW)		06H
RAM	データ・メモリ	不定
	汎用レジスタ	不定

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 特殊機能レジスタ(SFR: Special Function Register)のリセット受け付け後の状態は、3.1.4 特殊機能レジスタ(SFR: Special Function Register)領域、3.1.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)領域を参照してください。

24.2 リセット要因を確認するレジスタ

24.2.1 リセット・コントロール・フラグ・レジスタ (RESF)

RL78 マイクロコントローラは内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF)は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFレジスタは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・リセット(POR)回路によるリセットおよびRESFレジスタのデータを読み出すことにより、TRAP, WDTRF, RPERF, IAWRF, LVIRF フラグはクリアされます。リセット要因を判定する場合、RESF レジスタの値を任意のRAMに格納し、そのRAMの値で判定してください。

図24-4 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 不定^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDTRF	0	RPERF	IAWRF	LVIRF
TRAP		不正命令の実行による内部リセット要求 ^{注2}						
0		内部リセット要求は発生していない、またはRESFレジスタをクリアした						
1		内部リセット要求は発生した						
WDTRF		ウォッチドッグ・タイマ(WDT)による内部リセット要求						
0		内部リセット要求は発生していない、またはRESFレジスタをクリアした						
1		内部リセット要求は発生した						
RPERF		RAMパリティ・エラーによる内部リセット要求						
0		内部リセット要求は発生していない、またはRESFレジスタをクリアした						
1		内部リセット要求は発生した						
IAWRF		不正メモリ・アクセスによる内部リセット要求						
0		内部リセット要求は発生していない、またはRESFレジスタをクリアした						
1		内部リセット要求は発生した						
LVIRF		電圧検出(LVD)回路による内部リセット要求						
0		内部リセット要求は発生していない、またはRESFレジスタをクリアした						
1		内部リセット要求は発生した						

注1. リセット要因により異なります。表24-3を参照してください。

注2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意1. 1ビット・メモリ操作命令でデータを読み出さないでください。

注意2. RAMパリティ・エラー・リセット発生を許可(RPERDIS = 0)で使用する場合、データ・アクセス時は「使用するRAM領域」を、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

リセット発生により、RAMパリティ・エラー・リセット発生許可(RPERDIS = 0)となります。詳細は、27.3.3 RAMパリティ・エラー検出機能を参照してください。

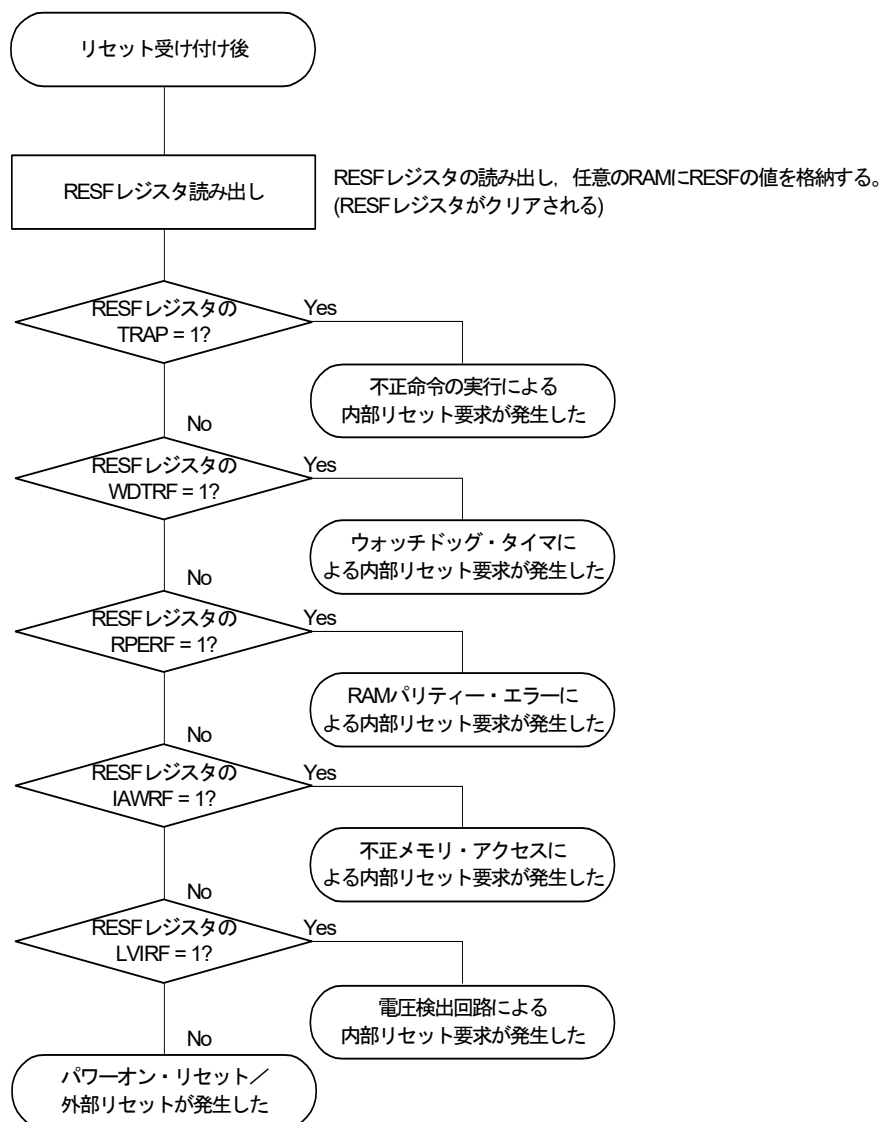
リセット要求時のRESFレジスタの状態を表24-3に示します。

表24-3 リセット要求時のRESFレジスタの状態

リセット要因 フラグ	RESET入力	PORによる リセット	不正命令の実行 によるリセット	WDTによる リセット	RAMパリティ・エラー によるリセット	不正メモリ・アクセス によるリセット	LVDによる リセット
TRAP	クリア(0)	クリア(0)	セット(1)	保持	保持	保持	保持
WDTRF			保持	セット(1)			
RPERF			保持	セット(1)	保持	保持	
IAWRF							
LVIRF					保持	保持	セット(1)

リセット要因の確認手順例を図24-5に示します。

図24-5 リセット要因の確認手順例



注意 上記フローは確認手順の一例です。

第25章 パワーオン・リセット回路

25.1 パワーオン・リセット回路の機能

パワーオン・リセット(POR)回路は次のような機能を持ちます。

- 電源投入時に内部リセット信号を発生します。

電源電圧(VDD)が検出電圧(VPOR)を越えた場合に、リセットを解除します。ただし、34.4または35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。

- 電源電圧(VDD)と検出電圧(VPDR)を比較し、 $VDD < VPDR$ になったとき内部リセット信号を発生します。ただし、電源立ち下がり時は、34.4または35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

注意 パワーオン・リセット回路による内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ(RESF)がクリア(00H)されます。

備考1. RL78マイクロコントローラには内部リセット信号を発生するハードウェアが複数内蔵されています。

ウォッチドッグ・タイマ(WDT)／電圧検出(LVD)回路／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスによる内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがRESFレジスタに配置されています。RESFレジスタはWDT／LVD／不正命令の実行／RAMパリティ・エラー／不正メモリ・アクセスのいずれかによる内部リセット信号が発生した場合は、クリア(00H)されずフラグがセット(1)されます。RESFレジスタの詳細については、第24章 リセット機能を参照してください。

備考2. VPOR : POR電源立ち上がり検出電圧

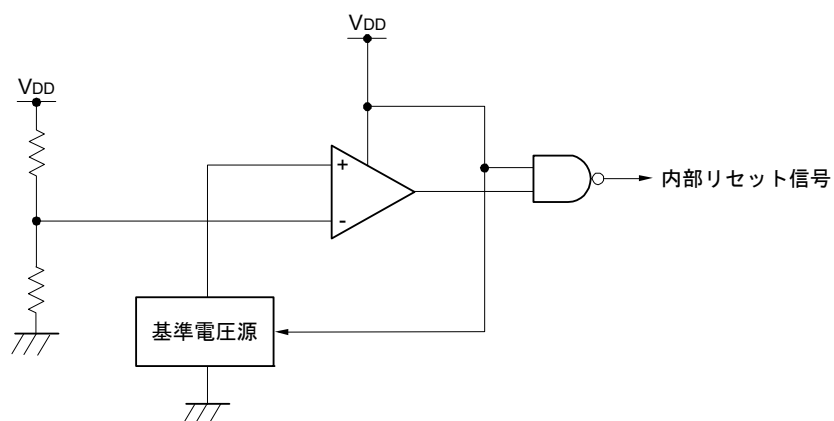
VPDR : POR電源立ち下がり検出電圧

詳細は、34.6.5または35.6.5 POR回路特性を参照してください。

25.2 パワーオン・リセット回路の構成

パワーオン・リセット回路のブロック図を図25 - 1に示します。

図25 - 1 パワーオン・リセット回路のブロック図

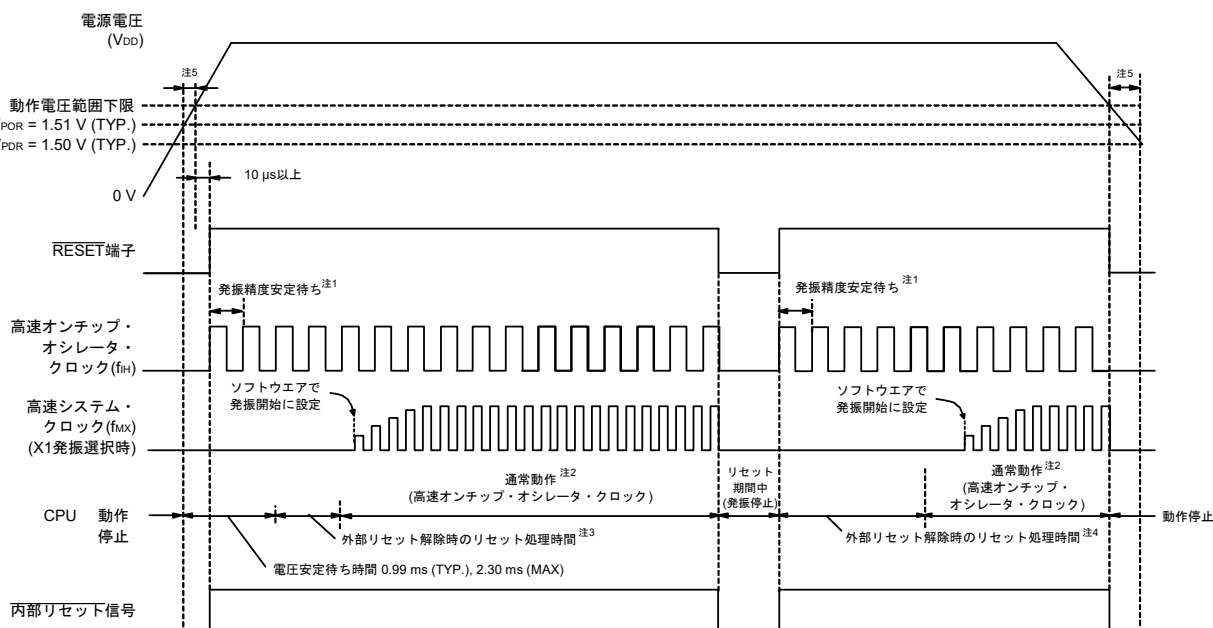


25.3 パワーオン・リセット回路の動作

パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを次に示します。

図25-2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(1/3)

(1) RESET端子による外部リセット入力使用時



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。

X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ (OSTC) で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから切り替えてください。

注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してから“電圧安定待ち時間”に加えて、RESET信号をハイ・レベル(1)にしてから次の“外部リセット解除時のリセット処理時間(POR解除後1回目)”が掛かります。外部リセット解除時のリセット処理時間を次に示します。

POR解除後1回目： 0.672 ms (TYP.), 0.832 ms (MAX.) (LVD使用時)
0.399 ms (TYP.), 0.519 ms (MAX.) (LVDオフ時)

注4. POR解除後2回目以降の外部リセット解除時のリセット処理時間を次に示します。

POR解除後2回目以降： 0.531 ms (TYP.), 0.675 ms (MAX.) (LVD使用時)
0.259 ms (TYP.), 0.362 ms (MAX.) (LVDオフ時)

注5. 電源立ち上がり時は、34.4または35.4 AC特性に示す動作電圧範囲まで、外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲まで復帰したことを確認してください。

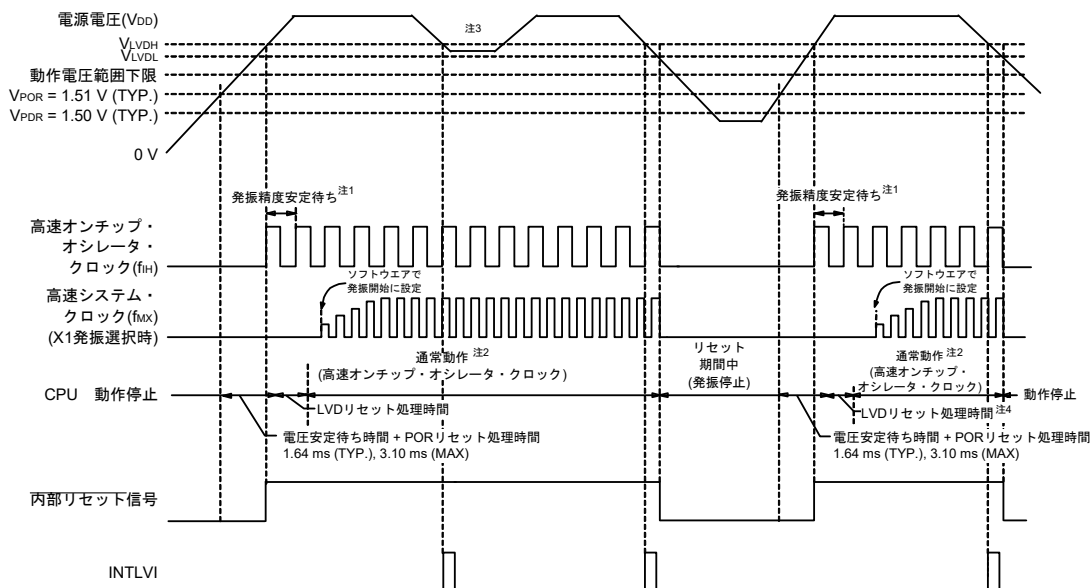
備考 V_{POR}： POR電源立ち上がり検出電圧

V_{PDR}： POR電源立ち下がり検出電圧

注意 LVDオフ時は必ずRESET端子による外部リセットを使用してください。詳細は、第26章 電圧検出回路を参照してください。

図25-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(2/3)

(2) LVD 割り込み&リセットモード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 0)



- 注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
- 注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
- 注3. 割り込み要求信号(INTLVI)が発生したあと、電圧検出レベル・レジスタ(LVIS)のLVILV, LVIMDビットは自動的に1に設定されます。そのため、電源電圧が低電圧検出電圧(V_{LDL})を下回らずに、高電圧検出電圧(V_{LDH})以上に復帰する場合を考慮して、INTLVI発生後は、“図26-9 動作電圧確認／リセットの設定手順”と、“図26-10 割り込み&リセット・モードの初期設定の設定手順”に従って設定をしてください。
- 注4. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してからの“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(V_{LDH})に達してから次の“LVDリセット処理時間”が掛かります。
- LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

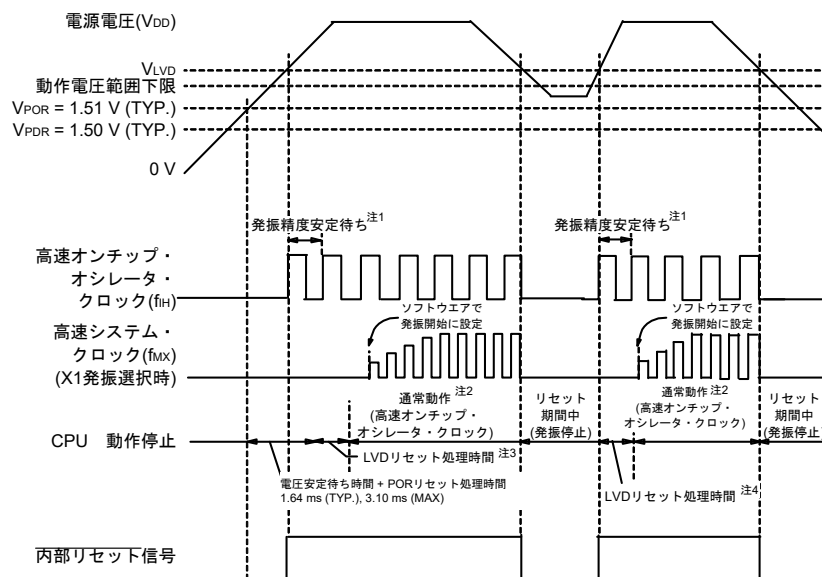
備考 V_{LDH}, V_{LDL} : LVD検出電圧

V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

図25-4 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング(3/3)

(3) LVD リセット・モード時(オプション・バイト000C1HのLVIMDS1, LVIMDS0 = 1, 1)



注1. 高速オンチップ・オシレータ・クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

注2. CPUクロックを高速オンチップ・オシレータ・クロックから高速システム・クロックまたはサブシステム・クロックに切り替え可能です。X1クロックを使用する場合は、発振安定時間カウンタ状態レジスタ(OSTC)で、XT1クロックを使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。

注3. 通常動作が開始されるまでの時間は、V_{POR} (1.51 V (TYP.))に達してから“電圧安定待ち + PORリセット処理時間”に加えて、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0 ms ~ 0.0701 ms (MAX.)

注4. 電源電圧降下時、電圧検出回路(LVD)による内部リセットのみ発生後に電源電圧が復帰した場合、LVD検出レベル(V_{LVD})に達してから次の“LVDリセット処理時間”が掛かります。

LVDリセット処理時間：0.0511 ms (TYP.), 0.0701ms (MAX.)

備考1. V_{LVDH}, V_{LVDL} : LVD検出電圧

V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

備考2. LVD割り込みモード(オプション・バイト000C1HのLVIMD1, LVIMD0 = 0, 1)を選択した場合、電源投入後に通常動作が開始されるまでの時間は、図25-4 (3) LVDリセット・モード時の“注3”の時間と同じです。

第26章 電圧検出回路

26.1 電圧検出回路の機能

電圧検出回路は、オプション・バイト(000C1H)で動作モードと検出電圧(VLVDH, VLVDL, VLVD)を設定します。電圧検出(LVD)回路は、次のような機能を持ちます。

- 電源電圧(VDD)と検出電圧(VLVDH, VLVDL, VLVD)を比較し、内部リセットまたは内部割り込み信号を発生します。
- 電源電圧の検出電圧(VLVDH, VLVDL)は、オプション・バイトにて検出レベルを14段階より選択できます(第29章 オプション・バイト参照)。
- STOPモード時においても動作可能です。
- 電源立ち上がり時は、34.4 または 35.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

(a) 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)

オプション・バイト000C1Hで2つの検出電圧(VLVDH, VLVDL)を選択します。高電圧検出レベル(VLVDH)はリセット解除用／割り込み発生用として使用します。低電圧検出レベル(VLVDL)はリセット発生用として使用します。

(b) リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、リセット発生／解除用として使用します。

(c) 割り込みモード(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)

オプション・バイト000C1Hで選択する1つの検出電圧(VLVD)を、割り込み発生／リセット解除用として使用します。

各モードにおける割り込み信号と内部リセット信号は、次のように発生します。

割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)	リセット・モード (LVIMDS1, LVIMDS0 = 1, 1)	割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)
動作電圧降下時に、 $V_{DD} < V_{LVDH}$ を検出して内部リセットを解除、 $V_{DD} < V_{LVDL}$ を検出して内部リセットを発生。 $V_{DD} \geq V_{LVDH}$ を検出して内部リセットを解除。	$V_{DD} \geq V_{LVD}$ を検出して内部リセットを解除。 $V_{DD} < V_{LVD}$ を検出して内部リセット発生。	リセット発生直後、LVDの内部リセットは $V_{DD} \geq V_{LVD}$ になるまでリセット状態を継続します。 $V_{DD} \geq V_{LVD}$ を検出してLVDの内部リセットは解除されます。 LVDの内部リセット解除後は、 $V_{DD} < V_{LVD}$ または $V_{DD} \geq V_{LVD}$ を検出して割り込み要求信号(INTLVI)を発生します。

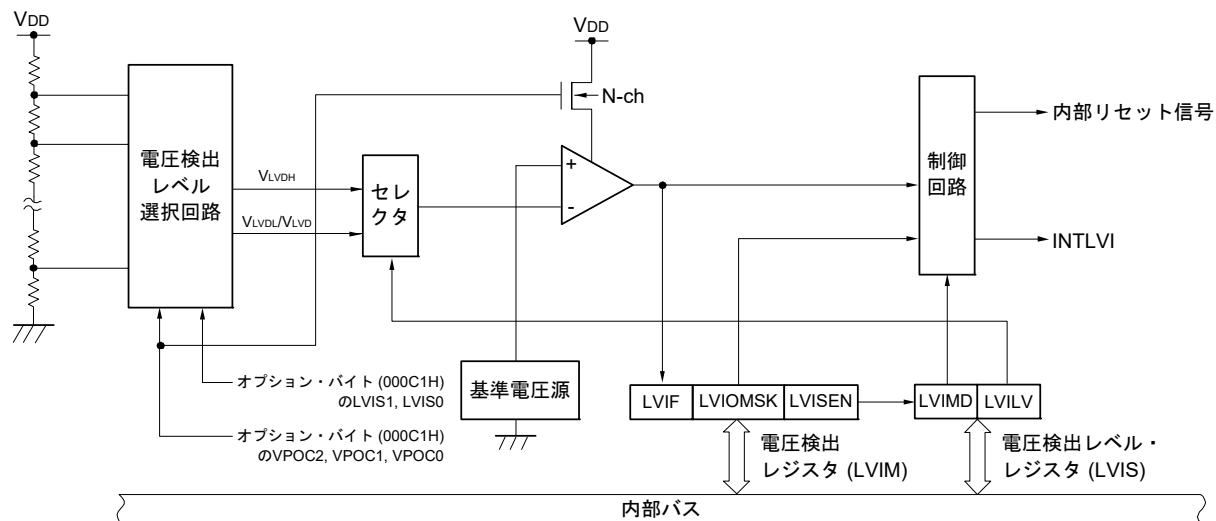
電圧検出回路動作時では、電圧検出フラグ(LVIF: 電圧検出レジスタ(LVIM)のビット0)を読み出すことにより、電源電圧が検出レベル以上か未満かを知ることができます。

リセットが発生するとリセット・コントロール・フラグ・レジスタ(RESF)のビット0(LVIRF)がセット(1)されます。RESFレジスタについての詳細は、第24章 リセット機能を参照してください。

26.2 電圧検出回路の構成

電圧検出回路のブロック図を図26 - 1に示します。

図26 - 1 電圧検出回路のブロック図



26.3 電圧検出回路を制御するレジスタ

電圧検出回路は次のレジスタで制御します。

- 電圧検出レジスタ (LVIM)
- 電圧検出レベル・レジスタ (LVIS)

26.3.1 電圧検出レジスタ (LVIM)

電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定、LVD 出力のマスキング状態を確認するレジスタです。

LVIM レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図 26 - 2 電圧検出レジスタ (LVIM) のフォーマット

アドレス：FFFA9H リセット時：00H^{注1} R/W^{注2}

略号	7	6	5	4	3	2	1	0
LVIM	LVISEN ^{注3}	0	0	0	0	0	LVIOMSK	LVIF
LVISEN ^{注3}	電圧検出レベル・レジスタ (LVIS) の書き換え許可／禁止の設定							
0	LVIS レジスタの書き換え禁止 (LVIOMSK = 0 (LVD 出力マスク無効)になる)							
1	LVIS レジスタの書き換え許可 (LVIOMSK = 1 (LVD 出力マスク有効)になる)							
LVIOMSK	LVD 出力マスク状態フラグ							
0	LVD 出力マスク無効							
1	LVD 出力マスク有効 ^{注4}							
LVIF	電圧検出フラグ							
0	電源電圧 (V _{DD}) ≥ 検出電圧 (V _{LVD}), または LVD オフ時							
1	電源電圧 (V _{DD}) < 検出電圧 (V _{LVD})							

注1. リセット値は、リセット要因により変化します。

LVD によるリセットのときには、LVIM レジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、LVISENは“0”にクリアされます。

注2. ビット0, 1は、Read Onlyです。

注3. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ設定できます。その他モードでは初期値から変更しないでください。

注4. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時のみ、LVIOMSKビットは以下の期間に自動で“1”となり、LVDによるリセットまたは割り込み発生がマスクされます。

- LVISEN = 1の期間
- LVD 割り込み発生から、LVD 検出電圧が安定するまでの待ち時間
- LVILV ビットの値変更から、LVD 検出電圧が安定するまでの待ち時間

26.3.2 電圧検出レベル・レジスタ (LVIS)

電圧検出レベルを設定するレジスタです。

LVISレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00H/01H/81H^{注1}になります。

図26 - 3 電圧検出レベル・レジスタ (LVIS)のフォーマット

アドレス : FFFAAH リセット時 : 00H/01H/81H^{注1} R/W

略号	7	6	5	4	3	2	1	0
LVIS	LVIMD ^{注2}	0	0	0	0	0	0	LVILV ^{注2}
	LVIMD ^{注2}	電圧検出の動作モード						
	0	割り込みモード						
	1	リセット・モード						
	LVILV ^{注2}	LVD 検出レベル						
	0	高電圧検出レベル(V _{LVDH})						
	1	低電圧検出レベル(V _{LVDL} またはV _{LVD})						

注1. リセット値は、リセット要因およびオプション・バイトの設定により変化します。

LVDリセット時は、クリア(00H)されません。

LVD以外のリセット時は、次のようになります。

- オプション・バイトLVIMDS1, LVIMDS0 = 1, 0のとき : 00H
- オプション・バイトLVIMDS1, LVIMDS0 = 1, 1のとき : 81H
- オプション・バイトLVIMDS1, LVIMDS0 = 0, 1のとき : 01H

注2. 割り込み&リセット・モード(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0)選択時に“0”書き込みのみ可能です。その他の場合は設定しないでください。割り込み&リセット・モードでのリセットまたは割り込み発生により、自動で値が切り替わります。

注意1. LVISレジスタを書き換える場合は、図26 - 9、図26 - 10の手順で行ってください。

注意2. LVDの動作モードと各モードの検出電圧(V_{LVDH}, V_{LVDL}, V_{LVD})は、オプション・バイト000C1Hで選択します。ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを図26 - 4に示します。オプション・バイトの詳細は第29章 オプション・バイトを参照してください。

図26-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定 (割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

• LVDの設定 (リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

(注意は、次ページにあります。)

図26-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/2)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

• LVDオフ (RESET端子による外部リセットを使用)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	×	×	×	×	×	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、34.4または35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. × : Don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

26.4 電圧検出回路の動作

26.4.1 リセット・モードとして使用する場合の設定

動作モード(リセット・モード(LVIMDS1, LVIMDS0 = 1, 1))と検出電圧(V_{LVD})の設定は、オプション・バイト 000C1Hで設定します。

リセット・モードを設定した場合、次の初期設定の状態で動作を開始します。

- 電圧検出レジスタ(LVIM)のビット7(LVISEN)は、“0”(電圧検出レベル・レジスタ(LVIS)の書き換え禁止)に設定されます。
- 電圧検出レベル・レジスタ(LVIS)の初期値は、81Hに設定されます。
ビット7(LVIMD)は“1”(リセット・モード)
ビット0(LVILV)は“1”(電圧検出レベル : V_{LVD})

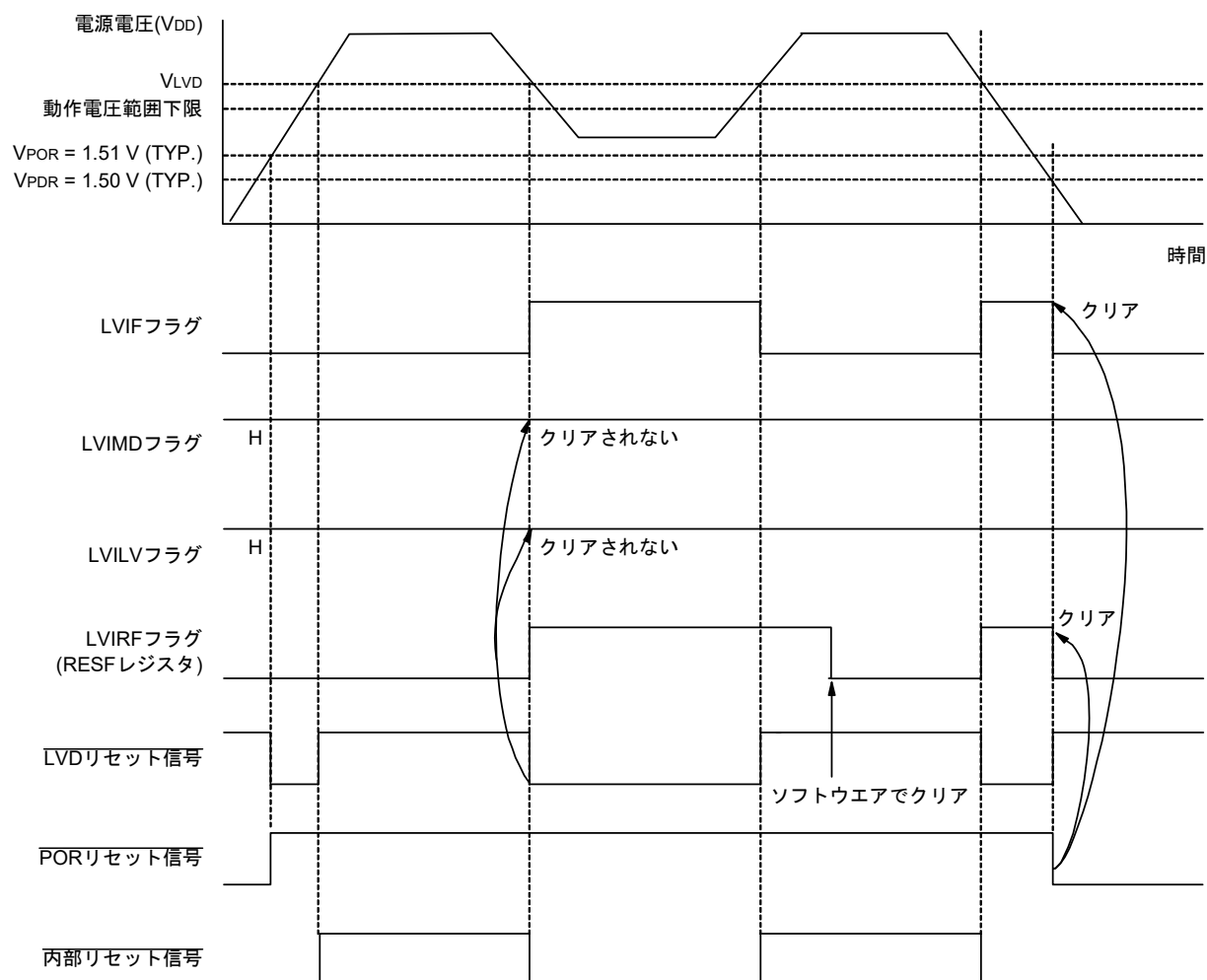
●LVD リセット・モードの動作

リセット・モード(オプション・バイトのLVIMDS1, LVIMDS0 = 1, 1)は、電源投入時、電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えるまではLVDによる内部リセット状態を保ちます。電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を超えると内部リセットを解除します。

動作電圧降下時は電源電圧(V_{DD})が電圧検出レベル(V_{LVD})を下回るとLVDによる内部リセットが発生します。

図26 - 5に、LVD リセット・モードの内部リセット信号発生タイミングを示します。

図26 - 5 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)



備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

26.4.2 割り込みモードとして使用する場合の設定

動作モード (割り込みモード (LVIMDS1, LVIMDS0 = 0, 1)) と検出電圧 (VLVD) の設定は、オプション・バイト 000C1H で設定します。

割り込みモードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット 7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、01H に設定されます。
ビット 7 (LVIMD) は“0” (割り込みモード)
ビット 0 (LVILV) は“1” (電圧検出レベル : VLVD)

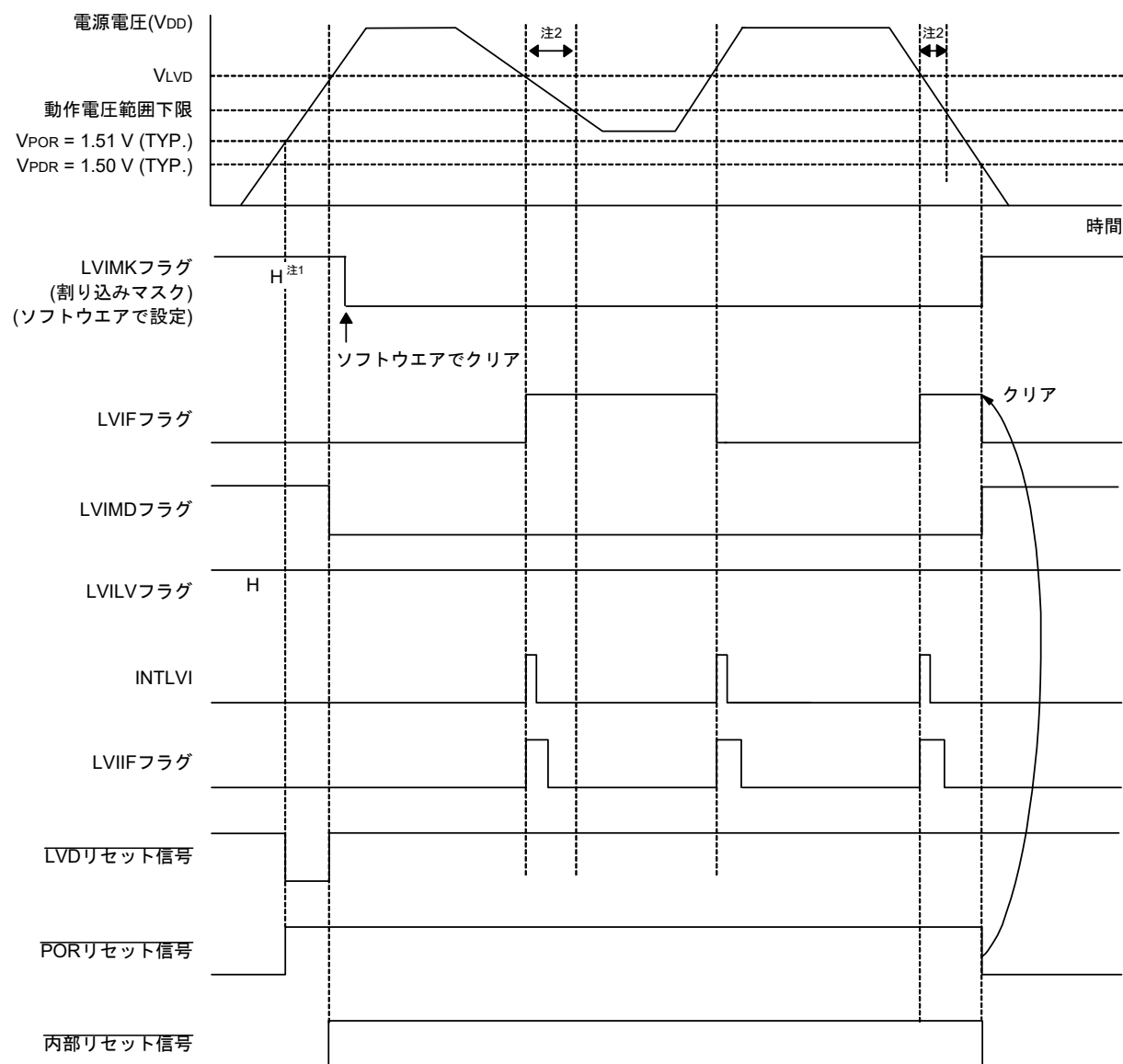
● LVD 割り込みモードの動作

割り込みモード (オプション・バイトの LVIMDS1, LVIMDS0 = 0, 1) では、リセット発生直後、電源電圧 (VDD) が電圧検出レベル (VLVD) を上回るまでは LVD による内部リセット状態を保ちます。電源電圧 (VDD) が電圧検出レベル (VLVD) を上回ると LVD による内部リセットを解除します。

LVD の内部リセット解除後は、電源電圧 (VDD) が電圧検出レベル (VLVD) を超えると LVD による割り込み要求信号 (INTLVI) が発生します。動作電圧降下時は、34.4 または 35.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

図 26 - 6 に、LVD 割り込みモードの割り込み要求信号発生タイミングを示します。

図 26 - 6 割り込み信号発生タイミング(オプション・バイト LVIMDS1, LVIMDS0 = 0, 1)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

注2. 動作電圧降下時は、34.4または35.4 AC特性に示す動作電圧範囲を下回る前に、STOPモードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

備考 V_{POR} : POR電源立ち上がり検出電圧

V_{PDR} : POR電源立ち下がり検出電圧

26.4.3 割り込み&リセット・モードとして使用時の設定

動作モード (割り込み&リセット・モード (LVIMDS1, LVIMDS0 = 1, 0)) と検出電圧 (VLVDH, VLVDL) の設定は、オプション・バイト000C1Hで設定します。

割り込み&リセット・モードを設定した場合、次の初期設定の状態で作動を開始します。

- 電圧検出レジスタ (LVIM) のビット7 (LVISEN) は、“0” (電圧検出レベル・レジスタ (LVIS) の書き換え禁止) に設定されます。
- 電圧検出レベル・レジスタ (LVIS) の初期値は、00Hに設定されます。ビット7 (LVIMD) は“0” (割り込みモード)、ビット0 (LVILV) は“0” (高電圧検出レベル : VLVDH)

●LVD 割り込み&リセット・モードの動作

割り込み&リセット・モード (オプション・バイトの LVIMDS1, LVIMDS0 = 1, 0) は、電源投入時、電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えるまではLVDによる内部リセット状態を保ちます。

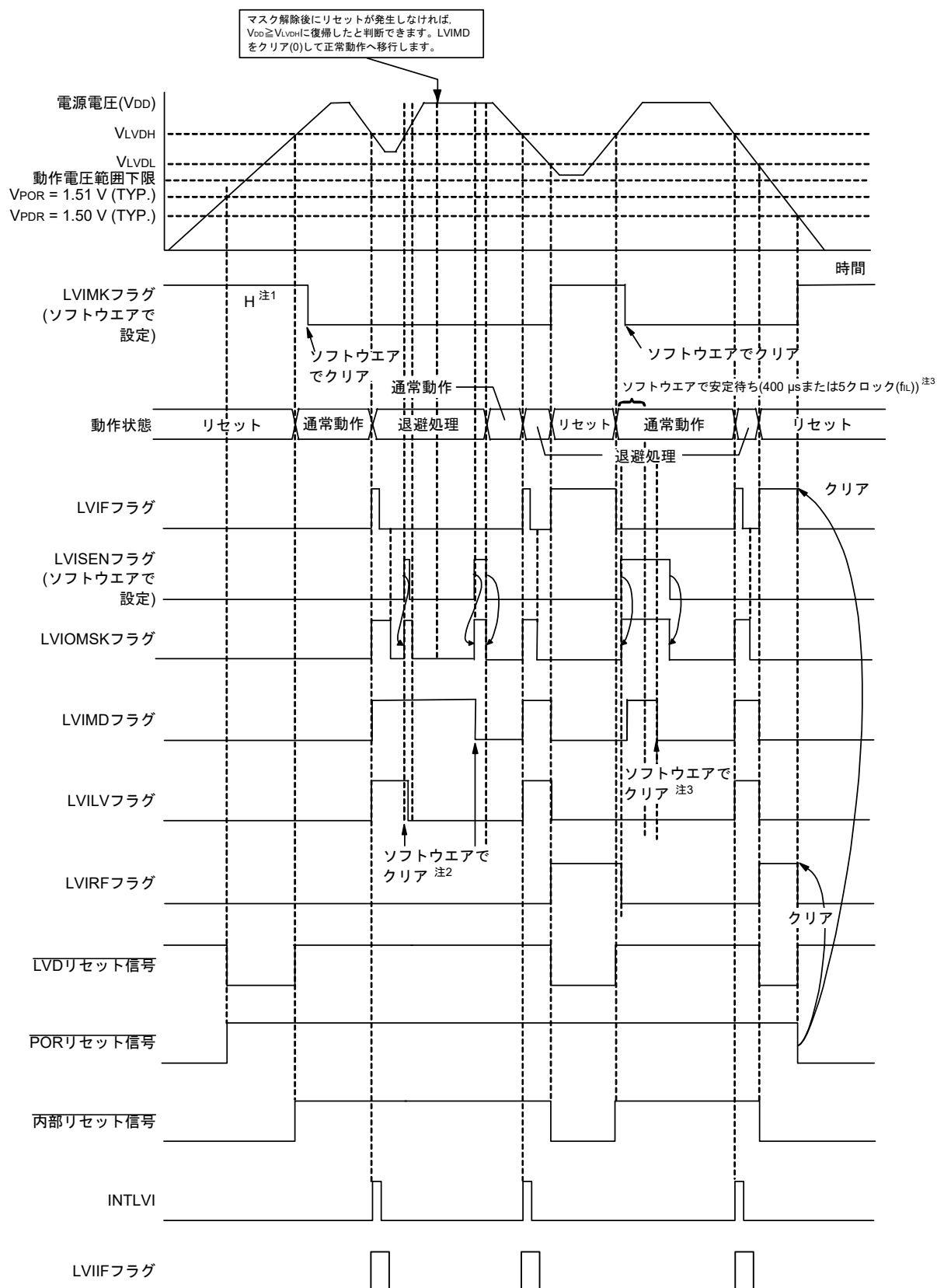
電源電圧 (VDD) が高電圧検出レベル (VLVDH) を超えると内部リセットを解除します。

動作電圧降下時は電源電圧 (VDD) が高電圧検出レベル (VLVDH) を下回ると LVD による割り込み要求信号 (INTLVI) が発生し、任意の退避処理を行うことができます。その後、電源電圧 (VDD) が低電圧検出レベル (VLVDL) を下回ると LVD による内部リセットが発生します。ただし、INTLVI 発生後、電源電圧 (VDD) が低電圧検出電圧 (VLVDL) を下回らずに高電圧検出電圧 (VLVDH) 以上に復帰しても割り込み要求信号は発生しません。

LVD 割り込み&リセット・モードの使用する場合は、“図26 - 9 動作電圧確認／リセットの設定手順”と、“図26 - 10 割り込み&リセット・モードの初期設定の設定手順”に示すフローチャートの手順に従って設定をしてください。

図26 - 7～図26 - 8に、LVD 割り込み&リセット・モードの内部リセット信号と割り込み信号発生タイミングを示します。

図26 - 7 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (1/2)



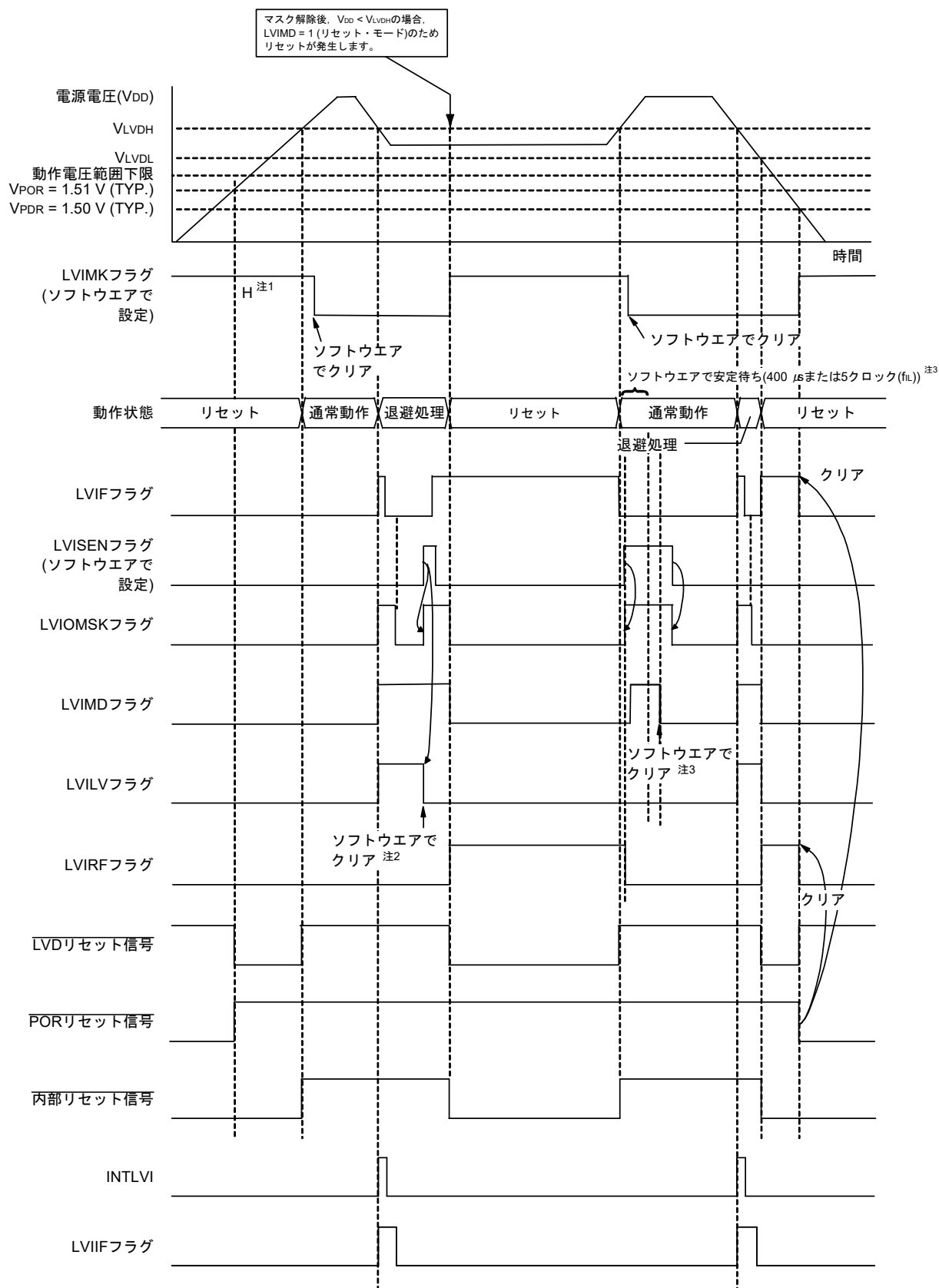
(注, 備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図26-9 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図26-10 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧

VPDR : POR電源立ち下がり検出電圧

図26 - 8 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 0) (2/2)



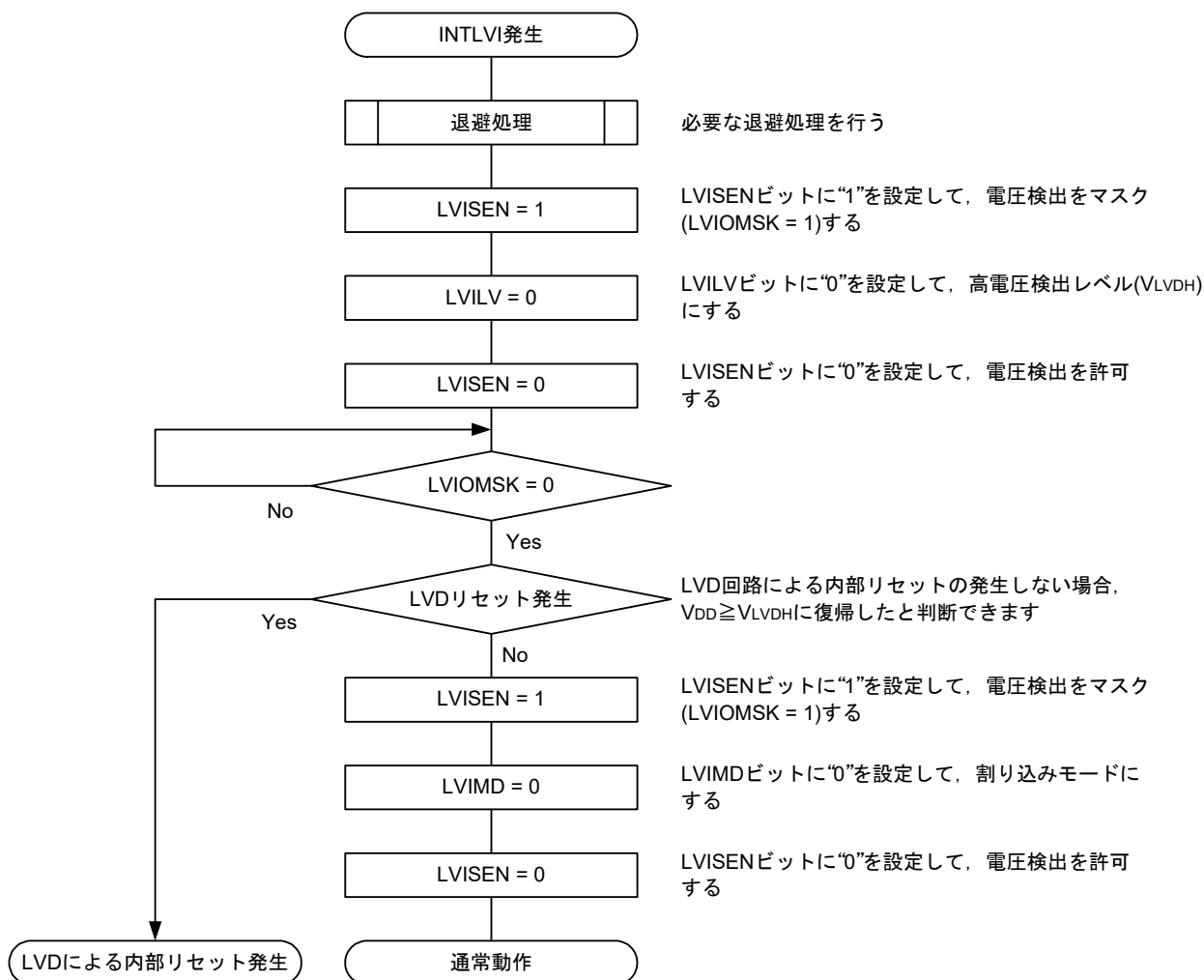
(注、備考は次ページにあります。)

- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
- 注2. 割り込み&リセット・モード使用時、割り込み発生後は、図26-9 動作電圧確認／リセットの設定手順に従って実施してください。
- 注3. 割り込み&リセット・モード使用時、リセット解除後は、図26-10 割り込み&リセット・モードの初期設定の設定手順に従って実施してください。

備考 VPOR : POR電源立ち上がり検出電圧

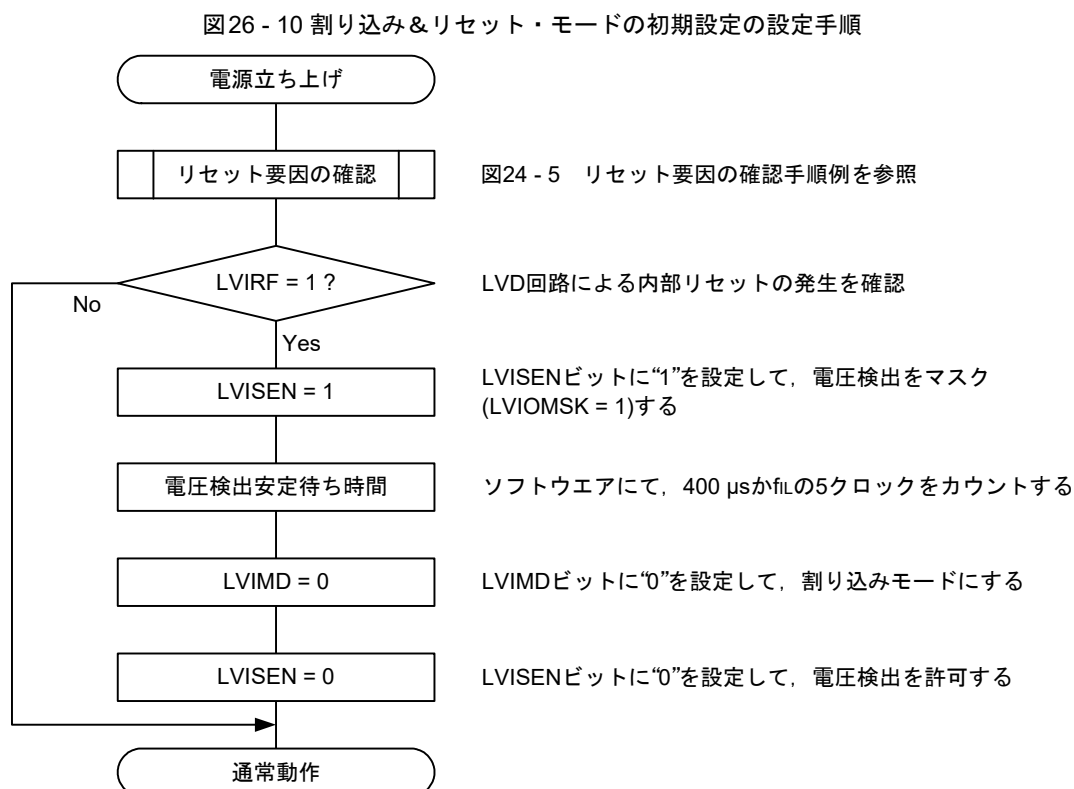
VPDR : POR電源立ち下がり検出電圧

図26-9 動作電圧確認／リセットの設定手順



割り込み&リセット・モード(LVIMDS1, LVIMDS0 = 1, 0)を設定した場合, LVDリセット解除後(LVIRF = 1)から400 μ sかf_{IL}の5クロック分の電圧検出安定待ち時間が必要です。電圧検出安定待ち後, LVIMDビットをクリア(0)して初期化してください。電圧検出安定待ち時間のカウント中およびLVIMDビットの書き換え時は, LVISEN = 1に設定してLVDによるリセットまたは割り込み発生をマスクしてください。

図26 - 10に割り込み&リセット・モードの初期設定の設定手順をの手順を示します。



備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

26.5 電圧検出回路の注意事項

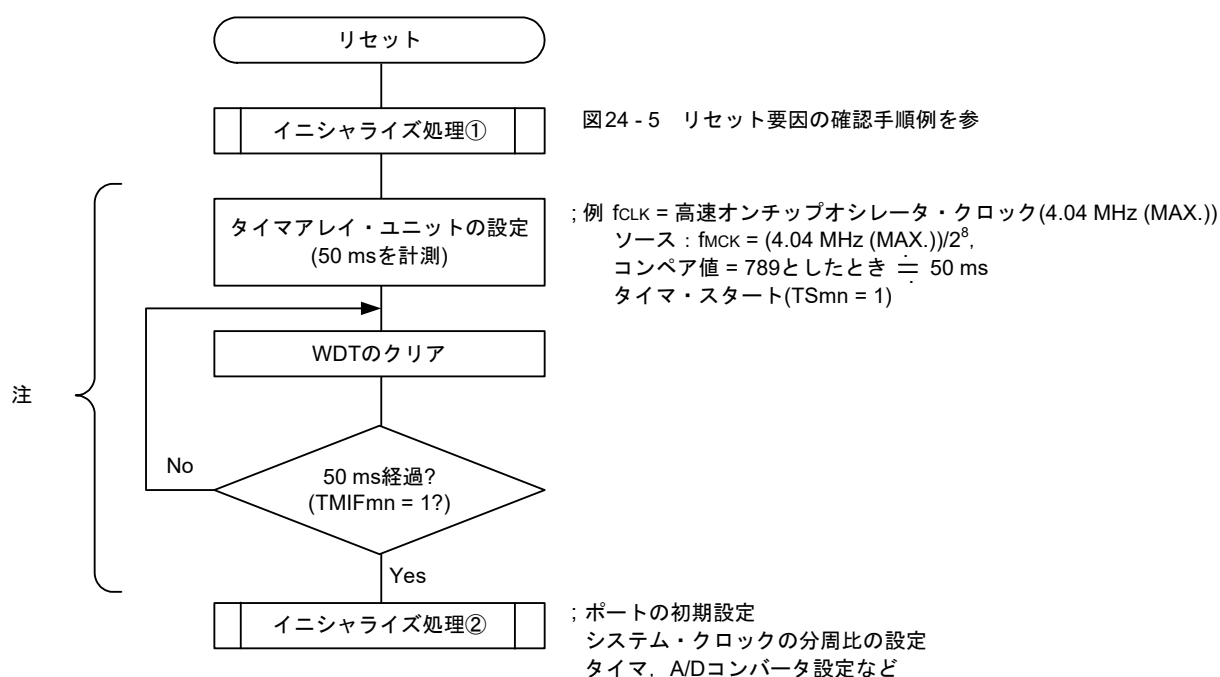
(1) 電源投入時の電圧変動について

電源電圧 (VDD) が LVD 検出電圧付近で、ある期間ふらつくような構成のシステムでは、リセット状態／リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

<処置>

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウェイトしてから、ポートなどを初期設定してください。

図26 - 11 LVD検出電圧付近での電源電圧変動が50 ms以下の場合のソフト処理例



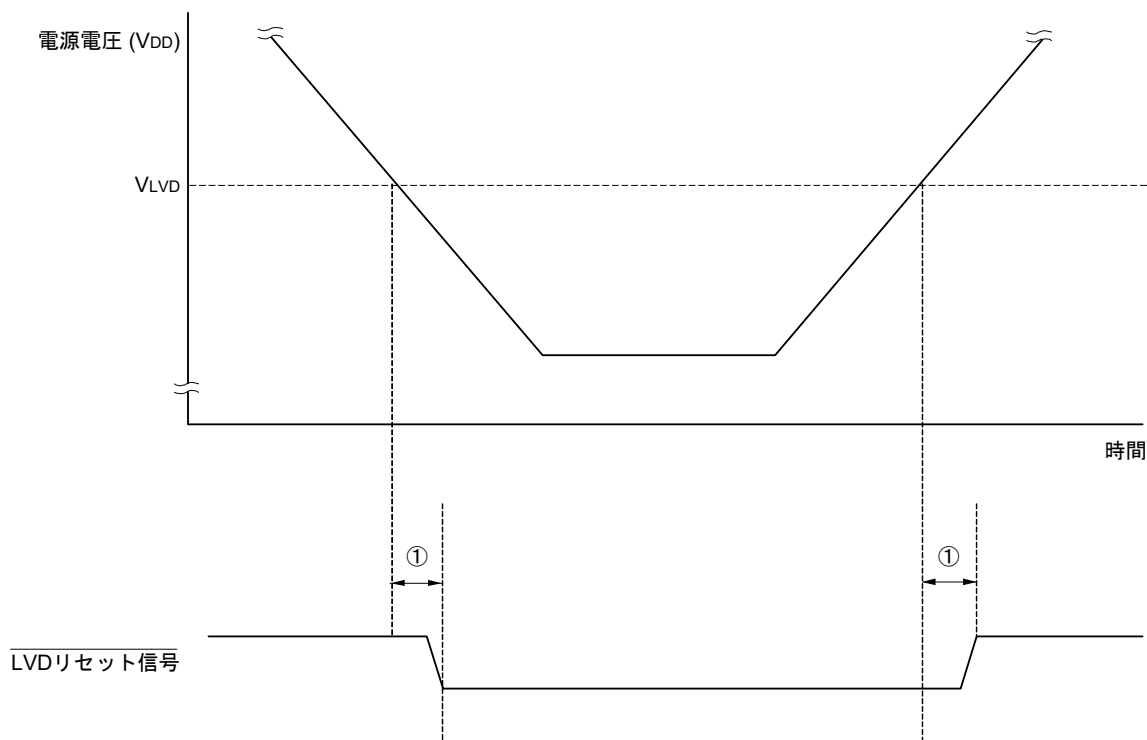
注 この間に再度リセットが発生した場合、イニシャライズ処理②には移行しません。

備考 $m = 0, 1$ $n = 0-3$

(2) LVDリセット要因発生からLVDリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVD 検出電圧 (V_{LVD}) になってから、LVD リセットが発生するまでには遅延が生じます。同様に LVD 検出電圧 (V_{LVD}) $\leq$ 電源電圧 (V_{DD}) になってから、LVD リセットが解除されるまでにも遅延が生じます (図 26 - 12 参照)。

図 26 - 12 LVD リセット要因発生から LVD リセット発生または解除までの遅延



① : 検出遅延 (300 μ s (MAX.))

(3) LVD オフに設定した場合の電源立ち上げについて

LVD オフに設定したときは必ず $\overline{\text{RESET}}$ 端子による外部リセットを使用してください。

外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に 10 μ s 以上のロウ・レベルを入力してください。電源立ち上げ時に外部リセットを行う場合は、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してから電源を投入し、34.4 または 35.4 AC 特性に示す動作電圧範囲内の期間で 10 μ s 以上ロウ・レベルを継続した後に、ハイ・レベルを入力してください。

(4) LVD オフおよび LVD 割り込みモードに設定した場合の動作電圧降下時について

LVD オフおよび LVD 割り込みモードに設定したときの動作電圧降下時は、34.4 または 35.4 AC 特性に示す動作電圧範囲を下回る前に、STOP モードに移行するか、外部リセットでリセット状態にしてください。再び動作を開始するときは、電源電圧が動作電圧範囲内に復帰したことを確認してください。

第27章 安全機能

27.1 安全機能の概要

安全規格 IEC60730 に対応するため、RL78/G14 では以下の安全機能を搭載しています。

この安全機能は、マイコンで自己診断することで、故障を検出して安全に停止することを目的としています。

(1) フラッシュ・メモリ CRC 演算機能 (高速 CRC, 汎用 CRC)

CRC 演算を行うことにより、フラッシュ・メモリのデータ誤りを検出します。

用途や使用条件に応じて、以下の2つのCRCを使い分けていただくことができます。

- ・「高速 CRC」... 初期設定ルーチンの中で、CPU を停止させてコード・フラッシュ・メモリ領域全体を高速にチェックすることができます。

- ・「汎用 CRC」... CPU 動作中に、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用できます。

(2) RAM パリティ・エラー検出機能

RAM をデータとして読み出すとき、パリティ・エラーを検出します。

(3) RAM ガード機能

CPU の暴走による RAM データの書き換えを防止します。

(4) SFR ガード機能

CPU の暴走による SFR の書き換えを防止します。

(5) 不正メモリ・アクセス検出機能

不正メモリ領域(メモリが存在しない、アクセスが制限されている領域)への不正なアクセスを検出します。

(6) 周波数検出機能

タイマ・アレイ・ユニットを使用して、CPU/周辺ハードウェア・クロック周波数の自己チェックができます。

(7) A/D テスト機能

A/D コンバータの + 側基準電圧、- 側基準電圧、アナログ入力チャネル (ANI)、温度センサ出力および内部基準電圧出力を A/D 変換することにより、A/D コンバータの自己チェックができます。

(8) 入出力端子のデジタル出力信号レベル検出機能

入出力端子が出力モード時に、端子の出力レベルをリードすることができます。

備考 安全規格 IEC60730 に対応する安全機能の使用例は、RL78 MCU シリーズの IEC60730/60335 セルフテスト・ライブラリ アプリケーションノート (R01AN1062, R01AN1296) を参照してください。

27.2 安全機能で使用するレジスタ

安全機能では、各機能で次のレジスタを使用します。

レジスタ名	安全機能の各機能
・フラッシュ・メモリCRC制御レジスタ (CRC0CTL) ・フラッシュ・メモリCRC演算結果レジスタ (PGCRCL)	フラッシュ・メモリCRC演算機能 (高速CRC)
・CRC入力レジスタ (CRCIN) ・CRCデータ・レジスタ (CRCD)	CRC演算機能 (汎用CRC)
・RAMパリティ・エラー制御レジスタ (RPECTL)	RAMパリティ・エラー検出機能
・不正メモリ・アクセス検出制御レジスタ (IAWCTL)	RAMガード機能
	SFRガード機能
	不正メモリ・アクセス検出機能
・タイマ入力選択レジスタ0 (TIS0)	周波数検出機能
・A/Dテスト・レジスタ (ADTES)	A/Dテスト機能
・ポート・モード選択レジスタ (PMS)	入出力端子のデジタル出力信号レベル検出機能

各レジスタの内容については、27.3 安全機能の動作の中で説明します。

27.3 安全機能の動作

27.3.1 フラッシュ・メモリCRC演算機能(高速CRC)

IEC60730 ではフラッシュ・メモリ内のデータ確認が義務付けられており、その確認手段としてCRCが推奨されています。この高速CRCでは、初期設定(イニシャライズ)ルーチンの間に、コード・フラッシュ・メモリ領域全体をチェックすることができます。RAM上のプログラムによるメイン・システム・クロックでのHALTモードでのみ動作可能です。

高速CRCは、CPUを停止させて、フラッシュ・メモリから1クロックで32ビットのデータを読み出して演算します。そのため、チェック終了までの時間が短いことが特徴です(例 フラッシュ・メモリ 64 KB: 512 μ s@32 MHz)。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」に対応しています。

ビット31→ビット0のMSBファーストで演算します。

注意 オンチップ・デバッグでは、モニタ・プログラムを配置するため、CRC演算結果が異なります。

備考 汎用CRCはLSBファーストのため、演算結果は異なります。

27.3.1.1 フラッシュ・メモリCRC制御レジスタ(CRC0CTL)

高速CRC演算器の動作制御と演算範囲の設定を行うレジスタです。

CRC0CTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-1 フラッシュ・メモリCRC制御レジスタ(CRC0CTL)のフォーマット

アドレス : F02F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0CTL	CRC0EN	0	FEA5	FEA4	FEA3	FEA2	FEA1	FEA0

CRC0EN	高速CRC演算器の動作制御
0	動作停止
1	HALT命令実行により演算開始

FEA5	FEA4	FEA3	FEA2	FEA1	FEA0	高速CRC演算範囲
0	0	0	0	0	0	00000H-03FFBH (16K-4バイト)
0	0	0	0	0	1	00000H-07FFBH (32K-4バイト)
0	0	0	0	1	0	00000H-0BFFBH (48K-4バイト)
0	0	0	0	1	1	00000H-0FFFBH (64K-4バイト)
0	0	0	1	0	0	00000H-13FFBH (80K-4バイト)
0	0	0	1	0	1	00000H-17FFBH (96K-4バイト)
0	0	0	1	1	0	00000H-1BFFBH (112K-4バイト)
0	0	0	1	1	1	00000H-1FFFBH (128K-4バイト)
0	0	1	0	0	0	00000H-23FFBH (144K-4バイト)
0	0	1	0	0	1	00000H-27FFBH (160K-4バイト)
0	0	1	0	1	0	00000H-2BFFBH (176K-4バイト)
0	0	1	0	1	1	00000H-2FFFBH (192K-4バイト)
0	0	1	1	0	0	00000H-33FFBH (208K-4バイト)
0	0	1	1	0	1	00000H-37FFBH (224K-4バイト)
0	0	1	1	1	0	00000H-3BFFBH (240K-4バイト)
0	0	1	1	1	1	00000H-3FFFBH (256K-4バイト)
0	1	0	0	0	0	00000H-43FFBH (272 K-4バイト)
0	1	0	0	0	1	00000H-47FFBH (288 K-4バイト)
0	1	0	0	1	0	00000H-4BFFBH (304 K-4バイト)
0	1	0	0	1	1	00000H-4FFFBH (320 K-4バイト)
0	1	0	1	0	0	00000H-53FFBH (336 K-4バイト)
0	1	0	1	0	1	00000H-57FFBH (352 K-4バイト)
0	1	0	1	1	0	00000H-5BFFBH (368 K-4バイト)
0	1	0	1	1	1	00000H-5FFFBH (384 K-4バイト)
0	1	1	0	0	0	00000H-63FFBH (400 K-4バイト)
0	1	1	0	0	1	00000H-67FFBH (416 K-4バイト)
0	1	1	0	1	0	00000H-6BFFBH (432 K-4バイト)
0	1	1	0	1	1	00000H-6FFFBH (448 K-4バイト)
0	1	1	1	0	0	00000H-73FFBH (464 K-4バイト)
0	1	1	1	0	1	00000H-77FFBH (480 K-4バイト)
0	1	1	1	1	0	00000H-7BFFBH (496 K-4バイト)
0	1	1	1	1	1	00000H-7FFFBH (512 K-4バイト)
上記以外						設定禁止

備考 フラッシュ・メモリの最後の4バイトには、あらかじめ比較用のCRC演算結果期待値を入れてください。そのため、演算範囲は4バイト引いた範囲になっています。

27.3.1.2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)

高速CRC演算結果を格納するレジスタです。

PGCRCLレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-2 フラッシュ・メモリCRC演算結果レジスタ(PGCRCL)のフォーマット

アドレス：F02F2H リセット時：0000H R/W

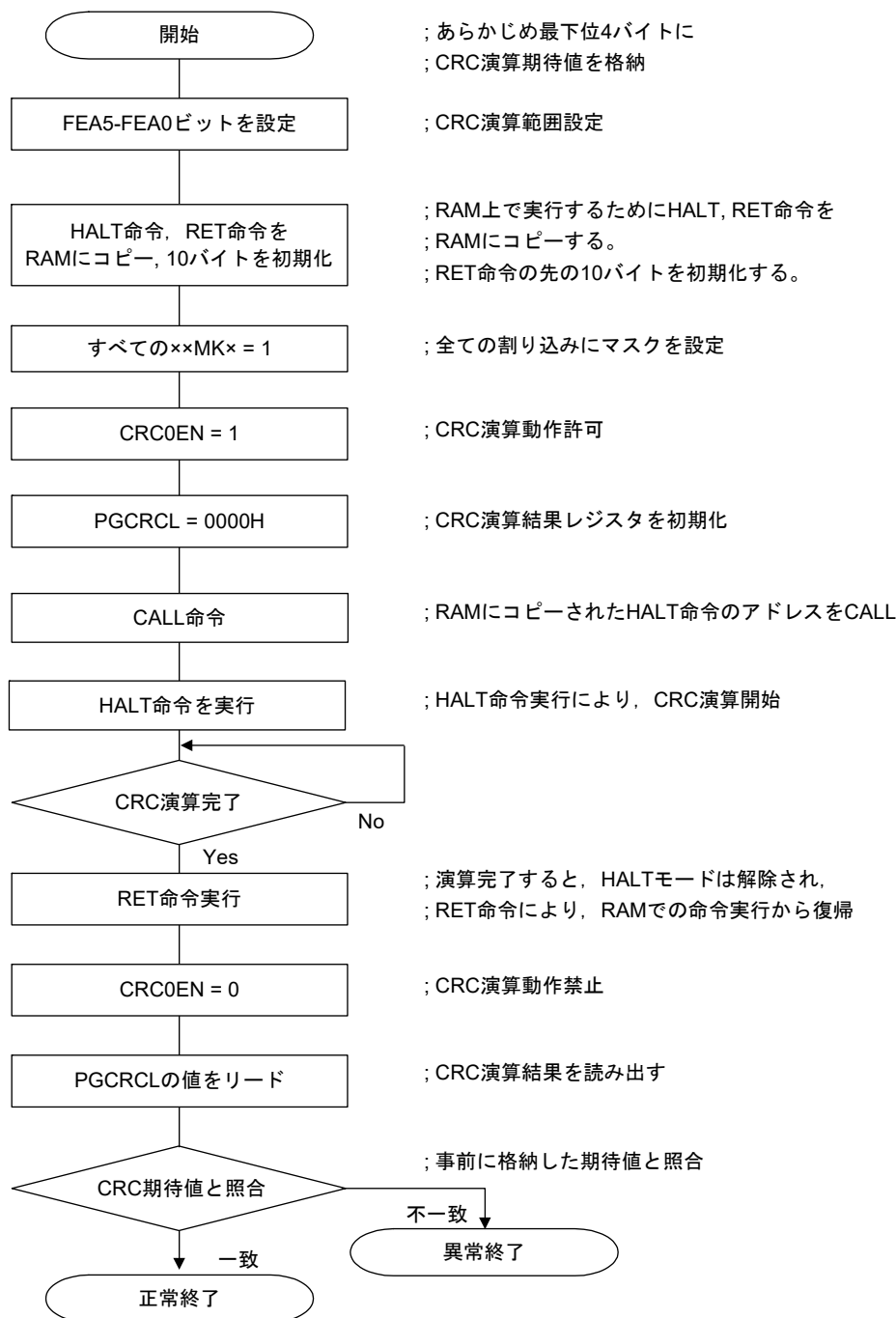
略号	15	14	13	12	11	10	9	8
PGCRCL	PGCRC15	PGCRC14	PGCRC13	PGCRC12	PGCRC11	PGCRC10	PGCRC9	PGCRC8
	7	6	5	4	3	2	1	0
	PGCRC7	PGCRC6	PGCRC5	PGCRC4	PGCRC3	PGCRC2	PGCRC1	PGCRC0
	PGCRC15-0		高速CRC演算結果					
	0000H-FFFFH		高速CRC演算結果を格納					

注意 PGCRCLレジスタは、CRC0EN (CRC0CTLレジスタのビット7) = 1の場合のみライト可能です。

フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャートを図27-3に示します。

<動作フロー>

図27-3 フラッシュ・メモリCRC演算機能(高速CRC)のフロー・チャート



注意1. CRC演算の対象は, コード・フラッシュのみです。

注意2. CRC演算の期待値は, コード・フラッシュ内の演算範囲の後に格納してください。

注意3. RAM領域にて, HALT命令を実行することで, CRC演算が有効になります。

必ずRAM領域でHALT命令を実行してください。

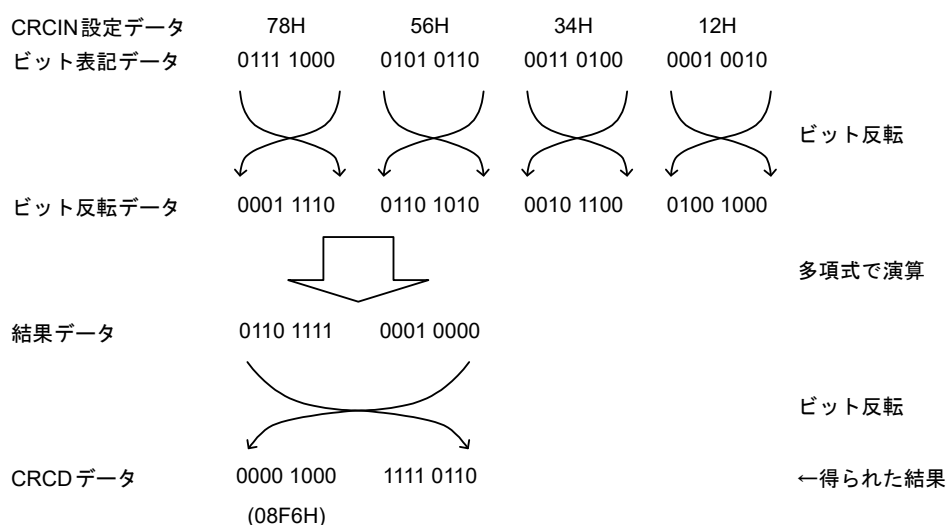
CRC演算の期待値は, 総合開発環境 CubeSuite+ を使用して算出することができます。詳細は, CubeSuite+ 統合開発環境ユーザーズマニュアルを参照してください。

27.3.2 CRC演算機能(汎用CRC)

この汎用CRCでは、CPU動作中に、周辺機能としてCRC演算を実行できます。汎用CRCは、コード・フラッシュ・メモリ領域に限らず、多用途のチェックに使用することができます。確認するデータは、ソフトウェア(ユーザ・プログラム)で指定します。HALTモード時のCRC演算機能は、DTC転送中だけ使用できます。

メイン・システム・クロック動作モードでも、サブシステム・クロック動作モードでも使用可能です。

CRC生成多項式はCRC-16-CCITTの「 $X^{16} + X^{12} + X^5 + 1$ 」を使用します。入力するデータはLSBファーストでの通信を考慮して、ビットの並びを反転して演算します。たとえば、データ12345678HをLSBから送信する場合には78H、56H、34H、12Hの順でCRCINレジスタに値を書き込むことで、CRCDレジスタから08F6Hの値が得られます。これは、データ12345678Hのビットの並びを反転した以下のビット列に対してCRC演算を行った結果です。



注意 プログラム実行中、デバッグはソフトウェア・ブレーク設定行をブレーク命令へ書き変えるため、CRC演算の対象領域にソフトウェア・ブレークを設定すると、CRC演算結果が異なります。

27.3.2.1 CRC入力レジスタ (CRCIN)

汎用CRCのCRC計算するデータを設定する8ビットのレジスタです。

設定可能範囲は、00H-FFHです。

CRCINレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 4 CRC入力レジスタ (CRCIN)のフォーマット

アドレス : FFFACH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRCIN								
ビット7-0		機能						
00H-FFH		データ入力						

27.3.2.2 CRCデータ・レジスタ (CRCD)

汎用CRC演算結果を格納するレジスタです。

設定可能範囲は、0000H-FFFFHです。

CRCINレジスタ書き込みから、CPU／周辺ハードウェア・クロック (fCLK) の1クロック経過後に、CRC演算結果がCRCDレジスタに格納されます。

CRCDレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

図27-5 CRCデータ・レジスタ (CRCD) のフォーマット

アドレス : F02FAH リセット時 : 0000H R/W

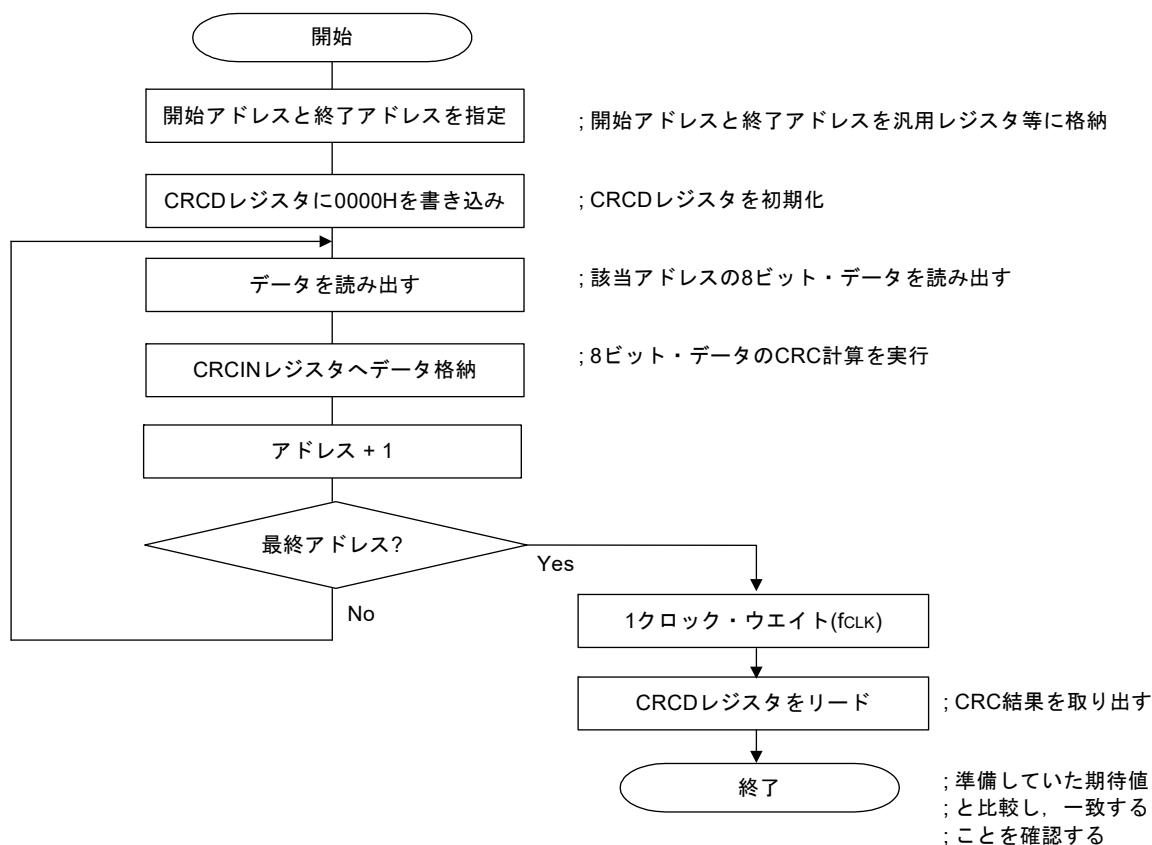
略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CRCD																

注意1. CRCDレジスタに書き込まれた値を読み出す場合は、CRCINレジスタへの書き込みを行う前にリードしてください。

注意2. CRCDレジスタへの書き込みと演算結果の格納が競合した場合、書き込みは無視されます。

<動作フロー>

図27-6 CRCIN演算機能 (汎用CRC) のフロー・チャート



27.3.3 RAMパリティ・エラー検出機能

IEC60730ではRAMデータ確認が義務付けられています。そのため、RL78/G14のRAMには、8ビットにつき1ビットのパリティが付加されています。このRAMパリティ・エラー検出機能では、データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。また、パリティ・エラー発生時にリセットを発生することもできます。

27.3.3.1 RAMパリティ・エラー制御レジスタ (RPECTL)

パリティ・エラーの発生確認ビットと、パリティ・エラーによるリセット発生を制御するレジスタです。

RPECTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27-7 RAMパリティ・エラー制御レジスタ (RPECTL)のフォーマット

アドレス : F00F5H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RPECTL	RPERDIS	0	0	0	0	0	0	RPEF
RPERDIS	パリティ・エラー・リセット・マスク・フラグ							
0	パリティ・エラー・リセット発生を許可							
1	パリティ・エラー・リセット発生を禁止							
RPEF	パリティ・エラー・ステータス・フラグ							
0	パリティ・エラーが発生していない							
1	パリティ・エラーが発生した							

注意 データ書き込み時にパリティが書き込まれ、データ読み出し時にパリティをチェックします。

そのため、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、データ・アクセス時は「使用するRAM領域」をデータ読み出し前に必ず初期化してください。

また、RL78はパイプライン動作のためCPUが先読みを行い、使用しているRAM領域の先にある初期化されていないRAM領域を読み込むことで、RAMパリティ・エラーが発生する場合があります。したがって、RAMパリティ・エラー・リセット発生を許可する(RPERDIS = 0)場合、RAM領域からの命令実行時は「使用するRAM領域 + 10バイト」の領域を必ず初期化してください。

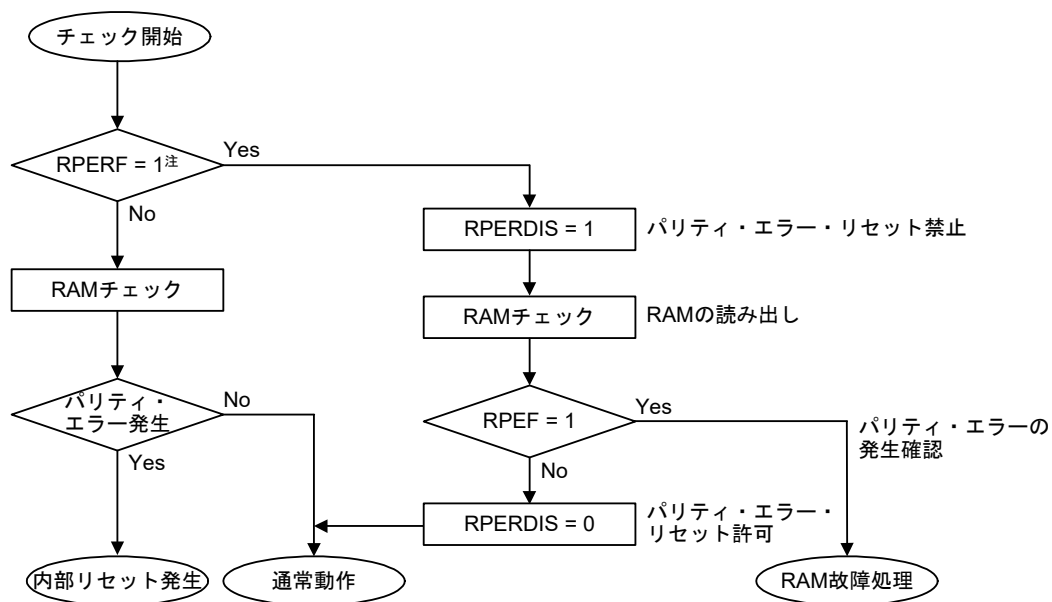
備考1. 初期状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)になっています。

備考2. パリティ・エラー・リセット発生禁止(RPERDIS = 1)を設定時に、パリティ・エラーが発生した場合も、RPEFフラグはセット(1)されます。なお、RPEF = 1の状態では、パリティ・エラー・リセット発生許可(RPERDIS = 0)に設定すると、RPERDISをクリア(0)した時点でパリティ・エラー・リセットが発生します。

備考3. RPECTLレジスタのRPEFフラグは、RAMのパリティ・エラーによりセット(1)され、0の書き込みまたはすべてのリセット要因によりクリア(0)されます。RPEF = 1のときに、パリティ・エラーが発生しないRAMを読み出してもRPEF = 1を保持します。

備考4. 汎用レジスタは、RAMパリティ・エラー検出の範囲に含みません。

図27-8 RAMパリティチェックフロー



注 RAMパリティ・エラーによる内部リセットの確認は、第24章 リセット機能を参照してください。

27.3.4 RAM ガード機能

このRAMガード機能は、指定した空間のデータを保護するための機能です。

RAMガード機能を設定すると、指定した空間へのRAM書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.4.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

RAMガード機能では、GRAM1, GRAM0ビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 9 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	GRAM1	GRAM0	RAM ガード空間 ^注					
	0	0	無効。RAMへのライト可能					
	0	1	RAM先頭アドレスから128バイト					
	1	0	RAM先頭アドレスから256バイト					
	1	1	RAM先頭アドレスから512バイト					

注 RAMの先頭アドレスは、製品の搭載RAMサイズにより変わります。

27.3.5 SFRガード機能

SFRガード機能は、ポート機能、割り込み機能、クロック制御機能、電圧検出回路、RAMパリティ・エラー検出機能の制御レジスタのデータを保護するための機能です。

SFRガード機能を設定すると、ガードされたSFRへの書き込みは無効になり、読み出しは通常通りに可能となります。

27.3.5.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

SFRガード機能では、GPORT, GINT, GCSCビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 10 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス：F0078H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
GPORT		ポート機能の制御レジスタのガード						
0		無効。ポート機能の制御レジスタのリード／ライト可能。						
1		有効。ポート機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] PMxx, PUxx, PIMxx, POMxx, PMCxx, ADPC, PIORx 注						
GINT		割り込み機能のレジスタのガード						
0		無効。割り込み機能の制御レジスタのリード／ライト可能。						
1		有効。割り込み機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] IFxx, MKxx, PRxx, EGPx, EGNx						
GCSC		クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのガード						
0		無効。クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのリード／ライト可能。						
1		有効。クロック制御機能，電圧検出回路，RAMパリティ・エラー検出機能の制御レジスタのライト無効。リード可能。 [ガードされるSFR] CMC, CSC, OSTS, CKC, PERx, OSMC, LVIM, LVIS, RPECTL						

注 Pxx (ポート・レジスタ)はガードされません。

27.3.6 不正メモリ・アクセス検出機能

IEC60730ではCPUと割り込みの動作が正しいことを確認する必要があります。

不正メモリ・アクセス検出機能は、規定された不正アクセス検出空間をアクセスした際に、リセットを発生させる機能です。

不正アクセス検出空間は、図27-11で「NG」と記載した範囲になります。

図27-11 不正アクセス検出空間

		アクセス可否		命令フェッチ (実行)
		読み出し	書き込み	
FFFFFH	特殊機能レジスタ (SFR) 256 バイト	OK	OK	NG
FFF00H FFEEFH FFEDFH	汎用レジスタ 32バイト			OK
zzzzzH	RAM ^注			OK
zzzzzH	Mirror		NG	NG
F1000H F0FFFFH	データ・フラッシュ・メモリ	OK	OK	NG
F0800H F07FFFH	使用不可			OK
F0000H EFFFFFH EF000H EEFFFFH	拡張特殊機能レジスタ (2nd SFR) 2 K バイト			NG
yyyyyH	使用不可			OK
xxxxxH	使用不可	OK	NG	NG
00000H	コード・フラッシュ・メモリ ^注			

注 各製品のコード・フラッシュ・メモリ、RAM、検出最下位アドレスを次に示します。

製品	コード・フラッシュ・メモリ (00000H-xxxxxH)	RAM (zzzzzH-FFEEFH)	読み出し／命令フェッチ (実行)時の検出最下位 アドレス (yyyyyH)
R5F104xA (x = A-C, E-G)	16384 × 8 ビット (00000H-03FFFFH)	2560 × 8 ビット (FF500H-FFEEFH)	10000H
R5F104xC (x = A-C, E-G, J, L)	32768 × 8 ビット (00000H-07FFFFH)	4096 × 8 ビット (FEF00H-FFEEFH)	10000H
R5F104xD (x = A-C, E-G, J, L)	49152 × 8 ビット (00000H-0BFFFFH)	5632 × 8 ビット (FE900H-FFEEFH)	10000H
R5F104xE (x = A-C, E-G, J, L)	65536 × 8 ビット (00000H-0FFFFFH)	5632 × 8 ビット (FE900H-FFEEFH)	10000H
R5F104xF (x = A-C, E-G, J, L, M, P)	98304 × 8 ビット (00000H-17FFFFH)	12288 × 8 ビット (FCF00H-FFEEFH)	20000H
R5F104xG (x = A-C, E-G, J, L, M, P)	131072 × 8 ビット (00000H-1FFFFFH)	16384 × 8 ビット (FBF00H-FFEEFH)	20000H
R5F104xH (x = E-G, J, L, M, P)	196608 × 8 ビット (00000H-2FFFFFH)	20480 × 8 ビット (FAF00H-FFEEFH)	30000H
R5F104xJ (x = F, G, J, L, M, P)	262144 × 8 ビット (00000H-3FFFFFH)	24576 × 8 ビット (F9F00H-FFEEFH)	40000H
R5F104xK (x = G, L, M, P)	393216 × 8 ビット (00000H-5FFFFFH)	32768 × 8 ビット (F7F00H-FFEEFH)	60000H
R5F104xL (x = G, L, M, P)	524688 × 8 ビット (00000H-7FFFFFH)	49152 × 8 ビット (F3F00H-FFEEFH)	80000H

27.3.6.1 不正メモリ・アクセス検出制御レジスタ (IAWCTL)

不正メモリ・アクセスの検出可否、RAM/SFRガード機能を制御するレジスタです。

不正メモリ・アクセス検出機能では、IAWENビットを使用します。

IAWCTLレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 12 不正メモリ・アクセス検出制御レジスタ (IAWCTL)のフォーマット

アドレス : F0078H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IAWCTL	IAWEN	0	GRAM1	GRAM0	0	GPORT	GINT	GCSC
	IAWEN注	不正メモリ・アクセスの検出制御						
	0	不正メモリ・アクセスの検出無効						
	1	不正メモリ・アクセスの検出有効						

注 IAWENビットは1の書き込みのみを有効とし、IAWEN = 1としたあとの0の書き込みは無効です。

備考 オプション・バイトWDTON = 1 (ウォッチドッグ・タイマ動作許可)のとき、IAWEN = 0でも不正メモリ・アクセスの検出機能は有効となります。

27.3.7 周波数検出機能

IEC60730では発振周波数が正しいことを確認することが義務付けられています。

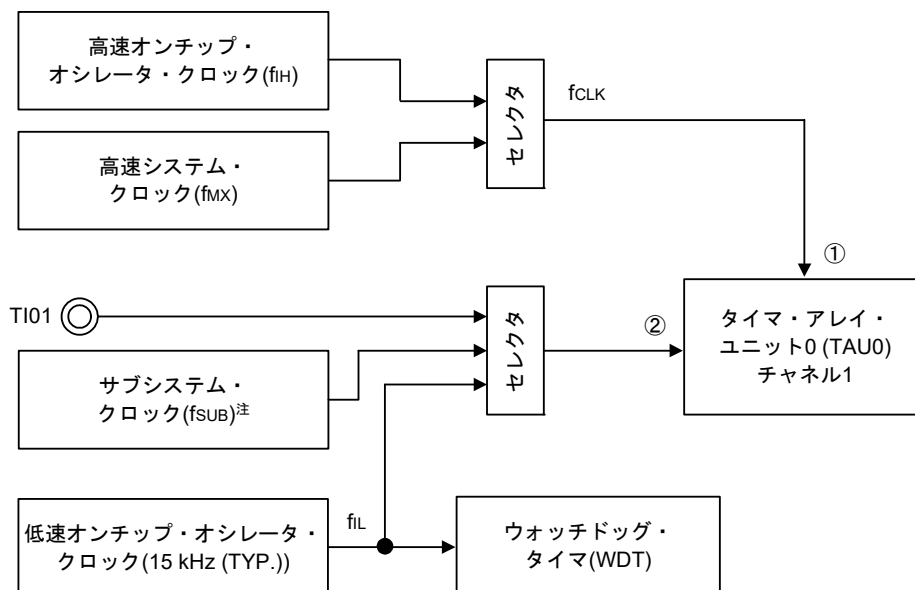
周波数検出機能は、CPU/周辺ハードウェア・クロック周波数(f_{CLK})を使用し、タイマ・アレイ・ユニット0 (TAU0)のチャンネル1の入力パルスを測定することで、2つのクロックの比率関係が正しいか判定することができます。

ただし、片一方のクロック、もしくは両方のクロックが停止している場合は、クロックの比率関係を判定することができません。

<比較するクロック>

- ① CPU/周辺ハードウェア・クロック周波数(f_{CLK}) :
 - ・高速オンチップ・オシレータ・クロック(f_{IH})
 - ・高速システム・クロック(f_{MX})
- ② タイマ・アレイ・ユニット0のチャンネル1入力 :
 - ・チャンネル1のタイマ入力(TI01)
 - ・低速オンチップ・オシレータ・クロック(f_{IL} : 15 kHz (TYP.))
 - ・サブシステム・クロック(f_{SUB})^注

図 27 - 13 周波数検出機能の構成



入力パルス間隔の測定結果が異常な値になった場合は、「クロック周波数に異常がある」と判定できます。

入力パルス間隔測定の方法については、6.8.4 入力パルス間隔測定としての動作を参照してください。

注 サブシステム・クロック搭載している製品のみ選択可能です。

27.3.7.1 タイマ入力選択レジスタ0 (TIS0)

TIS0レジスタは、タイマ・アレイ・ユニット0 (TAU0)のチャンネル0, 1のタイマ入力を選択するレジスタです。

TIS0レジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 14 タイマ入力選択レジスタ0 (TIS0)のフォーマット

アドレス : F0074H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	0	0	0	TIS04	0	TIS02	TIS01	TIS00

TIS04	チャンネル0で使用するタイマ入力の選択		
0	タイマ入力端子 (TI00) の入力信号		
1	ELCからのイベント入力信号		

TIS02	TIS01	TIS00	チャンネル1で使用するタイマ入力の選択
0	0	0	タイマ入力端子 (TI01) の入力信号
0	0	1	ELCからのイベント入力信号
0	1	0	タイマ入力端子 (TI01) の入力信号
0	1	1	
1	0	0	低速オンチップ・オシレータ・クロック (f _{IL})
1	0	1	サブシステム・クロック (f _{SUB})
上記以外			設定禁止

27.3.8 A/Dテスト機能

IEC60730ではA/Dコンバータのテストが義務付けられています。このA/Dテスト機能では、A/Dコンバータの+側基準電圧、-側基準電圧、アナログ入力チャネル(ANI)、温度センサ出力電圧および内部基準電圧のA/D変換を実施することで、A/Dコンバータの正常動作を確認します。確認方法の詳細は、安全機能(A/Dテスト)アプリケーションノート(R01AN0955)を参照してください。

また、アナログ・マルチプレクサは、以下の手順で確認できます。

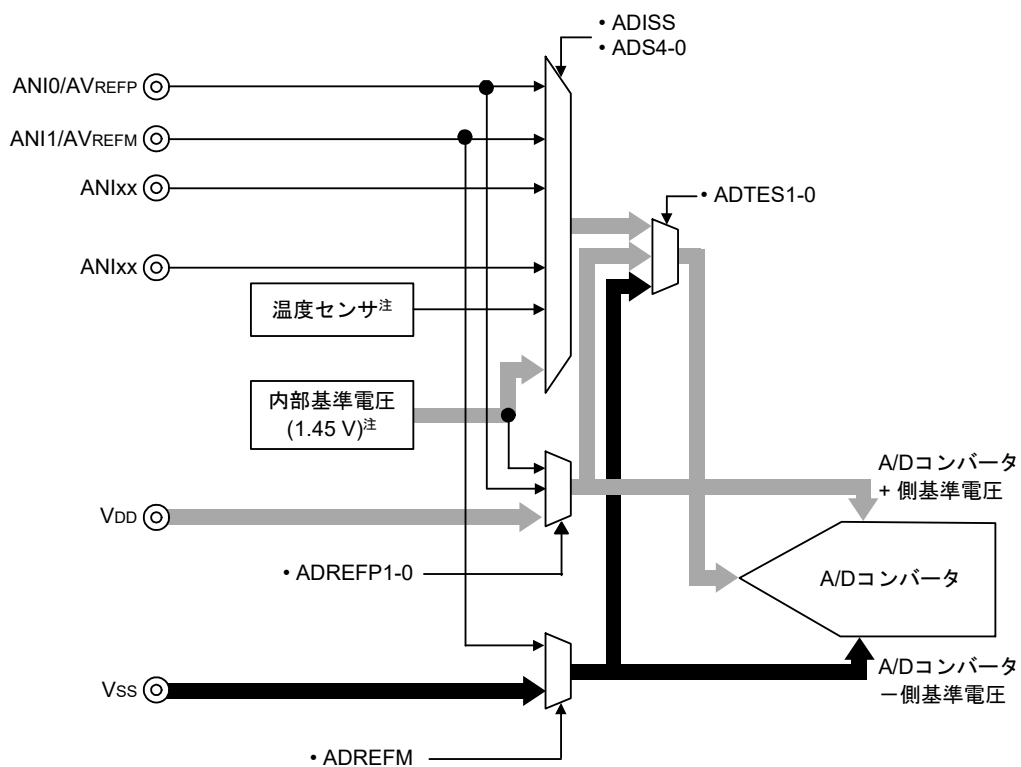
- ① ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ② ANIX端子のA/D変換を行う(変換結果1-1)。
- ③ ADTESレジスタでA/D変換対象にA/Dコンバータの-側基準電圧を選択(ADTES1, ADTES0 = 1, 0)
- ④ A/Dコンバータの-側基準電圧のA/D変換を行う(変換結果2-1)
- ⑤ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑥ ANIX端子のA/D変換を行う(変換結果1-2)
- ⑦ ADTESレジスタでA/D変換対象にA/Dコンバータの+側基準電圧を選択(ADTES1, ADTES0 = 1, 1)
- ⑧ A/Dコンバータの+側基準電圧のA/D変換を行う(変換結果2-2)
- ⑨ ADTESレジスタでA/D変換対象にANIX端子を選択(ADTES1, ADTES0 = 0, 0)
- ⑩ ANIX端子のA/D変換を行う(変換結果1-3)
- ⑪ 「変換結果1-1」= 「変換結果1-2」= 「変換結果1-3」であることを確認する。
- ⑫ 「変換結果2-1」のA/D変換結果がオール0, 「変換結果2-2」のA/D変換結果がオール1であることを確認する。

以上の手順で、アナログ・マルチプレクサが選択されていることと、配線が断線していないことが確認できます。

備考1. ①～⑩の変換動作中にアナログ入力電圧を可変とする場合は、別の手段でアナログ・マルチプレクサの確認をしてください。

備考2. 変換結果は誤差を含むので、変換結果を比較するときは、適切な誤差を考慮してください。

図27 - 15 A/Dテスト機能の構成



注 HS (高速メイン)モードでのみ選択可能です。

27.3.8.1 A/Dテスト・レジスタ (ADTES)

A/D変換対象にA/Dコンバータの+側の基準電圧、-側の基準電圧、アナログ入力チャネル(ANLxx)、温度センサ出力電圧、内部基準電圧(1.45 V)を選択するレジスタです。

A/Dテスト機能として使用する場合は、以下の設定にします。

- ・ゼロスケールを測定するときは、A/D変換対象に-側の基準電圧を選択。
- ・フルスケールを測定するときは、A/D変換対象に+側の基準電圧を選択。

ADTESレジスタは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 16 A/Dテスト・レジスタ (ADTES)のフォーマット

アドレス : F0013H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ADTES	0	0	0	0	0	0	ADTES1	ADTES0
ADTES1		ADTES0		A/D変換対象				
0		0		ANLxx/温度センサ出力 ^注 /内部基準電圧出力(1.45 V) ^注 (アナログ入力チャネル指定レジスタ(ADS)で設定)				
1		0		-側の基準電圧(ADM2レジスタのADREFMビットで選択)				
1		1		+側の基準電圧(ADM2レジスタのADREFP1, ADREFP0ビットで選択) ^注				
上記以外				設定禁止				

^注 温度センサ出力電圧、内部基準電圧(1.45 V)は、HS (高速メイン)モードでのみ選択可能です。

27.3.8.2 アナログ入力チャネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャネルを指定するレジスタです。

A/Dテスト機能でANLxx／温度センサ出力／内部基準電圧(1.45 V)を測定するときは、A/Dテスト・レジスタ(ADTES)を00Hに設定してください。

ADSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 17 アナログ入力チャネル指定レジスタ(ADS)のフォーマット

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	ADISS	0	0	ADS4	ADS3	ADS2	ADS1	ADS0

○セレクト・モード(ADMD = 0)

ADISS	ADS4	ADS3	ADS2	ADS1	ADS0	アナログ入力 チャネル	入力ソース
0	0	0	0	0	0	ANI0	P20/ANI0/AVREFP 端子
0	0	0	0	0	1	ANI1	P21/ANI1/AVREFM 端子
0	0	0	0	1	0	ANI2	P22/ANI2 端子
0	0	0	0	1	1	ANI3	P23/ANI3 端子
0	0	0	1	0	0	ANI4	P24/ANI4 端子
0	0	0	1	0	1	ANI5	P25/ANI5 端子
0	0	0	1	1	0	ANI6	P26/ANI6 端子
0	0	0	1	1	1	ANI7	P27/ANI7 端子
0	0	1	0	0	0	ANI8	P150/ANI8 端子
0	0	1	0	0	1	ANI9	P151/ANI9 端子
0	0	1	0	1	0	ANI10	P152/ANI10 端子
0	0	1	0	1	1	ANI11	P153/ANI11 端子
0	0	1	1	0	0	ANI12	P154/ANI12 端子
0	0	1	1	0	1	ANI13	P155/ANI13 端子
0	0	1	1	1	0	ANI14	P156/ANI14 端子
0	1	0	0	0	0	ANI16	P03/ANI16 端子注1
0	1	0	0	0	1	ANI17	P02/ANI17 端子注2
0	1	0	0	1	0	ANI18	P147/ANI18 端子
0	1	0	0	1	1	ANI19	P120/ANI19 端子
0	1	0	1	0	0	ANI20	P100/ANI20 端子
1	0	0	0	0	0	—	温度センサ出力注3, 4
1	0	0	0	0	1	—	内部基準電圧出力 (1.45 V)注4
上記以外						設定禁止	

注1. 30, 32ピン製品の場合は、P01/ANI16端子になります。

注2. 30, 32ピン製品の場合は、P00/ANI17端子になります。

注3. コード・フラッシュ・メモリが96 KB以上の製品で、コンパレータ0またはコンパレータ1のリファレンス電圧に内部基準電圧(1.45 V)を選択している場合は、温度センサ出力を選択できません。

注4. HS (高速メイン)モードでのみ選択可能です。

(注意は次ページにあります。)

- 注意1. ビット5, 6には必ず0を設定してください。
- 注意2. ADPC, PMCレジスタでアナログ入力に設定したポートは、ポート・モード・レジスタ0, 2, 10, 12, 14, 15 (PM0, PM2, PM10, PM12, PM14, PM15)で入力モードに選択してください。
- 注意3. A/Dポート・コンフィギュレーション・レジスタ (ADPC)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- 注意4. ポート・モード・コントロール・レジスタ0, 10, 12, 14 (PMC0, PMC10, PMC12, PMC14)でデジタル入出力として設定する端子を、ADSレジスタで設定しないでください。
- 注意5. ADISSビットを書き換える場合は、必ず変換停止状態(ADCS = 0, ADCE = 0)のときに行ってください。
- 注意6. AVREFPをA/Dコンバータの+側の基準電圧として使用している場合、ANI0をA/D変換チャネルとして選択しないでください。
- 注意7. AVREFMをA/Dコンバータの-側の基準電圧として使用している場合、ANI1をA/D変換チャネルとして選択しないでください。
- 注意8. ADISS = 1を設定した場合、+側の基準電圧に内部基準電圧出力 (1.45 V) は使用できません。また、ADISS = 1に設定後、1回目の変換結果は使用できません。詳細設定フローは、14.7.4 温度センサ出力電圧／内部基準電圧を選択時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)(例 ソフトウェア・トリガ・モード, ワンショット変換モード時)を参照してください。
- 注意9. STOPモードもしくはサブシステム・クロックでCPU動作中にHALTモードへ移行する場合は、ADISS = 1に設定しないでください。ADISS = 1設定時は、34.3.2 電源電流特性に示すA/Dコンバータ基準電圧電流(IADREF)の電流値が加算されます。

27.3.9 入出力端子のデジタル出力信号レベル検出機能

IEC60730ではI/O機能が正しいことを確認することが義務付けられています。

入出力端子のデジタル出力信号レベル検出機能では、端子が出力モード時に、端子のデジタル出力レベルをリードすることができます。

27.3.9.1 ポート・モード選択レジスタ (PMS)

端子が出力モード (ポート・モード・レジスタ (PMm) のPMmn ビットが0) 時に、ポートの出力ラッチの値をリードするか、端子の出力レベルをリードするかを選択するレジスタです。

PMSレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図27 - 18 ポート・モード選択レジスタ (PMS) のフォーマット

アドレス : F007BH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMS	0	0	0	0	0	0	0	PMS0
PMS0	端子が出力モード時にリードするデータの選択							
0	Pmnレジスタの値を読み出す							
1	端子のデジタル出力レベルを読み出す							

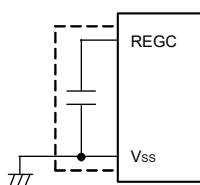
- 注意1. PMSレジスタのPMS0ビットを“1”に設定時は、ビット操作命令でポート・レジスタ (Pxx) を書き換えしないでください。ポート・レジスタ (Pxx) を書き換える場合は、8ビット・データ操作命令を使用してください。
- 注意2. タイマRDのパルス出力強制遮断機能でハインピーダンス状態となっている端子に対して端子のデジタル出力レベルを読み出すと、読み出した値は“0”になります。

備考 m = 0-8, 10-12, 14, 15
 n = 0-7

第28章 レギュレータ

28.1 レギュレータの概要

RL78/G14 は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC 端子にはレギュレータ安定として、コンデンサ (0.47 ~ 1 μ F) を介し、Vss に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

レギュレータ出力電圧は、表 28 - 1 のようになります。

表 28 - 1 レギュレータ出力電圧条件

モード	出力電圧	条件
LV (低電圧メイン) モード	1.8 V	—
LS (低速メイン) モード		
HS (高速メイン) モード	1.8 V	STOP モード時
		サブシステム・クロック (f _{SUB}) で CPU 動作中で、高速システム・クロック (f _{MX}) と高速オンチップ・オシレータ・クロック (f _{IH}) が共に停止
		サブシステム・クロック (f _{SUB}) で CPU 動作設定時の HALT モード中で、高速システム・クロック (f _{MX}) と高速オンチップ・オシレータ・クロック (f _{IH}) が共に停止
	2.1 V	上記以外 (オンチップ・デバッグ中を含む) ^注

注 オンチップ・デバッグ中に、サブシステム・クロック動作や STOP モードに移行する場合は、レギュレータ出力電圧は 2.1 V を継続します (1.8 V にはなりません)。

第29章 オプション・バイト

29.1 オプション・バイトの機能

RL78/G14のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト(000C0H-000C2H)とオンチップ・デバッグ・オプション・バイト(000C3H)で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

なお、機能が配置されていないビットは、初期値から変更しないでください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 オプション・バイトは、各機能の使用の有無にかかわらず必ず設定してください。

29.1.1 ユーザ・オプション・バイト(000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

- ウォッチドッグ・タイマの動作
 - ・カウンタの動作許可／禁止
 - ・HALT/STOPモード時のカウンタの動作可能／停止
- ウォッチドッグ・タイマのオーバフロー時間の設定
- ウォッチドッグ・タイマのウインドウ・オープン期間の設定
- ウォッチドッグ・タイマのインターバル割り込みの設定
 - ・インターバル割り込みを使用する／使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

- LVDの動作モード設定
 - ・割り込み&リセット・モード
 - ・リセット・モード
 - ・割り込みモード
 - ・LVDオフ(RESET端子による外部リセット入力を使用)
- LVD検出レベル(VLVDH, VLVDL, VLVD)の設定

注意1. 電源立ち上がり時は、34.4 または 35.4 AC 特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOP モードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。
動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

注意2. ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください

(3) 000C2H/010C2H

○ フラッシュの動作モード設定

使用するメイン・システム・クロック周波数 (fMAIN)、電源電圧 (VDD) に応じて設定します。

- LV (低電圧メイン) モード
- LS (低速メイン) モード
- HS (高速メイン) モード

○ 高速オンチップ・オシレータの周波数設定

- 1 MHz ~ 32 MHz, 48 MHz, 64 MHz から選択

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

29.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

○ オンチップ・デバッグ動作制御

- オンチップ・デバッグ動作禁止／許可

○ セキュリティ ID 認証失敗時のフラッシュ・メモリ・データの処理

- オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを消去する／消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

29.2 ユーザ・オプション・バイトのフォーマット

図29-1 ユーザ・オプション・バイト(000C0H/010C0H)のフォーマット

アドレス : 000C0H/010C0H^{注1}

略号

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75% + 1/2 f _{IL} 到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間注2					
0	0	設定禁止					
0	1	50%					
1	0	75%					
1	1	100%					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止(リセット解除後, カウント停止)						
1	カウンタ動作許可(リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 17.25 kHz (MAX.)の場合)				
0	0	0	2 ⁶ /f _{IL} (3.71 ms)				
0	0	1	2 ⁷ /f _{IL} (7.42 ms)				
0	1	0	2 ⁸ /f _{IL} (14.84 ms)				
0	1	1	2 ⁹ /f _{IL} (29.68 ms)				
1	0	0	2 ¹¹ /f _{IL} (118.72 ms)				
1	0	1	2 ¹³ /f _{IL} (474.90 ms)				
1	1	0	2 ¹⁴ /f _{IL} (949.80 ms)				
1	1	1	2 ¹⁶ /f _{IL} (3799.19 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御(HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止注2						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

注2. WDSTBYON = 0のときは, WINDOW1, WINDOW0ビットの値に関係なく, ウインドウ・オープン期間100%となります。

備考 f_{IL} : 低速オンチップ・オシレータ・クロック周波数

図29-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(1/4)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込み&リセット・モード)

検出電圧			オプション・バイト設定値						
VLVDH		VLVDL	VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり	立ち下がり						LVIMDS1	LVIMDS0
1.77 V	1.73 V	1.63 V	0	0	0	1	0	1	0
1.88 V	1.84 V					0	1		
2.92 V	2.86 V					0	0		
1.98 V	1.94 V	1.84 V		0	1	1	0		
2.09 V	2.04 V					0	1		
3.13 V	3.06 V					0	0		
2.61 V	2.55 V	2.45 V		1	0	1	0		
2.71 V	2.65 V					0	1		
3.75 V	3.67 V					0	0		
2.92 V	2.86 V	2.75 V		1	1	1	0		
3.02 V	2.96 V					0	1		
4.06 V	3.98 V					0	0		
—			上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

図29-3 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(2/4)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(リセット・モード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	1	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

図29-4 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(3/4)

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDの設定(割り込みモード)

検出電圧		オプション・バイト設定値						
VLVD		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
1.67 V	1.63 V	0	0	0	1	1	0	1
1.77 V	1.73 V		0	0	1	0		
1.88 V	1.84 V		0	1	1	1		
1.98 V	1.94 V		0	1	1	0		
2.09 V	2.04 V		0	1	0	1		
2.50 V	2.45 V		1	0	1	1		
2.61 V	2.55 V		1	0	1	0		
2.71 V	2.65 V		1	0	0	1		
2.81 V	2.75 V		1	1	1	1		
2.92 V	2.86 V		1	1	1	0		
3.02 V	2.96 V		1	1	0	1		
3.13 V	3.06 V		0	1	0	0		
3.75 V	3.67 V		1	0	0	0		
4.06 V	3.98 V		1	1	0	0		
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意 ビット4には、必ず1を書き込んでください。

備考1. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考2. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

図29 - 5 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマット(4/4)

アドレス : 000C1H/010C1H注

7	6	5	4	3	2	1	0
VPOC2	VPOC1	VPOC0	1	LVIS1	LVIS0	LVIMDS1	LVIMDS0

• LVDオフの設定(RESET端子による外部リセット入力を使用)

検出電圧		オプション・バイト設定値						
VLVDH		VPOC2	VPOC1	VPOC0	LVIS1	LVIS0	モード設定	
立ち上がり	立ち下がり						LVIMDS1	LVIMDS0
—	—	1	x	x	x	x	x	1
—		上記以外は設定禁止						

注 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1Hにも000C1Hと同じ値を設定してください。

注意1. ビット4には、必ず1を書き込んでください。

注意2. 電源立ち上がり時は、34.4または35.4 AC特性に示す動作電圧範囲まで、電圧検出回路か外部リセットでリセット状態を保ってください。電源立ち下がり時は、動作電圧範囲を下回る前に、STOPモードに移行するか、電圧検出回路か外部リセットでリセット状態にしてください。

動作電圧範囲は、ユーザ・オプション・バイト(000C2H/010C2H)の設定により変わります。

備考1. x : Don't care

備考2. LVD回路の詳細は、第26章 電圧検出回路を参照してください。

備考3. 検出電圧はTYP.値です。詳細は、34.6.6または35.6.6 LVD回路特性を参照してください。

図29 - 6 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
CMODE1	CMODE0	1	FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0

CMODE1	CMODE0	フラッシュの動作モード設定		
			動作周波数範囲 (fMAIN)	動作電圧範囲 (VDD)
0	0	LV (低電圧メイン)モード	1 MHz～4 MHz	1.6 V～5.5 V
1	0	LS (低速メイン)モード	1 MHz～8 MHz	1.8 V～5.5 V
1	1	HS (高速メイン)モード	1 MHz～16 MHz	2.4 V～5.5 V
			1 MHz～32 MHz	2.7 V～5.5 V
上記以外		設定禁止		

FRQSEL4	FRQSEL3	FRQSEL2	FRQSEL1	FRQSEL0	高速オンチップオシレータ・クロックの周波数	
					fHOCO	fIH
1	1	0	0	0	64 MHz	32 MHz
1	0	0	0	0	48 MHz	24 MHz
0	1	0	0	0	32 MHz	32 MHz
0	0	0	0	0	24 MHz	24 MHz
0	1	0	0	1	16 MHz	16 MHz
0	0	0	0	1	12 MHz	12 MHz
0	1	0	1	0	8 MHz	8 MHz
0	0	0	1	0	6 MHz	6 MHz
0	1	0	1	1	4 MHz	4 MHz
0	0	0	1	1	3 MHz	3 MHz
0	1	1	0	0	2 MHz	2 MHz
0	1	1	0	1	1 MHz	1 MHz
上記以外					設定禁止	

注 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2Hにも000C2Hと同じ値を設定してください。

注意1. ビット5には、必ず1を書き込んでください。

注意2. 動作周波数範囲と動作電圧範囲は、フラッシュの各動作モードによって異なります。詳細は、34.4または35.4 AC特性を参照してください。

29.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図 29 - 7 オンチップ・デバッグ・オプション・バイト(000C3H/010C3H)のフォーマット

アドレス : 000C3H/010C3H注

略号	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD
OCDENSET	OCDERSD	オンチップ・デバッグ動作制御						
0	0	オンチップ・デバッグ動作禁止						
0	1	設定禁止						
1	0	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去する						
1	1	オンチップ・デバッグ動作許可。 オンチップ・デバッグ・セキュリティ ID 認証失敗時にフラッシュ・メモリのデータを 消去しない						

注 ブート・スワップ時は、000C3H と 010C3H が切り替わるので、010C3H にも 000C3H と同じ値を設定してください。

注意 ビット 7, 0 (OCDENSET, OCDERSD) のみ、値を指定できます。

 ビット 6-1 には、必ず 000010B を書き込んでください。

備考 ビット 3-1 は、オンチップ・デバッグ機能使用時に値が書き変わるので、設定後は不定となります。ただし、設定時にはビット 3-1 にも、必ず初期値 (0, 1, 0) を設定してください。

29.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にリンク・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンク・オプションでの設定内容が優先されます。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	36H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	1AH	; VLVDLに1.63 Vを選択 ; VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB	2DH	; フラッシュの動作モードにLV (低電圧メイン)モード, ; 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ; フラッシュ・メモリのデータを消去しない。

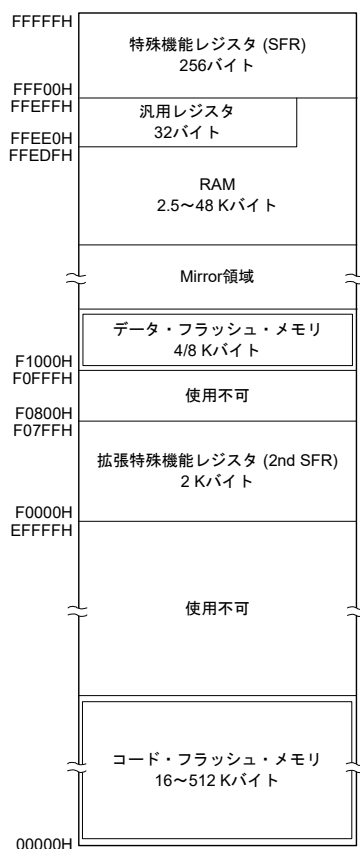
セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H
	DB		36H ; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウインドウ・オープン期間50%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^9/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		1AH ; VLVDLに1.63 Vを選択 ; VLVDHに立ち上がり1.77 V, 立ち下がり1.73 Vを選択 ; LVDの動作モードに割り込み&リセット・モードを選択
	DB		2DH ; フラッシュの動作モードにLV (低電圧メイン)モード, ; 高速オンチップ・オシレータ・クロック周波数 1 MHzを選択
	DB		85H ; オンチップ・デバッグ動作許可, セキュリティ ID 認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第30章 フラッシュ・メモリ

RL78マイクロコントローラは、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。フラッシュ・メモリには、プログラム実行可能な“コード・フラッシュ”とデータ格納領域の“データ・フラッシュ”があります。



フラッシュ・メモリのプログラミング方法は、次のとおりです。

コード・フラッシュ・メモリは、フラッシュ・メモリ・プログラマまたは外部デバイス (UART 通信) によるシリアル・プログラミングもしくは、セルフ・プログラミングで書き換えることができます。

- ・フラッシュ・メモリ・プログラマによるシリアル・プログラミング (30.1 参照)

専用フラッシュ・メモリ・プログラマを使用してオンボードまたはオフボードで書き込みができます。

- ・外部デバイス (UART 内蔵) によるシリアル・プログラミング (30.2 参照)

外部デバイス (マイコンや ASIC) との UART 通信を使用してオンボード上で書き込みができます。

- ・セルフ・プログラミング (30.6 参照)

フラッシュ・セルフ・プログラミング・ライブラリを利用して、ユーザ・アプリケーション上でコード・フラッシュ・メモリの自己書き換えができます。

データ・フラッシュ・メモリは、データ・フラッシュ・ライブラリを利用して、ユーザ・プログラム実行中に書き換えることができます (バックグラウンド・オペレーション)。データ・フラッシュへのアクセスや書き込みについては、30.8 データ・フラッシュ を参照してください。

30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング

RL78 マイクロコントローラの内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラマを使用できます。

- PG-FP5, PG-FP6
- E1, E2, E2 Lite, E20 オンチップデバッグエミュレータ

専用フラッシュ・メモリ・プログラマにより、オンボードまたはオフボードで書き込みができます。

(1) オンボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装後、フラッシュ・メモリの内容を書き換えます。

ターゲット・システム上には、専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上にRL78 マイクロコントローラを実装する前に専用プログラム・アダプタなどでフラッシュ・メモリに書き込みます。

表 30 - 1 RL78/G14と専用フラッシュ・メモリ・プログラムの配線表

専用フラッシュ・メモリ・プログラマ接続端子				端子名	ピン番号					
信号名		入出力	端子機能		30ピン	32ピン	36ピン	40ピン	44ピン	48ピン
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20オン チップデバッ ギングエミュ レータ				SSOP	WQFN (5 × 5), QFP (7 × 7)	FLGA (4 × 4)	WQFN (6 × 6)	LQFP (10 × 10)	LQFP (7 × 7), WQFN (7 × 7)
—	TOOL0	入出力	送受信信号	TOOL0/ P40	5	1	F6	1	2	39
SI/RxD	—	入出力	送受信信号							
—	RESET_OUT	出力	リセット信号	RESET	6	2	E5	2	3	40
RESET	—	出力								
VDD注1		入出力	VDD電圧生成 ／電源監視	VDD	12	8	B6	10	11	48
GND		—	グラウンド	Vss	11	7	C5	9	10	47
				REGC注2	10	6	D5	8	9	46
FLMD1	EMVDD	—	TOOL0端子 駆動電源	VDD	12	8	B6	10	11	48

専用フラッシュ・メモリ・プログラマ接続端子					ピン番号					
					52ピン	64ピン		80ピン	100ピン	
信号名		入出力	端子機能	端子名	LQFP (10 × 10)	LQFP (14 × 14), LQFP (12 × 12), LQFP (10 × 10)	FLGA (5 × 5)	LQFP (14 × 14), LQFP (12 × 12)	LQFP (14 × 14)	LQFP (14 × 20)
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20 オン チップデバッ ギングエミュ レータ									
—	TOOL0	入出力	送受信信号	TOOL0/ P40	4	5	D6	9	12	89
SI/RxD	—	入出力	送受信信号							
	RESET_OUT	出力	リセット信号	RESET	5	6	E7	10	13	90
RESET	—	出力								
VDD注1		入出力	VDD 電圧生成／ 電源監視	VDD	13	15	B7	19	22	99
GND		—	グラウンド	Vss	12	13	C7	17	20	97
				EVss	—	14	B8	18	21, 43	98, 20
				REGC注2	11	12	D7	16	19	96
FLMD1	EMVDD	—	TOOL0端子 駆動電源	VDD	13	—	—	—	—	—
				EVDD	—	16	A8	20	23, 53	100, 30

注1. PG-FP6の信号名はVccです。

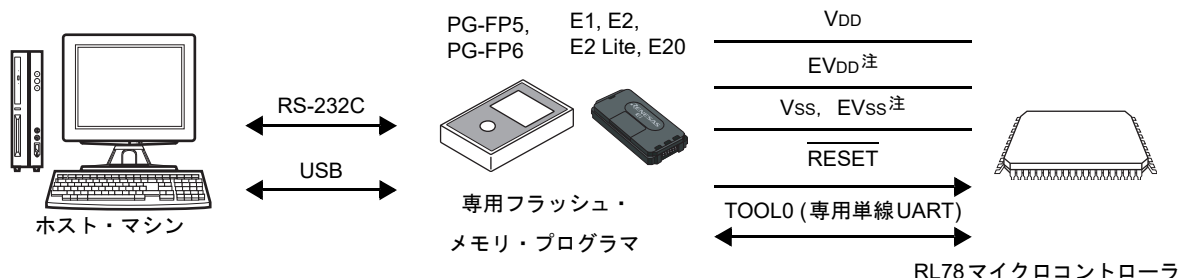
注2. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。

備考 この表に記載されていない端子は、フラッシュ・メモリ・プログラマによるプログラミング時にはオープンで構いません。

30.1.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図30-1 フラッシュ・メモリにプログラムを書き込むための環境



注 64, 80, 100ピン製品のみ。

専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

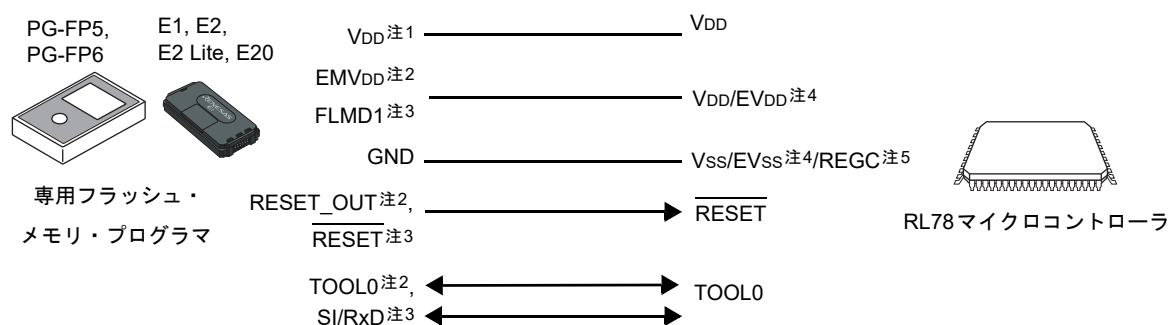
また、専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み／消去の操作を行います。

30.1.2 通信方式

専用フラッシュ・メモリ・プログラマとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図30-2 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP6の信号名はVCCです。

注2. E1, E2, E2 Lite, E20オンチップデバッキングエミュレータ使用時。

注3. PG-FP5, PG-FP6使用時。

注4. 64, 80, 100ピン製品のみ。

注5. REGC端子はコンデンサ(0.47～1 μF)を介してグラウンドに接続してください。

専用フラッシュ・メモリ・プログラマはRL78マイクロコントローラに対して次の信号を生成します。詳細はPG-FP5, PG-FP6またはE1, E2, E2 Lite, E20 オンチップデバッグエミュレータの各マニュアルを参照してください。

表 30 - 2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			RL78 マイクロコントローラ	
信号名		入出力	端子機能	端子名注1
PG-FP5, PG-FP6	E1, E2, E2 Lite, E20 オンチップ デバッグエミュレータ			
VDD注2		入出力	VDD 電圧生成／電圧監視	VDD
GND		—	グラウンド	Vss, EVss, REGC注3
FLMD1	EMVDD	—	TOOL0 端子駆動電源	VDD, EVDD
RESET	RESET_OUT	出力	リセット信号	RESET
SI/RxD	TOOL0	入出力	送受信信号	TOOL0

注1. 接続先端子は、製品によって異なります。詳細は、表 30 - 1 を参照してください。

注2. PG-FP6の信号名はVccです。

注3. REGC端子はコンデンサ（0.47～1 μF）を介してグラウンドに接続してください。

30.2 外部デバイス(UART内蔵)によるシリアル・プログラミング

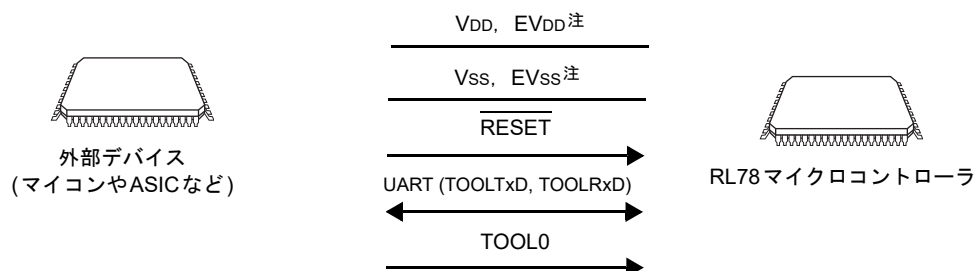
オンボード上でRL78マイクロコントローラとUART接続されている外部デバイス(マイコンやASIC)を使って、内蔵フラッシュ・メモリにデータを書き込むことができます。

ユーザでのフラッシュ・メモリ・プログラマの開発については、RL78 マイクロコントローラ (RL78 プロトコル A) プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

30.2.1 プログラミング環境

RL78マイクロコントローラのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図 30 - 3 フラッシュ・メモリにプログラムを書き込むための環境



注 64, 80, 100 ピン製品のみ。

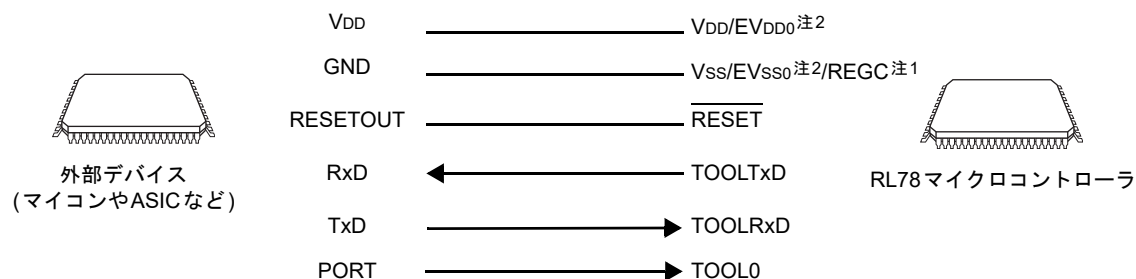
外部デバイスからRL78 マイクロコントローラに書き込み／消去する場合はオンボード上で行います。オフボードで書き込むことはできません。

30.2.2 通信方式

外部デバイスとRL78マイクロコントローラとの通信は、RL78マイクロコントローラのTOOLTxD, TOOLRxD端子を使用して、専用のUARTによるシリアル通信で行います。

転送レート：1 M, 500 k, 250 k, 115.2 kbps

図30 - 4 外部デバイスとの通信



注1. REGC端子はコンデンサ(0.47～1 μF)を介してグラウンドに接続してください。

注2. 64, 80, 100ピン製品のみ。

外部デバイスはRL78マイクロコントローラに対して次の信号を生成します。

表30 - 3 端子接続一覧

外部デバイス			RL78 マイクロコントローラ
信号名	入出力	端子機能	端子名
VDD	入出力	VDD 電圧生成／電圧監視	VDD, EVDD0 ^{注2}
GND	—	グラウンド	Vss, EVss0 ^{注2} , REGC ^{注1}
RESETOUT	出力	リセット信号出力	RESET
RxD	入力	受信信号	TOOLTxD
TxD	出力	送信信号	TOOLRxD
PORT	出力	モード信号	TOOL0

注1. REGC端子はコンデンサ(0.47～1 μF)を介してグラウンドに接続してください。

注2. 64, 80, 100ピン製品のみ。

30.3 オンボード上の端子処理

フラッシュ・メモリ・プログラマによるオンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、30.4.2 フラッシュ・メモリ・プログラミング・モードを参照してください。

30.3.1 P40/TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、外部で1 kΩの抵抗でプルアップし、専用フラッシュ・メモリ・プログラマに接続してください。

ポート端子として使用する場合、以下の方法で使用してください。

入力時： 外部リセット解除時からt_{HD}の期間はロウ・レベルを入力しないでください。ただし、プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

出力時： プルダウンで使用する場合は、500 kΩ以上の抵抗を使用してください。

備考1. t_{HD}：フラッシュ・メモリ・プログラミング・モードに引き込むときに、外部/内部リセット解除からTOOL0端子をロウ・レベルに保持する時間。34.10または35.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

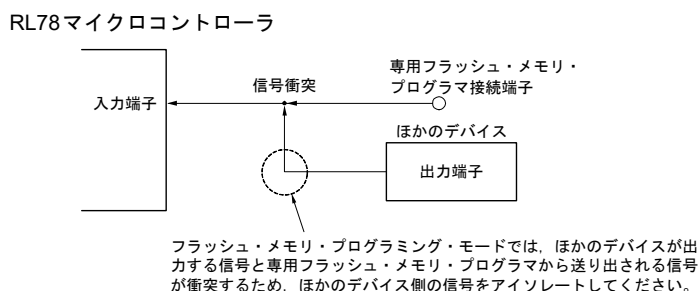
備考2. RL78マイクロコントローラと専用フラッシュ・メモリ・プログラマとの通信には、単線UART (TOOL0端子)を使用するので、SAUやIICAの端子は使用しません。

30.3.2 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマや外部デバイスのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマまたは外部デバイスからのリセット信号以外は入力しないでください。

図30-5 信号の衝突(RESET端子)



30.3.3 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してVDDまたはEVDD0に接続するか、もしくは抵抗を介してVssまたはEVss0に接続するなどの端子処理が必要です。

30.3.4 REGC端子

REGC端子は、通常動作時と同様に、特性の良いコンデンサ(0.47~1 μ F)を介し、GNDに接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

30.3.5 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速オンチップ・オシレータ・クロック(f_{IH})を使用します。

30.3.6 電源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、VDD端子はフラッシュ・メモリ・プログラムのVDD^注に、Vss端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただしフラッシュ・メモリ・プログラムの書き込みの場合は、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、VDD^注、Vss端子はフラッシュ・メモリ・プログラムのVDD、GNDと必ず接続してください。

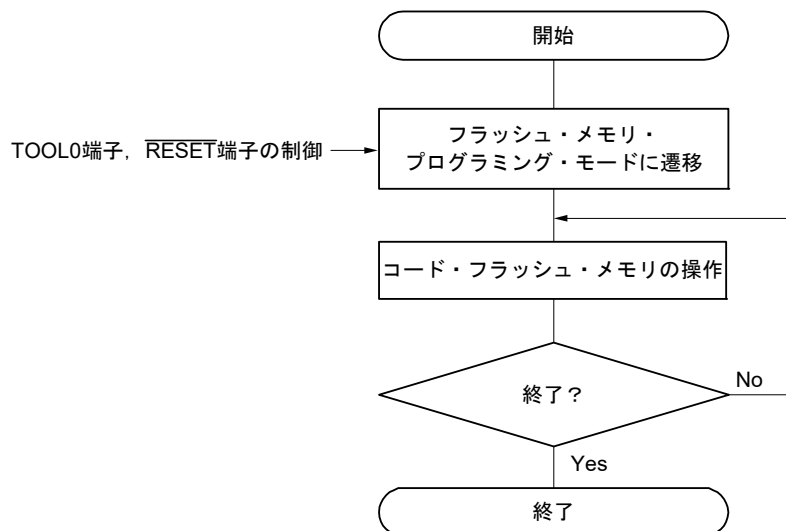
注 PG-FP6の信号名はVccです。

30.4 プログラミング方法

30.4.1 シリアル・プログラミング手順

シリアル・プログラミングでコード・フラッシュ・メモリの書き換えを行う流れを示します。

図 30 - 6 コード・フラッシュメモリの操作手順



30.4.2 フラッシュ・メモリ・プログラミング・モード

コード・フラッシュ・メモリの内容をシリアル・プログラミングで書き換えるときは、フラッシュ・メモリ・プログラミング・モードにしてください。フラッシュ・メモリ・プログラミング・モードへ遷移するには、次のようにしてください。

＜専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合＞

RL78 マイクロコントローラを専用フラッシュ・メモリ・プログラマと接続します。専用フラッシュ・メモリ・プログラマとの通信により、自動的にフラッシュ・メモリ・プログラミング・モードに遷移します。

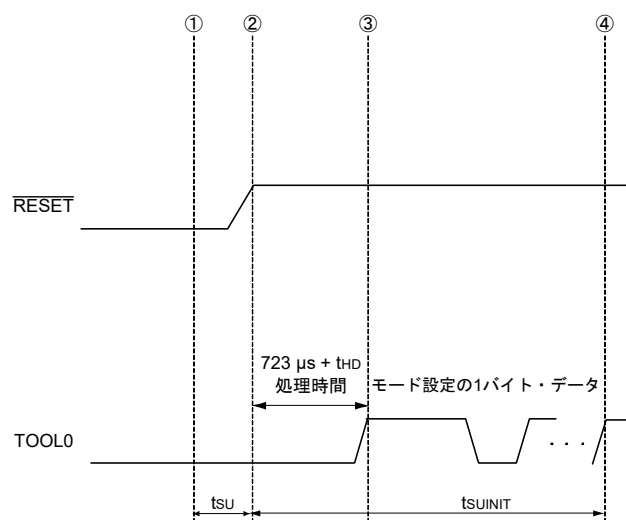
＜外部デバイスを使用してシリアル・プログラミングする場合＞

TOOL0端子をロウ・レベルに設定後、リセットを解除します(表30-4参照)。その後、図30-7に示す①～④の手順でフラッシュ・メモリ・プログラミング・モードへ遷移します。詳細は、RL78 マイクロコントローラ(RL78プロトコルA)プログラマ編アプリケーション・ノート(R01AN0815)を参照してください。

表30-4 リセット解除時のTOOL0端子の動作モードとの関係

TOOL0	動作モード
EV _{DD}	通常動作モード
0 V	フラッシュ・メモリ・プログラミング・モード

図30-7 フラッシュ・メモリ・プログラミング・モードへの引き込み



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

詳細は、34.10または35.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングを参照してください。

フラッシュ・メモリ・プログラミング・モードには、ワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。モード選択は、書き込み時マイコンに供給されている電源電圧値およびフラッシュ・メモリ・プログラミング・モード引き込み時のユーザ・オプション・バイトの設定情報によって決定されます。

なお、専用フラッシュ・メモリ・プログラマを使用してシリアル・プログラミングする場合は、GUI上で電圧設定を行うことでモードが自動選択されます。

表 30 - 5 プログラミング・モードと書き込み／消去／ベリファイ実行可能電圧

電源電圧(V _{DD})	フラッシュ・メモリ・プログラミング・モード 引き込み時のオプション・バイトの設定		フラッシュ書き換えモード
	フラッシュ動作モード	動作周波数(f _{CLK})	
2.7 V ≤ V _{DD} ≤ 5.5 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz～32 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
2.4 V ≤ V _{DD} < 2.7 V	ブランク状態		フルスピード・モード
	HS (高速メイン)モード	1 MHz～16 MHz	フルスピード・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード
1.8 V ≤ V _{DD} < 2.4 V	ブランク状態		ワイド・ボルテージ・モード
	LS (低速メイン)モード	1 MHz～8 MHz	ワイド・ボルテージ・モード
	LV (低電圧メイン)モード	1 MHz～4 MHz	ワイド・ボルテージ・モード

備考1. ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ベリファイを行ううえで制限事項はありません。

備考2. 通信コマンドの詳細は、30.4.4 通信コマンドを参照してください。

30.4.3 通信方式

RL78マイクロコントローラの通信方式は、次のようになります。

表 30 - 6 通信方式

通信方式	Standard 設定 ^{注1}				使用端子
	Port	Speed ^{注2}	Frequency	Multiply Rate	
単線 UART (フラッシュ・メモリ・ プログラマ使用時, また は外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOL0
専用 UART (外部デバイス使用時)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps	—	—	TOOLTxD, TOOLRxD

注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

注2. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

30.4.4 通信コマンド

RL78マイクロコントローラは、表30-7に示すコマンドを介してシリアル・プログラミングを実行します。

専用フラッシュ・メモリ・プログラマまたは外部デバイスからRL78マイクロコントローラへ送られる信号を「コマンド」と呼び、そのコマンドに対応した各機能の処理を行います。詳細は、RL78 マイクロコントローラ (RL78 プロトコルA) プログラマ編アプリケーション・ノート (R01AN0815) を参照してください。

表30-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます注。
情報取得	Silicon Signature	RL78 マイクロコントローラ情報 (品名, フラッシュ・メモリ構成, プログラミング用ファームウェア・バージョンなど) を取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
	Security Get	セキュリティ情報を取得します。
	Security Release	書き込み禁止設定を解除します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART 選択時のボー・レートを設定します。

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

“Silicon Signature” コマンドを実行することで製品情報(品名, ファームウェア・バージョンなど)を取得することができます。

表30-8 シグネチャ・データ一覧, 表30-9 シグネチャ・データ例を示します。

表30-8 シグネチャ・データ一覧

フィールド名	内容	送信バイト数
デバイス・コード	デバイスに割り振られたシリアル番号	3バイト
デバイス名	デバイス名(ASCIIコード)	10バイト
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. 00000H-0FFFFH (64 KB) → FFH, FFH, 00H)	3バイト
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域の最終アドレス (アドレス下位から送信されます。 例. F1000H-F1FFFH (4 KB) → FFH, 1FH, 0FH)	3バイト
ファームウェア・バージョン	プログラミング用ファームウェアのバージョン情報 (バージョンの上位から送信されます。 例. Ver. 1. 23 → 01H, 02H, 03H)	3バイト

表30-9 シグネチャ・データ例

フィールド名	内容	送信バイト数	データ(16進数)
デバイス・コード	RL78 プロトコルA	3バイト	10 00 06
デバイス名	R5F104LE	10バイト	52 = “R” 35 = “5” 46 = “F” 31 = “1” 30 = “0” 34 = “4” 4C = “L” 45 = “E” 20 = “ ” 20 = “ ”
コード・フラッシュ・メモリ領域 最終アドレス	コード・フラッシュ・メモリ領域 00000H-0FFFFH (64 KB)	3バイト	FF FF 00
データ・フラッシュ・メモリ領域 最終アドレス	データ・フラッシュ・メモリ領域 F1000H-F1FFFH (4 KB)	3バイト	FF 1F 0F
ファームウェア・バージョン	Ver. 1. 23	3バイト	01 02 03

30.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値)

専用フラッシュ・メモリ・プログラマとしてPG-FP5, PG-FP6を使用した場合の各コマンド処理時間(参考値)を次に示します。

表 30 - 10 PG-FP5使用時の各コマンド処理時間(参考値)

PG-FP5のコマンド	Port: TOOL0 (UART)									
	Speed: 1M bps									
	16 K バイト	32 K バイト	48 K バイト	64 K バイト	96 K バイト	128 K バイト	192 K バイト	256 K バイト	384 K バイト	512 K バイト
消去	1 s	1 s	1 s	1.5 s	1.5 s	2 s	2 s	2.5 s	3 s	4 s
書き込み	1.5 s	1.5 s	2 s	2.5 s	3 s	3.5 s	5 s	6 s	8.5 s	11 s
ベリファイ	1.5 s	1.5 s	2 s	2 s	3 s	3.5 s	4.5 s	5.5 s	8 s	10.5 s
消去後, 書き込み	1.5 s	2 s	2.5 s	3 s	4 s	4.5 s	6.5 s	8 s	11 s	14.5 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード (フラッシュ動作モード : HS (高速メイン)モード)

表 30 - 11 PG-FP6使用時の各コマンド処理時間(参考値)

PG-FP6のコマンド	コード・フラッシュ									
	16 K バイト	32 K バイト	48 K バイト	64 K バイト	96 K バイト	128 K バイト	192 K バイト	256 K バイト	384 K バイト	512 K バイト
消去	0.7 s	0.8 s	0.9 s	1.0 s	1.2 s	1.3 s	1.7 s	2.1 s	2.8 s	3.5 s
書き込み	0.8 s	1.1 s	1.4 s	1.6 s	2.4 s	2.9 s	4.0 s	5.2 s	7.3 s	9.5 s
ベリファイ	0.6 s	0.8 s	1.0 s	1.2 s	1.7 s	2.2 s	3.0 s	3.9 s	5.6 s	7.3 s
消去後, 書き込み	1.2 s	1.5 s	1.9 s	2.3 s	3.2 s	4.0 s	5.4 s	6.9 s	9.8 s	12.7 s

備考 コマンド処理時間(参考値)はTYP.値です。次に条件を示します。

Port: TOOL0 (単線UART)

Speed: 1,000,000 bps

Mode: フルスピード・モード (フラッシュ動作モード : HS (高速メイン)モード)

30.6 セルフ・プログラミング

RL78 マイクロコントローラは、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能はフラッシュ・セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

注意1. CPUがサブシステム・クロック動作時の場合、セルフ・プログラミング機能は使用できません。

注意2. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でフラッシュ・セルフ・プログラミング・ライブラリを実行してください。割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、フラッシュ・セルフ・プログラミング・ライブラリを実行してください。

注意3. セルフ・プログラミング中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロック動作(HIOSTOP = 0)させ、ユーザ・オプション・バイト(000C2H)のFRQSEL4 が0の場合は30 μ s、FRQSEL4 が1の場合は80 μ s経過後にフラッシュ・セルフ・プログラミング・ライブラリを実行してください。

備考 セルフ・プログラミング機能の詳細は、RL78 マイクロコントローラ フラッシュ・セルフ・プログラミング・ライブラリ Type01 ユーザーズ・マニュアル(R01US0050)を参照してください。

また、セルフ・プログラミング機能には、フラッシュ・メモリ・プログラミング・モードによるワイド・ボルテージ・モードとフルスピード・モードの2つのモードがあります。

オプション・バイト000C2HのCMODE1, CMODE0で設定したフラッシュの動作モードに合わせて、いずれかのモードを設定してください。

HS (高速メイン)モード設定時はフルスピード・モードに、LS (低速メイン)モードおよびLV (低電圧メイン)モード設定時はワイド・ボルテージ・モードに設定してください。

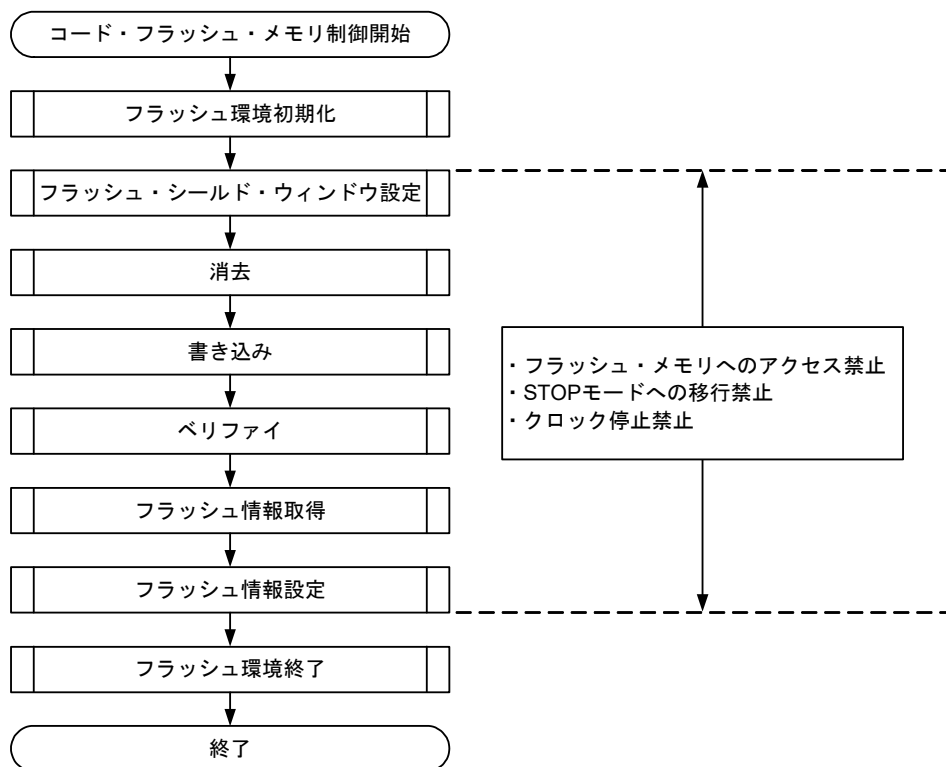
当社提供のフラッシュ・セルフ・プログラミング・ライブラリの関数“FSL_Init”実行時に、引数である“fsl_flash_voltage_u08”が00Hであればフルスピード・モードに、00H以外であればワイド・ボルテージ・モードに設定されます。

備考 ワイド・ボルテージ・モードとフルスピード・モードを併用した場合でも、書き込み／消去／ペリファイを行ううえで制限事項はありません。

30.6.1 セルフ・プログラミング手順

フラッシュ・セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図 30 - 8 セルフ・プログラミング(フラッシュ・メモリの書き換え)の流れ



30.6.2 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

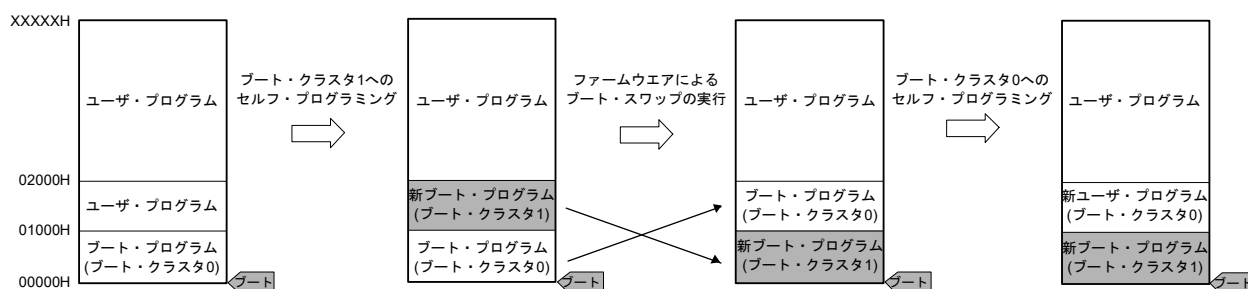
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^注の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、RL78 マイクロコントローラ内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来の領域であるブート・クラスタ0へ消去や書き込みを行います。

これによって領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図30-9 ブート・スワップ機能

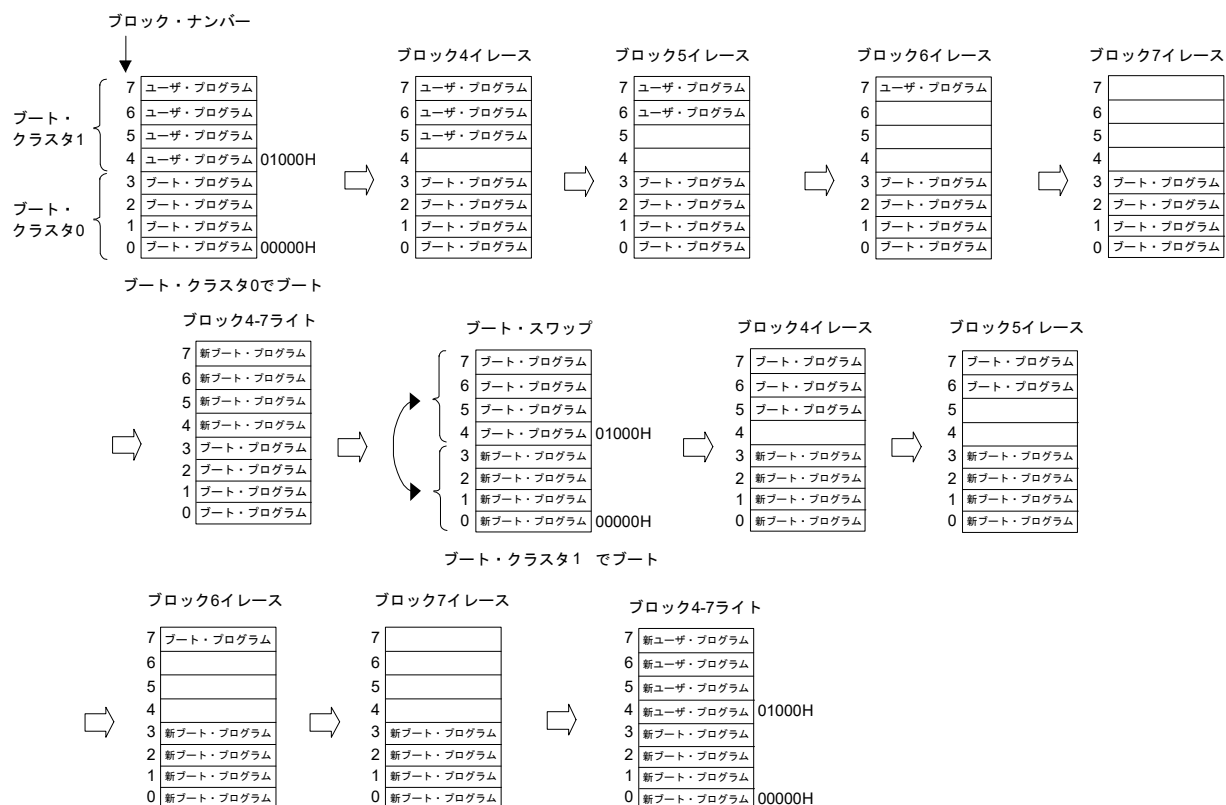


この図の例では、次のようになっています。

ブート・クラスタ0：ブート・スワップ前のブート領域です。

ブート・クラスタ1：ブート・スワップ後のブート領域です。

図30-10 ブート・スワップの実行例



30.6.3 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、シリアル・プログラミングおよびセルフ・プログラミングの両方で設定／変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み／消去禁止となります。ただし、シリアル・プログラミング時にはウインドウとして指定した範囲外にも書き込み／消去可能です。

図30-11 フラッシュ・シールド・ウインドウの設定例
(対象デバイス：R5F104LE, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意1. フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

注意2. フラッシュ・シールド・ウインドウはコード・フラッシュのみ設定可能です(データ・フラッシュは対応していません)。

表30-12 フラッシュ・シールド・ウインドウ機能の設定／変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定／変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	フラッシュ・セルフ・プログラミング・ライブラリで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
シリアル・プログラミング時	専用フラッシュ・メモリ・プログラマのGUI上などで、ウインドウの先頭ブロック、最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 シリアル・プログラミング時の書き込み／消去を禁止したい場合には、30.7 セキュリティ設定を参照してください。

30.7 セキュリティ設定

RL78 マイクロコントローラは、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Set コマンドを使用することにより、次の操作をすることができます。

- ブロック消去禁止

シリアル・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- 書き込み禁止

シリアル・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

書き込み禁止を設定後、Security Release コマンドによる解除はリセットで有効になります。

- ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0 (00000H-00FFFFH) に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。

出荷時の初期状態では、ブロック消去／書き込み／ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、シリアル・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

RL78 マイクロコントローラのセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表 30-13 に示します。

注意 ただし、フラッシュ・ライタのセキュリティ機能はセルフ・プログラミングに対応していません。

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は30.6.3を参照)。

表 30 - 13 セキュリティ機能有効時とコマンドの関係

(1) シリアル・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できない	書き込みできる注
書き込み禁止	ブロック消去できる	書き込みできない
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。ブロック消去禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
ブロック消去禁止	ブロック消去できる	書き込みできる
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み／消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は30.6.3を参照）。

表 30 - 14 各プログラミング・モード時のセキュリティ設定方法

(1) シリアル・プログラミング時

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
書き込み禁止		専用フラッシュ・メモリ・プログラマのGUI上などで設定する
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

注意 「書き込み禁止」設定の解除は、「ブロック消去禁止」、「ブート・クラスタ0の書き換え禁止」に設定されていない状態で、かつコード・フラッシュ領域、データ・フラッシュ領域がブランクの場合でのみ可能です。

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
ブロック消去禁止	フラッシュ・セルフ・プログラミング・ライブラリで設定する	設定後、無効にできない
書き込み禁止		セルフ・プログラミングでは無効にできない（シリアル・プログラミング時に、専用フラッシュ・メモリ・プログラマのGUI上などで設定する）
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

30.8 データ・フラッシュ

30.8.1 データ・フラッシュの概要

データ・フラッシュの概要は次のとおりです。

- データ・フラッシュ・ライブラリを利用することにより、ユーザ・プログラムでデータ・フラッシュ・メモリの書き換えが可能。詳細は、「RL78ファミリ データ・フラッシュ・ライブラリ Type04」を参照してください。
- 専用フラッシュ・メモリ・プログラマや外部デバイスによるシリアル・プログラミングでも書き換え可能
- データ・フラッシュは、1ブロック = 1 Kバイト単位で消去
- データ・フラッシュは、8ビット単位でのみアクセス可能
- データ・フラッシュは、CPU命令で直接読み出し可能
- データ・フラッシュの書き換え中に、コード・フラッシュからの命令実行は可能(バックグラウンド・オペレーション(BGO)対応)
- データ・フラッシュは、データ専用領域のため、データ・フラッシュからの命令実行は禁止
- コード・フラッシュの書き換え中(セルフ・プログラミング時)に、データ・フラッシュにアクセスすることは禁止
- データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止
- データ・フラッシュの書き換え中に、STOPモード状態に遷移することは禁止

注意1. リセット解除後、データ・フラッシュは停止状態です。データ・フラッシュ使用時はデータ・フラッシュ・コントロール・レジスタ(DFLCTL)を必ず設定してください。

注意2. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、ユーザ・オプション・バイト(000C2H)のFRQSEL4 が0の場合は30 μ s、FRQSEL4が1の場合は80 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

備考 フラッシュ・メモリ・プログラミング・モードに関しては、30.6 セルフ・プログラミングを参照してください。

30.8.2 データ・フラッシュを制御するレジスタ

30.8.2.1 データ・フラッシュ・コントロール・レジスタ (DFLCTL)

データ・フラッシュへのアクセス許可／禁止を設定するレジスタです。
DFLCTLレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図 30 - 12 データ・フラッシュ・コントロール・レジスタ (DFLCTL) のフォーマット

アドレス : F0090H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DFLCTL	0	0	0	0	0	0	0	DFLEN

DFLEN	データ・フラッシュのアクセス制御
0	データ・フラッシュのアクセス禁止
1	データ・フラッシュのアクセス許可

注意 データ・フラッシュの書き換え中に、DFLCTLレジスタを操作することは禁止です。

30.8.3 データ・フラッシュへのアクセス手順

リセット解除後の初期状態では、データ・フラッシュは停止状態であり、そのままではアクセス(リードおよびプログラミング)はできません。アクセスするには以下の手順を行ってください。

- ①データ・フラッシュ・コントロール・レジスタ(DFLCTL)のビット0(DFLEN)に“1”を書き込む。
- ②ソフトウェア・タイマなどでセットアップ時間をウエイトする。
セットアップ時間はメイン・クロックの各モードによって異なります。
<各メイン・クロック・モードでのセットアップ時間>
 - ・HS (高速メイン)モード時 : 5 μ s
 - ・LS (低速メイン)モード時 : 720 ns
 - ・LV (低電圧メイン)モード時 : 10 μ s
- ③セットアップ時間のウエイト完了後、データ・フラッシュはアクセス可能となります。

注意1. セットアップ時間中は、データ・フラッシュへのアクセス禁止です。

注意2. セットアップ時間中にSTOPモードに移行することは禁止です。セットアップ時間中にSTOPモードに移行する場合は、DFLEN = 0に設定してから、STOP命令を実行してください。

注意3. データ・フラッシュの書き換え中は、高速オンチップ・オシレータを動作させておく必要があります。高速オンチップ・オシレータを停止させている場合は、高速オンチップ・オシレータ・クロックを動作(HIOSTOP = 0)させ、ユーザ・オプション・バイト(000C2H)のFRQSEL4 が0の場合は30 μ s, FRQSEL4が1の場合は80 μ s経過後にデータ・フラッシュ・ライブラリを実行してください。

注意4. CPU／周辺ハードウェア・クロック周波数にサブシステム・クロックを選択した状態 (CLS = 1) でデータ・フラッシュを読み出した場合は、CPU／周辺ハードウェア・クロックをサブシステム・クロックからメイン・システム・クロックに切り替え後、最初にデータ・フラッシュを読み出すときは以下の(1)～(3)の手順で読み出してください。

- (1)メイン・システム・クロックに切り替わったこと (CLS = 0) 確認します。
- (2)次に任意のデータ・フラッシュを読み出します。(読み出し値は不正)
- (3)最後に各動作モードに応じて、以下時間経過後に読み出しを行ってください。

HS (高速メイン) モード : 5 μ s

LS (低速メイン) モード : 1 μ s

LV (低電圧メイン) モード : 10 μ s

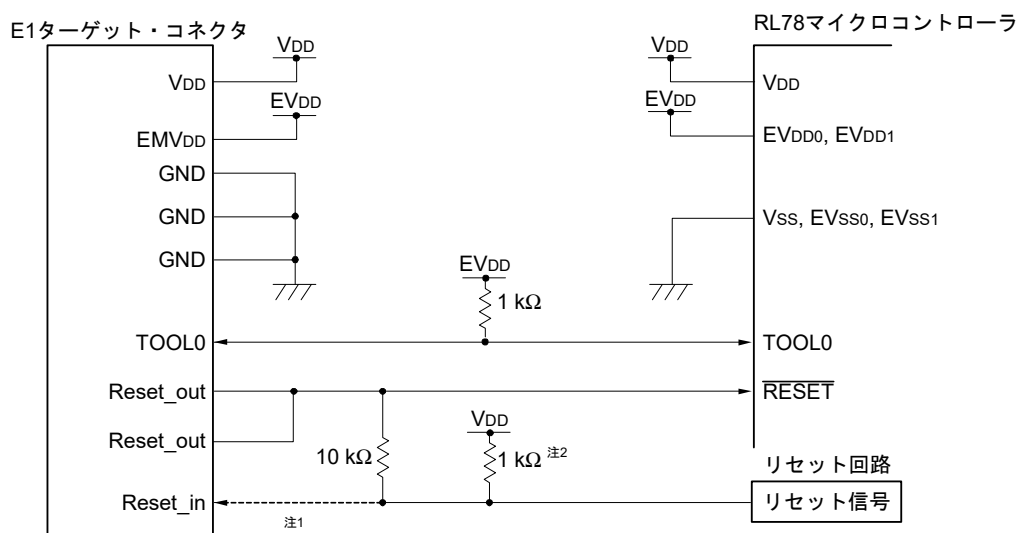
第31章 オンチップ・デバッグ機能

31.1 E1オンチップデバッグエミュレータとの接続

RL78マイクロコントローラは、オンチップ・デバッグ対応のE1オンチップデバッグエミュレータを介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、 $\overline{RESET}$ 、 $TOOL0$ 、 V_{SS} 端子を使用します。シリアル通信としては、 $TOOL0$ 端子を使用した単線UARTを使用します。

注意 RL78マイクロコントローラには開発／評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があります。製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図31 - 1 E1オンチップデバッグエミュレータとの接続例



注1. シリアル・プログラミング時、点線部の接続は必要ありません。

注2. ターゲット・システム上のリセット回路にバッファがなく、抵抗やコンデンサのみでリセット信号を生成する場合、このプルアップは必要ありません。

注意 リセット信号の出力がN-chオープン・ドレインのバッファ（出力抵抗が100Ω以下）を想定した回路例です。

備考 EVDD0, EVDD1, EVSS0, EVSS1端子が無い製品は、EVDD0とEVDD1をVDDに、EVSS0とEVSS1をVSSに置き換えてください。

31.2 オンチップ・デバッグ・セキュリティ ID

RL78 マイクロコントローラは、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット(第29章 オプション・バイトを参照)を、000C4H-000CDHにオンチップ・デバッグ・セキュリティ ID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H、000C4H-000CDHと010C3H、010C4H-010CDHが切り替わるので、あらかじめ010C3H、010C4H-010CDHにも同じ値を設定してください。

表31-1 オンチップ・デバッグ・セキュリティ ID

アドレス	オンチップ・デバッグ・セキュリティ IDコード
000C4H-000CDH	10バイトの任意のIDコード注
010C4H-010CDH	

注 “FFFFFFFFFFFFFFFFFFFFH”は設定できません。

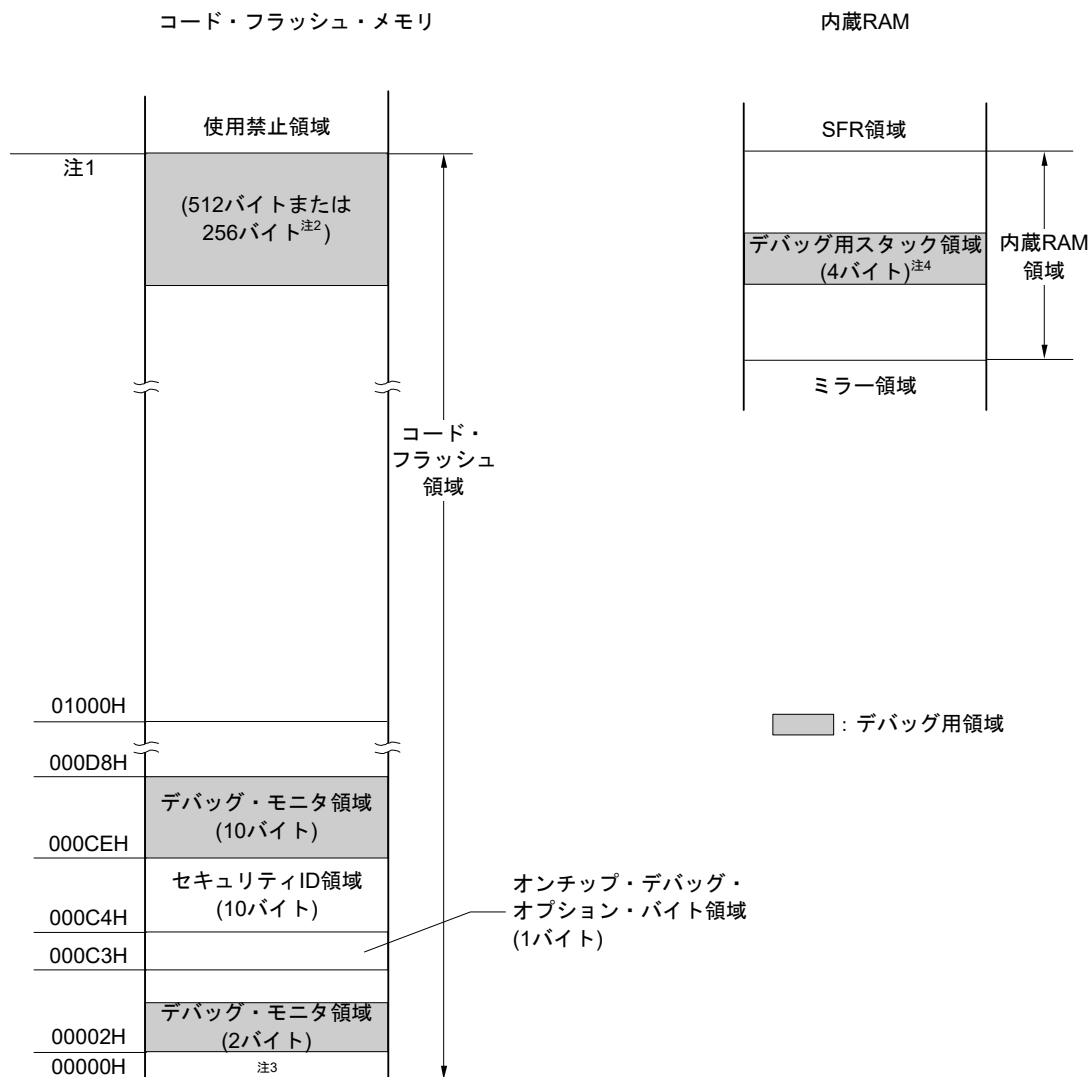
31.3 ユーザ資源の確保

RL78 マイクロコントローラとE1オンチップデバッグエミュレータとの通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ、コンパイラを使用している場合は、リンク・オプションで設定することもできます。

(1) メモリ空間の確保

図31-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図31-2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品名(コード・フラッシュ・メモリ容量)	注1のアドレス
R5F104xA (x = A-C, E-G)	03FFFFH
R5F104xC (x = A-C, E-G, J, L)	07FFFFH
R5F104xD (x = A-C, E-G, J, L)	0BFFFFH
R5F104xE (x = A-C, E-G, J, L)	0FFFFFFH
R5F104xF (x = A-C, E-G, J, L, M, P)	17FFFFH
R5F104xG (x = A-C, E-G, J, L, M, P)	1FFFFFFH
R5F104xH (x = E-G, J, L, M, P)	2FFFFFFH
R5F104xJ (x = F, G, J, L, M, P)	3FFFFFFH
R5F104xK (x = G, L, M, P)	5FFFFFFH
R5F104xL (x = G, L, M, P)	7FFFFFFH

注2. リアルタイムRAMモニタ(RRM)機能、Dynamic Memory Modification (DMM)機能を使用しない場合は256バイトになります。

注3. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。

注4. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、4バイト余分に消費します。

セルフ・プログラミングを行う場合は、12バイト余分に消費します。

第32章 10進補正(BCD)回路

32.1 10進補正回路の機能

BCDコード(2進化10進数)とBCDコード(2進化10進数)の加減算結果を、BCDコード(2進化10進数)で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCD補正結果レジスタ(BCDADJ)を加減算することで10進補正演算結果が求められます。

32.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- BCD補正結果レジスタ(BCDADJ)

32.2.1 BCD補正結果レジスタ(BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正值が格納されます。

また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJレジスタは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図32-1 BCD補正結果レジスタ(BCDADJ)のフォーマット

アドレス : F00FEH	リセット時 : 不定	R						
略号	7	6	5	4	3	2	1	0
BCDADJ								

32.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

- ①加算したいBCDコード値(被加算値)をAレジスタに格納する。
- ②Aレジスタと第2オペランドの値(もう1つの加算したいBCDコード値, 加算値)を、そのまま2進数で加算することにより、2進数での演算結果がAレジスタに格納され、補正値がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での加算結果)とBCDADJレジスタの値(補正値)を2進数で加算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #99H	; ①	99H	—	—	—
ADD	A, #89H	; ②	22H	1	1	66H
ADD	A, !BCDADJ	; ③	88H	1	0	—

例2 $85 + 15 = 100$

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #85H	; ①	85H	—	—	—
ADD	A, #15H	; ②	9AH	0	0	66H
ADD	A, !BCDADJ	; ③	00H	1	1	—

例3 $80 + 80 = 160$

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #80H	; ①	80H	—	—	—
ADD	A, #80H	; ②	00H	1	0	60H
ADD	A, !BCDADJ	; ③	60H	1	0	—

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

- ①減算されるBCDコード値(被減算値)をAレジスタに格納する。
- ②Aレジスタから第2オペランドの値(減算するBCDコード値, 減算値)を、そのまま2進数で減算することにより、2進数での演算結果がAレジスタに格納され、補正值がBCD補正結果レジスタ(BCDADJ)に格納される。
- ③Aレジスタ(2進数での減算結果)からBCDADJレジスタの値(補正值)を2進数で減算することにより10進補正演算を行い、AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため、②の命令のあとは、他の命令を行わずに③の命令を実施してください。割り込み許可状態でBCD補正を行う場合は、割り込み関数内でAレジスタの退避、復帰が必要となります。PSW (CYフラグ, ACフラグ)は、RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命令			Aレジスタ	CYフラグ	ACフラグ	BCDADJレジスタ
MOV	A, #91H	; ①	91H	—	—	—
SUB	A, #52H	; ②	3FH	0	1	06H
SUB	A, !BCDADJ	; ③	39H	0	0	—

第33章 命令セットの概要

RL78 マイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語 (命令コード) については、RL78ファミリ ユーザーズ・マニュアル ソフトウェア編(R01US0015)を参照してください。

33.1 凡例

33.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています(詳細は、アセンブラ仕様によります)。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#, !, !!, \$, \$!, [], ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- #: イミディエイト・データ指定
- !: 16ビット絶対アドレス指定
- !!: 20ビット絶対アドレス指定
- \$: 8ビット相対アドレス指定
- \$!: 16ビット相対アドレス指定
- []: 間接アドレス指定
- ES: 拡張アドレス指定

イミディエイト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#, !, !!, \$, \$!, [], ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称(X, A, Cなど)、絶対名称(表33 - 1の中のカッコ内の名称, R0, R1, R2など)のいずれの形式でも記述可能です。

表33 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号(SFR略号) FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号(16ビット操作可能なSFR略号。偶数アドレスのみ注) FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミディエイト・データまたはラベル
saddrp	FFE20H-FFF1FH イミディエイト・データまたはラベル(偶数アドレスのみ注)
addr20	00000H-FFFFFH イミディエイト・データまたはラベル
addr16	0000H-FFFFH イミディエイト・データまたはラベル(16ビット・データ時は偶数アドレスのみ注)
addr5	0080H-00BFH イミディエイト・データまたはラベル(偶数アドレスのみ)
word	16ビット・イミディエイト・データまたはラベル
byte	8ビット・イミディエイト・データまたはラベル
bit	3ビット・イミディエイト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3 - 9～表3 - 13 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3 - 14～表3 - 22 拡張SFR (2nd SFR)一覧を参照してください。

33.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表 33 - 2 オペレーション欄の記号

記号	機能
A	Aレジスタ : 8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア : 16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H = 上位8ビット, X _L = 下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
∧	論理積(AND)
∨	論理和(OR)
⊕	排他的論理和(exclusive OR)
—	反転データ
addr5	16ビット・イミディエト・データ (0080H-00BFHの偶数アドレスのみ)
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイースメント値)
jdisp16	符号付き16ビット・データ (ディスプレイースメント値)

33.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表 33 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
×	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

33.1.4 PREFIX命令

ES: で示される命令は、PREFIX 命令コードを頭に付けることで、アクセスできるデータ領域を F0000H-FFFFFFH の 64 Kバイト空間から、ES レジスタの値を付加した 00000H-FFFFFFH の 1 Mバイト空間に拡張します。PREFIX 命令コードは対象となる命令の先頭に付けることで、PREFIX 命令コード直後の 1 命令だけを ES レジスタの値を付加したアドレスとして実行します。

なお、PREFIX 命令コードと直後の 1 命令の間に割り込みや DTC 転送を受け付けることはありません。

表 33 - 4 PREFIX 命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	—
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	—	—	—	—
MOV A, ES:[HL]	11H	8BH	—	—	—

注意 ES レジスタの値は、PREFIX 命令を実行するまでに MOV ES, Aなどで事前に設定しておいてください。

33.2 オペレーション一覧

表33 - 5 オペレーション一覧(1/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	r, #byte	2	1	—	$r \leftarrow \text{byte}$			
		PSW, #byte	3	3	—	$\text{PSW} \leftarrow \text{byte}$	x	x	x
		CS, #byte	3	1	—	$\text{CS} \leftarrow \text{byte}$			
		ES, #byte	2	1	—	$\text{ES} \leftarrow \text{byte}$			
		!addr16, #byte	4	1	—	$(\text{addr16}) \leftarrow \text{byte}$			
		ES:!addr16, #byte	5	2	—	$(\text{ES}, \text{addr16}) \leftarrow \text{byte}$			
		saddr, #byte	3	1	—	$(\text{saddr}) \leftarrow \text{byte}$			
		sfr, #byte	3	1	—	$\text{sfr} \leftarrow \text{byte}$			
		[DE+byte], #byte	3	1	—	$(\text{DE} + \text{byte}) \leftarrow \text{byte}$			
		ES:[DE+byte], #byte	4	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow \text{byte}$			
		[HL+byte], #byte	3	1	—	$(\text{HL} + \text{byte}) \leftarrow \text{byte}$			
		ES:[HL+byte], #byte	4	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow \text{byte}$			
		[SP+byte], #byte	3	1	—	$(\text{SP} + \text{byte}) \leftarrow \text{byte}$			
		word[B], #byte	4	1	—	$(\text{B} + \text{word}) \leftarrow \text{byte}$			
		ES:word[B], #byte	5	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow \text{byte}$			
		word[C], #byte	4	1	—	$(\text{C} + \text{word}) \leftarrow \text{byte}$			
		ES:word[C], #byte	5	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow \text{byte}$			
		word[BC], #byte	4	1	—	$(\text{BC} + \text{word}) \leftarrow \text{byte}$			
		ES:word[BC], #byte	5	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow \text{byte}$			
		A, r 注3	1	1	—	$\text{A} \leftarrow r$			
		r, A 注3	1	1	—	$r \leftarrow \text{A}$			
		A, PSW	2	1	—	$\text{A} \leftarrow \text{PSW}$			
		PSW, A	2	3	—	$\text{PSW} \leftarrow \text{A}$	x	x	x
		A, CS	2	1	—	$\text{A} \leftarrow \text{CS}$			
		CS, A	2	1	—	$\text{CS} \leftarrow \text{A}$			
		A, ES	2	1	—	$\text{A} \leftarrow \text{ES}$			
		ES, A	2	1	—	$\text{ES} \leftarrow \text{A}$			
		A, !addr16	3	1	4	$\text{A} \leftarrow (\text{addr16})$			
		A, ES:!addr16	4	2	5	$\text{A} \leftarrow (\text{ES}, \text{addr16})$			
		!addr16, A	3	1	—	$(\text{addr16}) \leftarrow \text{A}$			
		ES:!addr16, A	4	2	—	$(\text{ES}, \text{addr16}) \leftarrow \text{A}$			
		A, saddr	2	1	—	$\text{A} \leftarrow (\text{saddr})$			
		saddr, A	2	1	—	$(\text{saddr}) \leftarrow \text{A}$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. $r = \text{A}$ を除く。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33-6 オペレーション一覧(2/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, sfr	2	1	—	$A \leftarrow \text{sfr}$			
		sfr, A	2	1	—	$\text{sfr} \leftarrow A$			
		A, [DE]	1	1	4	$A \leftarrow (\text{DE})$			
		[DE], A	1	1	—	$(\text{DE}) \leftarrow A$			
		A, ES:[DE]	2	2	5	$A \leftarrow (\text{ES}, \text{DE})$			
		ES:[DE], A	2	2	—	$(\text{ES}, \text{DE}) \leftarrow A$			
		A, [HL]	1	1	4	$A \leftarrow (\text{HL})$			
		[HL], A	1	1	—	$(\text{HL}) \leftarrow A$			
		A, ES:[HL]	2	2	5	$A \leftarrow (\text{ES}, \text{HL})$			
		ES:[HL], A	2	2	—	$(\text{ES}, \text{HL}) \leftarrow A$			
		A, [DE+byte]	2	1	4	$A \leftarrow (\text{DE} + \text{byte})$			
		[DE+byte], A	2	1	—	$(\text{DE} + \text{byte}) \leftarrow A$			
		A, ES:[DE+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{DE}) + \text{byte})$			
		ES:[DE+byte], A	3	2	—	$((\text{ES}, \text{DE}) + \text{byte}) \leftarrow A$			
		A, [HL+byte]	2	1	4	$A \leftarrow (\text{HL} + \text{byte})$			
		[HL+byte], A	2	1	—	$(\text{HL} + \text{byte}) \leftarrow A$			
		A, ES:[HL+byte]	3	2	5	$A \leftarrow ((\text{ES}, \text{HL}) + \text{byte})$			
		ES:[HL+byte], A	3	2	—	$((\text{ES}, \text{HL}) + \text{byte}) \leftarrow A$			
		A, [SP+byte]	2	1	—	$A \leftarrow (\text{SP} + \text{byte})$			
		[SP+byte], A	2	1	—	$(\text{SP} + \text{byte}) \leftarrow A$			
		A, word[B]	3	1	4	$A \leftarrow (\text{B} + \text{word})$			
		word[B], A	3	1	—	$(\text{B} + \text{word}) \leftarrow A$			
		A, ES:word[B]	4	2	5	$A \leftarrow ((\text{ES}, \text{B}) + \text{word})$			
		ES:word[B], A	4	2	—	$((\text{ES}, \text{B}) + \text{word}) \leftarrow A$			
		A, word[C]	3	1	4	$A \leftarrow (\text{C} + \text{word})$			
		word[C], A	3	1	—	$(\text{C} + \text{word}) \leftarrow A$			
		A, ES:word[C]	4	2	5	$A \leftarrow ((\text{ES}, \text{C}) + \text{word})$			
		ES:word[C], A	4	2	—	$((\text{ES}, \text{C}) + \text{word}) \leftarrow A$			
		A, word[BC]	3	1	4	$A \leftarrow (\text{BC} + \text{word})$			
		word[BC], A	3	1	—	$(\text{BC} + \text{word}) \leftarrow A$			
		A, ES:word[BC]	4	2	5	$A \leftarrow ((\text{ES}, \text{BC}) + \text{word})$			
		ES:word[BC], A	4	2	—	$((\text{ES}, \text{BC}) + \text{word}) \leftarrow A$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33-7 オペレーション一覧(3/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+B]	2	1	4	$A \leftarrow (HL + B)$			
		[HL+B], A	2	1	—	$(HL + B) \leftarrow A$			
		A, ES:[HL+B]	3	2	5	$A \leftarrow ((ES, HL) + B)$			
		ES:[HL+B], A	3	2	—	$((ES, HL) + B) \leftarrow A$			
		A, [HL+C]	2	1	4	$A \leftarrow (HL + C)$			
		[HL+C], A	2	1	—	$(HL + C) \leftarrow A$			
		A, ES:[HL+C]	3	2	5	$A \leftarrow ((ES, HL) + C)$			
		ES:[HL+C], A	3	2	—	$((ES, HL) + C) \leftarrow A$			
		X, !addr16	3	1	4	$X \leftarrow (addr16)$			
		X, ES:!addr16	4	2	5	$X \leftarrow (ES, addr16)$			
		X, saddr	2	1	—	$X \leftarrow (saddr)$			
		B, !addr16	3	1	4	$B \leftarrow (addr16)$			
		B, ES:!addr16	4	2	5	$B \leftarrow (ES, addr16)$			
		B, saddr	2	1	—	$B \leftarrow (saddr)$			
		C, !addr16	3	1	4	$C \leftarrow (addr16)$			
		C, ES:!addr16	4	2	5	$C \leftarrow (ES, addr16)$			
		C, saddr	2	1	—	$C \leftarrow (saddr)$			
		ES, saddr	3	1	—	$ES \leftarrow (saddr)$			
	XCH	A, r	注3 1 (r = X) 2 (r = X 以外)	1	—	$A \leftrightarrow r$			
		A, !addr16	4	2	—	$A \leftrightarrow (addr16)$			
		A, ES:!addr16	5	3	—	$A \leftrightarrow (ES, addr16)$			
		A, saddr	3	2	—	$A \leftrightarrow (saddr)$			
		A, sfr	3	2	—	$A \leftrightarrow sfr$			
		A, [DE]	2	2	—	$A \leftrightarrow (DE)$			
		A, ES:[DE]	3	3	—	$A \leftrightarrow (ES, DE)$			
		A, [HL]	2	2	—	$A \leftrightarrow (HL)$			
		A, ES:[HL]	3	3	—	$A \leftrightarrow (ES, HL)$			
		A, [DE+byte]	3	2	—	$A \leftrightarrow (DE + byte)$			
		A, ES:[DE+byte]	4	3	—	$A \leftrightarrow ((ES, DE) + byte)$			
		A, [HL+byte]	3	2	—	$A \leftrightarrow (HL + byte)$			
		A, ES:[HL+byte]	4	3	—	$A \leftrightarrow ((ES, HL) + byte)$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-8 オペレーション一覧(4/18)

命令群	モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, [HL+B]	2	2	—	$A \leftrightarrow (HL + B)$			
		A, ES:[HL+B]	3	3	—	$A \leftrightarrow ((ES, HL) + B)$			
		A, [HL+C]	2	2	—	$A \leftrightarrow (HL + C)$			
		A, ES:[HL+C]	3	3	—	$A \leftrightarrow ((ES, HL) + C)$			
	ONEB	A	1	1	—	$A \leftarrow 01H$			
		X	1	1	—	$X \leftarrow 01H$			
		B	1	1	—	$B \leftarrow 01H$			
		C	1	1	—	$C \leftarrow 01H$			
		!addr16	3	1	—	$(addr16) \leftarrow 01H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 01H$			
		saddr	2	1	—	$(saddr) \leftarrow 01H$			
	CLRB	A	1	1	—	$A \leftarrow 00H$			
		X	1	1	—	$X \leftarrow 00H$			
		B	1	1	—	$B \leftarrow 00H$			
		C	1	1	—	$C \leftarrow 00H$			
		!addr16	3	1	—	$(addr16) \leftarrow 00H$			
		ES:!addr16	4	2	—	$(ES, addr16) \leftarrow 00H$			
		saddr	2	1	—	$(saddr) \leftarrow 00H$			
	MOVS	[HL+byte], X	3	1	—	$(HL + byte) \leftarrow X$	×		×
		ES:[HL+byte], X	4	2	—	$(ES, HL + byte) \leftarrow X$	×		×
16ビット・データ転送	MOVW	rp, #word	3	1	—	$rp \leftarrow word$			
		saddrp, #word	4	1	—	$(saddrp) \leftarrow word$			
		sfrp, #word	4	1	—	$sfrp \leftarrow word$			
		AX, rp 注3	1	1	—	$AX \leftarrow rp$			
		rp, AX 注3	1	1	—	$rp \leftarrow AX$			
		AX, !addr16	3	1	4	$AX \leftarrow (addr16)$			
		!addr16, AX	3	1	—	$(addr16) \leftarrow AX$			
		AX, ES:!addr16	4	2	5	$AX \leftarrow (ES, addr16)$			
		ES:!addr16, AX	4	2	—	$(ES, addr16) \leftarrow AX$			
		AX, saddrp	2	1	—	$AX \leftarrow (saddrp)$			
		saddrp, AX	2	1	—	$(saddrp) \leftarrow AX$			
		AX, sfrp	2	1	—	$AX \leftarrow sfrp$			
		sfrp, AX	2	1	—	$sfrp \leftarrow AX$			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしない命令のとき。
CPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表33-9 オペレーション一覧(5/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット・ データ 転送	MOVW	AX, [DE]	1	1	4	AX ← (DE)			
		[DE], AX	1	1	—	(DE) ← AX			
		AX, ES:[DE]	2	2	5	AX ← (ES, DE)			
		ES:[DE], AX	2	2	—	(ES, DE) ← AX			
		AX, [HL]	1	1	4	AX ← (HL)			
		[HL], AX	1	1	—	(HL) ← AX			
		AX, ES:[HL]	2	2	5	AX ← (ES, HL)			
		ES:[HL], AX	2	2	—	(ES, HL) ← AX			
		AX, [DE+byte]	2	1	4	AX ← (DE + byte)			
		[DE+byte], AX	2	1	—	(DE + byte) ← AX			
		AX, ES:[DE+byte]	3	2	5	AX ← ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	—	((ES, DE) + byte) ← AX			
		AX, [HL+byte]	2	1	4	AX ← (HL + byte)			
		[HL+byte], AX	2	1	—	(HL + byte) ← AX			
		AX, ES:[HL+byte]	3	2	5	AX ← ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	—	((ES, HL) + byte) ← AX			
		AX, [SP+byte]	2	1	—	AX ← (SP + byte)			
		[SP+byte], AX	2	1	—	(SP + byte) ← AX			
		AX, word[B]	3	1	4	AX ← (B + word)			
		word[B], AX	3	1	—	(B + word) ← AX			
		AX, ES:word[B]	4	2	5	AX ← ((ES, B) + word)			
		ES:word[B], AX	4	2	—	((ES, B) + word) ← AX			
		AX, word[C]	3	1	4	AX ← (C + word)			
		word[C], AX	3	1	—	(C + word) ← AX			
		AX, ES:word[C]	4	2	5	AX ← ((ES, C) + word)			
		ES:word[C], AX	4	2	—	((ES, C) + word) ← AX			
		AX, word[BC]	3	1	4	AX ← (BC + word)			
		word[BC], AX	3	1	—	(BC + word) ← AX			
		AX, ES:word[BC]	4	2	5	AX ← ((ES, BC) + word)			
		ES:word[BC], AX	4	2	—	((ES, BC) + word) ← AX			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表33 - 10 オペレーション一覧(6/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	BC, !addr16	3	1	4	BC ← (addr16)			
		BC, ES:!addr16	4	2	5	BC ← (ES, addr16)			
		DE, !addr16	3	1	4	DE ← (addr16)			
		DE, ES:!addr16	4	2	5	DE ← (ES, addr16)			
		HL, !addr16	3	1	4	HL ← (addr16)			
		HL, ES:!addr16	4	2	5	HL ← (ES, addr16)			
		BC, saddrp	2	1	—	BC ← (saddrp)			
		DE, saddrp	2	1	—	DE ← (saddrp)			
		HL, saddrp	2	1	—	HL ← (saddrp)			
	XCHW	AX, rp 注3	1	1	—	AX ↔ rp			
	ONEW	AX	1	1	—	AX ← 0001H			
		BC	1	1	—	BC ← 0001H			
	CLRW	AX	1	1	—	AX ← 0000H			
		BC	1	1	—	BC ← 0000H			
8ビット演算	ADD	A, #byte	2	1	—	A, CY ← A + byte	×	×	×
		saddr, #byte	3	2	—	(saddr), CY ← (saddr) + byte	×	×	×
		A, r 注4	2	1	—	A, CY ← A + r	×	×	×
		r, A	2	1	—	r, CY ← r + A	×	×	×
		A, !addr16	3	1	4	A, CY ← A + (addr16)	×	×	×
		A, ES:!addr16	4	2	5	A, CY ← A + (ES, addr16)	×	×	×
		A, saddr	2	1	—	A, CY ← A + (saddr)	×	×	×
		A, [HL]	1	1	4	A, CY ← A + (HL)	×	×	×
		A, ES:[HL]	2	2	5	A, CY ← A + (ES, HL)	×	×	×
		A, [HL+byte]	2	1	4	A, CY ← A + (HL + byte)	×	×	×
		A, ES:[HL+byte]	3	2	5	A, CY ← A + ((ES, HL) + byte)	×	×	×
		A, [HL+B]	2	1	4	A, CY ← A + (HL + B)	×	×	×
		A, ES:[HL+B]	3	2	5	A, CY ← A + ((ES, HL) + B)	×	×	×
		A, [HL+C]	2	1	4	A, CY ← A + (HL + C)	×	×	×
		A, ES:[HL+C]	3	2	5	A, CY ← A + ((ES, HL) + C)	×	×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. rp = AXを除く。

注4. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 11 オペレーション一覧 (7/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	ADDC	A, #byte	2	1	—	$A, CY \leftarrow A + \text{byte} + CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) + \text{byte} + CY$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A + r + CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r + A + CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A + (\text{addr16}) + CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A + (ES, \text{addr16}) + CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A + (saddr) + CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A + (HL) + CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A + (ES, HL) + CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A + (HL + \text{byte}) + CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + \text{byte}) + CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A + (HL + B) + CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + B) + CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A + (HL + C) + CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A + ((ES, HL) + C) + CY$	x	x	x
	SUB	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte}$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte}$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A - r$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16})$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16})$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr)$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL)$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL)$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte})$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte})$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL + B)$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + B)$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C)$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + C)$	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 12 オペレーション一覧(8/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	SUBC	A, #byte	2	1	—	$A, CY \leftarrow A - \text{byte} - CY$	x	x	x
		saddr, #byte	3	2	—	$(saddr), CY \leftarrow (saddr) - \text{byte} - CY$	x	x	x
		A, r 注3	2	1	—	$A, CY \leftarrow A - r - CY$	x	x	x
		r, A	2	1	—	$r, CY \leftarrow r - A - CY$	x	x	x
		A, !addr16	3	1	4	$A, CY \leftarrow A - (\text{addr16}) - CY$	x	x	x
		A, ES:!addr16	4	2	5	$A, CY \leftarrow A - (ES, \text{addr16}) - CY$	x	x	x
		A, saddr	2	1	—	$A, CY \leftarrow A - (saddr) - CY$	x	x	x
		A, [HL]	1	1	4	$A, CY \leftarrow A - (HL) - CY$	x	x	x
		A, ES:[HL]	2	2	5	$A, CY \leftarrow A - (ES, HL) - CY$	x	x	x
		A, [HL+byte]	2	1	4	$A, CY \leftarrow A - (HL + \text{byte}) - CY$	x	x	x
		A, ES:[HL+byte]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + \text{byte}) - CY$	x	x	x
		A, [HL+B]	2	1	4	$A, CY \leftarrow A - (HL + B) - CY$	x	x	x
		A, ES:[HL+B]	3	2	5	$A, CY \leftarrow A - ((ES, HL) + B) - CY$	x	x	x
		A, [HL+C]	2	1	4	$A, CY \leftarrow A - (HL + C) - CY$	x	x	x
		A, ES:[HL+C]	3	2	5	$A, CY \leftarrow A - ((ES:HL) + C) - CY$	x	x	x
	AND	A, #byte	2	1	—	$A \leftarrow A \wedge \text{byte}$	x		
		saddr, #byte	3	2	—	$(saddr) \leftarrow (saddr) \wedge \text{byte}$	x		
		A, r 注3	2	1	—	$A \leftarrow A \wedge r$	x		
		r, A	2	1	—	$r \leftarrow r \wedge A$	x		
		A, !addr16	3	1	4	$A \leftarrow A \wedge (\text{addr16})$	x		
		A, ES:!addr16	4	2	5	$A \leftarrow A \wedge (ES:\text{addr16})$	x		
		A, saddr	2	1	—	$A \leftarrow A \wedge (saddr)$	x		
		A, [HL]	1	1	4	$A \leftarrow A \wedge (HL)$	x		
		A, ES:[HL]	2	2	5	$A \leftarrow A \wedge (ES:HL)$	x		
		A, [HL+byte]	2	1	4	$A \leftarrow A \wedge (HL + \text{byte})$	x		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + \text{byte})$	x		
		A, [HL+B]	2	1	4	$A \leftarrow A \wedge (HL + B)$	x		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + B)$	x		
		A, [HL+C]	2	1	4	$A \leftarrow A \wedge (HL + C)$	x		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \wedge ((ES:HL) + C)$	x		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 13 オペレーション一覧(9/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	OR	A, #byte	2	1	—	$A \leftarrow A \vee \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \vee \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \vee r$	×		
		r, A	2	1	—	$r \leftarrow r \vee A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \vee (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \vee (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \vee (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \vee (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \vee (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \vee (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \vee (\text{HL} + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + B)$	×		
		A, [HL+C]	2	1	4	$A \leftarrow A \vee (\text{HL} + C)$	×		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \vee ((\text{ES:HL}) + C)$	×		
	XOR	A, #byte	2	1	—	$A \leftarrow A \nabla \text{byte}$	×		
		saddr, #byte	3	2	—	$(\text{saddr}) \leftarrow (\text{saddr}) \nabla \text{byte}$	×		
		A, r 注3	2	1	—	$A \leftarrow A \nabla r$	×		
		r, A	2	1	—	$r \leftarrow r \nabla A$	×		
		A, !addr16	3	1	4	$A \leftarrow A \nabla (\text{addr16})$	×		
		A, ES:!addr16	4	2	5	$A \leftarrow A \nabla (\text{ES:addr16})$	×		
		A, saddr	2	1	—	$A \leftarrow A \nabla (\text{saddr})$	×		
		A, [HL]	1	1	4	$A \leftarrow A \nabla (\text{HL})$	×		
		A, ES:[HL]	2	2	5	$A \leftarrow A \nabla (\text{ES:HL})$	×		
		A, [HL+byte]	2	1	4	$A \leftarrow A \nabla (\text{HL} + \text{byte})$	×		
		A, ES:[HL+byte]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + \text{byte})$	×		
		A, [HL+B]	2	1	4	$A \leftarrow A \nabla (\text{HL} + B)$	×		
		A, ES:[HL+B]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + B)$	×		
		A, [HL+C]	2	1	4	$A \leftarrow A \nabla (\text{HL} + C)$	×		
		A, ES:[HL+C]	3	2	5	$A \leftarrow A \nabla ((\text{ES:HL}) + C)$	×		

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = A を除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 14 オペレーション一覧(10/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	—	A - byte	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x
		saddr, #byte	3	1	—	(saddr) - byte	x	x	x
		A, r 注3	2	1	—	A - r	x	x	x
		r, A	2	1	—	r - A	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, saddr	2	1	—	A - (saddr)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	CMP0	A	1	1	—	A - 00H	x	0	0
		X	1	1	—	X - 00H	x	0	0
		B	1	1	—	B - 00H	x	0	0
		C	1	1	—	C - 00H	x	0	0
		!addr16	3	1	4	(addr16) - 00H	x	0	0
		ES:!addr16	4	2	5	(ES:addr16) - 00H	x	0	0
		saddr	2	1	—	(saddr) - 00H	x	0	0
	CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x
		X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. r = Aを除く。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 15 オペレーション一覧(11/18)

命令群	二モニク	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16 ビット 演算	ADDW	AX, #word	3	1	—	AX, CY ← AX + word	×	×	×
		AX, AX	1	1	—	AX, CY ← AX + AX	×	×	×
		AX, BC	1	1	—	AX, CY ← AX + BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX + DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX + HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX + (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX + (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX + (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX + (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX + ((ES:HL) + byte)	×	×	×
	SUBW	AX, #word	3	1	—	AX, CY ← AX - word	×	×	×
		AX, BC	1	1	—	AX, CY ← AX - BC	×	×	×
		AX, DE	1	1	—	AX, CY ← AX - DE	×	×	×
		AX, HL	1	1	—	AX, CY ← AX - HL	×	×	×
		AX, !addr16	3	1	4	AX, CY ← AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX, CY ← AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX, CY ← AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX, CY ← AX - (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX, CY ← AX - ((ES:HL) + byte)	×	×	×
	CMPW	AX, #word	3	1	—	AX - word	×	×	×
		AX, BC	1	1	—	AX - BC	×	×	×
		AX, DE	1	1	—	AX - DE	×	×	×
		AX, HL	1	1	—	AX - HL	×	×	×
		AX, !addr16	3	1	4	AX - (addr16)	×	×	×
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	×	×	×
		AX, saddrp	2	1	—	AX - (saddrp)	×	×	×
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	×	×	×
		AX, ES: [HL+byte]	4	2	5	AX - ((ES:HL) + byte)	×	×	×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 16 オペレーション一覧(12/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
乗除積和算	MULU	X	1	1	—	$AX \leftarrow A \times X$			
	MULHU		3	2	—	$BCAX \leftarrow A \times BC$ (符号なし)			
	MULH		3	2	—	$BCAX \leftarrow A \times BC$ (符号付き)			
	DIVHU		3	9	—	AX (商), DE (余り) $\leftarrow AX \div DE$ (符号なし)			
	DIVWU		3	17	—	$BCAX$ (商), $HLDE$ (余り) $\leftarrow BCAX \div HLDE$ (符号なし)			
	MACHU		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号なし)		×	×
	MACH		3	3	—	$MACR \leftarrow MACR + AX \times BC$ (符号付き)		×	×

注1. 内部 RAM 領域, SFR 領域および拡張 SFR 領域をアクセスしたとき, またはデータ・アクセスをしないときの CPU クロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注意 割り込み処理中にDIVHU, DIVWU命令を実行する場合, 割り込み禁止状態(DI)で実行してください。

ただし, RAM領域での命令実行を除き, アセンブリ言語ソースにてDIVHU, DIVWU命令の直後にNOP命令を追加した場合は, 割り込み許可状態でもDIVHU, DIVWU命令を実行することができます。下記のコンパイラはビルド時にDIVHU, DIVWU命令が出力される場合, その直後に自動でNOP命令が挿入されます。

- ・ CA78K0R (ルネサスエレクトロニクス社 コンパイラ製品)V1.71以降のC言語ソースおよびアセンブリ言語ソース
- ・ EWRL78 (IAR社 コンパイラ製品) Service pack 1.40.6以降のC言語ソース
- ・ GNURL78 (KPIT社 コンパイラ)のC言語ソース

備考1. クロック数は内部ROM (フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

備考2. MACR : 積和演算累計レジスタ (MACRH, MACRL)

表33 - 17 オペレーション一覧(13/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	—	$r \leftarrow r + 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) + 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$	×	×	
	DEC	r	1	1	—	$r \leftarrow r - 1$	×	×	
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$	×	×	
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$	×	×	
		saddr	2	2	—	$(saddr) \leftarrow (saddr) - 1$	×	×	
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$	×	×	
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$	×	×	
	INCW	rp	1	1	—	$rp \leftarrow rp + 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) + 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) + 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) + 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) + 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) + 1$			
	DECW	rp	1	1	—	$rp \leftarrow rp - 1$			
		!addr16	3	2	—	$(addr16) \leftarrow (addr16) - 1$			
		ES:!addr16	4	3	—	$(ES, addr16) \leftarrow (ES, addr16) - 1$			
		saddrp	2	2	—	$(saddrp) \leftarrow (saddrp) - 1$			
		[HL+byte]	3	2	—	$(HL + byte) \leftarrow (HL + byte) - 1$			
		ES: [HL+byte]	4	3	—	$((ES:HL) + byte) \leftarrow ((ES:HL) + byte) - 1$			
シフト	SHR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_m - 1 \leftarrow A_m, A_7 \leftarrow 0) \times cnt$			×
	SHRW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_m - 1 \leftarrow AX_m, AX_{15} \leftarrow 0) \times cnt$			×
	SHL	A, cnt	2	1	—	$(CY \leftarrow A_7, A_m \leftarrow A_m - 1, A_0 \leftarrow 0) \times cnt$			×
		B, cnt	2	1	—	$(CY \leftarrow B_7, B_m \leftarrow B_m - 1, B_0 \leftarrow 0) \times cnt$			×
		C, cnt	2	1	—	$(CY \leftarrow C_7, C_m \leftarrow C_m - 1, C_0 \leftarrow 0) \times cnt$			×
	SHLW	AX, cnt	2	1	—	$(CY \leftarrow AX_{15}, AX_m \leftarrow AX_m - 1, AX_0 \leftarrow 0) \times cnt$			×
		BC, cnt	2	1	—	$(CY \leftarrow BC_{15}, BC_m \leftarrow BC_m - 1, BC_0 \leftarrow 0) \times cnt$			×
	SAR	A, cnt	2	1	—	$(CY \leftarrow A_0, A_m - 1 \leftarrow A_m, A_7 \leftarrow A_7) \times cnt$			×
	SARW	AX, cnt	2	1	—	$(CY \leftarrow AX_0, AX_m - 1 \leftarrow AX_m, AX_{15} \leftarrow AX_{15}) \times cnt$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考1. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

備考2. cntはビット・シフト数です。

表33 - 18 オペレーション一覧(14/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	—	$(CY, A_7 \leftarrow A_0, A_m - 1 \leftarrow A_m) \times 1$			×
	ROL	A, 1	2	1	—	$(CY, A_0 \leftarrow A_7, A_m + 1 \leftarrow A_m) \times 1$			×
	RORC	A, 1	2	1	—	$(CY \leftarrow A_0, A_7 \leftarrow CY, A_m - 1 \leftarrow A_m) \times 1$			×
	ROLC	A, 1	2	1	—	$(CY \leftarrow A_7, A_0 \leftarrow CY, A_m + 1 \leftarrow A_m) \times 1$			×
	ROLWC	AX, 1	2	1	—	$(CY \leftarrow AX_{15}, AX_0 \leftarrow CY, AX_m + 1 \leftarrow AX_m) \times 1$			×
		BC, 1	2	1	—	$(CY \leftarrow BC_{15}, BC_0 \leftarrow CY, BC_m + 1 \leftarrow BC_m) \times 1$			×
ビット操作	MOV1	CY, A.bit	2	1	—	$CY \leftarrow A.bit$			×
		A.bit, CY	2	1	—	$A.bit \leftarrow CY$			
		CY, PSW.bit	3	1	—	$CY \leftarrow PSW.bit$			×
		PSW.bit, CY	3	4	—	$PSW.bit \leftarrow CY$	×	×	
		CY, saddr.bit	3	1	—	$CY \leftarrow (saddr).bit$			×
		saddr.bit, CY	3	2	—	$(saddr).bit \leftarrow CY$			
		CY, sfr.bit	3	1	—	$CY \leftarrow sfr.bit$			×
		sfr.bit, CY	3	2	—	$sfr.bit \leftarrow CY$			
		CY, [HL].bit	2	1	4	$CY \leftarrow (HL).bit$			×
		[HL].bit, CY	2	2	—	$(HL).bit \leftarrow CY$			
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow (ES, HL).bit$			×
		ES:[HL].bit, CY	3	3	—	$(ES, HL).bit \leftarrow CY$			
	AND1	CY, A.bit	2	1	—	$CY \leftarrow CY \wedge A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \wedge PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \wedge (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \wedge sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \wedge (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \wedge (ES, HL).bit$			×
	OR1	CY, A.bit	2	1	—	$CY \leftarrow CY \vee A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \vee PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \vee (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \vee sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \vee (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \vee (ES, HL).bit$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 33 - 19 オペレーション一覧(15/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, A.bit	2	1	—	$CY \leftarrow CY \nabla A.bit$			×
		CY, PSW.bit	3	1	—	$CY \leftarrow CY \nabla PSW.bit$			×
		CY, saddr.bit	3	1	—	$CY \leftarrow CY \nabla (saddr).bit$			×
		CY, sfr.bit	3	1	—	$CY \leftarrow CY \nabla sfr.bit$			×
		CY, [HL].bit	2	1	4	$CY \leftarrow CY \nabla (HL).bit$			×
		CY, ES:[HL].bit	3	2	5	$CY \leftarrow CY \nabla (ES, HL).bit$			×
	SET1	A.bit	2	1	—	$A.bit \leftarrow 1$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 1$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 1$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 1$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 1$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 1$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 1$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 1$			
	CLR1	A.bit	2	1	—	$A.bit \leftarrow 0$			
		PSW.bit	3	4	—	$PSW.bit \leftarrow 0$	×	×	×
		!addr16.bit	4	2	—	$(addr16).bit \leftarrow 0$			
		ES:!addr16.bit	5	3	—	$(ES, addr16).bit \leftarrow 0$			
		saddr.bit	3	2	—	$(saddr).bit \leftarrow 0$			
		sfr.bit	3	2	—	$sfr.bit \leftarrow 0$			
		[HL].bit	2	2	—	$(HL).bit \leftarrow 0$			
		ES:[HL].bit	3	3	—	$(ES, HL).bit \leftarrow 0$			
	SET1	CY	2	1	—	$CY \leftarrow 1$			1
	CLR1	CY	2	1	—	$CY \leftarrow 0$			0
	NOT1	CY	2	1	—	$CY \leftarrow \overline{CY}$			×

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

表 33 - 20 オペレーション一覧(16/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
コール・リターン	CALL	rp	2	3	—	(SP - 2) ← (PC + 2) _S , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC ← CS, rp, SP ← SP - 4			
		\$!addr20	3	3	—	(SP - 2) ← (PC + 3) _S , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← PC + 3 + jdisp16, SP ← SP - 4			
		!addr16	3	3	—	(SP - 2) ← (PC + 3) _S , (SP - 3) ← (PC + 3) _H , (SP - 4) ← (PC + 3) _L , PC ← 0000, addr16, SP ← SP - 4			
		!!addr20	4	3	—	(SP - 2) ← (PC + 4) _S , (SP - 3) ← (PC + 4) _H , (SP - 4) ← (PC + 4) _L , PC ← addr20, SP ← SP - 4			
	CALLT	[addr5]	2	5	—	(SP - 2) ← (PC + 2) _S , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _S ← 0000, PC _H ← (0000, addr5 + 1), PC _L ← (0000, addr5), SP ← SP - 4			
	BRK	—	2	5	—	(SP - 1) ← PSW, (SP - 2) ← (PC + 2) _S , (SP - 3) ← (PC + 2) _H , (SP - 4) ← (PC + 2) _L , PC _S ← 0000, PC _H ← (0007FH), PC _L ← (0007EH), SP ← SP - 4, IE ← 0			
	RET	—	1	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _S ← (SP + 2), SP ← SP + 4			
	RETI	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _S ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R
	RETB	—	2	6	—	PC _L ← (SP), PC _H ← (SP + 1), PC _S ← (SP + 2), PSW ← (SP + 3), SP ← SP + 4	R	R	R

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 21 オペレーション一覧(17/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	—	(SP - 1) ← PSW, (SP - 2) ← 00H, SP ← SP - 2			
		rp	1	1	—	(SP - 1) ← rpH, (SP - 2) ← rpL, SP ← SP - 2			
	POP	PSW	2	3	—	PSW ← (SP + 1), SP ← SP + 2	R	R	R
		rp	1	1	—	rpL ← (SP), rpH ← (SP + 1), SP ← SP + 2			
	MOVW	SP, #word	4	1	—	SP ← word			
		SP, AX	2	1	—	SP ← AX			
		AX, SP	2	1	—	AX ← SP			
		HL, SP	3	1	—	HL ← SP			
		BC, SP	3	1	—	BC ← SP			
		DE, SP	3	1	—	DE ← SP			
	ADDW	SP, #byte	2	1	—	SP ← SP + byte			
	SUBW	SP, #byte	2	1	—	SP ← SP - byte			
無条件分岐	BR	AX	2	3	—	PC ← CS, AX			
		\$addr20	2	3	—	PC ← PC + 2 + jdisp8			
		\$!addr20	3	3	—	PC ← PC + 3 + jdisp16			
		!addr16	3	3	—	PC ← 0000, addr16			
		!!addr20	4	3	—	PC ← addr20			
条件付き分岐	BC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4注3	—	PC ← PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 0			
	BNH	\$addr20	3	2/4注3	—	PC ← PC + 3 + jdisp8 if (Z V CY) = 1			
	BT	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 1			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック (fCLK) 数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック (fCLK) 数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

備考 クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍 + 3クロックになります。

表 33 - 22 オペレーション一覧(18/18)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5注3	6/7	PC ← PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6注3	7/8	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5注3	—	PC ← PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	×	×	×
		[HL].bit, \$addr20	3	3/5注3	—	PC ← PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6注3	—	PC ← PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	—	2	1	—	Next instruction skip if CY = 1			
	SKNC	—	2	1	—	Next instruction skip if CY = 0			
	SKZ	—	2	1	—	Next instruction skip if Z = 1			
	SKNZ	—	2	1	—	Next instruction skip if Z = 0			
	SKH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 0			
	SKNH	—	2	1	—	Next instruction skip if (Z ∨ CY) = 1			
CPU制御	SEL注4	RBn	2	1	—	RBS[1:0] ← n			
	NOP	—	1	1	—	No Operation			
	EI	—	3	4	—	IE ← 1 (Enable Interrupt)			
	DI	—	3	4	—	IE ← 0 (Disable Interrupt)			
	HALT	—	2	3	—	Set HALT Mode			
	STOP	—	2	3	—	Set STOP Mode			

注1. 内部RAM領域、SFR領域および拡張SFR領域をアクセスしたとき、またはデータ・アクセスをしないときのCPUクロック(fCLK)数。

注2. コード・フラッシュ領域および8ビット命令でデータ・フラッシュ領域をアクセスしたときのCPUクロック(fCLK)数。

注3. クロック数は“条件不成立時/条件成立時”を表しています。

注4. nはレジスタ・バンク番号です(n = 0-3)。

備考 クロック数は内部ROM(フラッシュ・メモリ)領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合、最大2倍+3クロックになります。

第34章 電気的特性(TA = -40 ~ +85 °C)

この章では、以下の対象製品の電気的特性を示します。

対象製品 A : 民生用途 TA = -40 ~ +85 °C

R5F104xxAxx

D : 産業用途 TA = -40 ~ +85 °C

R5F104xxDxx

G : 産業用途 TA = -40 ~ +105 °C 品を TA = -40 ~ +85 °C の範囲で使用する場合

R5F104xxGxx

注意1. RL78 マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

注意2. EVDD0, EVDD1, EVSS0, EVSS1 端子がない製品は、EVDD0 と EVDD1 を VDD に、EVSS0 と EVSS1 を VSS に置き換えてください。

注意3. 製品により搭載している端子が異なります。2.1 ポート機能 ~ 2.2.1 製品別の搭載機能を参照してください。

34.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0, EVDD1	EVDD0 = EVDD1	-0.5 ~ +6.5	V
	EVSS0, EVSS1	EVSS0 = EVSS1	-0.5 ~ +0.3	V
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD + 0.3 ^{注1}	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3 ^{注2}	V
出力電圧	VO1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	VO2	P20-P27, P150-P156	-0.3 ~ VDD + 0.3 ^{注2}	V
アナログ入力電圧	VAI1	ANI16-ANI20	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V
	VAI2	ANI0-ANI14	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V

注1. REGC 端子にはコンデンサ(0.47 ~ 1 μF)を介して VSS に接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V 以下であること。

注3. A/D 変換対象の端子は、AVREF(+) + 0.3 を越えないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF(+) : A/D コンバータの+側基準電圧

備考3. VSS を基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1 端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	-100	mA
	IOH2	1 端子	P20-P27, P150-P156	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IOL1	1 端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	100	mA
	IOL2	1 端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度	TA	通常動作時		-40 ～ + 85	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65 ～ + 150	℃

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.2 発振回路特性

34.2.1 X1, XT1 特性

(TA = -40 ~ +85 °C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1 クロック発振周波数 (fx) 注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
		1.8 V ≤ VDD < 2.4 V	1.0		8.0	
		1.6 V ≤ VDD < 1.8 V	1.0		4.0	
XT1 クロック発振周波数 (fxT) 注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。

また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1 クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTC レジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 X1, XT1 発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

34.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +85 °C, 1.6 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

発振子	略号	条件		MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f _{IH}			1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
			1.6 V ≤ VDD < 1.8 V	-5.0		+5.0	%
		-40 ~ -20 °C	1.8 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
			1.6 V ≤ VDD < 1.8 V	-5.5		+5.5	%
低速オンチップ・オシレータ・クロック周波数	f _{IL}				15		kHz
低速オンチップ・オシレータ・クロック周波数精度				-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト (000C2H/010C2H) のビット 0-4 および HOCODIV レジスタのビット 0-2 によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

34.3 DC 特性

34.3.1 端子特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子	1.6 V ≤ EVDD0 ≤ 5.5 V		-10.0 ^{注2}	mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計 (デューティ ≤ 70% ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		-55.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		-10.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		-5.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		-2.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計 (デューティ ≤ 70% ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		-80.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		-19.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		-10.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		-5.0	mA
		全端子合計 (デューティ ≤ 70% ^{注3})	1.6 V ≤ EVDD0 ≤ 5.5 V		-135.0 注4	mA
	IOH2	P20-P27, P150-P156 1端子	1.6 V ≤ VDD ≤ 5.5 V		-0.1 ^{注2}	mA
		全端子合計 (デューティ ≤ 70% ^{注3})	1.6 V ≤ VDD ≤ 5.5 V		-1.5	mA

注1. EVDD0, EVDD1, VDD 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (\text{IOH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注4. 産業用途向け(R5F104xxDxx, R5F104xxGxx)は、-100 mAです。

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子			20.0 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		70.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		9.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		4.5	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計 (デューティ ≤ 70%時 ^{注3})	4.0 V ≤ EVDD0 ≤ 5.5 V		80.0	mA
			2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			1.8 V ≤ EVDD0 < 2.7 V		20.0	mA
			1.6 V ≤ EVDD0 < 1.8 V		10.0	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})			150.0	mA
	IOL2	P20-P27, P150-P156 1端子			0.4 ^{注2}	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	1.6 V ≤ VDD ≤ 5.5 V		5.0	mA

注1. 出力端子からEVSS0, EVSS1, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (\text{IOL} \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \div 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P14-P17, P30, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ $4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	2.2		EVDD0	V
			TTL入力バッファ $3.3\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$	2.0		EVDD0	V
			TTL入力バッファ $1.6\text{ V} \leq \text{EVDD0} < 3.3\text{ V}$	1.5		EVDD0	V
	VIH3	P20-P27, P150-P156		0.7 VDD		VDD	V
	VIH4	P60-P63		0.7 EVDD0		6.0	V
	VIH5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0		0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P14-P17, P30, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ $4.0\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$	0		0.8	V
			TTL入力バッファ $3.3\text{ V} \leq \text{EVDD0} < 4.0\text{ V}$	0		0.5	V
			TTL入力バッファ $1.6\text{ V} \leq \text{EVDD0} < 3.3\text{ V}$	0		0.32	V
	VIL3	P20-P27, P150-P156		0		0.3 VDD	V
	VIL4	P60-P63		0		0.3 EVDD0	V
	VIL5	P121-P124, P137, EXCLK, EXCLKS, $\overline{\text{RESET}}$		0		0.2 VDD	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -10.0 mA	EVDD0 - 1.5		V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 - 0.7		V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 - 0.5		V
			1.6 V ≤ EVDD0 < 1.8 V, IOH1 = -1.0 mA	EVDD0 - 0.5		V
	VOH2	P20-P27, P150-P156	1.6 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD - 0.5		V
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 20.0 mA		1.3	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA		0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA		0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA		0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.6 mA		0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.3 mA		0.4	V
	VOL2	P20-P27, P150-P156	1.6 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA		0.4	V
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA		2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA		0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA		0.4	V
			1.8 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA		0.4	V
			1.6 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 1.0 mA		0.4	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(5/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	ILI1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVDD0		1	μA
	ILI2	P20-P27, P137, P150-P156, RESET	VI = VDD		1	μA
	ILI3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VDD	入力ポート時, 外部クロック入力時	1	μA
				発振子接続時	10	μA
ロウ・レベル 入力リーク電流	ILIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0		-1	μA
	ILIL2	P20-P27, P137, P150-P156, RESET	VI = VSS		-1	μA
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VSS	入力ポート時, 外部クロック入力時	-1	μA
				発振子接続時	-10	μA
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0, 入力ポート時		10 20 100	kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

34.3.2 電源電流特性

(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン)モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V	2.4		mA
						VDD = 3.0 V	2.4		
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V	2.1		
						VDD = 3.0 V	2.1		
		動作モード	HS (高速メイン)モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V	5.1	8.7	mA
						VDD = 3.0 V	5.1	8.7	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V	4.8	8.1	
						VDD = 3.0 V	4.8	8.1	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V	4.0	6.9	
						VDD = 3.0 V	4.0	6.9	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V	3.8	6.3	
						VDD = 3.0 V	3.8	6.3	
		動作モード	LS (低速メイン)モード ^{注5}	fHOCO = 8 MHz, fIH = 8 MHz ^{注3}	通常動作	VDD = 5.0 V	2.8	4.6	mA
						VDD = 3.0 V	2.8	4.6	
		動作モード	LV (低電圧メイン)モード ^{注5}	fHOCO = 4 MHz, fIH = 4 MHz ^{注3}	通常動作	VDD = 3.0 V	1.3	2.0	mA
						VDD = 2.0 V	1.3	2.0	
		動作モード	HS (高速メイン)モード ^{注5}	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力	3.3	5.3	mA
						発振子接続	3.4	5.5	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力	3.3	5.3	
						発振子接続	3.4	5.5	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力	2.0	3.1	
						発振子接続	2.1	3.2	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力	2.0	3.1	
						発振子接続	2.1	3.2	
		動作モード	LS (低速メイン)モード ^{注5}	fMX = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力	1.2	1.9	mA
						発振子接続	1.2	2.0	
				fMX = 8 MHz ^{注2} , VDD = 2.0 V	通常動作	方形波入力	1.2	1.9	
						発振子接続	1.2	2.0	
		動作モード	サブシステム・クロック動作	fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力	4.7	6.1	μA
						発振子接続	4.7	6.1	
				fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力	4.7	6.1	
						発振子接続	4.7	6.1	
				fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力	4.8	6.7	
						発振子接続	4.8	6.7	
				fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力	4.8	7.5	
						発振子接続	4.8	7.5	
				fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力	5.4	8.9	
						発振子接続	5.4	8.9	

(注、備考は次ページにあります。)

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。

注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。

注3. 高速システム・クロック, サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1)設定時。

注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, TA = 25 °Cです。

(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位	
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注6}	fHOCO = 64 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.80	3.09	mA	
					VDD = 3.0 V		0.80	3.09		
				fHOCO = 32 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.49	2.40		
					VDD = 3.0 V		0.49	2.40		
				fHOCO = 48 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.62	2.40		
					VDD = 3.0 V		0.62	2.40		
				fHOCO = 24 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.4	1.83		
					VDD = 3.0 V		0.4	1.83		
			fHOCO = 16 MHz, fIH = 16 MHz ^{注4}	VDD = 5.0 V		0.37	1.38			
				VDD = 3.0 V		0.37	1.38			
			LS (低速メイン)モード ^{注6}	fHOCO = 8 MHz, fIH = 8 MHz ^{注4}	VDD = 3.0 V		260	710	μA	
					VDD = 2.0 V		260	710		
			LV (低電圧メイン)モード ^{注6}	fHOCO = 4 MHz, fIH = 4 MHz ^{注4}	VDD = 3.0 V		420	700	μA	
					VDD = 2.0 V		420	700		
			HS (高速メイン)モード ^{注6}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.28	1.55	mA	
					発振子接続		0.40	1.74		
					方形波入力		0.28	1.55		
					発振子接続		0.40	1.74		
					fMX = 10 MHz ^{注3} , VDD = 5.0 V	方形波入力		0.19		0.86
					発振子接続		0.25	0.93		
				fMX = 10 MHz ^{注3} , VDD = 3.0 V	方形波入力		0.19	0.86		
					発振子接続		0.25	0.93		
				LS (低速メイン)モード ^{注6}	fMX = 8 MHz ^{注3} , VDD = 3.0 V	方形波入力		95	550	μA
						発振子接続		140	590	
					fMX = 8 MHz ^{注3} , VDD = 2.0 V	方形波入力		95	550	
						発振子接続		140	590	
			サブシステム・クロック動作	fSUB = 32.768 kHz ^{注5} TA = -40 °C	方形波入力		0.25	0.57	μA	
					発振子接続		0.44	0.76		
		fSUB = 32.768 kHz ^{注5} TA = +25 °C		方形波入力		0.30	0.57			
				発振子接続		0.49	0.76			
		fSUB = 32.768 kHz ^{注5} TA = +50 °C		方形波入力		0.36	1.17			
				発振子接続		0.59	1.36			
		fSUB = 32.768 kHz ^{注5} TA = +70 °C		方形波入力		0.49	1.97			
				発振子接続		0.72	2.16			
		fSUB = 32.768 kHz ^{注5} TA = +85 °C		方形波入力		0.97	3.37			
				発振子接続		1.16	3.56			
	IDD3	STOP モード ^{注7}	TA = -40 °C					0.18	0.51	μA
			TA = +25 °C					0.24	0.51	
			TA = +50 °C					0.29	1.10	
			TA = +70 °C					0.41	1.90	
			TA = +85 °C					0.90	3.30	

(注、備考は次ページにあります。)

注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, A/Dコンバータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。

STOP モード時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。

注2. フラッシュ・メモリでのHALT命令実行時。

注3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。

注4. 高速システム・クロック, サブシステム・クロックは停止時。

注5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

RTCLPC = 1, かつ超低消費発振(AMPHS1 = 1)設定時。

注6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$

注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, TA = 25 °Cです。

(2) 30 ~ 100 ピン製品のフラッシュ ROM96 ~ 256 KB の製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード ^{注5}	HS (高速メイン)モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.6	mA
						VDD = 3.0 V		2.6	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.3	
						VDD = 3.0 V		2.3	
			HS (高速メイン)モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.4	mA
						VDD = 3.0 V		5.4	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.0	
						VDD = 3.0 V		5.0	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.2	
						VDD = 3.0 V		4.2	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.0	
						VDD = 3.0 V		4.0	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		3.0	
						VDD = 3.0 V		3.0	
		LS (低速メイン)モード ^{注5}		fHOCO = 8 MHz, fIH = 8 MHz ^{注3}	通常動作	VDD = 3.0 V		1.4	mA
						VDD = 2.0 V		1.4	
		LV (低電圧メイン)モード ^{注5}		fHOCO = 4 MHz, fIH = 4 MHz ^{注3}	通常動作	VDD = 3.0 V		1.3	mA
						VDD = 2.0 V		1.3	
		HS (高速メイン)モード ^{注5}		fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力 発振子接続		3.4 3.6	mA
								6.2 6.4	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続		3.4 3.6	
								6.2 6.4	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力 発振子接続		2.1 2.2	
								3.6 3.7	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続		2.1 2.2	
								3.6 3.7	
		LS (低速メイン)モード ^{注5}		fMX = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力 発振子接続		1.2 1.2	mA
								2.2 2.3	
				fMX = 8 MHz ^{注2} , VDD = 2.0 V	通常動作	方形波入力 発振子接続		1.2 1.2	
								2.2 2.3	
		サブシステム・クロック動作		fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力 発振子接続		4.9 4.9	μA
								7.1 7.1	
				fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力 発振子接続		4.9 4.9	
								7.1 7.1	
				fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力 発振子接続		5.1 5.1	
								8.8 8.8	
				fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力 発振子接続		5.5 5.5	
								10.5 10.5	
				fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力 発振子接続		6.5 6.5	
								14.5 14.5	

(注、備考は次ページにあります。)

注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, A/Dコンバータ, D/Aコンバータ, コンパレータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。

注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。

注3. 高速システム・クロック, サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1)設定時。

注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, TA = 25 °Cです。

(2) 30 ~ 100 ピン製品のフラッシュ ROM96 ~ 256 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン) モード ^{注6}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.79	3.32	mA
					V _{DD} = 3.0 V		0.79	3.32	
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.49	2.63	
					V _{DD} = 3.0 V		0.49	2.63	
				f _{HOCO} = 48 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.62	2.57	
					V _{DD} = 3.0 V		0.62	2.57	
				f _{HOCO} = 24 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.4	2.00	
					V _{DD} = 3.0 V		0.4	2.00	
				f _{HOCO} = 16 MHz, f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		0.38	1.49	
					V _{DD} = 3.0 V		0.38	1.49	
			LS (低速メイン) モード ^{注6}	f _{HOCO} = 8 MHz, f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V		250	800	μA
					V _{DD} = 2.0 V		250	800	
			LV (低電圧メイン) モード ^{注6}	f _{HOCO} = 4 MHz, f _{IH} = 4 MHz ^{注4}	V _{DD} = 3.0 V		420	755	μA
					V _{DD} = 2.0 V		420	755	
			HS (高速メイン) モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.30	1.63	mA
					発振子接続		0.40	1.85	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.30	1.63	
					発振子接続		0.40	1.85	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.20	0.89	
					発振子接続		0.25	0.97	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.20	0.89	
					発振子接続		0.25	0.97	
			LS (低速メイン) モード ^{注6}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		110	580	μA
					発振子接続		140	630	
				f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力		110	580	
					発振子接続		140	630	
			サブシステム・ クロック動作	f _{SUB} = 32.768 kHz ^{注5} T _A = -40 °C	方形波入力		0.28	0.66	μA
					発振子接続		0.47	0.85	
				f _{SUB} = 32.768 kHz ^{注5} T _A = +25 °C	方形波入力		0.34	0.66	
					発振子接続		0.53	0.85	
				f _{SUB} = 32.768 kHz ^{注5} T _A = +50 °C	方形波入力		0.37	2.35	
					発振子接続		0.56	2.54	
				f _{SUB} = 32.768 kHz ^{注5} T _A = +70 °C	方形波入力		0.61	4.08	
					発振子接続		0.80	4.27	
			f _{SUB} = 32.768 kHz ^{注5} T _A = +85 °C	方形波入力		1.55	8.09		
			発振子接続		1.74	8.28			
IDD3	STOPモード ^{注7}	T _A = -40 °C					0.19	0.57	μA
		T _A = +25 °C					0.25	0.57	
		T _A = +50 °C					0.33	2.26	
		T _A = +70 °C					0.52	3.99	
		T _A = +85 °C					1.46	8.00	

(注, 備考は次ページにあります。)

- 注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。
- HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, A/Dコンバータ, D/Aコンバータ, コンパレータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
- サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。
- STOP モード時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注4. 高速システム・クロック, サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1)設定時。
- 注6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$
- LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, TA = 25 °Cです。

(3) 48 ~ 100 ピン製品のフラッシュ ROM384 ~ 512 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード ^{注5}	HS (高速メイン)モード	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.9	mA
						VDD = 3.0 V		2.9	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.5	
						VDD = 3.0 V		2.5	
			HS (高速メイン)モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		6.0	mA
						VDD = 3.0 V		6.0	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.5	
						VDD = 3.0 V		5.5	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.7	
						VDD = 3.0 V		4.7	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.4	
						VDD = 3.0 V		4.4	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		3.3	
						VDD = 3.0 V		3.3	
		LS (低速メイン)モード ^{注5}		fHOCO = 8 MHz, fIH = 8 MHz ^{注3}	通常動作	VDD = 3.0 V		1.5	mA
						VDD = 2.0 V		1.5	
		LV (低電圧メイン)モード ^{注5}		fHOCO = 4 MHz, fIH = 4 MHz ^{注3}	通常動作	VDD = 3.0 V		1.5	mA
						VDD = 2.0 V		1.5	
		HS (高速メイン)モード ^{注5}		fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		3.7	mA
						発振子接続		3.9	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		3.7	
						発振子接続		3.9	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		2.3	
						発振子接続		2.3	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		2.3	
						発振子接続		2.3	
		LS (低速メイン)モード ^{注5}		fMX = 8 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		1.4	mA
						発振子接続		1.4	
				fMX = 8 MHz ^{注2} , VDD = 2.0 V	通常動作	方形波入力		1.4	
						発振子接続		1.4	
		サブシステム・クロック動作		fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力		5.2	μA
						発振子接続		5.2	
				fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力		5.3	
						発振子接続		5.3	
				fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力		5.5	
						発振子接続		5.5	
				fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力		5.9	
						発振子接続		6.0	
				fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力		6.8	μA
						発振子接続		6.9	

(注、備考は次ページにあります。)

注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, A/Dコンバータ, D/Aコンバータ, コンパレータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。

注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。

注3. 高速システム・クロック, サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振(AMPHS1 = 1) 設定。

注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$

LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP.値の温度条件は, TA = 25 °Cです。

(3) 48 ~ 100 ピン製品のフラッシュ ROM384 ~ 512 KBの製品

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン) モード ^{注6}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.93	3.32	mA
					V _{DD} = 3.0 V		0.93	3.32	
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.5	2.63	
					V _{DD} = 3.0 V		0.5	2.63	
				f _{HOCO} = 48 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.72	2.60	
					V _{DD} = 3.0 V		0.72	2.60	
				f _{HOCO} = 24 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.42	2.03	
					V _{DD} = 3.0 V		0.42	2.03	
				f _{HOCO} = 16 MHz, f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		0.39	1.50	
					V _{DD} = 3.0 V		0.39	1.50	
			LS (低速メイン) モード ^{注6}	f _{HOCO} = 8 MHz, f _{IH} = 8 MHz ^{注4}	V _{DD} = 3.0 V		270	800	μA
					V _{DD} = 2.0 V		270	800	
			LV (低電圧メイン) モード ^{注6}	f _{HOCO} = 4 MHz, f _{IH} = 4 MHz ^{注4}	V _{DD} = 3.0 V		450	755	μA
					V _{DD} = 2.0 V		450	755	
			HS (高速メイン) モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.31	1.69	mA
					発振子接続		0.41	1.91	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.31	1.69	
					発振子接続		0.41	1.91	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.21	0.94	
					発振子接続		0.26	1.02	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.21	0.94	
					発振子接続		0.26	1.02	
			LS (低速メイン) モード ^{注6}	f _{MX} = 8 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		110	610	μA
					発振子接続		150	660	
				f _{MX} = 8 MHz ^{注3} , V _{DD} = 2.0 V	方形波入力		110	610	
					発振子接続		150	660	
			サブシステム・ クロック動作	f _{SUB} = 32.768 kHz ^{注5} T _A = -40 °C	方形波入力		0.31		μA
					発振子接続		0.50		
				f _{SUB} = 32.768 kHz ^{注5} T _A = +25 °C	方形波入力		0.38	0.76	
					発振子接続		0.57	0.95	
				f _{SUB} = 32.768 kHz ^{注5} T _A = +50 °C	方形波入力		0.47	3.59	
					発振子接続		0.70	3.78	
				f _{SUB} = 32.768 kHz ^{注5} T _A = +70 °C	方形波入力		0.80	6.20	
					発振子接続		1.00	6.39	
			f _{SUB} = 32.768 kHz ^{注5} T _A = +85 °C	方形波入力		1.65	10.56		
				発振子接続		1.84	10.75		
IDD3	STOPモード ^{注7}	T _A = -40 °C					0.19		μA
		T _A = +25 °C					0.30	0.59	
		T _A = +50 °C					0.41	3.42	
		T _A = +70 °C					0.80	6.03	
		T _A = +85 °C					1.53	10.39	

(注, 備考は次ページにあります。)

- 注1. VDD, EVDD0, EVDD1に流れるトータル電流です。入力端子をVDD, EVDD0, EVDD1またはVSS, EVSS0, EVSS1に固定した状態での入力リーク電流を含みます。
- HS (高速メイン) モード, LS (低速メイン) モード, LV (低電圧メイン) モード時, 電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし, A/Dコンバータ, D/Aコンバータ, コンパレータ, LVD回路, I/Oポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
- サブシステム・クロック動作時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。
- STOP モード時, 電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注4. 高速システム・クロック, サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1)設定時。
- 注6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$
- LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。

備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は, TA = 25 °Cです。

(4) 周辺機能(全製品共通)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL 注1				0.20		μA
RTC動作電流	IRTC 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	IIT 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT 注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC 注1, 6	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	IADREF 注1				75.0		μA
温度センサ動作電流	ITMPS 注1				75.0		μA
D/Aコンバータ動作電流	IDAC 注1, 11, 13	1チャンネル当たり				1.5	mA
コンパレータ動作電流	ICMP 注1, 12, 13	VDD = 5.0 V, レギュレータ出力電圧 = 2.1 V	ウィンドウモード		12.5		μA
			コンパレータ高速モード		6.5		μA
			コンパレータ低速モード		1.7		μA
		VDD = 5.0 V, レギュレータ出力電圧 = 1.8 V	ウィンドウモード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
LVD動作電流	ILVD 注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP 注1, 9				2.50	12.20	mA
BGO電流	IBGO 注1, 8				2.50	12.20	mA
SNOOZE動作電流	ISNOZ 注1	ADC動作	モード遷移中注10		0.50	0.60	mA
			変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V		1.20	1.44	
		簡易SPI (CSI)/UART動作			0.70	0.84	
		DTC動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

注3. リアルタイム・クロック (RTC)にのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, IDD1またはIDD2にIRTCを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 12ビット・インターバル・タイマにのみ流れる電流です(低速オンチップ・オシレータ, XT1発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

- 注5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。
ウォッチドッグ・タイマの動作時は、IDD1、IDD2またはIDD3にIWDTを加算した値が、RL78マイクロコントローラの電流値となります。
- 注6. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモードでのA/Dコンバータの動作時はIDD1またはIDD2にIADCを加算した値が、RL78マイクロコントローラの電流値となります。
- 注7. LVD回路にのみ流れる電流です。LVD回路の動作時は、IDD1、IDD2またはIDD3にILVDを加算した値がRL78マイクロコントローラの電流値となります。
- 注8. データ・フラッシュ書き換え時に流れる電流です。
- 注9. セルフ・プログラミング時に流れる電流です。
- 注10. SNOOZEモードへの移行時間は、23.3.3 SNOOZEモードを参照してください。
- 注11. D/Aコンバータにのみ流れる電流です。動作モードまたはHALTモードでのD/Aコンバータの動作時は、IDD1またはIDD2にIDACを加算した値が、RL78マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、IDD1、IDD2またはIDD3にICMPを加算した値が、RL78マイクロコントローラの電流値となります。
- 注13. コンパレータおよびD/Aコンバータはコード・フラッシュ・メモリが96 KB以上の製品に搭載されます。

- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考2. f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考3. f_{CLK} : CPU/周辺ハードウェア・クロック周波数
- 備考4. TYP.値の温度条件は、TA = 25 °Cです。

34.4 AC特性

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	TCY	メイン・システム・ クロック (fMAIN) 動作	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
			LV (低電圧メイン) モード	1.6 V ≤ VDD ≤ 5.5 V	0.25		1	μs
		サブシステム・クロック (fSUB) 動作			1.8 V ≤ VDD ≤ 5.5 V	28.5	30.5	31.3 μs
		セルフ・プログラミ ング時	HS (高速メイン) モード	2.7 V ≤ VDD ≤ 5.5 V	0.03125		1	μs
				2.4 V ≤ VDD < 2.7 V	0.0625		1	μs
			LS (低速メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.125		1	μs
			LV (低電圧メイン) モード	1.8 V ≤ VDD ≤ 5.5 V	0.25		1	μs
外部システム・ クロック周波数	fEX	2.7 V ≤ VDD ≤ 5.5 V			1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V			1.0		16.0	MHz
		1.8 V ≤ VDD < 2.4 V			1.0		8.0	MHz
		1.6 V ≤ VDD < 1.8 V			1.0		4.0	MHz
	fEXS				32		35	kHz
外部システム・ クロック入力 ハイ、ロウ・ レベル幅	tEXH, tEXL	2.7 V ≤ VDD ≤ 5.5 V			24			ns
		2.4 V ≤ VDD < 2.7 V			30			ns
		1.8 V ≤ VDD < 2.4 V			60			ns
		1.6 V ≤ VDD < 1.8 V			120			ns
	tEXHS, tEXLS				13.7			μs
TI00-TI03, TI10-TI13 入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL				1/fMCK + 10注			ns
タイマRJ入力 サイクル	tc	TRJIO		2.7 V ≤ EVDD0 ≤ 5.5 V	100			ns
				1.8 V ≤ EVDD0 < 2.7 V	300			ns
				1.6 V ≤ EVDD0 < 1.8 V	500			ns
タイマRJ入力 ハイ・レベル幅, ロウ・レベル幅	tTJH, tTJL	TRJIO		2.7 V ≤ EVDD0 ≤ 5.5 V	40			ns
				1.8 V ≤ EVDD0 < 2.7 V	120			ns
				1.6 V ≤ EVDD0 < 1.8 V	200			ns

注 EVDD0 < VDD となる低電圧インタフェース時は、次の条件も必要になります。

1.8 V ≤ EVDD0 ≤ 2.7 V : MIN. 125 ns

1.6 V ≤ EVDD0 < 1.8 V : MIN. 250 ns

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号 (m = 0, 1),

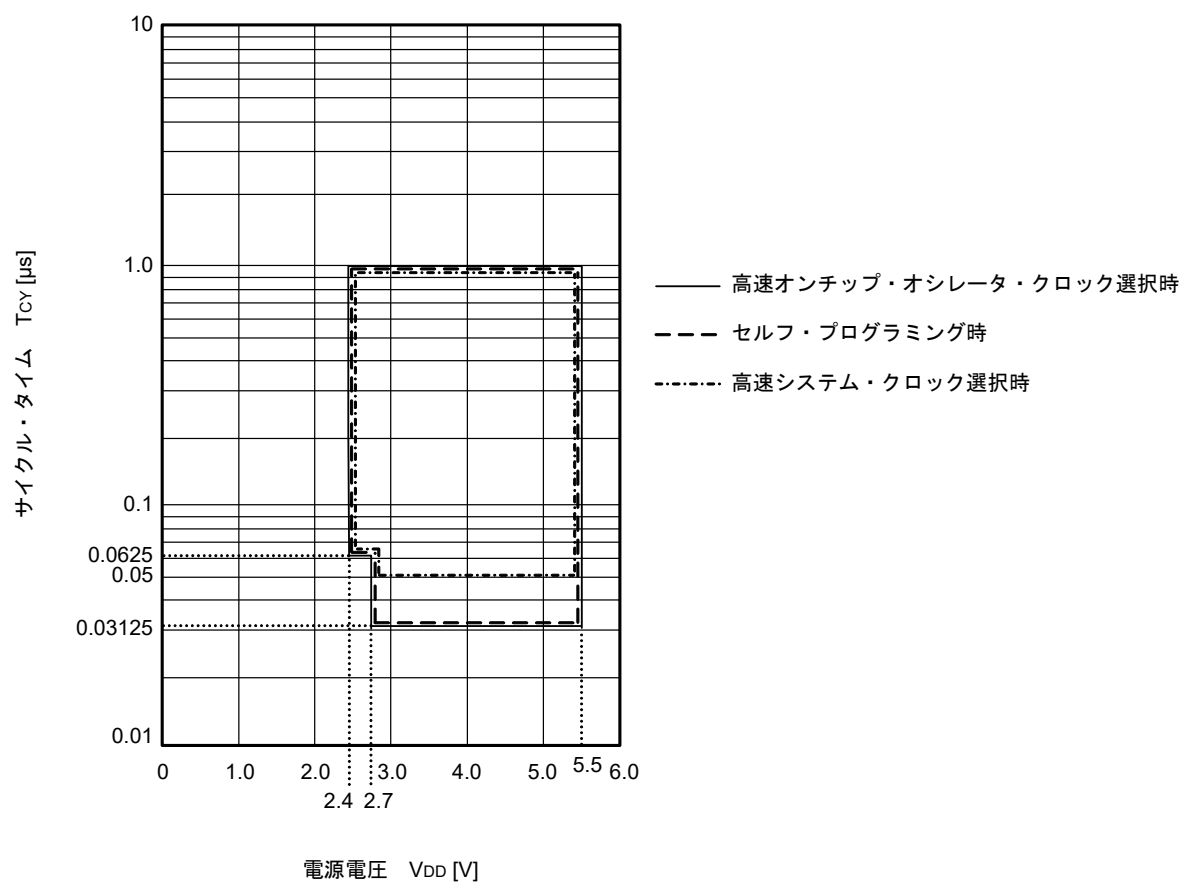
n : チャネル番号 (n = 0-3))

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

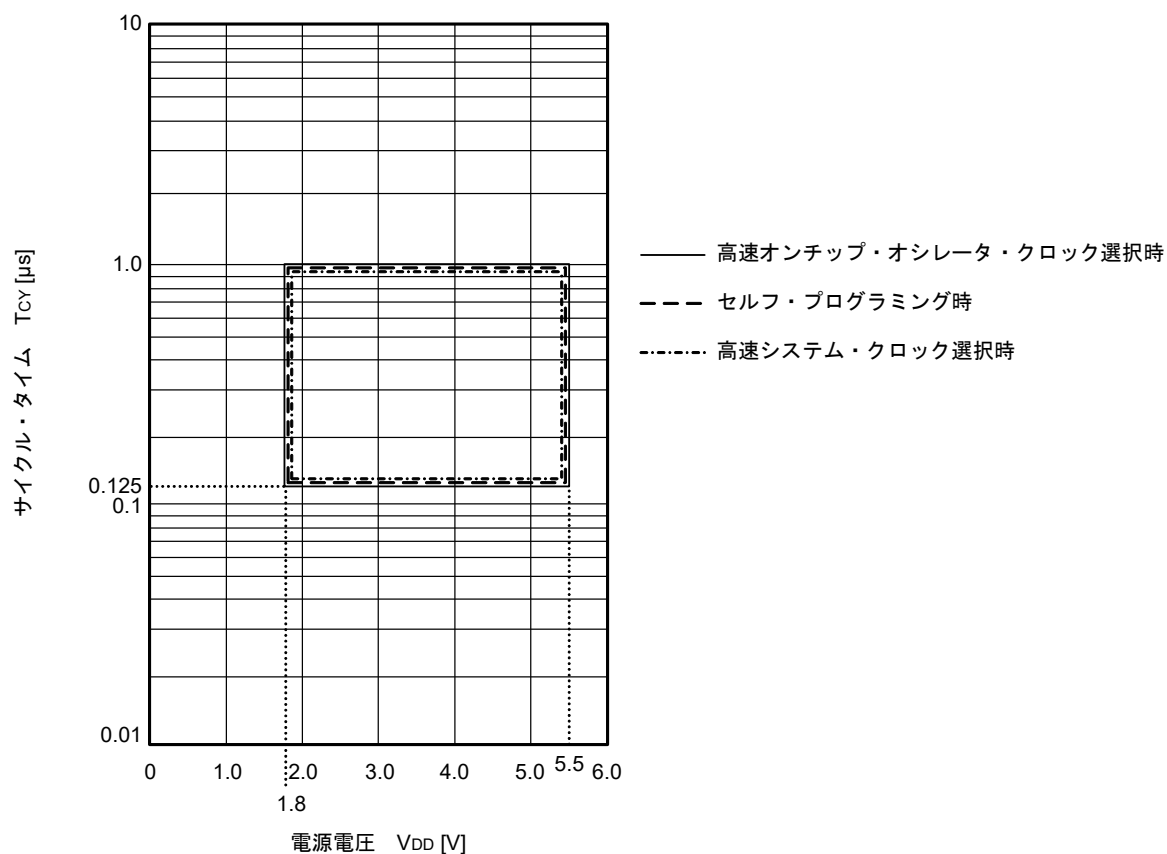
(2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
タイマRD入力ハイ・レベル幅, ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/fCLK			ns
タイマRD強制遮断信号入力 ロウ・レベル幅	tTDSIL	P130/INTP0	2MHz < fCLK ≤ 32 MHz	1			μs
			fCLK ≤ 2 MHz	1/fCLK + 1			
タイマRG入力ハイ・レベル幅, ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TO10-TO13, TRJIO0, TRJO0, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRGIOA, TRGIOB出力周波数	fTO	HS (高速メイン)モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LS (低速メイン)モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LV (低電圧メイン)モード	1.6 V ≤ EVDD0 ≤ 5.5 V			2	MHz
PCLBUZ0, PCLBUZ1出力周波数	fPCL	HS (高速メイン)モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			1.8 V ≤ EVDD0 < 2.7 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LS (低速メイン)モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
		LV (低電圧メイン)モード	1.8 V ≤ EVDD0 ≤ 5.5 V			4	MHz
			1.6 V ≤ EVDD0 < 1.8 V			2	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0	1.6 V ≤ VDD ≤ 5.5 V	1			μs
		INTP1-INTP11	1.6 V ≤ EVDD0 ≤ 5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7	1.8 V ≤ EVDD0 ≤ 5.5 V	250			ns
			1.6 V ≤ EVDD0 < 1.8 V	1			μs
RESETロウ・レベル幅	tRSL			10			μs

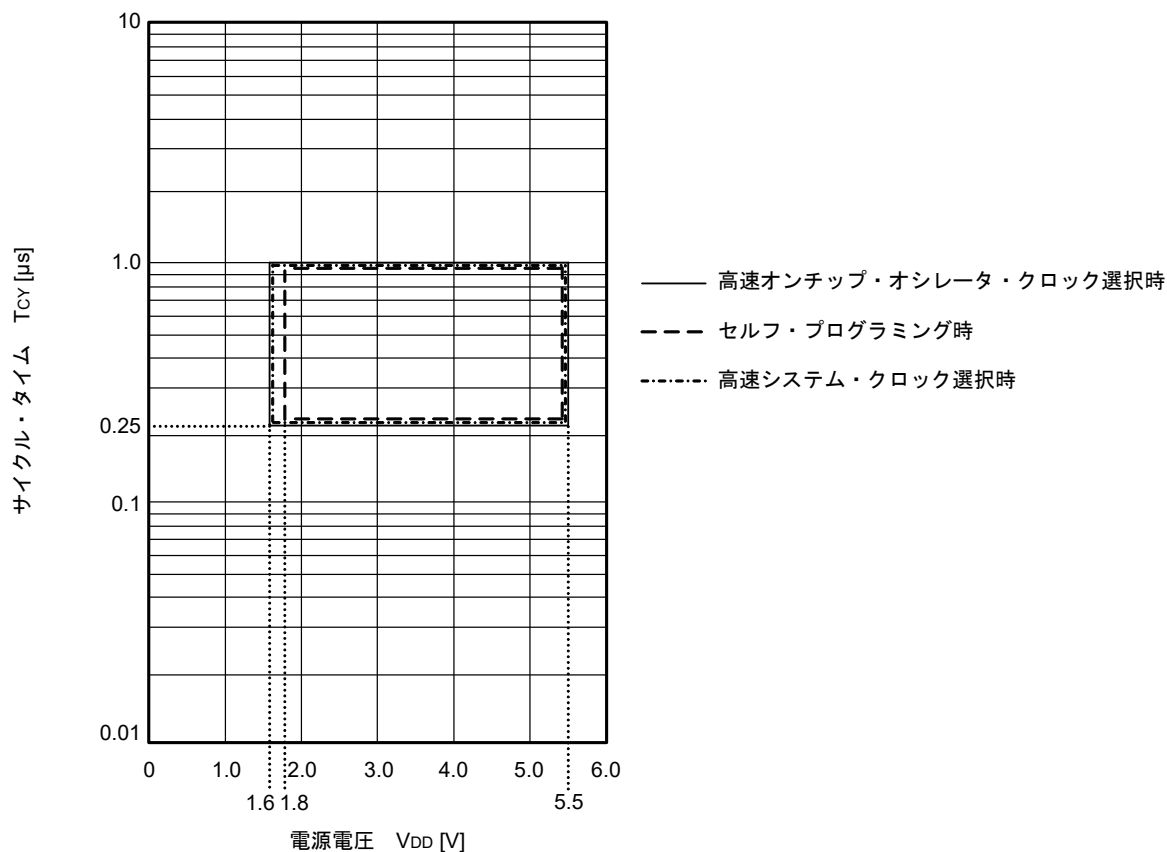
メイン・システム・クロック動作時の最小命令実行時間

T_{CY} vs V_{DD} (HS (高速メイン)モード)

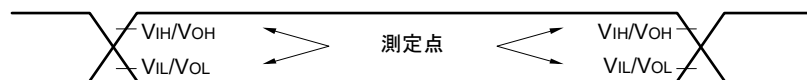
Tcy vs VDD (LS (低速メイン)モード)



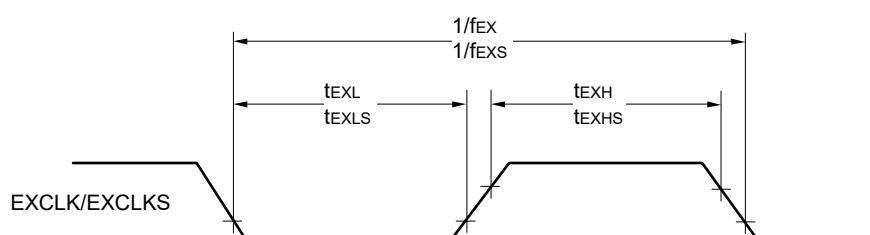
Tcy vs VDD (LV (低電圧メイン)モード)



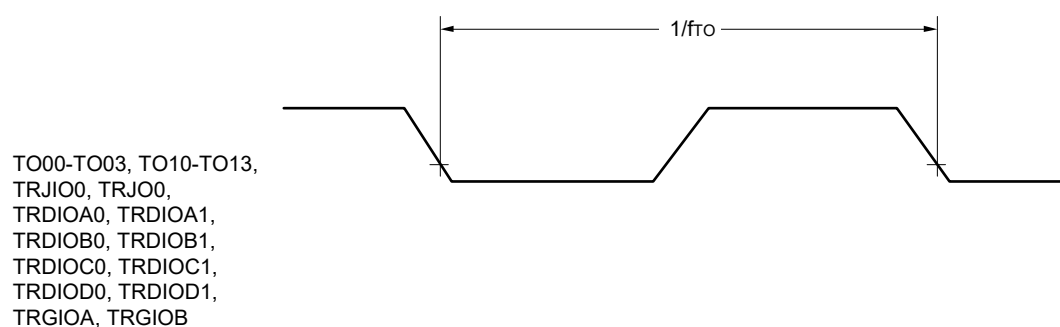
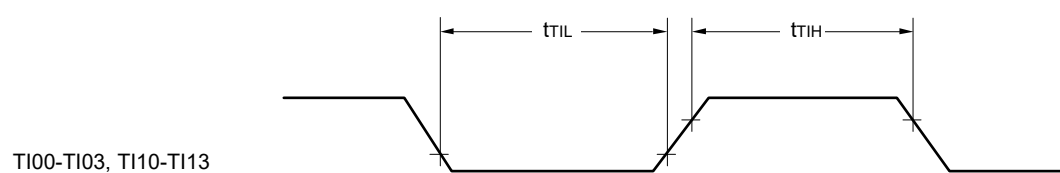
AC タイミング測定点

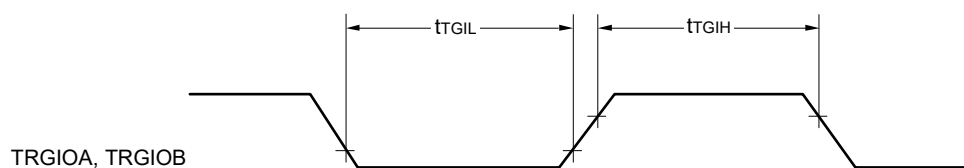
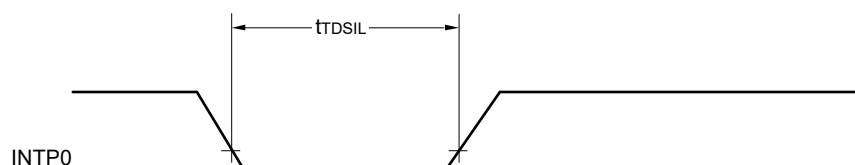
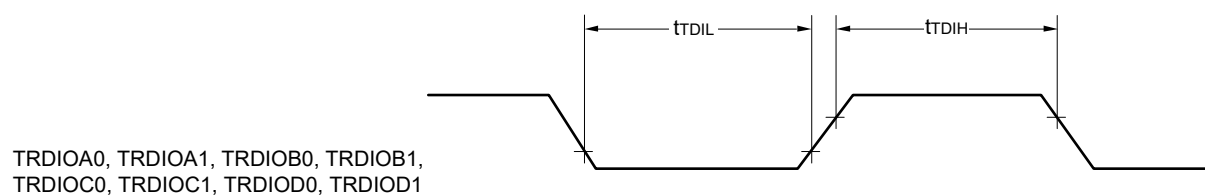
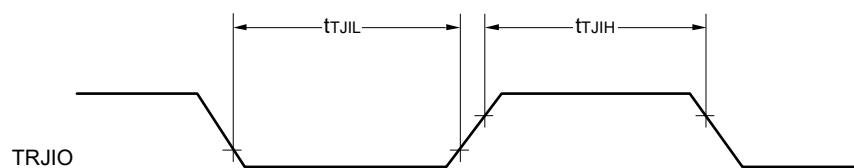


外部システム・クロック・タイミング

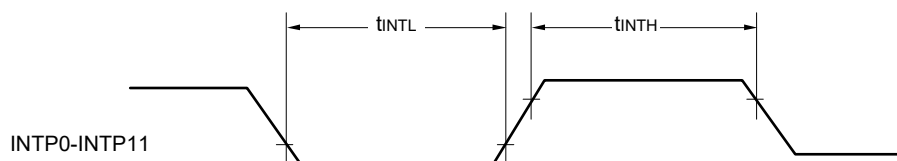


TI/TO タイミング

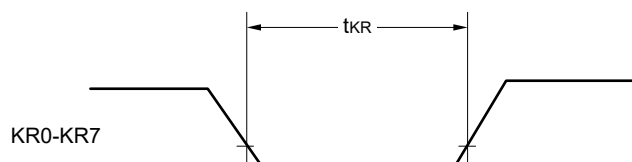
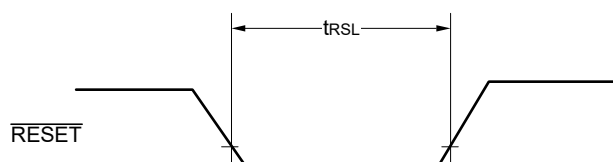




割り込み要求入力タイミング

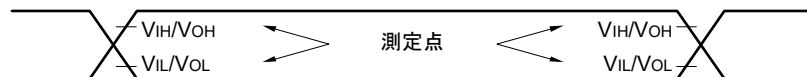


キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

34.5 周辺機能特性

AC タイミング測定点



34.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時 (UART モード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート注1		2.4 V ≤ EVDD0 ≤ 5.5 V		fMCK/6注2		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		5.3		1.3		0.6	Mbps
		1.8 V ≤ EVDD0 ≤ 5.5 V		fMCK/6注2		fMCK/6		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		5.3		1.3		0.6	Mbps
		1.7 V ≤ EVDD0 ≤ 5.5 V		fMCK/6注2		fMCK/6注2		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3		5.3		1.3		0.6	Mbps
		1.6 V ≤ EVDD0 ≤ 5.5 V	—			fMCK/6注2		fMCK/6	bps
		最大転送レート理論値 fMCK = fCLK注3	—			1.3		0.6	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V : MAX. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V : MAX. 1.3 Mbps

1.6 V ≤ EVDD0 < 1.8 V : MAX. 0.6 Mbps

注3. CPU/周辺ハードウェア・クロック (fCLK) の最高動作周波数を次に示します。

HS (高速メイン) モード : 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

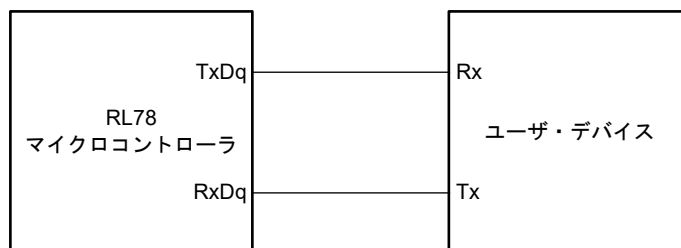
16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

LS (低速メイン) モード : 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

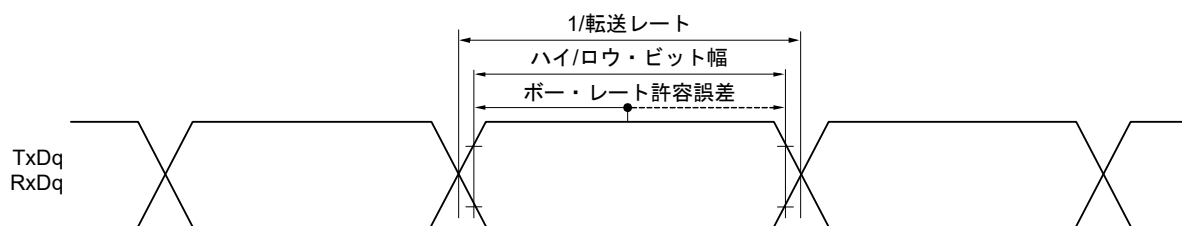
LV (低電圧メイン) モード : 4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg) とポート出力モード・レジスタg (POMg) で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UART モード接続図(同電位通信時)



UART モードのビット幅(同電位通信時)(参考)



備考1. q : UART 番号 (q = 0-3), g : PIM, POM 番号 (g = 0, 1, 5, 14)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号 (mn = 00-03, 10-13))

(2) 同電位通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp... 内部クロック出力, CSI00のみ対応)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	t _{KCY1}	t _{KCY1} ≥ 2/f _{CLK} 4.0 V ≤ EVDD0 ≤ 5.5 V		62.5		250		500		ns
			2.7 V ≤ EVDD0 ≤ 5.5 V	83.3		250		500		ns
SCKp ハイ, ロウ・ レベル幅	t _{KH1} , t _{KL1}	4.0 V ≤ EVDD0 ≤ 5.5 V		t _{KCY1} /2 - 7		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		t _{KCY1} /2 - 10		t _{KCY1} /2 - 50		t _{KCY1} /2 - 50		ns
Slp セットアップ時間 (対 SCKp ↑) 注1	t _{SIK1}	4.0 V ≤ EVDD0 ≤ 5.5 V		23		110		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		33		110		110		ns
Slp ホールド時間 (対 SCKp ↑) 注1	t _{SH1}	2.7 V ≤ EVDD0 ≤ 5.5 V		10		10		10		ns
SCKp ↓ → SOp 出力 遅延時間注2	t _{SO1}	C = 20 pF 注3			10		10		10	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. Cは, SCKp, SOp 出カラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. この値は, CSI00 の周辺 I/O リダイレクト機能未使用時のみ対応します。

備考2. p : CSI 番号 (p = 00), m : ユニット番号 (m = 0), n : チャネル番号 (n = 0), g : PIM, POM 番号 (g = 1)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00))

(3) 同電位通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位	
				モード		モード		モード			
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ EVDD0 ≤ 5.5 V	125		500		1000		ns	
			2.4 V ≤ EVDD0 ≤ 5.5 V	250		500		1000		ns	
			1.8 V ≤ EVDD0 ≤ 5.5 V	500		500		1000		ns	
			1.7 V ≤ EVDD0 ≤ 5.5 V	1000		1000		1000		ns	
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1000		1000		ns	
SCKp ハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 12			tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 18			tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 38			tkCY1/2 - 50		tkCY1/2 - 50		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 50			tkCY1/2 - 50		tkCY1/2 - 50		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		tkCY1/2 - 100			tkCY1/2 - 100		tkCY1/2 - 100		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—			tkCY1/2 - 100		tkCY1/2 - 100		ns
Slp セットアップ時間 (対 SCKp ↑)注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V		44			110		110		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		44			110		110		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		75			110		110		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		110			110		110		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		220			220		220		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—			220		220		ns
Slp ホールド時間 (対 SCKp ↑)注1	tkSI1	1.7 V ≤ EVDD0 ≤ 5.5 V		19			19		19		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—			19		19		ns
SCKp ↓ → SOp 出力 遅延時間注2	tkSO1	1.7 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3			25		25		25	ns	
		1.6 V ≤ EVDD0 ≤ 5.5 V C = 30 pF注3			—		25		25	ns	

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),
g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmn ビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号(mn = 00-03, 10-13))

(4) 同電位通信, 簡易 SPI (CSI) モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム ^{注4}	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	8/fMCK		—		—		ns
			fMCK ≤ 20 MHz	6/fMCK		6/fMCK		6/fMCK		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	8/fMCK		—		—		ns
			fMCK ≤ 16 MHz	6/fMCK		6/fMCK		6/fMCK		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ 500		6/fMCK かつ 500		6/fMCK かつ 500		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ 750		6/fMCK かつ 750		6/fMCK かつ 750		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		6/fMCK かつ 1500		6/fMCK かつ 1500		6/fMCK かつ 1500		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		6/fMCK かつ 1500		6/fMCK かつ 1500		ns
SCKp ハイ、 ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 7		tkCY2/2 - 7		tkCY2/2 - 7		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 8		tkCY2/2 - 8		tkCY2/2 - 8		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 18		tkCY2/2 - 18		tkCY2/2 - 18		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 66		tkCY2/2 - 66		tkCY2/2 - 66		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		tkCY2/2 - 66		tkCY2/2 - 66		ns
Slp セットアップ 時間 (対 SCKp ↑) ^{注1}	tSIK2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 40		1/fMCK + 40		1/fMCK + 40		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		1/fMCK + 40		1/fMCK + 40		ns
Slp ホールド時間 (対 SCKp ↑) ^{注1}	tKSI2	1.8 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns
		1.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 250		1/fMCK + 250		1/fMCK + 250		ns
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		1/fMCK + 250		1/fMCK + 250		ns
SCKp ↓ → SOp 出力遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 44		2/fMCK + 110		2/fMCK + 110	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 75		2/fMCK + 110		2/fMCK + 110	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 100		2/fMCK + 110		2/fMCK + 110	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 220		2/fMCK + 220		2/fMCK + 220	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V		—		2/fMCK + 220		2/fMCK + 220	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対 SCKp ↑”となります。

注3. C は、SO_p 出力ラインの負荷容量です。

注4. SNOOZE モードでの転送レートは、MAX. 1 Mbps です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は通常入力バッファを選択し、SO_p 端子は通常出力モードを選択します。

備考1. p : CSI番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),
g : PIM, POM番号 (g = 0, 1, 3-5, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00-03, 10-13))

(4) 同電位通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

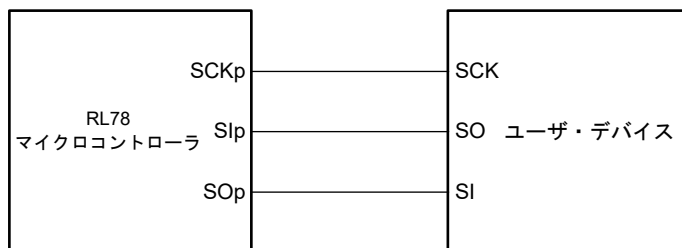
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SSI00セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	120		120		120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	200		200		200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	400		400		400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		400		400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1/fMCK + 400		1/fMCK + 400	ns
SSI00ホールド時間	tKSSI	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 120		1/fMCK + 120		1/fMCK + 120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 200		1/fMCK + 200		1/fMCK + 200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400		1/fMCK + 400		1/fMCK + 400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		1/fMCK + 400		1/fMCK + 400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	120		120		120	ns
			1.8 V ≤ EVDD0 ≤ 5.5 V	200		200		200	ns
			1.7 V ≤ EVDD0 ≤ 5.5 V	400		400		400	ns
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		400		400	ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

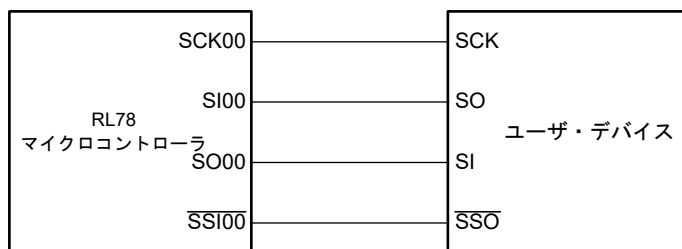
備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0),

g : PIM, POM番号(g = 3, 5)

簡易SPI (CSI)モード接続図(同電位通信時)



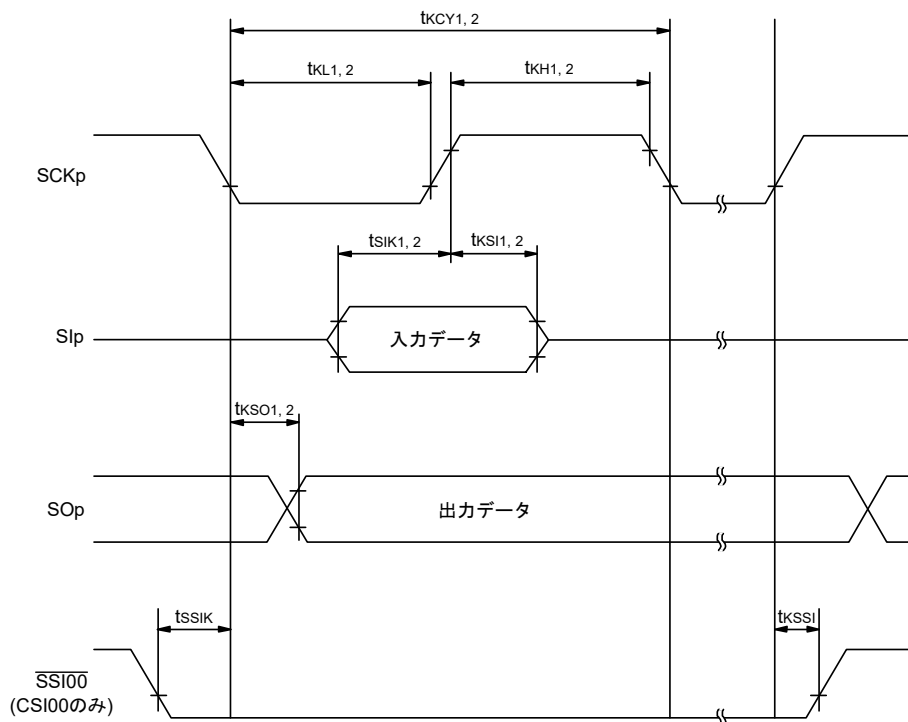
簡易SPI (CSI)モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)



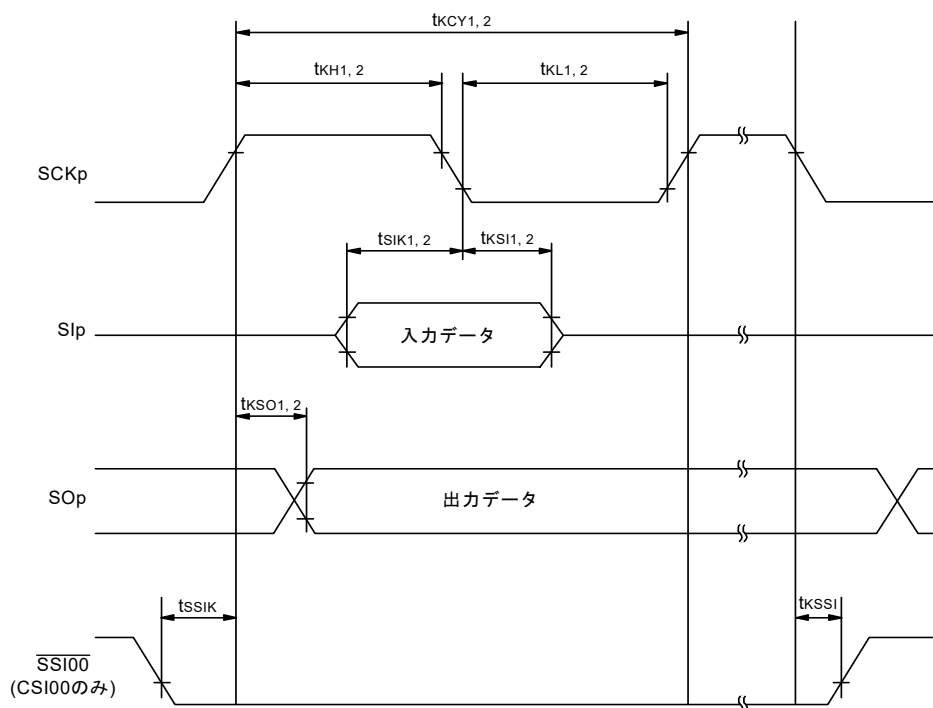
備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLrクロック周波数	f _{SCL}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		400 ^{注1}		400 ^{注1}		400 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		250 ^{注1}		250 ^{注1}		250 ^{注1}	kHz
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ		—		250 ^{注1}		250 ^{注1}	kHz
SCLr = "L" の ホールド・タイム	t _{LOW}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns
SCLr = "H" の ホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1150		1150		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1150		1150		1150		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1550		1550		1550		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1850		1850		1850		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1850		1850		ns

(注, 注意は次ページに, 備考は次々ページにあります。)

(5) 同電位通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

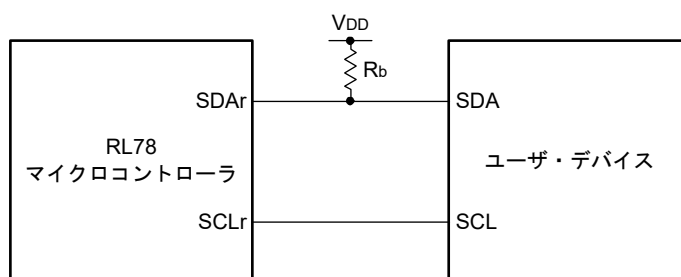
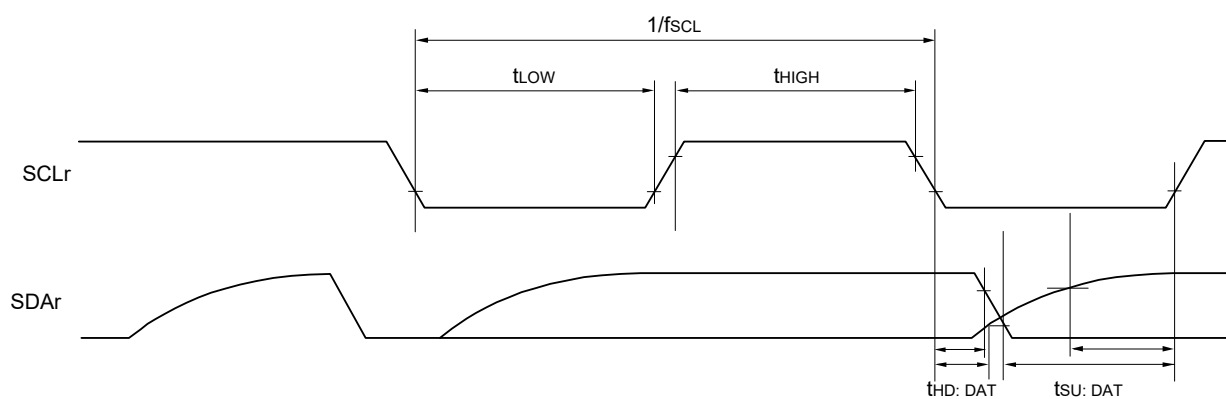
項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セット アップ時間(受信時)	tsu: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 85 ^{注2}		1/fMCK + 145 ^{注2}		1/fMCK + 145 ^{注2}		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/fMCK + 145 ^{注2}		1/fMCK + 145 ^{注2}		1/fMCK + 145 ^{注2}		ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 230 ^{注2}		1/fMCK + 230 ^{注2}		1/fMCK + 230 ^{注2}		ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	1/fMCK + 290 ^{注2}		1/fMCK + 290 ^{注2}		1/fMCK + 290 ^{注2}		ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		1/fMCK + 290 ^{注2}		1/fMCK + 290 ^{注2}		ns
データ・ホールド 時間(送信時)	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		1.8 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 2.7 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.7 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	0	405	0	405	0	405	ns
		1.6 V ≤ EVDD0 < 1.8 V, Cb = 100 pF, Rb = 5 kΩ	—		0	405	0	405	ns

注1. かつfMCK/4以下に設定してください。

注2. fMCK値は、SCLr = “L”とSCLr = “H”のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタh (POMh)で、SDArは通常入力バッファ、N-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択し、SCLrは通常出力モードを選択します。

(備考は次ページにあります。)

簡易 I²C モード接続図 (同電位通信時)簡易 I²C モード・シリアル転送タイミング (同電位通信時)

備考1. R_b [Ω]: 通信ライン (SDAr) プルアップ抵抗値, C_b [F]: 通信ライン (SCLr, SDAr) 負荷容量値

備考2. r: IIC番号 (r = 00, 01, 10, 11, 20, 21, 30, 31), g: PIM番号 (g = 0, 1, 3-5, 14),

h: POM番号 (h = 0, 1, 3-5, 7, 14)

備考3. f_{MCK}: シリアル・アレイ・ユニットの動作クロック周波数

(SMR_{mn}レジスタのCKS_{mn}ビットで設定する動作クロック。m: ユニット番号 (m = 0, 1), n: チャネル番号 (n = 0-3),
mn = 00-03, 10-13)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V		fMCK/6注1		fMCK/6注1		bps
			最大転送レート理論値 fMCK = fCLK注4	5.3		1.3		0.6	Mbps
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V		fMCK/6注1		fMCK/6注1		bps
			最大転送レート理論値 fMCK = fCLK注4	5.3		1.3		0.6	Mbps
			1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V		fMCK/6 注1, 2, 3		fMCK/6注1, 2		bps
			最大転送レート理論値 fMCK = fCLK注4	5.3		1.3		0.6	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 ≥ Vbで使用してください。

注3. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V: MAX. 2.6 Mbps

1.8 V ≤ EVDD0 < 2.4 V: MAX. 1.3 Mbps

注4. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

LS (低速メイン)モード: 8 MHz (1.8 V ≤ VDD ≤ 5.5 V)

LV (低電圧メイン)モード: 4 MHz (1.6 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-3), g: PIM, POM番号(g = 0, 1, 5, 14)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00-03, 10-13))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき、UART2の異電位通信は使用できません。

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
転送レート		送信	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V		注1		注1		注1	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 1.4 kΩ, V _b = 2.7 V		2.8注2		2.8注2		2.8注2	Mbps
			2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V		注3		注3		注3	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 2.7 kΩ, V _b = 2.3 V		1.2注4		1.2注4		1.2注4	Mbps
			1.8 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V		注5, 6		注5, 6		注5, 6	bps
			最大転送レート理論値 C _b = 50 pF, R _b = 5.5 kΩ, V _b = 1.6 V		0.43注7		0.43注7		0.43注7	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. EVDD0 ≥ Vbで使用してください。

注6. $f_{MCK}/6$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

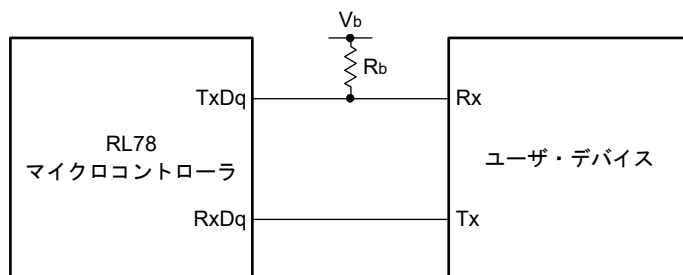
※この値は送信側と受信側の相対差の理論値となります。

注7. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注6により算出してください。

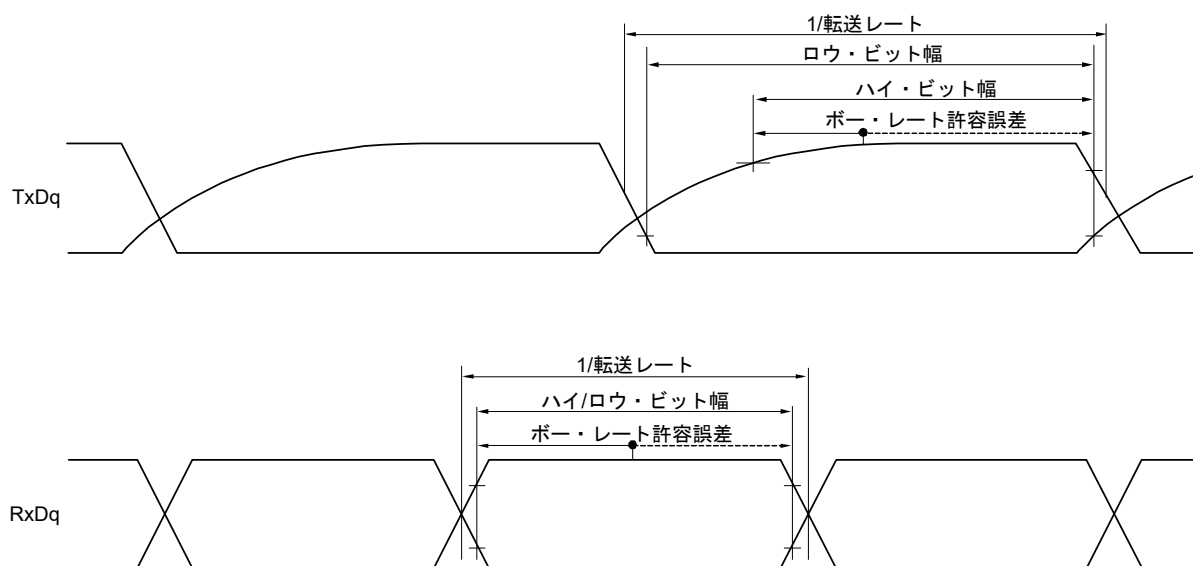
注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モード)を選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q: UART番号($q = 0-3$), g: PIM, POM番号($g = 0, 1, 5, 14$)

備考3. f_{MCK} : シリアル・アレィ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10-13))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき, UART2の異電位通信は使用できません。

(7) 異電位(2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力, CSI00のみ)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	tkCY1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	200		1150		1150		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	300		1150		1150		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 - 120		tkCY1/2 - 120		tkCY1/2 - 120		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	tkCY1/2 - 7		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	tkCY1/2 - 10		tkCY1/2 - 50		tkCY1/2 - 50		ns
Slp セットアップ時間 (対 SCKp ↑) 注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	58		479		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	121		479		479		ns
Slp ホールド時間 (対 SCKp ↑) 注1	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↓ → SOp 出力遅延時間注1	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		60		60		60	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		130		130		130	ns

(注, 注意, 備考は次ページにあります。)

(7) 異電位(2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力, CSI00のみ)

(TA = -40 ~ +85 °C, 2.7 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓)注2	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	23		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	33		110		110		ns
Slpホールド時間 (対SCKp ↓)注2	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ	10		10		10		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ	10		10		10		ns
SCKp ↑ → SOp出力遅延時間注2	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 20 pF, Rb = 1.4 kΩ		10		10		10	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 20 pF, Rb = 2.7 kΩ		10		10		10	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

備考1. Rb [Ω]: 通信ライン(SCKp, SOp)プルアップ抵抗値, Cb [F]: 通信ライン(SCKp, SOp)負荷容量値, Vb [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00), m: ユニット番号(m = 0), n: チャネル番号(n = 0), g: PIM, POM番号(g = 3, 5)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00))

備考4. この値は, CSI00の周辺I/Oリダイレクト機能未使用時のみ対応します。

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/3)

項目	略号	条件		HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCKp サイクル・ タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		300		1150		1150		ns
				500		1150		1150		ns
				1150		1150		1150		ns
SCKp ハイ・ レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tkCY1/2 - 75		tkCY1/2 - 75		tkCY1/2 - 75		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tkCY1/2 - 170		tkCY1/2 - 170		tkCY1/2 - 170		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ		tkCY1/2 - 458		tkCY1/2 - 458		tkCY1/2 - 458		ns
SCKp ロウ・ レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		tkCY1/2 - 12		tkCY1/2 - 50		tkCY1/2 - 50		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		tkCY1/2 - 18		tkCY1/2 - 50		tkCY1/2 - 50		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注, Cb = 30 pF, Rb = 5.5 kΩ		tkCY1/2 - 50		tkCY1/2 - 50		tkCY1/2 - 50		ns

注 EVDD0 ≥ Vb で使用してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子はTTL入力バッファを選択し, SOp 端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合))モードを選択します。なお VIH, VIL は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↑)注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	81		479		479		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	177		479		479		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	479		479		479		ns
Slpホールド時間 (対SCKp ↑)注1	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↓ → SOp出力遅延 時間注1	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		100		100		100	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		195		195		195	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ		483		483		483	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注2. EVDD0 ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(8) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/3)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
Slpセットアップ時間 (対SCKp ↓)注1	tSIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	44		110		110		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	44		110		110		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	110		110		110		ns
Slpホールド時間 (対SCKp ↓)注1	tKSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	19		19		19		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	19		19		19		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ	19		19		19		ns
SCKp ↑ → SOp出力遅延 時間注1	tKSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		25		25		25	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		25		25		25	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V注2, Cb = 30 pF, Rb = 5.5 kΩ		25		25		25	ns

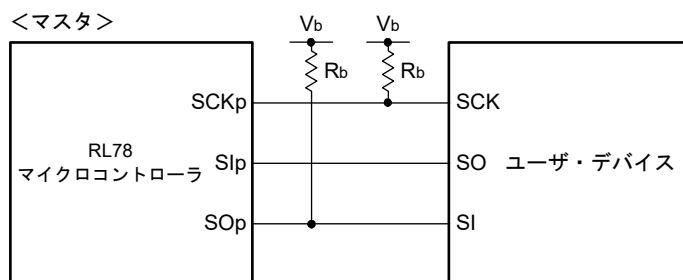
注1. DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき。

注2. EVDD0 ≥ Vbで使用してください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI番号 (p = 00, 01, 10, 20, 30, 31), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),

g : PIM, POM番号 (g = 0, 1, 3-5, 14)

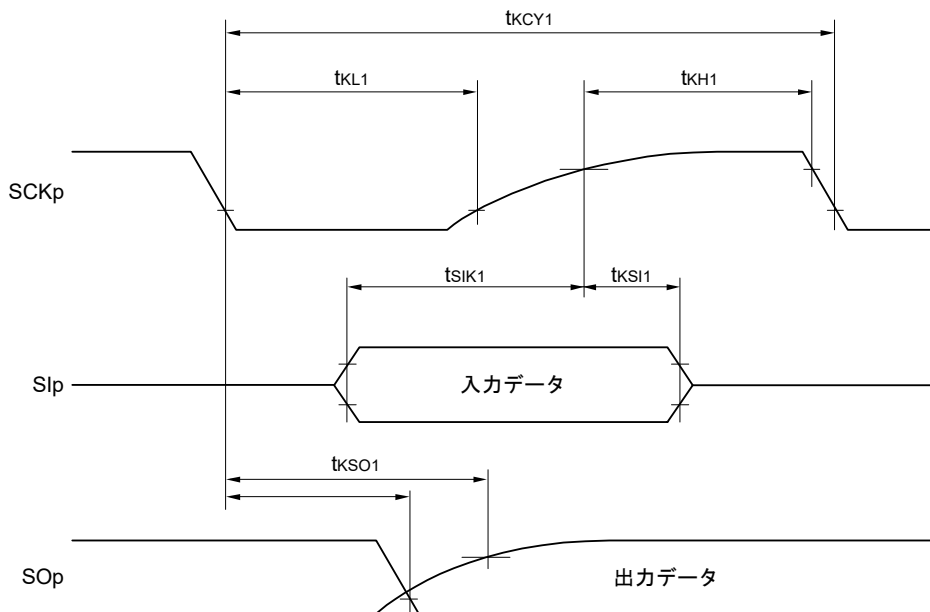
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

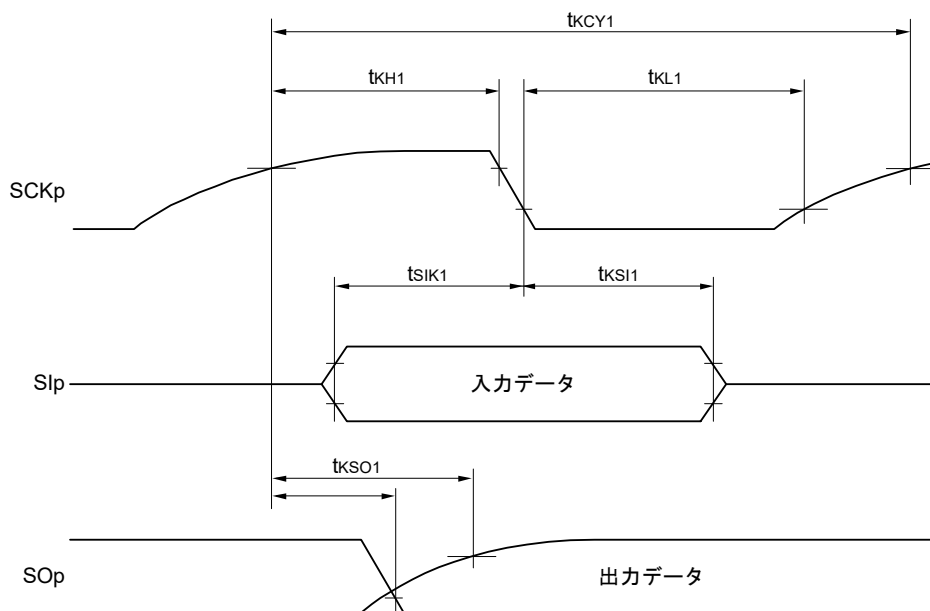
n : チャネル番号 (mn = 00))

備考4. CSI11, CSI21 と、48, 52, 64 ピン製品の CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20, 30, 31), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(9) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

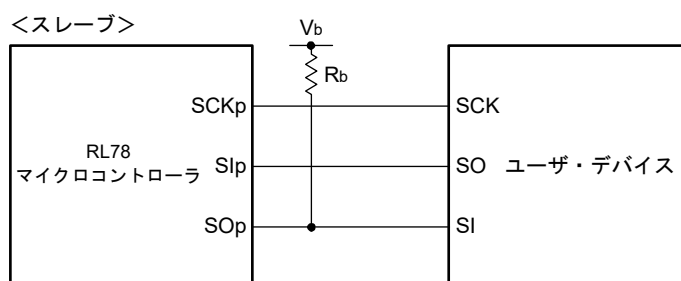
項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位	
				モード		モード		モード			
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.		
SCKp サイクル・ タイム ^{注1}	tkCY2	4.0 V ≦ EVDD0 ≦ 5.5 V, 2.7 V ≦ Vb ≦ 4.0 V	24 MHz < fMCK	14/fMCK		—		—		ns	
			20 MHz < fMCK ≦ 24 MHz	12/fMCK		—		—		ns	
			8 MHz < fMCK ≦ 20 MHz	10/fMCK		—		—		ns	
			4 MHz < fMCK ≦ 8 MHz	8/fMCK		16/fMCK		—		ns	
			fMCK ≦ 4 MHz	6/fMCK		10/fMCK		10/fMCK		ns	
		2.7 V ≦ EVDD0 < 4.0 V, 2.3 V ≦ Vb ≦ 2.7 V	24 MHz < fMCK	20/fMCK		—		—		ns	
			20 MHz < fMCK ≦ 24 MHz	16/fMCK		—		—		ns	
			16 MHz < fMCK ≦ 20 MHz	14/fMCK		—		—		ns	
			8 MHz < fMCK ≦ 16 MHz	12/fMCK		—		—		ns	
			4 MHz < fMCK ≦ 8 MHz	8/fMCK		16/fMCK		—		ns	
		fMCK ≦ 4 MHz	6/fMCK		10/fMCK		10/fMCK		ns		
			1.8 V ≦ EVDD0 < 3.3 V, 1.6 V ≦ Vb ≦ 2.0 V ^{注2}	24 MHz < fMCK	48/fMCK		—		—		ns
				20 MHz < fMCK ≦ 24 MHz	36/fMCK		—		—		ns
				16 MHz < fMCK ≦ 20 MHz	32/fMCK		—		—		ns
				8 MHz < fMCK ≦ 16 MHz	26/fMCK		—		—		ns
		4 MHz < fMCK ≦ 8 MHz		16/fMCK		16/fMCK		—		ns	
		fMCK ≦ 4 MHz	10/fMCK		10/fMCK		10/fMCK		ns		
SCKp ハイ, ロウ・ レベル幅	tkH2, tkL2	4.0 V ≦ EVDD0 ≦ 5.5 V, 2.7 V ≦ Vb ≦ 4.0 V		tkCY2/2 - 12		tkCY2/2 - 50		tkCY2/2 - 50		ns	
		2.7 V ≦ EVDD0 < 4.0 V, 2.3 V ≦ Vb ≦ 2.7 V		tkCY2/2 - 18		tkCY2/2 - 50		tkCY2/2 - 50		ns	
		1.8 V ≦ EVDD0 < 3.3 V, 1.6 V ≦ Vb ≦ 2.0 V ^{注2}		tkCY2/2 - 50		tkCY2/2 - 50		tkCY2/2 - 50		ns	
Slp セットアップ 時間 (対 SCKp ↑) ^{注3}	tSIK2	4.0 V ≦ EVDD0 ≦ 5.5 V, 2.7 V ≦ Vb ≦ 4.0 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns	
		2.7 V ≦ EVDD0 < 4.0 V, 2.3 V ≦ Vb ≦ 2.7 V		1/fMCK + 20		1/fMCK + 30		1/fMCK + 30		ns	
		1.8 V ≦ EVDD0 < 3.3 V, 1.6 V ≦ Vb ≦ 2.0 V ^{注2}		1/fMCK + 30		1/fMCK + 30		1/fMCK + 30		ns	
Slp ホールド [*] 時間 (対 SCKp ↑) ^{注3}	tkSI2			1/fMCK + 31		1/fMCK + 31		1/fMCK + 31		ns	
SCKp ↓ → SOp 出力遅延時間 ^{注4}	tkSO2	4.0 V ≦ EVDD0 ≦ 5.5 V, 2.7 V ≦ Vb ≦ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ			2/fMCK + 120		2/fMCK + 573		2/fMCK + 573	ns	
		2.7 V ≦ EVDD0 < 4.0 V, 2.3 V ≦ Vb ≦ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ			2/fMCK + 214		2/fMCK + 573		2/fMCK + 573	ns	
		1.8 V ≦ EVDD0 < 3.3 V, 1.6 V ≦ Vb ≦ 2.0 V ^{注2} , Cb = 30 pF, Rv = 5.5 kΩ			2/fMCK + 573		2/fMCK + 573		2/fMCK + 573	ns	

(注, 注意, 備考は次ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. $EV_{DD0} \geq V_b$ で使用してください。
- 注3. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対SCKp ↓”となります。
- 注4. $DAPmn = 0, CKPmn = 0$ または $DAPmn = 1, CKPmn = 1$ のとき。 $DAPmn = 0, CKPmn = 1$ または $DAPmn = 1, CKPmn = 0$ のときは“対SCKp ↑”となります。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子は N-ch オープン・ドレイン出力 (V_{DD} 耐圧 (30 ~ 52 ピン製品の場合) / EV_{DD} 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI (CSI) モード接続図 (異電位通信時)



備考1. R_b [Ω]: 通信ライン (SOp) プルアップ抵抗値, C_b [F]: 通信ライン (SOp) 負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI 番号 (p = 00, 01, 10, 20, 30, 31), m: ユニット番号 (m = 0, 1), n: チャンネル番号 (n = 0-3),

g: PIM, POM 番号 (g = 0, 1, 3-5, 14)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

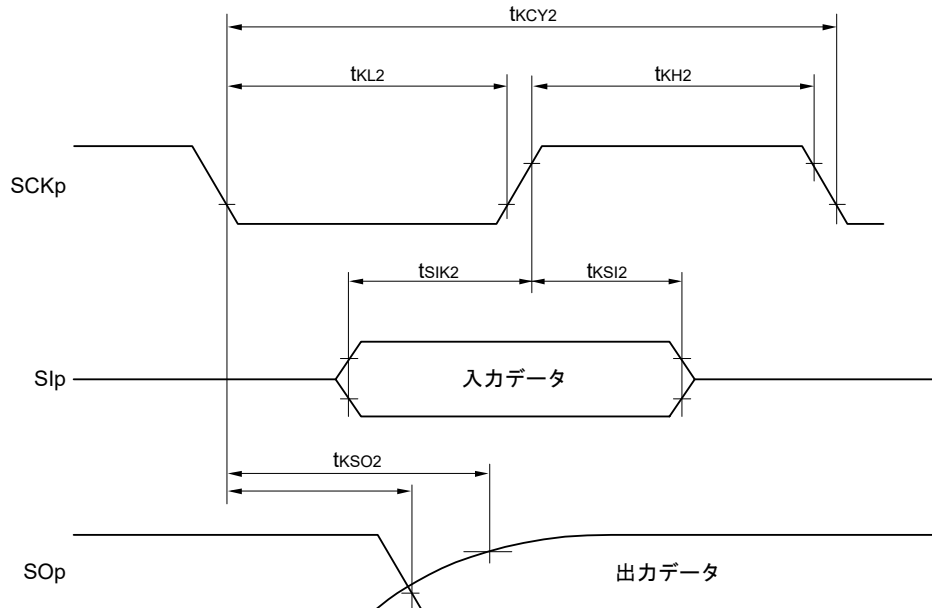
(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号 (mn = 00, 01, 02, 10, 12, 13))

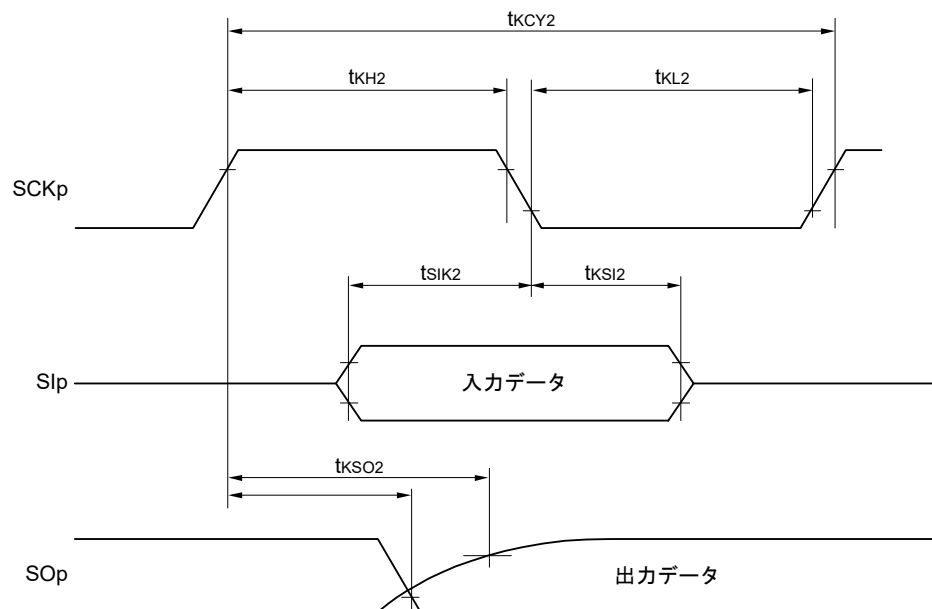
備考4. CSI11, CSI21 と、48, 52, 64 ピン製品 CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20, 30, 31), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21と、48, 52, 64ピン製品CSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(10) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ		1000 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ		400 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ		300 ^{注1}		300 ^{注1}		300 ^{注1}	kHz
SCLr = "L" のホールド・ タイム	t _{LOW}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	475		1550		1550		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1150		1550		1550		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1150		1550		1550		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	1550		1550		1550		ns
SCLr = "H" のホールド・ タイム	t _{HIGH}	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	245		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	200		610		610		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	675		610		610		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	600		610		610		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V ^{注2} , Cb = 100 pF, Rb = 5.5 kΩ	610		610		610		ns

(10)異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		LS (低速メイン) モード		LV (低電圧メイン) モード		単位
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ 時間(受信時)	tsu: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	1/fMCK + 135 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 100 pF, Rb = 5.5 kΩ	1/fMCK + 190 注3		1/fMCK + 190 注3		1/fMCK + 190 注3		ns
データ・ホールド 時間(送信時)	tHD: DAT	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 50 pF, Rb = 2.7 kΩ	0	305	0	305	0	305	ns
		4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 100 pF, Rb = 2.8 kΩ	0	355	0	355	0	355	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 100 pF, Rb = 2.7 kΩ	0	355	0	355	0	355	ns
		1.8 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V 注2, Cb = 100 pF, Rb = 5.5 kΩ	0	405	0	405	0	405	ns

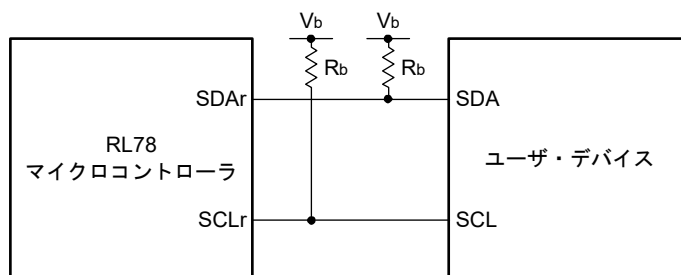
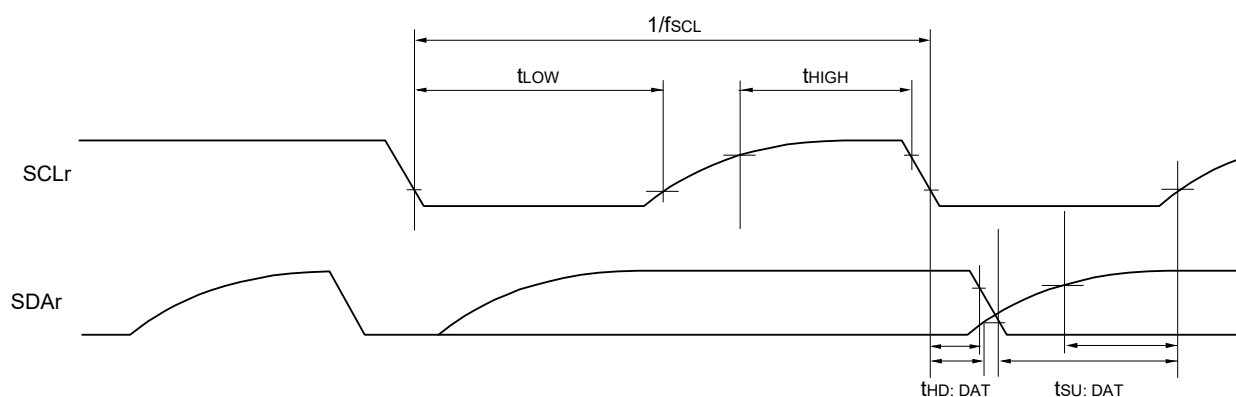
注1. かつfMCK/4以下に設定してください。

注2. EVDD0 ≥ Vbで使用してください。

注3. fMCK値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択し、SCLrはN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択します。なおVIH、VILは、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易 I²C モード 接続図 (異電位通信時)簡易 I²C モード・シリアル転送タイミング (異電位通信時)

備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V]: 通信ライン電圧

備考2. r : IIC番号 ($r = 00, 01, 10, 11, 20, 30, 31$), g : PIM, POM番号 ($g = 0, 1, 3-5, 14$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), $mn = 00, 01, 02, 10, 12, 13$)

34.5.2 シリアル・インタフェース IICA

(1) I²C 標準モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	標準モード : fCLK ≥ 1 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.8 V ≤ EVDD0 ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.7 V ≤ EVDD0 ≤ 5.5 V	0	100	0	100	0	100	kHz
			1.6 V ≤ EVDD0 ≤ 5.5 V	—		0	100	0	100	kHz
リスタート・コンディション のセットアップ時間	tSU: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		4.7		4.7		4.7		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		4.7		4.7		4.7		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V		4.7		4.7		4.7		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		4.7		4.7		μs
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		4.0		4.0		4.0		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		4.0		4.0		4.0		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V		4.0		4.0		4.0		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		4.0		4.0		μs
SCLA0 = “L” のホールド・ タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V		4.7		4.7		4.7		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		4.7		4.7		4.7		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V		4.7		4.7		4.7		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		4.7		4.7		μs
SCLA0 = “H” のホールド・ タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V		4.0		4.0		4.0		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		4.0		4.0		4.0		μs
		1.7 V ≤ EVDD0 ≤ 5.5 V		4.0		4.0		4.0		μs
		1.6 V ≤ EVDD0 ≤ 5.5 V		—		4.0		4.0		μs

(注, 注意, 備考は次ページにあります。)

(1) I²C 標準モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
			モード		モード		モード		
			MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
データ・セットアップ時間 (受信時)	tsu: DAT	2.7 V ≦ EVDD0 ≦ 5.5 V	250		250		250		ns
		1.8 V ≦ EVDD0 ≦ 5.5 V	250		250		250		ns
		1.7 V ≦ EVDD0 ≦ 5.5 V	250		250		250		ns
		1.6 V ≦ EVDD0 ≦ 5.5 V	—		250		250		ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≦ EVDD0 ≦ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.8 V ≦ EVDD0 ≦ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.7 V ≦ EVDD0 ≦ 5.5 V	0	3.45	0	3.45	0	3.45	μs
		1.6 V ≦ EVDD0 ≦ 5.5 V	—		0	3.45	0	3.45	μs
ストップ・コンディションの セットアップ時間	tsu: STO	2.7 V ≦ EVDD0 ≦ 5.5 V	4.0		4.0		4.0		μs
		1.8 V ≦ EVDD0 ≦ 5.5 V	4.0		4.0		4.0		μs
		1.7 V ≦ EVDD0 ≦ 5.5 V	4.0		4.0		4.0		μs
		1.6 V ≦ EVDD0 ≦ 5.5 V	—		4.0		4.0		μs
バス・フリー時間	tBUF	2.7 V ≦ EVDD0 ≦ 5.5 V	4.7		4.7		4.7		μs
		1.8 V ≦ EVDD0 ≦ 5.5 V	4.7		4.7		4.7		μs
		1.7 V ≦ EVDD0 ≦ 5.5 V	4.7		4.7		4.7		μs
		1.6 V ≦ EVDD0 ≦ 5.5 V	—		4.7		4.7		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DAT の最大値 (MAX.) は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチが発生します。

注意 周辺 I/O リダイレクション・レジスタ 0 (PIOR0) のビット 2 (PIOR02) が 1 の場合も, 上記の値を適用できます。

ただし, 端子特性 (IOH1, IOL1, VOH1, VOL1) はリダイレクト先の値を満たしてください。

備考 各モードにおける C_b (通信ライン容量) の MAX. 値と, そのときの R_b (通信ライン・プルアップ抵抗値) の値は次のとおりです。標準モード : C_b = 400 pF, R_b = 2.7 kΩ

(2) I²Cファースト・モード

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≥ 3.5 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
			1.8 V ≤ EVDD0 ≤ 5.5 V	0	400	0	400	0	400	kHz
リスタート・コンディショ ンのセットアップ時間	tsu: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
SCLA0 = “L”のホールド・ タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
SCLA0 = “H”のホールド・ タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
データ・セットアップ時間 (受信時)	tsu: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
		1.8 V ≤ EVDD0 ≤ 5.5 V		100		100		100		ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0	0.9	0	0.9	0	0.9	μs
ストップ・コンディショ ンのセットアップ時間	tsu: STO	2.7 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		0.6		0.6		0.6		μs
バス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs
		1.8 V ≤ EVDD0 ≤ 5.5 V		1.3		1.3		1.3		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK(アクノリッジ)タイミングでは, クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も, 上記の値を適用できます。

ただし, 端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。備考 各モードにおけるC_b (通信ライン容量)のMAX.値と, そのときのR_b (通信ライン・プルアップ抵抗値)の値は次のとおりです。ファースト・モード : C_b = 320 pF, R_b = 1.1 kΩ

(3) I²C ファースト・モード・プラス

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		HS (高速メイン)		LS (低速メイン)		LV (低電圧メイン)		単位
				モード		モード		モード		
				MIN.	MAX.	MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード・プラス : fCLK ≥ 10 MHz	2.7 V ≤ EVDD0 ≤ 5.5 V	0	1000	—		—		kHz
リスタート・コンディショ ンのセットアップ時間	tSU: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
ホールド時間注1	tHD: STA	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
SCLA0 = “L”のホールド・ タイム	tLOW	2.7 V ≤ EVDD0 ≤ 5.5 V		0.5		—		—		μs
SCLA0 = “H”のホールド・ タイム	tHIGH	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
データ・セットアップ時間 (受信時)	tSU: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		50		—		—		ns
データ・ホールド時間 (送信時)注2	tHD: DAT	2.7 V ≤ EVDD0 ≤ 5.5 V		0	0.45	—		—		μs
ストップ・コンディショ ンのセットアップ時間	tSU: STO	2.7 V ≤ EVDD0 ≤ 5.5 V		0.26		—		—		μs
バス・フリー時間	tBUF	2.7 V ≤ EVDD0 ≤ 5.5 V		0.5		—		—		μs

注1. スタート・コンディション, リスタート・コンディション時は, この期間のあと最初のクロック・パルスが生成されます。

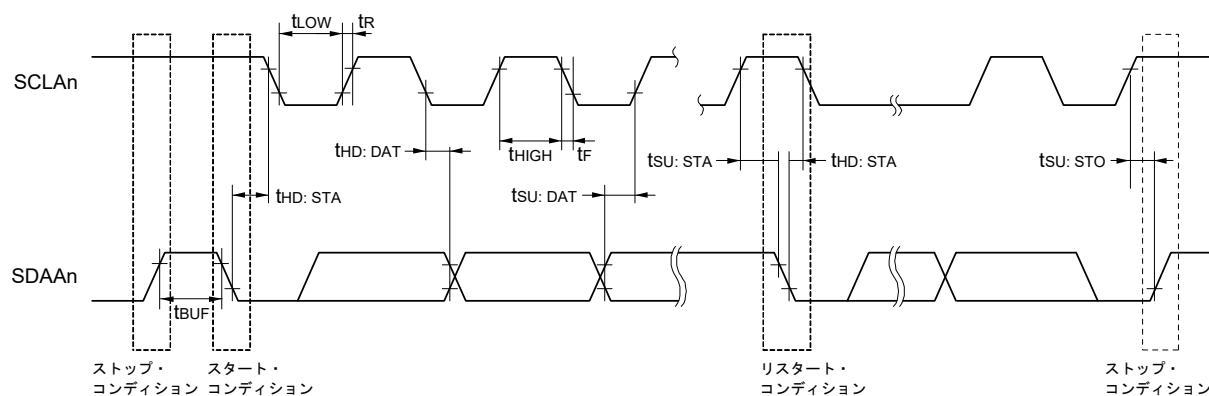
注2. tHD: DATの最大値(MAX.)は, 通常転送時の数値であり, ACK (アクノリッジ)タイミングでは, クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット2 (PIOR02)が1の場合も, 上記の値を適用できます。

ただし, 端子特性(IoH1, IoL1, VoH1, VoL1)はリダイレクト先の値を満たしてください。

備考 各モードにおけるCb (通信ライン容量)のMAX.値と, そのときのRb (通信ライン・プルアップ抵抗値)の値は次のとおりです。

ファースト・モード・プラス : Cb = 120 pF, Rb = 1.1 kΩ

I²C シリアル転送タイミング

備考 n = 0, 1

34.6 アナログ特性

34.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル \ 基準電圧	基準電圧 (+) = AVREFP 基準電圧 (-) = AVREFM	基準電圧 (+) = VDD 基準電圧 (-) = VSS	基準電圧 (+) = VBGR 基準電圧 (-) = AVREFM
ANI0-ANI14	34.6.1 (1)参照	34.6.1 (3)参照	34.6.1 (4)参照
ANI16-ANI20	34.6.1 (2)参照		
内部基準電圧 温度センサ出力電圧	34.6.1 (1)参照		—

(1) 基準電圧 (+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧 (-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85 °C, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, 基準電圧 (+) = AVREFP, 基準電圧 (-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V	1.2	±3.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}	1.2	±7.0	LSB
変換時間	tCONV	10ビット分解能 変換対象 : ANI2-ANI14	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
			1.8 V ≤ VDD ≤ 5.5 V	17	39	μs
			1.6 V ≤ VDD ≤ 5.5 V	57	95	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	3.6 V ≤ VDD ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.5625	39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17	39	μs
ゼロスケール誤差 ^{注1,2}	EzS	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±0.50	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±0.50	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±2.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±5.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AVREFP = VDD ^{注3}	1.8 V ≤ AVREFP ≤ 5.5 V		±1.5	LSB
			1.6 V ≤ AVREFP ≤ 5.5 V ^{注4}		±2.0	LSB
アナログ入力電圧	VAIN	ANI2-ANI14	0		AVREFP	V
		内部基準電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン) モード)		VBGR ^{注5}		V
		温度センサ出力電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン) モード)		VTMP25 ^{注5}		V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. AVREFP < VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 : AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 : AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

注5. 34.6.2 温度センサ／内部基準電圧特性を参照してください。

(2) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI16-ANI20

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, 1.6 V ≤ AVREFP ≤ VDD ≤ 5.5 V,

VSS = EVSS0 = EVSS1 = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V		1.2	±5.0	LSB
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}		1.2	±8.5	LSB
変換時間	tCONV	10ビット分解能	3.6 V ≤ VDD ≤ 5.5 V	2.125		39	μs
		変換対象 : ANI16-ANI20	2.7 V ≤ VDD ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ VDD ≤ 5.5 V	17		39	μs
			1.6 V ≤ VDD ≤ 5.5 V	57		95	μs
ゼロスケール誤差 ^{注1, 2}	Ezs	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±0.60	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±0.35	%FSR
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±3.5	LSB
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±6.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	1.8 V ≤ AVREFP ≤ 5.5 V			±2.0	LSB
		EVDD0 ≤ AVREFP = VDD ^{注3, 4}	1.6 V ≤ AVREFP ≤ 5.5 V ^{注5}			±2.5	LSB
アナログ入力電圧	VAIN	ANI16-ANI20		0		AVREFP かつ EVDD0	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. EVDD0 ≤ AVREFP < VDDの場合、MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 : AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 : AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. AVREFP < EVDD0 ≤ VDDの場合、MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±4.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 : AVREFP = VDDのMAX.値に±0.20 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 : AVREFP = VDDのMAX.値に±2.0 LSBを加算してください。

注5. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

(3) 基準電圧(+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = V_{SS} (ADREFM = 0)選択時,

変換対象 : ANI0-ANI14, ANI16-ANI20, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +85 °C, 1.6 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V, 基準電圧(+) = V_{DD}, 基準電圧(-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V		1.2	±7.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}		1.2	±10.5	LSB
変換時間	t _{CONV}	10ビット分解能 変換対象 : ANI0-ANI14, ANI16-ANI20	3.6 V ≤ V _{DD} ≤ 5.5 V	2.125		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.1875		39	μs
			1.8 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
			1.6 V ≤ V _{DD} ≤ 5.5 V	57		95	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	3.6 V ≤ V _{DD} ≤ 5.5 V	2.375		39	μs
			2.7 V ≤ V _{DD} ≤ 5.5 V	3.5625		39	μs
			2.4 V ≤ V _{DD} ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1, 2}	E _{ZS}	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±0.85	%FSR
フルスケール誤差 ^{注1, 2}	E _{FS}	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±0.60	%FSR
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±0.85	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±4.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±6.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	1.8 V ≤ V _{DD} ≤ 5.5 V			±2.0	LSB
			1.6 V ≤ V _{DD} ≤ 5.5 V ^{注3}			±2.5	LSB
アナログ入力電圧	V _{AIN}	ANI0-ANI14		0		V _{DD}	V
		ANI16-ANI20		0		EV _{DD0}	V
		内部基準電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{BGR} ^{注4}			V
		温度センサ出力電圧(2.4 V ≤ V _{DD} ≤ 5.5 V, HS (高速メイン) モード)		V _{TMPS25} ^{注4}			V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 変換時間をMIN. 57 μs, MAX. 95 μsに設定した場合の値です。

注4. 34.6.2 温度センサ／内部基準電圧特性を参照してください。

- (4) 基準電圧(+) = 内部基準電圧(ADREFP1 = 1, ADREFP0 = 0), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI0, ANI2-ANI14, ANI16-ANI20

(TA = -40 ~ +85 °C, 2.4 V ≤ VDD ≤ 5.5 V, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD, VSS = EVSS0 = EVSS1 = 0 V,

基準電圧(+) = VBGR^{注3}, 基準電圧(-) = AVREFM^{注4} = 0 V, HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V	17		39	μs
ゼロスケール誤差 ^{注1, 2}	EzS	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±0.60	%FSR
積分直線性誤差 ^{注1}	ILE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±2.0	LSB
微分直線性誤差 ^{注1}	DLE	8ビット分解能	2.4 V ≤ VDD ≤ 5.5 V			±1.0	LSB
アナログ入力電圧	VAIN			0		VBGR ^{注3}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 34.6.2 温度センサ／内部基準電圧特性を参照してください。

注4. 基準電圧(-) = VSSの場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.35 %FSRを加算してください。

積分直線性誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.5 LSBを加算してください。

微分直線性誤差 : 基準電圧(-) = AVREFM時のMAX.値に±0.2 LSBを加算してください。

34.6.2 温度センサ／内部基準電圧特性

(TA = -40 ~ +85 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V, HS (高速メイン) モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	VTMPS25	ADS レジスタ = 80H 設定, TA = +25 °C		1.05		V
内部基準電圧	VBGR	ADS レジスタ = 81H 設定	1.38	1.45	1.5	V
温度係数	FVTMPS	温度センサ電圧の温度依存		-3.6		mV/°C
動作安定待ち時間	tAMP		5			μs

34.6.3 D/Aコンバータ

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
		Rload = 8 MΩ	1.8 V ≤ VDD ≤ 5.5 V		±2.5	LSB
セトリング・タイム	tSET	Cload = 20pF	2.7 V ≤ VDD ≤ 5.5 V		3	μs
			1.6 V ≤ VDD < 2.7 V		6	μs

34.6.4 コンパレータ

(TA = -40 ~ +85 °C, 1.6 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	lvref		0		EVDD0 - 1.4	V
	lvcmp		-0.3		EVDD0 + 0.3	V
出力遅延	td	VDD = 3.0 V 入カスルーレート > 50 mV/μs			1.2	μs
		コンパレータ高速モード, 基本モード			2.0	μs
		コンパレータ高速モード, ウィンドウモード		3.0	5.0	μs
高電位側 リファレンス電圧	VTW+	コンパレータ高速モード, ウィンドウモード		0.76 VDD		V
低電位側 リファレンス電圧	VTW-	コンパレータ高速モード, ウィンドウモード		0.24 VDD		V
動作安定待ち時間	tCMP		100			μs
内部基準電圧 注	VBGR	2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン)モード	1.38	1.45	1.50	V

注 LS (低速メイン)モード, LV (低電圧メイン)モード, サブ・クロック動作, STOPモード時は使用できません。

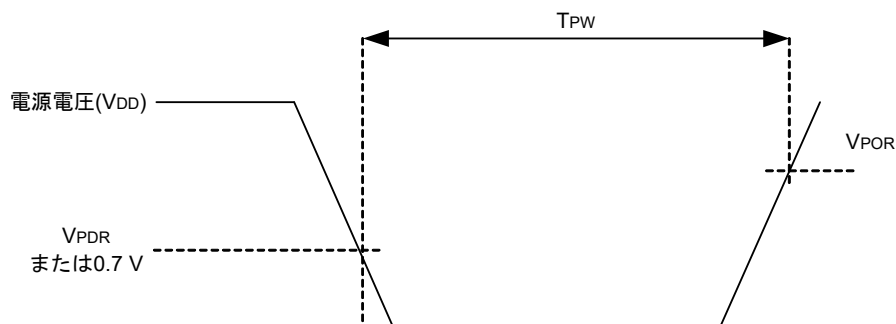
34.6.5 POR回路特性

(TA = -40 ~ +85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.47	1.51	1.55	V
	VPDR	電源立ち下がり時 ^{注1}	1.46	1.50	1.54	V
最小パルス幅 ^{注2}	TPW		300			μs

注1. ただし, LVD オフの条件で動作電圧降下時は, 34.4 AC 特性に示す動作電圧範囲を下回る前に, STOP モードに移行, または電圧検出機能が外部リセット端子で, リセット状態にしてください。

注2. VDD が VPDR を下回った場合に, POR によるリセット動作に必要な時間です。また STOP モード時および, クロック動作ステータス制御レジスタ (CSC) のビット 0 (HIOSTOP) とビット 7 (MSTOP) の設定によりメイン・システム・クロック (fMAIN) を停止時は, VDD が 0.7 V を下回ってから, VPOR を上回るまでの POR によるリセット動作に必要な時間です。



34.6.6 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.98	4.06	4.14	V
			電源立ち下がり時	3.90	3.98	4.06	V
		VLVD1	電源立ち上がり時	3.68	3.75	3.82	V
			電源立ち下がり時	3.60	3.67	3.74	V
		VLVD2	電源立ち上がり時	3.07	3.13	3.19	V
			電源立ち下がり時	3.00	3.06	3.12	V
		VLVD3	電源立ち上がり時	2.96	3.02	3.08	V
			電源立ち下がり時	2.90	2.96	3.02	V
		VLVD4	電源立ち上がり時	2.86	2.92	2.97	V
			電源立ち下がり時	2.80	2.86	2.91	V
		VLVD5	電源立ち上がり時	2.76	2.81	2.87	V
			電源立ち下がり時	2.70	2.75	2.81	V
		VLVD6	電源立ち上がり時	2.66	2.71	2.76	V
			電源立ち下がり時	2.60	2.65	2.70	V
		VLVD7	電源立ち上がり時	2.56	2.61	2.66	V
			電源立ち下がり時	2.50	2.55	2.60	V
		VLVD8	電源立ち上がり時	2.45	2.50	2.55	V
			電源立ち下がり時	2.40	2.45	2.50	V
		VLVD9	電源立ち上がり時	2.05	2.09	2.13	V
			電源立ち下がり時	2.00	2.04	2.08	V
		VLVD10	電源立ち上がり時	1.94	1.98	2.02	V
			電源立ち下がり時	1.90	1.94	1.98	V
		VLVD11	電源立ち上がり時	1.84	1.88	1.91	V
			電源立ち下がり時	1.80	1.84	1.87	V
		VLVD12	電源立ち上がり時	1.74	1.77	1.81	V
			電源立ち下がり時	1.70	1.73	1.77	V
		VLVD13	電源立ち上がり時	1.64	1.67	1.70	V
			電源立ち下がり時	1.60	1.63	1.66	V
最小パルス幅		tlw		300			μs
検出遅延						300	μs

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +85 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み& リセット・モード	VLVDA0	VPOC2, VPOC1, VPOC0 = 0, 0, 0, 立ち下がリリセット電圧		1.60	1.63	1.66	V
	VLVDA1	LVIS1, LVIS0 = 1, 0	立ち上がリリセット解除電圧	1.74	1.77	1.81	V
			立ち下がリ割り込み電圧	1.70	1.73	1.77	V
	VLVDA2	LVIS1, LVIS0 = 0, 1	立ち上がリリセット解除電圧	1.84	1.88	1.91	V
			立ち下がリ割り込み電圧	1.80	1.84	1.87	V
	VLVDA3	LVIS1, LVIS0 = 0, 0	立ち上がリリセット解除電圧	2.86	2.92	2.97	V
			立ち下がリ割り込み電圧	2.80	2.86	2.91	V
	VLVDB0	VPOC2, VPOC1, VPOC0 = 0, 0, 1, 立ち下がリリセット電圧		1.80	1.84	1.87	V
	VLVDB1	LVIS1, LVIS0 = 1, 0	立ち上がリリセット解除電圧	1.94	1.98	2.02	V
			立ち下がリ割り込み電圧	1.90	1.94	1.98	V
	VLVDB2	LVIS1, LVIS0 = 0, 1	立ち上がリリセット解除電圧	2.05	2.09	2.13	V
			立ち下がリ割り込み電圧	2.00	2.04	2.08	V
	VLVDB3	LVIS1, LVIS0 = 0, 0	立ち上がリリセット解除電圧	3.07	3.13	3.19	V
			立ち下がリ割り込み電圧	3.00	3.06	3.12	V
	VLVDC0	VPOC2, VPOC1, VPOC0 = 0, 1, 0, 立ち下がリリセット電圧		2.40	2.45	2.50	V
	VLVDC1	LVIS1, LVIS0 = 1, 0	立ち上がリリセット解除電圧	2.56	2.61	2.66	V
			立ち下がリ割り込み電圧	2.50	2.55	2.60	V
	VLVDC2	LVIS1, LVIS0 = 0, 1	立ち上がリリセット解除電圧	2.66	2.71	2.76	V
			立ち下がリ割り込み電圧	2.60	2.65	2.70	V
	VLVDC3	LVIS1, LVIS0 = 0, 0	立ち上がリリセット解除電圧	3.68	3.75	3.82	V
			立ち下がリ割り込み電圧	3.60	3.67	3.74	V
	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がリリセット電圧		2.70	2.75	2.81	V
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がリリセット解除電圧	2.86	2.92	2.97	V
			立ち下がリ割り込み電圧	2.80	2.86	2.91	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がリリセット解除電圧	2.96	3.02	3.08	V
			立ち下がリ割り込み電圧	2.90	2.96	3.02	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がリリセット解除電圧	3.98	4.06	4.14	V
			立ち下がリ割り込み電圧	3.90	3.98	4.06	V

34.6.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +85 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

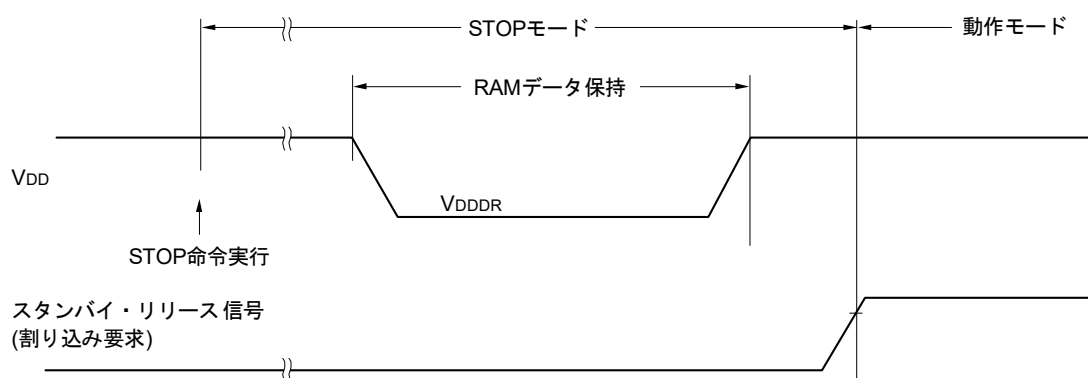
注意 VDDが34.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路が外部リセットで内部リセット状態を保ってください。

34.7 RAM データ 保持特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{SS} = 0\text{V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	VDDDR		1.46 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



34.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	1.8 V ≦ V _{DD} ≦ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数 ^{注1, 2, 3}	C _{erwr}	保持年数：20 年 T _A = 85 °C	1,000			回
データ・フラッシュの書き換え回数 ^{注1, 2, 3}		保持年数：1 年 T _A = 25 °C		1,000,000		
		保持年数：5 年 T _A = 85 °C	100,000			
		保持年数：20 年 T _A = 85 °C	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

34.9 専用フラッシュ・メモリ・プログラマ通信(UART)

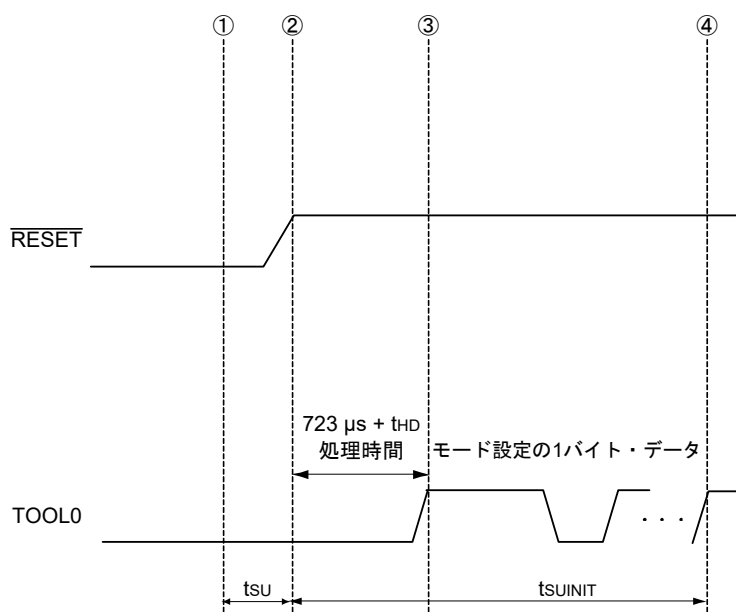
(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

(TA = -40 ~ +85 °C, 1.8 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVD リセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVDリセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第35章 電気的特性(G: 産業用途 $T_A = -40 \sim +105\text{ }^{\circ}\text{C}$)

この章では、以下の対象製品の電気的特性を示します。

対象製品 G: 産業用途 $T_A = -40 \sim 105\text{ }^{\circ}\text{C}$

R5F104xxGxx

- 注意1. RL78マイクロコントローラには開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を越えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。
- 注意2. EVDD0, EVDD1, EVSS0, EVSS1端子がない製品は、EVDD0とEVDD1をVDDに、EVSS0とEVSS1をVSSに置き換えてください。
- 注意3. 製品により搭載している端子が異なります。2.1 ポート機能～2.2.1 製品別の搭載機能を参照してください。
- 注意4. $T_A = +85\text{ }^{\circ}\text{C} \sim +105\text{ }^{\circ}\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、「信頼性を改善するために、計画的に負荷を定格値から軽減すること」です。

備考 $T_A = -40 \sim +85\text{ }^{\circ}\text{C}$ の範囲で使用する場合は第34章 電気的特性($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$)を参照してください。

“G: 産業用途(TA = -40 ~ +105 °C)”は、85 °Cを超えて使用する場合には、“A: 民生用途, D: 産業用途”と次に示す機能が異なります。

用途区分	A: 民生用途, D: 産業用途	G: 産業用途
動作周囲温度	TA = -40 ~ +85 °C	TA = -40 ~ +105 °C
動作モード 動作電圧範囲	HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$ $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$ LS (低速メイン)モード : $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 8\text{ MHz}$ LV (低電圧メイン)モード : $1.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 4\text{ MHz}$	HS (高速メイン)モードのみ : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$ $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
高速オンチップ・オシレータ・クロック精度	$1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$: $\pm 1.0\% @ TA = -20 \sim +85\text{ }^{\circ}\text{C}$ $\pm 1.5\% @ TA = -40 \sim -20\text{ }^{\circ}\text{C}$ $1.6\text{ V} \leq V_{DD} < 1.8\text{ V}$: $\pm 5.0\% @ TA = -20 \sim +85\text{ }^{\circ}\text{C}$ $\pm 5.5\% @ TA = -40 \sim -20\text{ }^{\circ}\text{C}$	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$: $\pm 2.0\% @ TA = +85 \sim +105\text{ }^{\circ}\text{C}$ $\pm 1.0\% @ TA = -20 \sim +85\text{ }^{\circ}\text{C}$ $\pm 1.5\% @ TA = -40 \sim -20\text{ }^{\circ}\text{C}$
シリアル・アレイ・ユニット	UART 簡易SPI (CSI): fCLK/2 (16Mbps 対応), fCLK/4 簡易I ² C	UART 簡易SPI (CSI): fCLK/4 簡易I ² C
IICA	標準モード ファースト・モード ファースト・モード・プラス	標準モード ファースト・モード
電圧検出回路	・立ち上がり: 1.67 V ~ 4.06 V (14段階) ・立ち下がり: 1.63 V ~ 3.98 V (14段階)	・立ち上がり: 2.61 V ~ 4.06 V (8段階) ・立ち下がり: 2.55 V ~ 3.98 V (8段階)

備考 G: 産業用途(TA = -40 ~ +105 °C)の電気的特性は、85 °Cを超えて使用する場合には、“A: 民生用途, D: 産業用途”と異なります。詳細は、このページ以降の35.1 ~ 35.10を参照してください。

35.1 絶対最大定格

絶対最大定格

(1/2)

項目	略号	条件	定格	単位
電源電圧	VDD		-0.5 ~ +6.5	V
	EVDD0, EVDD1	EVDD0 = EVDD1	-0.5 ~ +6.5	V
	EVSS0, EVSS1	EVSS0 = EVSS1	-0.5 ~ +0.3	V
REGC 端子入力電圧	VIREGC	REGC	-0.3 ~ +2.8 かつ -0.3 ~ VDD + 0.3 ^{注1}	V
入力電圧	Vi1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	Vi2	P60-P63 (N-chオープン・ドレイン)	-0.3 ~ +6.5	V
	Vi3	P20-P27, P121-P124, P137, P150-P156, EXCLK, EXCLKS, RESET	-0.3 ~ VDD + 0.3 ^{注2}	V
出力電圧	Vo1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ VDD + 0.3 ^{注2}	V
	Vo2	P20-P27, P150-P156	-0.3 ~ VDD + 0.3 ^{注2}	V
アナログ入力電圧	VAi1	ANI16-ANI20	-0.3 ~ EVDD0 + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V
	VAi2	ANI0-ANI14	-0.3 ~ VDD + 0.3 かつ -0.3 ~ AVREF(+) + 0.3 ^{注2, 3}	V

注1. REGC 端子にはコンデンサ (0.47 ~ 1 μF) を介して VSS に接続してください。この値は、REGC 端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注2. 6.5 V 以下であること。

注3. A/D 変換対象の端子は、AVREF(+) + 0.3 を越えないでください。

注意 各項目のうち 1 項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考1. 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

備考2. AVREF (+) : A/D コンバータの+側基準電圧

備考3. VSS を基準電圧とする。

絶対最大定格

(2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1 端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	-40	mA
		端子合計 -170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	-70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	-100	mA
	IOH2	1 端子	P20-P27, P150-P156	-0.5	mA
		端子合計		-2	mA
ロウ・レベル出力電流	IOL1	1 端子	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	40	mA
		端子合計 170 mA	P00-P04, P40-P47, P102, P120, P130, P140-P145	70	mA
			P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147	100	mA
	IOL2	1 端子	P20-P27, P150-P156	1	mA
		端子合計		5	mA
動作周囲温度	TA	通常動作時		-40 ～ +105	℃
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			-65 ～ +150	℃

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

35.2 発振回路特性

35.2.1 X1, XT1 特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	発振子	条件	MIN.	TYP.	MAX.	単位
X1クロック発振周波数(fx)注	セラミック発振子/水晶振動子	2.7 V ≤ VDD ≤ 5.5 V	1.0		20.0	MHz
		2.4 V ≤ VDD < 2.7 V	1.0		16.0	
XT1クロック発振周波数(fxT)注	水晶振動子		32	32.768	35	kHz

注 発振回路の周波数許容範囲のみを示すものです。命令実行時間は、AC特性を参照してください。
また、実装回路上での評価を発振子メーカーに依頼し、発振特性を確認してご使用ください。

注意 リセット解除後は、高速オンチップ・オシレータ・クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 X1, XT1発振回路を使用する場合は、5.4 システム・クロック発振回路を参照してください。

35.2.2 オンチップ・オシレータ特性

(TA = -40 ~ +105 °C, 2.4 V ≤ VDD ≤ 5.5 V, VSS = 0 V)

発振子	略号	条件	MIN.	TYP.	MAX.	単位
高速オンチップ・オシレータ・クロック周波数注1, 2	f _{IH}		1		32	MHz
高速オンチップ・オシレータ・クロック周波数精度		-20 ~ +85 °C 2.4 V ≤ VDD ≤ 5.5 V	-1.0		+1.0	%
		-40 ~ -20 °C 2.4 V ≤ VDD ≤ 5.5 V	-1.5		+1.5	%
		+85 ~ +105 °C 2.4 V ≤ VDD ≤ 5.5 V	-2.0		+2.0	%
低速オンチップ・オシレータ・クロック周波数	f _{IL}			15		kHz
低速オンチップ・オシレータ・クロック周波数精度			-15		+15	%

注1. 高速オンチップ・オシレータの周波数は、オプション・バイト(000C2H/010C2H)のビット0-4およびHOCODIVレジスタのビット0-2によって選択します。

注2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

35.3 DC 特性

35.3.1 端子特性

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電流 ^{注1}	IOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子	2.4 V ≤ EVDD0 ≤ 5.5 V		-3.0 ^{注2}	mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計	4.0 V ≤ EVDD0 ≤ 5.5 V		-30.0	mA
		(デューティ ≤ 70%時 ^{注3})	2.7 V ≤ EVDD0 < 4.0 V		-10.0	mA
			2.4 V ≤ EVDD0 < 2.7 V		-5.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P64-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計	4.0 V ≤ EVDD0 ≤ 5.5 V		-30.0	mA
		(デューティ ≤ 70%時 ^{注3})	2.7 V ≤ EVDD0 < 4.0 V		-19.0	mA
			2.4 V ≤ EVDD0 < 2.7 V		-10.0	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	2.4 V ≤ EVDD0 ≤ 5.5 V		-60.0	mA
	IOH2	P20-P27, P150-P156 1端子	2.4 V ≤ VDD ≤ 5.5 V		-0.1 ^{注2}	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	2.4 V ≤ VDD ≤ 5.5 V		-1.5	mA

注1. EVDD0, EVDD1, VDD 端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での出力電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OH} \times 0.7) / (n \times 0.01)$$

<計算例> IOH = -10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (-10.0 \times 0.7) / (80 \times 0.01) \approx -8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	IOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147 1端子			8.5 ^{注2}	mA
		P60-P63 1端子			15.0 ^{注2}	mA
		P00-P04, P40-P47, P102, P120, P130, P140-P145 合計	4.0 V ≤ EVDD0 ≤ 5.5 V		40.0	mA
		(デューティ ≤ 70%時 ^{注3})	2.7 V ≤ EVDD0 < 4.0 V		15.0	mA
			2.4 V ≤ EVDD0 < 2.7 V		9.0	mA
		P05, P06, P10-P17, P30, P31, P50-P57, P60-P67, P70-P77, P80-P87, P100, P101, P110, P111, P146, P147 合計	4.0 V ≤ EVDD0 ≤ 5.5 V		40.0	mA
		(デューティ ≤ 70%時 ^{注3})	2.7 V ≤ EVDD0 < 4.0 V		35.0	mA
			2.4 V ≤ EVDD0 < 2.7 V		20.0	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})			80.0	mA
	IOL2	P20-P27, P150-P156 1端子			0.4 ^{注2}	mA
		全端子合計 (デューティ ≤ 70%時 ^{注3})	2.4 V ≤ VDD ≤ 5.5 V		5.0	mA

注1. 出力端子からEVSS0, EVSS1, VSS端子に流れ込んでも、デバイスの動作を保証する電流値です。

注2. 合計の電流値を越えないでください。

注3. デューティ ≤ 70%の条件での電流の値です。

デューティ > 70%に変更した出力電流の値は、次の計算式で求めることができます(デューティ比をn%に変更する場合)。

$$\bullet \text{ 端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

<計算例> IOL = 10.0 mAの場合, n = 80%

$$\text{端子合計の出力電流} = (10.0 \times 0.7) / (80 \times 0.01) \approx 8.7 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	VIH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0.8 EVDD0		EVDD0	V
	VIH2	P01, P03, P04, P10, P14-P17, P30, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ	2.2		EVDD0	V
			4.0 V ≦ EVDD0 ≦ 5.5 V				
			TTL入力バッファ	2.0		EVDD0	V
			3.3 V ≦ EVDD0 < 4.0 V				
			TTL入力バッファ	1.5		EVDD0	V
			2.4 V ≦ EVDD0 < 3.3 V				
VIH3	P20-P27, P150-P156			0.7 VDD		VDD	V
VIH4	P60-P63			0.7 EVDD0		6.0	V
VIH5	P121-P124, P137, EXCLK, EXCLKS, RESET			0.8 VDD		VDD	V
ロウ・レベル入力電圧	VIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	通常入力バッファ	0		0.2 EVDD0	V
	VIL2	P01, P03, P04, P10, P14-P17, P30, P43, P44, P50, P53-P55, P80, P81, P142, P143	TTL入力バッファ	0		0.8	V
			4.0 V ≦ EVDD0 ≦ 5.5 V				
			TTL入力バッファ	0		0.5	V
			3.3 V ≦ EVDD0 < 4.0 V				
			TTL入力バッファ	0		0.32	V
			2.4 V ≦ EVDD0 < 3.3 V				
VIL3	P20-P27, P150-P156			0		0.3 VDD	V
VIL4	P60-P63			0		0.3 EVDD0	V
VIL5	P121-P124, P137, EXCLK, EXCLKS, RESET			0		0.2 VDD	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時でもVIHの最大値(MAX.)はEVDD0です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(4/5)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル出力電圧	VOH1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -3.0 mA	EVDD0 - 0.7		V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -2.0 mA	EVDD0 - 0.6		V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOH1 = -1.5 mA	EVDD0 - 0.5		V
	VOH2	P20-P27, P150-P156	2.4 V ≤ VDD ≤ 5.5 V, IOH2 = -100 μA	VDD - 0.5		V
ロウ・レベル出力電圧	VOL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P130, P140-P147	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 8.5 mA		0.7	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 3.0 mA		0.6	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 1.5 mA		0.4	V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOL1 = 0.6 mA		0.4	V
	VOL2	P20-P27, P150-P156	2.4 V ≤ VDD ≤ 5.5 V, IOL2 = 400 μA		0.4	V
	VOL3	P60-P63	4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 15.0 mA		2.0	V
			4.0 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 5.0 mA		0.4	V
			2.7 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 3.0 mA		0.4	V
			2.4 V ≤ EVDD0 ≤ 5.5 V, IOL3 = 2.0 mA		0.4	V

注意 P00, P02-P04, P10, P11, P13-P15, P17, P30, P43-P45, P50-P55, P71, P74, P80-P82, P142-P144は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(5/5)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル 入力リーク電流	ILI1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVDD0				1 μA
	ILI2	P20-P27, P137, P150-P156, RESET	VI = VDD				1 μA
	ILI3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VDD	入力ポート時, 外部クロック入力時			1 μA
				発振子接続時			10 μA
ロウ・レベル 入力リーク電流	ILIL1	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P60-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0				-1 μA
	ILIL2	P20-P27, P137, P150-P156, RESET	VI = VSS				-1 μA
	ILIL3	P121-P124 (X1, X2, EXCLK, XT1, XT2, EXCLKS)	VI = VSS	入力ポート時, 外部クロック入力時			-1 μA
				発振子接続時			-10 μA
内蔵プルアップ抵抗	RU	P00-P06, P10-P17, P30, P31, P40-P47, P50-P57, P64-P67, P70-P77, P80-P87, P100-P102, P110, P111, P120, P140-P147	VI = EVSS0, 入力ポート時		10	20	100 kΩ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

35.3.2 電源電流特性

(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード	HS (高速メイン) モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.4	mA
						VDD = 3.0 V		2.4	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.1	
						VDD = 3.0 V		2.1	
			HS (高速メイン) モード ^{注5}	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.1	mA
						VDD = 3.0 V		5.1	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		4.8	
						VDD = 3.0 V		4.8	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.0	
						VDD = 3.0 V		4.0	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		3.8	
						VDD = 3.0 V		3.8	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		2.8	
						VDD = 3.0 V		2.8	
		HS (高速メイン) モード ^{注5}	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		3.3	5.7	mA
					発振子接続		3.4	5.8	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		3.3	
					発振子接続		3.4	5.8	
			fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		2.0	3.4	
					発振子接続		2.1	3.5	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		2.0	
					発振子接続		2.1	3.5	
		サブシステム・クロック 動作	fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力		4.7	6.1	μA
					発振子接続		4.7	6.1	
			fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力		4.7	6.1	
					発振子接続		4.7	6.1	
			fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力		4.8	6.7	
					発振子接続		4.8	6.7	
			fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力		4.8	7.5	
					発振子接続		4.8	7.5	
			fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力		5.4	8.9	
					発振子接続		5.4	8.9	
			fSUB = 32.768 kHz ^{注4} TA = +105 °C	通常動作	方形波入力		7.2	21.0	
					発振子接続		7.3	21.1	

(注, 備考は次ページにあります。)

注1. V_{DD} , EV_{DD0} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} または V_{SS} , EV_{SS0} に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード時, 電源電流のTYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし, A/Dコンバータ, LVD回路, I/Oポート, 内蔵ブルアップ/ブルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP. 値とMAX. 値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。

注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。

注3. 高速システム・クロック, サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。

注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)

備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)

備考4. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP. 値の温度条件は, $T_A = 25\text{ }^{\circ}\text{C}$ です。

(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位			
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注6}	fHOCO = 64 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.80	4.36	mA			
					VDD = 3.0 V		0.80	4.36				
				fHOCO = 32 MHz, fIH = 32 MHz ^{注4}	VDD = 5.0 V		0.49	3.67				
					VDD = 3.0 V		0.49	3.67				
				fHOCO = 48 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.62	3.42				
					VDD = 3.0 V		0.62	3.42				
				fHOCO = 24 MHz, fIH = 24 MHz ^{注4}	VDD = 5.0 V		0.4	2.85				
					VDD = 3.0 V		0.4	2.85				
				fHOCO = 16 MHz, fIH = 16 MHz ^{注4}	VDD = 5.0 V		0.37	2.08				
					VDD = 3.0 V		0.37	2.08				
			HS (高速メイン)モード ^{注6}	fMX = 20 MHz ^{注3} , VDD = 5.0 V	方形波入力 発振子接続		0.28 0.40	2.45 2.57	mA			
				fMX = 20 MHz ^{注3} , VDD = 3.0 V	方形波入力 発振子接続		0.28 0.40	2.45 2.57				
				fMX = 10 MHz ^{注3} , VDD = 5.0 V	方形波入力 発振子接続		0.19 0.25	1.28 1.36				
				fMX = 10 MHz ^{注3} , VDD = 3.0 V	方形波入力 発振子接続		0.19 0.25	1.28 1.36				
				サブシステム・クロック動作	fSUB = 32.768 kHz ^{注5} TA = -40 °C	方形波入力 発振子接続		0.25 0.44		0.57 0.76	μA	
					fSUB = 32.768 kHz ^{注5} TA = +25 °C	方形波入力 発振子接続		0.30 0.49		0.57 0.76		
					fSUB = 32.768 kHz ^{注5} TA = +50 °C	方形波入力 発振子接続		0.36 0.59		1.17 1.36		
					fSUB = 32.768 kHz ^{注5} TA = +70 °C	方形波入力 発振子接続		0.49 0.72		1.97 2.16		
			fSUB = 32.768 kHz ^{注5} TA = +85 °C		方形波入力 発振子接続		0.97 1.16	3.37 3.56				
			fSUB = 32.768 kHz ^{注5} TA = +105 °C		方形波入力 発振子接続		3.20 3.40	17.10 17.50				
	IDD3	STOP モード ^{注7}	TA = -40 °C					0.18	0.51	μA		
			TA = +25 °C					0.24	0.51			
			TA = +50 °C					0.29	1.10			
			TA = +70 °C					0.41	1.90			
			TA = +85 °C					0.90	3.30			
			TA = +105 °C					3.10	17.00			

(注, 備考は次ページにあります。)

- 注1. VDD, EVDD0に流れるトータル電流です。入力端子をVDD, EVDD0またはVSS, EVSS0に固定した状態での入力リーク電流を含みます。
- HS（高速メイン）モード時、電源電流のTYP.値は周辺動作電流を含みません。MAX.値は周辺動作電流を含みます。ただし、A/Dコンバータ、LVD回路、I/Oポート、内蔵ブルアップ／ブルダウン抵抗、データ・フラッシュ書き換え時に流れる電流は含みません。
- サブシステム・クロック動作時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。ただし、HALTモード時はRTCに流れる電流を含みます。
- STOPモード時、電源電流のTYP.値とMAX.値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ、サブシステム・クロックは停止時。
- 注4. 高速システム・クロック、サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ、高速システム・クロックは停止時。
- RTCLPC = 1, かつ超低消費発振(AMPHS1 = 1)設定時。
- 注6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS（高速メイン）モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は、HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 備考1. fMX : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)
- 備考3. fIH : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)
- 備考4. fSUB : サブシステム・クロック周波数(XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP.値の温度条件は、TA = 25 °Cです。

(2) 30 ~ 100 ピン製品のフラッシュ ROM96 ~ 256 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード ^{注5}	HS (高速メイン)モード	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.6	mA
						VDD = 3.0 V		2.6	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.3	
						VDD = 3.0 V		2.3	
		動作モード ^{注5}	HS (高速メイン)モード	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.4	mA
						VDD = 3.0 V		5.4	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.0	
						VDD = 3.0 V		5.0	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.2	
						VDD = 3.0 V		4.2	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.0	
						VDD = 3.0 V		4.0	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		3.0	
						VDD = 3.0 V		3.0	
		動作モード ^{注5}	HS (高速メイン)モード	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		3.4	mA
						発振子接続		3.6	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		3.4	
						発振子接続		3.6	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		2.1	
						発振子接続		2.2	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		2.1	
						発振子接続		2.2	
		サブシステム・クロック動作		fSUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力		4.9	μA
						発振子接続		4.9	
				fSUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力		4.9	
						発振子接続		4.9	
				fSUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力		5.1	
						発振子接続		5.1	
				fSUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力		5.5	
						発振子接続		5.5	
				fSUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力		6.5	μA
						発振子接続		6.5	
				fSUB = 32.768 kHz ^{注4} TA = +105 °C	通常動作	方形波入力		13.0	μA
						発振子接続		13.0	

(注, 備考は次ページにあります。)

注1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード時, 電源電流のTYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし, A/D コンバータ, D/A コンバータ, コンパレータ, LVD 回路, I/O ポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP. 値と MAX. 値は周辺動作電流を含みません。ただし, HALT モード時はRTC に流れる電流を含みます。

注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。

注3. 高速システム・クロック, サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。

注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)

備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)

備考4. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP. 値の温度条件は, $T_A = 25\text{ }^{\circ}\text{C}$ です。

(2) 30 ~ 100 ピン製品のフラッシュ ROM96 ~ 256 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注6}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.79	4.86	mA
					V _{DD} = 3.0 V		0.79	4.86	
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.49	4.17	
					V _{DD} = 3.0 V		0.49	4.17	
				f _{HOCO} = 48 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.62	3.82	
					V _{DD} = 3.0 V		0.62	3.82	
				f _{HOCO} = 24 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.4	3.25	
					V _{DD} = 3.0 V		0.4	3.25	
				f _{HOCO} = 16 MHz, f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		0.38	2.28	
					V _{DD} = 3.0 V		0.38	2.28	
			HS (高速メイン)モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.30	2.65	mA
					発振子接続		0.40	2.77	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.30	2.65	
					発振子接続		0.40	2.77	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.20	1.36	
					発振子接続		0.25	1.46	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.20	1.36	
					発振子接続		0.25	1.46	
			サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注5} TA = -40 °C	方形波入力		0.28	0.66	μA
					発振子接続		0.47	0.85	
				f _{SUB} = 32.768 kHz ^{注5} TA = +25 °C	方形波入力		0.34	0.66	
					発振子接続		0.53	0.85	
				f _{SUB} = 32.768 kHz ^{注5} TA = +50 °C	方形波入力		0.37	2.35	
					発振子接続		0.56	2.54	
				f _{SUB} = 32.768 kHz ^{注5} TA = +70 °C	方形波入力		0.61	4.08	
					発振子接続		0.80	4.27	
				f _{SUB} = 32.768 kHz ^{注5} TA = +85 °C	方形波入力		1.55	8.09	
					発振子接続		1.74	8.28	
				f _{SUB} = 32.768 kHz ^{注5} TA = +105 °C	方形波入力		6.00	51.00	
					発振子接続		6.00	51.00	
	IDD3	STOPモード ^{注7}	TA = -40 °C				0.19	0.57	μA
			TA = +25 °C				0.25	0.57	
			TA = +50 °C				0.33	2.26	
			TA = +70 °C				0.52	3.99	
			TA = +85 °C				1.46	8.00	
			TA = +105 °C				5.50	50.00	

(注, 備考は次ページにあります。)

- 注1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。
- HS (高速メイン) モード時, 電源電流のTYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし, A/D コンバータ, D/A コンバータ, コンパレータ, LVD 回路, I/O ポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
- サブシステム・クロック動作時, 電源電流のTYP. 値と MAX. 値は周辺動作電流を含みません。ただし, HALT モード時はRTC に流れる電流を含みます。
- STOP モード時, 電源電流のTYP. 値と MAX. 値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注4. 高速システム・クロック, サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。
- 注6. 動作電圧範囲, CPU 動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 備考1. fMX : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. fHOCO : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)
- 備考3. fIH : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
- 備考4. fSUB : サブシステム・クロック周波数 (XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP. 値の温度条件は, $T_A = 25\text{ }^{\circ}\text{C}$ です。

(3) 48 ~ 100 ピン製品のフラッシュ ROM384 ~ 512 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD1	動作モード 注5	HS (高速メイン)モード	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.9	mA
						VDD = 3.0 V		2.9	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	基本動作	VDD = 5.0 V		2.5	
						VDD = 3.0 V		2.5	
			HS (高速メイン)モード 注5	fHOCO = 64 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		6.0	mA
						VDD = 3.0 V		6.0	
				fHOCO = 32 MHz, fIH = 32 MHz ^{注3}	通常動作	VDD = 5.0 V		5.5	
						VDD = 3.0 V		5.5	
				fHOCO = 48 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.7	
						VDD = 3.0 V		4.7	
				fHOCO = 24 MHz, fIH = 24 MHz ^{注3}	通常動作	VDD = 5.0 V		4.4	
						VDD = 3.0 V		4.4	
				fHOCO = 16 MHz, fIH = 16 MHz ^{注3}	通常動作	VDD = 5.0 V		3.3	
						VDD = 3.0 V		3.3	
			HS (高速メイン)モード 注5	fMX = 20 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		3.7	mA
						発振子接続		3.9	
				fMX = 20 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		3.7	
						発振子接続		3.9	
				fMX = 10 MHz ^{注2} , VDD = 5.0 V	通常動作	方形波入力		2.3	
						発振子接続		2.3	
				fMX = 10 MHz ^{注2} , VDD = 3.0 V	通常動作	方形波入力		2.3	
						発振子接続		2.3	
		サブシステム・クロック 動作	fsUB = 32.768 kHz ^{注4} TA = -40 °C	通常動作	方形波入力			5.2	μA
						発振子接続		5.2	
			fsUB = 32.768 kHz ^{注4} TA = +25 °C	通常動作	方形波入力			5.3	
						発振子接続		5.3	
			fsUB = 32.768 kHz ^{注4} TA = +50 °C	通常動作	方形波入力			5.5	
						発振子接続		5.5	
			fsUB = 32.768 kHz ^{注4} TA = +70 °C	通常動作	方形波入力			5.9	
						発振子接続		6.0	
			fsUB = 32.768 kHz ^{注4} TA = +85 °C	通常動作	方形波入力			6.8	
						発振子接続		6.9	
			fsUB = 32.768 kHz ^{注4} TA = +105 °C	通常動作	方形波入力			15.5	
						発振子接続		15.5	

(注, 備考は次ページにあります。)

注1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。

HS (高速メイン) モード時, 電源電流のTYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし, A/D コンバータ, D/A コンバータ, コンパレータ, LVD 回路, I/O ポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。

サブシステム・クロック動作時, 電源電流のTYP. 値と MAX. 値は周辺動作電流を含みません。ただし, HALT モード時はRTC に流れる電流を含みます。

注2. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。

注3. 高速システム・クロック, サブシステム・クロックは停止時。

注4. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。超低消費発振 (AMPHS1 = 1) 設定時。

注5. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。

HS (高速メイン)モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$

$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$

備考1. f_{MX} : 高速システム・クロック周波数(X1クロック発振周波数または外部メイン・システム・クロック周波数)

備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数(最大64 MHz)

備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数(最大32 MHz)

備考4. f_{SUB} : サブシステム・クロック周波数(XT1クロック発振周波数)

備考5. 「サブシステム・クロック動作」以外のTYP. 値の温度条件は, $T_A = 25\text{ }^{\circ}\text{C}$ です。

(3) 48 ~ 100 ピン製品のフラッシュ ROM384 ~ 512 KBの製品

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件				MIN.	TYP.	MAX.	単位
電源電流 ^{注1}	IDD2 ^{注2}	HALTモード	HS (高速メイン)モード ^{注6}	f _{HOCO} = 64 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.93	5.16	mA
					V _{DD} = 3.0 V		0.93	5.16	
				f _{HOCO} = 32 MHz, f _{IH} = 32 MHz ^{注4}	V _{DD} = 5.0 V		0.5	4.47	
					V _{DD} = 3.0 V		0.5	4.47	
				f _{HOCO} = 48 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.72	4.08	
					V _{DD} = 3.0 V		0.72	4.08	
				f _{HOCO} = 24 MHz, f _{IH} = 24 MHz ^{注4}	V _{DD} = 5.0 V		0.42	3.51	
					V _{DD} = 3.0 V		0.42	3.51	
				f _{HOCO} = 16 MHz, f _{IH} = 16 MHz ^{注4}	V _{DD} = 5.0 V		0.39	2.38	
					V _{DD} = 3.0 V		0.39	2.38	
			HS (高速メイン)モード ^{注6}	f _{MX} = 20 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.31	2.83	mA
					発振子接続		0.41	2.92	
				f _{MX} = 20 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.31	2.83	
					発振子接続		0.41	2.92	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 5.0 V	方形波入力		0.21	1.46	
					発振子接続		0.26	1.57	
				f _{MX} = 10 MHz ^{注3} , V _{DD} = 3.0 V	方形波入力		0.21	1.46	
					発振子接続		0.26	1.57	
			サブシステム・クロック動作	f _{SUB} = 32.768 kHz ^{注5} TA = -40 °C	方形波入力		0.31	0.76	μA
					発振子接続		0.50	0.95	
				f _{SUB} = 32.768 kHz ^{注5} TA = +25 °C	方形波入力		0.38	0.76	
					発振子接続		0.57	0.95	
				f _{SUB} = 32.768 kHz ^{注5} TA = +50 °C	方形波入力		0.47	3.59	
					発振子接続		0.70	3.78	
				f _{SUB} = 32.768 kHz ^{注5} TA = +70 °C	方形波入力		0.80	6.20	
					発振子接続		1.00	6.39	
				f _{SUB} = 32.768 kHz ^{注5} TA = +85 °C	方形波入力		1.65	10.56	
					発振子接続		1.84	10.75	
				f _{SUB} = 32.768 kHz ^{注5} TA = +105 °C	方形波入力		8.00	65.7	
					発振子接続		8.00	65.7	
	IDD3	STOPモード ^{注7}	TA = -40 °C				0.19	0.63	μA
			TA = +25 °C				0.30	0.63	
			TA = +50 °C				0.41	3.47	
			TA = +70 °C				0.80	6.08	
			TA = +85 °C				1.53	10.44	
			TA = +105 °C				6.50	67.14	

(注, 備考は次ページにあります。)

- 注1. V_{DD} , EV_{DD0} , EV_{DD1} に流れるトータル電流です。入力端子を V_{DD} , EV_{DD0} , EV_{DD1} または V_{SS} , EV_{SS0} , EV_{SS1} に固定した状態での入力リーク電流を含みます。
- HS (高速メイン) モード時, 電源電流のTYP. 値は周辺動作電流を含みません。MAX. 値は周辺動作電流を含みます。ただし, A/D コンバータ, D/A コンバータ, コンパレータ, LVD回路, I/O ポート, 内蔵プルアップ/プルダウン抵抗, データ・フラッシュ書き換え時に流れる電流は含みません。
- サブシステム・クロック動作時, 電源電流のTYP. 値とMAX. 値は周辺動作電流を含みません。ただし, HALT モード時はRTCに流れる電流を含みます。
- STOP モード時, 電源電流のTYP. 値とMAX. 値は周辺動作電流を含みません。
- 注2. フラッシュ・メモリでのHALT命令実行時。
- 注3. 高速オンチップ・オシレータ, サブシステム・クロックは停止時。
- 注4. 高速システム・クロック, サブシステム・クロックは停止時。
- 注5. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。
- RTCLPC = 1, かつ超低消費発振 (AMPHS1 = 1) 設定時。
- 注6. 動作電圧範囲, CPU動作周波数, 動作モードの関係を次に示します。
- HS (高速メイン) モード : $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 32\text{ MHz}$
 $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}@1\text{ MHz} \sim 16\text{ MHz}$
- 注7. STOPモード時にサブシステム・クロックを動作させる場合の電流値は, HALTモード時にサブシステム・クロックを動作させる場合の電流値を参照してください。
- 備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
- 備考2. f_{HOCO} : 高速オンチップ・オシレータ・クロック周波数 (最大64 MHz)
- 備考3. f_{IH} : 高速オンチップ・オシレータ・クロック周波数 (最大32 MHz)
- 備考4. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
- 備考5. 「サブシステム・クロック動作」, 「STOPモード」以外のTYP. 値の温度条件は, $T_A = 25\text{ }^{\circ}\text{C}$ です。

(4) 周辺機能 (全製品共通)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
低速オンチップ・オシレータ動作電流	IFIL 注1				0.20		μA
RTC動作電流	IRTC 注1, 2, 3				0.02		μA
12ビット・インターバル・タイマ動作電流	IIT 注1, 2, 4				0.02		μA
ウォッチドッグ・タイマ動作電流	IWDT 注1, 2, 5	fIL = 15 kHz			0.22		μA
A/Dコンバータ動作電流	IADC 注1, 6	最高速変換時	標準モード, AVREFP = VDD = 5.0 V		1.3	1.7	mA
			低電圧モード, AVREFP = VDD = 3.0 V		0.5	0.7	mA
A/Dコンバータ基準電圧電流	IADREF 注1				75.0		μA
温度センサ動作電流	ITMPS 注1				75.0		μA
D/Aコンバータ動作電流	IDAC 注1, 11, 13	1チャンネル当たり				1.5	mA
コンパレータ動作電流	ICMP 注1, 12, 13	VDD = 5.0 V, レギュレータ出力電圧 = 2.1 V	ウィンドウモード		12.5		μA
			コンパレータ高速モード		6.5		μA
			コンパレータ低速モード		1.7		μA
		VDD = 5.0 V, レギュレータ出力電圧 = 1.8 V	ウィンドウモード		8.0		μA
			コンパレータ高速モード		4.0		μA
			コンパレータ低速モード		1.3		μA
LVD動作電流	ILVD 注1, 7				0.08		μA
セルフ・プログラミング動作電流	IFSP 注1, 9				2.50	12.20	mA
BGO電流	IBGO 注1, 8				2.50	12.20	mA
SNOOZE動作電流	ISNOZ 注1	ADC動作	モード遷移中 注10		0.50	1.10	mA
			変換動作中, 低電圧モード, AVREFP = VDD = 3.0 V		1.20	2.04	
		簡易SPI (CSI)/UART動作			0.70	1.54	
		DTC動作			3.10		

注1. VDDに流れる電流です。

注2. 高速オンチップ・オシレータ, 高速システム・クロックは停止時。

注3. リアルタイム・クロック (RTC) にのみ流れる電流です (低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでのリアルタイム・クロックの動作時は, IDD1またはIDD2にIRTCを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。IDD2のサブシステム・クロック動作にはリアルタイム・クロックの動作電流が含まれています。

注4. 12ビット・インターバル・タイマにのみ流れる電流です (低速オンチップ・オシレータ, XT1 発振回路の動作電流は含みません)。動作モードまたはHALTモードでの12ビット・インターバル・タイマの動作時は, IDD1またはIDD2にIITを加算した値が, RL78マイクロコントローラの電流値となります。また, 低速オンチップ・オシレータ選択時はIFILを加算してください。

- 注5. ウォッチドッグ・タイマにのみ流れる電流です (低速オンチップ・オシレータの動作電流を含みます)。
ウォッチドッグ・タイマの動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注6. A/D コンバータにのみ流れる電流です。動作モードまたは HALT モードでの A/D コンバータの動作時は I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注7. LVD 回路にのみ流れる電流です。LVD 回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{LVD} を加算した値が RL78 マイクロコントローラの電流値となります。
- 注8. データ・フラッシュ書き換え時に流れる電流です。
- 注9. セルフ・プログラミング時に流れる電流です。
- 注10. SNOOZE モードへの移行時間は、23.3.3 SNOOZE モードを参照してください。
- 注11. D/A コンバータにのみ流れる電流です。動作モードまたは HALT モードでの D/A コンバータの動作時は、 I_{DD1} または I_{DD2} に I_{DAC} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注12. コンパレータ回路にのみ流れる電流です。コンパレータ回路の動作時は、 I_{DD1} 、 I_{DD2} または I_{DD3} に I_{CMP} を加算した値が、RL78 マイクロコントローラの電流値となります。
- 注13. コンパレータおよび D/A コンバータはコード・フラッシュ・メモリが 96 KB 以上の製品に搭載されます。

- 備考1. f_{IL} : 低速オンチップ・オシレータ・クロック周波数
- 備考2. f_{SUB} : サブシステム・クロック周波数 (XT1 クロック発振周波数)
- 備考3. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
- 備考4. TYP. 値の温度条件は、 $T_A = 25\text{ }^{\circ}\text{C}$ です。

35.4 AC特性

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件			MIN.	TYP.	MAX.	単位
命令サイクル (最小命令実行時間)	TCY	メイン・システム・	HS (高速メイン)	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.03125		1	μs
		クロック (fMAIN) 動作	モード	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.0625		1	μs
		サブシステム・クロック (fSUB) 動作		$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	28.5	30.5	31.3	μs
		セルフ・プログラミ	HS (高速メイン)	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	0.03125		1	μs
		ング時	モード	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$	0.0625		1	μs
外部システム・ クロック周波数	fEX	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			1.0		20.0	MHz
		$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$			1.0		16.0	MHz
	fEXS				32		35	kHz
外部システム・ クロック入力	tEXH,	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			24			ns
	tEXL	$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$			30			ns
ハイ、ロウ・ レベル幅	tEXHS, tEXLS				13.7			μs
TI00-TI03, TI10-TI13 入力ハイ・レベル幅, ロウ・レベル幅	tTIH, tTIL				$1/f_{MCK} +$ 10注			ns
タイマRJ入力 サイクル	tc	TRJIO	$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$		100			ns
			$2.4\text{ V} \leq EV_{DD0} < 2.7\text{ V}$		300			ns
タイマRJ入力 ハイ・レベル幅, ロウ・レベル幅	tTJIH, tTJIL	TRJIO	$2.7\text{ V} \leq EV_{DD0} \leq 5.5\text{ V}$		40			ns
			$2.4\text{ V} \leq EV_{DD0} < 2.7\text{ V}$		120			ns

注 EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 ≤ 2.7 V : MIN. 125 ns

備考 fMCK : タイマ・アレイ・ユニットの動作クロック周波数。

(タイマ・モード・レジスタ mn (TMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号 (m = 0, 1),

n : チャネル番号 (n = 0-3))

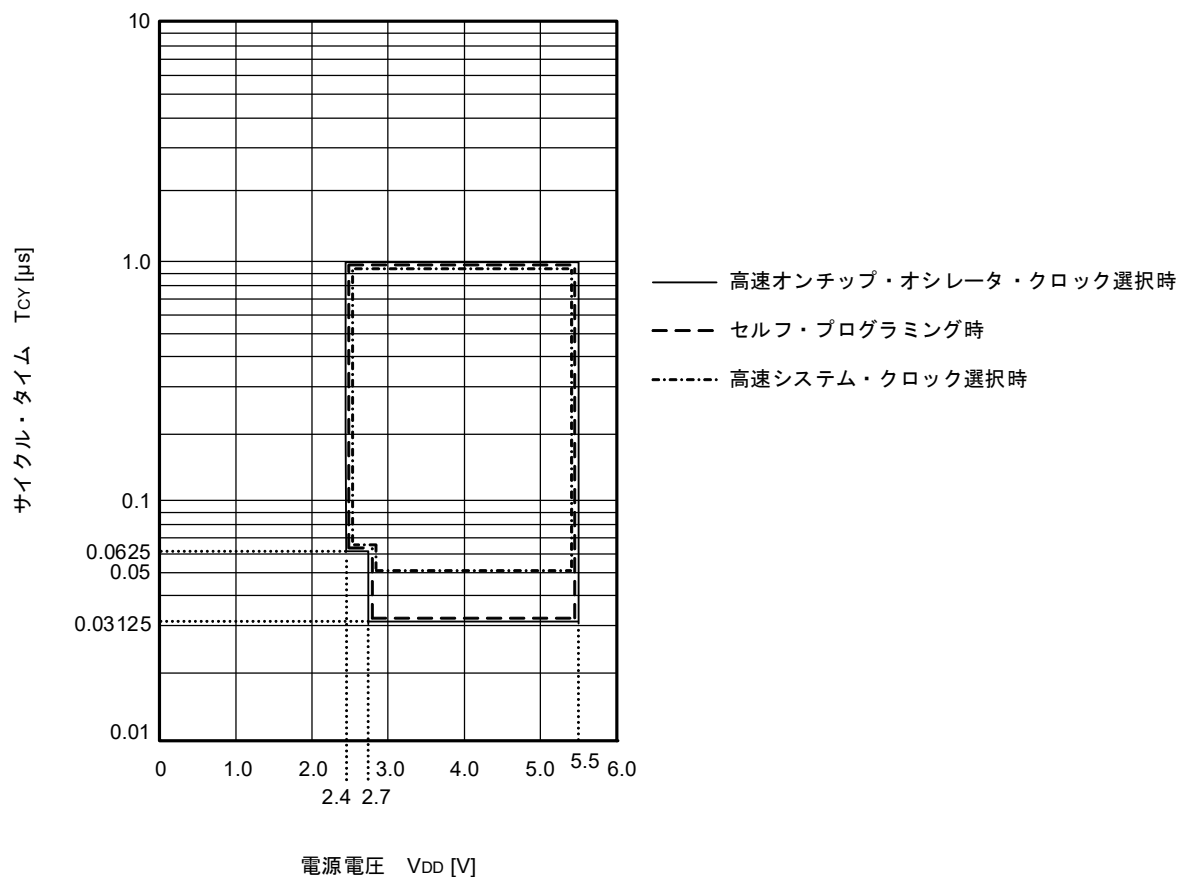
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

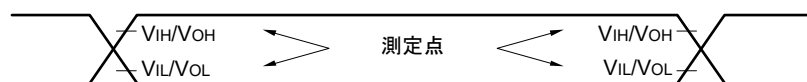
項目	略号	条件		MIN.	TYP.	MAX.	単位
タイマRD入力ハイ・レベル幅, ロウ・レベル幅	tTDIH, tTDIL	TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1		3/fCLK			ns
タイマRD強制遮断信号入力 ロウ・レベル幅	tTDSIL	P130/INTP0	2MHz < fCLK ≤ 32 MHz	1			μs
			fCLK ≤ 2 MHz	1/fCLK + 1			
タイマRG入力ハイ・レベル幅, ロウ・レベル幅	tTGIH, tTGIL	TRGIOA, TRGIOB		2.5/fCLK			ns
TO00-TO03, TO10-TO13, TRJIO0, TRJO0, TRDIOA0, TRDIOA1, TRDIOB0, TRDIOB1, TRDIOC0, TRDIOC1, TRDIOD0, TRDIOD1, TRGIOA, TRGIOB出力周波数	fTO	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			2.4 V ≤ EVDD0 < 2.7 V			4	MHz
PCLBUZ0, PCLBUZ1出力周波数	fPCL	HS (高速メイン) モード	4.0 V ≤ EVDD0 ≤ 5.5 V			16	MHz
			2.7 V ≤ EVDD0 < 4.0 V			8	MHz
			2.4 V ≤ EVDD0 < 2.7 V			4	MHz
割り込み入力ハイ・レベル幅, ロウ・レベル幅	tINTH, tINTL	INTP0	2.4 V ≤ VDD ≤ 5.5 V	1			μs
		INTP1-INTP11	2.4 V ≤ EVDD0 ≤ 5.5 V	1			μs
キー割り込み入力ロウ・レベル幅	tKR	KR0-KR7	2.4 V ≤ EVDD0 ≤ 5.5 V	250			ns
RESETロウ・レベル幅	tRSL			10			μs

メイン・システム・クロック動作時の最小命令実行時間

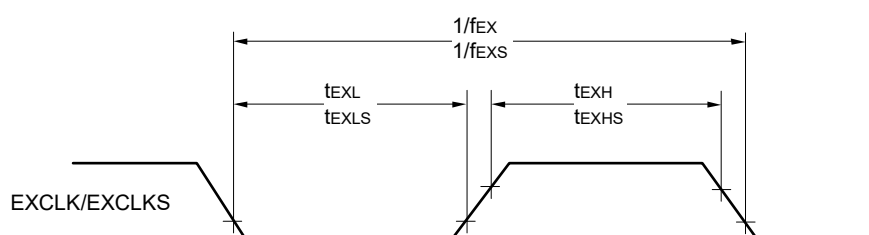
Tcy vs VDD (HS (高速メイン)モード)



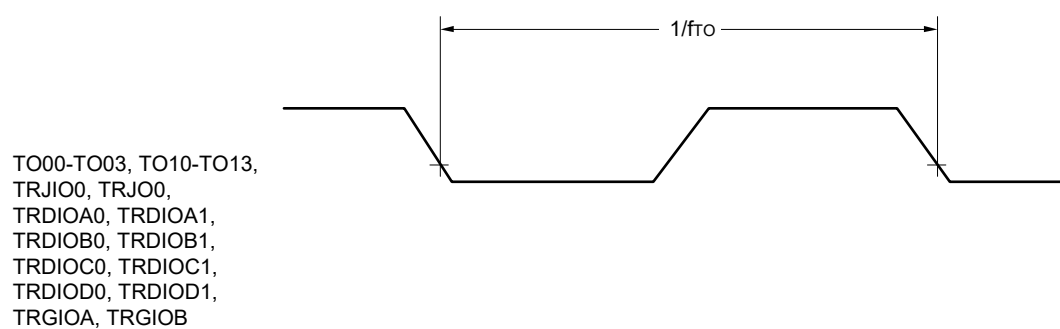
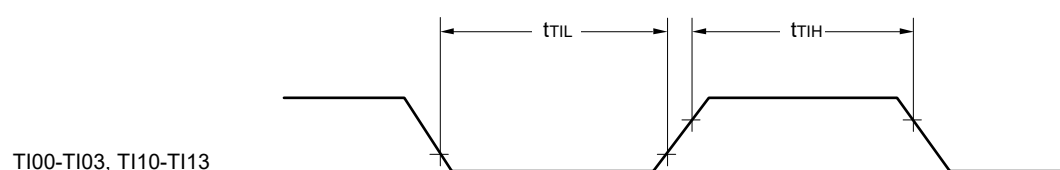
AC タイミング測定点

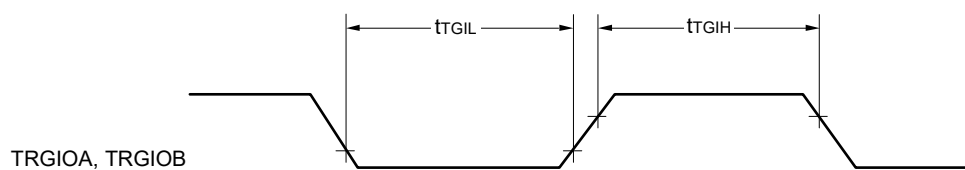
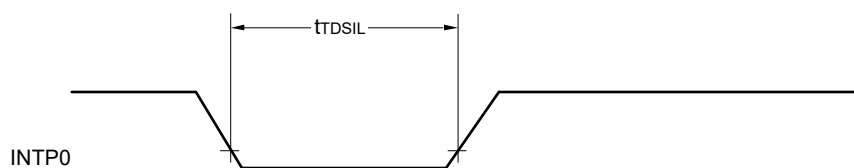
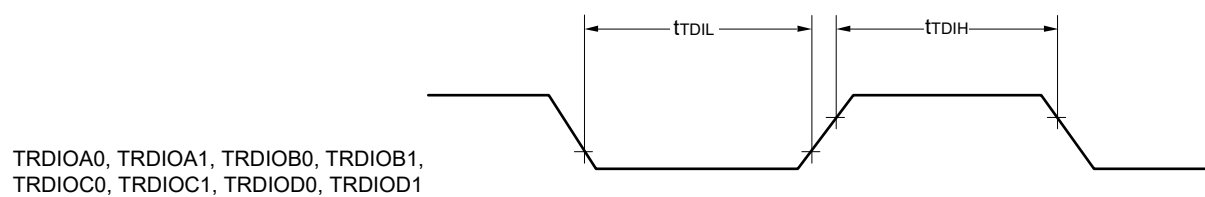
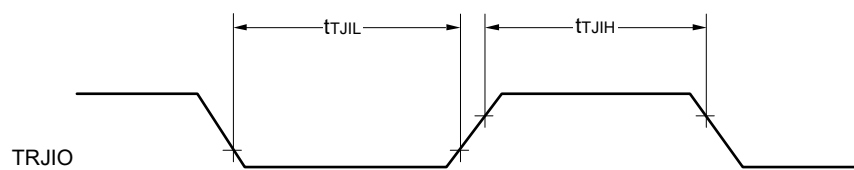


外部システム・クロック・タイミング

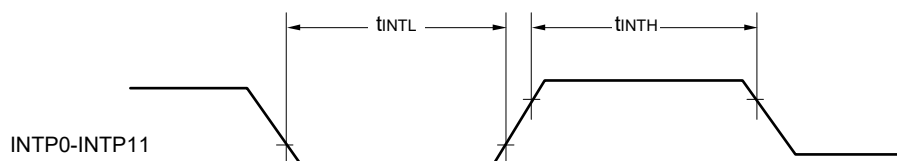


TI/TO タイミング

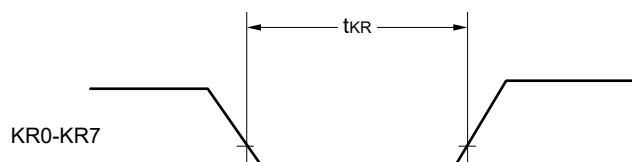
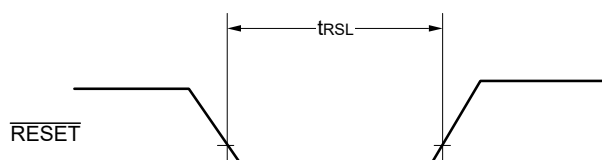




割り込み要求入力タイミング

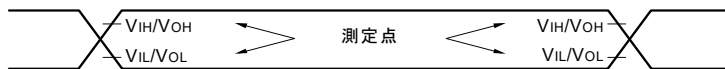


キー割り込み入力タイミング

 $\overline{\text{RESET}}$ 入力タイミング

35.5 周辺機能特性

AC タイミング測定点



35.5.1 シリアル・アレイ・ユニット

(1) 同電位通信時(UART モード)

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート注1		$2.4\text{ V} \leq \text{EVDD0} \leq 5.5\text{ V}$		$f_{\text{MCK}}/12$ 注2	bps
		最大転送レート理論値 $f_{\text{MCK}} = f_{\text{CLK}}$ 注3		2.6	Mbps

注1. SNOOZEモードでの転送レートは、4800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. $\text{EVDD0} < \text{VDD}$ となる低電圧インタフェース時は、次の条件も必要になります。

$2.4\text{ V} \leq \text{EVDD0} < 2.7\text{ V}$: MAX. 1.3 Mbps

注3. CPU/周辺ハードウェア・クロック(f_{CLK})の最高動作周波数を次に示します。

HS (高速メイン)モード : 32 MHz ($2.7\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$)

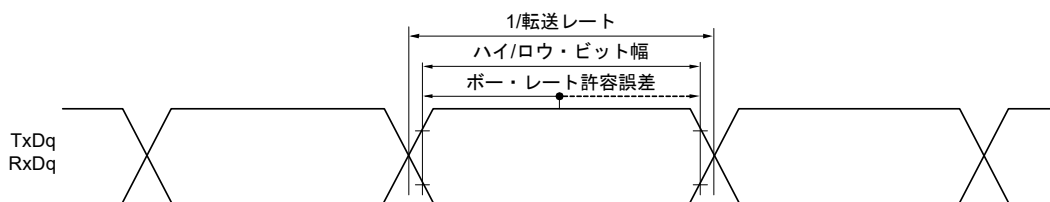
16 MHz ($2.4\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子は通常入力バッファを選択し、TxDq端子は通常出力モードを選択します。

UARTモード接続図(同電位通信時)



UARTモードのビット幅(同電位通信時)(参考)



備考1. q : UART番号($q = 0-3$), g : PIM, POM番号($g = 0, 1, 5, 14$)

備考2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号($mn = 00-03, 10-13$))

(2) 同電位通信時, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK	2.7 V ≤ EVDD0 ≤ 5.5 V	250	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	500	ns
SCKp ハイ, ロウ・レベル幅	tkH1, tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 24		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 36		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	tkCY1/2 - 76		ns
Slp セットアップ時間(対SCKp ↑) 注1	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V	66		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	66		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V	113		ns
Slp ホールド時間(対SCKp ↑) 注1	tsIH1		38		ns
SCKp ↓ → SOp 出力遅延時間注2	tkSO1	C = 30 pF 注3		50	ns

注1. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0 または DAPmn = 1, CKPmn = 1 のとき。DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のときは“対SCKp ↑”となります。

注3. Cは, SCKp, SOp 出力ラインの負荷容量です。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は通常入力バッファを選択し, SOp 端子と SCKp 端子は通常出力モードを選択します。

備考1. p : CSI 番号 (p = 00, 01, 10, 11, 20, 21, 30, 31), m : ユニット番号 (m = 0, 1), n : チャネル番号 (n = 0-3),
g : PIM, POM 番号 (g = 0, 1, 3-5, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn) の CKSmn ビットで設定する動作クロック。m : ユニット番号,
n : チャネル番号 (mn = 00-03, 10-13))

(3) 同電位通信時, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件		HS (高速メイン)モード		単位
				MIN.	MAX.	
SCKpサイクル・タイム ^{注4}	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V	20 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 20 MHz	12/fMCK		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V	16 MHz < fMCK	16/fMCK		ns
			fMCK ≤ 16 MHz	12/fMCK		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		12/fMCK かつ 1000		ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 14		ns
		2.7 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 16		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		tkCY2/2 - 36		ns
Slpセットアップ時間(対SCKp ↑) ^{注1}	tsIK2	2.7 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 40		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V		1/fMCK + 60		ns
Slpホールド時間(対SCKp ↑) ^{注1}	tkSI2			1/fMCK + 62		ns
SCKp ↓ → SOp出力遅延時間 ^{注2}	tkSO2	C = 30 pF ^{注3}	2.7 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 66	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V		2/fMCK + 113	ns

注1. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。

注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。

注3. Cは, SOp出力ラインの負荷容量です。

注4. SNOOZEモードでの転送レートは, MAX. 1 Mbpsです。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31), m : ユニット番号(m = 0, 1), n : チャネル番号(n = 0-3),

g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. fMCK : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

n : チャネル番号(mn = 00-03, 10-13))

(3) 同電位通信時, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

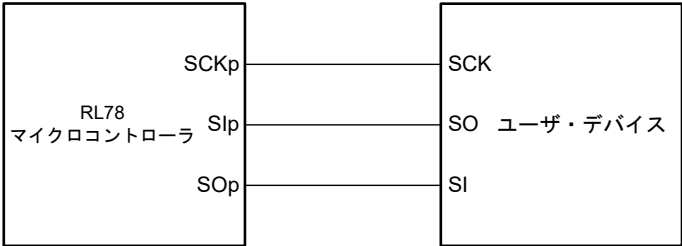
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V) (2/2)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SSI00 セットアップ時間	tSSIK	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400	ns
SSI00 ホールド時間	tkSSI	DAPmn = 0	2.7 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	1/fMCK + 400	ns
		DAPmn = 1	2.7 V ≤ EVDD0 ≤ 5.5 V	240	ns
			2.4 V ≤ EVDD0 ≤ 5.5 V	400	ns

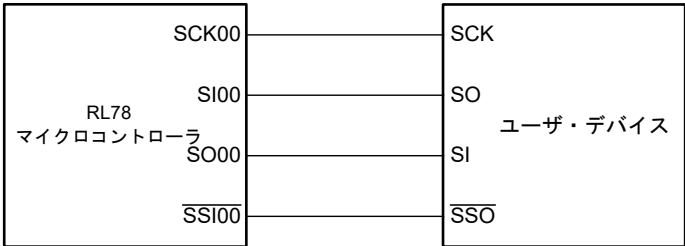
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子と SCKp 端子は通常入力バッファを選択し, SOp 端子は通常出力モードを選択します。

備考 p : CSI番号(p = 00), m : ユニット番号(m = 0), n : チャネル番号(n = 0),
g : PIM, POM番号(g = 3, 5)

簡易SPI (CSI)モード接続図(同電位通信時)

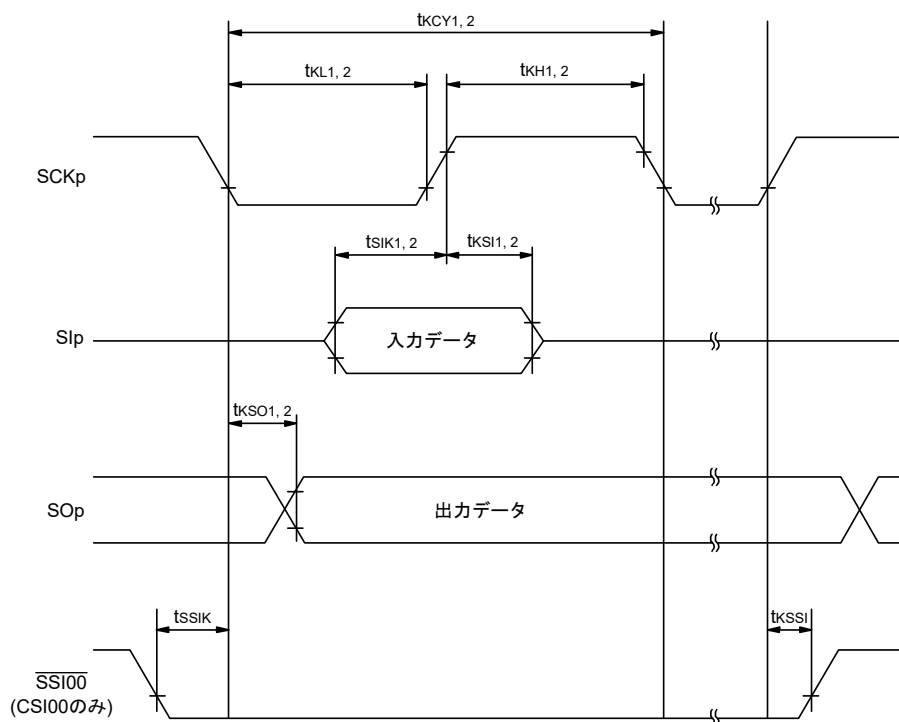


簡易SPI (CSI)モード接続図(同電位通信時)
(スレーブセレクト入力機能(CSI00)のスレーブ送信時)

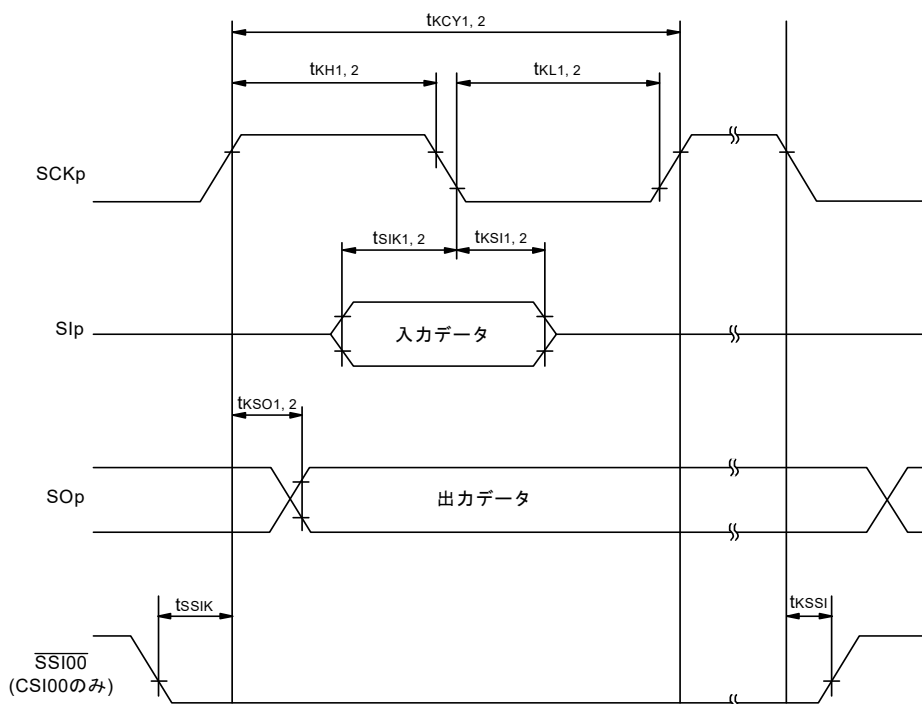


備考 1. p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)
備考 2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング(同電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 11, 20, 21, 30, 31)

備考2. m : ユニット番号, n : チャネル番号(mn = 00-03, 10-13)

(4) 同電位通信時 (簡易 I²C モード)

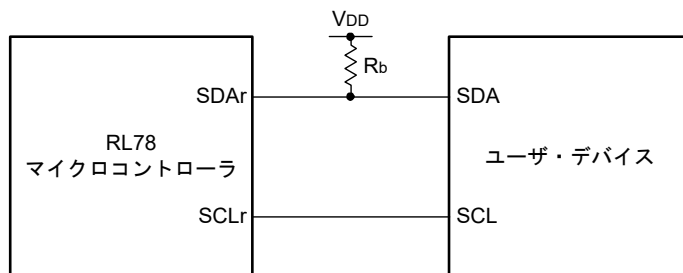
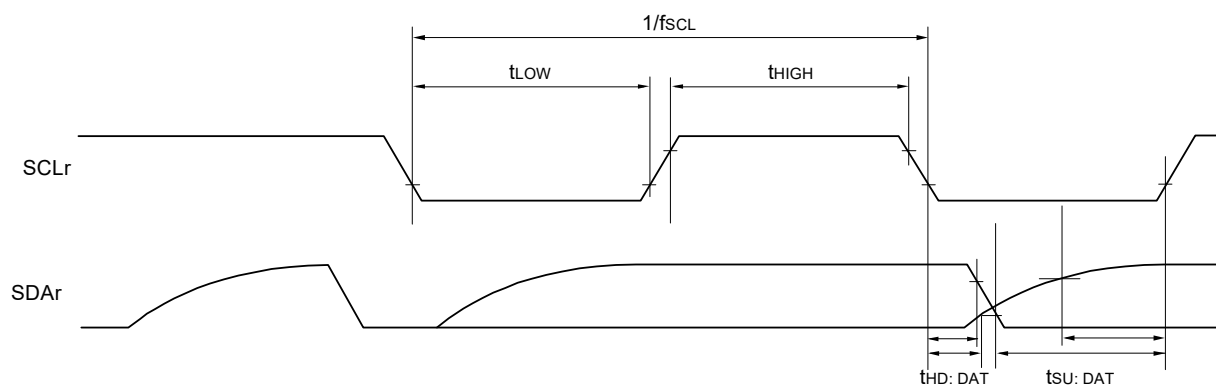
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ		400 注1	kHz
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ		100 注1	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1200		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	4600		ns
データ・セットアップ時間 (受信時)	t _{SU: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	1/f _{MCK} + 220 注2		ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	1/f _{MCK} + 580 注2		ns
データ・ホールド時間 (送信時)	t _{HD: DAT}	2.7 V ≤ EVDD0 ≤ 5.5 V, Cb = 50 pF, Rb = 2.7 kΩ	0	770	ns
		2.4 V ≤ EVDD0 ≤ 5.5 V, Cb = 100 pF, Rb = 3 kΩ	0	1420	ns

注1. かつ f_{MCK}/4 以下に設定してください。注2. f_{MCK} 値は、SCLr = "L" と SCLr = "H" のホールド・タイムを越えない値に設定してください。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ h (POMh) で、SDAr は通常入力バッファ、N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モードを選択し、SCLr は通常出力モードを選択します。

(備考は次ページにあります。)

簡易 I²C モード接続図(同電位通信時)簡易 I²C モード・シリアル転送タイミング(同電位通信時)

備考1. R_b [Ω]: 通信ライン(SDAr)プルアップ抵抗値, C_b [F]: 通信ライン(SCLr, SDAr)負荷容量値

備考2. r : IIC番号($r = 00, 01, 10, 11, 20, 21, 30, 31$), g : PIM番号($g = 0, 1, 3-5, 14$),

h : POM番号($h = 0, 1, 3-5, 7, 14$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-3$),

$mn = 00-03, 10-13$)

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
転送レート		受信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	fMCK/12 ^{注1}	bps
			最大転送レート理論値 fMCK = fCLK ^{注3}	2.6	Mbps
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	fMCK/12 ^{注1}	bps
			最大転送レート理論値 fMCK = fCLK ^{注3}	2.6	Mbps
			2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	fMCK/12 注1, 2	bps
			最大転送レート理論値 fMCK = fCLK ^{注3}	2.6	Mbps

注1. SNOOZEモードでの転送レートは、4,800 bpsのみとなります。

ただしFRQSEL4 = 1の時はSNOOZEモードは使用できません。

注2. EVDD0 < VDDとなる低電圧インタフェース時は、次の条件も必要になります。

2.4 V ≤ EVDD0 < 2.7 V: MAX. 1.3 Mbps

注3. CPU/周辺ハードウェア・クロック(fCLK)の最高動作周波数を次に示します。

HS (高速メイン)モード: 32 MHz (2.7 V ≤ VDD ≤ 5.5 V)

16 MHz (2.4 V ≤ VDD ≤ 5.5 V)

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、RxDq端子はTTL入力バッファを選択し、TxDq端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モードを選択します。なおVIH, VILは、TTL入力バッファ選択時のDC特性を参照してください。

備考1. Vb [V]: 通信ライン電圧

備考2. q: UART番号(q = 0-3), g: PIM, POM番号(g = 0, 1, 5, 14)

備考3. fMCK: シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャネル番号(mn = 00-03, 10-13))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき、UART2の異電位通信は使用できません。

(5) 異電位(1.8 V系, 2.5 V系, 3 V系)通信時(UARTモード)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/2)

項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
転送レート		送信	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	注1	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 1.4 kΩ, Vb = 2.7 V	2.6注2	Mbps
			2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	注3	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 2.7 kΩ, Vb = 2.3 V	1.2注4	Mbps
			2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	注5	bps
			最大転送レート理論値 Cb = 50 pF, Rb = 5.5 kΩ, Vb = 1.6 V	0.43注6	Mbps

注1. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.2}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注2. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。

注3. fMCK/12または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{2.0}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

※この値は送信側と受信側の相対差の理論値となります。

注4. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

注5. $f_{MCK}/12$ または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。

2.4 V $\leq$ EVDD0 < 3.3 V, 1.6 V $\leq$ Vb $\leq$ 2.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\} \times 3} \text{ [bps]}$$

$$\text{ボー・レート許容誤差 (理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{-C_b \times R_b \times \ln(1 - \frac{1.5}{V_b})\}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 [\%]$$

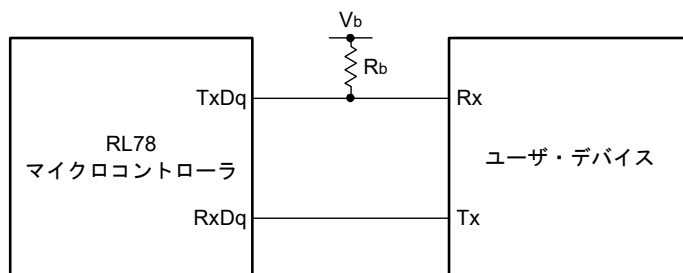
※この値は送信側と受信側の相対差の理論値となります。

注6. この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注5により算出してください。

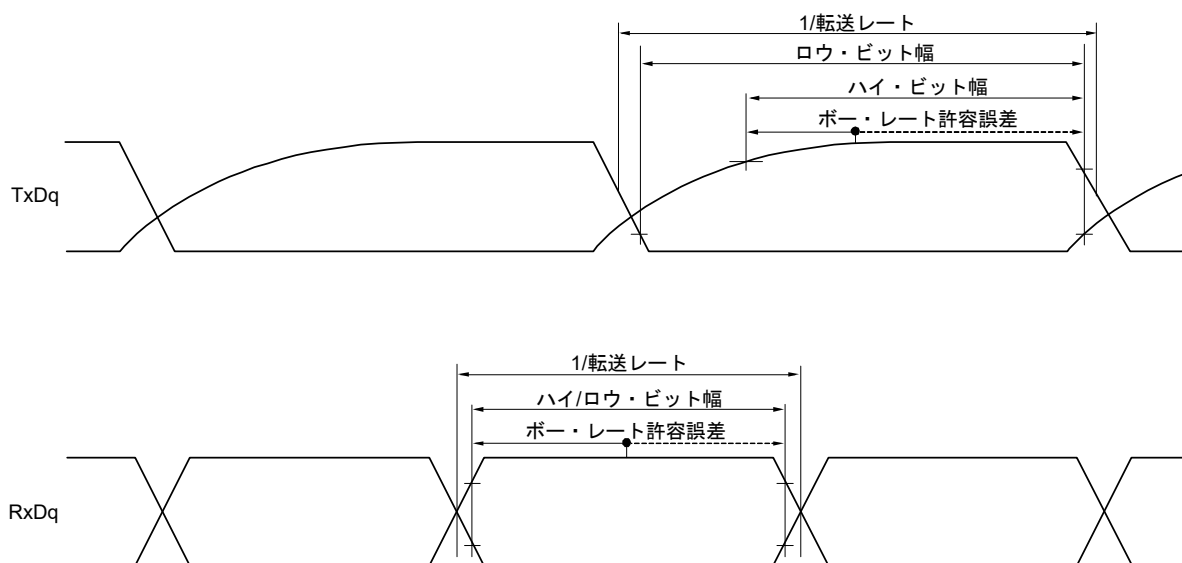
注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、RxDq 端子は TTL 入力バッファを選択し、TxDq 端子は N-ch オープン・ドレイン出力 (VDD 耐圧 (30 ~ 52 ピン製品の場合) / EVDD 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお VIH, VIL は、TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

UARTモード接続図(異電位通信時)



UARTモードのビット幅(異電位通信時)(参考)



備考1. R_b [Ω]: 通信ライン(TxDq)プルアップ抵抗値, C_b [F]: 通信ライン(TxDq)負荷容量値, V_b [V]: 通信ライン電圧

備考2. q : UART番号($q = 0-3$), g : PIM, POM番号($g = 0, 1, 5, 14$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(シリアル・モード・レジスタ mn (SMR mn)のCKSM n ビットで設定する動作クロック。 m : ユニット番号,

n : チャネル番号($mn = 00-03, 10-13$))

備考4. 周辺I/Oリダイレクション・レジスタ0 (PIOR0)のビット1 (PIOR01)が1のとき, UART2の異電位通信は使用できません。

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(1/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKp サイクル・タイム	tkCY1	tkCY1 ≥ 4/fCLK 4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	600		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	1000		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	2300		ns
SCKp ハイ・レベル幅	tkH1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 150		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 340		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 916		ns
SCKp ロウ・レベル幅	tkL1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	tkCY1/2 - 24		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	tkCY1/2 - 36		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	tkCY1/2 - 100		ns

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, SIp 端子はTTL入力バッファを選択し, SOp 端子と SCKp 端子はN-chオープン・ドレイン出力(VDD 耐圧(30~52ピン製品の場合)/EVDD 耐圧(64~100ピン製品の場合)モードを選択します。なお VIH, VIL は, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(2/3)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
Slpセッアップ時間(対SCKp ↑)注	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	162		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	354		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	958		ns
Slpホールド時間(対SCKp ↑)注	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↓ → SOp出力遅延時間注	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		200	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		390	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		966	ns

注 DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で, Slp端子はTTL入力バッファを選択し, SOp端子とSCKp端子はN-chオープン・ドレイン出力(VDD耐圧(30~52ピン製品の場合)/EVDD耐圧(64~100ピン製品の場合)モード)モードを選択します。なおVIH, VILは, TTL入力バッファ選択時のDC特性を参照してください。

(備考は次々ページにあります。)

(6) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(マスタ・モード, SCKp...内部クロック出力)

(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

(3/3)

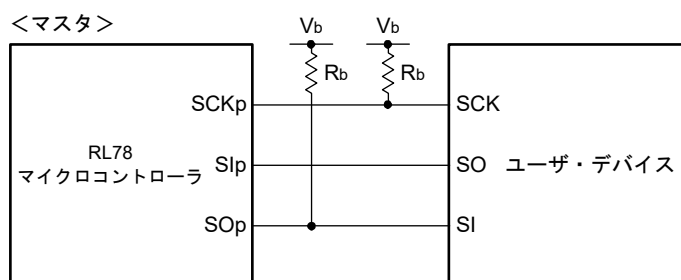
項目	略号	条件	HS (高速メイン) モード		単位
			MIN.	MAX.	
Slpセットアップ時間(対SCKp ↓)注	tsIK1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	88		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	88		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	220		ns
Slpホールド時間(対SCKp ↓)注	tkSI1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ	38		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ	38		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ	38		ns
SCKp ↑ → SOp出力遅延時間注	tkSO1	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		50	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		50	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rb = 5.5 kΩ		50	ns

注 DAPmn = 0, CKPmn = 1 または DAPmn = 1, CKPmn = 0 のとき。

注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で, Slp 端子は TTL 入力バッファを選択し, SOp 端子と SCKp 端子は N-ch オープン・ドレイン出力(VDD 耐圧(30~52ピン製品の場合)/EVDD 耐圧(64~100ピン製品の場合)モードを選択します。なお VIH, VIL は, TTL 入力バッファ選択時の DC 特性を参照してください。

(備考は次ページにあります。)

簡易SPI (CSI)モード接続図(異電位通信時)



備考1. R_b [Ω] : 通信ライン(SCKp, SOp)プルアップ抵抗値, C_b [F] : 通信ライン(SCKp, SOp)負荷容量値, V_b [V] : 通信ライン電圧

備考2. p : CSI番号($p = 00, 01, 10, 20, 30, 31$), m : ユニット番号($m = 0, 1$), n : チャネル番号($n = 0-3$),

g : PIM, POM番号($g = 0, 1, 3-5, 14$)

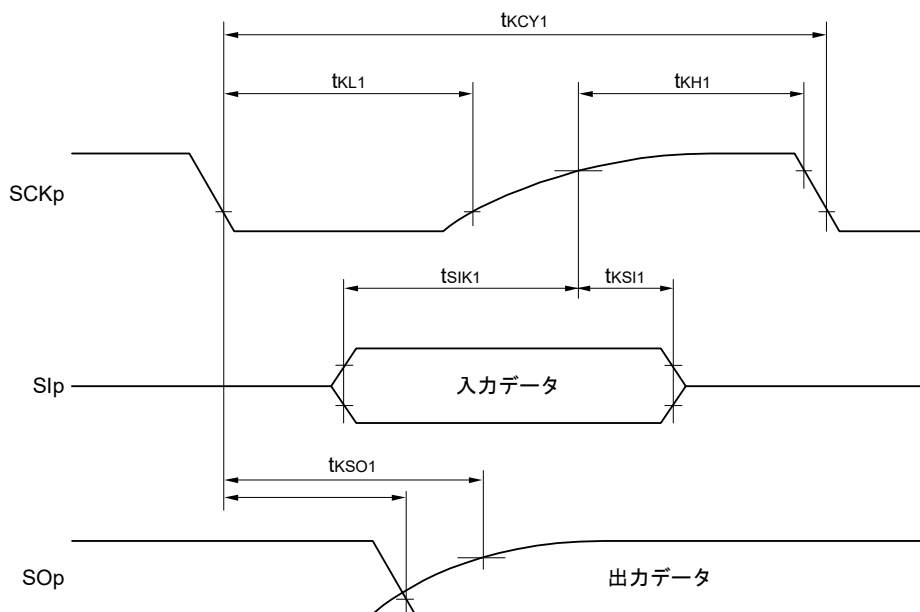
備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

シリアル・モード・レジスタmn (SMRmn)のCKSmnビットで設定する動作クロック。m : ユニット番号,

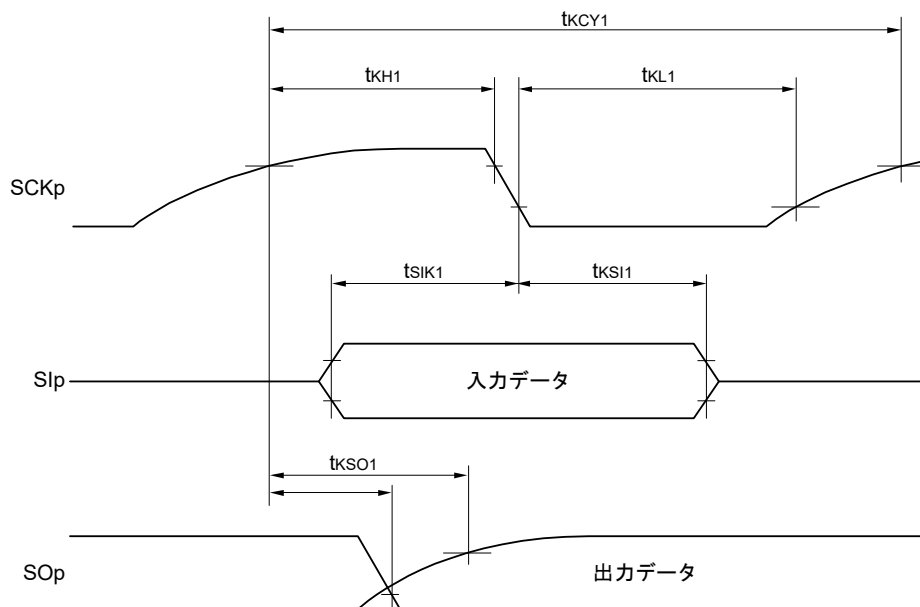
n : チャネル番号($mn = 00$)

備考4. CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：マスタ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20, 30, 31), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21と、48, 52, 64ピン製品のCSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。

(7) 異電位(1.8 V系, 2.5 V系, 3 V系)通信, 簡易SPI (CSI)モード時(スレーブ・モード, SCKp...外部クロック入力)

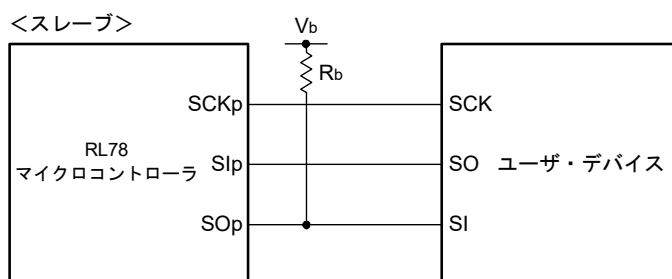
(TA = -40 ~ +105 °C, 2.4 V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5 V, VSS = EVSS0 = EVSS1 = 0 V)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCKpサイクル・タイム ^{注1}	tkCY2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	24 MHz < fMCK	28/fMCK	ns
			20 MHz < fMCK ≤ 24 MHz	24/fMCK	ns
			8 MHz < fMCK ≤ 20 MHz	20/fMCK	ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK	ns
			fMCK ≤ 4 MHz	12/fMCK	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	24 MHz < fMCK	40/fMCK	ns
			20 MHz < fMCK ≤ 24 MHz	32/fMCK	ns
			16 MHz < fMCK ≤ 20 MHz	28/fMCK	ns
			8 MHz < fMCK ≤ 16 MHz	24/fMCK	ns
			4 MHz < fMCK ≤ 8 MHz	16/fMCK	ns
			fMCK ≤ 4 MHz	12/fMCK	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	24 MHz < fMCK	96/fMCK	ns
			20 MHz < fMCK ≤ 24 MHz	72/fMCK	ns
			16 MHz < fMCK ≤ 20 MHz	64/fMCK	ns
			8 MHz < fMCK ≤ 16 MHz	52/fMCK	ns
			4 MHz < fMCK ≤ 8 MHz	32/fMCK	ns
			fMCK ≤ 4 MHz	20/fMCK	ns
SCKpハイ, ロウ・レベル幅	tkH2, tkL2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	tkCY2/2 - 24		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	tkCY2/2 - 36		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	tkCY2/2 - 100		ns
Slpセットアップ時間 (対SCKp ↑) ^{注2}	tsIK2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V	1/fMCK + 40		ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V	1/fMCK + 40		ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V	1/fMCK + 60		ns
Slpホールド時間(対SCKp ↑) ^{注2}	tkSI2		1/fMCK + 62		ns
SCKp ↓ → SOp出力遅延時間 ^{注3}	tkSO2	4.0 V ≤ EVDD0 ≤ 5.5 V, 2.7 V ≤ Vb ≤ 4.0 V, Cb = 30 pF, Rb = 1.4 kΩ		2/fMCK + 240	ns
		2.7 V ≤ EVDD0 < 4.0 V, 2.3 V ≤ Vb ≤ 2.7 V, Cb = 30 pF, Rb = 2.7 kΩ		2/fMCK + 428	ns
		2.4 V ≤ EVDD0 < 3.3 V, 1.6 V ≤ Vb ≤ 2.0 V, Cb = 30 pF, Rv = 5.5 kΩ		2/fMCK + 1146	ns

(注, 注意, 備考は次ページにあります。)

- 注1. SNOOZEモードでの転送レートは、MAX.: 1 Mbps
- 注2. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↓”となります。
- 注3. DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき。DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のときは“対SCKp ↑”となります。
- 注意 ポート入力モード・レジスタ g (PIMg) とポート出力モード・レジスタ g (POMg) で、Slp 端子と SCKp 端子は TTL 入力バッファを選択し、SOp 端子はN-chオープン・ドレイン出力 (V_{DD} 耐圧 (30 ~ 52 ピン製品の場合) / EV_{DD} 耐圧 (64 ~ 100 ピン製品の場合) モード) を選択します。なお V_{IH} , V_{IL} は、TTL 入力バッファ選択時の DC 特性を参照してください。

簡易 SPI (CSI) モード接続図 (異電位通信時)



備考1. R_b [Ω]: 通信ライン(SOp)プルアップ抵抗値, C_b [F]: 通信ライン(SOp)負荷容量値, V_b [V]: 通信ライン電圧

備考2. p: CSI番号(p = 00, 01, 10, 20, 30, 31), m: ユニット番号(m = 0, 1), n: チャンネル番号(n = 0-3),

g: PIM, POM番号(g = 0, 1, 3-5, 14)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

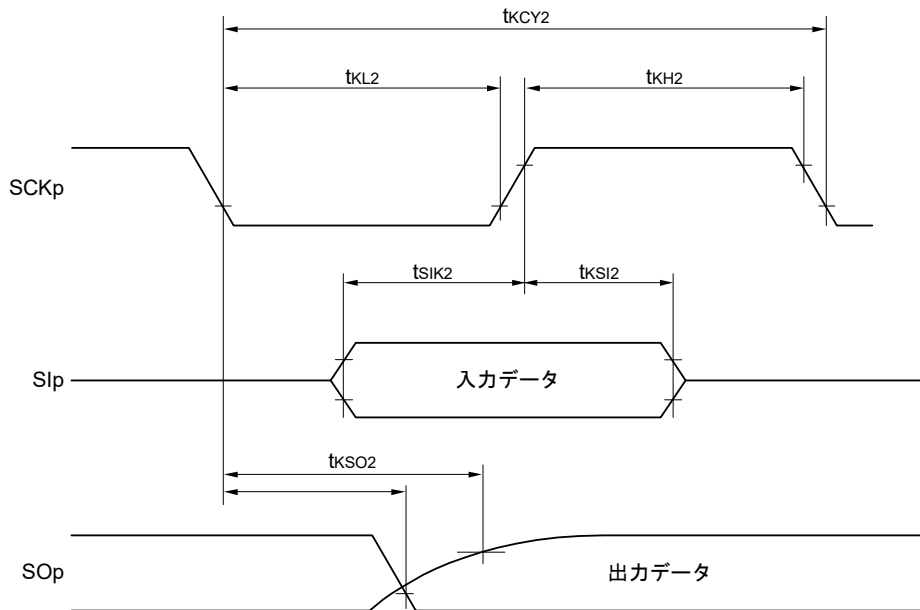
(シリアル・モード・レジスタ mn (SMRmn)のCKSmnビットで設定する動作クロック。m: ユニット番号,

n: チャンネル番号(mn = 00, 01, 02, 10, 12, 13))

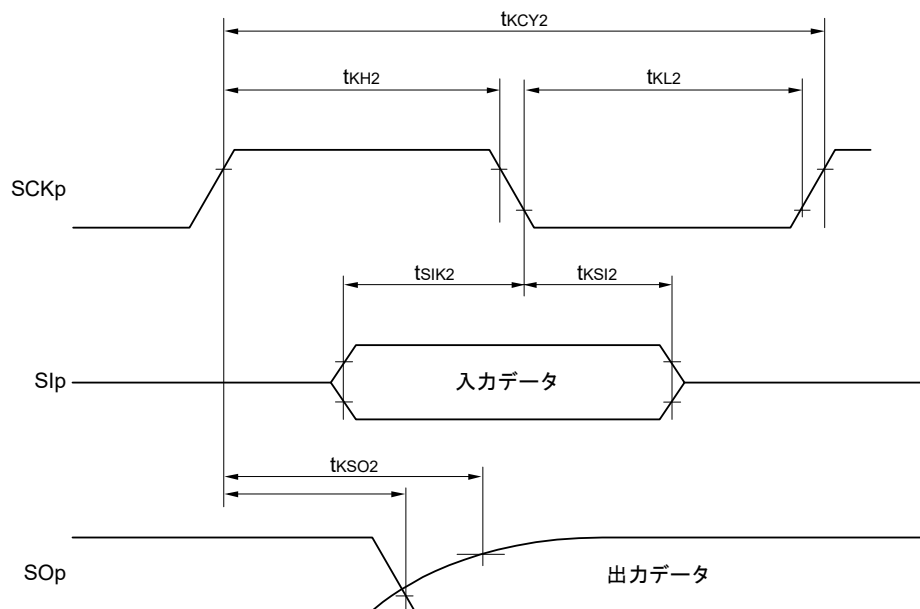
備考4. CSI11, CSI21 と、48, 52, 64 ピン製品 CSI01 は異電位通信できません。異電位通信をする場合は、それ以外の CSI を使用してください。

また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 0またはDAPmn = 1, CKPmn = 1のとき)



簡易SPI (CSI)モード・シリアル転送タイミング：スレーブ・モード(異電位通信時)
(DAPmn = 0, CKPmn = 1またはDAPmn = 1, CKPmn = 0のとき)



備考1. p : CSI番号(p = 00, 01, 10, 20, 30, 31), m : ユニット番号(m = 0, 1),

n : チャネル番号(n = 0-3), g : PIM, POM番号(g = 0, 1, 3-5, 14)

備考2. CSI11, CSI21と、48, 52, 64ピン製品CSI01は異電位通信できません。異電位通信をする場合は、それ以外のCSIを使用してください。また、スレーブセレクト機能付クロック同期シリアル通信では異電位通信できません。

(8) 異電位通信時 (1.8 V系, 2.5 V系, 3 V系) 通信時 (簡易 I²C モード)(T_A = -40 ~ +105 °C, 2.4 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

(1/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
SCLr クロック周波数	f _{SCL}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ		400注1	kHz
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ		400注1	kHz
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ		100注1	kHz
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ		100注1	kHz
		2.4 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ		100注1	kHz
SCLr = "L" のホールド・タイム	t _{LOW}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1200		ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	4600		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	4600		ns
		2.4 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	4650		ns
SCLr = "H" のホールド・タイム	t _{HIGH}	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	620		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	500		ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	2700		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	2400		ns
		2.4 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1830		ns

(8) 異電位通信時(1.8 V系, 2.5 V系, 3 V系) 通信時(簡易I²Cモード)(T_A = -40 ~ +105 °C, 2.4 V ≤ EV_{DD0} = EV_{DD1} ≤ V_{DD} ≤ 5.5 V, V_{SS} = EV_{SS0} = EV_{SS1} = 0 V)

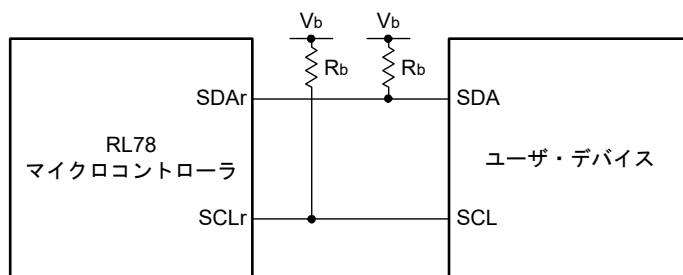
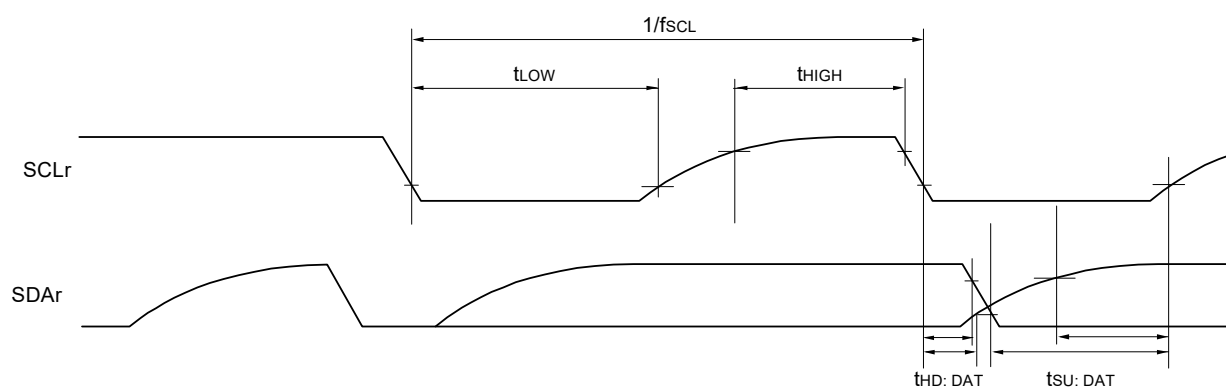
(2/2)

項目	略号	条件	HS (高速メイン)モード		単位
			MIN.	MAX.	
データ・セットアップ時間(受信時)	tsu: DAT	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340 ^{注2}		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	1/f _{MCK} + 340 ^{注2}		ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	1/f _{MCK} + 760 ^{注2}		ns
		2.4 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	1/f _{MCK} + 570 ^{注2}		ns
データ・ホールド時間(送信時)	thd: DAT	4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 50 pF, R _b = 2.7 kΩ	0	770	ns
		4.0 V ≤ EV _{DD0} ≤ 5.5 V, 2.7 V ≤ V _b ≤ 4.0 V, C _b = 100 pF, R _b = 2.8 kΩ	0	1420	ns
		2.7 V ≤ EV _{DD0} < 4.0 V, 2.3 V ≤ V _b ≤ 2.7 V, C _b = 100 pF, R _b = 2.7 kΩ	0	1420	ns
		2.4 V ≤ EV _{DD0} < 3.3 V, 1.6 V ≤ V _b ≤ 2.0 V, C _b = 100 pF, R _b = 5.5 kΩ	0	1215	ns

注1. かつf_{MCK}/4以下に設定してください。注2. f_{MCK}値は、SCLr = "L"とSCLr = "H"のホールド・タイムを越えない設定にしてください。

注意 ポート入力モード・レジスタg (PIMg)とポート出力モード・レジスタg (POMg)で、SDArはTTL入力バッファ、N-chオープン・ドレイン出力(V_{DD}耐圧(30~52ピン製品の場合)/EV_{DD}耐圧(64~100ピン製品の場合)モードを選択し、SCLrはN-chオープン・ドレイン出力(V_{DD}耐圧(30~52ピン製品の場合)/EV_{DD}耐圧(64~100ピン製品の場合)モードを選択します。なおV_{IH}, V_{IL}は、TTL入力バッファ選択時のDC特性を参照してください。

(備考は次ページにあります。)

簡易 I²C モード接続図 (異電位通信時)簡易 I²C モード・シリアル転送タイミング (異電位通信時)

備考1. R_b [Ω]: 通信ライン (SDAr, SCLr) プルアップ抵抗値, C_b [F]: 通信ライン (SDAr, SCLr) 負荷容量値, V_b [V]: 通信ライン電圧

備考2. r : IIC番号 ($r = 00, 01, 10, 11, 20, 30, 31$), g : PIM, POM番号 ($g = 0, 1, 3-5, 14$)

備考3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMRmnレジスタのCKSmnビットで設定する動作クロック。 m : ユニット番号 ($m = 0, 1$), n : チャネル番号 ($n = 0, 2$), $mn = 00, 01, 02, 10, 12, 13$)

35.5.2 シリアル・インタフェース IICA

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	HS (高速メイン)モード				単位
			標準モード		ファースト・モード		
			MIN.	MAX.	MIN.	MAX.	
SCLA0クロック周波数	fSCL	ファースト・モード : fCLK ≧ 3.5 MHz	—	—	0	400	kHz
		標準モード : fCLK ≧ 1 MHz	0	100	—	—	kHz
リスタート・コンディションのセットアップ時間	tSU: STA		4.7		0.6		μs
ホールド時間注1	tHD: STA		4.0		0.6		μs
SCLA0 = “L”のホールド・タイム	tLOW		4.7		1.3		μs
SCLA0 = “H”のホールド・タイム	tHIGH		4.0		0.6		μs
データ・セットアップ時間(受信時)	tSU: DAT		250		100		ns
データ・ホールド時間(送信時)注2	tHD: DAT		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	tSU: STO		4.0		0.6		μs
バス・フリー時間	tBUF		4.7		1.3		μs

注1. スタート・コンディショニング、リスタート・コンディショニング時は、この期間のあと最初のクロック・パルスが生成されます。

注2. tHD: DATの最大値(MAX.)は、通常転送時の数値であり、ACK(アクノリッジ)タイミングでは、クロック・ストレッチが発生します。

注意 周辺I/Oリダイレクション・レジスタ0(PIOR0)のビット2(PIOR02)が1の場合も、上記の値を適用できます。

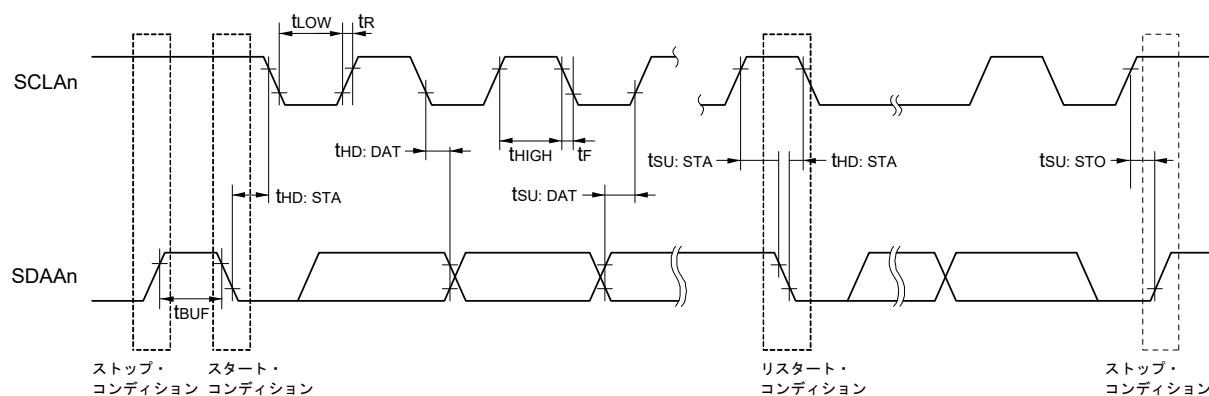
ただし、端子特性(I_{OH1}, I_{OL1}, V_{OH1}, V_{OL1})はリダイレクト先の値を満たしてください。

備考 各モードにおけるC_b(通信ライン容量)のMAX.値と、そのときのR_b(通信ライン・プルアップ抵抗値)の値は次のとおりです。

標準モード : C_b = 400 pF, R_b = 2.7 k Ω

ファースト・モード : C_b = 320 pF, R_b = 1.1 k Ω

IICAシリアル転送タイミング



備考 n = 0, 1

35.6 アナログ特性

35.6.1 A/Dコンバータ特性

A/Dコンバータ特性の区分

入力チャネル	基準電圧 基準電圧(+) = AVREFP 基準電圧(-) = AVREFM	基準電圧(+) = VDD 基準電圧(-) = VSS	基準電圧(+) = VBGR 基準電圧(-) = AVREFM
ANI0-ANI14	35.6.1 (1)参照	35.6.1 (3)参照	35.6.1 (4)参照
ANI16-ANI20	35.6.1 (2)参照		
内部基準電圧 温度センサ出力電圧	35.6.1 (1)参照		—

(1) 基準電圧(+) = AVREFP/ANI0 (ADREFP1 = 0, ADREFP0 = 1), 基準電圧(-) = AVREFM/ANI1 (ADREFM = 1)選択時,
変換対象 : ANI2-ANI14, 内部基準電圧, 温度センサ出力電圧

(TA = -40 ~ +105 °C, 2.4 V ≤ AVREFP ≤ VDD ≤ 5.5 V, VSS = 0 V, 基準電圧(+) = AVREFP, 基準電圧(-) = AVREFM = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES		8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V	1.2	±3.5	LSB
変換時間	tCONV	10ビット分解能 変換対象 : ANI2-ANI14	3.6 V ≤ VDD ≤ 5.5 V	2.125	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.1875	39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17	39	μs
		10ビット分解能 変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	3.6 V ≤ VDD ≤ 5.5 V	2.375	39	μs
			2.7 V ≤ VDD ≤ 5.5 V	3.5625	39	μs
			2.4 V ≤ VDD ≤ 5.5 V	17	39	μs
ゼロスケール誤差 ^{注1, 2}	EZS	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
フルスケール誤差 ^{注1, 2}	EFS	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±0.25	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±2.5	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能 AVREFP = VDD ^{注3}	2.4 V ≤ AVREFP ≤ 5.5 V		±1.5	LSB
アナログ入力電圧	VAIN	ANI2-ANI14	0		AVREFP	V
		内部基準電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン)モード)			VBGR ^{注4}	V
		温度センサ出力電圧(2.4 V ≤ VDD ≤ 5.5 V, HS (高速メイン)モード)			VTMP25 ^{注4}	V

注1. 量子化誤差(±1/2 LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. AVREFP < VDDの場合, MAX.値は次のようになります。

総合誤差 : AVREFP = VDDのMAX.値に±1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 : AVREFP = VDDのMAX.値に±0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 : AVREFP = VDDのMAX.値に±0.5 LSBを加算してください。

注4. 35.6.2 温度センサ／内部基準電圧特性を参照してください。

(2) 基準電圧(+) = $AV_{REFP}/ANI0$ ($ADREFP1 = 0$, $ADREFP0 = 1$), 基準電圧(-) = $AV_{REFM}/ANI1$ ($ADREFM = 1$)選択時,
変換対象 : ANI16-ANI20

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $2.4\text{ V} \leq AV_{REFP} \leq V_{DD} \leq 5.5\text{ V}$,

$V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧(+) = AV_{REFP} , 基準電圧(-) = $AV_{REFM} = 0\text{ V}$)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差注1	AINL	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$		1.2	± 5.0	LSB
変換時間	tCONV	10ビット分解能 変換対象 : ANI16-ANI20	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
			$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差注1, 2	EZS	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 0.35	%FSR
フルスケール誤差注1, 2	EFS	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 0.35	%FSR
積分直線性誤差注1	ILE	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 3.5	LSB
微分直線性誤差注1	DLE	10ビット分解能 $EV_{DD0} \leq AV_{REFP} = V_{DD}$ 注3, 4	$2.4\text{ V} \leq AV_{REFP} \leq 5.5\text{ V}$			± 2.0	LSB
アナログ入力電圧	VAIN	ANI16-ANI20		0		AV_{REFP} かつ EV_{DD0}	V

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. $EV_{DD0} \leq AV_{REFP} < V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 1.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.05 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.5 LSBを加算してください。

注4. $AV_{REFP} < EV_{DD0} \leq V_{DD}$ の場合, MAX.値は次のようになります。

総合誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 4.0 LSBを加算してください。

ゼロスケール誤差／フルスケール誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 0.20 %FSRを加算してください。

積分直線性誤差／微分直線性誤差 : $AV_{REFP} = V_{DD}$ のMAX.値に ± 2.0 LSBを加算してください。

(3) 基準電圧(+) = V_{DD} (ADREFP1 = 0, ADREFP0 = 0), 基準電圧(-) = V_{SS} (ADREFM = 0)選択時,

変換対象 : ANI0-ANI14, ANI16-ANI20, 内部基準電圧, 温度センサ出力電圧

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, 基準電圧(+) = V_{DD} , 基準電圧(-) = V_{SS})

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8		10	bit
総合誤差 ^{注1}	AINL	10ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		1.2	± 7.0	LSB
変換時間	tCONV	10ビット分解能	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.125		39	μs
		変換対象 : ANI0-ANI14, ANI16-ANI20	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.1875		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
		10ビット分解能	$3.6\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	2.375		39	μs
		変換対象 : 内部基準電圧, 温度センサ出力電圧(HS (高速メイン) モード)	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	3.5625		39	μs
			$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差 ^{注1,2}	EZS	10ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
フルスケール誤差 ^{注1,2}	EFS	10ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
積分直線性誤差 ^{注1}	ILE	10ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 4.0	LSB
微分直線性誤差 ^{注1}	DLE	10ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.0	LSB
アナログ入力電圧	VAIN	ANI0-ANI14		0		V_{DD}	V
		ANI16-ANI20		0		EV_{DD0}	V
		内部基準電圧($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)		V_{BGR} ^{注3}			V
		温度センサ出力電圧($2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, HS (高速メイン) モード)		V_{TMS25} ^{注3}			V

注1. 量子化誤差($\pm 1/2$ LSB)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 35.6.2 温度センサ／内部基準電圧特性を参照してください。

- (4) 基準電圧(+) = 内部基準電圧($\text{ADREFP1} = 1, \text{ADREFP0} = 0$), 基準電圧(-) = $\text{AVREFM}/\text{ANI1}$ ($\text{ADREFM} = 1$)選択時,
変換対象 : $\text{ANI0}, \text{ANI2-ANI14}, \text{ANI16-ANI20}$

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $1.6\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq V_{DD}$, $V_{SS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$,

基準電圧(+) = V_{BGR} 注3, 基準電圧(-) = AVREFM 注4 = 0 V , HS (高速メイン)モード)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES			8			bit
変換時間	tCONV	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	17		39	μs
ゼロスケール誤差注1, 2	EZS	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 0.60	%FSR
積分直線性誤差注1	ILE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 2.0	LSB
微分直線性誤差注1	DLE	8ビット分解能	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			± 1.0	LSB
アナログ入力電圧	VAIN			0		V_{BGR} 注3	V

注1. 量子化誤差($\pm 1/2\text{ LSB}$)を含みません。

注2. フルスケール値に対する比率(%FSR)で表します。

注3. 35.6.2 温度センサ／内部基準電圧特性を参照してください。

注4. 基準電圧(-) = V_{SS} の場合, MAX.値は次のようになります。

ゼロスケール誤差 : 基準電圧(-) = AVREFM 時のMAX.値に $\pm 0.35\%$ FSRを加算してください。

積分直線性誤差 : 基準電圧(-) = AVREFM 時のMAX.値に $\pm 0.5\text{ LSB}$ を加算してください。

微分直線性誤差 : 基準電圧(-) = AVREFM 時のMAX.値に $\pm 0.2\text{ LSB}$ を加算してください。

35.6.2 温度センサ／内部基準電圧特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$, HS (高速メイン)モード)

項目	略号	条件	MIN.	TYP.	MAX.	単位
温度センサ出力電圧	V _{TMPS25}	ADS レジスタ = 80H 設定, $T_A = +25\text{ }^{\circ}\text{C}$		1.05		V
内部基準電圧	V _{BGR}	ADS レジスタ = 81H 設定	1.38	1.45	1.5	V
温度係数	F _{VTMPS}	温度センサ電圧の温度依存		-3.6		mV/ $^{\circ}\text{C}$
動作安定待ち時間	t _{AMP}		5			μs

35.6.3 D/Aコンバータ

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq EV_{DD0} = EV_{DD1} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS0} = EV_{SS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				8	bit
総合誤差	AINL	Rload = 4 M Ω	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 2.5	LSB
		Rload = 8 M Ω	$2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		± 2.5	LSB
セトリング・タイム	t _{SET}	Cload = 20pF	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$		3	μs
			$2.4\text{ V} \leq V_{DD} < 2.7\text{ V}$		6	μs

35.6.4 コンパレータ

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力電圧範囲	lvref		0		$\text{EVDD0} - 1.4$	V
	lvcmp		-0.3		$\text{EVDD0} + 0.3$	V
出力遅延	td	$\text{VDD} = 3.0\text{ V}$ 入カスルーレート $> 50\text{ mV}/\mu\text{s}$			1.2	μs
		コンパレータ高速モード, 基本モード			2.0	μs
		コンパレータ高速モード, ウィンドウモード		3.0	5.0	μs
高電位側 リファレンス電圧	VTW+	コンパレータ高速モード, ウィンドウモード		0.76 VDD		V
低電位側 リファレンス電圧	VTW-	コンパレータ高速モード, ウィンドウモード		0.24 VDD		V
動作安定待ち時間	tCMP		100			μs
内部基準電圧 注	VBGR	$2.4\text{ V} \leq \text{VDD} \leq 5.5\text{ V}$, HS (高速メイン)モード	1.38	1.45	1.50	V

注 サブ・クロック動作, STOPモード時は使用できません。

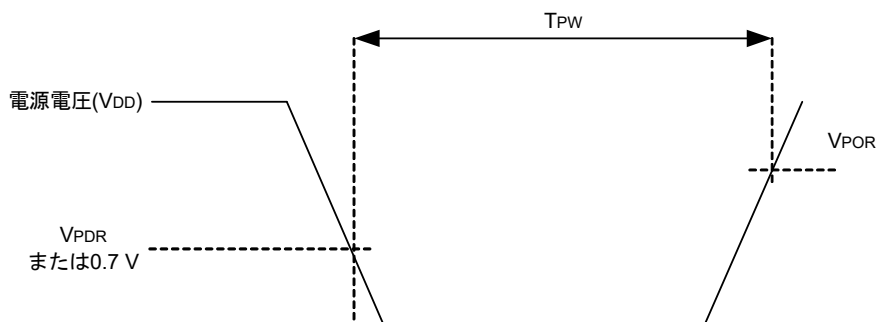
35.6.5 POR回路特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $\text{VSS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	VPOR	電源立ち上がり時	1.45	1.51	1.57	V
	VPDR	電源立ち下がり時 ^{注1}	1.44	1.50	1.56	V
最小パルス幅 ^{注2}	TPW		300			μs

注1. ただし, LVD オフの条件で動作電圧降下時は, 35.4 AC 特性に示す動作電圧範囲を下回る前に, STOP モードに移行, または電圧検出機能が外部リセット端子で, リセット状態にしてください。

注2. VDD が VPDR を下回った場合に, POR によるリセット動作に必要な時間です。また STOP モード時および, クロック動作ステータス制御レジスタ (CSC) のビット0 (HIOSTOP) とビット7 (MSTOP) の設定によりメイン・システム・クロック (f_{MAIN}) を停止時は, VDD が 0.7 V を下回ってから, VPOR を上回るまでのPORによるリセット動作に必要な時間です。



35.6.6 LVD回路特性

(1) リセット・モード、割り込みモードのLVD検出電圧

 $(T_A = -40 \sim +105\text{ }^{\circ}\text{C}, V_{PDR} \leq V_{DD} \leq 5.5\text{ V}, V_{SS} = 0\text{ V})$

項目		略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	VLVD0	電源立ち上がり時	3.90	4.06	4.22	V
			電源立ち下がり時	3.83	3.98	4.13	V
		VLVD1	電源立ち上がり時	3.60	3.75	3.90	V
			電源立ち下がり時	3.53	3.67	3.81	V
		VLVD2	電源立ち上がり時	3.01	3.13	3.25	V
			電源立ち下がり時	2.94	3.06	3.18	V
		VLVD3	電源立ち上がり時	2.90	3.02	3.14	V
			電源立ち下がり時	2.85	2.96	3.07	V
		VLVD4	電源立ち上がり時	2.81	2.92	3.03	V
			電源立ち下がり時	2.75	2.86	2.97	V
		VLVD5	電源立ち上がり時	2.70	2.81	2.92	V
			電源立ち下がり時	2.64	2.75	2.86	V
		VLVD6	電源立ち上がり時	2.61	2.71	2.81	V
			電源立ち下がり時	2.55	2.65	2.75	V
		VLVD7	電源立ち上がり時	2.51	2.61	2.71	V
			電源立ち下がり時	2.45	2.55	2.65	V
最小パルス幅		tlw		300			μs
検出遅延						300	μs

(2) 割り込み&リセット・モードのLVD検出電圧

(TA = -40 ~ +105 °C, VPDR ≤ VDD ≤ 5.5 V, VSS = 0 V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
割り込み& リセット・モード	VLVDD0	VPOC2, VPOC1, VPOC0 = 0, 1, 1, 立ち下がリリセット電圧		2.64	2.75	2.86	V
	VLVDD1	LVIS1, LVIS0 = 1, 0	立ち上がりリセット解除電圧	2.81	2.92	3.03	V
			立ち下がリ割り込み電圧	2.75	2.86	2.97	V
	VLVDD2	LVIS1, LVIS0 = 0, 1	立ち上がりリセット解除電圧	2.90	3.02	3.14	V
			立ち下がリ割り込み電圧	2.85	2.96	3.07	V
	VLVDD3	LVIS1, LVIS0 = 0, 0	立ち上がりリセット解除電圧	3.90	4.06	4.22	V
			立ち下がリ割り込み電圧	3.83	3.98	4.13	V

35.6.7 電源電圧立ち上がり傾き特性

(TA = -40 ~ +105 °C, VSS = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧立ち上がり傾き	SVDD				54	V/ms

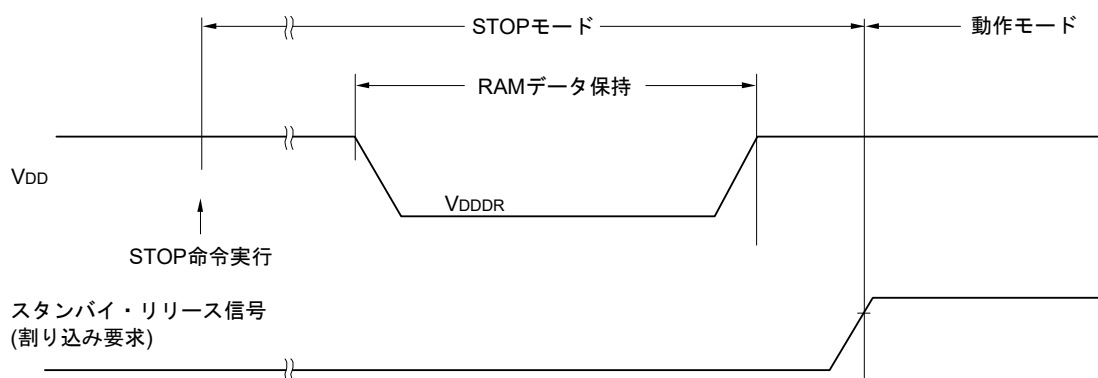
注意 VDDが35.4 AC特性に示す動作電圧範囲内に達するまで、LVD回路か外部リセットで内部リセット状態を保ってください。

35.7 RAM データ 保持特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V_{DDDR}		1.44 ^注		5.5	V

注 POR検出電圧に依存します。電圧降下時、PORリセットがかかるまではRAMのデータを保持しますが、PORリセットがかかった場合のRAMのデータは保持されません。



35.8 フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	fCLK	2.4 V ≤ VDD ≤ 5.5 V	1		32	MHz
コード・フラッシュの書き換え回数注1, 2, 3	C _{erwr}	保持年数：20年 T _A = 85 °C注4	1,000			回
データ・フラッシュの書き換え回数注1, 2, 3		保持年数：1年 T _A = 25 °C		1,000,000		
		保持年数：5年 T _A = 85 °C注4	100,000			
		保持年数：20年 T _A = 85 °C注4	10,000			

注1. 消去1回 + 消去後の書き込み1回を書き換え回数1回とする。保持年数は、1度書き換えた後、次に書き換えを行うまでの期間とする。

注2. フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリを使用時。

注3. この特性はフラッシュ・メモリの特性を示すものであり、当社の信頼性試験から得られた結果です。

注4. 保持の平均温度です。

35.9 専用フラッシュ・メモリ・プログラマ通信(UART)

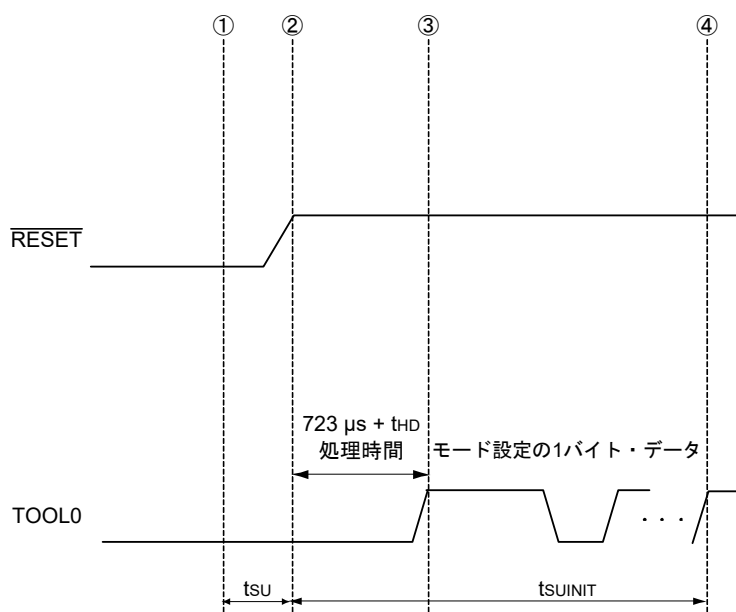
($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		シリアル・プログラミング時	115,200		1,000,000	bps

35.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミング

($T_A = -40 \sim +105\text{ }^{\circ}\text{C}$, $2.4\text{ V} \leq \text{EVDD0} = \text{EVDD1} \leq \text{VDD} \leq 5.5\text{ V}$, $\text{VSS} = \text{EVSS0} = \text{EVSS1} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
外部リセット解除から初期設定通信を完了する時間	tsuINIT	外部リセット解除前に POR, LVD リセットは解除			100	ms
TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間	tsu	外部リセット解除前に POR, LVD リセットは解除	10			μs
外部リセット解除から、TOOL0端子をロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)	tHD	外部リセット解除前に POR, LVD リセットは解除	1			ms



- ① TOOL0端子にロウ・レベルを入力
- ② 外部リセットを解除(その前にPOR, LVD リセットが解除されていること)
- ③ TOOL0端子のロウ・レベルを解除
- ④ UART受信によるボー・レート設定完了

備考 tsuINIT: この区間では、外部リセット解除から100 ms以内に初期設定通信を完了してください。

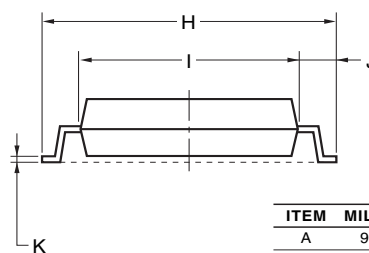
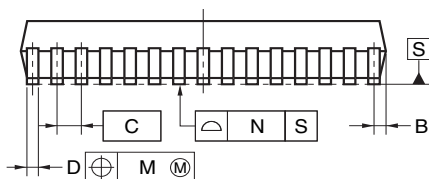
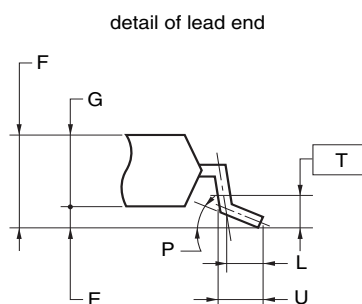
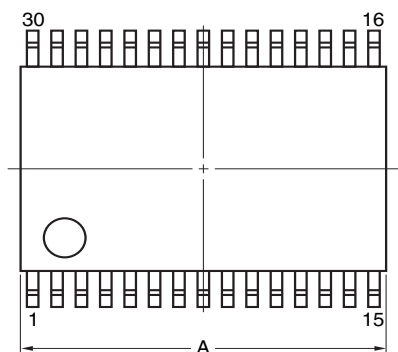
tsu: TOOL0端子をロウ・レベルにしてから、外部リセットを解除するまでの時間

tHD: 外部リセット解除から、TOOL0端子レベルをロウ・レベルに保持する時間(フラッシュ・ファーム処理時間を除く)。

第36章 外形図

36.1 30ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LSSOP30-0300-0.65	PLSP0030JB-B	S30MC-65-5A4-3	0.18



NOTE

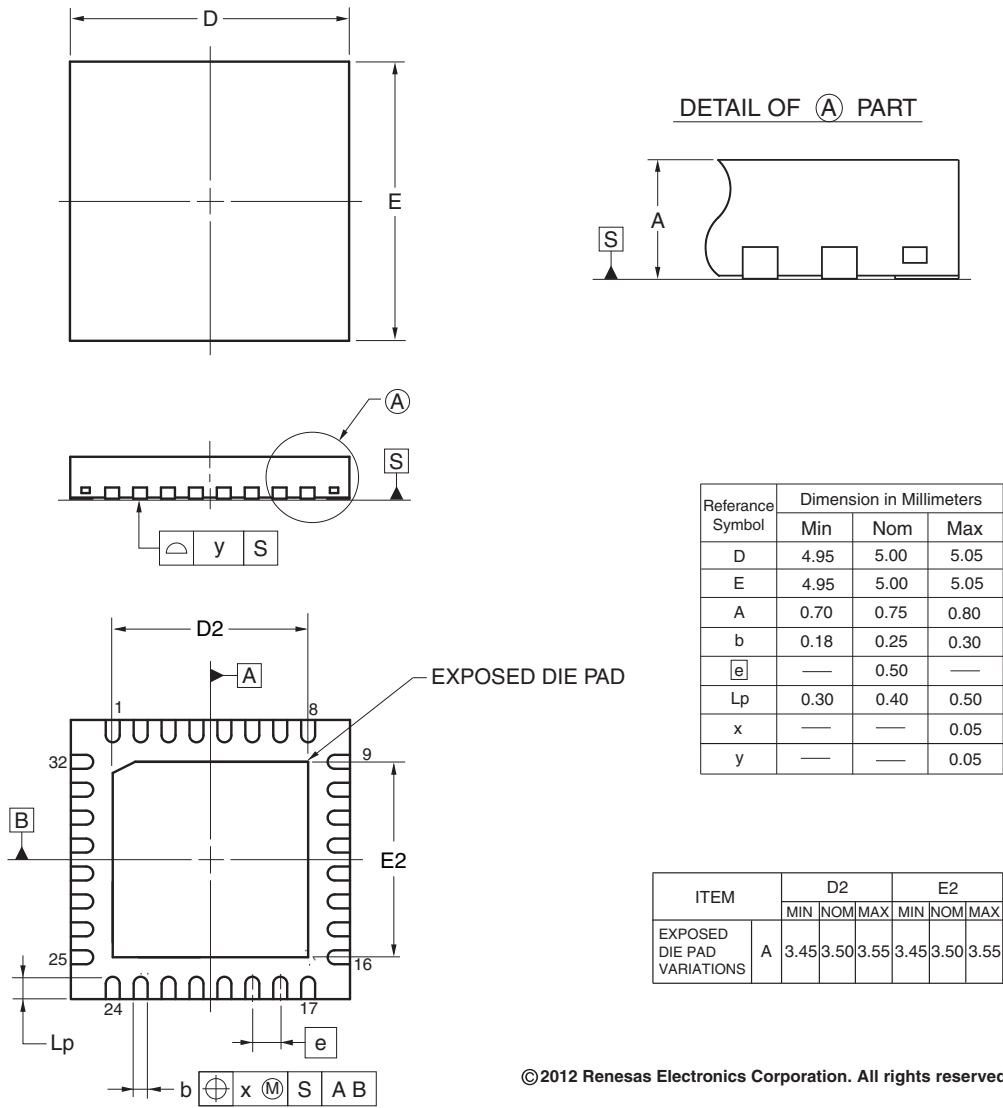
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

ITEM	MILLIMETERS
A	9.85±0.15
B	0.45 MAX.
C	0.65 (T.P.)
D	0.24 ^{+0.08} _{-0.07}
E	0.1±0.05
F	1.3±0.1
G	1.2
H	8.1±0.2
I	6.1±0.2
J	1.0±0.2
K	0.17±0.03
L	0.5
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25
U	0.6±0.15

©2012 Renesas Electronics Corporation. All rights reserved.

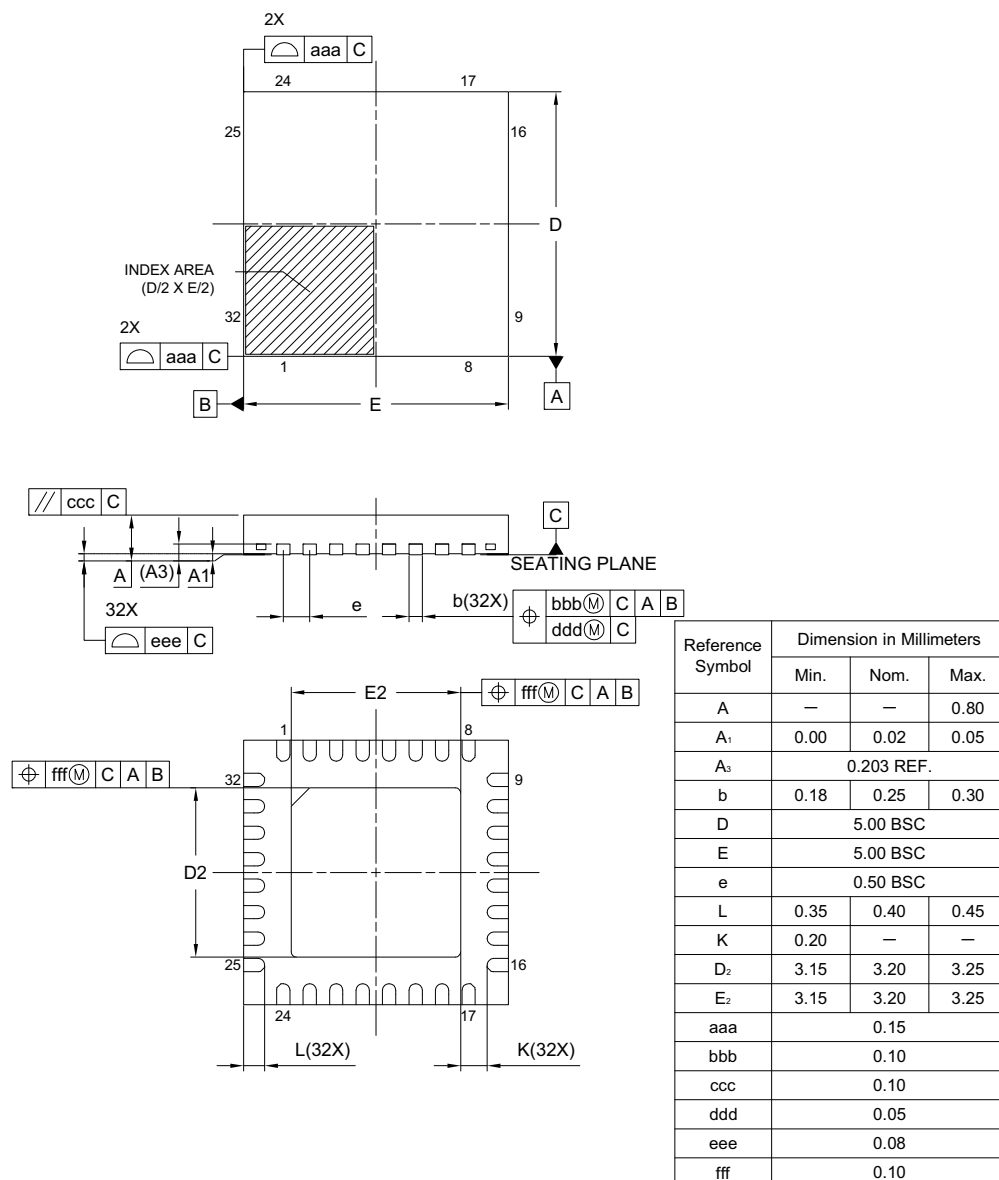
36.2 32ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN32-5x5-0.50	PWQN0032KB-A	P32K8-50-3B4-4	0.06

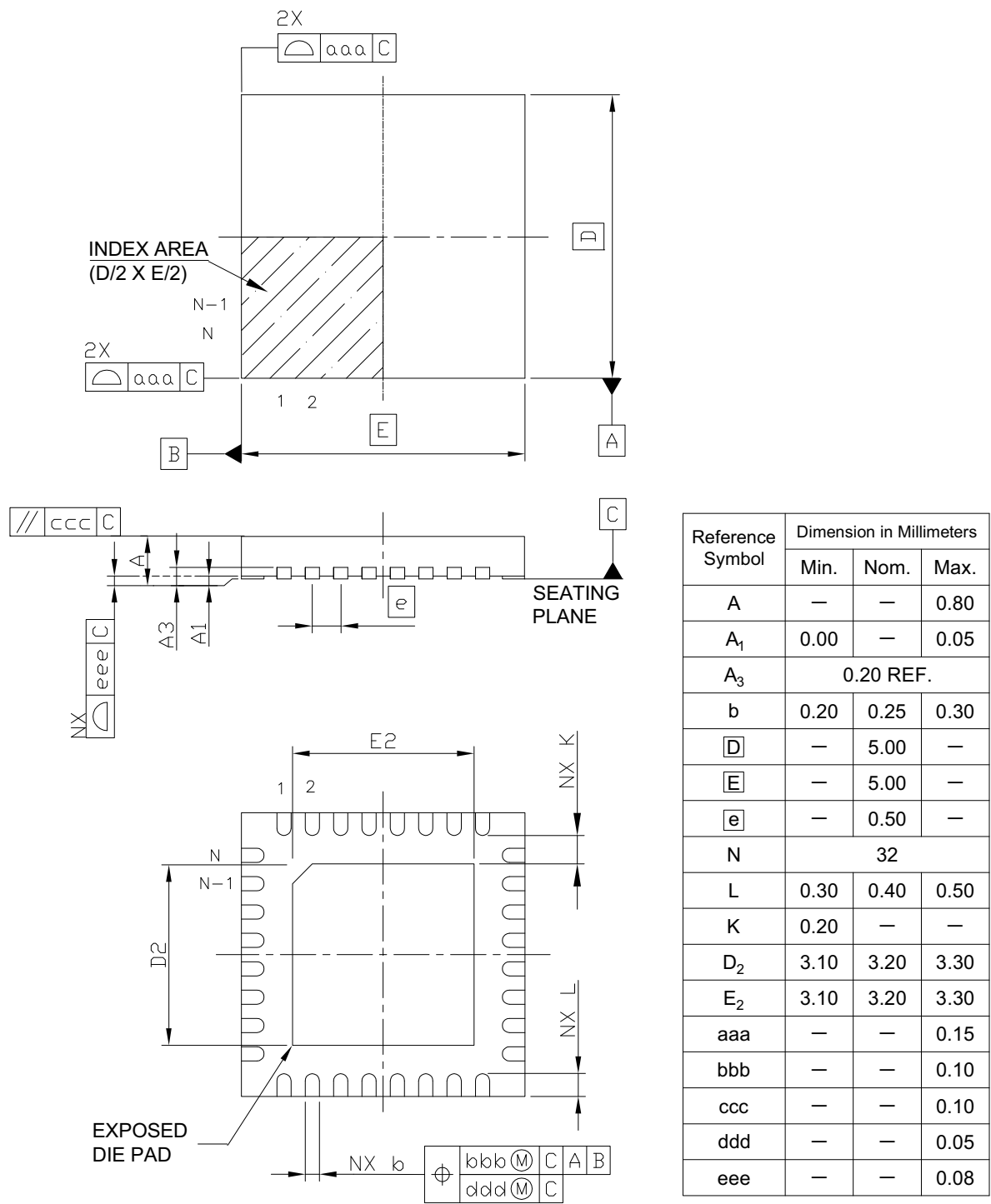


©2012 Renesas Electronics Corporation. All rights reserved.

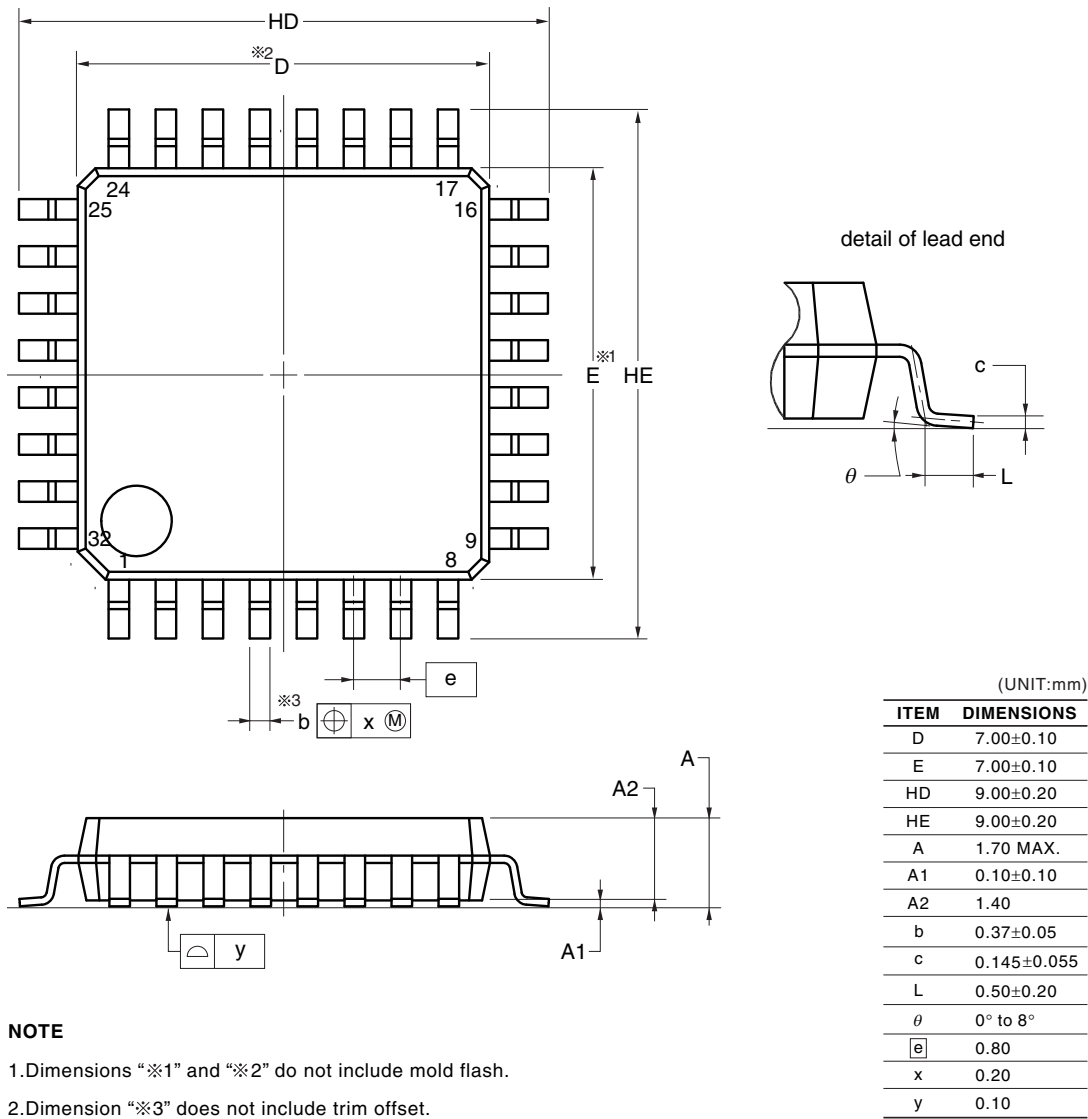
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN032-5x5-0.50	PWQN0032KE-A	0.06



JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN32-5×5-0.50	PWQN0032KG-A	0.06



JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP32-7x7-0.80	PLQP0032GB-A	P32GA-80-GBT-1	0.2

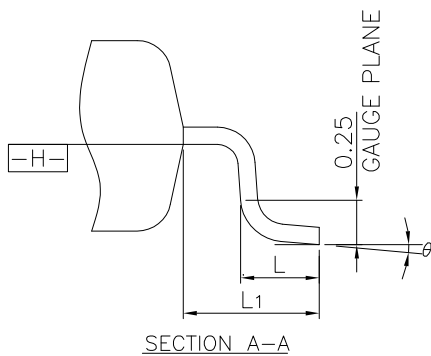
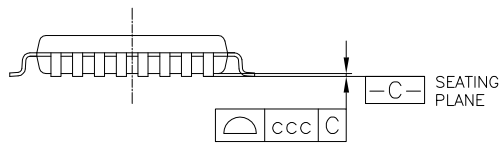
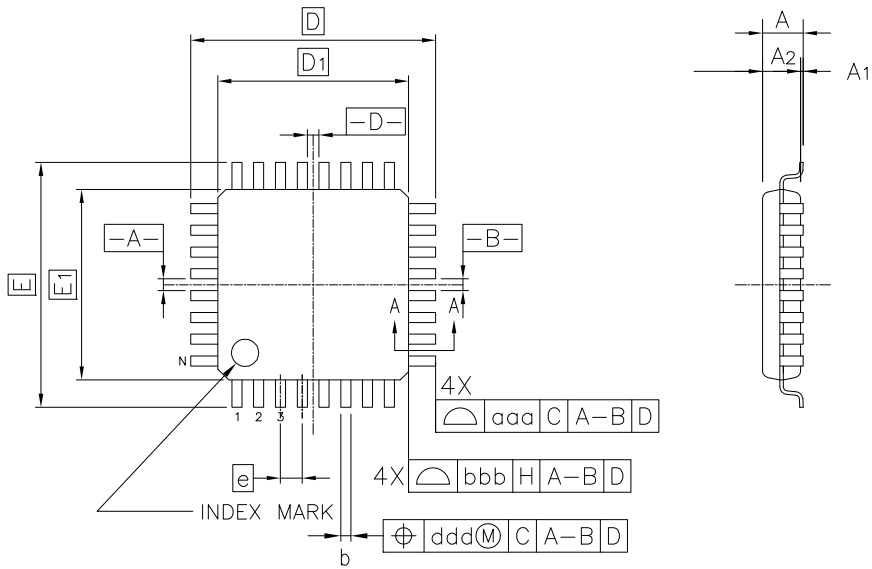


NOTE

- 1. Dimensions "×1" and "×2" do not include mold flash.
- 2. Dimension "×3" does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

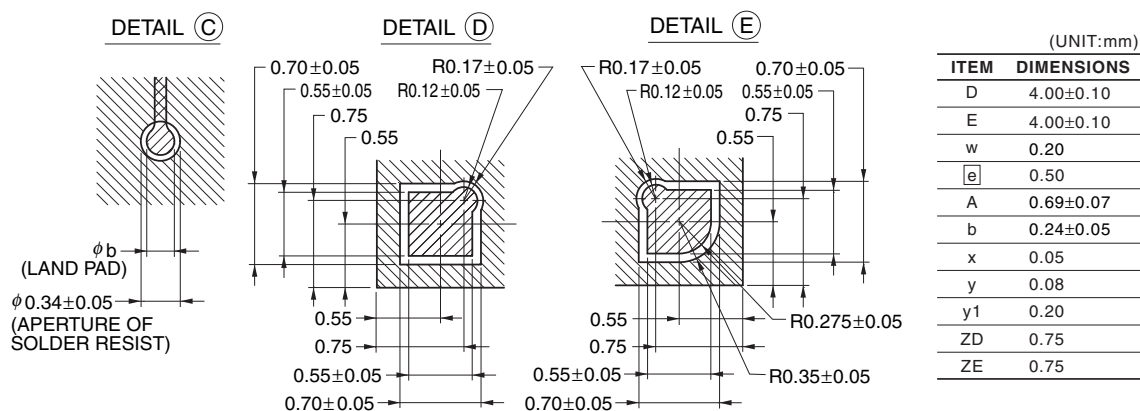
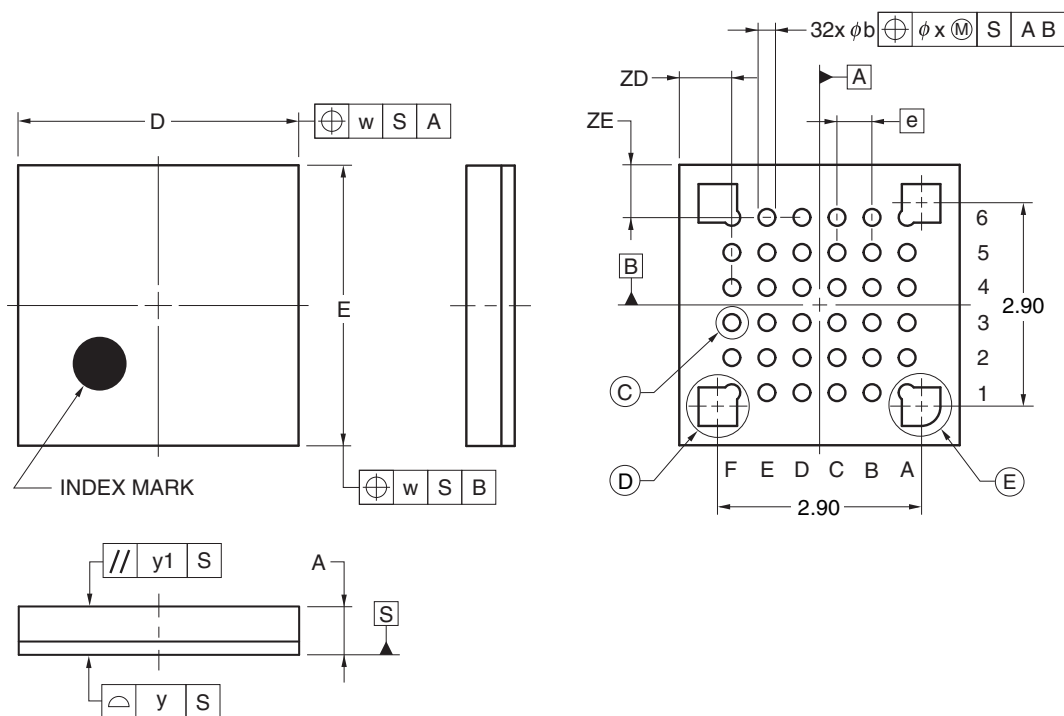
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP32-7x7-0.80	PLQP0032GE-A	0.18



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	9.00	—
D ₁	—	7.00	—
E	—	9.00	—
E ₁	—	7.00	—
N	—	32	—
e	—	0.80	—
b	0.30	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20

36.3 36ピン製品

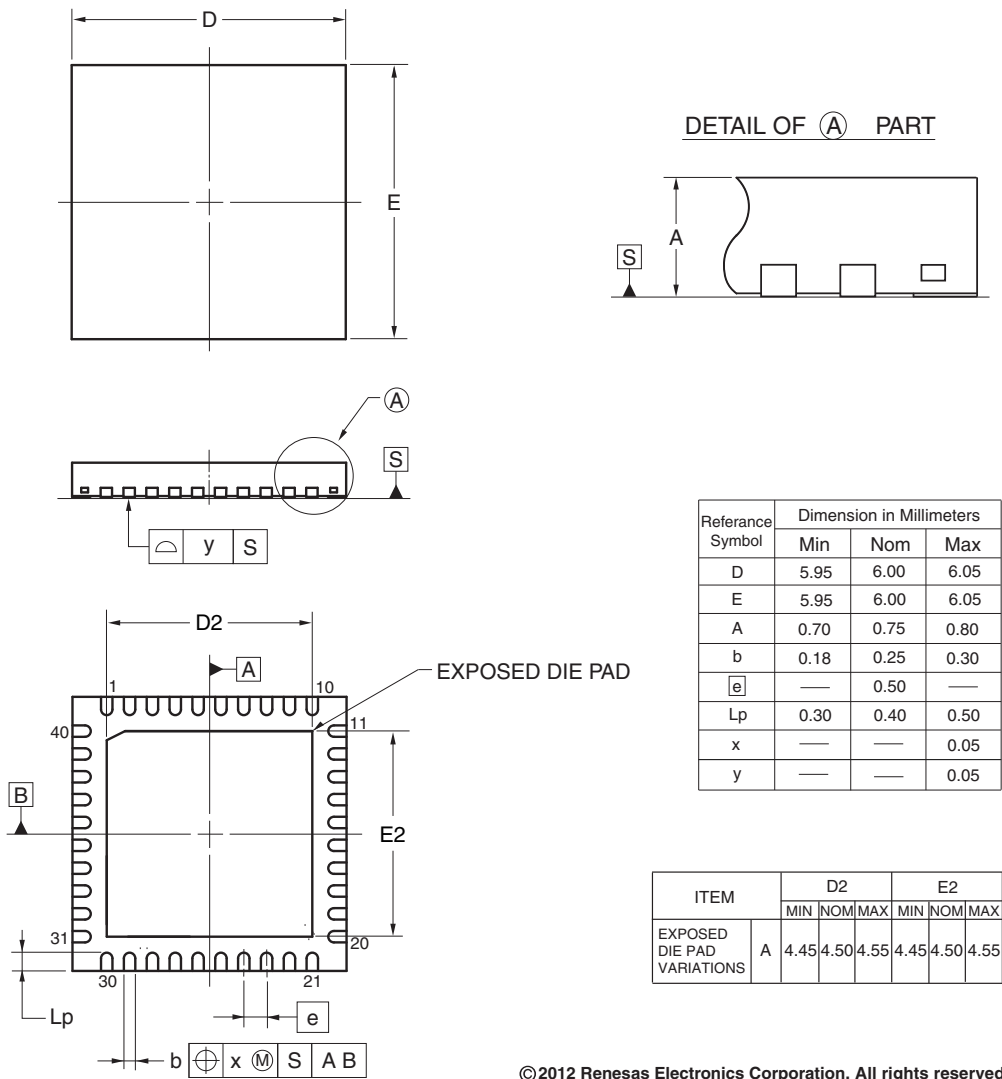
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-WFLGA36-4x4-0.50	PWLG0036KA-A	P36FC-50-AA4-2	0.023



©2012 Renesas Electronics Corporation. All rights reserved.

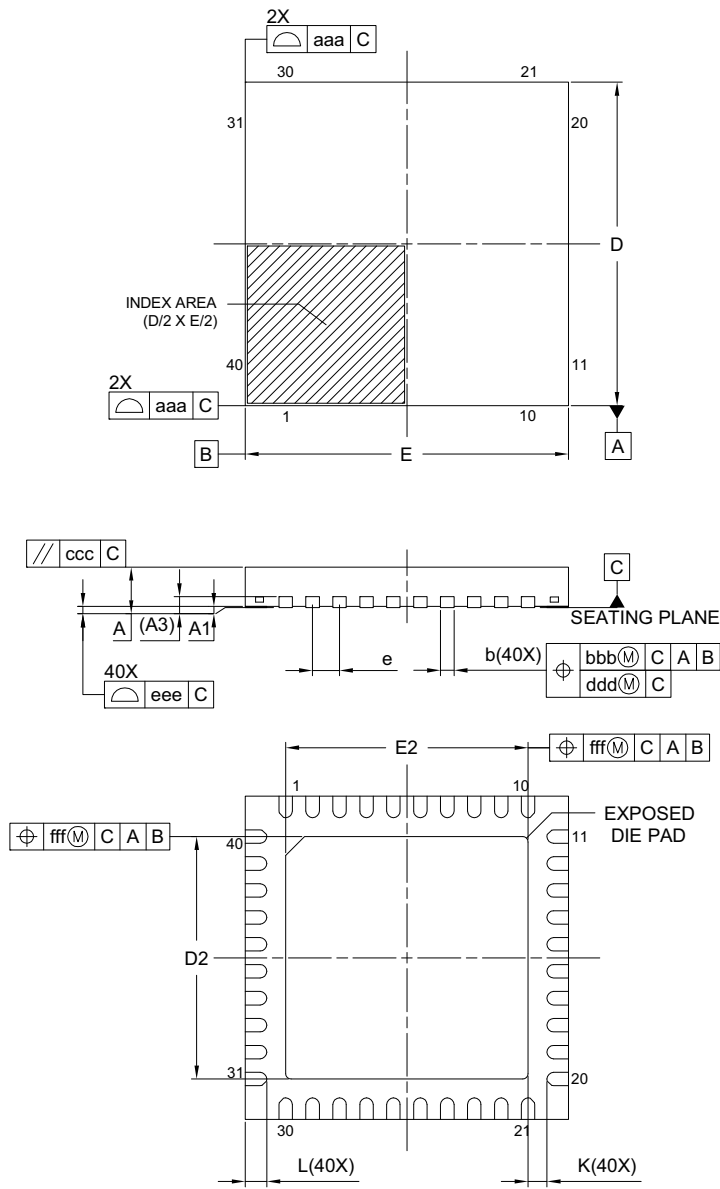
36.4 40ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN40-6x6-0.50	PWQN0040KC-A	P40K8-50-4B4-4	0.09



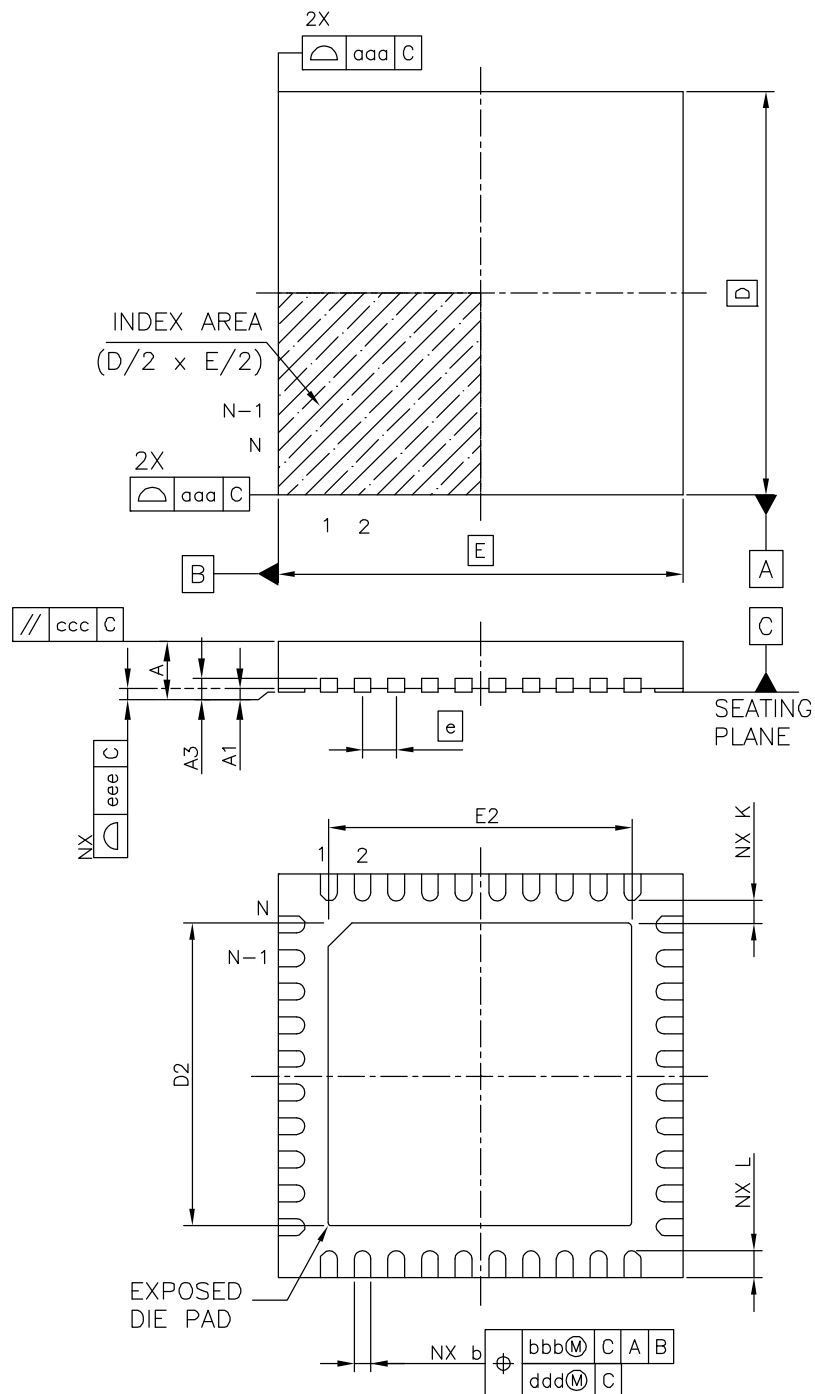
©2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN040-6x6-0.50	PWQN0040KD-A	0.08



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.18	0.25	0.30
D	6.00 BSC		
E	6.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.45	4.50	4.55
E ₂	4.45	4.50	4.55
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

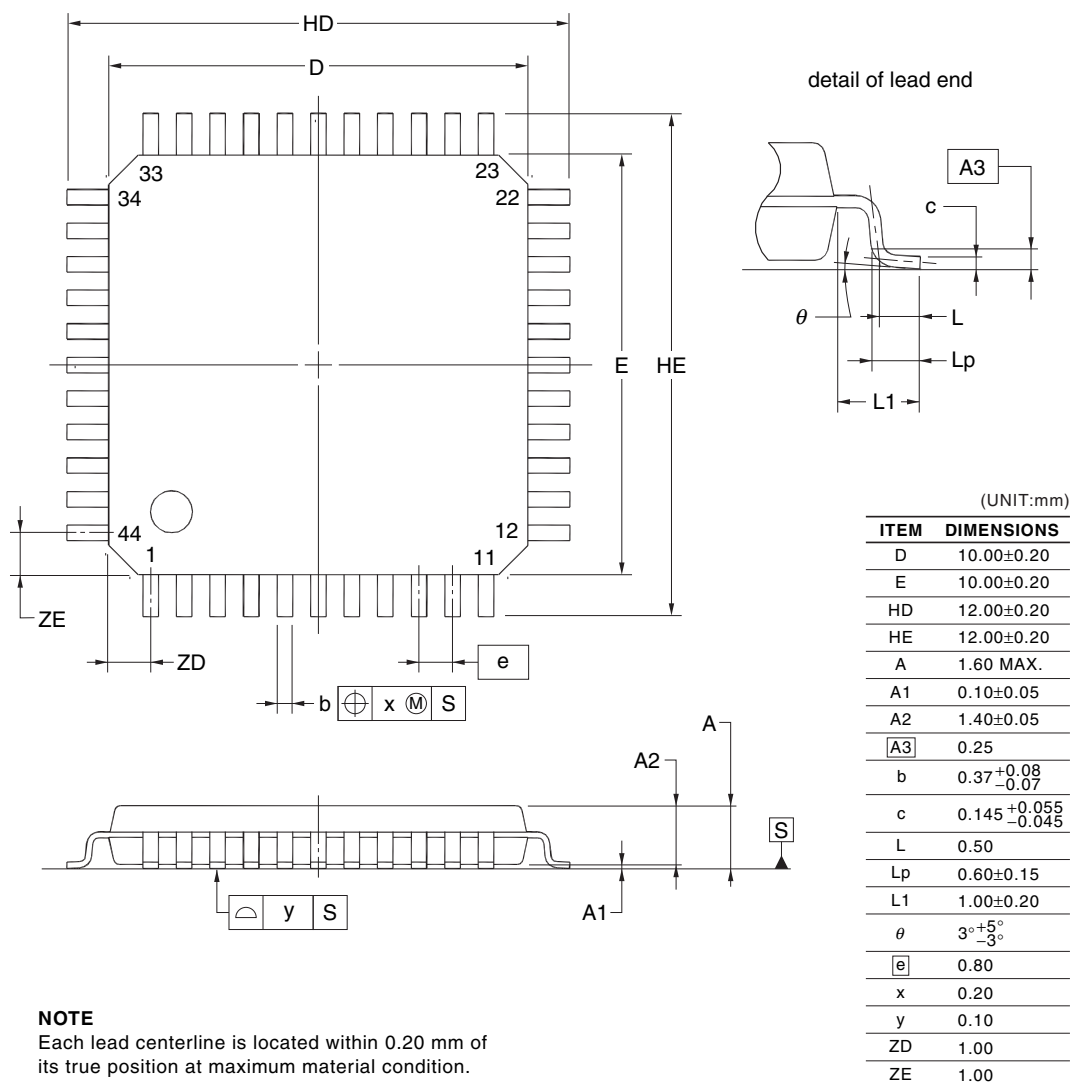
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN40-6×6-0.50	PWQN0040KE-A	0.09



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	—	0.05
A ₃	0.20 REF.		
b	0.20	0.25	0.30
D	—	6.00	—
E	—	6.00	—
e	—	0.50	—
N	40		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	4.40	4.50	4.60
E ₂	4.40	4.50	4.60
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

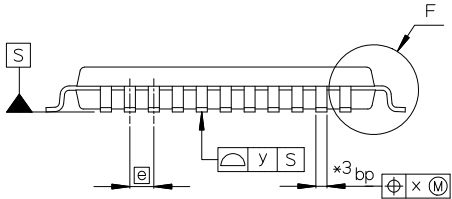
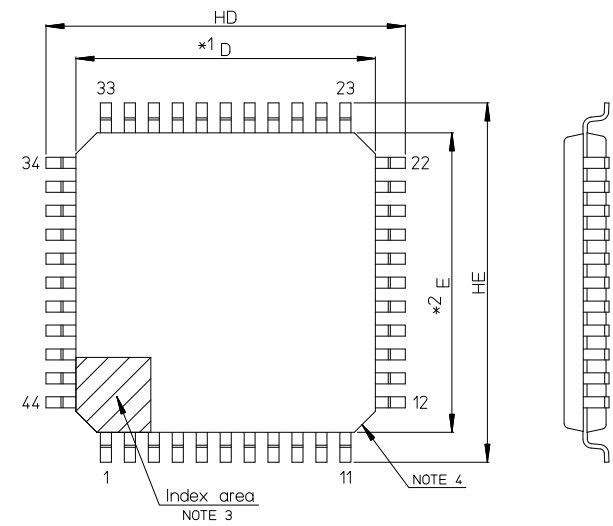
36.5 44ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP44-10x10-0.80	PLQP0044GC-A	P44GB-80-UES-2	0.36

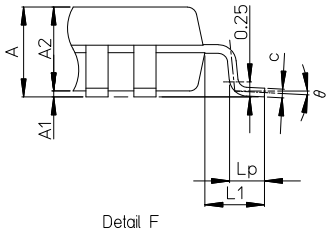


© 2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-LQFP44-10x10-0.80	PLQP0044GC-D	—	0.36g

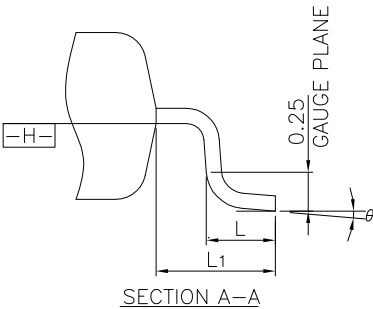
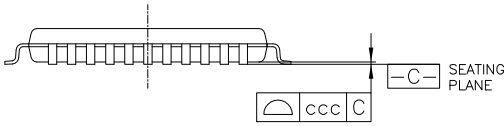
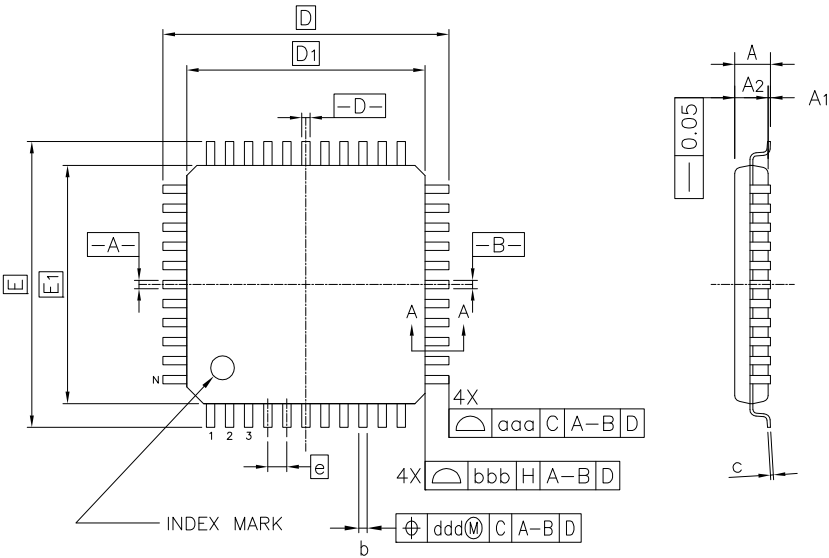


- NOTE)
1. DIMENSIONS *1* AND *2* DO NOT INCLUDE MOLD FLASH.
 2. DIMENSION *3* DOES NOT INCLUDE TRIM OFFSET.
 3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
 4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.8	10.0	10.2
E	9.8	10.0	10.2
A2	—	1.4	—
HD	11.8	12.0	12.2
HE	11.8	12.0	12.2
A	—	—	1.6
A1	0.05	—	0.15
bp	0.22	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.80	—
x	—	—	0.20
y	—	—	0.10
Lp	0.45	0.6	0.75
L1	—	1.0	—

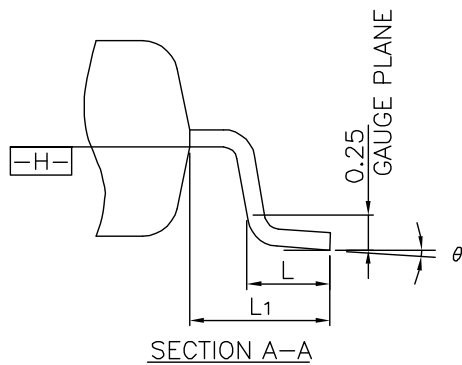
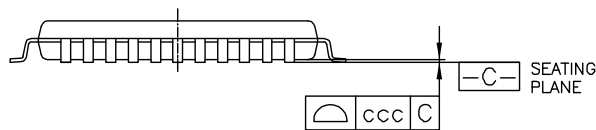
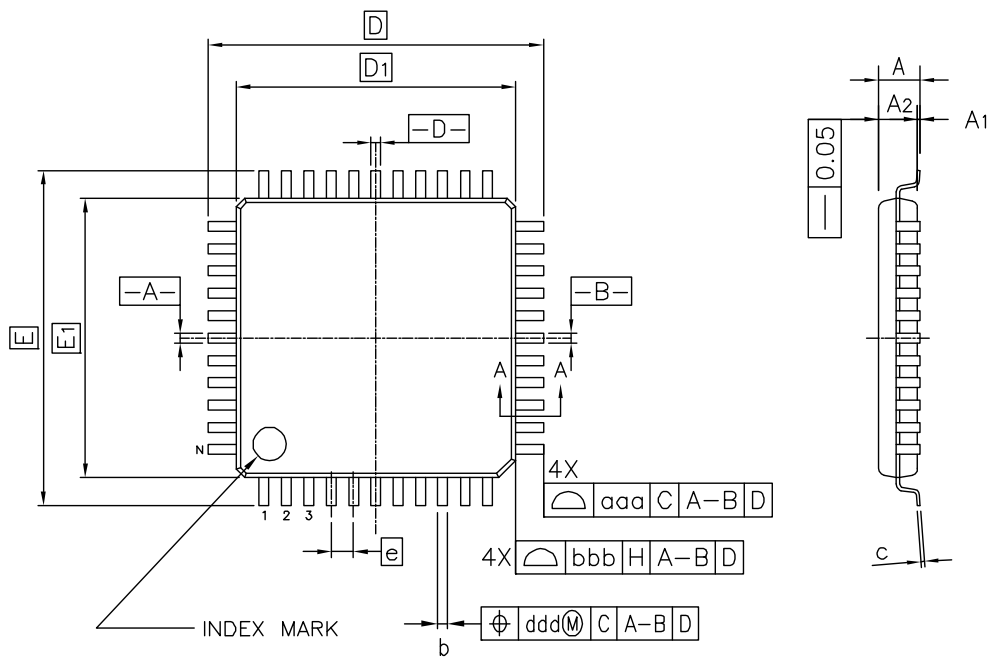
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP044-10x10-0.80	PLQP0044GE-A	0.34



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	12.00	—
D ₁	—	10.00	—
E	—	12.00	—
E ₁	—	10.00	—
N	—	44	—
e	—	0.80	—
b	0.30	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20



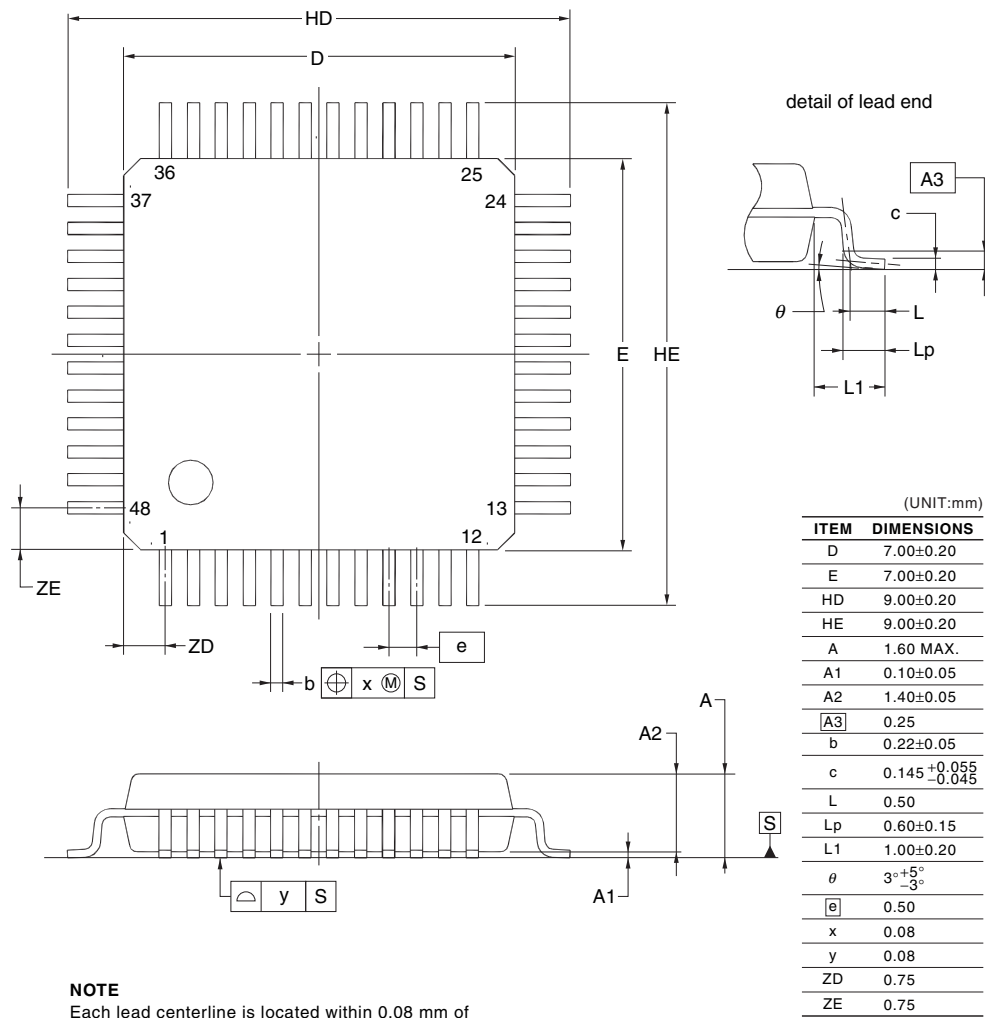
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP44-10x10-0.80	PLQP0044GF-A	0.3



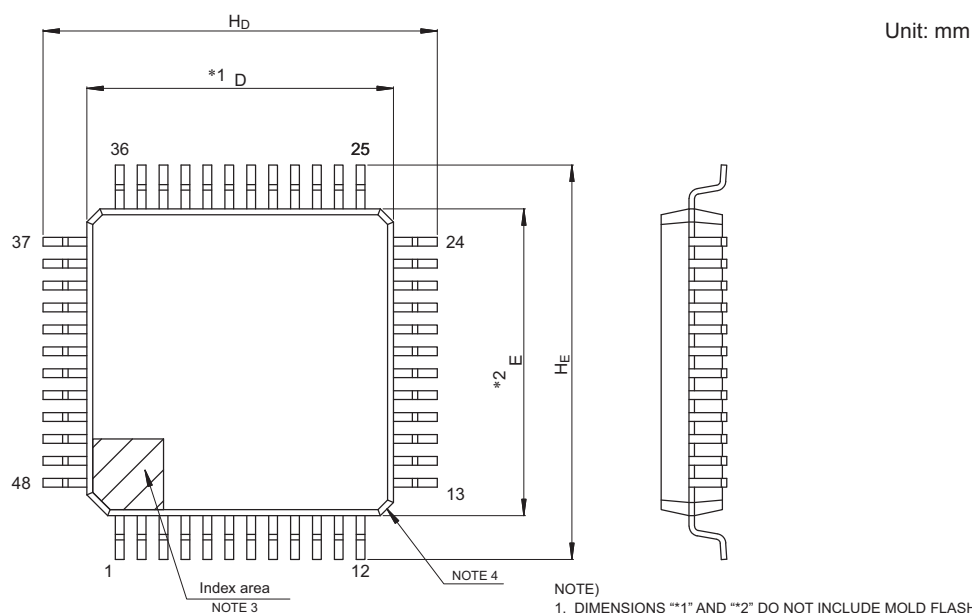
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.70
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	12.00 BSC.		
D ₁	10.00 BSC.		
E	12.00 BSC.		
E ₁	10.00 BSC.		
N	—	44	—
e	0.80 BSC.		
b	0.30	0.37	0.45
c	0.09	—	0.20
θ	0°	3.5°	8°
L	0.45	0.60	0.75
L ₁	1.00 REF.		
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.10
ddd	—	—	0.20

36.6 48ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP48-7x7-0.50	PLQP0048KF-A	P48GA-50-8EU-1	0.16



JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP48-7x7-0.50	PLQP0048KB-B	—	0.2



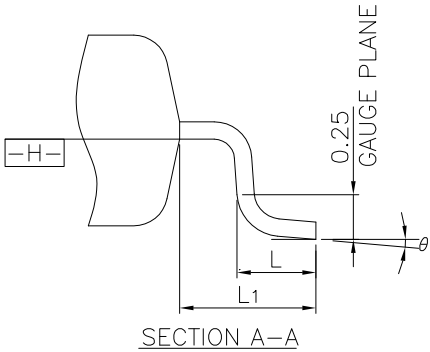
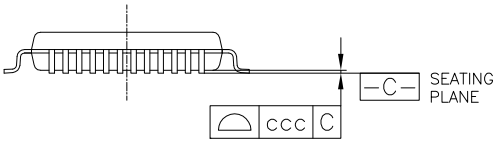
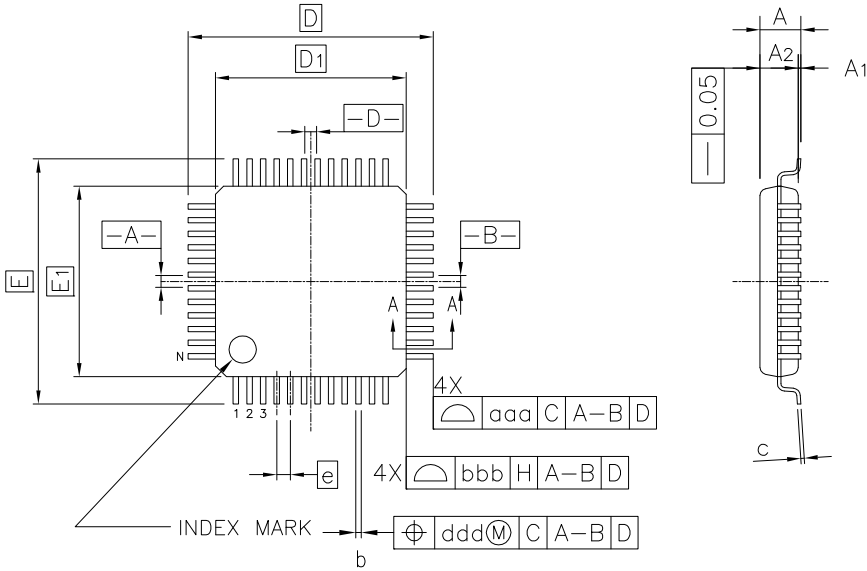
NOTE)

1. DIMENSIONS "1" AND "2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "3" DOES NOT INCLUDE TRIM OFFSET.
3. PIN 1 VISUAL INDEX FEATURE MAY VARY, BUT MUST BE LOCATED WITHIN THE HATCHED AREA.
4. CHAMFERS AT CORNERS ARE OPTIONAL, SIZE MAY VARY.

Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	6.9	7.0	7.1
E	6.9	7.0	7.1
A ₂	—	1.4	—
H _D	8.8	9.0	9.2
H _E	8.8	9.0	9.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.17	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
e	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

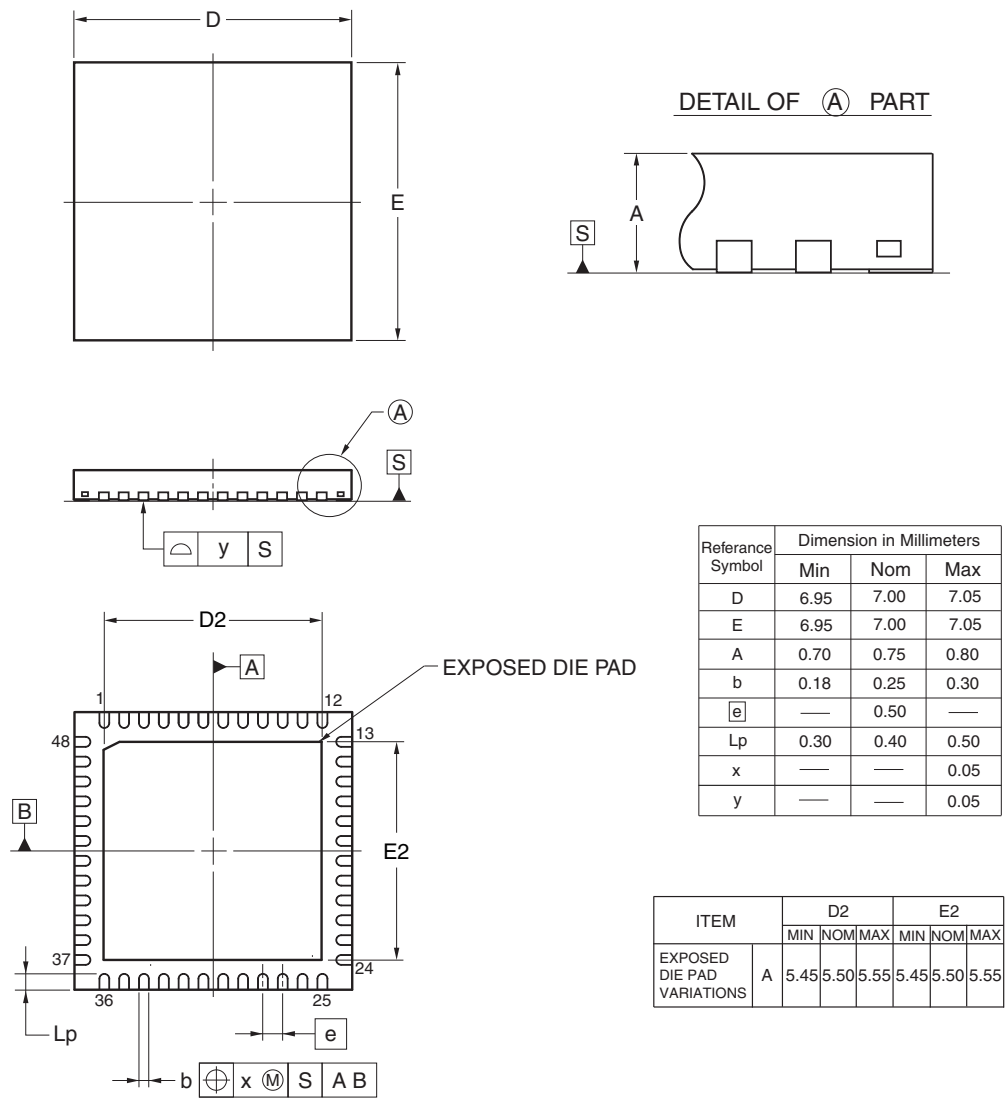
© 2015 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP48-7x7-0.50	PLQP0048KL-A	0.18



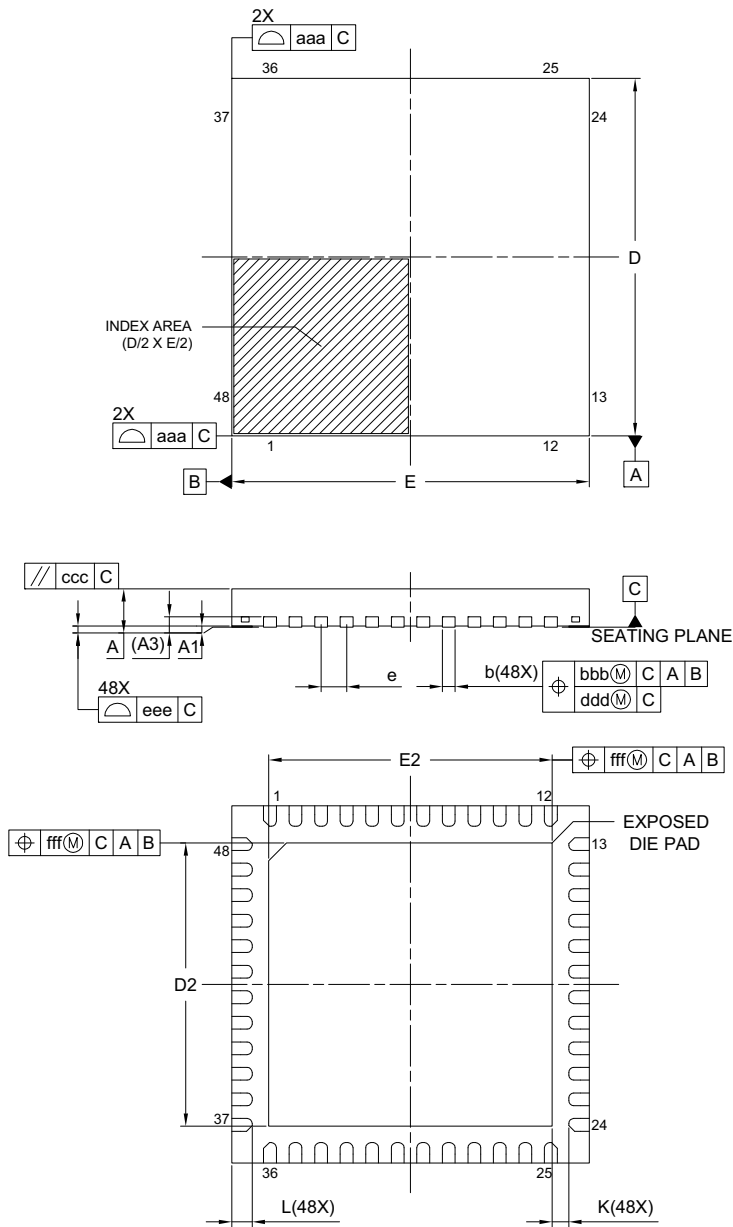
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	9.00	—
D ₁	—	7.00	—
E	—	9.00	—
E ₁	—	7.00	—
N	—	48	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-HWQFN48-7x7-0.50	PWQN0048KB-A	48PJN-A P48K8-50-5B4-5	0.13



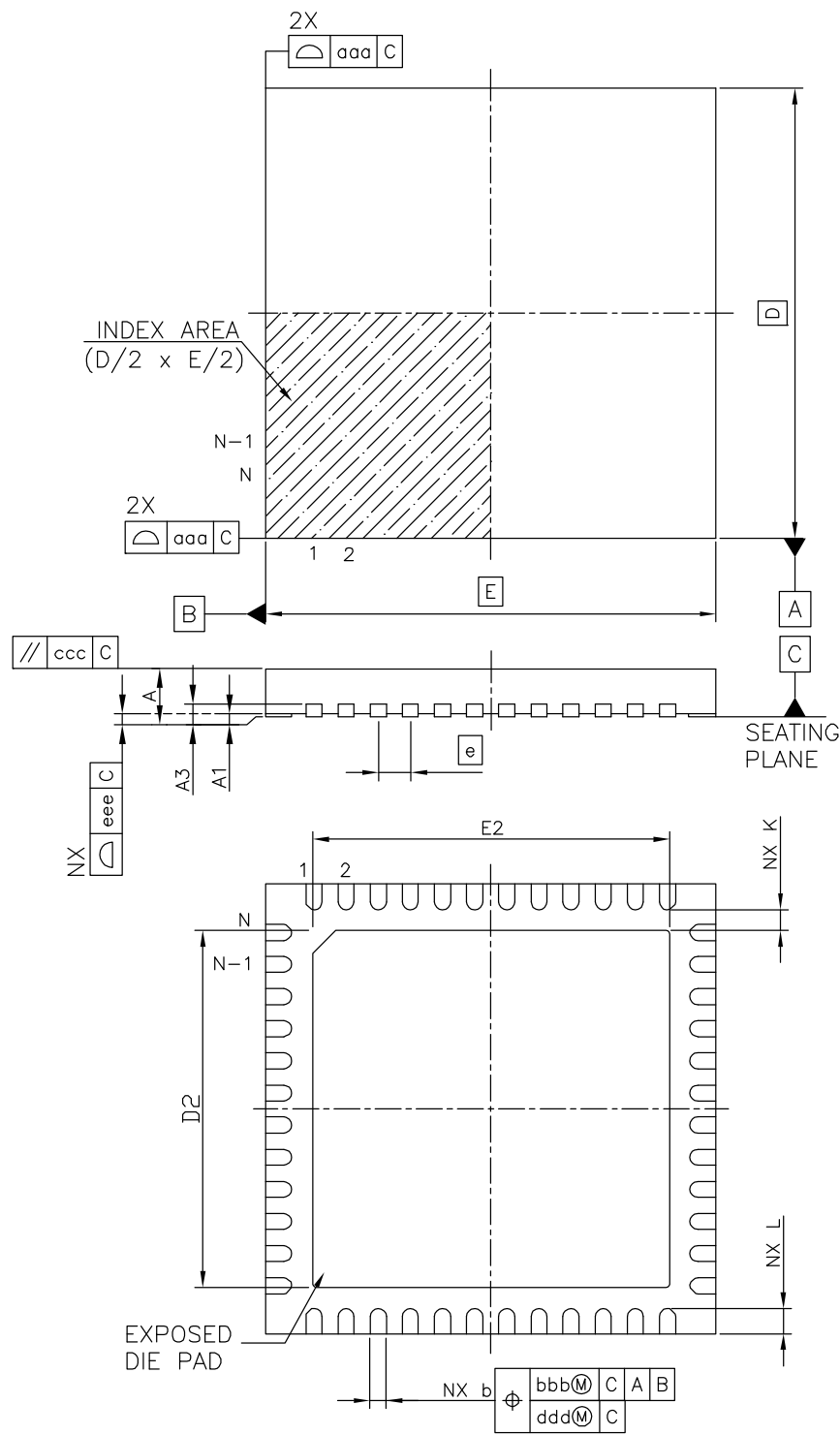
© 2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-HWQFN048-7x7-0.50	PWQN0048KE-A	0.13



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	0.02	0.05
A ₃	0.203 REF.		
b	0.20	0.25	0.30
D	7.00 BSC		
E	7.00 BSC		
e	0.50 BSC		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.50	5.55	5.60
E ₂	5.50	5.55	5.60
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

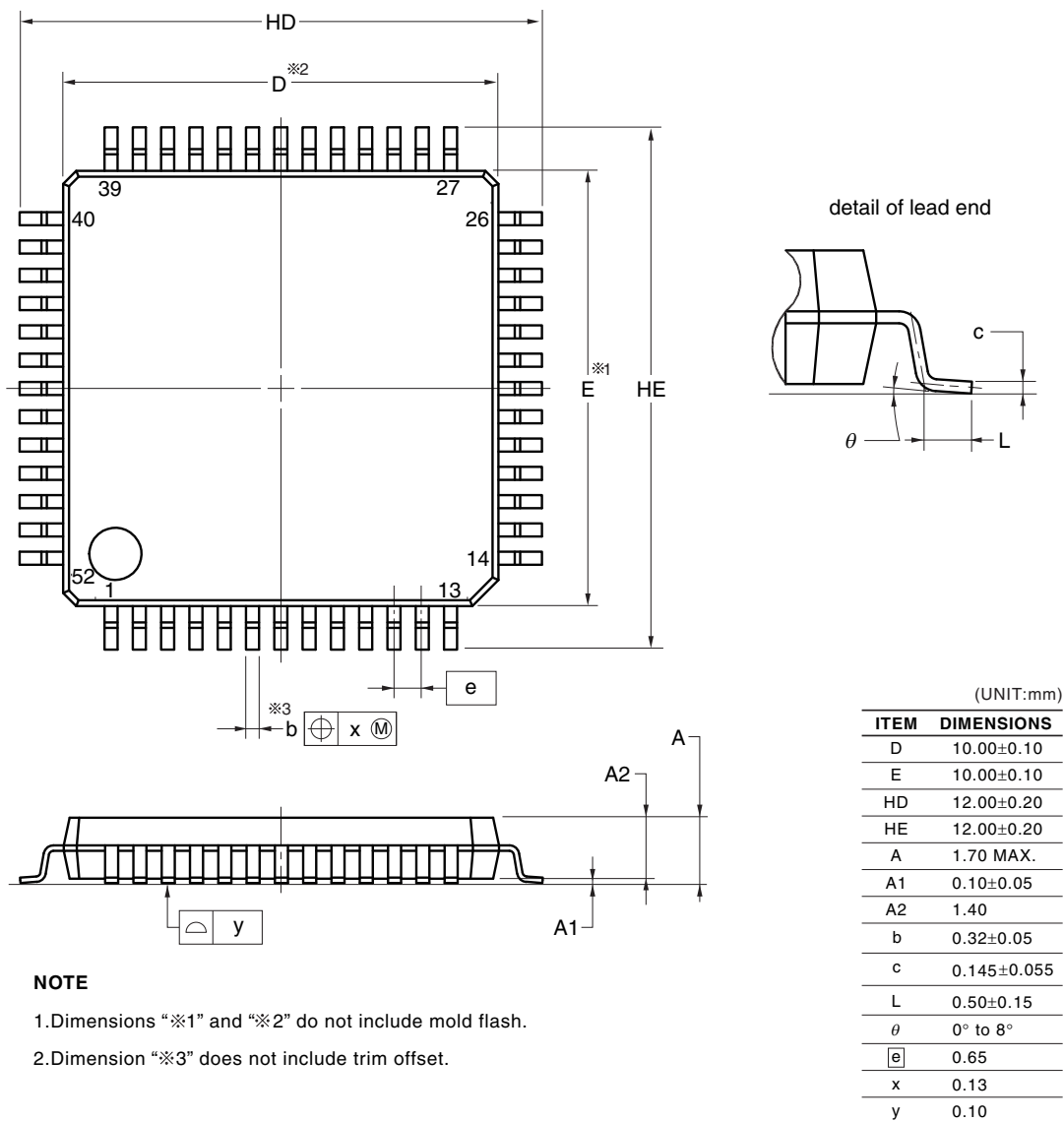
JEITA Package Code	RENESAS Code	MASS(Typ.)[g]
P-HWQFN48-7×7-0.50	PWQN0048KG-A	0.13



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	0.80
A ₁	0.00	—	0.05
A ₃	0.20 REF.		
b	0.20	0.25	0.30
D	—	7.00	—
E	—	7.00	—
e	—	0.50	—
N	48		
L	0.30	0.40	0.50
K	0.20	—	—
D ₂	5.50	5.55	5.60
E ₂	5.50	5.55	5.60
aaa	—	—	0.15
bbb	—	—	0.10
ccc	—	—	0.10
ddd	—	—	0.05
eee	—	—	0.08

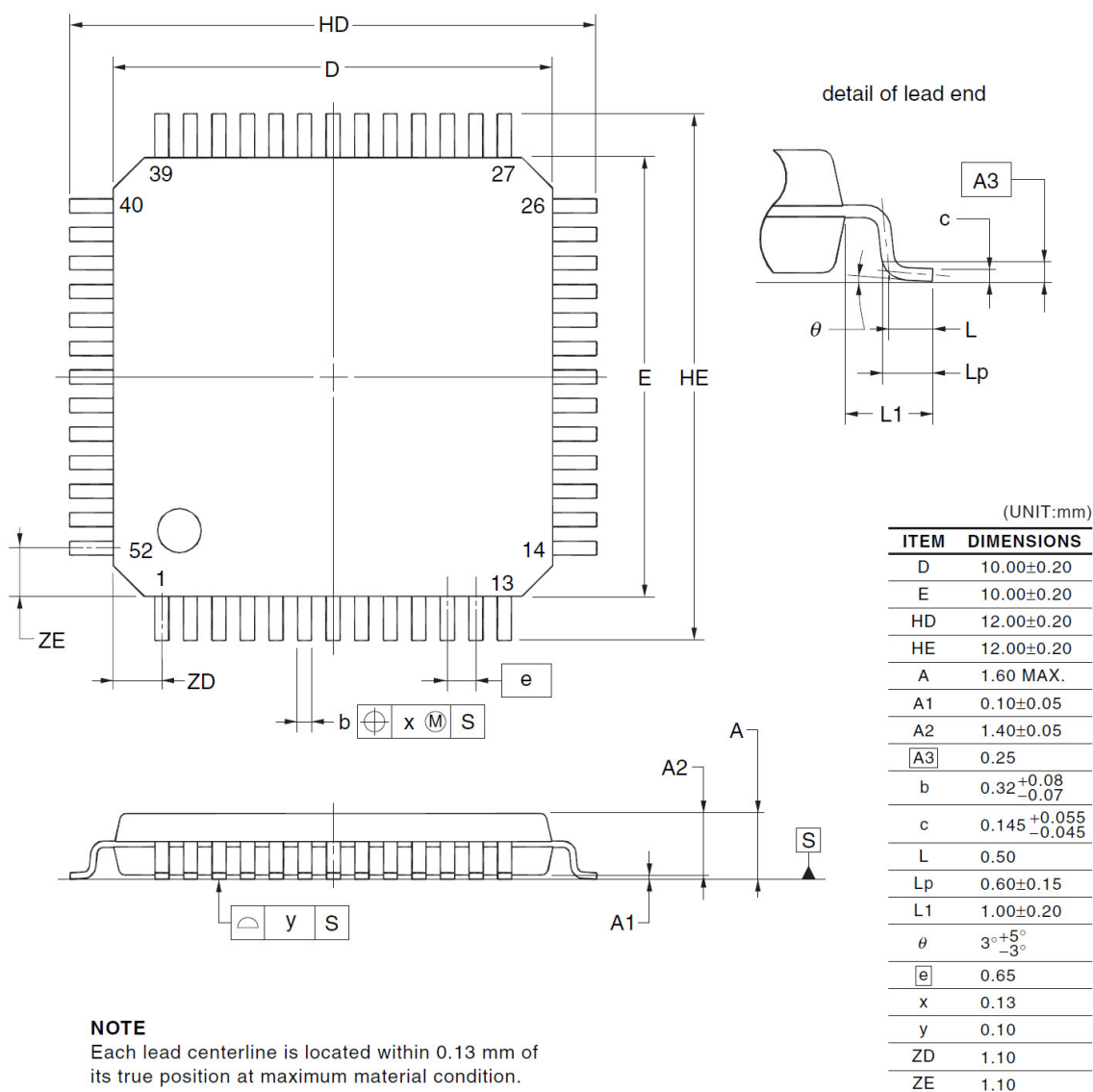
36.7 52ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP52-10x10-0.65	PLQP0052JA-A	P52GB-65-GBS-1	0.3



© 2012 Renesas Electronics Corporation. All rights reserved.

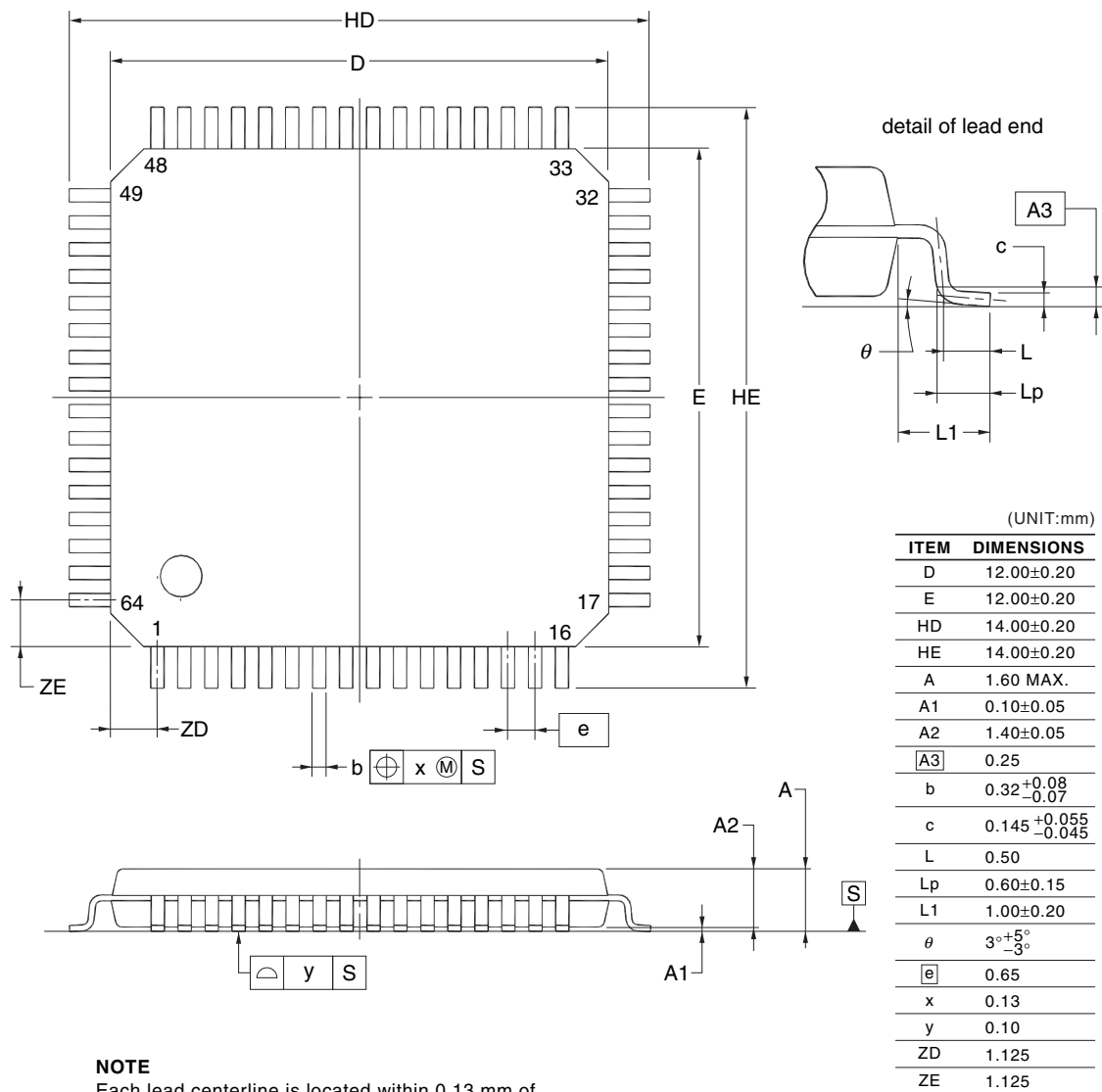
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP52-10x10-0.65	PLQP0052JD-B	P52GB-65-UET-2	0.36

**NOTE**

Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

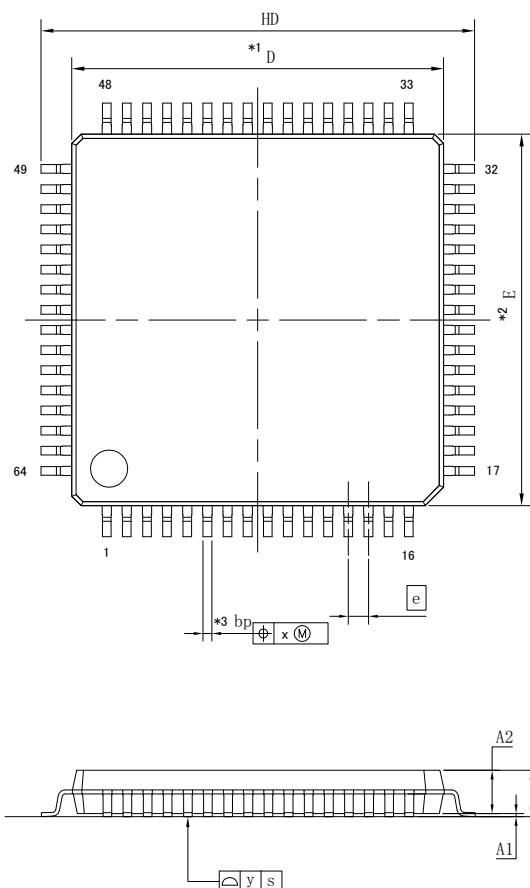
36.8 64ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP64-12x12-0.65	PLQP0064JA-A	P64GK-65-UET-2	0.51

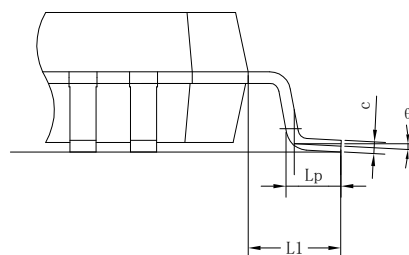


© 2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LQFP64-12x12-0.65	PLQP0064JB-A	0.50



detail of lead end



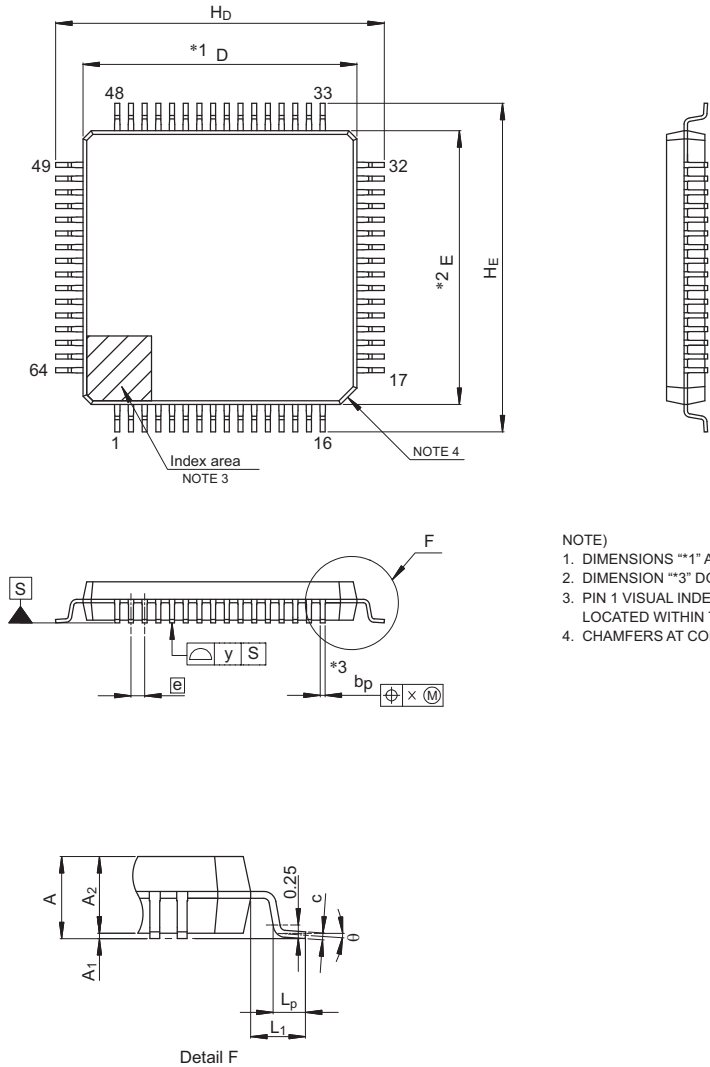
Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	11.90	12.00	12.10
D	11.90	12.00	12.10
A ₂	—	1.40	—
H _D	13.80	14.00	14.20
H _E	13.80	14.00	14.20
A	—	—	1.70
A ₁	0.05	—	0.15
L _p	0.45	0.60	0.75
L ₁	—	1.00	—
b _p	0.27	0.32	0.37
c	0.09	—	0.20
e	—	0.65	—
θ	0.00	3.50	8.00
x	—	—	0.08
y	—	—	0.08

NOTE

- 1.DIMENSIONS "*1" AND "*2"DO NOT INCLUDE MOLD FLASH.
- 2.DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

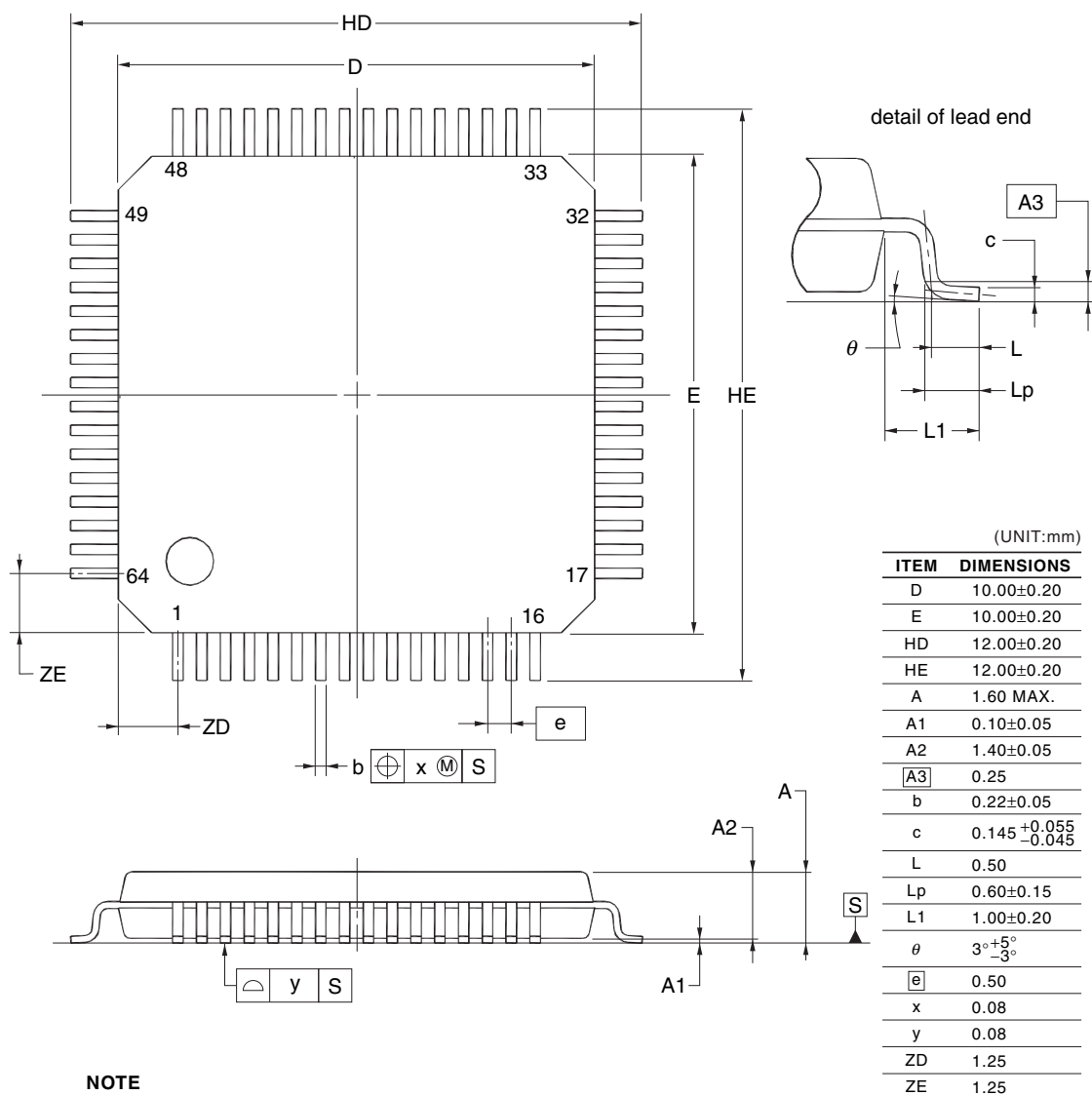
JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP64-10x10-0.50	PLQP0064KB-C	—	0.3

Unit: mm



© 2015 Renesas Electronics Corporation. All rights reserved.

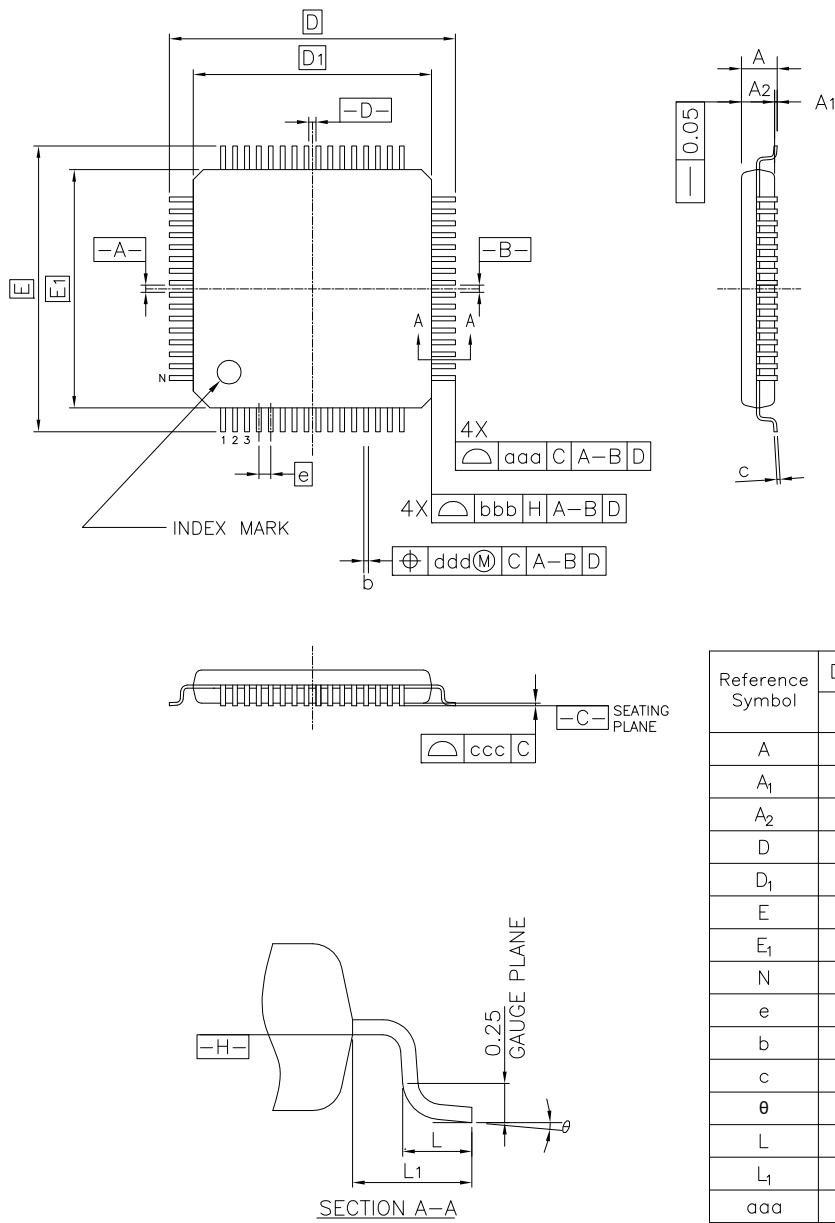
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP64-10x10-0.50	PLQP0064KF-A	P64GB-50-UEU-2	0.35

**NOTE**

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

©2012 Renesas Electronics Corporation. All rights reserved.

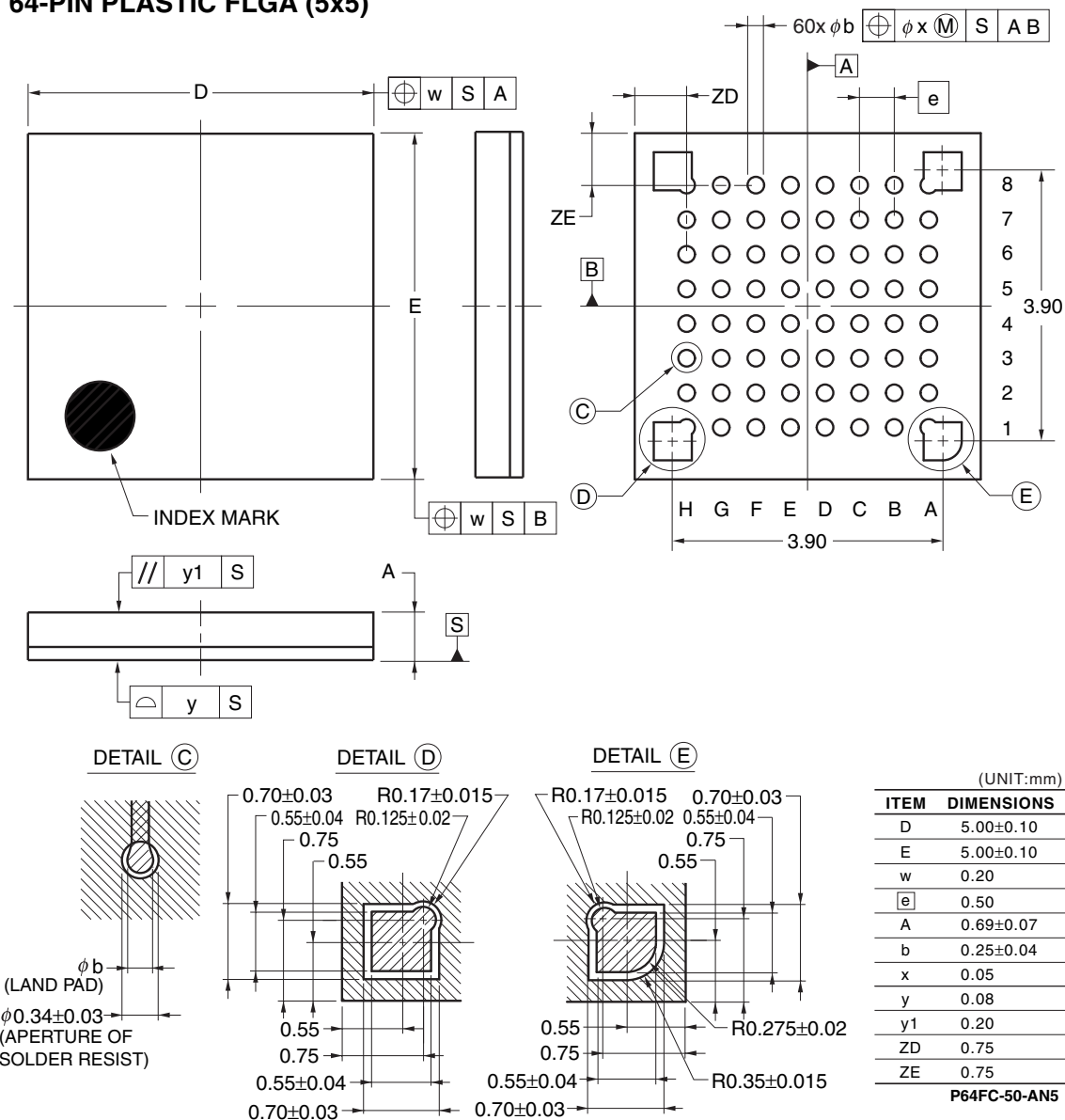
JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP064-10x10-0.50	PLQP0064KL-A	0.36



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	12.00	—
D ₁	—	10.00	—
E	—	12.00	—
E ₁	—	10.00	—
N	—	64	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

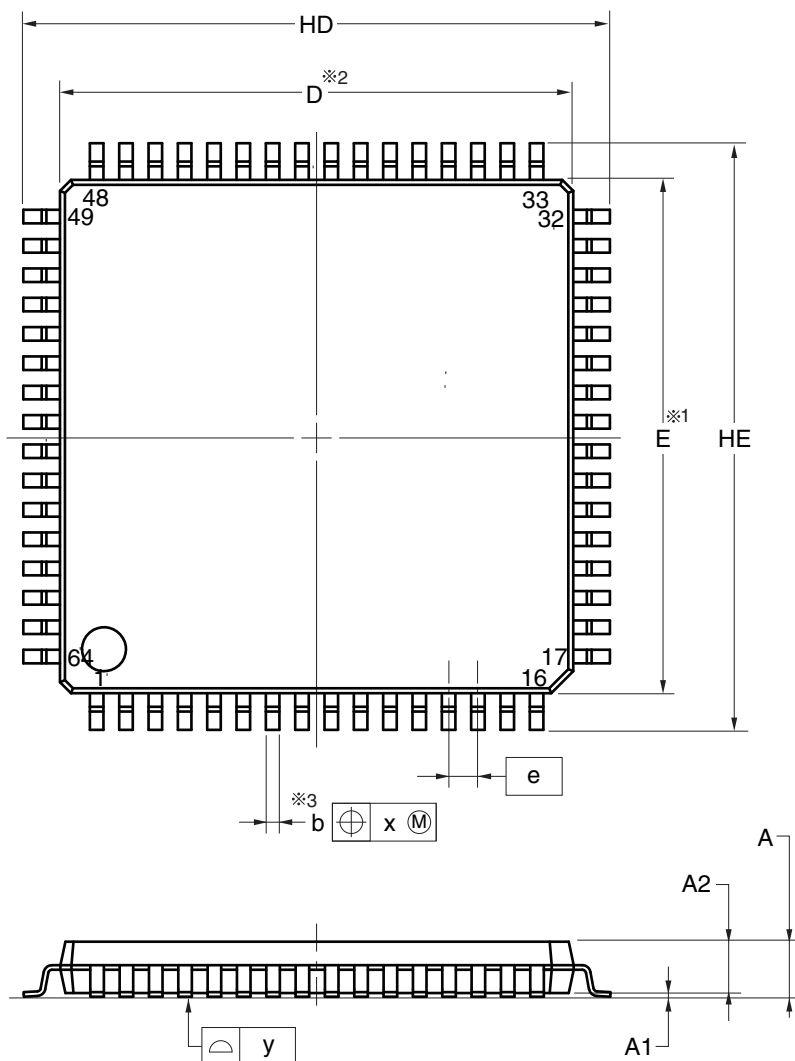
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-WFLGA64-5x5-0.50	PWLG0064KA-A	P64FC-50-AN5	0.037

64-PIN PLASTIC FLGA (5x5)

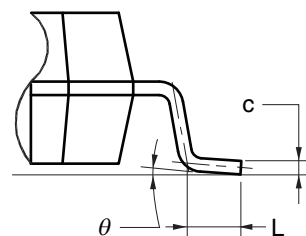


© 2011 Renesas Electronics Corporation. All rights reserved.

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP64-14x14-0.80	PLQP0064GA-A	P64GC-80-GBW-1	0.7



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	14.00±0.10
E	14.00±0.10
HD	16.00±0.20
HE	16.00±0.20
A	1.70 MAX.
A1	0.10±0.10
A2	1.40
b	0.37 ^{+0.08} _{-0.05}
c	0.125 ^{+0.05} _{-0.02}
L	0.50±0.20
θ	0° to 8°
e	0.80
x	0.20
y	0.10

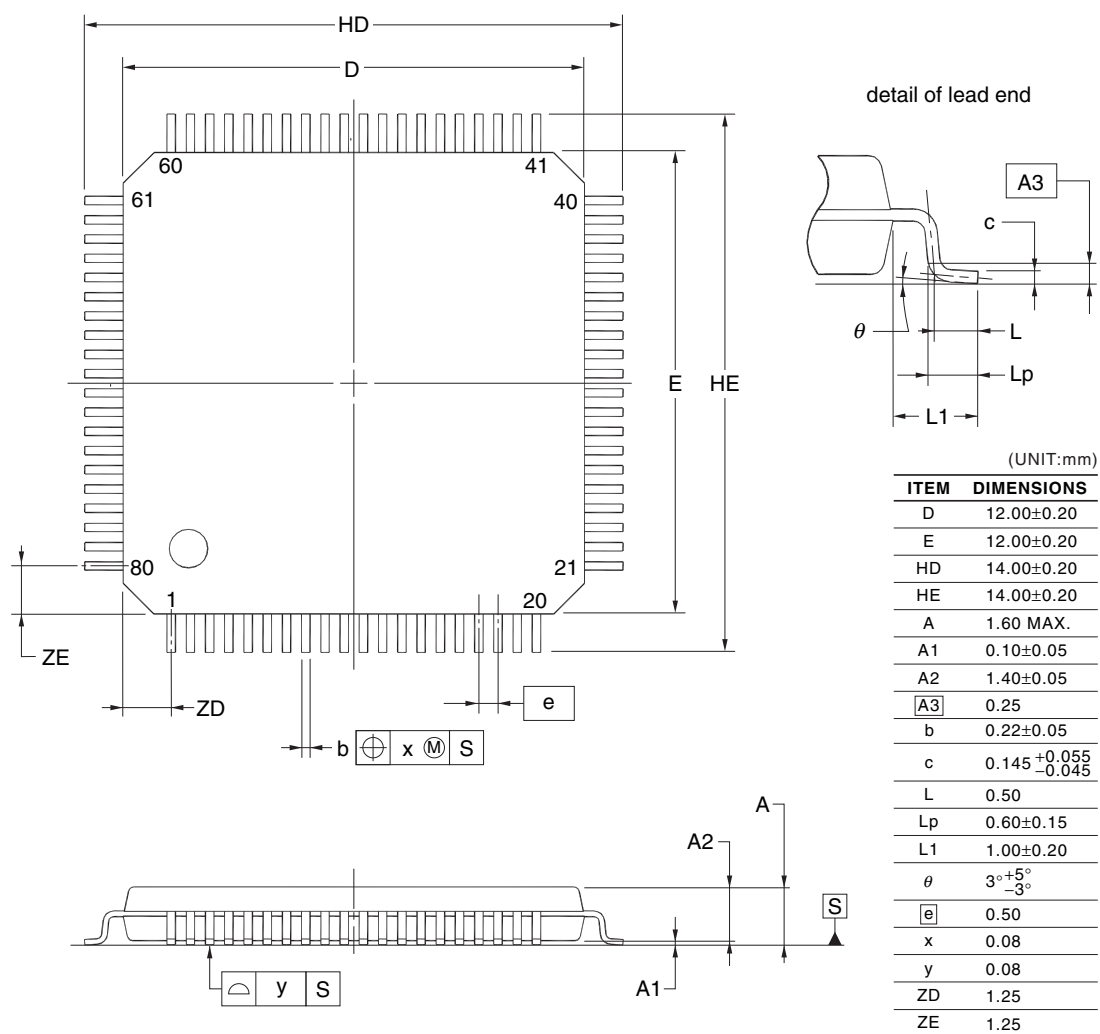
NOTE

1. Dimensions "※1" and "※2" do not include mold flash.
2. Dimension "※3" does not include trim offset.

© 2012 Renesas Electronics Corporation. All rights reserved.

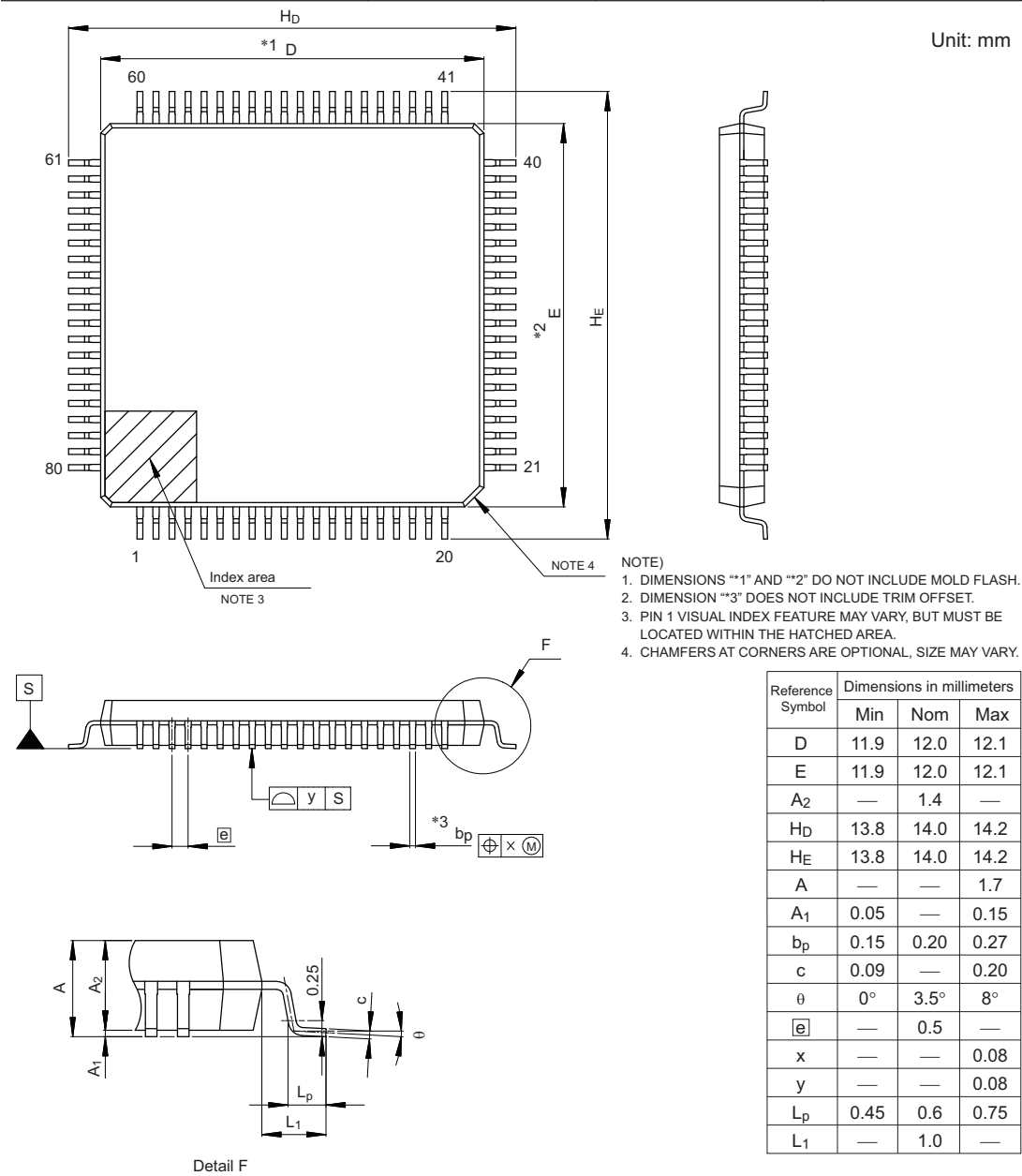
36.9 80ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP80-12x12-0.50	PLQP0080KE-A	P80GK-50-8EU-2	0.53

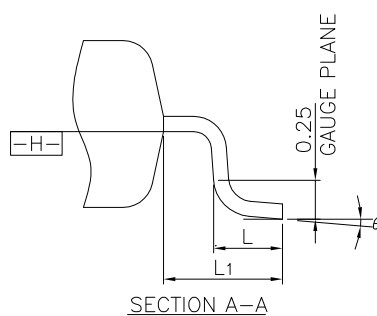
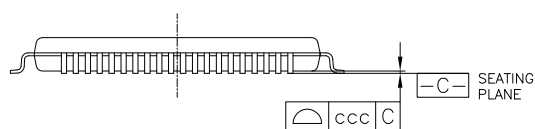
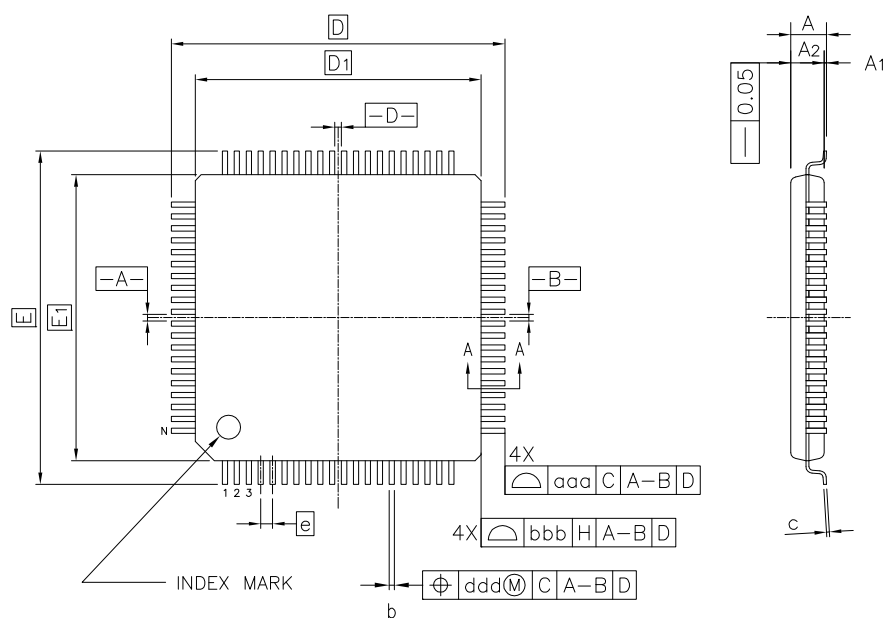
**NOTE**

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP80-12x12-0.50	PLQP0080KB-B	—	0.5

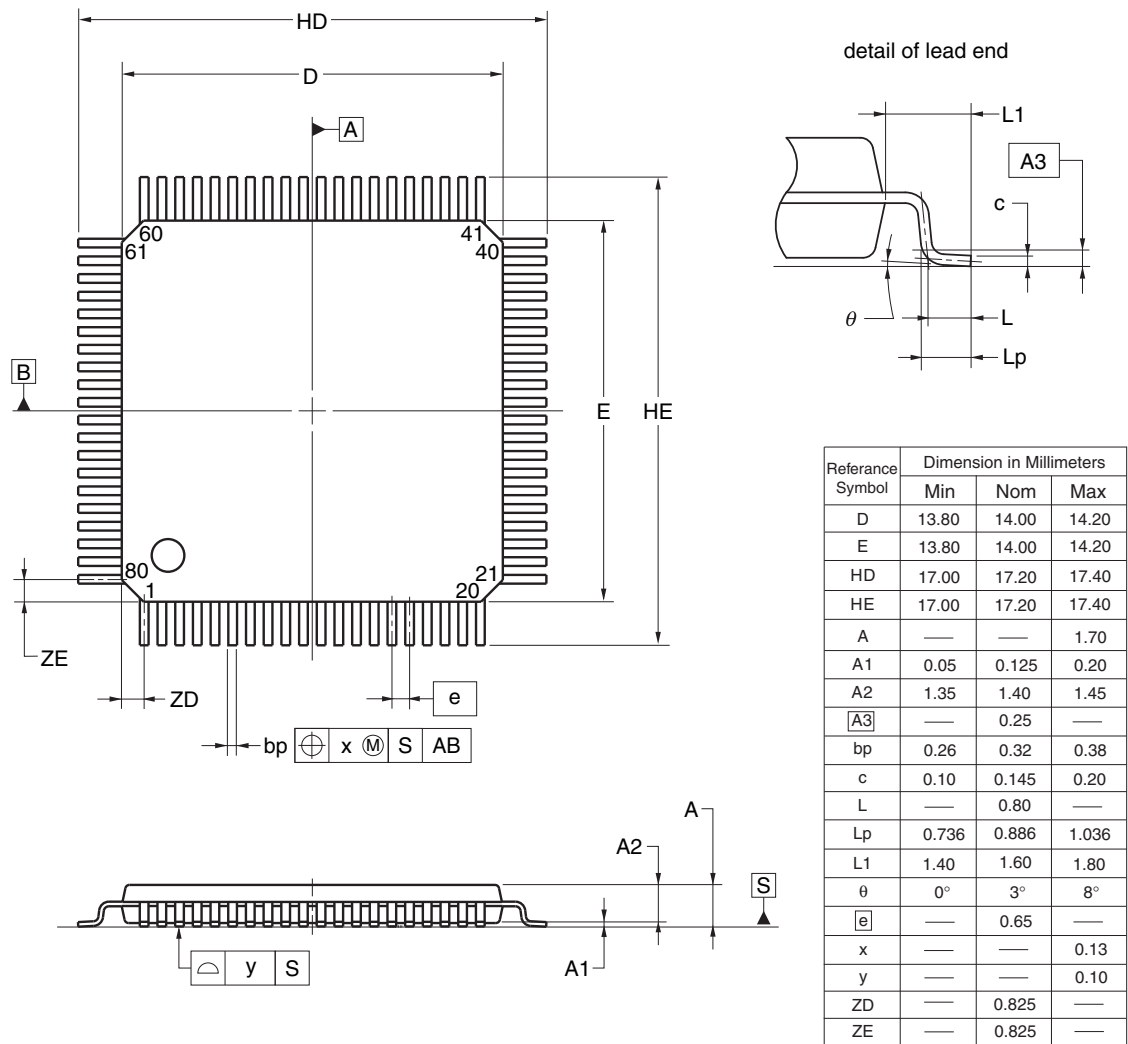


JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP80-12x12-0.50	PLQP0080KJ-A	0.49



Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	14.00	—
D ₁	—	12.00	—
E	—	14.00	—
E ₁	—	12.00	—
N	—	80	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

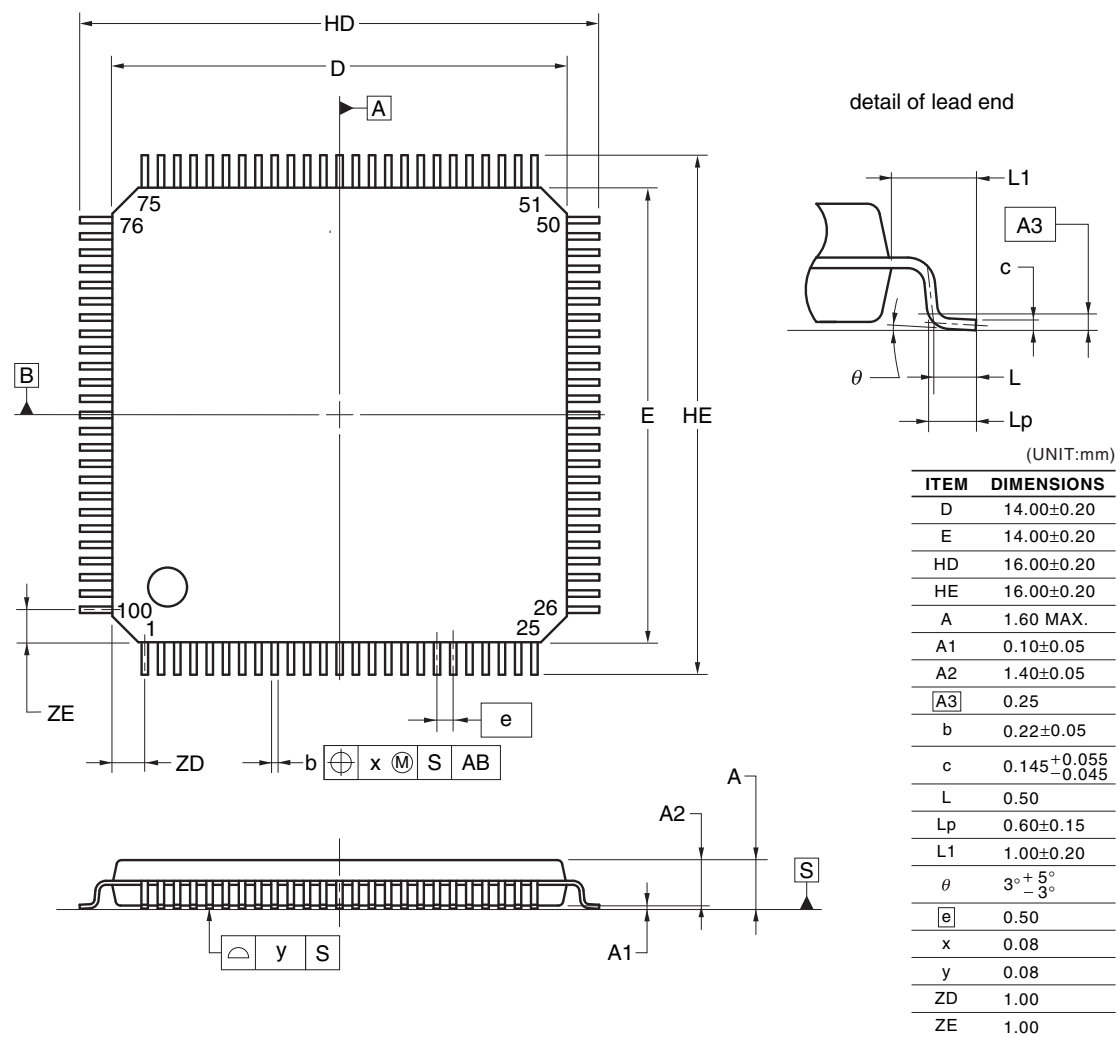
JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP80-14x14-0.65	PLQP0080JB-E	P80GC-65-UBT-2	0.69



© 2012 Renesas Electronics Corporation. All rights reserved.

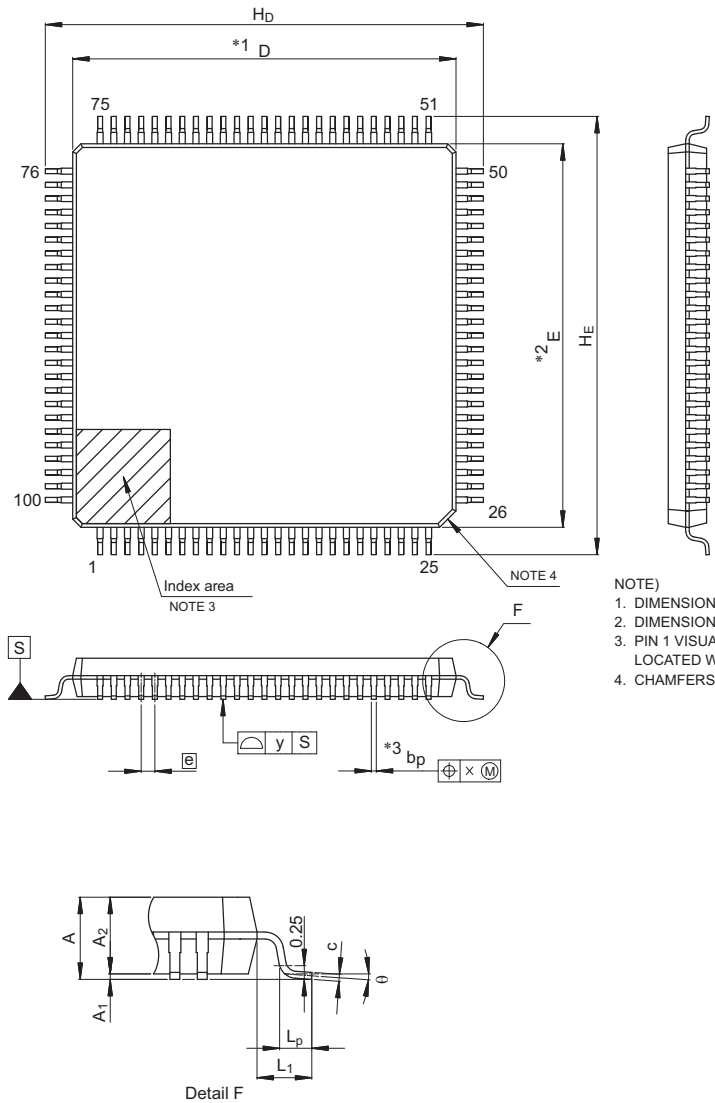
36.10 100ピン製品

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LFQFP100-14x14-0.50	PLQP0100KE-A	P100GC-50-GBR-1	0.69



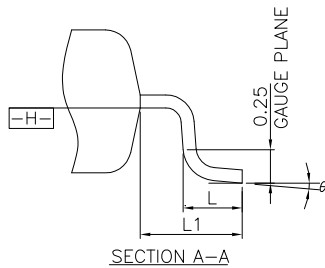
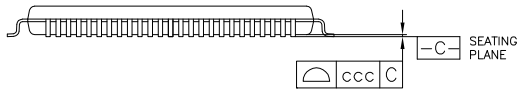
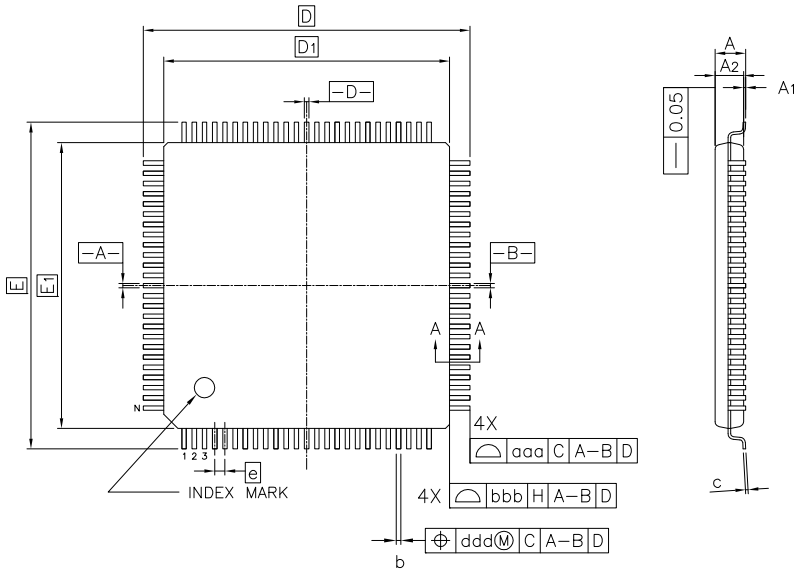
©2012 Renesas Electronics Corporation. All rights reserved.

JEITA Package Code	RENESAS Code	Previous Code	MASS (Typ) [g]
P-LFQFP100-14x14-0.50	PLQP0100KB-B	—	0.6



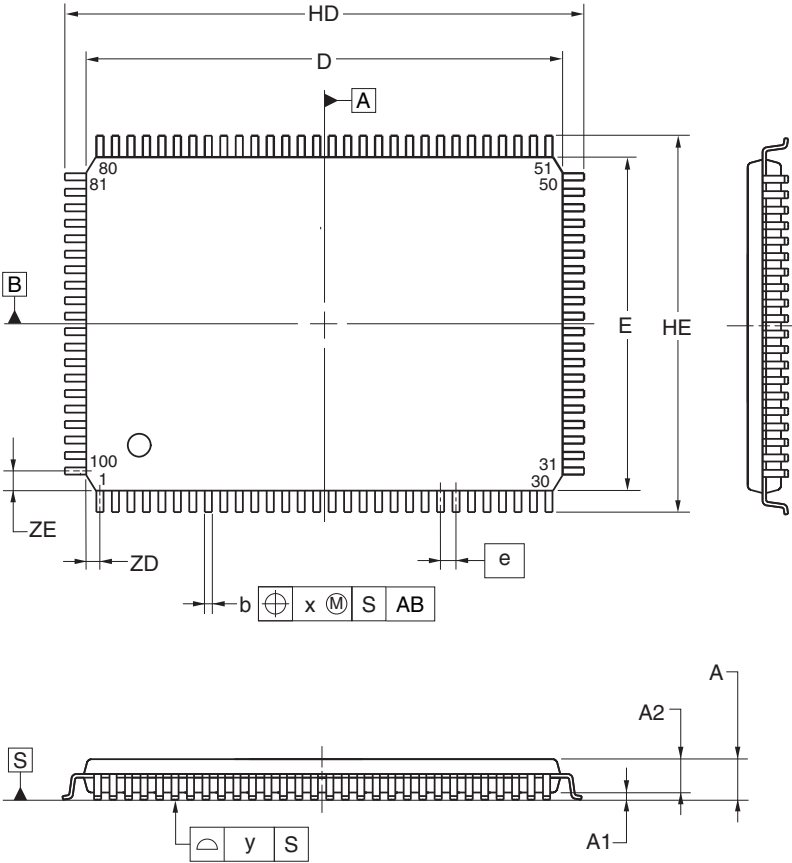
Reference Symbol	Dimensions in millimeters		
	Min	Nom	Max
D	13.9	14.0	14.1
E	13.9	14.0	14.1
A ₂	—	1.4	—
H _D	15.8	16.0	16.2
H _E	15.8	16.0	16.2
A	—	—	1.7
A ₁	0.05	—	0.15
b _p	0.15	0.20	0.27
c	0.09	—	0.20
θ	0°	3.5°	8°
$\overline{e}$	—	0.5	—
x	—	—	0.08
y	—	—	0.08
L _p	0.45	0.6	0.75
L ₁	—	1.0	—

JEITA Package code	RENESAS code	MASS(TYP.)[g]
P-LFQFP100-14x14-0.50	PLQP0100KP-A	0.67

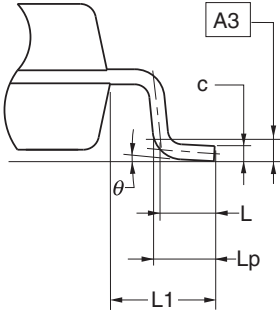


Reference Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
A	—	—	1.60
A ₁	0.05	—	0.15
A ₂	1.35	1.40	1.45
D	—	16.00	—
D ₁	—	14.00	—
E	—	16.00	—
E ₁	—	14.00	—
N	—	100	—
e	—	0.50	—
b	0.17	0.22	0.27
c	0.09	—	0.20
θ	0°	3.5°	7°
L	0.45	0.60	0.75
L ₁	—	1.00	—
aaa	—	—	0.20
bbb	—	—	0.20
ccc	—	—	0.08
ddd	—	—	0.08

JEITA Package Code	RENESAS Code	Previous Code	MASS (TYP.) [g]
P-LQFP100-14x20-0.65	PLQP0100JC-A	P100GF-65-GBN-1	0.92



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	20.00±0.20
E	14.00±0.20
HD	22.00±0.20
HE	16.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.32 ^{+0.08} _{-0.07}
c	0.145 ^{+0.055} _{-0.045}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3°+5° -3°
e	0.65
x	0.13
y	0.10
ZD	0.575
ZE	0.825

© 2012 Renesas Electronics Corporation. All rights reserved.

付録A 改版履歴

A.1 本版で改訂された主な箇所

箇所	内容	分類
第1章 概説		
p.7	表1-1 発注型名一覧(2/5)を変更	(d)
p.9	表1-1 発注型名一覧(4/5)を変更	(d)
第36章 外形図		
p.1316	36.5 44ピン製品に外形図PLQP0044GF-Aを追加	(d)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正、(b) : 仕様(スペック含む)の追加／変更、(c) : 説明、注意事項の追加／変更、
(d) : パッケージ、オーダ名称、管理区分の追加／変更、(e) : 関連資料の追加／変更

A.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

(1/32)

版数	内容	適用箇所
Rev. 3.60	図1-1 RL78/G14の型名とメモリサイズ・パッケージを変更	第1章 概説
	表1-1 発注型名一覧 (1/4)を変更	
	表1-1 発注型名一覧 (2/4)を変更	
	表1-1 発注型名一覧 (3/4)を変更	
	表1-1 発注型名一覧 (4/4)を変更	
	図10-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマット(2/2)に注1、注2追加	第10章 リアルタイム・クロック
	表13-3 ウォッチドッグ・タイマのオーバフロー時間の設定の注を変更	第13章 ウォッチドッグ・タイマ
	13.5 ウォッチドッグ・タイマの制限事項を削除	
	27.1 安全機能の概要を変更	第27章 安全機能
	27.1 安全機能の概要の備考を変更	
	27.3.2 CRC 演算機能(汎用CRC)を変更	
	27.3.4 RAM ガード機能を変更	
	27.3.5 SFR ガード機能を変更	
	36.4 40ピン製品に外形図PWQN0040KE-Aを追加	第36章 外形図
	36.6 48ピン製品に外形図PWQN0048KG-Aを追加	

(2/32)

版数	内容	適用箇所
Rev. 3.50	表 1-1 発注型名一覧(1/4) 変更	第1章 概説
	2.1.3 36ピン(コード・フラッシュ・メモリ16KB～64KB) 旧注1を削除	第2章 端子機能
	2.1.4 40ピン(コード・フラッシュ・メモリ16KB～64KB) 旧注1を削除	
	2.1.5 44ピン(コード・フラッシュ・メモリ16KB～64KB) 旧注1を削除	
	2.1.6 48ピン(コード・フラッシュ・メモリ16KB～64KB) 旧注1を削除	
	2.1.18 100ピン 旧注を削除	
	図 10-6 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1) のフォーマット(2/2) を変更	第10章 リアルタイム・クロック
	図 10-22 リアルタイム・クロックの読み出し手順 注意を変更	
	図 10-23 リアルタイム・クロックの書き込み手順 注意1を変更	
	17.1.3 簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31) 説明を変更	第17章 シリアル・アレイ・ユニット
	17.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作 説明を変更	
	17.9 簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信の動作説明を変更	
	34.3.2 電源電流特性 (1)30～64ピン製品のフラッシュROM16～64KBの製品(1/2) 注1, 注4を変更	第34章 電気的特性(TA = -40～+85℃)
	34.3.2 電源電流特性 (1)30～64ピン製品のフラッシュROM16～64KBの製品(2/2) 注1, 注5を変更および旧注6を削除	
	34.3.2 電源電流特性 (2)30～100ピン製品のフラッシュROM96～256KBの製品(1/2) 注1, 注4を変更	
	34.3.2 電源電流特性 (2)30～100ピン製品のフラッシュROM96～256KBの製品(2/2) 注1, 注5を変更および旧注6を削除	
	34.3.2 電源電流特性 (3)48～100ピン製品のフラッシュROM384～512KBの製品(1/2) 注1, 注4を変更	
	34.3.2 電源電流特性 (3)48～100ピン製品のフラッシュROM384～512KBの製品(2/2) 注1, 注5を変更および旧注6を削除	

(3/32)

版数	内容	適用箇所
Rev. 3.50	35.3.2 電源電流特性 (1)30～64ピン製品のフラッシュ ROM16～64 KBの製品 (1/2) 注1, 注4を変更	第35章 電気的特性(G: 産業用途 TA = -40～+105 °C)
	35.3.2 電源電流特性 (1)30～64ピン製品のフラッシュ ROM16～64 KBの製品 (2/2) 注1, 注5を変更および旧注6を削除	
	35.3.2 電源電流特性 (2)30～100ピン製品のフラッシュ ROM96～256 KBの製品 (1/2) 注1, 注4を変更	
	35.3.2 電源電流特性 (2)30～100ピン製品のフラッシュ ROM96～256 KBの製品 (2/2) 注1, 注5を変更および旧注6を削除	
	35.3.2 電源電流特性 (3)48～100ピン製品のフラッシュ ROM384～512 KBの製品 (1/2) 注1, 注4を変更	
	35.3.2 電源電流特性 (3)48～100ピン製品のフラッシュ ROM384～512 KBの製品 (2/2) 注1, 注5を変更および旧注6を削除	
	36.2 32ピン製品 図を追加	第36章 外形図
	36.8 64ピン製品 図を変更	

(4/32)

版数	内容	適用箇所
Rev. 3.40	3線シリアルSPIを簡易SPIに変更	全体
	CSIを簡易SPIに変更	
	IICAのウエイトをクロック・ストレッチに変更	
	1.1 特徴 シリアル・インタフェース 説明を変更	第1章 概要
	1.1 特徴 注を追加	
	1.2 型名一覧 表1-1 発注型名一覧(1/4)～(4/4)を変更	
	1.6 機能概要 【44ピン, 48ピン, 52ピン, 64ピン製品(コード・フラッシュ・メモリ96KB～256KB)】(1/2) 説明を変更	
	2.1.2 32ピン(コード・フラッシュ・メモリ16KB～64KB) 説明を変更	第2章 端子機能
	2.1.3 36ピン(コード・フラッシュ・メモリ16KB～64KB) 説明を変更	
	2.1.9 30ピン(コード・フラッシュ・メモリ96KB～256KB) 説明を変更	
	2.1.10 32ピン(コード・フラッシュ・メモリ96KB～256KB) 説明を変更	
	2.1.11 36ピン(コード・フラッシュ・メモリ96KB～256KB) 説明を変更	
	図2-19 端子タイプ8-3-4の端子ブロック図 図を変更	
	図2-20 端子タイプ8-6-6の端子ブロック図 図を変更	
	図2-21 端子タイプ8-6-8の端子ブロック図 図を変更	
	3.2.3 ES, CSレジスタ 説明を変更	第3章 CPUアーキテクチャ
	表3-21 拡張特殊機能レジスタ(2nd SFR)一覧(8/9) 説明を変更	
	3.3.4 レジスタ・インダイレクト・アドレッシング 説明を変更	
	図4-4 ポート入力モード・レジスタのフォーマット 図タイトルを変更	第4章 ポート機能
	4.4.5 入出力バッファによる異電位(1.8V系, 2.5V系, 3V系)対応(1) 注を追記	
	表4-17 P30-P120端子機能使用時のレジスタの設定例(1/6) 説明を変更	
	表4-17 P30-P120端子機能使用時のレジスタの設定例(4/6) 説明を変更	
	表4-19 P130-P147端子機能使用時のレジスタの設定例 説明を変更	
	5.4.4 低速オンチップ・オシレータ 説明を変更	第5章 クロック発生回路
	表5-8 CPUクロックの移行について(1/2) 説明を変更	
	表5-9 CPUクロックの移行について(2/2) 説明を変更	
	6.2.2 タイマ・データ・レジスタmn(TDRmn) 説明を変更	第6章 タイマ・アレイ・ユニット
	6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ) (2)説明を変更	
	6.4.2 8ビット・タイマ動作機能の基本ルール(チャンネル1, 3のみ) (7)説明を変更	
	図6-36 タイマ出力設定から動作開始までの状態変化 図を変更	
	6.8.2 外部イベント・カウンタとしての動作 説明を変更	
	図6-51 外部イベント・カウンタとしての動作のブロック図 図を変更	
	図6-59 入力パルス間隔測定としての動作のブロック図 図を変更	

(5/32)

版数	内容	適用箇所
Rev. 3.40	図 6-63 入力信号のハイ／ロウ・レベル幅測定としての動作のブロック図 図を変更	第6章 タイマ・アレイ・ユニット
	図 6-67 ディレイ・カウンタとしての動作のブロック図 図を変更	
	図 6-71 ワンショット・パルス出力機能としての動作のブロック図 図を変更	
	7.5.1 カウント動作開始, 停止制御 説明を変更	第7章 タイマRJ
	図 10-4 リアルタイム・クロック・コントロール・レジスタ 0 (RTCC0)のフォーマット 注意2を変更	第10章 リアルタイム・クロック
	13.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定 注を変更, 表を追加	第13章 ウォッチドッグ・タイマ
	図 14-34 温度センサ出力電圧／内部基準電圧を選択時の設定 説明を変更	第14章 A/Dコンバータ
	図 14-39 SNOOZEモード設定のフローチャート 説明を変更	
	第17章 シリアル・アレイ・ユニット 注を追記	第17章 シリアル・アレイ・ユニット
	図 17-14 シリアル・ステータス・レジスタ mn (SSRmn)のフォーマット (2/2) 注意1を変更	
	図 17-18 シリアル出力許可レジスタ m (SOEm)のフォーマット 注意を変更	
	図 17-19 シリアル出力レジスタ m (SOm)のフォーマット 注、注意を変更	
	図 17-22 シリアル・スタンバイ・コントロール・レジスタ m (SSCm)のフォーマット 説明を変更	
	図 17-35 マスタ送信 (連続送信モード時)のフロー・チャート 説明を変更	
	図 17-116 UART (UART0-UART3)のUART受信時のレジスタ設定内容例 (1/2) 注2を変更	
	図 17-136 簡易 I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)のアドレス・フィールド送信時のレジスタ設定内容例 注1を変更	
	(ii) WTIMn=1 のとき 図の説明を変更	第18章 シリアル・インタフェース IICA
	表 21-2 割り込み要因一覧 (2/4) 説明を変更	第21章 割り込み機能
	図 23-8 SNOOZEモードの割り込み要求が発生しない場合 説明を変更	第23章 スタンバイ機能
	30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミング 説明を変更	第30章 フラッシュ・メモリ
	表 30-1 RL78/G14と専用フラッシュ・メモリ・プログラマの配線表 説明を変更	
	図 30-1 フラッシュ・メモリにプログラムを書き込むための環境 説明を変更	
	図 30-2 専用フラッシュ・メモリ・プログラマとの通信 図の説明を変更、注を変更、説明を変更	
	表 30-2 端子接続一覧 説明を変更、注を追加	
	30.3.6 電源 説明を変更	
	図 30-7 フラッシュ・メモリ・プログラミング・モードへの引き込み 図の説明を変更	

(6/32)

版数	内容	適用箇所
Rev. 3.40	30.5 専用フラッシュ・メモリ・プログラマ使用時の各コマンド処理時間 (参考値) 章タイトル変更	第30章 フラッシュ・メモリ
	表30-11 PG-FP6使用時の各コマンド処理時間 (参考値) 表を追加	
	30.6 セルフ・プログラミング 備考2を削除	
	30.8.3 データ・フラッシュへのアクセス手順 注意4を追加	
	表33-5 オペレーション一覧 (15/18) 表を修正	第33章 命令セットの概要
	絶対最大定格 (2/2) 表を変更	第34章 電気的特性 (TA = -40 ~ +85 °C)
	(TA = -40 ~ +85 °C, 1.6V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5V, VSS = EVSS0 = EVSS1 = 0V) (5/5) 表を変更	
	(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品 (1/2) 注1を変更	
	(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品 (2/2) 注1を変更	
	34.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングの図を変更	
	絶対最大定格 (2/2) 表を変更	第35章 電気的特性 (G: 産業用途 TA = -40 ~ +105 °C)
	(TA = -40 ~ +105 °C, 2.4V ≤ EVDD0 = EVDD1 ≤ VDD ≤ 5.5V, VSS = EVSS0 = EVSS1 = 0V) (5/5) 表を変更	
	(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品 (1/2) 注1を変更	
	(1) 30 ~ 64 ピン製品のフラッシュ ROM16 ~ 64 KBの製品 (2/2) 注1を変更	
	35.10 フラッシュ・メモリ・プログラミング・モード引き込みタイミングの図を変更	
	36.2 32ピン製品を追加	第36章 外形図
	36.5 44ピン製品を追加	
	36.6 48ピン製品を追加	
	36.7 52ピン製品を追加	
	36.8 64ピン製品を追加	
	36.9 80ピン製品を追加	
	36.10 100ピン製品を追加	
Rev. 3.31	図1-1 RL78/G14の型名とメモリサイズ・パッケージ を修正	第1章 概説
	表1-1 発注型名一覧 タイトルを追加 表を修正	
	第36章 外形図 を修正	第36章 外形図
Rev. 3.30	2.1.1 30ピン (コード・フラッシュ・メモリ 16 KB ~ 64 KB) P60, P61の端子タイプを修正	第2章 端子機能
	2.1.2 32ピン (コード・フラッシュ・メモリ 16 KB ~ 64 KB) P60 ~ P62の端子タイプを修正	
	2.1.3 36ピン (コード・フラッシュ・メモリ 16 KB ~ 64 KB) P60 ~ P62の端子タイプを修正	
	2.1.4 40ピン (コード・フラッシュ・メモリ 16 KB ~ 64 KB) P60 ~ P62の端子タイプを修正	
	2.1.5 44ピン (コード・フラッシュ・メモリ 16 KB ~ 64 KB) P60 ~ P63の端子タイプを修正	

(7/32)

版数	内容	適用箇所
Rev. 3.30	2.1.6 48ピン(コード・フラッシュ・メモリ 16 KB～64 KB) P60～P63の端子タイプを修正	第2章 端子機能
	2.1.7 52ピン(コード・フラッシュ・メモリ 16 KB～64 KB) P60～P63の端子タイプを修正	
	2.1.8 64ピン(コード・フラッシュ・メモリ 16 KB～64 KB) P60～P63の端子タイプを修正	
	2.1.9 30ピン(コード・フラッシュ・メモリ 96 KB～256 KB) P60, P61の端子タイプを修正	
	2.1.10 32ピン(コード・フラッシュ・メモリ 96 KB～256 KB) P60～P62の端子タイプを修正	
	2.1.11 36ピン(コード・フラッシュ・メモリ 96 KB～256 KB) P60～P62の端子タイプを修正	
	2.1.12 40ピン(コード・フラッシュ・メモリ 96 KB～256 KB) P60～P62の端子タイプを修正	
	2.1.13 44ピン(コード・フラッシュ・メモリ 96 KB～256 KB) P60～P63の端子タイプを修正	
	2.1.14 48ピン(コード・フラッシュ・メモリ 96 KB～512 KB) P60～P63の端子タイプを修正	
	2.1.15 52ピン(コード・フラッシュ・メモリ 96 KB～256 KB) P60～P63の端子タイプを修正	
	2.1.16 64ピン(コード・フラッシュ・メモリ 96 KB～512 KB) P60～P63の端子タイプを修正	
	2.1.17 80ピン P60～P63の端子タイプを修正	
	2.1.18 100ピン P60～P63の端子タイプを修正	
	図2-8 端子タイプ7-1-4の端子ブロック図 注意を追加	
	図2-10 端子タイプ7-1-8の端子ブロック図 注意を追加	
	図2-12 端子タイプ7-3-4の端子ブロック図 注意を追加	
	図2-14 端子タイプ7-6-8の端子ブロック図 注意を追加	
	図2-15 端子タイプ8-1-3の端子ブロック図 注意を追加	
	図2-16 端子タイプ8-1-4の端子ブロック図 注意1, 注意2を追加	
	図2-17 端子タイプ8-1-7の端子ブロック図 注意を追加	
	図2-18 端子タイプ8-1-8の端子ブロック図 注意1, 注意2を追加	
	図2-19 端子タイプ8-3-4の端子ブロック図 注意1, 注意2を追加	
	図2-20 端子タイプ8-6-6の端子ブロック図 注意を追加	
	図2-21 端子タイプ8-6-8の端子ブロック図 注意1, 注意2を追加	
	図2-22 端子タイプ12-1-5の端子ブロック図 端子タイプ12-1-2→端子タイプ12-1-5に修正, 注意を追加	
	表3-6 ベクタ・テーブル(1/2) ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	第3章 CPUアーキテクチャ
	表3-7 ベクタ・テーブル(2/2) ベクタ・テーブル・アドレスを5桁表示(xxxxxH)に修正	

(8/32)

版数	内容	適用箇所
Rev. 3.30	3.2.1 制御レジスタ (1) プログラム・カウンタ(PC) アドレスを5桁表示 (xxxxxH)に修正	第3章 CPUアーキテクチャ
	表3 - 16 拡張特殊機能レジスタ (2nd SFR)一覧(3/9) F0139Hを追加	
	4.2.8 ポート7 注1を修正	第4章 ポート機能
	表4 - 17 P30-P120端子機能使用時のレジスタの設定例 (1/6) P40のレジスタの設定を修正	
	表4 - 19 P130-P147端子機能使用時のレジスタの設定例を修正	第5章 クロック発生回路
	X1, X2端子 → X1端子, X2端子, XT1, XT2端子 → XT1端子, XT2端子	
	5.7 発振子と発振回路定数 (1) X1発振 備考2を追加	
	5.7 発振子と発振回路定数 (2) XT1発振 (水晶振動子) 日付更新、備考を追加	第6章 タイマ・アレイ・ユニット
	図6 - 66 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順 動作中のソフトウェア操作の説明を修正	
	図8 - 10 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[アウトプットコンペア機能 TOA1, TOA0ビットに注2を記載	第8章 タイマRD
	図8 - 11 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[PWM機能] TOA1, TOA0ビットに注2を記載、TOC0ビットの説明を修正	
	図8 - 12 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[リセット同期PWMモード, 相補PWMモード] 追加	
	図8 - 13 タイマRD出力制御レジスタ(TRDOCR)のフォーマット[PWM3モード] TOA0ビットに注2を記載	
	図8 - 19 タイマRD制御レジスタi (TRDCRi)(i = 0,1)のフォーマット[相補PWMモード] TRDCR1レジスタの説明を追加	
	図8 - 32 タイマRDカウンタ0(TRD0)のフォーマット[リセット同期PWMモード, PWM3モード] TRD1レジスタの説明を削除	
	図8 - 33 タイマRDカウンタ0 (TRD0)のフォーマット[相補PWMモード(TRD0)] TRD1レジスタの説明を削除	
	図8 - 34 タイマRDカウンタ1 (TRD1)のフォーマット[相補PWMモード(TRD1)] TRD0レジスタの説明を削除	
	図8 - 57 リセット同期PWMモードのブロック図 図を修正	
	図8 - 59 相補PWMモードのブロック図 図を修正	
	図14 - 4 A/D電圧コンパレータ使用時のタイミング・チャート 変更	第14章 A/Dコンバータ
	図14 - 19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例 修正	
	図14 - 20 ソフトウェア・セレクト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 修正	
	図14 - 21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例 修正	
	図14 - 22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 修正	
	図14 - 23 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例 修正	

(9/32)

版数	内容	適用箇所
Rev. 3.30	図 14 - 24 ハードウェア・トリガ・ノーウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 修正	第 14 章 A/D コンバータ
	図 14 - 25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例 修正	
	図 14 - 26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 修正	
	図 14 - 27 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, 連続変換モード)動作タイミング例 修正	
	図 14 - 28 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例 修正	
	図 14 - 29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例 修正	
	図 14 - 30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例 修正	
	図 14 - 31 ソフトウェア・トリガ・モード設定 修正 (用語統一)	
	図 14 - 32 ハードウェア・トリガ・ノーウエイト・モード設定 修正 (用語統一)	
	図 14 - 33 ハードウェア・トリガ・ウエイト・モード設定 修正 (用語統一)	
	図 14 - 34 温度センサ出力電圧/内部基準電圧を選択時の設定 修正 (用語統一)	
	図 14 - 35 テスト・モード設定 修正 (用語統一)	
	図 14 - 39 SNOOZE モード設定のフローチャート 修正 (用語統一)	
	14.10 A/D コンバータの注意事項 (2) ANI0-ANI14, ANI16-ANI20 端子入力範囲について 説明を修正	
	図 18 - 15 IICA コントロール・レジスタ n1 (IICCTLn1) のフォーマット (2/2) PRS _n ビットの機能を修正	第 18 章 シリアル・インタフェース IICA
	表 21 - 1 割り込み要因一覧 ベクタ・テーブル・アドレスを 5 桁表示 (xxxxxH) に修正	第 21 章 割り込み機能
	アドレスを 5 桁表示 (xxxxxH) に変更	第 24 章 リセット機能
	表 24 - 2 各ハードウェアのリセット受け付け後の状態 アドレスを 5 桁表示 (xxxxxH) に変更	
	図 25 - 3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミング (2/3) 注 3 の図の参照先を修正	第 25 章 パワーオン・リセット回路
	26.1 電圧検出回路の機能 表の説明を修正	第 26 章 電圧検出回路
	図 26 - 4 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット (1/2) 表 → 図に修正	
	図 26 - 10 割り込み&リセット・モードの初期設定の設定手順 処理「LVISEN = 1」の説明を修正	
	表 31 - 1 オンチップ・デバッグ・セキュリティ ID 注を追加	
	35.3.2 電源電流特性 (3) 48 ~ 100 ピン製品のフラッシュ ROM384 ~ 512 KB の製品 T.B.D に MAX. 値を記載	第 31 章 オンチップ・デバッグ機能
		第 35 章 電気的特性 (G: 産業用途 TA = -40 ~ +105 °C)

(10/32)

版数	内容	適用箇所
Rev. 3.20	○ROM, RAM容量からR5F104JK, R5F104JLの品名を削除, 注を変更	第1章 概説
	1.2 型名一覧 52ピンからR5F104JK, R5F104JLの品名を削除	
	1.2 型名一覧 注2を削除	
	1.3.7 52ピン製品の注2を削除	
	1.6 機能概要の説明を変更	
	1.6 機能概要から52ピンの説明を削除	
	1.6 機能概要の注を変更	
	2.1.15 52ピン (コード・フラッシュ・メモリ96KB~256KB) に改称, 注3を削除	第2章 端子機能
	3.1 メモリ空間 図3-9, 図3-10の名称を変更	第3章 CPUアーキテクチャ
	表3-3, 表3-4の備考を変更	
	表3-5の説明を変更	
	表3-8の説明を変更	
	(3) スタック・ポインタの注意4, 5を変更	
	表4-7の注2を変更	第4章 ポート機能
	図6-12の説明を追加	第6章 タイマ・アレイ・ユニット
	6.9.1 ワンショット・パルス出力機能としての動作の注意を変更	
	図8-58の誤記を修正	第8章 タイマRD
	図17-19の注を修正	第17章 シリアル・アレイ・ユニット
	18.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn) に説明を追加	第18章 シリアル・インタフェースIICA
	図19-2の注意3, 注意4を変更	第19章 データ・トランスファ・コントローラ (DTC)
	19.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の説明を変更	
	19.5.3 DTC保留命令に説明を追加	
	表21-19 割り込み要因一覧 (1/4) の誤記を修正	第21章 割り込み機能
	21.4.4 除算命令中の割り込み処理に注意を追加	
	21.4.5 割り込み要求の保留に説明を追加	
	図27-11の注を変更	第27章 安全機能
	図31-2の注1を変更	第31章 オンチップ・デバッグ機能
	表33-16に注意を追加	第33章 命令セットの概要
	34.3.2 電源電流特性を変更	第34章 電気的特性 (TA = -40~+85℃)
	35.3.2 電源電流特性を変更	第35章 電気的特性 (G: 産業用途 TA = -40~+105℃)
	36.7 52ピン製品の型名を変更	第31章 外形図

(11/32)

版数	内容	適用箇所
Rev. 3.10	○ROM, RAM容量の注を変更	第1章 概説
	図1-1 RL78/G14の型名とメモリサイズ・パッケージの説明を変更	
	発注型名一覧の表に、発注型名を追加、説明を変更	
	1.3.1 30ピン製品～1.3.10 100ピン製品の端子接続図に説明を追加	
	1.6 機能概要の説明, 注を変更	
	3.1 メモリ空間 図3-1～図3-10の注1を変更	第3章 CPUアーキテクチャ
	3.1.3 内部データ・メモリの注意2, 3を変更	
	図3-43 CALL, CALLTの例の説明を変更	
	5.1 クロック発生回路の機能の説明を追加	第5章 クロック発生回路
	5.6.2 X1発振回路の設定例⑤に注意を追加	
	図6-19の説明を修正	第6章 タイマ・アレイ・ユニット
	表13-3に注を追加	
	13.5 ウォッチドッグ・タイマの制限を追加	第13章 ウォッチドッグ・タイマ
	表15-1 D/Aコンバータに説明を追加	
	図17-59のフローを修正	第15章 D/Aコンバータ
	図17-74のタイミングチャートを修正	
	図17-76のタイミングチャートを修正	
	図17-89のフローを修正	
	17.7.3 SNOOZEモード機能に注意5を追加	
	図17-123のタイミングチャートを修正	
	図17-124のタイミングチャートを修正	
	図17-126のタイミングチャートを修正	
	18.5.14 通信予約の説明を変更	
	図18-34の注1を変更	
	図18-37の注を変更	第17章 シリアル・アレイ・ユニット
	冒頭の説明を追加	
	表19-1の注を変更	第18章 シリアル・インターフェイス IICA
	図19-3 コントロールデータの配置を変更	
	図19-4 コントロールデータの先頭アドレスとベクタテーブルを追加	
	図19-16のフロー内を修正	
	冒頭の説明に対象製品を追加	
	Slpセットアップ時間の条件を修正	第19章 データ・トランスファ・コントローラ (DTC)
	34.7 RAMデータ保持特性に改称, 注を変更	
	冒頭の説明に対象製品を追加	第34章 電気的特性 (T _A = -40～+85℃)
	Slpセットアップ時間の条件を修正	
	35.7 RAMデータ保持特性に改称, 注を変更	
	36.3 36ピン製品に型名を追加	第35章 電気的特性 (G: 産業用途 T _A = -40～+105℃)
	36.8 64ピン製品に型名を追加	
		第36章 外形図

(12/32)

版数	内容	適用箇所
Rev. 3.00	フラッシュ ROMが最大512 KB, RAMが最大48 KBの製品を追加	全般
	1.1 特徴を変更	第1章 概説
	ROM, RAM容量を変更, 注3を追加	
	図1-1 RL78/G14の型名とメモリサイズ・パッケージを修正	
	型名を追加	
	1.3.6 48ピン製品を変更	
	1.3.7 52ピン製品を変更	
	1.3.8 64ピン製品を変更	
	1.3.9 80ピン製品を変更	
	1.3.10 100ピン製品を変更	
	1.6 機能概要の動作周囲温度を変更	
	48ピン, 52ピン, 64ピン製品(コード・フラッシュ・メモリ384 KB~512 KB)の表を追加	
	80ピン, 100ピン製品(コード・フラッシュ・メモリ384 KB~512 KB)の表を追加	
	2.1.1~2.1.18 リセット時をリセット解除時に変更	第2章 端子機能
	2.1.14 48ピン(コード・フラッシュ・メモリ96 KB~512 KB)を変更	
	2.1.15 52ピン(コード・フラッシュ・メモリ96 KB~512 KB)を変更	
	2.1.16 64ピン(コード・フラッシュ・メモリ96 KB~512 KB)を変更	
	2.1.17 80ピンを変更	
	2.1.18 100ピンを変更	
	旧図2-5 端子タイプ4-3-1の端子ブロック図を削除	
	旧図2-7 端子タイプ4-6-1の端子ブロック図を削除	
	図2-9 端子タイプ7-1-7の端子ブロック図を追加	
	図2-10 端子タイプ7-1-8の端子ブロック図を追加	
	図2-17 端子タイプ8-1-7の端子ブロック図を追加	第3章 CPUアーキテクチャ
	図2-18 端子タイプ8-1-8の端子ブロック図を追加	
	図3-9 メモリ・マップ(R5F104xK (x = G, J, L, M, P))を追加	
	図3-10 メモリ・マップ(R5F104xL (x = G, J, L, M, P))を追加	
	表3-3 フラッシュ・メモリのアドレス値とブロック番号の対応(3/4)を追加	
	表3-4 フラッシュ・メモリのアドレス値とブロック番号の対応(4/4)を追加	
	表3-5 内部ROM容量を変更	
	表3-8 内部RAM容量, 注意3, 注意4を変更	
	図3-12 データ・メモリとアドレッシングの対応を変更	
	3.2.1 制御レジスタを変更	第4章 ポート機能
	注意4, 注意5を変更	
	3.2.2 汎用レジスタを変更	
	表4-7 各製品で搭載しているPMxx, Pxx, PUxx, PIMxx, POMxx, PMCxx レジスタとそのビット(30ピン製品~64ピン製品)(1/3)の注2を変更	
	図4-8 周辺I/Oリダイレクション・レジスタ0(PIOR0)のフォーマットを変更	
	4.4.5 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応を変更	

(13/32)

版数	内容	適用箇所
Rev. 3.00	表4 - 15 P00-P17端子機能使用時のレジスタの設定例 (2/3)を変更	第4章 ポート機能
	表4 - 15 P00-P17端子機能使用時のレジスタの設定例 (3/3)を変更	
	表4 - 16 P20-P27端子機能使用時のレジスタの設定例を変更	
	表4 - 17 P30-P120端子機能使用時のレジスタの設定例 (2/6)を変更	
	表4 - 19 P130-P147端子機能使用時のレジスタの設定例を変更	
	図5 - 1 クロック発生回路のブロック図を変更	第5章 クロック発生回路
	(1) X1発振を変更	
	(2) XT1発振(水晶振動子)を変更	
	図6 - 12 タイマ・モード・レジスタmn (TMRmn)のフォーマット(1/4)を変更	第6章 タイマ・アレイ・ユニット
	図6 - 20 タイマ入力選択レジスタ0 (TIS0)のフォーマットの注意1を変更	
	図6 - 42 TO0nビットの一括操作によるTO0nの端子状態の注意を削除	
	図7 - 11 タイマモードの動作例を変更	第7章 タイマRJ
	図7 - 12 パルス出力モードの動作例を変更	
	図7 - 13 イベントカウンタモードの動作例1を変更	
	図7 - 15 パルス幅測定モードの動作例を変更	
	図7 - 16 パルス周期測定モードの動作例を変更	
	表8 - 7 相補PWMモード時のTRDGRji レジスタの機能を変更	第8章 タイマRD
	表8 - 11 タイマRDのモードとELC/DTCへのイベント出力を変更	
	図8 - 53 PWM機能のブロック図を変更	
	図8 - 56 リセット同期PWMモードのブロック図を変更	
	図8 - 58 相補PWMモードのブロック図を変更	
	図8 - 61 PWM3モードのブロック図を変更	第14章 A/Dコンバータ
	表14 - 6 A/D変換時間の選択(4/4)を変更	
	図14 - 19 ソフトウェア・トリガ・モード(セレクト・モード, 連続変換モード)動作タイミング例を変更	
	図14 - 20 ソフトウェア・セレクト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例を変更	
	図14 - 21 ソフトウェア・トリガ・モード(スキャン・モード, 連続変換モード)動作タイミング例を変更	
	図14 - 22 ソフトウェア・トリガ・モード(スキャン・モード, ワンショット変換モード)動作タイミング例を変更	
	図14 - 25 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例を変更	
	図14 - 26 ハードウェア・トリガ・ノーウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例を変更	
	図14 - 28 ハードウェア・トリガ・ウエイト・モード(セレクト・モード, ワンショット変換モード)動作タイミング例を変更	
	図14 - 29 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, 連続変換モード)動作タイミング例を変更	
	図14 - 30 ハードウェア・トリガ・ウエイト・モード(スキャン・モード, ワンショット変換モード)動作タイミング例を変更	

(14/32)

版数	内容	適用箇所
Rev. 3.00	14.10 A/Dコンバータの注意事項の(2) ANI0-ANI14, ANI16-ANI20端子入力範囲についてを変更	第14章 A/Dコンバータ
	17.2.2 シリアル・データ・レジスタmn (SDRmn)の下位8/9ビットの注意2を変更	第17章 シリアル・アレイ・ユニット
	図17-11 シリアル・データ・レジスタmn (SDRmn)のフォーマットの注意4を変更	
	図17-113 UART送信(シングル送信モード時)のフロー・チャートを変更	
	図17-123 SNOOZEモード動作(EOCm1 = 0, SSECm = 0/1)時のタイミング・チャートを変更	
	図17-124 SNOOZEモード動作(EOCm1 = 1, SSECm = 0)時のタイミング・チャートを変更	
	図17-126 SNOOZEモード動作(EOCm1 = 1, SSECm = 1)時のタイミング・チャートを変更	
	図17-134 LIN受信のフロー・チャートを変更	
	図18-35 シングルマスタ・システムでのマスタ動作を変更	第18章 シリアル・インタフェース IICA
	図18-36 マルチマスタ・システムでのマスタ動作(1/3)を変更	
	図18-39 スレーブ動作手順(1)を変更	
	19.3.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置の注意3, 注意4を変更	第19章 データ・トランスファ・コントローラ(DTC)
	図19-13 DTC内部動作フローチャートを変更	
	19.5.2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置を変更	
	図23-8 SNOOZEモードの割り込み要求が発生しない場合を変更	第23章 スタンバイ機能
	図25-3 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生のタイミング(2/3)の注3を変更	第25章 パワーオン・リセット回路
	26.1 電圧検出回路の機能の表を変更	第26章 電圧検出回路
	26.4.2 割り込みモードとして使用する場合の設定のLVD割り込みモードの動作を変更	
	図27-1 フラッシュ・メモリCRC制御レジスタ(CRC0CTL)のフォーマットを変更	第27章 安全機能
	図27-11 不正アクセス検出空間の注を変更	
	表30-10 PG-FP5使用時の各コマンド処理時間(参考値)を変更	第30章 フラッシュ・メモリ
	図31-2 デバッグ用モニタ・プログラムが配置されるメモリ空間の注1を変更	第31章 オンチップ・デバッグ機能
	(3) 48～100ピン製品のフラッシュ ROM384～512 KBの製品を追加	第34章 電気的特性(A, D: TA = -40～+85 °C)
	34.7 データ・メモリ保持特性を変更	
	(3) 48～100ピン製品のフラッシュ ROM384～512 KBの製品を追加	第35章 電気的特性(G: TA = -40～+105 °C)
	35.7 データ・メモリ保持特性を変更	
	36.6 48ピン製品を追加, 変更	第36章 外形図
	36.7 52ピン製品を変更	
	36.8 64ピン製品を追加, 変更	
	36.9 80ピン製品を追加, 変更	
	36.10 100ピン製品を追加, 変更	

(15/32)

版数	内容	適用箇所
Rev. 2.00	SCK, SCKxxのオーバーバーを削除	全般
	OSMCレジスタの名称を動作スピード・モード制御レジスタからサブシステム・クロック供給モード制御レジスタに名称を変更	
	端子名称の変更(TRDCLK0をTRDCLKに変更)	
	1.1 特徴を変更	第1章 概説
	1.2 型名一覧を変更	
	1.3 端子接続図(Top View)のパッケージ名称を変更	
	1.6 機能概要のサブシステム・クロックの説明を変更	
	1.6 機能概要のタイマ出力の説明を変更	
	1.6 機能概要のデータ・トランスファ・コントローラの誤記訂正	
	1.6 機能概要のイベント・リンク・コントローラの誤記訂正	
	2.1 ポート機能に注意を追加	第2章 概説
	2.1.1～2.1.18の表, 備考を変更	
	2.3 未使用端子の処理の表を変更	
	P60-P63の未使用端子処理の誤記訂正	
	2.4 端子ブロック図を変更	
	図3-1～図3-8の注, 注意を変更	第3章 CPUアーキテクチャ
	3.1.3 内部データ・メモリ空間の説明変更, 仕様拡張	
	3.1.6 データ・メモリ・アドレッシングの図を変更	
	(3) スタック・ポインタ(SP)の誤記訂正	
	3.2.2 汎用レジスタの説明を変更	
	3.2.3 ES, CSレジスタの説明を変更	
	3.2.4 特殊機能レジスタ(SFR: Special Function Register)の説明を変更	
	3.2.5 拡張特殊機能レジスタ(2nd SFR: 2nd Special Function Register)の説明を変更	
	イベント出力先選択レジスタ00～25 操作可能ビット範囲の誤記訂正	
	3.4.3 ダイレクト・アドレッシングの説明を変更	
	3.4.6 レジスタ・インダイレクト・アドレッシングの説明を変更	
	3.4.7 ベースト・アドレッシングの説明を変更	
	3.4.8 ベースト・インデクスト・アドレッシングの説明を変更	
	3.4.9 スタック・アドレッシングの説明を変更	
	4.2.1 ポート0～4.2.15 ポート15の説明を変更	第4章 ポート機能
	4.3 ポート機能を制御するレジスタに注意を追加	
	4.3.5 ポート出力モード・レジスタ(POMxx)の説明, 注意を追加	
	4.3.7 A/Dポート・コンフィギュレーション・レジスタ(ADPC)の注意を追加	
	4.3.10 グローバル・デジタル・インプット・ディスエーブル・レジスタ(GDIDIS)の説明, 注意を追加	
	4.4.4 $EV_{DD} \leq V_{DD}$ による異電位(1.8 V系, 2.5 V系, 3 V系)対応を追加	
	4.4.5 入出力バッファによる異電位(1.8 V系, 2.5 V系, 3 V系)対応の説明を変更	
	4.5 兼用機能使用時のレジスタの設定の説明を変更	

(16/32)

版数	内容	適用箇所
Rev. 2.00	5.1 クロック発生回路の機能の選択クロック拡張	第5章 クロック発生回路
	図5-1 クロック発生回路のブロック図を修正	
	5.3.1 クロック動作モード制御レジスタ(CMC)の説明を変更	
	5.3.6 周辺イネーブル・レジスタ0, 1 (PER0, PER1)の説明を変更	
	5.3.7 サブシステム・クロック供給モード制御レジスタ(OSMC)の説明を変更	
	5.3.8 高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)の説明を変更	
	図5-19の説明を変更	
	5.6.1 高速オンチップ・オシレータの設定例の選択クロック拡張	
	5.6.2 X1発振回路の設定例の説明を変更	
	5.6.4 CPUクロック状態移行図の説明を変更	
	5.6.5 CPUクロックの移行前の条件と移行後の処理の説明を変更	
	5.7 発振子と発振回路定数を追加	
	6.1.1 単独チャンネル動作機能 (7) ディレイ・カウンタの図の誤記訂正	第6章 タイマ・アレイ・ユニット
	図6-1～図6-5の説明を変更	
	6.2.2 タイマ・データ・レジスタmn (TDRmn)の説明を変更	
	6.3.1 周辺イネーブル・レジスタ0 (PER0)の説明を変更	
	6.3.2 タイマ・クロック選択レジスタm (TPSm)の説明を変更	
	図6-15 タイマ・モード・レジスタmn (TMRmn)のフォーマット(4/4)の説明を変更	
	6.3.7 タイマ・チャンネル停止レジスタ0 (TTm)の説明を変更	
	6.3.8 タイマ入力選択レジスタ0 (TIS0)の説明を変更	
	図6-21 タイマ出力許可レジスタm (TOEm)のフォーマットの説明を変更	
	6.3.14 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)の説明を追加	
	6.3.15 タイマ入出力端子のポート機能を制御するレジスタの説明を変更	
	6.5.2 カウンタのスタート・タイミングの説明を変更	
	(2) イベント・カウンタ・モードの動作の説明を追加	
	(3) キャプチャ・モードの動作(入力パルス間隔測定)の誤記訂正	
	6.6.3 チャンネル出力操作時の注意事項の誤記訂正	
	6.7 タイマ入力(TImn)の制御の説明を追加	
	図6-48～図6-50の誤記訂正	
	図6-51の説明を追加	
	図6-53, 図6-54の誤記訂正	
	図6-55の説明を追加	
	図6-58の説明を変更	
	図6-59の説明を追加	
	図6-61, 図6-62の誤記訂正, 説明を追加	
	図6-63の説明を追加	
	図6-64, 図6-65の誤記訂正, 説明を追加	
	図6-67の誤記訂正	
	図6-69, 図6-70の誤記訂正, 説明を追加	

(17/32)

版数	内容	適用箇所
Rev. 2.00	図6 - 71の誤記訂正	第6章 タイマ・アレイ・ ユニット
	図6 - 75, 図6 - 76の説明を追加	
	図7 - 16 パルス周期測定モード カウンタの値の誤記訂正	第7章 タイマRJ
	8.3.10 タイマRDデジタルフィルタ機能選択レジスタi (TRDDFi) (i = 0, 1)の説明を追加	第8章 タイマRD
	8.3.14 タイマRDステータスレジスタ0 (TRDSR0)の説明を変更	
	8.3.15 タイマRDステータスレジスタ1 (TRDSR1)の説明を変更	
	図8 - 45 パルス出力強制遮断の誤記訂正	
	表8 - 11 タイマRDのモードとELC/DTCへのイベント出力の誤記訂正	
	図8 - 46 インプットキャプチャ機能のブロック図を変更	
	図8 - 48 デジタルフィルタのブロック図の誤記訂正	
	図8 - 49 アウトプットコンペア機能のブロック図を変更	
	図8 - 53 PWM機能のブロック図を変更	
	図8 - 56 リセット同期PWMモードのブロック図を変更	
	図8 - 58 相補PWMモードのブロック図を変更	
	図8 - 61 PWM3モードのブロック図を変更	
	8.6 タイマRD割り込みの説明を変更	
	8.7.1 SFR リード/ライトアクセス (3) TRDi レジスタ (i = 0, 1)の説明を追加	
	8.7.5 TRDIOAi, TRDIOBi, TRDIOCi, TRDIODi端子の設定手順(i = 0, 1)の説明を追加	
	8.7.8 相補PWMモードの説明を追加	
	9.3.2 タイマRGモードレジスタ (TRGMR)の誤記訂正	第9章 タイマRG
	9.3.6 タイマRGステータスレジスタ (TRGSR)の説明を変更	
	図9 - 15 デジタルフィルタのブロック図の誤記訂正	
	9.5 タイマRG 割り込みを追加	
	9.6.4 TRGIOA, TRGIOB端子の設定手順の誤記訂正	
	10.1 リアルタイム・クロックの機能の説明を追加	第10章 リアルタイム・ クロック
	10.2 リアルタイム・クロックの構成の誤記訂正	
	10.3.1 周辺イネーブル・レジスタ0 (PER0)の説明を追加	
	10.3.3 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)の注意を追加	
	10.4.6 リアルタイム・クロックの時計誤差補正例を追加	
	11.2 12ビット・インターバル・タイマの構成の誤記訂正	第11章 12ビット・ インターバル・タイマ
	11.3.1 周辺イネーブル・レジスタ0 (PER0)の説明を変更	
	11.3.3 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)の誤記訂正	
	11.4.2 HALT/STOP モードから復帰後にカウンタ動作開始し、再度HALT/STOPモードへの移行を追加	
	12.1 クロック出力／ブザー出力制御回路の機能の説明を変更	第12章 クロック出力／ ブザー出力制御回路

(18/32)

版数	内容	適用箇所
Rev. 2.00	12.3.1 クロック出力選択レジスタ n (CKSn)の注を変更	第12章 クロック出力／ ブザー出力制御回路
	12.3.2 クロック出力／ブザー出力端子のポート機能を制御するレジスタの説明を変更	
	12.4.1 出力端子の動作の説明を変更	
	12.5 クロック出力／ブザー出力制御回路の注意事項を追加	
	13.1 ウォッチドッグ・タイマの機能の説明を追加	第13章 ウォッチドッグ・ タイマ
	13.2 ウォッチドッグ・タイマの構成の説明を追加	
	13.3 ウォッチドッグ・タイマを制御するレジスタの説明を変更	
	13.4 ウォッチドッグ・タイマの動作の注意を変更	
	14.1 A/Dコンバータの機能の説明を変更	第14章 A/Dコンバータ
	図14-1 A/Dコンバータのブロック図の誤記訂正	
	14.3.1 周辺イネーブル・レジスタ0 (PER0)の注意を変更	
	14.3.2 A/Dコンバータ・モード・レジスタ0 (ADM0)の説明を変更	
	14.3.3 A/Dコンバータ・モード・レジスタ1 (ADM1)の注意を変更	
	14.3.4 A/Dコンバータ・モード・レジスタ2 (ADM2)の説明を追加	
	14.3.5 10ビットA/D変換結果レジスタ (ADCR)の説明を変更	
	14.3.6 8ビットA/D変換結果レジスタ (ADCRH)の説明を変更	
	14.3.7 アナログ入力チャネル指定レジスタ (ADS)の注意を変更	
	14.3.8 変換結果比較上限値設定レジスタ (ADUL)の注意を追加	
	14.3.9 変換結果比較下限値設定レジスタ (ADLL)の注意を追加	
	14.3.10 A/Dテスト・レジスタ (ADTES)の説明を変更	
	14.3.11 アナログ入力端子のポート機能を制御するレジスタの説明を変更	
	14.4 A/Dコンバータの変換動作の注を追加	
	図14-19～図14-30を変更	
	14.7 A/Dコンバータの設定フロー・チャートの誤記訂正	
	14.8 SNOOZEモード機能の説明を追加	
	図14-42, 図14-43の誤記訂正	
	14.10 A/Dコンバータの注意事項の(2) ANI0-ANI14, ANI16-ANI20端子入力範囲についての説明を変更	
	14.10 A/Dコンバータの注意事項の(4)ノイズ対策についての説明を変更	
	図14-46の誤記訂正	
	14.10 A/Dコンバータの注意事項の(5)アナログ入力 (ANIn)端子についての説明を変更	
	14.10 A/Dコンバータの注意事項の(6)アナログ入力 (ANIn)端子の入カインピーダンスについての説明を変更	
	15.3.4 イベント出力先選択レジスタ n (ELSELRn), n = 00～25を追加	第15章 D/Aコンバータ
	15.3.5 アナログ入力端子のポート機能を制御するレジスタの説明を変更	
	15.4 D/Aコンバータの動作の注意を変更	
	15.4.2 リアルタイム出力モード時の動作の説明を変更	
	15.4.3 D/A変換値の出力タイミングを追加	

(19/32)

版数	内容	適用箇所
Rev. 2.00	図 16 - 1 コンパレータのブロック図を変更	第 16 章 コンパレータ
	16.3.2 コンパレータモード設定レジスタ (COMPMDR) の説明を変更	
	16.3.5 アナログ入力端子のポート機能を制御するレジスタの説明を変更	
	表 16 - 2 コンパレータ関連レジスタの設定手順の説明を変更	
	16.4.3 イベント・リンク・コントローラ (ELC) へのイベント信号出力の説明を変更	
	16.4.4 コンパレータ i 出力 (i = 0, 1) の説明を変更	
	17.1 シリアル・アレイ・ユニットの機能の説明を変更	第 17 章 シリアル・アレイ・ユニット
	図 17 - 1 シリアル・アレイ・ユニット 0 のブロック図を変更	
	図 17 - 2 シリアル・アレイ・ユニット 1 のブロック図を変更	
	17.2.2 シリアル・データ・レジスタ mn (SDRmn) の下位 8/9 ビットの説明を変更	
	17.3.1 周辺イネーブル・レジスタ 0 (PER0) の注意を変更	
	17.3.2 シリアル・クロック選択レジスタ m (SPSm) の注を変更	
	17.3.3 シリアル・モード・レジスタ mn (SMRmn) の注を追加	
	17.3.4 シリアル通信動作設定レジスタ mn (SCRmn) の説明を変更	
	17.3.5 シリアル・データ・レジスタ mn (SDRmn) の説明を変更	
	17.3.6 シリアル・フラグ・クリア・トリガ・レジスタ mn (SIRmn) の注を追加	
	17.3.7 シリアル・ステータス・レジスタ mn (SSRmn) の注を追加	
	17.3.8 シリアル・チャンネル開始レジスタ m (SSm) の注を変更	
	17.3.9 シリアル・チャンネル停止レジスタ m (STm) の注を変更	
	17.3.11 シリアル出力許可レジスタ m (SOEm) の注を変更	
	17.3.12 シリアル出力レジスタ m (SOm) の注を変更	
	17.3.13 シリアル出力レベル・レジスタ m (SOLm) の説明を追加	
	17.3.14 シリアル・スタンバイ・コントロール・レジスタ m (SSCm) の説明を変更	
	17.3.16 ノイズ・フィルタ許可レジスタ 0 (NFEN0) の説明を変更	
	17.3.17 シリアル入出力端子のポート機能を制御するレジスタの説明を変更	
	17.5 3線シリアル I/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21, CSI30, CSI31) 通信の動作の説明を変更	
	17.5.1 マスタ送信の説明を変更	
	17.5.2 マスタ受信の説明を変更	
	17.5.3 マスタ送受信の説明を変更	
	17.5.4 スレーブ送信の説明を変更	
	17.5.5 スレーブ受信の説明を変更	
	17.5.6 スレーブ送受信の説明を変更	
	17.5.7 SNOOZE モード機能の説明を変更	
	17.6 スレーブセレクト入力機能付クロック同期シリアル通信の動作の注を変更	
	図 17 - 80 を変更	
	17.6.1 スレーブ送信の説明を変更	
	17.6.2 スレーブ受信の説明を変更	

(20/32)

版数	内容	適用箇所
Rev. 2.00	17.6.3 スレーブ送受信の説明を変更	第17章 シリアル・アレイ・ユニット
	17.6.4 転送クロック周波数の算出の説明を変更	
	17.7 UART (UART0-UART3)通信の動作の説明を変更	
	17.7.1 UART送信の説明を変更	
	17.7.2 UART受信の説明を変更	
	17.7.3 SNOOZEモード機能の説明を変更	
	17.8 LIN通信の動作の説明を変更	
	17.9 簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信の動作の説明を変更	
	17.9.1 アドレス・フィールド送信の説明を変更	
	17.9.2 データ送信の説明を変更	
	17.9.3 データ受信の説明を変更	
	17.9.4 ストップ・コンディション発生の説明を変更	
	17.9.5 転送レートの算出の注意を変更	
	17.9.6 簡易I ² C (IIC00, IIC01, IIC10, IIC11, IIC20, IIC21, IIC30, IIC31)通信時におけるエラー発生時の処理手順の説明を変更	
	64ピン版の説明から100ピン版の説明に変更	第18章 シリアル・インタフェース IICA
	図18-1 シリアル・インタフェース IICAのブロック図の誤記訂正	
	18.3.1 周辺イネーブル・レジスタ0 (PER0)の注意を変更	
	18.3.5 IICAコントロール・レジスタn1 (IICCTLn1)の説明を変更	
	18.3.6 IICAロウ・レベル幅設定レジスタn (IICWLn)の説明を変更	
	18.3.7 IICAハイ・レベル幅設定レジスタn (IICWHn)の説明を変更	
	18.4.2 IICWLn, IICWHnレジスタによる転送クロック設定方法の誤記訂正	
	図18-29 WUPn = 1を設定する場合のフローの説明を追加	
	図18-30 アドレス一致によりWUPn = 0に設定する場合のフロー (拡張コード受信含む)の説明を追加	
	図18-31 INTIICAn以外でSTOPモードが解除後にマスタとして動作させる場合の説明を追加	
	図18-34 通信予約の手順の説明を変更	
	18.5.15 その他の注意事項の(3)すでに他者との間でI ² C通信が行われている場合の誤記訂正	
	図18-35 シングルマスタ・システムでのマスタ動作の誤記訂正	
	図18-37 マルチマスタ・システムでのマスタ動作(2/3)の誤記訂正	
	図18-38 マルチマスタ・システムでのマスタ動作(3/3)の誤記訂正	
	図18-39 スレーブ動作手順(1)の誤記訂正	
	図19-1 DTCのブロック図を変更	第19章 データ・トランスファ・コントローラ(DTC)
	19.3.11 DTC起動許可レジスタi (DTCENi) (i = 0~4)の注意を変更	
	表19-6 ノーマルモードでのレジスタ機能の誤記訂正	
	(1) ノーマルモードの使用例1: A/D変換結果の連続取り込みの誤記訂正	
	(2) ノーマルモードの使用例2: UART0連続送信の誤記訂正	

(21/32)

版数	内容	適用箇所
Rev. 2.00	(1) リピートモードの使用例1：ポートを使ったステッピングモータ制御パルス出力の誤記訂正	第19章 データ・トランスファ・コントローラ(DTC)
	(2) リピートモードの使用例2：8ビットD/Aコンバータを使ったサイン波出力の誤記訂正	
	19.4.4 チェイン転送の説明を追加	
	(1) チェイン転送の使用例：A/D変換結果の連続取り込みとUART0送信の誤記訂正	
	19.5.1 DTCのコントロールデータおよびベクタテーブルの設定の説明を追加	
	19.5.3 DTC保留命令の説明を変更	
	19.5.4 データ・フラッシュ空間にアクセスする場合の動作の説明を変更	
	20.3.1 イベント出力先選択レジスタn(ELSELRn)(n = 00 ~ 25)の説明を追加	第20章 イベント・リンク・コントローラ(ELC)
	20.4 ELCの動作の説明を変更	
	21.2 割り込み要因と構成の説明を変更	第21章 割り込み機能
	21.3 割り込み機能を制御するレジスタの説明を変更	
	21.4.1 マスカブル割り込み要求の受け付け動作の説明を変更	
	23.3 スタンバイ機能の動作に注意を追加	第23章 スタンバイ機能
	リセット機能の説明を変更	第24章 リセット機能
	24.1 リセット動作のタイミングの説明を変更	
	24.2 リセット要因を確認するレジスタの注意を変更	
	25.1 パワーオン・リセット回路の機能の説明を変更	第25章 パワーオン・リセット回路
	25.3 パワーオン・リセット回路の動作の説明を変更	
	26.1 電圧検出回路の機能の説明を変更	第26章 電圧検出回路
	26.2 電圧検出回路の構成の説明を変更	
	26.3 電圧検出回路を制御するレジスタの説明を変更	
	26.4 電圧検出回路の動作の説明を変更	
	26.5 電圧検出回路の注意事項の説明を変更	
	27.3.1 フラッシュ・メモリCRC演算機能(高速CRC)の説明を追加	第27章 安全機能
	27.3.2 CRC演算機能(汎用CRC)の説明を追加	
	図27-6 CRCIN演算機能(汎用CRC)のフロー・チャートの誤記訂正	
	27.3.3.1 RAMパリティ・エラー制御レジスタ(RPECTL)の注意を変更	
	27.3.6 不正メモリ・アクセス検出機能の誤記訂正	
	27.3.7 周波数検出機能の説明を変更	
	27.3.8 A/Dテスト機能の説明を変更	
	27.3.9 入出力端子のデジタル出力信号レベル検出機能の説明を変更	
	29.1 オプション・バイトの機能の説明を追加	第29章 オプション・バイト
	29.2 ユーザ・オプション・バイトのフォーマットの誤記訂正, 説明を追加	
	フラッシュ・メモリの説明を追加	第30章 フラッシュ・メモリ
	30.1 フラッシュ・メモリ・プログラマによるシリアル・プログラミングの説明を追加	
	30.2 外部デバイス(UART内蔵)によるシリアル・プログラミングの説明を変更	
	30.3 オンボード上の端子処理の説明を追加	
	30.4.2 フラッシュ・メモリ・プログラミング・モードの説明を追加	

(22/32)

版数	内容	適用箇所
Rev. 2.00	30.4.4 通信コマンドの説明を変更	第30章 フラッシュ・メモリ
	30.5 PG-FP5使用時の各コマンド処理時間(参考値)を追加	
	30.6 セルフ・プログラミングの説明を変更	
	30.7 セキュリティ設定の説明を変更	
	30.8.1 データ・フラッシュの概要を追加	
	30.8.3 データ・フラッシュへのアクセス手順を追加	
	31.1 E1オンチップデバッグエミュレータとの接続の誤記訂正	第31章 オンチップ・デバッグ機能
	表33-2 オペレーション欄の記号の説明を追加	第33章 命令セットの概要
	33.2 オペレーション一覧の注2を変更	
	33.2 オペレーション一覧 CMP0命令命令を実行したときのフラグの誤記訂正	
	34.1 絶対最大定格の表の記述を変更	第34章 電気的特性 (A, D: TA = -40 ~ +85 °C)
	34.2 発振回路特性の表, 注, 注意, 備考を変更	
	34.3.1 端子特性のロウ・レベル入力電圧の条件の誤記訂正	
	34.3.1 端子特性のロウ・レベル出力電圧の条件の誤記訂正	
	34.3.2 電源電流特性の注, 備考を変更	
	メイン・システム・クロック動作時の最小命令実行時間を追加	
	ACタイミング測定点を追加	
	34.5.1 シリアル・アレイ・ユニットにLSモード, LVモードの特性を追加	
	34.5.2 シリアル・インタフェースIICAにLSモード, LVモードの特性を追加	
	34.6.1 A/Dコンバータ特性に内部基準電圧, 温度センサの変換に関する特性を追加	
	34.6.4 コンパレータに特性を追加	
	34.6.5 POR回路特性の検出遅延を削除	
	34.6.7 電源電圧立ち上がり傾き特性を変更	
	34.7 データ・メモリSTOPモード低電源電圧データ保持特性を変更	
	34.8 フラッシュ・メモリ・プログラミング特性に特性を追加	
	34.10 フラッシュ・メモリ・プログラミング・モードの引き込みタイミングに説明を追加	
	新規	第35章 電気的特性 (G: TA = -40 ~ +105 °C)
	36.1 30ピン製品~36.10 100ピン製品を変更	第36章 外形図
Rev. 1.00	1.2 オーダー情報を変更	第1章 概説
	図1-1 RL78/G14の型名とメモリサイズ・パッケージを追加	
	1.3 端子接続図(Top View)を変更	
	1.6 機能概要に注意を追加	
	2.1.1 30ピン製品~2.1.10 100ピン製品を変更	第2章 端子機能
	2.2.16 VDD, EVDD0, EVDD1, VSS, EVSS0, EVSS1に備考を追加	
	表2-3 各端子の未使用端子処理(100ピン製品)を変更	
	図3-1~図3-8の注を変更・追加, 注意を追加	第3章 CPUアーキテクチャ
	3.1.3 内部データ・メモリ空間の注意を変更・追加	

(23/32)

版数	内容	適用箇所
Rev. 1.00	図3 - 10～図3 - 17の注を変更・追加, 注意を追加	第3章 CPUアーキテクチャ
	3.2.1 (3)スタック・ポインタ(SP)の注意を変更・追加	
	3.2.2 汎用レジスタの注意を変更・追加	
	表3 - 6 拡張SFR (2nd SFR)一覧を変更	
	図3 - 27 テーブル・インダイレクト・アドレッシングの概略を変更	
	ポートのブロック図を変更。ポート使用時のレジスタ設定表を追加	第4章 ポート機能
	4.2.1 ポート0の説明を変更	
	表4 - 5～表4 - 8を変更	
	図4 - 62 ポート入力モード・レジスタのフォーマット(100ピン製品)を変更	
	図4 - 64 ポート・モード・コントロール・レジスタのフォーマット(100ピン製品)を変更	
	4.3 (10)グローバル・デジタル・インプット・ディスエーブル・レジスタ(GDIDIS)の説明を変更	
	4.4.4 異電位(1.8V系, 2.5V系, 3V系)外部デバイスとの接続方法を変更	
	4.5 兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定を変更	
	4.6.2 100ピン以外の製品での端子設定に関する注意事項を追加	
	5.1 クロック発生回路の機能の注を変更	第5章 クロック発生回路
	図5 - 1 クロック発生回路のブロック図を変更, 注を変更	
	図5 - 2 クロック動作モード制御レジスタ(CMC)のフォーマットに注を追加	
	図5 - 3 システム・クロック制御レジスタ(CKC)のフォーマットの注を変更	
	図5 - 6 発振安定時間選択レジスタ(OSTS)のフォーマットを変更	
	図5 - 8 周辺イネーブル・レジスタ1(PER1)のフォーマットの注を変更	
	図5 - 9 動作スピード・モード制御レジスタ(OSMC)のフォーマットを変更	
	5.3 (8)高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)を変更	
	5.3 (9)高速オンチップ・オシレータ・トリミング・レジスタ(HIOTRM)を変更	
	図5 - 15 電源電圧投入時のクロック発生回路の動作に注3を追加	
	5.6.2 X1発振回路の設定例を変更	
	表5 - 3 (6)CPUを高速システム・クロック動作(C)から, 高速オンチップ・オシレータ・クロック動作(B)へ移行を変更	
	表5 - 3 (9)CPUをサブシステム・クロック動作(D)から高速システム・クロック動作(C)へ移行を変更	
	5.7 動作確認済み発振子と参考発振回路定数 2011年12月現在を追加	
	6.2 (1)タイマ・カウンタ・レジスタmn (TCRmn)に説明を追加	第6章 タイマ・アレイ・ユニット
	表6 - 4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間に注を追加	
	図6 - 13 タイマ入力選択レジスタ0(TIS0)のフォーマットに注意を追加	
	図6 - 14 タイマ出力許可レジスタm(TOEm)のフォーマットを変更	
	6.3 (15)ポート・モード・レジスタ0, 1, 3, 6(PM0, PM1, PM3, PM6)に備考を追加	
	6.4.1 複数チャネル連動動作機能の基本ルールを変更	
	図6 - 23 スタート・タイミング(インターバル・タイマ・モード時)を変更	

(24/32)

版数	内容	適用箇所
Rev. 1.00	図6-25 スタート・タイミング(キャプチャ・モード時)を変更	第6章 タイマ・アレイ・ユニット
	図6-26 スタート・タイミング(ワンカウント・モード時)を変更	
	図6-27 スタート・タイミング(キャプチャ&ワンカウント・モード時)を変更	
	図6-37 インターバル・タイマ/方形波出力としての動作のブロック図の注を変更	
	図6-49 入力パルス間隔測定としての動作のブロック図に注を追加	
	図6-53 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図に注を追加	
	6.7.6 ディレイ・カウンタとしての動作の説明を変更	
	図6-57 ディレイ・カウンタとしての動作のブロック図の注を変更	
	6.9 タイマ・アレイ・ユニット使用時の注意事項を追加	
	図7-1 タイマRJのブロック図に注を追加	第7章 タイマRJ
	表7-3 タイマRJのレジスタ構成に注を追加	
	7.3.2 動作スピード・モード制御レジスタ(OSMC)を追加	
	7.3.3 タイマRJカウンタレジスタ0(TRJ0), タイマRJリロードレジスタの注を変更, 注意を追加	
	図7-6 タイマRJ I/O制御レジスタ0(TRJIOC0)のフォーマットを変更	
	図7-7 タイマRJモードレジスタ0(TRJMR0)のフォーマットに注を追加	
	図7-8 タイマRJイベント端子選択レジスタ0(TRJISR0)のフォーマットに注を追加	
	図7-12 パルス出力モードの動作例を変更	
	図7-14 イベントカウンタモードの動作例2を追加	
	7.4.7 イベントリンクコントローラ(ELC)との連携による動作に説明を追加	
	表7-7 TRJIO0端子設定を変更	
	7.5.1 カウント動作開始, 停止制御に説明を追加	
	7.5.4 モード変更時を変更	
	7.5.11 デジタルフィルタを追加	
	7.5.12 カウントソースにfilを選択する場合を追加	
	表8-2 タイマRDのレジスタ構成の注を変更	第8章 タイマRD
	図8-2 周辺イーナブル・レジスタ1(PER1)のフォーマットに注意を追加	
	図8-3~図8-37の注を変更	
	図8-5 タイマRDモードレジスタ(TRDMR)のフォーマットを変更	
	図8-6 タイマRD PWM機能選択レジスタ(TRDPMR)のフォーマット[タイマモード]を変更	
	図8-9 タイマRD出力マスタ許可レジスタ2(TRDOER2)のフォーマット[PWM機能, リセット同期PWMモード, 相補PWMモード, PWM3モード]を変更	
	表8-9 カウントソースの選択の注を変更	
	表8-12~表8-17の注を変更	
	8.4 タイマRD割り込みを追加	
	8.5.1 SFRリード/ライトアクセスを変更	
	8.5.3 カウントソースを変更	

(25/32)

版数	内容	適用箇所
Rev. 1.00	図9-8 タイマRG I/O制御レジスタ (TRGIOR)のフォーマットの注を変更	第9章 タイマRG
	9.4.3 カウントソース切り替えに注を追加	
	9.4.7 カウント停止時のインプットキャプチャ動作を追加	
	10.1 リアルタイム・クロックの機能の注意を変更	第10章 リアルタイム・クロック
	図10-1 リアルタイム・クロックのブロック図を変更, 注意を追加	
	図10-3 動作スピード・モード制御レジスタ (OSMC)のフォーマットを変更	
	図10-4 リアルタイム・クロック・コントロール・レジスタ0 (RTCC0)のフォーマットに注意2を追加	
	図10-5 リアルタイム・クロック・コントロール・レジスタ1 (RTCC1)のフォーマットを変更	
	図10-17 リアルタイム・クロックの動作開始手順を変更	
	10.4.2 動作開始後のHALT/STOPモードへの移行の説明にHALTモードを追加	
	10.4.3 リアルタイム・クロックのカウンタ読み出し／書き込みに説明を追加	
	図10-20 リアルタイム・クロックの書き込み手順に注意2を追加	
	図10-22 1 Hz出力の設定手順を変更	
	図11-3 動作スピード・モード制御レジスタ (OSMC)のフォーマットを変更	第11章 12ビット・インターバル・タイマ
	図11-4 12ビット・インターバル・タイマ・コントロール・レジスタ (ITMC)のフォーマットの注意を変更・追加	
	図12-1 クロック出力／ブザー出力制御回路のブロック図の注を変更, 備考を追加	第12章 クロック出力／ブザー出力制御回路
	図12-2 クロック出力選択レジスタn (CKSn)のフォーマットを変更	
	13.3 (1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)を変更	第13章 ウォッチドッグ・タイマ
	図13-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)のフォーマットの注意を変更	
	13.4.1 ウォッチドッグ・タイマの動作制御の注意を変更	
	図14-1 A/Dコンバータのブロック図を変更	第14章 A/Dコンバータ
	表14-1 ADCSビットとADCEビットの設定に注を追加	
	表14-2 ADCSビットのセット／クリア条件を変更	
	図14-4 A/D電圧コンパレータ使用時のタイミング・チャートを変更, 注を追加	
	表14-3 A/D変換時間の選択を変更	
	図14-7 A/Dコンバータ・モード・レジスタ2 (ADM2)のフォーマットを変更, 注, 注意を追加	
	14.3 (7) アナログ入力チャネル指定レジスタ (ADS)の注を変更, 注意を追加	
	図14-14 A/Dテスト・レジスタ (ADTES)のフォーマットを変更	
	図14-16 ポート・モード・コントロールレジスタ0, 10, 12, 14 (PMC0, PMC10, PMC12, PMC14)のフォーマットを変更	
	14.7.4 温度センサ使用時の設定 (例 ソフトウェア・トリガ・モード, ワンショット変換モード時)を変更	
	14.10 (2) ANI0-ANI14, ANI16-ANI20端子入力範囲についてに説明を追加	
	表14-6 等価回路の各抵抗と容量値 (参考値) を変更	
	14.10 (12) 温度センサ出力についてを追加	

(26/32)

版数	内容	適用箇所
Rev. 1.00	図 15 - 1 D/Aコンバータのブロック図を変更	第 15 章 D/Aコンバータ
	図 16 - 3 コンパレータモード設定レジスタ (COMPMDR) のフォーマットを変更	第 16 章 コンパレータ
	図 16 - 5 コンパレータモード設定レジスタ (COMPMDR) のフォーマットを変更	
	表 16 - 5 コンパレータ関連レジスタの設定手順に注を追加	
	図 16 - 13 デジタルフィルタと割り込み要求・ELC イベント出力動作を追加	
	16. 4. 5 コンパレータクロック停止／供給に注意を追加	
	全般を変更	第 17 章 シリアル・アレイ・ユニット
	図 18 - 7 IICAステータス・レジスタ 0 (IICS0) のフォーマット (3/3) を変更	第 18 章 シリアル・インタフェース IICA
	18. 4. 2 IICWL0, IICWH0 レジスタによる転送クロック設定方法を変更	
	図 18 - 33 (1) スタート・コンディション～アドレス～データの手順②を変更	
	19. 2. 1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置に注意を追加	第 19 章 DTC
	19. 2. 2 DTCコントロールデータの配置の注意事項を変更	
	図 19 - 5～図 19 - 10に注意を追加	
	19. 2. 12 DTCベースアドレスレジスタ (DTCBAR) の注意を追加・削除	
	19. 3. 2 (1) ノーマルモードの使用例 1 を追加	
	19. 3. 2 (2) ノーマルモードの使用例 2 を追加	
	19. 3. 3 (1) リピートモードの使用例 1 を追加	
	19. 3. 3 (2) リピートモードの使用例 2 を追加	
	19. 3. 4 (1) チェイン転送の使用例を追加	
	19. 4. 2 DTCコントロールデータ領域とDTCベクタテーブル領域の配置に説明を追加	
	19. 4. 3 DTC保留命令に説明を追加	
	19. 4. 4 データ・フラッシュ空間にアクセスする場合の動作を追加	
	19. 4. 6 DTC応答時間に説明を追加	
	19. 4. 7 DTC起動要因に説明を追加	
	20. 2. 1 イベント出力先選択レジスタ n (ELSELRn) (n = 00～25) を変更	第 20 章 イベントリンクコントローラ (ELC)
	表 20 - 3 ELSELRn レジスタ (n = 00～25) に設定する値とリンク先周辺機能の受付時の動作の対応に注を追加	
	表 21 - 1 割り込み要因一覧 (3/4) に注を追加	第 21 章 割り込み機能
	表 21 - 4 マスカブル割り込み要求発生から処理までの時間を変更	
	図 21 - 9 割り込み要求の受け付けタイミング (最大時間) を変更	
	21. 4. 4 除算命令中の割り込み処理を追加	
	図 23 - 2 発振安定時間選択レジスタ (OSTS) のフォーマットを変更	第 23 章 スタンバイ機能
	図 23 - 3 HALT モードの割り込み要求発生による解除に注を追加	
	図 23 - 4 HALT モードのリセットによる解除に注を追加	
	表 23 - 2 STOP モード時の動作状態の注意 2 を変更	
	図 23 - 5 STOP モードの割り込み要求発生による解除に注を追加	
	図 23 - 6 STOP モードのリセットによる解除に注を追加	
	第 24 章 リセット機能の注意 1 を変更	第 24 章 リセット機能

(27/32)

版数	内容	適用箇所
Rev. 1.00	図 24 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミングを変更	第24章 リセット機能
	図 24 - 3 不正命令の実行/ウォッチドッグ・タイマのオーバフローによるリセット・タイミングを変更	
	図 24 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミングを変更	
	表 24 - 1 リセット期間中の動作状態を変更	
	表 24 - 2 各ハードウェアのリセット受け付け後の状態を変更	
	図 24 - 5 リセット・コントロール・フラグ・レジスタ (RESF)のフォーマットの注意3を変更	
	図 25 - 2 パワーオン・リセット回路と電圧検出回路の内部リセット信号発生タイミングを変更	第25章 パワーオン・リセット回路
	26. 1 電圧検出回路の機能を変更	第26章 電圧検出回路
	図 26 - 2 電圧検出レジスタ (LVIM)のフォーマットの注を追加・変更	
	図 26 - 3 電圧検出レベル・レジスタ (LVIS)のフォーマットを変更	
	表 26 - 1 ユーザ・オプション・バイト (000C1H/010C1H)によるLVD動作モード・検出電圧設定を変更	
	26. 4. 1 リセット・モードとして使用時の設定を変更	
	図 26 - 4 内部リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1, 1)を変更	
	26. 4. 2 割り込みモードとして使用時の設定を変更	
	図 26 - 5 割り込み信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 0, 1)を変更	
	26. 4. 3 割り込み&リセット・モードとして使用時の設定を変更	
	図 26 - 6 割り込み&リセット信号発生タイミング(オプション・バイトLVIMDS1, LVIMDS0 = 1,0)を変更	
	図 26 - 7 割り込み発生後の処理手順を追加	
	図 26 - 8 割り込み&リセット・モードの初期設定を追加	
	図 26 - 10 LVDリセット要因発生からLVDリセット発生または解除までの遅延を変更	
	全般を変更	第27章 安全機能
	表 28 - 1 レギュレータ出力電圧条件を変更	第28章 レギュレータ
	29. 1. 1 (2) 000C1H/010C1Hを変更	第29章 オプション・バイト
	図 29 - 2 ユーザ・オプション・バイト (000C1H/010C1H)のフォーマットを変更	第29章 オプション・バイト
	図 29 - 3 ユーザ・オプション・バイト (000C2H/010C2H)のフォーマットを変更	
	30. 1. 2 通信方式を変更	第30章 フラッシュ・メモリ
	30. 2. 2 通信方式を変更	
	30. 4. 1 データ・フラッシュの概要に説明を追加	
	30. 5. 2 フラッシュ・メモリ・プログラミング・モードを変更	
	30. 5. 5 シグネチャ・データの説明を追加	
	30. 7 セルフ書き込みによるフラッシュ・メモリ・プログラミングの注意を変更	
	図 31 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間を変更	第31章 オンチップ・デバッグ機能

(28/32)

版数	内容	適用箇所
Rev. 1.00	33. 2 オペレーション一覧を変更	第33章 命令セットの概要
	34. 2 絶対最大定格を変更	第34章 電気的特性(ター ゲット)
	34. 3. 2 オンチップ・オシレータ特性を変更	
	34. 4. 1 端子特性を変更	
	34. 4. 2 電源電流特性を変更	
	34. 6. 1 シリアル・アレイ・ユニットを変更	
	34. 7. 1 A/Dコンバータ特性を変更	
	34. 7. 2 温度センサ特性を変更	
	34. 7. 3 D/Aコンバータを変更	
	34. 7. 4 コンパレータを変更	
	34. 7. 5 POR回路特性を変更	
	34. 8 電源立ち上げ時間を変更	
	34. 10 フラッシュ・メモリ・プログラミング特性を変更	
	34. 11 モード引き込み時のタイミング・スペックを変更	
	35. 10 100ピン製品を変更	第35章 外形図
Rev. 0.02	80ピン製品, 100ピン製品を追加	全般
	1. 1 特徴を変更	第1章 概説
	1. 3. 1 30ピン製品～1. 3. 8 64ピン製品を変更, 注を追加	
	1. 5. 1 30ピン製品～1. 5. 8 64ピン製品を変更, 注を追加	
	1. 6 機能概要を変更	
	全般を変更	第2章 端子機能
	図3-1～図3-3に注意を追加	第3章 CPUアーキテクチャ
	図3-4の注を変更, 注意を追加	
	図3-5～図3-8を追加	
	3. 1. 2 ミラー領域の説明を変更	
	図3-9 プロセッサ・モード・コントロール・レジスタ(PMC)のフォーマットを変更	
	3. 1. 3 内部データ・メモリ空間の注意を変更	
	図3-10～図3-12に注意を追加	
	図3-13の注を変更, 注意を追加	
	図3-14～図3-17を追加	
	3. 2. 1 (3)スタック・ポインタ(SP)の注意を変更	
	3. 2. 2 汎用レジスタの注意を変更	
	表3-5 SFR一覧を変更	
	表3-6 拡張SFR (2nd SFR)一覧を変更	
	全般を変更	第4章 ポート機能
	5. 1 (1)②高速内蔵発振回路を変更	第5章 クロック発生回路
	5. 1 (2)サブシステム・クロックを変更	
	5. 1 クロック発生回路の機能の備考を変更	
	高速オンチップ・オシレータ周波数選択レジスタ(HOCODIV)を追加	
	図5-1 クロック発生回路のブロック図を変更	

(29/32)

版数	内容	適用箇所
Rev. 0.02	図5-3 システム・クロック制御レジスタ(CKC)のフォーマットの備考を変更、注を追加	第5章 クロック発生回路
	5.3 (6) 周辺イネーブル・レジスタ0, 1 (PER0, PER1)を変更	
	5.6.1 高速内蔵発振回路の設定例を変更	
	図5-16 CPUクロック状態移行図を変更	
	6.1.3 8ビット・タイマ動作機能(チャンネル1, 3のみ)を追加	第6章 タイマ・アレイ・ユニット
	図6-7 タイマ・クロック選択レジスタm (TPSm)のフォーマット(1/2)に備考を追加	
	表6-4 動作クロックCKSm2, CKSm3で設定可能なインターバル時間に備考を追加	
	図6-8 タイマ・モード・レジスタmn (TMRmn)のフォーマットを変更	
	6.3 (6) タイマ・チャンネル開始レジスタm (TSm)を変更	
	6.5 カウンタの動作タイミングを追加	
	図6-34 セット/リセット・タイミング動作状態を変更	
	図6-41 インターバル・タイマ/方形波出力機能時の操作手順(2/2)を変更	
	図6-45 外部イベント・カウンタ機能時の操作手順を変更	
	図6-49 分周器機能時の操作手順を変更	
	図6-61 ディレイ・カウンタ機能時の操作手順を変更	
	図6-66 ワンショット・パルス出力機能時の操作手順(2/2)を変更	
	図6-71 PWM機能時の操作手順(2/2)を変更	
	図6-76 多重PWM機能時の操作手順(2種類のPWMを出力する場合)(2/2)を変更	
	図7-1 タイマRJのブロック図を変更	第7章 タイマRJ
	図7-2 周辺イネーブル・レジスタ1 (PER1)のフォーマットに注意を追加	
	7.5.7 タイマRJ動作クロック停止時を変更	
	パルス出力強制遮断信号入力INT0をINTP0に変更	第8章 タイマRD
	動作クロックの説明を変更	
	表8-2 タイマRDのレジスタ構成に注を追加	
	図8-2 周辺イネーブル・レジスタ1 (PER1)のフォーマットに注意を追加	
	図8-3～図8-37に注を追加	
	8.3.1 (4) パルス出力強制遮断を変更	
	8.4.3 カウントソースを変更	
	8.4.4 インプットキャプチャ機能を変更	
	図9-2 周辺イネーブル・レジスタ1 (PER1)のフォーマットに注意を追加	第9章 タイマRG
	9.2.2 タイマRGモードレジスタ(TRGMR)を変更	
	9.2.4 タイマRG制御レジスタ(TRGCR)を変更	
	9.2.5 タイマRG割り込み許可レジスタ(TRGIER)を変更	
	9.2.6 タイマRGステータスレジスタ(TRGSR)を変更	
	9.2.7 タイマRG I/O制御レジスタ(TRGIOR)を変更	
	9.3.1 (5) イベントリンクコントローラ(ELC)へのイベント出力を変更	
	9.3.4 (2) 動作例を変更	

(30/32)

版数	内容	適用箇所
Rev. 0.02	9.3.5 位相計数モードを変更	第9章 タイマRG
	9.4.4 TRGIOA, TRGIOB 端子の設定手順を変更	
	表 14-3 A/D変換時間の選択を変更	第14章 A/Dコンバータ
	14.3 (7) アナログ入力チャネル指定レジスタ(ADS)を変更	
	14.3 (11) A/Dポート・コンフィギュレーション・レジスタ(ADPC)を変更	
	14.8 SNOOZEモード機能の注2, 備考を変更	
	章を追加	第15章 D/Aコンバータ
	章を追加	第16章 コンパレータ
	17.1.1 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)の最大転送レートを変更, SNOOZEモードの説明を変更	第17章 シリアル・アレイ・ユニット
	17.1.2 UART (UART0-UART2)のSNOOZEモードの説明を変更	
	図 17-2 シリアル・アレイ・ユニット1のブロック図を変更	
	図 17-9 シリアル・データ・レジスタmn (SDRmn)のフォーマットの転送クロック設定を変更, 注意2を変更	
	17.3 (14) シリアル・スタンバイ・コントロール・レジスタm (SSCm)を変更	
	17.3 (16) ノイズ・フィルタ許可レジスタ0 (NFEN0)を変更	
	17.5 3線シリアルI/O (CSI00, CSI01, CSI10, CSI11, CSI20, CSI21)通信の動作の最大転送レートを変更, SNOOZEモードの説明を変更	
	17.5.1 マスタ送信の転送レートを変更	
	17.5.2 マスタ受信の転送レートを変更	
	17.5.3 マスタ送受信の転送レートを変更	
	17.5.7 SNOOZEモード機能の説明を変更	
	17.6 スLEEPセレクト入力機能付クロック同期シリアル通信の動作を変更	
	17.7 UART (UART0-UART2)通信の動作のSNOOZEモードの説明を変更	
	17.7.1 UART送信に注を追加	
	図 17-102 UART (UART0-UART2)のUART送信時のレジスタ設定内容例(1/2)の注2を変更	
	17.7.2 UART受信に注を追加	
	図 17-110 UART (UART0-UART2)のUART受信時のレジスタ設定内容例(1/2)の注2を変更	
	17.7.3 SNOOZEモード機能の説明を変更	
	17.7.4 ボー・レートの算出の注意, 備考1を変更	
	17.9.5 転送レートの算出の転送レート設定例を変更	
	図 18-9 IICAコントロール・レジスタ01 (IICCTL01)のフォーマットに注意を追加	第18章 シリアル・インタフェースIICA
	18.3 (6) IICAロウ・レベル幅設定レジスタ0 (IICWL0)を変更	
	18.4.2 IICWL0, IICWH0レジスタによる転送クロック設定方法の注意を変更	
	18.6 タイミング・チャートを変更	
	19.2.1 DTCコントロールデータ領域とDTCベクタテーブル領域の配置を変更	第19章 DTC
	表 19-5 DTC起動要因とDTCベクタアドレスを変更	
	表 19-6 割り込み要因とDTCENi0～DTCENi7ビットの対応を変更	

(31/32)

版数	内容	適用箇所
Rev. 0.02	19. 2. 12 DTCベースアドレスレジスタ(DTCBAR)に注意を追加	第19章 DTC
	19. 4 DTC使用上の注意事項を追加	
	表20-1 ELCのレジスタ構成を変更	第20章 イベントリンクコントローラ(ELC)
	20. 2. 1 イベント出力先選択レジスタ n (ELSELR n) ($n = 00 \sim 25$)を変更	
	表21-1 割り込み要因一覧を変更	第21章 割り込み機能
	表21-2 割り込み要求ソースに対応する各種フラグを変更	
	図21-2 割り込み要求フラグ・レジスタ(IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)のフォーマット(100ピン製品)を変更	
	図21-3 割り込みマスク・フラグ・レジスタ(MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)のフォーマット(100ピン製品)を変更	
	図21-4 優先順位指定フラグ・レジスタ(PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)のフォーマット(100ピン製品)を変更	
	図21-5 外部割り込み立ち上がりエッジ許可レジスタ(EGP0, EGP1), 外部割り込み立ち下がりエッジ許可レジスタ(EGN0, EGN1)のフォーマット(100ピン製品)を変更	
	表21-3 EGP n ビットとEGN n ビットに対応するポートを変更	
	表23-1 HALTモード時の動作状態を変更	第23章 スタンバイ機能
	表23-2 STOPモード時の動作状態を変更	
	表23-3 SNOOZEモード時の動作状態を変更	
	表24-1 リセット期間中の動作状態を変更	第24章 リセット機能
	表24-2 各ハードウェアのリセット受け付け後の状態を変更	
	図24-5 リセット・コントロール・フラグ・レジスタ(RESF)のフォーマットの注意を変更	第26章 電圧検出回路
	表26-1 ユーザ・オプション・バイト(000C1H/010C1H)によるLVD動作モード・検出電圧設定を変更	
	26. 4. 2 割り込みモードとして使用時の設定を変更	第27章 安全機能
	図27-6 RAMパリティ・エラー制御レジスタ(RPECTL)のフォーマットに注意を追加	
	図29-2 ユーザ・オプション・バイト(000C1H/010C1H)のフォーマットを変更	第29章 オプション・バイト
	図29-3 ユーザ・オプション・バイト(000C2H/010C2H)のフォーマットを変更	
	表30-1 RL78/G14と専用フラッシュ・メモリ・プログラムの配線表を変更	第30章 フラッシュ・メモリ
	図30-2 専用フラッシュ・メモリ・プログラマとの通信を変更	
	表30-2 端子接続一覧を変更	
	30. 3. 1 TOOL0端子を変更	
	30. 4. 1 データ・フラッシュの概要の説明を変更	
	30. 5. 2 フラッシュ・メモリ・プログラミング・モードの説明を変更	
	図30-8 フラッシュ・メモリ・プログラミング・モードへの引き込みを変更	
	表30-7 フラッシュ・メモリ制御用コマンドを変更	
	30. 7 セルフ書き込みによるフラッシュ・メモリ・プログラミングに注意を追加	

(32/32)

版数	内容	適用箇所
Rev. 0.02	章を追加	第34章 電気的特性(ター ゲット)
	章を追加	第35章 外形図

RL78/G14 ユーザーズマニュアル ハードウェア編

発行年月日 2011年2月28日 Rev. 0.01
2024年10月31日 Rev. 3.70

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

RL78/G14