

# RH850/P1M-E

## フラッシュメモリ

ユーザーズマニュアル ハードウェア インタフェース編

ルネサスマイクロコントローラ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。  
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

## ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれに生じた損害も含まれます。以下同じです。）に関し、当社は、一切その責任を負いません。
2. 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
3. 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を、全部または一部を問わず、改造、改変、複製、リバースエンジニアリング、その他、不適切に使用しないでください。かかる改造、改変、複製、リバースエンジニアリング等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、  
家電、工作機械、パーソナル機器、産業用ロボット等

高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、  
金融端末基幹システム、各種安全制御装置等

当社製品は、データシート等により高信頼性、Harsh environment 向け製品と定義しているものを除き、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙機器と、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することは想定していません。たとえ、当社が想定していない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。

6. 当社製品をご使用の際は、最新の製品情報（データシート、ユーザーズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は、データシート等において高信頼性、Harsh environment 向け製品と定義しているものを除き、耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
10. お客様が当社製品を第三者に転売等される場合には、事前に当該第三者に対して、本ご注意書き記載の諸条件を通知する責任を負うものとなります。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
12. 本資料に記載されている内容または当社製品についてご不明な点がございましたら、当社の営業担当者までお問合せください。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社が直接的、間接的に支配する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOS デバイスの一般的注意事項

### ① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{L}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{L}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### ② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### ③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### ④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### ⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### ⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

# 目次

第1章	特長	6
第2章	モジュール構成図	7
第3章	アドレスマップ	8
第4章	レジスタ	9
4.1	フラッシュ端子モニタレジスタ (FPMON)	9
4.2	フラッシュアクセスステータスレジスタ (FASTAT)	10
4.3	フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)	12
4.4	Code Flash メモリ領域選択レジスタ (FAEASELC)	13
4.5	FACI コマンド処理開始アドレスレジスタ (FSADDR)	14
4.6	FACI コマンド処理終了アドレスレジスタ (FEADDR)	15
4.7	フラッシュステータスレジスタ (FSTATR)	16
4.8	フラッシュ P/E モードエントリレジスタ (FENTRYR)	21
4.9	Code Flash プロテクトレジスタ (FPROTR)	23
4.10	フラッシュシーケンサ設定初期化レジスタ (FSUINTR)	24
4.11	ロックビットステータスレジスタ (FLKSTAT)	25
4.12	FACI リセット転送ステータスレジスタ (FRTSTAT)	26
4.13	FACI リセット転送エラー割り込み許可レジスタ (FRTEINT)	27
4.14	FACI コマンドレジスタ (FCMDR)	28
4.15	フラッシュ P/E ステータスレジスタ (FPESTAT)	29
4.16	Data Flash ブランクチェック制御レジスタ (FBCCNT)	30
4.17	Data Flash ブランクチェックステータスレジスタ (FBCSTAT)	31
4.18	Data Flash 書き込み開始アドレスレジスタ (FPSADDR)	32
4.19	フラッシュシーケンサ処理切り替えレジスタ (FCPSR)	33
4.20	フラッシュシーケンサ処理クロック通知レジスタ (FPCKAR)	34
4.21	フラッシュエミュレーション制御レジスタ (FLEMU)	35
4.22	フラッシュエミュレーションアドレス指定レジスタ (FLEAD)	36
4.23	フラッシュ ECC エンコーダモニタレジスタ (FECCEMON)	37
4.24	フラッシュ ECC テストモードレジスタ (FECCTMD)	38
4.25	フラッシュダミー ECC レジスタ (FDMYECC)	39
4.26	BFA 選択レジスタ (BFASELR)	40
4.27	セルフプログラミング ID 入力レジスタ 0 ~ 3 (SELFID0 ~ 3)	41
4.28	セルフプログラミング ID 認証ステータスレジスタ (SELFIDST)	42
第5章	フラッシュ関連モード	43
5.1	フラッシュシーケンサの動作モード	43
第6章	FACI コマンド	44
6.1	FACI コマンド一覧	44
6.2	フラッシュシーケンサの状態と FACI コマンドの関係	46

6.3	FACI コマンドの使用方法 .....	48
6.3.1	Code Flash P/E モード使用時の概略フロー .....	48
6.3.2	Data Flash P/E モード使用時の概略フロー .....	49
6.3.3	Code Flash P/E モード移行 .....	50
6.3.4	Data Flash P/E モード移行 .....	50
6.3.5	リードモード移行 .....	51
6.3.6	ID 認証 .....	52
6.3.7	コマンドロック状態からの復帰 .....	53
6.3.8	プログラムコマンドの発行 .....	54
6.3.9	DMA プログラムコマンド .....	56
6.3.10	ブロックイレーズコマンド .....	57
6.3.11	P/E サスペンドコマンド .....	59
6.3.12	P/E レジュームコマンド .....	64
6.3.13	ステータスクリアコマンド .....	65
6.3.14	強制終了コマンド .....	66
6.3.15	ブランクチェックコマンド .....	67
6.3.16	コンフィギュレーション設定コマンド .....	69
6.3.17	コンフィギュレーション設定領域の読み出し .....	72
6.3.18	ロックビットプログラムコマンド .....	73
6.3.19	ロックビットリードコマンド .....	74
6.3.20	OTP 設定コマンド .....	75
6.3.21	OTP 設定領域の読み出し .....	78
6.3.22	フラッシュメモリの ECC エラー注入 .....	79
<b>第 7 章</b>	<b>セキュリティ機能 .....</b>	<b>82</b>
7.1	ID 認証による FACI コマンド保護 .....	82
7.2	Code Flash メモリの OTP .....	82
<b>第 8 章</b>	<b>プロテクション機能 .....</b>	<b>83</b>
8.1	ハードウェアプロテクション .....	83
8.2	ソフトウェアプロテクション .....	83
8.2.1	FENTRYR によるプロテクト .....	83
8.2.2	ロックビットによるプロテクト .....	83
8.3	エラープロテクション .....	84
8.4	ブートプログラムプロテクション .....	86
8.4.1	可変リセットベクタ .....	86
8.5	Code Flash メモリのブランクチェック .....	87
<b>第 9 章</b>	<b>使用上の注意点 .....</b>	<b>88</b>
<b>第 10 章</b>	<b>電气的特性 .....</b>	<b>90</b>
10.1	Code Flash 特性 .....	90
10.2	Data Flash 特性 .....	92

## 第1章 特長

フラッシュメモリのハードウェアインタフェースの特長を以下に示します。各製品に搭載しているフラッシュメモリの容量、ブロック構成、アドレス等の情報は、製品のユーザーズマニュアルを参照してください。

### フラッシュメモリ書き込み/消去方式

P-Bus 経由でフラッシュメモリ専用のシーケンサ（フラッシュシーケンサ）を使用した書き込み/消去を実行可能です。フラッシュシーケンサは、書き込み/処理のサスペンド/レジューム（中断/再開）、BGO（Back Ground Operation）<sup>注1</sup>などの機能もサポートしています。

**注1.** Data Flash メモリが書き換え対象で、Code Flash メモリが読み出し対象の場合に利用可能。

### セキュリティ機能

フラッシュメモリの不正改竄を防止するためのハードウェア機能をサポートしています。

### プロテクション機能

フラッシュメモリの誤書き換えを防止するハードウェア機能をサポートしています。

### 割り込み

フラッシュシーケンサの処理完了を通知する割り込みをサポートしています。また、誤動作発生を通知するためのエラー割り込みもサポートしています。

### DMA

DMA を使用した Data Flash メモリの書き込みを実現可能です。

## 第2章 モジュール構成図

フラッシュメモリ関連モジュールの構成を図 2.1 に示します。フラッシュシーケンサは、FCU と FACI から構成されています。FCU は、フラッシュメモリ書き換えの基本制御を実行します。FACI は、P-Bus 経由で受信した FACI コマンドに従って FCU を制御します。

リセット動作時に、FACI はフラッシュメモリから ID 制御部 / オプションバイト格納レジスタへデータを転送します (FACI リセット転送)。ID 制御部では、フラッシュメモリに転送された ID と ID 制御部の SELFID0 ~ 3 レジスタの比較を行います。フラッシュメモリのオプションバイトに設定したデータは、オプションバイト格納レジスタから P-Bus 経由で読み出し可能です。

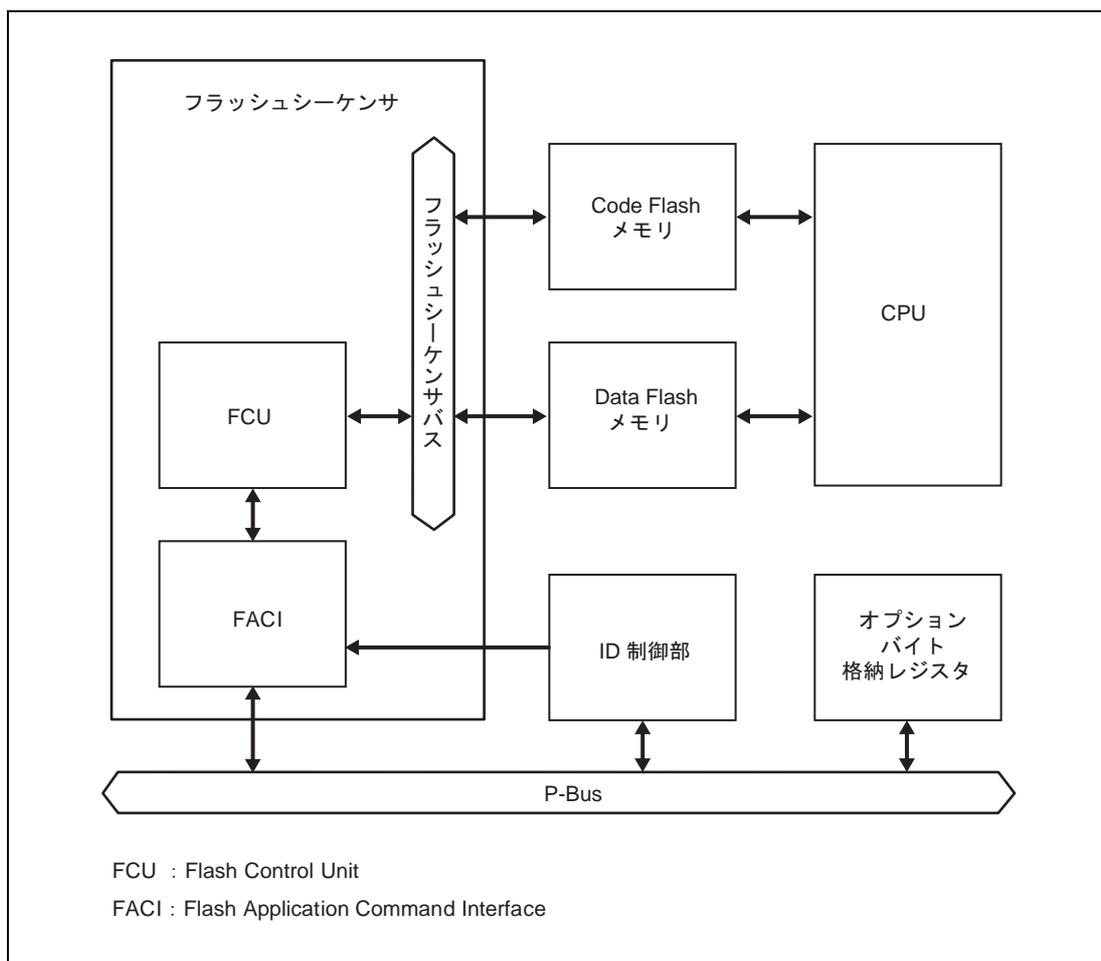


図 2.1 フラッシュメモリ関連モジュールの構成図

## 第3章 アドレスマップ

コンフィギュレーション設定領域、OTP 設定領域を読み出す場合には、BFASLR レジスタの BFAA ビットを“1”に設定してください。各領域の情報を表 3.1 に記載します。

表 3.1 ハードウェアインタフェース用領域の情報

領域	アドレス	サイズ	周辺 IP グループ
各ハードウェアのレジスタ領域	「第4章 レジスタ」を参照	「第4章 レジスタ」を参照	注1
FACI コマンド発行領域	FFA2 0000 <sub>H</sub>	4 バイト	5
コンフィギュレーション設定領域	FF30 0040 <sub>H</sub> ~ FF30 008F <sub>H</sub>	80 バイト	0
OTP 設定領域	FF38 0040 <sub>H</sub> ~ FF38 009F <sub>H</sub>	96 バイト	0

注 1. 「RH850/P1M-E ユーザーズマニュアルハードウェア編」を参照してください。

フラッシュメモリのアドレスなどの情報は、「RH850/P1M-E ユーザーズマニュアルハードウェア編」を参照してください。

## 第4章 レジスタ

レジスタの情報を本章にまとめます。特に記載がない場合には、レジスタの初期化条件はリセットのみです。

オプションバイト格納レジスタの情報は、各製品のユーザーズマニュアルを参照してください。

### 4.1 フラッシュ端子モニタレジスタ (FPMON)

FPMON レジスタは、FLMD0 端子の状態をモニタするためのレジスタです。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** FFA1 0000<sub>H</sub>

**リセット後の値** X0<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	FWE	—	—	—	—	—	—	—
リセット後の値	0/1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 4.1 FPMON レジスタの内容

ビット位置	ビット名	機能
7	FWE	フラッシュライトイネーブル FLMD0 端子の値をモニタするためのビットです。FWE ビットの値によって、Code Flash メモリ P/E モードへの移行可否が決定されます。 0 : Code Flash メモリ P/E モードへの移行不可 1 : Code Flash メモリ P/E モードへの移行可能
6 ~ 0	予約ビット	リードした場合はリセット後の値が読めます。

## 4.2 フラッシュアクセスステータスレジスタ (FASTAT)

FASTAT レジスタは Code Flash メモリ /Data Flash メモリのアクセス違反有無を示すレジスタです。CFAE/CMDLK/DFAE ビットのいずれかが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。コマンドロック状態を解除するためには、FASTAT レジスタの CFAE ビットおよび DFAE ビットを“0”に設定後、FACI にステータスクリアコマンドまたは強制終了コマンドを発行する必要があります。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FFA1 0010<sub>H</sub>

**リセット後の値** 00<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	CFAE	—	—	CMDLK	DFAE	—	—	ECRCT
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W <sup>注1</sup>	R	R	R	R/W <sup>注1</sup>	R	R	R

注1. フラグを“0”にするために、“1”を読んだ後に“0”を書くことのみ可能です。

表 4.2 FASTAT レジスタの内容 (1/2)

ビット位置	ビット名	機能
7	CFAE	Code Flash メモリアクセス違反 Code Flash メモリのアクセス違反の有無を示すビットです。CFAE ビットが“1”の場合には、FSTATR レジスタの ILGLERR ビットが“1”になり、フラッシュシーケンサはコマンドロック状態になります。 0 : Code Flash メモリのアクセス違反なし 1 : Code Flash メモリのアクセス違反あり [“1”になる条件] Code Flash メモリ P/E モードで、FACI コマンドが下記の設定で発行された後、 <ul style="list-style-type: none"> <li>ユーザ領域選択時は FAREASELC レジスタが 00<sub>H</sub>、かつ FSADDR レジスタの bit 23 ~ bit 0 の設定値が 20_0000<sub>H</sub> ~ FF_FFFF<sub>H</sub> (ユーザ領域の予約領域)、</li> <li>拡張ユーザ領域選択時は、FAREASELC レジスタが 02<sub>H</sub>、かつ FSADDR レジスタの bit 23 ~ bit 0 の設定値が 00_8000<sub>H</sub> ~ FF_FFFF<sub>H</sub> (拡張ユーザ領域の予約領域)</li> </ul> [“0”になる条件] “1”を読んだ後に、“0”を書いた場合
6、5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CMDLK	コマンドロック フラッシュシーケンサがコマンドロック状態であることを示すビットです。 0 : フラッシュシーケンサはコマンドロック状態ではない 1 : フラッシュシーケンサはコマンドロック状態 [“1”になる条件] フラッシュシーケンサがエラーを検出して、コマンドロック状態に遷移した後 [“0”になる条件] FASTAT レジスタの CFAE ビットおよび DFAE ビットが“0”の状態、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後

表 4.2 FASTAT レジスタの内容 (2/2)

ビット位置	ビット名	機能
3	DFAE	<p>Data Flash メモリアクセス違反 Data Flash メモリのアクセス違反の有無を示すビットです。DFAE ビットが“1”の場合には、FSTATR レジスタの ILGLERR ビットが“1”になり、フラッシュシーケンサはコマンドロック状態になります。</p> <p>0 : Data Flash メモリアクセス違反なし 1 : Data Flash メモリアクセス違反あり</p> <p>["1"になる条件] Data Flash メモリ P/E モードで、下記動作を実施した後</p> <ul style="list-style-type: none"> <li>FSADDR レジスタの bit 18 ~ bit 0 の設定値が 1_0000<sub>H</sub> ~ 7_FFFF<sub>H</sub> (データ領域の予約領域) の状態で、FACI コマンドを発行</li> <li>FSADDR レジスタの bit 18 ~ bit 0 の設定値が 0_0000<sub>H</sub> ~ 0_003F<sub>H</sub>、または 0_0100<sub>H</sub> ~ 7_FFFF<sub>H</sub> の状態で、コンフィギュレーション設定コマンドを発行</li> <li>FSADDR レジスタの bit 18 ~ bit 0 の設定値が 0_0000<sub>H</sub> ~ 0_003F<sub>H</sub>、または 0_00A0<sub>H</sub> ~ 7_FFFF<sub>H</sub> の状態で、OTP 設定コマンドを発行</li> </ul> <p>["0"になる条件] “1”を読んだ後に、“0”を書いた場合</p>
2, 1	予約ビット	<p>リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。</p>
0	ECRCT	<p>エラー訂正 フラッシュシーケンサによるフラッシュメモリ領域 (コンフィギュレーション設定、書き換え用パラメータ、OTP 設定) の読み出しで 1 ビットエラーが訂正されたことを示すビットです。</p> <p>0 : 1 ビットエラー訂正は実施されていない 1 : 1 ビットエラー訂正が実施された</p> <p>["0"になる条件] FSTATR レジスタの CFGCRCT、TBLCRCT、OTPCRCT ビットが“1”の場合に、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</p>

### 4.3 フラッシュアクセスエラー割り込み許可レジスタ (FAEINT)

FAEINT レジスタは、フラッシュアクセスエラー (FLERR) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

本製品ではフラッシュアクセスエラー割り込みは ECM のエラー要因として扱います。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FFA1 0014<sub>H</sub>

**リセット後の値** 99<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	CFAEIE	—	—	CMDLKIE	DFAEIE	—	—	ECRCTIE
リセット後の値	1	0	0	1	1	0	0	1
R/W	R/W	R	R	R/W	R/W	R	R	R/W

表 4.3 FAEINT レジスタの内容

ビット位置	ビット名	機能
7	CFAEIE	Code Flash メモリアクセス違反割り込み許可 Code Flash メモリアクセス違反が発生し、FASTAT レジスタの CFAE ビットが“1”になった場合の FLERR 割り込み要求の発生を許可 / 禁止するためのビットです。 0: FASTAT.CFAE = “1” で、FLERR 割り込み要求が発生しない 1: FASTAT.CFAE = “1” で、FLERR 割り込み要求が発生する
6, 5	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
4	CMDLKIE	コマンドロック割り込み許可 フラッシュシーケンサがコマンドロック状態に移り、FASTAT レジスタの CMDLK ビットが“1”になった場合の FLERR 割り込み要求の発生を許可 / 禁止するためのビットです。 0: FASTAT.CMDLK = “1” で、FLERR 割り込み要求が発生しない 1: FASTAT.CMDLK = “1” で、FLERR 割り込み要求が発生する
3	DFAEIE	Data Flash メモリアクセス違反割り込み許可 Data Flash メモリアクセス違反が発生し、FASTAT レジスタの DFAE ビットが“1”になった場合の FLERR 割り込み要求の発生を許可 / 禁止するためのビットです。 0: FASTAT.DFAE = “1” で、FLERR 割り込み要求が発生しない 1: FASTAT.DFAE = “1” で、FLERR 割り込み要求が発生する
2, 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECRCTIE	エラー訂正割り込み許可 フラッシュシーケンサによるフラッシュメモリ領域 (コンフィギュレーション設定、書き換え用パラメータ、OTP 設定) の読み出しで 1 ビットエラーが訂正され、FASTAT レジスタの ECRCT ビットが“1”になった場合の FLERR 割り込み要求の発生を許可 / 禁止するためのビットです。 0: FASTAT.ECRCT = “1” で、FLERR 割り込み要求が発生しない 1: FASTAT.ECRCT = “1” で、FLERR 割り込み要求が発生する

## 4.4 Code Flash メモリ領域選択レジスタ (FAREASELC)

FAREASELC レジスタは、FACI コマンド処理の対象となる Code Flash メモリ領域を切り替えるためのレジスタです。

FSUINITR レジスタの SUINIT を“1”にすると、FAREASELC を初期化できます。リセットでも初期化可能です。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** FFA1 0020<sub>H</sub>

**リセット後の値** 0000<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY[7:0]								—	—	—	—	—	—	CFAS	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W <sup>注1</sup>	R	R	R	R	R	R	R/W <sup>注2,注3</sup>	R							

注1. 書き込んだ値は保持されません。読み出し値は常に00<sub>H</sub>になります。

注2. FSTATR レジスタの FRDY ビットが“1”の場合のみ書き込み可能です。FRDY ビットが“0”の場合の書き込みは無視されます。

注3. KEY[7:0] ビットに3B<sub>H</sub>を書き込んだ場合のみ、書き込みが有効になります。

表 4.4 FAREASELC レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	KEY[7:0]	キーコード CFAS ビットの書き換えの可否を制御します。
7 ~ 2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	CFAS	Code Flash メモリ領域選択 FACI コマンド処理対象の Code Flash メモリ領域を選択します。 0: ユーザ領域選択 1: 拡張ユーザ領域選択
0	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

## 4.5 FACI コマンド処理開始アドレスレジスタ (FSADDR)

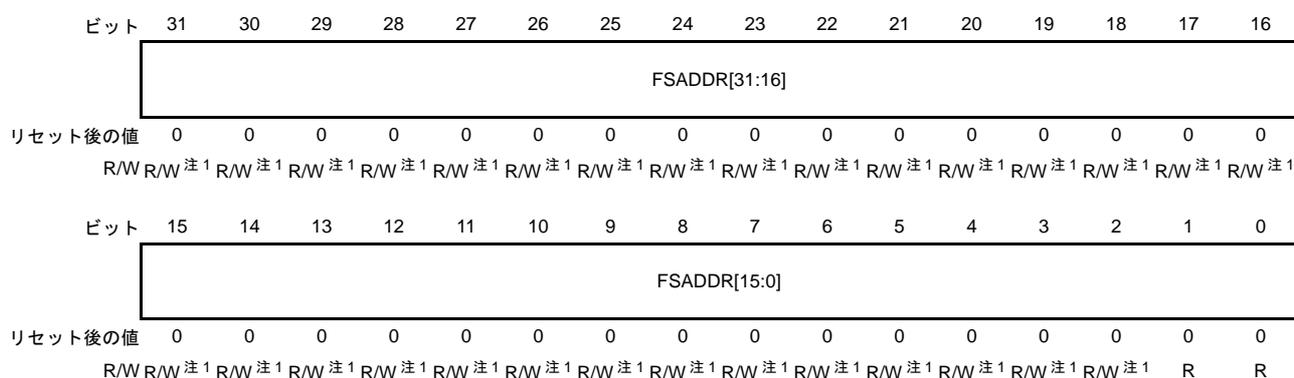
FSADDR レジスタは、プログラム/DMA プログラム/ブロックイレーズ/ブランクチェック/コンフィギュレーション設定/ロックビットプログラム/ロックビットリード/OTP 設定の FACI コマンド発行時に、コマンド処理の対象領域の開始アドレスを指定するためのレジスタです。

FSUINITR レジスタの SUINIT ビットを“1”にすると、FSADDR を初期化できます。リセットでも初期化可能です。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** FFA1 0030<sub>H</sub>

**リセット後の値** 0000 0000<sub>H</sub>



注1. FSTATR レジスタの FRDY ビットが“1”の場合のみ書き込み可能です。FRDY ビットが“0”の場合の書き込みは無視されます。

表 4.5 FSADDR レジスタの内容

ビット位置	ビット名	機能																								
31 ~ 0	FSADDR[31:0]	<p>FACI コマンド処理開始アドレス</p> <p>FACI コマンド処理の開始アドレスを指定するためのビットです。Code Flash メモリに対する FACI コマンド処理では bit 31 ~ 24 は無視されます。Data Flash メモリに対する FACI コマンド処理では、bit 31 ~ 19 は無視されます。下記のアドレス境界に満たない bit も無視されます。アドレスパリティの生成では、bit 24 ~ 4 が使用されます。</p> <table border="0"> <tr> <td><u>コマンド</u></td> <td><u>アドレス境界</u></td> </tr> <tr> <td>プログラム (Code Flash メモリ) :</td> <td>256 バイト</td> </tr> <tr> <td>プログラム (Data Flash メモリ) :</td> <td></td> </tr> <tr> <td>4 バイト書き込み時 :</td> <td>4 バイト</td> </tr> <tr> <td>DMA プログラム</td> <td>4 バイト</td> </tr> <tr> <td>ブロックイレーズ (Code Flash メモリ) :</td> <td>8K または 32K バイト</td> </tr> <tr> <td>ブロックイレーズ (Data Flash メモリ) :</td> <td>64 バイト</td> </tr> <tr> <td>ブランクチェック :</td> <td>4 バイト</td> </tr> <tr> <td>コンフィギュレーション設定 :</td> <td>16 バイト</td> </tr> <tr> <td>ロックビットプログラム :</td> <td>8K または 32K バイト</td> </tr> <tr> <td>ロックビットリード :</td> <td>8K または 32K バイト</td> </tr> <tr> <td>OTP 設定 :</td> <td>16 バイト</td> </tr> </table>	<u>コマンド</u>	<u>アドレス境界</u>	プログラム (Code Flash メモリ) :	256 バイト	プログラム (Data Flash メモリ) :		4 バイト書き込み時 :	4 バイト	DMA プログラム	4 バイト	ブロックイレーズ (Code Flash メモリ) :	8K または 32K バイト	ブロックイレーズ (Data Flash メモリ) :	64 バイト	ブランクチェック :	4 バイト	コンフィギュレーション設定 :	16 バイト	ロックビットプログラム :	8K または 32K バイト	ロックビットリード :	8K または 32K バイト	OTP 設定 :	16 バイト
<u>コマンド</u>	<u>アドレス境界</u>																									
プログラム (Code Flash メモリ) :	256 バイト																									
プログラム (Data Flash メモリ) :																										
4 バイト書き込み時 :	4 バイト																									
DMA プログラム	4 バイト																									
ブロックイレーズ (Code Flash メモリ) :	8K または 32K バイト																									
ブロックイレーズ (Data Flash メモリ) :	64 バイト																									
ブランクチェック :	4 バイト																									
コンフィギュレーション設定 :	16 バイト																									
ロックビットプログラム :	8K または 32K バイト																									
ロックビットリード :	8K または 32K バイト																									
OTP 設定 :	16 バイト																									

## 4.6 FACI コマンド処理終了アドレスレジスタ (FEADDR)

FEADDR レジスタは、ブランクチェックコマンド処理の対象領域の終了アドレスを指定するためのレジスタです。FBCCNT レジスタの BCDIR レジスタが“0”で、ブランクチェック処理のアドレッシングモードが加算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。FBCCNT レジスタの BCDIR レジスタが“1”で、ブランクチェック処理のアドレッシングモードが減算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります（「8.3 エラープロテクション」参照）。

FSUINTR レジスタの SUINIT ビットを“1”にすると、FEADDR を初期化できます。リセットでも初期化可能です。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** FFA1 0034<sub>H</sub>

**リセット後の値** 0000 0000<sub>H</sub>

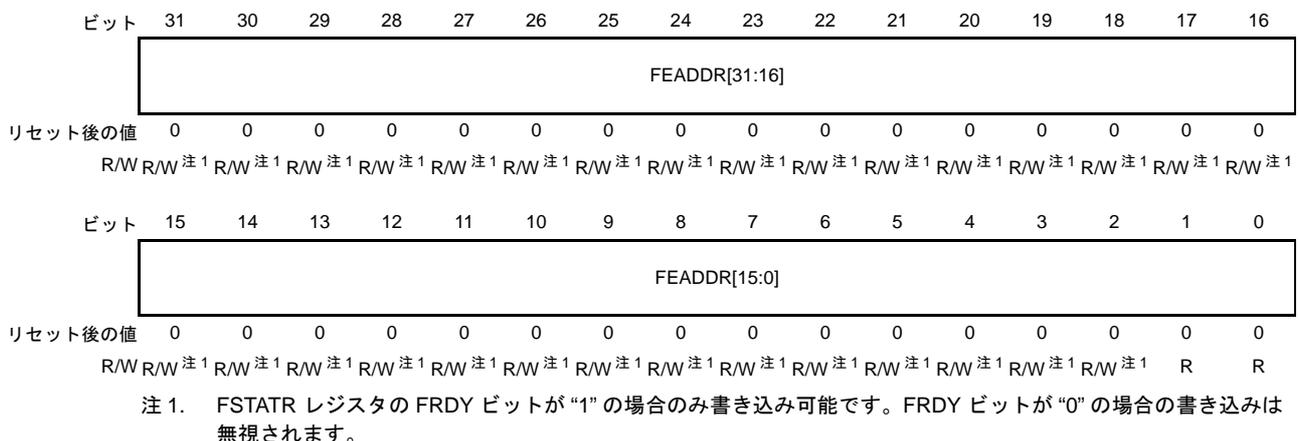


表 4.6 FEADDR レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	FEADDR[31:0]	FACI コマンド処理終了アドレス ブランクチェックコマンド処理の終了アドレスを指定するためのビットです。コマンド処理では、bit 31 ~ 19 および bit 1 ~ 0 は無視されます。

## 4.7 フラッシュステータスレジスタ (FSTATR)

FSTATR レジスタは、フラッシュシーケンサの状態を示すレジスタです。

**アクセス** 8、16、32 ビット単位でリードのみ可能です。

**アドレス** FFA1 0080<sub>H</sub>

**リセット後の値** 0000 8000<sub>H</sub>

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	EBFUL L	OTPD CT	OTPCR CT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	FRDY	ILGLER R	ERSER R	PRGER R	SUSRD Y	DBFUL L	ERSSP D	PRGSP D	—	FLWEE RR	CFGDT CT	CFGCR CT	TBLDT CT	TBLCR CT	—	—
リセット後の値	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.7 FSTATR レジスタの内容 (1/5)

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。
18	EBFULL	<p>ECC バッファフル</p> <p>プログラムコマンド発行時の ECC バッファの状態を示すビットです。FACI には ECC ビット用のバッファ (ECC バッファ) が内蔵されています。FECCTMD レジスタの ECCDISC ビットを “1” に設定すると、FDMYECC レジスタを ECC バッファとして使用可能です。EBFULL ビットが “1” の状態で FDMYECC への書き込みが発生すると、FACI は P-Bus にウェイトを挿入します。</p> <p>0: ECC バッファは空 1: ECC バッファはフル [“1”になる条件]</p> <ul style="list-style-type: none"> <li>プログラムコマンド発行中に ECC バッファがフルになった後 [“0”になる条件]</li> <li>ECC バッファが空になった後</li> </ul>
17	OTPDCT	<p>2 ビットエラー検出モニタ (OTP 設定)</p> <p>OTP 設定値の読み出し時に 2 ビットエラーが検出されたことを示すビットです。FACI は Code Flash メモリのプログラム、ブロックイレーズ、ロックビットプログラム、ロックビットリード、および OTP 設定時に OTP 設定値を読み出します。OTPDCT ビットが “1” の場合には、フラッシュシーケンサはコマンドロック状態になります。</p> <p>0: 2 ビットエラーは検出されていない 1: 2 ビットエラーが検出された [“0”になる条件]</p> <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>
16	OTPCRCT	<p>1 ビットエラー訂正モニタ (OTP 設定)</p> <p>OTP 設定値の読み出し時に 1 ビットエラーが訂正されたことを示すビットです。FACI は Code Flash メモリのプログラム / ブロックイレーズ / ロックビットプログラム / ロックビットリードおよび OTP 設定時に OTP 設定値を読み出します。OTPCRCT ビットが “1” の場合には、フラッシュシーケンサは処理を継続し、コマンドロック状態にはなりません。</p> <p>0: 1 ビットエラー訂正は発生していない 1: 1 ビットエラーが訂正された [“0”になる条件]</p> <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>

表 4.7 FSTATR レジスタの内容 (2/5)

ビット位置	ビット名	機能
15	FRDY	<p>フラッシュレディー フラッシュシーケンサのコマンド処理状態を示すビットです。</p> <p>0: プログラム、DMA プログラム、ブロックイレーズ、P/E サスペンド、P/E レジューム、強制終了、ブランクチェック、コンフィギュレーション設定、ロックビットプログラム、ロックビットリード、OTP 設定のコマンド処理中 1: 上記の処理を実行していない</p> <p>["1"になる条件]</p> <ul style="list-style-type: none"> <li>フラッシュシーケンサがコマンド処理を完了した後</li> <li>フラッシュシーケンサが P/E サスペンドコマンドを受け付けて、フラッシュメモリの書き換え処理を中断した後</li> <li>フラッシュシーケンサが強制終了コマンドを受け付けて、コマンド処理を終了した後</li> </ul> <p>["0"になる条件]</p> <ul style="list-style-type: none"> <li>フラッシュシーケンサが FACL コマンドを受け付けた後 <ul style="list-style-type: none"> <li>プログラム、DMA プログラム、コンフィギュレーション設定、OTP 設定の場合には、FACL コマンド発行領域に対する最初のライトアクセスの後</li> <li>その他のコマンドの場合には、FACL コマンド発行領域に対する最終のライトアクセスの後</li> </ul> </li> </ul>
14	ILGLERR	<p>イリーガルコマンドエラー フラッシュシーケンサが不正な FACL コマンドやフラッシュメモリアccessを検出したことを示すビットです。ILGLERR ビットが "1" の場合には、フラッシュシーケンサはコマンドロック状態になります。</p> <p>0: フラッシュシーケンサは不正な FACL コマンドや不正なフラッシュメモリアccessを検出していない 1: フラッシュシーケンサは不正な FACL コマンドや不正なフラッシュメモリアccessを検出した</p> <p>["1"になる条件]</p> <ul style="list-style-type: none"> <li>フラッシュシーケンサが不正なコマンドを検出した後</li> <li>フラッシュシーケンサが不正なフラッシュメモリアccessを検出した後</li> <li>FENTRYR 設定値が不正であることを検出した後</li> </ul> <p>["0"になる条件]</p> <ul style="list-style-type: none"> <li>FASTAT レジスタの DFAE ビットおよび CFAE ビットが "0" の状態で、フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul> <p>FASTAT レジスタの CFAE または DFAE ビットが "1" の状態で、ステータスクリアまたは強制終了コマンドの処理を完了した場合には、ILGLERR ビットは "1" になります。強制終了コマンド処理中に、一時的に ILGLERR ビットが "0" になりますが、コマンド処理の完了時に CFAE または DFAE が "1" であることが検出され、ILGLERR ビットが "1" に再設定されます。</p>
13	ERSERR	<p>消去エラー フラッシュメモリの消去処理の結果を示すビットです。ERSERR ビットが "1" の場合には、フラッシュシーケンサはコマンドロック状態になります。</p> <p>0: 消去処理は正常終了 1: 消去処理中にエラー発生</p> <p>["1"になる条件]</p> <ul style="list-style-type: none"> <li>消去処理中にエラーが発生した後</li> <li>ロックビットで保護された領域に対して、ブロックイレーズコマンドを発行した後</li> </ul> <p>["0"になる条件]</p> <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>

表 4.7 FSTATR レジスタの内容 (3/5)

ビット位置	ビット名	機能
12	PRGERR	書き込みエラー フラッシュメモリの書き込み処理の結果を示すビットです。PRGERR ビットが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。 0: 書き込み処理は正常終了 1: 書き込み処理中にエラー発生 [“1”になる条件] <ul style="list-style-type: none"> <li>書き込み処理中にエラーが発生した後</li> <li>ロックビットで保護された領域に対して、プログラムまたはロックビットプログラムコマンドを発行した後</li> </ul> [“0”になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>
11	SUSRDY	サスペンドレディ フラッシュシーケンサが P/E サスペンドコマンドを受け付け可能であるかどうかを示すビットです。 0: フラッシュシーケンサが P/E サスペンドコマンドを受け付けられない 1: フラッシュシーケンサが P/E サスペンドコマンドを受け付け可能 [“1”になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサが書き込み / 消去処理を開始後、P/E サスペンドコマンドの受け付けが可能な状態に移した。</li> </ul> [“0”になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサが P/E サスペンドコマンド、強制終了コマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)</li> <li>書き込み / 消去処理中にコマンドロック状態に移した後</li> <li>書き込み / 消去処理が完了した後</li> </ul>
10	DBFULL	データバッファフル プログラムコマンド発行時のデータバッファ状態を示すビットです。FACI には書き込みデータ用のバッファ (データバッファ) が内蔵されています。データバッファがフルの状態、FACI コマンド発行領域にフラッシュメモリへの書き込みデータを発行すると、FACI は P-Bus にウェイトを挿入します。 0: データバッファは空 1: データバッファはフル [“1”になる条件] <ul style="list-style-type: none"> <li>プログラムコマンド発行中にデータバッファがフルになった後</li> </ul> [“0”になる条件] <ul style="list-style-type: none"> <li>データバッファが空になった後</li> </ul>
9	ERSSPD	消去サスペンドステータス フラッシュシーケンサが消去の中断処理中または消去サスペンド状態に移したことを示すビットです。 0: 下記以外の状態 1: フラッシュシーケンサは消去の中断処理中または消去サスペンド中 [“1”になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサが消去の中断処理を開始した後</li> </ul> [“0”になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサが P/E レジュームコマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)</li> <li>フラッシュシーケンサが強制終了コマンドの処理を開始した後</li> </ul>

表 4.7 FSTATR レジスタの内容 (4/5)

ビット位置	ビット名	機能
8	PRGSPD	書き込みサスペンドステータス フラッシュシーケンサが書き込みの中断処理中または書き込みサスペンド状態に遷移したことを示すビットです。 0: 下記以外の状態 1: フラッシュシーケンサは書き込みの中断処理中または書き込みサスペンド中 ["1"になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサが書き込みの中断処理を開始した後</li> </ul> ["0"になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサがP/E レジュームコマンドを受け付けた後 (FACI コマンド発行領域に対するライトアクセスが完了した後)</li> <li>フラッシュシーケンサが強制終了コマンドの処理を開始した後</li> </ul>
7	予約ビット	リードした場合はリセット後の値が読めます。
6	FLWEERR	フラッシュライトイレズプロテクトエラー FHVE3 レジスタによるフラッシュメモリの書き換え保護に違反したことを示すビットです。FLWEERR ビットが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。 0: エラー未発生 1: エラー発生 ["0"になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサが強制終了コマンドの処理を開始した後</li> </ul>
5	CFGDTCT	2ビットエラー検出モニタ (コンフィギュレーション設定) コンフィギュレーション設定値の読み出し時に2ビットエラーが検出されたことを示すビットです。FACIはコンフィギュレーション設定時にコンフィギュレーション設定値を読み出します。CFGDTCT ビットが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。 0: 2ビットエラーは検出されていない 1: 2ビットエラーが検出された ["0"になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>
4	CFGCRCT	1ビットエラー訂正モニタ (コンフィギュレーション設定) コンフィギュレーション設定値の読み出し時に1ビットエラーが訂正されたことを示すビットです。FACIはコンフィギュレーション設定時にコンフィギュレーション設定値を読み出します。CFGCRCT ビットが“1”の場合には、フラッシュシーケンサは処理を継続し、コマンドロック状態にはなりません。 0: 1ビットエラー訂正は発生していない 1: 1ビットエラーが訂正された ["0"になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>
3	TBLDTCT	2ビットエラー検出モニタ (書き換えパラメータテーブル) 書き換えパラメータテーブルの読み出し時に2ビットエラーが検出されたことを示すビットです。FACIはフラッシュメモリのプログラム、DMA プログラム、ブロックイレズ、ブランクチェック、コンフィギュレーション設定、ロックビットプログラムおよび OTP 設定時に書き換えパラメータテーブルを読み出します。TBLDTCT ビットが“1”の場合には、フラッシュシーケンサはコマンドロック状態になります。 0: 2ビットエラーは検出されていない 1: 2ビットエラーが検出された ["0"になる条件] <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>

表 4.7 FSTATR レジスタの内容 (5/5)

ビット位置	ビット名	機能
2	TBLCRCT	<p>1ビットエラー訂正モニタ（書き換えパラメータテーブル） 書き換えパラメータテーブルの読み出し時に1ビットエラーが訂正されたことを示すビットです。FACIはフラッシュメモリのプログラム、DMAプログラム、ブロックイレズ、ブランクチェック、コンフィギュレーション設定、ロックビットプログラムおよびOTP設定時に書き換えパラメータテーブルを読み出します。TBLCRCTビットが“1”の場合には、フラッシュシーケンサはコマンドロック状態になりません。</p> <p>0: 1ビットエラー訂正は発生していない 1: 1ビットエラーが訂正された [“0”になる条件]</p> <ul style="list-style-type: none"> <li>フラッシュシーケンサがステータスクリアまたは強制終了コマンドの処理を開始した後</li> </ul>
1, 0	予約ビット	リードした場合はリセット後の値が読めます。

## 4.8 フラッシュ P/E モードエントリレジスタ (FENTRYR)

FENTRYR レジスタは Code Flash P/E モード、Data Flash P/E モードを設定するためのレジスタです。FACI コマンドを受け付け可能にするためには、FENTRYD ビットと FENTRYC ビットのいずれかのビットを“1”に設定して、フラッシュシーケンサを P/E モードにする必要があります。

FENTRYR に 0000<sub>H</sub> 以外かつ 0001<sub>H</sub> 以外かつ 0080<sub>H</sub> 以外の値を設定すると、FSTATR レジスタの ILGLERR ビットが“1”になり、フラッシュシーケンサはコマンドロック状態になります。

FSUINTR レジスタの SUINIT を“1”にすると、FENTRYR を初期化できます。リセットでも初期化可能です。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** FFA1 0084<sub>H</sub>

**リセット後の値** 0000<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY[7:0]							FENTR YD	—	—	—	—	—	—	—	FENTR YC
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	注1 R/W	注1 R/W	R/W 注2,注3	R	R	R	R	R	R/W 注2,注3, 注4					

注 1. 書き込んだ値は保持されません。読み出し値は常に 00<sub>H</sub> になります。

注 2. FSTATR レジスタの FRDY ビットが“1”の場合のみ書き込み可能です。FRDY ビットが“0”の場合の書き込みは無視されます。

注 3. KEY[7:0] ビットに AA<sub>H</sub> を書き込んだ場合のみ、書き込みが有効になります。

注 4. FPMON レジスタの FWE ビットが“1”の場合のみ、書き込みが有効になります。

表 4.8 FENTRYR レジスタの内容 (1/2)

ビット位置	ビット名	機能
15 ~ 8	KEY[7:0]	キーコード FENTRYD ビットおよび FENTRYC ビットの書き換えの可否を制御します。
7	FENTRYD	Data Flash P/E モードエントリ Data Flash メモリの P/E モードを設定するためのビットです。 0 : Data Flash メモリはリードモード 1 : Data Flash メモリは P/E モード [“1”になる条件] <ul style="list-style-type: none"> <li>FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000<sub>H</sub> の状態で、FENTRYD ビットに“1”を書き込んだ場合</li> </ul> [“0”になる条件] <ul style="list-style-type: none"> <li>FRDY ビットが“1”の状態、KEY[7:0] ビットに AA<sub>H</sub> 以外の値を指定して FENTRYR レジスタを書き込んだ場合</li> <li>FENTRYR レジスタへの書き込みが有効な状態で、FENTRYD ビットに“0”を書き込んだ場合</li> <li>FENTRYR への書き込みが有効な状態かつ FENTRYR レジスタが 0000<sub>H</sub> 以外の状態で FENTRYR レジスタを書き込んだ場合</li> </ul>
6 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。

表 4.8 FENTRYR レジスタの内容 (2/2)

ビット位置	ビット名	機能
0	FENTRYC	<p>Code Flash P/E モードエントリ Code Flash メモリの P/E モードを設定するためのビットです。</p> <p>0 : Code Flash メモリはリードモード 1 : Code Flash メモリは P/E モード</p> <p>["1" になる条件]</p> <ul style="list-style-type: none"> <li>• FENTRYR レジスタへの書き込みが有効な状態かつ FENTRYR レジスタが 0000<sub>H</sub> の状態で、FENTRYC ビットに "1" を書き込んだ場合</li> </ul> <p>["0" になる条件]</p> <ul style="list-style-type: none"> <li>• FRDY ビットが "1" の状態で、KEY[7:0] ビットに AA<sub>H</sub> 以外の値を指定して FENTRYR レジスタを書き込んだ場合</li> <li>• FRDY ビットが "1" の状態で、FPMON レジスタの FWE ビットが "0" になった場合</li> <li>• FENTRYR への書き込みが有効な状態で、FENTRYC ビットに "0" を書き込んだ場合</li> <li>• FENTRYR への書き込みが有効な状態かつ FENTRYR レジスタが 0000<sub>H</sub> 以外の状態で FENTRYR レジスタを書き込んだ場合</li> </ul>

## 4.9 Code Flash プロテクトレジスタ (FPROTR)

FPROTR レジスタは、ロックビットによる Code Flash メモリに対する書き換えプロテクトを有効/無効にするためのレジスタです。FSUINITR レジスタの SUNIT を“1”にすると、FPROTR を初期化できます。リセットでも初期化可能です。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** FFA1 0088<sub>H</sub>

**リセット後の値** 0000<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY[7:0]							—	—	—	—	—	—	—	—	FPROTCN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	R/W	R/W	注1 R/W	R	R	R	R	R	R	R	R/W					

注1. 書き込んだ値は保持されません。読み出し値は常に 00<sub>H</sub> になります。

注2. KEY[7:0] ビットに 55<sub>H</sub> を書き込んだ場合のみ、書き込みが有効になります。

表 4.9 FPROTR レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	KEY[7:0]	キーコード FPROTCN ビットの書き換えの可否を制御します。
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	FPROTCN	ロックビットプロテクトキャンセル ロックビットによる Code Flash メモリに対する書き換えプロテクトを有効/無効にするためのビットです。 0: ロックビットによるプロテクトが有効 1: ロックビットによるプロテクトが無効 [“1”になる条件] <ul style="list-style-type: none"> <li>FPROTR レジスタの書き込みが有効な状態かつ FENTRYR が 0000<sub>H</sub> 以外の状態で、FPROTCN ビットに“1”を書き込んだ場合</li> </ul> [“0”になる条件] <ul style="list-style-type: none"> <li>KEY[7:0] ビットに 55<sub>H</sub> 以外の値を指定して FPROTR レジスタを書き込んだ場合</li> <li>FPROTR レジスタへの書き込みが有効な状態で、FPROTCN ビットに“0”を書き込んだ場合</li> <li>FENTRYR レジスタの値が 0000<sub>H</sub> の場合</li> </ul>

## 4.10 フラッシュシーケンサ設定初期化レジスタ (FSUINITR)

FSUINITR レジスタは、フラッシュシーケンサの設定を初期化するためのレジスタです。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** FFA1 008C<sub>H</sub>

**リセット後の値** 0000<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	KEY[7:0]								—	—	—	—	—	—	—	SUINIT
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W <sup>注1</sup>	R	R	R	R	R	R	R	R/W <sup>注2,注3</sup>							

注1. 書き込んだ値は保持されません。読み出し値は常に00<sub>H</sub>になります。

注2. FSTATR レジスタの FRDY ビットが“1”の場合のみ書き込み可能です。FRDY ビットが“0”の場合の書き込みは無視されます。

注3. KEY[7:0] ビットに 2D<sub>H</sub> を書き込んだ場合のみ、書き込みが有効になります。

表 4.10 FSUINITR レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	KEY[7:0]	キーコード SUINIT ビットの書き換えの可否を制御します。
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	SUINIT	設定初期化 フラッシュシーケンサの設定レジスタ (FEADDR, FPROTR, FCPSR, FSADDR, FENTRYR, FBCCNT, FAREASELC) を初期化します。 0: フラッシュシーケンサの設定レジスタ値は保持 1: フラッシュシーケンサの設定レジスタを初期化

## 4.11 ロックビットステータスレジスタ (FLKSTAT)

FLKSTAT レジスタは、ロックビットリードコマンドで読み出したロックビットの値を示すレジスタです。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** FFA1 0090<sub>H</sub>

**リセット後の値** 00<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	FLOCKST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 4.11 FLKSTAT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	FLOCKST	ロックビットステータス ロックビットリードコマンドで読み出したロックビットの値を示すビットです。 ロックビットリードコマンドを発行した後に、FSTATR レジスタの FRDY ビットが“1”になった時点で、FLOCKST ビットに有効なデータが格納されます。 FLOCKST ビットの値は、次のロックビットリードコマンドの終了まで保持されます。 0：プロテクト状態 1：非プロテクト状態

## 4.12 FACI リセット転送ステータスレジスタ (FRTSTAT)

FRTSTAT レジスタは、FACI リセット転送のエラーステータスを示すレジスタです。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** FFA1 0098<sub>H</sub>

**リセット後の値** 0X<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTEDTCT	RTECRCT
リセット後の値	0	0	0	0	0	0	0/1	0/1
R/W	R	R	R	R	R	R	R	R

表 4.12 FRTSTAT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。
1	RTEDTCT	FACI リセット転送エラー検出 FACI リセット転送時に2ビットエラーが検出されたことを示すビットです。 RTEDTCT が“1”の場合には、フラッシュシーケンサはコマンドロック状態にはなりません。 0: 2ビットエラーは検出されていない 1: 2ビットエラーが検出された RTEDTCT ビットは、マイコン再リセット後のFACI リセット転送で2ビットエラーが検出されない場合に、“0”にクリアされます。
0	RTECRCT	FACI リセット転送エラー訂正 FACI リセット転送時に1ビットエラーが訂正されたことを示すビットです。 RTECRCT が“1”の場合には、フラッシュシーケンサはコマンドロック状態にはなりません。 0: 1ビットエラー訂正は発生していない 1: 1ビットエラーが訂正された RTECRCT ビットは、マイコン再リセット後のFACI リセット転送で1ビットエラー訂正が発生しない場合に、“0”にクリアされます。

### 4.13 FACI リセット転送エラー割り込み許可レジスタ (FRTEINT)

FRTEINT レジスタは、FACI リセット転送エラー (FRTERR) 割り込み要求の発生を許可 / 禁止するためのレジスタです。

本製品では FACI リセット転送エラー割り込みは ECM のエラー要因として扱います。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FFA1 009C<sub>H</sub>

**リセット後の値** 03<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	RTEDIE	RTECIE
リセット後の値	0	0	0	0	0	0	1	1
R/W	R	R	R	R	R	R	R/W	R/W

表 4.13 FRTEINT レジスタの内容

ビット位置	ビット名	機能
7～2	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
1	RTEDIE	FACI リセット転送エラー検出割り込み許可 FACI リセット転送時に 2 ビットエラーが検出され、FRTSTAT レジスタの RTEDTCT ビットが "1" になった場合の FRTERR 割り込みの発生を許可 / 禁止するためのビットです。 0 : FRTSTAT.RTEDTCT = "1" で、FRTERR 割り込みが発生しない 1 : FRTSTAT.RTEDTCT = "1" で、FRTERR 割り込みが発生する
0	RTECIE	FACI リセット転送エラー訂正割り込み許可 FACI リセット転送時に 1 ビットエラーが訂正され、FRTSTAT レジスタの RTECRCT ビットが "1" になった場合の FRTERR 割り込みの発生を許可 / 禁止するためのビットです。 0 : FRTSTAT.RTECRCT = "1" で、FRTERR 割り込みが発生しない 1 : FRTSTAT.RTECRCT = "1" で、FRTERR 割り込みが発生する

## 4.14 FACI コマンドレジスタ (FCMDR)

FCMDR レジスタは、FACI が受け付けたコマンドを示すレジスタです。

**アクセス** 16 ビット単位でリードのみ可能です。

**アドレス** FFA1 00A0<sub>H</sub>

**リセット後の値** FFFF<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CMDR[7:0]								PCMDR[7:0]							
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.14 FCMDR レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	CMDR[7:0]	コマンド FACI が受け付けた最新のコマンドを格納します
7 ~ 0	PCMDR[7:0]	プレコマンド FACI が受け付けた 1 つ前のコマンドを格納します

表 4.15 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR[7:0]	PCMDR[7:0]
プログラム	E8 <sub>H</sub>	前回コマンド
DMA プログラム	EA <sub>H</sub>	前回コマンド
ブロックイレーズ	D0 <sub>H</sub>	20 <sub>H</sub>
P/E サスペンド	B0 <sub>H</sub>	前回コマンド
P/E レジューム	D0 <sub>H</sub>	前回コマンド
ステータスクリア	50 <sub>H</sub>	前回コマンド
強制終了	B3 <sub>H</sub>	前回コマンド
ブランクチェック	D0 <sub>H</sub>	71 <sub>H</sub>
コンフィギュレーション設定	40 <sub>H</sub>	前回コマンド
ロックビットプログラム	D0 <sub>H</sub>	77 <sub>H</sub>
ロックビットリード	D0 <sub>H</sub>	71 <sub>H</sub>
OTP 設定	45 <sub>H</sub>	前回コマンド

## 4.15 フラッシュ P/E ステータスレジスタ (FPESTAT)

FPESTAT レジスタは、フラッシュメモリの書き込み / 消去結果を示すレジスタです。

**アクセス** 16 ビット単位でリードのみ可能です。

**アドレス** FFA1 00C0<sub>H</sub>

**リセット後の値** 0000<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PEERRST[7:0]							
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.16 FPESTAT レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	予約ビット	リードした場合はリセット後の値が読めます。
7 ~ 0	PEERRST[7:0]	<p>P/E エラーステータス</p> <p>Code Flash メモリ / Data Flash メモリの書き込み / 消去処理中にエラーが発生した場合のエラー原因を示すビットです。PEERRST[7:0] ビットの値は、FSTATR レジスタの ERSERR ビットまたは PRGERR ビットが “1” の状態で、かつ FSTATR レジスタの FRDY ビットが “1” になった時点でのみ有効です。ERSERR ビットと PRGERR ビットが “0” の場合の PEERRST[7:0] ビットには、過去に発生したエラー原因の値が保持されます。</p> <p>00<sub>H</sub>: エラーなし</p> <p>01<sub>H</sub>: ロックビットでプロテクトされた領域に対する書き込みエラー</p> <p>02<sub>H</sub>: ロックビット以外の原因による書き込みエラー</p> <p>11<sub>H</sub>: ロックビットでプロテクトされた領域に対する消去エラー</p> <p>12<sub>H</sub>: ロックビット以外の原因による消去エラー</p> <p>上記以外: 予約</p>

## 4.16 Data Flash ブランクチェック制御レジスタ (FBCCNT)

FBCCNT レジスタは、ブランクチェックコマンド処理時のアドレッシングモードを指定するためのレジスタです。FSUINTR レジスタの SUINIT ビットを“1”にすると、FBCCNT を初期化できます。リセットでも初期化可能です。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FFA1 00D0<sub>H</sub>

**リセット後の値** 00<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	BCDIR
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R/W

表 4.17 FBCCNT レジスタの内容

ビット位置	ビット名	機能
7 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BCDIR	ブランクチェック方向 ブランクチェック動作時のアドレッシングモードを指定するためのビットです。 0: 小さいアドレスから大きいアドレスの方向にブランクチェック処理を実行します (加算モード) 1: 大きいアドレスから小さいアドレスの方向にブランクチェック処理を実行します (減算モード)

## 4.17 Data Flash ブランクチェックステータスレジスタ (FBCSTAT)

FBCSTAT レジスタは、ブランクチェックコマンドの結果を格納するレジスタです。

**アクセス** 8ビット単位でリードのみ可能です。

**アドレス** FFA1 00D4<sub>H</sub>

**リセット後の値** 00<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	BCST
リセット後の値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

表 4.18 FBCSTAT レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。
0	BCST	ブランクチェックステータス ブランクチェックコマンドの結果を示すビットです 0: ブランクチェック対象領域は消去状態 (ブランク) 1: ブランクチェック対象領域は "0" データか "1" データを書き込まれた状態

## 4.18 Data Flash 書き込み開始アドレスレジスタ (FPSADDR)

FPSADDR レジスタは、ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すレジスタです。

**アクセス** 32ビット単位でリードのみ可能です。

**アドレス** FFA1 00D8<sub>H</sub>

**リセット後の値** 00000000<sub>H</sub>

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	PSADR[18:16]		
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PSADR[15:0]															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.19 FPSADDR レジスタの内容

ビット位置	ビット名	機能
31 ~ 19	予約ビット	リードした場合はリセット後の値が読めます。
18 ~ 0	PSADR[18:0]	書き込み領域開始アドレス ブランクチェックコマンド処理時に検出した最初の書き込み済みアドレスの値を示すビットです。Data Flash メモリ領域の先頭アドレスからのオフセット値が格納されます。PSADR[18:0] ビットの値は、FBCSTAT レジスタの BCST ビットが“1”の状態、かつ FSTATR レジスタの FRDY ビットが“1”になった時点でのみ有効です。BCST ビットが“0”の場合の PSADR[18:0] ビットには、過去に検出したアドレスが保持されます。

## 4.19 フラッシュシーケンサ処理切り替えレジスタ (FCPSR)

FCPSR レジスタは消去中断処理モードを選択するためのレジスタです。FSUINITR レジスタの SUINIT ビットを“1”にすると、FCPSR を初期化できます。リセットでも初期化可能です。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** FFA1 00E0<sub>H</sub>

**リセット後の値** 0000<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ESUSP MD
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W

表 4.20 FCPSR レジスタの内容

ビット位置	ビット名	機能
15 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ESUSPMD	消去サスペンドモード フラッシュシーケンサが消去処理を実行中に、P/E サスペンドコマンドが発行された場合の消去中断処理モードを選択するためのビットです。ESUSPMD ビットは、ブロックイレーズコマンドを発行する前に設定する必要があります。 0 : サスペンド優先モード 1 : 消去優先モード

## 4.20 フラッシュシーケンサ処理クロック通知レジスタ (FPCKAR)

FPCKAR レジスタは、FACI コマンド処理中のフラッシュシーケンサ動作周波数を設定するためのレジスタです。リセット後の値は、本製品における最高動作周波数に設定されます。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** FFA1 00E4<sub>H</sub>

**リセット後の値** 0028<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
	KEY[7:0]								PCKA[7:0]														
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0							
	R/W	R/W	注1	R/W	注1	R/W	注1	R/W	注1	R/W	注1	R/W	注2	注3									

注1. 書き込んだ値は保持されません。読み出し値は常に 00<sub>H</sub> になります。

注2. FSTATR レジスタの FRDY ビットが“1”の場合のみ書き込み可能です。FRDY ビットが“0”の場合の書き込みは無視されます。

注3. KEY[7:0] ビットに 1E<sub>H</sub> を書き込んだ場合のみ、書き込みが有効になります。

表 4.21 FPCKAR レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	KEY[7:0]	キーコード PCKA[7:0] ビットの書き換えの可否を制御します。
7 ~ 0	PCKA[7:0]	フラッシュシーケンサ動作クロック通知 FACI コマンド処理中のフラッシュシーケンサ動作周波数を設定するためのビットです。FACI コマンドを発行する前に、PCKA[7:0] ビットに周波数を設定してください。MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0] ビットに設定してください。 例) 周波数が 35.9MHz の場合 (PCKA[7:0] = 24 <sub>H</sub> ) 35.9MHz の小数第 1 位を切り上げ 36 を 2 進数に変換 PCKA[7:0] ビットの設定値がフラッシュシーケンサ動作周波数よりも小さい場合には、フラッシュメモリの書き換え特性を保証できません。PCKA[7:0] ビットの設定値がフラッシュシーケンサ動作周波数よりも大きい場合には、書き換え時間などの FACI コマンド処理時間が長くなりますが、フラッシュメモリの書き換え特性は保証されます (フラッシュシーケンサ動作周波数と PCKA[7:0] 設定値が同一の場合に、FACI コマンド処理時間が最短になります)。

## 4.21 フラッシュエミュレーション制御レジスタ (FLEMU)

FLEMU レジスタは、エラー/タイミングエミュレーション機能を設定するためのレジスタです。一度でもエラー/タイミングエミュレーション機能を使用したチップに対しては、フラッシュメモリの書き換え回数およびデータ保持特性は保証されません。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FFA1 00F0<sub>H</sub>

**リセット後の値** 00<sub>H</sub>

ビット	7	6	5	4	3	2	1	0
	EMMODE	ERREMU	—	—	EMSQMD3	EMSQMD2	EMSQMD1	EMSQMD0
リセット後の値	0	0	0	0	0	0	0	0
R/W	R/W <sup>注1</sup>	R/W <sup>注1</sup>	R	R	R/W <sup>注1</sup>	R/W <sup>注1</sup>	R/W <sup>注1</sup>	R/W <sup>注1</sup>

注1. OCD\_MODE が 01<sub>H</sub> の場合のみ書き込み可能です。OCD\_MODE レジスタの詳細は、「RH850/P1M-E ユーザーズマニュアル エミュレーション編」を参照してください。

表 4.22 FLEMU レジスタの内容

ビット位置	ビット名	機能
7	EMMODE	エミュレーションモード エミュレーションモードを設定するためのビットです。エミュレーションモードの場合には、エラーエミュレーション機能、またはタイミングエミュレーション機能を使用できます。 0: 通常モード 1: エミュレーションモード
6	ERREMU	エラーエミュレーション エラーエミュレーション機能を設定するためのビットです。エラーエミュレーション機能を設定すると、エミュレーション対象に指定された FACI コマンドの処理後に、必ずエラーが発生します。エラーエミュレーション機能を設定しない場合には、エミュレーション対象の FACI コマンドは、Max 処理時間経過後に完了します (タイミングエミュレーション機能)。エラー発生/非発生は、実際の処理結果に依存します。 0: エラーエミュレーション機能は無効 (タイミングエミュレーション機能が有効) 1: エラーエミュレーション機能が有効
5、4	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
3 ~ 0	EMSQMD3 ~ EMSQMD0	エミュレーション対象処理 エミュレーション対象の FACI コマンドを指定するためのビットです。 0 <sub>H</sub> : Code Flash メモリに対するプログラムコマンド 1 <sub>H</sub> : Code Flash メモリに対するブロックイレーズコマンド 2 <sub>H</sub> : Data Flash メモリに対するプログラムコマンド 3 <sub>H</sub> : Data Flash メモリに対するブロックイレーズコマンド 4 <sub>H</sub> : ブランクチェックコマンド 5 <sub>H</sub> : DMA プログラムコマンド

## 4.22 フラッシュエミュレーションアドレス指定レジスタ (FLEAD)

FLEAD レジスタは、エラーエミュレーション機能使用時にエラーを発生させるアドレスを設定するためのレジスタです。FLEAD レジスタは、DMA プログラムコマンドとブランクチェックコマンドで使用します。一度でもエラー/タイミングエミュレーション機能を使用したチップに対しては、フラッシュメモリの書き換え回数およびデータ保持特性は保証されません。

**アクセス** 32ビット単位でリード/ライト可能です。

**アドレス** FFA1 00F4<sub>H</sub>

**リセット後の値** 0000 0000<sub>H</sub>

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
	FLAPE[31:16]																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	R/W	R/W	注1														
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	FLAPE[15:0]																
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	R/W	R/W	注1	R	R												

注1. エミュレーションモードでのみ書き込み可能です。

表 4.23 FLEAD レジスタの内容

ビット位置	ビット名	機能
31 ~ 0	FLAPE[31:0]	エミュレーションアドレス DMA プログラムコマンドとブランクチェックコマンドのエラーエミュレーション時に、エラーを発生させるアドレスを指定するビットです。bit 31 ~ 19 の設定値は無視されます。

## 4.23 フラッシュ ECC エンコーダモニタレジスタ (FECCEMON)

FECCEMON レジスタは、アドレスパリティ生成回路および ECC エンコーダの出力をモニタするためのレジスタです。

**アクセス** 16 ビット単位でリードのみ可能です。

**アドレス** FFA1 0100<sub>H</sub>

**リセット後の値** FFFF<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	FAPAR M	FECCEM 08	FECCEM 07	FECCEM 06	FECCEM 05	FECCEM 04	FECCEM 03	FECCEM 02	FECCEM 01	FECCEM 00
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.24 FECCEMON レジスタの内容

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。
9	FAPARM	アドレスパリティモニタ アドレスパリティ生成器の出力を示すビットです。 <ul style="list-style-type: none"> <li>Code Flash P/E モード時 FAPARM ビットはアドレスパリティ生成器の出力を示します。</li> <li>Data Flash P/E モード時 FAPARM ビットは“1”に固定されます。</li> </ul>
8 ~ 0	FECCEM08 ~ FECCEM00	ECC モニタ ECC エンコーダの出力を示すビットです。 <ul style="list-style-type: none"> <li>Code Flash P/E モード時 FECCEM08 ~ FECCEM00 ビットに Code Flash メモリ用の ECC エンコーダの出力を示します。</li> <li>Data Flash P/E モード時 FECCEM08 ~ FECCEM07 ビットは“1”に固定されます。 FECCEM06 ~ FECCEM00 ビットに Data Flash メモリ用の ECC エンコーダの出力を示します。</li> </ul>

## 4.24 フラッシュ ECC テストモードレジスタ (FECCTMD)

FECCTMD レジスタは、フラッシュメモリの ECC テスト機能を設定するためのレジスタです。

**アクセス** 16ビット単位でリード/ライト可能です。

**アドレス** FFA1 0104<sub>H</sub>

**リセット後の値** 0030<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	KEY[7:0]								—	—	CECCV E	DECCV E	—	—	—	ECCDI SE	
リセット後の値	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	
	R/W	R/W	注1 R	R	R/W	注2 R/W	R	R	R	R/W	注2						

注1. 書き込んだ値は保持されません。読み出し値は常に00<sub>H</sub>になります。

注2. KEY[7:0] ビットにA6<sub>H</sub>を書き込んだ場合のみ、書き込みが有効になります。

表 4.25 FECCTMD レジスタの内容

ビット位置	ビット名	機能
15 ~ 8	KEY[7:0]	キーコード CECCVE ビット、DECCVE ビット、および ECCDISE ビットの書き換えの可否を制御します。
7、6	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
5	CECCVE	Code Flash メモリ ECC 領域ペリファイ有効 Code Flash メモリ書き換え時のペリファイ動作方式を指定するビットです。 0: データ領域のみをペリファイする 1: データ領域と ECC 領域をペリファイする
4	DECCVE	Data Flash メモリ ECC 領域ペリファイ有効 Data Flash メモリ書き換え時のペリファイ動作方式を指定するビットです。 0: データ領域のみをペリファイする 1: データ領域と ECC 領域をペリファイする
3 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	ECCDISE	ECC エンコーダ無効 アドレスパリティ生成器 /ECC エンコーダを無効化するためのビットです。アドレスパリティ生成器 /ECC エンコーダが無効な場合には、FDMYECC レジスタの値が、フラッシュメモリに書き込まれます。 0: アドレスパリティ生成器 /ECC エンコーダが有効 1: アドレスパリティ生成器 /ECC エンコーダが無効

## 4.25 フラッシュダミー ECC レジスタ (FDMYECC)

FDMYECC レジスタは、FECCTMD レジスタの ECCDISE ビットが“1”の場合にフラッシュメモリに書き込まれるアドレスパリティおよび ECC の値を指定するためのレジスタです。Code Flash P/E モード時と Data Flash P/E モード時で、各ビットの機能が異なります。

**アクセス** 16 ビット単位でリード/ライト可能です。

**アドレス** FFA1 0108<sub>H</sub>

**リセット後の値** FFFF<sub>H</sub>

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DMYAP AR	DMYECC[8:0]								
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

表 4.26 FDMYECC レジスタの内容 (Code Flash P/E モード時)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	DMYAPAR	ダミーアドレスパリティ ECCDISE ビットが“1”の場合のアドレスパリティの値を指定するビットです。
8 ~ 0	DMYECC[8:0]	ダミー ECC ECCDISE ビットが“1”の場合の ECC の値を指定するビットです。

表 4.27 FDMYECC レジスタの内容 (Data Flash P/E モード時)

ビット位置	ビット名	機能
15 ~ 10	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
9	DMYAPAR	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
8、7	DMYECC[8:7]	予約ビット リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
6 ~ 0	DMYECC[6:0]	ダミー ECC ECCDISE ビットが“1”の場合の ECC の値を指定するビットです。

## 4.26 BFA 選択レジスタ (BFASCLR)

BFASCLR はコンフィギュレーション設定領域および OTP 設定領域を選択します。

**アクセス** 8ビット単位でリード/ライト可能です。

**アドレス** FFC5 9008<sub>H</sub>

**リセット後の値** 注1

ビット	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	BFAA
リセット後の値	0	0	0	0	0	0	0	注1
R/W	R	R	R	R	R	R	R	R/W

注1. 本ビットはシリアルプログラミングモードで起動時に“1”にセットされ、通常動作モードで起動時に“0”にクリアされます。

表 4.28 BFASCLR レジスタの内容

ビット位置	ビット名	機能
7～1	予約ビット	リードした場合はリセット後の値が読めます。ライトする場合はリセット後の値を書いてください。
0	BFAA	領域選択 <sup>注1</sup> 0: コンフィギュレーション設定領域および OPT 設定領域は読み出しできません。 1: コンフィギュレーション設定領域および OPT 設定領域は読み出しできます。本ビットが“1”のとき、0000_0000 <sub>H</sub> ～0100_7FFF <sub>H</sub> は予約領域です。

注1. BFAA の切り替えは、BFAA ビットにより切り替わる前の領域への全マスタによるすべてのリードアクセスが停止した後で行ってください。  
本ビットが“1”のとき、割込み発生時に、内蔵 RAM の CPU 例外ハンドラのベクタアドレスを設定することで 0000\_0000<sub>H</sub>～0100\_7FFF<sub>H</sub>へアクセスすることは避けてください。

## 4.27 セルフプログラミング ID 入力レジスタ 0～3 (SELFID0～3)

SELFID レジスタは、セルフプログラミング時の認証用 ID を入力するためのレジスタです。フラッシュメモリの特殊領域に予め設定した 128 ビットの ID と SELFID0～3 の値を比較することで、ID 認証を実施することが可能です。フラッシュメモリの特殊領域に格納する ID は、FACI のコンフィギュレーション設定コマンドで設定可能です。

**アクセス** 32 ビット単位でリード/ライト可能です。

**アドレス** FFA0 8000<sub>H</sub> (SELFID0)  
 FFA0 8004<sub>H</sub> (SELFID1)  
 FFA0 8008<sub>H</sub> (SELFID2)  
 FFA0 800C<sub>H</sub> (SELFID3)

**リセット後の値** 0000 0000<sub>H</sub>

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	SELFIDn[31:16] 注1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	SELFIDn[15:0] 注1															
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

注1. nは0～3

表 4.29 SELFID0～3 レジスタの内容

ビット位置	ビット名	機能
31～0	SELFIDn[31:0]	セルフプログラミング認証用 ID セルフプログラミング時の認証用 ID を入力するビットです。フラッシュメモリの特殊領域に予め設定した 128 ビットの ID と SELFIDn[31:0] を比較することで、ID 認証を実施することが可能です。 128 ビットの ID と SELFIDn[31:0] の対応は下記のとおりです。 ID[31:0] : SELFID0[31:0] ID[63:32] : SELFID1[31:0] ID[95:64] : SELFID2[31:0] ID[127:96] : SELFID3[31:0]

## 4.28 セルフプログラミング ID 認証ステータスレジスタ (SELFIDST)

SELFIDST レジスタは、セルフプログラミング時の ID 認証結果を示すレジスタです。フラッシュメモリの特殊領域に予め設定した 128 ビットの ID と SELFID0 ~ 3 レジスタの比較結果が、SELFIDST レジスタに示されます。フラッシュメモリの特殊領域に格納する ID は、FACI のコンフィギュレーション設定コマンドで設定可能です。

**アクセス** 8、16、32 ビット単位でリードのみ可能です。

**アドレス** FFA0 8010<sub>H</sub>

**リセット後の値** 0000 000X<sub>H</sub>

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	IDST
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 4.30 SELFIDST レジスタの内容

ビット位置	ビット名	機能
31 ~ 1	予約ビット	リードした場合はリセット後の値が読めます。
0	IDST	ID 認証ステータス フラッシュメモリの特殊領域に予め設定した 128 ビットの ID と SELFID0 ~ 3 レジスタの比較結果を示すビットです。 0: ID が一致 (セキュリティ解除状態) 1: ID が不一致 (セキュリティロック状態)

## 第5章 フラッシュ関連モード

### 5.1 フラッシュシーケンサの動作モード

フラッシュシーケンサには、**図 5.1** に示す 3 種類のモードがあります。モードの移行は、FENTRYR レジスタの書き込みで行います。

FENTRYR レジスタが 0000<sub>H</sub> の場合には、フラッシュシーケンサはリードモードになります。このモードでは、FACI コマンドを受け付けません。Code Flash メモリ、Data Flash メモリともに読み出しが可能です。

FENTRYR レジスタが 0001<sub>H</sub> の場合には、フラッシュシーケンサは Code Flash P/E モードになります。Code Flash P/E モードでは、FACI コマンドを使用して Code Flash メモリの書き込み/消去を実行可能です。このモードでは、Data Flash メモリの読み出しはできません。また、BGO 動作が不可能な条件下では、Code Flash メモリの読み出しもできません。BGO 動作が可能な条件下では、Code Flash メモリの読み出しが可能です。BGO 動作が可能な条件については、各製品のユーザーズマニュアルの記載を参照してください。

FENTRYR レジスタが 0080<sub>H</sub> の場合には、フラッシュシーケンサは Data Flash P/E モードになります。Data Flash P/E モードでは、FACI コマンドを使用して Data Flash メモリの書き込み/消去を実行可能です。このモードでは、Data Flash メモリの読み出しはできません。Code Flash メモリの読み出しは可能です。

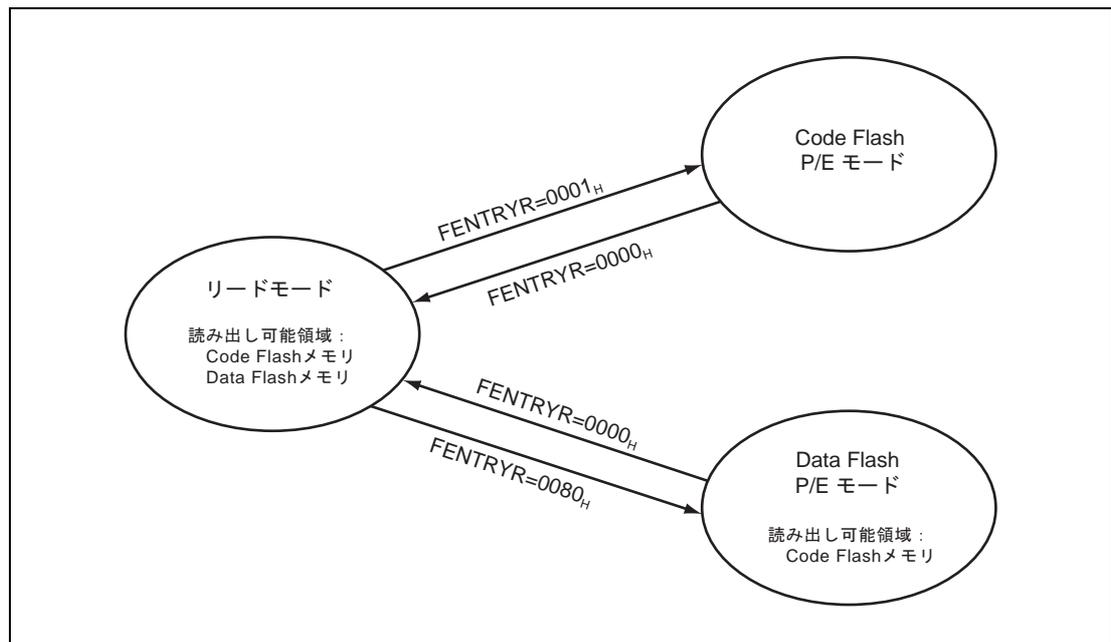


図 5.1 フラッシュシーケンサのモード

## 第6章 FACI コマンド

### 6.1 FACI コマンド一覧

表 6.1 FACI コマンド一覧

FACI コマンド	機能
プログラム	ユーザ領域、拡張ユーザ領域、データ領域を書き込みます。 ユーザ領域 / 拡張ユーザ領域の書き込み単位 : 256 バイト データ領域の書き込み単位 : 4 バイト
DMA プログラム	DMA コントローラと連携して、データ領域を書き込みます。 書き込み単位 : 4 ~ 64K バイト (4 バイト単位で指定)
ブロックイレーズ	ユーザ領域、拡張ユーザ領域、ロックビット、データ領域を消去します。 消去単位 : 1 ブロック
P/E サスペンド	書き込み、または消去の処理を中断します。
P/E レジューム	中断した書き込み / 消去の処理を再開します。
ステータスクリア	FSTATR レジスタの OTPDCT / OTPCRCT / ILGLERR / ERSERR / PRGERR / CFGDTCT / CFGCRCT / TBLDTCT / TBLCRCT ビットを初期化して、フラッ シュシーケンサのコマンドロック状態を解除します。
強制終了	FACI コマンド処理を強制的に終了し、FSTATR レジスタを初期化します。
ブランクチェック	データ領域をブランクチェックします。 チェック単位 : 4 ~ 64K バイト (4 バイト単位で指定)
コンフィギュレーション設定	ID 設定、セキュリティ設定、セーフティ設定、オプションバイト設定を行いま す。 設定単位 : 16 バイト
ロックビットプログラム	ユーザ領域、拡張ユーザ領域のロックビットを書き込みます。 書き込み単位 : 1 ビット (1 ブロック分のロックビット)
ロックビットリード	ユーザ領域、拡張ユーザ領域のロックビットを読み出して、結果を FLKSTAT レジスタに格納します。 読み出し単位 : 1 ビット (1 ブロック分のロックビット)
OTP 設定	ユーザ領域、拡張ユーザ領域の OTP を設定します。 設定単位 : 16 バイト (128 ブロック分の OTP 設定)

FACI コマンド発行領域（表 3.1 参照）に対して、ライトアクセスを行うことで、FACI コマンドを発行できます。表 6.2 に示したライトアクセスを特定の状態で発行すると、フラッシュシーケンサが各コマンドに対応した処理を実行します（「6.2 フラッシュシーケンサの状態と FACI コマンドの関係」参照）。

表 6.2 FACI コマンドのフォーマット

FACI コマンド	ライト回数	FACI コマンド発行領域にライトするデータ			
		ライト 1 回目	ライト 2 回目注1	ライト 3 ~ (N + 2) 回目	ライト (N + 3) 回目
プログラム（ユーザ領域 / 拡張ユーザ領域） 256 バイト書き込み : N = 128	131	E8 <sub>H</sub>	80 <sub>H</sub> (=N)	WD <sub>1</sub> ~ WD <sub>128</sub>	D0 <sub>H</sub>
プログラム（データ領域） 4 バイト書き込み : N = 2	N+3	E8 <sub>H</sub>	02 <sub>H</sub> (=N)	WD <sub>1</sub> ~ WD <sub>N</sub>	D0 <sub>H</sub>
DMA プログラム N = 2 ~ 32768（偶数のみ）	N+2	EA <sub>H</sub>	N	WD <sub>1</sub> ~ WD <sub>N</sub>	—
ブロックイレーズ	2	20 <sub>H</sub>	D0 <sub>H</sub>	—	—
P/E サスペンド	1	B0 <sub>H</sub>	—	—	—
P/E レジューム	1	D0 <sub>H</sub>	—	—	—
ステータスクリア	1	50 <sub>H</sub>	—	—	—
強制終了	1	B3 <sub>H</sub>	—	—	—
ブランクチェック	2	71 <sub>H</sub>	D0 <sub>H</sub>	—	—
コンフィギュレーション設定 N = 8	11	40 <sub>H</sub>	08 <sub>H</sub> (=N)	WD <sub>1</sub> ~ WD <sub>8</sub>	D0 <sub>H</sub>
ロックビットプログラム	2	77 <sub>H</sub>	D0 <sub>H</sub>	—	—
ロックビットリード	2	71 <sub>H</sub>	D0 <sub>H</sub>	—	—
OTP 設定 N = 8	11	45 <sub>H</sub>	08 <sub>H</sub> (=N)	WD <sub>1</sub> ~ WD <sub>8</sub>	D0 <sub>H</sub>

備考 WD<sub>N</sub> (N=1,2,...) : N 番目の 16 bit 書き込みデータ

注 1. DMA プログラムコマンド以外の場合、ライトするデータは 8 ビットです。DMA プログラムコマンドの場合には、ライトするデータは 16 ビットです。

フラッシュシーケンサは、ステータスクリア以外のコマンド処理を開始すると FSTATR レジスタの FRDY ビットを“0”に設定し、コマンド処理を完了すると FRDY ビットを“1”に設定します（「4.7 フラッシュステータスレジスタ (FSTATR)」参照）。

FRDY ビットが“0”から“1”に変化すると、フラッシュレディー (FRDY) 割り込みが発生します。

## 6.2 フラッシュシーケンサの状態と FACI コマンドの関係

フラッシュシーケンサの各モード/状態を受け付け可能な FACI コマンドが決められています。FACI コマンドの発行は、フラッシュシーケンサを Code Flash P/E モードまたは Data Flash P/E モードに移行させた後、フラッシュシーケンサの状態を確認してから実施する必要があります。フラッシュシーケンサの状態の確認には、FSTATR レジスタと FASTAT レジスタを使用してください。なお、FASTAT レジスタの CMDLK ビットの値によって、エラーの発生有無を確認することができます。FSTATR レジスタの OTPDTCT / ILGLERR / ERSERR / PRGERR / FLWEERR / CFGDTCT / TBLDTCT ビットの値の論理和です。

各モードで使用可能なコマンドを表 6.3 に示します。

表 6.3 各モードで使用可能なコマンド

モード	FENTRYR	使用可能なコマンド
リードモード	0000 <sub>H</sub>	なし
Code Flash P/E モード	0001 <sub>H</sub>	プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ロックビットプログラム ロックビットリード
Data Flash P/E モード	0080 <sub>H</sub>	プログラム DMA プログラム ブロックイレーズ P/E サスペンド P/E レジューム ステータスクリア 強制終了 ブランクチェック コンフィギュレーション設定 OTP 設定

表 6.4 にフラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係を示します。この表は、各コマンドの実行前に適切なモード設定されていることを前提に記載しています。

表 6.4 フラッシュシーケンサの状態と受け付け可能な FACI コマンドの関係

	書き込み/消去の処理中	コンフィギュレーション設定/ OTP 設定の処理中	書き込み/消去の中断処理中	ブロックチェック/ ロックビットリードの処理中	DMA プログラムの処理中	書き込みサスペンド中	消去サスペンド中	消去サスペンド中の書き込み処理中	コマンドロック状態 (FRDY = 1)	コマンドロック状態 (FRDY = 0)	ロックビットプログラムの処理中	強制終了のコマンド処理中	その他の状態
FRDY ビット	0	0	0	0	0	1	1	0	1	0	0	0	1
SUSRDY ビット	1	0	0	0	0	0	0	0	0	0	0	0	0
ERSSPD ビット	0	0	0/1	0/1	0	0	1	1	0/1	0/1	0	0	0
PRGSPD ビット	0	0	0/1	0/1	0	1	0	0	0/1	0/1	0	0	0
CMDLK ビット	0	0	0	0	0	0	0	0	1	1	0	0	0
プログラム	X	X	X	X	X	X	○ 注3	X	X	X	X	X	○
DMA プログラム	X	X	X	X	X	X	○ 注1, 注3	X	X	X	X	X	○ 注1
ブロックイレーズ	X	X	X	X	X	X	X	X	X	X	X	X	○
P/E サスペンド	○	X	X	X	X	X	X	X	--	X	X	X	--
P/E レジューム	X	X	X	X	X	○	○	X	X	X	X	X	X
ステータスクリア	X	X	X	X	X	○	○	X	○	X	X	X	○
強制終了	○	○	○	○	○	○	○	○	○	○	○	○	○
ブロックチェック	X	X	X	X	X	○ 注1	○ 注1	X	X	X	X	X	○ 注1
コンフィギュレーション設定	X	X	X	X	X	X	X	X	X	X	X	X	○ 注1
ロックビットプログラム	X	X	X	X	X	X	X	X	X	X	X	X	○ 注2
ロックビットリード	X	X	X	X	X	○ 注2	○ 注2, 注4	X	X	X	X	X	○ 注2
OTP 設定	X	X	X	X	X	X	X	X	X	X	X	X	○ 注1

○：受け付け可能、X：受け付け不可能（コマンドロック状態発生）、--：無視

注 1. Data Flash P/E モードでのみ受け付け可能

注 2. Code Flash P/E モードでのみ受け付け可能

注 3. 消去中断したブロック以外への書き込みのみ受け付け可能。

注 4. 消去中断したブロックのロックビットの読み出し結果は不定です。

## 6.3 FACI コマンドの使用法

本節では、FACI コマンドの使用法 / 使用例を記載します。

### 6.3.1 Code Flash P/E モード使用時の概略フロー

Code Flash P/E モードで FACI コマンドを使用する場合の概略フローを示します。Code Flash P/E モードで使用可能なコマンドは、表 6.3 を参照してください。Code Flash メモリ用の FACI コマンドを使用する前に、ID 認証によるセキュリティ解除が必要なことに注意してください。

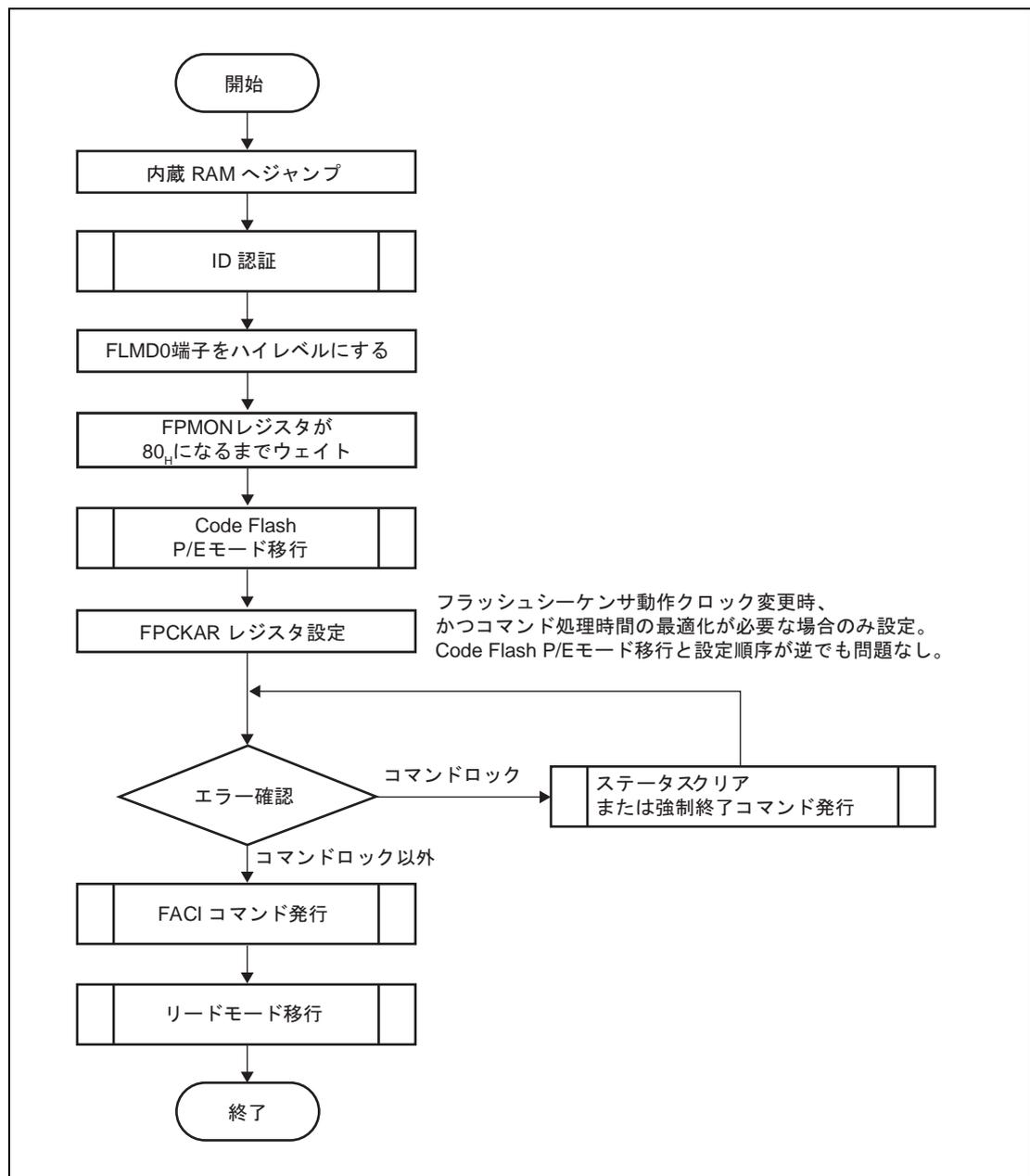


図 6.1 Code Flash P/E モード使用時の概略フロー

### 6.3.2 Data Flash P/E モード使用時の概略フロー

Data Flash P/E モードで FACI コマンドを使用する場合の概略フローを示します。Data Flash P/E モードで使用可能なコマンドについては、表 6.3 を参照してください。

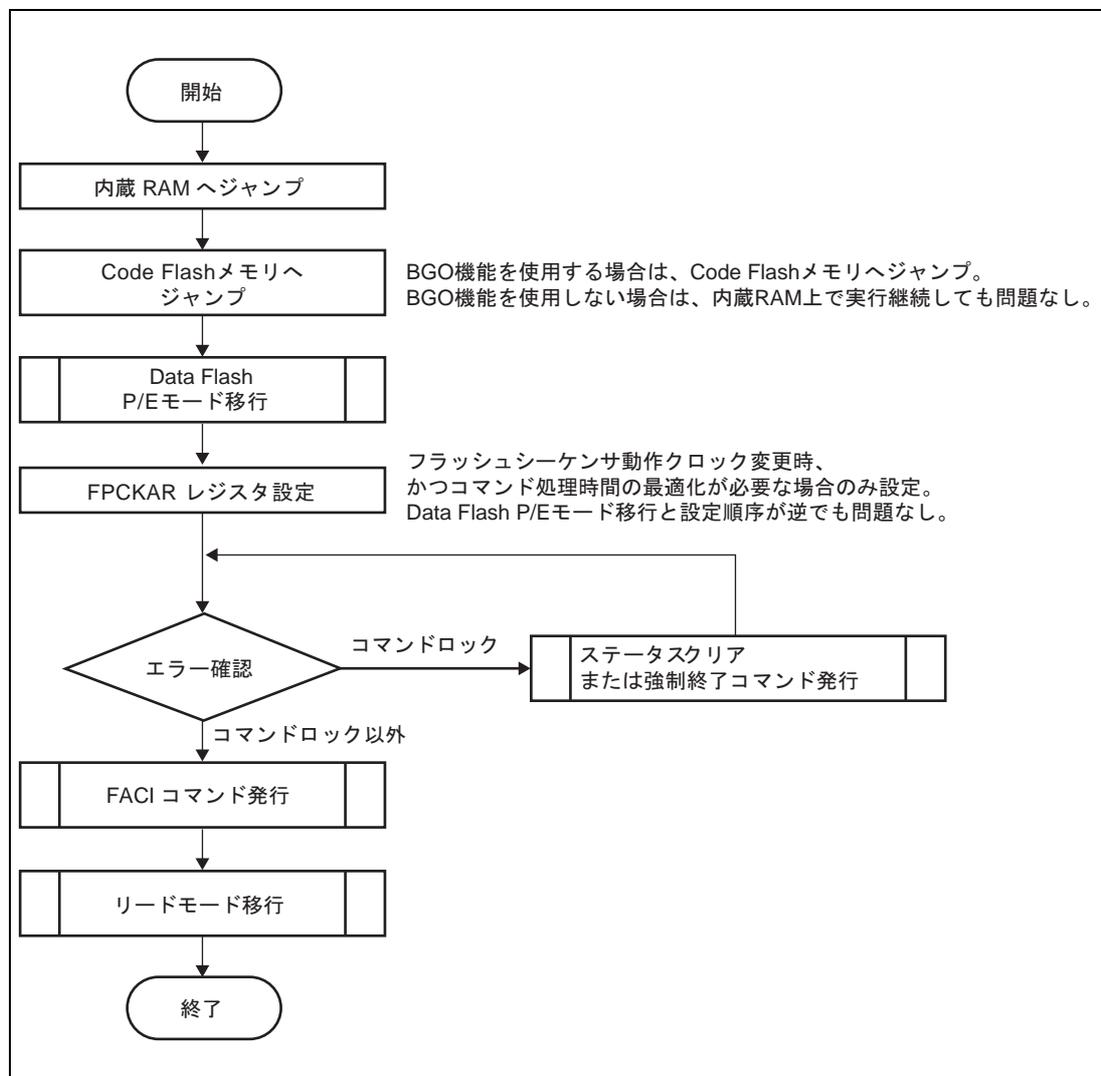


図 6.2 Data Flash P/E モード使用時の概略フロー

### 6.3.3 Code Flash P/E モード移行

Code Flash メモリ関連の FACI コマンドを使用するためには、Code Flash P/E モードに移行する必要があります。Code Flash P/E モードに移行するためには、FENTRYR レジスタの FENTRYRC ビットを“1”にします。

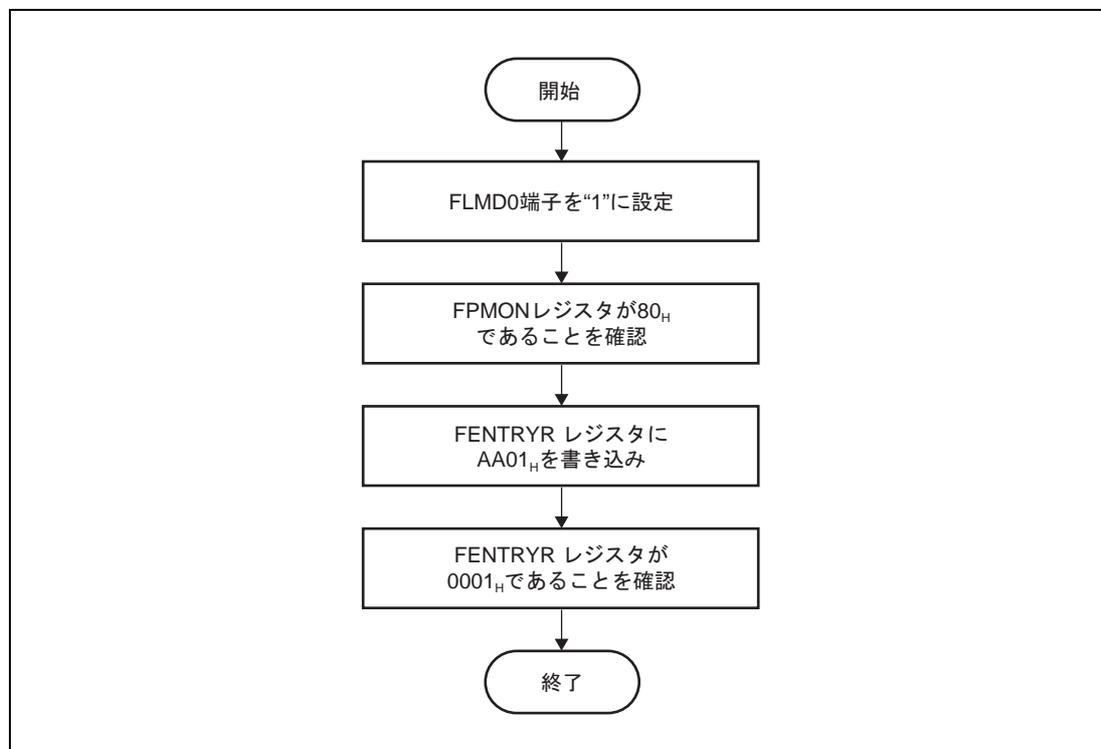


図 6.3 Code Flash P/E モード移行フロー

### 6.3.4 Data Flash P/E モード移行

Data Flash メモリ関連の FACI コマンドを使用するためには、Data Flash P/E モードに移行する必要があります。Data Flash P/E モードに移行するためには、FENTRYR レジスタの FENTRYRD ビットを“1”にします。

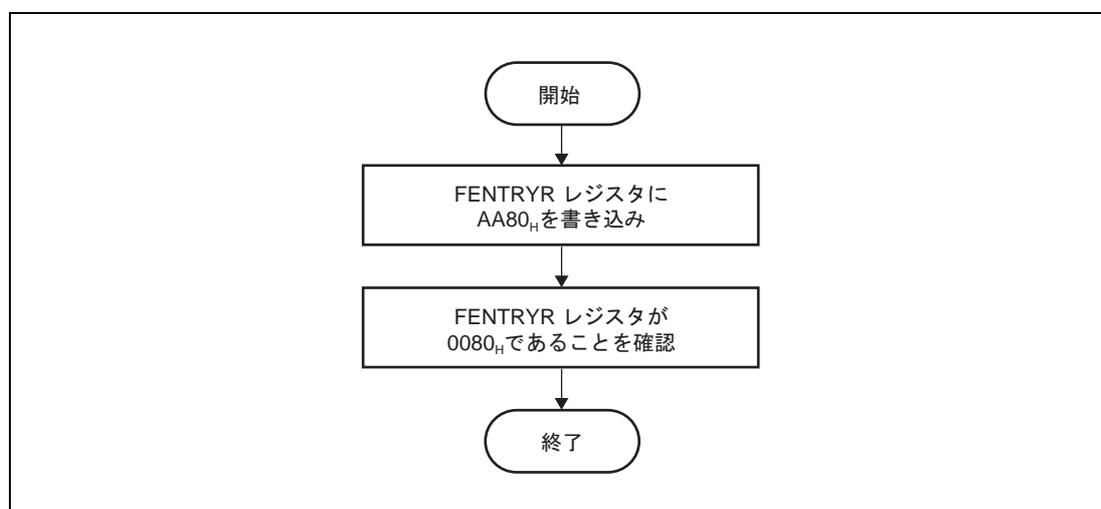


図 6.4 Data Flash P/E モード移行フロー

### 6.3.5 リードモード移行

BGO 動作以外でフラッシュメモリを読み出すためには、リードモードに移行する必要があります。リードモードに移行するためには、FENTRYR レジスタを 0000<sub>H</sub> にします。リードモードへの移行は、フラッシュシーケンサの処理が完了し、かつコマンドロック以外の状態で実施してください。

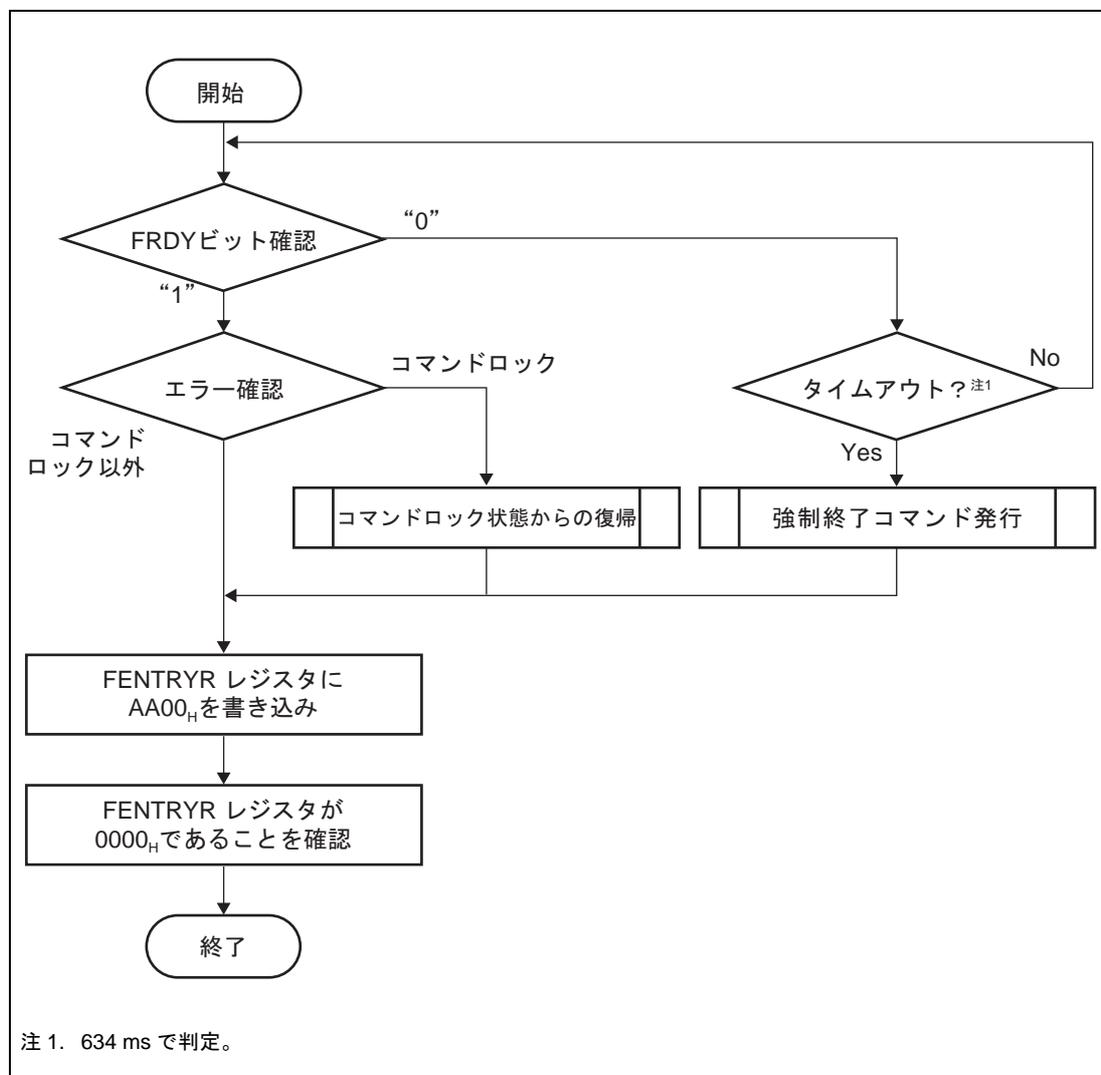


図 6.5 リードモード移行フロー

### 6.3.6 ID 認証

Code Flash P/E モードで FACI コマンドを使用するためには、ID 認証によるセキュリティ解除を行い、SELFIDST レジスタの IDST ビットを“0”にしておく必要があります。IDST ビットが“1”の場合には、FACI コマンドは受け付けられません。図 6.6 に、SELFID0～SELFID3 を使用した ID 比較および SELFIDST を使用した比較結果の確認方法を示します。

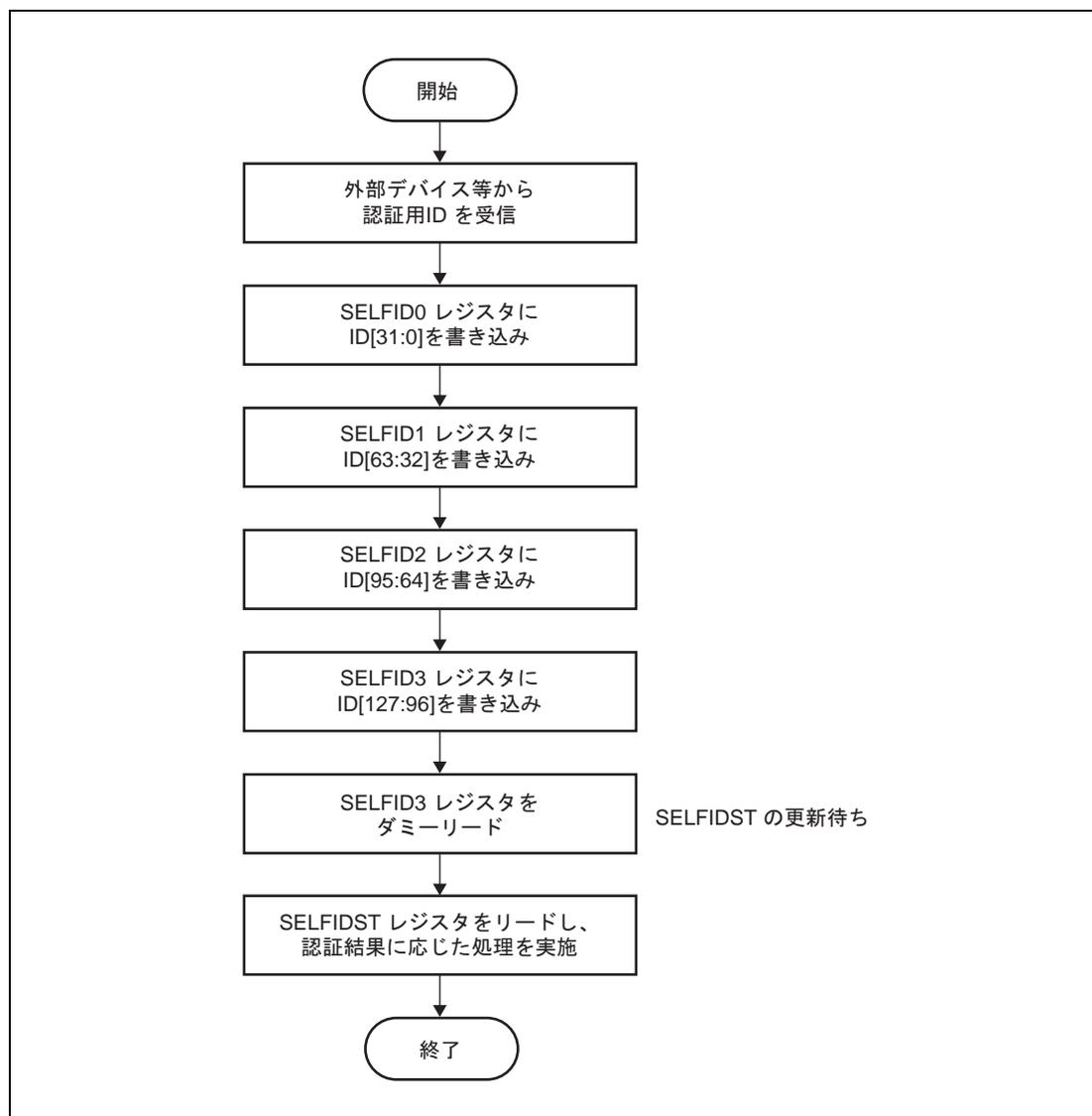


図 6.6 ID 比較のフロー

### 6.3.7 コマンドロック状態からの復帰

フラッシュシーケンサがコマンドロック状態になった場合には、FACI コマンドの受け付けができなくなります。コマンドロック状態を解除するためには、ステータスクリアコマンド、強制終了コマンド、または FASTAT レジスタを使用する必要があります。

P/E サスペンドコマンド発行前のエラー確認などでコマンドロック状態を検出した場合には、コマンド処理が完了しておらず FSTATR レジスタの FRDY ビットが“0”を保持している可能性があります。電気的特性で規定された最大の書き込み / 消去時間を越えても処理が完了しない場合には、タイムアウトと判断して強制終了コマンドでフラッシュシーケンサを停止させてください。

FSTATR レジスタの ILGLERR ビットが“1”の場合には、FASTAT レジスタの値を確認してください。FASTAT の CFAE ビットまたは DFAE ビットが“1”の場合には、ステータスクリア / 強制終了コマンドを発行しても、コマンドロックを解除できません。

FSTATR レジスタの FLWEERR ビットは、ステータスクリアコマンドでは“1”から“0”に更新できません。このビットが“1”の場合には、強制終了コマンドを使用して、コマンドロックを解除してください。その他のコマンドロック要因となるビットは、ステータスクリアコマンドまたは強制終了コマンドで“1”から“0”に更新可能です。

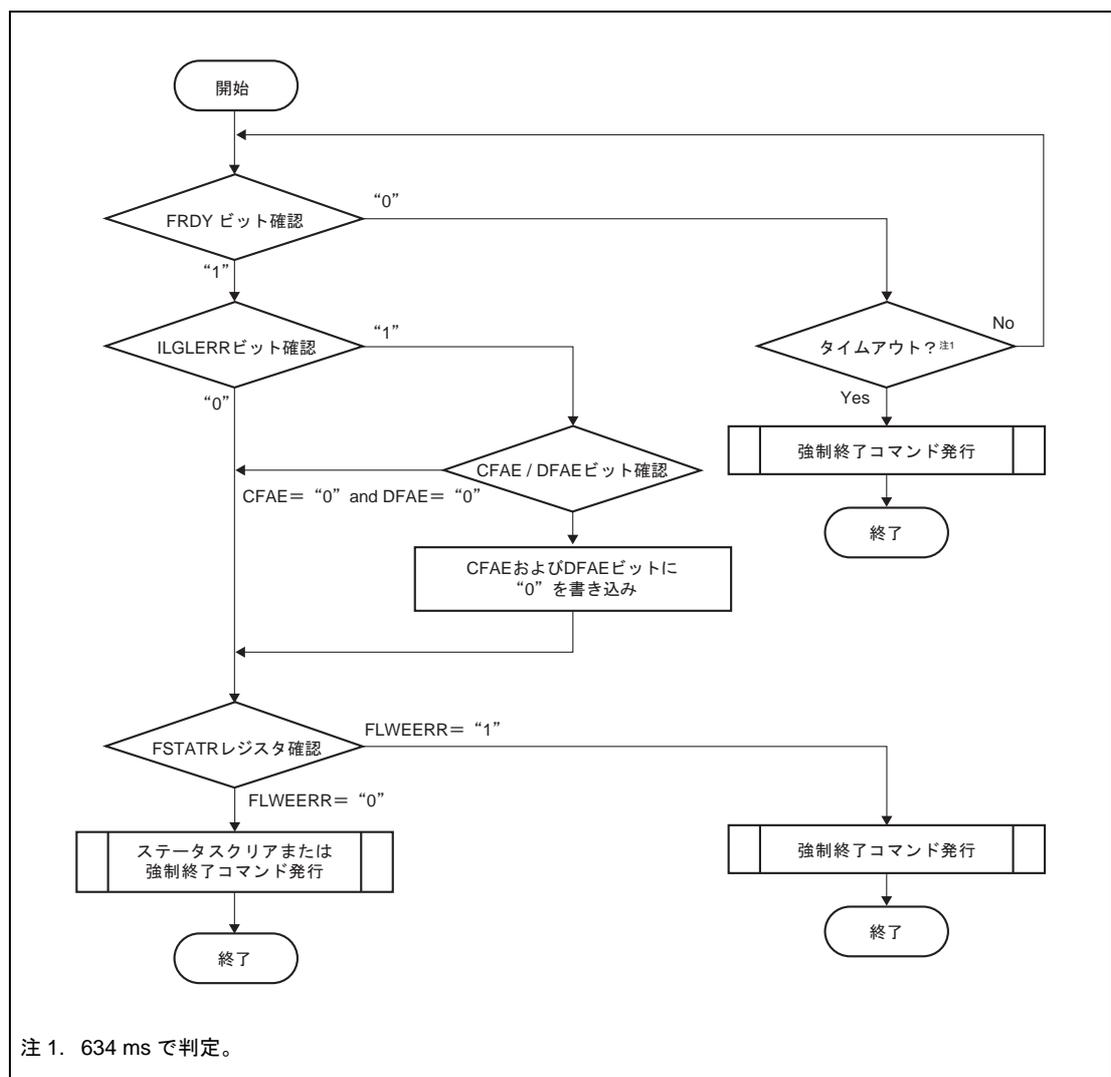


図 6.7 コマンドロック状態からの復帰方法

### 6.3.8 プログラムコマンドの発行

ユーザ領域、拡張ユーザ領域、データ領域の書き込みには、プログラムコマンドを使用しません。

プログラムコマンドを発行する前に、書き込み先の先頭アドレスを **FSADDR** レジスタに設定してください。FACI コマンド発行時の最終アクセスで **D0<sub>H</sub>** を FACI コマンド発行領域に書き込むと、プログラムコマンドの処理が開始されます。プログラムコマンドの処理対象領域に書き込み不要な領域が含まれる場合には、該当領域に対する書き込みデータを **FFFF<sub>H</sub>** にしてください。

**FPROTR** レジスタと **FAREASELC** レジスタは、プログラムコマンドを発行する前に設定する必要があります。**FPROTR** レジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。**FAREASELC** レジスタは、Code Flash メモリの書き換え対象領域を切り替える場合に設定を変更する必要があります。

FACI 内部のデータバッファがフルの状態、プログラムコマンドを発行し続けると、P-Bus にウェイトが発生し、他の周辺 IP の通信性能に影響を及ぼす可能性があります。ウェイト発生を回避する必要がある場合には、**FSTATR** レジスタの **DBFULL** ビットが“0”の状態、FACI コマンドを発行してください。なお、データ領域の書き込み時には、データバッファがフルになることはありません。

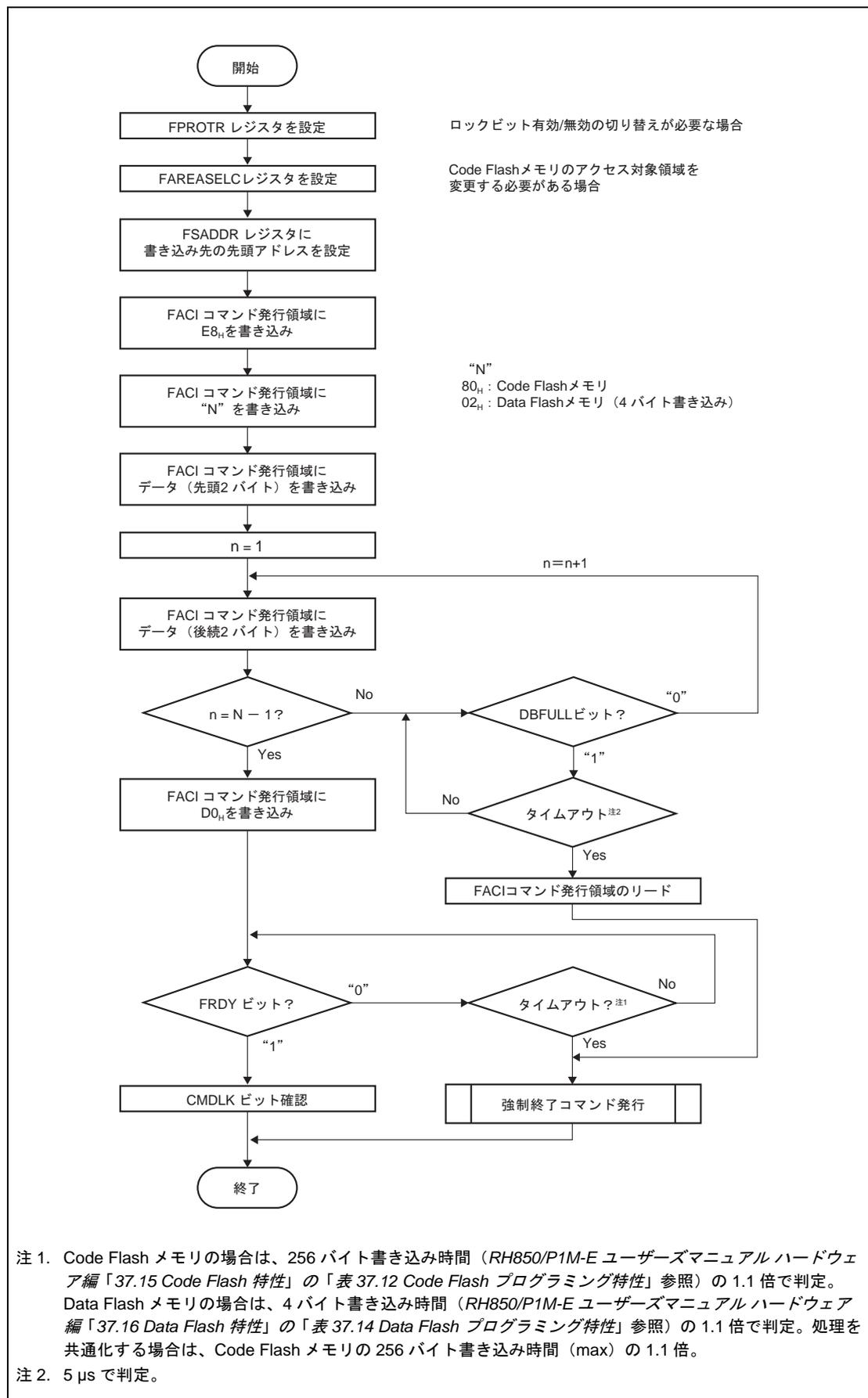


図 6.8 プログラムコマンドの使用方法

### 6.3.9 DMA プログラムコマンド

DMA プログラムコマンドを使用すると、DMAC から転送された複数の 4 バイトデータをデータ領域に書き込むことが可能です。このため、大量のデータを連続書き込みする場合に、CPU 負荷を軽減することができます。

プログラムコマンドを発行する前に、書き込み先の先頭アドレスを FSADDR レジスタに設定してください。また、書き込みデータを RAM に配置し、該当領域から FACL コマンド発行領域に対する DMA 転送が可能のように DMAC を設定してください。FACL は DMA プログラムコマンド受信直後および 4 バイトデータの書き込み完了ごとに、DMAC にデータ転送要求を発行します。DMAC には、データ転送要求 1 回に対して、2 バイトデータを 2 回転送する設定をしてください。DMAC の使用方法は、各製品のユーザーズマニュアルを参照してください。

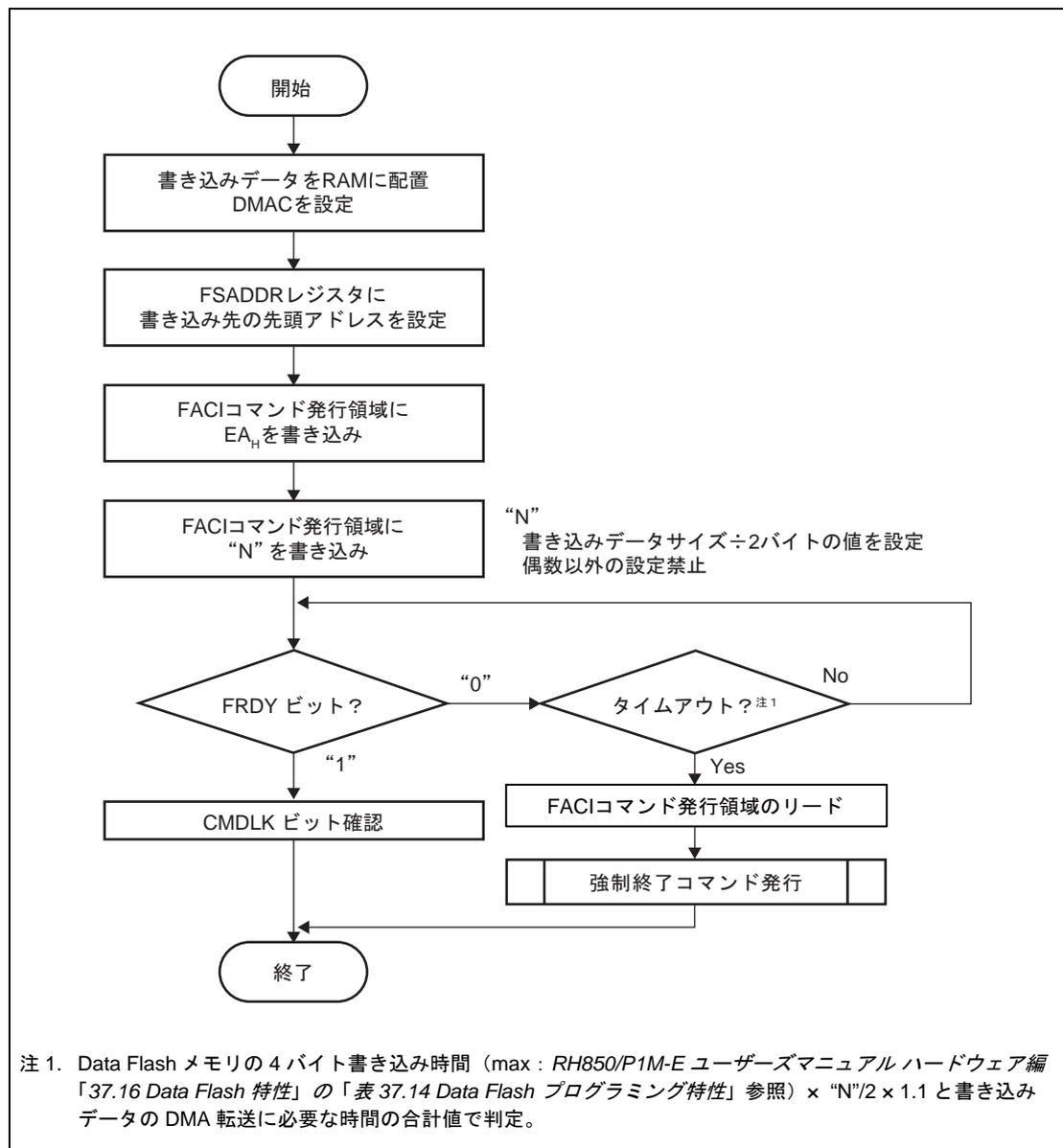


図 6.9 DMA プログラムコマンドの使用方法

### 6.3.10 ブロックイレーズコマンド

ユーザ領域、拡張ユーザ領域、ロックビット、データ領域の消去には、ブロックイレーズコマンドを使用します。

ブロックイレーズコマンドを発行する前に、消去先の先頭アドレスを **FSADDR** レジスタに設定してください。FACI コマンド発行領域に **20<sub>H</sub>** と **D0<sub>H</sub>** を書き込むと、ブロックイレーズコマンドの処理が開始されます。

**FPROTR** レジスタ、**FAREASELC** レジスタ、および **FCPSR** レジスタは、ブロックイレーズコマンドを発行する前に設定する必要があります。**FPROTR** レジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。ロックビットの消去を行う場合には、**FPROTR** レジスタの **FPROTCN** ビットを“1”にした状態でブロックイレーズコマンドを発行してください。**FAREASELC** レジスタは、Code Flash メモリの書き換え対象領域を切り替える場合に設定を変更する必要があります。**FCPSR** レジスタは、P/E サスペンドコマンドで消去処理を中断する場合の中断方式（サスペンド優先モード/消去優先モード）を切り替える場合に設定を変更する必要があります。

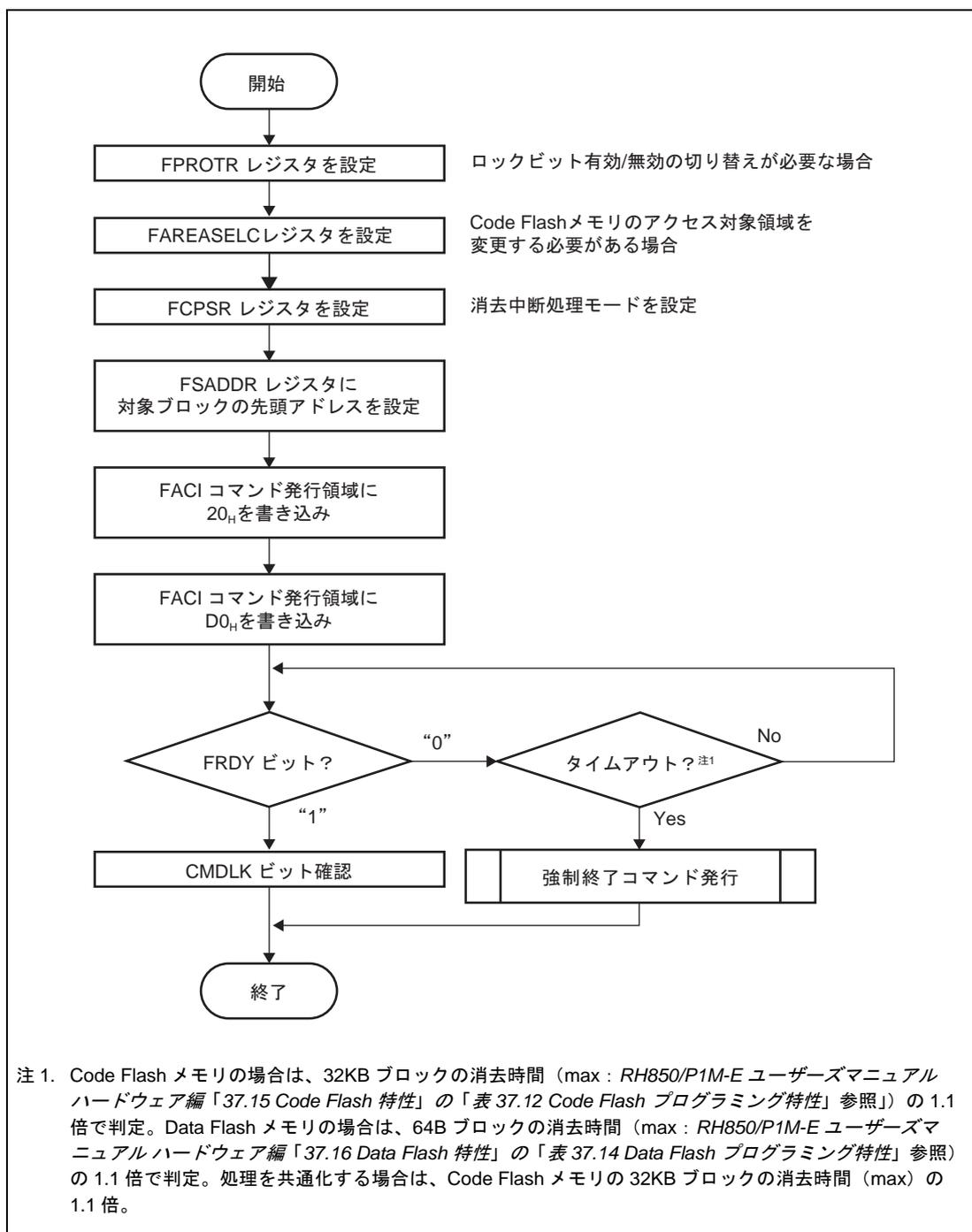


図 6.10 ブロックイレーズコマンドの使用法

### 6.3.11 P/E サスペンドコマンド

書き込み/消去処理の中断には、P/E サスペンドコマンドを使用します。P/E サスペンドコマンドを発行する場合には、事前に FSASTAT レジスタの CMDLK ビットが“0”で書き込み/消去処理が正常に実行されていることを確認してください。また、P/E サスペンドコマンドが受け付け可能であることを確認するために、FSTATR レジスタの SUSRDY ビットが“1”であることも確認してください。P/E サスペンドコマンドの発行後は、CMDLK ビットを読み出してエラーが発生していないことを確認してください。

書き込み/消去処理中に異常が発生した場合には、CMDLK ビットが“1”になります。SUSRDY ビットが“1”であることを確認してから P/E サスペンドコマンドが受け付けられるまでの間に書き込み/消去処理が完了していた場合には、エラーは発生せず、サスペンド状態にも遷移しません (FSTATR レジスタの FRDY ビットが“1”、かつ FSTATR レジスタの ERSSPD ビットと PRGSPD ビットが“0”)。

P/E サスペンドコマンドが受け付けられて、書き込み/消去の中断処理が正常に終了した場合には、フラッシュシーケンサがサスペンド状態に遷移して FRDY ビットが“1”、かつ ERSSPD ビットまたは PRGSPD ビットが“1”になります。P/E サスペンドコマンド発行後には、ERSSPD ビットまたは PRGSPD ビットが“1”で、サスペンド状態に遷移していることを確認した後に、後続するフローを決定してください。サスペンド状態に遷移していないにも関わらず、後続するフローで P/E レジュームコマンドを発行すると、不正コマンドエラーが発生しフラッシュシーケンサがコマンドロック状態に遷移します。

消去サスペンド状態に遷移した場合には、消去対象外のブロックに対する書き込みを実行することができます。また、書き込み/消去サスペンド状態ともに、FENTRYR レジスタをクリアすることにより、リードモードに移行することも可能です。

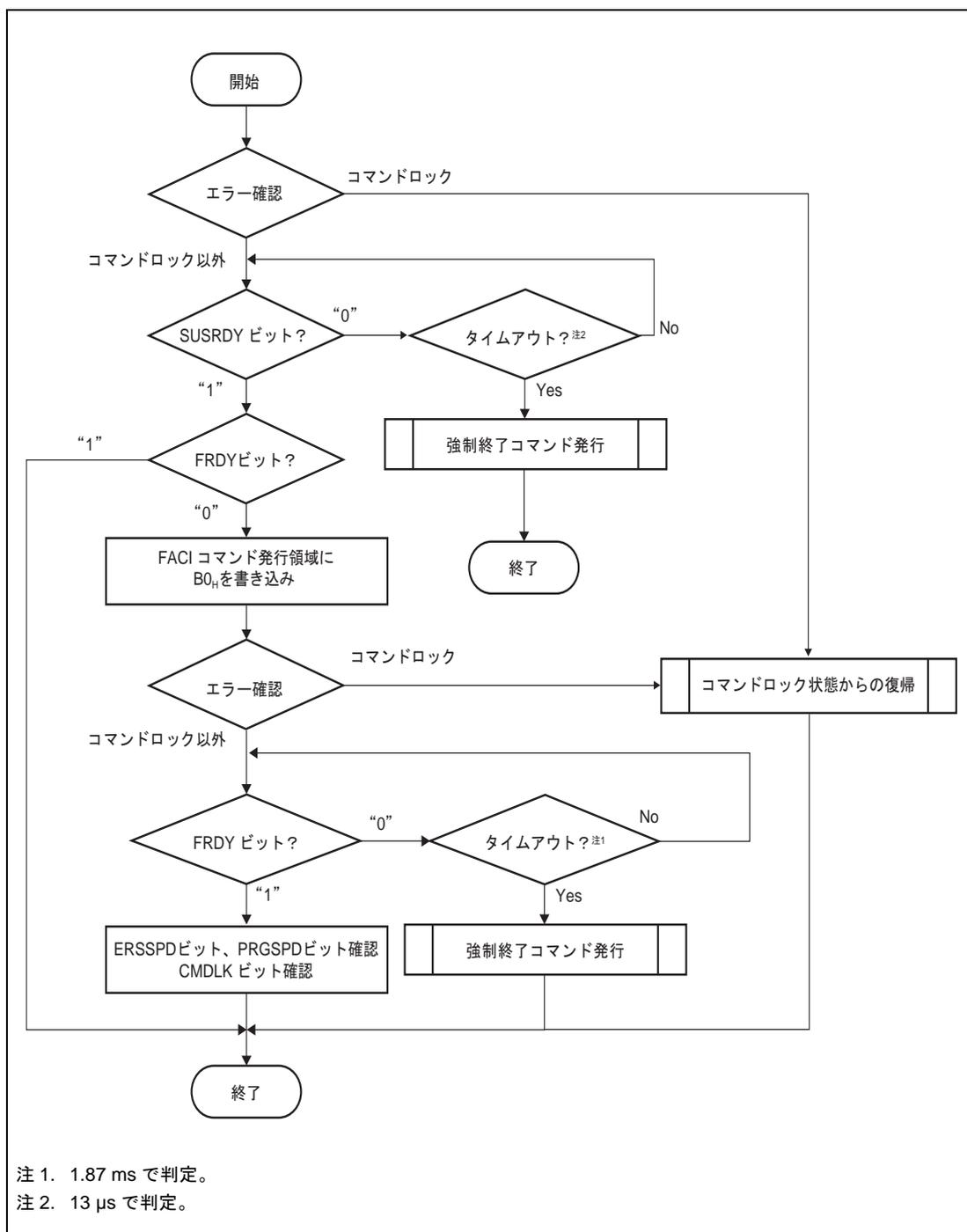


図 6.11 P/E サスペンドコマンドの使用方法

## (1) 書き込み中のサスペンド

フラッシュメモリへの書き込み処理中に P/E サスペンドコマンドを発行すると、フラッシュシーケンサは書き込み処理を中断します。図 6.12 に書き込み処理の中断動作を示します。フラッシュシーケンサは書き込み系のコマンドを受け付けると、FSTATR レジスタの FRDY ビットを“0”にして書き込み処理を開始します。書き込み処理の開始後にフラッシュシーケンサが P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR レジスタの SUSRDY ビットが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはコマンドを受け付けて SUSRDY ビットを“0”にします。書き込みパルス印加中にフラッシュシーケンサが P/E サスペンドコマンドを受け付けた場合には、フラッシュシーケンサはパルスの印加を継続します。所定のパルス印加時間を経過するとフラッシュシーケンサはパルスの印加を完了し、書き込みの中断処理を開始して FSTATR レジスタの PRGSPD ビットを“1”にします。

中断処理が完了すると、フラッシュシーケンサは FRDY ビットを“1”にして書き込みサスペンド状態に遷移します。書き込みサスペンド状態でフラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FRDY ビットと PRGSPD ビットを“0”にして書き込み処理を再開します。

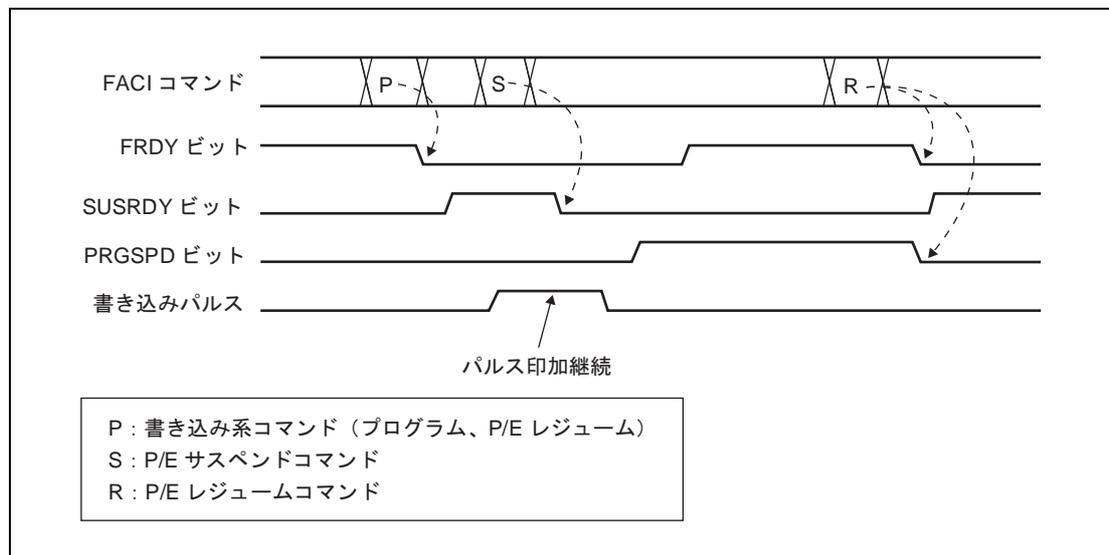


図 6.12 書き込み処理の中断動作

## (2) 消去中のサスペンド (サスペンド優先モード)

消去中のサスペンド方式として、サスペンド優先モードをサポートしています。図 6.13 に、サスペンド優先モード (FCPSR レジスタの ESUSPMD ビットが“0”) の場合の消去処理の中断動作を示します。フラッシュシーケンサは消去系のコマンドを受け付けると、FSTATR レジスタの FRDY ビットを“0”にクリアして消去処理を開始します。消去処理の開始後に FCU が P/E サスペンドコマンドを受け付け可能な状態に遷移すると、FSTATR レジスタの SUSRDY ビットが“1”になります。P/E サスペンドコマンドが発行されると、フラッシュシーケンサはサスペンドコマンドを受け付けて SUSRDY ビットを“0”にします。消去処理中にサスペンドコマンドを受け付けた場合には、フラッシュシーケンサは消去パルス印加中でも中断処理を開始して FSTATR レジスタの ERSSPD ビットを“1”にします。中断処理が完了すると、フラッシュシーケンサは FRDY ビットを“1”にして、消去サスペンド状態に遷移します。消去サスペンド状態で、フラッシュシーケンサが P/E レジュームコマンドを受け付けた場合には、フラッシュシーケンサは FRDY ビットと ERSSPD ビットを“0”にして、消去処理を再開します。消去処理の中断/再開時の FRDY、SUSRDY、ERSSPD ビット動作は、消去中断処理モードに依存せず同様です。

消去中断処理モードの設定は、消去パルスの制御方式に影響を与えます。サスペンド優先モードでは、過去に中断されたことのない消去パルス A を印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を中断して消去サスペンド状態に遷移します。P/E レジュームコマンドにより消去が再開され、消去パルス A を再印加している期間に、P/E サスペンドコマンドを受け付けた場合には、消去パルス A の印加を継続します。所定のパルス印加時間を経過すると、フラッシュシーケンサは消去パルスの印加を完了して消去サスペンド状態に遷移します。次にフラッシュシーケンサが P/E レジュームコマンドを受け付けて、新たな消去パルス B の印加が開始された後に、再び P/E サスペンドコマンドを受け付けた場合には、消去パルス B の印加は中断されます。サスペンド優先モードでは、1 パルスあたり 1 回の割合で消去パルスの印加を中断してサスペンド処理を優先するため、サスペンドの遅延を小さくできます。

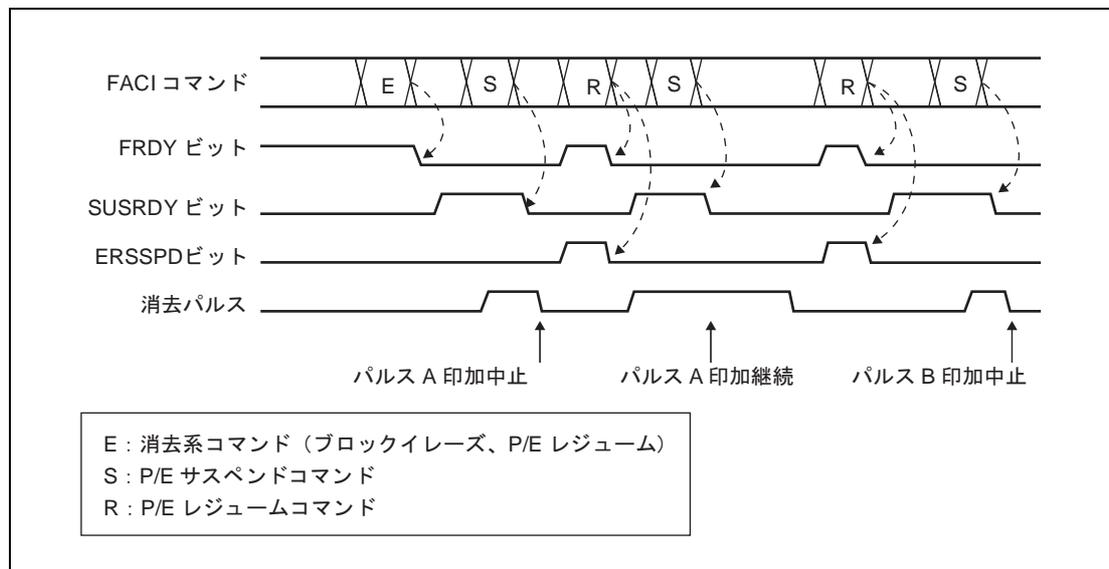


図 6.13 消去処理の中断動作 (サスペンド優先モード)

### (3) 消去中のサスペンド（消去優先モード）

消去中のサスペンドの方式として、消去優先モードをサポートしています。図 6.14 に消去優先モード（FCPSR レジスタの ESUSPMD ビットが“1”）の場合の消去処理の中断動作を示します。消去優先モードの消去パルス制御方式は、書き込み中断処理の書き込みパルス制御方式と同様です。

フラッシュシーケンサが消去パルス印加中に P/E サスペンドコマンドを受け付けた場合には、消去パルスの印加を継続します。このモードでは P/E レジュームコマンド発行時に消去パルスの再印加が発生しないため、サスペンド優先モードと比較して消去処理全体に必要な時間を短縮可能です。

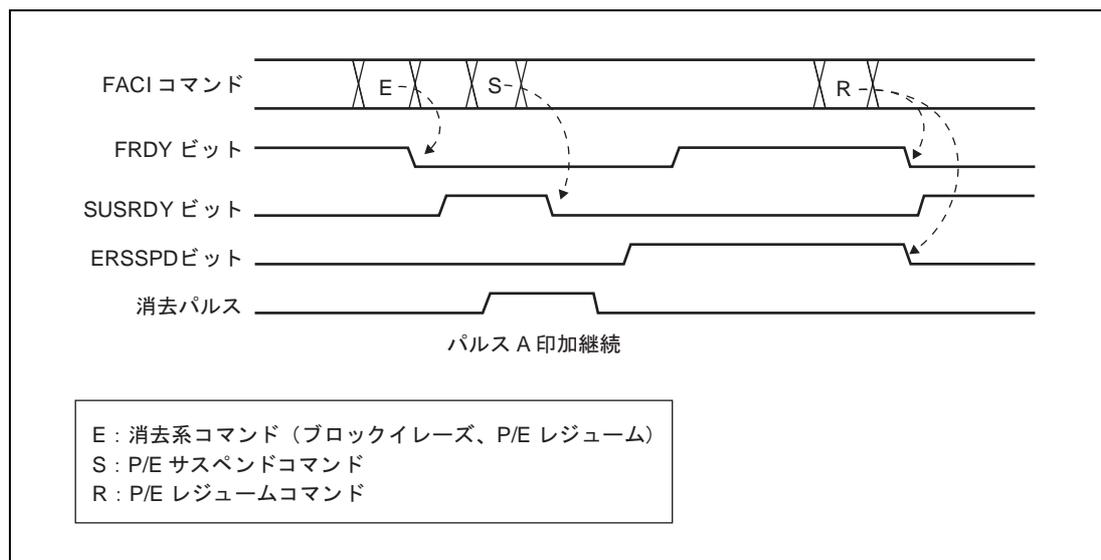


図 6.14 消去処理の中断動作（消去優先モード）

### 6.3.12 P/E レジュームコマンド

サスペンドした書き込み / 消去処理を再開したい場合には、P/E レジュームコマンドを使用します。サスペンド中に FENTRYR レジスタの設定を変更した場合には、P/E レジュームコマンドを発行する前に、FENTRYR レジスタの値を P/E サスペンドコマンド発行直前の値に再設定してください。

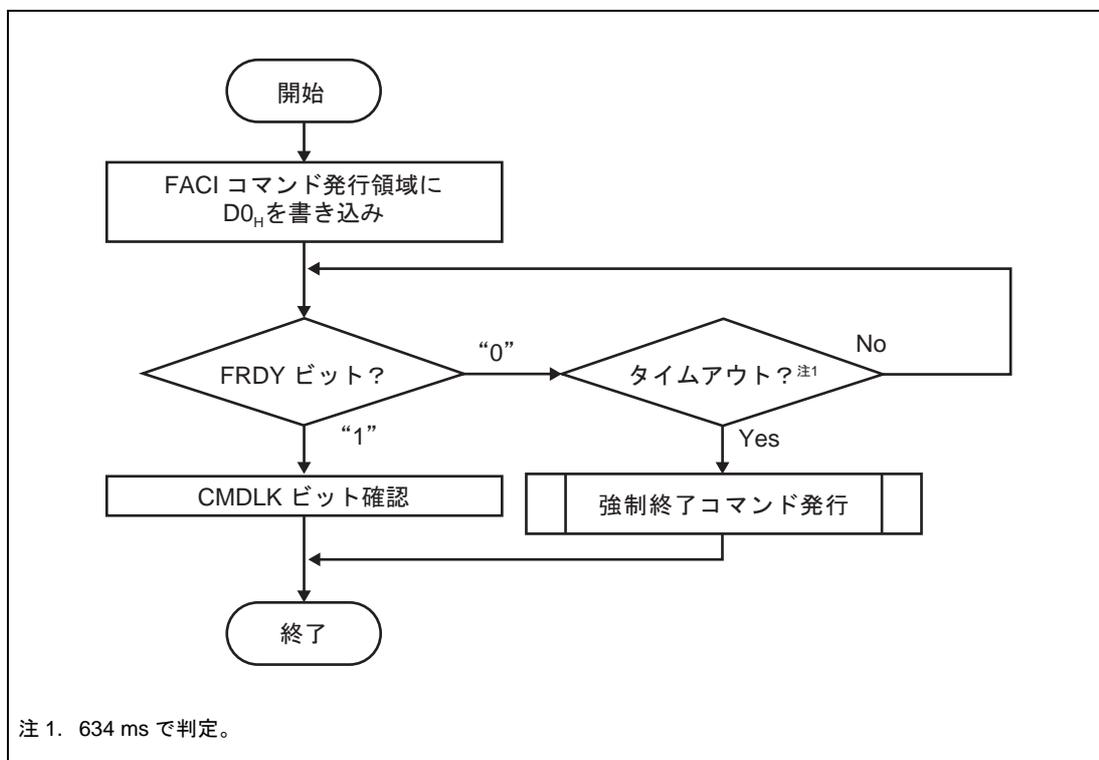


図 6.15 P/E レジュームコマンドの使用法

### 6.3.13 ステータスクリアコマンド

ステータスクリアコマンドは、コマンドロック状態を解除するために使用するコマンドです（「6.3.7 コマンドロック状態からの復帰」参照）。コマンドロック状態で、FSTATR レジスタの OTPDTCT / ILGLERR / ERSERR / PRGERR / CFGDTCT / TBLDTCT ビットをクリアしたい場合に、ステータスクリアコマンドを使用可能です。また、コマンドロックとはならない 1bit 訂正用のフラグ（OTPCRCT / CFGCRCT / TBLCRCT ビット）のクリアにも、ステータスクリアコマンドを使用可能です。

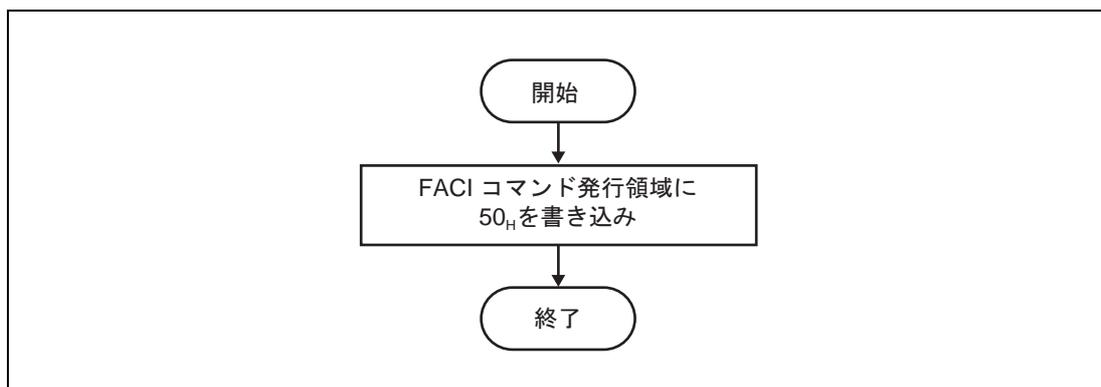


図 6.16 ステータスクリアコマンドの使用方法

### 6.3.14 強制終了コマンド

強制終了コマンドは、フラッシュシーケンサのコマンド処理を強制的に終了させるコマンドです。P/E サスペンドコマンドよりも高速にコマンド処理を中断可能ですが、中断した書き込み/消去領域のデータ値は保証されません。また、中断した処理を再開することもできません。強制終了コマンドで中断した書き込み/消去処理は、書き換え回数としては1回分と定義されます。

強制終了コマンドを実行すると、FCU 全体およびFACIの一部が初期化されます。また、FSTATR レジスタも初期化されます。このため、コマンドロック状態からの復帰手段や、フラッシュシーケンサ動作のタイムアウト処理でも、強制終了コマンドを利用することができます（「6.3.7 コマンドロック状態からの復帰」参照）。

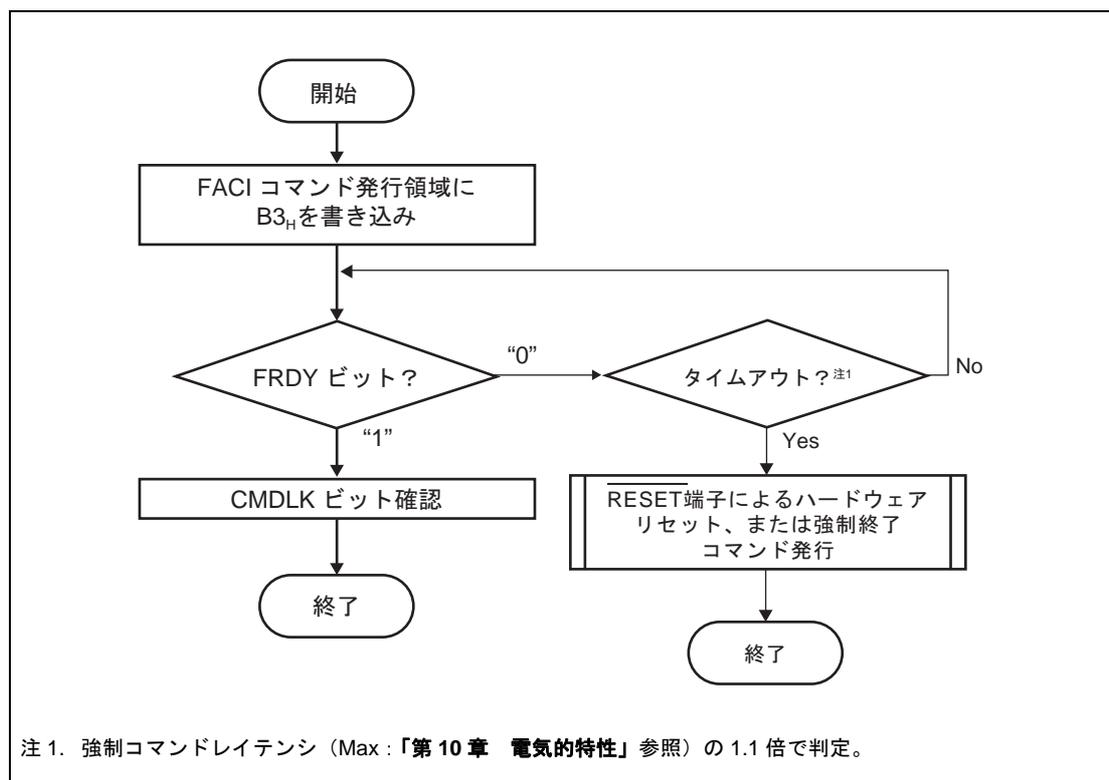


図 6.17 強制終了コマンドの使用方法

#### 6.3.14.1 コマンド発行中の強制終了コマンドの使用方法について

次のような場合、FACI コマンド発行領域への書き込みがプログラムコマンドの書き込みデータとして扱われることがあります。

- プログラムコマンドの DBFULL ビット判定でのタイムアウト発生時
- ECCエラー注入時の DBFULL ビットまたは EBFULL ビット判定でのタイムアウト発生時
- DMA プログラムコマンドのタイムアウト発生時に強制終了コマンドによる中断時

上記のような場合、FACI コマンド発行領域をリードして意図的にコマンドロックを発生させた後、コマンドロック状態からの復帰方法に従って強制終了コマンドを発行してください。なお、FACI コマンド発行領域のリードのアクセスサイズが8ビット/16ビット/32ビットのいずれの場合でも、コマンドロックを発生させることが可能です。

### 6.3.15 ブランクチェックコマンド

消去後に書き込んでいない状態（未書き込み状態）の Data Flash メモリの値は不定であるため、未書き込み状態の確認にはブランクチェックコマンドを使用する必要があります。なお、Code Flash メモリの未書き込み状態の確認方法については、「8.5 Code Flash メモリのブランクチェック」を参照してください。

ブランクチェックコマンドを発行する前に、アドレッシングモード、ブランクチェック対象領域の先頭アドレス/最終アドレスを FBCCNT レジスタ、FSADDR レジスタ、FEADDR レジスタに設定してください。FBCCNT レジスタの BCDIR ビットが“1”で、ブランクチェック処理のアドレッシングモードが減算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以上にする必要があります。FBCCNT レジスタの BCDIR ビットが“0”で、ブランクチェック処理のアドレッシングモードが加算モードの場合には、FSADDR レジスタの設定値を FEADDR レジスタの設定値以下にする必要があります。BCDIR ビット、FSADDR レジスタ、および FEADDR レジスタの設定値に矛盾がある場合には、フラッシュシーケンサはコマンドロック状態になります。ブランクチェック対象領域のサイズは4バイト～64Kバイトの範囲で、4バイト単位に設定可能です。

FACL コマンド発行領域に 71<sub>H</sub> と D0<sub>H</sub> を書き込むと、ブランクチェックの処理が開始されます。処理の完了は、FSTATR レジスタの FRDY ビットで確認可能です。処理完了時に、FBCSTAT レジスタの BCST ビットにブランクチェックの結果が格納されます。書き込み済みの領域がブランクチェック対象の領域に含まれている場合、フラッシュシーケンサは最初に検出した書き込み済みデータのアドレスを FPSADDR レジスタに格納します。

ブランクチェックは、正常に消去が完了した領域に対し、消去状態を確認する機能です。消去が中断（例：リセット入力、電源瞬断）された場合は、ブランクチェックによる消去状態の確認はできません。

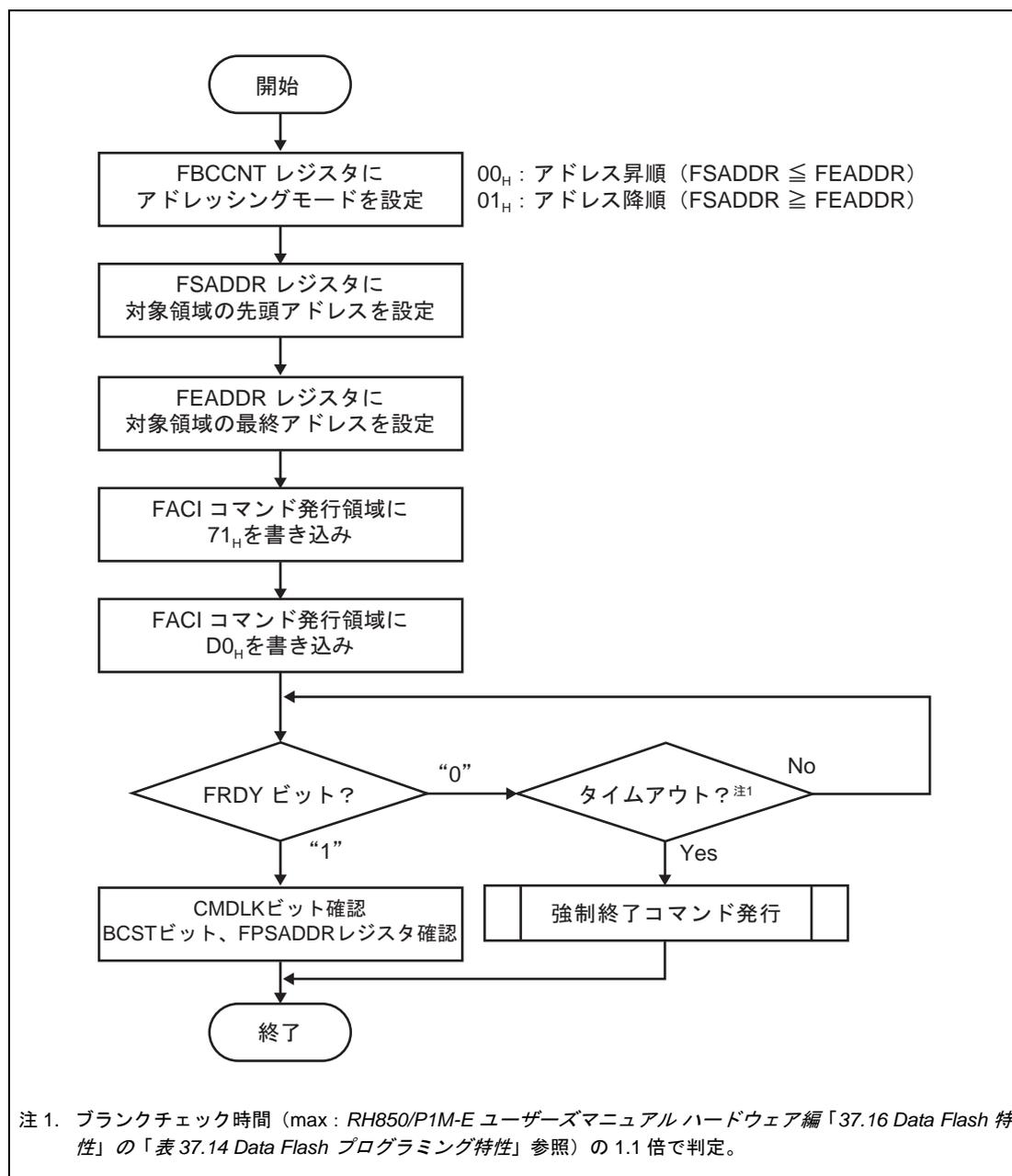


図 6.18 ブランクチェックコマンドの使用法

### 6.3.16 コンフィギュレーション設定コマンド

ID 設定、セキュリティ設定、セーフティ設定、オプションバイト設定を行うためのコマンドです。コンフィギュレーション設定コマンドを発行する前に、設定データのアドレス（表 6.5）を FSADDR レジスタに設定してください。FSCI コマンド発行時の最終アクセスで D0<sub>H</sub> を FSCI コマンド発行領域に書き込むと、コンフィギュレーション設定コマンドの処理が開始されます。

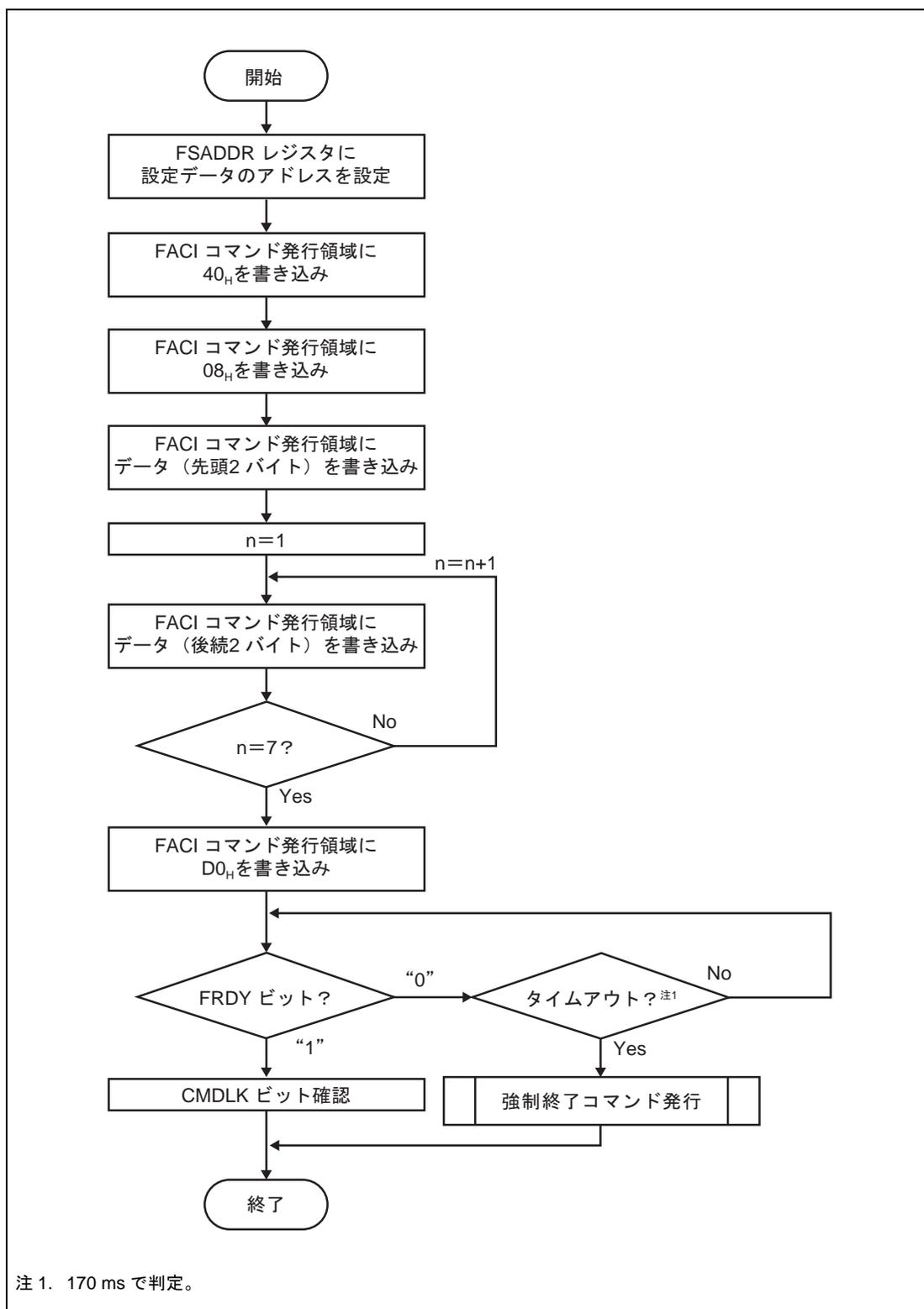


図 6.19 コンフィギュレーション設定コマンドの使用方法

コンフィギュレーション設定が可能なデータと、FSADDR に設定するアドレス値の対応は **表 6.5** のとおりです。セキュリティ設定領域のデータは、“0” に設定すると“1” に解除できません。他の領域のデータは、コンフィギュレーション設定コマンド実行の度に、任意の値に変更することが可能です。

**表 6.5** コンフィギュレーション設定コマンドで使用するアドレス

アドレス	設定データ
FF30 0070 <sub>H</sub>	オプションバイト
FF30 0060 <sub>H</sub>	可変リセットベクタ
FF30 0050 <sub>H</sub>	認証用 ID
FF30 0040 <sub>H</sub>	セキュリティ設定

各種セキュリティ機能を有効化する場合のセキュリティ設定データを **表 6.6** に示します。

**表 6.6** セキュリティ設定データ一覧

セキュリティ機能	セキュリティ設定データ (16 バイト)
シリアルプログラミングモード時の ID 認証機能有効	FFFF FFFF FFFF FFFF FFFF FFFF 1EFF FFFF <sub>H</sub>
シリアルプログラマ接続禁止	FFFF FFFF FFFF FFFF FFFF FFFF F7FF FFFF <sub>H</sub>
ブロック消去コマンド禁止	FFFF FFFF FFFF FFFF FFFF FFFF DFFF FFFF <sub>H</sub>
プログラムコマンド禁止	FFFF FFFF FFFF FFFF FFFF FFFF BFFF FFFF <sub>H</sub>
リードコマンド禁止	FFFF FFFF FFFF FFFF FFFF FFFF 7FFF FFFF <sub>H</sub>

対象レジスタの詳細については、「*ユーザーズマニュアル ハードウェア編*」の「オプションバイト」節を参照してください。

### 6.3.17 コンフィギュレーション設定領域の読み出し

コンフィギュレーション設定コマンドで書き込んだ値の確認などのために、コンフィギュレーション設定領域を読み出したい場合には、BFASLRレジスタのBFAAビットを“1”に設定してください。BFAAビットを“1”に設定するとユーザ領域をリードできなくなるため、コンフィギュレーション設定領域を読み出すソフトウェアは、内蔵RAM上で実行する必要があります。コンフィギュレーション設定領域内のアドレスマップは、表6.5を参照してください。

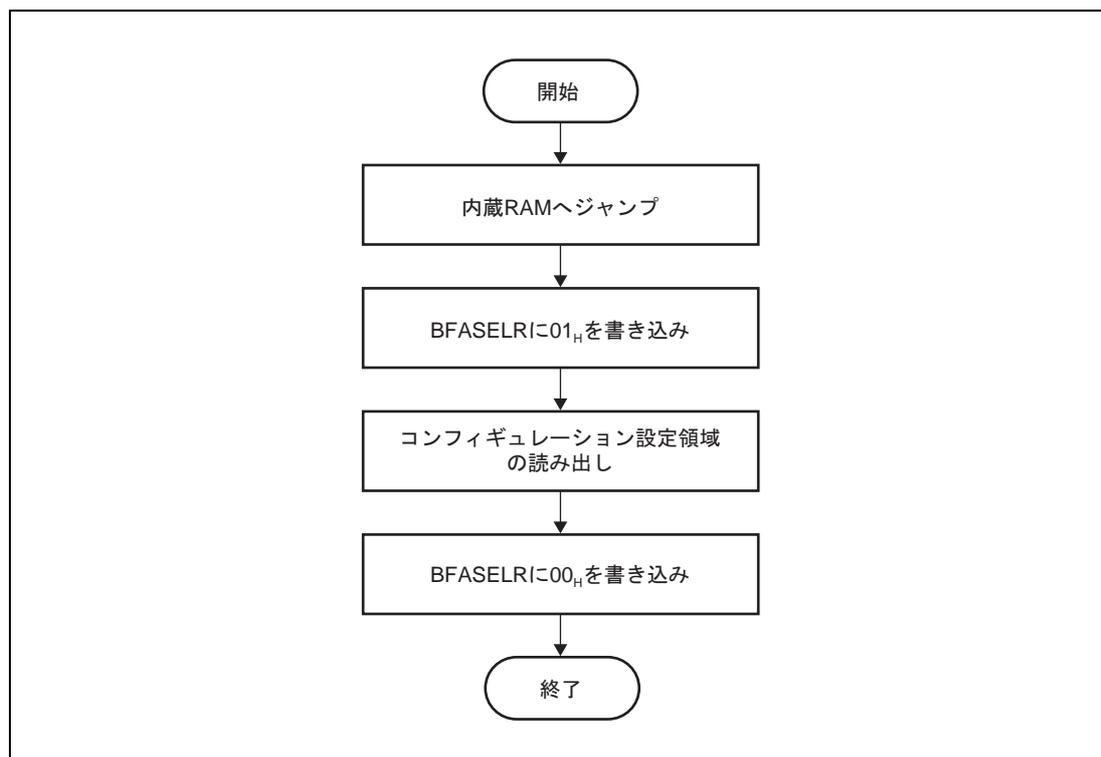


図 6.20 コンフィギュレーション設定領域の読み出しフロー

### 6.3.18 ロックビットプログラムコマンド

ロックビットの書き込みには、ロックビットプログラムコマンドを使用します。ロックビットの消去には、ブロックイレーズコマンドを使用します（「6.3.10 ブロックイレーズコマンド」参照）。

ロックビットプログラムコマンドを発行する前に、ロックビットを書き込みたいブロックの先頭アドレスを FSADDR レジスタに設定してください。FACI コマンド発行領域に 77<sub>H</sub> と D0<sub>H</sub> を書き込むと、ロックビットプログラムコマンドの処理が開始されます。

FPROTR レジスタ、FAREASELC レジスタは、ロックビットプログラムコマンドを発行する前に設定する必要があります。FPROTR レジスタは、ロックビットの有効/無効を切り替える場合に設定を変更する必要があります。FAREASELC レジスタは、Code Flash メモリの書き換え対象領域を切り替える場合に設定を変更する必要があります。

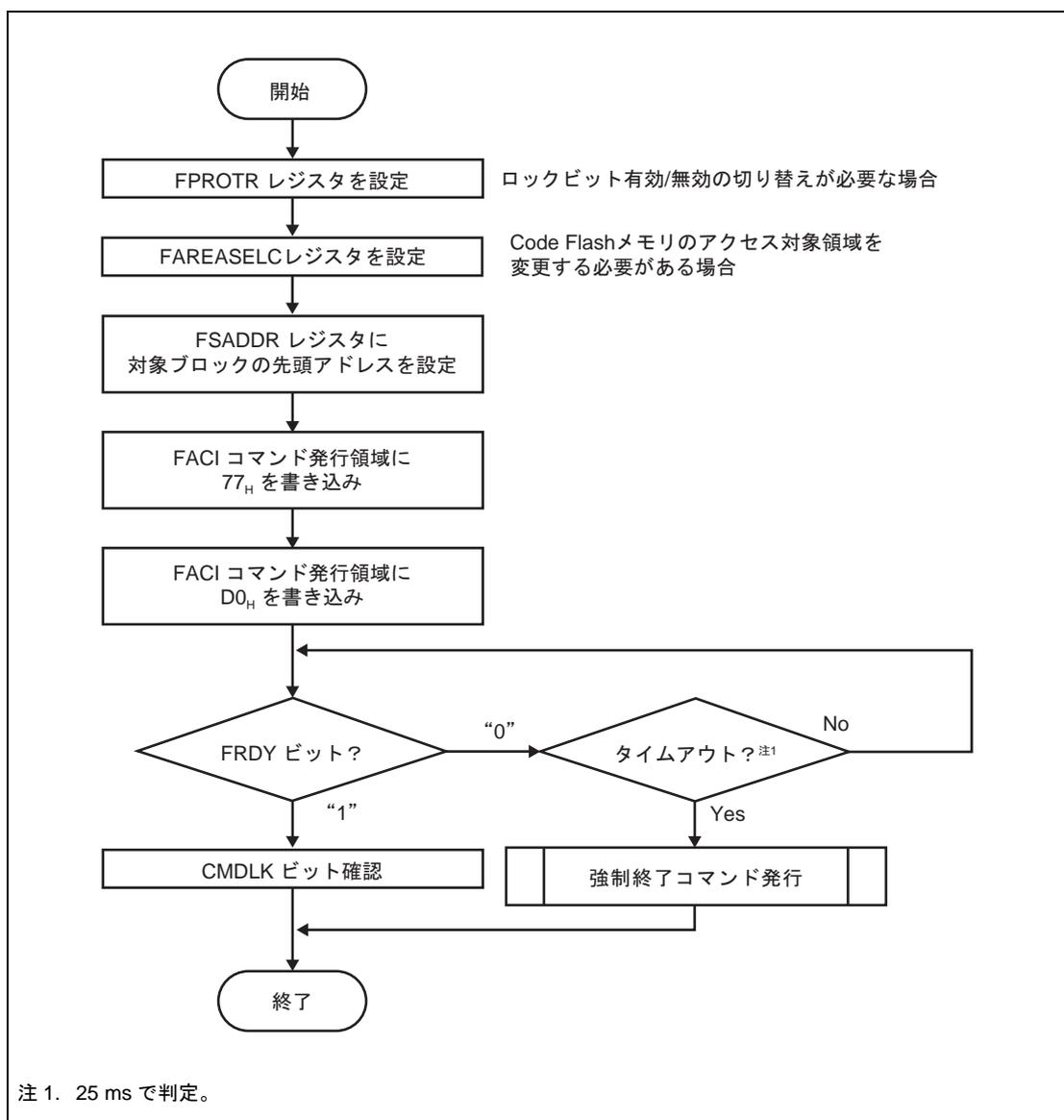


図 6.21 ロックビットプログラムコマンドの使用法

### 6.3.19 ロックビットリードコマンド

ロックビットの読み出しには、ロックビットリードコマンドを使用します。

ロックビットリードコマンドを発行する前に、読み出したいブロックの先頭アドレスを FSADDR レジスタに設定してください。FACL コマンド発行領域に  $71_H$  と  $D0_H$  を書き込むと、ロックビットリードコマンドの処理が開始されます。コマンド処理の完了は、FSTATR レジスタの FRDY ビットで確認可能です。処理が正常に完了した場合、FLKSTAT レジスタの FLOCKST ビットにロックビットリードの結果が格納されます。

FAREASELC レジスタは、ロックビットリードコマンドを発行する前に設定する必要があります。Code Flash メモリの書き換え対象領域を変更する必要がある場合には、設定を切り替えてください。

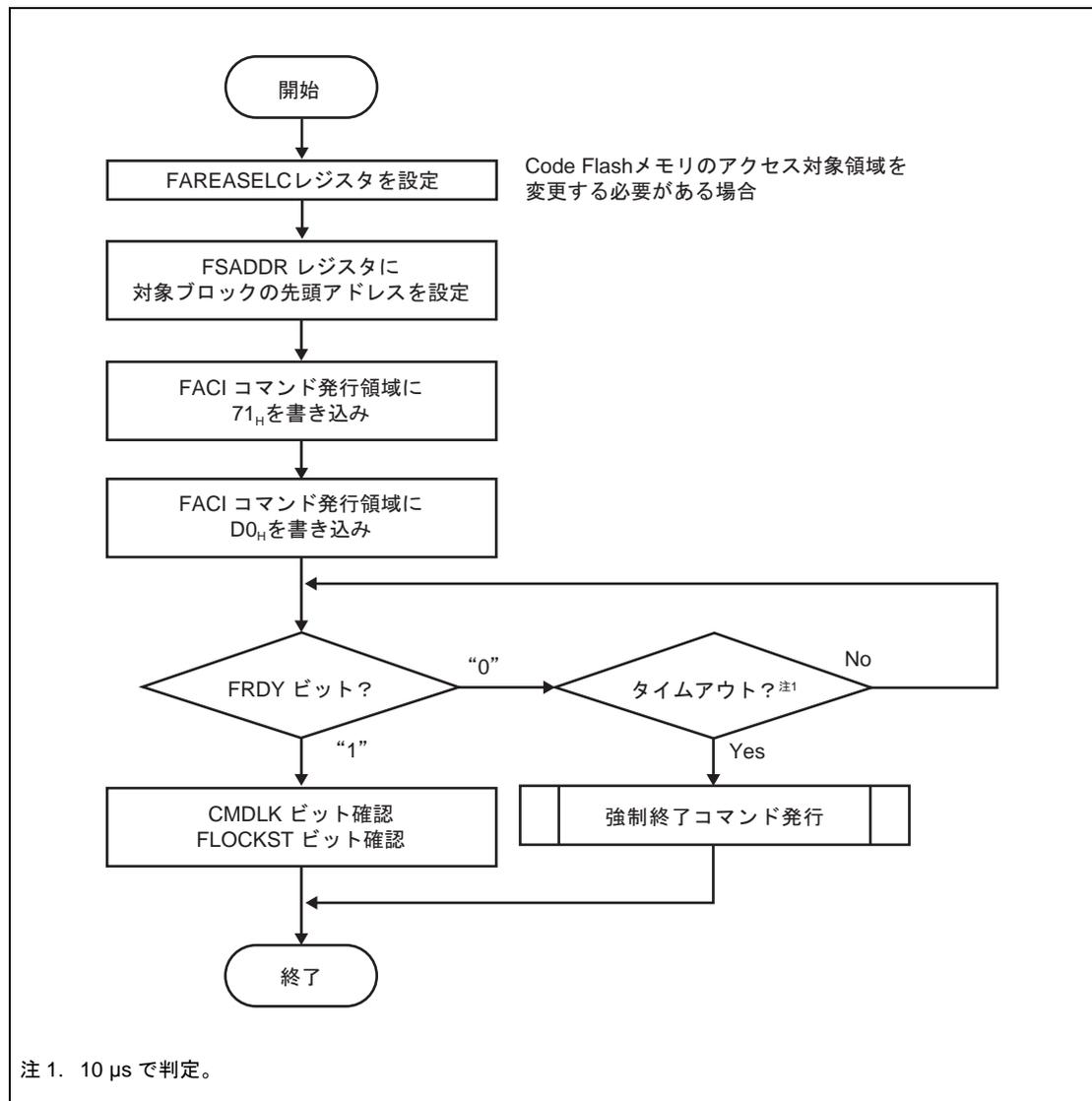


図 6.22 ロックビットリードコマンドの使用法

### 6.3.20 OTP 設定コマンド

OTP 設定を行うためのコマンドです。OTP 設定コマンドを発行する前に、設定データのアドレス（表 6.7 参照）を FSADDR レジスタに設定してください。FACI コマンド発行時の最終アクセスで D0<sub>H</sub> を FACI コマンド発行領域に書き込むと、OTP 設定コマンドの処理が開始されます。

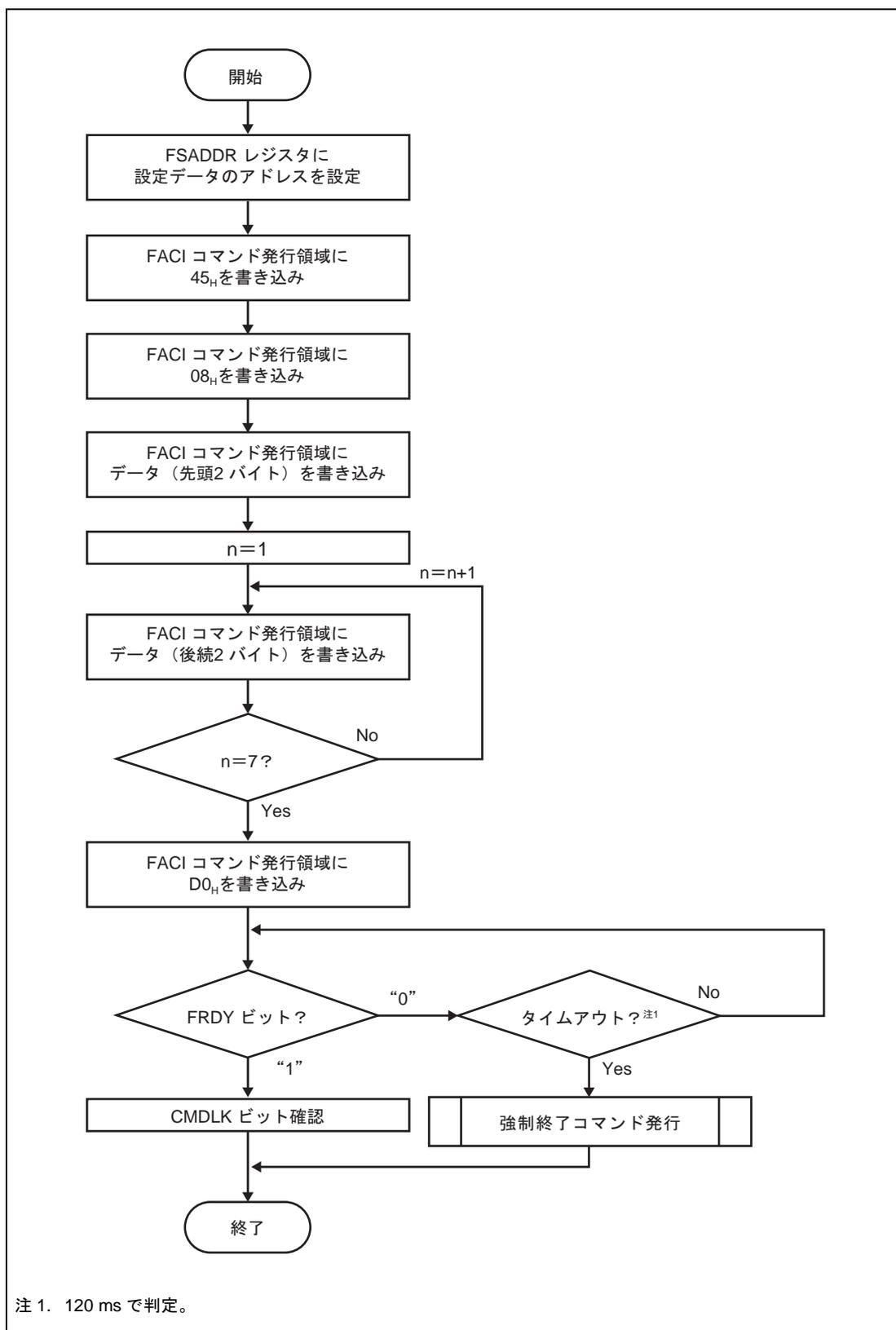


図 6.23 OTP 設定コマンドの使用法

図 6.24 にユーザ領域の各ブロックと OTP 設定用フラグの関係を示します。各 OTP 設定用フラグ (OTPF0 ~ 69) は、8KB × 8 ブロック + 32KB × 62 ブロックの各ブロックに対して割り当てられています。

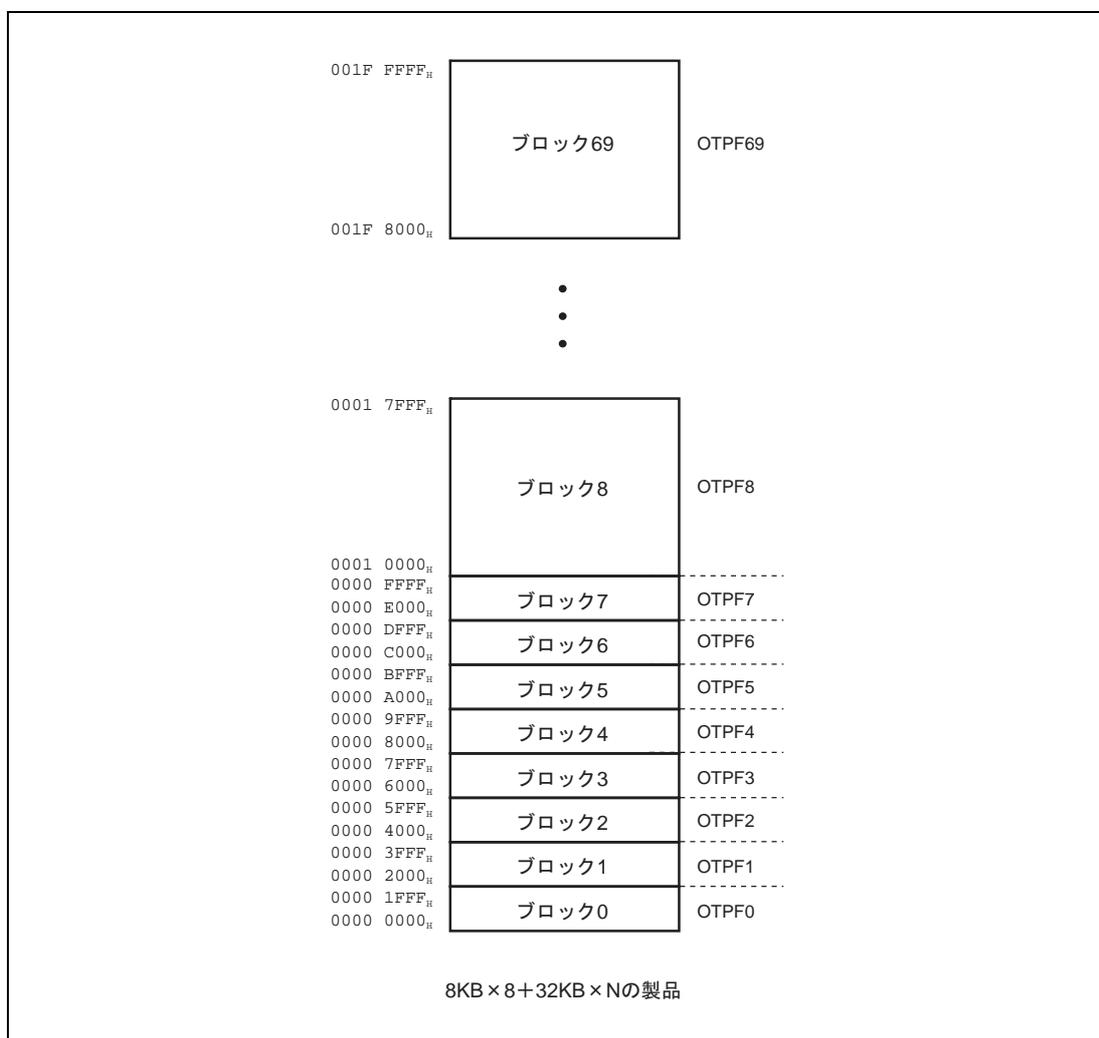


図 6.24 ユーザ領域の各ブロックと OTP 設定用フラグの関係

表 6.7 に OTP 設定コマンドで使用するアドレスを示します。“0”を設定したフラグに対応するブロックに OTP が設定されます。“0”に設定したフラグに対して、“1”を設定することはできません。

表 6.7 OTP 設定コマンドで使用するアドレス

アドレス	設定データ
FF38 0090 <sub>H</sub>	拡張ユーザ領域用 OTP フラグ (bit 0)
FF38 0080 <sub>H</sub>	予約領域 <sup>注1</sup>
FF38 0070 <sub>H</sub>	予約領域 <sup>注1</sup>
FF38 0060 <sub>H</sub>	予約領域 <sup>注1</sup>
FF38 0050 <sub>H</sub>	予約領域 <sup>注1</sup>
FF38 0040 <sub>H</sub>	予約領域 <sup>注1</sup> (bit 127 ~ 70)、OTPF69 (bit 69) ~ OTPF0 (bit 0)

注 1. 予約領域に“0”を設定しないでください。“0”を設定した場合の動作は保障できません。

### 6.3.21 OTP 設定領域の読み出し

OTP 設定コマンドで書き込んだ値の確認などのために、OTP 設定領域を読み出したい場合には、BFASLR レジスタの BFAA ビットを“1”に設定してください。BFAA ビットを“1”に設定すると、ユーザ領域をリードできなくなるため、OTP 設定領域を読み出すソフトウェアは、内蔵 RAM 上で実行する必要があります。OTP 設定領域内のアドレスマップは、表 6.7 を参照してください。

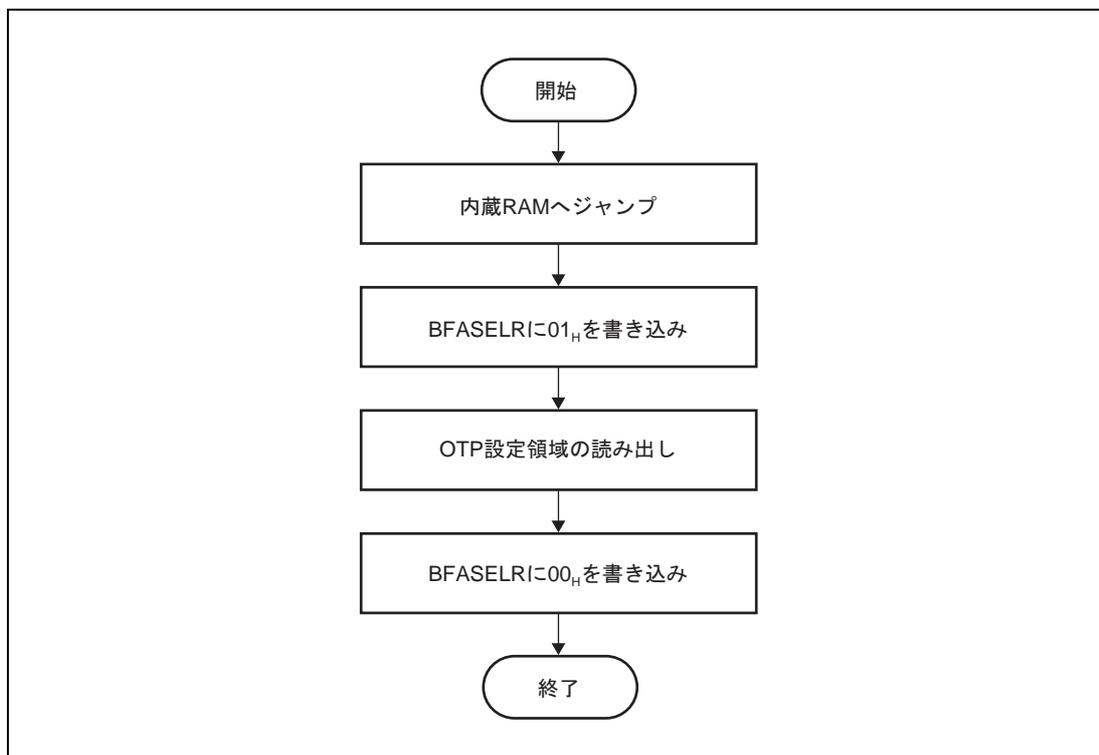


図 6.25 OTP 設定領域の読み出しフロー

### 6.3.22 フラッシュメモリの ECC エラー注入

FDMYECC レジスタに設定した任意の ECC ビット/アドレスパリティビットの値を、プログラムコマンドを使用してフラッシュメモリに書き込むことが可能です。データ領域に対する ECC エラー注入機能は、4 バイト単位でのプログラムコマンドでのみ使用可能です。

FDMYECC レジスタに設定した値をフラッシュメモリに書き込む場合には、FECCTMD レジスタの ECCDISE ビットを“1”に設定する必要があります。また、FACI コマンド発行領域にデータを書き込む前に、対応する ECC ビット/アドレスパリティビットの値を FDMYECC レジスタに設定する必要があります。

Code Flash メモリの場合には、プログラムコマンドの書き込み単位 (256 バイト) と ECC ビット/アドレスパリティビットが付加されるデータの単位 (16 バイト) が異なります。このため、16 バイトのデータを FACI コマンド発行領域に書き込むたびに、FDMYECC レジスタの設定値を変更します。

Data Flash メモリの場合には、プログラムコマンドの書き込み単位 (4 バイト) と ECC ビットが付加されるデータの単位 (4 バイト) が同じため、プログラムコマンドの発行前に FDMYECC レジスタを一度だけ設定します。

FSTATR レジスタの EBFULL ビットが“1”の状態、FDMYECC レジスタに対する書き込みアクセスを発行し続けると、P-Bus にウェイトが発生し、他の周辺 IP の通信性能に影響を及ぼす可能性があります。ウェイト発生を回避する必要がある場合には、FSTATR レジスタの EBFULL ビットが“0”の状態、FDMYECC レジスタを書き込んでください。

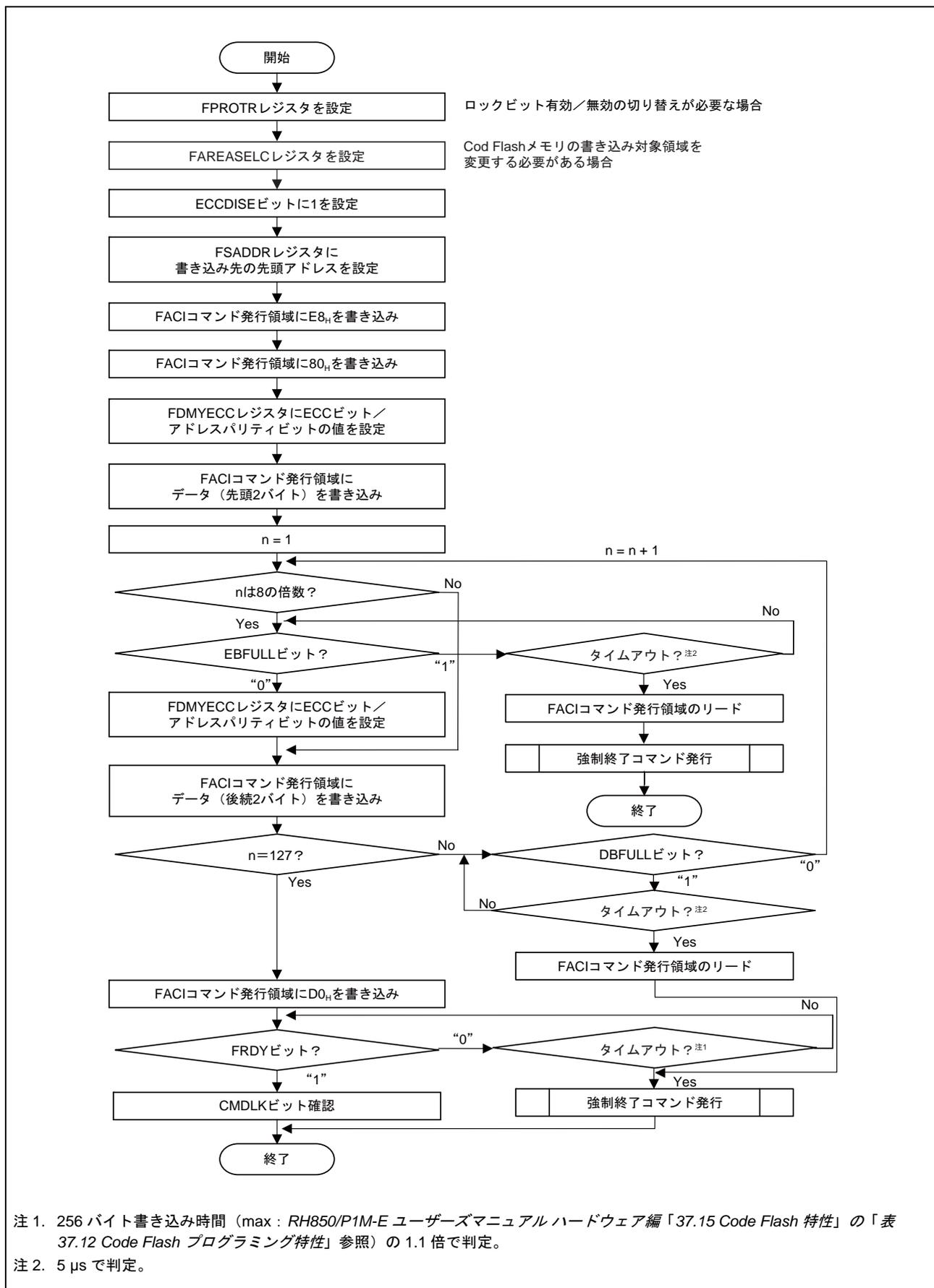


図 6.26 Code Flash メモリの ECC エラー注入方法

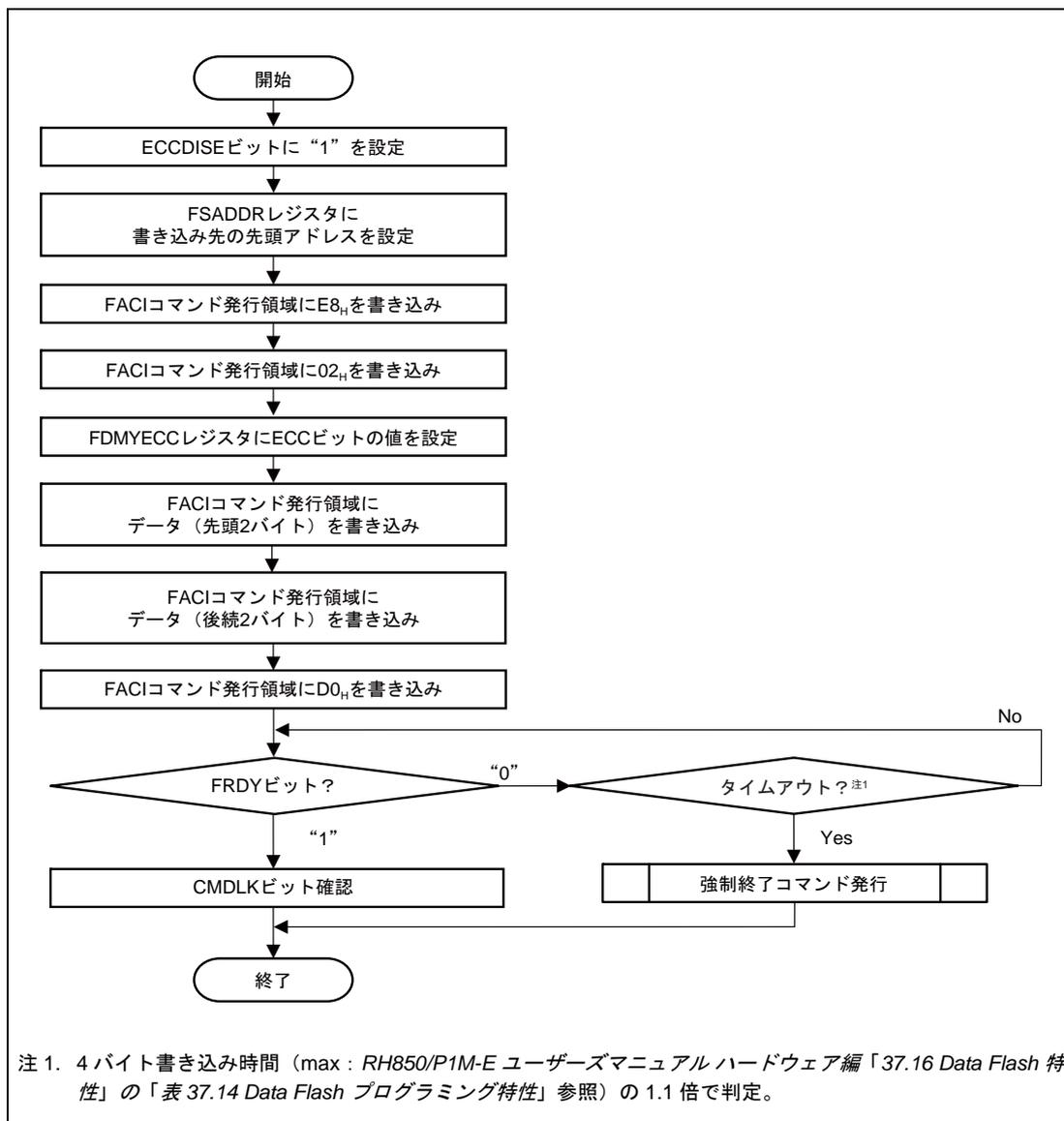


図 6.27 Data Flash メモリの ECC エラー注入方法

## 第7章 セキュリティ機能

### 7.1 ID 認証による FACI コマンド保護

Code Flash P/E モードでは、ID 認証によるセキュリティ解除後に FACI コマンドを使用可能です。SELFIDST レジスタの IDST ビットが“1”（セキュリティロック状態）で FACI コマンドを発行すると、フラッシュシーケンサはコマンドロック状態になります。また、Code Flash P/E モードへの移行でも、コマンドロック状態になります。ID 認証によるセキュリティが解除されていない状態で、コマンドロック状態になった場合、強制終了コマンドを使用してもコマンドロック状態を解除することはできません。ID 認証によるセキュリティ解除の方法は、「6.3.6 ID 認証」を参照してください。

Code Flash P/E モードの認証で使用する ID は、OCD 接続およびシリアルプログラマ接続（ID 認証機能有効時）と共通です。

Data Flash P/E モードでは、IDST ビットの値に関わらず、FACI コマンドを使用可能です。

### 7.2 Code Flash メモリの OTP

Code Flash メモリの各ブロックに対して、個別に OTP を設定可能です。OTP 設定は解除できません。OTP 設定されたブロックに対して、プログラム/ブロックイレーズ/ロックビットプログラムコマンドを発行すると、フラッシュシーケンサはコマンドロック状態になります。

OTP 設定コマンドを一度でも実行したことがあるチップに対しては、コンフィギュレーション設定コマンドで、可変リセットベクタを設定できなくなります。Code Flash メモリの予約領域に対する OTP 設定コマンドを実行した場合や設定データが全て“1”である OTP 設定コマンドを実行した場合でも、可変リセットベクタの設定はできなくなります。

## 第8章 プロテクション機能

### 8.1 ハードウェアプロテクション

FLMD0 端子にローレベルが入力されている状態では、FPMON レジスタの FWE ビットが“0”になります。FWE ビットが“0”の場合には、FENTRYR レジスタの FENTRYC ビットに“1”を書き込めません。Code Flash P/E モードに移行できないため、Code Flash メモリの書き込み/消去が禁止された状態になります。FRDY ビットが“1”かつ FLMD0 端子がローレベルの状態では、フラッシュシーケンサは FENTRYC ビットをクリアして Code Flash メモリの書き込み/消去を禁止します。

FLMD0 端子をローレベルに変更した時点で FSTATR レジスタの FRDY ビットが“0”の場合には、フラッシュシーケンサはコマンド処理を継続します。コマンド処理を継続している状態でも、フラッシュシーケンサは P/E サスペンドを受け付け可能です。

書き込み/消去を再開する場合には、FENTRYC ビットを再設定して P/E レジュームコマンドを発行してください。

FLMD0 端子によるプロテクトに違反して、Code Flash メモリに対する書き込み/消去系コマンドを発行した場合には、フラッシュシーケンサはコマンドロック状態になります。

### 8.2 ソフトウェアプロテクション

ソフトウェアプロテクトは、制御レジスタ設定やユーザ領域のロックビット設定によって Code Flash メモリに対する書き込み/消去が禁止された状態です。ソフトウェアプロテクトに違反して、FACI コマンドを発行した場合には、フラッシュシーケンサはコマンドロック状態になります。

#### 8.2.1 FENTRYR によるプロテクト

FENTRYR レジスタが 0000<sub>H</sub> の場合には、フラッシュシーケンサはリードモードになります。リードモードでは、FACI コマンドは受け付けられません。リードモードで FACI コマンドが発行された場合には、フラッシュシーケンサはコマンドロック状態になります。

#### 8.2.2 ロックビットによるプロテクト

ユーザ領域の各ブロック、拡張ユーザ領域にはロックビットが内蔵されています。FPROTR レジスタの FPROTCN ビットが“0”の場合には、ロックビットが“0”に設定されたブロックに対する書き込み/消去は禁止状態になります。ロックビットが“0”に設定されたブロックを書き込み/消去したい場合には、FPROTCN ビットを 1 に設定してください。ロックビットによるプロテクトに違反して、Code Flash メモリに対するプログラム/ブロックイレーズ/ロックビットプログラムコマンドを発行すると、フラッシュシーケンサはコマンドロック状態になります。

### 8.3 エラープロテクション

エラープロテクトは、FACI コマンドの誤発行/禁止アクセスの発生/フラッシュシーケンサの誤動作を検出して FACI コマンドの受け付けを禁止する状態（コマンドロック状態）です。フラッシュシーケンサをコマンドロック状態にすることにより、フラッシュメモリの書き込み/消去が禁止されます。コマンドロック状態を解除するためには、FASTAT レジスタの CFAE ビットおよび DFAE ビットが“0”の状態です。ステータスクリアまたは強制終了コマンドを発行する必要があります。ステータスクリアコマンドは FSTATR レジスタの FRDY ビットが“1”の場合のみ使用できます。強制終了コマンドは、FRDY の値に関わらず使用できます。FAEINT レジスタの CMDLKIE ビットが 1 の場合には、フラッシュシーケンサがコマンドロック状態（FASTAT レジスタの CMDLK ビットが“1”）になると、フラッシュアクセスエラー（FLERR）割り込みが発生します。

書き込み/消去処理中に P/E サスペンド以外のコマンドが発行されてコマンドロック状態に遷移した場合には、フラッシュシーケンサは書き込み/消去処理を継続します。この状態で P/E サスペンドコマンドを発行して書き込み/消去を中断することはできません。コマンドロック状態でコマンドが発行された場合には、ILGLERR ビット値は“1”になり、その他のビットの値は以前のエラー検出時に設定された値を保持します。

表 8.1 にエラープロテクトの内容とエラー検出後のステータスビット値の関係を示します。

表 8.1 エラープロテクト一覧 (1/2)

分類	内容	OTPDTC	ILGLERR	ERSERR	PRGERR	FLWEERR	CFGDTCT	TBLDTCT	CFAE	DFAE
FENTRYR 設定エラー	FENTRYR レジスタに 0000 <sub>H</sub> 、0001 <sub>H</sub> 、0080 <sub>H</sub> 以外の値を設定。	0	1	0	0	0	0	0	0	0
	サスペンド時とレジューム時で FENTRYR の値が不一致。	0	1	0	0	0	0	0	0	0
不正コマンドエラー	FACI コマンドの最初のアクセスで未定義コードをライト	0	1	0	0	0	0	0	0	0
	複数アクセスの FACI コマンドで、最終アクセスで D0 <sub>H</sub> 以外を指定 (例外: DMA プログラム)	0	1	0	0	0	0	0	0	0
	プログラム、DMA プログラム、コンフィギュレーション設定、OTP 設定コマンドで、FACI コマンドの 2 回目のライトアクセスで指定される値 (N) が不正 (DMA プログラムでは奇数が不正)	0	1	0	0	0	0	0	0	0
	ブランクチェックコマンド発行時の、BCDIR、FSADDR、FEADDR 設定が矛盾 (「4.6 FACI コマンド処理終了アドレスレジスタ (FEADDR)」参照)	0	1	0	0	0	0	0	0	0
	各モードで使用できない FACI コマンドを発行 (表 6.3 参照)	0	1	0	0	0	0	0	0	0
	コマンド受け付け条件を満たさない状態で FACI コマンドを発行 (表 6.4)	0/1	1	0/1	0/1	0/1	0/1	0/1	0/1	0/1
消去エラー	消去処理中のエラー発生	0	0	1	0	0	0	0	0	0
	ロックビット設定に違反したブロックイレースコマンドの発行	0	0	1	0	0	0	0	0	0
書き込みエラー	書き込み処理中のエラー発生	0	0	0	1	0	0	0	0	0
	ロックビット設定に違反したプログラム、ロックビットプログラムコマンドの発行	0	0	0	1	0	0	0	0	0
Code Flash アクセス違反	Code Flash P/E モードで、ユーザ領域の予約領域に対して FACI コマンドを発行 (「4.2 フラッシュアクセスステータスレジスタ (FASTAT)」参照)	0	1	0	0	0	0	0	1	0
	Code Flash P/E モードで、拡張ユーザ領域の予約領域に対して FACI コマンドを発行 (「4.2 フラッシュアクセスステータスレジスタ (FASTAT)」参照)	0	1	0	0	0	0	0	1	0
Data Flash アクセス違反	Data Flash P/E モードで、データ領域の予約領域に対して FACI コマンドを発行 (「4.2 フラッシュアクセスステータスレジスタ (FASTAT)」参照)	0	1	0	0	0	0	0	0	1
	コンフィギュレーション設定コマンドを予約領域に対して発行 (「4.2 フラッシュアクセスステータスレジスタ (FASTAT)」参照)	0	1	0	0	0	0	0	0	1
	OTP 設定コマンドを予約領域に対して発行 (「4.2 フラッシュアクセスステータスレジスタ (FASTAT)」参照)	0	1	0	0	0	0	0	0	1

表 8.1 エラープロテクト一覧 (2/2)

分類	内容	OTPDTC	ILGLERR	ERSERR	PRGERR	FLWEERR	CFGDTCT	TBLDTCT	CFAE	DFAE
セキュリティ	OTP 設定に違反したプログラム、ブロックイレーズ、ロックビットプログラムコマンドの発行	0	1	0	0	0	0	0	0	0
	Code Flash メモリに OTP が設定された状態で、可変リセットベクタに対するコンフィギュレーション設定コマンドを発行	0	1	0	0	0	0	0	0	0
	ID 認証によるセキュリティが解除されていない状態で、Code Flash P/E モードに移行	0	1	0	0	0	0	0	0	0
その他	リードモードで、FACI コマンド発行領域をアクセス	0	1	0	0	0	0	0	0	0
	Code Flash P/E モードまたは Data Flash P/E モードで FACI コマンド発行領域を読み出し	0	1	0	0	0	0	0	0	0
OTP 設定 ECC エラー	OTP 設定の読み出し時に 2 ビットエラーを検出	1	0	0	0	0	0	0	0	0
FHVE 設定エラー	フラッシュシーケンサのコマンド処理中に、FHVE3 レジスタの FHVE3CNT ビットが "0" に変化	0	0	0/1	0/1	1	0	0	0	0
コンフィギュレーション設定 ECC エラー	コンフィギュレーション設定値の読み出し時に 2 ビットエラーを検出	0	0	0	0	0	1	0	0	0
書き換えパラメータ ECC エラー	書き換えパラメータテーブル読み出し時に 2 ビットエラーを検出	0	0	0	0	0	0	1	0	0

## 8.4 ブートプログラムプロテクション

### 8.4.1 可変リセットベクタ

コンフィギュレーション設定コマンドで可変リセットベクタ領域の値を書き換えることにより、CPUのリセットベクタを変更することができます。Code Flash メモリ上のブートプログラム等の更新時に可変リセットベクタ機能を利用することにより、安全な書き換えを実行することが可能になります。

OTP 設定コマンドを一度でも実行したことがあるチップに対しては、コンフィギュレーション設定コマンドで、可変リセットベクタを設定できなくなります。Code Flash メモリの予約領域に対する OTP 設定コマンドが正常終了した場合や設定データがすべて“1”である OTP 設定コマンドが正常終了した場合でも、可変リセットベクタの設定はできなくなります。

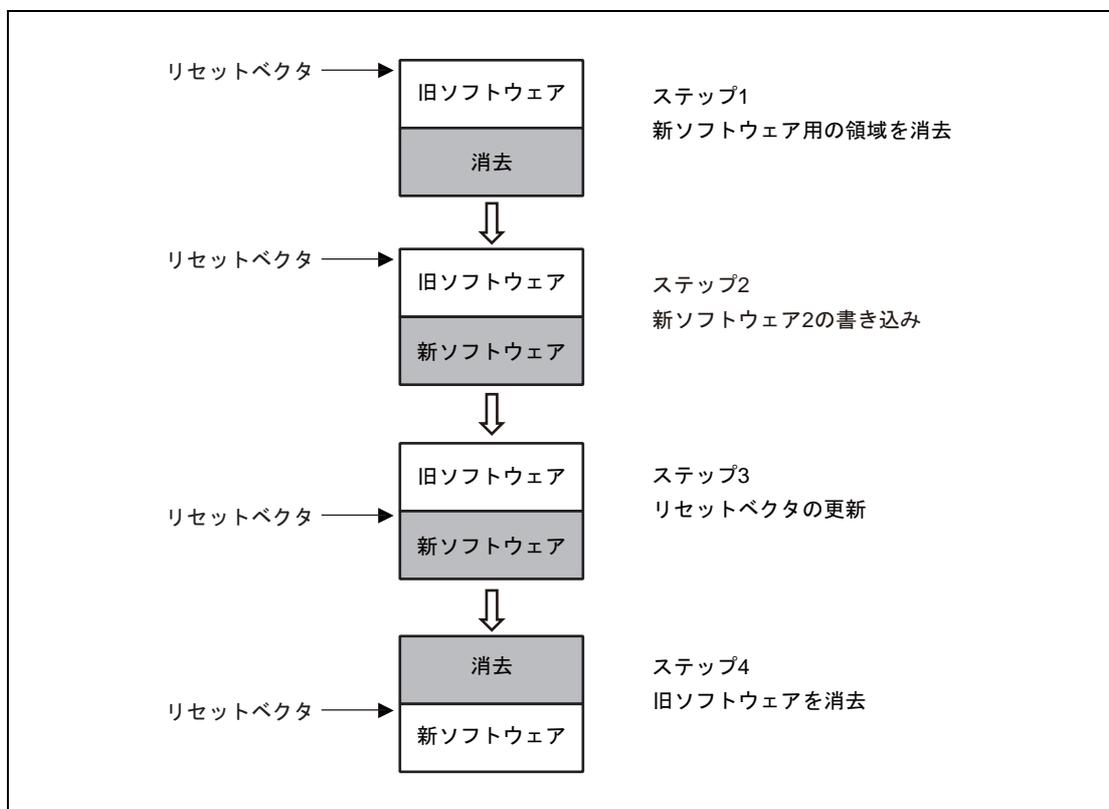


図 8.1 可変リセットベクタを利用したソフトウェアの更新

## 8.5 Code Flash メモリのブランクチェック

消去後に書き込んでいない状態（未書き込み状態）の Code Flash メモリを読み出すと、ECC エラーが検出されて例外が発生しますのでご注意ください。また、ECC エラーが発生した場合のデータ値は保証できないため、未書き込み状態の確認をする場合には、Code Flash メモリのデータ/ECC ビット/アドレスパリティビットが全て“1”であることを確認してください。Code Flash メモリの ECC 機能の使用方法については、各製品のユーザーズマニュアルのセーフティ機能の記載を参照してください。

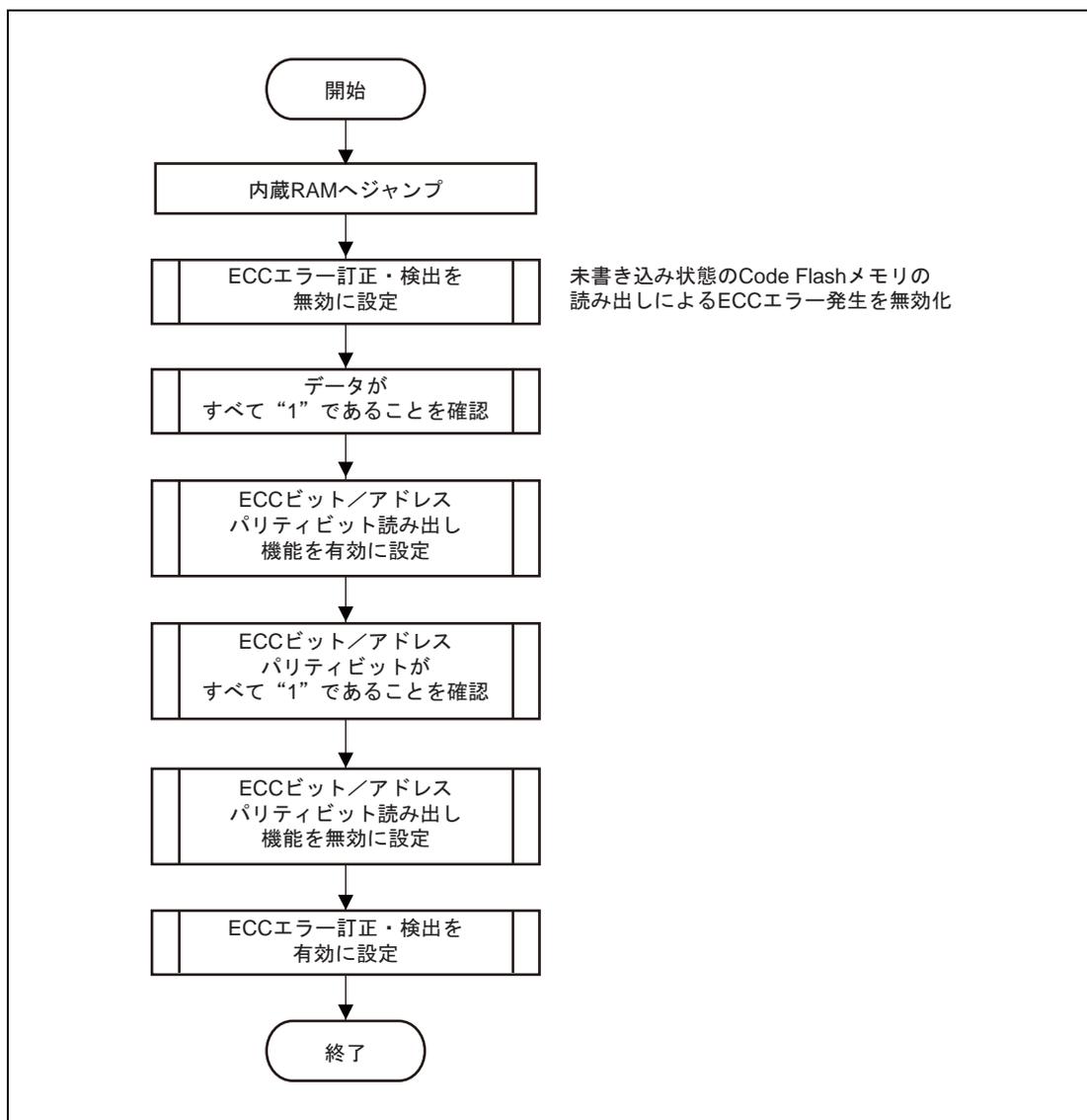


図 8.2 Code Flash メモリのブランクチェック方法

## 第9章 使用上の注意点

### (1) 書き込み／消去を中断した領域の読み出し

書き込み／消去を中断したフラッシュメモリ領域の格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、書き込み／消去を中断した領域の命令フェッチやデータ読み出しが発生しないように注意してください。

### (2) 追加書き込みの禁止

同一領域に2回以上の書き込みを行うことはできません。書き込み済みのフラッシュメモリ領域を書き換えたい場合には、必ず当該領域を消去してください。

### (3) 書き込み／消去中のリセット

書き込み／消去中に **RESET** 端子によるリセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、リセットパルスの Min 幅以上のリセット入力期間の後にリセット解除してください。

### (4) 書き込み／消去中の割り込み／例外ベクタの配置

書き込み／消去中に割り込み／例外が発生すると、Code Flash メモリからのベクタフェッチが発生する場合があります。BGO 機能を使用できない条件下では、ベクタフェッチのアドレスを Code Flash メモリ以外に設定してください。ベクタフェッチのアドレスを変更する方法は、ユーザーズマニュアル：ハードウェア編の CPU システムの章と割り込みの章を参照してください。

### (5) 書き込み／消去中の異常終了

外部リセットや電源遮断などで書き込み／消去が異常終了したことにより、データが不定状態となったフラッシュメモリ領域の消去／書き込み状態を確認するベリファイ手段はありません。書き込み／消去が異常終了した領域に対しては、ブランクチェック機能では正しく消去状態の判定をできません。再度消去処理を行って、該当領域を完全な消去状態にした後にご使用ください。

Code Flash メモリの書き込み／消去が正常に終了しなかった場合、ロックビットが有効になることがあります。この場合には、ロックビットを無効化した状態で、該当ブロックの消去を実施して、ロックビットを消去してください。

### (6) 書き込み／消去中／ブランクチェック中の禁止事項

フラッシュメモリの書き込み／消去／ブランクチェック中は、以下の動作は行わないでください。

- 電源を動作電圧範囲外にする
- FHVE15 および FHVE3 の値を更新する

### (7) BFASLR レジスタの更新

BFASLR レジスタを設定して CodeFlash の領域を切り替える場合は、前後の処理と領域の切り替えを同期化する必要があります。以下の3つ場合について、BFASLR レジスタの更新時の同期化フローを示します。

- [1] BFASLR レジスタ更新時の同期化処理：  
BFASLR レジスタの更新を待ち合わせるため、BFASLR レジスタ更新後、CodeFlash や BFASLR 制御領域<sup>注1</sup> へのリード命令 (LD.W 等) の前に、"BFASLR レジスタのダミーリード+ SYNCNP 命令" を実行してください。
- [2] CodeFlash ユーザ領域 / 拡張ユーザー領域に切り替える前の同期化処理：  
BFASLR 制御領域<sup>注1</sup> の読み出し完了後に CodeFlash 領域へ切り替えるため、BFASLR 制御領域<sup>注1</sup> の最後のリード命令 (LD.W 等) 後、SYNCNP 命令を実行したうえで、上記 [1] の手順で BFASLR レジスタを書き換えてください。
- [3] CodeFlash ユーザ領域 / 拡張ユーザー領域に切り替えた後の同期化処理：  
CodeFlash 領域からフェッチするため、BFASLR レジスタ更新後、CodeFlash の命令実行前に "BFASLR レジスタのダミーリード+ SYNCNP 命令+ SYNCI 命令" を実行してください。また、Code Flash の領域切り替え後に、命令キャッシュのクリアとデータバッファのクリアを行い、必要に応じて命令キャッシュとデータバッファを有効化してください。

注1. BFASLR 制御領域とは、コンフィグレーション設定領域、OTP 設定領域を指します。

### (8) Code Flash メモリ書き換え後のコヒーレンシ確保

Code Flash メモリの領域を書き換えた後に Code Flash メモリの命令を実行する場合は、コヒーレンシ確保のために命令キャッシュのクリア、およびデータバッファのクリアを行ってください (ユーザーズマニュアル: ハードウェア編の CPU システムの章の「使用上の注意」を参照)。

## 第10章 電気的特性

本章は、本マニュアル記載のセルフプログラミングでハードウェアインタフェースを使用する場合の電気的特性を示しています。

シリアルプログラミングを使用した場合の電気的特性とは異なりますので、ご注意ください。

### 10.1 Code Flash 特性

表 10.1 サスペンド/レジューム/強制終了

条件：ユーザーズマニュアルハードウェア編の「37.1.1.1 共通条件」を参照してください。

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み中サスペンド レイテンシ	t <sub>SPD</sub>	—	—	—	120	μs
書き込みレジューム 時間 <sup>注1</sup>	t <sub>RPT</sub>	—	—	—	50	μs
消去中サスペンド レイテンシ	t <sub>SESD1</sub>	サスペンド優先同一パルス に対する中断1回目	—	—	120	μs
	t <sub>SESD2</sub>	サスペンド優先同一パルス に対する中断2回目	—	—	1.7	ms
	t <sub>SEED</sub>	消去優先	—	—	1.7	ms
消去レジューム時間 <sup>注1</sup>	t <sub>REST1</sub>	サスペンド優先同一パルス に対する中断1回目後の レジューム	—	—	1.7	ms
	t <sub>REST2</sub>	サスペンド優先同一パルス に対する中断2回目後の レジューム	—	—	80	μs
	t <sub>REET</sub>	消去優先	—	—	80	μs
強制終了コマンド レイテンシ	t <sub>FD</sub>	—	—	—	20	μs

注1. レジュームを実行することにより、書き込み/消去処理再開のためのオーバーヘッド時間が発生します。  
また、サスペンド優先時には、サスペンド時に中断した消去パルスの再印加時間が発生します。  
これらの要因による書き込み/消去処理の増加時間をレジューム時間と定義します。

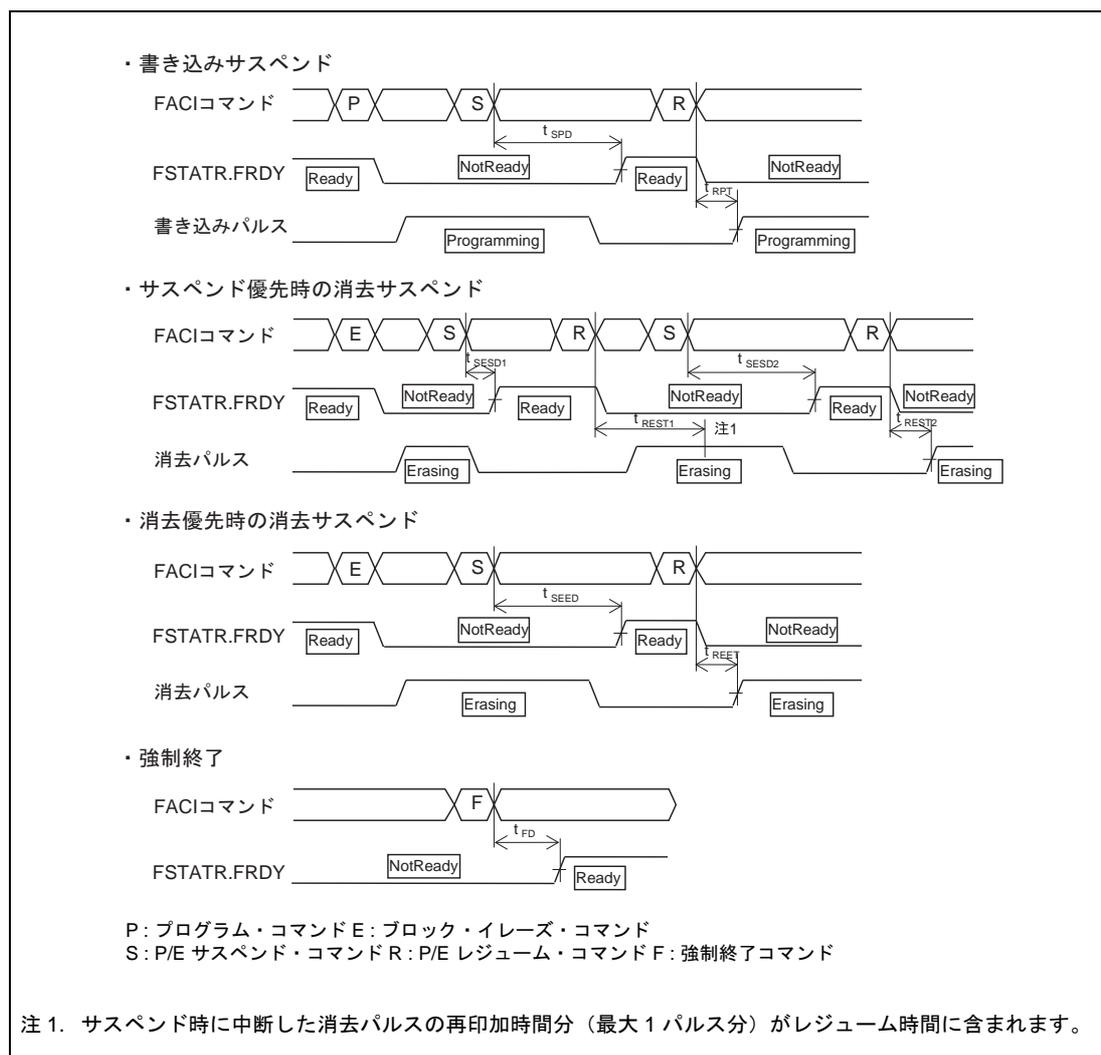


図 10.1 サスペンド/レジューム/強制終了タイミング

## 10.2 Data Flash 特性

表 10.2 サスペンド/レジューム/強制終了

条件：ユーザーズマニュアルハードウェア編の「37.1.1.1 共通条件」を参照してください。

項目	略号	条件	MIN.	TYP.	MAX.	単位
書き込み中サスペンド レイテンシ	t <sub>SPD</sub>	—	—	—	120	μs
書き込みレジューム 時間 <sup>注1</sup>	t <sub>RPT</sub>	—	—	—	50	μs
消去中サスペンド レイテンシ	t <sub>SESD1</sub>	サスペンド優先同一パルス に対する中断 1 回目	—	—	120	μs
	t <sub>SESD2</sub>	サスペンド優先同一パルス に対する中断 2 回目	—	—	300	μs
	t <sub>SEED</sub>	消去優先	—	—	300	μs
消去レジューム時間 <sup>注1</sup>	t <sub>REST1</sub>	サスペンド優先同一パルス に対する中断 1 回目後の レジューム	—	—	300	μs
	t <sub>REST2</sub>	サスペンド優先同一パルス に対する中断 2 回目後の レジューム	—	—	70	μs
	t <sub>REET</sub>	消去優先	—	—	70	μs
強制終了コマンド レイテンシ	t <sub>FD</sub>	—	—	—	20	μs

注 1. レジュームを実行することにより、書き込み/消去処理再開のためのオーバーヘッド時間が発生します。  
また、サスペンド優先時には、サスペンド時に中断した消去パルスの再印加時間が発生します。  
これらの要因による書き込み/消去処理の増加時間をレジューム時間と定義します。

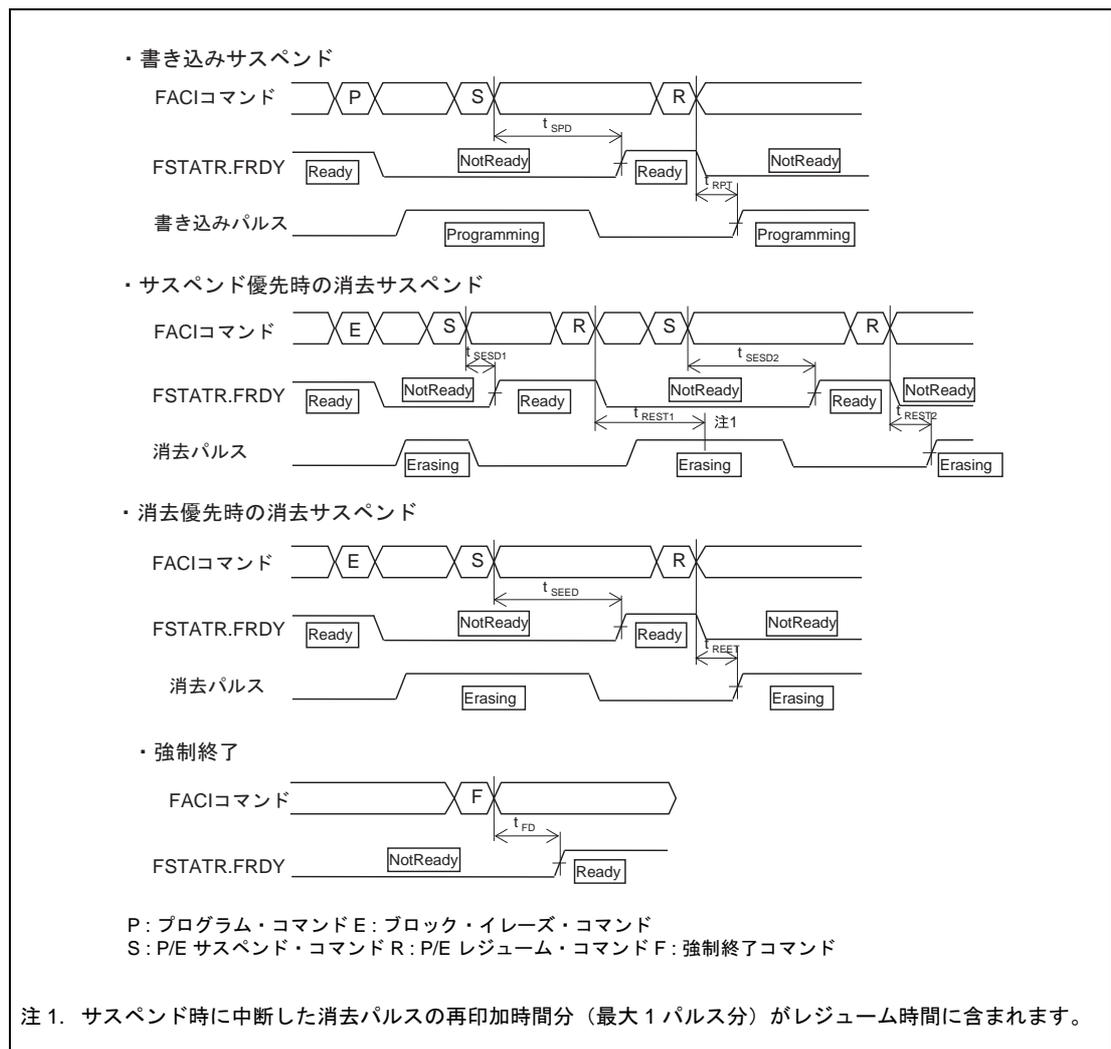


図 10.2 サスペンド/レジューム/強制終了タイミング

---

RH850/P1M-E

ユーザーズマニュアル ハードウェア インタフェース編

発行年月日 2016年03月18日 Rev.0.50

2018年03月23日 Rev.1.20

発行 ルネサス エレクトロニクス株式会社

〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

---



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<https://www.renesas.com/contact/>

RH850/P1M-E  
フラッシュメモリ